สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องแบ่งสัญญาณภาพ

VIDEO SIGNAL SPLITTER

โดย

นางสาว ศิริพร โฆษิตวรกิจกุล

นาย สรัล ลีสวรรค์

นาย สาธิต เครือรัฐติกาล

เลขหมู่.....
เลขทะเบียน.....42343
วัน, เดือน, ปี.....17 พ.ค. 2545

b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เครื่องแบ่งสัญญาณภาพ

VIDEO SIGNAL SPLITTER

โดย

นางสาว ศิริพร โฆษิตวรกิจกุล 40010777

นาย สรัล ลีสวรรค์ 40010823

นาย สาธิต เครือรัฐติกาล 40010838

อาจารย์ที่ปรึกษา

อาจารย์ อัครพล ตรีรัตน์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

b11203870

ปริญญานิพนธ์ปีการศึกษา 2543

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องแบ่งสัญญาณภาพ**

Video Signal Splitter

ผู้จัดทำ

1. นางสาวศิริพร โฆษิตวรกิจกุล 40010777
2. นายสรัล ลีสวรรค์ 40010823
3. นายสาธิต เครือรัฐติกาล 40010838

..... อาจารย์ที่ปรึกษา

(อ. อัครพล ตรีรัตน์)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เครื่องแบ่งสัญญาณภาพ

Video Signal Splitter

โดย 1. นางสาวศิริพร โฆษิตวรกิจกุล 40010777
2. นาย สรัล ลีสวรรค์ 40010823
3. นาย สาธิต เครือรัฐติกาล 40010838

อาจารย์ที่ปรึกษา อาจารย์ อัครพล ตรีรัตน์

บทคัดย่อ

เครื่องแบ่งสัญญาณภาพ (Video Signal Splitter)เป็นอุปกรณ์ที่ใช้ในการแบ่งสัญญาณภาพปกติ แล้วนำแต่ละส่วนมาขยายให้ใหญ่ขึ้น เพื่อนำออกแสดงบนจอโทรทัศน์จำนวนสี่เครื่อง ซึ่งประกอบกันเป็นภาพเดียวที่มีขนาดใหญ่ขึ้น ในโครงงานนี้ได้ใช้หลักการแปลงสัญญาณภาพอนาลอกให้เป็นสัญญาณดิจิตอล จากนั้นนำเอาข้อมูลภาพที่เป็นดิจิตอลจัดเก็บลงในหน่วยความจำ ข้อมูลภาพดิจิตอลในหน่วยความจำถูกอ่านออกมาและทำการขยายบิตให้ภาพขยายขึ้นแล้วจึง ทำการแปลงข้อมูลที่ได้ให้เป็นสัญญาณอนาลอก นำไปรวมกับสัญญาณซิ้งค์ แล้วนำไปออกแสดงบนจอโทรทัศน์จำนวนสี่เครื่อง ประโยชน์ของเครื่องแบ่งสัญญาณภาพคือ ทำให้สามารถใช้โทรทัศน์ขนาดปกติแสดงภาพที่มีขนาดใหญ่ขึ้นได้แทนการใช้จอภาพขนาดใหญ่

ABSTRACT

Video signal splitter is the equipment that used for splitting video signal into predetermined number of segments. In this thesis, we split original signal into 4 segments and can display each segment on four monitors. As the result, the picture on each monitor composes to a picture which is larger than original picture. Three basic components are A/D, memory and D/A. Digital signal data from A/D will be stored in memory and will be read and extended to a normal size. Then, that signal passes D/A. Finally the output of D/A will be combined with the sync signal and displayed at the monitor.

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
1.1 ความเป็นมาของหัวข้อปริญญานิพนธ์	1
1.2 วัตถุประสงค์ของปริญญานิพนธ์	1
1.3 ขอบเขตของปริญญานิพนธ์	1
1.4 เนื้อหาของปริญญานิพนธ์	1
บทที่ 2 ทฤษฎีหรือหลักการ	3
2.1 ทฤษฎีโทรทัศน์	3
2.1.1 องค์ประกอบภาพ	3
2.1.2 การสแกน	3
2.1.3 การสร้างสัญญาณโทรทัศน์	5
2.1.4 การแยกเฟรมคู่เฟรมคี่	7
2.1.5 การสร้างภาพหน้าจอโทรทัศน์	9
2.2 การแปลงสัญญาณอนาลอกเป็นดิจิตอล	10
2.3 การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก	14
บทที่ 3 การออกแบบและการทำงานของวงจร	17
3.1 แนวความคิดในการออกแบบ	17
3.1.1 แนวความคิดในการออกแบบระบบ	17
3.1.2 ลักษณะการเก็บข้อมูลภาพดิจิตอล	18
3.1.3 ลักษณะการแบ่งภาพและการจัดการข้อมูล	19
3.2 ระบบเครื่องแบ่งสัญญาณภาพ	23
3.2.1 โครงสร้างและการทำงานของระบบ	23
3.2.2 ส่วนวงจรแยกสัญญาณซิ้งค์	25
3.2.3 ส่วนเปลี่ยนสัญญาณอนาลอกให้เป็นดิจิตอล	26
3.2.4 ส่วนหน่วยความจำ	31
3.2.5 ส่วนกำเนิดสัญญาณควบคุมการเขียนข้อมูล	39
3.2.6 ส่วนกำเนิดสัญญาณควบคุมการอ่านข้อมูล	42
3.2.7 ส่วนกำเนิดสัญญาณควบคุมเปลี่ยนชุดหน่วยความจำ	46
3.2.8 ส่วนแปลงสัญญาณดิจิตอลเป็นอนาลอกและส่วนผสมสัญญาณภาพ	46
บทที่ 4 การทดลองและผลการทดลอง	48
4.1 การทดลองและผลการทดลองในส่วนของวงจรแยกสัญญาณซิ้งค์	48
4.2 การทดลองและผลการทดลองในส่วนของวงจรผลิตคล็อก	49
4.3 การทดลองและผลการทดลองในส่วนของการแปลงสัญญาณอนาลอก	51

เป็นสัญญาณดิจิตอล (A/D Conversion)
4.4 ผลการทดลองส่วนกำเนิดสัญญาณควบคุมเปลี่ยนชุดหน่วยความจำ 53
4.5 การทดลองและผลการทดลองในส่วนของการเขียนและการอ่านข้อมูลในหน่วยความจำ 53
4.5.1 ส่วนซึ่งทำหน้าที่กำเนิดตำแหน่งจุดของข้อมูล 53
4.5.2 การทดลองและผลการทดลองในส่วนของการกำเนิดสัญญาณควบคุมการอ่านข้อมูล 58
4.5.3 ส่วนของหน่วยความจำชุด A 63
4.5.4 ส่วนของหน่วยความจำชุด B 65
บทที่ 5 บทวิจารณ์และสรุป 67
ภาคผนวก ก. วงจรใช้งาน
ภาคผนวก ข. เอกสารอ้างอิง
หนังสืออ้างอิง

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 การสแกนแบบสอดแทรก 4
รูปที่ 2.2 แสดงระดับสัญญาณขาว-ดำ โดยเกรย์สเกล 5
รูปที่ 2.3 แสดงสัญญาณฮอริซอลตอลซิ้งและฮอริซอลตอลแบลงกิ้ง และการรวมกับสัญญาณภาพ 6
รูปที่ 2.4 แสดงสัญญาณเวอร์ติคอลซิ้งและ เวอร์ติคอลแบลงกิ้ง และการเติมลงไปในสัญญาณภาพ 8
รูปที่ 2.5 รายละเอียดสัญญาณฟิลด์ และสัญญาณควบคุมช่วงเวอร์ติคอลแบลงกิ้ง 8
รูปที่ 2.6 แสดงบล็อกไดอะแกรมของการเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล 9
รูปที่ 2.7 สัญญาณเวอร์ซิ้งค์ 10
รูปที่ 2.8 แสดงบล็อกไดอะแกรมของการเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล 10
รูปที่ 2.9 แสดงการแซมปลิ้ง 11
รูปที่ 2.10 ลักษณะสัญญาณของภาคควอนไตซิ่ง 12
รูปที่ 2.11 วงจรแฟลชเอทูดี 12
รูปที่ 2.12 หลักการของแฟลชเอทูดี 13
รูปที่ 2.13 แสดงตัวอย่างวงจรการเปลี่ยนสัญญาณขนาด 4 บิท 14
รูปที่ 2.14 แสดงตัวอย่างวงจรดีทูเอแบบ R/2R 15
รูปที่ 3.1 รูปแสดงแนวความคิดพื้นฐาน 17
รูปที่ 3.2 แนวความคิดและบล็อกไดอะแกรมพื้นฐาน 18
รูปที่ 3.3 การจัดเก็บข้อมูล 19
รูปที่ 3.4 ลักษณะการแบ่งภาพและตำแหน่งของข้อมูลในหน่วยความจำ 20
รูปที่ 3.5 ข้อมูลภาพ 1 ส่วน สัญญาณภาพ 1 ส่วน แสดงบนจอ 1 ส่วน 21
รูปที่ 3.6 แสดงตำแหน่งของจุดภาพ 21
รูปที่ 3.7 แสดงการขยายบิตของข้อมูลในแต่ละจอภาพ 22
รูปที่ 3.8 แสดงรูปที่ถูกขยายในแต่ละจอภาพ 22
รูปที่ 3.9 บล็อกไดอะแกรมเครื่องจัดแบ่งสัญญาณภาพ 24
รูปที่ 3.10 วงจรแยกสัญญาณซิ้งค์ 25
รูปที่ 3.11 สัญญาณแสดงหลักการทำงานพื้นฐาน 26
รูปที่ 3.12 แสดงแผนผังการทำงานภายในของ A/D 28
รูปที่ 3.13 แสดงการควบคุมCA3318 29
รูปที่ 3.14 สัญญาณนาฬิกาและสัญญาณแลตช์ข้อมูล 29
รูปที่ 3.15 ลักษณะการต่อคล็อกกับเฟส 30
รูปที่ 3.16 บล็อกไดอะแกรมการสลับเปลี่ยนชุดหน่วยความจำ 31
รูปที่ 3.17 การจัดตำแหน่งของหน่วยความจำ 32
รูปที่ 3.18 รูปแบบการจัดหน่วยความจำในกระบวนการเขียนและอ่านข้อมูล 33

รูปที่ 3.19 บล็อกไดอะแกรมหน่วยความจำอินพุตและเอาท์พุต 34
รูปที่ 3.20 บล็อกไดอะแกรมการมัลติเพล็กซ์ 34
รูปที่ 3.21 บล็อกไดอะแกรมของหน่วยความจำ 36
รูปที่ 3.22 แสดงช่วงเวลาการเขียนข้อมูลลงหน่วยความจำ 37
รูปที่ 3.23 สัญญาณ WE ของหน่วยความจำ 38
รูปที่ 3.24 Timming Decoder 38
รูปที่ 3.25 ช่วงเวลาการอ่านข้อมูลจากหน่วยความจำ 39
รูปที่ 3.26 แสดงสัญญาณภาพและสัญญาณซิ้งค์ที่แยกออกมา 42
รูปที่ 3.27 แสดงเวลาการอ่านทำให้ขยายภาพ 43
รูปที่ 4.1 แสดงสัญญาณภาพเทียบกับสัญญาณฮอร์ซิ้งที่ผ่านการปรับขนาด 48
รูปที่ 4.2 แสดงสัญญาณภาพเทียบกับสัญญาณเวอร์ซิ้งที่ผ่านการปรับขนาด 49
รูปที่ 4.3 แสดงสัญญาณคล็อกที่ความถี่ 20 MHz. และที่ความถี่ 5 MHz. 49
รูปที่ 4.4 แสดงสัญญาณคล็อกที่ความถี่ 10 MHz. และสัญญาณ LATCH 50
รูปที่ 4.5 แสดงสัญญาณคล็อกที่ความถี่ 10 MHz. และ สัญญาณ CLR_WR/ 50
รูปที่ 4.6 แสดงการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลบิทที่ 0 และ บิทที่ 1 51
รูปที่ 4.7 แสดงการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลบิทที่ 2 และ บิทที่ 3 51
รูปที่ 4.8 แสดงการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลบิทที่ 4 และ บิทที่ 5 52
รูปที่ 4.9 แสดงการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลบิทที่ 6 และ บิทที่ 7 52
รูปที่ 4.10 แสดงสัญญาณ PAGE_CON และ PAGE_CON ในการกำหนดตำแหน่งจุดของเส้นข้อมูล 53
รูปที่ 4.11 แสดงสัญญาณ AW00 และ AW01 ในการกำหนดตำแหน่งจุดของข้อมูล 54
รูปที่ 4.12 แสดงสัญญาณ AW02 และ AW03 ในการกำหนดตำแหน่งจุดของข้อมูล 54
รูปที่ 4.13 แสดงสัญญาณ AW04 และ AW05 ในการกำหนดตำแหน่งจุดของข้อมูล 55
รูปที่ 4.14 แสดงสัญญาณ AW06 และ AW07 ในการกำหนดตำแหน่งจุดของข้อมูล 55
รูปที่ 4.15 แสดงสัญญาณ AW08 และ AW09 ในการกำหนดตำแหน่งเส้นของข้อมูล 56
รูปที่ 4.16 แสดงสัญญาณ AW10 และ AW11 ในการกำหนดตำแหน่งเส้นของข้อมูล 56
รูปที่ 4.17 แสดงสัญญาณ AW12 และ AW13 ในการกำหนดตำแหน่งเส้นของข้อมูล 57
รูปที่ 4.18 แสดงสัญญาณ AW14 ในการกำหนดตำแหน่งเส้นของข้อมูล 57
รูปที่ 4.19 แสดงสัญญาณ AR00 และ AR01 ในการกำหนดตำแหน่งเส้นของข้อมูล 58
รูปที่ 4.20 แสดงสัญญาณ AR02 และ AR03 ในการกำหนดตำแหน่งเส้นของข้อมูล 59
รูปที่ 4.21 แสดงสัญญาณ AR04 และ AR05 ในการกำหนดตำแหน่งเส้นของข้อมูล 59
รูปที่ 4.22 แสดงสัญญาณ AR06 และ AR07 ในการกำหนดตำแหน่งเส้นของข้อมูล 60
รูปที่ 4.23 แสดงสัญญาณ AR08 และ AR09 ในการกำหนดตำแหน่งเส้นของข้อมูล 60
รูปที่ 4.24 แสดงสัญญาณ AR10 และ AR11 ในการกำเนิดตำแหน่งของเส้นข้อมูล 61

รูปที่ 4.25 แสดงสัญญาณ AR12 และ AR13 ในการกำเนิดตำแหน่งของเส้นข้อมูล 61
รูปที่ 4.26 แสดงสัญญาณ AR14 ในการกำเนิดตำแหน่งของเส้นข้อมูล 62
รูปที่ 4.27 แสดงสัญญาณ END_RD และ END_WR 62
รูปที่ 4.28 แสดงสัญญาณ PAGE_CON และ สัญญาณ WEA 63
รูปที่ 4.29 แสดงสัญญาณ WEA เทียบกับสัญญาณ OEA 63
รูปที่ 4.30 แสดงสัญญาณ WEA เทียบกับสัญญาณ AW00 64
รูปที่ 4.31 แสดงสัญญาณ WEA ในช่วงที่สั่งให้หน่วยความจำอ่านเทียบกับสัญญาณ AR00 64
รูปที่ 4.32 แสดงสัญญาณ PAGE_CON และ สัญญาณ WEB 65
รูปที่ 4.33 แสดงสัญญาณ WEB เทียบกับสัญญาณ OEB 65
รูปที่ 4.34 แสดงสัญญาณ WEB เทียบกับสัญญาณ AW00 66
รูปที่ 4.35 แสดงสัญญาณ WEB ในช่วงที่สั่งให้หน่วยความจำอ่านเทียบกับสัญญาณ AR00 66

บทที่ 1
บทนำ

1.1 ความเป็นมาของหัวข้อปริญญานิพนธ์

ภาพเป็นสื่อที่เข้าใจง่ายและคนนิยมที่สุดในปัจจุบันยิ่งถ้าเป็นภาพเคลื่อนไหวเหมือนจริงแล้วก็จะสามารถถ่ายทอดจินตนาการของผู้สร้างสื่อนั้นได้เป็นอย่างดี โทรทัศน์เป็นอุปกรณ์สื่อสารด้วยภาพที่ได้รับความนิยมอย่างแพร่หลาย แต่ก็เหมาะกับผู้ใช้เพียงไม่กี่คนเท่านั้นเนื่องจากขนาดของตัวเครื่องและภาพที่จำกัด ทำให้การนำไปติดตั้งในบริเวณที่กว้างเพื่อให้ผู้รับชมจำนวนมาก เป็นไปได้ยาก เพราะขนาดเล็กจนเกินไป จึงมีแนวความคิดในการนำภาพจากจอทีวีแต่ละเครื่องมารวมกัน เพื่อให้แสดงผลรวมเป็นภาพเดียวที่มีขนาดใหญ่

การนำแต่ละส่วนของภาพไปแสดงบนจอหลายๆจอ เพื่อให้รวมเป็นภาพใหญ่ภาพเดียว จำเป็นต้องอาศัยวงจรที่ทำหน้าที่แบ่งสัญญาณภาพออกเป็นส่วนๆ สัญญาณภาพที่ได้จากแหล่งกำเนิด เช่น สัญญาณจากวีดีโอ เป็นสัญญาณแบบอนาลอก ซึ่งถ้าหากเรานำภาพที่เป็นสัญญาณอนาลอกมาทำการแบ่งจะทำได้ยากมาก เพราะนอกจากเราจะแบ่งสัญญาณภาพแล้วเรายังต้องทำให้สัญญาณภาพนั้นมีขนาดใหญ่ขึ้นเพื่อให้เหมาะสมในแต่ละจอด้วย ดังนั้นเราจึงควรแปลงสัญญาณเหล่านี้ให้เป็นสัญญาณดิจิตอลก่อนแล้วค่อยทำการแบ่งและขยายขนาดต่อไป

1.2 วัตถุประสงค์ของปริญญานิพนธ์

1.2.1 เพื่อออกแบบและสร้างเครื่องแบ่งสัญญาณภาพ
1.2.2 เพื่อศึกษารูปแบบของสัญญาณโทรทัศน์
1.2.3 เพื่อศึกษาการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล
1.2.4 เพื่อเป็นแนวทางในการนำสัญญาณภาพไปประยุกต์ใช้งาน

1.3 ขอบเขตของปริญญานิพนธ์

ปริญญานิพนธ์ฉบับนี้เป็นการออกแบบและสร้างเครื่องแบ่งสัญญาณภาพขนาด 2 x 2 โดยมีความละเอียดของภาพ 512 x 512 จุด และแต่ละจุดมีระดับความแตกต่างกัน 256 ระดับ สัญญาณภาพเป็นสัญญาณสีระบบพาล (PAL)

1.4 เนื้อหาของปริญญานิพนธ์

บทที่ 2 กล่าวถึงความรู้และทฤษฎีที่นำมาใช้ในการออกแบบและสร้างเครื่องจัดแบ่งสัญญาณภาพ ซึ่งประกอบด้วยความรู้เกี่ยวกับโทรทัศน์ รูปแบบของสัญญาณภาพ หลักการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

บทที่ 3 กล่าวถึงแนวความคิดในการออกแบบ ลักษณะการจัดเก็บข้อมูลในหน่วยความจำ และการจัดการกับข้อมูล ข้อคำนึงถึงการออกแบบซึ่งมีผลต่อการจัดรูปแบบวงจร โครงสร้างและการทำงานของแต่ละส่วนประกอบ วงจรที่ใช้งานพร้อมทั้งการทำงาน

บทที่ 4 การทดลองและผลการทดลองของวงจรส่วนต่างๆ

บทที่ 5 บทวิจารณ์และสรุปผล

ภาคผนวก ก. วงจรที่ใช้งาน

ภาคผนวก ข. เอกสารอ้างอิง

หนังสืออ้างอิง

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทที่ 2
ทฤษฎีและหลักการ

2.1 ทฤษฎีโทรทัศน์

2.1.1 องค์ประกอบภาพ

หากตัดภาพจากหนังสือพิมพ์มาสักภาพหนึ่ง แล้วขยายให้ใหญ่ขึ้นด้วยกล้องหรือแว่นขยาย จะพบว่าภาพมีองค์ประกอบมาจากจุดสีขาวและจุดสีดำมากมาย มาเรียงประกอบขึ้นเป็นภาพ จุดเหล่านี้เองที่เรียกว่าองค์ประกอบภาพ หรือพิคเจอร์ อีลีเมนต์ (Picture Element) หรือ พิกเซล (Pixel)

ทำนองเดียวกัน ภาพที่ปรากฏทางจอโทรทัศน์ ประกอบด้วยเส้นขวางเล็กๆในแนวนอนรวมกันอยู่ เส้นเหล่านี้เราได้มาจากการกวาดลำแสง (Scan) เส้นสแกนเหล่านี้เองที่เราจัดว่าเป็นองค์ประกอบภาพ

ปัจจุบันส่วนที่เรียกว่าองค์ประกอบภาพได้ถูกนำไปใช้งานอย่างเป็นจริงมากขึ้น ในโทรทัศน์หรือเครื่องเล่นวีดีโอคาสเซ็ตเร็คคอร์เดอร์ จะมีการนำเอาพิกเซลเหล่านี้เก็บไว้ในหน่วยความจำ เพราะพิกเซลเท่านั้นที่ระบบดิจิตอลจะจัดการข้อมูลได้ เราจะพบวิธีการนี้ในโทรทัศน์ระบบดิจิตอล,โทรทัศน์ระบบคอมพิวเตอร์, โทรทัศน์จอภาพแอลซีดี, ดิจิตอลวีซีอาร์, โทรทัศน์หรือวีซีอาร์ ระบบภาพซ้อนภาพ ฯลฯ

2.1.2 การสแกน

จากองค์ประกอบภาพที่ได้กล่าวมาตอนต้น เครื่องส่งจะรับภาพแล้วเปลี่ยนพลังงานแสงเป็นพลังงานไฟฟ้าส่งเป็นจุดขาวดำมา เครื่องรับจะรับเอาสัญญาณเหล่านี้มาเรียงใหม่ โดยการกวาดเป็นเส้นภาพขึ้นที่หน้าจอ วิธีการนี้เราเรียกว่า การสแกน (Scanning) โดยตัวที่มีหน้าที่สำคัญคือจอภาพหรือหลอดภาพนั่นเอง หลอดภาพมีโครงสร้างคล้ายกับหลอดสูญญากาศทั่วไปที่ปล่อยอิเล็กตรอนออกมาจากแคโถด แล้วจะมีการดึงลำอิเล็กตรอนให้วิ่งไปเป็นลำกระทบเข้ากับอาโนดหรือหน้าจอ ตรงหน้าจอนั้นมีการฉาบสารเรืองแสงไว้ให้เกิดการเรืองแสงของจอ

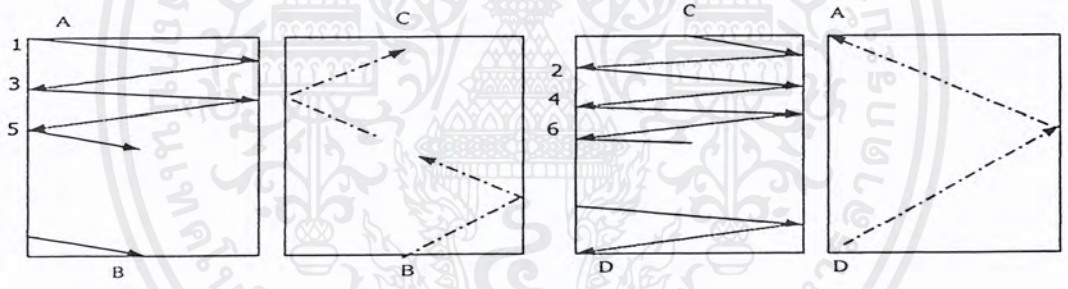
การสแกนมี 2 วิธีคือ การสแกนแบบก้าวหน้า (Progressive Scanning) กับการสแกนแบบสลับเส้น (Interlaced Scanning)

การที่จะทำให้การสแกนมีความต่อเนื่องขององค์ประกอบภาพดังที่กล่าวมาแล้ว จะต้องคำนึงถึงหลัก 3 ประการคือ

1. ลำอิเล็กตรอนที่กวาดไปทางแนวนอน (Horizontal Scanning) ในแต่ละครั้ง จะต้องสามารถครอบคลุมองค์ประกอบภาพทั้งหมดของเส้นนั้นๆ
2. ในแต่ละเส้นของการสแกนลำอิเล็กตรอน ลำแสงจะต้องกวาดกลับด้วยความเร็วสูงไปยังด้านซ้าย เพื่อเริ่มต้นภาพทางแนวนอนลำดับต่อไป เวลาของการสบัดกลับเรียกว่า “ รีเทรซ ” (Retrace) หรือฟลายแบ็ค (Flyback) ในกรณีดังกล่าวจะต้องไม่มีข้อมูลภาพใดๆเพราะว่าทั้งกล้องถ่ายและจอภาพ จะเกิดการแบลงค์เอาท์ (Blank Out) ในขณะนั้น
3. ในขณะที่เส้นสแกนสะบัดกลับมาเพื่อเริ่มทางซ้ายใหม่ ตำแหน่งแนวตั้งต้องต่ำกว่า ตำแหน่งเดิม เพื่อให้การสแกนเส้นต่อไปไม่ทับกัน ทั้งนี้โดยการควบคุมของสัญญาณแนวตั้ง (Vertical Scanning)

การสแกนที่ใช้ในเครื่องรับโทรทัศน์ ถึงแม้ว่าหากให้มีการเรียงภาพเกินกว่า 16 ภาพต่อวินาทีแล้ว สายตาจะเห็นเป็นภาพต่อเนื่อง จากการทดลองสแกนเส้นภาพพบว่า แม้ภาพที่เกิดขึ้นจะเกิดขึ้น 24 ภาพต่อวินาทีแล้วก็ตาม ยังมีการกระพริบ (Flicker) เกิดขึ้น เนื่องจาก ในขณะที่การสแกนเริ่มจากขอบบนลงมาด้านล่าง (ซึ่งคล้ายกับการเขียนหนังสือที่เริ่มจากซ้ายไปขวา, บนลงล่าง) เมื่อสแกนลงมาถึงขอบด้านล่าง แสงทางด้านบนในความรู้สึกของมนุษย์เริ่มมืดลงกว่าด้านล่าง เวลาที่ลำแสงสแกนวกกลับไปด้านบน ด้านล่างก็เกิดปัญหาเช่นเดียวกัน ความรู้สึกต่อกรณีนี้คือเกิดแสงกระพริบหรือวูบวาบขึ้น (Flicker) จึงต้องใช้การสแกนสลับเส้นหรือบางคนเรียกว่า การสแกนแบบสอดแทรก (Interlaced Scanning) โดยครั้งแรกจะสแกนฟิลด์คี่ (Odd line Trace) และต่อไปจะสแกนฟิลด์คู่ (Even line Trace) เป็นการสแกนแบบเส้นเว้นเส้น นั่นหมายความว่า ภาพ 1 เฟรม (Frame) ต้องใช้การสแกนแนวตั้งถึง 2 ครั้งหรือ 2 ฟิลด์ (Field)

ตามมาตราฐาน ซีซีไออาร์ (CCIR) ใช้เส้นสแกน 625 เส้นต่อหนึ่งภาพ และใช้ภาพ 25 ภาพต่อวินาที ดังนั้นใน 1 ฟิลด์จะมีเส้นสแกน 312.5 เส้น ภาพนิ่งแต่ละภาพ ซึ่งเป็นส่วนประกอบขององค์ประกอบภาพจะเกิดขึ้นภายใน 1/25 วินาที ความถี่ที่ใช้ในการหักเหลำอิเล็กตรอนในแนวนอนจึงได้จากจำนวนเส้นภาพ 625 เส้น คูณกับจำนวนภาพในแต่ละเฟรม ดังนั้นเราจึงสามารถหาความถี่ได้จาก 625 x 625 เท่ากับ 15625 เฮิรตซ์



รูปที่ 2.1 การสแกนแบบสอดแทรก

จากรูปที่ 2.1 ได้แสดงวิธีการของการสแกนแบบสอดแทรกของระบบโทรทัศน์ ที่ใช้กันอยู่ในปัจจุบัน โดยเมื่อเริ่มต้นการสแกน สมมุติว่าการเริ่มสแกนในกรณีนี้เริ่มจากการสแกนจากเฟรมที่เป็นเส้นสแกนคี่ โดยเริ่มจาก A ซึ่งอยู่ทางซ้ายแล้วกวาดไปทางขวา นับเป็นเส้นสแกนที่ 1 แล้วจึงสแกนเส้นที่ 3, 5, 7, 9 และต่อๆไป จนกระทั่งได้ 312.5 เส้นในระบบซีซีไออาร์ ซึ่งก็คือสแกนมาถึงจุด B ดังในภาพ ณ จุดนี้การสแกนจะถูกความถี่หักเหทางแนวตั้ง ซึ่งเรียกว่า เวอร์ติคัล รีเทรซ (vertical Retrace) หรือสัญญาณฟลายแบ็ค ดึงกลับไปยังตำแหน่งในจุด C เพื่อเริ่มต้นการสแกนเส้นคู่ต่อไป

เวลาของการรีเทรซ (Retrace Time) ทั้งการรีเทรซทั้งทางเวอร์ติคัลและฮอริซอนตัล เป็นเวลาสั้นๆ ถึงอย่างไรก็ตาม ก็ไม่ต้องการให้เส้นสแกนที่เป็นช่วงของการสะบัดกลับนี้ เข้ามารบกวนการทำให้เกิดสัญญาณภาพ ในส่วนนี้จึงต้องมีการลบเส้นสะบัดกลับ ก่อนที่จะกล่าวถึงจุดที่ว่านั้น มาดูรายละเอียดของการสะบัดกลับ ในส่วนของการกวาดลำแสง หรือการสแกนในทางแนวนอน (Horizontal) เวลาของการรีเทรซจะได้ประมาณ 10 – 16 % ของเวลาทั้งหมด ในระบบซีซีไออาร์ ใช้เวลาในการสแกนเท่ากับ 6.4 μs ในส่วนของทางด้านความถี่หักเหทางแนวตั้ง (Vertical) ใช้เวลาในการรีเทรซไม่เกิน 5 – 8 % อย่างเช่น

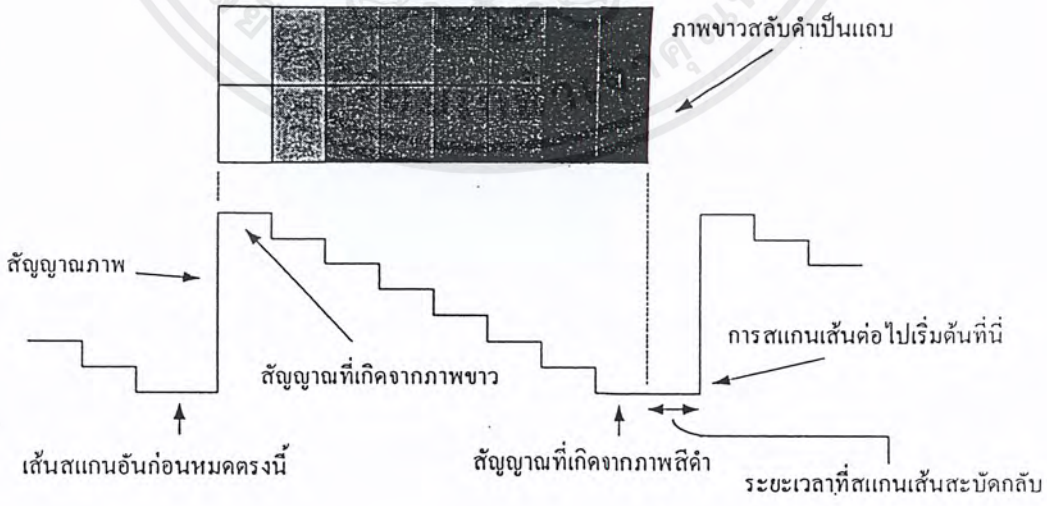
เราใช้เวลาในส่วนนี้เท่ากับ 3 % ของเวลา 1/50 ของวินาที ดังนั้นเวลาของการรีเทรซจึงเท่ากับ 600 μs นั่นหมายความว่าในช่วงการรีเทรซทางแนวตั้ง กินเวลานานกว่าการสแกนทางแนวนอนประมาณ 8 – 10 เส้นภาพ

จากหลักการดังกล่าว สามารถสรุปหลักเกณฑ์บางอย่างได้ว่า ตามความเป็นจริงแล้วในเส้นภาพ 525 เส้น หรือ 625 เส้น นั้นมิอาจจะเห็นได้ครบทุกเส้น อย่างน้อยๆ ในกรณีที่เกิดเวอร์ติคัลรีเทรซจะกินเวลาของการสแกนทางแนวนอน (line) ไปด้วยแต่จะกินไปกี่เส้นนั้นขึ้นอยู่กับสัญญาณบังคับการฟลายแบ็ค ซึ่งในเครื่องรับเรียกตัวนี้ว่า สัญญาณแบลงกิ้ง (Blanking)

2.1.3 การสร้างสัญญาณโทรทัศน์

สัญญาณรายละเอียดภาพ ซึ่งเป็นแรงดันกระแสสลับที่แปรเปลี่ยนค่าไปตามความสว่างของภาพ ที่ได้ออกมาจากหลอดเก็บสัญญาณภาพนั้น จะต้องถูกส่งไปรวมกับสัญญาณควบคุมตำแหน่งภาพ และลบเส้นสะบัดกลับซึ่งสร้างจากวงจรชุดสร้างความถี่ ได้แก่ สัญญาณควบคุมตำแหน่งภาพทางแนวนอน ซึ่งเรียกว่า ฮอริซอนตัลซิ้งค์ (Horizontal Synchronous) สัญญาณลบเส้นสะบัดกลับทางแนวนอนที่เรียกว่า สัญญาณฮอริซอนตัลแบลงกิ้ง (Horizontal Blanking) สัญญาณควบคุมตำแหน่งภาพทางแนวตั้ง เรียกว่า สัญญาณเวอร์ติคัลซิ้งค์ (Vertical Synchronous) สัญญาณลบเส้นสะบัดกลับทางแนวตั้งเรียกว่า สัญญาณเวอร์ติคัลแบลงกิ้ง (Vertical Blanking) และสัญญาณที่ทำหน้าที่รักษารูปร่างของสัญญาณเวอร์ติคัลซิ้งค์ ที่เรียกว่า อีควอไลซิ่งพัลส์ (Equalizing Pulse)

สัญญาณภาพขาว – ดำ สมมุติว่า ต้องการจะดูระดับสัญญาณขาว – ดำ กรณีที่จะกล่าวถึง สัญญาณขาว – ดำ หรือสัญญาณโมโนโครมได้ดีที่สุด ต้องกล่าวว่าภาพที่เป็นสีขาวคือ ภาพที่มีความสว่างมากที่สุด และภาพที่เป็นสีดำหรือภาพที่ไม่มีความสว่างเลย ภาพจำลองที่ดีที่สุดของกรณีก็คือ แถบภาพที่มีความแตกต่างของระดับขาวดำทีละน้อย ซึ่งเรียกว่า ระดับเกรย์สเกล นั่นเอง



รูปที่ 2.2 แสดงระดับสัญญาณขาว – ดำ โดยเกรย์สเกล

จากรูปที่ 2.2 แสดงให้เห็นระดับของเกร์ยสเกล ในกรณีที่ระดับสัญญาณภาพเป็นสัญญาณสีขาวเข้ามานั่นหมายความว่า ระดับความแรงของสัญญาณภาพมากที่สุดจึงให้ความส่องสว่างที่หน้าจอสว่างมาก

ที่สุด และเมื่อระดับสัญญาณสีขาวลดลงเป็นสีมัว , เทา และดำ นั้น ระดับสัญญาณจะลดลงมาเรื่อยๆนั่น หมายความว่า เมื่อสัญญาณมีความแรงน้อยความส่องสว่างจะน้อยตามลงไปด้วย

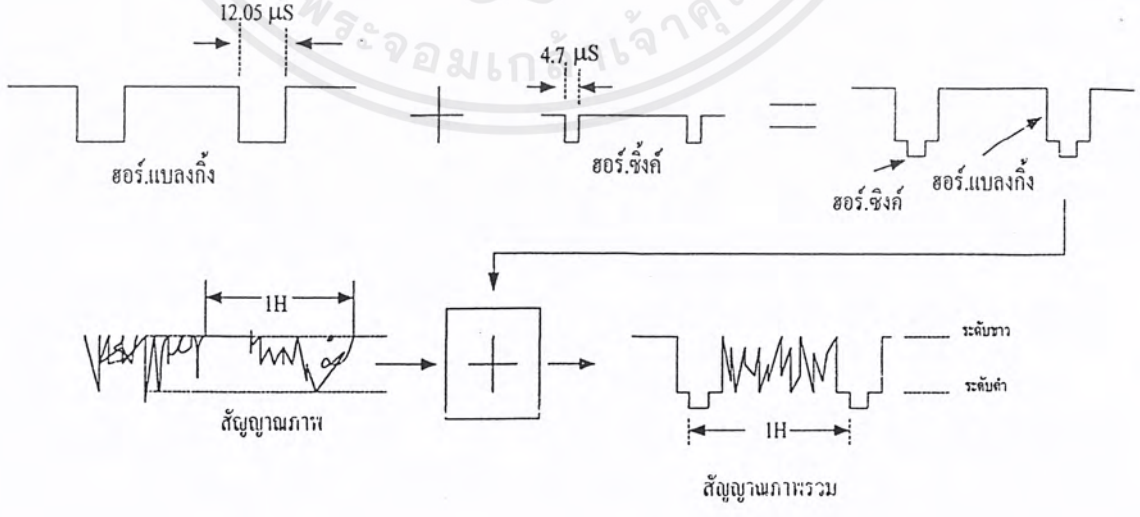
อันที่จริงแล้วภาพแต่ละภาพ เป็นสัญญาณความถี่ทางไฟฟ้าที่มีความถี่สูงต่ำไม่เท่ากัน โดย ความถี่สูงสุดจะไม่เกิน 5 เมกะเฮิรตซ์ในระบบซีซีไออาร์ ภาพที่เกิดจากความถี่สูงย่อมมีความละเอียดกว่าความถี่ต่ำ (มีจำนวนจุดคำมากกว่า)

สัญญาณฮอริซอนตัลซิ้งค์ (Horizontal Synchronous)

สัญญาณฮอริซอนตัลซิ้งค์ คือแรงดันช่วงสั้นๆ (Pulse) ประมาณ 4.7 ไมโครเซ็คคั่น เป็นสัญญาณที่มีระดับแรงดันต่ำที่สุด (ต่ำกว่าจุดคัทออฟของหลอดภาพ) ส่งไปยังเครื่องรับ เพื่อเป็นสัญญาณอ้างอิงในการสร้างความถี่ของวงจรสร้างสัญญาณเบี่ยงเบนทางแนวนอนที่สร้างขึ้นที่สถานีส่ง ตำแหน่งของภาพที่เกิดขึ้นหน้าจอเครื่องรับจึงถูกต้องตรงกับตำแหน่งของภาพที่ปรากฏที่เครื่องส่งทางแนวนอน สัญญาณนี้จะส่งรวมกับสัญญาณฮอริซอนตัลแบลงกิ้ง โดยส่งรวมกับสัญญาณภาพไปในช่วงจังหวะสะบัดกลับทางแนวนอน ซึ่งเป็นจังหวะที่ไม่มีสัญญาณภาพ

สัญญาณฮอริซอนตัลแบลงกิ้ง (Horizontal Blanking)

สัญญาณฮอริซอนตัลแบลงกิ้ง คือ ค่าแรงดันที่มีระดับสูงกว่าฮอริซอนตัลซิ้งค์ ประมาณ 25 – 30% มีช่วงเวลาประมาณ 12.05 ไมโครเซ็คคั่น โดยค่าแรงดันนี้จะอยู่ในระดับคัทออฟของหลอดภาพ ส่งไปยังเครื่องรับเพื่อทำให้หลอดภาพคัทออฟในจังหวะสะบัดกลับทางแนวนอน จึงไม่เห็นแสงของเส้นสะบัดกลับทางแนวนอนปรากฏหน้าจอ สัญญาณนี้จะส่งร่วมกับฮอริซอนตัลซิ้งค์ เติมลงไปในสัญญาณภาพตรงช่วงสะบัดกลับทางแนวนอน ซึ่งไม่มีสัญญาณภาพ



รูปที่ 2.3 แสดงสัญญาณฮอริซอลตัลซิ้งค์ และฮอริซอลตัลแบลงกิ้งและการรวมกับสัญญาณภาพ

สัญญาณเวอร์ติคัลซิ้งค์ (Vertical Synchronous)

สัญญาณเวอร์ติคัลซิ้งค์ คือสัญญาณที่มีระดับแรงดันเท่ากับสัญญาณฮอริซอนตัลซิ้งค์ แต่ช่วงเวลาในการเกิดแรงดันนั้นจะนานกว่าฮอริซอนตัลซิ้งค์ คือแบ่งออกเป็นช่วงๆ 5 ช่วง (5 พัลส์) แต่ละช่วงเกิดนานประมาณ 29 μs และเว้นระยะห่างกัน 407 μs ส่งไปยังเครื่องรับเพื่อเป็น สัญญาณอ้างอิงสำหรับวงจรเบี่ยงเบนทางแนวตั้ง เพื่อให้สร้างความถี่ออกมาได้จังหวะคล้องจองกับสัญญาณเบี่ยงเบนทางแนวตั้งที่สร้างขึ้นที่เครื่องส่ง ตำแหน่งภาพที่หน้าจอเครื่องรับจึงถูกต้องตรงกับตำแหน่งภาพที่เครื่องส่งทางแนวตั้ง สัญญาณนี้จะส่งร่วมกับสัญญาณภาพ มาในจังหวะสะบัดกลับทางแนวตั้ง ซึ่งเป็นจังหวะที่ไม่มีสัญญาณภาพ

สัญญาณเวอร์ติคัลแบลงกิ้ง (Vertical Blanking)

เวอร์ติคัลแบลงกิ้ง เป็นแรงดันที่ส่งไปทำให้หลอดภาพคัตออฟในช่วงระยะเวลาสะบัดกลับทางแนวตั้งเพื่อทำให้มองไม่เห็นแสงที่เกิดจากการที่ลำอิเล็กตรอนวิ่งจากขอบจอด้านล่างขึ้นไปยังขอบจอด้านบนในจังหวะสะบัดกลับทางแนวตั้ง ซึ่งมีช่วงเวลาประมาณ 25 เส้นสแกนทางแนวนอน (25 H.) ด้วยเหตุนี้สัญญาณจึงส่งร่วมกับสัญญาณภาพ โดยเติมลงไปตรงจังหวะสะบัดกลับทางแนวตั้งของสัญญาณภาพ ซึ่งเป็นจังหวะที่ไม่มีสัญญาณรายละเอียดภาพ

อีควอไลซิ่งพัลส์ (Equalizing Pulse)

อีควอไลซิ่งพัลส์ คือพัลส์ช่วงเวลาสั้นๆ ประมาณพัลส์ละ 2.35 μs จำนวน 2 ชุด ชุดละ 5 พัลส์ เติมลงไปนำหน้าและตามหลังเวอร์ติคัลซิ้งค์ เพื่อรักษารูปร่างและช่วงระยะของเวอร์ติคัลซิ้งค์ให้สมบูรณ์ขณะที่แยกออกจากฮอริซอนตัลซิ้งค์ อันจะทำให้การสอดแทรกสัญญาณภาพลงไปเปลี่ยนแปลงความสว่างของราสเตอร์แต่ละพัลส์ให้เป็นไปอย่างถูกต้อง

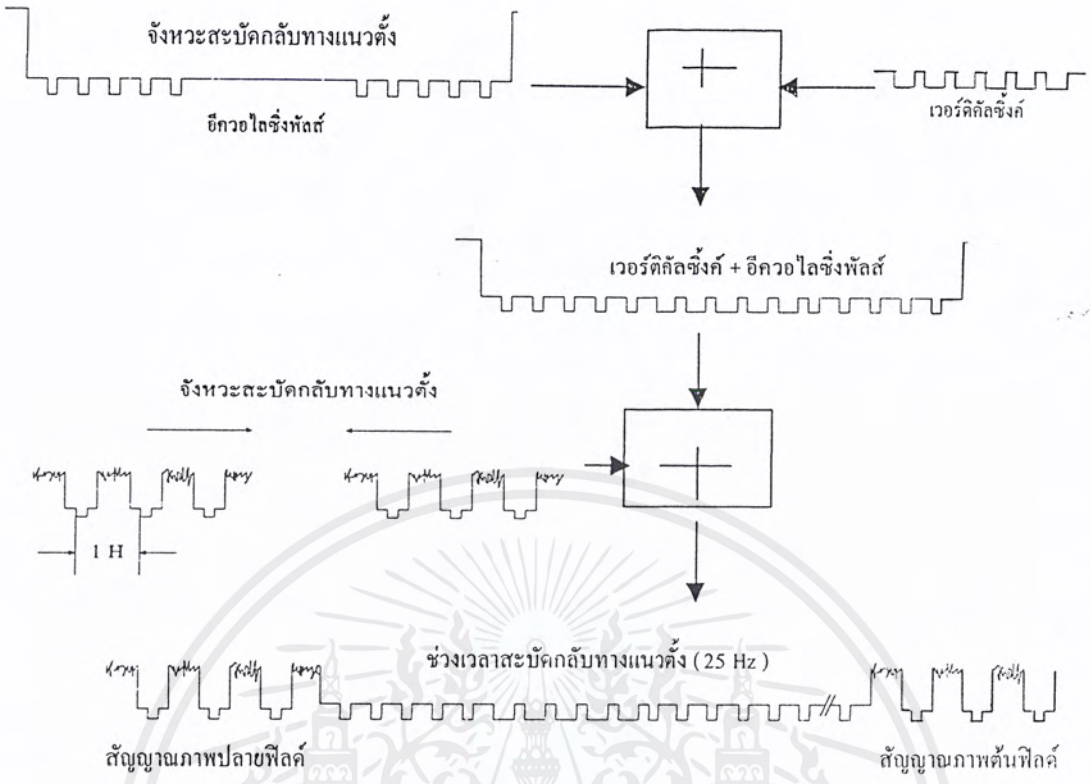
2.1.4 การแยกเฟรมคู่และเฟรมคี่

ในกรณีการแยกเฟรมคู่และเฟรมคี่จะพิจารณาได้จากความสัมพันธ์ระหว่างสัญญาณแบลงกิ้งและสัญญาณเวอร์ซิ้งค์ โดยเมื่อสิ้นสุดการสแกนทางแนวนอน 312.5 เส้นของแต่ละฟิลด์ก็จะเป็นหน้าที่ของสัญญาณแบลงกิ้งทางแนวตั้งที่ทำให้เส้นการสแกนทางแนวนอนกลับไปเริ่มต้นสแกนต่อไปที่จุดเริ่มต้นด้านบนของขอบจอพร้อมทั้งสัญญาณซิ้งค์ก็จะเบี่ยงเบนลำอิเล็กตรอนทางแนวตั้ง

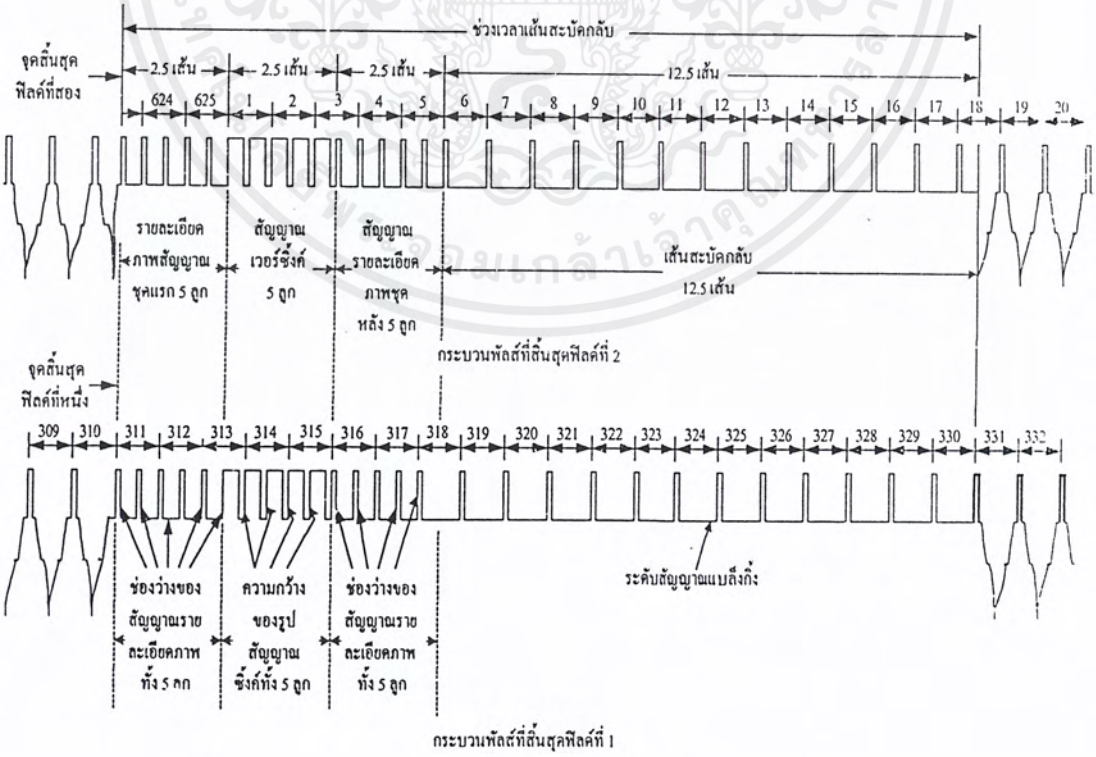
ช่วงเวลาสะบัดกลับทางแนวตั้ง ในช่วงเวลานี้จะไม่ปรากฏสัญญาณภาพที่หน้าจอโทรทัศน์ โดยการสะบัดกลับจะกระทำทั้งฟิลด์เส้นคู่และเส้นคี่ ใช้เวลาฟิลด์ละ 20 เส้น เส้นละ 64 μs จะใช้เวลาสะบัดกลับแต่ละฟิลด์ $64 \times 20 = 1,280$ μs

การสะบัดกลับทางแนวตั้งของฟิลด์เส้นคี่ จะเริ่มสะบัดกลับตั้งแต่เส้นที่ 310 ทางแนวนอนของฟิลด์เส้นคี่ไปจนถึงเส้นที่ 330 ทางแนวนอนของเส้นคู่ดังรูปที่ 2.6 (ก)

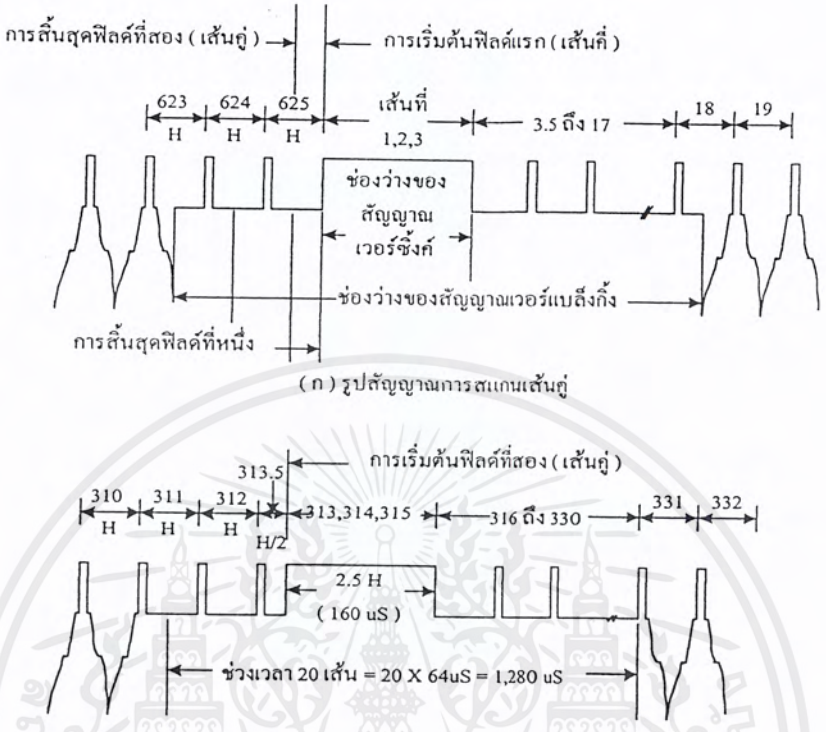
การสะบัดกลับทางแนวตั้งของฟิลด์เส้นคู่ จะเริ่มสะบัดกลับตั้งแต่เส้นที่ 622.5 หรือกึ่งกลางเส้นที่ 623 ทางแนวนอนในฟิลด์เส้นคู่ ไปจนถึงเส้นที่ 17.5 หรือกึ่งกลางเส้นที่ 18 ทางแนวนอนในฟิลด์เส้นคี่ ดังรูปที่ 2.6 (ข)



รูปที่ 2.4 แสดงสัญญาณเวอร์ติคัลซิ้งค์และเวอร์ติคัลแบลงกิ้ง
และการเติมลงไปในสัญญาณภาพแต่ละฟิลด์



รูปที่ 2.5 รายละเอียดสัญญาณฟิลด์และสัญญาณควบคุมช่วงเวอร์ติคัลแบลงกิ้ง



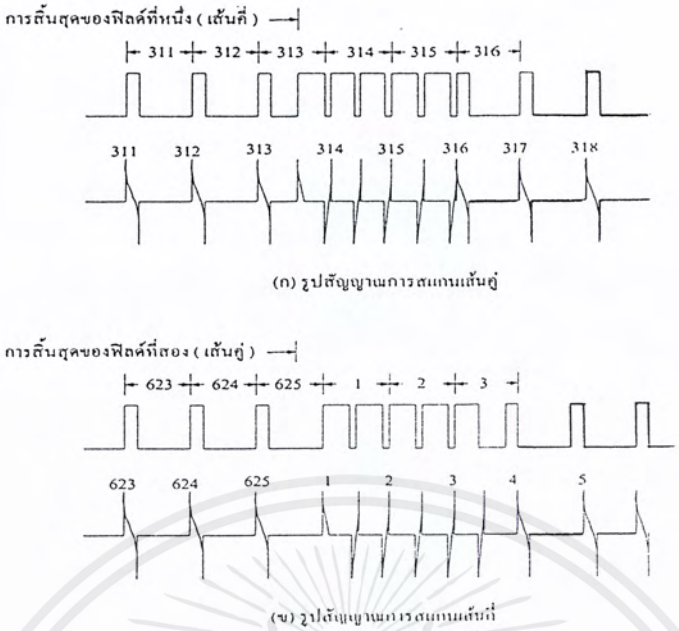
รูปที่ 2.6 สัญญาณแบล็งกิ้งและสัญญาณเวอร์ชิ้งค์

สัญญาณเวอร์ชิ้งค์ฟิลด์เส้นคู่ จะใช้ความกว้างสัญญาณ 2.5 เส้นทางแนวนอนตั้งแต่เส้นที่ 312.5 หรือ กึ่งกลางเส้นที่ 313 จนถึงเส้นที่ 315 ในฟิลด์เส้นคู่ ความกว้างของสัญญาณเวอร์ชิ้งค์ 27.3 μS ช่องว่างระหว่างชิ้งค์ 4.7 μS จะมีด้วยกัน 5 ลูก ดังรูปที่ 2.7 (ก)

สัญญาณเวอร์ชิ้งค์ฟิลด์เส้นคี่ เริ่มตั้งแต่ฟิลด์เส้นที่ 1 จนถึงเส้นที่ 2.5 หรือกึ่งกลางเส้นที่ 3 ในฟิลด์เส้นคี่ ความกว้างของสัญญาณเวอร์ชิ้งค์ 27.3 μS ช่องว่างระหว่างสัญญาณชิ้งค์ 4.7 μS ดังรูปที่ 2.7 (ข)

2.1.5 การสร้างภาพหน้าจอโทรทัศน์

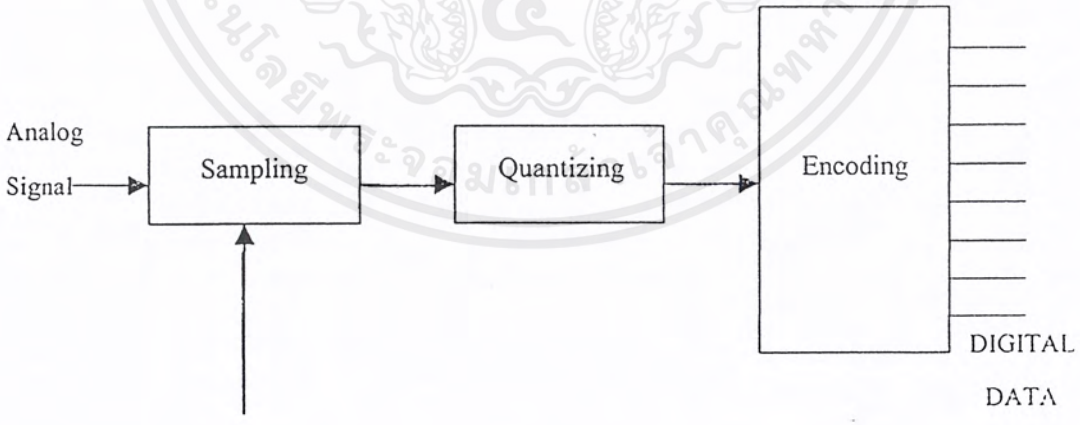
สัญญาณภาพจากสถานีโทรทัศน์ถูกส่งมาเป็นชุดๆ แต่ละชุดเรียกว่า สัญญาณ 1 ฟิลด์ ซึ่งประกอบด้วย รายละเอียดของสัญญาณภาพจำนวน 312.5 เส้น (รวมจังหวะสะบัดกลับทางแนวตั้งด้วย) อันเป็นอัตราเดียวกับการกวาดของราสเตอร์ที่หน้าจอภาพของเครื่องรับ 1 ฟิลด์เช่นกัน สัญญาณภาพแต่ละเส้นจะทำให้ราสเตอร์แต่ละเส้นเปลี่ยนแปลงความสว่างเกิดเป็นภาพที่สมบูรณ์ปรากฏขึ้น 1 ภาพ ในเวลา 1/25 วินาที (อัตราการเกิดภาพที่หน้าจอเครื่องรับโทรทัศน์เท่ากับ 25 ภาพต่อวินาที)



รูปที่ 2.7 สัญญาณเวอร์ซิ้งค์

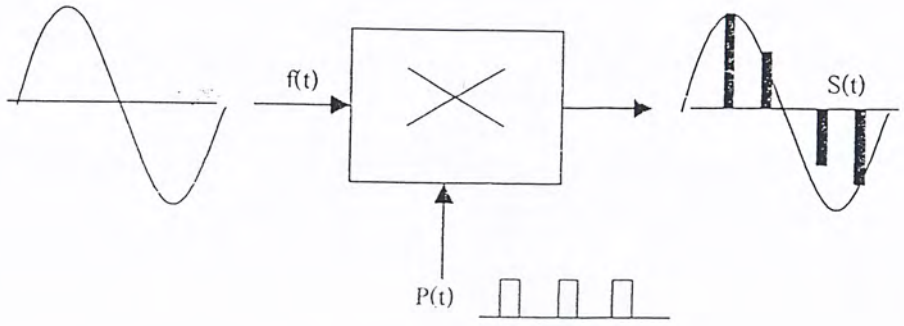
2.2 การแปลงสัญญาณอนาลอกเป็นดิจิตอล

เนื่องจากในการที่จะแบ่งสัญญาณภาพออกเป็นส่วนๆนั้น การกระทำทาง อนาลอก (Analog) ทำได้ยากมาก จึงจำเป็นต้องแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter: A / D) ก่อน แล้วจึงมาจัดการข้อมูลได้ ซึ่งวิธีการแปลงสัญญาณจะมีหลักการทั่วไปแสดงดังรูป 2.8



รูปที่ 2.8 แสดงบล็อกไดอะแกรมของการเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล

ซึ่งส่วนประกอบที่สำคัญที่สุดคือ การแซมปลิ้ง (Sampling) เพราะความผิดพลาดของสัญญาณดิจิตอล ที่แปลงมาจากสัญญาณอนาลอก นั้นจะมากหรือน้อยขึ้นอยู่กับความสัมพันธ์ของความถี่แซมปลิ้งกับความถี่สูงสุดของสัญญาณอนาลอก โดยมีทฤษฎีที่เกี่ยวข้องคือ ทฤษฎีการแซมปลิ้ง (Sampling Theory) ซึ่งความสัมพันธ์ตาม ทฤษฎีการแซมปลิ้ง จะสังเกตุได้ง่ายจากรูปคลื่น



รูปที่ 2.9 แสดงการแซมปลิ้ง

จากรูปที่ 2.8 จะได้ $S(t) = P(t) * f(t)$

เมื่อเราสังเกตุดู P(t) ซึ่งเป็นพัลส์ (Pulse) สี่เหลี่ยม ถ้านำมาเขียนเป็นสมการ ฟูเรียร์ (Fourier) ได้ดังนี้

$$P(t) = DC + a_0\cos\omega_0 t + a_1\cos 3\omega_0 t + a_2\cos 5\omega_0 t + \ldots\infty$$

คือ P(t) ประกอบด้วยความถี่พื้นฐานรวมกับฮาร์โมนิก (Harmonics) ที่เป็นเลขคี่ไปจนถึง ∞ และถ้าเราคูณ P(t) ด้วย f(t) จะได้ S(t)

$$S(t) = f(t)DC + (a_0\cos\omega_0 t)(f(t)) + (a_0\cos 3\omega_0 t)(f(t)) + \ldots f(t)\infty$$

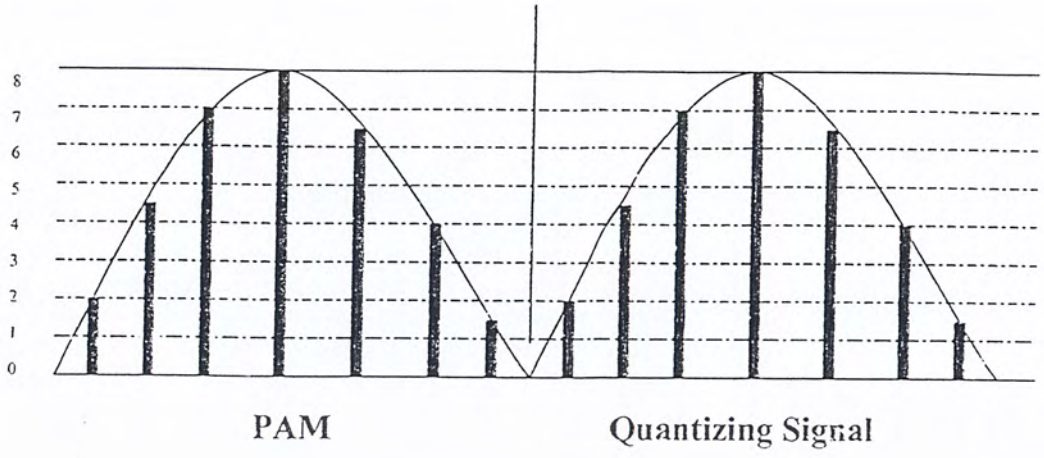
เมื่อพิจารณาคูเทอมที่ 2 พบว่า มีรูปแบบเหมือน แอมปลิจูดมอดูเลชั่น (AM)

โดย $f(t) = B\cos\omega_m t$

$$f(t)a_0\cos\omega_0 t = (Ba_0/2)\cos(\omega_0 - \omega_m)t + (Ba_0/2)\cos(\omega_0+\omega_m)t$$

ซึ่งความถี่คือความถี่ ω_0 ที่ใช้สำหรับแซมปลิ้ง และในการดีเทค (Detect) สัญญาณคืนมาจะใช้วงจรกรองความถี่ต่ำ (Low Pass Filter) กรองเอาเฉพาะ f(t)DC ออกมาเท่านั้น ซึ่งถ้าหาก ω_0 มีค่าน้อยกว่า 2 เท่า ของ ω_m แล้ว จะทำให้มีความถี่ซึ่งเป็นผลต่างของ ω_0-ω_1 เข้ามาแทรกใน f(t)DC ด้วย ซึ่งจะมีผลให้สัญญาณที่ ดีเทก กลับคืนมามีความผิดพลาด ดังนั้นจึงต้องเลือก ω_0 หรือความถี่แซมปลิ้ง ให้มีค่ามากกว่า 2 เท่าของความถี่สูงสุดของสัญญาณก่อนจะมีการแซมปลิ้ง หรือ ω_m ซึ่งสัญญาณที่ได้ออกมาจากภาคแซมปลิ้งนี้เรียกว่า พัลส์แอมปลิจูดมอดูเลชั่น หรือ พีเอเอ็ม (Pulse Amplitude Modulation : PAM)

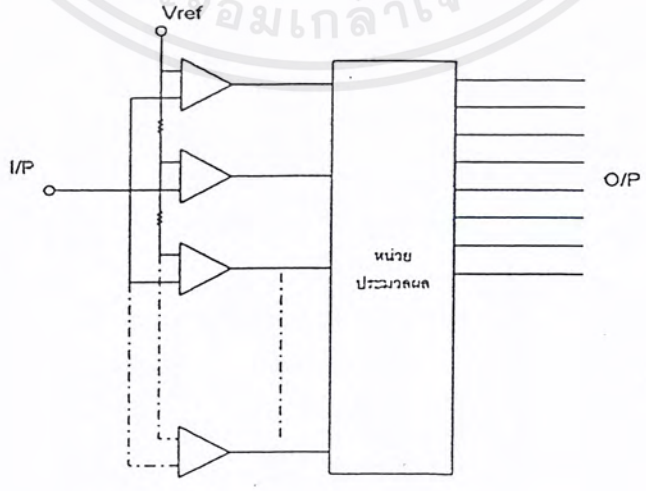
ส่วนภาคควอนไตซิ่ง (Quantizing) นั้นเป็นการจัดระดับของสัญญาณพีเอเอ็มซึ่งอาจมีระดับที่ไม่แน่นอนให้ไปอยู่ในระดับที่แน่นอน ซึ่งในขั้นตอนนี้ก็จะมีความผิดพลาดจากการจัดระดับอยู่ เรียกว่าควอนไตซิ่งเออเรอร์ (Quantizing Error) ซึ่งจะมีค่ามากหรือน้อยก็ขึ้นอยู่กับว่า เราแบ่งระดับของสัญญาณได้ละเอียดเพียงใด ในโครงงานนี้ใช้การแบ่งระดับ 256 ระดับ ซึ่งเพียงพอสำหรับสัญญาณเสียงและสัญญาณภาพแล้ว



รูปที่ 2.10 ลักษณะสัญญาณของภาคควอนไตซิ่ง

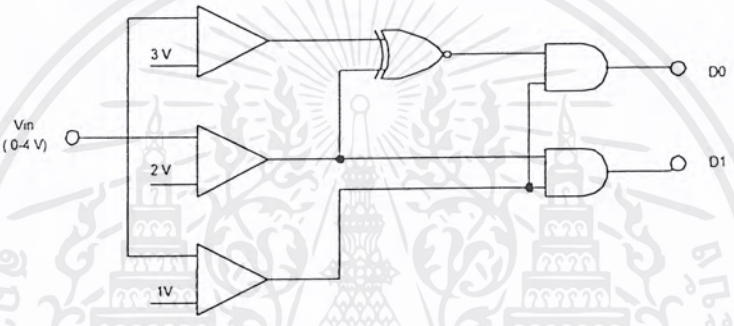
จากรูปที่ 2.10 คือลักษณะสัญญาณของภาค ควอนไตซิ่ง และข้อผิดพลาดของสัญญาณเมื่อได้รับสัญญาณ ควอนไตซิ่ง แล้วก็จะนำไปเข้าวงจร เข้ารหัสให้เป็นสัญญาณดิจิตอล ซึ่งมี 2 ระดับ คือ 0 กับ 1 เท่านั้น จากการแบ่งเป็น 256 ระดับ เมื่อคิดเป็นฐาน 2 แล้วจะได้ข้อมูล 8 บิท โดยกำหนดให้ระดับต่ำสุดของสัญญาณควอนไตซิ่ง (Quantizing Signal) เท่ากับ 1111 1111 ดังนั้นข้อมูลที่ออกมาจะเป็นสัญญาณดิจิตอลที่มีค่าตามระดับตามที่ตั้งไว้

แฟลช เอทูดี (Flash A/D) คือ วงจรเอทูดี (Analog to Digital) ที่มีความรวดเร็วสูงในการเปลี่ยนสัญญาณ เนื่องจากวงจร แฟลต เอทูดี นั้นจะใช้การโปรแกรมเอาต์พุตไว้ก่อน แล้วส่วนวงจรเปรียบเทียบจะใช้ออปแอมป์ ที่มีจำนวนเท่ากับจำนวนของสัญญาณเอาต์พุต ที่จะเกิดขึ้น เช่น ถ้าสัญญาณเอาต์พุตเป็นสัญญาณดิจิตอล 8 บิท จะใช้ออปแอมป์ เท่ากับ $2^8 = 256$ ตัว ซึ่งแต่ละตัวจะมีแรงดันอ้างอิง ที่เป็นค่าคงที่อยู่ค่าหนึ่ง ตามระดับของสัญญาณ ดังรูปที่ 2.11



รูปที่ 2.11 วงจรแฟลตเอทูดี

เมื่อมีสัญญาณอินพุตเข้ามา จะถูกส่งไปให้กับ ออปแอมป์ ทุกตัว เพื่อเปรียบเทียบกับแรงดันอ้างอิงของแต่ละตัว ถ้าสัญญาณอินพุตไปตรงกับออปแอมป์ตัวใด ก็จะให้สัญญาณเอาต์พุตออกมาส่งไปให้กับวงจรประมวลผล เพื่อจัดหาค่าของสัญญาณดิจิตอล สัญญาณเอาต์พุตให้ได้ตามค่าของสัญญาณอินพุตที่ส่งเข้ามา ซึ่งการเปลี่ยนสัญญาณในรูปแบบนี้ไม่ต้องใช้วงจรนับ แล้วป้อนกลับมาเปรียบเทียบทีละค่า จึงทำให้ความเร็วในการเปลี่ยนสัญญาณสูงมากกว่าแบบแรกมาก จึงเหมาะที่จะนำมาใช้กับสัญญาณภาพ ซึ่งมีความถี่สูง ในโครงงานนี้จึงใช้ เอทูดีแบบแฟลต ซึ่งเป็น ไอซีเบอร์ CA3318CE ของบริษัท HARRIS ส่วนรายละเอียดของไอซีเบอร์นี้อยู่ในภาคผนวก ข. หรือ จะเรียก แฟลต เอทูดี ว่าเป็น open loop converter เนื่องจากไม่มีสัญญาณป้อนกลับ (feedback) กลับไปยังอินพุต ตัวอย่างของหลักการ เอทูดี แสดงดังรูป 2.12



รูปที่ 2.12 หลักการของแฟลตเอทูดี

จากรูปใช้ ลอจิกเกท เป็นวงจรเปลี่ยนระดับของสัญญาณ อินพุต ให้เป็นสัญญาณดิจิตอล โดยเริ่มจาก เมื่อมี อินพุต 0 โวลต์ เข้ามา จะทำให้ เอาต์พุต ทุกตัวของ คอมพาราเตอร์ (Comparator) เป็น 0 หมด และเมื่อผ่าน เอ็กคลูซีฟนอร์เกท (ex-nor) จะทำให้ เอาต์พุต เป็น "1" ไปเข้า แอนด์เกท "1" เป็น "0" ทำให้ D0 = "0" และ แอนด์เกท "2" จะมี อินพุต เป็น 0 0 ดังนั้น D1 = "0" เพราะฉะนั้นที่ระดับ 0 โวลต์ เอาต์พุตของ เอทูดี = 0 0 เมื่อ V_{in} = 1 โวลต์ จะทำให้ เอาต์พุต ของ คอมพาราเตอร์ ตัวที่ 1 เป็น "1" ไป แอนด์ กับ เอาต์พุต ของ เอ็กคลูซีฟนอร์เกท ซึ่งเป็น "1" ทำให้ได้ D0 = "1" ส่วน D1 ได้จากการ แอนด์กันของ เอาต์พุต คอมพาราเตอร์ ตัวที่ 1 กับตัวที่ 2 เป็น 1 0 ดังนั้น เอาต์พุต D1 = 0 เพราะฉะนั้นที่ระดับ V_{in} = 2 โวลต์ จะทำให้ เอาต์พุตของคอมพาราเตอร์ ตัวที่ 1 กับ 2 เป็น "1" ทำให้ เอาต์พุต D1 = "1" ส่วน D0 = 0 เพราะฉะนั้น เอาต์พุตของเอทูดี = 1 0 และ เมื่อ V_{in} = 3 โวลต์ จะทำให้ เอาต์พุตของคอมพาราเตอร์ ทุกตัวเป็น "1" ดังนั้น เมื่อผ่านโลจิกเกท จะได้ เอาต์พุต เป็น 1 1 ซึ่งข้อดีของวงจร แฟลตเอทูดี คือ มีความสามารถในการเปลี่ยนสัญญาณได้เร็วมาก แต่ข้อเสียคือ จะต้องใช้จำนวน คอมพาราเตอร์ มากเป็น 2 เท่า เมื่อต้องการเพิ่มบิท 1 บิท หรือถ้าเป็นสมการจะได้ จำนวนออปแอมป์ = $2^n - 1$ ตัว โดย n = จำนวนบิท

จะได้ 2 บิท = 3 ตัว

3 บิท = 7 ตัว

4 บิท = 15 ตัว

5 บิท = 31 ตัว

6 บิท = 63 ตัว

7 บิท = 127 ตัว

8 บิท = 255 ตัว

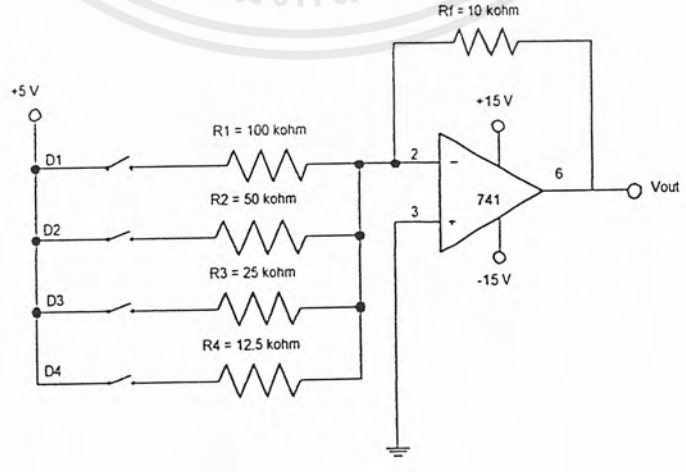
ดังนั้นเมื่อเราใช้สัญญาณดิจิตอล 8 บิทจะต้องใช้คอมพาราเตอร์ถึง 256 ตัวซึ่งทำให้อุปกรณ์มีราคาสูงมาก ทั้งหมดนี้คือหลักการของการแปลงสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอลซึ่งในโครงงานนี้จะใช้ไอซี (IC) สำเร็จรูปเบอร์ CA 3318CE เป็นตัวแปลง ซึ่งคุณสมบัติที่เด่นของไอซีเบอร์นี้คือมีอัตราการแซมปลิ้ง (Sampling Rate) สูงถึง 15 เมกะเฮิรตซ์ ทำให้สามารถใช้กับสัญญาณภาพโดยตรง

2.3 การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกหรือเอทูดี (Digital to Analog Converter : D/A) เป็นการนำเอาสัญญาณดิจิตอลที่มีอยู่ 2 ระดับ คือ " 0 " กับ " 1 " นำมาผ่านวงจรดีทูเอและออกมาเป็นสัญญาณอนาลอกซึ่งวงจรดีทูเอที่เป็นพื้นฐานและที่นิยมใช้กันอยู่ทั่วไปนั้นมีอยู่ทั่วไปนั้นมีอยู่ด้วยกัน 3 แบบ คือ

1. แบบใช้ตัวต้านทานหลายค่า (Binary Weighted Resister D/A Converter)

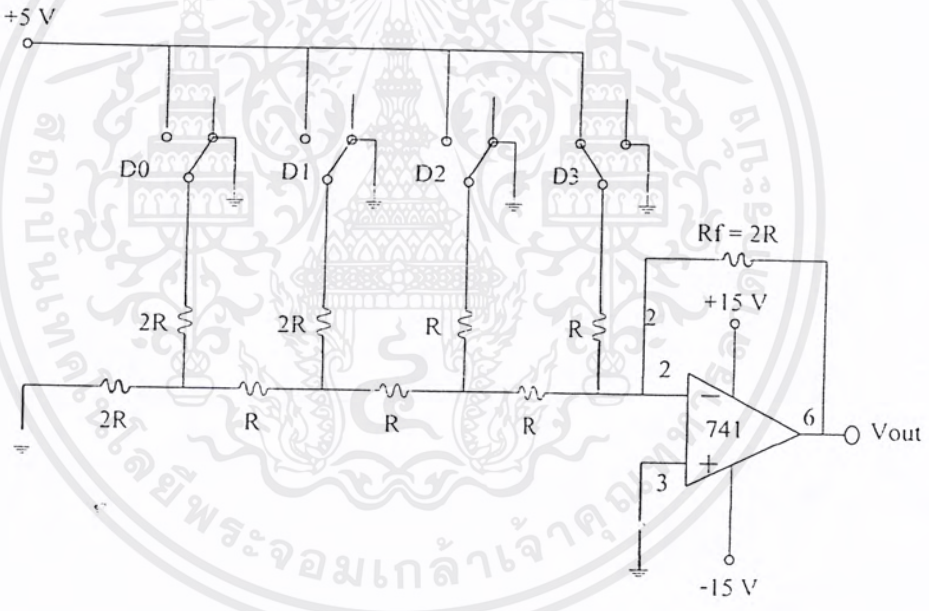
วงจรเปลี่ยนสัญญาณดีทูเอชนิดนี้ใช้ตัวต้านทานต่างๆและออปแอมป์เพื่อทำการเปลี่ยนระดับสัญญาณลอจิก 2 ระดับเป็นแรงดันที่เป็นสัดส่วนกัน รูปที่ 2.13 แสดงวงจรเปลี่ยนสัญญาณดิจิตอลขนาด 4 บิท ซึ่งออปแอมป์ที่ใช้มีอัตราการขยายสูงมาก (โดยทั่วไปจะสูงกว่า 100,000 เท่า) โดยที่มีค่าความต้านทานทางด้านเอาต์พุทต่ำและค่าความต้านทานด้านอินพุทสูงมาก เมื่อทำการเปลี่ยนการปิดเปิดสวิตช์ไปเรื่อยๆก็จะเหมือนกับการที่ทำการป้อนลอจิกเข้าไปซึ่งจะทำให้ได้แรงดันค่าต่างๆกัน ในการคำนวณหาค่าแรงดันที่ออกทางเอาท์พุตจะเพิ่มขึ้นเป็นระดับๆเหมือนขั้นบันได ดังนั้นอินพุต 4 บิทจึงทำให้ได้ระดับแรงดันทางด้านเอาท์พุต 16 ระดับ (2^4) แต่ละระดับจะต่างกัน –0.5 โวลต์ อาจจะกำหนดระยะห่างของแต่ละระดับได้โดยการเปลี่ยนขนาดของ R_F แต่ถ้า R_F มีค่ามากเกินไป ระดับบนสุดจะขับออปแอมป์ถึงจุดอิ่มตัว (ที่แรงดัน –14 โวลต์)



รูปที่ 2.13 แสดงตัวอย่างวงจรการเปลี่ยนสัญญาณขนาด 4 บิท

2. แบบใช้ตัวต้านทาน 2 ค่า (R/2R ladder D/A Converter)

เมื่อวงจรดีทูเอมีขนาดมากกว่า 4 บิท วงจรตามรูปที่ 2.11 จะมีปัญหาเนื่องจากต้องการค่าความต้านทานที่มีช่วงกว้างมาก วิธีการนี้จะใช้หลักการแบบไบนารีเวตเหมือนกัน แต่ใช้ค่าความต้านทานเพียงแค่ 2 ค่าดังแสดงในรูปที่ 2.14 ซึ่งกระแสจะถูกเปลี่ยนเป็นค่าแรงดันโดยออปแอมป์และตัวต้านทานป้อนกลับ R_F เหมือนวงจรรูปที่ 2.13 วิธีการนี้เรียกว่าการใช้ความต้านทาน 2 ค่า ซึ่งค่าความต้านทานที่ใช้เป็นอัตราส่วนที่คำนวณได้ง่าย ซึ่งการคำนวณนั้นเหมือนกับการคำนวณออปแอมป์ธรรมดา แม้ว่าดีทูเอคอนเวอร์เตอร์แบบ R/2R แลดเดอร์จะวิเคราะห์ได้ยากกว่าแบบต้านทานหลายค่า แต่จะง่ายกว่าสำหรับการต่อวงจรให้ถูกต้องเพราะว่าใช้ค่าความต้านทานเพียง 2 ค่าเท่านั้น การเพิ่มจำนวนบิทก็จะทำได้โดยการเพิ่มส่วนของ R/2R ลงไป



รูปที่ 2.14 แสดงตัวอย่างวงจรดีทูเอแบบ R/2R

3. แบบใช้ไอซี (Monolithic and Hybrid D/A Converters)

โมโนลิทิค (Monolithi) หมายถึง " หินก้อนเดียว " เมื่อนำไปใช้ในวงจรรวมจะเป็นการชี้บอกว่าวงจรหนึ่งถูกบรรจุอยู่บนสารกึ่งตัวนำเพียงชนิดเดียว ส่วนไฮบริด (Hybrid) บรรจุสารกึ่งตัวนำที่เรียกว่าชิพ (Ship) เพียงชิ้นเดียวหรือมากกว่า มีตัวต้านทานหรือตัวประกอบวงจรอื่นๆอยู่ในกรอบของไอซีตัวเดียว

สำหรับในโครงงานนี้จะใช้วงจรแปลงดิจิตอลเป็นอนาลอกแบบใช้ไอซี ซึ่งวงจรภายในไอซีนั้นจะเป็นแบบ R/2R แลดเดอร์ ซึ่งจะได้กล่าวถึงรายละเอียดในบทต่อไป

2.3.1 ลักษณะสมบัติของดีทูเอ

ลักษณะสมบัติของการแปลงสัญญาณดิจิตอลเป็นอนาลอกกำหนดได้เป็นข้อๆดังนี้คือ

1. ความละเอียด (Resolution) ขึ้นอยู่กับจำนวนบิททางด้านอินพุต ตัวอย่างเช่น วงจรเปลี่ยนสัญญาณ 8 บิท มีระดับเอาท์พุต 2^8 หรือ ความ256 ระดับ ดังนั้นความละเอียดคือ 1/256 ความละเอียดบางครั้งคิดเป็นเปอร์เซ็นต์เท่ากับ 0.39%

2. ความถูกต้อง (Accuracy) คือความถูกต้องจากการเปรียบเทียบระหว่างเอาท์พุตจริงและเอาท์พุตที่ปรากฏโดยคิดที่เต็มสเกล ถ้าวงจรเปลี่ยนสัญญาณมีเอาท์พุตเต็มสเกล 10 โวลต์ มีความผิดพลาด $\pm$ 0.2 ดังนั้นค่าความผิดพลาดสูงสุดคือ 0.002×10 โวลต์ หรือ 20 มิลลิโวลต์ ในทางทฤษฎีแล้ว ความถูกต้องของวงจรเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาลอกไม่ควรต่ำกว่า$\pm$ ½ ของบิทที่มีนัยสำคัญต่ำสุด (LSB)

3. โมโนโทนิค (Monotonic) จะเรียกว่าเป็นโมโนโทนิคก็ต่อเมื่อไม่มีการกระโดดข้ามขั้นตอนย่านการใช้งาน

4. เวลาเซ็ตเอาท์พุต (Output Setting Time) เป็นเวลาที่เอาท์พุตของวงจรเปลี่ยนสัญญาณใช้ในการเพิ่มขึ้นถึง ½ ของบิทที่มีนัยสำคัญต่ำสุด (LSB) หลังจากมีการเปลี่ยนแปลงทางอินพุต ถ้าวงจรเปลี่ยนสัญญาณถูกใช้งานย่านความถี่สูง อาจทำให้มีการเพิ่มแรงดันไม่ถึงค่าที่ถูกต้องทำให้เกิดความผิดพลาดเกิดขึ้นได้อีกประการหนึ่ง

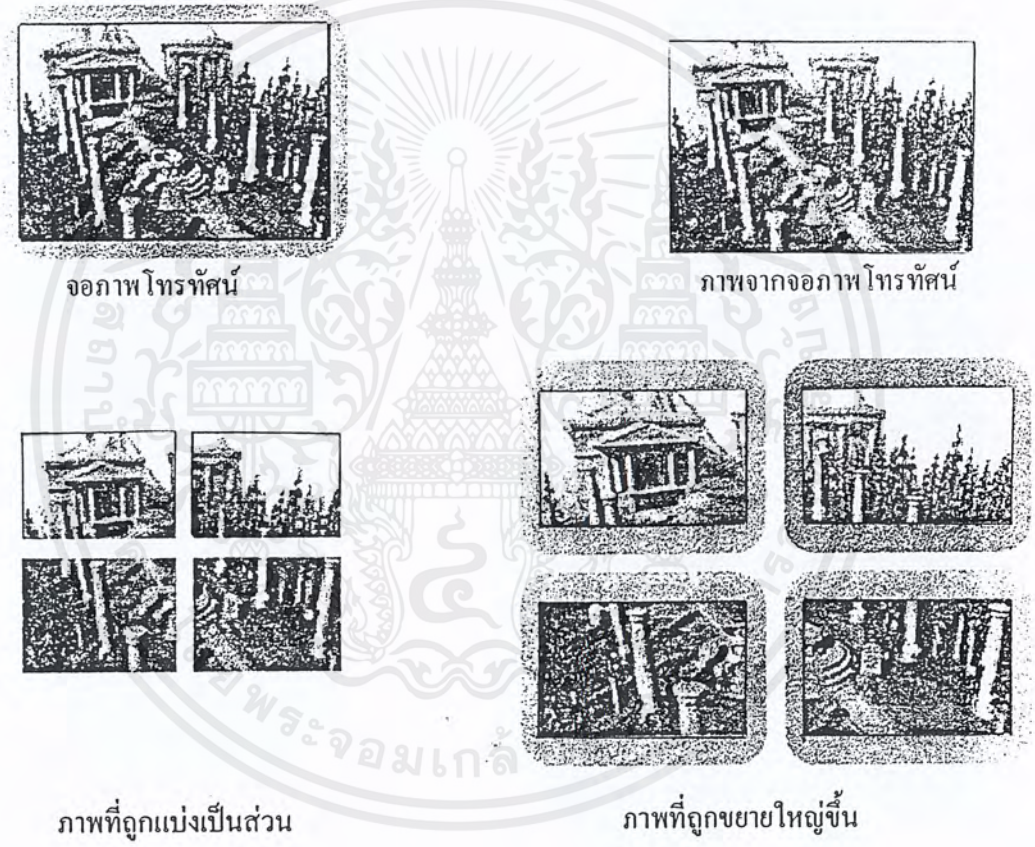
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

บทที่ 3

การออกแบบและการทำงานของวงจร

3.1 แนวความคิดในการออกแบบ

จุดมุ่งหมายของการออแบบสร้างเครื่องแบ่งสัญญาณภาพ คือการทำให้ภาพมีขนาดใหญ่ขึ้น โดยนำเอาภาพที่ปกติแสดงบนจอภาพโทรทัศน์ 1 จอภาพ มาแบ่งออกเป็นส่วน ๆ จากนั้นทำการขยายภาพในแต่ส่วนให้มีขนาดเท่ากับภาพเดิม เพื่อนำภาพไปแสดงบนจอภาพโทรทัศน์จำนวนเท่ากับที่แบ่งออก ภาพที่ปรากฏรวมทุก ๆ จอมีขนาดใหญ่ขึ้น โดยที่แต่ละภาพจะแสดงเฉพาะส่วนของภาพที่ได้แบ่งมา ดังรูป 3.1



รูปที่ 3.1 รูปแสดงแนวความคิดพื้นฐาน

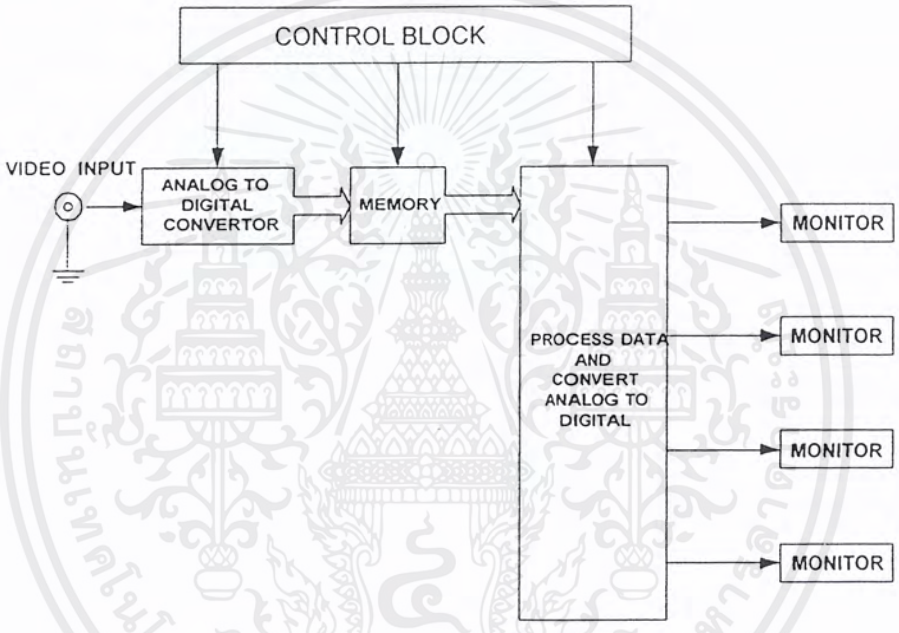
3.1.1 แนวความคิดในการออกแบบระบบ

ปกติแล้วภาพที่แสดงบนจอภาพโทรทัศน์เกิดจากการเปลี่ยนแปลงระดับของสัญญาณภาพ (Video signal) ดังนั้น ถ้าหากควบคุมสัญญาณได้ ก็สามารถควบคุมการแสดงภาพที่หน้าจอภาพได้เช่นกัน เนื่องจากสัญญาณภาพเป็นสัญญาณอนาลอก การเข้าไปควบคุมและการจัดการสัญญาณโดยตรงมีความยุ่งยาก วิธีการที่คิดว่าน่าจะเป็นไปได้และมีความยุ่งยากน้อยกว่า คือการนำเอาสัญญาณภาพอนาลอก มาทำการเปลี่ยนให้อยู่ในรูปของข้อมูลทางดิจิตอล แล้วจัดเก็บไว้ในหน่วยความจำ ซึ่งเหมือน

42343

องค์ประกอบภาพของจอภาพที่ตำแหน่งต่าง ๆ ถูกแทนที่ด้วย ข้อมูลในหน่วยความจำ เมื่อสัญญาณภาพถูกแปลงเป็นสัญญาณดิจิตอล และจัดเก็บลงหน่วยความ

กระบวนการต่อมาคือ การจัดการกับข้อมูลดิจิตอลที่ได้ ให้เป็นไปตามที่ต้องการ การกระทำได้กับข้อมูลภาพดิจิตอล จะเสมือนไปกระทำกับสัญญาณภาพอนาลอกหรือเป็นการทำให้ภาพที่ปรากฏบนจอภาพเปลี่ยนแปลงนั่นเอง ทั้งนี้เพราะว่า ในขบวนการต่อมาเป็นการนำเอาข้อมูลภาพดิจิตอลมาสร้างเป็นสัญญาณภาพอนาลอกอีกครั้งหนึ่ง หากไม่มีการเปลี่ยนแปลงข้อมูล เมื่อทำการแปลงสัญญาณกลับคืนมาแล้วจะได้ภาพที่เหมือนเดิม แต่ถ้าหากข้อมูลถูกเปลี่ยนไปภาพที่ได้ก็จะเปลี่ยนแปลงตามไปด้วย ซึ่งสามารถเขียนรูปแนวความคิด แบบบล็อกไดอะแกรมพื้นฐานของเครื่องจัดแบ่งสัญญาณภาพ ดังรูป 3.2

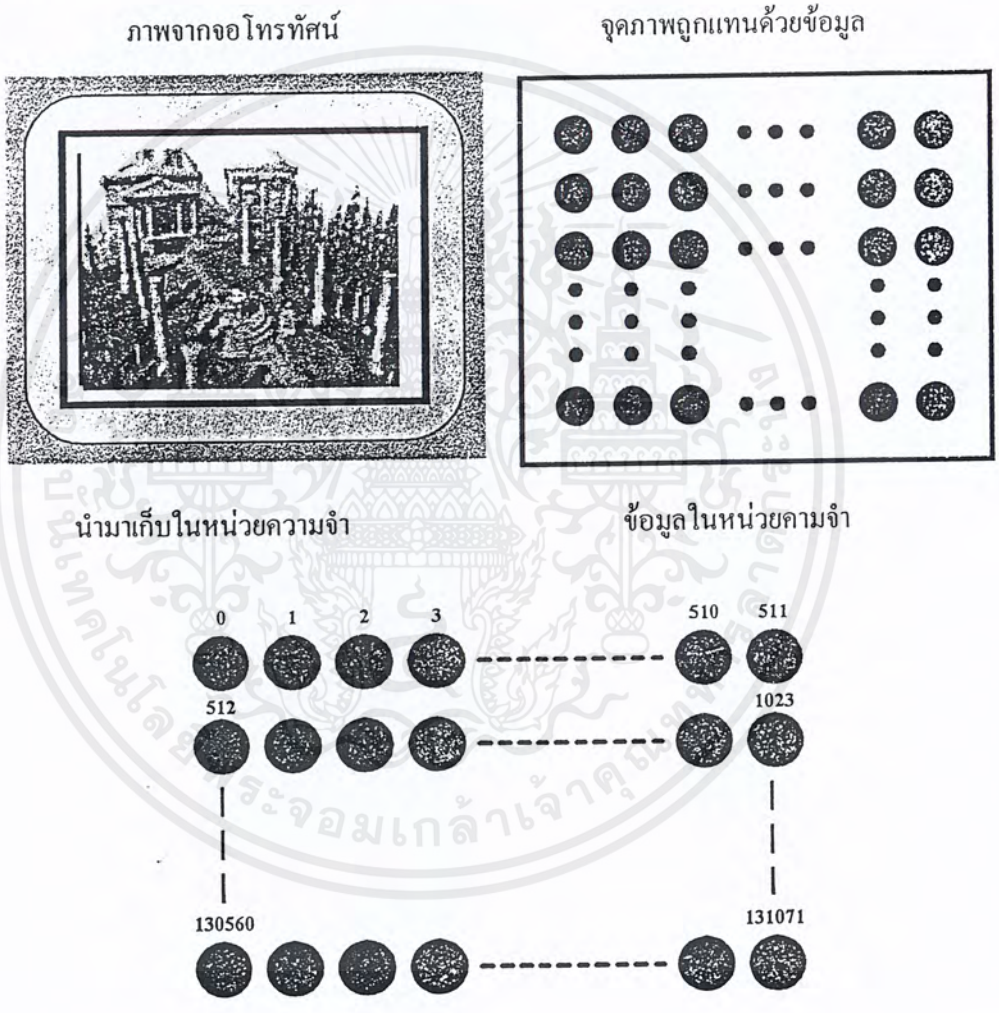


รูปที่ 3.2 แนวความคิดและบล็อกไดอะแกรมพื้นฐาน

3.1.2 ลักษณะการเก็บข้อมูลภาพดิจิตอล

สัญญาณภาพอนาลอกถูกเปลี่ยนให้เป็นข้อมูลภาพดิจิตอล โดยการใช้ขบวนการพีซีเอ็ม (PCM : Pulse Code Modulation) ดังนั้น คุณภาพของภาพหลังจากการทำการแปลงแล้วขึ้นอยู่กับ 2 ตัวแปร คือ ความถี่ที่ใช้ในการสุ่มสัญญาณ จะเป็นตัวกำหนดความละเอียดของภาพ หากใช้ความถี่สูงภาพที่ได้มีความละเอียดสูงกว่าที่ใช้ความถี่ต่ำ ส่วนอีกตัวแปรหนึ่งคือ จำนวนบิทที่นำมาใช้แทนระดับของสัญญาณภาพในแต่ละจุด ซึ่งแต่ละจุดเมื่อแปลงกลับคืนเป็นภาพแล้ว จะสามารถแสดงความชัดเจนได้แค่ไหนก็ขึ้นอยู่กับจำนวนบิท หากจำนวนบิทที่นำมาแทนระดับของสัญญาณภาพมีจำนวนมาก ทำให้การแทนระดับสัญญาณอนาลอกด้วยข้อมูลภาพดิจิตอลมีความผิดพลาดน้อย เมื่อแปลงเป็นสัญญาณอนาลอกก็จะได้สัญญาณที่แทบจะไม่แตกต่างจากเดิม แต่หากจำนวนบิทที่ใช้มีค่าน้อยเกินไปแล้วจะทำให้เกิดการ ผิดเพี้ยนของสัญญาณ ความชัดเจนของภาพแต่ละจุดก็น้อยลงเช่นกัน แต่อย่างไรก็ตาม ปริมาณของข้อมูล

ดิจิตอลจะมากขึ้นตามความละเอียด และชัดเจนของภาพด้วย นั่นคือต้องมีหน่วยความจำขนาดใหญ่คอยเก็บขอมูลเหล่านี้ ซึ่งการจัดเก็บข้อมูลดิจิตอลต้องมีความเร็วทันกับที่สัญญาณอนาลอกถูกแปลง ข้อมูลภาพที่ได้จึงสมบูรณ์ สำหรับวิธีการจัดเก็บข้อมูลภาพลงหน่วยความจำมีอยู่หลายวิธี และหลายรูปแบบ แต่ในโครงการที่ออกแบบมีแนวความคิดที่ให้การจัดเก็บข้อมูลภาพดิจิตัลเลียนแบบการแสดงผลบนจอภาพโทรทัศน์ ทั้งนี้เพราะว่า ทำให้เห็นภาพพจน์ของข้อมูล และไม่สับสนในการออกแบบ วิธีนี้จะมองพื้นที่ของหน่วยความจำให้เห็นเป็นจอภาพ เพื่อแทนจุดบนจอภาพด้วยข้อมูลในหน่วยความจำที่ตำแหน่งตรงกัน ดังรูป 3.3



รูปที่ 3.3 การจัดเก็บข้อมูล

3.1.3 ลักษณะการแบ่งภาพ และการจัดการข้อมูล

เมื่อสัญญาณภาพอนาลอกที่แสดงได้ 1 จอภาพ ถูกแปลงเป็นข้อมูลดิจิตอลและจัดเก็บลงหน่วยความจำแล้ว หากนำข้อมูลในหน่วยความจำนี้ไปทำการแปลงกลับเป็นสัญญาณอนาลอก จะได้ภาพที่สมบูรณ์แสดงได้ 1 จอภาพเช่นเดิม แต่จุดมุ่งหมายของโครงงานไม่ได้อยู่ตรงจุดนี้ ดังนั้นข้อมูลดิจิตอล

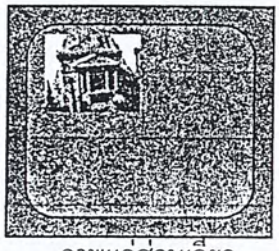
จึงต้องผ่านกระบวนการแบ่งภาพก่อนจากการจัดเก็บข้อมูลภาพดิจิตอลที่อยู่ในหน่วยความจำเป็นภาพหนึ่งภาพ หากต้องการแบ่งภาพให้เป็นส่วน ๆ ก็คือการกำหนดตำแหน่งข้อมูลบนหน่วยความจำว่า ภาพแต่ละส่วนอยู่ที่ตำแหน่งข้อมูลใดถึงตำแหน่งใด ดังแสดงในรูป 3.4

หลังจากภาพถูกแบ่งออกเป็นส่วนย่อย ๆ แล้ว แต่ละส่วนของภาพที่ได้มีความสมบูรณ์ในตัวเอง ซึ่งข้อมูลภาพในหน่วยความจำแต่ละส่วน สามารถนำไปสร้างสัญญาณได้อย่างอิสระ แต่อย่างไรก็ตาม เป็นเพราะว่าข้อมูลภาพที่ได้ มาจากสัญญาณภาพอนาลอกซึ่งมีคาบเวลาคงที่ค่าหนึ่ง ข้อมูลภาพดิจิตอลเพียงส่วนเดียวจะเป็นแค่ส่วนหนึ่งของคาบเวลาทั้งหมด ดังนั้นเมื่อนำไปแปลงกลับเป็นสัญญาณ อนาลอก สัญญาณที่ได้จะไม่เต็มคาบเวลา ความไม่สมบูรณ์ของภาพเกิดขึ้น เมื่อนำสัญญาณภาพนั้นมาแสดงบนจอภาพโดยจะเห็นภาพปรากฏเพียงส่วนเดียวไม่เต็มจอภาพ ดังรูป 3.5

รูปที่ 3.4 ลักษณะการแบ่งภาพและตำแหน่งของข้อมูลในหน่วยความจำ

ภาพเต็มจอภาพ

ภาพถูกแบ่งออกเป็น4ส่วน



ภาพแค่ส่วนเดียว

รูปที่ 3.5 ข้อมูลภาพ 1 ส่วน สัญญาณภาพ 1 ส่วน แสดงบนจอ 1 ส่วน

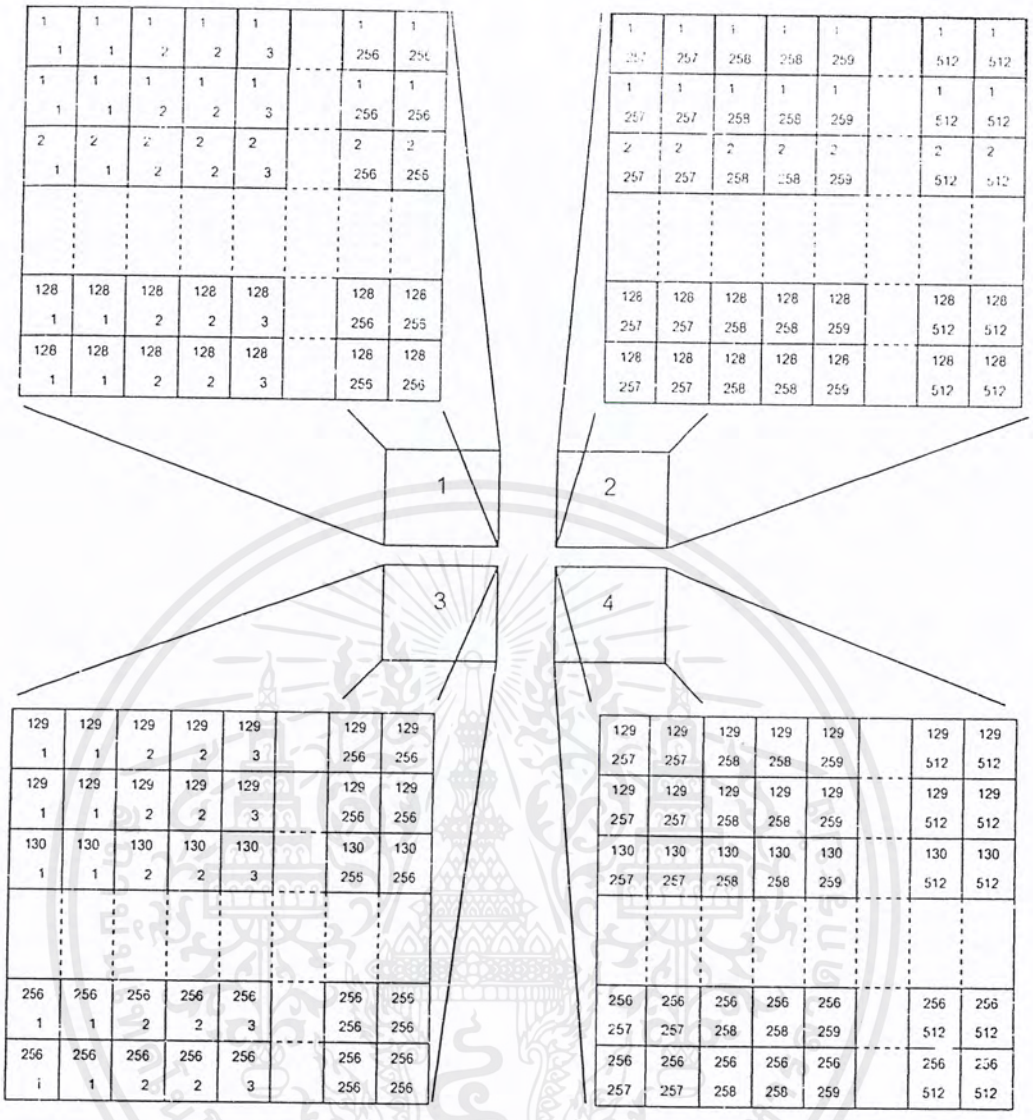
เพื่อให้ภาพแต่ละส่วนมีขนาดเท่ากับภาพเดิมก่อนถูกแบ่ง จึงต้องมีการขยายภาพแต่ละส่วนขึ้นมา เนื่องจากภาพแต่ละจุดถูกเก็บเป็นข้อมูลดิจิตอลในหน่วยความจำ ตำแหน่ง 1 จุดภาพ วิธีการที่ง่ายที่สุดสำหรับการขยายภาพแบบนี้ คือการทำซ้ำจุดภาพข้างเคียง ในขบวนการทำงานจริงเป็นการอ่านข้อมูลออกจากหน่วยความจำที่ตำแหน่งเดิมเท่ากับจำนวนจุดที่ต้องการทำซ้ำ ข้อเสียที่เห็นได้อย่างชัดเจนของวิธีการนี้หากมีการขยายภาพให้ใหญ่ขึ้นมาก ๆ ภาพจะมีความขยายขึ้นตามไปด้วย การขยายภาพไม่อาจกระทำในแนวเดียวได้ เพราะภาพจะเกิดความผิดเพี้ยนไม่สมส่วน จึงต้องมีการขยายทั้งในแนวนอนและแนวตั้ง ดังรูป 3.6-3.8

1 1	1 2	1 3	1 4	1 5	1 6		1 511	1 512
2 1	2 2	2 3	2 4	2 5	2 6		2 511	2 512
3 1	3 2	3 3	3 4	3 5	3 6		3 511	3 512
255 1	255 2	255 3	255 4	255 5	255 6		255 511	255 512
256 1	256 2	256 3	256 4	256 5	256 6		256 511	256 512

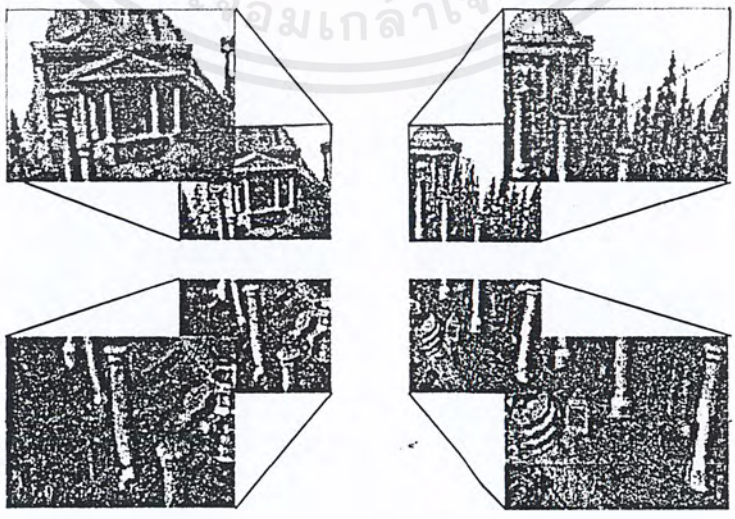
N คือ เส้นสแกน

M คือ จุดภาพ

รูปที่ 3.6 แสดงตำแหน่งของจุดภาพ



รูปที่ 3.7 แสดงการขยายบิตของข้อมูลในแต่ละจอภาพ



รูปที่ 3.8 แสดงรูปที่ถูกขยายในแต่ละจอภาพ

3.2 ระบบเครื่องแบ่งสัญญาณภาพ

ในโครงงานได้ออกแบบให้เครื่องแบ่งสัญญาณภาพ สามารถแบ่งภาพออกเป็น 4 ส่วน สัญญาณภาพถูกสุ่มสัญญาณที่ความถี่ 10 เมกะเฮริตซ์ ภาพต้นฉบับถูกแปลงเป็นสัญญาณดิจิตอลที่มีความละเอียด 512 × 512 จุดต่อ 1 เฟรม โดยแต่ละจุดภาพเป็นข้อมูลขนาด 8 บิท หรือมีระดับความแตกต่างกัน 256 ระดับสัญญาณภาพเป็นสัญญาณภาพขาวดำระบบพาล (PAL) ทำการเก็บสัญญาณภาพทั้ง 2 ฟิลด์ เป็นภาพเคลื่อนไหวที่เวลาจริง (Real Time) ในหัวข้อนี้จะกล่าวถึงระบบของเครื่องแบ่งสัญญาณภาพ หลังจากได้แนวความคิดในการทำงานแล้ว จึงมาทำการกำหนดเงื่อนไขการทำงาน ออกแบบวงจร รวมถึงการเลือกอุปกรณ์ที่นำมาใช้ นอกจากนี้ในแต่ละส่วนจะกล่าวถึงค่าพื้นฐานต่าง ๆ ข้อจำกัดในการออกแบบและตัวแปรอื่น ๆ ที่จำเป็นวงจร และการทำงาน เป็นอีกเรื่องหนึ่งที่กล่าวถึงในหัวข้อนี้ ซึ่งช่วยให้สามารถเข้าใจการทำงานระบบโดยละเอียด ในหัวข้อแรกเป็นการกล่าวถึง ส่วนประกอบของระบบและการทำงานโดยรวม ส่วนในหัวข้อต่อ ๆ ไป เป็นการบรรยายส่วนประกอบย่อยแต่ละส่วน

3.2.1 โครงสร้างและการทำงานของระบบ

จากแนวความคิด สามารถเขียนเป็นบล๊อกไดอะแกรมของระดับ ดังรูปที่ 3.9 ซึ่งแสดงส่วนประกอบหลักทั้งหมดของระบบ ส่วนประกอบต่าง ๆ ของบล๊อกไดอะแกรม มีหน้าที่การทำงานดังนี้

1. ส่วนแยกสัญญาณซิงค์ (Sync Separator) ทำหน้าที่แยกสัญญาณซิงค์แนวนอนและแนวตั้งจากสัญญาณภาพใช้ประโยชน์ในการชี้จุดเริ่มต้นของเส้นสแกน และจุดเริ่มต้นของฟิลด์ภาพ หลังจากแยกสัญญาณซิงค์ออกมาแล้วก็ทำการปรับความกว้างของสัญญาณซิงค์ดังกล่าว เพื่อให้เหมาะสมกับการใช้งาน

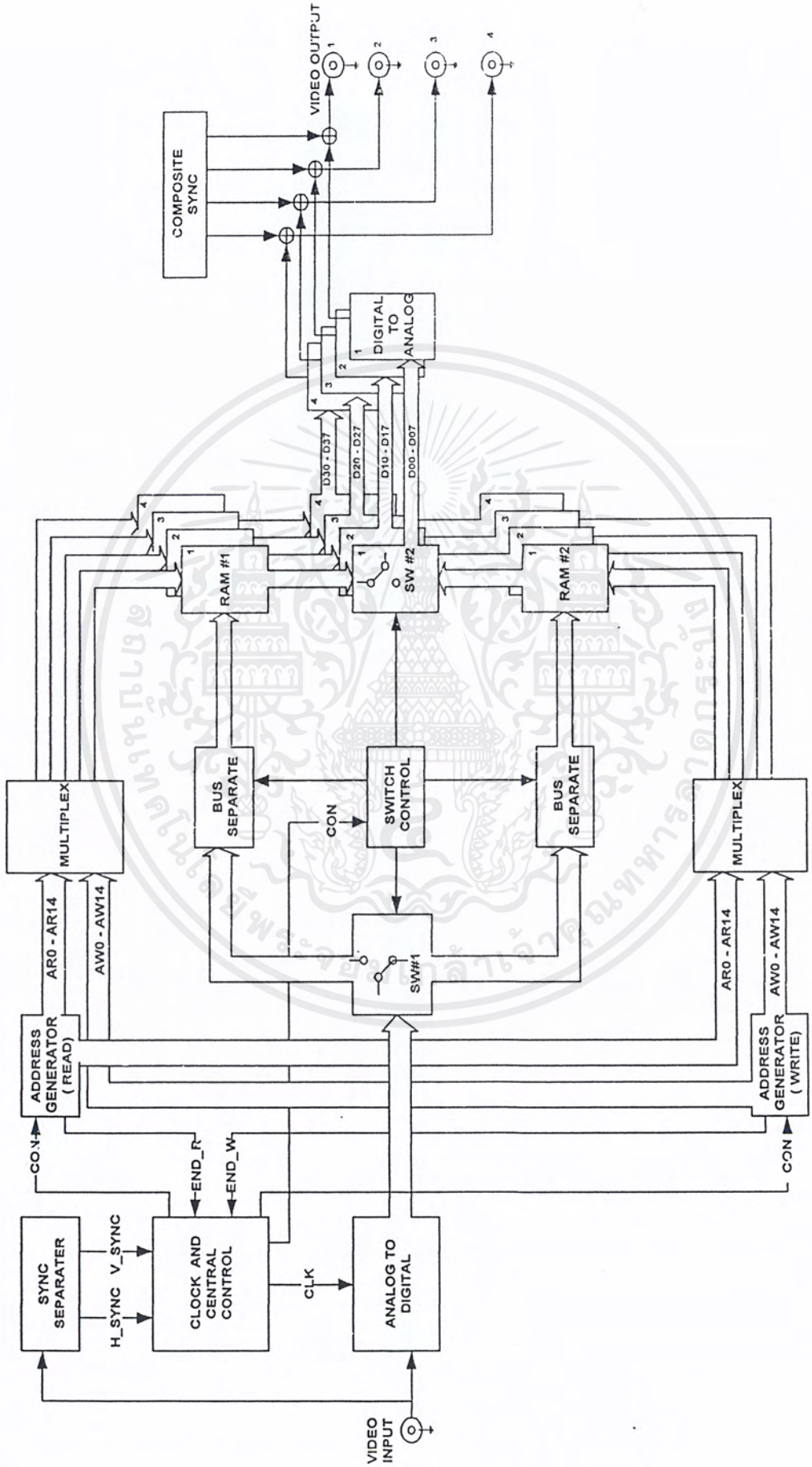
2. ส่วนกำเนิดสัญญาณนาฬิกาและส่วนควบคุมกลาง (Clock and Central Control) เป็นส่วนที่ทำหน้าที่กำเนิดสัญญาณนาฬิกาของระบบ และสร้างสัญญาณควบคุมต่าง ๆ คือ สัญญาณการเขียนอ่านหน่วยความจำ สัญญาณควบคุมอีเล็กทรอนิกส์สวิตซ์ในการสลับชุดหน่วยความจำ การควบคุมอาศัยการตรวจสอบสัญญาณที่ส่งมาส่วนต่าง ๆ

3. ส่วนการแปลงสัญญาณอนาลอกให้เป็นดิจิตอล ซึ่งใช้แฟรชเอทูดี (Flash A/D) เป็นตัวแปลงสัญญาณซึ่งเป็นตัวแปลงสัญญาณที่เป็นระบบแปลงความเร็วสูง สามารถแปลงค่าดิจิตอลเสร็จภายใน 1 คาบสัญญาณนาฬิกา เอาต์พุตที่ได้เป็นข้อมูลขนาด 8 บิท

4. ส่วนกำเนิดตำแหน่งการเขียน (Write Address Generator) ทำหน้าที่ควบคุมตำแหน่งการเขียนข้อมูลลงในหน่วยความจำ เมื่อสิ้นสุดการเขียนข้อมูล จะมีสัญญาณสิ้นสุดการเขียน (END_RD) มาบอกส่วนควบคุม

5. ส่วนกำเนิดตำแหน่งการอ่าน (Read Address Generator) ทำหน้าที่ควบคุมตำแหน่งการอ่านข้อมูลในหน่วยความจำ และนอกจากนี้ยังทำหน้าที่ขยายบิทของข้อมูล โดยอาศัยการซ้ำบิทด้วย และมีสัญญาณสิ้นสุดการอ่าน (END_RD) มาบอกส่วนควบคุม

6. ส่วนสวิตซ์ (SW#1,SW#2) ทำหน้าที่สลับการเขียนและการอ่านข้อมูลของหน่วยความจำ



รูป 3.9 บล็อกไดอะแกรมเครื่องแบ่งสัญญาณภาพ

7. ส่วนแยกบัสข้อมูล (Data Bus Separate) ทำหน้าที่เป็นสวิตซ์ตัดต่อบัสข้อมูลเข้ากับตัวแปลงสัญญาณในการเขียนข้อมูล และตัวดีทูเอในการอ่านข้อมูลออก

8. ส่วนมัลติเพล็กซ์ (Multiplex) ทำหน้าที่ เลือกสัญญาณการอ่านหรือการเขียนข้อมูลให้กับหน่วยความจำ

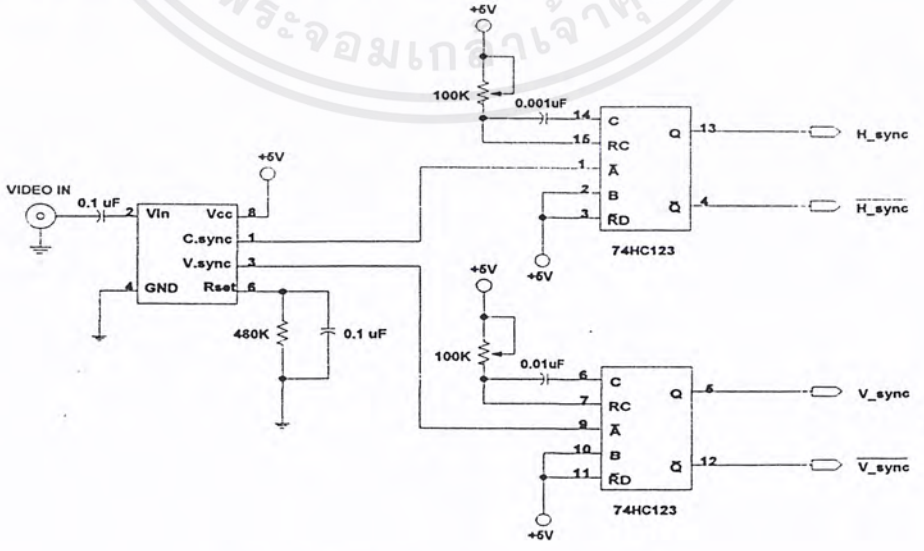
9. ส่วนควบคุมสวิตซ์ (Switch Contral) ทำหน้าที่ควบคุมอีเล็กทรอนิกส์สวิตซ์ ส่วนแยกบัสข้อมูล และส่วนมัลติเพล็ก เพื่อให้การเขียนและการอ่านของหน่วยความจำมีความสัมพันธ์กัน

10. ส่วนแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (D/A) ทำหน้าที่คืนกลับข้อมูลภาพดิจิตอลให้เป็นข้อมูลภาพอนาลอก

11. ส่วนผสมสัญญาณ ทำหน้าที่รวมสัญญาณภาพอนาลอกและรูปแบบของสัญญาณโทรทัศน์เข้าด้วยกัน เพื่อให้เป็นสัญญาณภาพที่สมบูรณ์ พร้อมที่จะไปแสดงที่จอโทรทัศน์

3.2.2 ส่วนวงจรแยกสัญญาณซิงค์

สำหรับวงจรแยกสัญญาณซิงค์นั้น โครงการนี้ได้ทำการออกแบบโดยใช้ ไอซีแยกสัญญาณซิงค์เบอร์ LM 188N ซึ่งสามารถแยกสัญญาณซิงค์ต่างๆ ออกจากสัญญาณภาพปกติได้ โดยมีสัญญาณที่ต้องใช้คือ สัญญาณซิงค์รวม ซึ่งสัญญาณซิงค์รวมนี้ได้นำเอาไปผ่านวงจรโมโนสเตเบิ้ล เพื่อให้ได้เพียงสัญญาณฮอริซอลตัลซิงค์ ซึ่งสามารถปรับขนาดได้ตามต้องการ สัญญาณฮอริซอลตัลซิงค์ที่ได้นั้นจะนำไปควบคุมวงจรส่วนอื่นต่อไป สัญญาณอีกส่วนหนึ่งที่ออกมาจากขา 3 ของไอซี LM 188N เป็นสัญญาณเวอร์ติคัลซิงค์ ก็นำไปผ่านวงจรโมโนสเตเบิ้ลเช่นกัน เพื่อทำการปรับขนาดให้ได้ตามต้องการ สำหรับค่าความต้านทานที่ต่ออยู่ที่ขา 6 ถ้าใช้ตัวต้านทานแบบปรับค่าได้ ก็จะสามารถปรับช่วงของสัญญาณเวอร์ติคัลซิงค์ โดยค่าความต้านทานสูงจะทำให้ช่วงชองสัญญาณเวอร์ติคัลซิงค์กว้าง และในทางตรงกันข้าม ถ้าค่าความต้านทานมีค่าต่ำ ก็จะทำให้ช่วงของสัญญาณเวอร์ติคัลซิงค์แคบลงด้วย วงจรส่วนแยกสัญญาณซิงค์ที่ใช้งานอยู่ในภาคผนวก ก. และรูปแบบของสัญญาณที่ออกจากไอซีเบอร์ LM 188N สามารถดูได้จากเอกสารอ้างอิงในภาคผนวก ข.

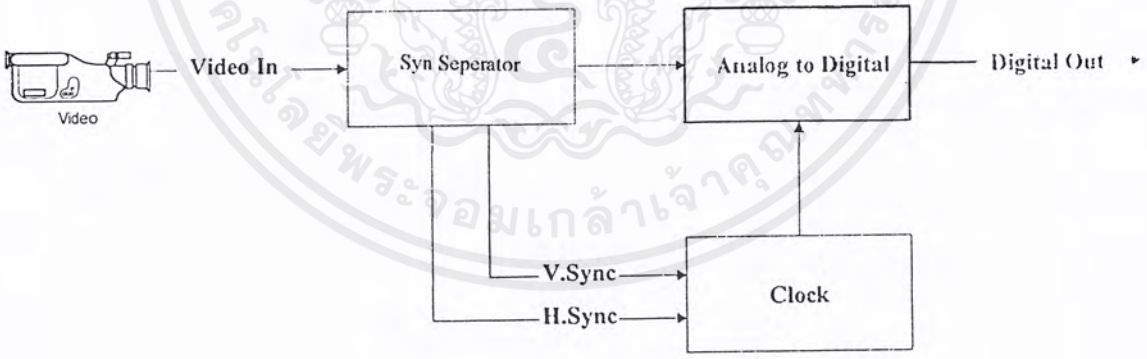


รูปที่ 3.10 วงจรส่วนแยกสัญญาณซิ้งค์

3.2.3 ส่วนเปลี่ยนสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล

การเปลี่ยนสัญญาณอนาลอกให้เป็นดิจิตอลเป็นขบวนการที่สำคัญของระบบ สัญญาณภาพถูกแปลงเป็นข้อมูลภาพดิจิตอลที่ส่วนนี้ หลังจากนั้นข้อมูลจึงถูกไปเก็บในหน่วยความจำ สัญญาณอินพุตของส่วนนี้คือ สัญญาณภาพรวมโทรทัศน์ (Composite Video Signal) และให้เอาต์พุตเป็นข้อมูลดิจิตอล หากพิจารณาถึงรายละเอียดของสัญญาณภาพรวม พบว่าประกอบไปด้วย 2 ส่วน คือ ส่วนของสัญญาณความสว่างเป็นส่วนหนึ่งของภาพที่จะไปแสดงบนจอภาพ และส่วนของสัญญาณควบคุม ภาพไม่อาจไปปรากฏบนจอภาพได้หากขาดส่วนหนึ่งไป สัญญาณควบคุมไม่ใช่ส่วนที่ทำให้เกิดภาพ แต่ช่วยจัดการให้ภาพเกิดขึ้น ณ ที่ถูกต้องบนจอภาพ สัญญาณควบคุมมีรูปแบบของสัญญาณที่ชัดเจน เป็นไปตามมาตรฐานที่กำหนดไว้คือระบบพาล ดังนั้นในการแปลงสัญญาณจึงไม่จำเป็น โดยทำการแปลงเฉพาะสัญญาณซึ่งเป็นส่วนที่ทำให้เกิดภาพเท่านั้น แต่อย่างไรก็ตามสัญญาณควบคุมจะถูกสร้างขึ้นมาใหม่เมื่อนำข้อมูลภาพดิจิตอล ไปแปลงเป็นสัญญาณภาพอนาลอก เพื่อส่งออกสู่จอภาพ

การแปลงสัญญาณโดยเลือกเฉพาะส่วนที่เป็นสัญญาณความสว่าง จำเป็นต้องมีสัญญาณมากและต้องรู้ตำแหน่งเริ่มต้นหรือจุดสิ้นของสัญญาณที่แน่นอน จากรูป 3.9 สัญญาณภาพในแต่ละเส้นสแกนเริ่มปรากฏเมื่อสิ้นสุด สัญญาณฮอริซอนตัลแบลงกิ้ง ส่วนจุดเริ่มต้นฟิลด์ภาพ สังเกตได้จากสัญญาณเวอร์ติคัลแบลงกิ้ง หากแยกสัญญาณเหล่านี้ออกจากสัญญาณภาพรวมได้ จะสามารถนำไปควบคุมการแปลงสัญญาณภาพได้ โดยการเข้าไปควบคุมสัญญาณนาฬิกาที่ป้อนให้กับ ไอซีเอทูดี คือ ไม่ให้มีการป้อนสัญญาณนาฬิกาเมื่อไม่ต้องการให้มีการเปลี่ยนแปลงบล็อกไดอะแกรม และรูปสัญญาณแสดงหลักการทำงานพื้นฐาน แสดงดังรูป 3.11



รูปที่ 3.11 สัญญาณแสดงหลักการทำงานพื้นฐาน

ส่วนการแปลงสัญญาณอะนาลอกเป็นดิจิตอล มีความสัมพันธ์โดยตรงกับความละเอียดของภาคที่จะได้ เมื่อทำการแปลงสัญญาณกลับคืน หากใช้ความถี่ในการสุ่มสัญญาณสูง สามารถสูง สามารถเก็บรายละเอียดของภาพได้มาก แต่ปริมาณขอบงข้อมูลก็สูงด้วย จากรูป 3.9 ใน 1 เส้น สแกนใช้เวลาทั้งหมด 64 μs เป็นส่วนที่ทำให้เกิดภาพประมาณ 80 % หรือ 51.2 μs ส่วนที่เหลือ 20% หรือ 12.8 μs เป็นส่วนควบคุมภาพ ซึ่งไม่ได้ทำการจัดเก็บ ไอซี เอทูดี ที่เลือกใช้สามารถใช้กับความถี่สูงสุดได้ 1.5 เมกะเฮิตรซ์

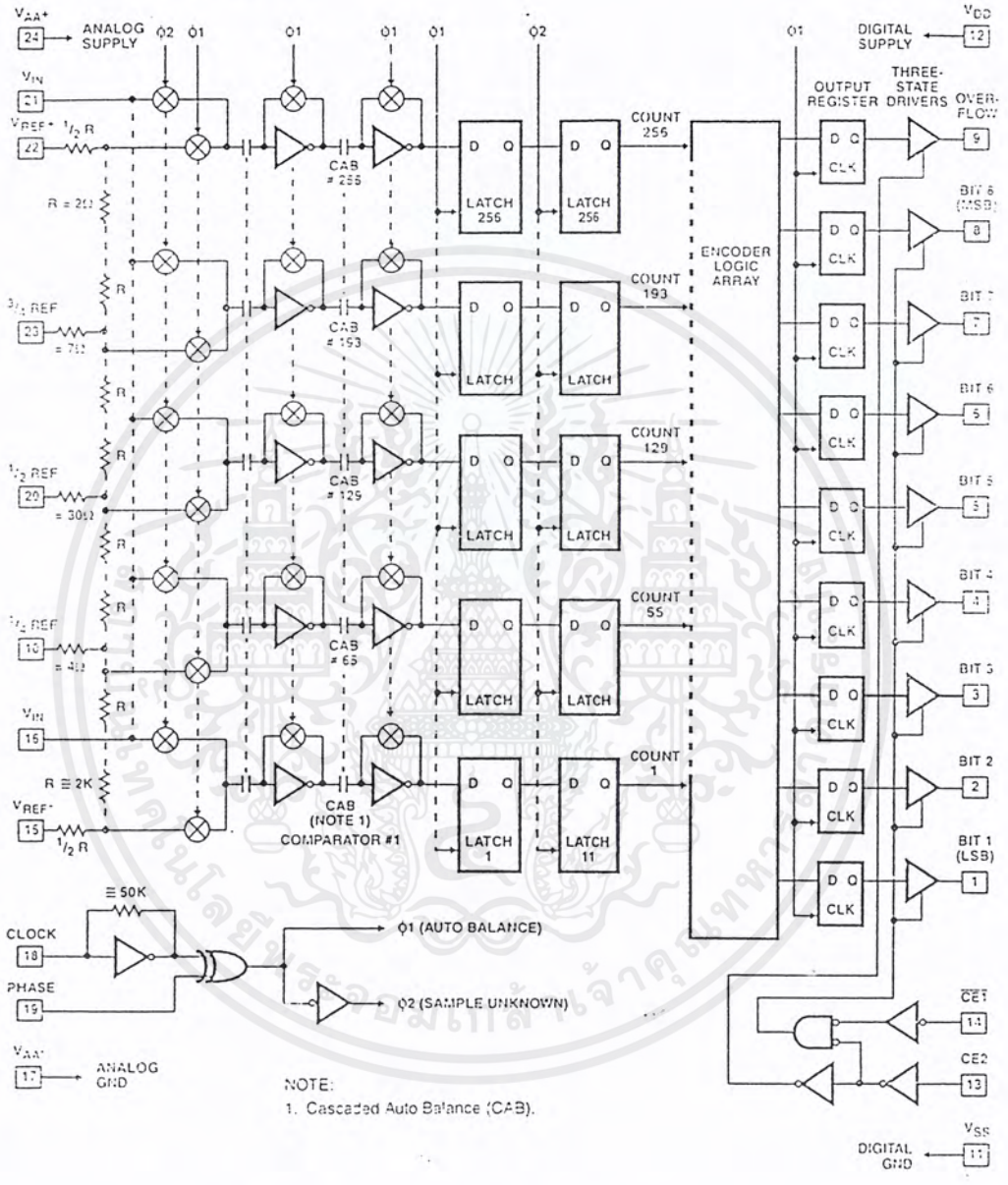
นั่นคือ ถ้าใช้ความถี่ 15 เมกะเฮิตรซ์ ในการสุ่มสัญญาณภาพใน 1 เส้นสแกน จะได้จุดภาพรวมทั้งหมด $51.2 \times 10 \times 15 \times 10 = 768$ จุด/เส้นสแกน แต่อย่างไรก็ตามเนื่องจากค่าความนี้เป็นค่าสูงสุดของไอซี และจำนวนจุดที่ได้ก็ไม่ลงตัวที่ 2 ทำให้ยากต่อการออกแบบวงจรและเลือกใช้อุปกรณ์ ดังนั้นในโครงงานจึงเลือกให้ เอทูดี ทำงานที่ความถี่ 10 เมกะเฮิตรซ์ จะได้ $51.2 \times 10 \times 10 \times 10 = 512$ จุด/เส้นสแกน จะเห็นว่า $512 = 2^9$ ซึ่งในการออกแบบวงจรนับ หรือการนำไอซีหน่วยความจำมาใช้สามารถทำได้สะดวกกว่า โดยที่ใน 1 ฟิลด์ ทำการเก็บข้อมูลภาพ 256 เส้น จึงได้ความละเอียดภาพ 512 $\times$ 256 จุด

ไอซีเบอร์ CA3318 เป็นไอซีที่ทำหน้าที่แปลงสัญญาณอนาลอกเป็นดิจิตอลแบบ แฟลช ขนาด 8 บิท มีความเร็วในการแปลงสัญญาณสูงมาก ตัวถังเป็นแบบดิพ (DIP) ขนาด 24 ขา โครงสร้างภายในแสดงดังรูปที่ 3.12 และมีการทำงานดังนี้ ชุดสวิทช์อิเล็กทรอนิกส์ (ส่วนที่เห็นเป็นวงกลมมีกากบาทอยู่ภายใน) ทำการสุ่มสัญญาณเข้ามาสู่ชุดตัวเปรียบเทียบจำนวน 256 ชุด หัวเปรียบเทียบนี้ทำหน้าที่เปรียบเทียบสัญญาณอินพุตที่เป็นอนาลอกกับแรงดันอ้างอิงของตัวเปรียบเทียบทั้ง 256 ชุด ที่ได้กำหนดไว้แล้ว ข้อมูลทั้งหมดจากตัวเปรียบเทียบ (เป็นลอจิก "0" หรือ "1") ส่งเข้าดีฟลิปฟลอป (D-Flip Flop) ทั้ง 256 ชุดโดยตรง เป็นไปในลักษณะตัวเปรียบเทียบชุดที่ 1 ส่งข้อมูลเข้าดีฟลิปฟลอป ชุดที่ 1 คือ ส่งเข้าชุดไหนชุดนั้น ดีฟลิปฟลอปทำหน้าที่เป็น ซิฟต์รีจิสเตอร์ทำงานในโหมดสัญญาณนาฬิกา (ตอบสนองต่อสัญญาณนาฬิกาเฉพาะช่วงขอบขาขึ้นและขอบขาลงของรูปคลื่นเท่านั้น) ทำการแลตช์ (Latch) ข้อมูลไว้ชั่วขณะ จนกว่าจะมีข้อมูลชุดใหม่เข้ามาจึงจะเลื่อน (Shift) ข้อมูลนั้นส่งเข้าชุดเข้ารหัส (Encoder Logic Array) เพื่อเปลี่ยนข้อมูลทั้ง 256 ค่าออกมาเป็นข้อมูลดิจิตอลขนาด 9 บิท (รวมบิทส่วนเกินด้วย) ส่งต่อไปยังเอาต์พุตรีจิสเตอร์ ซึ่งใช้ดีฟลิปฟลอปทำหน้าที่นี้อีกเช่นเคย ก่อนส่งไปยังตัวขับ 3 สถานะ (Tri-state) เป็นเอาต์พุตต่อไป เอาต์พุตนี้สามารถควบคุมได้ด้วย CE_1 และ CE_2

ไอซี CA3318 ใช้เทคนิคการแปลงข้อมูลแบบขนานเป็นลำดับ (Sequential parallel technique) โดยอาศัยการจัดระดับลอกจิกของสัญญาณนาฬิกาไปควบคุมจังหวะในการทำงานของส่วนต่าง ๆ ให้สอดคล้องกัน จากรูปโครงสร้างภายใน ขาป้อนสัญญาณนาฬิกา(ขา 18) และขาควบคุมเฟส(ขา 19) ต่อกับวงจรลอจิกเกทชุดหนึ่ง ซึ่งวงจรนี้ทำหน้าที่จัดสัญญาณนาฬิกาให้แบ่งเป็นเฟส 2 เฟส คือ Ø1 (Auto balance) และ Ø2 (Sample unknow) เฟสทั้ง 2 นี้ จะถูกจัดให้อยู่ในช่วงลอจิก "0" หรือ "1" ของสัญญาณนาฬิกา (ใน 1 คาบเวลา) ซึ่งสามารถควบคุมได้โดยใช้ขาควบคุมเฟส การจัด Ø1 และ Ø2 ให้อยู่คนละช่วงของสัญญาณนาฬิกาด้วยขาควบคุมเฟสนี้ ทำให้สามารถควบคุมความเร็วในการแปลงสัญญาณ(ข้อมูล)ของ CA3318 ให้เปลี่ยนแปลงไปตามสัญญาณนาฬิกาได้ การควบคุมความเร็วในการแปลงสัญญาณทำได้ 2 วิธี คือ วิธีแรก โดยการป้อนลอจิก "0" เข้าที่ขาควบคุมเฟส Ø1 จะถูกจัดให้อยู่ในลอจิก "1" และ Ø2 ถูกจัดอยู่ในลอจิก "0" ของสัญญาณนาฬิกา ข้อมูลจากตัวตัวเปรียบเทียบ(อนาลอก) จะถูกแลตช์ไว้ที่ขอบขาขึ้นของรูปคลื่น Ø1 และเมื่อถึงช่วงขอบขาลงของพัลส์ Ø1 แล้ว ก็จะทำการเลื่อนข้อมูลนั้นส่งเข้าเอาต์พุตรีจิสเตอร์ต่อไป ซึ่งวิธีนี้เป็นการแปลงข้อมูลเสร็จสิ้นภายในครึ่งคาบเวลาของสัญญาณนาฬิกาเท่านั้น ในโครงงานได้ออกแบบให้ CA3318 ทำงานในโหมดนี้ วิธีที่ 2 โดยการป้อนลอจิก "1" เข้าที่ขาควบคุมเฟสเช่นกัน แสดงดังรูปที่ 3.13 Ø1 ถูกจัดให้อยู่ในลอจิก "0" และ Ø2 ถูกจัดให้อยู่ในลอจิก "1" ของสัญญาณนาฬิกาเมื่อถึงช่วงขอบขาลงของรูปคลื่น 2 ข้อมูลจากตัวเปรียบเทียบ(อนาลอก) ถูกแลตช์ไว้

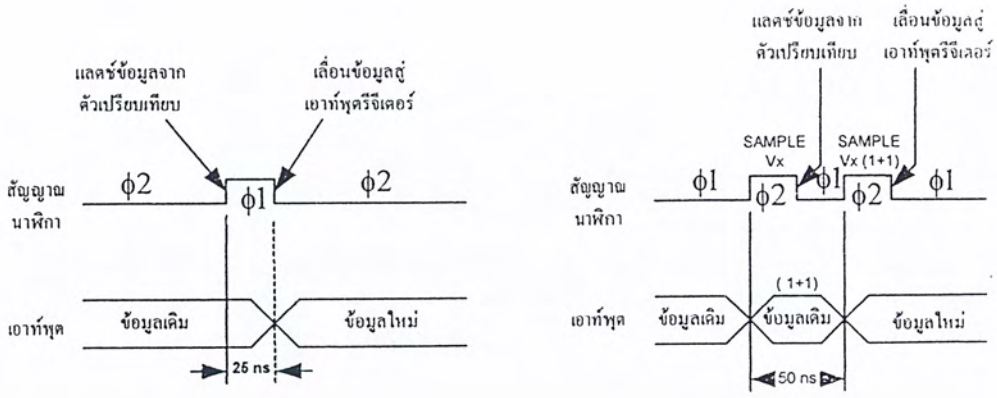
จนกว่าจะถึงช่วงขอบขาขึ้นของรูปคลื่น 2 ลูกต่อมา จึงจะทำการเลื่อนข้อมูลส่งเข้าเอาต์พุตรีจิสเตอร์ วิธีนี้จะแปลงสัญญาณเสร็จสิ้นภายใน 1 คาบเวลาของสัญญาณนาฬิกา

Functional Block Diagram



รูปที่3.12 แสดงแผนผังการทำงานภายในของ A/D

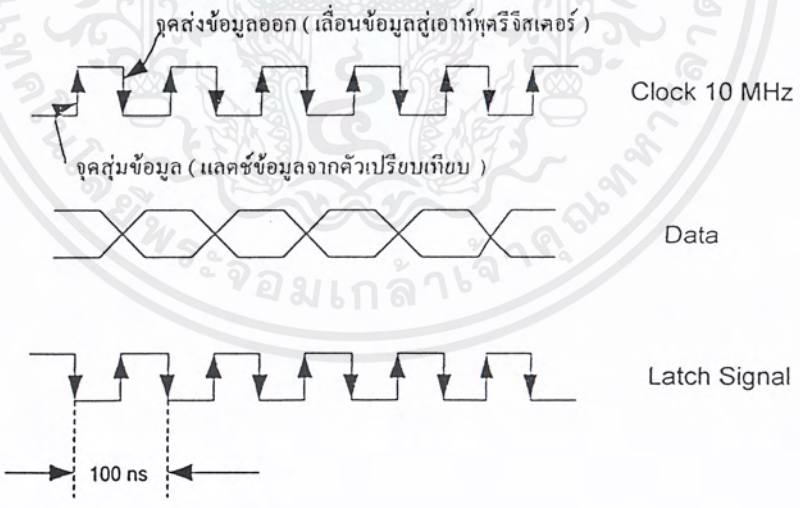
ข้อมูลดิจิตอลที่ส่งออกจาก CA3318 พร้อมที่จะนำไปเก็บในหน่วยความจำ ในการออกแบบไม่ได้ให้เอาต์พุตของวงจรเอทูดี ต่อเข้ากับอินพุตของหน่วยความจำโดยตรง แต่จะต่อผ่านไอซีที่ทำหน้าที่แลตช์ข้อมูลเบอร์ MC74F374 ซึ่งมีขนาด 8 บิท โดยที่ขาควบคุม 2 ขาคือ CP และ OE ขา CP คือ ขาที่ป้อนสัญญาณนาฬิกาให้กับแลตช์ ซึ่งทำงานที่ขอบขาขึ้นของสัญญาณนาฬิกา ส่วนขา OE เป็นขาที่ควบคุมบัฟเฟอร์ 3 สถานะ (Tri-state buffer) ที่เอาต์พุตของแลตช์ ขา OE จะทำงานที่ระดับ "0" ในวงจรที่ให้ขา



ก) วิธีที่ 1 ข) วิธีที่ 2

รูปที่ 3.13 แสดงการควบคุม CA3318

OE ต่ออยู่กับลอจิก "0" ไว้ นั่นคือ ให้บัฟเฟอร์ 3 สถานะ ทำงานต่อวงจรอยู่ตลอดเวลา ดังนั้นขาที่ให้ในการควบคุมจริง ๆ คือขา CP นั่นคือ ถ้ามีสัญญาณนาฬิกาเข้ามา ข้อมูลทางอินพุตของแลตช์จะออกสู่เอาต์พุตทันที ถ้าพิจารณาการส่งข้อมูลออกของวงจรเอทูดี จะพบว่าสัญญาณนาฬิกาที่ต้องป้อนให้ขา CP ต้องกลับเฟส 180 องศา กับสัญญาณนาฬิกาที่ป้อนให้วงจรเอทูดีดังรูปที่ 3.13 เพื่อว่า เมื่อวงจรเอทูดีส่งข้อมูลออกมา แลตช์จะทำการเก็บข้อมูลไว้ได้พร้อมส่งออกในทันที



รูปที่ 3.14 สัญญาณนาฬิกา และสัญญาณแลตช์ข้อมูล

การออกแบบวงจรเอทูดี ของ CA3318

หาแรงดันที่จุด แท็ป (Tap) ของ CA3318 จากสมการ

$V_{tap} = [(2N-1/512] \times V_{ref}$

โดยที่ N=จำนวนแลดเดอร์ที่ใช้ตั้งแต่ 0-256

โดยดูจากวงจรภายในของ CA3318 ในภาคผนวก ข. จะมีแท็ป 3 จุด คือ 193, 129, 65

V_{ref} = 5 โวลต์

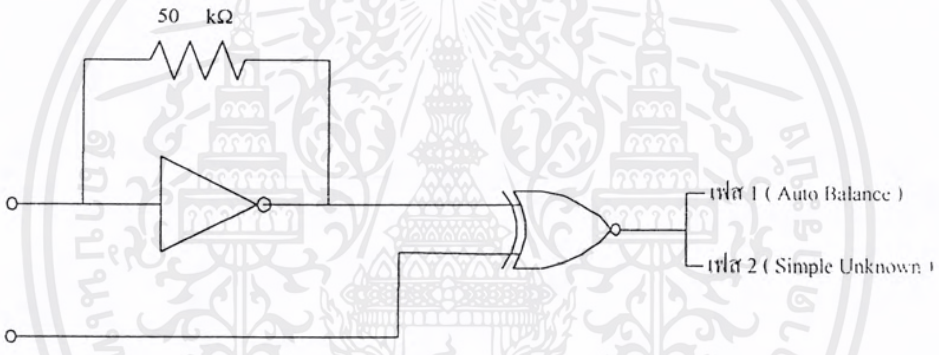
ดังนั้นได้แรงดันที่จุดแท็ปต่าง ๆ ดังนี้

$V_{tap(193)}$ = 3.75 โวลต์ หรือ = 3/4 V_{ref}

$V_{tap(129)}$ = 2.5 โวลต์ หรือ = 1/2 V_{ref}

$V_{tap(65)}$ = 1.25 โวลต์ หรือ = 1/4 V_{ref}

เมื่อได้ค่า V_{tap} ที่จุดต่าง ๆ แล้วก็นำ แรงดัน (Vottage) ทีมีค่าดังกล่าวต่อเข้ากับขา 3/4V_{ref} , 1/0V_{ref} และ 1/4V_{ref} เพื่อเพิ่มความถูกต้องในวงจร ถึงแม้ในตัว ไอซีจะมีวงจรแบ่งแรงดันแล้วก็ตาม ส่วนขา คล๊อกกับ phase นั้น วงจรต่อในลักษณะนี้



รูปที่ 3.15 ลักษณะการต่อ คล๊อกกับเฟส

เห็นว่า ขา CK กับ เฟส ต่อเข้าดับเอ็กซ์คูซีฟออเกท ดังนั้นเมื่อไม่ต้องการเปรียบเทียบ สัญญาณนาฬิกา หรือ คล๊อก (clock) ก็ต่อขา เฟส (phase) ลงกราวนด์ เพื่อให้คล๊อก ที่ไปป้อนวงจรเป็นคล๊อกของอินพุตตัวเดียว

- ขา $\overline{CE_1}$ และ $\overline{CE_2}$ เป็นขาที่ไปควบคุม ตัวขับ 3 สถานะ(Tri-state Driver) จึงต้องต่อในลักษณะ แอคทีฟ(Active) ตลอดเวลา เมื่อไม่ต้องการใช้คล๊อก ควบคุมการอ่านออก

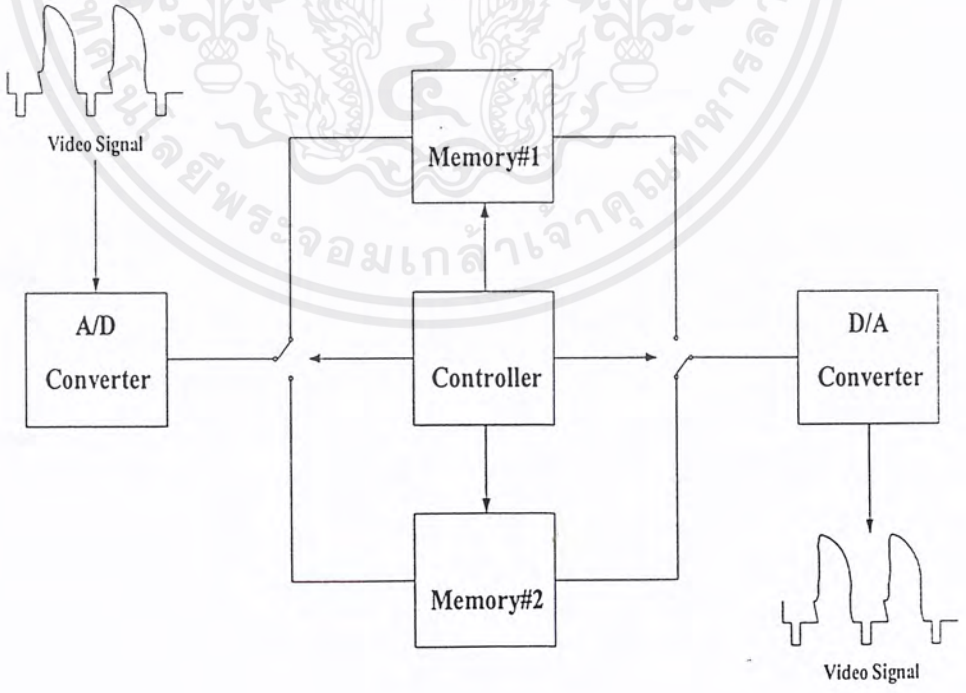
- ขา V_{SS} และ V_{DD} เป็นแหล่งจ่ายไฟสำหรับวงจรดิจิตอล ในตัวไอซี จึงต่องจากแหล่งจ่ายไฟดิจิตอล และ ดิจิตอลกราวนด์

- ขา V_{AA}^{+} และ V_{AA}^{-} เป็นแหล่งจ่ายไฟสำหรับวงจรอนาลอก ในตัวไอซี จึงต้องต่ออยู่กับแหล่งจ่ายไฟอนาลอก

ที่ต้องแยกแหล่งจ่ายไฟอนาลอก กับ แหล่งจ่ายไฟดิจิตอล ออกจากกันก็เพื่อป้องกันสัญญาณจากภาคดิจิตอล เข้าไปรบกวนสัญญาณอนาลอกอินพุต ซึ่งอาจทำให้เกิดค่าผิดพลาดขึ้นได้

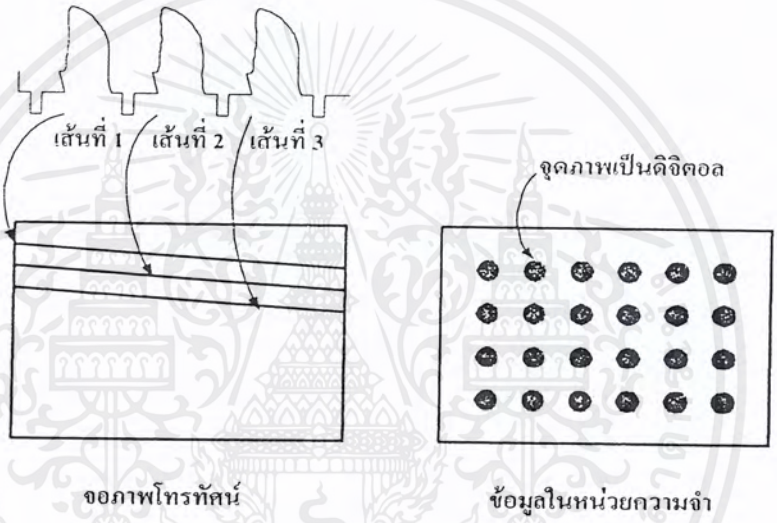
3.2.4 ส่วนหน่วยความจำ (Memory)

ส่วนหน่วยความจำ ทำหน้าที่เก็บข้อมูลดิจิตอลที่ได้จากการแปลงสัญญาณภาพอนาลอกซึ่งในแต่ละฟิลด์มีข้อมูลขนาด 512 × 256 = 131,072 จุด โดยที่แต่ละจุดมีขนาด 8 บิท ดังนั้นต้องใช้หน่วยความจำขนาด 131,072 × 8 ตำแหน่ง หรือ 128 กิโลไบต์ เพื่อเก็บข้อมูลภาพใน 1 ฟิลด์ เนื่องจากใน 1 ภาพประกอบด้วย 2 ฟิลด์ จึงต้องใช้หน่วยความจำที่มีขนาดเป็น 2 เท่าคือ 256 กิโลไบต์ และเพื่อเป็นภาพเคลื่อนไหวที่เวลาจริง (Real Time) กระบวนการเขียนกับกระบวนการอ่านข้อมูลต้องเกิดขึ้นพร้อม ๆ กัน หากจัดให้การเขียนและการอ่านข้อมูลเกิดขึ้นสลับกันคือ ให้มีการเขียนข้อมูลลงหน่วยความจำเสร็จก่อนแล้วจึงอ่านข้อมูลออกมา ทำให้ภาพเกิดขึ้นอย่างไม่ต่อเนื่อง และสัญญาณภาพบางฟิลด์ไม่ถูกแปลงเป็นสัญญาณดิจิตอลเพราะช่วงเวลาดังกล่าวเป็นเวลาของกระบวนการอ่านข้อมูล ดังนั้น เพื่อให้กระบวนการทั้ง 2 เกิดขึ้นพร้อม ๆ กัน จึงออกแบบให้มีหน่วยความจำ 2 ชุด ทำให้กระบวนการเขียนและอ่านข้อมูลสามารถเกิดขึ้นพร้อม ๆ กันได้เพราะในขณะที่หน่วยความจำชุดแรกถูกเขียนข้อมูลอยู่ หน่วยความจำที่ชุดที่ 2 จะถูกอ่านข้อมูลออกไป โดยที่หน่วยความจำทั้ง 2 ชุดนี้ต้องถูกควบคุมอย่างใกล้ชิด เพราะความสัมพันธ์กับส่วนอื่นมาก ในขณะเดียวกันที่หน่วยความจำอีกชุดหนึ่งถูกอ่านข้อมูลจนหมดแล้ว ชุดควบคุมจะไม่ยอมให้มีการอ่านข้อมูลอีกต่อไป โดยควบคุมให้เกิดกระบวนการเขียนข้อมูลที่มาจากส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอลแทน กระบวนการสลับเปลี่ยนชุดหน่วยความจำสามารถนำมาเขียนเป็นบล๊อกไดอะแกรมได้ดังรูป 3.16 ซึ่งการสลับเปลี่ยนชุดหน่วยความจำอาศัยการทำงานของวงจรที่ทำหน้าที่เป็นสวิตช์ โดยมีการควบคุมให้เกิดความสัมพันธ์กัน



รูปที่ 3.16 บล๊อกไดอะแกรมการสลับเปลี่ยนชุดหน่วยความจำ

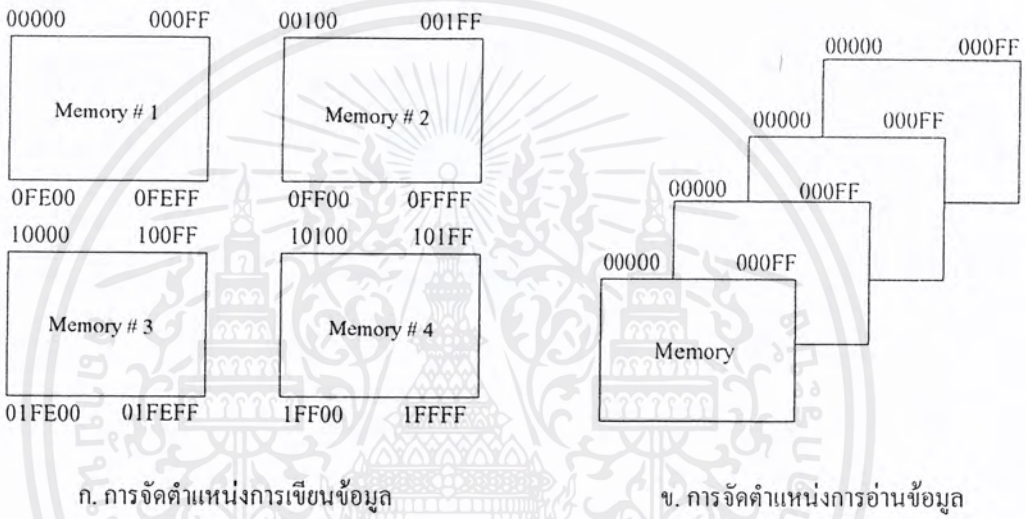
ระบบถูกออกแบบให้สามารถเก็บข้อมูลภาพได้ทุก ๆ ฟิลด์ภาพ ดังนั้นหน่วยความจำ 1 ชุด จึงต้องมความจุ 128 กิโลไบต์ เพื่อเก็บข้อมูลภาพ 1 ฟิลด์ เมื่อรวมหน่วยความจำ 2 ชุด ขนาดความจุ 256 กิโลไบต์ ทำให้สามารถเก็บข้อมูลภาพได้ 1 เฟรมพอดี โดยในขณะที่กำลังจัดเก็บข้อมูลภาพของฟิลด์ปัจจุบันอยู่ ข้อมูลภาพของฟิลด์ก่อนหน้านี้ถูกอ่านออกมาใช้งาน ในกระบวนการเขียนข้อมูล จะมองหน่วยความจำชุดที่กำลังเก็บข้อมูลเป็นพื้นที่ใหญ่อันเดียว การจัดตำแหน่งข้อมูลใช้ในการเลียนแบบการแสดงผลหน้าจอภาพ ใน 1 เส้นสแกนมีการสุ่มข้อมูล 512 จุด และเก็บข้อมูลทั้งหมด 256 เส้นใน 1 ฟิลด์ภาพ ตำแหน่งของหน่วยความจำ (เมื่อเปรียบเทียบกับการแสดงผลของจอภาพได้ดังรูป 3.17 ซึ่งหน่วยความจำมีการจัดตำแหน่งเป็น 512 x 256 ตำแหน่ง) ที่จัดจึงเป็น 512 x 256 ตำแหน่ง ดังรูป 3.17 การนับเส้นในรูปเป็นการนับในแต่ละฟิลด์



รูป 3.17 การจัดตำแหน่งของหน่วยความจำ

เมื่อข้อมูลถูกเขียนจนเต็มหน่วยความจำแล้ว กระบวนการอ่านข้อมูลจึงเริ่มต้นขึ้น ถ้าควบคุมให้เริ่มอ่านตั้งแต่ตำแหน่งแรกไปจนถึงตำแหน่งสุดท้ายของข้อมูลและนำไปแปลงเป็นสัญญาณภาพ จะได้ภาพที่เหมือนเดิมออกมา ในการอ่านข้อมูลออกจากหน่วยความจำจึงต้องแบ่งออกเป็น 4 ส่วน แต่หากใช้วิธีอ่านข้อมูลต่อเนื่องกันไปตามลำดับตำแหน่ง จำเป็นต้องใช้เวลามากเพราะว่าต้องมีการทำซ้ำจุดและเส้นเพื่อขยายภาพด้วย การใช้เวลามากเกินไปทำให้ไม่สัมพันธ์กับกระบวนการเขียนข้อมูล แต่ถ้าบังคับให้หน่วยความจำทั้ง 4 ส่วน ถูกอ่านข้อมูลออกมาพร้อม ๆ กัน และนำไปแสดงบนจอภาพพร้อมกัน วิธีการนี้ถึงแม้ว่าภาพที่แสดงจะแตกต่างจากเดิม เต่เนื่องจากโทรทัศน์สร้างภาพที่ความถี่สูงกว่าที่ตาจะจับความผิดพลาดได้ จึงมองไม่เห็นความแตกต่าง การอ่านข้อมูลออกจากหน่วยความจำพร้อมกันช่วยลดเวลาของกระบวนการอ่าน และทำให้เกิดความสัมพันธ์กับการเขียนข้อมูล ปัญหาที่ตามมาคือ เมื่อหน่วยความจำถูกมองเป็นพื้นที่เดียวกันแล้วหากใช้หน่วยความจำขนาด 128 กิโลไบต์ เพียงตัวเดียวในการเก็บข้อมูล ถึงแม้ว่าสามารถแบ่งข้อมูลภายในหน่วยความจำออกเป็น 4 ส่วนตามตำแหน่งได้ แต่จะไม่สามารถอ่านข้อมูล

ออกมาพร้อม ๆ กันทั้ง 4 ส่วนได้ เพราะสายสัญญาณข้อมูลและสายสัญญาณตำแหน่งของหน่วยความจำมีเพียงชุดเดียว ในโครงงานออกแบบโดยสังเกตว่า เมื่อหน่วยความจำ 1 ชุดขนาด 128 กิโลไบต์ ถูกแบ่งออกเป็น 4 ส่วน ในช่วงกระบวนการอ่านข้อมูล แต่ละส่วนจึงมีขนาด 32 กิโลไบต์ หากออกแบบให้มีหน่วยความจำขนาด 32 กิโลไบต์ จำนวน 4 ตัวในข้อมูลหน่วยความจำ จะได้หน่วยความจำขนาด 128 กิโลไบต์เช่นกัน แต่อย่างไรก็ตามในกระบวนการเขียนข้อมูลหน่วยความจำทั้ง 4 ตัวนี้ ถูกมองเป็นพื้นที่เดียวกันหรือมองเป็นหน่วยความจำเพียงตัวเดียว ดังนั้นสายสัญญาณต่าง ๆ จึงมีเพียงชุดเดียวเหมือนเดิม วิธีที่นำมาใช้คือ จัดให้มีวงจรคอยแยกสายสัญญาณของหน่วยความจำแต่ละตัว แยกออกจากกันเมื่อถึงกระบวนการอ่านข้อมูล รูปแบบการจัดหน่วยความจำในกระบวนการเขียนและอ่านข้อมูลแสดงดังรูป 3.18

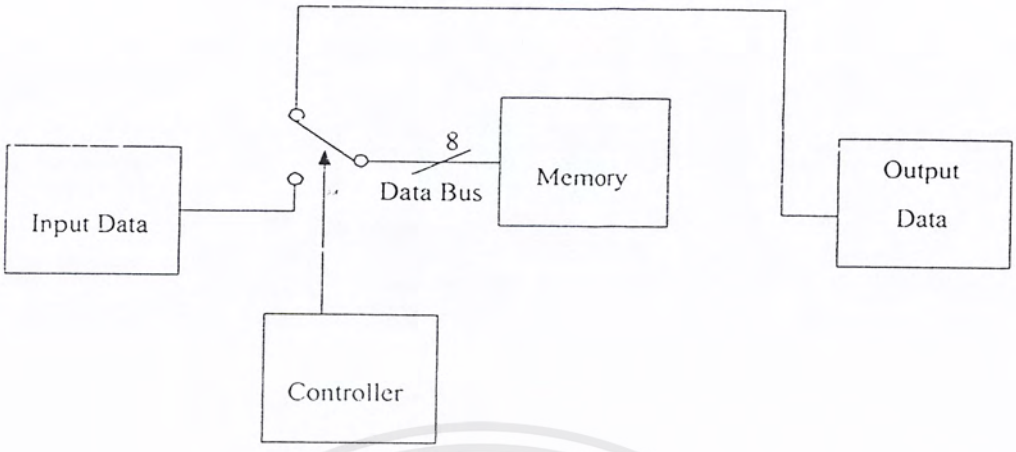


ก. การจัดตำแหน่งการเขียนข้อมูล ข. การจัดตำแหน่งการอ่านข้อมูล

รูปที่ 3.18 รูปแบบการจัดหน่วยความจำในกระบวนการเขียนและอ่านข้อมูล

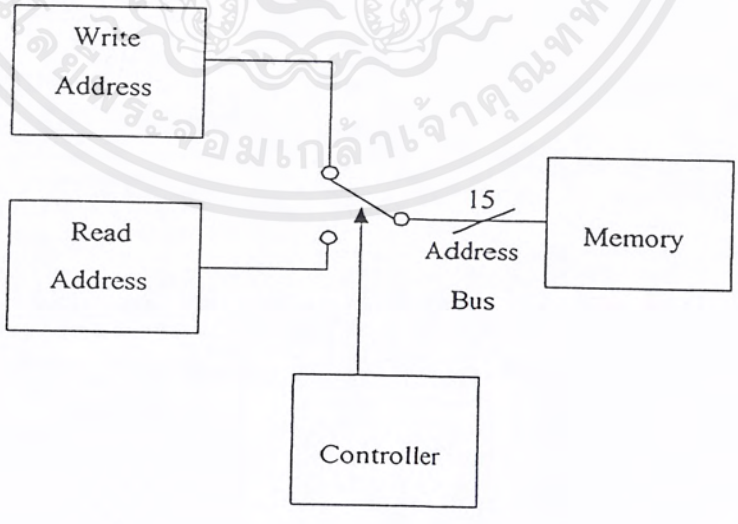
หน่วยความจำมีกลุ่มของสายสัญญาณที่สำคัญอยู่ 3 กลุ่ม คือ สายสัญญาณข้อมูล สายสัญญาณควบคุม ซึ่งในแต่ละกลุ่มมีความสัมพันธ์กับกระบวนการเขียนและอ่านข้อมูลต่างกันออกไป ดังนั้นการแยกสายสัญญาณต้องพิจารณาทิศทางการไหลเข้าออกของสัญญาณ และส่วนที่เข้ามาเกี่ยวข้องด้วย ดังนี้

1. สายสัญญาณข้อมูล ในกระบวนการเขียนข้อมูลทำหน้าที่เป็นสายสัญญาณอินพุตให้กับหน่วยความจำ โดยจะนำเอาต์พุตข้อมูลที่เข้ามาไปเก็บยังที่สัญญาณตำแหน่งชี้ให้ ในทางกลับกันเมื่ออยู่ในกระบวนการอ่านข้อมูลจากหน่วยความจำ สายสัญญาณข้อมูลทำหน้าที่เป็นเอาต์พุตของหน่วยความจำ ข้อมูลต่าง ๆ ที่อ่านออกมาจะผ่านทางนี้ จะเห็นว่า ทิศทางของข้อมูลทั้ง 2 กระบวนการแตกต่างกันโดยสิ้นเชิง ถ้าให้สัญญาณอินพุตแทนสัญญาณการเขียนข้อมูล และมีข้อมูลไหลเข้าหน่วยความจำ โดยที่สัญญาณเอาต์พุตแทนสัญญาณการอ่านข้อมูล และมีข้อมูลไหลออกจากหน่วยความจำ กระบวนการทั้ง 2 เกิดขึ้นสลับกัน จะได้บล็อกไดอะแกรมดังรูป 3.19 ซึ่งเลือกใช้สวิทช์ 2 ทาง ทำหน้าที่สลับการเชื่อมต่อหน่วยความจำกับอินพุตและเอาต์พุต



รูปที่ 3.19 บล๊อกไดอะแกรมหน่วยความจำกับอินพุตและเอาต์พุต

สายสัญญาณตำแหน่งไม่ว่าในกระบวนการเขียนหรืออ่านข้อมูล ทิศทางของสายสัญญาณนี้ยังคงเหมือนเดิมคือ หน่วยความจำต้องรับสัญญาณเข้ามา สายสัญญาณนี้จึงทำหน้าที่เป็นอินพุตของหน่วยความจำเสมอ นั่นคือจะมีส่วนกำเนิดสัญญาณตำแหน่งทั้งการอ่านและเขียนข้อมูล คอยผลิตสัญญาณนี้ป้อนให้หน่วยความจำ การแยกสายสัญญาณของหน่วยความจำระหว่างกระบวนการเขียนและอ่านข้อมูลออกจากกันจึงเลือกใช้การมัลติเพล็กซ์ คือมี 2 อินพุตและ 1 เอาต์พุต โดยในเวลาหนึ่ง ๆ จะมีเพียงอินพุตเดียวเท่านั้นที่ถูกเลือกให้ส่งสัญญาณออกทางเอาต์พุตได้ ซึ่งเขียนเป็นบล๊อกไดอะแกรม ดังรูป 3.20



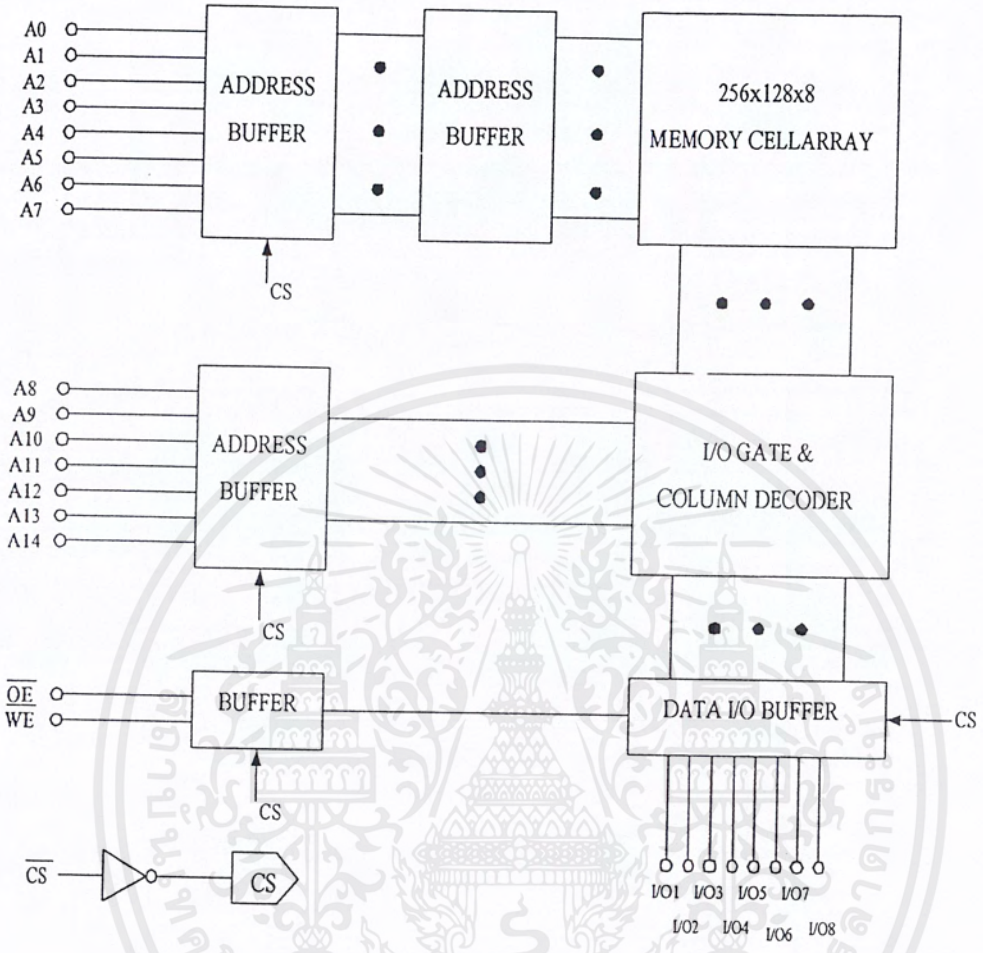
รูปที่ 3.20 บล๊อกไดอะแกรมการมัลติเพล็กซ์

2. สายสัญญาณควบคุม ประกอบไปด้วยสัญญาณเลือกชิป สัญญาณควบคุมการเขียน สัญญาณควบคุมการอ่าน ความสำคัญของสัญญาณเหล่านี้คือ ควบคุมให้หน่วยความจำทำงานหรือหยุดการทำงานได้ตามต้องการ ทิศทางของสัญญาณจะมีลักษณะเดียวกับสายสัญญาณตำแหน่งคือ มีชุดกำเนิดสัญญาณเหล่านี้อยู่ แล้วส่งให้หน่วยความจำซึ่งมีหน้าที่รับคำสั่งอย่างเดียว ดังนั้นไดอะแกรมจึงเหมือนกับการแยกสัญญาณตำแหน่ง

3. การขยายภาพ เป็นอีกกระบวนการหนึ่งที่เกี่ยวข้องกับหน่วยความจำ เพราะได้ออกแบบให้เกิดขึ้นพร้อม ๆ กับการอ่านข้อมูลวิธีการที่ใช้คือ บังคับให้มีการอ่านข้อมูลซ้ำจุดเดิม 2 ครั้งใน 1 เส้นสแกน (ใน 1 แถวของหน่วยความจำ) และอ่านข้อมูลทั้งเส้นสแกนซ้ำอีกครั้ง ทำให้ได้จุดภาพที่ซ้ำกันทั้งหมด 4 จุด ซึ่งมาจากข้อมูลภาพเพียงจุดเดียว เมื่อเป็นแบบนี้ทุก ๆ จุดภาพ จึงเหมือนว่าภาพที่ได้มีขนาดใหญ่ขึ้น ซึ่งกลไกที่ทำให้เกิดการทำซ้ำบิทได้ เป็นเทคนิคการใช้วงจร ซึ่งจะกล่าวในหัวข้อส่วนกำเนิดสัญญาณการอ่านข้อมูล

โครงงานมีหน่วยความจำทั้งหมด 2 ชุด แต่ละชุดมีไอซีหน่วยความจำ 4 ตัว ดังนั้นในระบบจึงมีหน่วยความจำทั้งหมด 8 ตัว มีความจุรวม 256 กิโลไบต์ เพื่อใช้เก็บข้อมูลภาพ 1 เฟรม ไอซีหน่วยความจำที่เลือกใช้เป็นของบริษัทฟูจิสึ (Fujisu) เบอร์ MB84256A-70 ซึ่งมีความจุ 32 กิโลไบต์ และค่าเวลาการเข้าถึงข้อมูล (Access Time) มีค่าต่ำสุด 70 นาโนเซ็คคั่น สาเหตุที่เลือกใช้ไอซีเบอร์นี้เพราะมีขนาดความจุตรงตามต้องการ และค่าเวลาการเข้าถึงข้อมูลต่ำ ตรงตามที่กำหนด

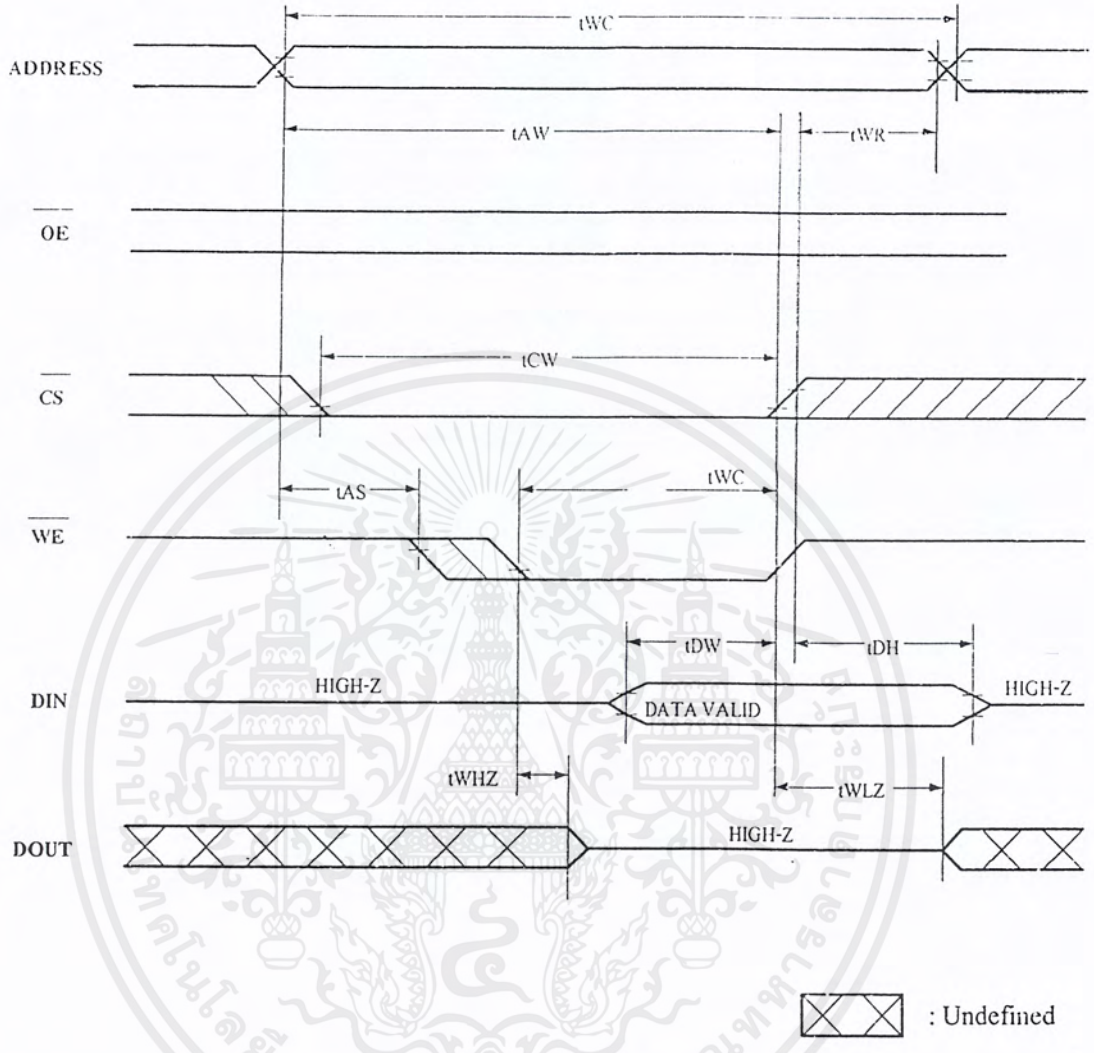
ในกระบวนการแปลงสัญญาณอนาลอกให้เป็นดิจิตอล ใช้สัญญาณนาฬิกา 10 เมกะเฮิรตซ์ หรือ 100 นาโนเซ็คคั่น ในการสุ่มสัญญาณภาพ จะพบว่า ทุก ๆ 100 นาโนเซ็คคั่น ข้อมูลถูกส่งออกมาจากส่วนแปลงสัญญาณ ซึ่งต้องนำข้อมูลเหล่านี้ไปเก็บไว้ในหน่วยความจำ ค่าเวลาการเข้าถึงข้อมูลจึงมีผลมาก หากใช้หน่วยความจำที่มีค่าการเข้าถึงข้อมูลสูงกว่า 100 นาโนเซ็คคั่น จะไม่สามารถเก็บข้อมูลที่ส่งออกมาทันข้อมูลจะเกิดการสูญหายขึ้น ไอซีหน่วยความจำที่เลือกใช้มีบล็อกไดอะแกรม และสัญญาณควบคุมดังรูป 3.21



TRUTH TABLE

$\overline{CS}$	$\overline{OE}$	$\overline{WE}$	MODE	SUPPLY CURRENT	I/O PIN
H	X	X	Not Selected	ISB	High-Z
L	H	H	DOUT Disable	ICC	High-Z
L	L	H	Read	ICC	DOUT
L	X	L	Write	ICC	DIN

รูปที่ 3.21 บล็อกไดอะแกรมของหน่วยความจำ

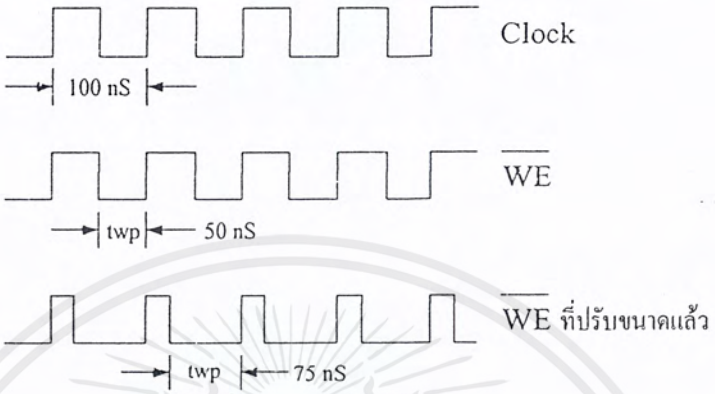


รูปที่ 3.22 แสดงช่วงสัญญาณการเขียนข้อมูลลงหน่วยความจำ

กระบวนการเขียนข้อมูลลงหน่วยความจำมีการใช้สัญญาณควบคุมหลายสัญญาณในโครงการนี้ ได้ออกแบบให้สัญญาณ $\overline{WE}$ เป็นสัญญาณควบคุมหลักและสัญญาณ CS เป็นสัญญาณควบคุมรอง (ควบคุมการเขียนข้อมูล) แต่อย่างไรก็ตามทั้ง 2 สัญญาณนี้ รวมทั้งสัญญาณตำแหน่งต่างก็มีความสำคัญทั้งสิ้น จะขาดสัญญาณหนึ่งสัญญาณใดไม่ได้ หากพิจารณาจากไทม์มิ่งไดอะแกรมของช่วงเวลาการเขียนข้อมูลของไอซีหน่วยความจำดังรูป 3.22 พบว่า ช่วงเวลา twp (Write Pulse Width) ของสัญญาณ $\overline{WE}$ มีค่าต่ำสุดได้ 50 นาโนเซ็คคั่น ถ้าช่วงเวลาต่ำกว่านี้ จะไม่สามารถเขียนข้อมูลลงหน่วยความจำได้ ดังนั้นจึงจำเป็นต้องให้สัญญาณ $\overline{WE}$ มีช่วงที่เป็น " 0 " ต่ำที่สุดเป็น 50 นาโนเซ็คคั่น

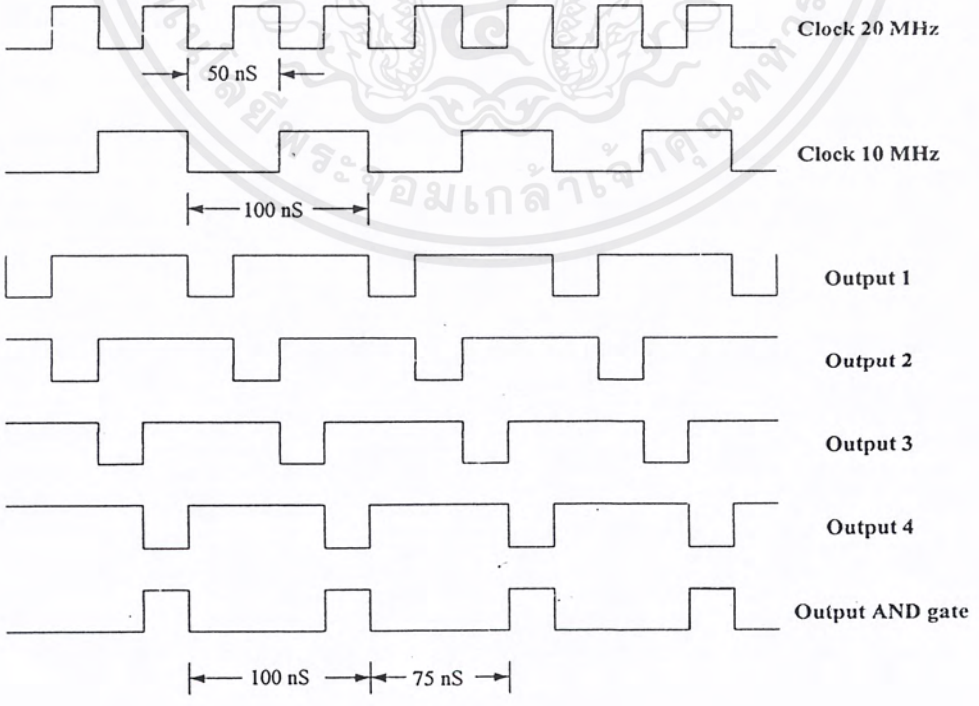
สัญญาณนาฬิกา 10 เมกะเฮิตรซ์ ที่ใช้ในการสุ่มสัญญาณมีดิวตี้ไซเคิล (Dutu cycle) เป็น 50 % หากนำมาสร้างเป็นสัญญาณ $\overline{WE}$ ก็สามารถทำงานได้ เพราะช่วงสัญญาณเป็นลอจิก " 0 " มีขนาด 50 นาโนเซ็คคั่น ซึ่งเท่ากับขนาด twp ที่กำหนดพอดี แต่อย่างไรก็ตาม เพื่อป้องกันการผิดพลาดในการเขียนข้อ

มูล จึงได้ออกแบบสัญญาณ $\overline{WE}$ ขึ้นมาใหม่ โดยพิจารณาจาก สัญญาณนาฬิกาขนาด 100 นาโนเซ็คคั่น ถ้าหาทำการปรับเปลี่ยนดิวตี้ไซเคิลของสัญญาณนี้เสียใหม่ ทำให้ช่วงที่เป็นลอจิก " 0 " เพิ่มขึ้น และลดช่วงที่เป็นเป็นลอจิก " 1 " ลงทำให้ช่วงเวลา twp เพิ่มขึ้น โดยที่คาบเวลายังคงเดิม ดังรูป 3.23



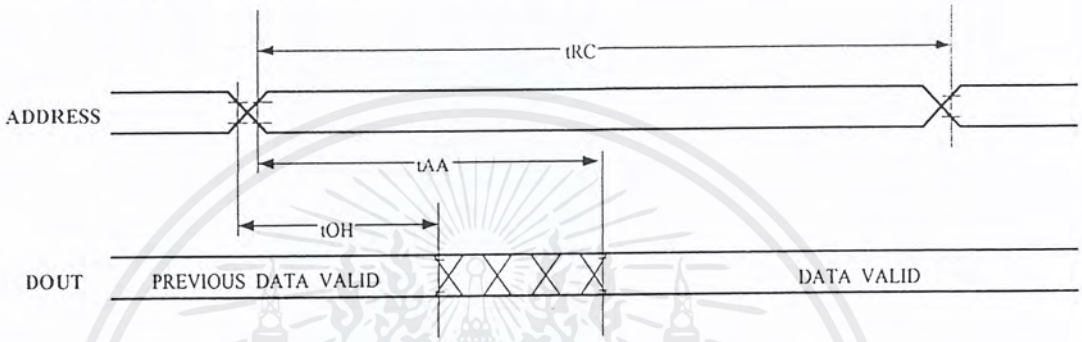
รูปที่ 3.23 สัญญาณ WE ของหน่วยความจำ

สำหรับวงจรในส่วนการสร้างสัญญาณ $\overline{WE}$ ใหม่นี้ ใช้วงจรเข้ารหัส ทำงานร่วมกับแอนด์เกท โดยทำสัญญาณนาฬิกา 10 เมกะเฮิตรซ์ และ 20 เมกะเฮิตรซ์ เป็นสัญญาณอินพุต เมื่อสัญญาณอินพุตทั้ง 2 ผ่าน เข้าไปในวงจรเข้ารหัส ทำให้ได้สัญญาณออกมาดังรูป 3.24 จากนั้นจึงนำไปเข้าแอนด์เกท เพื่อสร้างเป็นสัญญาณ $\overline{WE}$ ต่อไป



รูปที่ 3.24 Timming Decoder

สำหรับส่วนของการอ่านข้อมูล ความยุ่งยากของสัญญาณมีนน้อยกว่าการเขียน เพราะเลือกการควบคุมการอ่านด้วยสัญญาณตำแหน่ง ดั้งรูป 3.25 ที่จำเป็นต้องเลือกแบบนี้ เพราะว่าต้องการให้ปริมาณข้อมูลออกมาจากหน่วยความจำเท่ากับคาบเวลาของสัญญานนาฬิกาพอดี เพื่อประโยชน์ในการขยายภาพดังกล่าวมาแล้ว ส่วนการควบคุมให้อ่านหรือหยุดอ่านข้อมูลนั้นจะกระทำผ่านทางขา CS ของไอซีหน่วยความจำ วงจรของหน่วยความจำแสดงไว้ในภาคผนวก ก.



รูป 3.25 ช่วงเวลาการอ่านข้อมูลจากหน่วยความจำ

3.2.5 ส่วนกำเนิดสัญญาณควบคุมการเขียนข้อมูล

หน้าที่ของส่วนกำเนิดสัญญาณควบคุมการเขียนข้อมูลคือ สร้างสัญญาณควบคุมให้กับหน่วยความจำเพื่อให้เริ่มบันทึกข้อมูล ลงในตำแหน่งที่ต้องการ นอกจากนี้ส่วนกำเนิดสัญญาณควบคุมการเขียน ยังส่งสัญญาณไปควบคุมส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอลอีกด้วย เพื่อให้ทำการแปลงข้อมูลหรือหยุดแปลงข้อมูลที่สัมพันธ์กับการเขียนข้อมูล ในส่วนของหน่วยความจำ สัญญาณสำคัญที่สร้างขึ้นคือ สัญญาณตำแหน่ง สัญญาณการเขียน และสัญญาณเลือก ชิป ซึ่งสัญญาณทั้ง 3 นี้ ต้องทำงานสัมพันธ์กันโดยเฉพาะสัญญาณตำแหน่ง และสัญญาณการเขียนปรากฏขึ้น โดยชี้ไปที่ตำแหน่งใดๆ ในหน่ายความจำ ในขณะที่ข้อมูลกำลังรออยู่ที่ขาข้อมูล สัญญาณการเขียน จะสั่งให้หน่วยความจำเริ่มบันทึกข้อมูลลงในตำแหน่งที่ถูกชี้นั้น โดยที่สัญญาณเลือกชิปต้องสั่งให้หน่วยความจำชุดนั้นทำงานอยู่ด้วย

การสร้างสัญญาณตำแหน่ง จากหัวข้อส่วนหน่วยความจำ ทำให้ทราบแล้วว่าในการเก็บข้อมูลภาพ 1 ฟิลด์ ต้องใช้หน่วยความจำขนาด 128 กิโลไบต์ หรือ 131,072 ตำแหน่ง(131,072=2^{17}) ซึ่งจะมีสายสัญญาณสำหรับอ้างตำแหน่งทั้งหมด 17 เส้น แต่ในโครงงานได้เลือกใช้หน่วยความจำขนาด 32 กิโลไบต์ 8 จำนวน 4 ตัว ซึ่งแต่ละตัวมีที่เก็บข้อมูล 32,768 ตำแหน่ง (32.768 =2^{15}) ทำให้สายสัญญาณในการอ้างตำแหน่งเพียง 15 เส้น แต่ในการจัดวงจร จำเป็นต้องให้หน่วยความจำ 32 กิโลไบต์ ทั้ง 4 ตัว ให้เห็นเป็นหน่วยความจำ 128 กิโลไบต์ เพียงตัวเดียว สามารถใช้วงจรนับ 17 บิท เพื่อกำเนิดตำแหน่งของสัญญาณทั้งหมด 131,072 ตำแหน่งได้โดยตรง จากลักษณะการแปลงสัญญาณจะพบว่า ทำการแปลงทีละจุดจนครบ 512 จุด ใน 1 เส้น และทำอย่างนี้ไปจนครบ 256 เส้น จากแนวความคิดนี้หากทำการแบ่งวงจรที่ใช้ในการกำเนิดสัญญาณตำแหน่งออกเป็น 2 ส่วน คือ ส่วนที่ชี้ตำแหน่งจุดภาพ 512 จุด หรือต้องใช้วงจรนับขนาด 9 บิท

(2^9=512 ตำแหน่ง) และส่วนที่ชี้ตำแหน่งของเส้นสแกน 256 เส้น หรือใช้วงจรนับ 8 บิท (2^8=256ตำแหน่ง) เมื่อนำสัญญาณทั้ง 2 ส่วนนี้มารวมกันจะได้สัญญาณที่ชี้ตำแหน่ง 512 × 256 = 131,072 ตำแหน่งตามที่ต้องการเมื่อหน่วยความจำมีขนาด 131,072 ตำแหน่ง สายสัญญาณตำแหน่งที่ต้องใช้ทั้งหมด 17 เส้น แต่ในโครงงานเลือกใช้หน่วยความจำขนาด 32,768 ตำแหน่ง จำนวน 4 ตัว ซึ่งและตัวมีสายสัญญาณเพียง 15 เส้นเท่านั้น ถ้าออกแบบวงจรให้นับจุดภาพ 512 จุด นั่นคือใช้วงจรนับ 512 ซึ่งใช้สายสัญญาณ 9 เส้น และในส่วนของการนับเส้นสแกน 256 เส้น ต้องมีสายสัญญาณ 8 เส้น เพื่อนับ 256 รวมสายสัญญาณทั้งหมด 17 เส้น ทำให้มีสายสัญญาณเหลืออยู่ 2 เส้น ที่ไม่สามารถต่อเข้ากับหน่วยความจำได้ แต่เพราะว่าหน่วยความจำที่ใช้นั้นมีทั้งหมด 4 ตัว แต่การเขียนข้อมูลไม่ได้ทำการเขียนลงที่หน่วยความจำทั้ง 4 ตัว แต่จะเขียนที่ตัวใดตัวหนึ่งที่มีตำแหน่งตามที่ต้องการเท่านั้น จึงนำสายสัญญาณที่เหลือ 2 เส้นนี้ มาทำการถอดรหัส เพื่อเลือกหน่วยความจำที่ต้องการ ขออ้างถึงรูป 3.18ก เพื่อชี้ให้เห็นว่าสายสัญญาณเส้นใดที่จะต้องนำมาถอดรหัส จากรูป 3.18ก พบว่า การจัดหน่วยความจำ 4 ตัว ใน 1 ชุดนั้น ตำแหน่งที่หน่วยความจำแต่ละตัวครอบครองอยู่นั้นไม่ได้ต่อเนื่องจนหมด ทั้งนี้เป็นเหตุผลทางด้านการจัดวงจรในส่วนของการอ่านข้อมูล เพื่อให้วงจรมีความซับซ้อนน้อย ดั้งนั้นการเขียนข้อมูลจึงไม่ได้เขียนลงหน่วยความจำตัวใดตัวหนึ่งจนเต็มก่อนแล้วจึงไปเขียนต่ออีกตัวหนึ่งจนครบ 4 ตัว เพราะใน 1 เส้น สแกนจะมีหน่วยความจำอยู่ 2 ตัว ช่วยกันเก็บข้อมูล 256 จุด นอกจากนี้จำนวนเส้นทั้งหมด 256 เส้น จะพบว่าหน่วยความจำตัวที่1,2 เก็บข้อมูลของเส้นที่ 1-128 ส่วนหน่วยความจำตัวที่ 3,4 เก็บข้อมูลของเส้นที่ 129-256

การสร้างสัญญาณเลือกหน่วยความจำอาศัยการพิจารณาลำดับการเขียนข้อมูล ซึ่งเริ่มจากหน่วยความจำตัวที่ 1 สลับกับตัวที่ 2 ใน 1 เส้น สแกน จนครบ 128 เส้น จึงทำการเขียนข้อมูลลงไปที่หน่วยความจำ 3 และสลับกับตัวที่ 4 จนครบ 256 เส้น จึงสิ้นสุดกระบวนการเขียนข้อมูล

ส่วนกำเนิดสัญญาณควบคุมการเขียน นอกจากจะกำเนิดสัญญาณตามเงื่อนไขของการเขียนแล้วยังต้องสามารถควบคุมตัวเองให้ทำงาน หรือหยุดงานได้ด้วยสัญญาณที่ได้รับการกระตุ้นจากภายนอกหรือแม้กระทั่งจากตัวมันเอง สิ่งที่ใช้พิจารณาเกี่ยวกับการควบคุมคือใน 1 ฟิลด์ ภาพมีเส้นสแกนทั้งหมด 312.5 เส้น แต่ในการเก็บข้อมูลจะใช้เพียง 256 เส้นเท่านั้น ซึ่งหมายความว่า ยังมีเส้นสแกนเหลืออยู่ 56.5 เส้น และรวมถึงสัญญาณเวอร์ติคัลแบลงกิ้งที่ไม่ได้ถูกจัดเก็บด้วยดังนั้นในส่วนกำเนิดสัญญาณควบคุมการเขียนต้องสามารถรู้จุดเริ่มต้นของฟิลด์ภาพ เพื่อเป็นสัญญาณในอ้างอิงในการเริ่มต้นการทำงาน เมื่อดำเนินการไปจนครบ 256 เส้น แล้ว จะต้องผลิตสัญญาณออกมาเป็นการบอกจุดสิ้นสุดการเขียน เส้นสแกนที่เหลือรวมทั้งสัญญาณเวอร์ติคัลแบลงกิ้ง จะถูกละเลยไป โดยส่วนควบคุมทำการสั่งให้ส่วนกำเนิดของสัญญาณการเขียนรวมทั้งส่วนแปลงสัญญาณภาพหยุดการทำงาน จนกว่าสามารถตรวจพบจุดเริ่มต้นของสัญญาณภาพฟิลด์ใหม่ นอกจากนี้ในแต่ละเส้นสแกน และทำการเก็บข้อมูลจนครบ 512 จุด ส่วนควบคุมจะดำเนินการให้หยุดการทำงานเช่นเดียวกัน จนกว่าจะเจอจุดเริ่มต้นของเส้นสแกนเส้นใหม่ ดังนั้นส่วนฮอลิซอนตัลแบลงกิ้งจึงเป็นส่วนที่ไม่ถูกเก็บข้อมูลด้วย

สัญญาณนาฬิกาที่ป้อนให้กับวงจรนับ เพื่อเป็นสัญญาณอ้างอิงในการกำเนิดตำแหน่งจุดของข้อมูล คือ สัญญาณนาฬิกา 10 เมกะเฮิตรซ์ และสัญญาณฮอริซอนตัลชิงค์ที่ผ่านการปรับแต่งสัญญาณแล้ว เป็นสัญญาณอ้างอิงในการกำเนิดตำแหน่งเส้นของข้อมูล แต่อย่างไรก็ตามจะนำสัญญาณนาฬิกา 10 เมกะเฮิตรซ์

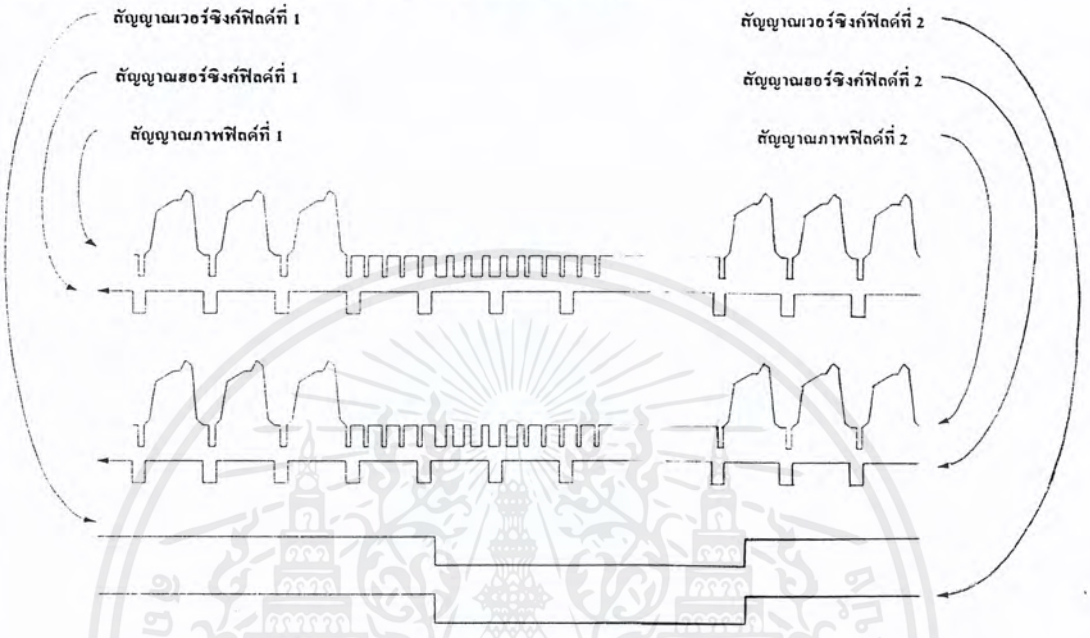
ที่ใช้ในการสุ่มข้อมูลของส่วนแปลงสัญญาณภาพมาใช้ป้อนวงจรนับจะเกิดปัญหาขึ้นเพราะว่าวงจรนับที่ใช้ในโครงงานเป็นไอซีเบอร์ MC74F161 ซึ่งเป็นไอซีวงจรนับ 4 บิท เปลี่ยนสถานะของเอาต์พุตที่ขอบขาขึ้นของสัญญาณนาฬิกาที่ป้อนเข้า จากหัวข้อส่วนการเปลี่ยนแปลงสัญญาณอนาลอกเป็นดิจิตอลจะพบว่า ถ้าใช้สัญญาณนาฬิกาเดียวกับการเปลี่ยนแปลงการแปลงสัญญาณภาพ ข้อมูลยังไม่ออกจากแลตซ์ แต่สัญญาณตำแหน่งถูกกำเนิด ขึ้นก่อนแล้ว โดยที่ไม่มีข้อมูลจะให้เขียน ดังนั้นสัญญาณนาฬิกาที่ป้อนให้วงจรนับจุดจึงต้องใช้ สัญญาณที่ป้อนให้แลตซ์เมื่อแลตซ์ส่งข้อมูลออกวงจรนับจะทำการกำเนิดสัญญาณตำแหน่ง ให้กับหน่วยความจำเพื่อนำข้อมูลไปเก็บเมื่อมีขอบขาขึ้นของสัญญาณนาฬิกาเข้ามากระตุ้นให้แลตซ์ปล่อยข้อมูลขณะเดียวกันก็กระตุ้นให้วงจรทำงานกำเนิดสัญญาณตำแหน่งของหน่วยความจำมาให้ 1 ตำแหน่งด้วย นั่นคือ สัญญาณนาฬิกาที่ใช้กับส่วนกำเนิดสัญญาณควบคุมการเขียน ในส่วนของการกำเนิดตำแหน่งจุดข้อมูลจะใช้สัญญาณเดียวกันกับที่นำไปกระตุ้นแลตซ์หรือเป็นการกลับเฟส 180 องศา ของสัญญาณนาฬิกาที่ใช้ในการแปลงสัญญาณภาพนั่นเอง ซึ่งวงจรใช้แสดงในงานภาคผนวก ก. จากวงจรส่วนกำเนิดสัญญาณควบคุมการเขียน ประกอบด้วย 3 ส่วน คือ วงจรควบคุม, วงจรกำเนิดสัญญาณตำแหน่งและวงจรควบคุมหน่วยความจำ วงจรทั้ง 3 ส่วนทำงานสัมพันธ์กันอย่างใกล้ชิด เพื่อให้เป็นไปตามเงื่อนไขที่ต้องการ วงจรที่เป็นหลักในส่วนของการกำเนิดสัญญาณควบคุมการเขียน เป็นวงจรกำเนิดสัญญาณตำแหน่ง เพราะวงจรส่วนนี้จะมีผลต่อการควบคุมวงจรหน่วยความจำอีกทีหนึ่ง ส่วนวงจรควบคุมจะทำหน้าที่ควบคุมวงจรกำเนิดสัญญาณตำแหน่ง

วงจรกำเนิดสัญญาณตำแหน่งแบ่งออกเป็น 2 ส่วนย่อย ส่วนแยกทำหน้าที่กำเนิดตำแหน่งจุดของข้อมูลประกอบด้วย U11,U12,U17D,U13 และ U20B ในแต่ละเส้นสแกนมีจุดข้อมูลทั้งหมด 512 จุด แต่เนื่องจากการจัดตำแหน่งของหน่วยความจำ ใน 1 เส้นสแกนใช้หน่วยความจำ 2 ตัว แบ่งกันเก็บตัวละ 256 จุด ดังนั้นในส่วนของวงจรนับ 8 ซึ่งจะได้ 256 ตำแหน่ง แต่การนับยังไม่สิ้นสุด เพราะข้อมูลยังเหลืออีก 256 จุดจึงเริ่มนับใหม่แต่ในตอนนี้ข้อมูลจะเปลี่ยนไปเก็บลงหน่วยความจำอีกตัวหนึ่ง เพราะว่าวงจรนับ 8 นับครบ 255 (FFH) จะมีสัญญาณทด (Carry Out) ออกมาให้วงจรนับ 1 บิท ซึ่งนำเอาต์พุตไปเข้าวงจรดีโค๊ดเดอร์ เพื่อถอดรหัสหน่วยความจำที่ต้องการ

ส่วนที่ 2 ทำหน้าที่กำหนดตำแหน่งของเส้นข้อมูล ดังได้กล่าวมาแล้วว่าใน 1 ฟิลด์เก็บข้อมูลทั้งหมด 256 ด้วยเหตุผลเดียวกับการกำเนิดตำแหน่งจุด จึงใช้เป็นการนับ 7 บิท หรือ 128 ตำแหน่ง แทนที่จะใช้ 8 บิท หรือ 256 ตำแหน่ง เพื่อให้ 128 เส้นแรกถูกเขียนลงบนหน่วยความจำ 1 และ 2 ส่วน 128 เส้นต่อมาเขียนลงหน่วยความจำ 3 และ 4 แต่อย่างไรก็ตามวงจรนับยังคงใช้ 8 บิทเหมือนเดิม โดยการนำบิทที่ 8 ไปเข้าวงจรดีโค๊ดเดอร์ เมื่อวงจรนับครบ 255 จะมีสัญญาณทดออกเป็นสัญญาณแสดงการสิ้นสุดการเขียน

วงจรควบคุมประกอบด้วยส่วนย่อย 2 ส่วน เช่นกัน คือ วงจรเริ่มให้ทำงาน (Start up) วงจรในส่วนนี้ คือ U10A และ U88A ทำหน้าที่ให้วงจรทั้งหมดเริ่มทำงาน การเริ่มทำงานของวงจรกำเนิดสัญญาณควบคุมการเขียนจะเริ่มเมื่อ U10A สามารถตรวจสัญญาณ V_SYNC ที่ได้จากสัญญาณภาพทำให้เอาท์พุต Q ซึ่งปกติมีระดับลอจิก " 0 " อยู่กลายเป็นลอจิก " 1 " แสดงว่า ตอนนี้อนุญาตให้วงจรทุกส่วนเริ่มทำงานได้ ส่วนที่ 2 ของวงจรคือ วงจรตรวจสอบสัญญาณซิงค์ เป็นเพราะว่า สัญญาณภาพในแต่ละฟิลด์มีการเหลื่อมกันของสัญญาณ เพื่อให้เกิดการสอดแทรก เมื่อแยกสัญญาณฮอริซอนตัลซิงค์และเวอร์ติคัลซิงค์ออกจาก

สัญญาณภาพ แล้วทำการปรับความกว้างของสัญญาณให้เหมาะสมตามที่ต้องการ แต่เนื่องจากสัญญาณทั้ง 2 ฟิลด์ เหลื่อมกันอยู่ เมื่อทำการปรับสัญญาณของฟิลด์ใดถูกต้อง สัญญาณของอีกฟิลด์หนึ่งจะไม่ถูกต้อง โดยเวอร์ติคัลซิงค์ จะไปเริ่มที่กลางเส้นภาพ ซึ่งไม่เป็นที่ต้องการ ดังรูปที่ 3.26 ดังนั้นวงจรส่วนนี้จะทำการควบคุมให้การเริ่มต้นในแต่ละฟิลด์ตรงที่จุดเริ่มต้นเส้นภาพพอดี



รูปที่3.26 แสดงสัญญาณภาพ และสัญญาณซิงค์ที่แยกออกมา

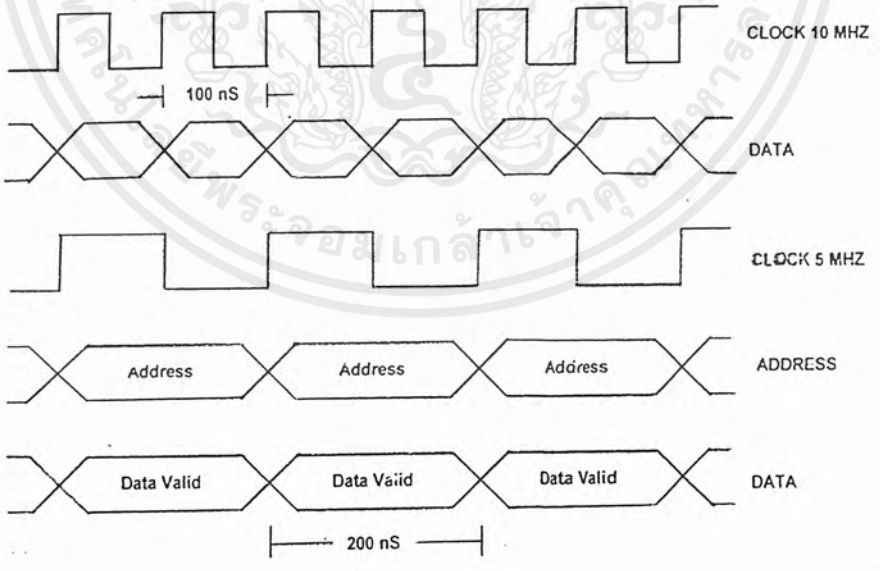
วงจรควบคุมหน่วยความจำมีวงจรย่อยอยู่ 3 ส่วนคือ ส่วนตรวจจับสิ้นสุดการกำเนิดจุด ประกอบด้วย U10B และ U18B เมื่อวงจรนับกำเนิดตำแหน่งครบ 512 จุดแล้ว จะทำให้ฟลิปฟลอป U10B เปลี่ยนสถานะเอาท์พุต โดยที่เดิม Q มีลอจิกเป็น " 1 " จะเปลี่ยนเป็น " 0 " จนกว่าจะมีสัญญาณฮอริซอนตัลซิงค์หรือเวอร์ติคัลซิงค์มาที่ขา R ทำให้เอาท์พุตเปลี่ยนสถานะกลับอีกครั้งหนึ่ง วงจรในส่วนนี้นอกจากจะควบคุมหน่วยความจำแล้ว เอาท์พุตของวงจรนี้ยังถูกส่งไปควบคุมกำเนิดสัญญาณนาฬิกาที่ป้อนให้กับส่วนแปลงสัญญาณอะนาลอกเป็นดิจิตอลให้ทำงานหรือหยุดทำงานอีกด้วย ส่วนที่ 23 เป็นส่วนตรวจจับสิ้นสุดการกำเนิดเส้น ประกอบด้วย U25B และ U83D การทำงานจะคล้ายกับส่วนจับสิ้นสุดการกำเนิดจุดคือ เมื่อวงจรนับเส้นสแกนได้ครบ 256 เส้นแล้ว สัญญาณสิ้นสุดการเขียน (END_WR) จะไปกระตุ้นฟลิปฟลอป U25B เปลี่ยนสภาวะ และจะกลับคืนสภาวะเดิมเมื่อมีสัญญาณ V_SYNC เข้ามาเคลียร์ ส่วนสุดท้ายประกอบด้วย U20A , U87A , U841B และ U16A ทำหน้าที่กำเนิดสัญญาณเลือกหน่วยความจำโดย U16A เป็นไอซีดีโค๊ดเดอร์ถูกควบคุมการทำงานด้วยสัญญาณที่ขา E ด้วยสัญญาณจากส่วนตรวจจับสิ้นสุดการกำเนิดจุดและเส้นซึ่งสัญญาณที่ได้คือ WRITE_CON ถูกนำไปใช้ควบคุมชุดกำเนิดสัญญาณ WE โดย U16B ด้วย

3.2.6 ส่วนกำเนิดสัญญาณควบคุมการอ่านข้อมูล

หน้าที่ของส่วนกำเนิดสัญญาณควบคุมการอ่านข้อมูลคือ สร้างสัญญาณให้กับหน่วยความจำเพื่อเริ่มอ่านข้อมูลหรือหยุดอ่านข้อมูล ตามตำแหน่งที่ต้องการ โดยทำการตรวจสอบสัญญาณที่ใช้เป็นเงื่อนไข ส่วนกำเนิดสัญญาณการอ่านและการเขียนข้อมูล มีความคล้ายคลึงกันมากไม่ว่าในส่วนของ

สัญญาณที่กำเนิดหรือการตรวจสอบเงื่อนไขต่าง ๆ แต่สิ่งที่ต่างกันอย่างชัดเจน นอกจากเรื่องของหน้าที่การทำงานแล้วสัญญาณตำแหน่งข้อมูลที่ส่วนกำเนิดสัญญาณควบคุมการอ่านสร้างขึ้น จะไม่เหมือนสัญญาณตำแหน่งข้อมูลที่สร้างจากส่วนกำเนิดสัญญาณควบคุมการเขียน เพราะการขยายภาพให้ใหญ่ขึ้น ต้องอาศัยประโยชน์จาก สัญญาณตำแหน่งการอ่านข้อมูล ซึ่งในกระบวนการอ่านข้อมูลจะบังคับให้อ่านซ้ำจุดเดิมและซ้ำเส้นเดิม เพื่อให้ภาพขยายใหญ่ขึ้น

การขยายภาพโดยการใช้วิธีซ้ำจุดเดิมนั้น ไม่เป็นเรื่องง่ายนักที่จะใช้วงจรนับ เพื่อการนับซ้ำจุดต่อจุด ในการกำเนิดสัญญาณตำแหน่ง เช่น ให้นับ 1 จำนวน 2 ครั้ง จึงไปนับ 2 จำนวน 2 ครั้งอีก และนับซ้ำไปอย่างนี้จนครบรอบ จะเห็นว่า เมื่อเงื่อนไขการนับเป็นแบบนี้การออกแบบวงจรให้ทำงานตามเงื่อนไขมีอยู่ 2 วิธี คือ วิธีแรกต้องมีหน่วยความจำคอยเก็บข้อมูลว่า ตอนนี้นับไปได้ถึงไหนแล้ว แล้วควบคุมให้นับต่อจากค่าที่เก็บไว้ วิธีนี้ตามแนวความคิดน่าจะเป็นไปได้ แต่ในการออกแบบใช้งานจริงมีความยุ่งยากมาก และสิ้นเปลืองอุปกรณ์จำนวนมาก ไม่เหมาะสมที่จะใช้งานจริง อีกวิธีหนึ่งคือ การอาศัยการเปลี่ยนแปลงบิทของเลขฐาน 2 ซึ่งจะเห็นได้ว่าการเปลี่ยนแปลงหลักของเลขฐาน 2 เป็นการเปลี่ยนแปลงบิท 2 ครั้ง คือ “0” และ “1” วิธีนี้แม้จะทำได้ตามเงื่อนไข แต่ตำแหน่งที่ต้องกำเนิดมีจำนวนมาก อุปกรณ์ที่ใช้ประกอบวงจรนับก็มากขึ้นด้วย วิธีนี้จะนำไปใช้สำหรับให้เกิดการนับซ้ำเส้นซึ่งจะอธิบายต่อไป กระบวนการซ้ำจุดที่อาศัยวงจรนับมีความยุ่งยากและต้องใช้อุปกรณ์จำนวนมาก ในโครงงานได้เลือกใช้วิธีอื่นที่สะดวกและประหยัดกว่า คือ ใช้วิธีเพิ่มคาบเวลาของสัญญาณนาฬิกาที่ใช้ในการอ่าน ซึ่งรูปแบบของสัญญาณแสดง ดังรูป 3.27



รูปที่ 3.27 แสดงเวลาการอ่านทำให้ขยายภาพ

กระบวนการบันทึกข้อมูลลงหน่วยความจำ 1 จุดภาพ ใช้เวลา 100 นาโนเซ็คคั่น หรือ 10 เมกะเฮิรตซ์ กังนั้นในกระบวนการอ่าน เพื่อให้เกิดการซ้ำจุดภาพจึงใช้สัญญาณนาฬิกาที่มีคาบเวลา 200 นาโนเซ็คคั่น

หรือ 5 Mhz ดังรูป 3.27 การทำให้เกิดการอ่านข้อมูลซ้ำเส้นเดิม เมื่อข้อมูลในหน่วยความจำถูกแบ่งออกเป็น 4 ส่วนแล้ว แต่ละส่วนจะมีปริมาณข้อมูลขนาด 256 จุด x 128 เส้น ซึ่งต้องทำการขยายข้อมูลนี้ให้มีขนาดเท่าเดิมคือ 512 จุด x 256 เส้น การทำซ้ำเส้นไม่ได้หมายความว่า อ่านข้อมูลออกไปทั้ง 128 เส้นแล้วกลับมาอ่านข้อมูลใหม่อีกรอบ เพราะถ้าเป็นลักษณะแบบนี้จะได้ภาพเดิมซ้ำ 2 ครั้ง แต่ภาพไม่ได้ขยายขึ้นแต่อย่างใด การทำซ้ำเส้นอีกครั้งหนึ่ง จากนั้นจึงไปอ่านเส้นที่ 2 ซึ่งเหมือนกับว่าข้อมูลถูกอ่านออกไป 256 เส้น ภาพที่ได้จึงขยายใหญ่ขึ้น นั่นคือ เมื่อวงจรนับจุด ทำการกำเนิดสัญญาณเพื่ออ่านข้อมูลในเส้นแรกคือ จุดที่ 1 ถึงจุดที่ 256 เมื่อนับครบ 256 หรืออ่านข้อมูลออกไปได้ 256 จุดแล้ว จะกลับมากำเนิดสัญญาณเพื่ออ่านจุดที่ 1 ของเส้นที่ 2 เพื่อให้วงจรนับสามารถทำตามเงื่อนไขนี้ได้ ต้องสังเกตการเปลี่ยนแปลงบิทของสัญญาณที่กำเนิดดังตาราง 3.1

จากตารางที่ 3.1 มีเลขฐาน 2 ทั้งหมด 16 บิท ซึ่งถ้าใช้อ้างตำแหน่งของหน่วยความจำ จะได้ทั้งหมด 65536 ตำแหน่ง (64 กิโลไบต์) ถ้าหากไม่นำบิทที่ 8 ไปใช้ จะเหลือสัญญาณที่ใช้อ้างตำแหน่งเป็น 15 บิทพอดี โดยที่การละเว้นบิทที่ 8 ไป ทำให้เสมือนว่า สัญญาณตำแหน่งเกิดขึ้นซ้ำ 2 ครั้ง เพราะว่าบิทของเลขฐาน 2 มีการเปลี่ยนแปลง 2 ครั้ง คือ “0” และ “1” ในโครงงานจึงใช้ประโยชน์นี้มาทำการขยายภาพ ส่วนสาเหตุที่เลือกใช้บิทที่ 8 เพราะว่าจากกระบวนการเขียนได้กำหนดให้ข้อมูล 1 เส้นภาพ หรือ 512 จุด เก็บอยู่ในหน่วยความจำ 2 ตัว นั้นคือหน่วยความจำแต่ละตัวจะมีข้อมูลเส้นภาพ 256 จุดต่อ 1 เส้น การกำเนิดสัญญาณตำแหน่งการอ่านข้อมูลจึงใช้ 8 บิท (บิท 0 - บิท 7) หรืออ่านข้อมูล 256 ตำแหน่ง ในแต่ละเส้นภาพ

วงจรและการทำงานของส่วนกำเนิดสัญญาณควบคุมการอ่าน จะคล้ายกับส่วนของการเขียนมาก แตกต่างกันแค่ส่วนของวงจรกำเนิดสัญญาณและส่วนควบคุมหน่วยความจำเท่านั้น โดยที่การอ่านไม่จำเป็นต้องใช้วงจรดีโค๊ดเดอร์ เพราะในกระบวนการอ่าน หน่วยความจำแต่ละตัวเป็นอิสระต่อกัน จึงไม่จำเป็นต้องมีสัญญาณเลือกหน่วยความจำอีก วงจรแสดงในภาคผนวก ก.

ฐาน2																ฐาน10
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0	0	0	0	0	0	0	0	1	1	1	1	0	F	F	255	255
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0	0	0	0	0	0	0	1	1	1	1	1	0	F	F	255	255
0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	256	256
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0	0	0	0	0	0	1	0	1	1	1	1	1	F	F	511	511
0	0	0	0	0	0	1	1	0	0	0	0	1	0	0	256	256
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0	0	0	0	0	0	1	1	1	1	1	1	1	F	F	511	511
0	0	0	0	0	1	0	0	0	0	0	0	2	0	0	512	512
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0	0	0	0	0	1	0	0	1	1	1	1	2	F	F	767	767
–	–	–	–	–	1	0	1	0	0	0	0	2	0	0	512	512
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0	0	0	0	0	1	0	1	1	1	1	1	2	F	F	767	767
0	0	0	0	0	1	1	0	0	0	0	0	3	0	0	768	768
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0	0	0	0	0	1	1	1	1	1	1	1	3	F	F	1023	1023
0	0	0	0	0	1	0	0	0	0	0	0	3	0	0	768	768
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0	0	0	0	0	1	1	1	1	1	1	1	3	F	F	1023	1023

ตารางที่ 3.1 แสดงการเว้นบิทเพื่อให้เกิดการอ่านซ้ำบิทขึ้น

3.2.7. ส่วนกำเนิดสัญญาณควบคุมเปลี่ยนชุดหน่วยความจำ (Switch)

การเปลี่ยนชุดหน่วยความจำถูกควบคุมด้วยสัญญาณ PAGE_CON และ $\overline{\text{PAGE_CON}}$ ดังที่กล่าวมาแล้วในตอนต้นว่าหน่วยความจำมีอยู่ 2 ชุดสลับกันทำหน้าที่รับข้อมูลจาก ส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอล และส่งข้อมูลออกให้ส่วนแปลงสัญญานดิจิตอลเป็นอนาลอก เงื่อนไขการเปลี่ยนชุดหน่วยความจำ คือการสิ้นสุดกระบวนการเขียนและอ่าน โดยปกติแล้วทั้งสองขบวนการนี้จะสิ้นสุดพร้อมกันและมีสัญญาณออกมาแสดงการสิ้นสุดกระบวนการ แต่เนื่องจากการหน่วงเวลาของเกทไม่เท่ากัน ดังนั้นเพื่อป้องกันการผิดพลาดในการเปลี่ยนแปลงหน่วยความจำ ต้องมีการตรวจสอบอย่างมั่นใจว่ากระบวนการทั้งสองได้สิ้นสุดลงแล้ว จึงทำการเปลี่ยนชุดหน่วยความจำ ซึ่งมีวงจรในภาคผนวก ก.

3.2.8. ส่วนแปลงสัญญาณดิจิตอลเป็นอะนาลอกและส่วนผสมสัญญาณภาพ A/D, Mix

ในโครงงานส่วนนี้จะต้องใช้วงจรดีทูเอ ในการแปลงสัญญาณภาพที่เป็นสัญญาณดิจิตอล จากหน่วยความจำแรม ให้กลับมาเป็นสัญญาณภาพที่เป็นอนาลอก เพื่อที่จะนำสัญญาณภาพที่ได้ไปแสดงออกทางจอภาพที่เป็นจอโทรทัศน์ธรรมดาได้ สำหรับโครงงานนี้จะทำการแปลงสัญญาณภาพออกเป็น 4 ส่วน เพื่อที่จะแสดงออกจอโทรทัศน์ได้ 4 จอ ดังนั้นวงจรดีทูเอก็จำเป็นจะต้องมี 4 วงจร แต่ในที่นี้จะยกตัวอย่างเพียงวงจรเดียว เพราะวงจรทั้ง 4 นั้นเหมือนกัน

สำหรับวงจรดีทูเอที่ใช้เป็นไอซีเบอร์ DAC 0800LC เป็นไอซีแบบ โมโนลิทิค 8 บิท ภายในเป็นแบบ R/2R แลดเดอร์ ทำให้ได้ระดับสัญญาณเอาต์พุต กระแสเอาร์พุตนี้เป็นการเปลี่ยนแปลงได้ 2 กรณี คือ ถ้าค่าดิจิตอลอินพุตเปลี่ยนค่าหรือมีการป้อนกระแสไปเสริมหรือหักล้างกับกระแสที่ขา 14 นี้ ตามวงจรค่าแรงดันที่อ้างอิงที่ป้อนให้ขา 14 จะเป็นแรงดัน 10 โวลต์ โดยผ่านไอซีเรคกูเรต 7810 ป้อนผ่านตัวต้านทางค่า 5 กิโลโอห์ม ซึ่งส่งผลให้มีค่ากระแสคงที่ 2 มิลลิแอมป์ออกที่เอาต์พุตขา 2 และ 4 ส่วนตัวต้านทานนี้จะต้องมีค่าเท่ากับ ค่าความต้านทานที่ขา 14 ตัวเก็บประจุที่ต่อจากขา 16 ของไอซี DAC 0800 ไปยังแหล่งจ่ายไฟลบนั้น เพื่อชดเชยอัตราขยายในโหมดเอซีรีเฟอเร้นท์ (ac-reference) ในที่นี้ได้ใช้อ้างอิงเป็นค่าแรงดันกระแสตรง ดังนั้นจึงไม่ต้องกังวลกับค่าตัวเก็บประจุเท่าใดนัก แต่อย่างไรก็จำเป็นจะต้องต่อตัวเก็บประจุนี้

สำหรับเอาต์พุตที่ขา 2 และ 4 ของ DAC 0800 ก็จะแบ่งค่ากระแสที่ไหลผ่านขา 14 โดยกระแสที่ขา 2 และ 4 จะเป็นแบบคอมพลีเมนต์ (Complement) ซึ่งกันและกัน ดังนั้นกระแสที่ไม่ไหลในขาหนึ่งก็จะไปไหลในอีกขาหนึ่งแทน ซึ่งสามารถอธิบายได้ดังนี้

กระแสที่ไหลผ่านขา 4 จะเป็นกระแสจริง โดยจะมีค่าน้อยที่สุด เมื่ออินพุตของ DAC 0800 เป็นลอจิก "0" ทั้งหมด และจะมากที่สุด เมื่ออินพุตเป็นลอจิก "1" ทั้งหมด ส่วนกระแสเอาต์พุตที่ขา 2 ก็จะตรงกันข้ามกับขา 4 โดยกระแสจะมีค่าสูงสุดเมื่ออินพุตเป็นลอจิก "0" และมีค่าน้อยสุด เมื่ออินพุตเป็นลอจิก "1" ทั้งหมด สำหรับตัวต้านทานปรับค่าได้ที่ต่อที่ขา 2 และนำขึ้นไฟบวกนั้นทำหน้าที่เปลี่ยนแปลงค่ากระแสที่ออกจากขา 2 ให้เป็นแรงดัน และที่ขา 4 จะทำการต่อลงกราวด์ไว้

สำหรับในวงจรผสมสัญญาณ ที่ทำหน้าที่ผสมสัญญาณภาพที่ออกจากดีทูเอ เข้ากับสัญญาณซิ้งค์รวมโดยสัญญาณภาพจากดีทูเอจะผ่านตัวต้านทาน 330 โอห์ม ไปผสมกับสัญญาณซิ้งค์ โดยที่ใช้ตัวต้าน

ทานปรับค่า สำหรับปรับอัตราส่วนของสัญญาณภาพกับสัญญาณซิ้งค์ ซึ่งสัญญาณที่ได้จะเป็นสัญญาณคอมโพซิทวีดีโอ (Composite Video) ซึ่งสัญญาณยังมีระดับของกระแสต่ำอยู่ถ้านำไปต่อเข้ากับโทรทัศน์ดังนั้นจึงต้องนำไปเข้ากับวงจรขยายสัญญาณ ซึ่งในโครงงานนี้ใช้ ไอซี MAX404 (Video Operation Amplifier) เป็นออปแอมป์แบบไบโพลาร์ความถี่สูงซึ่งดำเนินการจากวัพพลายที่ระดับแรงดัน $\pm$ 5 V และสามารถขับสัญญาณที่ระดับแรงดัน $\pm$ 3.5 V ไปยังค่าความต้านทาน 50 โอห์ม โดยที่ไอซี MAX 404 มีค่าความต้านทานเอาท์พุตที่ต่ำมากๆ ($\pm$ 10 mΩ) และสามารถไดรฟ์โหลดที่มีลักษณะความจุไฟฟ้ามาก

บทที่ 4

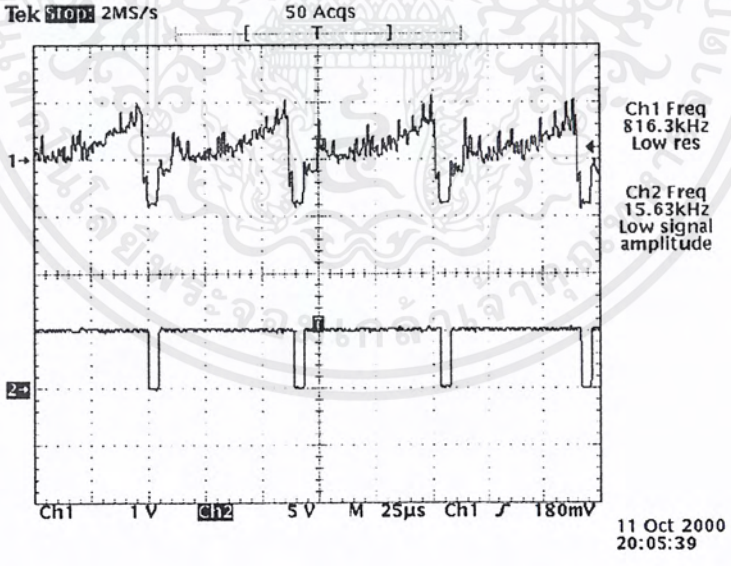
การทดลองและผลการทดลอง

จากในบทที่ผ่านมา ได้ทำการออกแบบและสร้างวงจรในส่วนต่างๆขึ้นมา ซึ่งในบทที่ 4 นี้จะแสดงให้เห็นว่าวงจรต่างๆที่ได้ทำการออกแบบและสร้างขึ้นมานั้นสามารถทำงานได้จริงและถูกต้องหรือไม่ โดยมีผลการทดลองในแต่ละส่วนดังนี้

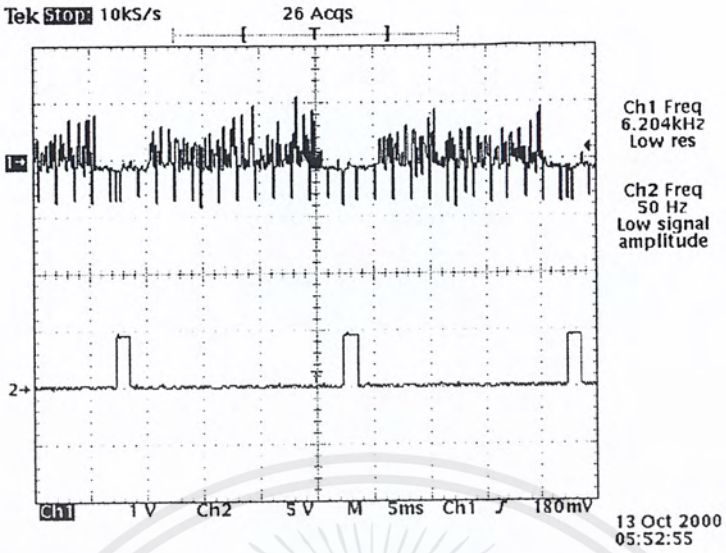
4.1 การทดลองและผลการทดลองในส่วนของวงจรแยกสัญญาณซิ้งค์

ในการออกแบบวงจรใช้ไอซีเบอร์ LM 1881N ซึ่งเป็นไอซีที่แยกสัญญาณซิ้งค์จากเอาท์พุตเป็นสัญญาณคอมโพซิสซิ้งค์และสัญญาณเวอร์ติคัลซิ้งค์ออกมาจากนั้นนำเอาสัญญาณคอมโพซิสซิ้งค์และสัญญาณเวอร์ติคัลซิ้งค์ที่ได้ป้อนไปยังไอซี 74HC123 ซึ่งทำหน้าที่เป็นวงจรโมโนสเตเบิ้ล 2 ตัวด้วยกันจากนั้นทำการปรับขนาดของสัญญาณฮอริซอลตัลซิ้งค์และสัญญาณเวอร์ติคัลซิ้งค์ที่ได้จากไอซี 74HC123 ให้มีขนาดตามขนาดที่เหมาะสม แล้วทำการบันทึกผลของ สัญญาณฮอริซอลตัลซิ้งค์ และ สัญญาณเวอร์ติคัลซิ้งค์ที่ได้

ผลการทดลองของวงจรแยกสัญญาณซิ้งค์



รูปที่ 4.1 แสดงสัญญาณภาพเทียบกับสัญญาณฮอร์ซิ้งค์ที่ผ่านการปรับขนาด
โดยที่ Ch1: สัญญาณภาพจากเครื่องเล่นวีดีโอ
Ch2: สัญญาณฮอร์ซิ้งค์ที่ได้ผ่านการปรับขนาดแล้ว



รูปที่ 4.2 แสดงสัญญาณภาพเทียบกับสัญญาณเวอร์ชิ้งค์ที่ผ่านการปรับขนาด

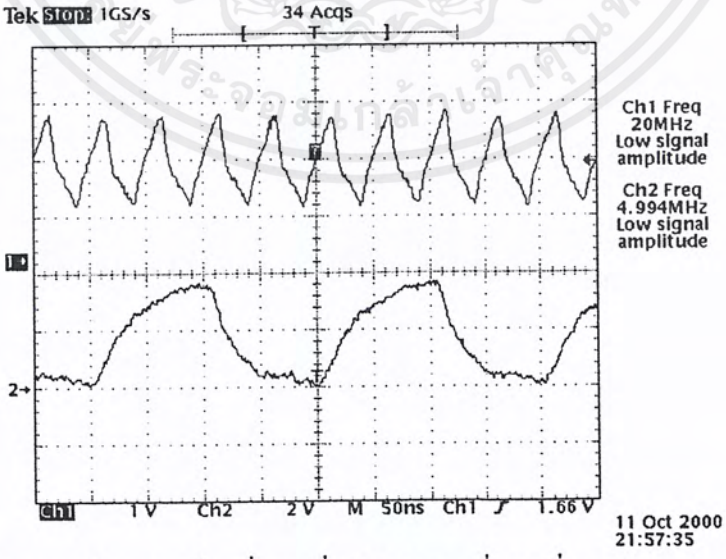
โดยที่ Ch1: สัญญาณภาพจากเครื่องเล่นวีดีโอ

Ch2: สัญญาณเวอร์ชิ้งค์ที่ได้ผ่านการปรับขนาดแล้ว

4.2 การทดลองและผลการทดลองในส่วนของวงจรผลิตคล็อก

ในการออกแบบวงจรใช้คริสตัลความถี่ 20 MHz ผลิตความถี่ 20 MHz จากนั้นนำสัญญาณคล็อกความถี่ 20 MHz ป้อนไปยังไอซี 74F161 ทั้ง 2 ตัวซึ่งเป็นวงจรที่หารความถี่ลงมาเหลือความถี่ 10 MHz , 5 MHz, และ 2.5 MHz ออกมา

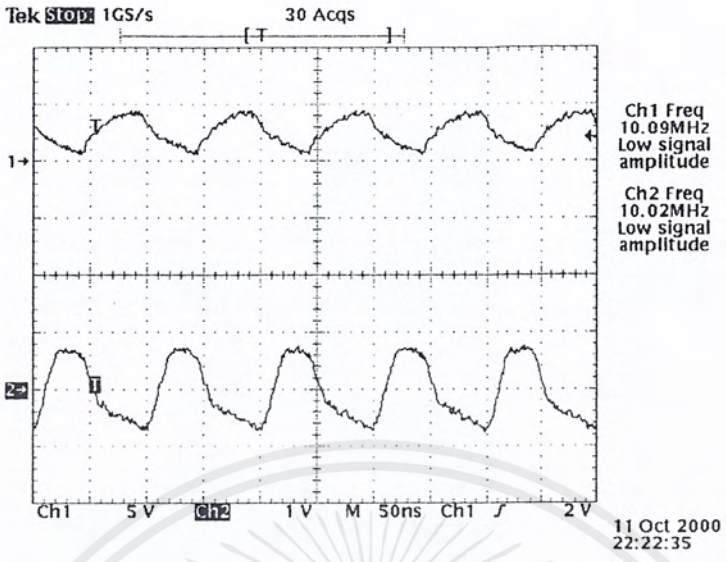
ผลการทดลองวงจรผลิตคล็อก



รูปที่ 4.3 แสดงสัญญาณคล็อกที่ความถี่ 20 MHz และที่ความถี่ 5 MHz

โดยที่ Ch1: สัญญาณคล็อกที่ความถี่ 20 MHz

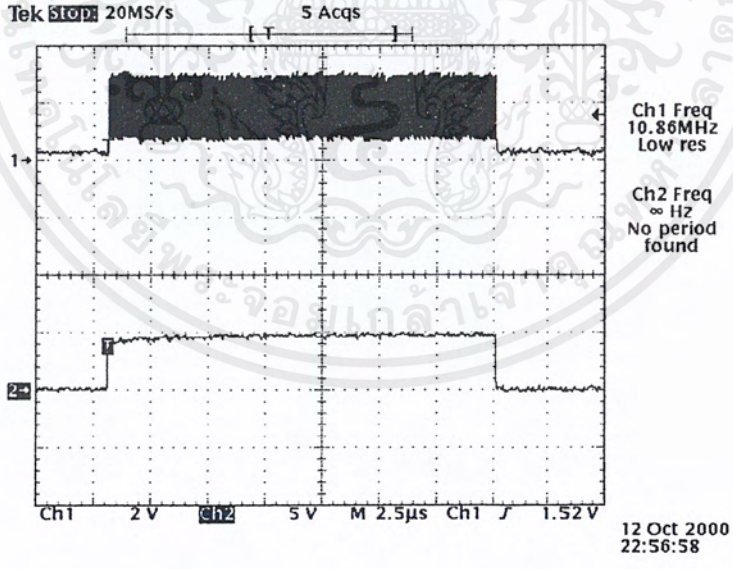
Ch2: สัญญาณคล็อกที่ความถี่ 5 MHz



รูปที่ 4.4 แสดงสัญญาณคล็อกที่ความถี่ 10 MHz และสัญญาณ LATCH

โดยที่ Ch1: สัญญาณคล็อกที่ความถี่ 10 MHz

Ch2: สัญญาณ LATCH (กลับเฟส 180 องศากับสัญญาณความถี่ 10 MHz)



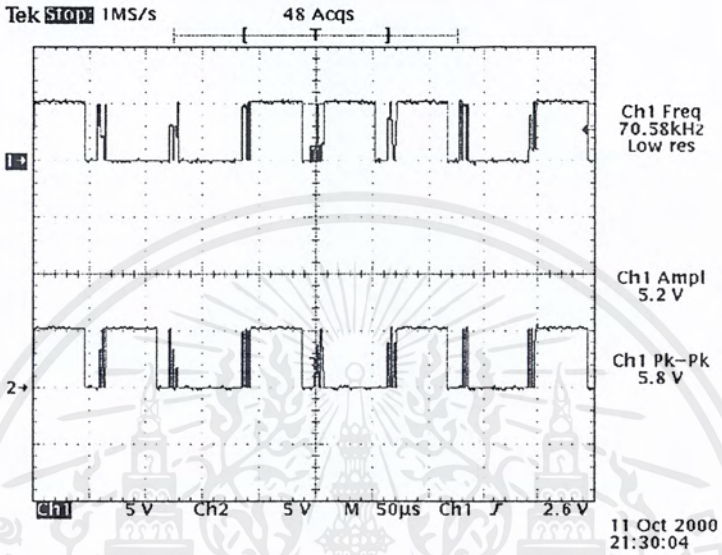
รูปที่ 4.5 แสดงสัญญาณคล็อกที่ความถี่ 10 MHz และสัญญาณ CLR_WR\

โดยที่ Ch1: สัญญาณคล็อกที่ความถี่ 10 MHz

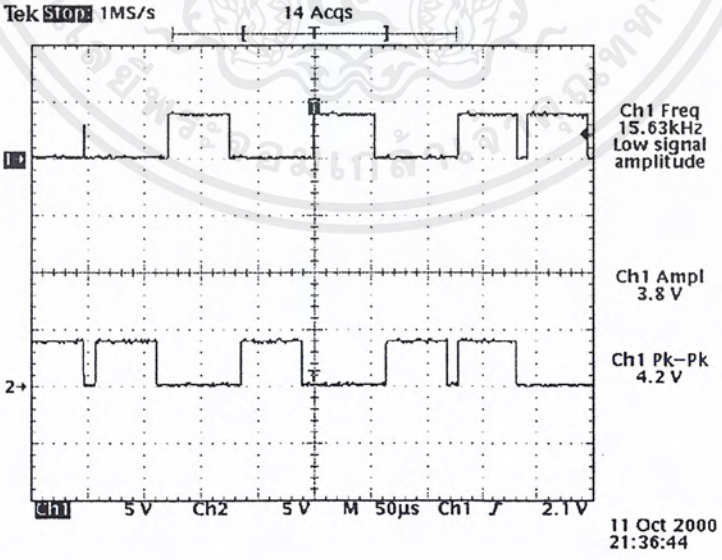
Ch2: สัญญาณ CLR_WR\

4.3 การทดลองและผลการทดลองในส่วนของการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (A\D Conversion)

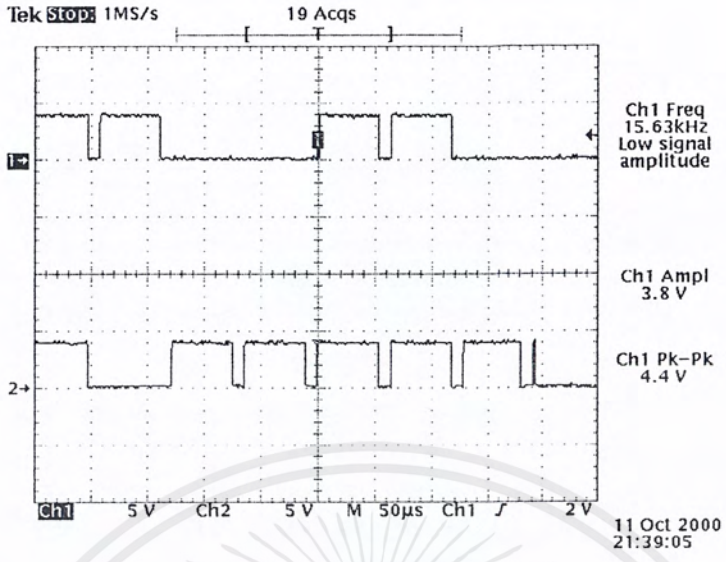
ในส่วนของวงจรการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลใช้ไอซีเบอร์ CA 3318CE ทำการป้อนสัญญาณวีดีโอแล้วบันทึกผลการแปลงสัญญาณที่บิทต่างๆได้ ดังนี้



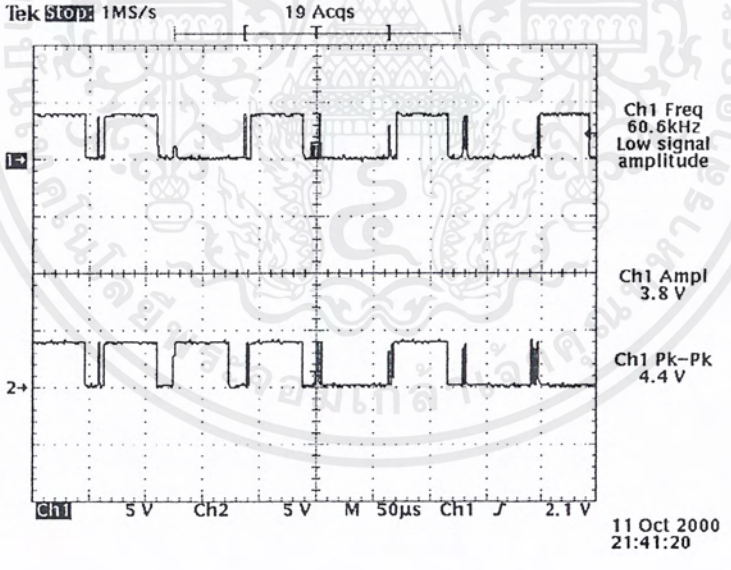
รูปที่ 4.6 แสดงการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล
โดยที่ Ch1: แสดงผลการแปลงสัญญาณที่บิทที่ 0
Ch2: แสดงผลการแปลงสัญญาณที่บิทที่ 1



รูปที่ 4.7 แสดงการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล
โดยที่ Ch1: แสดงผลการแปลงสัญญาณที่บิทที่ 2
Ch2: แสดงผลการแปลงสัญญาณที่บิทที่ 3



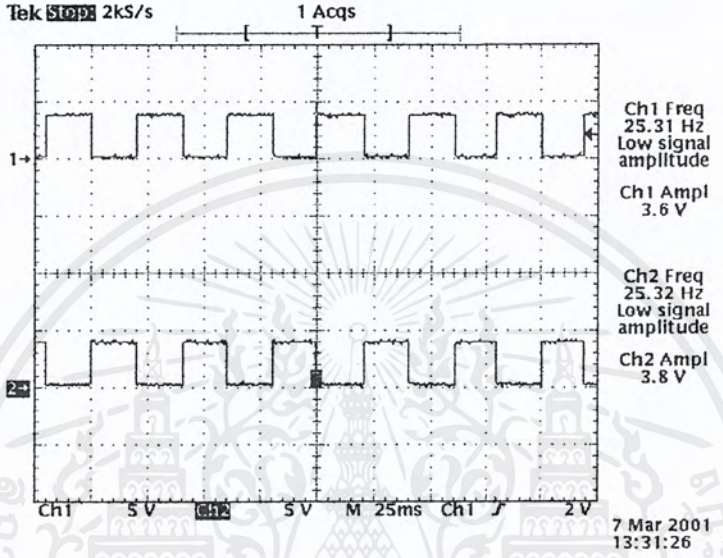
รูปที่ 4.8 แสดงการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล
โดยที่ Ch1: แสดงผลการแปลงสัญญาณที่บิทที่ 4
Ch2: แสดงผลการแปลงสัญญาณที่บิทที่ 5



รูปที่ 4.9 แสดงการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล
โดยที่ Ch1: แสดงผลการแปลงสัญญาณที่บิทที่ 6
Ch2: แสดงผลการแปลงสัญญาณที่บิทที่ 7

4.4 ผลการทดลองส่วนกำเนิดสัญญาณควบคุมเปลี่ยนชุดหน่วยความจำ

การเปลี่ยนชุดหน่วยความจำถูกควบคุมด้วยสัญญาณ PAGE_CON และ $\overline{\text{PAGE_CON}}$ ซึ่งในโครงงานนี้ใช้หน่วยความจำมีอยู่ 2 ชุดสลับกันทำหน้าที่รับข้อมูลจากส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอล และส่งข้อมูลออกให้ส่วนแปลงสัญญาณดิจิตอลเป็นอนาลอก เงื่อนไขการเปลี่ยนชุดหน่วยความจำคือการสิ้นสุดกระบวนการเขียนและอ่าน



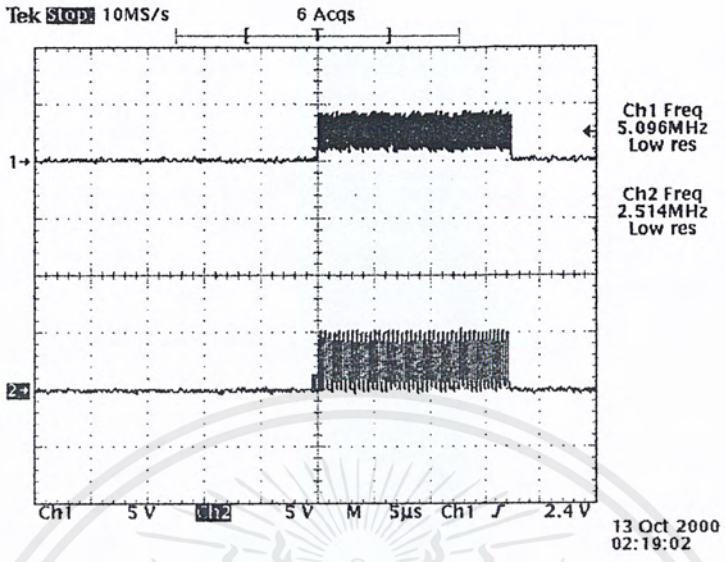
รูปที่ 4.10 แสดงสัญญาณ PAGE_CON และ $\overline{\text{PAGE_CON}}$ ในการกำเนิดตำแหน่งของเส้นข้อมูล
โดยที่ Ch1: สัญญาณ PAGE_CON
Ch2:สัญญาณ $\overline{\text{PAGE_CON}}$

4.5 การทดลองและผลการทดลองในส่วนของการเขียนและการอ่านข้อมูลในหน่วยความจำ

ในการออกแบบวงจรกำเนิดสัญญาณควบคุมการเขียนประกอบด้วย 3 ส่วน คือวงจรควบคุมวงจรกำเนิดสัญญาณตำแหน่งและวงจรควบคุมหน่วยความจำ โดยวงจรหลักในส่วนนี้คือวงจรกำเนิดสัญญาณตำแหน่งซึ่งจะมีผลในการควบคุมวงจรหน่วยความจำอีกทีหนึ่ง ส่วนวงจรควบคุมจะทำหน้าที่ควบคุมวงจรกำเนิดสัญญาณตำแหน่ง

4.5.1 ส่วนซึ่งทำหน้าที่กำเนิดตำแหน่งจุดของข้อมูล
ผลการทดลองในส่วนแยกซึ่งทำหน้าที่กำเนิดตำแหน่งจุดของข้อมูล

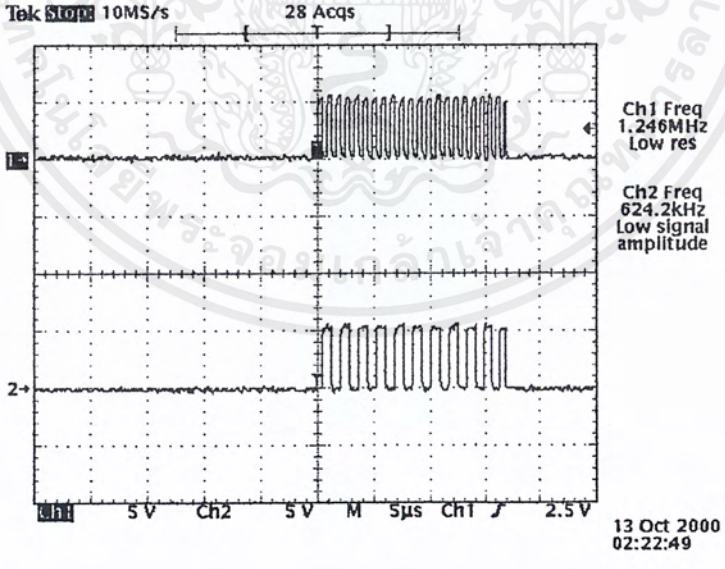
ในการออกแบบวงจรส่วนนี้จะใช้ไอซีเบอร์ 74F161 ซึ่งทำหน้าที่ในการหารความถี่จากสัญญาณคล็อกที่เป็นสัญญาณ LATCH (ความถี่ 10 MHz) หรือเป็นวงจรนับจุดแบบวงจรนับ 8 ซึ่งจะได้ 256 ตำแหน่ง และเมื่อวงจรนับครบจะมีสัญญาณทด (Carry out) ออกมาให้วงจรนับ 1 บิท ซึ่งนำเอาท์พุตไปเข้าวงจรดีโค้ดเดอร์ เพื่อถอดรหัสหน่วยความจำที่ต้องการ



รูปที่ 4.11 แสดงสัญญาณ AW00 และ AW01 ในส่วนกำเนิดจุดของข้อมูล

โดยที่ Ch1: สัญญาณ AW00

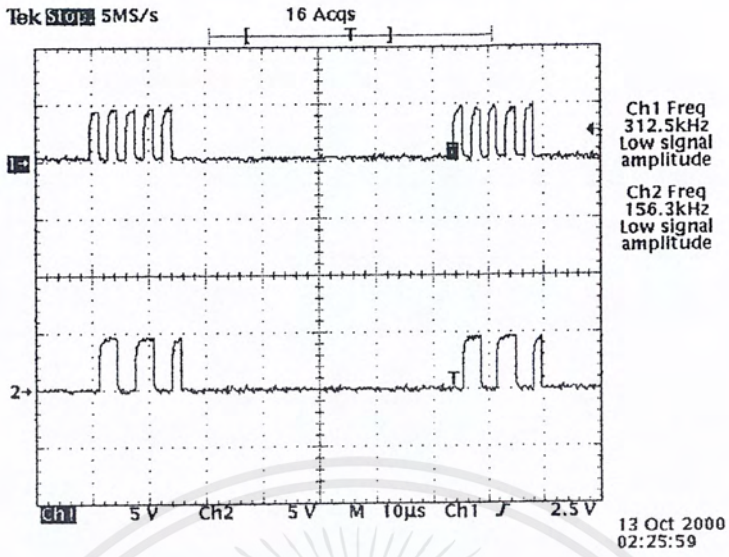
Ch2: สัญญาณ AW01



รูปที่ 4.12 แสดงสัญญาณ AW02 และ AW03 ในส่วนกำเนิดจุดของข้อมูล

โดยที่ Ch1: สัญญาณ AW02

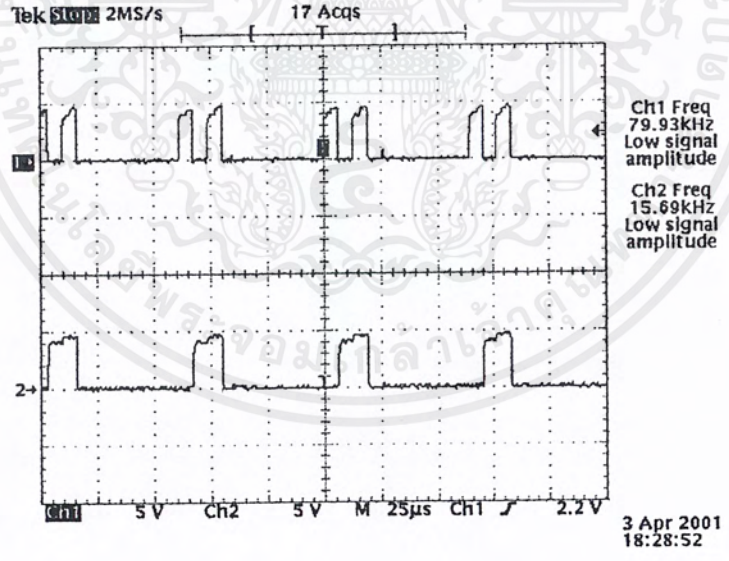
Ch2: สัญญาณ AW03



รูปที่ 4.13 แสดงสัญญาณ AW04 และ AW05 ในส่วนกำเนิดจุดของข้อมูล

โดยที่ Ch1: สัญญาณ AW04

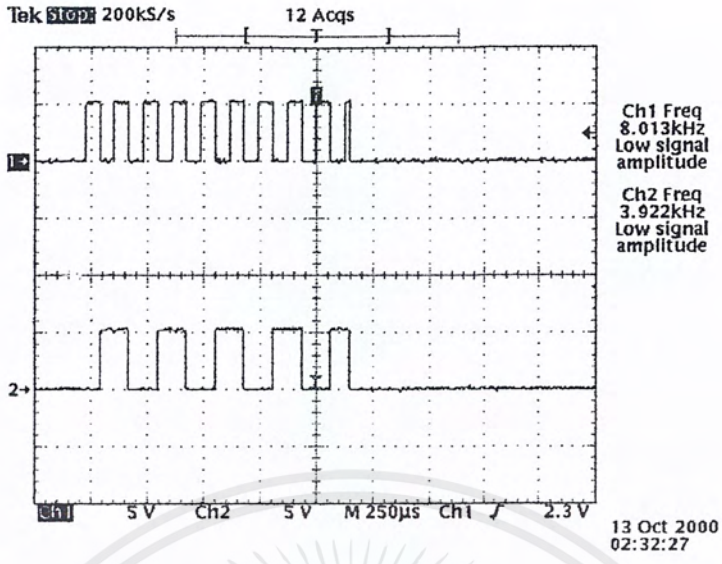
Ch2: สัญญาณ AW05



รูปที่ 4.14 แสดงสัญญาณ AW06 และ AW07 ในส่วนกำเนิดจุดของข้อมูล

โดยที่ Ch1: สัญญาณ AW06

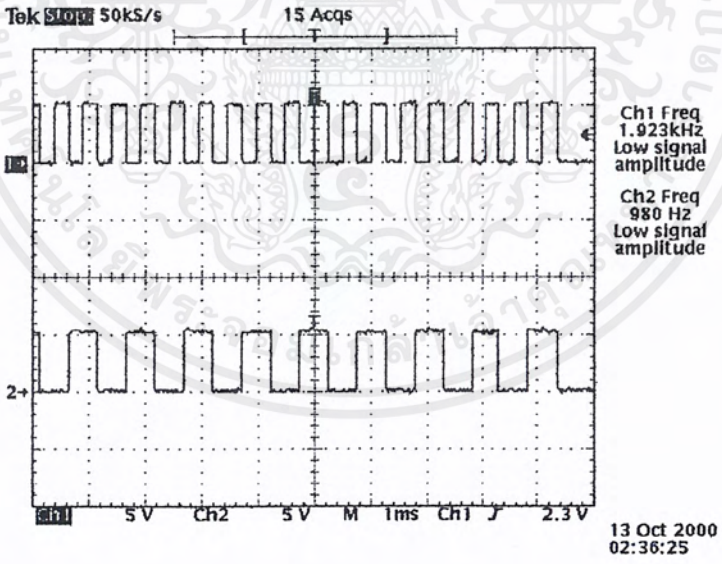
Ch2: สัญญาณ AW07



รูปที่ 4.15 แสดงสัญญาณ AW08 และ AW09 ในส่วนกำเนิดเส้นของข้อมูล

โดยที่ Ch1: สัญญาณ AW08

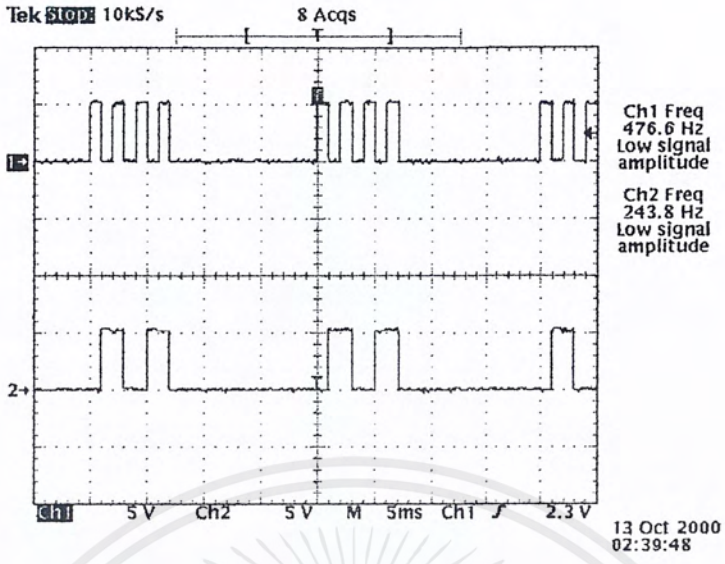
Ch2: สัญญาณ AW09



รูปที่ 4.16 แสดงสัญญาณ AW10 และ AW11 ในส่วนกำเนิดเส้นของข้อมูล

โดยที่ Ch1: สัญญาณ AW10

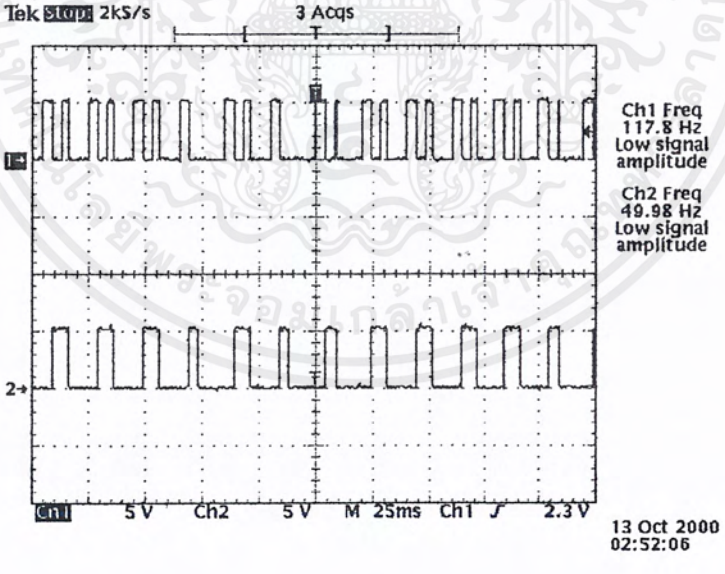
Ch2: สัญญาณ AW11



รูปที่ 4.17 แสดงสัญญาณ AW12 และ AW13 ในส่วนกำเนิดเส้นของข้อมูล

โดยที่ Ch1: สัญญาณ AW12

Ch2: สัญญาณ AW13

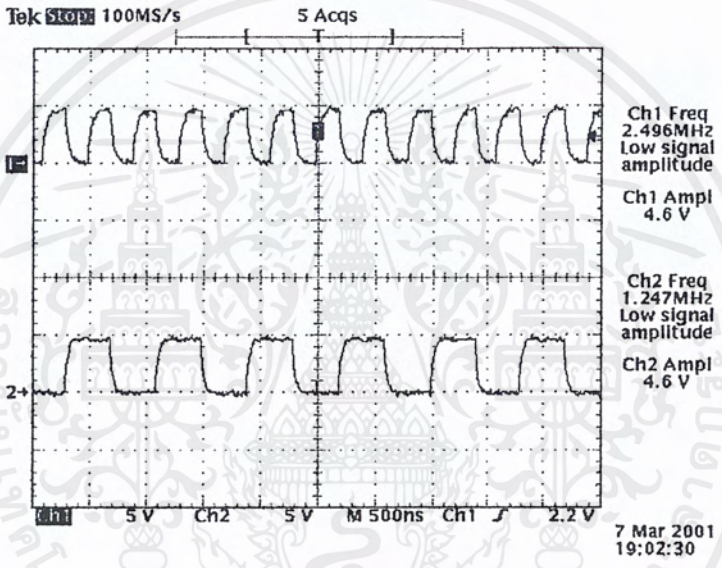


รูปที่ 4.18 แสดงสัญญาณ AW14 ในส่วนกำเนิดเส้นของข้อมูล

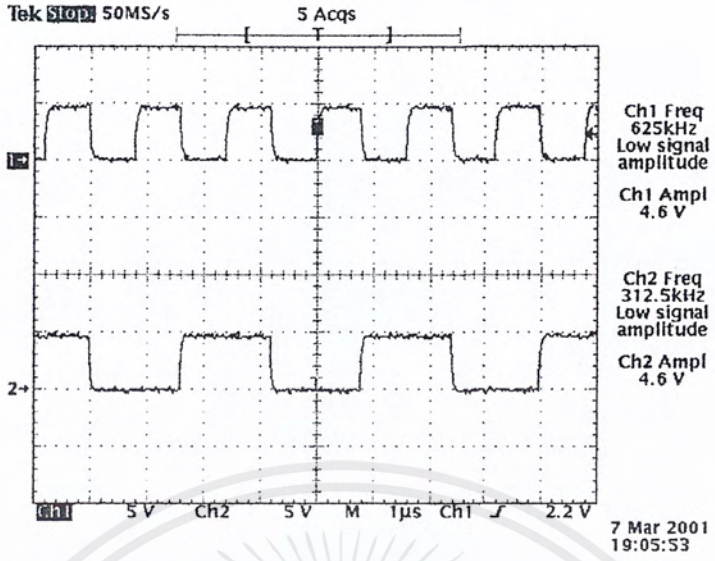
โดยที่ Ch1: สัญญาณ AW14

4.5.2 การทดลองและผลการทดลองในส่วนของการกำเนิดสัญญาณควบคุมการอ่านข้อมูล

หน้าที่ของส่วนกำเนิดสัญญาณควบคุมการอ่านข้อมูลคือ สร้างสัญญาณให้กับหน่วยความจำเพื่อเริ่มอ่านข้อมูลหรือหยุดอ่านข้อมูล ตามตำแหน่งที่ต้องการ โดยทำการตรวจสอบสัญญาณที่ใช้เป็นเงื่อนไขในกระบวนการอ่านข้อมูลจะบังคับให้อ่านซ้ำจุดเดิมและซ้ำเส้นเดิม ซึ่งแสดงสัญญาณควบคุมสัญญาณตำแหน่งการอ่าน (AR00 – AR14) ได้ดังนี้



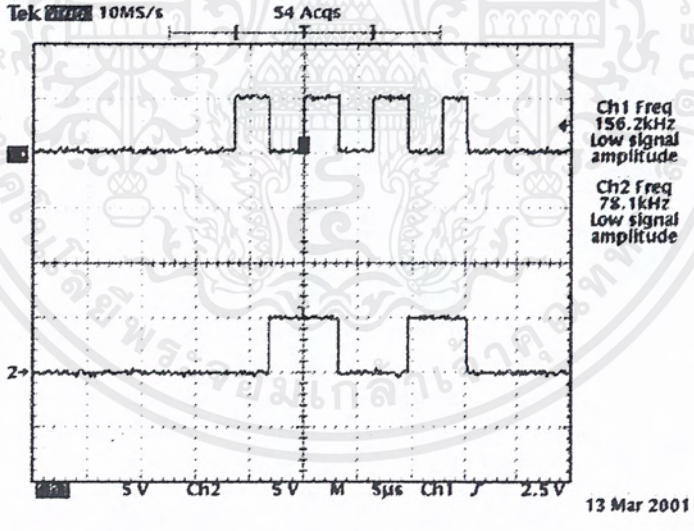
รูปที่ 4.19 แสดงสัญญาณ AR00 และ AR01 ในการกำเนิดตำแหน่งของเส้นข้อมูล
โดยที่ Ch1: สัญญาณ AR00
Ch2: สัญญาณ AR01



รูปที่ 4.20 แสดงสัญญาณ AR02 และ AR03 ในการกำเนิดตำแหน่งของเส้นข้อมูล

โดยที่ Ch1: สัญญาณ AR02

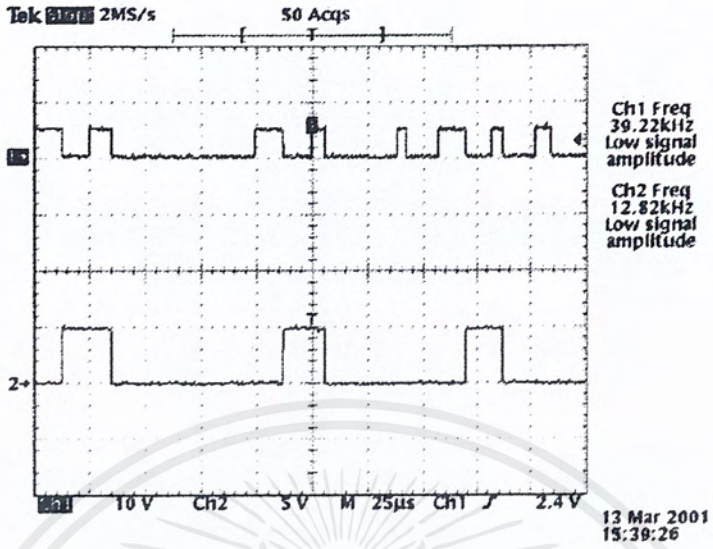
Ch2: สัญญาณ AR03



รูปที่ 4.21 แสดงสัญญาณ AR04 และ AR05 ในการกำเนิดตำแหน่งของเส้นข้อมูล

โดยที่ Ch1: สัญญาณ AR04

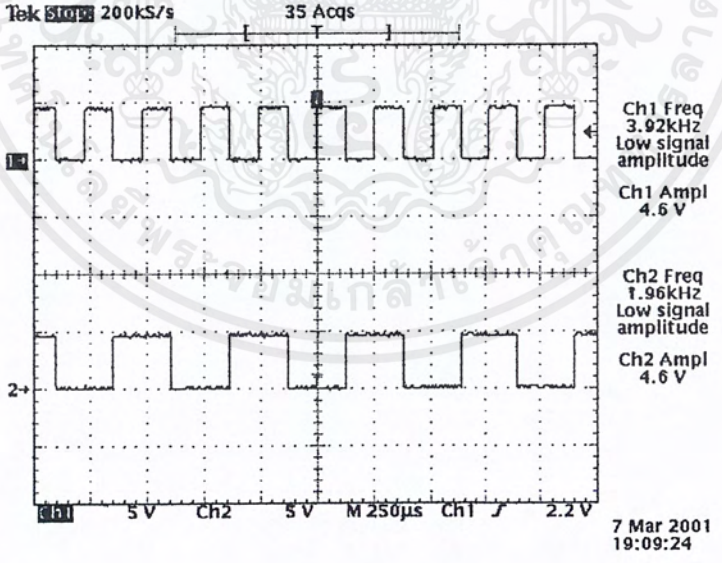
Ch2: สัญญาณ AR05



รูปที่ 4.22 แสดงสัญญาณ AR06 และ AR07 ในการกำเนิดตำแหน่งของเส้นข้อมูล

โดยที่ Ch1: สัญญาณ AR06

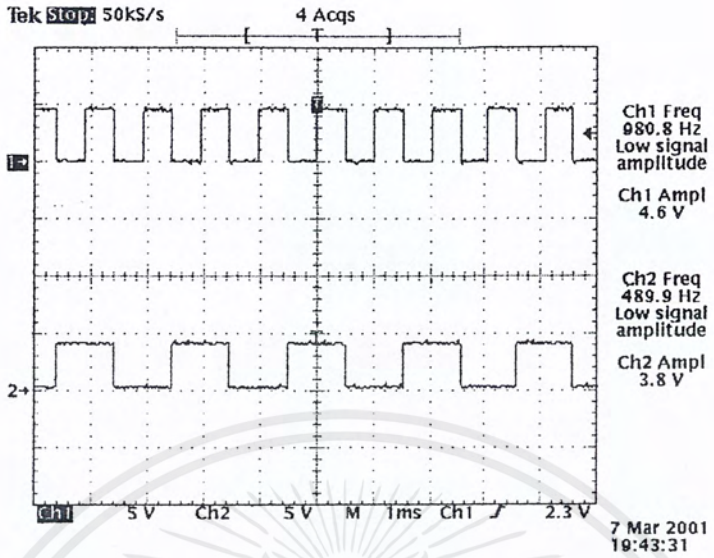
Ch2: สัญญาณ AR07



รูปที่ 4.23 แสดงสัญญาณ AR08 และ AR09 ในการกำเนิดตำแหน่งของเส้นข้อมูล

โดยที่ Ch1: สัญญาณ AR08

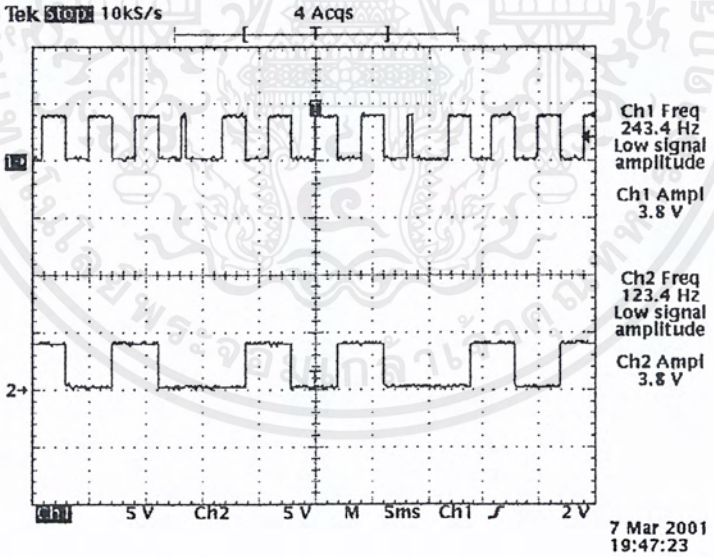
Ch2: สัญญาณ AR09



รูปที่ 4.24 แสดงสัญญาณ AR10 และ AR11 ในการกำเนิดตำแหน่งของเส้นข้อมูล

โดยที่ Ch1: สัญญาณ AR10

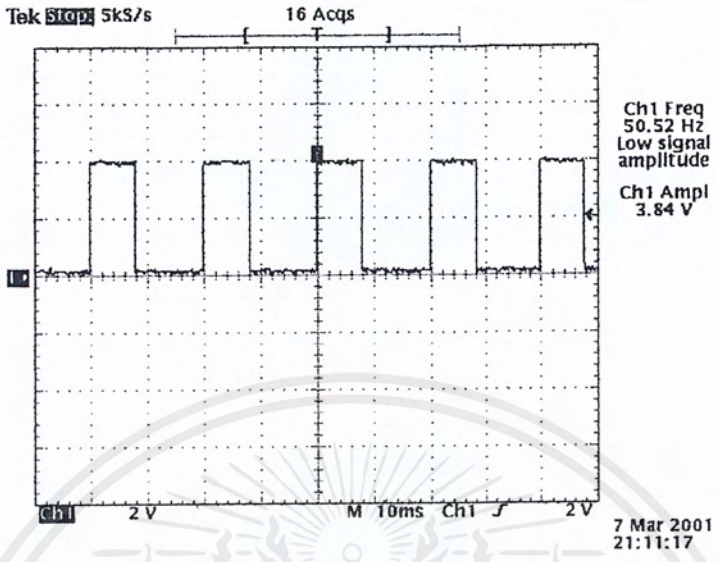
Ch2: สัญญาณ AR11



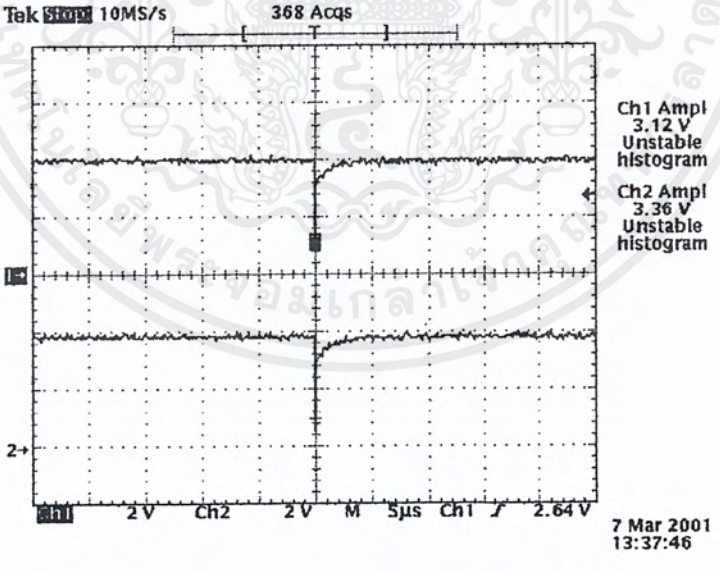
รูปที่ 4.25 แสดงสัญญาณ AR12 และ AR13 ในการกำเนิดตำแหน่งของเส้นข้อมูล

โดยที่ Ch1: สัญญาณ AR12

Ch2: สัญญาณ AR13



รูปที่ 4.26 แสดงสัญญาณ AR14 ในการกำเนิดตำแหน่งของเส้นข้อมูล



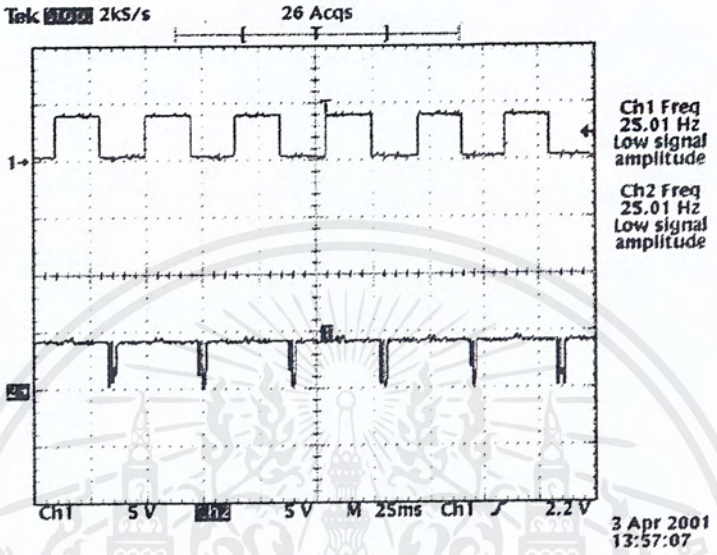
รูปที่ 4.27 แสดงสัญญาณ END_RD และ END_WR

โดยที่ Ch1: สัญญาณ END_RD

Ch2: สัญญาณ END_WR

4.5.3 ส่วนของหน่วยความจำชุด A

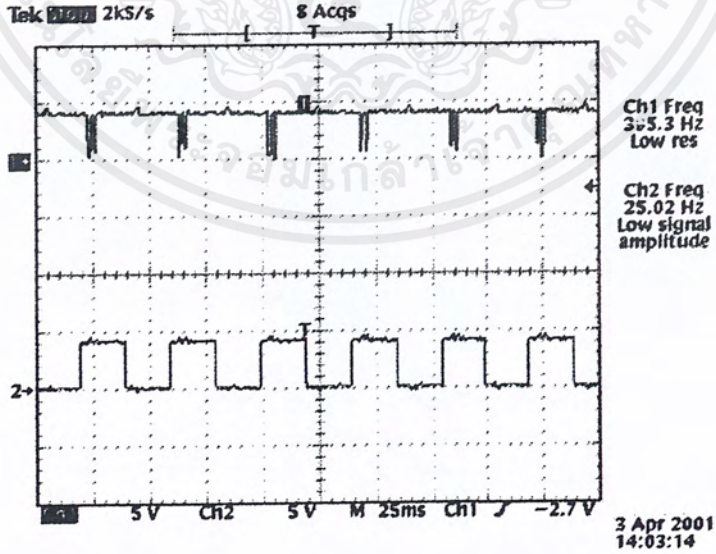
ในหน่วยความจำชุด A ประกอบไปด้วยสัญญาณควบคุมต่างๆ คือ สัญญาณควบคุมหลัก $\overline{WEA}$, สัญญาณควบคุมรอง $\overline{OEA}$ และ สัญญาณควบคุมตำแหน่งการเขียน และการอ่าน AW00 – AW14, AR00 – AR14



รูปที่ 4.28 แสดงสัญญาณ PAGE_CON และ สัญญาณ $\overline{WEA}$

โดยที่ Ch1: สัญญาณ PAGE_CON

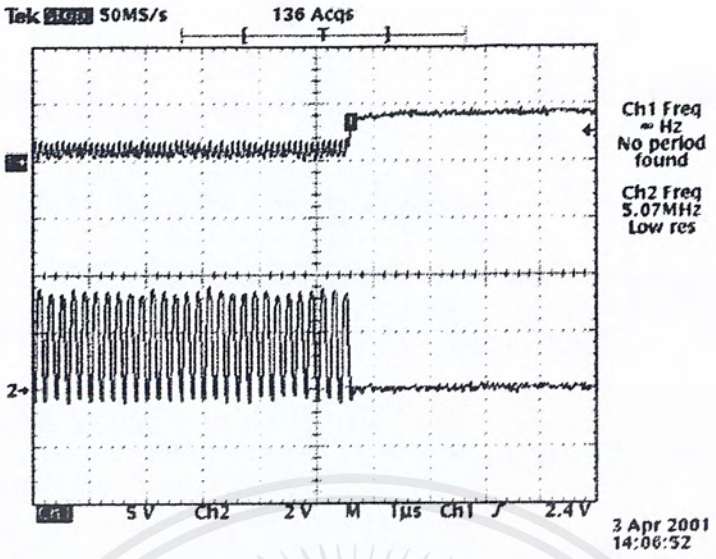
Ch2: สัญญาณ $\overline{WEA}$



รูปที่ 4.29 แสดงสัญญาณ $\overline{WEA}$ เทียบกับสัญญาณ $\overline{OEA}$

โดยที่ Ch1: สัญญาณ $\overline{WEA}$

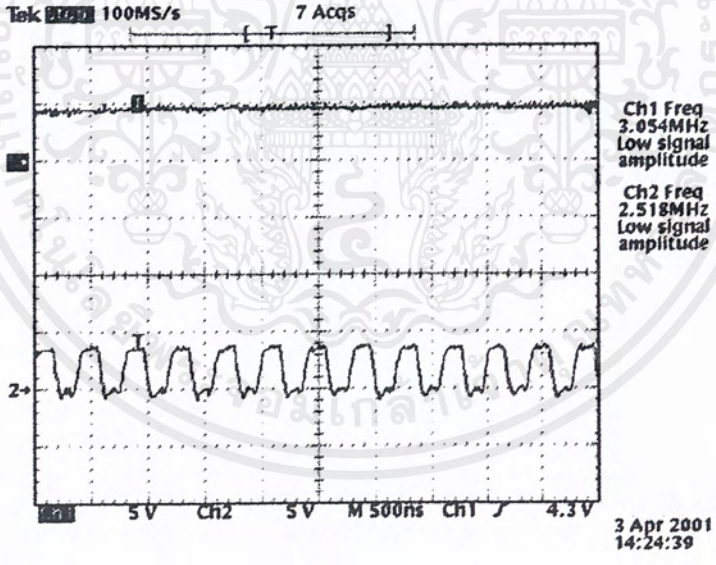
Ch2: สัญญาณ $\overline{OEA}$



รูปที่ 4.30 แสดงสัญญาณ $\overline{\text{WEA}}$ เทียบกับสัญญาณ AW00

โดยที่ Ch1: สัญญาณ $\overline{\text{WEA}}$

Ch2: สัญญาณ AW00



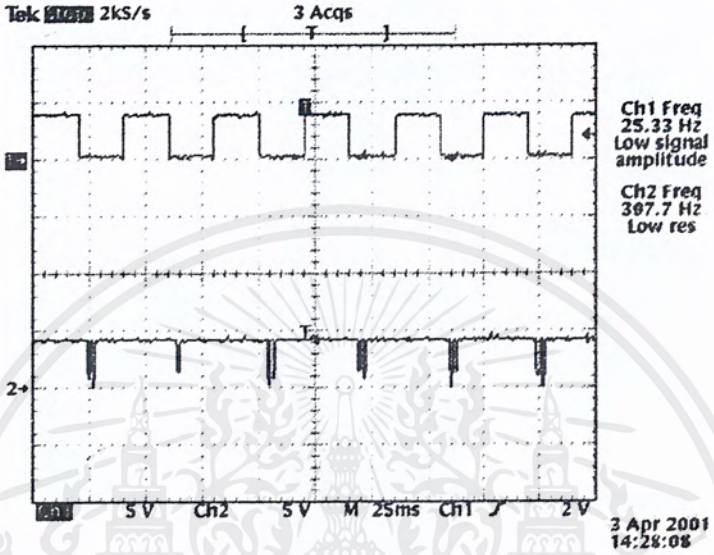
รูปที่ 4.31 แสดงสัญญาณ $\overline{\text{WEA}}$ ในช่วงที่สั่งให้หน่วยความจำอ่าน เทียบกับ สัญญาณ AR00

โดยที่ Ch1: สัญญาณ $\overline{\text{WEA}}$

Ch2: สัญญาณ AR00

4.5.4 ส่วนของหน่วยความจำชุด B

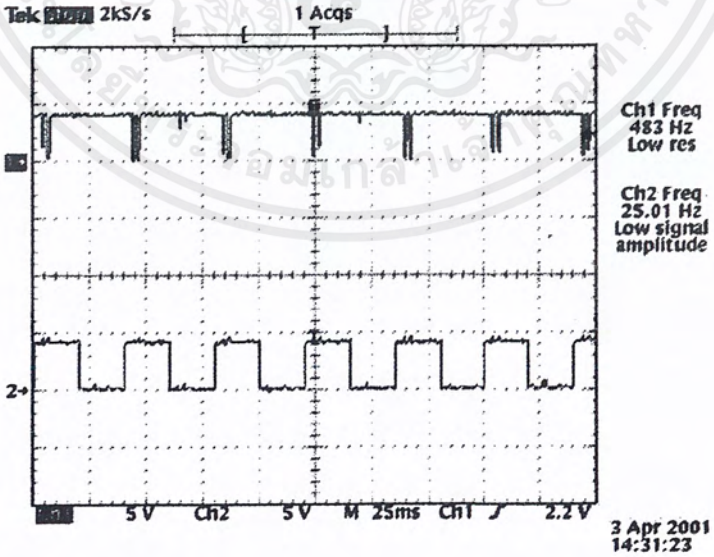
ในหน่วยความจำชุด B ประกอบไปด้วยสัญญาณควบคุมต่างๆ คือ สัญญาณควบคุมหลัก $\overline{WEB}$, สัญญาณควบคุมรอง $\overline{OEB}$ และ สัญญาณควบคุมตำแหน่งการเขียน และการอ่าน AW00 – AW14, AR00 – AR14



รูปที่ 4.32 แสดงสัญญาณ $\overline{PAGE_CON}$ และ สัญญาณ $\overline{WEB}$

โดยที่ Ch1: สัญญาณ $\overline{PAGE_CON}$

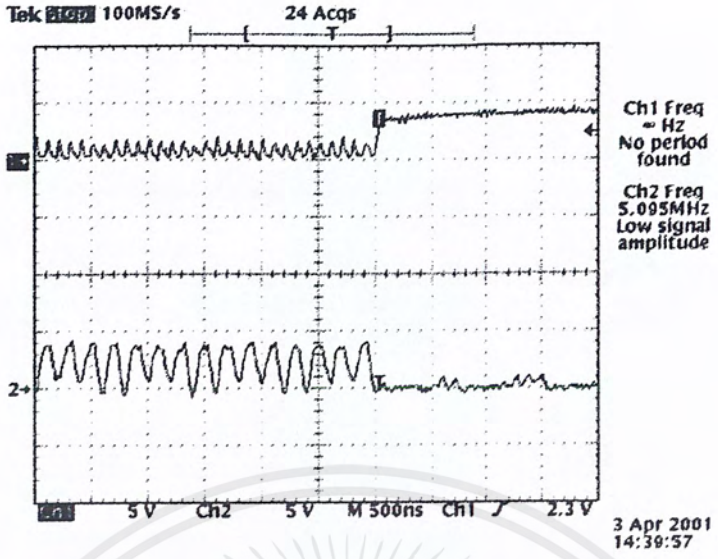
Ch2: สัญญาณ $\overline{WEB}$



รูปที่ 4.33 แสดงสัญญาณ $\overline{WEB}$ และ สัญญาณ $\overline{OEB}$

โดยที่ Ch1: สัญญาณ $\overline{WEB}$

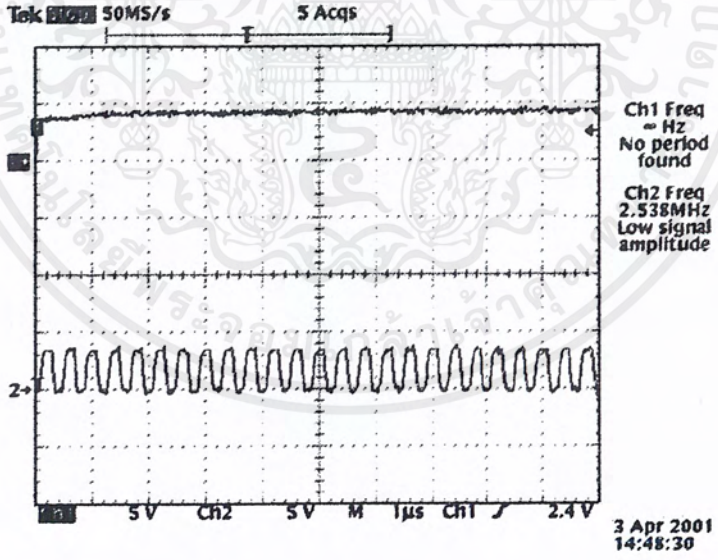
Ch2: สัญญาณ $\overline{OEB}$



รูปที่ 4.34 แสดงสัญญาณ $\overline{WEB}$ เทียบกับสัญญาณ AW00

โดยที่ Ch1: สัญญาณ WEA

Ch2: สัญญาณ AW00



รูปที่ 4.35 แสดงสัญญาณ $\overline{WEB}$ ในช่วงที่สั่งให้หน่วยความจำอ่าน เทียบกับ สัญญาณ AR00

โดยที่ Ch1: สัญญาณ WEB

Ch2: สัญญาณ AR00

บทที่ 5
บทวิจารณ์และสรุป

เครื่องแบ่งสัญญาณภาพที่ได้ทำการออกแบบมานี้ วงจรที่ออกแบบมาสามารถทำงานได้ถูกต้องตามหน้าที่ แต่ในบางส่วนยังทำงานผิดพลาดอยู่ กล่าวคือ ในส่วนที่สามารถทำงานได้อย่างถูกต้องเริ่มตั้งแต่ วงจรแยกสัญญาณซิ้งค์ สามารถผลิตสัญญาณ ฮอริซอนตัลซิงค์ ได้ความกว้างพัลส์ขนาด 4.7 uS และเวอร์ติคัลซิงค์ความกว้างพัลส์ 230 uS การปรับขนาดพัลส์ทำได้โดยการปรับแต่งตัวต้านทานปรับค่าได้ 100 กิโลโอห์มทั้ง 2 ตัว ในวงจรส่วนนี้ไม่พบปัญหาแต่อย่างใด

วงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอลใช้สัญญาณนาฬิกาในการแซมปลิ้งสัญญาณขนาด 10 เมกะเฮิรตซ์ เนื่องจากสัญญาณภาพมีความถี่สูงสุด 5 เมกะเฮิรตซ์ การแปลงสัญญาณอาศัยแรงดัน 4 ระดับด้วยกัน สิ่งที่ระวังมากที่สุดสำหรับวงจรนี้ก็คือ แรงดันที่ป้อนให้กับไอซี CA 3318 ต้องไม่มากกว่าที่กำหนดไว้คือ 7.5 โวลต์เพราะจะทำให้ไอซีเสียได้ทันที

วงจรกำเนิดสัญญาณควบคุมการเขียนมีวงจรภายในทั้งหมด 3 วงจรคือ วงจรควบคุมการทำงานวงจรกำเนิดสัญญาณตำแหน่งและวงจรควบคุมหน่วยความจำ โดยเฉพาะวงจรกำเนิดสัญญาณตำแหน่ง จะมีผลไปควบคุมวงจรหน่วยความจำ ซึ่งถ้าวงจรนี้ไม่สามารถกำเนิดสัญญาณตำแหน่งที่ถูกต้องแก่วงจรหน่วยความจำได้ก็จะทำให้การอ่านค่าแอดเดรสของหน่วยความจำผิดพลาดไปด้วย

วงจรกำเนิดสัญญาณควบคุมการอ่านจะทำหน้าที่สร้างสัญญาณให้กับหน่วยความจำเพื่อเริ่มอ่านข้อมูลหรือหยุดอ่านข้อมูลตามตำแหน่งที่ต้องการ แต่สิ่งที่แตกต่างไปจากวงจรกำเนิดสัญญาณควบคุมการเขียนคือการขยายภาพใหญ่ขึ้นด้วยการอ่านบิทซ้ำ

วงจรมัลติเพล็กซ์ วงจรอิเล็กทรอนิกส์สวิตซ์และวงจรหน่วยความจำ ในการทำงานของทั้ง 3 วงจรดังกล่าวมีการทำงานที่มีความสัมพันธ์ซึ่งกันและกัน โดยมีสัญญาณควบคุมที่สำคัญคือสัญญาณ PAGE_CON และ $\overline{\text{PAGE_CON}}$ มีขนาดไม่เพียงพอมีผลทำให้สัญญาณควบคุมทำงานได้ไม่ทั่วถึงทั้งวงจรที่สัมพันธ์กัน หรือในบางครั้งอาจทำให้เกิดการรบกวนจนสัญญาณ PAGE_CON และ $\overline{\text{PAGE_CON}}$ มีระดับแรงดันเท่ากับศูนย์

วิธีการแก้ไขทำได้โดยต่อสัญญาณ PAGE_CON และ $\overline{\text{PAGE_CON}}$ เข้ากับวงจรบัฟเฟอร์ซึ่งสัญญาณที่ออกจากบัฟเฟอร์จะมีขนาดแรงดันที่เพียงพอที่จะทำให้สัญญาณควบคุมทั้ง 2 นี้ไปยังไอซีทุกตัวได้

วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกทำหน้าที่ในการแปลงข้อมูลดิจิตอลที่เก็บอยู่ในหน่วยความจำซึ่งสัญญาณที่ออกจากไอซี DAC0800 จะไปผสมกับสัญญาณคอมโพซิทซิ้งค์และเนื่องจากขนาดแรงดันของสัญญาณที่ได้มีขนาดเล็กมากไม่สามารถส่งสัญญาณภาพไปแสดงผลที่โทรทัศน์ได้จึงต้องนำสัญญาณที่ผสมแล้วนี้ไปผ่านวงจรขยายสัญญาณ (MAX404) ซึ่งที่เอาท์พุตนั้นจะมีอิมพีแดนซ์เท่ากับ อิมพีแดนซ์ของสายโคแอกเชียล

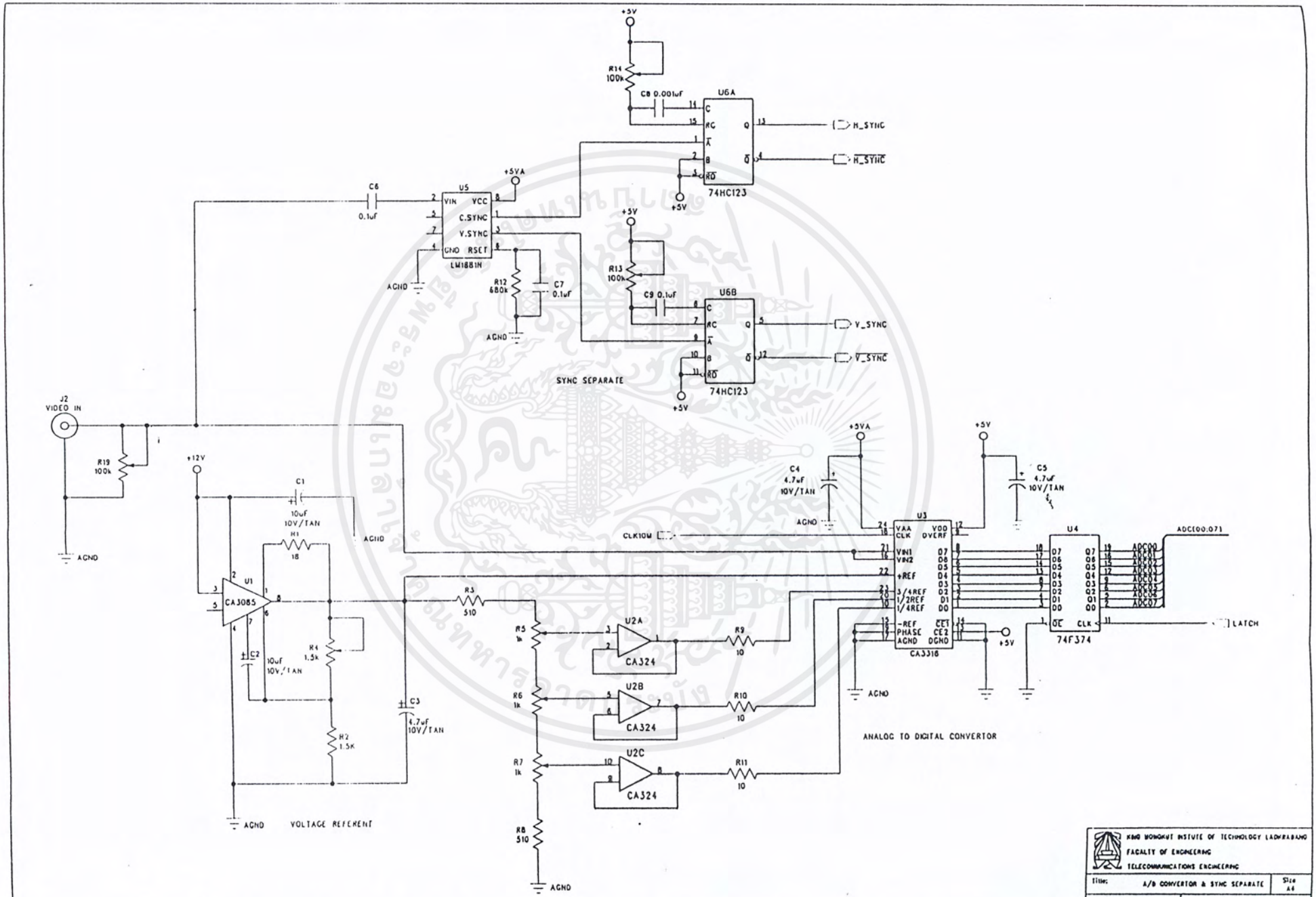
ในส่วนที่เกิดปัญหาและยังไม่สามารถแก้ไขได้ คือ วงจรหน่วยความจำ เนื่องจากสัญญาณเอาท์พุตที่ได้จากวงจรหน่วยความจำ ไม่ใช่สัญญาณที่ถูกต้อง ในขณะที่สัญญาณควบคุมของวงจรนี้สามารถทำงานได้อย่างถูกต้อง ดังนั้นจึงตั้งสมมติฐานได้ว่า ความผิดพลาดน่าจะเกิดขึ้นในส่วนของการ

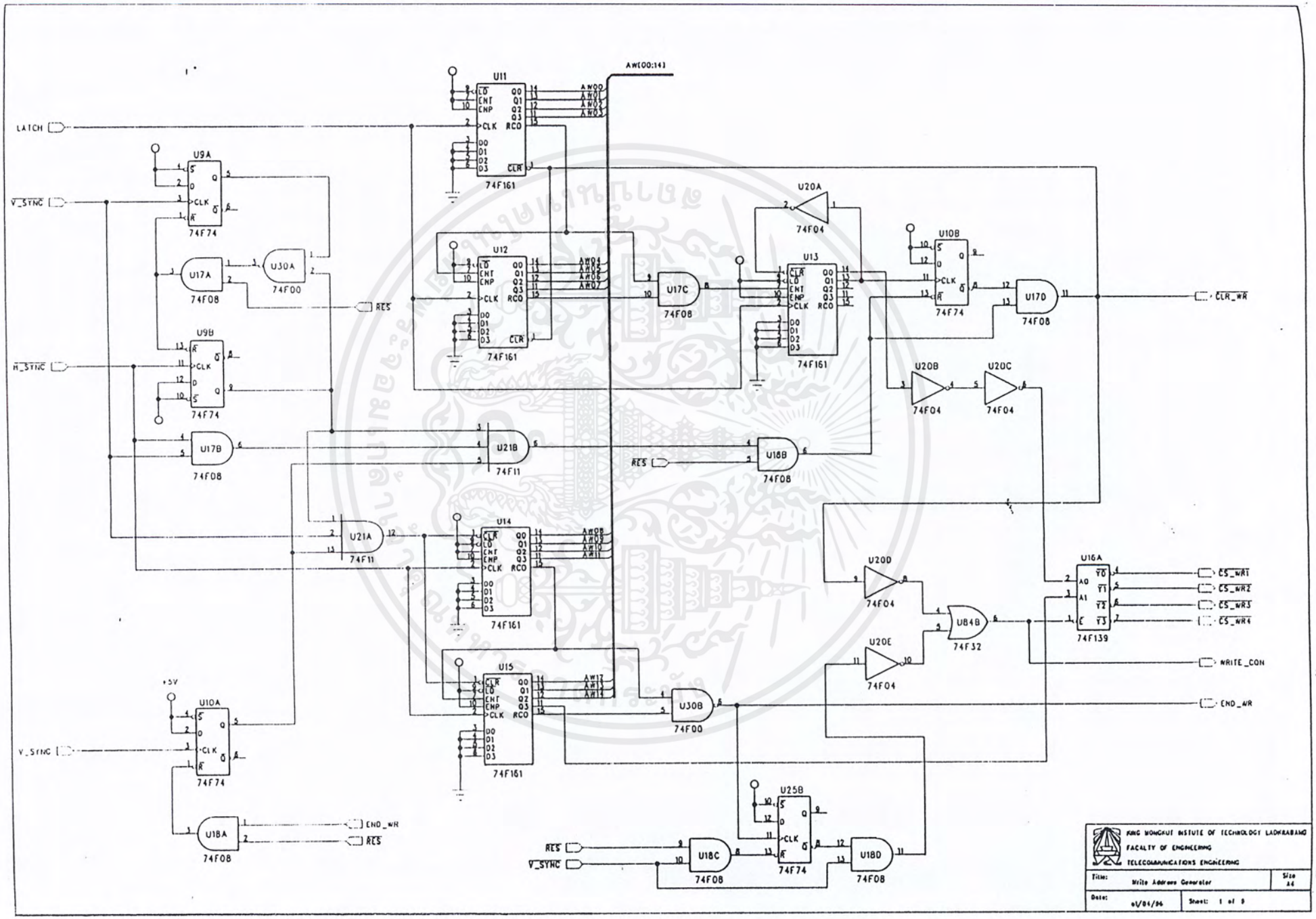
เขียนและอ่านข้อมูลของหน่วยความจำ ซึ่งไม่สามารถทำการตรวจสอบได้ว่า ข้อมูลได้เขียนไปและ ถูกอ่านออกมาหรือไม่ และหน่วยความจำทำการเขียนและอ่านข้อมูลถูกตำแหน่งหรือไม่

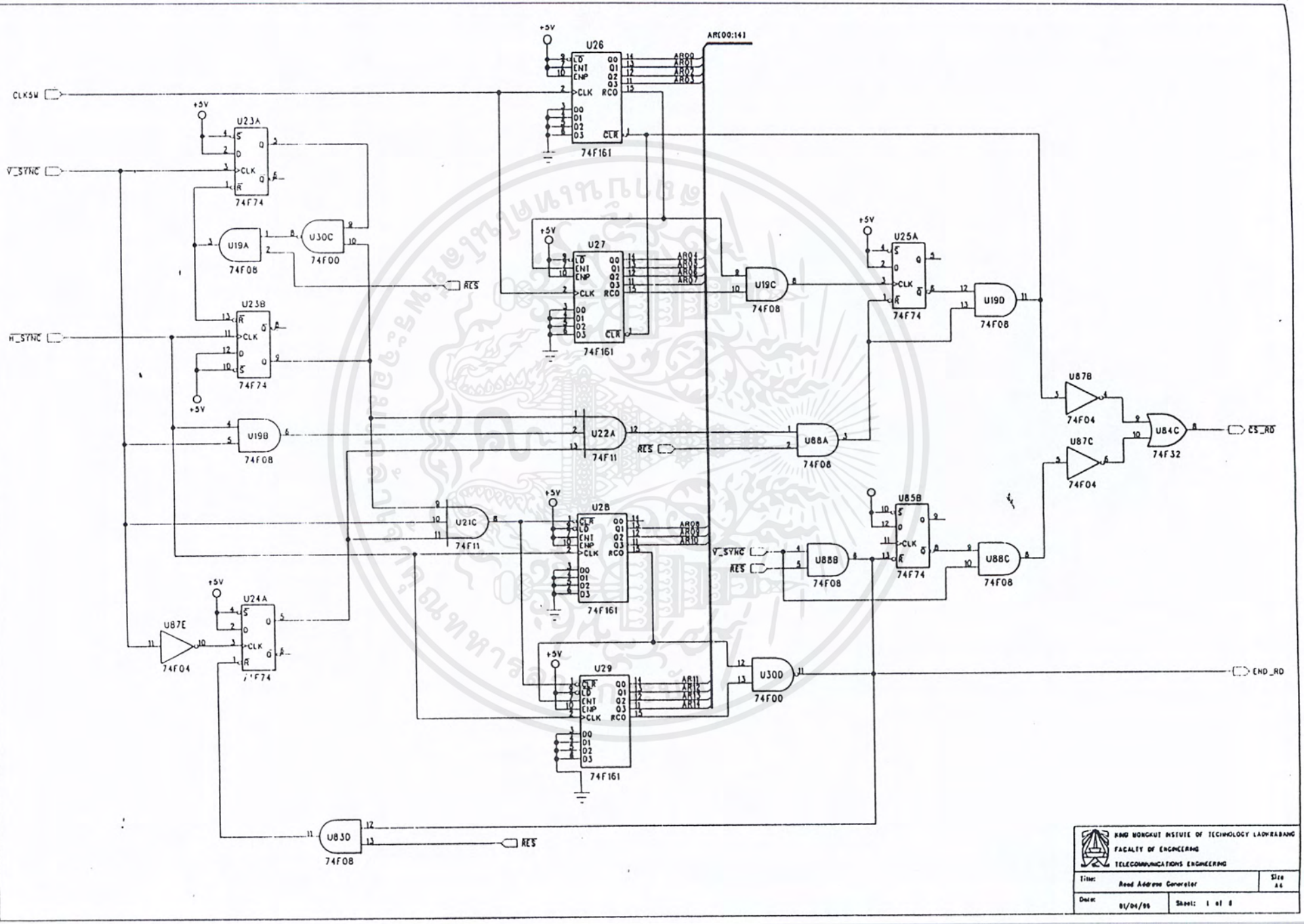
แนวทางแก้ไขทางหนึ่งทำได้โดยเปลี่ยนวงจรในส่วนนี้ทั้งหมด แล้วใช้วิธีการเขียนโปรแกรมคอมพิวเตอร์ลงในไมโครคอนโทรลเลอร์ ในการกำหนดค่าแอดเดรส การเขียนและอ่านข้อมูล โดยกำหนดแอดเดรสของตำแหน่งจุดและเส้นของภาพ ที่ต้องการแล้วโหลดเข้าหน่วยความจำ เพื่อให้ทำการเขียนและอ่านออกมา แนวทางนี้ไม่น่าจะเกิดความผิดพลาดขึ้น เนื่องจากได้ทำการกำหนดตำแหน่งและแอดเดรสเรียบร้อยแล้ว

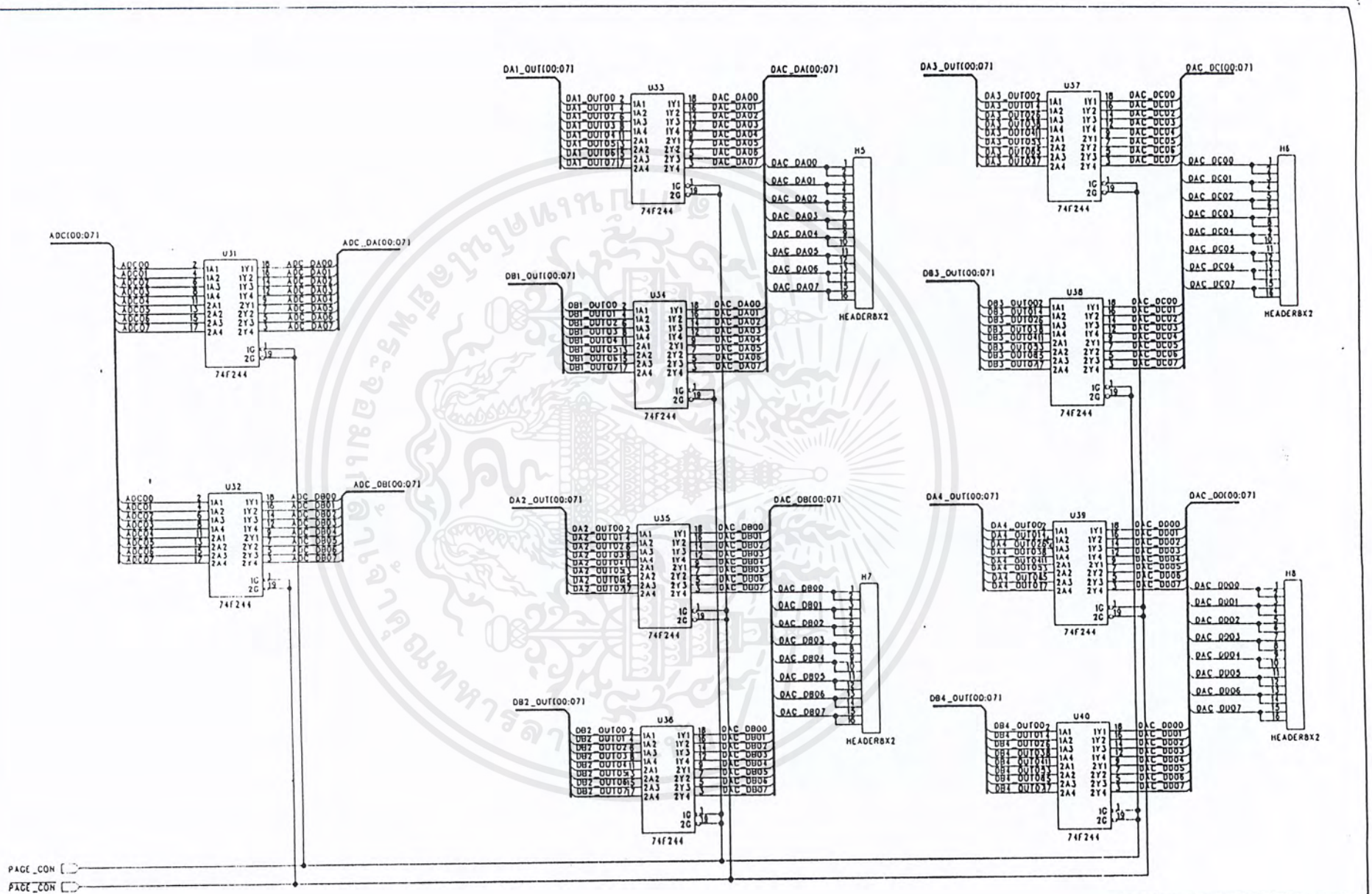
สรุปผลการทดลองของวงจรทั้งหมด ไม่สามารถทำการแบ่งภาพออกมาได้ เนื่องจากวงจรบางส่วนมีปัญหา จึงจำเป็นที่จะต้องดัดแปลง ซึ่งแนวทางแก้ไขได้กล่าวไปแล้วข้างต้น และปัญหาที่พบอีกอย่างหนึ่ง คือสัญญาณรบกวน เพราะโครงงานนี้เกี่ยวกับดิจิตอลความถี่สูง

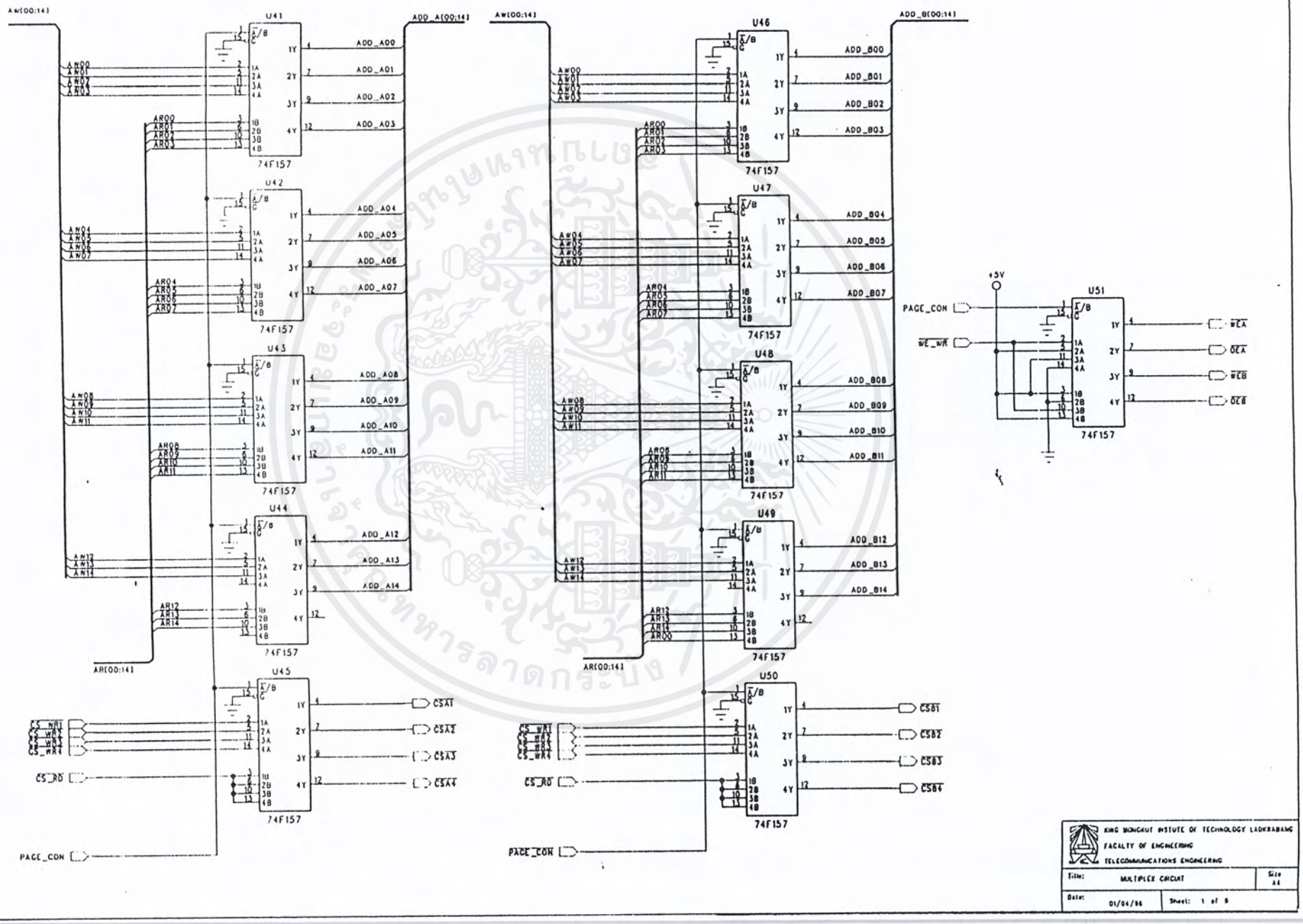
ภาคผนวก ก. วงจรใช้งาน

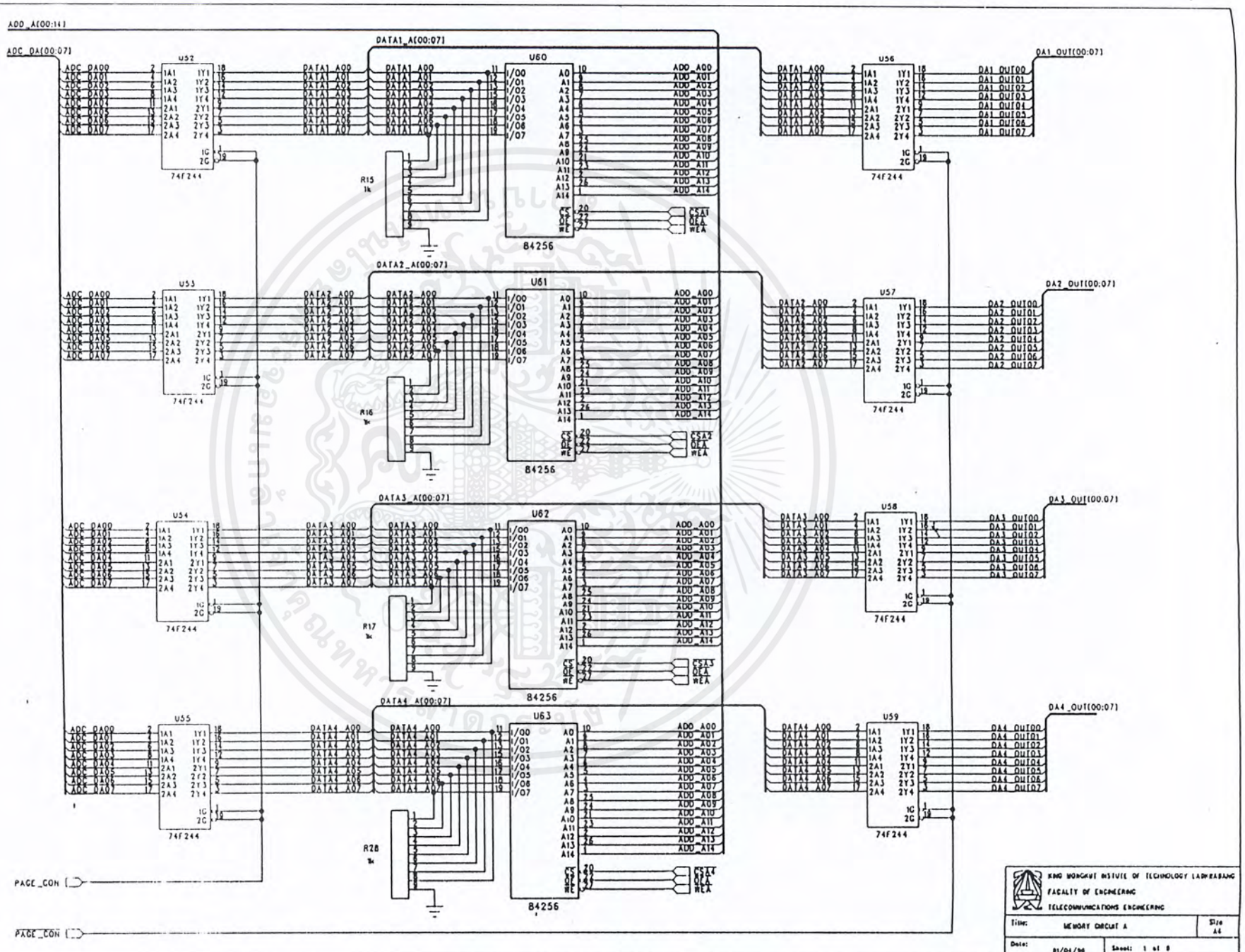

SYNC SEPARATE
ANALOG TO DIGITAL CONVERTOR
VOLTAGE REFERENT
KING MONGKUT INSTITUTE OF TECHNOLOGY LADKRABANG
FACULTY OF ENGINEERING
TELECOMMUNICATIONS ENGINEERING
A/D CONVERTOR & SYNC SEPARATE
Size A4
01/04/96
Sheet: 1 of 1

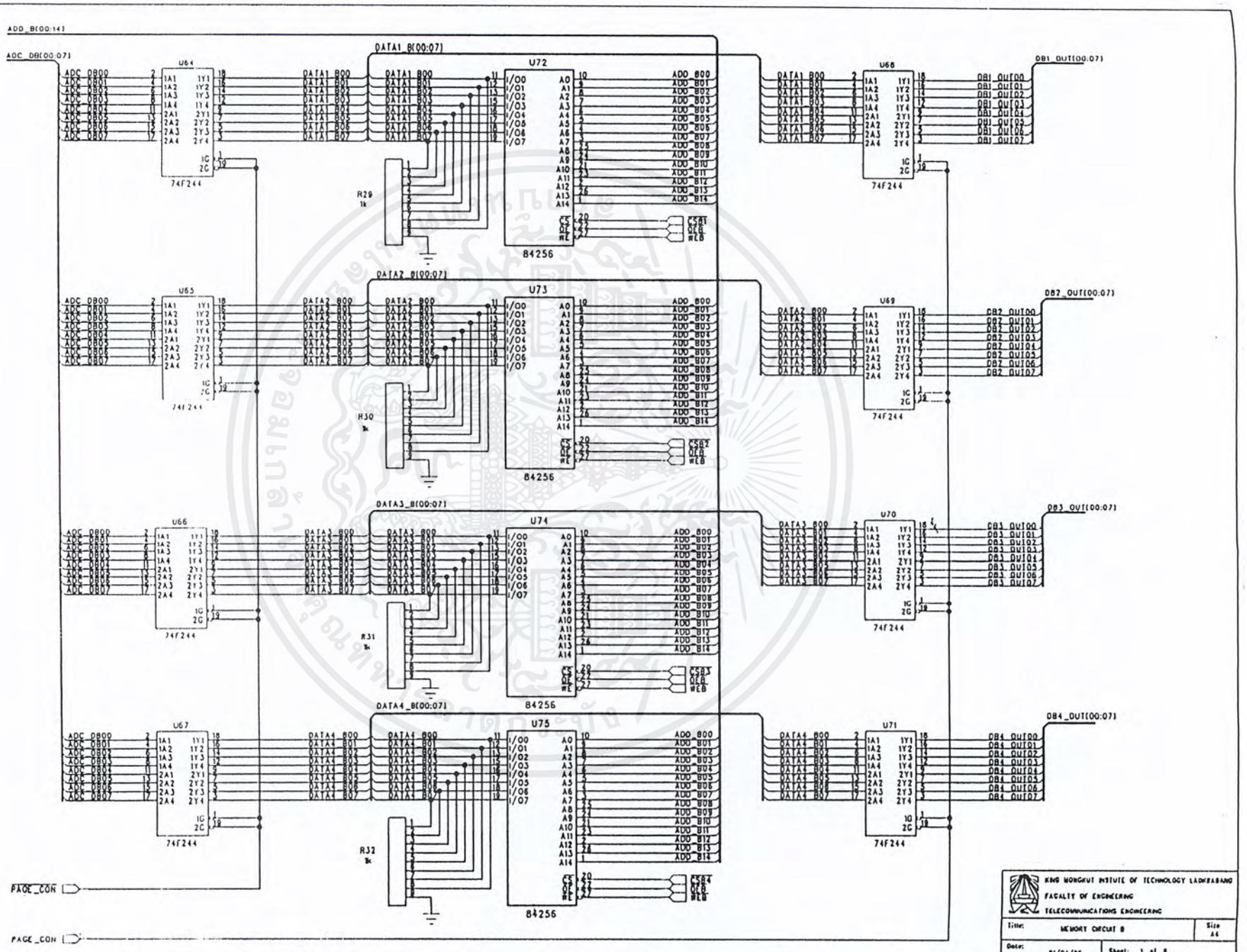

AW(00:14)
LATCH
V_SYNC
H_SYNC
RES
+5V
U11
U12
U13
U14
U15
74F161
U9A
U9B
U10A
U10B
74F74
U17A
U17B
U17C
U17O
74F08
U30A
U30B
74F00
U21A
U21B
74F11
U18A
U18B
U18C
U18D
U20A
U20B
U20C
U20D
U20E
74F04
U25B
U84B
74F32
U16A
74F139
CS_WR1
CS_WR2
CS_WR3
CS_WR4
WRITE_CON
END_WR
CLR_WR
KING MONGKUT INSTITUTE OF TECHNOLOGY LADKRABANG
FACULTY OF ENGINEERING
TELECOMMUNICATIONS ENGINEERING
Title: Write Address Generator
Size A4
Date: 01/04/96
Sheet: 1 of 3

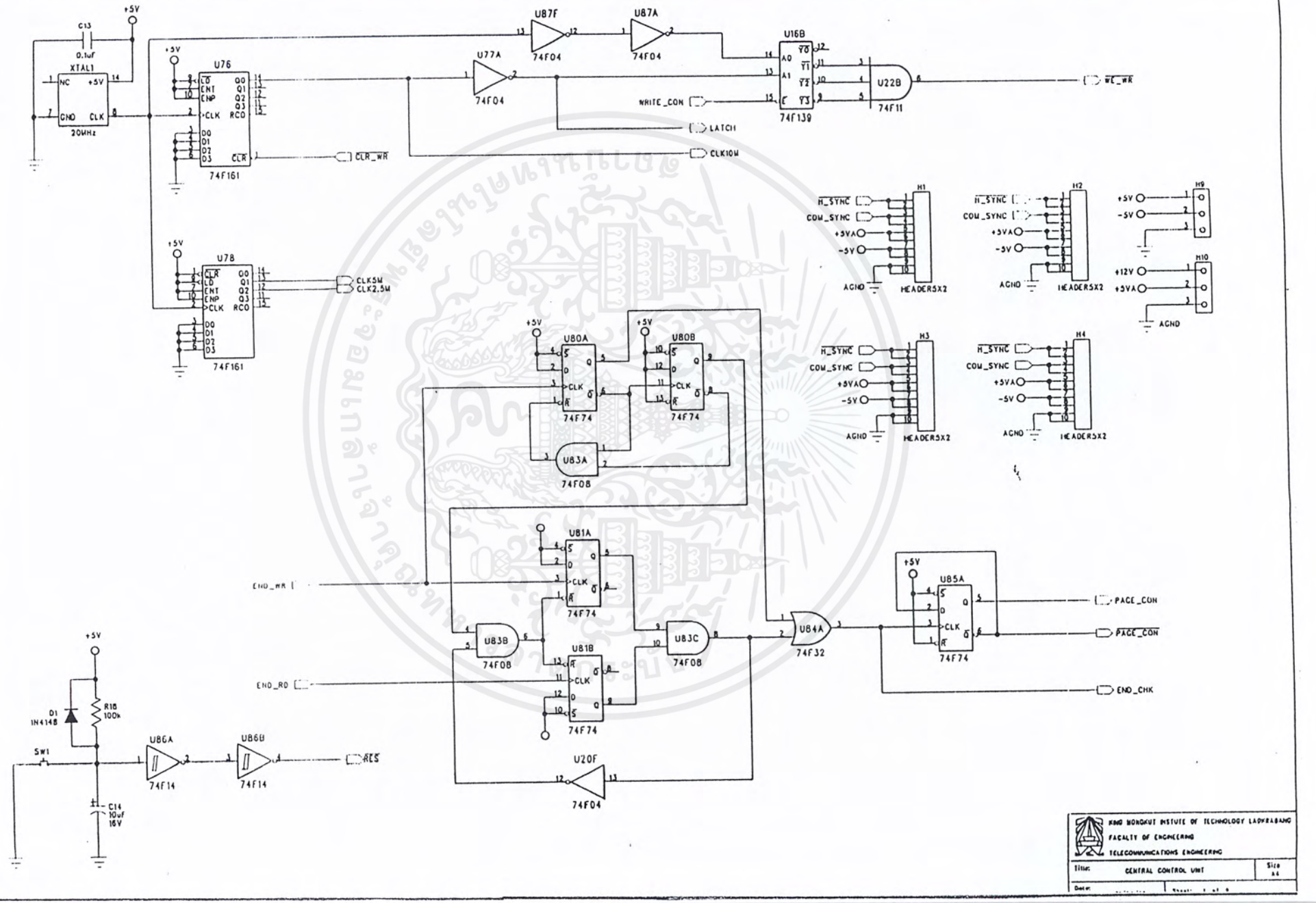

CLK5M
V_SYNC
H_SYNC
RES
+5V
U26
74F161
U27
74F161
U28
74F161
U29
74F161
U23A
74F74
U23B
74F74
U24A
74F74
U25A
74F74
U85B
74F74
U19A
74F08
U19B
74F08
U19C
74F08
U19D
74F08
U88A
74F08
U88B
74F08
U88C
74F08
U830
74F08
U22A
74F11
U21C
74F11
U30C
74F00
U300
74F00
U87E
74F04
U87B
74F04
U87C
74F04
U84C
74F32
AR[00:14]
AR00
AR01
AR02
AR03
AR04
AR05
AR06
AR07
AR08
AR09
AR10
AR11
AR12
AR13
AR14
CS_RD
END_RD
KMUTT
KING MONGKUT INSTUTE OF TECHNOLOGY LADKRABANG
FACALTY OF ENGINEERING
TELECOMMUNICATIONS ENGINEERING
Title: Read Address Generator
Size: A4
Date: 01/04/96
Sheet: 1 of 8

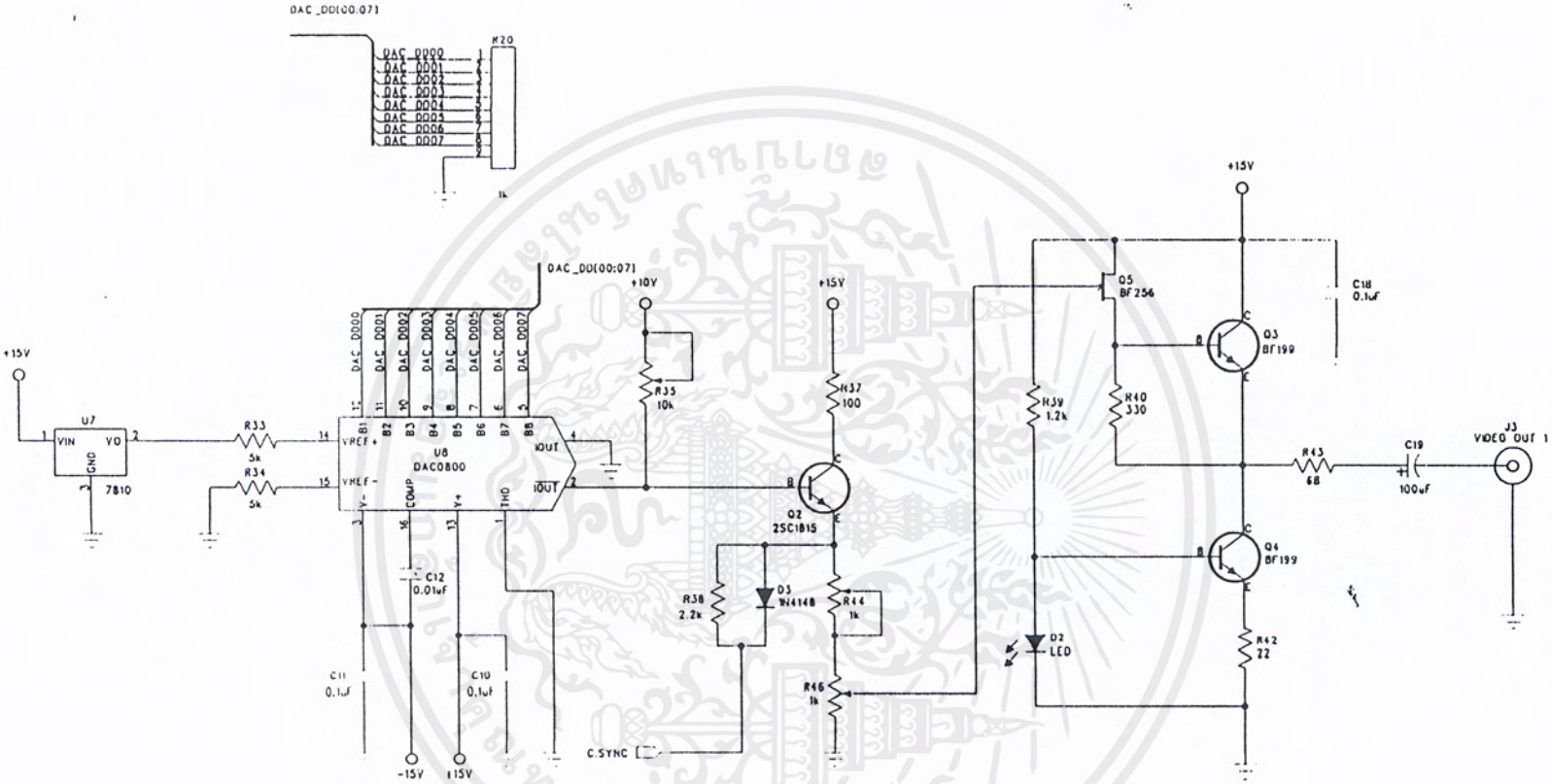

ADC[00:07]
U31
74F244
ADC_DA[00:07]
U32
ADC_DB[00:07]
DA1_OUT[00:07]
U33
DAC_DA[00:07]
H5
HEADERBX2
DB1_OUT[00:07]
U34
DA2_OUT[00:07]
U35
DAC_DB[00:07]
H7
DB2_OUT[00:07]
U36
DA3_OUT[00:07]
U37
DAC_DC[00:07]
H6
DB3_OUT[00:07]
U38
DA4_OUT[00:07]
U39
DAC_DD[00:07]
H8
DB4_OUT[00:07]
U40
PAGE_CON
PAGE_CON
KING MONGKUT INSTITUTE OF TECHNOLOGY LADKRABANG
FACULTY OF ENGINEERING
TELECOMMUNICATIONS ENGINEERING
Title: ELECTRONIC SWITCH CIRCUIT
Size A4
Date: 01/04/96
Sheet: 1 of 8


AW[00:14]
ADD_A[00:14]
U41
U42
U43
U44
U45
74F157
AR00
AR01
AR02
AR03
AR04
AR05
AR06
AR07
AR08
AR09
AR10
AR11
AR12
AR13
AR14
AR[00:14]
ADD_A00
ADD_A01
ADD_A02
ADD_A03
ADD_A04
ADD_A05
ADD_A06
ADD_A07
ADD_A08
ADD_A09
ADD_A10
ADD_A11
ADD_A12
ADD_A13
ADD_A14
CS_WR1
CS_WR2
CS_WR3
CS_WR4
CS_RD
CSA1
CSA2
CSA3
CSA4
PAGE_CON
ADD_B[00:14]
U46
U47
U48
U49
U50
ADD_B00
ADD_B01
ADD_B02
ADD_B03
ADD_B04
ADD_B05
ADD_B06
ADD_B07
ADD_B08
ADD_B09
ADD_B10
ADD_B11
ADD_B12
ADD_B13
ADD_B14
CSB1
CSB2
CSB3
CSB4
+5V
U51
WE_WR
WEA
OEA
WEB
OEB
KING MONGKUT INSTITUTE OF TECHNOLOGY LADKRABANG
FACULTY OF ENGINEERING
TELECOMMUNICATIONS ENGINEERING
Title: MULTIPLEX CIRCUIT
Size A4
Date: 01/04/96
Sheet: 1 of 8


ADD_A[00:14]
ADC_DA[00:07]
DATA1_A[00:07]
DATA2_A[00:07]
DATA3_A[00:07]
DATA4_A[00:07]
U52
U53
U54
U55
U56
U57
U58
U59
U60
U61
U62
U63
74F244
84256
R15
R16
R17
R28
DA1_OUT[00:07]
DA2_OUT[00:07]
DA3_OUT[00:07]
DA4_OUT[00:07]
PAGE_CON
PAGE_CON
KING MONGKUT INSTITUTE OF TECHNOLOGY LADKRABANG
FACULTY OF ENGINEERING
TELECOMMUNICATIONS ENGINEERING
Title: MEMORY CIRCUIT A
Size: A4
Date: 01/04/46
Sheet: 1 of 8


ADD_B[00:14]
ADC_DB[00:07]
DATA1_B[00:07]
DATA2_B[00:07]
DATA3_B[00:07]
DATA4_B[00:07]
U64
U65
U66
U67
U68
U69
U70
U71
U72
U73
U74
U75
74F244
84256
R29
R30
R31
R32
DB1_OUT[00:07]
DB2_OUT[00:07]
DB3_OUT[00:07]
DB4_OUT[00:07]
PAGE_CON
PAGE_CON
KING MONGKUT INSTITUTE OF TECHNOLOGY LADKRABANG
FACULTY OF ENGINEERING
TELECOMMUNICATIONS ENGINEERING
Title: MEMORY CIRCUIT B
Size A4
Date: 01/04/96
Sheet: 1 of 8


+5V
C13
0.1uf
XTAL1
NC
+5V
GND
CLK
20MHz
U76
74F161
CLR_WR
U87F
74F04
U87A
74F04
U77A
74F04
U16B
74F139
U22B
74F11
WE_WR
WRITE_CON
LATCH
CLK10M
U78
74F161
CLK5M
CLK2.5M
H1
H2
H9
H10
H3
H4
H_SYNC
COM_SYNC
+5VA
-5V
AGND
HEADER5X2
+12V
U80A
U80B
74F74
U83A
74F08
U81A
U81B
U83B
U83C
U84A
74F32
U85A
END_WR
END_RD
PAGE_CON
END_CHK
U20F
74F04
D1
IN4148
R18
100k
SW1
U86A
U86B
74F14
RES
C14
10uf
16V
KING MONGKUT INSTITUTE OF TECHNOLOGY LADKRABANG
FACULTY OF ENGINEERING
TELECOMMUNICATIONS ENGINEERING
Title:
CENTRAL CONTROL UNIT
Size
A4
Date:
Sheet:



KMUTT
FACULTY OF ENGINEERING
TELECOMMUNICATIONS ENGINEERING

Title: Digital to Analog & Video Mixer

Size: A4

Date:

Sheet: 1 of 8

ภาคผนวก ข. เอกสารอ้างอิง

intersil

OBSOLETE PRODUCT
FOR A POSSIBLE SUBSTITUTE PRODUCT
call Central Applications 1-888-INTERSIL
or email: centapp@intersil.com

CA3318

CMOS Video Speed, 8-Bit, Flash A/D Converter

August 2000

Features

- CMOS Low Power with SOS Speed (Typ)..... 150mW
- Parallel Conversion Technique
- 15MHz Sampling Rate (Conversion Time).....67ns
- 8-Bit Latched Three-State Output with Overflow Bit
- Accuracy (Typ)..... ±1 LSB
- Single Supply Voltage..... 4V to 7.5V
- 2 Units in Series Allow 9-Bit Output
- 2 Units in Parallel Allow 30MHz Sampling Rate

Applications

- TV Video Digitizing (Industrial/Security/Broadcast)
- High Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- General-Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- µP Data Acquisition Systems

Description

The CA3318 is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low power consumption and high speed digitization.

The CA3318 operates over a wide full scale input voltage range of 4V up to 7.5V with maximum power consumption depending upon the clock frequency selected. When operated from a 5V supply at a clock frequency of 15MHz, the typical power consumption of the CA3318 is 150mW.

The intrinsic high conversion rate makes the CA3318 ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3318s in series to increase the resolution of the conversion system. A series connection of two CA3318s may be used to produce a 9-bit high speed converter. Operation of two CA3318s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

256 paralleled auto balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3318.

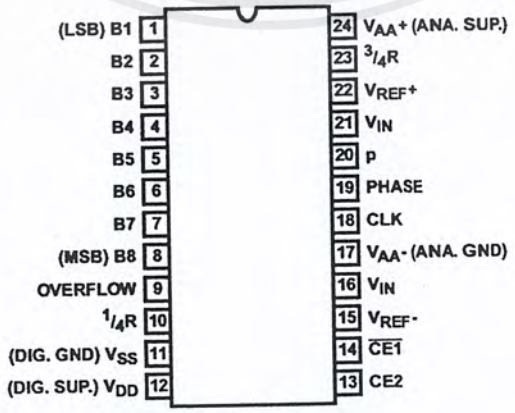
255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

Part Number Information

PART NUMBER	LINEARITY (INL, DNL)	SAMPLING RATE	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3318CE	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld PDIP	E24.6
CA3318CM	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld SOIC	M24.3
CA3318CD	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld SBDIP	D24.6

Pinout

CA3318
(PDIP, SBDIP, SOIC)
TOP VIEW

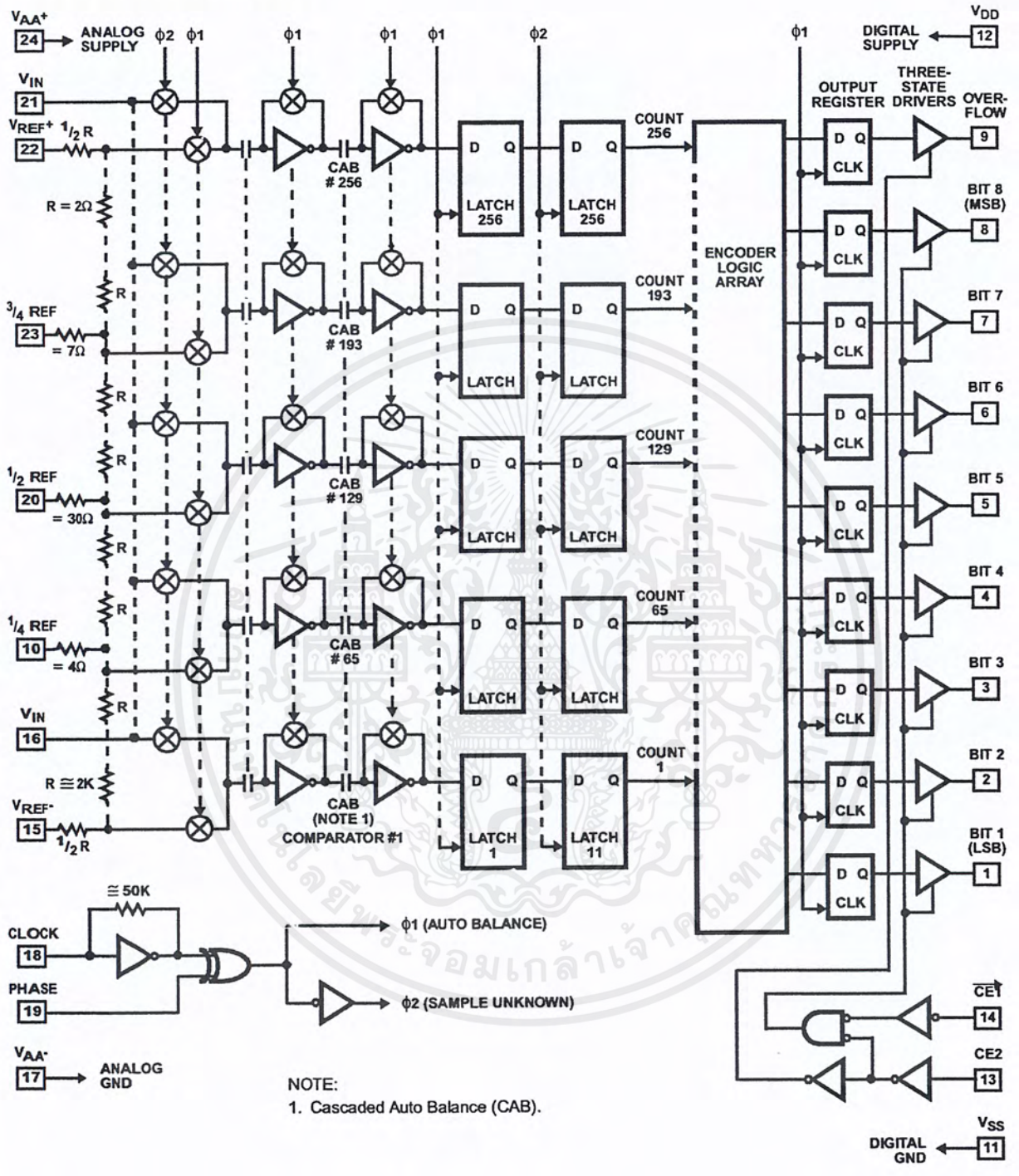


CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.

File Number **3103.2**

1-888-INTERSIL or 321-724-7143 | Copyright © Intersil Corporation 2000

Functional Block Diagram



NOTE:

1. Cascaded Auto Balance (CAB).

Absolute Maximum Ratings

DC Supply Voltage Range (V_{DD} or V_{AA}+) ..... -0.5V to +8V
(Referenced to V_{SS} or V_{AA}- Terminal, Whichever is More Negative)
Input Voltage Range
CE2 and $\overline{CE1}$ ..... V_{AA}- -0.5V to V_{DD} + 0.5V
Clock, Phase, V_{REF}-, $^1/_2$ Ref..... V_{AA}- -0.5V to V_{AA}+ + 0.5V
Clock, Phase, V_{REF}-, $^1/_4$ Ref..... V_{SS}- -0.5V to V_{DD} + 0.5V
V_{IN}, $^3/_4$ REF, V_{REF}+ ..... V_{AA}- -0.5V to V_{AA}- + 7.5V
Output Voltage Range, ... V_{SS} - 0.5V to V_{DD} + 0.5V
Bits 1-8, Overflow (Outputs Off)
DC Input Current ..... ±20mA
Clock, Phase, $\overline{CE1}$, CE2, V_{IN}, Bits 1-8, Overflow

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} ($^oC/W$)	θ_{JC} ($^oC/W$)
SBDIP Package	60	22
PDIP Package	60	N/A
SOIC Package	75	N/A

Maximum Junction Temperature
Ceramic Package ..... 175^oC
Plastic Packages ..... 150^oC
Maximum Storage Temperature Range ..... -65^oC to 150^oC
Maximum Lead Temperature (Soldering 10s) ..... 265^oC
(SOIC - Lead Tips Only)

Operating Conditions

Operating Voltage Range (V_{DD} or V_{AA}+) ... 4V (Min) to 7.5V (Max)
Recommended V_{AA}+ Operating Range ..... V_{DD} ±1V
Recommended V_{AA}- Operating Range ..... V_{SS} ±1V
Operating Temperature Range (T_A) ..... -40^oC to 85^oC

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

At 25^oC, V_{AA}+ = V_{DD} = 5V, V_{REF}+ = 6.4V, V_{REF}- = V_{AA}- = V_{SS}, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM PERFORMANCE					
Resolution		8	-	-	Bits
Integral Linearity Error		-	-	±1.5	LSB
Differential Linearity Error		-	-	+1, -0.8	LSB
Offset Error, Unadjusted	V_{IN} = V_{REF}- + $^1/_2$ LSB	-0.5	4.5	6.4	LSB
Gain Error Unadjusted	V_{IN} = V_{REF}+ - $^1/_2$ LSB	-1.5	0	1.5	LSB
DYNAMIC CHARACTERISTICS					
Maximum Input Bandwidth	(Note 1) CA3318	2.5	5.0	-	MHz
Maximum Conversion Speed	CLK = Square Wave	15	17	-	MSPS
Signal to Noise Ratio (SNR) $=\frac{RMS\,Signal}{RMS\,Noise}$	f_S = 15MHz, f_{IN} = 100kHz	-	47	-	dB
	f_S = 15MHz, f_{IN} = 4MHz	-	43	-	dB
Signal to Noise Ratio (SINAD) $=\frac{RMS\,Signal}{RMS\,Noise+Distortion}$	f_S = 15MHz, f_{IN} = 100kHz	-	45	-	dB
	f_S = 15MHz, f_{IN} = 4MHz	-	35	-	dB
Total Harmonic Distortion, THD	f_S = 15MHz, f_{IN} = 100kHz	-	-46	-	dBc
	f_S = 15MHz, f_{IN} = 4MHz	-	-36	-	dBc
Effective Number of Bits (ENOB)	f_S = 15MHz, f_{IN} = 100kHz	-	7.2	-	Bits
	f_S = 15MHz, f_{IN} = 4MHz	-	5.5	-	Bits
Differential Gain Error	Unadjusted	-	2	-	%
Differential Phase Error	Unadjusted	-	1	-	%
ANALOG INPUTS					
Full Scale Range, V_{IN} and (V_{REF}+) - (V_{REF}-)	Notes 2, 4	4	-	7	V
Input Capacitance, V_{IN}		-	30	-	pF
Input Current, V_{IN}, (See Text)	V_{IN} = 5V, V_{REF}+ = 5V	-	-	3.5	mA
REFERENCE INPUTS					
Ladder Impedance		270	500	800	Ω

Electrical Specifications At 25°C, $V_{AA}+ = V_{DD} = 5V$, $V_{REF}+ = 6.4V$, $V_{REF}- = V_{AA}- = V_{SS}$, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified **(Continued)**

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS					
Low Level Input Voltage, V_{OL} $\overline{CE1}$, CE2	Note 4	-	-	$0.2V_{DD}$	V
Phase, CLK	Note 4	-	-	$0.2V_{AA}$	V
High Level Input Voltage, V_{IN} $\overline{CE1}$, CE2	Note 4	$0.7V_{DD}$	-	-	V
Phase, CLK	Note 4	$0.7V_{AA}$	-	-	V
Input Leakage Current, I_I (Except CLK Input)	Note 3	-	±0.2	±5	µA
Input Capacitance, C_I		-	3	-	pF
DIGITAL OUTPUTS					
Output Low (Sink) Current	$V_O = 0.4V$	4	10	-	mA
Output High (Source) Current	$V_O = 4.5V$	-4	-6	-	mA
Three-State Output Off-State Leakage Current, I_{OZ}		-	±0.2	±5	µA
Output Capacitance, C_O		-	4	-	pF
TIMING CHARACTERISTICS					
Auto Balance Time (ϕ1)		33	-	∞	ns
Sample Time (ϕ2)	Note 4	25	-	500	ns
Aperture Delay		-	15	-	ns
Aperture Jitter		-	100	-	ps
Data Valid Time, t_D	Note 4	-	50	65	ns
Data Hold Time, t_H	Note 4	25	40	-	ns
Output Enable Time, t_{EN}		-	18	-	ns
Output Disable Time, t_{DIS}		-	18	-	ns
POWER SUPPLY CHARACTERISTICS					
Device Current ($I_{DD} + I_A$) (Excludes I_{REF})	Continuous Conversion (Note 4)	-	30	60	mA
	Auto Balance (ϕ1)	-	30	60	mA

NOTES:

1. A full scale sine wave input of greater than $f_{CLOCK}/2$ or the specified input bandwidth (whichever is less) may cause an erroneous code. The -3dB bandwidth for frequency response purposes is greater than 30MHz.
2. V_{IN} (Full Scale) or $V_{REF}+$ should not exceed $V_{AA}+ + 1.5V$ for accuracy.
3. The clock input is a CMOS inverter with a 50kΩ feedback resistor and may be AC coupled with $1V_{P-P}$ minimum source.
4. Parameter not tested, but guaranteed by design or characterization.

Timing Waveforms

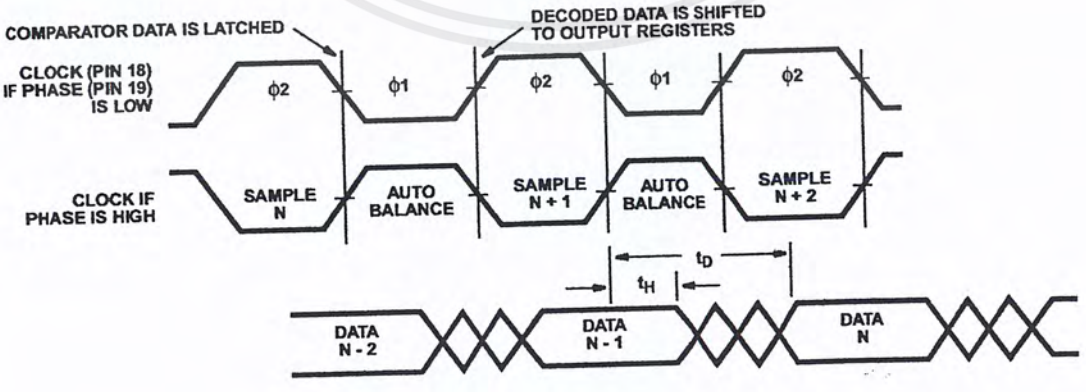


FIGURE 1. INPUT TO OUTPUT TIMING DIAGRAM

Timing Waveforms (Continued)

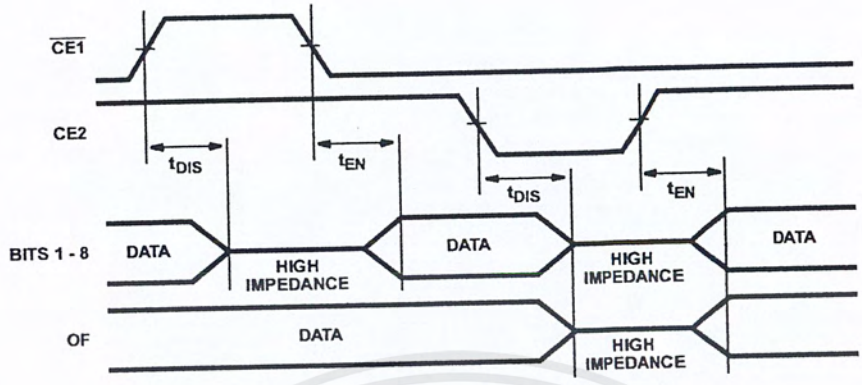


FIGURE 2. OUTPUT ENABLE TIMING DIAGRAM

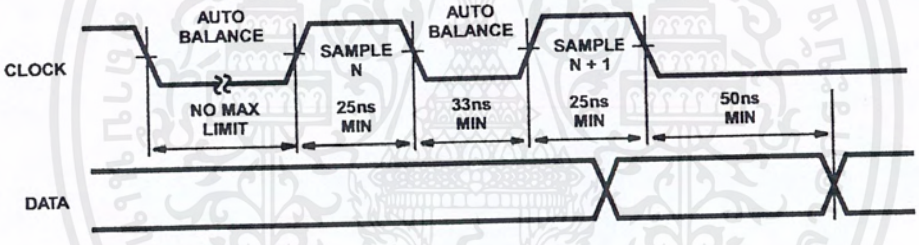


FIGURE 3A. STANDBY IN INDEFINITE AUTO BALANCE (SHOWN WITH PHASE = LOW)

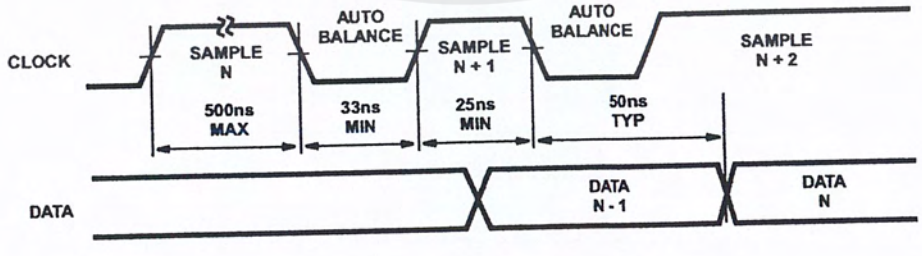


FIGURE 3B. STANDBY IN SAMPLE (SHOWN WITH PHASE = LOW)

FIGURE 3. PULSE MODE OPERATION

Typical Performance Curves

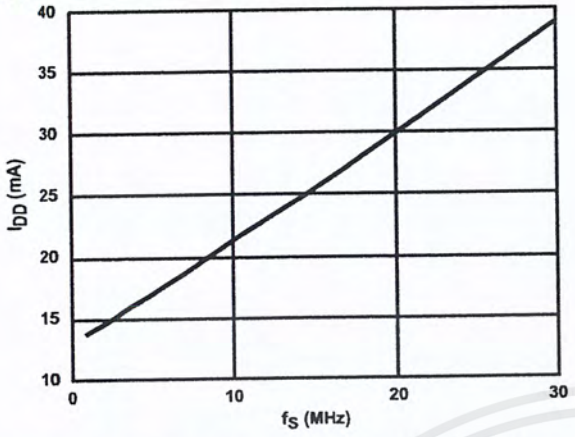


FIGURE 4. DEVICE CURRENT vs SAMPLE FREQUENCY

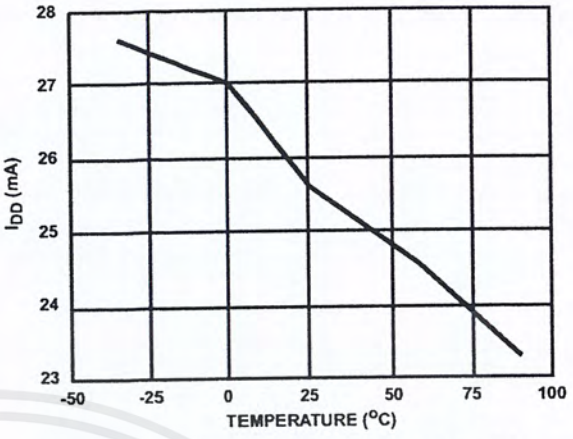


FIGURE 5. DEVICE CURRENT vs TEMPERATURE

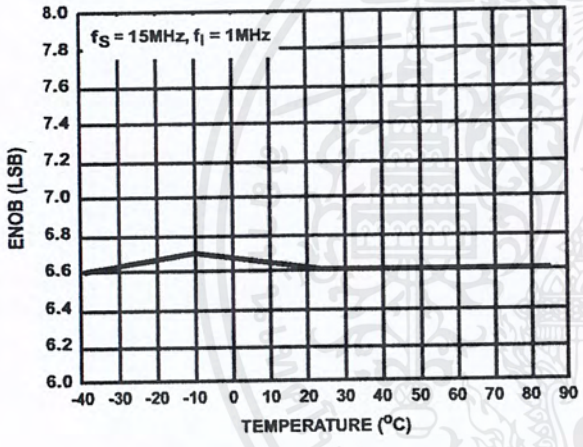


FIGURE 6. ENOB vs TEMPERATURE

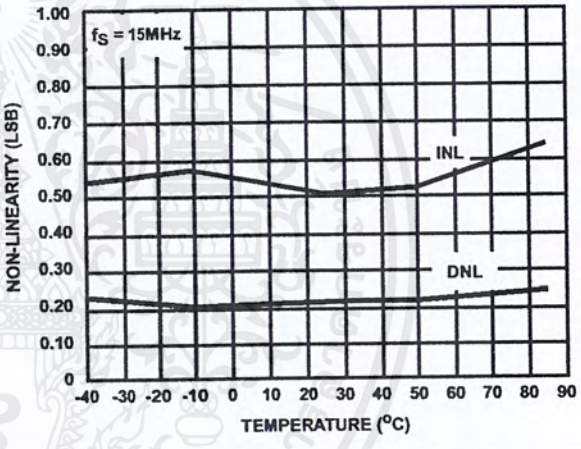


FIGURE 7. NON-LINEARITY vs TEMPERATURE

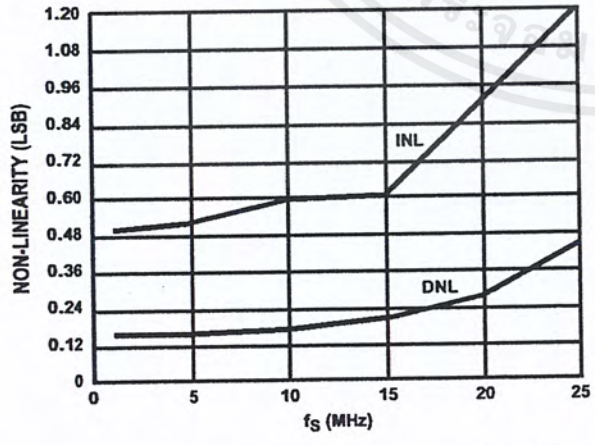


FIGURE 8. NON-LINEARITY vs SAMPLE FREQUENCY

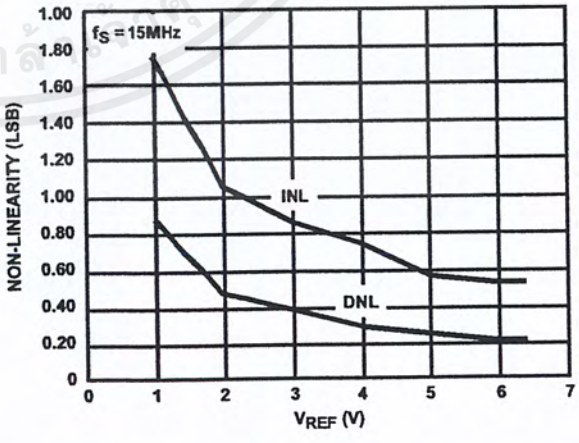


FIGURE 9. NON-LINEARITY vs REFERENCE VOLTAGE

Typical Performance Curves (Continued)

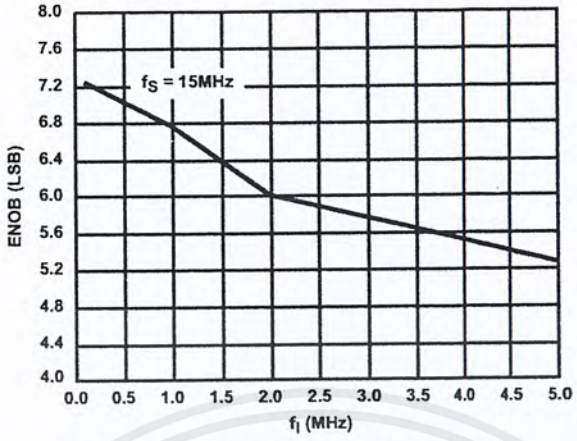


FIGURE 10. ENOB vs INPUT FREQUENCY

Pin Descriptions

PIN	NAME	DESCRIPTION	
1	B1	Bit 1 (LSB)	Output Data Bits (High = True)
2	B2	Bit 2	
3	B3	Bit 3	
4	B4	Bit 4	
5	B5	Bit 5	
6	B6	Bit 6	
7	B7	Bit 7	
8	B8	Bit 8 (MSB)	
9	OF	Overflow	
10	$^1/_4$ R	Reference Ladder $^1/_4$ Point	
11	V_{SS}	Digital Ground	
12	V_{DD}	Digital Power Supply, +5V	
13	CE2	Three-State Output Enable Input, Active Low, See Truth Table.	
14	$\overline{CE1}$	Three-State Output Enable Input Active High. See Truth Table.	
15	V_{REF}-	Reference Voltage Negative Input	
16	V_{IN}	Analog Signal Input	
17	V_{AA}-	Analog Ground	
18	CLK	Clock Input	
19	PHASE	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).	
20	$^1/_2$ R	Reference Ladder Midpoint	
21	V_{IN}	Analog Signal Input	
22	V_{REF}+	Reference Voltage Positive Input	
23	$^3/_4$ R	Reference Ladder $^3/_4$ Point	
24	V_{AA}+	Analog Power Supply, +5V	

CHIP ENABLE TRUTH TABLE

$\overline{CE1}$	CE2	B1 - B8	OF
0	1	Valid	Valid
1	1	Three-State	Valid
X	0	Three-State	Three-State

X = Don't Care

Theory of Operation

A sequential parallel technique is used by the CA3318 converter to obtain its high speed operation. The sequence consists of the "Auto-Balance" phase, ϕ1, and the "Sample Unknown" phase, ϕ2. (Refer to the circuit diagram.) Each conversion takes one clock cycle (see Note). With the phase control (pin 19) high, the "Auto-Balance" (ϕ1) occurs during the high period of the clock cycle, and the "Sample Unknown" (ϕ2) occurs during the low period of the clock cycle.

NOTE: The device requires only a single phase clock The terminology of ϕ1 and ϕ2 refers to the high and low periods of the same clock.

During the "Auto-Balance" phase, a transmission switch is used to connect each of the first set of 256 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(N/256)\,V_{REF}] - (1/512)\,V_{REF}]$$
$$= [(2N - 1)/512]\,V_{REF},$$

Where:

V_{TAP} (n) = reference ladder tap voltage at point n,

V_{REF} = voltage across V_{REF}- to V_{REF}+,

N = tap number (1 through 256).

The other side of these capacitors are connected to single-stage amplifiers whose outputs are shorted to their inputs by switches. This balances the amplifiers at their intrinsic trip points, which is approximately (V_{AA}+ - V_{AA}-)/2. The first set of capacitors now charges to their associated tap voltages.

At the same time a second set of commutating capacitors and amplifiers is also auto-balanced. The balancing of the second-stage amplifier at its intrinsic trip point removes any tracking differences between the first and second amplifier stages. The cascaded auto-balance (CAB) technique, used here, increases comparator sensitivity and temperature tracking.

In the "Sample Unknown" phase, all ladder tap switches and comparator shorting switches are opened. At the same time V_{IN} is switched to the first set of commutating capacitors. Since the other end of the capacitors are now looking into an effectively open circuit, any input voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators that had tap voltages greater than V_{IN} will go to a "high" state at their outputs. All comparators that had tap voltages lower than V_{IN} will go to a "low" state.

The status of all these comparator amplifiers is AC coupled through the second-stage comparator and stored at the end of this phase ($\phi 2$) by a latching amplifier stage. The latch feeds a second latching stage, triggered at the end of $\phi 1$. This delay allows comparators extra settling time. The status of the comparators is decoded by a 256 to 9-bit decoder array, and the results are clocked into a storage register at the end of the next $\phi 2$.

A 3-stage buffer is used at the output of the 9 storage registers which are controlled by two chip-enable signals. $\overline{CE1}$ will independently disable B1 through B6 when it is in a high state. CE2 will independently disable B1 through B8 and the OF buffers when it is in the low state.

To facilitate usage of this device, a phase control input is provided which can effectively complement the clock as it enters the chip.

Continuous-Clock Operation

One complete conversion cycle can be traced through the CA3318 via the following steps. (Refer to timing diagram.) With the phase control in a "low" state, the rising edge of the clock input will start a "sample" phase. During this entire "high" state of the clock, the comparators will track the input voltage and the first-stage latches will track the comparator outputs. At the falling edge of the clock, all 256 comparator outputs are captured by the 256 latches. This ends the "sample" phase and starts the "auto-balance" phase for the comparators. During this "low" state of the clock, the output of the latches settles and is captured by a second row of latches when the clock returns high. The second-stage latch output propagates through the decode array, and a 9-bit code appears at the D inputs of the output registers. On the next falling edge of the clock, this 9-bit code is shifted into the output registers and appears with time delay t_D as valid data at the output of the three-state drivers. This also marks the end of the next "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse-Mode Operation

The CA3318 needs two of the same polarity clock edges to complete a conversion cycle: If, for instance, a negative going clock edge ends sample "N", then data "N" will appear after the next negative going edge. Because of this requirement, and because there is a maximum sample time of 500ns (due to capacitor droop), most pulse or intermittent sample applications will require double clock pulsing.

If an indefinite standby state is desired, standby should be in auto-balance, and the operation would be as in Figure 3A.

If the standby state is known to last less than 500ns and lowest average power is desired, then operation could be as in Figure 3B.

Increased Accuracy

In most cases the accuracy of the CA3318 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, five adjustments can be made to obtain better accuracy, i.e., offset trim; gain trim; and $^1/_4$, $^1/_2$ and $^3/_4$ point trim.

Offset Trim

In general, offset correction can be done in the preamp circuitry by introducing a DC shift to V_{IN} or by the offset trim of the op amp. When this is not possible the V_{REF}- input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is $^1/_2$ LSB. The equation is as follows:

$$V_{IN} \text{ (0 to 1 transition)} = {}^1/_2 \text{ LSB} = {}^1/_2 (V_{REF}/256)$$
$$= V_{REF}/512.$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50Ω pot connected between V_{REF}- and ground will accomplish the adjustment. Set V_{IN} to 1/2 LSB and trim the pot until the 0-to-1 transition occurs.

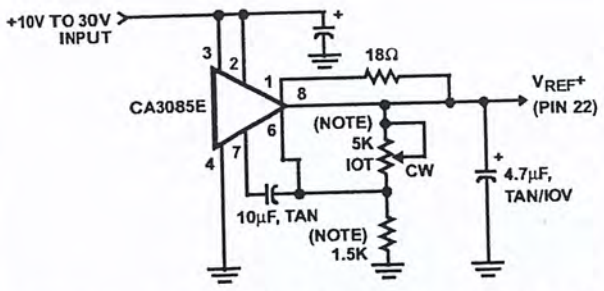
If V_{IN} for the first transition is greater than the theoretical, then the 50Ω pot should be connected between V_{REF}- and a negative voltage of about 2 LSBs. The trim procedure is as stated previously.

Gain Trim

In general, the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 255 to overflow transition. That voltage is $^1/_3$ LSB less than V_{REF}+ and is calculated as follows:

$$V_{IN} \text{ (255 to 256 transition)} = V_{REF} - V_{REF}/512$$
$$= V_{REF}(511/512).$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 255 to overflow transition. Now adjust V_{REF}+ until that transition occurs on the outputs.

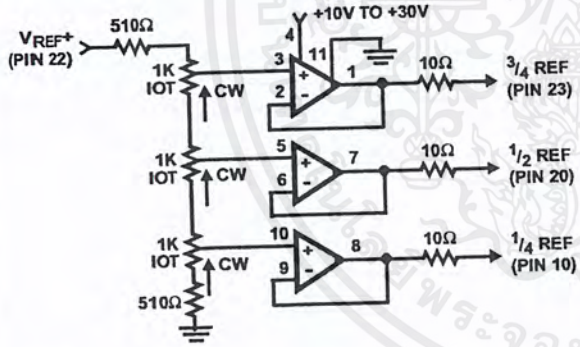


NOTE: Bypass $V_{REF}+$ to analog GND near A/D with 0.1µF ceramic cap. Parts noted should have low temperature drift.

FIGURE 11. TYPICAL VOLTAGE REFERENCE SOURCE FOR DRIVING $V_{REF}+$ INPUT

$^1/_4$ Point Trims

The $^1/_4$, $^1/_2$ and $^3/_4$ points on the reference ladder are brought out for linearity adjusting or if the user wishes to create a nonlinear transfer function. The $^1/_4$ points can be driven by the reference drivers shown (Figure 12) or by 2-K pots connected between $V_{REF}+$ and $V_{REF}-$. The $^1/_2$ (mid-) point should be set first by applying an input of 257/512 x (V_{REF}) and adjusting for an output changing from 128 to 129. Similarly the $^1/_4$ and $^3/_4$ points can be set with inputs of 129/512 and 385/512 x (V_{REF}) and adjusting for counts of 192 to 193 and 64 to 65. (Note that the points are actually $^1/_4$, $^1/_2$ and $^3/_4$ of full scale +1 LSB.)



NOTES:

1. All Op Amps = $^3/_4$ CA324E.
2. Bypass all reference points to analog ground near A/D with 0.1µF ceramic caps.
3. Adjust $V_{REF}+$ first, then $^1/_3$, $^3/_4$ and $^1/_4$ points.

FIGURE 12. TYPICAL $^1/_4$ POINT DRIVERS FOR ADJUSTING LINEARITY (USE FOR MAXIMUM LINEARITY)

9-Bit Resolution

To obtain 9-bit resolution, two CA3318s can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, three-state outputs, and chip-enable controls - all of which are available on the CA3318.

The first step for connecting a 9-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the ninth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the CE1 control of the lower A/D converter and the CE2 control of the upper A/D converter. The three-state outputs of the two devices (bits 1 through 8) are now connected in parallel to complete the circuitry. The complete circuit for a 9-bit A/D converter is shown in Figure 13.

Grounding/Bypassing

The analog and digital supply grounds of a system should be kept separate and only connected at the A/D. This keeps digital ground noise out of the analog data to be converted. Reference drivers, input amps, reference taps, and the V_{AA} supply should be bypassed at the A/D to the analog side of the ground. See Figure 15 for a block diagram of this concept. All capacitors shown should be low impedance 0.1µF ceramics and should be mounted as close to the A/D as possible. If $V_{AA}+$ is derived from V_{DD}, a small (10Ω resistor or inductor and additional filtering (4.7µF tantalum) may be used to keep digital noise out of the analog system.

Input Loading

The CA3318 outputs a current pulse to the V_{IN} terminal at the start of every sample period. This is due to capacitor charging and switch feedthrough and varies with input voltage and sampling rate. The signal source must be capable of recovering from the pulse before the end of the sample period to guarantee a valid signal for the A/D to convert. Suitable high speed amplifiers include the HA-5033, HA-2542; and CA3450. Figure 16 is an example of an amplifier which recovers fast enough for sampling at 15MHz.

Output Loading

The CMOS digital output stage, although capable of driving large loads, will reflect these loads into the local ground. It is recommended that a local QMOS buffer such as CD74HC541 E be used to isolate capacitive loads.

Definitions

Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

Signal-to-Noise + Distortion Ratio (SINAD)

SINAD is the measured RMS signal to RMS sum of all other spectral components below the Nyquist frequency excluding DC.

Effective Number of Bits (ENOB)

The effective number of bits (ENOB) is derived from the SINAD data. ENOB is calculated from:

$$ENOB = (SINAD - 1.76 + V_{CORR})/6.02,$$

where: $V_{CORR} = 0.5dB$.

Total Harmonic Distortion (THD)

THD is the ratio of the RMS sum of the first 5 harmonic components to the RMS value of the measured input signal.

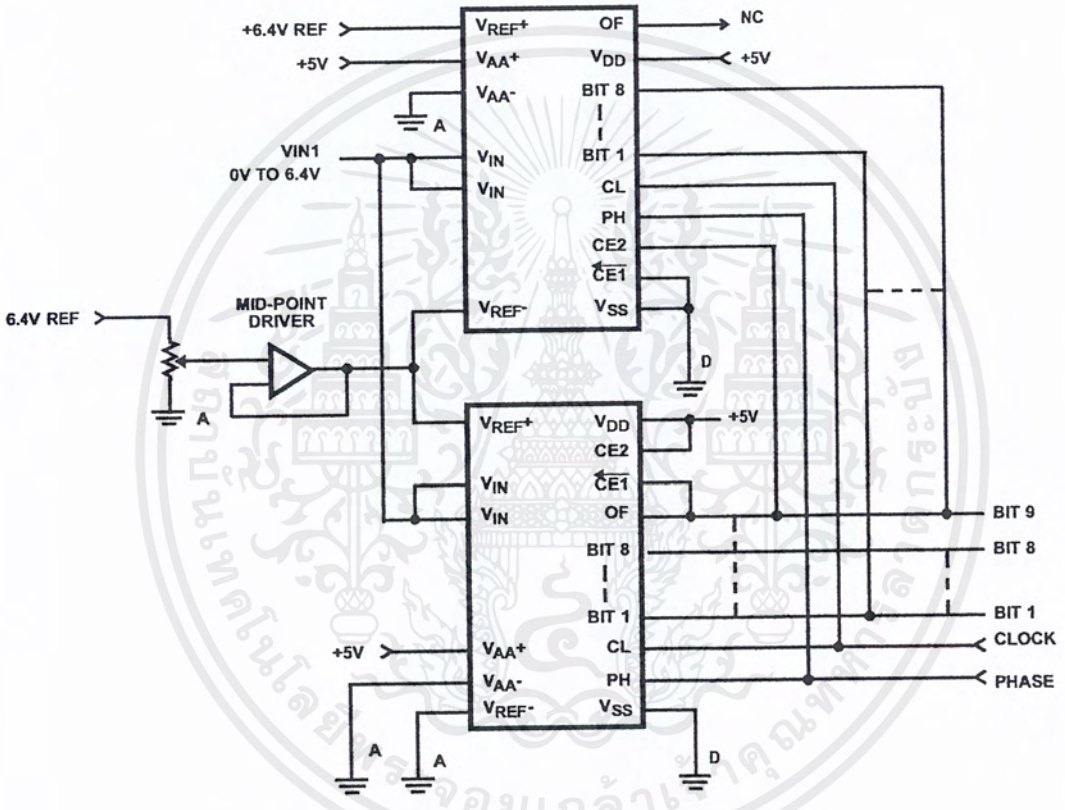


FIGURE 13. USING TWO CA3318s FOR 9-BIT RESOLUTION

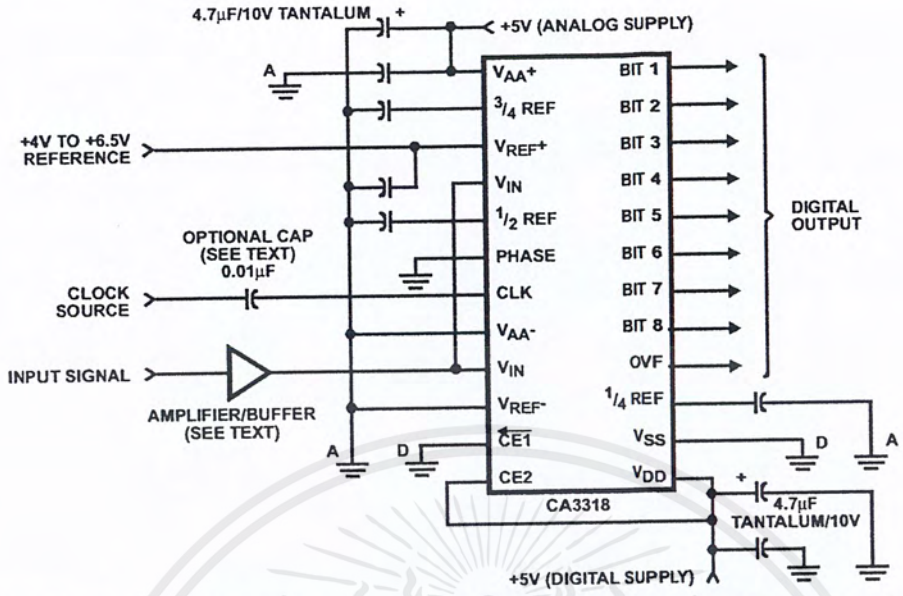


FIGURE 14. TYPICAL CIRCUIT CONFIGURATION FOR THE CA3318 WITH NO LINEARITY ADJUST

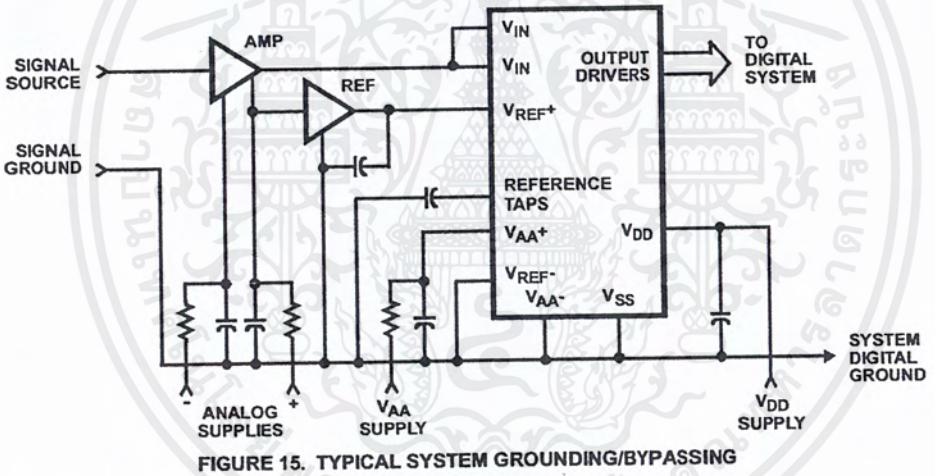
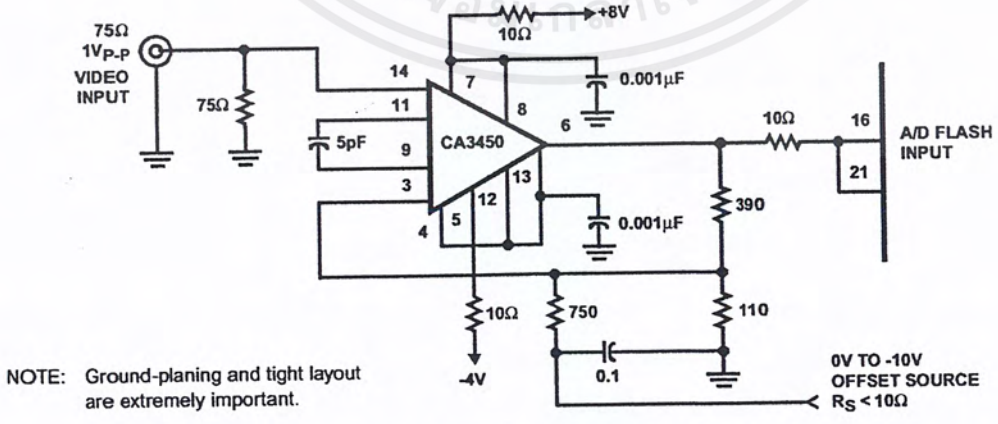


FIGURE 15. TYPICAL SYSTEM GROUNDING/BYPASSING



NOTE: Ground-planing and tight layout are extremely important.

FIGURE 16. TYPICAL HIGH BANDWIDTH AMPLIFIER FOR DRIVING THE CA3318

TABLE 1. OUTPUT CODE TABLE

CODE DESCRIPTION	(NOTE 1) INPUT VOLTAGE		BINARY OUTPUT CODE									DECIMAL COUNT
	V_{REF} 6.40V (V)	V_{REF} 5.12V (V)	OF	MSB B8	B7	B6	B5	B4	B3	B2	LSB B1	
Zero	0.00	0.00	0	0	0	0	0	0	0	0	0	0
1 LSB	0.025	0.02	0	0	0	0	0	0	0	0	1	1
2 LSB	0.05	0.04	0	0	0	0	0	0	0	1	0	2
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
$^1/_4$ Full Scale	1.60	1.28	0	0	1	0	0	0	0	0	0	64
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
$^1/_2$ Full Scale - 1 LSB	3.175	2.54	0	0	1	1	1	1	1	1	1	127
$^1/_2$ Full Scale	3.20	2.56	0	1	0	0	0	0	0	0	0	128
$^1/_2$ Full Scale + 1 LSB	3.225	2.58	0	1	0	0	0	0	0	0	1	129
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
$^3/_4$ Full Scale	4.80	3.84	0	1	1	0	0	0	0	0	0	192
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
Full Scale - 1 LSB	6.35	5.08	0	1	1	1	1	1	1	1	0	254
Full Scale	6.375	5.10	0	1	1	1	1	1	1	1	1	255
Over Flow	6.40	5.12	1	1	1	1	1	1	1	1	1	511

NOTE: 1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

Reducing Power

Most power is consumed while in the auto-balance state. When operating at lower than 15MHz clock speed, power can be reduced by stretching the sample ($\phi 2$) time. The constraints are a minimum balance time ($\phi 1$) of 33ns, and a maximum sample time of 500ns. Longer sample times cause droop in the auto-balance capacitors. Power can also be reduced in the reference string by switching the reference on only during auto-balance.

Clock Input

The Clock and Phase inputs feed buffers referenced to $V_{AA}+$ and $V_{AA}-$. Phase should be tied to one of these two potentials, while the clock (if DC coupled) should be driven at least from 0.2 to 0.7 x ($V_{AA}+ - V_{AA}-$). The clock may also be AC coupled with at least a $1V_{P-P}$ swing. This allows TTL drive levels or 5V QMOS levels when $V_{AA}+$ is greater than 5V.

All Intersil semiconductor products are manufactured, assembled and tested under **ISO9000** quality systems certification.

Intersil products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

For information regarding Intersil Corporation and its products, see web site **http://www.intersil.com**

April 1999

National Semiconductor

DAC0800/DAC0802
8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1.* The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, and DAC-08H, respectively.

Features

- Fast settling output current: 100 ns
- Full scale error: ±1 LSB
- Nonlinearity over temperature: ±0.1%
- Full scale current drift: ±10 ppm/°C
- High output compliance: −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range: ±4.5V to ±18V
- Low power consumption: 33 mW at ±5V
- Low cost

Typical Applications

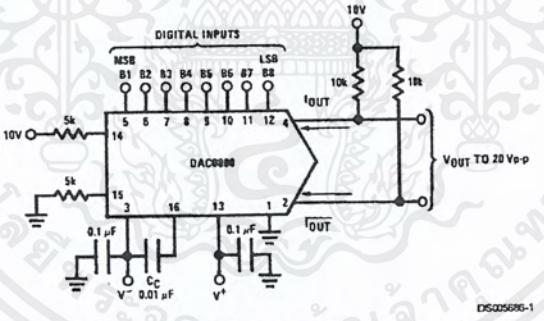


FIGURE 1. ±20 V_{P-P} Output Digital-to-Analog Converter (Note 5)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A) (Note 1)		N Package (N16A) (Note 1)		SO Package (M16A)
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM

Note 1: Devices may be ordered by using either order number.

© 1999 National Semiconductor Corporation

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 3)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs (V_S^- = −15V)	4.25 mA
ESD Susceptibility (Note 4)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 2)

	Min	Max	Units
Temperature (T_A)			
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics

The following specifications apply for V_S^- = ±15V, I_{REF} = 2 mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			Units
			Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19	%FS
t_s	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", T_A=25°C		100	135				ns
		DAC0800L					100	135	ns
		DAC0800LC					100	150	ns
tPLH, tPHL	Propagation Delay Each Bit	T_A=25°C		35	60		35	60	ns
	All Bits Switched			35	60		35	60	ns
TCI_{FS}	Full Scale Tempco			±10	±50		±10	±50	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change <½ LSB, R_{OUT}>20 MΩ Typ	−10		18	−10		18	V
I_{FS4}	Full Scale Current	V_{REF}=10.000V, R14=5.000 kΩ R15=5.000 kΩ, T_A=25°C	1.984	1.992	2.000	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4}-I_{FS2}$		±0.5	±4.0		±1	±8.0	µA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0	µA
I_{FSR}	Output Current Range	V^-=−5V	0	2.0	2.1	0	2.0	2.1	mA
		V^-=−8V to −18V	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels								
V_{IL}	Logic "0"	V_{LC}=0V			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			V
	Logic Input Current	V_{LC}=0V							
I_{IL}	Logic "0"	−10V≤V_{IN}≤+0.8V		−2.0	−10		−2.0	−10	µA
I_{IH}	Logic "1"	2V≤V_{IN}≤+18V		0.002	10		0.002	10	µA
V_{IS}	Logic Input Swing	V^-=−15V	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	V_S^-=±15V	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0	µA
dV/dt	Reference Input Slew Rate	(*Figure 11*)	4.0	8.0		4.0	8.0		mA/µs
$PSSI_{FS+}$	Power Supply Sensitivity	4.5V≤V^+≤18V		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		−4.5V≤V^-≤18V		0.0001	0.01		0.0001	0.01	%/%
		I_{REF}=1mA							

Electrical Characteristics (Continued)

The following specifications apply for V_S = ±15V, I_{REF} = 2 mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			Units
			Min	Typ	Max	Min	Typ	Max	
	Power Supply Current	V_S=±5V, I_{REF}=1 mA							
I+				2.3	3.8		2.3	3.8	mA
I−				−4.3	−5.8		−4.3	−5.8	mA
		V_S=5V, −15V, I_{REF}=2 mA							
I+				2.4	3.8		2.4	3.8	mA
I−				−6.4	−7.8		−6.4	−7.8	mA
		V_S=±15V, I_{REF}=2 mA							
I+				2.5	3.8		2.5	3.8	mA
I−				−6.5	−7.8		−6.5	−7.8	mA
P_D	Power Dissipation	±5V, I_{REF}=1 mA		33	48		33	48	mW
		5V,−15V, I_{REF}=2 mA		108	136		108	136	mW
		±15V, I_{REF}=2 mA		135	174		135	174	mW

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

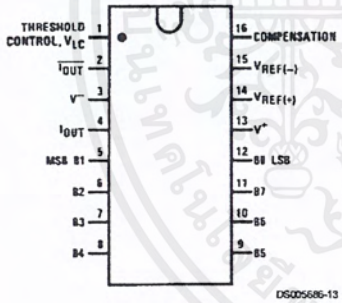
Note 3: The maximum junction temperature of the DAC0800 and DAC0802 is 125˚C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100˚C/W, junction-to-ambient, 175˚C/W for the molded Dual-In-Line N package and 100˚C/W for the Small Outline M package.

Note 4: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 5: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

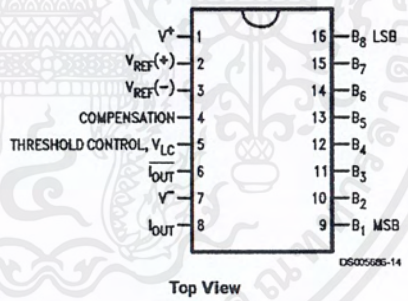
Connection Diagrams

Dual-In-Line Package



Top View

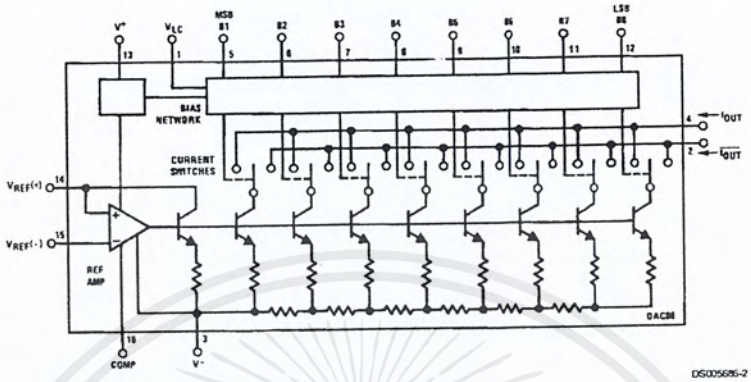
Small Outline Package



Top View

See Ordering Information

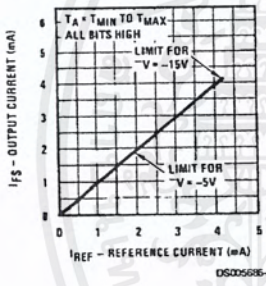
Block Diagram (Note 5)



DS005686-2

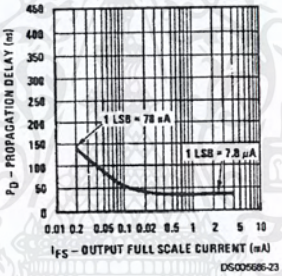
Typical Performance Characteristics

Full Scale Current vs Reference Current



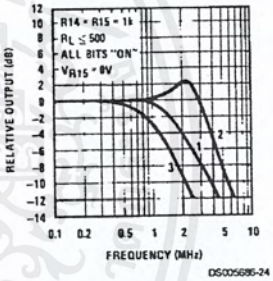
DS005686-22

LSB Propagation Delay vs I_{FS}



DS005686-23

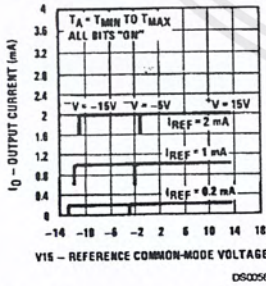
Reference Input Frequency Response



DS005686-24

Curve 1: C_C=15 pF, V_{IN}=2 Vp-p centered at 1V.
Curve 2: C_C=15 pF, V_{IN}=50 mVp-p centered at 200 mV.
Curve 3: C_C=0 pF, V_{IN}=100 mVp-p centered at 0V and applied through 50Ω connected to pin 14.2V applied to R14.

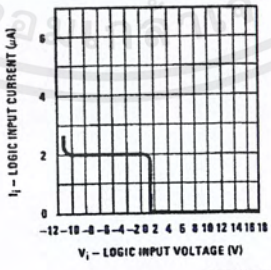
Reference Amp Common-Mode Range



DS005686-25

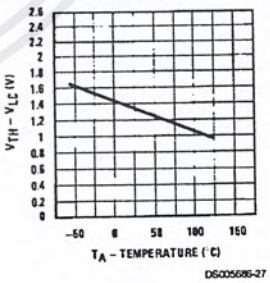
Note. Positive common-mode range is always (V+) − 1.5V.

Logic Input Current vs Input Voltage



DS005686-26

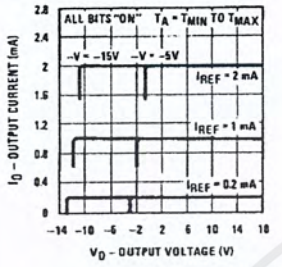
V_{TH} — V_{LC} vs Temperature



DS005686-27

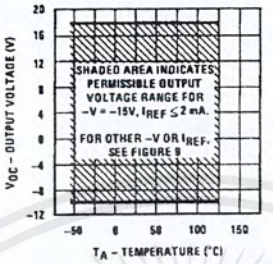
Typical Performance Characteristics (Continued)

Output Current vs Output Voltage (Output Voltage Compliance)



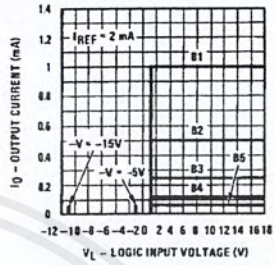
DS005686-28

Output Voltage Compliance vs Temperature



DS005686-29

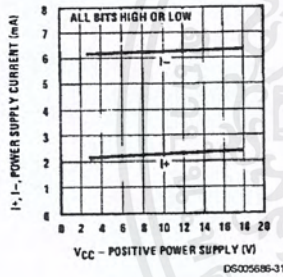
Bit Transfer Characteristics



DS005686-30

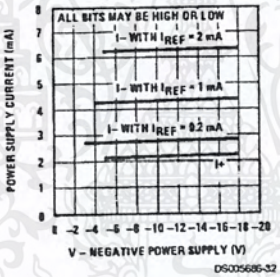
Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ±100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

Power Supply Current vs +V



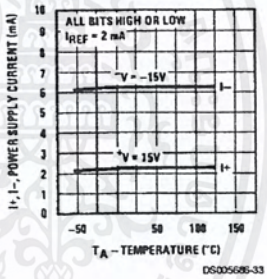
DS005686-31

Power Supply Current vs –V



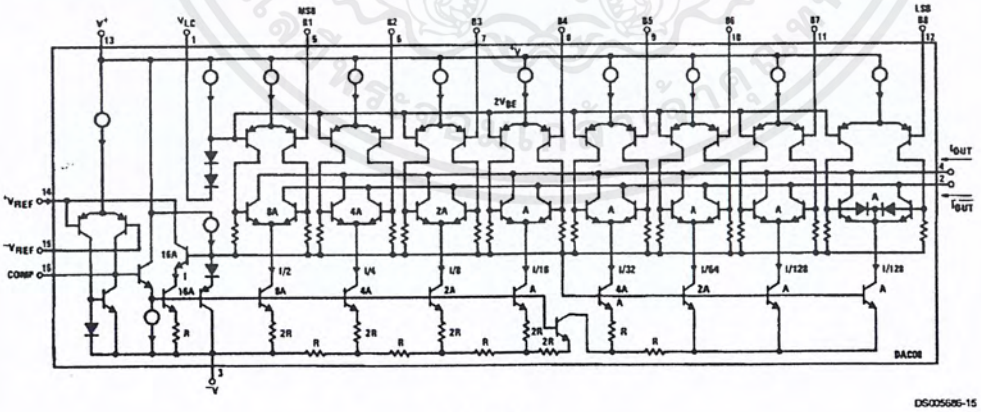
DS005686-32

Power Supply Current vs Temperature



DS005686-33

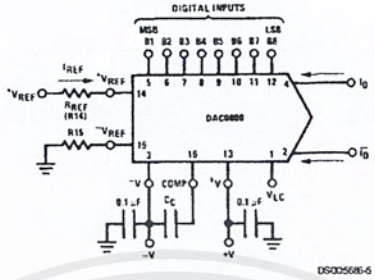
Equivalent Circuit



DS005686-15

FIGURE 2.

Typical Applications



$$I_{FS} \approx \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \bar{I}_O = I_{FS}$ for all logic states
For fixed reference, TTL operation, typical values are:
V_{REF} = 10.000V
R_{REF} = 5.000k
R15 ≈ R_{REF}
C_C = 0.01 µF
V_{LC} = 0V (Ground)

FIGURE 3. Basic Positive Reference Operation (Note 5)

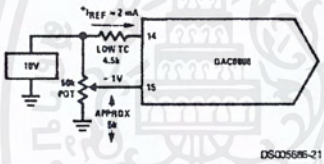
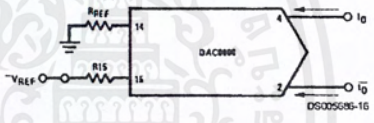


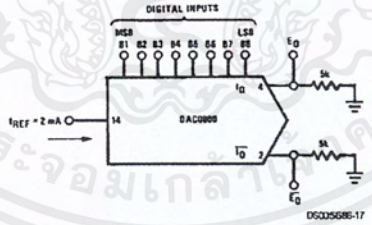
FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 5)



$$I_{FS} \approx \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note. R_{REF} sets I_{FS}; R15 is for bias current cancellation

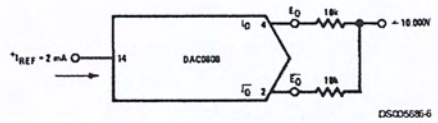
FIGURE 5. Basic Negative Reference Operation (Note 5)



	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\bar{I}_O$mA	E_O	$\bar{E}_O$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale−LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale+LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale−LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale+LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

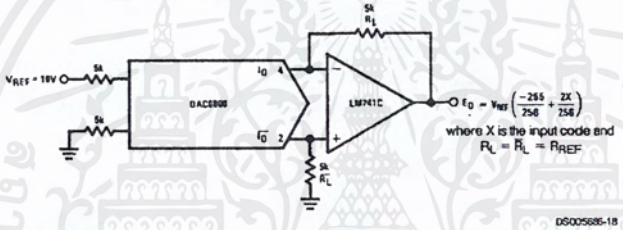
FIGURE 6. Basic Unipolar Negative Operation (Note 5)

Typical Applications (Continued)



	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E}_O$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale+LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale−LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

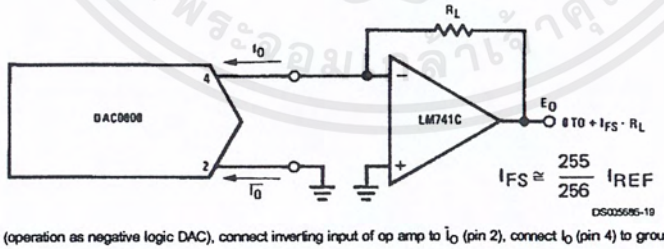
FIGURE 7. Basic Bipolar Output Operation (Note 5)



If $R_L = \overline{R}_L$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

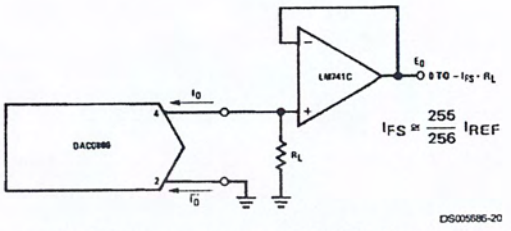
FIGURE 8. Symmetrical Offset Binary Operation (Note 5)



For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I}_O$ (pin 2), connect I_O (pin 4) to ground.

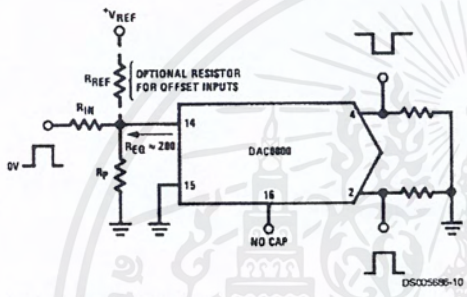
FIGURE 9. Positive Low Impedance Output Operation (Note 5)

Typical Applications (Continued)



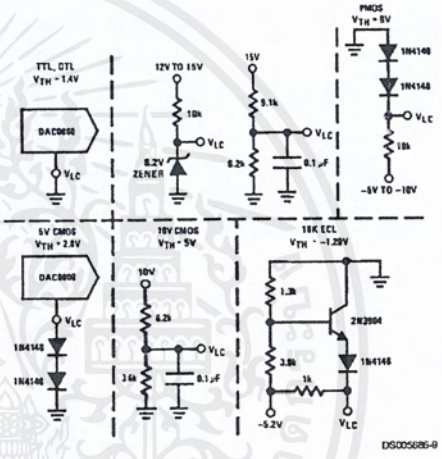
For complementary output (operation as a negative logic DAC) connect non-inverting input of op am to $\bar{I}_O$ (pin 2); connect I_O (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 5)



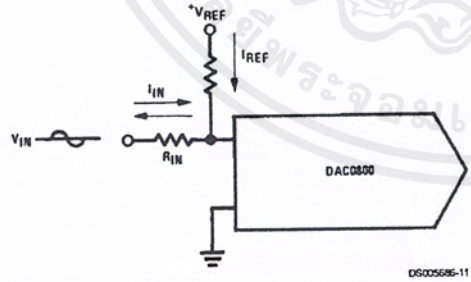
Typical values: R_{IN}=5k, $+V_{IN}$=10V

FIGURE 11. Pulsed Reference Operation (Note 5)

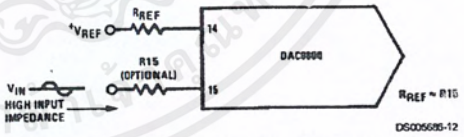


$V_{TH} = V_{LC} + 1.4V$
15V CMOS, HTL, HNIL
$V_{TH} = 7.6V$
Note. Do not exceed negative logic input range of DAC.

FIGURE 12. Interfacing with Various Logic Families



(a) $I_{REF} \geq$ peak negative swing of I_{IN}



(b) $+V_{REF}$ must be above peak positive swing of V_{IN}

FIGURE 13. Accommodating Bipolar References (Note 5)

Typical Applications (Continued)

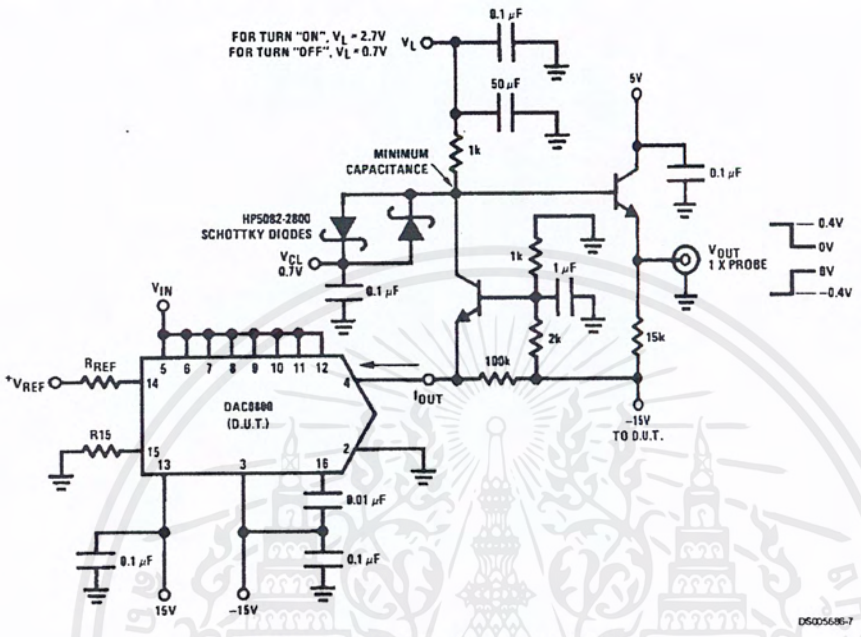
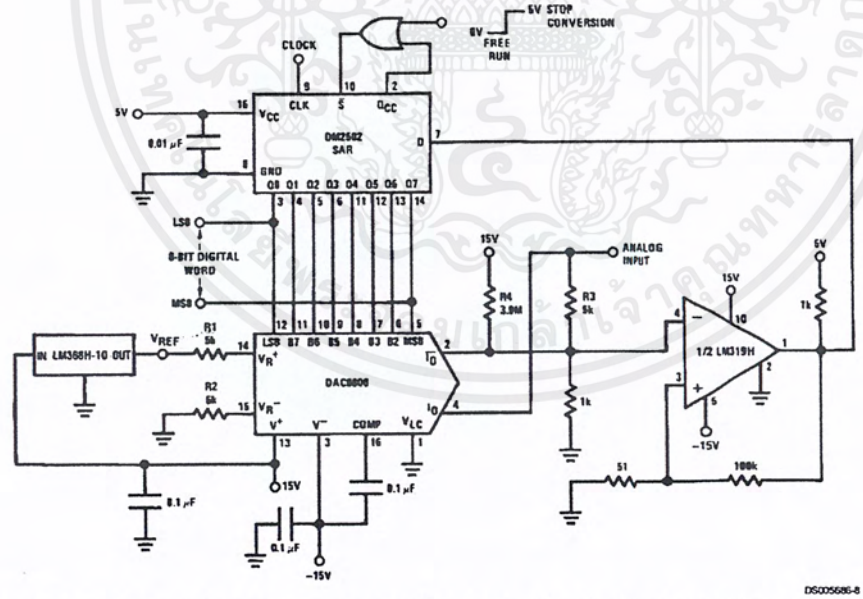


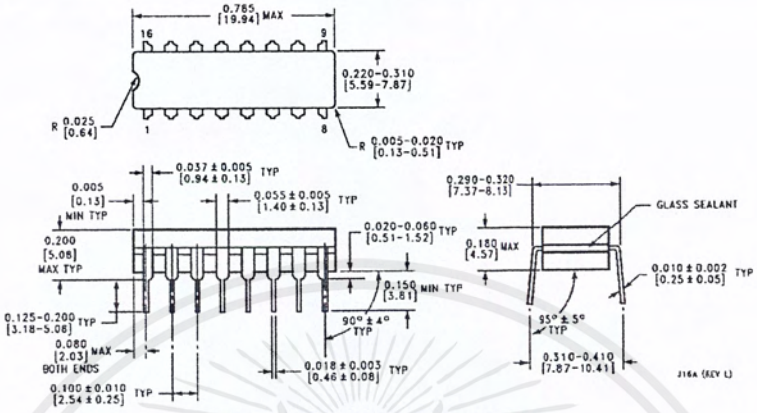
FIGURE 14. Settling Time Measurement (Note 5)



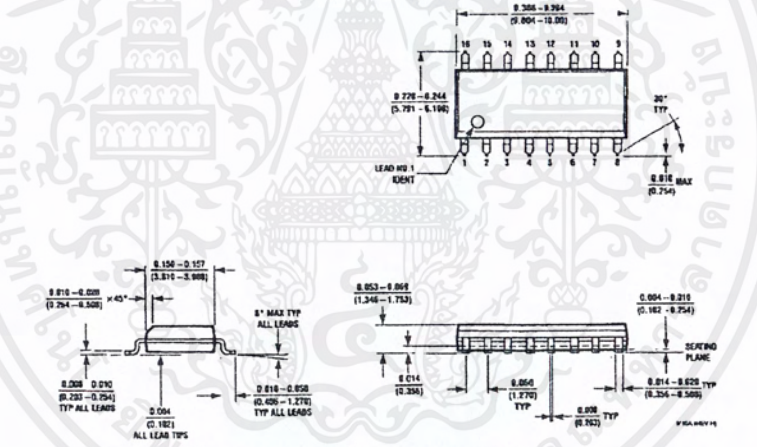
Note. For 1 µs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

FIGURE 15. A Complete 2 µs Conversion Time, 8-Bit A/D Converter (Note 5)

Physical Dimensions inches (millimeters) unless otherwise noted

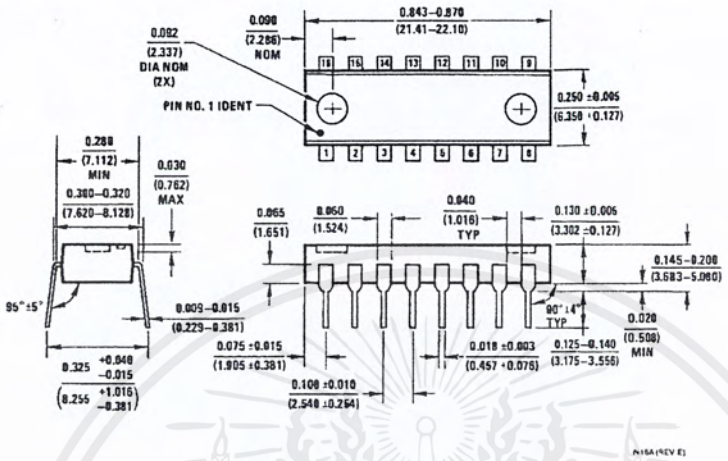


Molded Small Outline Package (SO)
Order Numbers DAC0800LCM,
DAC0801LCM or DAC0802LCM
NS Package Number M16A



Molded Small Outline Package (SO)
Order Numbers DAC0800LCM,
DAC0801LCM or DAC0802LCM
NS Package Number M16A

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Dual-In-Line Package
Order Numbers DAC0800, DAC0801, DAC0802
NS Package Number N16A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com

www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

หนังสืออ้างอิง

[1] วารสาร " เซมิคอนดัคเตอร์อิเล็กทรอนิกส์ ", ฉบับที่ 61, หน้าที่ 225 – 230.

[2] สันติ พรหมพันธ์, " เครื่องแบ่งสัญญาณภาพ ",ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์บัณฑิต สาขาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, ปีการศึกษา 2538.

[3] ปรัชญานันท์ นิลสุข," ทฤษฎีและการทำงานเครื่องรับโทรทัศน์เบื้องต้น ", กรุงเทพฯ, ซีเอ็ดยูเคชั่น, 2541.