สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องส่งและเครื่องรับสัญญาณชนิด 8 – PSK ความเร็ว 128 กิโลบิตต่อวินาที

128 kbps , 8 – PSK Transmitter and Receiver

โดย

นายไพรัช เรืองศิริเดช

นายศรีสุข รุจิรวัฒนกุล

นางสาวสุภาวดี ปทุมานนท์

เลขหมู่.....
เลขทะเบียน 42140
วัน, เดือน, ปี 13 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่งและเครื่องรับสัญญาณชนิด 8 – PSK ความเร็ว 128 กิโลบิตต่อวินาที

128 kbps, 8 – PSK Transmitter and Receiver

โดย

นายไพรัช เรืองศิริเดช 40010537

นายศรีสุข รุจิรวัฒนกุล 40010765

นางสาวสุภาวดี ปทุมานนท์ 40010899

อาจารย์ที่ปรึกษา

รศ.ดร. กอบชัย เดชหาญ

รศ. ณรงค์ เหมกรณ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2543

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องส่งและเครื่องรับสัญญาณชนิด 8-PSK ความเร็ว 128 กิโลบิตต่อวินาที**

128 kbps 8-PSK Transmitter and Receiver

ผู้จัดทำ

1. นายไพรัช เรืองศิริเดช 40010537
2. นายศรีสุข รุจิรวัฒนกุล 40010765
3. นางสาวสุภาวดี ปทุมานนท์ 40010899

---------- อาจารย์ที่ปรึกษา

(รศ.ดร. กอบชัย เดชหาญ)

---------- อาจารย์ที่ปรึกษา

(รศ. ณรงค์ เหมกรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่งและเครื่องรับสัญญาณชนิด 8-PSK ความเร็ว 128 กิโลบิตต่อวินาที

128 kbps 8-PSK Transmitter and Receiver

โดย นายไพรัช เรืองศิริเดช 40010537
นายศรีสุข รุจิรวัฒนกุล 40010765
นางสาวสุภาวดี ปทุมานนท์ 40010899

อาจารย์ที่ปรึกษา รศ.ดร. กอบชัย เดชหาญ
รศ. ณรงค์ เหมกรณ์

บทคัดย่อ

โครงงานนี้เป็นการนำเสนอเครื่องส่งและเครื่องรับสัญญาณโดยการมอดูเลตทางเฟสแบบ 8-Phase PSK (8-PSK) ซึ่งเป็นรูปแบบหนึ่งในการส่งสัญญาณดิจิตอล โดยใช้เทคนิคการมอดูเลตแบบ M-array encoding technique ที่มี M=8 โดยการมอดูเลตแบบนี้นั้น ความถี่คลื่นพาห์ที่ได้จะมีการเปลี่ยนเฟส 8 เฟส ไปตามอินพุตที่เข้ามา ซึ่งในการมอดูเลตจะนำข้อมูลดิจิตอลมาทำการแยกออกเป็น 3 บิต มาทำการมอดูเลตกับสัญญาณพาหะ แล้วทำการส่งข้อมูลผ่านสายเมทอลลิคด้วยความเร็ว 128 kbps ซึ่งวิธีนี้จะทำให้แบนวิดธ์ในการส่งสัญญาณมีขนาดเล็ก

ABSTRACT

This project presents a transmitter and receiver of 8-PSK which their phases are modulated by 8-Phase PSK (8-PSK) and 8-Phase PSK is some sort M-array encoding technique for M=8.For this modulation, the carrier's frequency will be changed into 8 difference phases by input signal.8-PSK transmission will detect 3 bits of digital data and then take each data to modulate with a carrier signal. Digital data is transmitted into a metallic cable with speed around 128 kbps. Thus, this technique can reduce the bandwidth of transmission.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทที่ 1 บทนำ 1

1.1 การเปลี่ยนแปลงเชิงขนาด 1

1.2 การเปลี่ยนแปลงเชิงความถี่ 1

1.3 การเปลี่ยนแปลงเชิงเฟส 2

บทที่ 2 ทฤษฎีและหลักการ 5

2.1 8-phase PSK 5

2.2 ภาคส่งสัญญาณ 8-PSK 5

2.3 แบนด์วิดธ์ของ 8-PSK 10

2.4 ประสิทธิภาพแถบความถี่ 12

2.5 ภาครับสัญญาณ 8-PSK 14

2.6 วงจรกรองช่วงความถี่ 16

2.6.1 วงจรกรองความถี่ต่ำผ่าน 18

2.6.2 วงจรกรองความถี่สูงผ่าน 18

2.6.3 วงจรกรองแถบความถี่ผ่าน 19

2.6.4 วงจรกรองกำจัดแถบความถี่ 20

2.6.5 วงจรกรองผ่านทุกแถบความถี่ 20

2.7 วงจรเฟสล็อคลูป 20

2.7.1 การทำงานของวงจรเฟสล็อกลูป 21

2.7.2 การเข้าสู่สภาวะล็อคและสภาวะขณะที่เฟสล็อค 22

2.7.3 พิสัยการเข้าสู่สภาวะล็อค 24

2.7.4 พิสัยในสภาวะล็อค 24

บทที่ 3 การคำนวณและการสร้าง 25

3.1 การออกแบบวงจรทางด้านภาคส่ง 25

3.1.1 วงจรออสซิลเลเตอร์กำเนิดสัญญาณนำร่อง 25

3.1.2 วงจรยกกำลังสอง 26

3.1.3 วงจรกำเนิดสัญญาณนาฬิกา 27

3.1.4 การสร้างพัลซ์แคบ ๆ โดยใช้ไอซีมัลติไวเบรเตอร์ 28

3.1.5 วงจรแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรม และสร้างบิตเริ่มต้นและบิตสิ้นสุด 29

3.1.6 ภาคแปลงข้อมูลอนุกรมเป็นข้อมูลแบบขนานขนาด 3 บิต 30

3.1.7 วงจรแปลงข้อมูลดิจิตอล 2 ระดับ เป็นข้อมูลอนาลอก 4 ระดับ 31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

3.1.8 วงจรบาลานซ์มอดูเลเตอร์ 32

3.1.9 วงจรรวมสัญญาณ 33

3.1.10 วงจรเลื่อนเฟส 90 องศา 33

3.1.11 วงจรขยายสัญญาณผลต่าง 35

3.2 การออกแบบและการคำนวณวงจรทางด้านภาครับ 38

3.2.1 วงจรกรองความถี่ช่วงความถี่ 39

3.2.2 วงจรกรองความถี่ช่วงความถี่สัญญาณพาหะ 40

3.2.3 วงจรกรองช่วงความถี่สัญญาณนำร่อง 41

3.2.4 วงจรกรองความถี่ต่ำผ่าน 40 kHz 42

3.2.5 วงจรกู้สัญญาณนาฬิกา 128 kHz 43

3.2.6 วงจรกู้สัญญาณพาหะ 43

3.2.7 วงจรเลื่อนเฟสสัญญาณ 90 องศา 44

3.2.8 วงจรบาลานซ์ดีมอดูเลเตอร์ 45

3.2.9 วงจรแปลงสัญญาณ 4 ระดับไปเป็น 2 บิต 45

3.2.10 วงจรแปลงข้อมูลอนุกรมเป็นข้อมูลแบบขนาน 47

บทที่ 4 การทดลอง 49

4.1 จุดประสงค์การทดลอง 49

4.2 ผลการทดลอง 49

บทที่ 5 บทวิจารณ์และสรุปผล 63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

		หน้า
รูปที่ 1.1	ลักษณะของสัญญาณ ASK	1
รูปที่ 1.2	สัญญาณดิจิตอลและสัญญาณ FSK	2
รูปที่ 1.3	สถานะเฟสของสัญญาณ PSK	2
รูปที่ 1.4	เปรียบเทียบอัตราการผิดพลาดของบิตของ PSK แบบต่าง ๆ	3
รูปที่ 2.1	บล็อกไดอะแกรมของการมอดูเลตแบบ 8-PSK	5
รูปที่ 2.2	ลักษณะของ PHASE DIAGRAM และ CONSTELLATION DIAGRAM	8
รูปที่ 2.3	ลักษณะเฟสที่เทียบกับแกนเวลาของ 8-PSK	9
รูปที่ 2.4	ลักษณะสัญญาณที่จุดต่าง ๆ ของ 8-PSK MODULATOR	9
รูปที่ 2.5	บล็อกไดอะแกรมของเครื่องรับ 8-PSK	14
รูปที่ 2.6	แผนผังการทำงานของ PLL1 ทางภาครับ	14
รูปที่ 2.7	แผนผังการทำงานของ PLL1 ทางภาครับ	15
รูปที่ 2.8	ผลตอบสนองเชิงขนาดของวงจรกรองความถี่ต่ำผ่าน	18
รูปที่ 2.9	ผลตอบสนองของวงจรกรองความถี่สูงผ่านในอุดมคติ	18
รูปที่ 2.10	ผลตอบสนองเชิงขนาดของวงจรกรองความถี่สูงผ่าน	19
รูปที่ 2.11	ผลตอบสนองเชิงขนาดของวงจรกรองแถบความถี่ผ่าน	19
รูปที่ 2.12	ผลตอบสนองเชิงขนาดของวงจรกรองกำจัดแถบความถี่	20
รูปที่ 2.13	บล็อกไดอะแกรมวงจรเฟสล็อคลูป	21
รูปที่ 2.14	องค์ประกอบพื้นฐานของวงจรเฟสล็อคลูป	22
รูปที่ 2.15	ทรานส์เฟอร์คาแร็คเตอร์ริสติค ระหว่างความถี่กับระดับแรงดันไฟฟ้าเฟสล็อคลูป	23
รูปที่ 3.1	บล็อกไดอะแกรมเครื่องส่ง 8-PSK	25
รูปที่ 3.2	วงจรออสซิลเลเตอร์กำเนิดสัญญาณนำร่อง	26
รูปที่ 3.3	วงจรยกกำลังสอง	27
รูปที่ 3.4	วงจรกำเนิดสัญญาณนาฬิกา 128 kHz	27
รูปที่ 3.5	วงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์	28
รูปที่ 3.6	วงจรแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรมและสร้างบิตเริ่มต้นและบิตสิ้นสุด	29
รูปที่ 3.7	วงจรส่วนแปลงข้อมูลอนุกรมเป็นข้อมูลแบบขนานขนาด 3 บิต	30
รูปที่ 3.8	วงจรแปลงข้อมูลดิจิตอล 2 ระดับ เป็นข้อมูลอนาลอก 4 ระดับ	31
รูปที่ 3.9	วงจรบาลานซ์มอดูเลเตอร์	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.10 วงจรรวมสัญญาณ 33

รูปที่ 3.11 วงจรเลื่อนเฟส 90 องศา 34

รูปที่ 3.12 วงจรขยายสัญญาณผลต่าง 35

รูปที่ 3.13 รูปสัญญาณควบคุมและข้อมูลที่เทียบกับสัญญาณนาฬิกา ที่จุดต่าง ๆ ของเครื่องส่ง 36

รูปที่ 3.14 บล็อกไดอะแกรมของภาครับ 8-PSK 38

รูปที่ 3.15 วงจรกรองช่วงความถี่ผ่านป้อนกลับแบบบวก 39

รูปที่ 3.16 วงจรกรองความถี่ 512 kHz 40

รูปที่ 3.17 กราฟผลตอบสนองของวงจรกรองความถี่ผ่าน 512 kHz 40

รูปที่ 3.18 วงจรกรองความถี่ผ่าน 256 kHz 41

รูปที่ 3.19 กราฟผลตอบสนองของวงจรกรองความถี่ผ่าน 512 kHz 41

รูปที่ 3.20 วงจรกรองข้อมูลความถี่ต่ำผ่าน 40 kHz 42

รูปที่ 3.21 กราฟผลตอบสนองของวงจรกรองข้อมูลความถี่ต่ำผ่าน 40 kHz 42

รูปที่ 3.22 วงจรกู้สัญญาณนาฬิกา 43

รูปที่ 3.23 วงจรกู้สัญญาณพาหะ 44

รูปที่ 3.24 วงจรเลื่อนเฟส 90 องศา 44

รูปที่ 3.25 วงจรบาลานซ์ดีมอดูเลเตอร์ 45

รูปที่ 3.26 วงจรขยายสัญญาณ 4 ระดับ 46

รูปที่ 3.27 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต 47

รูปที่ 3.28 วงจรรวมการแปลงข้อมูลขนานเป็นข้อมูลอนุกรม และวงจรแปลงข้อมูลอนุกรมเป็นข้อมูลแบบขนาน 48

รูปที่ 4.1 แชนแนล 1 สัญญาณนาฬิกา ความถี่ 128 kHz
แชนแนล 2 สัญญาณนำร่องความถี่ 256 kHz 49

รูปที่ 4.2 แชนแนล 1 สัญญาณนำร่อง ความถี่ 256 kHz
แชนแนล 2 สัญญาณพาหะ ความถี่ 512 kHz 50

รูปที่ 4.3 แชนแนล 1 สัญญาณนาฬิกา ความถี่ 128 kHz
แชนแนล 2 สัญญาณนาฬิกา ความถี่ 12.8 kHz 51

รูปที่ 4.4 แชนแนล 1 สัญญาณนาฬิกา ความถี่ 128 kHz เทียบกับสัญญาณเอาต์พุตที่ขา 9 ของไอซี 74165 เมื่ออินพุตคือ 01010111 51

รูปที่ 4.5 แชนแนล 1 รูปข้อมูลอนุกรมที่สร้างบิทเริ่มต้นและบิทสิ้นสุด
แชนแนล 2 สัญญาณควบคุมที่ขาเคลียร์ของไอซี 74175 52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.6 แชนแนล 1 สัญญาณ Q ที่ออกจากไอซีเบอร์ 74175 และเป็นอินพุทของวงจรแปลงข้อมูลดิจิตอล 2 ระดับ ไปเป็นข้อมูลอนุกรม 4 ระดับ 53

แชนแนล 2 สัญญาณ I ที่ออกจากไอซีเบอร์ 74175 และเป็นอินพุทของวงจรแปลงข้อมูลดิจิตอล 2 ระดับ ไปเป็นข้อมูลอนุกรม 4 ระดับ

รูปที่ 4.7 แชนแนล 1 สัญญาณ I ที่ออกจากไอซีเบอร์ 74175 และเป็นอินพุทของวงจรแปลงข้อมูลดิจิตอล 2 ระดับ ไปเป็นข้อมูลอนุกรม 4 ระดับ 54

แชนแนล 2 สัญญาณ C ที่ออกจากไอซีเบอร์ 74175 และเป็นอินพุทของวงจรแปลงข้อมูลดิจิตอล 2 ระดับ ไปเป็นข้อมูลอนุกรม 4 ระดับ

รูปที่ 4.8 แชนแนล 1 สัญญาณ Q ที่ออกจากไอซีเบอร์ 74175 และเป็นอินพุทของวงจรแปลงข้อมูลดิจิตอล 2 ระดับ ไปเป็นข้อมูลอนุกรม 4 ระดับ 54

แชนแนล 2 สัญญาณ $\overline{C}$ ที่ออกจากไอซีเบอร์ 74175 และเป็นอินพุทของวงจรแปลงข้อมูลดิจิตอล 2 ระดับไปเป็นข้อมูลอนุกรม 4 ระดับ

รูปที่ 4.9 แชนแนล 1 สัญญาณที่เอาท์พุทของวงจรแปลงข้อมูลดิจิตอล 2 ระดับ เป็นข้อมูลอนาลอกระดับ 4 โดยรับอินพุทจากขา I, C 55

แชนแนล 2 สัญญาณที่เอาท์พุทของวงจรแปลงข้อมูลดิจิตอล 2 ระดับ เป็นข้อมูลอนาลอก 4 ระดับ โดยรับอินพุทจากขา Q, $\overline{C}$ $\overline{C}$

รูปที่ 4.10 แชนแนล 1 สัญญาณที่เอาท์พุทของวงจรบาลานซ์มอดูเลเตอร์ วัดที่แชนแนล I 55

แชนแนล 2 สัญญาณที่เอาท์พุทของวงจรบาลานซ์มอดูเลเตอร์ วัดที่แชนแนล Q

รูปที่ 4.11 แชนแนล 1 สัญญาณพาหะไซน์ ความถี่ 512 kHz 56

แชนแนล 2 สัญญาณโคไซน์ ความถี่ 512 kHz จากวงจรเลื่อนเฟส 90 องศา

รูปที่ 4.12 แชนแนล 1 สัญญาณพาหะไซน์ ความถี่ 512 kHz 56

แชนแนล 2 สัญญาณโคไซน์ ความถี่ 512 kHz จากวงจรเลื่อนเฟส 90 องศา

รูปที่ 4.13 แชนแนล 1 สัญญาณเอาท์พุท 8-PSK ทางภาคส่ง 57

แชนแนล 2 สเปกตรัมของสัญญาณ 8-PSK

รูปที่ 4.14 สัญญาณ 8-PSK ที่รวมกับสัญญาณนำร่องเทียบกับสเปกตรัมของสัญญาณ 57

รูปที่ 4.15 สัญญาณ 8-PSK ทำการพล็อตในแกน x-y เทียบกับสัญญาณโคไซน์ 58

รูปที่ 4.16 รูป Constellation Diagram ของสัญญาณ 8-PSK 58

รูปที่ 4.17 สัญญาณนาฬิกาความถี่ 128 kHz ทางด้านภาคเครื่องส่ง (แชนแนล 1) เทียบกับสัญญาณนาฬิกาที่กู้ได้จากวงจรภาคเครื่องรับ 59

รูปที่ 4.18 แชนแนลที่ 1 สัญญาณพาหะทางด้านภาคส่ง 59

แชนแนลที่ 2 สัญญาณที่ได้จากวงจรกรองความถี่ 512 kHz ทางด้านภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.19 สัญญาณนำร่องทางด้านภาคเครื่องส่งเทียบกับสัญญาณนำร่องที่กู้ได้ทางภาคเครื่องรับ 60

รูปที่ 4.20 สัญญาณเอาท์พุตของวงจรบาลานซ์ดีมอดูเลเตอร์ทางภาครับที่แชนแนล I เทียบกับสัญญาณที่แชนแนล Qเมื่อป้อนอินพุตเป็น 11100010 60

รูปที่ 4.21 รูปสัญญาณ 4 ระดับ ด้าน I แชนแนล สัญญาณ 4ระดับทางภาคส่ง (แชนแนลที่ 2) เปรียบเทียบกับสัญญาณ 4 ระดับ ที่ออกจากวงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านภาครับ 61

รูปที่ 4.22 รูปสัญญาณ 4 ระดับ ด้าน Q แชนแนล สัญญาณ 4 ระดับทางภาคส่ง (แชนแนลที่ 2) เปรียบเทียบกับสัญญาณ 4 ระดับ ที่ออกจากวงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านภาครับ 61

รูปที่ 4.23 รูปข้อมูลดิจิตอล 10 บิตทางภาคส่ง (แชนแนล 1) และข้อมูลดิจิตอล 10 บิตทางภาครับ 62

รูปที่ 4.24 รูปข้อมูลดิจิตอล 10 บิตทางภาคส่ง (แชนแนล 1) และข้อมูลดิจิตอล 10 บิตทางภาครับ 62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 1.1 แถบความถี่ที่ต้องการใช้ในทางทฤษฎีของ M-array PSK แบบต่างๆ	3
ตารางที่ 2.1 ตารางแสดงระดับแรงดันเอาต์พุตที่ภาค I – Q Channel 2 to 4 Level Converter	6
ตารางที่ 2.2 ตารางแสดงลักษณะข้อมูล และ เฟสต่างๆ ของสัญญาณ 8 – PSK	7
ตารางที่ 2.3 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลตต่าง ๆ	12
ตารางที่ 2.4 สรุปข้อแตกต่างของ FSK , PSK ,QAM	13
ตารางที่ 3.1 แสดงการขยายสัญญาณก่อนเข้าวงจรตรวจระดับสัญญาณ	46
ตารางที่ 3.2 แสดงการตรวจจับระดับสัญญาณแล้วแปลงสัญญาณเป็นรหัสเกรย์โค้ด	47

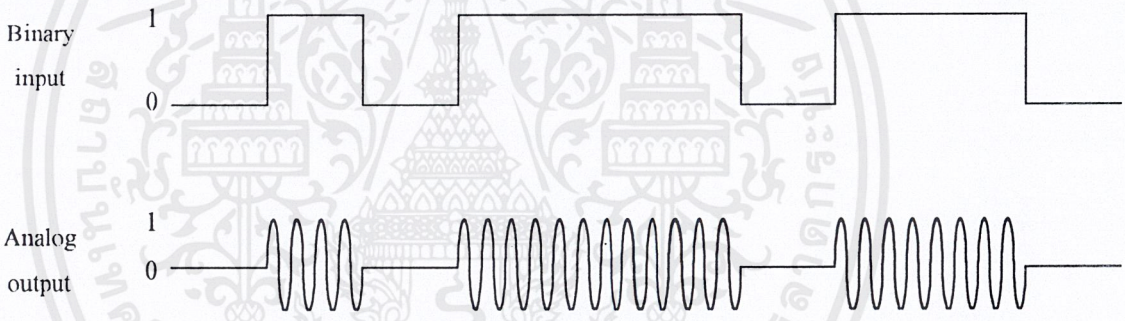
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การรับส่งสัญญาณข่าวสารต่างๆ ในปัจจุบันมีด้วยกันหลายแบบ ทั้งส่งตามสายอากาศ ส่งตามสายเคเบิล ส่งแบบกระจายคลื่นผ่านอากาศ โดยได้นำเอาหลักการมอดูเลตสัญญาณข่าวสารกับคลื่นพาหะมาใช้ หลักการของการมอดูเลตนั้นมีอยู่ด้วยกันหลายวิธี แต่ที่นิยมนำมาใช้ในการรับ-ส่งข่าวสารคือ การมอดูเลตสัญญาณแบบดิจิตอล (Digital Modulation) เพราะว่าการมอดูเลตแบบดิจิตอลนั้นมีความน่าเชื่อถือสูงกว่าแบบอนาลอก และยังมีการรบกวนอันเนื่องมาจากสัญญาณรบกวน (Noise) ต่ำ ทำให้การรับ-ส่งข้อมูลมีการผิดพลาดน้อย การมอดูเลตแบบดิจิตอลมีอยู่ด้วยกัน 3 วิธีใหญ่ๆ คือ

1.1 การเปลี่ยนแปลงเชิงขนาด (Amplitude Shift Keying : ASK)

สัญญาณคลื่นพาหะจะถูกเปิดและปิดตามข้อมูลที่เป็น “1” และ “0” สัญญาณ ASK ที่เวลาใดๆ จะแสดงอยู่ในรูปที่ 1.1



รูปที่ 1.1 ลักษณะของสัญญาณ ASK

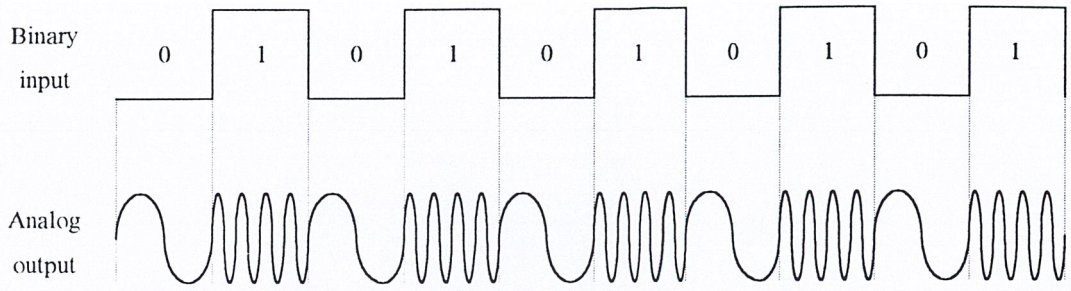
เมื่อข้อมูลไบนารีเป็น “1” สัญญาณคลื่นพาหะ จะถูกคูณด้วยค่าคงที่ และจะปรากฏสัญญาณคลื่นพาหะที่เอาต์พุตของวงจรในลักษณะไม่กลับเฟส เมื่อข้อมูลไบนารีเป็น “0” คลื่นพาหะจะถูกคูณด้วย 0 โวลท์ และจะไม่ปรากฏสัญญาณคลื่นพาหะที่เอาต์พุตของวงจรคูณ ซึ่งลักษณะการปรากฏและหายไปของแอมปลิจูดของสัญญาณคลื่นพาหะนี้ เราเรียกว่าการมอดูเลตแบบ Amplitude Shift Keying

1.2 การเปลี่ยนแปลงเชิงความถี่ (Frequency Shift Keying : FSK)

เป็นการมอดูเลตสัญญาณดิจิตอล โดยการเปลี่ยนความถี่ของคลื่นพาหะตามขนาดสัญญาณข้อมูลที่เป็นพัลซ์ (สัญญาณดิจิตอล) รูปแบบของการมอดูเลตจะคล้ายกับการมอดูเลตแบบ FM (Frequency Modulation) ของระบบอนาลอก ต่างกันที่สัญญาณข้อมูลเท่านั้น

รูปที่ 1.2 แสดงสัญญาณดิจิตอลที่ผ่านการมอดูเลต จะสังเกตเห็นว่าสัญญาณที่ได้จะเป็นการเปลี่ยนแปลงไปมาระหว่างความถี่ โดยที่ข้อมูลบิตศูนย์จะเป็นอีกความถี่หนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

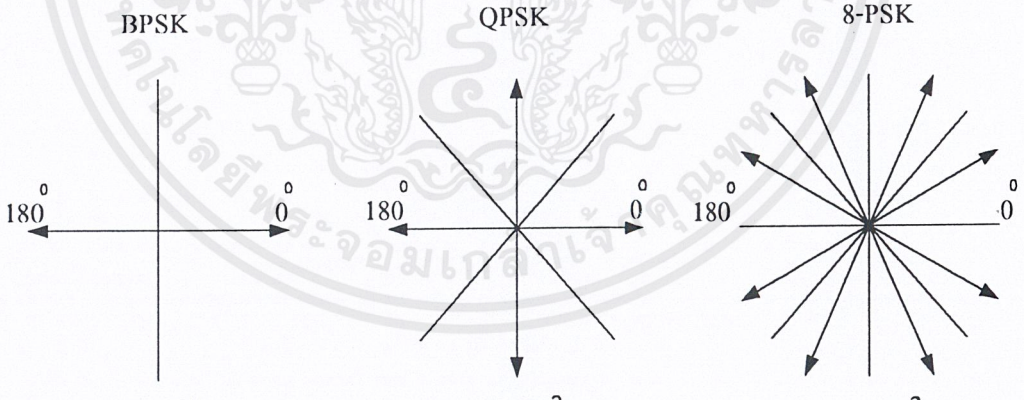


รูปที่ 1.2 สัญญาณดิจิตอลและสัญญาณ FSK

1.3 การเปลี่ยนแปลงเชิงเฟส (Phase Shift Keying)

ลักษณะการมอดูเลตแบบที่มีการเปลี่ยนแปลงเชิงเฟส เป็นการมอดูเลตที่มีสัญญาณคลื่นพาหะที่เอาต์พุตมีความถี่เดียวและมีขนาดแอมปลิจูดคงที่ แต่มีการเปลี่ยนแปลงของเฟสแทนข้อมูลที่เป็นดิจิตอล จำนวนของเฟสที่เปลี่ยนแปลงไปนั้น จะขึ้นอยู่กับชนิดของการมอดูเลต เช่น ในแบบ PSK หรือ BPSK จะมีการเปลี่ยนแปลงเฟสไปมาอยู่ 2 เฟส คือ ข้อมูลบิต "0" สัญญาณคลื่นพาหะจะมีเฟสเปลี่ยนไป 180° และข้อมูลบิต "1" เฟสของสัญญาณคลื่นพาหะที่ได้จะไม่มีการเปลี่ยนแปลง นั่นคือ 0° นั่นเอง

สถานะเฟสของสัญญาณ BPSK, QPSK และ 8-PSK เมื่อแสดงอยู่ในรูปของเวกเตอร์ ดังรูปที่ 1.3



BPSK	QPSK	8-PSK
$M = 2^1$	$M = 2^2$	$M = 2^3$
Symbol rate = R	Symbol rate = 2R	Symbol rate =3R
Bit rate = R	Bit rate = R	Bit rate = R
Ts = Tb	Ts = 2Tb	Ts = 3Tb
(a)	(b)	(c)

รูปที่ 1.3 สถานะเฟสของสัญญาณ PSK

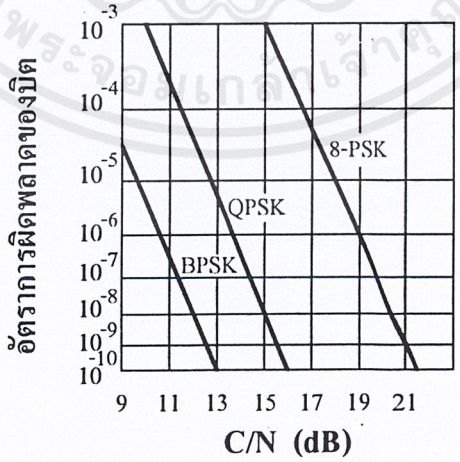
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แถบความถี่ในการส่งข้อมูลที่ใช้ในการส่งสัญลักษณ์ต่างๆ ในระบบ PSK ที่แตกต่างกันจะไม่เท่ากัน ในแบบ BPSK นั้นจะมีบิตเรทที่ต่ำที่สุดเมื่อเทียบกับแบบ QPSK และแบบ M-array PSK เพราะมีความเร็ว 1 บิตต่อ 1 Hz แต่แบบ BPSK นี้จะมีค่าความผิดพลาดน้อยกว่าแบบอื่นๆ ทั้งหมด ค่าประสิทธิภาพทางแถบความถี่ในทฤษฎีของการมอดูเลตแบบ PSK แบบต่างๆ จะเป็นดังตารางที่ 1.1

มอดูเลชั่น	แถบความถี่ที่ใช้ในทางทฤษฎี
BPSK	1 b/s/Hz
QPSK	2 b/s/Hz
8PSK	3 b/s/Hz
16PSK	4 b/s/Hz
32PSK	5 b/s/Hz

ตารางที่ 1.1 แถบความถี่ที่ต้องการใช้ในทางทฤษฎีของ M-array PSK แบบต่างๆ

จากตารางที่ 1.1 จะเห็นว่า ประสิทธิภาพทางแถบความถี่ ของสัญญาณ BPSK มีค่าเท่ากับแบนด์วิทธ์ของสัญญาณดิจิตอลเบสแบนด์ คือ ที่แถบความถี่ 1 Hz สามารถส่งข้อมูลได้เพียงความเร็ว 1 บิตต่อวินาที ซึ่งถือว่าประสิทธิภาพต่ำ จึงไม่ค่อยนิยมใช้งาน แต่ในระบบ M-array PSK ที่มีอันดับสูงกว่าจะมีประสิทธิภาพทางแถบความถี่สูงกว่า และต้องการค่า C/N (Carrier to Noise Ratio) ที่สูงกว่า เพื่อลดค่าความผิดพลาดของการส่งข้อมูล (Bit Error Rate) ซึ่งค่าเปรียบเทียบกันระหว่าง 8-PSK, QPSK และ BPSK แสดงดังรูปที่ 1.4



รูปที่ 1.4 เปรียบเทียบอัตราการผิดพลาดของบิตของ PSK แบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1.4 เป็นกราฟที่เปรียบเทียบกันระหว่างอัตราการผิดพลาดของข้อมูลของการมอดูเลตระหว่าง 8-PSK, QPSK และ BPSK ซึ่งจะเห็นว่าระบบที่มีการเปลี่ยนแปลงเฟสมากจะมีค่าความผิดพลาดของข้อมูลมากกว่าระบบที่มีการแยกเฟสน้อย ซึ่งอาจจะต้องแก้โดยการเพิ่มกำลังในการส่งมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

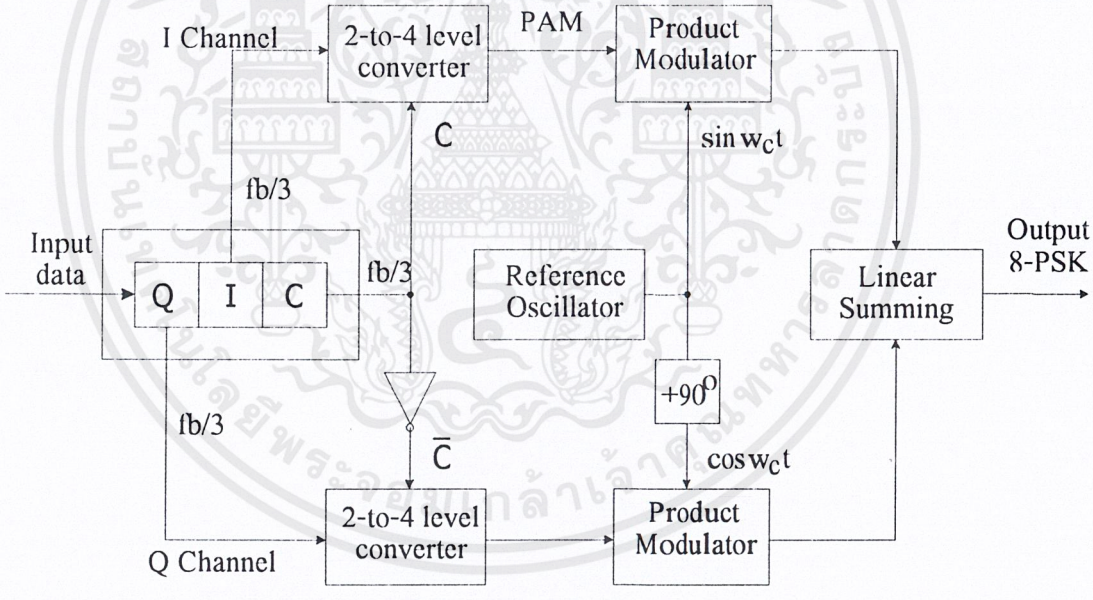
บทที่ 2
ทฤษฎีและหลักการ

2.1 8 – Phase PSK

8 - Phase PSK เป็นเทคนิคการมอดูเลตแบบ M-array encoding technique โดยที่ M = 8 โดยการมอดูเลตแบบนี้นั้น ความถี่คลื่นพาหะที่ได้จะมีการเปลี่ยนเฟส 8 เฟสไปมาตามอินพุตที่เข้ามา ซึ่งในการมอดูเลตจะนำข้อมูลดิจิตอลมาทำการแยกออกเป็น 3 บิต แล้วนำข้อมูลทีละ 3 บิตนี้มาทำการมอดูเลต ลักษณะการมอดูเลตโดยใช้ข้อมูลทีละ 3 บิตนี้บางครั้งเราเรียกลักษณะการมอดูเลตแบบ 8 – PSK ได้อีกแบบหนึ่งว่า การมอดูเลตแบบ tribit ($2^3 = 8$)

2.2 ภาคส่งสัญญาณ 8 – PSK

ลักษณะของบล็อกไดอะแกรมของการมอดูเลตโดยวิธีการแบบ 8 – PSK แสดงดังรูปที่ 2.1



รูปที่ 2.1 บล็อกไดอะแกรมของการมอดูเลตแบบ 8 – PSK

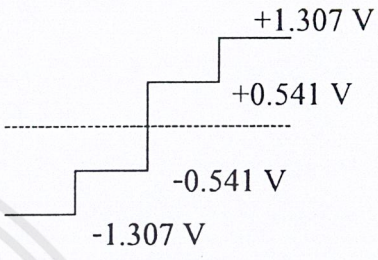
จากรูปที่ 2.1 สัญญาณดิจิตอลที่เป็นข้อมูลอินพุต (bit rate = f_b) ที่เข้ามาจะถูกแยกออกเป็น 3 บิต โดยภาคแปลงสัญญาณขนานเป็นอนุกรม (Parallel to Serial Converter) ซึ่งจะให้เป็นสัญญาณ I (In-Phase Channel) สัญญาณ Q (Quadrature Phase Channel) และสัญญาณ C (Control Channel) โดยในแต่ละบิตจะมีบิตเรทเป็น 1 ใน 3 ของข้อมูล สัญญาณอินพุตที่รับเข้ามา (bit rate = $f_b/3$) สัญญาณแชนแนล I และสัญญาณแชนแนล C จะเข้าสู่ภาค I เพื่อแปลงสัญญาณดิจิตอล 2 ระดับเป็นสัญญาณอนาลอก 4 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(I-Channel 2 to 4 level Converter) และสัญญาณ Q และ $\bar{C}$ จะเข้าสู่ภาค Q เพื่อแปลงสัญญาณดิจิตอล 2 ระดับเป็น 4 ระดับ (Q-Channel 2 to 4 level Converter) โดยที่ภาค 2 to 4 level Converter นั้นจะเป็นการเข้ารหัสข้อมูลจากสัญญาณดิจิตอล 2 บิต ไปเป็นสัญญาณอนาลอก 4 ระดับ (Digital to Analog Converter , DACs) ดัง ตารางที่ 2.1

I	C	Output
0	0	-0.541 V
0	1	-1.307 V
1	0	+0.541 V
1	1	+1.307 V

Q	$\bar{C}$	Output
0	1	-1.307 V
0	0	-0.541 V
1	1	+1.307 V
1	0	+0.541 V



ตารางที่ 2.1 ตารางแสดงระดับแรงดันเอาต์พุตที่ภาค I – Q Channel 2 to 4 Level Converter

ตารางที่ 2.1 จะเห็นว่าข้อมูลชุด I – C กับ Q - $\bar{C}$ จะไม่มีทางที่จะมีข้อมูลเหมือนกันได้ เพราะบิต C จะเป็นบิตที่ตรงข้ามกัน เพราะฉะนั้นระดับแรงดันอนาลอกที่ได้จากภาค 2 to 4 level Converter ทั้งสองชุดก็จะไม่มีทางซ้ำกันด้วย ซึ่งสัญญาณอนาลอกที่ได้จะเป็นแบบ M-array , Pulse Amplitude Modulate (PAM) โดยที่ M = 4 โดยจะมีบิตเรทของสัญญาณเท่ากับครึ่งหนึ่งของบิตเรทของข้อมูลดิจิตอลที่เข้ามา เพราะฉะนั้นที่จุดนี้จึงมีบิตเรทเท่ากับ $f_b/6$

ตัวอย่างเช่น เรามีข้อมูลสัญญาณดิจิตอล Q = 0 , I = 0 และ C = 0 (ข้อมูล 000) เราจะได้ลักษณะของสัญญาณ 8 – PSK คือ

ข้อมูล I – C เป็น 0 0 จากตารางที่ 2.1 เราจะได้เอาต์พุตเป็น - 0.541

ข้อมูล Q - $\bar{C}$ เป็น 0 1 จากตารางที่ 2.1 เราจะได้เอาต์พุตเป็น - 1.307

ระดับแรงดันทั้งสองจะเข้าภาค Product Modulater ซึ่งเป็นวงจรคูณ โดยที่ I – Channel จะคูณกับสัญญาณคลื่นพาหะ $\sin \omega_c t$ ส่วนที่ Q – Channel จะคูณกับสัญญาณคลื่นพาหะที่มีความต่างเฟสกับสัญญาณคลื่นพาหะที่ I – Channel อยู่ 90 องศา นั่นก็คือ $\cos \omega_c t$ ดังนั้นจะได้สัญญาณทั้งสองด้านคือ

$$I = (-0.541)(\sin \omega_c t) = -0.541 \sin \omega_c t$$

$$Q = (-1.307)(\cos \omega_c t) = -1.307 \cos \omega_c t$$

เมื่อนำสัญญาณทั้งสองมาบวกกันที่ linear summing amp จะได้เอาต์พุตดังนี้

จากสูตรตรีโกณมิติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$A\sin(x+\theta) = a\cos(x) + b\sin(x) \qquad (2.1)$$

โดยที่

$$\theta = \tan^{-1}\frac{b}{a}$$

$$A = \sqrt{a^2 + b^2}$$

ดังนั้น Summing Output $= -0.541 \sin \omega_c t - 1.307 \cos \omega_c t$

$= 1.41 \sin(\omega_c t - 112.5^\circ)$

หรือถ้าข้อมูลเป็น 0 1 0 (Q I C) เราจะได้ลักษณะของสัญญาณ 8-PSK คือ

ข้อมูล I – C เป็น 1 0 จากตารางที่ 2.1 เราจะได้เอาต์พุตเป็น +0.541

ข้อมูล Q – $\overline{C}$ เป็น 0 1 จากตารางที่ 2.1 เราจะได้เอาต์พุตเป็น -1.307

จะได้สัญญาณทั้งสองด้านที่ผ่านการมอดูเลตแล้วคือ

$I = (+0.541)(\sin \omega_c t) = +0.541 \sin \omega_c t$

$Q = (-1.307)(\cos \omega_c t) = -1.307 \cos \omega_c t$

ดังนั้น Summing Output $= +0.541 \sin \omega_c t - 1.307 \cos \omega_c t$

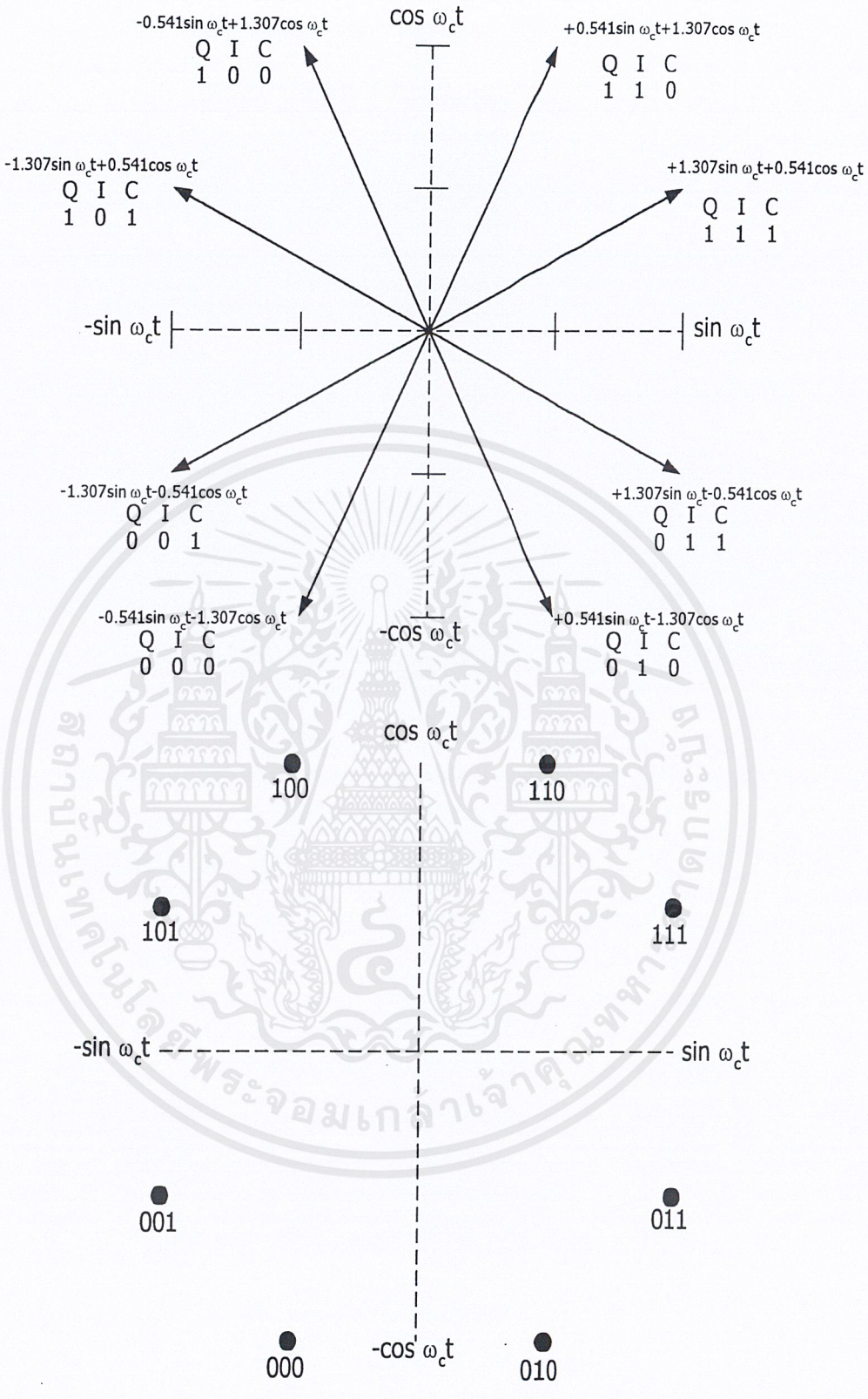
$= 1.41 \sin(\omega_c t - 67.5^\circ)$

ซึ่งลักษณะข้อมูลอื่น ๆ ก็จะเป็นเช่นเดียวกัน ซึ่งจะแสดงลักษณะเฟส และเวกเตอร์ต่างๆ ตามรูปที่ 2.2 และตารางที่ 2.2

Binary Input			8 - PSK
Q	I	C	Output Phase
0	0	0	-112.5°
0	0	1	-157.5°
0	1	0	-67.5°
0	1	1	-22.5°
1	0	0	112.5°
1	0	1	157.5°
1	1	0	67.5°
1	1	1	22.5°

ตารางที่ 2.2 ตารางแสดงลักษณะข้อมูล และ เฟสต่างๆ ของสัญญาณ 8 – PSK

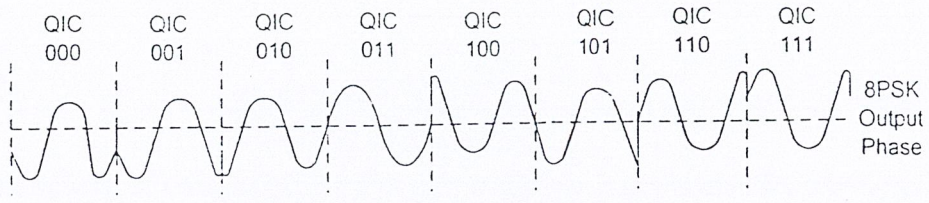
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



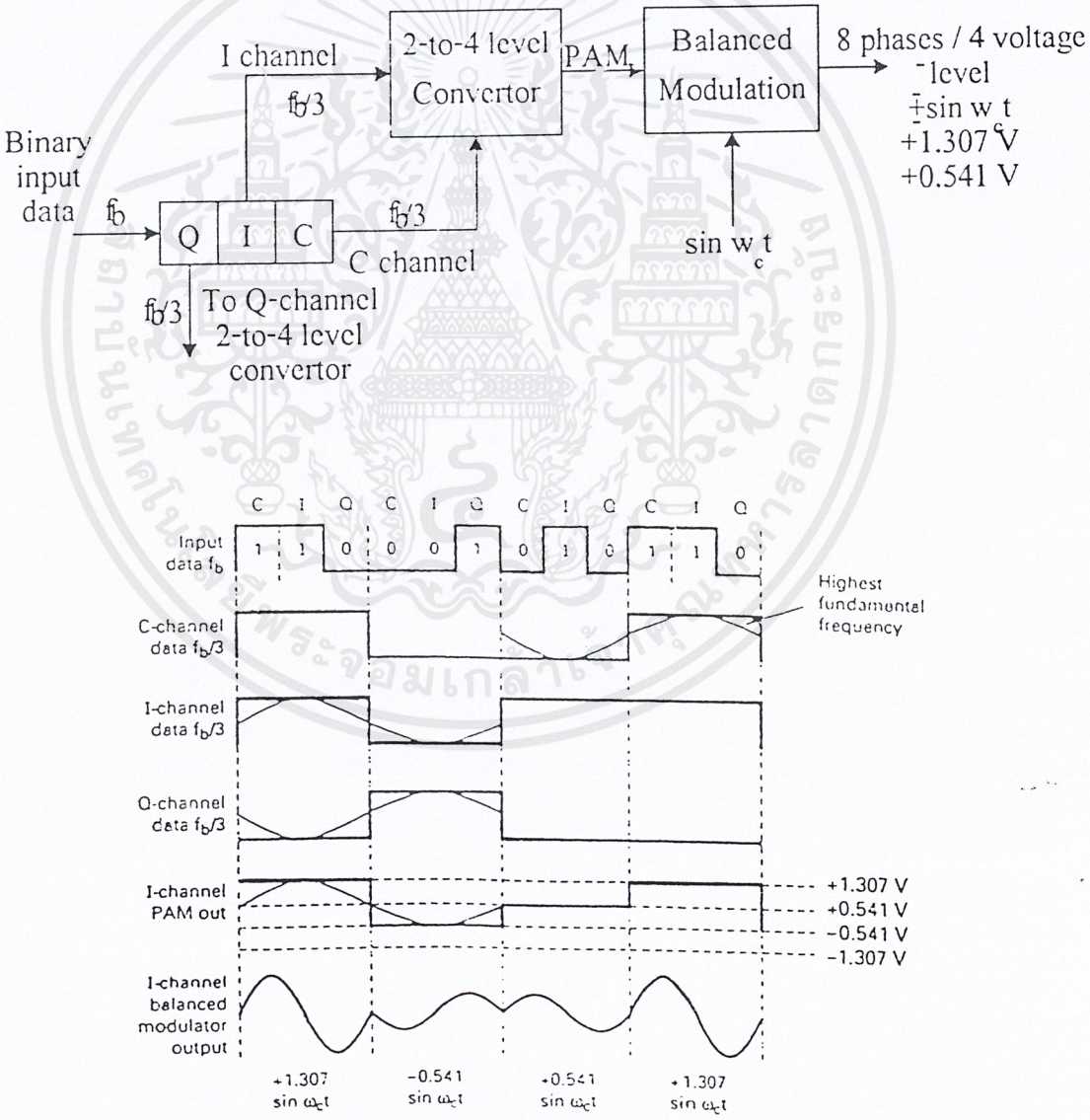
รูปที่ 2.2 ลักษณะของ phase diagram และ constellation diagram

จากรูปที่ 2.2 และตารางที่ 2.2 จะเป็นลักษณะเฟสที่เกิดขึ้น เนื่องจากข้อมูลที่ต่างๆ กันซึ่งแต่ละเฟสที่เกิดขึ้นจะต่างกัน 45 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 ลักษณะเฟสที่เทียบกับแกนเวลา ของ 8 – PSK



รูปที่ 2.4 ลักษณะสัญญาณที่จุดต่างๆ ของ 8- PSK มอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.3 และ 2.4 จะเป็นรูปสัญญาณในจุดต่างๆ ของการมอดูเลตแบบ 8 – PSK ที่แสดงลักษณะการเปลี่ยนแปลงตามเฟสของข้อมูล ซึ่งจะมีความเร็วในการส่งข้อมูลเท่ากับ $f_b/3$

ในส่วนของวงจรบาลานซ์มอดูเลเตอร์นั้นจะเป็นวงจรคูณอนาลอกซึ่งจะเป็นแบบ Four – Quadrant Multiplier เพราะมีการคูณกันทั้ง 4 ควอดแดรนซ์ (Quadrant) เอาต์พุตที่ได้จะเป็นผลคูณระหว่างสัญญาณ PAM ที่ออกจากวงจรแปลงสัญญาณจากดิจิตอล 2 ระดับ เป็นสัญญาณอนาลอก 4 ระดับ (2 to 4 Level Converter) กับสัญญาณคลื่นพาหะ และเมื่อนำสัญญาณทั้งที่ แชนแนล I และ แชนแนล Q มารวมกัน ก็จะได้สัญญาณที่มีการเปลี่ยนแปลงเฟส 8 เฟสตามสมการข้างต้น

2.3 แบนด์วิดธ์ของ 8 – PSK

จากการที่การมอดูเลตแบบ 8 – PSK เป็นการนำเอาข้อมูลมาทีละ 3 บิต ซึ่งมาจากอินพุต 8 บิตที่ป้อนเข้ามา (บิตเรทเท่ากับ f_b) ถูกแยกออกเป็น 3 บิต ซึ่งจะทำให้บิตเรทในส่วนของสัญญาณ I Q และ C มีค่าเป็น 1 ใน 3 ของสัญญาณดิจิตอลอินพุตที่เข้ามา ($f_b/3$) เช่นเดียวกัน

ในรูปที่ 2.4 จะเป็นลักษณะของการเปลี่ยนแปลงของสัญญาณดิจิตอลอินพุต ที่มีการแยกข้อมูลออกเป็น 3 บิต คือ I C Q และสัญญาณ PAM ในส่วนของแชนแนล I จะเห็นว่าที่สัญญาณ I C หรือ Q นั้นมีความถี่พื้นฐานสูงสุด (Highest Fundamental) เป็น 1/6 ของบิตเรทของสัญญาณดิจิตอลอินพุตที่เข้ามาเช่นกัน

ในการมอดูเลตแบบ 8 – PSK มีการเปลี่ยนแปลงเฟสทุกๆ ข้อมูล 3 บิตที่เข้ามา ฉะนั้นอัตราเร็วในการส่งข้อมูล (Baud Rate) จะมีค่าเท่ากับ $f_b/3$ ซึ่งจะมีเป็นค่าแบนด์วิดธ์ต่ำสุดในการส่งสัญญาณ จากวงจรบาลานซ์มอดูเลเตอร์ซึ่งเป็นวงจรคูณ เราจะได้สมการผลคูณของสัญญาณ PAM ที่ออกจากภาค 2 to 4 Level Converter กับสัญญาณคลื่นพาหะที่เอาต์พุตของบาลานซ์มอดูเลเตอร์ คือ

$$\theta = (X \sin \omega_b t)(\sin \omega_C t)$$

โดยที่ $\omega_b = 2\pi \frac{f_b t}{6}$ และ $\omega_C t = 2\pi f_C t$

และ $X = \pm 1.307$ หรือ ± 0.541

ดังนั้น $$\theta = X \sin 2\pi \frac{f_b t}{6} \left(\sin 2\pi f_C t\right)$$

$$= \frac{X}{2} \cos 2\pi \left[f_C - \frac{f_b}{6} \right] t \quad \frac{X}{2} \cos 2\pi \left[f_C + \frac{f_b}{6} \right] t$$

สเปกตรัมของสัญญาณที่เอาต์พุตจะมีค่าตั้งแต่ $f_C + \frac{f_b}{6}$ ถึง $f_C - \frac{f_b}{6}$ และค่า Bandwidth ต่ำสุด (f_m) คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$(f_C + \frac{f_b}{6}) \quad (f_C \quad \frac{f_b}{6}) = \frac{2f_b}{6} = \frac{f_b}{3}$$

ตัวอย่างเช่น ในการส่งแบบ 8 – PSK ระบบหนึ่ง มีบิตเรท (f_b) เท่ากับ 10 Mbps และใช้ความถี่ของคลื่นพาหะเท่ากับ 70 MHz

เราจะได้บิตเรทของสัญญาณ I (f_{bI}), Q (f_{bQ}) และ C (f_{bC}) เป็น 1 ใน 3 ของบิตเรทอินพุต คือ

$$f_{bI} = f_{bQ} = f_{bC} = \frac{10\,\text{Mbps}}{3}$$

เราจะได้ความถี่พื้นฐานสูงสุด (Highest Fundamental Frequency) ที่เข้าสู่ภาคบาลานซ์มอดูเลเตอร์ คือ

$$f_a = \frac{f_{bC}}{2} \text{ หรือ } \frac{f_{bQ}}{2} \text{ หรือ } \frac{f_{bI}}{2} = \frac{3.33\,\text{Mbps}}{2} = 1.667\,\text{Mbps}$$

สัญญาณเอาต์พุตที่ออกจากภาคบาลานซ์มอดูเลเตอร์ คือ

$$(\sin 2\pi f_a t)(\sin 2\pi f_c t)$$

$$= \frac{1}{2}\cos 2\pi(f_c - f_a)t - \frac{1}{2}\cos 2\pi(f_c + f_a)t$$

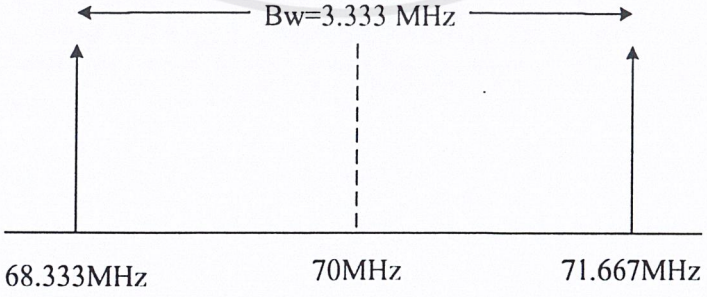
$$= \frac{1}{2}\cos 2\pi[(70 - 1.667)\text{MHz}]t - \frac{1}{2}\cos 2\pi[(70 + 1.667)\text{MHz}]t$$

$$= \frac{1}{2}\cos 2\pi(68.33\,\text{MHz})t - \frac{1}{2}\cos 2\pi(71.667\,\text{MHz})t$$

จะได้ค่าแบนด์วิดธ์ต่ำสุด (Minimum Nyquist Bandwidth) คือ

$$f_n = (71.667 - 68.33)\text{MHz} = 3.333\ \text{MHz}$$

ซึ่งจะมีลักษณะสเปกตรัมดังรูป



เราจะเห็นว่าแบนด์วิดธ์บิตเรทที่ส่งออกไปจะมีค่าเป็น 1 ใน 3 ของบิตเรทของสัญญาณดิจิตอลอินพุตที่เข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ประสิทธิภาพของแถบความถี่

ประสิทธิภาพของแถบความถี่ (หรือความหนาแน่นของข้อมูล) ถูกใช้เปรียบเทียบการทำงานของเทคนิคการมอดูเลตหนึ่ง ๆ กับแบบอื่น ๆ สิ่งที่สำคัญก็คือ อัตราส่วนบิตเรทในการสื่อสารกับแถบความถี่ที่น้อยที่สุดที่ต้องการ สำหรับการมอดูเลตที่ต้องการความละเอียด ประสิทธิภาพของแถบความถี่ที่ปกติเป็นแถบความถี่ 1 Hz ทำให้แยกจำนวนบิตที่สามารถส่งผ่านอุปกรณ์สำหรับแถบความถี่แต่ละเฮิร์ตเขียนสมการได้เป็น

$$\text{BW efficiency} = \frac{\text{transmission rate}(\text{bps})}{\text{min imum bandwidth}(\text{Hz})}$$

$$= \frac{\text{bit / sec}}{\text{hertz}}$$

$$= \frac{\text{bit / sec}}{\text{cycle / sec}}$$

$$= \frac{\text{bits}}{\text{cycle}}$$

การหาประสิทธิภาพของแถบความถี่สำหรับการมอดูเลตแบบ BPSK , QPSK , 8 –PSK และ 16- QAM จากตารางเป็นการแสดงแถบความถี่ที่น้อยที่สุดที่ใช้ส่งสัญญาณที่มีอัตราส่ง 10 Mbps ด้วยการมอดูเลตด้วยรูปแบบต่าง ๆ

Modulation Technique	Minimum Bandwidth (MHz)
BPSK	10
QPSK	5
8-PSK	3.33
16-QAM	2.5

ตารางที่ 2.3 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลตต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Modulation	Encoding	Bandwidth (Hz)	Baud	Bandwidth efficiency (bps/Hz)
FSK	Single bit	$>f_b$	f_b	<1
BPSK	Single bit	f_b	f_b	1
QPSK	Dibit	$f_{b/2}$	$f_{b/2}$	2
8PSK	Tribit	$f_{b/3}$	$f_{b/3}$	3
8QAM	Tribit	$f_{b/3}$	$f_{b/3}$	3
16PSK	Quadbit	$f_{b/4}$	$f_{b/4}$	4
16QAM	Quadbit	$f_{b/4}$	$f_{b/4}$	4

ตารางที่ 2.4 สรุปข้อแตกต่างของ FSK , PSK ,QAM

แทนค่าลงในสมการจะได้ค่าประสิทธิภาพแถบความถี่ดังนี้

$$\text{BPSK;BW efficiency} = \frac{10\text{Mbps}}{10\text{MHz}} = \frac{1\text{bps}}{\text{Hz}} = \frac{1\text{bit}}{\text{cycle}}$$

$$\text{QPSK;BW efficiency} = \frac{10\text{Mbps}}{5\text{ MHz}} = \frac{2\text{bps}}{\text{Hz}} = \frac{2\text{bit}}{\text{cycle}}$$

$$8-\text{PSK;BW efficiency} = \frac{10\text{Mbps}}{3.33\text{MHz}} = \frac{3\text{bps}}{\text{Hz}} = \frac{3\text{bit}}{\text{cycle}}$$

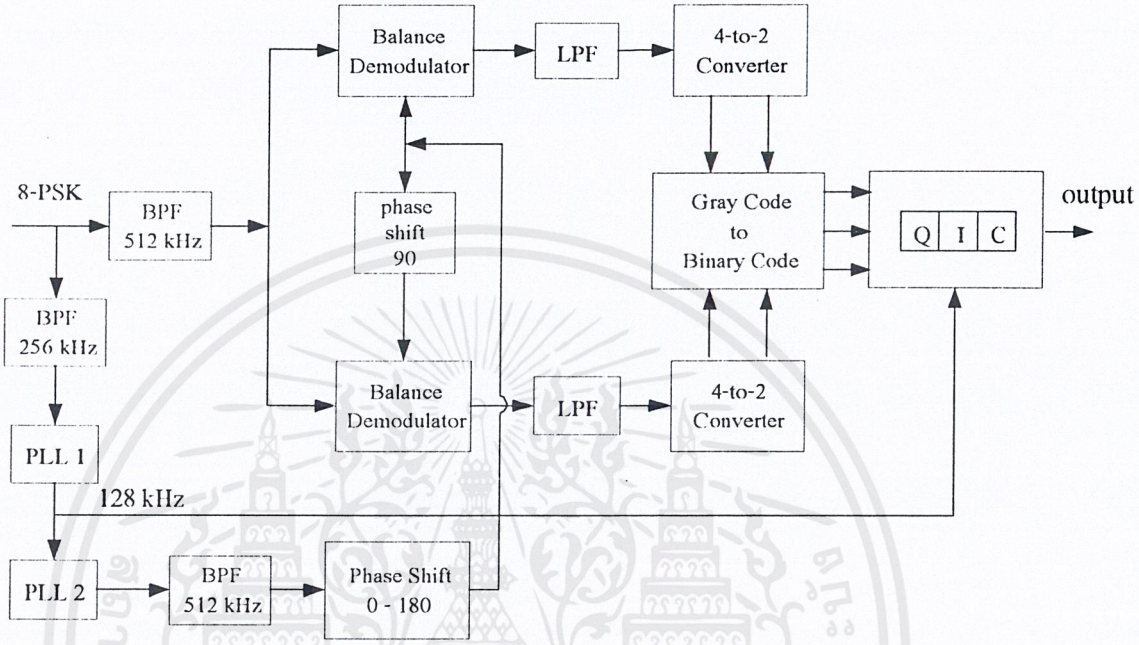
$$16-\text{QAM;BW efficiency} = \frac{10\text{Mbps}}{2.5\text{MHz}} = \frac{4\text{bps}}{\text{Hz}} = \frac{4\text{bit}}{\text{cycle}}$$

ผลที่ได้แสดงให้เห็นว่า BPSK มีประสิทธิภาพต่ำสุดและ 16 QPSK มีประสิทธิภาพสูงสุดและ QPSK ต้องการเพียงครึ่งหนึ่ง ของแถบความถี่ที่ใช้ใน BPSK ในอัตราบิตเรทอินพุตที่เท่ากัน และสรุปข้อแตกต่างได้ในตารางที่ 2.4

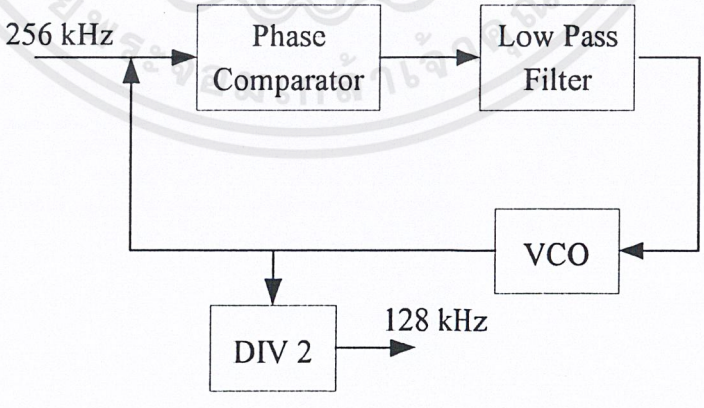
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 ภาครับสัญญาณ 8 – PSK

ลักษณะของบล็อกไดอะแกรมของภาครับสัญญาณ 8 - PSK จะแสดงดังรูปที่ 2.5

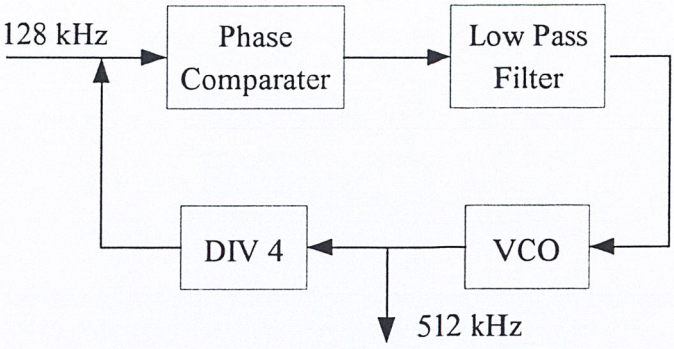


รูปที่ 2.5 บล็อกไดอะแกรมของเครื่องรับ 8 – PSK



รูปที่ 2.6 แผนผังการทำงานของ PLL1 ทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แผนผังการทำงานของ PLL2 ทางภาครับ

จากรูปที่ 2.5 เมื่อรับสัญญาณ 8 – PSK เข้ามาจะเข้าภาคแยกสัญญาณ (Power Splitter) เพื่อแยกสัญญาณออกไปที่ I - Channel และ Q – Channel และจะนำสัญญาณส่วนหนึ่งไปเข้าวงจรกู้คลื่นพาหะ (Carrier Recovery Circuit) เพื่อกู้สัญญาณคลื่นพาหะให้มีความสัมพันธ์กับสัญญาณอินพุตที่เข้ามาเพื่อนำไปใช้ในภาคดีมอดูเลต

ที่ด้าน I – Channel สัญญาณจะถูกดีมอดูเลตกับคลื่นพาหะที่กู้ได้ ซึ่งจะได้เอาต์พุต ออกมาเป็นสัญญาณที่มีระดับแรงดัน 4 ระดับ โดยมีขนาดลดลงครึ่งหนึ่ง ตามข้อมูลที่ส่งมาแต่จะมีความถี่คลื่นพาหะรวมอยู่ด้วย จึงต้องนำสัญญาณนี้ไปผ่านวงจรกรองความถี่ต่ำ จึงจะได้เป็นสัญญาณ PAM 4 ระดับออกมา ส่วนที่ด้าน Q - Channel ก็จะถูกดีมอดูเลตกับคลื่นพาหะที่กู้ได้เช่นเดียวกัน แต่จะเลื่อนเฟสของสัญญาณพาหะไป 90 องศา ก็จะได้เป็นสัญญาณ PAM 4 ระดับดังสมการดังนี้

สัญญาณ 8 – PSK ที่เข้ามา $= A\sin(\omega_c t+\theta)$

ที่ I – Channel $= A\sin(\omega_c t+\theta)*\sin(\omega_c t)$

$$= A\{\sin(\omega_c t)\cos(\theta)\sin(\omega_c t)+\sin(\theta)\cos(\omega_c t)\sin(\omega_c t)\ \}$$

$$= A\cos(\theta)\sin^2(\omega_c t)+A\sin(\theta)\cos(\omega_c t)\sin(\omega_c t)$$

$$= A\cos(\theta)\left(\frac{1-\cos(2\omega_c t)}{2}\right)+A\sin(\theta)\frac{\sin(2\omega_c t)}{2}$$

$$= \frac{A\cos(\theta)}{2}-\frac{A\cos(\theta)\cos(2\omega_c t)}{2}+A\sin(\theta)\frac{\sin(2\omega_c t)}{2}$$

$$= \frac{A}{2}\cos(\theta)$$

จากสมการจะเห็นว่า เมื่อนำสัญญาณ 8-PSK ที่รับได้มาคูณกับสัญญาณ $\sin(\omega_c t)$ จะได้เป็นสัญญาณที่มีแอมปลิจูดต่าง ๆ กัน ซึ่งจะขึ้นอยู่กับค่าเฟสที่ส่งเข้ามา และจะมีความถี่ที่มีค่าเป็นสองเท่าของความถี่คลื่นพาหะเดิมรวมเข้ามาด้วย และเมื่อนำสัญญาณที่ได้ไปผ่านวงจรกรองความถี่ต่ำผ่านก็จะได้เป็นสัญญาณ PAM ออกมาตามทฤษฎีข้างต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนทางด้าน Q- Chanel จะนำเอาสัญญาณอินพุตที่รับเข้ามา คูณกับสัญญาณ $\cos(\omega_c t)$ ก็จะได้ค่าตามสมการดังนี้

$$\begin{aligned}
\text{ที่ Q – Channel} &= A\sin(\omega_c t+\theta)*\cos(\omega_c t)\\
&= A\sin(\omega_c t)\cos(\theta)\cos(\omega_c t)+A\sin(\theta)\cos^2(\omega_c t)\\
&= A\cos(\theta)\frac{\sin(2\omega_c t)}{2}+A\sin(\theta)\left(\frac{1+\cos(2\omega_c t)}{2}\right)\\
&= A\cos(\theta)\frac{\sin(2\omega_c t)}{2}+\frac{A\sin\theta}{2}+\frac{A\sin(\theta)\cos(2\omega_c t)}{2}\\
&= \frac{A}{2}\sin(\theta)
\end{aligned}$$

โดยที่วงจรกรองความถี่ต่ำจะมีความถี่คัทออฟเท่ากับ $\frac{f_b}{3}$ เพื่อขจัดความถี่คลื่นพาหะออก ก็จะได้สัญญาณแบบ PAM ที่มีลักษณะใกล้เคียงกับภาคส่ง แต่ระดับแรงดันที่ได้จะมีขนาดลดลงครึ่งหนึ่ง หรืออาจจะมีค่าลดลงมากกว่านี้ ขึ้นอยู่กับการสูญเสียที่เกิดขึ้นในการรับส่งสัญญาณ เมื่อได้ระดับแรงดัน PAM 4 ระดับ แล้วก็จะเข้าสู่วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ซึ่งจะเป็นสัญญาณบิตคู่ คือ บิต I C และ บิต Q $\overline{C}$ จะมาเข้าสู่วงจรแปลงข้อมูลจากขนานเป็นอนุกรม ก็จะได้สัญญาณข้อมูลดิจิตอลกลับคืนมา

2.6 วงจรกรองช่วงความถี่ (Filter)

วงจรกรองช่วงความถี่นี้ จะทำหน้าที่คัดเลือกสัญญาณในช่วงความถี่ที่ต้องการให้สามารถผ่านวงจรออกมาได้โดยที่ไม่ถูกลดทอน ในขณะเดียวกันก็จะกำจัดหรือลดทอนความถี่อื่นที่นอกเหนือจากความถี่ที่ต้องการออก ซึ่งจะเป็นช่วงความถี่ใดนั้นขึ้นอยู่กับการออกแบบวงจร จะเรียกย่านความถี่ที่วงจรยอมให้ผ่านได้ว่า ย่านความถี่ผ่าน (passband) และย่านความถี่ที่วงจรกรองความถี่จะกั้นไว้ไม่ให้ผ่านเรียกว่า ย่านความถี่หยุด (stopband) หน้าที่วงจรกรองช่วงความถี่ผ่านจะทำหน้าที่กรองสัญญาณคลื่นรูปไซน์ออกจากสัญญาณสี่เหลี่ยม

วงจรกรองความถี่ที่ใช้งานโดยทั่วไปแบ่งได้ 2 รูปแบบ คือวงจรกรองความถี่แบบพาสซีฟ (Passive Filter) และวงจรกรองความถี่แบบแอคทีฟ (Active Filter)

1. วงจรกรองความถี่แบบพาสซีฟ (Passive Filter) เป็นวงจรกรองสัญญาณแบบต่อเนื่องที่ใช้อุปกรณ์ที่ไม่ต้องการไฟเลี้ยงได้แก่อุปกรณ์จำพวกตัวต้านทาน (Resistor ; R) ขดลวดเหนี่ยวนำ (Inductor ; L) และตัวเก็บประจุ (Capacitor; C) โดยอาศัยคุณสมบัติของอุปกรณ์ L และ C ที่มีค่าอิมพีแดนซ์ (Impedance) เปลี่ยนแปลงตามความถี่มาทำให้เกิดการกรองสัญญาณตามความถี่ วงจรกรองชนิดนี้นิยมใช้กันมากในการกรองสัญญาณที่มีความถี่สูงถึงสูงมาก เช่น ในโทรศัพท์เคลื่อนที่แบบพกพา (mobile phone) แต่วงจรกรองชนิดนี้ไม่สามารถใช้ในย่านความถี่ต่ำได้เนื่องจากจะต้องใช้ตัวต้านทานขนาดใหญ่ ซึ่งจะทำให้เกิดการสูญเสีย (loss) มาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2. วงจรกรองความถี่แบบแอคทีฟ (Active Filter) เป็นวงจรกรองสัญญาณแบบต่อเนื่องที่ใช้อุปกรณ์ประเภทแอคทีฟร่วมกับตัวต้านทานและตัวเก็บประจุ วงจรกรองความถี่แบบแอคทีฟที่นิยมใช้ในปัจจุบัน ได้แก่ วงจรกรองแบบ active RC ประกอบไปด้วยออปแอมป์ ตัวต้านทานและตัวเก็บประจุและวงจรกรองแบบ Gm-C ซึ่งประกอบไปด้วยอุปกรณ์ทรานส์คอนดักเตอร์ (transconductor) และตัวเก็บประจุ วงจรกรองประเภทนี้นิยมใช้ในย่านความถี่ปานกลางไปจนถึงความถี่สูง

ข้อดีของวงจรกรองความถี่แบบแอคทีฟที่เหนือกว่าวงจรกรองความถี่แบบพาสซีฟ

1. วงจรกรองความถี่แบบแอคทีฟ มีราคาถูกกว่าแบบพาสซีฟ เพราะไม่อาศัยขดลวดเหนี่ยวนำที่มีราคาแพง และใช้ออปแอมป์ซึ่งปัจจุบันราคาถูก
2. การปรับอัตราขยายและปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดอัตราขยายของออปแอมป์ชดเชยกับอัตราการลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราการขยายของวงจรทั้งหมดด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยายออปแอมป์ และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า R C เท่านั้น
3. ไม่มีปัญหาการโหลดดิ้ง (loading) จากการที่ออปแอมป์มีคุณสมบัติของอินพุตอิมพีแดนซ์สูงและเอาต์พุตอิมพีแดนซ์ต่ำ วงจรกรองความถี่แบบแอคทีฟใช้ออปแอมป์จึงไม่เกิดปัญหาการโหลดดิ้งกับเอาต์พุต และอินพุตของวงจร ณ จุดที่นำวงจรกรองความถี่แบบแอคทีฟมาใช้งาน

แต่อย่างไรก็ตามข้อจำกัดการใช้งานของวงจรกรองความถี่แบบแอคทีฟ ก็ยังกลายเป็นผลเสีย ดังต่อไปนี้

(ก) ความถี่ตอบสนอง (Frequency Response) มีค่าขึ้นอยู่กับชนิดของออปแอมป์ที่นำมาประกอบเป็นวงจร

(ข) แรงดันแหล่งจ่ายกำลังสำหรับวงจรกรองแบบแอคทีฟ ขนาดแรงดันของแหล่งจ่ายกำลังจะไม่เหมือนกับวงจรกรองแบบแอคทีฟ และมีค่าขึ้นกับแรงดันจ่ายกำลังที่ป้อนเข้าออปแอมป์ ดังนั้นจึงกลายเป็นข้อจำกัด

ในการจำแนกชนิดของวงจรกรองความถี่ตามลักษณะการทำงานนั้นสามารถแบ่งได้เป็น 5 ชนิด คือ

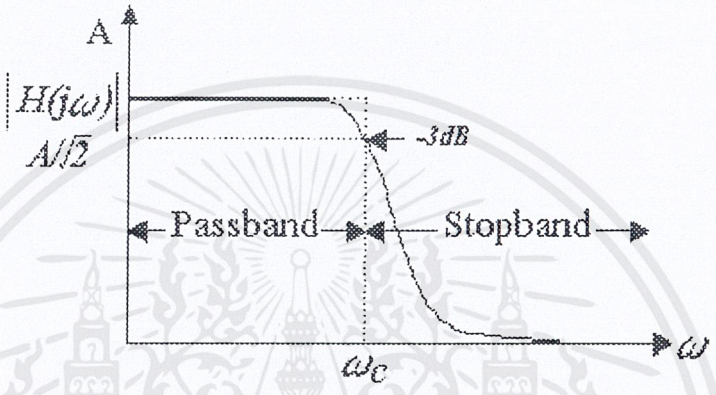
1. วงจรกรองความถี่ต่ำผ่าน (Lowpass Filter ; LPF)
2. วงจรกรองความถี่สูงผ่าน (Highpass Filter ; HPF)
3. วงจรกรองแถบความถี่ผ่าน (Bandpass Filter ; BPF)
4. วงจรกรองกำจัดแถบความถี่ (Notch or Band – Reject Filter ; BRF)
5. วงจรกรองผ่านทุกแถบความถี่ (Allpass Filter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42140

2.6.1 วงจรกรองความถี่ต่ำผ่าน

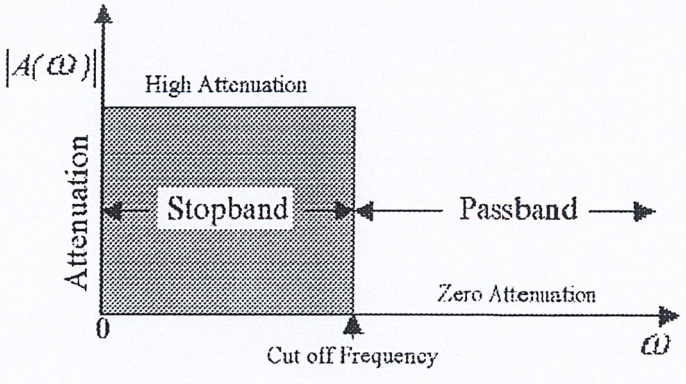
วงจรกรองความถี่ต่ำผ่านเป็นวงจรกรองที่ยอมให้สัญญาณความถี่ต่ำผ่านได้โดยพยายามให้มีการลดทอนเพียงเล็กน้อย แต่ในกรณีที่สัญญาณมีความถี่สูงกว่าความถี่คัทอ็อฟ (Cut off Frequency) จะเกิดการลดทอนสูง ในทางอุดมคติวงจรกรองความถี่ต่ำผ่านสามารถแยกความถี่สูงออกจากความถี่ต่ำได้อย่างเด็ดขาดแต่ในทางปฏิบัติเป็นไปไม่ได้เนื่องจากมีค่าความเหนี่ยวนำและค่าความเก็บประจุที่มีผลทำให้เกิดมีริบเปิล (ripple) ติดออกมา คุณสมบัติเช่นนี้ของวงจรกรองความถี่ต่ำผ่านแสดงให้เห็นดังกราฟผลตอบสนองเชิงขนาดของสัญญาณ



รูปที่2.8 ผลตอบสนองเชิงขนาดของวงจรกรองความถี่ต่ำผ่าน

จากกราฟที่แสดงดังรูปที่ 2.8 นั้นเส้นประแสดงถึงการตอบสนองเชิงขนาดของสัญญาณ ในทางอุดมคติ ส่วนเส้นทึบที่เหลือคือผลตอบสนองเชิงขนาดของสัญญาณในการใช้งานจริง ซึ่งสามารถแสดงคุณลักษณะเฉพาะได้ใกล้เคียงผลตอบสนองทางอุดมคติมากที่สุด ค่า ω_c (แปลงเป็น f_c ในหน่วย Hz ได้โดยใช้ $f_c = \omega_c / 2\pi$) เป็นความถี่คัทออฟ กำหนดให้ที่จุด $H(j\omega)$ มีค่า 0.707 เท่าของค่าแอมปลิจูดสูงสุด ในที่นี้แสดงด้วยค่า A ความถี่ในช่วงย่านที่สามารถผ่านได้อยู่ในช่วง ω มากกว่า 0 แต่น้อยกว่า ω_c และความถี่เกินจาก ω_c (ω มากกว่า ω_c) จะสามารถผ่านไปได้

2.6.2 วงจรกรองความถี่สูงผ่าน

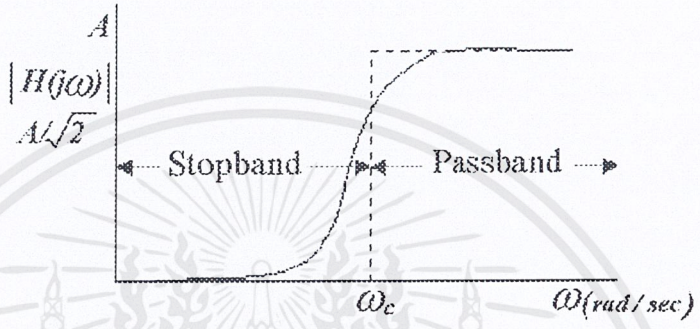


รูปที่ 2.9 ผลตอบสนองวงจรกรองความถี่สูงผ่านในอุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่สูงผ่าน เป็นวงจรที่ยอมให้สัญญาณความถี่สูงกว่าค่าความถี่ที่เลือกไว้ผ่านไปได้ทั้งหมด ในขณะที่จะจำกัดหรือลดทอนความถี่ที่ต่ำกว่าค่าที่เลือกไว้ แต่ในกรณีที่ความถี่ของสัญญาณต่ำกว่าความถี่คัทออฟจะเกิดการลดทอนสูง กล่าวได้ว่าเป็นลักษณะการทำงานที่ตรงกันข้ามกับวงจรกรองความถี่ต่ำผ่าน ดังรูปที่ 2.9

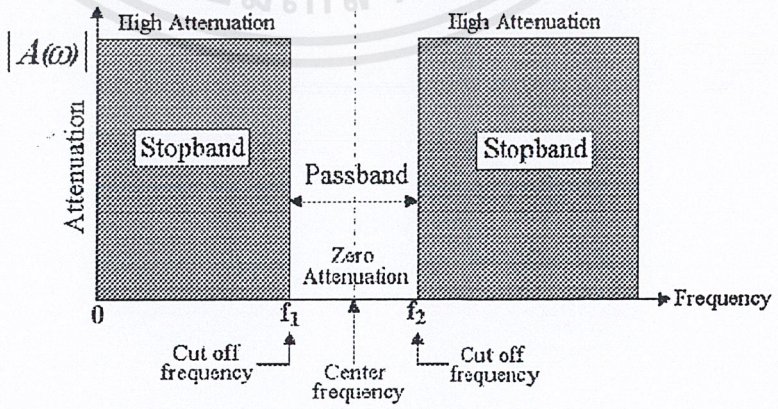
คุณสมบัติเช่นนี้ของวงจรกรองความถี่สูงผ่านแสดงให้เห็นดังรูปที่ 2.10 โดยเส้นประเป็นการตอบสนองเชิงขนาดของสัญญาณในทางอุดมคติ ส่วนเส้นทึบนั้นแสดงถึงการตอบสนองเชิงขนาดของสัญญาณในทางปฏิบัติ



รูปที่ 2.10 ผลตอบสนองเชิงขนาดของวงจรกรองความถี่สูงผ่าน

2.6.3 วงจรกรองแถบความถี่ผ่าน

วงจรกรองแถบความถี่ผ่านเป็นวงจรที่ยอมให้สัญญาณที่มีความถี่ในช่วงหนึ่งที่เลือกไว้ผ่านวงจรชนิดนี้ไปได้เท่านั้น โดยสัญญาณที่ผ่านนั้นจะเกิดการลดทอนเพียงเล็กน้อยโดยจะลดทอนความถี่อื่นใดนอกเหนือจากช่วงกว้างของแถบความถี่ที่ได้เลือกไว้แล้ว ในที่นี้ตามรูปที่ 2.11 จะเห็นว่าค่าการลดทอนในย่านพาสแบนด์ (Passband) เป็นศูนย์ ในย่านสต็อบแบนด์ (Stopband) ค่าการลดทอนจะมีค่าสูงมาก โดยที่ความถี่ f_1 และ f_2 เป็นความถี่คัทออฟ และในทางปฏิบัติความถี่ในย่านพาสแบนด์จะมีริบเปิลปะปนอยู่ด้วย

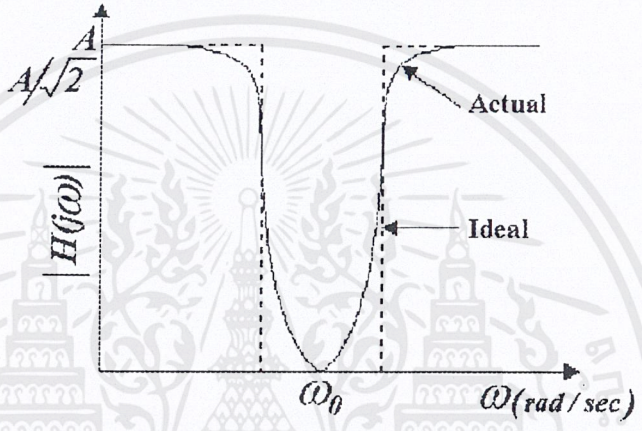


รูปที่ 2.11 ผลตอบสนองเชิงขนาดของวงจรกรองแถบความถี่ผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.4 วงจรกรองกำจัดแถบความถี่

วงจรกรองกำจัดแถบความถี่เป็นวงจรกรองความถี่อีกแบบหนึ่ง ซึ่งยอมให้สัญญาณความถี่ตลอดย่านผ่านไปได้หมด ยกเว้นแถบความถี่ช่วงหนึ่งที่จะไม่ยอมให้สัญญาณผ่านไปได้ตามรูปกราฟการตอบสนองเชิงขนาดในรูปที่ 2.12 เส้นประแสดงถึงการตอบสนองเชิงขนาดในทางอุดมคติ ส่วนเส้นทึบแสดงถึงการตอบสนองเชิงขนาดในการใช้งานจริงแถบความถี่ซึ่งถูกลดทอนหรือกำจัดทิ้งนี้จุดกึ่งกลางอยู่ที่(ω_o) โดยประมาณความกว้างของแถบความถี่เป็นแบนด์วิทธ์ (*BW*) ซึ่งอยู่ในเทอมหรือหน่วยของ *Hz* ความถี่กลาง (center frequency) นี้มาจาก ($f_o=\omega_o/2\pi$)



รูปที่ 2.12 ผลตอบสนองเชิงขนาดของวงจรกรองกำจัดแถบความถี่

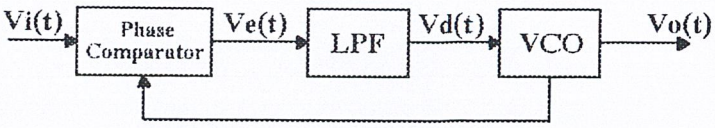
2.6.5 วงจรกรองผ่านทุกแถบความถี่

วงจรกรองผ่านทุกแถบความถี่เป็นวงจรกรองความถี่ที่มีคุณสมบัติในการที่จะยอมให้สัญญาณทุกความถี่ผ่านไปได้โดยเท่าเทียมกันตลอด ในขณะเดียวกันจะทำการเปลี่ยนหรือเลื่อนเฟสของความถี่ไปด้วยค่าที่กำหนดไว้ค่าหนึ่ง ถ้าค่าจำนวนที่กำหนดไว้เป็นค่าลดเสมือนกับมีการหน่วงสัญญาณความถี่ด้วยช่วงเวลาหนึ่ง ขณะที่สัญญาณเหล่านี้ผ่านวงจรกรองความถี่ชนิดนี้ฉะนั้นวงจรกรองผ่านทุกแถบความถี่นี้อาจเรียกอีกชื่อหนึ่งได้ว่าวงจรไทม์ดีเลย์ หรือวงจรหน่วงเวลา เฟสที่เลื่อนไปหรือเวลาที่หน่วงออกไป การส่งผ่านความถี่หรือเวลาในสมการทรานส์เฟอร์ฟังก์ชัน นิยามด้วยค่า s ซึ่งเท่ากับ $(j\omega)$ จะแปรเปลี่ยนไปตามความถี่ในขณะที่แอมพลิจูดหรือขนาดของสัญญาณยังคงมีค่าคงที่เท่าเทียมกันไปตลอดย่านความถี่ที่ใช้งาน

2.7 วงจรเฟสล็อคลูป (Phase Lock Loop : PLL)

คุณสมบัติของวงจรเฟสล็อคลูป คือ การทำให้ออสซิลเลเตอร์ (Oscillator) ที่สามารถออสซิลเลตได้หลาย ๆ ความถี่ถูกล็อคไว้ ณ สภาวะหนึ่งที่มีความถี่และมุมเฟสของสัญญาณตรงกับความถี่และมุมเฟสมาตรฐานที่ใช้อ้างอิงซึ่งทำให้ออสซิลเลเตอร์มีความเที่ยงตรงเช่นเดียวกับสัญญาณมาตรฐานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 บล็อกไดอะแกรมวงจรเฟสล็อคลูป

วงจรเฟสล็อคลูปมีองค์ประกอบพื้นฐาน 3 ส่วนดังแสดงในรูปที่ 2.13 คือ

1. เฟสดีเทคเตอร์ (Phase Detector)

เฟสดีเทคเตอร์ หรือเฟสคอมพาราเตอร์ (Phase Comparator) ประกอบด้วย 2 อินพุต ที่รับสัญญาณมาจาก VCO (Voltage Control Oscillator) ด้วยความถี่ของสัญญาณเท่ากับ f_o และมีความถี่ด้าน อินพุต f_s เป็นตัวอ้างอิง เอาต์พุตเป็นตัวชี้ให้เห็นว่าสัญญาณ f_o มีเฟสเหมือนหรือแตกต่างจาก f_s

2. วงจรกรองความถี่ต่ำผ่าน (Lowpass Filter : LPF)

วงจรกรองความถี่ต่ำผ่าน เป็นวงจรที่ประกอบไปด้วยความต้านทานและตัวเก็บประจุ มีคุณสมบัติในการกำจัดสัญญาณไฟสลับของวงจรออสซิลเลเตอร์ของทั้ง 2 วงจรออกไปจากแรงดันเอาต์พุตของวงจรเฟสดีเทคเตอร์สัญญาณอินพุตที่เข้ามาที่วงจรกรองความถี่ต่ำผ่านนั้นเป็นสัญญาณไฟตรงที่มีค่าผิดพลาด (error signal) พร้อมกับแรงดันไฟสลับกระเพื่อม จะได้สัญญาณเอาต์พุตเป็นแรงดันไฟตรงที่กรองสัญญาณแล้วเพื่อป้อนต่อไปยังวงจรขยายสัญญาณไฟตรงต่อไป

3. วงจรขยายสัญญาณไฟตรง (DC amplifier)

เป็นตัวเพิ่มระดับแรงดันไฟฟ้าเพื่อช่วยให้การควบคุมดีขึ้นเอาต์พุตของวงจรขยายสัญญาณจะจ่ายแรงดันไฟตรงตามระดับที่ต้องการเพื่อป้อนให้แก่วงจร VCO

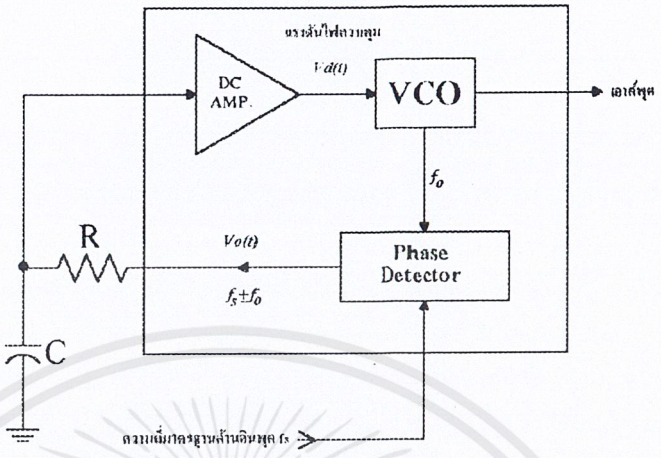
2.7.1 หลักการทำงานของวงจรเฟสล็อคลูป

เฟสล็อคลูปเป็นระบบอิเล็กทรอนิกส์ ที่มีหลักการทำให้ความถี่เอาต์พุตมีลักษณะเป็นไปตามความถี่ของสัญญาณอินพุตโดยเปรียบเทียบกันระหว่างสัญญาณทั้งสอง ถ้าเฟสไม่ตรงกันจะไม่มีแรงดันไฟฟ้าเกิดขึ้นเพื่อแก้ไขความถี่ของออสซิลเลเตอร์ใหม่ให้เฟสต่างกันน้อยลงและจะเป็นอย่างนี้ตลอดไปจึงทำให้เฟสล็อคกันอยู่ได้

จากทฤษฎีเกี่ยวกับระบบควบคุมและการป้อนกลับ วงจรเฟสดีเทคเตอร์หรือเฟสคอมพาราเตอร์ วงจรกรองความถี่ต่ำผ่าน และวงจรขยายสัญญาณคลาดเคลื่อน (Error Amplifier) จะอยู่ในส่วนของฟอร์เวิร์ด (Forward Path) และ VCO อยู่ในส่วนป้อนกลับ (Feedback Path) จากรูปที่ 2.14 เมื่อไม่มีสัญญาณอินพุตป้อนในระบบ แรงดันไฟฟ้าควบคุม : V_d (t) จะเป็นศูนย์ VCO จะทำงานตามความถี่ f_o ที่ตั้งไว้เรียกว่าความถี่ศูนย์กลาง (Center frequency) หรือความถี่ฟรีรันนิ่ง (Free running Frequency) ถ้ามีสัญญาณอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ป้อนเข้ามาวงจรเฟสคอมพาราเตอร์จะทำการเปรียบเทียบเฟส และความถี่ของสัญญาณ VCO กับอินพุตแล้วสร้างแรงดันไฟฟ้าคลาดเคลื่อน $V_o(t)$ ซึ่งสัมพันธ์กับความต่างเฟสและความถี่ของสัญญาณทั้งสอง



รูปที่ 2.14 องค์ประกอบพื้นฐานของวงจรเฟสล็อคลูป

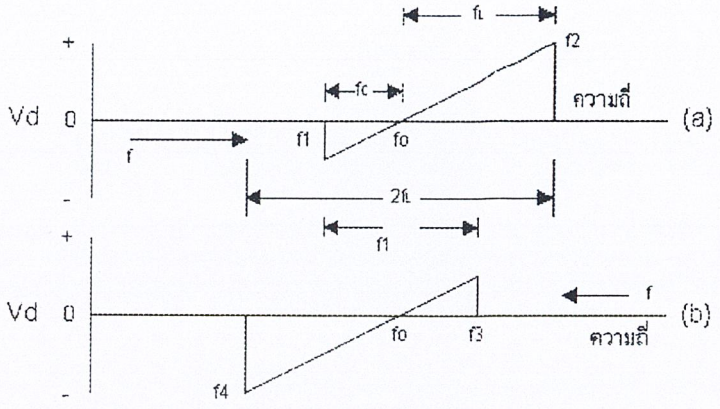
แรงดันไฟฟ้าคลาดเคลื่อนนี้จะถูกกรองในวงจรกรองความถี่ต่ำผ่านให้ความถี่ต่ำนั้นผ่านไปได้จากนั้นจะทำการขยายแล้วผ่านให้วงจรVCO ในลักษณะเช่นนี้ แรงดันไฟฟ้าควบคุม $V_d(t)$ จะกลับไปบังคับให้ความถี่ VCO แปรไปในทิศทางที่ลดความแตกต่างระหว่างความถี่ f_o กับ f_s ลง จากนั้นด้วยความถี่เฟสล็อคลูปถ้าความถี่อินพุต f_s ใกล้เคียงกับ f_o ก็จะทำให้ VCO ซิงโครไนซ์หรือล็อคกับสัญญาณอินพุตได้ และเมื่ออยู่ในสภาวะล็อค อย่างนี้ ความถี่ของ VCO จะเท่ากับความถี่อินพุตแต่เฟสแตกต่างกันเล็กน้อย การที่เฟสต่างกันจะทำให้ความถี่ฟรีรันนิ่งของ VCO เคลื่อนเข้าไปใกล้ไปหาความถี่สัญญาณอินพุต f_s เพื่อรักษาสภาพล็อคเอาไว้ให้ได้

ด้วยความสามารถในการปรับสภาพตัวเองให้ถูกต้องได้ของระบบ ขณะที่ลูปของวงจรอยู่ในสภาวะล็อคจะทำให้ลูปสามารถตามรอยการเปลี่ยนแปลงความถี่ของสัญญาณอินพุตได้ซึ่งช่วงความถี่โดยตลอดที่ลูปสามารถคงการล็อคไว้ได้เรียกว่า พิสัยในสภาวะล็อค (Locked Range) ของระบบ ส่วนช่วงความถี่โดยตลอดซึ่งลูปสามารถเข้ายึดการล็อคกับสัญญาณอินพุต(เริ่มล็อค) ได้ เรียกว่า พิสัยเข้าสู่สภาวะล็อค (Captured Range) ของระบบและพิสัยนี้จะไม่กว้างไปกว่าพิสัยในสภาวะล็อคอย่างแน่นอน

2.7.2 การเข้าสู่สภาวะล็อคและสภาวะขณะที่เฟสล็อค

จากรูปที่ 2.15 แสดงถึงทรานส์เฟอร์คาร์แร็กเตอร์ริสติคของเฟสล็อคลูประหว่างความถี่กับแรงดันไฟฟ้าที่เกิดขึ้นในลูป ในตอนแรกจะพิจารณาถึงสภาวะล็อคก่อนโดยเฟสคอมพาราเตอร์จะเป็นตัวผสมสัญญาณอินพุตเข้ากับสัญญาณ VCO ทำให้เกิดผลบวก $(f_o + f_s)$ และผลต่าง $(f_s - f_o)$ ยังอยู่นอกขอบเขตที่วงจรกรองความถี่ต่ำผ่านจะตอบสนองได้ จึงถูกกรองทิ้ง ทำให้ไม่มีสัญญาณไหลภายในลูป ดังนั้นในสภาวะนี้ VCO ยังคงทำการสร้างความถี่เริ่มต้นเดิมคือความถี่ฟรีรันนิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 ทรานส์เฟอร์คาแร็คเตอร์ริสติค ระหว่างความถี่กับระดับแรงดันไฟฟ้าเฟสล็อคลูป
(a) เมื่อเพิ่มความถี่สัญญาณอินพุต
(b) เมื่อลดความถี่สัญญาณอินพุต

ต่อมาเมื่อความถี่อินพุตเข้าใกล้ความถี่ของ VCO คือเท่ากับ $f(s)$ ดังรูปความถี่ผลต่าง $(f_s - f_0)$ จะลดลงเข้าใกล้ขอบเขตของความถี่ที่กรองผ่านวงจรกรองความถี่ต่ำผ่านไปได้ซึ่งจะไปขับ VCO ให้มีความถี่เข้าหาสัญญาณอินพุต (f_s) ในขณะนั้นความถี่ผลต่าง $(f_s - f_0)$ จะลดลงเรื่อย ๆ (เนื่องจาก VCOถูกขับให้มีความถี่เข้าใกล้ f_s มากขึ้น)ทำให้สัญญาณที่ส่งผ่านวงจรกรองความถี่ต่ำผ่านมีผลต่อ VCO มากขึ้นก็จะยิ่งเข้าใกล้ f_s จนในที่สุดลูปก็จะเข้าสู่สภาวะเฟสล็อคได้เมื่อ $(f_s = f_0)$

ตอนที่ระดับแรงดันคลาดเคลื่อน : $V_e(t)$ เริ่มผ่านวงจรกรองความถี่ต่ำผ่านได้แสดงว่าลูปตรวจจับได้ (สังเกตได้จาก VCO จะเริ่มเปลี่ยนความถี่ไปเพราะเพิ่งจะมีแรงดันไฟฟ้าผ่านมาขับเป็นครั้งแรก) จากนั้นแรงดันไฟฟ้าควบคุม : $V_d(t)$ จะทำให้ความถี่ f_o ของ VCO เปลี่ยนเข้าใกล้ f_s ยิ่งขึ้นและในที่สุดความถี่ทั้งสองก็เท่ากัน $(f_s = f_0)$ ที่สภาวะนี้เรียกว่าลูปอยู่ใน สภาวะล็อค (in lock)

ในขณะที่ลูปอยู่ในภาวะล็อค แรงดันไฟฟ้าคลาดเคลื่อน : $V_e(t)$ ซึ่งเกิดจากความต่างเฟสดังที่กล่าวมาแล้ว โดยเฉลี่ยจะมีค่าค่อนข้างคงที่ ทำให้แรงดันไฟฟ้าควบคุม : $V_d(t)$ ซึ่งได้จากค่าเฉลี่ยของแรงดันไฟฟ้าคลาดเคลื่อน : $V_e(t)$ มีค่าแรงดันไฟฟ้าควบคุม : $V_d(t)$ ซึ่งได้จากค่าเฉลี่ยของแรงดันไฟฟ้าคลาดเคลื่อน : $V_e(t)$ มีค่าคงที่ไปด้วยเพื่อเป็นแรงดันไฟตรงขับให้ VCO มีความถี่ของสัญญาณอินพุตอยู่ตลอดเวลา

ตอนแรกที่ลูปเริ่มล็อคกับสัญญาณอินพุต ความถี่ของ VCO จะลดลงก่อน จากนั้นไปเมื่อเพิ่มความถี่ f_s ขึ้นการล็อคจะขึ้นอยู่กับความสามารถของ VCO ที่จะเปลี่ยนความถี่ไปโดยมีความลาดชัน (slope) ของการเปลี่ยนแปลงระหว่างความถี่กับแรงดันไฟฟ้าควบคุม : $V_d(t)$ เท่ากับ 1 / ko (ko : Conversion Gain ของ VCO มีหน่วยเป็น เรเดียน / วินาที / โวลท์) และเมื่อเพิ่มความถี่จนไปถึงความถี่ศูนย์กลาง = f_o แรงดันไฟฟ้าควบคุม : $V_d(t)$ จะมีค่าเป็นศูนย์โวลท์ ลูปจะตามรอยสัญญาณอินพุตไปจนกระทั่งถึงความถี่ f_2 ซึ่งเป็นความถี่สูงสุดของพิสัยในสภาวะล็อคไปแรงดันไฟฟ้าคลาดเคลื่อน $V_e(t)$ จะมีค่าเท่ากับศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากนั้นถ้าลดความถี่สัญญาณอินพุตลงมาก็จะเกิดวัฏจักรขึ้นอีกดังแสดงในรูปสัญญาณจะเริ่มกลับเข้าสู่การตรวจจับของลูปอีกที่ f_s และลูปจะตามสัญญาณอินพุตได้แค่ถึง f_4 ช่วงความถี่จาก f_1 ถึง f_3 นี้เรียกว่า พิสัยการเข้าสู่ภาวะล็อค (Capture Range) และช่วงความถี่จาก f_2 กับ f_4 เรียกว่าพิสัยในการล็อค หรือ locked range จากรูปคือ

$$f_3 - f_1 = 2f_c = \text{Capture Range}$$
$$f_2 - f_4 = 2f_L = \text{Locked Range}$$

จากทรานส์เฟอร์คาร์แร็กเตอร์ริสติคสามารถกำหนดความถี่ศูนย์กลางในลูปได้โดยการตั้งความถี่ฟรีรันนิ่งที่ VCO และลูปจะตอบสนองเฉพาะความถี่สัญญาณที่อยู่ในช่วงจาก f_0 ถึง $f_0 \pm f_c$ หรือ $f_0 \pm f_L$ เท่านั้นทั้งขึ้นอยู่กับเงื่อนไขที่ว่าลูปเริ่มต้นด้วยการล็อคหรือไม่ ในทางปฏิบัติ การใช้งานของเฟสล็อคลูปโดยมากต้องการ VCO ที่มีคุณสมบัติในการแปลงแรงดันไฟฟ้าให้เป็นความถี่ที่มีลักษณะเป็นเชิงเส้น (Linear) อย่างแท้จริงด้วย เพื่อประโยชน์ในการตามรอยสัญญาณอินพุต

2.7.3 พิสัยการเข้าสู่สภาวะล็อค (Capture Range)

นิยามได้ว่าคือพิสัยความถี่ที่มีศูนย์อยู่ที่ความถี่เริ่มต้นของ VCO (คือความถี่ฟรีรันนิ่งที่ตั้งไว้) ตลอดพิสัยนี้ลูปสามารถดึงเข้าสู่การล็อคกับสัญญาณอินพุตได้ พิสัยการเข้าสู่สภาวะนี้อาจเรียกอีกอย่างหนึ่งว่า Lock in range ก็ได้ซึ่งเป็นการวัดว่าสัญญาณอินพุตจะต้องมีความถี่ใกล้เคียงกับความถี่ศูนย์กลางของ VCO : f_o มากน้อยเพียงใดลูปจึงเข้าสู่สภาวะล็อคได้ Lock in range นี้จะเป็นครึ่งของ capture range (หรือเท่ากับ f_c)

Capture Range ถือว่าเป็นความถี่ใดๆ ที่อยู่ภายใน Lock range และขึ้นอยู่กับขอบเขตของวงจรกรองแถบความถี่ต่ำผ่านกับอัตราขยายลูปปิด (Close-Loop gain) ของระบบ ซึ่งความสามารถของลูปในการเกาะจับกับสัญญาณอินพุตนี้จะเป็นคุณสมบัติที่แสดงถึงคุณสมบัติการเลือก (Selectivity) ความถี่ของลูปด้วย

2.7.4 พิสัยในสภาวะล็อค (Lock Range)

พิสัยในสภาวะล็อค คือพิสัยความถี่มีศูนย์กลางอยู่ที่ความถี่ฟรีรันนิ่ง ตลอดพิสัยนี้ลูปสามารถตามรอยสัญญาณอินพุตได้ในขณะที่ลูปอยู่ในภาวะล็อค พิสัยในสภาวะล็อค Lock Range นี้อาจเรียกว่า tracking range หรือ holding range ก็ได้ ซึ่งมีความหมายว่าความถี่ของลูปสามารถจะไกลห่างออกไปจากความถี่ศูนย์กลางได้เท่าไร tracking range มีค่าเป็นครึ่งหนึ่งของ Lock range หรือเท่ากับ f_L

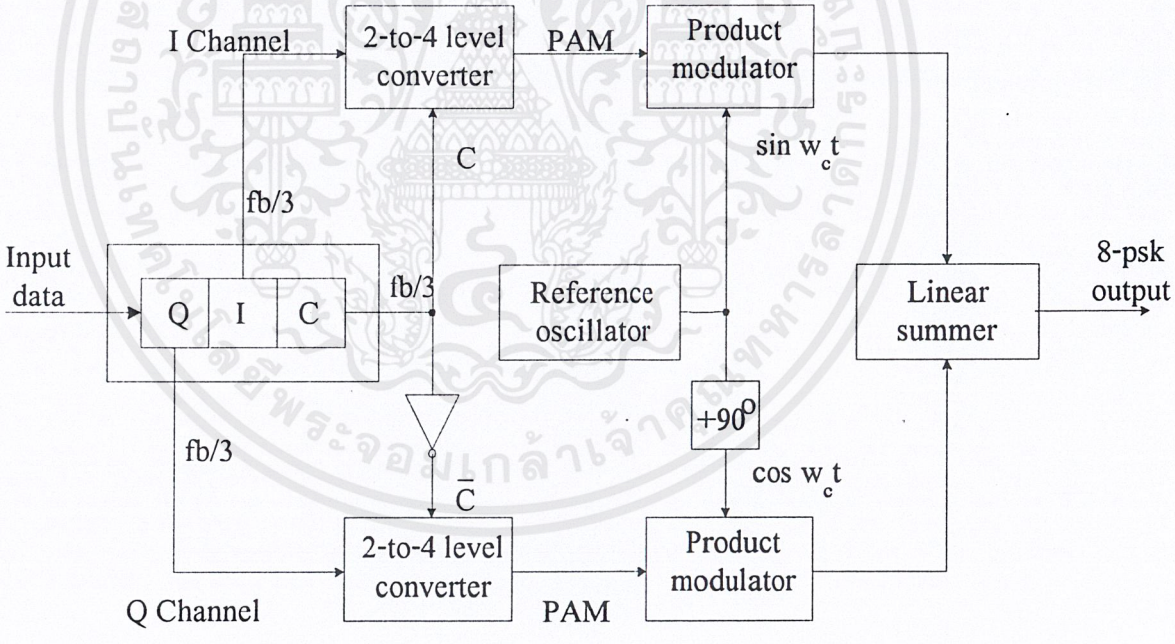
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

3.1 การออกแบบวงจรทางด้านภาคส่ง

ในการออกแบบวงจรทางด้านภาคส่งนั้นเราต้องเพิ่มเติมบางส่วนเพื่อความสะดวกทางการซิงโครไนซ์ เราต้องสร้างสัญญาณนำร่องขึ้นมาจากวงจรกำเนิดสัญญาณไซน์ความถี่ 256 kHz แล้วนำสัญญาณนำร่องมาเข้าวงจรยกกำลังสองเพื่อสร้างสัญญาณพาหะความถี่ 512 kHz และนำสัญญาณนำร่องมาสร้างสัญญาณนาฬิกา 128 kHz โดยนำสัญญาณพาหะมาผ่านวงจรหาร 4 เพื่อนำสัญญาณนาฬิกา 128 kHz มาใช้ในการเลื่อนข้อมูลความเร็ว 128 kHz

จากการที่เรากำเนิดสัญญาณนำร่อง 256 kHz ขึ้นมาก่อนแล้วค่อยนำมาสร้างสัญญาณพาหะเพราะว่าสัญญาณนำร่องนี้จะใช้ส่งรวมกับสัญญาณ 8-PSK เอาต์พุต เพื่อให้ทางภาครับกรองสัญญาณนำร่องนี้ไปใช้ในการกู้สัญญาณพาหะและสัญญาณนาฬิกากลับคืนมา ซึ่งจะทำให้ได้สัญญาณที่ซิงโครไนซ์กันกับสัญญาณที่ส่งมาจากทางภาคส่ง



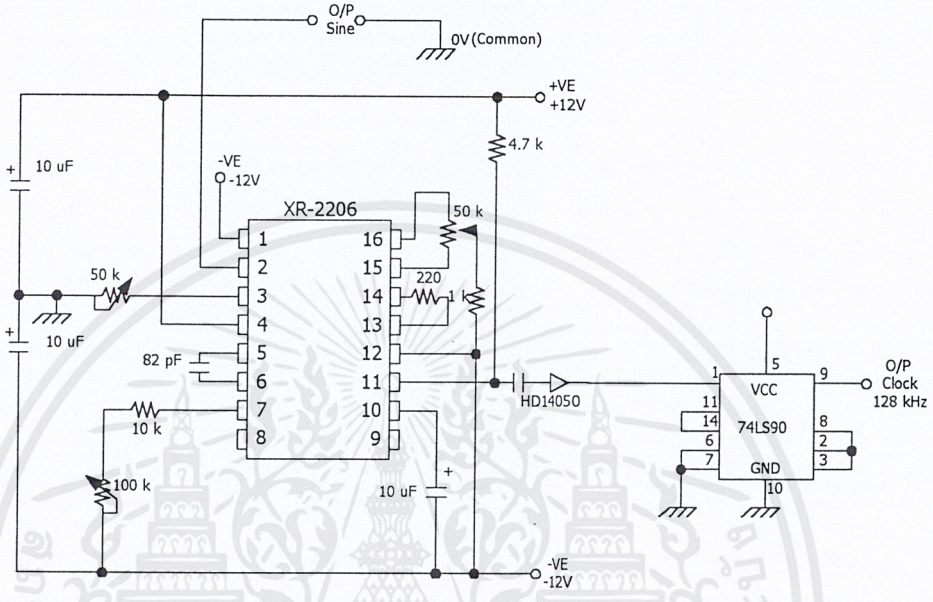
รูปที่ 3.1 บล็อกไดอะแกรมเครื่องส่ง 8-PSK

3.1.1 วงจรออสซิลเลเตอร์กำเนิดสัญญาณนำร่อง (Pilot Tone)

วงจรกำเนิดสัญญาณนำร่องสร้างมาจากไอซี XR2206 ซึ่งเป็นโมโนลิคทิกฟังก์ชันเจนเนอร์เรเตอร์ใช้ในการผลิตคลื่นรูปไซน์ และรูปคลื่นสี่เหลี่ยมความถี่ 256 kHz ซึ่งสัญญาณคลื่นรูปไซน์ จะใช้เป็นสัญญาณนำร่อง (Pilot) ส่งรวมไปกับสัญญาณข้อมูล 8 – PSK เพื่อช่วยในการกู้สัญญาณพาหะ (Recovery

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Carrier) และกู้สัญญาณนาฬิกา (Recovery Clock) ให้มีการสัมพันธ์ (Synchronize) กันระหว่างเครื่องส่งและเครื่องรับ โดยสัญญาณนำร่องนี้จะนำไปใช้ในการสร้างสัญญาณความถี่ 512 kHz โดยการนำเอาสัญญาณไซน์ 256 kHz ไปเข้าวงจรบาลานซ์มอดูเลเตอร์ โดยการต่ออินพุตเข้าด้วยกัน เพื่อใช้เป็นวงจรยกกำลังสอง จะได้สัญญาณเอาต์พุตเป็นสัญญาณไซน์ความถี่ 512 kHz นำไปใช้เป็นสัญญาณพาหะต่อไป

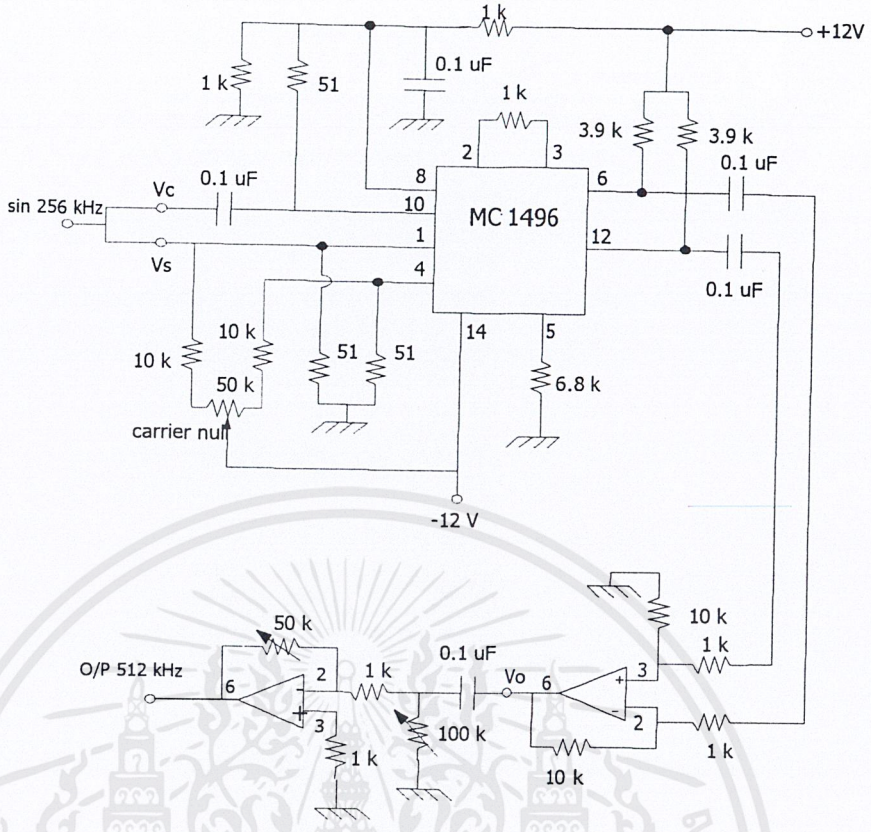


รูปที่ 3.2 วงจรออสซิลเลเตอร์กำเนิดสัญญาณนำร่อง

3.1.2 วงจรยกกำลังสอง (กำเนิดสัญญาณพาหะ)

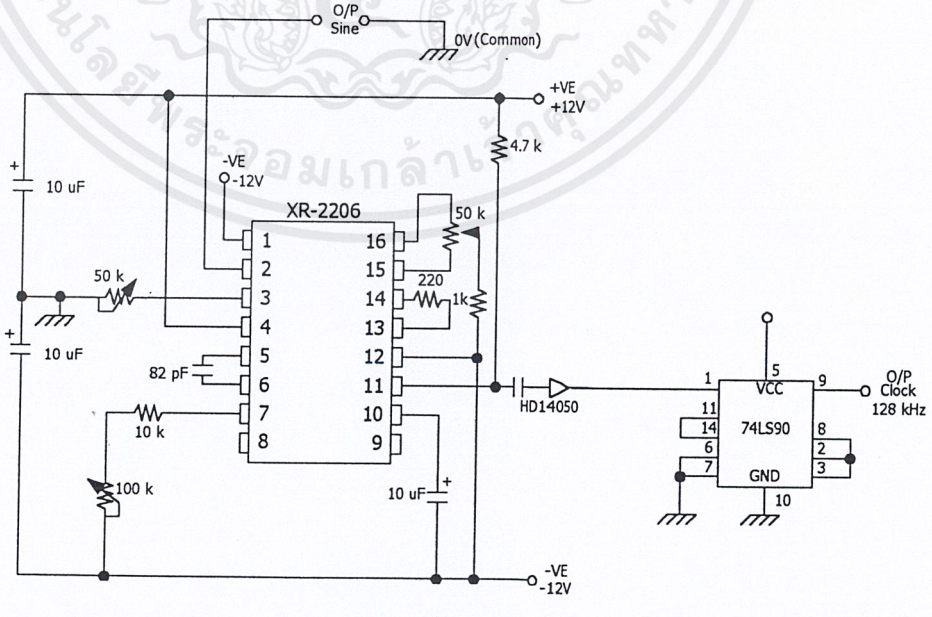
เป็นการสร้างสัญญาณพาหะจากการ นำสัญญาณนำร่องที่สร้างจากไอซี XR – 2206 ความถี่ 256 kHz มาทำการยกกำลังสองให้ได้ความถี่ 2 เท่าของสัญญาณนำร่องเดิมโดยใช้วงจรบาลานซ์มอดูเลเตอร์ให้ต่ออินพุตร่วมกัน แล้วป้อนสัญญาณนำร่องความถี่ 256 kHz เพื่อยกกำลังสองและทำการปรับจนกระทั่งได้สัญญาณไซน์ความถี่ 512 kHz นำสัญญาณพาหะนี้ไปทำการเลื่อนเฟสให้เป็นสัญญาณไซน์ ที่มีความต่างเฟสกัน 90 อาศา นำไปป้อนเข้าวงจรบาลานซ์มอดูเลเตอร์เพื่อทำการคูณกับสัญญาณ 4 ระดับต่อไป และสัญญาณเอาต์พุตของวงจรบาลานซ์มอดูเลเตอร์ทั้ง 2 แชลแนลจะนำมาบวกกันก็จะได้สัญญาณ 8 – PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 วงจรยกกำลังสอง

3.1.3 วงจรกำเนิดสัญญาณนาฬิกา 128 kHz

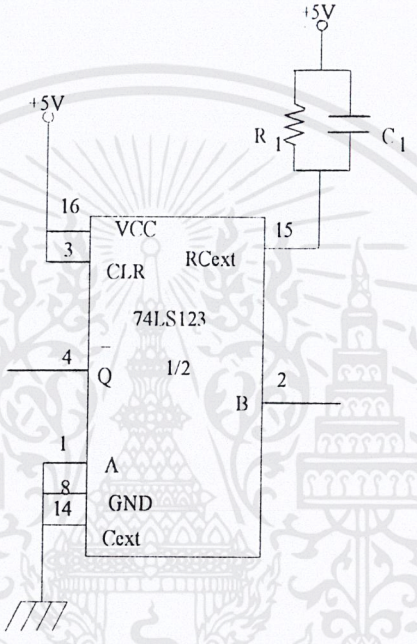


รูปที่ 3.4 วงจรกำเนิดสัญญาณนาฬิกา 128 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการสร้างสัญญาณนาฬิกาความถี่ 128 kHz จากสัญญาณสี่เหลี่ยมความถี่ 256 kHz โดยการนำสัญญาณนำร่องไปผ่านไอซีชมิตทริกเกอร์เบอร์ 14050 แล้วนำสัญญาณสี่เหลี่ยมความถี่ 256 kHz ที่ได้ไปผ่านวงจรหาร 2 โดยใช้ไอซีเบอร์ 74LS90 ก็จะได้เอาต์พุตเป็นสัญญาณนาฬิกาความถี่ 128 kHz โดยสัญญาณนาฬิกาความถี่ 128 kHz นี้จะใช้เป็นสัญญาณนาฬิกาหลักในการนำไปเลื่อนข้อมูลความเร็ว 128 kbps ของวงจรทางภาคส่ง

3.1.4 การสร้างสัญญาณพัลซ์แคบ ๆ โดยใช้ไอซีมัลติไวเบรเตอร์



รูปที่ 3.5 วงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์

จากวงจรใช้ไอซีเบอร์ 74LS123 เป็นวงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์ ที่ถูกออกแบบให้ทำหน้าที่ผลิตสัญญาณพัลซ์ในช่วงเวลาสั้นๆ โดยจะใช้ตัวความต้านทาน R_1 และตัวเก็บประจุ C_1 ต่อขนานกันเพื่อปรับค่าเวลาความกว้างของช่วงพัลซ์ โดยสามารถคำนวณเวลาที่ใช้ในการหน่วงสัญญาณได้หลังจากมีพัลซ์มาทริกให้ไอซี มีสูตรการคำนวณดังนี้

$$T = 0.695 \times R_1 \times C_1$$

ใช้ค่า $R1 = 6.8\ k\Omega$

$C1 = 470\ pF$

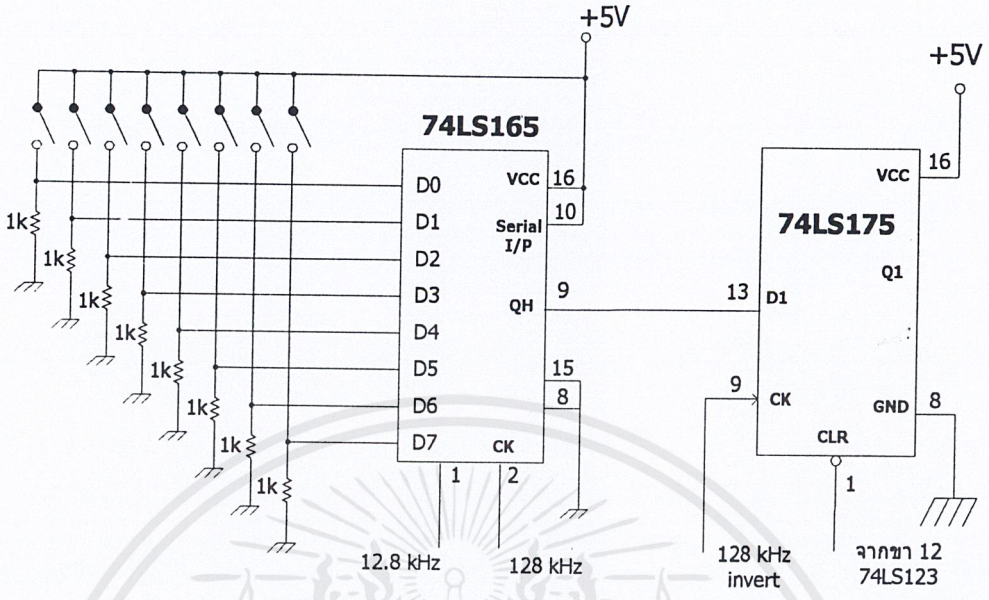
$T = 0.695 \times 6.8K \times 470\ \mu\text{sec}$

$T = 2.22\ \mu\text{sec}$

เพราะฉะนั้นเวลาของสัญญาณสภาวะทางด้านต่ำ มีความกว้างของพัลซ์ใช้เวลาประมาณ 2.22 μsec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.5 วงจรแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรม และสร้างบิตเริ่มต้นและบิตสิ้นสุด



รูปที่ 3.6 วงจรแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรมและสร้างบิตเริ่มต้นและบิตสิ้นสุด

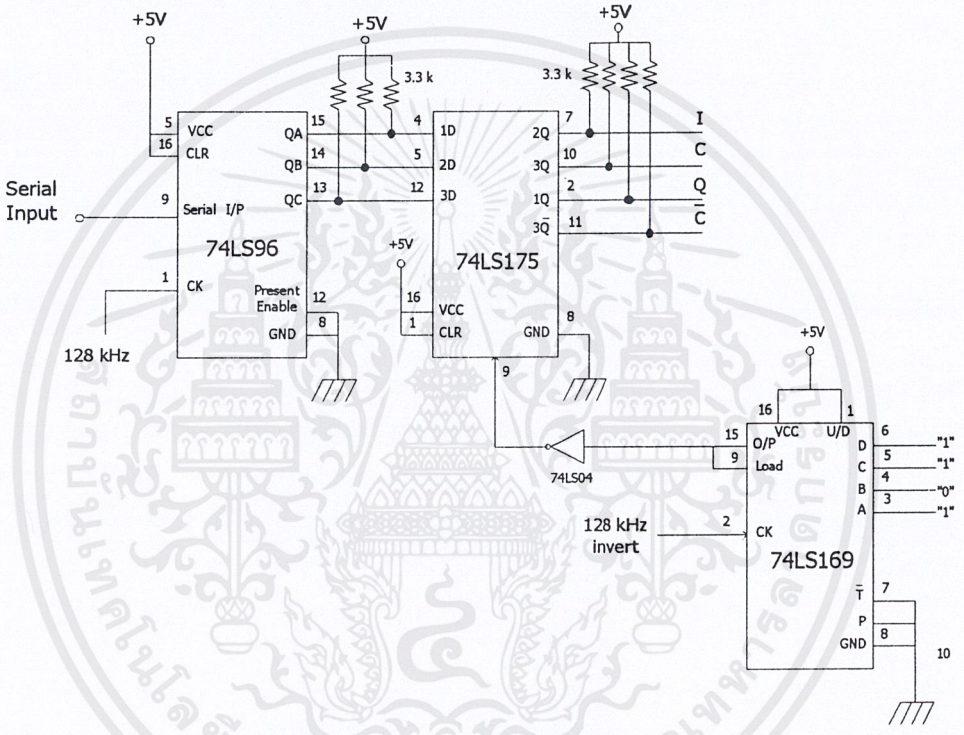
วงจรนี้จะรับสัญญาณอินพุตที่ได้จากการกำหนดข้อมูลอินพุตโดยการเซตบิตข้อมูล 8 บิต โดยใช้ไอซี 74LS165 ทำหน้าที่เลื่อนข้อมูลจากขนานเป็นอนุกรม โดยใช้สัญญาณนาฬิกา 128 kHz ป็นตัวเลื่อนข้อมูลโดยใช้สัญญาณนาฬิกาในการดึงข้อมูลมาเก็บไว้ในรีจิสเตอร์ของไอซี 74LS165 ความถี่ 12.8 kHzโดยมีขนาดความกว้างของพัลซ์ช่วงสภาวะด้านสูงอยู่ 7.8125 μsec ซึ่งจะตรงกับขอบขาขึ้นของสัญญาณนาฬิกาความถี่ 128 kHz ถูกถัดไป เพื่อให้ดึงข้อมูล (load) มาเก็บไว้ขนาด 8 บิต แต่สัญญาณนาฬิกาที่ใช้เลื่อนข้อมูลมีความถี่ 128 kHz แสดงว่าทุกๆการ load ข้อมูลเข้า 1 ชุดและมีการเลื่อนบิตข้อมูลออกไป จะมีข้อมูลอยู่ 10 บิตใน 8 บิตแรกที่เลื่อนออกไปจะเป็นข้อมูล 8 บิตที่รับเข้ามา ส่วน 2 บิตหลังจะเป็นสภาวะ ทางด้านสูง ทั้ง 2 บิต เกิดขึ้นจากการเซ็ตขาไอซีตามคุณสมบัติของไอซี 74LS165

ข้อมูล 10 บิตที่เลื่อนออกไปด้วยความเร็วตามสัญญาณนาฬิกาคือ 128 kbps จะไปเข้าไอซี 74LS175 ซึ่งจะทำหน้าที่สร้างบิตเริ่มต้น (Start bit) สภาวะด้านต่ำ และ บิตสิ้นสุด (Stop bit) สภาวะด้านสูง โดยใช้สัญญาณความถี่ 12.8 kHz ที่ผ่านวงจร 74LS175 มีขอบขาลงและมีความกว้างของพัลซ์ทางด้านสภาวะทางด้านต่ำแคบๆ เพื่อใช้ป้อนให้ขาเคลียร์ (clear) ของไอซี 74LS175 เพื่อเป็นสัญญาณสร้างบิตเริ่มต้นเป็นสภาวะทางด้านต่ำ โดยสัญญาณนาฬิกาที่ใช้เลื่อนข้อมูลของไอซี 74LS175 นี้จะใช้สัญญาณนาฬิกาความถี่ 128 kHz ที่ผ่าน Not Gate เพื่อกลับเฟสให้ขอบขาขึ้นของสัญญาณต่างกับสัญญาณนาฬิกาที่ขอบขาขึ้นเดิมอยู่เพียง 3.90625 μsec โดยการเลื่อนข้อมูลนี้จะใช้สัญญาณนาฬิกาทั้ง 2 แบบนี้สลับกันไป เพื่อให้แต่ละข้อมูลที่เลื่อนออกไปอยู่ในสภาวะที่มีข้อมูลอยู่จริง ไม่ได้อยู่ในสภาวะที่กำลังเปลี่ยนข้อมูล จึงทำให้ไม่เกิดความผิดพลาดจากการที่ไอซีใช้เวลาในการเลื่อนข้อมูลที่แตกต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สภาวะที่ถูกเคลียร์สัญญาณนั้นจะเป็นบิตแรกในการเริ่มต้น หลังจากนั้นข้อมูลแบบ 10 บิตจะถูกเลื่อนเข้ามาตามหลัง เป็นบิตที่ 2 ไปจนถึงบิตที่ 9 โดยบิตที่ 9 ของชุดข้อมูลนี้จะเป็นสภาวะทางด้านสูงในบิตแรก ส่วนบิตต่อมาที่เป็นบิตสภาวะทางด้านสูงนั้นจะตรงกับสัญญาณเคลียร์ที่เข้ามาเซ็ตให้เอาต์พุตเป็นสภาวะต่ำ และจะตามด้วยบิตแรกของข้อมูลชุดใหม่เข้ามาพอดี และจะเป็นอย่างนี้ไปเรื่อย ๆ ทุกชุดข้อมูล โดยข้อมูลที่ออกทางเอาต์พุตจะถูกป้อนให้ภาคแปลงจากข้อมูลอนุกรมไปเป็นข้อมูลแบบขนานแบบ 3 บิต และวงจรแปลงจากข้อมูลดิจิตอล 2 ระดับไปเป็นข้อมูลอนาลอก 4 ระดับ

3.1.6 ภาคแปลงข้อมูลอนุกรมเป็นข้อมูลแบบขนานขนาด 3 บิต



รูปที่ 3.7 วงจรส่วนแปลงข้อมูลอนุกรมเป็นข้อมูลแบบขนานขนาด 3 บิต

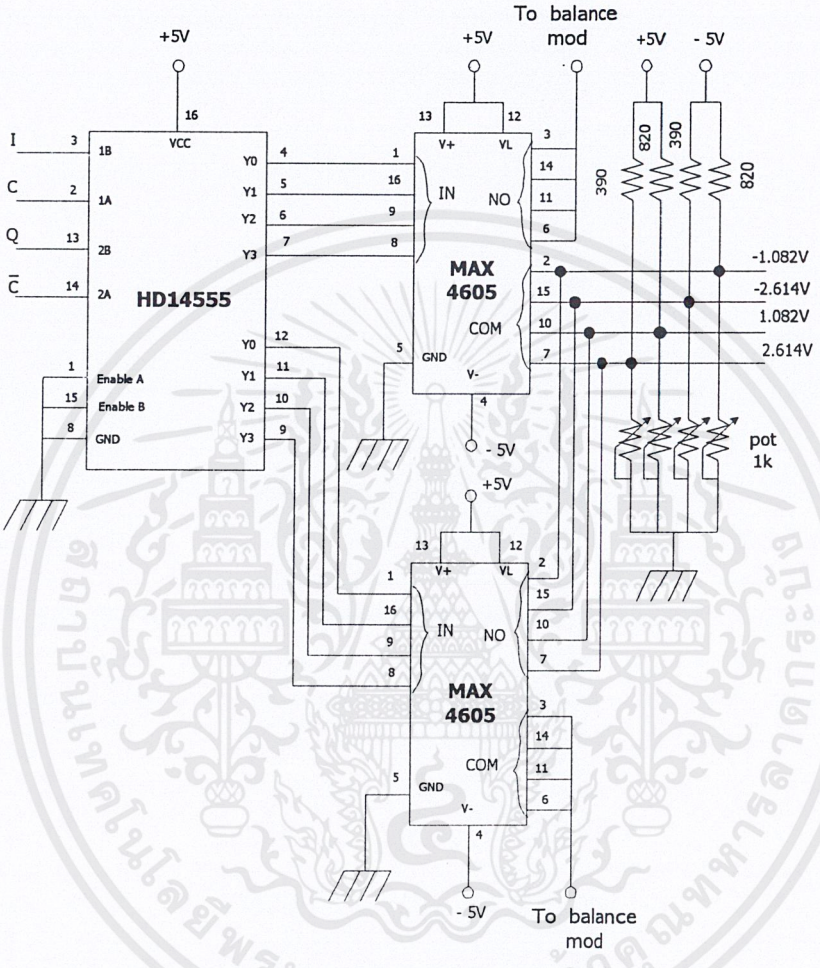
ในวงจรส่วนนี้จะใช้ไอซีเบอร์ 74LS96 ซึ่งเป็นรีจิสเตอร์ที่ใช้ในการเลื่อนข้อมูล (Shift Register) แบบ 5 บิต มาทำการเลื่อนข้อมูลโดยใช้สัญญาณนาฬิกาความถี่ 128 kHz เลื่อนข้อมูลอินพุตที่เข้ามาให้ออกที่เอาต์พุตถัดกันไปโดยดึงสัญญาณเอาต์พุต 3 ขาไปใช้งานโดยส่งต่อให้อินพุตของไอซีเบอร์ 74LS175 ทำการดึงข้อมูลเข้ามาเก็บไว้ทุก ๆ 3 บิตที่ข้อมูลเข้ามาโดยการป้อนสัญญาณนาฬิกาที่มาจากวงจรหาร 3 โดยนำสัญญาณนาฬิกาความถี่ 128 kHz มาทำการหาร 3 และนำไปควบคุมการดึงข้อมูลทุก 3 บิตมาเก็บไว้เพื่อส่งต่อข้อมูลเป็นคู่ๆ คือ ข้อมูล I , C และข้อมูล Q , $\overline{C}$ โดยข้อมูลทั้ง 2 ชุดนี้จะนำไปส่งต่อให้วงจรแปลงข้อมูลดิจิตอล 2 ระดับเป็นข้อมูลอนาลอก 4 ระดับ

วงจรส่วนที่ใช้หาร 3 ความถี่ 128 kHz นี้ใช้ไอซีเบอร์ 74LS169 เป็นตัวนับข้อมูลขนาด 4 บิต (Synchronous 4-bit Binary Counter) โดยตั้งค่าที่จะเริ่มนับได้จากการเซ็ตที่ขาของไอซีเลย โดยจากวงจรจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตั้งให้มีการนับขึ้นจนถึง 15 ก็จะมีสัญญาณออกที่เอาต์พุตเป็นระดับแรงดันต่ำและส่งสัญญาณนี้ต่อไปโดยนำไปต่อกับน็อตเกต เพื่อส่งไปเป็นสัญญาณควบคุมให้กับไอซีเบอร์ 74LS175 เพื่อเลื่อนข้อมูลครั้งละ 3 บิต ต่อไป

3.1.7 วงจรแปลงข้อมูลดิจิตอล 2 ระดับ เป็นข้อมูลอนาลอก 4 ระดับ



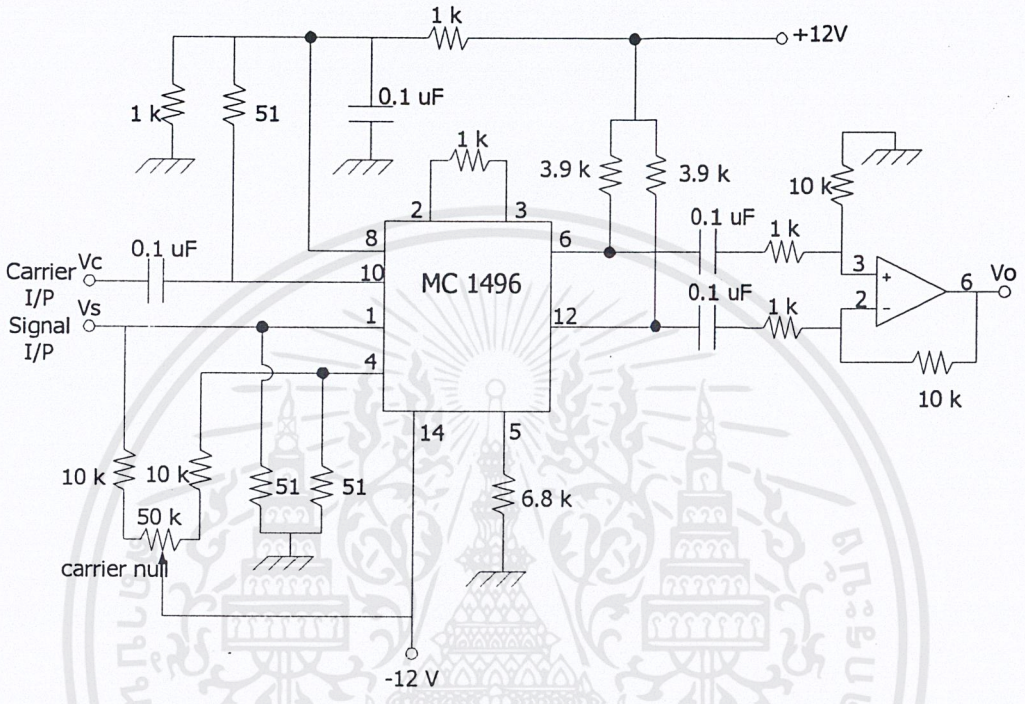
รูปที่ 3.8 วงจรแปลงข้อมูลดิจิตอล 2 ระดับ เป็นข้อมูลอนาลอก 4 ระดับ

วงจรแปลงข้อมูลดิจิตอล 2 ระดับ เป็นข้อมูลอนาลอก 4 ระดับนี้จะนำข้อมูล 2 ชุด ชุดละ 2 บิตมาทำการเข้ารหัสให้มีค่าแรงดันต่างกัน 4 ระดับ 2 ชุด ที่เปลี่ยนแปลงตามข้อมูลอินพุตที่เข้ามาโดยใช้ไอซีซีมอส เบอร์ 4555 ซึ่งเป็น Dual 2 Line to 4 Line Decoder ทำการถอดรหัสข้อมูลที่เข้ามาแบบไบนารี (Binary) 2 บิต ส่งออกขาเอาต์พุต 4 ขาเป็นแบบข้อมูลฐานสิบ (Decimal) โดยในเวลาใดเวลาหนึ่งจะมีสภาวะทางด้านสูงที่ขาใดขาหนึ่งเท่านั้น โดยจะส่งต่อสัญญาณทั้ง 4 ขานี้มาเป็นตัวเลือกแรงดันให้ส่งออกที่เอาต์พุตเพียงระดับเดียวใน 4 ระดับส่งออกไปโดยจะทำงานที่สภาวะบิตสูง (Active High)ส่วนไอซีที่ใช้เป็นตัวเลือกส่งแรงดันระดับใดออกที่เอาต์พุตนั้นใช้ไอซีเบอร์ MAX 4605 เป็น Quad CMOS Analog Switchs โดยสัญญาณที่มาจากไอซีเบอร์ 4555 นั้นจะทำหน้าที่เสมือนเป็นตัวสับสวิทช์ต่อเลือกแรงดันเท่านั้น โดยแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ป้อนให้ระดับใดๆนั้นจะใช้ตัวต้านทานต่อแบบแบ่งแรงดัน (Divider) โดยใช้ตัวต้านทานปรับละเอียดเป็นตัวปรับแรงดันให้ได้ค่าแรงดันที่เอาต์พุตตามที่ต้องการ ส่วนสัญญาณเอาต์พุตที่ได้นั้นจะส่งต่อไปเข้าวงจรบาลานซ์มอดูเลเตอร์ เพื่อทำการมอดูเลตสัญญาณต่อไป

3.1.8 วงจรบาลานซ์มอดูเลเตอร์



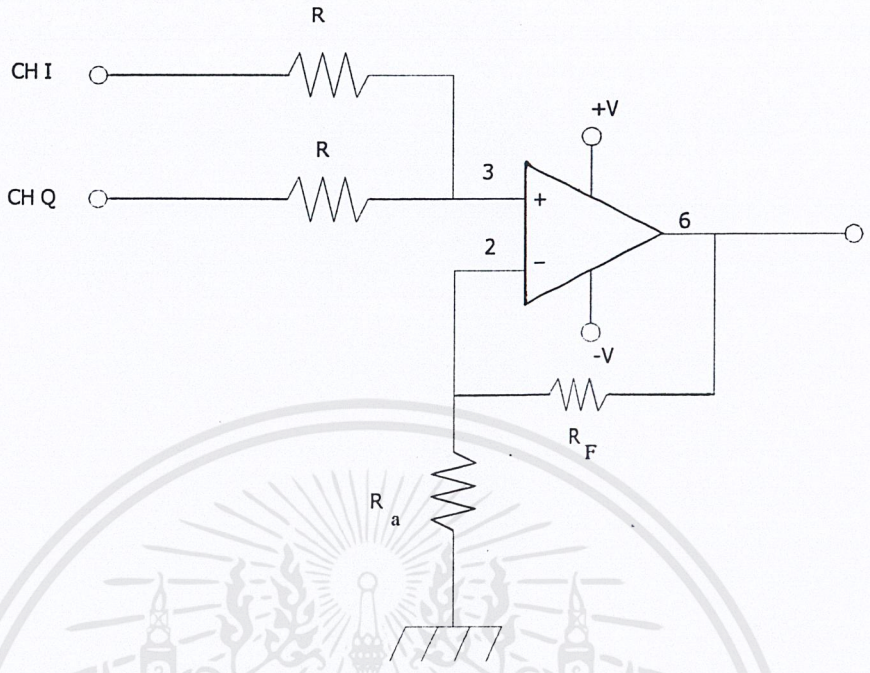
รูป 3.9 วงจรบาลานซ์มอดูเลเตอร์

วงจรบาลานซ์มอดูเลเตอร์จะใช้ไอซีเบอร์ MC1496 จะมีด้วยกัน 2 ชุด โดยจะใช้มอดูเลตสัญญาณที่ I – Channel ตัวหนึ่ง และที่ Q – Channel อีกตัวหนึ่ง โดยนำสัญญาณ PAM มาจากวงจรแปลงข้อมูลดิจิตอล 2 ระดับเป็นข้อมูลอนาลอก 4 ระดับ มาทำการมอดูเลตกับสัญญาณคลื่นพาหะมีความถี่ 512 kHz ซึ่งสัญญาณคลื่นพาหะที่นำมาป้อนให้วงจรบาลานซ์มอดูเลเตอร์ทั้ง 2 ชุดนั้นจะมีเฟสต่างกันอยู่ 90 องศา คือเป็นสัญญาณโคไซน์กับไซน์ที่มีความถี่เดียวกัน โดยสัญญาณที่ออกมาที่เอาต์พุตจะต้องปรับให้มีขนาดสัญญาณการมอดูเลตทุกลูกมีขนาดเท่ากันโดยการปรับแคเรียนัล (Carrier Null)

ข้อควรคำนึงถึงในส่วนวงจรนี้คือ ข้อกำหนดจากดาต้าชีท ของ IC MC1496 ได้ระบุไว้ว่าขนาดของสัญญาณที่จะนำมามอดูเลตควรมีค่าประมาณ 300 mV (rms) และขนาดของสัญญาณพาหะควรมีค่าประมาณ 150 mV (rms) ดังนั้นก่อนนำไปดูณควรผ่านตัวต้านทานปรับค่าได้เสียก่อนเพื่อจะได้ควบคุมระดับสัญญาณก่อนนำไปเข้าวงจรดูณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.9 วงจรรวมสัญญาณ



รูป 3.10 วงจรรวมสัญญาณ

จากรูปที่ 3.10 ใช้วงจรรวมสัญญาณป้อนกลับแบบลบ (Non Inverting Summing Amp) เพื่อรวมสัญญาณที่ได้จากวงจรบาลานซ์มอดูเลเตอร์ที่ได้จาก แชนแนล I และ แชนแนล Q ให้ได้สัญญาณเอาต์พุตเป็นสัญญาณ 8 – PSK ที่มีการชิฟเฟสต่างๆ กัน 8 เฟส แต่มีขนาดของแรงดันคงที่

จากรูปที่ 3.10 ที่จุด VA จะได้

$$V_A = (V_1/R) + (V_2/R) \times (R/2)$$
$$= (V_1+V_2)/2$$

และจะได้กระแสที่ไหลผ่าน R_a เป็น $(V_1+V_2)/2R_a$

จะได้ $V_o = (V_1+V_2)/(2R_a) \times (R_f+R_a)$

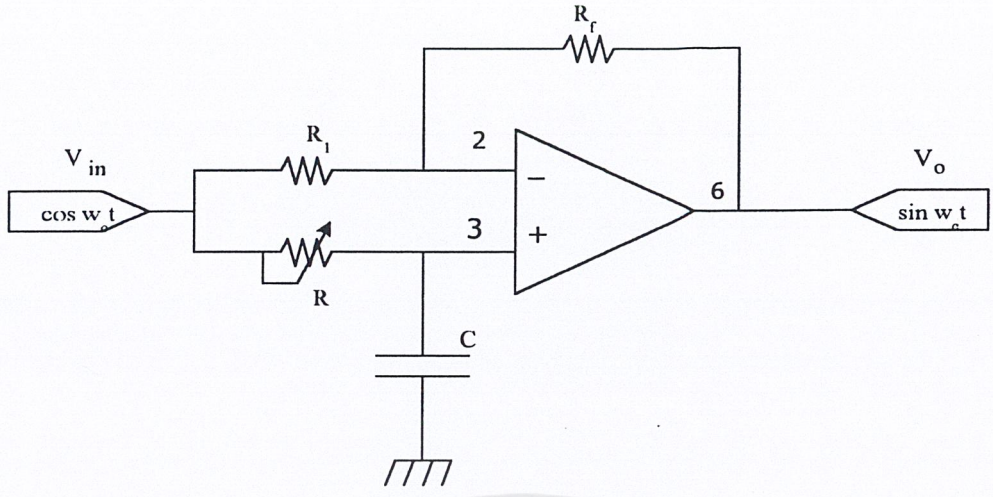
ให้ $R_f = R_a = R$ จะได้

$$V_o = V_1 + V_2$$

3.1.10 วงจรเลื่อนเฟส 90 องศา

ในการออกแบบวงจรเลื่อนเฟส เพื่อทำการเลื่อนสัญญาณที่เข้ามาทางอินพุตหรือเป็นการหน่วงเวลาอินพุตให้ช้าลง ซึ่งสามารถเขียนวงจรได้ดังรูปที่ 3.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 วงจรเลื่อนเฟส 90 องศา

จากรูปวงจรที่ 3.11 เมื่อกำหนดให้ค่าของ $R_1 = R_f$ จะได้สมการแรงดันเอาต์พุต (Vo) ดังต่อไปนี้

$$Vo = -Vin + \frac{-jXc}{R - jXc} Vin \quad (2)$$

โดยที่ $-j = \frac{1}{j}$

$Xc = \frac{1}{2\pi fc}$

f = ความถี่ที่จะใช้ในการเลื่อนข้อมูล

แทนค่าของ $-j$ และ Xc จะได้สมการใหม่ดังนี้

$$Vo = Vin\left(-1 + \frac{2}{j2\pi fRC + 1}\right)$$

$$\frac{Vo}{Vin} = \frac{1 - j2\pi fRC}{1 + J2\pi fRC}$$

สามารถคำนวณหาค่ามุม วงจรเลื่อนเฟส ได้จากสมการ

$$\Phi = -2\tan^{-1}\frac{(2\pi fRC)}{1} \quad (3.1)$$

เพราะฉะนั้นถ้าต้องการให้มีมุมของเฟส (Φ) = -90° สามารถหาค่าของอุปกรณ์ได้โดยกำหนดค่าตัวเก็บประจุ และค่าของความถี่ที่ต้องการ จากสมการที่ 3.1

$$R = \frac{1}{2\pi fc}$$

กำหนดค่า $f = 2\ MHz$ กำหนดค่า C = 80 pF

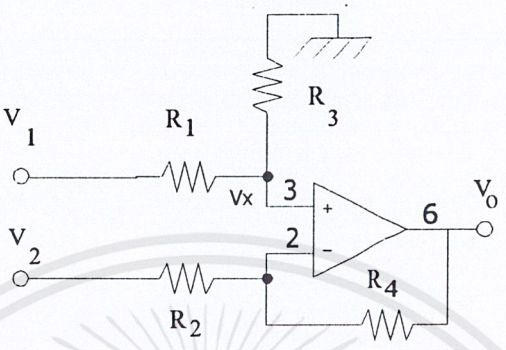
$$R = \frac{1}{2\pi \times 2MHz \times 80pF}$$

$$R = 994.71\,\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.11 วงจรขยายสัญญาณผลต่าง

เนื่องจากเอาต์พุตของวงจรมัลติไพลเออร์ จะประกอบด้วยเอาต์พุต 2 เอาต์พุต ซึ่งมีขนาดเท่ากันแต่กลับเฟสกัน ดังนั้นเพื่อการนำเอาสัญญาณเอาต์พุตจากวงจรมัลติไพลเออร์ไปใช้งาน เราจึงนำมาผ่านวงจรขยายสัญญาณผลต่าง ดังแสดงในรูปที่ 3.12 เพื่อที่จะทำให้ได้ระดับสัญญาณเพิ่มเป็น 2 เท่า



รูปที่ 3.12 วงจรขยายสัญญาณผลต่าง

จากรูปจะได้ว่า

ที่โหนดที่ 1

$$\frac{V_x - V_1}{R_1} + \frac{V_x}{R_3} = 0$$

$$V_x = \frac{V_1}{R_1}\left[\frac{R_1 \times R_3}{R_1 + R_3}\right] \qquad (1)$$

ที่โหนดที่ 2 แทนด้วย Vx จะได้

$$\frac{V_x - V_2}{R_2} + \frac{V_x - V_o}{R_4} = 0 \qquad (2)$$

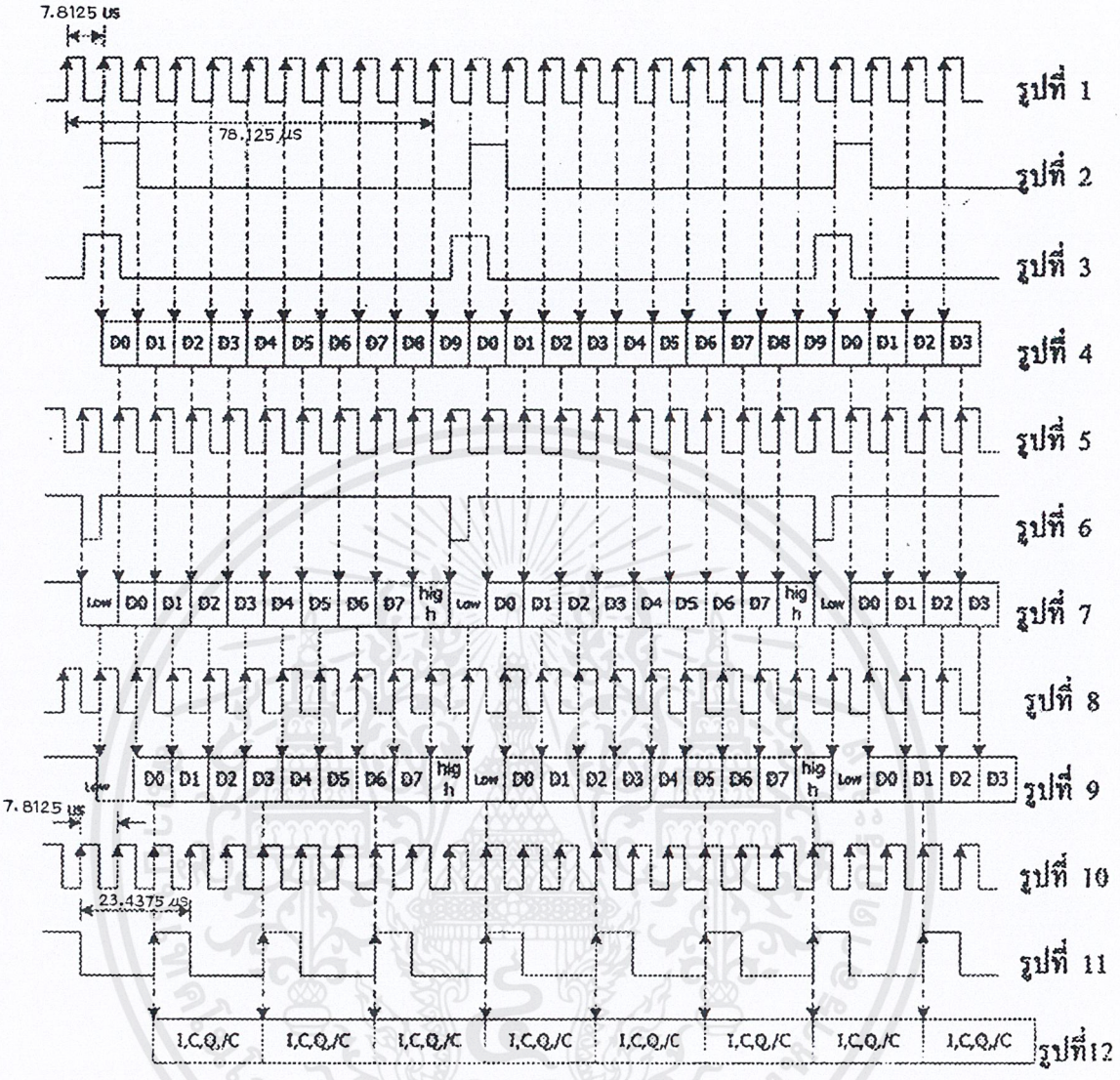
แทน Vx ใน (1) ลงใน (2) จะได้

$$\frac{V_1}{R_1}\left[\frac{R_1 \times R_3}{R_1 + R_3}\right]\left[\frac{R_4 + R_2}{R_1 \times R_4}\right] - \frac{V_2}{R_2} = \frac{V_0}{R_4}$$

ให้ R มีค่าเท่ากันทุกตัว จะได้

$$V_0 = V_1 - V_2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 รูปสัญญาณควบคุมและข้อมูลที่เทียบกับสัญญาณนาฬิกาที่จุดต่าง ๆ ของเครื่องส่ง

คำอธิบายรูปสัญญาณควบคุมและข้อมูลที่เทียบกับสัญญาณนาฬิกาที่จุดต่าง ๆ ของเครื่องส่ง

รูปที่ 1 เป็นสัญญาณรูปสี่เหลี่ยมที่มีความถี่ 128 kHz ใช้เป็นสัญญาณนาฬิกา ซึ่งเป็นตัวอ้างอิงกับสัญญาณนาฬิกาตัวอื่น ๆ ทั้งหมดในส่วนของเครื่องส่ง โดยเป็นสัญญาณมาจากเอาต์พุตของไอซี ซีมอส 14-Stage

รูปที่ 2 เป็นสัญญาณรูปสี่เหลี่ยมความถี่ 12.8 kHz ที่ได้จากการนำสัญญาณนาฬิกาไปผ่านวงจรหาร 10

รูปที่ 3 เป็นสัญญาณรูปสี่เหลี่ยม ความถี่ 12.8 kHz ที่ได้มาจากการนำสัญญาณนาฬิกา 128 kHz (จากรูปที่ 1) มาผ่านน็อตเกท กลับเฟสไป 180 องศา ทำให้ขอบขาขึ้นต่างกัน 3.90625 μ Sec(จากรูปที่ 5) นำมาผ่านวงจรหาร 10 โดย IC 74LS163 โดยสัญญาณนี้จะถูกป้อนให้ขาโหลด ของ 74LS165 เพื่อให้ 74LS165 ทำการดึงข้อมูล แบบขนาน 8 บิต เข้ามาเก็บไว้ เมื่อมีสัญญาณนาฬิกา 128 kHz (รูปที่ 1) มาทริกที่ขา 2 ซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นขารับสัญญาณนาฬิกา ของ 74LS165 และเมื่อดึงข้อมูลแล้วจะมีข้อมูลปรากฏที่ O/P Q_H ของ 74LS165 ทันที เมื่อดึงข้อมูลเสร็จแล้วก่อนที่สัญญาณนาฬิกา 128 kHz ลูกต่อไปเข้ามา สัญญาณที่ขา โหลด จะตกเป็นสภาวะต่ำ เพื่อให้เมื่อมีสัญญาณ 128 kHz ลูกต่อไปเข้ามาจะทำการเลื่อน บิตถัดไปที่เข้ามาที่ขาเอาต์พุต คือ เลื่อนบิตจาก Q_G ไป Q_H,Q_F ไป Q_G,Q_E ไป Q_F,Q_D ไป Q_E,Q_C ไป Q_D,Q_B ไป Q_C,Q_A ไป Q_B และบิต Q_A จะเป็นสภาวะทางด้านสูงแทนข้อมูลเดิมโดย Q_H เป็นเอาต์พุต แบบอนุกรมเพื่อส่งข้อมูลต่อไปยัง 74LS175 เพื่อสร้างบิตเริ่มต้นและบิตสิ้นสุดต่อไป

รูปที่ 4 เป็นข้อมูลที่ปรากฏที่ขา Q_H ของ 74LS165 เพื่อป้อนสัญญาณให้ขารับสัญญาณของ 74LS175 โดยจะเห็นว่าข้อมูลที่ขา Q_H ของ 74LS165 จะเปลี่ยนไปเมื่อมีสัญญาณ นาฬิกาลูกที่ 2,3,4,...9,10 โดยสัญญาณนาฬิกาลูกที่ 9 และ 10 จะทำให้ข้อมูลที่ขา Q_H เป็นสภาวะบิตสูงตามคุณสมบัติของ 74LS165 โดยข้อมูลที่ขา Q_H นี้จะป้อนให้ 74LS175 เพื่อส่งเป็น ข้อมูลอนุกรมโดยเพิ่ม บิตเริ่มต้น และ บิตสิ้นสุดต่อไป

รูปที่ 5 สัญญาณนาฬิกา 128 kHz ที่นำสัญญาณจากรูปที่ 1 มาผ่านน็อตเกทเพื่อใช้ป้อนสัญญาณให้ขารับสัญญาณนาฬิกาของ 74LS175 และขารับสัญญาณนาฬิกาของ 74LS169 (สัญญาณเดียวกับรูปที่ 10)

รูปที่ 6 เป็นสัญญาณที่สร้างมาจากการนำเอาสัญญาณนาฬิกา 12.8 kHz จาก รูปที่ 3 ไปเข้าวงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์เบอร์ 74LS123 เพื่อปรับค่าความกว้างของพัลซ์ด้านต่ำให้แคบ เพื่อใช้ป้อนเป็นสัญญาณที่จะนำไปเป็นสัญญาณเคลียร์ของ 74LS175 เพื่อสร้างบิตเริ่มต้น เป็นข้อมูลด้านบิตต่ำให้แต่ละชุดข้อมูล

รูปที่ 7 เป็นข้อมูลที่เกิดขึ้นที่อินพุต ขา Q_1 ของ 74LS175 โดยใช้สัญญาณนาฬิกา 12.8 kHz (รูปที่ 5) เป็นตัวเลื่อนข้อมูลออกมา โดยมีสัญญาณเคลียร์ดังรูปที่ 6 เพื่อใช้เคลียร์ ข้อมูลบิตแรกของทุกชุดข้อมูลให้เป็นสภาวะต่ำเพื่อแสดงสถานะเป็นบิตเริ่มต้นซึ่งจะเป็นตัวชี้บอกว่าบิตหลังจากนี้จะเป็นข้อมูลแล้วโดยสัญญาณนาฬิกา นี้จะเลื่อนบิต $D_0 - D_7$ จนครบและจะมีบิต D_8 ซึ่งเป็นบิตสุดท้ายที่จะถูกเลื่อนผ่านไปได้ก่อนที่จะมีการเคลียร์บิตอีกครั้งเพื่อสร้างบิตเริ่มต้น ในชุดข้อมูลต่อไป และบิต D_8 ซึ่งเป็นบิตสุดท้ายของแต่ละชุดข้อมูลจะเป็นสภาวะสูงเสมอ ปิดท้ายทุกชุดข้อมูล เป็นบิตสิ้นสุด ซึ่งจะบอกว่าชุดข้อมูลนี้ได้ส่งข้อมูลเสร็จสิ้นแล้ว ต่อจากนั้นก็จะเริ่มโดยบิตเริ่มต้น ซึ่งเป็นสภาวะทางด้านต่ำ ของชุดข้อมูลต่อไปทันที จะเห็นว่าช่วงเวลาที่สัญญาณนาฬิกา 128 kHz ดังรูปที่ 5 ซึ่งผ่านน็อตเกทจะนำไปทริก เพื่อรับข้อมูลเข้ามาที่ IC 74LS175 นั้น เวลาที่สัญญาณนาฬิกาทริกนั้นจะอยู่กึ่งกลางบิตของข้อมูลที่เข้ามาจาก 74LS165 พอดี แบบนี้จะไม่ทำให้เกิดการผิดพลาดของข้อมูล (Data) จากการรับส่งบิต เนื่องจากช่วงเวลาการแปลงสัญญาณและส่งให้เอาต์พุตของไอซี แต่ละตัวไม่เท่ากัน

รูปที่ 8 เป็นสัญญาณรูปสี่เหลี่ยมที่มีความถี่ 128 kHz สัญญาณเดียวกันกับรูปที่ 1

รูปที่ 9 เป็นข้อมูลที่เกิดขึ้นจาก ไอซี 74LS96 เป็นวงจรชิพรีจิสเตอร์จากขา $Q_A - Q_B - Q_C - Q_D - Q_E$ ตามสัญญาณนาฬิกา 128 kHz จากรูปที่ 8 โดยต่อขา QA,QB,QC ของ74LS96 กับขา อินพุตของ 74LS175 เพื่อให้ 74LS175 ทำการดึงข้อมูลทุกๆการเลื่อนของข้อมูล (Data) 3บิต

รูปที่ 10 เป็นสัญญาณรูปสี่เหลี่ยมที่มีความถี่ 128 kHz สัญญาณเดียวกับรูปที่ 5 เพื่อใช้ป้อนให้ ไอซี 74LS169 เป็นวงจรหาร 3 เพื่อนำเอาต์พุตไปเป็นสัญญาณนาฬิกาให้ 74LS175 เพื่อดึงข้อมูลครั้งละ 3 บิต นำไปป้อนให้ภาคแปลงข้อมูลดิจิตอล 2 ระดับเป็นข้อมูลอนาลอก 4 ระดับต่อไป

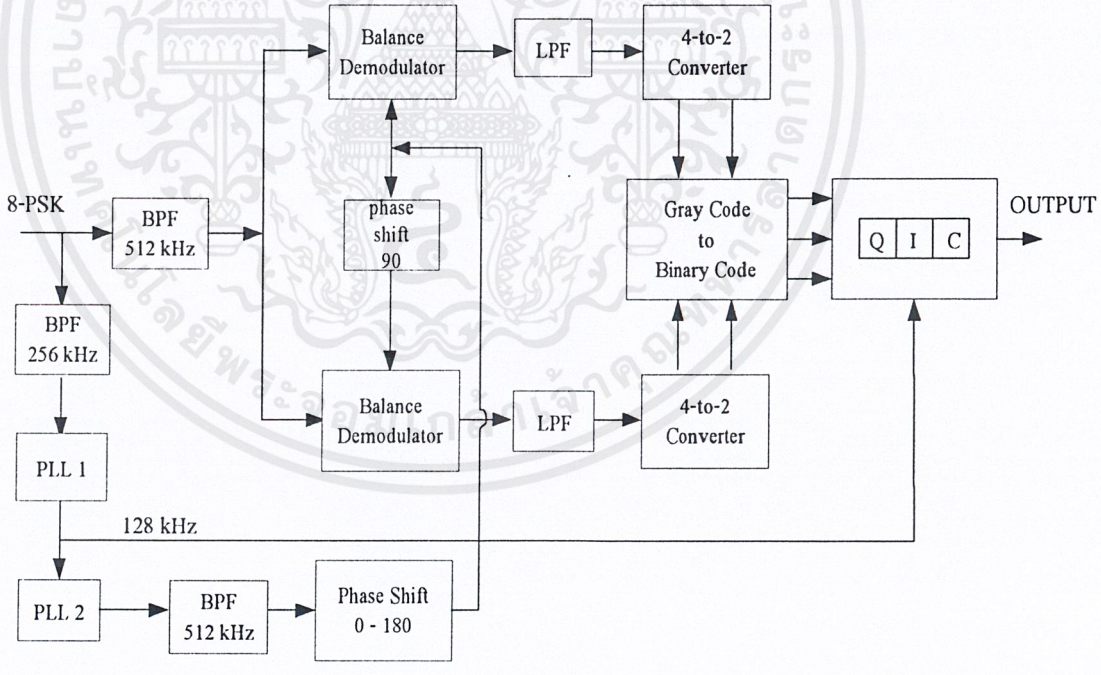
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 11 สัญญาณที่นำไปทริกให้ 74LS175 มีความถี่ 42.66 kHz เนื่องจากนำความถี่ 128 kHz มาทำการหาร 3 เพื่อใช้รับข้อมูลครั้งละ 3 บิตไปแปลงสัญญาณ

รูปที่ 12 สัญญาณที่ปรากฏที่เอาต์พุตของ ไอซี MC14555 เข้าวงจรแปลงข้อมูลดิจิตอล 2 ระดับเป็นข้อมูลอนาลอก 4 ระดับ แล้วนำสัญญาณเอาต์พุตไปทำการมอดูเลตกับสัญญาณพาหะ ที่เป็นสัญญาณไซน์ และคอสหลังจากการมอดูเลต แล้วจะนำสัญญาณมารวมกันโดยวงจรรวมสัญญาณก็จะได้สัญญาณ 8 – PSK ที่มีเฟสเลื่อนไปจากความถี่คลื่นพาหะเดิม

3.2 การออกแบบและการคำนวณวงจรทางด้านภาครับ

ในการออกแบบและการทดลองวงจรทางด้านภาครับนั้น ต้องเพิ่มวงจรบางส่วนจากทฤษฎี เพื่อให้สอดคล้องกับสัญญาณที่ส่งมาจากทางด้านภาคส่งซึ่งสัญญาณที่ส่งมามีความถี่ของสัญญาณนำร่อง 256 kHz ร่วมกับสัญญาณที่เข้ารหัสแบบ 8- PSK ดังนั้นจึงต้องมีวงจรกรองสัญญาณ 2 ส่วน คือ วงจรกรองความถี่นำร่อง 256 kHz และวงจรกรองสัญญาณเข้ารหัส 8-PSK ความถี่ 512 kHz เมื่อได้ความถี่นำร่อง 256 kHz ก็สามารถนำมาสร้างสัญญาณพาหะและสัญญาณนาฬิกาที่ซิงโครไนซ์กับสัญญาณที่ส่งมาจากทางภาคส่ง ทำให้สามารถรับข้อมูลได้อย่างถูกต้อง



รูปที่ 3.14 บล็อกไดอะแกรมของภาครับ 8-PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 วงจรกรองช่วงความถี่

วงจรกรองช่วงความถี่นี้ จะทำหน้าที่คัดเลือกความถี่ที่ต้องการให้สามารถผ่านวงจรออกไปได้โดยที่ไม่ถูกลดทอน หน้าที่ของวงจรกรองช่วงความถี่นี้จะทำหน้าที่กรองเอาสัญญาณไซน์เวฟออกจากสัญญาณรูปสี่เหลี่ยมภายในส่วนของวงจรกำเนิดสัญญาณพาหะและกำเนิดสัญญาณไพล็อทโทนและยังช่วยกำจัดสัญญาณรบกวนที่เกิดจากวงจรข้างเคียงก่อนจะส่งออกไปยังภาครับอีกด้วย

วงจรกรองช่วงความถี่ แบ่งเป็น 2 อย่าง คือ วงจรกรองความถี่ช่วงแถบความถี่แคบ (Narrow Band Filter) และ วงจรกรองความถี่ช่วงแถบความถี่กว้าง (Wide Band Filter)โดยวงจรกรองความถี่ช่วงแถบความถี่แคบจะมีค่าแบนด์วิดธ์มากกว่า 0.1 เท่าของความถี่รีโซแนนซ์ ($B > 0.1W_r$) และวงจรกรองความถี่ช่วงแถบความถี่กว้างจะมีค่าแบนด์วิดธ์น้อยกว่า 0.1 เท่าของความถี่รีโซแนนซ์ (Resonance Frequency) อัตราส่วนระหว่างความถี่รีโซแนนซ์กับแบนด์วิดธ์เรียกว่า quality factor : Q

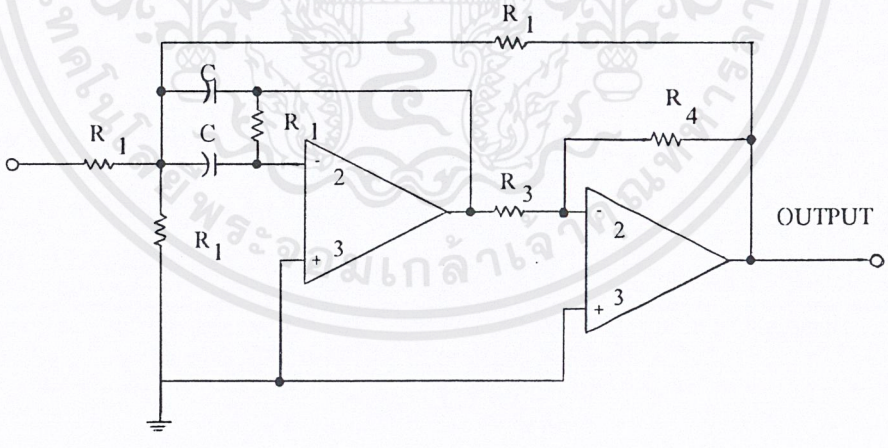
นั่นคือค่า Q ของวงจร Narrow Band Filter จะมีค่ามากกว่า 10 ของวงจรกรองความถี่ช่วงแถบความถี่กว้าง จะมีค่าน้อยกว่า 10

$$B = \frac{wr}{Q}$$

หรือ

$$Q = \frac{Wr}{B}$$

สำหรับวงจรกรองความถี่ย่านผ่านเราใช้วงจร Positive Feedback Filter แสดงดังรูปที่ 3.15



รูปที่ 3.15 วงจรกรองช่วงความถี่ผ่านป้อนกลับแบบบวก

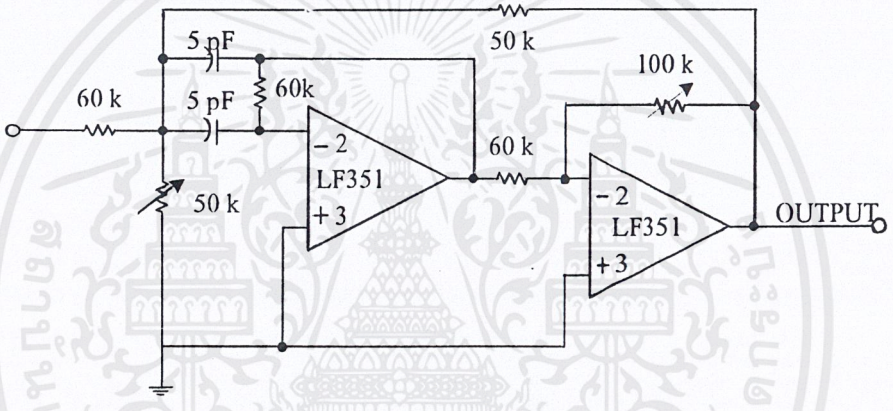
ในการออกแบบเราจะกำหนดความถี่ที่ต้องการ กำหนดค่า Q หรือ BW และแกนที่ต้องการ ขั้นตอนในการออกแบบมีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

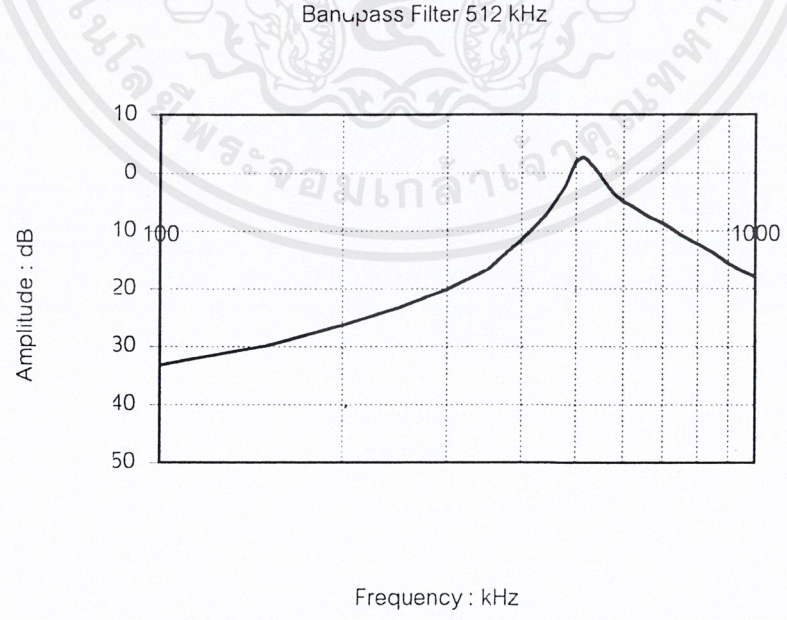
1) เลือกค่าตัวเก็บประจุและหาค่า K parameter จากกราฟ (ในภาคผนวก)
2) ใช้ค่า K ที่หาได้จากข้อ 1) มาหาค่าความต้านทานจากกราฟ (ในภาคผนวก) ซึ่งขึ้นอยู่กับ ค่า Q, BW และแกนที่เรากำหนด
3) เลือกค่าความต้านทานให้ตรงตามกราฟที่ได้และทำการสร้างวงจร

3.2.2 วงจรกรองความถี่ช่วงความถี่สัญญาณพาหะ (carrier signal)

สัญญาณข้อมูลชนิด 8-PSK ความถี่ 512 kHz รวมกับสัญญาณนำร่อง (Pilot) 256 kHz ที่ส่งรวมกันมาจากทางภาคส่งจะต้องทำการแยกเฉพาะสัญญาณข้อมูลออกมาในภาครับเพื่อนำไปป้อนให้อินพุตของวงจรบาลานซ์มอดูเลเตอร์ โดยใช้วงจรกรองความถี่ผ่านแบบป้อนกลับทางบวก และยังเป็นวงจรกำจัดสัญญาณรบกวนได้อีกทางหนึ่งด้วย ในที่นี้จะใช้วงจรกรองความถี่ของสัญญาณมอดูเลตช่วง 512 kHz



รูปที่ 3.16 วงจรกรองความถี่ 512 kHz

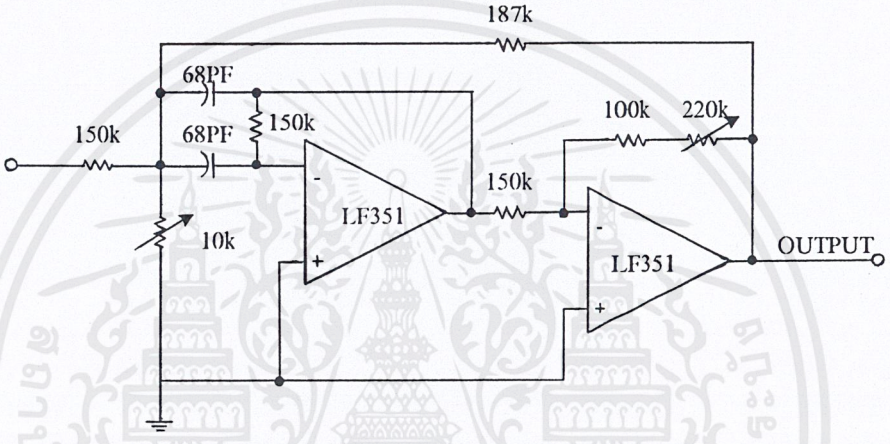


รูปที่ 3.17 กราฟผลตอบสนองของวงจรกรองความถี่ผ่าน 512 kHz

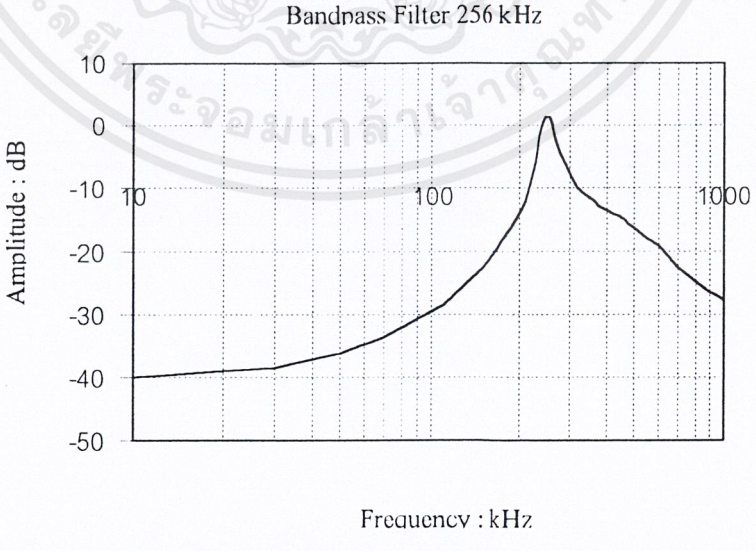
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 วงจรกรองช่วงความถี่สัญญาณนำร่อง (Pilot signal)

ในการออกแบบวงจรกรองช่วงความถี่สัญญาณนำร่องนี้ จะใช้วงจรกรองความถี่ที่ 256 kHz ในการออกแบบวงจรนั้นควรที่จะออกแบบให้ดีเป็นอย่างมาก เนื่องจากถ้าออกแบบไม่ดีจริงแล้วนั้นจะทำให้สัญญาณที่ได้ผิดเพี้ยนไปจากเดิม ทำให้ทางภาครับและภาคส่งไม่สัมพันธ์กัน ซึ่งการสัมพันธ์กันเป็นหัวใจหลักในการส่งข้อมูลแบบ 8 – PSK และที่สำคัญสัญญาณนำร่องที่ได้ต้องนำไปเป็นสัญญาณอ้างอิงในการสร้างสัญญาณนาฬิกา และสัญญาณพาหะ ยังกล่าวได้อีกว่าเมื่อสัญญาณนำร่องไม่สัมพันธ์กันแล้ว สัญญาณนาฬิกาและสัญญาณพาหะก็จะไม่สัมพันธ์กันด้วย ซึ่งถ้าไม่เกิดการสัมพันธ์กันระหว่างภาคส่งและภาครับแล้วนั้น การรับข้อมูลที่ได้จะผิดพลาดทันที หรือกล่าวอีกนัยหนึ่งคือ ภาครับทำงานไม่ได้เลย



รูปที่ 3.18 วงจรกรองความถี่ผ่าน 256 kHz

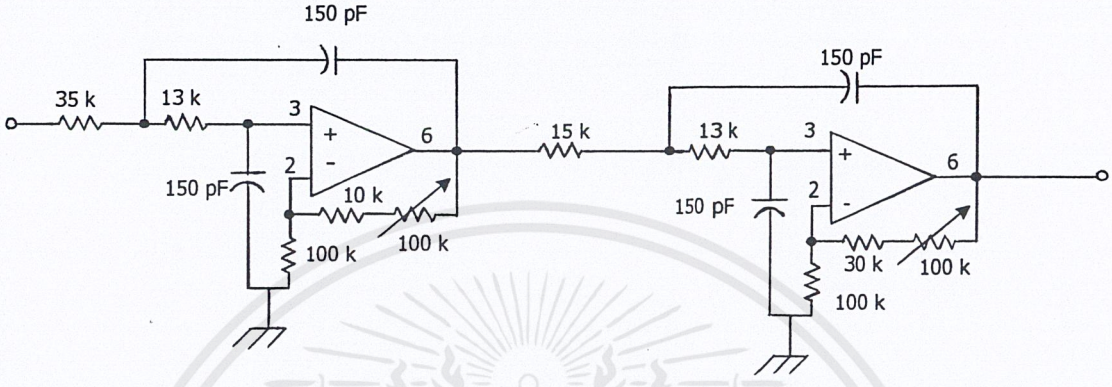


รูปที่ 3.19 กราฟผลตอบสนองของวงจรกรองความถี่ผ่าน 256 kHz

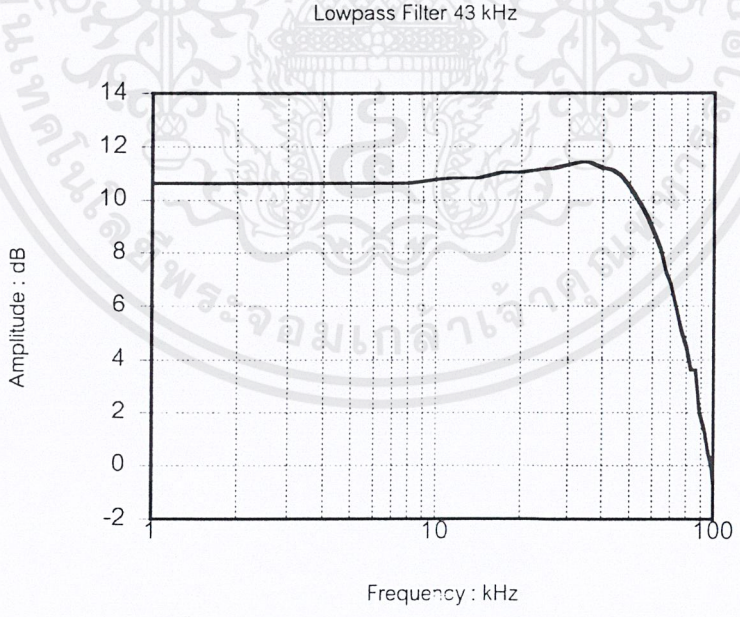
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4 วงจรกรองความถี่ต่ำผ่าน ความถี่ 40 kHz

วงจรนี้จะรับสัญญาณที่มาจากเอาต์พุตของวงจรบาลานซ์มอดูเลเตอร์เพื่อกรองความถี่สูงกว่าสัญญาณ 4 ระดับออกไป ให้ผ่านเฉพาะสัญญาณความถี่ต่ำ ซึ่งจะได้เป็นสัญญาณเอาต์พุต 4 ระดับออกมา วงจรกรองข้อมูลความถี่ต่ำผ่านแสดงดังรูป 3.19



รูปที่ 3.20 วงจรกรองข้อมูลความถี่ต่ำผ่าน 40 kHz



รูปที่ 3.21 กราฟผลตอบสนองของวงจรกรองข้อมูลความถี่ต่ำผ่าน 40 kHz

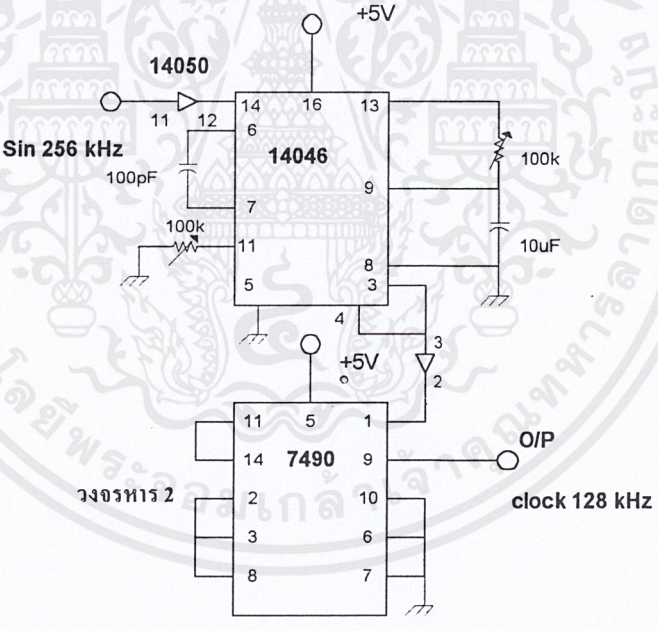
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4 วงจรกู้สัญญาณนาฬิกา 128 kHz

เมื่อสัญญาณนำร่อง 256 kHz ผ่านวงจรกรองความถี่แล้วจะถูกส่งไปยังวงจรกู้สัญญาณนาฬิกาเพื่อทำการแปลงสัญญาณรูปไซน์ ให้เป็นสัญญาณสี่เหลี่ยม แล้วใช้วงจรหารความถี่ 2 เท่า ซึ่งจะเท่ากับ 128 kHz ซึ่งจะเท่ากับสัญญาณนาฬิกาทางภาคส่งพอดี

เนื่องจากการที่ภาคส่งนั้น สัญญาณนำร่องได้มาจากการอ้างอิงสัญญาณนาฬิกาโดยใช้วงจรเฟสล็อคลูปทำการล็อคสัญญาณนาฬิกาเอาไว้ แล้วคูณความถี่ให้สูงขึ้นจากนั้นใช้วงจรกรองความถี่ช่วยทำสัญญาณสี่เหลี่ยมกลายเป็นสัญญาณไซน์ และที่ภาครับเมื่อรับสัญญาณนำร่องได้แล้วจะใช้เฟสล็อคลูปทำการล็อคความถี่เอาไว้พร้อมกับแปลงสัญญาณรูปไซน์ให้เป็นสัญญาณสี่เหลี่ยม จากนั้นก็ใช้วงจรหารความถี่เพื่อให้ความถี่ลดลงเหลือเท่ากับความถี่ของสัญญาณนาฬิกาพอดี

ดังนั้นจะเห็นได้ว่า การสร้างสัญญาณนำร่องของทางภาคส่งและสัญญาณนาฬิกาของภาครับนั้นจะอาศัยการอ้างอิงและเปรียบเทียบกับสัญญาณที่มีอยู่แล้วในวงจร อีกทั้งเป็นสัญญาณตัวเดียวกันอีกด้วย รวมทั้งการใช้วงจรเฟสล็อคลูปซึ่งมีวงจรผลิตความถี่และวงจรเปรียบเทียบเฟสสัญญาณอยู่ภายในจึงเป็นการทำให้เกิดการสัมพันธ์กันระหว่างภาคส่งและภาครับ

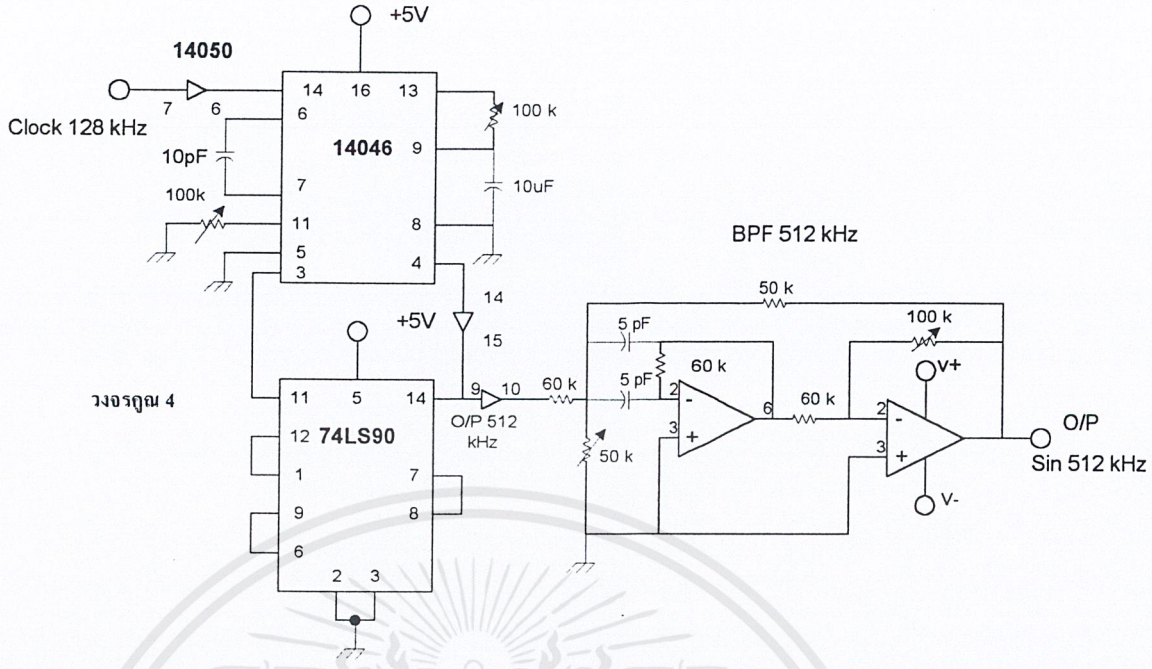


รูปที่ 3.22 วงจรกู้สัญญาณนาฬิกา

3.2.5 วงจรกู้สัญญาณพาหะ

วงจรกู้สัญญาณพาหะนั้นจะอาศัยสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณนาฬิกามาใช้เป็นสัญญาณอ้างอิง แล้วคูณความถี่เป็น 4 เท่า โดยใช้วงจรเฟสล็อคลูป จากนั้นก็จะผ่านวงจรกรองความถี่ 512 kHz เพื่อทำการคัดเลือกเฉพาะสัญญาณรูปไซน์เพื่อนำไปเป็นสัญญาณพาหะสำหรับใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ต่อไป วงจรแสดงดังรูป 3.23

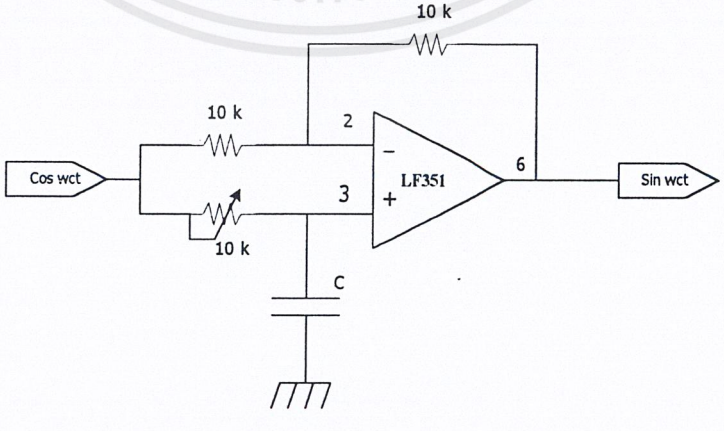
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.23 วงจรกู้สัญญาณพาหะ

3.2.6 วงจรเลื่อนเฟสสัญญาณ 90 องศา

เนื่องจากสัญญาณมอดูเลตที่รับมานั้นจะประกอบไปด้วยสัญญาณดิจิตอลที่ถูกแยกออกเป็นสองส่วนคือ ส่วนช่องสัญญาณ IC และช่องสัญญาณ $\overline{QC}$ สัญญาณข้อมูล 2 บิตที่ถูกแยกออกมานั้นจะกลายเป็นสัญญาณ 4 ระดับ แล้วมอดูเลตมากับสัญญาณพาหะโดยวงจรบาลานซ์มอดูเลเตอร์และนำมารวมกันระหว่างสัญญาณมอดูเลตทางช่อง IC ที่ใช้สัญญาณคลื่นรูปไซน์เป็นสัญญาณพาหะ และสัญญาณมอดูเลตทางด้าน $\overline{QC}$ ที่ใช้สัญญาณคลื่นรูปโคไซน์เป็นสัญญาณพาหะ ในทำนองเดียวกันที่ภาครับก็ต้องมีสัญญาณพาหะ 2 ชุดด้วยโดยจะใช้สัญญาณคลื่นรูปไซน์ที่ได้มาจากวงจรกู้สัญญาณพาหะเพื่อนำมาใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ของทางอินเฟส และจะใช้สัญญาณคลื่นรูปโคไซน์ที่ได้มาจากวงจรกู้สัญญาณพาหะแล้วผ่านวงจรเลื่อนเฟส 90 องศา เพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านควอดราเจอร์เฟส



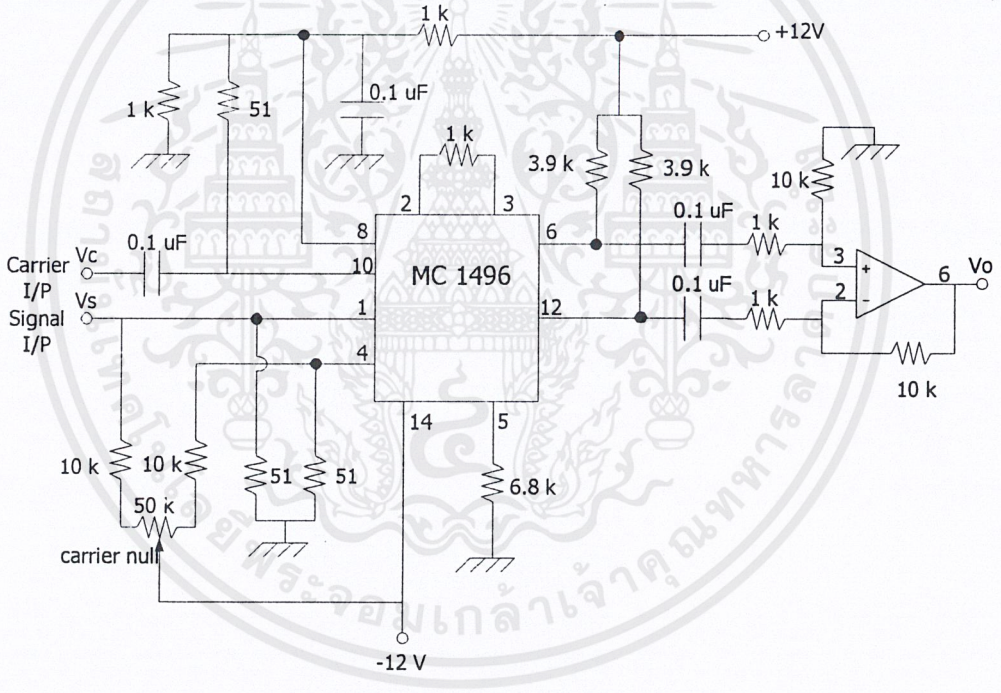
รูปที่ 3.24 วงจรเลื่อนเฟส 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.7 วงจรบาลานซ์ดีมอดูเลเตอร์

วงจรบาลานซ์ดีมอดูเลเตอร์ (Balance Demodulator) ที่ภาครับนี้จะเป็นวงจรที่มีลักษณะคล้ายกับวงจรบาลานซ์มอดูเลเตอร์ (Balance Modulator) ที่ใช้ในภาคส่ง มีข้อแตกต่างกันอยู่เล็กน้อยเท่านั้น ดังจะแสดงในรูปที่ 3.24 และด้วยเหตุที่ว่าข้อมูลที่ส่งมามี 2 ส่วน ดังนั้นในภาครับนี้ก็จะต้องมีวงจรบาลานซ์ดีมอดูเลเตอร์ 2 วงจร เพื่อที่จะทำหน้าที่แยกวงจรสัญญาณ 4 ระดับที่ถูกมอดูเลตมากับสัญญาณพาหะ ทั้งทางด้านอินเฟสและทางด้านควอดราเจอร์เฟส โดยอาศัยสัญญาณพาหะจากวงจรกู้สัญญาณโดยตรงคือสัญญาณไซน์เวฟคูณเข้ากับสัญญาณมอดูเลตที่วงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านอินเฟส และสัญญาณพาหะจากวงจรเลื่อนเฟส 90 องศาคือ สัญญาณรูปโคไซน์คูณเข้ากับสัญญาณมอดูเลตที่วงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านควอดราเจอร์เฟส

ลักษณะและรายละเอียดของวงจรบาลานซ์ดีมอดูเลเตอร์ทั้ง 2 วงจรจะเหมือนกันทุกประการจึงแสดงไว้เพียงวงจรเดียว ดังรูปที่ 3.25



รูปที่ 3.25 วงจรบาลานซ์ดีมอดูเลเตอร์

3.2.8 วงจรแปลงสัญญาณ 4 ระดับไปเป็น 2 บิต

เมื่อสัญญาณผ่านวงจรบาลานซ์ดีมอดูเลเตอร์ทางภาครับแล้วจะมีสัญญาณความถี่ต่ำ และเมื่อผ่านขบวนการตัดสินระดับและจัดรูปพัลซ์แล้วจะเป็นสัญญาณ 4 ระดับเหมือนกับสัญญาณก่อนเข้าวงจรบาลานซ์ดีมอดูเลเตอร์จของทางด้านภาคส่ง ดังนั้นเราจำเป็นต้องเปลี่ยนสัญญาณ 4 ระดับดังกล่าวให้เป็นสัญญาณดิจิตอล 2 บิต เพื่อที่จะนำไปรวมกันเป็นข้อมูลดิจิตอลส่งออกต่อไป

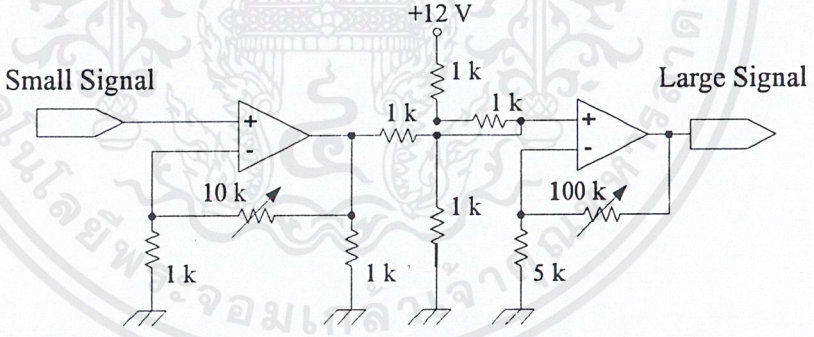
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อความสะดวกในการตรวจจับระดับ จึงได้ทำการออกแบบวงจรขยายสัญญาณ 4 ระดับ ซึ่งมีขนาดเล็กไม่ถึง 1 V_{p-p} ให้เป็นสัญญาณขนาดใหญ่ 8 V_{p-p} ดังจะได้สรุปการขยายสัญญาณ 4 ระดับ และแสดงไว้ในตารางที่ 3.1

อินพุต 4 ระดับ (สัญญาณขนาดเล็ก)	เอาต์พุต 4 ระดับ (สัญญาณขนาดใหญ่)
+150 mV	9 V
+50 mV	7 V
-50 mV	5V
+150 mV	3 V

ตารางที่ 3.1 แสดงการขยายสัญญาณก่อนเข้าวงจรตรวจระดับสัญญาณ

ในส่วนของวงจรขยายสัญญาณดังกล่าวนี้ได้ทำการออกแบบและทดลองวงจรแสดงไว้ในรูปที่ 3.25 โดยอาศัยวงจรขยายออปแอมป์แบบไม่กลับขั้ว (non-inverting) ใช้ตัวต้านทานแบ่งแรงดันจาก 12 โวลท์ให้ได้ 6 โวลท์เข้าที่ขา 3 ของออปแอมป์ เพื่อใช้เป็นระดับอ้างอิงในการขยายสัญญาณ ส่วน R_f ของวงจรนี้จะใช้ V_R = 10 k เพื่อใช้ปรับอัตราขยายของวงจร ให้เป็นไปตามข้อกำหนดที่ได้ทำการออกแบบไว้



รูปที่ 3.26 วงจรขยายสัญญาณ 4 ระดับ

เมื่อระดับของสัญญาณมีขนาดใหญ่เพียงพอกับการตรวจจับระดับและมีความสามารถในการป้องกันความผิดพลาดของสัญญาณแล้วจะถูกส่งไปเข้าวงจรแปลงระดับให้เป็น 2 บิต โดยจะใช้วงจรเปรียบเทียบแรงดัน ซึ่งอาศัยออปแอมป์ทำหน้าที่ตรวจจับระดับสัญญาณ ทำการตั้งจุดการทำงานของออปแอมป์ไว้ที่ระดับต่างๆ กัน ดังนี้คือ 4 โวลท์, 6 โวลท์ และ 8โวลท์ เมื่อสัญญาณเข้ามาออปแอมป์แต่ละตัวจะตรวจสอบเปรียบเทียบความต่างศักย์ระหว่างขากลับขั้วและขาไม่กลับขั้ว แล้วให้เอาต์พุตตามลักษณะสมบัติของตัวมัน และที่ขาเอาต์พุตแต่ละตัวจะใช้ตัวต้านทานแบ่งแรงดันเพื่อที่ต้องการเพียง 5 โวลท์ ในขณะที่สัญญาณเข้ามาต่ำกว่าระดับที่ตั้งไว้ และ 0 โวลท์ ในขณะที่สัญญาณเข้ามาสูงกว่าระดับที่ตั้งไว้ของออปแอมป์ทุกตัว ทั้งนี้

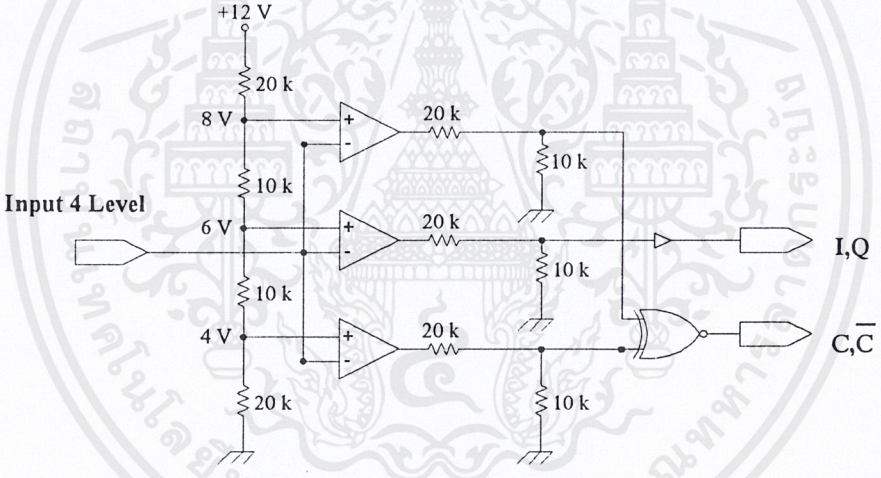
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้สอดคล้องกับอินพุตที่ EX-OR Gate (ไฟเลี้ยงของออปแอมป์จะป้อน +12 โวลท์ เข้าที่ขา 7 และขา 40 ลงกราวน์ ดังนั้นเอาต์พุตของออปแอมป์จะไม่มีโอกาสเป็นไฟลบ)

ดังนั้นเอาต์พุตจากวงจรที่ได้จาก EX-OR Gate แล้วจะเป็นสัญญาณดิจิตอลที่เป็น Gray Code ดังตารางที่ 3.2

สัญญาณอินพุต	เอาต์พุตจากเกรย์โค้ด
9 V	1 1
7 V	1 0
5V	0 0
3 V	0 1

ตารางที่ 3.2 แสดงการตรวจจับระดับสัญญาณแล้วแปลงสัญญาณเป็นรหัสเกรย์โค้ด

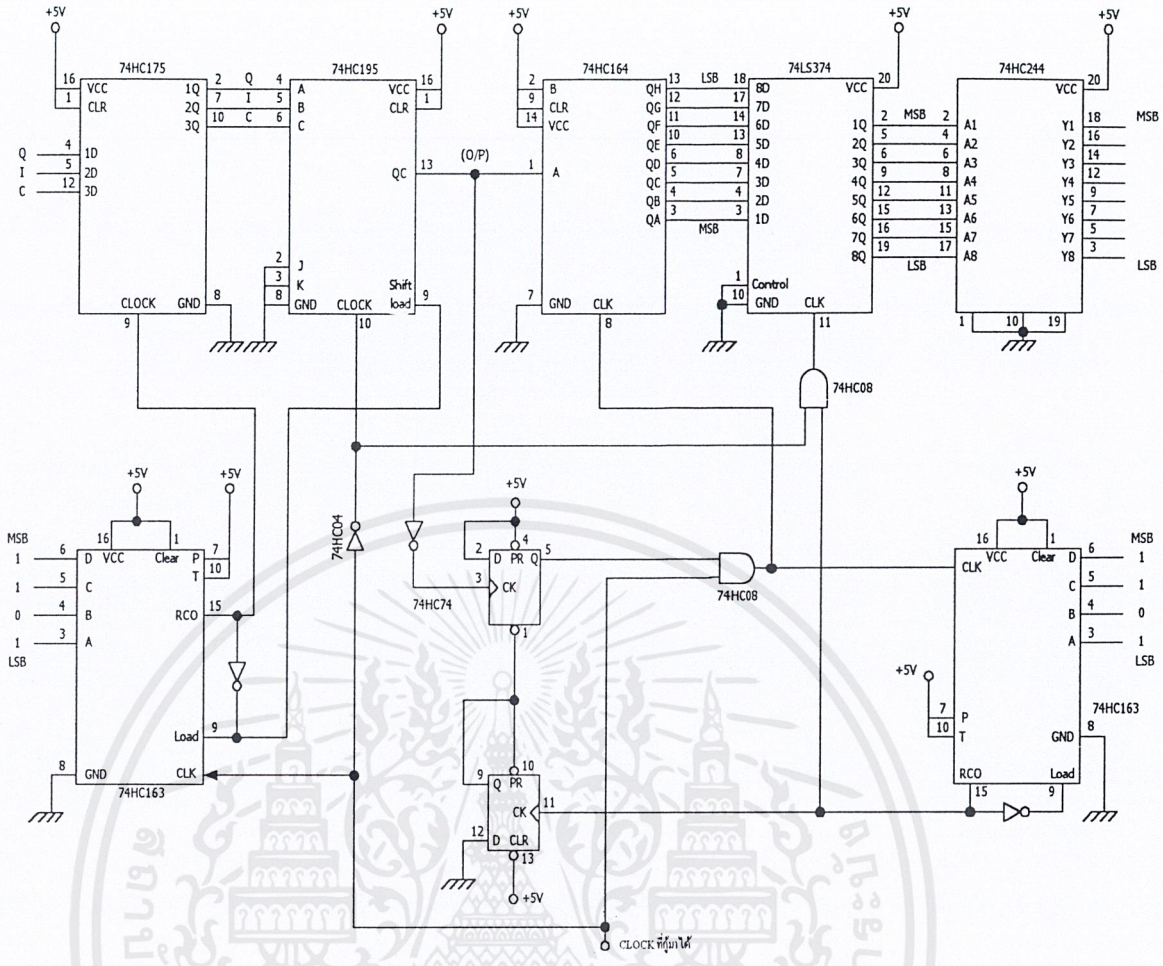


รูปที่ 3.27 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต

3.2.9 วงจรแปลงข้อมูลอนุกรมเป็นข้อมูลแบบขนาน

จากข้อมูลอนุกรมที่ได้จากวงจรแปลงสัญญาณ 4 ระดับ เป็น 2 บิต จะต้องทำการกำจัดบิตเริ่มต้นและบิตสิ้นสุดที่ส่งมาทางภาครับซึ่งไม่ใช่ส่วนของข้อมูลทิ้งไป โดยเราใช้บิตเริ่มต้นเป็นตัวเริ่มต้นไปทริก D-Flip Flop ไปป้อนเข้าแอนเกตขาหนึ่ง และอีกขาหนึ่งต่อกับสัญญาณนาฬิกา 32 kHz ที่กู้มาได้ให้มีการแอนกันเฉพาะช่วงที่ต้องการเท่านั้น ก็จะได้สัญญาณเอาต์พุตที่มีสัญญาณนาฬิกาเป็นช่วงนำไปป้อนเข้าขารับสัญญาณนาฬิกาของวงจรนับขึ้นใช้ไอซี 74HC163 ทำการนับขึ้น 8 ครั้ง ก็จะมีการเซ็ตบิตเครียร์และส่งสัญญาณไปดึงข้อมูลแบบขนานต่อจากชิพรีจีสเตอร์ 74HC164 มาเก็บไว้และส่งออกเอาต์พุตแบบขนานขนาด 8 บิตให้ตรงตามอินพุตแบบขนานที่ป้อนเข้ามาทางภาคส่ง วงจรแปลงข้อมูลอนุกรมเป็นแบบขนานแสดงดังรูปที่ 3.28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.28 วงจรรวมการแปลงข้อมูลขนานเป็นข้อมูลอนุกรม
และวงจรแปลงข้อมูลอนุกรมเป็นข้อมูลแบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

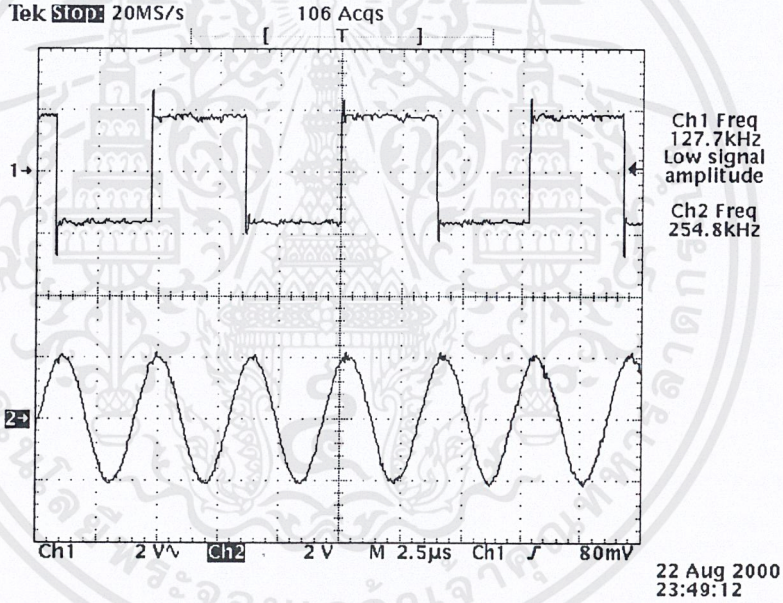
บทที่ 4
การทดลองและผลการทดลอง

4.1 จุดประสงค์การทดลอง

1. เพื่อศึกษารูปแบบการส่งสัญญาณดิจิตอลเพื่อเป็นพื้นฐานในการศึกษารูปแบบอื่น ๆ ต่อไป

2. เพื่อนำเสนอการส่งสัญญาณดิจิตอล อัตราความเร็ว 128 kbps โดยส่งสัญญาณแบ 8-PSK ซึ่งสามารถลดแบนด์วิดธ์ลงได้ถึง 2 เท่า ของการส่งสัญญาณแบบ QPSK ทำให้การใช้ช่องสัญญาณมีประสิทธิภาพมากขึ้น

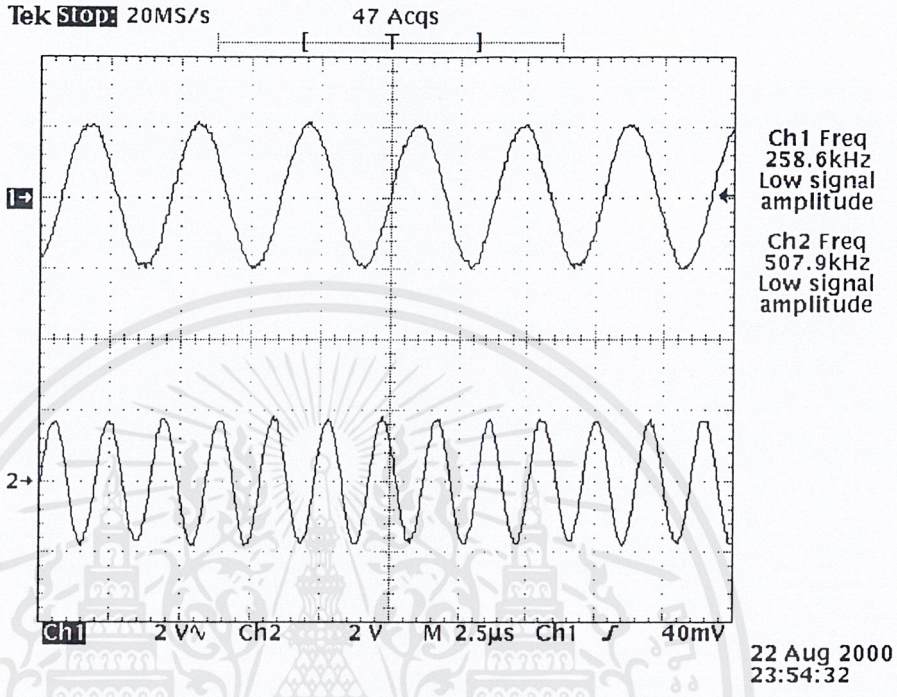
4.2 ผลการทดลองภาคเครื่องส่ง



รูปที่ 4.1 แชนแนล 1 สัญญาณนาฬิกา ความถี่ 128 kHz
แชนแนล 2 สัญญาณนำร่องความถี่ 256 kHz

จากรูปในแชนแนลที่ 2 เป็นผลการทดลองของวงจรผลิตสัญญาณไซน์ ความถี่ 256 kHz ที่ได้มาจากการนำเอาต์พุตของไอซี XR2206 มายกกำลังสองเพื่อจะนำมาทำเป็นสัญญาณนำร่อง และในแชนแนลที่ 2 เป็นสัญญาณสี่เหลี่ยมที่สร้างมาจากการนำสัญญาณนำร่องมาเข้าวงจรชมิตทริกเกอร์ แล้วนำมาเข้าวงจรหาร 2 ก็จะได้สัญญาณสี่เหลี่ยม ความถี่ 128 kHz ซึ่งเรานำมาทำเป็นสัญญาณนาฬิกา โดยสัญญาณนาฬิกาความถี่ 128 kHz นี้จะใช้เป็นสัญญาณนาฬิกาหลักในการนำไปเลื่อนข้อมูลความเร็ว 128 kbps ของวงจรทางภาคส่ง

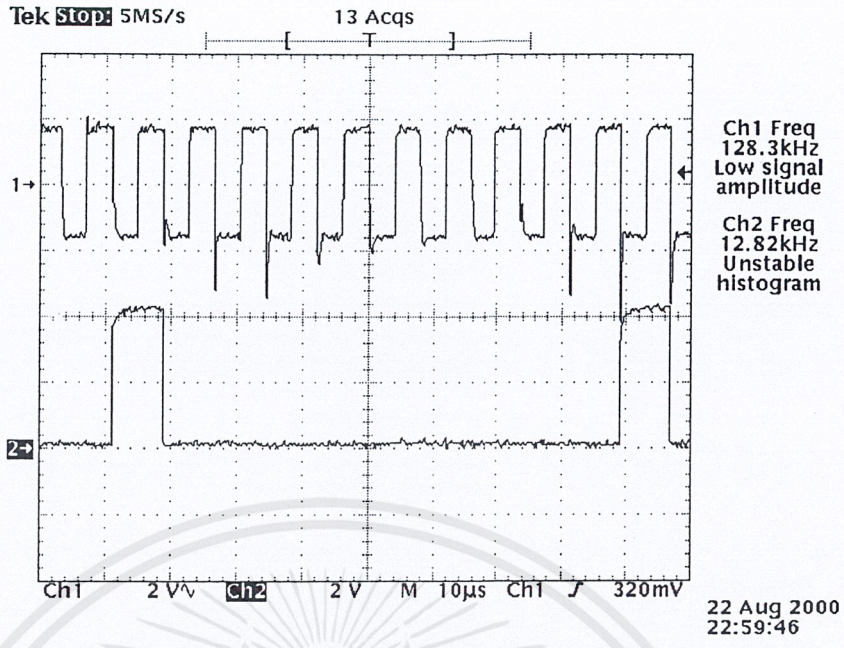
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แชนแนล 1 สัญญาณนำร่อง ความถี่ 256 kHz
แชนแนล 2 สัญญาณพาหะ ความถี่ 512 kHz

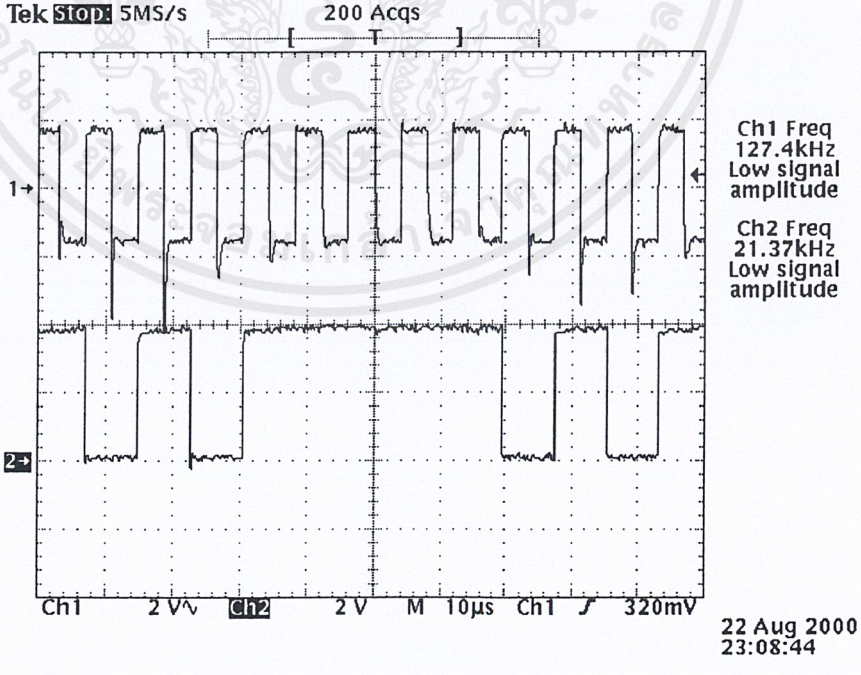
จากรูปในแชนแนลที่ 1 เป็นสัญญาณนำร่อง (pilot) ความถี่ 256 kHz ที่ผลิตได้จากวงจรออสซิลเลเตอร์ ซึ่งจะใช้ส่งรวมไปกับสัญญาณข้อมูล 8-PSK ไปยังภาครับเพื่อใช้ในการกู้สัญญาณพาหะ และกู้สัญญาณนาฬิกาให้มีความสัมพันธ์กันระหว่างเครื่องส่งและเครื่องรับ และในแชนแนลที่ 2 เป็นรูปสัญญาณพาหะ (carrier) ความถี่ 512 kHz ที่สร้างจากการนำสัญญาณนำร่องมาเข้าวงจรยกกำลังสอง ซึ่งสัญญาณนาฬิกา สัญญาณพาหะ และสัญญาณนำร่อง จะต้องมีความสมมาตรกัน จึงต้องสร้างมาจากสัญญาณนำร่องตัวเดียวกัน โดยสัญญาณพาหะเป็นสัญญาณที่เรานำมามอดูเลตกับสัญญาณ 4 ระดับ ทางด้านภาคเครื่องส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



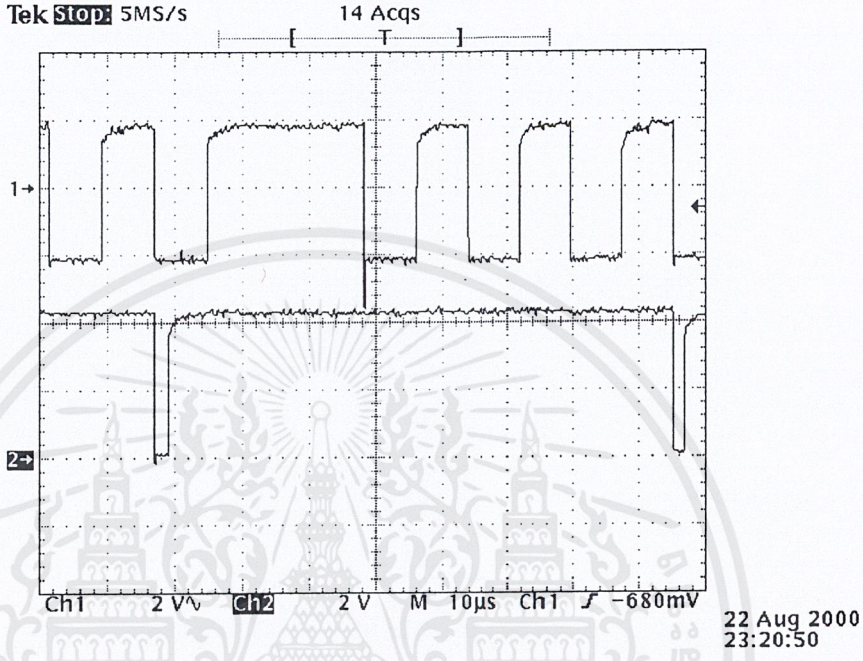
รูปที่ 4.3 แชนแนล 1 สัญญาณนาฬิกา ความถี่ 128 kHz
แชนแนล 2 สัญญาณนาฬิกา ความถี่ 12.8 kHz

จากรูปเป็นสัญญาณนาฬิกา ความถี่ 128 kHz และ 12.8 kHz เปรียบเทียบกัน โดยสัญญาณนาฬิกา 12.8 kHz นี้ได้จากการนำสัญญาณนาฬิกา ความถี่ 128 kHz มาเข้าวงจรหาร 10 ซึ่งสัญญาณนาฬิกาทั้งสองความถี่นี้จะนำมาเป็นอินพุตของวงจรเลื่อนข้อมูลจากขนานเป็นอนุกรม และสัญญาณนาฬิกาความถี่ 128 kHz นี้ จะใช้เป็นสัญญาณนาฬิกาหลักในการนำไปเลื่อนข้อมูลความเร็ว 128 kbps ของวงจรทางด้านภาคเครื่องส่ง



รูปที่ 4.4 สัญญาณนาฬิกา ความถี่ 128 kHz เทียบกับสัญญาณเอาต์พุตที่ขา 9 ของไอซี 74165 เมื่ออินพุตคือ 01010111

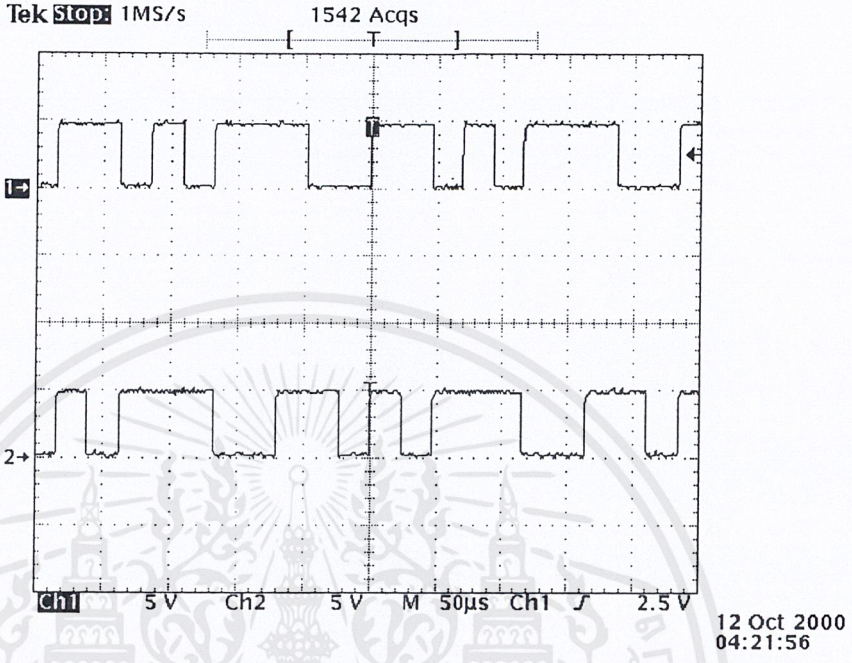
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 แชนแนล 1 รูปข้อมูลอนุกรมที่สร้างบิตเริ่มต้นและบิตสิ้นสุด
แชนแนล 2 สัญญาณควบคุมที่ขาเคลียร์ของไอซี 74175

จากรูป แชนแนลที่ 1 เป็นข้อมูลอนุกรมที่มาจากการเลื่อนข้อมูลของ ไอซีเบอร์ 74165 แล้วนำมาสร้างบิตเริ่มต้นและบิตสิ้นสุดด้วยไอซีเบอร์ 74175 และในแชนแนลที่ 2 เป็นสัญญาณที่สร้างจากวงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์ โดยใช้ไอซีเบอร์ 74123 ซึ่งทำหน้าที่ผลิตพัลซ์ในช่วงเวลาสั้น ๆ เพื่อนำไปเป็นสัญญาณเคลียร์ให้กับไอซีเบอร์ 74175 ที่ทำหน้าที่เป็นวงจรสร้างบิตเริ่มต้นและบิตสิ้นสุด

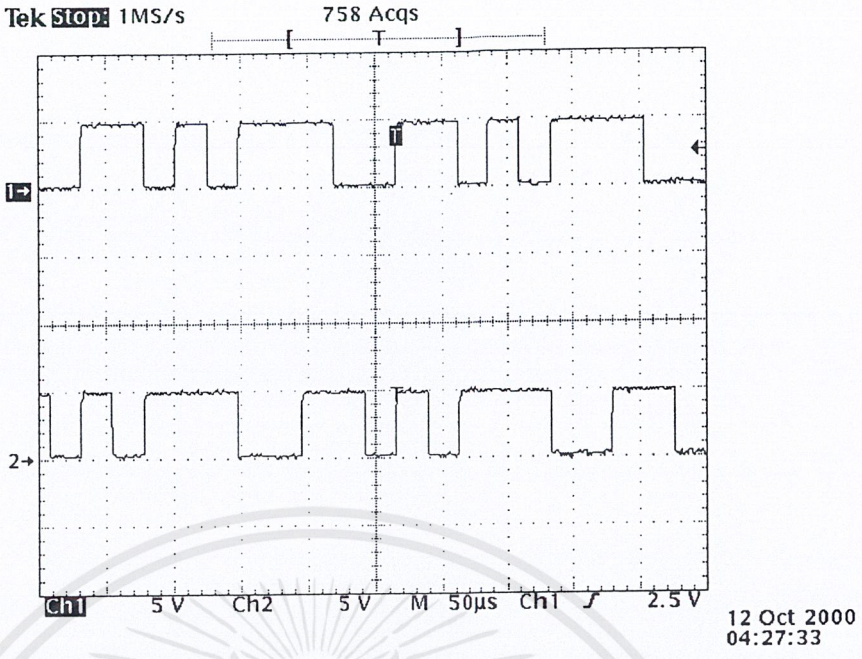
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 แชนแนล I สัญญาณ Q ที่ออกจากไอซีเบอร์ 74175 และเป็นอินพุตของวงจรแปลงข้อมูลดิจิตอล 2 ระดับ ไปเป็นข้อมูลอนุกรม 4 ระดับ
แชนแนล 2 สัญญาณ I ที่ออกจากไอซีเบอร์ 74175 และเป็นอินพุตของวงจรแปลงข้อมูลดิจิตอล 2 ระดับ ไปเป็นข้อมูลอนุกรม 4 ระดับ

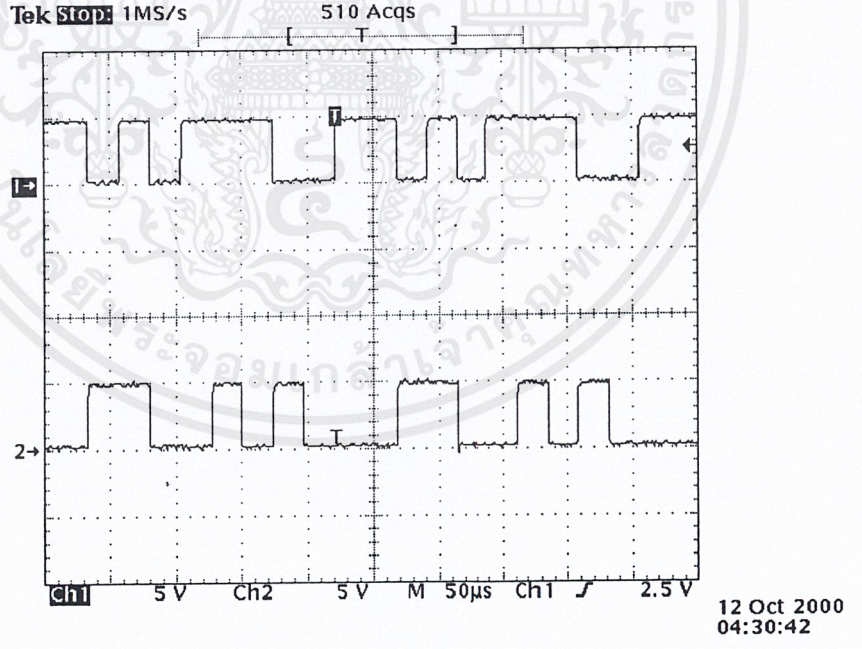
จากรูปเป็นสัญญาณที่เกิดจากการเลื่อนข้อมูลออกมาทุก 3 บิต ของไอซีเบอร์ 74175 โดยการป้อนสัญญาณนาฬิกาที่มาจากวงจรหาร 3 โดยนำสัญญาณนาฬิกาความถี่ 128 kHz มาทำการหาร 3 และนำไปควบคุมการดึงข้อมูลทุก 3 บิตมาเก็บไว้ โดยสัญญาณ Q เป็นสัญญาณเอาต์พุตจากขา 2 และสัญญาณ I เป็นสัญญาณเอาต์พุตจากขา 7 ของไอซี 74175

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 แชนแนล 1 สัญญาณ I ที่ออกจากไอซีเบอร์ 74175 และเป็นอินพุตของวงจรแปลงข้อมูลดิจิตอล 2 ระดับ ไปเป็นข้อมูลอนุกรม 4 ระดับ

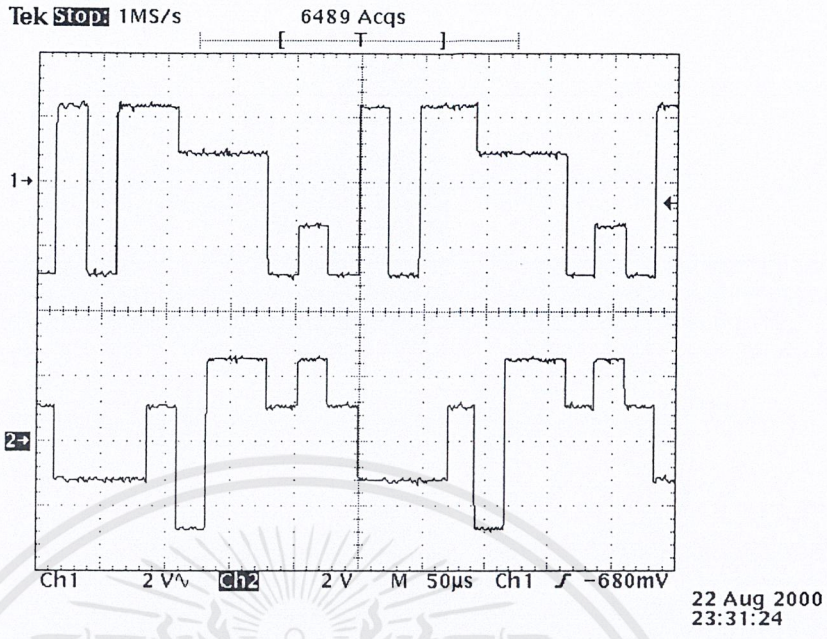
แชนแนล 2 สัญญาณ C ที่ออกจากไอซีเบอร์ 74175 และเป็นอินพุตของวงจรแปลงข้อมูลดิจิตอล 2 ระดับ ไปเป็นข้อมูลอนุกรม 4 ระดับ



รูปที่ 4.8 แชนแนล 1 สัญญาณ Q ที่ออกจากไอซีเบอร์ 74175 และเป็นอินพุตของวงจรแปลงข้อมูลดิจิตอล 2 ระดับ ไปเป็นข้อมูลอนุกรม 4 ระดับ

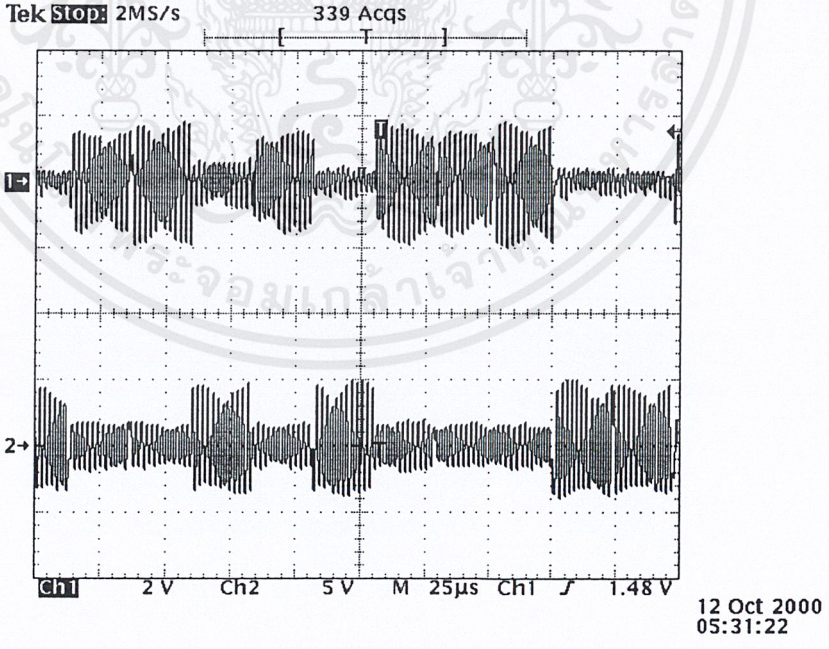
แชนแนล 2 สัญญาณ $\overline{C}$ ที่ออกจากไอซีเบอร์ 74175 และเป็นอินพุตของวงจรแปลงข้อมูลดิจิตอล 2 ระดับไปเป็นข้อมูลอนุกรม 4 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 แชนแนล I สัญญาณที่เอาต์พุตของวงจรแปลงข้อมูลดิจิตอล 2 ระดับ เป็นข้อมูลอนาลอกระดับ 4 โดยรับอินพุตจากขา I, C

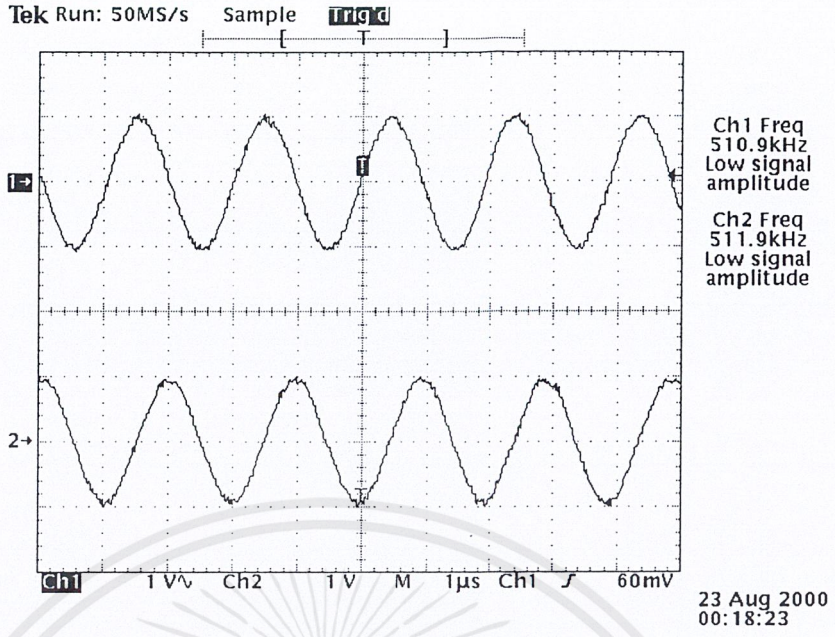
แชนแนล 2 สัญญาณที่เอาต์พุตของวงจรแปลงข้อมูลดิจิตอล 2 ระดับ เป็นข้อมูลอนาลอก 4 ระดับ โดยรับอินพุตจากขา Q, $\overline{C}$



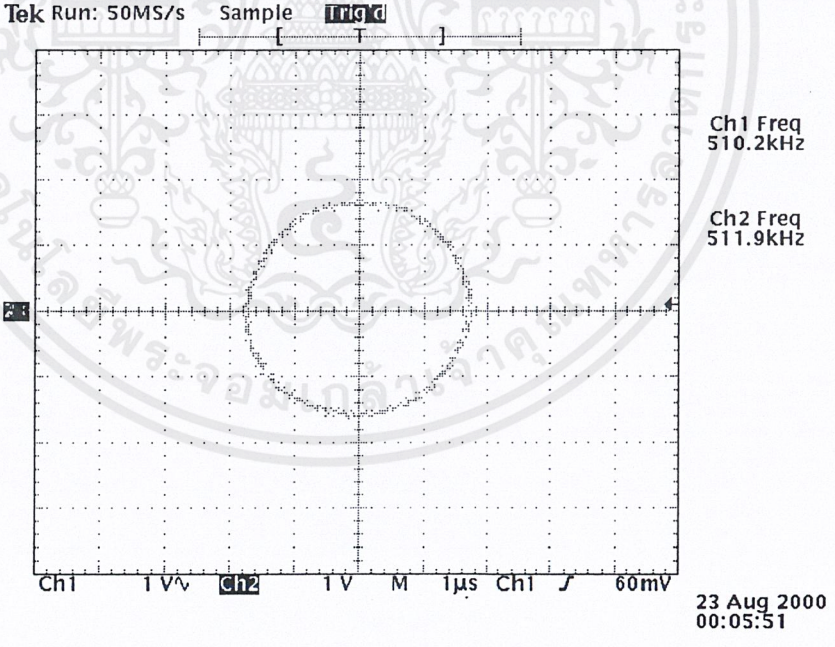
รูปที่ 4.10 แชนแนล I สัญญาณที่เอาต์พุตของวงจรบาลานซ์มอดูเลเตอร์ วัดที่แชนแนล I

แชนแนล 2 สัญญาณที่เอาต์พุตของวงจรบาลานซ์มอดูเลเตอร์ วัดที่แชนแนล Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

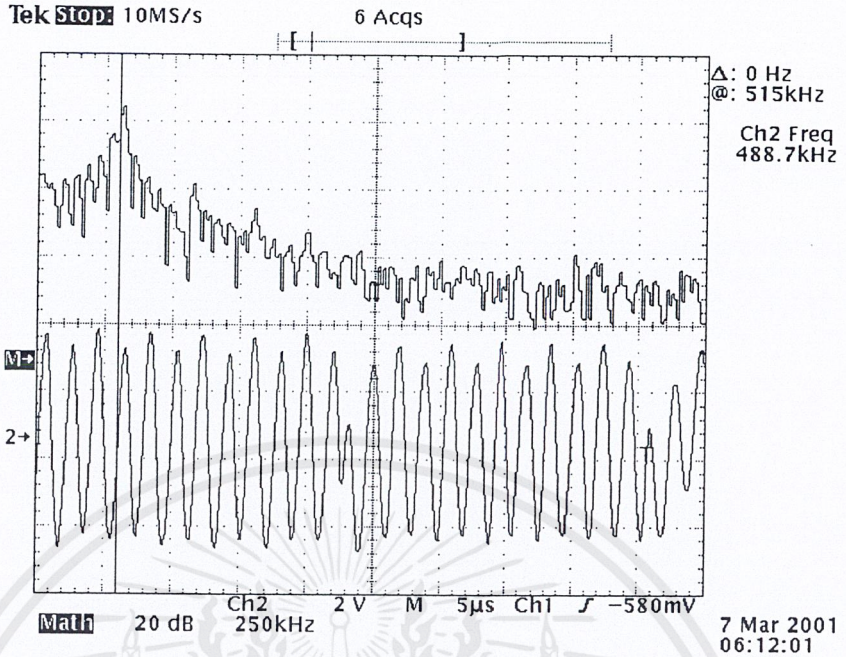


รูปที่ 4.11 แชนแนล 1 สัญญาณพาหะไซน์ ความถี่ 512 kHz
แชนแนล 2 สัญญาณโคไซน์ ความถี่ 512 kHz จากวงจรเลื่อนเฟส 90 องศา

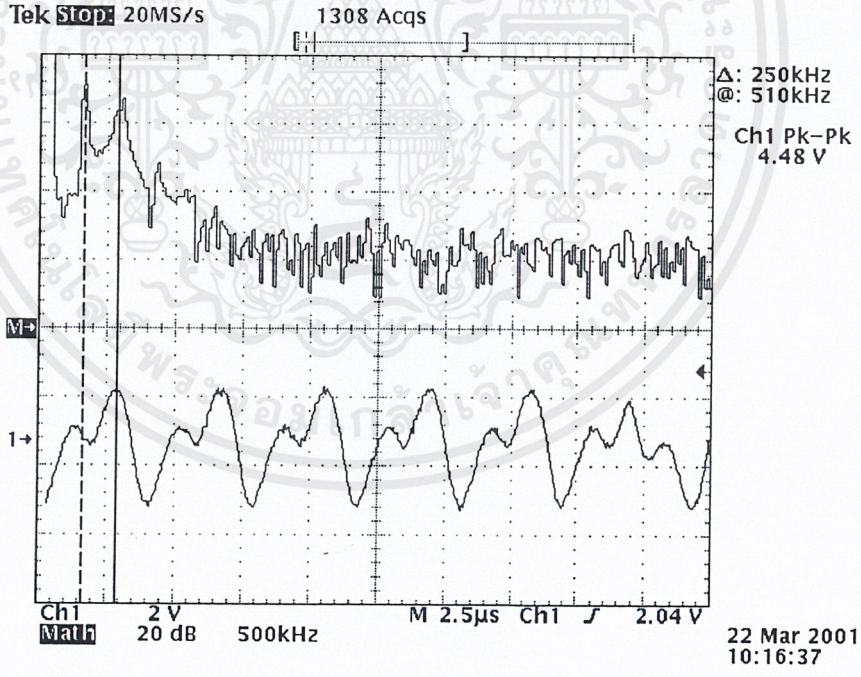


รูปที่ 4.12 แชนแนล 1 สัญญาณพาหะไซน์ ความถี่ 512 kHz
แชนแนล 2 สัญญาณโคไซน์ ความถี่ 512 kHz จากวงจรเลื่อนเฟส 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



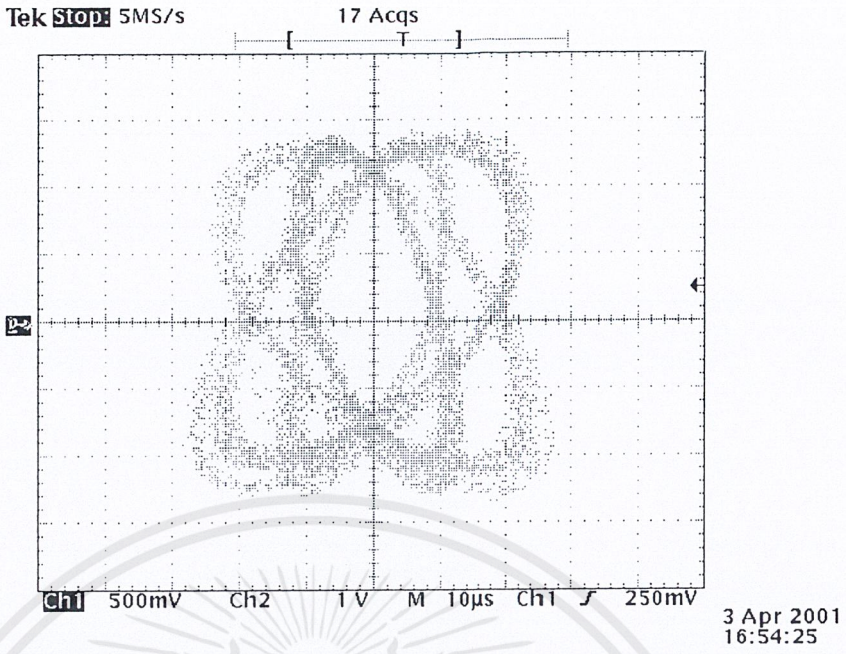
รูปที่ 4.13 แชนแนล 1 สัญญาณเอาต์พุต 8-PSK ทางภาคส่ง
แชนแนล 2 สเปกตรัมของสัญญาณ 8-PSK



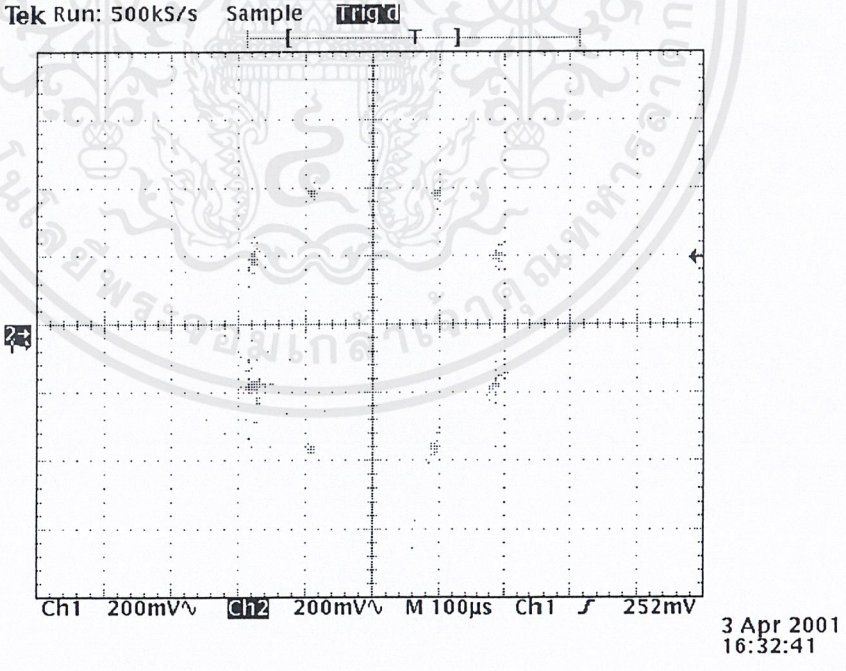
รูปที่ 4.14 สัญญาณ 8-PSK ที่รวมกับสัญญาณนำร่องเทียบกับสเปกตรัมของสัญญาณ

สัญญาณเอาต์พุต 8-PSK ก่อนที่จะส่งจากภาคส่งไปยังภาครับ ต้องนำมารวมกับสัญญาณนำร่องความถี่ 256 kHz ก่อน เพื่อจะนำสัญญาณนำร่องไปใช้ในการกู้สัญญาณพาหะและสัญญาณนาฬิกาทางด้านภาครับที่ซิงโครไนซ์กับทางด้านภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



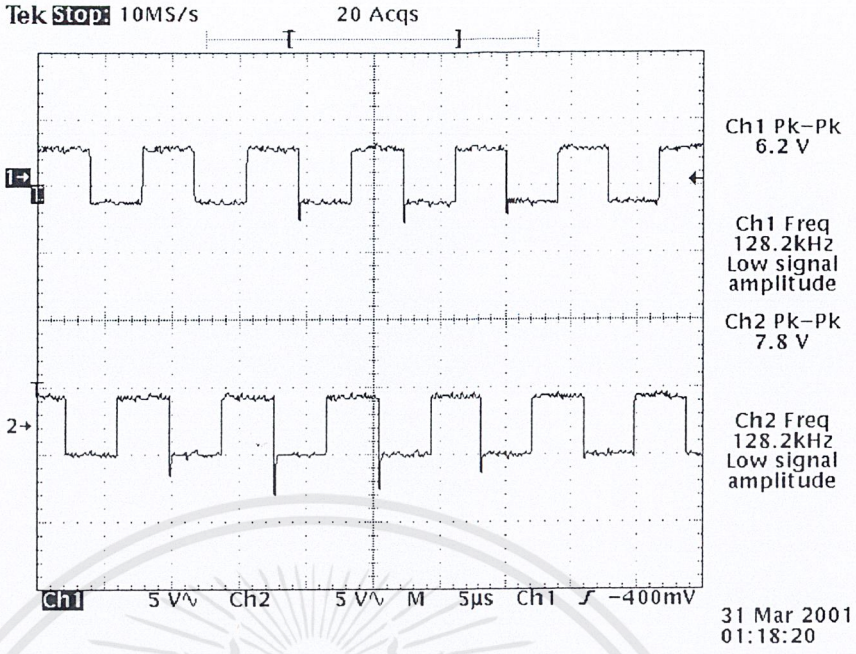
รูปที่ 4.15 สัญญาณ 8-PSK ทำการพล็อตในแกน x-y เทียบกับสัญญาณโคไซน์



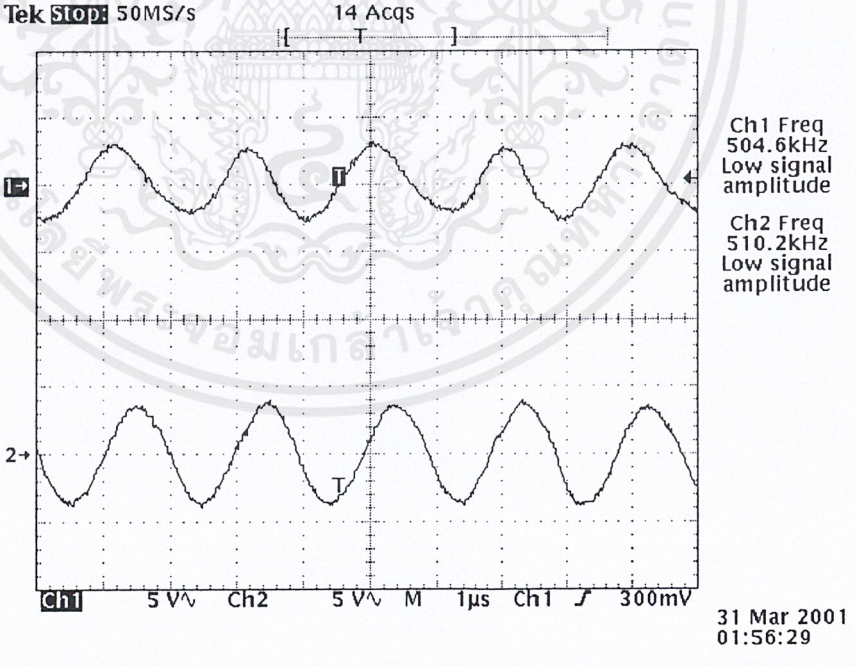
รูปที่ 4.16 รูป Constellation Diagram ของสัญญาณ 8-PSK

เป็นลักษณะเฟสที่เกิดขึ้น เนื่องจากข้อมูลที่ต่างๆ กัน ซึ่งแต่ละเฟสที่เกิดขึ้นจะต่างเฟสกันอยู่ 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

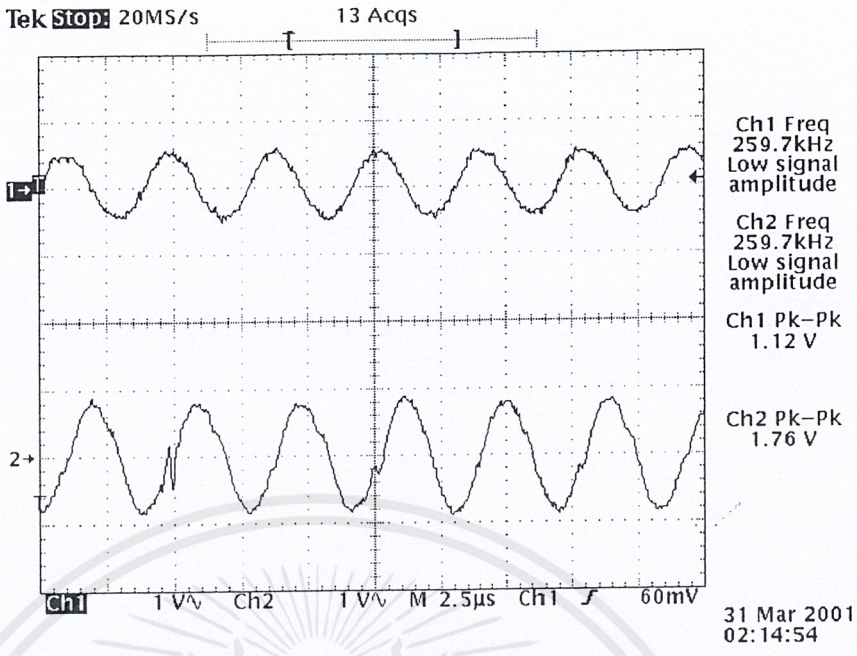


รูปที่ 4.17 สัญญาณนาฬิกาความถี่ 128 kHz ทางด้านภาคเครื่องส่ง (แชนแนล 1)
เทียบกับสัญญาณนาฬิกาที่กู้ได้จากวงจรภาคเครื่องรับ

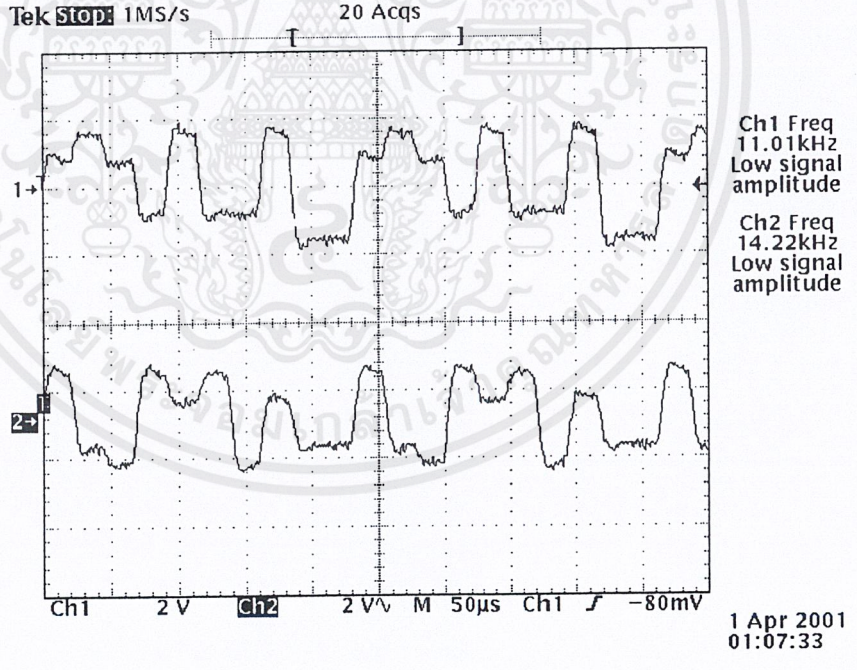


รูปที่ 4.18 แชนแนลที่ 1 สัญญาณพาหะทางด้านภาคส่ง
แชนแนลที่ 2 สัญญาณที่ได้จากวงจรกรองความถี่ 512 kHz
ทางด้านภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

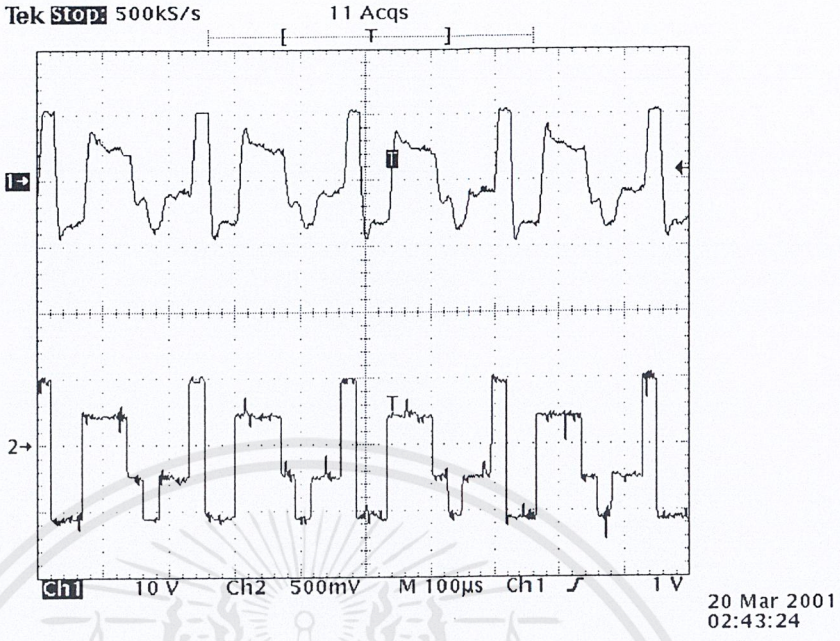


รูปที่ 4.19 สัญญาณนำร่องทางด้านภาคเครื่องส่งเทียบกับสัญญาณนำร่องที่กู้ได้ทางภาคเครื่องรับ

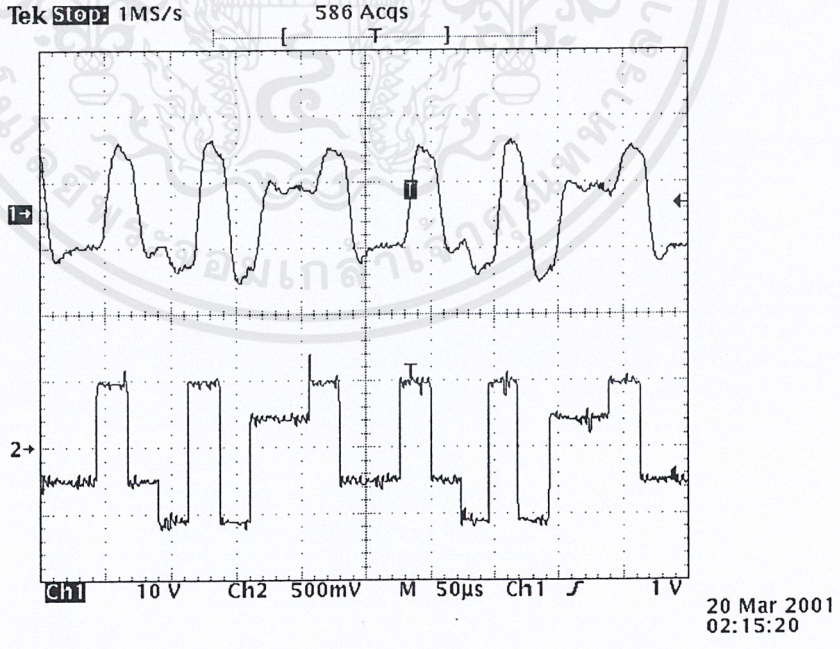


รูปที่ 4.20 สัญญาณเอาท์พุตของวงจรบาลานซ์คีมอดูเลเตอร์ทางภาครับที่แชนแนล I เทียบกับสัญญาณที่แชนแนล Qเมื่อป้อนอินพุตเป็น 11100010

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

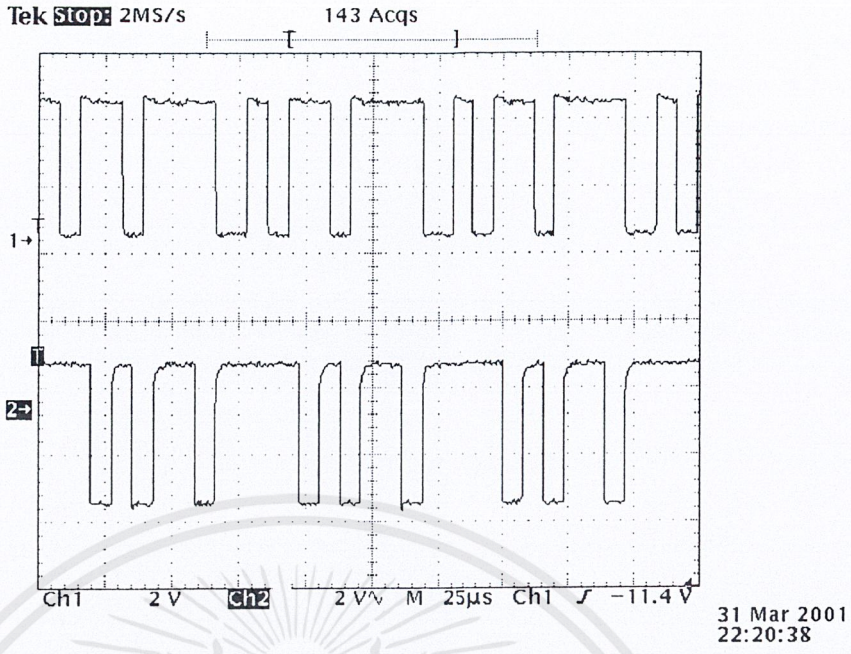


รูปที่ 4.21 รูปสัญญาณ 4 ระดับ ด้าน I แชนแนล สัญญาณ 4ระดับทางภาคส่ง (แชนแนลที่ 2) เปรียบเทียบกับสัญญาณ 4 ระดับ ที่ออกจากวงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านภาครับ

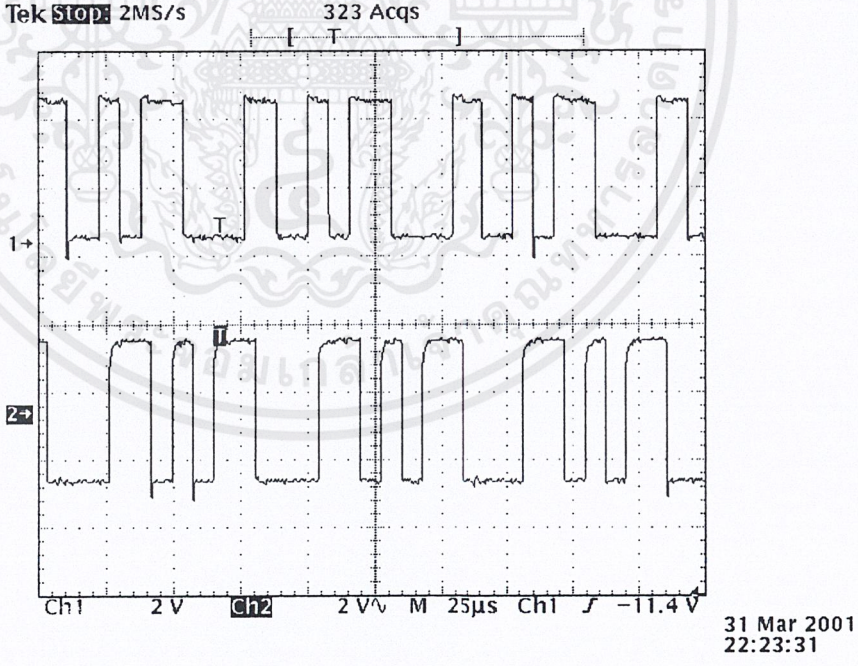


รูปที่ 4.22 รูปสัญญาณ 4 ระดับ ด้าน Q แชนแนล สัญญาณ 4 ระดับทางภาคส่ง (แชนแนลที่ 2) เปรียบเทียบกับสัญญาณ 4 ระดับ ที่ออกจากวงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.23 รูปข้อมูลดิจิตอล 10 บิตทางภาคส่ง (แชนแนล 1) และข้อมูลดิจิตอล 10 บิตทางภาครับ จะเห็นว่าข้อมูลที่ได้เหมือนกับข้อมูลอินพุตที่ป้อนเข้ามาทางด้านภาคส่ง



รูปที่ 4.24 รูปข้อมูลดิจิตอล 10 บิตทางภาคส่ง (แชนแนล 1) และข้อมูลดิจิตอล 10 บิตทางภาครับ จะเห็นว่าข้อมูลที่ได้เหมือนกับข้อมูลอินพุตที่ป้อนเข้ามาทางด้านภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และสรุปผล

ในการทำโครงงานเรื่องเครื่องส่งและเครื่องรับสัญญาณชนิด 8-PSK ความเร็ว 128 kbps จะทำการศึกษาโดยมุ่งเน้นถึงหลักการในกระบวนการมอดูเลตแบบ 8-PSK การออกแบบวงจรภาคต่าง ๆ โดยอาศัยวงจรพื้นฐานต่าง ๆ มาประกอบกันเป็นวงจรรวม โดยทำการกำหนดสัญญาณควบคุมและข้อมูลที่จุดต่าง ๆ ที่ต้องการให้เป็นมาตรฐานเบื้องต้น แล้วสร้างวงจรที่เชื่อมต่อกันแต่ละส่วนให้สัมพันธ์กับสัญญาณที่กำหนดไว้ในการประกอบวงจรในแต่ละภาค และการเชื่อมต่อวงจรระหว่างภาคจะมีปัญหาอยู่บ้างที่แตกต่างกันไป ดังนี้

วงจรกำเนิดสัญญาณนาฬิกา

วงจรนี้สำคัญมาก เพราะเป็นวงจรที่ใช้ผลิตสัญญาณนำร่อง (Pilot Signal) ความถี่ 256 kHz และต้องนำสัญญาณนำร่องไปเข้าสู่วงจรหาร 2 เพื่อให้ได้ความถี่ 128 kHz ซึ่งเราจะนำไปทำเป็นสัญญาณนาฬิกา และยังป้อนเข้าสู่วงจรยกกำลังสองเพื่อสร้างสัญญาณพาหะความถี่ 512 kHz โดยที่สัญญาณทั้ง 3 สัญญาณต้องนำไปป้อนให้วงจรเกือบทุกวงจรในโครงงานนี้ สัญญาณทั้งสามสัญญาณจึงต้องมีการซิงโครไนซ์กัน (Synchronous) ดังนั้นทั้งสัญญาณพาหะและสัญญาณนาฬิกาจึงต้องสร้างมาจากสัญญาณนำร่องตัวเดียวกัน

วงจรกำเนิดข้อมูลไบนารี

เนื่องจากข้อมูลในการส่งเป็นข้อมูลอนุกรม ซึ่งในการส่งข้อมูลได้กำหนดให้ไหลในลักษณะวนรอบซ้ำกันทุก ๆ ซึ่งเอาต์พุตที่ได้น่าพอใจเป็นอย่างยิ่ง แต่ในการส่งข้อมูลในลักษณะนี้พบว่า ในการพิจารณาข้อมูลในเครื่องส่งไม่สามารถจัดลำดับก่อนหลังของข้อมูลได้

วงจรแยกสัญญาณข้อมูล

ในส่วนของวงจรนี้จะใช้อุปกรณ์ประเภท TTL ดังนั้นจึงไม่มีปัญหามากนักเพียงแต่ควรเลือกใช้อุปกรณ์ให้เหมาะสม และออกแบบวงจรให้ลดความยุ่งยาก

วงจรบาลานซ์มอดูเลเตอร์

จะใช้ IC เบอร์ MC 1496 เป็นวงจรบาลานซ์มอดูเลเตอร์ ซึ่งจะรับระดับแรงดันอินพุตที่ต่ำมากซึ่งจะทำให้มีระดับสัญญาณที่เอาต์พุตมีขนาดต่ำมาก โดยเฉพาะในความถี่สูงๆ จึงต้องทำการขยายแรงดันให้สูงขึ้นด้วยวงจรขยายสัญญาณความแตกต่าง

วงจรรวมสัญญาณ

วงจรนี้เป็นวงจรที่ไม่ยุ่งยาก ผลที่ได้ค่อนข้างน่าพอใจ

วงจรกรองช่วงความถี่นำร่อง

ในส่วนของวงจรนี้มีส่านสำคัญมากในภาครับเนื่องจากเป็นสิ่งที่ทำให้ภาครับและภาคส่งสัมพันธ์กัน ในการทดลองแล้ว ส่วนใหญ่เจอปัญญาตรงที่ออกแบบมาไม่พอดีทำให้สัญญาณเอาต์พุตที่ได้ผิดเพี้ยนไป แต่สามารถแก้ปัญญาได้โดยสร้างวงจรที่มีประสิทธิภาพสูงคือเพิ่มกำลัง (Order) ของวงจรให้สูงขึ้น และลดค่า Q ของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองช่วงความถี่พาหะ

เป็นวงจรกรองความถี่สัญญาณที่มอดูเลตทางภาคส่ง ปัญญาที่เจอส่วนใหญ่คล้ายวงจรกรองช่วงความถี่นำร่อง และการแก้ปัญหาก็ทำนองเดียวกัน

วงจรกู้สัญญาณนาฬิกา

เมื่อวงจรกรองความถี่นำร่องไม่มีปัญหาแล้ว ในส่วนวงจรนี้ก็จะเจอปัญหาไม่มากนัก สัญญาณนาฬิกาที่กู้มาได้สามารถนำไปเป็นสัญญาณนาฬิกาทางด้านภาครับได้อย่างมีประสิทธิภาพ

วงจรกู้สัญญาณพาหะ

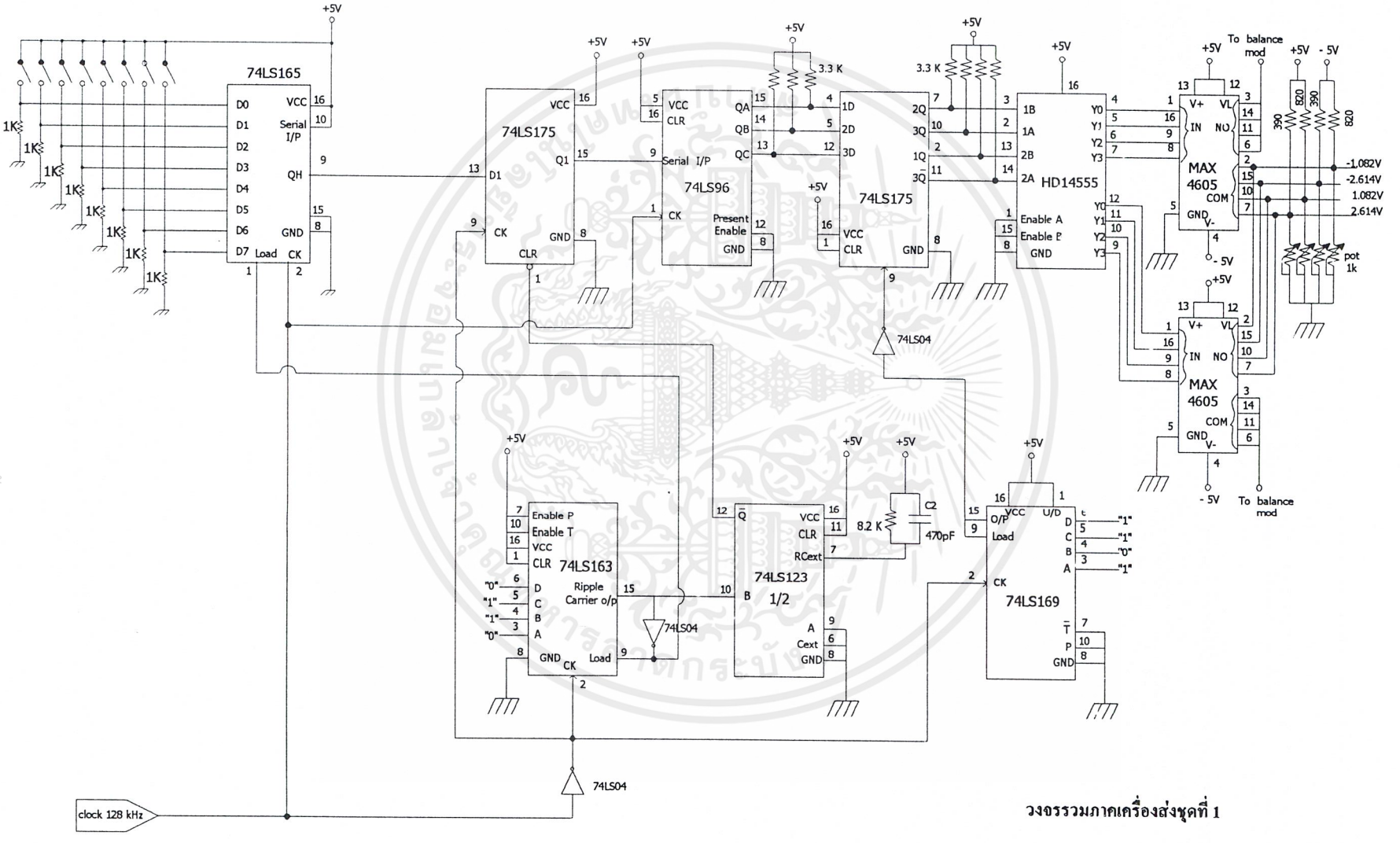
เมื่อสัญญาณนาฬิกาสัมพันธ์กันแล้ว ก็จะทำให้สัญญาณพาหะสัมพันธ์กันด้วย สัญญาณนาฬิกาที่กู้มาได้สามารถนำมาใช้ในการดีมอดูเลตได้อย่างมีประสิทธิภาพ

สรุปแล้วโครงงานนี้ประกอบด้วยวงจรย่อยๆหลายส่วน เมื่อนำมาต่อรวมกันทำให้ปัญหาที่เกิดขึ้นมีมาก ปัญหาส่วนใหญ่ที่เจอก็คือการที่จะทำให้ภาคส่งและภาครับสัมพันธ์กันให้ได้ จึงต้องสร้างวงจรเฟสล็อกลูปที่มีประสิทธิภาพดีเพื่อที่จะกู้สัญญาณพาหะที่มีความสัมพันธ์กับทางด้านภาคส่งได้

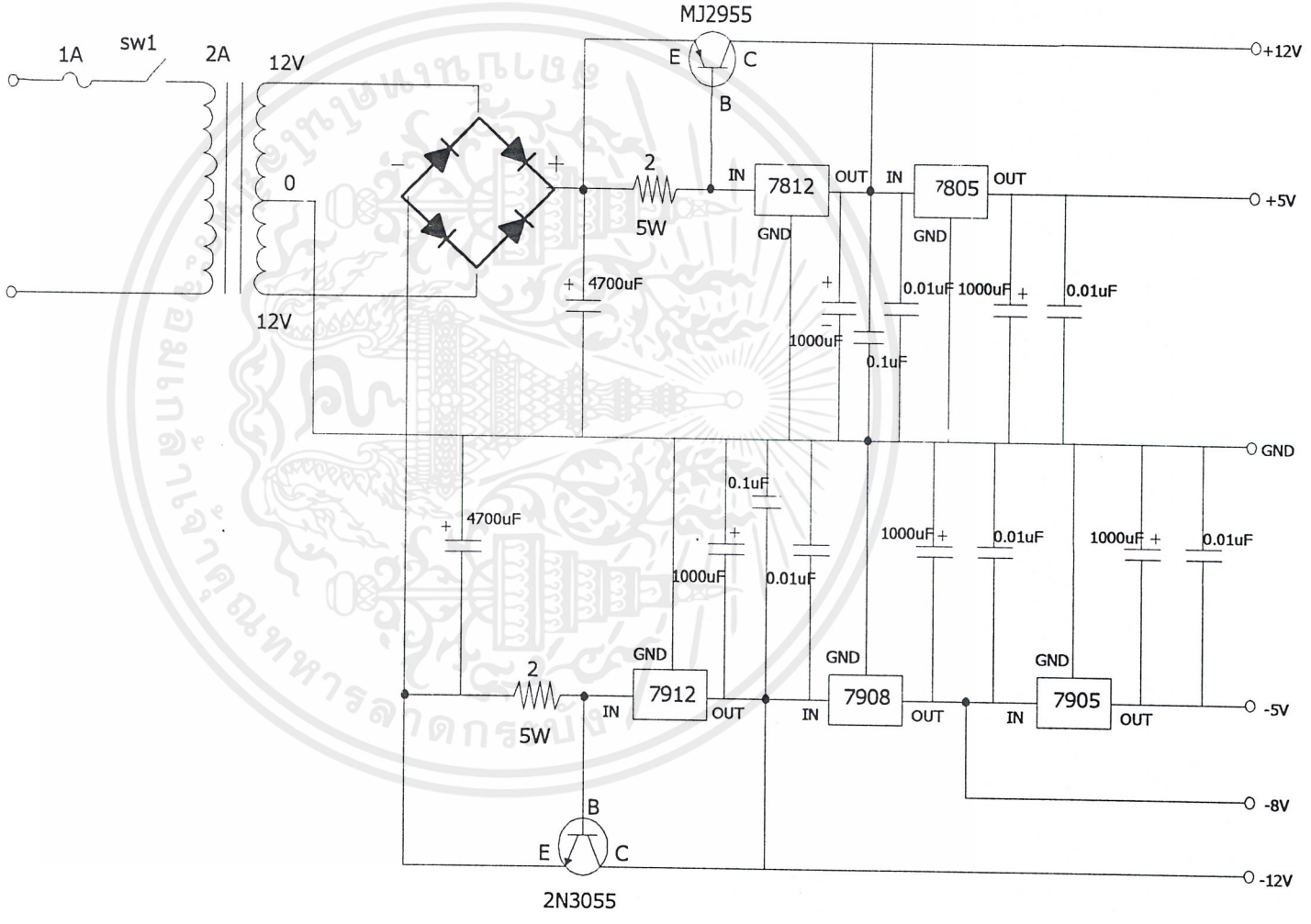
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรรวมภาคเครื่องส่งชุดที่ 1



วงจรแหล่งจ่ายไฟด้านเครื่องส่งและเครื่องรับ

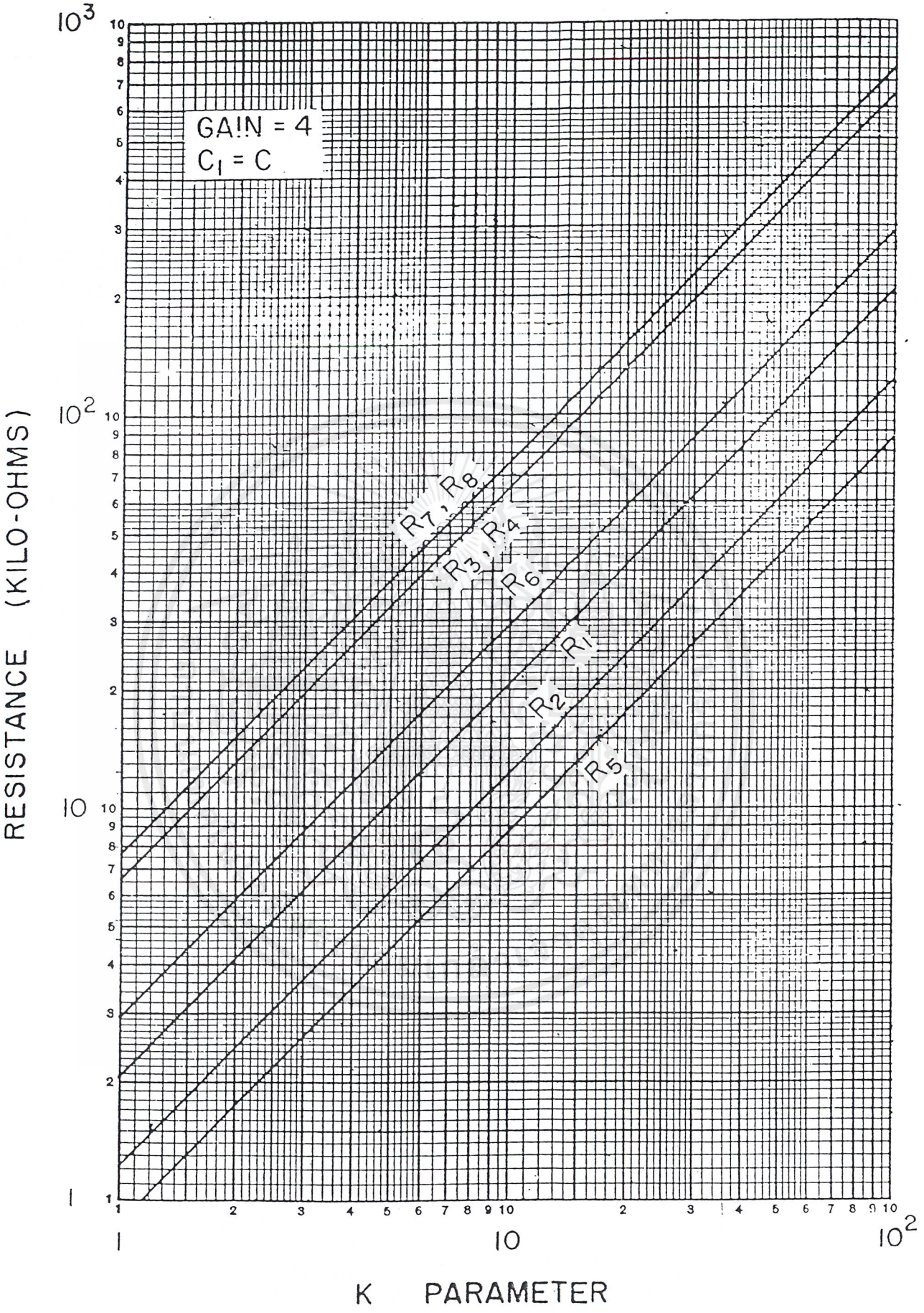


Fig. 2.28. Fourth-order low-pass Butterworth filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ใช้ในการหาค่าของอุปกรณ์ต่างๆ สำหรับการออกแบบวงจรกรองความถี่ต่ำผ่าน

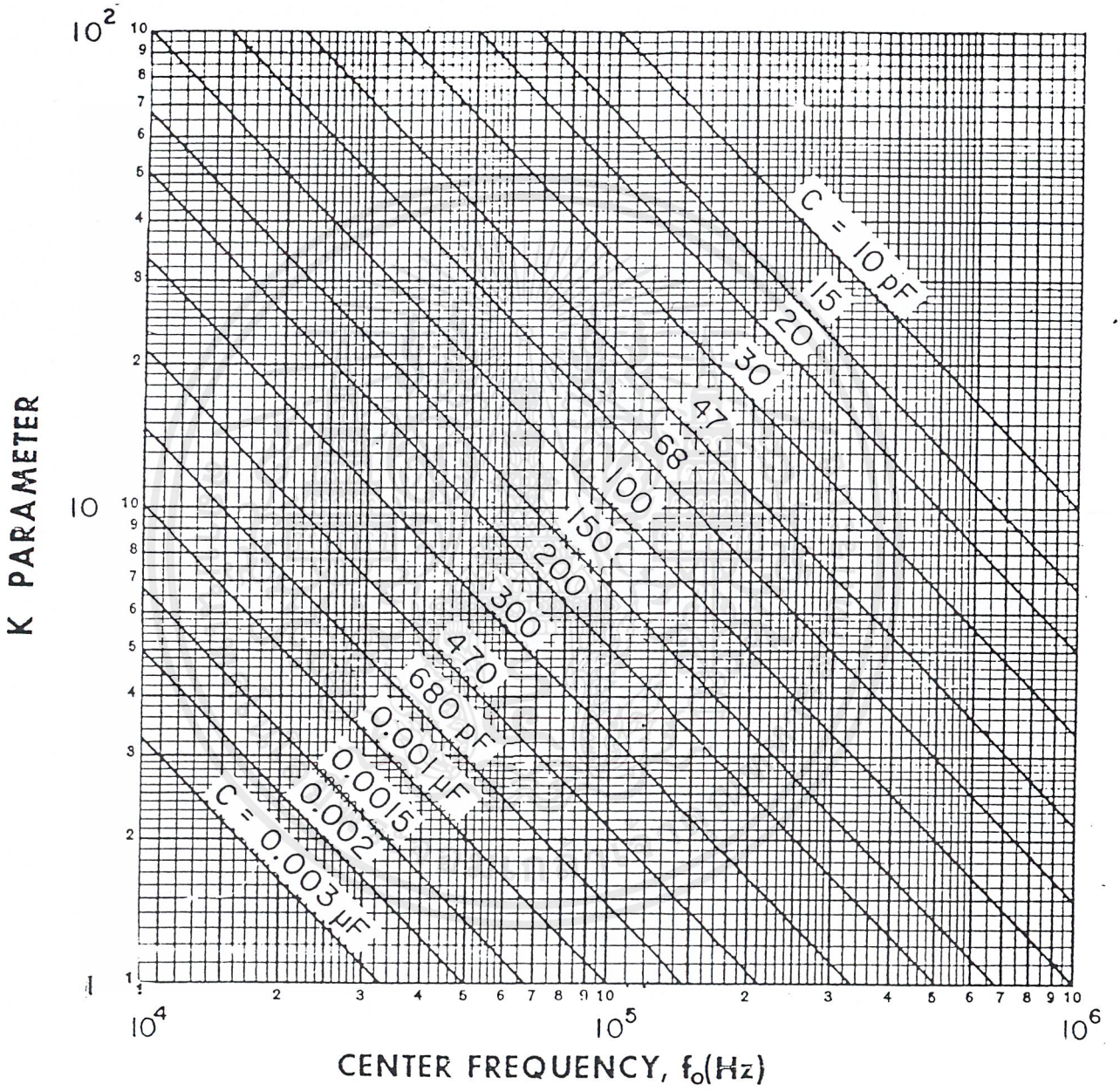


Fig. 4.11. (c) *K* parameter versus frequency.

ตารางที่ใช้ในการหาค่า C และค่า K สำหรับการออกแบบวงจรกรองความถี่แถบผ่าน

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

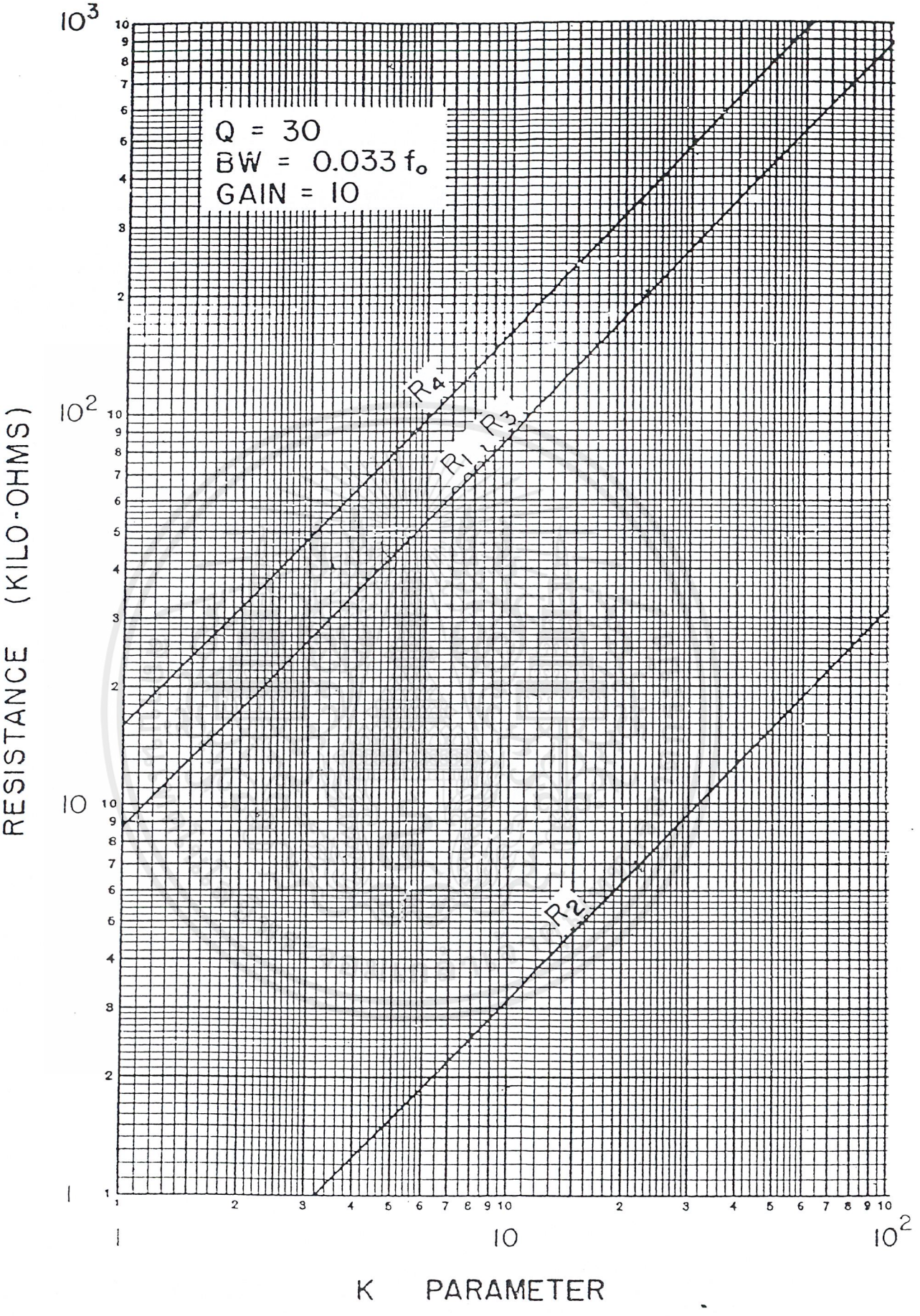


Fig. 4.38. Positive-feedback band-pass filter.

ตารางที่ใช้ในการหาค่าของอุปกรณ์ต่างๆ สำหรับการออกแบบวงจรกรองความถี่แถบผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

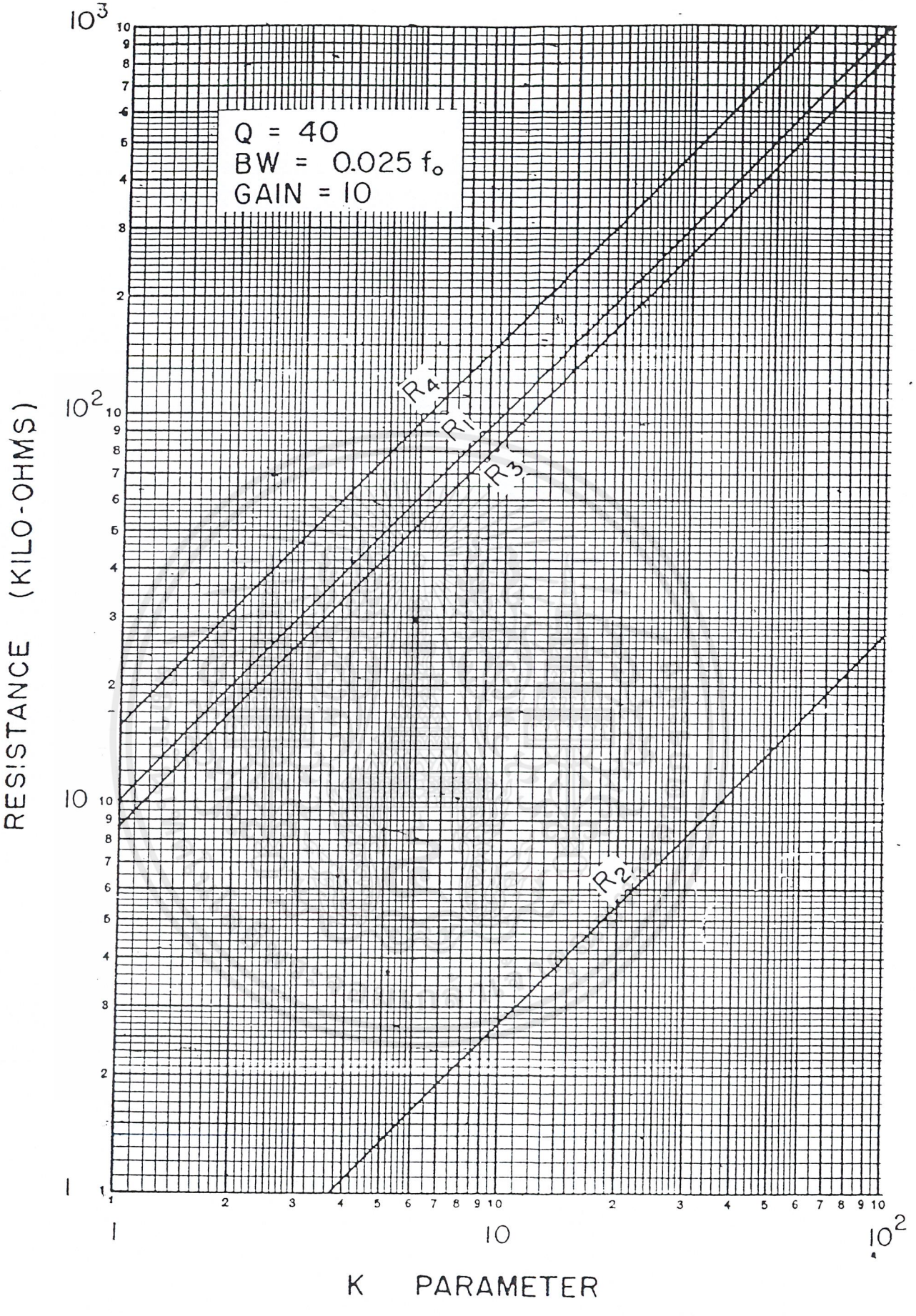


Fig. 4.39. Positive-feedback band-pass filter.

ตารางที่ใช้ในการหาค่าของอุปกรณ์ต่างๆ สำหรับการออกแบบวงจรกรองความถี่แถบผ่าน

เอกสารนี้มีลิขสิทธิ์ ห้ามนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXAR

XR-2206

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FEATURES

Low-Sine Wave Distortion	.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

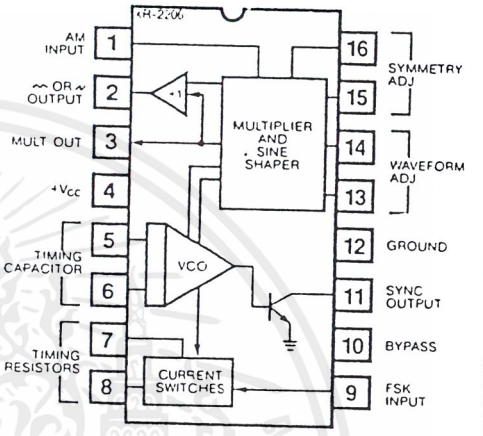
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	-65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	-55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency porportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25°$, $C = 0.01\,\mu F$, $R_1 = 100\,k\Omega$, $R_2 = 10\,k\Omega$, $R_3 = 25\,k\Omega$ unless otherwise specified, S_1 open for triangle, closed for sine wave.

PARAMETER	XR-2206M			XR-2206C			UNIT	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL CHARACTERISTCS								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10\,k\Omega$
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000\,pF$, $R_1 = 1\,k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\,\mu F$, $R_1 = 2\,M\Omega$
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability		±10	±50		±20		ppm/°C	$0°C < T_A < 75°C$.
Supply Sensitivity		0.01	0.1		0.01		%/V	$R_1 = R_2 = 20\,k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	$V_{LOW} = 10V$, $V_{HIGH} = 20V$, $R_1 = R_2 = 20\,k\Omega$
Sweep Linearity								f_H @ $R_1 = 1\,k\Omega$
10:1 Sweep		2			2		%	f_L @ $R_1 = 2\,M\Omega$
1000:1 Sweep		8			8		%	$f_L = 1\,kHz$, $f_H = 10\,kHz$
FM Distortion		0.1			0.1		%	$f_L = 100\,Hz$, $f_H = 100\,kHz$
Recommended Timing								±10% Deviation
Components								
Timing Capacitor: C	0.001		100	0.001		100	µF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output								
Triangle Amplitude		160			160		mV/kΩ	See Note 1, Figure 2.
Sine Wave Amplitude	40	60	80		60		mV/kΩ	Figure 1, S_1 Open
Max. Output Swing		6			6		Vp-p	Figure 1, S_1 Closed
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		4800			4800		ppm/°C	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30\,k\Omega$
With Adjustment		0.4	1.0		0.5	1.6	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		nsec	$C_L = 10\,pF$
Fall Time		50			50		nsec	$C_L = 10\,pF$
Saturation Voltage		0.2	0.4		0.2	0.6	V	$I_L = 2\,mA$
Leakage Current		0.1	20		0.1	100	µA	$V_{11} = 26V$
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Note 1: Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 2

Note 2: For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

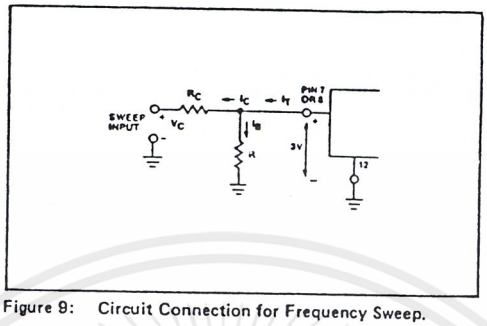


Figure 9: Circuit Connection for Frequency Sweep.

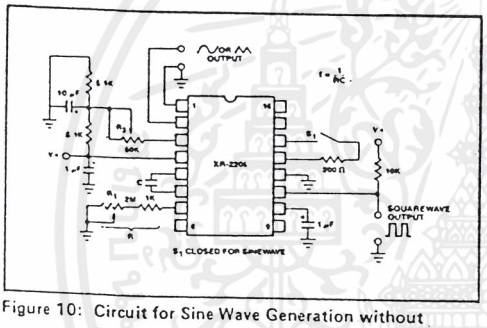


Figure 10: Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3.)

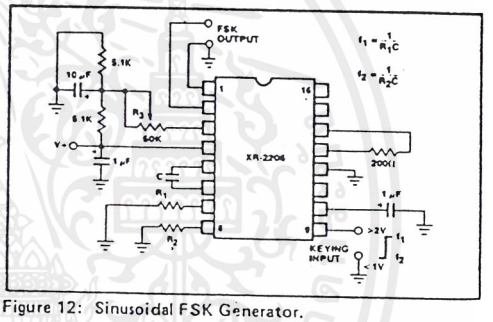


Figure 12: Sinusoidal FSK Generator.

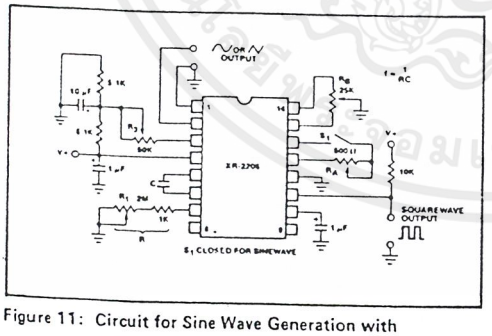


Figure 11: Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing – See Figure 2.)

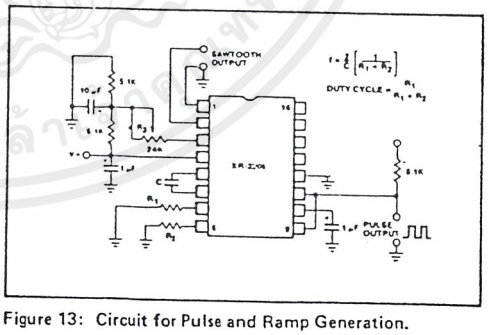


Figure 13: Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is <2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to $\approx$0.5% by additional adjustments as shown in Figure 11. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2, the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

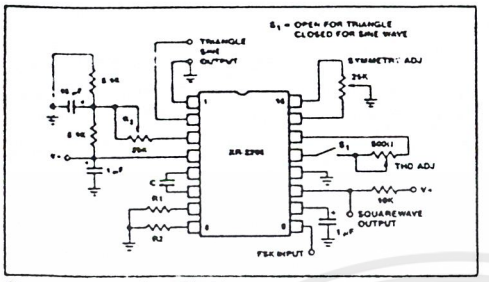


Figure 1: Basic Test Circuit.

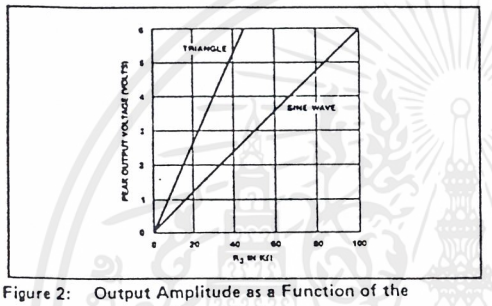


Figure 2: Output Amplitude as a Function of the Resistor, R_3, at Pin 3.

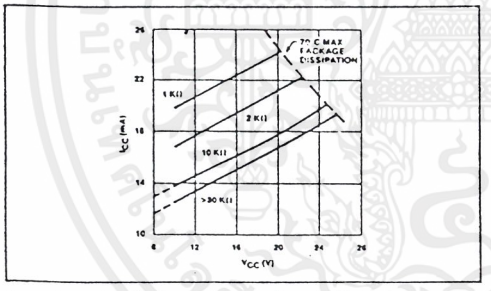


Figure 3: Supply Current versus Supply Voltage, Timing, R.

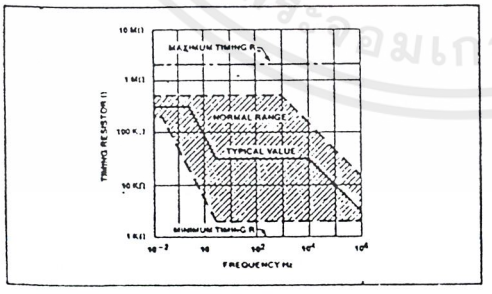


Figure 4. R versus Oscillation Frequency.

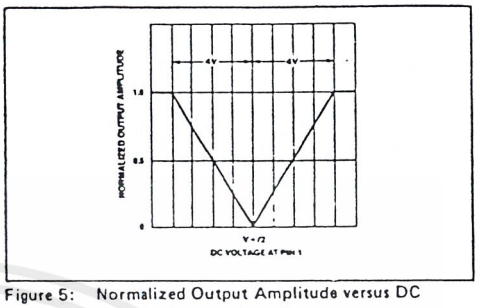


Figure 5: Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

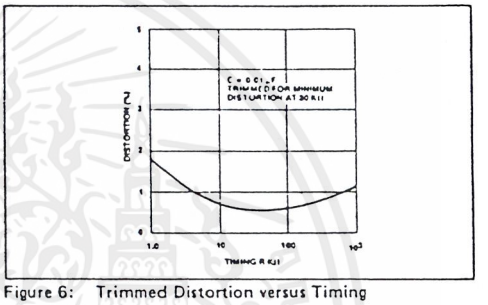


Figure 6: Trimmed Distortion versus Timing Resistor.

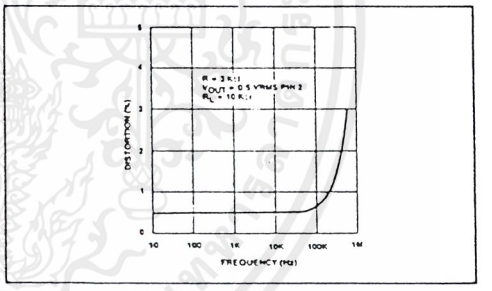


Figure 7: Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

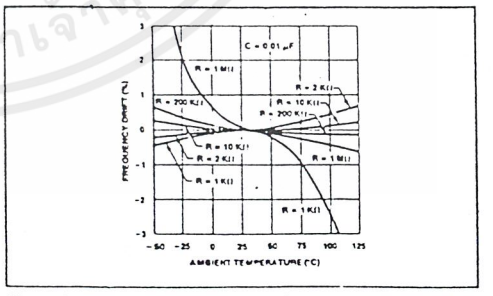


Figure 8: Frequency Drift versus Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:
The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as.

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, are shown in Figure 4. Temperature stability is optimum for $4\ k\Omega < R < 200\ k\Omega$. Recommended values of C are from 1000 pF to 100 μF.

Frequency Sweep and Modulation:
Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320 I_T \text{ (mA)}}{C\ (\mu F)} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T, over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC}\ 1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right) \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as.

$$K = \partial f / \partial V_C = -\frac{0.32}{R_C C} \text{ Hz/V}$$

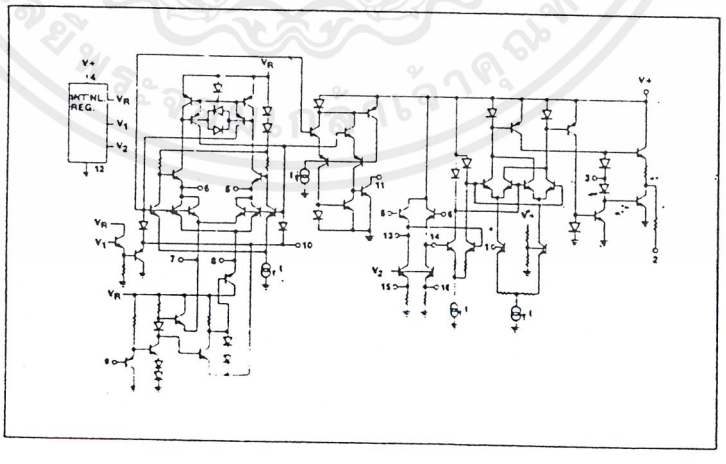
CAUTION: For safe operation of the circuit, I_T should be limited to ≤ 3 mA.

Output Amplitude:
Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160 mV peak per kΩ of R_3. Thus, for example, $R_3 = 50\ k\Omega$ would produce approximately ±3V sinusoidal output amplitude.

Amplitude Modulation:
Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ±4 volts of $V^+/2$ as shown in Figure 5. As this bias level approaches $V^+/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+

EQUIVALENT SCHEMATIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

December 1995

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

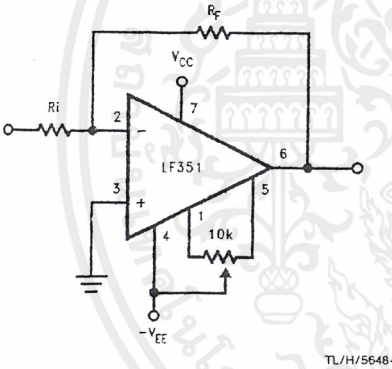
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

Features

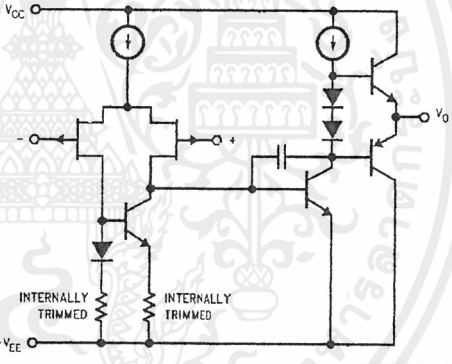
■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/$\sqrt{\text{Hz}}$
■ Low input noise current	0.01 pA/$\sqrt{\text{Hz}}$
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, BW = 20 Hz–20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection



TL/H/5648–11

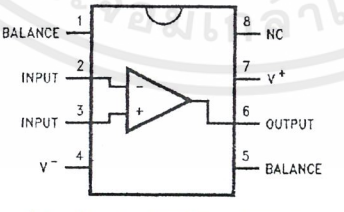
Simplified Schematic



TL/H/5648–12

Connection Diagrams

Dual-In-Line Package



TL/H/5648–13

Order Number LF351M or LF351N
See NS Package Number M08A or N08E

©1995 National Semiconductor Corporation TL/H/5648

RRD-B30M125/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C
θ_{jA}	
N Package	120°C/W
M Package	TBD
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	R_S = 10 kΩ, T_A = 25°C Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	R_S = 10 kΩ		10		µV/°C
I_{OS}	Input Offset Current	T_j = 25°C, (Notes 3, 4) $T_j \leq$ 70°C		25	100 4	pA nA
I_B	Input Bias Current	T_j = 25°C, (Notes 3, 4) $T_j \leq$ +70°C		50	200 8	pA nA
R_{IN}	Input Resistance	T_j = 25°C		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	V_S = ±15V, T_A = 25°C V_O = ±10V, R_L = 2 kΩ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	V_S = ±15V, R_L = 10 kΩ	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	V_S = ±15V	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq$ 10 kΩ	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000$ Hz		25		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, $f = 1000$ Hz		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance, θ_{JA}.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

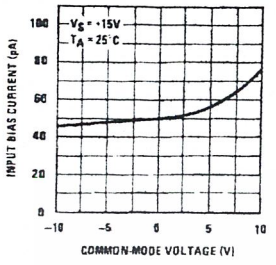
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From $\pm 15V$ to $\pm 5V$.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

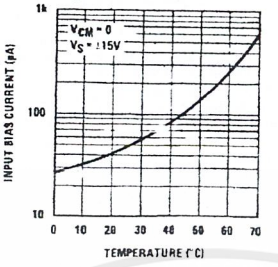
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

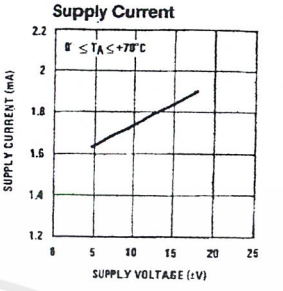
Input Bias Current



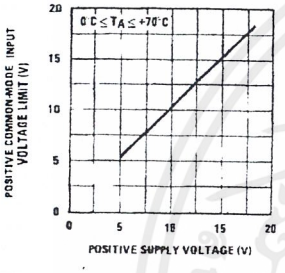
Input Bias Current



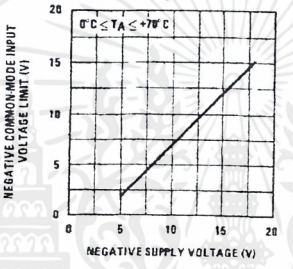
Supply Current



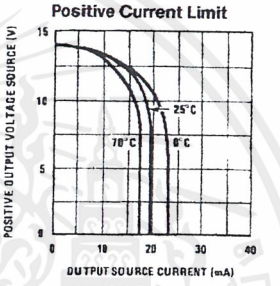
Positive Common-Mode Input Voltage Limit



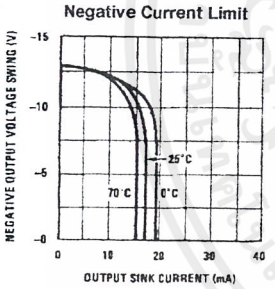
Negative Common-Mode Input Voltage Limit



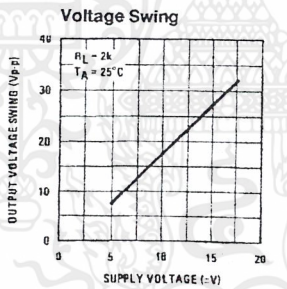
Positive Current Limit



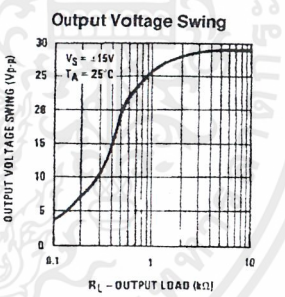
Negative Current Limit



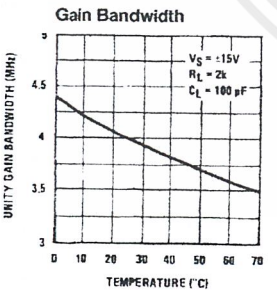
Voltage Swing



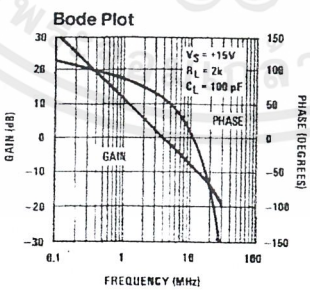
Output Voltage Swing



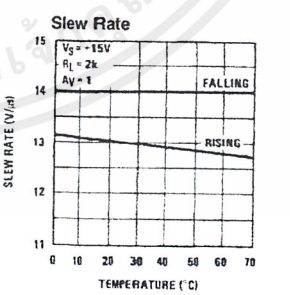
Gain Bandwidth



Bode Plot



Slew Rate

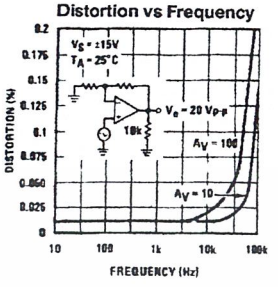


TL/H/5648–2

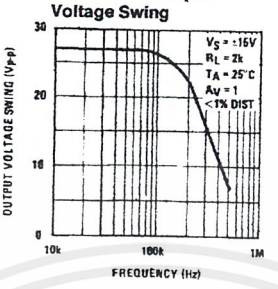
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

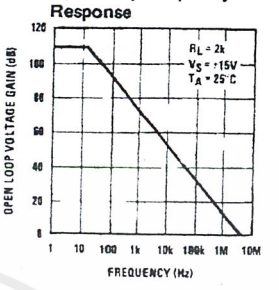
Distortion vs Frequency



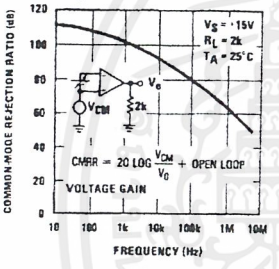
Undistorted Output Voltage Swing



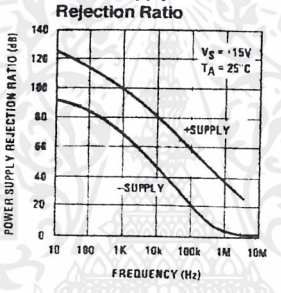
Open Loop Frequency Response



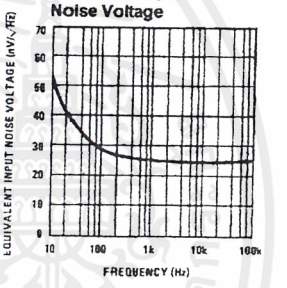
Common-Mode Rejection Ratio



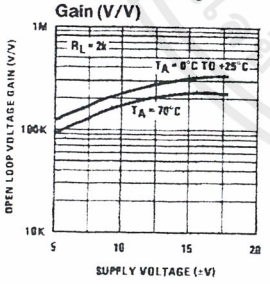
Power Supply Rejection Ratio



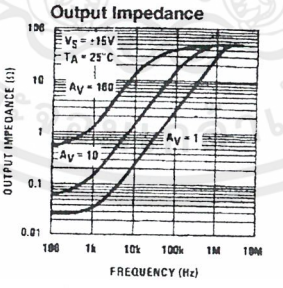
Equivalent Input Noise Voltage



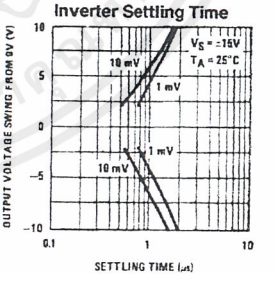
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

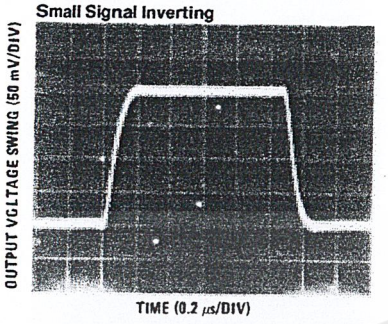


TL/H/5646–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

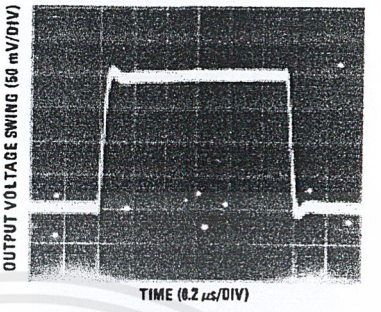
Pulse Response

Small Signal Inverting



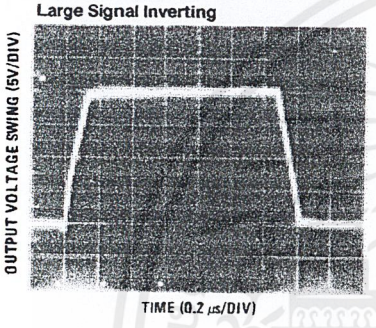
TL/H/5648–4

Small Signal Non-Inverting



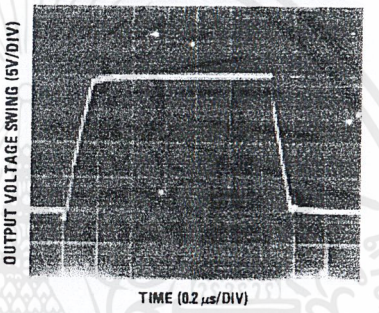
TL/H/5648–5

Large Signal Inverting



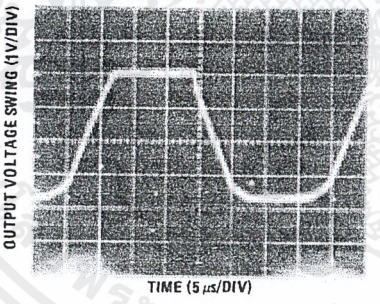
TL/H/5648–6

Large Signal Non-Inverting



TL/H/5648–7

Current Limit ($R_L = 100\Omega$)



TL/H/5648–8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

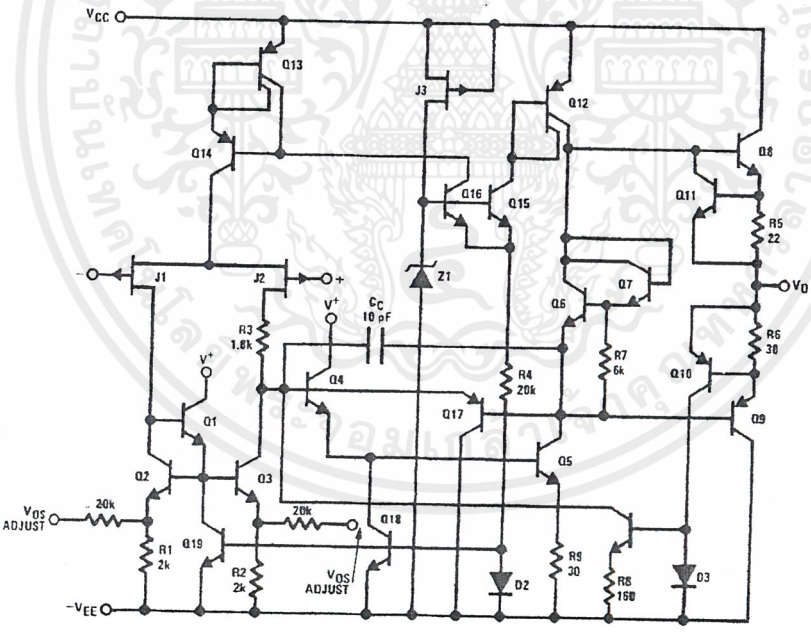
The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic

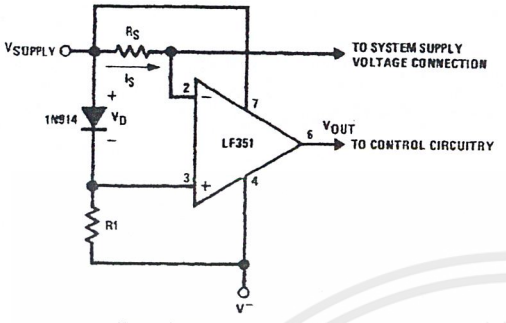


TL/H/5648–9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

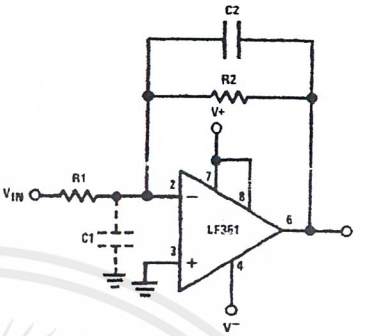
Typical Applications

Supply Current Indicator/Limiter



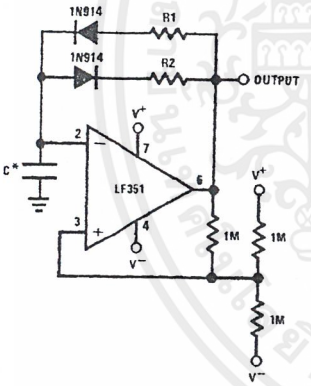
• V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≈ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that: R2C2 ≈ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator



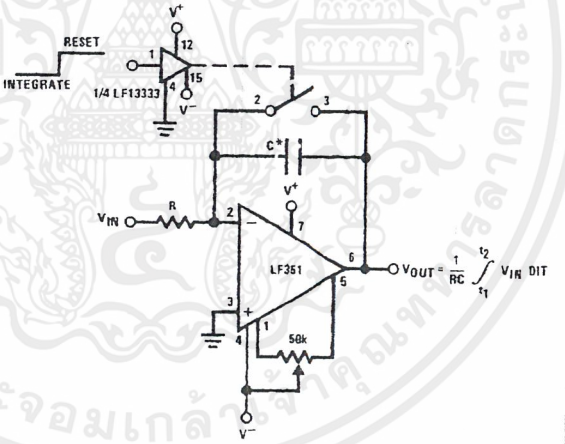
• $t_{OUTPUT\ HIGH} \approx R1C\ \ell n \frac{4.8 - 2V_S}{4.8 - V_S}$

• $t_{OUTPUT\ LOW} \approx R2C\ \ell n \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V^-|$

*low leakage capacitor

Long Time Integrator



*Low leakage capacitor

• 50k pot used for less sensitive V_{OS} adjust

TL/H/5648–10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

LM1596/LM1496 Balanced Modulator-Demodulator

General Description

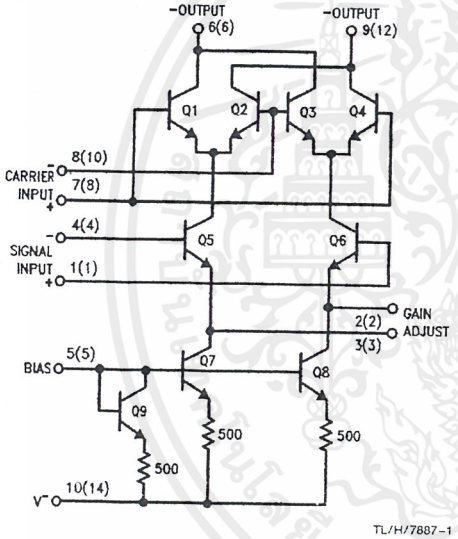
The LM1596/LM1496 are doubled balanced modulator-demodulators which produce an output voltage proportional to the product of an input (signal) voltage and a switching (carrier) signal. Typical applications include suppressed carrier modulation, amplitude modulation, synchronous detection, FM or PM detection, broadband frequency doubling and chopping.

The LM1596 is specified for operation over the −55°C to +125°C military temperature range. The LM1496 is specified for operation over the 0°C to +70°C temperature range.

Features

- Excellent carrier suppression
  - 65 dB typical at 0.5 MHz
  - 50 dB typical at 10 MHz
- Adjustable gain and signal handling
- Fully balanced inputs and outputs
- Low offset and drift
- Wide frequency response up to 100 MHz

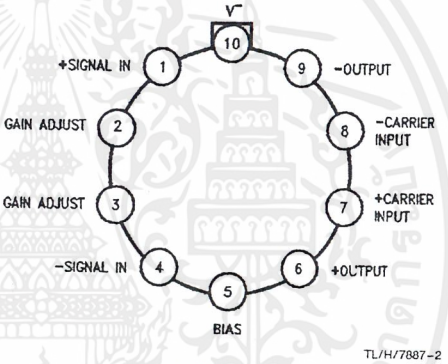
Schematic and Connection Diagrams



TL/H/7887–1

Numbers in parentheses show DIP connections.

Metal Can Package



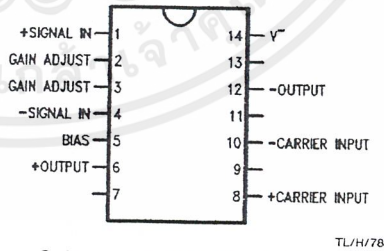
TL/H/7887–2

Top View

Note: Pin 10 is connected electrically to the case through the device substrate.

Order Number LM1496H or LM1596H
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/7887–3

Order Number LM1496M or LM1496N
See NS Package Number M14A or N14A

©1995 National Semiconductor Corporation TL/H/7887

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

LM1596/LM1496 Balanced Modulator-Demodulator

General Description

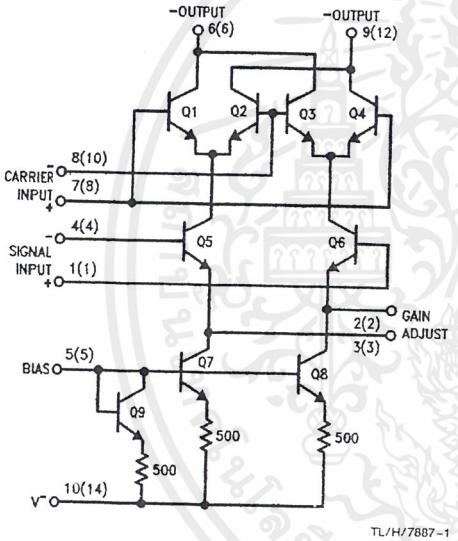
The LM1596/LM1496 are doubled balanced modulator-demodulators which produce an output voltage proportional to the product of an input (signal) voltage and a switching (carrier) signal. Typical applications include suppressed carrier modulation, amplitude modulation, synchronous detection, FM or PM detection, broadband frequency doubling and chopping.

The LM1596 is specified for operation over the −55°C to +125°C military temperature range. The LM1496 is specified for operation over the 0°C to +70°C temperature range.

Features

- Excellent carrier suppression
  - 65 dB typical at 0.5 MHz
  - 50 dB typical at 10 MHz
- Adjustable gain and signal handling
- Fully balanced inputs and outputs
- Low offset and drift
- Wide frequency response up to 100 MHz

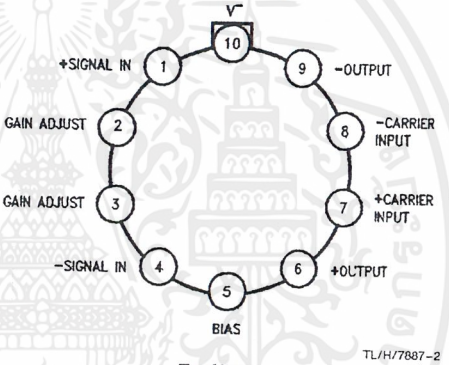
Schematic and Connection Diagrams



TL/H/7887–1

Numbers in parentheses show DIP connections.

Metal Can Package



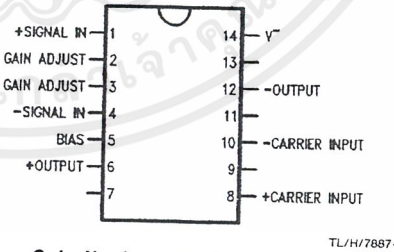
TL/H/7887–2

Top View

Note: Pin 10 is connected electrically to the case through the device substrate.

Order Number LM1496H or LM1596H
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/7887–3

Order Number LM1496M or LM1496N
See NS Package Number M14A or N14A

©1995 National Semiconductor Corporation TL/H/7887

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Internal Power Dissipation (Note 1)	500 mW
Applied Voltage (Note 2)	30V
Differential Input Signal ($V_7 - V_8$)	±5.0V
Differential Input Signal ($V_4 - V_1$)	$\pm(5 + I_5R_0)$V
Input Signal ($V_2 - V_1$, $V_3 - V_4$)	5.0V
Bias Current (I_5)	12 mA
Operating Temperature Range LM1596	−55°C to +125°C
LM1496	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Soldering Information

- Dual-In-Line Package
  - Soldering (10 seconds) 260°C
- Small Outline Package
  - Vapor Phase (60 seconds) 215°C
  - Infrared (15 seconds) 220°C

See AN-450 "Surface Mounting Methods and their effects on Product Reliability" for other methods of soldering surface mount devices.

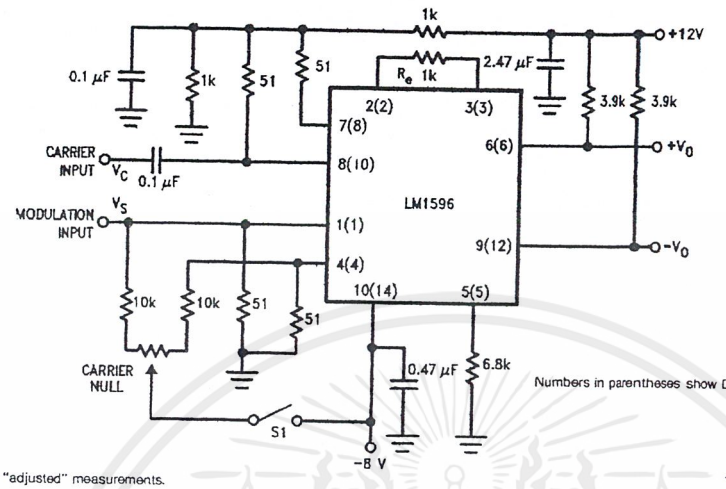
Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit)

Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Max	
Carrier Feedthrough	V_C = 60 mVrms sine wave f_C = 1.0 kHz, offset adjusted		40			40		μVrms
	V_C = 60 mVrms sine wave f_C = 10 kHz, offset adjusted		140			140		μVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, offset adjusted		0.04	0.2		0.04	0.2	mVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, not offset adjusted		20	100		20	150	mVrms
Carrier Suppression	f_S = 10 kHz, 300 mVrms f_C = 500 kHz, 60 mVrms sine wave offset adjusted	50	65		50	65		dB
	f_S = 10 kHz, 300 mVrms f_C = 10 MHz, 60 mVrms sine wave offset adjusted		50			50		dB
Transadmittance Bandwidth	R_L = 50Ω Carrier Input Port, V_C = 60 mVrms sine wave		300			300		MHz
	f_S = 1.0 kHz, 300 mVrms sine wave Signal Input Port, V_S = 300 mVrms sine wave $V_7 - V_8$ = 0.5Vdc		80			80		MHz
Voltage Gain, Signal Channel	V_S = 100 mVrms, f = 1.0 kHz $V_7 - V_8$ = 0.5 Vdc	2.5	3.5		2.5	3.5		V/V
Input Resistance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		200			200		kΩ
Input Capacitance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		2.0			2.0		pF
Single Ended Output Resistance	f = 10 MHz		40			40		kΩ
Single Ended Output Capacitance	f = 10 MHz		5.0			5.0		pF
Input Bias Current	$(I_1 + I_4)/2$		12	25		12	30	μA
Input Bias Current	$(I_7 + I_8)/2$		12	25		12	30	μA
Input Offset Current	$(I_1 - I_4)$		0.7	5.0		0.7	5.0	μA
Input Offset Current	$(I_7 - I_8)$		0.7	5.0		5.0	5.0	μA
Average Temperature Coefficient of Input Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		2.0			2.0		nA/°C nA/°C
Output Offset Current	$(I_6 - I_9)$		14	50		14	60	μA
Average Temperature Coefficient of Output Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		90			90		nA/°C nA/°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application and Test Circuit

Suppressed Carrier Modulator

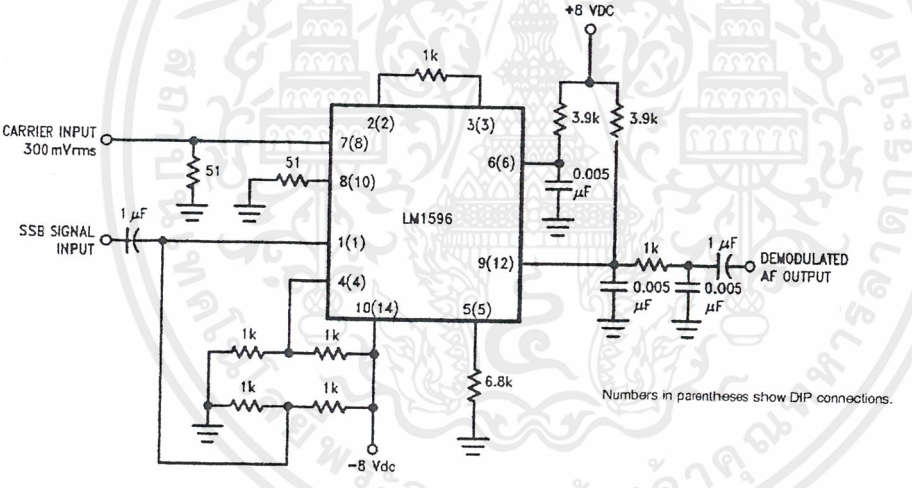


Numbers in parentheses show DIP connections.

Note: S_1 is closed for "adjusted" measurements.

TL/H/7687–4

SSB Product Detector



Numbers in parentheses show DIP connections.

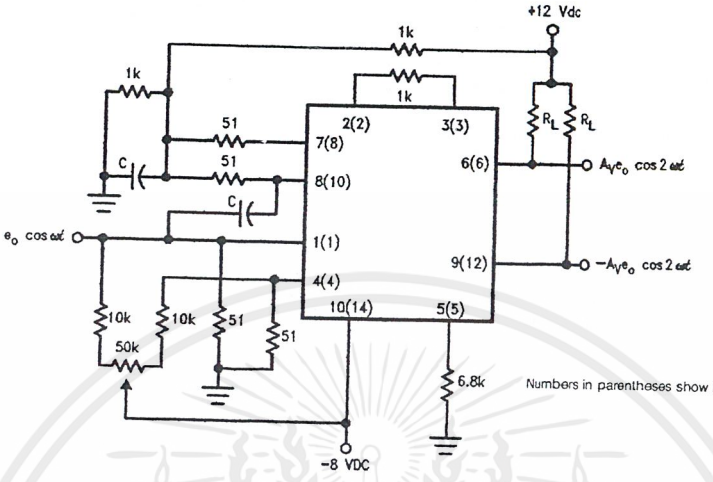
TL/H/7687–6

This figure shows the LM1596 used as a single sideband (SSB) suppressed carrier demodulator (product detector). The carrier signal is applied to the carrier input port with sufficient amplitude for switching operation. A carrier input level of 300 mVrms is optimum. The composite SSB signal is applied to the signal input port with an amplitude of 5.0 to 500 mVrms. All output signal components except the desired demodulated audio are filtered out, so that an offset adjustment is not required. This circuit may also be used as an AM detector by applying composite and carrier signals in the same manner as described for product detector operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Broadband Frequency Doubler



Numbers in parentheses show DIP connections.

TL/H/7887–7

The frequency doubler circuit shown will double low-level signals with low distortion. The value of C should be chosen for low reactance at the operating frequency. Signal level at the carrier input must be less than 25 mV peak to maintain operation in the linear region of the switching differential amplifier. Levels to 50 mV peak may be used with some distortion of the output waveform. If a larger input signal is available a resistive divider may be used at the carrier input, with full signal applied to the signal input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. Wayne Tomasi.,"Advance Electronic Communications System",Prentice-Hall,1987.
2. Wayne Tomasi and Vincent F.Alisouskas.,"Telecommunication Voice/Data with Fiber Optic Application".
3. J,Hilbum and D.E. Lohnson,"Manual Active filter Design,"McGraw Hill,1973
4. รศ.กฤษดา วิศวธีรานนท์., "เรียน/เล่น/ใช้ ไอซีดิจิตอล",บริษัท ซีเอ็ดยูเคชั่น จำกัด,2538.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้