สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องรับส่งสัญญาณดิจิตอล 16 QAM

16 QAM TRANSMITTER AND RECEIVER

T042130

โดย

นางสาว ญาดา สุขกุล

นางสาว นิตยา ร่วมสุข

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เลขหมู่.....
เลขทะเบียน 42130
วัน, เดือน, ปี 13 พ.ค. 2545

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับส่งสัญญาณดิจิตอล 16 QAM

16 QAM TRANSMITTER AND RECEIVER

โดย

นางสาว ญาดา สุขกุล

นางสาว นิตยา ร่วมสุข

อาจารย์ที่ปรึกษา

รศ.ณรงค์ เหมกรณ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2543

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องส่งและเครื่องรับ 16 QAM**

TRANSMITTER AND RECEIVER

ผู้จัดทำ

1. นางสาว ญาดา สุขกุล 40010193

2. นางสาว นิตยา ร่วมสุข 40010388

อาจารย์ที่ปรึกษา

(รศ.ณรงค์ เหมกรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับส่งสัญญาณดิจิตอล 16 QAM

16 QAM Transmitter and Receiver

โดย 1. นางสาว ญาดา สุขกุล 40010193

2. นางสาว นิตยา ร่วมสุข 40010388

อาจารย์ที่ปรึกษา รศ. ณรงค์ เหมกรณ์

บทคัดย่อ

โครงงานนี้เป็นการนำเสนอการรับส่งสัญญาณดิจิตอลโดยใช้เทคนิคการมอดูเลตทางดิจิตอลแบบ Quadrature Amplitude Modulation (16 QAM) ซึ่งข้อมูลดิจิตอลจะถูกบรรจุอยู่ในแอมปลิจูดและเฟสของสัญญาณพาหะ โดยทำการส่งผ่านข้อมูลดิจิตอลด้วยอัตราความเร็วในการส่ง 256 kbps และความถี่ของสัญญาณพาหะเท่ากับ 1.024 MHz ในส่วนของวงจรประกอบด้วย ภาคส่งและภาครับซึ่งซิงโครไนซ์กันโดยการส่งสัญญาณนำร่อง (Pilot Signal) 512 kHz ไปพร้อมกับสัญญาณ 16 QAM ทางภาคส่งด้วย

Abstract

This project present of digital transmission system which use Quadrature Amplitude Modulate technique (16 QAM) . Data is transmitted on cable at data speed 256 kbps . The circuit consist of two important part , transmitter and receiver which synchronize by pilot signal .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎีและหลักการ 2

2.1 ควอดราเจอร์แอมปลิจูดมอดูเลชั่น 2

2.1.1 ภาคส่งสัญญาณ 16 QAM 2

2.1.2 ภาครับสัญญาณ 16 QAM 6

2.2 วงจรกรองความถี่ 7

2.2.1 วงจรกรองความถี่ผ่านเฉพาะช่วงความถี่ 8

2.2.2 วงจรกรองความถี่ต่ำผ่าน 11

2.3 วงจรออสซิลเลเตอร์แบบใช้ผลึก 12

2.4 วงจรเฟสล็อคลูป 13

2.4.1 การทำงานของวงจรเฟสล็อกลูป 13

2.4.2 การประยุกต์ใช้วงจรเฟสล็อกลูป 17

2.4.3 ข้อดีข้อเสียของวงจรเฟสล็อคลูป 18

บทที่ 3 การคำนวณและการสร้าง 19

3.1 วงจรภาคส่ง 19

3.1.1 วงจรกำเนิดสัญญาณ NRZ 19

3.1.2 วงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน 20

3.1.3วงจรแปลงสัญญาณ 2 บิตเป็นสัญญาณ 4 ระดับ 21

3.1.4 วงจรกำเนิดคล็อก 22

3.1.4.1 วงจรสร้างสัญญาณพาหะ 1.024 MHz 22

3.1.4.2 วงจรสร้างสัญญาณไพล็อท 512 kHz 23

3.1.4.3 วงจรสร้างสัญญาณนาฬิกา 256 kHz 23

3.1.5 วงจรกรองผ่านเฉพาะช่วงความถี่ 24

3.1.5.1 วงจรกรองผ่านเฉพาะช่วงความถี่ 24

3.1.5.2 วงจรกรองผ่านเฉพาะช่วงความถี่ 25

3.1.6 วงจรเลื่อนเฟส 90° 26

3.1.7 วงจรบาลานซ์มอดูเลเตอร์ 27

3.1.8 วงจรรวมสัญญาณ 28

3.2 วงจรภาครับ 28

3.2.1 วงจรกรองความถี่ผ่านเฉพาะช่วง 28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

3.2.2 วงจรเฟสล็อคลูป 29

3.2.3 วงจรเลื่อนเฟส 90 องศา 29

3.2.4 วงจรบาลานซ์ดีมอดูเลท 30

3.2.5 วงจรกรองความถี่ต่ำผ่าน 30

3.2.6 วงจรขยายสัญญาณ 4 ระดับ 31

3.2.7 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต 32

3.2.8 วงจรรวมสัญญาณดิจิตอล 33

บทที่ 4 การทดลองและผลการทดลอง 43

4.1 ผลการทดลองภาคส่ง 43

4.1.1 วงจรกำเนิดสัญญาณ NRZ 43

4.1.2 วงจรแปลงข้อมูลแบบอนุกรมเป็นแบบดิจิตอล 43

4.1.3 วงจรแปลงข้อมูล 2 บิตเป็น 4 ระดับ 47

4.1.4 วงจรผลิตคลื่อก 47

4.1.5 วงจรกรองผ่านเฉพาะช่วงความถี่ 48

4.1.6 วงจรเลื่อนเฟส 49

4.1.7 วงจรบาลานซ์มอดูเลเตอร์ 50

4.1.8 วงจรรวมสัญญาณ 16 QAM 51

4.2 ผลการทดลองภาครับ 52

4.2.1 วงจรกรองความถี่ผ่านเฉพาะช่วง 52

4.2.2วงจรเฟสล็อคลูป 52

4.2.2.1วงจรกู้สัญญาณพาหะ 53

4.2.2.2 วงจรกู้สัญญาณคล็อก 55

4.2.3 วงจรบาลานซ์ดีมอดูเลเตอร์ 56

4.2.4 วงจรขยาย สัญญาณ 4 ระดับ 57

4.2.5วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต 57

4.2.6 วงจรรวมสัญญาณดิจิตอล 58

บทที่ 5 บทวิจารณ์และบทสรุป 59

ภาคผนวก

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 บล็อกไดอะแกรมวงจรภาคส่ง 3

รูปที่ 2.2 เฟสไดอะแกรมสัญญาณ 16 QAM 5

รูปที่ 2.3 แสดง Constellation Diagram 5

รูปที่ 2.4 บล็อกไดอะแกรมวงจรภาครับ 6

รูปที่ 2.5 วงจรกรองความถี่ต่ำผ่าน 8

รูปที่ 2.6 วงจรกรองความถี่สูงผ่าน 8

รูปที่ 2.7 วงจรกรองผ่านเฉพาะความถี่ 8

รูปที่ 2.8 วงจรกันเฉพาะช่วงความถี่ 9

รูปที่ 2.9 วงจรกรองผ่านเฉพาะช่วงความถี่อันดับสองแบบป้อนกลับบวก 10

รูปที่ 2.10 แสดงวงจรกรองความถี่ต่ำผ่าน 11

รูปที่ 2.11 คริสตัลและวงจรสมมูล 12

รูปที่ 2. 12 ลักษณะโอนย้ายจากความถี่เป็นแรงดัน 16

รูปที่ 2. 13 เฟสล็อกลูปแบบเฟิร์สออเดอร์ลูป 16

รูปที่ 2. 12 เฟสล็อกลูปแบบเซ็คคอนออเดอร์ลูป 16

รูปที่ 2. 13 เอฟเอ็มดีมอดูเลชั่น (FM Demodulation) 17

รูปที่ 2. 14 เอเอ็มดีมอดูเลชั่น (AM Demodulation) 17

รูปที่ 2.15 วงจรคูณความถี่ (Frequency Multiplication/Synthesis) 17

รูปที่ 2. 16 ฟรีเควนซี่ ทรานสเลชั่น (Frequency Translation) 18

รูปที่ 3.1 วงจรผลิตสัญญาณ NRZ 19

รูปที่ 3.2 วงจรแปลงสัญญาณแบบอนุกรมเป็นแบบขนาน 20

รูปที่ 3.3 เกรย์โค๊ดคอนเวร์อทเตอร์ 21

รูปที่ 3.4 วงจรแปลงสัญญาณ 2 บิตเป็น 4 ระดับ 21

รูปที่ 3.5 บล็อกไดอะแกรมการสร้างสัญญาณคล็อก 22

รูปที่ 3.6 วงจรกำเนิดสัญญาณคล็อก 1.024 MHz 22

รูปที่ 3.7 วงจรสร้างสัญญาณไพล็อท 512 kHz 23

รูปที่ 3.8 วงจรสร้างสัญญาณนาฬิกา 256 kHz 23

รูปที่ 3.9 วงจรกรองผ่านความถี่เฉพาะช่วงแบบป้อนกลับบวก 24

รูปที่ 3.10 กราฟที่ใช้หาค่าพารามิเตอร์ K 25

รูปที่ 3.11 กราฟที่ใช้หาค่า R 26

รูปที่ 3.12 วงจรเลื่อนเฟส 90° 26

รูปที่ 3.13 วงจรบาลานซ์มอดูเลเตอร์ 27

รูปที่ 3.14 วงจรรวมสัญญาณ 28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 3.15 วงจรเฟสล็อคลูป 29
รูปที่ 3.16 วงจรเลื่อนเฟส 90 องศา 29
รูปที่ 3.17 วงจรบาลานซ์ดีมอดูเลเตอร์ 30
รูปที่ 3.18 วงจรกรองความถี่ต่ำผ่าน 31
รูปที่ 3.19 วงจรขยายสัญญาณ 4 ระดับ 31
รูปที่ 3.20 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต 33
รูปที่ 3.21 วงจรรวมสัญญาณดิจิตอล 33
รูปที่ 3.22 บล็อคไดอะแกรมวงจรภาคส่ง 35
รูปที่ 3.23 บล็อคไดอะแกรมวงจรภาครับ 36
รูปที่ 3.24 วงจรภาคส่งส่วนที่ 1 37
รูปที่ 3.25 วงจรภาคส่งส่วนที่ 2 38
รูปที่ 3.26 วงจรภาคส่งส่วนที่ 3 39
รูปที่ 3.27 วงจรภาครับส่วนที่ 1 40
รูปที่ 3.28 วงจรภาครับส่วนที่ 2 41
รูปที่ 3.29 วงจรภาครับส่วนที่ 3 42
รูปที่ 4.1 แสดงสัญญาณดิจิตอล ตัวอย่าง 0100001111 43
รูปที่ 4.2 เปรียบเทียบสัญญาณ NRZ กับสัญญาณที่ขา I ของวงจรแปลงสัญญาณแบบอนุกรมเป็นแบบขนาน 44
รูปที่ 4.3 เปรียบเทียบสัญญาณ NRZ กับสัญญาณที่ขา Q ของวงจรแปลงสัญญาณแบบอนุกรมเป็นแบบขนาน 44
รูปที่ 4.4 เปรียบเทียบสัญญาณ NRZ กับสัญญาณที่ขา I' ของวงจรแปลงสัญญาณแบบอนุกรมเป็นแบบขนาน 45
รูปที่ 4.5 เปรียบเทียบสัญญาณ NRZ กับสัญญาณที่ขา I ของวงจรแปลงสัญญาณแบบอนุกรมเป็นแบบขนาน 45
รูปที่ 4.6 แสดงเอาท์พุทของวงจร EX – OR ในส่วน I 46
รูปที่ 4.7 แสดงเอาท์พุทของวงจร EX – OR ในส่วน Q 46
รูปที่ 4.8 แสดงสัญญาณ 4 ระดับ 47
รูปที่ 4.9 เปรียบเทียบสัญญาณคล็อก 1.024 MHz กับ 512 kHz 47
รูปที่ 4.10 เปรียบเทียบสัญญาณคล็อก 1.024 MHz กับ 256 kHz 48
รูปที่ 4.11 แสดงเอาท์พุทของ BPF 1.024 MHz 48
รูปที่ 4.12 แสดงเอาท์พุทของ BPF 512 MHz 49
รูปที่ 4.13 แสดงสัญญาณของวงจรเลื่อนเฟส 49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 4.14 เปรียบเทียบสัญญาณที่มอดูเลตแล้วกับสัญญาณ 4 ระดับ 50

รูปที่ 4.15 แสดงเอาท์พุตของวงจรบาลานซ์มอดูเลเตอร์ 2 ตัว 50

รูปที่ 4.16 แสดงสัญญาณ 16 QAM ที่ไม่รวมสัญญาณนำร่อง 51

รูปที่ 4.17 แสดงสัญญาณ 16 QAM ที่รวมสัญญาณนำร่อง 51

รูปที่ 4.18 แสดงสเปกตรัมของสัญญาณ 16 QAM 52

รูปที่ 4.19 แสดงสัญญาณนำร่องที่กรองได้ทางภาครับ 52

รูปที่ 4.20 แสดง Characteristic ของวงจรกรองความถี่ผ่าน 512 kHz 53

รูปที่ 4.21 แสดงเอาท์พุตของวงจรกู้สัญญาณพาหะ 53

รูปที่ 4.22 แสดงการเปรียบเทียบสัญญาณพาหะทางภาคส่งและภาครับ 54

รูปที่ 4.23 แสดง Characteristic ของวงจรกรองความถี่ผ่าน 1.024 MHz 54

รูปที่ 4.24 แสดงเอาท์พุตของวงจรกู้สัญญาณคล็อก 55

รูปที่ 4.25 แสดงการเปรียบเทียบสัญญาณคล็อกของทางภาคส่งและภาครับ 55

รูปที่ 4.26 แสดงเอาท์พุตวงจรบาลานซ์ดีมอดูเลเตอร์ 2 ตัว 56

รูปที่ 4.27 แสดงการเปรียบเทียบสัญญาณ 4 ระดับระหว่างภาคส่งและภาครับ 56

รูปที่ 4.28 แสดงเอาท์พุตของวงจรขยายสัญญาณ 4 ระดับ 57

รูปที่ 4.29 แสดงเอาท์พุตของวงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต 57

รูปที่ 4.30 แสดงการเปรียบเทียบสัญญาณดิจิตอลระหว่างภาคส่งและภาครับ 58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2.1 แสดงค่าสัญญาณ 4 ระดับ 4

ตารางที่ 2.2 แสดงค่าแอมปลิจูดและเฟสของสัญญาณ 16 QAM 4

ตารางที่ 3.1 แสดงอัตราการขยายสัญญาณ 32

ตารางที่ 3.2 แสดงการแปลงสัญญาณ 4 ระดับเป็น 2 บิต 32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันการสื่อสารด้านโทรคมนาคมได้มีการพัฒนาไปอย่างรวดเร็วเป็นอย่างมาก ดังนั้น ระบบการสื่อสารแบบดิจิตอลจึงเข้ามามีบทบาทมากขึ้น เนื่องจากว่าระบบดิจิตอลมีข้อดีกว่าระบบการสื่อสารแบบอนาล็อกหลายประการ อาทิเช่น มีความถูกต้องแม่นยำและส่งข้อมูลได้ในจำนวนที่มากกว่า เพราะว่าในระบบดิจิตอลนั้นมีเทคนิคหลากหลายที่สามารถนำมาพัฒนาปรับปรุงใช้การส่งข้อมูลให้ดีมากกว่าการส่งแบบอนาล็อก

เทคนิคที่ใช้ในการส่งข้อมูลแบบดิจิตอลนั้นมีหลายวิธี เช่น ASK (Amplitude shift Keying) , PSK (Phase Shift Keying) , FSK (Frequency Shift Keying) และ QAM (Quadrature Amplitude Modulation) ซึ่งในโครงงานนี้จะนำเสนอการทำงานแบบ 16 QAM เนื่องจากว่าสามารถส่งข้อมูลได้ครั้งละ 4 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีหรือหลักการ

2.1 ควอดราเจอร์แอมปลิจูดมอดูเลชั่น (Quadrature Amplitude Modulation)

2.1.1 ภาคส่งสัญญาณ 16 QAM

ควอดราเจอร์แอมปลิจูดมอดูเลชั่น เป็นการมอดูเลตสัญญาณดิจิตอลรูปแบบหนึ่ง ซึ่งข้อมูลดิจิตอลนี้จะทำให้ทั้งเฟสแอมปลิจูดหรือทั้งสองอย่างของสัญญาณพาหะเปลี่ยน ในการทำโครงงานชิ้นนี้เลือกใช้การมอดูเลตแบบ 16 QAM ซึ่งจะเป็นการส่งข้อมูลดิจิตอลออกไปครั้งละ 4 บิท พร้อม ๆ กัน

QAM ได้จากการเปลี่ยนแปลงพารามิเตอร์ 2 ตัวไปพร้อม ๆ กันทั้งทางแอมปลิจูด และเฟสของคลื่นพาหะ

จะได้

$$COS(\omega_c t + \phi) = COS(\phi)COS(\omega_c t) - SIN(\phi)SIN(\omega_c t)$$

จากสมการข้างบนเราจะเห็นว่า $COS(\phi)$ และ $SIN(\phi)$ แทนสัมประสิทธิ์ของคลื่นพาหะทั้งสอง โดยที่ $COS(\omega_C t)$ และ $SIN(\omega_c t)$ เป็นสัญญาณพาหะที่มีเฟสต่างกันอยู่ 90°

จากบล็อกไดอะแกรมจะเห็นว่าทางภาคส่งของการส่งสัญญาณแบบ 16 QAM นั้นจะประกอบด้วยวงจรแยกสัญญาณออกเป็น 4 ส่วนเรียกว่าวงจรแปลงสัญญาณแบบอนุกรมเป็นสัญญาณแบบขนานสัญญาณ 4 ส่วนคือ I , I´ , Q และ Q´ ซึ่งแต่ละส่วนจะมีบิตเรทเป็น ¼ ของบิตเรทอินพุท (256 / 4 = 64 kbps) โดยที่เราจะจับคู่สัญญาณทั้ง 4 ส่วน เป็นบิตบน (I) และ บิตล่าง (Q) ดังนั้นหลังจากนี้จึงจำเป็นต้องมีวงจรแปลงสัญญาณ 2 บิตเป็นสัญญาณ 4 ระดับ และวงจรบาลานซ์มอดูเลเตอร์ถึงสองวงจรด้วยกัน

ป้อนสัญญาณแต่ละคู่เข้าไปในวงแปลง 2 บิตเป็น 4 ระดับ ซึ่งสัญญาณ 4 ระดับนี้จะมีลักษณะ 2 ขั้วและ 2 ขนาด คือ +0.150 V, +0.050 V , -0.150 V และ -0.050 V โดยมีบิต I, Q เป็นตัวกำหนดพาริตี้ และ บิต I´ , Q´ เป็นตัวกำหนดขนาดดังตารางที่ 2.1 หลังจากนี้นำสัญญาณ 4 ระดับมามอดูเลตกับสัญญาณพาหะอินเฟส (Inphase)และสัญญาณควอดราเจอร์เฟส (Quadrature Phase) ผลที่ได้จะมี 4 เอาท์พุทสำหรับวงจรมอดูเลตแต่ละวงจร คือ -0.050 $Sin\omega_c t$, -0.150 $Sin\omega_c t$, +0.050 $Sin\omega_c t$, +0.150 $Sin\omega_c t$ สำหรับวงจรมอดูเลตด้าน I และ -0.050 $Cos\omega_c t$, -0.150 $Cos\omega_c t$, +0.050 $Cos\omega_c t$, +0.150 $Cos\omega_c t$ สำหรับวงจรมอดูเลตด้าน Q นำผลลัพธ์ที่ได้มารวมกันที่วงจรรวมสัญญาณแบบเชิงเส้นจะได้เอาท์พุทถึง 16 รูปแบบ

การมอดูเลทสัญญาณ QAM นั้นสัญญาณ 4 ระดับจะถูกมอดูเลทด้วยสัญญาณพาหะ สำหรับสัญญาณ 4 ระดับที่แตกต่างกันทำให้เกิดสัญญาณ QAM ได้ทั้งหมด $4^2 = 16$

วงจรมอดูเลทสัญญาณแบบ 16 QAM จะทำการแปลงข้อมูลดิจิตอลให้อยู่ในรูปของพลังงานที่เหมาะสมในการส่งผ่านข้อมูลจากจุดหนึ่งไปยังอีกจุดหนึ่งโดยแปลงทีละ 4 บิต เป็นสัญญาณอนาล็อก ทำให้อัตราเร็วในการส่งสัญญาณสูงกว่าอัตราบิตเรทถึง 4 เท่า ข้อมูลดิจิตอลจะถูกเปลี่ยนให้อยู่ในรูปของเฟสและแอมปลิจูดของสัญญาณพาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกำหนดเฟสและแอมปลิจูดของสัญญาณพาหะ

กำหนดให้สัญญาณพาหะ คือ $\cos \omega_c t$

สัญญาณ 16 QAM ที่ได้รับคือ $A\cos(\omega_c t - \theta)$

$$A\cos(\omega_c t - \theta) = A\cos\theta\cos\omega_c t + A\sin\theta\sin\omega_c t$$

$$a_n = A\cos\theta$$

$$b_n = A\sin\theta$$

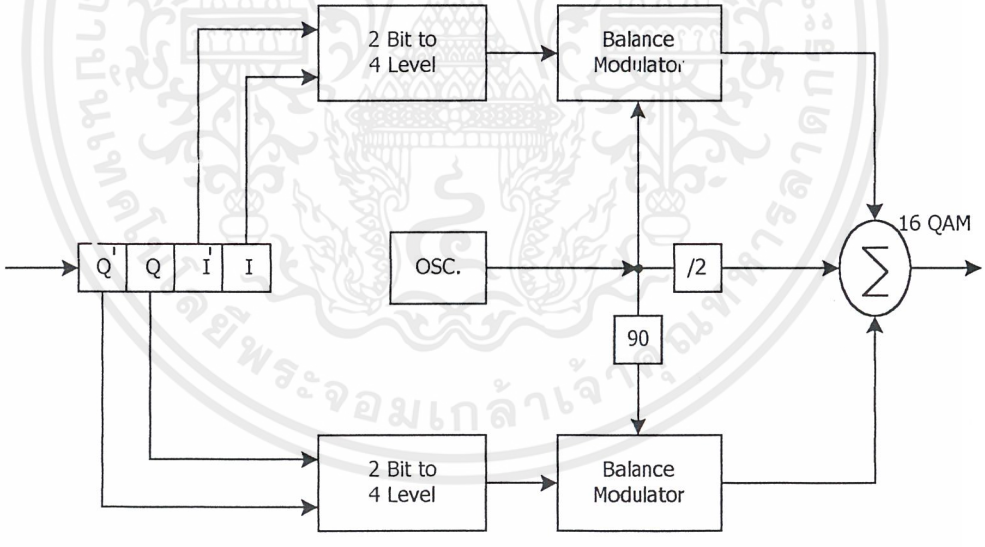
$$A\cos(\omega_c t - \theta) = a_n\cos\omega_c t + b_n\sin\omega_c t$$

$$A = \sqrt{a_n^{\,2} + b_n^{\,2}}$$

$$= \sqrt{A^2(\cos^2\theta + \sin^2\theta}$$

$$\theta = \tan^{-1}(\frac{b_n}{a_n})$$

จากการพิจารณาพบว่าสัญญาณ 16 QAM เกิดจากการรวมกันของสัญญาณสองสัญญาณคือ สัญญาณพาหะสองตัวที่มีเฟสต่างกัน 90 องศาหรือ สัญญาณพาหะโคไซน์และสัญญาณพาหะไซน์ที่มอดูเลทกับแอมปลิจูด a_n และ b_n ตามลำดับ ซึ่งสัญญาณ a_n และ b_n นี้เป็นสัญญาณ 4 ระดับ



รูปที่ 2.1 บล็อคไดอะแกรมภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

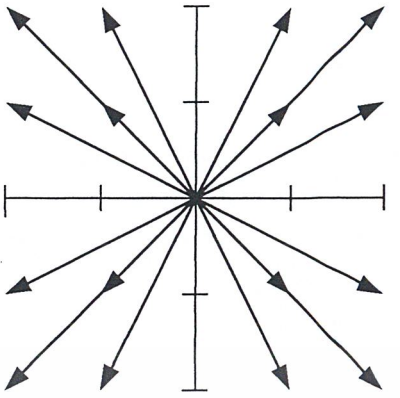
ตารางที่ 2.1 แสดงค่าของสัญญาณ 4 ระดับ

I (Q)	I′ (Q′)	O/P
0	0	+0.150 V
0	1	+0.050 V
1	0	-0.050 V
1	1	-0.150 V

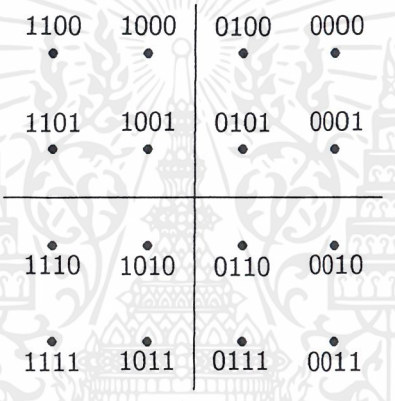
ตารางที่ 2.2 แสดงเฟสและแอมปลิจูดสัญญาณ 16 QAM

Binary Input				**16 QAM Output**	
I	I′	Q	Q′	**Amplitude**	**Phase**
0	**0**	**0**	**0**	**0.212**	**+45**
0	**0**	**0**	**1**	**0.158**	**+18.43**
0	**0**	**1**	**0**	**0.158**	**-18.43**
0	**0**	**1**	**1**	**0.212**	**-45**
0	**1**	**0**	**0**	**0.158**	**+71.56**
0	**1**	**0**	**1**	**0.07**	**+45**
0	**1**	**1**	**0**	**0.07**	**-45**
0	**1**	**1**	**1**	**0.158**	**-71.56**
1	**0**	**0**	**0**	**0.158**	**+108.43**
1	**0**	**0**	**1**	**0.07**	**+135**
1	**0**	**1**	**0**	**0.07**	**-135**
1	**0**	**1**	**1**	**0.158**	**-108.43**
1	**1**	**0**	**0**	**0.212**	**+135**
1	**1**	**0**	**1**	**0.158**	**+161.52**
1	**1**	**1**	**0**	**0.158**	**-161.52**
1	**1**	**1**	**1**	**0.212**	**-135**

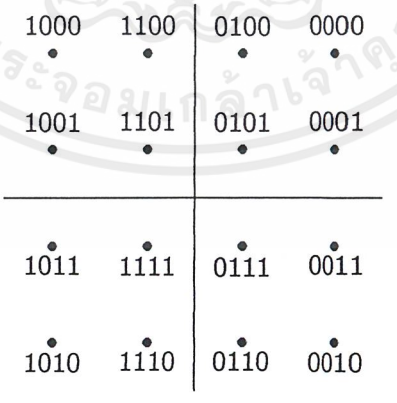
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 Phase Diagram



(ก) Binary Code



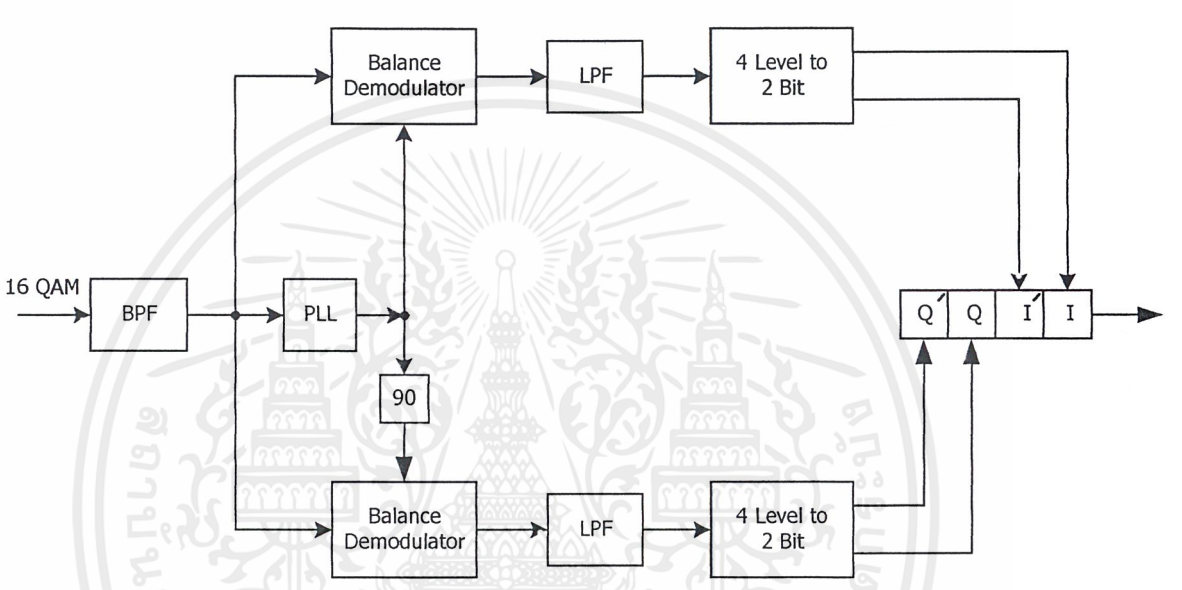
(ข) Grey Code

รูปที่ 2.3 แสดง Constellation Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 ภาครับสัญญาณ 16 QAM

ทางภาครับนำสัญญาณ 16 QAM ที่ได้รับมาดีมอดูเลทโดยใช้วงจรบาลานซ์ดีมอดูเลเตอร์ (Balance Modulator) โดยการคูณสัญญาณ 16 QAM กับสัญญาณพาหะไซน์และโคไซน์ซึ่งได้จากการกู้จากสัญญาณนำร่อง (Pilot Signal) ที่ส่งมาจากภาคส่ง สัญญาณเอาท์พุตที่ได้จากการดีมอดูเลท เป็นสัญญาณ 4 ระดับ 2 สัญญาณคือสัญญาณทางด้านบิตบนและบิตล่าง สัญญาณ 4 ระดับดังกล่าวจะถูกเปลี่ยนเป็นสัญญาณดิจิตอล ซึ่งสัญญาณแต่ละระดับจะถูกเปลี่ยนเป็นสัญญาณดิจิตอล 2 บิต สัญญาณดิจิตอลของบิตบนและบิตล่างถูกรวมให้เป็นสัญญาณดิจิตอลแบบอนุกรม เหมือนกับสัญญาณดิจิตอลทางภาคส่ง



รูปที่ 2.4 บล็อคไดอะแกรมวงจรภาครับ

การดีมอดูเลท

สัญญาณที่รับได้คือ $A\cos(\omega_c t - \theta)$

- การดีมอดูเลททางด้าน I จะคูณสัญญาณที่รับได้เข้ากับสัญญาณพาหะโคไซน์

$$A\cos(\omega_c t - \theta)\cos(\omega_c t) = \frac{A}{2}\left(\cos(-\theta) + \cos(2\omega_c t - \theta)\right)$$

ใช้วงจรกรองความถี่ต่ำผ่านกรองสัญญาณดังกล่าว จะได้สัญญาณ $A\cos(-\theta) = A\cos(\theta)$ ซึ่งเป็นสัญญาณ 4 ระดับทางบิตบน I

- การดีมอดูเลททางด้าน Q จะคูณสัญญาณที่รับได้เข้ากับสัญญาณพาหะไซน์

$$A\cos(\omega_c t - \theta)\cos(\omega_c t) = \frac{A}{2}\left(\sin(\theta) + \sin(2\omega_c t - \theta)\right)$$

ใช้วงจรกรองความถี่ต่ำผ่านกรองสัญญาณดังกล่าว จะได้สัญญาณ $A\sin(\theta)$ ซึ่งเป็นสัญญาณ 4 ระดับทางบิตลาง Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กล่าวโดยสรุปคือ ทางภาครับจะรับสัญญาณที่ส่งมาจากภาคส่งแล้วทำการแปลงกลับเฟสและแอมปลิจูดของสัญญาณพาหะให้เป็นข้อมูลดิจิตอล

2.2 วงจรกรองความถี่

วงจรกรองความถี่เป็นวงจรซึ่งได้รับการออกแบบเพื่อให้สัญญาณเฉพาะช่วงความถี่ใดความถี่หนึ่ง (Pass Band)เท่านั้นส่วนสัญญาณอื่นซึ่งไม่อยู่ในช่วงความถี่ดังกล่าวนี้ (Stop Band)จะถูกลดระดับหมดวงจร กรองความถี่สามารถแบ่งออกเป็นหลายรูปแบบดังนี้

1. วงจรกรองความถี่ชนิด อนาล็อก (Analog Filter) และดิจิตอล (Digital filter)
2. วงจรกรองความถี่ชนิด พาสซีพ (passtive Filter) และแอ็กทีฟ (Active Filter)
3. วงจรกรองความถี่ย่านความถี่เสียง (Audio Frequency Filter) และย่านความถี่วิทยุ (Radio Frequency filter)

อนาล็อกฟิวเตอร์ออกแบบมาเพื่อใช้กับสัญญาณอนาล็อก ส่วนดิจิตอลฟิวเตอร์ใช้งานกับสัญญาณดิจิตอล วงจรพาสซีพฟิวเตอร์จะประกอบด้วย รีซิสเตอร์(Resistor) คาพาซิเตอร์ (Capacitor) และอินดักเตอร์ (Inductor) เท่านั้น ส่วนแอ็กทีพฟิวเตอร์จะประกอบด้วยทรานซิสเตอร์หรือออปแอมป์นอกเหนือไปจากองค์ประกอบทั้งสามชนิด แต่โดยทั่วไปวงจรแอ็กทีพฟิวเตอร์จะไม่ใช้อินดักเตอร์ ทั้งนี้เพราะอินดักเตอร์มักมีขนาดใหญ่เทอะทะและราคาแพง การจะเลือกใช้อุปกรณ์ชนิดใดนั้นขึ้นอยู่กับย่านความถี่ที่ต้องการให้วงจรทำงาน ยกตัวอย่างเช่น รีซิสเตอร์และคาพาซิเตอร์ใช้กับย่านความถี่เสียงหรือเรียกว่าย่านความถี่ต่ำ ขณะที่ คาพาซิเตอร์และอินดักเตอร์ ใช้ในย่านความถี่วิทยุหรือย่านความถี่สูง

ในที่นี้ขอกล่าวถึงเฉพาะแอ็กทีพฟิวเตอร์

วงจรกรองความถี่อาจจะแบ่งตามคุณสมบัติการทำงานได้เป็น 4 ประเภท คือ

1. วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)
2. วงจรกรองความสูงผ่าน (Hiht Pass Filter)
3. วงจรกรองเฉพาะช่วงความถี่ผ่าน (Band pass Filter)
4. วงจรกรองช่วงความถี่กัน (Band reject Filter)

วงจรกรองความถี่ต่ำจะมีค่าขยาย (Gain) คงตัว จนกระทั่งถึงจุดความถี่คัทออฟ(Frequency Cut off : f_c) ค่าขยายสัญญาณจะลดลงตามลำดับ

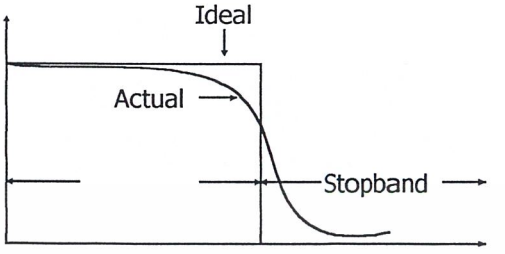
วงจรกรองความถี่สูงผ่านจะลดระดับสัญญาณที่มีความถี่ต่ำกว่าความถี่คัทออฟส่วนสัญญาณที่ความถี่สูงกว่าคัทออฟ จะมีค่าขยายคงตัว

วงจรช่วงความถี่ผ่านจะมีเฉพาะช่วงความถี่ใดความถี่หนึ่งเท่านั้นที่มีค่าขยายศักดาสัญญาณสูงกว่าบริเวณอื่น ส่วนวงจรช่วงความถี่กันาจะมีคุณสมบัติตรงกันข้ามกับวงจรช่วงความถี่ผ่าน

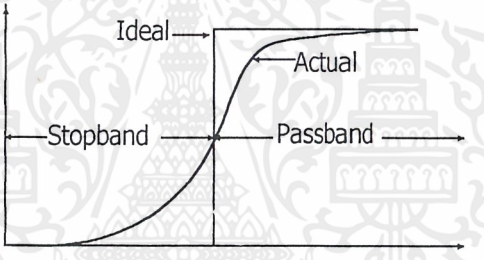
รูปแบบของฟิวเตอร์ที่นิยมนำมาใช้กันมากในทางปฏิบัติซึ่งให้ ผลที่ใกล้เคียงกับทางทฤษฎี ได้แก่ รูปแบบบัตเตอร์เวิร์ท (Butterworth) , เชบบี้เชบ (Chebyshev) และ คอเออร์ (Cauer)แต่ละรูปแบบมีคุณสมบัติประจำตัวที่แตกต่างกันออกไป บัตเตอร์เวิร์ทฟิวเตอร์ให้คุณลักษณะของทั้งพาสแบนด์ และสต็อพแบนด์ที่ราบเรียบ (Flat) สำหรับ เชบบี้เชบฟิวเตอร์มีคุณลักษณะพาสแบนด์เป็นริพเพิ้ล (Ripple) และส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

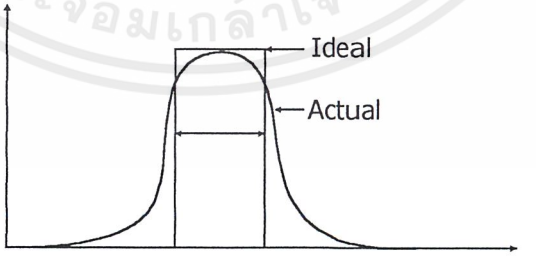
สต็อพแบนด์มีลักษณะราบเรียบ ส่วนคอเออร์ฟิวเตอร์ให้ทั้งช่วงพาสแบนด์และช่วงสต็อพแบนด์มีคุณลักษณะเป็นริพเพิ้ลทั้งคู่ หากกล่าวโดยรวม ๆ ระหว่างฟิวเตอร์ทั้ง 3 แบบ คอเออร์ฟิวเตอร์จะให้คุณลักษณะของสต็อพแบนด์ดีที่สุด



รูปที่ 2.5 วงจรกรองความถี่ต่ำผ่าน

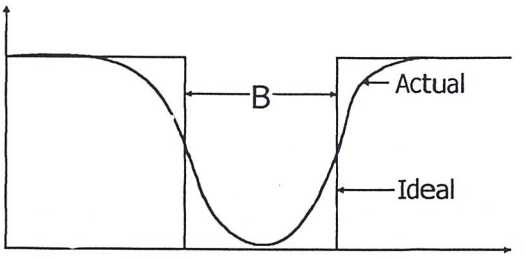


รูปที่ 2.6 วงจรกรองความถี่สูงผ่าน



รูปที่ 2.7 วงจรกรองผ่านเฉพาะช่วงความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 วงจรกันเฉพาะช่วงความถี่

ในการปฏิบัติงานหลายประเภทของฟิวเตอร์แบบให้สัญญาณความถี่ต่ำผ่านเรามักจะต้องการค่าขยายแบบลูปปิดให้ใกล้เคียงกับ 1 เท่าที่จะเป็นไปได้ในพาสแบนด์ในกรณีดังกล่าวนี้ ฟิลเตอร์แบบบัตเตอร์เวิร์ทจะมีความเหมาะสมที่สุด ฟิวเตอร์แบบบัตเตอร์เวิร์ทนี้บางครั้งเรียกว่าเป็นฟิลเตอร์แบบแมกซิมาลลีแฟลต (Maximally flat)

แอ็กทีพฟิวเตอร์อาจจะนำมาต่ออนุกรมกันสองวงจร เพื่อให้ได้อัตราลดระดับในสต็อพแบนด์เท่ากับ –40 เดซิเบลต่อดีเคด (dB/dec) เนื่องจากฟิวเตอร์ 1 วงจรจะมีค่าอัตราลดระดับเพียง –20 เดซิเบลต่อดีเคด

ฟิวเตอร์แบบบัตเตอร์เวิร์ทจะมีค่ามุมเฟส ณ ความถี่คัทออฟต่าง ๆ กัน เช่น ฟิวเตอร์ซึ่งมีอัตราลดระดับ –20 เดซิเบลต่อดีเคด จะมีมุมเฟสเท่ากับ –45° ฟิวเตอร์ซึ่งมีอัตราลดระดับ –40 เดซิเบลต่อดีเคดมีมุมเฟสเท่ากับ –90° ส่วนฟิวเตอร์ที่มีอัตราลดระดับ –60 เดซิเบลต่อดีเคดจะมีมุมเฟสเท่ากับ –135° ดังนั้นสำหรับทุก –20 เดซิเบลต่อดีเคดที่ความชันของการลดระดับที่มีเพิ่มขึ้นมุมเฟส ณ จุดความถี่คัทออฟจะเพิ่มขึ้น -45°

ในที่นี้ขอกล่าวถึงเฉพาะวงจรกรองผ่านเฉพาะย่านความถี่และวงจรกรองความถี่ต่ำผ่านเท่านั้น

2.2.1 วงจรกรองผ่านเฉพาะช่วงความถี่ (BAND PASS FILTER)

เป็นวงจรกรองความถี่แบบหนึ่งซึ่งยอมให้ความถี่ช่วงหนึ่งที่เลือกไว้ผ่านได้เท่านั้น โดยจะลดทอนความถี่อื่น ๆ นอกเหนือจากช่วงกว้างของแถบความถี่ที่ได้เลือกไว้แล้ว ตามรูปข้างล่าง จากรูปที่ 2.5 สมมติให้มีความกว้างของช่วงที่ให้ผ่านนี้มีค่าเท่ากับ B และมีค่าความถี่ที่จุดกึ่งกลางเป็น w_0 สำหรับค่า B และ w_0 กำหนดให้อยู่ในหน่วยเรเดียน/วินาที หรือ B อาจจะอยู่ในหน่วยของ Hz ก็ได้ ซึ่ง $f_0 = w_0/2\pi$ คุณสมบัติตามที่กล่าวมาของวงจรกรองชนิดนี้แสดงให้เห็นตามรูปข้างต้นโดยเส้นประแสดงถึงการตอบสนองเชิงขนาดในทางอุดมคติ และเส้นทึบแสดงการตอบสนองเชิงขนาดในการใช้งานจริง ซึ่งมีทรานเฟอร์ฟังก์ชัน (อันดับสอง) คือ

$$H(s) = \frac{V_2(s)}{V_1(s)} = \frac{Ks}{s^2 + Bs + \omega^2_o}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีค่าพารามิเตอร์สำคัญที่ควรสนใจ ในการออกแบบวงจรกรองเฉพาะความถี่ คือ ค่า Q และ B โดยที่ค่า Q หรือค่า ควอลิตี้เฟคเตอร์ (Quality factor) ซึ่งหาได้จาก

$$Q = \frac{\omega_o}{B}$$

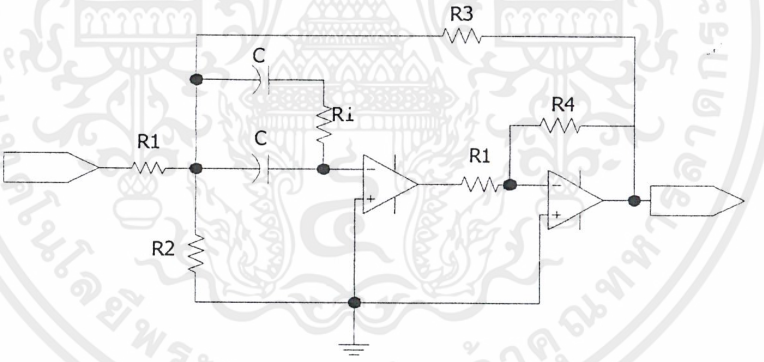
หรือถ้า B มีหน่วยเป็น Hz จะได้

$$Q = \frac{f_o}{B}$$

โดยที่ค่า Q จะบ่งบอกให้ทราบถึงความกว้างของช่องความถี่ที่ยอมให้ผ่าน ถ้า Q ยิ่งมีค่ามาก แสดงว่าวงจรที่ออกแบบนั้นจะยอมให้ช่วงความถี่ผ่านแคบมากขึ้น มีความชันมากขึ้นเมื่อเทียบกับค่ากึ่งกลางความถี่ w_0 โดยที่ค่าการขยาย (Gain) ของวงจรกรองเฉพาะความถี่สามารถกำหนดได้จากสมการทรานเฟอร์ฟังก์ชั่น ดังนั้น

$$Gain = \frac{K}{B}$$

เนื่องจากการใช้งานในโครงงานนี้จำเป็นอย่างที่จะต้องใช้วงจรกรองเฉพาะช่วงความถี่ที่มีค่าของ B ที่น้อย มากหรือค่า Q สูงมากนั่นเอง จากการศึกษาพบว่าวงจรกรองเฉพาะย่านผ่านความถี่อันดับสองแบบป้อนกลับบวก (A Second–Order Positive–Feedback Band-pass Filter)จะให้ผลที่ดีมาก ซึ่งให้ค่า Q สูงถึง 50



รูปที่ 2.9 วงจรกรองผ่านเฉพาะย่านความถี่อันดับสองแบบป้อนกลับบวก

จากวงจรเราสามารถวิเคราะห์ได้ดังนี้

$$K = \frac{R_4}{R^2{}_1 C}$$

$$B = \frac{2 - \frac{R_4}{R_3}}{R_1 C}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega = \frac{\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3}}{R_1 C^2}$$

2.2.2 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

วงจรกรองความถี่ต่ำผ่านเป็นอุปกรณ์ที่ยอมให้สัญญาณที่มีความถี่ต่ำผ่าน และในขณะเดียวกัน ก็จะลดทอนสัญญาณที่มีความถี่สูง ซึ่งมีทรานเฟอร์ฟังชั่น (Transfer Funtion) คือ H(s) = $\frac{V_2(s)}{V_1(s)}$, V_2 คือ เอาท์พุตโวลเตจ , V_2 คือ อินพุตโวลเตจ ช่วงแบนด์พาส คือช่วงความถี่ $0 \le \omega \le \omega_c$ และช่วงแบนด์สต๊อพ คือช่วงความถี่ $\omega \succ \omega_c$

วงจรกรองความถี่ต่ำผ่านอันดับสองมีทรานเฟอร์ฟังชั่น คือ

$$\frac{V_2(s)}{V_1(s)} = \frac{K}{s^2 + as + b}$$

ถ้าต้องการอันดับของวงจรที่สูงขึ้นสามารถทำได้โดยการต่อแบบคาสแคดกันของวงจรอันดับสอง

จากรูปจะได้

$$K = \frac{\mu}{R_1 R_2 C C_1}$$

$$a = \frac{1}{R_2 C_1}(1-\mu) + \frac{1}{R_1 C} + \frac{1}{R_2 C}$$

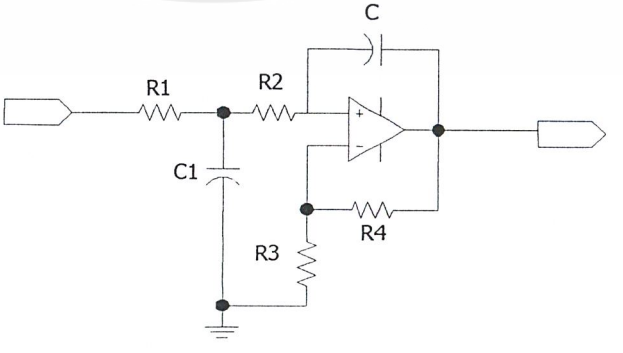
$$b = \frac{1}{R_1 R_2 C C_1}$$

ซึ่ง

$$\mu = 1 + \frac{R_4}{R_3}$$

ดังนั้นจะได้ว่า μ คือ เกนของ VCVS และยังเป็นเกนของวงจรกรองความถี่ด้วยเนื่องจาก $K / b = \mu$

วงจรกรองความถี่ต่ำผ่านมีอยู่หลายชนิด แต่ที่นิยมกันมากคือ บัตเตอร์เวอร์ทและเชบบี้เชบ



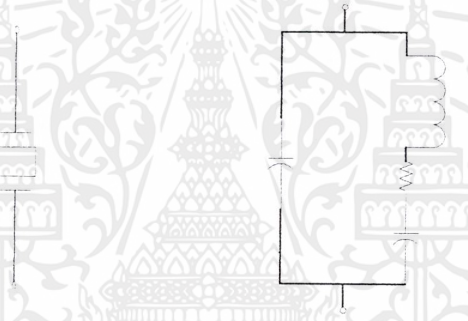
รูปที่ 2.10 แสดงวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 วงจรออสซิลเลเตอร์แบบใช้ชิ้นผลึก (CRYSTAL CIRCUIT)

วงจรออสซิลเลเตอร์แบบใช้ชิ้นผลึก อาศัยการสั่นของชิ้นผลึกแทนการใช้อุปกรณ์ที่นำมากำเนิดความถี่และเป็นวงจรที่มีเสถียรภาพทางด้านความถี่สูงมาก เนื่องจากความถี่ของวงจรออสซิลเลเตอร์แอลซี (LC- Oscillator) จะเปลี่ยนแปรไปเมื่อค่าศักดา อุณหภูมิโหลด และอื่น ๆ เปลี่ยนแปลงไป การทำให้วงจรแอลซีมีเสถียรภาพดีทำได้ยาก โดยเหตุนี้ภาคต่าง ๆ ในเครื่องรับวิทยุที่ต้องการความแม่นยำ และเสถียรภาพของความถี่มาก ๆ หรือด้านเครื่องส่งก็ตามมักจะเลือกใช้วงจรออสซิลเลเตอร์แบบใช้ก้อนผลึกเป็นแหล่งกำเนิดสัญญาณความถี่ทั้งสิ้น

การควบคุมความถี่ของออสซิลเลเตอร์คือการใช้ผลึกควอ็ตซ์ ซึ่งเป็นสารไพโซอิเลคทริค สารนี้สามารถเปลี่ยนพลังงานไฟฟ้าให้เป็นพลังงานกลและสามารถเปลี่ยนพลังงานกลให้เป็นพลังงานไฟฟ้าอีกด้วย ผลึกควอ็ตซ์จะสั่นที่ความถี่เรโซแนนซ์ซึ่งหาได้จากคุณสมบัติทางฟิสิกส์ของผลึกและความหนาของผลึกเป็นปัจจัยหลักที่ใช้ในการหาจุดเรโซแนนซ์



รูปที่ 2.11 คริสตัลและวงจรสมมูล

จากรูปแสดงโครงสร้างของผลึกควอ็ตซ์ โดยปกติแผ่นควอ็ตซ์บางมาก โดยเฉพาะการทำงานที่ความถี่สูง ขั้วโลหะถูกรวมเข้ากับแต่ละด้านของแผ่นควอ็ตซ์ เมื่อสัญญาณ AC ถูกต่อคร่อมขั้ว ดังนั้นผลึกสั่น การสั่นนี้จะมากที่สุดที่ความถี่เรโซแนนซ์ของผลึก เมื่อผลึกกำลังสั่นที่ความถี่นี้ แรงดันขนาดใหญ่ตกคร่อมที่นี้

ผลึกสามารถกลายเป็นส่วนประกอบที่ใช้ในการหาความถี่ในวงจรออสซิลเลเตอร์ความถี่สูง วงจรนี้สามารถแทนวงจรแท็งค์แบบ LC ผลึกมีข้อดีในการสร้างความถี่เอาท์พุทที่มีเสถียรภาพมาก คริสตัลออสซิลเลเตอร์มีเสถียรภาพมากกว่า 1 ส่วนใน 10^6 ต่อวัน สิ่งนี้เท่ากับ 0.001 เปอร์เซ็นต์ วงจร LC ออสซิลเลเตอร์อยู่ภายใต้การเปลี่ยนความถี่ บางสิ่งข้างล่างนี้สามารถเปลี่ยนความถี่เอาท์พุทของออสซิลเลเตอร์

1. อุณหภูมิ
2. ซัพพลายโวลท์เตจ
3. การสั่นและความเค้นทางกล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. การเลื่อนไหลของส่วนประกอบ

5. การเคลื่อนที่ของส่วนโลหะใกล้ออสซิลเลเตอร์

วงจรที่มีการควบคุมด้วยผลึก สามารถลดผลของสิ่งเหล่านี้ได้มาก

ผลึกควอ็ตซ์สามารถถูกแทนได้ด้วยวงจรสมมูล ค่า L และ C ของวงจรสมมูลควอ็ตซ์แทนการเรโซแนนซ์ของผลึกและใช้ในการหาสิ่งที่เรียกว่า ซีรี่เรโซแนนซ์ (Series Resonant) ของผลึก ความจุไฟฟ้าของขั้วทำให้ผลึกแสดงจุดพาราเลลเรโซแนนซ์ (Parallel Resonant) เนื่องจากตัวเก็บประจุอยู่ในรูปการต่ออนุกรม ดังนั้นความจุไฟฟ้าสุทธิมีค่าต่ำกว่าพาราเลลเรโซแนนซ์ สิ่งนี้ทำให้ความถี่พาราเลลเรโซแนนซ์สูงกว่าความถี่ซีรี่เรโซแนนซ์

วงจรสมมูลของผลึกแสดงให้เห็นว่าออสซิลเลเตอร์สามารถทำงานได้สองโหมด (ขนานและอนุกรม) ในทางปฏิบัติ โหมดขนานมีค่าจาก 2 ถึง 15 kHz วงจรออสซิลเลเตอร์อาจจะถูกออกแบบให้มีการใช้โหมดใดโหมดหนึ่ง ตัวอย่างเช่น ถ้าโหมดอนุกรมถูกแทนลงในโหมดขนาน ดังนั้นออสซิลเลเตอร์จะทำงานในความถี่สูง

วงจรสมมูลผลึกประกอบด้วยตัวต้านทาน R ซึ่งแทนอัตราการสูญเสียในควอ็ตซ์ ในความจริงอัตราการสูญเสียมีค่าน้อยในผลึก (Q สูงมาก) ในวงจร Q มีความสำคัญมากในวงจรออสซิลเลเตอร์ และ Q สูงนั้นให้เสถียรภาพของความถี่ Q ของผลึกสามารถมีค่าเกิน 3000 และ Q ของวงจรแท็งค์แบบ LC มีค่าเกิน 200 ในบางครั้ง สิ่งนี้แสดงให้เห็นว่า ทำไมคริสตัลออสซิลเลเตอร์จึงมีเสถียรภาพมากกว่า LC ออสซิเลเตอร์

2.4 เฟสล็อกลูป (Phase Lock Loop)

ปัจจุบันวงจรอิเล็กทรอนิกส์ที่ใช้ระบบเฟสล็อกลูปกำลังได้รับความนิยมอย่างสูง อันที่จริงทฤษฎีเฟสล็อกลูปมิใช่ของใหม่เท่าใดนัก คือได้มีการศึกษาเรื่องนี้ตั้งแต่ปี ค.ศ. 1930 แต่ในตอนนั้นไม่ค่อยมีใครนำมาใช้ หรือมีใช้บ้างก็ในระบบควบคุมหรือเครื่องวัดบางชนิดเท่านั้น ทั้งนี้เพราะวงจรเฟสล็อกลูปที่ใช้องค์ประกอบเป็นตัว ๆ นั้นยุ่งยากมาก จึงเป็นการซื้อคุณสมบัติที่ดีของมันด้วยราคาที่มักจะแพงเกินไป กล่าวได้ว่าวงจรเฟสล็อกลูปได้ถูกลืมไปพักหนึ่ง จนกระทั่งเทคโนโลยีวงจรประมวล (Integrate Circuits) ได้พัฒนาขึ้น และได้มีการผลิตวงจรเฟสล็อกลูปในลักษณะวงจรประมวลอันกระทัดรัด วงจรเฟสล็อกลูปจึงได้รับความสนใจและได้นำไปใช้อย่างกว้างขวาง

2.4.1 การทำงานของวงจรเฟสล็อกลูป

วงจรเฟสล็อกลูปประกอบด้วยวงจรเฟสดีเทคเตอร์ (Phase Detector :PD) วงจรกรองความถี่ต่ำผ่าน วงจรแกว่งควบคุมโดยแรงดัน (Voltage Controlled Oscillator : VCO) และวงจรหาร ต่อกันเป็นวงรอบ (Loop)

1.เฟสดีเทคเตอร์ เฟสดีเทคเตอร์ทำหน้าที่เปรียบเทียบเฟสของอินพุต ซึ่งจะมีค่าต่างกันเรียกว่าเฟสเออร์เรอร์ เฟสเออร์เรอร์มีค่าน้อยที่สุดเป็นศูนย์ เฟสดีเทคเตอร์จะทำการเปลี่ยนแปลงเฟสเออร์เรอร์ให้เป็นระดับโวลท์เตท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.ลูปฟิวเตอร์ ทำหน้าที่กรองสัญญาณความถี่สูงออกจากเฟสดีเทคเตอร์ เนื่องจากเฟสดีเทคเตอร์ให้เอาท์พุตเป็นสัญญาณดีซีที่มีเอซีโวลท์เตทร่วมมาด้วย กล่าวคือลูปฟิวเตอร์เป็นวงจรกรองความถี่ต่ำผ่านนั่นเอง

3.วีซีโอ จะทำหน้าผลิตสัญญาณความถี่โดยการควบคุมจากระดับโวลท์เตท ซึ่งระดับโวลท์เตจนี้ได้มาจากเอาท์พุตของลูปฟิวเตอร์ วงจรวีซีโอนับว่ามีความสำคัญมากที่สุดในระบบเฟสล็อคลูปก็ว่าได้ เพราะว่าเป็นตัวกำหนดเสถียรภาพเชิงความถี่

วงจรเฟสดีเทคเตอร์ คือ วงจรที่ให้แรงดันออกเป็นปฏิภาคกับผลต่างระหว่างเฟสของสัญญาณเข้า 2 สัญญาณ วงจรนี้อาจเป็นวงจรคูณถ้าสัญญาณเข้า Vi(t) มีความถี่ ω_i และเฟส θ_i

$$V_i(t) = V_i \sin(\omega_i t + \theta_i)$$

และสัญญาณที่ออกจากวีซีโอ มีความถี่ ω_i และเฟส θ_o

$$V_o(t) = V_o \cos(\omega_i + \theta_o)$$

ถ้าป้อน V_i และ V_o เข้าที่วงจรเปรียบเทียบเฟสจะได้สัญญาณออกมา

$$V_e(t) = K_m V_i V_o$$

ซึ่งละเลยเทอมความถี่ $2\omega_i$ ซึ่งจะถูกกำจัดโดยวงจรกรองความถี่ต่ำผ่าน จะได้

$$V_e = \frac{K_m V_i V_o}{2} \sin(\theta_i - \theta_o)$$

ถ้าสมมติว่าผลต่าง $\theta_i - \theta_o$ มีค่าน้อยมาก จะได้

$$V_e = K_d(\theta_i - \theta_o)$$

โดยที่ Kd คือความไวของวงจรเปรียบเทียบเฟส $K_d = \frac{K_m V_i V_o}{2}$ (V/rad)

แรงดัน Ve นี้จะใช้เป็นแรงดันควบคุมความถี่ของ วีซีโอ ซึ่งในการทำงานปกติ การควบคุมนี้จะมีผลให้สัญญาณ Vo จากวีซีโอมีความถี่ตรงกับสัญาณขาเข้า Vi และถ้าอัตราการขยายวงรอบมีค่าสูง Ve จะมีค่าต่ำและเฟส θ_o กับ θ_i จะมีค่าใกล้เคียงกันดังที่สมมติไว้

การทำงานของวงจรเฟสล็อกลูปอาจจะอธิบายคร่าว ๆ ได้ดังนี้ เมื่อไม่มีสัญญาณเข้า (Vi=0) แรงดัน Ve และ Vd (ที่ใช้ควบคุม วีซีโอ) จะเป็นศูนย์ วีซีโอจะกำเนิดสัญญาณที่ความถี่หนึ่งเรียกว่า ความถี่อิสระ (Free Running Frequency : f_{oo}) เมื่อใส่สัญญาณเข้า Vi ที่ความถี่ fi ถ้า fi ต่างจาก f_{oo} มาก สัญญาณ Ve ซึ่งมีความถี่เท่ากับ f_{oo}-f_I จะไม่สามารถผ่านวงจรกรองความถี่ต่ำผ่านได้ แรงดัน Vd ที่ใช้ควบคุม วีซีโอจะยังคงเป็นศูนย์ และวีซีโอยังคงทำงานที่ความถี่ f_o

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า fi ไม่ต่างจาก f_{oo} มากนัก นั่นคือ $|f_i - f_{oo}| < \Delta f_p$ ($2\Delta f_p$ มีชื่อว่าช่วงดึงเข้าหรือ Pull-in range) สัญญาณ Ve จะมีลักษณะไม่สมมาตร กล่าวคือมีองค์ประกอบไฟตรงไม่เท่ากับ ศูนย์ ดังนั้น Vd จะค่อย ๆ เพิ่มค่าขึ้น และหลังจากช่วงเวลาหนึ่งเรียกว่า เวลาดึงเข้า (Pull-in time) ความถี่ f_o ซึ่งค่อย ๆ แปรไปยังค่า fi ซึ่งจะต่างจาก fi เพียง $|f_i - f_{oo}| = \Delta f_c$ ($2\Delta f_c$ มีชื่อเรียกว่าช่วงจับหรือ Capture Range) ถึงตอนนี้ f_{oo} จะแปรเข้าสู่ค่า fi อย่างรวดเร็วฉับพลันเรียกว่าเกิดการล็อค (Lock) Vd ก็จะเปลี่ยนแปลงฉับพลัน เช่นกัน ทั้งนี้สำหรับ วีซีโอโดยทั่วไปความถี่ f_{oo} เป็นปฏิภาคกับการบ่ายเบนจากความถี่อิสระ นั่นคือ

$$\omega_o - \omega_{oo} = K_o V_d$$

โดยที่ K_o คือความไวของวีซีโอ มีหน่วยเป็น (rad/sec)/V

การได้มาซึ่งการล็อคอาจใช้วิธีดังนี้

1.ณ ขณะหนึ่ง ความถี่ของวีซีโอ ต่างจากความถี่ขาเข้า f_i น้อยกว่า Δf_c จะเกิดการล็อคโดยฉับพลันเรียกว่า เกิดการจับ (Capture)

2.ณ ขณะหนึ่ง ความถี่ของวีซีโอต่างจากความถี่ขาเข้า f_i มากกว่า Δf_c แต่น้อยกว่า Δf_p ความถี่ของวีซีโอ จะค่อยเลื่อนเข้าหาความถี่ f_i เรียกว่า เกิดการดึงเข้า (Pull-in)

3.นอกช่วงดึงเข้าหรือในกรณีที่การดึงเข้าใช้เวลานานเกินไปอาจเพิ่มวงจรควบคุมให้ความถี่ของวีซีโอ กวาด (Sweep) ไปเพื่อเสาะหาความถี่ของสัญญาณ หรือถ้าเสียงรบกวน (Noise) มีน้อย ก็อาจเพิ่มวงจรจำแนกความถี่ (Frequency Discriminator) เข้าสู่ช่วงการจับได้อย่างรวดเร็ว

เมื่อเกิดการล็อคแล้ว ถ้าความถี่ของสัญญาณแปรไป ความถี่ของวีซีโอจะแปรตามไปด้วย เรียกว่าเกิดการตามรอย (Tracking) ความถี่ของวีซีโอจะสามารถตามรอยความถี่ fi ได้ตราบใดที่ $|f_i - f_{oo}| < \Delta f_H$ ($2\Delta f_H$ มีชื่อว่าช่วงคงไว้ : Hold-in range หรือบางครั้งเรียกว่าช่วงตามรอยหรือช่วงล็อค)

ถ้าสัญญาณอินพุตของเฟสล็อคลูป และความถี่วีซีโอห่างไกลกันมาก เฟสล็อคลูปจะฟรีรันนิ่ง (Free Running) ที่ความถี่วีซีโอปกติ ซึ่งการกระทำนี้ไม่อยู่ในโหมดการทำงานปกติ ถ้าความถี่ของอินพุตและความถี่วีซีโอใกล้กันเพียงพอ การแค็พเจอร์จะเริ่มจนกว่าจะล็อค ความถี่ที่ต้องการไว้

ถ้าวีซีโอเริ่มเปลี่ยนความถี่ เรียกว่าสถานะ แค็พเจอร์ และจะเปลี่ยนความถี่จนกว่าจะได้ความถี่เท่ากับความถี่อินพุต เมื่อถึงจุดนั้นเฟสล็อคลูปจะล็อค ตัวเฟสล็อคลูปจะมี 3 สถานะดังนี้

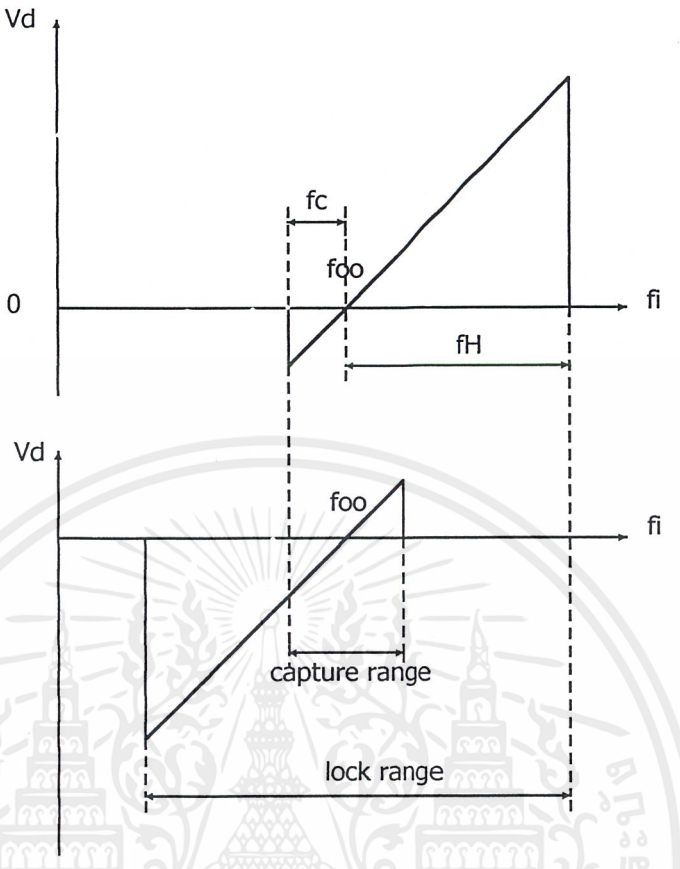
1.ฟรีรันนิ่ง (Free Running)

2.แค็พเจอร์ (Capture)

3.ล็อค หรือ แทร็คกิ่ง (Lock or Tracking)

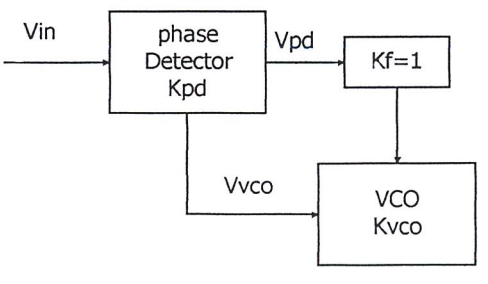
สรุปแล้วถ้าเพิ่มหรือลดความถี่ fi จะได้การเปลี่ยนแปลงของ Vd (ซึ่งควบคุม วีซีโอและเป็นปฏิภาคกับ $f_o - f_{oo}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

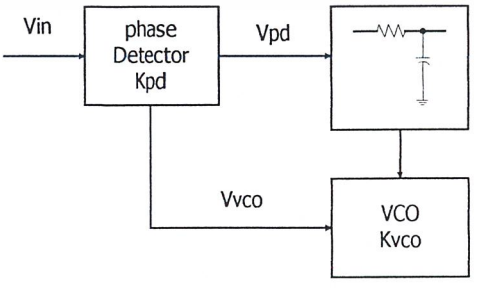


รูปที่ 2. 12 ลักษณะโอนย้ายจากความถี่เป็นแรงดัน

ถึงแม้ว่าเฟสล็อกลูปแบบเฟิร์สออเดอร์ลูป (First Order Loop)จะมีโครงสร้างแบบง่าย ๆ แต่มันมีข้อเสียคือ ความถี่ที่ผลิตจากโวลท์เตจคอนโทรลอ็อสซิลเลเตอร์ (Voltage Control Oscillator :VCO) จะมีความคลาดเคลื่อนมาก ปัญหานี้สามารถลดไปได้โดยเพิ่มวงจรกรองความถี่ต่ำลงไปในลูป แล้ววงจรจะเป็นแบบเซ็คคอนออเดอร์ลูป (Second Order Loop) นอกจากนี้แล้วยังช่วยลดช่วงแค็พเจอร์เรน (Capture Range) และเพิ่มแค็พเจอร์ไทม์ (Capture Time) โดยเฉพาะอย่างยิ่งถ้าใช้เฟสดีเทคเตอร์ แบบที่ 2 การล็อคของเฟสจะเกิดขึ้นเมื่อค่าความแตกต่างทางเฟสเป็นศูนย์จริง ๆ ดังนั้นเซ็คคอนออเดอร์ลูป จึงเป็นที่นิยมใช้ในงานทั่วไป



รูปที่ 2. 13 เฟสล็อกลูปแบบเฟิร์สออเดอร์ลูป



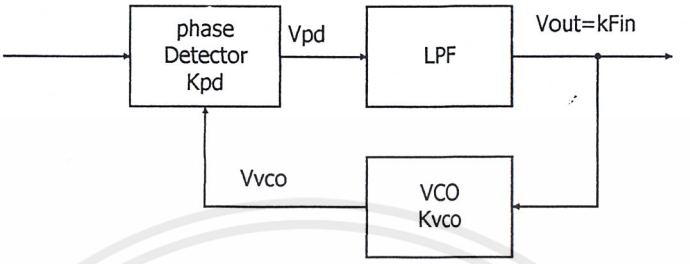
รูปที่ 2. 14 เฟสล็อกลูปแบบเซ็คคอนออเดอร์ลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

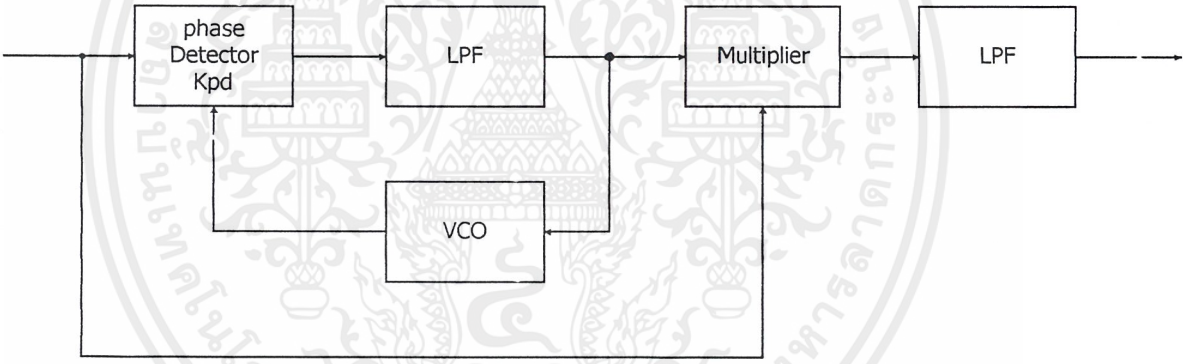
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.4.2 การประยุกต์ใช้วงจรเฟสล็อกลูบ่

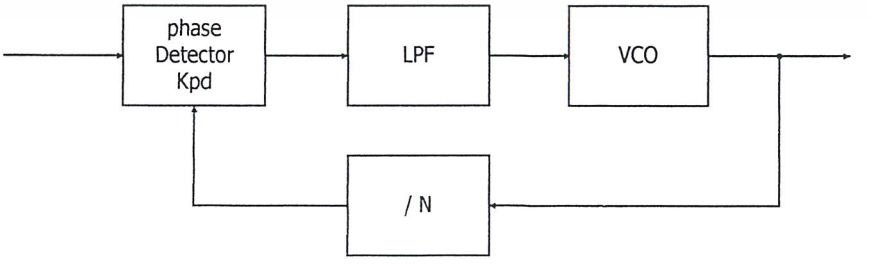
จากคุณสมบัติที่สามารถรักษาความถี่ป้อนกลับที่เฟสดีเทคเตอร์ให้คงที่เท่ากับความถี่ของสัญญาณอินพุต จึงทำให้วงจรเฟสล็อกลูปถูกนำมาใช้งานการต่อวงจรแบบต่าง ๆ ดังนี้



รูปที่ 2. 15 เอฟเอ็มดีมอดูเลชั่น (FM Demodulation)

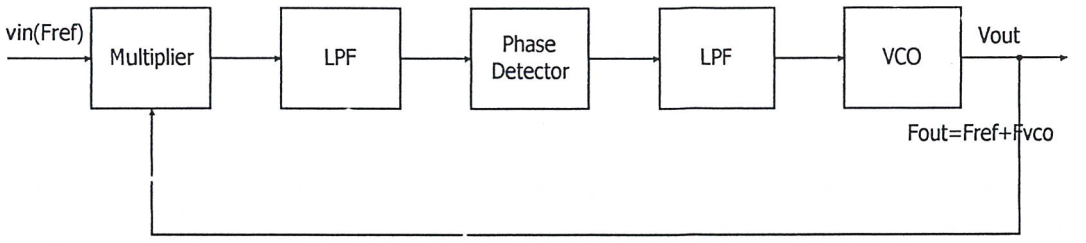


รูปที่ 2. 16 เอเอ็มดีมอดูเลชั่น (AM Demodulation)



รูปที่ 2.17 วงจรคูณความถี่ (Frequency Multiplication/Synthesis)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
42130



รูปที่ 2. 18 ฟรีเควนซี่ ทรานสเลชั่น (Frequency Translation)

2.4.3 ข้อดีข้อเสียของวงจรเฟสล็อคลูป

วงจรเฟสล็อคลูปมีข้อดีหลายประการสำหรับการใช้งานบางอย่างซึ่งไม่มีวงจรอื่นที่จะเทียมเท่าอย่าวไรก็ดีในการใช้งานบางอย่างก็อาจใช้วงจรแบบอื่นแทนได้ ข้อดีของวงจรเฟสล็อคลูปได้แก่

1. ทำงานได้ดีที่ความถี่สูง วงจรเฟสล็อคลูปสามารถทำงานได้ที่ความถี่สูงกว่า 100 MHz
2. อำนาจการเลือกสรร (Selectivity) และความถี่กลางไม่ขึ้นต่อกัน กล่าวคือความถี่กลางกำหนดโดยความถี่อิสระ (Free running) ของวีซีโอ ส่วนอำนาจการเลือกสรรขึ้นอยู่กับลักษณะของวงจร กรองความถี่ต่ำผ่าน จึงไม่มีปัญหาการเรียงคลื่น (Alignment) อย่างเช่นวงจรเลือกความถี่ หลาย ๆ หน่วย
3. องค์ประกอบภายนอก วงจรประมวลมีน้อยและปรับคลื่นได้ตั้งแต่ค่าต่ำกว่ากิโลเฮิร์ตถึง 100 MHz

อย่างไรก็ดีเมื่อวงจรเฟสล็อคลูปก็ยังมีข้อเสีย ได้แก่

1. ไม่ให้ข้อมูลเกี่ยวกับช่วงสูง วงจรเฟสล็อคลูปตอบสนองต่อความถีเท่านั้น ตราบเท่าที่สัญญาณมีขนาดใหญ่พอที่จะทำให้เกิดการล็อค วงจรจะไม่ตอบสนองต่อช่วงสูงของสัญญาณเข้า
2. ตอบสนองต่อฮาร์โมนิก วงจรเฟสล็อคลูปตอบสนองต่อฮาร์โมนิก หรือฮาร์โมนิกย่อยของสัญญาณเข้า ทำให้การขจัดสัญญาณแทรกแซงที่มีความถี่เป็นอัตราส่วนจำนวนเต็มกับสัญญาณ ไม่สู้ได้ผลนัก
3. ขาดเทคนิคการสังเคราะห์ เนื่องจากลักษณะการจับ (Capture) ของวงจรเฟสล็อคลูปเป็นแบบไม่เชิงเส้น เทคนิคการสังเคราะห์ให้ได้วงจรที่มีลักษณะเชิงความถี่ตามข้อกำหนดจึงเป็นเรื่องที่ยากมาก

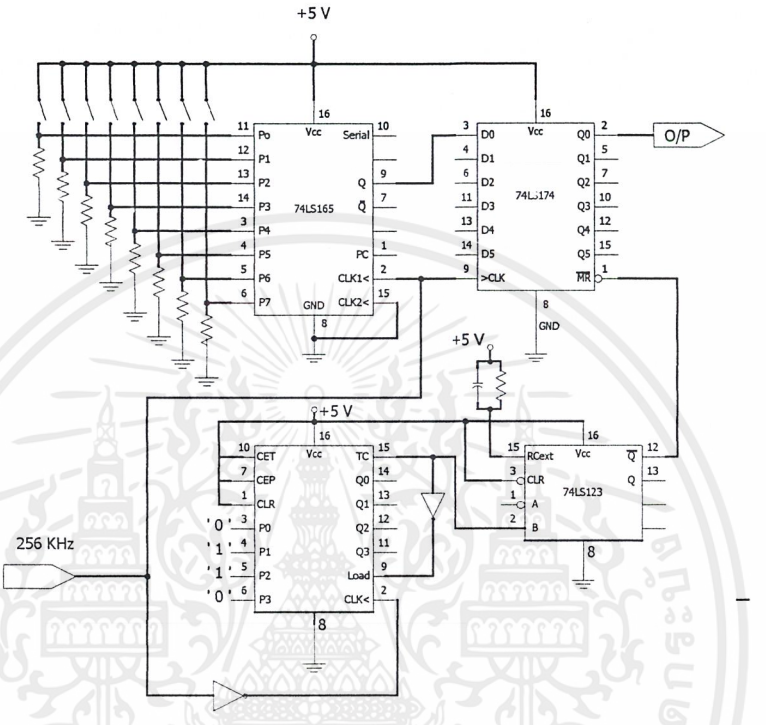
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การ คำนวณและการสร้าง

3.1 วงจรภาคส่ง

3.1.1 วงจรกำเนิดสัญญาณ NRZ (Non-Retune To Zero)



รูปที่ 3.1 วงจรผลิตสัญญาณ NRZ

ในการสร้างสัญญาณ NRZ นั้นเราจะใช้ ไอซี 4 ตัวในการทำงานอันประกอบด้วย 74LS165, 74LS163 , 74LS174 และ 74LS123

การกำหนดข้อมูลอินพุตทำได้โดยการเซตบิตข้อมูล8บิตก่อนที่จะป้อนให้กับไอซี 74LS165 ซึ่งไอซีตัวนี้จะทำหน้าที่เลื่อนข้อมูลจากแบบขนานเป็นแบบอนุกรมโดยใช้สัญญาณนาฬิกา 256 kHz เพื่อให้ได้สัญญาณที่มีบิทเรท 256 kb/s ในขณะเดียวกันที่ขาโหลด (Load) ของไอซี 74LS165 จะถูกควบคุมโดยไอซี 74LS163 ซึ่งเป็นตัวนับ (Counter) จะทำหน้าที่ในการหาร คล็อก (หาร 10 โดยการป้อนอินพุตที่ขา 3,4,5 และ 6 เป็น ‘0’ , ‘1’ , ‘1’ และ ‘0’ ตามลำดับ) ดังนั้นเอาท์พุตของไอซี 74LS163 จะเป็นคล็อกที่มีความถี่ 25.6 KHz ซึ่งมีความกว้างของพัลส์สภาวะด้านสูงเท่ากับ 3.9 μsec ดังนั้นในการเลื่อนข้อมูล 1 ชุดของไอซี 74LS165 จะมี 10 บิท โดยที่ 8 บิทแรกจะเป็นอินพุตจริงที่ป้อน ส่วนอีก 2 บิตหลังจะมีสถานะเป็น ‘1’ (High) เกิดขึ้นจากการเซ็ตขา 10 (Serial I/P) ของไอซี 74LS165 เป็น ‘1’

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

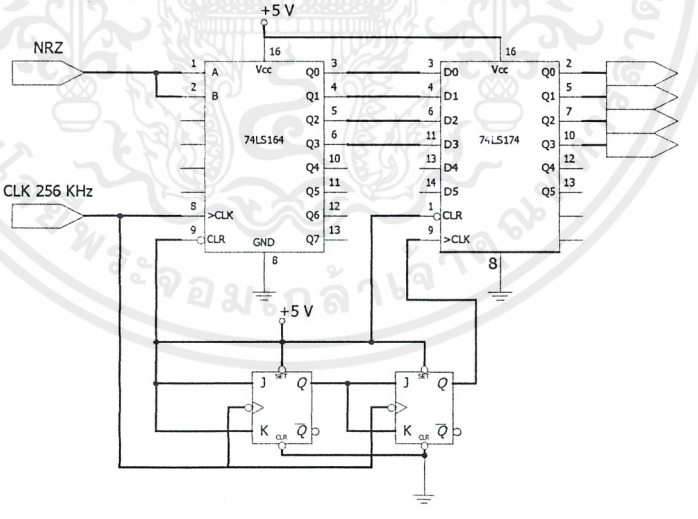
ไอซี 74LS123 ซึ่งเป็นโมโนสเตเบิ้ล มัลติไวเบรเตอร์ จะทำหน้าที่สร้างพัลส์ความถี่ 25.6 kHz ที่มีความกว้างแคบ ๆ โดยที่ความกว้างของพัลส์จะขึ้นอยู่กันค่าของรีซิสเตอร์ (Rcsistor)และค่าคาพาซิเตอร์ (Capacitor) ที่ต่อแบบขนานที่ขา Rcext ของไอซี 74LS123 มีสูตรการคำนวณดังนี้

$$T = 0.695 \times R_1 \times C_1$$

ทำการป้อนข้อมูลอนุกรม 10 บิตที่มีบิทเรท 256 kb/s เข้าไปในไอซี 74LS174 ซึ่งทำหน้าที่เป็นสร้างบิตเริ่มต้น (Start bit) โดยใช้พัลส์แคบ ๆ ทางด้านต่ำ (ควรมีค่าต่ำกว่า 3.9 μsec) ที่ได้จาก ไอซี 74LS123 มาป้อนให้กับขาเคลียร์ (Clear) ของไอซี 74LS174 สภาวะที่ถูกเคลียร์นั้นจะได้สัญญาณที่จะเป็นบิตแรกในการเริ่มต้นที่มีสภาวะทางด้านต่ำ ('0') หลังจากนั้นข้อมูลอีก 8 บิต ($D_0 - D_7$)จะถูกเลื่อนเข้าตามมาเป็นบิตที่ 2 ถึง 9 ส่วนบิตสิ้นสุดจะมีสภาวะทางด้านสูงซึ่งได้จากการเซตขา 10 (Serial I/P) ของไอซี 74LS165 เป็น '1'

ข้อสังเกต สัญญาณนาฬิกา 256 kHz ที่ป้อนให้กับไอซี 74LS174 จะต้องผ่านน็อทเกต (not Gate) ซึ่งกลับเฟสกับสัญญาณนาฬิกาที่ป้อนให้ไอซี 74LS165 เพื่อให้ข้อมูลที่เลื่อนออกไปอยู่ในสภาวะที่มีข้อมูลที่มีอยู่จริง ไม่ใช่อยู่ในสภาวะที่กำลังเปลี่ยนข้อมูลจึงทำให้ไม่เกิดความผิดพลาดจากการที่ไอซีใช้เวลาในการเลื่อนข้อมูลที่เหมือนกัน

3.1.2 วงจรแปลงข้อมูลอนุกรมเป็นข้อมูลขนาน (SERIAL TO PARALLEL CIRCUIT)



รูปที่ 3.2 วงจรแปลงข้อมูลอนุกรมเป็นข้อมูลขนาน

วงจรส่วนนี้จะมีการทำงานร่วมกันของไอซี 3 ตัว คือ 74LS164 , 74LS112 และ74LS174 โดยไอซี 74LS164 จะทำการแปลงข้อมูล NRZ (Non-Return to zero) ที่เป็นข้อมูลอนุกรมให้เป็นข้อมูลขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

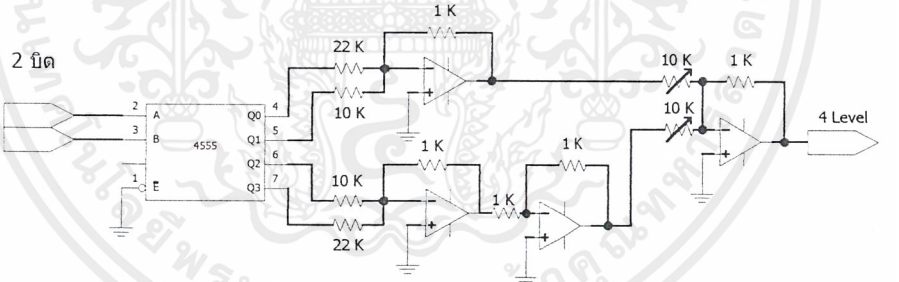
แล้วป้อนให้กับไอซี 74LS174 ซึ่งเป็น ดี-ฟลิปฟลอป (D-type Flip-Flop) ซึ่งทำหน้าที่ตัวดึงข้อมูลออกมาครั้งละ 4 บิต โดยอาศัยคล็อก (CLOCK) ที่ผ่านการหาร 4 ซึ่งมีค่า 64 kHz จาก ไอซี 74LS112 ซึ่งเป็น เจ-เค ฟลิบฟลอบ (J-K Type Flip-Flop) เพื่อใช้ในการหน่วงเวลาในการดึงข้อมูลออกมาพร้อมกัน 4 บิต

โดยสรุปแล้ว วงจรส่วนนี้จะทำหน้าที่ในการนำข้อมูลอนุกรมออกมาครั้งละ 4 บิตเพื่อทำเป็นข้อมูลแบบขนาน 4 บิต คือ I , I' , Q และ Q' ตามลำดับ

ข้อมูลขนานทั้ง 4 บิตนี้เราแบ่งออกเป็น 2 ส่วนคือ ส่วนของบิทบน 2 บิต (I , I') และส่วนของบิตล่าง 2 บิต (Q , Q') ก่อนที่จะนำข้อมูลทั้ง 2 ส่วนนี้ไปป้อนให้กับวงจรส่วนถัดไปนั้น จะต้องทำการแปลงให้เป็นเกรย์โค๊ด (Gray Code) เสียก่อนเพื่อลดความผิดพลาดของข้อมูลให้น้อยลงเมื่อจะทำการดีเทค (Detect) ทางด้านรับ

รูปที่ 3.3 เกรย์โค๊ดคอนเวอร์ทเตอร์

3.1.3 วงจรแปลงสัญญาณดิจิตอล 2 บิตเป็นสัญญาณอนาล็อก (2 BIT TO 4 LEVEL)



รูปที่ 3.4 วงจรแปลงสัญญาณดิจิตอล 2 บิต เป็นสัญญาณอนาล็อก

วงจรส่วนนี้จะทำหน้าที่ในการแปลงสัญญาณ 2 บิต ในแต่ละชุด (บิตบนหรือบิตล่าง)เป็นสัญญาณเอาท์พุตเดียวที่มีโอกาสเกิดได้ $2^2 = 4$ ระดับ โดยการป้อนสัญญาณ 2 บิตให้ไอซี 4555 ซึ่งเอาท์พุตของไอซีตัวนี้จะมี 4 เอาท์พุต 2 เอาท์พุตแรกนั้นจะถูกป้อนให้กับวงจรรวมแบบกลับเฟส ที่มีค่ารีซิสเตอร์ที่ต่างกันอยู่เป็นตัวกำหนดขนาดของเอาท์พุต ส่วน 2 เอาท์พุตหลังของไอซี 4555 จะนำไปป้อนให้กับวงจรรวมแบบกลับเฟสเช่นเดียวกับ 2 เอาท์พุตแรก แต่จะป้อนต่อให้กับวงจรกลับเฟส 180° ที่มีค่าการขยาย = 1 อีกครั้งหนึ่ง นำเอาท์พุตที่ได้ทั้ง 2 ส่วนนี้มารวมกันโดยวงจรรวมแบบกลับเฟส สุดท้ายเราจะได้เอาท์พุตที่มีค่าเดียวที่อาจจะเป็นไปได้ 4 ระดับจากข้อมูล 2 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

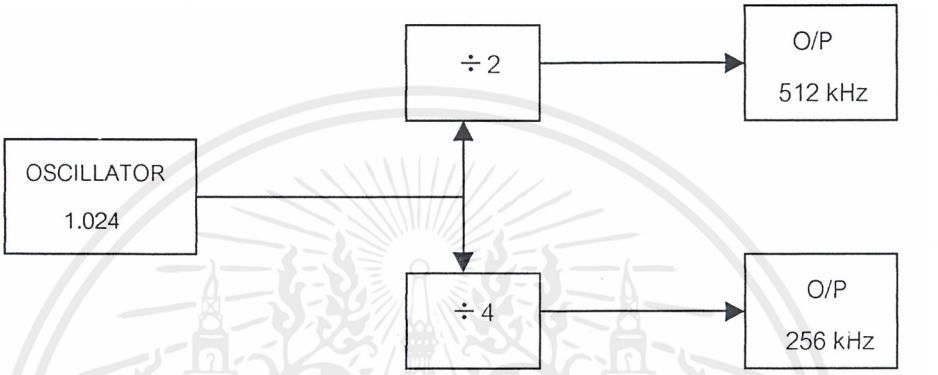
3.1.4 วงจรกำเนิดสัญญาณคล็อก (Oscillator)

เนื่องจากว่าในโครงงานนี้ต้องการใช้สัญญาณความถี่ทั้งหมด 3 ค่าด้วยกันอันประกอบด้วย

1. สัญญาณรูปซายน์ที่มีความถี่ 1.024MHz ซึ่งใช้เป็นคลื่นพาหะที่นำไปมอดูเลตกับสัญญาณหลายระดับ

2. สัญญาณรูปซายน์ที่มีความถี่ 512 kHz ที่ใช้เป็นสัญญาณนำร่อง (Pilot Signal)

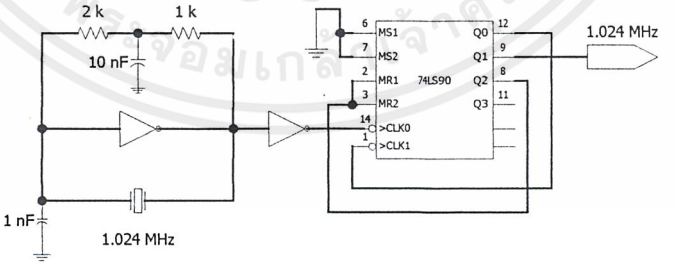
3. สัญญาณคล็อกมีความถี่ 256kHz ที่ใช้ในการกำเนิดสัญญาณและควบคุมการทำงานของวงจรต่าง ๆ



รูปที่ 3.5 บล็อกไดอะแกรมการสร้างสัญญาณคล็อก

3.1.4.1 วงจรสร้างสัญญาณพาหะ 1.024 MHz

ในส่วนของวงจรนี้จะทำการผลิตสัญญาณคล็อกที่มีความถี่ 1.024 MHz เท่านั้นโดยการใช้คริสตัลออสซิลเลเตอร์



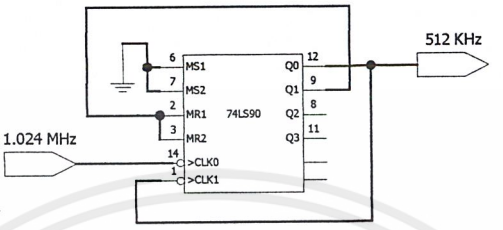
รูปที่ 3.6 วงจรกำเนิดสัญญาณคล็อก 1.024 MHz

ใช้คริสตัลต่อรวมกับอุปกรณ์ต่างดังในรูปที่ 3.5 เพื่อกำเนิดให้ได้ความถี่ 4.096 MHz จากนี้ความถี่ที่ได้จะถูกหาร 4 จนมีค่า 1.024 MHz โดยใช้ ไอซี 74LS90 เป็นตัวหาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ได้จากวงจรนี้ยังเป็นสัญญาณรูปสี่เหลี่ยมอยู่ ซึ่งไม่เหมาะสมอย่างยิ่งที่จะนำไปทำเป็นสัญญาณพาหะในการมอดูเลต ดังนั้นจะต้องนำสัญญาณดังกล่าวนี้ไปผ่านวงจรกรองผ่านเฉพาะความถี่ก่อนเพื่อให้ได้สัญญาณรูปซายน์ที่ต้องการ ดังจะกล่าวในหัวข้อถัดไป

3.1.4.2 วงจรสร้างสัญญาณไพล็อท 512 kHz (Pilot Signal)

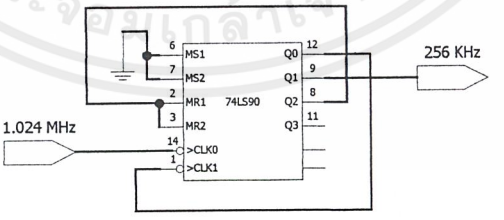


รูปที่ 3.7 วงจรสร้างสัญญาณไพล็อท

เนื่องจากการส่งสัญญาณดิจิตอลด้วยความเร็วสูงโดยเทคนิค 16 QAM ในโครงงานชิ้นนี้ใช้การดีเทคแบบโคฮีเรนท์ (Coherent Detection) จึงมีความจำเป็นที่ต้องมีสัญญาณไพล็อทส่งไปด้วย ในที่นี้ใช้สัญญาณไพล็อทรูปซายน์ที่มีความถี่ 512 kHz

วิธีการสร้างทำโดยการนำสัญญาณคล็อกที่มีความถี่ 1.024 MHz จากวงจรกำเนิดสัญญาณพาหะมาทำการหาร 2 โดยใช้ไอซี 74LS90 ดังนั้นเราจะได้สัญญาณคล็อกที่มีความถี่ 512 kHz แล้ว แต่ยังไม่ได้เป็นสัญญาณรูปซายน์อย่างที่เราต้องการ เพราะการส่งสัญญาณรูปซายน์ย่อมเป็นการประหยัดมากกว่าการส่งสัญญาณรูปสี่เหลี่ยม ดังนั้นจะต้องนำสัญญาณดังกล่าวนี้ไปผ่านวงจรกรองผ่านเฉพาะช่วงความถี่ก่อนที่จะนำไปรวมกับสัญญาณข้อมูลที่ผ่านมอดูเลตแล้ว เพื่อที่จะส่งไปให้ภาครับ

3.1.4.3 วงจรสร้างสัญญาณนาฬิกา 256 kHz



รูปที่ 3.8 วงจรสร้างสัญญาณ 256 kHz

เนื่องจากต้องการส่งข้อมูลด้วยความเร็ว 256 kbps ดังนั้นจึงจำเป็นที่จะต้องมีสัญญาณนาฬิกา 256 kHz ใช้ในการผลิตข้อมูลและควบคุมการทำงานของวงจรต่าง ๆ

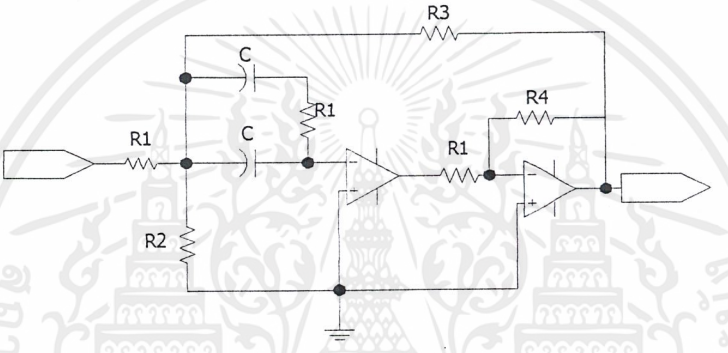
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการสร้างสัญญาณนาฬิกา 256 kHz โดยการนำสัญญาณคล็อกความถี่ 10.24 MHz มาหาร 4 ด้วยไอซี 74LS90 จึงจะได้สัญญาณนาฬิกา 256 kHz

3.1.5 วงจรกรองความถี่ผ่านเฉพาะช่วง

วงจรกรองความถี่ผ่านเฉพาะช่วง จะทำหน้าที่คัดเลือกสัญญาณในช่วงความถี่ที่ต้องการให้สามารถผ่านวงจรออกไปได้ โดยที่สัญญาณไม่ถูกลดทอน ในส่วนนี้จะทำการกรองเอาสัญญาณรูปซายน์ออกมาจากสัญญาณรูปสี่เหลี่ยม เพื่อทำการสร้างสัญญาณพาหะและสัญญาณไพล็อทจากสัญญาณรูปสี่เหลี่ยมที่มีความถี่ 1.024 MHz และ 512 kHz ตามลำดับ

ในที่นี้เราเลือกใช้วงจรกรองผ่านความถี่เฉพาะช่วงแบบป้อนกลับบวก เนื่องจากเป็นรูปแบบที่มีค่า Q ที่สูง



รูปที่ 3.9 วงจรกรองความถี่ผ่านเฉพาะช่วงแบบป้อนกลับบวก

เนื่องจากการออกแบบโดยการคำนวณจากสูตรที่ได้กล่าวมาแล้วในบทที่ 2 นั้นการทำในทางปฏิบัติจะค่อนข้างยาก จึงนำวิธีที่ง่ายกว่ามาทำการออกแบบคือการใช้ตารางมาช่วยซึ่งมีขั้นตอนดังนี้

1. เลือกค่า C และหาพารามิเตอร์ K จากกราฟในรูปที่ 3.10 โดยดูที่ค่า f_0 ที่เราต้องการ
2. ใช้ค่า K ที่หาได้จากข้อที่ 1 มาหาค่า R ($R_1 - R_4$) จากกราฟในรูปที่ 3.11 ซึ่งมีค่า Q ตามที่ต้องการ

3.1.5.1 วงจรกรองความถี่ผ่านเฉพาะช่วง 512 kHz

ทำตามขั้นตอนข้างต้น จะได้

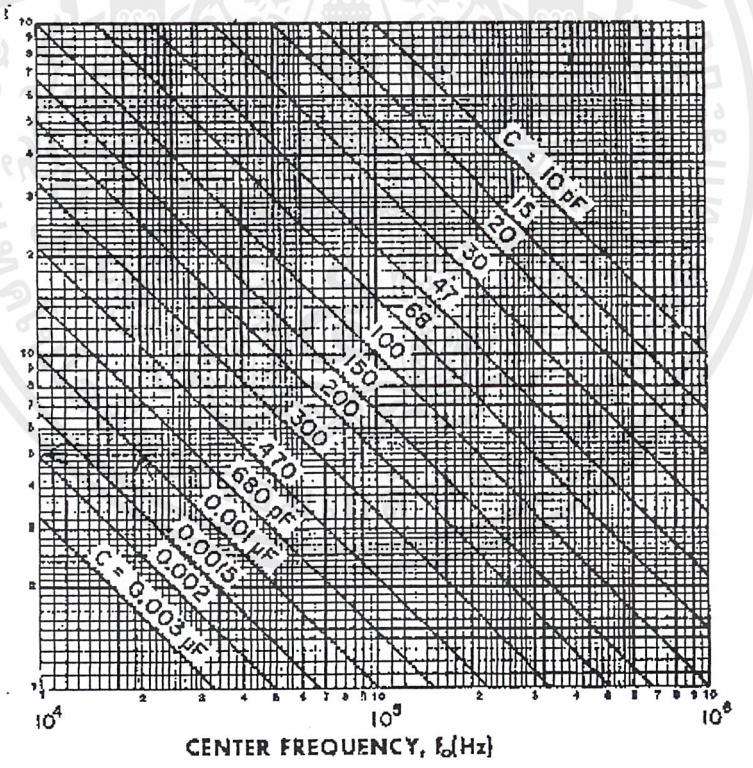
1. จากรูปที่ 3.10 เลือกค่า C = 10 pF จะได้ค่า K = 20
2. ใช้ค่า K จากข้อ 1 จะได้ค่า
   - $R_1 = 200\ K\Omega$
   - $R_2 = 5.4\ K\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- $R_3 = 160\ K\Omega$
- $R_4 = 800\ K\Omega$

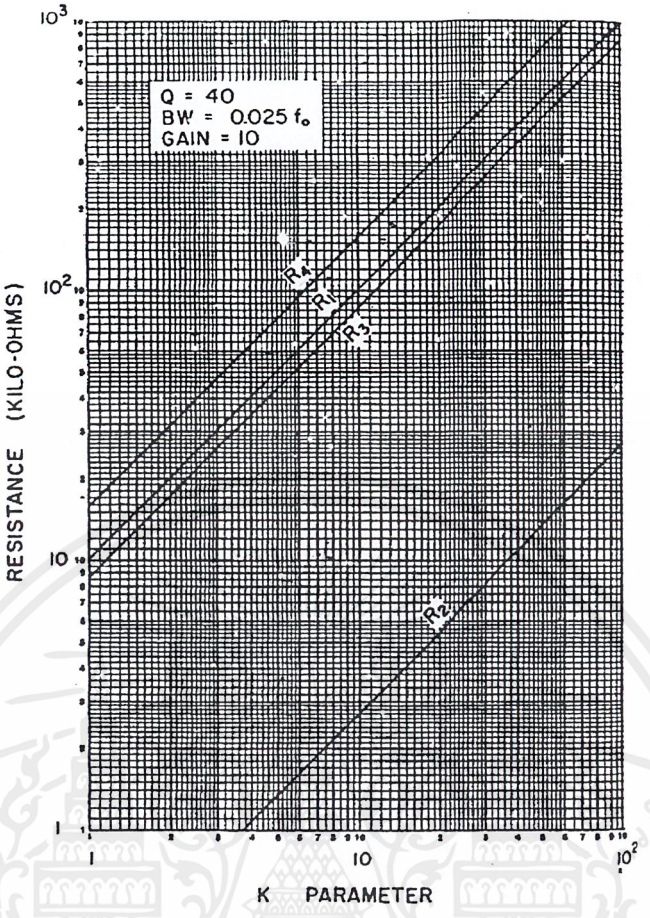
3.1.5.2 วงจรกรองความถี่ผ่านเฉพาะช่วง 1.024 MHz ทำตามขั้นตอนข้างต้นเช่นกัน จะได้

1. จากรูปที่ 3.10 เลือกค่า C = 10 pF จะได้ค่า K = 20
2. ใช้ค่า K จากข้อ 1 จะได้ค่า
   - $R_1 = 100\ K\Omega$
   - $R_2 = 2.7\ K\Omega$
   - $R_3 = 85\ K\Omega$
   - $R_4 = 120\ K\Omega$



รูปที่ 3.10 กราฟใช้หาค่าพารามิเตอร์ K

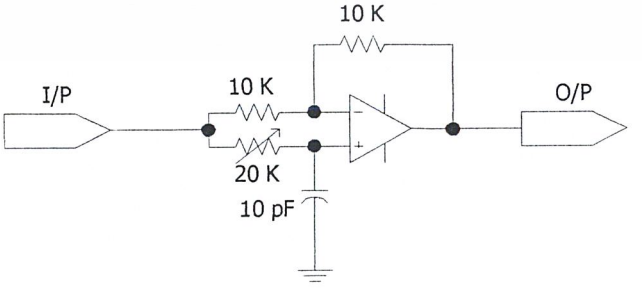
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 กราฟใช้หาค่า R

3.1.6 วงจรเลื่อนเฟส 90° (Phase Shift 90°)

เนื่องจากหลักการของการส่งข้อมูลด้วยเทคนิค 16 QAM นั้นเราจำเป็นต้องแยกสัญญาณออกเป็น 2 ส่วน ดังนั้นจึงต้องมีวงจรมอดูเลต 2 วงจร และสัญญาณพาหะก็ต้องมี 2 สัญญาณที่มีความถี่และขนาดเท่ากันด้วย แต่สัญญาณพาหะ 2 สัญญาณนี้จะมีเฟสต่างกันอยู่ 90° ทำได้โดยการนำสัญญาณพาหะไปผ่านวงจรเลื่อนเฟส



รูปที่ 3.12 วงจรเลื่อนเฟส 90°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบวงจรนั้น จะใช้วงจรฟิวเตอร์ที่ยอมให้ทุกย่านความถี่ผ่านที่มีเฟสของอินพุทและเอาท์พุทต่างกัน 90° จากรูปจะได้ว่า

$$V_o / V_{in} = \frac{(R_1 - R_3 SCR_2)}{[R_1(1 + SCR_2)]}$$

$$= \frac{\sqrt{(R_1)^2 + (wCR_2R_3)^2}}{\sqrt{(R_1)^2 + (wCR_1R_2)^2}} \frac{\angle - \tan^{-1}(wCR_2R_3 / R_1)}{\angle \tan^{-1}(wCR_1R_2 / R_1)}$$

เนื่องจากเราต้องการอัตราการขยาย = 1 เราจะได้ว่า $R_1 = R_3$ โดยกำหนดให้มีค่า เท่ากับ 10 kΩ ดังนั้น

$$\theta = \angle - 2\tan^{-1}(wCR_2) = -90$$

จะได้

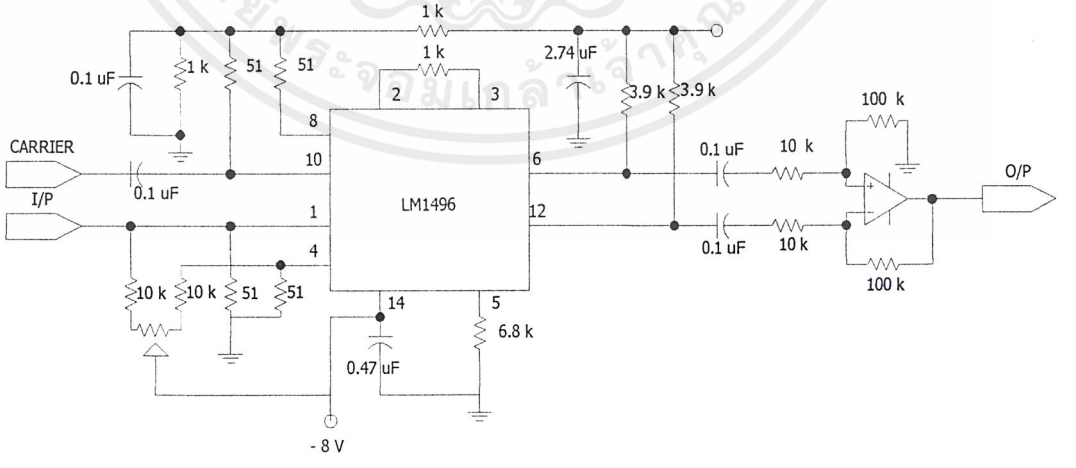
$$wCR_2 = 1$$

f_c จากค่าความถี่ของสัญญาณพาหะ = 1.024 MHz และกำหนดให้ C = 10 pF จะได้ว่า

$$R_2 = 1/2\pi fC$$
$$= 1/(2\pi \times 1.024 \times 10^6 \times 10 \times 10^{-12})$$
$$= 15.5k\Omega$$

ซึ่งในทางปฏิบัตินั้นเราจะใช้ $R_2 = 20k\Omega$ ที่ปรับค่าได้เพื่อใช้สำหรับปรับแต่งสัญญาณให้สวยงามและถูกต้องมากยิ่งขึ้น

3.1.7 วงจรบาลาซ์มอดูเลเตอร์ (Balance Modulator)



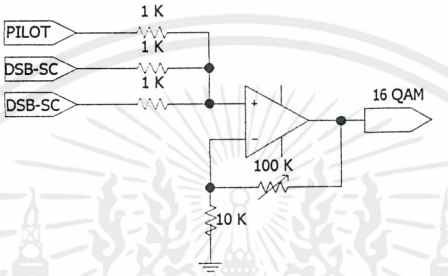
รูปที่ 3.13 วงจรบาลานซ์มอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรบาลานซ์มอดูเลเตอร์จะทำหน้าที่ผสมสัญญาณเบสแบนด์ซึ่งเป็นสัญญาณหลายระดับเข้ากับสัญญาณพาหะ โดยที่สัญญาณเบสแบนด์ทางบิตบนจะถูกมอดูเลตสัญญาณพาหะที่ได้มาจากวงจรกำเนิดสัญญาณพาหะโดยตรง ส่วนสัญญาณเบสแบนด์ทางบิตล่างจะถูกมอดูเลตกับสัญญาณที่ผ่านการเลื่อนเฟส 90°

สัญญาณที่เอาท์พุทของวงจรบาลานซ์มอดูเลตที่ได้จะเป็นสัญญาณดับเบิ้ลไซแบนด์ที่ไม่สัญญาณพาหะ (Double Sideband Suppress Carrier)

3.1.8 วงจรรวมสัญญาณ (Summing Amplifier)



รูปที่ 3.14 วงจรรวมสัญญาณ

วงจรรวมสัญญาณเป็นวงจรส่วนสุดท้ายที่ทำหน้าที่ในการรวมสัญญาณต่าง ๆ ที่ต้องการส่งไปให้ภาครับเข้าด้วยกัน ซึ่งจะประกอบด้วย สัญญาณที่ผ่านการมอดูเลตแล้ว 2 สัญญาณซึ่งมีเฟสต่างกัน 90° และสัญญาณไพล็อท 512 kHz

ในขณะเดียวกันสัญญาณต่าง ๆ ที่ถูกรวมกันนี้จะถูกขยายไปในตัวด้วยคุณสมบัติของออปแอมป์ ซึ่งอัตราการขยายจะมีค่าเท่ากับ $\frac{R_1 + R_2}{R_2}$

โดยสรุปแล้วการส่งข้อมูลโดยการใช้เทคนิค 16 QAM จะมีการเปลี่ยนแปลงที่เอาท์พุทหนึ่งครั้ง (เฟสหรือแอมปลิจูดหรือทั้งสองอย่าง) เมื่อมีสัญญาณที่อินพุทเข้ามาทุก ๆ 4 บิท

3.2วงจรภาครับ

3.2.1 วงจรกรองความถี่ผ่านเฉพาะช่วง (Band Pass Filter)

เนื่องจากสัญญาณที่ถูกส่งมาจากเครื่องส่ง ผ่านสายโคแอ็คเชียลนั้นจะมีสัญญาณรบกวนมากมาย ดังนั้นก่อนที่นำสัญญาณดังกล่าวมาผ่านกระบวนการต่าง ๆ เพื่อทำการถอดรหัส ต้องกำจัดสัญญาณรบกวนโดยการนำมาผ่านวงจรกรองความถี่ผ่านเฉพาะช่วง 1.024 MHz ให้ได้สัญญาณที่ต้องการจริง ๆ เท่านั้น

นอกจากนี้ยังมีวงจรกรองความถี่ผ่านเฉพาะช่วงอีกหนึ่งวงจร คือวงจรกรองความถี่ผ่านเฉพาะช่วง 512 KHz สำหรับกรองเอาเฉพาะสัญญาณนำร่อง 512 KHz มาใช้สำหรับการกู้คล็อคและสัญญาณพาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ผ่านเฉพาะช่วงนี้ได้กล่าวถึงมาแล้ว ดังนั้นจะขอไม่กล่าวถึงอีกเนื่องจากใช้วงจรเดียวกับทางภาคส่ง

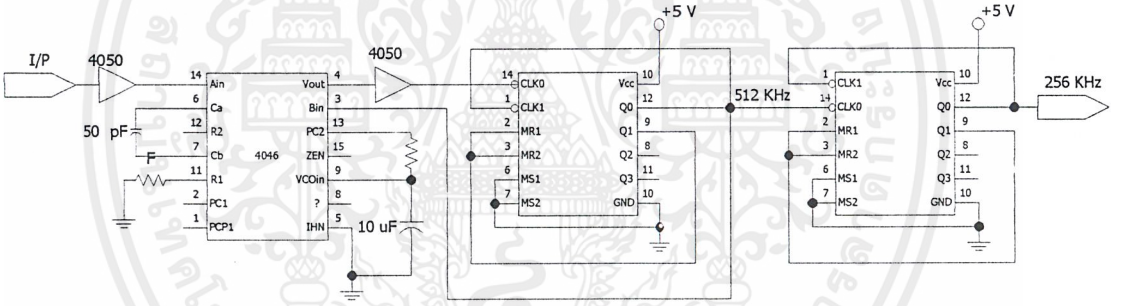
3.2.2 เฟสล็อกลูป (Phase Lock Loop)

เนื่องจากการส่งสัญญาณโดยใช้เทคนิค 16 QAM นั้น เป็นการส่งสัญญาณแบบซิงโครนัส (Synchronous) ดังนั้นคล็อคทางภาคส่งและภาครับจะต้องซิงโครไนซ์กัน ทางภาคส่งได้ส่งสัญญาณนำร่อง 512 KHz มากับสัญญาณ 16 QAM ด้วยดังนั้นทางภาครับจะต้องมีวงจรกู้คล็อค เพื่อทำให้คล็อคทางภาคส่งและภาครับซิงโครไนซ์กัน โดยอาศัยสัญญาณนำร่อง

ในที่นี้ใช้ไอซีเบอร์ 4046 ทำเป็นเฟสล็อคลูป สำหรับการกู้คล็อคและสัญญาณพาหะ

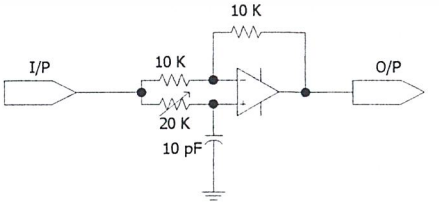
เริ่มต้นโดยการใช้วงจรกรองความถี่ผ่านเฉพาะช่วง 512 KHz กรองเอาสัญญาณนำร่องออกมาแล้วไปผ่านวงจรเฟสล็อคลูป เพื่อผลิตคลื่นพาหะที่มีความถี่ 1.024 MHz และสามารถผลิตสัญญาณคล็อค 256 KHz โดยการนำคลื่นพาหะ 1.024 MHz มาหาร 4

จะเห็นได้ว่าสัญญาณคล็อค และคลื่นพาหะของภาครับที่ผลิตขึ้นมานั้นอาศัยการอ้างอิงและเปรียบเทียบกับสัญญาณนำร่อง ซึ่งเป็นสัญญาณที่ส่งมาจากภาคส่ง ซึ่งแสดงว่าสัญญาณดังกล่าวทั้งหมดเป็นสัญญาณตัวเดียวกัน ซึ่งเป็นการทำให้เกิดการซิงโครไนซ์ (Synchronous) กันระหว่างทางภาคส่งและภาครับ



รูปที่ 3.15 วงจรเฟสล็อคลูป

3.2.3 วงจรเลื่อนเฟส 90° (Phase Shift)



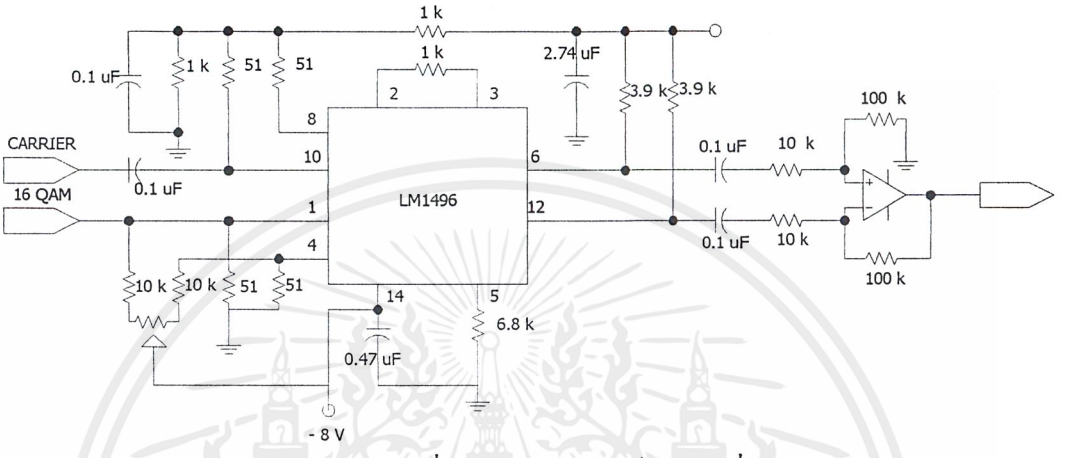
รูปที่ 3.16 วงจรเลื่อนเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ผ่านการมอดูเลชั่นจากภาคส่งนั้นประกอบด้วย สัญญาณบิตบนซึ่งถูกมอดูเลทด้วยคลื่นพาหะ และสัญญาณบิตล่างที่ถูกมอดูเลชั่นด้วยคลื่นพาหะที่ถูกเลื่อนเฟสไป 90° ดังนั้นทางภาครับจึงจำเป็นต้องใช้คลื่นพาหะ 2 ตัวที่มีเฟสต่างกัน 90° ด้วย เพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์

ในที่นี้จะไม่กล่าวถึงการคำนวณค่าองค์ระกอบของ วงจรเนื่องจากได้กล่าวถึงแล้วในวงจรทางภาคส่ง

3.2.4 วงจรบาลานซ์ดีมอดูเลชั่น (Balance Demodulation)



รูปที่ 3.17 วงจรบาลานซ์ดีมอดูเลชั่น

วงจรดีบาลานซ์ดีมอดูเลเตอร์ และวงจรบาลานซ์มอดูเลเตอร์ เป็นวงจรที่เหมือนกันทุกประการ โดยมีข้อจำกัด คืออินพุตจะต้องมีขนาดเล็กเพราะถ้าอินพุตมีขนาดใหญ่จะทำให้สัญญาณเอาท์พุตไม่บาลานซ์ และมีความเพี้ยนมาก

ด้วยข้อจำกัดที่ว่าสัญญาณอินพุตของวงจรบาลานซ์มอดูเลเตอร์จะต้องมีขนาดเล็กมาก ดังนั้นเอาท์พุตจึงมีขนาดเล็กตามไปด้วย จึงจำเป็นต้องมีวงจรขยายในที่นี้ใช้วงจรดิฟเฟอร์เรนเชียลแอมปลิไฟเออร์ (Differential Amplifier)

ในภาครับนี้มีวงจรบาลานซ์ดีมอดูเลเตอร์ 2 วงจรเพื่อที่จะทำหน้าในการแยกสัญญาณ 4 ระดับ ที่ถูกมอดูเลทมากับคลื่นพาหะ ทั้งอินเฟส (Inphase) และควอดราเจอร์เฟส (Quadrature Phase) โดยที่ใช้คลื่นพาหะจากวงจรกู้สัญญาณพาหะโดยตรงคูณกับสัญญาณด้านอินเฟส และใช้คลื่นพาหะที่ผ่านการเลื่อนเฟส 90° คูณกับสัญญาณด้านควอดราเจอร์เฟส

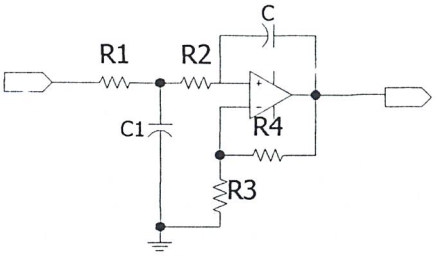
3.2.5 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

เนื่องจากเอาท์พุตของวงจรบาลานซ์ดีมอดูเลเตอร์นั้นมี สัญญาณ 4 ระดับที่ต้องการและสัญญาณความถี่สูงที่ไม่ต้องการ ดังนั้นจำเป็นที่จะต้องนำสัญญาณดังกล่าวมาผ่านวงจรกรองความถี่ต่ำผ่านก่อน

วงจรกรองความถี่ต่ำผ่านอันดับสองมีทรานเฟอร์ฟังค์ชั่น คือ

$$\frac{V_2(s)}{V_1(s)} = \frac{K}{s^2 + as + b} \qquad = \frac{H_0\omega_0^{\,2}}{s^2 + \frac{\omega_0 s}{Q} + \omega_0^{\,2}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 วงจรกรองความถี่ต่ำผ่าน

จากรูปจะได้

$$K = \frac{\mu}{R_1 R_2 C C_1}$$

$$a = \frac{1}{R_2 C_1}(1-\mu) + \frac{1}{R_1 C} + \frac{1}{R_2 C}$$

$$b = \frac{1}{R_1 R_2 C C_1}$$

ซึ่ง

$$\mu = 1 + \frac{R_4}{R_3}$$

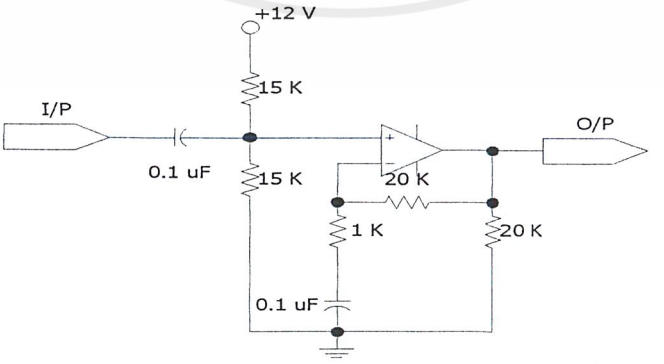
1. ให้ $R_3 = R_4$ จะได้เกนเท่ากับ 2 (μ คือเกนของวงจรกรองความถี่ต่ำผ่าน)

2. $\omega_0 = \sqrt{b} = \frac{1}{\sqrt{R_1 R_2 C C_1}}$ เนื่องจากต้องการ $\omega_0 = 2\pi \times 256K$

3. กำหนดให้ $C = C_1 = 1nF$ และ $R_1 = R_2 = R$ จะได้

$$R = \frac{1}{\omega_0 C} = \frac{1}{(2\pi \times 256K) \times 1n} = 621.7 \cong 620$$

3.2.6 วงจรขยายสัญญาณ 4 ระดับ (4-Level Amplifier)



รูปที่ 3.19 วงจรขยายสัญญาณ 4 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 แสดงอัตราการขยายสัญญาณ

Input Signal	Output Signal
+ 0.150	9
+ 0.050	7
- 0.050	5
- 0.150	3

วงจรขยายสัญญาณนี้มีลักษณะเป็นวงจรผสมสัญญาณไฟกระแสตรงเข้ากับสัญญาณอินพุต กล่าวคือที่ขานอนอินเวอร์ทจะมีแรงดันอ้างอิงในการขยายสัญญาณ ซึ่งแรงดันอ้างอิงนี้ได้มาจากการแบ่งแรงดัน 12 โวลท์ เป็น 6 โวลท์ โดยที่แรงดันดังกล่าว (6 โวลท์) จะไปรวมกับสัญญาณอินพุตที่ถูกขยาย 20 เท่า เช่น สัญญาณอินพุตเป็นสัญญาณ 4 ระดับมีค่า +0.150 โวลท์ ถูกขยาย 20 เท่า รวมกับแรงดันไฟตรง 6 โวลท์ จะได้เอาท์พุต 9 โวลท์

3.2.7 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต (4-Level to 2-bit)

เมื่อระดับสัญญาณ 4 ระดับถูกขยายจนมีค่าสูงพอสำหรับการดีเทค ซึ่งไม่ก่อให้เกิดความผิดพลาดแล้ว สัญญาณ 4 ระดับนี้จะถูกแปลงเป็นสัญญาณดิจิตอล โดยอาศัยวงจรเปรียบเทียบสัญญาณ

วงจรเปรียบเทียบสัญญาณ จะทำหน้าที่เปรียบเทียบระดับสัญญาณเข้าขาหนึ่ง(Vin) กับศักดาอ้างอิง (Vref) ที่ขาสัญญาณเข้าอีกขาหนึ่ง ระดับศักดาเปรียบเทียบอาจจะมีค่าเป็นบวก ลบ หรือศูนย์ก็ได้ ซึ่งในที่นี้จะใช้การเปรียบเทียบศักดาสัญญาณโดยสัญญาณเข้าที่ขาอินเวอร์ท (-) กล่าวคือศักดาอ้างอิง (Vref) จะต่ออยู่กับขานอนอินเวอร์ท (+) ส่วนสัญญาณที่เราต้องการจะเปรียบเทียบ (Vin) ต่ออยู่กับขาอินเวอร์ท (+) ซึ่งมีการทำงานคือ

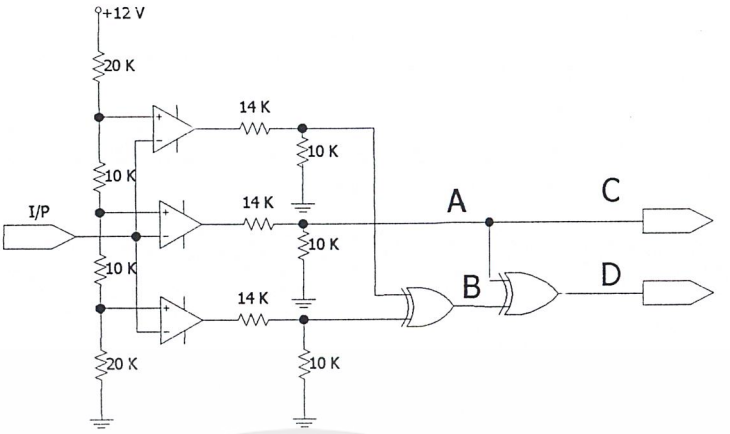
1. ถ้า Vin > Vref จะได้เอาท์พุตเป็น ‘ 0 ’
2. ถ้า Vin < Vref จะได้เอาท์พุตเป็น ‘ 1 ’

เนื่องจากค่าขยายศักดาสัญญาณแบบลูปเปิดของออปแอมป์มีค่าสูงมาก ดังนั้นในทางปฏิบัติ เมื่อระดับสัญญาณ Vin มีระดับสูงกว่า Vref เพียงเล็กน้อย ระดับสัญญาณเอาท์พุตก็จะมีค่าเป็นเป็นลบ และในกรณีที่ระดับสัญญาณ Vin มีระดับต่ำกว่า Vref เพียงเล็กน้อย ระดับสัญญาณเอาท์พุตก็จะมีค่าเป็นเป็นบวก

ตารางที่ 3.2 แสดงการแปลงสัญญาณ 4 ระดับเป็น 2 บิต

Signal Input (Vin:Volt)	Output Gray code (AB)	Output Binary code (CD)
9	00	00
7	01	01
5	11	10
3	10	11

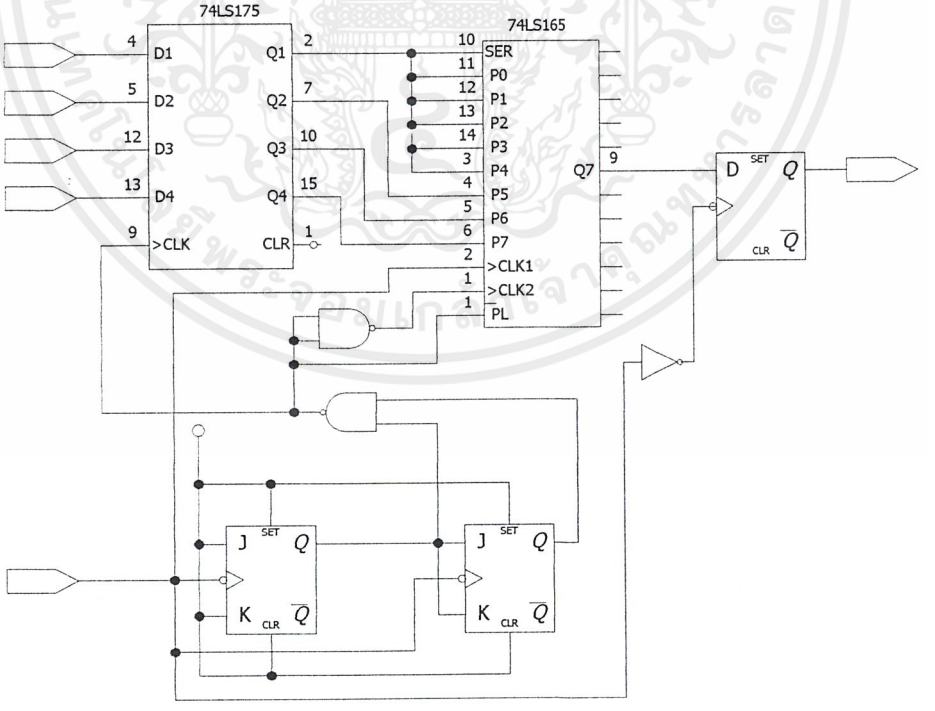
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.20 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต

เมื่อทำการแปลงสัญญาณ 4 ระดับเป็นสัญญาณดิจิตอลแล้ว สัญญาณดิจิตอลที่ได้นั้นยังเป็นรหัสเกรย์โค๊ดอยู่ ดังนั้นก่อนที่จะนำไปผ่านกระบวนการอื่น ๆ จะต้องทำให้เป็นไบนารี่โค๊ดด้วยการใช้ เกท เอ็คคลูซีพออร์

3.2.8 วงจรรวมสัญญาณดิจิตอล (Parallel to Serial)

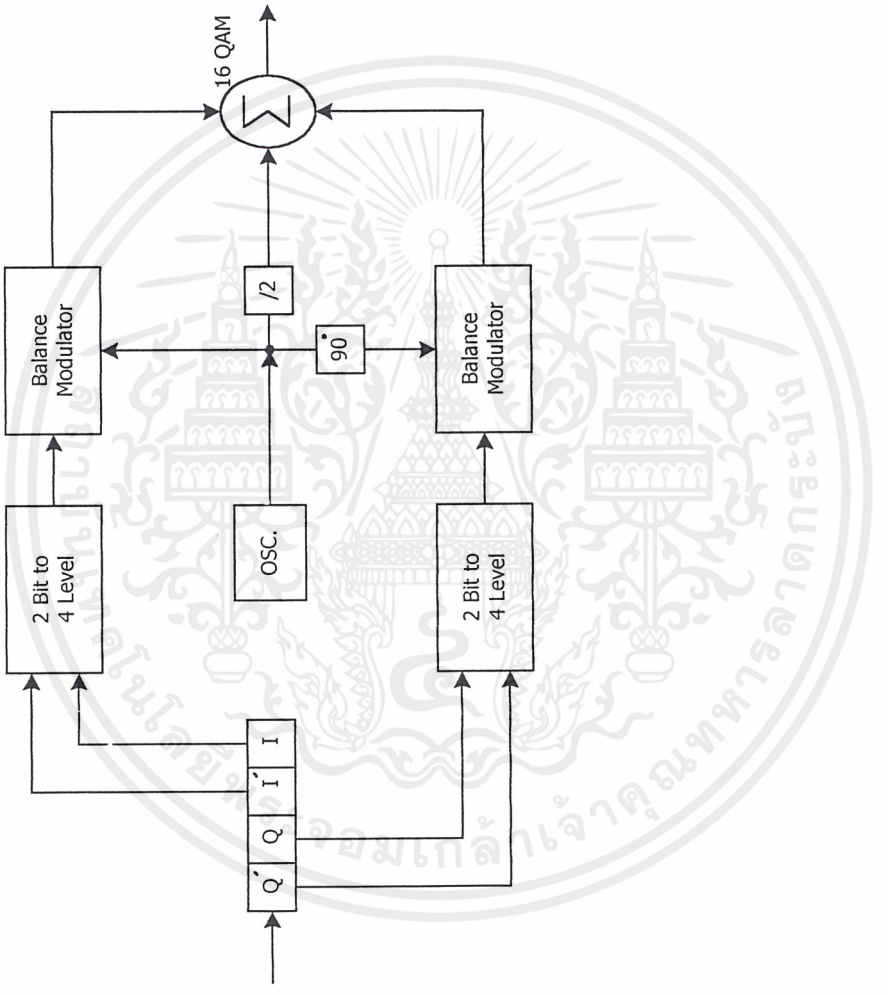


รูปที่ 3.21 วงจรรวมสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

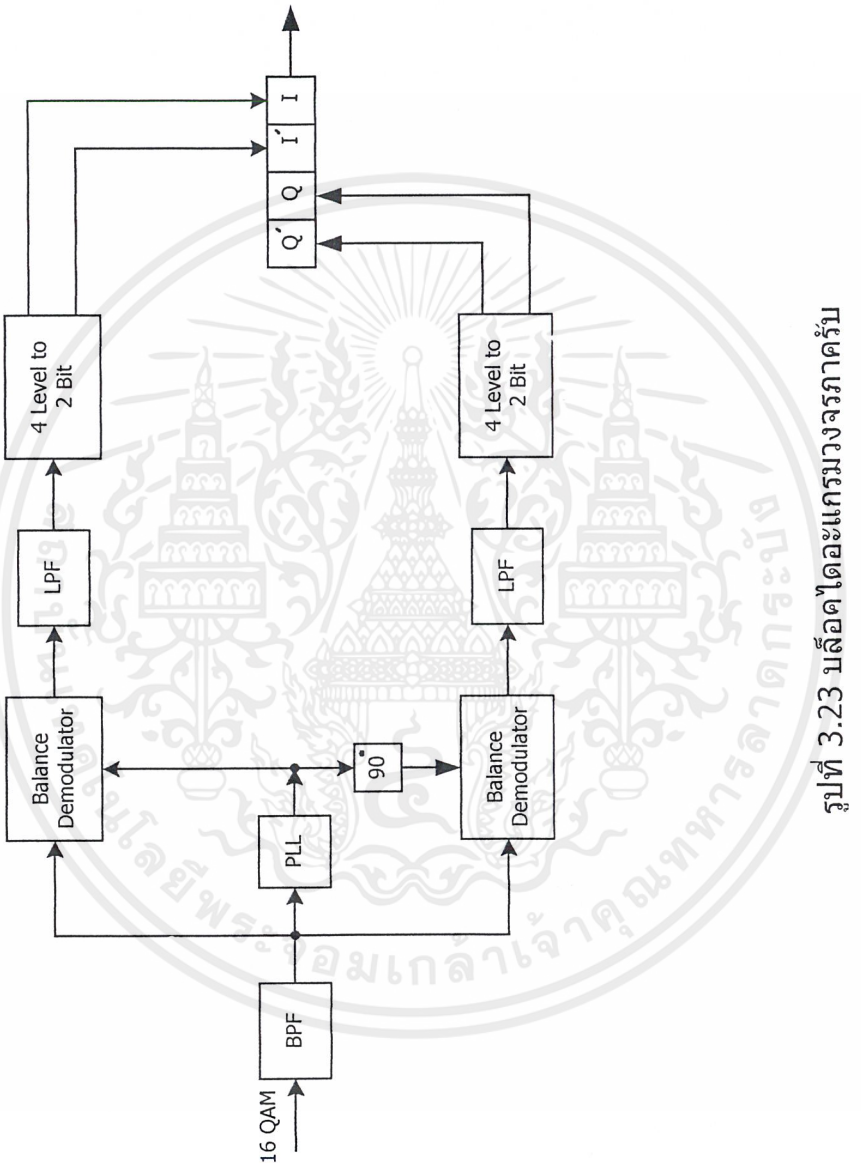
วงจรรวมสัญญาณดิจิตอลทำหน้าที่แปลงข้อมูลแบบขนานให้เป็นข้อมูลแบบอนุกรม ซึ่งประกอบด้วยไอซี 74LS175 ดีฟลิบฟลอบทำหน้าที่เป็นบัฟเฟอร์ , 74LS165 ชิพรีจิสเตอร์ ทำหน้าที่เลื่อนข้อมูลที่เป็นแบบขนานออกมาเป็นข้อมูลแบบอนุกรม และวงจรหาร 4 เพื่อทำหน้าที่หารความถี่คล็อค 256 KHz เป็น 64 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



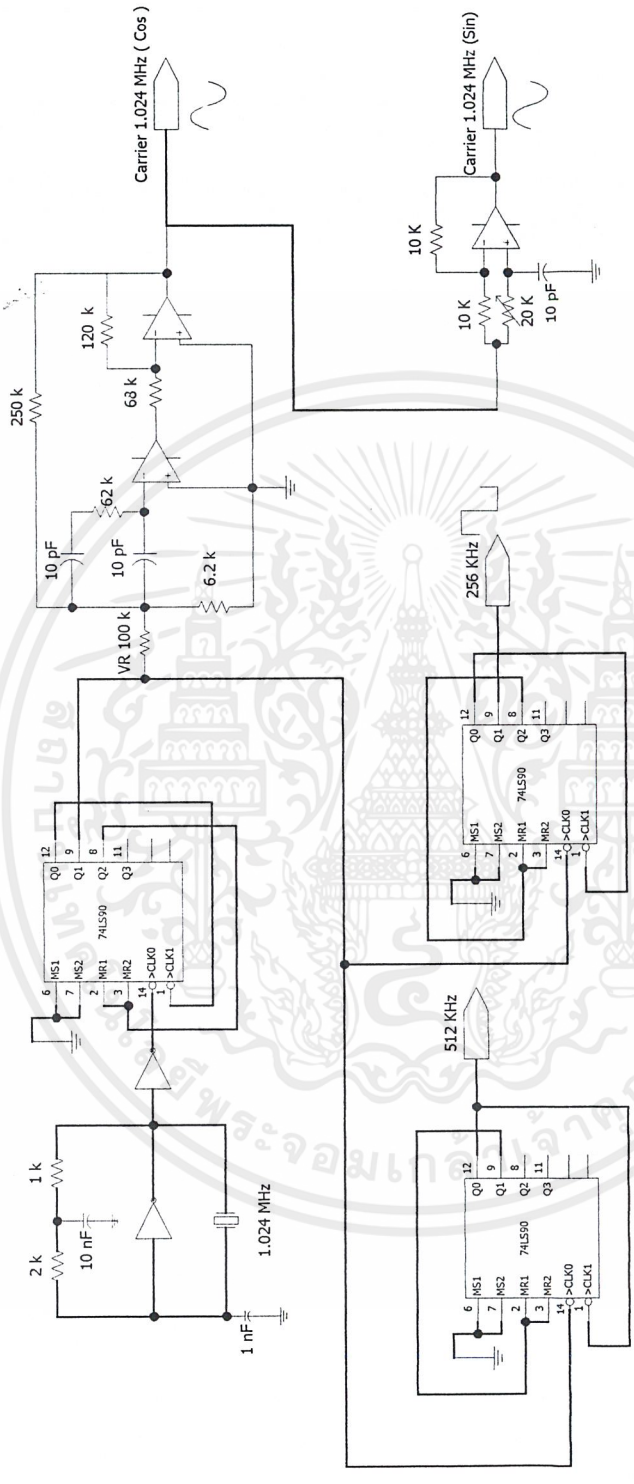
รูปที่ 3.22 บล็อคไดอะแกรมวงจรภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



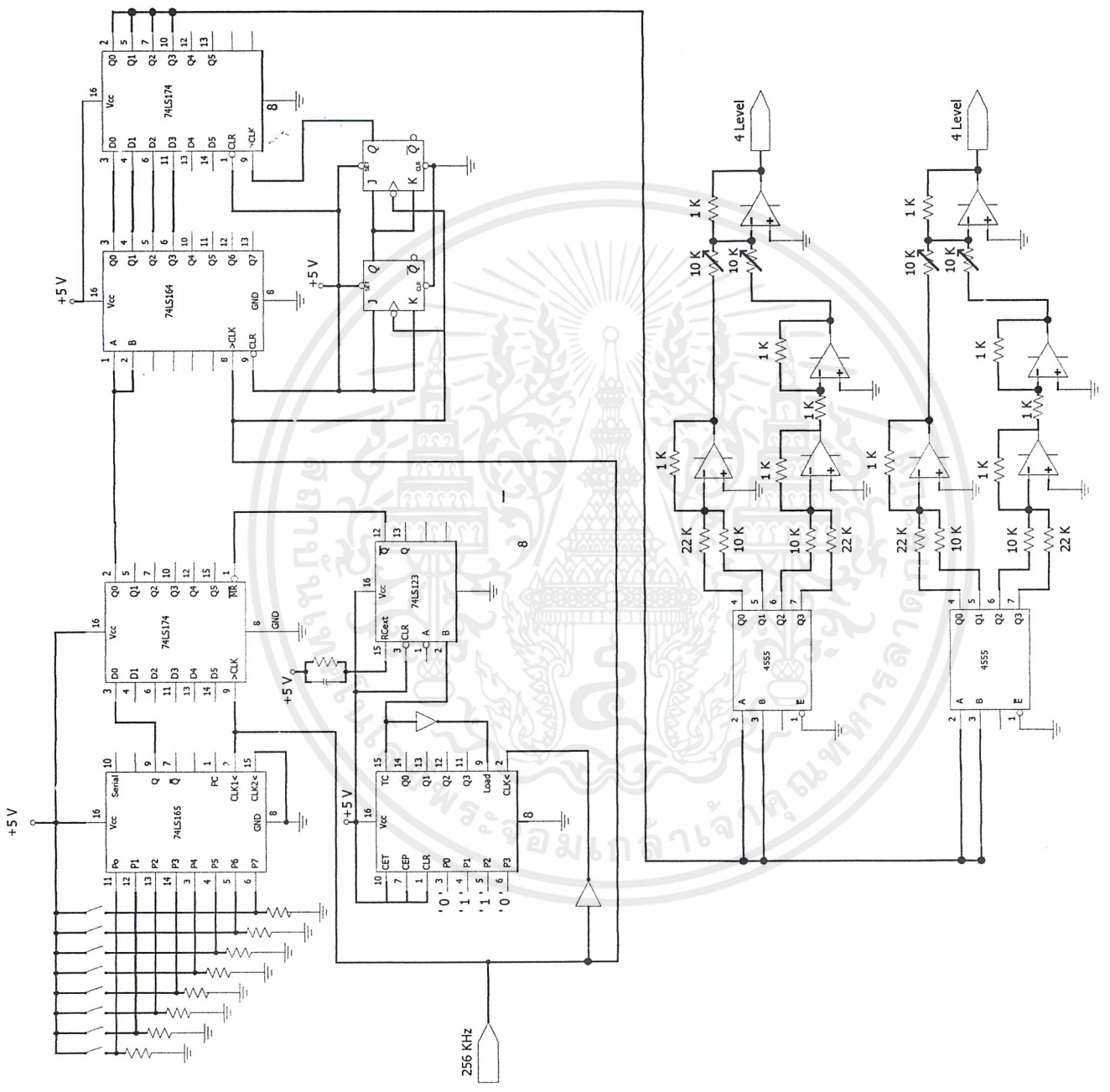
รูปที่ 3.23 บล็อคไดอะแกรมวงจรภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



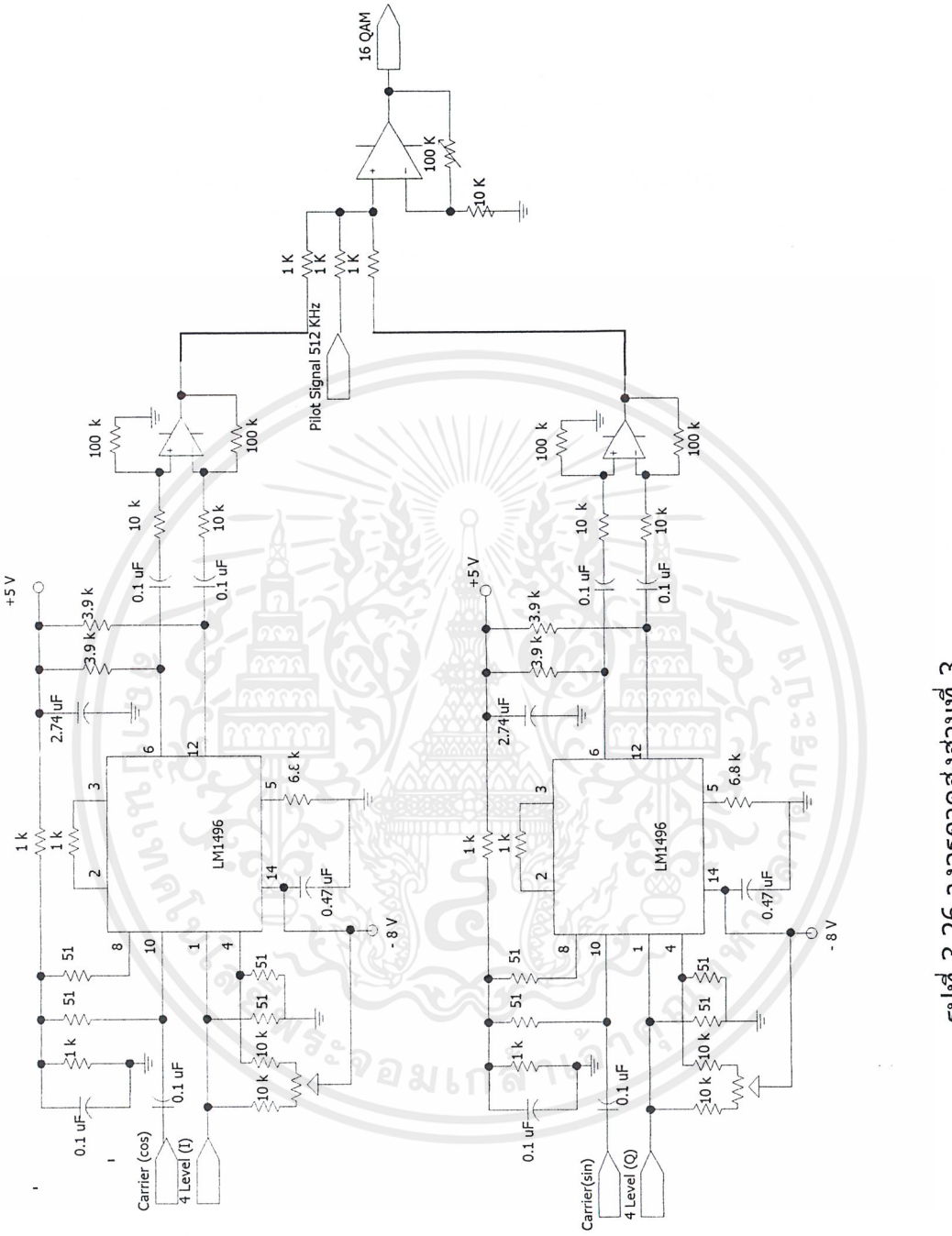
รูปที่ 3.24 วงจรภาคส่งส่วนที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



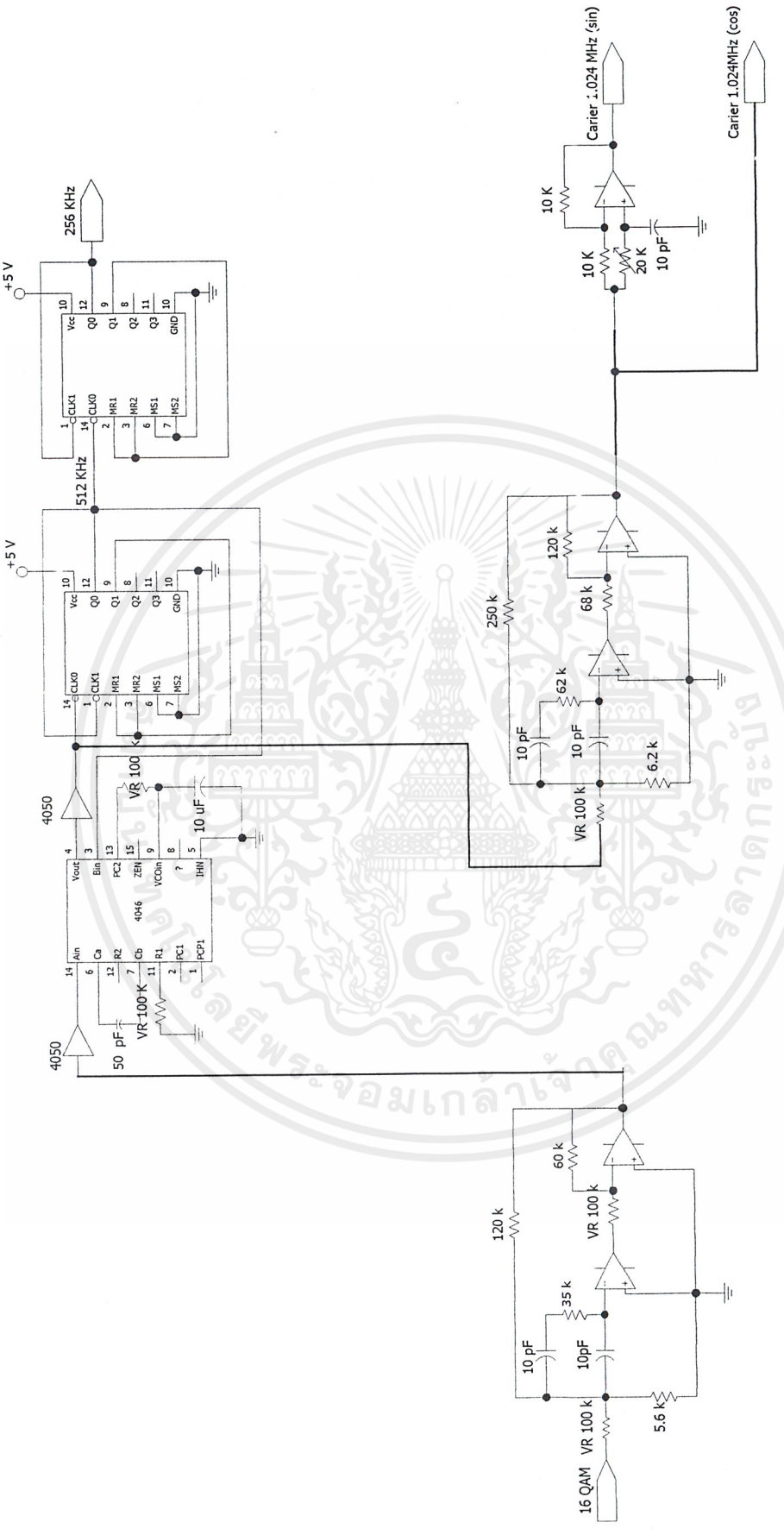
รูปที่ 3.25 วงจรภาคส่งส่วนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



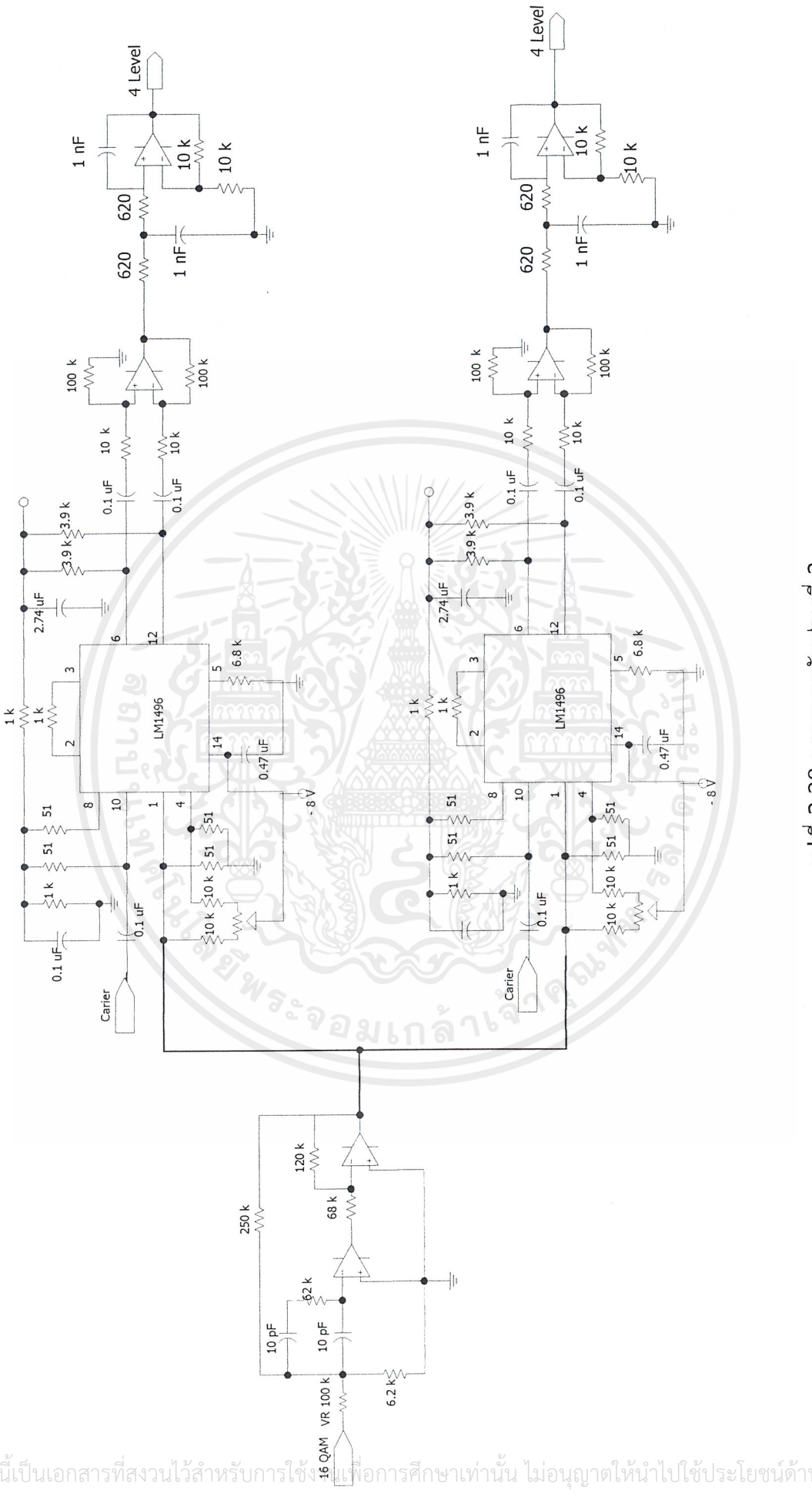
รูปที่ 3.26 วงจรภาคส่งส่วนที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



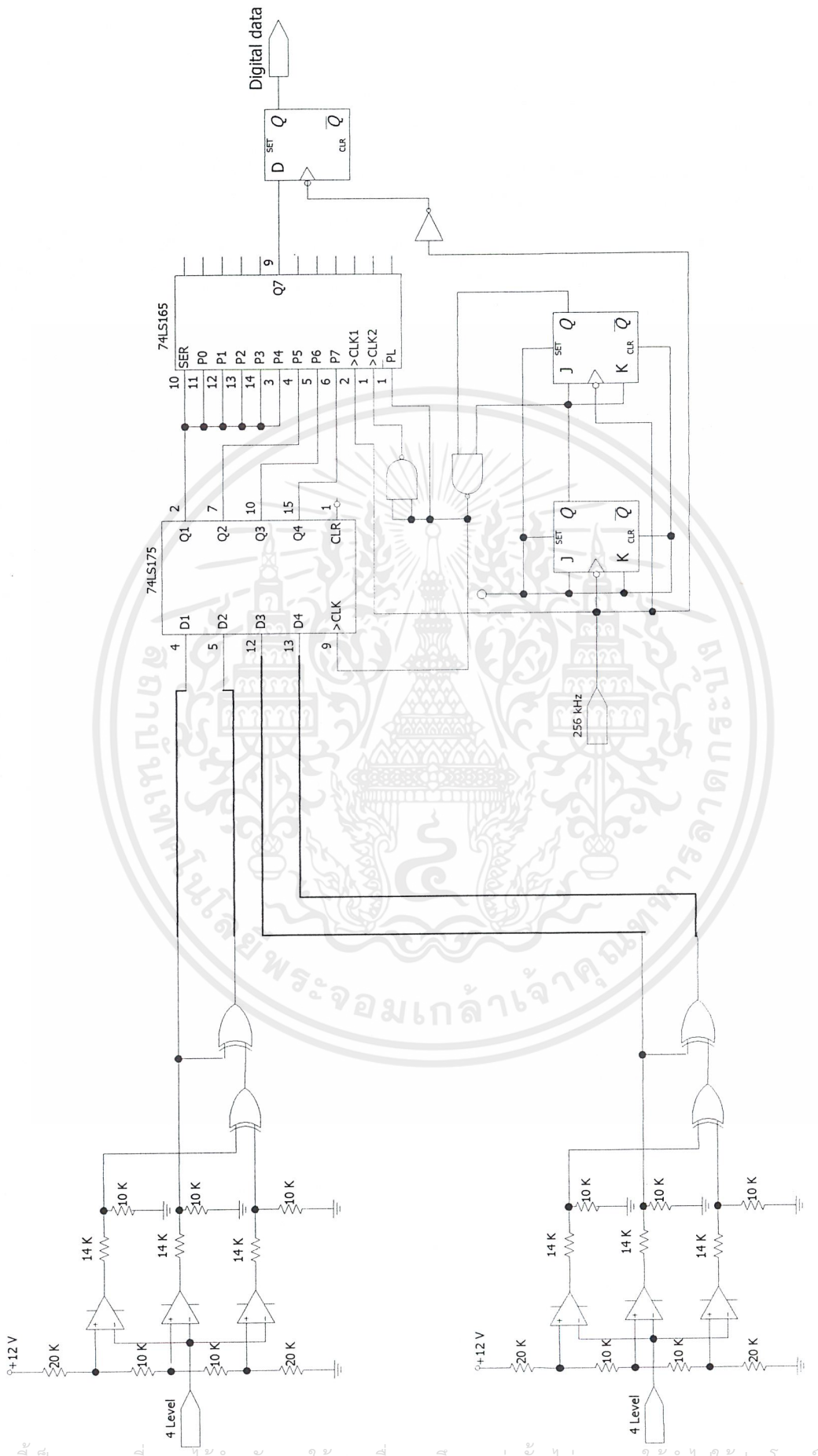
รูปที่ 3.27 วงจรภาครับส่วนที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.28 วงจรภาครับส่วนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.29 วงจรภาครับส่วนที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

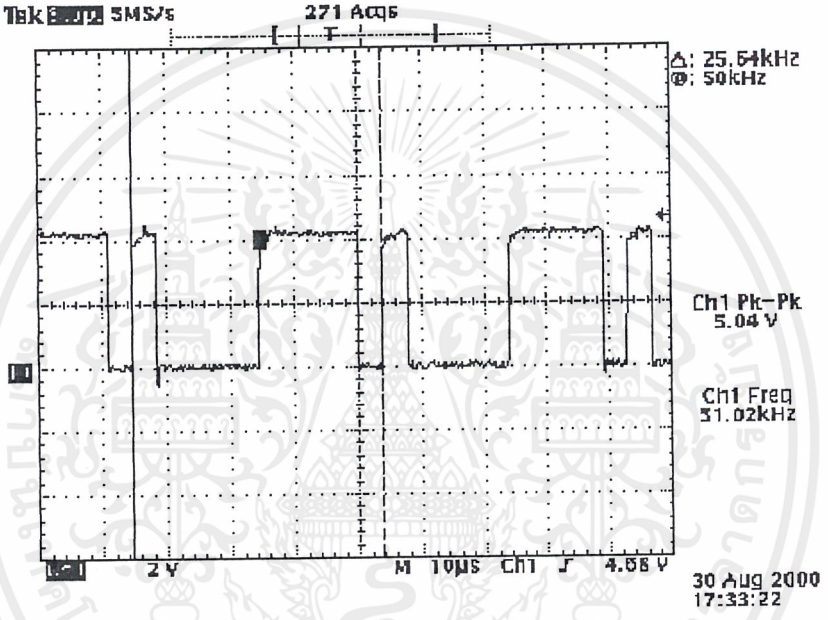
บทที่ 4

การทดลองและผลการทดลอง

4.1 ผลการทดลองภาคส่ง

4.1.1วงจรกำเนิดสัญญาณ NRZ (NON – RETURN TO ZERO)

ในที่นี้เราจะทำการสร้างสัญญาณดิจิตอลแบบ NRZ เพื่อใช้ในการทดลองวงจรภาคส่ง ซึ่งเป็นสัญญาณดิจิตอลที่มีความถี่ 256 kHz ซึ่งเกิดขึ้นซ้ำ ๆ กัน ทุก ๆ 10 บิท

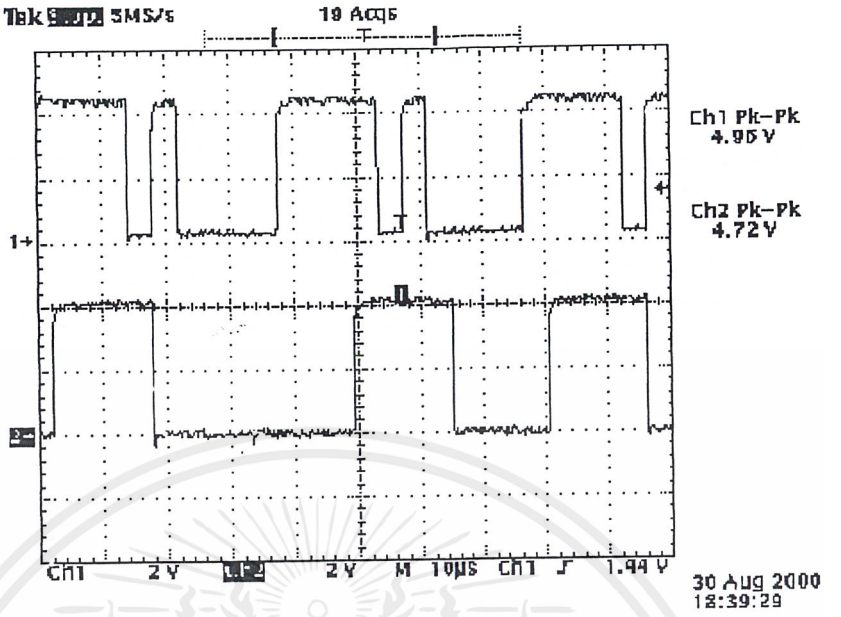


รูปที่ 4.1 แสดงสัญญาณดิจิตอล ตัวอย่าง 0100001111

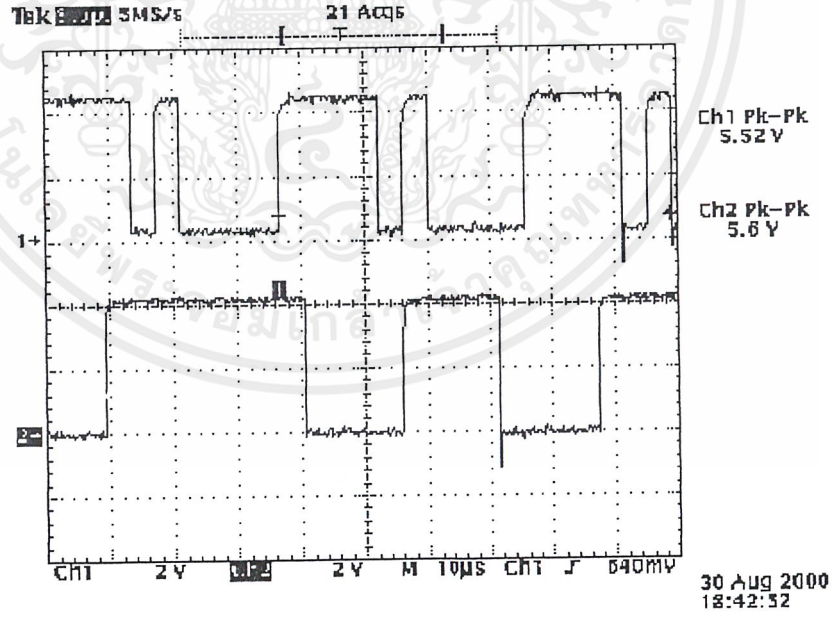
4.1.2 วงจรแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน

เรานำสัญญาณที่ได้จากวงจรผลิตสัญญาณซึ่งเป็นข้อมูลแบบอนุกรมมาแปลงเป็นข้อมูลแบบขนานโดยจะทำการแปลงครั้งละ 4 บิต กล่าวคือข้อมูลแบบอนุกรม 4 บิต จะถูกทำให้เป็นข้อมูลขนาน 4 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

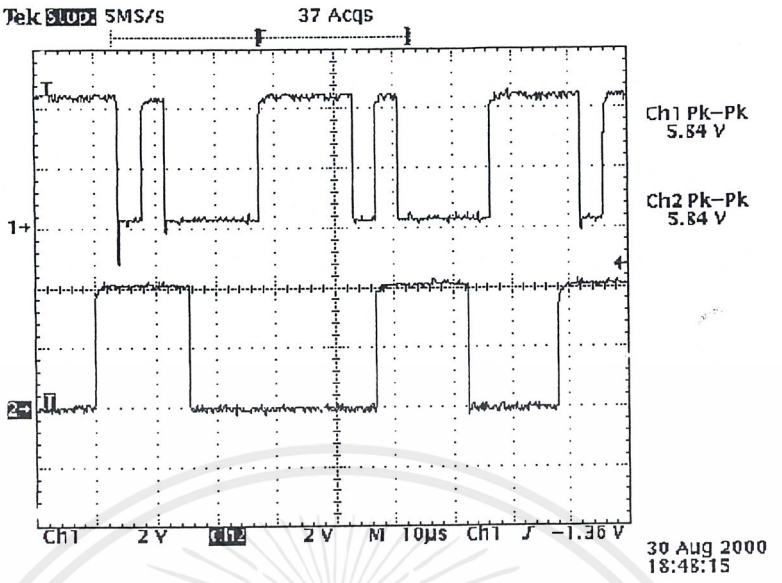


รูปที่ 4.2 CH1 แสดงข้อมูลอนุกรมที่ได้จากวงจรผลิตสัญญาณ NRZ
CH2 แสดงเอาท์พุตที่ขา I ของวงจร SERIAL TO PARALLEL



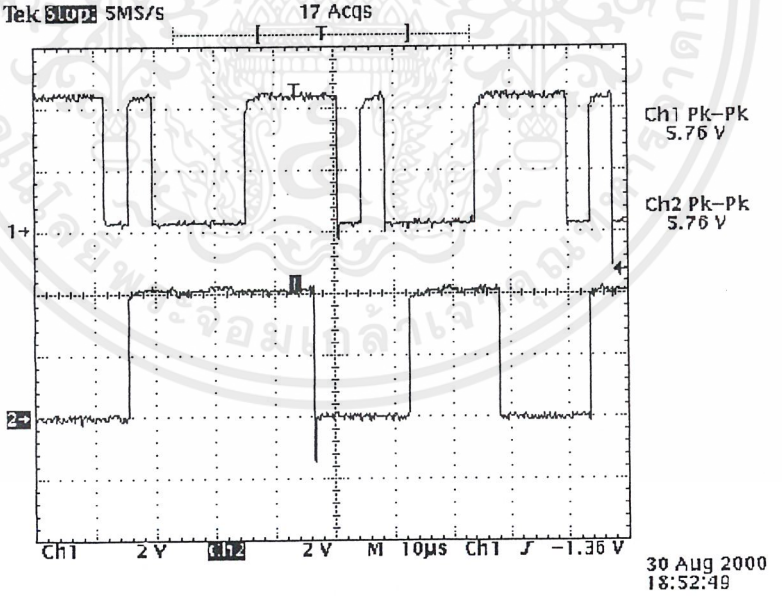
รูปที่ 4.3 CH1 แสดงสัญญาณจากวงจรผลิตสัญญาณ NRZ
CH2 แสดงเอาท์พุตที่ขา Q ของวงจร SERIAL TO PARALEL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 CH1 แสดงสัญญาณจากวงจรผลิตสัญญาณ NRZ

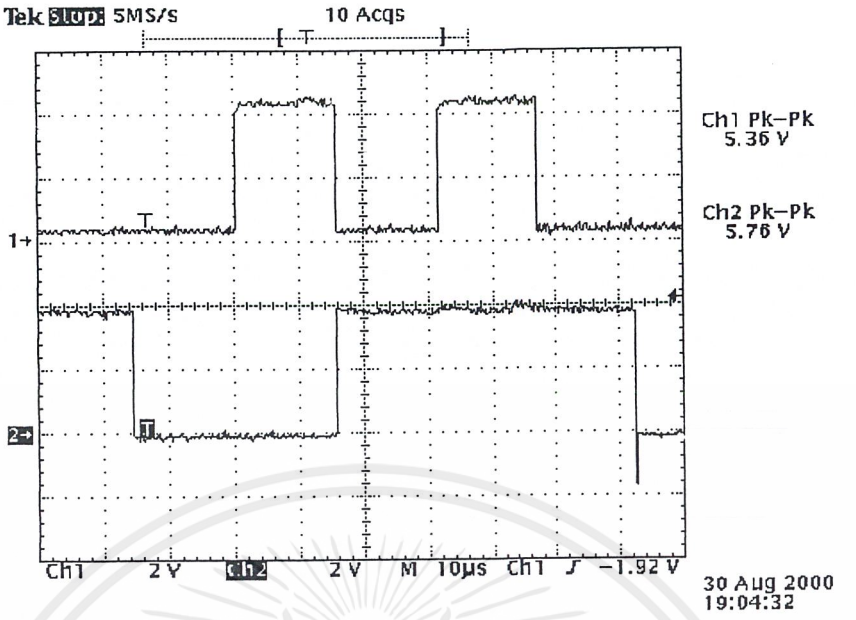
CH2 แสดงเอาท์พุตที่ขา I ของวงจร SERIAL TO PARALEL



รูปที่ 4.5 CH1 แสดงสัญญาณจากวงจรผลิตสัญญาณ NRZ

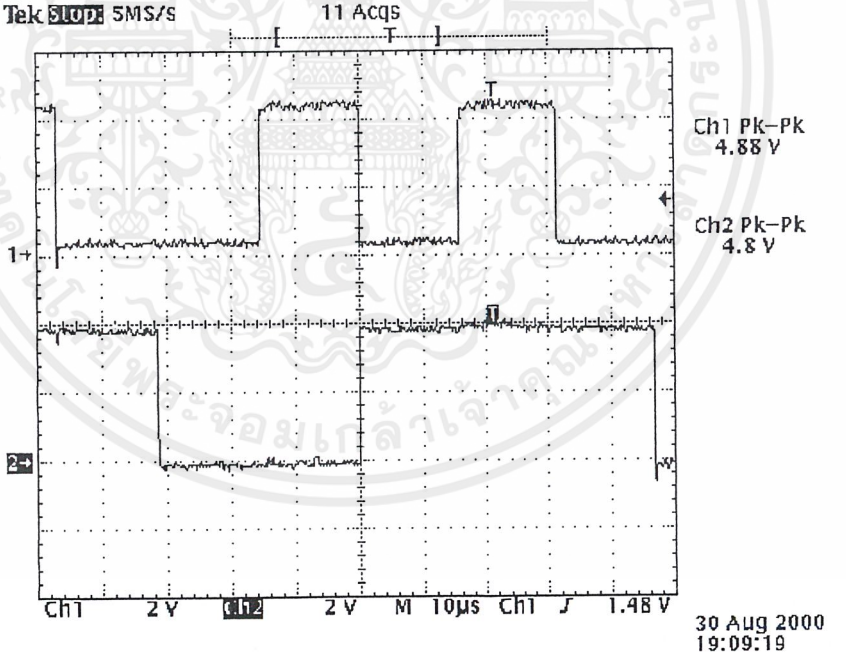
CH2 แสดงเอาท์พุตที่ขา Q ของวงจร SERIAL TO PARALEL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 CH1 แสดงขา I

CH2 แสดงเอาท์พุต EX-OR (คือขา I′)

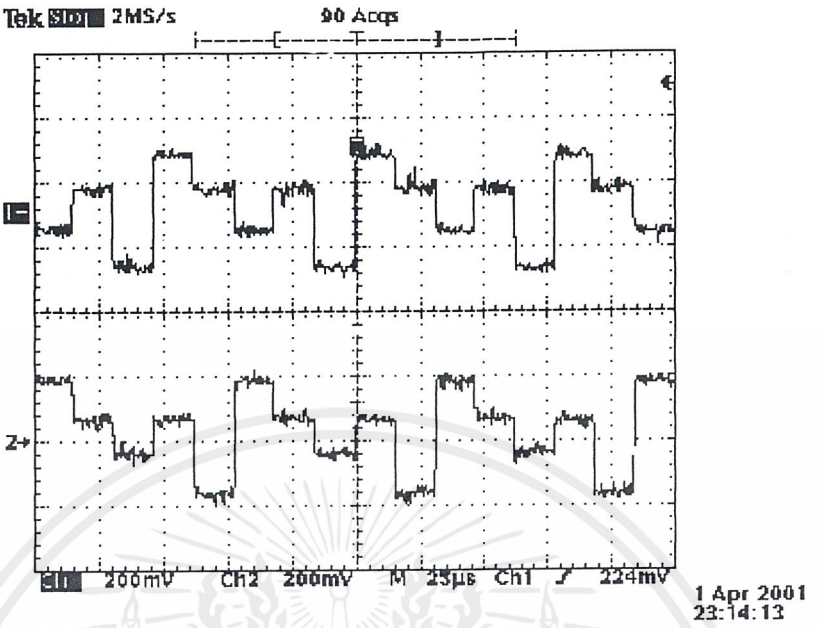


รูปที่ 4.7 CH1 แสดงขา Q

CH2 แสดงเอาท์พุตของวงจร EX-OR

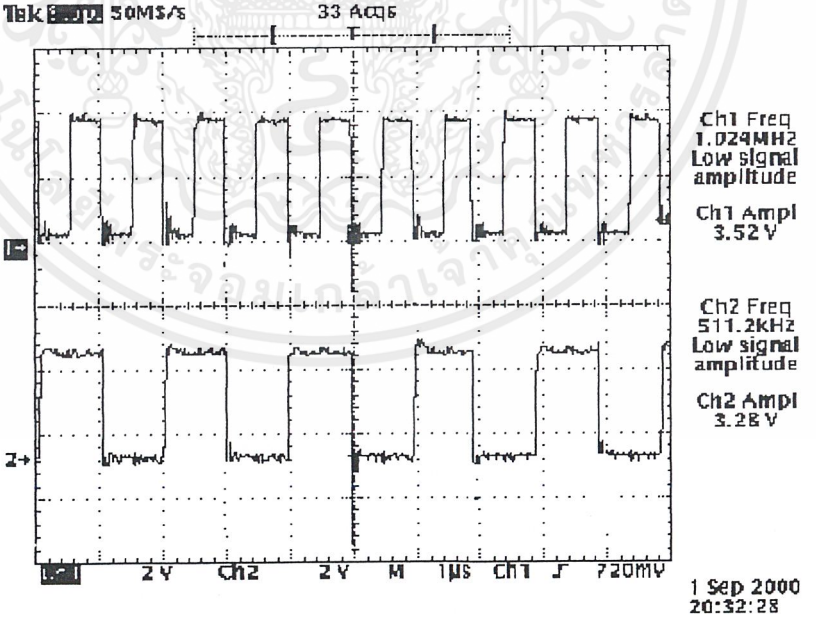
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 วงจรแปลงข้อมูล 2 บิทเป็น 4 ระดับ



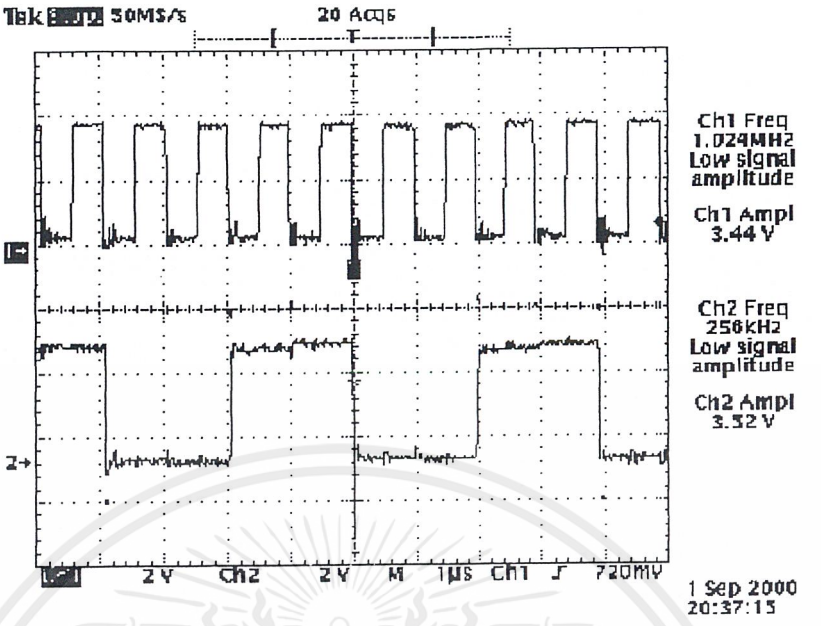
รูปที่ 4.8 แสดงสัญญาณ 4 ระดับ

4.1.4 วงจรสัญญาณคล็อก



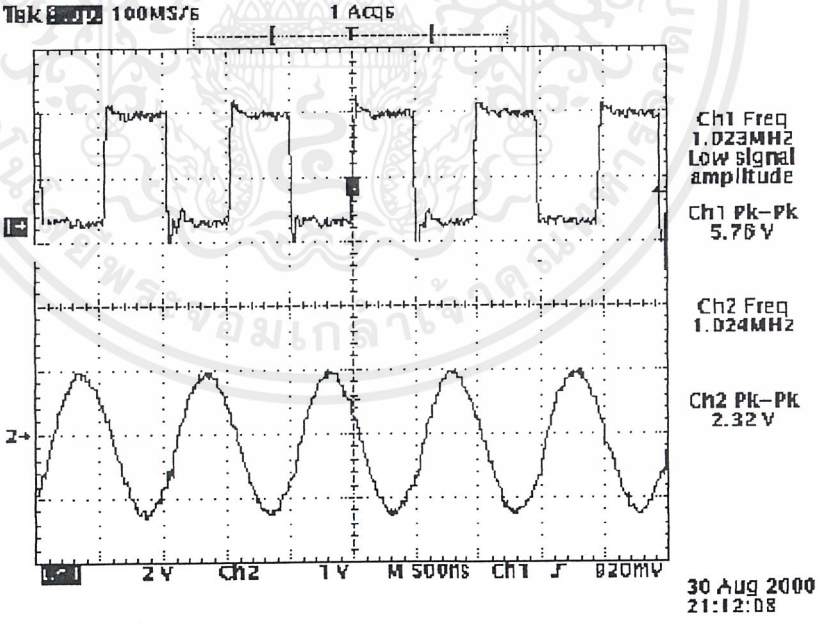
รูปที่ 4.9 CH1 เปรียบเทียบสัญญาณคล็อก 1.024 MHz กับ 512 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 CH1 เปรียบสัญญาณคล็อก 1.024 MHz กับ 64 kHz

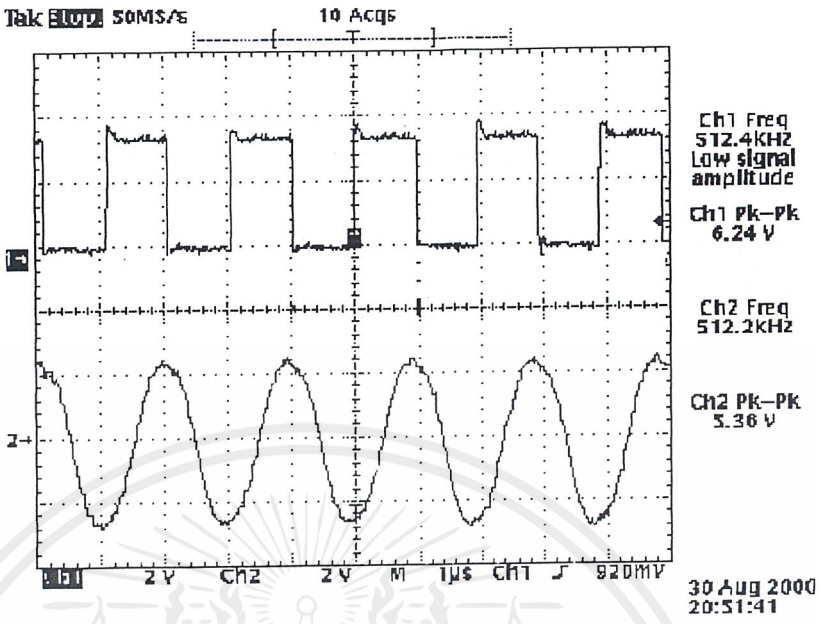
4.1.5 วงจรกรองช่วงความถี่ผ่าน (BAND PASS FILTER)



รูปที่ 4.11 CH1 แสดงสัญญาณคล็อก 1.024 MHz

CH2 แสดงเอาท์พุตของBPF

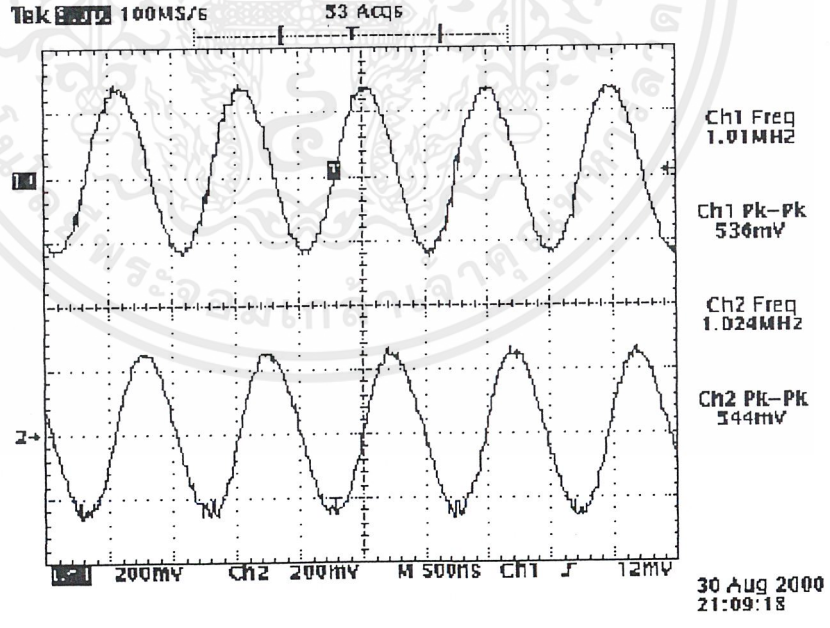
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 CH1 แสดงสัญญาณคล็อก 512 KHz

CH2 แสดงเอาท์พุตของ BPF 512 KHz

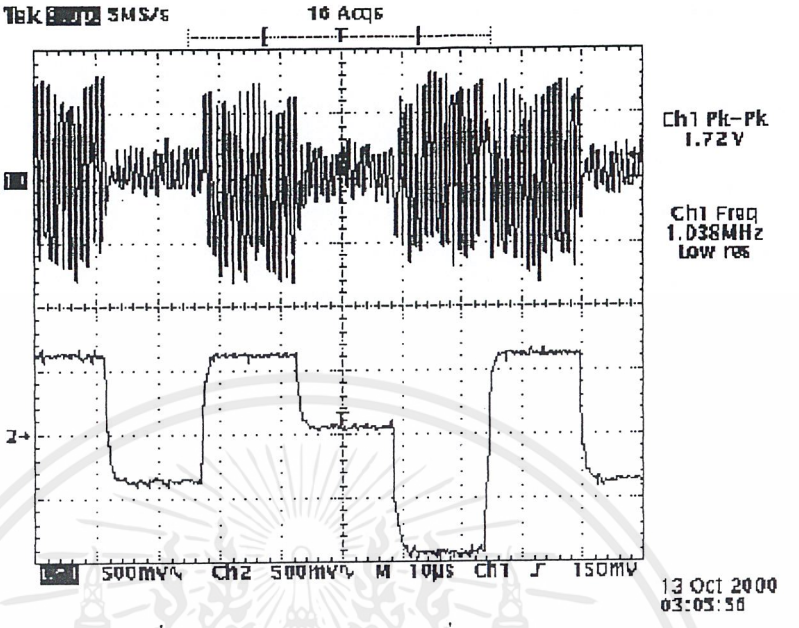
4.1.6 วงจรเลื่อนเฟส 90 องศา



รูปที่ 4.13 CH1 I/P วงจรเลื่อนเฟส และ CH2 แสดง O/P วงจรเลื่อนเฟส

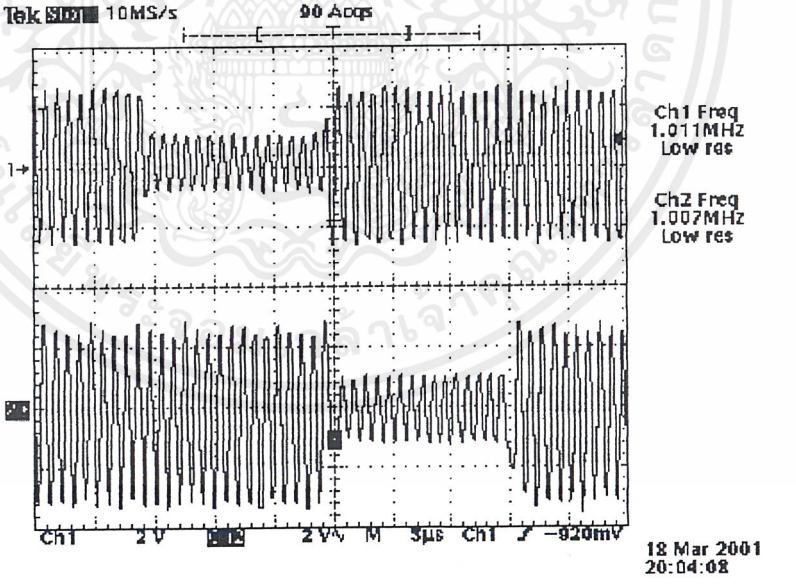
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.7 วงจรบาลานซ์มอดูเลเตอร์



รูปที่ 4.14 CH1 แสดงสัญญาณที่มอดูเลต

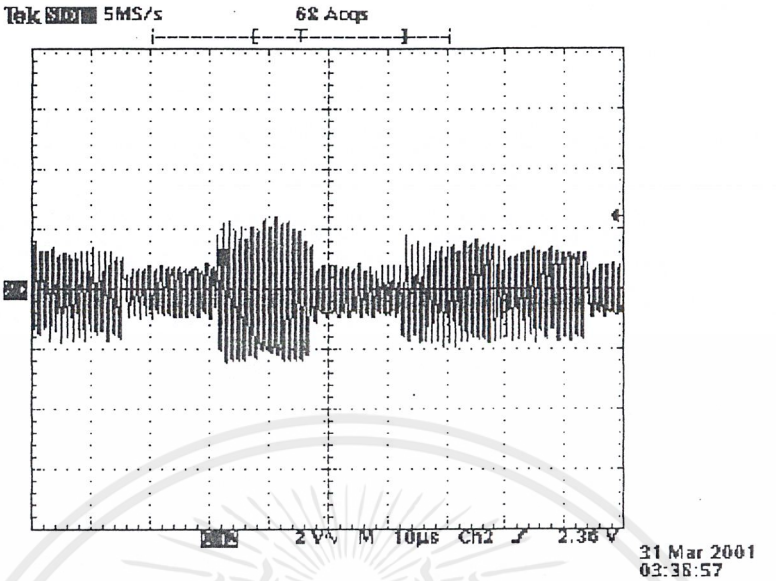
CH2 สัญญาณ 4 ระดับ



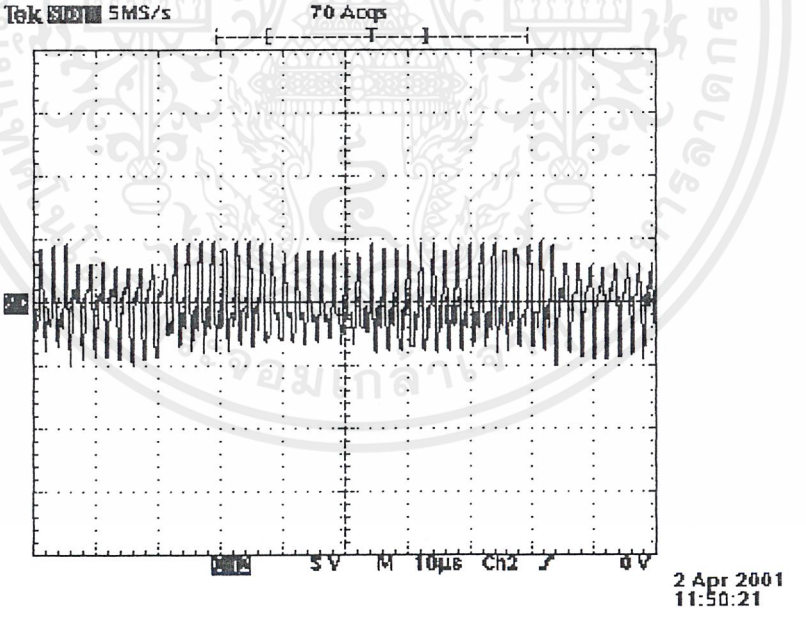
รูปที่ 4.15 แสดงเอาท์พุตของวงจรบาลานซ์มอดูเลเตอร์ 2 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.8 วงจรรวมสัญญาณ

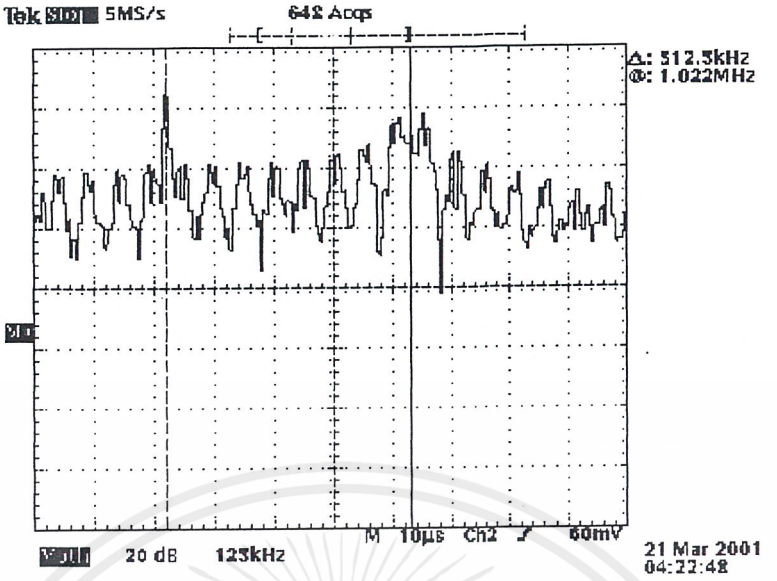


รูปที่ 4.16 แสดงสัญญาณ 16 QAM ที่ไม่รวมสัญญาณนำร่อง 512 kHz



รูปที่ 4.17 แสดงสัญญาณ 16 QAM รวมกับสัญญาณนำร่อง 512 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

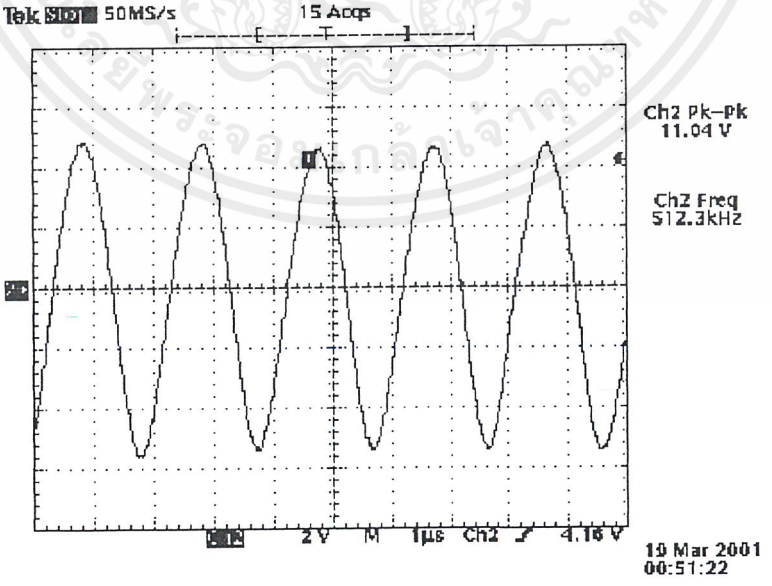


รูปที่ 4.18 สดงสเปกตรัมวงจรรวมสัญญาณ

4.2 ผลการทดลองภาครับ

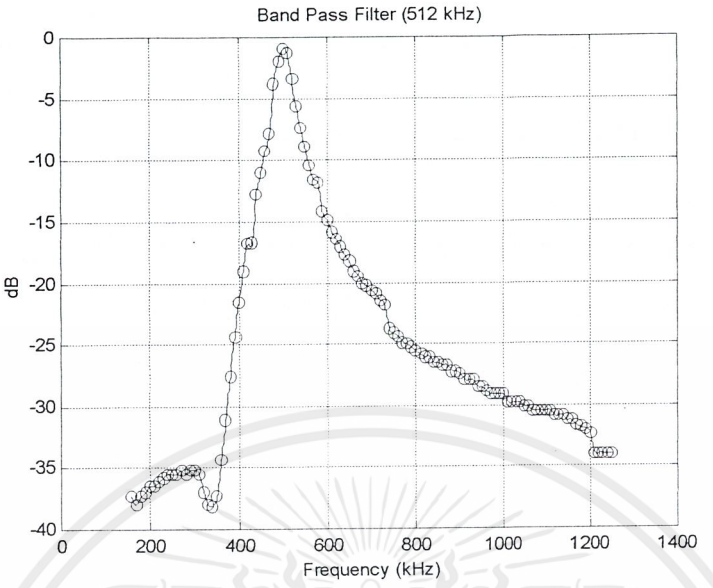
เนื่องจากสัญญาณ 16 QAM ที่รับมานั้นต้องการการดีมอดูเลทแบบซิงค์โครนัส กล่าวคือสัญญาณพาหะของทางภาคส่งและภาครับจะต้องเป็นตัวเดียวกัน (ความถี่และเฟสเท่ากัน) ดังนั้นทางภาคส่งจะต้องมีวงจรกู้สัญญาณพาหะ ในที่นี้สใช้เฟสล็อคลูปในการกู้สัญญาณพาหะและคล็อก

4.2.1วงจรกรองความถี่ผ่านเฉพาะช่วง



รูปที่ 4.19 แสดงสัญญาณนำร่องที่กรองได้ทางภาครับ

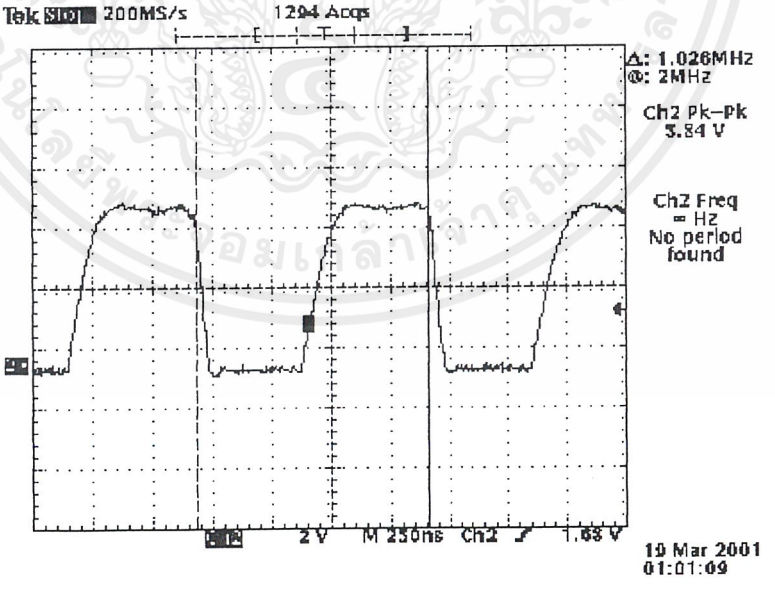
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.20 แสดง Characteristic ของวงจรกรองความถี่ผ่าน 512 kHz

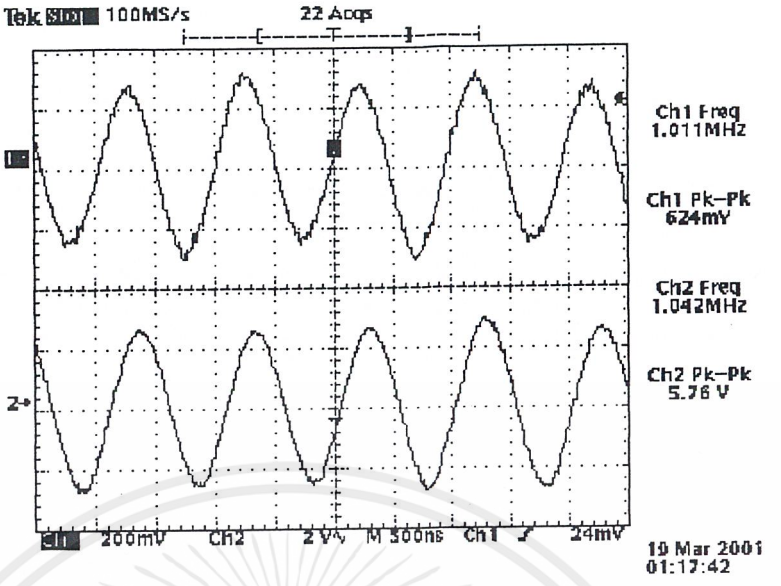
4.2.2วงจรเฟสล็อคลูป

4.2.2.1 วงจรผลิตสัญญาณพาหะ

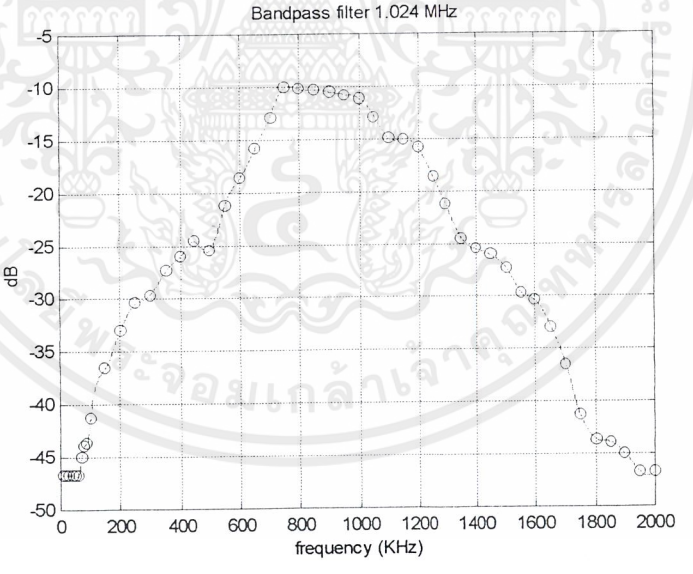


รูปที่ 4.21 แสดงเอาท์พุตของเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.22 แสดงการเปรียบเทียบสัญญาณพาหะทางภาคส่งและภาครับ

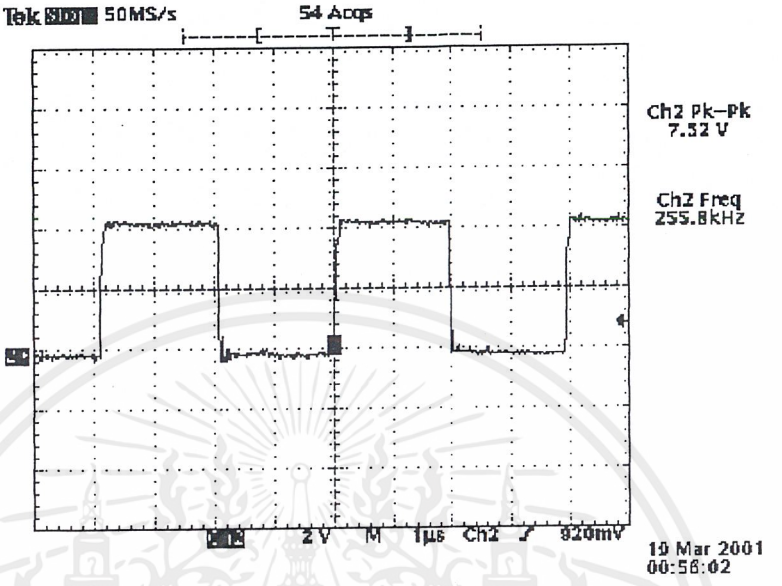


รูปที่ 4.23 แสดง Characteristic วงจรกรองความถี่ผ่านเฉพาะช่วง 1.024 MHz

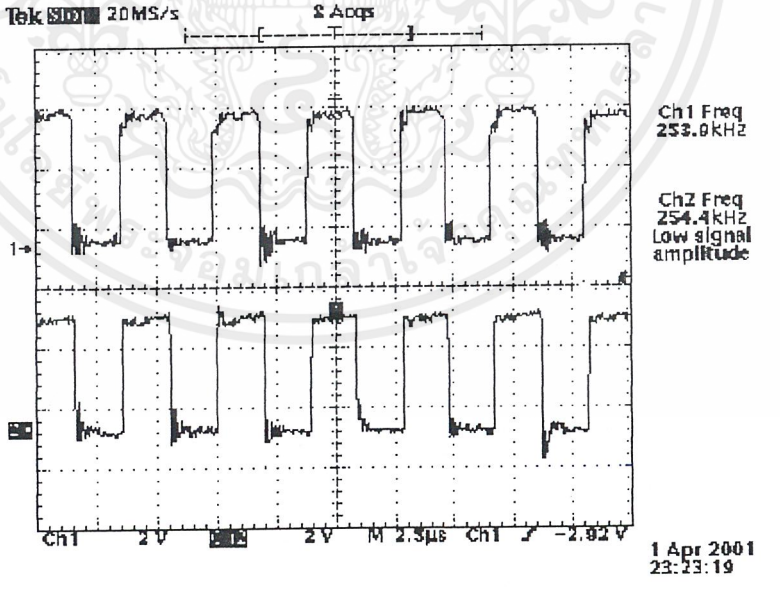
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2.2 วงจรผลิตสัญญาณคล็อค

ทำการกู้คล็อกโดยการใช้เฟสล็อคลูปผลิตสัญญาณพาหะ 1.024 MHz ก่อนแล้วนำสัญญาณพาหะมาหาร 4 จะได้สัญญาณคล็อก 256 kHz



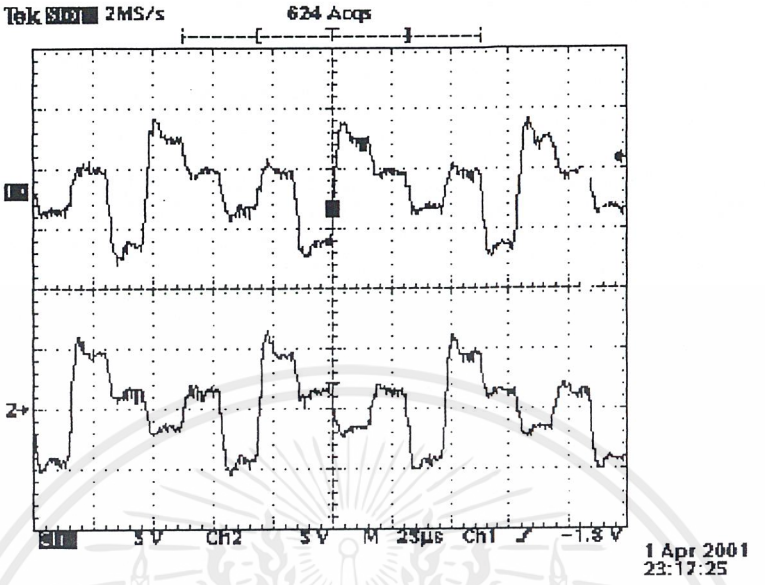
รูปที่ 4.24 แสดงเอาท์พุตของวงจรกู้คล็อก



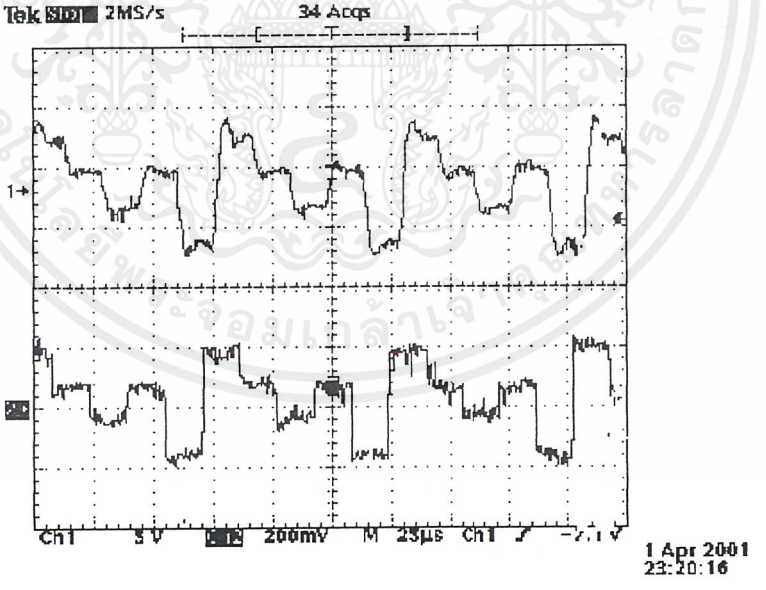
รูปที่ 4.25 แสดงการเปรียบเทียบสัญญาณคล็อคของทางภาคส่งและภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 วงจรบาลานซ์ดีมอดูเลเตอร์



รูปที่ 4.26 แสดงสัญญาณเอาท์พุตวงจรบาลานซ์ดีมอดูเลเตอร์ 2ตัว



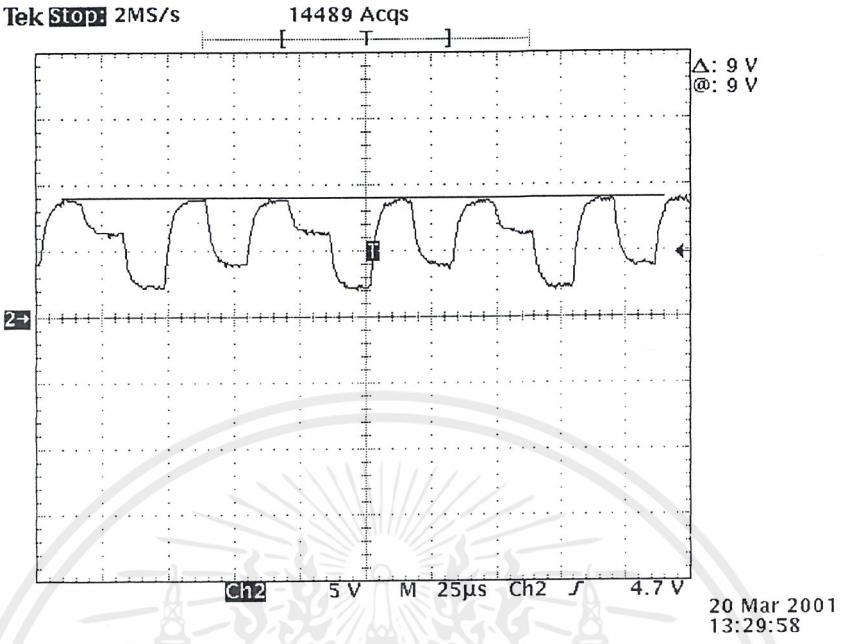
รูปที่ 4.27 แสดงการเปรียบเทียบสัญญาณ 4 ระดับ

CH 1 แสดงสัญญาณ 4 ระดับหลังการดีมอดูเลท

CH 2 แสดงสัญญาณ 4ระดับทางภาคส่ง

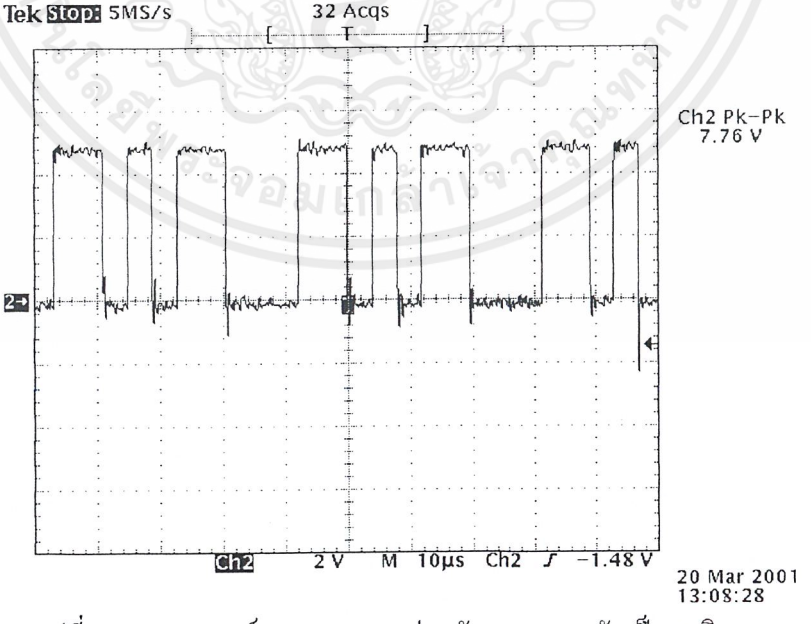
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4 วงจรขยายสัญญาณ 4 ระดับ



รูปที่ 4.28 แสดงสัญญาณเอาท์พุตวงจรขยายสัญญาณ 4 ระดับ

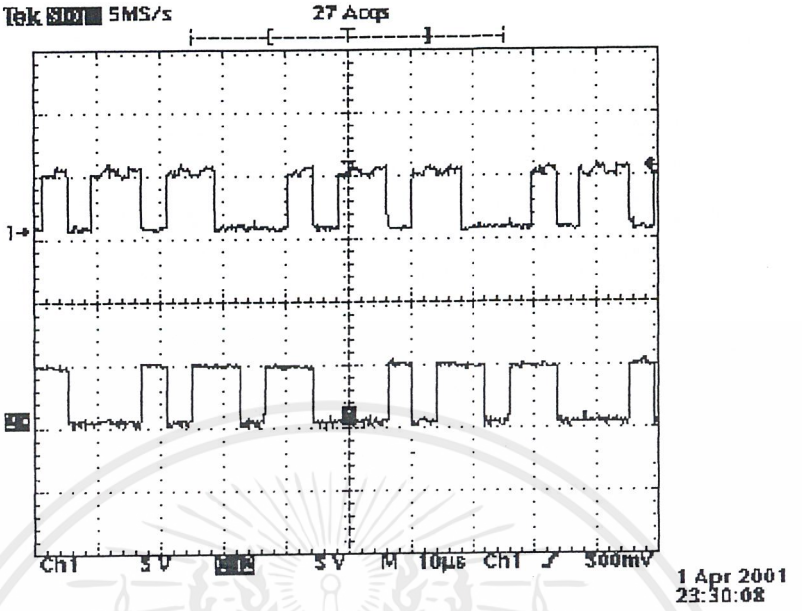
4.2.5 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต



รูปที่ 4.29 แสดงเอาท์พุตของวงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.6 วงจรรวมสัญญาณดิจิตอล



รูปที่ 4.30 แสดงสัญญาณวงจรรวมสัญญาณดิจิตอล

CH1 แสดงสัญญาณดิจิตอลทางภาคส่ง

CH2 แสดงสัญญาณดิจิตอลทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

การส่งสัญญาณที่ใช้เทคนิคการมอดีเลทแบบ 16 QAM นั้นเป็นการส่งสัญญาณแบบซิงโครไนซ์ กล่าวคือ สัญญาณพาหะและคล็อกของวงจรทางภาคส่งและภาครับจะต้องเป็นตัวเดียวกัน (เฟสและความถี่ตรงกัน) โดยการส่งสัญญาณนำร่องไปพร้อมกับสัญญาณ 16 QAM ในทางภาคส่ง เพื่อให้ทางภาครับใช้ในการกู้สัญญาณพาหะและคล็อก ซึ่งทำให้ทางภาคส่งและภาครับซิงโครไนซ์กัน

การมอดูเลทแบบ 16 QAM นี้ สัญญาณข้อมูลดิจิตอลทุก ๆ 4 บิตทำให้แอมปลิจูดและความถี่ของสัญญาณพาหะเปลี่ยนแปลงอย่างใดอย่างหนึ่งหรือทั้งสองอย่างพร้อมกัน โดยใช้ความถี่สัญญาณพาหะ 1.024 MHz , ความถี่สัญญาณนำร่อง 512 kHz และความเร็วข้อมูลดิจิตอล 256 bps

เนื่องจากสัญญาณดิจิตอลไปทำให้แอมปลิจูดและเฟสของสัญญาณพาหะเปลี่ยนแปลง นี้เองทำให้การดีเทคข้อมูลเป็นเรื่องที่ค่อนข้างยาก กล่าวคือถ้าเฟสหรือแอมปลิจูดของสัญญาณ 16 QAM เปลี่ยนแปลงไปเพียงเล็กน้อยก็อาจจะทำให้การดีเทคผิดพลาดได้

จากการทดลองพบว่ามีปัญหาเกิดขึ้นอยู่หลายประการ ดังจะกล่าวต่อไปนี้

5.1 วงจรภาคส่ง

5.1.1 วงจรแปลงข้อมูล 2 บิตเป็นสัญญาณ 4 ระดับ

วงจรทางภาคส่งประกอบด้วยวงจรแปลงข้อมูล 2 บิตเป็นสัญญาณ 4 ระดับ ดังนั้นการปรับสัญญาณ 4 ระดับของทั้งสองวงจรจะต้องมีค่าเท่ากัน

5.1.2 วงจรกรองความถี่ผ่านเฉพาะช่วง

เนื่องสัญญาณพาหะที่ผลิตได้นั้น ต้องนำไปผ่านวงจรกรองความถี่ผ่านเฉพาะช่วง 1.024 MHz ให้ได้สัญญาณไซน์ที่ไม่ความถี่อื่นปนอยู่เลย เพื่อใช้ในการมอดูเลทสัญญาณ ซึ่งจะต้องใช้วงจรกรองที่มีประสิทธิมาก

5.1.3 วงจรบาลานซ์มอดูเลเตอร์

เนื่องจากวงจรบาลานซ์มอดูเลเตอร์ที่ใช้นั้นต้องการอินพุตที่มีแอมปลิจูดที่ต่ำมาก หากป้อนสัญญาณที่มีระดับอินพุตที่สูงจะก่อให้เกิดความผิดพลาดขึ้น นอกจากนี้แล้วจะต้องทำให้เป็นสัญญาณเอาท์พุตซับเพรสแคร์เรีย และมีความบาลานซ์กันทั้งทางโลเวอร์ไซด์แบนด์และอัพเพอร์ไซแบนด์ นอกจากนี้สัญญาณเอาท์พุตของวงจรนี้ทั้งสองตัวจะต้องมีระดับที่เท่ากัน ไม่เช่นนั้นจะก่อให้เกิดความผิดพลาดในการเปลี่ยนแปลงแอมปลิจูดและเฟสของพาหะ ทั้งยังมีผลให้เกิดความผิดพลาดในการดีเทคในทางภาครับต่อไปอีก

5.2 วงจรภาครับ

5.2.1 วงจรกรองความถี่ผ่านเฉพาะช่วง

เนื่องจากทางภาครับต้องทำการกู้สัญญาณพาหะและคล็อกโดยอาศัยสัญญาณนำร่องดังนั้น ต้องใช้วงจรกรองช่วงความถี่ผ่าน กรองเอาเฉพาะสัญญาณนำร่องออกมา ซึ่งถ้าหากว่าวงจรนี้ไม่สามารถ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรองเอาเฉพาะสัญญาณนำร่องแล้วจะทำให้วงจรเฟสล็อคลูปไม่สามารถทำงานได้ ซึ่งในการทดลองครั้งนี้พบผลที่น่าพอใจมาก นอกจากนี้ยังมีวงจรกรองความถี่ผ่านเฉพาะช่วง 1.024 MHz อีก 1 วงจรเพื่อกรองเอาเฉพาะสัญญาณไซน์ดังที่กล่าวมาแล้วทางภาคส่ง

5.2.2 วงจรเฟสล็อกลูป

เนื่องจากในการทดลองนี้ใช้วงจรเฟสล็อคลูปในการกู้สัญญาณพาหะและคล็อก ซึ่งเป็นวงจรที่สำคัญวงจรหนึ่ง กล่าวคือ วงจรนี้จะต้องทำการล็อคความถี่ให้ได้ตามที่ต้องการ ซึ่งถ้าหากวงจรนี้ทำงานได้ไม่ดีแล้วจะทำให้ ได้รับสัญญาณพาหะและคล็อกที่ผิดเพี้ยนไปจากภาคส่ง ส่งผลให้การดีเทคสัญญาณผิดพลาดตามไปด้วย

5.2.3 วงจรบาลานซ์ดีมอดูเลเตอร์

ในทำนองเดียวกับทางภาคส่ง

5.2.4 วงจรแปลงสัญญาณ 4 ระดับให้เป็น 2 บิต

วงจรนี้ต้องการสัญญาณที่มีความเฉียบคมสูง ดังนั้นสัญญาณ 4 ระดับที่เอาท์พุตของวงจรกรองความถี่ต่ำผ่านหลังบาลานซ์ดีมอดูเลเตอร์จะต้องเป็นสัญญาณที่มีความเฉียบคมและราบเรียบสูง จึงจะสามารถแปลงเป็นสัญญาณดิจิตอล 2 บิตได้อย่างถูกต้อง

5.2.5 วงจรรวมสัญญาณดิจิตอล

ในที่นี้ไม่พบปัญหา เนื่องจากว่าถ้าสัญญาณ 2 บิตที่ได้จากวงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิตมีความถูกต้องแล้ว วงจรรวมสัญญาณดิจิตอลก็สามารถรวมสัญญาณดิจิตอลได้อย่างถูกต้องซึ่งมีค่าเหมือนกับทางภาคส่ง

โดยสรุปเครื่องรับและส่งสัญญาณ 16 QAM สามารถทำงานได้จริง ซึ่งอาจจะเกิดบิตเออร์เรอร์เรทบ้าง สาเหตุของบิตเออร์เรอร์ก็คือ สัญญาณพาหะที่กู้ได้ทางภาครับ มีเฟสและความถี่ไม่ตรงกับทางภาครับ และอาจจะเกิดจากการดีเทคผิดพลาดของวงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต ซึ่งในการทดลองครั้งนี้สามารถแก้ปัญหาดังกล่าวได้ โดยการสร้างวงจรเฟสล็อกลูปที่สามารถล็อกความถี่ได้ความถี่อินพุตซึ่งก็คือความถี่ของทางภาคส่งนั่นเอง รวมทั้งการจัดระดับอ้างอิงของวงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต ให้มีความแม่นยำและถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14046B

Phase Locked Loop

The MC14046B phase locked loop contains two phase comparators, a voltage–controlled oscillator (VCO), source follower, and zener diode. The comparators have two common signal inputs, PCA_{in} and PCB_{in}. Input PCA_{in} can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self–bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal $PC1_{out}$, and maintains 90° phase shift at the center frequency between PCA_{in} and PCB_{in} signals (both at 50% duty cycle). Phase comparator 2 (with leading edge sensing logic) provides digital error signals, $PC2_{out}$ and LD, and maintains a 0° phase shift between PCA_{in} and PCB_{in} signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source–follower output SF_{out} with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage–to–frequency conversion and motor speed control.

- Buffered Outputs Compatible with MHTL and Low–Power TTL
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 to 18 V
- Pin–for–Pin Replacement for CD4046B
- Phase Comparator 1 is an Exclusive Or Gate and is Duty Cycle Limited
- Phase Comparator 2 switches on Rising Edges and is not Duty Cycle Limited

MAXIMUM RATINGS (Voltages Referenced to V_{SS}) (Note 2.)

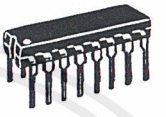
Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage Range	–0.5 to +18.0	V
V_{in}	Input Voltage Range (All Inputs)	–0.5 to V_{DD} + 0.5	V
I_{in}	DC Input Current, per Pin	±10	mA
P_D	Power Dissipation, per Package (Note 3.)	500	mW
T_A	Operating Temperature Range	–55 to +125	°C
T_{stg}	Storage Temperature Range	–65 to +150	°C

2. Maximum Ratings are those values beyond which damage to the device may occur.
3. Temperature Derating:
Plastic "P and D/DW" Packages: – 7.0 mW/°C From 65°C To 125°C

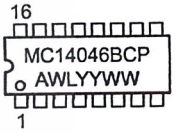
ON Semiconductor

http://onsemi.com

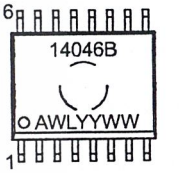
MARKING DIAGRAMS



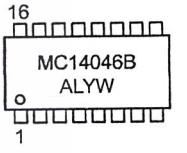
PDIP–16
P SUFFIX
CASE 648



SOIC–16
DW SUFFIX
CASE 751G



SOEIAJ–16
F SUFFIX
CASE 966



A = Assembly Location
WL, L = Wafer Lot
YY, Y = Year
WW, W = Work Week

ORDERING INFORMATION

Device	Package	Shipping
MC14046BCP	PDIP–16	2000/Box
MC14046BDW	SOIC–16	2350/Box
MC14046BDWR2	SOIC–16	1000/Tape & Reel
MC14046BF	SOEIAJ–16	See Note 1.
MC14046BFEL	SOEIAJ–16	See Note 1.

1. For ordering information on the EIAJ version of the SOIC packages, please contact your local ON Semiconductor representative.

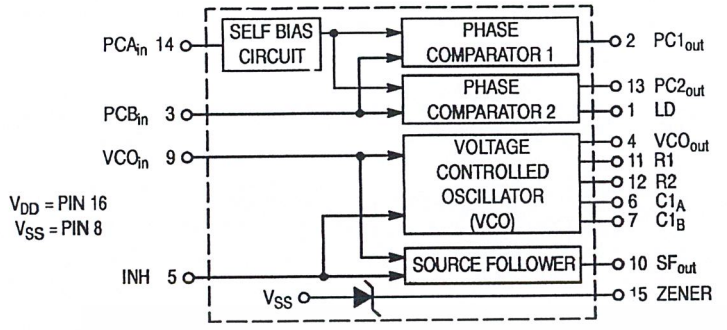
This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

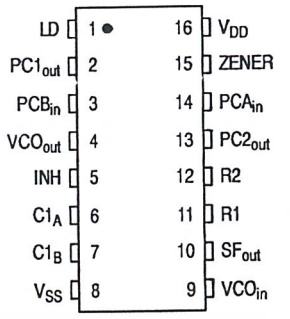
© Semiconductor Components Industries, LLC, 2000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM



PIN ASSIGNMENT



ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	−55°C Min	−55°C Max	25°C Min	25°C Typ	25°C Max	125°C Min	125°C Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage (4.) "0" Level (V_O = 4.5 or 0.5 Vdc)	V_{IL}	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc
(V_O = 9.0 or 1.0 Vdc)		10	—	3.0	—	4.50	3.0	—	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	—	4.0	—	6.75	4.0	—	4.0	
(V_O = 0.5 or 4.5 Vdc) "1" Level	V_{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
(V_O = 1.0 or 9.0 Vdc)		10	7.0	—	7.0	5.50	—	7.0	—	
(V_O = 1.5 or 13.5 Vdc)		15	11	—	11	8.25	—	11	—	
Output Drive Current (V_{OH} = 2.5 Vdc) Source	I_{OH}	5.0	−1.2	—	−1.0	−1.7	—	−0.7	—	mAdc
(V_{OH} = 4.6 Vdc)		5.0	−0.25	—	−0.2	−0.36	—	−0.14	—	
(V_{OH} = 9.5 Vdc)		10	−0.62	—	−0.5	−0.9	—	−0.35	—	
(V_{OH} = 13.5 Vdc)		15	−1.8	—	−1.5	−3.5	—	−1.1	—	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	—	1.3	2.25	—	0.9	—	
(V_{OL} = 1.5 Vdc)		15	4.2	—	3.4	8.8	—	2.4	—	
Input Current	I_{in}	15	—	±0.1	—	±0.00001	±0.1	—	±1.0	µAdc
Input Capacitance	C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package) Inh = PCA_{in} = V_{DD},	I_{DD}	5.0	—	5.0	—	0.005	5.0	—	150	µAdc
Zener = VCO_{in} = 0 V, PCB_{in} = V_{DD}		10	—	10	—	0.010	10	—	300	
or 0 V, I_{out} = 0 µA		15	—	20	—	0.015	20	—	600	
Total Supply Current (5.) (Inh = "0", f_o = 10 kHz, C_L = 50 pF,	I_T	5.0	I_T = (1.46 µA/kHz) f + I_{DD}							mAdc
R1 = 1.0 MΩ, R2 = ∞ R_{SF} = ∞,		10	I_T = (2.91 µA/kHz) f + I_{DD}							
and 50% Duty Cycle)		15	I_T = (4.37 µA/kHz) f + I_{DD}							

4. Noise immunity specified for worst–case input combination.
   Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
   2.0 Vdc min @ V_{DD} = 10 Vdc
   2.5 Vdc min @ V_{DD} = 15 Vdc

5. To Calculate Total Current in General:

$$I_T \approx 2.2 \times V_{DD}\left(\frac{VCO_{in} - 1.65}{R1} + \frac{V_{DD} - 1.35}{R2}\right)^{3/4} + 1.6 \times \left(\frac{VCO_{in} - 1.65}{R_{SF}}\right)^{3/4} + 1 \times 10^{-3}\,(C_L + 9)\,V_{DD}\,f +$$

$$1 \times 10^{-1}\,V_{DD}^2\left(\frac{100\%\text{ Duty Cycle of }PCA_{in}}{100}\right) + I_Q$$

where: I_T in µA, C_L in pF, VCO_{in}, V_{DD} in Vdc, f in kHz, and R1, R2, R_{SF} in MΩ, C_L on VCO_{out}.

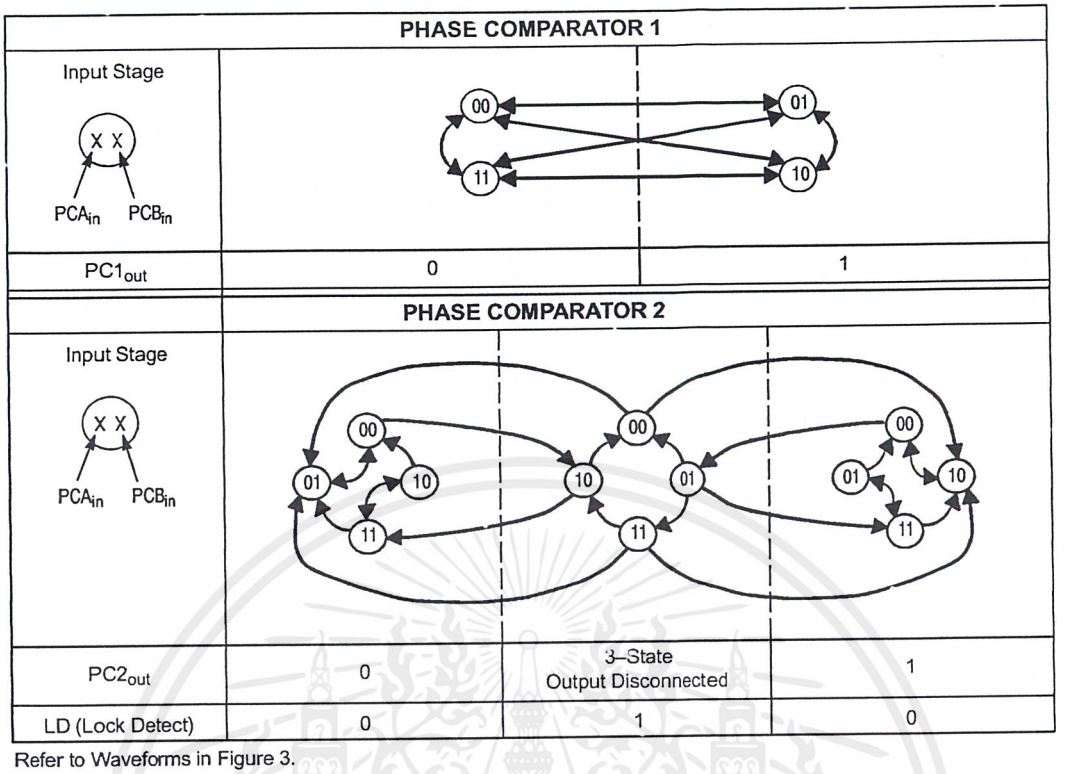
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (6.) (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Minimum Device	Typical	Maximum Device	Units
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	—	180	350	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	—	90	150	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	—	65	110	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	—	100	175	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	—	50	75	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	—	37	55	
PHASE COMPARATORS 1 and 2						
Input Resistance — PCA_{in}	R_{in}	5.0	1.0	2.0	—	MΩ
		10	0.2	0.4	—	
		15	0.1	0.2	—	
— PCB_{in}	R_{in}	15	150	1500	—	MΩ
Minimum Input Sensitivity	V_{in}	5.0	—	200	300	mV p–p
AC Coupled — PCA_{in}		10	—	400	600	
C series = 1000 pF, f = 50 kHz		15	—	700	1050	
DC Coupled — PCA_{in}, PCB_{in}	—	5 to 15	See Noise Immunity			
VOLTAGE CONTROLLED OSCILLATOR (VCO)						
Maximum Frequency	f_{max}	5.0	0.5	0.7	—	MHz
(VCO_{in} = V_{DD}, C1 = 50 pF		10	1.0	1.4	—	
R1 = 5.0 kΩ, and R2 = ∞)		15	1.4	1.9	—	
Temperature — Frequency Stability	—	5.0	—	0.12	—	%/°C
(R2 = ∞)		10	—	0.04	—	
		15	—	0.015	—	
Linearity (R2 = ∞)	—					%
(VCO_{in} = 2.5 V ± 0.3 V, R1 > 10 kΩ)		5.0	—	1.0	—	
(VCO_{in} = 5.0 V ± 2.5 V, R1 ≥ 400 kΩ)		10	—	1.0	—	
(VCO_{in} = 7.5 V ± 5.0 V, R1 ≥ 1000 kΩ)		15	—	1.0	—	
Output Duty Cycle	—	5 to 15	—	50	—	%
Input Resistance — VCO_{in}	R_{in}	15	150	1500	—	MΩ
SOURCE–FOLLOWER						
Offset Voltage	—	5.0	—	1.65	2.2	V
(VCO_{in} minus SF_{out}, RSF > 500 kΩ)		10	—	1.65	2.2	
		15	—	1.65	2.2	
Linearity	--					%
(VCO_{in} = 2.5 V ± 0.3 V, R_{SF} > 50 kΩ)		5.0	—	0.1	—	
(VCO_{in} = 5.0 V ± 2.5 V, R_{SF} > 50 kΩ)		10	—	0.6	—	
(VCO_{in} = 7.5 V ± 5.0 V, R_{SF} > 50 kΩ)		15	—	0.8	—	
ZENER DIODE						
Zener Voltage (I_Z = 50 μA)	V_Z	—	6.7	7.0	7.3	V
Dynamic Resistance (I_Z = 1.0 mA)	R_Z	—	—	100	—	Ω

6. The formula given is for the typical characteristics only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



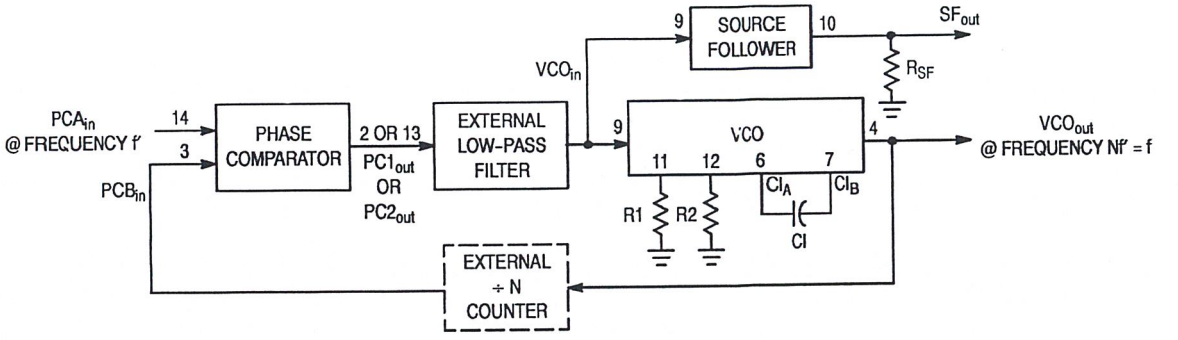
Refer to Waveforms in Figure 3.

Figure 1. Phase Comparators State Diagrams

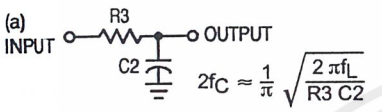
Characteristic	Using Phase Comparator 1	Using Phase Comparator 2
No signal on input PCA$_{in}$.	VCO in PLL system adjusts to center frequency (f_0).	VCO in PLL system adjusts to minimum frequency (f_{min}).
Phase angle between PCA$_{in}$ and PCB$_{in}$.	90° at center frequency (f_0), approaching 0° and 180° at ends of lock range ($2f_L$)	Always 0° in lock (positive rising edges).
Locks on harmonics of center frequency.	Yes	No
Signal input noise rejection.	High	Low
Lock frequency range ($2f_L$).	The frequency range of the input signal on which the loop will stay locked if it was initially in lock; $2f_L$ = full VCO frequency range = $f_{max} - f_{min}$.	
Capture frequency range ($2f_C$).	The frequency range of the input signal on which the loop will lock if it was initially out of lock.	
	Depends on low–pass filter characteristics (see Figure 3). $f_C \leq f_L$	$f_C = f_L$
Center frequency (f_0).	The frequency of VCO$_{out}$, when VCO$_{in}$ = 1/2 V_{DD}	
VCO output frequency (f). Note: These equations are intended to be a design guide. Since calculated component values may be in error by as much as a factor of 4, laboratory experimentation may be required for fixed designs. Part to part frequency variation with identical passive components is typically less than ± 20%.	$f_{min} = \frac{1}{R_2(C_1 + 32\ pF)}$ (V_{CO} input = V_{SS}) $f_{max} = \frac{1}{R_1(C_1 + 32\ pF)} + f_{min}$ (V_{CO} input = V_{DD}) Where: $10K \leq R_1 \leq 1\ M$ $10K \leq R_2 \leq 1\ M$ $100pF \leq C_1 \leq .01\ \mu F$	

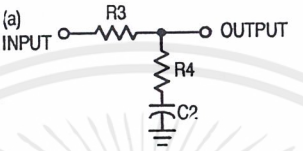
Figure 2. Design Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Typical Low–Pass Filters





Typically:

$$R_4 C_2 = \frac{6N}{f_{max}} - \frac{N}{2\pi\Delta f}$$

$$(R_3 + 3{,}000\Omega)\, C_2 = \frac{100N\Delta f}{f_{max}^2} - R_4 C_2$$

$$\Delta f = f_{max} - f_{min}$$

NOTE: Sometimes R3 is split into two series resistors each R3 ÷ 2. A capacitor C_C is then placed from the midpoint to ground. The value for C_C should be such that the corner frequency of this network does not significantly affect ω_n. In Figure B, the ratio of R3 to R4 sets the damping, R4 ≅ (0.1)(R3) for optimum results.

Definitions: N = Total division ratio in feedback loop
$K\phi = V_{DD}/\pi$ for Phase Comparator 1
$K\phi = V_{DD}/4\pi$ for Phase Comparator 2

$$K_{VCO} = \frac{2\pi\Delta f_{VCO}}{V_{DD} - 2\,V}$$

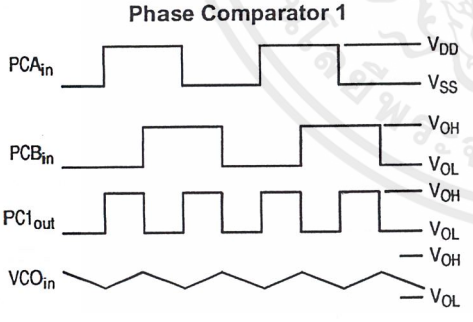
for a typical design $\omega_n \cong \frac{2\pi f_r}{10}$ (at phase detector input)

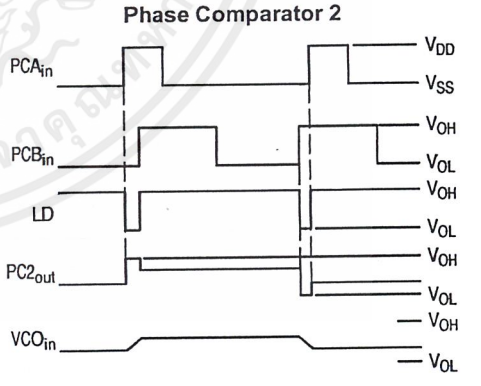
$\zeta \cong 0.707$

LOW–PASS FILTER

Filter A	Filter B
$\omega_n = \sqrt{\frac{K\phi KVCO}{NR_3C_2}}$	$\omega_n = \sqrt{\frac{K\phi KVCO}{NC_2(R_3 + R_4)}}$
$\zeta = \frac{N\omega_n}{2K\phi KVCO}$	$\zeta = 0.5\,\omega_n\,(R_3C_2 + \frac{N}{K\phi KVCO})$
$F(s) = \frac{1}{R_3C_2S + 1}$	$F(s) = \frac{R_3C_2S + 1}{S(R_3C_2 + R_4C_2) + 1}$

Waveforms





Note: for further information, see:

(1) F. Gardner, "Phase–Lock Techniques", John Wiley and Son, New York, 1966.
(2) G. S. Moschytz, "Miniature RC Filters Using Phase–Locked Loop", BSTJ, May, 1965.
(3) Garth Nash, "Phase–Lock Loop Design Fundamentals", AN–535, Motorola Inc.
(4) A. B. Przedpelski, "Phase–Locked Loop Design Articles", AR254, reprinted by Motorola Inc.

Figure 3. General Phase–Locked Loop Connections and Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC1496/D

MOTOROLA

MC1496, B

Balanced Modulators/ Demodulators

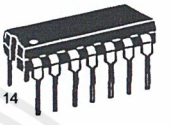
BALANCED MODULATORS/DEMODULATORS

SEMICONDUCTOR TECHNICAL DATA

These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
  –50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

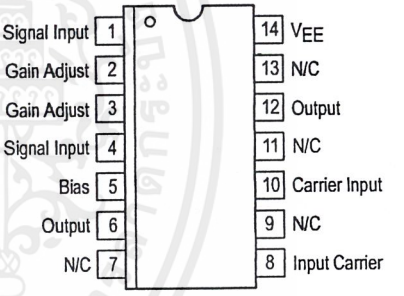
This device contains 8 active transistors.



D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN CONNECTIONS



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC1496D	T_A = 0°C to +70°C	SO–14
MC1496P		Plastic DIP
MC1496BP	T_A = –40°C to +125°C	Plastic DIP

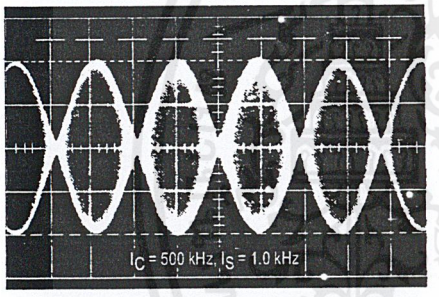


Figure 1. Suppressed Carrier Output Waveform

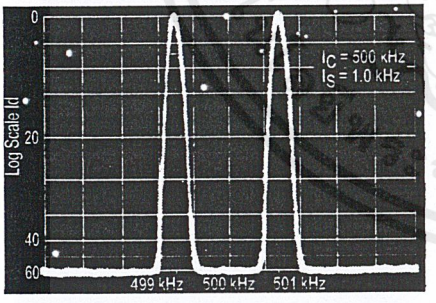


Figure 2. Suppressed Carrier Spectrum

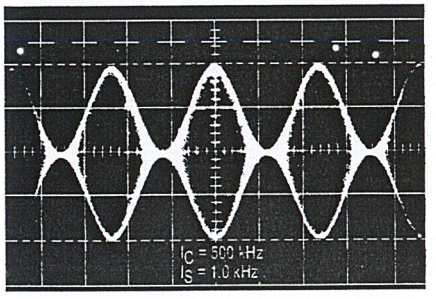
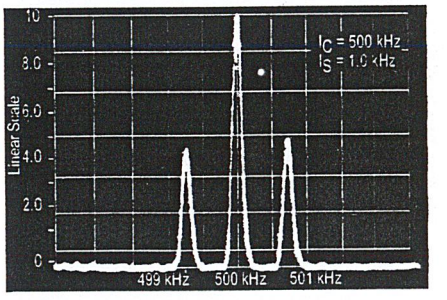


Figure 3. Amplitude Modulation Output Waveform

Figure 4. Amplitude–Modulation Spectrum



© Motorola, Inc. 1996

Rev 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V6 – V8, V10 – V1, V12 – V8, V12 – V10, V8 – V4, V8 – V1, V10 – V4, V6 – V10, V2 – V5, V3 – V5)	ΔV	30	Vdc
Differential Input Signal	V8 – V10 V4 – V1	+5.0 ±(5+I5R_e)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction–to–Air Plastic Dual In–Line Package	$R_{\theta JA}$	100	°C/W
Operating Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 Vdc, V_{EE} = –8.0 Vdc, I5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = T_{low} to T_{high}, all input and output characteristics are single–ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	Min	Typ	Max	Unit
Carrier Feedthrough	5	1	V_{CFT}				μVrms
V_C = 60 mVrms sine wave and offset adjusted to zero, f_C = 1.0 kHz				–	40	–	
f_C = 10 MHz				–	140	–	
V_C = 300 mVpp square wave:							mVrms
offset adjusted to zero, f_C = 1.0 kHz				–	0.04	0.4	
offset not adjusted, f_C = 1.0 kHz				–	20	200	
Carrier Suppression	5	2	V_{CS}				dB
f_S = 10 kHz, 300 mVrms							
f_C = 500 kHz, 60 mVrms sine wave				40	65	–	
f_C = 10 MHz, 60 mVrms sine wave				–	50	–	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 Ω)	8	8	BW_{3dB}				MHz
Carrier Input Port, V_C = 60 mVrms sine wave				–	300	–	
f_S = 1.0 kHz, 300 mVrms sine wave							
Signal Input Port, V_S = 300 mVrms sine wave				–	80	–	
$\lvert V_C \rvert$ = 0.5 Vdc							
Signal Gain (V_S = 100 mVrms, f = 1.0 kHz; $\lvert V_C \rvert$ = 0.5 Vdc)	10	3	A_{VS}	2.5	3.5	–	V/V
Single–Ended Input Impedance, Signal Port, f = 5.0 MHz	6	–					
Parallel Input Resistance			r_{ip}	–	200	–	kΩ
Parallel Input Capacitance			c_{ip}	–	2.0	–	pF
Single–Ended Output Impedance, f = 10 MHz	6	–					
Parallel Output Resistance			r_{op}	–	40	–	kΩ
Parallel Output Capacitance			c_{oo}	–	5.0	–	pF
Input Bias Current	7	–					μA
$I_{bS} = \frac{I1 + I4}{2}$; $I_{bC} = \frac{I8 + I10}{2}$			I_{bS} I_{bC}	– –	12 12	30 30	
Input Offset Current	7	–					μA
I_{ioS} = I1–I4; I_{ioC} = I8–I10			$\lvert I_{ioS} \rvert$ $\lvert I_{ioC} \rvert$	– –	0.7 0.7	7.0 7.0	
Average Temperature Coefficient of Input Offset Current (T_A = –55°C to +125°C)	7	–	$\lvert TC_{Iio} \rvert$	–	2.0	–	nA/°C
Output Offset Current (I6–I9)	7	–	$\lvert I_{oo} \rvert$	–	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = –55°C to +125°C)	7	–	$\lvert TC_{Ioo} \rvert$	–	90	–	nA/°C
Common–Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	–	5.0	–	Vpp
Common–Mode Gain, Signal Port, f_S = 1.0 kHz, $\lvert V_C \rvert$ = 0.5 Vdc	9	–	ACM	–	–85	–	dB
Common–Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V_{out}	–	8.0	–	Vpp
Differential Output Voltage Swing Capability	10	–	V_{out}	–	8.0	–	Vpp
Power Supply Current I6 +I12	7	6	I_{CC}	–	2.0	4.0	mAdc
I14			I_{EE}	–	3.0	5.0	
DC Power Dissipation	7	5	P_D	–	33	–	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal–input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input–signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single–ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26\ mV}{I5(mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I5.

$$V_S \leq I5\ R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1.0 V peak.

Common Mode Swing

The common–mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage–current products at each port, i.e. assuming V12 = V6, I5 = I6 = I12 and ignoring base current, P_D = 2 I5 (V6 – V14) + I5) V5 – V14 where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5. Assume:

$$I5 = I6 = I12,$$
$$I_B << I_C \text{ for all transistors}$$

then :

$$R5 = \frac{V - -\phi}{I5} - 500\ \Omega$$

where: R5 is the resistor between Pin 5 and ground
ϕ = 0.75 at T_A = +25°C

The MC1496 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common–Mode Quiescent Output Voltage

$$V6 = V12 = V+ - I5\ R_L$$

Biasing

The MC1496 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector–base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$$30\ Vdc \geq [(V6, V12) - (V8, V10)] \geq 2\ Vdc$$
$$30\ Vdc \geq [(V8, V10) - (V1, V4)] \geq 2.7\ Vdc$$
$$30\ Vdc \geq [(V1, V4) - (V5)] \geq 2.7\ Vdc$$

The foregoing conditions are based on the following approximations:

$$V6 = V12,\ V8 = V10,\ V1 = V4$$

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma 21C = \frac{i_o\ (\text{each sideband})}{v_s\ (\text{signal})} \Bigg|\ V_o = 0$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma 21S = \frac{i_o\ (\text{signal})}{v_s\ (\text{signal})} \Bigg|\ V_c = 0.5\ Vdc,\ V_o = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C1 and C2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

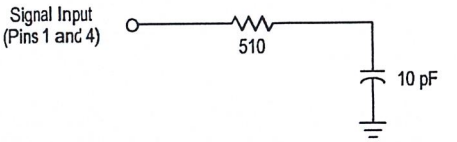
The output signal is taken from Pins 6 and 12 either balanced or single–ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single–ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source–tuned circuits that cause the oscillation.



An alternate method for low–frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

Figure 5. Carrier Rejection and Suppression

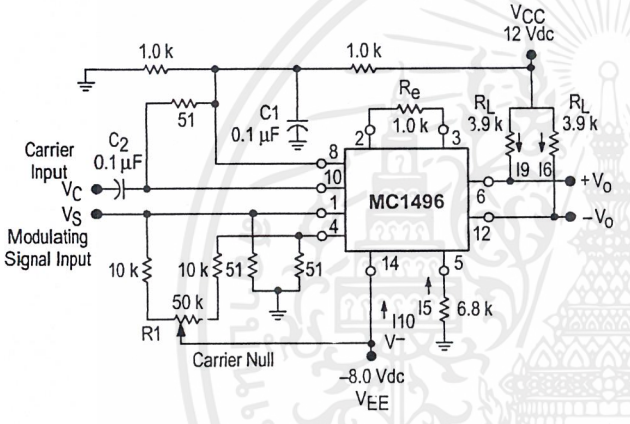
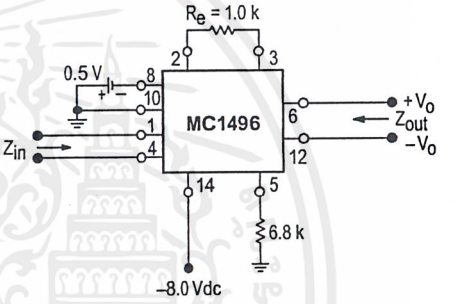


Figure 6. Input–Output Impedance



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

Figure 7. Bias and Offset Currents

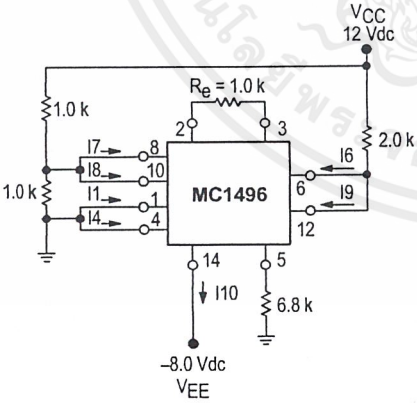
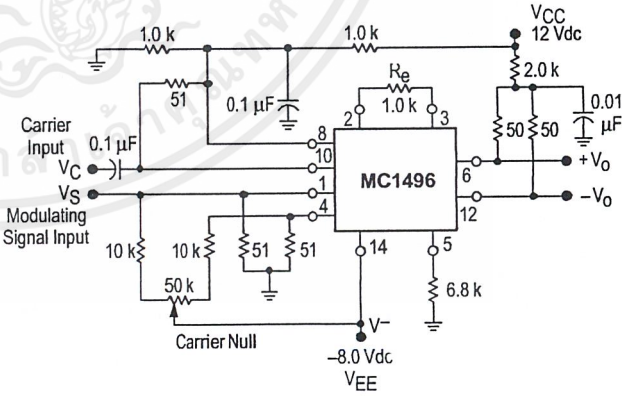


Figure 8. Transconductance Bandwidth



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Common Mode Gain

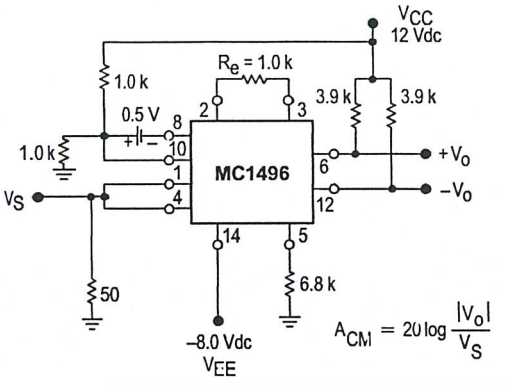
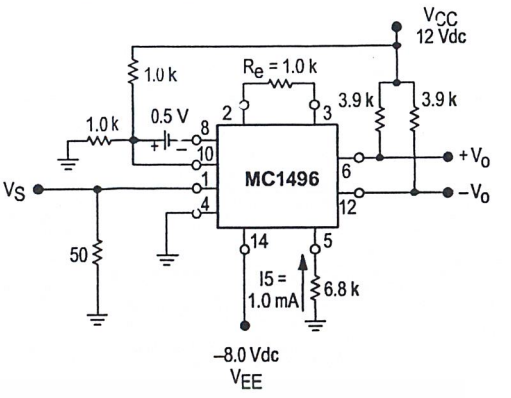


Figure 10. Signal Gain and Output Swing



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 11. Sideband Output versus Carrier Levels

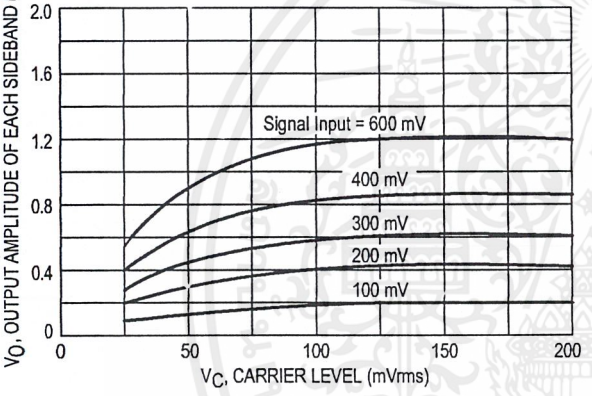


Figure 12. Signal–Port Parallel–Equivalent Input Resistance versus Frequency

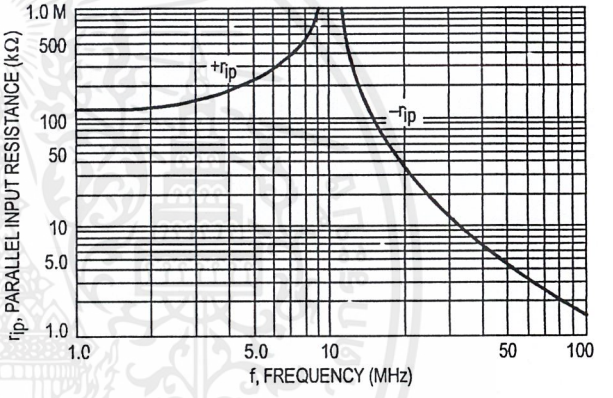


Figure 13. Signal–Port Parallel–Equivalent Input Capacitance versus Frequency

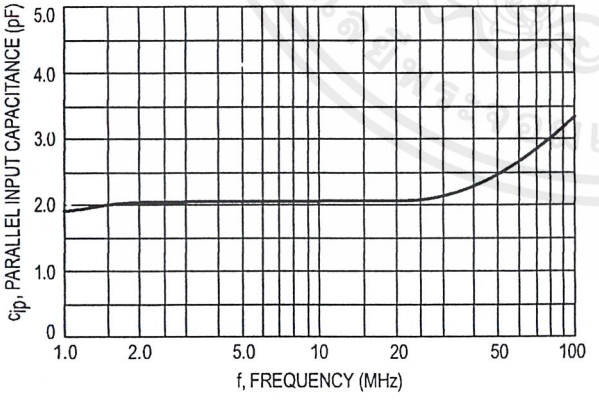
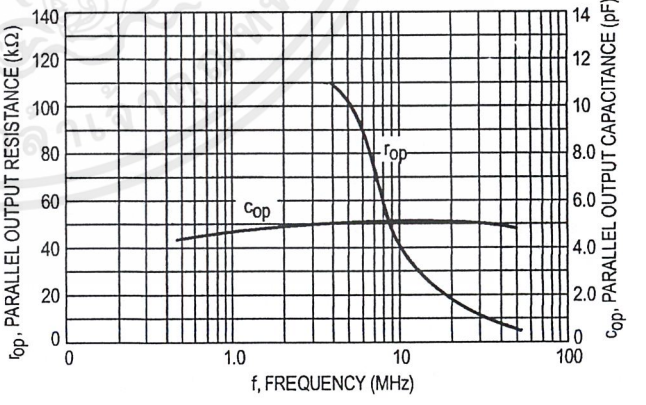


Figure 14. Single–Ended Output Impedance versus Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 15. Sideband and Signal Port Transadmittances versus Frequency

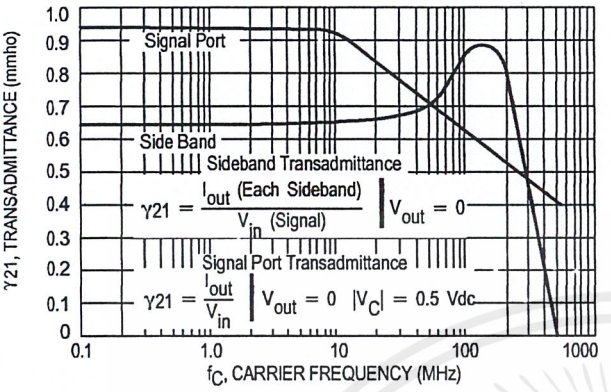


Figure 16. Carrier Suppression versus Temperature

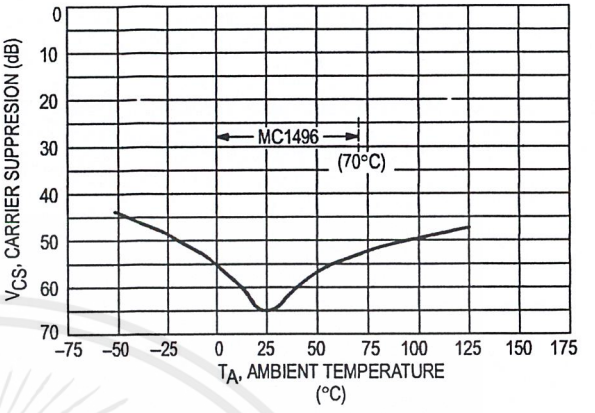


Figure 17. Signal–Port Frequency Response

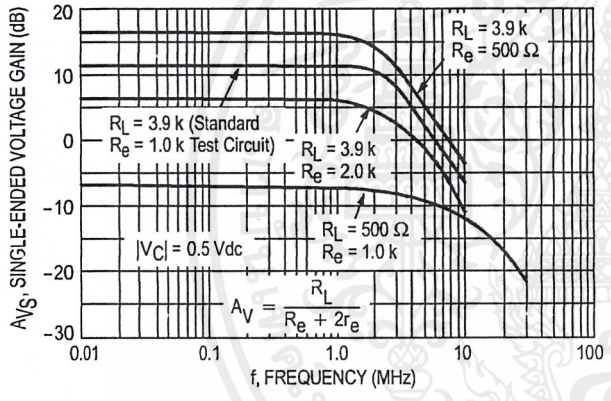


Figure 18. Carrier Suppression versus Frequency

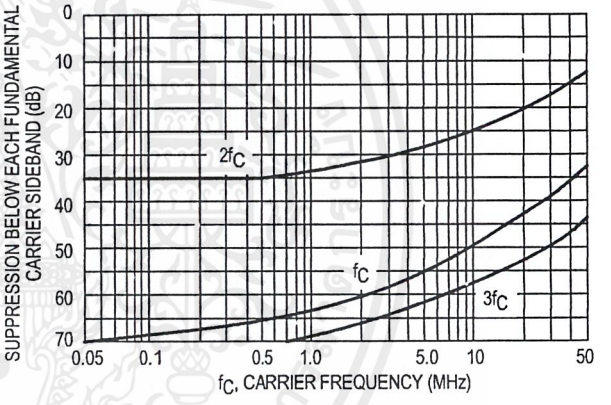


Figure 19. Carrier Feedthrough versus Frequency

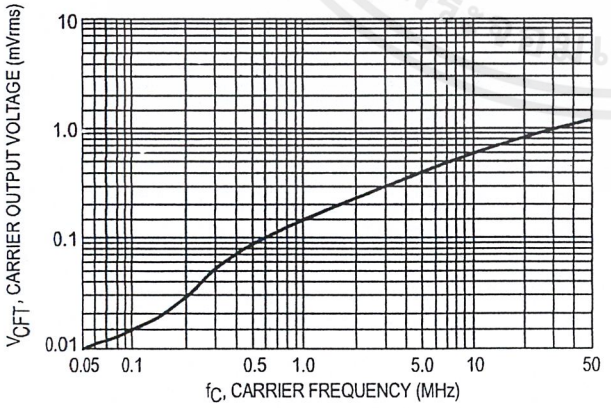
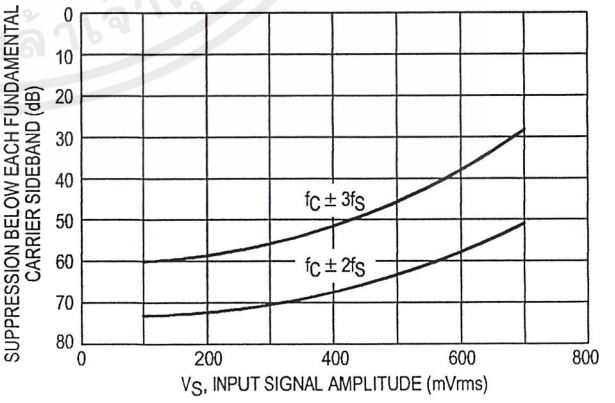


Figure 20. Sideband Harmonic Suppression versus Input Signal Level



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 21. Suppression of Carrier Harmonic Sidebands versus Carrier Frequency

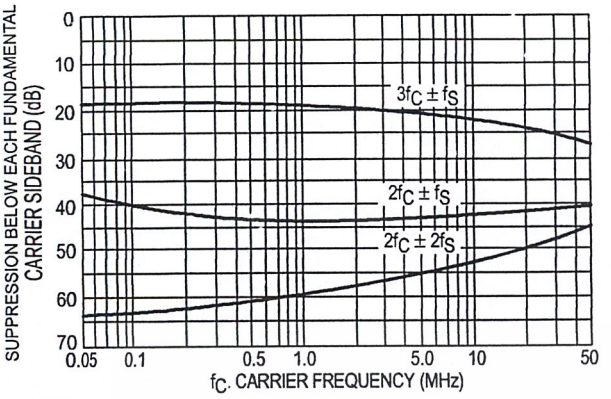
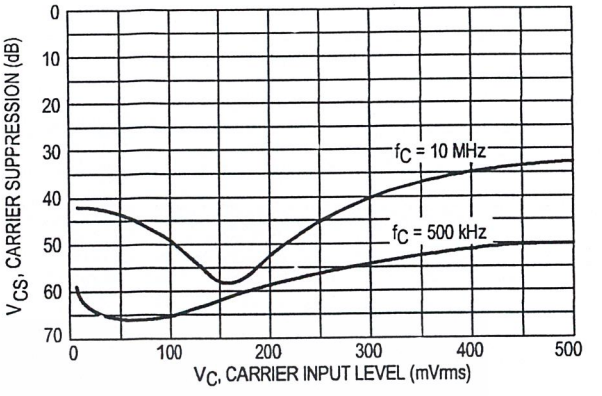


Figure 22. Carrier Suppression versus Carrier Input Level



OPERATIONS INFORMATION

The MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross–coupled so that full–wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low–level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high–level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I5)\,(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

Figure 23. Circuit Schematic

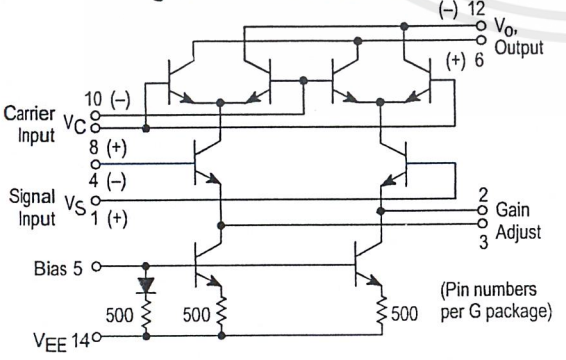
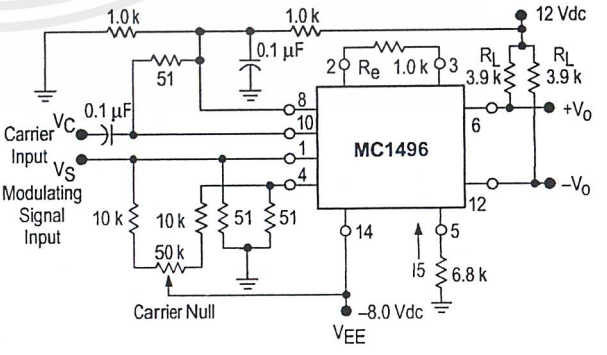


Figure 24. Typical Modulator Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 25. Voltage Gain and Output Frequencies

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low–level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High–level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low–level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High–level ac	$\frac{0.637\ R_L}{R_E + 2r_e}$	$f_C \pm f_M$, $3f_C \pm f_M$, $5f_C \pm f_M$, . . .

NOTES: 1. Low–level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single–ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between Pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at 25°C;

$$re \approx \frac{26\ mV}{I_5\ (mA)}$$

7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.

$$\frac{KT}{q} \approx 26\ mV \text{ at room temperature}$$

The gain from the modulating signal input port to the output is the MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1496 for a low–level modulating signal input and the following carrier input conditions:

1) Low–level dc
2) High–level dc
3) Low–level ac
4) High–level ac

These gains are summarized in Figure 25, along with the frequency components contained in the output signal.

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single 12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9.0 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on Pins 8 and 10 should be increased to 1.0 μF. Also, the output filter at Pin 12 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1496, the emitter resistance between Pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

amplifier. If the carrier signal is modulated, a 300 mVrms input level is recommended.

Doubly Balanced Mixer

The MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mVrms.

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1496 will function as a phase detector. High–level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Figure 26. Balanced Modulator (12 Vdc Single Supply)

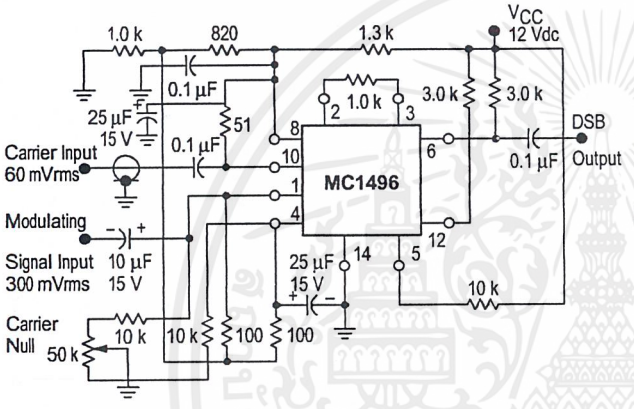


Figure 27. Balanced Modulator–Demodulator

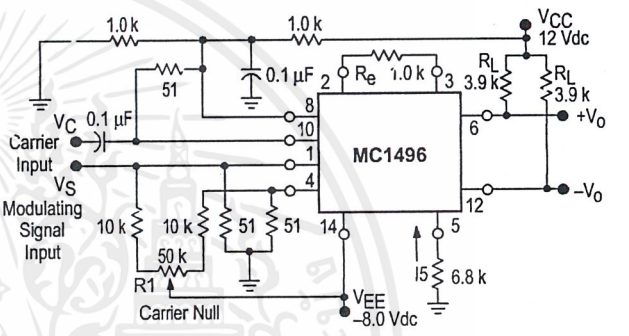


Figure 28. AM Modulator Circuit

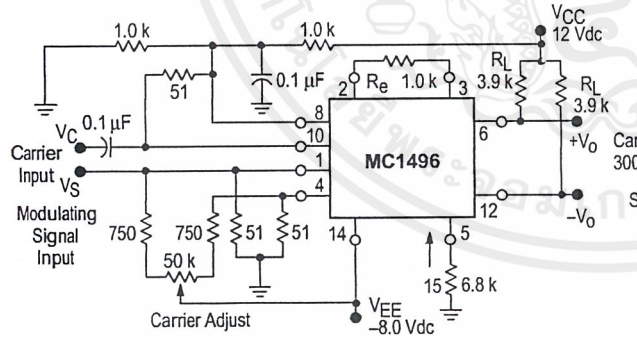
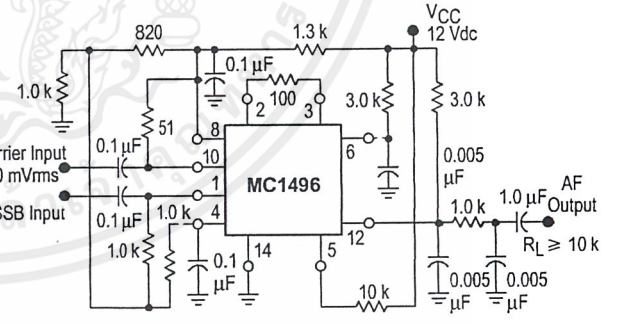
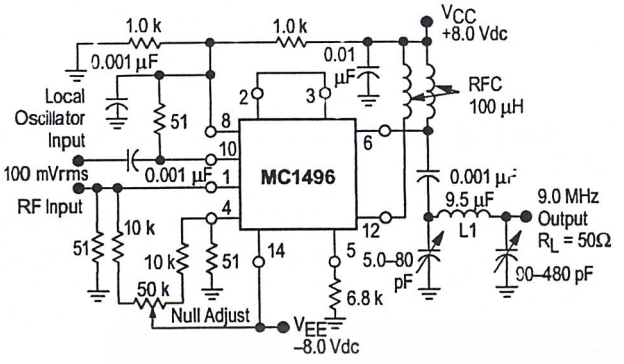


Figure 29. Product Detector (12 Vdc Single Supply)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 30. Doubly Balanced Mixer (Broadband Inputs, 9.0 MHz Tuned Output)



L1 = 44 Turns AWG No. 28 Enameled Wire, Wound on Micrometals Type 44–6 Toroid Core.

Figure 31. Low–Frequency Doubler

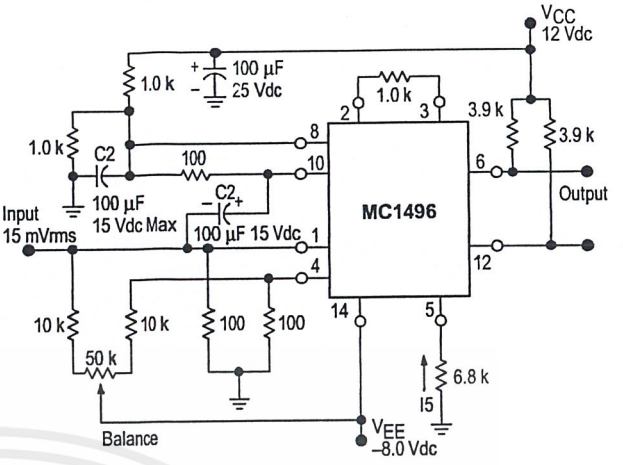
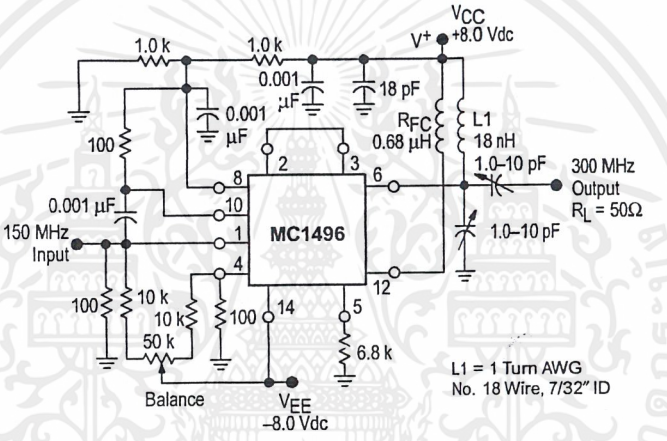
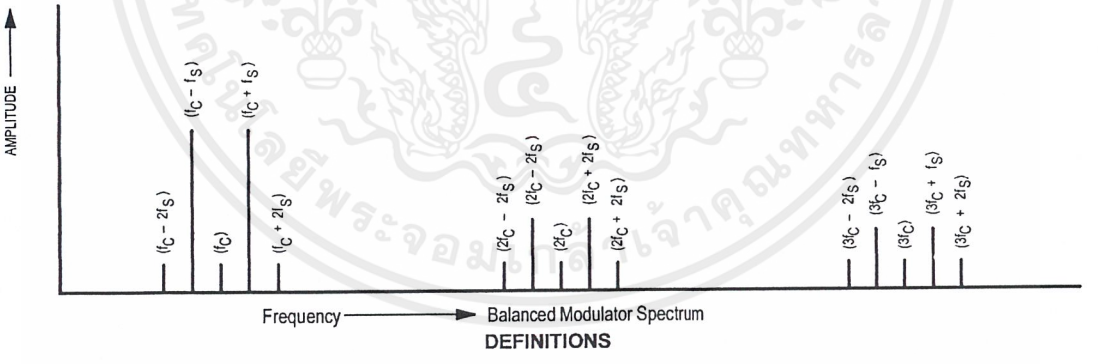


Figure 32. 150 to 300 MHz Doubler





DEFINITIONS

f_C	Carrier Fundamental
f_S	Modulating Signal
$f_C \pm f_S$	Fundamental Carrier Sidebands
$f_C \pm nf_S$	Fundamental Carrier Sideband Harmonics
nf_C	Carrier Harmonics
$nf_C \pm nf_S$	Carrier Harmonic Sidebands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

December 1995

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

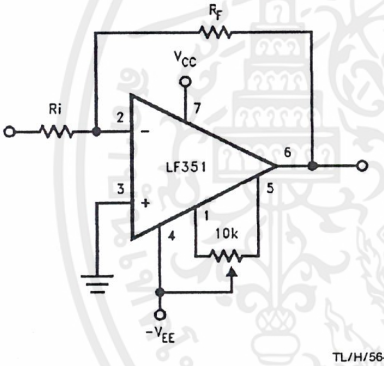
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

Features

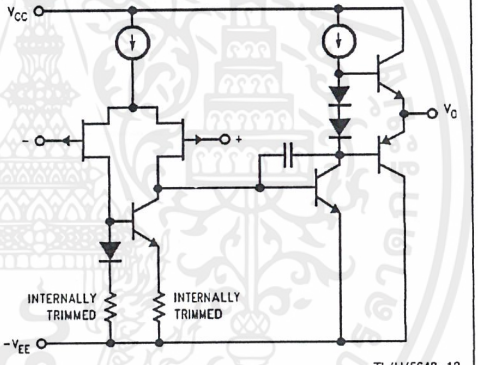
■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/$\sqrt{\text{Hz}}$
■ Low input noise current	0.01 pA/$\sqrt{\text{Hz}}$
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion A_V=10, R_L=10k, V_O=20 Vp-p, BW=20 Hz–20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection



TL/H/5648–11

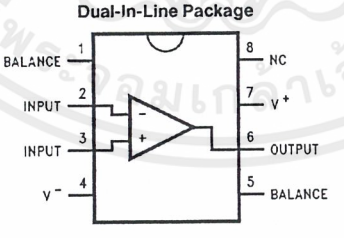
Simplified Schematic



TL/H/5648–12

Connection Diagrams

Dual-In-Line Package



TL/H/5648–13

Order Number LF351M or LF351N
See NS Package Number M08A or N08E

©1995 National Semiconductor Corporation TL/H/5648

RRD-B30M125/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C

θ_{jA}	
N Package	120°C/W
M Package	TBD
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	R_S = 10 kΩ, T_A = 25°C Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	R_S = 10 kΩ		10		µV/°C
I_{OS}	Input Offset Current	T_j = 25°C, (Notes 3, 4) $T_j \leq$ 70°C		25	100 4	pA nA
I_B	Input Bias Current	T_j = 25°C, (Notes 3, 4) $T_j \leq$ ±70°C		50	200 8	pA nA
R_{IN}	Input Resistance	T_j = 25°C		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	V_S = ±15V, T_A = 25°C V_O = ±10V, R_L = 2 kΩ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	V_S = ±15V, R_L = 10 kΩ	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	V_S = ±15V	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq$ 10 kΩ	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000$ Hz		25		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, $f = 1000$ Hz		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance, θ_{JA}.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

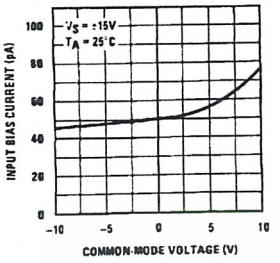
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From ±15V to ±5V.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

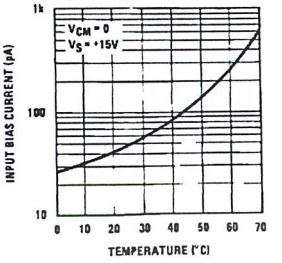
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

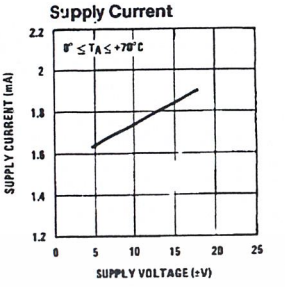
Input Bias Current



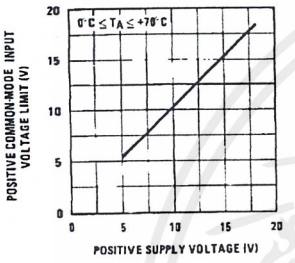
Input Bias Current



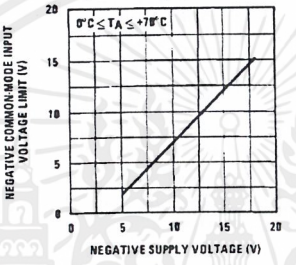
Supply Current



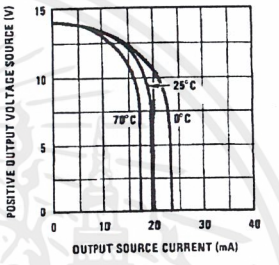
Positive Common-Mode Input Voltage Limit



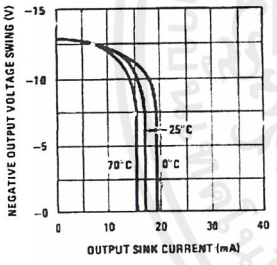
Negative Common-Mode Input Voltage Limit



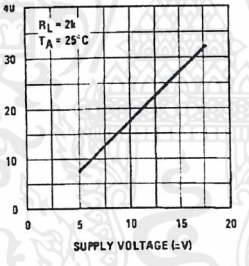
Positive Current Limit



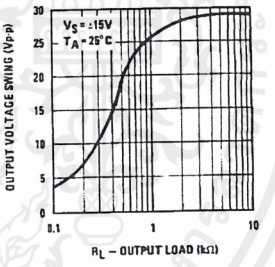
Negative Current Limit



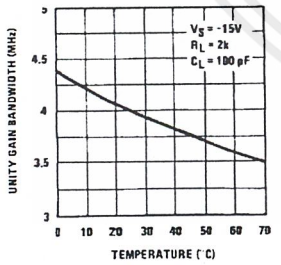
Voltage Swing



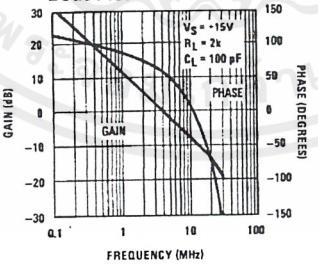
Output Voltage Swing



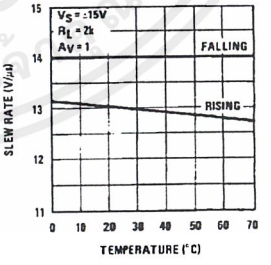
Gain Bandwidth



Bode Plot



Slew Rate

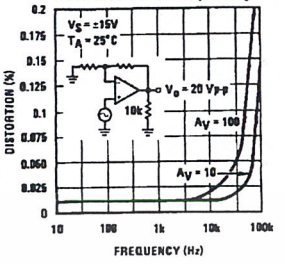


TL/H/5648–2

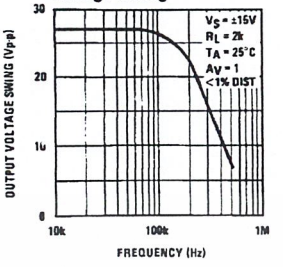
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

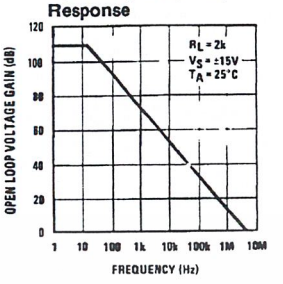
Distortion vs Frequency



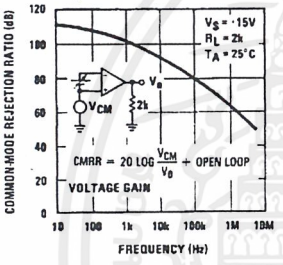
Undistorted Output Voltage Swing



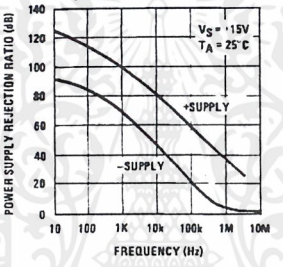
Open Loop Frequency Response



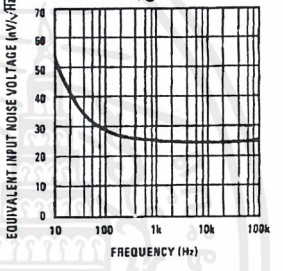
Common-Mode Rejection Ratio



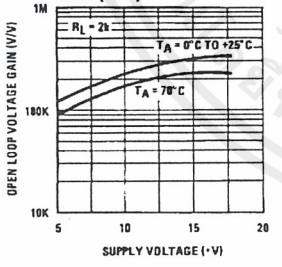
Power Supply Rejection Ratio



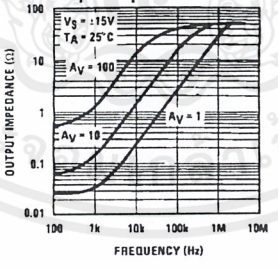
Equivalent Input Noise Voltage



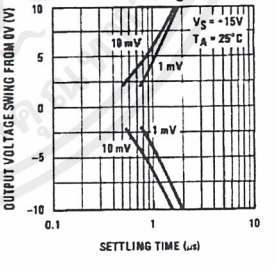
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

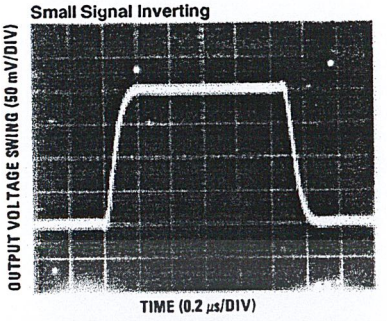


TL/H/5648–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

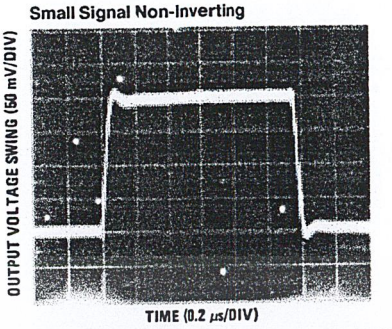
Pulse Response

Small Signal Inverting



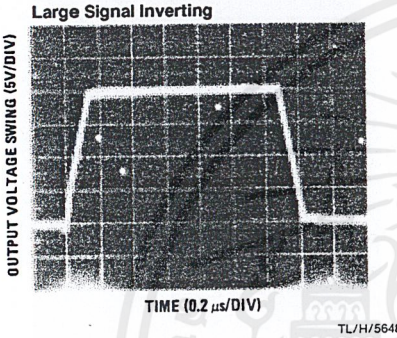
TL/H/5648–4

Small Signal Non-Inverting



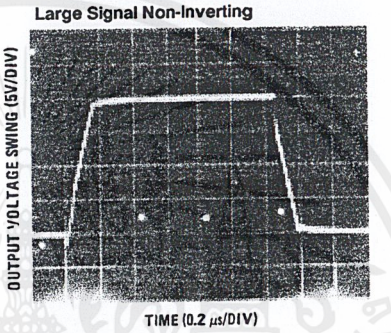
TL/H/5648–5

Large Signal Inverting



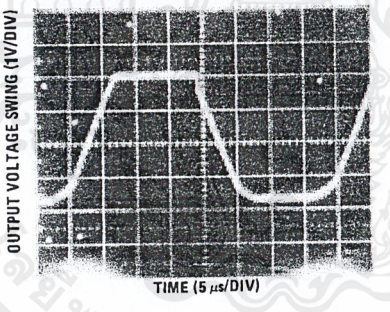
TL/H/5648–6

Large Signal Non-Inverting



TL/H/5648–7

Current Limit ($R_L = 100\Omega$)



TL/H/5648–8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

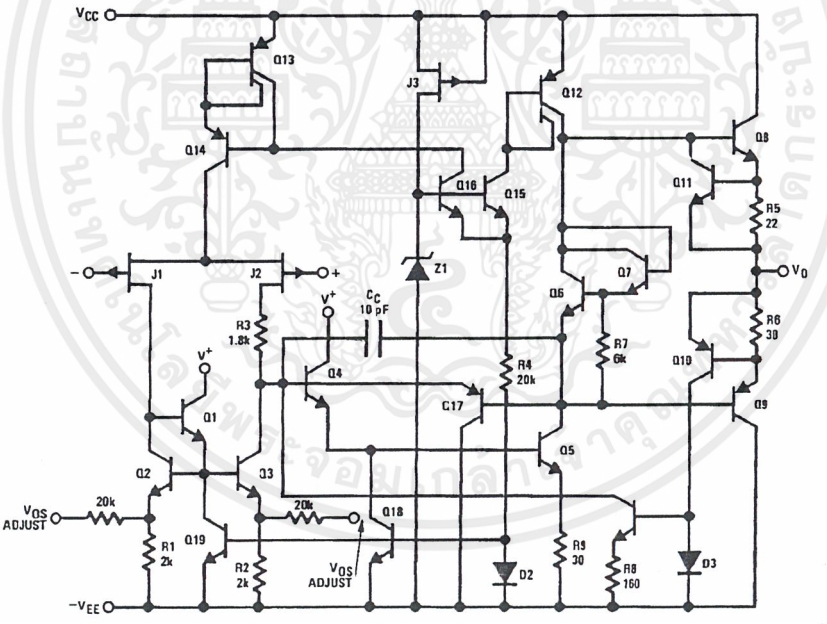
The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic

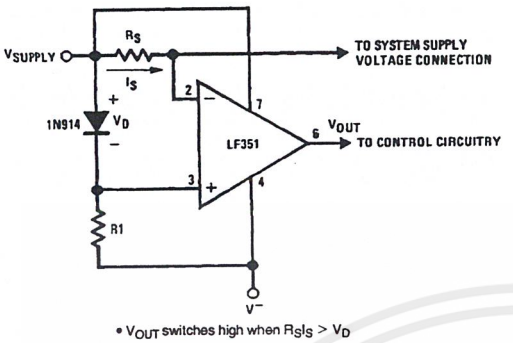


TL/H/5648–9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

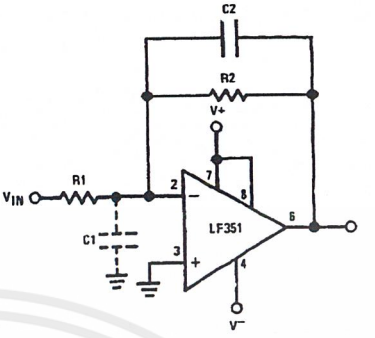
Typical Applications

Supply Current Indicator/Limiter



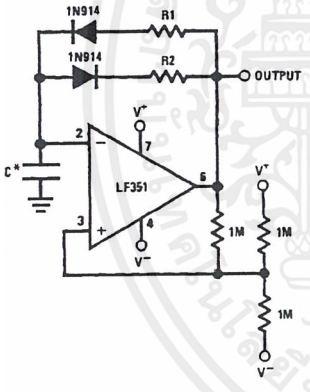
• V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≅ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that: R2C2 ≅ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator



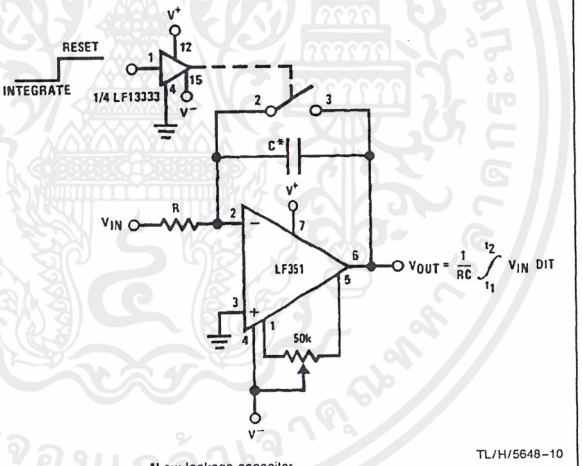
• $t_{OUTPUT\ HIGH} \cong R1C\ \ell n \frac{4.8 - 2V_S}{4.8 - V_S}$

• $t_{OUTPUT\ LOW} \cong R2C\ \ell n \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V^-|$

*low leakage capacitor

Long Time Integrator



*Low leakage capacitor

• 50k pot used for less sensitive V_{OS} adjust

TL/H/5648–10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS90
SN54/74LS92
SN54/74LS93

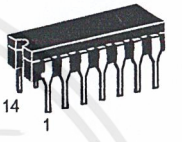
DECADE COUNTER; DIVIDE-BY-TWELVE COUNTER; 4-BIT BINARY COUNTER

DECADE COUNTER; DIVIDE-BY-TWELVE COUNTER; 4-BIT BINARY COUNTER

LOW POWER SCHOTTKY

The SN54/74LS90, SN54/74LS92 and SN54/74LS93 are high-speed 4-bit ripple type counters partitioned into two sections. Each counter has a divide-by-two section and either a divide-by-five (LS90), divide-by-six (LS92) or divide-by-eight (LS93) section which are triggered by a HIGH-to-LOW transition on the clock inputs. Each section can be used separately or tied together (Q to CP) to form BCD, bi-quinary, modulo-12, or modulo-16 counters. All of the counters have a 2-input gated Master Reset (Clear), and the LS90 also has a 2-input gated Master Set (Preset 9).

- Low Power Consumption . . . Typically 45 mW
- High Count Rates . . . Typically 42 MHz
- Choice of Counting Modes . . . BCD, Bi-Quinary, Divide-by-Twelve, Binary
- Input Clamp Diodes Limit High Speed Termination Effects



J SUFFIX
CERAMIC
CASE 632-08

N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

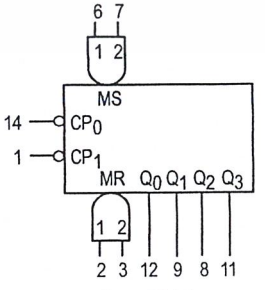
PIN NAMES

		LOADING (Note a) HIGH	LOW
$\overline{CP_0}$	Clock (Active LOW going edge) Input to ÷2 Section	0.5 U.L.	1.5 U.L.
$\overline{CP_1}$	Clock (Active LOW going edge) Input to ÷5 Section (LS90), ÷6 Section (LS92)	0.5 U.L.	2.0 U.L.
$\overline{CP_1}$	Clock (Active LOW going edge) Input to ÷8 Section (LS93)	0.5 U.L.	1.0 U.L.
MR_1, MR_2	Master Reset (Clear) Inputs	0.5 U.L.	0.25 U.L.
MS_1, MS_2	Master Set (Preset-9, LS90) Inputs	0.5 U.L.	0.25 U.L.
Q_0	Output from ÷2 Section (Notes b & c)	10 U.L.	5 (2.5) U.L.
Q_1, Q_2, Q_3	Outputs from ÷5 (LS90), ÷6 (LS92), ÷8 (LS93) Sections (Note b)	10 U.L.	5 (2.5) U.L.

NOTES:
a. 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b. The Output LOW drive factor is 2.5 U.L. for Military, (54) and 5 U.L. for commercial (74) Temperature Ranges.
c. The Q_0 Outputs are guaranteed to drive the full fan-out plus the $\overline{CP_1}$ input of the device.
d. To insure proper operation the rise (t_r) and fall time (t_f) of the clock must be less than 100 ns.

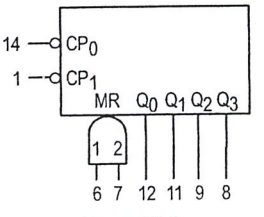
LOGIC SYMBOL

LS90



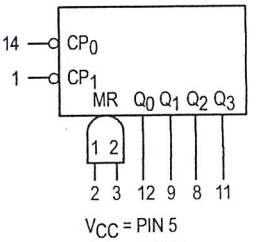
V_{CC} = PIN 5
GND = PIN 10
NC = PINS 4, 13

LS92



V_{CC} = PIN 5
GND = PIN 10
NC = PINS 2, 3, 4, 13

LS93

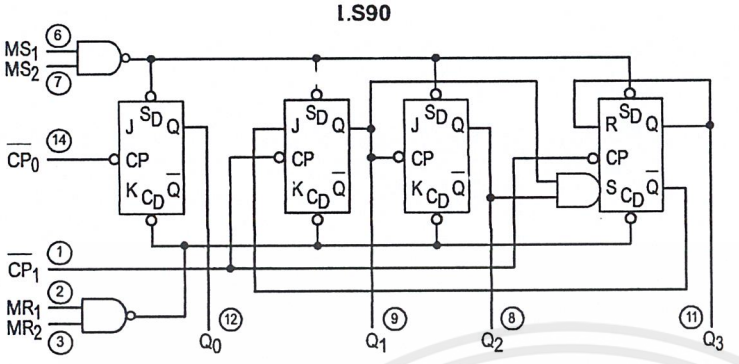


V_{CC} = PIN 5
GND = PIN 10
NC = PIN 4, 6, 7, 13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

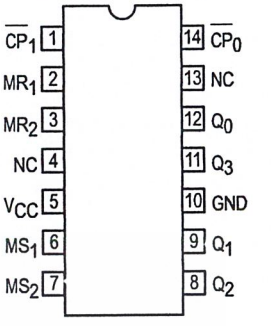
LOGIC DIAGRAM

LS90



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)

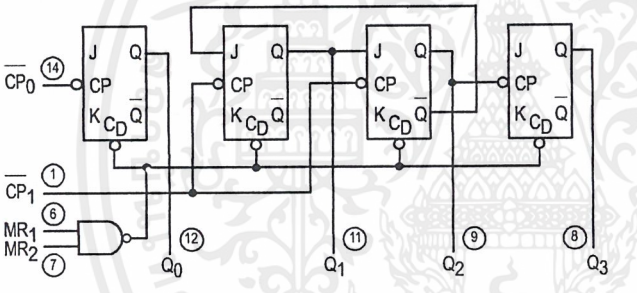


NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

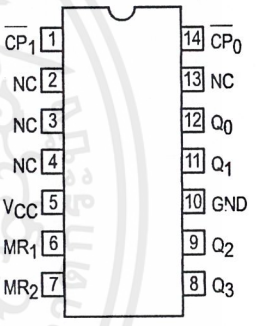
LOGIC DIAGRAM

LS92



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)

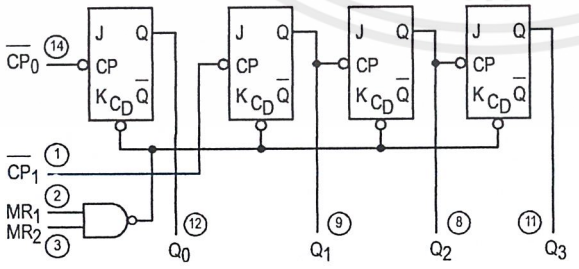


NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

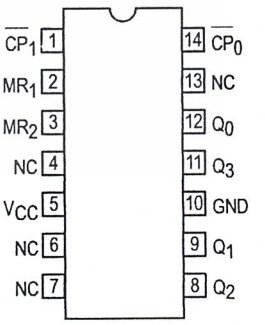
LOGIC DIAGRAM

LS93



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)



NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The LS90, LS92, and LS93 are 4-bit ripple type Decade, Divide-By-Twelve, and Binary Counters respectively. Each device consists of four master/slave flip-flops which are internally connected to provide a divide-by-two section and a divide-by-five (LS90), divide-by-six (LS92), or divide-by-eight (LS93) section. Each section has a separate clock input which initiates state changes of the counter on the HIGH-to-LOW clock transition. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used for clocks or strobes. The Q_0 output of each device is designed and specified to drive the rated fan-out plus the CP_1 input of the device.

A gated AND asynchronous Master Reset ($MR_1 \bullet MR_2$) is provided on all counters which overrides and clocks and resets (clears) all the flip-flops. A gated AND asynchronous Master Set ($MS_1 \bullet MS_2$) is provided on the LS90 which overrides the clocks and the MR inputs and sets the outputs to nine (HLLH).

Since the output from the divide-by-two section is not internally connected to the succeeding stages, the devices may be operated in various counting modes.

LS90

A. BCD Decade (8421) Counter — The $\overline{CP_1}$ input must be externally connected to the Q_0 output. The CP_0 input receives the incoming count and a BCD count sequence is produced.

B. Symmetrical Bi-quinary Divide-By-Ten Counter — The Q_3 output must be externally connected to the CP_0 input. The input count is then applied to the CP_1 input and a divide-by-ten square wave is obtained at output Q_0.

C. Divide-By-Two and Divide-By-Five Counter — No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function (CP_0 as the input and Q_0 as the output). The CP_1 input is used to obtain binary divide-by-five operation at the Q_3 output.

LS92

A. Modulo 12, Divide-By-Twelve Counter — The $\overline{CP_1}$ input must be externally connected to the Q_0 output. The CP_0 input receives the incoming count and Q_3 produces a symmetrical divide-by-twelve square wave output.

B. Divide-By-Two and Divide-By-Six Counter —No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function. The CP_1 input is used to obtain divide-by-three operation at the Q_1 and Q_2 outputs and divide-by-six operation at the Q_3 output.

LS93

A. 4-Bit Ripple Counter — The output Q_0 must be externally connected to input CP_1. The input count pulses are applied to input CP_0. Simultaneous divisions of 2, 4, 8, and 16 are performed at the Q_0, Q_1, Q_2, and Q_3 outputs as shown in the truth table.

B. 3-Bit Ripple Counter— The input count pulses are applied to input CP_1. Simultaneous frequency divisions of 2, 4, and 8 are available at the Q_1, Q_2, and Q_3 outputs. Independent use of the first flip-flop is available if the reset function coincides with reset of the 3-bit ripple-through counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LS90
MODE SELECTION

RESET/SET INPUTS				OUTPUTS			
MR_1	MR_2	MS_1	MS_2	Q_0	Q_1	Q_2	Q_3
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
X	L	L	X	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS92 AND LS93
MODE SELECTION

RESET INPUTS		OUTPUTS			
MR_1	MR_2	Q_0	Q_1	Q_2	Q_3
H	H	L	L	L	L
L	H	Count			
H	L	Count			
L	L	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS90
BCD COUNT SEQUENCE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

NOTE: Output Q_0 is connected to Input CP_1 for BCD count.

LS92
TRUTH TABLE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	L	L	H
7	H	L	L	H
8	L	H	L	H
9	H	H	L	H
10	L	L	H	H
11	H	L	H	H

NOTE: Output Q_0 is connected to Input CP_1.

LS93
TRUTH TABLE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H
10	L	H	L	H
11	H	H	L	H
12	L	L	H	H
13	H	L	H	H
14	L	H	H	H
15	H	H	H	H

NOTE: Output Q_0 is connected to Input CP_1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN74LS164

Serial-In Parallel-Out Shift Register

The SN74LS164 is a high speed 8-Bit Serial-In Parallel-Out Shift Register. Serial data is entered through a 2-Input AND gate synchronous with the LOW to HIGH transition of the clock. The device features an asynchronous Master Reset which clears the register setting all outputs LOW independent of the clock. It utilizes the Schottky diode clamped process to achieve high speeds and is fully compatible with all ON Semiconductor TTL products.

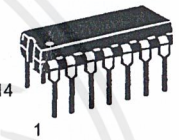
- Typical Shift Frequency of 35 MHz
- Asynchronous Master Reset
- Gated Serial Data Input
- Fully Synchronous Data Transfers
- Input Clamp Diodes Limit High Speed Termination Effects
- ESD > 3500 Volts

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current – High			–0.4	mA
I_{OL}	Output Current – Low			8.0	mA

ON Semiconductor
Formerly a Division of Motorola
http://onsemi.com

LOW POWER SCHOTTKY



PLASTIC N SUFFIX CASE 646

SOIC D SUFFIX CASE 751A

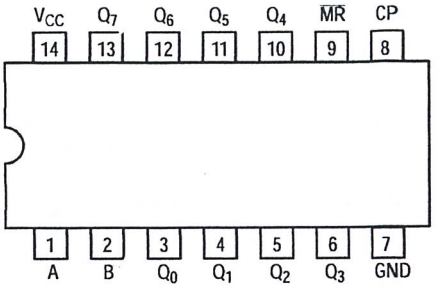
ORDERING INFORMATION

Device	Package	Shipping
SN74LS164N	14 Pin DIP	2000 Units/Box
SN74LS164D	14 Pin	2500/Tape & Reel

© Semiconductor Components Industries, LLC, 1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONNECTION DIAGRAM DIP (TOP VIEW)



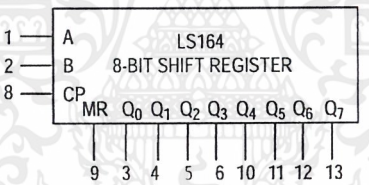
NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES

		LOADING (Note a) HIGH	LOW
A, B	Data Inputs	0.5 U.L.	0.25 U.L.
CP	Clock (Active HIGH Going Edge) Input	0.5 U.L.	0.25 U.L.
$\overline{MR}$	Master Reset (Active LOW) Input	0.5 U.L.	0.25 U.L.
$Q_0 - Q_7$	Outputs	10 U.L.	5 U.L.

NOTES:
a) 1 TTL Unit Load (U.L.) = 40 μA HIGH/1.6 mA LOW.

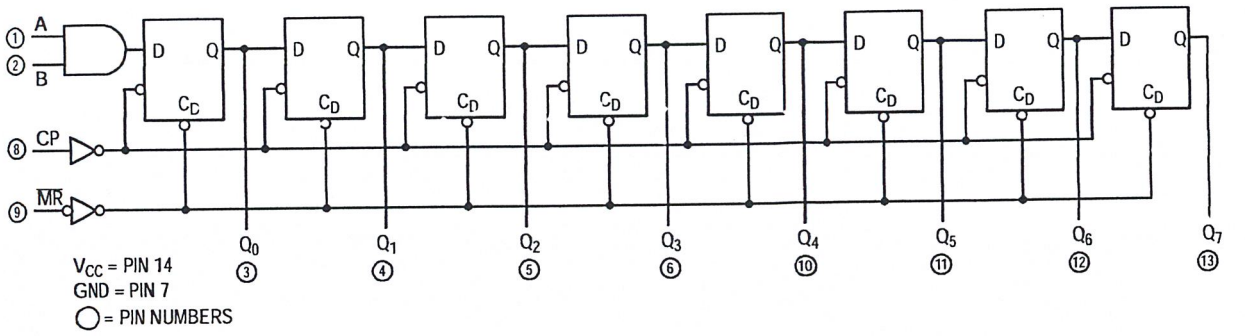
LOGIC SYMBOL



V_{CC} = PIN 14
GND = PIN 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



FUNCTIONAL DESCRIPTION

The LS164 is an edge-triggered 8-bit shift register with serial data entry and an output from each of the eight stages. Data is entered serially through one of two inputs (A or B); either of these inputs can be used as an active HIGH Enable for data entry through the other input. An unused input must be tied HIGH, or both inputs connected together.

Each LOW-to-HIGH transition on the Clock (CP) input shifts data one place to the right and enters into Q_0 the logical AND of the two data inputs (A•B) that existed before the rising clock edge. A LOW level on the Master Reset ($\overline{MR}$) input overrides all other inputs and clears the register asynchronously, forcing all Q outputs LOW.

MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	$\overline{MR}$	A	B	Q_0	Q_1–Q_7
Reset (Clear)	L	X	X	L	L – L
Shift	H	l	l	L	$q_0 - q_6$
	H	l	h	L	$q_0 - q_6$
	H	h	l	L	$q_0 - q_6$
	H	h	h	H	$q_0 - q_6$

L (l) = LOW Voltage Levels
H (h) = HIGH Voltage Levels
X = Don't Care
q_n = Lower case letters indicate the state of the referenced input or output one set-up time prior to the LOW to HIGH clock transition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN74LS165

8-Bit Parallel-to-Serial Shift Register

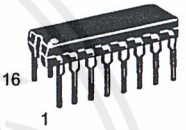
The SN74LS165 is an 8-bit parallel load or serial-in register with complementary outputs available from the last stage. Parallel inputing occurs asynchronously when the Parallel Load ($\overline{PL}$) input is LOW. With $\overline{PL}$ HIGH, serial shifting occurs on the rising edge of the clock; new data enters via the Serial Data (DS) input. The 2-input OR clock can be used to combine two independent clock sources, or one input can act as an active LOW clock enable.

ON Semiconductor
Formerly a Division of Motorola
http://onsemi.com

LOW POWER SCHOTTKY

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current – High			–0.4	mA
I_{OL}	Output Current – Low			8.0	mA



PLASTIC
N SUFFIX
CASE 648

SOIC
D SUFFIX
CASE 751B

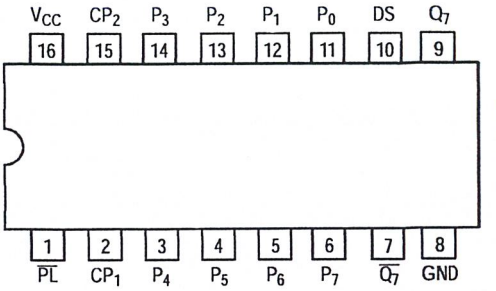
ORDERING INFORMATION

Device	Package	Shipping
SN74LS165N	16 Pin DIP	2000 Units/Box
SN74LS165D	16 Pin	2500/Tape & Reel

© Semiconductor Components Industries, LLC, 1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONNECTION DIAGRAM DIP (TOP VIEW)

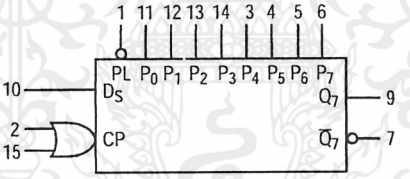


NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES		LOADING (Note a) HIGH	LOW
CP_1, CP_2	Clock (LOW-to-HIGH Going Edge) Inputs	0.5 U.L.	0.25 U.L.
DS	Serial Data Input	0.5 U.L.	0.25 U.L.
$\overline{PL}$	Asynchronous Parallel Load (Active LOW) Input	1.5 U.L.	0.75 U.L.
$P_0 - P_7$	Parallel Data Inputs	0.5 U.L.	0.25 U.L.
Q_7	Serial Output from Last State	10 U.L.	5 U.L.
$\overline{Q_7}$	Complementary Output	10 U.L.	5 U.L.

NOTES:
a) 1 TTL Unit l oad (U.L.) = 40 μA HIGH/1.6 mA LOW.

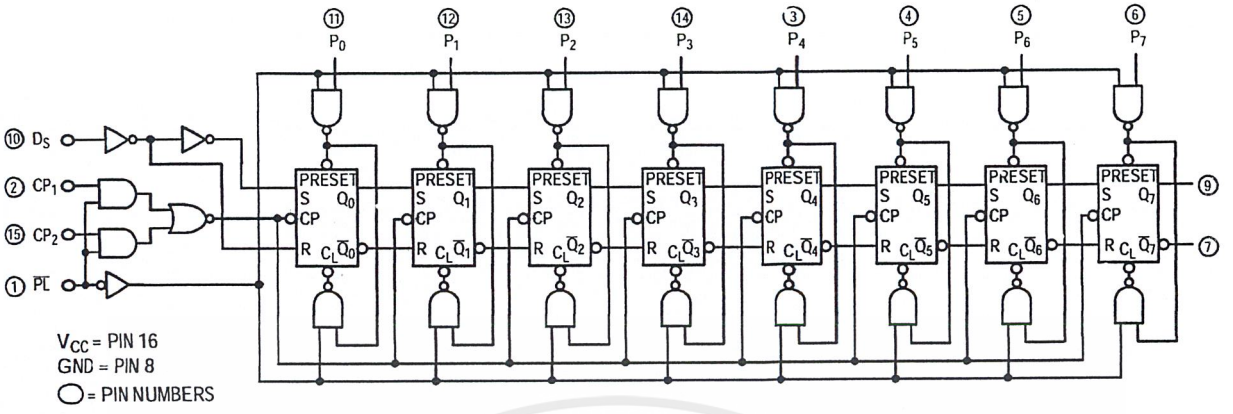
LOGIC SYMBOL



V_{CC} = PIN 16
GND = PIN 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



FUNCTIONAL DESCRIPTION

The SN74LS165 contains eight clocked master/slave RS flip-flops connected as a shift register, with auxiliary gating to provide overriding asynchronous parallel entry. Parallel data enters when the $\overline{PL}$ signal is LOW. The parallel data can change while $\overline{PL}$ is LOW, provided that the recommended setup and hold times are observed.

For clock operation, $\overline{PL}$ must be HIGH. The two clock inputs perform identically; one can be used as a clock inhibit by applying a HIGH signal. To avoid double clocking, however, the inhibit signal should only go HIGH while the clock is HIGH. Otherwise, the rising inhibit signal will cause the same response as a rising clock edge. The flip-flops are edge-triggered for serial operations. The serial input data can change at any time, provided only that the recommended setup and hold times are observed, with respect to the rising edge of the clock.

TRUTH TABLE

$\overline{PL}$	CP		CONTENTS								RESPONSE
	1	2	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	
L	X	X	P_0	P_1	P_2	P_3	P_4	P_5	P_6	P_7	Parallel Entry
H	L	↓	D_S	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Right Shift
H	H	↓	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	No Change
H	↓	L	D_S	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Right Shift
H	↓	H	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	No Change

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN74LS174

Hex D Flip-Flop

The LSTTL/MSI SN74LS174 is a high speed Hex D Flip-Flop. The device is used primarily as a 6-bit edge-triggered storage register. The information on the D inputs is transferred to storage during the LOW to HIGH clock transition. The device has a Master Reset to simultaneously clear all flip-flops. The LS174 is fabricated with the Schottky barrier diode process for high speed and is completely compatible with all ON Semiconductor TTL families.

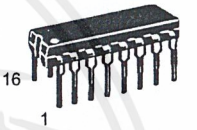
- Edge-Triggered D-Type Inputs
- Buffered-Positive Edge-Triggered Clock
- Asynchronous Common Reset
- Input Clamp Diodes Limit High Speed Termination Effects

ON Semiconductor
Formerly a Division of Motorola
http://onsemi.com

LOW POWER SCHOTTKY

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current – High			–0.4	mA
I_{OL}	Output Current – Low			8.0	mA



PLASTIC
N SUFFIX
CASE 648

SOIC
D SUFFIX
CASE 751B

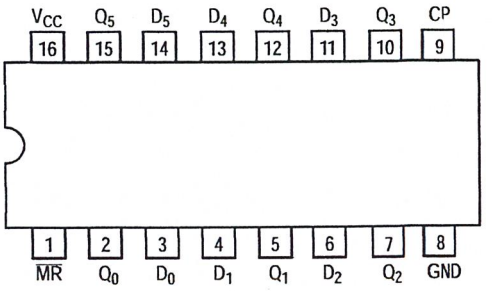
ORDERING INFORMATION

Device	Package	Shipping
SN74LS174N	16 Pin DIP	2000 Units/Box
SN74LS174D	16 Pin	2500/Tape & Reel

© Semiconductor Components Industries, LLC, 1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONNECTION DIAGRAM DIP (TOP VIEW)

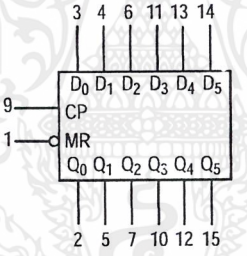


NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES		LOADING (Note a) HIGH	LOW
$D_0 - D_5$	Data Inputs	0.5 U.L.	0.25 U.L.
CP	Clock (Active HIGH Going Edge) Input	0.5 U.L.	0.25 U.L.
$\overline{MR}$	Master Reset (Active LOW) Input	0.5 U.L.	0.25 U.L.
$Q_0 - Q_5$	Outputs	10 U.L.	5 U.L.

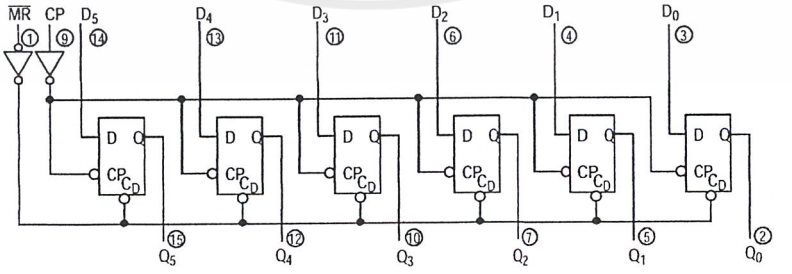
NOTES:
a) 1 TTL Unit Load (U.L.) = 40 μA HIGH/1.6 mA LOW.

LOGIC SYMBOL



V_{CC} = PIN 16
GND = PIN 8

LOGIC DIAGRAM



V_{CC} = PIN 16
GND = PIN 8
◯ = PIN NUMBERS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The LS174 consists of six edge-triggered D flip-flops with individual D inputs and Q outputs. The Clock (CP) and Master Reset ($\overline{MR}$) are common to all flip-flops.

Each D input's state is transferred to the corresponding flip-flop's output following the LOW to HIGH Clock (CP) transition.

A LOW input to the Master Reset ($\overline{MR}$) will force all outputs LOW independent of Clock or Data inputs. The LS174 is useful for applications where the true output only is required and the Clock and Master Reset are common to all storage elements.

TRUTH TABLE

Inputs (t = n, $\overline{MR}$ = H)	Outputs (t = n+1) Note 1
D	Q
H	H
L	L

Note 1: t = n + 1 indicates conditions after next clock.

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits Min	Limits Typ	Limits Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage			0.8	V	Guaranteed Input LOW Voltage for All Inputs	
V_{IK}	Input Clamp Diode Voltage		−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	2.7	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
V_{OL}	Output LOW Voltage		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
			0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current			20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
				0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current			−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)	−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current			26	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN74LS175

Quad D Flip-Flop

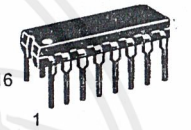
The LSTTL/MSI SN74LS175 is a high speed Quad D Flip-Flop. The device is useful for general flip-flop requirements where clock and clear inputs are common. The information on the D inputs is stored during the LOW to HIGH clock transition. Both true and complemented outputs of each flip-flop are provided. A Master Reset input resets all flip-flops, independent of the Clock or D inputs, when LOW.

The LS175 is fabricated with the Schottky barrier diode process for high speed and is completely compatible with all ON Semiconductor TTL families.

- Edge-Triggered D-Type Inputs
- Buffered-Positive Edge-Triggered Clock
- Clock to Output Delays of 30 ns
- Asynchronous Common Reset
- True and Complement Output
- Input Clamp Diodes Limit High Speed Termination Effects

ON Semiconductor
Formerly a Division of Motorola
http://onsemi.com

LOW POWER SCHOTTKY



PLASTIC N SUFFIX CASE 648

SOIC D SUFFIX CASE 751B

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current – High			–0.4	mA
I_{OL}	Output Current – Low			8.0	mA

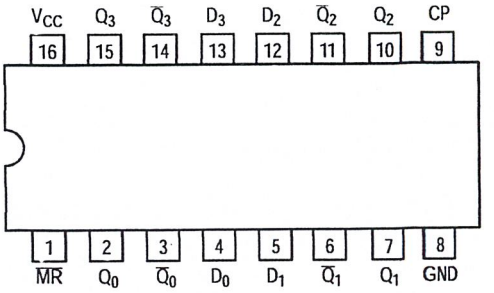
ORDERING INFORMATION

Device	Package	Shipping
SN74LS175N	16 Pin DIP	2000 Units/Box
SN74LS175D	16 Pin	2500/Tape & Reel

© Semiconductor Components Industries, LLC, 1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONNECTION DIAGRAM DIP (TOP VIEW)



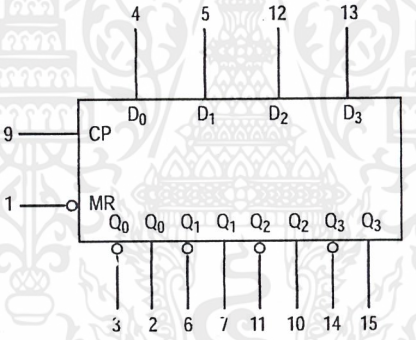
NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES

		LOADING (Note a) HIGH	LOW
$D_0 - D_3$	Data Inputs	0.5 U.L.	0.25 U.L.
CP	Clock (Active HIGH Going Edge) Input	0.5 U.L.	0.25 U.L.
$\overline{MR}$	Master Reset (Active LOW) Input	0.5 U.L.	0.25 U.L.
$Q_0 - Q_3$	True Outputs	10 U.L.	5 U.L.
$\overline{Q}_0 - \overline{Q}_3$	Complemented Outputs	10 U.L.	5 U.L.

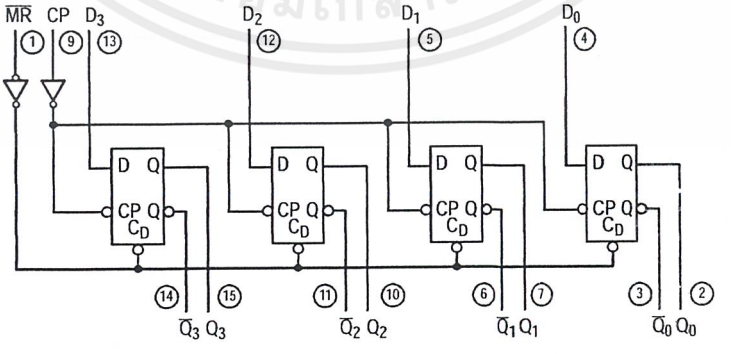
NOTES:
a) 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.

LOGIC SYMBOL



V_{CC} = PIN 16
GND = PIN 8

LOGIC DIAGRAM



V_{CC} = PIN 16
GND = PIN 8
◯ = PIN NUMBERS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The LS175 consists of four edge-triggered D flip-flops with individual D inputs and Q and $\overline{Q}$ outputs. The Clock and Master Reset are common. The four flip-flops will store the state of their individual D inputs on the LOW to HIGH Clock (CP) transition, causing individual Q and $\overline{Q}$ outputs to follow. A LOW input on the Master Reset ($\overline{MR}$) will force all Q outputs LOW and $\overline{Q}$ outputs HIGH independent of Clock or Data inputs.

The LS175 is useful for general logic applications where a common Master Reset and Clock are acceptable.

TRUTH TABLE

Inputs (t = n, $\overline{MR}$ = H)	Outputs (t = n+1) Note 1	
D	Q	$\overline{Q}$
L	L	H
H	H	L

Note 1: t = n + 1 indicates conditions after next clock.

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage			0.8	V	Guaranteed Input LOW Voltage for All Inputs	
V_{IK}	Input Clamp Diode Voltage		−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	2.7	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
V_{OL}	Output LOW Voltage		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
			0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current			20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
				0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current			−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)	−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current			18	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] J.Hilburn and D.E.Johnson , " Manual of Active Filter Design ," McGraw-Hill , 1973

[2] นิกร สุขุตมขันติ, " การออกแบบวงจรอิเล็คทรอนิกส์ ," สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ,2533

[3] รศ.ดร.สิทธิชัย โภไคยอุดม ,รศ.ดร.พีรศักดิ์ วงรสุนทโรสถ และโตะมิโอะ อิวะสะกิ, " ทฤษฎีและการคำนวณวงจรอิเล็กทรอนิกส์", บริษัท ซีเอ็ดยูเคชั่น จำกัด , 2532

[4] John G. Proakis , " Digital Communication ", McGraw-Hill , 1995

[5] โรเบิร์ต เอฟ. ค็อฟลิน , " การใช้งานออปแอมป์และลิเนียร์ไอซี ", บริษัท ซีเอ็ดยูเคชั่น จำกัด , 2521

[6] รศ.ดร.สิทธิชัย โภไคยอุดม, วัลลพ สุรกำพลธร , " วงจรขยายสัญญาณโอเปอร์เรชั่นแนล ", บริษัท สำนักพิมพ์ดวงกมล จำกัด , 2523

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณผู้ที่มีส่วนร่วมทำให้โครงงานชิ้นนี้สำเร็จลงด้วยดี อันได้แก่ รศ.ณรงค์ เหมกรณ์ รศ.นิภา ลีลารุจิ ผู้เป็นที่ปรึกษา พ่อแม่พี่น้องที่คอยเป็นกำลังใจตลอดมา รุ่นพี่ปริญญาโทที่คอยให้คำปรึกษา และเพื่อน ๆ ที่คอยช่วยเหลือตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้