



ภาควิชาครุศาสตร์วิศวกรรม
 คณะครุศาสตร์อุตสาหกรรม
 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 ใบรับรองปริญญาโท

ชื่อหัวข้อ เครื่องผสมสัญญาณภาพ 8 ช่อง
 8-Channel Video Mixer

- ชื่อนักศึกษา
- | | | | |
|------------------|---------------|--------------|----------|
| 1. นายขวัญชัย | ใจคำถื่อ | รหัสประจำตัว | 42035249 |
| 2. นายทศพล | จันทร์คง | รหัสประจำตัว | 42035256 |
| 3. นางสาวสุกัลยา | เซ่งลอยเลื่อน | รหัสประจำตัว | 42035280 |
| 4. นายสุภาพ | พงศ์พาณิชย์ | รหัสประจำตัว | 42035281 |

หลักสูตร ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชา วิศวกรรมโทรคมนาคม

อาจารย์ที่ปรึกษา อาจารย์สุชิน อาจารย์หาญ

อาจารย์ที่ปรึกษาร่วม อาจารย์สุรพงษ์ สิริพงศ์ดี

คณะกรรมการสอบปริญญาโท	ลายมือชื่อ
1. อาจารย์สุชิน อาจารย์หาญ
2. อาจารย์สุรพงษ์ สิริพงศ์ดี
3. อาจารย์พงษ์เกียรติ เชษฐพิทักษ์สกุล
4. อาจารย์ปิยะ สุภวารสุวัฒน์
5. อาจารย์อมรชัย ชัยชนะ

วัน/เดือน/ปีที่สอบ วันเสาร์ที่ 21 เมษายน พ.ศ. 2544 เวลา 12.00 น.

สถานที่สอบ ห้อง ค.311 คณะครุศาสตร์อุตสาหกรรม สจล.

ภาควิชารับรองแล้ว
 ลงนาม.....
 (ผศ.วิสุทธิ์ อธิพรธรรม)
 หัวหน้าภาควิชาครุศาสตร์วิศวกรรม
 วันที่.....เดือน.....พ.ศ.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เครื่องผสมสัญญาณภาพ 8 ช่อง

8 - CHANNEL VIDEO MIXER



นายวิรัชชัย	ใจคำลือ
นายทศพล	จันทร์คง
นางสาวสุกัลยา	เซ่งลอยเลื่อน
นายสุภาพ	พงศ์พาณิชย์



ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตรบัณฑิต

ปี พ.
พ.ศ. ๒๕๔๓
๒๕๔๓

สาขาวิชาวิศวกรรมโทรคมนาคม

ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เลขหมู่
เลขทะเบียน 40194
วัน, เดือน, ปี 7 ส.ค. 2544

b. 11092944

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง เครื่องผสมสัญญาณภาพ 8 ช่อง
8 - Channel Video Mixer

วัตถุประสงค์

1. เพื่อศึกษาการทำงานของเครื่องผสมสัญญาณภาพ 8 ช่อง
2. เพื่อวิเคราะห์ ออกแบบวงจรระบบการทำงานของเครื่องผสมสัญญาณภาพ 8 ช่อง
3. เพื่อสร้างวงจรเครื่องผสมสัญญาณภาพ 8 ช่อง
4. เพื่อทดสอบเครื่องผสมสัญญาณภาพ 8 ช่อง
5. เพื่อนำเครื่องผสมสัญญาณภาพ 8 ช่องไปใช้งาน

ประโยชน์ที่คาดว่าจะได้รับ

1. มีความเข้าใจในหลักการทำงานของเครื่องผสมสัญญาณภาพ 8 ช่อง ได้
2. สามารถออกแบบวงจรเครื่องผสมสัญญาณภาพ 8 ช่อง ได้
3. สามารถสร้างวงจรเครื่องผสมสัญญาณภาพ 8 ช่อง ได้
4. สามารถปรับปรุงเครื่องผสมสัญญาณภาพ 8 ช่อง จากการทดสอบได้
5. สามารถนำเครื่องผสมสัญญาณภาพ 8 ช่อง ไปใช้งานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อหัวข้อ	เครื่องผสมสัญญาณภาพ 8 ช่อง
นักศึกษา	นายขวัญชัย ใจคำลือ นายทศพล จันทร์คง นางสาวสุกัลยา แซ่ลอยเลื่อน นายสุภาพ พงศ์พานิชอนันต์
อาจารย์ที่ปรึกษา	อาจารย์สุชิน อาจหาญ
อาจารย์ที่ปรึกษาร่วม	อาจารย์สุรพงษ์ สิริพงษ์ดี
หลักสูตร	ครุศาสตร์อุตสาหกรรมบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
ปีการศึกษา	2543

บทคัดย่อ

ปฏิญานិพนธ์ฉบับนี้ นำเสนอการออกแบบและสร้างเครื่องผสมสัญญาณภาพ 8 ช่อง ซึ่งสามารถแสดงภาพจากแหล่งต่างๆ บนจอโทรทัศน์ได้พร้อมกัน 2 ระบบ นั่นคือ ระบบ 4 ช่องจอภาพ และระบบ 8 ช่องจอภาพ สามารถทำการปรับเลือกได้ที่ตัวเครื่องผู้ใช้งาน วงจรเครื่องผสมสัญญาณภาพ 8 ช่องประกอบด้วยส่วนหลัก 2 ส่วน คือส่วนของการ์ดจำนวน 8 การ์ดซึ่งทำหน้าที่รับสัญญาณภาพและส่วนของเมนบอร์ด ซึ่งจะทำหน้าที่ในการอ่านสัญญาณภาพบนหน่วยความจำ ด้วยความเร็ว 20 เมกะเฮิร์ตซ์ (สำหรับระบบ 8 จอภาพ) และความเร็ว 10 เมกะเฮิร์ตซ์ (สำหรับระบบ 4 จอภาพ) เครื่องผสมสัญญาณภาพ 8 ช่อง ดังกล่าว จะช่วยให้เข้าใจหลักการทำงานของเครื่องผสมสัญญาณภาพโทรทัศน์ได้ง่ายยิ่งขึ้น และสามารถนำไปประยุกต์ในการใช้งานการควบคุมหรือใช้ในการตรวจจับการรักษาความปลอดภัย

II

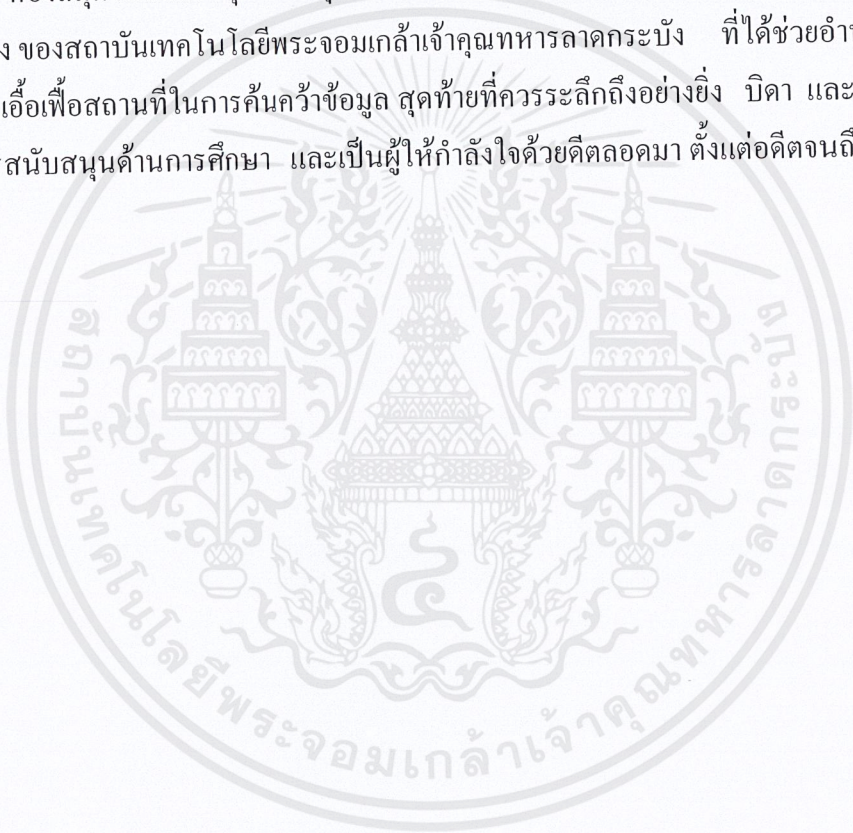
Thesis Title	8 - Channel Video Mixer
Students	Mr. Khunchai Jaicomlu Mr. Thodsapon Jankong Miss Suganya Sangloyluan Mr. Suparb Phongpanichanan
Advisor	Mr. Suchin Adhan
Co-Advisor	Mr. Surapong Siripongdee
Education Level	Bachelor of Science in Industrial Education
Program in	Telecommunication Engineering
Academic Year	2000

ABSTRACT

This thesis is represented for designing and inventing an eight channel video mixer. This instrument can be shown on the television screen at the same time for both two systems. It can be both for the four screen channel system and the eight screen channel system. It's adjust to select from the electrical instrument, The eight channel video is contained with 2 main devices; the card (eight cards) is performed to decode the video signal and the mainboard would be performed to replace the video signal from the memory which is respond to read the video signal on the memory section with 20 MH_z speedy (8 channels) and 10 MH_z (4 channels). From the eight channel video mixer, which can be easily to understand for the task procedure of the combination to the video signal and it's also be adapted for the task that has to be controlled or the security purpose.

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ถูกล่วงไปด้วยดี เนื่องจากความร่วมมือของสมาชิกภายในกลุ่มทุกท่าน ขอขอบคุณอาจารย์ที่ปรึกษาอาจารย์สุชิน อางหาญ และอาจารย์สุรพงษ์ สิริพงษ์ดี และคณาจารย์ภาควิชาครุศาสตร์วิศวกรรมทุกท่านที่ให้ความอนุเคราะห์เครื่องมือ และอุปกรณ์รวมทั้งยังให้คำแนะนำ แนวความคิด ความรู้ต่างๆ แนวทางการแก้ไขปัญหา ในการจัดทำปริญญานิพนธ์ขอขอบคุณ ห้องสมุดของคณะครุศาสตร์อุตสาหกรรม ห้องสมุดคณะวิศวกรรมศาสตร์ และสำนักหอสมุดกลาง ของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ได้ช่วยอำนวยความสะดวก และเอื้อเฟื้อสถานที่ในการค้นคว้าข้อมูล สุดท้ายที่ควรระลึกถึงอย่างยิ่ง บิดา และมารดาที่เป็นผู้ให้การสนับสนุนด้านการศึกษา และเป็นผู้ให้กำลังใจด้วยดีตลอดมา ตั้งแต่อดีตจนถึงปัจจุบัน



สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูป	VI
บทที่ 1 บทนำ	1
1.1 ความเป็นมา และความสำคัญของปริญญานิพนธ์	1
1.2 วัตถุประสงค์ในการทำปริญญานิพนธ์	1
1.3 เนื้อหาโดยสังเขป	2
บทที่ 2 ทฤษฎี และหลักการ	3
2.1 ทฤษฎีของโทรทัศน์เบื้องต้น	3
2.1.1 ส่วนประกอบของภาพ	3
2.1.2 วิธีการสแกน และการหักเหของลำอิเล็กตรอน	5
2.1.3 เครื่องส่ง และเครื่องรับโทรทัศน์	9
2.1.4 สัญญาณต่างๆ ที่ส่ง	9
2.1.5 การเก็บข้อมูลภาพ	14
2.2 การหาความจุของภาพดิจิทัล	15
2.3 หลักการเขียน และการอ่านหน่วยความจำ	16
2.4 หลักการเบื้องต้นของกล้องวิดีโอแบบ CCD	19
2.4.1 โครงสร้างของ CCD	20
2.4.2 ระบบการทำงานของ CCD	22
บทที่ 3 การออกแบบ การสร้าง และการทำงาน	24
3.1 การออกแบบ	24
3.2 การทำงานของวงจรต่างๆ	25
3.2.1 ส่วนของการ์รับสัญญาณ	25
3.2.2 ส่วนของเมนบอร์ด	33

สารบัญ (ต่อ)

เรื่อง	หน้า
บทที่ 4 การทดลอง และผลการทดลอง	42
4.1 การทดลองในระบบของ 4 จอภาพ	42
4.1.1 การทดลองการทำงานของเครื่อง ขณะให้สัญญาณอินพุต 1 สัญญาณภาพ	42
4.1.2 การทดลองการทำงานของเครื่อง ขณะให้สัญญาณอินพุต 2 สัญญาณภาพ	45
4.1.3 การทดลองการทำงานของเครื่อง ขณะให้สัญญาณอินพุต 4 สัญญาณภาพ	47
4.2 การทดลองของระบบ 8 จอภาพ	51
4.2.1 การทดลองการทำงานของเครื่อง ขณะให้สัญญาณอินพุต 4 สัญญาณภาพ	51
4.2.2 การทดลองการทำงานของเครื่อง ขณะให้สัญญาณอินพุต 8 สัญญาณภาพ	52
บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา	54
5.1 สรุป	54
5.2 ปัญหาและแนวทางแก้ไข	54
5.3 แนวทางการพัฒนา	55
ภาคผนวก ก รายการอุปกรณ์ของเครื่องผสมสัญญาณภาพ 8 ช่อง	56
ภาคผนวก ข วงจรและแผ่นวงจรพิมพ์ของเครื่องผสมสัญญาณภาพ 8 ช่อง	59
ภาคผนวก ค รายละเอียดและคุณสมบัติของอุปกรณ์	78
ภาคผนวก ง แผนผังการตรวจสอบและตรวจซ่อม	152
บรรณานุกรม	155
ประวัติผู้แต่ง	156

สารบัญรูป

รูป	หน้า
รูปที่ 2.1 ส่วนประกอบของภาพในรูปที่มีพื้นที่เท่ากัน	3
รูปที่ 2.2 ภาพบนจอเครื่องรับโทรทัศน์ ประกอบขึ้นด้วยเส้นสแกนตามแนวนอนเป็นจำนวนมาก	4
รูปที่ 2.3 การเคลื่อนที่หักเหของลำอิเล็กตรอนในจังหวะที่ถูกต้อง	5
รูปที่ 2.4 การหักเหของลำอิเล็กตรอน โดยอาศัยสนามแม่เหล็กไฟฟ้าเข้าช่วยเหลือ	5
รูปที่ 2.5 ขดลวดที่ทำให้เกิดการหักเหของลำอิเล็กตรอน	6
รูปที่ 2.6 การวางตำแหน่งของขดลวด	7
รูปที่ 2.7 กระแสรูปฟันเลื่อย สำหรับใช้ในวงจรที่ทำให้เกิดการหักเหของลำอิเล็กตรอนในแนวนอนและในแนวตั้ง	8
รูปที่ 2.8 การสแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพ โดยแบ่งหนึ่งเฟรมออกเป็นสองฟิลด์	10
รูปที่ 2.9 ความถี่ของกระแสรูปฟันเลื่อยในวงจรของการหักเหทางแนวนอนและวงจรของการหักเหทางแนวตั้งทางด้านเครื่องส่งและเครื่องรับโทรทัศน์	11
รูปที่ 2.10 รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบ	12
รูปที่ 2.11 สัญญาณภาพรวม แสดงให้เห็นรายละเอียดของสัญญาณแต่ละชนิด	13
รูปที่ 2.12 การจัดพื้นที่หน่วยความจำในการเก็บข้อมูลภาพขนาด 256 x 256 จุดต่อภาพ	14
รูปที่ 2.13 การเก็บข้อมูลบนภาพขนาด 128 x 256 จุดต่อภาพ	16
รูปที่ 2.14 เส้นสแกนของแต่ละกล้องสำหรับระบบ 4 จอภาพ	17
รูปที่ 2.15 เส้นสแกนของแต่ละกล้องสำหรับระบบ 8 จอภาพ	18
รูปที่ 2.16 กล้องถ่ายภาพ CCD ขนาดเล็ก	19
รูปที่ 2.17 โครงสร้างพื้นฐานทั่วไปของ CCD	21
รูปที่ 2.18 รูปคลื่นของการหมุนเฟสที่ปรากฏด้านแนวตั้งและการถ่ายเทประจุที่สัมพันธ์กัน	22
รูปที่ 2.19 ระบบการทำงานพื้นฐานของ CCD	23
รูปที่ 3.1 แผนผังการทำงานส่วนของการ์ด	25
รูปที่ 3.2 แผนผังการทำงานส่วนของเมนบอร์ด	25
รูปที่ 3.3 วงจรขยายสัญญาณภาพ	26
รูปที่ 3.4 วงจรแยกสัญญาณซิงค์	27

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ 3.5 ผังเวลาการเกิดสัญญาณควบคุมตำแหน่งภาพทางแนวนอน	28
รูปที่ 3.6 ผังการทำงานภายในของไอซี CA 3318	30
รูปที่ 3.7 วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล	31
รูปที่ 3.8 วงจรควบคุมการเขียนข้อมูลภาพลงหน่วยความจำ	33
รูปที่ 3.9 วงจรอ่านหน่วยความจำ	35
รูปที่ 3.10 วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก	37
รูปที่ 3.11 วงจรผลิตสัญญาณนาฬิกา	39
รูปที่ 3.12 วงจรผลิตสัญญาณซิงค์	39
รูปที่ 3.13 วงจรผสมสัญญาณภาพ	41
รูปที่ 4.1 ส่วนของเมนบอร์ด	42
รูปที่ 4.2 ส่วนของการ์ด	43
รูปที่ 4.3 ตัวเครื่องผสมสัญญาณภาพ 8 ช่อง	43
รูปที่ 4.4 อินพุตที่ให้กับการ์ดตัวที่ 1 จำนวน 1 สัญญาณภาพ	44
รูปที่ 4.5 เอาต์พุตที่ปรากฏหน้าจอโทรทัศน์	44
รูปที่ 4.6 อินพุตที่ให้กับการ์ดจำนวน 2 สัญญาณภาพ	46
รูปที่ 4.7 เอาต์พุตที่ปรากฏหน้าจอโทรทัศน์	47
รูปที่ 4.8 อินพุตที่ให้กับการ์ด จำนวน 4 สัญญาณภาพ	49
รูปที่ 4.9 เอาต์พุตที่ปรากฏหน้าจอโทรทัศน์	50
รูปที่ 4.10 เอาต์พุตที่ปรากฏหน้าจอโทรทัศน์	51
รูปที่ 4.11 เอาต์พุตที่ปรากฏหน้าจอโทรทัศน์	52

บทที่ 1

บทนำ

1.1 ความเป็นมา และความสำคัญของปฏิญานิพนธ์

ในปัจจุบันเทคโนโลยีทางด้านต่างๆ ได้มีการพัฒนาให้มีความเจริญก้าวหน้าไปอย่างรวดเร็ว ในด้านของการติดต่อสื่อสารโทรคมนาคมเอง ก็ได้มีการนำเอาเทคโนโลยีต่างๆ เข้ามาใช้กันอย่างมากมาย ทั้งเพื่อเพิ่มขีดความสามารถของระบบเอง และเพื่อให้รองรับกับความต้องการในการใช้งานในด้านต่างๆ เพิ่มมากขึ้น ในด้านของการประชุมทางด้านธุรกิจก็ได้มีการนำเอาเทคโนโลยีการประชุมทางไกลผ่านจอภาพ (Video Conference) เข้ามาใช้แทนการประชุมในรูปแบบเดิม ซึ่งจะช่วยให้การติดต่อประสานงาน หรือปรึกษาหารือทางด้านธุรกิจเกิดความคล่องตัว และมีความสะดวกรวดเร็วเพิ่มมากขึ้น ซึ่งระบบการประชุมแบบนี้จะต้องมีการใช้จอมอนิเตอร์จำนวนหลายตัว ทำการถ่ายภาพผู้เข้าร่วมประชุมจากสถานที่ต่างๆ เพื่อให้เห็นภาพผู้เข้าร่วมประชุมได้พร้อมกัน ซึ่งถ้าหากจำนวนของผู้เข้าร่วมประชุมมีมากกว่า 2 สถานที่ขึ้นไป การแสดงภาพผู้เข้าร่วมประชุม ย่อมจะไม่สะดวกและทำให้เกิดความยุ่งยากและความสิ้นเปลืองในการใช้งานอีกด้วย หรือแม้แต่เทคโนโลยีทางด้านการรักษาความปลอดภัยเองก็ตาม หากมีการใช้จอมอนิเตอร์จำนวนมากเพื่อทำการถ่ายภาพตามจุดต่างๆ ของอาคาร หรือจุดที่ไม่ปลอดภัยหลายจุดพร้อมกัน ย่อมทำให้เกิดความสิ้นเปลือง และเสียค่าใช้จ่ายที่สูงในการติดตั้งเพื่อนำไปใช้งาน และทำให้เกิดทัศนวิสัยที่ไม่ดีเพียงพอสำหรับผู้ทำหน้าที่รักษาความปลอดภัยนั้นด้วย ดังนั้นหากสามารถทำการรวมสัญญาณภาพจากแหล่งต่างๆ ให้สามารถปรากฏเห็นภาพอยู่บนจอมอนิเตอร์เพียงหนึ่งจอได้จะทำให้ลดค่าใช้จ่ายและความไม่สะดวกในด้านต่างๆ ลงได้เป็นอย่างมาก

1.2 วัตถุประสงค์ในการทำปฏิญานิพนธ์

- 1) เพื่อศึกษาการทำงานของเครื่องผสมสัญญาณภาพ 8 ช่อง
- 2) เพื่อวิเคราะห์ ออกแบบวงจรระบบการทำงานของเครื่องผสมสัญญาณภาพ 8 ช่อง
- 3) เพื่อสร้างวงจรเครื่องผสมสัญญาณภาพ 8 ช่อง
- 4) เพื่อทดสอบเครื่องผสมสัญญาณภาพ 8 ช่อง
- 5) เพื่อนำเครื่องผสมสัญญาณภาพ 8 ช่องไปใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 เนื้อหาโดยสังเขป

ในปฏิญญาพันธบัตรฉบับนี้ประกอบไปด้วยรายละเอียดต่างๆ มีหัวข้อดังต่อไปนี้
 บทที่ 2 ทฤษฎี และหลักการ กล่าวถึง ทฤษฎีของโทรทัศน์เบื้องต้น, การเก็บข้อมูลภาพทาง
 ดิจิตอล, หลักการเขียนและอ่านหน่วยความจำ

บทที่ 3 การออกแบบ การสร้าง และการทำงาน กล่าวถึง ฝั่งการทำงานของเครื่อง, วิธีการ
 บันทึกภาพ, ขบวนการแสดงภาพออกจอโทรทัศน์ขาวดำ, การออกแบบวงจร การสร้างวงจรต่างๆ

บทที่ 4 การทดลอง และผลการทดลอง กล่าวถึง การทดลองและผลที่ได้จากเครื่องผสม
 สัญญาณภาพ 8 ช่อง

บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไข และการพัฒนา กล่าวถึงบทสรุป อภิปราย และข้อ
 เสนอแนะต่างๆ ซึ่งเป็นการสรุปเกี่ยวกับประสิทธิภาพการทำงานการใช้งานของเครื่องผสมสัญญาณ
 ภาพ 8 ช่อง พร้อมทั้ง กล่าวถึงปัญหาที่เกิดขึ้นระหว่างการทำโครงการ รวมถึงวิธีการแก้ไขปัญหาที่
 เกิดขึ้น นอกจากนี้ยังได้เสนอแนะแนวทางการพัฒนานำไปประยุกต์ใช้งานได้อย่างกว้างขวางและ
 ปรับปรุงให้มีประสิทธิภาพดียิ่งขึ้น

ภาคผนวก ก รายการอุปกรณ์ของเครื่องผสมสัญญาณภาพ 8 ช่อง

ภาคผนวก ข วงจรและวงจรพิมพ์ของเครื่องผสมสัญญาณภาพ 8 ช่อง

ภาคผนวก ค รายละเอียดและคุณสมบัติของอุปกรณ์

ภาคผนวก ง แผนผังการตรวจสอบและตรวจซ่อม

บทที่ 2

ทฤษฎี และหลักการ

ในระบบของเครื่องผสมสัญญาณภาพ 8 ช่อง องค์ประกอบสำคัญนอกเหนือจากตัวเครื่องผสมสัญญาณภาพ 8 ช่องแล้ว ก็ยังมีส่วนอื่นๆ คือ เครื่องบันทึกภาพ (กล้องวิดีโอ) และจอแสดงภาพ (โทรทัศน์) จึงจะทำให้การทำงานของเครื่องผสมสัญญาณภาพ 8 ช่องนั้นสมบูรณ์ ซึ่งบทนี้เป็นการกล่าวถึงทฤษฎี และหลักการขององค์ประกอบที่เป็นในระบบของเครื่องผสมสัญญาณภาพ 8 ช่อง พร้อมทั้งระบบ และหลักการทำงานของโทรทัศน์ รวมถึงกล้อง CCD ที่มีอยู่ในปัจจุบัน

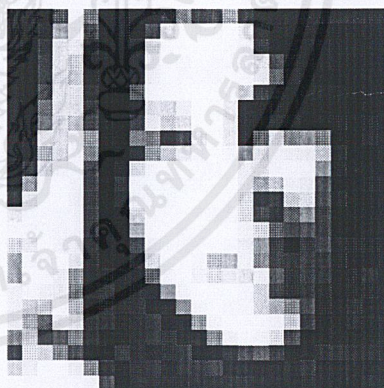
2.1 ทฤษฎีของโทรทัศน์เบื้องต้น

2.1.1 ส่วนประกอบของภาพ

หากพิจารณาคูภาพหรือรูปที่ปรากฏในหน้าหนังสือพิมพ์ หรือวารสารต่างๆ แล้วจะเห็นว่าภาพเหล่านี้ประกอบขึ้นด้วยจุดดำเล็กๆ เป็นจำนวนมาก ซึ่งมีส่วนที่ดำสนิทและส่วนที่ดำจาง



ก) หากมีจำนวนจุดดำมากภาพจะดูละเอียด



ข) หากมีจำนวนจุดดำน้อยภาพจะดูหยาบ

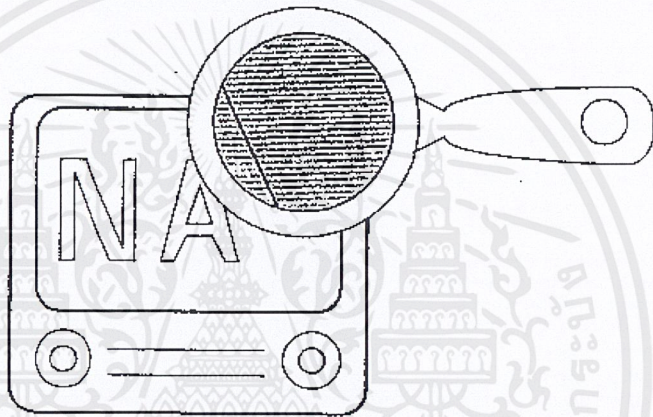
รูปที่ 2.1 ส่วนประกอบของภาพในรูปที่มีพื้นที่เท่ากัน

ขนาดของจุดดำในส่วนของภาพที่มีดสนิทจะเห็นใหญ่กว่าขนาดของจุดดำ ในส่วนของภาพที่จาง จำนวนจุดดำมีมากหรือน้อยนี้ มีผลทำให้ภาพมองดูละเอียดหรือหยาบแตกต่างกันดังแสดงใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.1 ระยะทางที่มองดูภาพมีส่วนสำคัญอยู่ไม่น้อย ภาพที่หยาบถ้าหากมองดูในระยะทางซึ่งไกลกว่าระยะที่ใช้มองดูภาพละเอียดทำให้รู้สึกว่าคุณดูได้เหมือนกัน

ในทำนองเดียวกันภาพที่ปรากฏบนจอหลอดภาพของเครื่องรับโทรทัศน์นั้น ประกอบด้วยเส้นขวางเล็กๆ ในแนวนอนเป็นจำนวนมาก ซึ่งแต่ละเส้นนี้มีทั้งส่วนที่ดำสนิท, ส่วนที่ดำจาง และส่วนที่สว่างมารวมกันอยู่ เส้นขวางเล็กๆ ตามแนวนอนเหล่านี้เรียกว่า เส้นสแกน ซึ่งประกอบไปด้วยส่วนหรือจุดเล็กๆ ที่มีทั้งมืด และสว่างปะปนกันตามรูปที่ 2.2



รูปที่ 2.2 ภาพบนจอเครื่องรับโทรทัศน์ ประกอบขึ้นด้วยเส้นสแกนตามแนวนอนเป็นจำนวนมาก

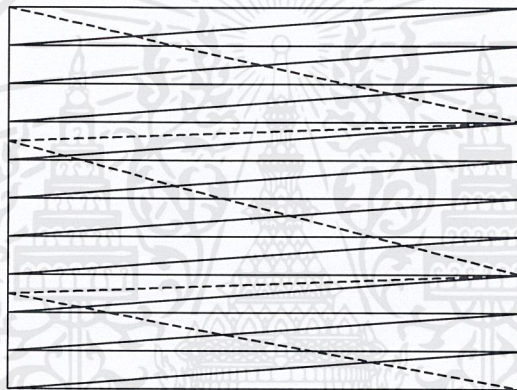
ดังนั้นภาพที่ปรากฏอยู่บนจอหลอดภาพจึงประกอบขึ้นด้วยจุดเล็กๆ ซึ่งจะมีระดับของความสว่างแตกต่างกันเป็นจำนวนมากมาย จุดเล็กๆ เหล่านี้จึงเรียกว่า ส่วนประกอบของภาพ ซึ่งมีความสัมพันธ์กับความละเอียดของภาพมาก หากจำนวนจุดเล็กๆ หรือจำนวนเส้นสแกนในแนวนอนมีมากยิ่งขึ้นเพียงไร ภาพที่เห็นบนจอหลอดภาพจะละเอียดมากขึ้นเพียงนั้น ดังนั้นโทรทัศน์ระบบยุโรปที่มีจำนวนเส้นสแกน 625 เส้น จึงให้ภาพละเอียดกว่าโทรทัศน์ระบบอเมริกา ที่มีจำนวนเส้นสแกนเพียง 525 เส้นเท่านั้น แต่อย่างไรก็ตาม ภาพที่เห็นบนจอหลอดภาพจะมองดูละเอียด หยาบ หรือน่าดูอย่างไรนั้น ยังขึ้นอยู่กับส่วนประกอบอีกหลายอย่าง เช่น ความสว่างของภาพ และระยะทางที่มองดูภาพ เป็นต้น สำหรับโทรทัศน์ระบบอเมริกาแม้จะมีจำนวนเส้นสแกนน้อยกว่าจำนวนเส้นของโทรทัศน์ระบบยุโรป อาจจะทำให้เห็นภาพหยาบไปบ้างก็ตาม แต่ถ้าหากมองในระยะทางห่าง 4 ถึง 8 เท่าของความสูงภาพ แล้วจะเห็นว่าเป็นภาพที่พอใช้ได้เหมือนกันนอกจากนี้มาตรฐานเพื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

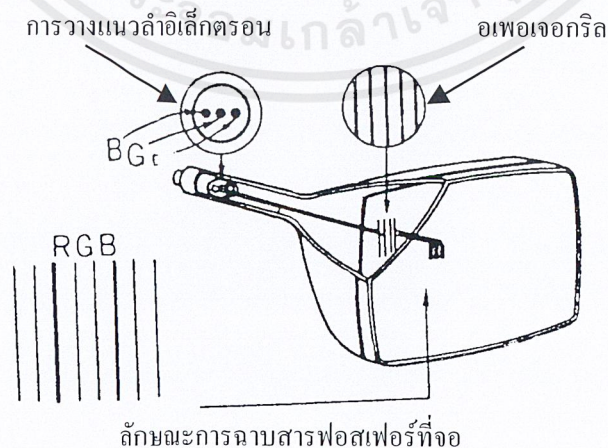
การมองเห็นของสายตาของคน จะกำหนดให้ภาพมีขนาดอัตราส่วนความกว้างต่อความสูงของภาพ เป็น 4 : 3 อีกด้วย

2.1.2 วิธีการสแกน และการหักเหของลำอิเล็กตรอน

ภายในหลอดภาพของเครื่องรับโทรทัศน์อิเล็กทรอนิกส์ที่หลุดออกมาจากขั้วแคโทด และยังคงถูกดึงดูให้วิ่งเป็นลำไปกระทบขั้วแอโนด หรือจอหลอดภาพที่ฉาบวัสดุเรืองแสงบางชนิดเอาไว้ทำให้มองเห็นเป็นจุดสว่างขึ้นที่จอหลอดภาพ คือทำให้จุดสว่างเคลื่อนที่ในจังหวะที่ถูกดึงทั้งในทางด้านแนวนอน และแนวตั้งของจอหลอดภาพ โดยอาศัยความเข้มของสนามแม่เหล็กไฟฟ้าเข้าช่วยเหลือ ดังแสดงในรูปที่ 2.3 และรูปที่ 2.4



รูปที่ 2.3 การเคลื่อนที่หักเหของลำอิเล็กตรอนในจังหวะที่ถูกดึง

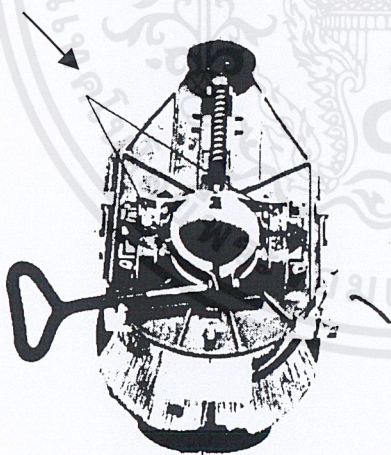


รูปที่ 2.4 การหักเหของลำอิเล็กตรอน โดยอาศัยสนามแม่เหล็กไฟฟ้าเข้าช่วยเหลือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

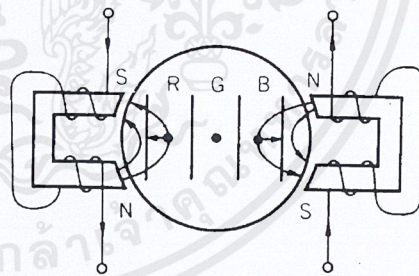
ในขณะที่ไม่มีสนามแม่เหล็กไฟฟ้า ลำอิเล็กตรอนจะวิ่งไปกระทบจอหลอดภาพตรงกลาง โดยไม่ถูกหักเหเลย หากต้องการเบนลำอิเล็กตรอนไปทางซ้ายมือในแนวนอน ก็จำเป็นต้องใช้สนามแม่เหล็กไฟฟ้าที่มีขั้วเหนือ ขั้วใต้อยู่ในแนวตั้งตามรูปที่ 2.4 หากกลับขั้วแม่เหล็กลำอิเล็กตรอนก็จะถูกเบนไปทางขวามือในแนวนอนของจอหลอดภาพ การที่ลำอิเล็กตรอนถูกเบี่ยงเบนไปทางขวามือหรือทางซ้ายมือของจอนี้ จะทำให้เห็นเป็นจุดสว่างที่เคลื่อนที่ไปทางเดียวกันด้วย ในทำนองเดียวกัน หากมีขั้วแม่เหล็กในแนวนอน ลำอิเล็กตรอนหรือจุดสว่างก็จะถูกเบนไปทางแนวตั้งของจอหลอดภาพเพื่อช่วยในการหักเหลำอิเล็กตรอนในทิศทางที่ต้องการ จึงใช้สนามแม่เหล็กไฟฟ้าในแนวนอนและในแนวตั้งร่วมกัน สนามแม่เหล็กไฟฟ้านี้เกิดจากการปล่อยกระแสไฟฟ้าผ่านขดลวดที่พันอยู่รอบๆ จอหลอดภาพตามรูปที่ 2.5 และรูปที่ 2.6 ขดลวดนี้เรียกว่าขดลวดของการหักเหทางแนวนอนและขดลวดของการหักเหทางแนวตั้งตามลำดับ รูปร่างของกระแสไฟฟ้าที่ไหลผ่านขดลวดทั้งสองเพื่อที่จะทำให้เกิดการสแกนตามรูปที่ 2.3 นั้น มีความสำคัญมากและนิยมใช้เป็นกระแสรูปฟันเลื่อย ความถี่ของกระแสที่ไหลผ่านขดลวดทั้งสองนี้ไม่เท่ากัน สำหรับโทรทัศน์ระบบอเมริกา กระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหทางแนวนอนจะมีความถี่ 15,750 เฮิร์ตซ์ ส่วนกระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหทางแนวตั้งจะมีความถี่เพียง 60 เฮิร์ตซ์เท่านั้น

คอนเวอร์เจนซ์ไยค์



รูปร่างและตำแหน่งของคอนเวอร์เจนซ์ไยค์

การเบี่ยงเบนลำอิเล็กตรอนของคอนเวอร์เจนซ์ไยค์



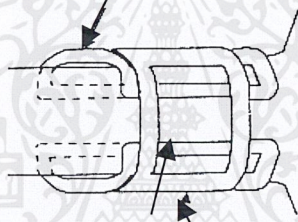
รูปที่ 2.5 ขดลวดที่ทำให้เกิดการหักเหของลำอิเล็กตรอน

โดยปกติการสแกนจะเริ่มต้นขึ้นโดยการทำให้จุดสว่างเคลื่อนที่จากซ้ายมือทางด้านบนของจอไปทางขวามือในแนวนอนซึ่งเมื่อไปถึงตำแหน่งขวาสุด ก็จะถูกเบนต่ำลงเล็กน้อยแล้วจะกลับไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตั้งต้นใหม่ทางซ้ายมือ เพื่อเคลื่อนที่มาทางขวามือในแนวนอนอีก และเป็นอยู่เช่นนี้เรื่อยๆ จนกระทั่ง จุดสว่างไปถึงตำแหน่งขวามือข้างล่างสุดของจอภาพหนึ่งเป็นอันเสร็จสิ้นการสแกนภาพหนึ่ง 1 ภาพ เรียกว่า 1 เฟรม หลังจากนั้น ลำอิเล็กตรอนจะกลับไปตั้งต้นใหม่ทางด้านซ้ายมือบนสุดของจอหลอด ภาพอีก เพื่อการสแกนภาพหนึ่งอันดับต่อไป อย่างไรก็ตาม ในการลดอาการกระพริบของภาพ การสแกนภาพหนึ่งแต่ละภาพมักนิยมจัดทำสองครั้งในแบบของการสแกนไขว้กัน โดยกำหนดให้ภาพหนึ่ง 1 เฟรม ประกอบด้วยภาพหนึ่ง 2 ฟิลด์ และเริ่มต้นด้วยการสแกนภาพหนึ่งฟิลด์เส้นคู่ก่อน เมื่อเสร็จสิ้นถึงตำแหน่งขวามือทางล่างสุดของจอหลอดภาพ จึงกลับไปตั้งต้นใหม่ทางซ้ายมือบนสุดของจอหลอดภาพเพื่อเริ่มต้นสแกนภาพหนึ่งฟิลด์เส้นคู่ต่อไป จนถึงตำแหน่งขวามือล่างสุด หลังจากนั้นจะเริ่มต้นสแกนภาพหนึ่งอันดับอื่นต่อไปใหม่

ขดลวดที่ทำให้เกิดการหักเหของลำอิเล็กตรอนทางแนวนอน



ขดลวดที่ทำให้เกิดการหักเหของลำอิเล็กตรอนทางแนวตั้ง

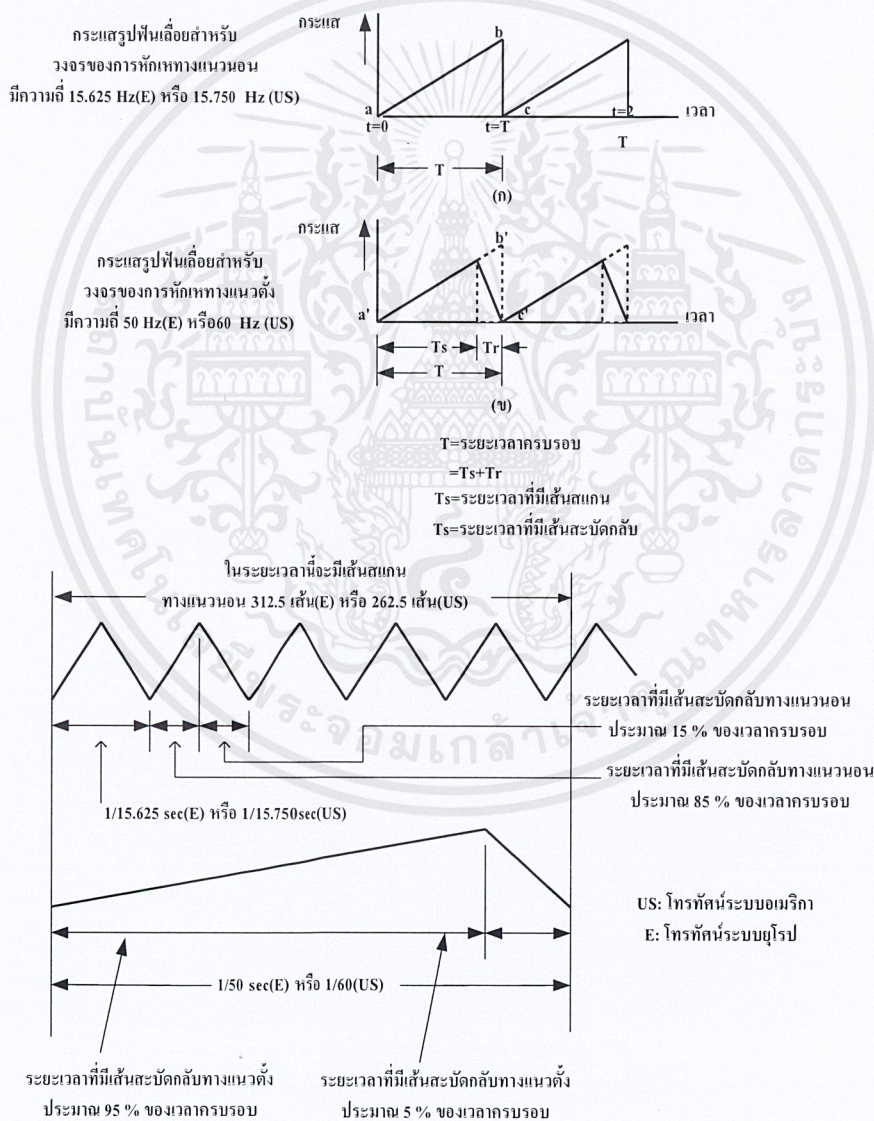
รูปที่ 2.6 การวางตำแหน่งของขดลวด

ดังนั้นการสแกนภาพหนึ่งภาพหรือหนึ่งเฟรมจึงประกอบด้วย การสแกนภาพหนึ่งด้วยฟิลด์เส้นคู่และการสแกนภาพหนึ่งด้วยฟิลด์เส้นคู่สำหรับโทรทัศน์ระบบยุโรปใช้เส้นสแกนแนวนอน 625 เส้นต่อภาพและ 25 ภาพต่อวินาที ความถี่ของกระแสไฟฟ้าที่ทำให้เกิดการหักเหทางแนวนอน และการหักเหทางแนวตั้งจึงมีค่าเป็น $(625) \times (25)$ หรือ 15,625 เฮิร์ตซ์และ 50 เฮิร์ตซ์ ตามลำดับ ความถี่ของกระแสสำหรับการหักเหทางแนวนอน และการหักเหทางแนวตั้งทั้งสอง แสดงในรูปที่ 2.7 ในระยะเวลาครบรอบหนึ่งๆ ของกระแสรูปฟันเลื่อย ประกอบด้วยส่วนที่เพิ่มขึ้นจากค่าต่ำสุดไปจนถึงขวามือสุด และส่วนที่ลดลงจากค่าสูงสุดไปหาค่าต่ำสุดตรงกับระยะเวลาที่จุดสว่างบนจอหลอดภาพใช้ในการสลับกลับ (Fly-Back) จากขวามือสุดไปตั้งต้นใหม่ทางซ้ายมือสุด โดยปกติระยะเวลาที่มีเส้นสลับกลับจะเป็นช่วงเวลาที่น้อยมาก เมื่อเทียบกับช่วงเวลาที่มีย่านสแกน จุดสว่างที่มองเห็นสลับกลับไปในช่วงเวลาดังกล่าวแล้วนี้ไม่ก่อให้เกิดประโยชน์อันใดเลย จึงหาวิธีทำให้เกิดสิ่งอื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาข่มจุดสว่างในช่วงเวลานี้เพื่อมิให้สังเกตเห็นได้ทางจอหลอดภาพ สัญญาณใช้ลบเส้นสลับกลับนี้เรียกว่าสัญญาณแบล็กคิง (Blacking Signal)

เนื่องจากการสแกนภาพนิ่งตามที่กล่าวถึงแล้วนี้กระทำติดต่อกันไปเรื่อยๆ โดยมีจำนวนเส้นต่อภาพและจำนวนภาพต่อวินาที ตามแต่ระบบโทรทัศน์ที่ใช้ภาพที่มาจากจอหลอดภาพเครื่องรับโทรทัศน์ จึงมีผลเหมือนกับการฉายภาพนิ่ง ซึ่งแต่ละภาพแตกต่างกันบ้างเล็กน้อย เป็นจำนวนหลายๆ ภาพต่อหนึ่งวินาที และด้วยคุณลักษณะพิเศษของสายตาจะทำให้มองเห็นภาพบนจอหลอดภาพเครื่องรับโทรทัศน์เป็นภาพที่เคลื่อนไหวติดต่อกันไปตลอดเวลา



รูปที่ 2.7 กระแสรูปฟันเลื่อยสำหรับใช้ในวงจรที่ทำให้เกิดการหักเหของลำอิเล็กตรอนในแนวอนและในแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 เครื่องส่ง และเครื่องรับโทรทัศน์

เครื่องส่ง และเครื่องรับ โทรทัศน์ต้องมีการสแกนทั้งทางแนวนอนและสแกนทางแนวตั้ง จะมีภาพเกิดขึ้นที่เครื่องรับ โทรทัศน์ ภาพที่ปรากฏขึ้นบนจอหลอดภาพจำเป็นต้องอาศัยวงจรการหักเหทางแนวนอน (Horizontal Deflection Circuit) และวงจรการหักเหทางแนวตั้ง (Vertical Deflection Circuit) ซึ่งแต่ละวงจรจะมีกระแสรูปฟันเลื่อยไหลผ่าน ส่วนทางด้านกล้องโทรทัศน์จำเป็นต้องอาศัยความถี่ทั้งสองช่วยทำให้เกิดสัญญาณทางไฟฟ้าเช่นเดียวกัน

ดังนั้นความถี่สำหรับวงจรของการหักเหทางแนวนอน และวงจรการหักเหทางแนวตั้งที่ใช้ในเครื่องส่งโทรทัศน์ และที่ใช้ในเครื่องรับโทรทัศน์นี้ จะต้องเท่ากันตลอดเวลา จึงจะทำให้เกิดภาพขึ้นที่เครื่องรับโทรทัศน์ด้วยเหตุนี้ ต้องมีวิธีทำให้ความถี่ของวงจรดังกล่าวทางเครื่องส่ง และทางเครื่องรับเท่ากันตลอดเวลาดังแสดงตามรูปที่ 2.8 โดยสถานีโทรทัศน์ต้องส่งสัญญาณชนิดหนึ่งโดยสัญญาณนี้เรียกว่า สัญญาณซิงค์ (Synchronizing) ไปพร้อมกับสัญญาณภาพและสัญญาณเสียง ซึ่งสัญญาณซิงค์จะช่วยทำให้ความถี่ในวงจรของการหักเหทางแนวนอนและวงจรการหักเหทางแนวตั้งในเครื่องส่งและเครื่องรับโทรทัศน์เท่ากัน เพื่อทำให้เกิดภาพที่จอหลอดภาพของเครื่องรับโทรทัศน์ตลอดเวลาได้

2.1.4 สัญญาณต่างๆ ที่ส่ง

เพื่อให้เกิดผลตามความมุ่งหมายสถานีโทรทัศน์ที่ส่งภาพขาวดำจำเป็นต้องส่งสัญญาณอื่นๆ ด้วยกันหลายอย่าง คือ

- 1) สัญญาณเสียง
- 2) สัญญาณภาพ
- 3) สัญญาณแบล็กคิงก์
- 4) สัญญาณซิงค์
- 5) สัญญาณอ็อกวอลโซซิง

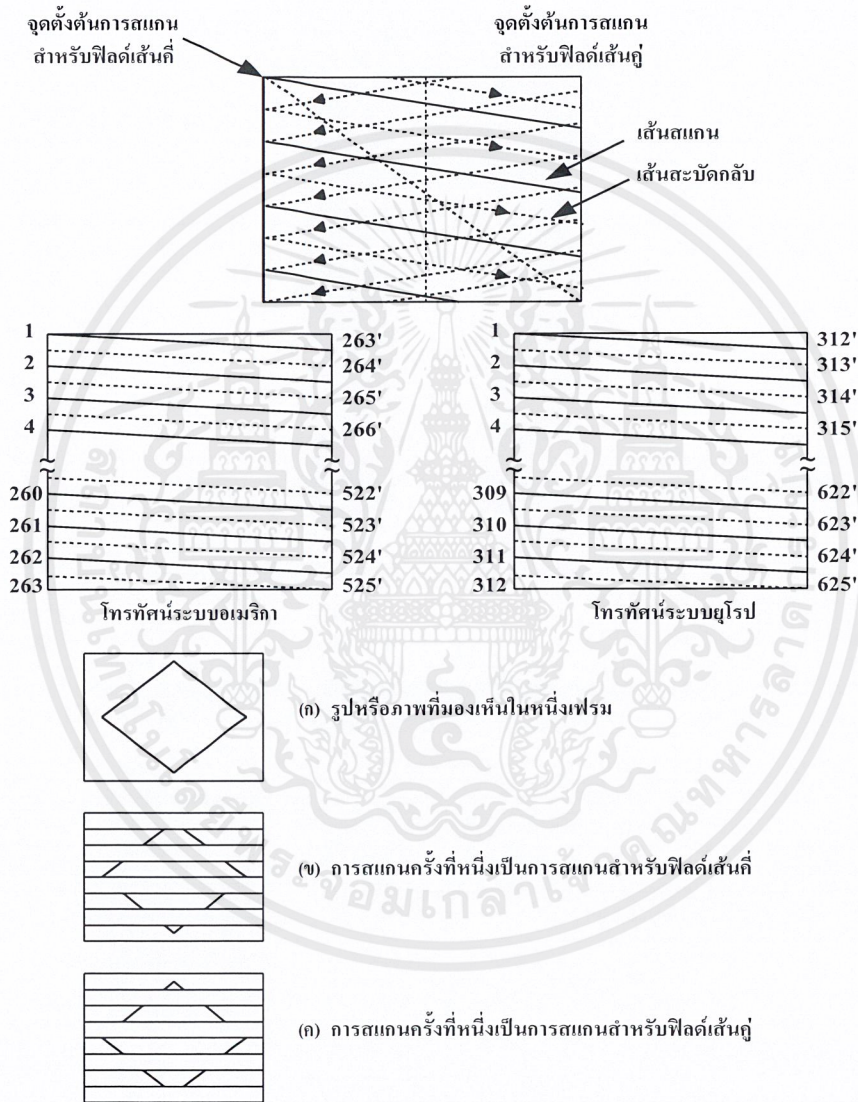
สัญญาณเสียงมีคลื่นพาห้ของตัวเองโดยเฉพาะ ส่วนสัญญาณภาพและสัญญาณอื่นๆ นั้น จะรวมเป็นรูปร่างเดียวกัน เรียกว่าสัญญาณภาพรวม (Composite Video Signal) แล้วใช้คลื่นพาห้เป็นตัวพาออกอากาศรวมกับคลื่นพาห้ของเสียง ส่งไปยังเครื่องรับโทรทัศน์ เหตุผลและความจำเป็นในการใช้สัญญาณต่างๆ มีดังนี้

ก) สัญญาณภาพและสัญญาณเสียง เป็นสัญญาณที่ใช้เพื่อทำให้เกิดภาพและทำให้เกิดเสียงทางเครื่องรับโทรทัศน์ตามความต้องการ

ข) สัญญาณแบล็กคิงก์ เป็นสัญญาณที่ใช้เพื่อลบเส้นสแกนสะบัดกลับทั้งในแนวนอน และในแนวตั้ง เพื่อมิให้สังเกตเห็นได้ชัดเจนทางจอหลอดภาพ สำหรับโทรทัศน์ระบบอเมริกันวงจรของ

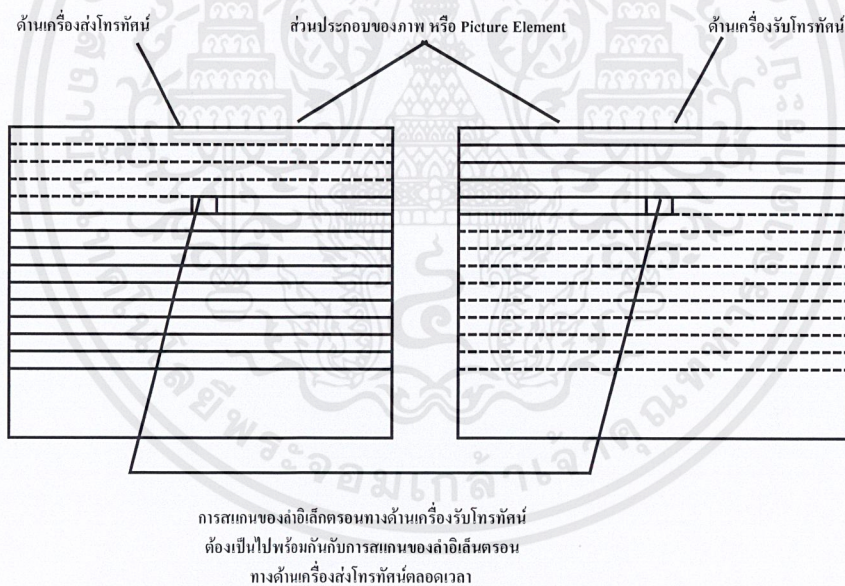
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การหักเหทางด้านแนวนอนมีความถี่ 15,750 เฮิร์ตซ์ ดังนั้นในระยะเวลา 1 / 15,750 เฮิร์ตซ์ หรือ 63.5 ไมโครวินาที จะเกิดเส้นสแกนสลับกลับครั้งหนึ่ง จึงต้องใช้เบสลับกึ่งพัลซ์ทางแนวนอนหนึ่งครั้ง โดยมีขนาดประมาณ 10 ในทำนองเดียวกันทุกๆ ช่วงเวลา 1 / 60 เฮิร์ตซ์หรือ 16,667 มิลลิวินาที ก็ต้องใช้เบสลับกึ่งพัลซ์ทางแนวตั้งครั้งหนึ่ง โดยมีขนาดประมาณ 1,250 มิลลิวินาที



รูปที่ 2.8 การสแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพ โดยแบ่งหนึ่งเฟรมออกเป็นสองฟิลด์

ค) สัญญาณซิงค์ เป็นสัญญาณที่ใช้เพื่อช่วยทำให้วงจรการหักเหทางแนวนอน และวงจรหักเหทางแนวตั้งในเครื่องส่งกับเครื่องรับมีความถี่ตรงกันตลอดเวลา สัญญาณซิงค์ทางแนวนอนมีความถี่ 15,750 เฮิร์ตซ์ เท่ากับความถี่ของวงจรการหักเหทางแนวนอน และสัญญาณซิงค์ทางแนวตั้งมีความถี่ประมาณ 60 เฮิร์ตซ์ ซึ่งเท่ากับความถี่ของวงจรหักเหทางแนวตั้งเช่นกัน เนื่องจากความถี่ของสัญญาณซิงค์มีค่าเท่ากับความถี่ของสัญญาณแบล็งค์กึ่งพอดิ จึงจำเป็นต้องป้องกันการรบกวนที่อาจเกิดขึ้นโดยจำเป็นต้องกำหนดขนาดของซิงค์พัลส์ให้น้อยกว่าขนาดของแบล็งค์กึ่งพัลส์ คือทำให้ซิงค์พัลส์ทางด้านแนวนอนมีขนาดเพียง 5 ไมโครวินาที และซิงค์พัลส์ทางด้านแนวตั้งมีขนาดเพียง 190 ไมโครวินาทีเท่านั้น นอกจากนี้ยังใช้วิธีส่งพัลส์เหล่านี้ไปกับแบล็งค์กึ่งพัลส์อีกด้วย โดยให้ฐานของซิงค์พัลส์อยู่ที่ขอบบนของแบล็งค์กึ่งพัลส์อีกชั้นหนึ่ง ดังนั้น เมื่อจัดขอบเขตความต่างศักย์ให้ระดับสูงสุดของแบล็งค์กึ่งพัลส์เป็นระดับดำจมนองไม่เห็น แล้วระดับของซิงค์พัลส์ที่อยู่บนยอดสูงสุดของแบล็งค์กึ่งพัลส์จะเป็นระดับดำมืดสนิท และไม่ทำให้เกิดการรบกวนกันของภาพที่จอหลอดภาพแต่อย่างใด

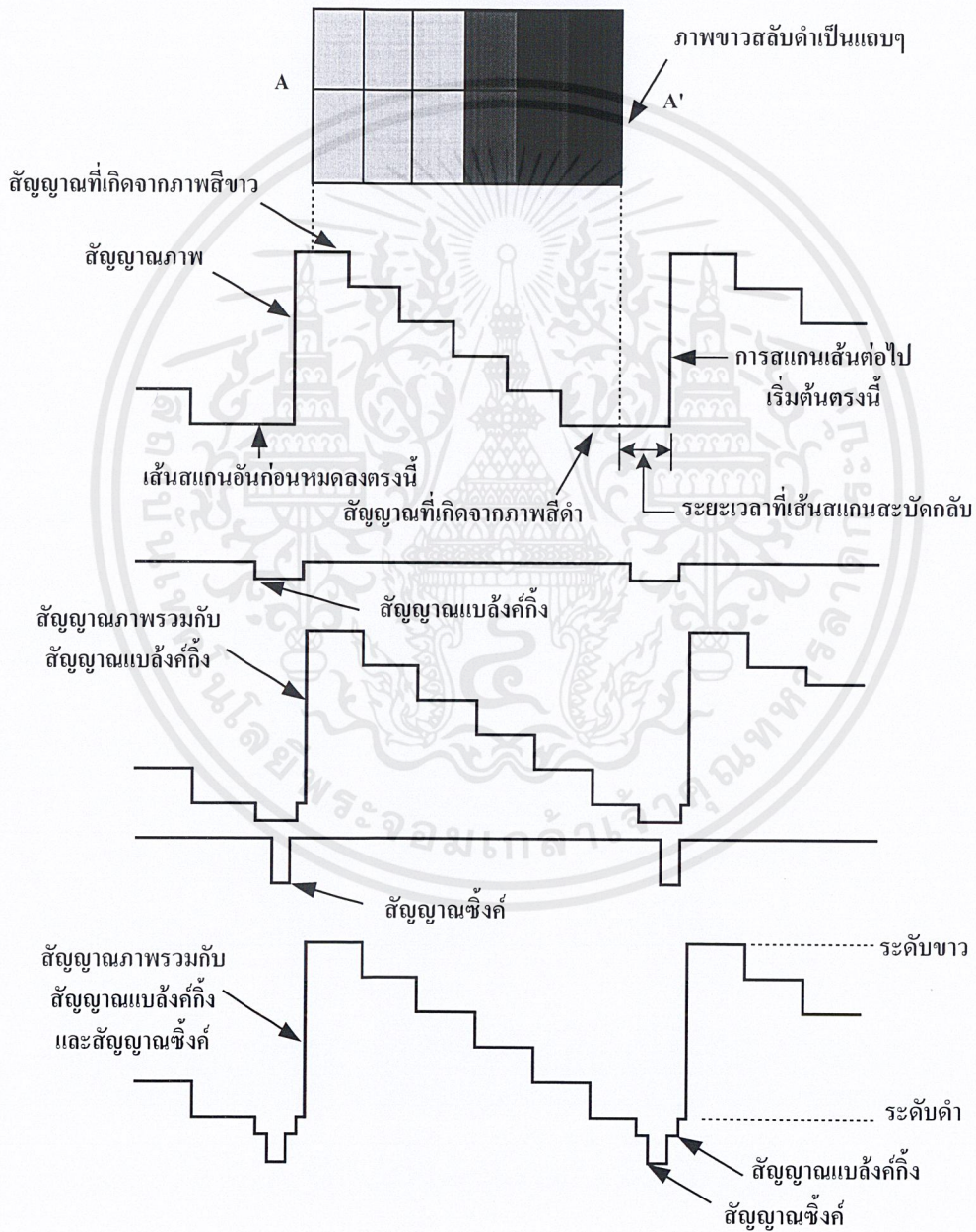


รูปที่ 2.9 ความถี่ของกระแสรูปพื้นเลื่อยในวงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้งทางด้านเครื่องส่งและเครื่องรับโทรทัศน์

ง) สัญญาณอิควอไลซิงค์เป็นสัญญาณที่ใช้เพื่อช่วยให้นสัญญาณซิงค์ทางแนวตั้งยังคงมีรูปร่างเหมือนเดิม หลังจากแยกออกมาจากสัญญาณซิงค์ทางแนวนอนแล้วนั้น นอกจากนี้ยังช่วยทำให้การสแกนไขว้กันเป็นไปด้วยความเรียบร้อยสม่ำเสมอ รวมทั้งสัญญาณซิงค์ทางแนวนอนก็ไม่ขาดหาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

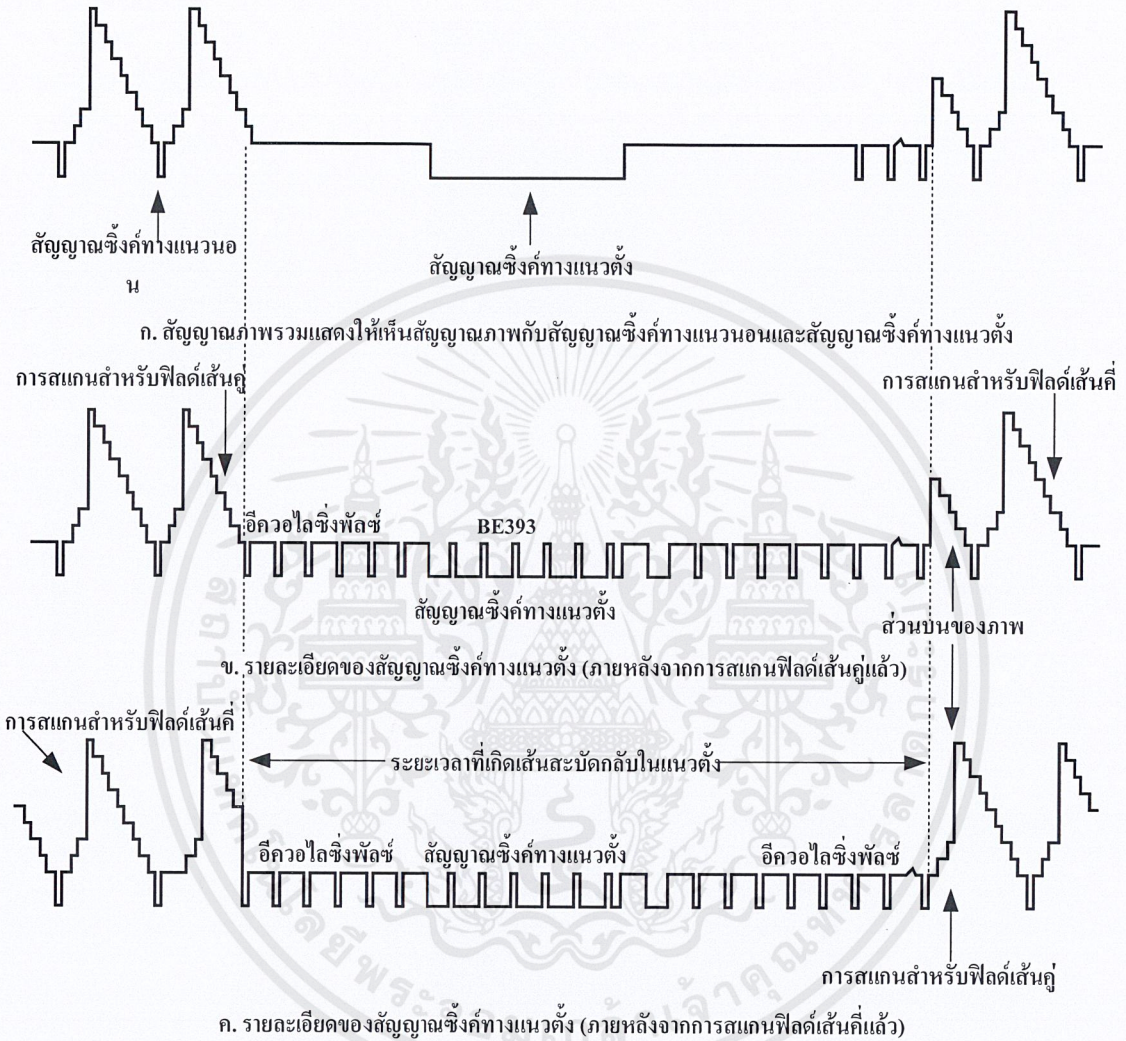
ในช่วงเวลาของสัญญาณซิงค์ทางแนวตั้งอีกด้วย ขนาดของพัลส์ที่กล่าวถึงนี้จะเท่ากับสัญญาณซิงค์ทางแนวตั้งหรือ 190 ไมโครวินาที หรือประมาณ 3 เท่าของขนาดสัญญาณซิงค์ทางแนวนอน และยังมีนิยามแบ่งพัลส์นี้ออกเป็น 6 พัลส์เล็กๆ ด้วยกันดังรูปที่ 2.10 เพื่อให้เกิดสัญญาณซิงค์ทางแนวนอนหนึ่งครั้งในทุกๆ สองครั้งที่พัลส์เล็กๆ นอกจากนี้ ยังนิยามแบ่งสัญญาณซิงค์ทางแนวตั้งออกเป็นพัลส์เล็กๆ เช่นเดียวกัน



รูปที่ 2.10 รูปร่างของสัญญาณ โทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณโทรทัศน์ที่มีสัญญาณภาพรวมกับสัญญาณอื่นๆ หลายอย่างตามที่ได้แสดงไว้ดังในรูปที่ 2.11 มีชื่อเรียกว่า สัญญาณภาพรวม



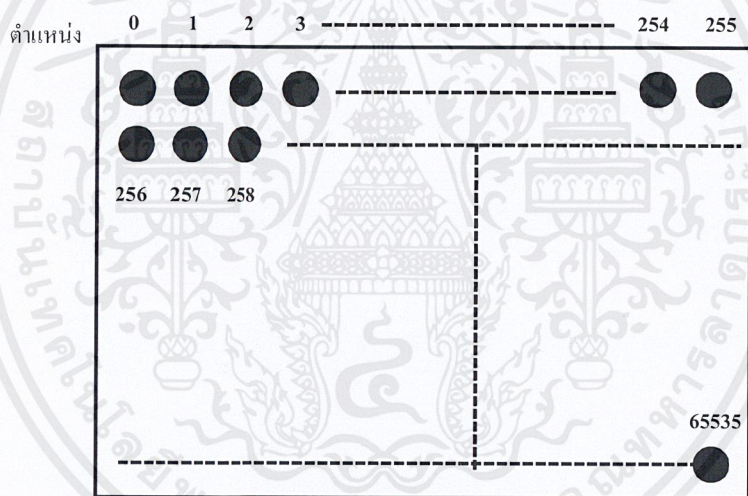
รูปที่ 2.11 สัญญาณภาพรวม แสดงให้เห็นรายละเอียดของสัญญาณแต่ละชนิด

รูปที่ 2.10 แสดงภาพขาวสลับดำซึ่งจะเริ่มจากสีขาว, สีดำจางๆ และสีดำสนิทเป็นแถบๆ กล้องโทรทัศน์จะเปลี่ยนภาพให้เป็นสัญญาณไฟฟ้าชนิดหนึ่ง เมื่อรวมกับสัญญาณแบล็กคิง และสัญญาณซิงค์แล้ว ก็จะได้สัญญาณภาพรวมตามที่แสดงไว้ ภาพแต่ละชนิดจะให้สัญญาณทางไฟฟ้าที่มีความถี่สูงต่ำแตกต่างกัน สำหรับโทรทัศน์ระบบอเมริกาความถี่สูงสุดของภาพไม่ควรที่จะเกิน 4 เมกะเฮิร์ตซ์ ส่วนโทรทัศน์ระบบยุโรปความถี่สูงสุดของภาพไม่ควรเกิน 5 เมกะเฮิร์ตซ์ ในเรื่องนี้ภาพที่เกิดจากสัญญาณโทรทัศน์ที่มีความถี่สูงย่อมละเอียดกว่า หรือมีจำนวนจุดดำเป็นส่วนประกอบ

ของภาพมากกว่าภาพที่เกิดจากสัญญาณโทรทัศน์ที่มีความถี่ต่ำ เมื่อเครื่องรับโทรทัศน์รับสัญญาณโทรทัศน์มาแล้ว จะมีการแยกเอาสัญญาณต่างๆ ตามที่กล่าวนี้ไป ให้วงจรที่ทำหน้าที่ต่างๆ กัน เพื่อให้เกิดภาพและเสียงตามความต้องการ สัญญาณเสียงก็จะผ่านไปยังวงจรเสียง, สัญญาณภาพ และสัญญาณแบล็กคิง ก็จะไปยังขั้วแคโทดหรือกริดของหลอดภาพส่วนสัญญาณซิงค์นั้นเมื่อแยกออกจากสัญญาณภาพรวมแล้ว ก็จะผ่านไปยังวงจรแยกซิงค์, วงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้ง

2.1.5 การเก็บข้อมูลภาพ

ในการเก็บข้อมูลภาพทางดิจิทัลขนาด 256×256 จุดต่อภาพ ภาพที่ได้มีความละเอียดของภาพสูงพอสมควรเหมาะสำหรับการนำข้อมูลภาพที่ได้ไปทำขบวนการต่างๆ ที่มีลักษณะการเก็บข้อมูลภาพ ดังรูปที่ 2.12



รูปที่ 2.12 การจัดพื้นที่หน่วยความจำในการเก็บข้อมูลภาพขนาด 256×256 จุดต่อภาพ

ลักษณะการเก็บข้อมูลภาพลงหน่วยความจำ โดยเริ่มจากบนซ้ายมือสุดเป็นตำแหน่ง 00 ของหน่วยความจำและนับไปทางขวามือจนถึงขวาสุด เป็นตำแหน่งที่ 255 ต่อจากนั้น จะเริ่มเก็บทางซ้ายมือสุดของเส้นถัดไปเป็นตำแหน่งที่ 256 เก็บต่อไปในลักษณะนี้จนถึงจุดทางขวาล่างสุดซึ่งเป็นตำแหน่งที่ 65535 รวมแล้วต้องใช้พื้นที่หน่วยความจำทั้งหมด 64 กิโลไบต์

ในลักษณะเช่นนี้ เราสามารถเขียนข้อมูลภาพที่ถูกเปลี่ยนเป็นข้อมูลดิจิทัลจากตัว Flash A/D ได้ทันเวลาเนื่องจาก 1 เส้นสแกนทางแนวนอนมีระยะเวลาประมาณ 64 ไมโครวินาทีและระยะแสดงภาพที่ต้องเปลี่ยนเป็นสัญญาณทางดิจิทัลจะมีประมาณ 80 % ของสัญญาณทั้งหมด ก็คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$64 \times 0.8 = 51.2$ ไมโครวินาที ส่วนที่เหลือก็เป็นช่วงของที่ว่าง ดังนั้นเมื่อต้องการเก็บภาพแต่ละเส้น ด้วยจุดภาพ 256 จุดภาพ ก็จะมีเวลาในการเขียนแต่ละจุดลงสู่หน่วยความจำเป็น 200 นาโนวินาที ($51.2 \text{ ไมโครวินาที} / (256) = 200 \text{ นาโนวินาที}$) จึงจะสามารถที่จะทำวงจรนับเขียนภาพลงสู่วิดีโอแรม (Video Ram) ได้ทันในการสแกนภาพและในแต่ละฟิล์ม เนื่องจากค่าของช่วงเวลากการเข้าถึงข้อมูล (Access time) คือ เวลาที่ใช้ในการอ่านและเขียนหน่วยความจำให้เสร็จสิ้นโดยสมบูรณ์ โดยทั่วไปแล้วหน่วยความจำที่เป็นแบบสแตติก (Static RAM : SRAM) และหน่วยความจำแบบไดนามิกส์ (Dynamic RAM : DRAM) มีค่าเวลาประมาณ 200 ในระบบเก็บภาพนั้นนอกจากภาพจะถูกเปลี่ยนเป็นสัญญาณดิจิทัลและเก็บลงสู่หน่วยความจำ แล้วภาพที่เก็บนั้นยังต้องสามารถนำมาแสดงได้อีก และไมโครคอมพิวเตอร์ต้องสามารถใช้หน่วยความจำภาพนี้ได้อย่างสะดวก

2.2 การหาความจุของภาพดิจิทัล

ในระบบ 625 เส้น ซึ่งต้องใช้เวลา 64 ไมโครวินาทีนั้น เราเลือกเก็บแต่ละภาพ 80 % หรือ 51.2 ไมโครวินาที เวลาที่ตัดทิ้งเป็นช่วงเวลาของสัญญาณซิงค์ทางแนวนอน และสัญญาณแบลิ่งค์กึ่งทางแนวนอนใช้เวลา 256 จุดเท่ากับใช้เวลา 51.2 ไมโครวินาทีดังนั้น 1 จุดเท่ากับ 0.2 ไมโครวินาที จะเป็นเวลาที่เขียนสู่หน่วยความจำแบบสแตติก

ในหนึ่งฟิล์มจะมี 312.5 เส้น เมื่อพิจารณารูปสัญญาณจะเห็นว่าช่วงเส้นสลับกลับทางแนวนอนจะใช้เวลา 25 เส้น ดังนั้นเราจะเก็บภาพจริง คือ

$$312.5 - 25 = 287.5 \text{ เส้น}$$

จะได้จำนวนจุดในหนึ่งฟิล์มเท่ากับ $287.5 \times 256 = 73,600$ จุด และถูกบรรจุเป็นข้อมูลรหัส 8 บิต เก็บไว้ในหน่วยความจำ ดังนั้น หน่วยความจำหนึ่งฟิล์มจะต้องมีขนาดความจุดังนี้

$$\begin{aligned} \text{ขนาดความจุในหนึ่งฟิล์ม} &= 287.5 \times 256 \times 8 \text{ บิต} \\ &= 588,800 \text{ บิต} \end{aligned}$$

$$\text{หรือเท่ากับ } 71.875 \text{ กิโลไบต์}$$

$$\text{ความถี่ที่ใช้ในการสุ่มมีค่าเท่า } 1/0.2 \text{ ไมโครวินาที} = 5 \text{ เมกะเฮิรตซ์}$$

2.2.1 ลักษณะการเก็บข้อมูลภาพทางดิจิทัลจุดต่อขนาด 256 x 512 จุดต่อภาพ

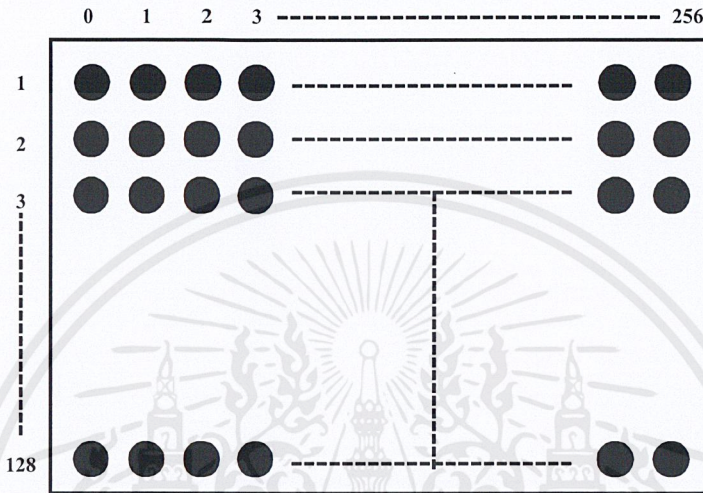
การหาขนาดความจุของภาพ เนื่องจากใช้ความละเอียดของภาพเท่ากับ 128×256 ดังนั้นขนาดของหน่วยความจำที่ต้องใช้คือ $128 \times 256 = 32768$ หรือ 32.768 กิโลไบต์

แต่ในความจริงแล้วเมื่อเราเก็บภาพขนาด 128×256 จุดต่อภาพ เราจะเก็บจำนวนเส้นสแกนทั้งหมด 256 เส้นเท่านั้น ในหนึ่งภาพมี 625 เส้นทางแนวนอน และจะต้องเสียเส้นสแกนในการสแกนทางแนวตั้งไป 50 เส้น ดังนั้น

$$\text{สัญญาณภาพจริง} = 625 - 50 = 575 \text{ เส้น}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเราเก็บข้อมูลภาพ 256 เส้นสแกนต่อภาพ จะต้องตัดทิ้งไป $575 - 128 = 447$ เส้น ทั้งระบบ 4 จอภาพ และแบบระบบ 8 จอภาพ จะใช้ขนาดความจุของภาพ การเขียนภาพ 256 จุดต่อภาพ



รูปที่ 2.13 การเก็บข้อมูลบนภาพขนาด 128 x 256 จุดต่อภาพ

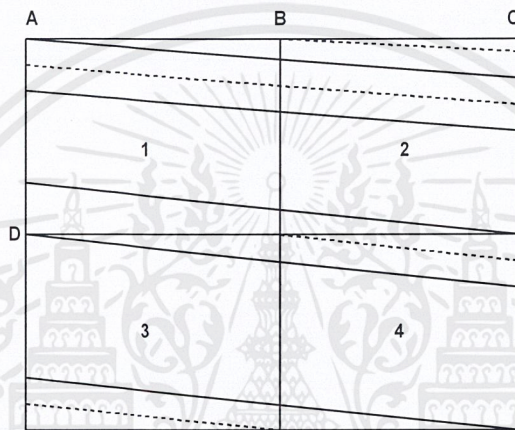
2.3 หลักการเขียน และการอ่านหน่วยความจำ

ระบบการแสดงผลแบบ 4 และ 8 จอภาพนั้น เป็นการย่อภาพปกติให้เป็นภาพเล็ก เท่ากับ 1 ใน 4 ของภาพปกติ สำหรับระบบ 4 จอภาพ และ 1 ใน 8 ของภาพปกติ สำหรับระบบ 8 จอภาพ เพื่อให้แสดงภาพบนจอโทรทัศน์ ได้พร้อมกัน 4 ภาพจาก 4 กล้องวิดีโอ (สำหรับระบบ 4 จอภาพ) และ 8 ภาพจาก 8 กล้องวิดีโอ (สำหรับระบบ 8 จอภาพ)

การเก็บภาพจาก 1 กล้องวิดีโอ จะใช้หน่วยความจำ 2 ชุด โดยเมื่อหน่วยความจำชุดแรกทำการเก็บข้อมูลภาพดิจิทัลที่ได้ทำการเปลี่ยนจากข้อมูลภาพแอนะล็อกของกล้องวิดีโอด้วยความถี่ 5 เมกะเฮิร์ตซ์ หน่วยความจำชุดที่สองจะถูกอ่านข้อมูลภาพดิจิทัลที่ได้เก็บไว้ก่อนหน้านี้เพื่อนำไปแสดงผลด้วยความถี่ที่สูงกว่าเป็นสองเท่าคือความถี่ 10 เมกะเฮิร์ตซ์ สำหรับระบบ 4 จอภาพและ 20 เมกะเฮิร์ตซ์ สำหรับระบบ 8 จอภาพ โดยหน่วยความจำทั้งสองชุดจะถูกสลับกันทำการเขียนและอ่านหน่วยความจำตลอดเวลา และเป็นลำดับต่อเนื่องกันไป

การจัดเก็บสัญญาณภาพ จะต้องจัดเก็บสัญญาณภาพ 128 เส้นสแกน และใช้ความถี่ในการสุ่ม 5 เมกะเฮิร์ตซ์ จะทำให้ใน 1 เส้นสแกนมีการเดิมจำนวนจุดเท่ากับ 256 จุด

ในระบบ 4 จอภาพ จะต้องทำการจัดเก็บสัญญาณภาพ 128 เส้นสแกนและใช้ความถี่ในการสุ่ม 5 เมกะเฮิร์ตซ์ จะทำให้ใน 1 เส้นสแกนแบ่งออกเป็นข้อมูลภาพเท่ากับ 256 จุด หรือขนาดภาพที่จัดเก็บใน 1 ภาพ เท่ากับ 128×256 จุด และในการย่อขนาดของภาพเป็น 1 ใน 4 ของภาพปกติหมายความว่าต้องอ่านข้อมูลแต่ละภาพให้เร็วขึ้นซึ่งทำได้โดยการเพิ่มความถี่ในการอ่านข้อมูลให้มีความเร็วเป็น 2 เท่าของความถี่ในการเขียนข้อมูล คือความถี่ 10 เมกะเฮิร์ตซ์ และภาพที่ปรากฏบนหน้าจอโทรทัศน์จะมีความละเอียดเท่า 128×256



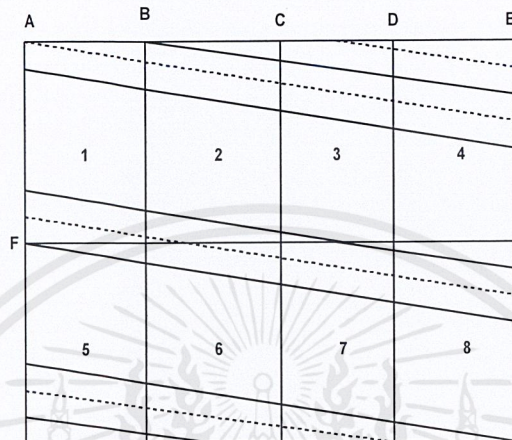
รูปที่ 2.14 เส้นสแกนของแต่ละกล้องสำหรับระบบ 4 จอภาพ

ในการแสดงภาพบนจอโทรทัศน์ เราแบ่งจอโทรทัศน์ออกเป็น 4 ส่วนดังแสดงในรูปที่ 2.14 โดยในแต่ละกล้องจะประกอบด้วย หน่วยความจำ 2 ชุด

จากรูปที่ 2.14 ในเส้นสแกนที่ 1 จากตำแหน่ง A ถึง B จะได้มาจากการอ่านหน่วยความจำของกล้องตัวที่ 1 ด้วยความเร็ว 10 เมกะเฮิร์ตซ์ หลังจากนั้นที่ตำแหน่ง B ถึง C จะได้จากการอ่านหน่วยความจำจากกล้องตัวที่ 2 สลับกันจนหมดเส้นสแกนที่ 128 ของกล้องตัวที่ 1 และกล้องตัวที่ 2 ที่ตำแหน่ง D เส้นสแกนเส้นแรกที่ได้จะมาจากกล้องตัวที่ 3 และกล้องตัวที่ 4 (เหมือนการทำงานในช่วงแรก) สลับกันต่อไปจนหมดเส้นสแกนที่ 128 ของกล้องตัวที่ 3 และกล้องตัวที่ 4 แล้วจะเริ่มทำการสแกนที่ตำแหน่ง A แต่จะใช้หน่วยความจำอีกชุดของทั้ง 4 กล้อง ซึ่งเก็บข้อมูลในเวลาเดียวกัน

ส่วนในระบบ 8 จอภาพ การจัดเก็บสัญญาณภาพ จะใช้เส้นสแกนภาพเหมือนกันกับระบบ 4 จอภาพ แต่การย่อขนาดของภาพเป็น 1 ใน 8 ของภาพปกติ หมายความว่าต้องอ่านข้อมูลในแต่ละภาพให้เร็วมากขึ้นซึ่งทำได้โดยการเพิ่มความถี่ให้มีความเร็วเป็น 4 เท่าของความถี่ในการเขียนข้อมูล

คือ 20 เมกะเฮิร์ตซ์ โดยที่ภาพที่ปรากฏบนหน้าจอมีขนาดความละเอียดเท่ากับ 128 x 256 เช่นเดียวกับระบบ 4 จอภาพ

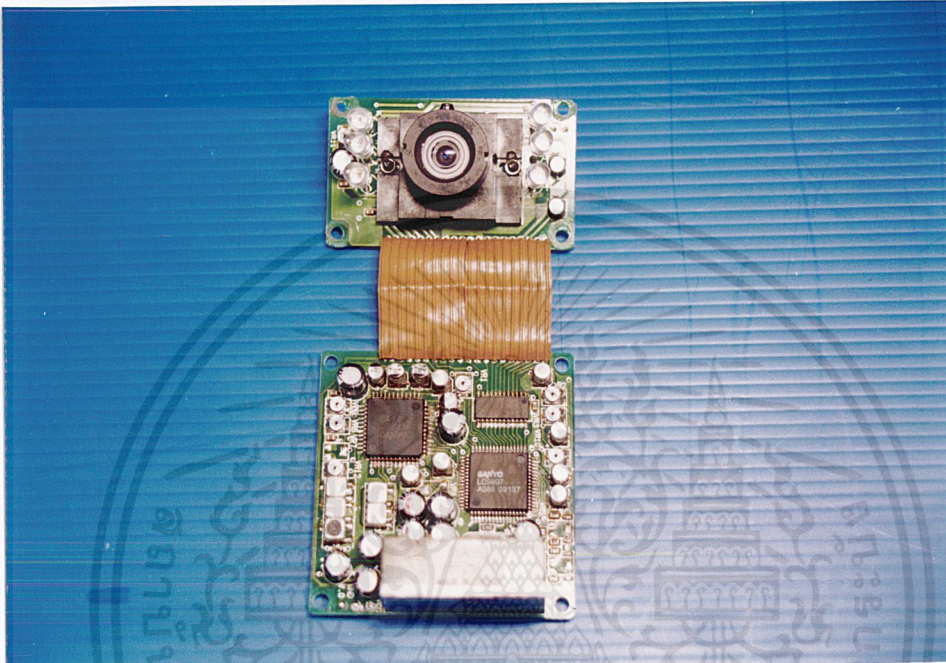


รูปที่ 2.15 เส้นสแกนของแต่ละกล้องสำหรับระบบ 8 จอภาพ

ในการแสดงภาพบนจอโทรทัศน์ เราแบ่งจอโทรทัศน์ออกเป็น 8 ส่วนดังแสดงในรูปที่ 2.15 จากรูปที่ 2.15 ในเส้นสแกนที่ 1 ตำแหน่ง A ถึง B จะได้มาจากการอ่านหน่วยความจำของกล้องตัวที่ 1 ด้วยความเร็ว 20 เมกะเฮิร์ตซ์ หลังจากนั้นที่ตำแหน่ง B ถึง C จะได้จากการอ่านหน่วยความจำจากกล้องตัวที่ 2 หลังจากนั้นที่ตำแหน่ง C ถึง D จะได้จากการอ่านหน่วยความจำจากกล้องตัวที่ 3 และหลังจากนั้นที่ตำแหน่ง D ถึง E จะได้จากการอ่านหน่วยความจำจากกล้องตัวที่ 4 สลับจนหมดเส้นสแกนที่ 128 ของกล้องตัวที่ 1 และกล้องตัวที่ 4 ที่ตำแหน่ง D เส้นสแกนเส้นแรกที่ได้จะมาจากกล้องตัวที่ 5, 6, 7 และกล้องตัวที่ 8 (เหมือนการทำงานในช่วงแรก) สลับกันไปจนหมดเส้นสแกนที่ 128 ของกล้องตัวที่ 5, 6, 7 และกล้องตัวที่ 8 แล้วจะเริ่มทำการสแกนที่ตำแหน่ง A เหมือนครั้งแรก แต่จะใช้หน่วยความจำอีกชุดของทั้ง 8 กล้อง ซึ่งเก็บข้อมูลในเวลาเดียวกันที่หน่วยความจำชุดแรกถูกอ่านข้อมูลอยู่

2.4 หลักการเบื้องต้นของกล้องวิดีโอแบบ CCD

CCD เป็นชื่อย่อมาจากคำว่า Charge Coupled Device หรืออุปกรณ์ที่อาศัยหลักการทำงานด้วยการถ่ายเทของประจุไฟฟ้า รูปลักษณะของผลิตภัณฑ์ CCD แสดงในรูปที่ 2.16



รูปที่ 2.16 กล้องถ่ายภาพ CCD ขนาดเล็ก

ปัจจุบันกล้องวิดีโอแบบ CCD ถูกนำมาสร้างในลักษณะกล้องถ่ายภาพขนาดเล็กที่มีขนาดเพียง 5.5 x 4 ตารางเซนติเมตรดังแสดงในรูปที่ 2.16 ซึ่งสามารถให้สัญญาณภาพเอาต์พุตได้ทันที นั่นคือ สามารถต่อเข้ากับเครื่องรับโทรทัศน์ หรือเครื่องเล่นวิดีโอเทปได้โดยตรง

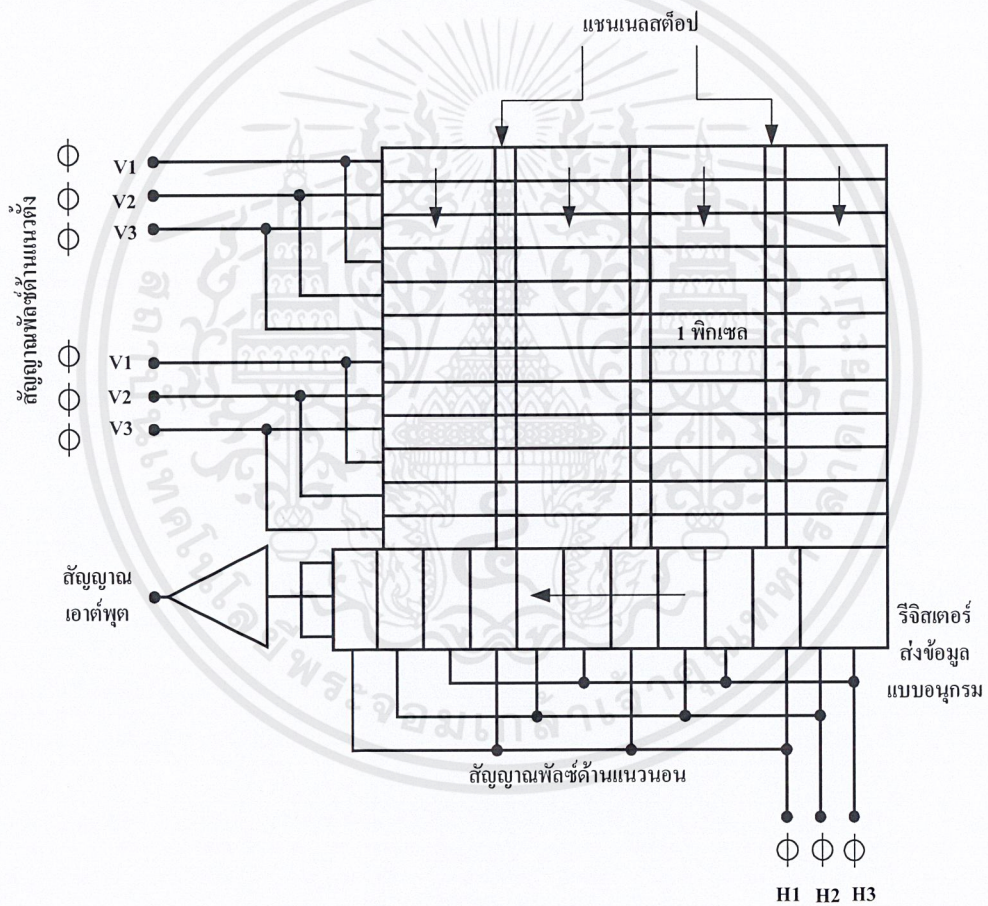
ผลิตภัณฑ์ที่มีอุปกรณ์ CCD เป็นส่วนประกอบหลัก เช่น กล้องวิดีโอ ไม่ว่าจะเป็นกล้องสำหรับงานด้านรักษาความปลอดภัย, งานถ่ายทำรายการโทรทัศน์ หรืองานตรวจสอบชิ้นส่วนใช้ งานในอุตสาหกรรมเป็นต้น แต่ที่มักพบเห็นบ่อยครั้งคงจะเป็นกล้องวิดีโอมือถือรุ่นใหม่ ๆ ที่มีอยู่ทั่วไปในปัจจุบัน

การใช้งานกล้องวิดีโอแบบ CCD ยุคเริ่มต้นได้นำมาใช้ทางด้านการทหาร และการวิจัยในทางด้านดาราศาสตร์เพราะว่าในขณะนั้น CCD มีราคาสูงมาก และยังไม่มีการใช้งานอย่างแพร่หลายเท่าใดนัก เนื่องจากต้องใช้ระบบควบคุมที่มีความซับซ้อนและราคาสูงต่อมาเมื่อเวลาผ่านไปอุปกรณ์ CCD ถูกนำมาใช้ในการผลิตกล้องวิดีโอขนาดเล็กมากขึ้น ไม่ว่าจะเป็นกล้องสำหรับใช้ในงานรักษา

ความปลอดภัย, กล้องวิดีโอในการผลิตรายการโทรทัศน์ จนกระทั่งกล้องวิดีโอแบบมือถือที่ใช้กันทั่วไป ทำให้ราคาของ CCD ถูกลง และมีการใช้งานอย่างแพร่หลายมากขึ้นในปัจจุบัน

2.4.1 โครงสร้างของ CCD

โครงสร้างทั่วไปของอุปกรณ์ CCD จากรูปที่ 2.17 แสดงให้เห็นถึงโครงสร้างภายใน และทิศทางถ่ายเทของประจุไฟฟ้าภายในอุปกรณ์โครงสร้างภายในของ CCD ถูกแบ่งออกเป็นเซลล์ หรือพื้นที่เล็กๆ มากมาย ซึ่งแต่ละเซลล์เล็กๆ นี้เรียกว่า พิกเซล (Pixel) นั่นคือ ยังมีการแบ่งพิกเซลมากเท่าใดก็จะทำให้ภาพที่ได้จากการตรวจจับนั้นมีความละเอียดมากขึ้น

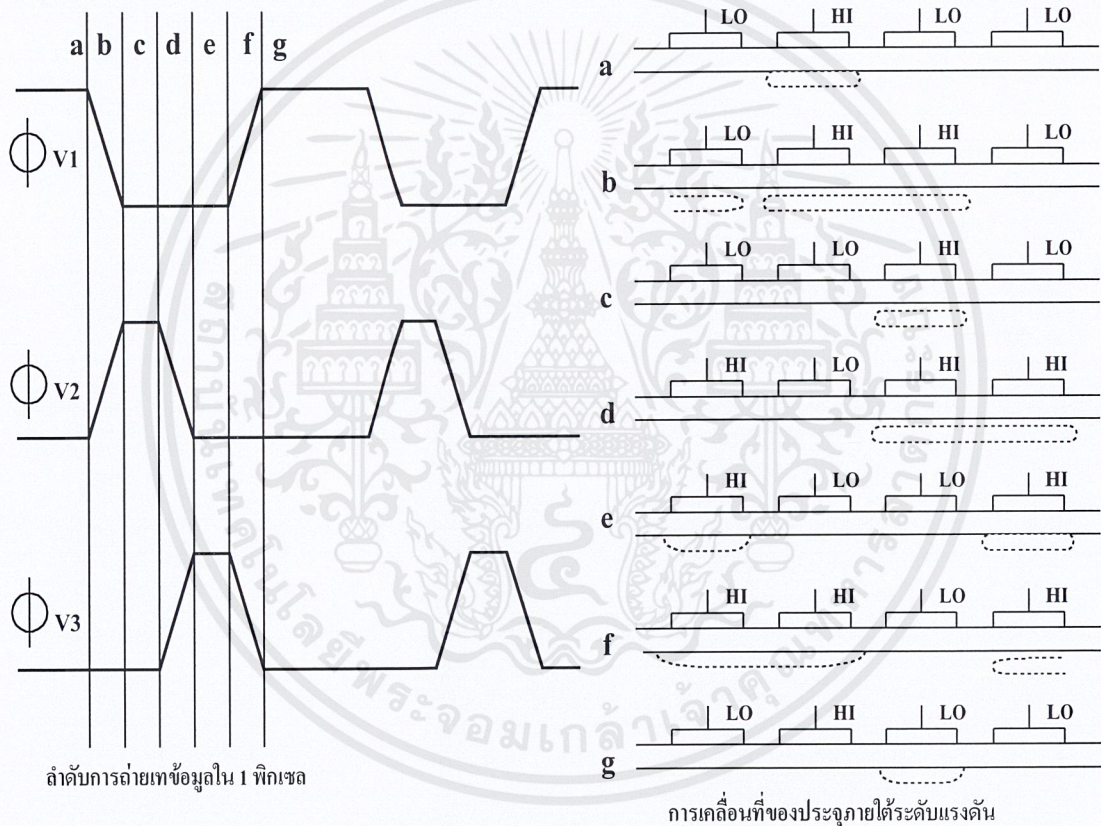


รูปที่ 2.17 โครงสร้างพื้นฐานทั่วไปของ CCD

ในแต่ละพิกเซลถูกแบ่งการควบคุมการทำงานเป็นแบบด้านแนวนอน และแนวตั้งโดยที่มีส่วนกั้นกลางที่เรียกว่า ช่องหยุดสัญญาณ (Channel Stop) เป็นตัวกั้นกลางระหว่างแต่ละแนวตั้ง ใน

แต่ละพิกเซลมีประจุไฟฟ้าสำหรับการถ่ายเทอยู่ ซึ่งจะมีการถ่ายเทเมื่อในพิกเซลนั้นได้รับพลังงานจากภายนอก คือแสงที่มาตกกระทบนั่นเอง

การถ่ายเทประจุไฟฟ้าเกิดขึ้นโดยใช้หลักการหมุนเฟส (Phase Clock Voltage) ซึ่งดูจากรูปที่ 2.17 จะเห็นได้ว่าในแต่ละพิกเซลนั้นจะถูกเชื่อมต่อกับขาสัญญาณ $\phi V_1 - \phi V_3$ สัญญาณที่ปรากฏที่ขาสัญญาณทั้งสามนี้จะมีเฟสที่สัมพันธ์กันตลอดเวลา ทั้งระดับแรงดันและช่วงเวลาดังแสดงในรูปที่ 2.18 ค่าแรงดันที่ปรากฏทั้ง 3 เฟสนี้ จะทำให้เกิดกระบวนการถ่ายเทประจุไฟฟ้าเกิดขึ้นจากตำแหน่งหนึ่งไปยังอีกตำแหน่งหนึ่งได้



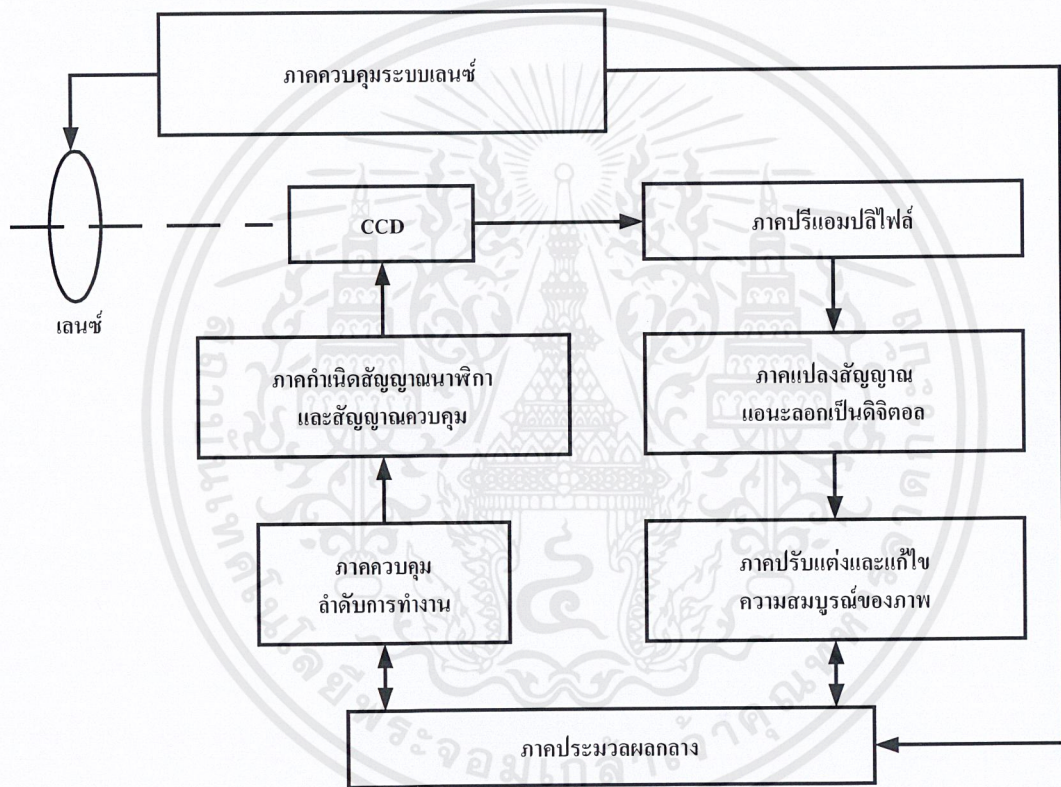
รูปที่ 2.18 รูปคลื่นของการหมุนเฟสที่ปรากฏด้านแนวตั้งและการถ่ายเทประจุที่สัมพันธ์กัน

เมื่อประจุไฟฟ้าถูกถ่ายเทมาจนถึงปลายสุดของพิกเซล ค่าประจุเหล่านั้นถูกส่งผ่านไปยังรีจิสเตอร์รับข้อมูลต่อไป เมื่อรีจิสเตอร์รับข้อมูลเป็นที่เรียบร้อยแล้ว ก็จะทำการเลื่อนข้อมูลออกไปในลักษณะอนุกรมสู่เอาต์พุต จึงหะการเลื่อนข้อมูลออกจากรีจิสเตอร์นี้ถูกควบคุมจากสัญญาณพัลส์ด้านแนวอนหรือแถวที่ขาสัญญาณ $\phi H_1 - \phi H_3$ ด้วยหลักการหมุนเฟสเช่นเดียวกัน การหมุนเฟสทั้งด้านแนวอนและแนวตั้งนี้ จะมีความสัมพันธ์กันตลอดเวลาแต่ใน CCD บางรุ่นนั้น อาจใช้เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในจำนวนเฟสในการควบคุมมากกว่าหรือน้อยกว่า 3 เฟสนี้ ก็ได้ ขึ้นอยู่กับการออกแบบ และโครงสร้างภายใน

การใช้งานอุปกรณ์กล้อง CCD นั้นจำเป็นต้องมีอุปกรณ์ต่อร่วมอื่นๆ ด้วย เป็นระบบที่สร้างสัญญาณควบคุมให้กับ CCD และกระบวนการในการนำเอาสัญญาณเอาต์พุตที่ได้จาก CCD มากำเนิดภาพต่อไป

2.4.2 ระบบการทำงานของ CCD



รูปที่ 2.19 ระบบการทำงานพื้นฐานของ CCD

รูปที่ 2.19 แสดงระบบการทำงานพื้นฐานของ CCD จะเห็นว่ามืองค์ประกอบที่สำคัญอยู่หลายส่วน เริ่มต้นจากภาคการขยายสัญญาณเบื้องต้น (Preamplifier) ซึ่งในส่วนนี้จำเป็นต้องออกแบบให้มีสัญญาณรบกวนต่ำมาก เพราะสัญญาณที่ได้จาก CCD นั้นมีค่าค่อนข้างต่ำ และเกิดการสูญเสียหรือรบกวนได้ง่ายมาก ปกติแล้วจากโครงสร้างของ CCD ซึ่งผลิตขึ้นจากสารกึ่งตัวนำ เช่นเดียวกับอุปกรณ์อิเล็กทรอนิกส์ทั่วไป ทำให้ภายในตัวมันเองขณะที่ทำงานในอุณหภูมิปกติก็เกิด

ความสูญเสียบ้างอยู่แล้ว ระบบทั้งหมดของ CCD จึงจำเป็นต้องออกแบบให้มีสัญญาณรบกวนต่ำที่สุด โดยเฉพาะภาคแรกที่เชื่อมต่อกับ CCD

หลังจากขยายสัญญาณด้วยภาคปริแอมพลิไฟด์แล้ว สัญญาณจะถูกส่งต่อไปเข้าภาคแปลงสัญญาณแอนะล็อกเป็นดิจิทัล เพื่อนำไปเข้าสู่กระบวนการกำเนิดภาพหลังจากภาพที่ถ่ายได้จาก CCD ถูกแปลงเป็นข้อมูลดิจิทัลแล้ว จะถูกส่งไปยังภาคปรับแต่งและแก้ไขเพื่อให้ภาพที่สมบูรณ์ที่สุดมาใช้งาน

นอกจากระบบประมวลสัญญาณภาพแล้ว อีกส่วนหนึ่งที่สำคัญคือ ภาคควบคุมการทำงานของ CCD ทำหน้าที่ควบคุมสัญญาณนาฬิกาสำหรับการหมุนเฟส และสัญญาณควบคุมต่างๆ ให้กับ CCD ซึ่งในส่วนนี้ ต้องเป็นวงจรที่มีเสถียรภาพในการทำงานที่ดีมาก และมีระบบควบคุมที่ดี ส่วนสุดท้ายคือ ภาคควบคุมระบบเลนส์ที่ช่วยปรับระยะใกล้ไกลของภาพให้เหมาะสม

1) อุปกรณ์กล้องวิดีโอ

ในระบบการประชุมทางไกลผ่านจอภาพประกอบด้วยระบบกล้องวิดีโอ 1 ตัว หรือมากกว่า โดยระบบกล้องที่ง่ายและถูกที่สุดคือ ติดตั้งกล้องตายตัว (Fixed Camera) เพียง 1 ตัว แต่ระบบนี้จะไม่มีความคล่องตัวในการจัดภาพดังนั้น จึงได้มีการจัดระบบกล้องตายตัว แบบ Dual-Camera/Dual-Monitor เพื่อสามารถเก็บรายละเอียดของผู้เข้าร่วมประชุมได้มากขึ้น

สำหรับระบบการประชุมทางไกลผ่านจอภาพระดับห้องบันทึกภาพซึ่งจะมีการใช้งานกล้องวิดีโอหลายตัวร่วมกับสวิตซ์วิดีโอ เพื่อจับภาพที่เหมาะสม โดยระบบกล้องวิดีโออาจจะประกอบไปด้วยกล้องตายตัว 1 ตัว เพื่อจับภาพการประชุมทั้งหมด, กล้องตายตัว 2 ตัว (ที่ขยายได้) เพื่อจับภาพรายละเอียดผู้เข้าร่วมประชุม, กล้องปรับตำแหน่ง (ที่ขยายได้) เพื่อจับภาพที่ต้องการ และกล้องถ่ายเอกสาร เพื่อถ่ายภาพเอกสารต่างๆ ซึ่งการควบคุมกล้องวิดีโอและสวิตซ์วิดีโอจะสามารถกระทำโดยผ่านอุปกรณ์ควบคุม

2) อุปกรณ์จอภาพ

อุปกรณ์จอภาพที่ใช้งานในระบบการประชุมทางไกลผ่านจอภาพจะมี 2 รูปแบบ นั่นคือ จอภาพแสดงผลและโปรเจกเตอร์ โดยจอภาพมอนิเตอร์ใช้งานคือ จอภาพโทรทัศน์นั่นเอง โดยที่ระบบการประชุมทางไกลผ่านจอภาพระดับห้องบันทึกภาพ ก็จะใช้จอขนาดใหญ่ เช่นจอขนาด 33 นิ้ว เป็นต้น ส่วนโปรเจกเตอร์จะใช้งานสำหรับการแสดงภาพจากคอมพิวเตอร์แก่ผู้เข้าประชุม

บทที่ 3

การออกแบบ การสร้าง และการทำงาน

จากที่ได้ทราบถึงทฤษฎี และหลักการที่จำเป็นในระบบการทำงานของเครื่องผสมสัญญาณภาพ 8 ช่อง ว่าประกอบด้วยอะไรบ้างในบทที่ 2 สามารถออกแบบวงจรการทำงานของเครื่องผสมสัญญาณภาพ 8 ช่อง โดยมีหลักการออกแบบดังที่จะกล่าวต่อไปนี้

3.1 การออกแบบ

ในรูปที่ 3.1 เป็นการแสดงผังการทำงานของเครื่องผสมสัญญาณภาพ 8 ช่อง ซึ่งสามารถแยกเป็นโครงสร้างแต่ละส่วนของวงจรได้ดังนี้ โครงสร้างส่วนที่เป็นส่วนประกอบหลัก คือ

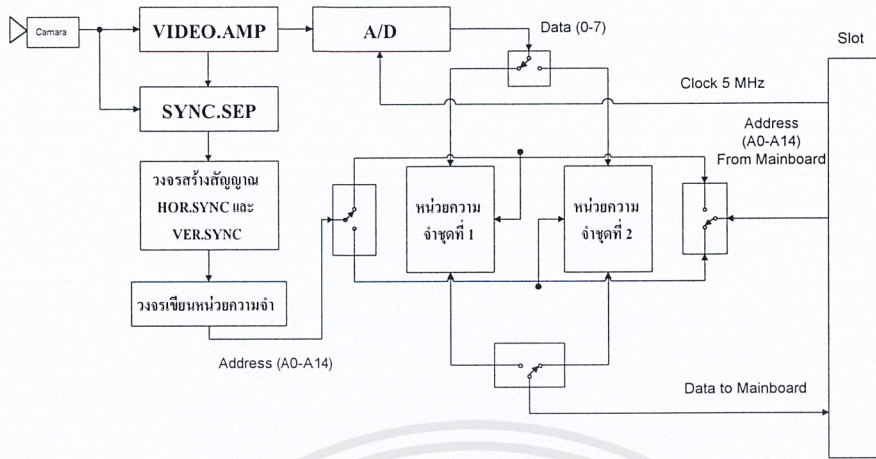
1. ส่วนของการรับสัญญาณ

- 1) วงจรขยายสัญญาณภาพ
- 2) วงจรแยกสัญญาณซิงค์
- 3) วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล
- 4) วงจรเขียนหน่วยความจำ
- 5) วงจรหน่วยความจำ

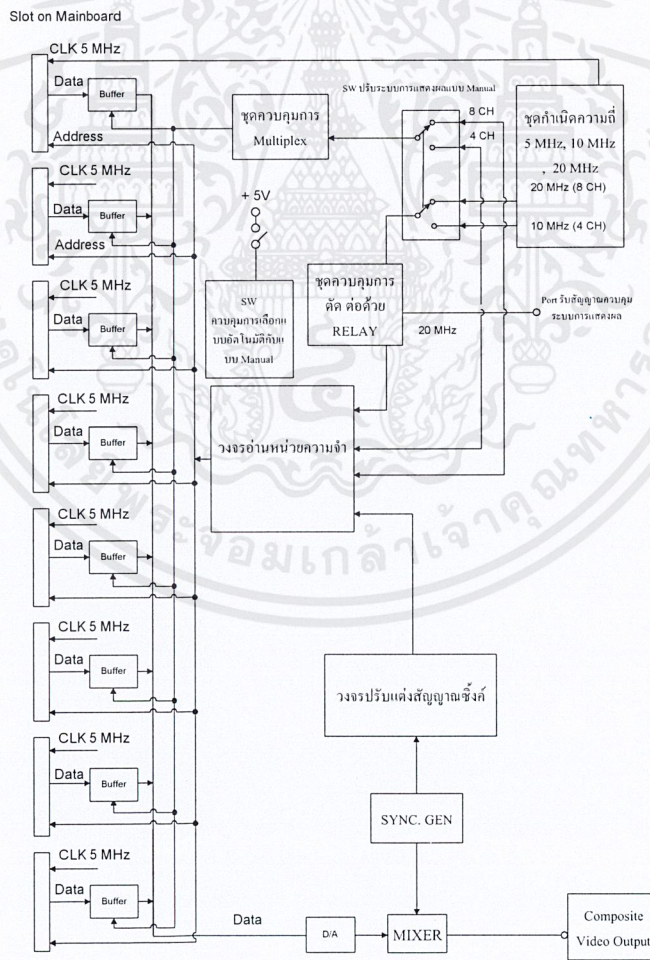
2. ส่วนของเมนบอร์ด

- 1) วงจรมัลติเพล็กซ์
- 2) วงจรอ่านหน่วยความจำ
- 3) วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก
- 4) วงจรผลิตสัญญาณนาฬิกา
- 5) วงจรผลิตสัญญาณซิงค์
- 6) วงจรผสมสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 แผนผังการทำงานส่วนของการ์ด



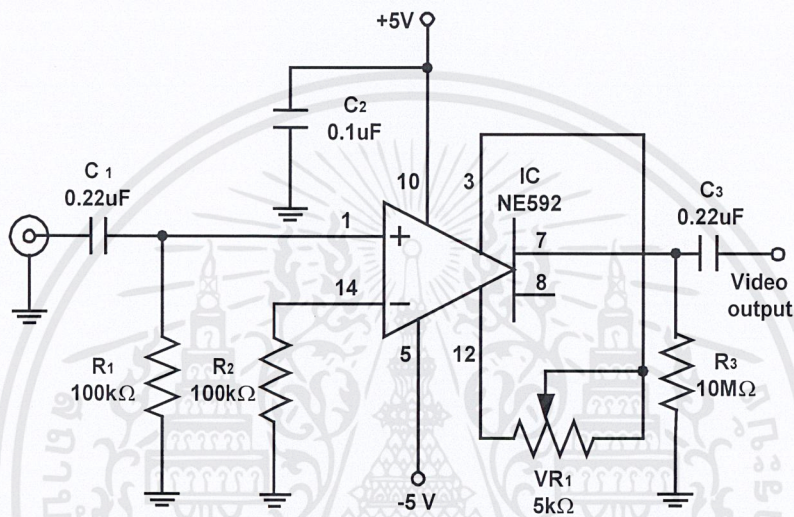
รูปที่ 3.2 แผนผังการทำงานส่วนของเมนบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การทำงานของวงจรต่างๆ

3.2.1 ส่วนของการ์ดรับสัญญาณ

1) วงจรขยายสัญญาณภาพ



รูปที่ 3.3 วงจรขยายสัญญาณภาพ

การทำงานของวงจร

เป็นวงจรที่นำเอาสัญญาณคอมโพสิทวิตีโอมาขยายสัญญาณให้มีความแรงขึ้น โดยใช้ ไอซี NE592 ซึ่งการทำงานของไอซีเบอร์นี้จะมีออปแอมป์ในการขยายสัญญาณอยู่ภายใน 2 ตัว แต่เวลาใช้งานจริงจะใช้เพียงตัวเดียว

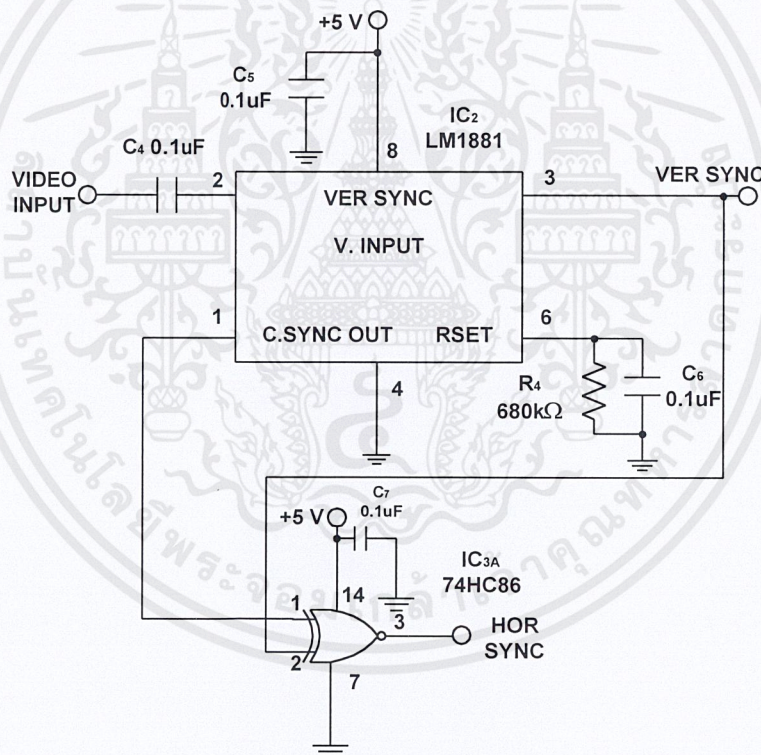
หลักการทำงานของสัญญาณคอมโพสิทวิตีโอถูกคัปปลิ่งโดย C_1 และ R_1 เป็นอินพุตอิมพีแดนซ์ผ่านเข้าอินพุตออปแอมป์ตัวที่ 1 ทางขา 1 ภายใน ไอซี NE592 ออกเป็นสัญญาณคอมโพสิทวิตีโอที่ถูกขยายผ่านออกทางขา 7 โดยมี R_3 เป็นเอาต์พุตอิมพีแดนซ์ และ C_3 เป็นตัวคัปปลิ่งสัญญาณออกสู่ภาคต่อไป โดยที่มี VR_1 เป็นตัวปรับเกณฑ์การขยาย และมี R_2 เป็นอินพุตอิมพีแดนซ์ของออปแอมป์ตัวที่ 2 ซึ่งไม่ได้ต่อใช้งาน

2) วงจรแยกสัญญาณซิงค์

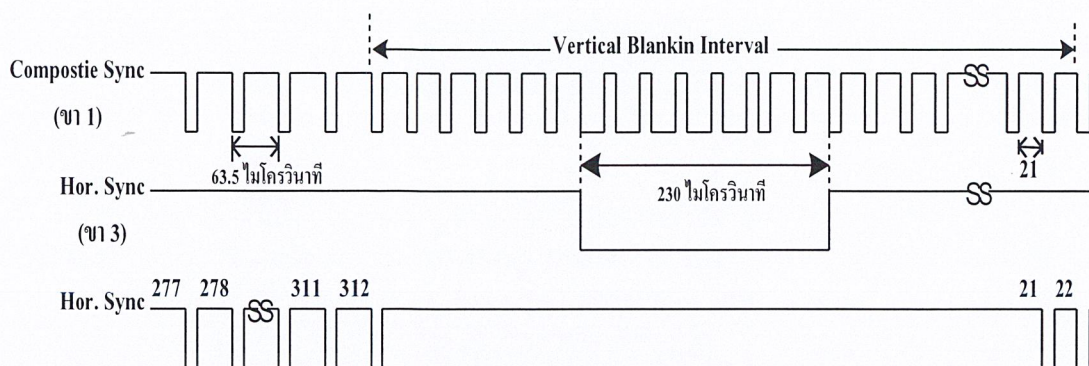
การทำงานของวงจร

วงจรแยกสัญญาณซิงค์ทำหน้าที่แยกเอาสัญญาณต่างๆ ที่อยู่ในสัญญาณซิงค์ออกมา นั่นคือสัญญาณซิงค์ทางด้านแนวนอน และสัญญาณซิงค์ทางด้านแนวตั้งออกจากสัญญาณภาพรวม เพื่อส่งไปควบคุมวงจรนับตำแหน่ง

ไอซี LM 1881 เป็นไอซีที่ทำหน้าที่แยกสัญญาณภาพรวม ออกมาเป็นสัญญาณต่างๆ ได้แก่สัญญาณซิงค์, สัญญาณซิงค์ทางแนวนอน, สัญญาณซิงค์ทางแนวตั้ง สัญญาณซิงค์ทางแนวตั้งจะถูกส่งออกมาทางขา 3 ของไอซี LM 1881 เมื่อขอบขาขึ้นของสัญญาณซิงค์ทางแนวตั้งจากสัญญาณรวมถูกแรกปรากฏขึ้น



รูปที่ 3.4 วงจรแยกสัญญาณซิงค์



รูปที่ 3.5 พังเวลาการเกิดสัญญาณควบคุมตำแหน่งภาพทางแนวนอน

ไอซี LM1881 จะให้สัญญาณเอาต์พุตเข้าจังหวะกับสัญญาณภาพรวมในสภาวะปกติถูกออกแบบให้ใช้งานกับระบบ NTSC ซึ่งมีความถี่ทางด้านแนวนอนเท่ากับ 15,734 เฮิร์ตซ์ แต่ในวงจรนี้ใช้งานในระบบ PAL จึงต้องตั้งค่าให้มีอัตราความเร็วของความถี่ทางด้านแนวนอนเป็น 15,625 เฮิร์ตซ์ โดยต่อตัวต้านทานค่า 680 กิโลโอห์ม ขนานกับตัวเก็บประจุ 0.1 ไมโครฟารัด เข้ากับขา 6 เพื่อปรับความถี่ให้ตรงตามมาตรฐานของระบบ PAL ทำให้ได้สัญญาณทางด้านแนวตั้งที่เอาต์พุตขา 3 เข้าจังหวะกับสัญญาณภาพรวม โดยเอาต์พุตของสัญญาณซิงค์ลูกแรกจะเกิดขึ้นเมื่อมีอินพุตขอบขาขึ้นของสัญญาณซิงค์ทางด้านแนวตั้งเริ่มขึ้น

สัญญาณซิงค์ทางด้านแนวนอน ที่ได้มาจากการนำเอาสัญญาณซิงค์ที่ขา 1 มาผ่านการเอ็กซ์คลูซีฟเฟอร์เกิดกับสัญญาณซิงค์ทางด้านแนวตั้งที่ขา 3

จากรูปที่ 3.3 เห็นได้ว่าส่วนที่เราต้องการใช้สัญญาณพัลส์ทางด้านแนวนอนจริงๆ นั่นคือสัญญาณพัลส์ทางด้านแนวนอนลูกที่ 22 ถึงลูกที่ 278 ซึ่งเท่ากับ 256 ลูกเท่านั้น เนื่องจากในส่วนของวงจรนับตำแหน่ง จะทำการนับเพียง 256 ตำแหน่ง ต่อจากนั้นก็จะรอสัญญาณซิงค์ทางด้านแนวตั้งมาทำการลบล้างตำแหน่งที่นับอยู่ และเริ่มต้นนับตำแหน่งใหม่จนถึง 256 ตำแหน่ง ดังนั้นช่วงที่เราสนใจ (0,0), (1,0) ซึ่งจะได้สภาวะ 0 และ 1 ตามลำดับ ส่วนช่วงที่เป็นสัญญาณซิงค์ทางด้านแนวตั้งนั้นไม่สนใจ เพราะวงจรนับตำแหน่งจะทำการปรับแต่งค่าใหม่นั้นเอง และรอจนกระทั่งสัญญาณซิงค์ทางด้านแนวตั้งหมดไป จึงเริ่มนับสัญญาณซิงค์ทางด้านแนวนอนต่อไป

ดังนั้น จึงได้สัญญาณซิงค์ทางด้านแนวนอนออกมาที่เอาต์พุตขา 3 ของไอซีเบอร์ 74HC86

3) วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล

การแสดงภาพของระบบโทรทัศน์ในหนึ่งภาพจะใช้สองฟิล์มคือฟิล์มคู่และฟิล์มคี่ ในแต่ละฟิล์มจะใช้จำนวนเส้นในการสแกนเท่ากับ 312.5 เส้น ในงานด้านการประมวลผลภาพไม่ต้องการความละเอียดของภาพเท่ากับของโทรทัศน์ เนื่องจากมีข้อจำกัดด้านหน่วยความจำโดยจะทำการเก็บเพียง 256 เส้นในหนึ่งฟิล์ม และในแต่ละเส้นจะสุ่มมา 256 เส้น โดยการสุ่มในแต่ละครั้งจะใช้หน่วยความจำขนาด 8 บิต ดังนั้น หน่วยความจำที่จำเป็นต้องใช้ในการเก็บข้อมูลหนึ่งฟิล์มเท่ากับ

$$256 \times 256 \times 8 \text{ บิต} = 8 \times 64 \text{ กิโลบิต} \quad (3.1)$$

สาเหตุที่ใช้หน่วยความจำในการเก็บข้อมูล 1 จุดเท่ากับ 8 บิต ก็เพื่อให้สัญญาณภาพที่ได้มีความละเอียดสูงนั่นเอง ซึ่งจะทำให้ความละเอียดของสัญญาณภาพแต่ละจุดถึง 256 ระดับ คือ

$$2^8 = 256 \quad (3.2)$$

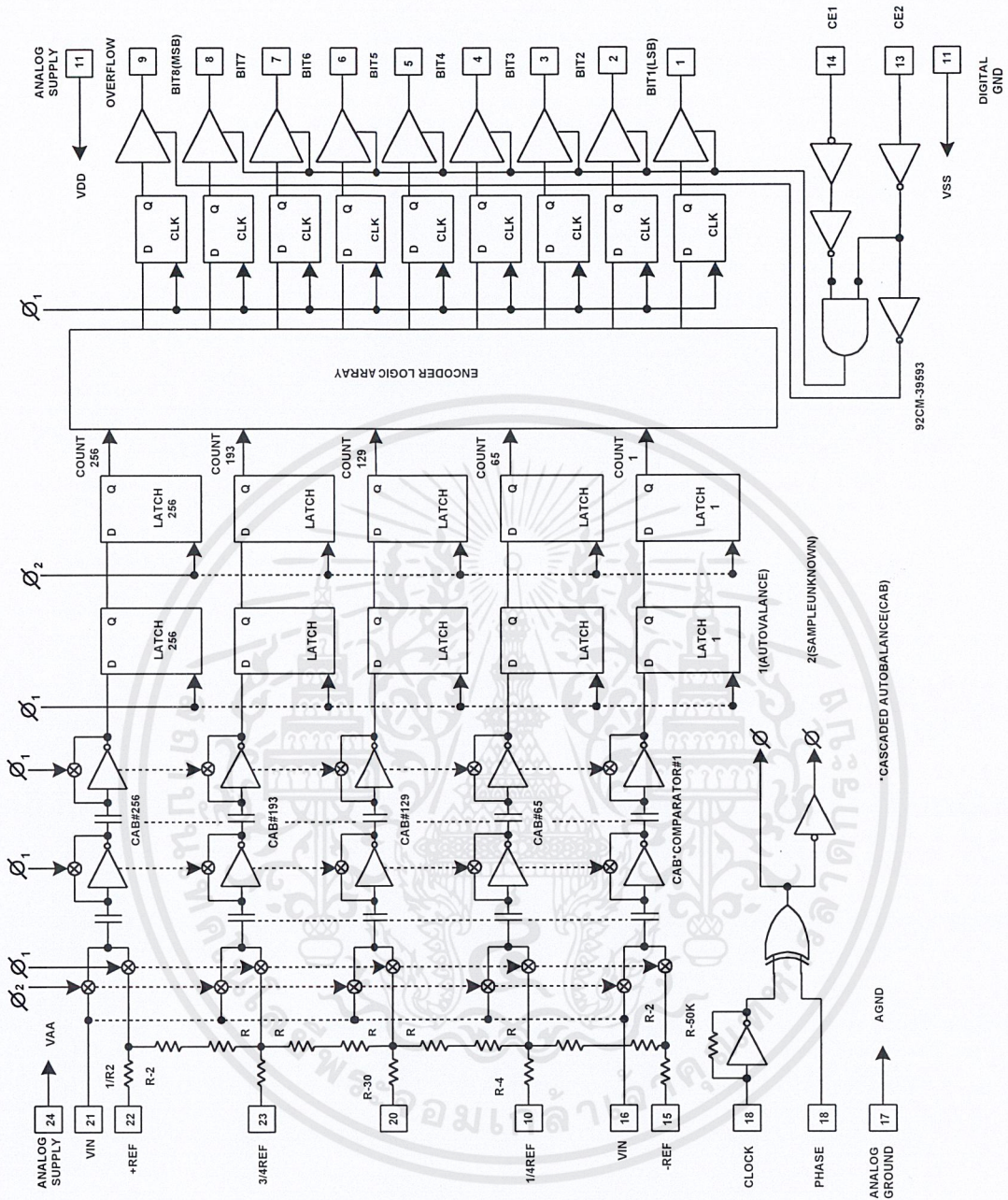
ถ้าขนาดของสัญญาณภาพมีขนาดของแรงดันตั้งแต่ 0 ถึง 1.4 โวลต์ แล้วความละเอียดของสัญญาณแต่ละระดับจะเท่ากับ

$$\frac{1.4}{256} = 0.0055 \text{ โวลต์} \quad (3.3)$$

จะเห็นว่าความแตกต่างของระดับสัญญาณ 256 ระดับนี้ มีความละเอียดมากพอที่จะแยกความแตกต่างของภาพได้ดี

วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล ซึ่งจะมีหน้าที่แปลงสัญญาณภาพที่เป็นแอนะล็อกให้เป็นสัญญาณดิจิทัลเพื่อนำไปเก็บไว้ในหน่วยความจำโดยมีขนาด 8 บิต

ในโครงการนี้ วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบแฟลชขนาด 8 บิตมีความเร็วในการแปลงสัญญาณสูงมาก มีขนาด 24 ขา คำว่า แฟลช เป็นรูปแบบการแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลอีกรูปแบบหนึ่งในหลายๆ รูปแบบซึ่งแบบแฟลชนี้มีความเร็วในการแปลงสัญญาณสูงกว่าแบบอื่นๆ



รูปที่ 3.6 ผังการทำงานภายในของไอซี CA 3318

คุณสมบัติของไอซี CA 3318

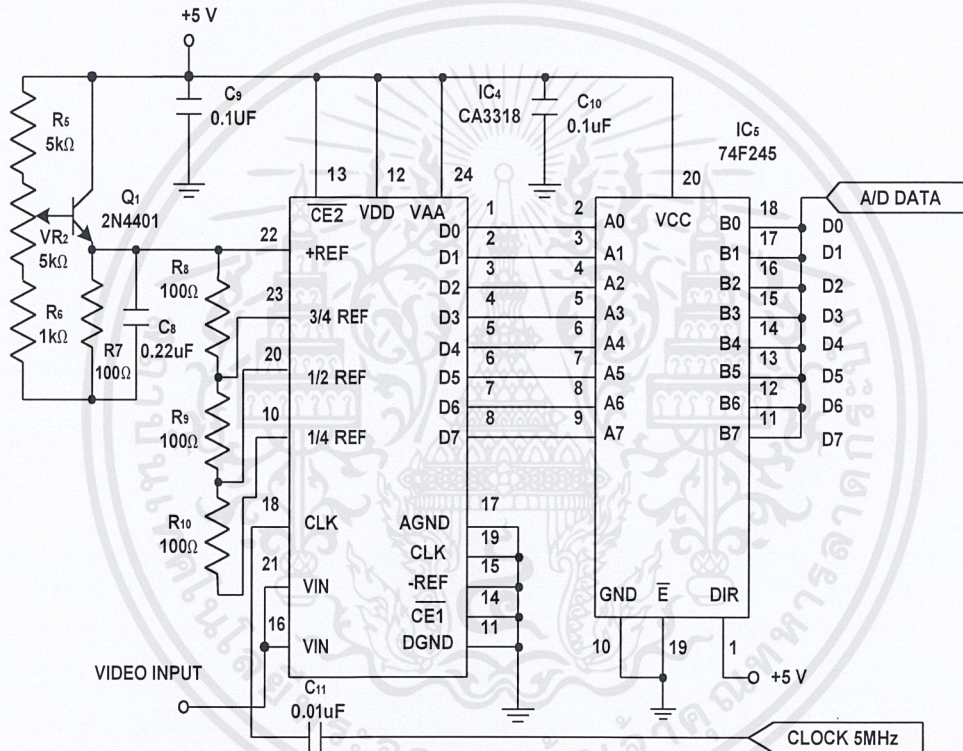
1. ใช้เทคโนโลยี CMOS with SOS Speed
2. ใช้เทคนิคการแปลงข้อมูลแบบขนาน
3. อัตราการแปลงข้อมูล 15 เมกะพิกเซลที่ 5 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ให้สัญญาณเอาต์พุตขนาด 8 บิต
5. ใช้แหล่งจ่ายไฟชุดเดียว 4 ถึง 6.5 โวลต์
6. แยกระบบกราวด์ของสัญญาณแอนะล็อกกับสัญญาณดิจิทัลออกจากกัน

ได้ขนาด

7. กำลังงานสูญเสีย 200 มิลลิวัตต์
8. แรงดันอินพุตอยู่ในช่วง 0 ถึง 6.4 โวลต์
9. สัญญาณนาฬิกา 20 เมกะเฮิร์ตซ์



รูปที่ 3.7 วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล

การทำงานของวงจร

สัญญาณวิดีโออินพุตจะถูกป้อนเข้าที่ขา 21 และขา 16 ที่ขา 22 จะถูกปรับให้อยู่ในช่วง 5 โวลต์โดยใช้วงจรควบคุมแรงดันที่ขา $3/4$ REF, $1/2$ REF และ $1/4$ REF จะถูกต่อโดยชุดแบ่งแรงดันเพื่อเป็นแรงดันให้ชุดสวิตช์อิเล็กทรอนิกส์ภายในตัวไอซี ซึ่งมีชุดสร้างแรงดันอ้างอิง ในทั้งทางด้านบวก และด้านลบ โดยภายในไอซีมีชุดสวิตช์อิเล็กทรอนิกส์อยู่ 256 ชุด โดยจะนำสัญญาณอินพุตมาเปรียบเทียบ (เป็น 0 หรือ 1) ส่งข้อมูลเข้าดีฟลิปฟล็อป ทั้ง 256 โดยตรงเป็นไปในลักษณะตัวเปรียบเทียบชุดที่ 1 ส่งข้อมูลเข้าดีฟลิปฟล็อปชุดที่ 1 โดยดีฟลิปฟล็อปทำหน้าที่เป็นชิพรีจิสเตอร์ ทำงานเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีก้ารนำไปใช้

ในโหมดสัญญาณนาฬิกา (ตอบสนองต่อสัญญาณนาฬิกาเฉพาะช่วงขอบขาขึ้น และขอบขาลงของพัลส์เท่านั้น) ทำการแลตช์ข้อมูลไว้ชั่วคราว จนกว่าจะมีข้อมูลใหม่เข้ามาจึงจะเลื่อนข้อมูลนั้นส่งเข้าสู่ชุดรหัสเพื่อแปลงข้อมูลทั้ง 256 ค่า ออกมาเป็นข้อมูลดิจิทัลขนาด 8 บิต (รวมบิตส่วนเกิน) ส่งต่อไปยังเอาต์พุตริจิสเตอร์ ซึ่งใช้ดีฟลิปฟล็อปทำหน้าที่อีกเช่นเคย ก่อนส่งไปยังตัวขับ 3 สถานะเป็นเอาต์พุตต่อไป เอาต์พุตนี้สามารถควบคุมได้ด้วย \overline{CE}_1 และ \overline{CE}_2 การทำงานทั้งหมดนี้เราสามารถควบคุมได้ที่ขาควบคุมเฟส (ขา 19)

4) วงจรเขียนหน่วยความจำ

หลักการทํางาน

จากรูปที่ 3.6 แบ่งการทำงานออกได้เป็น 2 ส่วน คือส่วนที่ใช้หน่วยเวลาสัญญาณซิงค์ทางแนวนอน, สัญญาณซิงค์ทางแนวตั้ง และส่วนที่ใช้นับตำแหน่งความจำขณะทำการบันทึกข้อมูล

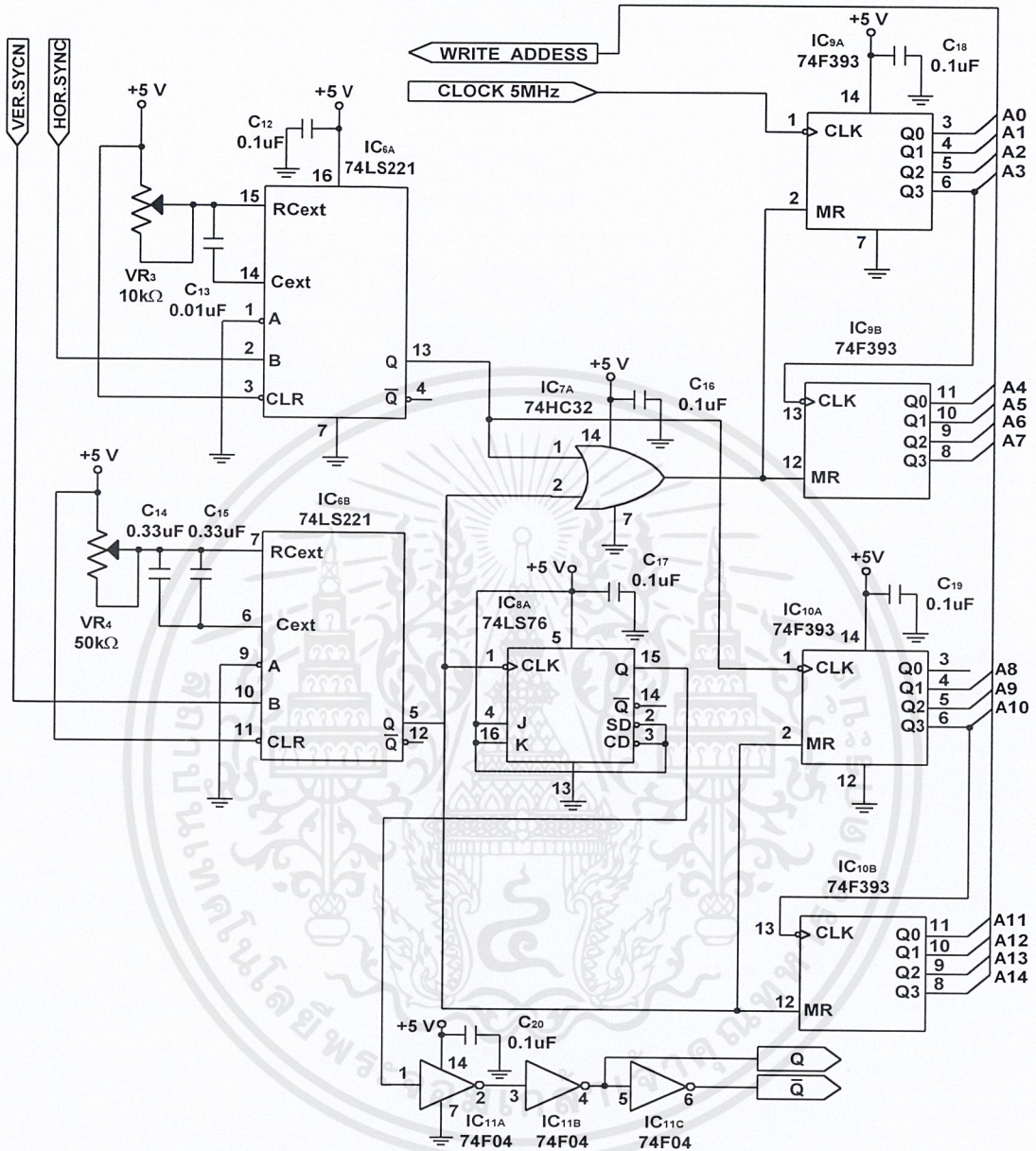
ส่วนของการทํางานเวลาสัญญาณซิงค์ทางแนวนอน กับสัญญาณซิงค์ทางแนวตั้งจะใช้ไอซีเบอร์ 74LS221 ซึ่งภายในไอซีจะประกอบไปด้วยวงจรโมโนสเตเบิล 2 วงจร

การกำหนดช่วงเวลาที่ต้องการหน่วย จะทำได้โดยการต่อตัวต้านทานกับตัวเก็บประจุเข้าที่ขา 14 และขา 15 ของไอซีเบอร์ 74LS221 ดังปรากฏในรูปที่ 3.6 ส่วนค่าของตัวต้านทานและตัวเก็บประจุสามารถคำนวณได้จากสมการ

$$T = 0.69 \times R \times C \quad (3.4)$$

ในโครงงานนี้จะใช้ตัวต้านทานแบบปรับค่าได้ เพื่อความสะดวกในการปรับแต่งค่า เมื่อได้สัญญาณซิงค์ทางแนวนอน และสัญญาณทางแนวตั้งที่ถูกหน่วยเวลาแล้ว จะนำเอาต์พุตที่ได้ไปควบคุมส่วนของการนับตำแหน่งการเขียนข้อมูลภาพลงหน่วยความจำ

ส่วนที่ใช้ในการนับตำแหน่งของหน่วยความจำจะใช้ไอซีเบอร์ 74393 จำนวน 2 ตัว ซึ่งภายในตัวไอซีประกอบด้วยวงจรนับไบนารี 4 บิต จำนวน 2 วงจร การทํางานของวงจรนับไบนารี 4 บิต จะให้เอาต์พุตเป็น 0000-1111 ทำการต่อวงจรนับไบนารี 4 บิต 2 วงจรเข้าด้วยกันจำนวน 2 ชุด โดยในชุดที่ 1 ให้ขา Q_3 ของตัวแรกเป็นขา CLK ให้ตัวที่สองในชุดที่ 1 ให้ความถี่ 5 เมกะเฮิร์ตซ์ที่ได้จากวงจรผลคูณสัญญาณนาฬิกาเป็น CLK ส่วนขา MR จะใช้สัญญาณซิงค์ทางแนวนอน กับสัญญาณซิงค์ทางแนวตั้ง ที่ทำการหน่วยเวลาแล้วมาผ่านตัวออร์เกต ดังรูปที่ 3.6 ดังนั้น วงจรชุดนี้ จะทำการลบสี่ และเริ่มต้นทำการนับใหม่ เมื่อมีสัญญาณซิงค์ทางแนวนอน หรือสัญญาณซิงค์ทางแนวตั้ง ที่ถูกหน่วยเวลาแล้วเข้ามา



รูปที่ 3.8 วงจรควบคุมการเขียนข้อมูลภาพลงหน่วยความจำ

5) วงจรหน่วยความจำ

วงจรหน่วยความจำในภาคผนวก ข รูปที่ ข.10 จะประกอบด้วยหน่วยความจำ 2 ชุด ชุดละ 1 ตัว มีขนาดชุดละ 32 กิโลไบต์ ซึ่งหน่วยความจำแต่ละชุดสลับกันทำงาน โดยถ้าหน่วยความจำชุดที่ 1 ทำการอ่านข้อมูลภาพ หน่วยความจำชุดที่ 2 จะทำการเขียนข้อมูลภาพ ซึ่งการทำงานของหน่วยความจำทั้งสองนี้ชุดจะถูกควบคุมด้วยสัญญาณ Q และ \bar{Q} จากวงจรเขียนหน่วยความจำ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา Q และ \bar{Q} ที่ได้จากวงจรแยกสัญญาณซิงค์ เป็นขาควบคุมการสลับกันทำงานของ หน่วยความจำให้ทำงานอยู่ตลอดเวลาเมื่อขา Q อยู่ในสภาวะ 1 สัญญาณ 1 จะทำให้ไอซี 74F257 เลือกตำแหน่งของการเขียนให้หน่วยความจำชุดแรก และที่หน่วยความจำชุดล่างจะถูกควบคุมด้วย ขา \bar{Q} เมื่อ Q เท่ากับ 1 \bar{Q} จะมีค่าตรงข้ามกับ Q เสมอจะทำให้ ไอซี 74F257 ชุดล่างเลือก ตำแหน่งการอ่านภาพแต่การอ่านภาพก็ยังคงถูกควบคุมขา \overline{SC} จากวงจรอ่านภาพเพื่อที่จะสลับการ แสดงผลออกหน้าจอ สัญญาณ Q จะส่งไปควบคุมการอินเวิร์ตของไอซี 74F257 เพื่อกำหนดการ นำข้อมูลเข้าที่มาจาก การแปลงสัญญาณภาพเป็นข้อมูลดิจิทัล หรือจะนำข้อมูลที่เขียนลงหน่วย ความจำแล้วออกไปยังวงจรแปลงข้อมูลดิจิทัลเป็นแอนะล็อกอีกครั้ง เพื่อที่จะแสดงผลออกไป

การทำงานของหน่วยความจำจะทำการเขียนข้อมูลภาพก็ต่อเมื่อมีสัญญาณมาที่ขา WR และ อ่านข้อมูลภาพเมื่อมีสัญญาณมาที่ขา \overline{OE} จากที่กล่าวมาว่าหน่วยความจำจะทำงานสลับกันดังนั้นที่ขา WR และ \overline{OE} จะต้องมีสถานะตรงข้ามกันเสมอ

ในส่วนของการรีด จะอาศัยการอินเตอร์เฟสกับเมนบอร์ดโดยอาศัยการเปลี่ยนแปลงสล็อต ISA ของคอมพิวเตอร์มาดัดแปลงเพื่อใช้ในโครงการนี้โดยตำแหน่งขาต่างๆ จะกำหนดได้โดยอาศัย ความเหมาะสมของการทำงาน

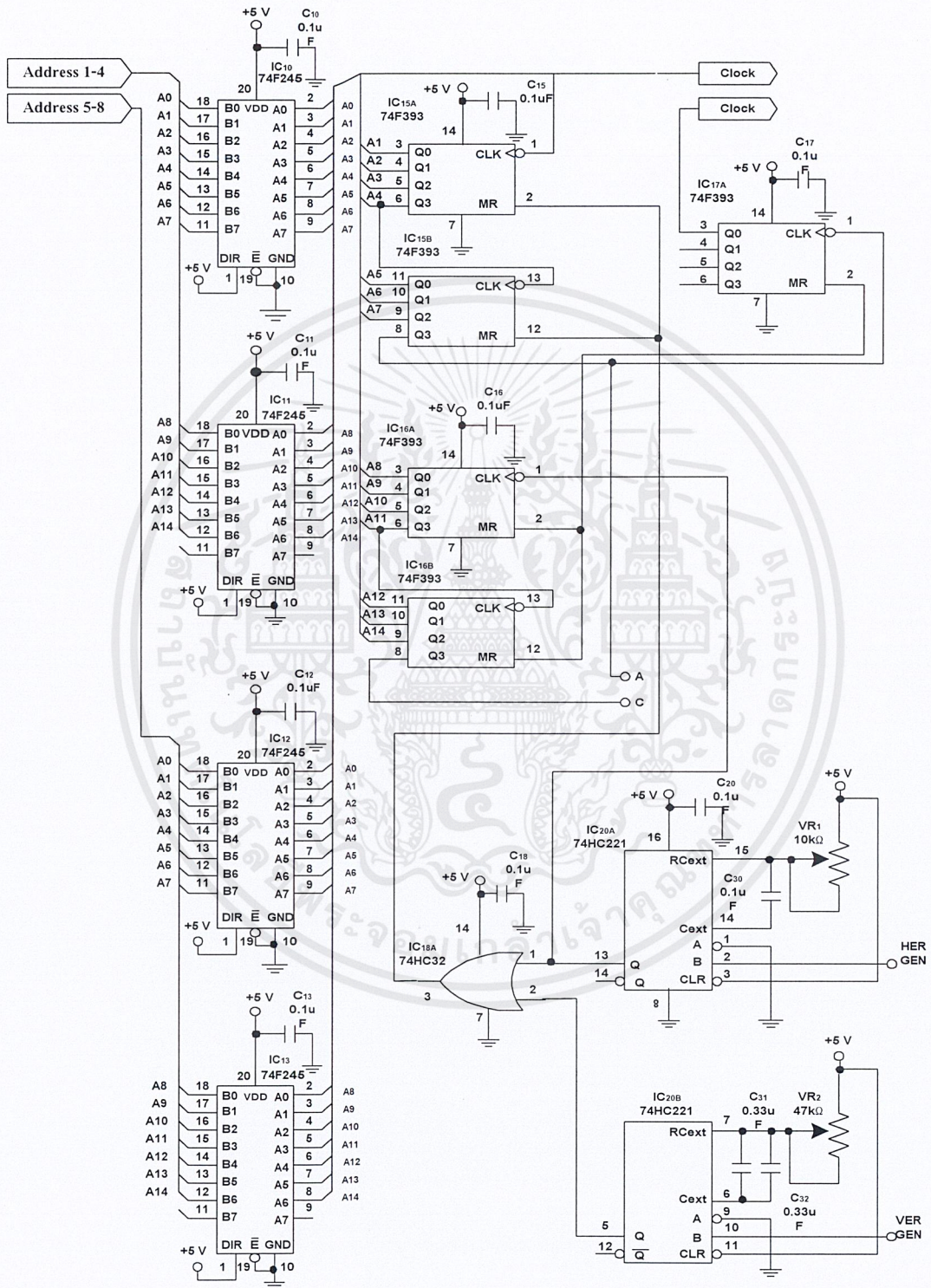
3.2.2 ส่วนของเมนบอร์ด

1) วงจรมัลติเพล็กซ์

วงจรมัลติเพล็กซ์ในภาคผนวก ข รูปที่ ข.11 ไอซี 74HC138 ใช้ในการตีโค้ดตำแหน่งของ ไอซี บัฟเฟอร์เบอร์ 74F245 ใช้ในการปิดเปิดสัญญาณภาพของแต่ละช่องให้เข้าสู่วงจรแปลงดิจิทัล เป็นแอนะล็อกได้อย่างถูกต้องเหมาะสม โดยไอซี 74HC138 จะถูกควบคุมโดยวงจรอ่านตำแหน่ง หน่วยความจำ ซึ่งสามารถเลือกการตีโค้ดได้ 2 ระบบ คือ ระบบ 4 ช่อง และ 8 ช่อง

โดยที่ระบบ 4 ช่องจะเป็นการยอมให้ข้อมูลจากช่อง 1, 2, 5, 6 ผ่านไปสู่วงจรแปลงดิจิทัล เป็นแอนะล็อกส่วนระบบ 8 ช่อง จะเป็นการยอมให้ข้อมูลจากทุกช่องผ่านไปสู่การแปลงดิจิทัลเป็น แอนะล็อก

2) วงจรอ่านหน่วยความจำ



รูปที่ 3.9 วงจรอ่านหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทํางาน

การทํางานของวงจรอ่านหน่วยความจําจะมีส่วนที่คล้ายกับวงจรเขียนหน่วยความจํา คือมีส่วนของการหน่วงเวลา และส่วนของการนับตำแหน่ง นอกจากนี้ยังมีส่วนที่ใช้ในการควบคุมการแสดงผลของภาพจากแต่ละกล้องวิดีโอ สัญญาณที่ใช้ในวงจรอ่านหน่วยความจํา มีทั้งสัญญาณซิงค์ทางแนวนอน และสัญญาณซิงค์ทางแนวตั้ง

การทํางานของวงจรเมื่อมีสัญญาณซิงค์ทางแนวนอนถูกส่งผ่านมาที่ IC20A เบอร์ 74LS221 ซึ่งค่าของตัวต้านทานกับตัวเก็บประจุสามารถคำนวณหาได้จากสมการ (3.4)

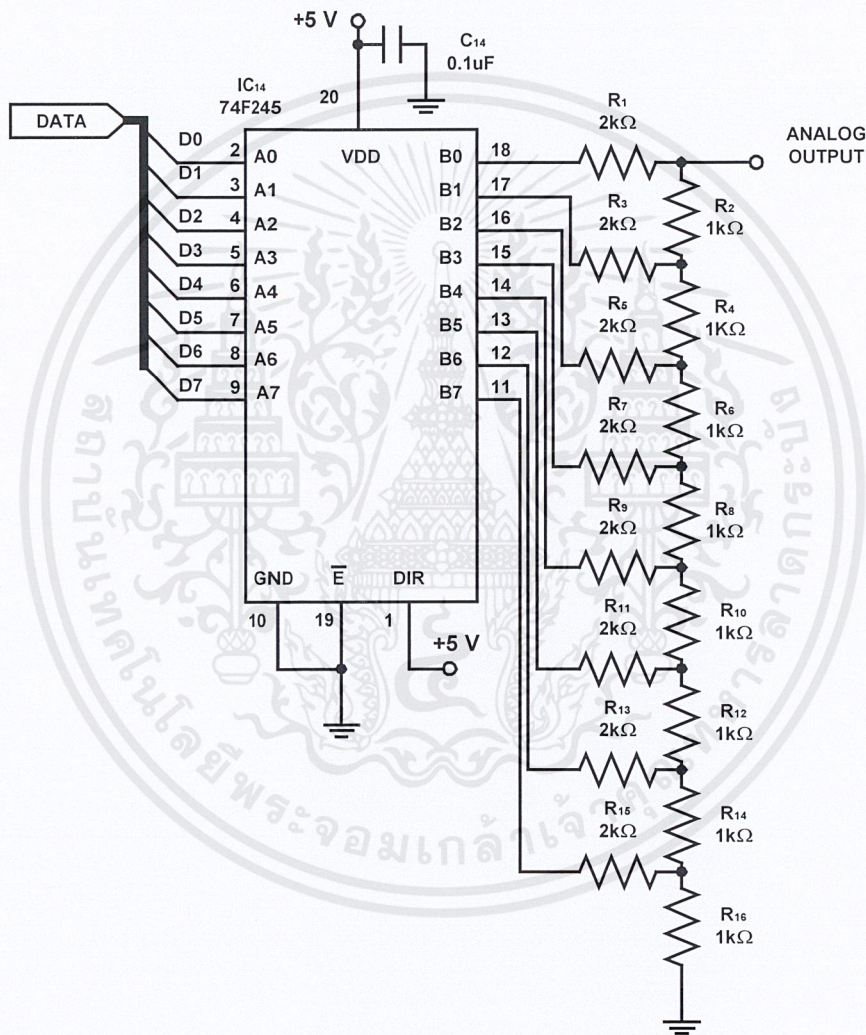
ไอซีเบอร์ 74LS221 ส่วนประกอบภายในจะประกอบด้วยวงจรโมโนสเตเบิลสองวงจร สัญญาณซิงค์ทางแนวนอนถูกส่งเข้าขา 2 ของวงจรโมโนสเตเบิลตัวแรก โดยวงจรนี้จะทำการปรับความกว้างพัลส์ของสัญญาณซิงค์ให้มีความเหมาะสม และแสดงผลบนจอภาพได้อย่างสวยงาม โดยมี VR_1 ค่า 10 กิโลโอห์ม เป็นตัวปรับความกว้างของพัลส์ สัญญาณที่ได้จากวงจรโมโนสเตเบิลตัวแรกนี้จะถูกส่งเข้าขา 1 ของ IC18A เบอร์ 74LS32 เพื่อจะทำการรวมกับสัญญาณซิงค์ทางแนวตั้ง ที่ได้จากวงจรโมโนสเตเบิลตัวที่ 2 สัญญาณที่ได้จาก IC18A ออกทางขา 3 จะถูกนำไปใช้ในการเคลีย IC COUNTER 15A และ 15B เบอร์ 74F393 ส่วนสัญญาณซิงค์ทางแนวนอนออกทางขา 13 จะถูกนำไปเคลีย IC COUNTER 16A และ 16B เบอร์ 74F393

ในส่วนของการนับตำแหน่งแอดเดรส ของหน่วยความจําจะใช้ IC15A และ IC15B เบอร์ 74F393 ในการนับตำแหน่งแอดเดรสที่ A1 ถึง A7 ส่วนแอดเดรสที่ A0 ได้มาจากสัญญาณนาฬิกาโดยตรง ส่วน IC16A และ IC16B เบอร์ 74F393 ใช้ในการนับตำแหน่งแอดเดรสที่ A8 ถึง A14 โดยมี IC10 และ IC11 เบอร์ 74F245 ทำหน้าที่เป็นบัฟเฟอร์ให้กับแอดเดรสที่ A0 ถึง A14 ซึ่งชุดแรกป้อนให้กับการ์ดที่ 1 ถึง 4 ส่วน IC12 และ IC13 เบอร์ 74F245 ทำหน้าที่เป็นบัฟเฟอร์ให้กับแอดเดรสที่ A0 ถึง A14 ชุดที่ 2 ป้อนให้กับการ์ดที่ 5 ถึง 8

ส่วน IC17A เบอร์ 74F393 ซึ่งจะทำหน้าที่ในการควบคุมการมัลติเพล็กซ์ของ IC9 เบอร์ 74SC138 เป็นสัญญาณ B ซึ่งอยู่ในภาคมัลติเพล็กซ์ ส่วนสัญญาณที่ได้มาจาก IC15B ทางขา 8 และสัญญาณ C ได้มาจาก IC16B ทางขา 8

3) วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก

วงจรนี้ทำการแปลงสัญญาณดิจิทัลที่ได้จากภาคหน่วยความจำ ในจังหวะที่หน่วยความจำทำการอ่านข้อมูลภาพให้เป็นสัญญาณแอนะล็อก โดยสัญญาณดิจิทัลจะผ่าน DATA BUFFER (ไอซี 74LS245) ก่อนที่จะเข้าสู่กระบวนการแปลงสัญญาณ ในโครงงานนี้ ใช้วงจรขายบันไดแบบ R-2R เพราะมีประสิทธิภาพที่ดีในการใช้งานที่ความถี่ และมีราคาถูกดังแสดงในรูปที่ 3.10



รูปที่ 3.10 วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก

จากวงจรนี้ เอาต์พุตของวงจร R-2R จะสามารถให้ความแตกต่างของระดับสัญญาณได้ 256 ระดับ ซึ่งผลรวมของแรงดันเอาต์พุตที่ได้จากบิตต่างๆ สามารถหาได้จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

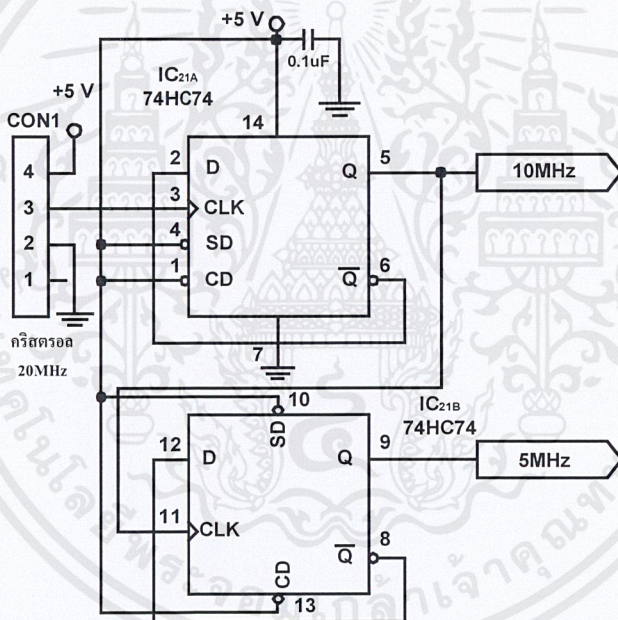
$$V_a = \frac{[V_0(2^0) + V_1(2^1) + V_2(2^2) + V_3(2^3) + \dots + V_n(2^n)]}{2^n} \quad (3.5)$$

n = จำนวนอินพุตที่ใช้

$V_0, V_1, V_2, V_3, \dots, V_n$ = ระดับของแรงดันที่อินพุต (0 หรือ 1)

สัญญาณดิจิทัลเมื่อถูกแปลงเป็นสัญญาณแอนะล็อกแล้วจะถูกส่งไปยัง วงจรผสมสัญญาณรวม กับสัญญาณควบคุมตำแหน่งภาพ และสัญญาณลบเส้นสลับกลับ เพื่อสร้างเป็นสัญญาณภาพรวมต่อไป

4) วงจรผลิตสัญญาณนาฬิกา



รูปที่ 3.11 วงจรผลิตสัญญาณนาฬิกา

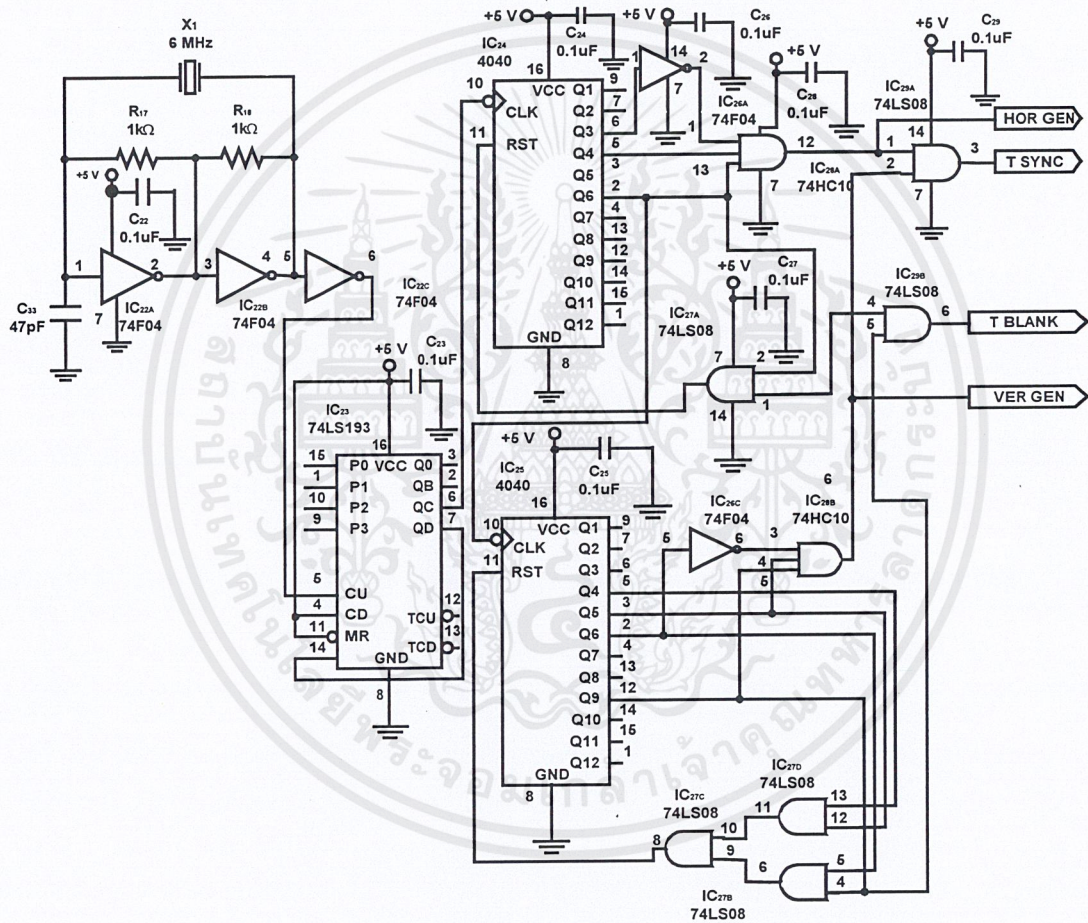
หลักการทํางาน

วงจรผลิตสัญญาณนาฬิกา นี้ จะต้องทำการผลิตสัญญาณนาฬิกาให้กับวงจร 2 ความถี่ คือ ความถี่ 5 เมกะเฮิร์ตซ์ เนื่องจากช่วงเวลาของสัญญาณภาพ 1 เส้นประมาณ 52-54 ไมโครวินาที การที่จะทำการแบ่งให้ได้เท่ากับ 256 จุด จะต้องทำให้ได้ความถี่ประมาณ 5 เมกะเฮิร์ตซ์ และความถี่ 10 เมกะเฮิร์ตซ์ เพื่อใช้ในการอ่านข้อมูลจากหน่วยความจำให้เร็วขึ้นเป็น 2 เท่า เพื่อให้ใน 1 เส้นสแกนมีสัญญาณจาก 2 ช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.11 ตัวกำเนิดความถี่ใช้ 20 เมกะเฮิร์ตซ์ทำการผลิตสัญญาณความถี่ 2 เมกะเฮิร์ตซ์ โดยผ่านวงจรหารสอง ซึ่งใช้ IC20 เบอร์ 74HC74 ที่ความถี่ 10 เมกะเฮิร์ตซ์ ก็จะทำการผ่านไปยัง IC28A เพื่อทำการหารสอง และที่ความถี่ 5 เมกะเฮิร์ตซ์ ก็จะนำความถี่ 10 เมกะเฮิร์ตซ์ ไปผ่าน IC28B เพื่อทำการหารสองอีกครั้งหนึ่ง

5) วงจรผลิตสัญญาณซิงค์



รูปที่ 3.12 วงจรผลิตสัญญาณซิงค์

หลักการทํางาน

เนื่องจากในขณะบันทึกสัญญาณภาพลงในวงจรหน่วยความจำนั้น เราไม่ได้ทำการบันทึกจากสัญญาณในส่วนของสัญญาณซิงค์เพื่อประหยัดขนาดของหน่วยความจำ ดังนั้นในการที่จะนำข้อมูลภาพออกมาเพื่อสร้างเป็นสัญญาณภาพรวม จึงจำเป็นต้องสร้างสัญญาณซิงค์ขึ้นมาใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนาฬิกา 6 เมกะเฮิร์ตซ์และนอตเกต ป้อนเข้าไอซี 74193 โดยให้เป็นวงจรหารแปด คือ จะปรับตั้งค่าใหม่ทุกขาให้เป็น 0 หมดทุกๆ 8 ลูกของสัญญาณนาฬิกา 6 เมกะเฮิร์ตซ์ ดังนั้น ที่ขา Q_6 (ขา 6) จะให้ความถี่ 6 เมกะเฮิร์ตซ์/8 = 750 กิโลเฮิร์ตซ์ ออกมา นำความถี่ 750 กิโลเฮิร์ตซ์นี้ ไปป้อนเข้าขา Clock ของไอซี 4040 ซึ่งถูกจัดวงจรให้เป็นวงจรหาร 48 โดยนำขา Q_5 มาแอนด์กับ Q_6 เพื่อนำไปเป็นตัวปรับตั้งค่าใหม่ทุกๆ 48 ลูกคลื่น จะให้ความถี่เอาต์พุตเป็น 15,256 เฮิร์ตซ์ ความถี่นี้จะถูกสร้างเป็นสัญญาณลบเส้นสับคลับทางด้านแวนอน และสร้างเป็นสัญญาณซิงค์ทางด้านแวนอน

สัญญาณลบเส้นสับคลับทางด้านแวนอนเกิดจากการนำขา Q_4 และ Q_6 ของไอซี 4040 มาแอนด์กัน จะทำให้ได้สัญญาณลบเส้นสับคลับทางด้านแวนอน ซึ่งมีช่วงเวลาดำเนินการประมาณ 10 ไมโครวินาที ส่วนสัญญาณซิงค์ทางด้านแวนอนเกิดจากการนำขา Q_2 มาเอ็กซ์คลูซีฟออร์กับ Q_3 นำมาแอนด์กับสัญญาณลบเส้นสับคลับทางด้านแวนอน แล้วกลับสัญญาณอีกทีหนึ่ง ได้เป็นความถี่ 15,256 เฮิร์ตซ์ มีช่วงเวลาดำเนินการประมาณ 5 ไมโครวินาที จากนั้นนำความถี่ 15,256 เฮิร์ตซ์มาผ่านวงจรหาร 312 ได้ความถี่ออกมาประมาณ 50 เฮิร์ตซ์ เพื่อสร้างสัญญาณลบเส้นสับคลับทางแนวตั้ง และสร้างเป็นสัญญาณซิงค์ทางแนวตั้ง

สัญญาณลบเส้นสับคลับทางแนวตั้ง ได้มาจากเอาต์พุตที่ขา Q_9 ซึ่งมีช่วงเวลาดำเนินการประมาณ 3.584 มิลลิวินาที สัญญาณลบเส้นสับคลับทางแนวตั้ง ได้มาจากผลเอาต์พุตที่ขา Q_5 , Q_6 และ Q_9 ซึ่งมีช่วงเวลาดำเนินการประมาณ 1 มิลลิวินาที

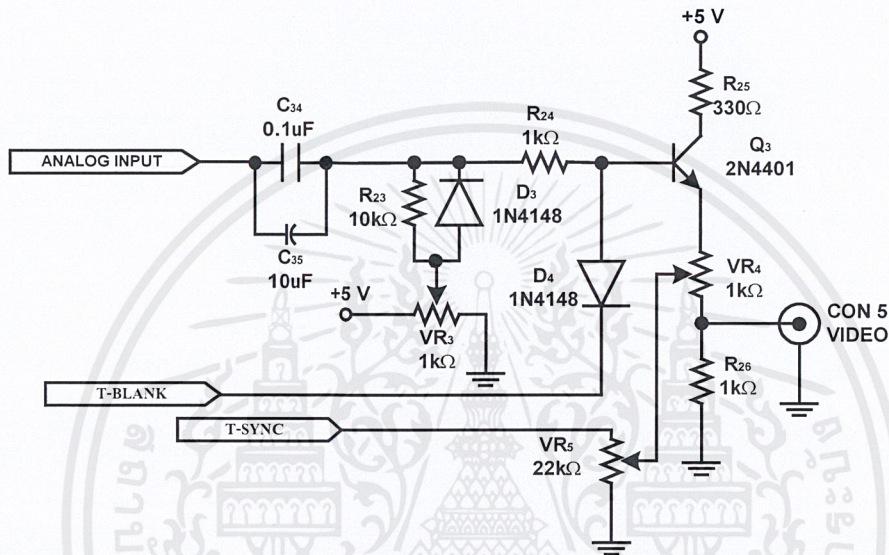
นำสัญญาณลบเส้นสับคลับแนวตั้งมาแอนด์กับสัญญาณลบเส้นสับคลับทางด้านแวนอน จะได้สัญญาณลบเส้นสับคลับรวม และนำสัญญาณซิงค์แนวตั้งมาแอนด์กับสัญญาณซิงค์ทางด้านแวนอน ได้เป็นสัญญาณควบคุมตำแหน่งภาพรวมซึ่งสัญญาณลบเส้นสับคลับรวม และสัญญาณควบคุมตำแหน่งภาพรวมจะถูกส่งไปยังวงจรรวมสัญญาณ ส่วนสัญญาณซิงค์ทางด้านแนวตั้ง และสัญญาณซิงค์ทางด้านแวนอน จะส่งไปใช้ในส่วนของวงจรอครหัส เพื่อใช้ในการควบคุมในส่วนหน่วยความจำต่อไป

6) วงจรผสมสัญญาณภาพ

สัญญาณแอนะล็อกที่ได้มาจากวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อกนั้น จะมีเพียงแต่สัญญาณภาพเท่านั้น ซึ่งยังไม่สามารถนำไปแสดงผลออกจอโทรทัศน์ได้จึงต้องนำสัญญาณภาพมารวมกับสัญญาณควบคุมตำแหน่งภาพรวม และสัญญาณลบเส้นสับคลับรวมเพื่อให้ได้เป็นสัญญาณภาพรวม ที่มีระดับสัญญาณประมาณ $2 V_{p-p}$

จากวงจรสัญญาณควบคุมตำแหน่งภาพรวม และสัญญาณลบเส้นสับคลับรวมจะถูกรวมกันเป็นสัญญาณซิงค์รวม และถูกกลับเฟสสัญญาณก่อนที่จะรวมกับสัญญาณภาพที่ขาของอุปกรณ์

ทรานซิสเตอร์ เพื่อทำการขยายแบบคอมมอนอิมิตเตอร์ เอาต์พุตออกทางขาอิมิตเตอร์จะได้สัญญาณภาพรวมประมาณ $2 V_{p-p}$ สามารถส่งเข้าโทรทัศน์ได้ทางช่องสัญญาณ AV หรือนำไปผ่านวงจรการมอดูเลตสัญญาณก่อน เพื่อให้ได้เป็นความถี่วิทยุ แล้วส่งออกไปยังโทรทัศน์ทั้ง 4 เครื่อง ตามสถานที่ต่างๆ



รูปที่ 3.13 วงจรผสมสัญญาณภาพ

บทที่ 4

การทดลอง และผลการทดลอง

ในบทนี้จะกล่าวถึงการทดลองของเครื่องผสมสัญญาณภาพ 8 ช่อง ที่ได้จากการประกอบวงจรส่วนต่างๆ ในบทที่ 3 คือ ส่วนของการ์ดและส่วนของเมนบอร์ดเข้าด้วยกันทั้งหมด เพื่อทำการทดลองโดยมีผลการทดลองดังนี้

4.1 การทดลองในระบบของ 4 จอภาพ

4.1.1 การทดลองการทำงานของเครื่อง ขณะให้สัญญาณอินพุต 1 สัญญาณภาพ

1) ขั้นตอนการทดลอง

1.1 ประกอบวงจรส่วนต่างๆ ทั้งหมดด้วยกัน

1. ส่วนของการ์ดรับสัญญาณ

- 1) วงจรขยายสัญญาณภาพ
- 2) วงจรแยกสัญญาณซิงค์
- 3) วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล
- 4) วงจรเขียนหน่วยความจำ
- 5) วงจรหน่วยความจำ

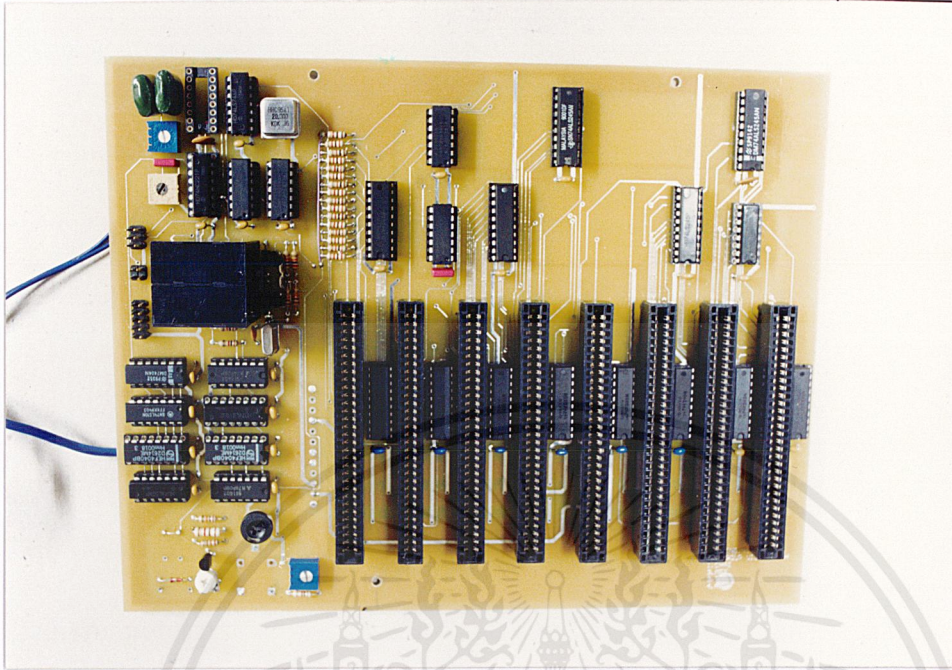
2. ส่วนของเมนบอร์ด

- 1) วงจรมัลติเพล็กซ์
- 2) วงจรอ่านหน่วยความจำ
- 3) วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก
- 4) วงจรผลิตสัญญาณนาฬิกา
- 5) วงจรผลิตสัญญาณซิงค์
- 6) วงจรผสมสัญญาณ

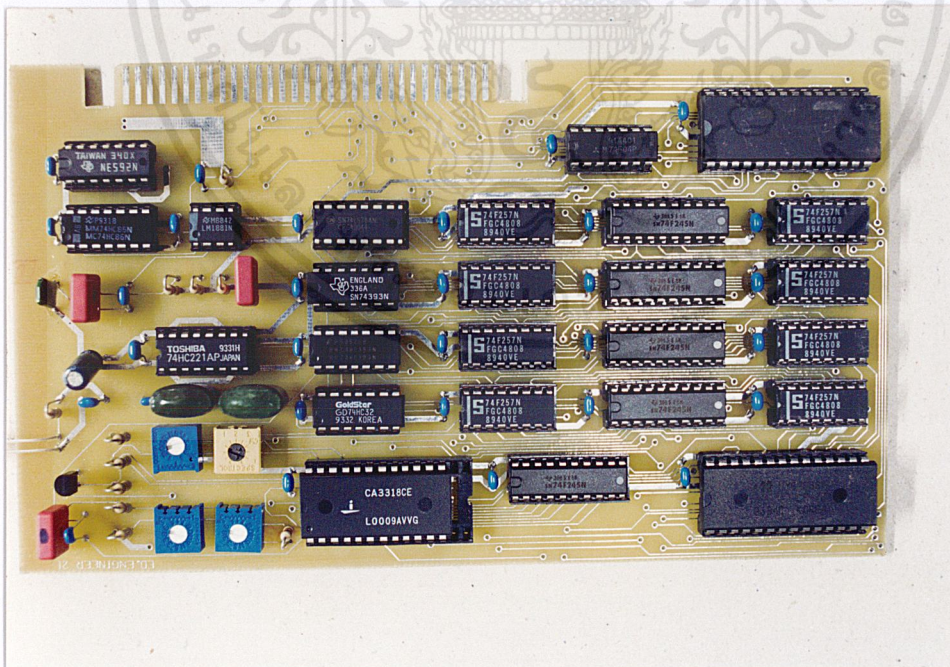
1.2 ตรวจสอบความเรียบร้อยทั้งหมด ในส่วนของการ์ด และส่วนของเมนบอร์ด

1.3 ป้อนสัญญาณอินพุต 1 สัญญาณภาพ จากกล้องตัวที่ 1 ให้กับการ์ดตัวที่ 1 (ในขั้นนี้ได้

มาจากกล้องวิดีโอ Panasonic)

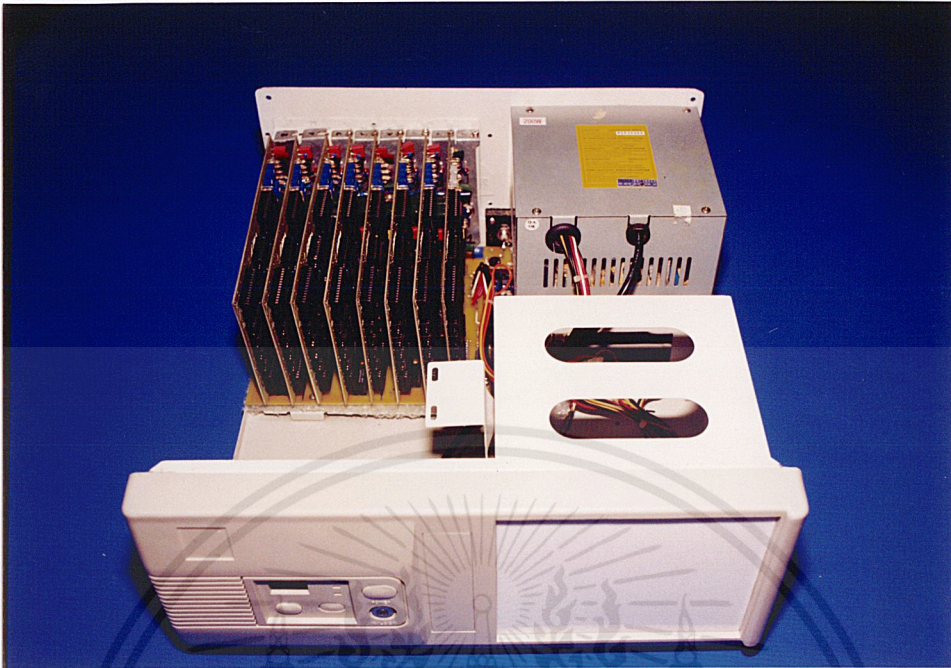


รูปที่ 4.1 ส่วนของเมนบอร์ด



รูปที่ 4.2 ส่วนของการ์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 ตัวเครื่องผสมสัญญาณภาพ



รูปที่ 4.4 อินพุตที่ให้กับการ์ดตัวที่ 1 จำนวน 1 สัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) ผลการทดลอง

จากการทดลองเมื่อต่อวงจร และป้อนสัญญาณอินพุต 1 สัญญาณภาพ ให้กับการ์ดตัวที่ 1 จะได้ผลการทดลองดังที่แสดงในรูปที่ 4.5



รูปที่ 4.5 เอะตัพุดที่ปรากฏหน้าจอโทรทัศน์

จากรูปที่ 4.5 จะเห็นได้ว่า ภาพที่ปรากฏทางด้านเอะตัพุด จะมีขนาดเท่ากับ 1 ใน 4 ของภาพทางด้านอินพุต เนื่องมาจากการที่ทำการอ่านข้อมูลภาพให้เร็วกว่าเวลาปกติที่จัดเก็บภาพเป็น 2 เท่า ในระบบ 4 จอภาพใช้ความถี่ในการอ่าน และเขียนข้อมูลภาพ 10 เมกะเฮิร์ตซ์

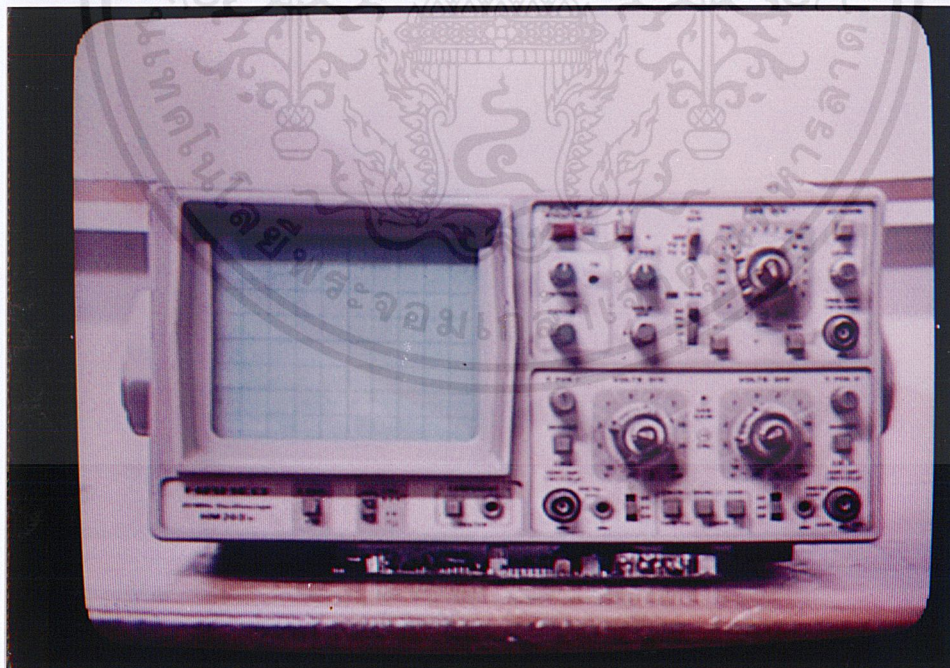
4.1.2 การทดลองการทำงานของเครื่อง ขณะให้สัญญาณอินพุต 2 สัญญาณภาพ

1) ขั้นตอนการทดลอง

ขั้นตอนการทดลองในหัวข้อนี้ จะเหมือนกับขั้นตอนการทดลองในหัวข้อที่ 4.1.1 เพียงแต่เพิ่มสัญญาณอินพุตจาก 1 สัญญาณภาพ เป็นสัญญาณอินพุต 2 สัญญาณภาพ โดยที่สัญญาณภาพที่ 2 ทำการป้อนให้กับการ์ดตัวที่ 2 (ในที่นี้สัญญาณภาพตัวที่ 2 ได้จากกล้องวิดีโอ Camara ยี่ห้อ Sony)



(ก) สัญญาณอินพุตจากกล่องตัวที่ 1



(ข) สัญญาณอินพุตจากกล่องตัวที่ 2

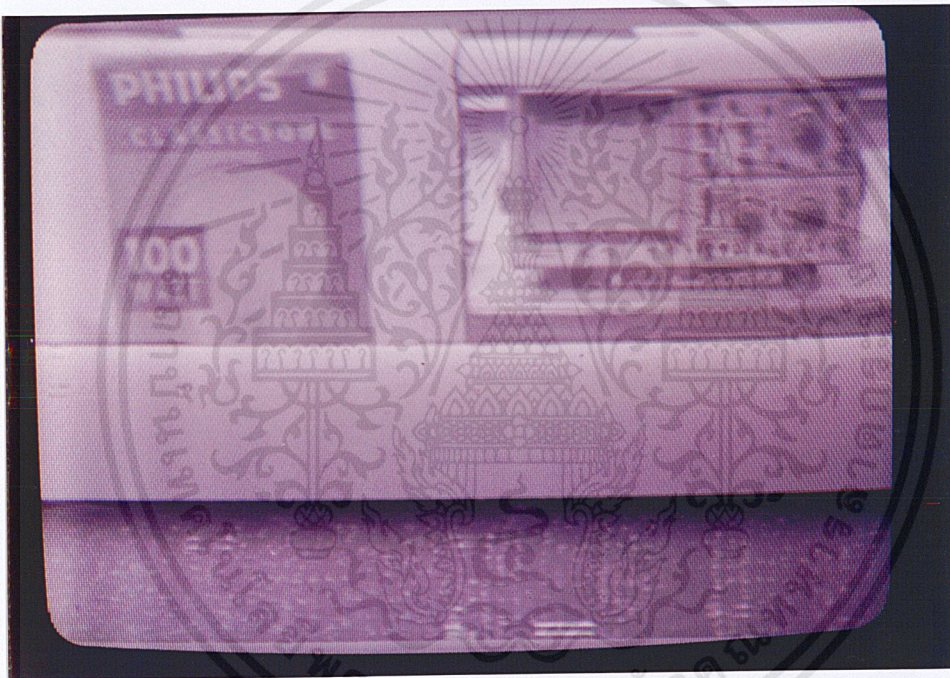
รูปที่ 4.6 อินพุตที่ป้อนให้กับการ์ด จำนวน 2 สัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) ผลการทดลอง

จากการที่ทำการต่อสัญญาณอินพุตเพิ่มจาก 1 สัญญาณภาพ เป็น 2 สัญญาณภาพ จะทำให้ภาพที่ปรากฏบนหน้าจอโทรทัศน์มีจำนวน 2 ภาพ

จากรูปที่ 4.7 จะเห็นภาพที่ปรากฏบนหน้าจอโทรทัศน์ที่มีขนาด 1 ใน 4 ของภาพปกติ จำนวน 2 ภาพ และเรียงต่อกันทางด้านแนวตั้งของจอโทรทัศน์ ทั้งนี้เนื่องมาจากการทำงานของวงจรควบคุมการอ่านข้อมูลภาพจากหน่วยความจำ และวงจรมัลติเพล็กซ์ที่ใช้ในการควบคุมการเกิดภาพ ที่ต้องการให้ภาพปรากฏ



รูปที่ 4.7 เอาต์พุตที่ปรากฏหน้าจอโทรทัศน์

4.1.3 การทดลองการทำงานของเครื่อง ขณะป้อนสัญญาณอินพุต 4 สัญญาณภาพ

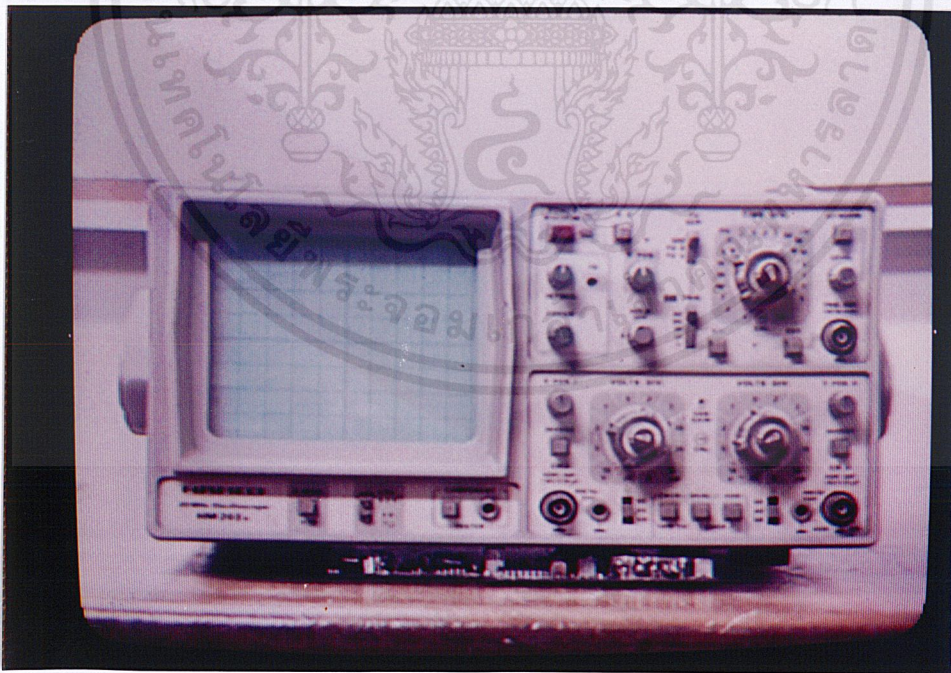
1) ขั้นตอนการทดลอง

ขั้นตอนการทดลองในหัวข้อนี้จะเหมือนกับหัวข้อที่ 4.1.1 และ 4.1.2 เพียงแต่เพิ่มสัญญาณอินพุต เป็น 4 สัญญาณภาพ ในการป้อนสัญญาณภาพอินพุตให้กับการ์ด คือสัญญาณภาพที่ 1 ก็ป้อนให้กับการ์ดตัวที่ 1, สัญญาณภาพที่ 2 ป้อนให้กับการ์ดตัวที่ 2, สัญญาณภาพที่ 3 ป้อนให้กับการ์ดตัวที่ 3 และสัญญาณภาพที่ 4 ป้อนให้กับการ์ดตัวที่ 4 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) สัญญาณอินพุตจากกล่องตัวที่ 1



(ข) สัญญาณอินพุตจากกล่องตัวที่ 2

รูปที่ 4.8 อินพุตที่ให้กับการ์ด จำนวน 4 สัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค) สัญญาณอินพุตจากกล้องตัวที่ 3



(ง) สัญญาณอินพุตจากกล้องตัวที่ 4

รูปที่ 4.8 (ต่อ) อินพุตที่ให้กับการ์ด จำนวน 4 สัญญาณภาพ
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการป้อนสัญญาณภาพอินพุตดังกล่าวให้กับการ์ด เนื่องจากกล้องวิดีโอมีจำนวนแค่ 3 ตัว สัญญาณภาพที่ทำการป้อนให้กับการ์ด จึงต้องทำการต่อสัญญาณภาพอินพุตจากกล้องตัวที่ 1 ให้กับการ์ดตัวที่ 4 เพื่อให้ครบตามจำนวนสัญญาณภาพอินพุตที่ต้องป้อนให้กับการ์ด

2) ผลการทดลอง

หลังจากเพิ่มสัญญาณอินพุตให้กับการ์ดเป็น 4 สัญญาณภาพ จะทำให้ได้ภาพทั้งหมด 4 ภาพ ซึ่งแสดงดังรูปที่ 4.9



รูปที่ 4.9 เอาดี้พุดที่ปรากฏหน้าจอโทรทัศน์

จากรูปที่ 4.9 ภาพที่ปรากฏทางอาดี้พุดจะมี 4 ภาพ ที่มาจาก 4 สถานที่ หรือ 4 กล้องวิดีโอ ซึ่งภาพที่เห็นในรูปที่ 4.9 จะเป็นภาพที่สมบูรณ์ และถูกนำไปใช้งานในระบบ 4 จอภาพ

4.2 การทดลองของระบบ 8 จอภาพ

4.2.1 การทดลองการทำงานของเครื่อง ขณะให้สัญญาณอินพุต 4 สัญญาณภาพ

1) ขั้นตอนการทดลอง

1. ทำการเสียบการ์ดลงบนเมนบอร์ดให้ครบทั้ง 8 การ์ด
2. กดสวิทช์เลือกการแสดงผลเป็นระบบ 8 จอภาพ
3. ทำการป้อนสัญญาณให้การ์ดเหมือนกับหัวข้อที่ 4.1.3 เป็น 4 สัญญาณภาพทางอินพุต

2) ผลการทดลอง

หลังจากป้อนสัญญาณให้การ์ดเป็น 4 สัญญาณภาพ จะได้ภาพที่ปรากฏหน้าจอโทรทัศน์ 4 ภาพ ซึ่งแสดงดังรูปที่ 4.10



รูปที่ 4.10 เอาต์พุตที่ปรากฏหน้าจอโทรทัศน์

จากรูปที่ 4.10 ภาพที่ปรากฏทางเอาต์พุตจะมี 4 ภาพ ที่มาจาก 4 สถานที่หรือ 4 กล้องวิดีโอ ซึ่งภาพที่เห็นในรูปที่ 4.10 เป็นภาพที่หน้าจอถูกแบ่งออกเป็น 8 จอภาพ ทำให้ภาพที่ได้มีขนาดเท่ากับ 1 ใน 8 ของภาพปกติจำนวน 4 ภาพ เนื่องมาจากการที่ทำการอ่านข้อมูลภาพให้เร็วกว่าปกติที่จัดเก็บภาพเป็น 4 เท่า และในการอ่านและเขียนข้อมูลภาพใช้ความถี่ 20 เมกะเฮิร์ตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 การทดลองการทำงานของเครื่อง ขณะให้สัญญาณอินพุต 8 สัญญาณภาพ

1) ขั้นตอนการทดลอง

ขั้นตอนการทดลองในหัวข้อนี้ จะเหมือนกับขั้นตอนการทดลองในหัวข้อที่ 4.2.1 เพียงแต่เพิ่มสัญญาณอินพุตจาก 4 สัญญาณภาพ เป็น 8 สัญญาณภาพ กล่าว คือสัญญาณภาพอินพุตที่ 1 ก็ป้อนให้กับการ์ดตัวที่ 1, สัญญาณภาพอินพุตที่ 2 ป้อนให้กับการ์ดตัวที่ 2 และสัญญาณภาพอินพุตถัดไปก็ป้อนให้กับการ์ดตัวต่อไปตามลำดับ

ในการป้อนสัญญาณภาพอินพุตดังกล่าวให้กับการ์ด เนื่องจากกล้องวิดีโอมีจำนวนแค่ 3 ตัว ดังนั้น สัญญาณภาพที่ทำการป้อนให้กับการ์ด จึงป้อนให้กับการ์ดได้เพียง 3 การ์ดเท่านั้น ซึ่งจำเป็นต้องทำการต่อสัญญาณภาพอินพุตจากกล้องตัวที่ 1, กล้องตัวที่ 2 และกล้องตัวที่ 3 ให้กับการ์ดตัวที่ 4, 5, 6, 7 และการ์ดตัวที่ 8 ตามลำดับ โดยให้สลับตำแหน่งกันเพื่อให้เห็นความแตกต่างให้ครบตามจำนวนสัญญาณภาพอินพุตที่ต้องป้อนให้กับการ์ดทั้ง 8 การ์ด

2) ผลการทดลอง

จากการทดลอง เมื่อป้อนสัญญาณอินพุต 8 สัญญาณภาพให้กับการ์ดทั้ง 8 การ์ด จะได้ผลดังแสดงในรูปที่ 4.11



รูปที่ 4.11 เอาต์พุตที่ปรากฏหน้าจอโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.11 จะเห็นได้ว่าภาพที่ปรากฏทางด้านเอาต์พุตจะมี 8 ภาพ ที่มาจาก 8 สถานที่ หรือ จาก 8 กล้องวิดีโอ ซึ่งเป็นภาพที่สมบูรณ์ และถูกนำไปใช้งานในระบบ 8 จอภาพ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา

5.1 สรุป

เครื่องผสมสัญญาณภาพ 8 ช่อง เป็นการนำเอาเทคนิคในการบันทึกข้อมูลภาพลงหน่วยความจำและอ่านข้อมูลภาพจากหน่วยความจำโดยในการอ่านและเขียนข้อมูลภาพบนหน่วยความจำใช้ความเร็ว 20 เมกะเฮิร์ตซ์สำหรับ 8 ช่องภาพและ 10 เมกะเฮิร์ตซ์ สำหรับ 4 ช่องภาพทำให้สามารถแสดงภาพบนจอโทรทัศน์ได้ 2 ระบบ คือ ระบบ 4 จอภาพ และระบบ 8 จอภาพ

จากการที่ได้ศึกษาและทดลองสร้างเครื่องผสมสัญญาณภาพ 8 ช่อง ปรากฏว่าผลที่ได้อยู่ในระดับที่น่าพอใจ กล่าวคือ การทำงานของเครื่องผสมสัญญาณภาพ 8 ช่อง สามารถเลือกที่จะเห็นภาพที่มาจากกล้องวิดีโอ 4 ภาพ และ 8 ภาพบนจอโทรทัศน์ได้ ซึ่งในขณะเดียวกันทำให้ทราบถึงปัญหาที่เกิดขึ้นด้วย

5.2 ปัญหา และแนวทางแก้ไข

1. ข้อมูลที่ทำการศึกษาวงจรจากรายละเอียดของวงจร เมื่อนำมาใช้ในทางปฏิบัติแล้ว ค่าของตัวเก็บประจุที่ใช้ในวงจรให้ผลทางเอาต์พุตได้ไม่ตรงตามที่ต้องการ

แนวทางแก้ไข สุ่มทดสอบเปลี่ยนค่าของตัวเก็บประจุดังกล่าวไปเรื่อยๆ จนกว่าผลที่ออกมาทางจอเอาต์พุต ตรงกับความต้องการจริง

2. ในการทดลองต่อวงจรภาคต่างๆ ของเครื่องผสมสัญญาณภาพ 8 ช่องโดยใช้ไฟโด้บอร์คทำให้เกิดปัญหาการเชื่อมต่อวงจร วงจรบางจุดขาดไป ไม่สามารถวัดสัญญาณได้

แนวทางแก้ไข โดยใช้การทดลองต่อวงจรด้วยปรินเอนกประสงค์ และสายวายแลบ ซึ่งทำให้การเชื่อมต่อของวงจรมีความสมบูรณ์ยิ่งขึ้น แต่ในขณะเดียวกันการตรวจสอบความผิดพลาดของวงจรทำได้ยาก เนื่องจากการซ้อนทับกันของสายวายแลบ เกิดความสับสนยุ่งยาก ซึ่งต้องใช้ความละเอียดรอบคอบสูง

3. การทดสอบ วงจรเครื่องผสมสัญญาณภาพ 8 ช่อง ซึ่งในการต่อวงจรได้ทำการใช้ปรินเอนกประสงค์ และสายวายแลบนั้น ทำให้เกิดสัญญาณรบกวนมาก สาเหตุเนื่องจากการซ้อนทับกันของสายวายแลบ และขนาดของสายวายแลบมีขนาดเล็ก การเดินทางของแหล่งจ่าย และกราวด์ที่ใช้ในการลดทอนสัญญาณรบกวนยังไม่ดีพอ

แนวทางแก้ไข ในบางวงจรต้องใช้การต่อแหล่งจ่ายและกราวด์ที่วงจรถองภาคนั้นโดยตรง เพื่อหลีกเลี่ยงการต่อแหล่งจ่ายและกราวด์ร่วมกัน

4. เนื่องจากการออกแบบลายวงจรมีความซับซ้อนมาก เมื่อทำการกัดแผ่นวงจรพิมพ์ ทำให้มีลายวงจรบางส่วนที่ผิดพลาดคือ มีลายวงจรที่ไม่ต้องการเกินมา และลายวงจรบางส่วนขาดหายไป **แนวทางแก้ไข** นำแผ่นวงจรพิมพ์ที่ทำเรียบร้อยแล้วมาตรวจสอบใหม่อีกครั้งทำการขูดส่วนลายวงจรที่เกินมาออก และเชื่อมลายวงจรที่ขาดหายไปด้วยสายวายแลบ

5. เมื่อทำการประกอบส่วนของการ์ด และเมนบอร์ดเข้าด้วย ปัญหาที่เกิดขึ้นคือ มีสัญญาณรบกวนที่เกิดจากความถี่สูง เนื่องจากเครื่องผสมสัญญาณภาพ 8 ช่องนี้ ใช้ความถี่ในการอ่าน และเขียนข้อมูลภาพสูงสุดถึง 20 เมกะเฮิร์ตซ์ จึงมีผลต่อวงจรข้างเคียงด้วย เกิดเส้นสัญญาณรบกวนที่หน้าจอโทรทัศน์

แนวทางแก้ไข ต้องทำการเพิ่มขนาดของลายวงจรพิมพ์ในส่วนของแหล่งจ่ายและกราวด์ให้มีขนาดของพื้นที่มากขึ้น แต่การเพิ่มขนาดของพื้นที่ดังกล่าวนี้ มีข้อจำกัดตรงที่ขนาดของการ์ดและเมนบอร์ดมีขนาดเล็กซึ่งสามารถเพิ่มขนาดของการ์ด และเมนบอร์ดได้ แต่การเพิ่มขนาดนี้ต้องคำนึงถึงความเหมาะสมในการนำไปใช้งาน เนื่องจากตัวเครื่องผสมสัญญาณภาพ 8 ช่องนี้ ใช้ขนาดตัวเครื่องของคอมพิวเตอร์ ซึ่งการ์ดและเมนบอร์ดจำเป็นต้องมีการออกแบบให้มีขนาดใกล้เคียงกับตัวเครื่องคอมพิวเตอร์ จากโครงการนี้สามารถแก้ปัญหาได้เพียงผลที่แสดงในบทที่ 4

5.3 แนวทางการพัฒนา

ในการพัฒนาเครื่องผสมสัญญาณภาพ 8 ช่อง เพื่อสามารถนำไปจัดประชุมเป็น 8 ผู้ใช้ได้ อย่างสมบูรณ์แบบนั้น จำเป็นต้องพัฒนาส่วนต่างๆ ดังนี้

1. พัฒนาด้านจอภาพ จากภาพที่ปรากฏเพียงสีขาว-ดำ ให้สามารถแสดงเป็นภาพสีได้
2. พัฒนาในด้านภาพที่ปรากฏบนจอโทรทัศน์ จากภาพที่ปรากฏบนจอโทรทัศน์ 8 ภาพที่พร้อมกันโดยไม่สามารถปรับเปลี่ยนใดๆ ได้ ให้สามารถที่ทำการเลือกคุณภาพจากสถานที่ใดสถานที่หนึ่งได้เต็มจอโทรทัศน์และสามารถจัดเรียงลำดับภาพที่เข้ามาก่อนหลังได้ เมื่อใช้เป็นระบบประชุมทางโทรภาพ
3. ในกรณีที่มีสัญญาณภาพเข้ามามากกว่า 2 ภาพ ภาพที่ปรากฏบนหน้าจอโทรทัศน์จะไม่สวยงาม และไม่เหมาะสม ดังนั้น จึงควรมีการพัฒนาในด้านภาพที่ปรากฏบนหน้าจอโทรทัศน์ให้มีความเหมาะสม และสวยงาม



ภาคผนวก ก
รายการอุปกรณ์ของเครื่องผสมสัญญาณภาพ 8 ช่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. รายการอุปกรณ์ส่วนของการ์รับสัญญาณ (Video Signal Card)

1.1 วงจรขยายสัญญาณภาพ

อุปกรณ์	ค่า/เบอร์	จำนวน
IC_1	NE592	1 ตัว
C_1, C_3	0.22 μF	2 ตัว
C_2	0.1 μF	1 ตัว
R_1, R_2	100 $k\Omega$	2 ตัว
R_3	10 $M\Omega$	1 ตัว
VR_1	5 $k\Omega$	1 ตัว

1.2 วงจรแยกสัญญาณซิงค์

อุปกรณ์	ค่า/เบอร์	จำนวน
IC_2	LM1881	1 ตัว
IC_3	74HC86	1 ตัว
C_4, C_5, C_6, C_7	0.1 μF	4 ตัว
R_4	680 $k\Omega$	1 ตัว

1.3 วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล

อุปกรณ์	ค่า/เบอร์	จำนวน
IC_4	CA3318	1 ตัว
IC_5	74F245	1 ตัว
C_8	0.22 μF	1 ตัว
C_9, C_{10}	0.1 μF	2 ตัว
C_{11}	0.01 μF	1 ตัว
Q_1	2N4401	1 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์	ค่า/เบอร์	จำนวน
R_5	$5\text{ k}\Omega$	1 ตัว
R_6	$1\text{ k}\Omega$	1 ตัว
R_7, R_8, R_9, R_{10}	$100\ \Omega$	4 ตัว
VR_2	$5\text{ k}\Omega$	1 ตัว

1.4 วงจรเขียนหน่วยความจำ

อุปกรณ์	ค่า/เบอร์	จำนวน
IC_6	74221	1 ตัว
IC_7	74HC32	1 ตัว
IC_8	74LS76	1 ตัว
IC_9, IC_{10}	74F393	2 ตัว
IC_{11}	74F04	1 ตัว
$C_{12}, C_{16}, C_{17}, C_{18}, C_{19}, C_{20}$	$0.1\ \mu F$	6 ตัว
C_{13}	$0.01\ \mu F$	1 ตัว
C_{14}, C_{15}	$0.33\ \mu F$	1 ตัว
VR_3	$10\text{ k}\Omega$	1 ตัว
VR_4	$50\text{ k}\Omega$	1 ตัว

1.5 วงจรหน่วยความจำ

อุปกรณ์	ค่า/เบอร์	จำนวน
$IC_{12}, IC_{13}, IC_{15}, IC_{18}, IC_{19}$	74F257	11 ตัว
$IC_{20}, IC_{21}, IC_{22}, IC_{23}, IC_{24}, IC_{25}$		
IC_{16}, IC_{17}	62256	2 ตัว
IC_9, IC_{10}	74F393	2 ตัว
$C_{21}, C_{22}, C_{23}, C_{24}, C_{25}, C_{26}, IC_{27}, C_{29}$	$0.1\ \mu F$	14 ตัว
$C_{29}, C_{29}, C_{30}, C_{31}, C_{32}, C_{33}, C_{34}$		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์	ค่า/เบอร์	จำนวน
C_{35}	100 nF	1 ตัว
R_{11}	470 Ω	1 ตัว
LED	-	1 ตัว

2. รายการอุปกรณ์ส่วนของเมนบอร์ด (Mainboard)

2.1 วงจรมัลติเพล็กซ์

อุปกรณ์	ค่า/เบอร์	จำนวน
IC_1, IC_2, IC_3, IC_4	74F245	8 ตัว
IC_5, IC_6, IC_7, IC_8		
IC_9	74HC138	1 ตัว
$C_1, C_2, C_3, C_4, C_5, C_6, IC_7, IC_8, IC_9$	0.1 μF	9 ตัว

2.2 วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล

อุปกรณ์	ค่า/เบอร์	จำนวน
IC_{14}	74F245	1 ตัว
C_{14}	0.1 μF	1 ตัว
$R_1, R_3, R_5, R_7, R_9, R_{11}, R_{13}, R_{15}$	2 k Ω	8 ตัว
$R_2, R_4, R_6, R_8, R_{10}, R_{12}, R_{14}, R_{16}$	1 k Ω	8 ตัว

2.3 วงจรผลิตสัญญาณนาฬิกา

อุปกรณ์	ค่า/เบอร์	จำนวน
IC_{28}	74HC74	1 ตัว
คริสตัล	20 MHz	1 ตัว

2.4 วงจรผลิตสัญญาณซิงค์

อุปกรณ์	ค่า/เบอร์	จำนวน
IC_1, IC_4	7404	2 ตัว
IC_2, IC_3	4040	2 ตัว
IC_5, IC_7	7408	2 ตัว
IC_6	7410	1 ตัว
C_1	22 pF	1 ตัว
R_1, R_2	1 k Ω	1 ตัว

2.5 วงจรอ่านหน่วยความจำ

อุปกรณ์	ค่า/เบอร์	จำนวน
$IC_{10}, IC_{11}, IC_{12}, IC_{13}$	74F245	4 ตัว
$IC_{15}, IC_{16}, IC_{17}$	74F393	4 ตัว
IC_{18}	74HC32	1 ตัว
IC_{20}	74HC221	1 ตัว
$C_{10}, C_{11}, C_{12}, C_{13}, C_{15}, C_{16}$	0.1 μ F	11 ตัว
$C_{17}, C_{18}, C_{19}, C_{20}, C_{30}$		
C_{31}, C_{32}	0.33 μ F	2 ตัว
VR_1	10 k Ω	1 ตัว
VR_2	47 k Ω	1 ตัว

2.6 วงจรผสมสัญญาณ

อุปกรณ์	ค่า/เบอร์	จำนวน
C_{34}	0.1 μ F	1 ตัว
C_{35}	10 μ F	1 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์	ค่า/เบอร์	จำนวน
R_{23}	$10\text{ k}\Omega$	1 ตัว
R_{24}, R_{26}	$1\text{ k}\Omega$	2 ตัว
R_{26}	330Ω	1 ตัว
VR_3, VR_4	$1\text{ k}\Omega$	2 ตัว
VR_5	$22\text{ k}\Omega$	1 ตัว
D_3, D_4	1N4148	2 ตัว
Q_3	2N4401	1 ตัว

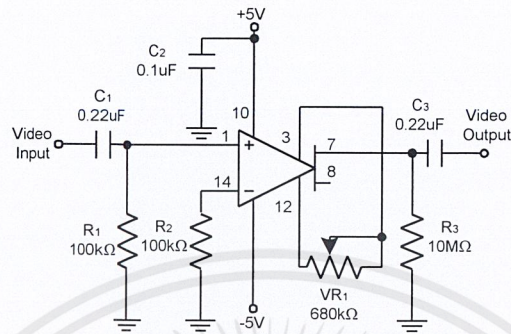


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

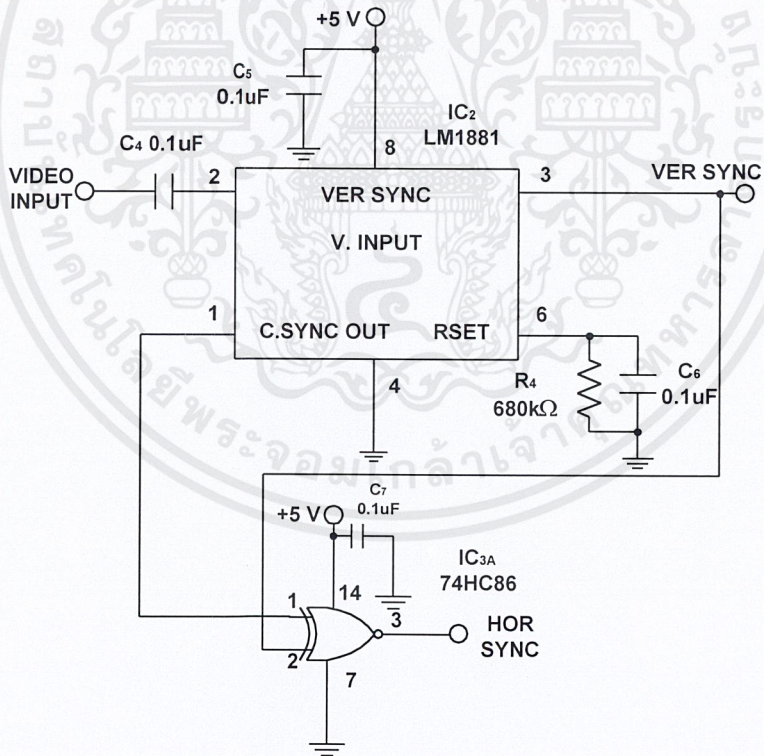


ภาคผนวก ข
วงจรและแผ่นวงจรพิมพ์ของเครื่องผสมสัญญาณภาพ 8 ช่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

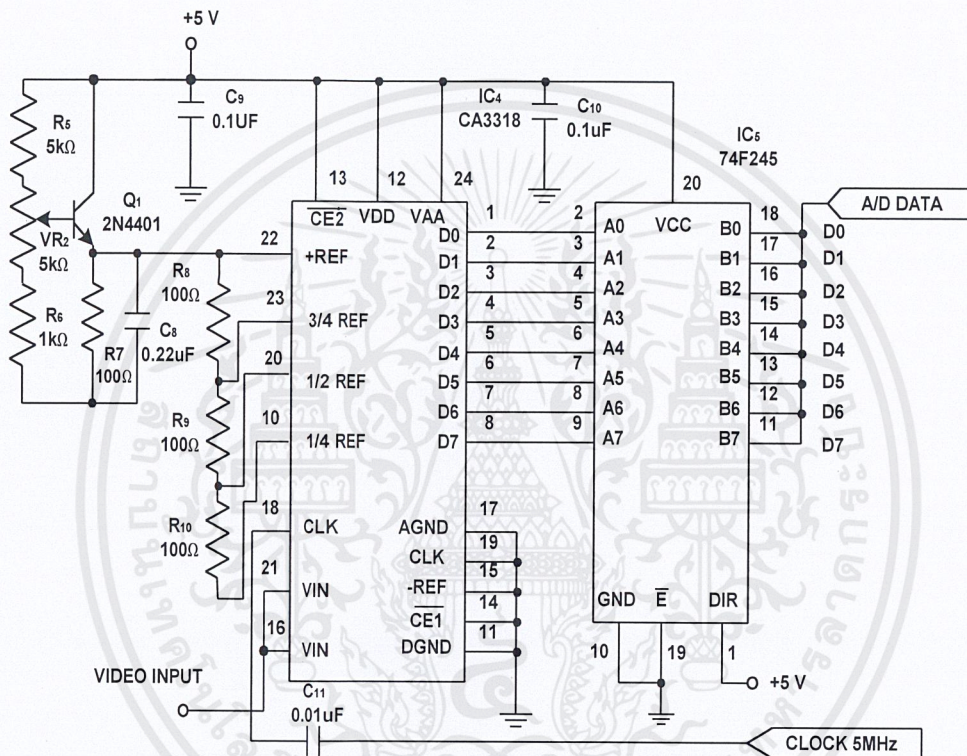


รูปที่ ข.1 วงจรขยายสัญญาณภาพ



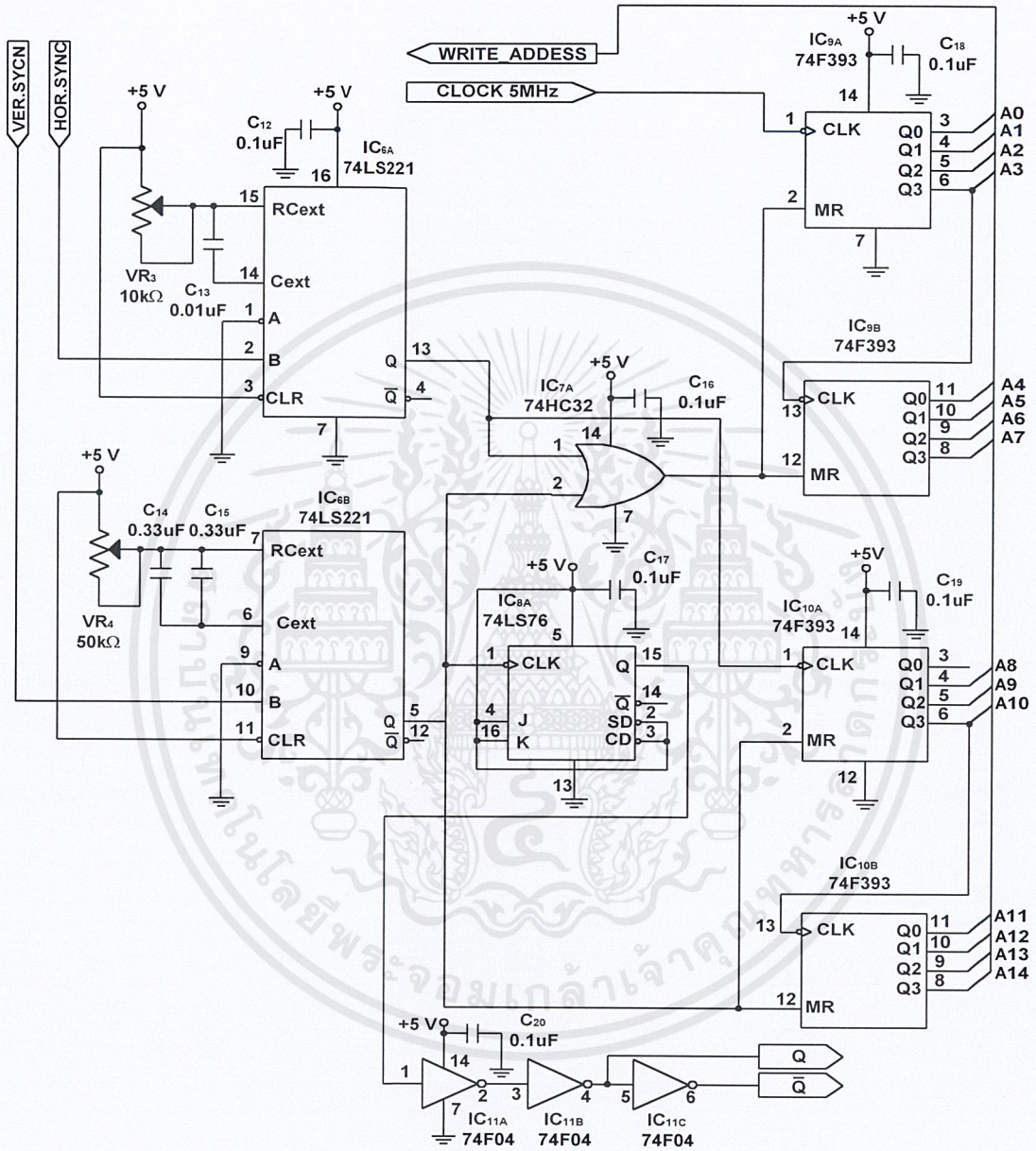
รูปที่ ข.2 วงจรแยกสัญญาณซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



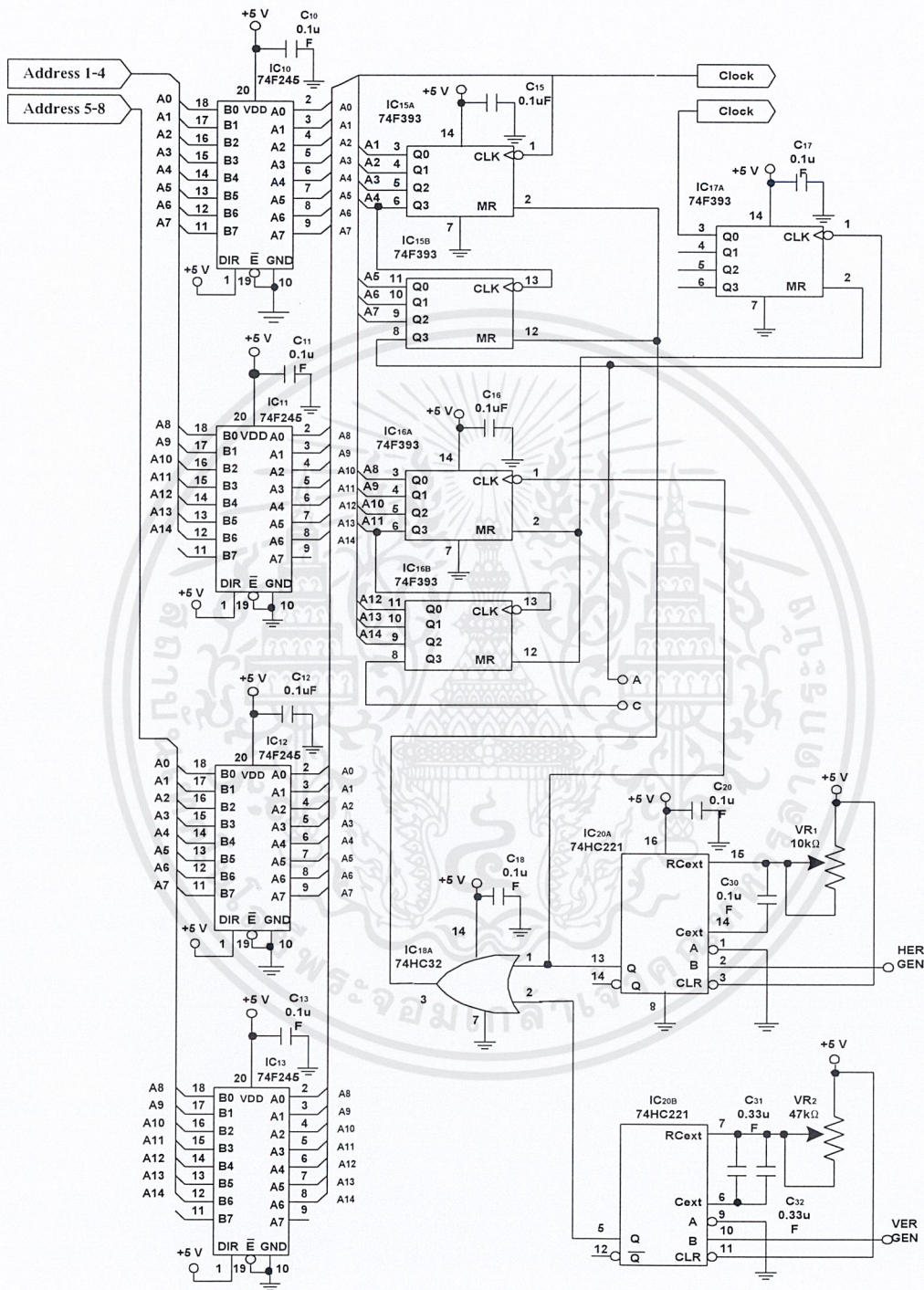
รูปที่ ข.3 วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



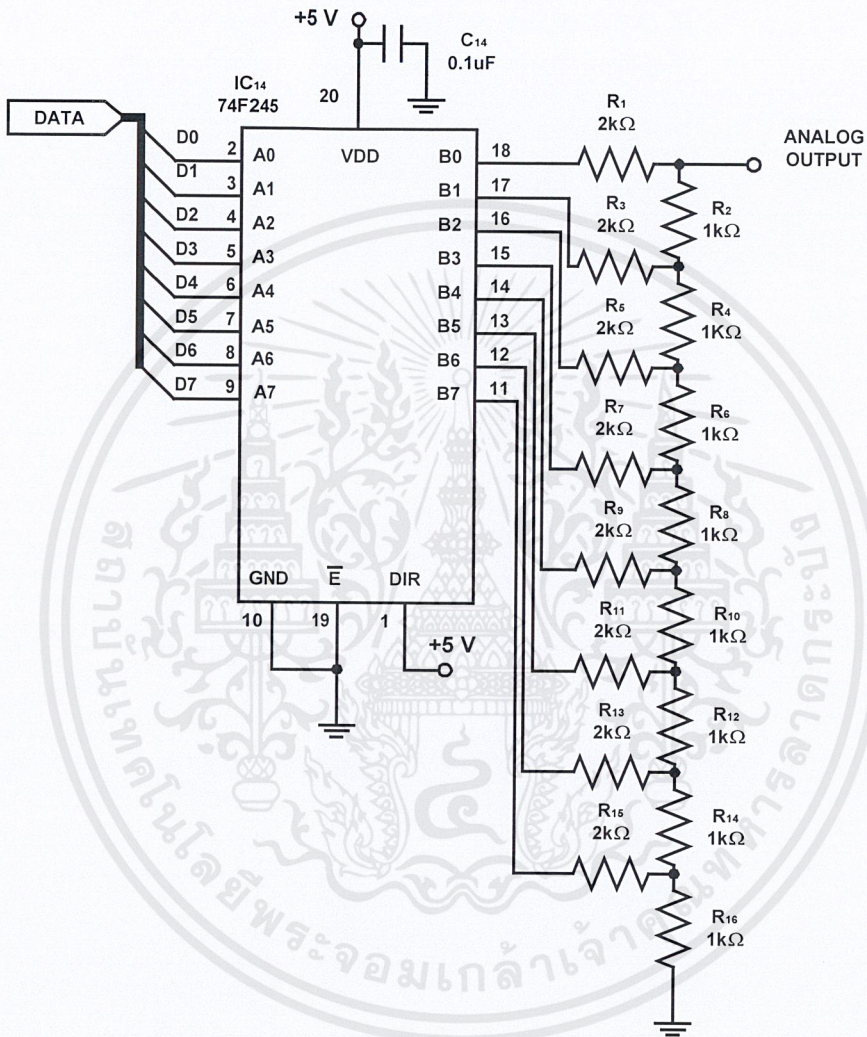
รูปที่ ๔.๔ วงจรเขียนหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



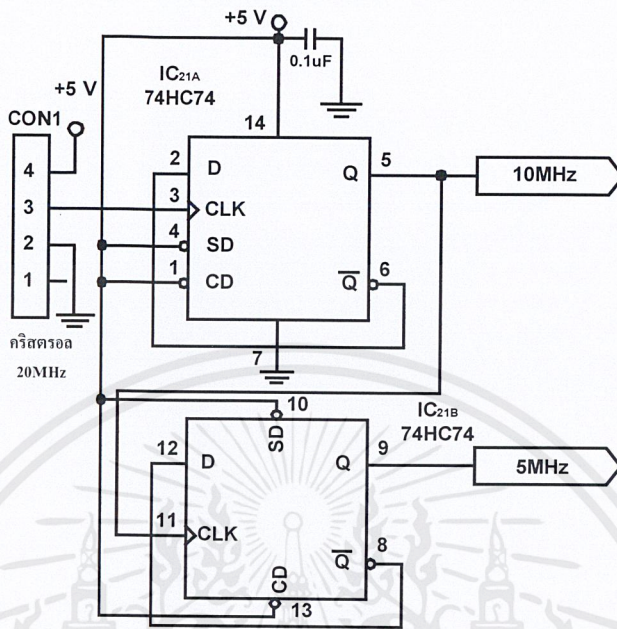
รูปที่ ข.5 วงจรอ่านหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

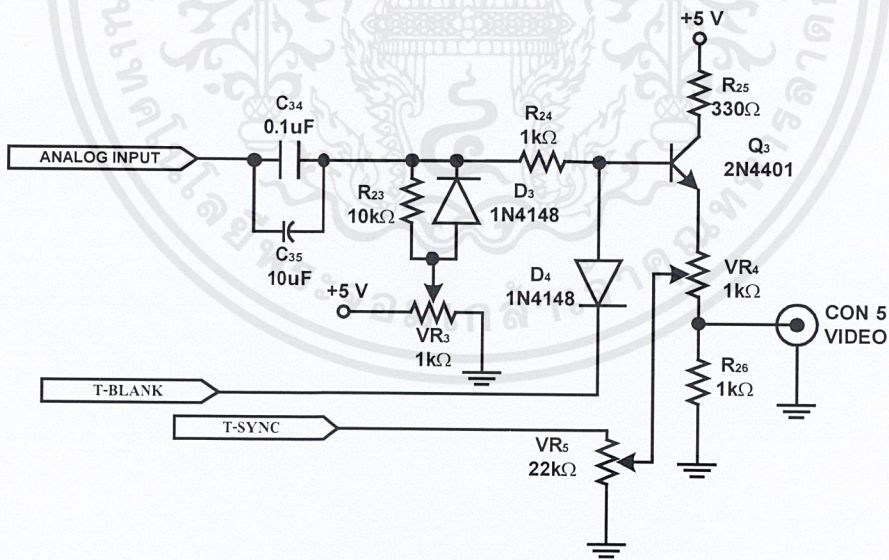


รูปที่ ข.6 วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

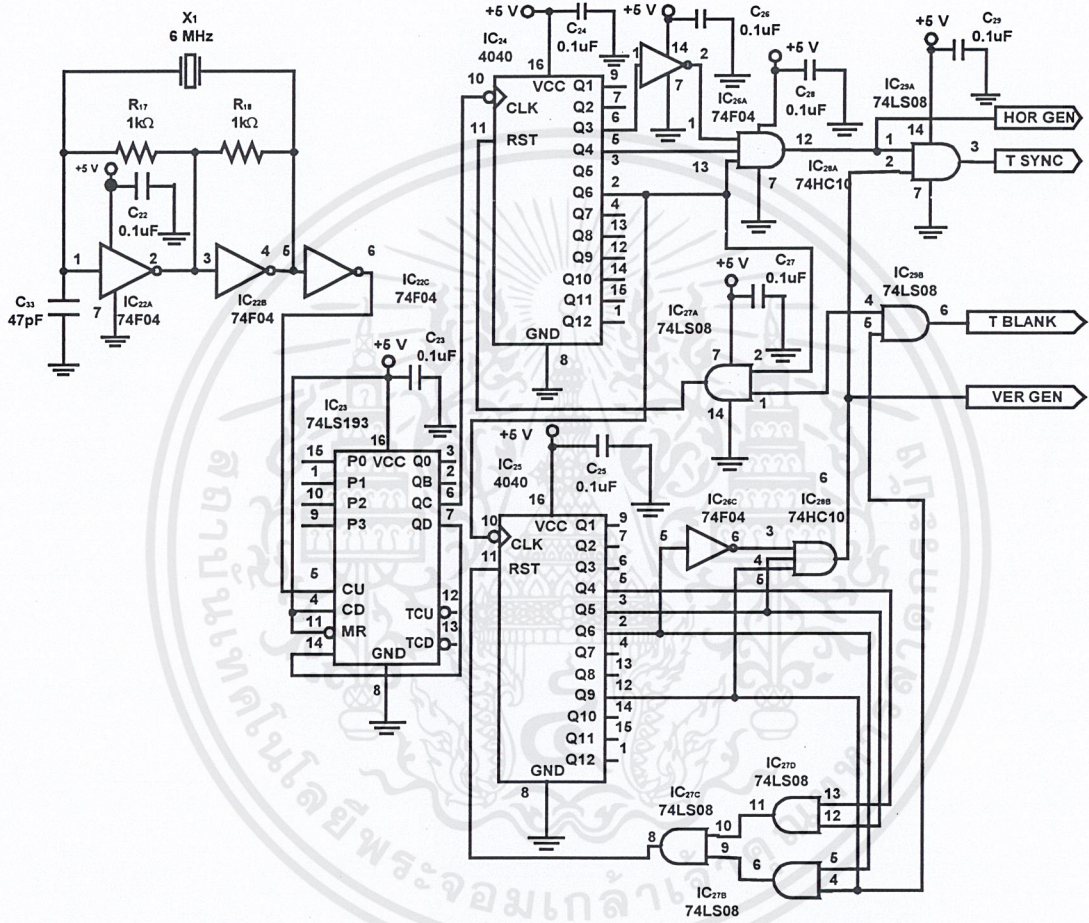


รูปที่ ข.7 วงจรผลิตสัญญาณนาฬิกา



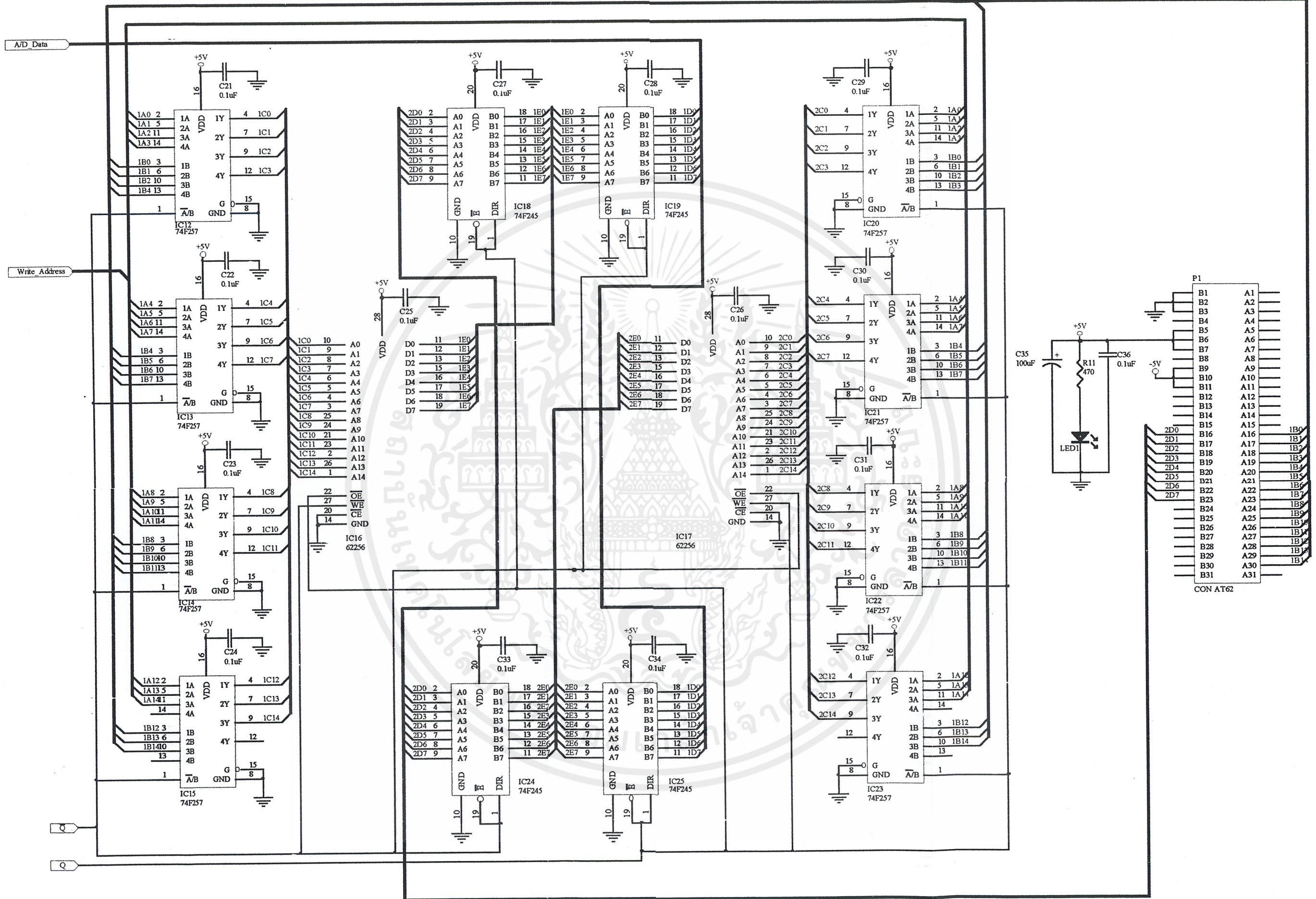
รูปที่ ข.8 วงจรผสมสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

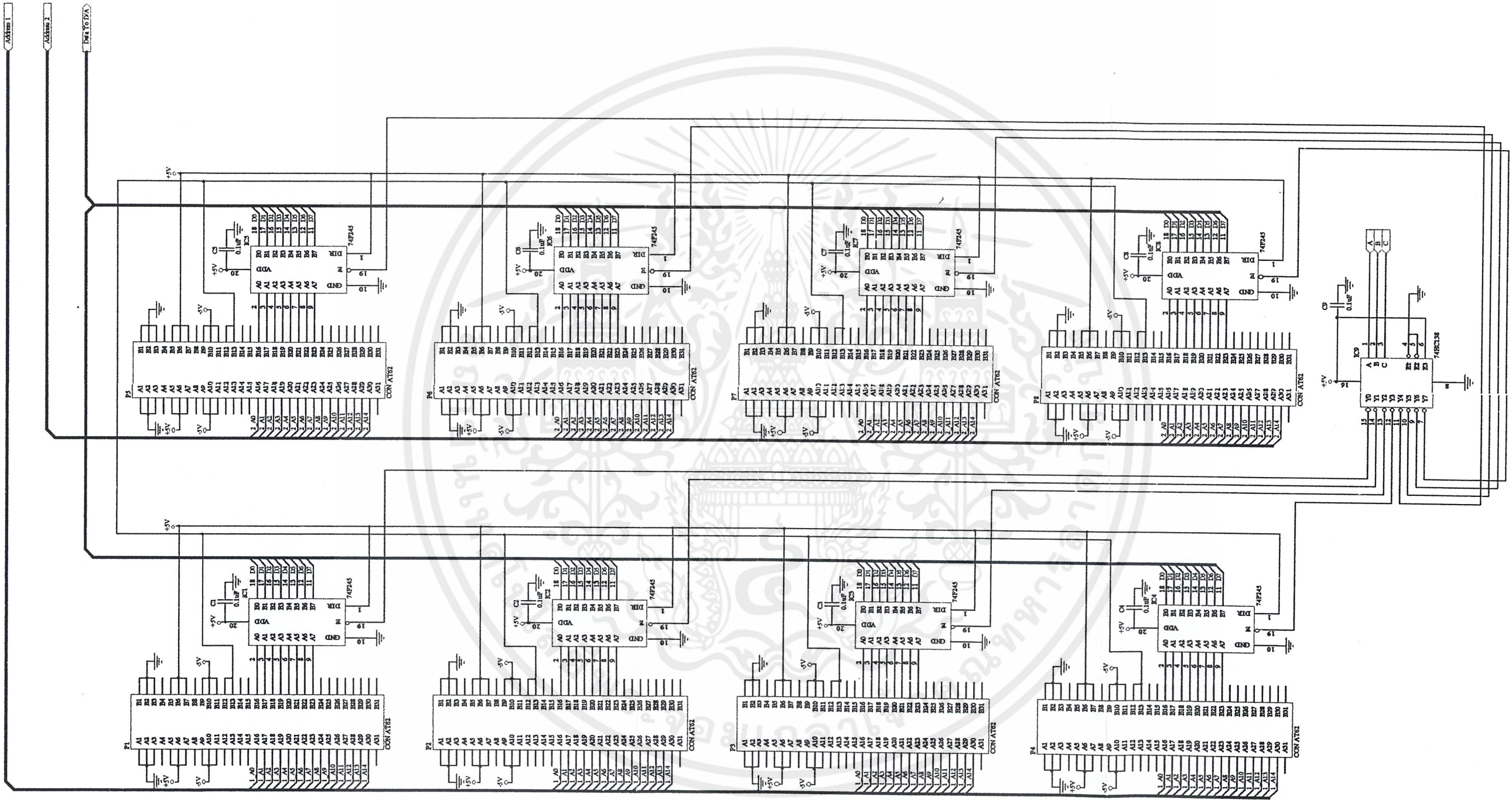


รูปที่ ข.9 วงจรผลิตสัญญาณซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

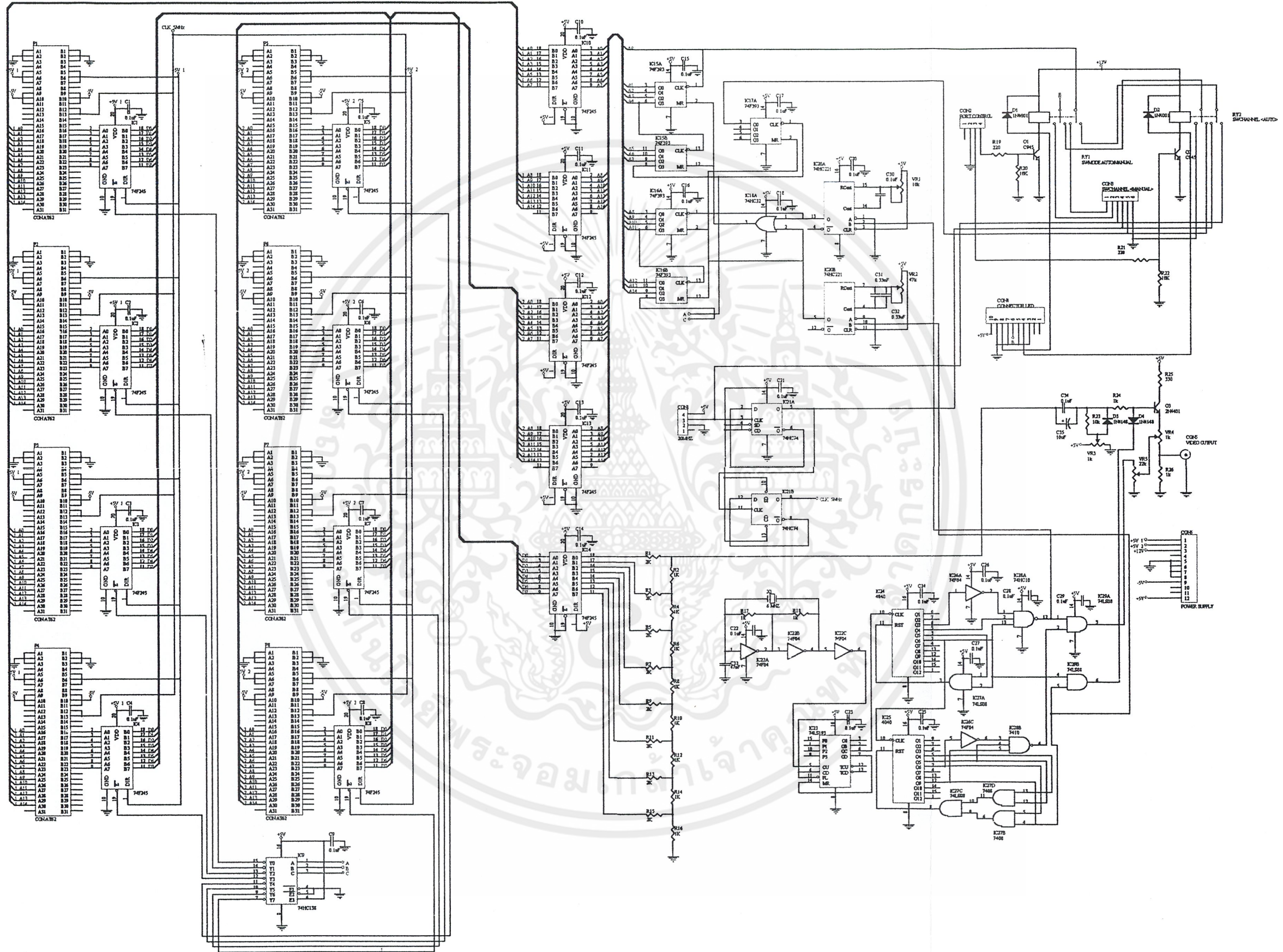


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ ข. 10 วงจรหน่วยความจำ
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



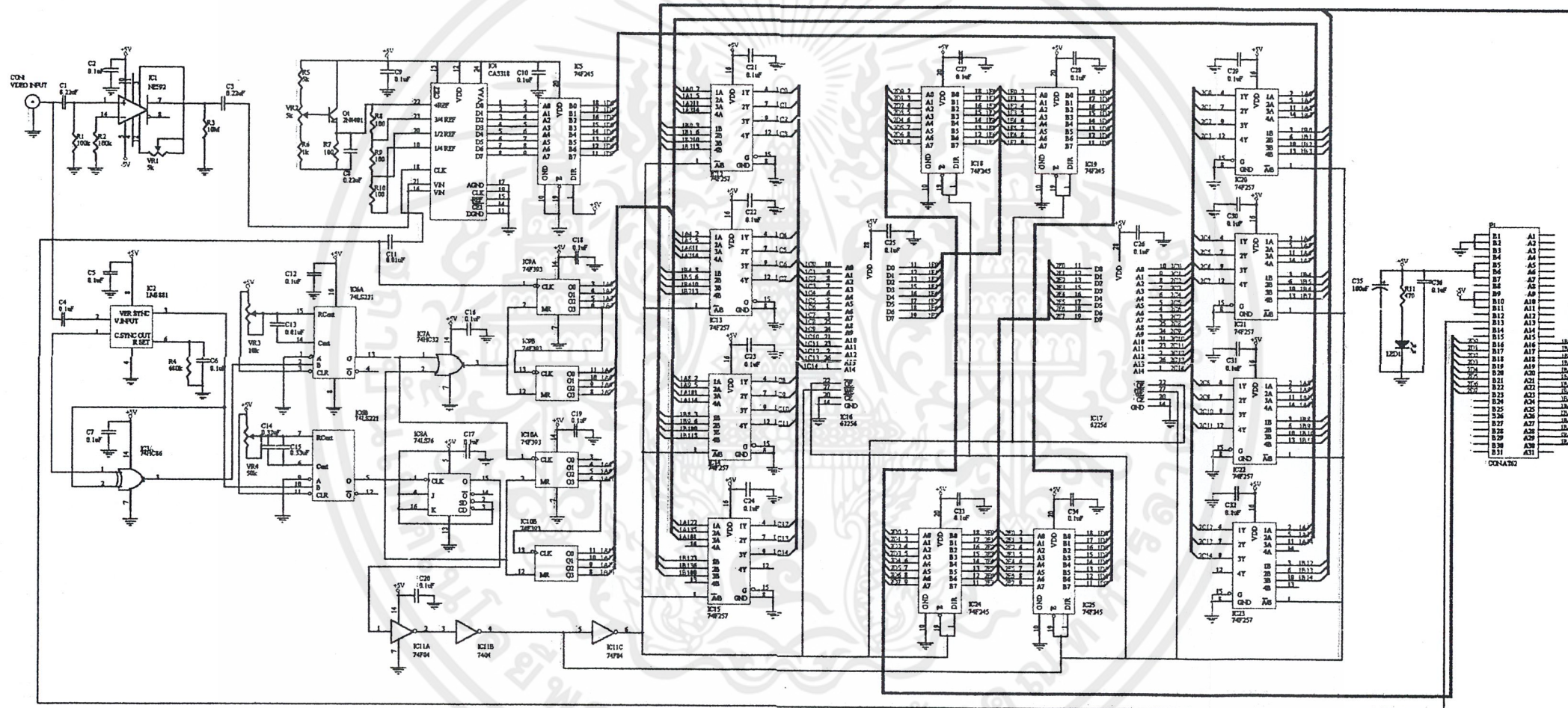
รูปที่ ข.11 วงจรมัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



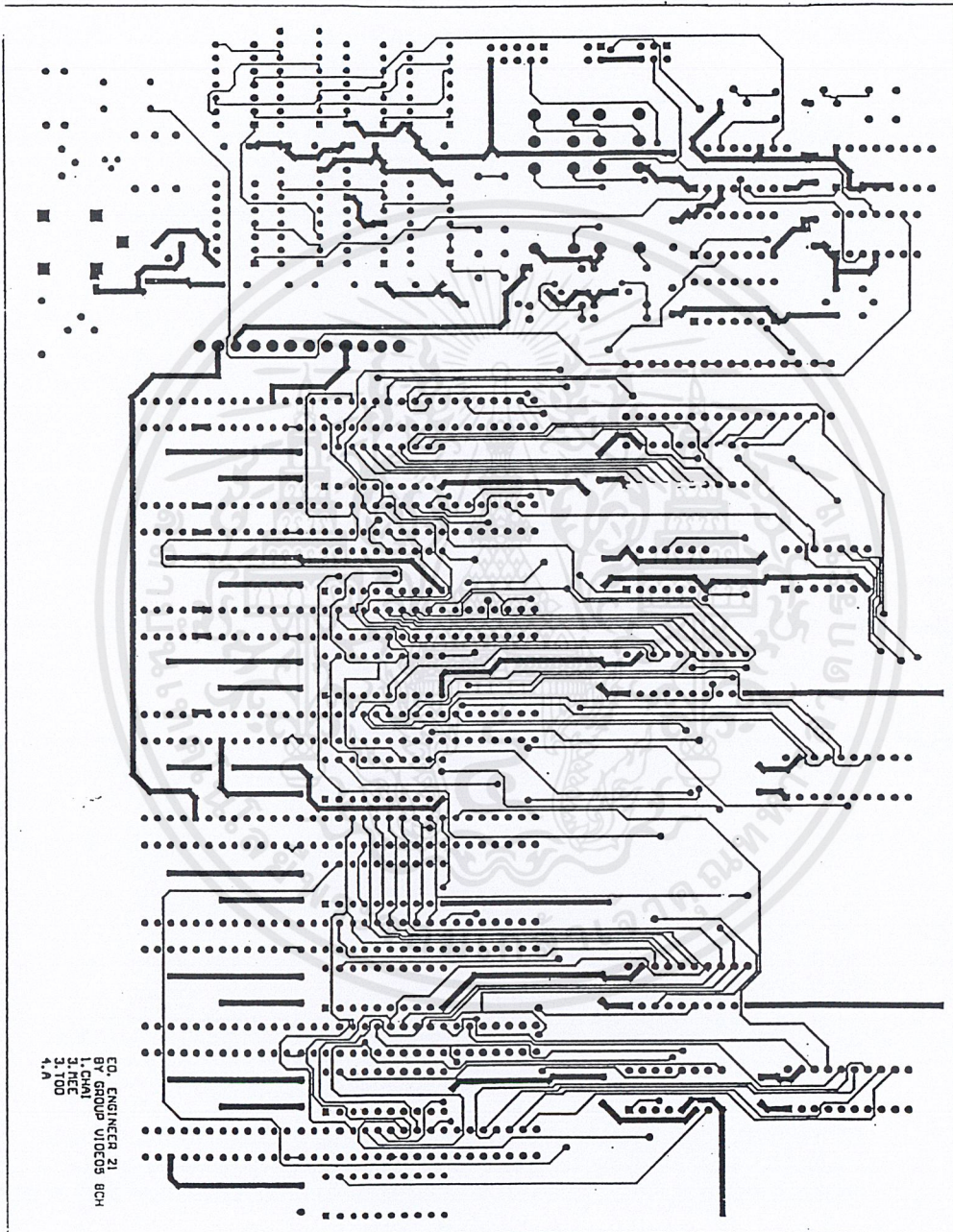
รูปที่ ๑๒ วงจรส่วนของเมนบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



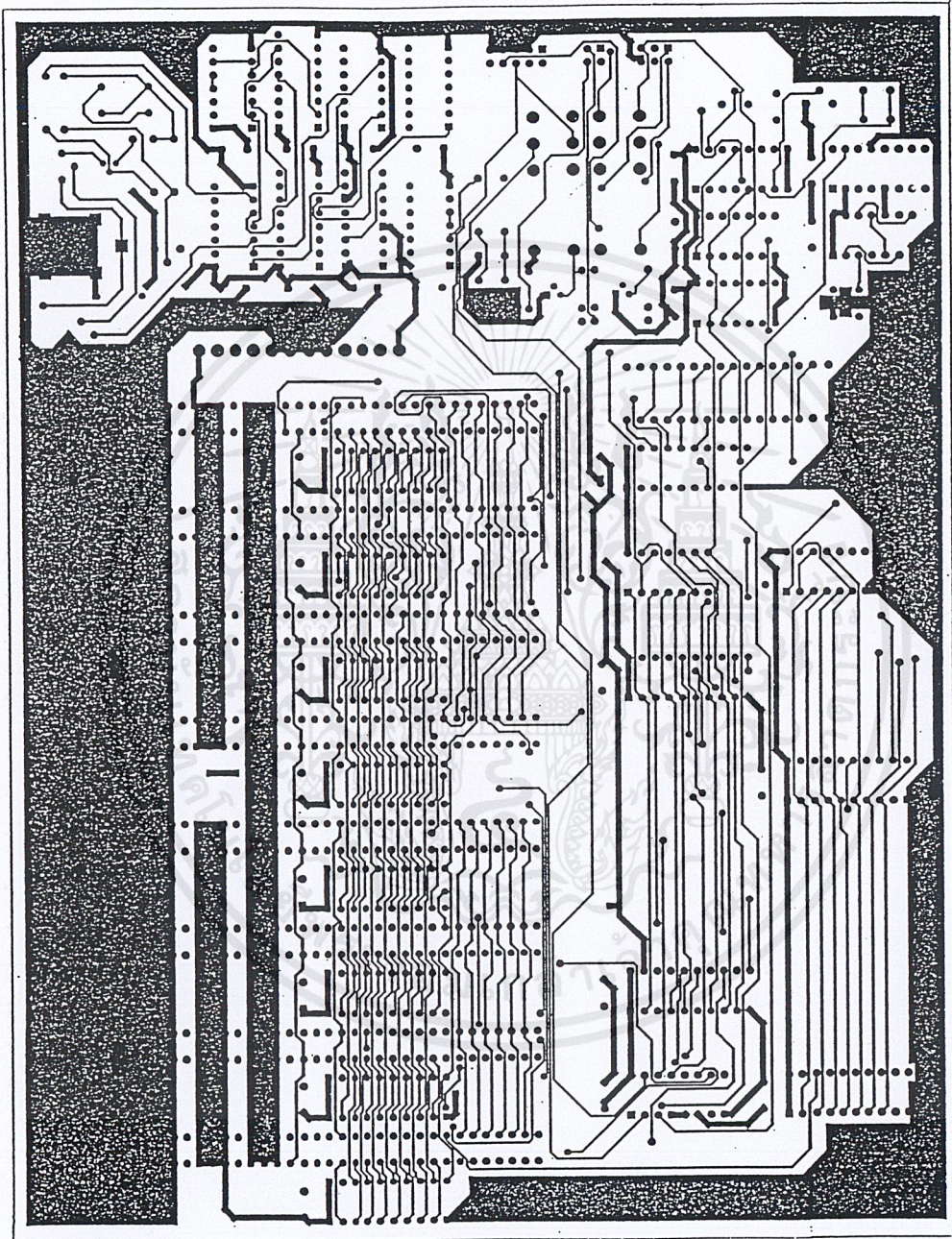
รูปที่ ข. 13. วงจรส่วนของการ์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



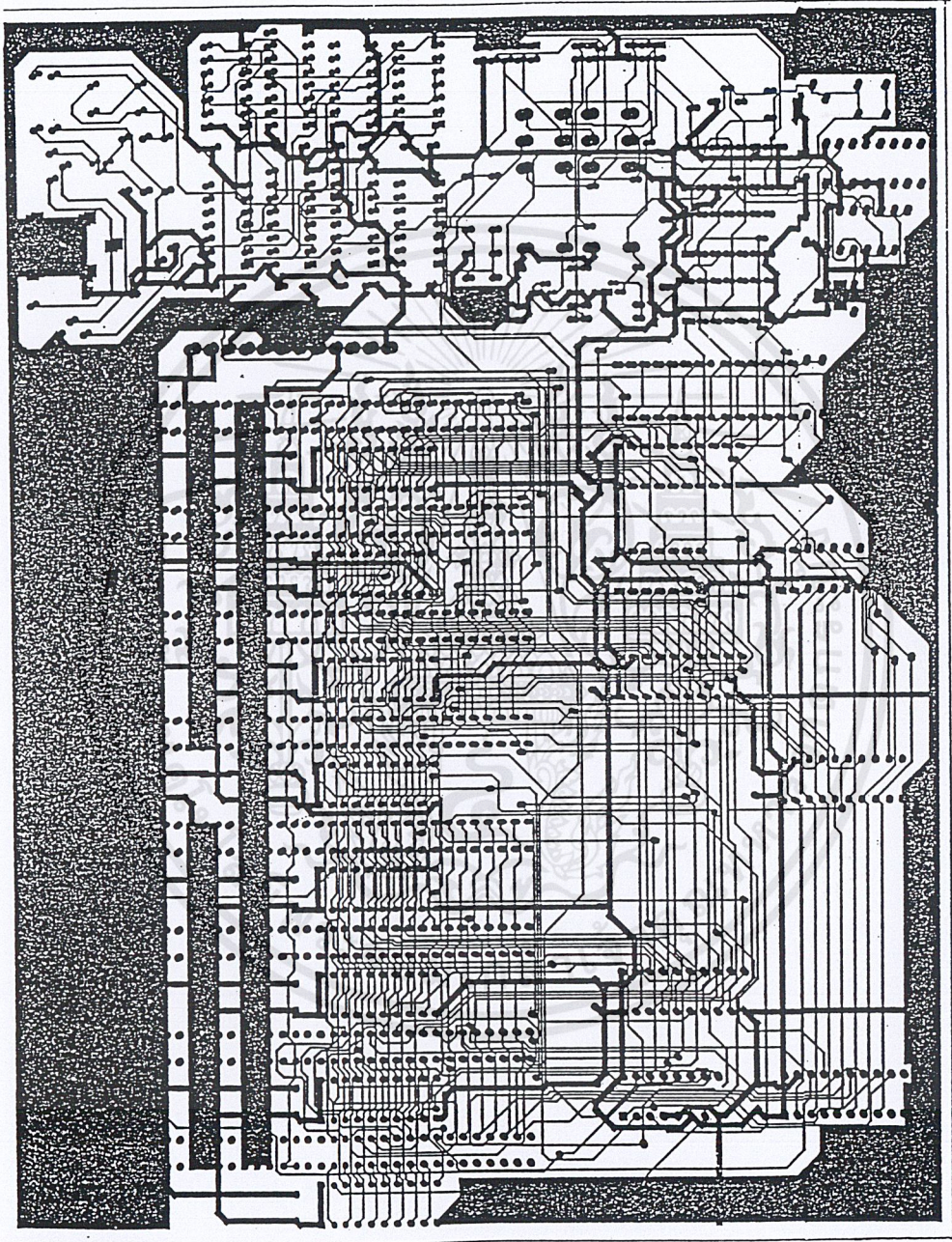
รูปที่ ข.14 ลายพิมพ์วงจรส่วนด้านบนของเมนบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



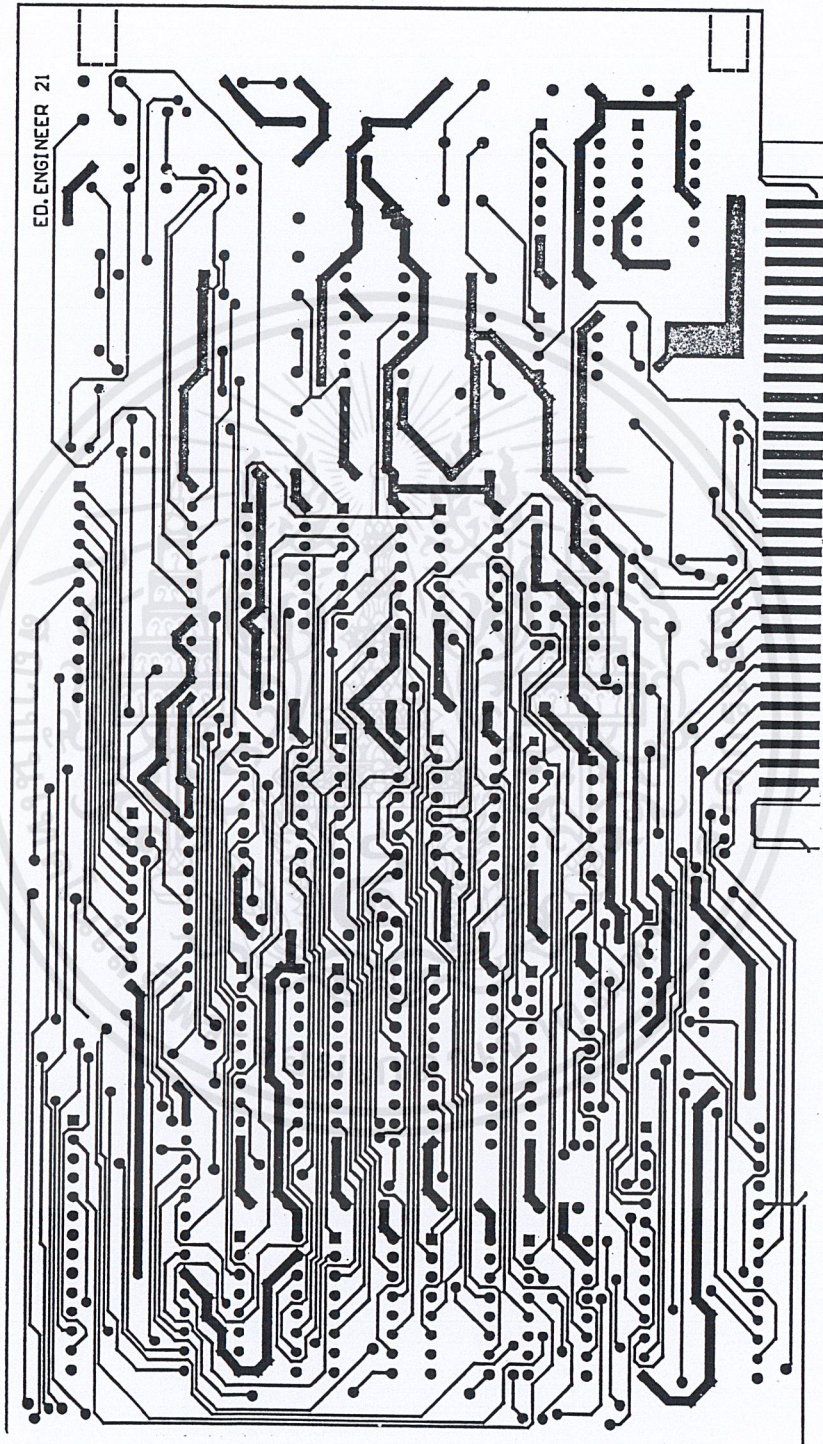
รูปที่ ข.15 ลายพิมพ์วงจรส่วนด้านล่างของเมนบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



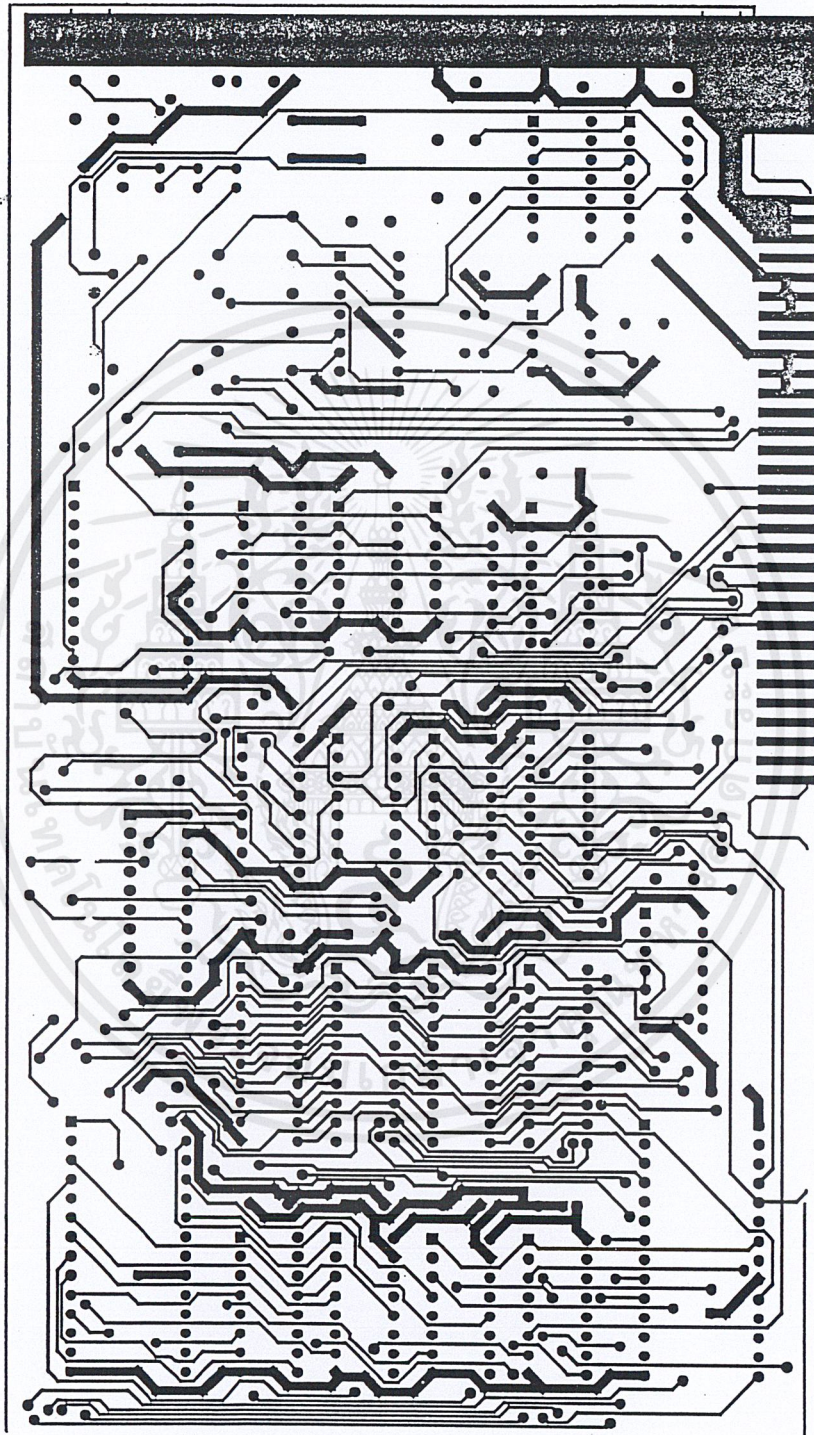
รูปที่ ข.16 ลายพิมพ์วงจรทั้งสองด้านของเมนบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



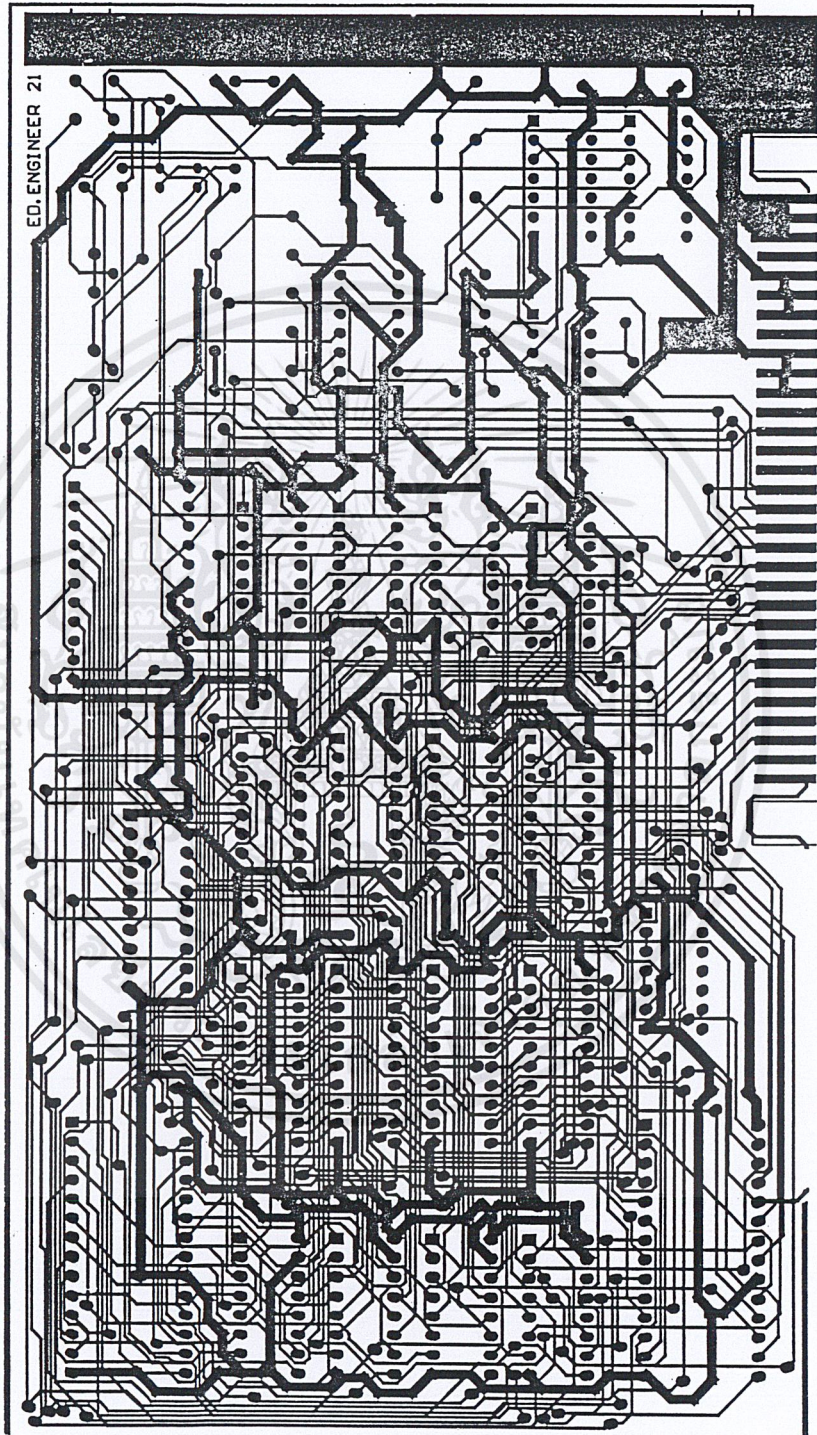
รูปที่ ข.17 ลายพิมพ์วงจรส่วนด้านบนของการ์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.18 ลายพิมพ์วงจรส่วนด้านล่างของการ์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



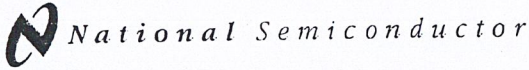
รูปที่ ข.19 ลายพิมพ์วงจรทั้งสองด้านของการ์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ก
รายละเอียดและคุณสมบัติของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



December 1988

MM54HC4020/MM74HC4020 14-Stage Binary Counter
MM54HC4040/MM74HC4040 12-Stage Binary Counter

MM54HC4020/MM74HC4020 14-Stage Binary Counter MM54HC4040/MM74HC4040 12-Stage Binary Counter

General Description

The MM54HC4020/MM74HC4020, MM54HC4040/MM74HC4040, are high speed binary ripple carry counters. These counters are implemented utilizing advanced silicon-gate CMOS technology to achieve speed performance similar to LS-TTL logic while retaining the low power and high noise immunity of CMOS.

The 'HC4020 is a 14 stage counter and the 'HC4040 is a 12-stage counter. Both devices are incremented on the falling edge (negative transition) of the input clock, and all their outputs are reset to a low level by applying a logical high on their reset input.

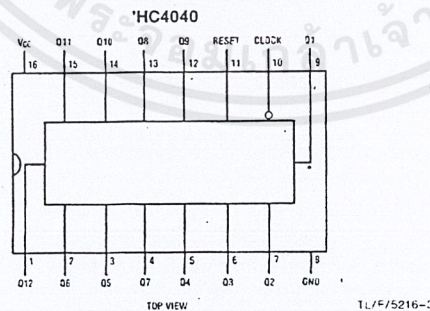
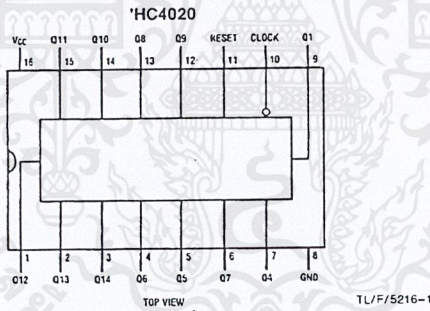
These devices are pin equivalent to the CD4020 and CD4040 respectively. All inputs are protected from damage due to static discharge by protection diodes to V_{CC} and ground.

Features

- Typical propagation delay: 16 ns
- Wide operating voltage range: 2–6V
- Low input current: 1 μA maximum
- Low quiescent current: 80 μA maximum (74HC Series)
- Output drive capability: 10 LS-TTL loads

Connection Diagrams

Dual-In-Line Packages



Order Number MM54HC4020/4040 or MM74HC4020/4040

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	-0.5 to +7.0V
DC Input Voltage (V_{IN})	-1.5 to $V_{CC} + 1.5V$
DC Output Voltage (V_{OUT})	-0.5 to $V_{CC} + 0.5V$
Clamp Diode Current (I_{CD})	± 20 mA
DC Output Current, per pin (I_{OUT})	± 25 mA
DC V_{CC} or GND Current, per pin (I_{CC})	± 50 mA
Storage Temperature Range (T_{STG})	-65°C to +150°C
Power Dissipation (P_D) (Note 3)	600 mW
S.O. Package only	500 mW
Lead Temperature (T_L) (Soldering 10 seconds)	260°C

Operating Conditions

Supply Voltage (V_{CC})	Min	Max	Units
DC Input or Output Voltage (V_{IN} , V_{OUT})	0	V_{CC}	V
Operating Temp. Range (T_A)			
MM74HC	-40	+85	°C
MM54HC	-55	+125	°C
Input Rise or Fall Times (t_r , t_f)			
$V_{CC} = 2.0V$		1000	ns
$V_{CC} = 4.5V$		500	ns
$V_{CC} = 6.0V$		400	ns

DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	V_{CC}	$T_A = 25^\circ\text{C}$		74HC	54HC	Units
						$T_A = -40$ to 85°C	$T_A = -55$ to 125°C	
				Typ	Guaranteed Limits			
V_{IH}	Minimum High Level Input Voltage		2.0V		1.5	1.5	1.5	V
			4.5V		3.15	3.15	3.15	V
			6.0V		4.2	4.2	4.2	V
V_{IL}	Maximum Low Level Input Voltage**		2.0V		0.5	0.5	0.5	V
			4.5V		1.35	1.35	1.35	V
			6.0V		1.8	1.8	1.8	V
V_{OH}	Minimum High Level Output Voltage	$V_{IN} = V_{IH}$ or V_{IL} $ I_{OUT} \leq 20 \mu\text{A}$	2.0V	2.0	1.9	1.9	1.9	V
			4.5V	4.5	4.4	4.4	4.4	V
		6.0V	6.0	5.9	5.9	5.9	V	
		$V_{IN} = V_{IH}$ or V_{IL} $ I_{OUT} \leq 4.0$ mA	4.5V	4.2	3.98	3.84	3.7	V
			6.0V	5.7	5.48	5.34	5.2	V
		$V_{IN} = V_{IH}$ or V_{IL} $ I_{OUT} \leq 5.2$ mA	4.5V	4.2	3.98	3.84	3.7	V
6.0V	5.7		5.48	5.34	5.2	V		
V_{OL}	Maximum Low Level Output Voltage	$V_{IN} = V_{IH}$ or V_{IL} $ I_{OUT} \leq 20 \mu\text{A}$	2.0V	0	0.1	0.1	0.1	V
			4.5V	0	0.1	0.1	0.1	V
			6.0V	0	0.1	0.1	0.1	V
		$V_{IN} = V_{IH}$ or V_{IL} $ I_{OUT} \leq 4.0$ mA	4.5V	0.2	.26	0.33	0.4	V
			6.0V	0.2	.26	0.33	0.4	V
		$V_{IN} = V_{IH}$ or V_{IL} $ I_{OUT} \leq 5.2$ mA	4.5V	0.2	.26	0.33	0.4	V
6.0V	0.2		.26	0.33	0.4	V		
I_{IN}	Maximum Input Current	$V_{IN} = V_{CC}$ or GND	6.0V		± 0.1	± 1.0	± 1.0	μA
I_{CC}	Maximum Quiescent Supply Current	$V_{IN} = V_{CC}$ or GND $I_{OUT} = 0 \mu\text{A}$	6.0V		8.0	80	160	μA

Note 1: Maximum Ratings are those values beyond which damage to the device may occur.

Note 2: Unless otherwise specified all voltages are referenced to ground.

Note 3: Power Dissipation temperature derating — plastic "N" package: -12 mW/°C from 65°C to 85°C; ceramic "J" package: -12 mW/°C from 100°C to 125°C.

Note 4: For a power supply of 5V $\pm 10\%$ the worst case output voltages (V_{OH} and V_{OL}) occur for HC at 4.5V. Thus the 4.5V values should be used when designing with this supply. Worst case V_{IH} and V_{IL} occur at $V_{CC} = 5.5V$ and 4.5V respectively. (The V_{IH} value at 5.5V is 3.85V.) The worst case leakage current (I_{IN} , I_{CC} , and I_{OZ}) occur for CMOS at the higher voltage and so the 6.0V values should be used.

** V_{IL} limits are currently tested at 20% of V_{CC} . The above V_{IL} specification (30% of V_{CC}) will be implemented no later than Q1, CY89.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics $V_{CC}=5V$, $T_A=25^\circ C$, $C_L=15\text{ pF}$, $t_r=t_f=6\text{ ns}$

Symbol	Parameter	Conditions	Typ	Guaranteed Limit	Units
f_{MAX}	Maximum Operating Frequency		50	30	MHz
t_{PHL} , t_{PLH}	Maximum Propagation Delay Clock to Q	(Note 5)	17	35	ns
t_{PHL}	Maximum Propagation Delay Reset to any Q		16	40	ns
t_{REM}	Minimum Reset Removal Time		10	20	ns
t_W	Minimum Pulse Width		10	16	ns

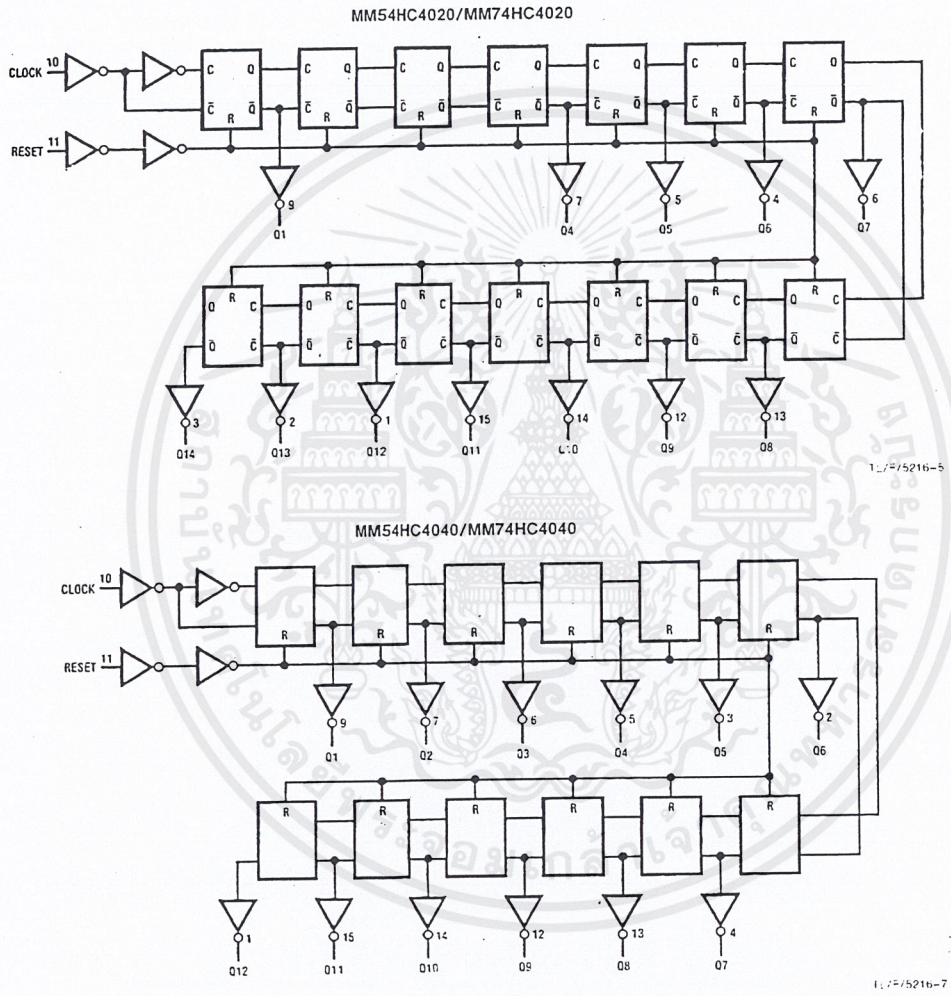
AC Electrical Characteristics $V_{CC}=2.0V\text{ to }6.0V$, $C_L=50\text{ pF}$, $t_r=t_f=6\text{ ns}$ (unless otherwise specified)

Symbol	Parameter	Conditions	V_{CC}	$T_A=25^\circ C$			74HC	54HC	Units
						$T_A=-40\text{ to }85^\circ C$	$T_A=-55\text{ to }125^\circ C$		
				Typ	Guaranteed Limits				
f_{MAX}	Maximum Operating Frequency		2.0V	10	6	5	4	MHz	
			4.5V	40	30	24	20	MHz	
			6.0V	50	35	26	24	MHz	
t_{PHL} , t_{PLH}	Maximum Propagation Delay Clock to Q_1		2.0V	80	210	265	313	ns	
			4.5V	21	42	53	63	ns	
			6.0V	18	36	45	53	ns	
T_{PHL} , t_{PLH}	Maximum Propagation Delay Between Stages from Q_n to Q_{n+1}		2.0V	80	125	156	188	ns	
			4.5V	18	25	31	38	ns	
			6.0V	15	21	26	31	ns	
t_{PHL}	Maximum Propagation Delay Reset to any Q ('4020 and '4040)		2.0V	72	240	302	358	ns	
			4.5V	24	48	60	72	ns	
			6.0V	20	41	51	61	ns	
t_{REM}	Minimum Reset Removal Time		2.0V	100	126	149	149	ns	
			4.5V	20	25	25	25	ns	
			6.0V	16	21	21	25	ns	
t_W	Minimum Pulse Width		2.0V	90	100	120	120	ns	
			4.5V	16	20	24	24	ns	
			6.0V	14	18	20	20	ns	
t_{TLH} , t_{THL}	Maximum Output Rise and Fall Time		2.0V	30	75	95	110	ns	
			4.5V	10	15	19	22	ns	
			6.0V	9	13	16	19	ns	
t_r , t_f	Maximum Input Rise and Fall Time			1000	1000	1000	1000	ns	
				500	500	500	500	ns	
				400	400	400	400	ns	
C_{PD}	Power Dissipation Capacitance (Note 6)	(per package)		55				pF	
C_{IN}	Maximum Input Capacitance			5	10	10	10	pF	

Note 5: Typical Propagation delay time to any output can be calculated using: $t_p = 17 + 12(N-1)$ ns; where N is the number of the output, Q_W , at $V_{CC}=5V$.

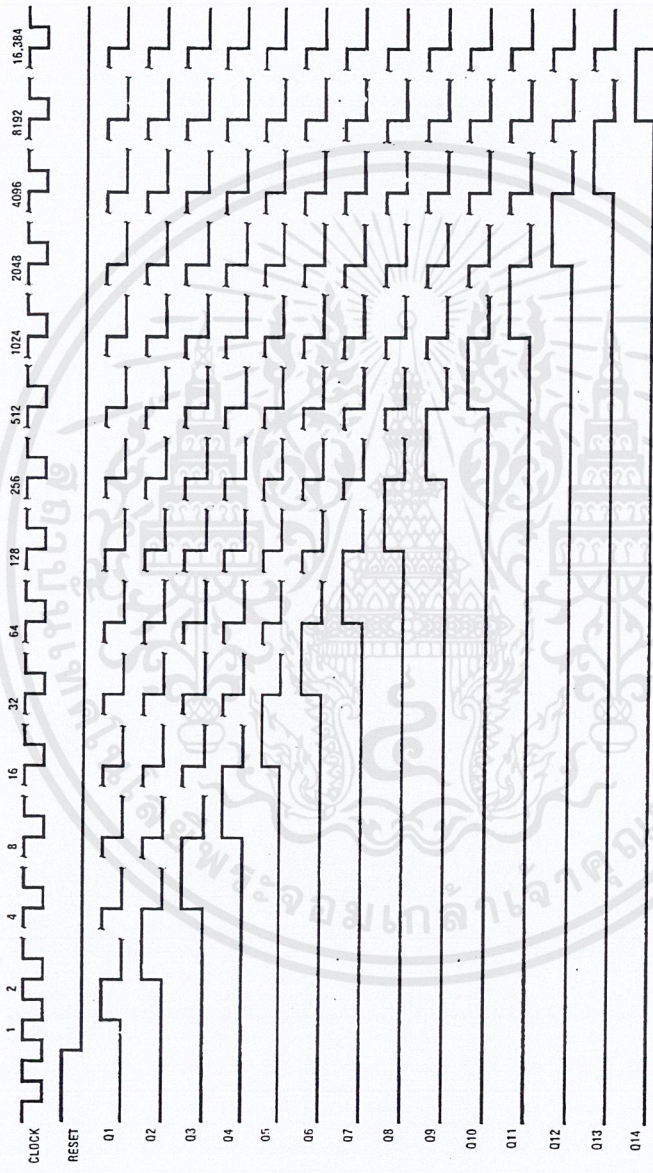
Note 6: C_{PD} determines the no load dynamic power consumption, $P_D = C_{PD} V_{CC}^2 f - I_{CC} V_{CC}$, and the no load dynamic current consumption, $I_S = C_{PD} V_{CC} f - I_{CC}$.

Logic Diagrams



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

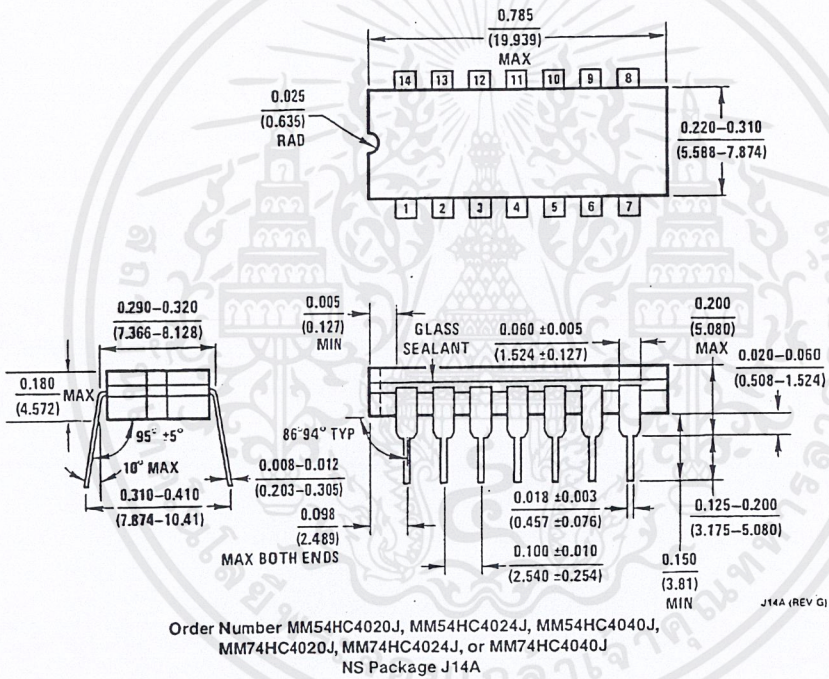
Timing Diagram



I:/F/5216-11

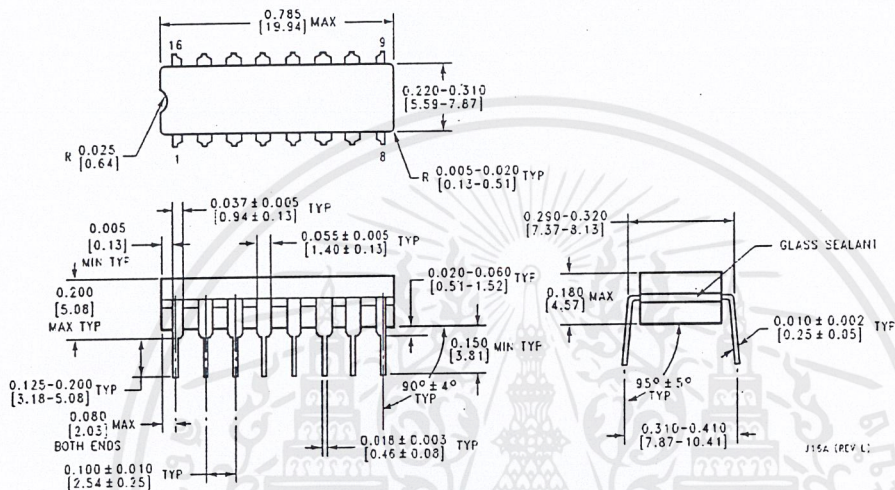
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)

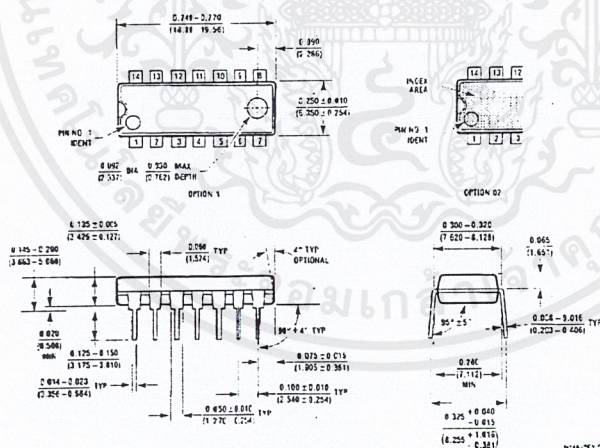


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



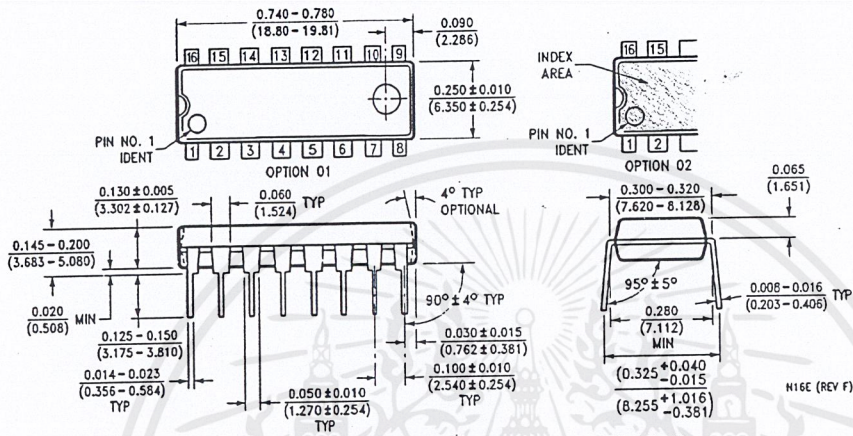
Order Number MM54HC4020J, MM54HC4024J, MM54HC4040J, MM74HC4020J, MM74HC4024J, or MM74HC4040J
NS Package J16A



Order Number MM74HC4020N, MM74HC4024N or MM74HC4040N
NS Package N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



Order Number MM74HC4020N, MM74HC4024N or MM74HC4040N
NS Package N16E

MM54HC4020/MM74HC4020 14-Stage Binary Counter
MM54HC4040/MM74HC4040 12-Stage Binary Counter

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

KM62256D Family**CMOS SRAM****32Kx8 bit Low Power CMOS Static RAM**

<u>Revision No</u>	<u>History</u>	<u>Draft Data</u>	<u>Remark</u>
0.0	Initial draft	May 18, 1997	Design target
0.1	First revision - KM62256DL/DLI I _{SB1} = 100 → 50μA KM62256DL-L I _{SB1} = 20 → 10μA KM62256DLI-L I _{SB1} = 50 → 15μA - C _{IN} = 6 → 8pF, C _{IO} = 8 → 10pF - KM62256D-4/5/7 Family t _{OH} = 5 → 10ns - KM62256DL/DLI I _{DR} = 50 → 30μA KM62256DL-L/DLI-L I _{DR} = 30 → 15μA	April 1, 1997	Preliminary
1.0	Finalize - Remove I _{CC} write value - Improved operating current I _{CC2} = 70 → 60mA - Improved standby current KM62256DL/DLI I _{SB1} = 50 → 30μA KM62256DL-L I _{SB1} = 10 → 5μA KM62256DLI-L I _{SB1} = 15 → 5μA - Improved data retention current KM62256DL/DLI I _{DR} = 30 → 5μA KM62256DL-L/DLI-L I _{DR} = 15 → 3μA - Remove 45ns part from commercial product and 100ns part from industrial product. Replace test load 100pF to 50pF for 55ns part	November 11, 1997	Final

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

KM62256D Family

CMOS SRAM

32Kx8 bit Low Power CMOS Static RAM

FEATURES

- Process Technology : TFT
- Organization : 32Kx8
- Power Supply Voltage : 4.5-5.5V
- Low Data Retention Voltage : 2V(Min)
- Three state output and TTL Compatible
- Package Type : 28-DIP-600B, 28-SOP-450
28-TSOP1-0813.4 F/R

GENERAL DESCRIPTION

The KM62256D families are fabricated by SAMSUNG's advanced CMOS process technology. The families support various operating temperature ranges and have various package types for user flexibility of system design. The families also support low data retention voltage for battery back-up operation with low data retention current.

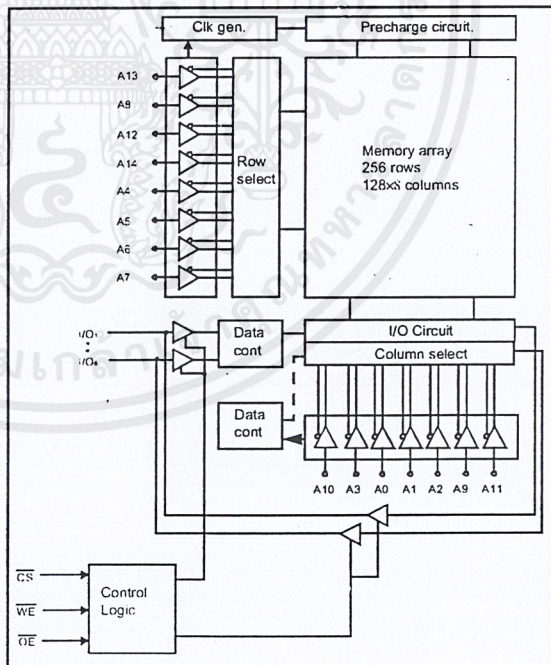
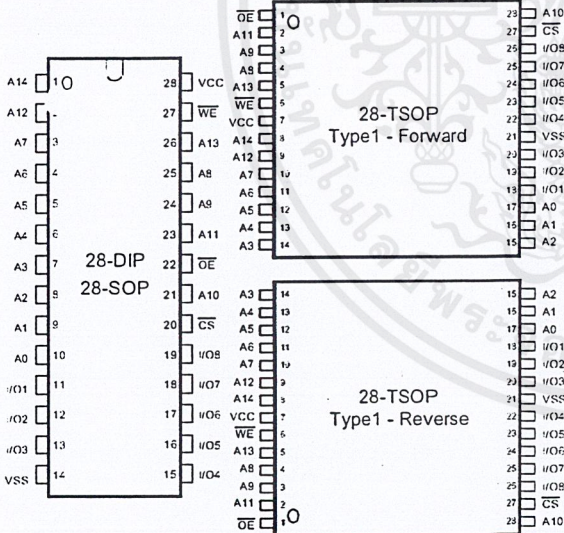
PRODUCT FAMILY

Product Family	Operating Temperature	Vcc Range	Speed	Power Dissipation		PKG Type
				Standby (I _{SB1} , Max)	Operating (I _{CC2} , Max)	
KM62256DL KM62256DL-L	Commercial (0~70°C)	4.5 to 5.5V	55 ¹⁾ /70ns	30µA	60mA	28-DIP,28-SOP 28-TSOP1-F/R
5µA						
KM62256DLI KM62256DLI-L	Industrial (-40~85°C)		70ns	30µA		28-SOP 28-TSOP1-F/R
				5µA		

1. The parameter is tested with 50pF test load.

PIN DESCRIPTION

FUNCTIONAL BLOCK DIAGRAM



Pin Name	Function	Pin Name	Function
\overline{CS}	Chip Select Input	I/O1-I/O8	Data Inputs/Outputs
\overline{OE}	Output Enable Input	Vcc	Power
\overline{WE}	Write Enable Input	Vss	Ground
A0-A14	Address Inputs	NC	No connect

KM62256D Family

CMOS SRAM

PRODUCT LIST

Commercial Temperature Products(0~70° C)		Industrial Temperature Products(-40~85° C)	
Part Name	Function	Part Name	Function
KM62256DLP-5	28-DIP, 55ns, L-pwr	KM62256DLGI-7	28-SOP, 70ns, L-pwr
KM62256DLP-5L	28-DIP, 55ns, LL-pwr	KM62256DLGI-7L	28-SOP, 70ns, LL-pwr
KM62256DLP-7	28-DIP, 70ns, L-pwr	KM62256DLTI-7	28-TSOP1 F, 70ns, L-pwr
KM62256DLP-7L	28-DIP, 70ns, LL-pwr	KM62256DLTI-7L	28-TSOP1 F, 70ns, LL-pwr
KM62256DLG-5	28-SOP, 50ns, L-pwr	KM62256DLRGI-7	28-TSOP1 R, 70ns, L-pwr
KM62256DLG-5L	28-SOP, 50ns, LL-pwr	KM62256DLRGI-7L	28-TSOP1 R, 70ns, LL-pwr
KM62256DLG-7	28-SOP, 70ns, L-pwr		
KM62256DLG-7L	28-SOP, 70ns, LL-pwr		
KM62256DLTG-5	28-TSOP1 F, 55ns, L-pwr		
KM62256DLTG-5L	28-TSOP1 F, 55ns, LL-pwr		
KM62256DLTG-7	28-TSOP1 F, 70ns, L-pwr		
KM62256DLTG-7L	28-TSOP1 F, 70ns, LL-pwr		
KM62256DLRG-5	28-TSOP1 R, 55ns, L-pwr		
KM62256DLRG-5L	28-TSOP1 R, 55ns, LL-pwr		
KM62256DLRG-7	28-TSOP1 R, 70ns, L-pwr		
KM62256DLRG-7L	28-TSOP1 R, 70ns, LL-pwr		

FUNCTIONAL DESCRIPTION

\overline{CS}	\overline{OE}	\overline{WE}	I/O	Mode	Power
H	X ¹⁾	X ¹⁾	High-Z	Deselected	Standby
L	H	H	High-Z	Output Disabled	Active
L	L	H	Dout	Read	Active
L	X ¹⁾	L	Din	Write	Active

1. X means don't care (Must be in high or low states)

ABSOLUTE MAXIMUM RATINGS¹⁾

Item	Symbol	Ratings	Unit	Remark
Voltage on any pin relative to Vss	V _{IN} , V _{OUT}	-0.5 to 7.0	V	-
Voltage on Vcc supply relative to Vss	V _{CC}	-0.5 to 7.0	V	-
Power Dissipation	P _D	1.0	W	-
Storage temperature	T _{STG}	-65 to 150	°C	-
Operating Temperature	T _A	0 to 70	°C	KM62256DL
		-40 to 85	°C	KM62256DLI
Soldering temperature and time	T _{SOLDER}	260 °C, 10sec (Lead Only)	-	-

1. Stresses greater than those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. Functional operation should be restricted to recommended operating condition. Exposure to absolute maximum rating conditions for extended periods may affect reliability.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

KM62256D Family

CMOS SRAM

RECOMMENDED DC OPERATING CONDITIONS¹⁾

Item	Symbol	Min	Typ	Max	Unit
Supply voltage	V _{CC}	4.5	5.0	5.5	V
Ground	V _{SS}	0	0	0	V
Input high voltage	V _{IH}	2.2	-	V _{CC} +0.5V ²⁾	V
Input low voltage	V _{IL}	-0.5 ³⁾	-	0.8	V

Note:

- Commercial Product : T_A=0 to 70 °C, otherwise specified
Industrial Product : T_A=-40 to 85 °C, otherwise specified
- Overshoot : V_{CC}+3.0V in case of pulse width≤30ns
- Undershoot : -3.0V in case of pulse width≤30ns
- Overshoot and undershoot are sampled, not 100% tested

CAPACITANCE¹⁾ (f=1MHz, T_A=25°C)

Item	Symbol	Test Condition	Min	Max	Unit
Input capacitance	C _{IN}	V _{IN} =0V	-	8	pF
Input/Output capacitance	C _{IO}	V _{IO} =0V	-	10	pF

1. Capacitance is sampled not. 100% tested

DC AND OPERATING CHARACTERISTICS

Item	Symbol	Test Conditions	Min	Typ	Max	Unit	
Input leakage current	I _{LI}	V _{IN} =V _{SS} to V _{CC}	-1	-	1	μA	
Output leakage current	I _{LO}	\overline{CS} =V _{IH} or \overline{OE} =V _{IH} or \overline{WE} =V _{IL} , V _{IO} =V _{SS} to V _{CC}	-1	-	1	μA	
Operating power supply current	I _{CC}	I _{IO} =0mA, \overline{CS} =V _{IL} , V _{IN} =V _{IH} or V _{IL} , Read	-	5	10	mA	
Average operating current:	I _{CC1}	Cycle time=1μs, 100% duty, I _{IO} =0mA \overline{CS} ≤0.2V, V _{IN} ≤0.2V, V _{IN} ≥V _{CC} -0.2V	Read	-	2	5	mA
			Write	-	-	20	
	I _{CC2}	Cycle time=Min, 100% duty, I _{IO} =0mA, \overline{CS} =V _{IL} , V _{IN} =V _{IH} or V _{IL}	-	45	60	mA	
Output low voltage	V _{OL}	I _{OL} =2.1mA	-	-	0.4	V	
Output high voltage	V _{OH}	I _{OH} =-1.0mA	2.4	-	-	V	
Standby Current(TTL)	I _{SB}	\overline{CS} =V _{IH} , Other inputs=V _{IH} or V _{IL}	-	-	1	mA	
Standby Current (CMOS)	I _{SB1}	\overline{CS} ≥V _{CC} -0.2V, Other inputs=0-V _{CC}	Low Power	-	1	30	μA
			Low Low Power	-	0.2	5	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

KM62256D Family

CMOS SRAM

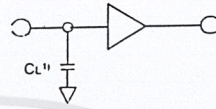
AC OPERATING CONDITIONS

TEST CONDITIONS (Test Load and Test Input/Output Reference)

Input pulse level : 0.8 to 2.4V

Input rising and falling time : 5ns

Input and output reference voltage : 1.5V

Output load (See right) : $C_L=100\text{pF}+1\text{TTL}$ $C_L=50\text{pF}+1\text{TTL}$ 

1 Including scope and jig capacitance

AC CHARACTERISTICS ($V_{CC}=4.5\text{--}5.5\text{V}$, KM62256D Family: $T_A=0$ to 70°C , KM62256DI Family: $T_A=-40$ to 85°C)

Parameter List	Symbol	Speed Bins				Units	
		55 ¹ ns		70ns			
		Min	Max	Min	Max		
Read	Read cycle time	t _{RC}	55	-	70	-	ns
	Address access time	t _{AA}	-	55	-	70	ns
	Chip select to output	t _{CO}	-	55	-	70	ns
	Output enable to valid output	t _{OL}	-	25	-	35	ns
	Chip select to low-Z output	t _{LZ}	10	-	10	-	ns
	Output enable to low-Z output	t _{OLZ}	5	-	5	-	ns
	Chip disable to high-Z output	t _{HZ}	0	20	0	30	ns
	Output disable to high-Z output	t _{OHZ}	0	20	0	30	ns
	Output hold from address change	t _{OH}	10	-	10	-	ns
Write	Write cycle time	t _{WC}	55	-	70	-	ns
	Chip select to end of write	t _{CW}	45	-	60	-	ns
	Address set-up time	t _{AS}	0	-	0	-	ns
	Address valid to end of write	t _{AW}	45	-	60	-	ns
	Write pulse width	t _{WP}	40	-	50	-	ns
	Write recovery time	t _{WR}	0	-	0	-	ns
	Write to output high-Z	t _{WHZ}	0	20	0	25	ns
	Data to write time overlap	t _{DW}	25	-	30	-	ns
	Data hold from write time	t _{DH}	0	-	0	-	ns
	End write to output low-Z	t _{OW}	5	-	5	-	ns

1. The parameter is tested with 50pF test load.

DATA RETENTION CHARACTERISTICS

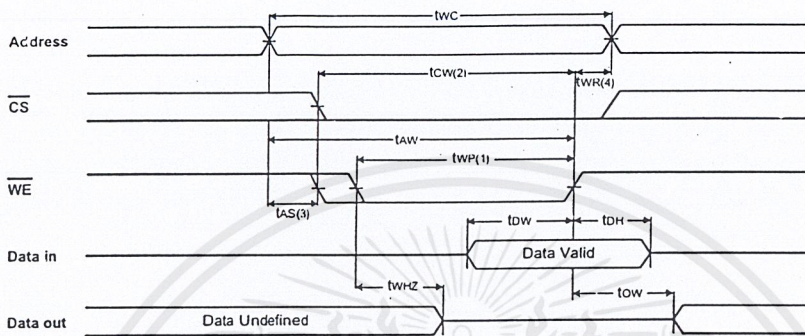
Item	Symbol	Test Condition	Min	Typ	Max	Unit	
V _{CC} for data retention	V _{DR}	$\overline{CS} \geq V_{CC}-0.2\text{V}$	2.0	-	5.5	V	
Data retention current	I _{DR}	$V_{CC}=3.0\text{V}$, $\overline{CS} \geq V_{CC}-0.2\text{V}$	L-Ver	-	1	15	μA
			LL-Ver	-	0.2	3	
Data retention set-up time	t _{SDR}	See data retention waveform	0	-	-	ms	
Recovery time	t _{RDR}		5	-	-		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

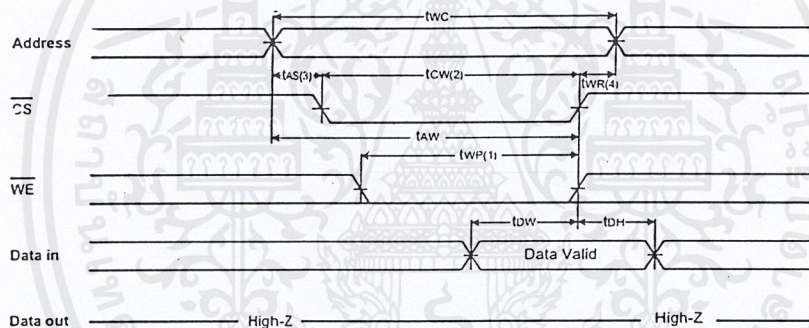
KM62256D Family

CMOS SRAM

TIMING WAVEFORM OF WRITE CYCLE(1) (WE Controlled)



TIMING WAVEFORM OF WRITE CYCLE(2) (CS Controlled)

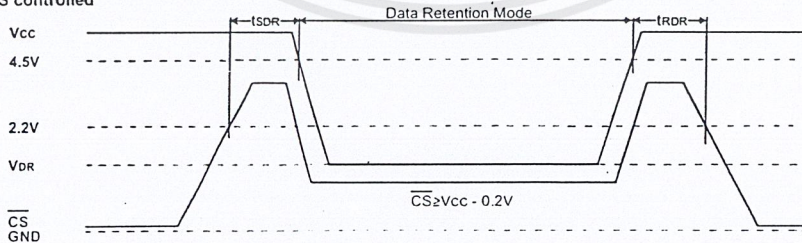


NOTES (WRITE CYCLE)

1. A write occurs during the overlap of a low CS and a low WE. A write begins at the latest transition among CS going Low and WE going low. A write ends at the earliest transition among CS going high and WE going high. t_w is measured from the beginning of write to the end of write.
2. t_{dq} is measured from the CS going low to end of write.
3. t_{as} is measured from the address valid to the beginning of write.
4. t_{wr} is measured from the end of write to the address change. t_{wr} applied in case a write ends as CS or WE going high.

DATA RETENTION WAVE FORM

CS controlled

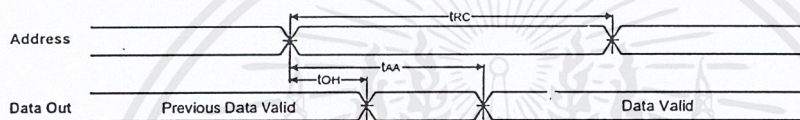
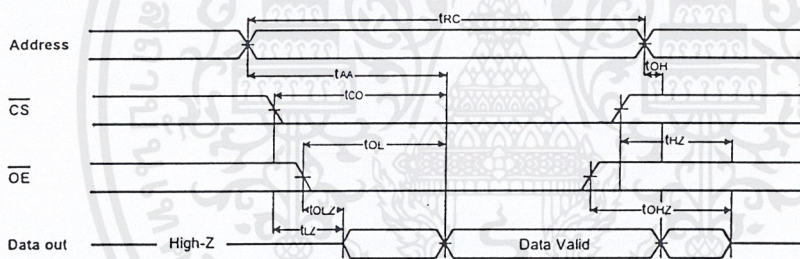


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

KM62256D Family

CMOS SRAM

TIMMING DIAGRAMS

TIMING WAVEFORM OF READ CYCLE(1) (Address Controlled, $\overline{CS}=\overline{OE}=V_L$, $\overline{WE}=V_H$)TIMING WAVEFORM OF READ CYCLE(2) ($\overline{WE}=V_H$)

NOTES (READ CYCLE)

1. t_{HZ} and t_{OHZ} are defined as the time at which the outputs achieve the open circuit conditions and are not referenced to output voltage levels.
2. At any given temperature and voltage condition, $t_{HZ}(\text{Max.})$ is less than $t_{LZ}(\text{Min.})$ both for a given device and from device to device interconnection.

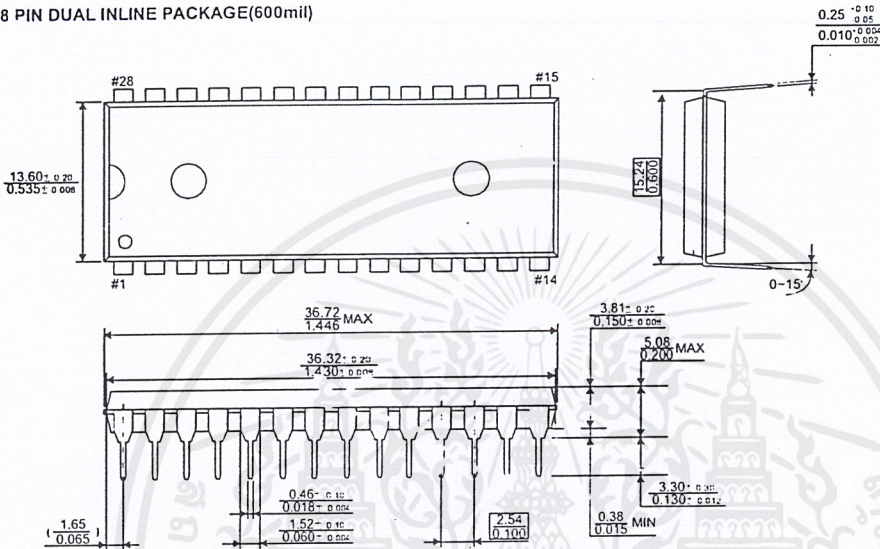
KM62256D Family

CMOS SRAM

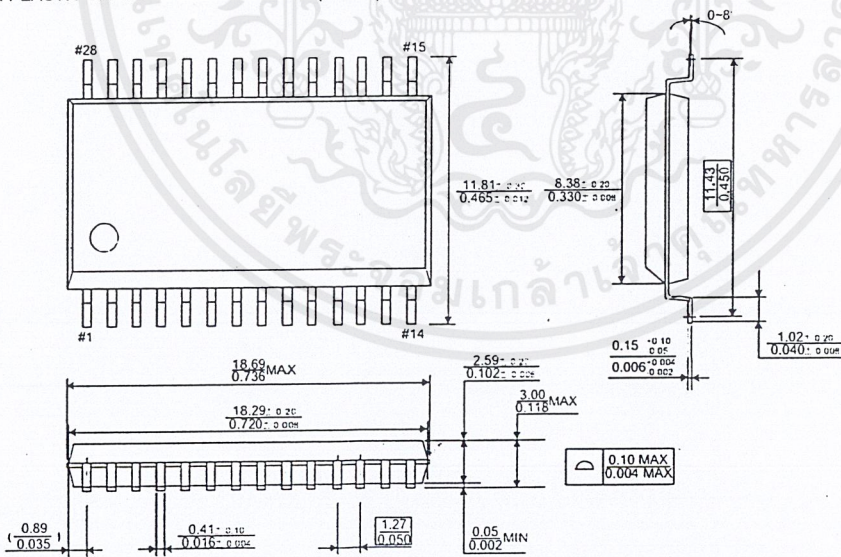
PACKAGE DIMENSIONS

Units: millimeter(inch)

28 PIN DUAL INLINE PACKAGE(600mil)



28 PIN PLASTIC SMALL OUTLINE PACKAGE(450mil)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

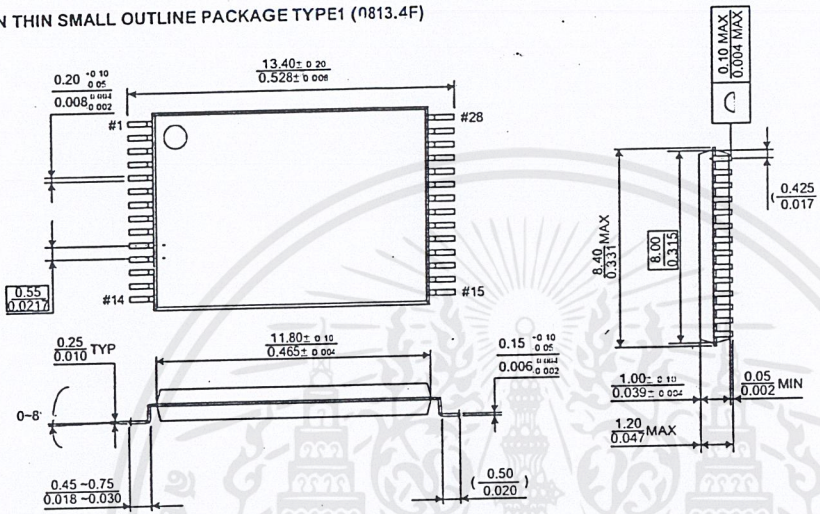
KM62256D Family

CMOS SRAM

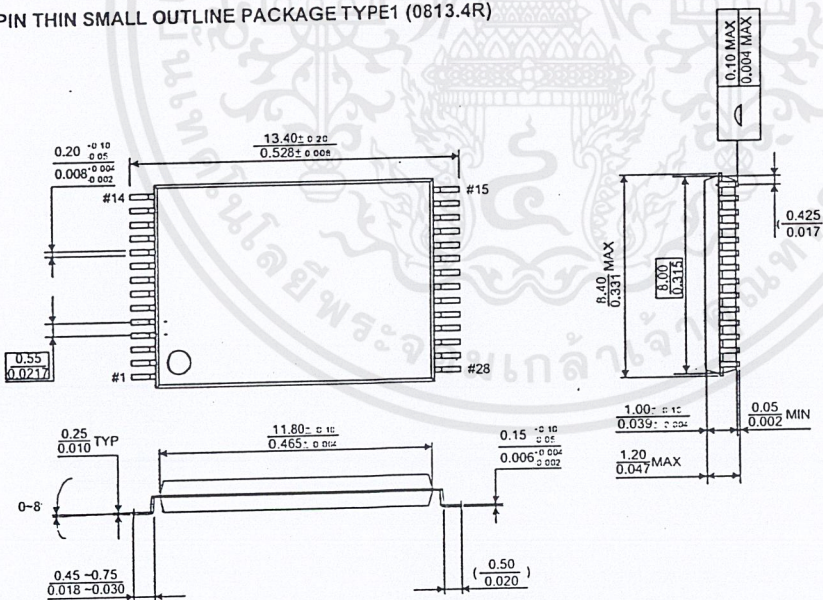
PACKAGE DIMENSIONS

Units: millimeter(inch)

28 PIN THIN SMALL OUTLINE PACKAGE TYPE1 (0813.4F)



28 PIN THIN SMALL OUTLINE PACKAGE TYPE1 (0813.4R)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD74HC221

Dual Monostable Multivibrators (with Schmitt Trigger Input)

HITACHI

Description

Each multivibrator features both a negative, A, and a positive, B, transition triggered input, either of which can be used as an inhibit. Also included is a clear input that when taken low resets the one shot. The HD74HC221 can be triggered on the positive transition of the clear while A is held low and B is held high.

This device is a non-retriggerable, and therefore cannot be retriggered until the output pulse times out.










The output pulse equation is simply:

$$t_w = 0.7 \cdot (R_{ext}) \cdot (C_{ext})$$

Features

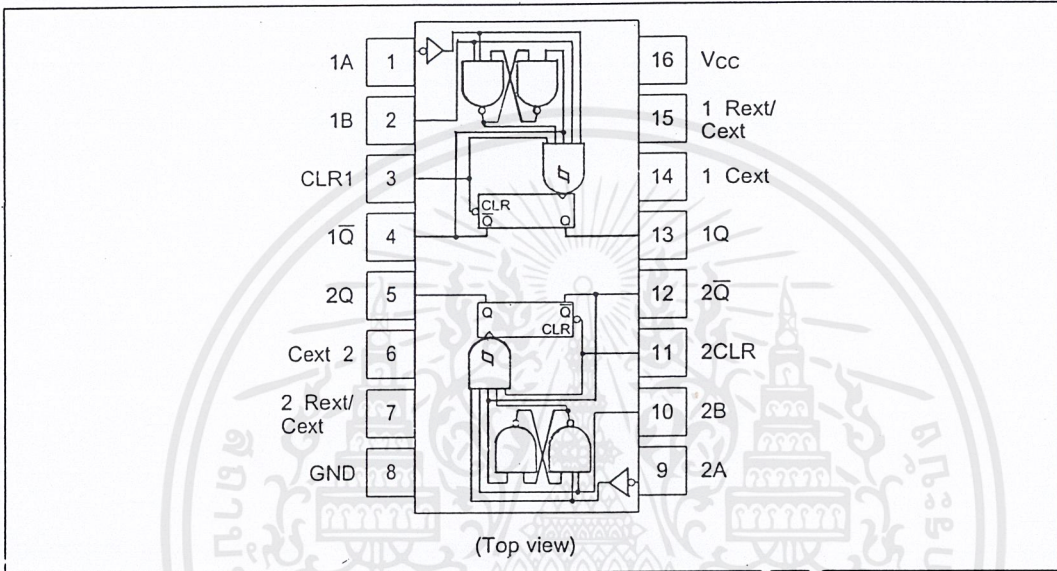
- High Speed Operation
- High Output Current: Fanout of 10 LSTTL Loads
- Wide Operating Voltage: $V_{CC} = 2$ to 6 V
- Low Input Current: 1 μ A max
- Low Quiescent Supply Current

Function Table

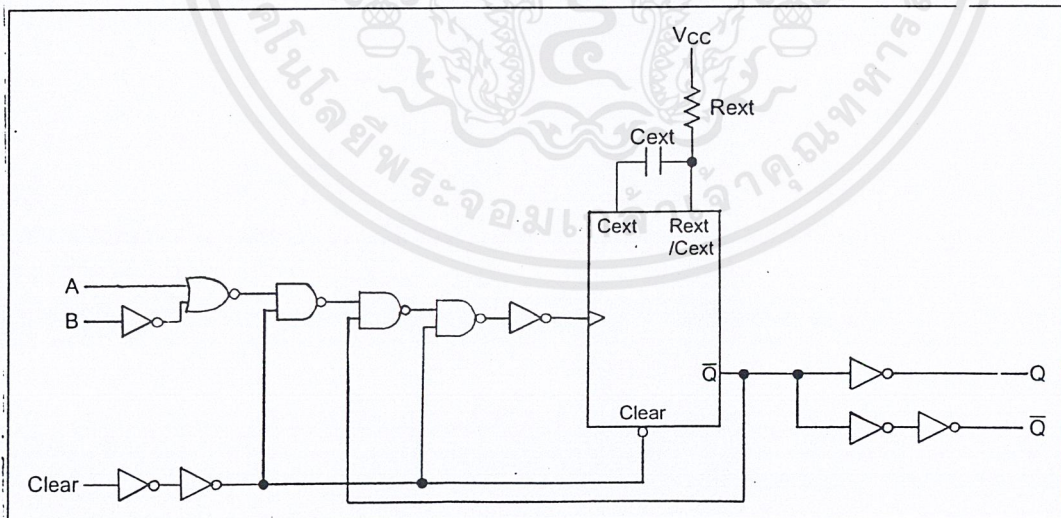
Inputs			Outputs	
Clear	A	B	Q	\bar{Q}
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L			
H		H		
	L	H		

HD74HC221

Pin Arrangement



Logic Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD74HC221

DC Characteristics

Item	Sym- bol	V _{cc} (V)	Ta = 25°C			Ta = -40 to +85°C		Unit	Test Conditions	
			Min	Typ	Max	Min	Max			
Input voltage	V _{IH}	2.0	1.5	—	—	1.5	—	V		
		4.5	3.15	—	—	3.15	—			
		6.0	4.2	—	—	4.2	—			
	V _{IL}	2.0	—	—	0.5	—	0.5	V		
		4.5	—	—	1.35	—	1.35			
		6.0	—	—	1.8	—	1.8			
Output voltage	V _{OH}	2.0	1.9	2.0	—	1.9	—	V	Vin = V _{IH} or V _{IL} I _{OH} = -20 μA	
		4.5	4.4	4.5	—	4.4	—			
		6.0	5.9	6.0	—	5.9	—			
		4.5	4.18	—	—	4.13	—			I _{OH} = -4 mA
		6.0	5.68	—	—	5.63	—			I _{OH} = -5.2 mA
		4.5	4.18	—	—	4.13	—			I _{OH} = -4 mA
	V _{OL}	2.0	—	0.0	0.1	—	0.1	V	Vin = V _{IH} or V _{IL} I _{OL} = 20 μA	
		4.5	—	0.0	0.1	—	0.1			
		6.0	—	0.0	0.1	—	0.1			
		4.5	—	—	0.26	—	0.33			I _{OL} = 4 mA
		6.0	—	—	0.26	—	0.33			I _{OL} = 5.2 mA
		4.5	—	—	0.26	—	0.33			I _{OL} = 4 mA
Input current	I _{in}	6.0	—	—	±0.1	—	±1.0	μA	Vin = V _{cc} or GND	
Quiescent supply current	I _{cc}	6.0	—	—	130	—	220	μA	Vin = V _{cc} or GND	I _{out} = 0 μA
		6.0	—	—	130	—	220			Rext/Cent = 0.5 V _{cc}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

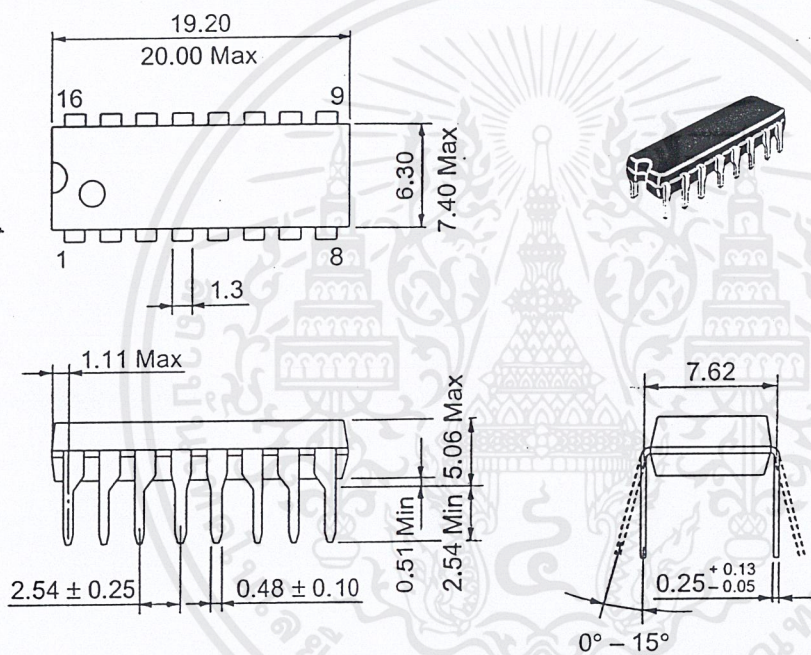
HD74HC221

AC Characteristics ($C_L = 50$ pF, Input $t_r = t_f = 6$ ns)

Item	Symbol	V_{CC} (V)	Ta = 25°C		Ta = -40 to +85°C		Unit	Test Conditions			
			Min	Typ	Max	Min			Max		
Trigger propagation delay time	t_{PLH}	2.0	—	—	210	—	265	ns	A, B or Clear to Q		
		4.5	—	—	42	—	53				
		6.0	—	—	36	—	45				
	t_{PHL}	2.0	—	—	240	—	300	ns	A, B or Clear to \bar{Q}		
		4.5	—	—	48	—	60				
		6.0	—	—	41	—	51				
Propagation delay time	t_{PHL}	2.0	—	—	170	—	215	ns	Clear to Q		
		4.5	—	—	34	—	43				
		6.0	—	—	29	—	37				
	t_{PLH}	2.0	—	—	180	—	225	ns	Clear to \bar{Q}		
		4.5	—	—	36	—	45				
		6.0	—	—	31	—	38				
Pulse width	t_w	2.0	80	—	—	100	—	ns	A, B, Clear		
		4.5	16	—	—	20	—				
		6.0	14	—	—	17	—				
Minimum output pulse width	$t_{wO(min)}$	2.0	—	1.5	—	—	—	μ s	$C_{ext} = 28$ pF $R_{ext} = 6$ k Ω		
		4.5	—	450	—	—	—			ns	$R_{ext} = 2$ k Ω
		6.0	—	380	—	—	—				
Output pulse width	t_{wO}	4.5	0.63	0.7	0.77	—	—	ms	$C_{ext} = 0.1$ μ F $R_{ext} = 10$ k Ω		
Output rise/fall time	t_{LH} t_{HL}	2.0	—	—	75	—	95	ns			
		4.5	—	—	15	—	19				
		6.0	—	—	13	—	16				
Input capacitance	C_{in}	—	—	5	10	—	10	pF			

Caution in use: In order to prevent any malfunctions due to noise, connect a high-frequency performance capacitor between V_{CC} and GND, and keep the wiring between the external components and C_{ext} , R_{ext}/C_{ext} pins as short as possible.

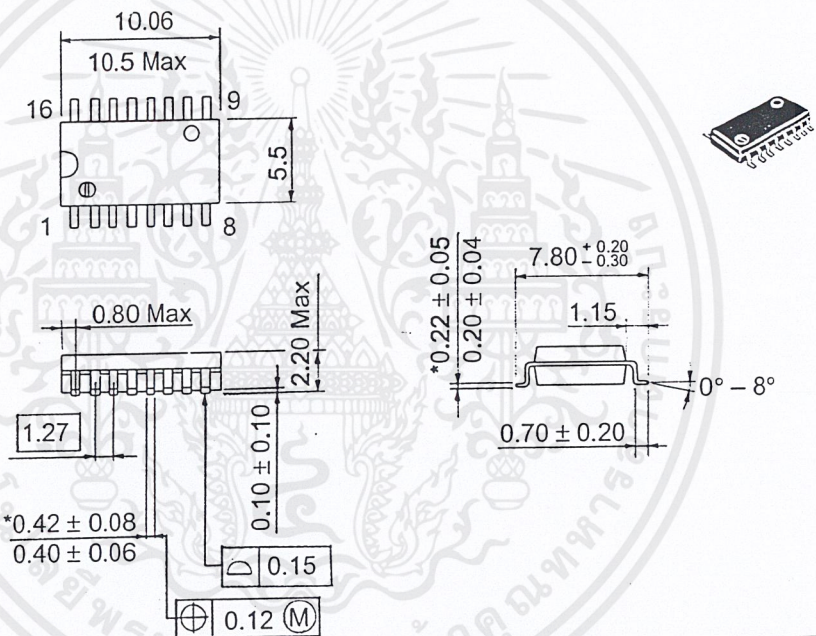
Unit: mm



Hitachi Code	DP-16
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	1.07 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

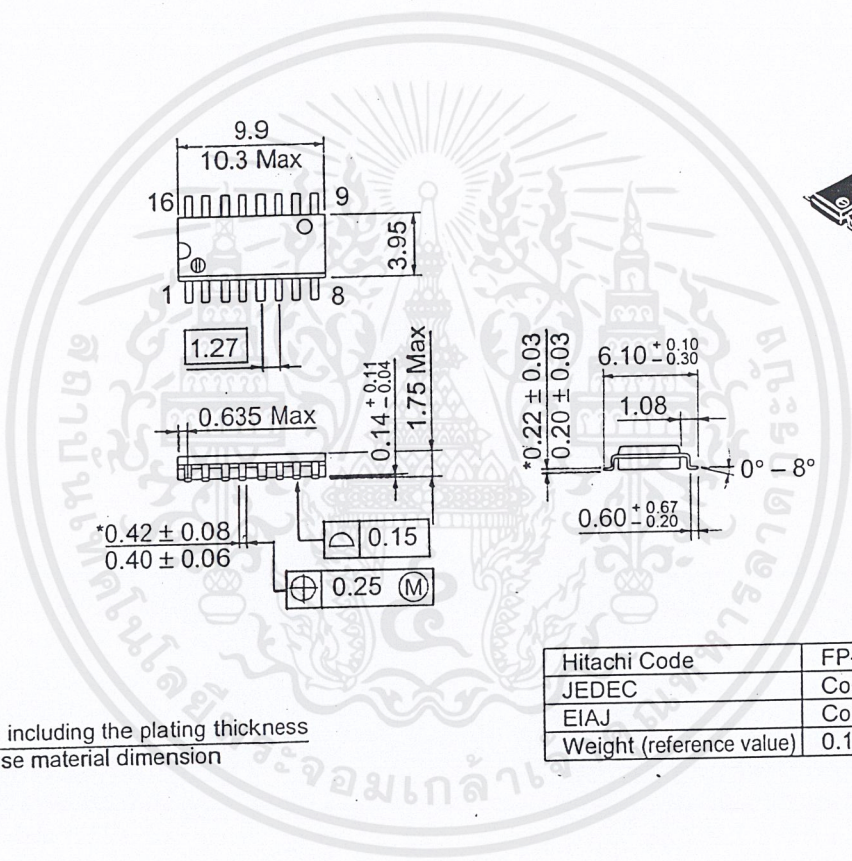
Unit: mm



*Dimension including the plating thickness
Base material dimension

Hitachi Code	FP-16DA
JEDEC	—
EIAJ	Conforms
Weight (reference value)	0.24 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า, ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



*Dimension including the plating thickness
Base material dimension

Hitachi Code	FP-16DN
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	0.15 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Cautions

1. Hitachi neither warrants nor grants licenses of any rights of Hitachi's or any third party's patent, copyright, trademark, or other intellectual property rights for information contained in this document. Hitachi bears no responsibility for problems that may arise with third party's rights, including intellectual property rights, in connection with use of the information contained in this document.
2. Products and product specifications may be subject to change without notice. Confirm that you have received the latest product standards or specifications before final design, purchase or use.
3. Hitachi makes every attempt to ensure that its products are of high quality and reliability. However, contact Hitachi's sales office before using the product in an application that demands especially high quality and reliability or where its failure or malfunction may directly threaten human life or cause risk of bodily injury, such as aerospace, aeronautics, nuclear power, combustion control, transportation, traffic, safety equipment or medical equipment for life support.
4. Design your application so that the product is used within the ranges guaranteed by Hitachi particularly for maximum rating, operating supply voltage range, heat radiation characteristics, installation conditions and other characteristics. Hitachi bears no responsibility for failure or damage when used beyond the guaranteed ranges. Even within the guaranteed ranges, consider normally foreseeable failure rates or failure modes in semiconductor devices and employ systemic measures such as fail-safes, so that the equipment incorporating Hitachi product does not cause bodily injury, fire or other consequential damage due to operation of the Hitachi product.
5. This product is not designed to be radiation resistant.
6. No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without written approval from Hitachi.
7. Contact Hitachi's sales office for any questions regarding this document or Hitachi semiconductor

HD74HC245

Octal Bus Transceivers (with 3-state outputs)

HITACHI

Description

Each device has an active low enable input \bar{G} and a direction control input, DIR. When DIR is high, data flows from the A inputs to the B outputs. When DIR is low, data flows from the B inputs to the A outputs. The HD74HC245 transfers true data from one bus to the other. This device does not have schmitt trigger inputs.

Features

- High Speed Operation: $t_{pd} = 8 \text{ ns typ (} C_L = 50 \text{ pF)}$
- High Output Current. Fanout of 15 LSTTL Loads
- Wide Operating Voltage: $V_{CC} = 2 \text{ to } 6 \text{ V}$
- Low Input Current: $1 \mu\text{A max}$
- Low Quiescent Supply Current: $I_{CC} \text{ (static)} = 4 \mu\text{A max (} T_a = 25^\circ\text{C)}$

Function Table

Enable G	Direction Control DIR	Operation
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation

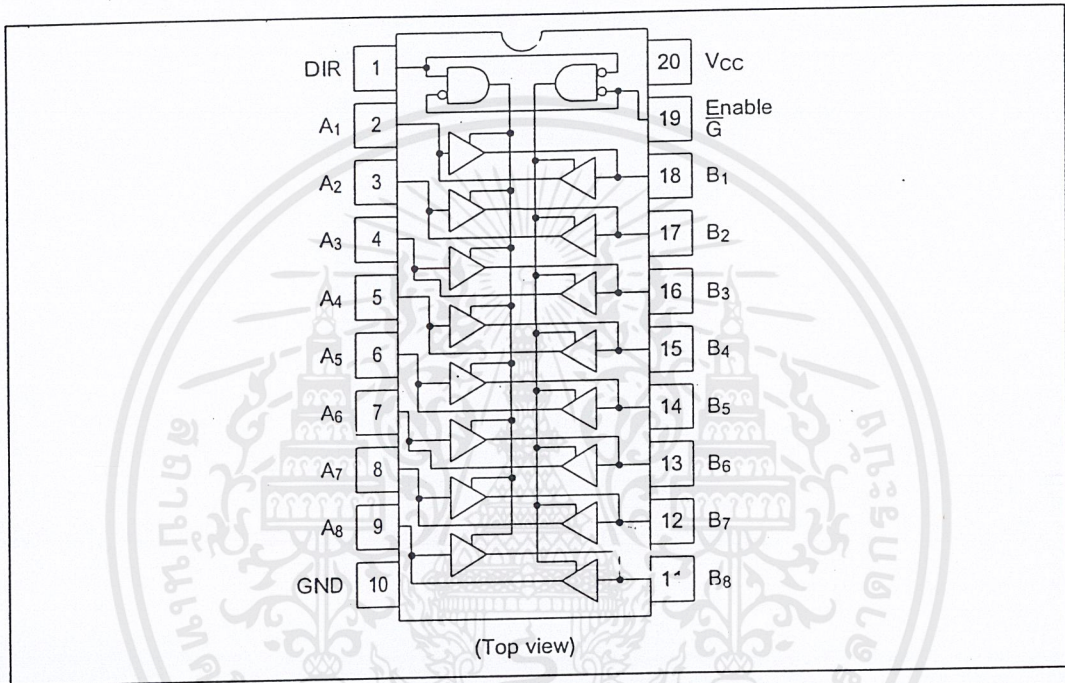
H : high level

L : low level

X : irrelevant

HD74HC245

Pin Arrangement



Absolute Maximum Ratings

Item	Symbol	Rating	Unit
Supply voltage range	V_{CC}	-0.5 to +7.0	V
Input voltage	V_{IN}	-0.5 to $V_{CC} + 0.5$	V
Output voltage	V_{OUT}	-0.5 to $V_{CC} + 0.5$	V
DC current drain per pin	I_{OUT}	± 35	mA
DC current drain per V_{CC} , GND	I_{CC}, I_{GND}	± 75	mA
DC input diode current	I_{IK}	± 20	mA
DC output diode current	I_{OK}	± 20	mA
Power dissipation per package	P_1	500	mW
Storage temperature	T_{stg}	-65 to +150	$^{\circ}C$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD74HC245

DC Characteristics

Item	Symbol	V _{cc} (V)	Ta = 25°C		Ta = -40 to +85°C		Unit	Test Conditions		
			Min	Typ	Max	Min			Max	
Input voltage	V _{IH}	2.0	1.5	—	—	1.5	—	V		
		4.5	3.15	—	—	3.15	—			
		6.0	4.2	—	—	4.2	—			
	V _{IL}	2.0	—	—	0.5	—	0.5	V		
		4.5	—	—	1.35	—	1.35			
		6.0	—	—	1.8	—	1.8			
Output voltage	V _{OH}	2.0	1.9	2.0	—	1.9	—	V	Vin = V _{IH} or V _{IL} I _{OH} = -20 μA	
		4.5	4.4	4.5	—	4.4	—			
		6.0	5.9	6.0	—	5.9	—			
		4.5	4.18	—	—	4.13	—			I _{OH} = -6 mA
		6.0	5.68	—	—	5.63	—			I _{OH} = -7.8 mA
		6.0	5.68	—	—	5.63	—			I _{OH} = -7.8 mA
	V _{OL}	2.0	—	0.0	0.1	—	0.1	V	Vin = V _{IH} or V _{IL} I _{OL} = 20 μA	
		4.5	—	0.0	0.1	—	0.1			
		6.0	—	0.0	0.1	—	0.1			
		4.5	—	—	0.26	—	0.33			I _{OL} = 6 mA
		6.0	—	—	0.26	—	0.33			I _{OL} = 7.8 mA
		6.0	—	—	0.26	—	0.33			I _{OL} = 7.8 mA
Off-state output current	I _{oz}	6.0	—	—	±0.5	—	±5.0	μA	Vin = V _{IH} or V _{IL} , Vout = V _{cc} or GND	
Input current	I _{in}	6.0	—	—	±0.1	—	±1.0	μA	Vin = V _{cc} or GND	
Quiescent supply current	I _{cc}	6.0	—	—	4.0	—	40	μA	Vin = V _{cc} or GND, Iout = 0 μA	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

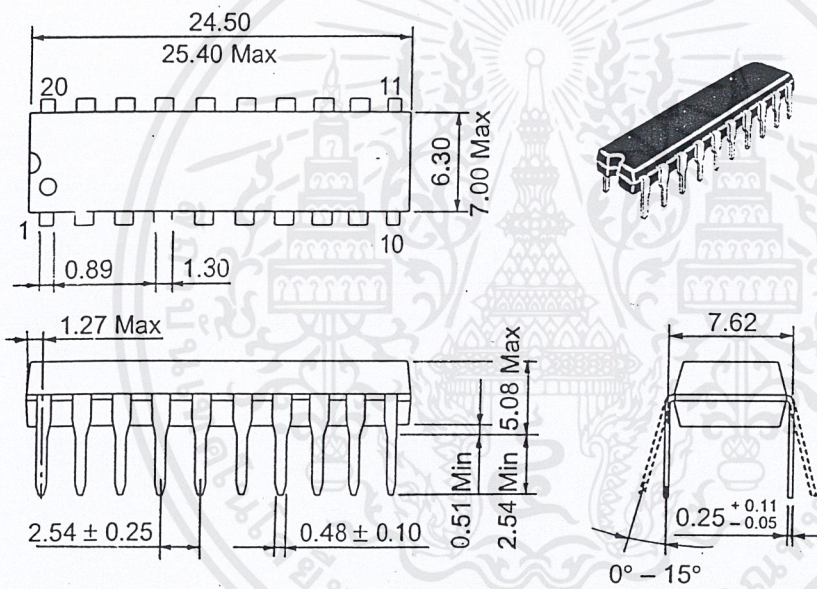
HD74HC245

AC Characteristics ($C_L = 50$ pF, Input $t_r = t_f = 6$ ns)

Item	Symbol	V_{CC} (V)	$T_a = 25^\circ\text{C}$		$T_a = -40$ to $+85^\circ\text{C}$		Unit	Test Conditions
			Min	Typ	Max	Min		
Propagation delay time	t_{PLH}	2.0	—	—	90	—	115	ns
		4.5	—	8	18	—	23	
		6.0	—	—	15	—	20	
	t_{PHL}	2.0	—	—	90	—	115	
		4.5	—	8	18	—	23	
		6.0	—	—	15	—	20	
Output enable time	t_{ZL}	2.0	—	—	150	—	190	ns
		4.5	—	16	30	—	38	
		6.0	—	—	26	—	32	
	t_{ZH}	2.0	—	—	150	—	190	
		4.5	—	12	30	—	38	
		6.0	—	—	26	—	32	
Output disable time	t_{LZ}	2.0	—	—	150	—	190	ns
		4.5	—	17	30	—	38	
		6.0	—	—	26	—	32	
	t_{HZ}	2.0	—	—	150	—	190	
		4.5	—	18	30	—	38	
		6.0	—	—	26	—	32	
Output rise/fall time	t_{TLH}	2.0	—	—	60	—	75	ns
	t_{THL}	4.5	—	4	12	—	15	
	t_{THL}	6.0	—	—	10	—	13	
Input capacitance	C_{in}	—	—	5	10	—	10	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

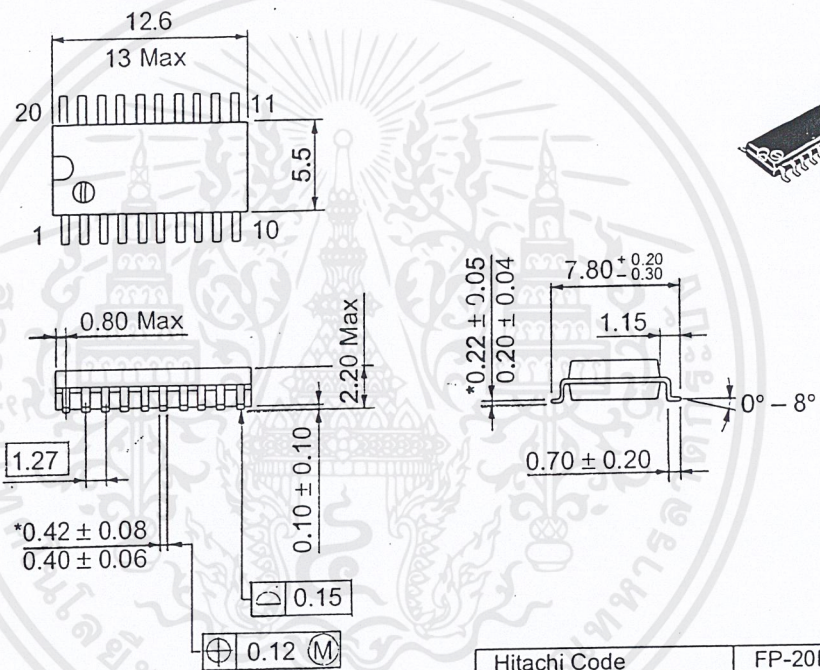
Unit: mm



Hitachi Code	DP-20N
JEDEC	—
EIAJ	Conforms
Weight (reference value)	1.26 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unit: mm

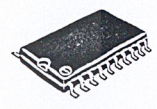
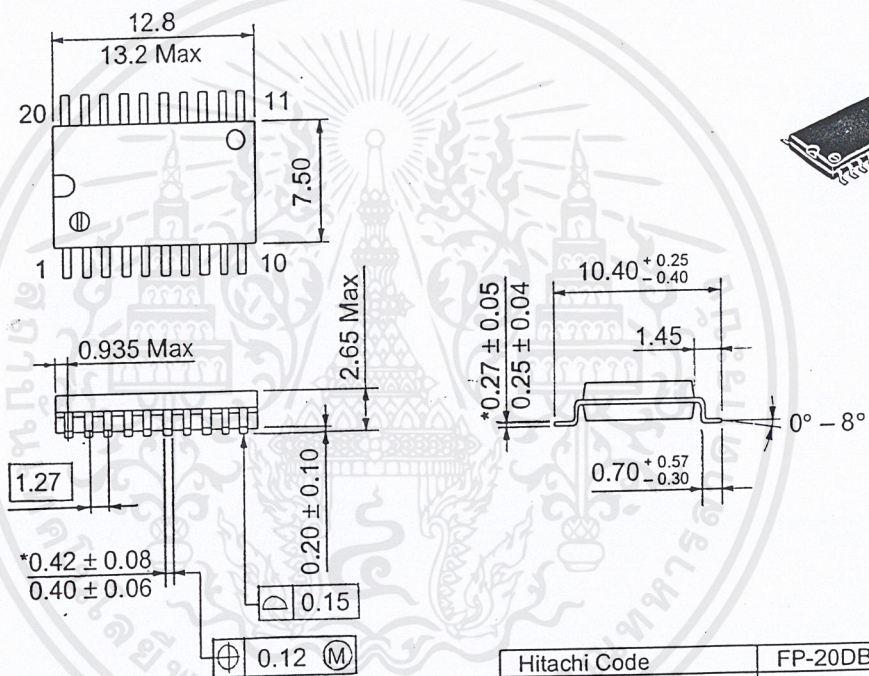


*Dimension including the plating thickness
Base material dimension

Hitachi Code	FP-20DA
JEDEC	—
EIAJ	Conforms
Weight (reference value)	0.31 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unit: mm

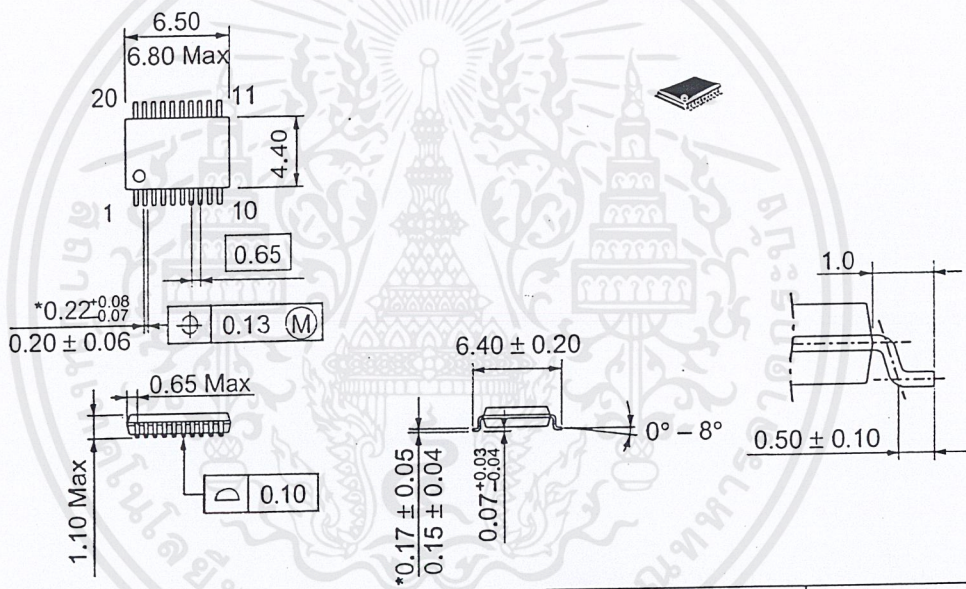


*Dimension including the plating thickness
Base material dimension

Hitachi Code	FP-20DB
JEDEC	Conforms
EIAJ	—
Weight (reference value)	0.52 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unit: mm



*Dimension including the plating thickness
Base material dimension

Hitachi Code	TTP-20DA
JEDEC	—
EIAJ	—
Weight (reference value)	0.07 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Cautions

1. Hitachi neither warrants nor grants licenses of any rights of Hitachi's or any third party's patent, copyright, trademark, or other intellectual property rights for information contained in this document. Hitachi bears no responsibility for problems that may arise with third party's rights, including intellectual property rights, in connection with use of the information contained in this document.
2. Products and product specifications may be subject to change without notice. Confirm that you have received the latest product standards or specifications before final design, purchase or use.
3. Hitachi makes every attempt to ensure that its products are of high quality and reliability. However, contact Hitachi's sales office before using the product in an application that demands especially high quality and reliability or where its failure or malfunction may directly threaten human life or cause risk of bodily injury, such as aerospace, aeronautics, nuclear power, combustion control, transportation, traffic, safety equipment or medical equipment for life support.
4. Design your application so that the product is used within the ranges guaranteed by Hitachi particularly for maximum rating, operating supply voltage range, heat radiation characteristics, installation conditions and other characteristics. Hitachi bears no responsibility for failure or damage when used beyond the guaranteed ranges. Even within the guaranteed ranges, consider normally foreseeable failure rates or failure modes in semiconductor devices and employ systemic measures such as fail-safes, so that the equipment incorporating Hitachi product does not cause bodily injury, fire or other consequential damage due to operation of the Hitachi product.
5. This product is not designed to be radiation resistant.
6. No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without written approval from Hitachi.
7. Contact Hitachi's sales office for any questions regarding this document or Hitachi semiconductor products.

HITACHI

Hitachi, Ltd.

Semiconductor & Integrated Circuits
Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan
Tel: Tokyo (03) 3270-2111 Fax: (03) 3270-5109

URL NorthAmerica : <http://semiconductor.hitachi.com/>
 Europe : <http://www.hitachi-eu.com/hel/ecg>
 Asia (Singapore) : <http://www.has.hitachi.com.sg/grp3/sicd/index.htm>
 Asia (Taiwan) : http://www.hitachi.com.tw/E/Product/SICD_Frame.htm
 Asia (HongKong) : <http://www.hitachi.com.hk/eng/bo/grp3/index.htm>
 Japan : <http://www.hitachi.co.jp/Sicd/indx.htm>

For further information write to:

Hitachi Semiconductor
(America) Inc.
179 East Tasman Drive,
San Jose, CA 95134
Tel: <1> (408) 433-1990
Fax: <1> (408) 433-0223

Hitachi Europe GmbH
Electronic components Group
Dornacher Straße 3
D-85622 Feldkirchen, Munich
Germany
Tel: <49> (89) 9 9180-0
Fax: <49> (89) 9 29 30 00

Hitachi Europe Ltd.
Electronic Components Group.
Whitebrook Park
Lower Cookham Road
Maidenhead
Berkshire SL6 8YA, United Kingdom
Tel: <44> (1628) 585000
Fax: <44> (1628) 778322

Hitachi Asia Pte. Ltd.
16 Collyer Quay #20-00
Hitachi Tower
Singapore 049318
Tel: 535-2100
Fax: 535-1533

Hitachi Asia Ltd.
Taipei Branch Office
3F, Hung Kuo Building, No.167,
Tun-Hwa North Road, Taipei (105)
Tel: <886> (2) 2718-3666
Fax: <886> (2) 2718-8180

Hitachi Asia (Hong Kong) Ltd.
Group III (Electronic Components)
7/F., North Tower, World Finance Centre,
Harbour City, Canton Road, Tsim Sha Tsui,
Kowloon, Hong Kong
Tel: <852> (2) 735 9218
Fax: <852> (2) 730 0281
Telex: 40815 HITEC HX

Copyright © Hitachi, Ltd., 1999. All rights reserved. Printed in Japan.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD74HC393

Dual 4-bit Binary Counters

HITACHI

Description



The HD74HC393 contain two 4-bit ripple carry binary counters, which can be cascaded to create a single divide-by-256 counter.

The HD74HC393 is incremented on the high to low transition (negative edge) of the clock input, and each has an independent clear input. When clear is set high all four bits of each counter are set to a low level. This enables count truncation and allows the implementation of divide-by-N counter configurations.

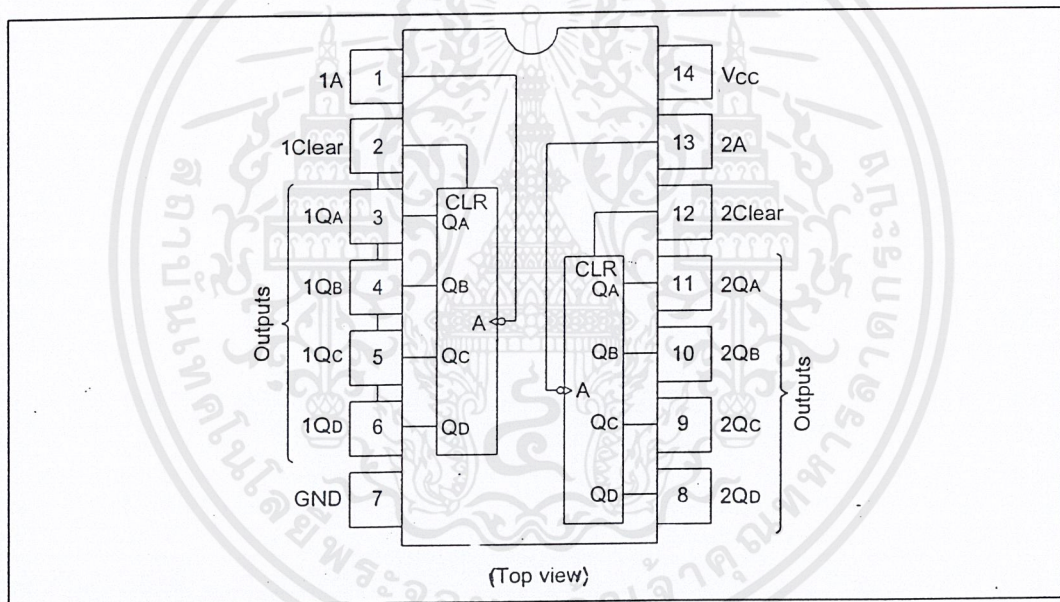
Features

- High Speed Operation: $t_{pd} (A \text{ to } Q_A) = 16 \text{ ns typ } (C_L = 50 \text{ pF})$
- High Output Current: Fanout of 10 LSTTL Loads
- Wide Operating Voltage: $V_{CC} = 2 \text{ to } 6 \text{ V}$
- Low Input Current: $1 \mu\text{A max}$
- Low Quiescent Supply Current: $I_{CC} (\text{static}) = 4 \mu\text{A max } (T_a = 25^\circ\text{C})$

Function Table

Clock	Clear	Outputs
X	H	L
H	L	No change
L	L	No change
	L	No change
	L	Advance to next state

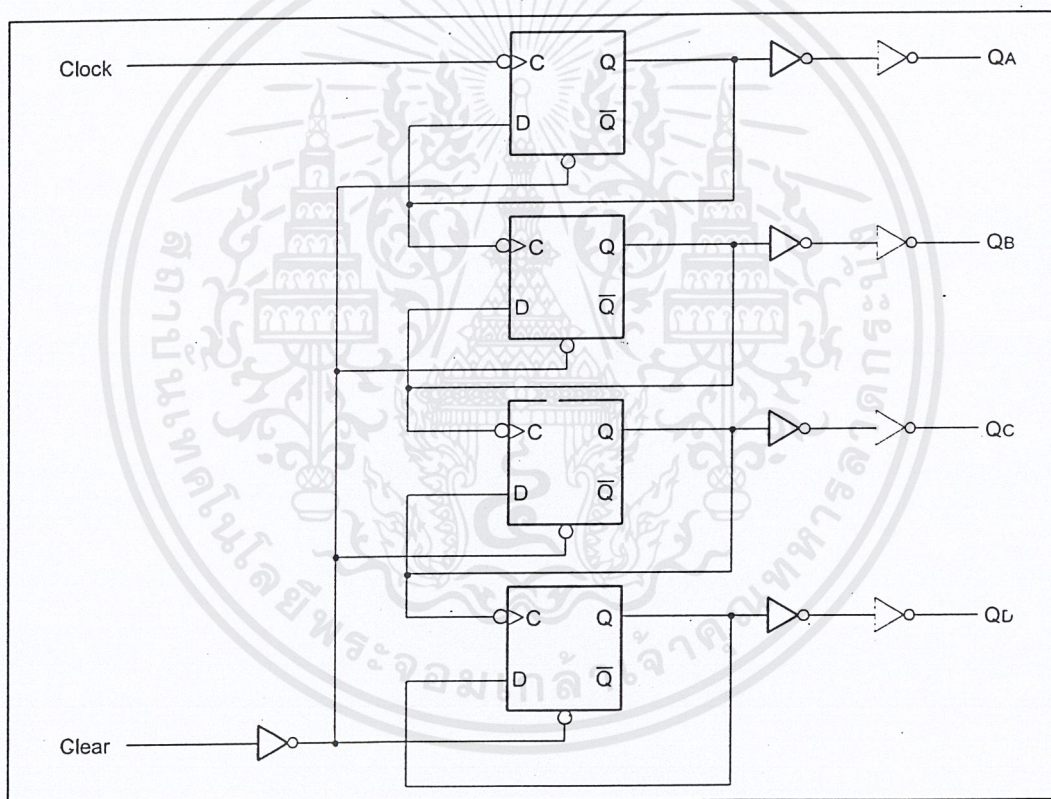
HD74HC393

Pin Arrangement

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD74HC393

Block Diagram (1/2)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD74HC393

DC Characteristics

Item	Symbol	V _{cc} (V)	Ta = 25°C			Ta = -40 to +65°C		Unit	Test Conditions	
			Min	Typ	Max	Min	Max			
Input voltage	V _{IH}	2.0	1.5	—	—	1.5	—	V		
		4.5	3.15	—	—	3.15	—			
		6.0	4.2	—	—	4.2	—			
	V _{IL}	2.0	—	—	0.5	—	0.5	V		
		4.5	—	—	1.35	—	1.35			
		6.0	—	—	1.8	—	1.8			
Output voltage	V _{OH}	2.0	1.9	2.0	—	1.9	—	V	Vin = V _{IH} or V _{IL} I _{OH} = -20 μA	
		4.5	4.4	4.5	—	4.4	—			
		6.0	5.9	6.0	—	5.9	—			
		4.5	4.18	—	—	4.13	—			I _{OH} = -4 mA
		6.0	5.68	—	—	5.63	—			I _{OH} = -5.2 mA
		6.0	—	0.0	0.1	—	0.1			V
	V _{OL}	4.5	—	0.0	0.1	—	0.1			
		6.0	—	0.0	0.1	—	0.1			
		4.5	—	—	0.26	—	0.33		I _{OL} = 4 mA	
		6.0	—	—	0.26	—	0.33		I _{OL} = 5.2 mA	
		6.0	—	—	±0.1	—	±1.0	μA	Vin = V _{cc} or GND	
		6.0	—	—	4.0	—	40	μA	Vin = V _{cc} or GND, I _{out} = 0 μA	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

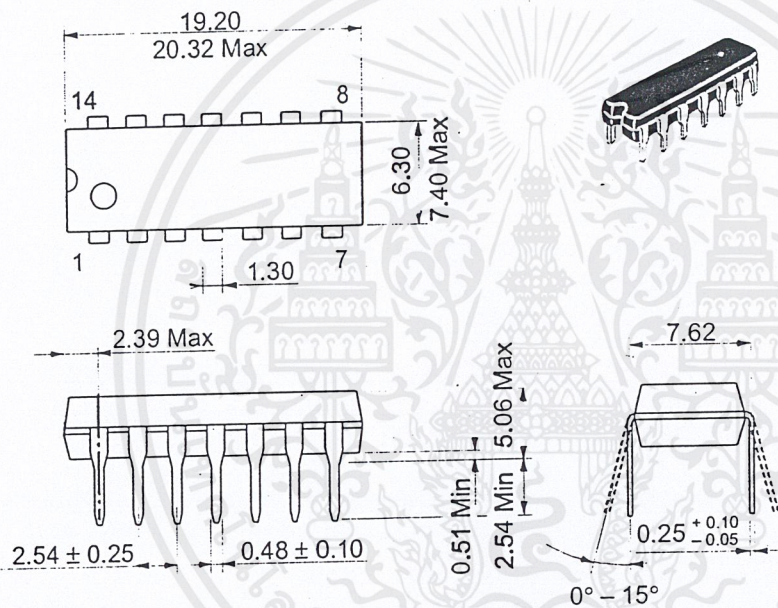
HD74HC393

AC Characteristics ($C_L = 50$ pF, Input $t_r = t_f = 6$ ns)

Item	Symbol	V_{CC} (V)	$T_a = 25^\circ\text{C}$		$T_a = -40$ to $+85^\circ\text{C}$		Unit	Test Conditions		
			Min	Typ	Max	Min			Max	
Maximum clock frequency	f_{max}	2.0	—	—	5	—	4	MHz		
		4.5	—	—	25	—	20			
		6.0	—	—	29	—	24			
Propagation delay time	t_{PLH}	2.0	—	—	120	—	150	ns	Clock to Q_A	
		4.5	—	16	24	—	30			
		6.0	—	—	20	—	26			
	t_{PHL}	2.0	—	—	185	—	230	ns	Clock to Q_B	
		4.5	—	20	37	—	46			
		6.0	—	—	31	—	39			
	t_{PLH}	2.0	—	—	220	—	275	ns	Clock to Q_C	
		4.5	—	24	44	—	55			
		6.0	—	—	37	—	47			
	t_{PHL}	2.0	—	—	260	—	325	ns	Clock to Q_D	
		4.5	—	28	52	—	65			
		6.0	—	—	44	—	55			
	t_{PHL}	2.0	—	—	150	—	190	ns	Clear to Q_A, Q_B, Q_C, Q_D	
		4.5	—	21	30	—	38			
		6.0	—	—	28	—	33			
	Pulse width	t_w	2.0	80	—	—	100	—	ns	Clock, clear
			4.5	16	—	—	20	—		
			6.0	14	—	—	17	—		
Removal time	t_h	2.0	50	—	—	65	—	ns	Clear to clock	
		4.5	10	—	—	13	—			
		6.0	9	—	—	11	—			
Output rise/fall time	t_{TLH}	2.0	—	—	75	—	95	ns		
		4.5	—	5	15	—	19			
		6.0	—	—	13	—	16			
Input capacitance	C_{in}	—	—	5	10	—	10	pF		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

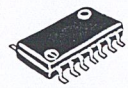
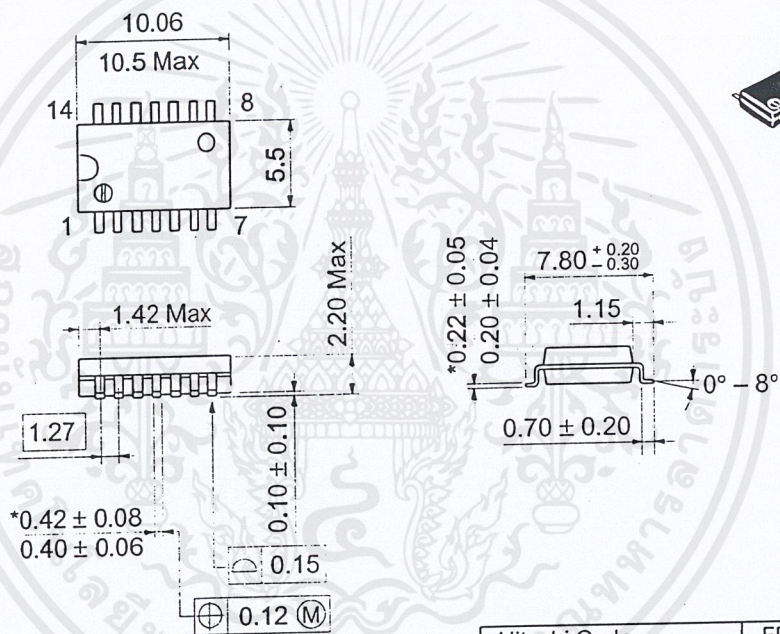
Unit: mm



Hitachi Code	DP-14
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	0.97 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

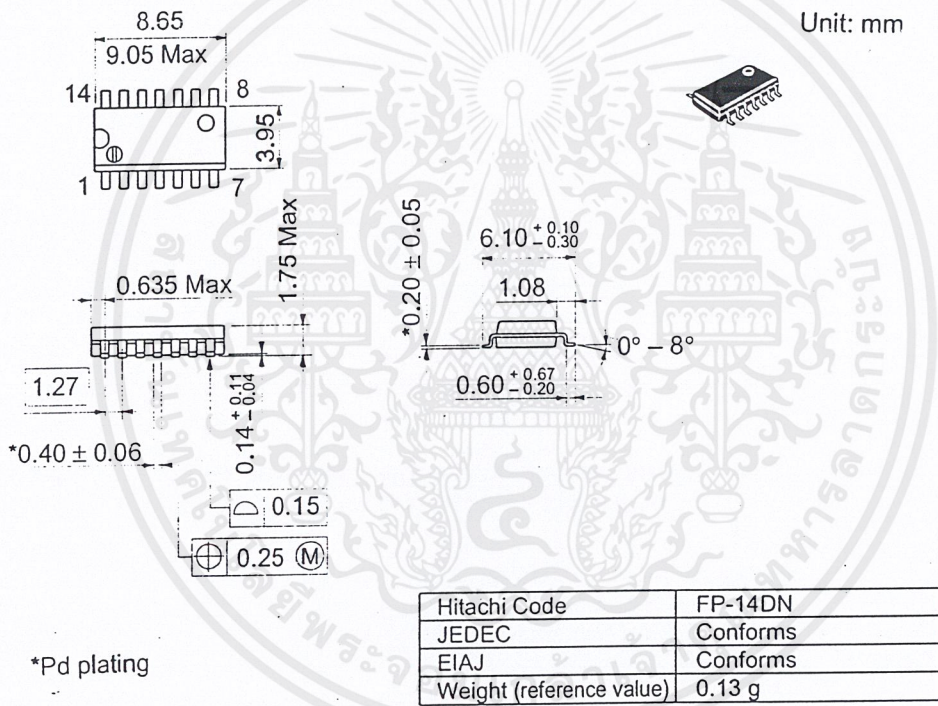
Unit: mm



*Dimension including the plating thickness
Base material dimension

Hitachi Code	FP-14DA
JEDEC	—
EIAJ	Conforms
Weight (reference value)	0.23 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Cautions

1. Hitachi neither warrants nor grants licenses of any rights of Hitachi's or any third party's patent, copyright, trademark, or other intellectual property rights for information contained in this document. Hitachi bears no responsibility for problems that may arise with third party's rights, including intellectual property rights, in connection with use of the information contained in this document.
2. Products and product specifications may be subject to change without notice. Confirm that you have received the latest product standards or specifications before final design, purchase or use.
3. Hitachi makes every attempt to ensure that its products are of high quality and reliability. However, contact Hitachi's sales office before using the product in an application that demands especially high quality and reliability or where its failure or malfunction may directly threaten human life or cause risk of bodily injury, such as aerospace, aeronautics, nuclear power, combustion control, transportation, traffic, safety equipment or medical equipment for life support.
4. Design your application so that the product is used within the ranges guaranteed by Hitachi particularly for maximum rating, operating supply voltage range, heat radiation characteristics, installation conditions and other characteristics. Hitachi bears no responsibility for failure or damage when used beyond the guaranteed ranges. Even within the guaranteed ranges, consider normally foreseeable failure rates or failure modes in semiconductor devices and employ systemic measures such as fail-safes, so that the equipment incorporating Hitachi product does not cause bodily injury, fire or other consequential damage due to operation of the Hitachi product.
5. This product is not designed to be radiation resistant.
6. No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without written approval from Hitachi.
7. Contact Hitachi's sales office for any questions regarding this document or Hitachi semiconductor products.

HITACHI

Hitachi, Ltd.

Semiconductor & Integrated Circuits.
Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan
Tel: Tokyo (03) 3270-2111 Fax: (03) 3270-5109

URL NorthAmerica : <http://semiconductor.hitachi.com/>
 Europe : <http://www.hitachi-eu.com/hel/ecg>
 Asia (Singapore) : <http://www.has.hitachi.com.sg/grp3/sicd/index.htm>
 Asia (Taiwan) : http://www.hitachi.com.tw/E/Product/SICD_Frame.htm
 Asia (HongKong) : <http://www.hitachi.com.hk/eng/bo/grp3/index.htm>
 Japan : <http://www.hitachi.co.jp/Sicd/indx.htm>

For further information write to:

Hitachi Semiconductor
(America) Inc.
179 East Tasman Drive.
San Jose, CA 95134
Tel: <1> (408) 433-1990
Fax: <1> (408) 433-0223

Hitachi Europe GmbH
Electronic components Group
Dornacher StraÙe 3
D-85622 Feldkirchen, Munich
Germany
Tel: <49> (89) 9 9180-0
Fax: <49> (89) 9 29 30 00
Hitachi Europe Ltd.
Electronic Components Group.
Whitebrook Park
Lower Cookham Road
Maidenhead
Berkshire SL6 8YA, United Kingdom
Tel: <44> (1628) 585000
Fax: <44> (1628) 778322

Hitachi Asia Pte. Ltd.
16 Collyer Quay #20-00
Hitachi Tower
Singapore 049318
Tel: 535-2100
Fax: 535-1533

Hitachi Asia Ltd.
Taipei Branch Office
3F, Hung Kuo Building, No.167,
Tun-Hwa North Road, Taipei (105)
Tel: <886> (2) 2718-3666
Fax: <886> (2) 2718-8180

Hitachi Asia (Hong Kong) Ltd.
Group III (Electronic Components)
7/F., North Tower, World Finance Centre,
Harbour City, Canton Road, Tsim Sha Tsui,
Kowloon, Hong Kong
Tel: <852> (2) 735 9218
Fax: <852> (2) 730 0281
Telex: 40815 HITEC HX

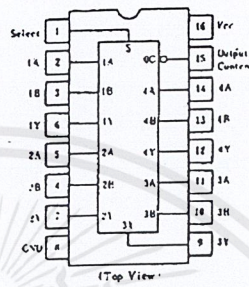
Copyright © Hitachi, Ltd., 1999. All rights reserved. Printed in Japan.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

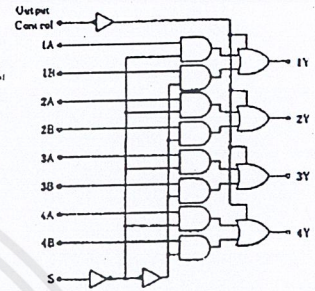
HD74LS257 • Quadruple 2-line-to-1-line Data Selectors/Multiplexers (with non inverted 3-state outputs)

This multiplexer features three-state outputs that can interface directly with and drive data lines of bus-organized systems. With all but one of the common outputs disabled (at a high-impedance state) the low impedance of the single enabled output will drive the bus line to a high or low logic level. To minimize the possibility that two outputs will attempt to take a common bus to opposite logic levels, the output-disable circuitry is designed such that the output disable times are shorter than the output enable times.

■ PIN ARRANGEMENT



■ BLOCK DIAGRAM



■ ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Rating	Unit
Supply voltage	V_{CC}	7.0	V
Input voltage	V_{IH}	7.0	V
Output voltage (off-state)	$V_{O(off)}$	5.5	V
Operating temperature range	T_{opr}	-20 ~ +75	°C
Storage temperature range	T_{stg}	-65 ~ +150	°C

■ FUNCTION TABLE

OC	Inputs			Outputs
	S	A	B	
H	X	X	X	Z
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

Note) H: high level, L: low level, X: irrelevant
Z: off (high-impedance) state of a 3-state output

■ ELECTRICAL CHARACTERISTICS ($T_a = -20 \sim +75^\circ\text{C}$)

Item	Symbol	Test Conditions	min	typ*	max	Unit
Input voltage	V_{IH}		2.0	—	—	V
	V_{IL}		—	—	0.8	V
Output voltage	V_{OH}	$V_{CC}=4.75\text{V}, V_{IH}=2\text{V}, V_{IL}=0.8\text{V}, I_{OH}=-2.6\text{mA}$	2.4	—	—	V
	V_{OL}	$V_{CC}=4.75\text{V}, V_{IH}=2\text{V}, V_{IL}=0.8\text{V}, I_{OL}=8\text{mA}$ $I_{OL}=4\text{mA}$	—	—	0.5 0.4	V
Input current	S	$V_{CC}=5.25\text{V}, V_I=2.7\text{V}$	—	—	40	μA
			—	—	20	
	S except	$V_{CC}=5.25\text{V}, V_I=0.4\text{V}$	—	—	-0.8	mA
			—	—	-0.4	
	S	$V_{CC}=5.25\text{V}, V_I=7\text{V}$	—	—	0.2	mA
			—	—	0.1	
Output current	I_{OZ}	$V_{CC}=5.25\text{V}, V_{IH}=2\text{V}$	$V_O=2.4\text{V}$	—	20	μA
			$V_O=0.4\text{V}$	—	-20	
Short-circuit output current	I_{OS}	$V_{CC}=5.25\text{V}$	-30	—	-130	mA
Supply current**	All outputs high	$V_{CC}=5.25\text{V}$	—	5.9	10	mA
			—	9.2	16	
			—	10	19	
Input clamp voltage	V_{IK}	$V_{CC}=4.75\text{V}, I_{IN}=-18\text{mA}$	—	—	-1.5	V

* $V_{CC}=5\text{V}, T_a=25^\circ\text{C}$

** I_{CC} is measured with all outputs open and all possible inputs grounded while achieving the stated output conditions.

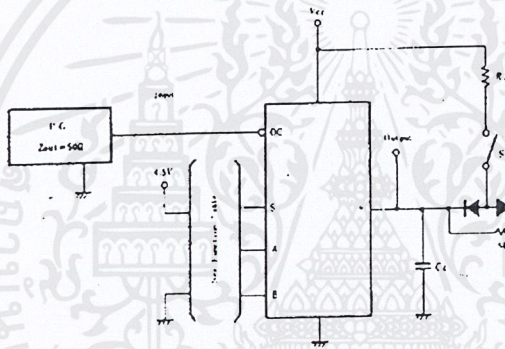
HD74LS257

SWITCHING CHARACTERISTICS (V_{CC}=5V, T_a=25°C)

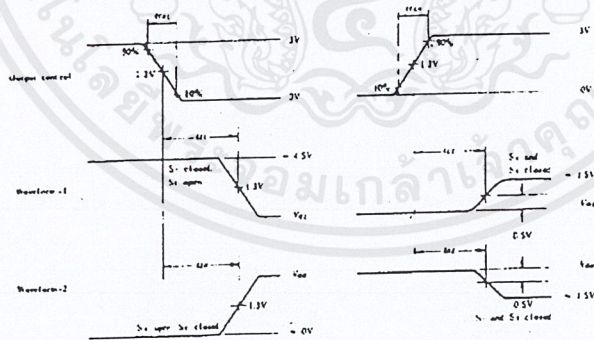
Item	Inputs	Output	Symbol	Test Conditions	min	typ	max	Unit
Propagation delay time	A, B	Y	t _{PLH}	R _t = 2kΩ C _L = 15pF	—	12	18	ns
			t _{PRL}		—	12	18	
	S	Y	t _{PLH}		—	14	21	ns
			t _{PRL}		—	14	21	
Output enable time	OC	Y	t _{ZH}	R _t = 2kΩ	—	20	30	ns
			t _{ZL}		—	20	30	
Output disable time	OC	Y	t _{HZ}	R _t = 2kΩ C _L = 5pF	—	18	30	ns
			t _{LZ}		—	16	25	

TESTING METHOD

1) Test Circuit



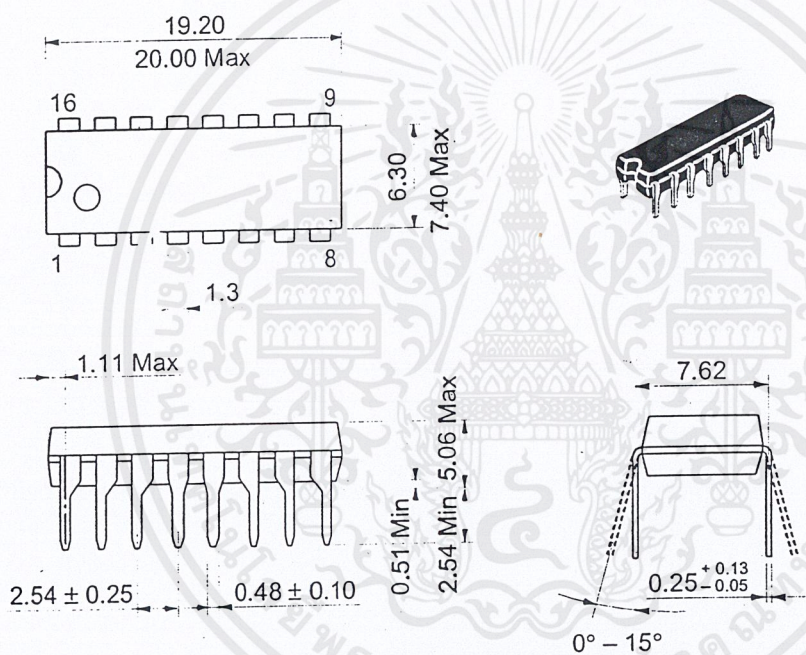
Waveform



- Notes)
1. Input pulse: $t_{PLH} \leq 15\text{ns}$, $t_{PRL} \leq 6\text{ns}$, $PRR = 1\text{MHz}$, duty cycle = 50%.
 2. C_L includes probe and jig capacitance.
 3. All diodes are 1S2074 \oplus .
 4. Waveform-1 is for an output with internal conditions such that the output is low except when disabled by the output control.
 5. Waveform-2 is for an output with internal conditions such that the output is high except when disabled by the output control.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

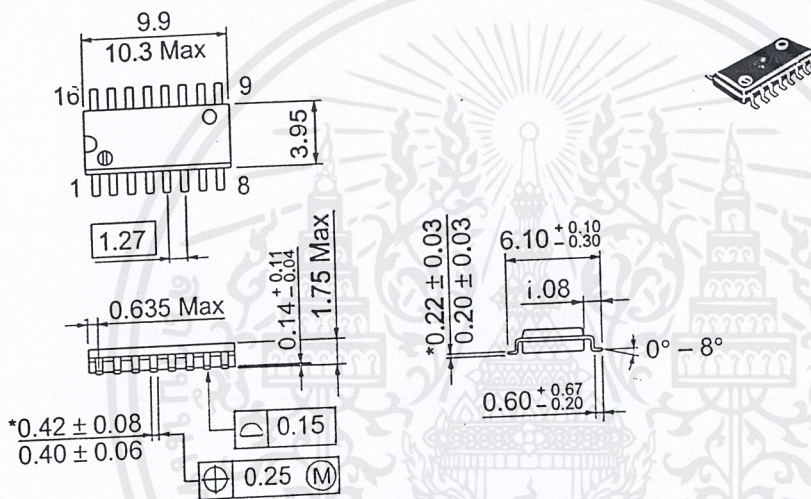
Unit: mm



Hitachi Code	DP-16
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	1.07 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unit: mm



*Dimension including the plating thickness
Base material dimension

Hitachi Code	FP-16DN
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	0.15 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Cautions

1. Hitachi neither warrants nor grants licenses of any rights of Hitachi's or any third party's patent, copyright, trademark, or other intellectual property rights for information contained in this document. Hitachi bears no responsibility for problems that may arise with third party's rights, including intellectual property rights, in connection with use of the information contained in this document.
 2. Products and product specifications may be subject to change without notice. Confirm that you have received the latest product standards or specifications before final design, purchase or use.
 3. Hitachi makes every attempt to ensure that its products are of high quality and reliability. However, contact Hitachi's sales office before using the product in an application that demands especially high quality and reliability or where its failure or malfunction may directly threaten human life or cause risk of bodily injury, such as aerospace, aeronautics, nuclear power, combustion control, transportation, traffic, safety equipment or medical equipment for life support.
 4. Design your application so that the product is used within the ranges guaranteed by Hitachi particularly for maximum rating, operating supply voltage range, heat radiation characteristics, installation conditions and other characteristics. Hitachi bears no responsibility for failure or damage when used beyond the guaranteed ranges. Even within the guaranteed ranges, consider normally foreseeable failure rates or failure modes in semiconductor devices and employ systemic measures such as fail-safes, so that the equipment incorporating Hitachi product does not cause bodily injury, fire or other consequential damage due to operation of the Hitachi product.
 5. This product is not designed to be radiation resistant.
 6. No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without written approval from Hitachi.
 7. Contact Hitachi's sales office for any questions regarding this document or Hitachi semiconductor products.
-

HITACHI

Hitachi, Ltd.

Semiconductor & Integrated Circuits.
Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan
Tel: Tokyo (03) 3270-2111 Fax: (03) 3270-5109

URL	North America	: http://semiconductor.hitachi.com/
	Europe	: http://www.hitachi-eu.com/hel/ecg
	Asia (Singapore)	: http://www.has.hitachi.com.sg/grp3/sicd/index.htm
	Asia (Taiwan)	: http://www.hitachi.com.tw/E/Product/SICD_Frame.htm
	Asia (HongKong)	: http://www.hitachi.com.hk/eng/bo/grp3/index.htm
	Japan	: http://www.hitachi.co.jp/Sicd/indx.htm

For further information write to:

Hitachi Semiconductor
(America) Inc.
179 East Tasman Drive,
San Jose, CA 95134
Tel: <1> (408) 433-1990
Fax: <1> (408) 433-0223

Hitachi Europe GmbH
Electronic components Group
Dornacher StraÙe 3
D-85622 Feldkirchen, Munich
Germany
Tel: <49> (89) 9 9180-0
Fax: <49> (89) 9 29 30 00

Hitachi Europe Ltd.
Electronic Components Group.
Whitebrook Park
Lower Cookham Road
Maidenhead
Berkshire SL6 8YA, United Kingdom
Tel: <44> (1628) 585000
Fax: <44> (1628) 778322

Hitachi Asia Pte. Ltd.
16 Collyer Quay #20-00
Hitachi Tower
Singapore 049318
Tel: 535-2100
Fax: 535-1533

Hitachi Asia Ltd.
Taipei Branch Office
3F, Hung Kuo Building, No.167,
Tun-Hwa North Road, Taipei (105)
Tel: <886> (2) 2718-3666
Fax: <886> (2) 2718-8180

Hitachi Asia (Hong Kong) Ltd.
Group III (Electronic Components)
7/F., North Tower, World Finance Centre,
Harbour City, Canton Road, Tsim Sha Tsui,
Kowloon, Hong Kong
Tel: <852> (2) 735 9218
Fax: <852> (2) 730 0281
Telex: 40815 HITEC HX

Copyright © Hitachi, Ltd., 1999. All rights reserved. Printed in Japan.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD74HC138

3-to-8-line Decoder/Demultiplexer

HITACHI

Description

The HD74HC138 has 3 binary select inputs (A, B and C). If the device is enabled these inputs determine which one of the eight normally high outputs will go low. Two active low and one active high enables (G_1 , G_{2A} and G_{2B}) are provided to ease the cascading of decoders.

Features

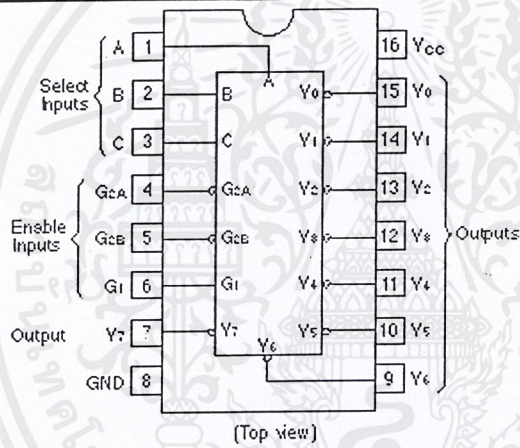
- High Speed Operation: t_{pd} (A, B, C to Y) = 16.5 ns typ (C_L = 50 pF)
- High Output Current: Fanout of 10 LSTTL Loads
- Wide Operating Voltage: V_{CC} = 2 V to 6 V
- Low Input Current: 1 μ A max
- Low Quiescent Supply Current: I_{CC} (static) = 4 μ A max (T_a = 25°C)

Function Table

ENAB	G ₁			G _{2A}			G _{2B}			Y			
\bar{G}_1	\bar{G}_2A	\bar{G}_2B	A	B	C	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
X	X	H	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H	H	H
H	L	L	H	L	L	H	H	H	L	H	H	H	H
H	L	L	H	L	H	H	H	H	L	H	H	H	H
H	L	L	H	H	L	H	H	H	H	L	H	H	H
H	L	L	H	H	H	H	H	H	H	H	L	H	H
H	L	L	H	H	H	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

HD74HC138

Pin Arrangement



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD74HC138

DC Characteristics

SYM	UNIT	MINIMUM		TYPICAL		MAXIMUM		TEST CONDITIONS
		MIN	MAX	MIN	MAX	MIN	MAX	
Input voltage	V_{HI}	2.0	1.5	—	—	1.5	—	V
		4.5	3.15	—	—	3.15	—	
		6.0	4.2	—	—	4.2	—	
	V_{IL}	2.0	—	—	0.5	—	0.5	V
		4.5	—	—	1.35	—	1.35	
		6.0	—	—	1.8	—	1.8	
Output voltage	V_{OH}	2.0	1.9	2.0	—	1.9	—	V $V_{in} = V_{HI}$ or V_{IL} $I_{OH} = -20 \mu A$
		4.5	4.4	4.5	—	4.4	—	
		6.0	5.9	6.0	—	5.9	—	
		4.5	4.18	—	—	4.13	—	$I_{OH} = -4 \text{ mA}$
		6.0	5.68	—	—	5.63	—	$I_{OH} = -5.2 \text{ mA}$
		6.0	—	—	—	—	—	
	V_{OL}	2.0	—	0.0	0.1	—	0.1	V $V_{in} = V_{HI}$ or V_{IL} $I_{OL} = 20 \mu A$
		4.5	—	0.0	0.1	—	0.1	
		6.0	—	0.0	0.1	—	0.1	
		4.5	—	—	0.26	—	0.33	$I_{OL} = 4 \text{ mA}$
		6.0	—	—	0.26	—	0.33	$I_{OL} = 5.2 \text{ mA}$
		6.0	—	—	—	—	—	
Input current	I_{in}	6.0	—	—	± 0.1	—	± 1.0	μA $V_{in} = V_{OL}$ or GND
Quiescent supply current	I_{CC}	6.0	—	—	4.0	—	40	μA $V_{in} = V_{OL}$ or GND, $I_{out} = 0 \mu A$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD74HC138

AC Characteristics ($C_L = 50 \text{ pF}$, Input $t_r = t_f = 6 \text{ ns}$)

Parameter	Symbol	2.0	4.5	6.0	175	35	20	220	ns	Notes	
Propagation delay time	t_{PLH}	2.0	—	—	175	—	—	220	ns	A, B or C to Output	
		4.5	—	17	35	—	—	44			
		6.0	—	—	30	—	—	37			
	t_{PLL}	2.0	—	—	150	—	—	190	ns		
		4.5	—	16	30	—	—	38			
		6.0	—	—	26	—	—	33			
	t_{PLH}	2.0	—	—	150	—	—	190	ns		G _i to Output
		4.5	—	16	30	—	—	38			
		6.0	—	—	26	—	—	33			
	t_{PLL}	2.0	—	—	150	—	—	190	ns		G _{2A} or G _{2B} to Output
		4.5	—	17	30	—	—	38			
		6.0	—	—	26	—	—	33			
t_{PLH}	2.0	—	—	175	—	—	220	ns			
	4.5	—	15	35	—	—	44				
	6.0	—	—	30	—	—	37				
t_{PLL}	2.0	—	—	150	—	—	190	ns			
	4.5	—	17	30	—	—	38				
	6.0	—	—	26	—	—	33				
Output rise/fall time	t_{rHL}	2.0	—	—	75	—	—	95	ns		
	t_{fHL}	4.5	—	5	15	—	—	19			
	t_{fHL}	6.0	—	—	13	—	—	16			
Input capacitance	C _{in}	—	—	5	10	—	10	pF			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD74HC138

When using this document, keep the following in mind:

1. This document may, wholly or partially, be subject to change without notice.
2. All rights are reserved: No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without Hitachi's permission.
3. Hitachi will not be held responsible for any damage to the user that may result from accidents or any other reasons during operation of the user's unit according to this document.
4. Circuitry and other examples described herein are meant merely to indicate the characteristics and performance of Hitachi's semiconductor products. Hitachi assumes no responsibility for any intellectual property claims or other problems that may result from applications based on the examples described herein.
5. No license is granted by implication or otherwise under any patents or other rights of any third party or Hitachi, Ltd.
6. **MEDICAL APPLICATIONS:** Hitachi's products are not authorized for use in **MEDICAL APPLICATIONS** without the written consent of the appropriate officer of Hitachi's sales company. Such use includes, but is not limited to, use in life support systems. Buyers of Hitachi's products are requested to notify the relevant Hitachi sales offices when planning to use the products in **MEDICAL APPLICATIONS**.

HITACHI

Hitachi, Ltd.
Semiconductor & IC Div.
Nippon Bldg., 2-6-2, Ohtaemachi, Chiyoda-ku, Tokyo 100, Japan
Tel: Tokyo (03) 5270-2111
Fax: (03) 5270-5100

For further information write to:

Hitachi America, Ltd.
Semiconductor & IC Div.
2000 Sierra Point Parkway
Brisbane, CA, 94005-4935
U.S.A.
Tel: 415-582-8300
Fax: 415-582-4207

Hitachi Europe GmbH
Electronic Components Group
Commercial Europe
Darmacher Strasse 3
D-35522 Friedrichsdorf
Münster
Tel: 069-9 21 80-0
Fax: 069-9 29 30-00

Hitachi Europe Ltd.
Electronic Components Div.
Northern Europe Headquarters
Witlebrook Park
Lower Cookham Road
Maidenhead
 Berkshire SL6 6SYA
United Kingdom
Tel: 0628-288000
Fax: 0628-778322

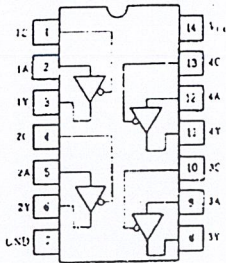
Hitachi Asia Pte. Ltd.
45 Collyer Quay #20-00
Hitachi Tower
Singapore 0404
Tel: 535-2400
Fax: 535-4533

Hitachi Asia (Hong Kong) Ltd.
Unit 705, North Tower,
World Finance Centre
Harbour City, Canton Road
Tsim Sha Tsui, Kowloon
Hong Kong
Tel: 27359218
Fax: 27396971

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD74LS125A • Quadruple Bus Buffer Gates (with three-state outputs)

■ PIN ARRANGEMENT



(Top View)

■ FUNCTION TABLE

Inputs		Outputs
C	A	Y
H	X	Z
L	L	L
L	H	H

Note) H; high level.
L; low level.
X; irrelevant
Z; off (high-impedance) state of a 3-state output

■ RECOMMENDED OPERATING CONDITIONS

Item	Symbol	min	typ	max	Unit
High level output current	I_{OH}	-	-	-2.6	mA
Low level output current	I_{OL}	-	-	24	mA

■ ELECTRICAL CHARACTERISTICS ($T_a = -20 \sim +75^\circ\text{C}$)

Item	Symbol	Test Conditions	min	typ*	max	Unit
Input voltage	V_{IH}		2.0	-	-	V
	V_{IL}		-	-	0.8	V
Output voltage	V_{OH}	$V_{CC}=4.75\text{V}, V_{IH}=2\text{V}, V_{IL}=0.8\text{V}, I_{OH}=-2.6\text{mA}$	2.4	-	-	V
	V_{OL}	$V_{CC}=4.75\text{V}, V_{IH}=2\text{V}, I_{OL}=24\text{mA}$	-	-	0.5	V
		$V_{IL}=0.8\text{V}, I_{OL}=12\text{mA}$	-	-	0.4	
Off-state output current	I_{OZ}	$V_{CC}=5.25\text{V}, V_{IH}=2\text{V}, V_O=2.4\text{V}$	-	-	20	μA
		$V_{IL}=0.8\text{V}, V_O=0.4\text{V}$	-	-	-20	
Input current	I_{IH}	$V_{CC}=5.25\text{V}, V_I=2.7\text{V}$	-	-	20	μA
	I_{IL}	$V_{CC}=5.25\text{V}, V_I=0.4\text{V}$	-	-	-0.4	mA
	I_I	$V_{CC}=5.25\text{V}, V_I=7\text{V}$	-	-	0.1	mA
Short-circuit output current	I_{OS}	$V_{CC}=5.25\text{V}$	-40	-	-225	mA
Supply current	I_{CC}	$V_{CC}=5.25\text{V}$	-	11	20	mA
Input clamp voltage	V_{IK}	$V_{CC}=4.75\text{V}, I_{IK}=-18\text{mA}$	-	-	-1.5	V

* $V_{CC}=5\text{V}, T_a=25^\circ\text{C}$

■ SWITCHING CHARACTERISTICS ($V_{CC}=5\text{V}, T_a=25^\circ\text{C}$)

Item	Symbol	Test Conditions	min	typ	max	Unit
Propagation delay time	t_{PLH}	$C_L=45\text{pF}$ $R_L=667\Omega$	-	9	15	ns
	t_{PHL}		-	7	18	
Output enable time	t_{ZH}		-	12	20	
	t_{ZL}		-	15	25	
Output disable time	t_{HZ}	$C_L=5\text{pF}$	-	-	20	
	t_{LZ}	$R_L=667\Omega$	-	-	20	

Note) Refer to Test Circuit and Waveform of the Common Item



February 2001

LM1881 Video Sync Separator

General Description

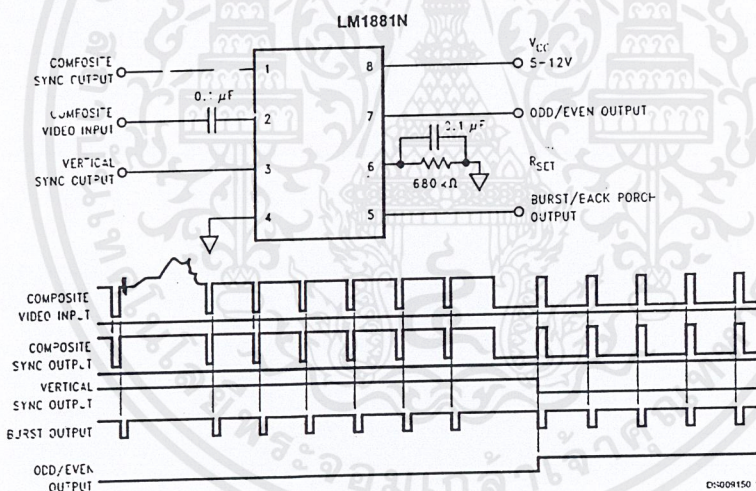
The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL* and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

LM1881 Video Sync Separator

Connection Diagram



Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

*P: in this datasheet refers to European broadcast TV standard "Phase Alternating Line" and not to Programmable Array Logic.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 V_{P-P} ($V_{CC} \geq 5V$) 6 V_{P-P} ($V_{CC} \geq 8V$)
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 2)	1100 mW
Operating Temperature Range	0°C–70°C

Storage Temperature Range	–65°C to +150°C
ESD Susceptibility (Note 3)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

$V_{CC} = 5V$; $R_{SET} = 680 \text{ k}\Omega$; $T_A = 25^\circ\text{C}$; Unless otherwise specified

Parameter	Conditions	Typ	Tested Limit (Note 4)	Design Limit (Note 5)	Units (Limits)
Supply Current	Outputs at Logic 1	$V_{CC} = 5V$	5.2	10	mAmax
		$V_{CC} = 12V$	5.5	12	mAmax
DC Input Voltage	Pin 2		1.5	1.3	Vmin
				1.8	Vmax
Input Threshold Voltage	(Note 6)		70	55	mVmin
				85	mVmax
Input Discharge Current	Pin 2; $V_{IN} = 2V$		11	6	μAmin
				16	μAmax
Input Clamp Charge Current	Pin 2; $V_{IN} = 1V$	0.8	0.2		mAmin
R_{SET} Pin Reference Voltage	Pin 6; (Note 7)		1.22	1.10	Vmin
				1.35	Vmax
Composite Sync. & Vertical Outputs	$I_{OUT} = 40 \mu\text{A}$; Logic 1	$V_{CC} = 5V$	4.5	4.0	Vmin
		$V_{CC} = 12V$		11.0	Vmin
	$I_{OUT} = 1.6 \text{ mA}$; Logic 1	$V_{CC} = 5V$	3.6	2.4	Vmin
		$V_{CC} = 12V$		10.0	Vmin
Burst Gate & Odd/Even Outputs	$I_{OUT} = 40 \mu\text{A}$; Logic 1	$V_{CC} = 5V$	4.5	4.0	Vmin
		$V_{CC} = 12V$		11.0	Vmin
Composite Sync. Output	$I_{OUT} = -1.6 \text{ mA}$; Logic 0; Pin 1	0.2	0.8		Vmax
Vertical Sync. Output	$I_{OUT} = -1.6 \text{ mA}$; Logic 0; Pin 3	0.2	0.8		Vmax
Burst Gate Output	$I_{OUT} = -1.6 \text{ mA}$; Logic 0; Pin 5	0.2	0.8		Vmax
Odd/Even Output	$I_{OUT} = -1.6 \text{ mA}$; Logic 0; Pin 7	0.2	0.8		Vmax
Vertical Sync Width		230	190		μsmin
			300		μsmax
Burst Gate Width	2.7 k Ω from Pin 5 to V_{CC}		4	2.5	μsmin
				4.7	μsmax
Vertical Default Time	(Note 8)		65	32	μsmin
				90	μsmax

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. For guaranteed specifications and test conditions, see the Electrical Characteristics. The guaranteed specifications apply only for the test conditions listed. Some performance characteristics may degrade when the device is not operated under the listed test conditions.

Note 2: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110°C/W, junction to ambient.

Note 3: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 k Ω resistor".

Note 4: Typicals are at $T_j = 25^\circ\text{C}$ and represent the most likely parametric norm.

Note 5: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

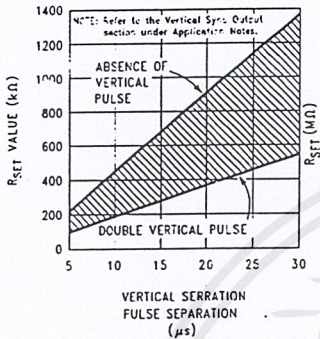
Note 6: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

Note 7: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5 and 7) to the R_{SET} pin (Pin 6).

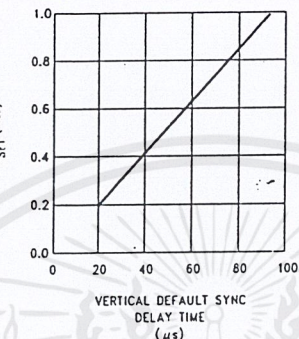
Note 8: Delay time between the start of vertical sync (at input) and the vertical output pulse.

Typical Performance Characteristics

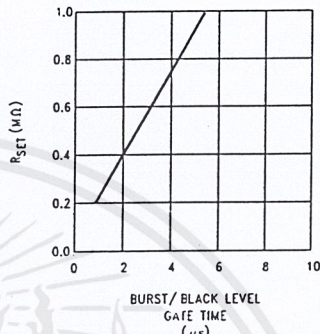
R_{SET} Value Selection vs Vertical Serration Pulse Separation



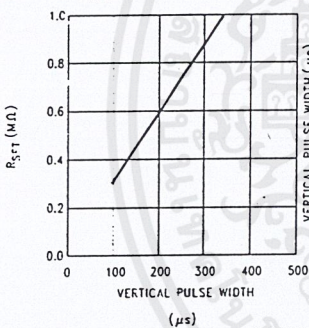
Vertical Default Sync Delay Time vs R_{SET}



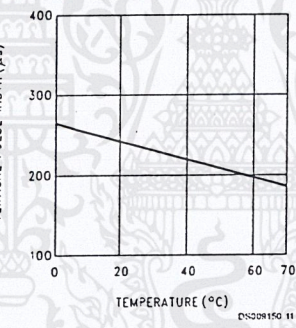
Burst/Black Level Gate Time vs R_{SET}



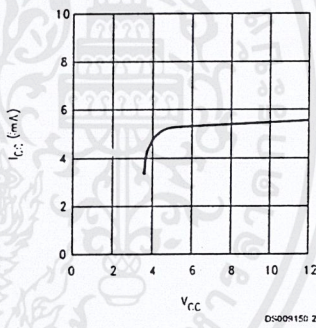
Vertical Pulse Width vs R_{SET}



Vertical Pulse Width vs Temperature



Supply Current vs Supply Voltage



Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components besides a power supply decoupling capacitor at pin 8 and a set current decoupling capacitor at pin 6, are the composite input coupling capacitor at pin 2 and one resistor at pin 6 that sets internal current levels. The resistor on pin 6 (i.e. R_{SET}) allows the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C; composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources.

provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to Figure 1(a-e) which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

COMPOSITE SYNC OUTPUT

The composite sync output, Figure 1(b), is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line

Application Notes (Continued)

on *Figure 1(a)*. This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11 μ A, typically. This allows relatively small capacitor values to be used—0.1 μ F is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75 Ω , a 620 Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform (*Figure 2*). To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 2*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called V_1 , going to one of its inputs. The other comparator has an internally generated voltage reference called V_2 , going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are positive going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor R_{SET} . The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the V_1 . During the vertical sync period the narrow going positive pulses shown in *Figure 1* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between V_1 and V_2 . This would give a high level at the output of the comparator with V_1 as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the

OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external R_{SET} . The "Q" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 1*.

How R_{SET} affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is "R_{SET} Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 1*. This graph shows how long it takes the integrator to charge its internal capacitor above V_1 .

With R_{SET} too large the charging current of the integrator will be too small to charge the capacitor above V_1 , thus there will be no vertical sync output pulse. As mentioned above, R_{SET} also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulse after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum R_{SET} necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs R_{SET} " graph. Using NTSC as an example, lets see how these two graphs relate to each other. The Horizontal line is 64 μ s long, or 32 μ s for a horizontal half line. Now round this off to 30 μ s. In the "R_{SET} Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30 μ s serration pulse separation is about 550 k Ω . Going to the "Vertical Pulse Width vs R_{SET} " graph one can see that 550 k Ω gives a vertical pulse width of about 180 μ s, the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 k Ω will set the internal oscillator to a frequency such that eight cycles gives a time of 180 μ s, just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level V_2 . Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches V_2 . At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with V_1 as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs R_{SET} " graph

Application Notes (Continued)

shows the relationship between the R_{SET} value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for R_{SET} is 500 k Ω . The vertical default time delay is about 50 μ s, much longer than the 30 μ s serration pulse spacing.

A common question is how can one calculate the required R_{SET} with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default Sync Delay Time vs R_{SET} " graph to select the necessary R_{SET} to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs R_{SET} " graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the

end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32 μ s long. The vertical sync period is two horizontal lines long, or 64 μ s. The vertical default sync delay time must be longer than the vertical sync period of 64 μ s. In this case R_{SET} must be larger than 680 k Ω . R_{SET} must still be small enough for the output of the integrator to reach V_i before the end of the vertical period of the input pulse. The first graph can be used to confirm that R_{SET} is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64 μ s in this example. This graph is linear, meaning that a value as large as 2.7 M Ω can be used for R_{SET} (twice the value as the maximum at 30 μ s). Due to leakage currents it is advisable to keep the value of R_{SET} under 2.0 M Ω . In this example a value of 1.0 M Ω is selected, well above the minimum of 680 k Ω . With this value for R_{SET} the pulse width of the vertical sync output pulse of the LM1881 is about 340 μ s.

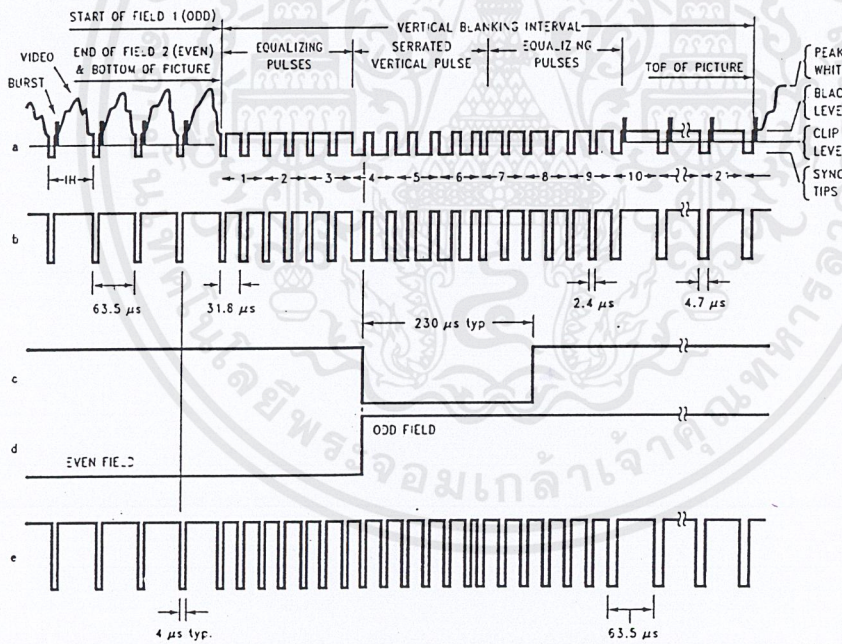
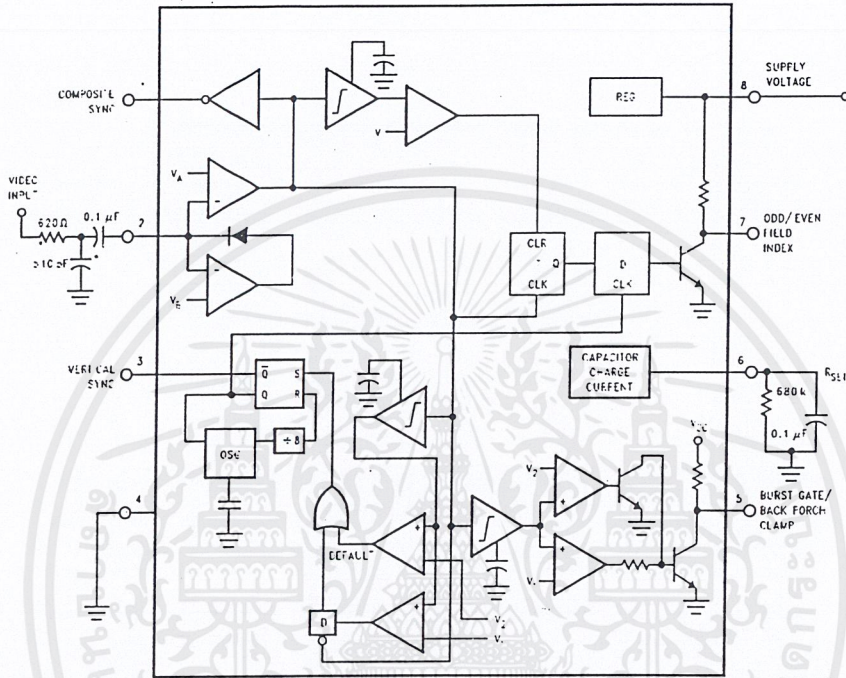


FIGURE 1. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp

Application Notes (Continued)



*Components Optional, See Text

FIGURE 2.

ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "even field". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. Figure 1(a) shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform (Figure 2). A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flip-flop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this threshold from being reached and the Q output of the flip-flop

is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 μ s long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 μ s later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60 Hz–120 Hz) vertical scan rates.

Application Notes (Continued)

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field lever allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 3* puts out a single video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3

to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 4* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 k Ω , 10 μ F) providing black level restoration at the video output when the output selected line(s) is not being gated through.

LM1881

Typical Applications

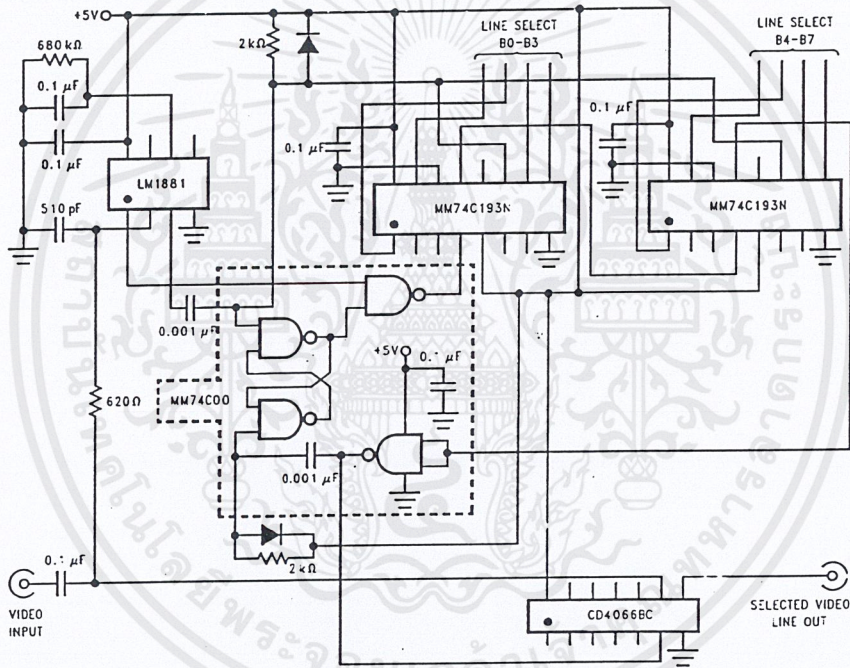


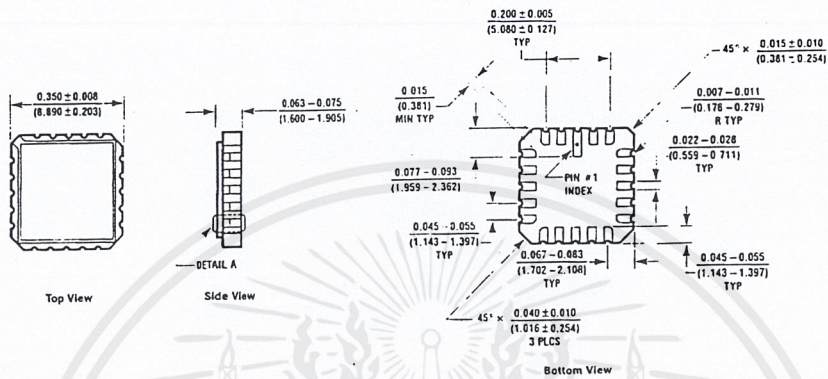
FIGURE 3. Video Line Selector

DS008150 5

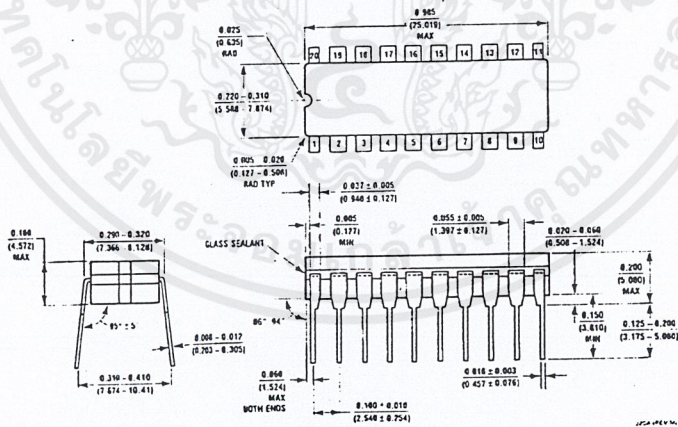
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM1881

Physical Dimensions inches (millimeters) unless otherwise noted



Molded Small Outline Package (M)
Order Number LM1881M
NS Package Number M08A



Molded Dual-In-Line Package (N)
Order Number LM1881N
NS Package Number N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

 National Semiconductor Corporation
Americas
Tel 1-800-272-9959
Fax 1-408-737-7018
Email support@nsc.com
www.national.com

National Semiconductor
Europe
Fax +49 (0) 180-530 85 86
Email europe.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

National Semiconductor
Asia Pacific Customer
Response Group
Tel 65-2544466
Fax 65-2504466
Email ap.support@nsc.com

National Semiconductor
Japan Ltd.
Tel 81-3-5639-7560
Fax 81-3-5639-7507

Video amplifier

NE592

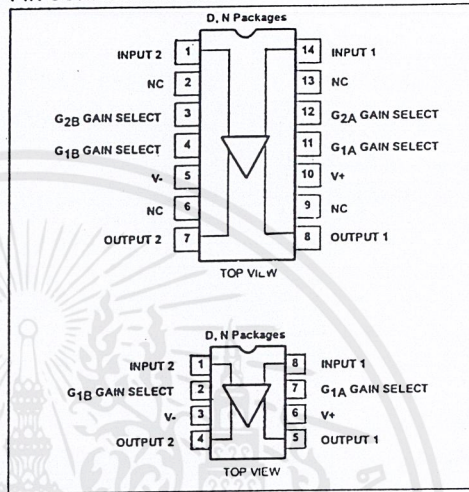
DESCRIPTION

The NE592 is a monolithic, two-stage, differential output, wideband video amplifier. It offers fixed gains of 100 and 400 without external components and adjustable gains from 400 to 0 with one external resistor. The input stage has been designed so that with the addition of a few external reactive elements between the gain select terminals, the circuit can function as a high-pass, low-pass, or band-pass filter. This feature makes the circuit ideal for use as a video or pulse amplifier in communications, magnetic memories, display, video recorder systems, and floppy disk head amplifiers. Now available in an 8-pin version with fixed gain of 400 without external components and adjustable gain from 400 to 0 with one external resistor.

FEATURES

- 120MHz unity gain bandwidth
- Adjustable gains from 0 to 400
- Adjustable pass band
- No frequency compensation required
- Wave shaping with minimal external components
- MIL-STD processing available

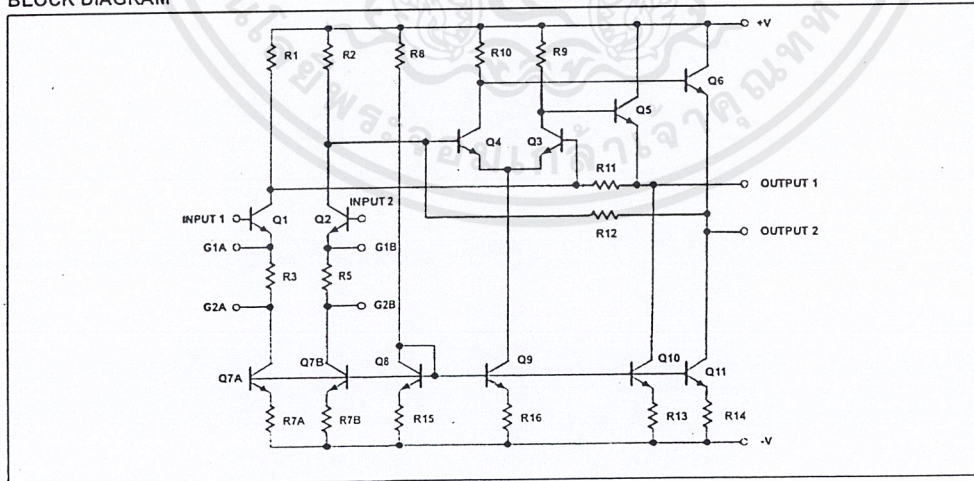
PIN CONFIGURATIONS



APPLICATIONS

- Floppy disk head amplifier
- Video amplifier
- Pulse amplifier in communications
- Magnetic memory
- Video recorder systems

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Video amplifier

NE592

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
14-Pin Plastic Dual In-Line Package (DIP)	0 to +70°C	NE592N14	0405B
14-Pin Small Outline (SO) package	0 to +70°C	NE592D14	0175D
8-Pin Plastic Dual In-Line Package (DIP)	0 to +70°C	NE592N8	0404B
8-Pin Small Outline (SO) package	0 to +70°C	NE592D8	0174C

NOTES:

N8, N14, D8 and D14 package parts also available in "High" gain version by adding "H" before package designation, i.e., NE592HDB

ABSOLUTE MAXIMUM RATINGS

T_A=+25°C, unless otherwise specified.

SYMBOL	PARAMETER	RATING	UNIT
V _{CC}	Supply voltage	±8	V
V _{IN}	Differential input voltage	±5	V
V _{CM}	Common-mode input voltage	±6	V
I _{OUT}	Output current	10	mA
T _A	Operating ambient temperature range	0 to +70	°C
T _{STG}	Storage temperature range	-65 to +150	°C
P _{D MAX}	Maximum power dissipation, T _A =25°C (still air) ¹		
	D-14 package	0.98	W
	D-8 package	0.79	W
	N-14 package	1.44	W
	N-8 package	1.17	W

NOTES:

- Derate above 25°C at the following rates:
D-14 package at 7.8mW/°C
D-8 package at 6.3mW/°C
N-14 package at 11.5mW/°C
N-8 package at 9.3mW/°C

Video amplifier

NE592

DC ELECTRICAL CHARACTERISTICS

$T_A = +25^\circ\text{C}$, $V_{SS} = \pm 6\text{V}$, $V_{CM} = 0$, unless otherwise specified. Recommended operating supply voltages $V_S = \pm 6.0\text{V}$. All specifications apply to both standard and high gain parts unless noted differently.

SYMBOL	PARAMETER	TEST CONDITIONS	NE592			UNIT
			Min	Typ	Max	
A_{VOL}	Differential voltage gain, standard part	$R_L = 2\text{k}\Omega$, $V_{OUT} = 3V_{P-P}$	250	400	600	V/V
	Gain 1 ¹		80	100	120	V/V
	Gain 2 ^{2,4}					
R_{IN}	Input resistance			4.0		k Ω
	Gain 1 ¹		10	30		k Ω
	Gain 2 ^{2,4}					
C_{IN}	Input capacitance ²	Gain 2 ⁴		2.0		pF
I_{OS}	Input offset current			0.4	5.0	μA
I_{BIAS}	Input bias current			9.0	30	μA
V_{NOISE}	Input noise voltage	BW 1kHz to 10MHz		12		μV_{RMS}
V_{IN}	Input voltage range		± 1.0			V
CM_{RR}	Common-mode rejection ratio	$V_{CM} = 1\text{V}$, $f < 100\text{kHz}$ $V_{CM} = \pm 1\text{V}$, $f = 5\text{MHz}$	60	86		dB
	Gain 2 ⁴			60		dB
	Gain 2 ⁴					
PSRR	Supply voltage rejection ratio	$\Delta V_S = \pm 0.5\text{V}$	50	70		dB
V_{OS}	Output offset voltage				1.5	V
	Gain 1				1.5	V
	Gain 2 ⁴			0.35	0.75	V
	Gain 3 ³					
V_{CM}	Output common-mode voltage	$R_L = \infty$	2.4	2.9	3.4	V
V_{OUT}	Output voltage swing differential	$R_L = 2\text{k}\Omega$	3.0	4.0		V
R_{OUT}	Output resistance			20		Ω
I_{CC}	Power supply current	$R_L = \infty$		18	24	mA

NOTES:

- Gain select Pins G_{1A} and G_{1B} connected together.
- Gain select Pins G_{2A} and G_{2B} connected together.
- All gain select pins open.
- Applies to 14-pin version only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Video amplifier

NE592

DC ELECTRICAL CHARACTERISTICS

DC Electrical Characteristics $V_{SS}=\pm 6V$, $V_{CM}=0$, $0^{\circ}C \leq T_A \leq 70^{\circ}C$, unless otherwise specified. Recommended operating supply voltages $V_S=\pm 6.0V$. All specifications apply to both standard and high gain parts unless noted differently.

SYMBOL	PARAMETER	TEST CONDITIONS	NE592			UNIT
			Min	Typ	Max	
A_{VOL}	Differential voltage gain, standard part Gain 1 ¹ Gain 2 ^{2,4}	$R_L=2k\Omega$, $V_{OUT}=3V_{P-P}$	250		600	V/V
			80		120	V/V
R_{IN}	Input resistance Gain 2 ^{2,4}		8.0			k Ω
I_{OS}	Input offset current				6.0	μA
I_{BIAS}	Input bias current				40	μA
V_{IN}	Input voltage range		± 1.0			V
CMRR	Common-mode rejection ratio Gain 2 ⁴	$V_{CM}=1V$, $f<100kHz$	50			dB
PSRR	Supply voltage rejection ratio Gain 2 ⁴	$\Delta V_S=\pm 0.5V$	∞			dB
V_{OS}	Output offset voltage Gain 1 Gain 2 ⁴ Gain 3 ³	$R_L=\infty$			1.5	V
					1.5	V
					1.0	V
V_{OUT}	Output voltage swing differential	$R_L=2k\Omega$	2.8			V
I_{CC}	Power supply current	$R_L=\infty$			27	mA

NOTES:

- Gain select Pins G_{1A} and G_{1B} connected together.
- Gain select Pins G_{2A} and G_{2B} connected together.
- All gain select pins open.
- Applies to 14-pin versions only.

AC ELECTRICAL CHARACTERISTICS

$T_A=+25^{\circ}C$, $V_{SS}=\pm 6V$, $V_{CM}=0$, unless otherwise specified. Recommended operating supply voltages $V_S=\pm 6.0V$. All specifications apply to both standard and high gain parts unless noted differently.

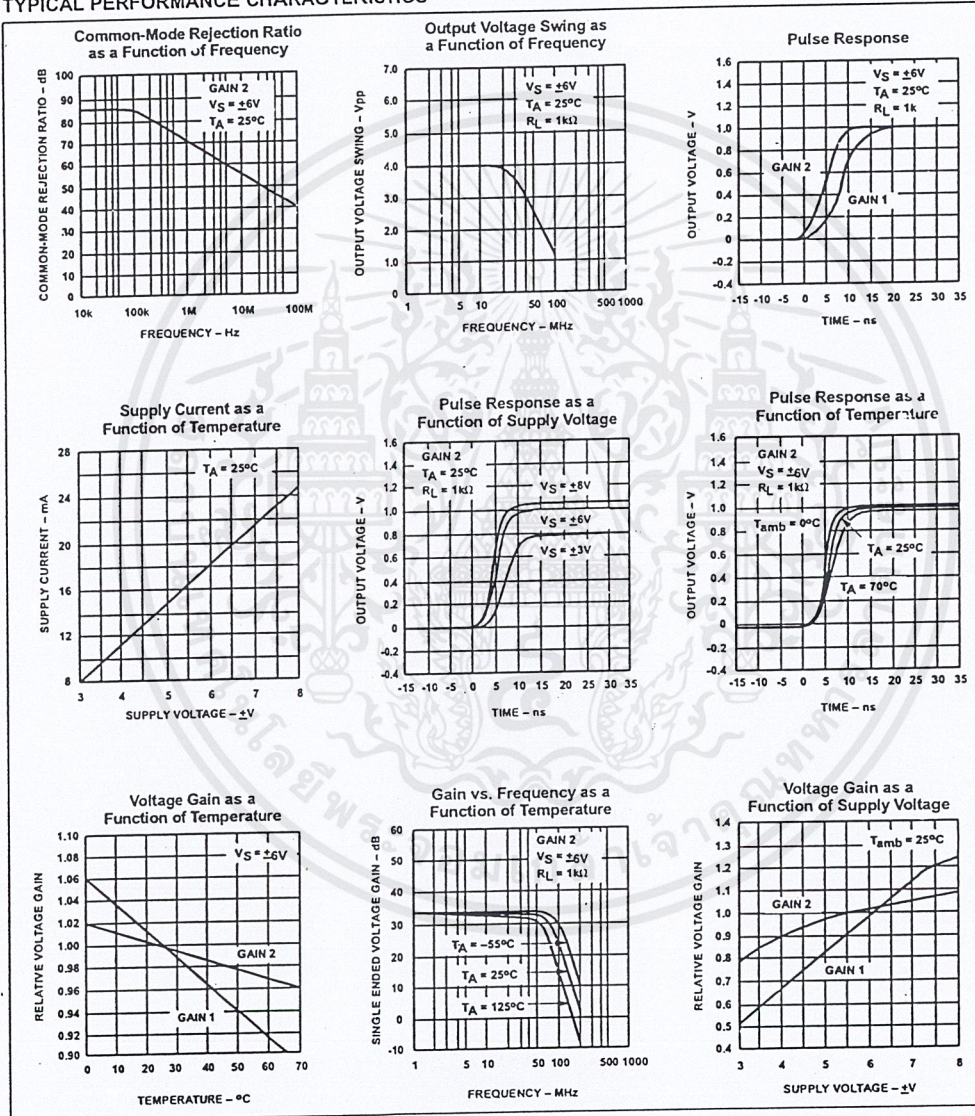
SYMBOL	PARAMETER	TEST CONDITIONS	NE/SA592			UNIT
			Min	Typ	Max	
BW	Bandwidth Gain 1 ¹ Gain 2 ^{2,4}			40		MHz
				90		MHz
t_R	Rise time Gain 1 ¹ Gain 2 ^{2,4}	$V_{OUT}=1V_{P-P}$		10.5	12	ns
				4.5		ns
t_{PD}	Propagation delay Gain 1 ¹ Gain 2 ^{2,4}	$V_{OUT}=1V_{P-P}$		7.5	10	ns
				6.0		ns

NOTES:

- Gain select Pins G_{1A} and G_{1B} connected together.
- Gain select Pins G_{2A} and G_{2B} connected together.
- All gain select pins open.
- Applies to 14-pin versions only.

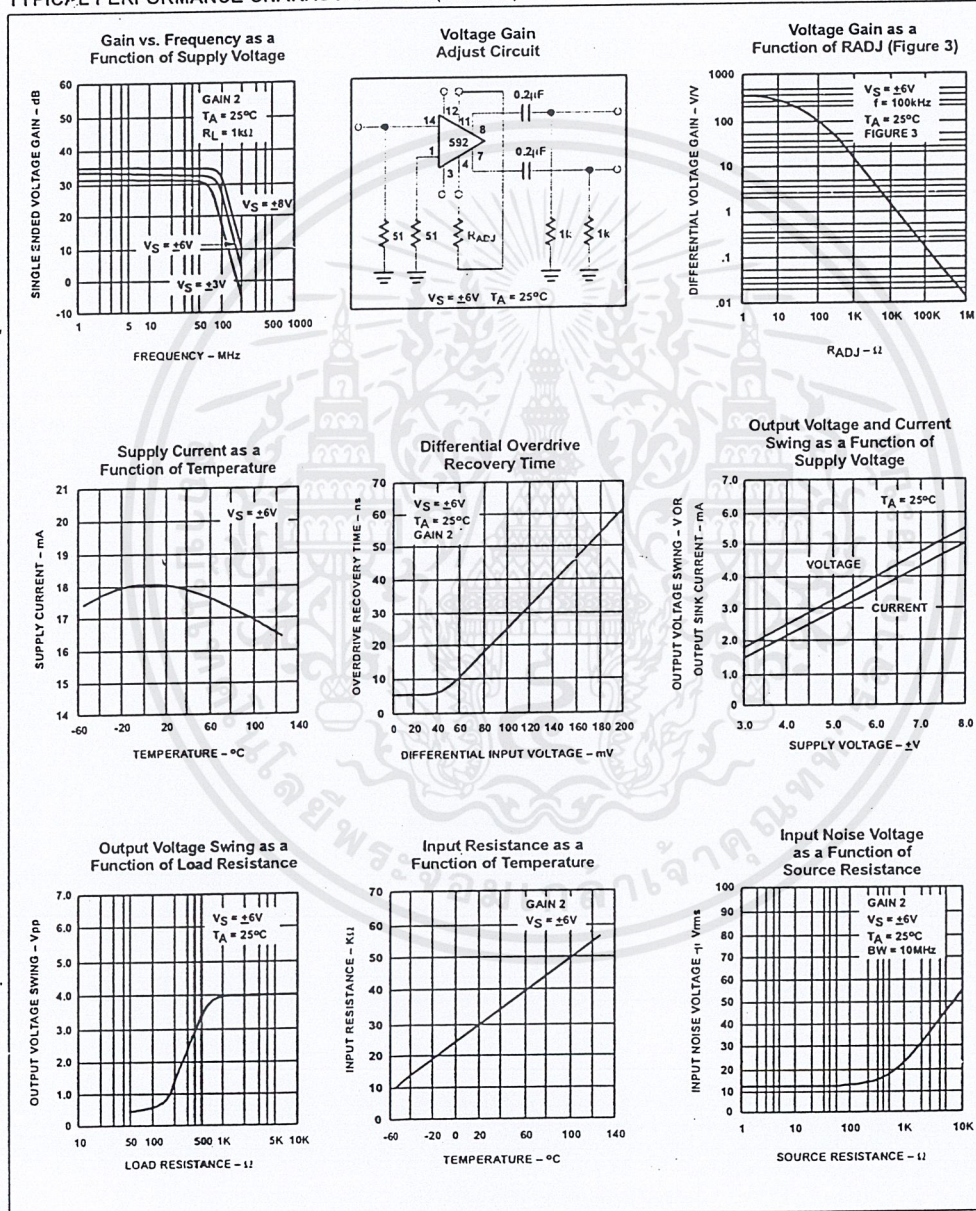
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CHARACTERISTICS

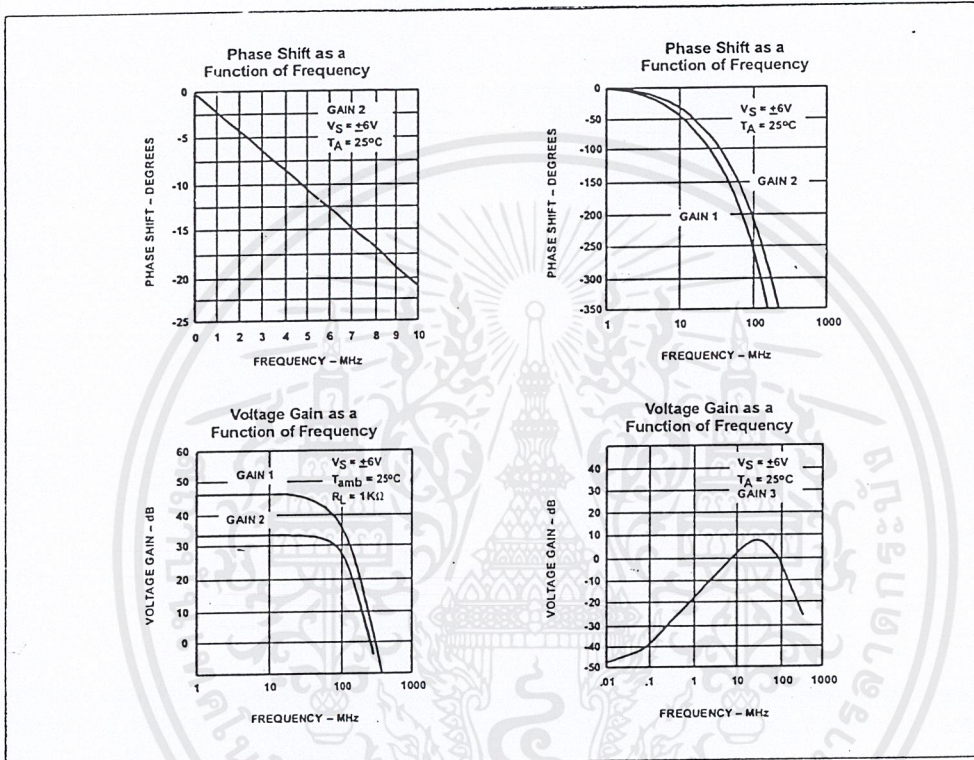


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

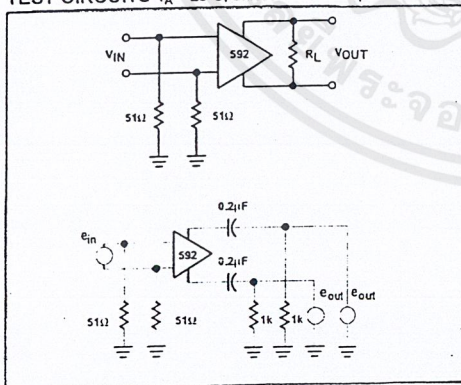
TYPICAL PERFORMANCE CHARACTERISTICS (Continued)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

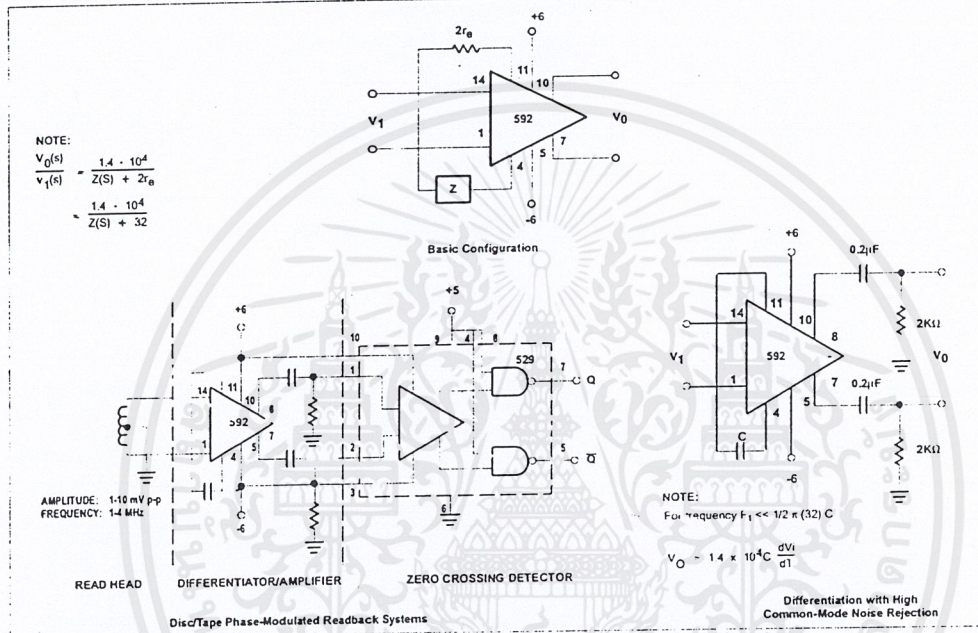


TEST CIRCUITS TA = 25°C, unless otherwise specified.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS



FILTER NETWORKS

Z NETWORK	FILTER TYPE	$V_0(s)$ TRANSFER $V_1(s)$ FUNCTION
	LOW PASS	$\frac{1.4 \times 10^4}{L} \left[\frac{1}{s + R/L} \right]$
	HIGH PASS	$\frac{1.4 \times 10^4}{R} \left[\frac{s}{s + 1/RC} \right]$
	BAND PASS	$\frac{1.4 \times 10^4}{L} \left[\frac{s}{s^2 + R/Ls + 1/LC} \right]$
	BAND REJECT	$\frac{1.4 \times 10^4}{R} \left[\frac{s^2 + 1/LC}{s^2 + 1/LC + s/RC} \right]$

NOTES:
 In the networks above, the R value used is assumed to include $2r_e$, or approximately 32Ω
 $s = j\omega$
 $\omega = 2\pi f$

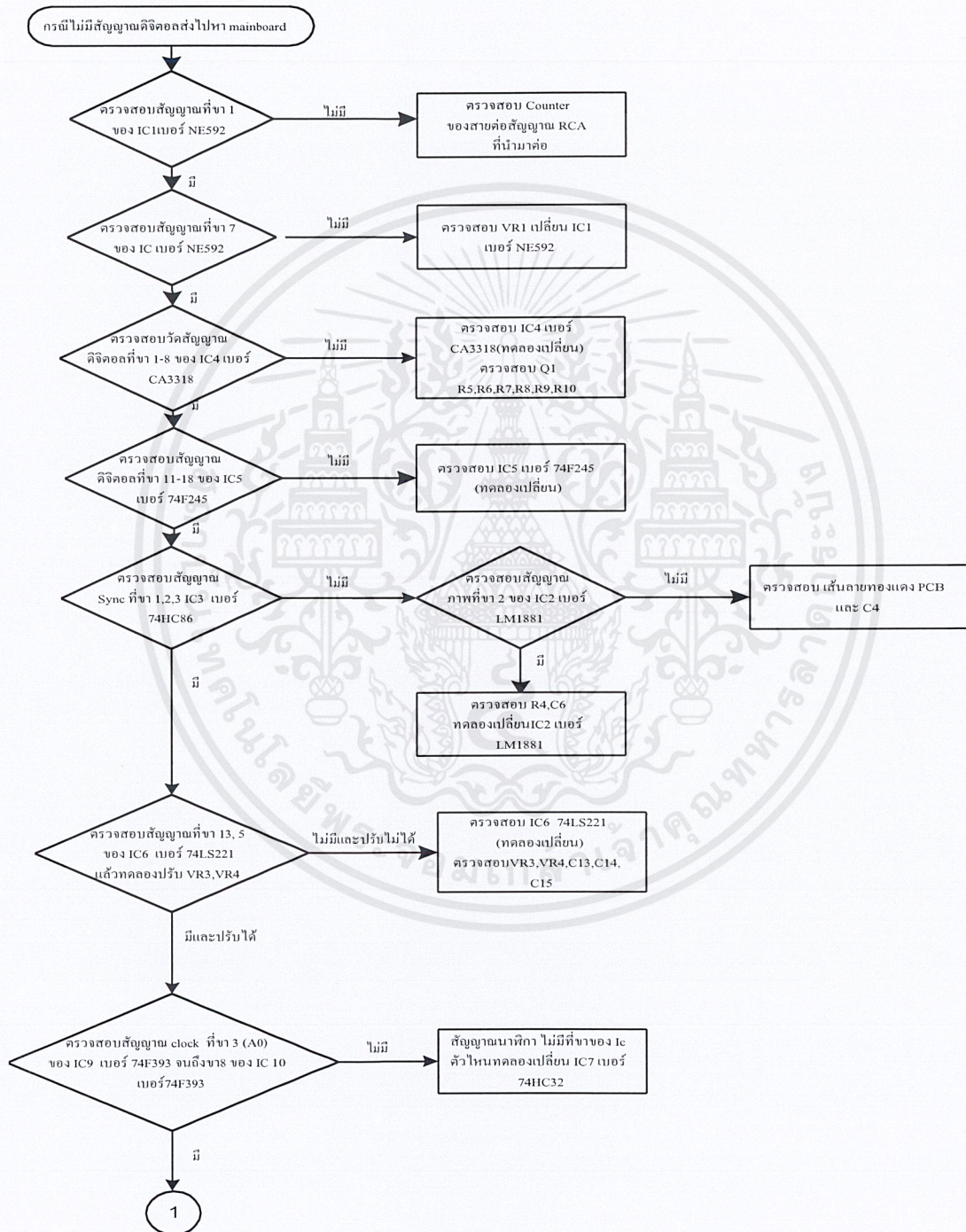
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

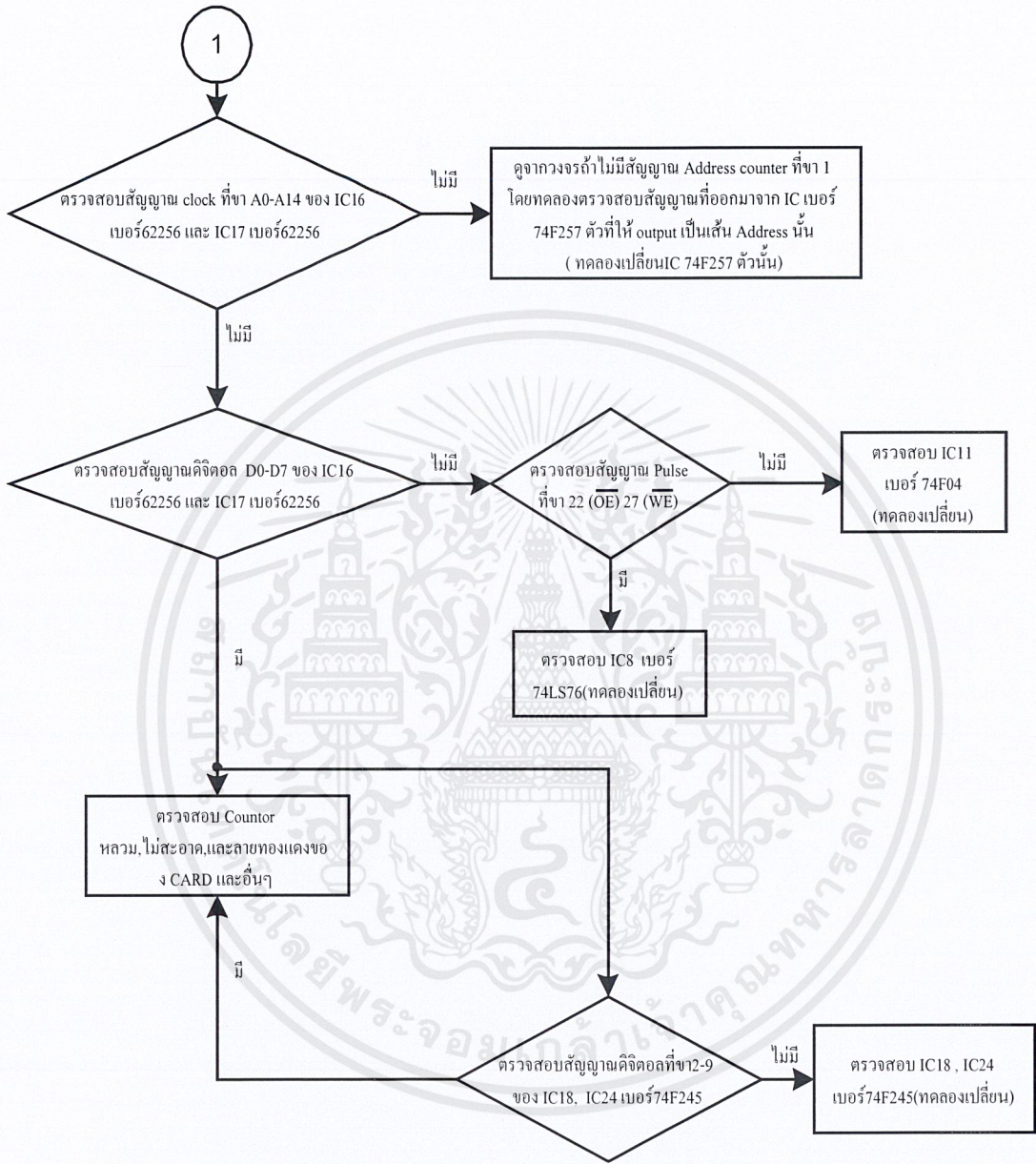
วิธีการตรวจสอบอาการต่างๆ

การตรวจสอบ ส่วนของการ์ด



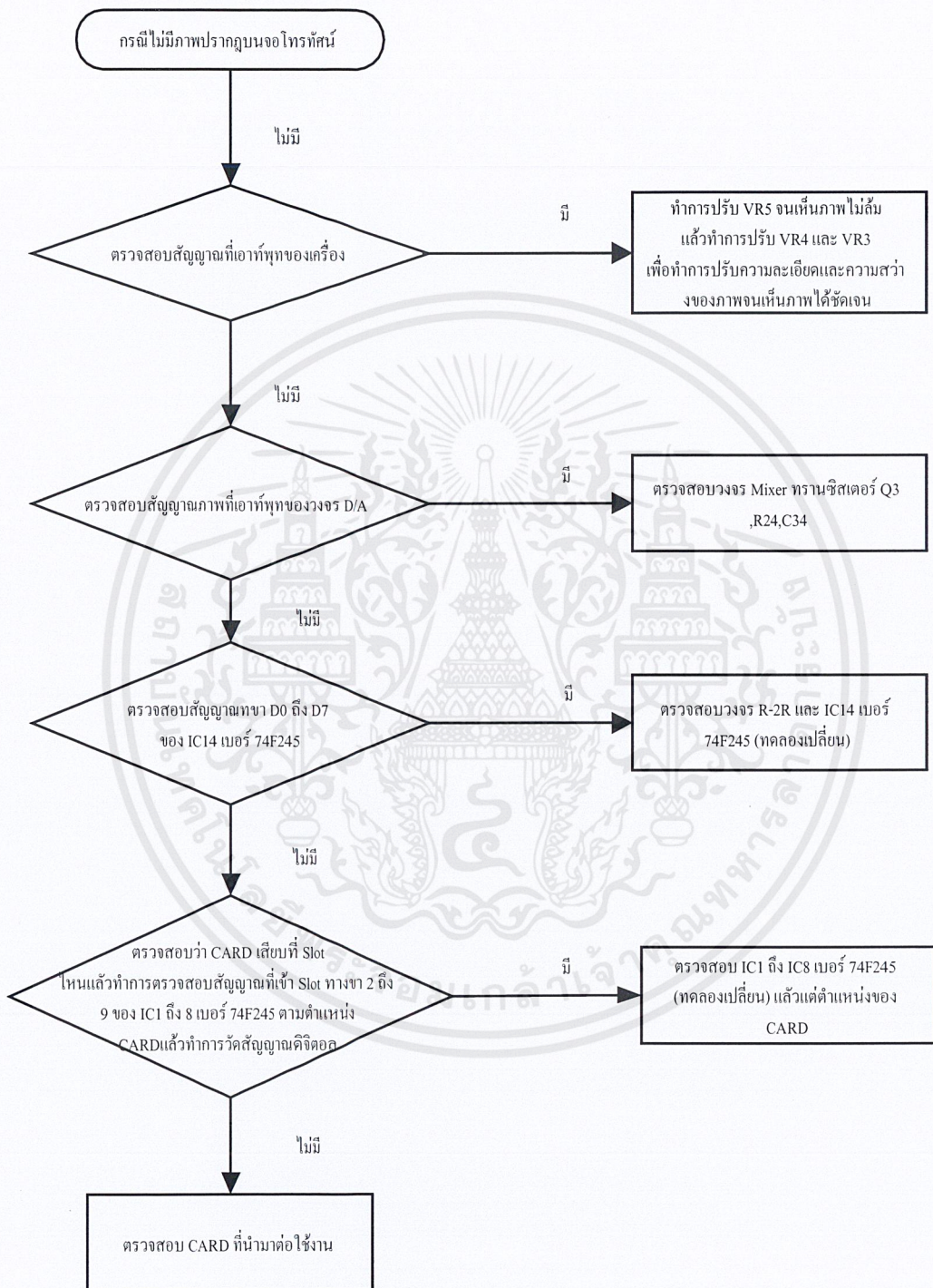
รูปที่ ค.1 การตรวจสอบส่วนของการ์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.1 (ต่อ) การตรวจสอบส่วนของการ์ด

การตรวจสอบ ส่วนของเมนบอร์ด



รูปที่ ค.2 การตรวจสอบส่วนของเมนบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

- ไกรวุฒิ วิจารณ์ประเสริฐสุด. “CCD อุปกรณ์อิเล็กทรอนิกส์ ผู้ผลิตโมมระบบกล้องวีดีโอ.” HOBBY ELECTRONICS. 7(50) : หน้า 65-69. 2538
- ขจรศักดิ์ ฤกษ์ปิยะทรัพย์. “เครื่องขยายสัญญาณวีดีโอ.” HOBBY ELECTRONICS. 7(53) : หน้า 30-35. 2538
- ชูเกียรติ จันทรณี. ทฤษฎีตรวจสอบโทรทัศน์ขาวดำ. พิมพ์ครั้งที่ 11. กรุงเทพฯ : เทพนิมิต. 2533
- ทฤษฎีตรวจสอบโทรทัศน์สี. พิมพ์ครั้งที่ 8. กรุงเทพฯ : เทพนิมิต. 2533
- เต็มบุญ มีเมสกุล. “ระบบ และบริการ Videoconferncing.” วารสารทางวิชาการสื่อสารโทรคมนาคม. 3(4). หน้า 103-124. 2537
- ธวัช เมฆสวรรค์ และพุมิโอะ มิคุมะ. เทคนิคการซ่อมเครื่องรับโทรทัศน์. กรุงเทพฯ : องค์การค้ำคुरुสภา. 2519
- ธวัช เมฆสวรรค์ และโยชิตะ ซาวามูระ. เทคนิคการซ่อมเครื่องรับโทรทัศน์สี. กรุงเทพฯ : ดวงกมล. 2534
- ภูวดล ศิริวิวัฒนากุล และคณะ. “เครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้.” ปรินญา นิพนธ์ คุรุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิศวกรรมโทรคมนาคม, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2540
- เมธินทร์ บุญประสม และคณะ. “เครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้.” ปรินญา นิพนธ์ คุรุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิศวกรรมโทรคมนาคม, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2539

ประวัติผู้แต่ง



ชื่อผู้ทำปฏิญานิพนธ์	นายวุฒิชัย ใจคำลือ
วันเดือนปีเกิด	วันที่ 30 ตุลาคม พ.ศ. 2521
สถานที่เกิด	โรงพยาบาลจังหวัดพะเยา
ภูมิลำเนาเดิม	499 หมู่ที่ 5 หมู่บ้านแม่ตำบุญโยง ตำบลแม่กา อำเภอเมือง จังหวัดพะเยา 56000
ที่อยู่ปัจจุบัน	372/2 หมู่ที่ 1 หอพักเจริญใจ ห้อง 7 ซอยจินดา 10 แขวง/เขต ลาดกระบัง กรุงเทพมหานคร 10520
โทรศัพท์	739-0540-2 ต่อ 107
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนบ้านแม่ตำบุญโยง
มัธยมศึกษาตอนต้น	โรงเรียนพะเยาพิทยาคม
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคพะเยา
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคพะเยา
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
คติพจน์	ความพยายามอยู่ที่ไหน ความสำเร็จอยู่ที่นั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อผู้ทำปฏิญานិพนธ์	นายทศพล จันทร์คง
วันเดือนปีเกิด	วันที่ 23 พฤษภาคม พ.ศ. 2520
สถานที่เกิด	โรงพยาบาลไทรงาม
ภูมิลำเนาเดิม	4 หมู่ที่ 7 หมู่บ้านหนองลวก ตำบลหนองแม่แตง อำเภอไทรงาม จังหวัดกำแพงเพชร 62150
ที่อยู่ปัจจุบัน	53/113 รังสิตคอนโค ถนนพหลโยธิน ซอยหงษ์สกุล ตำบลคลองหนึ่ง อำเภอกลองหลวง จังหวัดปทุมธานี
โทรศัพท์	902-0790-2 ต่อ 1113
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนหนองลวกราษฎร์บำรุง
มัธยมศึกษาตอนต้น	โรงเรียนไทรงามพิทยาคม
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคกำแพงเพชร
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	สถาบันเทคโนโลยีราชมงคล วิทยาเขตพระนครเหนือ
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
คติพจน์	กตัญญูกตเวที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อผู้ทำปฏิญานិพนธ์	นางสาวสุกัลยา ช่งลอยเลื่อน
วันเดือนปีเกิด	วันที่ 1 เมษายน พ.ศ. 2521
สถานที่เกิด	โรงพยาบาลจังหวัดพัทลุง
ภูมิลำเนาเดิม	282/1 หมู่ที่ 10 ตำบลนาปะขอ อำเภอบางแก้ว จังหวัดพัทลุง 93140
ที่อยู่ปัจจุบัน	1240/278 นิรันทรชิตีคอนโด ตึก B ซอยลาดพร้าว 101 แขวงคลองจั่น เขตบางกะปิ กรุงเทพมหานคร
โทรศัพท์	731-3675
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนวัดโรจนาราม
มัธยมศึกษาตอนต้น	โรงเรียนควนพระสาครินทร์
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคพัทลุง
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคหาดใหญ่
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
คติพจน์	ทำการสิ่งใด ความตั้งใจย่อมมาก่อนเสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อผู้ทำปริญญาบัตร

นายสุภาพ พงศ์พณิชอนันต์

วันเดือนปีเกิด

วันที่ 19 ตุลาคม พ.ศ. 2522

สถานที่เกิด

โรงพยาบาลหัวเฉียวเฉลิมพระเกียรติ

ภูมิลำเนาเดิม

9/27 หมู่ 2 ถนนรามอินทรา กม. 2 แขวงอนุสาวรีย์

เขตบางเขน กรุงเทพมหานคร 10220

ที่อยู่ปัจจุบัน

28/91 หมู่ 4 ซอยสุขาภิบาล 2 แขวงท่าแร้ง เขตบางเขน

กรุงเทพมหานคร 10220

โทรศัพท์

971-6707

ประวัติการศึกษา

ประถมศึกษา

โรงเรียนไทยนิยมสงเคราะห์

มัธยมศึกษาตอนต้น

โรงเรียนเซนต์จอห์น

ประกาศนียบัตรวิชาชีพ (ปวช.)

เซนต์จอห์น โปลิตีเทคนิค

ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)

สถาบันเทคโนโลยีราชมงคล วิทยาเขตพระนครเหนือ

ปริญญาตรี

สาขาวิชาวิศวกรรมโทรคมนาคม

ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

คติพจน์

ทำวันนี้ให้ดีที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้