สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบส่งข้อมูลดิจิตอล

DIGITAL TELEMETRY

โดย

นางสาวเบญจวรรณ อารยะนรากูล เลขประจำตัว 39014286

นายศตวรรษ เอียดสกุล เลขประจำตัว 39014503

นางสาวสกุลกานต์ บุญเรือง เลขประจำตัว 39014534

อาจารย์ที่ปรึกษา

อาจารย์ประภากร สุวรรณะ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน 36916
วัน, เดือน, ปี 29 ส.ค. 2543

ลิขสิทธิ์ของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์รายงานปีการศึกษา 2542

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบส่งข้อมูลดิจิตอล

ผู้จัดทำ

1.นางสาวเบญจวรรณ อารยะนรากูล เลขประจำตัว 39014286

2.นายศตวรรษ เอียดสกุล เลขประจำตัว 39014503

3.นางสาวสกุลกานต์ บุญเรือง เลขประจำตัว 39014534

.....อาจารย์ที่ปรึกษา

(อาจารย์ประภากร สุวรรณะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบส่งสัญญาณดิจิตอล

Digital Telemetry

จัดทำโดย

1.นางสาวเบญจวรรณ อารยะนรากูล เลขประจำตัว 39014286

2.นายศตวรรษ เอียดสกุล เลขประจำตัว 39014503

3.นางสาวสกุลกานต์ บุญเรือง เลขประจำตัว 39014534

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบส่งข้อมูลดิจิตอล

นางสาวเบญจวรรณ อารยะนรากูล รหัส 39014286
นายศตวรรษ เอียดสกุล รหัส 39014503
นางสาวสกุลกานต์ บุญเรือง รหัส 39014534
อาจารย์ประภากร สุวรรณะ อาจารย์ที่ปรึกษา
ปีการศึกษา 2542

บทคัดย่อ

ระบบการส่งข้อมูลดิจิตอล ที่ควบคุมการทำงานโดยไมโครคอนโทรเลอร์นี้ ได้นำ Digital Signal Processing Starter Kit เบอร์ TMS320C50 มาประยุกต์ใช้งานในด้านเทคนิคการส่งสัญญาณดิจิตอล และการมอดดูเลทสัญญาณดิจิตอลแบบ 8- phase shift keying (8-PSK) ซึ่งเป็นการนำสัญญาณดิจิตอลที่มีการส่งข้อมูลแบบอนุกรมมาเปลี่ยนให้เป็นข้อมูลแบบขนานขนาด 3 บิต มาทำการมอดดูเลทกับคลื่นพาหะที่มีความถี่ 2.4 กิโลเฮิร์ท สัญญาณที่ถูกมอดดูเลท แต่ละครั้งจะมีเฟสต่างกัน 45 องศา จากนั้นสัญญาณจะถูกส่งไปตามสายโทรศัพท์ ได้ไกลประมาณ 200 เมตร และมีความเร็วในการส่งสัญญาณ 5200 บิตต่อวินาที จากสัญญาณอนาลอกที่มีความถี่ต่ำตั้งแต่ 0 ถึง 200 เฮิร์ท และสัญญาณจะถูกดีมอดดูเลท โดยใช้ไมโครคอนโทรเลอร์ MCS-51 ควบคุมการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL TELEMETRY

Miss Benjawan Arayanarakul
Mr. Satawat Iadsakul
Miss Sakoolkan Boonruang
Mr. Prapakorn Suwanna Advisor

Abstract

Digital Telemetry ,controlled by a microcontroller , uses the Digital Signal Processing Starter Kit number TMS320C50 to transmit digital signals through a telephone line using 8– phase shift keying (8-PSK),a digital signal modulation. This will convert serial digital data to 3 bits parallel data for modulation with 2.4 kHz carrier signal. Each 8-PSK output signal shows 45 – degrees phase different. The capabilities of this project are not only the digital signal transmission with bit rate is 5,200 bit per second , but also shows longer range transmission (200 metre). The frequency of analog signal is between 0 and 200 Hz. In the receiver, the modulated signal is demodulated by using microcontroller MCS-51 as the main part of the controller.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	i
Abstract	ii
สารบัญ	iii
สารบัญตาราง	vi
สารบัญรูปภาพ	vii
บทที่1 บทนำ	1
บทที่2 Digital Signal Processor TMS320C50	3
2.1 สถาปัตยกรรม	3
2.1.1 หน่วยประมวลผลทางคณิตศาสตร์และตรรกศาสตร์กลาง	3
2.1.2 การจัดสรรหน่วยความจำภายใน	5
2.1.3 การควบคุมระบบ	8
2.1.4 อินเทอร์รัพท์	9
2.2 วงจรต่อพ่วง	11
บทที่3 ไมโครคอนโทรเลอร์ตระกูล MCS-51	14
3.1 คุณสมบัติของ MCS-51	14
3.2 โครงสร้างภายในของ MCS-51	15
3.2.1 โครงสร้างหน่วยความจำภายใน MCS-51	15
3.2.2 พอร์ตอินพุท/เอาท์พุท	20
บทที่4 ความรู้เบื้องต้นในการสื่อสาร	21
4.1 บทนำ	21
4.2 ข้อจำกัดและลักษณะการแทนข้อมูล	21
บทที่5 พื้นฐานระบบสื่อสาร	24
5.1 บทนำ	24
5.2 ระบบสื่อสาร	24
5.2.1 ระบบสื่อสารแบบอนาลอก	25
5.2.2 ระบบสื่อสารแบบดิจิตอล	27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		หน้า
	5.3 การสื่อสารข้อมูล	28
	5.4 การรับส่งข้อมูลแบบขนานและอนุกรม	28
	5.4.1 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม	30
	5.4.2 ลักษณะการส่งข้อมูลแบบอนุกรม	30
	5.5 คุณสมบัติของ Full Duplex และ Half Duplex	31
	5.5.1 Full Duplex และ Half Duplex	32
บทที่6	การมอดดูเลทสัญญาณแบบดิจิตอล	34
	6.1 บทนำ	34
	6.2 การมอดดูเลทสัญญาณดิจิตอล	34
	6.3 เฟสชิฟท์คีอิ้ง	34
	6.4 หลักการของไบนารี PSK มอดดูเลเตอร์ และดีมอดดูเลเตอร์	36
	6.5 Quadri PSK	39
	6.6 ลักษณะของ QPSK	44
บทที่7	การออกแบบและหลักการทำงาน	47
	7.1 บทนำ	47
	7.2 ภาคส่งสัญญาณ	47
	7.3 ภาครับสัญญาณ	52
บทที่8	ผลการทดลอง	57
	8.1 ทดสอบการทำงานของ AIC TLC32040	57
	8.2 ทดสอบการทำงานของ D/A ของภาคส่งสัญญาณ	58
	8.3 ทดสอบการทำงานของระบบส่งสัญญาณดิจิตอลโดยการป้อนสัญญาณอนาลอกไฟตรง	59
	8.4 ทดสอบการทำงานของระบบส่งสัญญาณดิจิตอลโดยการป้อนสัญญาณอนาลอกไฟกระแสสลับ	63
บทที่9	บทสรุป	68
	9.1 สรุปผลการทดลอง	68
	9.2 วิจารณ์ผลการทดลอง	68
	9.3 อุปสรรคและวิธีการแก้ปัญหา	68
	9.4 แนวทางในการพัฒนา	69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
บรรณานุกรม	70
กิตติกรรมประกาศ	71
ภาคผนวก	72

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 ตำแหน่งฐานของเบบโบรี่แบพรีจีสเตอร์	5
ตารางที่ 2.2 ค่าเวกเตอร์และลำดับความสำคัญของอินเทอร์รัพท์แต่ละชนิด	10
ตารางที่ 3.1 พื้นที่ที่ถูกใช้งานโดยรีจีสเตอร์ R0-R7	18
ตารางที่ 3.2 รีจีสเตอร์ใช้งานพิเศษ	19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่2.1 บล็อกไดอะแกรมของ TMS320C50	4
รูปที่2.2 การทำงานแบบไปป์ไลน์ 4 ระดับ	8
รูปที่2.3 บล็อกไดอะแกรมของพอร์ตอนุกรม	12
รูปที่2.4 บล็อกไดอะแกรมของ Timer	13
รูปที่3.1 แสดงโครงสร้างภายในของชิปไมโครคอนโทรเลอร์ตระกูล MCS-51	15
รูปที่3.2 แสดงโครงสร้างของหน่วยความจำทั้งหมดของ MCS-51	16
รูปที่3.3 การจัดพื้นที่หน่วยความจำภายใน	18
รูปที่3.4 หน่วยความจำภายในบริเวณที่อ้างถึงได้แบบบิต	19
รูปที่4.1 แสดงลักษณะที่ผิดพลาดไป	22
รูปที่4.2 แสดงลักษณะการส่งสัญญาณผ่านโมเด็ม	22
รูปที่5.1 ระบบสื่อสารพื้นฐาน	24
รูปที่5.2 แสดงแบบต่างๆของสื่อกลาง	25
รูปที่5.3 แสดงการกำหนดค่าความกว้างแถบ	25
รูปที่5.4 แสดงระหว่างสื่อสารแบบอนาลอก	26
รูปที่5.5 แสดงการสื่อสารทั้งแบบอนาลอกและแบบดิจิตอล	27
รูปที่5.6 แสดงการส่งข้อมูลผ่านโดยใช้รหัส	28
รูปที่5.7 การส่งข้อมูลแบบขนานและแบบอนุกรม	29
รูปที่5.8 Start Bit และ Stop Bit จะช่วยให้คอมพิวเตอร์แยกข้อมูลได้อย่างถูกต้อง	29
รูปที่5.9 การรับส่งข้อมูลแบบทางเดียวหรือ Simplex	31
รูปที่5.10 การรับส่งข้อมูลสวนทางกันได้แต่ผลัดกันส่งหรือ Half Duplex	32
รูปที่5.11 การรับส่งข้อมูลสวนทางกันได้พร้อมกันหรือ Full Duplex	33
รูปที่6.1 แสดงมุมเฟสของการส่งสัญญาณไบนารีครั้งละ 1 บิต	35
รูปที่6.2 สัญญาณดิจิตอล 2 บิต ที่จะส่งพร้อมกัน	35
รูปที่6.3 มุมเฟสของ Quadri PSK ในการส่งสัญญาณครั้งละ 2 บิต	35
รูปที่6.4 มุมเฟสของ PSK ในการส่งสัญญาณไบนารีครั้งละ 3 บิต	36
รูปที่6.5 เปรียบเทียบอัตราการผิดพลาดของบิตของ PSK แบบต่างๆ	36
รูปที่6.6 การส่ง รับสัญญาณดิจิตอล	37
รูปที่6.7 การบอดดูเลทสัญญาณดิจิตอล	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่6.8 การเปลี่ยนแปลงทางเฟสของคลื่นพาหะ 38
รูปที่6.9 การสร้างสัญญาณขึ้นใหม่ทางด้านรับ 38
รูปที่6.10 รหัส 4 คู่ของสัญญาณ QPSK 39
รูปที่6.11 Gray Code ที่ใช้ใน QPSK 39
รูปที่6.12 วงจรมอดดูเลท QPSK 40
รูปที่6.13 เปรียบเทียบเฟสของสัญญาณในช่องสัญญาณ P และ Q 41
รูปที่6.14 เวกเตอร์ผลลัพธ์ของสัญญาณ QPSK 42
รูปที่6.15 สัญญาณ QPSK ถูก Shift phase $\pi/4$ 42
รูปที่6.16 วงจรดีมอดดูเลทสัญญาณ QPSK 43
รูปที่6.17 การดีเทคสัญญาณ QPSK ออกเป็น BPSK 2 สัญญาณ 44
รูปที่6.18 keying speed ในการส่งสัญญาณ 45
รูปที่6.19 PSK เวกเตอร์ และ noise เวกเตอร์ 45
รูปที่6.20 เปรียบเทียบขนาดของ noise ball ที่ไม่ทำให้เกิดการผิดพลาดของบิต 46
รูปที่7.1 ฟล็อกไดอะแกรมแสดงลำดับการส่งและการรับสัญญาณ 47
รูปที่7.2 Flow Chart แสดงการทำงานของโปรแกรมภาคส่งสัญญาณ 51
รูปที่7.3 Flow Chart แสดงการทำงานของโปรแกรมภาครับสัญญาณ 54
รูปที่7.4 Flow Chart แสดงการทำงานย่อยของการคำนวณ 55
รูปที่7.5 Flow Chart แสดงการตรวจจับสัญญาณ sync 56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 รายละเอียดโดยย่อของงาน

ในปัจจุบันการสื่อสารข้อมูลมีความสำคัญอย่างมากต่อชีวิตประจำวัน โดยเฉพาะอย่างยิ่งการสื่อสารระหว่างคอมพิวเตอร์ที่ใช้โมเด็มผ่านโครงข่ายโทรศัพท์ ซึ่งทำให้เกิดแนวคิดที่จะศึกษาแนวทางในการส่งสัญญาณดิจิตอล ที่มีความเร็วในการส่งข้อมูล 5200 บิทต่อวินาที โดยส่งข้อมูลผ่านสายส่งสัญญาณ ที่มีความยาวประมาณ 200 เมตร ซึ่งอาศัยไมโครคอนโทรเลอร์ในการควบคุมการทำงาน ได้เริ่มจากการศึกษาข้อมูลเกี่ยวกับโมเด็มและการมอดดูเลชัน จากข้อมูลที่มีอยู่นั้นมีการมอดดูเลชันและดีมอดดูเลชันอยู่หลายวิธี แต่ในที่นี้ได้เลือกวิธีการมอดดูเลชันและดีมอดดูเลชันแบบ PSK (Phase Shift Keying) เนื่องจากไม่มีความซับซ้อนมากนัก และยังสามารถสร้างให้ได้ความเร็ว 5200บิทต่อวินาที ตามที่ต้องการด้วย นอกจากนี้ยังศึกษาการใช้งานของไมโครคอนโทรเลอร์ TMS 320C50 และ MCS-51 รวมทั้งออกแบบวงจรบางส่วนเพื่อให้สำเร็จตามวัตถุประสงค์ที่วางไว้

1.2 วัตถุประสงค์โครงงาน

1. เพื่อศึกษาและเรียนรู้การใช้งาน การส่งสัญญาณ Digital
2. เพื่อศึกษาและเรียนรู้คุณสมบัติต่างๆของระบบการมอดูเลทสัญญาณ แบบ 8 phase PSK
3. เพื่อศึกษาและเรียนรู้การประยุกต์ใช้งาน DIGITAL SIGNAL PROCESSING STARTER KIT NUMBER TMS 320 C50 เพื่อการนำส่งสัญญาณ Digital
4. เพื่อศึกษาและเรียนรู้การประยุกต์ใช้งาน ไมโครคอนโทรเลอร์ MCS-51 เพื่อควบคุมการทำงานภาคส่งสัญญาณ
5. สามารถออกแบบวงจรการส่งและรับสัญญาณ Digital ได้
6. สามารถสร้างวงจรต่างๆ และ ทดสอบคุณภาพของสัญญาณทั้งทางด้านส่ง และ ด้านรับได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 ขอบเขตของโครงงาน

เมื่อสิ้นสุดระยะเวลาดำเนินงานจะต้องได้รับสิ่งต่อไปนี้

1. ได้รับความรู้ และ แนวทางในการพัฒนา วิธีการมอดูเลชั่น และ ดีมอดูเลชั่น แบบ 8 phase PSK
2. ได้รับความรู้เกี่ยวกับการใช้งานไมโครคอนโทรเลอร์ TMS 320 C50 และ MCS-51
3. ส่วนของวงจรต่างๆ ทางด้านภาคส่ง และด้านภาครับ
4. รายงานเกี่ยวกับการศึกษาทดสอบคุณภาพของสัญญาณที่ส่ง

1.4 ประโยชน์หรือผลที่คาดว่าจะได้รับ

เนื่องจากในปัจจุบันนี้ เป็นยุคของโลกาภิวัฒน์ การสื่อสารข้อมูลจึงมีบทบาทสำคัญมาก มนุษย์จึงได้พยายามหาวิธีการที่จะทำให้เกิดการติดต่อสื่อสารข้อมูลที่สะดวก และ รวดเร็วที่สุด วิธีการหนึ่งก็คือ การส่งข้อมูลแบบดิจิตอล ซึ่งในโครงงานนี้ได้นำเสนอรูปแบบหนึ่งของการส่งข้อมูลแบบดิจิตอล เพื่อจะได้เป็นพื้นฐานในการเรียนรู้ ใช้เป็นความรู้ในการที่จะนำไปศึกษาเพื่อการออกแบบการส่งสัญญาณข้อมูล ที่มีประสิทธิภาพต่อไปในอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

Digital Signal Processing TMS320C50

ไมโครโปรเซสเซอร์ TMS320C50 เป็นไมโครโปรเซสเซอร์ 16 บิต ทำงานในแบบ fixed point ของบริษัท เท็กซัสอินสตรูเมนต์ ซึ่งมีคุณสมบัติเด่นๆดังนี้

- ทำงานได้ที่สัญญาณนาฬิกา 40 MHz หรือความเร็วในการประมวลผล 28 MIPS (Million Instruction Per Second)
- มี RAM ขนาด 9K x 16 bit และ ROM ขนาด 2K x 16 bit ภายในตัวไมโครโปรเซสเซอร์
- มี ALU และ ACC ขนาด 32 บิต
- มีหน่วยประมวลผลสำหรับการคูณขนาด 16 บิต
- มีหน่วยประมวลผลสำหรับการเลื่อนข้อมูล 0-16 บิต ทั้งทางซ้ายและทางขวา
- สามารถทำงานในคำสั่งคูณด้วยสัญญาณนาฬิกาเพียง 1 ไซเคิล
- มีพอร์ตอนุกรมแบบ full duplex 1 พอร์ต
- มีพอร์ตอนุกรมแบบ Time Division Multiple-Access (TDM) 1 พอร์ต

จากที่กล่าวมาข้างต้นเป็นเพียงคุณสมบัติเด่นบางข้อที่กล่าวถึงเท่านั้น ซึ่งจะเห็นได้ว่าไมโครโปรเซสเซอร์ TMS320C50 นี้มีความเร็วในการประมวลผลที่สูง และสามารถต่อใช้งานกับอุปกรณ์ภายนอกได้อย่างกว้างขวาง

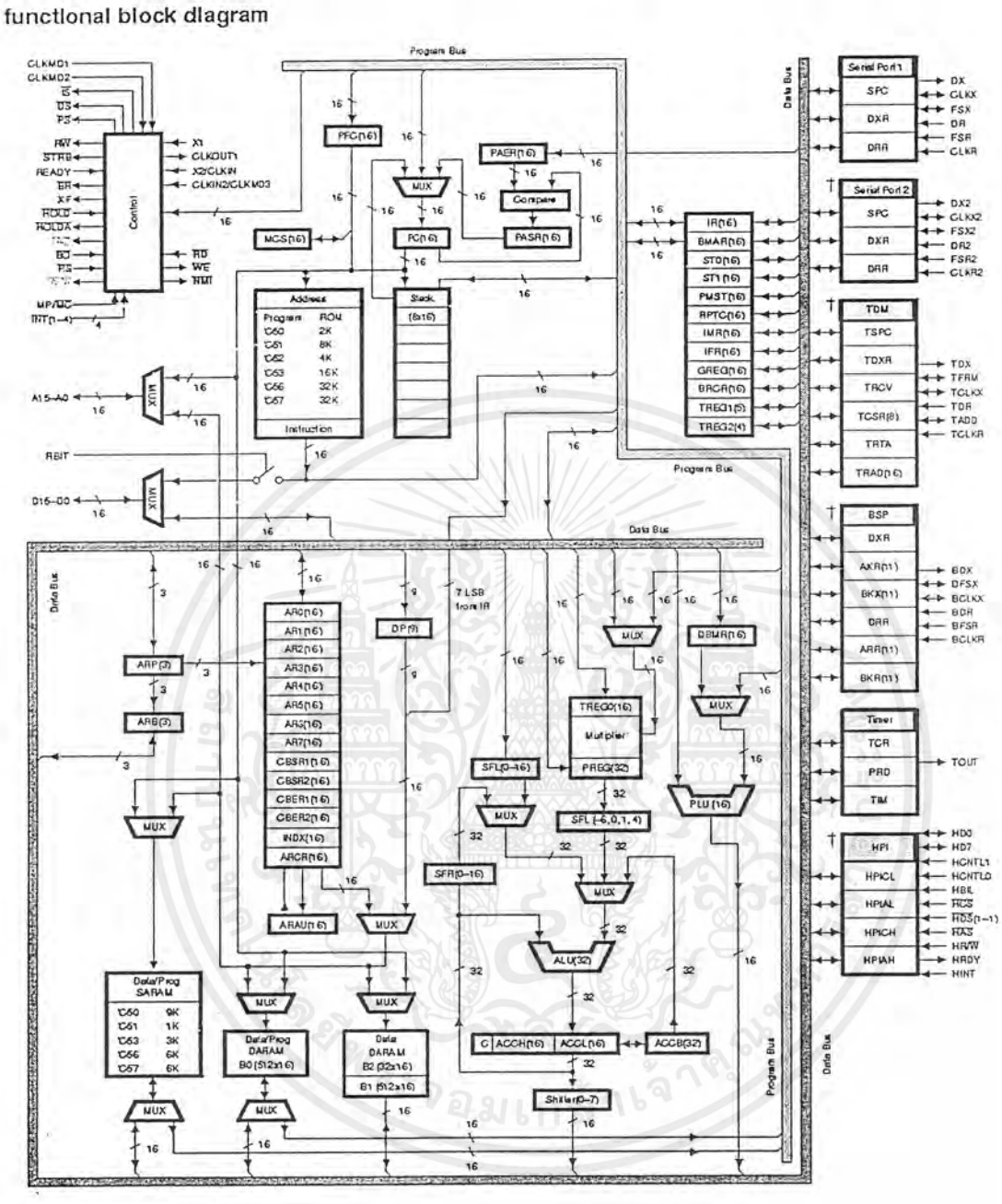
2.1 สถาปัตยกรรม (Architecture)

2.1.1 หน่วยประมวลผลทางคณิตศาสตร์และตรรกศาสตร์กลาง (Central Arithmetic Unit : CALU)

CALU เป็นส่วนสำคัญของการประมวลผลทั้งทางด้านคณิตศาสตร์และทางตรรกศาสตร์ ซึ่งประกอบด้วย

- ตัวเลื่อนข้อมูลขนาด 16 บิต (Scaling Shift)
- หน่วยประมวลผลทางคณิตศาสตร์และตรรกศาสตร์ ขนาด 32 บิต (Arithmetic Logic Unit : ALU)
- แอคคิวมูเลเตอร์ ขนาด 32 บิต (Accumulator : ACC)
- ตัวคูณแบบขนาด 16x16 บิต (Multiplier)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 บล็อกไดอะแกรมของ TMS320C50

อินพุทข้างหนึ่งของ ALU ต่ออยู่กับแอคคิวมูเลเตอร์ ในขณะที่อินพุทอีกข้างหนึ่งต่ออยู่กับ PREG ส่วนตัวเลื่อนข้อมูลสามารถรับข้อมูลได้จากตัวดาต้าแมมโมรี่ และจากแอคคิวมูเลเตอร์

ตัวเลื่อนข้อมูลมีเพียงขนาด 16 บิต รับอินพุทจากดาต้าบัส และส่งข้อมูลขนาด 32 บิตไปยัง ALU ข้อมูลจะถูกเลื่อนซ้ายได้ตั้งแต่ 0-16 บิต ตามค่าที่กำหนดไว้ในรีจีสเตอร์ TREG1 โดยบิต LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ถูกเลื่อนเข้ามาจะเป็นศูนย์ ในขณะที่บิต MSB ที่ถูกเลื่อนเข้ามาอาจจะเป็นบิตรเครื่องหมายหรือเป็นศูนย์ก็ได้ตามแต่จะกำหนด

ALU และ ACC ขนาด 32 บิต ถูกออกแบบมาให้ใช้งานได้อย่างกว้างขวาง คำสั่งหลักๆ สามารถประมวลผลเสร็จใน 1 ไซเคิล ข้อมูลที่ส่งเข้ามายัง ALU จะผ่านมาจากตัวเลื่อนข้อมูล และ PREG ดังนั้นจะเห็นได้ว่าข้อมูลจะถูกประมวลผลที่ซับซ้อนมากๆ ได้ในเวลาอันรวดเร็ว โดย ALU จะรับคำสั่งขนาด 16 บิตจากดาต้าเมมโมรี่ เอาท์พุทจาก ALU จะถูกส่งไปยัง ACC ซึ่งต่ออยู่กับ ACCB

ภายในไมโครโปรเซสเซอร์ TMS320C50 จะมีฮาร์ดแวร์ตัวคูณขนาด 16x16 บิต ซึ่งมีความสามารถในการคูณทั้งข้อมูลที่มีเครื่องหมาย และไม่มีเครื่องหมายได้ผลลัพธ์เป็นข้อมูล 32 บิต ในเวลาเพียง 1 แมชชีนไซเคิล โดยตัวคูณจะทำงานร่วมกับ Temporary Register ขนาด 16 บิต(TREG0) และ Product Register (PREG) นอกจากนั้นที่เอาท์พุทของตัวคูณยังมีตัวเลื่อนข้อมูลซึ่งสามารถกำหนดให้เลื่อนข้อมูลทุกๆครั้งที่นำข้อมูลออกได้

2.1.2 การจัดสรรหน่วยความจำภายใน

เมมโมรี่ภายในตัว TMS320C50 ถูกแบ่งย่อยออกเป็นเพจ แต่ละเพจมีขนาด 128 เวิร์ด มีจำนวนเพจทั้งหมด 512 เพจ โดยค่าที่ใช้ชี้เพจคือดาต้าเพจพอย์นเตอร์ (DP) มีขนาด 9 บิตเก็บอยู่ในรีจีสเตอร์ ST0

- **Memory-Mapped Register**

รีจีสเตอร์หลักของโปรเซสเซอร์ทั้งหมด 28 ตัว ถูกแมพอยู่ภายในเนื้อที่ของดาต้าเมมโมรี่เพจ 0 ดังตารางที่ 2.1

ตารางที่ 2.1 ตำแหน่งของเมมโมรี่แมพรีจีสเตอร์

รีจีสเตอร์	แอดแดรส		คำอธิบาย
	ฐานสิบ	ฐานสิบหก	
-	0 - 3	0 – 3	ไม่ใช้งาน
IMR	4	4	Interrupt mask Register
GREG	5	5	Global memory allocation register
IFR	6	6	Interrupt flag register
PMST	7	7	Processor mode status register
RPTC	8	8	Repeat counter register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีจีสเตอร์	แอดเดรส		คำอธิบาย
	ฐานสิบ	ฐานสิบหก	
BRCR	9	9	Block repeat counter register
PASR	10	A	Block repeat program address start register
PAER	11	B	Block repeat program address end register
TPEG0	12	C	Temporary register for multiplicand
TREG1	13	D	Temporary register for dynamic shift count
TREG2	14	E	Temporary register used as bit pointer in dynamic bit test
DBMR	15	F	Dynamic bit manipulation register
AR0	16	10	Auxiliary register zero
AR1	17	11	Auxiliary register one
AR2	18	12	Auxiliary register two
AR3	19	13	Auxiliary register three
AR4	20	14	Auxiliary register four
AR5	21	15	Auxiliary register five
AR6	22	16	Auxiliary register six
AR7	23	17	Auxiliary register seven
INDX	24	18	Index register
ARCR	25	19	Auxiliary register compare register
CBSR1	26	1A	Circular buffer 1 start address register
CBER1	27	1B	Circular buffer 1 end address register
CBSR2	28	1C	Circular buffer 2 start address register
CBER2	29	1D	Circular buffer 1 end address register
CBCR	30	1E	Circular buffer control register
BMAR	31	1F	Block move address register
-	32-79	20-4F	Memory-mapped peripheral register
-	80-95	50-5F	Memory-mapped I/O port0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- **เมมโมรี่แอดเดรสซิ่งโหมด**

การอ้างอิงเมมโมรี่ของตัว TMS320C50 สามารถอ้างอิงได้ทั้งหมด 8 แบบดังนี้

1. Direct Addressing Mode ค่า DP จำนวน 9 บิต เป็นตัวชี้หนึ่งใน 512 เพท โดยจะนำค่า data memory address (dma) จำนวน 7 บิต มาต่อกับค่า DP เป็นค่าแอดเดรสของข้อมูลที่อ้างถึง

2. Memory-Mapped Addressing Mode มีลักษณะคล้ายกับการอ้างแบบ Direct มาก แต่ต่างกันที่ค่า DP จะเป็นศูนย์ทุกบิต เพื่อชี้ไปยังเมมโมรี่รีจีสเตอร์ที่อยู่ในเพจ 0

3. Indirect Addressing Mode ค่าแอดเดรสที่อ้างคือค่าที่เก็บอยู่ใน Auxiliary Register ที่กำหนดไว้ ซึ่งจะถูกกำหนดโดย ARP

4. Short Immediate Mode ค่าของข้อมูลจะถูกกำหนดโดยตรง (ครบทั้ง 16 บิต) ที่ตำแหน่งหลังคำสั่งเป็นอีก 1 เวิร์ดข้อมูล

5. Long Immediate Mode ค่าของข้อมูลจะถูกกำหนดโดยตรง (ครบทั้ง 16 บิต) ที่ตำแหน่งหลังคำสั่งเป็นอีก 1 เวิร์ดข้อมูล

6. Register Access Mode ค่าแอดเดรสที่ได้จะเป็นการรวมกันของค่าใน DP และค่าที่ส่งมาจากรีจีสเตอร์ภายใน การอ้างอิงแอดเดรสแบบนี้ใช้ในลักษณะพิเศษเท่านั้น

7. Long Immediate Addressing Mode ค่าที่ต่อท้ายคำสั่งจำนวน 16 บิตจะเป็นค่าแอดเดรสที่อ้างอิงไปยังข้อมูลที่ต้องการ

8. Register Block Memory Addressing Mode การอ้างแอดเดรสแบบนี้จะคล้ายกับการอ้างแบบ Long Immediate แต่ค่าแอดเดรสจะได้มาจากรีจีสเตอร์ BMAR

- **รีจีสเตอร์ช่วย (Auxiliary Register)**

ในตัว TMS320C50 จะมีรีจีสเตอร์ช่วยเพื่อเพิ่มความสะดวกในการทำงานอยู่ 8 ตัว (AR0-AR7) โดยมันจะมีประโยชน์อย่างมากในการอ้างอิงแอดเดรสแบบ Indirect แต่ละตัวมีตำแหน่งในเมมโมรี่ดังตารางที่ 2.1

รีจีสเตอร์ทั้ง 8 มีขนาด 16 บิต โดยจะมีพอย์นเตอร์ชื่อ ARP ขนาด 3 บิต เป็นตัวชี้รีจีสเตอร์ช่วยที่เลือกจะใช้งาน ข้อเด่นอีกอย่างของรีจีสเตอร์ช่วยก็คือ รีจีสเตอร์ทั้ง 8 มีหน่วยประมวลผลแยกต่างหากจาก CALU ทำให้มันสามารถคำนวณตำแหน่งแอดเดรสได้ไปพร้อมๆ กับการทำงานของโปรแกรมหลัก ทำให้ไมโครโปรเซสเซอร์ตัวนี้มีความเร็วในการทำงานที่สูงขึ้นไปอีก

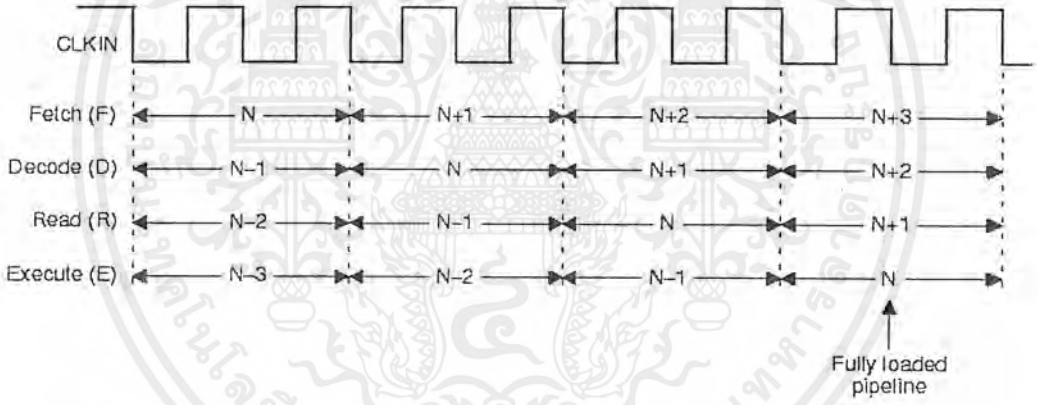
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 การควบคุมระบบ

- การทำงานแบบไปป์ไลน์ (Pipeline Operation)

TMS320C50 นอกจากจะมีความเร็วในการประมวลผลที่สูงจากความเร็วของสัญญาณนาฬิกาและความสามารถของ ALU ที่มีมากกว่า 1 ตัวแล้ว มันยังมีระบบการทำงานแบบไปป์ไลน์อีกด้วย

กล่าวคือการทำงานของทุกๆ คำสั่งจะถูกแบ่งออกเป็น 4 ส่วน คือ Fetch Decode Operand และ Execute โดยตัว TMS320C50 มีไปป์ไลน์ 4 ระดับ คือสามารถทำงาน 4 คำสั่ง ไปพร้อมๆ กันได้ หรืออธิบายได้ว่าในขณะที่คำสั่งแรกทำงานไปถึงส่วน Decode คำสั่งที่ 2 ก็จะถูก Fetch เข้ามา และในขณะที่คำสั่งแรกทำงานในขั้น Operand คำสั่งที่สองก็จะอยู่ที่ Decode คำสั่งที่ 3 ก็จะถูก Fetch เข้ามา และเมื่อคำสั่งแรกทำงานในขั้น Execute คำสั่งที่ 2 ก็จะอยู่ในขั้น Operand คำสั่งที่ 3 จะอยู่ที่ Decode คำสั่งที่ 4 ก็จะถูก Fetch เข้ามา



รูปที่ 2.2 การทำงานแบบไปป์ไลน์ 4 ระดับ

จากที่กล่าวมาข้างต้น จะเห็นได้ว่า TMS320C50 สามารถทำงานได้ถึง 4 คำสั่งพร้อมๆ กัน จึงทำให้ประสิทธิภาพในการทำงานของตัวไมโครโปรเซสเซอร์สูงมาก

- **Repeat Counter และ Block Repeat**

นอกจากการทำงานที่รวดเร็วแล้ว ตัว TMS320C50 ยังอำนวยความสะดวกให้แก่ผู้เขียนโปรแกรมด้วย เนื่องจากมันมีฮาร์ดแวร์ในการปฏิบัติคำสั่งซ้ำ ซึ่งจะแบ่งออกเป็น 2 อย่างคือ Repeat Counter และ Block Repeat

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Repeat Counter เป็นการปฏิบัติคำสั่งซ้ำตามจำนวนครั้งที่กำหนด โดยคำสั่งที่ปฏิบัติซ้ำนั้นเป็นคำสั่งเดี่ยว เราสามารถใช้ความสามารถนี้ผ่านทางคำสั่ง RPT หรือ RPTZ ซึ่งคำสั่งนี้โหลดจำนวนครั้งในการทำซ้ำไว้ในรีจีสเตอร์ RPTC ขนาด 16 บิต และในการทำงานแต่ละครั้งค่าภายในรีจีสเตอร์จะลดทีละหนึ่ง จนกระทั่งมีค่าเป็น 0 จึงหยุดการทำซ้ำ

Block Repeat มีลักษณะเหมือนกับ Repeat Counter แต่คำสั่งที่ปฏิบัติซ้ำจะเปลี่ยนจากคำสั่งเดียวเป็นชุดคำสั่ง กล่างคือเป็นการปฏิบัติชุดคำสั่งที่กำหนดตามจำนวนครั้งที่กำหนดคำสั่งเป็นการทำงานแบ Block Repeat คือ RPTB โดยมันจะต้องทำงานร่วมกับรีจีสเตอร์อีก 3 ตัว คือ PASR , PAER และ BRCR แต่ละตัวจะเก็บค่าที่ใช้ในการควบคุมการทำซ้ำคือ PASR จะเก็บตำแหน่งของคำสั่งแรกในบล็อกทำซ้ำ PAER เก็บตำแหน่งของคำสั่งสุดท้ายในบล็อก ส่วน BRCR จะเก็บค่าจำนวนครั้งที่ต้องทำซ้ำ

2.1.4 อินเทอร์รัพท์ (Interrupts)

- **รีเซ็ต (Reset)**

รีเซตเป็นนอนมาสก์เคเบิลอินเทอร์รัพท์จากภายนอกที่มีลำดับความสำคัญสูงสุด โดยสัญญาณรีเซตจะทำงานที่ Low เมื่อได้รับสัญญาณรีเซตจากภายนอก ตัวไมโครโปรเซสเซอร์จะทำการรีเซตตัวเอง ค่ารีจีสเตอร์ต่างๆ จะถูกโหลดด้วยค่าที่กำหนดจากโรงงาน (Default)

- **การทำงานของอินเทอร์รัพท์**

อินเทอร์รัพท์ต่างๆ ในตัว TMS320C50 จะมีตำแหน่งเวกเตอร์ที่ซีพียูกระโดดการทำงานเฉพาะของตัวมันเอง ซึ่งตำแหน่งเวกเตอร์นี้จะมีค่าแบบสัมพัทธ์ (Relative) กับค่า IPTR ขนาด 11 บิต ที่เก็บในรีจีสเตอร์ PMST กล่าวคือตำแหน่งเวกเตอร์จะเปลี่ยนไปตามค่าเพจจำนวน 2K ซึ่งกำหนดด้วยค่า IPTR

อินเทอร์รัพท์แต่ละตัวจะมีการเรียงลำดับความสำคัญ คือในกรณีที่มีการอินเทอร์รัพท์เข้ามาพร้อมกัน อินเทอร์รัพท์ที่มีความสำคัญมากกว่าจะได้รับการบริการก่อน แล้วเมื่อทำงานเสร็จแล้วอินเทอร์รัพท์ที่สำคัญน้อยกว่าจึงจะได้รับการบริการ ค่าเวกเตอร์และลำดับความสำคัญของอินเทอร์รัพท์แต่ละตัวแสดงดังตารางที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 ค่าเวกเตอร์และลำดับความสำคัญของอินเทอร์รัพท์แต่ละชนิด

ชื่อ	ตำแหน่ง		ลำดับความสำคัญ	อินเทอร์รัพท์
	ฐาน 10	ฐาน 16		
$\overline{RS}$	0	0	1(highest)	สัญญาณการรีเซตภายนอก
$\overline{INT1}$	2	2	3	อินเทอร์รัพท์ภายนอก 1
$\overline{INT2}$	4	4	4	อินเทอร์รัพท์ภายนอก 2
$\overline{INT3}$	6	6	5	อินเทอร์รัพท์ภายนอก 3
TINT	8	8	6	สัญญาณอินเทอร์รัพท์เวลาภายใน
RINT	10	A	7	สัญญาณอินเทอร์รัพท์การรับข้อมูลของพอร์ตอนุกรม
XINT	12	C	8	สัญญาณอินเทอร์รัพท์การส่งข้อมูลของพอร์ตอนุกรม
TRNT	14	E	9	สัญญาณอินเทอร์รัพท์การรับข้อมูลของ TDM พอร์ต
TXNT	16	10	10	สัญญาณอินเทอร์รัพท์การส่งข้อมูลของ TDM พอร์ต
$\overline{INT4}$	18	12	11	อินเทอร์รัพท์ภายนอก 4
	20-23	14-17	N/A	Reserved
	26-33	1A-21	N/A	Reserved
TRAP	34	22	N/A	Software Trap Instruction
$\overline{NMI}$	36	24	2	นอนมาสก์เคเบิลอินเทอร์รัพท์
	38-39	26-27	N/A	Reserved
	40-63	28-3F	N/A	Software Interrupts

เมื่อได้รับสัญญาณอินเทอร์รัพท์และซีพียูตอบรับสัญญาณอินเทอร์รัพท์นั้น ซีพียูจะทำงานในคำสั่งนั้นจนเสร็จ เก็บค่ารีจีสเตอร์ต่างๆ ลงสแตก จากนั้นจะกระโดดไปทำงานที่ตำแหน่งของโปรแกรมบริการอินเทอร์รัพท์ ซึ่งค่าตำแหน่งที่กระโดดจะได้จากการนำค่าเวกเตอร์ขนาด 5 บิต มาต่อกับค่า IPTR จำนวน 11 บิต

อินเทอร์รัพท์รีเซต และนอนมาสก์เคเบิล ซีพียูไม่สามารถปฏิเสธการอินเตอร์รัพท์ได้ แต่อินเทอร์รัพท์อื่นๆ สามารถควบคุมได้ว่าจะตอบรับอินเทอร์รัพท์นั้นๆ หรือไม่โดยกำหนดบิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTM และค่าในรีจีสเตอร์ IMR คือถ้าค่าบิต INTM เป็น 1 จะไม่รับการอินเทอร์รัพท์ แต่ถ้าเป็น 0 จะรับการอินเทอร์รัพท์ แต่ต้องกำหนดค่าในรีจีสเตอร์ IMR ให้ถูกต้องจึงจะบริการอินเทอร์รัพท์ได้ถูกต้อง

ค่าภายในรีจีสเตอร์ IMR แต่ละบิตจะกำหนดว่าจะเลือกตอบรับอินเทอร์รัพท์ชนิดใดบ้าง คือถ้าค่าที่ตำแหน่งบิตนั้นเป็น 1 จะตอบรับการอินเทอร์รัพท์ แต่ถ้าเป็น 0 จะไม่รับการอินเทอร์รัพท์ ซึ่งชนิดของการอินเทอร์รัพท์แต่ละชนิดกำหนดดังนี้

15 9	8	7	6	5	4	3	2	1	0
Reserve	$\overline{INT4}$	$\overline{TXTN}$	TRTN	XINT	RINT	TINT	$\overline{INT3}$	$\overline{INT2}$	$\overline{INT1}$

2.2 วงจรต่อพวง (Peripherals)

นอกจากความสามารถในการประมวลผลอันรวดเร็วแล้ว TMS320C50 ยังมีวงจรต่อพวง TMS320C50 อีกหลายอย่างเพื่อเพิ่มประสิทธิภาพของตัวไมโครโปรเซสเซอร์ ซึ่งอุปกรณ์ต่อพวงที่น่าสนใจที่จะกล่าวถึงคือ พอร์ตอนุกรม และไทม์เมอร์

- **พอร์ตอนุกรม (Serial Port)**

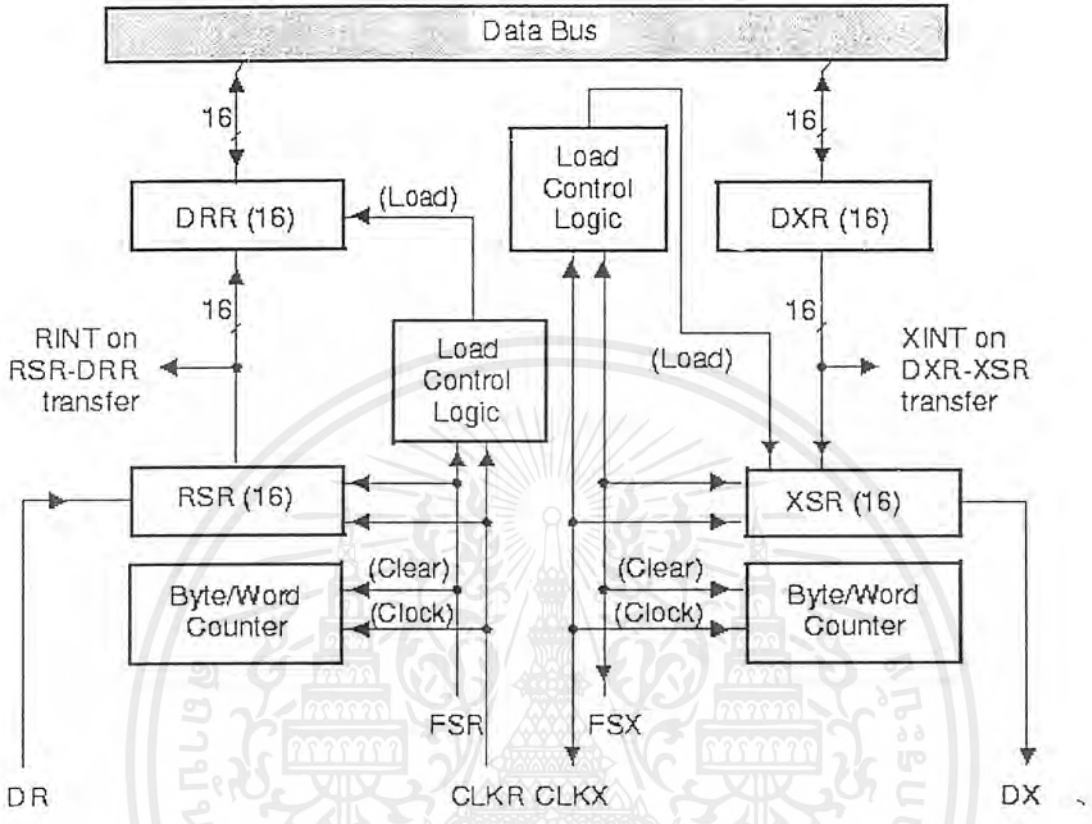
ภายในตัว TMS320C50 มีพอร์ตอนุกรมแบบฟูลดูเพลกซ์ (Full Duplex) อยู่จำนวน 1 พอร์ต ซึ่งมีประโยชน์อย่างมากในการติดต่ออุปกรณ์อื่นๆ แบบอนุกรม เช่น A/D แบบอนุกรม

บล็อกไดอะแกรมของพอร์ตอนุกรมเป็นดังรูปข้างล่าง

เมื่อต้องการส่งข้อมูลแบบอนุกรมจากตัว TMS320C50 ออกไปภายนอก ต้องทำการโหลดข้อมูลที่ต้องการส่งไปเก็บไว้ในรีจีสเตอร์ DXR (Data Transmit Shift Register) จากนั้นตัวซีพียูจะตรวจสอบว่ารีจีสเตอร์ XSR (Transmit Shift Register) ว่างอยู่หรือไม่ ถ้ารีจีสเตอร์ XSR ว่างอยู่ซีพียูจะคัดลอกข้อมูลจากรีจีสเตอร์ DXR ไปยัง XSR และเมื่อการคัดลอกเสร็จสิ้นก็จะส่งสัญญาณอินเทอร์รัพท์ XINT ไปยังตัวซีพียู แล้วรีจีสเตอร์ XSR ก็จะค่อยๆ เลื่อนข้อมูลที่ต้องการส่งออกไปทีละบิตจนหมด

แต่เมื่อต้องการรับข้อมูลจากภายนอกเข้ามาผ่านทางพอร์ตอนุกรม จะต้องอ่านข้อมูลจากรีจีสเตอร์ DRR (Data Receive Register) เนื่องจากเมื่อข้อมูลถูกส่งเข้ามายังไมโครโปรเซสเซอร์จะถูกเก็บไว้ที่รีจีสเตอร์ RSR (Receive Shift Register) ทีละบิตจนครบ 16 บิต แล้วจะตรวจสอบรีจีสเตอร์ DRR ว่าว่างอยู่หรือไม่ ถ้ารีจีสเตอร์ DRR ว่างอยู่ก็จะคัดลอกข้อมูลจากรีจีสเตอร์ RSR ไปยัง DRR แล้วส่งสัญญาณอินเทอร์รัพท์ RINT ไปบอกซีพียูว่าเรียบร้อยแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

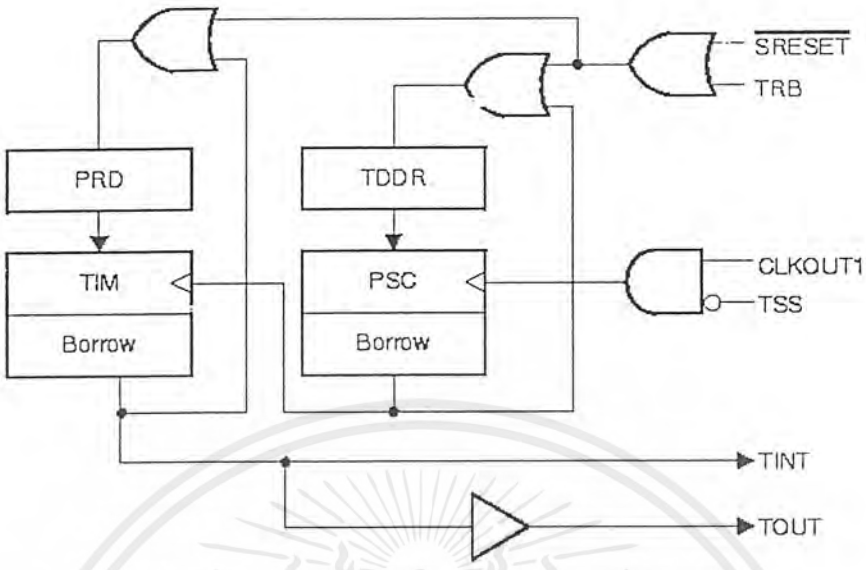


รูปที่ 2.3 บล็อกไดอะแกรมของพอร์ตอนุกรม

- **ไทม์เมอร์ (Timer)**

วงจรไทม์เมอร์มีประโยชน์อย่างมากสำหรับการทำงานที่ต้องอินเทอร์รัพท์ซีพียูเป็นคาบ (Periodic) ตัวไทม์เมอร์ของ TMS320C50 เป็นไทม์เมอร์แบบนับลง โดยค่าที่เก็บภายในตัวนับจะลดลง 1 ในทุกๆ คาบของสัญญาณ CLKOUT1 ซึ่งสามารถกำหนดได้เป็นอัตราส่วนกับสัญญาณนาฬิกาหลัก สามารถกำหนดได้สูงสุด 10 MHz เมื่อค่าในตัวนับลดลงจนกลายเป็นศูนย์จะเกิดสัญญาณอินเตอร์รัพท์ TINT ไปบอกซีพียูพร้อมๆ กับสร้าง TOUT ออกไปเพื่อควบคุมอุปกรณ์ภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 บล็อกไดอะแกรมของ Timer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ไมโครคอนโทรลเลอร์ตระกูล MCS-51

3.1 คุณสมบัติของ MCS-51

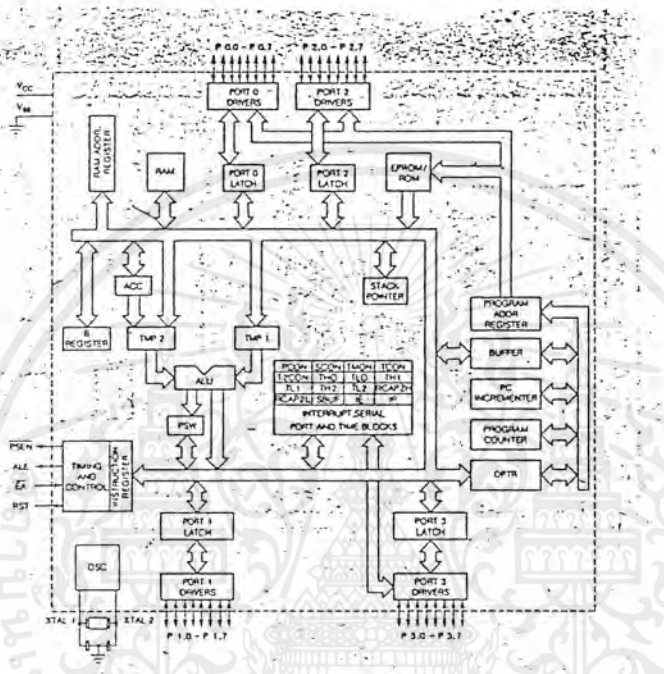
คุณสมบัติที่สำคัญของไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีดังนี้

- ต้องการแหล่งจ่ายไฟ 5 โวลต์ เพียงแหล่งเดียว
- มีหน่วยความจำสำหรับเก็บโปรแกรมควบคุมการทำงานอยู่ภายในชิปจำนวน 4 กิโลไบต์
- มีหน่วยความจำสำหรับเก็บข้อมูลทั่วไป (RAM) อยู่ภายในชิปจำนวน 128 ไบต์ (ใน เบอร์ 8031,8051) หรือ 256 ไบต์ (ในเบอร์ 8032,8052)
- สามารถใช้หน่วยความจำสำหรับโปรแกรมและข้อมูลที่อยู่ภายนอกชิปได้อย่างละ64 กิโลไบต์ แยกจากกัน
- คำสั่งส่วนใหญ่ใช้เวลาในการทำงานเพียง 1 ไมโครวินาที เมื่อใช้คริสตอลความถี่ 12 เมกะเฮิรตซ์
- มีพอร์ตที่สามารถรับหรือส่งข้อมูลได้ทั้งสองทิศทาง จำนวน 4 พอร์ต พอร์ตละ 8 บิต หรือสามารถใช้งานเป็นพอร์ตขนาด 1 บิต แยกจากกัน ทำให้เสมือนมีพอร์ตขนาด 1 บิตใช้งานรวมทั้งสิ้น 32 พอร์ต
- รับและส่งข้อมูลแบบอนุกรมได้ในตัว โดยสามารถกำหนดอัตราเร็วในการรับและส่งข้อมูล (baud rate) ได้ตั้งแต่ 300 ถึง 375 กิโลบิตต่อวินาที
- จัดลำดับความสำคัญของสัญญาณอินเตอร์รัปต์ได้ 2 ระดับ
- มีรีจิสเตอร์สำหรับใช้งาน ไทม์เมอร์หรือเคาร์เตอร์เพื่อนับจำนวนสัญญาณนาฬิกาภายในชิปหรือนับการเปลี่ยนสถานะของสัญญาณภายนอกขนาด 16 บิต จำนวน 2 ตัว เพื่อใช้สำหรับนับจำนวนพัลส์ วัดความกว้างของพัลส์หรือใช้วัดช่วงเวลา
- หน่วยความจำสำหรับเก็บข้อมูลภายในบางส่วนสามารถเข้าถึงข้อมูลได้ทั้งระดับไบต์และระดับบิตเพื่อให้การออกแบบโปรแกรมและการควบคุมระบบทำได้ง่ายขึ้น
- มีคำสั่งคูณและหารเลขขนาด 8 บิตในตัวเอง
- สามารถประมวลผลแบบบูลีนเพื่อใช้ในงานควบคุมโดยเฉพาะ
- ใช้โปรแกรมของไมโครคอนโทรลเลอร์ตระกูล MCS-48 ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 โครงสร้างภายในของ MCS-51

โครงสร้างภายในของชิปไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีดังแสดงในรูปที่ 3.1



รูปที่3.1 แสดงโครงสร้างภายในของชิปไมโครคอนโทรลเลอร์ตระกูล MCS-51

3.2.1โครงสร้างหน่วยความจำภายในMCS-51

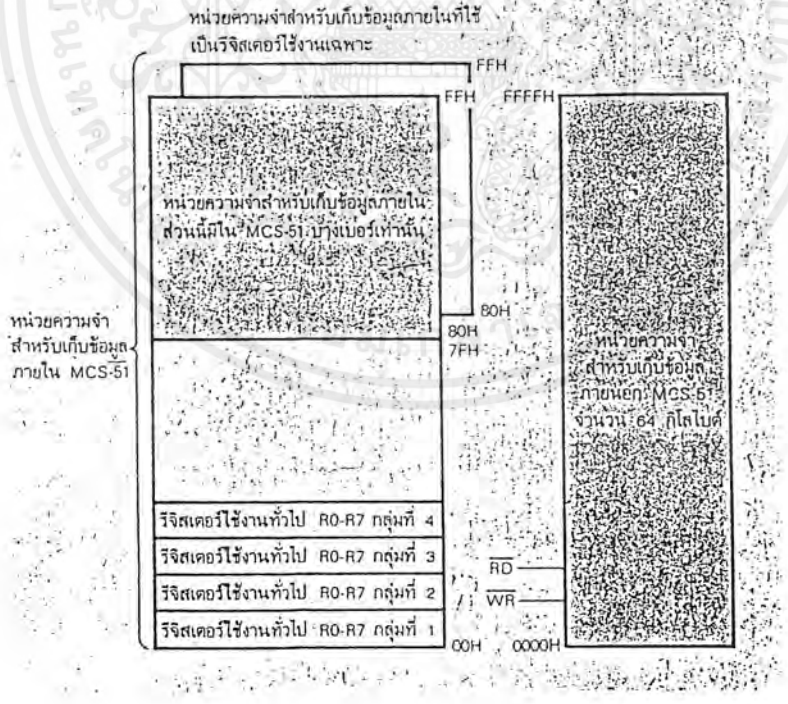
ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์จะแบ่งหน่วยความจำออกเป็นสองส่วน คือ

- หน่วยความจำสำหรับเก็บโปรแกรม(program memory)
- หน่วยความจำสำหรับเก็บข้อมูล (data memory)

หน่วยความจำสำหรับเก็บโปรแกรมจะเก็บโปรแกรมจะใช้เก็บโปรแกรมควบคุมการทำงานของชิป MCS-51บางเบอร์จะมีหน่วยความจำโปรแกรมภายในแต่บางเบอร์ไม่มี ทำให้เก็บหน่วยความจำไว้ภายนอกทั้งหมด ส่วนหน่วยความจำเก็บข้อมูลใช้สำหรับเก็บข้อมูลระหว่างการทำงาน MCS-51 ทุกเบอร์จะมีหน่วยความจำส่วนนี้ โครงสร้างหน่วยความจำทั้งหมดของMCS-51 แสดงดังรูปที่3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก.)หน่วยความจำสำหรับเก็บโปรแกรม



ข.) หน่วยความจำสำหรับเก็บข้อมูล

รูปที่3.2 แสดงโครงสร้างของหน่วยความจำทั้งหมดของMCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

หน่วยความจำสำหรับเก็บโปรแกรม

หน่วยความจำสำหรับเก็บโปรแกรมของ8051 เป็นบริเวณหน่วยความจำสำหรับเก็บข้อมูลและคำสั่งใช้งานต่าง ๆ ถึงแม้ว่าจะไม่มีการจ่ายกระแสไฟฟ้าให้กับระบบ ข้อมูลเหล่านี้ก็ยังไม่สูญหาย โครงสร้างหน่วยความจำโปรแกรมมีลักษณะเช่นเดียวกับหน่วยความจำที่บรรจุอยู่ในไอซีหน่วยความจำประเภทต่างๆ เช่น หน่วยความจำแบบรอม หรืออีพรอม เป็นต้น

8051 สามารถอ่านข้อมูลหน่วยความจำโปรแกรมได้สูงสุดไม่เกิน 64 กิโลไบต์ และแยกประเภทของหน่วยความจำโปรแกรมเป็น 2 ลักษณะ ตามตำแหน่งของหน่วยความจำนั้น คือหน่วยความจำโปรแกรมภายใน ซึ่งเป็นหน่วยความจำรอม หรืออีพรอมที่อยู่ภายในตัวไอซีไมโครคอนโทรลเลอร์ และหน่วยความจำภายนอกซึ่งเป็นการใช้ไอซีหน่วยความจำทำหน้าที่เป็นหน่วยความจำโปรแกรมของระบบ

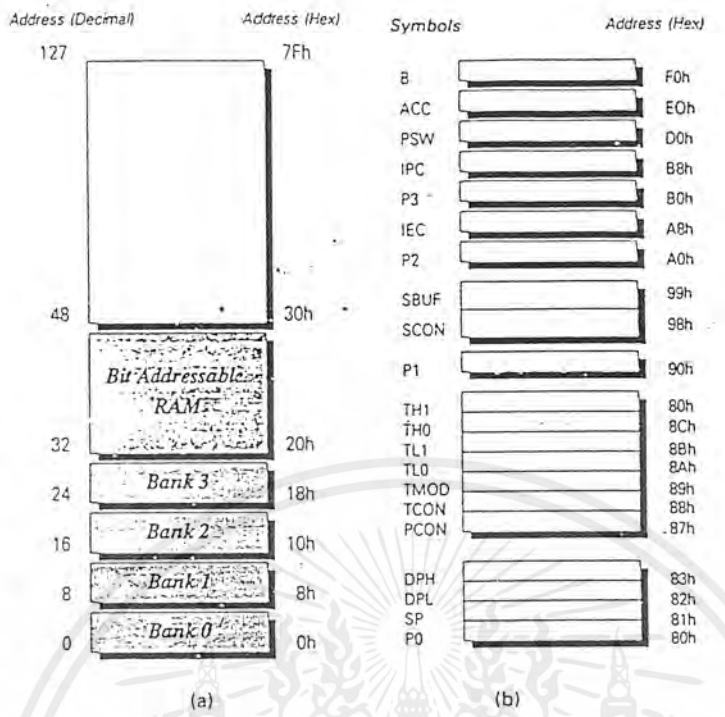
หน่วยความจำสำหรับเก็บข้อมูล

หน่วยความจำข้อมูลมีหน้าที่สำหรับเก็บข้อมูลหรือตัวแปรที่เกิดขึ้นในขณะที่กำลังประมวลผลโปรแกรมไว้เป็นชั่วคราว โดยพื้นฐานแล้วหน่วยความจำข้อมูลจัดเป็นหน่วยความจำแรมแบบสแตติก ดังนั้น เมื่อไม่มีการจ่ายไฟฟ้าให้กับระบบ ก็จะมีผลทำให้ข้อมูลที่จัดเก็บไว้ภายในหน่วยความจำนี้สูญหายไป พื้นที่หน่วยความจำข้อมูลของ8051 สามารถมีได้สูงสุดไม่เกิน 64 กิโลไบต์ และแยกประเภทออกเป็นสองลักษณะตามตำแหน่งที่ตั้งของหน่วยความจำนั้น คือหน่วยความจำข้อมูลภายใน ซึ่งเป็นแรมที่อยู่ภายในตัวไอซีไมโครคอนโทรลเลอร์ และหน่วยความจำข้อมูลภายนอก ซึ่งเป็นการใช้ไอซีหน่วยความจำแรมเพิ่มเติม

หน่วยความจำภายในของ 8051 มีจำนวนทั้งหมด 256 ไบต์ โดยจำแนกออกได้เป็นสองลักษณะ คือพื้นที่เฉพาะสำหรับตัวประมวลผลกลางใช้งานเท่านั้น หรือรีจิสเตอร์ และพื้นที่ใช้งานทั่วไปสำหรับโปรแกรมใช้งานที่ผู้ใช้สร้างขึ้นมา

รูปที่3.3 แสดงการจัดสรรพื้นที่ของหน่วยความจำภายใน 8051 หน่วยความจำขนาด 128 ไบต์แรกจะมีแอดเดรสอยู่ภายในช่วง 00H – 7FH จำนวน 32 ไบต์ จำแนกออกเป็นกลุ่มหรือแบงค์ ข้อมูลจำนวน 8 ไบต์ รวมทั้งหมด 4 กลุ่ม พื้นที่ข้อมูลในแต่ละกลุ่มจะถูกใช้งานในฐานะของรีจิสเตอร์ใช้งานทั่วไป ซึ่งมีชื่อเรียกว่า R0-R7 ดังตารางที่3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
36916



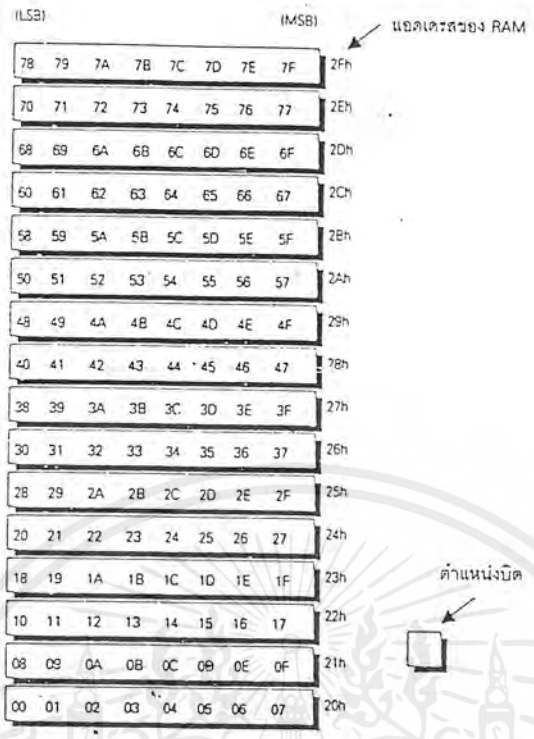
รูปที่3.3 การจัดพื้นที่หน่วยความจำภายใน

ตารางที่3.1 พื้นที่ที่ถูกใช้งานโดยรีจิสเตอร์ R0-R7

แอดแดรส	รีจิสเตอร์	ชื่อรีจิสเตอร์
00H-07H	0	R0-R7
08H-0FH	1	R0-R7
10H-17H	2	R0-R7
18H-1FH	3	R0-R7

บริเวณแอดแดรส 20H-2FH จำนวน 16 ไบต์ บริเวณพื้นที่เป็นส่วนสำหรับผู้ใช้ซึ่งจะมีความสามารถพิเศษต่างไปจากหน่วยความจำส่วนอื่นๆเนื่องจากผู้ใช้อาจสามารถอ้างถึงหน่วยความจำบริเวณนี้ได้ทั้งในลักษณะของไบต์ข้อมูลเช่นปกติ หรืออาจจะเป็นบิตข้อมูลได้ โดยหากมองในลักษณะบิตข้อมูลจะมีพื้นที่ตัวแปรแบบบิตให้ใช้งานได้มากถึง 128 บิต โดยตำแหน่งแรกของบิตซึ่งเริ่มต้นจากบิตนัยสำคัญต่ำสุดของแอดแดรส 20H เรื่อยไปจนกระทั่งถึงบิตที่ 127 ซึ่งเป็นบิตนัยสำคัญสูงสุดของแอดแดรส 2FH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.4 หน่วยความจำภายในบริเวณที่อ้างถึงได้แบบบิต

บริเวณแอดเดรส 30H-7FH เป็นบริเวณที่สามารถนำไปใช้งานได้อย่างอิสระ

หน่วยความจำขนาด 128 ไบต์ ถัดไปจะมีพื้นที่ตั้งแต่แอดเดรส 80H-FFH เป็นบริเวณของหน่วยความจำที่มีการใช้งานเฉพาะจาก 8051 เท่านั้น โดยนำมาเป็นตำแหน่งของรีจิสเตอร์หน้าที่เฉพาะ จำนวน 20 ตำแหน่ง ดังตารางที่3.2

ตารางที่3.2 รีจิสเตอร์ใช้งานพิเศษ

รีจิสเตอร์	คำจำกัดความ	ความสามารถในการอ้างแบบบิต
ACC	Accumulator	ได้
B	B Register	ได้
PSW	Program Status Word	ได้
SP	Stack Pointer	ได้
DPTR	Data Pointer	ได้
P0	Port 0	ได้
P1	Port 1	ได้
P2	Port 2	ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีจิสเตอร์	คำจำกัดความ	ความสามารถในการอ้างแบบบิต
IP	Interrupt Piority	ได้
IE	Interrupt Enable	ได้
TMOD	Timer/Countert mode	ไม่ได้
TCON	Timer/Countert control	ได้
TH0	Timer/Countert 0(high)	ไม่ได้
TL0	Timer/Countert 1(low)	ไม่ได้
TH1	Timer/Countert 0(high)	ไม่ได้
TL1	Timer/Countert 1(low)	ไม่ได้
SCON	Serial control	ไม่ได้
SBUF	Serial data buffer	ไม่ได้
PCON	Power control	ไม่ได้

3.2.2 พอร์ตอินพุท/เอาท์พุท

MCS-51 ทุกเบอร์จะมีพอร์ตขนาด 8 บิต จำนวน 4 พอร์ต(P0,P1,P2,P3) โดยสามารถกำหนดให้ทำงานแบบพอร์ตขนานขนาด 8 บิต 4 พอร์ต หรือจะใช้เป็นพอร์ตขนาด 1 บิตได้ถึง 32 พอร์ตทั้งนี้ผู้ใช้ยังสามารถกำหนดให้แต่ละพอร์ตใช้งานเป็นอินพุทพอร์ตหรือเอาท์พุทพอร์ตอย่างใดอย่างหนึ่งได้อย่างอิสระ

ในกรณีที่ผู้ออกแบบต้องใช้หน่วยความจำภายนอก ไม่ว่าจะเป็นหน่วยความจำสำหรับเก็บข้อมูลหรือสำหรับโปรแกรม พอร์ต 0 จะถูกกำหนดการใช้งานเป็นดาต้าบัสและแอดแดรสบัสไบต์ต่ำ ส่วนพอร์ต 2 จะถูกกำหนดการใช้งานเป็นตัวส่งค่าแอดแดรสบัสไบต์สูง และบางส่วนของพอร์ต 3 จะถูกใช้ส่งสัญญาณควบคุมบัส แต่หากหน่วยความจำที่ใช้ภายนอกต้องการไม่ถึง 64 กิโลไบต์ พอร์ต 2 ที่ใช้แอดแดรสบัสไบต์สูงจะไม่ถูกนำมาใช้หมด แต่พอร์ต 0 จะถูกใช้หมดทั้ง 8 เส้น เพราะต้องใช้เป็นดาต้าบัส ส่วนพอร์ต 3 จะนำมาใช้ติดต่อกับหน่วยความจำหรือไม่นั้นขึ้นอยู่กับหน่วยความจำที่ใช้ภายนอกว่ามีหน่วยความจำที่ใช้เก็บข้อมูลหรือไม่

พอร์ต 3 นอกจากจะใช้ส่งสัญญาณสำหรับการอ่านหรือเขียนข้อมูลในการติดต่อกับหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิปแล้ว ยังถูกใช้เป็นตัวรับสัญญาณอินเตอร์รัปต์ (INT0,INT1) สัญญาณอินพุทที่ต้องการนับสำหรับเคาน์เตอร์ (T0,T1) รวมทั้งใช้ในการติดต่อสื่อสารข้อมูลแบบอนุกรมกับอุปกรณ์ภายนอก (รับและส่งข้อมูลผ่านขา RXD,TXD)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ความรู้เบื้องต้นในการสื่อสาร

4.1 บทนำ

ในชีวิตประจำวันของเรานั้น การติดต่อสื่อสารนับว่ามีความสำคัญมาก ไม่ว่าจะเป็นการสื่อสารระหว่างมนุษย์ด้วยกัน การติดต่อสื่อสารทางธุรกิจการค้า การติดต่อข่าวสารระหว่างประเทศรวมทั้งการติดต่อสื่อสารระหว่างมนุษย์กับเครื่องอำนวยประโยชน์ต่างๆ เช่น คอมพิวเตอร์ได้เข้ามามีบทบาทอย่างมากในการอำนวยความสะดวกให้มนุษย์เรา โดยเฉพาะไมโครคอมพิวเตอร์ ฉะนั้นถ้าเราสามารถติดต่อสื่อสารเชื่อมโยงระหว่างคอมพิวเตอร์หรืออุปกรณ์สื่อสารอื่นๆ เพื่อการให้ข่าวสาร การและเปลี่ยนข้อมูลซึ่งกันและกันได้ก็จะเป็นการเพิ่มประสิทธิภาพของการสื่อสาร และการใช้งานเครื่องคอมพิวเตอร์ให้มีคุณค่าเพิ่มขึ้นอีกด้วยซึ่งการส่งข้อมูลนี้เรียกกันโดยทั่วไปว่า การสื่อสารข้อมูล หรือ Data Communication นอกจากนี้ยังได้มีการปรับปรุงการติดต่อให้เป็นเครือข่ายอีก เพื่อการใช้งานของอุปกรณ์ที่มีราคาแพง และหายากให้มีประสิทธิภาพ หรือให้มีประโยชน์สูงสุดซึ่งระบบนี้ เรียกว่าระบบ network

ข้อมูลที่ใช้ในเครื่องคอมพิวเตอร์นั้นเป็นสัญญาณดิจิตอล ซึ่งการติดต่อซึ่งกันและกันในระยะทางไกลๆนั้นจะทำได้ 2 วิธีดังนี้

- ส่งสัญญาณดิจิตอลเลย ซึ่งการส่งสัญญาณโดยวิธีนี้จะต้องมีสายส่งพิเศษซึ่งมีราคาสูงมาก
- ส่งสัญญาณโดยการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกก่อนส่ง วิธีนี้จะทำได้ง่ายและประหยัดขึ้น เพราะสายส่งสัญญาณไม่จำเป็นต้องมีแบนด์วิธสูงมากเหมือนการส่งสัญญาณดิจิตอล และการส่งสัญญาณนี้จะทำการส่งโดยใช้สายโทรศัพท์เป็นสายส่งได้ เพราะระบบโทรศัพท์มีเครือข่ายอยู่แล้วอย่างกว้างขวางทำให้ลดค่าใช้จ่ายด้วยสายส่งข้อมูล และการติดตั้งสายส่ง

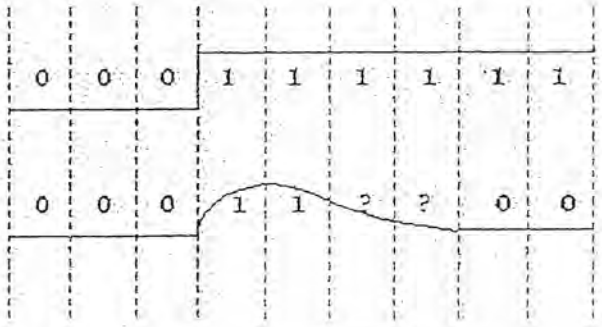
4.2 ข้อจำกัดและลักษณะการแทนข้อมูล

การใช้สายโทรศัพท์ มีข้อจำกัดอยู่สำหรับสัญญาณที่เราจะส่งออกไปทางสายโทรศัพท์นั้นถูกออกแบบมาเพื่อใช้นำสัญญาณในช่วงของความถี่เสียง ซึ่งมีความถี่ระหว่าง 300 – 3000 Hz ถ้าเราต่อสัญญาณดิจิตอลจากภาคส่งเข้าสายโทรศัพท์โดยตรง ทางภาครับจะได้สัญญาณที่มีลักษณะผิดเพี้ยนไปดังรูปที่4.1

จากรูปจะเห็นว่าสัญญาณที่เราเป็นลอจิก 1 เมื่อถึงด้านรับอาจจะกลายเป็นลอจิก 0 หรืออาจจะไม่ใช่ลอจิก 0 และ 1 ก็ได้ ในทางคณิตศาสตร์แล้วสัญญาณรูปสี่เหลี่ยมอาจพิจารณาได้ว่าเป็นสัญญาณในรูป sinusoidal ความถี่เท่ากันและรวมด้วยสัญญาณ sinusoidal ที่มีขนาดต่างกันที่ฮาร์โมนิคต่างๆกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สาเหตุจากแบนด์วิธของสายโทรศัพท์นั่นเองที่เอาฮาร์โมนิคต่างๆออกไป จึงทำให้สัญญาณรูปสี่เหลี่ยมไม่เป็นรูปสี่เหลี่ยมอีกต่อไป



รูปที่4.1 แสดงลักษณะที่ผิดพลาดไป

จากสาเหตุที่กล่าวมาแล้ว จึงจำเป็นที่จะต้องเปลี่ยนสัญญาณให้อยู่ในรูปแบบที่เหมาะสม ที่จะส่งผ่านไปตามสายโทรศัพท์ได้ โดยการนำไปแฝงไว้ในสัญญาณพาหะ(carrier) วิธีการนี้เรียกว่า การปรับสัญญาณให้เหมะสม(modulate) สำหรับสัญญาณที่จะใช้เป็นพาหะได้ดีในการสื่อสารด้วยโทรศัพท์ก็คือ สัญญาณรูปซายน์ กระบวนการที่นำสัญญาณดิจิตอลที่จะแฝงเข้าไปในสัญญาณพาหะเรียกว่า "modulation" เมื่อสัญญาณไปตามสายส่งจนถึงผู้รับแล้ว ทางภาครับจะมีกระบวนการถอดสัญญาณดิจิตอลออกมาจากสัญญาณพาหะที่เรียกว่า "demodulation"

กระบวนการทั้งสองที่กล่าวข้างต้น สามารถใช้อุปกรณ์ชนิดหนึ่งซึ่งก็คือ โมเด็ม(MODEM) โดยที่คำว่า MODEM เป็นคำที่นำส่วนหนึ่งของคำสองคำมาประกอบกัน คือคำว่า modulator กับ demodulator ดังนั้น MODEM ก็คืออุปกรณ์ที่ทำหน้าที่ได้สองหน้าที่คือ modulation และ demodelation

รูปที่4.2 แสดงลักษณะการส่งสัญญาณผ่านโมเด็ม

จากรูปที่4.2 เป็นการเชื่อมโยงเทอร์มินอลกับคอมพิวเตอร์แบบจุดต่อจุด โดยใช้การสื่อสารผ่านทางโมเด็ม ตามรูปเทอร์มินอลจะส่งสัญญาณผ่านเข้าสู่โมเด็ม A ซึ่งทำหน้าที่ modulate สัญญาณดิจิตอลลงบนสัญญาณพาหะ แล้วส่งผ่านไปตามสายโทรศัพท์จนถึงโมเด็ม B ซึ่งจะรับและทำการถอดสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิตอลออกจากสัญญาณพาหะแล้วจึงส่งสัญญาณดิจิตอลเข้าสู่เครื่องคอมพิวเตอร์อีกต่อหนึ่ง การทำงานของโมเด็มอาจเป็นสาเหตุให้การส่งสัญญาณดิจิตอลล่าช้าขึ้นบ้าง แต่ก็ช่วยทำให้สามารถส่งสัญญาณดิจิตอลไปในระยะทางไกลๆ ได้เป็นผลสำเร็จ

โมเด็มมีด้วยกันมากมายหลายรูปแบบและประเภทการทำงานของโมเด็ม เดิมทีนั้นโมเด็มถือว่าเป็นอุปกรณ์ชิ้นหนึ่งภายในข่ายการสื่อสารที่สามารถแยกออกได้ แต่ในปัจจุบันมีเครื่องเทอร์มินอลบางชนิดที่ติดโมเด็มไว้ภายในเครื่องเทอร์มินอลเลย ซึ่งนับว่าเป็นการพัฒนาการติดต่อสื่อสารระหว่างคอมพิวเตอร์อีกระดับหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
พื้นฐานระบบสื่อสาร

5.1 บทนำ

ระบบสื่อสาร (communication system) มีความหมายกว้างขวาง การส่งข่าวสารทางสาย ก็เป็นชนิดของระบบสื่อสาร โดยพื้นฐานแล้วระบบสื่อสารจะประกอบด้วยส่วนใหญ่ๆ 3 ส่วนคือ

1. ตัวส่งข่าวสาร (transmitter)
2. ตัวกลางในการส่งข่าวสาร (medium)
3. ตัวรับข่าวสาร (receiver)

แต่ละส่วนมีความสัมพันธ์กันดังรูปที่5.1

รูปที่5.1 ระบบสื่อสารพื้นฐาน

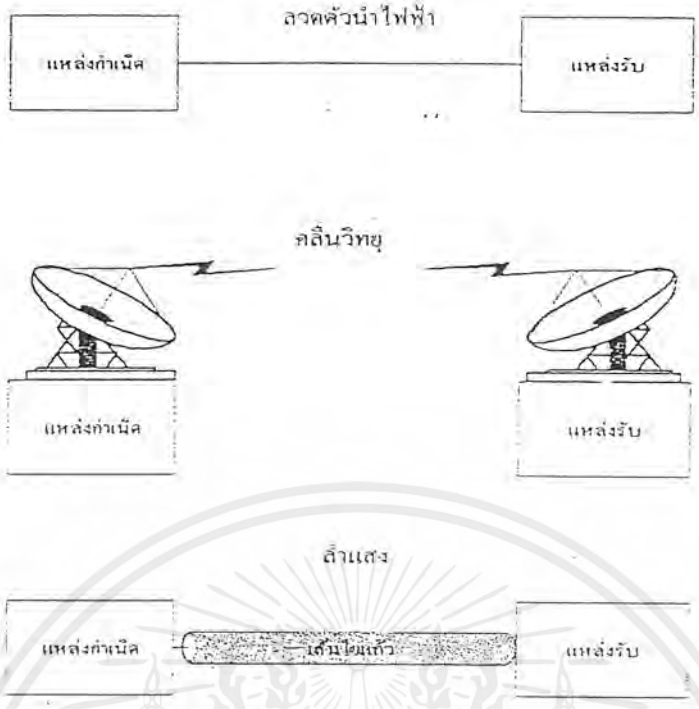
5.2 ระบบสื่อสาร

ก่อนจะกล่าวถึงระบบสื่อสาร ขอกล่าวถึงสื่อกลางของการสื่อสารว่าสามารถมีหลายรูปแบบ โดยเฉพาะในงานโทรคมนาคม เราใช้สื่อกลางเป็นลวดตัวนำ หรือคลื่นวิทยุก็ได้ ดังรูปที่ 5.2

ที่นี้จะกล่าวถึงระบบสื่อสารในความหมายทางโทรคมนาคม เราสามารถแบ่งชนิดของระบบสื่อสารได้ 2 แบบตามลักษณะสัญญาณที่ใช้ในระบบคือ

- แบบสัญญาณอนาลอก เช่น เสียงพูด
- แบบสัญญาณดิจิตอล เช่น เลขฐานสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

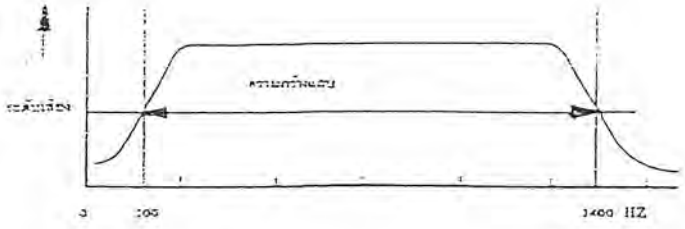


รูปที่5.2 แสดงแบบต่างๆของสื่อกลาง

5.2.1 ระบบสื่อสารแบบอนาลอก

สิ่งที่ใช้พิจารณาถึงขีดความสามารถของระบบนี้คืออัตราส่วนของสัญญาณหลักต่อสัญญาณรบกวน หรือค่า S/N โดยที่ ถ้าค่า S/N สูง แสดงว่าระบบมีประสิทธิภาพดี และถ้าค่า S/N ต่ำ แสดงว่าระบบมีประสิทธิภาพไม่ดี นอกจากนี้ยังพิจารณาขีดความสามารถของระบบจาก ค่าความกว้างแถบ (band width)

ค่าความกว้างแถบ หมายถึง ช่วงความถี่ที่คลอบคลุมกำลังงานส่วนมาก (ต่อความต้องการของสัญญาณที่สนใจ) หรือช่วงความถี่ที่มีอัตราขยายหรือค่าลดทอนเพียงเล็กน้อยในช่วงกลางๆของความกว้างแถบ โดยทั่วไปมักกำหนดขอบเขตของความกว้างแถบที่จุด 3 dB หรือครึ่งหนึ่งของกำลังงานสูงสุด ดังรูปที่5.3 ที่แสดงค่าความกว้างแถบของสัญญาณเสียง ซึ่งมีค่าความกว้างแถบเท่ากับ 3000Hz (เลือกที่จุด 3dB)

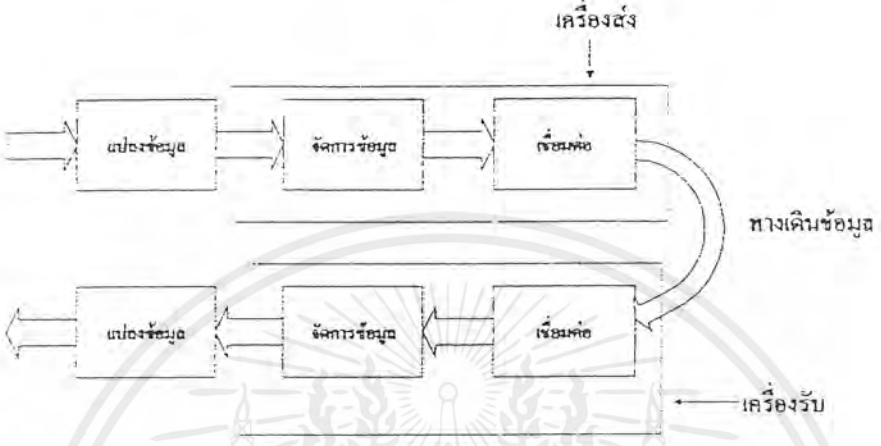


รูปที่5.3 แสดงการกำหนดค่าความกว้างแถบ

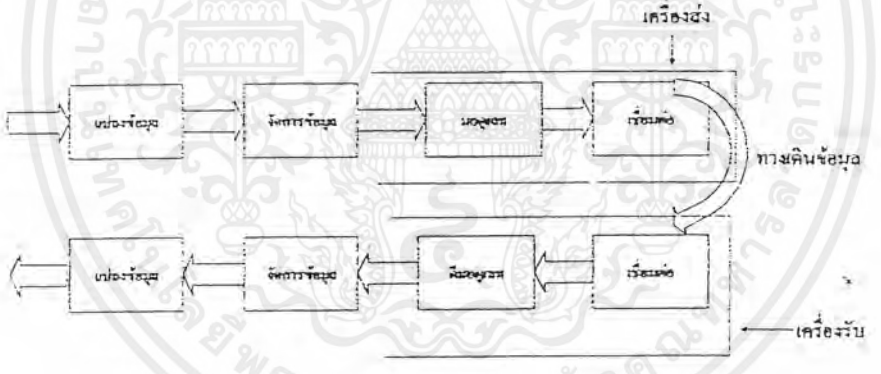
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เห็นได้ว่ากรณีที่ช่องสัญญาณติดต่อ มีความกว้างแถบไม่เพียงพอต่อสัญญาณที่เราสนใจอยู่ ทำให้สัญญาณไม่สามารถส่งผ่านได้หมด เราเรียกลักษณะการเกิดนี้ว่าความเพี้ยน (distortion)

เมื่อถึงจุดนี้ ขอให้ลองพิจารณาระบบสื่อสารแบบอนาลอก ในรูปที่5.4 ซึ่งมีการทำงานภายในต่างกัน แต่มีจุดหลักที่เหมือนกัน คือ การรับและส่งข้อมูลในแบบอนาลอก เช่น เสียงหรือภาพที่มองเห็นได้



(a) ระบบเบสแบนด์



(b) ระบบมอดดูเลท

รูปที่5.4 แสดงระบบสื่อสารแบบอนาลอก

จากรูปที่5.4(a) แสดงให้เห็นถึงระบบเบสแบนด์ (base band) ที่มีลักษณะสำคัญ คือรูปสัญญาณที่ส่งออกมา จะมีรูปสเปคของความถี่เดียวกับแหล่งต้นทาง หรือแหล่งผลิตความถี่ ซึ่งหมายถึงไม่มีการมอดดูเลทกับคลื่นพาหะที่มีความถี่สูงกว่า ส่วนขั้นตอนที่เกี่ยวกับสัญญาณในด้านส่ง อาจมีการขยายสัญญาณ การกรองความถี่ หรือการแมชชิ่งอิมพีแดนซ์(impedance) เพื่อลดการสูญเสียในการส่งและรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

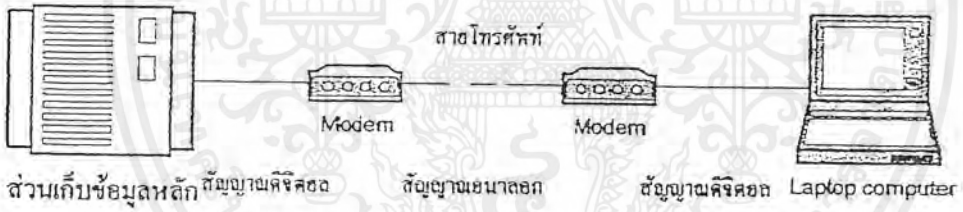
ส่วนรูปที่5.4(b) แสดงถึงระบบสื่อสารแบบอนาลอก ที่มีการรวมและการแยกสัญญาณในทางคณิตศาสตร์ (modulation and demodulation) อธิบายได้ว่า การรวมหรือแยกสัญญาณจะใช้การเปลี่ยนรูปสเปกตรัมความถี่ของสัญญาณให้เข้ากับช่วงความถี่ที่เลือกไว้ หรือในอีกแง่หนึ่งเป็นการป้องกันสัญญาณอื่นเข้าแทรกในช่วงความถี่เดียวกัน

ตัวอย่างของการใช้ระบบนี้ที่มีใช้กันอย่างแพร่หลาย คือ การกระจายเสียงวิทยุ ในแบบ AM และ FM

5.2.2 ระบบสื่อสารแบบดิจิตอล

ลักษณะข้อมูลที่ใช้ในระบบนี้จะอยู่ในรหัส "0" หรือ "1" เช่นเลขฐานสอง เลขฐานสิบหก เป็นต้น

บางครั้งอาจมีความต้องการส่งสัญญาณอนาลอกผ่านระบบดิจิตอล จึงต้องมีการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลก่อน เรียกว่า การสุ่มตัวอย่าง (sampling) ซึ่งเป็นวิธีทางคณิตศาสตร์ ค่าที่ได้จากการสุ่มตัวอย่างจัดเป็นรหัสเลขฐานสอง (binary code) ที่สามารถจัดการตามเทคนิคทางดิจิตอลได้ อย่างเช่น การส่งข้อมูลแบบขนานหรืออนุกรม และแบบสัมพัทธ์หรือไม่สัมพัทธ์ เป็นต้น



รูปที่5.5 แสดงการสื่อสารทั้งแบบอนาลอกและแบบดิจิตอล

จากรูปแสดงสัญญาณในการติดต่อระหว่างเครื่องคอมพิวเตอร์กับส่วนเก็บข้อมูลหลักผ่านทางสายโทรศัพท์

โดยมีอุปกรณ์โมเด็ม ทำหน้าที่ช่วยเครื่องคอมพิวเตอร์ ให้สามารถรับและส่งข้อมูลผ่านสายโทรศัพท์ โดยแปลงสัญญาณคอมพิวเตอร์ให้เป็นสัญญาณไฟฟ้าในด้านส่ง และแปลงกลับอีกทางด้านรับ

ซึ่งวิธีการแปลงสัญญาณคอมพิวเตอร์เป็นสัญญาณไฟฟ้า เรียกว่า การมอดดูเลท และวิธีการแปลงสัญญาณไฟฟ้าเป็นสัญญาณคอมพิวเตอร์ เรียกว่า การดีมอดดูเลท

ประเด็นอย่างหนึ่งที่ควรสนใจในระบบสื่อสารแบบดิจิตอล คือประสิทธิภาพของระบบ โดยพิจารณาจากค่าอัตราการผิดพลาดข้อมูล (Bit Error Rate : BER) ซึ่งเป็นอัตราส่วนระหว่างจำนวนข้อมูลที่ผิดพลาดเทียบกับจำนวนข้อมูลที่ส่งไปทั้งหมดในช่วงเวลาหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยถ้า BER มีค่าต่ำ หมายถึงระบบมีประสิทธิภาพสูง (เพราะจำนวนข้อมูลที่ผิดพลาดมีน้อย) นอกจากนี้ ประเด็นอื่นที่เกี่ยวข้องก็มีอัตราความเร็วในการสื่อสารข้อมูล เป็นต้น

5.3 การสื่อสารข้อมูล (Data Communication)

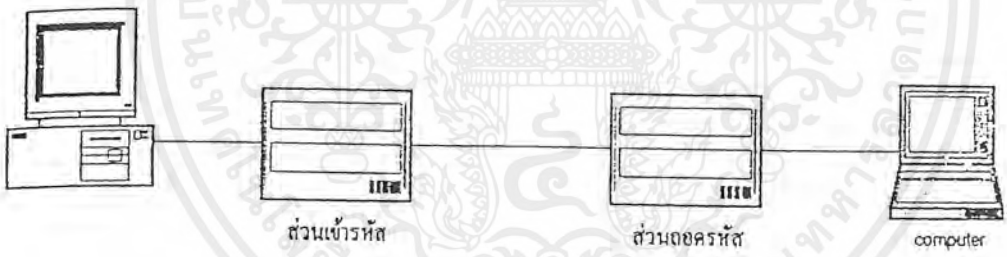
การสื่อสารข้อมูลเกี่ยวข้องกับการส่งรหัสเลขฐานสอง ซึ่งเป็นรหัสที่สร้างและดำเนินการ โดยคอมพิวเตอร์ การติดต่อในการสื่อสารข้อมูลมีลักษณะเชิงดิจิตอลที่สามารถกำหนดสถานะได้ 2 สถานะ คือค่าตรรกะเท่ากับ 0 หรือ 1 ส่วนเชิงอนาลอกมีได้ไม่จำกัดสถานะ

กำหนดให้การใช้ข้อมูลแทนข้อความ (text), กราฟฟิกส์ (graphics) เป็นรหัสขนาด n บิตที่สามารถแทนจำนวนข้อมูลได้ 2 ตัว

สำหรับรหัสที่ใช้แทนอักษร ตัวเลข หรือสัญลักษณ์พิเศษ เรียกว่าตัวอักขระ (Alphanumeric)

ประเด็นที่เป็นการสื่อสารระหว่างเครื่องจักรด้วยกัน พบว่าเครื่องจักร เช่น คอมพิวเตอร์ หรือโทรพิมพ์ ไม่มีความสามารถเข้าใจถึงความหมายของตัวหนังสือได้ จึงต้องมีการแปลงความหมายให้เป็นแบบที่เครื่องจักรสามารถตีความได้ คือสถานะของเลขฐานสอง

ดังนั้นจึงต้องมีอุปกรณ์ทำหน้าที่เข้ารหัส (Encoder) และถอดรหัส (Decoder) มาใช้ในการรับและส่งข้อมูลระหว่างเครื่องจักรด้วยกัน ดังรูปที่5.6



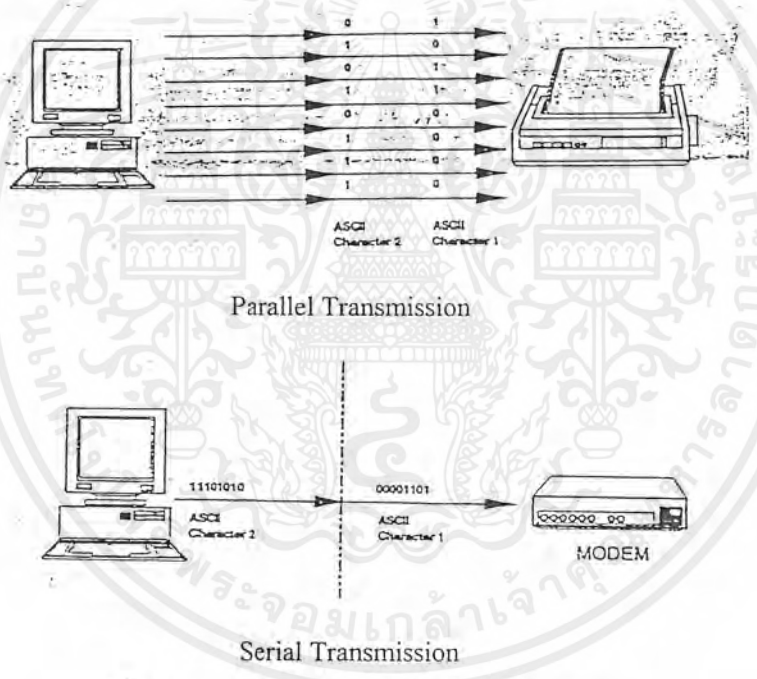
รูปที่5.6 แสดงการส่งข้อมูลผ่านโดยใช้รหัส

5.4 การรับส่งข้อมูลแบบขนานและอนุกรม

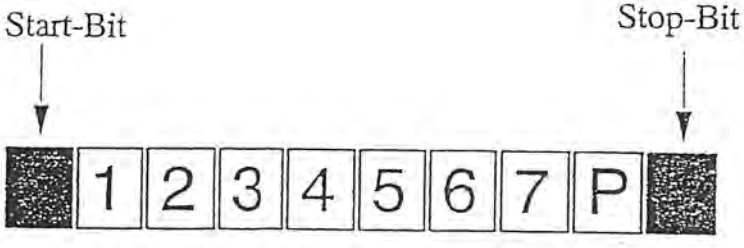
อย่างไรก็ตาม เราต้องกำหนดมาตรฐานวิธีรับส่งข้อมูลระหว่างเครื่องคอมพิวเตอร์ขึ้นด้วย จะมีเพียงรหัสตรงกันไม่ได้ เพราะเราทราบดีแล้วว่า ข้อมูลคอมพิวเตอร์จริงๆแล้วก็คือสัญญาณไฟฟ้า ถ้าแต่ละคนกำหนดสัญญาณไฟฟ้าแทนสถานะ “0” และ “1” ไม่เท่ากัน คอมพิวเตอร์จะแยกไม่ออกว่าสัญญาณที่ได้รับนั้นเป็น “0” หรือ “1” เนื่องจากใช้ระดับสัญญาณไม่ตรงกัน โดยทั่วไปเครื่องคอมพิวเตอร์มีมาตรฐานการรับส่งข้อมูลแบ่งออกเป็นสองแบบ คือการรับส่งข้อมูลแบบขนานกับการรับส่งข้อมูลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การรับส่งข้อมูลแบบขนาน เรียกอีกชื่อหนึ่งว่า Parallel Interface ปกติจะใช้สำหรับส่งข้อมูลจากคอมพิวเตอร์ไปให้เครื่องพิมพ์ การรับส่งข้อมูลแบบขนานนี้ คอมพิวเตอร์จะส่งข้อมูลออกไปครั้งละ 8 บิต หรือหนึ่งไบต์เลยทีเดียว ดังนั้นสายเคเบิลที่ใช้ส่งข้อมูลจึงมีจำนวนเส้นค่อนข้างมาก คือต้องใช้ 8 เส้น สำหรับสัญญาณแต่ละบิต พร้อมกับมีสัญญาณควบคุมอีกหลายเส้น ข้อดีสำหรับการรับส่งข้อมูลแบบนี้ คือสามารถส่งข้อมูลได้เร็ว เพราะส่งครั้งหนึ่งเท่ากับข้อมูล 8 บิต นอกจากนี้วงจรทางฮาร์ดแวร์ของตัวรับและตัวส่งยังมีขนาดเล็กและราคาถูกด้วย เครื่องพิมพ์เกือบทุกยี่ห้อมักจะต่อแบบขนานนี้กับเครื่องคอมพิวเตอร์ ข้อจำกัดของการรับส่งข้อมูลแบบขนานก็คือ ส่งสัญญาณได้ไม่ไกล เนื่องจากสัญญาณไฟฟ้าที่ใช้ในการส่งมีค่าเพียง 0 ถึง +5 โวลต์เท่านั้น เมื่อต่อสายยาวๆ ความต้านทานภายในสายไฟจะทำให้สัญญาณอ่อนลงจนรับไม่ได้ในที่สุด เนื่องจากสายมีตัวเก็บประจุแฝง สัญญาณดิจิตอลมีลักษณะเป็นพัลส์จะทำให้ขนาดลดลงและเสียรูป จนอุปกรณ์ปลายทางไม่สามารถรับได้ และจำเป็นต้องใช้สายจำนวนมากจึงไม่เหมาะที่จะใช้ส่งข้อมูลเป็นระยะทางไกลๆ



รูปที่5.7 การส่งข้อมูลแบบขนานและแบบอนุกรม



รูปที่5.8 Start Bit และ Stop Bit จะช่วยให้คอมพิวเตอร์แยกข้อมูลแต่ละตัวออกมาได้อย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนการรับส่งข้อมูลแบบอนุกรมนั้นมีชื่อเรียกว่า Serial Interface หรือ RS-232C การรับส่งข้อมูลแบบนี้ซับซ้อนกว่าแบบแรกมาก วิธีการส่งข้อมูลหนึ่งไบต์มาส่งออกไปทางสายทีละหนึ่งบิตเรียงไปจนครบ 8 บิต จากการที่ส่งข้อมูลเรียกกันไปนี้ จำนวนสายที่ใช้ส่งข้อมูลจึงลดลงเหลือเพียง 3 ถึง 5 เส้นเท่านั้น ความซับซ้อนอยู่ตรงที่ทำอย่างไรทางด้านรับจึงจะรู้ว่าข้อมูลมาถึงเมื่อไร ตรงไหนคือข้อมูลบิตแรก บิตที่สอง ไปจนถึงบิตสุดท้าย เราจึงต้องเพิ่มส่วนเริ่มต้นข้อมูลและส่วนปิดท้ายข้อมูลเข้าไปด้วย เรียกว่า Start Bit และStop Bit

คราวนี้ผู้รับหรือคอมพิวเตอร์ที่รับข้อมูลก็จะสามารถแยกแยะสัญญาณที่ได้รับออกมาเป็นข้อมูลได้ถูกต้อง ข้อดีของการส่งข้อมูลแบบอนุกรมคือ เหมาะสมสำหรับรับส่งข้อมูลระยะไกลมากกว่าการส่งข้อมูลแบบขนาน เพราะใช้จำนวนสายน้อยกว่าและระดับแรงดันไฟฟ้าที่ใช้ในการส่ง มีค่า +12 โวลต์ กับ –12 โวลต์ ทำให้เราสามารถส่งข้อมูลได้ไกลถึง 35 เมตร โดยไม่ต้องมีอุปกรณ์เพิ่มเติมเข้าช่วยเลย ข้อเสียของการส่งข้อมูลแบบอนุกร มคือ ความเร็วในการส่งข้อมูลจำกัดอยู่ที่ 19,200 บิตต่อวินาทีสูงสุด นับว่าช้ากว่าการส่งข้อมูลแบบขนานอยู่มากทีเดียว นอกจากนี้วงจรฮาร์ดแวร์ที่ใช้ในการรับส่งข้อมูลแบบอนุกรมยังมีราคาแพงกว่าด้วย

การส่งข้อมูลแบบอนุกรมนี้ เราต้องคำนึงถึงรายละเอียดในการส่งข้อมูลมากกว่าการส่งแบบขนานหลายอย่าง เช่น ความเร็วในการรับส่งข้อมูล การตรวจสอบความถูกต้องของข้อมูล จำนวนบิตของข้อมูล เป็นต้น ทั้งหมดนี้ถ้ามีอะไรไม่ตรงกันระหว่างผู้รับและผู้ส่ง การส่งข้อมูลแบบอนุกรมก็จะผิดพลาดหรือรับส่งกันไม่ได้

5.4.1 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม

ความเร็วของการถ่ายโอนข้อมูลแบบอนุกรม มีหน่วยวัดเป็นบิตต่อวินาที (bit per second :bps) ส่วนการเปลี่ยนแปลงของสัญญาณใน 1 วินาที เรียกว่า บอดเรท (baud rate) หรืออัตราบอด การเปลี่ยนแปลงของสัญญาณใน 1 ครั้ง อาจจะแสดงถึงการส่งข้อมูลแบบอนุกรมมากกว่า 1 บิตก็ได้ ถ้าเขียนในรูปของสมาการคณิตศาสตร์จะได้

อัตราบิต (bit rate) = อัตราบอด (baud rate) *(บิตใน 1 บอด) .....(5.1)

5.4.2 ลักษณะการส่งข้อมูลแบบอนุกรม

แบ่งออกเป็น

- <u>การส่งข้อมูลแบบซิงโครนัส</u> (Synchrous) จำเป็นต้องมีสัญญาณนาฬิกาเพิ่มเข้ามาเพื่อใช้ในการควบคุมการส่งข้อมูล ฉะนั้นจึงต้องเพิ่มสายส่งสำหรับสัญญาณนาฬิกาอีกเส้นหนึ่งด้วย

- <u>การส่งสัญญาณแบบอะซิงโครนัส</u> (Asynchrous) ไม่มีสัญญาณนาฬิกาควบคุม ดังนั้นจึงจำเป็นต้องเพิ่ม start bit , stop bit และ parity bit เพื่อจะให้ตัวรับทราบว่าส่วนใดเป็นข้อมูลที่ส่งออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 คุณสมบัติของ Full Duplex และ Half Duplex

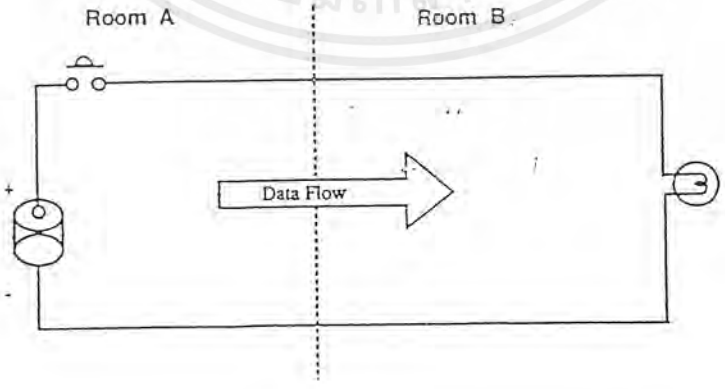
ในการรับส่งข้อมูลระหว่างกันนั้น อาจแบ่งตามลักษณะและการรับส่งได้เป็น 3 วิธี คือ

- การรับหรือส่งทางเดียว (Simplex)
- การรับส่งแบบผลัดกันส่ง (Half Duplea)
- การรับส่งสวนทางได้พร้อมกัน (Full Duplex)

ทั้งสามวิธีมีข้อดีและข้อเสียในตัวมันเอง ความจริงแล้วเราใช้การรับส่งทั้งสามวิธีนี้ในชีวิตประจำวันอยู่ตลอดเวลา ไม่ว่าจะเป็นการชมโทรทัศน์ การฟังเพลง การสนทนา หรือในการทำงานต่างๆ

แต่ละแบบของการรับส่งดังกล่าว มีคุณสมบัติเฉพาะตัวของมันเอง และในบางกรณีจะนำมาใช้ทดแทนกันไม่ได้เลย หรือจะตัดแบบหนึ่งทิ้งไปจากระบบเช่นกัน ในตอนนี้เราจะพูดถึงรายละเอียดและคุณสมบัติการรับส่งข้อมูลทั้งสามแบบนี้ โดยจะเน้นไปที่การรับส่งข้อมูลแบบผลัดกันส่ง (half duplex) และการรับส่งข้อมูลแบบส่งสวนทางได้พร้อมกัน (full duplex) ซึ่งเป็นแบบที่เราใช้รับส่งข้อมูลอนุกรมของคอมพิวเตอร์นั่นเอง

การติดต่อสื่อสารแบบที่รับหรือส่งทางเดียวนั้น เราเรียกมันว่า เป็นการสื่อสารแบบ Simplex ตัวอย่างง่ายๆที่เห็นได้ชัดก็คือ การรับส่งทางโทรทัศน์ และวิทยุกระจายเสียงนั่นเอง สถานีโทรทัศน์จะเป็นตัวส่งและเครื่องรับทำหน้าที่รับแต่เพียงอย่างเดียว จะส่งข่าวหรือภาพกลับมายังสถานีส่งไม่ได้ การสื่อสารแบบ simplex นี้ เรามักจะไม่ค่อยนำมาใช้ในการสื่อสารข้อมูล เนื่องจากว่าเราจำเป็นต้องตอบโต้กันระหว่างการรับส่งข้อมูล หรือบางทีก็เปลี่ยนจากผู้รับเป็นผู้ส่งซึ่งทำไม่ได้สำหรับการติดต่อกันในแบบ Simplex นี้ การสื่อสารแบบ Simplex นอกจากจะใช้สำหรับส่งโทรทัศน์ และวิทยุกระจายเสียงแล้ว เครื่องโทรพิมพ์ตามสำนักพิมพ์บางชนิดอาจใช้การติดต่อแบบนี้เช่นกันในการรับข่าวสารจากที่อื่นๆ เพียงอย่างเดียว

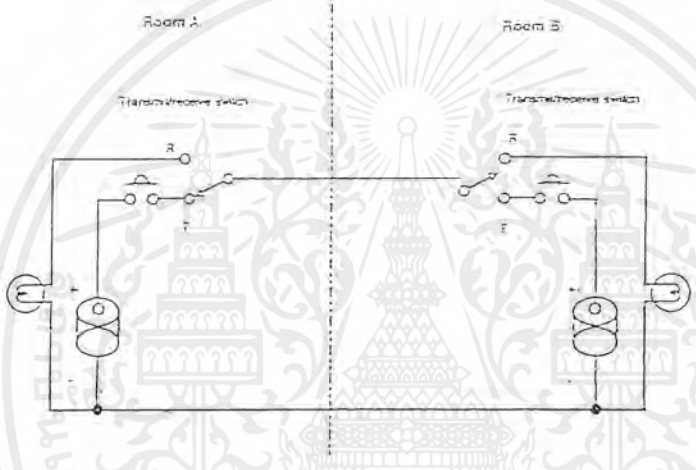


รูปที่5.9 การรับส่งข้อมูลแบบทางเดียว หรือ Simplex

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5.1 Full Duplex และ Half Duplex

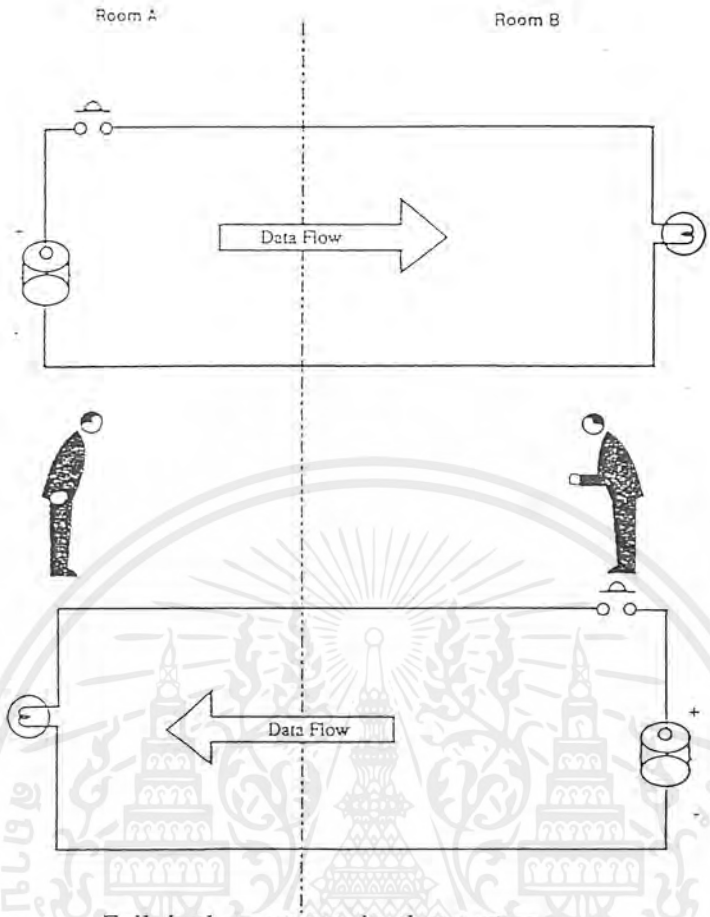
ส่วนการรับส่งแบบที่สองนี้ เราเรียกว่า การรับส่งแบบ Half Duplex มีคุณสมบัติสามารถรับและส่งข้อมูลได้ แต่ว่าต้องสลับกันส่ง จะส่งพร้อมกันทั้งสองด้านไม่ได้ อุปกรณ์ที่ใช้การติดต่อแบบ Half Duplex ได้แก่ วิทยุมือถือ และ Intercom เป็นต้น เมื่อฝ่ายใดฝ่ายหนึ่งส่งอีกฝ่ายก็ทำหน้าที่รับ จนกระทั่งฝ่ายแรกส่งจบฝ่ายหลังจึงจะกลับเป็นผู้ส่งได้ และฝ่ายส่งในตอนแรกก็จะเป็นผู้รับสลับกันเช่นนี้เรื่อยไป ทั้งสองฝ่ายจะเป็นผู้ส่งพร้อมกันไม่ได้ เพราะสัญญาณจะชนกันทำให้ฟังไม่รู้เรื่อง การรับส่งในแบบ Half Duplex นับว่าซับซ้อนกว่าแบบ Simplex เพราะทั้งสองด้านสามารถทำหน้าที่รับและส่งได้ตามลำดับ



รูปที่5.10 การรับส่งข้อมูลสวนทางกันได้แบบผลัดกันส่งหรือ half duplex

แบบที่ซับซ้อนที่สุด ก็คือ การรับส่งในแบบสวนทางได้พร้อมกัน ซึ่งเรียกว่า full duplex การรับส่งแบบนี้ ผู้รับและส่งสามารถรับและส่งพร้อมๆกันในเวลาเดียวกันได้ ไม่จำเป็นต้องรอให้อีกฝ่ายหนึ่งส่งจบก่อนอย่างใน Half Duplex ตัวอย่างเช่น การพูดโทรศัพท์ของเรา ถึงแม้ปกติเมื่อผู้หนึ่งพูดอีกฝ่ายจะคอยฟัง แล้วตอบกลับมาเมื่อฝ่ายแรกพูดจบซึ่งเป็นลักษณะของการติดต่อแบบ Half Duplex ก็ตาม แต่เราอาจจะพูดพร้อมๆกัน หรือพูดสวนกลับไปได้ทันทีโดยยังคงฟังอยู่เหมือนเดิม ลักษณะเช่นนี้เราเรียกว่าติดต่อกันในแบบ Full Duplex การสื่อสารข้อมูลระหว่างคอมพิวเตอร์สองเครื่องมีใช้ทั้งแบบ Half Duplex และ Full Duplex ขึ้นอยู่กับลักษณะของการเชื่อมต่อและงานของมัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่5.11 การรับส่งข้อมูลสวนทางกันได้พร้อมกันหรือ Full Duplex

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
การมอดดูเลทสัญญาณแบบดิจิตอล

6.1 บทนำ

ในบทนี้จะทำการอธิบายเนื้อหาเกี่ยวกับการมอดดูเลทสัญญาณแบบดิจิตอล ซึ่งมีอยู่ด้วยกันหลายวิธีเช่น การมอดดูเลทแบบ ASK , FSK และ PSK ซึ่งแต่ละวิธีจะอาศัยหลักการทำงานที่แตกต่างกันออกไป ในบทนี้เราจะเน้นเนื้อหาเกี่ยวกับการมอดดูเลทแบบ PSK เพราะเกี่ยวกับโครงงานที่ได้จัดทำ ซึ่งจะอธิบายโดยละเอียดดังจะกล่าวต่อไปนี้

6.2 การมอดูเลทสัญญาณดิจิตอล

การส่งสัญญาณดิจิตอล เช่น สัญญาณ PCM โดยคลื่นวิทยุไมโครเวฟ จำเป็นที่จะต้องเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณในย่านความถี่วิทยุ เทคนิคในการมอดูเลทสัญญาณดิจิตอลนี้มี 3 แบบด้วยกันคือ

1. Amplitude Shift Keying (ASK)
2. Frequency Shift Keying (FSK)
3. Phase Shift Keying (PSK)

คลื่นพาหะคลื่นซายน์ที่มีความถี่ f_c มีค่าสูงสุด A และมุมเฟสที่ σ เช่นนี้สมการที่ใช้คือ

$$V_c = A\cos(2\pi f_c + \sigma) \quad .....(6.1)$$

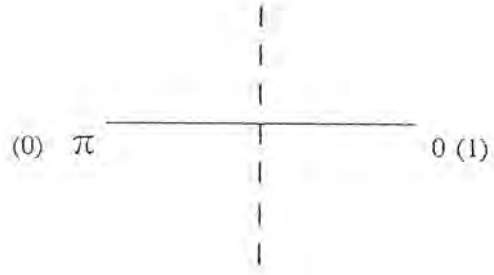
สัญญาณดิจิตอลเบสแบนด์เป็นคลื่นรูปสี่เหลี่ยมแสดงรหัสไบนารี 1 และ 0 ในการมอดูเลทสัญญาณดิจิตอลนี้ในสามพารามิเตอร์ คือ แอมปลิจูด ความถี่ หรือ เฟสของคลื่นพาหะจะเปลี่ยนไปตามสถานะ 1 หรือ 0 ของสัญญาณเบสแบนด์

6.3 เฟสชิฟท์คีอิ่ง (Phase Shift Keying)

โดยหลักการแล้วเฟสเริ่มแรกของคลื่นพาหะมีจำนวนมาก จำนวนของเฟสเริ่มแรกที่ใช้ใน PSK สามารถที่จะเพิ่มขึ้นได้ ถ้าเราสามารถแยกแยะสัญญาณทางด้านรับออกได้อย่างถูกต้อง

เนื่องจากระบบดิจิตอลใช้รหัสไบนารี สัญญาณดิจิตอลสามารถจะส่งได้โดยใช้ 2 initial phase เรียกว่า ไบนารี PSK เฟสเป็น 0 สำหรับ รหัส 1 และเฟสเป็น π สำหรับรหัส 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.1 แสดงมุมเฟสของการส่งสัญญาณไบนารีครั้งละ 1 บิต

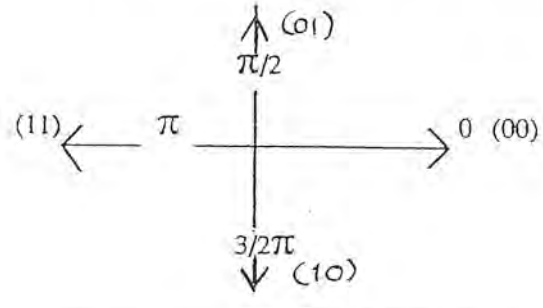
ลองมาพิจารณาการส่งสัญญาณดิจิตอลพร้อมกัน 2 บิตในเวลาเดียวกัน ในกรณีนี้มีการรวมรหัส 4 ตัวด้วยกันคือ 00,01,10,11 โดยให้รหัสที่รวมกันนี้เทียบกับเฟส 4 เฟส สัญญาณดิจิตอล 2 บิตจึงสามารถส่งพร้อมกันได้

1st bit	0	0	1	1
2nd bit	0	1	0	1

รูปที่ 6.2 สัญญาณดิจิตอล 2 บิตที่จะส่งพร้อมกัน

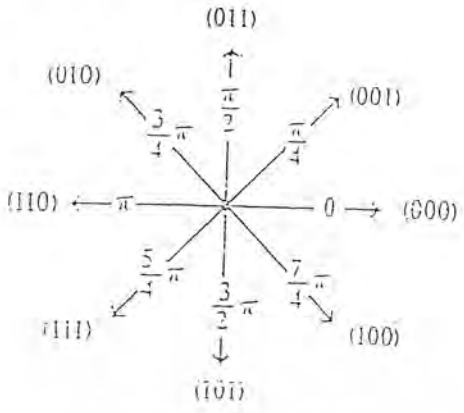
PSK ที่ใช้ 4 เฟสเริ่มแรกเรียกว่า quadri PSK เฟส 0 สำหรับรหัส 00,$\pi/2$ สำหรับรหัส 01 เฟส π สำหรับรหัส 11 และ เฟส $3\pi/2$ สำหรับรหัส 10

เมื่อต้องการจะส่งสัญญาณ 3 บิตไปพร้อมๆกัน จะมี $2^3 = 8$ combination ของรหัสสัญญาณ 8 เฟส PSK จะต้องใช้เพื่อการนี้ เมื่อจำนวนเฟสเพิ่มขึ้น จำนวนบิทที่สามารถส่งแต่ละครั้งก็มาก แต่กรณีนี้คุณภาพของสัญญาณทางด้านรับจะต่ำลง



รูปที่ 6.3 มุมเฟสของ Quadri PSK ในการส่งสัญญาณครั้งละ 2 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

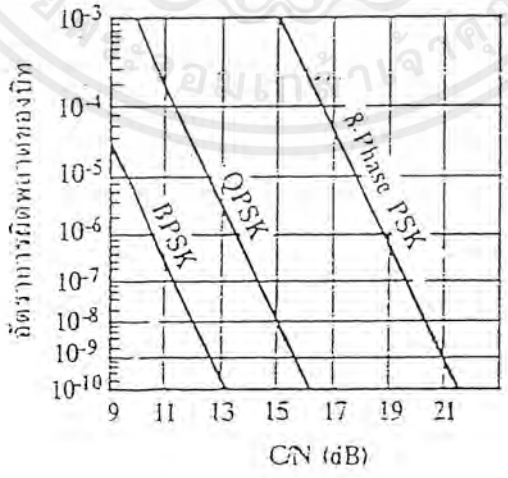


รูปที่ 6.4 มุมเฟสของ PSK ในการส่งสัญญาณไบนารีครั้งละ 3 บิต

จะเห็นว่า อัตราผิดพลาดของบิตจะเลวลง ถ้าเพิ่มจำนวนของเฟสมากขึ้นในการรับส่งสัญญาณ

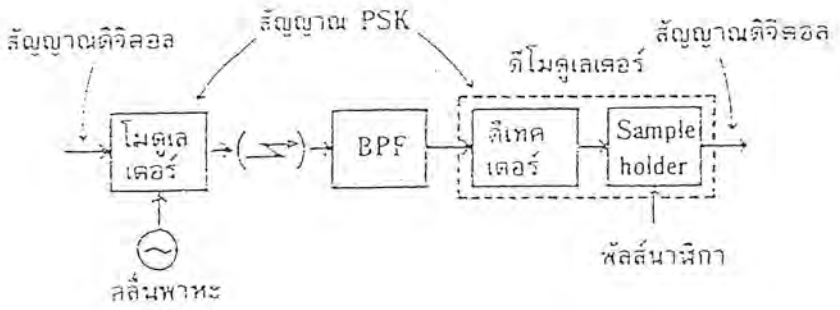
6.4 หลักการของไบนารี PSK มอดูเลเตอร์ และ ดีมอดูเลเตอร์

ทางด้านส่งมีมอดูเลเตอร์ ซึ่งเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณ PSK ทางด้านรับมี band pass filter และ ดีมอดูเลเตอร์ซึ่งจะเปลี่ยนสัญญาณ PSK เป็นสัญญาณดิจิตอลอันเดิม ดีมอดูเลเตอร์ประกอบด้วย ดีเทคเตอร์ และ sample holder



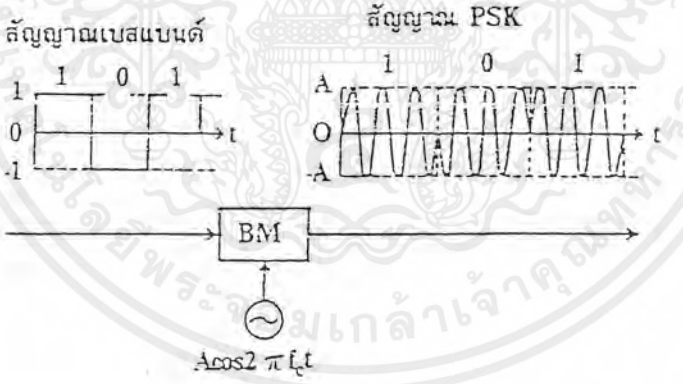
รูปที่ 6.5 เปรียบเทียบอัตราการผิดพลาดของบิตของ PSK แบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.6 การส่ง รับสัญญาณดิจิตอล

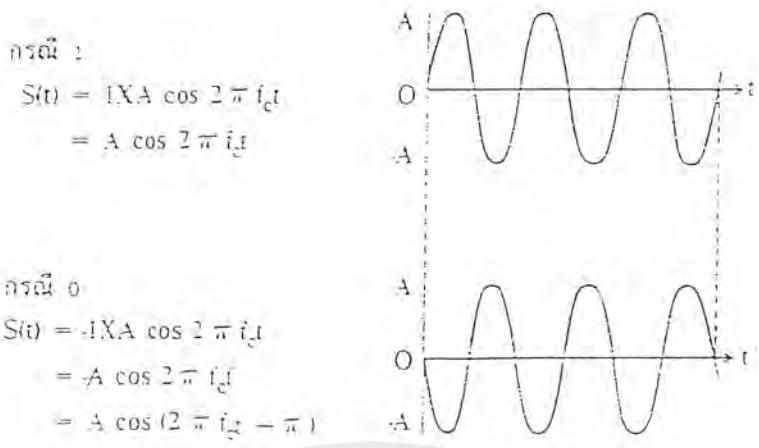
โดยทั่วไปแล้วการมอดูเลท PSK จะใช้ balanced modulator สมมติว่าสัญญาณดิจิตอลเบสแบนด์อยู่ในรูปคลื่นสี่เหลี่ยมมีแอมปลิจูดเท่ากับ 1 สำหรับรหัส 1 และ มีแอมปลิจูดเท่ากับ –1 สำหรับรหัส 0 เมื่อคลื่นรูปสี่เหลี่ยมนี้ถูกผสมโดยคลื่นแคเรียร์ $A\cos 2\pi f_c$ ผ่านวงจร balanced modulator สัญญาณ PSK ที่ได้แสดงดังในรูป



รูปที่6.7 การมอดูเลทสัญญาณดิจิตอล

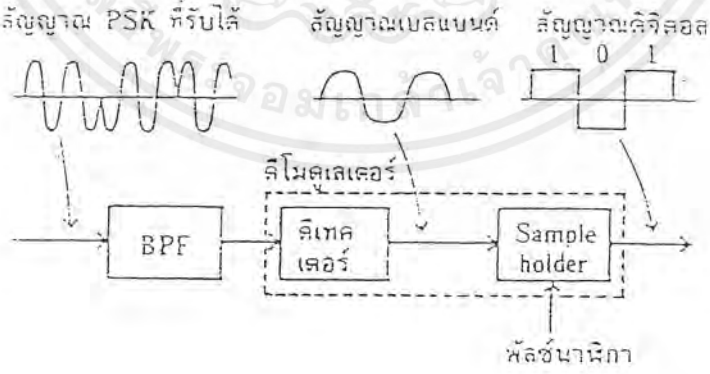
สัญญาณ PSK สำหรับรหัส 1 จะเป็น $S(t) = 1x\ A\cos 2\pi f_c t = \cos 2\pi f_c t$ ส่วนสัญญาณ PSK สำหรับรหัส 0 จะเป็น $S(t) = -1 \times A\cos 2\pi f_c t = -A\cos 2\pi f_c t$ เราสามารถเขียน $-A\cos 2\pi f_c t = A\cos(2\pi f_c t + \pi)$ ตามหลักการนี้แสดงว่าสำหรับรหัส 0 เฟสของคลื่นแคเรียร์จะเปลี่ยนไปเท่ากับ π ซึ่งจะเห็นได้ชัดดังในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.8 การเปลี่ยนแปลงทางเฟสของคลื่นพาหะ

band pass filter ทางด้านรับสัญญาณ ซึ่งมีเสียงรบกวนปนอยู่ด้วยจะถูกดีเทคออกมาที่ดีมอดูเลเตอร์ ดีเทคเตอร์จะเอาสัญญาณเบสแบนด์ออกมาโดยตัดแคเรียร์คอมโปแนนท์ ซึ่งรวมอยู่ในสัญญาณ PSK ออกไป สัญญาณเบสแบนด์ไม่เป็นรูปที่เหลี่ยมที่สมบูรณ์นัก เนื่องจากกการกำหนดแถบความกว้าง โดยตัวกรองความถี่ และ เนื่องจากอิทธิพลของเสียงรบกวน sample holder จะสร้างสัญญาณดิจิตอลเดิมขึ้นมาใหม่ผ่านการพิจารณา polarity บวก หรือ ลบ ของสัญญาณเบสแบนด์



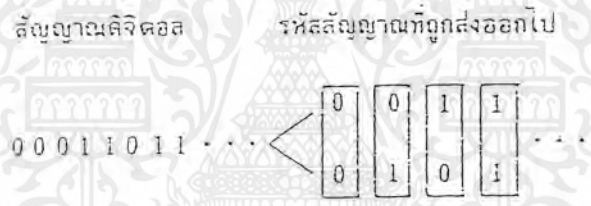
รูปที่ 6.9 การสร้างสัญญาณขึ้นใหม่ทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

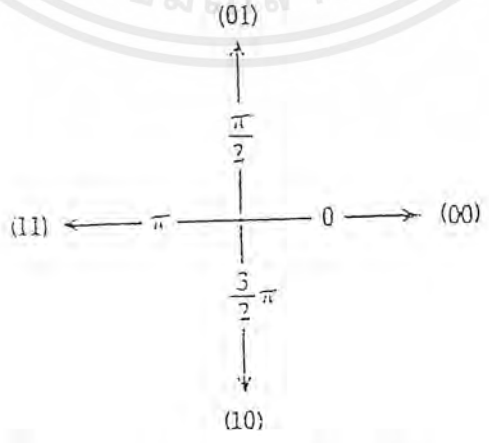
6.5 Quadri PSK

ในวิธีการ QPSK สัญญาณ 2 บิตจะถูกส่งไปพร้อมๆกัน โดยลำดับสัญญาณดิจิตอลที่จะส่งจะถูกแบ่งเป็นคลื่อก 2 บิต และแต่ละรหัสบล็อกประกอบด้วย 2 บิตถูกส่งไปพร้อมๆกัน ในกรณีนี้จะมีการรวมรหัส 4 คู่ ด้วยกันคือ 00 ,01,10,11 คู่ของรหัสทั้ง 4 คู่นี้จะเทียบกับ initial phase 4 เฟสของสัญญาณ QPSK

รูปที่ 6.11 นี้ แสดงความสัมพันธ์ระหว่างรหัส และ initial phase ใน Gray Code ซึ่งใช้ใน QPSK เฟส 0 แทนรหัส 00 เฟส $\pi/2$ แทนรหัส 01 เฟส π แทนรหัส 11 และ เฟส $3\pi/2$ แทนรหัส 10 จะเห็นว่าถ้าเปรียบเทียบรหัสระหว่างสองเฟสข้างเคียง หนึ่งในสองบิตจะเหมือนกันในทุกๆกรณี ดังนั้นโดยการใช้ Gray Code จะมีเพียงบิตเดียวที่เกิดผิดพลาด แม้ว่าสัญญาณที่รับได้ถูกดีมอดูเลทผิดไปเป็นเฟสข้างเคียง



รูปที่6.10 รหัส 4 คู่ของสัญญาณ QPSK



รูปที่6.11 Gray Code ที่ใช้ใน QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมติว่าสัญญาณกำหนดโดย

$S(t) = A\cos 2\pi f_c t$ สำหรับรหัส 00

$S(t) = A\cos (2\pi f_c t + \pi/2)$

$= -A\sin 2\pi f_c t$ สำหรับรหัส 01

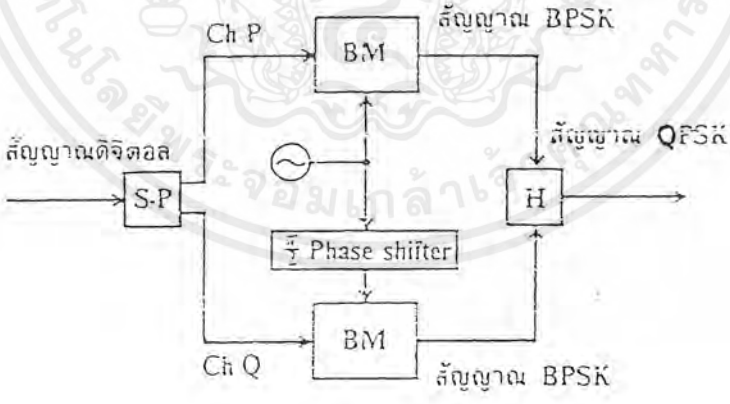
$S(t) = A\cos (2\pi f_c t + \pi)$

$-A\cos 2\pi f_c t$ สำหรับรหัส 11

$S(t) = A\cos (2\pi f_c t + 3\pi/2)$

$-A\sin 2\pi f_c t$ สำหรับรหัส 10

รูปที่ 6.12 นี้เป็นตัวอย่างวงจร QPSK มอดูเลชั่น วงจรนี้สร้างสัญญาณ Gray Code ขึ้นมา วงจรประกอบด้วยวงจรมอดูเลชั่น 2 binary PSK คู่กัน สัญญาณดิจิตอลที่จะส่งแยกออกทางช่องสัญญาณ P และ ช่องสัญญาณ Q โดยตัวเปลี่ยนอนุกรมเป็นขนาน (S/P coverter) แต่ละด้านถูกมอดูเลทแบบ BPSK โดย balance modulator คลื่นพาหะที่ใช้ในการมอดูเลทของช่องสัญญาณ P จะใช้จาก output ของออสซิเลเตอร์โดยตรง ส่วนคลื่นพาหะที่ใช้สำหรับช่องสัญญาณ Q เฟสจะถูก shift ไป $\pi/2$ หลังจากผ่าน $\pi/2$ phase shifter ดังในรูป สัญญาณมอดูเลท BPSK ทั้งสองนี้ได้รับโดยการใช้คลื่นพาหะที่ต่างเฟสกัน $\pi/2$ และถูกรวมกันโดยวงจรไฮบริดก็จะได้สัญญาณ QPSK ออกมา



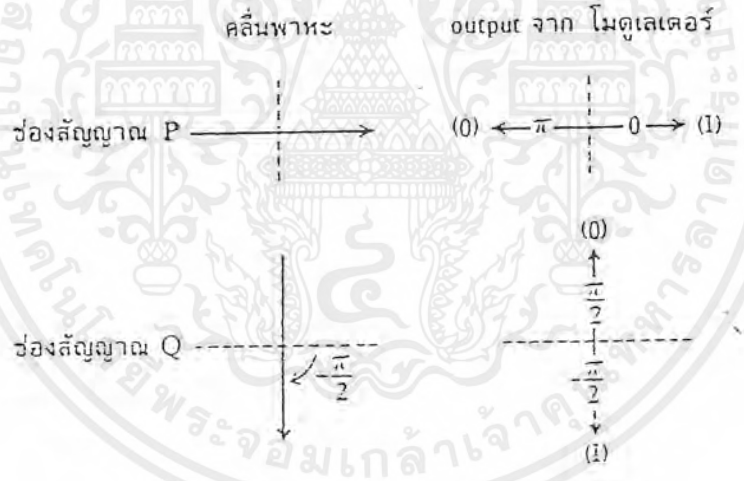
รูปที่6.12 วงจรมอดูเลท QPSK

เราลองมาพิจารณาความสัมพันธ์ระหว่างคลื่นพาหะที่ใช้ในช่องสัญญาณ P และ Q และสัญญาณ BPSK สำหรับรหัส 0 และ 1 โดยใช้เวคเตอร์ไดอะแกรม ถ้าเฟสเริ่มแรกของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

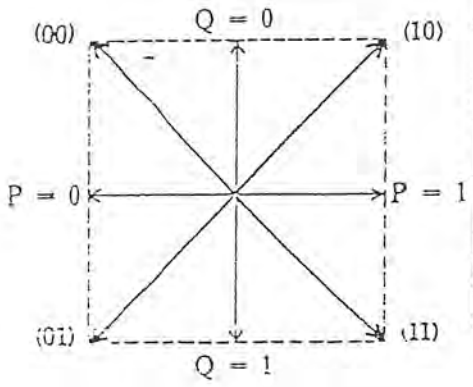
output จากออสซิลเลเตอร์กำหนดเป็นตัวอ้างอิง คลื่นพาหะที่ใช้ในช่องสัญญาณ P จะอยู่ในเฟสเดียวกันกับสัญญาณ อ้างอิง ส่วนคลื่นพาหะของช่องสัญญาณ Q ได้จากการ shift เฟส $\pi/2$ จากสัญญาณ output ของออสซิเลเตอร์สัญญาณที่มอดูเลทแบบ BPSK ในช่องสัญญาณ P และ Q จะอยู่ในเฟสเดียวกันกับคลื่นพาหะ สำหรับรหัส 1 แต่จะต่างเฟสกับเฟสพาหะเท่ากับ π สำหรับรหัส 0

โดยการรวมสัญญาณ BPSK ที่ได้รับการมอดูเลทในช่องสัญญาณ P และช่องสัญญาณ Q เราจะได้สัญญาณ QPSK เมื่อรหัสในช่องสัญญาณ P เป็น "1" และรหัสในช่องสัญญาณ Q เป็น "0" เวคเตอร์ผลลัพธ์จะแสดงดังในรูป เวคเตอร์ผลลัพธ์นี้แสดงสัญญาณ QPSK สำหรับ 10 ซึ่งสัญญาณ QPSK นี้ จะต่างเฟส $\pi/4$ กับคลื่นพาหะของช่องสัญญาณ P สัญญาณ QPSK สำหรับรหัส 00 จะต่างเฟสเท่ากับ $3\pi/4$ สัญญาณสำหรับรหัส 01 จะต่างเฟส $5\pi/4$ และสัญญาณสำหรับรหัส 11 จะต่างเฟส $7\pi/4$ กับคลื่นพาหะของช่องสัญญาณ P รหัสสัญญาณเหล่านี้เรียกว่า "Gray Code"



รูปที่6.13 เปรียบเทียบเฟสของสัญญาณในช่องสัญญาณ P และ Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

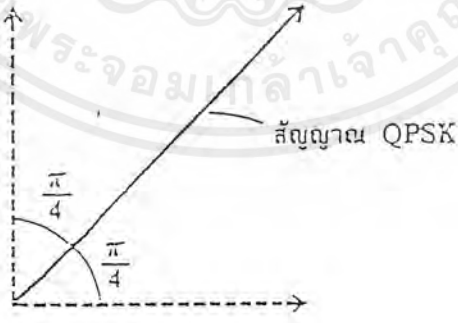


รหัส	เฟส
1 0	$\frac{\pi}{4}$
0 0	$\frac{3}{4}\pi$
0 1	$\frac{5}{4}\pi$
1 1	$\frac{7}{4}\pi$

รูปที่6.14 เวคเตอร์ผลลัพท์ของสัญญาณ QPSK

เมื่อเปรียบเทียบรหัสของ 2 เฟสที่อยู่ใกล้เคียงกัน จะเห็นว่าหนึ่งในสองบิตจะเหมือนกัน

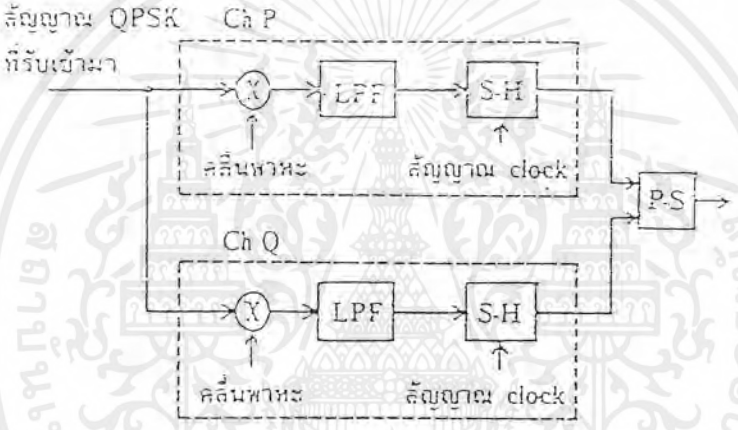
ตอนนี้เรามาพิจารณาหลักการของการดีมอดูเลทสัญญาณ QPSK โดย coherent detection เวคเตอร์ที่แสดงโดยเส้นทึบเป็นสัญญาณ QPSK นี้สามารถพิจารณาได้ว่าเป็นสัญญาณผลลัพธ์ที่ได้โดยการรวมสัญญาณ BPSK ที่ตั้งฉากกับคู่หนึ่ง ซึ่งแสดงโดยเส้นประ นั่นคือ การดีมอดูเลท QPSK ก็เท่ากับการดีมอดูเลทสัญญาณ BPSK สองสัญญาณดังกล่าวข้างต้น ดังนั้นสัญญาณ QPSK ที่ได้รับคือ การดีเทคแบบ coherent โดยการใช้คลื่นพาหะอ้างอิงที่ตั้งฉากกันคู่หนึ่ง ซึ่งได้โดยการเลื่อนเฟสของสัญญาณที่รับไปเท่ากับ $\pi/4$ นั่นคือ สัญญาณ BPSK ที่ตั้งฉากกันแต่ละสัญญาณถูกการดีเทคแบบ coherent



รูปที่6.15 สัญญาณ QPSK ถูก shift phase $\pi/4$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

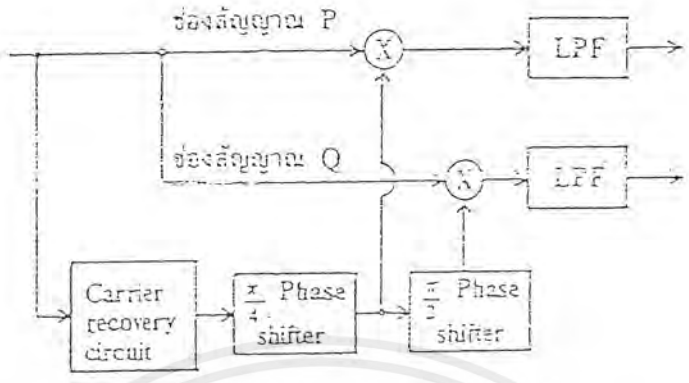
รูปที่ 6.16 นี้เป็นวงจรดีมอดูเลทสำหรับสัญญาณ QPSK โดยการดีเทคแบบ coherent ซึ่งวงจรประกอบด้วยวงจรดีมอดูเลทแบบ coherent คู่หนึ่งสำหรับสัญญาณ BPSK ที่ตั้งฉากกัน สัญญาณ QPSK ที่รับได้ถูกแบ่งออกเป็น ขบวนสัญญาณ 2 ขบวน ซึ่งถูกดีเทคแบบ coherent แยกกัน คู่ของคลื่นพาหะอ้างอิงที่ตั้งฉากกันถูกป้อนเข้า multiplier ของช่องสัญญาณ P และ ช่องสัญญาณ Q แต่ละช่องสัญญาณ ซึ่ง output จะผ่าน low pass filter เพื่อตัดฮาร์มอนิคสูงๆ ออก หลังจากนั้นก็ผ่านไปยังวงจร sample holder พร้อมด้วย clock pulse ดังนั้นสัญญาณจะถูกดีมอดูเลทแยกกันในช่องสัญญาณ Pและ Q ขบวนสัญญาณที่ขนานกันนี้ ถูกรวมเข้าด้วยกันที่ P/S converter เพื่อจัดรูปแบบเรียงเป็นสัญญาณอนุกรมตามเดิม



รูปที่6.16 วงจรดีมอดูเลทสัญญาณ QPSK

ในการดีเทคสัญญาณ QPSK แบบ coherent จำเป็นที่จะต้อง shift เฟสของคลื่นพาหะอ้างอิงทั้งคู่ไป $\pi/4$ เมื่อเทียบกับเฟสของสัญญาณที่รับได้ เพื่อจุดประสงค์นี้ จำเป็นต้องใช้วงจร carrier recovery วงจร $\pi/4$ phase shifter และวงจร $\pi/2$ phase shifter ในวงจร multiplier ของช่องสัญญาณ P คลื่นพาหะอ้างอิงได้จากการเลื่อนเฟสของสัญญาณ ซึ่งเป็น output ของวงจร carrier recovery แล้วเลื่อนเฟสไปโดยใช้ $\pi/4$ phase shifter ส่วนวงจร multiplier ของช่องสัญญาณ Q คลื่นพาหะอ้างอิงได้จาก ให้ output ของ $\pi/4$ phase ผ่านวงจร $\pi/2$ phase shifter อีกครั้งหนึ่ง คลื่นพาหะอ้างอิงนี้ก็จะตั้งฉากกับคลื่นพาหะอ้างอิงในช่องสัญญาณ P โดยการผ่านการดีเทคแบบ coherent ของสัญญาณ QPSK ซึ่งใช้คลื่นพาหะอ้างอิงคู่หนึ่งนี้เราก็จะได้สัญญาณ BPSK 2 สัญญาณ ซึ่งรวมกันมากจากทางตอนมอดูเลท สามารถดีเทคแยกออกมาได้โดยวิธี coherent ดังในรูปที่ 6.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่6.17 การดีเทคสัญญาณ QPSK ออกเป็น BPSK 2 สัญญาณ

หลักการพื้นฐานของ carrier recovery จากสัญญาณ QPSK ก็เหมือนกันกับกรณีของสัญญาณ BPSK เฟสของคลื่นพาหะอ้างอิงที่ได้กลับคืนมาจะต้องตรงกันกับหนึ่งในสี่เฟสของสัญญาณ QPSK ที่รับได้ แต่เป็นไปไม่ได้ที่จะกำหนดว่าเฟสไหนในสี่เฟสเหล่านี้ตรงกันกับเฟสของคลื่นพาหะอ้างอิงที่แท้จริง โดยลักษณะนี้ปัญหาของ $\pi/2$ phase ambiguity ก็จะเกิดขึ้นใน QPSK ซึ่งปัญหานี้สามารถแก้ไขได้โดยใช้ differential coding technique หรือโดยใช้ unique word เข้าช่วยเหมือนในกรณีของ BPSK

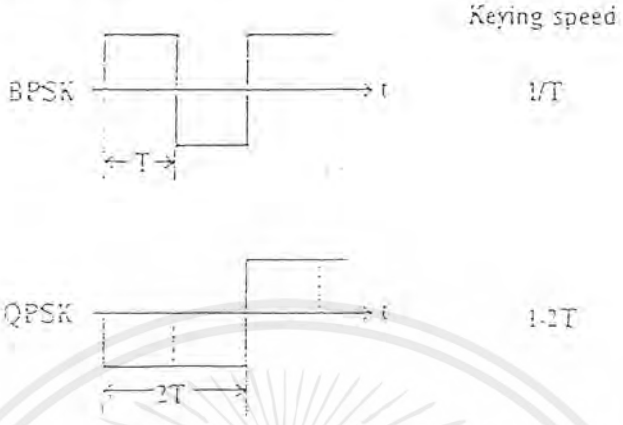
6.6 ลักษณะของ QPSK

สมมติว่าจำนวนบิตที่ต้องส่งในหนึ่งหน่วยเวลาคือ bit rate มีค่าเท่ากันทั้งในกรณีของ BPSK และ QPSK สำหรับ QPSK บิทจะถูกส่ง 2 บิทในแต่ละครั้ง ดังนั้นความถี่ของการเปลี่ยนเฟสคลื่นพาหะจะขึ้นอยู่กับรหัส นั่นคือ keying speed จะเป็นครึ่งหนึ่งเมื่อเทียบกับกรณี BPSK เมื่อช่วงระยะเวลาของบิทแต่ละตัวเป็น T ดังนั้น keying speed จะมีค่าเท่ากับ 1/T สำหรับ BPSK และจะมีค่าเท่ากับ 1/2T สำหรับกรณีของQPSK

โดยทั่วไปแล้วแถบกว้างความถี่ที่ถูกครอบครองของสัญญาณ PSK จะเพิ่มขึ้นเป็นสัดส่วนกับ keying speed ฉะนั้นเมื่อให้อัตราการส่งบิทคงที่ keying speed ในกรณีของ QPSK จะเป็นครึ่งหนึ่งของ BPSK และแถบกว้างความถี่ที่ถูกครอบครองของสัญญาณ QPSK จะเป็นครึ่งหนึ่งของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

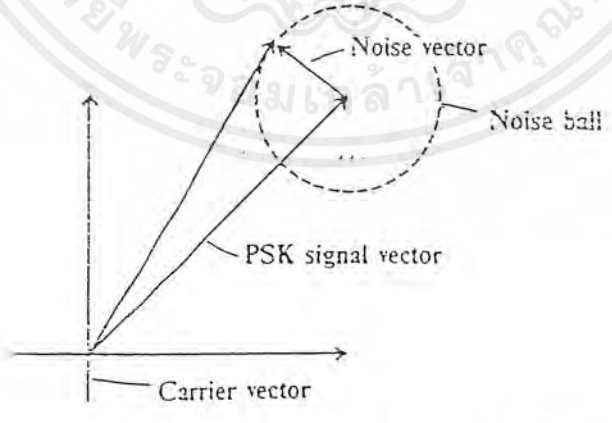
สัญญาณ BPSK ในทางตรงกันข้ามเมื่อให้กว้างความถี่เท่ากัน จำนวนบิทซึ่งสามารถส่งได้ในกรณีของ QPSK จะเป็น 2 เท่าของ BPSK



รูปที่6.18 keying speed ในการส่งสัญญาณ

ดังนั้นจะเห็นได้ว่า QPSK มีข้อดีกว่า BPSK ถ้ามองจากผลในการใช้แถบความถี่คลื่น

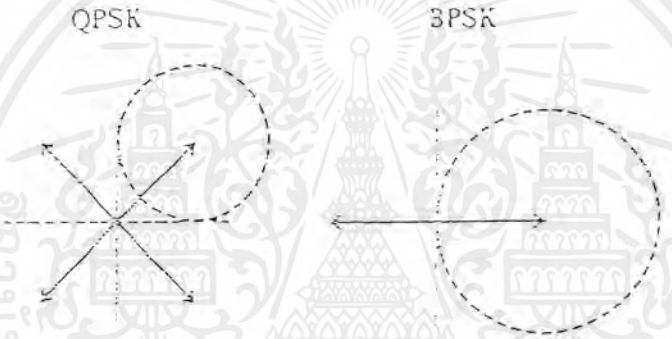
รูปที่ 6.19 เป็นเวคเตอร์ไดอะแกรมของสัญญาณ PSK เมื่อมีเสียงรบกวนเข้ามา ทำให้แอมปลิจูดและเฟสเปลี่ยนไป จะเห็นว่าทิศทางของเวคเตอร์เสียงรบกวนเปลี่ยนไปได้ทุกทิศทาง เวคเตอร์เสียงรบกวนที่มีขนาดคงที่ และหมุนไปทุกทิศทางเป็นวงกลมนี้เรียกว่า"noise ball" เมื่อเวคเตอร์ผลรวมระหว่าง PSK เวคเตอร์ และ เวคเตอร์เสียงรบกวนข้าม carrier vector ไปทางใดทางหนึ่ง เฟสที่ส่งก็จะถูกดีมอดูเลทผิดไปเป็นเฟสข้างเคียง เพราะฉะนั้นเมื่อ noise ball มีค่ามาก การผิดพลาดของบิทก็จะเกิดขึ้น



รูปที่6.19 PSK เวคเตอร์ และ noise เวคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลองเปรียบเทียบขนาดของ noise ball สูงสุดที่ไม่ทำให้เกิด bit error ขึ้นใน BPSK และ QPSK โดยที่ความยาวของเวคเตอร์สัญญาณมีขนาดเท่ากัน ซึ่งหมายความว่ากำลังส่งสัญญาณทั้ง QPSK และ BPSK มีกำลังส่งเท่ากัน เราจะเห็นระยะระหว่างสองเวคเตอร์สัญญาณในกรณี QPSK จะแคบกว่า ดังในรูป ดังนั้นถ้ากำลังในการส่งสัญญาณเท่ากันและย่านกว้างความถี่เท่ากัน อัตราการผิดพลาดของบิทในกรณี QPSK จะสูงกว่า BPSK แต่จำนวนข้อมูลข่าวสารที่ส่งในกรณี QPSK จะมากเป็น 2 เท่าของ BPSK โดยลักษณะเช่นนี้ถ้าต้องการใช้ย่านความถี่ให้ได้ผลมากที่สุดจึงควรใช้ QPSK มากกว่า BPSK แต่ถ้าจะให้อัตราผิดพลาดของบิทเกิดขึ้นเท่ากัน ก็จำเป็นที่ต้องให้กำลังในการส่งสัญญาณในกรณี QPSK มากกว่ากรณี BPSK เพราะฉะนั้น QPSK จึงเหมาะสำหรับระบบสื่อสารดาวเทียม ซึ่งมีย่านกว้างความถี่จำกัดเข้มงวดกว่าข้อจำกัดทางกำลังในการส่งสัญญาณ



รูปที่ 6.20 เปรียบเทียบขนาดของ noise ball ที่ไม่ทำให้เกิดการผิดพลาดของบิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

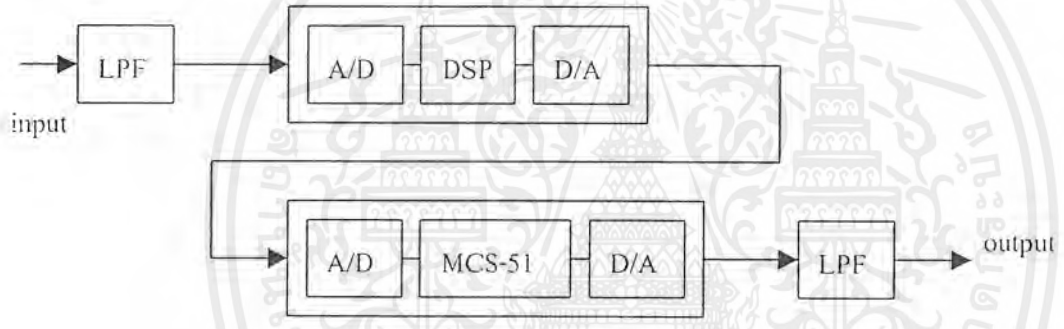
บทที่ 7
การออกแบบและหลักการทำงาน

7.1 บทนำ

โครงงานนี้ได้จัดทำขึ้นโดยมีวัตถุประสงค์เพื่อ ส่งสัญญาณอนาลอกที่มีความถี่ต่ำจากจุดหนึ่งไปยังอีกจุดหนึ่งที่ห่างกันโดยผ่านสายสัญญาณ ในที่นี้ใช้สายโทรศัพท์ และสามารถรับข้อมูลทั้งหมดได้ถูกต้อง ซึ่งเกิดความผิดพลาดน้อยที่สุด ทั้งนี้อยู่ภายใต้การควบคุมของไมโครคอนโทรเลอร์ 2 ตัว คือ TMS320C50 และ MCS-51 ดังนั้น โครงงานชิ้นนี้จะถูกแบ่งออกเป็น 2 ส่วน คือ

1. ภาคส่งสัญญาณ (Transmitter)
2. ภาครับสัญญาณ (Receiver)

ดังแสดงในรูปที่ 7.1



รูปที่7.1บล็อกไดอะแกรมแสดงลำดับการส่งและรับสัญญาณ

7.2 ภาคส่งสัญญาณ

ในที่นี้เราใช้ไมโครคอนโทรเลอร์TMS320C50 มาควบคุมการทำงานในภาคการส่งสัญญาณ โดยเฉพาะการมอดดูเลทสัญญาณดิจิตอลก่อนส่งไปตามสายสัญญาณซึ่งได้นำ Digital Signal Processing Starter Kit มาประยุกต์ใช้งาน โดยมีหลักการทำงานดังนี้

สัญญาณที่ต้องการส่งจะอยู่ในรูปสัญญาณอนาลอกที่มีความถี่ต่ำ โดยความถี่ของสัญญาณอนาลอกนี้มีผลต่อการ sampling สัญญาณในส่วนอื่นๆ ดังนั้นจำเป็นต้องกำหนดช่วงความถี่ของสัญญาณอนาลอกโดยวงจรกรองความถี่ต่ำ ก่อนที่จะถูกส่งไปยัง Digital Signal Processing Starter Kit เพื่อทำการมอดดูเลทสัญญาณ ซึ่งเป็นการเตรียมข้อมูลในการส่งผ่านสายสัญญาณไปยังภาครับสัญญาณ นอกจากนั้นในภาคนี้ยังมีการขยายสัญญาณอนาลอกที่ต้องการส่งโดยอาศัยวงจรขยาย และมีการจำกัดขนาดของสัญญาณอนาลอกโดยอาศัยวงจร differential amplifier ดังแสดงในรูปที่ 7.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนประกอบภาคการส่งสัญญาณ

แบ่งออกเป็น 2 ส่วนที่สำคัญ ดังนี้

1. ส่วนวงจร
2. ส่วนโปรแกรม

ส่วนวงจร

1. วงจรกรองความถี่ต่ำ

ในที่นี้วงจรกรองความถี่ต่ำแบบ passive RC 2 order เนื่องจากวงจรนี้เป็นวงจรที่ใช้งานง่าย และมีประสิทธิภาพเพียงพอในการใช้งานในโครงงานชิ้นนี้ โดยใช้วงจรกรองความถี่ต่ำที่มีความถี่คัทออฟประมาณ 200 Hz

วงจรกรองความถี่ต่ำ ใส่เพื่อใช้กำหนด bandwidth ของสัญญาณอนาลอก ที่จะถูกนำไปแปลงเป็นสัญญาณดิจิตอลต่อไป ซึ่งเป็นประโยชน์ในการกำหนด sampling rate ของการแปลงสัญญาณอนาลอก เป็นสัญญาณดิจิตอล โดยที่

$$f_s \geq 2 f_a \qquad \text{.....(7.1)}$$

f_s = sampling frequency

f_a = bandwidth frequency หรือ High cut off frequency เมื่อพิจารณาเริ่มที่ DC หรือ 0 Hz

2. วงจรส่วน DIGITAL SIGNAL PROCESSING STARTER KIT

จะมีส่วนประกอบการทำงานที่สำคัญ คือ

2.1.1.1 TMS320C50_QFP ซึ่งเป็นส่วนประมวลผลกลาง และ เป็นอุปกรณ์ส่วนสำคัญ

2.1.1.2 TLC32040_PLCC ซึ่งเป็นส่วนTLC32040 Analog Interface Circuit หรือ analog to digital และ digital to analog

สัญญาณที่ผ่านวงจรกรองความถี่ต่ำ จะถูกนำเข้าทาง Port Input ของ AIC (Analog Interface Circuit) ดังรูปในภาคผนวก จากนั้นจะถูกนำไปแปลงเป็นสัญญาณ Digital 14 บิท และ Output ของ AIC จะถูกนำส่งต่อไปยัง TMS320C50 ซึ่งเป็นประมวลผล และ ทำการ Modulation แบบ PSK (Phase Shift Keying) จากนั้นสัญญาณที่ผ่านการ Modulate แล้ว จะถูกผ่านไปยัง AIC อีกครั้งเพื่อแปลงกลับ Digital to Analog และ นำส่งออกทาง Out put เพื่อส่งไปตามสายสัญญาณต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการในการมอดดูเลทสัญญาณ

ในโครงงานนี้ เราเลือกวิธีการ Modulation แบบ PSK เพราะจะทำให้มี Bandwidth ที่แคบกว่า และ เลือกวิธีการ 8 phase PSK เพราะความผิดพลาด bit error ไม่มากเกินไป และ ง่ายต่อการ Demodulation สัญญาณที่เครื่องรับ นอกจากนั้นยังเหมาะสมกับการใช้งาน เพื่อให้สำเร็จตามวัตถุประสงค์ที่วางไว้

ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม

ในการ Modulation PSK จะทำการส่งข้อมูลแบบอนุกรม ความเร็วของการถ่ายโอนข้อมูลเป็นสิ่งสำคัญ นั่นคือ บิต ต่อ วินาที (bit per second : bps) ส่วนการเปลี่ยนแปลงของสัญญาณใน 1 วินาที เรียกว่า บอดเรท (buad rate) ซึ่ง

อัตราบิท (bit rate) = อัตราบอด (buad rate) x bit ใน 1 บอด .....(7.2)

ซึ่งในที่นี้ เราใช้การส่งข้อมูลแบบ Asynchronous ซึ่งไม่มีสัญญาณ นาฬิกาควบคุม ดังนั้นจึงจำเป็นต้องเพิ่ม start bit , stop bit และ parity bit เพื่อให้ตัวรับทราบว่าส่วนใดเป็นข้อมูลที่ส่งออกมา

การคำนวณ buad rate , bit rate , sampling rate

ในการส่งนี้ จะใช้วิธีการมอดดูเลทแบบ 8-PSK โดยการสร้างคลื่น 8 แบบที่มี Phase ต่าง ๆ กัน แต่ละ แบบจะมี Phase ต่างกัน 45 องศา ถ้าให้การสร้างคลื่น แต่ละลูกสร้างจากการส่งค่า ข้อมูลไฟตรง 8 ค่า โดยแต่ละค่ามี Amplitude ต่าง ๆ ที่ Phase ต่างกันข้อมูลละ 45 องศา ใน 1 ลูก ต้องใช้ Sampling 8 ครั้ง กำหนดค่า Sampling Output ให้สูงที่สุด (19.2k) เพื่อให้ได้ความถี่คลื่นสูงสุด จะได้คลื่นความถี่ 19.2k/8 = 2.4kHz คลื่น 1 ลูกถูกแทนด้วย Data 3 bit ดังนั้นจึงได้

Data bit rate = 2.4k x 3 = 7.2 kbit/sec

(ค่ามากสุดที่เป็นไปได้ในกรณีนี้) ในการส่งจริงเป็นการส่งแบบ Asynchronousจำเป็นมี Start bit การส่ง Start bit นี้ จะส่งเป็น ค่าตรงกลางของข้อมูล เป็นเวลา 4 Sampling ส่ง ค่าสูงสุด 1 Sampling ค่ากลางอีก 1 Sampling จากนั้นจึงส่ง Data ใช้เวลาในการส่ง Start bit ประมาณ 6 Sampling ในการส่ง Data แต่ละชุดจะส่ง Start bit แล้วตามด้วย Data 6 bit ส่งโดยคลื่น 2 ลูกคลื่น ดังนั้น ในการส่งข้อมูลแต่ละชุดใช้เวลาส่ง 6+(2x8) = 22 Sampling โดยความถี่ Sampling ที่ใช้ = 19.2k ส่ง 22 Sampling เป็น 1 ชุดข้อมูล ดังนั้น

Data bit rate = (19.2k x6)/22

$\approx$ 5200 bps

ถ้าต้องการส่งให้ได้เร็วกว่านี้ ต้องส่งคลื่นให้มีความถี่สูงขึ้น สำหรับค่าสูงสุดที่เป็นได้คือความถี่ 4.8kHz (เดิม2.4kHz) แต่จะมีปัญหาทางสายส่งไม่สามารถส่งได้และด้านรับได้สามารถดีมอดดูเลทได้ทัน ในโครงงานครั้งนี้จึงใช้ คลื่นพาหะที่มีความถี่ 2.4kHz เมื่อได้ Data bit rate Output ประมาณ 5200 bps ดังนั้น Data bit rate Input ไม่ควรเกิน 5200 bps โดยหาได้จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data bit rate = Sampling Input x จำนวน bit ใน 1 Sampling .....(7.3)

ถ้าให้ Sampling Input เป็น 4 เท่า ของความถี่คลื่น Input และจำนวน bit ใน 1 Sampling เป็น 6 bit จะสามารถหา ความถี่ Input ได้จากสมการ 7.3 จะได้

$$5200 \text{ bps} = 4 \times 6 \text{ Fin}$$

$$\text{Fin} \approx 200\text{Hz}$$

การคำนวณ Sampling Frequency ใน AIC

เพื่อการ Interface AIC ให้สามารถทำงานร่วมกับ TMS320C50 ได้ จำเป็นต้องกำหนดค่าคงที่เพื่อกำหนดค่า Sampling Frequency ดังนี้

ค่า Sampling Frequency เป็นดังสมการ

$$F_S = \frac{F_{MCLK}}{2 \times TA \times TB} \quad \text{.....(7.4)}$$

เมื่อ F_{MCLK} = ค่า clock ของ TMS320C50 ประมาณ 10MHz

TA = Tx Counter Register A (and Rx Counter A if synchronous Mode is disabled)

TB = Tx Counter Register B (and Rx Counter B if synchronous Mode is disabled)

และ low cut off frequency ดังสมการ

$$F_{CLP} = \frac{F_{MCLK}}{2 \times TA} \quad \text{..... (7.5)}$$

ส่วนโปรแกรม

การมอดูเลชั่น เราจะใช้วิธีการ ของ look table ซึ่ง 8 เฟส เราจะใช้ 3 บิท และ ใส่สัญญาณ sync เข้าไปเพื่อชี้จุดเริ่มต้นของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 7.2 Flow Chart แสดงการทำงานของโปรแกรมภาคส่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.3 ภาครับสัญญาณ

ในที่นี้เราใช้ไมโครคอนโทรเลอร์ MCS-51 มาควบคุมการทำงานในภาคการรับสัญญาณ โดยเฉพาะการดีมอดดูเลทสัญญาณที่ถูกมอดดูเลทจากด้านส่ง โดยมีหลักการทำงานดังนี้

เมื่อภาครับ รับสัญญาณที่ถูกมอดดูเลทจากภาคส่งและถูกส่งมาตามสายสัญญาณ แล้วจะส่งผ่าน Analog to Digital Converter สัญญาณที่ถูกส่งผ่าน จะถูกแปลงเป็นค่าดิจิตอล 8 บิต โดย ในที่นี้ใช้ A/D เบอร์ ADC0820 ซึ่งมีคุณสมบัติในการแปลงค่าอนาลอก เป็นค่าดิจิตอล ซึ่งมี conversion time 1.5 usec จากนั้นสัญญาณดิจิตอลจะถูกนำไปประมวลผล (ดีมอดดูเลท) โดยใช้ MCS-51 จากนั้น ข้อมูลผลลัพธ์ที่ได้จากการประมวลผลด้วย MCS-51 จะถูกส่งต่อไปยังส่วน Digital to Analog Converter เบอร์ MAX7541 จากนั้นผลลัพธ์จะถูกผ่านไปยังส่วนวงจรกรองความถี่ต่ำเพื่อกรองสัญญาณที่มีความถี่สูงทิ้ง สุดท้ายจะได้สัญญาณอนาลอกเช่นเดียวกับสัญญาณอนาลอกที่ส่งมา

ส่วนประกอบภาคการรับสัญญาณ

แบ่งออกเป็น 2 ส่วนที่สำคัญ ดังนี้

1. ส่วนวงจร
2. ส่วนโปรแกรม

ส่วนวงจร

1. ไมโครคอนโทรเลอร์ ตระกูล MCS-51

วงจรส่วนนี้ประกอบไปด้วยองค์ประกอบที่สำคัญ 3 ส่วนคือ

- MCS-51 เบอร์ ATMEL80C51
- วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ในที่นี้เลือกใช้ ADC ที่มีคุณสมบัติในการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่มีความเร็วในการแปลงค่อนข้างสูง เนื่องจากสัญญาณที่ส่งมาจากภาคส่งมีความเร็วในการส่งค่อนข้างสูง
- วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

2. วงจรกรองความถี่ต่ำ

วงจรกรองความถี่ต่ำ ทำหน้าที่ในการกำจัดสัญญาณความถี่สูงที่ไม่ต้องการจากสัญญาณที่ได้จากการดีมอดดูเลท ซึ่งสัญญาณข้อมูลจะแฝงมากับสัญญาณความถี่สูง ดังนั้นวงจรกรองความถี่ต่ำจำเป็นอย่างยิ่งที่จะต้องสามารถกำจัดความถี่สูงได้ดี ในที่นี้ใช้วงจรกรองความถี่ต่ำแบบชนิด active 2 order ที่มีอัตราขยายเท่ากับ 1 ซึ่งแสดงดังภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

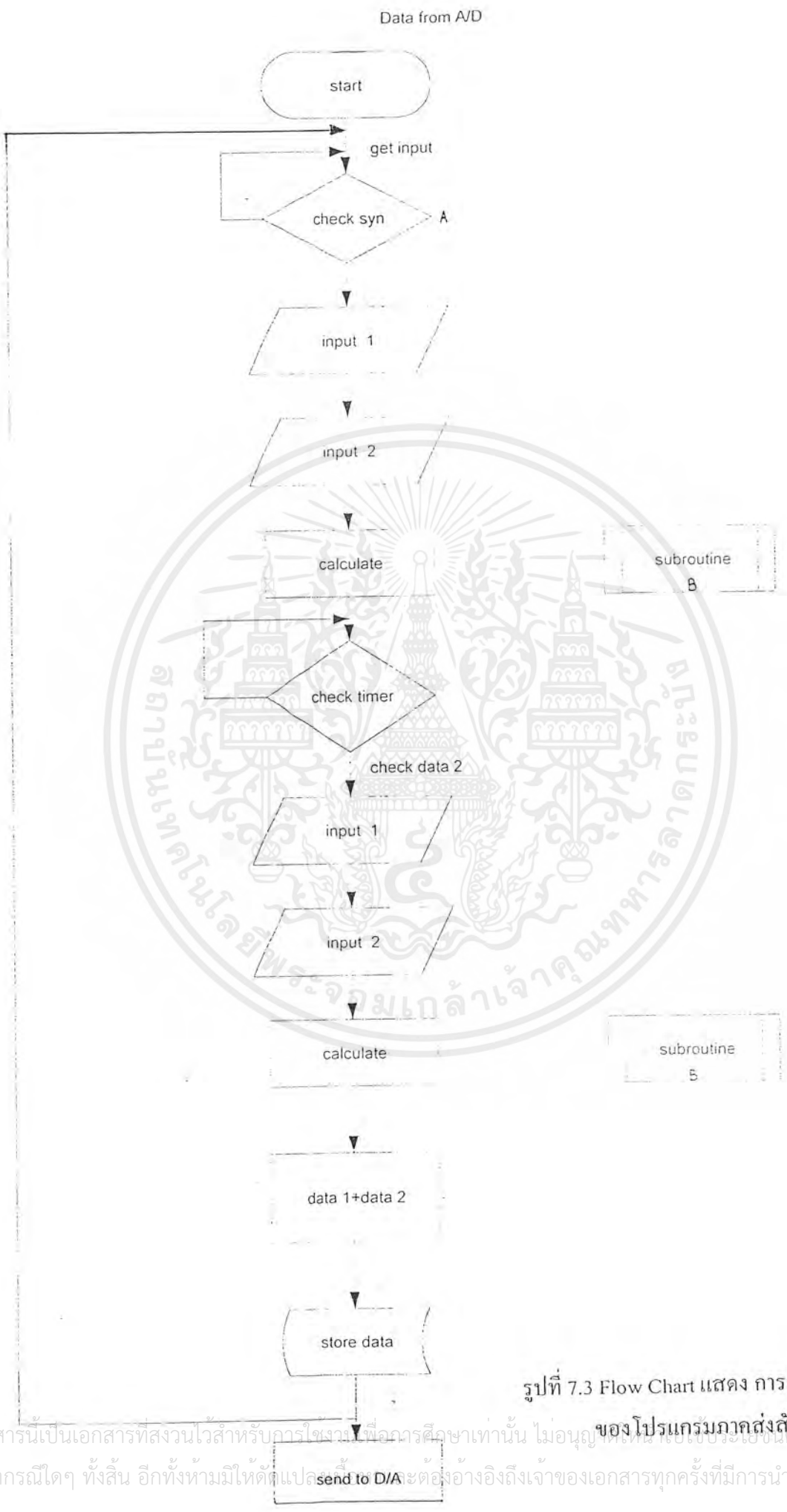
ส่วนโปรแกรม

หลักการในการดีมอดดูเลทสัญญาณ

สัญญาณที่ผ่านการแปลงเป็น Digital 8 บิต แล้วจะถูกนำมา ตรวจสัญญาณ sync เพื่อหาจุดเริ่มต้นข้อมูล เมื่อเจอสัญญาณ sync แล้วจะเริ่มทำการดีมอดดูเลทข้อมูล โดยในที่นี้เรากำหนด phase เริ่มต้น 8 แบบ (8 phase PSK) ดังนั้น เราจะทำการตรวจสัญญาณลูกแรก (มีข้อมูล 3 บิท,LSB) ว่ามี phase เริ่มต้น อยู่ใน phase ไหน ใน 8 แบบ จากนั้นจึงตรวจสอบ ข้อมูลลูกที่ 2 (MSB) เช่นเดียวกัน จากข้อมูลที่ส่งมาทั้งหมด 2 ลูก ดังนั้นจะทำให้เราได้ข้อมูล จำนวน 6 บิท จะถูกนำส่งผ่าน DACเพื่อแปลงเป็นสัญญาณอนาลอกต่อไป

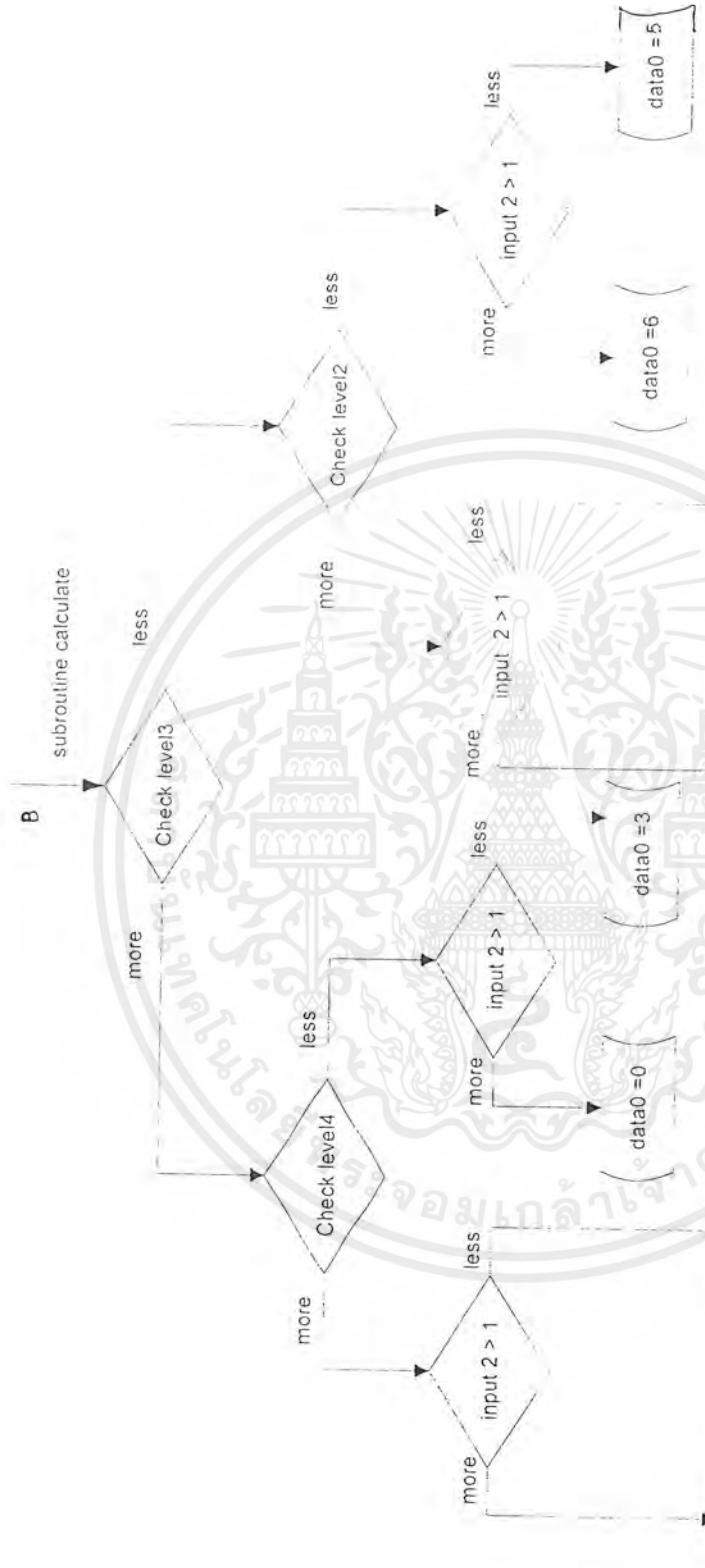
ในการตรวจสอบว่าสัญญาณที่รับได้อยู่มีเฟสเริ่มต้นใดนั้น จะมีการรับข้อมูลมาตรวจสอบถึง 2 ครั้งด้วยกัน โดยที่ข้อมูลที่สองจะห่างจากข้อมูลแรก 1 sampling แล้วนำ ข้อมูลแรกและข้อมูลที่สองมาคำนวณหาจุดเริ่มต้นว่าอยู่ในระดับไหนและ กำลังขึ้นหรือลง เพื่อตรวจสอบเฟสเริ่มต้น ก่อนนำมารวมกันระหว่างข้อมูลลูกแรกและลูกที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.3 Flow Chart แสดง การทำงาน
ของโปรแกรมภาคส่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.4 Flow Chart แสดง การทำงานย่อยของการคำนวณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 7.5 Flow Chart แสดงการตรวจจับสัญญาณ sync

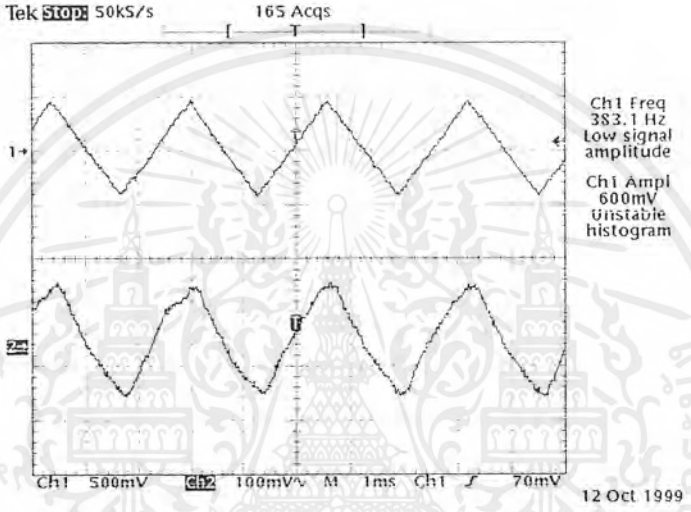
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8
ผลการทดลอง

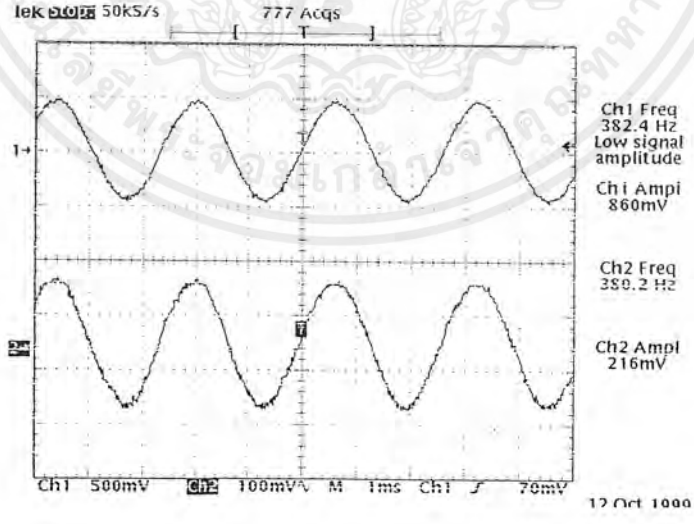
8.1 ทดสอบการทำงานของ AIC TLC32040

ตรวจสอบการทำงานของ A/D และ D/A ของภาคส่งสัญญาณ โดยการป้อนสัญญาณอนาลอกแล้ววัดสัญญาณอนาลอกทางออก ในที่นี้ได้ป้อนสัญญาณอนาลอก 3 สัญญาณ จะได้ผลการทดลองดังนี้

1) ป้อนสัญญาณรูปสามเหลี่ยม

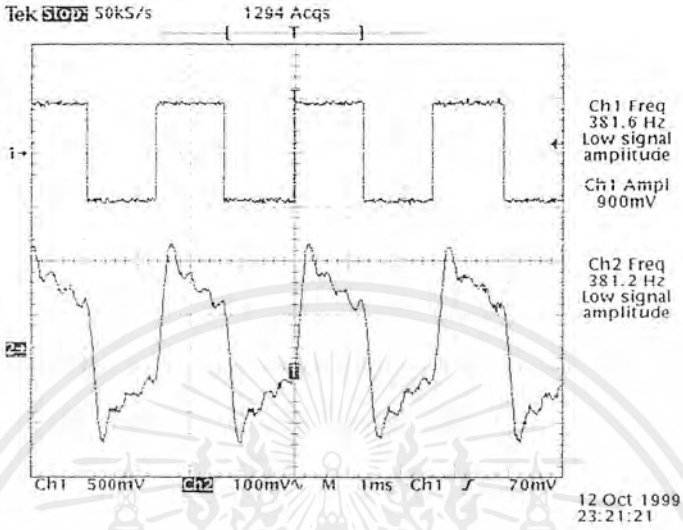


2) ป้อนสัญญาณรูปซายน์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) ป้อนสัญญาณรูปสี่เหลี่ยม



8.2 ทดสอบการทำงานของ D/A ของภาคส่งสัญญาณ

ทำการทดสอบการทำงานโดยกำหนดค่าดิจิตอลในโปรแกรม และทำการวัดสัญญาณอนาลอกออกมา จะได้ผลการทดลองดังนี้

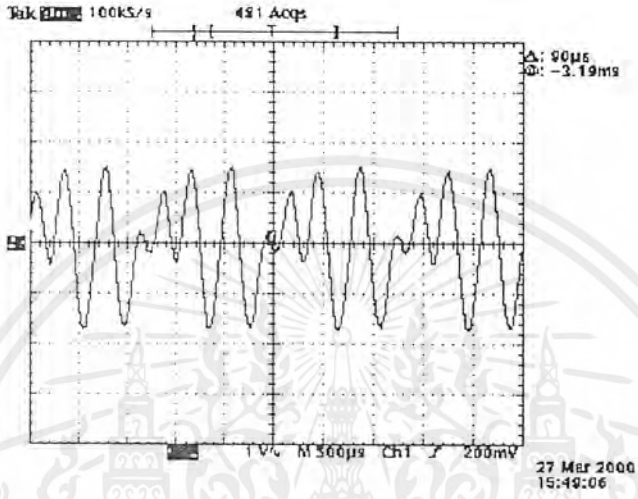
สัญญาณดิจิตอล	สัญญาณอนาลอก
7FFCH	+3.2V
3FFCH	+1.5V
1FFCH	+0.7V
E000H	-1.0V
BFFCH	-1.7V
8000H	-3.4V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8.3 ทดสอบการทำงานของระบบส่งสัญญาณดิจิตอลโดยการป้อนสัญญาณอนาลอกไฟตรง

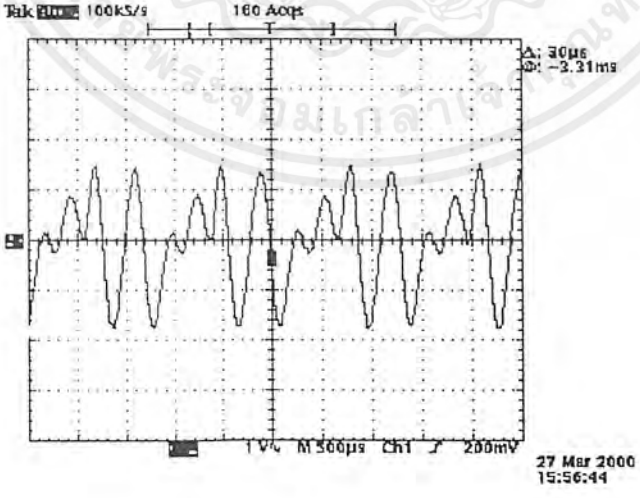
1) ป้อนสัญญาณดิจิตอล 0000H

จะได้รูปสัญญาณที่ถูกมอดดูเลทดังรูปข้างล่าง และวัดสัญญาณอนาลอกที่ภาครับได้ 0 โวลต์



2) ป้อนสัญญาณดิจิตอล 9249H

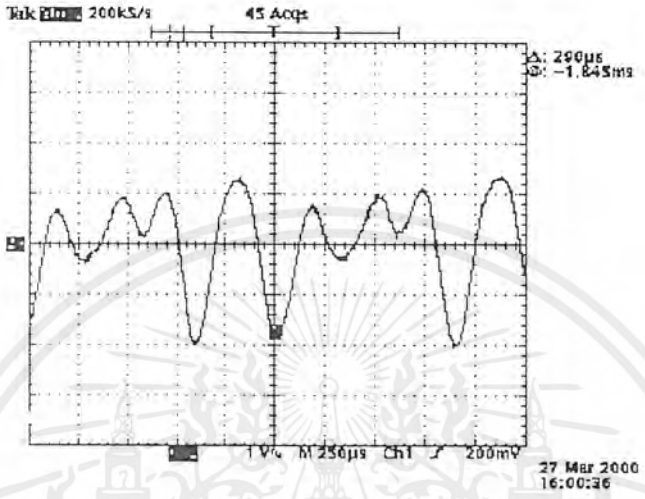
จะได้รูปสัญญาณที่ถูกมอดดูเลทดังรูปข้างล่าง และวัดสัญญาณอนาลอกที่ภาครับได้ 0.4 โวลต์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

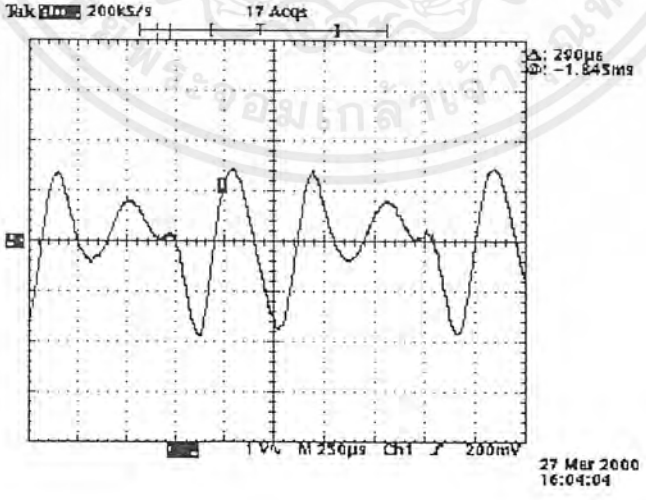
3) ป้อนสัญญาณดิจิตอล 2492H

จะได้รูปสัญญาณที่ถูกมอดดูเลทดังรูปข้างล่าง และวัดสัญญาณอนาลอกที่ภาครับได้ 0.8 โวลต์



4) ป้อนสัญญาณดิจิตอล D6DBH

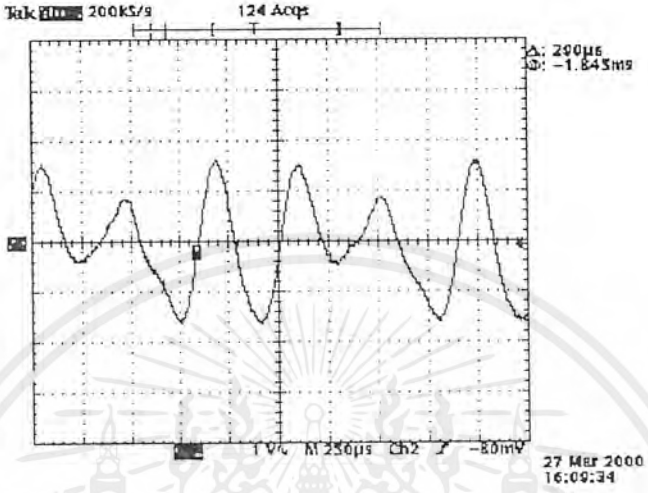
จะได้รูปสัญญาณที่ถูกมอดดูเลทดังรูปข้างล่าง และวัดสัญญาณอนาลอกที่ภาครับได้ 1 โวลต์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

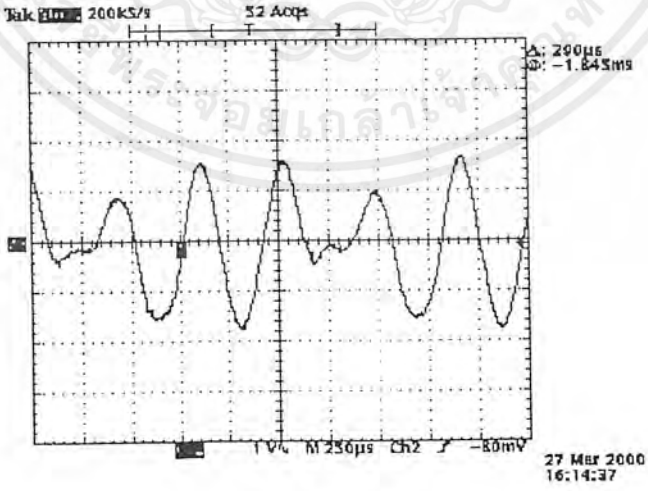
5) ป้อนสัญญาณดิจิตอล 4924H

จะได้รูปสัญญาณที่ถูกมอดดูเลทดังรูปข้างล่าง และวัดสัญญาณอนาลอกที่ภาครับได้ 1.5 โวลต์



6) ป้อนสัญญาณดิจิตอล DB6DH

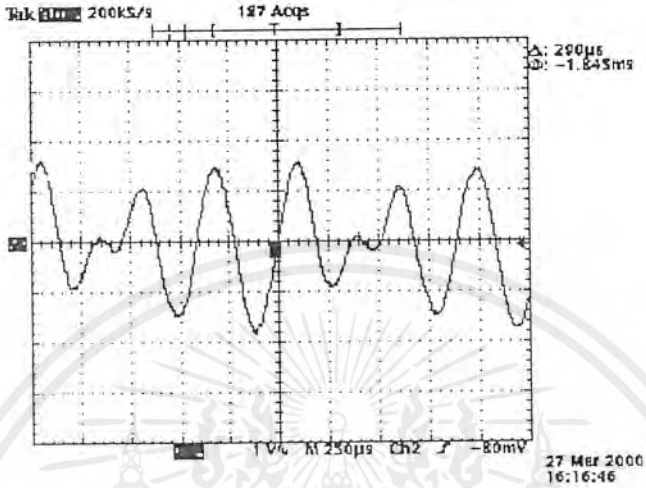
จะได้รูปสัญญาณที่ถูกมอดดูเลทดังรูปข้างล่าง และวัดสัญญาณอนาลอกที่ภาครับได้ 1.8 โวลต์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

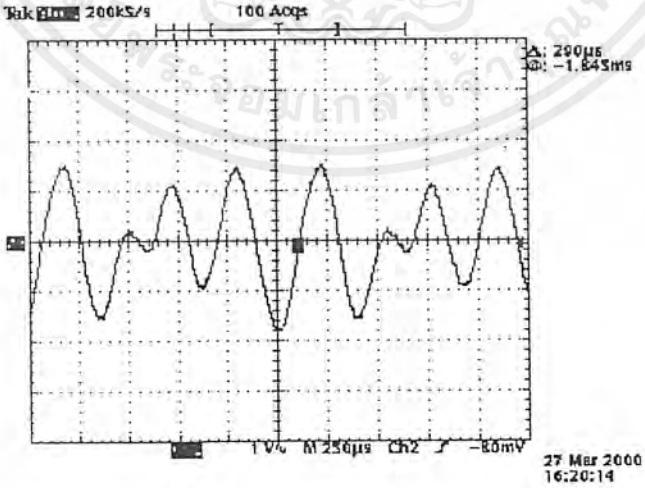
7) ป้อนสัญญาณดิจิตอล 6DB6H

จะได้รูปสัญญาณที่ถูกมอดดูเลทดังรูปข้างล่าง และวัดสัญญาณอนาลอกที่ภาครับได้ 2 โวลต์



8) ป้อนสัญญาณดิจิตอล FFFFH

จะได้รูปสัญญาณที่ถูกมอดดูเลทดังรูปข้างล่าง และวัดสัญญาณอนาลอกที่ภาครับได้ 2.5 โวลต์

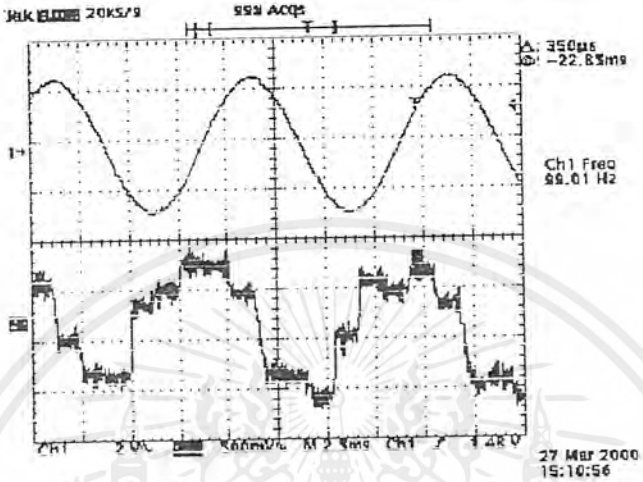


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

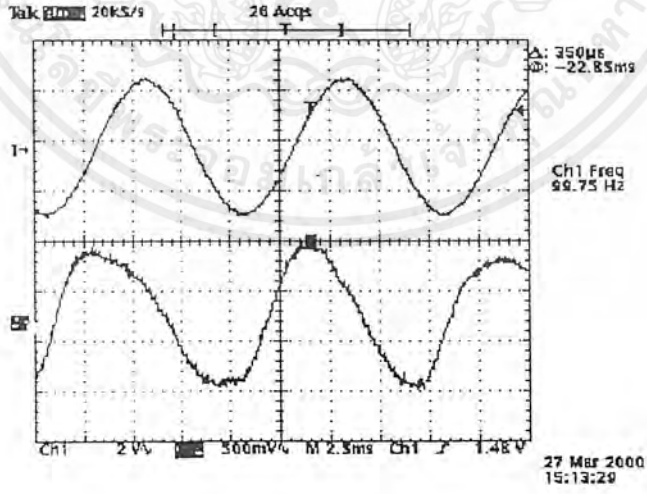
8.4 ทดสอบการทำงานของระบบส่งสัญญาณโดยส่งสัญญาณอนาลอกไฟกระแสสลับ

1) เมื่อป้อนสัญญาณซายน์ ความถี่ 100 Hz จะได้ผลดังนี้

รูปสัญญาณที่ผ่านการดีมอดดูเลทก่อนเข้าวงจรกรองความถี่ต่ำ



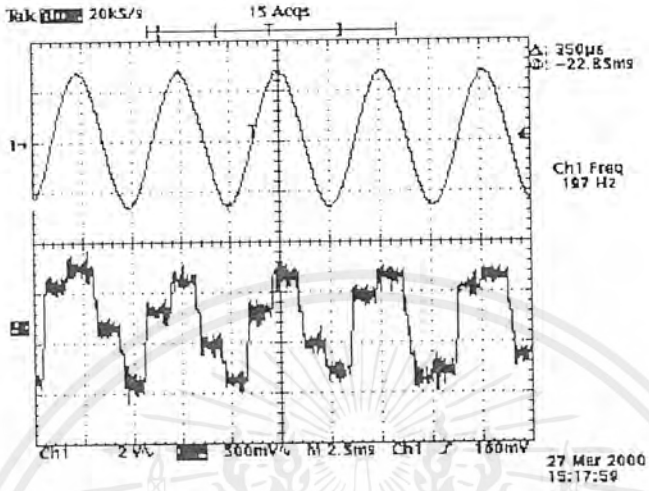
รูปสัญญาณที่ผ่านการดีมอดดูเลทหลังผ่านวงจรกรองความถี่ต่ำ



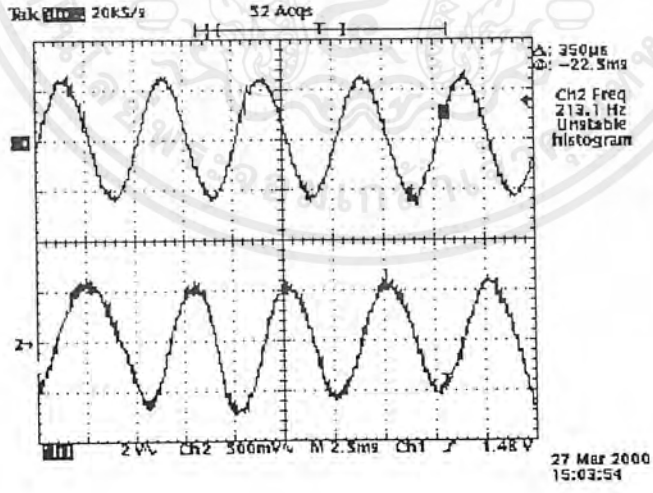
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) เมื่อป้อนสัญญาณซายน์ ความถี่ 200 Hz จะได้ผลดังนี้

รูปสัญญาณที่ผ่านการดีมอดดูเลทก่อนเข้าวงจรกรองความถี่ต่ำ



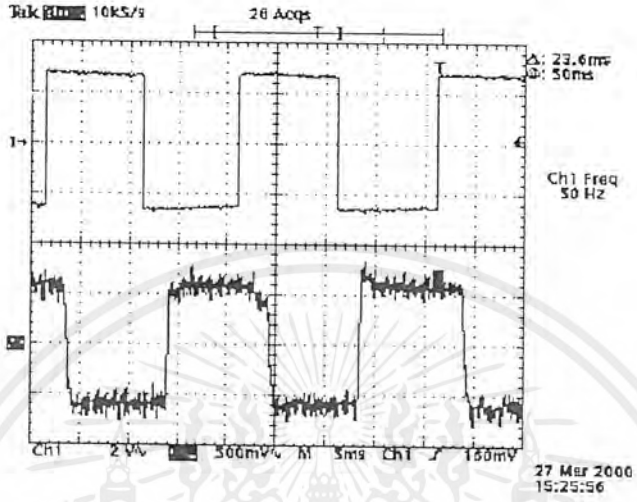
รูปสัญญาณที่ผ่านการดีมอดดูเลทหลังผ่านวงจรกรองความถี่ต่ำ



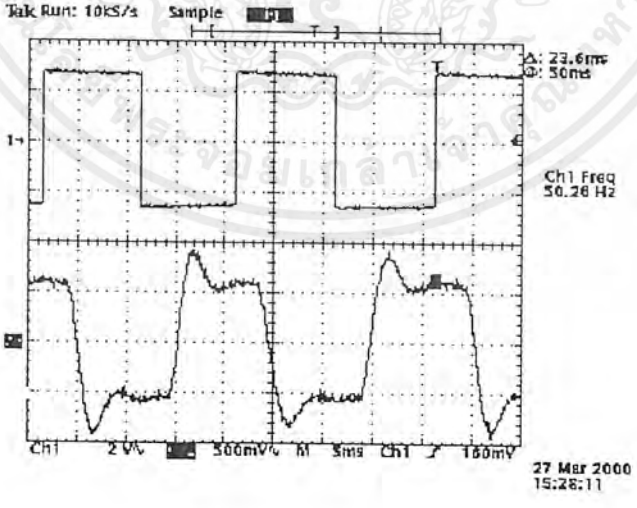
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) เมื่อป้อนสัญญาณสี่เหลี่ยม ความถี่ 50 Hz จะได้ผลดังนี้

รูปสัญญาณที่ผ่านการดีมอดดูเลทก่อนเข้าวงจรกรองความถี่ต่ำ



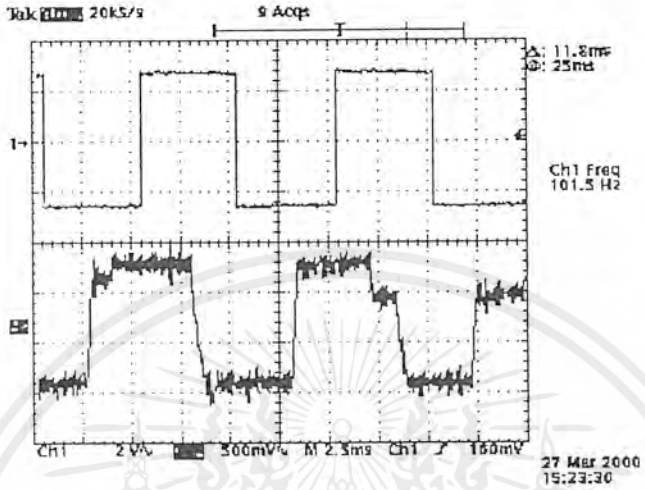
รูปสัญญาณที่ผ่านการดีมอดดูเลทหลังผ่านวงจรกรองความถี่ต่ำ



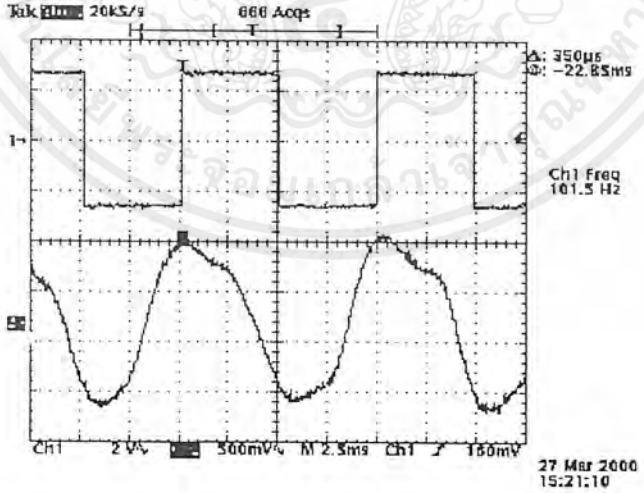
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4) เมื่อป้อนสัญญาณสี่เหลี่ยม ความถี่ 100 Hz จะได้ผลดังนี้

รูปสัญญาณที่ผ่านการดีมอดดูเลทก่อนเข้าวงจรกรองความถี่ต่ำ



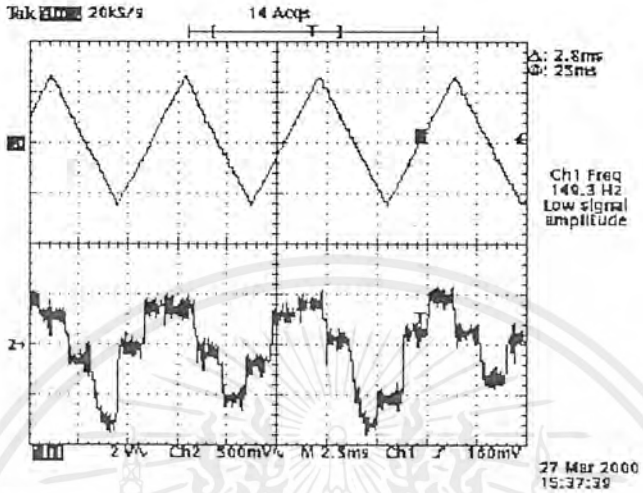
รูปสัญญาณที่ผ่านการดีมอดดูเลทหลังผ่านวงจรกรองความถี่ต่ำ



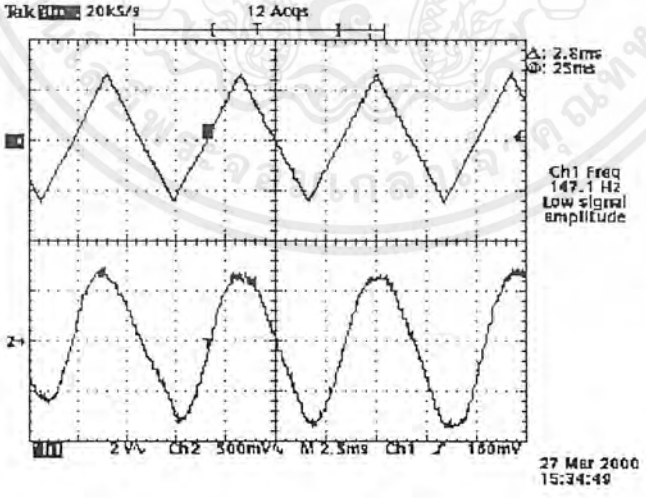
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5) เมื่อป้อนสัญญาณสามเหลี่ยม ความถี่ 150Hz จะได้ผลดังนี้

รูปสัญญาณที่ผ่านการดีมอดดูเลทก่อนเข้าวงจรกรองความถี่ต่ำ



รูปสัญญาณที่ผ่านการดีมอดดูเลทหลังผ่านวงจรกรองความถี่ต่ำ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่9
บทสรุป

9.1 สรุปผลการทดลอง

จากผลการทดลองจะเห็นว่า ถ้าคลื่นที่ส่งไม่ใช่ คลื่น Sine หรือเป็นคลื่นที่ประกอบด้วย หลาย ๆ Spectrum จะต้องส่งได้ในความถี่ที่ต่ำลง เช่น คลื่นสี่เหลี่ยม ส่งได้ที่ความถี่ประมาณ 50 - 100 Hz ในขณะที่ Sine สามารถส่งได้ ถึง ประมาณ 200Hz แต่มีปัญหาในการแยกความแตกต่างระหว่าง Sine กับสามเหลี่ยม เนื่องจากเมื่อคลื่นผ่านการ Sampling จะได้ค่าที่เป็นค่าคงที่ เมื่อนำกลับมารวมกันใหม่ด้วยวงจรกรองความถี่ต่ำ จะทำให้คลื่นมีส่วนโค้ง ไม่สามารถทำให้คลื่นมีลักษณะเป็นเหลี่ยมได้ ดังนั้นเมื่อส่งคลื่นสามเหลี่ยม จะได้คลื่นทางภาครับมีลักษณะคล้ายคลื่น sine

จากการทดลองส่งค่าคงที่โดยผ่านการมอดดูเลท จะสามารถแปลงกลับได้ค่อนข้าง เป็นค่าคงที่ แต่จะมีบางค่าที่ได้ผลการแปลงกลับมีความผิดพลาดเล็กน้อย

9.2 วิจารณ์ผลการทดลอง

ในการทดลองนี้ยังไม่ได้มีการทดลองส่งด้วยสายส่งที่มีความยาวมาก ๆ เนื่องจากหาสายส่งยาวมาก ๆได้ยาก คลื่นที่ใช้ในการทดลองมีรูปแบบน้อยเกินไป ควรจะมีคลื่นที่เป็นคลื่นกระชากช่วงสั้น ๆ หรือคลื่นที่มีรูปสัญญาณได้แน่นอน เพื่อทดสอบความผิดเพี้ยนของรูปคลื่น

9.3 อุปสรรคและวิธีการแก้ปัญหา

ในการส่งข้อมูลด้วยการมอดดูเลชั่น แบบ 8-PSK ช่วยให้ความเร็วในการส่งข้อมูลเร็วขึ้น แต่ก็ทำให้การตรวจจับข้อมูลเป็นไปได้ยากขึ้น เนื่องมาจาก แต่ละลูกคลื่นมี Phase ต่างกันเพียง 45 องศา หรือ 1/8 ของ 1 หน่วยเวลาที่ใช้ในการส่งลูกคลื่น 1 ลูก ซึ่งถ้าความถี่ในการส่งลูกคลื่นสูงยิ่งทำให้แต่ละลูกคลื่น ต่างกันน้อยลง และทำให้การตรวจจับความแตกต่างยิ่งทำได้ยากขึ้น แก้โดยการกำหนดค่าความแตกต่างของแต่ละลูกคลื่นที่ส่งให้แน่นอน และใช้ความถี่ที่ทำให้ด้านรับ สามารถรับและแปลงค่าได้ทัน หรือไม่ก็ต้องใช้วิธีการส่งหรือการตรวจจับแบบอื่นที่ไม่เกี่ยวข้องกับ ค่าขนาดของสัญญาณ เนื่องด้วยถ้าค่าขนาดของสัญญาณมีการเปลี่ยนแปลงเนื่องจากการสูญเสียในการส่งจะทำให้ การตรวจจับผิดพลาด เสียเวลาในการส่ง Start bit นานเกินไป เนื่องด้วย ภาคส่งไม่สามารถส่งค่า 2 ค่าที่มีความแตกต่างกันมากในเวลาที่น้อยมาก ๆได้ เนื่องจากต้องรอเวลาในการเปลี่ยนค่าดิจิตอล ให้เป็นค่าอนาลอกซึ่งใช้เวลาเท่ากับ เวลาในการ Sampling ในการส่งคลื่น Output (19.2KHz) และการรับข้อมูลเข้ามาตรวจสอบของภาครับ จำเป็นต้องใช้วิธีการ Sampling ค่าเข้ามา และเวลาที่ microcontroller ใช้ในการคำนวณทำให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกิดคาบเวลาที่ไม่แน่นอนในการรับค่า ทำให้จำเป็นต้องมี Start bit ที่สามารถบอกจุดเริ่มของข้อมูลได้อย่างแม้นยำ ซึ่งทำให้ได้ Start bit ที่ยาวจนเกินไป ทำให้สูญเสียความเร็วในการส่งข้อมูล ปัญหาในการส่งโดยใช้บอร์ด DSP ซึ่งต่อกับวงจร A/D และ D/A ที่มีค่าSampling เท่าที่กำหนด จึงไม่สามารถใช้ความได้เปรียบในด้าน ความเร็วของ A/D และ D/A มาช่วยในการส่งหรือรับข้อมูลทำให้จำเป็นต้องใช้ข้อมูลแต่ละครั้งที่ Sampling รับเข้ามามากให้คุ้มที่สุด

9.4 แนวทางในการพัฒนา

ในโครงงานนี้ใช้ การมอดดูเลทสัญญาณแบบ 8-PSK แต่ยังมีรูปแบบการมอดดูเลทสัญญาณแบบ QAM ซึ่งน่าสนใจและน่าจะใช้งานได้ ดีกว่า เนื่องจาก ถ้าเป็น 8-QAM แต่ละลูกคลื่น จะมีความต่างเฟส ถึง 90 องศา แต่จะมีขนาดลูกคลื่น 2 ขนาด หรือไม่ก็ใช้วิธีการในการส่งและรับข้อมูลแบบอื่น ๆ สามารถเพิ่มความเร็วในการส่งข้อมูลในกรณีที่ใช้ DSP และใช้การมอดดูเลทสัญญาณแบบ 8-PSK ได้สูงสุดประมาณ 9600 แต่ต้องใช้ตัวรับและตัวกลางส่งที่ดีกว่านี้ หรือเปลี่ยนตัวกลางในการส่งเป็นแบบไร้สายโดยนำสัญญาณที่ได้ไปมอดดูเลทกับความถี่สูงอีกต่อหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. Texas Instrument , "TMS320C5X User's Guide" , Houston , Texas , January 1993
2. Texas Instrument, "TMS320C5X DSP Starter Kit User's Guide" , Dallas , Texas , 1994
3. ปรเมษฐ์ ประนยานันทน์ และ ปิยพงศ์ เผ่าวณิช , "คู่มือและการประยุกต์ใช้งานไมโครคอนโทรเลอร์ MCS-51" , ซีเอ็ดยูเคชั่น , 2536
4. Marvin E. Franking "Digital Signal Processing Communication System" , Van nostrand reinhold , New York , 1994
5. Leon W. couch , "Digital and analog communication system" , Macmillan Publishing Company , second edition , 1987
6. John Pearson , "Basic Communication Theory" . Prentic Hall International Ltd. , 1992

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ ผู้จัดทำหวังว่าจะนำมาซึ่งประโยชน์ และเป็นแนวทางในการประยุกต์ใช้งาน DSP Starter Kit เบอร์ TMS320C50 และไมโครคอนโทรเลอร์ตระกูล MCS-51 ในการควบคุมการส่งสัญญาณดิจิตอล

โครงงานนี้ได้จัดทำสำเร็จลุล่วงไปด้วยดี ทั้งนี้เนื่องจากได้รับความอนุเคราะห์ในด้านคำแนะนำเกี่ยวกับแนวความคิดในการจัดทำ หนังสือเกี่ยวกับ Digital Signal Processor รวมทั้งอุปกรณ์ที่ใช้งานต่างๆ จาก อาจารย์ประภากร สุวรรณะ ซึ่งเป็นอาจารย์ที่ปรึกษา และอาจารย์ภาควิชาอิเล็กทรอนิกส์ทุกท่าน จึงขอขอบคุณมา ณ ที่นี้ด้วย

ขอขอบคุณชุมนุมอิเล็กทรอนิกส์ที่ได้เอื้อเฟื้อ และให้การสนับสนุนสถานที่ อุปกรณ์ และเครื่องมือต่างๆในการทำงาน

สุดท้ายนี้ ขอขอบคุณภาควิชาอิเล็กทรอนิกส์ที่ได้ให้การสนับสนุนสถานที่ และเครื่องมือต่างๆในการทำงาน คุณค่าและประโยชน์อันเกิดจากปริญญานิพนธ์ฉบับนี้ขอมอบแด่ผู้มีพระคุณทุกท่าน

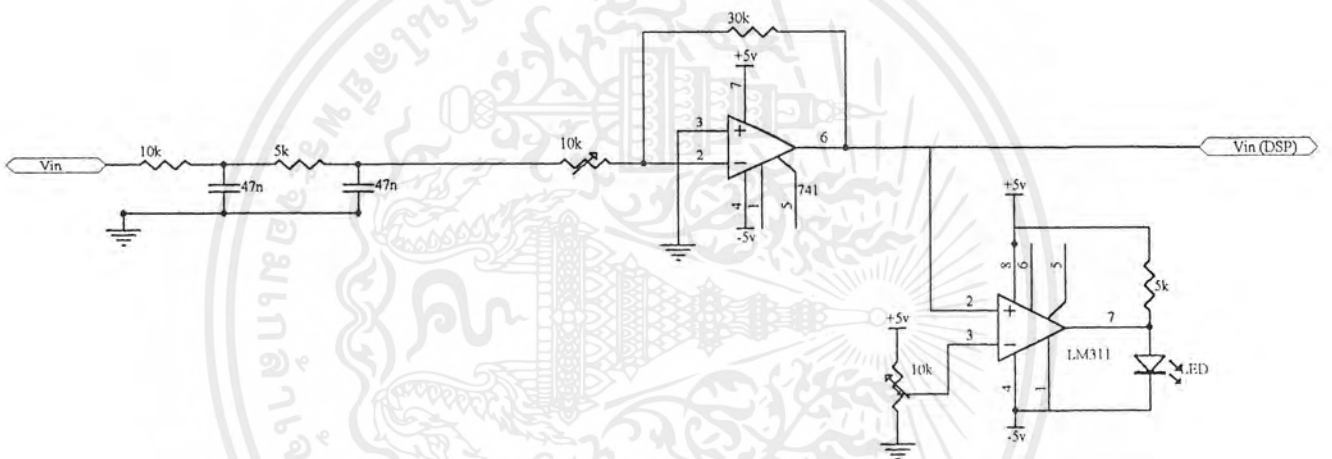
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

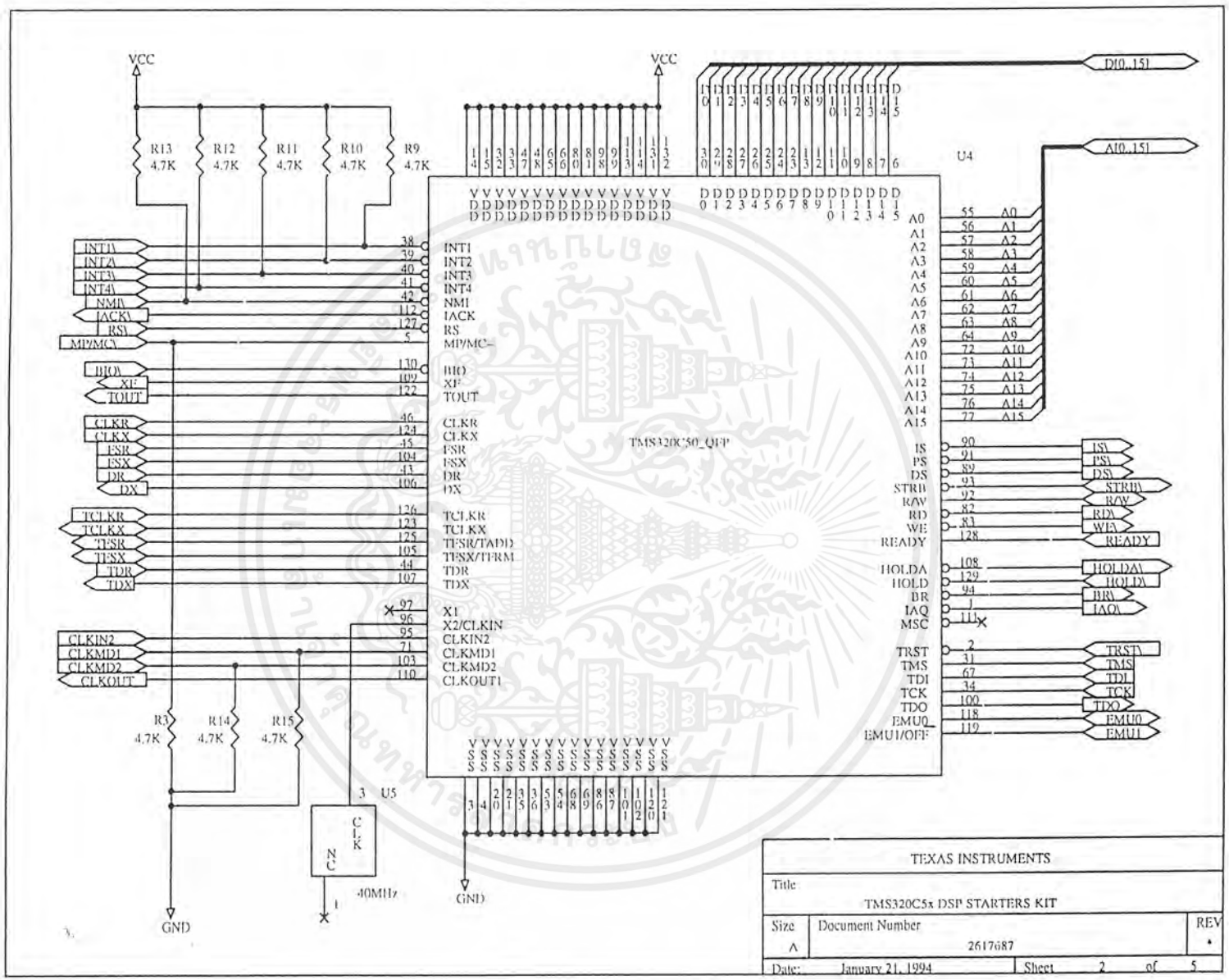
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

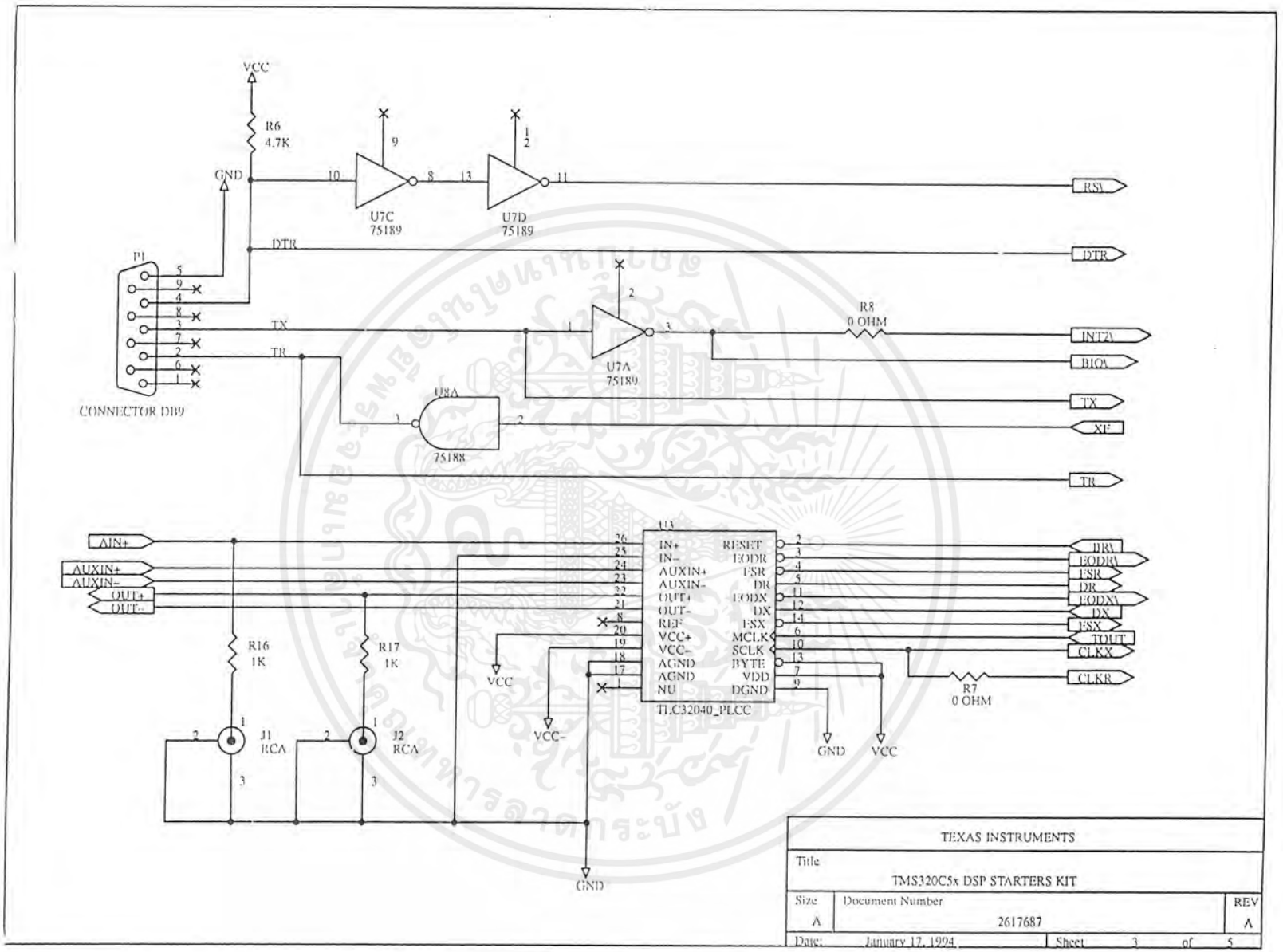
วงจรที่ใช้ในปริญญานิพนธ์



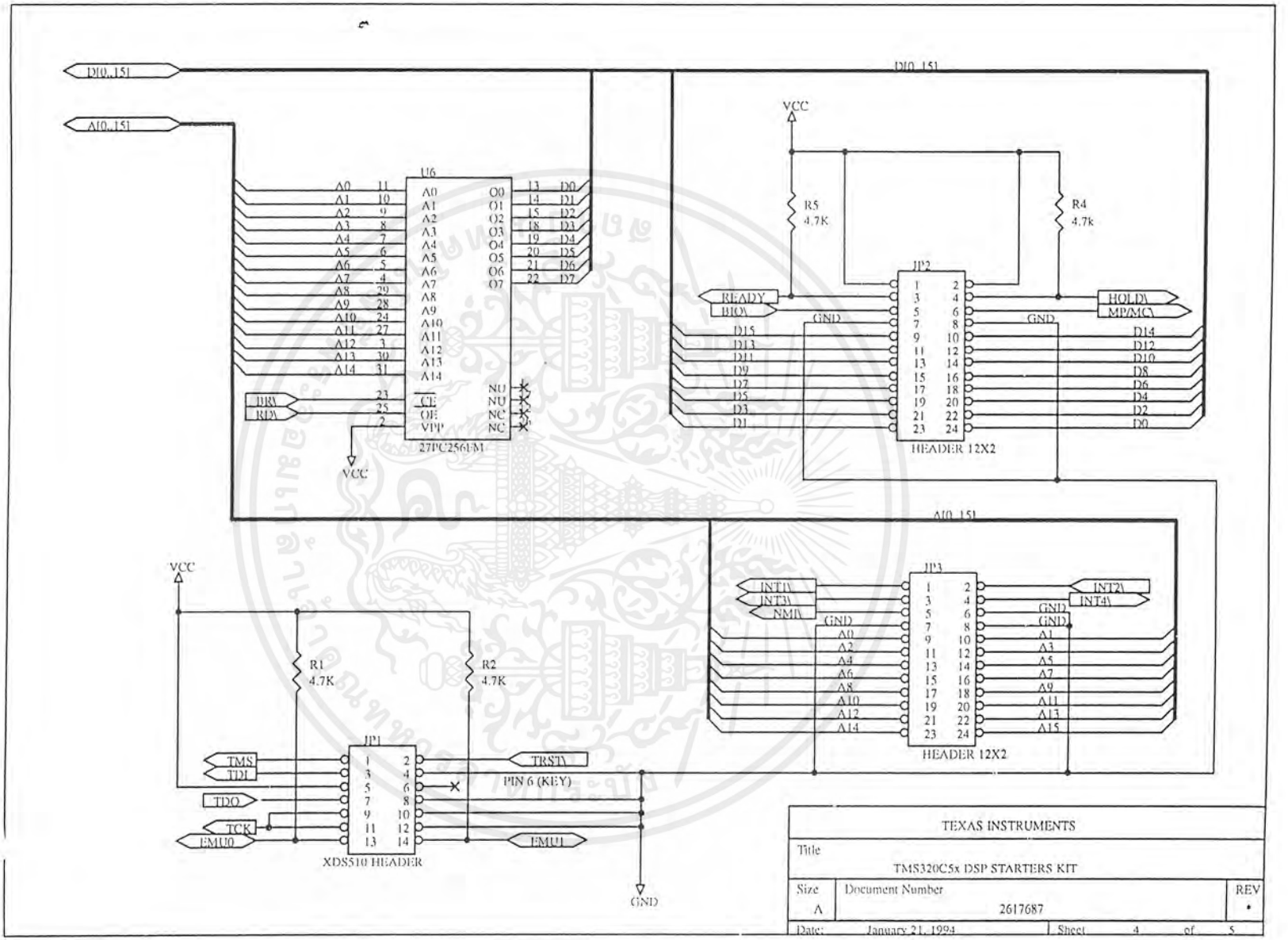
รูปที่ ก.1 วงจรภาคส่งสัญญาณ



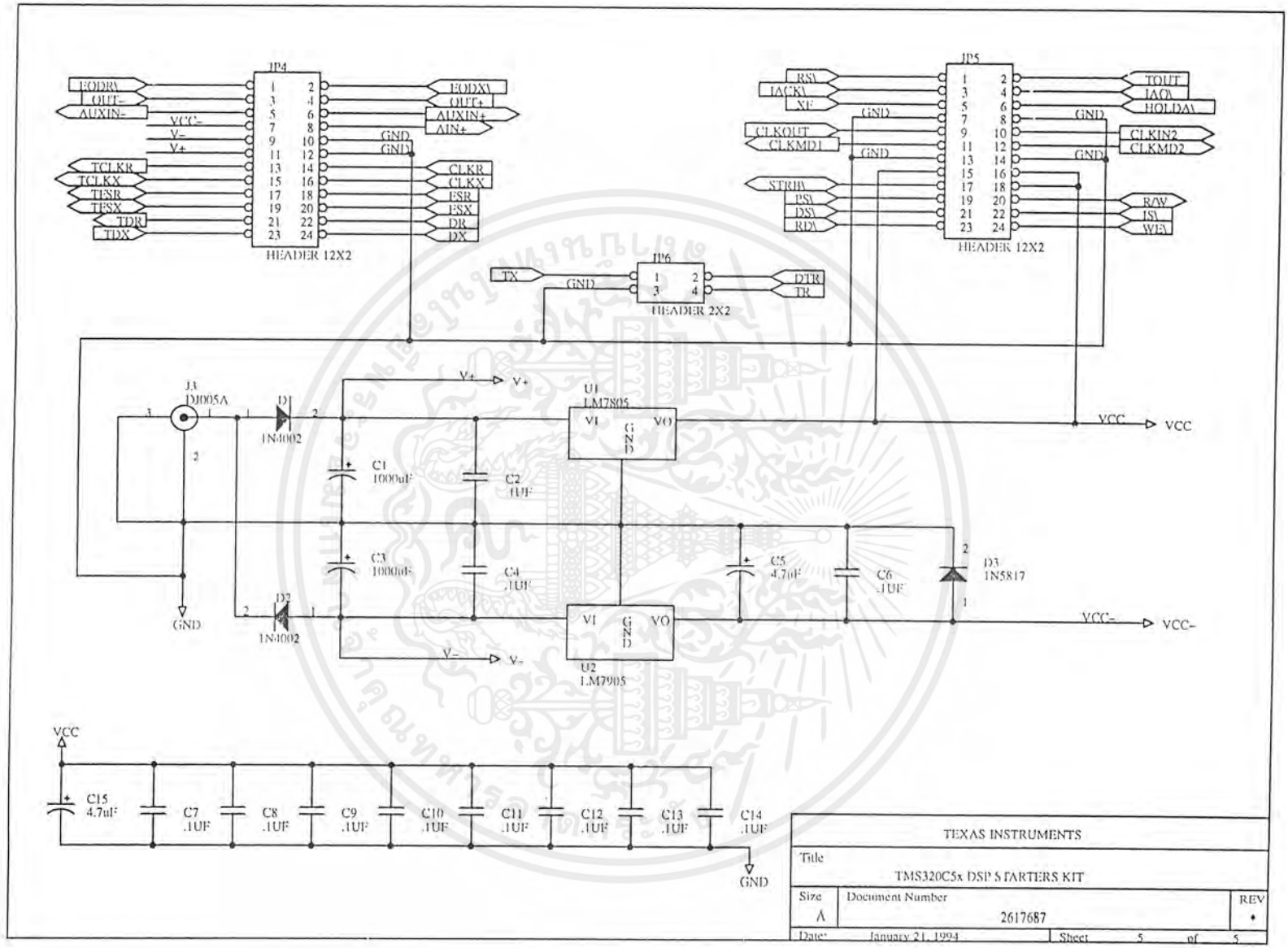
รูปที่ ก.2 วงจร DSP Starter Kit TMS320C50



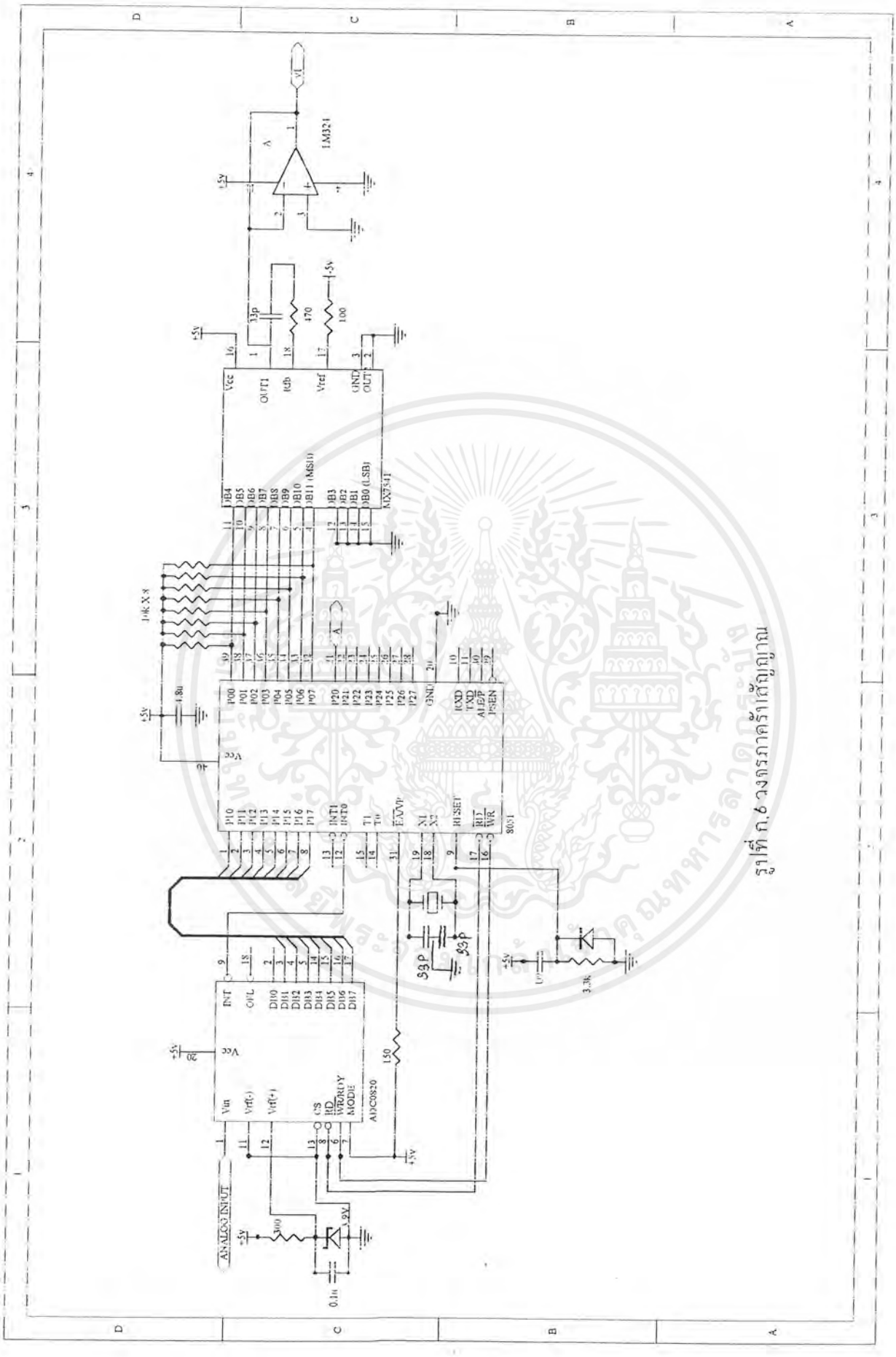
รูปที่ ก.3 วงจร DSP Starter Kit TMS320C50 (ต่อ)



รูปที่ ก.4 วงจร DSP Starter Kit TMS320C50 (ต่อ)

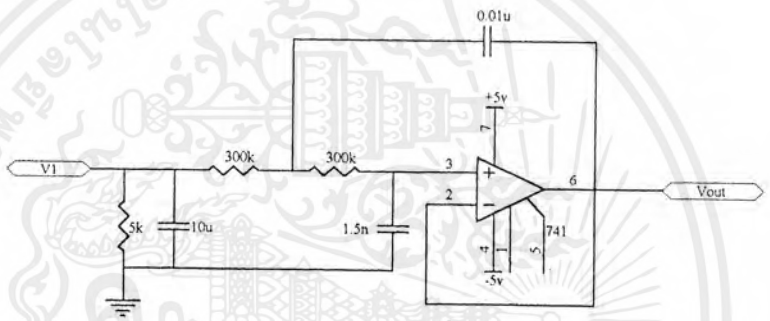


รูปที่ ก.5 วงจร DSP Starter Kit TMS320C50 (ต่อ)



รูปที่ ก.6 วงจรภาครับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.7 วงจรกรองความถี่ต่ำ (ภาครับสัญญาณ)

ภาคผนวก ข.

โปรแกรมที่ใช้ในโครงงาน

ข.1โปรแกรมภาคส่งสัญญาณ

```
* Random noise algorithm:                    *
*            a b c d  x x x x  x x x x  x x x x    *
*            \ / \ /                      *
*           xor|  |xor                     *
*            \ /                         *
*            xor +-------------------------+  *
*            x x x x  x x x x  x x x x  x x x s  *
*****************************************************************
        .mmregs
*
;-------------------------------------------------------;
; Bit definition of the control register in the AIC     ;
;-------------------------------------------------------;

   ;+----------------------+
   ;|LP xx G1 G0 | SY AX LB BP|          G1  G0  gain
   ;+-----------+-----------+          ------------
   ;|   GAIN   | | | +-- BP Filter   0  0   4
   ;|   Synch --+ | +----- Loopback    1  1   4
   ;|   Auxin -----+                0  1   2
   ; + (sinx)/x filter              1  0   1


     .ds    0f00h
TA     .word   13          ; Fcut = 2.5 KHz
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
RA      .word   50          ; Fcut =  2  KHz
TAp     .word   31          ;
RAp     .word   31          ;
TB      .word   20          ; Fs = 8 KHz
RB      .word   25          ; Fs = 8 KHz
AIC_CTR .word   8h
ACC_lo  .word   0
ACC_hi  .word   0
STAT0   .word   0000h       ; STAT0 storage   OUT DATA Y(A)/N(0)
STAT1   .word   0000h       ; STAT1 storage (0F0A)
TEMP    .word   0000h       ; location of TEMPorary storage
COUNT2  .word   0000h
PERIOD  .word   0000h       ; TIMER
PERIOD1 .word   0
y       .word   0           ; sin(fn*pi), 463Ch
y1      .word   0           ; frequency  (0F10)
COUNT   .word   0           ; count transmit
COUNT1  .word   0
TABLEy  .word   03ffch      ;y0 Table (0f13)
        .word   06d38h      ;y_1
        .word   07ffch      ;y_2
        .word   06d38h      ;y_3
        .word   03ffch      ;y_4
        .word   012c0h      ;y_5
        .word   00000h      ;y_6
        .word   012c0h      ;y_7
        .word   03ffch      ;y_0
        .word   06d38h      ;y1_1
        .word   07ffch      ;y1_2
        .word   06d38h      ;y1_3
        word    03ffch      ;y1_4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        .word   012c0h      ;y1_5
        .word   00000h      ;y1_6
        .word   012c0h      ;y1_7
        .word   03ffch      ;y1_0
DATAIN          .word   0
GET1IN5 .word   0
TEMPX   .word   0
REEND   .word   0
        .ds     01000h
coeff   .word   05AE0h      ; cos(fn*pi)

*****************************************************************
*  Set up the ISR vector                                        *
*****************************************************************
        .ps     0808h
tint:   B       TIMER       ;08; Timer interrupt TINT.
rint:   B       RECEIVE     ;0A; Serial port receive interrupt RINT.
xint:   B       TRANSMIT    ;0C; Serial port transmit interrupt XINT.

*
*****************************************************************
* TMS32C05X INITIALIZATION                                      *
*                                                               *
*****************************************************************
        .ps 0a00h
        .entry
START:  SETC    INTM        ; Disable interrupts
        LDP     #0          ; Set data page pointer
        OPL     #0834h,PMST
        LACC    #0
        SAMM    CWSR        ; Set software wait state to 0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SAMM   PDWSR        ;

* Reset AIC by writing to PA2 (address >52) to DSK

        SPLK   #022h,IMR     ; Using XINT syn TX & RX
        CALL   AICINIT       ; initialize AIC and enable interrupts
*
*****************************************************************
* This routine enables serial port rx interrupts & configures   *
* TLC32040 for the frame sync. When RINT is triggered, read a   *
* dummy data word from the AIC then generate a sine wave to     *
* send out.                                                     *
*****************************************************************

        LDP    #0
        CLRC   SXM
        CLRC   OVM           ; OVM = 0
        SPM    #0            ; PM = 0
        LAR    AR4,#0f13h    ; START TABLE
        SPLK   #0008h,SPC    ; SET TXM=MCM=DLV=FO=0,FSM=1
        SPLK   #00C8h,SPC    ; XRST=RRSR=0
        SPLK   #0ffffh,IFR   ; CLEAR IFR
        SPLK   #00032h,IMR    ; ENABLE T,R-INT
        CLRC   INTM          ; enable
START0: LDP    #1Eh
        SPLK   #0,TEMPX
        SPLK   #0001h,TEMP
WAIT:   NOP
        LACL   REEND         ; REEND = 5 RECEIPT DATA
        SUB    #05h,0
        BCND   WAIT,NEQ
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SPLK   #0h,REEND
SYN:    LDP    #1Eh
        SPLK   #0,TEMPX
SYN0:   LDP    #1Eh
        LACC   #3ffch
        SAMM DXR              ; SEND SYN 0
        LACL   TEMPX
        SUB    #04h,0         ; 5
        BCND   SYN0,LEQ
        SPLK   #0,TEMPX
SYN1:   LACC   #7000h
        SAMM   DXR            ; SEND SYN 1
        LACL   TEMPX
        SUB    #01h,0         ; 1
        BCND   SYN1,LEQ
        SPLK   #0,TEMPX
SYN2:   LACC   #3ffch
        SAMM   DXR            ; SEND SYN 0
        LACL   TEMPX
        SUB    #01h,0         ;1
        BCND   SYN2,LEQ
STAP0:  SPLK   #0,PERIOD
        SPLK   #0,COUNT
        SPLK   #0,COUNT1
GETDATA:
        SACL   GET1IN5
        SUB    #03,0          ;5
        BCND   INDA,GEQ       ;non 1/5 time not get data
        SPLK   #0,GET1IN5
        LAMM   DRR
INDA:   LACC   DATAIN
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        RPT   #8            ;DATA 8 BIT SYN 1 BLOCK
        SFR
        SACB                ; STORE A -> y1,B
        SPLK  #0,COUNT1
AGAIN:LDP   #0h
        LACB
        AND   #0007h        ; GET 3 BIT
        SACL  INDX          ; START POINT
        LACB
        BSAR  3             ; SHIFT DATA RIGHT IN ACCB 3 BIT
        SACB
        LAR   AR4,#0f13h    ; START TABLE
        MAR   *,AR4         ; ARP = AR4
        ADD   *0+           ; AR(ARP) + INDX = AR(ARP)
        LACL  *+,AR4        ; Acc = AR(ARP),AR(ARP) = AR(ARP) +1
        SAMM  DXR
        LDP   #1Eh
        SPLK  #0,COUNT
        SPLK  #0Ah,STAT0    ; ENABLE RINT
UNTIL:  LDP   #1Eh
        LACL  COUNT
        SUB   #07h,0        ; 8 IS 1 CIRCLE
        BCND  UNTIL,LEQ
        SPLK  #0h,STAT0
STEP2: LACL   COUNT1        ; INCREASE COUNT
        ADD   #1
        SACL  COUNT1
        SUB   #02h
        BCND  AGAIN,NEQ     ; COUNT NEQ 03h GO TO SEND AGAIN
        B     SYN
    ;-------------------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    ; sinewave generator
    ;-----------------------------------
SINEWAVE:
        LACL   *+,AR4        ; A = (AR4) & ARP = AR4,AR4 = AR4+1
        SAMM  DXR
        LACL   COUNT
        ADD    #1
        SACL   COUNT
        RETE
;------- end of main program ----------;
;
; TIMER INTERUPT SERVICE ROUTINE
;
TIMER:
         RETE


;
; RECIEVER INTERRUPT SERVICE ROUTINE
;
RECEIVE:
        LDP     #1Eh
        LACL  GET1IN5           ;chack is 1/5 time ?
         ADD  #1
         SACL   GET1IN5
        SUB  #03,0              ;5
        BCND  NON,NEQ             ;non 1/5 time not get data
        LAMM  DRR               ;get data to acc
        SACL  DATAIN             ;DATAIN IS DATA STORAGE
        SPLK  #05,REEND
        SPLK  #0,GET1IN5
NON:    RETE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
; TRANSMIT INTERRUPT SERVICE ROUTINE
;
TRANSMIT:
        LDP  #1Eh
        LACL STAT0
        SUB  #0Ah,0
        BCND SINEWAVE,EQ
        LACL TEMPX
        ADD  #1
        SACL TEMPX
        RETE

*
*****************************************************************
* DESCRIPTION: This routine initializes the TLC320C40 for      *
*          a 8Khz sample rate with a gain setting of 1      *
*****************************************************************
* aic initialization data
*
AICINIT:
        LDP   #0
        SPLK  #20h,TCR        ; To generate 10 MHz from Tout
        SPLK  #01h,PRD        ; for AIC master clock
        MAR   *,AR0
        LACC  #0008h          ; Non continuous mode
        SACL  SPC             ; FSX as input
        LACC  #00c8h          ; 16 bit words
        SACL  SPC
        LACC  #080h           ; Pulse AIC reset by setting it low
        SACH  DXR
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SACL   GREG
        LAR    AR0,#0FFFFh
        RPT    #10000          ; and taking it high after 10000 cycles
        LACC   *,0,AR0         ; (.5ms at 50ns)
        SACH   GREG
        ;-----------------------
        LDP    #TA             ;
        SETC   SXM             ;
        LACC   TA,9            ; Initialized TA and RA register
        ADD    RA,2            ;
        CALL   AIC_2ND         ;
        ;-----------------------
        LDP    #TB
        LACC   TB,9            ; Initialized TB and RB register
        ADD    RB,2            ;
        ADD    #02h            ;
        CALL   AIC_2ND         ;
        ;-----------------------
        LDP    #AIC_CTR
        LACC   AIC_CTR,2       ; Initialized control register
        ADD    #03h            ;
        CALL   AIC_2ND         ;
        RET                    ;

AIC_2ND:
        LDP    #0
        SACH   DXR             ;
        CLRC   INTM
        IDLE
        ADD    #6h,15          ; 0000 0000 0000 0011 XXXX XXXX XXXX XXXX b
        SACH   DXR             ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
IDLE
SACL   DXR          ;
IDLE
LACL   #0           ;
SACL   DXR          ; make sure the word got sent
IDLE
SETC   INTM
RET                 ;
.end
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข.2 โปรแกรมภาครับสัญญาณ

```
FLAG_0      EQU   32H          ; check interupt timer0
FLAG_1      EQU   33H          ;check interupt timer1
UP_DOWN     EQU   34H          ;check up_down
DATA0       EQU   35H          ;keep data0
DATA1       EQU   36H          ;keep data1
ROUND       EQU   00H          ;check timer1 to count 2 round
INPUT1      EQU   30H          ;INPUT 1
ROUND_0     EQU   31H          ;check 3 round of data
DATA2       EQU   37H          ;keep data2
DATA3       EQU   38H          ;keep data3
INPUT2      EQU   39H          ;INPUT 2
SYN         EQU   3AH
CHECKSYN    EQU   3BH
G1          EQU   3CH
LEVEL2      EQU   1FH
LEVEL3      EQU   72H
LEVEL4      EQU   0C3H
CHANNEL     EQU   08H          ;check channel
SYNC0  EQU   00110110B
SYNC1  EQU   10100111B

ORG    0000H
JMP    START0

ORG    000BH                  ;interupt timer0
LJMP   T_0

ORG    001BH                  ;interupt timer1
LJMP   T_1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ORG     0040H
START0: SETB    P2.1
        MOV     R0,#06H
BEG:    ACALL   REC
        CJNE    A,#SYNC0,CHECKA         ; check lower0
        SJMP    WAIT0
CHECKA: JNC     CHECKB
        SJMP    START0
CHECKB: CJNE    A,#SYNC1,CHECKC         ;check upper 0
        SJMP    WAIT0
CHECKC: JC      WAIT0
        SJMP    START0
WAIT0:  DJNZ    R0,BEG
;*************************************************************
BEG1:   ACALL   REC
        CJNE    A,#SYNC0,CHECK_A
CHECK_A: JNC    CHECK_B
        SJMP    BEG2
CHECK_B: CJNE   A,#SYNC1,CHECK_C
CHECK_C: JC     BEG1
        SJMP    BEG2
;*************************************************************
BEG2:   ACALL   REC
        CJNE    A,#SYNC0,CHECA
        SJMP    TEST
CHECA:  JNC     CHECB
        SJMP    BEG2
CHECB:  CJNE    A,#SYNC1,CHECC
        SJMP    TEST
CHECC:  JC      TEST
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            SJMP    BEG2
TEST:       CLR     P2.1
            SJMP    START
;*************************************************************
REC:        CLR     P3.6
            NOP
            NOP
            SETB    P3.6
            JB      P3.2,$
            CLR     P3.7
            NOP
            MOV     A,P1
            SETB    P3.7
            RET
;*****************************************************
            ;CHECK  DATA
;*****************************************************
START:
            MOV     P0,DATA0
            MOV     ROUND_0,#2          ;count 2 of data
MAIN:       MOV     FLAG_0,#0FFH        ;set value to check interupt timer0
            MOV     FLAG_1,#0FFH        ;set value to check interupt timer1
            MOV     A,ROUND_0
            CJNE    A,#2,I
            MOV     G1,#33
D:          DJNZ    G1,D
            JMP     M
I:          MOV     G1,#5
S           DJNZ    G1,S
M:          SETB    ROUND               ;set value to check to receive input2
            SETB    EA
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SETB    ET0
        SETB    ET
        LCALL   S_0             ;set value timer0
        LCALL
        S_1                     ;set value timer1
BEFBEG:
        MOV     A,ROUND_0
        CJNE    A,#2,BEGIN
        SETB    TR0             ;start count timer0
BEGIN:  SETB    TR1             ;start count timer1
RECE:   CLR     P3.6
        NOP
        NOP
        SETB    P3.6
        JB      P3.2,$
        CLR     P3.7
        NOP
        MOV     A,P1
        NOP
        SETB    P3.7
        JNB     ROUND,S1        ;check round to save input1 in 30h
        MOV     INPUT1,A
WAIT1:                          ;wait interupt timer1
        MOV     A,FLAG_1
        CJNE    A,#00H,WAIT1
        MOV     FLAG_1,#0FFH
        JNB     ROUND,RECE      ;check round if clear mov to receieve input2
S1:     MOV     INPUT2,A        ;save input2 in 39h

CAL:
        MOV     A,INPUT1        ;check input1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CH1:    CJNE    A,#LEVEL3,TEST1     ;compare with 72
        MOV     INPUT1,A            ;if equal check input2 up or down
        MOV     A,INPUT2            ;input2 to check
        CJNE    A,INPUT1,C1
        JMP     UP4                 ;if input2 equal input1 jump to up4
C1:     JC      DOWN3               ;if input2 less input1 jump to down3
        JMP     UP4                 ;if input2 more input1 jump to up4
TEST1:  JC      DOWNX               ;if input1 not equal 72 and less jump to downx
        CJNE    A,#LEVEL4,TEST2     ;input1 more than72 check it with level4
        MOV     INPUT1,A            ;if equal level4 check up or down
        MOV     A,INPUT2
        CJNE    A,INPUT1,C2
        JMP     UP5                 ;if input2 eual input1 jump up5
C2:     JC      DOWN4               ;if input2 less input1 jump to down4
        JMP     UP5                 ;if input2 more input1 jump to up5
TEST2   JNC     UPX                 ;if input1 not equal level4 and more than it jump to
upx
        JMP     ZONE4               ;if input1 not equal level4 and less than jump
zone4
UPX:    JMP     ZONE5               ;jump zone5
DOWNX:
        CJNE    A,#LEVEL2,TEST3     ;if input1 less level3 check again with level2
        MOV     INPUT1,A            ;if equal level2 check input2 up or down
        MOV     A,INPUT2
        CJNE    A,INPUT1,C3
        JMP     DOWN2               ;if input2 equal input1 jump down2
C3:     JC      DOWN2               ;if input2 less input1 jump down2
        JMP     UP3                 ;if input2 more input1 jump up3
TEST3:  JC      DOWNY       ;if input1 not equal level2 and less than jump downy
        JMP     ZONE3               ;if input1 less level3 but more level2 jump zone3
DOWNY:  JMP     ZONE2               ;if input1 less level2 jump zone2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ZONE2:  CALL    TEST_UP_DOWN    ;check input2 up or down from input1
        MOV     A,UP_DOWN       ;case input1 and input2 during level1 and level2
        CJNE    A,#00H,DOWN2
UP2:    MOV     DATA0,#6        ;if input2 up ,mov 6 to keep
        JMP     END_1
DOWN2:  MOV     DATA0,#5        ;if input2 down , mov 5 to keep
        JMP     END_1
ZONE3:  CALL    TEST_UP_DOWN    ;check input2 up or down from input1
        MOV     A,UP_DOWN       ;case input1 and input2 during level2 and level3
        CJNE    A,#00H,DOWN3
UP3:    MOV     DATA0,#7        ;if input2 up ,mov 7 to keep
        JMP     END_1
DOWN3:  MOV     DATA0,#4        ;if input2 up ,mov 4 to keep
        JMP     END_1
ZONE4:  CALL    TEST_UP_DOWN    ;check input2 up or down from input1
        MOV     A,UP_DOWN       ;case input1 and input2 during level3 and level4
        CJNE    A,#00H,DOWN4
UP4:    MOV     DATA0,#0        ;if input2 up ,mov 0 to keep
        JMP     END_1
DOWN4:  MOV     DATA0,#3        ;if input2 up ,mov 3 to keep
        JMP     END_1
ZONE5:  CALL    TEST_UP_DOWN    ;check input2 up or down from input1
        MOV     A,UP_DOWN       ;case input1 and input2 during level4 and level5
        CJNE    A,#00H,DOWN5
UP5:    MOV     DATA0,#1        ;if input2 up ,mov 1 to keep
        JMP     END_1
DOWN5:  MOV     DATA0,#2        ;if input2 up ,mov 2 to keep
        JMP     END_1

TEST_UP_DOWN:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     INPUT1,A            ;check up or down
        MOV     A,INPUT2
        CJNE    A,INPUT1,NEXT
NEXT:   JC      DOWN
UP:     MOV     UP_DOWN,#00H        ;if up set value 00
        JMP     OUT_TEST
DOWN:   MOV     UP_DOWN,#0FFH       ;if down set value ff
        JMP     OUT_TEST
OUT_TEST:
        RET
END_1:  MOV     A,ROUND_0           ;check round of data is 0
CHK1:   CJNE    A,#2,CHK2           ;round 1 keep data0 to data1
        MOV     DATA1,DATA0
        JMP     END_ROUND
CHK2:   CJNE    A,#1,CHK3           ;round 2 keep data0 to data2
        MOV     A,DATA0
        CJNE    A,#0,H
        MOV     DATA0,#7
        JMP     X
H:      DEC     A
        MOV     DATA0,A
X:      MOV     DATA2,DATA0
        JMP     END_ROUND
CHK3:   MOV     DATA3,DATA0         ;round 3 keep data0 to data3
        JMP     END_ROUND
END_ROUND:
        MOV     A,ROUND_0
        CJNE    A,#2,SHIFT_DATA1
ENDAGAIN:
        MOV     A,FLAG_0            ;check interupt timer0 and wait interupt
        CJNE    A,#00H,ENDAGAIN
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     FLAG_0,#0FFH
        MOV     A,ROUND_0           ;check data is data3?
        CJNE    A,#1,SHIFT_DATA1
        LJMP    MAIN                ;if not back to receive data2

SHIFT_DATA1:
        MOV     A,DATA1             ;shift data1
        RL      A
        MOV     DATA1,A
SHIFT_DATA2:
        MOV     A,DATA2             ;shift data2
        SWAP    A
        MOV     DATA2,A

SHIFT_DATA3:
        MOV     A,DATA3             ;shift data3
        ORL     A,DATA2
        ORL     A,DATA1
        MOV     DATA0,A             ;keep result in data0
        LJMP    SEND_DATA           ;send data
;*************************************************
S_0:    MOV     TMOD,#00010001B     ;set timer0
        MOV     TH0,#0FEH
        MOV     TL0,#73H
        RET
;*************************************************
S_1:    MOV     TMOD,#00010001B     ;set timer1
        MOV     TH1,#0FFH
        MOV     TL1,#0EBh
        RET
;*************************************************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
T_0:    CLR     TR0             ;interupt timer0
        PUSH    ACC
        PUSH    PSW
        MOV     FLAG_0,#00H
        DEC     ROUND_0
        POP     PSW
        POP     ACC
        RETI
;*****************************************************
T_1:    CLR     TR1             ;interupt timer1
        PUSH    ACC
        PUSH    PSW
        MOV     FLAG_1,#00H
        CLR     ROUND
Z:      MOV     FLAG_1,#00H
        POP     PSW
        POP     ACC
        RETI
;*****************************************************
SEND_DATA:
        MOV     A,DATA0         ;send data
        NOP
        MOV     P0,A
        LJMP    START0
        END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

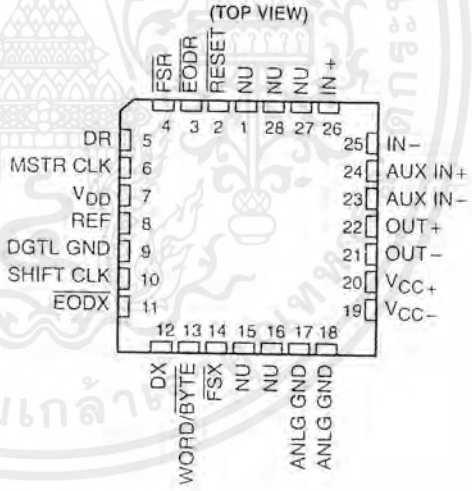
SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

- Advanced LinCMOS™ Silicon-Gate Process Technology
- 14-Bit Dynamic Range ADC and DAC
- variable ADC and DAC Sampling Rate Up to 19,200 Samples per Second
- Switched-Capacitor Antialiasing Input Filter and Output-Reconstruction Filter
- Serial Port for Direct Interface to TMS32011, TMS320C17, TMS32020, and TMS320C25 Digital Signal Process
- Synchronous or Asynchronous ADC and DAC Conversion Rate With Programmable Incremental ADC and DAC Conversion Timing Adjustments
- Serial Port Interface to SN74299 Serial-to-Parallel Shift Register for Parallel Interface to TMS32010, TMS320C15, or Other Digital Processors
- 600-Mil Wide N Package (C_L to C_L)

PART NUMBER	DESCRIPTION
TLC32040	Analog interface circuit with internal reference. Also a plug-in replacement for TLC32041.
TLC32041	Analog interface circuit without internal reference
TLC32042	Identical to TLC32040, but has a slightly wider bandpass filter bandwidth

N PACKAGE
(TOP VIEW)

FN PACKAGE
(TOP VIEW)



NU – Nonusable; no external connection should be made to these pins.

description

The TLC32040, TLC32041, and TLC32042 are complete analog-to-digital and digital-to-analog input/output systems, each on a single monolithic CMOS chip. This device integrates a bandpass switched-capacitor antialiasing input filter, a 14-bit-resolution A/D converter, four microprocessor-compatible serial port modes, a 14-bit-resolution D/A converter, and a low-pass switched-capacitor output-reconstruction filter. The device offers numerous combinations of master clock input frequencies and conversion/sampling rates, which can be changed via digital processor control.

Typical applications for this integrated circuit include modems (7.2-, 8-, 9.6-, 14.4-, and 19.2-kHz sampling rate), analog interface for digital signal processors (DSPs), speech recognition/storage systems, industrial process control, biomedical instrumentation, acoustical signal processing, spectral analysis, data acquisition, and instrumentation recorders. Four serial modes, which allow direct interface to the TMS32011, TMS320C17, TMS32020, and TMS320C25 digital signal processors, are provided. Also, when the transmit and receive

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

description (continued)

sections of the analog interface circuit (AIC) are operating synchronously, it will interface to two SN74299 serial-to-parallel shift registers. These serial-to-parallel shift registers can then interface in parallel to the TMS32010, TMS320C15, other digital signal processors, or external FIFO circuitry. Output data pulses are emitted to inform the processor that data transmission is complete or to allow the DSP to differentiate between two transmitted bytes. A flexible control scheme is provided so that the functions of this integrated circuit can be selected and adjusted coincidentally with signal processing via software control.

The antialiasing input filter comprises seventh-order and fourth-order CC-type (Chebyshev/elliptic transitional) low-pass and high-pass filters, respectively and a fourth-order equalizer. The input filter is implemented in switched-capacitor technology and is preceded by a continuous time filter to eliminate any possibility of aliasing caused by sampled data filtering. When no filtering is desired, the entire composite filter can be switched out of the signal path. A selectable, auxiliary, differential analog input is provided for applications where more than one analog input is required.

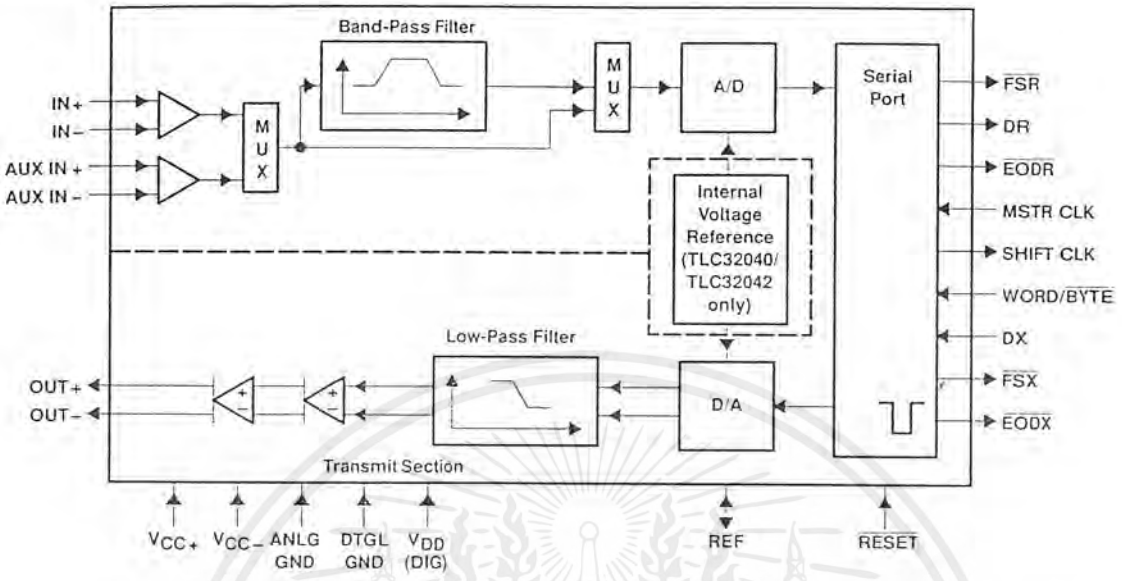
The A/D and D/A converters each have 14 bits of resolution. The A/D and D/A architectures ensure no missing codes and monotonic operation. An internal voltage reference is provided on the TLC32040 and TLC32042 to ease the design task and to provide complete control over the performance of this integrated circuit. The internal voltage reference is brought out to a pin and is available to the designer. Separate analog and digital voltage supplies and grounds are provided to minimize noise and ensure a wide dynamic range. Also, the analog circuit path contains only differential circuitry to keep noise to an absolute minimum. The only exception is the DAC sample and hold, which utilizes pseudo-differential circuitry.

The output-reconstruction filter is a seventh-order CC-type (Chebyshev/elliptic transitional low-pass filter followed by a fourth-order equalizer) and is implemented in switched-capacitor technology. This filter is followed by a continuous-time filter to eliminate images of the digitally encoded signal.

The TLC32040C, TLC32041C, and TLC32042C are characterized for operation from 0°C to 70°C, and the TLC32040I, TLC32041I, and TLC32042I are characterized for operation from −40°C to 85°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

functional block diagram



analog input

Two sets of analog inputs are provided. Normally, the IN+ and IN– input set is used; however, the auxiliary input set, AUX IN+ and AUX IN–, can be used if a second input is required. Each input set can be operated in either differential or single-ended modes, since sufficient common-mode range and rejection are provided. The gain for the IN+, IN–, AUX IN+, and AUX IN– inputs can be programmed to be either 1, 2, or 4 (see Table 2). Either input circuit can be selected via software control. It is important to note that a wide dynamic range is assured by the differential internal analog architecture and by the separate analog and digital voltage supplies and grounds.

A/D bandpass filter, A/D bandpass filter clocking, and A/D conversion timing

The A/D bandpass filter can be selected or bypassed via software control. The frequency response of this filter is presented in the following pages. This response results when the switched-capacitor filter clock frequency is 288 kHz. Several possible options can be used to attain a 288-kHz switched-capacitor filter clock. When the filter clock frequency is not 288 kHz, the filter transfer function is frequency scaled by the ratio of the actual clock frequency to 288 kHz. The low-frequency roll-off of the high-pass section is 300 Hz. However, the high-pass section low-frequency roll-off is less steep for the TLC32042 than for the TLC32040 and TLC32041.

The internal timing configuration and AIC DX data word format sections of this data sheet indicate the many options for attaining a 288-kHz bandpass switched-capacitor filter clock. These sections indicate that the RX Counter A can be programmed to give a 288-kHz bandpass switched-capacitor filter clock for several master clock input frequencies.

The A/D conversion rate is then attained by frequency dividing the 288-kHz bandpass switched-capacitor filter clock with the RX Counter B. Thus, unwanted aliasing is prevented because the A/D conversion rate is an integral submultiple of the bandpass switched-capacitor filter sampling rate, and the two rates are synchronously locked.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A/D converter performance specifications

Fundamental performance specifications for the A/D converter circuitry are presented in the A/D converter operating characteristics section of this data sheet. The realization of the A/D converter circuitry with switched-capacitor techniques provides an inherent sample-and-hold.

analog output

The analog output circuitry is an analog output power amplifier. Both noninverting and inverting amplifier outputs are brought out of this integrated circuit. This amplifier can drive transformer hybrids or low-impedance loads directly in either a differential or single-ended configuration.

D/A low-pass filter, D/A low-pass filter clocking, and D/A conversion timing

The frequency response of this filter is presented in the following pages. This response results when the low-pass switched-capacitor filter clock frequency is 288 kHz. Like the A/D filter, the transfer function of this filter is frequency scaled when the clock frequency is not 288 kHz. A continuous-time filter is provided on the output on the output of the D/A low-pass filter to greatly attenuate any switched-capacitor clock feedthrough.

The D/A conversion rate is then attained by frequency dividing the 288-kHz switched-capacitor filter clock with TX Counter B. Thus, unwanted aliasing is prevented because the D/A conversion rate is an integral submultiple of the switched-capacitor low-pass filter sampling rate, and the two rates are synchronously locked.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- Compatible with MCS-51™ Products
- 4K Bytes of In-System Reprogrammable Flash Memory
  - Endurance: 1,000 Write/Erase Cycles
- Fully Static Operation: 0 Hz to 24 MHz
- Three-Level Program Memory Lock
- 128 x 8-Bit Internal RAM
- 32 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial Channel
- Low Power Idle and Power Down Modes

8-Bit Microcontroller with 4K Bytes Flash

AT89C51

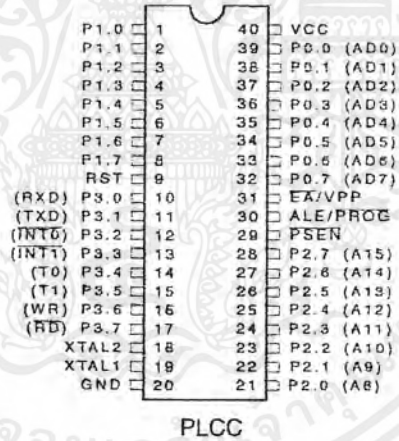
Description

The AT89C51 is a low-power, high-performance CMOS 8-bit microcomputer with 4K bytes of Flash Programmable and Erasable Read Only Memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard MCS-51™ instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C51 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

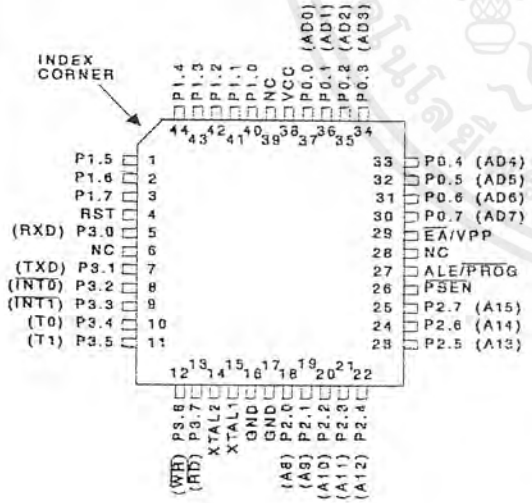
(continued)

Pin Configurations

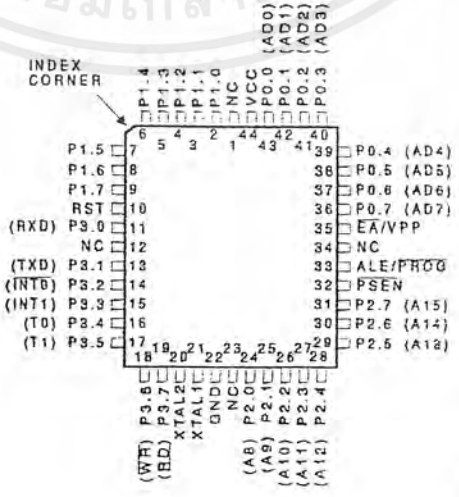
PDIP



PQFP/TQFP



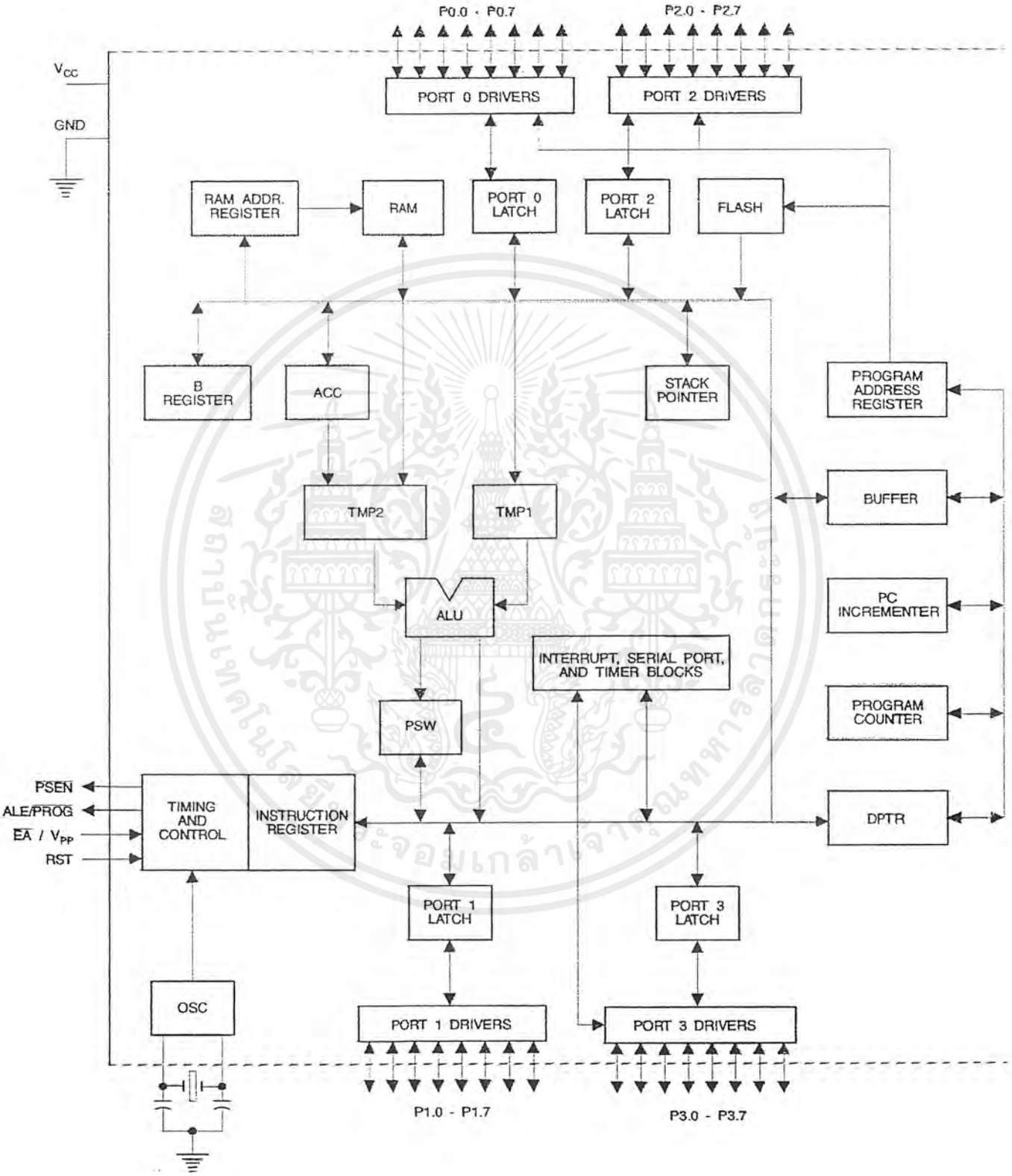
PLCC



0265F-A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19-0940 Rev 1; 7/95

MAXIM

CMOS 12 Bit Multiplying D/A Converter

MX7541

General Description

The MX7541 is a high performance CMOS multiplying 12 bit digital-to-analog converter (DAC). Low power operation and 12-bit linearity (0.012%) make it suitable for a wide range of precision data acquisition and control applications.

Wafer level laser trimmed thin-film resistors and temperature compensated NMOS switches assure true 12-bit performance over the full operating temperature range. In addition, all digital inputs are compatible with both CMOS and TTL logic levels.

Maxim's MX7541 is electrically and pin compatible with the Analog Devices AD7541. It is available in standard width 18-lead DIP and Small Outline (SO) packages.

Features

- ♦ 12 Bit Linearity (1/2 LSB)
- ♦ 1 LSB Gain Accuracy
- ♦ Guaranteed Monotonic
- ♦ Low Power Consumption
- ♦ Four-Quadrant Multiplication
- ♦ TTL and CMOS Compatible
- ♦ Pin-For-Pin Second Source

Ordering Information

PART	TEMP. RANGE	PACKAGE*	ERROR
MX7541JN	0°C to +70°C	Plastic DIP	1 LSB
MX7541KN	0°C to +70°C	Plastic DIP	½ LSB
MX7541JCWN	0°C to +70°C	Small Outline	1 LSB
MX7541KCWN	0°C to +70°C	Small Outline	½ LSB
MX7541J/D	0°C to +70°C	Dice	1 LSB
MX7541AQ	-25°C to +85°C	CERDIP**	1 LSB
MX7541BQ	-25°C to +85°C	CERDIP**	½ LSB
MX7541AD	-25°C to +85°C	Ceramic	1 LSB
MX7541BD	-25°C to +85°C	Ceramic	½ LSB
MX7541SQ	-55°C to +125°C	CERDIP**	1 LSB
MX7541TQ	-55°C to +125°C	CERDIP**	½ LSB
MX7541SD	-55°C to +125°C	Ceramic	1 LSB
MX7541TD	-55°C to +125°C	Ceramic	½ LSB

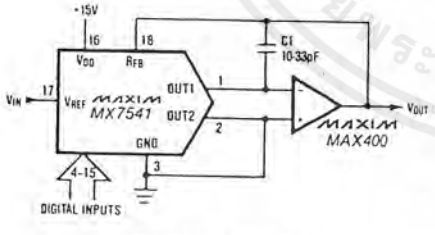
* *All devices — 18 lead package.*

** *Maxim reserves the right to ship Ceramic packages in lieu of CERDIP packages.*

Applications

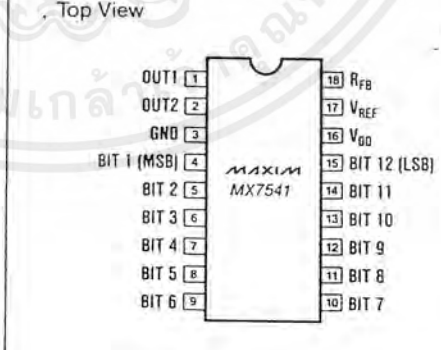
Machine and Motion Control Systems
Automatic Test Equipment
μP Controlled Calibration Circuitry
Programmable Gain Amplifiers
Digitally Controlled Filters
Programmable Power Supplies

Typical Operating Circuit



Unipolar Operation

Pin Configuration



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS 12 Bit Multiplying D/A Converter

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND ..... -0.3V, +17V
V_{REF} to GND ..... ±25V
R_{FB} to GND ..... ±25V
Digital Input Voltage to GND ..... -0.3V, V_{DD}
Output Voltage (OUT1, OUT2) (Note 1) ..... -0.3V, V_{DD}
Power Dissipation (Derate 6mW/°C above +75°C) 450mW

Operating Temperature Range
Commercial MX7541J/K ..... 0°C to +70°C
Industrial MX7541A/B ..... -25°C to +85°C
Military MX7541S/T ..... -55°C to +125°C
Storage Temperature ..... -65°C to +150°C
Lead Temperature (Soldering 10 seconds) ..... +300°C

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specification is not implied. Exposure to absolute maximum ratings conditions for extended periods may affect the device reliability.

ELECTRICAL CHARACTERISTICS

(T_A = T_{MIN} to T_{MAX}, V_{DD} = +15V, V_{REF} = +10V, V_{OUT1} = V_{OUT2} = GND, unless otherwise specified)

PARAMETER	SYMBOL	CONDITIONS	MIN.	TYP.	MAX.	UNITS
DC ACCURACY						
Resolution			12			Bits
Nonlinearity		MX7541J/A/S (Note 2) MX7541K/B/T (Note 3)			±1 ±0.5	LSB
Gain Error (Note 4)		Using R_{FB}, T_A = +25°C T_{MIN} to T_{MAX}			±12.5 ±16.7	LSB
Power Supply Rejection	PSRR	V_{DD} = +14.5V to +15.5V; T_A = 25°C T_{MIN} to T_{MAX}			0.01 0.02	%/%V_{DD}
Output Leakage Current		V_{REF} = ±10V; T_A = +25°C T_{MIN} to T_{MAX}			±50 ±200	nA
Reference Input Resistance	R_{REF}	T_A = 25°C	5		20	kΩ
DYNAMIC PERFORMANCE (Note 5)						
Output Current Settling Time		To 1/2LSB			1	µs
Feedthrough Error		V_{REF} = 20V_{P-P} at 10kHz			1	mV_{P-P}
DIGITAL INPUTS						
Logic HIGH Threshold	V_{INH}		+2.4			V
Logic LOW Threshold	V_{INL}				+0.8	V
Input Leakage Current		Digital Inputs = 0V or V_{DD}			±1	µA
Input Capacitance	C_{IN}	(Note 5)			8	pF
Input Coding		Binary, Offset Binary				
ANALOG OUTPUTS						
Output Capacitance (Note 5)	C_{OUT}	Digital Inputs = V_{INH} OUT1 OUT2 Digital Inputs = V_{INL} OUT1 OUT2			200 60 60 200	pF
POWER REQUIREMENTS						
Operating Supply Range	V_{DD}	Accuracy Not Guaranteed	+5		+16	V
Power Supply Current	I_{DD}	Digital Inputs = V_{INH} or V_{INL}			2	mA

Note 1: $V_{OUT1,2}$ may exceed the Absolute Maximum Voltage rating if the current is limited to 30mA or less.
Note 2: MX7541J/A/S are monotonic to 11 bits.
Note 3: MX7541K/B/T are monotonic to 12 bits.
Note 4: Maximum gain change from +25°C to T_{MIN} or T_{MAX} is ±4.2 LSBs using internal feedback resistor.
Note 5: Guaranteed by design but not 100% tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS 12 Bit Multiplying D/A Converter

Bipolar Operation

Bipolar, or four-quadrant, operation is shown in Figure 3. A second amplifier and three matched resistors are required. Matching to 0.01% is recommended for 12 bit performance. The code table for the output, which is "offset binary", is listed in Table 2. In multiplying applications, the MSB determines output polarity while the other 11 bits control amplitude.

Output Amplifier Offset

For best linearity, OUT1 and OUT2 should be terminated at exactly 0V. In most applications, OUT1 is connected to the summing junction of an inverting op-amp. The amplifier's offset voltage can degrade the linearity of the DAC by causing OUT1 to be terminated to a non-zero voltage. The resulting error is typically $4/3V_{OS}$ to $2V_{OS}$, a change of $2/3V_{OS}$. An amplifier with 3mV of offset will therefore degrade the linearity by 2mV, almost a full LSB with a 10V reference voltage. For best linearity, a low-offset amplifier such as the MAX400 should be used, or the amplifier offset must be trimmed to zero. A good rule of thumb is that V_{OS} should be no more than 1/10 of an LSB's value.

An output amplifier's input bias current (I_B) can also limit the DAC's performance since $I_B \times R_{FB}$ generates an offset error. I_B should therefore be much less than the DAC output current for 1 LSB, typically 250nA with V_{REF} = 10V. One tenth of this value, 25nA, is recommended. Offset and linearity can also be impaired if the output amplifier's noninverting input is grounded through a "bias current compensation resistor." This resistor adds to the offset at this pin and should not be used.

Dynamic Considerations

In static or DC applications, the AC characteristics of the output amplifier are not critical. In higher speed applications, where either the reference input is an AC signal or the DAC output must quickly settle to a new programmed value, the AC parameters of the output op-amp must be considered.

Another error source in dynamic applications is parasitic coupling of signal from the V_{REF} terminal to OUT1 or OUT2. This is normally a function of board layout and package lead-to-lead capacitance. Signals can also be injected into the DAC outputs when the digital inputs are switched. This digital feedthrough is mostly dependent on circuit board layout and on-chip capacitive coupling. Layout induced feedthrough can be minimized with guard traces between digital inputs, V_{REF}, and the DAC outputs.

Compensation

A compensation capacitor, C1, may be needed when the DAC is used with a high speed output amplifier. The purpose of the capacitor is to cancel the pole formed by the DAC's output capacitance and internal feedback resistance. Its value depends on the type of op-amp used but typical values range from 10 to 33pF. Too small a value causes output ringing while excess capacitance overdamps the output. The size of C1 can be minimized, and output settling performance improved, by keeping the PC board trace and stray capacitance at OUT1 as small as possible.

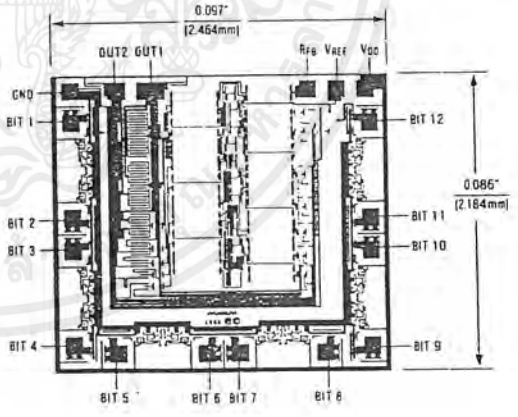
Grounding and Bypassing

Since OUT1, OUT2 and the output amp's noninverting input are sensitive to offset voltages, nodes that are to be grounded should be connected directly to "single point" ground through a separate, very low resistance (less than 0.2Ω) path. The current at OUT1 and OUT2 varies with input code creating a code dependent error if these terminals are connected to ground (or a virtual ground) through a resistive path.

A 1μF bypass capacitor, in parallel with a 0.01μF ceramic cap, should be connected as close to the DAC's V_{DD} and GND pins as possible.

The MX7541 has high-impedance digital inputs. To minimize noise pick-up, they should be tied to either VDD or GND when not used. It is also good practice to connect active inputs to VDD or GND through high valued resistors (1MΩ) to prevent static charge accumulation if these pins are left floating, such as when a circuit card is left unconnected.

Chip Topography



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19-0669; Rev 1; 7/96

MAXIM

CMOS High Speed 8-Bit A/D Converter with Track/Hold Function

General Description

The ADC0820 is a high speed, microprocessor compatible, 8 bit analog-to-digital converter which uses a half-flash technique to achieve a conversion time of 1.4 µs. The converter has a 0V to +5V analog input range and uses a single +5V supply.

A built-in track-and-hold function is included, eliminating the need for an external track-and-hold for input slew rates up to 100mV/µs.

The A/D easily interfaces with microprocessors by appearing as a memory location or I/O port without the need for external interfacing logic. Data outputs use latched, three-state buffer circuitry to allow direct connection to a microprocessor data bus or system I/O port. An over-flow output is also provided for cascading devices to achieve higher resolution.

Maxim's ADC0820 is pin-compatible with National Semiconductor's ADC0820 and provides improved specifications. It is packaged in 20-pin Small Outline, DIP and CERDIP packages.

Applications

Digital Signal Processing
High Speed Data Acquisition
Telecommunications
High Speed Servo Loops
Audio Systems

Features

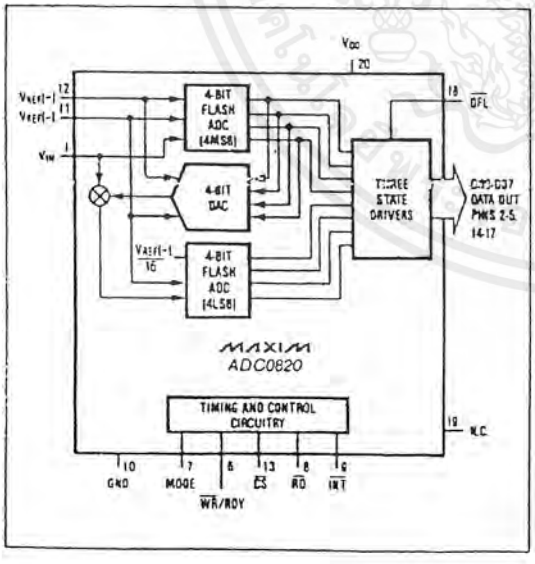
- Fast Conversion Time: 1.4µs Max.
- Built-In Track-and-Hold Function
- No Missing Codes
- No User Adjustments Required
- Single +5V Supply
- No External Clock
- Easy Interface To Microprocessors

Ordering Information

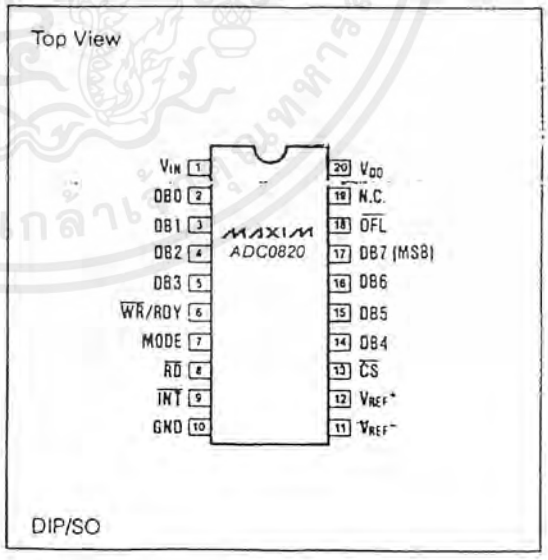
PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
ADC0820BCN	0° C to +70° C	20 Plastic DIP	±1/2
ADC0820CCN	0° C to +70° C	20 Plastic DIP	±1
ADC0820CC/D	0° C to +70° C	Dice*	±1
ADC0820BCM	0° C to +70° C	20 SO	±1/2
ADC0820CCM	0° C to +70° C	20 SO	±1/2
ADC0820BCJ	-40° C to +85° C	20 CERDIP	±1/2
ADC0820CCJ	-40° C to +85° C	20 CERDIP	±1
ADC0820BJ	-55° C to +125° C	20 CERDIP**	±1/2
ADC0820CJ	-55° C to +125° C	20 CERDIP**	±1

*Dice are specified at T_A = +25°C.
**Contact factory

Functional Block Diagram



Pin Configuration



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS High Speed 8-Bit A/D Converter with Track/Hold Function

ABSOLUTE MAXIMUM RATINGS

Supply Voltage, V_{DD} to GND ..... 0V, +10V
Voltage at any other pins
(Pins 1-9, 11-19) ..... GND - 0.3V, V_{DD} +0.3V
Output current (Pin 19) 30mA
Power Dissipation (Any Package) to +75°C 450mW
Derate Above +25°C by ..... 6mW/°C

Operating Temperature Ranges
ADC0820BC_/CC_ ..... 0°C to +70°C
ADC0820BCJ/CCJ ..... -40°C to +85°C
ADC08020BJ/CJ ..... -55°C to +125°C
Storage Temperature Range ..... -65°C to +160°C
Lead Temperature (soldering, 10sec) ..... +300°C

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specification is not implied. Exposure to absolute maximum ratings conditions for extended periods may affect the device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V, V_{REF}^+ = +5V, V_{REF}^- = GND, RD-MODE, $T_A = T_{MIN}$ to T_{MAX}, unless otherwise noted)

PARAMETER	SYMBOL	CONDITIONS	MIN.	TYP.	MAX.	UNITS
ACCURACY						
Resolution			8			bits
Total Unadjusted Error (Note 1)		ADC0820B ADC0820C			±1/2 ±1	LSB
No Missing Codes Resolution			8			bits
REFERENCE INPUT						
Reference Resistance		T_A = +25°C $T_A = T_{MIN}$ to T_{MAX}	1.4 1.25	2.2	4.0 4.0	kΩ
V_{REF}^+ Input Voltage Range			V_{REF}^-		V_{DD} + 0.1	V
V_{REF}^- Input Voltage Range			GND - 0.1		V_{REF}^+	V
ANALOG INPUT						
Analog Input Voltage Range	V_{INR}		GND - 0.1		V_{DD} + 0.1	V
Analog Input Capacitance	C_{VIN}			45		pF
Analog Input Current	I_{VIN}	V_{IN} = 0V to +5V; T_A = +25°C; T_{MIN} to T_{MAX}			±0.3 ±3	μA
Slew Rate, Tracking (Note 2)	SR			0.2	0.1	V/μs
LOGIC INPUTS						
Input HIGH Voltage	V_{INH}	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$ MODE	2.0 3.5			V
Input LOW Voltage	V_{INL}	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$ MODE			0.8 1.5	V
Input High Current	I_{INH}	$\overline{CS}$, $\overline{RD}$; T_A = +25°C; T_{MIN} to T_{MAX}			0.1 1	μA
		$\overline{WR}$; T_A = +25°C; T_{MIN} to T_{MAX}			0.3 3	
		MODE; T_A = +25°C; T_{MIN} to T_{MAX}		50	150 200	
Input Low Current	I_{INL}	$\overline{CS}$, $\overline{RD}$, $\overline{WR}$, MODE; T_A = 25°C; T_{MIN} to T_{MAX}			-0.3 -1	μA
Input Capacitance (Note 3)	C_{IN}	$\overline{CS}$, $\overline{RD}$, $\overline{WR}$, MODE		5	8	pF
LOGIC OUTPUTS						
Output HIGH Voltage	V_{OH}	DB0-DB7, $\overline{OFL}$, $\overline{INT}$ V_{DD} = +4.75V, I_{OUT} = -360μA V_{DD} = +4.75V, I_{OUT} = -10μA	4.0 4.5			V
Output LOW Voltage	V_{OL}	DB0-DB7, $\overline{OFL}$, $\overline{INT}$, RDY V_{DD} = +4.75V, I_{OUT} = 1.6mA			0.4	V
Three-state Output Current		DB0-DB7, RDY; T_A = +25°C; T_{MIN} to T_{MAX}	-0.3 -3		+0.3 +3	μA
Output Capacitance (Note 3)	C_{OUT}	DB0-DB7, $\overline{OFL}$, $\overline{INT}$, RDY		5	8	pF
Output Source Current	I_{SRC}	DB0-DB7, $\overline{OFL}$, $\overline{INT}$; V_{OUT} = 0		-25	-10	mA
Output Sink Current	I_{SINK}	DB0-DB7, $\overline{OFL}$, $\overline{INT}$, RDY; V_{OUT} = V_{DD}		40	15	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = +5V, V_{REF}^+ = +5V, V_{REF}^- = GND, RD-MODE, T_A = T_{MIN} to T_{MAX}, unless otherwise noted)

PARAMETER	SYMBOL	CONDITIONS	MIN.	TYP.	MAX.	UNITS
POWER SUPPLY						
Supply Voltage	V_{DD}	±5% for Specified Performance		5		V
Supply Current	I_{DD}	$\overline{CS}$ = $\overline{WR}$ = $\overline{RD}$ = 0 T_A = +25°C T_{MIN} to T_{MAX}		5	10 15	mA
Power Dissipation		$\overline{CS}$ = $\overline{WR}$ = $\overline{RD}$ = 0		25		mW
Power Supply Sensitivity	PSS	V_{DD} = ±5%		±1/16	±1/4	LSB

TIMING CHARACTERISTICS

(V_{DD} = +5V, V_{REF}^+ = +5V, V_{REF}^- = GND, T_A = T_{MIN} to T_{MAX}, unless otherwise specified. See Note 2, 4.)

PARAMETER	SYMBOL	CONDITIONS	T_A = +25°C			ADC0820BCX ADC0820CCX		ADC0820BJ ADC0820CJ		UNITS
			MIN.	TYP.	MAX.	MIN.	MAX.	MIN.	MAX.	
$\overline{CS}$ to $\overline{RD}$, $\overline{WR}$ Setup Time	t_{CSS}		0			0		0		ns
$\overline{CS}$ to $\overline{RD}$, $\overline{WR}$ Hold Time	t_{CSH}		0			0		0		ns
$\overline{CS}$ to RDY Delay	t_{RDY}	C_L = 50pF, R = 3kΩ		35	70		90		100	ns
Conversion Time (RD Mode)	t_{CRD}	(Note 7)		1.2	1.6		2.0		2.5	µs
Data Access Time (RD Mode) (See Figure 1)	t_{ACC0}	(Note 5)		t_{CRD} + 10	t_{CRD} + 35		t_{CRD} + 50		t_{CRD} + 70	ns
$\overline{RD}$ to $\overline{INT}$ Delay (RD Mode)	t_{INTH}	C_L = 50pF		60	125		175		225	ns
Data Hold Time	t_{DH}	(Note 6)		40	90		120		150	ns
Delay Time Between Conversions	t_p		500			600		600		ns
Write Pulse Width	t_{WR}		600		50,000	600	50,000	600	50,000	ns
Conversion Time (WR-RD Mode)	t_{CWR-RD}		1.4			1.56		1.62		µs
Delay between $\overline{WR}$ and $\overline{RD}$ Pulses	t_{RD}		600			700		700		ns
Data Access Time (WR-RD Mode) (See Figure 3)	t_{ACC1}	t_{RD} < t_{INTL}		110	220		280		350	ns
$\overline{RD}$ to $\overline{INT}$ Delay	t_{RI}			100	200		260		320	ns
$\overline{WR}$ to $\overline{INT}$ Delay	t_{INTL}			600	1000		1400		1700	ns
Data Access Time (WR-RD Mode) (See Figure 2)	t_{ACC2}	t_{RD} > t_{INTL} (Note 6)		60	100		130		150	ns
$\overline{WR}$ to $\overline{INT}$ Delay (Stand-Alone)	t_{INTWR}	C_L = 50pF		70	100		130		150	ns
Data Access Time After $\overline{INT}$	t_{ID}			10	50		65		75	ns

Note 1: Total unadjusted error includes offset, full-scale and linearity errors.
Note 2: Sample tested at +25°C by Quality Assurance to ensure compliance.
Note 3: Guaranteed by design.
Note 4: All input control signals are specified with t_R = t_F = 20ns (10% to 90% of +5V) and timed from a voltage level of 1.6V.
Note 5: Defined as the time required for an output to cross 0.8V or 2.4 V.
Note 6: Defined as the time required for the data lines to change 0.5V.
Note 7: For faster conversions use WR-RD Mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้