สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การ์ดแหล่งกำเนิดสัญญาณความถี่

FUNCTION GENERATOR CARD

โดย

นาย วิสูตร ทวีพันธุรัตน์

นาย ประกอบ จันทร์แดง

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน..... 36895
วัน, เดือน, ปี..... 29 ส.ค. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ์ดแหล่งกำเนิดสัญญาณความถี่

FUNCTION GENERATOR CARD

โดย

นาย วิสูตร ทวีพันธุรัตน์ 40013186

นาย ประกอบ จันทร์แดง 40013217

อาจารย์ที่ปรึกษา

ดร. กิติพล ชิตสกุล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2542

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การ์ดแหล่งกำเนิดสัญญาณความถี่

โดย

1. นาย วิสูตร ทวีพันธุรัตน์

2. นาย ประกอบ จันทร์แดง

(ดร. กิติพล ชิดสกุล)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ์ดแหล่งกำเนิดสัญญาณความถี่

FUNCTION GENERATOR CARD

นาย วิสูตร ทวีพันธุรัตน์ 40013186

นาย ประกอบ จันทร์แดง 40013217

ปริญญานิพนธ์ฉบับนี้ได้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

(ดร. กิติพล ชิตสกุล)

อาจารย์ที่ปรึกษา

_____/_____/_____

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ์ดแหล่งกำเนิดสัญญาณความถี่

FUNCTION GENERATOR CARD

โดย

นาย วิสูตร ทวีพันธุรัตน์ 40013186

นาย ประกอบ จันทร์แดง 40013217

อาจารย์ที่ปรึกษา

ดร. กิติพล ชิตสกุล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ์ดแหล่งกำเนิดสัญญาณความถี่
FUNCTION GENERATOR CARD

โดย

นาย วิสูตร ทวีพันธุรัตน์
นาย ประกอบ จันทร์แดง

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2542

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การ์ดแหล่งกำเนิดสัญญาณความถี่

โดย

1. นาย วิสูตร ทวีพันธุรัตน์

2. นาย ประกอบ จันทร์แดง

(ดร. กิตติพล ชิตสกุล)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ์ดแหล่งกำเนิดสัญญาณความถี่

FUNCTION GENERATOR CARD

นาย วิสูตร ทวีพันธุรัตน์ 40013186

นาย ประกอบ จันทร์แดง 40013217

ปริญญานิพนธ์ฉบับนี้ได้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

(ดร. กิติพล ชิตสกุล)

อาจารย์ที่ปรึกษา

/ /

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จด้วยดีเนื่องจากได้รับความอนุเคราะห์จากบุคคลหลายๆ ท่าน อาทิ เช่น อาจารย์ที่ปรึกษาอาจารย์ ดร.กิติพล ชิตสกุล ซึ่งได้รับคำแนะนำที่ดีตลอดมาช่วยในการหาข้อมูลและอุปกรณ์ต่างๆมากมาย รวมทั้งอาจารย์ท่านอื่น ๆ และเพื่อนนิสิตทุกท่านที่ได้ช่วยเหลือและคอยเป็นกำลังใจให้กับผู้จัดทำโดยตลอดมา

นาย วิสูตร ทวีพันธุรัตน์
นาย ประกอบ จันทร์แดง
ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ์ดแหล่งกำเนิดสัญญาณความถี่
FUNCTION GENERATOR CARD

นาย วิสูตร ทวีพันธุรัตน์
นาย ประกอบ จันทร์แดง
ดร. กิตติพล ชิดสกุล (อาจารย์ที่ปรึกษา)
ภาคการศึกษาที่ 2 ปีการศึกษา 2542

บทคัดย่อ

ปริญญานิพนธ์นี้ให้รายละเอียดโครงงานสร้างแหล่งกำเนิดสัญญาณความถี่ ที่ทำงานภายใต้การควบคุมของไมโครคอมพิวเตอร์ PC สามารถกำเนิดสัญญาณรูปซายน์ รูปสามเหลี่ยมและรูปสี่เหลี่ยมได้ตามต้องการ สามารถควบคุมปรับค่าความถี่ตั้งแต่ 10Hz ถึง 500KHzโดยสามารถปรับแรงดันเอาท์พุทสูงสุด 20 Vp-p ที่เอาท์พุทอิมพิแดนซ์ 50 Ohm สามารถจ่ายและปรับสัญญาณมอดูเลตแบบขนาดและความถี่สัญญาณที่เอาท์พุทได้ ตลอดจนมีเอาท์พุทสัญญาณ SYNC การควบคุมฟังก์ชันต่าง ๆ ของแหล่งกำเนิดสัญญาณกระทำได้ผ่านเมาส์หรือคีย์บอร์ดคอมพิวเตอร์ และแสดงผลบนจอของเครื่องคอมพิวเตอร์ PC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTION GENERATOR CARD

Mr. Wisoot Taweepanturat 40013186
Mr. Prakob Chundang 40013217
Dr. Kitiphol Chaitakul (Advisor)
2 [rd] Semester, Educational Year 1999.

Abstract

This thesis describes the implementation of a microcomputer based function generator which can generate three output waveforms, sine, triangle and square.The frequency of each waveform is adjustable between 10 Hz to 500 KHz . At each waveform, it provides adjustable amplitude from 0 to 20 Vp-p at output impedance of 50 Ohm. The SYNC and modulating outputs both AM and FM are also provided. All functions of the generator are selected by using keyboard of mouse.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

กิตติกรรมประกาศ	I
บทคัดย่อ	II
Abstract	III
สารบัญ	IV
สารบัญรูป	V
บทที่1 บทนำ	1
1.1 ความเป็นมาของโครงงาน	1
1.2 ลักษณะและโครงสร้างของโครงงาน	1
1.3 โครงร่างปริญญานิพนธ์	2
บทที่2 ทฤษฎีและหลักการทำงาน	3
2.1 รายละเอียดทางเทคนิคของ MAX038	3
2.2 หลักการทำงานโดยละเอียดของ MAX038	4
บทที่3 การออกแบบและการสร้าง	13
3.1 การออกแบบวงจร	13
3.2 การออกแบบวงจรปรับความถี่และวงจรเลือกย่านความถี่	20
3.3 การออกแบบและการเลือกใช้งานD/A Converter	21
บทที่4 ผลการทดลอง	24
4.1 ผลการทดลองของแต่ละย่านความถี่ที่ Vo = 20Vp-p	24
4.2 ผลการทดลองปรับขนาดสัญญาณ (Amplitude)	39
4.3 ผลการทดลองการลดทอนสัญญาณ (Attenuater)	42
บทที่5 สรุปและวิจารณ์การทดลอง	45
5.1 สรุปผลการทดลอง	45
5.2 วิจารณ์การทดลอง	46
ภาคผนวก	
วงจรใช้งานจริง	
ความรู้เบื้องต้นเกี่ยวกับDAC และ Slot ของ IBM/PC	
Data Sheet ของ MAX038 และ MAX477	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูป2.1 รูปร่างและการจัดขาของ MAX038 4

รูป2.2 กราฟแสดงความสัมพันธ์ระหว่างความถี่เอาท์พุท กระแส และ C_F กำหนดความถี่ 7

รูป2.3 กราฟแสดงความสัมพันธ์ระหว่างค่าNormalized Output Frequency กับ FADJ Voltage 9

รูป2.4 กราฟแสดงความสัมพันธ์ระหว่างค่า Duty Cycle กับ DADJ Voltage 10

รูป2.5 กราฟแสดงความสัมพันธ์ระหว่างค่าNormalized Output Frequency กับ DADJ Voltage 10

รูป2.6 แสดงโครงสร้างภายในและการต่อใช้งานเบื้องต้นของMAX038 12

รูป3.1 แสดงบล็อกไดอะแกรมของวงจรเลือกรูปแบบสัญญาณ 13

รูป3.2 แสดงบล็อกไดอะแกรมของวงจรปรับความถี่ 13

รูป3.3 แสดงวงจรปรับความถี่ใช้งานจริง 14

รูป3.4 แสดงบล็อกไดอะแกรมของวงจรปรับแอมปลิจูด 14

รูป3.5 แสดงวงจรปรับแอมปลิจูดใช้งานจริง 15

รูป3.6 แสดงบล็อกไดอะแกรมของวงจรเลือกย่านความถี่ 15

รูป3.7 แสดงวงจรเลือกย่านความถี่ใช้งานจริง 16

รูป3.8 แสดงบล็อกไดอะแกรมของวงจรชดเชยความถี่และการปรับ Duty Cycle 16

รูป3.9 แสดงวงจรชดเชยความถี่และการปรับ Duty Cycle ใช้งานจริง 17

รูป3.10 แสดงบล็อกไดอะแกรมของการมอดูเลตแบบ FM และ PM 17

รูป3.11 แสดงวงจรการมอดูเลตแบบ FM และ PM ที่ใช้งานจริง 18

รูป3.12 แสดงบล็อกไดอะแกรมของการลดทอนและการขยาย 18

รูป3.13 แสดงวงจรลดทอนที่ใช้งานจริง 19

รูป3.14 แสดงวงจรขยายภาคสุดท้ายที่ใช้งานจริง 20

รูป3.15 แสดงวงจรพื้นฐานของ DAC0800 22

รูป3.16 แสดงวงจรที่ออกแบบสำหรับการใช้งานDAC0800ให้มีเอาท์พุทได้ทั้งบวกและลบ 23

รูป4.1 แสดงสัญญาณรูปสี่เหลี่ยม f = 50Hz Vo = 20Vp-p 24

รูป4.2 แสดงสัญญาณรูปสามเหลี่ยม f = 50Hz Vo = 10Vp-p 24

รูป4.3 แสดงสัญญาณรูปซายน์ f = 50Hz Vo = 20Vp-p 25

รูป4.4 แสดงสัญญาณรูปซายน์ f = 100Hz Vo = 20Vp-p 25

รูป4.5 แสดงสัญญาณรูปสี่เหลี่ยม f = 100Hz Vo = 20Vp-p 26

รูป4.6 แสดงสัญญาณรูปสามเหลี่ยม f = 100Hz Vo = 10Vp-p 26

รูป4.7 แสดงสัญญาณรูปสี่เหลี่ยม f = 1KHz Vo = 20Vp-p 27

รูป4.8 แสดงสัญญาณรูปสามเหลี่ยม f = 1KHz Vo = 10Vp-p 27

รูป4.9 แสดงสัญญาณรูปซายน์ f = 1KHz Vo = 20Vp-p 28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป4.10 แสดงสัญญาณรูปซายน์ f = 500Hz Vo = 20Vp-p 28
รูป4.11 แสดงสัญญาณรูปสามเหลี่ยม f = 500Hz Vo = 10Vp-p 29
รูป4.12 แสดงสัญญาณรูปสี่เหลี่ยม f = 500Hz Vo = 20Vp-p 29
รูป4.13 แสดงสัญญาณรูปสามเหลี่ยม f = 10KHz Vo = 10Vp-p 30
รูป4.14 แสดงสัญญาณรูปซายน์ f = 10KHz Vo = 20Vp-p 30
รูป4.15 แสดงสัญญาณรูปสี่เหลี่ยม f = 10KHz Vo = 20Vp-p 31
รูป4.16 แสดงสัญญาณรูปสี่เหลี่ยม f = 5KHz Vo = 20Vp-p 31
รูป4.17 แสดงสัญญาณรูปสามเหลี่ยม f = 5KHz Vo = 10Vp-p 32
รูป4.18 แสดงสัญญาณรูปซายน์ f = 5KHz Vo = 20Vp-p 32
รูป4.19 แสดงสัญญาณรูปสี่เหลี่ยม f = 100KHz Vo = 20Vp-p 33
รูป4.20 แสดงสัญญาณรูปสามเหลี่ยม f = 100KHz Vo = 10Vp-p 33
รูป4.21 แสดงสัญญาณรูปซายน์ f = 100KHz Vo = 20Vp-p 34
รูป4.22 แสดงสัญญาณรูปซายน์ f = 50KHz Vo = 20Vp-p 34
รูป4.23 แสดงสัญญาณรูปสามเหลี่ยม f = 50KHz Vo = 10Vp-p 35
รูป4.24 แสดงสัญญาณรูปสี่เหลี่ยม f = 50KHz Vo = 20Vp-p 35
รูป4.25 แสดงสัญญาณรูปสี่เหลี่ยม f = 1MHz Vo = 20Vp-p 36
รูป4.26 แสดงสัญญาณรูปสามเหลี่ยม f = 1MHz Vo = 20Vp-p 36
รูป4.27 แสดงสัญญาณรูปซายน์ f = 1MHz Vo = 20Vp-p 37
รูป4.28 แสดงสัญญาณรูปซายน์ f = 500KHz Vo = 20Vp-p 37
รูป4.29 แสดงสัญญาณรูปสามเหลี่ยม f = 500KHz Vo = 20Vp-p 38
รูป4.30 แสดงสัญญาณรูปสี่เหลี่ยม f = 500KHz Vo = 20Vp-p 38
รูป4.31 แสดงสัญญาณรูปสี่เหลี่ยม f = 500KHz Vo = 10Vp-p 39
รูป4.32 แสดงสัญญาณรูปสามเหลี่ยม f = 500KHz Vo = 10Vp-p 39
รูป4.33 แสดงสัญญาณรูปซายน์ f = 500KHz Vo = 10Vp-p 40
รูป4.34 แสดงสัญญาณรูปซายน์ f = 500KHz Vo = 5Vp-p 40
รูป4.35 แสดงสัญญาณรูปสามเหลี่ยม f = 850KHz Vo = 5Vp-p 41
รูป4.36 แสดงสัญญาณรูปสี่เหลี่ยม f = 10KHz Vo = 5Vp-p 41
รูป4.37แสดงสัญญาณรูปสี่เหลี่ยมก่อนจะทำการลดทอน 42
รูป4.38 แสดงสัญญาณรูปสี่เหลี่ยมที่ลดทอน 3dB 42
รูป4.39 แสดงสัญญาณรูปสี่เหลี่ยมที่ลดทอน 5dB 43
รูป4.40 แสดงสัญญาณรูปสี่เหลี่ยมที่ลดทอน 8dB 43
รูป4.41 แสดงสัญญาณรูปสี่เหลี่ยมที่ลดทอน 12dB 44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป4.42 แสดงสัญญาณรูปสี่เหลี่ยมที่ลดทอน 18dB 44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาของโครงงาน

ปัจจุบันนี้คอมพิวเตอร์ PC เข้ามามีบทบาทในงานวิศวกรรมมากขึ้นทุกที โดยเราได้ใช้คอมพิวเตอร์เพื่อควบคุมการทำงานของระบบต่างๆแทนมนุษย์ซึ่งทำให้ได้รับความสะดวกรวดเร็วและถูกต้องแม่นยำ เมื่อกล่าวถึงงานทางด้านอิเล็กทรอนิกส์แล้ว ห้องปฏิบัติการ หรือ ห้อง LAB ย่อมเป็นสิ่งสำคัญ เพื่อใช้ในในการทดลองสมบัติทางไฟฟ้าต่างๆของวงจรอิเลกทรอนิคส์ซึ่งส่วนใหญ่ก็เป็นเครื่องมือที่ใช้กำเนิดหรือแสดงผลองค์ประกอบต่างๆของสัญญาณไฟฟ้าและเนื่องจากวงจรโดยทั่วไปนั้นเมื่อเราต้องการทดสอบผลการตอบสนองต่อสัญญาณไฟฟ้าที่ป้อนให้ เครื่องมือที่ใช้ในการทดสอบดังกล่าวก็คือเครื่องกำเนิดสัญญาณความถี่ (FUNCTION GENERATOR) ดังนั้นเราจึงพบว่าในห้อง LAB จะมีเครื่องกำเนิดสัญญาณความถี่ (FUNCTION GENERATOR) เป็นเครื่องมือที่สำคัญ

ดังที่กล่าวมาข้างต้นเพื่อเป็นการพัฒนาเครื่องมือต่างๆที่ใช้ในห้อง LAB ให้สอดคล้องกับการเจริญก้าวหน้าทางคอมพิวเตอร์ ดังนั้นโครงงานนี้จึงได้ถูกสร้างขึ้นโดยขอบเขตของงานนี้จะเป็นการสร้างการ์ดแหล่งกำเนิดสัญญาณความถี่ที่ควบคุมด้วยคอมพิวเตอร์ซึ่งเป็นส่วนหนึ่งของแนวคิดในการสร้างโครงงาน Electronics Work Benched

1.2 ลักษณะและโครงสร้างของโครงงาน

การ์ดแหล่งกำเนิดสัญญาณความถี่ (FUNCTION GENERATOR CARD) นี้มีความสามารถต่างๆ ดังนี้

1. กำเนิดสัญญาณทางเอาท์พุทได้ 3 แบบ คือ สัญญาณรูปซายน์ รูปสามเหลี่ยม และรูปสี่เหลี่ยม
2. กำเนิดความถี่ได้ตั้งแต่ 10 Hz จนถึงไม่น้อยกว่า 500 KHz
3. สามารถปรับแรงดันทางเอาท์พุทได้ตั้งแต่ 0 V ถึง 20 Vp-p
4. เอาท์พุทอิมพิแดนซ์ 50 Ohm
5. เอาท์พุทลดทอนสัญญาณ –1dB ถึง –20dB
6. สามารถมอดูเลตสัญญาณได้ 2 แบบ คือ FM และ PM
7. เอาท์พุท SYNC เป็นตัวกำเนิดสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 โครงร่างปริญญานิพนธ์

ในรายงานนี้สามารถแบ่งเนื้อหาออกเป็นบทต่างๆได้ดังนี้

บทที่ 1 บทนำ กล่าวถึงรายระเอียดโดยย่อ ขอบเขตของโครงงาน และผลที่คาดว่าจะได้รับในโครงงานนี้

บทที่2 ทฤษฎีและหลักการทำงาน กล่าวถึงรายละเอียดทางเทคนิคและหลักการทำงานโดย ละเอียดของMAX038

บทที่ 3 วงจรการ์ดแหล่งกำเนิดสัญญาณความถี่กล่าวถึงรายละเอียดเกี่ยวกับการทำงานส่วนต่างๆ วงจรใช้งานจริง และ ภาคควบคุมการทำงานด้วยคอมพิวเตอร์ PC

บทที่ 4 การทดลองและผลการทดลอง

บทที่ 5 บทสรุป สรุปและวิจารณ์ผลการทดลอง

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการทำงาน

2.1 รายละเอียดทางเทคนิคของ MAX038

MAX038 เป็น IC ที่ใช้ผลิตสัญญาณความถี่สูงซึ่งสามารถผลิตรูปสัญญาณสามเหลี่ยม รูปฟันเลื่อย ฟังก์ชั่นซายน์ รูปสี่เหลี่ยม และ พัลส์ ความถี่เอาท์พุทสามารถควบคุมได้อยู่ในช่วง 0.1Hz ถึง 20MHz โดยใช้แรงดันอ้างอิง 2.5V จากภายในตัวไอซีเองต่อร่วมกับตัวต้านทานและตัวเก็บประจุภายนอก ค่า Duty Cycle สามารถควบคุมได้โดยใช้แรงดัน $\pm$2.5V ซึ่งทำให้เป็นการง่ายที่จะผลิตสัญญาณฟันเลื่อย พัลส์วิดธ์มอดูเลชั่น (Pulse - Width Modulation) ฟรีเควนซี่มอดูเลชั่น (Frequency Modulation) และการสวีปความถี่ (Frequency Sweeping) การควบคุมค่า Duty Cycle และความถี่จะเป็นอิสระต่อกัน

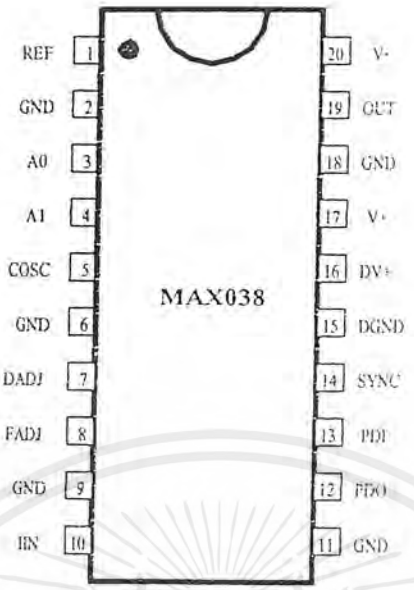
รูปสัญญาณซายน์ สามเหลี่ยม และ สี่เหลี่ยมทางเอาท์พุทสามารถเลือกได้จากรหัสที่ป้อนเข้าที่ขาไอซี ขนาดของเอาท์พุทจะมีค่าเท่ากับ 2 Vp-p และสมมาตรกัน ความต้านทานทางเอาท์พุทมีค่าต่ำทำให้สามารถจ่ายกระแสได้สูงกว่า $\pm$20 mA

สัญญาณ SYNC ทางเอาท์พุทจะเกิดจากการออสซิลเลเตอร์ภายในตัวของมันเองและจะมีค่า Duty Cycle เท่ากับ 50% คงที่ โดยไม่คำนึงถึงค่า Duty Cycle ของสัญญาณอื่นทางเอาท์พุทของไอซีและการซิงโครไนซ์ของอุปกรณ์อื่นๆในระบบความถี่ออสซิลเลเตอร์ภายในสามารถที่จะซิงโครไนซ์กับสัญญาณนาฬิกาจากภายนอกได้โดยต่อเข้ากับขา PDI

2.1.1 คุณสมบัติของ IC MAX038

- ความถี่ใช้งานอยู่ในช่วง 0.1Hz – 20MHz
- รูปสัญญาณที่สร้างได้มีรูปสัญญาณ สามเหลี่ยม สี่เหลี่ยม ฟันเลื่อย ซายน์ และพัลส์
- ความถี่และ Duty Cycle สามารถปรับได้โดยเป็นอิสระต่อกัน
- Duty Cycle สามารถปรับได้ในช่วงตั้งแต่ 10% ถึง 90%
- ความต้านทานเอาท์พุทมีค่าต่ำ : 0.1Ω
- ความผิดเพี้ยนของสัญญาณรูปซายน์มีค่าต่ำ : 0.75%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป2.1 รูปร่างและการจัดขาของ MAX038

2. 2 หลักการทำงานโดยละเอียดของ MAX038

MAX038จะใช้แรงดันไฟเลี้ยง ±5V ผิดพลาดไม่เกิน ±5% ออสซิลเลเตอร์พื้นฐานเป็นแบบรีแลกเซชั่น (Relaxation) ทำงานได้โดยการชาร์จและดิสชาร์จของคาปาซิเตอร์ C_F ด้วยกระแสคงที่ทำให้ได้สัญญาณรูปสามเหลี่ยม และสี่เหลี่ยมออกมาในเวลาเดียวกัน การชาร์จและดิสชาร์จกระแสจะถูกควบคุมโดยกระแสที่ไหลเข้าที่ขา Iin ขา FADJและขา DADJ สามารถต่อลงกราวด์ถ้าเราต้องการให้ค่า Duty Cycle เป็น 50%และไม่ต้องการให้ความถี่เบี่ยงเบนไปจากความถี่ปกติ ความถี่ทางด้านเอาท์พุทจะเป็นส่วนกลับกับคาปาซิเตอร์ C_F ค่าของคาปาซิเตอร์สามารถที่จะผลิตความถี่ให้อยู่ในช่วงใดก็ได้และการมอดูเลตสัญญาณทำได้โดยป้อนแรงดันเข้าที่ขา FADJและขาDADJ ตั้งแต่ –2.4V ถึง +2.4V ซึ่งทำให้ความถี่เบี่ยงเบนจากความถี่ปกติ ±70% โดยปกติแล้ว FADJ จะมีแรงดัน 0V ค่า Duty Cycle สามารถควบคุมได้ตั้งแต่ 10% ถึง 90% โดยใช้แรงดัน ±2.3V ป้อนเข้าที่ขา DADJ ซึ่งแรงดันนี้จะไปเปลี่ยนแปลงอัตราส่วนการชาร์จและดิสชาร์จของ C_F โดยให้ความถี่ทางเอาท์พุทคงที่

สัญญาณคลื่นรูปซายน์จะได้จากวงจรเปลี่ยนรูปคลื่นสามเหลี่ยม หลังจากที่เปลี่ยนแล้วจะได้คลื่นรูปซายน์ที่มีความเพี้ยนต่ำและแอมปลิจูดคงที่สัญญาณรูปซายน์ สามเหลี่ยมและสี่เหลี่ยมจะถูกป้อนให้กับส่วนมัลติเพล็กซ์ ซึ่งรูปสัญญาณทั้งสามสามารถเลือกได้จากขา A0 และ A1 การขยายสัญญาณเอาท์พุทจะมีค่าคงที่เท่ากับ 2Vp-p โดยไม่คำนึงถึงรูปสัญญาณและความถี่ สัญญาณรูปสามเหลี่ยมที่ได้จากการออสซิลเลตจะส่งไปเปรียบเทียบด้วยความเร็วสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำให้ได้สัญญาณ SYNC รูปสี่เหลี่ยม วงจรผลิตสัญญาณ SYNC นี้จะใช้แหล่งจ่ายแรงดันแยกจากวงจรส่วนอื่นๆคำแหน่งขาต่างๆที่ใช้งานใน MAX038 แสดงดังตารางที่ 2.1

PIN	NAME	FUNCTION
1	REF	2.50 Ground* band-gap voltage reference input
2	GND	Ground*
3	A0	Wave form selection input ; TTL/CMOS compatible
4	A1	Wave form selection input ; TTL/CMOS compatible
5	COSC	External capacitor connection
6	GND	Ground*
7	DADJ	Duty cycle adjust input
8	FADJ	Frequency adjust input
9	GND	Ground*
10	IIN	Current input for frequency control.
11	GND	Ground*
12	PDO	Phase detector output. Connect to GND if phase detector is not used.
13	PDI	Phase detector reference clock input. Connect to GND if phase detector is not used.
14	SYNC	TTL/CMOS-compatible output , referenced between DGND and DV+. Permits the internal oscillator to be synchronized with an external signal. Leave open if unused.
15	DGND	Digital Ground
16	DV+	Digital +5V Supply Input. Can be left open if SYNC is not used.
17	V+	+5V Supply Input
18	GND	Ground*
19	OUT	Sine , Square or Triangle output
20	V-	-5V Supply Input

*The five GND pins are not internally connected. Connect all five GND pins to a quiet ground close to the device. A ground plane is recommended (see Layout Consideration)

ตารางที่2.1 แสดงขาต่างๆใน MAX038

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 การเลือกรูปสัญญาณ

MAX038 สามารถที่จะเลือกรูปสัญญาณได้เพียงอย่างใดอย่างหนึ่งเท่านั้นระดับลอจิกและตำแหน่งขาที่ใช้ในการเลือกรูปสัญญาณแสดงดังตารางที่ 2.2

A1	A0	Wave Form
1	X	Sine Wave
0	0	Square Wave
0	1	Triangle Wave

ตารางที่2.2 แสดงการเลือกรูปสัญญาณทางเอาท์พุท

การเปลี่ยนแปลงรูปสัญญาณสามารถทำได้โดยใช้เวลาเพียงเล็กน้อยการเปลี่ยนรูปสัญญาณจะเกิดขึ้นในเวลา 0.3 μS แต่มี Transient เล็กน้อยในรูปสัญญาณเอาท์พุทที่ช้ากว่า 0.5 μS

2.2.2 คาบเวลาของรูปสัญญาณ

ความถี่ทางเอาท์พุทคำนวณได้จากกระแสที่ป้อนเข้าที่ขา Iin คาปาซิเตอร์ที่ขา Cosc และแรงดันที่ขา FADJ เมื่อแรงดัน V_{FADJ}= 0 V ความถี่เอาท์พุทพื้นฐาน (F_0) คำนวณได้จากสูตร

$$F_0(\text{MHz}) = \frac{\text{Iin}(\mu\text{A})}{C_F(\text{pF})}$$

คาบเวลาหาได้จากสูตร

$$t_0(\mu\text{S}) = \frac{C_F(\text{pF})}{\text{Iin}(\mu\text{A})}$$

เมื่อ Iin = กระแสที่ไหลเข้าไปในขา Iin (ระหว่าง 2 μA – 750 μA)

C_F = คาปาซิเตอร์ที่ต่อระหว่างขา Cosc และ GND (20pF – 100μF)

การปฏิบัติการให้ได้ผลดีที่สุดกระแส Iin ควรจะอยู่ในช่วง 10 μA ถึง 400 μA การทำงานที่ความถี่คงที่จะตั้งกระแส Iin ประมาณ 100 μA และเลือกค่าคาปาซิเตอร์ที่เหมาะสม ซึ่งที่กระแสค่านี้จะทำให้ค่าสัมประสิทธิ์ทางอุณหภูมิ (Temperature Coefficient) ต่ำที่สุดและมีการเปลี่ยนเฟสต่ำที่สุดเมื่อเปลี่ยนค่า Duty Cycle

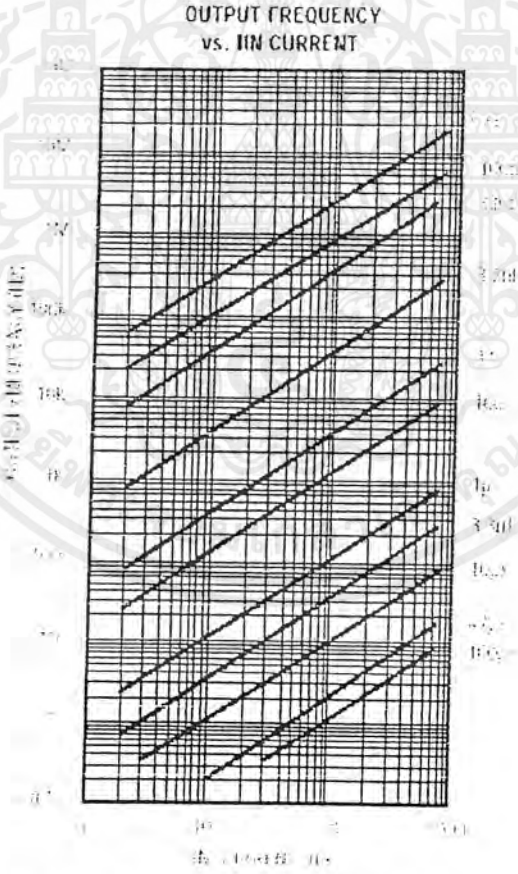
คาปาซิเตอร์สามารถที่จะใช้ในช่วง 20 pF จนถึง 100 pF แต่ค่าคาปาซิเตอร์ที่เกิดขึ้นในวงจรจะต้องมีค่าน้อยที่สุดซึ่งทำได้โดยการเดินสายให้สั้นที่สุด รอบ ๆ ขา COSC และลายวงจรที่สำคัญ ๆ จะต้องมีกราวด์เพลน (gound plan) และเชื่อมต่อสัญญาณภายนอกที่จุดนี้น้อยที่สุด การออสซิเลตความถี่ที่สูงกว่า 20 MHz สามารถทำได้ แต่รูปจะผิดเพี้ยนเพิ่มมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภายใต้เงื่อนไขต่อไปนี้คือความถี่ที่ต่ำที่สุดที่ถูกจำกัดโดยค่าความรั่วไหลของคาปาซิเตอร์ C_{osc} และโดยจะต้องมีความเที่ยงตรงของความถี่เอาต์พุต ความถี่ที่ต่ำที่สุดที่สามารถทำงานได้ดีและมีความเที่ยงตรงจะใช้คาปาซิเตอร์10 μF หรือมากกว่านั้น โดยใช้คาปาซิเตอร์แบบไม่มีขั้วที่ขา IIN จะมีระดับแรงดันเป็นกราวด์เสมือน ซึ่งมีแรงดันน้อยกว่า±2mV ค่ากระแส I_{IN} นี้จะหาได้จากตัวต้านทานที่ต่ออยู่ระหว่างขา REF กับขา IIN คำนวณได้จาก $I_{IN} = V_{REF}/R_{IN}$ เมื่อใช้แรงดันต่ออนุกรมกับตัวต้านทาน สูตรในการคำนวณความถี่ออสซิลเลเตอร์คือ

$$F_o(MHz) = \frac{Vin}{RinC_F(pF)}$$

$$t_o(uS) = \frac{RinC_F(pF)}{Vin}$$



รูป 2.2 กราฟแสดงความสัมพันธ์ระหว่างความถี่เอาท์พุท กระแส และ C_F กำหนดความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.3 การใช้งานขา FADJ

ความถี่เอาท์พุทสามารถมอดูเลตโดยใช้ขา FADJ ซึ่งจุดประสงค์สำคัญจะใช้สำหรับปรับความถี่อย่างละเอียดโดยใช้ Phase Lock Loop ภายใน หลักการเบื้องต้นความถี่กลาง (F_0) ที่ตั้งโดย Iin นั้น C_Fจะถูกทำให้ชาร์จมากขึ้นโดยการตั้งค่าแรงดันที่ขา FADJ ให้มากกว่า 0 แรงดันนี้สามารถที่จะเปลี่ยนจาก –2.4V ถึง +2.4V ทำให้ความถี่ทางเอาท์พุทสามารถเปลี่ยนจาก 0.3 เท่าจนถึง 1.7 เท่า หรือความถี่เบี่ยงเบนจากความถี่กลาง (F_0) ±70% ถ้าแรงดัน± 2.4V จะทำให้การเปลี่ยนแปลงความถี่ไม่มีเสถียรภาพอาจเกิดการเปลี่ยนแปลงไปในทิศทางตรงกันข้ามได้ (Reverse Slope)

แรงดัน V_{FADJ} หาได้จากการเปลี่ยนแปลงของเอาท์พุทจาก F_0 โดยใช้สูตร

$$V_{FADJ} = -0.0343 \times D_x$$

D_x คือ เปอร์เซ็นต์การเบี่ยงเบนจากความถี่กลาง (F_0)

เมื่อแรงดันที่ FADJ นี้อยู่ระหว่าง –2.4V ถึง +2.4V

หมายเหตุ: Iin จะเป็นสัดส่วนโดยตรงกับความถี่กลาง (F_0) V_{FADJ} จะมีความสัมพันธ์กับเปอร์เซ็นต์การเปลี่ยนแปลงจาก F_0 V_{FADJ}ที่เปลี่ยนจาก 0 เป็นบวกหรือลบจะตรงกับการเปลี่ยนแปลงทางบวกและลบของความถี่โดยคำนวณได้จากสูตร

$$V_{FADJ} = (F_0 - F_x) \div (0.2915 \times F_0)$$

เมื่อ F_x = ความถี่เอาท์พุท

F_0 = ความถี่เอาท์พุทขณะที่ $V_{FADJ} = 0V$

แรงดันของ FADJ หาโดยใช้คาบเวลาจากสูตร

$$V_{FADJ} = 3.43 \times (t_x - t_0) \div t_x$$

เมื่อ t_x = คาบเวลาของเอาท์พุท

t_0 = คาบเวลาของเอาท์พุทที่ $V_{FADJ} = 0V$

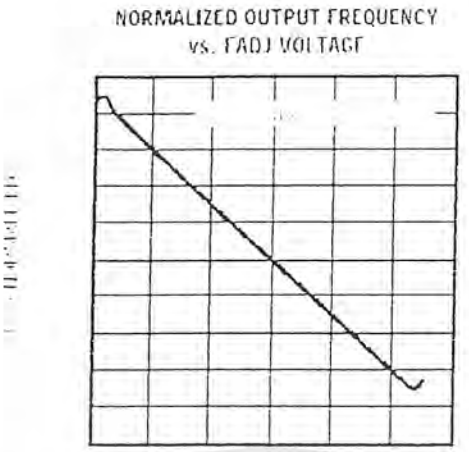
ถ้าเรารู้ V_{FADJ} สามารถหาความถี่ได้โดยใช้สูตร

$$F_x = F_0 \times [1 - (0.2915 \times V_{FADJ})]$$

และคาบเวลาหาได้โดยใช้สูตร

$$t_x = t_0 \times [1 - (0.2915 \times V_{FADJ})]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.3 กราฟแสดงความสัมพันธ์ระหว่างค่า Normalized Output Frequency กับ FADJ Voltage

2.2.4 ดิวตี้ไซเคิล

แรงดันที่ขา DADJ จะควบคุมค่า Duty Cycle ของรูปสัญญาณ ปกติแล้ว V_{DADJ} จะมีค่าเท่ากับ 0V ซึ่งจะทำให้ค่า Duty Cycle = 50% แรงดันที่ขานี้สามารถเปลี่ยนได้จาก –2.3V ถึง +2.3V เนื่องจากค่า Duty Cycle เปลี่ยนแปลงได้จาก 15% ถึง 85% หรือประมาณ 15% ต่อ 1 โวลต์ ถ้าแรงดันเกิน ±2.3V จะทำให้เฟสของเอาท์พุทเลื่อนไปจากเดิม DADJ สามารถใช้ลดความผิดเพี้ยนของรูปสัญญาณไซน์ได้ ในขณะที่เราไม่ปรับ(V_{DADJ}= 0V) Duty Cycle จะมีค่าเท่ากับ 50% ผิดพลาด ±2% การเปลี่ยนแปลงจากเดิม50% จะเกิดโดย Harmonic ที่เกิดขึ้น เราจะแก้ไขโดยปรับแรงดัน V_{DADJ} เพียงเล็กน้อยเพื่อให้รูปสัญญาณสมมาตรและเกิดความผิดเพี้ยนน้อยที่สุด

แรงดันที่ใช้เปลี่ยนแปลงค่า Duty Cycle หาได้โดยใช้สูตร

$$V_{DADJ} = (50\% - dc) \times 0.0575$$

หรือ

$$V_{DADJ} = (0.5 - [t_{ON} \div t_0]) \times 5.75$$

เมื่อ V_{DADJ} = แรงดันที่ขา DADJ

dc = Duty Cycle (%)

t_{ON} = ช่วงเวลาที่เป็นบวก

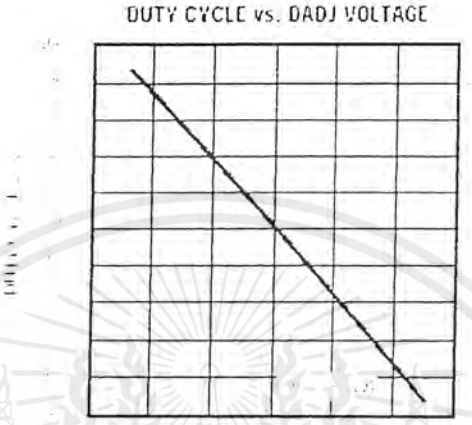
t_0 = คาบเวลาของรูปคลื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

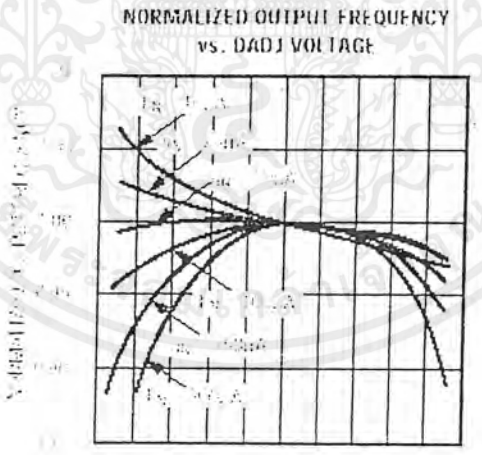
ถ้าเราทราบค่า V_{DADJ} จะสามารถหาค่า Duty Cycle และ t_{ON} ได้จากสูตร

$$dc = 50\% - (V_{DADJ} \times 17.4)$$

$$t_{on} = t_0 \times [0.5 - (V_{DADJ} \times 0.174)]$$



รูป 2.4 กราฟแสดงความสัมพันธ์ระหว่างค่า Duty Cycle กับ DADJ Voltage



รูป 2.5 กราฟแสดงความสัมพันธ์ระหว่างค่า Normalized Output Frequency กับ DADJ Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.5 เอาต์พุต

ขนาดของสัญญาณเอาต์พุตจะมีค่าคงที่คือ $2V_{p-p}$ รูปคลื่นทุกแบบจะมีด้านบวกและลบสมมาตรกัน ความต้านทานทางเอาต์พุตมีค่าต่ำกว่า 0.1Ω และสามารถจ่ายกระแสได้ ±20 mA ที่โหลดสูงกว่า 50pF ถ้าค่าคาปาซิแตนซ์ทางเอาต์พุตมีค่าสูงจะต้องแยกวงจรด้านเอาต์พุตด้วยตันต้านทาน (ปกติใช้ 50Ω) หรือวงจรบัฟเฟอร์ (buffer amplifier)

2.2.6 แรงดันอ้างอิง

ขา REF จะมีแรงดัน 2.5 V ใช้เป็นระดับแรงดันอ้างอิง จะจ่ายกระแสได้ 4 mA ส่วนใหญ่แล้วขา REF นี้จะถูกใช้เป็นตัวจ่ายกระแส I_{IN} หรือไบอัสที่ขา DADJ และFADJ นอกจากนั้นยังสามารถประยุกต์ใช้งานอย่างอื่นกับวงจรภายนอกในส่วนอื่นๆ ได้ด้วย ที่ขานี้ควรต่อตัวเก็บประจุบายพาสค่า 100 nF ไว้ด้วยเพื่อลดสัญญาณรบกวนให้น้อยที่สุด

2.2.7 การเลือกตัวต้านทานและตัวคาปาซิเตอร์

MAX 038 เป็นอุปกรณ์ที่มีเสถียรภาพทางความถี่และอุณหภูมิ แต่คาปาซิเตอร์และตัวต้านทานที่คำนวณออกมาได้ เมื่อนำไปใช้งานอาจทำให้ความถี่ที่ผลิตได้ผิดพลาด การผิดพลาดนี้จะเกิดเนื่องจากเราเลือกตัวต้านทานและคาปาซิเตอร์ที่ไม่มีคุณภาพดีพอตัวต้านทานควรจะเลือกชนิดเมทอลฟิลม์ (metal film) ซึ่งมีค่าความผิดพลาด 1% หรือดีที่สุด คาปาซิเตอร์ที่ใช้ควรจะเลือกให้มีค่าสัมประสิทธิ์ทางอุณหภูมิต่ำตลอดย่านของอุณหภูมิที่ใช้งานซึ่งคาปาซิเตอร์ที่ใช้ควรเป็นชนิดเซรามิกที่มีคุณสมบัติทางด้านอุณหภูมิประมาณ ±30 ppm/°Cหรือน้อยกว่านั้นจึงจะเหมาะสม แรงดันที่ขา Cosc จะเป็นสัญญาณรูปสามเหลี่ยมที่มีการเปลี่ยนแปลงแรงดันระหว่าง 0V ถึง – 1V คาปาซิเตอร์แบบมีขั้วโดยทั่วไปจะไม่แนะนำให้ใช้ แต่ถ้าต้องการใช้จะต้องต่อขั้วลบของคาปาซิเตอร์เข้ากับขา Cosc และขั้วบวกต่อลงกราวด์ ที่ความถี่ต่ำจะใช้คาปาซิเตอร์ที่มีค่ามากจึงจำเป็นต้องเลือกอย่างระมัดระวังเพราะคาปาซิเตอร์ที่มีค่ามากก็จะมีกระแสรั่วไหลมากตามและการดูดกลืนเนื่องจากไดอิเล็กตริกจะสูง ทำให้เกิดการรบกวนเมื่อ C_Fทำการชาร์จและดิจชาร์จ ถ้าจำเป็นต้องใช้ควรใช้กระแส Iin ต่ำๆ เพื่อทำให้ค่าของคาปาซิเตอร์ลดลง

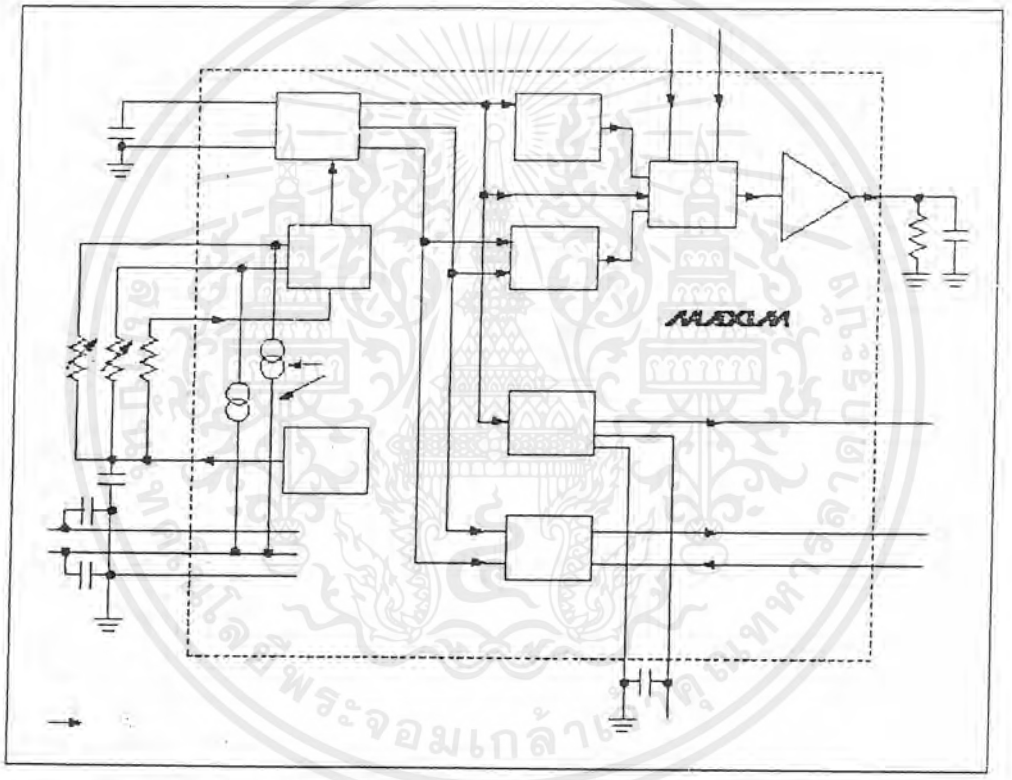
2.2.8 สัญญาณ SYNC ทางเอาท์พุท

เอาท์พุท SYNC สามารถจะใช้ Synchronize กับวงจรภายนอก เอาท์พุทที่ขา SYNC จะเป็นสัญญาณรูปสี่เหลี่ยมที่มีขอบขาขึ้นพร้อมกับเอาท์พุทที่เป็นสัญญาณซายน์หรือสามเหลี่ยม เมื่อเราเลือกสัญญาณรูปสี่เหลี่ยมขอบขาขึ้นของ SYNC จะเกิดที่กึ่งกลางของคลื่นบวกของสัญญาณรูปสี่เหลี่ยมซึ่งทำให้สัญญาณ SYNC ล้าหลังสัญญาณสี่เหลี่ยม 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจาก SYNC มีการเปลี่ยนแปลงระดับสัญญาณเร็วมากทำให้เกิด Transient ขึ้นที่ขา DV+ และ DGND ทำให้เกิดการแพร่กระจายของพลังงานไปยังวงจรในส่วนเอาท์พุท ทำให้เกิด Spike แคบๆในรูปสัญญาณทางเอาท์พุท ถ้าเราต้องการใช้สัญญาณ SYNC จึงไม่ควรจะใส่ socket เพราะจะทำให้เกิดค่า L และ C ทำให้ผลของ Spike เพิ่มมากขึ้น แรงดันไฟเลี้ยงและกราวน์ของวงจรส่วนนี้จะแยกจากส่วนอื่น ดังนั้นถ้าไม่ต้องการใช้สัญญาณ SYNC ก็ไม่ต้องจ่ายไฟเลี้ยงที่ขา DV+ เพื่อลดผลของ Spike ที่จะเกิดขึ้น

2.2.9 โครงสร้างภายในและการเชื่อมต่อใช้งานเบื้องต้นของ MAX038



รูป 2.6 แสดงโครงสร้างภายในและการต่อใช้งานเบื้องต้นของ MAX038

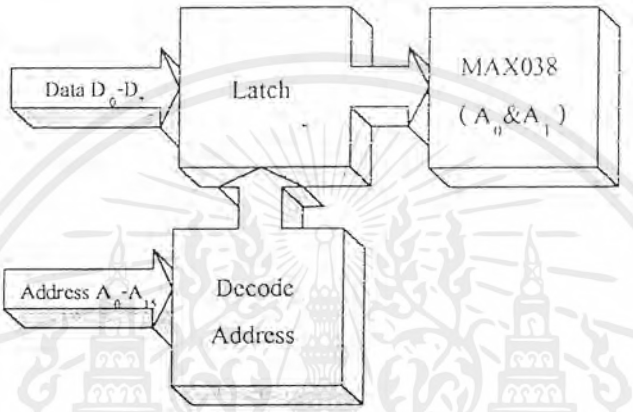
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและการสร้าง

3.1 การออกแบบวงจร

3.1.1 การเลือกรูปแบบสัญญาณ

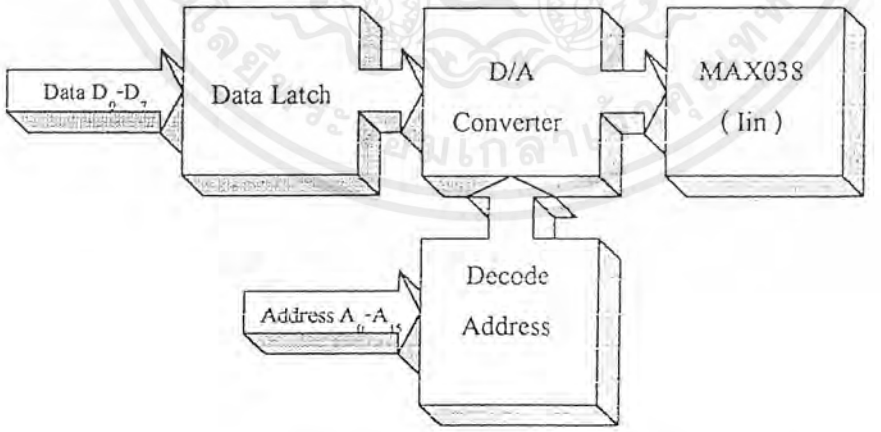
ในโครงงานนี้สามารถเลือกรูปแบบสัญญาณ โดยแสดงเป็นบล็อกไดอะแกรมได้ดังรูป 3.1



รูป 3.1 แสดงบล็อกไดอะแกรมของวงจรเลือกรูปแบบสัญญาณ

3.1.2 การปรับความถี่

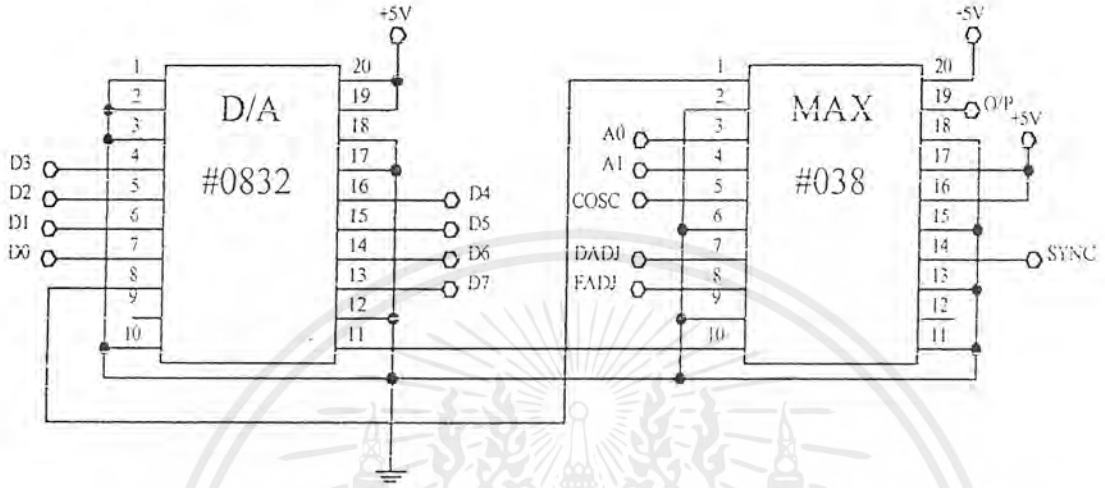
สำหรับการปรับความถี่จะมีบล็อกไดอะแกรมดังรูป 3.2



รูป 3.2 แสดงบล็อกไดอะแกรมของวงจรปรับความถี่

สำหรับวงจรใช้งานจริงสามารถแสดงได้ดังรูป 3.3 โดยใช้ D/A#0832 ในโหมดของกระแสให้กับขา Iin ของ MAX038

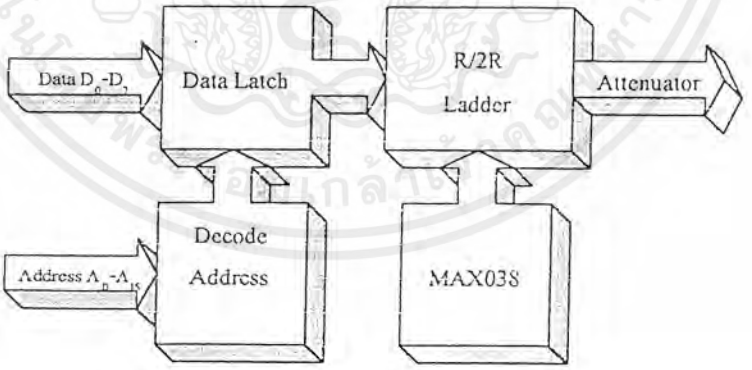
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.3 แสดงวงจรปรับความถี่ใช้งานจริง

3.1.3 การปรับแอมปลิจูด

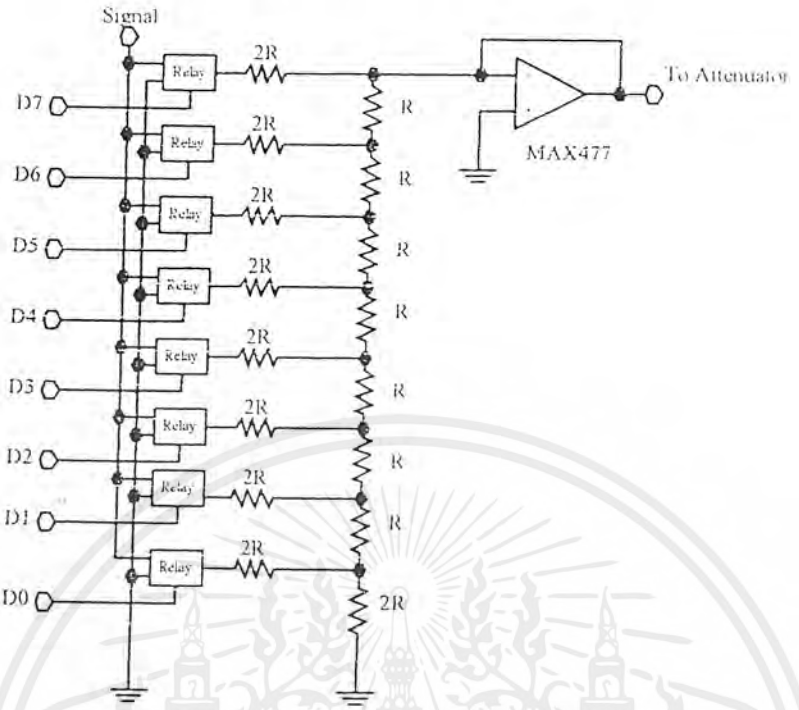
สำหรับการปรับแอมปลิจูดจะมีบล็อกไดอะแกรมดังรูป 3.4



รูป 3.4 แสดงบล็อกไดอะแกรมของวงจรปรับแอมปลิจูด

สำหรับการปรับแอมปลิจูดเราจะใช้การประยุกต์วงจร R/2R Ladder ร่วมกับ Relay ดังรูป 3.5

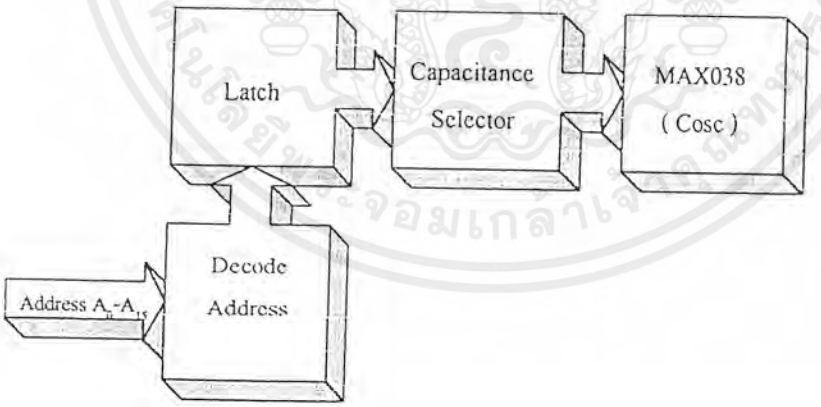
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป3.5 แสดงวงจรปรับแอมปลิจูดใช้งานจริง

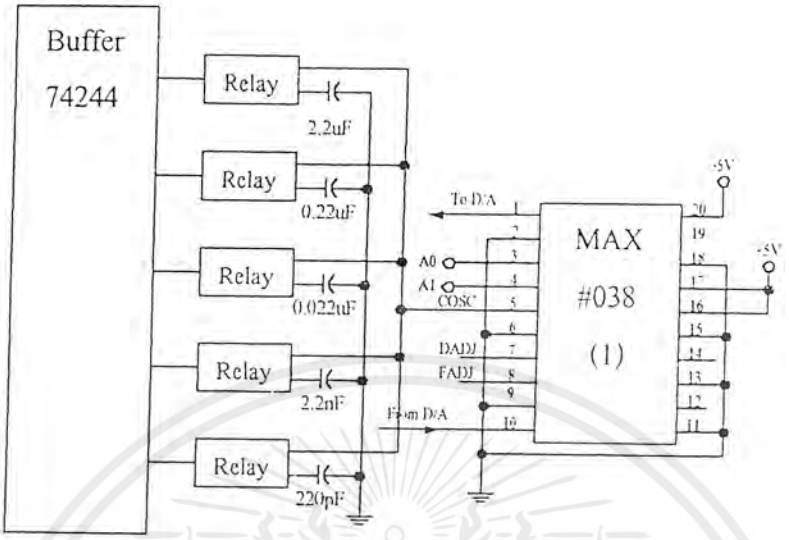
3.1.4 การเลือกย่านความถี่

ในการเลือกย่านความถี่เราสามารถแสดงบล็อกไดอะแกรมได้ดังรูป 3.6



รูป 3.6 แสดงบล็อกไดอะแกรมของวงจรเลือกย่านความถี่

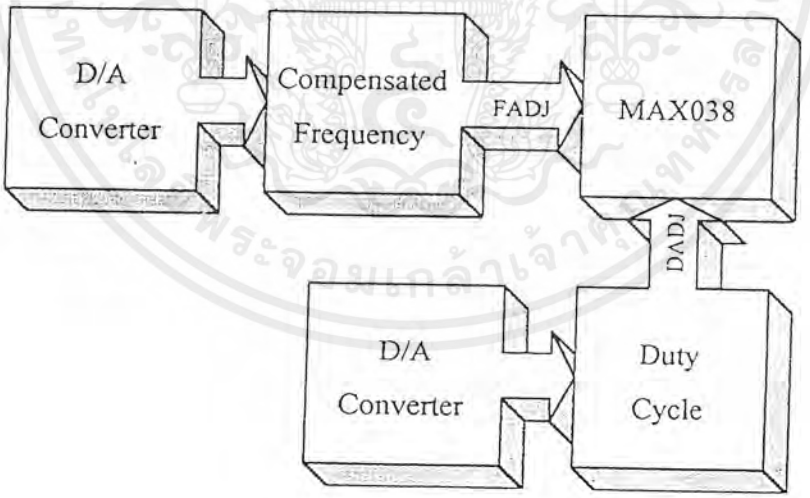
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป3.7 แสดงวงจรเลือกย่านความถี่ใช้งานจริง

3.1.5 การปรับชดเชยความถี่และการปรับค่า Duty Cycle

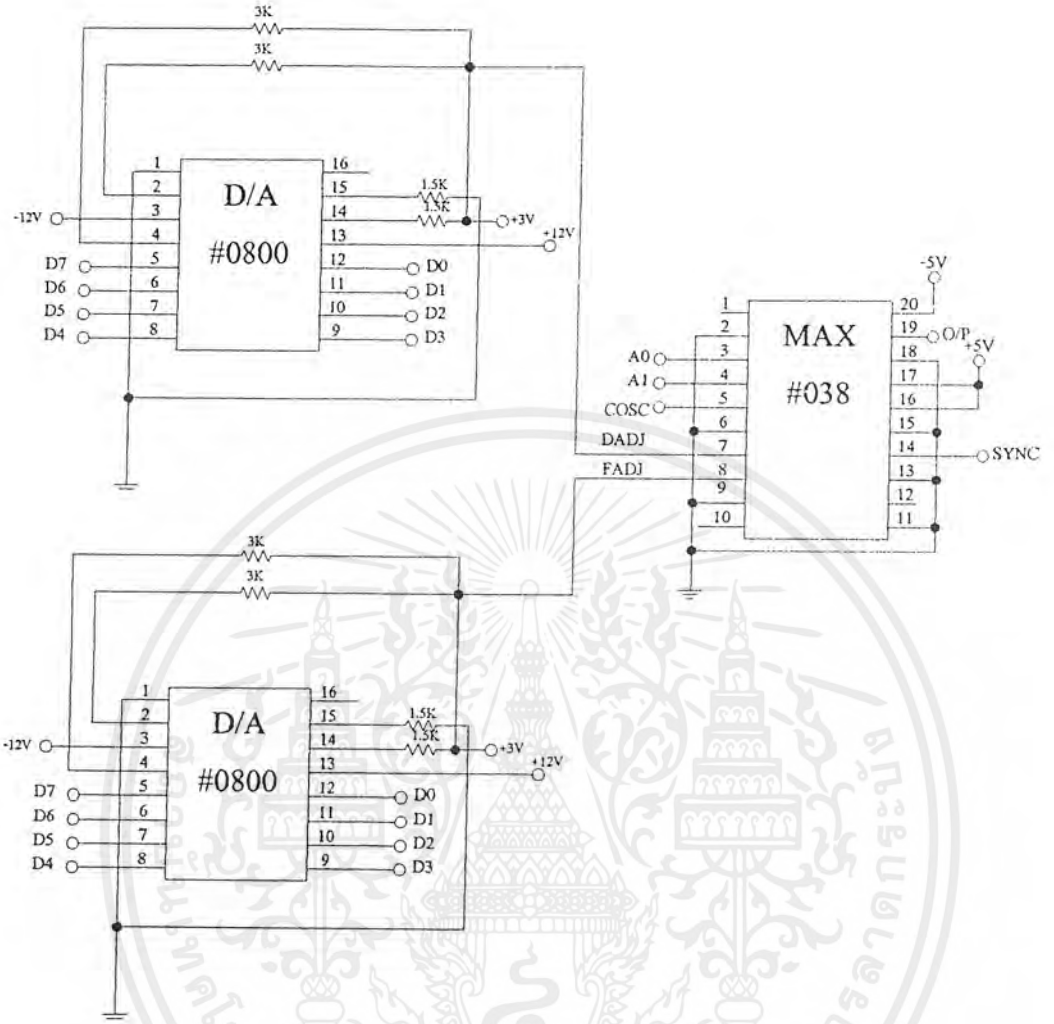
ในการปรับชดเชยความถี่และการปรับค่า Duty Cycle สามารถแสดงได้ดังรูป3.8



รูป 3.8 แสดงบล็อกไดอะแกรมการชดเชยความถี่และการปรับ Duty Cycle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

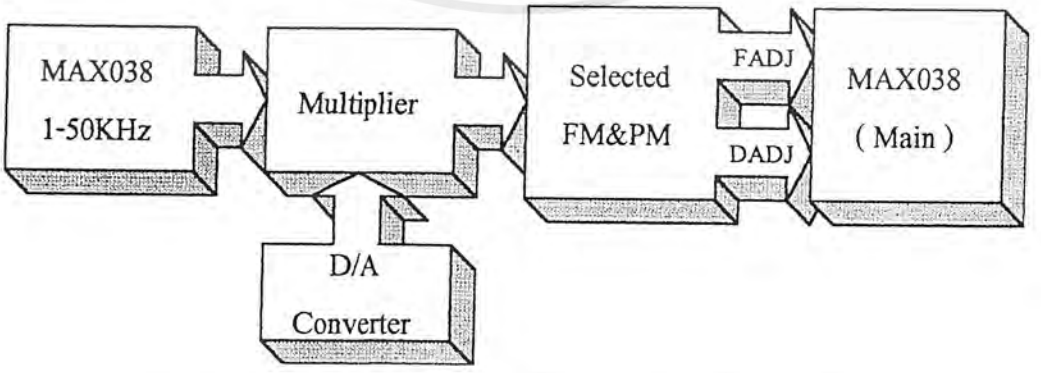
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูป3.9 แสดงวงจรชดเชยความถี่และปรับ Duty Cycle ใช้งานจริง

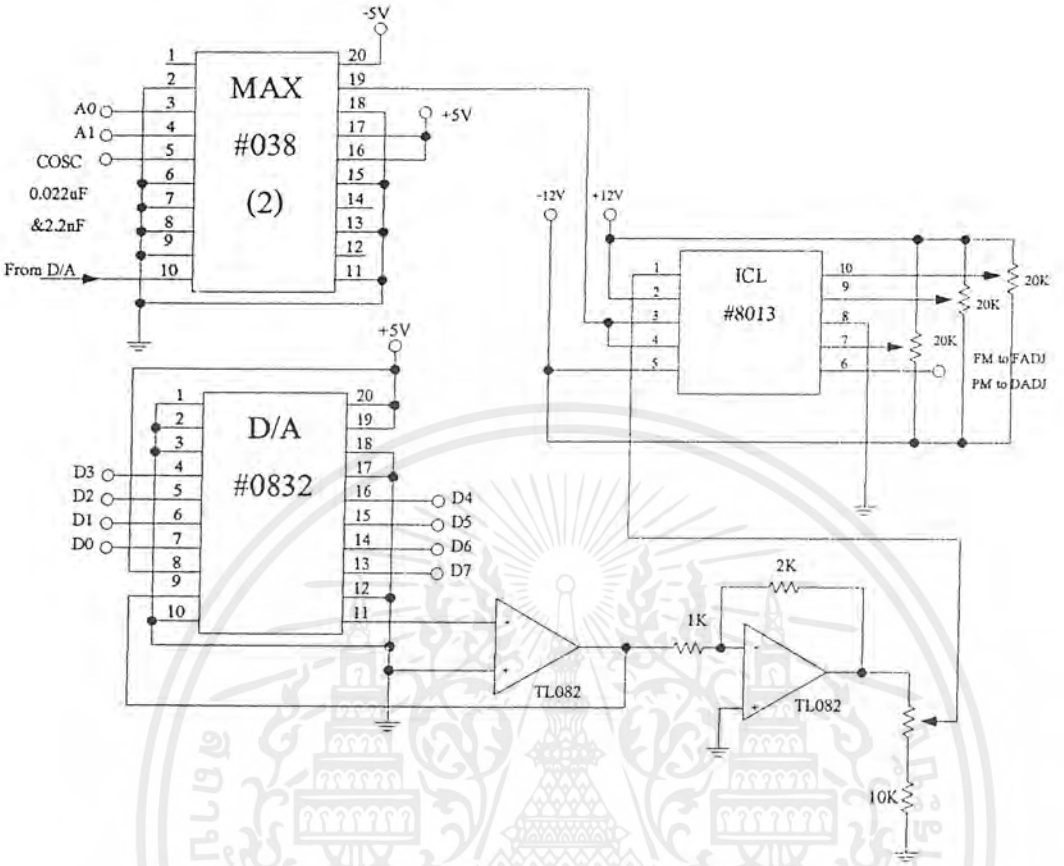
3.1.6 การมอดูเลตแบบ FM และ PM

ในการมอดูเลตแบบ FM และ PM สามารถแสดงได้ดังรูป 3.10



รูป 3.10 แสดงบล็อกไดอะแกรมการมอดูเลตแบบ FM และ PM

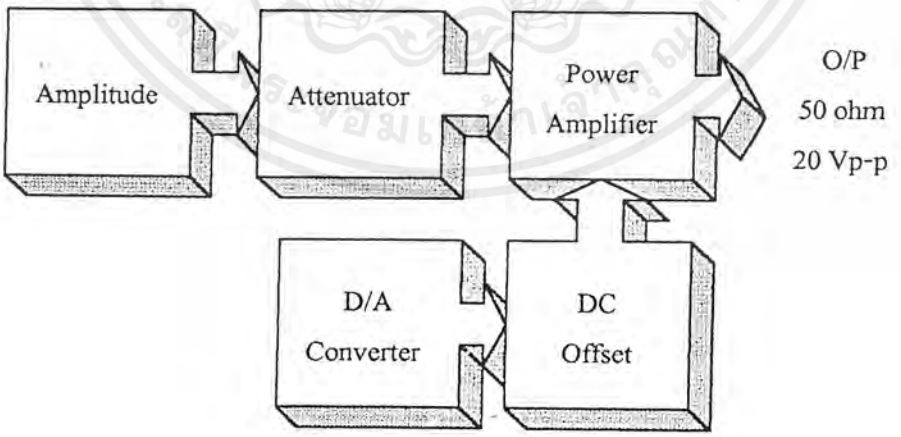
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
36895



รูป3.11 แสดงวงจรการมอดูเลตแบบ FM และ PM ที่ใช้งานจริง

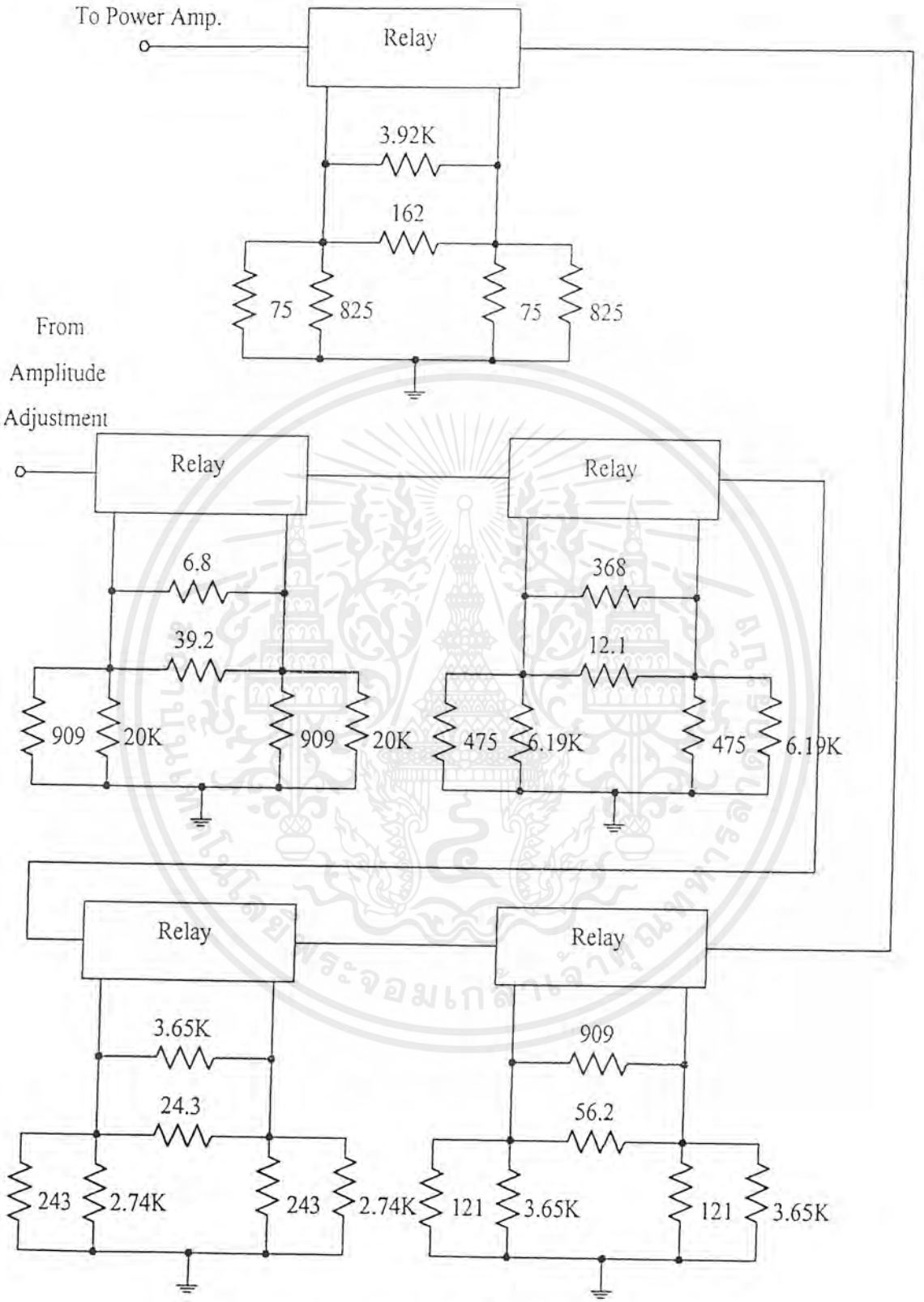
3.1.7 การลดทอนและการขยาย

ในการลดทอนและการขยายสามารถแสดงได้ดังรูป 3.12



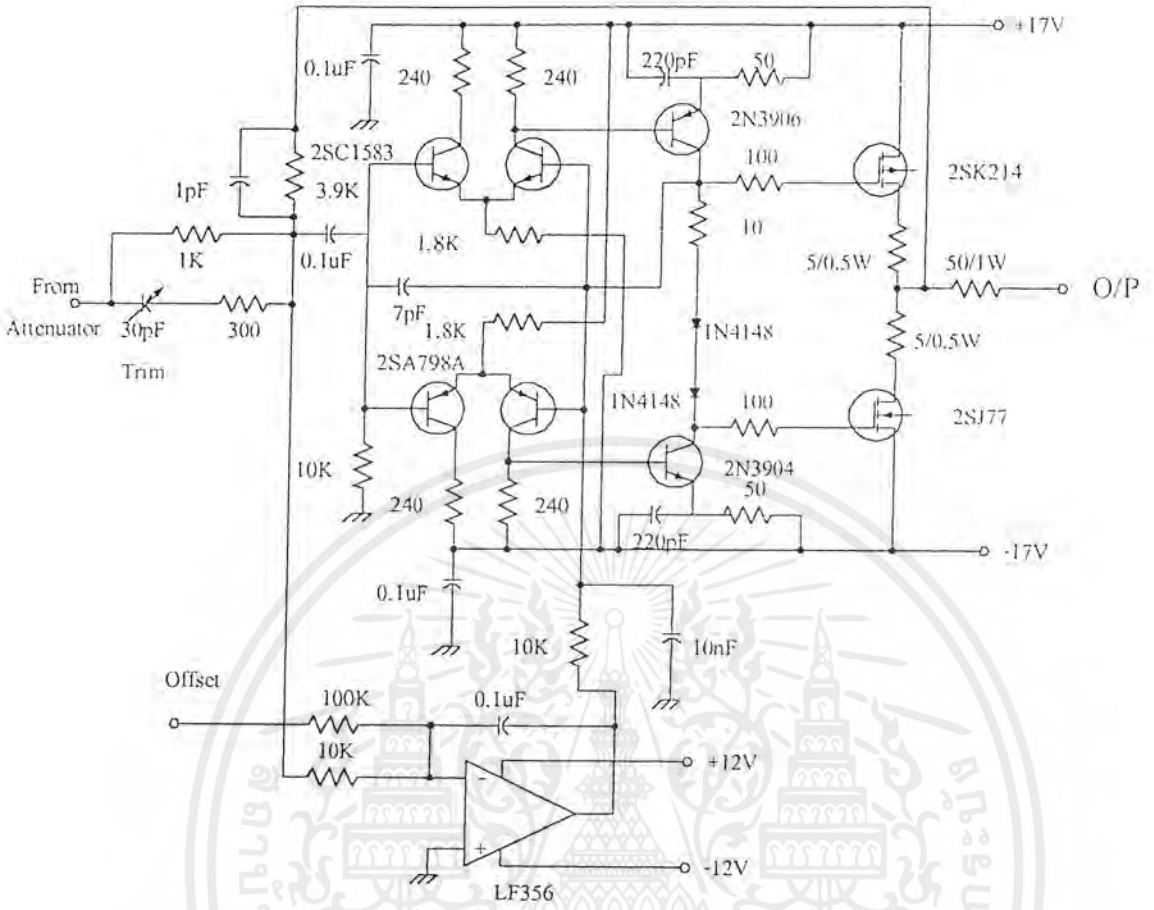
รูป 3.12 แสดงบล็อกไดอะแกรมการลดทอนและการขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป3.13 แสดงวงจรลดทอนที่ใช้งานจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป3.14 แสดงวงจรขยายภาคสุดท้ายที่ใช้งานจริง

3.2 การออกแบบวงจรปรับความถี่ และ วงจรเลือกย่านความถี่

จากการนำคอมพิวเตอร์ PC มาควบคุมการทำงานทั้งหมด ดังนั้นเราจึงมีอุปกรณ์ที่สำคัญสำหรับแปลงสัญญาณดิจิตอลเป็นอนาลอกที่เรียกว่า D/A Converter และเนื่องจากใน Data Sheet ของ IC MAX038 การปรับความถี่สามารถทำได้ใน mode ของกระแสเราจึงเลือกให้ D/A ที่ใช้ให้มีเอาท์พุทจากการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกอยู่ในรูปของกระแสซึ่งโดยทั่วไปแล้วการใช้งาน D/A จะใช้ใน mode ของแรงดัน อนึ่งจากการทดลองพบว่าการทำงานของ IC MAX038 นั้นใช้กระแสในการกำเนิดสัญญาณความถี่ค่าต่างๆอยู่ในย่านไมโครแอมแปร์ (μA)ซึ่งมีค่าน้อยมาก ดังนั้นแหล่งจ่ายไฟที่มีอิทธิพลกับความราบเรียบของกระแสที่ใช้ในการกำเนิดสัญญาณของ MAX038จะมีผลต่อความเที่ยงตรงของสัญญาณที่ได้ทางเอาท์พุทเป็นอย่างยิ่ง ซึ่งจากการเลือกใช้แหล่งจ่ายไฟร่วมกับแหล่งจ่ายไฟของเครื่อง PC พบว่าสัญญาณที่ได้ไม่ได้ตามความต้องการ ดังนั้นเราจึงเลือกใช้แหล่งจ่ายอื่นแทนโดยเลือกแยกส่วนของดิจิตอลออกจากส่วนของอนาลอกซึ่งในโครงงานนี้เลือกใช้ Opto-couple #TLP521-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณค่า C เพื่อให้ MAX038 ผลิตความถี่ในช่วง 10 Hz – 1 MHz โดยเราสามารถกำหนดย่านความถี่ออกเป็น 5 ย่านดังนี้คือ

- 10 Hz – 99.9 Hz
- 100 Hz – 999 Hz
- 1 KHz – 9.99 KHz
- 10 KHz – 99.9 KHz
- 100 KHz – 999KHz

สูตรในการคำนวณมี 2 สูตรคือ

$$F_0(MHz) = \frac{Iin(\mu A)}{C_F(pF)} \qquad \text{และ} \qquad Iin = \frac{Vin}{Rin}$$

ข้อกำหนดทางเทคนิคของMAX038 มีดังนี้คือ

- Iin มีค่าระหว่าง 2 μA – 750 μA
- C_F มีค่าระหว่าง 20 pF – 100 μF

กำหนดให้ Iin = 220 μA ซึ่งจากการคำนวณเราจะได้ค่าของ C ที่ย่านความถี่ต่างๆที่กำหนดดังนี้

- 10 Hz – 99.9 Hz : $C_F = 2.2\ \mu F$
- 100 Hz – 999 Hz : $C_F = 220\ nF$
- 1 KHz – 9.99 KHz : $C_F = 22\ nF$
- 10 KHz – 99.9 KHz : $C_F = 2.2\ nF$
- 100 KHz – 999KHz : $C_F = 200\ pF$

3.3 การออกแบบและการเลือกใช้งาน D/A Converter

เนื่องจากในโครงงานชิ้นนี้การควบคุมอุปกรณ์ที่ใช้ส่วนใหญ่จะต้องมีการแปลงสัญญาณจากดิจิตอลเป็นอนาลอกทั้งนี้อาจจะใช้งานในโหมดของแรงดันหรือในโหมดของกระแสก็ขึ้นอยู่กับความเหมาะสมและเพื่อการได้มาซึ่งชิ้นงานที่มีขนาดเล็กที่สุดเท่าที่จะทำได้ (Minimized) การออกแบบและการเลือกใช้งาน D/A จึงเป็นสิ่งจำเป็นที่จะต้องคำนึงถึงดังนั้นสำหรับในโครงงานนี้ได้เลือก DAC#0832 เป็น D/A ที่มีบัฟเฟอร์อยู่ภายในมาใช้ในส่วนที่ต้องการความคลาดเคลื่อนของกระแสหรือแรงดันน้อยๆอาทิเช่น วงจรปรับความถี่ แต่ไม่เหมาะสมกับการใช้งานในโหมดแรงดันที่ไม่ต้องการความละเอียดของเอาท์พุทมากนักเพราะจะมีอุปกรณ์ต่อร่วมเพิ่มขึ้นและค่อนข้างมีราคาแพง ดังนั้นในส่วนที่เหลือเราจึงเลือกใช้DAC#0800 แทนซึ่งจะต้องคำนวณหาค่าความต้านทานที่ใช้ให้เหมาะสมกับแรงดันอ้างอิงและแรงดันที่เอาท์พุทด้วย จากข้อมูลใน Data Sheet สามารถแสดงความสัมพันธ์ของกระแสที่ D/A ต้องการได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{FS} = \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

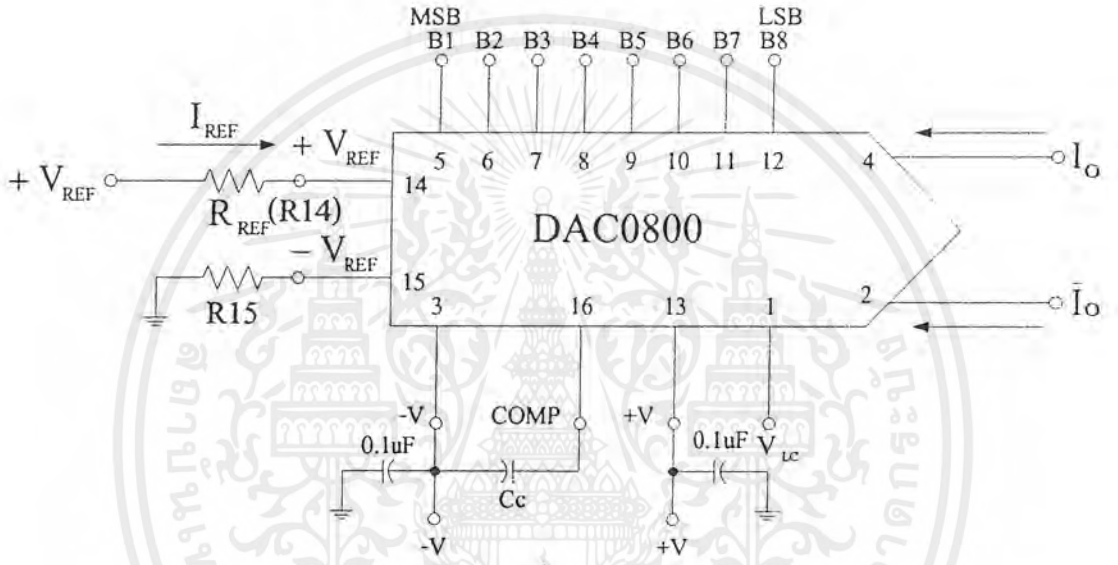
$$I_{FS} = I_o + \bar{I}_o$$

$$I_{REF} = 2mA$$

$$R_{REF} = R_{15}$$

$$V_{LC} = 0V(Ground)$$

โดยมีวงจรใช้งานพื้นฐานดังรูป3.15



รูป3.15 แสดงวงจรพื้นฐานของ DAC0800

สำหรับในโครงงานนี้ใช้ DAC0800ในส่วนของการชดเชยความถี่ และ การปรับค่า Duty Cycle ซึ่งจาก Data Sheet จะมีค่าแรงดันประมาณ –2.5V ถึง +2.5V ดังนั้นเราจึงเลือกออกแบบให้ D/A ทำงานในโหมดของแรงดันทั้งด้านบวกและลบที่ระดับแรงดันเท่ากับ 3 โวลต์ได้โดยใช้วงจรตามรูป3.16 ซึ่งสามารถแสดงการคำนวณได้ดังนี้

กำหนดให้ $+V_{REF} = 3.00V$ ดังนั้นจาก $I_{REF} = 2mA$ เราจะได้ว่า

$$R_{REF} = \frac{V_{REF}}{I_{REF}}$$

$$= \frac{3V}{2mA}$$

ดังนั้น $R_{REF} = 1.5K\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $$R_{REF} = R_{15}$$

จาก $$I_{FS} = \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

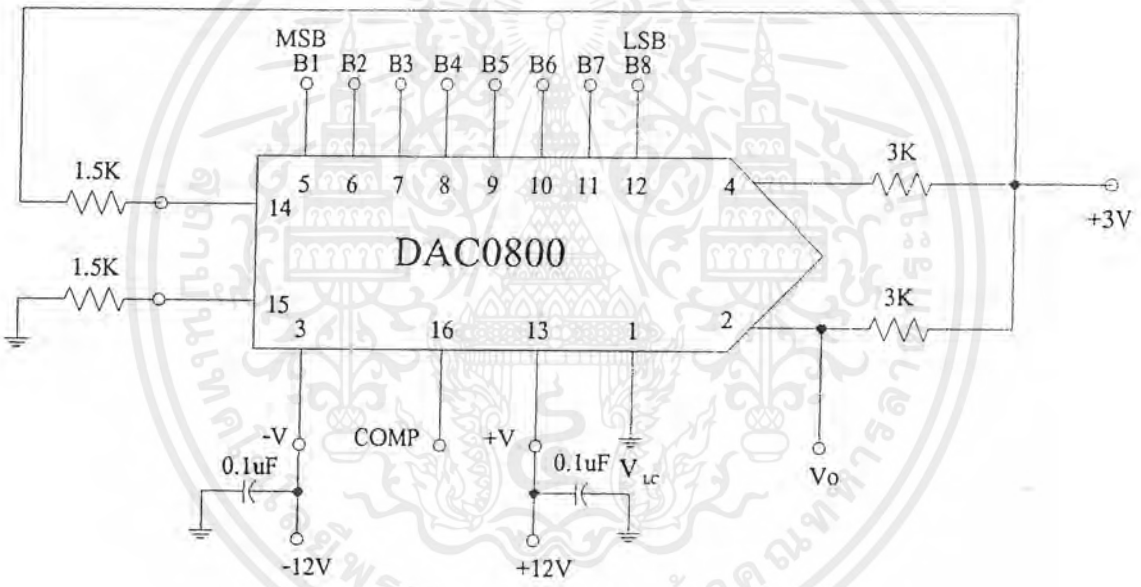
$$I_{FS} = I_o + \bar{I}_o$$

$$= 2I_O$$

$$2I_O = \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$$I_O = \frac{+V_{REF}}{2R_{REF}} \times \frac{255}{256}$$

ให้ $+V_{REF}=V_O$ และ $2R_{REF}=R_O$ จึงได้ว่า $V_O=3V$ และ $R_O=3K\Omega$ เราสามารถแสดงวงจรที่ออกแบบได้ดังนี้



รูป3.16 แสดงวงจรที่ออกแบบสำหรับการใช้งาน DAC0800ให้มีเอาท์พุทได้ทั้งบวกและลบ

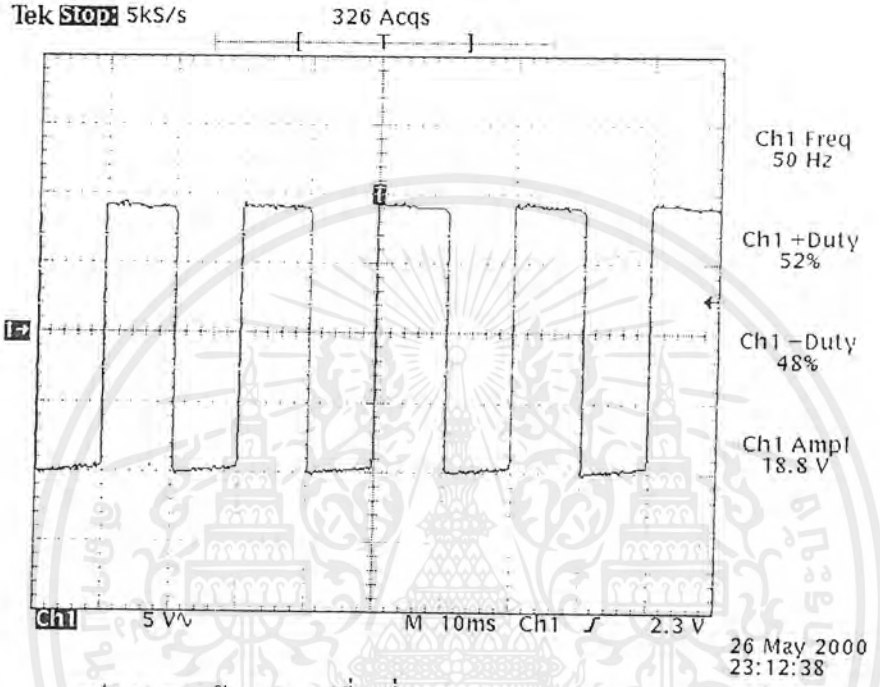
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

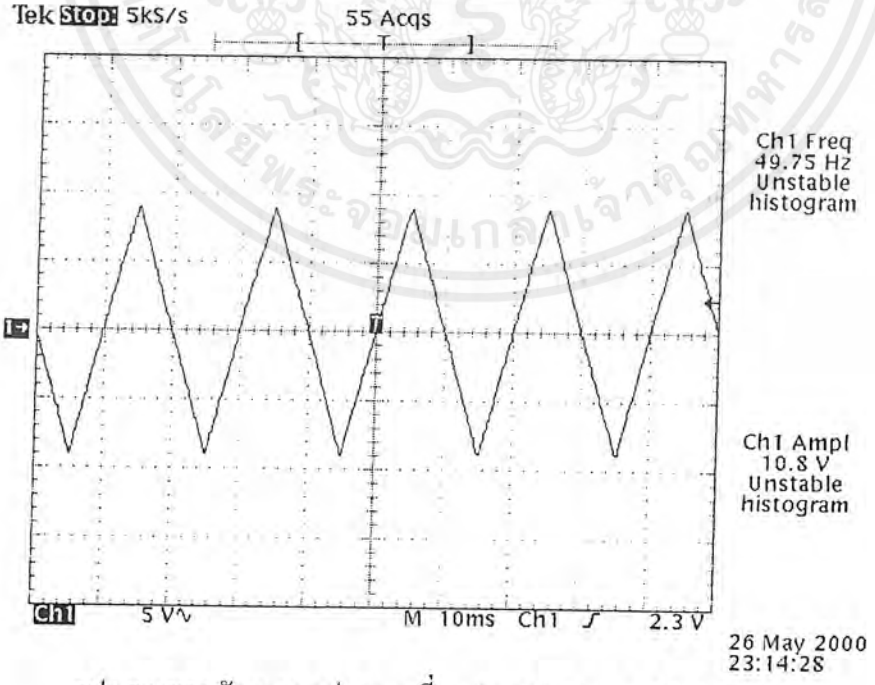
ผลการทดลอง

4.1 ผลการทดลองของแต่ละย่านความถี่ที่ Vo = 20Vp-p

4.1.1 ย่านความถี่ ×10Hz

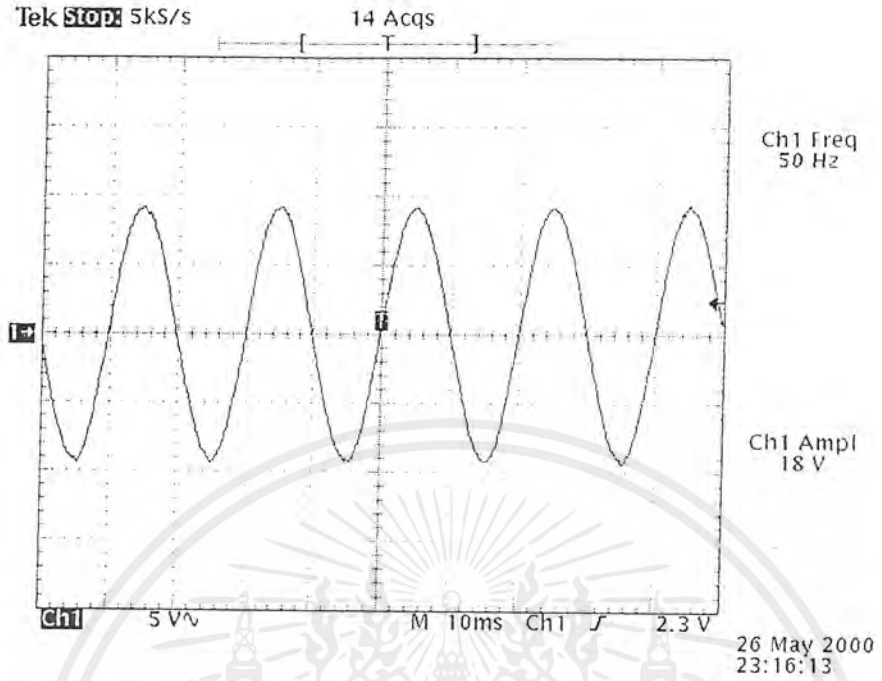


รูป4.1แสดงสัญญาณรูปสี่เหลี่ยม f = 50Hz Vo = 20Vp-p

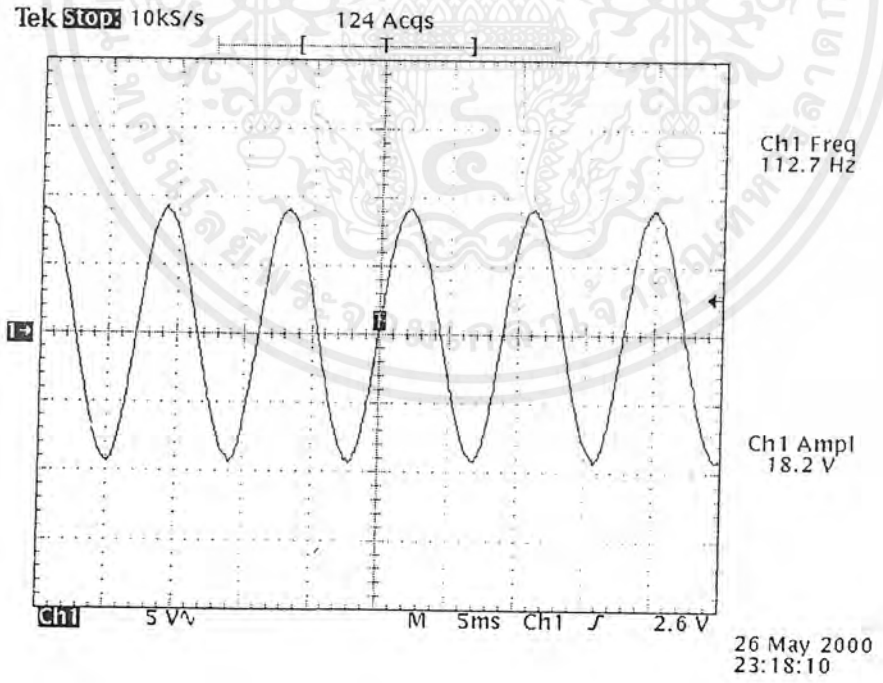


รูป4.2 แสดงสัญญาณรูปสามเหลี่ยม f = 50Hz Vo = 10Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

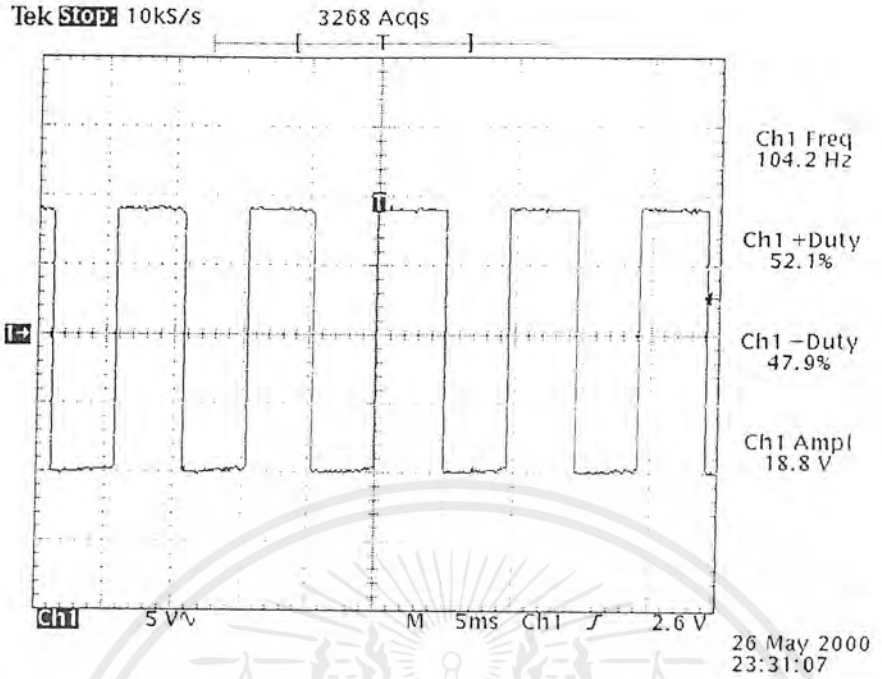


รูป4.3 แสดงสัญญาณรูปซายน์ f = 50Hz Vo = 20Vp-p

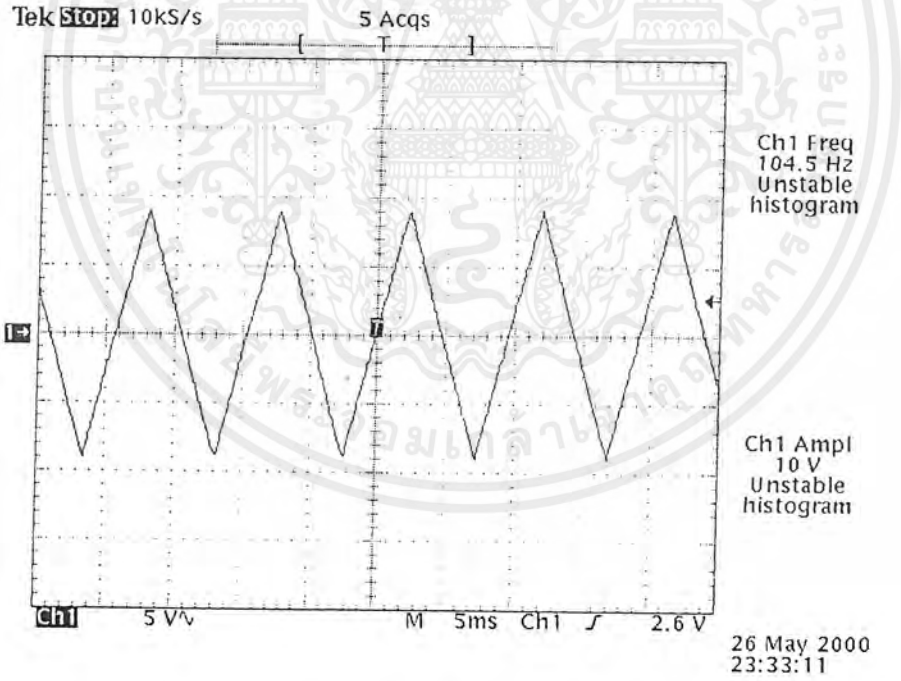


รูป4.4 แสดงสัญญาณรูปซายน์ f = 100Hz Vo = 20Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



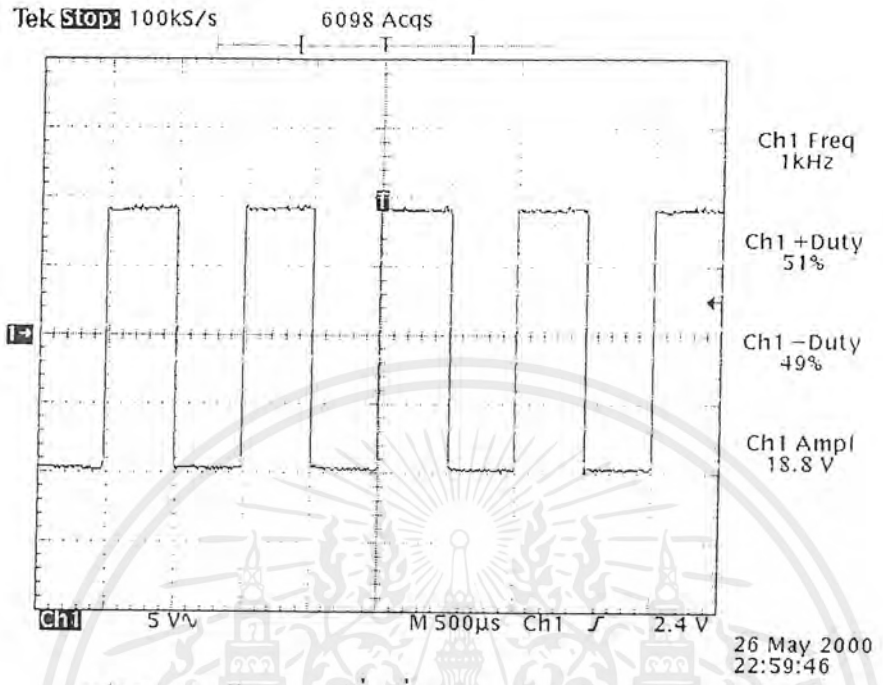
รูป4.5แสดงสัญญาณรูปสี่เหลี่ยม f = 100Hz Vo = 20Vp-p



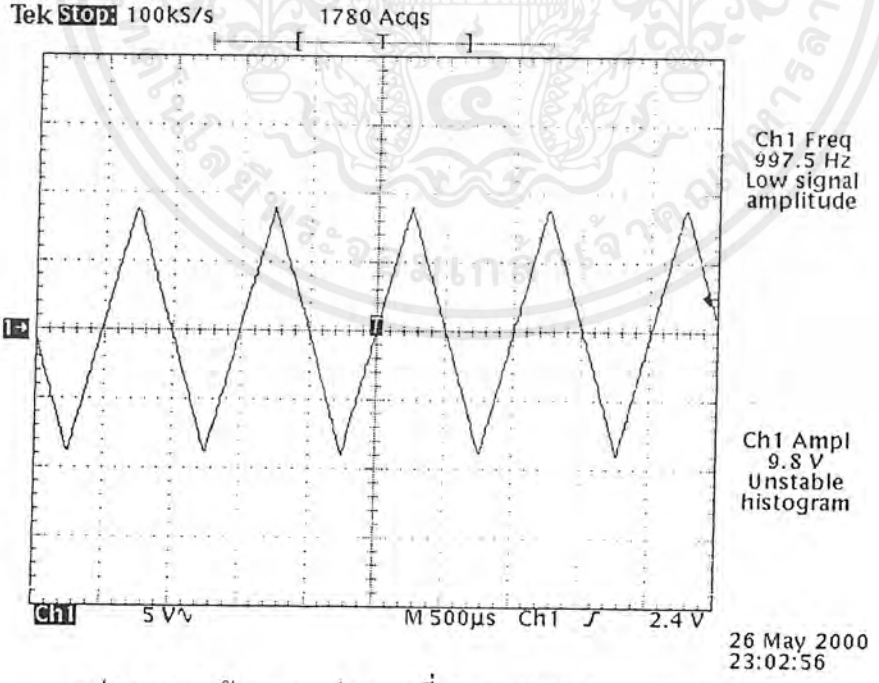
รูป4.6 แสดงสัญญาณรูปสามเหลี่ยม f = 100Hz Vo = 10Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2ย่านความถี่×100Hz

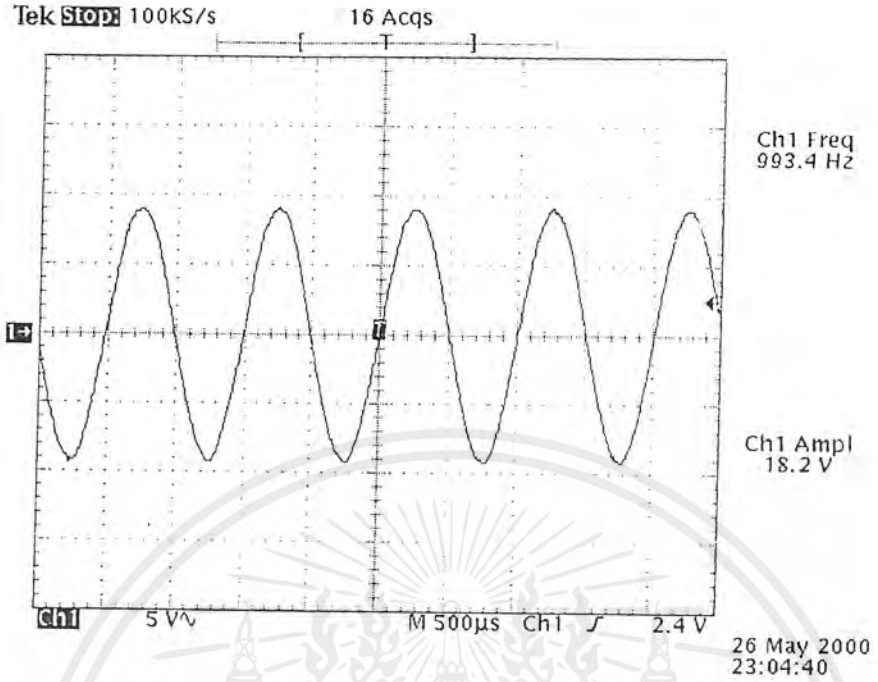


รูป4.7 แสดงสัญญาณรูปสี่เหลี่ยม f = 1KHz Vo = 20Vp-p

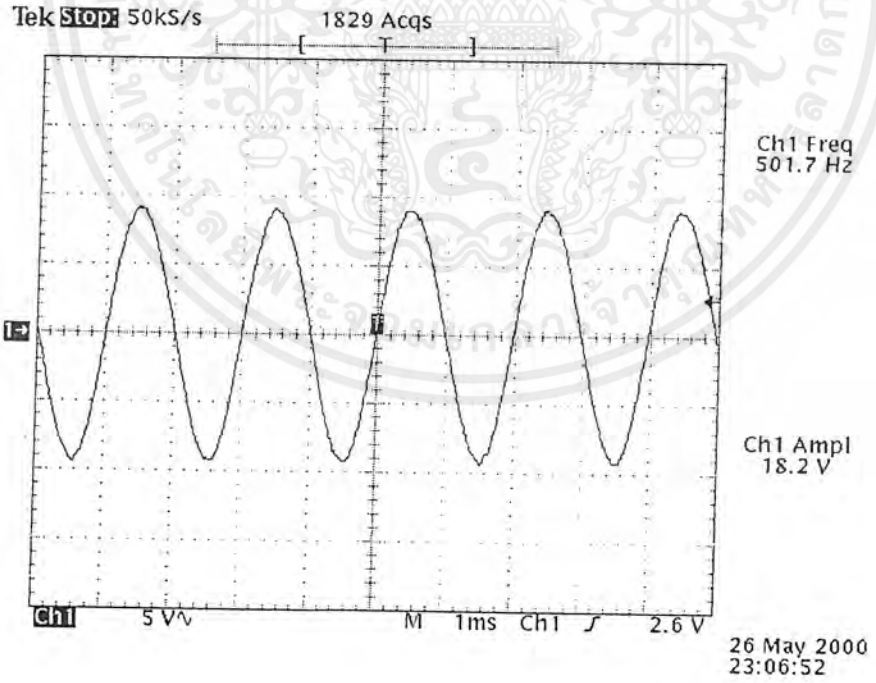


รูป4.8 แสดงสัญญาณรูปสามเหลี่ยม f = 1KHz Vo = 10Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

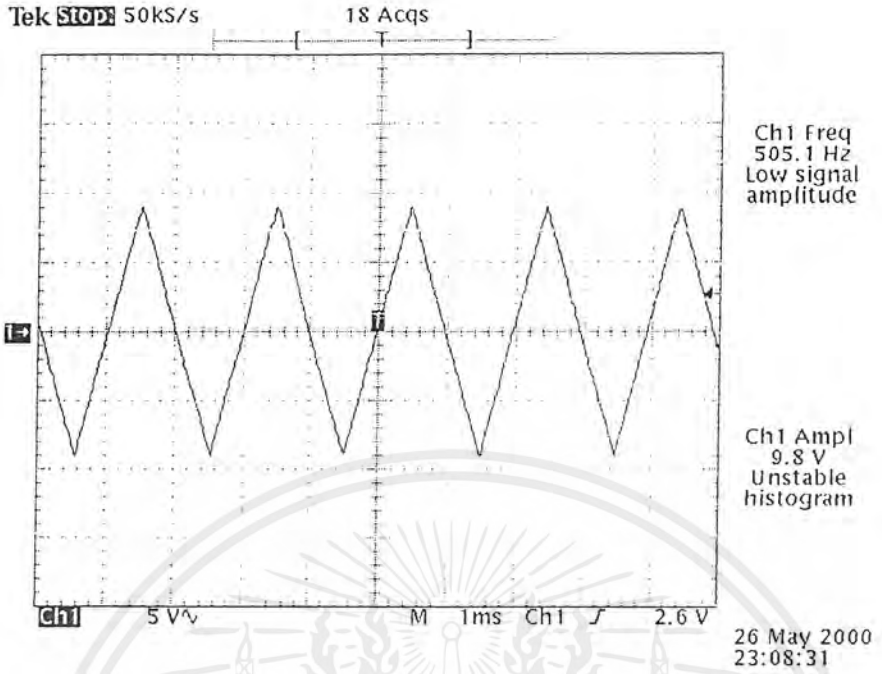


รูป4.9 แสดงสัญญาณรูปซายน์ f = 1KHz Vo = 20Vp-p

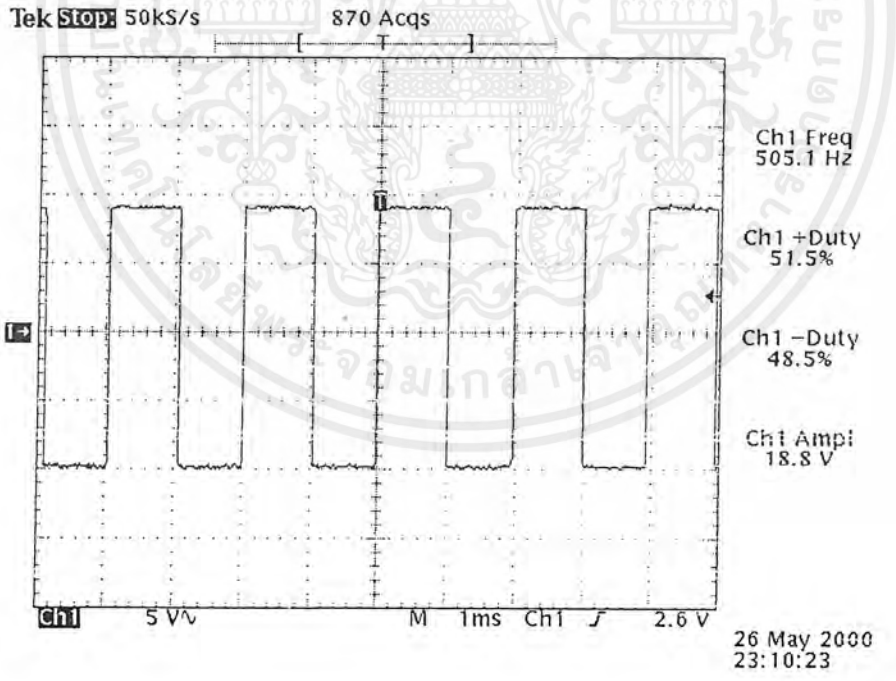


รูป4.10 แสดงสัญญาณรูปซายน์ f = 500Hz Vo = 20Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



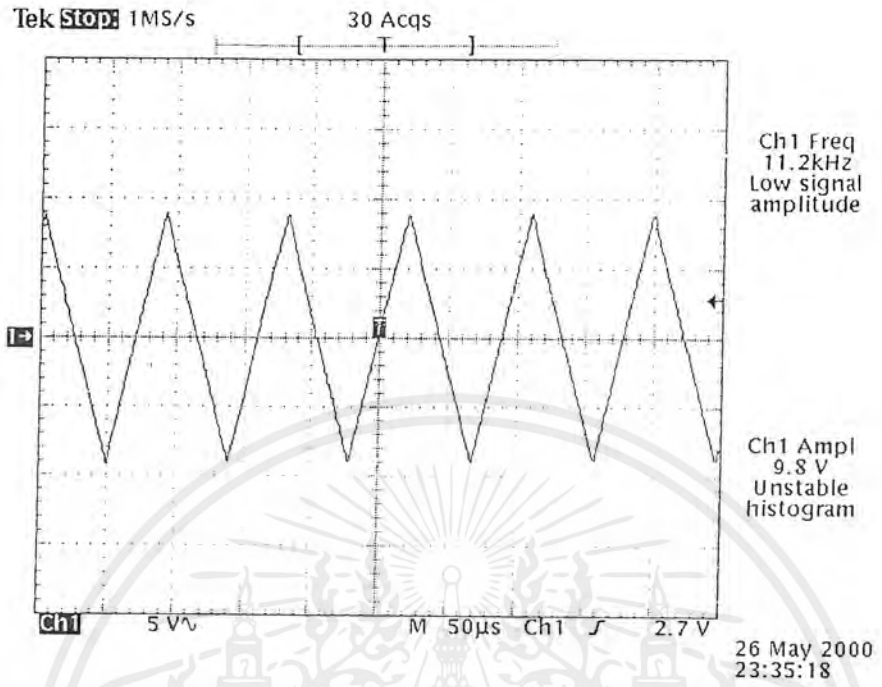
รูป4.11 แสดงสัญญาณรูปสามเหลี่ยม f = 500Hz Vo = 10Vp-p



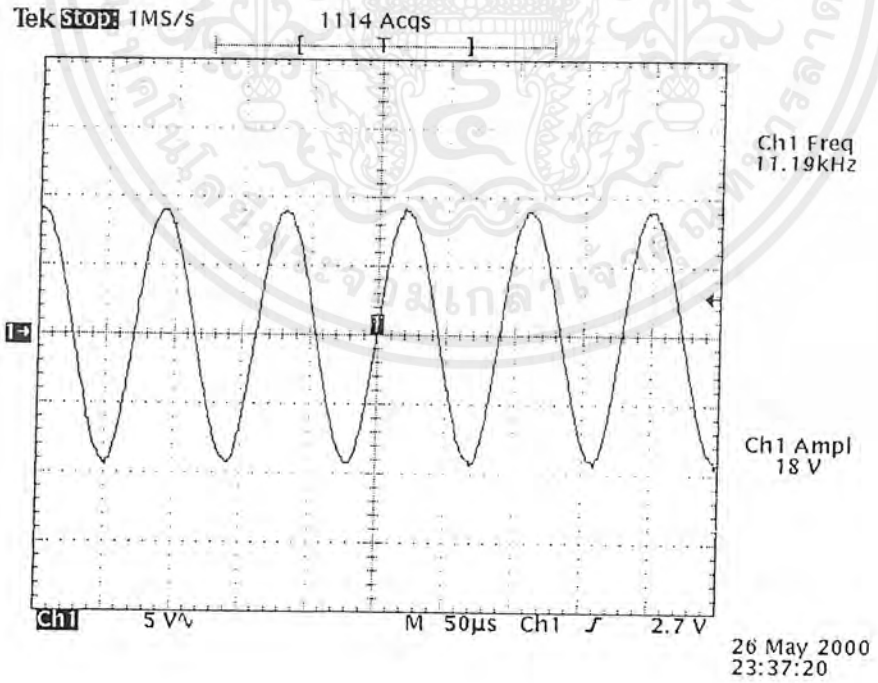
รูป4.12 แสดงสัญญาณรูปสี่เหลี่ยม f = 500Hz Vo = 20Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3ย่านความถี่×1KHz

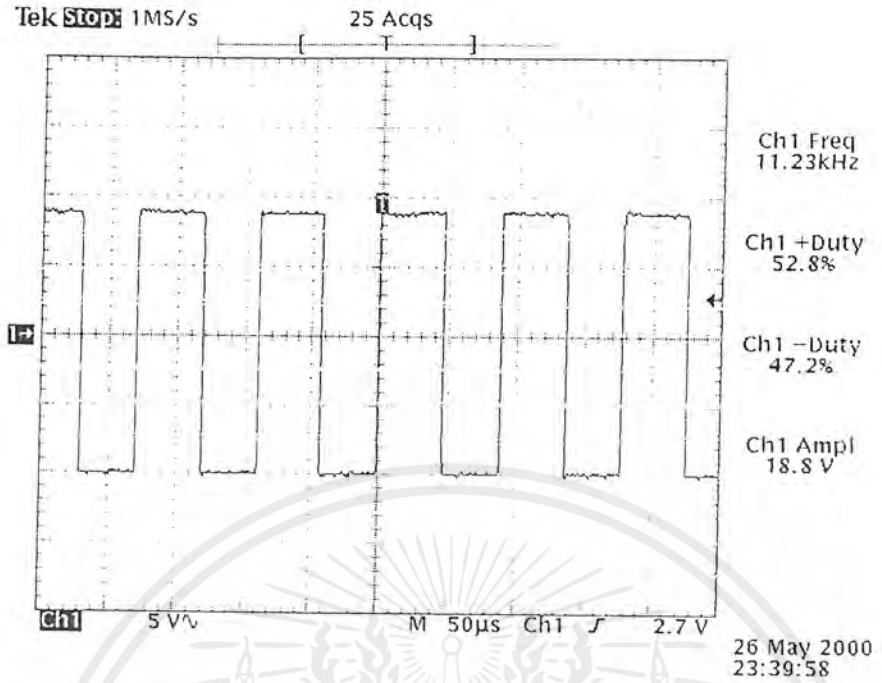


รูป4.13 แสดงสัญญาณรูปสามเหลี่ยม f = 10KHz Vo = 10Vp-p

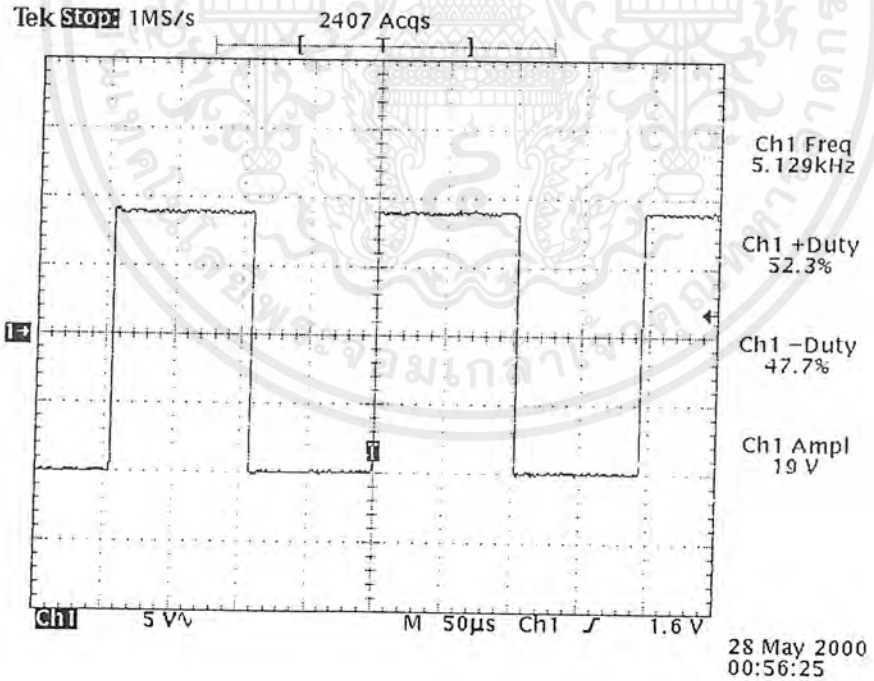


รูป4.14 แสดงสัญญาณรูปซายน์ f = 10KHz Vo = 20Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

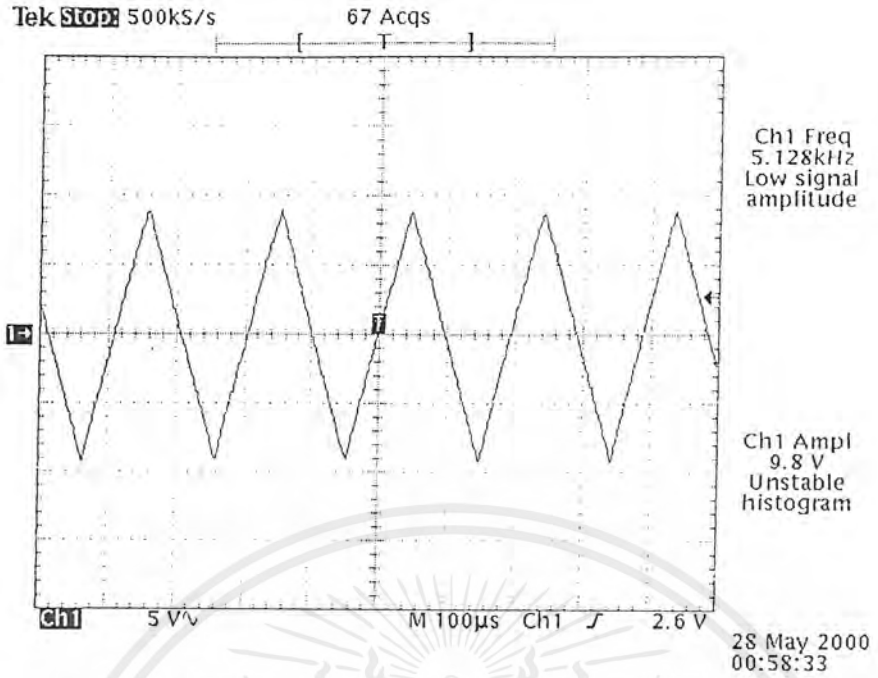


รูป4.15 แสดงสัญญาณรูปสี่เหลี่ยม f = 10KHz Vo = 20Vp-p

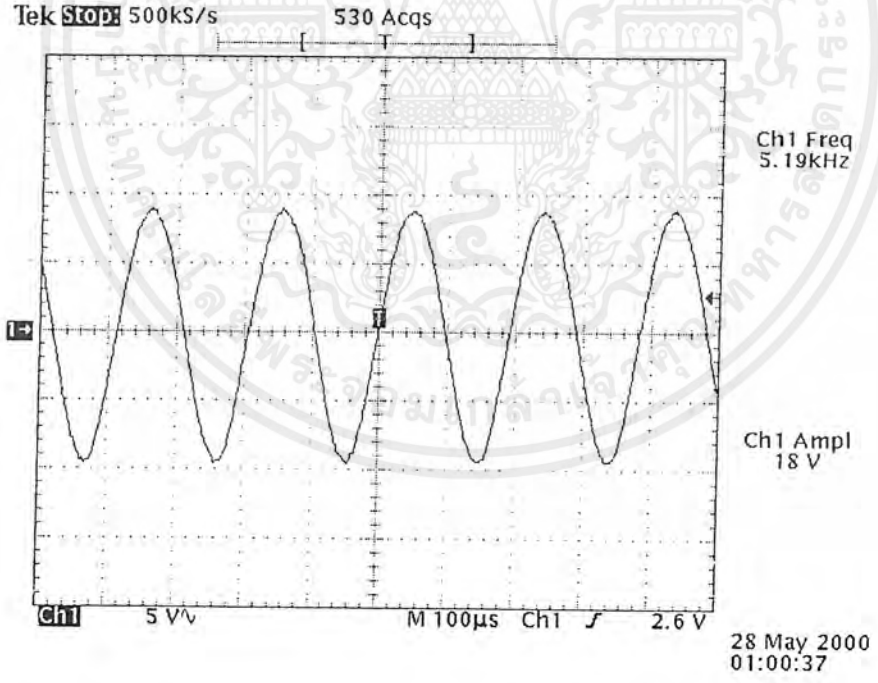


รูป4.16 แสดงสัญญาณรูปสี่เหลี่ยม f = 5KHz Vo = 20Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



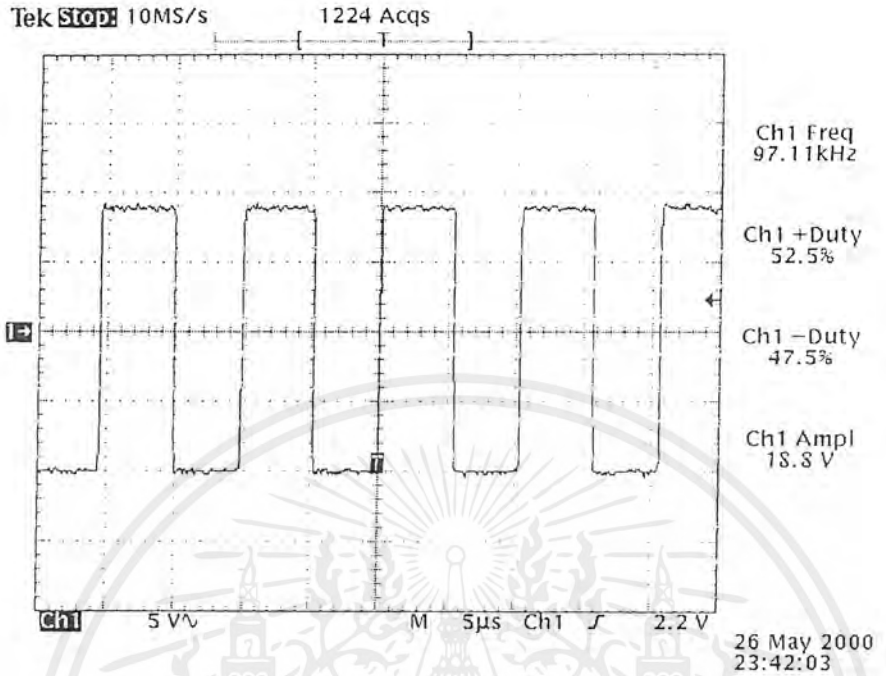
รูป4.17 แสดงสัญญาณรูปสามเหลี่ยม f = 5KHz Vo = 10Vp-p



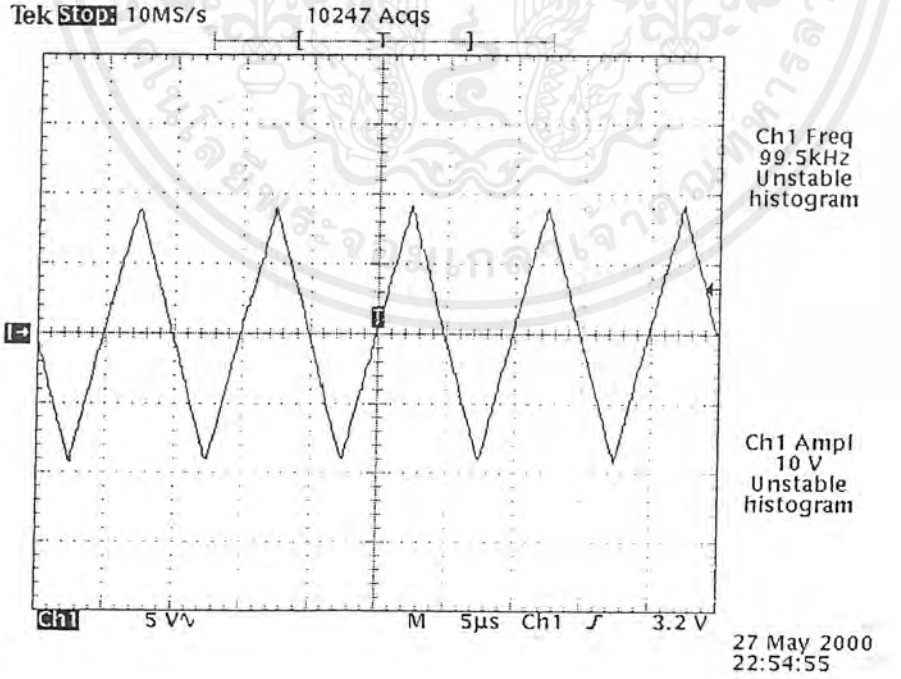
รูป4.18 แสดงสัญญาณรูปซายน์ f = 5KHz Vo = 20Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.4ย่านความถี่×10KHz

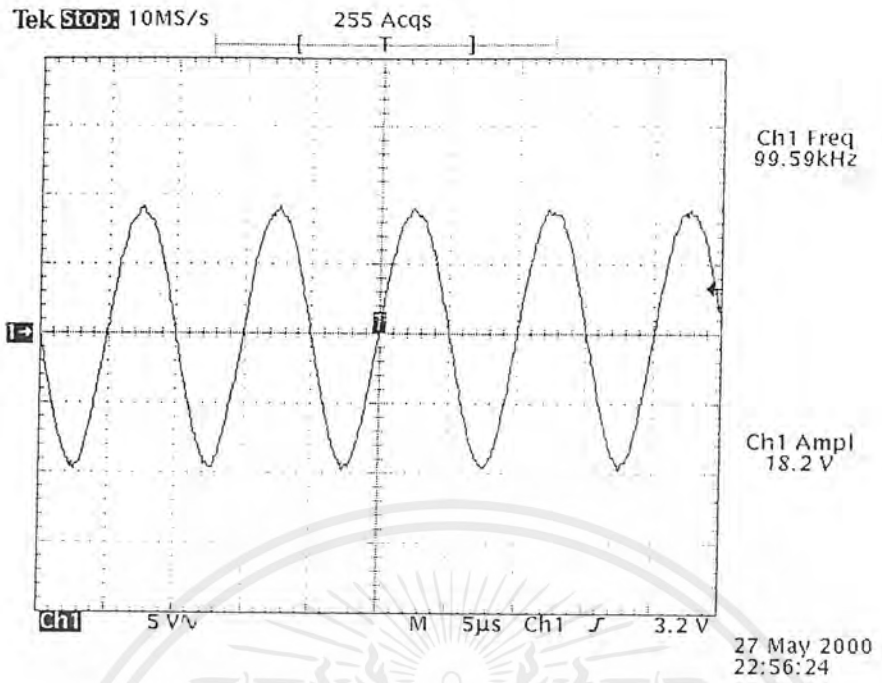


รูป4.19 แสดงสัญญาณรูปสี่เหลี่ยม f = 100KHz Vo = 20Vp-p



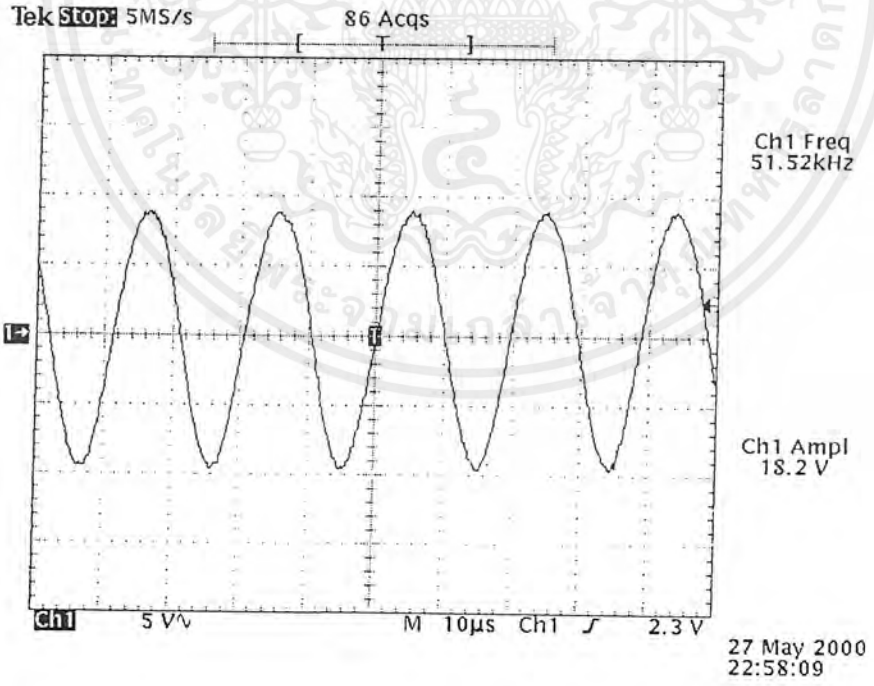
รูป4.20 แสดงสัญญาณรูปสามเหลี่ยม f = 100KHz Vo = 10Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



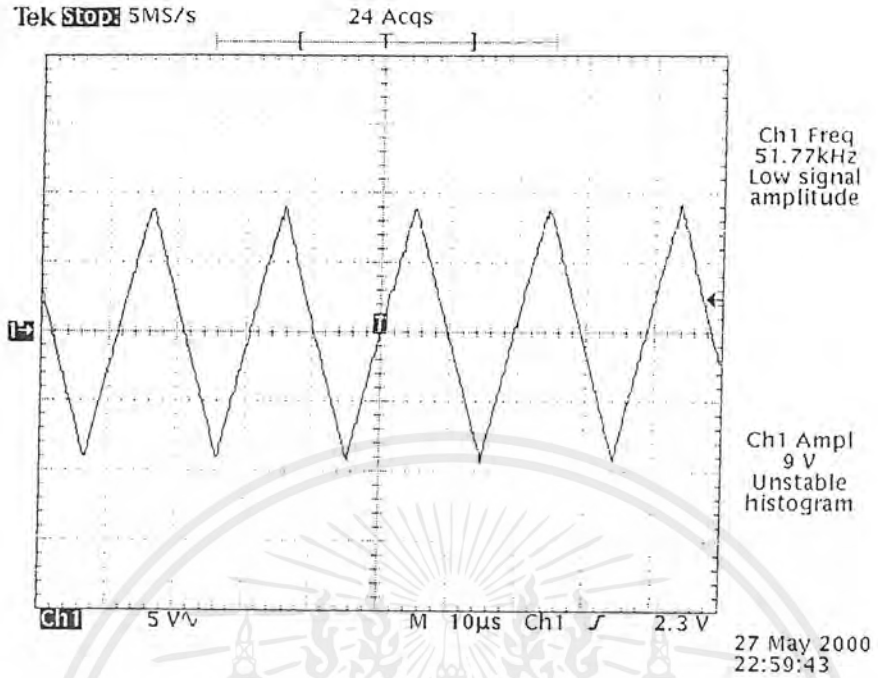
รูป4.21 แสดงสัญญาณรูปซายน์ f = 100KHz Vo = 20Vp-p

4.1.5ย่านความถี่×100KHz

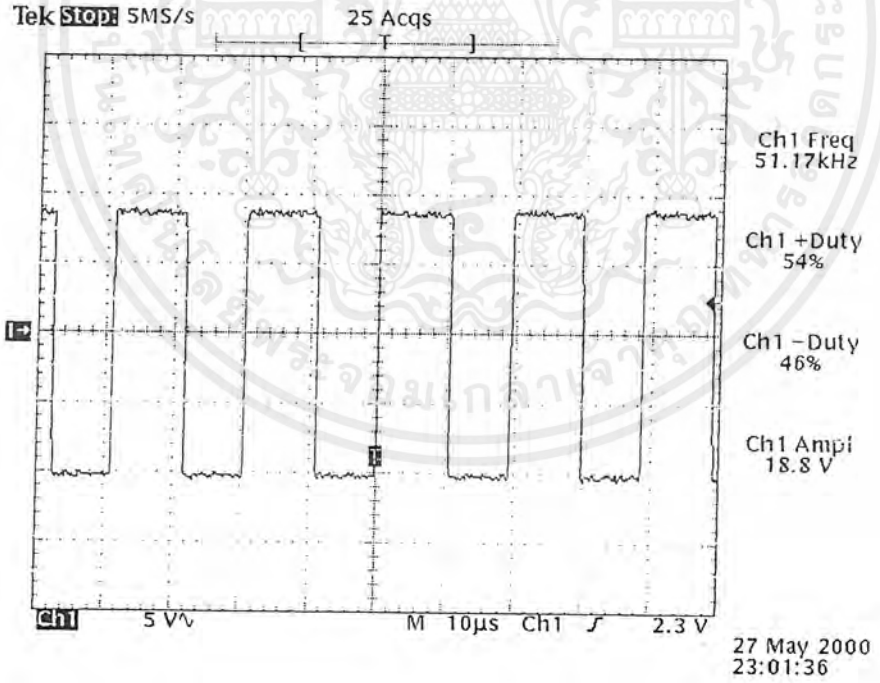


รูป4.22 แสดงสัญญาณรูปซายน์ f = 50KHz Vo = 20Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

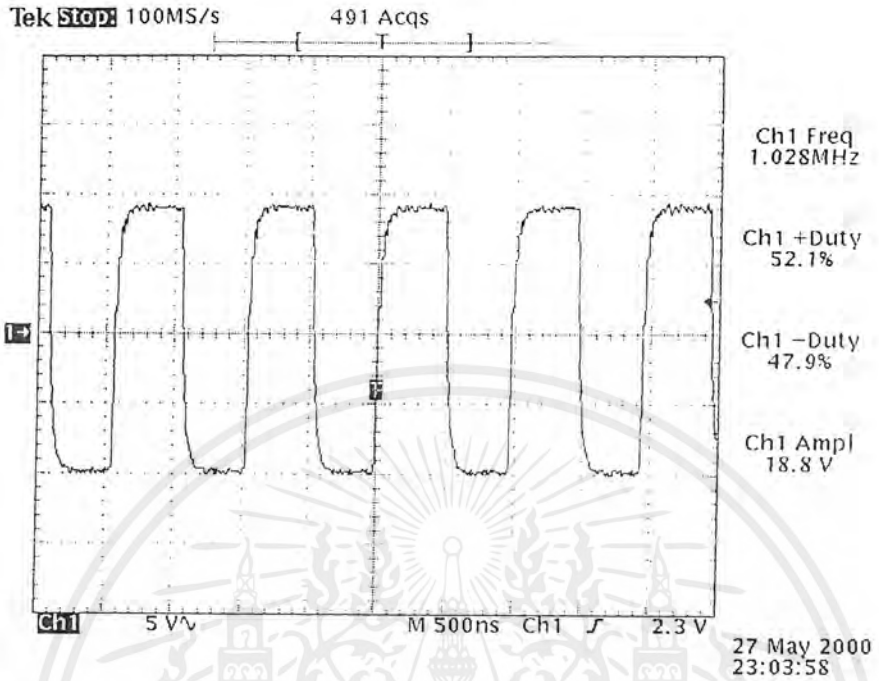


รูป4.23 แสดงสัญญาณรูปสามเหลี่ยม f = 50KHz Vo = 10Vp-p

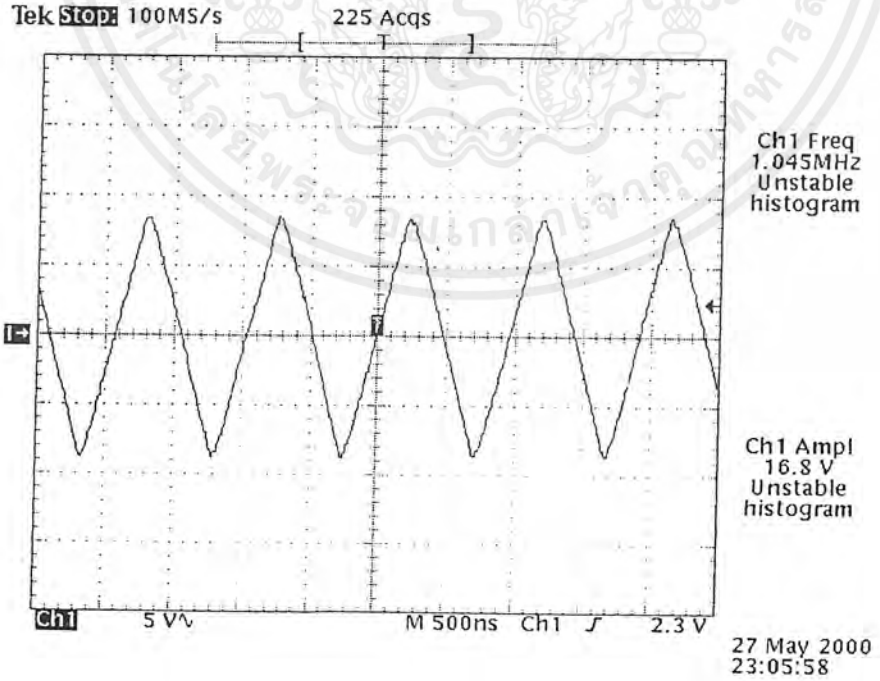


รูป4.24 แสดงสัญญาณรูปสี่เหลี่ยม f = 50KHz Vo = 20Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

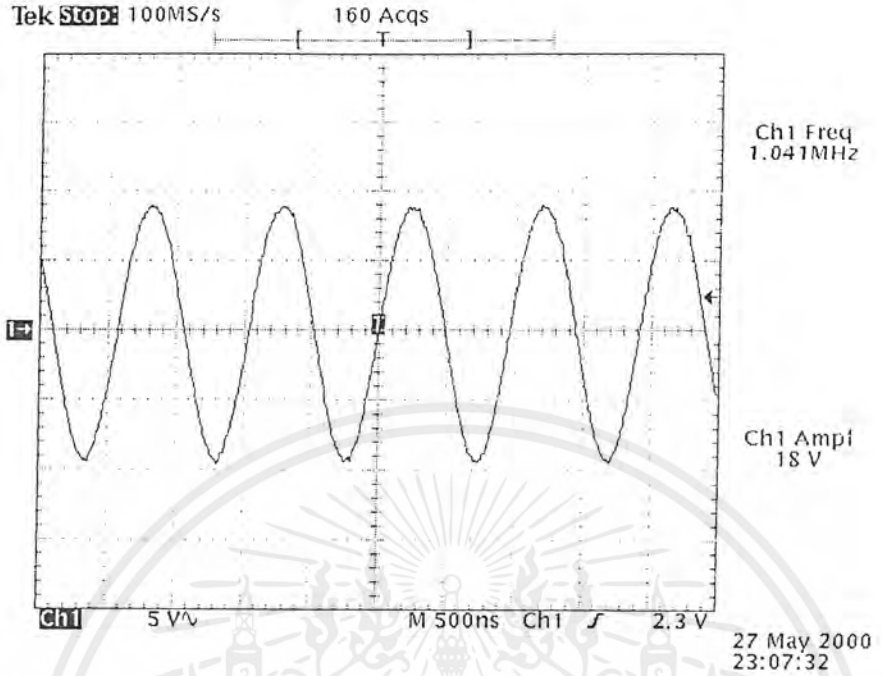


รูป4.25แสดงสัญญาณรูปสี่เหลี่ยม f = 1MHz Vo = 20Vp-p

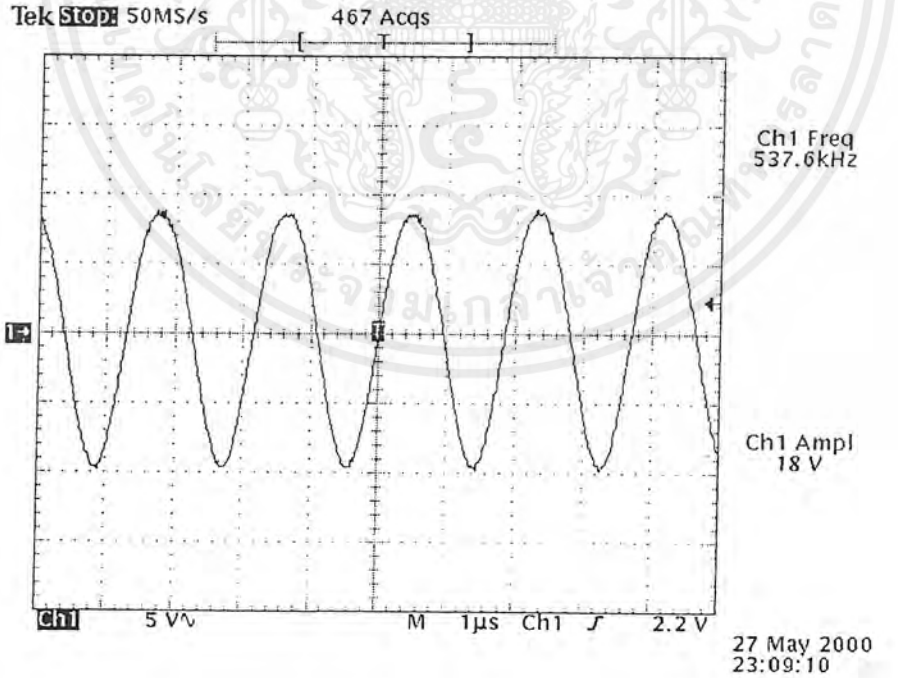


รูป4.26 แสดงสัญญาณรูปสามเหลี่ยม f = 1MHz Vo = 20Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

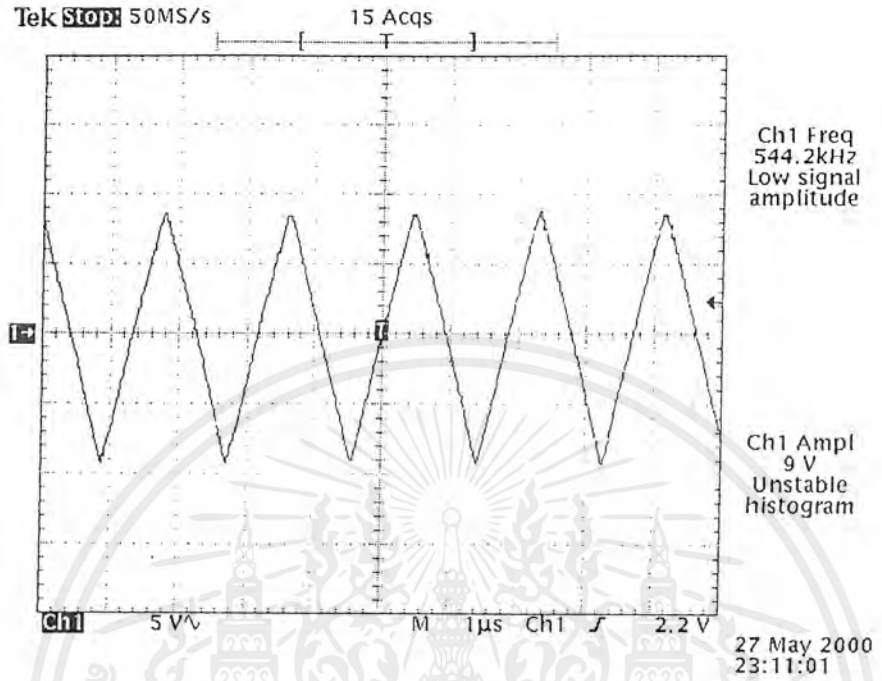


รูป4.27แสดงสัญญาณรูปซายน์ f = 1MHz Vo = 20Vp-p

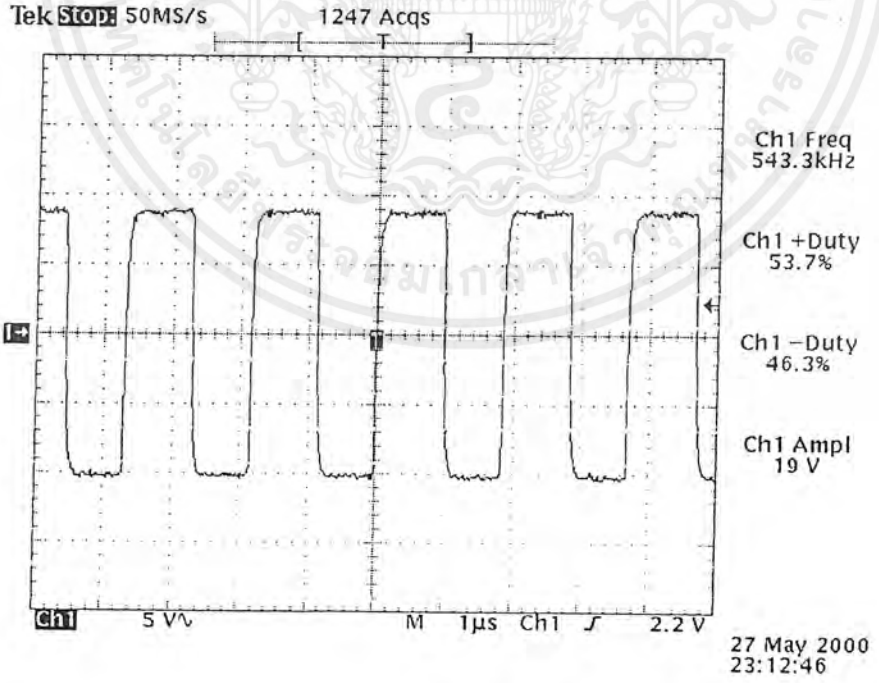


รูป4.28 แสดงสัญญาณรูปซายน์ f = 500KHz Vo = 20Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



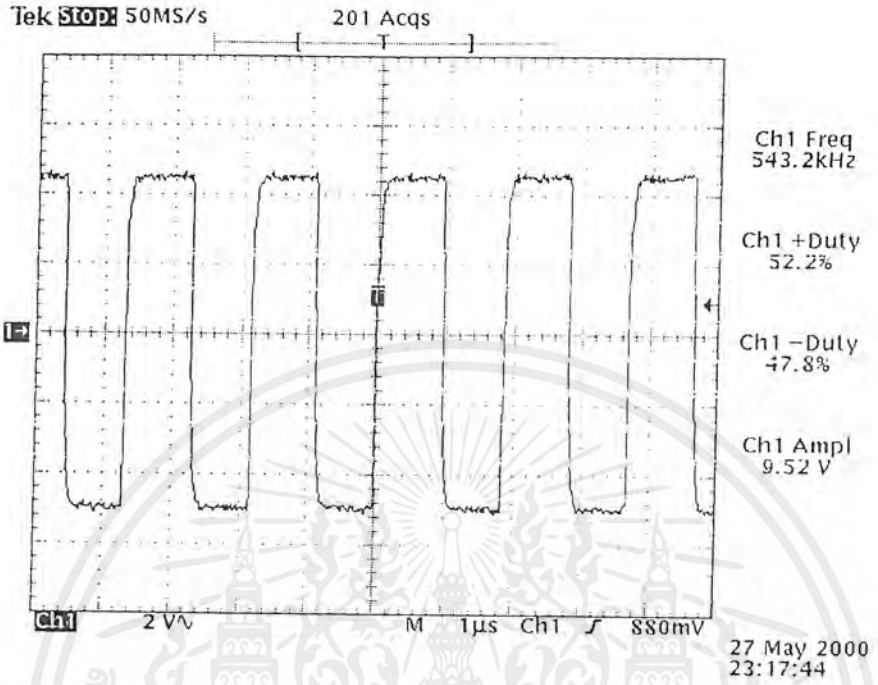
รูป4.29 แสดงสัญญาณรูปสามเหลี่ยม f = 500KHz Vo = 10Vp-p



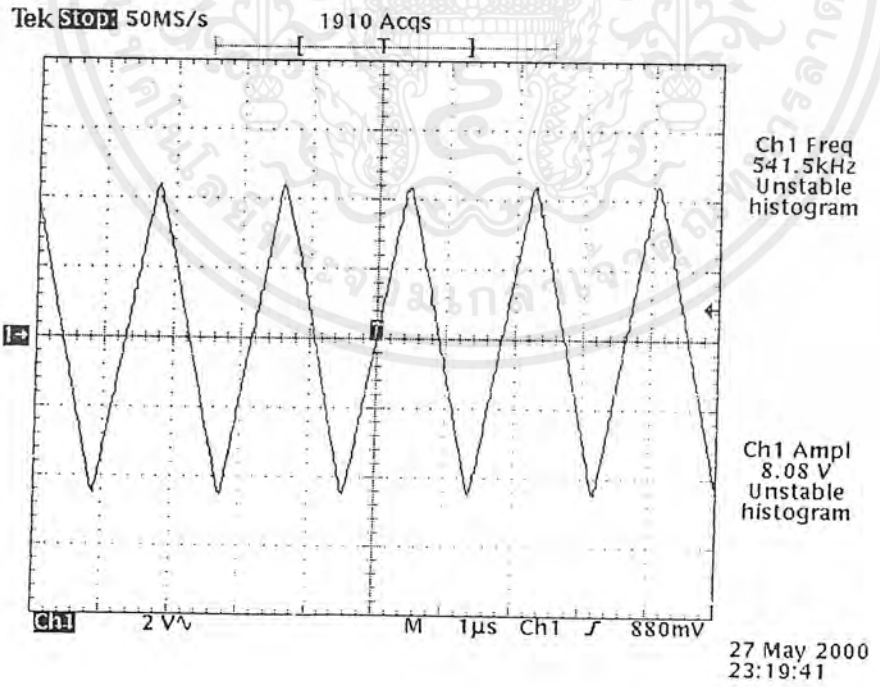
รูป4.30 แสดงสัญญาณรูปสี่เหลี่ยม f = 500KHz Vo = 20Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ผลการทดลองการปรับขนาดสัญญาณ (Amplitude)

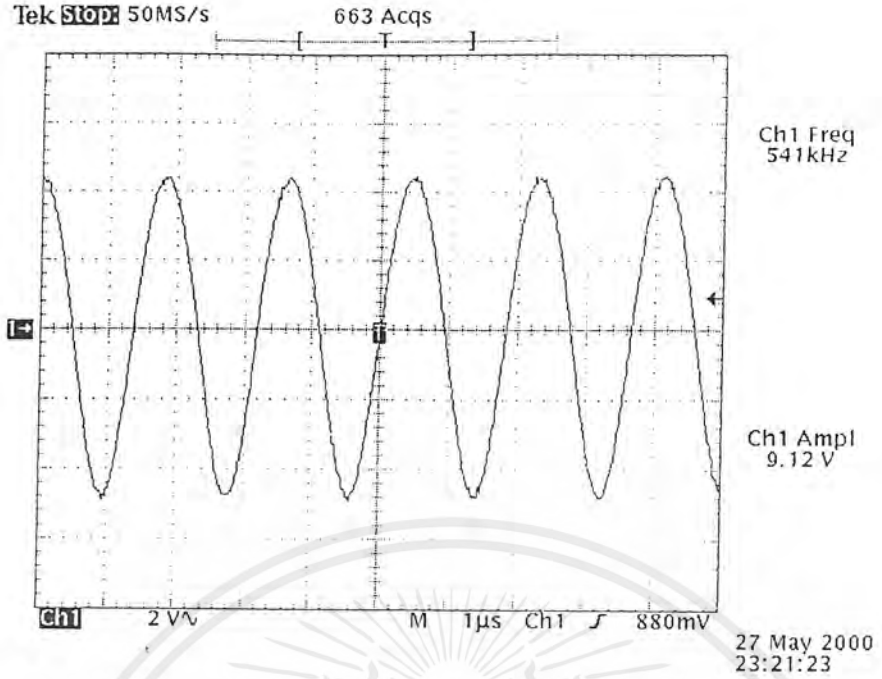


รูป4.31 แสดงสัญญาณรูปสี่เหลี่ยม f = 500KHz Vo = 10Vp-p

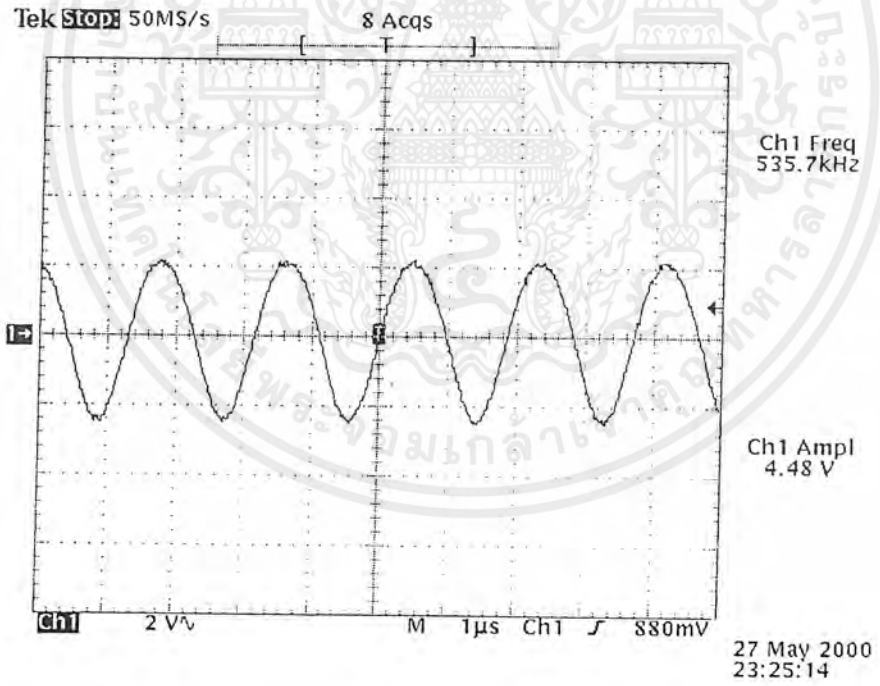


รูป4.32 แสดงสัญญาณรูปสามเหลี่ยม f = 500KHz Vo = 10Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

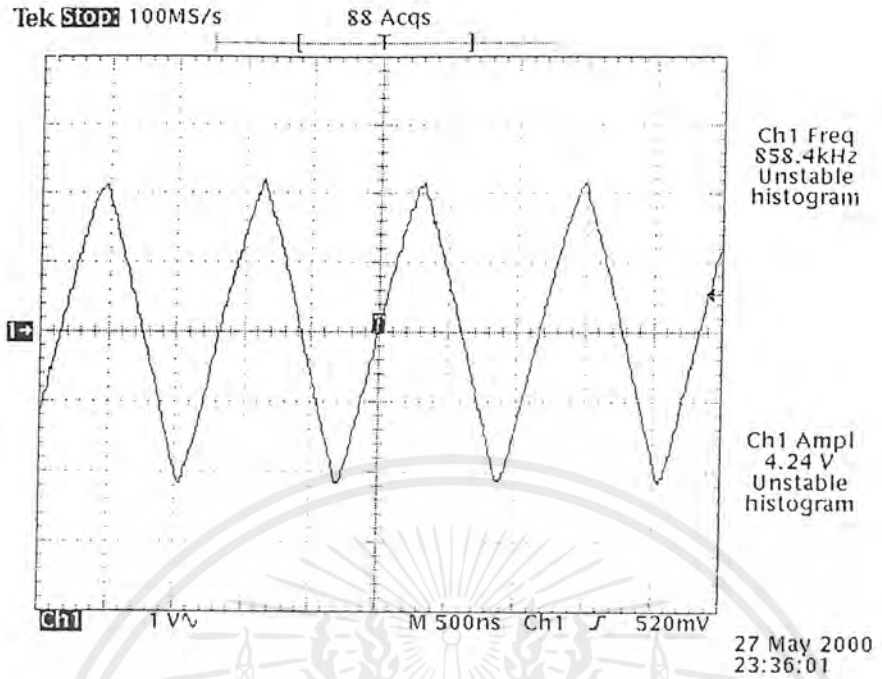


รูป4.33 แสดงสัญญาณรูปซายน์ f = 500KHz Vo = 10Vp-p

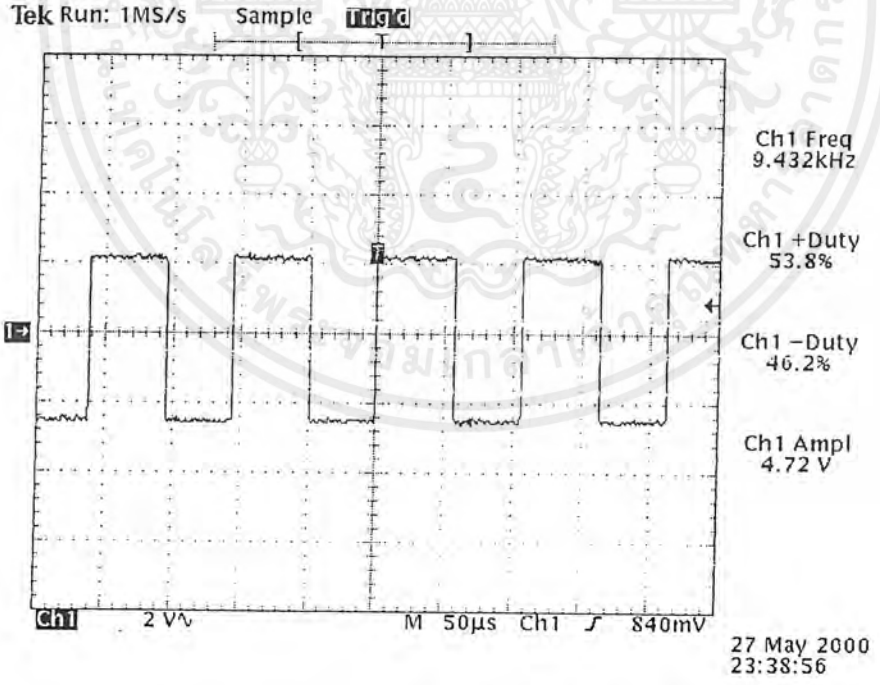


รูป4.34 แสดงสัญญาณรูปซายน์ f = 500KHz Vo = 5Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



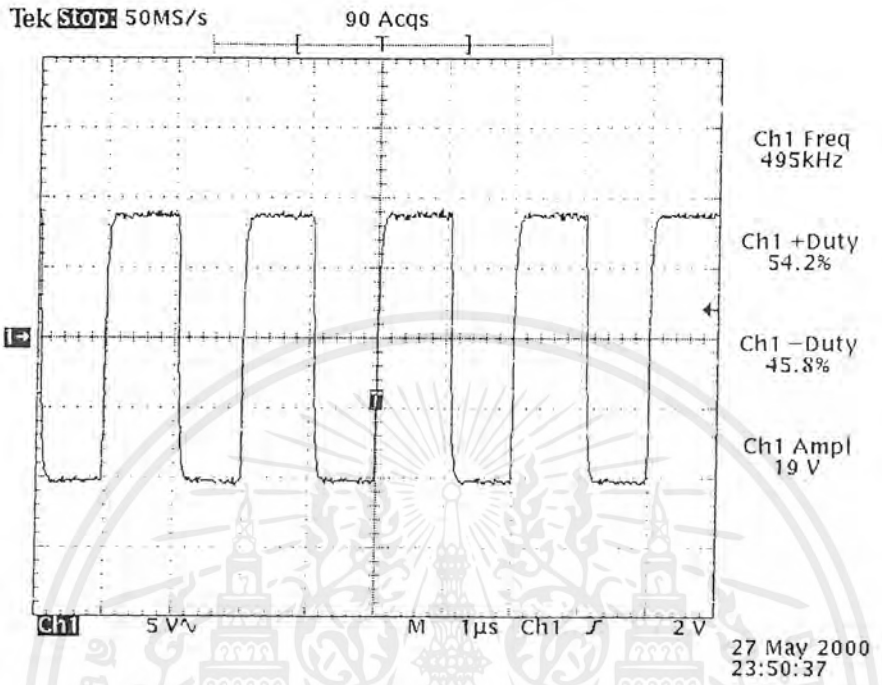
รูป4.35 แสดงสัญญาณรูปสามเหลี่ยม $f = 850KHz$ $Vo = 5Vp\text{-}p$



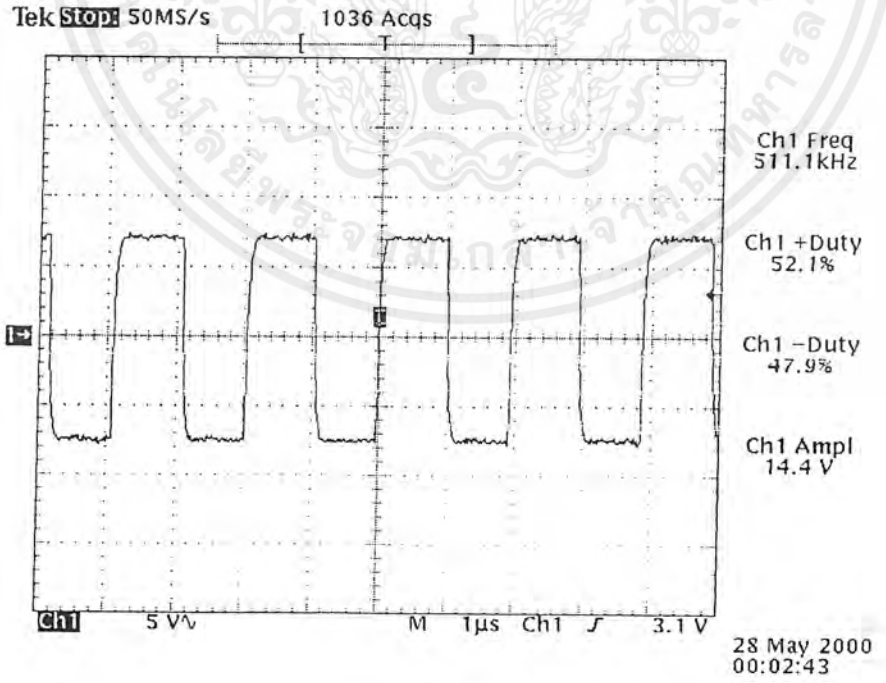
รูป4.36 แสดงสัญญาณรูปสี่เหลี่ยม $f = 10KHz$ $Vo = 5Vp\text{-}p$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 ผลการทดลองการลดทอนสัญญาณ (Attenuater)

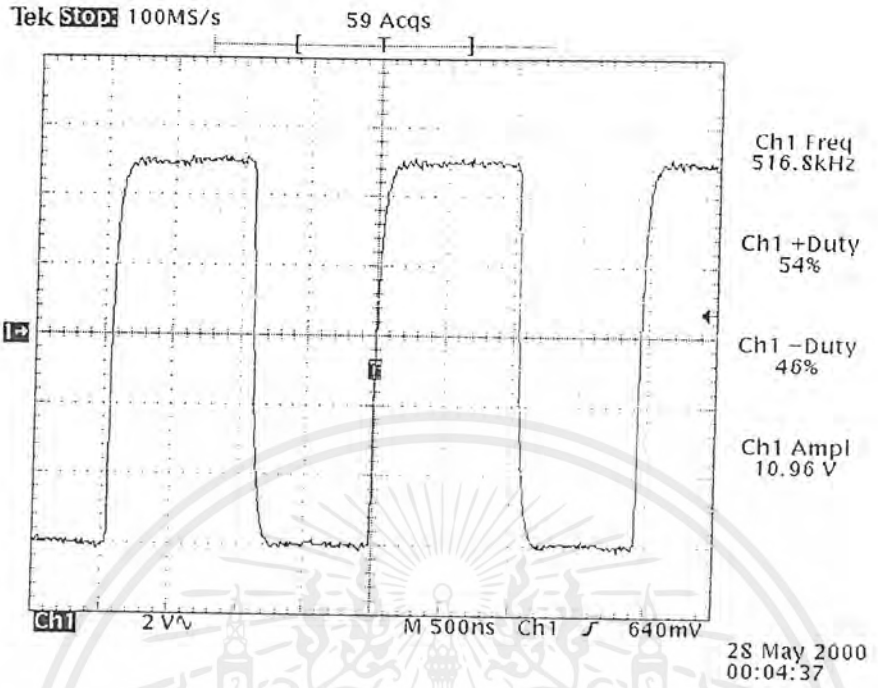


รูป4.37 แสดงสัญญาณรูปสี่เหลี่ยมก่อนจะทำการลดทอน

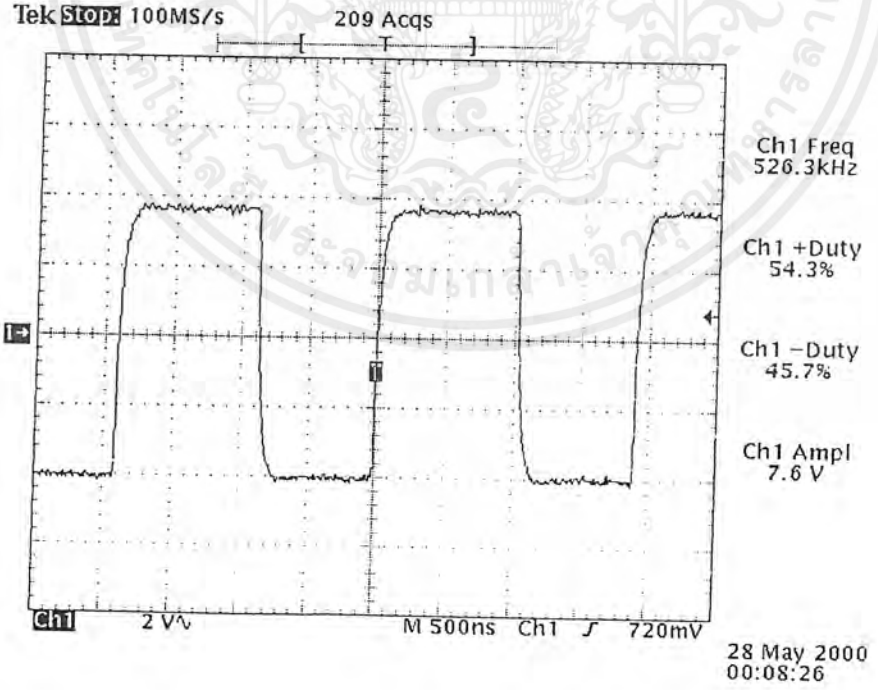


รูป4.38 แสดงสัญญาณรูปสี่เหลี่ยมที่ลดทอน 3dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

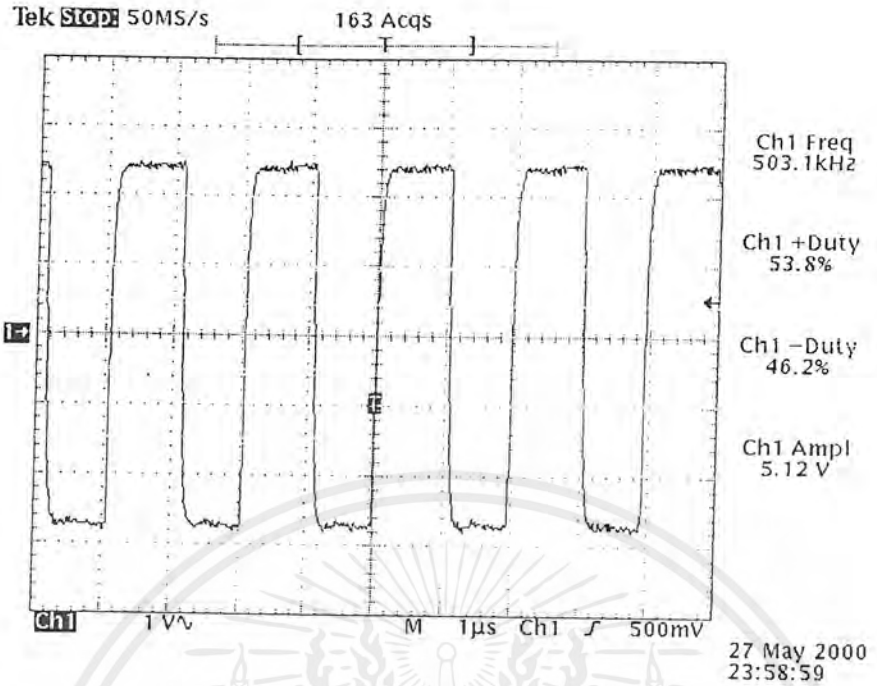


รูป4.39 แสดงสัญญาณรูปสี่เหลี่ยมที่ลดทอน 5dB

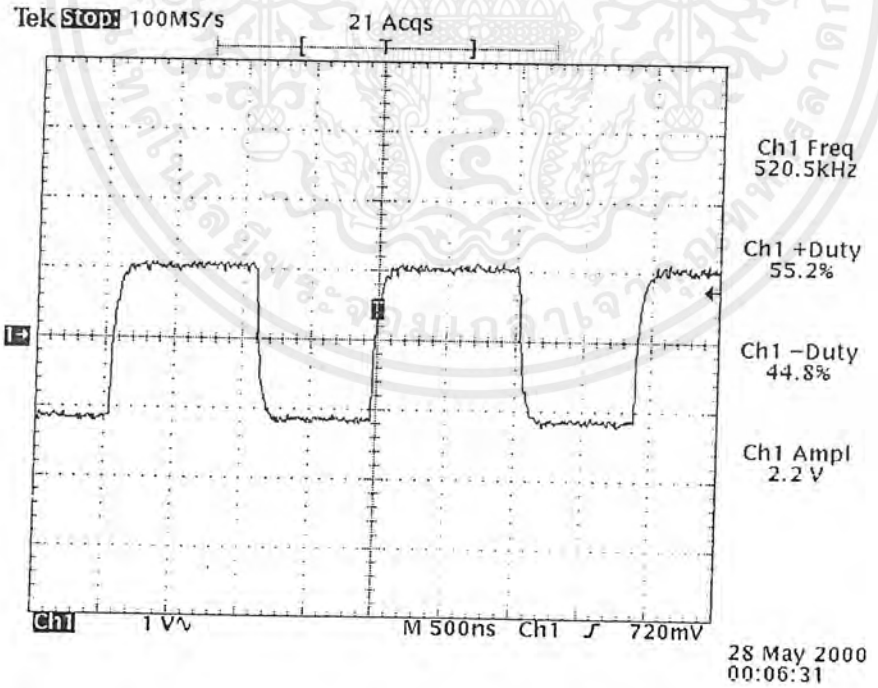


รูป4.40 แสดงสัญญาณรูปสี่เหลี่ยมที่ลดทอน 8dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป4.41 แสดงสัญญาณรูปสี่เหลี่ยมที่ลดทอน 12dB

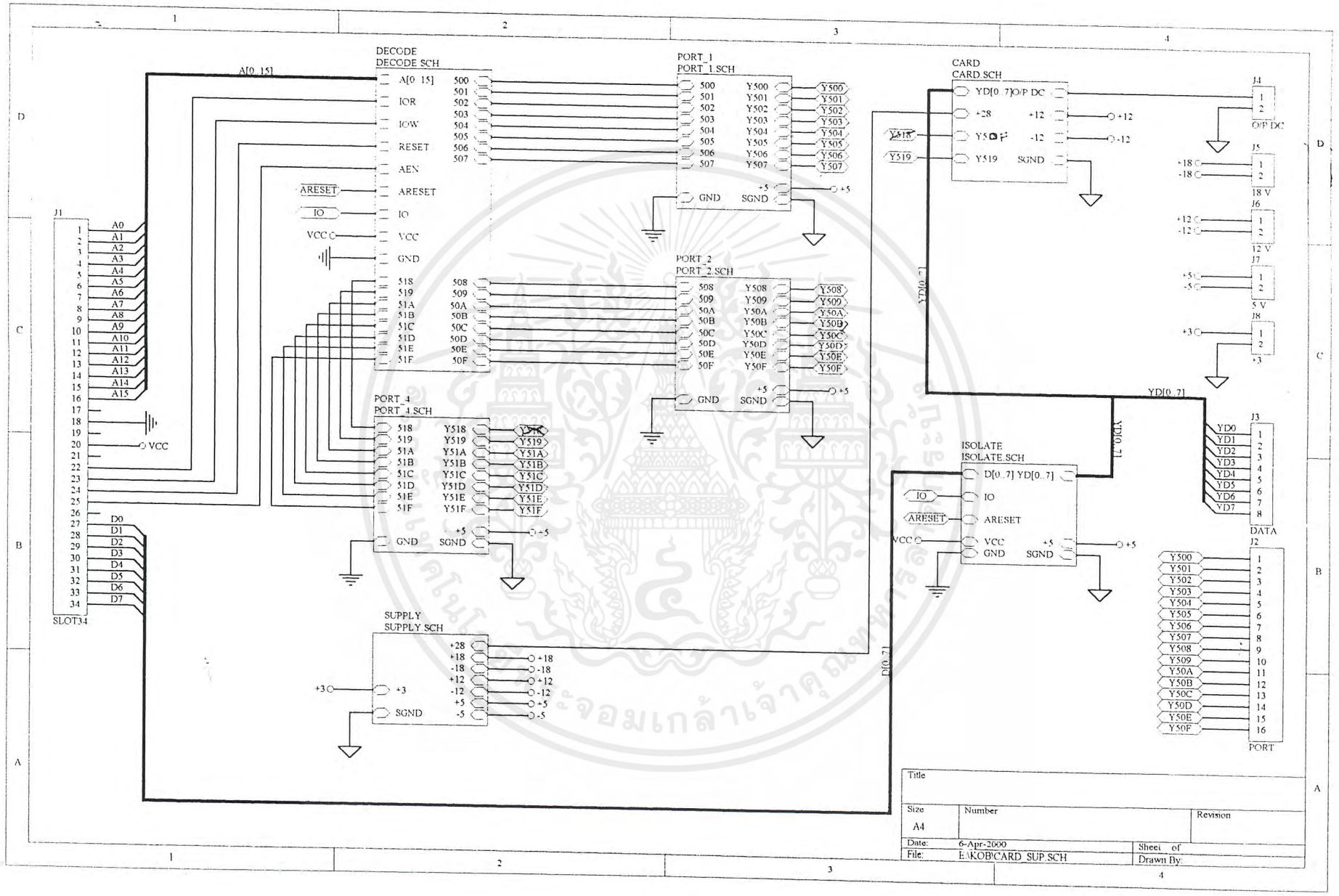


รูป4.42 แสดงสัญญาณรูปสี่เหลี่ยมที่ลดทอน 18dB

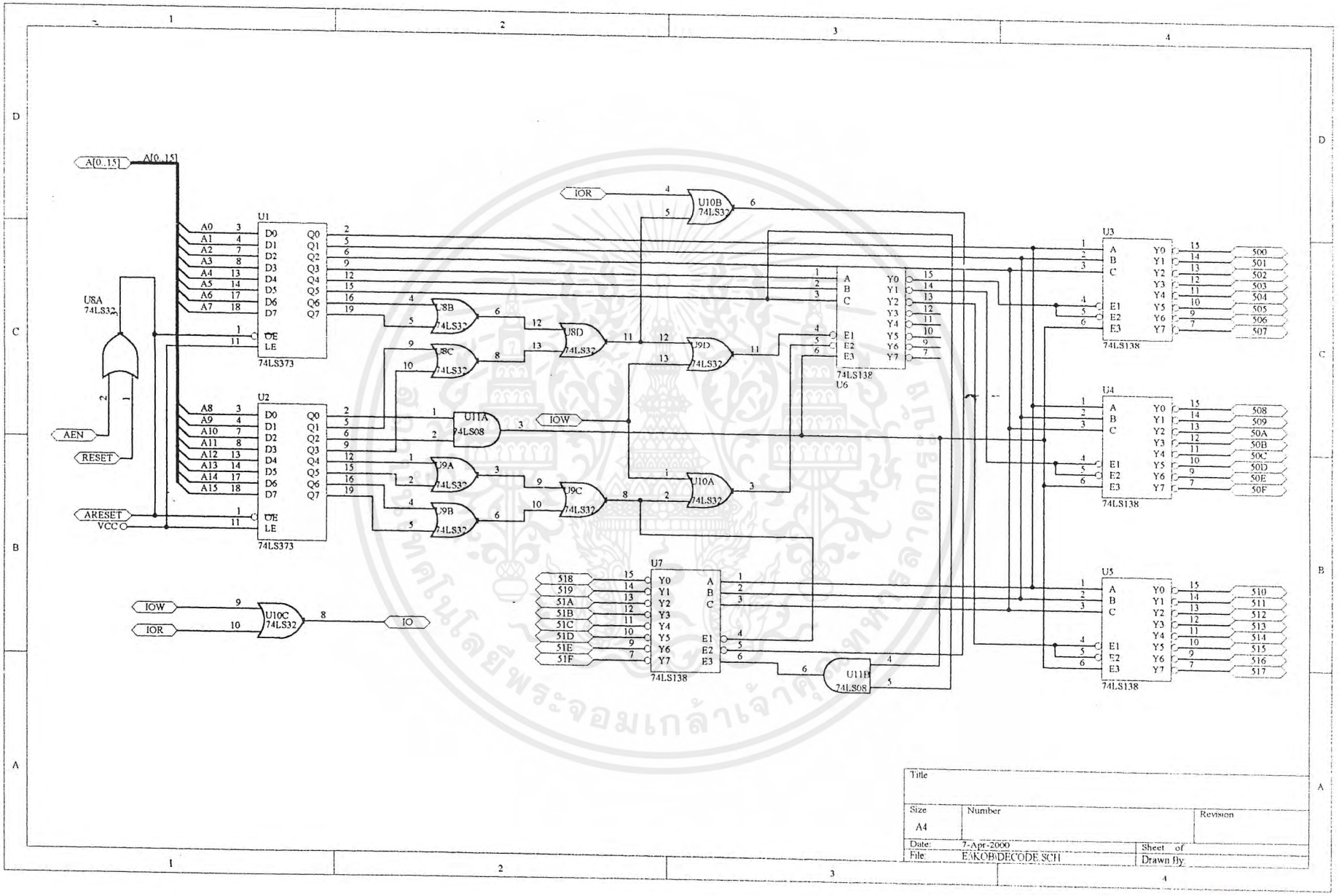
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

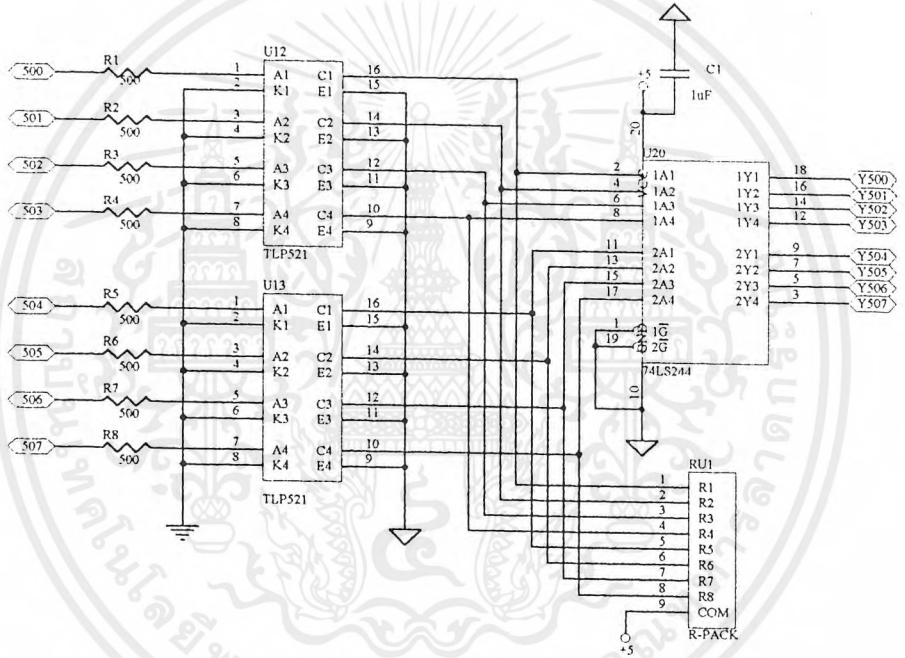
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

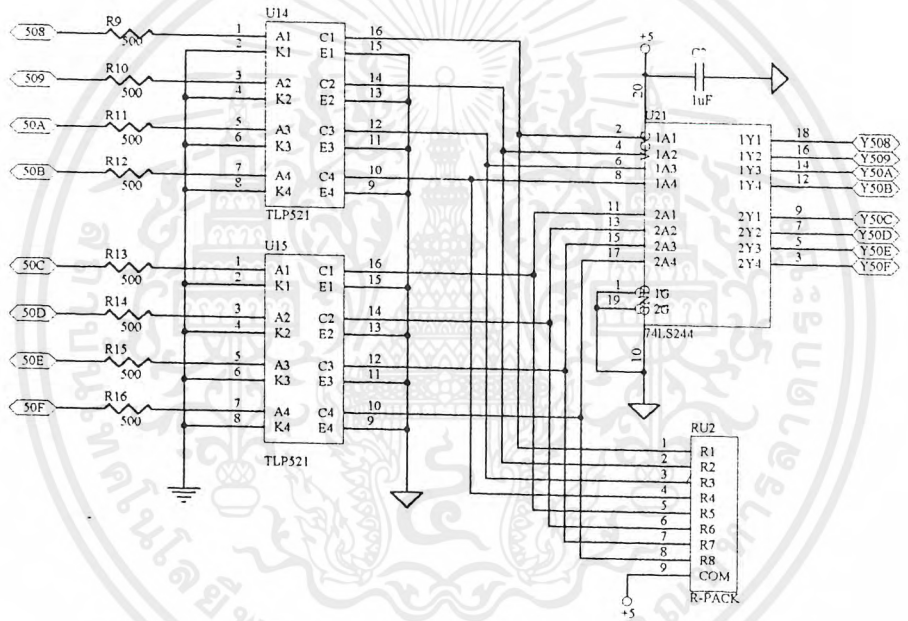


Title		
Size: A4	Number	Revision
Date: 6-Apr-2000		Sheet of
File: E:\KOB\CARD_SUP.SCH		Drawn By:

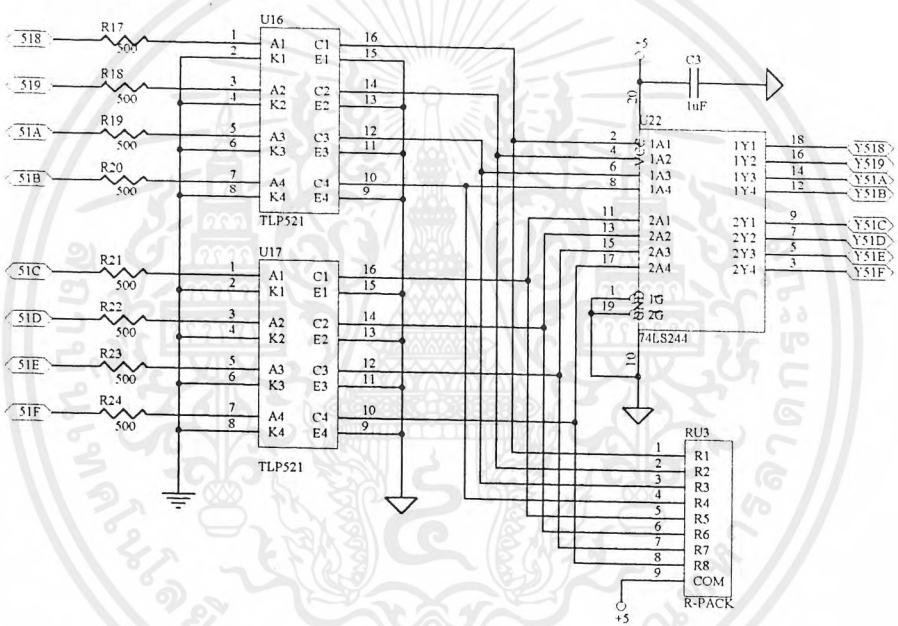

A[0..15]
U1
74LS373
U2
74LS373
U8A
74LS32
AEN
RESET
ARESET
VCC
U8B
U8C
U8D
U9A
U9B
U9C
U9D
U10A
U10B
U10C
U11A
U11B
74LS08
IOR
IOW
IO
U6
74LS138
U7
74LS138
U3
74LS138
U4
74LS138
U5
74LS138
518
519
51A
51B
51C
51D
51E
51F
500
501
502
503
504
505
506
507
508
509
50A
50B
50C
50D
50E
50F
510
511
512
513
514
515
516
517
Title
Size
A4
Number
Revision
Date:
7-Apr-2000
Sheet of
File:
E:\KOB\DECODE.SCH
Drawn By:



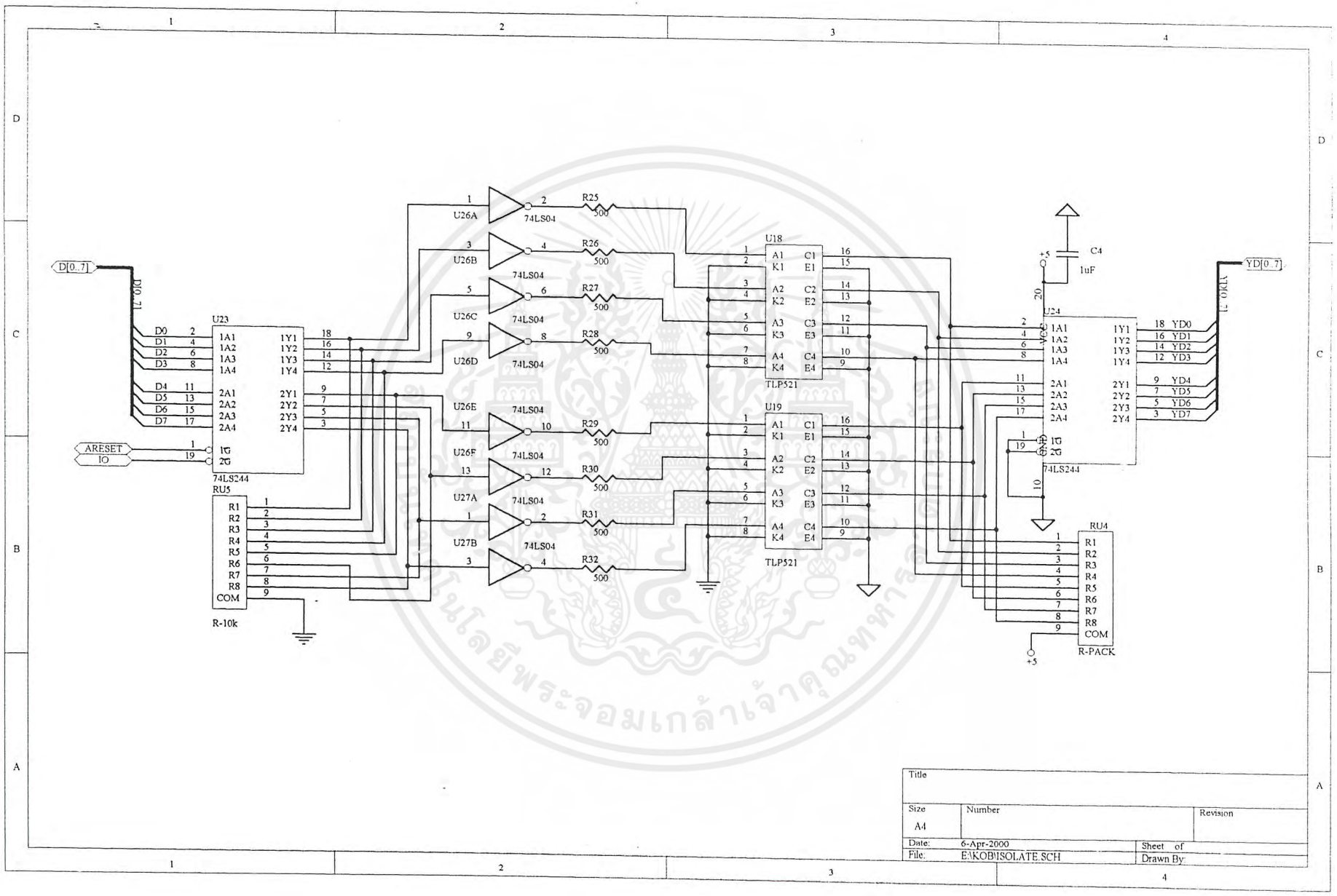
Title			
Size: A4	Number		Revision
Date:	6-Apr-2000	Sheet of	
File:	E:\KOB\PORT_1.SCH	Drawn By:	

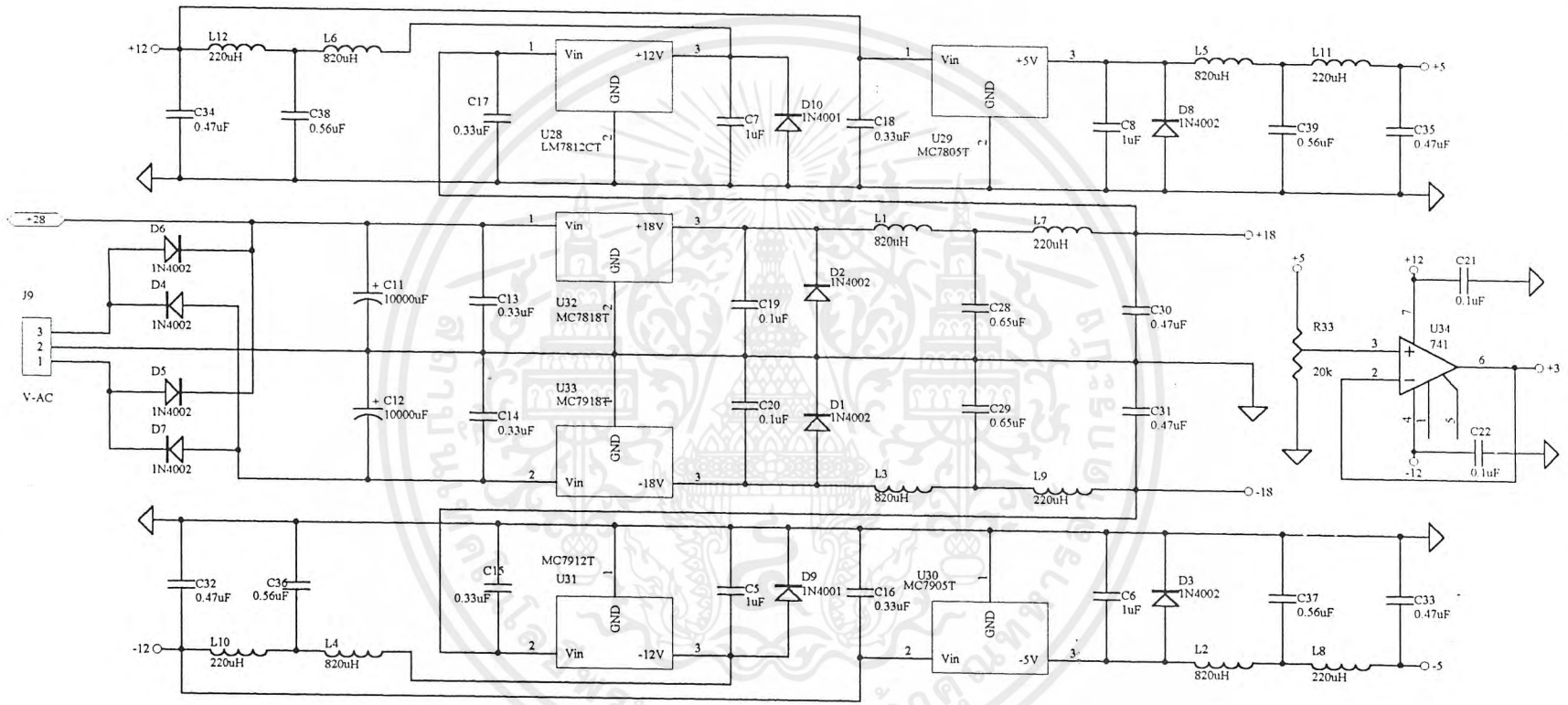


Title		
Size: A4	Number	Revision
Date: 7-Apr-2000		Sheet of
File: E:\KOB\PORT_2.SCH		Drawn By:

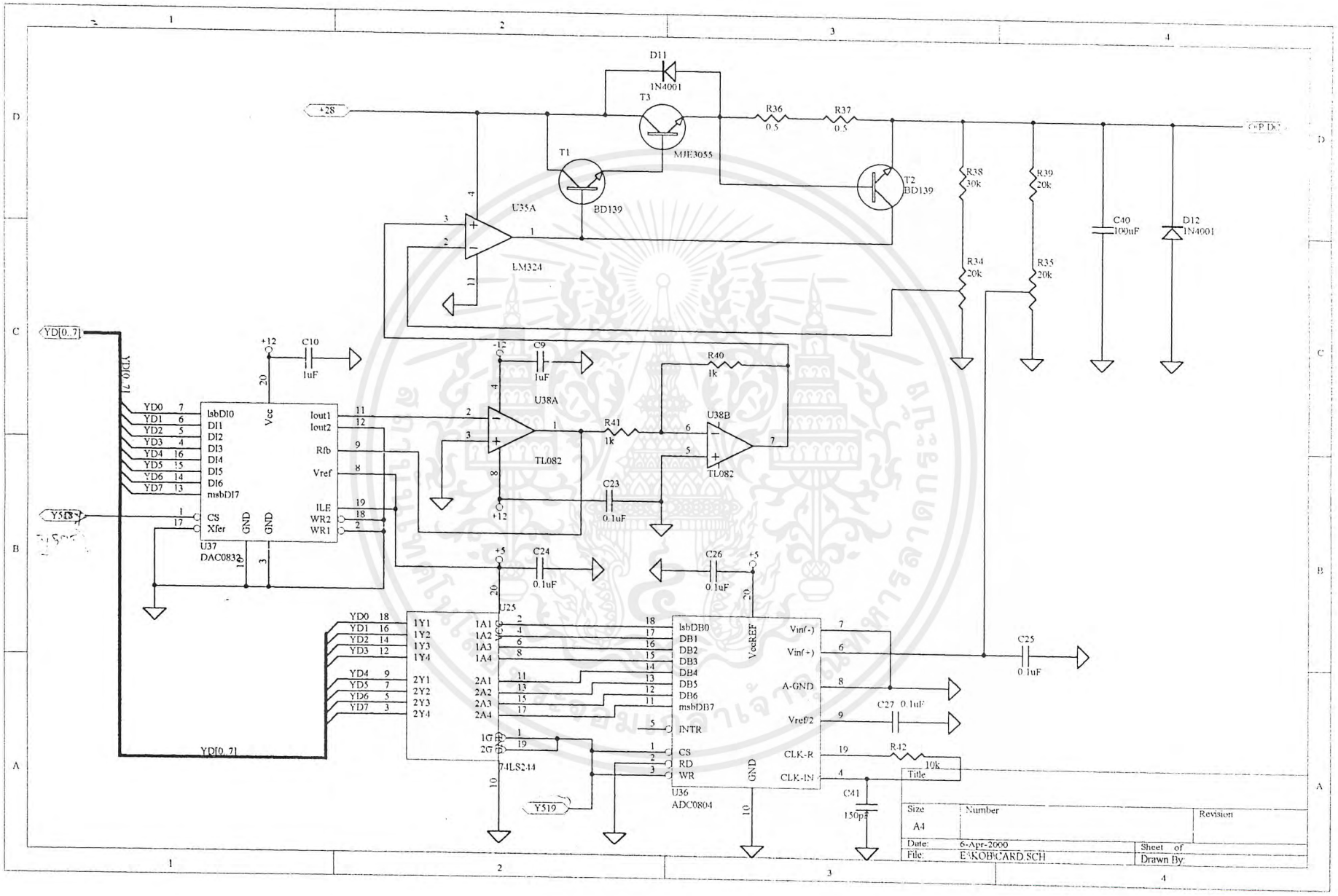


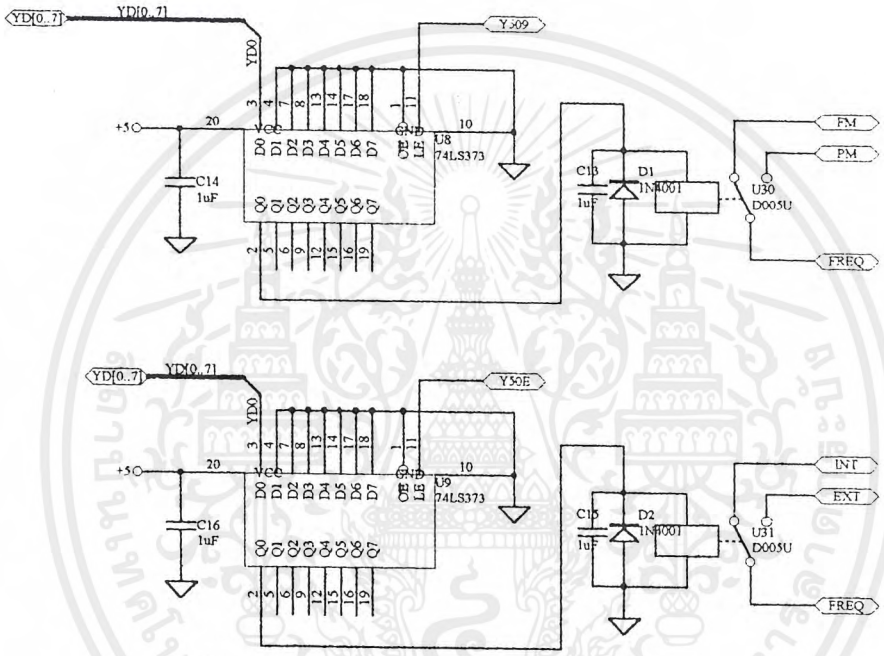
Title		
Size: A4	Number	Revision
Date: 6-Apr-2000		Sheet of
File: E:\KOB\PORT_4.SCH		Drawn By:


D[0..7]
D[0..7]
D0
D1
D2
D3
D4
D5
D6
D7
ARESET
IO
U23
1A1
1A2
1A3
1A4
2A1
2A2
2A3
2A4
1G
2G
1Y1
1Y2
1Y3
1Y4
2Y1
2Y2
2Y3
2Y4
74LS244
RU5
R1
R2
R3
R4
R5
R6
R7
R8
COM
R-10k
U26A
U26B
U26C
U26D
U26E
U26F
U27A
U27B
74LS04
R25
R26
R27
R28
R29
R30
R31
R32
500
U18
U19
A1
A2
A3
A4
K1
K2
K3
K4
C1
C2
C3
C4
E1
E2
E3
E4
TLP521
+5
C4
1uF
U24
Vcc
GND
YD[0..7]
YD0
YD1
YD2
YD3
YD4
YD5
YD6
YD7
74LS244
RU4
R-PACK
Title
Size
A4
Number
Revision
Date:
6-Apr-2000
Sheet of
File:
E:\KOB\ISOLATE.SCH
Drawn By:

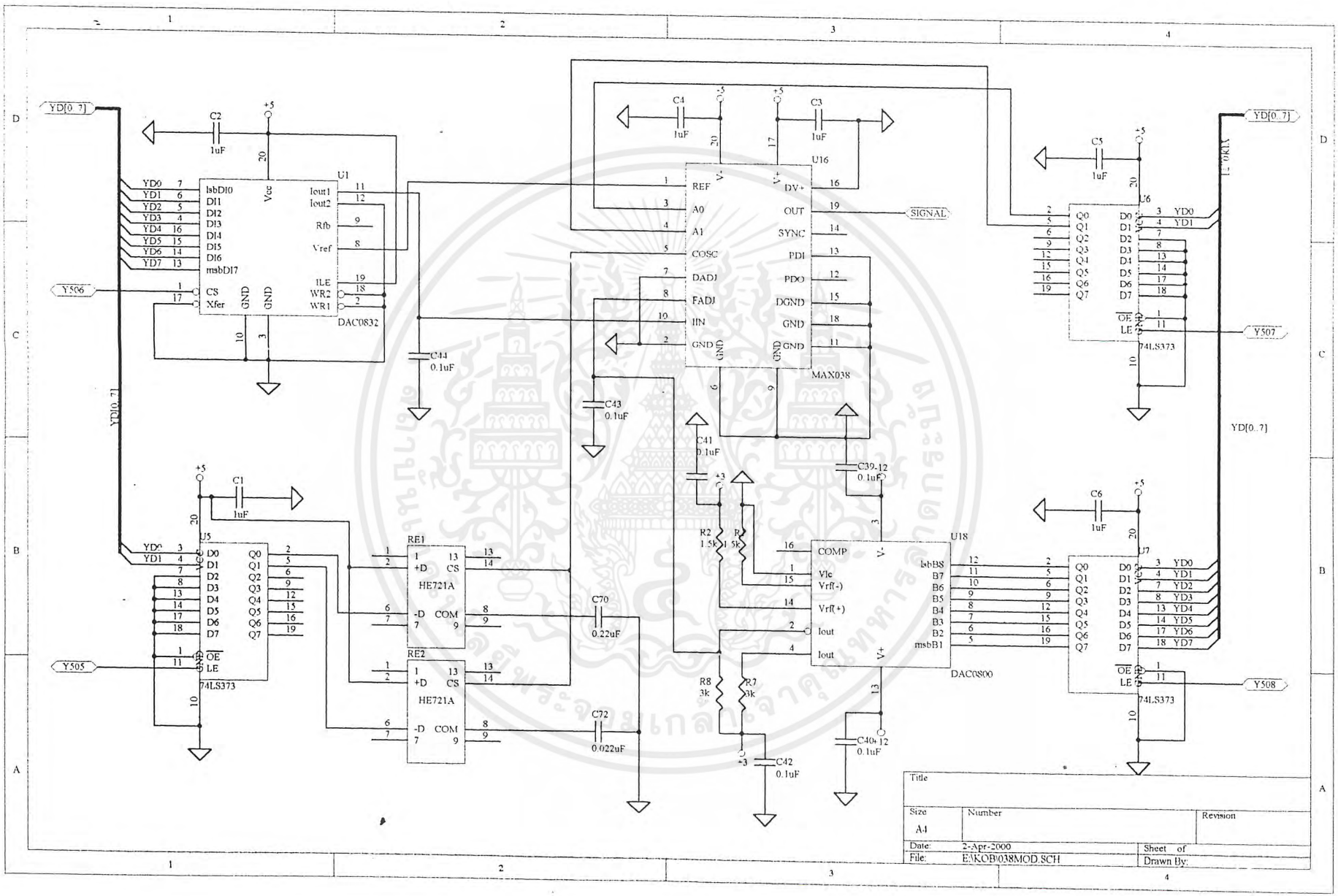


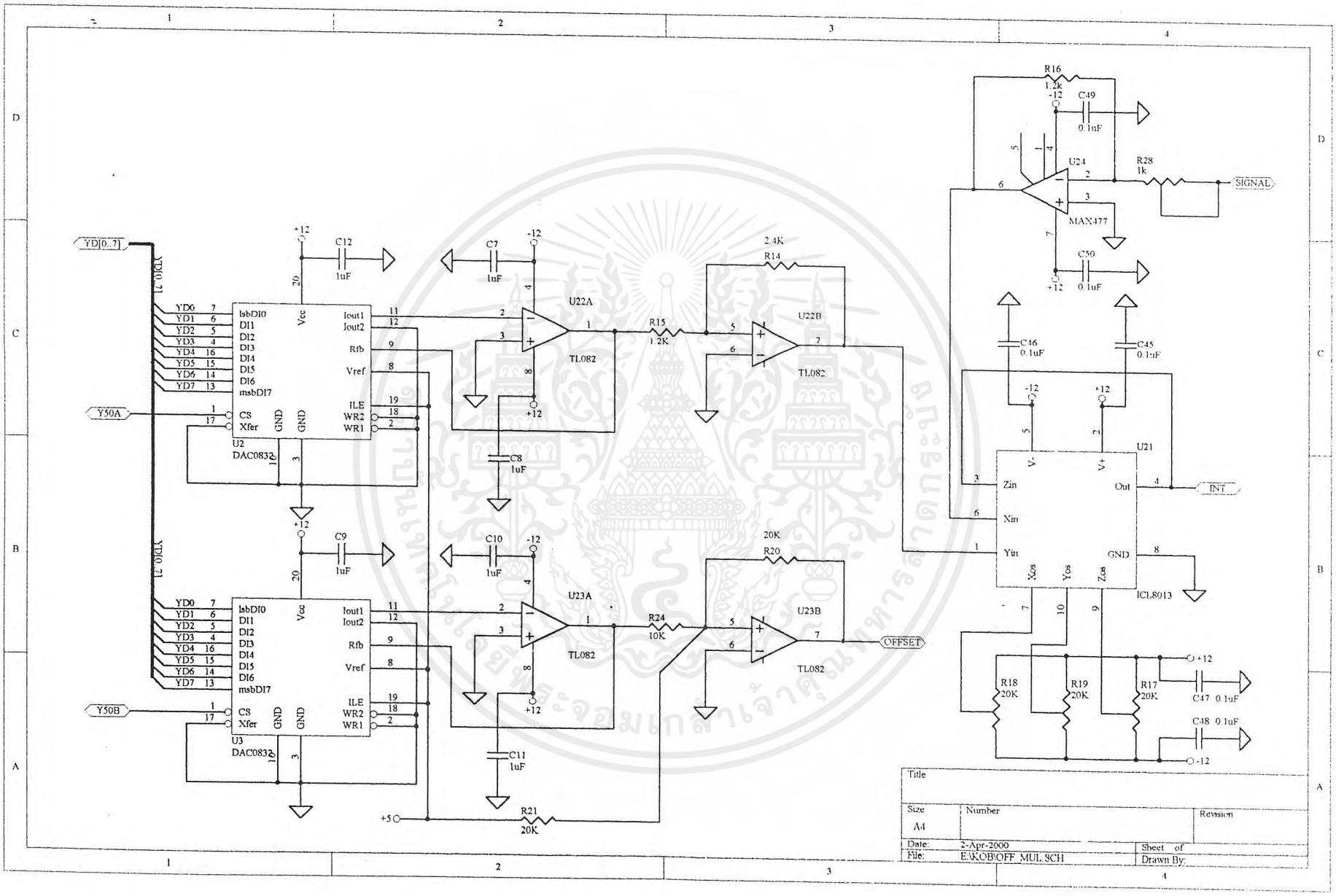
Title		
Size A4	Number	Revision
Date: 6-Apr-2000		Sheet of
File: E:\KOB\SUPPLY.SCH		Drawn By:

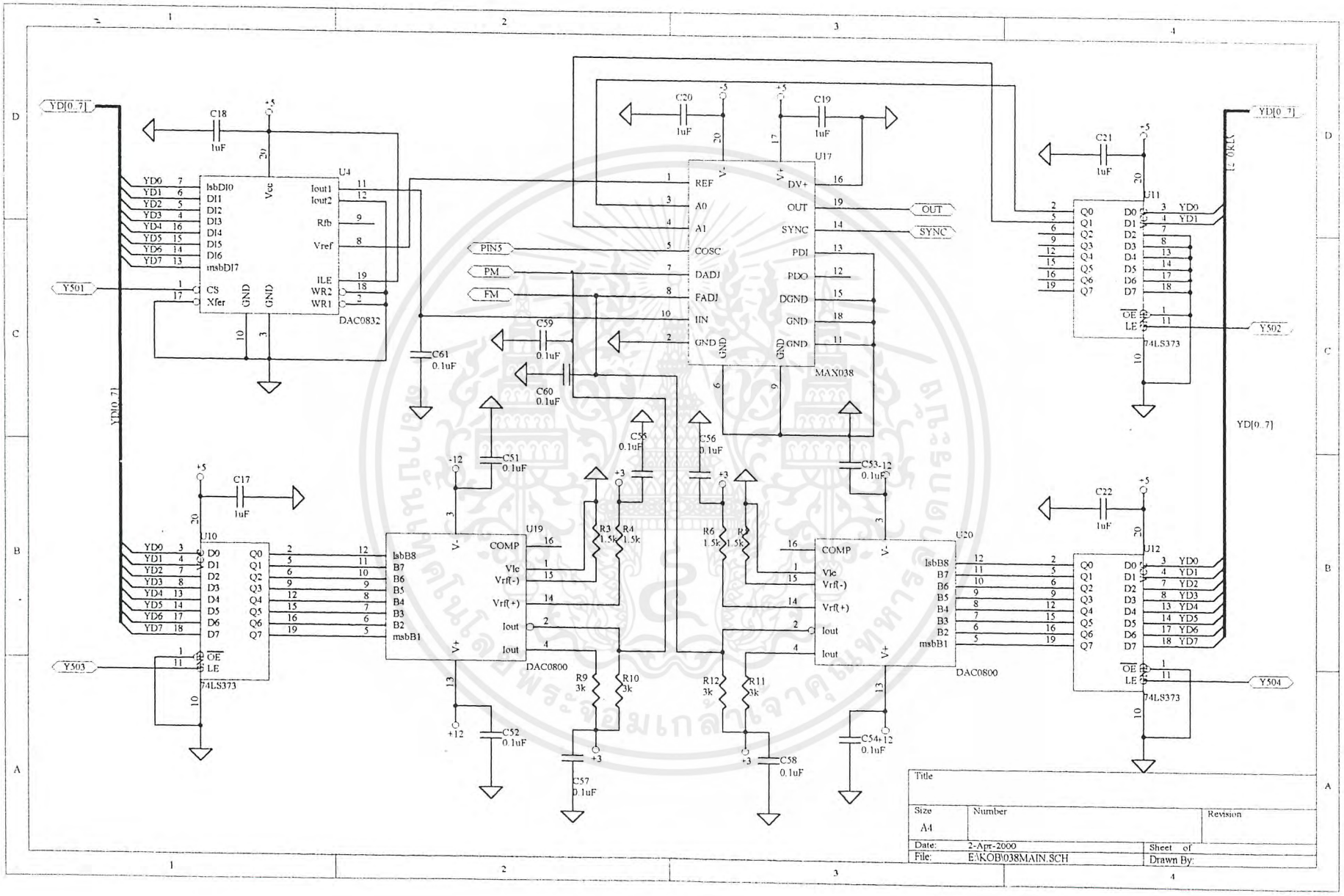

D11
1N4001
T3
MJE3055
+28
R36
0.5
R37
0.5
T1
BD139
T2
BD139
U35A
LM324
R38
30k
R39
20k
C40
100uF
D12
1N4001
R34
20k
R35
20k
YD[0..7]
+12
C10
1uF
-12
C9
1uF
R40
1k
U38A
TL082
R41
1k
U38B
TL082
C23
0.1uF
+12
+5
C24
0.1uF
C26
0.1uF
+5
U37
DAC0832
lsbDI0
DI1
DI2
DI3
DI4
DI5
DI6
msbDI7
Vcc
Iout1
Iout2
Rfb
Vref
ILE
CS
Xfer
GND
WR2
WR1
YD0
YD1
YD2
YD3
YD4
YD5
YD6
YD7
Y519
U25
74LS244
1Y1
1Y2
1Y3
1Y4
2Y1
2Y2
2Y3
2Y4
1A1
1A2
1A3
1A4
2A1
2A2
2A3
2A4
1G
2G
U36
ADC0804
lsbDB0
DB1
DB2
DB3
DB4
DB5
DB6
msbDB7
INTR
CS
RD
WR
VccREF
Vin(-)
Vin(+)
A-GND
Vref/2
CLK-R
CLK-IN
C25
0.1uF
C27
0.1uF
R42
10k
C41
150pF
Title
Size
A4
Number
Revision
Date:
6-Apr-2000
File:
E:\KOB\CARD.SCH
Sheet of
Drawn By:

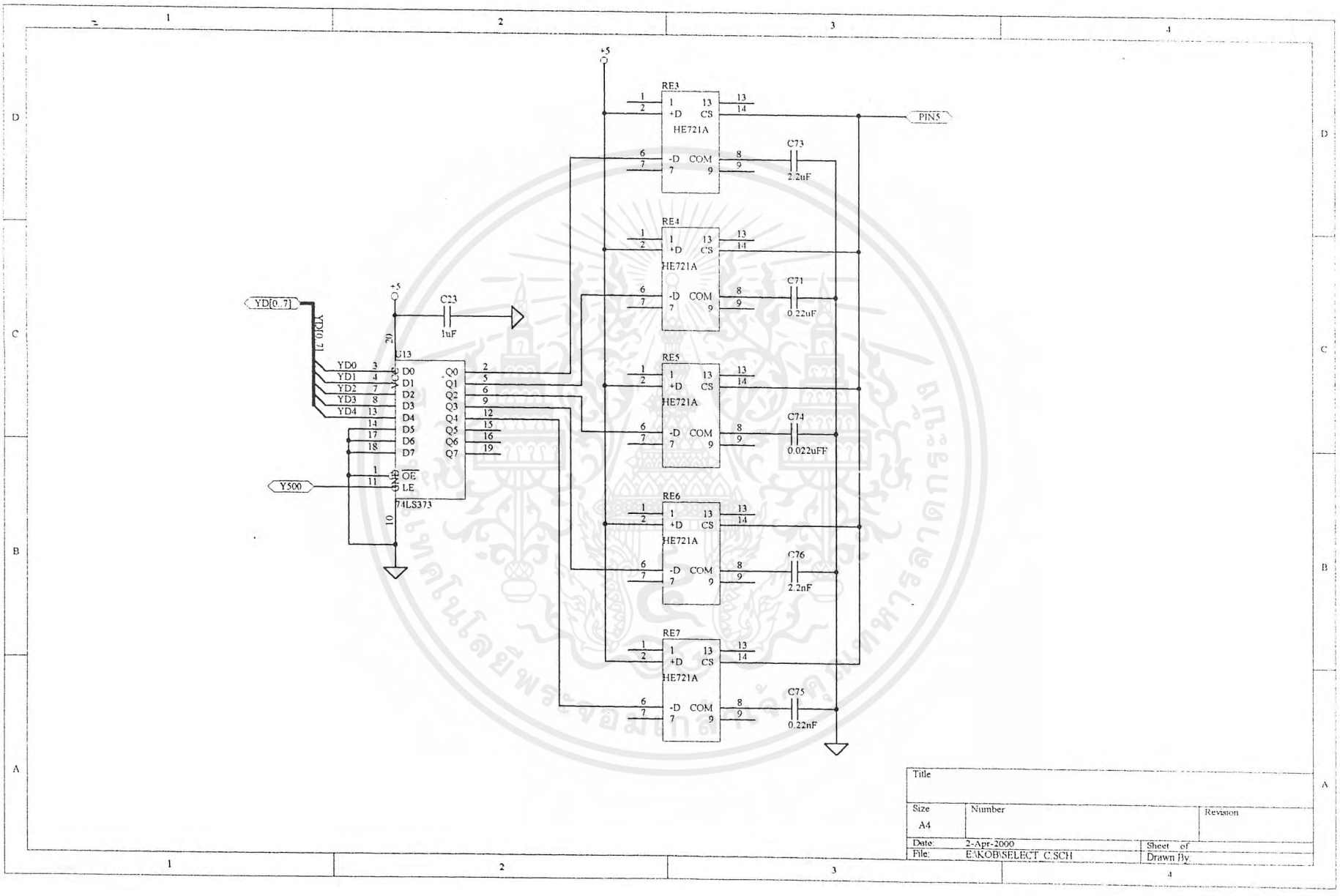


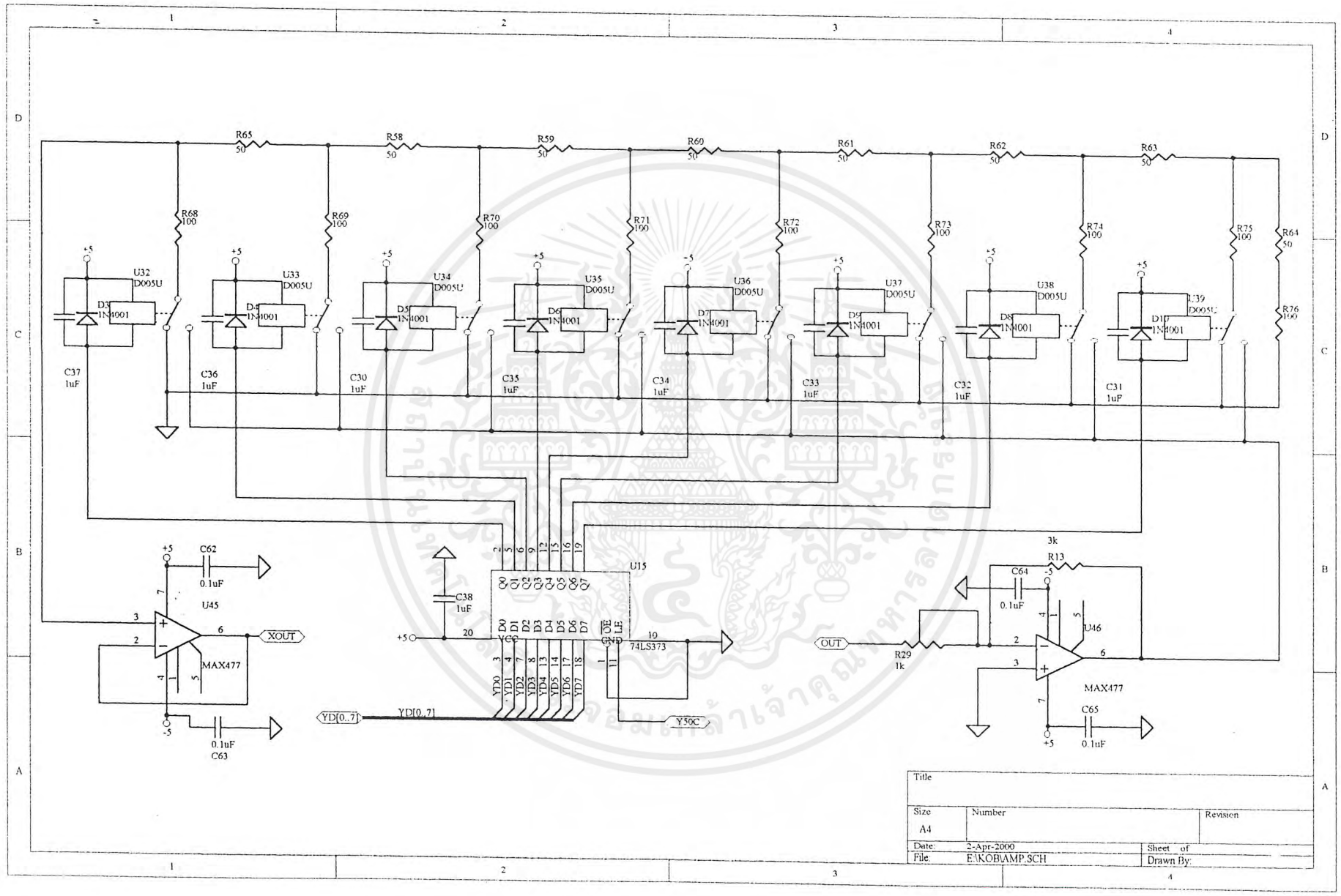
Title		
Size: A4	Number	Revision
Date: 7-Apr-2000		Sheet of
File: E:\KOB\SE_MOD.SCH		Drawn By:

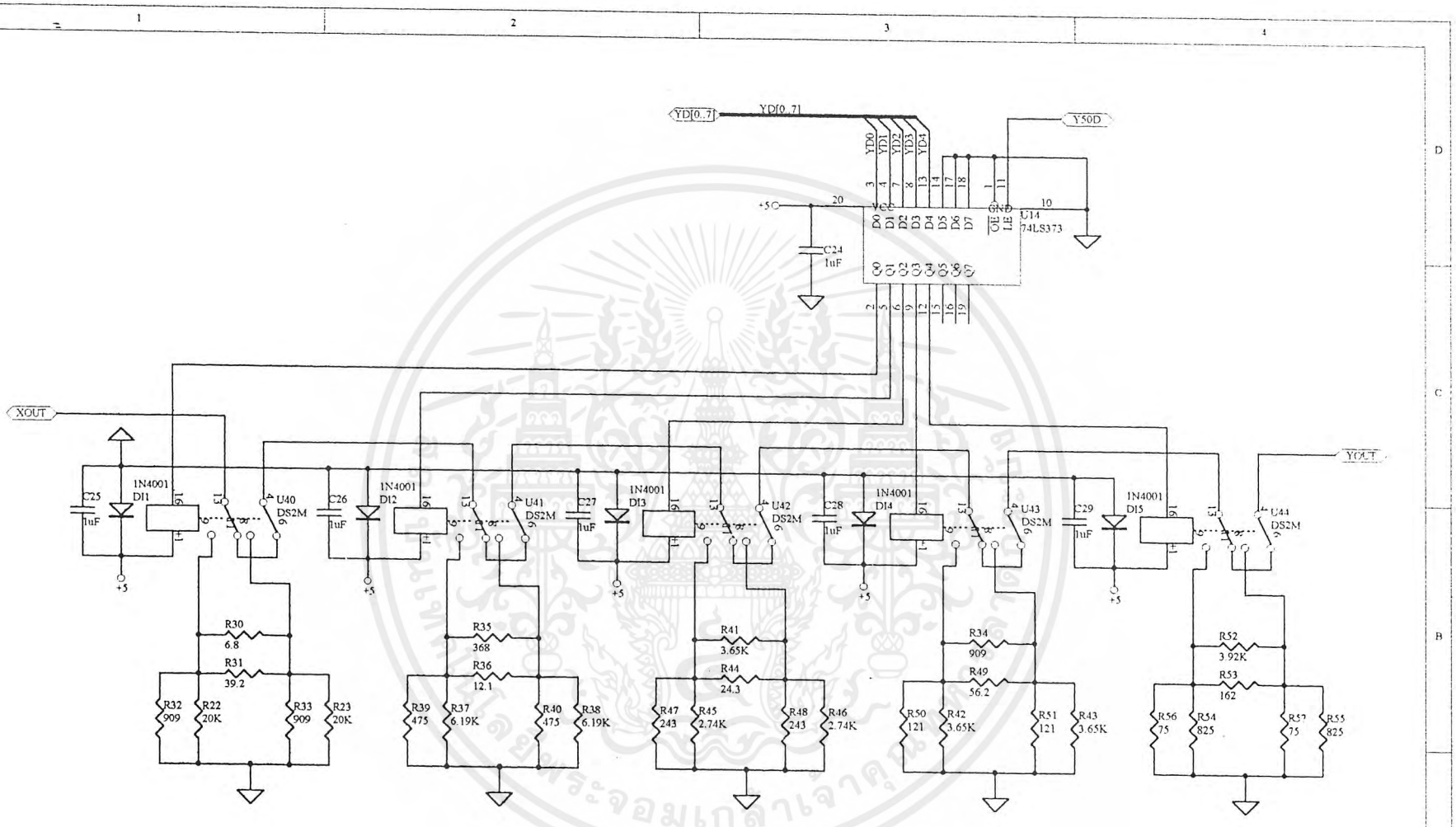

YD[0..7]
C2
1uF
+5
U1
lsbDI0
DI1
DI2
DI3
DI4
DI5
DI6
msbDI7
Vcc
Iout1
Iout2
Rfb
Vref
ILE
WR2
WR1
CS
Xfer
GND
DAC0832
Y506
C44
0.1uF
C4
1uF
C3
1uF
U16
REF
A0
A1
COSC
DADJ
FADJ
IIN
GND
V-
V+
DV+
OUT
SYNC
PDI
PDO
DGND
MAX038
SIGNAL
C43
0.1uF
C41
0.1uF
C39-12
0.1uF
C5
1uF
U6
74LS373
Y507
C6
1uF
U7
Y508
C1
1uF
U5
Y505
RE1
RE2
HE721A
C70
0.22uF
C72
0.022uF
R2
1.5k
R1
1.5k
R8
3k
R7
3k
C42
0.1uF
C40-12
0.1uF
U18
COMP
Vlc
Vrf(-)
Vrf(+)
Iout
lsbB8
B7
B6
B5
B4
B3
B2
msbB1
DAC0800
Title
Size
A4
Number
Revision
Date:
2-Apr-2000
Sheet of
File:
E:\KOB\038MOD.SCH
Drawn By:

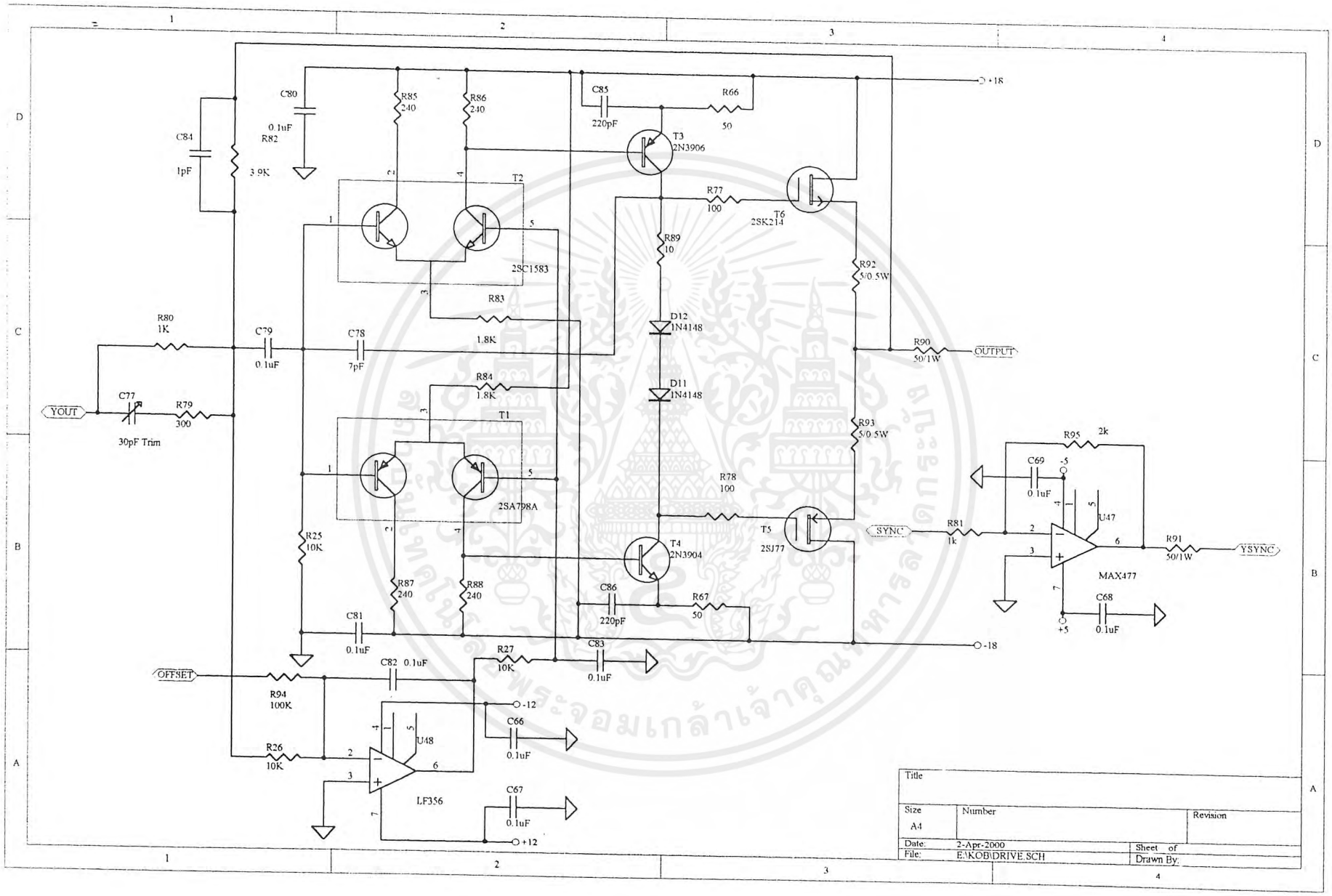

YD[0..7]
Y50A
Y50B
U2
DAC0832
U3
DAC0832
U22A
U22B
U23A
U23B
TL082
U24
MAX477
U21
ICL8013
R16
1.2K
R28
1k
R14
2.4K
R15
1.2K
R20
20K
R24
10K
R21
20K
R17
20K
R18
20K
R19
20K
C49
0.1uF
C50
0.1uF
C46
0.1uF
C45
0.1uF
C47
0.1uF
C48
0.1uF
C7
1uF
C8
1uF
C10
1uF
C11
1uF
C12
1uF
C9
1uF
SIGNAL
INT
OFFSET
Title
Size
A4
Number
Revision
Date:
2-Apr-2000
Sheet of
File:
E:\KOB\OFF_MUL.SCH
Drawn By:


YD[0..7]
C18
1uF
+5
U4
lsbDI0
DI1
DI2
DI3
DI4
DI5
DI6
msbDI7
Vcc
Iout1
Iout2
Rfb
Vref
ILE
WR2
WR1
CS
Xfer
GND
DAC0832
Y501
C20
C19
U17
REF
A0
A1
COSC
DADJ
FADJ
IIN
GND
DV+
OUT
SYNC
PDI
PDO
DGND
MAX038
PIN5
PM
FM
C59
0.1uF
C60
0.1uF
C61
0.1uF
C21
U11
Q0
Q1
Q2
Q3
Q4
Q5
Q6
Q7
D0
D1
D2
D3
D4
D5
D6
D7
OE
LE
74LS373
Y502
C17
U10
Y503
C51
0.1uF
C55
0.1uF
C56
0.1uF
C53
0.1uF
U19
U20
COMP
Vlc
Vrf(-)
Vrf(+)
Iout
lsbB8
B7
B6
B5
B4
B3
B2
msbB1
DAC0800
R3
1.5k
R4
1.5k
R6
1.5k
R5
1.5k
R9
3k
R10
3k
R12
3k
R11
3k
C52
0.1uF
C57
0.1uF
C58
0.1uF
C54
0.1uF
C22
U12
Y504
Title
Size
A4
Number
Revision
Date:
2-Apr-2000
Sheet of
File:
E:\KOB\038MAIN.SCH
Drawn By:


+5
RE3
HE721A
PIN5
C73
2.2uF
RE4
HE721A
C71
0.22uF
RE5
HE721A
C74
0.022uFF
RE6
HE721A
C76
2.2nF
RE7
HE721A
C75
0.22nF
YD[0..7]
YD0..7
C23
1uF
U13
74LS373
YD0
YD1
YD2
YD3
YD4
Y500
Title
Size
A4
Number
Revision
Date: 2-Apr-2000
File: E:\KOB\SELECT_C.SCH
Sheet of
Drawn By


R65 50
R58 50
R59 50
R60 50
R61 50
R62 50
R63 50
R64 50
R68 100
R69 100
R70 100
R71 100
R72 100
R73 100
R74 100
R75 100
R76 100
U32 D005U
U33 D005U
U34 D005U
U35 D005U
U36 D005U
U37 D005U
U38 D005U
U39 D005U
D3 1N4001
D4 1N4001
D5 1N4001
D6 1N4001
D7 1N4001
D8 1N4001
D9 1N4001
D10 1N4001
C37 1uF
C36 1uF
C30 1uF
C35 1uF
C34 1uF
C33 1uF
C32 1uF
C31 1uF
C62 0.1uF
U45
MAX477
XOUT
C63 0.1uF
C38 1uF
U15
74LS373
YD[0..7]
Y50C
3k
R13
C64 0.1uF
U46
R29 1k
OUT
C65 0.1uF
Title
Size A4
Number
Revision
Date: 2-Apr-2000
Sheet of
File: E:\KOB\AMP.SCH
Drawn By:

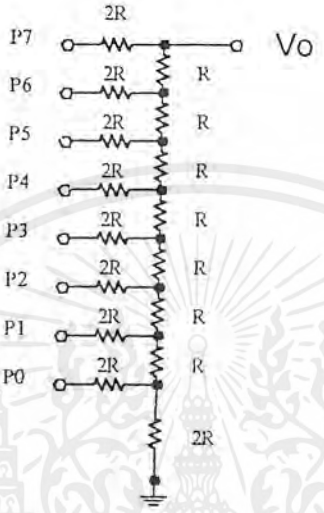

YD[0..7]
YD[0..7]
Y50D
YD0
YD1
YD2
YD3
YD4
+5
20
VCC
D0
D1
D2
D3
D4
D5
D6
D7
GND
10
OE
LE
U14
74LS373
C24
1uF
Q0
Q1
Q2
Q3
Q4
Q5
Q6
Q7
XOUT
YOUT
C25
1uF
1N4001
DI1
U40
DS2M
C26
1uF
1N4001
DI2
U41
DS2M
C27
1uF
1N4001
DI3
U42
DS2M
C28
1uF
1N4001
DI4
U43
DS2M
C29
1uF
1N4001
DI5
U44
DS2M
R30
6.8
R31
39.2
R32
909
R22
20K
R33
909
R23
20K
R35
368
R36
12.1
R39
475
R37
6.19K
R40
475
R38
6.19K
R41
3.65K
R44
24.3
R47
243
R45
2.74K
R48
243
R46
2.74K
R34
909
R49
56.2
R50
121
R42
3.65K
R51
121
R43
3.65K
R52
3.92K
R53
162
R56
75
R54
825
R57
75
R55
825
Title
Size
A4
Number
Revision
Date:
2-Apr-2000
Sheet of
File:
E:\KOB\ATTEN.SCH
Drawn By:


+18
C80
0.1uF
R82
R85
240
R86
240
C85
220pF
R66
50
T3
2N3906
C84
1pF
3.9K
T2
2SC1583
R77
100
T6
2SK214
R89
10
R92
5/0.5W
R83
1.8K
D12
1N4148
D11
1N4148
R80
1K
C79
0.1uF
C78
7pF
R84
1.8K
R90
50/1W
OUTPUT
YOUT
C77
30pF Trim
R79
300
T1
2SA798A
R93
5/0.5W
R95
2k
C69
0.1uF
-5
R78
100
T5
2SJ77
SYNC
R81
1k
U47
MAX477
R91
50/1W
YSYNC
R25
10K
T4
2N3904
R87
240
R88
240
C86
220pF
R67
50
C68
0.1uF
+5
C81
0.1uF
R27
10K
C83
0.1uF
-18
OFFSET
C82
0.1uF
R94
100K
-12
C66
0.1uF
R26
10K
U48
LF356
C67
0.1uF
+12
Title
Size
A4
Number
Revision
Date:
2-Apr-2000
Sheet of
File:
E:\KOB\DRIVE.SCH
Drawn By:

ความรู้เบื้องต้นเกี่ยวกับ DAC และ Slot ของ IBM / PC

1 การแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital to Analog Converter : DAC)

เราสามารถแสดงวงจรพื้นฐานอย่างง่ายของ DAC ได้ดังรูป ฐ วิธีนี้เรียกว่า R/2R Ladder D/A Converter



รูป ฐ แสดงวงจร R/2R Ladder D/A Converter

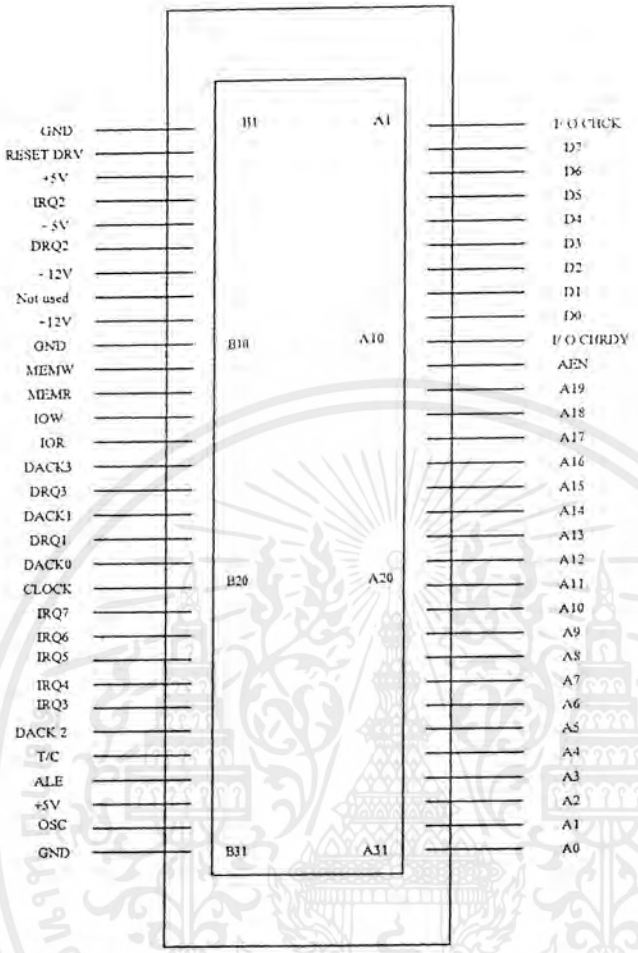
หลักการความต้านทาน 2 ค่า สมมุติว่า SW D7 ซึ่งเป็นบิทที่มีนัยสำคัญสูงสุดต่อกับแรงดันอ้างอิง 5V ในขณะที่สวิตช์ตัวอื่นต่อลงกราวด์ทั้งหมด ดังนั้น 2R สองตัวจึงต่อขนานกันและต่ออนุกรมกับ R ไปเรื่อยๆ จนเหลือเพียง 2R สองตัวต่ออนุกรมกันเท่านั้นเป็นต้น

$$V_0 = \frac{Vref(128S_7 + 64S_6 + 32S_5 + 16S_4 + 8S_3 + 4S_2 + 2S_1 + S_0)}{256} \qquad (1)$$

2 สัญญาณต่างๆบน Slot ของ IBM/PC

เราสามารถแสดงขาสัญญาณบน Slot ได้ดังรูป ๆ๓

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป ๆ แสดงขาสัญญาณบน Slot IBM/PC

OSC (Oscillator : B30)

เป็นเอาท์พุทที่ต่ออยู่กับclock ที่มีค่าความถี่สูงสุดบนบอร์ดคือ 14.31818 MHz และมี Duty cycle ประมาณ 50% สัญญาณนี้จะไม่ Synchronize กับสัญญาณอื่นๆบนบัสของระบบ จึงไม่ควรนำไปใช้เป็น clock ให้กับวงจรภายนอก

CLK (Clock : B20)

เป็นเอาท์พุทที่ถูกสร้างขึ้นโดยการหาร OSC ด้วย 3ได้ความถี่ประมาณ 4.77 MHz Duty cycle ประมาณ 1/3สัญญาณนี้ถูกใช้เป็น clock ของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RESET DRV (B2)

เป็นเอาท์พุทซึ่งจะแอคทีฟ "1" ในช่วงที่เราเริ่มจ่ายไฟให้กับระบบจนกระทั่งระบบพร้อมที่จะทำงานสัญญาณนี้ก็จะเปลี่ยนเป็น"0" โดยทั่วไปแล้วจะถูกนำไปใช้ในการรีเซ็ทวงจรอินเตอร์เฟส

A0-A19 (Address Bus : A31-A12)

เป็นเอาท์พุทซึ่งใช้สำหรับกำหนดแอดเดรสของหน่วยความจำและอุปกรณ์ I/O สำหรับการอ้างแอดเดรสของ I/O port นั้นจะใช้แอดเดรสเพียง 16 เส้นเท่านั้นคือ A0-A15 อย่างไรก็ตามภายใน IBM / PC จะใช้แอดเดรสในการอ้างแอดเดรสของพอร์ทเพียง 10 เส้น คือจาก A0-A9และค่าแอดเดรสที่ใช้งานจะต้องอยู่ในช่วง 0200H - 03FFHเท่านั้น

D0-D7 (Data Bus : A9-A2)

เป็นแบบ Bi-Directional ซึ่งต่อกับบัสข้อมูลของระบบเพื่อทำหน้าที่ในการส่งผ่านข้อมูลระหว่างพอร์ท I/O หรือหน่วยความจำกับ IBM/PC

ALE (Address Latch Enable : B28)

เป็นสัญญาณเอาท์พุทที่สร้างขึ้นเพื่อใช้สำหรับแสดงการเริ่มต้นของ Bus cycle และแสดงให้อุปกรณ์ภายนอกทราบว่าแอดเดรสที่8088ต้องการจะติดต่อด้วยนั้นถูกส่งออกมาบน Bus addressแล้วโดยที่สัญญาณ ALE นี้จะเปลี่ยนจากลอจิก "1" เป็นลอจิก "0"และสัญญาณนี้จะไม่แอคทีฟในขบวนการ DMA

I/O CHCK (I/O Channel Check : A1)

เป็นอินพุทที่ใช้ในการแสดงความผิดพลาดเกี่ยวกับพาริตี้ที่เกิดขึ้นในการทำงานของวงจรอินเตอร์เฟสหรืออุปกรณ์ I/O เมื่อขาสัญญาณนี้ได้รับลอจิก "0" จะทำให้ 8088 ถูกอินเตอร์รัพท์แบบ NONMaskable (NMI)

I/O CHRDY (I/O Channel Ready : A10)

เป็นอินพุทที่ใช้สำหรับเพิ่มช่วงเวลาใน Bus cycle ในกรณีที่อุปกรณ์ I/O หรือ หน่วยความจำที่เกี่ยวข้องกับขบวนการใน Bus cycle นั้นไม่สามารถทำงานได้ทันตามเวลาปกติของ Bus cycle นั้นๆได้

IRQ2-IRQ7 (Interrupt Request 2-7 : B4 , B25-B21)

เป็นอินพุทที่ใช้สำหรับการขออินเตอร์รัพท์จาก 8088 โดยสัญญาณเหล่านี้จะต่อเข้ากับ 8259A บนเมนบอร์ดโดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IOR (I/O Read : B14)

เป็นเอาท์พุทแอคทีฟที่ลอจิก "0" ที่สร้างขึ้นโดย 8288 Bus controller เพื่อใช้ในการแสดงว่า Bus cycle ที่เกิดขึ้นนี้เป็นBus cycle ของการอ่านข้อมูลบนพอร์ท I/O เพื่อให้พอร์ท I/O ที่มีแอดเดรสตรงกับแอดเดรสบนบัสแอดเดรสนั้นส่งข้อมูลออกมาบนบัสข้อมูล

IOW (I/O Write : B13)

เป็นเอาท์พุทแอคทีฟที่ลอจิก "0" ที่สร้างขึ้นโดย 8288 Bus controller เพื่อใช้แสดงว่า Bus cycle ที่เกิดขึ้นนี้เป็น Bus cycle ของการเขียนข้อมูลลงบนพอร์ท I/O เพื่อให้พอร์ท I/O ที่มีแอดเดรสตรงกับแอดเดรสบนบัสแอดเดรสนั้นรับข้อมูลที่อยู่บนบัสข้อมูลไปเก็บไว้

MEMW (Memory Write : B11)

เป็นเอาท์พุทแอคทีฟที่ลอจิก "0" ซึ่ง 8288 Bus controller สร้างขึ้นในระหว่าง Bus cycle ของการเขียนข้อมูลลงหน่วยความจำของ 8088 เพื่อให้หน่วยความจำที่มีแอดเดรสตรงกับแอดเดรสบนบัสแอดเดรสนั้นทำการรับข้อมูลที่อยู่บนบัสข้อมูลไปเก็บไว้

MEMR (Memory Read : B12)

เป็นเอาท์พุทแอคทีฟที่ลอจิก "0" ซึ่ง 8288 Bus controller สร้างขึ้นในระหว่าง Bus cycle ของการอ่านข้อมูลจากหน่วยความจำของ 8088 เพื่อให้หน่วยความจำที่มีแอดเดรสตรงกับแอดเดรสบนบัสแอดเดรสนั้นทำการส่งข้อมูลออกมาบนบัสข้อมูล

DRQ1-DRQ3 (DMA Request 1-3 : B18 , B6 , B16)

เป็นอินพุทแอคทีฟที่ลอจิก "1" ซึ่งอุปกรณ์ภายนอกสามารถใช้ในการขอ DMA จากระบบโดยการป้อนระดับสัญญาณลอจิก "1" ให้กับขา DRQ ขาใดขาหนึ่ง

DACK0-DACK3 (DMA Acknowledge 0-3 : B17 , B26 , B15)

เป็นเอาท์พุทแอคทีฟที่ลอจิก "0" ซึ่ง 8237A-5 สร้างขึ้นเพื่อแสดงให้วงจรภายนอกที่ขอ DMA ทราบว่าการขอ DMA นั้นได้รับการตอบสนองแล้วและ 8237A-5 จะเข้าสู่ขบวนการ DMA เพื่อให้การส่งผ่านข้อมูลระหว่างอุปกรณ์ I/O กับหน่วยความจำเกิดขึ้นได้โดยตรง

AEN (Address Enable : A11)

เป็นเอาท์พุทที่ใช้ในการแสดงว่า Bus cycle ที่เกิดขึ้นในช่วงเวลาที่สัญญาณ AEN แอคทีฟ (ลอจิก "1") นั้นเป็น Bus cycle ของขบวนการ DMA สำหรับบนเมนบอร์ดนั้นจะใช้สัญญาณนี้ในการ Disable 8288 Bus controller และจะใช้ Disable port I/O ต่างๆที่ไม่เกี่ยวข้องกับขบวนการ DMA เพราะในขบวนการ DMA นั้น 8237A-5 จะส่งแอดเดรสของหน่วยความจำออกมาบนบัสแอดเดรสและจะทำให้สัญญาณ IOR หรือ IOW แอคทีฟด้วยดังนั้นถ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ท I/O ที่มีแอดเดรสตรงกับแอดเดรสบนบัสแอดเดรสนั้นทำการอ่านหรือส่งข้อมูลออก
มาบนบัสข้อมูลทำให้เกิดความผิดพลาดขึ้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19-0266; Rev 2; 9/96

EVALUATION KIT MANUAL FOLLOWS DATA SHEET

MAXIM

High-Frequency Waveform Generator

General Description

The MAX038 is a high-frequency, precision function generator producing accurate, high-frequency triangle, sawtooth, sine, square, and pulse waveforms with a minimum of external components. The output frequency can be controlled over a frequency range of 0.1Hz to 20MHz by an internal 2.5V bandgap voltage reference and an external resistor and capacitor. The duty cycle can be varied over a wide range by applying a ±2.3V control signal, facilitating pulse-width modulation and the generation of sawtooth waveforms. Frequency modulation and frequency sweeping are achieved in the same way. The duty cycle and frequency controls are independent.

Sine, square, or triangle waveforms can be selected at the output by setting the appropriate code at two TTL-compatible select pins. The output signal for all waveforms is a $2V_{P-P}$ signal that is symmetrical around ground. The low-impedance output can drive up to ±20mA.

The TTL-compatible SYNC output from the internal oscillator maintains a 50% duty cycle—regardless of the duty cycle of the other waveforms—to synchronize other devices in the system. The internal oscillator can be synchronized to an external TTL clock connected to PDI.

Features

- ♦ 0.1Hz to 20MHz Operating Frequency Range
- ♦ Triangle, Sawtooth, Sine, Square, and Pulse Waveforms
- ♦ Independent Frequency and Duty-Cycle Adjustments
- ♦ 350 to 1 Frequency Sweep Range
- ♦ 15% to 85% Variable Duty Cycle
- ♦ Low-Impedance Output Buffer: 0.1Ω
- ♦ Low-Distortion Sine Wave: 0.75%
- ♦ Low 200ppm/°C Temperature Drift

Ordering Information

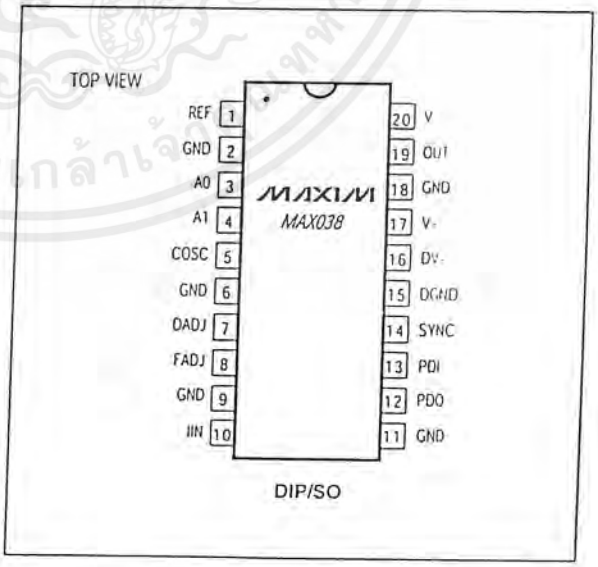
PART	TEMP. RANGE	PIN-PACKAGE
MAX038CPP	0°C to +70°C	20 Plastic DIP
MAX038CWP	0°C to +70°C	20 SO
MAX038C/D	0°C to +70°C	Dice*
MAX038EPP	-40°C to +85°C	20 Plastic DIP
MAX038EWP	-40°C to +85°C	20 SO

*Contact factory for dice specifications.

Applications

Precision Function Generators
Voltage-Controlled Oscillators
Frequency Modulators
Pulse-Width Modulators
Phase-Locked Loops
Frequency Synthesizer
FSK Generator—Sine and Square Waves

Pin Configuration



For free samples & the latest literature: http://www.maxim-ic.com, or phone 1-800-998-8800

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

V+ to GND ..... -0.3V to +6V
DV+ to DGND ..... -0.3V to +6V
V- to GND ..... +0.3V to -6V
Pin Voltages
  IIN, FADJ, DADJ, PDO ..... (V- - 0.3V) to (V+ + 0.3V)
  COSC ..... +0.3V to V-
  A0, A1, PDI, SYNC, REF ..... -0.3V to V+
  GND to DGND ..... ±0.3V
Maximum Current into Any Pin ..... ±50mA
OUT, REF Short-Circuit Duration to GND, V+, V- 30sec

Continuous Power Dissipation (T_A = +70°C)
  Plastic DIP (derate 11.11mW/°C above +70°C) 889mW
  SO (derate 10.00mW/°C above +70°C) 800mW
  CERDIP (derate 11.11mW/°C above +70°C) 889mW
Operating Temperature Ranges
  MAX038C_ _ ..... 0°C to +70°C
  MAX038E_ _ ..... -40°C to +85°C
Maximum Junction Temperature ..... +150°C
Storage Temperature Range ..... -65°C to +150°C
Lead Temperature (soldering, 10sec) ..... +300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, GND = DGND = 0V, V+ = DV+ = 5V, V- = -5V, V_{DADJ} = V_{FADJ} = V_{PDI} = V_{PDO} = 0V, C_F = 100pF, R_{IN} = 25kΩ, R_L = 1kΩ, C_L = 20pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
FREQUENCY CHARACTERISTICS						
Maximum Operating Frequency	F_O	15pCF ≤ 15pF, I_{IN} = 500µA	20.0	40.0		MHz
Frequency Programming Current	I_{IN}	V_{FADJ} = 0V	2.50		750	µA
		V_{FADJ} = -3V	1.25		375	
IIN Offset Voltage	V_{IN}			±1.0	±2.0	mV
Frequency Temperature Coefficient	$\Delta F_O/°C$	V_{FADJ} = 0V		600		ppm/°C
	$F_O/°C$	V_{FADJ} = -3V		200		
Frequency Power-Supply Rejection	$\frac{(\Delta F_O/F_O)}{\Delta V+}$	V- = -5V, V+ = 4.75V to 5.25V		±0.4	±2.00	%/V
	$\frac{(\Delta F_O/F_O)}{\Delta V-}$	V+ = 5V, V- = -4.75V to -5.25V		±0.2	±1.00	
OUTPUT AMPLIFIER (applies to all waveforms)						
Output Peak-to-Peak Symmetry	V_{OUT}			±4		mV
Output Resistance	R_{OUT}			0.1	0.2	Ω
Output Short-Circuit Current	I_{OUT}	Short circuit to GND		40		mA
SQUARE-WAVE OUTPUT (R_L = 100Ω)						
Amplitude	V_{OUT}		1.9	2.0	2.1	V_{P-P}
Rise Time	t_R	10% to 90%		12		ns
Fall Time	t_F	90% to 10%		12		ns
Duty Cycle	dc	V_{DADJ} = 0V, dc = t_{ON}/t x 100%	47	50	53	%
TRIANGLE-WAVE OUTPUT (R_L = 100Ω)						
Amplitude	V_{OUT}		1.9	2.0	2.1	V_{P-P}
Nonlinearity		F_O = 100kHz, 5% to 95%		0.5		%
Duty Cycle	dc	V_{DADJ} = 0V (Note 1)	47	50	53	%
SINE-WAVE OUTPUT (R_L = 100Ω)						
Amplitude	V_{OUT}		1.9	2.0	2.1	V_{P-P}
Total Harmonic Distortion	THD	Duty cycle adjusted to 50%		0.75		%
		Duty cycle unadjusted		1.50		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, GND = DGND = 0V, V+ = DV+ = 5V, V- = -5V, V_{DADJ} = V_{FADJ} = V_{PDI} = V_{PDO} = 0V, C_F = 100pF, R_{IN} = 25kΩ, R_L = 1kΩ, C_L = 20pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SYNC OUTPUT						
Output Low Voltage	V_{OL}	I_{SINK} = 3.2mA		0.3	0.4	V
Output High Voltage	V_{OH}	I_{SOURCE} = 400µA	2.8	3.5		V
Rise Time	t_R	10% to 90%, R_L = 3kΩ, C_L = 15pF		10		ns
Fall Time	t_F	90% to 10%, R_L = 3kΩ, C_L = 15pF		10		ns
Duty Cycle	dc_{SYNC}			50		%
DUTY-CYCLE ADJUSTMENT (DADJ)						
DADJ Input Current	I_{DADJ}		190	250	320	µA
DADJ Voltage Range	V_{DADJ}			±2.3		V
Duty-Cycle Adjustment Range	dc	-2.3V ≤ V_{DADJ} ≤ 2.3V	15		85	%
DADJ Nonlinearity	dc/V_{FADJ}	-2V ≤ V_{DADJ} ≤ 2V		2	4	%
Change in Output Frequency with DADJ	F_O/V_{DADJ}	-2V ≤ V_{DADJ} ≤ 2V		±2.5	±8	%
Maximum DADJ Modulating Frequency	F_{DC}			2		MHz
FREQUENCY ADJUSTMENT (FADJ)						
FADJ Input Current	I_{FADJ}		190	250	320	µA
FADJ Voltage Range	V_{FADJ}			±2.4		V
Frequency Sweep Range	F_O	-2.4V ≤ V_{FADJ} ≤ 2.4V		±70		%
FM Nonlinearity with FADJ	F_O/V_{FADJ}	-2V ≤ V_{FADJ} ≤ 2V		±0.2		%
Change in Duty Cycle with FADJ	dc/V_{FADJ}	-2V ≤ V_{FADJ} ≤ 2V		±2		%
Maximum FADJ Modulating Frequency	F_F			2		MHz
VOLTAGE REFERENCE						
Output Voltage	V_{REF}	I_{REF} = 0	2.48	2.50	2.52	V
Temperature Coefficient	$V_{REF}/°C$			20		ppm/°C
Load Regulation	V_{REF}/I_{REF}	0mA ≤ I_{REF} ≤ 4mA (source)		1	2	mV/mA
		-100µA ≤ I_{REF} ≤ 0µA (sink)		1	4	
Line Regulation	$V_{REF}/V+$	4.75V ≤ V+ ≤ 5.25V (Note 2)		1	2	mV/V
LOGIC INPUTS (A0, A1, PDI)						
Input Low Voltage	V_{IL}				0.8	V
Input High Voltage	V_{IH}		2.4			V
Input Current (A0, A1)	I_{IL}, I_{IH}	V_{A0}, V_{A1} = V_{IL}, V_{IH}			±5	µA
Input Current (PDI)	I_{IL}, I_{IH}	V_{PDI} = V_{IL}, V_{IH}			±25	µA
POWER SUPPLY						
Positive Supply Voltage	V+		4.75		5.25	V
SYNC Supply Voltage	DV+		4.75		5.25	V
Negative Supply Voltage	V-		-4.75		-5.25	V
Positive Supply Current	I+			35	45	mA
SYNC Supply Current	I_{DV+}			1	2	mA
Negative Supply Current	I-			45	55	mA

Note 1: Guaranteed by duty-cycle test on square wave.
Note 2: V_{REF} is independent of V-.

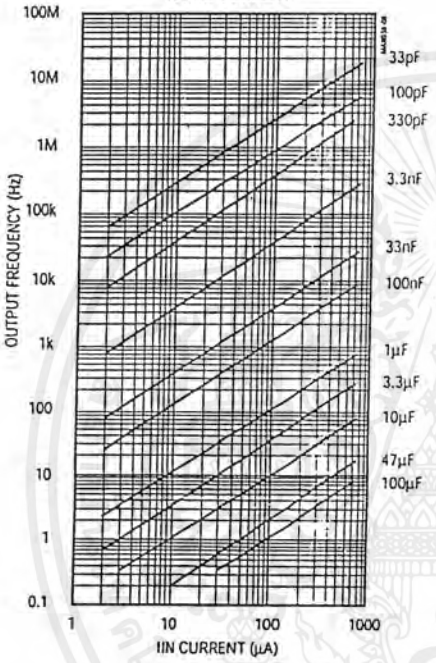
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High-Frequency Waveform Generator

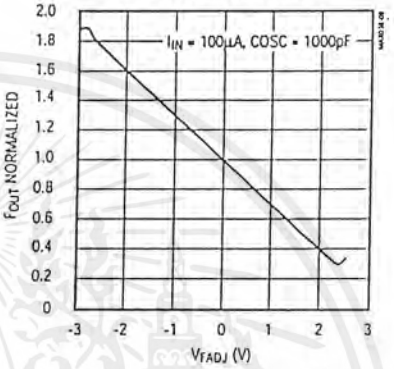
Typical Operating Characteristics

(Circuit of Figure 1, V+ = DV+ = 5V, V- = -5V, V_{DADJ} = V_{FADJ} = V_{PDI} = V_{PDO} = 0V, R_L = 1kΩ, C_L = 20pF, T_A = +25°C, unless otherwise noted.)

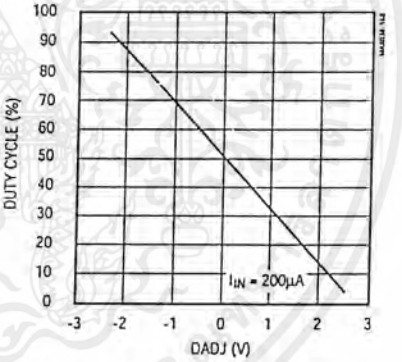
OUTPUT FREQUENCY vs. IIN CURRENT



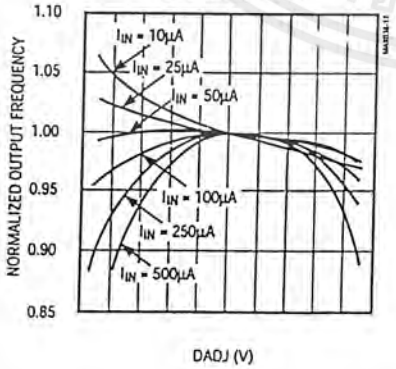
NORMALIZED OUTPUT FREQUENCY vs. FADJ VOLTAGE



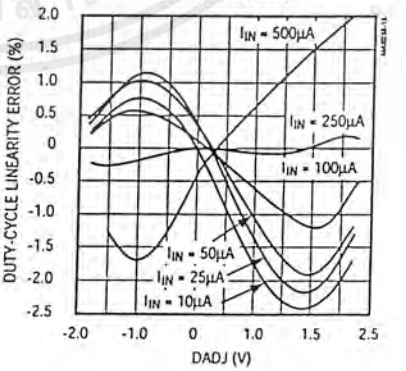
DUTY CYCLE vs. DADJ VOLTAGE



NORMALIZED OUTPUT FREQUENCY vs. DADJ VOLTAGE



DUTY-CYCLE LINEARITY vs. DADJ VOLTAGE

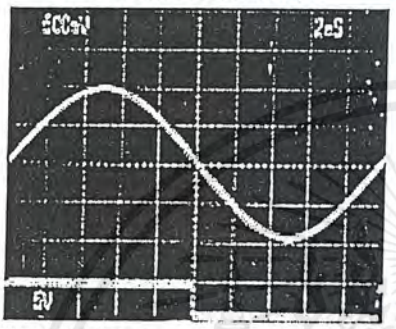


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Operating Characteristics (continued)

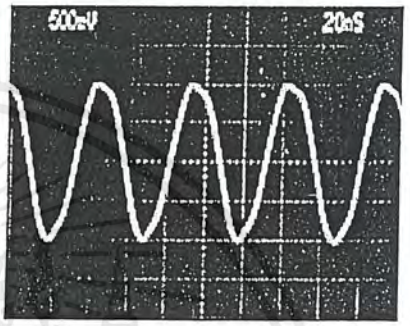
(Circuit of Figure 1, V+ = DV+ = 5V, V- = -5V, V_{DADJ} = V_{FADJ} = V_{PDI} - V_{PDO} = 0V, R_L = 1kΩ, C_L = 20pF, T_A = +25°C, unless otherwise noted.)

SINE-WAVE OUTPUT (50Hz)



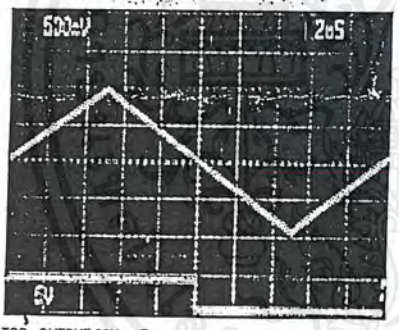
TOP: OUTPUT 50Hz = F_O
BOTTOM: SYNC
I_{IN} = 50µA
C_F = 1µF

SINE-WAVE OUTPUT (20MHz)



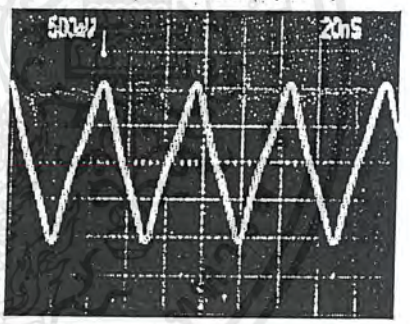
I_{IN} = 400µA
C_F = 20pF

TRIANGLE-WAVE OUTPUT (50Hz)



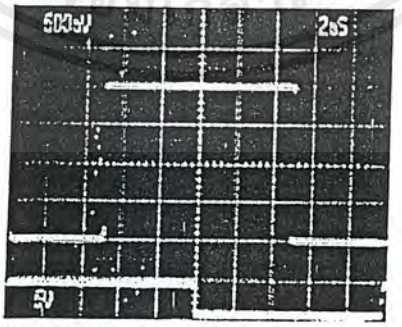
TOP: OUTPUT 50Hz = F_O
BOTTOM: SYNC
I_{IN} = 50µA
C_F = 1µF

TRIANGLE-WAVE OUTPUT (20MHz)



I_{IN} = 400µA
C_F = 20pF

SQUARE-WAVE OUTPUT (50Hz)



TOP: OUTPUT 50Hz = F_O
BOTTOM: SYNC
I_{IN} = 50µA
C_F = 1µF

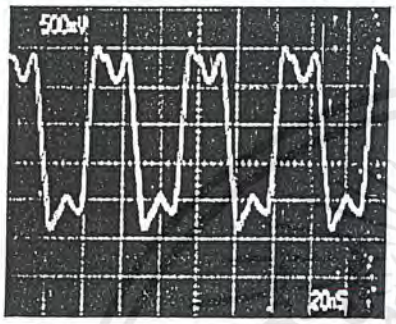
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High-Frequency Waveform Generator

Typical Operating Characteristics (continued)

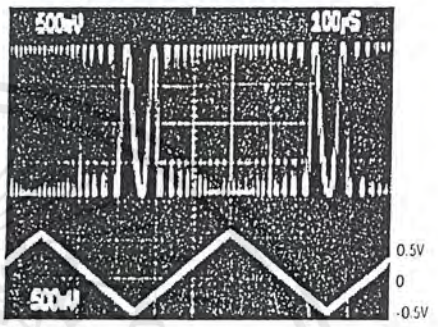
(Circuit of Figure 1, V+ = DV+ = 5V, V- = -5V, V_{DADJ} = V_{FADJ} = V_{PDI} = V_{PDO} = 0V, R_L = 1kΩ, C_L = 20pF, T_A = +25°C, unless otherwise noted.)

SQUARE-WAVE OUTPUT (20MHz)



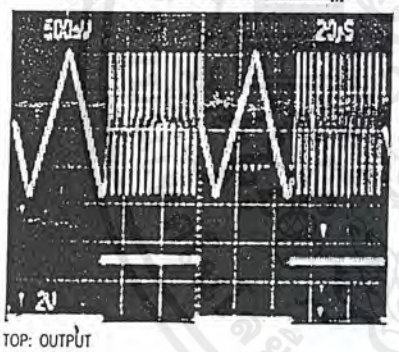
I_{IN} = 400µA
C_F = 20pF

FREQUENCY MODULATION USING FADJ



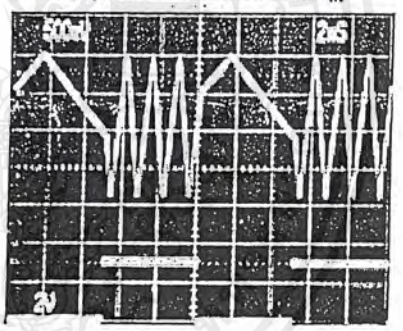
TOP: OUTPUT
BOTTOM: FADJ

FREQUENCY MODULATION USING I_{IN}



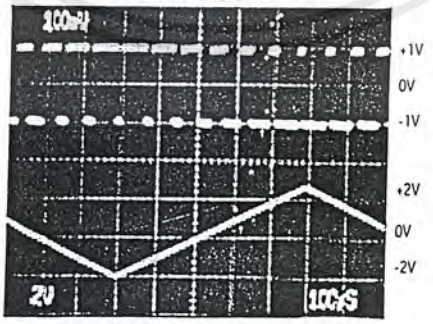
TOP: OUTPUT
BOTTOM: I_{IN}

FREQUENCY MODULATION USING I_{IN}



TOP: OUTPUT
BOTTOM: I_{IN}

PULSE-WIDTH MODULATION USING DADJ



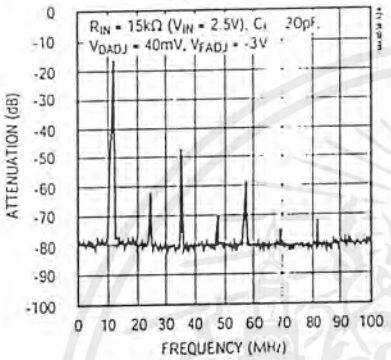
TOP: SQUARE-WAVE OUT, $2V_{P-P}$
BOTTOM: V_{DADJ}, -2V to +2.3V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

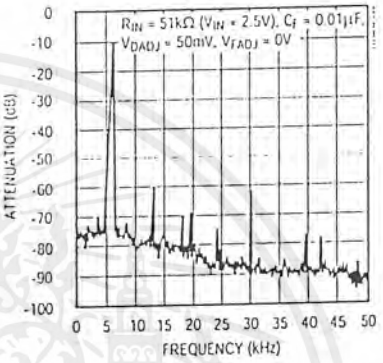
Typical Operating Characteristics (continued)

(Circuit of Figure 1. V+ = DV+ = 5V, V- = -5V, V_{DADJ} = V_{FADJ} = V_{PDI} = V_{PDO} = 0V, R_L = 1kΩ, C_L = 20pF, T_A = +25°C, unless otherwise noted.)

OUTPUT SPECTRUM, SINE WAVE
(F_O = 11.5MHz)



OUTPUT SPECTRUM, SINE WAVE
(F_O = 5.9kHz)



Pin Description

PIN	NAME	FUNCTION
1	REF	2.50V bandgap voltage reference output
2, 6, 9, 11, 18	GND	Ground*
3	A0	Waveform selection input: TTL/CMOS compatible
4	A1	Waveform selection input: TTL/CMOS compatible
5	COSC	External capacitor connection
7	DADJ	Duty-cycle adjust input
8	FADJ	Frequency adjust input
10	IIN	Current input for frequency control
12	PDO	Phase detector output. Connect to GND if phase detector is not used.
13	PDI	Phase detector reference clock input. Connect to GND if phase detector is not used.
14	SYNC	TTL/CMOS-compatible output, referenced between DGND and DV+. Permits the internal oscillator to be synchronized with an external signal. Leave open if unused.
15	DGND	Digital ground
16	DV+	Digital +5V supply input. Can be left open if SYNC is not used.
17	V+	+5V supply input
19	OUT	Sine, square, or triangle output
20	V-	-5V supply input

*The five GND pins are not internally connected. Connect all five GND pins to a quiet ground close to the device. A ground plane is recommended (see *Layout Considerations*).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

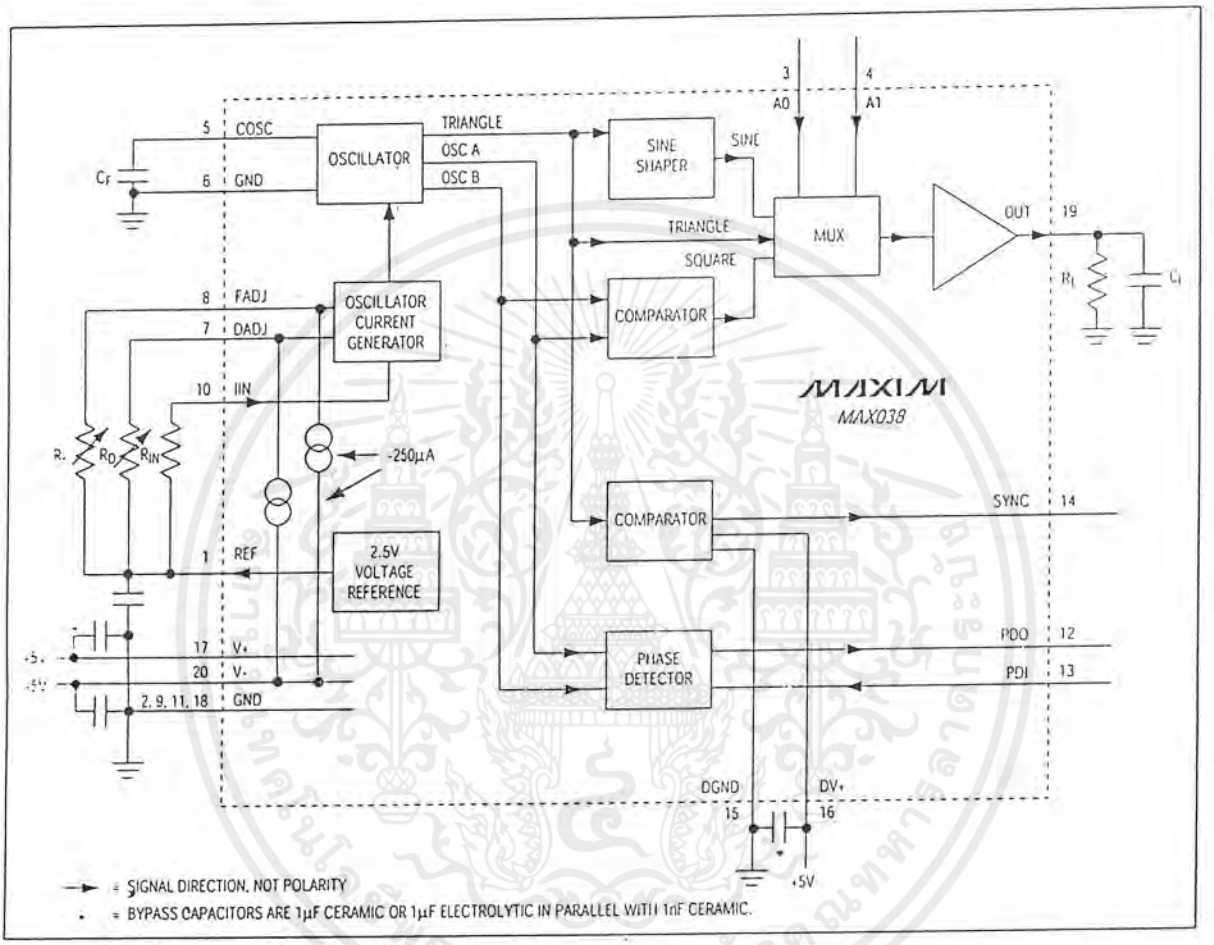


Figure 1. Block Diagram and Basic Operating Circuit

Detailed Description

The MAX038 is a high-frequency function generator that produces low-distortion sine, triangle, sawtooth, or square (pulse) waveforms at frequencies from less than 1Hz to 20MHz or more, using a minimum of external components. Frequency and duty cycle can be independently controlled by programming the current, voltage, or resistance. The desired output waveform is selected under logic control by setting the appropriate code at the A0 and A1 inputs. A SYNC output and phase detector are included to simplify designs requiring tracking to an external signal source.

The MAX038 operates with ±5V ±5% power supplies. The basic oscillator is a relaxation type that operates by alternately charging and discharging a capacitor, C_F, with constant currents, simultaneously producing a triangle wave and a square wave (Figure 1). The charging and discharging currents are controlled by the current flowing into IIN, and are modulated by the voltages applied to FADJ and DADJ. The current into IIN can be varied from 2µA to 750µA, producing more than two decades of frequency for any value of C_F. Applying ±2.4V to FADJ changes the nominal frequency (with V_{FADJ} = 0V) by ±70%; this procedure can be used for fine control.

Duty cycle (the percentage of time that the output waveform is positive) can be controlled from 10% to 90% by applying ±2.3V to DADJ. This voltage changes the C_F charging and discharging current ratio while maintaining nearly constant frequency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A stable 2.5V reference voltage, REF, allows simple determination of IIN. FADJ, or DADJ with fixed resistors, and permits adjustable operation when potentiometers are connected from each of these inputs to REF. FADJ and/or DADJ can be grounded, producing the nominal frequency with a 50% duty cycle.

The output frequency is inversely proportional to capacitor C_F. C_F values can be selected to produce frequencies above 20MHz.

A sine-shaping circuit converts the oscillator triangle wave into a low-distortion sine wave with constant amplitude. The triangle, square, and sine waves are input to a multiplexer. Two address lines, A0 and A1, control which of the three waveforms is selected. The output amplifier produces a constant $2V_{P-P}$ amplitude (±1V), regardless of wave shape or frequency.

The triangle wave is also sent to a comparator that produces a high-speed square-wave SYNC waveform that can be used to synchronize other oscillators. The SYNC circuit has separate power-supply leads and can be disabled.

Two other phase-quadrature square waves are generated in the basic oscillator and sent to one side of an "exclusive-OR" phase detector. The other side of the phase-detector input (PDI) can be connected to an external oscillator. The phase-detector output (PDO) is a current source that can be connected directly to FADJ to synchronize the MAX038 with the external oscillator.

Waveform Selection

The MAX038 can produce either sine, square, or triangle waveforms. The TTL/CMOS-logic address pins (A0 and A1) set the waveform, as shown below:

A0	A1	WAVEFORM
X	1	Sine wave
0	0	Square wave
1	0	Triangle wave

X = Don't care

Waveform switching can be done at any time, without regard to the phase of the output. Switching occurs within 0.3µs, but there may be a small transient in the output waveform that lasts 0.5µs.

Waveform Timing

Output Frequency

The output frequency is determined by the current injected into the IIN pin, the COSC capacitance (to ground), and the voltage on the FADJ pin. When V_{FADJ} = 0V, the fundamental output frequency (F_O) is given by the formula:

$$F_O\ (MHz) = I_{IN}\ (\mu A) \div C_F\ (pF) \quad [1]$$

The period (t_O) is:

$$t_O\ (\mu s) = C_F\ (pF) \div I_{IN}\ (\mu A) \quad [2]$$

where:

I_{IN} = current injected into IIN (between 2µA and 750µA)

C_F = capacitance connected to COSC and GND (20pF to >100µF).

For example:

0.5MHz = 100µA ÷ 200pF

and

2µs = 200pF ÷ 100µA

Optimum performance is achieved with I_{IN} between 10µA and 400µA, although linearity is good with I_{IN} between 2µA and 750µA. Current levels outside of this range are not recommended. For fixed-frequency operation, set I_{IN} to approximately 100µA and select a suitable capacitor value. This current produces the lowest temperature coefficient, and produces the lowest frequency shift when varying the duty cycle.

The capacitance can range from 20pF to more than 100µF, but stray circuit capacitance must be minimized by using short traces. Surround the COSC pin and the trace leading to it with a ground plane to minimize coupling of extraneous signals to this node. Oscillation above 20MHz is possible, but waveform distortion increases under these conditions. The low frequency limit is set by the leakage of the COSC capacitor and by the required accuracy of the output frequency. Lowest frequency operation with good accuracy is usually achieved with 10µF or greater non-polarized capacitors.

An internal closed-loop amplifier forces IIN to virtual ground, with an input offset voltage less than ±2mV. IIN may be driven with either a current source (I_{IN}), or a voltage (V_{IN}) in series with a resistor (R_{IN}). (A resistor between REF and IIN provides a convenient method of generating I_{IN}: $I_{IN} = V_{REF}/R_{IN}$.) When using a voltage in series with a resistor, the formula for the oscillator frequency is:

$$F_O\ (MHz) = V_{IN} \div [R_{IN} \times C_F\ (pF)] \quad [3]$$

and:

$$t_O\ (\mu s) = C_F\ (pF) \times R_{IN} \div V_{IN} \quad [4]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High-Frequency Waveform Generator

When the MAX038's frequency is controlled by a voltage source (V_{IN}) in series with a fixed resistor (R_{IN}), the output frequency is a direct function of V_{IN} as shown in the above equations. Varying V_{IN} modulates the oscillator frequency. For example, using a 10kΩ resistor for R_{IN} and sweeping V_{IN} from 20mV to 7.5V produces large frequency deviations (up to 375:1). Select R_{IN} so that I_{IN} stays within the 2µA to 750µA range. The bandwidth of the IIN control amplifier, which limits the modulating signal's highest frequency, is typically 2MHz.

IIN can be used as a summing point to add or subtract currents from several sources. This allows the output frequency to be a function of the sum of several variables. As V_{IN} approaches 0V, the I_{IN} error increases due to the offset voltage of IIN.

Output frequency will be offset 1% from its final value for 10 seconds after power-up.

FADJ Input

The output frequency can be modulated by FADJ, which is intended principally for fine frequency control, usually inside phase-locked loops. Once the fundamental, or center frequency (F_O) is set by I_{IN}, it may be changed further by setting FADJ to a voltage other than 0V. This voltage can vary from -2.4V to +2.4V, causing the output frequency to vary from 1.7 to 0.30 times the value when FADJ is 0V (F_O ±70%). Voltages beyond ±2.4V can cause instability or cause the frequency change to reverse slope.

The voltage on FADJ required to cause the output to deviate from F_O by D_X (expressed in %) is given by the formula:

$$V_{FADJ} = -0.0343 \times D_X \qquad [5]$$

where V_{FADJ}, the voltage on FADJ, is between -2.4V and +2.4V.

Note: While I_{IN} is directly proportional to the fundamental, or center frequency (F_O), V_{FADJ} is linearly related to % deviation from F_O. V_{FADJ} goes to either side of 0V, corresponding to plus and minus deviation.

The voltage on FADJ for any frequency is given by the formula:

$$V_{FADJ} = (F_O - F_X) \div (0.2915 \times F_O) \qquad [6]$$

where:

F_X = output frequency

F_O = frequency when V_{FADJ} = 0V.

Likewise, for period calculations:

$$V_{FADJ} = 3.43 \times (t_X - t_O) \div t_X \qquad [7]$$

where:

t_X = output period

t_O = period when V_{FADJ} = 0V.

Conversely, if V_{FADJ} is known, the frequency is given by:

$$F_X = F_O \times (1 - [0.2915 \times V_{FADJ}]) \qquad [8]$$

and the period (t_X) is:

$$t_X = t_O \div (1 - [0.2915 \times V_{FADJ}]) \qquad [9]$$

Programming FADJ

FADJ has a 250µA constant current sink to V- that must be furnished by the voltage source. The source is usually an op-amp output, and the temperature coefficient of the current sink becomes unimportant. For manual adjustment of the deviation, a variable resistor can be used to set V_{FADJ}, but then the 250µA current sink's temperature coefficient becomes significant. Since external resistors cannot match the internal temperature-coefficient curve, using external resistors to program V_{FADJ} is intended only for manual operation, when the operator can correct for any errors. This restriction does not apply when V_{FADJ} is a true voltage source.

A variable resistor, R_F, connected between REF (+2.5V) and FADJ provides a convenient means of manually setting the frequency deviation. The resistance value (R_F) is:

$$R_F = (V_{REF} - V_{FADJ}) \div 250\mu A \qquad [10]$$

V_{REF} and V_{FADJ} are signed numbers, so use correct algebraic convention. For example, if V_{FADJ} is -2.0V (+58.3% deviation), the formula becomes:

$$R_F = (+2.5V - (-2.0V)) \div 250\mu A$$
$$= (4.5V) \div 250\mu A$$
$$= 18k\Omega$$

Disabling FADJ

The FADJ circuit adds a small temperature coefficient to the output frequency. For critical open-loop applications, it can be turned off by connecting FADJ to GND (not REF) through a 12kΩ resistor (R1 in Figure 2). The -250µA current sink at FADJ causes -3V to be developed across this resistor, producing two results. First, the FADJ circuit remains in its linear region, but disconnects itself from the main oscillator, improving temperature stability. Second, the oscillator frequency doubles. If FADJ is turned off in this manner, be sure to correct equations 1-4 and 6-9 above, and 12 and 14 below by doubling F_O or halving t_O. Although this method doubles the normal output frequency, it does not double the upper frequency limit. Do not operate FADJ open circuit or with voltages more negative than -3.5V. Doing so may cause transistor saturation inside the IC, leading to unwanted changes in frequency and duty cycle.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

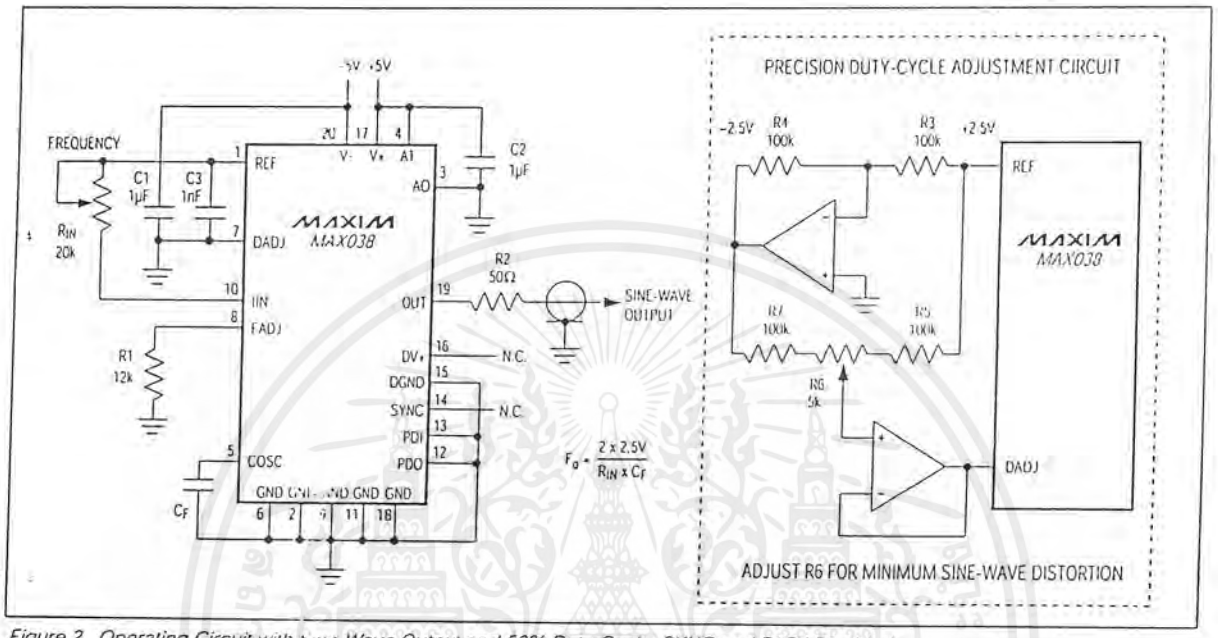


Figure 2. Operating Circuit with Sine-Wave Output and 50% Duty Cycle; SYNC and FADJ Disabled

With FADJ disabled, the output frequency can still be changed by modulating I_{IIN}.

Swept Frequency Operation

The output frequency can be swept by applying a varying signal to IIN or FADJ. IIN has a wider range, slightly slower response, lower temperature coefficient, and requires a single polarity current source. FADJ may be used when the swept range is less than ±70% of the center frequency, and it is suitable for phase-locked loops and other low-deviation, high-accuracy closed-loop controls. It uses a sweeping voltage symmetrical about ground.

Connecting a resistive network between REF, the voltage source, and FADJ or IIN is a convenient means of offsetting the sweep voltage.

Duty Cycle

The voltage on DADJ controls the waveform duty cycle (defined as the percentage of time that the output waveform is positive). Normally, V_{DADJ} = 0V, and the duty cycle is 50% (Figure 2). Varying this voltage from +2.3V to -2.3V causes the output duty cycle to vary from 15% to 85%, about -15% per volt. Voltages beyond ±2.3V can shift the output frequency and/or cause instability.

DADJ can be used to reduce the sine-wave distortion. The unadjusted duty cycle (V_{DADJ} = 0V) is 50% ±2%; any deviation from exactly 50% causes even order harmonics to be generated. By applying a small adjustable voltage (typically less than ±100mV) to V_{DADJ}, exact symmetry can be attained and the distortion can be minimized (see Figure 2).

The voltage on DADJ needed to produce a specific duty cycle is given by the formula:

$$V_{DADJ} = (50\% - dc) \times 0.0575 \quad [11]$$

or:

$$V_{DADJ} = (0.5 - [t_{ON} \div t_O]) \times 5.75 \quad [12]$$

where:

V_{DADJ} = DADJ voltage (observe the polarity)

dc = duty cycle (in %)

t_{ON} = ON (positive) time

t_O = waveform period.

Conversely, if V_{DADJ} is known, the duty cycle and ON time are given by:

$$dc = 50\% - (V_{DADJ} \times 17.4) \quad [13]$$

$$t_{ON} = t_O \times (0.5 - [V_{DADJ} \times 0.174]) \quad [14]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High-Frequency Waveform Generator

Programming DADJ

DADJ is similar to FADJ; it has a 250µA constant current sink to V- that must be furnished by the voltage source. The source is usually an op-amp output, and the temperature coefficient of the current sink becomes unimportant. For manual adjustment of the duty cycle, a variable resistor can be used to set V_{DADJ}, but then the 250µA current sink's temperature coefficient becomes significant. Since external resistors cannot match the internal temperature-coefficient curve, using external resistors to program V_{DADJ} is intended only for manual operation, when the operator can correct for any errors. This restriction does not apply when V_{DADJ} is a true voltage source.

A variable resistor, R_D, connected between REF (+2.5V) and DADJ provides a convenient means of manually setting the duty cycle. The resistance value (R_D) is:

$$R_D = (V_{REF} - V_{DADJ}) \div 250\mu A \quad [15]$$

Note that both V_{REF} and V_{DADJ} are signed values, so observe correct algebraic convention. For example, if V_{DADJ} is -1.5V (23% duty cycle), the formula becomes:

$$R_D = (+2.5V - (-1.5V)) \div 250\mu A$$
$$= (4.0V) \div 250\mu A = 16k\Omega$$

Varying the duty cycle in the range 15% to 85% has minimal effect on the output frequency—typically less than 2% when 25µA < I_{IN} < 250µA. The DADJ circuit is wideband, and can be modulated at up to 2MHz (see photos, *Typical Operating Characteristics*).

Output

The output amplitude is fixed at $2V_{P-P}$, symmetrical around ground, for all output waveforms. OUT has an output resistance of under 0.1Ω, and can drive ±20mA with up to a 50pF load. Isolate higher output capacitance from OUT with a resistor (typically 50Ω) or buffer amplifier.

Reference Voltage

REF is a stable 2.50V bandgap voltage reference capable of sourcing 4mA or sinking 100µA. It is principally used to furnish a stable current to IIN or to bias DADJ and FADJ. It can also be used for other applications external to the MAX038. Bypass REF with 100nF to minimize noise.

Selecting Resistors and Capacitors

The MAX038 produces a stable output frequency over time and temperature, but the capacitor and resistors that determine frequency can degrade performance if they are not carefully chosen. Resistors should be metal film, 1% or better. Capacitors should be chosen for low temperature coefficient over the whole temperature range. NPO ceramics are usually satisfactory.

The voltage on COSC is a triangle wave that varies between 0V and -1V. Polarized capacitors are generally not recommended (because of their outrageous temperature dependence and leakage currents), but if they are used, the negative terminal should be connected to COSC and the positive terminal to GND. Large-value capacitors, necessary for very low frequencies, should be chosen with care, since potentially large leakage currents and high dielectric absorption can interfere with the orderly charge and discharge of C_F. If possible, for a given frequency, use lower IIN currents to reduce the size of the capacitor.

SYNC Output

SYNC is a TTL/CMOS-compatible output that can be used to synchronize external circuits. The SYNC output is a square wave whose rising edge coincides with the output rising sine or triangle wave as it crosses through 0V. When the square wave is selected, the rising edge of SYNC occurs in the middle of the positive half of the output square wave, effectively 90° ahead of the output. The SYNC duty cycle is fixed at 50% and is independent of the DADJ control.

Because SYNC is a very-high-speed TTL output, the high-speed transient currents in DGND and DV+ can radiate energy into the output circuit, causing a narrow spike in the output waveform. (This spike is difficult to see with oscilloscopes having less than 100MHz bandwidth). The inductance and capacitance of IC sockets tend to amplify this effect, so sockets are not recommended when SYNC is on. SYNC is powered from separate ground and supply pins (DGND and DV+), and it can be turned off by making DV+ open circuit. If synchronization of external circuits is not used, turning off SYNC by DV+ opening eliminates the spike.

Phase Detectors

Internal Phase Detector

The MAX038 contains a TTL/CMOS phase detector that can be used in a phase-locked loop (PLL) to synchronize its output to an external signal (Figure 3). The external source is connected to the phase-detector input (PDI) and the phase-detector output is taken from PDO. PDO is the output of an exclusive-OR gate, and produces a rectangular current waveform at the MAX038 output frequency, even with PDI grounded. PDO is normally connected to FADJ and a resistor, R_{PD}, and a capacitor C_{PD}, to GND. R_{PD} sets the gain of the phase detector, while the capacitor attenuates high-frequency components and forms a pole in the phase-locked loop filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

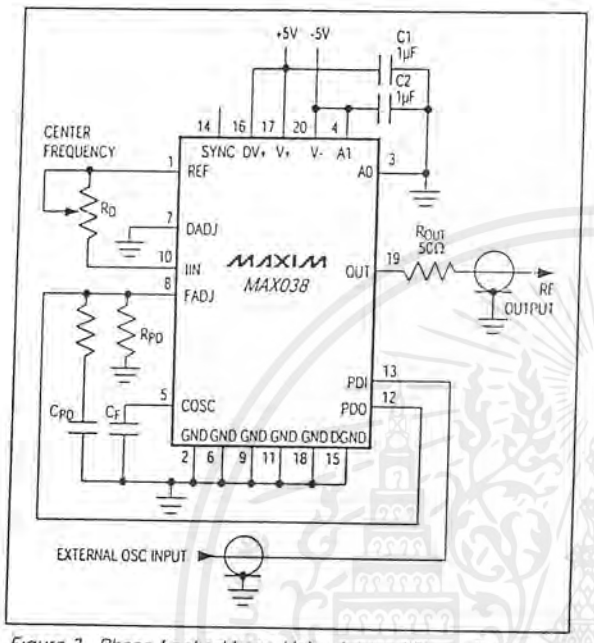


Figure 3. Phase-Locked Loop Using Internal Phase Detector

PDO is a rectangular current-pulse train, alternating between 0µA and 500µA. It has a 50% duty cycle when the MAX038 output and PDI are in phase-quadrature (90° out of phase). The duty cycle approaches 100% as the phase difference approaches 180° and conversely, approaches 0% as the phase difference approaches 0°. The gain of the phase detector (K_D) can be expressed as:

$$K_D = 0.318 \times R_{PD} \text{ (volts/radian)} \quad [16]$$

where R_{PD} = phase-detector gain-setting resistor.

When the loop is in lock, the input signals to the phase detector are in approximate phase quadrature, the duty cycle is 50%, and the average current at PDO is 250µA (the current sink of FADJ). This current is divided between FADJ and R_{PD}; 250µA always goes into FADJ and any difference current is developed across R_{PD}, creating V_{FADJ} (both polarities). For example, as the phase difference increases, PDO duty cycle increases, the average current increases, and the voltage on R_{PD} (and V_{FADJ}) becomes more positive. This in turn decreases the oscillator frequency, reducing the phase difference, thus maintaining phase lock. The higher R_{PD} is, the greater V_{FADJ} is for a given phase difference; in other words, the greater the loop gain, the less the capture range. The current from PDO must also charge C_{PD}, so the rate at which V_{FADJ} changes (the loop bandwidth) is inversely proportional to C_{PD}.

The phase error (deviation from phase quadrature) depends on the open-loop gain of the PLL and the initial frequency deviation of the oscillator from the external signal source. The oscillator conversion gain (K_O) is:

$$K_O = \Delta\omega_O - \Delta V_{FADJ} \quad [17]$$

which, from equation [6] is:

$$K_O = 3.43 \times \omega_O \text{ (radians/sec)} \quad [18]$$

The loop gain of the PLL system (K_V) is:

$$K_V = K_D \times K_O \quad [19]$$

where:

K_D = detector gain

K_O = oscillator gain.

With a loop filter having a response F(s), the open-loop transfer function, T(s), is:

$$T(s) = K_D \times K_O \times F(s) \div s \quad [20]$$

Using linear feedback analysis techniques, the closed-loop transfer characteristic, H(s), can be related to the open-loop transfer function as follows:

$$H(s) = T(s) \div [1 + T(s)] \quad [21]$$

The transient performance and the frequency response of the PLL depends on the choice of the filter characteristic, F(s).

When the MAX038 internal phase detector is not used, PDI and PDO should be connected to GND.

External Phase Detectors

External phase detectors may be used instead of the internal phase detector. The external phase detector shown in Figure 4 duplicates the action of the MAX038's internal phase detector, but the optional ÷N circuit can be placed between the SYNC output and the phase detector in applications requiring synchronizing to an exact multiple of the external oscillator. The resistor network consisting of R4, R5, and R6 sets the sync range, while capacitor C4 sets the capture range. Note that this type of phase detector (with or without the ÷N circuit) locks onto harmonics of the external oscillator as well as the fundamental. With no external oscillator input, this circuit can be unpredictable, depending on the state of the external input DC level.

Figure 4 shows a frequency phase detector that locks onto only the fundamental of the external oscillator. With no external oscillator input, the output of the frequency phase detector is a positive DC voltage, and the oscillations are at the lowest frequency as set by R4, R5, and R6.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High-Frequency Waveform Generator

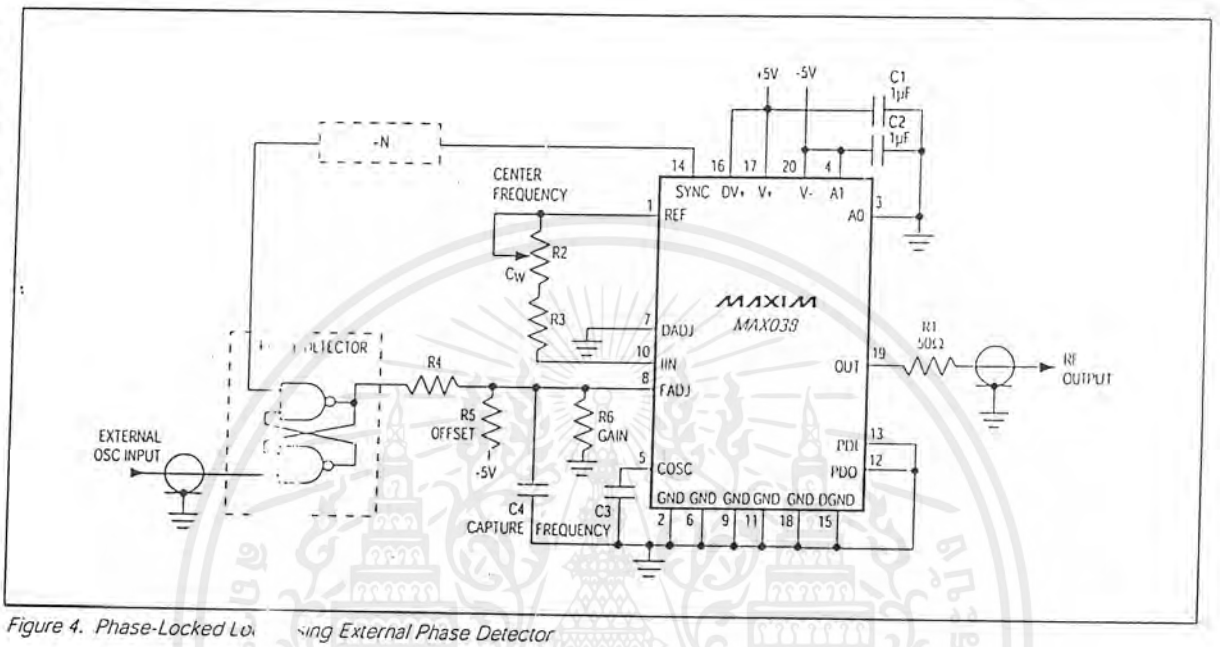


Figure 4. Phase-Locked Lo[illegible]ing External Phase Detector

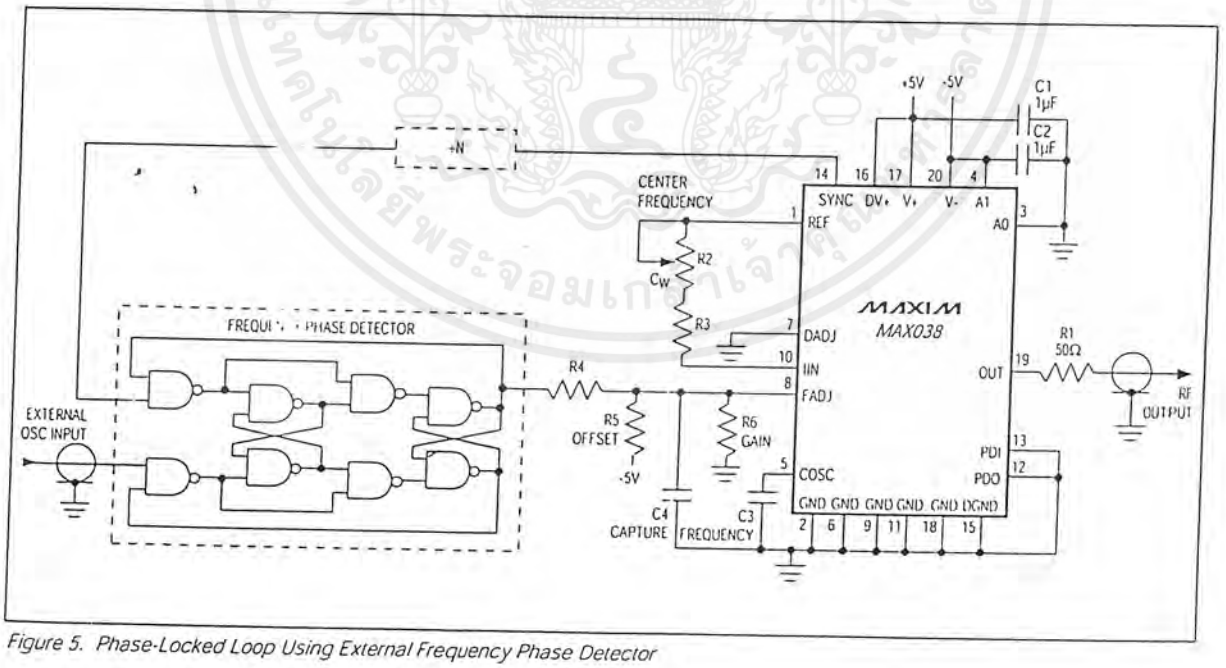


Figure 5. Phase-Locked Loop Using External Frequency Phase Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High-Frequency Waveform Generator

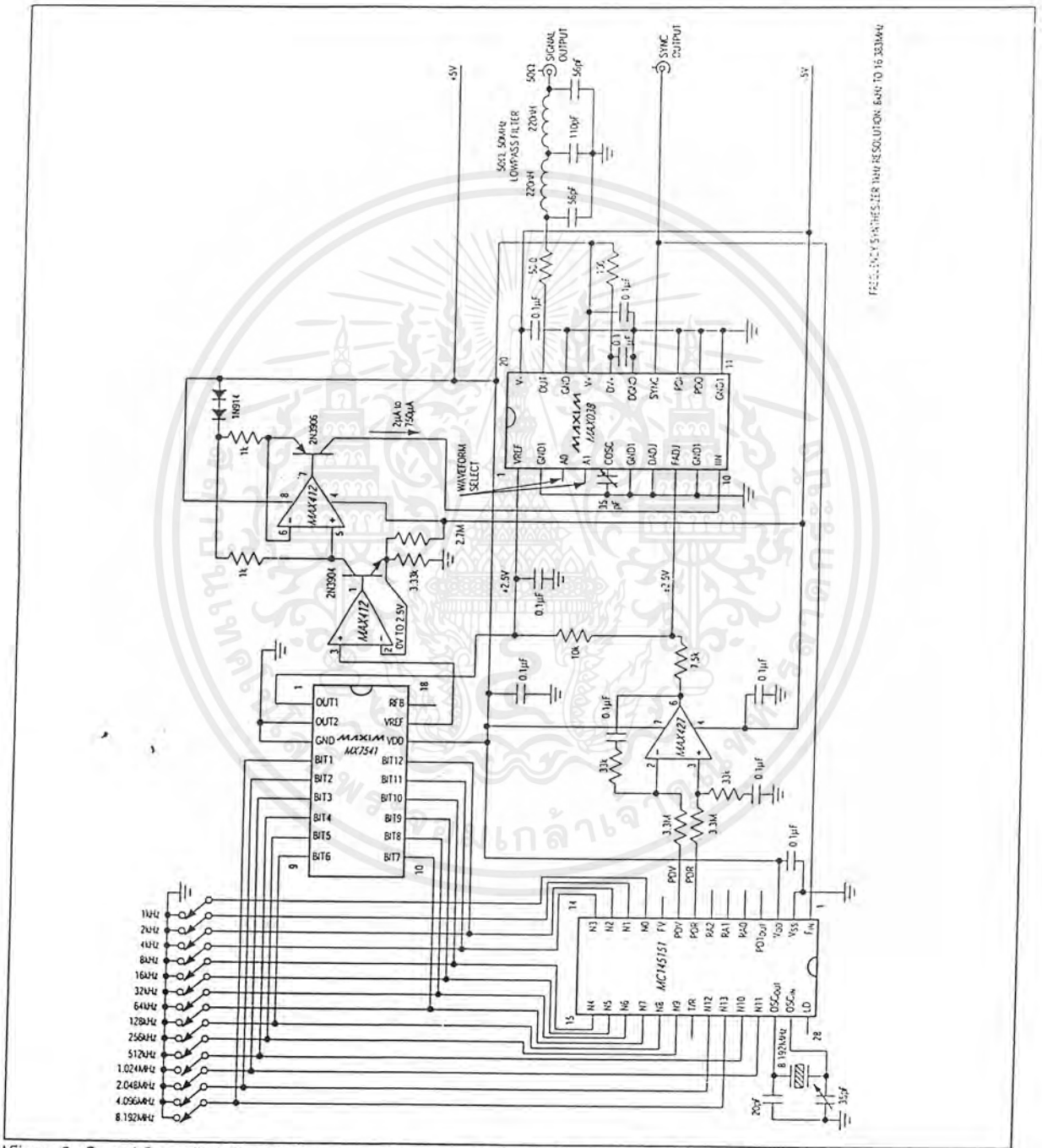


Figure 6. Crystal-Controlled, Digitally Programmed Frequency Synthesizer—8kHz to 16MHz with 1kHz Resolution

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High-Frequency Waveform Generator

Layout Considerations

Realizing the full performance of the MAX038 requires careful attention to power-supply bypassing and board layout. Use a low-impedance ground plane, and connect all five GND pins directly to it. Bypass V+ and V- directly to the ground plane with 1µF ceramic capacitors or 1µF tantalum capacitors in parallel with 1nF ceramics. Keep capacitor leads short (especially with the 1nF ceramics) to minimize series inductance.

If SYNC is used, DV+ must be connected to V+, DGND must be connected to the ground plane, and a second 1nF ceramic should be connected as close as possible between DV+ and DGND (pins 16 and 15). It is not necessary to use a separate supply or run separate traces to DV+. If SYNC is disabled, leave DV+ open. Do not open DGND.

Minimize the trace area around COSC (and the ground plane area under COSC) to reduce parasitic capacitance, and surround this trace with ground to prevent coupling with other signals. Take similar precautions with DADJ, FADJ, and IIN. Place C_F so its connection to the ground plane is close to pin 6 (GND).

Applications Information

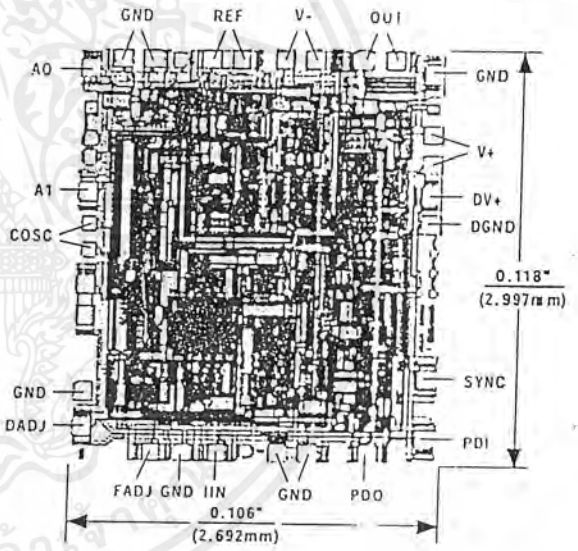
Frequency Synthesizer

Figure 6 shows a frequency synthesizer that produces accurate and stable sine, square, or triangle waves with a frequency range of 8kHz to 16.383MHz in 1kHz increments. A Motorola MC145151 provides the crystal-controlled oscillator, the ÷N circuit, and a high-speed phase detector. The manual switches set the output frequency; opening any switch increases the output frequency. Each switch controls both the ÷N output and an MX7541 12-bit DAC, whose output is converted to a current by using both halves of the MAX412 op amp. This current goes to the MAX038 IIN pin, setting its coarse frequency over a very wide range.

Fine frequency control (and phase lock) is achieved from the MC145151 phase detector through the differential amplifier and lowpass filter, U5. The phase detector compares the ÷N output with the MAX038 SYNC output and sends differential phase information to U5. U5's single-ended output is summed with an offset into the FADJ input. (Using the DAC and the IIN pin for coarse frequency control allows the FADJ pin to have very fine control with reasonably fast response to switch changes.)

A 50MHz, 50Ω lowpass filter in the output allows passage of 16MHz square waves and triangle waves with reasonable fidelity, while stopping high-frequency noise generated by the ÷N circuit.

Chip Topography



TRANSISTOR COUNT: 855
SUBSTRATE CONNECTED TO GND

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19-0467; Rev 2; 5/97

EVALUATION KIT MANUAL AVAILABLE

MAXIM

300MHz High-Speed Op Amp

MAX477

General Description

The MAX477 is a ±5V wide-bandwidth, fast-settling, unity-gain-stable op amp featuring low noise, low differential gain and phase errors, high slew rate, high precision, and high output current. The MAX477's architecture uses a standard voltage-feedback topology that can be configured into any desired gain setting, as with other general-purpose op amps.

Unlike high-speed amplifiers using current-mode feedback architectures, the MAX477 has a unique input stage that combines the benefits of the voltage-feedback design (flexibility in choice of feedback resistor, two high-impedance inputs) with those of the current-feedback design (high slew rate and full-power bandwidth). It also has the precision of voltage-feedback amplifiers, characterized by low input-offset voltage and bias current, low noise, and high common-mode and power-supply rejection.

The MAX477 is ideally suited for driving 50Ω or 75Ω loads. Available in DIP, SO, space-saving μMAX, and SOT23 packages.

Features

- High Speed:
  - 300MHz -3dB Bandwidth (A_V = +1)
  - 200MHz Full-Power Bandwidth (A_V = +1, V_O = 2Vp-p)
  - 1100V/μs Slew Rate
  - 130MHz 0.1dB Gain Flatness
- Drives 100pF Capacitive Loads Without Oscillation
- Low Differential Phase/Gain Error: 0.01°/0.01%
- 8mA Quiescent Current
- Low Input-Referred Voltage Noise: 5nV/√Hz
- Low Input-Referred Current Noise: 2pA/√Hz
- Low Input Offset Voltage: 0.5mV
- 8000V ESD Protection
- Voltage-Feedback Topology for Simple Design Configurations
- Short-Circuit Protected
- Available in Space-Saving SOT23 Package

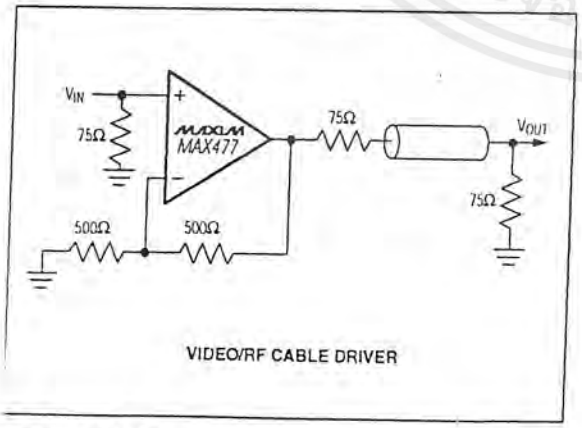
Applications

Broadcast and High-Definition TV Systems
Video Switching and Routing
Communications
Medical Imaging
Precision DAC/ADC Buffer

Ordering Information

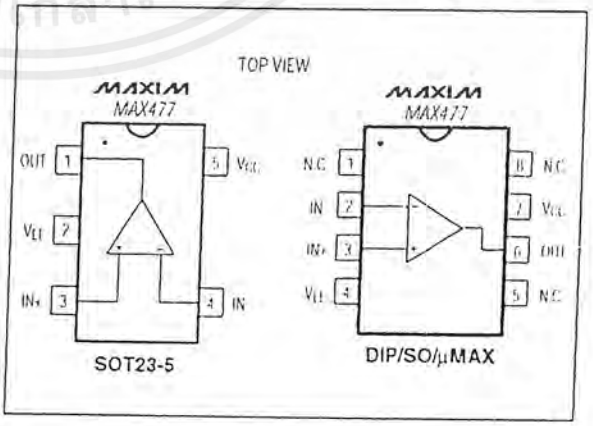
PART	TEMP. RANGE	PIN-PACKAGE	SOT TOP MARK
MAX477EPA	-40°C to +85°C	8 Plastic DIP	—
MAX477ESA	-40°C to +85°C	8 SO	—
MAX477EUA	-40°C to +85°C	8 μMAX	—
MAX477EUK-T	-40°C to +85°C	5 SOT23	ABYW
MAX477MJA	-55°C to +125°C	8 CERDIP	—

Typical Operating Circuit



VIDEO/RF CABLE DRIVER

Pin Configuration



SOT23-5

DIP/SO/μMAX

For free samples & the latest literature: http://www.maxim-ic.com, or phone 1-800-998-8800.
For small orders, phone 408-737-7600 ext. 3468.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

Supply Voltage (V_{CC} to V_{EE}) 12V
Differential Input Voltage ..... (V_{CC} + 0.3V) to (V_{EE} - 0.3V)
Common-Mode Input Voltage ..... (V_{CC} + 0.3V) to (V_{EE} - 0.3V)
Output Short-Circuit Duration to GND ..... Continuous
Continuous Power Dissipation (T_A = +70 °C)
Plastic DIP (derate 9.09mW/ °C above +70 °C) 727mW
SO (derate 5.88mW/ °C above +70 °C) 471mW
µMAX (derate 4.1mW/ °C above +70 °C) 330mW
CERDIP (derate 8.00mW/ °C above +70 °C) 640mW
SOT23 (derate 7.1mW/ °C above +70 °C) 571mW
Operating Temperature Ranges
MAX477E_A -40 °C to +85 °C
MAX477EUK -40 °C to +85 °C
MAX477MJA -55 °C to +125 °C
Storage Temperature Range -65 °C to +160 °C
Lead Temperature (soldering, 10sec) +300 °C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = +5V, V_{EE} = -5V, V_{OUT} = 0V, R_L = ∞, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25 °C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Input Offset Voltage	V_{OS}	MAX477ESA/EPA/EUA/MJA	T_A = +25 °C		0.5	2.0	mV
		MAX477EUK	T_A = +25 °C		0.5	2.0	
		MAX477ESA/EPA/EUA/MJA	T_A = T_{MIN} to T_{MAX}			3.0	
		MAX477EUK	T_A = T_{MIN} to T_{MAX}			5.0	
Input Offset-Voltage Drift	TCV_{OS}				2		µV/ °C
Input Bias Current	I_B	T_A = +25 °C			1	3	µA
		T_A = T_{MIN} to T_{MAX}				5.0	
Input Offset Current	I_{OS}	T_A = +25 °C			0.2	1.0	µA
		T_A = T_{MIN} to T_{MAX}				2.0	
Differential-Mode Input Resistance	$R_{IN(DM)}$	Either input			1		MΩ
Common-Mode Input Voltage Range	V_{CM}	T_A = +25 °C		±3.0	±3.5		V
		T_A = T_{MIN} to T_{MAX}		±2.5			
Common-Mode Rejection Ratio	CMRR	T_A = +25 °C	V_{CM} = ±3V	70	90		dB
		T_A = T_{MIN} to T_{MAX}	V_{CM} = ±2.5V	60			
Power-Supply Rejection Ratio	PSRR	V_S = ±4.5V to ±5.5V		70	95		dB
Open-Loop Voltage Gain	A_{VOL}	V_{OUT} = ±2.0V, V_{CM} = 0V, R_L = 50Ω	MAX477E_A/477MJA	55	65		dB
			MAX477EUK	50	65		
Output Voltage Swing	V_{OUT}	T_A = +25 °C	R_L = ∞	±3.5	±3.9		V
		T_A = T_{MIN} to T_{MAX}	R_L = 100Ω	±3.0			
			R_L = 50Ω	±2.5			
Minimum Output Current	I_{OUT}	T_A = -40 °C to +85 °C		70	100		mA
Short-Circuit Output Current	I_{SC}	Short to ground			150		mA
Open-Loop Output Resistance	R_{OUT}	V_{OUT} = 0, f = DC			0.1		Ω
Quiescent Supply Current	I_{SY}	T_A = +25 °C			8	10	mA
		MAX477E_ _, T_A = T_{MIN} to T_{MAX}				12	mA
		MAX477MJA, T_A = T_{MIN} to T_{MAX}				14	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS

(V_{CC} = +5V, V_{EE} = -5V, R_L = 100Ω, A_{VCL} = +1, T_A = +25 °C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Small-Signal, -3dB Bandwidth (Note 2)	BW_{-3dB}	$V_{OUT} \le 0.1Vp\text{-}p$	220	300		MHz
Small-Signal, ±0.1dB Gain Flatness (Note 2)	$BW_{0.1dB}$	$V_{OUT} \le 0.1Vp\text{-}p$	30	130		MHz
Full-Power Bandwidth	FPBW	V_{OUT} = 2Vp-p		200		MHz
Slew Rate (Note 2)	SR	V_{OUT} = ±2Vp-p	700	1100		V/µs
Settling Time	t_S	V_{OUT} = 2V Step, to 0.1%		10		ns
		V_{OUT} = 2V Step, to 0.01%		12		ns
Rise Time, Fall Time	t_R, t_F	V_{OUT} = 2V Step		2		ns
Input Voltage Noise Density	e_n	f = 10MHz		6		nV/√Hz
Input Current Noise Density	i_n	f = 10MHz, either input		2		pA/√Hz
Differential Gain (Note 3)	DG	f = 3.58MHz		0.01		%
Differential Phase (Note 3)	DP	f = 3.58MHz		0.01		degrees
Differential-Mode Input Capacitance	$C_{IN(DM)}$	Either input		1		pF
Output Impedance	Z_{OUT}	f = 10MHz		2.5		Ω
Total Harmonic Distortion	THD	f_C = 10MHz, V_{OUT} = 2Vp-p		-58		dB
Spurious-Free Dynamic Range	SFDR	f = 5MHz, V_{OUT} = 2Vp-p		-74		dBc
Third-Order Intercept	IP3	f = 10MHz, V_{OUT} = 2Vp-p		36		dBm

Note 1: Specifications for the MAX477EUK (SOT23 package) are 100% tested at T_A = +25 °C, and guaranteed by design over temperature.

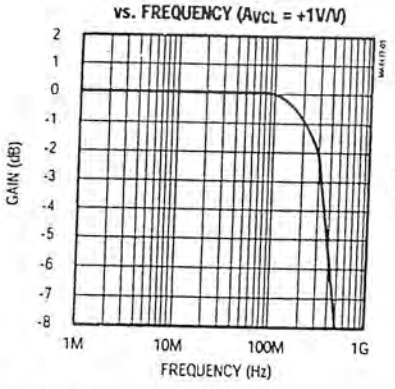
Note 2: Maximum AC specifications are guaranteed by sample test on the MAX477ESA only.

Note 3: Tested with a 3.58MHz video test signal with an amplitude of 40IRE superimposed on a linear ramp (0 to 100IRE). An IRE is a unit of video-signal amplitude developed by the Institute of Radio Engineers. 140IRE = 1V.

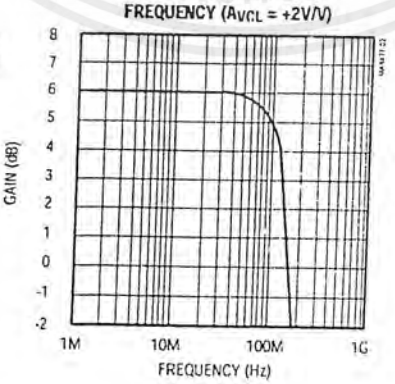
Typical Operating Characteristics

(V_{CC} = +5V, V_{EE} = -5V, R_L = 100Ω, C_L = 0pF, T_A = +25 °C, unless otherwise noted.)

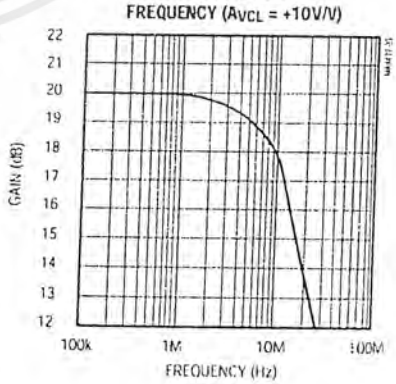
SMALL-SIGNAL GAIN vs. FREQUENCY (A_{VCL} = +1V/V)



SMALL-SIGNAL GAIN vs. FREQUENCY (A_{VCL} = +2V/V)



SMALL-SIGNAL GAIN vs. FREQUENCY (A_{VCL} = +10V/V)

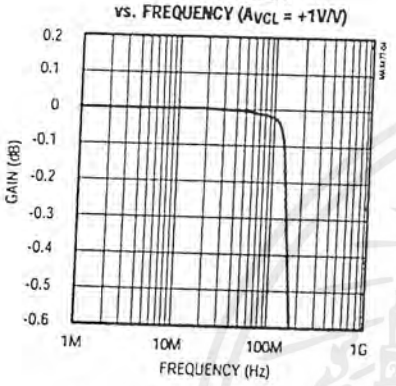


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

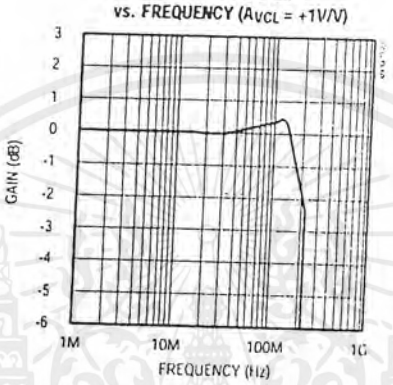
Typical Operating Characteristics (continued)

(VCC = +5V, VEE = -5V, RL = 100Ω, CL = 0pF, TA = +25°C, unless otherwise noted.)

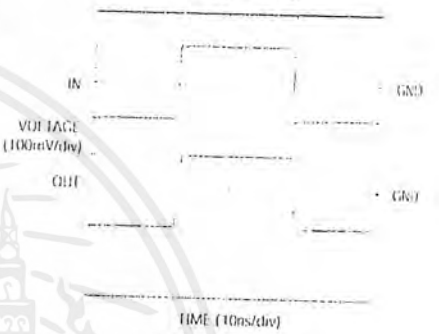
GAIN FLATNESS vs. FREQUENCY (AVCL = +1V/V)



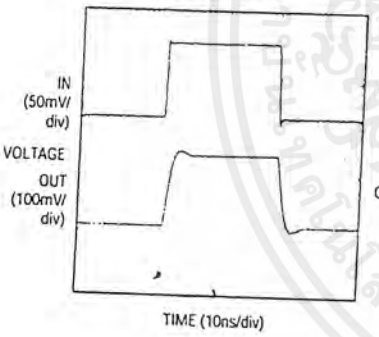
LARGE-SIGNAL GAIN vs. FREQUENCY (AVCL = +1V/V)



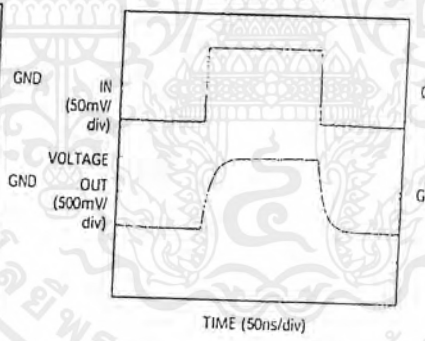
SMALL-SIGNAL PULSE RESPONSE (AVCL = +1V/V)



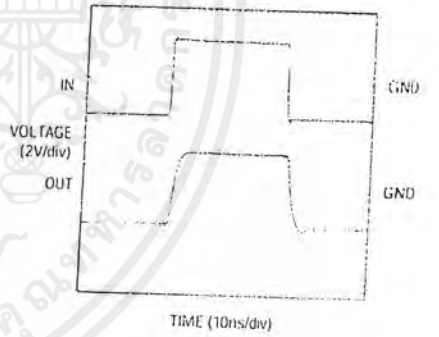
SMALL-SIGNAL PULSE RESPONSE (AVCL = +2V/V)



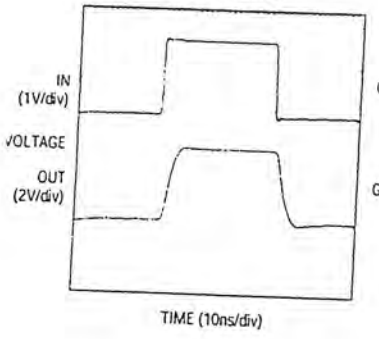
SMALL-SIGNAL PULSE RESPONSE (AVCL = +10V/V)



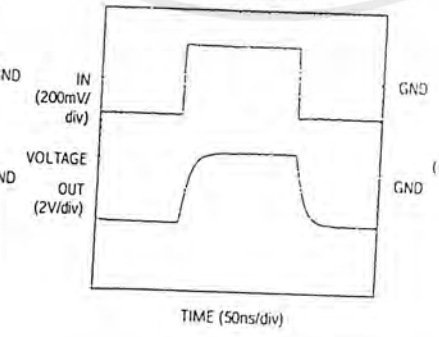
LARGE-SIGNAL PULSE RESPONSE (AVCL = +1V/V)



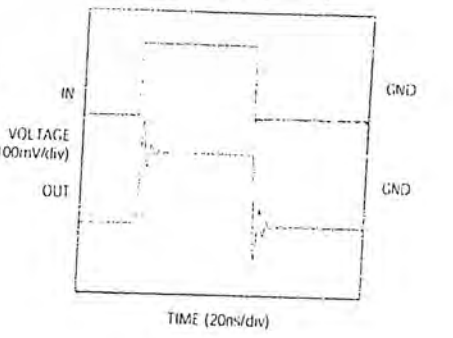
LARGE-SIGNAL PULSE RESPONSE (AVCL = +2V/V)



LARGE-SIGNAL PULSE RESPONSE (AVCL = +10V/V)



SMALL-SIGNAL PULSE RESPONSE (AVCL = +1V/V, CL = 50pF)

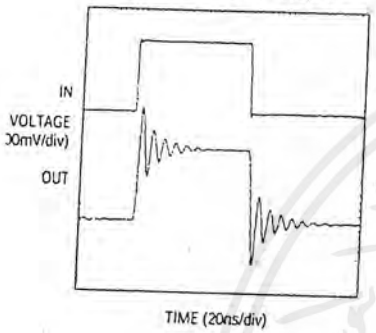


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

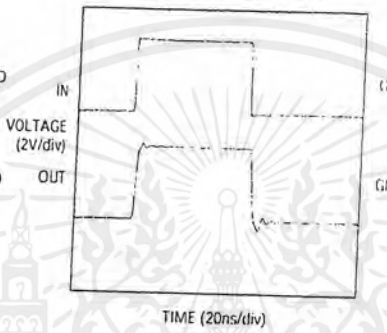
Typical Operating Characteristics (continued)

(V_{CC} = +5V, V_{EE} = -5V, R_L = 100Ω, C_L = 0pF, T_A = +25°C, unless otherwise noted.)

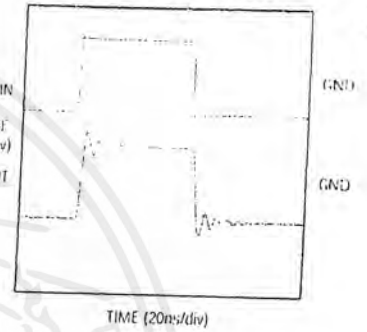
SMALL-SIGNAL PULSE RESPONSE
(A_{VCL} = +1V/V, C_L = 100pF)



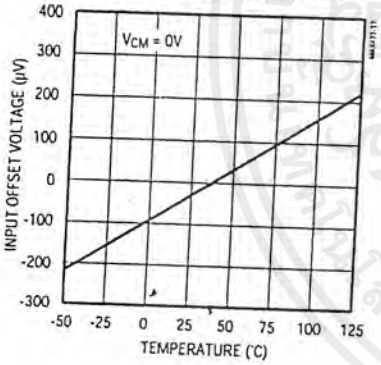
LARGE-SIGNAL PULSE RESPONSE
(A_{VCL} = +1V/V, C_L = 50pF)



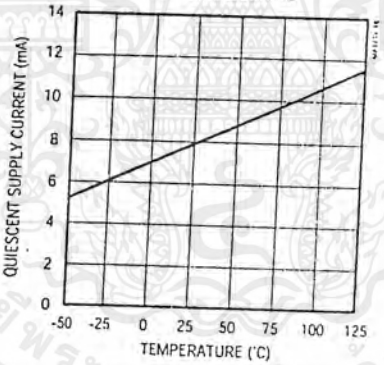
LARGE-SIGNAL PULSE RESPONSE
(A_{VCL} = +1V/V, C_L = 100pF)



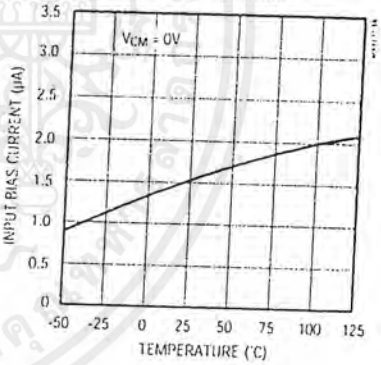
INPUT OFFSET VOLTAGE (V_{OS}) vs. TEMPERATURE



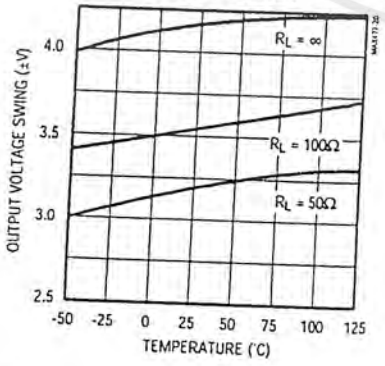
QUIESCENT SUPPLY CURRENT (I_{SY}) vs. TEMPERATURE



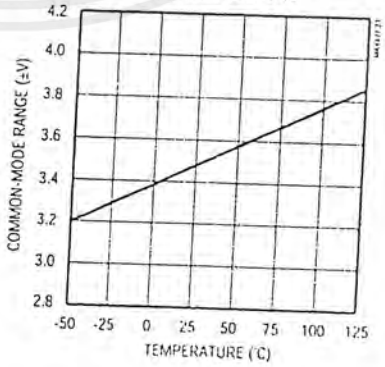
INPUT BIAS CURRENT (I_B) vs. TEMPERATURE



OUTPUT VOLTAGE SWING vs. TEMPERATURE



INPUT COMMON-MODE RANGE (V_{CM}) vs. TEMPERATURE



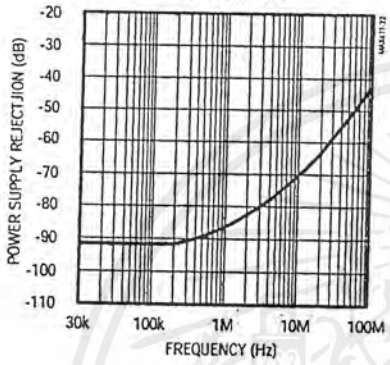
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

300MHz High-Speed Op Amp

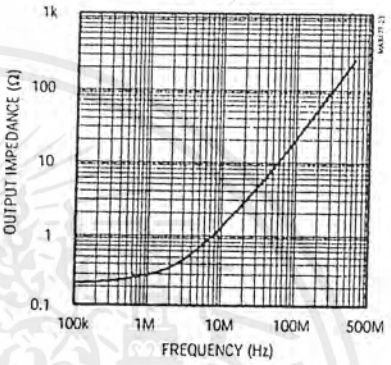
Typical Operating Characteristics (continued)

(V_{CC} = +5V, V_{EE} = -5V, R_L = 100Ω, C_L = 0pF, T_A = +25°C, unless otherwise noted.)

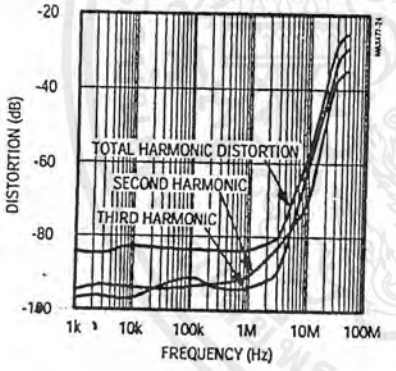
POWER-SUPPLY REJECTION vs. FREQUENCY



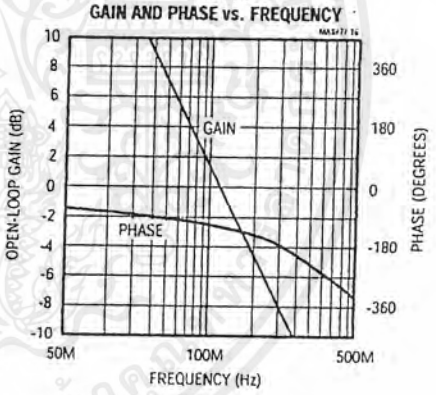
OUTPUT IMPEDANCE vs. FREQUENCY



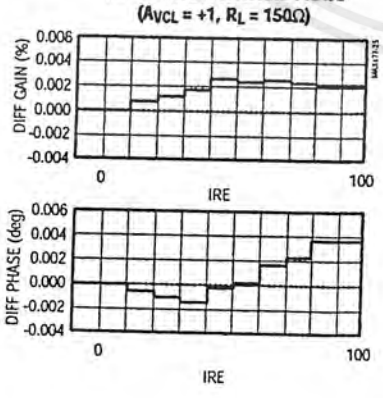
HARMONIC DISTORTION vs. FREQUENCY



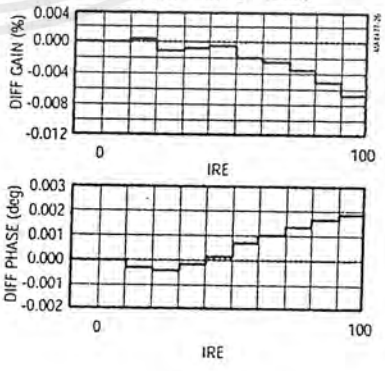
OPEN-LOOP GAIN AND PHASE vs. FREQUENCY



DIFFERENTIAL GAIN AND PHASE (A_{VCL} = +1, R_L = 150Ω)



DIFFERENTIAL GAIN AND PHASE (A_{VCL} = +2, R_L = 150Ω)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description

PIN SO/µMAX/DIP	SOT23	NAME	FUNCTION
1, 5, 8	—	N.C.	No Connect. Not internally connected.
2	4	IN-	Inverting Input
3	3	IN+	Noninverting Input
4	2	V_{EE}	Negative Power Supply
6	1	OUT	Amplifier Output
7	5	V_{CC}	Positive Power Supply

Detailed Description

The MAX477 allows the flexibility and ease of a classic voltage-feedback architecture while maintaining the high-speed benefits of current-mode feedback (CMF) amplifiers. Although the MAX477 is a voltage-feedback op amp, its internal architecture provides an 1100V/µs slew rate and a low 8mA supply current. CMF amplifiers offer high slew rates while maintaining low supply current, but use the feedback and load resistors as part of the amplifier's frequency compensation network. In addition, they have only one input with high impedance.

The MAX477 has speed and power specifications like those of current-feedback amplifiers, but has high input impedance at both input terminals. Like other voltage-feedback op amps, its frequency compensation is independent of the feedback and load resistors, and it exhibits a constant gain-bandwidth product. However, unlike standard voltage-feedback amplifiers, its large-signal slew rate is not limited by an internal current source, so the MAX477 exhibits a very high full-power bandwidth.

Output Short-Circuit Protection

Under short-circuit conditions, the output current is typically limited to 150mA. This is low enough that a short to ground of any duration will not cause permanent damage to the chip. However, a short to either supply will significantly increase the power dissipation and may cause permanent damage. The high output-current capability is an advantage in systems that transmit a signal to several loads. See *High-Performance Video Distribution Amplifier* in the *Applications Information* section.

Applications Information

Grounding, Bypassing, and PC Board Layout

To obtain the MAX477's full 300MHz bandwidth, Microstrip and Stripline techniques are recommended in most cases. To ensure the PC board does not degrade the amplifier's performance, design the board for a frequency greater than 1GHz. Even with very short traces, use these techniques at critical points, such as inputs and outputs. Whether you use a constant-impedance board or not, observe the following guidelines when designing the board:

- Do not use wire-wrap boards. They are too inductive.
- Do not use IC sockets. They increase parasitic capacitance and inductance.
- In general, surface-mount components have shorter leads and lower parasitic reactance, giving better high-frequency performance than through-hole components.
- The PC board should have at least two layers, with one side a signal layer and the other a ground plane.
- Keep signal lines as short and straight as possible. Do not make 90 °turns; round all corners.
- The ground plane should be as free from voids as possible.

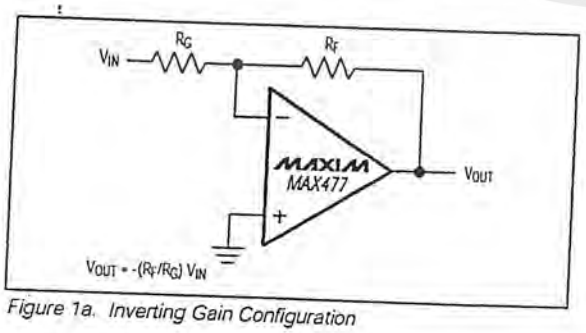


Figure 1a. Inverting Gain Configuration

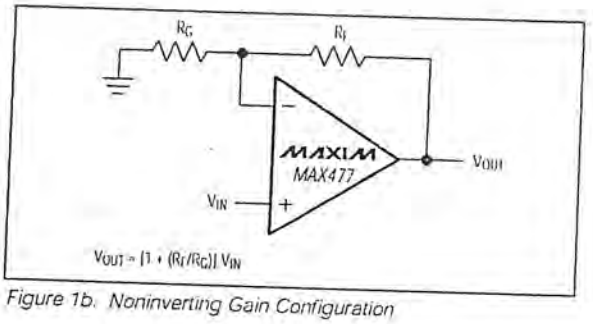


Figure 1b. Noninverting Gain Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

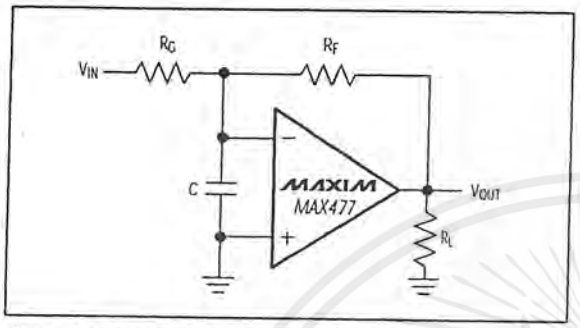


Figure 2. Effect of High-Feedback Resistor Values and Parasitic Capacitance on Bandwidth

Setting Gain

The MAX477 can be configured as an inverting or noninverting gain block in the same manner as any other voltage-feedback op amp. The gain is determined by the ratio of two resistors and does not affect amplifier frequency compensation. This is unlike CMF op amps, which have a limited range of feedback resistors, typically one resistor value for each gain and load setting. This is because the -3dB bandwidth of a CMF op amp is set by the feedback and load resistors. Figure 1a shows the inverting gain configuration and its gain equation, while Figure 1b shows the noninverting gain configuration.

Choosing Resistor Values

The feedback and input resistor values are not critical in the inverting or noninverting gain configurations (as with current-feedback amplifiers). However, be sure to select resistors that are small and noninductive.

Surface-mount resistors are best for high-frequency circuits. Their material is similar to that of metal-film resistors, but to minimize inductance, it is deposited in a flat, linear manner using a thick film. Their small size and lack of leads also minimize parasitic inductance and capacitance.

The MAX477's input capacitance is approximately 1pF. In either the inverting or noninverting configuration, excess phase resulting from the pole frequency formed by $R_f \parallel R_g$ and C can degrade amplifier phase margin and cause oscillations (Figure 2). Table 1 shows the recommended resistor combinations and measured bandwidth for several gain values.

DC and Noise Errors

The standard voltage-feedback topology of the MAX477 allows DC error and noise calculations to be done in the usual way. The following analysis shows

Table 1. Resistor and Bandwidth Values for Various Closed-Loop Gain Configurations

GAIN (V/V)	R_g (Ω)	R_f (Ω)	-3dB BANDWIDTH (MHz)
+1	Open	Short	300
+2	500	500	120
+5	125	500	25
+10	50	450	12
-1	300	300	114
-2	150	300	64
-5	100	500	42
-10	50	500	23

that the MAX477's voltage-feedback architecture provides a precision amplifier with significantly lower DC errors and lower noise compared to CMF amplifiers.

1) In Figure 3, total output offset error is given by:

$$V_{OUT} = \left[1+\frac{R_f}{R_g}\right] \left[V_{OS} + I_B R_S - I_B\left(R_f \,||\, R_g\right) + I_{OS}\left(R_S + \left(R_f \,||\, R_g\right)\right)\right]$$

For the special case in which R_S is arranged to be equal to $R_f \parallel R_g$, the I_B terms cancel out. Note also, for I_{OS} ($R_S + (R_f \parallel R_g) << V_{OS}$, the I_{OS} term also drops out of the equation for total DC error. In practice, high-speed configurations for the MAX477 necessitate the use of low-value resistors for R_S, R_f, and R_g. In this case, the V_{OS} term is the dominant DC error source.

2) The MAX477's total input-referred noise in a closed-loop feedback configuration can be calculated by:

$$e_T = \sqrt{\left[e_n^2 + e_R^2 + \left(i_n R_{EQ}\right)^2\right]}$$

where e_n = input-referred noise voltage of the MAX477 ($5nV/\sqrt{Hz}$)

i_n = input-referred noise current of the MAX477 ($2pA/\sqrt{Hz}$)

R_{EQ} = total equivalent source resistance at the two inputs, i.e., $R_{EQ} = R_S + R_f \parallel R_g$

e_R = resistor noise voltage due to R_{EQ}, i.e.,

$$e_R = \sqrt{4KT\,R_{EQ}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

As an example, consider $R_S = 75\Omega$, $R_f = R_g = 500\Omega$. Then:

$$R_{EQ} = 75\Omega + (500\Omega \,||\, 500\Omega) = 325\Omega$$

$$e_R = \sqrt{4KT \times 325} = 2.3nV/\sqrt{Hz} \text{ at } 25°C$$

$$e_T = \sqrt{(5nV)^2 + (2.3nV)^2 + (2pA \times 325)^2} = 5.5nV\sqrt{Hz}$$

3) The MAX477's output-referred noise is simply total input-referred noise, e_T, multiplied by the gain factor:

$$e_{OUT} = e_T \left[1 + \frac{R_f}{R_g}\right]$$

In the above example, with $e_T = 5.5nV\sqrt{Hz}$, and assuming a signal bandwidth of 300MHz (471MHz noise bandwidth), total output noise in this bandwidth is:

$$e_{OUT} = 5.5nV \times \left[1 + \frac{500}{500}\right] \times \sqrt{471MHz} = 239\mu V_{RMS}$$

Note that for both DC and noise calculations, errors are dominated by offset voltage (V_{OS}) and input noise voltage (e_n). For a current-mode feedback amplifier with offset and noise errors significantly higher, the calculations are very different.

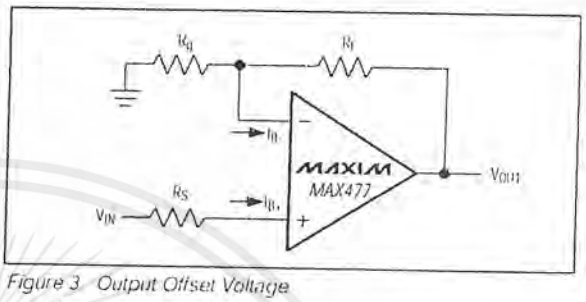


Figure 3. Output Offset Voltage

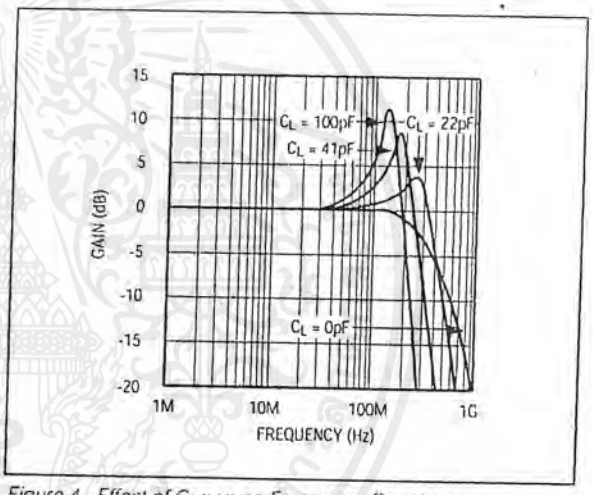


Figure 4. Effect of C_{LOAD} on Frequency Response (A_{VCL} = +1V/V)

Driving Capacitive Loads

The MAX477 provides maximum AC performance with no output load capacitance. This is the case when the MAX477 is driving a correctly terminated transmission line (i.e., a back-terminated 75Ω cable). However, the MAX477 is capable of driving capacitive loads up to 100pF without oscillations, but with reduced AC performance.

Driving large capacitive loads increases the chance of oscillations in most amplifier circuits. This is especially true for circuits with high loop gain, such as voltage followers. The amplifier's output resistance and the load capacitor combine to add a pole and excess phase to the loop response. If the frequency of this pole is low enough and phase margin is degraded sufficiently, oscillations may occur.

A second problem when driving capacitive loads results from the amplifier's output impedance, which looks inductive at high frequency. This inductance forms an L-C resonant circuit with the capacitive load, which causes peaking in the frequency response and degrades the amplifier's gain margin.

The MAX477 drives capacitive loads up to 100pF without oscillation. However, some peaking (in the frequency domain) or ringing (in the time domain) may occur. This is shown in Figure 4 and the in the Small and Large-Signal Pulse Response graphs in the *Typical Operating Characteristics*.

To drive larger-capacitance loads or to reduce ringing, add an isolation resistor between the amplifier's output and the load, as shown in Figure 5.

The value of R_{ISO} depends on the circuit's gain and the capacitive load. Figure 6 shows the Bode plots that result when a 20Ω isolation resistor is used with a voltage follower driving a range of capacitive loads. At the higher capacitor values, the bandwidth is dominated by the RC network, formed by R_{ISO} and C_L; the bandwidth of the amplifier itself is much higher. Note that adding an isolation resistor degrades gain accuracy. The load and isolation resistor form a divider that decreases the voltage delivered to the load.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

300MHz High-Speed Op Amp

Flash ADC Preamp

The MAX477's high output-drive capability and ability to drive capacitive loads make it well suited for buffering the low-impedance input of a high-speed flash ADC. With its low output impedance, the MAX477 can drive the inputs of the ADC while maintaining accuracy. Figure 7 shows a preamp for digitizing video, using the 250Msps MAX100 and the 500Msps MAX101 flash ADCs. Both of these ADCs have a 50Ω input resistance and a 1.2GHz input bandwidth.

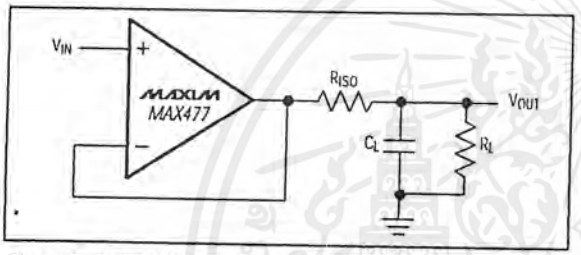


Figure 5. Capacitive-Load Driving Circuit

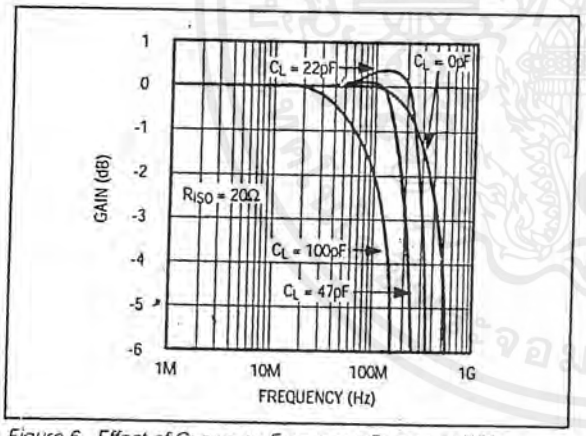


Figure 6. Effect of C_{LOAD} on Frequency Response With Isolation Resistor

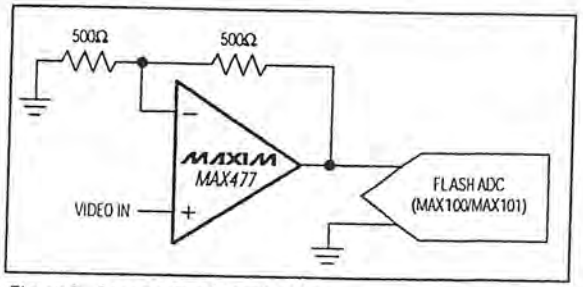


Figure 7. Preamp for Video Digitizer

High-Performance Video Distribution Amplifier

In a gain of +2 configuration, the MAX477 makes an excellent driver for back-terminated 75Ω video coaxial cables (Figure 8). The high output-current drive allows the attachment of up to six ±2Vp-p, 150Ω loads to the MAX477 at +25°C. With the output limited to ±1Vp-p, the number of loads may double. The MAX4278 is a similar amplifier configured for a gain of +2 without the need for external gain-setting resistors. For multiple gain-of-2 video line drivers in a single package, see the MAX496/MAX497 data sheet.

Wide-Bandwidth Bessel Filter

Two high-impedance inputs allow the MAX477 to be used in all standard active filter topologies. The filter design is straightforward because the component values can be chosen independently of op amp bias. Figure 9 shows a wide-bandwidth, second-order Bessel filter using a multiple feedback topology. The component values are chosen for a gain of +2, a -3dB bandwidth of 10MHz, and a 28ns delay. Figure 10a shows a square-wave pulse response, and Figure 10b shows the filter's frequency response and delay. Notice the flat delay in the passband, which is characteristic of the Bessel filter.

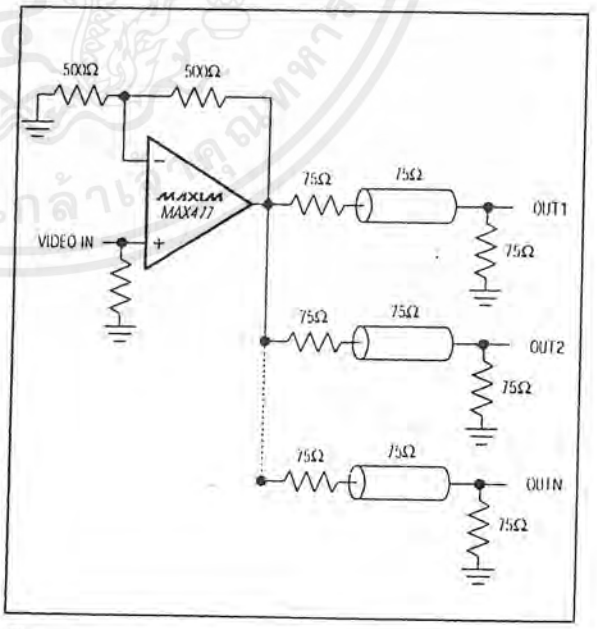


Figure 8. High-Performance Video Distribution Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

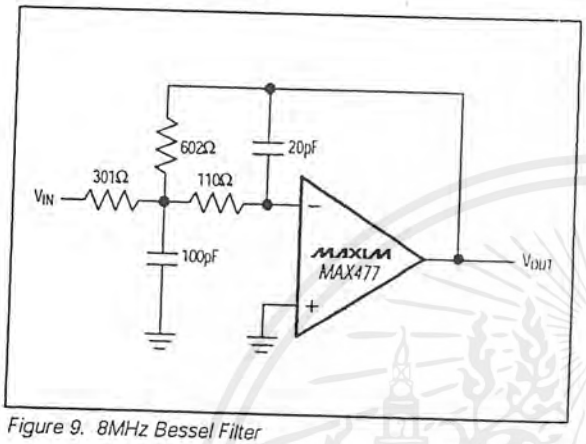


Figure 9. 8MHz Bessel Filter

Chip Information

TRANSISTOR COUNT: 175

SUBSTRATE CONNECTED TO VEE

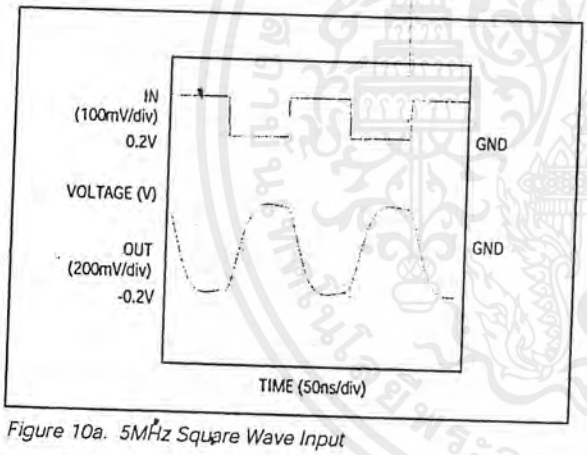


Figure 10a. 5MHz Square Wave Input

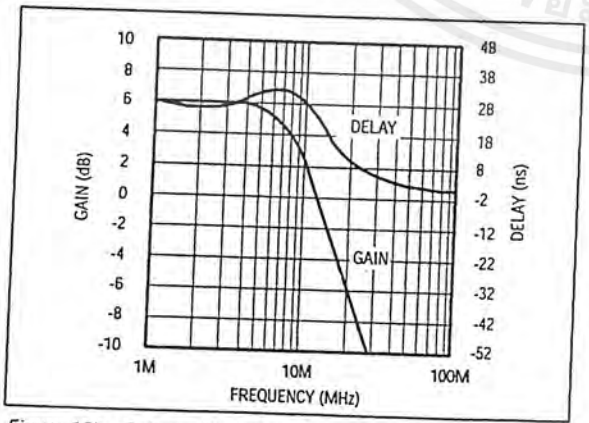
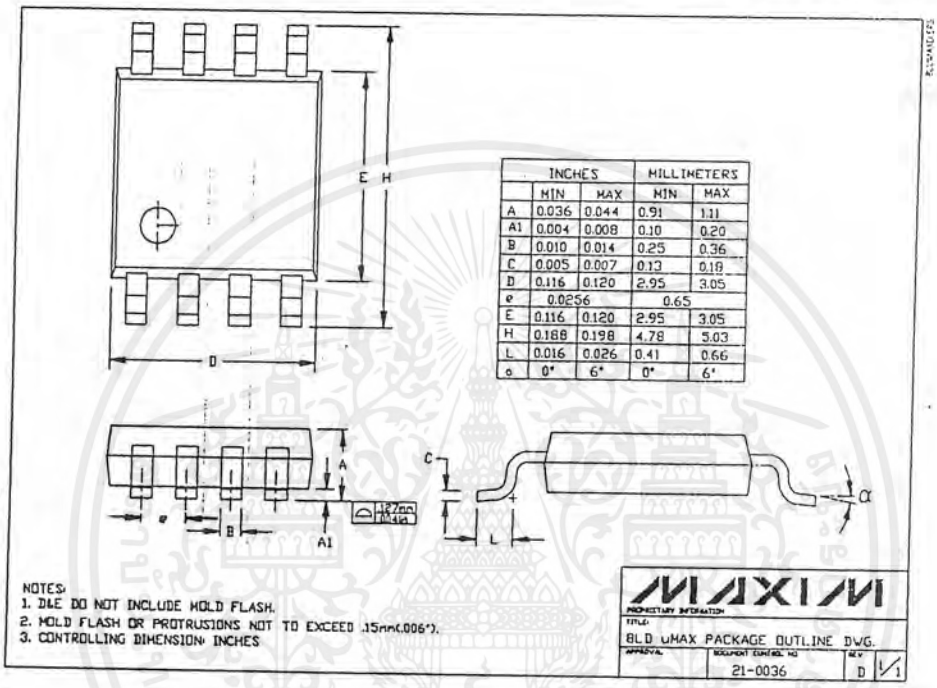


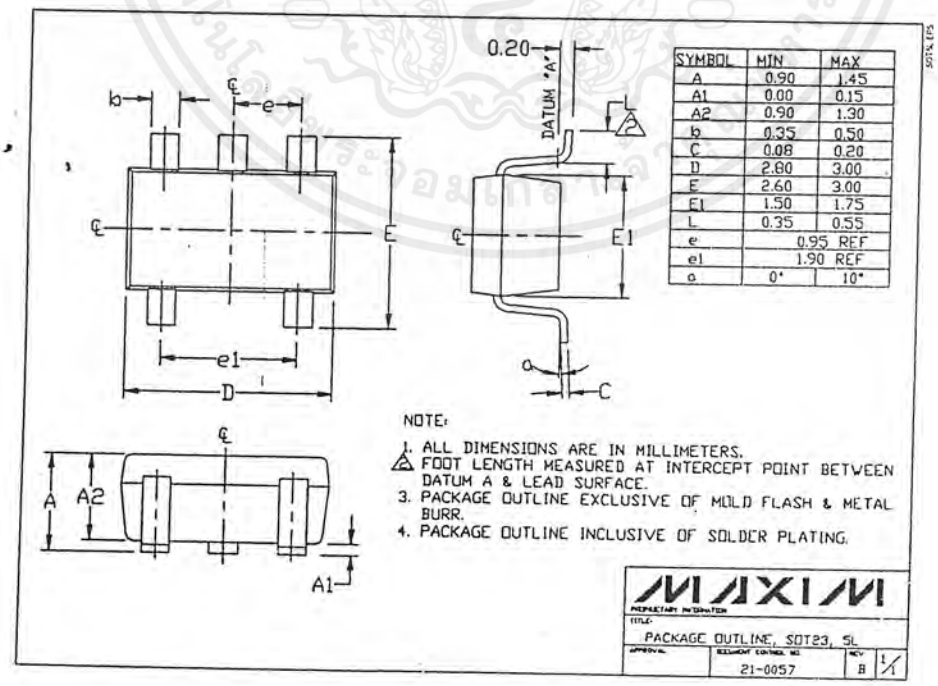
Figure 10b. Gain and Delay vs. Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Information



	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.036	0.044	0.91	1.11
A1	0.004	0.008	0.10	0.20
B	0.010	0.014	0.25	0.36
C	0.005	0.007	0.13	0.18
D	0.116	0.120	2.95	3.05
e	0.0256		0.65	
E	0.116	0.120	2.95	3.05
H	0.188	0.198	4.78	5.03
L	0.016	0.026	0.41	0.66
α	0°	6°	0°	6°



SYMBOL	MIN	MAX
A	0.90	1.45
A1	0.00	0.15
A2	0.90	1.30
b	0.35	0.50
C	0.08	0.20
D	2.80	3.00
E	2.60	3.00
E1	1.50	1.75
L	0.35	0.55
e	0.95 REF	
e1	1.90 REF	
α	0°	10°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ICL8013

November 1996

1MHz, Four Quadrant Analog Multiplier

Features

- Accuracy..... ±0.5% ("A" Version)
- Input Voltage Range ..... ±10V
- Bandwidth..... 1MHz
- Uses Standard ±15V Supplies
- Built-In Op Amp Provides Level Shifting, Division and Square Root Functions

Description

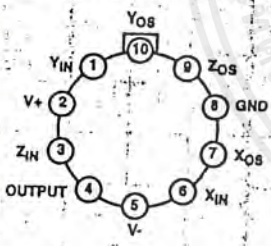
The ICL8013 is a four quadrant analog multiplier whose output is proportional to the algebraic product of two input signals. Feedback around an internal op amp provides level shifting and can be used to generate division and square root functions. A simple arrangement of potentiometers may be used to trim gain accuracy, offset voltage and feedthrough performance. The high accuracy, wide bandwidth, and increased versatility of the ICL8013 make it ideal for all multiplier applications in control and instrumentation systems. Applications include RMS measuring equipment, frequency doublers, balanced modulators and demodulators, function generators, and voltage controlled amplifiers.

Ordering Information

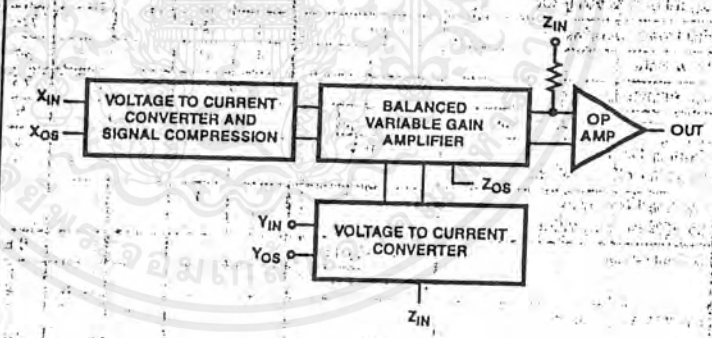
PART NUMBER	MULTIPLICATION ERROR	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
ICL8013AMTX	±0.5% Max	-55 to 125	10 Pin Metal Can	T10.B
ICL8013BMTX	±1% Max	-55 to 125	10 Pin Metal Can	T10.B
ICL8013ACTX	±0.5% Max	0 to 70	10 Pin Metal Can	T10.B
ICL8013BCTX	±1% Max	0 to 70	10 Pin Metal Can	T10.B
ICL8013CCTX	±2% Max	0 to 70	10 Pin Metal Can	T10.B

Pinout

ICL8013
(METAL CAN)
TOP VIEW



Functional Diagram



8 SPECIAL ANALOG CIRCUITS

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.

Copyright © Harris Corporation 1996

File Number 2863.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Absolute Maximum Ratings

Supply Voltage ..... ±18
Input Voltages (X_{IN}, Y_{IN}, Z_{IN}, X_{OS}, Y_{OS}, Z_{OS}) ..... V_{SUPPLY}

Operating Conditions

Temperature Range
ICL8013XC ..... 0°C to 70°C
ICL8013XM ..... -55°C to 125°C

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
Metal Can Package	160	75

Maximum Junction Temperature (Metal Can Package) ..... 175°C
Maximum Storage Temperature Range ..... -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) ..... 300°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

$T_A = 25°C$, $V_{SUPPLY} = \pm15V$, Gain and Offset Potentiometers Externally Trimmed, Unless Otherwise Specified

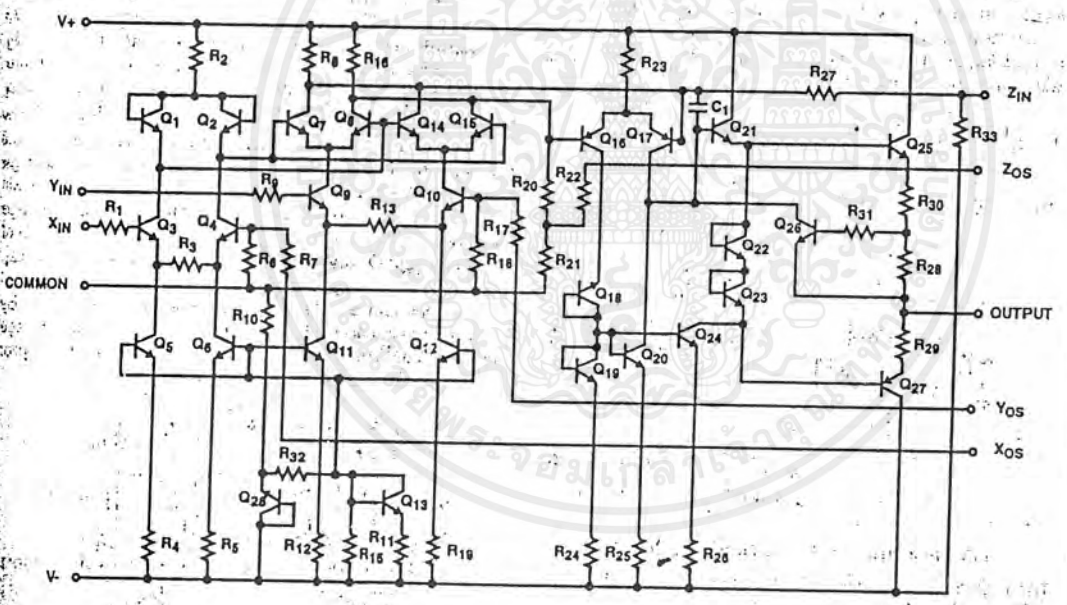
PARAMETER	TEST CONDITIONS	ICL8013A			ICL8013B			ICL8013C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Multiplier Function		-	$\frac{XY}{10}$	-	-	$\frac{XY}{10}$	-	-	$\frac{XY}{10}$	-	
Multiplication Error	-10 < X < 10 -10 < Y < 10	-	-	0.5	-	-	1.0	-	-	2.0	% Full Scale
Divider Function		-	$\frac{10Z}{X}$	-	-	$\frac{10Z}{X}$	-	-	$\frac{10Z}{X}$	-	
Division Error	X = -10	-	0.3	-	-	0.3	-	-	0.3	-	% Full Scale
	X = -1	-	1.5	-	-	1.5	-	-	1.5	-	% Full Scale
Feedthrough	X = 0, Y = ±10V	-	-	50	-	-	100	-	-	200	mV
	Y = 0, X = ±10V	-	-	50	-	-	100	-	-	150	mV
Non-Linearity X Input	X = $20V_{P-P}$ Y = $\pm10V_{DC}$	-	±0.5	-	-	±0.5	-	-	±0.8	-	%
Y Input	Y = $20V_{P-P}$ X = $\pm10V_{DC}$	-	±0.2	-	-	±0.2	-	-	±0.3	-	%
Frequency Response Small Signal Bandwidth (-3dB)		-	1.0	-	-	1.0	-	-	1.0	-	MHz
Full Power Bandwidth		-	750	-	-	750	-	-	750	-	kHz
Slew Rate		-	45	-	-	45	-	-	45	-	V/µs
1% Amplitude Error		-	75	-	-	75	-	-	75	-	kHz
1% Vector Error (0.5° Phase Shift)		-	5	-	-	5	-	-	5	-	kHz
Settling Time (to ±2% of Final Value)	V_{IN} = ±10V	-	1	-	-	1	-	-	1	-	µs
Overload Recovery (to ±2% of Final Value)	V_{IN} = ±10V	-	1	-	-	1	-	-	1	-	µs
Output Noise	5Hz to 10kHz	-	0.6	-	-	0.6	-	-	0.6	-	mV_{RMS}
	5Hz to 5MHz	-	3	-	-	3	-	-	3	-	mV_{RMS}
Input Resistance X Input	V_{IN} = 0V	-	10	-	-	10	-	-	10	-	MΩ
Y Input		-	6	-	-	6	-	-	6	-	MΩ
Z Input		-	36	-	-	36	-	-	36	-	kΩ
Input Bias Current X or Y Input	V_{IN} = 0V	-	2	5	-	-	7.5	-	-	10	µA
Z Input		-	25	-	-	25	-	-	25	-	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Electrical Specifications $T_A = 25^oC$, $V_{SUPPLY} = \pm15V$, Gain and Offset Potentiometers Externally Trimmed, Unless Otherwise Specified **(Continued)**

PARAMETER	TEST CONDITIONS	ICL8013A			ICL8013B			ICL8013C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Power Supply Variation		-		-	-		-	-	-	-	
Multiplication Error		-	0.2			0.2			0.2		%/%
Output Offset		-	-	50	-	-	75	-	-	100	mV/V
Scale Factor		-	0.1	-	-	0.1	-	-	0.1	-	%/%
Quiescent Current		-	3.5	6.0	-	3.5	6.0	-	3.5	6.0	mA
THE FOLLOWING SPECIFICATIONS APPLY OVER THE OPERATING TEMPERATURE RANGES											
Multiplication Error	$-10V < X_{IN} < 10V$, $-10V < Y_{IN} < 10V$	-	1.5	-	-	2	-	-	3	-	% Full Scale
Average Temp. Coefficients		-		-	-		-	-		-	
Accuracy			0.06			0.06			0.06		%/°C
Output Offset		-	0.2	-	-	0.2	-	-	0.2	-	mV/°C
Scale Factor		-	0.04	-	-	0.04	-	-	0.04	-	%/°C
Input Bias Current		-	-		-	-		-	-		
X or Y Input	$V_{IN} = 0V$			5			5			10	µA
Z Input		-	-	25	-	-	25	-	-	35	µA
Input Voltage (X, Y, or Z)		-	-	±10	-	-	±10	-	-	±10	V
Output Voltage Swing	$R_L \geq 2k\Omega$ $C_L < 1000pF$	-	±10	-	-	±10	-	-	±10	-	V

Schematic Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Application Information

Detailed Circuit Description

The fundamental element of the ICL8013 multiplier is the bipolar differential amplifier of Figure 1.

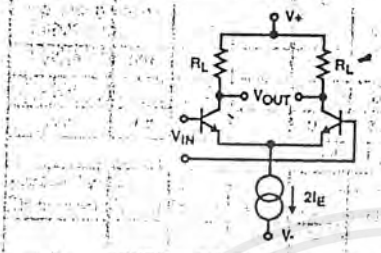


FIGURE 1. DIFFERENTIAL AMPLIFIER

The small signal differential voltage gain of this circuit is given by:

$$A_V = \frac{V_{OUT}}{V_{IN}} = \frac{R_L}{r_E}$$

Substituting $r_E = \frac{1}{g_M} = \frac{kT}{qI_E}$

$$V_{OUT} = V_{IN}\left(\frac{R_L}{r_E}\right) = V_{IN} \times \frac{qI_E R_L}{kT}$$

The output voltage is thus proportional to the product of the input voltage V_{IN} and the emitter current I_E. In the simple transconductance multiplier of Figure 2, a current source comprising Q_3, D_1, and R_Y is used. If V_Y is large compared with the drop across D_1, then

$$I_D = \frac{V_Y}{R_Y} = 2I_E \text{ and}$$

$$V_{OUT} = \frac{qR_L}{kTR_Y}(V_X \times V_Y)$$

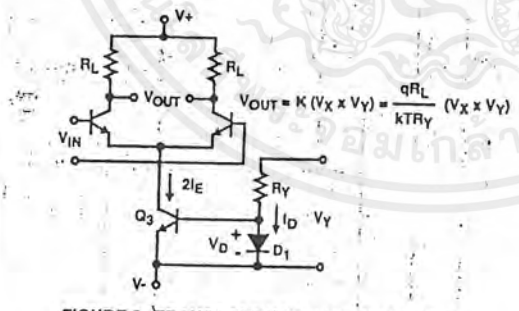


FIGURE 2. TRANSCONDUCTANCE MULTIPLIER

There are several difficulties with this simple modulator:

1. V_Y must be positive and greater than V_D.
2. Some portion of the signal at V_X will appear at the output unless $I_E = 0$.
3. V_X must be a small signal for the differential pair to be linear.
4. The output voltage is not centered around ground.

The first problem relates to the method of converting the V_Y voltage to a current to vary the gain of the V_X differential pair. A better method, Figure 3, uses another differential pair but with considerable emitter degeneration. In this circuit the differential input voltage appears across the common emitter resistor, producing a current which adds or subtracts from the quiescent current in either collector. This type of voltage to current converter handles signals from 0V to ±10V with excellent linearity.

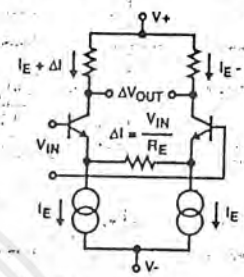


FIGURE 3. VOLTAGE TO CURRENT CONVERTER

The second problem is called feedthrough; i.e., the product of zero and some finite input signal does not produce zero output voltage. The circuit whose operation is illustrated by Figures 4A, 4B, and 4C overcomes this problem and forms the heart of many multiplier circuits in use today.

This circuit is basically two matched differential pairs with cross coupled collectors. Consider the case shown in Figure 4A of exactly equal current sources basing the two pairs. With a small positive signal at V_{IN}, the collector current of Q_1 and Q_4 will increase but the collector currents of Q_2 and Q_3 will decrease by the same amount. Since the collectors are cross coupled the current through the load resistors remains unchanged and independent of the V_{IN} input voltage.

In Figure 4B, notice that with $V_{IN} = 0$ any variation in the ratio of biasing current sources will produce a common mode voltage across the load resistors. The differential output voltage will remain zero. In Figure 4C we apply a differential input voltage with unbalanced current sources. If I_{E1} is twice I_{E2} the gain of differential pair Q_1 and Q_2 is twice the gain of pair Q_3 and Q_4. Therefore, the change in cross coupled collector currents will be unequal and a differential output voltage will result. By replacing the separate biasing current sources with the voltage to current converter of Figure 3 we have a balanced multiplier circuit capable of four quadrant operation (Figure 5).

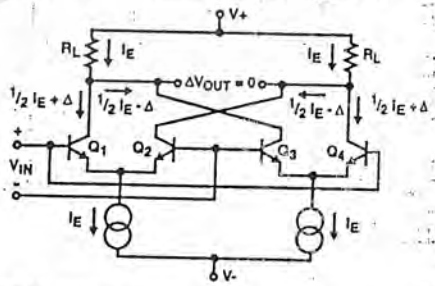


FIGURE 4A. INPUT SIGNAL WITH BALANCED CURRENT SOURCES $\Delta V_{OUT} = 0V$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

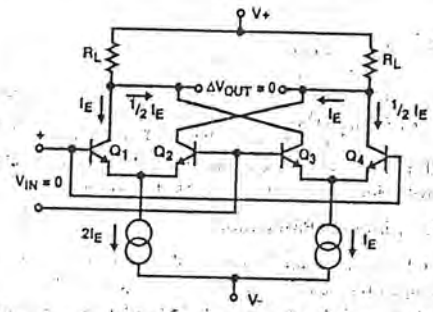


FIGURE 4B. NO INPUT SIGNAL WITH UNBALANCED CURRENT SOURCES $\Delta V_{OUT} = 0V$

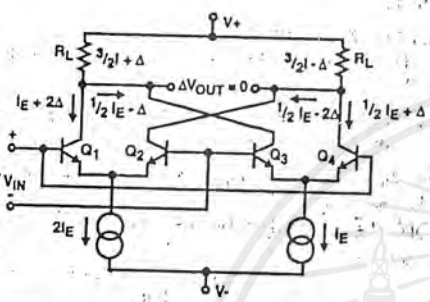


FIGURE 4C. INPUT SIGNAL WITH UNBALANCED CURRENT SOURCES, DIFFERENTIAL OUTPUT VOLTAGE

This circuit of Figure 5 still has the problem that the input voltage V_{IN} must be small to keep the differential amplifier in the linear region. To be able to handle large signals, we need an amplitude compression circuit.

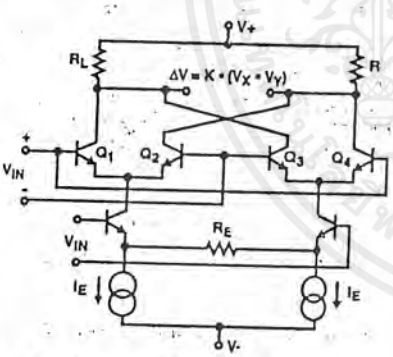


FIGURE 5. TYPICAL FOUR QUADRANT MULTIPLIER-MODULATOR

Figure 2 showed a current source formed by relying on the matching characteristics of a diode and the emitter base junction of a transistor. Extension of this idea to a differential circuit is shown in Figure 6A. In a differential pair, the input voltage splits the biasing current in a logarithmic ratio. (The usual assumption of linearity is useful only for small signals.) Since the input to the differential pair in Figure 6A is the difference in voltage across the two diodes, which in turn is proportional to the log of the ratio of drive currents, it follows that the ratio of diode currents and the ratio of collector currents are linearly related and independent of amplitude. If we combine this circuit with the voltage to current converter of Figure 3, we have Figure 6B. The output of the differential amplifier is now proportional to the input voltage over a large dynamic range, thereby improving linearity while minimizing drift and noise factors.

The complete schematic is shown after the Electrical Specifications Table. The differential pair Q_3 and Q_4 form a voltage to current converter whose output is compressed in collector diodes Q_1 and Q_2. These diodes drive the balanced cross-coupled differential amplifier Q_7/Q_8 Q_{14}/Q_{15}. The gain of these amplifiers is modulated by the voltage to current converter Q_9 and Q_{10}. Transistors Q_5, Q_6, Q_{11}, and Q_{12} are constant current sources which bias the voltage to current converter. The output amplifier comprises transistors Q_{16} through Q_{27}.

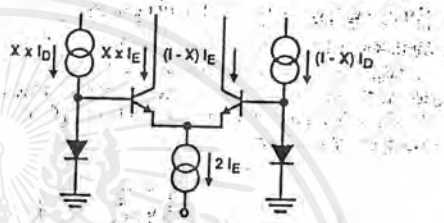


FIGURE 6A. CURRENT GAIN CELL

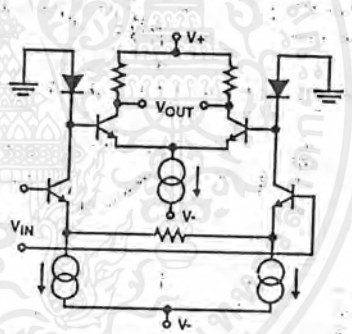


FIGURE 6B. VOLTAGE GAIN WITH SIGNAL COMPRESSION

Definition of Terms

Multiplication/Division Error: This is the basic accuracy specification. It includes terms due to linearity, gain, and offset errors, and is expressed as a percentage of the full scale output.

Feedthrough: With either input at zero, the output of an ideal multiplier should be zero regardless of the signal applied to the other input. The output seen in a non-ideal multiplier is known as the feedthrough.

Nonlinearity: The maximum deviation from the best straight line constructed through the output data, expressed as a percentage of full scale. One input is held constant and

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

the other swept through it nominal range. The nonlinearity is the component of the total multiplication/division error which cannot be trimmed out.

Typical Applications

Multiplication

In the standard multiplier connection, the Z terminal is connected to the op amp output. All of the modulator output current thus flows through the feedback resistor R_{27} and produces a proportional output voltage.

Multiplier Trimming Procedure

1. Set $X_{IN} = Y_{IN} = 0V$ and adjust Z_{OS} for zero Output.
2. Apply a ±10V low frequency (≤100Hz) sweep (sine or triangle) to Y_{IN} with $X_{IN} = 0V$, and adjust X_{OS} for minimum output.
3. Apply the sweep signal of Step 2 to X_{IN} with $Y_{IN} = 0V$ and adjust Y_{OS} for minimum Output.
4. Readjust Z_{OS} as in Step 1, if necessary.
5. With $X_{IN} = 10.0V_{DC}$ and the sweep signal of Step 2 applied to Y_{IN}, adjust the Gain potentiometer for Output = Y_{IN}. This is easily accomplished with a differential scope plug-in (A+B) by inverting one signal and adjusting Gain control for (Output - Y_{IN}) = Zero.

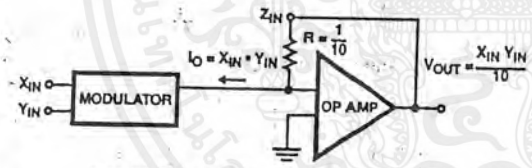


FIGURE 7A. MULTIPLIER BLOCK DIAGRAM

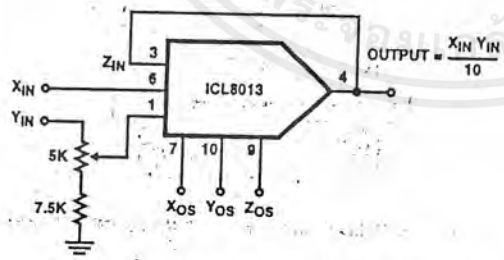


FIGURE 7B. MULTIPLIER CIRCUIT CONNECTION

Division

If the Z terminal is used as an input, and the output of the op amp connected to the Y input, the device functions as a divider. Since the input to the op amp is at virtual ground, and requires negligible bias current, the overall feedback forces the modulator output current to equal the current produced by Z.

Therefore $I_O = X_{IN} \cdot Y_{IN} = \frac{Z_{IN}}{R} = 10Z_{IN}$

Since $Y_{IN} = V_{OUT}$, $V_{OUT} = \frac{10Z_{IN}}{X_{IN}}$

Note that when connected as a divider, the X input must be a negative voltage to maintain overall negative feedback.

Divider Trimming Procedure

1. Set trimming potentiometers at mid-scale by adjusting voltage on pins 7, 9 and 10 (X_{OS}, Y_{OS}, Z_{OS}) for 0V.
2. With $Z_{IN} = 0V$, trim Z_{OS} to hold the Output constant, as X_{IN} is varied from -10V through -1V.
3. With $Z_{IN} = 0V$ and $X_{IN} = -10.0V$ adjust Y_{OS} for zero Output voltage.
4. With $Z_{IN} = X_{IN}$ (and/or $Z_{IN} = -X_{IN}$) adjust X_{OS} for minimum worst case variation of Output, as X_{IN} is varied from -10V to -1V.
5. Repeat Steps 2 and 3 if Step 4 required a large initial adjustment.
6. With $Z_{IN} = X_{IN}$ (and/or $Z_{IN} = -X_{IN}$) adjust the gain control until the output is the closest average around +10.0V (-10V for $Z_{IN} = -X_{IN}$) as X_{IN} is varied from -10V to -3V.

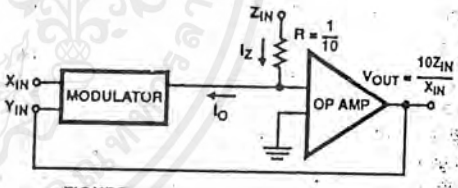


FIGURE 8A. DIVISION BLOCK DIAGRAM

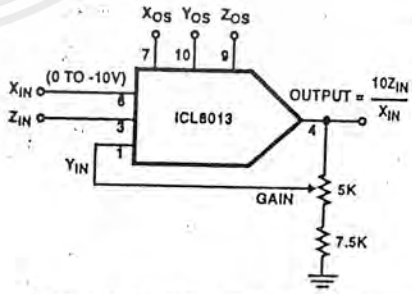


FIGURE 8B. DIVISION CIRCUIT CONNECTION

Squaring

The squaring function is achieved by simply multiplying with the two inputs tied together. The squaring circuit may also be used as the basis for a frequency doubler since $\cos^2\omega t = {}^1/_2 (\cos 2\omega t + 1)$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ

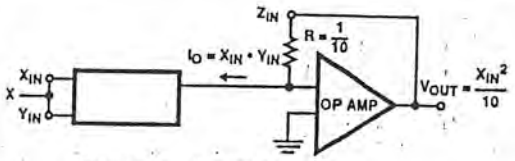


FIGURE 9A. SQUARER BLOCK DIAGRAM

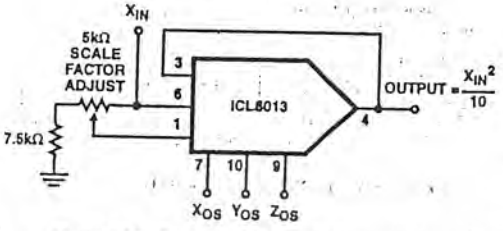


FIGURE 9B. SQUARER CIRCUIT CONNECTION

Square Root

Tying the X and Y inputs together and using overall feedback from the op amp results in the square root function. The output of the modulator is again forced to equal the current produced by the Z input.

$$I_O = X_{IN} \times Y_{IN} = (-V_{OUT})^2 = 10Z_{IN}$$

$$V_{OUT} = -\sqrt{10Z_{IN}}$$

The output is a negative voltage which maintains overall negative feedback. A diode in series with the op amp output prevents the latchup that would otherwise occur for negative input voltages.

Square Root Trimming Procedure

1. Connect the ICL8013 in the Divider configuration.
2. Adjust Z_{OS}, Y_{OS}, X_{OS}, and Gain using Steps 1 through 6 of Divider Trimming Procedure.
3. Convert to the Square Root configuration by connecting X_{IN} to the output and inserting a diode between Pin 4 and the output node.
4. With Z_{IN} = 0V adjust Z_{OS} for zero output voltage.

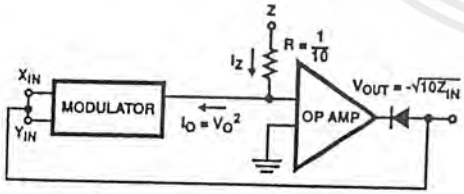


FIGURE 10A. SQUARE ROOT BLOCK DIAGRAM

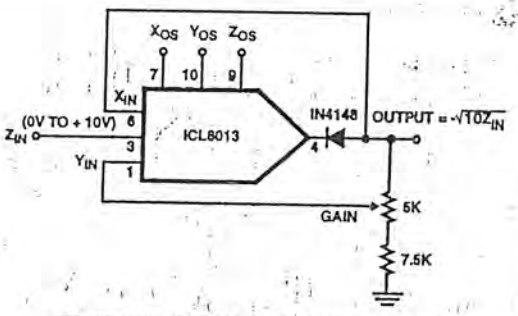


FIGURE 10B. ACTUAL CIRCUIT CONNECTION

Variable Gain Amplifier

Most applications for the ICL8013 are straight forward variations of the simple arithmetic functions described above. Although the circuit description frequently disguises the fact, it has already been shown that the frequency doubler is nothing more than a squaring circuit. Similarly the variable gain amplifier is nothing more than a multiplier, with the input signal applied at the X input and the control voltage applied at the Y input.

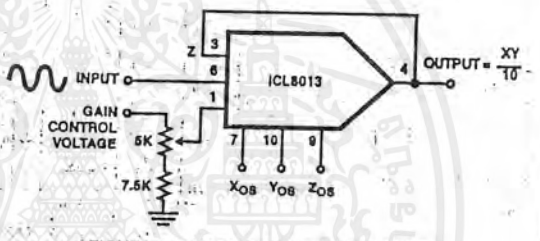


FIGURE 11. VARIABLE GAIN AMPLIFIER

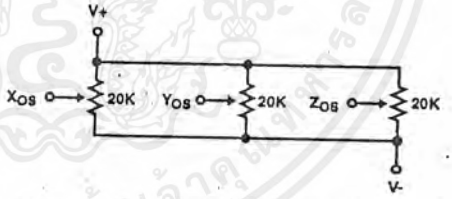


FIGURE 12. POTENTIOMETERS FOR TRIMMING OFFSET AND FEEDTHROUGH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Typical Performance Curves

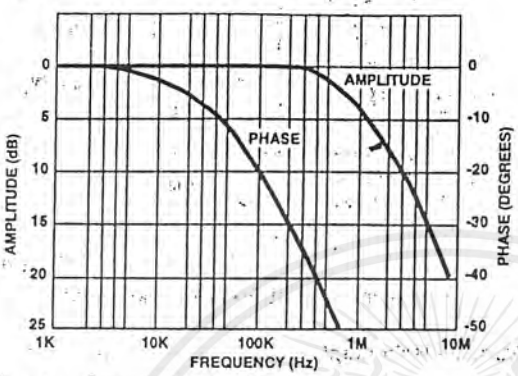


FIGURE 13. FREQUENCY RESPONSE

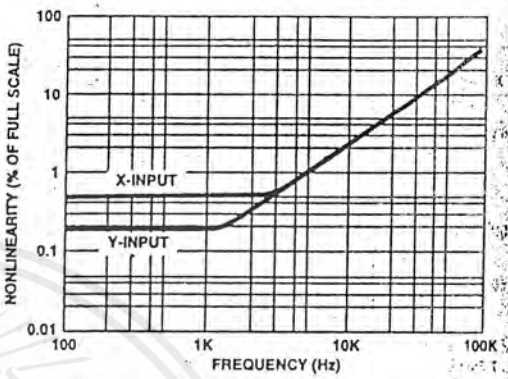


FIGURE 14. NONLINEARITY vs FREQUENCY

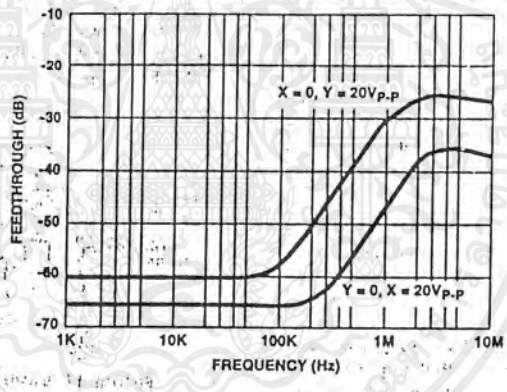


FIGURE 15. FEEDTHROUGH vs FREQUENCY