สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

# การออกแบบวงจรขยายสัญญาณโดยใช้ซีมอสออปแอมป์

# CMOS Operational Amplifier Design

โดย

นายนิวัฒน์ชัย เหลืองสะอาด รหัส 40013215

อาจารย์ที่ปรึกษา

ดร. วรากร เกษมสุวรรณ์

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน 36899
วัน, เดือน, ปี 29 ส.ค. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2542

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบวงจรขยายสัญญาณโดยใช้ซีมอสออปแอมป์

ผู้จัดทำ นายนิวัฒน์ชัย เหลืองสะอาด

.....อาจารย์ที่ปรึกษา

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์เรื่อง การออกแบบวงจรขยายสัญญาณโดยใช้ซีมอสออปแอมป์

CMOS OPERATIONAL AMPLIFIER DESIGN

ผู้จัดทำ นายนิวัฒน์ชัย เหลืองสะอาด รหัส 40013215

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

ลงชื่อ ..... อาจารย์ที่ปรึกษา

(.....)

อาจารย์ที่ปรึกษา

วันที่ 08/04/43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


| | หน้า |
|---|---|
| บทคัดย่อ | |
| บทที่ 1 บทนำ | 1 |
| บทที่ 2 ทฤษฎีมอสเฟท | 4 |
| 2.1 ลักษณะทั่วไป | 4 |
| 2.2 โครงสร้างพื้นฐาน | 4 |
| 2.3 การทำงาน | 11 |
| 2.4 หลักการให้ไบอัส | 12 |
| 2.5 คุณสมบัติความสัมพันธ์ระหว่างกระแสกับแรงดัน | 15 |
| 2.6 ความสัมพันธ์ของค่าความจุและแรงดัน | 19 |
| 2.7 ระบบมอสในอุดมคติ | 19 |
| 2.8 ระบบมอสที่แท้จริง | 23 |
| 2.9 บอดี้ไบอัส | 25 |
| 2.10 โปรเซสพารามิเตอร์ | 26 |
| 2.11 พาราซิติกคาปาซิแตนซ์ | 26 |
| 2.12 เดรน-ซอสรีซีสแตนซ์ | 28 |
| บทที่ 3 องค์ประกอบพื้นฐานของวงจรขยายสัญญาณ | 29 |
| 3.1 ภาคไบอัสวงจรขยายสัญญาณ | 29 |
| 3.2 ภาคขยายความแตกต่าง | 36 |
| 3.2.1 Differential Amplifier MOSFET | 37 |
| 3.2.2 ภาคขยายความแตกต่างแบบ Cascode | 48 |
| 3.3 วงจรยกระดับแรงดัน | 50 |
| 3.4 วงจรภาคเอาท์พุท | 51 |
| 3.4.1 วงจรเอาท์พุทแบบไม่มีการป้อนกลับ | 51 |
| 3.4.2 วงจรเอาท์พุทที่มีการป้อนกลับ | 54 |
| 3.5 ภาคชดเชยความถี่ | 56 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**บทที่ 4 การออกแบบวงจรขยายสัญญาณ** 62
**4.1 การออกแบบวงจรขยายสัญญาณแบบสองสเตท** 62
**4.2 การปรับปรุงการออกแบบวงจรขยายสัญญาณโดยวิธี Folded Cascode** 63
4.2.1 การออกแบบวงจรภาคไบอัสให้กับวงจรขยายสัญญาณ 66
4.2.2 การออกแบบภาคขยายความแตกต่างแบบ Folded Cascode 68
4.2.3 การออกแบบภาคยกระดับแรงดัน 72
4.2.4 การออกแบบภาคเอาท์พุท 74
4.2.5 การออกแบบวงจรแรงดันอ้างอิง 77
**บทที่ 5 การทดสอบคุณสมบัติของวงจรขยายสัญญาณแบบโอเปอเรชั่น** 82
**5.1 กรณียังไม่มีการชดเชยทางความถี่** 82
5.1.1 การทดสอบอัตราขยายขณะเปิดลูป 83
5.1.2 การทดสอบอัตราสลู 84
5.1.3 การทดสอบ Noise 85
5.1.4 การทดสอบค่า Setting Time 86
5.1.5 การทดสอบเอาท์พุทสวิง 87
**5.2 กรณีที่มีการชดเชยทางความถี่** 88
5.2.1 การทดสอบอัตราขยายขณะเปิดลูป 89
5.2.2 การทดสอบอัตราสลู 90
5.2.3 การทดสอบ Noise 91
5.2.4 การทดสอบค่า Setting Time 92
5.2.5 การทดสอบเอาท์พุทสวิง 93
**5.3 การทดสอบวงจรในภาคต่างๆ** 101
**5.4 การออกแบบวงจรใน LEVEL 3** 104
**5.5 การทดสอบคุณสมบัติต่างๆใน LEVEL 3** 105
**5.6 ผลจาก Output file ในสภาวะปกติ (LEVEL 3)** 110
**บทที่ 6 สรุปผลการทดสอบและวิจารณ์** 117
**กิตติกรรมประกาศ**
**หนังสืออ้างอิง**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรขยายสัญญาณโดยใช้มอสทรานซิสเตอร์

นิวัฒน์ชัย เหลืองสะอาด

ดร. วรากร เกษมสุวรรณ์ อาจารย์ที่ปรึกษา

ปีการศึกษา 2542

**บทคัดย่อ**

โครงงานนี้ เป็นการออกแบบวงจรออปแอมป์ให้มีประสิทธิภาพสูง มีเสถียรภาพและสามารถทนทานต่อการเปลี่ยนแปลงศักย์ไฟฟ้า ค่าพารามิเตอร์ต่างๆ ที่ใช้ในการออกแบบเป็นของ Alcatel Microelectronics (AMS) โดยวงจรออปแอมป์ดังกล่าวจะมีคุณสมบัติตามข้อกำหนดของวงจรที่ถูกออกแบบขึ้นโดยโครงงานการประกวดการออกแบบวงจรรวมแห่งประเทศไทยครั้งที่ 1 โดยทางศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (NECTEC) เป็นผู้ริเริ่ม เพื่อเป็นการยืนยันว่าวงจรออปแอมป์ที่ถูกออกแบบนั้นทำงานได้อย่างถูกต้องและมีคุณสมบัติตามข้อกำหนด ผู้เสนอโครงงานจะใช้โปรแกรม PSpice ตรวจสอบโดยจะอาศัยขั้นตอนมาตราฐานในการหาคุณสมบัติทุกตัวของวงจร พร้อมทั้งใช้การวิเคราะห์แบบ Monte Carlo เพื่อตรวจสอบความมีเสถียรภาพและประสิทธิภาพโดยรวมของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**CMOS OPERATIONAL AMPLIFIER DESIGN**

**Mr. Niwatchai Luangsa-ard**

**Dr. Warakorn Kasemsuwan Advisor**

**Academic Year 1999**

Abstract

In this project, the high performance CMOS operational amplifier (OP-AMP) is designed. The parameters being used belong to the Alcatel Microelectronics (AMS). The CMOS OP-AMP meets the specification requirement set by the 1st national ic design contest 2000 held by NECTEC. To ensure the overall performance of the OP-AMP if it works according to the specification, the circuit simulator Pspice has been used to simulate the circuit under various types of analysis including transient, AC Sweep, DC Sweep, Mante Carlo and Waste case analysis and the circuit is proven to agree with the specification.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1
# บทนำ

## 1. บทนำ

เป็นที่รู้กันดีว่า เทคโนโลยีทางด้านอิเล็กทรอนิกส์ ได้เข้ามามีบทบาทต่อชีวิตความเป็นอยู่ของมนุษย์เป็นอย่างมาก โดยเฉพาะในปัจจุบันและในอนาคต ในระบบไฟฟ้า-อิเล็กทรอนิกส์ ส่วนประกอบที่สำคัญอย่างยิ่ง ก็คือ ชิ้นส่วนอิเล็กทรอนิกส์ ซึ่งได้รับการพัฒนามาอย่างต่อเนื่อง โดยเฉพาะ Op-Amp (Operational Amplifier) ในอดีตออปแอมป์ถูกสร้างขึ้นโดยการนำทรานซิสเตอร์และอุปกรณ์ประเภทพาสซีพ (Passive devices) หลายๆตัวมาต่อกันบนแผ่นวงจร อย่างไรก็ตามวงจรออปแอมป์ในปัจจุบัน ถูกออกแบบให้ทรานซิสเตอร์และอุปกรณ์ประเภทพาสซิฟทุกตัวทำงานอยู่บนชิ้นผลึกสารกึ่งตัวนำซิลิกอน (Substrate) หรือเป็นที่รู้จักกันว่า "วงจรรวม" (Integrated circuits)

## 2. วัตถุประสงค์และเป้าหมาย

1. ศึกษาและพัฒนาทักษะความรู้ความเข้าใจในการออกแบบวงจรรวมเชิงอุปมาน
2. เพื่อเป็นส่วนหนึ่งในการช่วยพัฒนาบุคลากรให้มีความสามารถในการออกแบบวงจรรวมเชิงอุปมาน

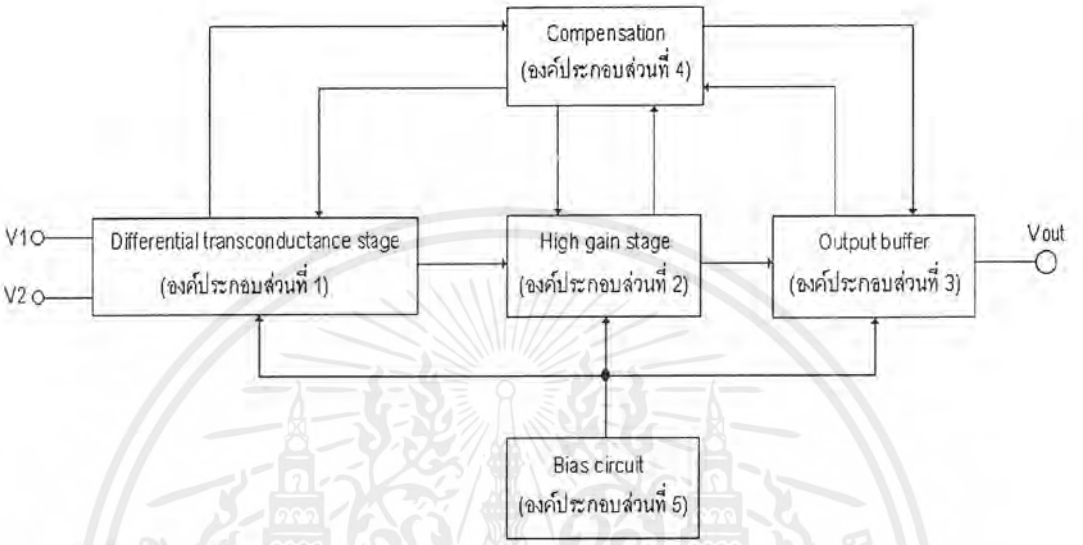
## 3. แนวคิดในการออกแบบ

ในการออกแบบวงจรออปแอมป์ที่ดีควรมีอัตราขยายผลต่างสูง อัตราขยายร่วมต่ำ และในขณะเดียวกันก็ต้องมีความสามารถในการขับโหลดต่ำๆได้ การทำงานของวงจรออปแอมป์นั้นควรทำงานอย่างมีเสถียรภาพ (ไม่เกิดการ Oscillate) โดยไม่ขึ้นกับชนิดของโหลด และชนิดของการป้อนกลับ โดยพิจารณาจากหลักการดังกล่าวข้างต้น วงจรออปแอมป์ควรประกอบไปด้วย 5 ส่วนหลักดังต่อไปนี้

1. ภาคอัตราขยายความแตกต่าง (Differential transconductance stage)
2. ภาคขยาย (High gain stage)
3. ภาคขยายกำลัง (Output buffer)
4. ภาคชดเชยความถี่ (Compensation)
5. ภาคจ่ายไฟ (Bias circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากองค์ประกอบข้างต้น สามารถนำมาประกอบกันเป็นวงจรออปแอมป์ในลักษณะบล๊อคไดอะแกรมดังรูป




**แนวความคิดในแต่ละส่วนมีดังนี้**

1. ภาคอัตราการขยายความแตกต่าง (Differential transconductance stage)

   ในภาคนี้จะออกแบบให้วงจรมีอัตราการขยายผลต่าง (Differential mode gain) และช่วงของการขยายสัญญาณร่วม (Input common mode range) ความต้านทานทางอินพุท (Input impedance) และความต้านทานทางเอาท์พุท (Output impedance) สูง ในขณะเดียวกันควรมีแรงดันออฟเซท (Offset) และสัญญาณรบกวน (Noise) ต่ำ

2. ภาคขยาย (High gain stage)

   อัตราการขยายที่ได้จากภาคขยายความแตกต่างโดยลำพังนั้น อาจไม่เพียงพอ ดังนั้นจึงต้องมีการออกแบบภาคขยายในส่วนนี้ เพื่อช่วยให้อัตราการขยายรวมของวงจรออปแอมป์มีค่าสูงขึ้น นอกเหนือจากนั้น ภาคนี้อาจจะต้องทำหน้าที่ขยายสัญญาณในลักษณะ differential เป็นแบบ Single ended ในกรณีที่ภาคแรกมีสัญญาณทางด้านเอาท์พุทเป็นแบบ differential

3. ภาคขยายกำลัง (Output buffer)

   สำหรับในภาคนี้นั้นควรจะออกแบบให้มีอัตราการขยายกระแสสูงและความผิดเพี้ยนของสัญญาณมีค่าน้อยที่สุด นอกจากนั้นภาคนี้ควรมีการออกแบบในส่วนของวงจรป้องกันการช๊อตทางเอาท์พุทและควรมีความสามารถในการยอมให้สัญญาณที่เอาท์พุทมีย่านทำงานอย่างเชิงเส้น (Output swing) กว้าง โดยต้องคำนึงถึงการสูญเสียกำลังที่ตัวทรานซิสเตอร์ด้วย เพื่อใช้ประกอบในการพิจารณาชนิดของวงจรในภาคขยายกำลังนี้ (Class A หรือ Class AB เป็นต้น)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ภาคชดเชยทางความถี่ (Compensation)

การออกแบบภาคชดเชยความถี่นี้ จะต้องพิจารณา Phase margin เป็นหลัก ในโครงงานนี้ ผู้เสนอโครงงานจะออกแบบให้วงจรมี Phase margin อย่างน้อย 60 องศา เพื่อป้องกันการออสซิเลทที่อาจจะเกิดขึ้นได้กับออปแอมป์ในการใช้งานกับโหลดภายใต้การป้อนกลับแบบลบที่มีปัจจัยฟีดแบค (Feedback factor) ต่างๆ และในขณะเดียวกันให้ได้ Settling time ที่เหมาะสม

5. ภาคจ่ายไฟ (Bias circuit)

วงจรในส่วนของภาคจ่ายไฟนั้นจะถูกออกแบบให้มีเสถียรภาพในการจ่ายไฟสูงโดยไม่เปลี่ยนแปลง ตามสภาวะแวดล้อม เช่น อุณหภูมิ หรือ การกระเพื่อมของแหล่งจ่ายไฟหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2
# ทฤษฎีมอสเฟท

## 2.1 ลักษณะทั่วไป

มอสเฟทเป็นอุปกรณ์ขั้นพื้นฐานในการใช้สร้างวงจรรวม (Integrated Circuit,IC) แบบซีมอส ในความเป็นจริงโดยส่วนใหญ่ ลอจิกเน็ทเวอร์คต่างๆจะมีโครงสร้างของมอสเฟทแทบทั้งสิ้น อุปกรณ์ทางไฟฟ้าอื่นๆ เช่น ความต้านทาน (Resister) และตัวเก็บประจุ (Capacitor) จะเกิดขึ้นก็เป็นเพียงแต่ พาราซิติก ที่เกิดขึ้นจากโครงสร้างทางฟิสิกข์เท่านั้น ในส่วนนี้จะได้นำเสนอถึงการทำงานของมอสเฟท และวิธีการออกแบบอย่างไรที่จะทำให้เกิดผลกับคุณสมบัติทางไฟฟ้า

มอสเฟทเป็นอุปกรณ์สวิชชิ่งพื้นฐาน ซึ่งสามารถบรรจุใน IC ได้เป็นจำนวนมาก เพราะว่ามีขนาดเล็ก และสามารถสลับการทำงานกันระหว่างขาเดรนและขาซอส ซึ่งสามารถกระทำได้ภายใต้การออกแบบวงจรซีมอส อย่างไรก็ตามคุณสมบัติทางไฟฟ้าต่าง ๆ จะถูกเซตค่าโดยกระบวนการสร้าง การออกแบบนั้นจะใช้วิธีการแปรเปลี่ยนมิติ (dimension) ของทรานซิสเตอร์ เพราะว่ามิติของมอสเฟทจะเป็นตัวกำหนดคุณสมบัติทางไฟฟ้าของตัวอุปกรณ์

## 2.2 โครงสร้างพื้นฐาน

ภาพตัดขวางโครงสร้างของมอสทรานซิสเตอร์ทั่วๆไป ซึ่งประกอบด้วยส่วนสำคัญ 3 ส่วน คือ ส่วนเดรน (Drain Region) ส่วนเกท (Gate Region) และส่วนซอส (Source Region) โดยแต่ละส่วนมีหน้าที่การทำงานและคุณสมบัติแตกต่างกันดังนี้

ส่วนซอส เป็นบริเวณของสารกึ่งตัวนำที่ต่างชนิด (Different Type) กับฐานรอง (Substrate) ทำหน้าที่เป็นแหล่งจ่ายประจุพาหะที่ทำให้เกิดกระแสไฟฟ้าของมอส ($I_{ds}$)

ส่วนเดรน เป็นอีกบริเวณหนึ่งของสารกึ่งตัวนำที่ต่างชนิดกับฐานรอง แต่เป็นสารกึ่งนำชนิดเดียวกันกับส่วนซอส ทำหน้าที่เป็นทางออกไปสู่วงจรภายนอกของประจุพาหะที่มาจากส่วนซอส

ส่วนเกท เป็นบริเวณที่เชื่อมอยู่ระหว่างส่วนเดรนกับส่วนซอส มีโครงสร้างทั่วๆไป ประกอบด้วยชั้นบนสุดเป็นโลหะ (Metal) ตัวนำชั้นรองลงมาจะเป็นพวกฉนวนได้แก่ ออกไซด์ (Oxide) ของสารกึ่งตัวนำที่ใช้และชั้นล่างสุดเป็นสารกึ่งตัวนำ (Semiconductor) ซึ่งใช้เป็นฐานรองด้วย ส่วนเกทนี้จะทำหน้าที่เป็นส่วนควบคุมปริมาณประจุพาหะที่เคลื่อนที่จากส่วนซอสไปยังส่วนเดรนตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากลักษณะโครงสร้างดังกล่าว ซึ่งบริเวณส่วนเกทประกอบด้วย Metal Oxide Semiconductor นี้จึงเรียกทรานซิสเตอร์ชนิดนี้ว่า Mos Transistor และจะเป็นได้ว่ากระแสไหลผ่านส่วนเกทนี้ไปได้น้อยมากๆ เนื่องจากมีชั้นของฉนวนป้องกันอยู่นั่นเอง ดังนั้นในขณะใช้งานส่วนเกทต้องการเพียงแหล่งจ่ายศักดาเท่านั้นไม่ต้องการแหล่งจ่ายกระแสเลย จึงทำให้มอสทรานซิสเตอร์มีความต้องการพลังงานในขณะใช้งาน (Power Consumption) ต่ำนั่นเอง สำหรับส่วนเดรนและส่วนซอสนั้นโดยปกติแล้วจะมีโครงสร้างเหมือนกันทุกประการ ซึ่งสามารถใช้แทนกันได้ อันเป็นคุณสมบัติพิเศษอีกประการหนึ่งของมอสทรานซิสเตอร์ ซึ่งเรียกว่ามีความสมมาตร (Bilaterally Symmetric) เมื่อให้ไบอัสที่เหมาะสมกับส่วนต่าง ๆ ของมอสทรานซิสเตอร์แล้ว ประจุพาหะจากส่วนซอสจะเคลื่อนที่ผ่านช่องทางเดินกระแส (Channel) ในส่วนเกท ซึ่งเป็นส่วนหนึ่งของฐานรองที่อยู่ใกล้ๆ กับผิวสัมผัสระหว่างออกไซด์ ส่วนเกทกับฐานรองที่เกิดการเปลี่ยนแปลงชนิดของสารกึ่งตัวนำไปเป็นชนิดเดียวกับสารกึ่งตัวนำส่วนเดรนและส่วนซอสแล้วไปยังส่วนเดรน การเคลื่อนที่ของประจุพาหะดังกล่าว เกิดจากสนามไฟฟ้าที่ตกคร่อมตลอด จากส่วนซอสถึงส่วนเดรน อันเนื่องมาจากความต่างศักดาระหว่างส่วนทั้งสองนั้น ดังนั้นกระแสดังกล่าวจึงเป็นกระแสดริฟท์ ซึ่งขึ้นอยู่กับขนาดของสนามไฟฟ้าที่ตกคร่อมนั้น โดยที่ขนาดของสนามไฟฟ้าดังกล่าวจะขึ้นอยู่กับขนาดของความแตกต่างศักดาและระยะห่างระหว่างส่วนเดรนกับส่วนซอสนั่นเอง กระแสดริฟท์ที่เกิดขึ้นนี้จะถูกประมาณว่าเกิดจากการเคลื่อนที่ของประจุพาหะส่วนที่มีอยู่ในสารกึ่งตัวนำชนิดนั้นเพียงชนิดเดียว ด้วยเหตุนี้มอสทรานซิสเตอร์จึงถูกเรียกว่าเป็น ยูนิโพล่าร์ ทรานซิสเตอร์ (Unipolar Transistor) และเนื่องจากประจุพาหะส่วนมากในสารกึ่งตัวนำเพียง 2 ชนิด คือ อิเลคตรอนหรือประจุลบในสารกึ่งตัวนำชนิดเอ็น และโฮล หรือประจุบวกในสารกึ่งตัวนำชนิดพี ดังนั้นจึงอาจแบ่งมอสทรานซิสเตอร์ ตามชนิดของประจุที่ทำให้เกิดกระแสโดยพิจารณาที่ชนิดของประจุที่บริเวณช่องทางเดินกระแสในขณะที่เกิดกระแสดริฟท์ ได้เป็น 2 ชนิดคือ

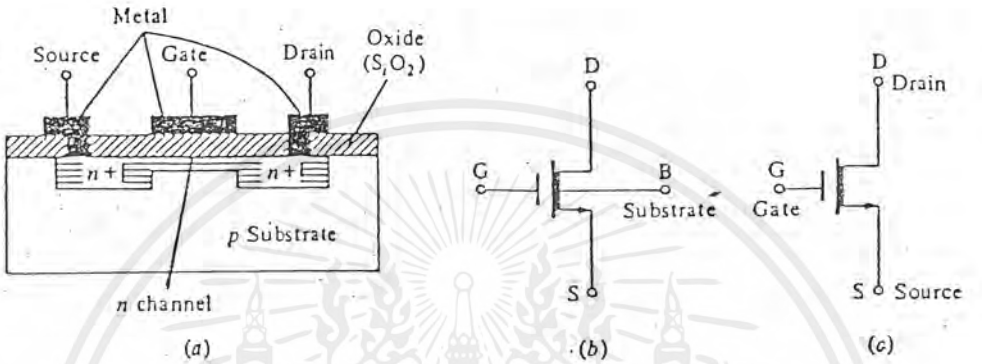
1. เอ็นแชนแนลมอสทรานซิสเตอร์ (N-Channel MOS Transistor :NMOS) ซึ่งหมายถึงมอสทรานซิสเตอร์ ที่มีประจุลบหรืออิเลคตรอนเป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแสดริฟท์ ดังนั้นมอสทรานซิสเตอร์ชนิดนี้ส่วนเดรนและส่วนซอส จึงเป็นสารกึ่งตัวนำชนิดเอ็น (N-type Semiconductor)

2. พีแชนแนลมอสทรานซิสเตอร์ (P-Channel MOS Transistor :PMOS) ซึ่งหมายถึงมอสทรานซิสเตอร์ ที่มีประจุบวกหรือโฮลเป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแสดริฟท์ ดังนั้นมอสทรานซิสเตอร์ชนิดนี้ ส่วนเดรนและส่วนซอสจึงเป็นสารกึ่งตัวนำชนิดพี (P-type Semiconductor)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตามในสภาวะปกติก่อนให้ไบอัสมอสทรานซิสเตอร์ทั่วๆไป สารกึ่งตัวนำบริเวณช่องทางเดินกระแสกับสารกึ่งตัวนำเดรนและซอสอาจเป็นชนิดเดียวกัน (Depletion-Type Mosfet) หรือต่างชนิดกัน (Enhanament-Type Mosfet) ก็ได้

1. Depletion-Type Mosfet




รูปที่ 2.1 รูปโครงสร้างของมอสเฟทชนิด n-channel

รูปที่ 2.1 แสดงโครงสร้างของ Depletion-Type MOSFET ซึ่งจะประกอบด้วยการโด๊ปอย่างเบาด้วย p-type ที่ซับสเตท (substrate) เรียกว่า body ภายในจะมีการโด๊ปอย่างหนักด้วย n-type โดยการแพร่ออกไปดังรูป 2.1a ส่วน channel ที่ตื้นจะโด๊ปอย่างเบาด้วยวัสดุที่เป็น n-type ซึ่งอยู่ระหว่างซอสและเดรนโดยการแผ่ออกไป บริเวณระหว่างซอสและเดรนจะถูกปกคลุมด้วยชั้นของออกไซด์ (oxide layer) ใน MOSFET เกทจะแยกออกจากสารกึ่งตัวนำโดยชั้นของออกไซด์ ด้วยเหตุนี้จึงมีอีกชื่อหนึ่งว่า insulated-gate field – effect transistor (IGFET)

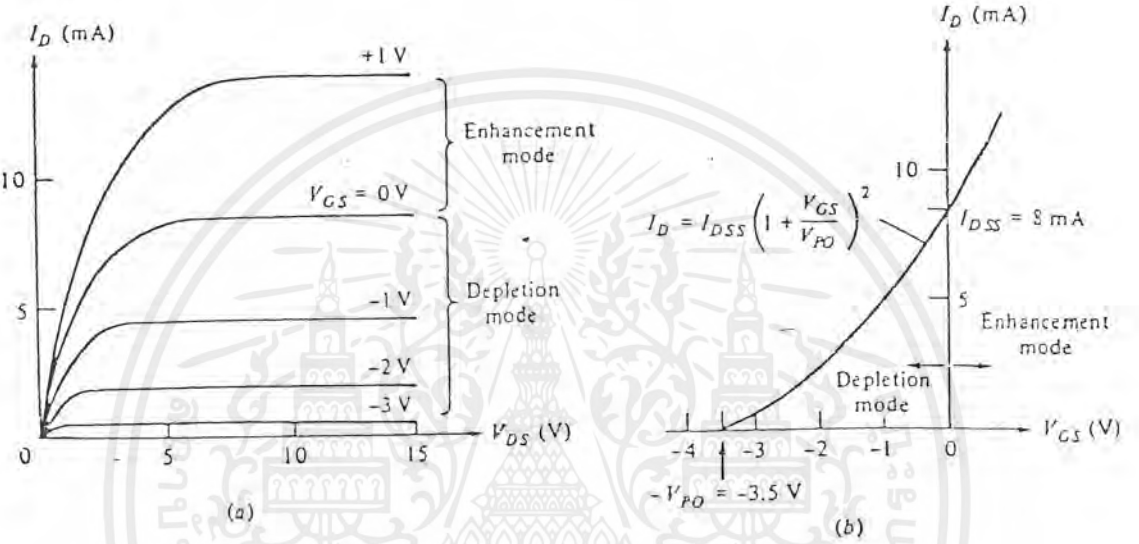
สัญลักษณ์ของ MOSFET ชนิด depletion แบบ n-channel หรือเรียกง่ายๆว่า NMOS แสดงดังรูป 2.1b และ c สำหรับ MOSFET โดยพื้นฐานจะคล้ายกันกับ JFET ในรูปที่ 2.1a ถ้าแรงดันระหว่างเกทและซอสโดยที่เกทเป็นลบ เมื่อเทียบกับซอสจะทำให้ประจุบวกเหนี่ยวนำไปที่ channel การเหนี่ยวนำของประจุบวกทำให้เกิดพาหะส่วนมากที่ดีพลีชั่น (อิเลคตรอนใน n-channel ดังนั้น channel จะมีค่าความนำน้อย

ถ้าที่เกทได้รับลบอย่างเพียงพอ บริเวณดีพลีชั่นจะขยายข้ามไปยัง channel และ channel จะไม่สามารถนำกระแส เงื่อนไขนี้ก็คือ pinch–off และโดยทั่วไปจะมีค่าอยู่ระหว่างเดียวกันกับค่าของ JFET V – I characteristics ของ MOSFET ใน depletion–mode จะมีความคล้ายกันกับ JFET ซึ่งดีพลีชั่นโหมดจะทำงานอยู่ที่ค่าของ Vgs เป็นลบ ซึ่งก็คือที่เกทได้รับแรงดันลบเมื่อเทียบกับซอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าที่ขาเกทได้รับแรงดันเป็นบวกเมื่อเทียบกับซอส ดังรูป 2.1a ประจุลบจะเหนี่ยวนำไปยัง channal ดังนั้นจะทำให้พาหะส่วนมากใน channel เพิ่มขึ้น ค่าความนำของ channel เพิ่มขึ้น ค่าความนำของ channel จึงเพิ่มตาม และกระแสเดรนจะมีค่ามากกว่า Ids enhancement–mode จะทำงานได้เมื่อค่า Vgs เป็นบวกสำหรับ ชนิด n-channel

ดังนั้น MOSFET ชนิดดีพลีชั่น สามารถทำงานได้ทั้ง enhancement mode หรือ depletion mode และ V - I characteristics ของ MOSFET ชนิดดีพลีชั่น แสดงดังรูป 2.2



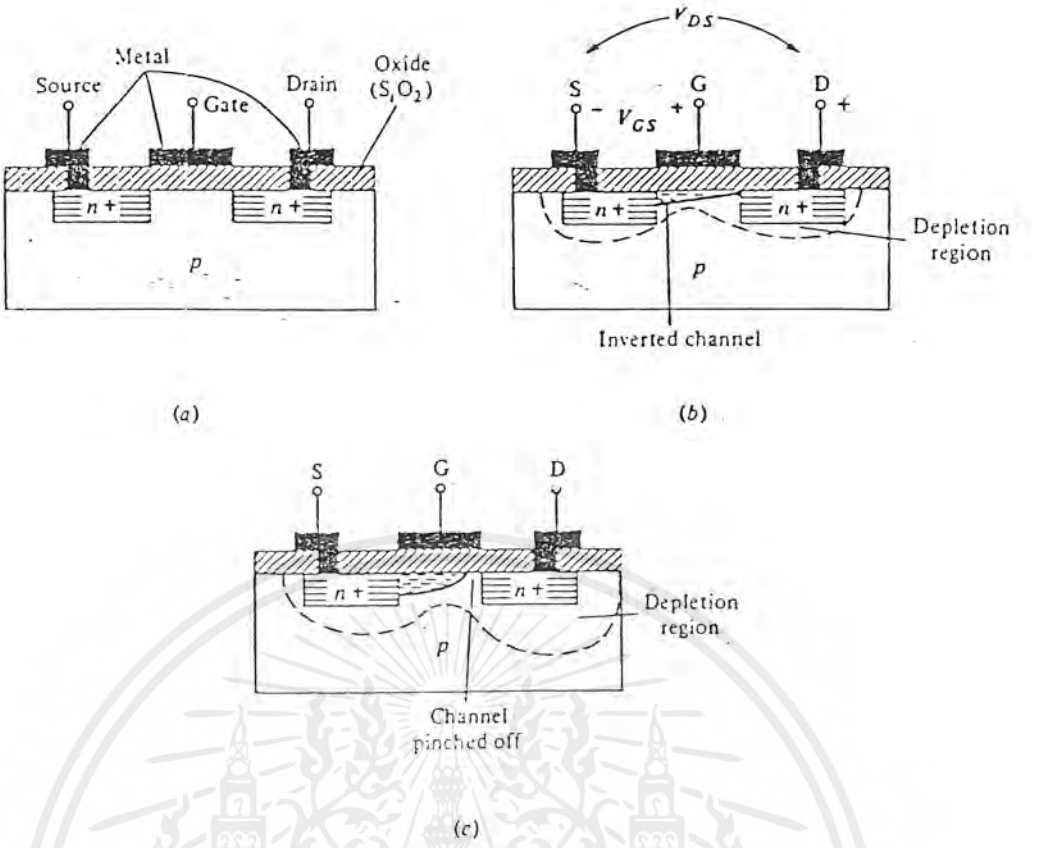

รูปที่ 2.2 แสดงกราฟคุณลักษณะของ Mosfet

2. Enhancement–Type MOSFET

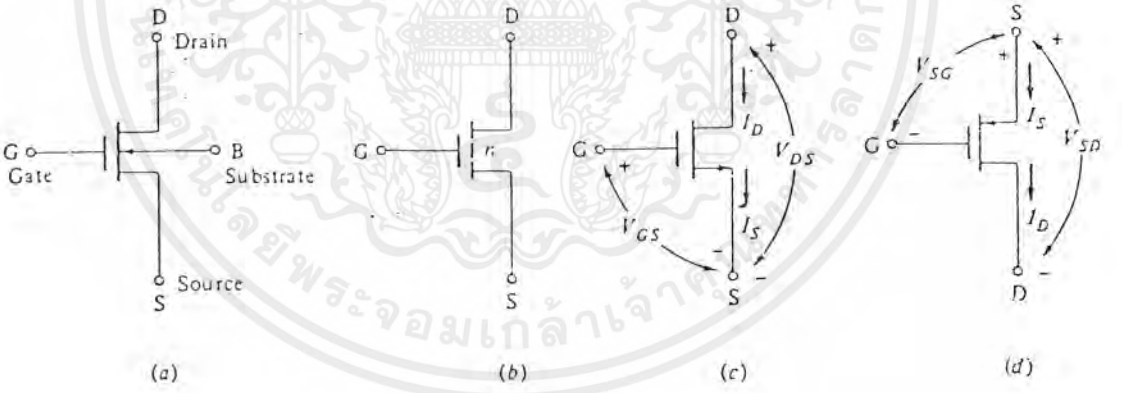
เป็น MOSFET อีกชนิดหนึ่งมีโครงสร้างดังรูป 2.3 และรูปที่ 2.3a นี้เป็นโครงสร้างพื้นฐานใน IC เพราะว่าความสะดวกในการสร้าง และการสูญเสียทางพลังงานต่ำ ในโครงสร้างนี้จะไม่มี channel เกิดขึ้นระหว่างเดรนและซอส สำหรับโครงสร้างนี้แบบ n-channel นี้จะทำงานในกรณี Vgs เป็นบวกเท่านั้น ความนำจะปรากฏใน channel ในชั้นของ n-type (โดยการสะสมของอิเลคตรอนบนซับสเตท p-type) และจะเพิ่มขึ้นโดยค่า Vgs เป็นบวกอีกเช่นกัน

สัญลักษณ์และโครงสร้างของ enhancement NMOS แสดงดังรูป 2.4a-c สัญลักษณ์ในรูป 2.4a จะเป็นสัญลักษณ์ที่ไม่เป็นมาตราฐาน เนื่องจากโดยปกติซับสเตทบอดี้ (substrate body) จะต่อกับซอสอยู่ภายใน ควรจะใช้สัญลักษณ์ในรูป 2.4c ส่วนการไหลของกระแสและขั้วของแรงดันของ NMOS และ PMOS แสดงดังรูป 2.4c และ d ตามลำดับ mosfet ชนิดนี้จะทำงานใน enhancement mode เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.3 แสดงโครงสร้างของ Mosfet




รูปที่ 2.4 แสดงการไหลของกระแสใน NMOS และ PMOS

สำหรับ NMOS จะต้องให้แรงดันที่เกทเมื่อเทียบกับซอสจะเป็นบวก แรงดันเกทที่ซึ่งทำให้เกิด channel ขึ้นเรียกว่า threshold voltage VT ค่าของ VT จะเป็นผลมาจากคุณสมบัติทางไฟฟ้าของซับสเตทและออกไซด์ โดยทั่วไปค่าของ VT จะอยู่ระหว่าง 1-5V ดังนั้นเมื่อไหร่ที่ Vgs มีค่าน้อยกว่า VT จะไม่เกิด channel ขึ้น และกระแสเดรนจะประมาณได้ว่าเป็นศูนย์ เมื่อค่า Vgs มีค่าสูงขึ้น (และ Vgs > VT) ,Vds < Vgs - VT NMOS จะทำงานอยู่ในย่าน Ohmic ดังแสดงในรูปที่ 2.3c

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และโครงสร้างนี้จะทำงานในย่านแซททูเรชั่น ค่า Ids จะไม่มีใน MOSFET ชนิด enhancement เพราะว่า Id = 0 เมื่อ V – I characteristic ของ MOSFET ชนิด enhancement สามารถแบ่งย่านการทำงานได้ 3 ย่านคือ

- Ohmic Region
- Saturation Region
- Cut-off Region

1. Ohmic Region

เมื่อ Vds < Vgs – VT และ จาก V – I characteristic จะได้ว่า

$$I_d = K_n\left(2(Vgs - VT)Vds - Vds^2\right) \tag{2.1}$$

เมื่อ

$$K_n = \frac{\mu_n C_{ox} W}{2L} \tag{2.2}$$

โดยที่ $\mu$ = ค่าความคล่องตัวของอิเลคตรอนที่ผิว [$\mu_n = 800\ cm^2/(V.S)$]

$C_{ox}$ = Gate capacitance ($F/cm^2$)

L = ความยาวของ channel

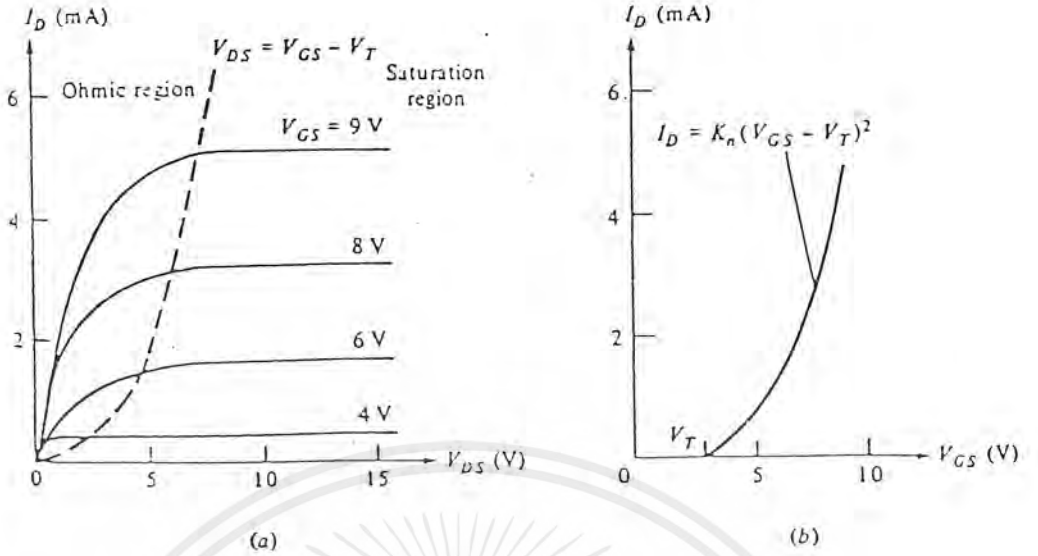
W = ความกว้างของเกท

ค่าอัตราส่วน W/L เป็นค่าพารามิเตอร์ที่มีความสำคัญในโครงสร้างของ MOS ราคาของ IC จะมีความสัมพันธ์กับพื้นที่ชิพ ขนาดของโครงสร้าง MOS สามารถทำให้น้อยที่สุดโดยการทำให้ค่า W/L เข้าใกล้ 1 อย่างไรก็ตามความต้องการอื่นๆ ถ้าจะแบ่งตำแหน่งระหว่างย่านแซททูเรชั่นและโอมิคจะได้โดยการแทน Vds = Vgs - VT ในสมการ (2.1) จะได้

$$I_d = K_n Vds^2 = \frac{\mu_n C_{ox} W Vds^2}{2L} \tag{2.3}$$

ตำแหน่งที่บรรยายในสมการ (2.3) แสดงโดยเส้นประในรูป 2.5a

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.5

2. Saturation Region

เมื่อ Vds > Vgs - VT และกระแส Id จะประมาณได้ว่าเป็นค่าคงที่ดังแสดงในรูป 2.5a ส่วน transfer characteristic จะได้โดยการแทน Vds = Vgs - VT ในสมการ (3) จะได้

$$I_d = K_n(Vgs - VT)^2(1 + \lambda Vds) \qquad (2.4)$$

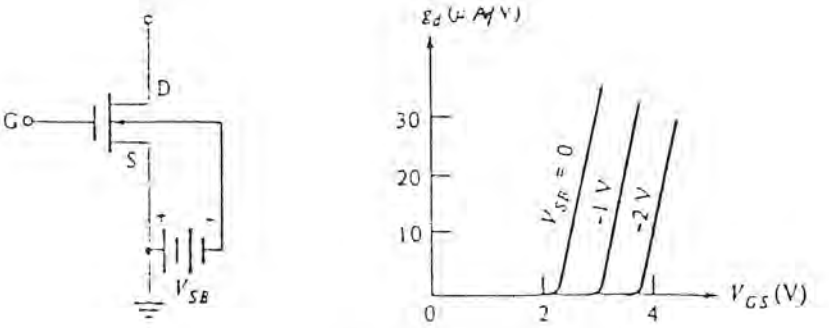
โดยที่ $\lambda$ = Channel Length Modulation Parameter

transfer characteristic จะแสดงดังรูป 2.5b

3. Cutoff Region

เมื่อ Vgs < VT ดังนั้น Id = 0 โครงสร้างนี้จะ OFF ในย่านนี้ และจะนำไปประยุกต์ใช้ในการสวิงชิ่ง ถ้าสมมติให้ที่ซอสต่อกับซับสเตทและที่ขั้วทั้งคู่เป็นกราวด์ อย่างไรก็ดี ถ้าบอดี้ (Substrate) มีศักย์เป็นลบโดยเกี่ยวเนื่องกับซอสต่อกับกราวน์แสดงดังรูปที่ 2.6a ค่า threshold voltage สามารถเปลี่ยนได้ดังรูป 2.6b โดยที่ gd เป็นค่าความนำที่เอาท์พุท ดังนั้นถ้าเพิ่ม Vbs จากศูนย์สามารถจะเพิ่มค่า VT จากค่าต่ำสุดของมัน (ที่ Vbs = 0) ไปยังค่าที่มากกว่า 2 เท่าของค่าต่ำสุดและสำหรับ PMOS จะนำกระแสได้เมื่อ Vsg > |VT| สำหรับการสร้าง IC นั้นจะใช้ประโยชน์จาก PMOS และ NMOS ทั้งคู่ เรียกว่า complementary symmetry MOS หรือ CMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.6

**2.3 การทำงาน (Operation)**

ค่าของกระแสเดรน (Id) ที่ไหลผ่านมอสเฟต จะขึ้นกับการกำหนดค่าแรงดัน Vgs (เกท-ซอส โวลท์เตจ)ซึ่งจ่ายให้กับทรานซิสเตอร์อีกทั้งแรงดันที่ฐานรอง (body bias voltage,Vsb) ก็จะมีผลกับการไหลของกระแสด้วย ชั้นของเกทออกไซด์ และเซมิคอนดักเตอร์ เสมือนหนึ่งเป็นโครงสร้างของตัวเก็บกระจุ โดยที่ออกไซด์เปรียบเสมือนฉนวนระหว่างตัวนำ (Plate) กำหนดให้เป็น $C_{ox}$ ซึ่งมันคือเทอมของคาปาซิแตนท์ต่อหนึ่งหน่วยพื้นที่มีหน่วยเป็น farad/cm$^2$ คำนวณได้จาก

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \qquad (2.5)$$

ในสมการนี้ $\varepsilon = (3.9)(8.854\text{X}10^{-14}) \approx 3.45\text{X}10^{-13}$ farad/cm$^2$ มันคือ เพอร์มิตติวิตี้ของซิลิกอนไดออกไซด์ (permittivity of silicon dioxide) และ $t_{ox}$ คือ ความหนาของออกไซด์มีหน่วยเป็นเซนติเมตร ตัวอย่างเช่น สมมติให้ $t_{ox} = 200\text{X}10^{-8}$ cm (200 A$^\circ$) จะให้ออกไซด์คาปาซิแตนซ์ คือ

$$C_{ox} = 17.3 \times 10^{-8} \qquad (2.6)$$

มีหน่วยเป็น farad/cm$^2$ เพื่อความเหมาะสมในหน่วยของเมตริกจะใช้เป็น ไมครอน (micron, $\mu m$) เมื่อ 1 $\mu m = 10^{-6}$ m ดังนั้นค่าความจุจะเป็น

$$C_{ox} = 17.3\, fF / \mu m^2 \qquad (2.7)$$

เมื่อ $fF$ คือ เฟมโตฟารัด : 1 $fF$ = $10^{-15}$ farad เกทคาปาซิแตนซ์รวมกำหนดให้เป็น CG มีหน่วยเป็นฟารัดสามารถคำนวณได้จาก

$$CG \approx C_{ox} WL \qquad (2.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ W คือความกว้างของแชนแนล และ L' คือความยาวจริงของแชนแนล (ความยาวของโพลี) ทั้งคู่มีหน่วยเป็นเซนติเมตร จะเห็นได้ว่า L และ L' จะมีความยาวที่แตกต่างกัน โดยในความเป็นจริง L' > L

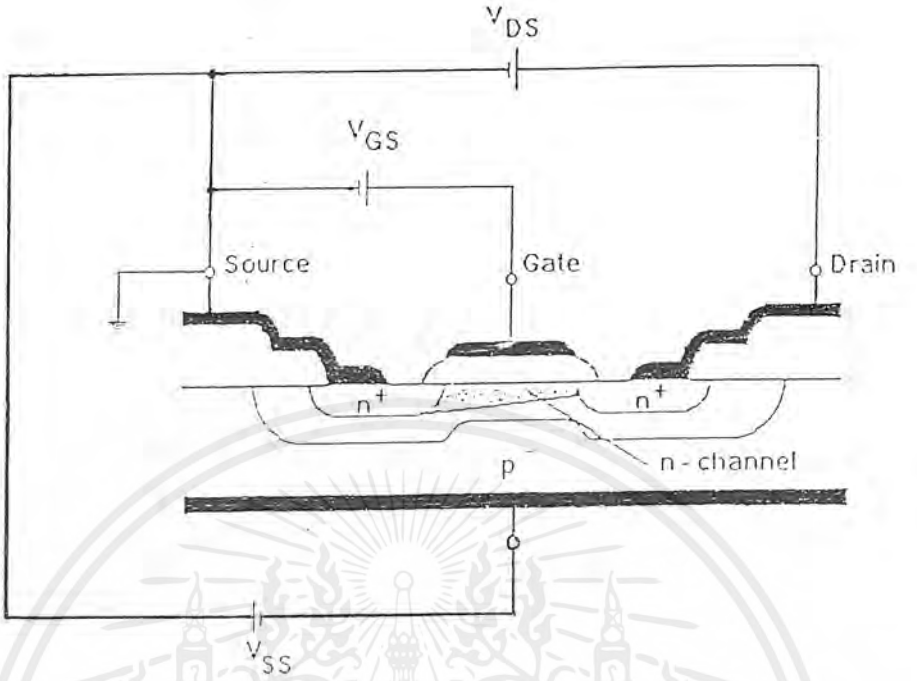
ในแง่ความคิดอย่างง่าย กระแสที่ไหลผ่าน เอ็น–แชนแนล มอสเฟท จะถูกควบคุมด้วยแรงดัน Vgs สำหรับแรงดันที่มีค่าน้อยๆ กระแสไหลจากเดรนไปยังขาซอสได้ยากมาก เนื่องจากบริเวณขั้วดังกล่าวถูกแยกออกจากกันโดยฐานรองชนิดพี (P-Type Substrate) ในกรณีนี้ Id ≈0 และสามารถพูดได้ว่าทรานซิสเตอร์อยู่ในสภาวะคัทออฟ (Cutoff) แต่ถ้าเพิ่ม Vgs จนถึงค่า Vgs > VTn เมื่อ VTn ก็คือ ค่าแรงดันขีดเริ่ม (Threshold Vlotage) และแรงดัน Vgs นี้จะเหนี่ยวนำผ่านเกทออกไซด์ ให้เกิดชั้นของอิเลคตรอน ภายใต้เกทออกไซด์นั้น เรียกว่า เกิดแชลแนลขึ้นระหว่างขาเดรนและขาซอส ทำให้เกิดกระแสไหลได้ ด้วยวิธีการนี้จะเรียกการไบอัสในช่วงนี้ว่า แอคทีฟ (Active) ค่าของ Id จะถูกกำหนดโดย Vgs และ Vds (แรงดัน เดรน-ซอส)

แรงดันขีดเริ่ม VTn จะเกิดขึ้น กับลำดับขั้นตอนของการสร้าง และโดยปกติการออกแบบวงจรนั้นจะใช้ค่าพอประมาณเท่านั้น ซึ่งค่าแรงดันดังกล่าว จะมีความไวต่อฟังก์ชันความหนาของเกทออกไซด์ ($t_{ox}$), ความหนาแน่นของสารเจือที่อยู่บนฐานรอง และโครงสร้างทางฟิสิกข์ของวัสดุที่ใช้

**2.4 หลักการให้ไบอัส**

ในการที่จะทำให้มอสทรานซิสเตอร์ทำงานอย่างมีประสิทธิภาพตามต้องการนั้น จำเป็นอย่างยิ่งที่จะต้องให้ไบอัสกับส่วนต่างๆของมันอย่างเหมาะสมโดยคำนึงถึงหน้าที่หลักของแต่ละส่วนดังกล่าวมาแล้วข้างต้น เช่น ส่วนซอส ซึ่งถูกกำหนดให้เป็นแหล่งจ่ายประจุพาหะส่วนมากที่ทำให้เกิดกระแส แล้วประจุเหล่านี้จะเคลื่อนที่ผ่านช่องทางเดินกระแสไปยังส่วนเดรนออกไปสู่วงจรไฟฟ้าภายนอก ทำให้เกิดเป็นกระแสเดรนซอส Ids ดังนั้นในการให้แรงดันไบอัสที่เหมาะสมระหว่างส่วนเดรนและส่วนซอส จึงหมายถึงการให้ศักดาไฟฟ้าแก่ส่วนซอสเมื่อเทียบกับส่วนเดรนแล้ว ส่วนซอสจะต้องเป็นแหล่งจ่ายประจุส่วนมากเสมอ เช่นในกรณีของเอ็นแชนแนลมอสทรานซิสเตอร์ ซึ่งมีอิเลคตรอนหรือประจุลบ เป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแส ดังนั้นจะต้องให้ศักดาไฟฟ้าเป็นลบที่ส่วนซอสเมื่อเทียบกับส่วนเดรน เพื่อให้ส่วนซอสทำหน้าที่เป็นแหล่งจ่ายอิเลคตรอนนั่นเอง ดังแสดงในรูปที่ 2.7 หรือในกรณีของ พีแชนแนลมอสทรานซิสเตอร์ ซึ่งมีโฮลหรือประจุพาหะส่วนมากที่ทำให้เกิดกระแสก็จะต้องให้ศักดาไฟฟ้าเป็นบวกที่ส่วนซอสเมื่อเทียบกับส่วนเดรน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.7 แสดงการให้ไบอัสที่ถูกต้องแก่ N-Channel MOSFET เพื่อใช้งานเป็นอุปกรณ์สี่ขั้ว

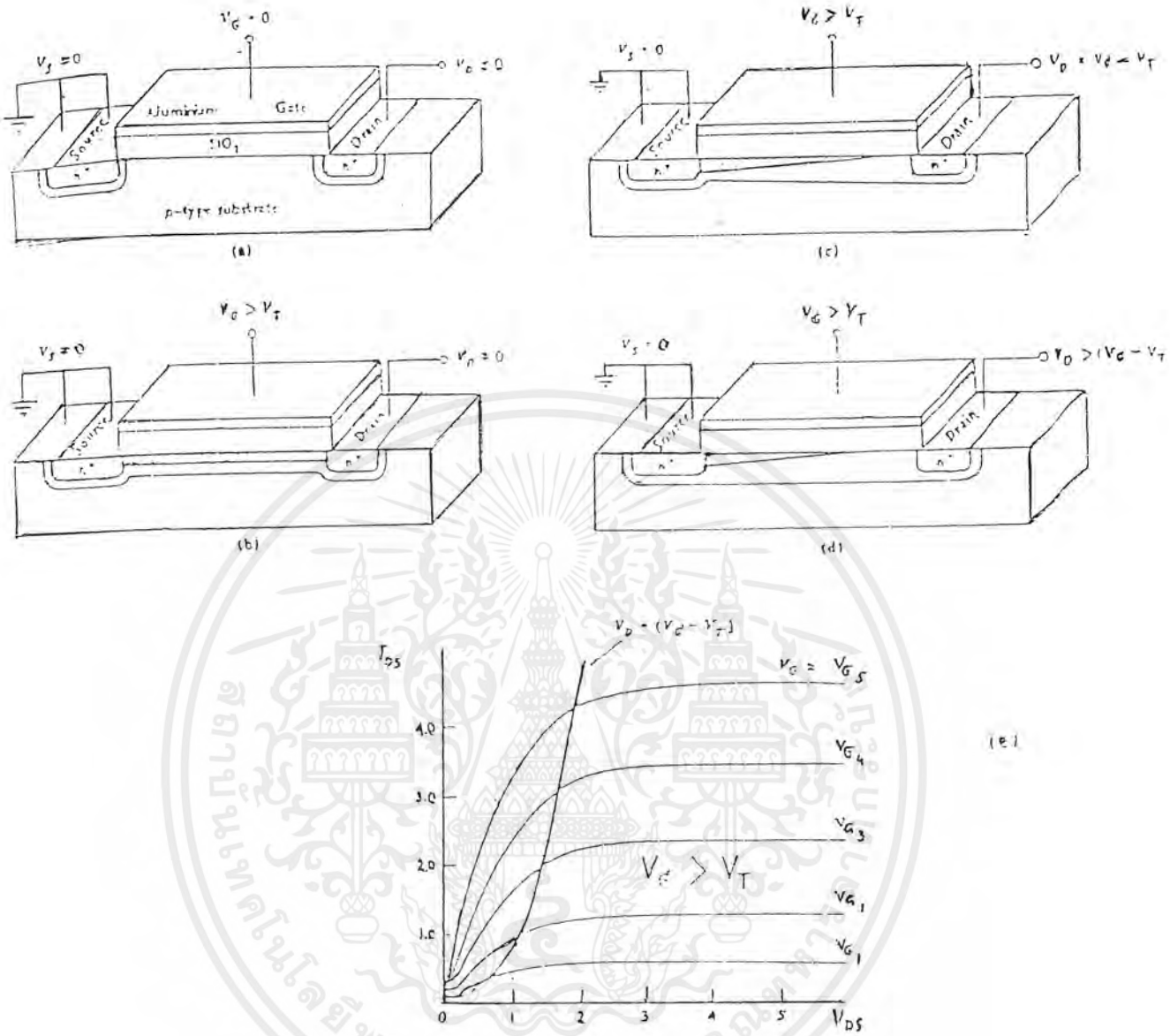
สำหรับส่วนเกทจะต้องให้ศักดาไฟฟ้า (เมื่อเทียบกับฐานรอง) ในลักษณะที่สามารถควบคุมการเปิดหรือปิดช่องทางเดินทางกระแสได้โดยใช้ในการพิจาราณาหลักเดียวกับการให้ศักดาไฟฟ้าแก่ตัวเก็บประจุไฟฟ้า (Capacitor) ทั่วๆไปเช่น ในรูปที่ 2.7 เป็นเอ็นแชนแนลเอ็นฮานซ์โหมดมอสทรานซิสเตอร์ ซึ่งโดยปกติถ้าไม่มีศักดาไฟฟ้าที่ส่วนเกทช่องทางเดินกระแสจะเปิดอยู่ ทำให้ส่วนเดรนกับส่วนซอสแยกออกจากกัน ดังนั้นจะต้องมีความต่างศักดาไฟฟ้าที่ส่วนเกทเป็นบวกเมื่อเทียบกับฐานรองเพื่อทำให้เกิดการสะสมประจุลบในช่องทางเดินกระแส อันจะเป็นการควบคุมการเปิด-ปิดช่องทางเดินกระแสนั่นเอง หรือในกรณีของเอ็นแชนแนลดีพลีชั่นโหมดมอสทรานซิสเตอร์ ซึ่งโดยปกติขณะที่ไม่มีแรงดันไบอัสที่ส่วนเกท สารกึ่งตัวนำบริเวณช่องทางเดินกระแสจะมีสภาพเป็นสารกึ่งตัวนำชนิดเอ็นอยู่แล้วทำให้เกิดการเชื่อมต่อระหว่างส่วนเดรนกับส่วนซอส ดังนั้นเมื่อมีความต่างศักดาระหว่างส่วนเดรนกับส่วนซอสเกิดขึ้นจะทำให้กระแส Ids ไหลได้ทันที ฉะนั้นในการควบคุมปริมาณกระแส Ids ก็ทำได้โดยการควบคุมความนำไฟฟ้าของช่องทางเดินกระแสนั้น โดยการให้แรงดันไบอัส ส่วนเกทในลักษณะที่ทำให้เกิดการเปลี่ยนแปลงการสะสมประจุลบหรืออิเลคตรอน เช่น ถ้าให้ส่วนเกทมีศักดาไฟฟ้าเป็นบวกเมื่อเทียบกับฐานรอง จะทำให้เกิดการสะสมประจุลบที่ช่องทางเดินกระแสมากขึ้น เป็นผลให้ความนำไฟฟ้ามีค่าเพิ่มขึ้น กระแส Ids ก็ไหลได้มากขึ้น แต่ถ้าให้ส่วนเกทมีศักดาไฟฟ้าเป็นลบเมื่อเทียบกับฐานรอง จะทำให้เกิดการสะสมประจุลบที่ช่องทางเดิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสลดลง ดังนั้นกระแส Ids ก็จะไหลได้น้อยลงด้วย ส่วนในกรณีของ PMOS ก็พิจารณาได้ในทำนองเดียวกัน

โดยหลักการที่กล่าวมาข้างต้นเป็นการเตรียมพร้อมที่จะให้มอสทรานซิสเตอร์ทำงานตามที่ต้องการซึ่งกลไกการเปลี่ยนแปลงคุณสมบัติทางไฟฟ้าภายในของมันจะอธิบายได้ดังนี้ ตัวอย่างเช่น ในกรณีของเอ็นแชนแนล เอ็นฮานว์เมนท์โหมด มอสทรานซิสเตอร์ เมื่อได้รับแรงดันไบอัสที่เหมาะสมจะมีการเปลี่ยนแปลงคุณสมบัติทางไฟฟ้า ดังแสดงในรูปที่ 2.8a–d ซึ่งจะเห็นว่าในรูปที่ 2.8a จะแสดงสภาพปกติของมอสทรานซิสเตอร์ที่กำลังพิจารณา ในขณะนี้สารกึ่งตัวนำบริเวณช่องทางเดินกระแสเป็นชนิดพี ทำให้ส่วนเดรนกับส่วนซอสแยกออกจากกันทางไฟฟ้า ดังนั้นถึงแม้ว่าจะมีความต่างศักดาไฟฟ้าเกิดขึ้นระหว่างเดรนกับซอส ประจุพาหะส่วนมากก็จะเคลื่อนจากซอสไปเดรนไม่ได้ นั่นคือ กระแส Ids เป็นศูนย์ในรูปที่ 2.8b เมื่อให้ศักดาไฟฟ้าที่เกทมีค่ามากกว่าค่าแรงดันขีดเริ่ม (Threshold Voltage: VT) ของมันแล้วจะเกิดการเหนี่ยวนำประจุลบขึ้นที่ส่วนของฐานรองผิวสัมผัสกับออกไซด์ส่วนเกท ทำให้สารกึ่งตัวนำบริเวณนั้นมีคุณสมบัติเหมือนสารกึ่งตัวนำชนิด เอ็น เชื่อมต่อระหว่างส่วนเดรนกับส่วนซอส ซึ่งเรียกส่วนนี้ว่า ช่องทางเดินกระแส ให้สังเกตว่าตรงรอยต่อระหว่างสารกึ่งตัวนำชนิดเอ็น กับ ชนิดพี จะมีบริเวณปลอดประจุพาหะอยู่เสมอ (จากทฤษฎีของรอยต่อ พี-เอ็น) ในรูปที่ 2.8c เมื่อให้ความต่างศักดาไฟฟ้าระหว่างส่วนเดรนกับซอสมีค่าเป็น Vg – VT แล้ว แต่เนื่องจากส่วนซอสต่อเชื่อมสัมผัสไฟฟ้า (Short) อยู่กับฐานรอง ดังนั้นจึงเกิดการไบอัสย้อนกลับขึ้นระหว่างรอยต่อ พี-เอ็น ที่ส่วนฐานรองๆส่วนเดรน เป็นผลให้เกิดการเปลี่ยนแปลงจำนวนประจุพาหะที่ช่องทางเดินกระแสบริเวณใกล้ๆกับส่วนเดรน แต่เนื่องจากแรงดันไบอัส Vd พอดีเท่ากับกับแรงดัน Vg – VT ที่ทำให้เกิดช่องทางเดินกระแส ดังนั้นช่องทางเดินกระแสจึงยังคงเชื่อมต่ออยู่พอดีกับส่วนเดรนเสมือนเป็นความต้านทานตัวหนึ่ง ฉะนั้นกระแส Ids จึงเพิ่มขึ้นอย่างเป็นเชิงเส้นกับค่าแรงดัน Vd ที่เพิ่มขึ้นจาก 0 ถึง Vg – VT รูปที่ 2.8d เป็นการให้ศักดาไฟฟ้าที่ส่วนเดรนมีค่ามากกว่าแรงดัน Vg – VT ซึ่งทำให้ช่องทางเดินกระแสถูกแยกออกจากส่วนเดรนโดยสนามไฟฟ้าของรอยต่อ พี-เอ็น ที่เกิดจากไบอัสย้อนกลับด้วยแรงดันไบอัส Vd นั้นเอง ในกรณีนี้ความต่างศักดาไฟฟ้าระหว่างส่วนเดรนกับซอสส่วนใหญ่จะปรากฏอยู่ที่รอยต่อ พี-เอ็น ดังนั้นถึงแม้จะเพิ่มแรงดัน Vd ให้มากขึ้นอีก แต่ความต่างศักดาไฟฟ้าระหว่างทั้งสองของสารกึ่งตัวนำบริเวณช่องทางเดินกระแส ก็ยังคงมีค่าประมาณเท่าเดิม ดังนั้นกระแส Ids จึงมีค่าประมาณคงที่ กราฟความสัมพันธ์ระหว่างกระแส Ids กับแรงดัน Vd ในขั้นตอนต่างๆแสดงได้ดังในรูปที่ 2.8e

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

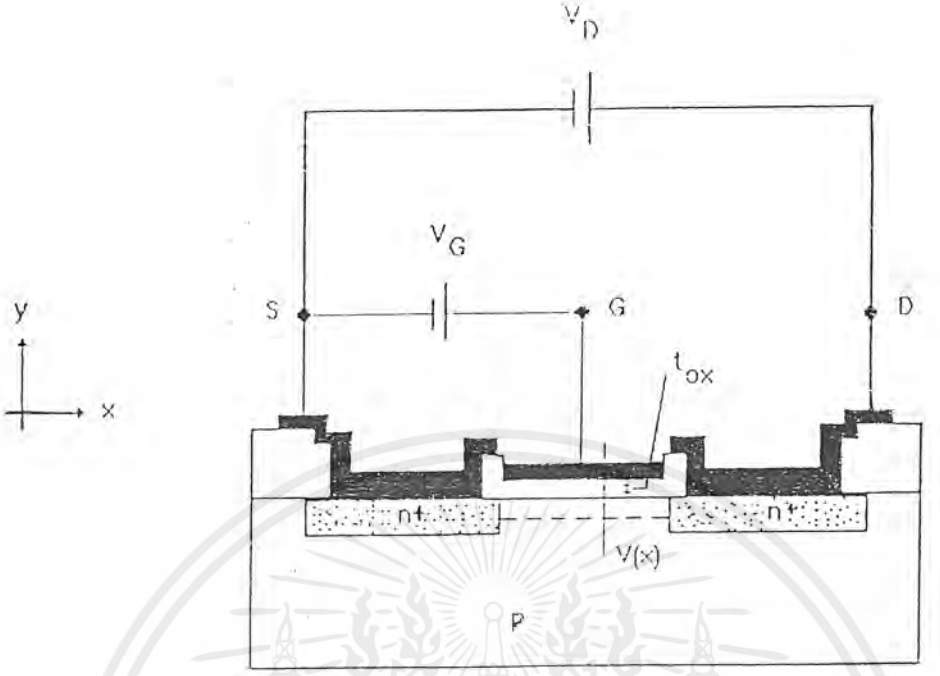



รูปที่ 2.8a-d แสดง N-Channel Enhancement Mode MOSFET ภายใต้สภาวะการให้ไบอัสในลักษณะต่าง ๆ c แสดงลักษณะกระแสแรงดันโดยทั่วไปสำหรับ N-Channel Enhancement Mode MOSFET

## 2.5 คุณสมบัติความสัมพันธ์ระหว่างกระแสกับแรงดันของมอสทรานซิสเตอร์

การวิเคราะห์คุณสมบัติความสัมพันธ์ระหว่างกระแส Ids กับแรงดัน Vd ของมอสทรานซิสเตอร์ในที่นี้จะข้อพิจารณาในกรณีของเอ็นแชนแนล เอ็นฮานซ์โหมด มอสทรานซิสเตอร์เป็นแนวทางให้เท่านั้น ซึ่งจะสามารถใช้หลักการเดียวกันนี้ในการพิจารณามอสทรานซิสเตอร์ แบบอื่นๆ ได้ด้วยดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.9

จากรูปที่ 2.9 สมมติว่าให้แรงดันไบอัสระหว่าง เดรน-ซอส เป็น VT และแรงดันไบอัสที่เกทเป็น Vg ถ้าให้แรงดันที่จุด x บนแนวของแชนแนลมีค่าเป็น V(x) ซึ่งก็คือแรงดันที่เปลี่ยนแปลงในแนวแกน X จากส่วนซอสคือ Vs ถึงส่วนเดรนก็คือ Vd มีค่าแรงดันเป็น IdR เมื่อ R คือความต้านทานของช่องทางเดินกระแส ดังนั้นที่ตกคร่อมชั้นออกไซด์ที่จุด X นี้ก็คือ Vg – V(x) และถ้าชั้นของออกไซด์นี้หนา $t_{ox}$ ซึ่งหนามากกว่าความลึกของช่องทางเดินกระแสมากๆ จะได้ว่าสนามไฟฟ้าในชั้นออกไซด์ที่จุด X ก็คือ

$$\xi(x) = \frac{(Vg - V(x))}{t_{ox}} \quad \text{V/m} \qquad (2.8)$$

จากกฎของเกาส์ จะหาความหนาแน่นของประจุที่ผิว (Surface charge : $\rho i$ ) ซึ่งถูกเหนี่ยวนำในช่องทางกระแสที่จุด X ได้เป็น

$$\begin{aligned} \rho i(x) &= \varepsilon \xi(x) && \text{c/m}^2 \\ &= \varepsilon_o \varepsilon_{ox} \xi(x) && \text{c/m}^2 \\ &= \varepsilon_o \varepsilon_{ox} \frac{[Vg - V(x)]}{t_{ox}} && \text{c/m}^2 \end{aligned} \qquad (2.9)$$

โดยที่ $\varepsilon_o$ คือ Relative Permittivity ของชั้นออกไซด์ มีค่าคงที่ เป็น 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง


อย่างไรก็ตามประจุที่เกิดขึ้น จะยังไม่สามารถนำกระแสในแชนแนลได้ ทั้งนี้เนื่องจากขณะที่แรงดัน Vo มีค่าน้อยๆ บริเวณผิวสัมผัสระหว่างออกไซด์กับสารกึ่งตัวนำ ฐานรองจะเกิดเฉพาะบริเวณปลอดประจุพาหะขึ้น ยังไม่แกิดเป็นชั้นกลับ แต่ถ้าแรงดัน Vo มีค่ามากกว่าแรงดันขีดเริ่ม VT (ซึ่งนิยามว่าเป็นแรงดันที่ให้ที่ส่วนเกทตกคร่อมชั้นออกไซด์) พอดีทำให้ความหนาแน่นของประจุในช่องทางเดินกระแสมีค่าเป็นศูนย์) แล้วจะเกิดการเหนี่ยวนำให้เกิดชั้นกลับได้ ซึ่งก็จำนำไฟฟ้าระหว่างส่วนเดรนกับส่วนซอสได้ทันที

สมมติว่าความหนาแน่นของประจุพาหะที่เพิ่มขึ้นในช่องทางเดินกระแสซึ่งเป็นชั้นกลับมีค่าเป็น $\Delta n$ แล้วดังนั้นจะได้ว่า

$$\rho i = q\Delta n \qquad c/m^2 \qquad (2.10)$$

จากนิยามของ VT จะได้ว่า

$$q\Delta n = \frac{\varepsilon_o \varepsilon_{ox}\{[Vg - V(x)] - VT}{t_{ox}} \text{ เมื่อ } [Vg - V(x)] > VT \qquad (2.11)$$

และ

$$q\Delta n = 0 \quad \text{เมื่อ } [Vg - V(x)] < VT \qquad (2.12)$$

ถ้าให้ G(x) แทนค่าความนำไฟฟ้า ดังนั้น ค่าความนำไฟฟ้าของส่วนเล็ก ๆ ของช่องทางเดินกระแสซึ่งบางมากๆ ในช่วงความยาว dx และกว้าง W จะมีค่าเป็น

$$G(x) = \sigma(x)\frac{W}{dx}Xj \qquad (2.13)$$

โดยที่ $\sigma(x)$ คือ ความนำที่ผิวต่อหนึ่งหน่วยตารางพื้นที่ของแชนแนล ดังนั้นจะได้ว่า

$$G(x) = q\Delta n\mu_e \frac{W}{dx}$$

$$= \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}}\mu_e\{[Vg - V(x)] - VT\} \qquad (2.14)$$

โดยที่ $\mu_e$ คือ ความคล่องตัวของอิเลคตรอนในแชนแนลจากกฎของโอห์ม จะได้ว่า

$$Ids = G(x)dv$$

โดยที่ Vd คือ แรงดันที่ตกคร่อมส่วนเล็กๆ ที่แชนแนลซึ่งยาว dx ดังนั้น

$$Ids = \frac{\varepsilon_o \varepsilon_{ox}}{tox}\mu_e \frac{w}{dx}\{[Vg - V(x)] - VT\}dv \qquad (2.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
36899

เมื่อทำการอินทิเกรทตลอดแนวแท่งผลึกซึ่งยาว L และมีแรงดันตกคร่อมรวมทั้งหมดเป็น และสมมติว่าค่าความต้านทานที่ไม่ต้องการซึ่งเกิดขึ้นที่ขั้วเดรนและซอสมีค่าน้อยมากๆ ดังนั้นจะได้

$$\int_0^L Idsdx = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_e W \int_0^{Vd} \{[Vg - V(x)] - VT\} dv \qquad (2.16)$$

$$Ids.L = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_e W \{[Vg - VT]Vd - \frac{Vd^2}{2}\}$$

หรือ

$$Ids = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_e \frac{W}{L} \{[Vg - VT]Vd - \frac{Vd^2}{2}\} \qquad (2.17)$$

สมการที่ 2.17 นี้เป็นสมการแสดงความสัมพันธ์ระหว่างกระแส Ids กับแรงดัน Vd ที่ค่าแรงดัน Vd $\leq$(Vg - VT) อย่างไรก็ตามจากสมการที่ 2.17 นี้ สามารถนำมาพิจารณาหาความสัมพันธ์ระหว่างกระแสและแรงดันในแต่ละกรณี ของการทำงานของมอสทรานซิสเตอร์ได้ดังนี้

ในกรณีที่มอสทรานซิสเตอร์ ทำงานในช่วงเชิงเส้น (Linear or Triode Region) โดยพิจาราณาว่าแรงดัน VD มีค่าน้อยๆ หรือเพื่อให้เกิดช่องทางเดินกระแสเชื่อมต่อระหว่างส่วนซอสกับส่วนเดรน ดังนั้น

$$(Vg - Vt)Vo >> \frac{Vd^2}{2} \qquad (2.18)$$

ซึ่งจากสามการที่ 2.17 จะลดรูปลงได้เป็น

$$Ids = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_e \frac{W}{L} \{[Vg - VT]Vd\} \qquad (2.19)$$

จากสมการที่ 2.19 นี้จะเห็นว่ากระแส Is แปรเป็นสัดส่วนโดยตรงกับแรงดัน Vd ที่ Vg คงที่หนึ่งๆ

ในกรณีที่มอสทรานซิสเตอร์ ทำงานในช่วงอิ่มตัว (Saturation or Pentrode Region) โดยพิจาราณาว่า แรงดัน Vd $\geq$(Vg – VT) เพื่อให้แน่ใจว่าเกิดบริเวณปลอดประจุพาหะที่ช่องทางเดินกระแสตรงส่วนที่ติดกับส่วนเดรน ดังนั้นกระแส Ids จะมีปริมาณคงที่ตลอดแม้ว่าแรงดัน Vd จะเพิ่มขึ้นอีกก็ตาม ซึ่งกระแส Ids ที่คงที่นี้จะเริ่มคงที่ตั้งแต่ Vd = (Vg – VT) ดังนั้น กระแส Ids ที่คงในช่วงอิ่มตัวนี้ จึงมีค่าเป็น

$$Ids(sat) = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_e \frac{W}{L} \{(Vg - VT)^2 - \frac{(Vg - VT)^2}{2}\}$$

$$Ids(sat) = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_e \frac{W^2}{L} (Vg - VT)^2 \qquad (2.20)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

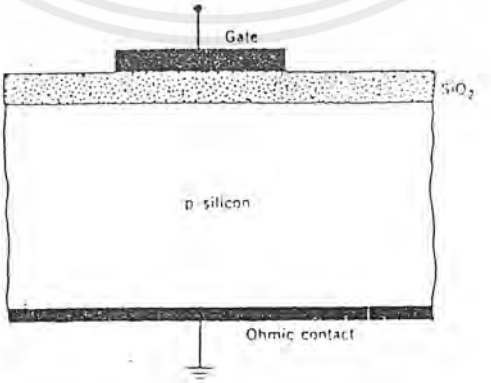
จากสมการที่ 2.20 นี้จะเป็นว่ากระแส Ids(sat) จะมีค่าคงที่ไม่ขึ้นกับค่าแรงดัน Vd โดยจะมีค่าคงที่ ที่ Vg ค่าหนึ่งๆ เป็นที่น่าสังเกตจากสมการที่ 2.17 ว่ากระแส Ids สามารถถูกควบคุมได้โดยโครงสร้างทางเรขาคณิต อันได้แก่ความกว้างของช่องทางเดินกระแส(W)ความยาวของช่องทางเดินกระแส(L) และความหนาของเกทออกไซด์ นอกจากนั้นยังสามารถควบคุมได้ในขณะทำการสร้างอีกด้วย โดยการควบคุมค่าของแรงดันขีดเริ่ม VT

## 2.6 ความสัมพันธ์ของค่าความจุและแรงดันในมอสคาปาซิเตอร์ (C-V Characteristics of the MOS Capacitor)

จะทำการศึกษาความสัมพันธ์ของค่าความจุไฟฟ้าและแรงดันในมอสคาปาซิเตอรี เพื่อให้ได้มาซึ่งเครื่องมือที่สำคัญที่เรียกว่า C-V Plots ซึ่งเป็นเครื่องมือที่มีประโยชน์ในแง่ของการให้ค่าพารามิเตอร์ที่สำคัญ เช่น อย่างคร่าวๆ นอกจากนี้ประโยชน์ที่สำคัญจริงๆก็คือ ใช้ตรวจสอบและควบคุมคุณภาพของกระบวนการผลิตมอส (Process Quality Control Monitoring) โดยจะบอกให้ทราบว่ามอสที่ผลิตขึ้นมานั้นมีคุณภาพเป็นอย่างไร โครงสร้างที่ได้เป็นไปตามที่กำหนดไว้แค่ไหน ทำให้รู้ไปถึงว่ากระบวนการสร้างในขั้นตอนไหนมีความผิดพลาดเพื่อที่จะได้รู้จุดบกพร่องของกระบวนการและนำไปแก้ไขปรับปรุงต่อไปซึ่งสิ่งเหล่านี้ไม่สามารถบอกได้โดย I-V Curve

## 2.7 ระบบมอสในอุดมคติ (Ideal Mos System)

เพื่อความเข้าใจในลักษณะของ C-V Plots อย่างคร่าวๆ ทั้งในความถี่สูงและความถี่ต่ำ จำเป็นต้องมองระบบมอสว่าเป็นตัวเก็บประจุมอสในอุดมคติดังในโครงสร้างในรูปที่ 2.10 โดยสารกึ่งตัวนำจะทำหน้าที่เปรียบเสมือนว่าโครงสร้างมอสประพฤติตัวเป็นประจุแบบแผ่นตัวนำขนานโดยมี $Sio_2$ เป็นไดอิเลคตริก




รูปที่ 2.10 แสดงภาพตัดขวางของมอสคาปาซิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการป้อน Vg ให้กับเกท จะเกิดส่วนของ Vox คร่อม Oxide ตามสมการ

$$Vg = V_{ox} + \phi_s \tag{2.21}$$

เมื่อ $\phi_s$ เป็น Surface Potential ของสารกึ่งตัวนำถ้าไม่มีประจุอยู่ที่รอยต่อของ Oxide กับ Semicondutor โดยที่ Electric Flux Density จะต่อเนื่องที่รอยต่อตามกฎของเกาส์

$$\varepsilon_{ox} \frac{V_{ox}}{t_{ox}} = \varepsilon_s \xi_s = -Q_s \tag{2.22}$$

ในที่นี้ $\varepsilon_{ox}$ และ $\varepsilon_s$ แทน Oxide และ Semicnductor Permitivities ตามลำดับ $\xi_s$ เป็นสนามไฟฟ้าที่ผิวของ Semiconductor และ $t_{ox}$ เป็นความหนาของ Oxide แทนค่า Vox จากสมการที่ 2.21 ลงในสมการที่ 2.22 จะได้

$$Vg = \frac{-Q_s}{C_{ox}} + \phi_s \tag{2.23}$$

ซึ่ง $C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$ แทน Oxide Capacitance ต่อหน่วยพื้นที่ หาอนุพันธ์สมการที่ 2.23 เทียบกับ Vg จะได้

$$1 = \frac{-1}{C_{ox}} \frac{dQ_s}{dVg} + \frac{d\phi_s}{dQ_s} \frac{dQ_s}{dVg} \tag{2.24}$$

ค่า Small-Signal Capacitance C ของมอสคาปาซิเตอร์ ถูกนิยามโดยความสัมพันธ์

$$C = \frac{dQ_g}{dV_g} = \frac{-dQ_s}{dV_g} \tag{2.25}$$

ซึ่ง Qg = - Qs เป็นประจุต่อหน่วยพื้นที่บนขั้วเกท แทนค่า $\frac{dQ_s}{dQ_g}$ จากสมการที่ 2.25 ลงในสมการที่ 2.24 แล้วจัด term ใหม่จะได้

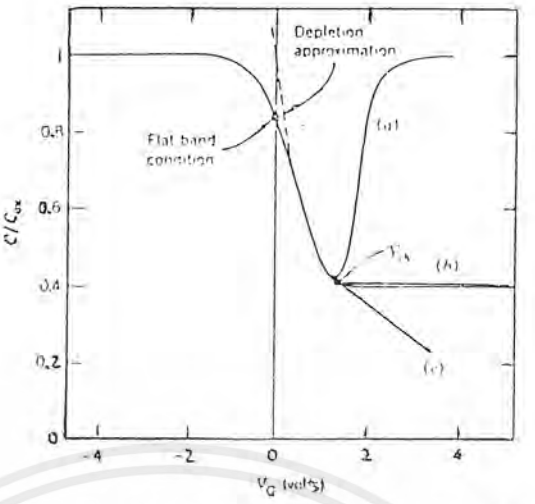
$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_s} \tag{2.26}$$

ซึ่ง $C_s = \frac{-dQ_s}{d\phi_s}$ เป็น Semiconductor Space Charge Layer Capacitance ต่อหน่วยพื้นที่ของพื้นผิว Semiconductor จากสมการที่ 2.26 Normalized Capacitance $\frac{C}{C_{ox}}$ สามารถเขียนได้ว่า

$$\frac{C}{C_{ox}} = \frac{1}{1 + \frac{C_{ox}}{C_s}} \tag{2.27}$$

สำหรับความหนา Oxide ที่กำหนด $t_{ox}, C_{ox}$ คงที่และไม่ขึ้นกับ Vg ดังนั้นถ้ารู้ว่า Cs ขึ้นอยู่กับ Vg ในลักษณะใด จะสามารถ Plot อัตราส่วน $\frac{C}{C_{ox}}$ เป็นฟังก์ชัน Vg ได้ซึ่งจะได้ C-V Curve ออกมาดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.11 แสดง MOS C-V Curves ในอุดมคติ (a) ที่ความถี่ต่ำ
(b) ที่มีความถี่สูงและ (c) ที่ Deep Depletion

สามารถอธิบายได้อย่างคร่าวๆ ว่าทำไมรูป Curve จึงออกมาเป็นดังรูปที่ 2.11 ได้ดังนี้ เมื่อ Gate Voltage ถูกทำให้เป็นลบ ความหนาแน่นโฮลในชั้นผิวจะเพิ่มขึ้นมากกว่าค่า $\rho_o$ ซึ่งเป็นค่าของสมดุลย์ ซึ่งสิ่งนี้จะทำให้เกิดการลดลงของ Effective Dynamic Depletion Region Length และจึงทำให้เกิดการเพิ่มขึ้นของค่า Cs ดังนั้นอัตราส่วน $C/C_{ox}$ จึงเพิ่มขึ้นตามค่า Negative Bias บนเกทดังแสดงตามเส้นทึบในรูปที่ 2.11 สุดท้ายถ้า Negative Gate Voltage มีค่ามากพอโฮลจำนวนมากจะถูกดึงเข้าไปใกล้ Oxide ให้เกิด Strong Accumulation ที่ Surface ดังนั้น Cs จะมีค่ามากๆ และอัตราส่วน $C/C_{ox}$ จะเข้าสู่ 1 สำหรับค่าที่เป็นบวกของ Vg โฮลจะถูกผลักออกจาก Oxide-Semiconductor Interface ทำให้เกิด Depletion Region Capacitance จะต่ออนุกรมอยู่กับ Oxide Capacitance ทำให้ Total Capacitance มีค่าน้อยกว่า Cox และเมื่อ Gate Bias ยังคงเพิ่มขึ้นอีก Depletion Region จะขยายออกไปและทำให้ Cs ลดลงต่อไป สิ่งนี้จะทำให้ $C/C_{ox}$ ค่อยๆลดลงเมื่อ Vg ค่อยๆเพิ่มขึ้นเรื่อยๆ สุดท้ายเมื่อ Vg มีค่ามากพอที่จะทำให้เกิด Strong Inversion ที่ Surface Depletion Region จะขยายออกเข้าสู่ที่ Maximum ของมัน ทำให้ Cs เป็นค่า Minimum และ $C/C_{ox}$ เข้าสู่ค่าคงที่ไม่ขึ้นกับ Gate Bias ดังกราฟเส้นทึบในรูปที่ 2.11b

ในการปฏิบัติจะทำการวัดค่าแอดมิตแตนซ์ C โดยการขี่สัญญาณ AC Small Signal (ประมาณ 5 mv) บน DC Bias แล้วป้อนเข้าขาเกท โดยการวัดจะแบ่งเป็นวัดโดยป้อน AC ที่ High Frequency (ประมาณ 1 MHz) หรือวัดที่ Low Frequency (ประมาณ 10-100 Hz) แต่ที่นิยมใช้จะเป็นการหา CV Plots แบบ High Frequency มากกว่าเพราะว่า สะดวกในการวัดและจัดอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

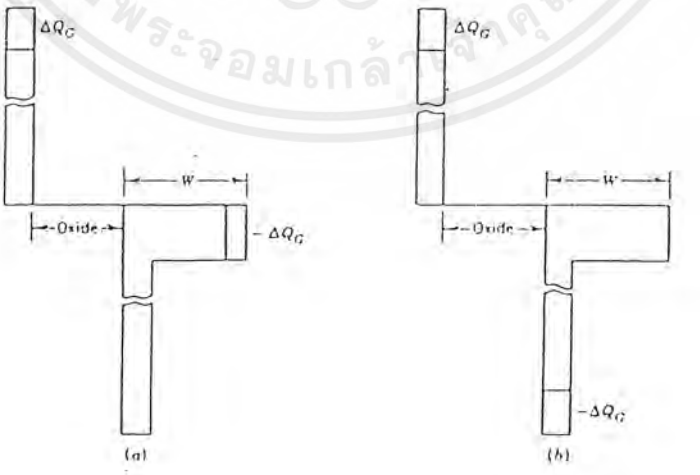
เพื่อให้เข้าใจถึงการขึ้นกับความถี่ของ CV Plots ทั้ง High และ Low Frequency ให้พิจารณาว่า Positive Bias บน gate เพิ่มขึ้นมา $\Delta v_g$ ซึ่งทำให้เกิดประจุเพิ่มบนขั้วเกท $+\Delta Q_g$ ดังนั้นจะเกิด Negative Charge $-\Delta Q_g$ ถูกเหนียวนำให้เกิดขึ้นใน Semiconductor จากรูปที่ 2.12

ที่ความถี่สูงการเพิ่มขึ้น ของ Negantive Charge จะเกิดจากโฮลที่วิ่งออกจาก Depletion Region ดังรูป ค่า Capacitance ที่วัดได้ในขณะนี้จะเป็น Oxide Capacitance อนุกรมอยู่กับ Depletion Region Capacitance เนื่องจาก depletion region capacitance เข้าสู่ค่าต่ำสุดของมัน ดังนั้นค่า $C/C_{ox}$ ก็จะเข้าสู่ค่าต่ำสุดด้วยดังรูปที่ 2.12 ในขณะนี้ถ้า Electron-Hole Pair สามารถเกิดขึ้นใน Depletion Region ก่อนที่ $\Delta V_g$ จะหมดไป Hole ที่ถูก Generate ขึ้นก็จะเข้าไปแทนที่ Hole ที่เคลื่อนที่ออกมาจาก Depletion Region Edge ขณะนี้ Electron ก็จะเข้าไปอยู่ใน Inversion Layer ตามรูปที่ 2.12 ในสถานการณ์เช่นนี้ค่า Capacitance ที่วัดได้จะเป็นค่า Capacitance ของ Oxide เพียงอย่างเดียว และ $C/C_{ox}$ ก็จะเข้าสู่ค่า 1 ดังนั้นจึงเป็นอันชัดเจนว่าหลังจากเกิด Strong Inversion แล้ว Curve ในรูปที่ 2.12a จะสอดคล้องกับการวัดแบบ Low Frequency ขณะที่ Curve ในรูปที่ 2.12b จะแสดงลักษณะ High Frequency ของมอสคาปาซิเตอร์

อ้างถึง High Frequency cruve ในรูปที่ 2.12bทำให้ระลึกว่าค่า $C/C_{ox}$ เข้าสู่ Minimum เมื่อ Strong Inversion เกิดขึ้นที่ผิวของ Semiconductor ค่า Gate Voltage ในตอนเริ่มเกิด Stroung Inversion ถูกเรียกว่า Threshold Voltage VT ของมอส ซึ่งหาได้จากการแทนสมการให้
Qs = -qNaW$_m$, $\phi_s = 2\phi_f$ ซึ่งเป็นเงื่อนไขการเกิด Inversion Layer จะได้

$$VT = \frac{-Q_s}{Cox} + 2\phi_f \qquad (2.28)$$

โดยที่ $Q_s = -qNaW_m = -\sqrt{4\varepsilon_s qNa\phi_f}$ ซึ่งค่า Threshold Voltage ได้แสดงในรูปที่ 2.12 ด้วย




รูปที่ 2.12 แสดงการเปลี่ยนแปลงของการกระจายประจุในมอสคาปาซิเตอร์ที่ถูกไบอัสในช่วง inversion (a) ที่มีความถี่สูง (b) ที่มีความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.8 ระบบมอสที่แท้จริง (Real MOS Capacitor)**

ในระบบมอสอุดมคติที่กล่าวมา สมมติว่าไม่มีการงอตัวของแถบพลังงานสำหรับ Vg = 0 ซึ่งเงื่อนไขนี้ไม่เป็นจริงในทางปฏิบัติ ความแตกต่างระหว่างค่าฟังก์ชันงานของโลหะสารกึ่งตัวนำ รวมถึงประจุที่อยู่ใน Oxide จะทำให้เกิดพฤติกรรมที่ไม่เป็นอุดมคติ โดยทั่วไปแล้วโลหะที่เป็นเกท และส่วนที่เป็นสารกึ่งตัวนำจะมีค่าฟังก์ชั่นที่ต่างกันโดย

$$\phi_{ns} = (\phi_m - \phi_{sc}) \tag{2.29}$$

เป็นความแตกต่างของฟังก์ชันงานที่เกิดขึ้นระหว่าง Gate กับ Semiconductor Bulk ที่ Vg = 0 โดยที่ Semiconductor Work Function หาได้จากความสัมพันธ์

$$q\phi_{sc} = (qX + \frac{E_g}{2} \pm \phi_f) \tag{2.30}$$

ดังนั้นจะได้ว่า

$$\phi_{ns} = \phi_m - (x + \frac{E_g}{2} \pm \phi_f) \tag{2.31}$$

โดยที่เครื่องหมาย + จะเป็นของ P-type Semiconductor เครื่องหมาย – จะเป็นของ n-type Semiconductor ในทางปฏิบัติแล้วนิยม Plot ค่าของ $\phi_{ns}$ เป็นฟังก์ชันของความหนาแน่นสารเจือใน Silicon สำหรับ Gate ที่เป็น Al, Au และ Polysilicon ดังรูปที่ 2.13

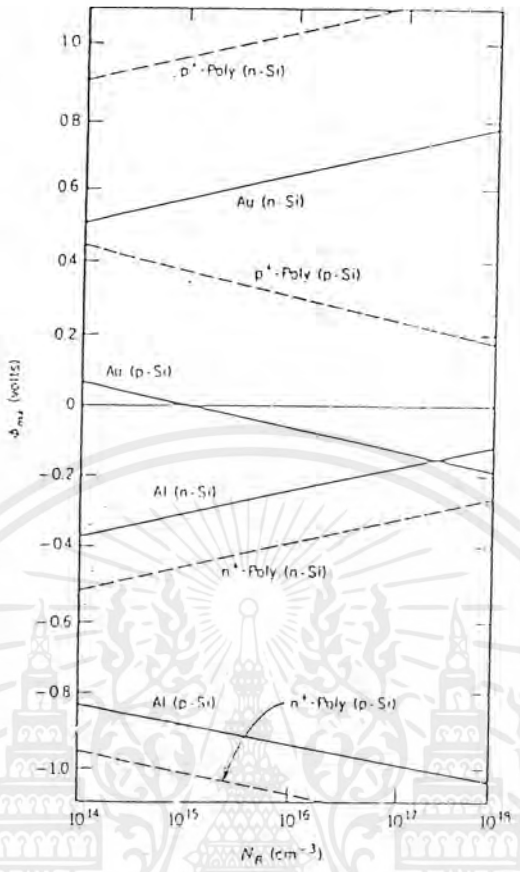
โดยทั่วไปแล้วระบบที่เป็น Oxide-Silicon จะประกอบด้วยประจุอยู่ 2 แบบคือ ประจุเคลื่อนที่และอยู่กับที่ใน Oxide และประจุที่รอยต่อของ Si และ $Sio_2$ โดยที่ประจุทั้งหมดใน Oxide สามารถหาได้จาก C-V Plots ของ MOS Capacitor

เนื่องจากประจุใน Oxide และในรอยต่อ รวมถึงความแตกต่างของฟังก์ชั่นงานระหว่างโลหะที่เป็นเกทกับสาร กึ่งตัวนำ จึงทำให้เกิดการเคลื่อนไปจาก C-V Curve ที่เป็นอุดมคติของ MOS Capacitor เส้นทึบในรูปที่ 2.14 แสดงถึงการวัด C-V Plots ที่ High Frequency ของ MOS Capacitor ที่ใช้ P-silicon โดยมี Na =5.5 X $10^{16}$ $cm^3$ กับอลูมิเนียมเกทและมีความหนาของ oxide 1100 A° โดย Curve เส้นประเป็น Curve ในอุดมคติซึ่งสามารถคำนวณได้เมื่อรู้ $N_a$ และความหนาของ Oxide เส้น Curve ที่วัดได้ในทางปฏิบัติเลื่อนจาก Curve อุดมคติไปในทางค่าลบของ Vg ชี้ให้เห็นถึงการเกิดมีประจุบวกใน oxide ค่า Vg ที่จำเป็นที่จะทำให้เกิด Flat-Band Condition ในสารกึ่งตัวนำเรียกว่า Flat-Band Voltage Vfb ซึ่งหาได้จาก

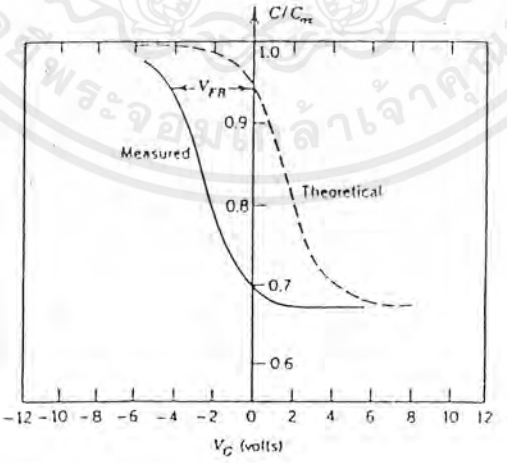
$$Vfb = \phi_{ns} - \frac{Q_{it}}{C_{ox}} - \frac{-1}{C_{ox}t_{ox}} \int_o^{t_{ox}} \rho(y)dy \tag{2.32}$$

ซึ่ง $Q_{it}$ แทนประจุต่อหน่วยพื้นที่ที่รอยต่อของ Oxide–Semicanductor และ $\rho(y)$ เป็นความหนาแน่นประจุใน Oxide

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.13 ความแตกต่างของค่าฟังก์ชั่นงานระหว่างโลหะและสารกึ่งตัวนำโดยพล๊อตเป็นฟังก์ชั่นของค่าความหนาแน่นอะตอมสารเจือในซิลิกอนสำหรับ Al, Au และ polysiligon เกท




รูปที่ 2.14 พล๊อตของ C-V ที่ได้จากการคำนวณและการวัดที่ความถี่สูงของมอสคาปาซิเตอร์บนซิลิกอนฐานรองชนิดพี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในสมการที่ 2.32 เทอมที่ 2 แสดงถึงการเลื่อนของ C-V Curve เนื่องจากประจุที่รอยต่อ และเทอมที่ 3 จะทำให้เกิดการเลื่อนของ C-V Curve เนื่องมาจากประจุใน Oxide ซึ่งทั้ง 2 เทอมสามารถรวมกันได้ทำให้ Vfb เขียนได้เป็น

$$Vfb = \phi_{ns} - \frac{Q_{ox}}{C_{ox}} \tag{2.33}$$

ซึ่ง $Q_{ox}$ แทนประจุทั้งหมด

จาก Plot รูปที่ 2.14 ได้ Vfb = -4.5 จากรูปที่ 2.13 แสดงให้เห็นว่าสำหรับ Aluminium Gate บน P-Silicon $\phi_{ns}$ เป็นลบและขนาดของมันยังน้อยกว่า 1 ด้วย ดังนั้น Total Charge $Q_o$ ต้องเป็นบวกเนื่องมาจากค่าที่เป็นลบของ Vfbบังคับอยู่ค่า Flat-Band Voltage สามารถทำให้เกิดการเปลี่ยนแปลงต่อ Threshold Voltage ได้ค่า Threshold Voltage ใหม่ที่ได้จะเป็นผลรวมทางพีชคณิตของ Vfb กับ Threshold Voltage เดิมในตอนที่พิจารณา Ideal MOS

$$VT = Vfb - \frac{Q_s}{C_{ox}} + 2\phi_f \tag{2.34}$$

ซึ่งสมการนี้นอกจากจะใช้ได้กับ P-type Semiconductor แล้งยังสามารถใช้วิเคราะห์ N-type Semiconductor ได้ด้วยอย่างไรก็ตามสังเกตว่าสำหรับ Si-$Sio_2$ system เป็นลบในกรณีของ P-Silicon ส่วนอีก 2 เทอมที่เหลือในสมการที่ 2.34 เป็นบวกแต่สำหรับ N-Silicon ทั้ง 3 เทอมเป็นลบหมด ดังนั้นขนาด Threshold Voltage ของ MOS Transistor ที่สร้างบน N-Silicon จะมากกว่าที่สร้างบน P-Silicon

## 2.9 บอดี้ไบอัส

แรงดันขีดเริ่ม , VTn ได้รับผลกระทบจากแรงดัน Vsb สอดคล้องกับสมการ

$$VT = VTo + \gamma(\sqrt{2|\phi_f| + Vsb} - \sqrt{2|\phi_f|} \tag{2.35}$$

เมื่อ VTO คือแรงดันขีดเริ่ม ในกรณีที่ Vsb = 0, $\gamma$ คือบอดี้ไบอัส แฟคเตอร์

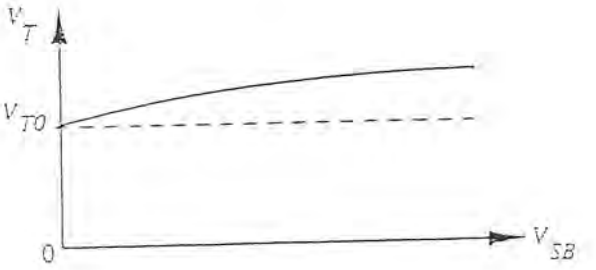
$$\gamma = \frac{\sqrt{2q\varepsilon_{si}N_a}}{C_{ox}} \tag{2.36}$$

มีหน่วยเป็น [$V^{1/2}$] และ $2|\phi_f|$ คือ บัล์ค เฟอร์มิ โพเทนเชียล (Bulk Ferni Potential)

$$2|\phi_f| = 2\left(\frac{KT}{q}\right)\ln\left(\frac{N_a}{N_i}\right) \tag{2.37}$$

ค่าพารามิเตอร์ $N_a$ ในทั้งสองสมการข้างต้นคือ ความหนาแน่นอะตอมสารเจือผู้รับ (Boron) ในฐานรองชนิดพี โดยปกติ $N_a$ จะมีค่าประมาณ $10^{15}$ $cm^{-3}$ จากสมการจะแสดงว่าการเพิ่มขึ้นของ Vsb จะทำให้ทรานซิสเตอร์ยากแก่การ turn on หรืออีกนัยหนึ่งก็หมายถึงจะทำให้ค่าแรงดันขีดเริ่มมีค่าเพิ่มขึ้นนั่นเอง ดังแสดงในรูปที่ 2.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.15 แสดงผลของ บอดี้ไบอัส ของมอสเฟต

**2.10** โปรเซส พารามิเตอร์

ค่าพารามิเตอร์ทางไฟฟ้าพื้นฐานของมอสเฟตจะถูกกำหนดจากกระบวนการสร้างสำหรับเอ็นแชนแนล ทรานซิสเตอร์ จะมีค่าต่างๆ ดังนี้

$V_{ton}$ คือ แรงดันขีดเริ่มกรณีของ ซีโร่–บอดี้ไบอัส ซึ่งมีค่าเป็นบวก โดยปกติจะมีค่าอยู่ระหว่าง 0.50 และ 1.00 Volts

$K'_n$ คือ โปรเซส ทรานสคอนดัคเตนซ์ [$A/V^2$] จะถูกกำหนดโดยค่าของ Cox และเป็นส่วนกลับกับความหนาของเกทออกไซด์ Xox ปกติจะมีค่าอยู่ระหว่าง 50-200 [$A/V^2$]

$\gamma$ คือ บอดี้-ไบอัส พารามิเตอร์ [$V^{1/2}$] จะมีค่าเปลี่ยนแปลงตามจำนวน ของอะตอมสารเจือที่มีอยู่ในฐานรอง และค่าความจุของคาปาซิเตอร์ที่เกท

$\lambda$ คือ แชนแนล-เลนซ์ มอดูเลชั่น แฟคเตอร์

**2.11** พาราซิติก คาปาซิแดนซ์

รูปที่ 2.16 แสดงความจุแฝงพื้นฐานที่เกิดขึ้นกับมอสเฟต กระบวนการทางสวิทซ์ ซึ่งจะถูกกำหนดโดยค่าของ $C_{ox}$ เมื่อมองเข้าไปในเกทจะเห็น Cg ผลรวมของอินพุทคาปาซิแตนซ์สามารถคำนวณได้จาก

$$Cg = C_{ox}WL' \tag{2.38}$$

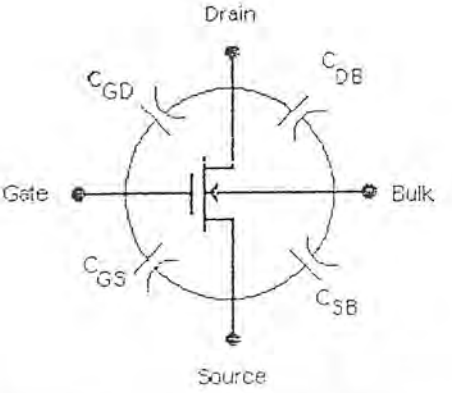
เมื่อ L' คือ ความยาวของแชนแนล

ผลรวมของ พาราซิติก คัปปลิ้ง ระหว่างเกท และ ซอส หรือเดรน แสดงได้โดย

Cgs ; เกท–ซอส คาปาซิแตนซ์ และ

Cgd; เกท–เดรน คาปาซิแตนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.16 แสดง พาราซิติก คาปาซิแตนซ์ โมเดลของมอสเฟต

สำหรับการประมาณค่าอย่างหยาบๆ จะได้

$$Cgs = \frac{1}{2}Cg \approx Cds \tag{2.39}$$

ถึงแม้ว่าสมการ 2.39 จะเป็นการประมาณค่าก็จริง แต่จะมีประโยชน์มากสำหรับการออกแบบเบื้องต้น ดีพลีชั่นคาปาซิเตอร์ (Depletion Capacitance) จะถูกกำหนดโดยปริมาณของการโดยสารเจือบริเวณขั้วเดรน–ซอส และ ซอส–ฐานรอง ผลอันนี้จะทำให้เกิด Csb และ Cdb ในกรณีของซีโร่ไบอัส คาปาซิแตนซ์/ซม.$^2$ จะกำหนดเป็น Cjo เช่น ผลรวมของคาปาซิแตนซ์ที่เป็นฟังก์ชันของแรงดันไบอัสย้อนกลับ, $V_\gamma$ ได้รับ

$$C = \frac{CjoA}{\left(1 + \frac{V_\gamma}{\phi_o}\right)^m} \tag{2.40}$$

โดยที่ A คือผลรวมของพื้นที่บริเวณรอยต่อ (Junction) และ $\phi_o$ คือกำแพงศักย์ (Built–in Voltage หรือ Potential Barrier) และ m คือโดปปิ้งโปรไฟล์แฟคเตอร์ (Doping Profile) ซึ่งมี 2 กรณี คือ m = 1/2 (Step Profile Junction) และ m = 1/3 (Linear Graded Junction)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.12 เดรน-ซอส รีซีสติสแตนซ์

ความต้านทาน เดรน-ซอส ของมอสเฟทจะถูกกำหนดโดยค่ารีซิสทิวิตี้ของแชนแนล ถ้าพยายามที่จะกำหนดความต้านทาน R แบบลิเนียร์ สำหรับทรานซิสเตอร์จะใช้

$$R = \frac{Vds}{Id} \tag{2.41}$$

ในขณะที่ความไม่ลิเนียร์ของดีไวซ์ จะเห็นได้ชัดทันทีเมื่อพยายามที่จะกำหนดรวมเข้ากับสมการกระแสเดรน เพื่อให้เป็นการง่าย สามารถจะคาดคะเนผลของความต้านทาน เดรน-ซอส ของเอ็นมอสโดยใช้ ลิเนียร์ไทม์ อินวาเรียนท์ (linear tirne invariant) ซึ่งได้รับจาก

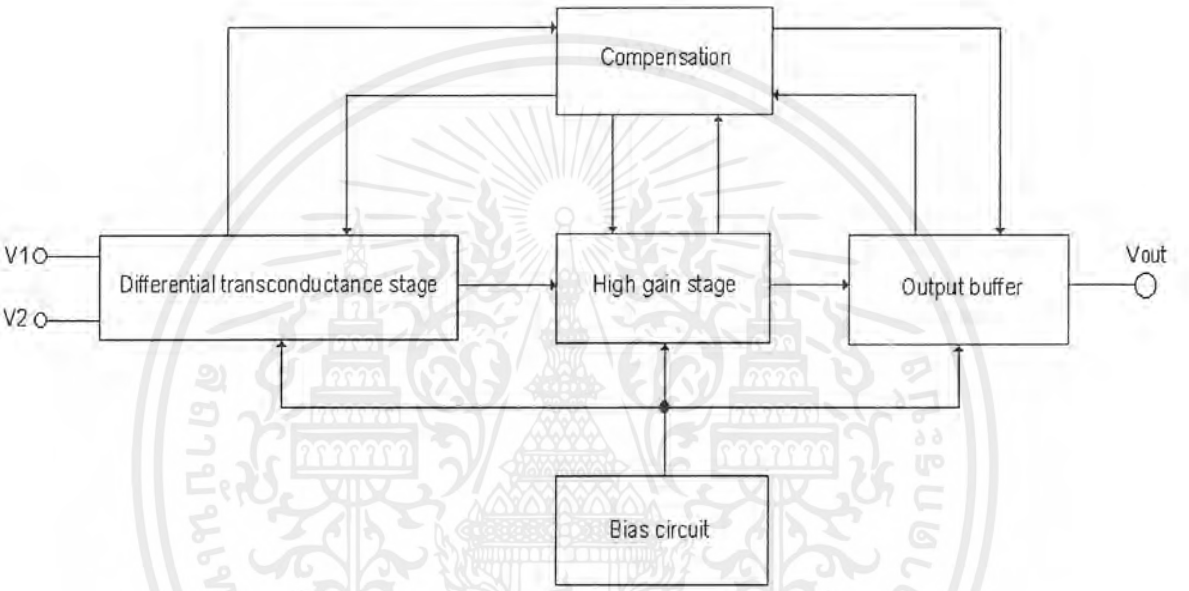
$$Rn \approx \frac{1}{K'_n \left(\frac{W}{L}\right)(Vdd - VTn)} \tag{2.42}$$

ถึงแม้ว่ามันจะพอเพียงสำหรับการประมาณค่า แต่ก็ไม่ค่อยนิยมใช้ในการนำไปคำนวณในกรณีของการออกแบบวงจรที่เป็นวิกฤต (Critical Situations)การจำลองแบบบนคอมพิวเตอร์จะช่วยได้มากในกรณีนี้ และสมการนี้จะใช้ประโยชน์ในกรณีของการเปรียบเทียบกับการออกแบบวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3
# องค์ประกอบพื้นฐานของวงจรขยายสัญญาณแบบโอเปอเรชั่นแนล
# (Building Block Circuits of the Operational Amplifier)

วงจรโอเปอเรชั่นแนลแอมป์ปลิฟลายเออร์สามารถแยกพิจารณาเป็นองค์ประกอบย่อยๆ แสดงดังบล๊อคไดอะแกรมดังต่อไปนี้




## 3.1 ภาคไบอัสวงจรขยายสัญญาณ (Biasing Circuit State)

ในการออกแบบภาคไบอัสให้กับวงจรขยายสัญญาณนั้นจะใช้หลักการของวงจรสะท้อนกระแสทั้งชนิด NMOS และ PMOS โดยมีโครงสร้างและรายละเอียดต่างๆดังต่อไปนี้

วงจรสะท้อนกระแสเป็นวงจรที่มีประโยชน์มากในการออกแบบวงจรอนาลอก CMOS วงจรนี้ใช้หลักการที่ว่าถ้าแรงดันเกทซอสมอสสองตัวที่มีลักษณะเหมือนกันเท่ากัน กระแสของช่องทางเดิน กระแสควรจะเท่ากัน รูปที่ 3.1a แสดงการสร้างวงจรสะท้อนกระแสชนิดเอ็นมอสแบบธรรมดา กระแส $I_t$ เป็นกระแสเอาท์พุทหรือกระแสที่ถูกสะท้อน M1 อยู่ในช่วงอิ่มตัวของมอสได้ส่วนมากแล้วในกรณีทั่วไปอัตราส่วน Io ต่อ $I_i$ จะเป็น

$$\frac{I_o}{I_i}=\left(\frac{L_1W_2}{W_1L_2}\right)\left(\frac{Vgs-VT_2}{Vgs-VT_1}\right)^2\left(\frac{1+\lambda Vds_2}{1+\lambda Vds_1}\right)\left(\frac{\mu_{o2}Cox_2}{\mu_{o1}Cox_1}\right) \qquad (3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

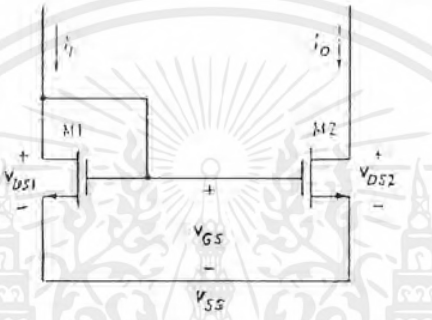
โดยทั่วไปแล้วส่วนประกอบของวงจรสะท้อนกระแสถูกสร้างบนวงจรรวมเดียวกัน ดังนั้น พารามิเตอร์ทางฟิสิกส์ เช่น VT ดังนั้นสมการที่ 3.1 สามารถเขียนได้ดังนี้

$$\frac{I_o}{I_i} = \left(\frac{L_1 W_2}{W_1 L_2}\right)\left(\frac{1+\lambda Vds_2}{1+\lambda Vds_1}\right) \tag{3.2}$$

ถ้า $Vds_2 = Vds_1$ ไม่เป็นสมมติฐานที่ดีเสมอไป แล้ว อัตราส่วน $I_o / I_i$ จะกลายเป็น

$$\frac{I_o}{I_i} = \left(\frac{L_1 W_2}{W_1 L_2}\right) \tag{3.3}$$

ดังนั้น $I_o / I_i$ เป็นฟังก์ชั่นของ aspect ratios ซึ่งอยู่ในการควบคุมของผู้ออกแบบ




รูปที่ 3.1 วงจรสะท้อนกระแส แบบ N Channel

มีผลกระทบอยู่ 3 ประการ ซึ่งทำให้วงจรสะท้อนกระแสแตกต่างไปจากอุดมคติตามสมการที่ 3.3 ผลเหล่านี้คือ

1. channel-length modulation
2. ค่า threshold offset ของมอสทั้งสองตัว
3. การไม่ matching กันอย่างสมบูรณ์ทางเรขาคณิต

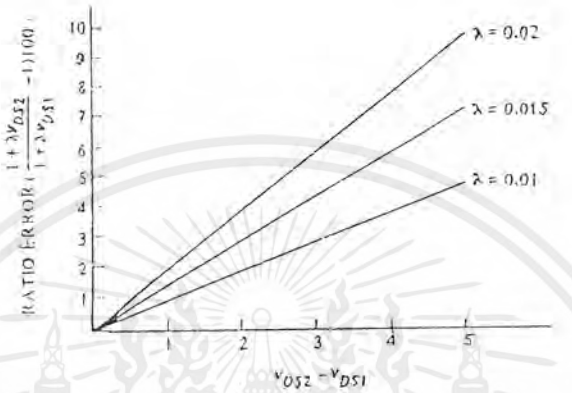
โดยที่ผลกระทบแต่ละอย่างจะนำมาพิจารณาแยกกัน พิจารณาผลของ channel–length mdulation สมมติว่าในแง่อื่นของมอสเป็นอุดมคติ และ aspect ratios ของมอสทั้งสองตัวเท่ากับหนึ่งแล้วสมการที่ 3.2 จะสามารถเขียนสมการได้ดังนี้

$$\frac{I_o}{I_i} = \left(\frac{1+\lambda Vds_2}{1+\lambda Vds_1}\right) \tag{3.4}$$

ด้วยสมมติฐานที่ว่า $\lambda$ เท่ากันสำหรับมอสทั้งสองตัว สมการนี้จะแสดงว่าความแตกต่างของแรงดันเดรนซอสของมอสทั้งสองตัวสามารถก่อให้เกิดการเบี่ยงเบนไปจากการมีอัตราการขยายเท่ากับ 1 ซึ่งเป็นอุดมคติ รูปที่ 3.2 แสดงพล๊อตของค่าผิดพลาดของอัตราส่วนกระแสกับ Vds1-Vds1 ในค่าต่าง ๆ กันของ $\lambda$ ของมอสทั้งสองตัวที่ทำงานในช่วงอิ่มตัว ข้อเท็จจริงสองประการที่สำคัญควรจะถูกนำมาพิจารณาด้วยจากพล๊อตนี้ ประการแรก คือว่าค่าผิดพลาดของอัตราส่วนที่มากสามารถ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกิดขึ้นได้เมื่อมอสตัวไม่ได้มีแรงดันเดรนซอสค่าเดียวกัน และประการที่สองสำหรับความแตกต่างใดๆ ในแรงดันเดรนซอส อัตราส่วนของกระแสสะท้อนเทียบกับกระแสอ้างอิงจะดีขึ้นเมื่อ $\lambda$ น้อยลง (ความต้านทานเอาท์พุทมากขึ้น) ดังนั้นวงจรสะท้อนกระแสที่ดีควรจะมีแรงดันเดรนซอสเท่ากันและมีความต้านทานเอาพ์ทุทที่สูง




รูปที่ 3.2 แสดงพล๊อตเปอร์เซ็นต์ ration error เทียบกับความแตกต่างระหว่างแรงดันเดรนของวงจรสะท้อนกระแสรูปที่ 3.1 ที่ Vds1 = 2 V

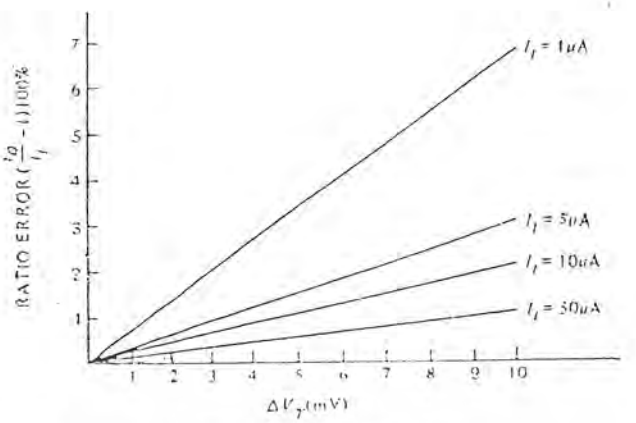
ผลที่ไม่เป็นอุดมคติประการที่สอง คือค่า offset ระหว่าง threshold voltage ของมอสทั้งสองตัวพิจาราณาว่ามอสทั้งสองตัวในวงจรสะท้อนกระแสมีแรงดันเดรนซอสเท่ากันและในแง่อื่นๆเท่ากันยกเว้น ในกรณีสมการที่ 3.1 สามารถเขียนได้ดังนี้

$$\frac{I_o}{I_i}=\left(\frac{Vgs-VT_2}{Vgs-VT_1}\right)^2 \qquad (3.5)$$

รูปที่ 3.3 แสดงพล๊อตของค่าผิดพลาดอัตราส่วนเทียบกับ $\Delta VT$ โดยที่ $\Delta VT = VT_1 - VT_2$ เห็นได้ชัดจากกราฟว่า การทำงานของวงจรสะท้อนกระแสที่ดีกว่าได้มาจากค่ากระแสที่สูงกว่า เนื่องจาก Vgs ยิ่งสูงสำหรับกระแสยิ่งสูง ดังนั้น $\Delta VT$ จะยิ่งเป็นเปอร์เซนต์ที่เล็กของ Vgs เป็นไปได้ที่อัตราขยายทรานคอนดักแตนซ์ K' ของวงจรสะท้อนกระแสอาจจะไม่ match กัน (เนื่องจากขั้นตอนการสร้าง Oxide) วิธีการวิเคราะห์ทางตัวเลขต่อการเปลี่ยนของทั้ง K' และ VT จะถูกนำมาใช้ โดยให้สมมติว่าอัตราส่วน W/L ของมอสทั้งสองตัวเท่ากันแต่ K' และ VT ไม่เท่ากัน สมการที่ (3.5) สามารถถูกเขียนใหม่ได้

$$\frac{I_o}{I_i}=\frac{K'_2\left(Vgs-VT_2\right)^2}{K'_2\left(Vgs-VT_1\right)^2} \qquad (3.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.3 แสดงพล็อตเปอร์เซนต์ ratio error เทียบกับค่าออฟเซทของแรงดันสำหรับวงจรสะท้อนกระแสของรูปที่ 3.1 VT1 = 1 V, K'(W/L) = 24 uA/V$^2$

ซึ่ง Vgs1 = Vgs2 = Vgs กำหนดให้ $\Delta K' = K'_2 - K'_1$ และ $K' = 0.5(K'_2 + K'_1)$ และ $\Delta VT = VT_2 - VT_1$ และ VT = 0.5 ($VT_2$ + $VT_1$) ทำให้ได้ว่า

$$K'_1 = K' - 0.5K' \tag{3.7}$$

$$K'_2 = K' - 0.5K' \tag{3.8}$$

$$VT_1 = VT - 0.5\Delta VT \tag{3.9}$$

$$VT_2 = VT + 0.5\Delta VT \tag{3.10}$$

แทนค่าสมการที่ (3.7) ถึง (3.10) ลงในสมการที่ (3.6) จะได้

$$\frac{I_o}{I_i} = \frac{(K'+0.5K')(Vgs - VT - 0.5\Delta VT)^2}{(K'-0.5K')(Vgs - VT + 0.5\Delta VT)^2} \tag{3.11}$$

แยกแฟกเตอร์ $K'$ และ (Vgs - VT) ออกจะได้

$$\frac{I_o}{I_i} = \frac{\left[1 + \frac{\Delta K'}{2K'}\right]\left[1 - \frac{\Delta VT}{2(Vgs - VT)}\right]^2}{\left[1 - \frac{\Delta K'}{2K'}\right]\left[1 + \frac{\Delta VT}{2(Vgs - VT)}\right]^2} \tag{3.12}$$

สมมติว่าปริมาณในสมการที่ 3.12 ที่ตามหลัง 1 มีค่าน้อยมาก สมการที่ 3.12 สามารถถูกประมาณได้ว่า

$$\frac{I_o}{I_i} \cong \left[1 + \frac{\Delta K'}{2K'}\right]\left[1 + \frac{\Delta K'}{2K'}\right]\left[1 - \frac{\Delta VT}{2(Vgs - VT)}\right]^2\left[1 - \frac{\Delta VT}{2(Vgs - VT)}\right]^2 \tag{3.13}$$

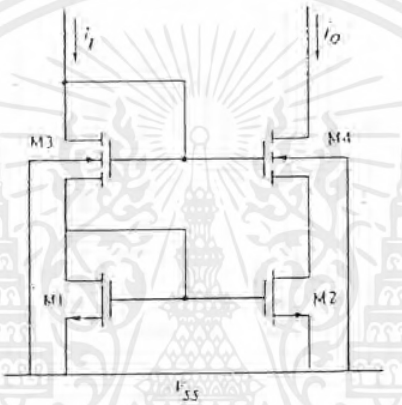
คงไว้เฉพาะผลคูณอันดับแรก จะได้

$$\frac{I_o}{I_i} \cong 1 + \frac{\Delta K'}{K'} - \frac{2\Delta VT}{(Vgs - VT)} \tag{3.14}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้ารู้การเปลี่ยนแปลงของ K' และ VT สมการที่ (3.14) สามารถถูกใช้เป็นพื้นฐานในกรณีที่จุดต่ำสุดสำหรับทำนายค่าผิดพลาดในอัตราขยายกระแสของวงจรสะท้อนกระแส

ผลที่ไม่เป็นอุดมคติประการที่ 3 ของวงจรสะท้อนกระแสก็คือ ค่าผิดพลาดใน aspect ratios ของมอสทั้งสองตัวซึ่งเกิดเนื่องจากขั้นตอนการทำมาสก์, โฟโตลิโทรกราฟฟี่,เอชชิ่ง และ ดิฟฟิวชั่น ความคลาดเคลื่อนเหล่านี้เกิดขึ้นได้แม้ว่ามอสสองตัวเป็นตัวที่อยู่ข้างๆกันก็ตามวิธีหนึ่งที่จะหลีกเลี่ยงผลกระทบเหล่านี้คือ การทำให้ขนาดของมอสใหญ่ขึ้นเพื่อลดผลที่เกิดขึ้น สำหรับมอสที่ขนาด W และ L ที่มากกว่า 10 จะทำให้ค่าผิดพลาดที่เกิดขึ้นเนื่องจากการไม่ match กันทางเรขาคณิตจะน้อยเมื่อทียบกับค่าผิดพลาดที่เกิดขึ้นเนื่องจากแรงดันออฟเซตและ Vds




รูปที่ 3.4 แสดงวงจรสะท้อนกระแสแบบคาสโคด

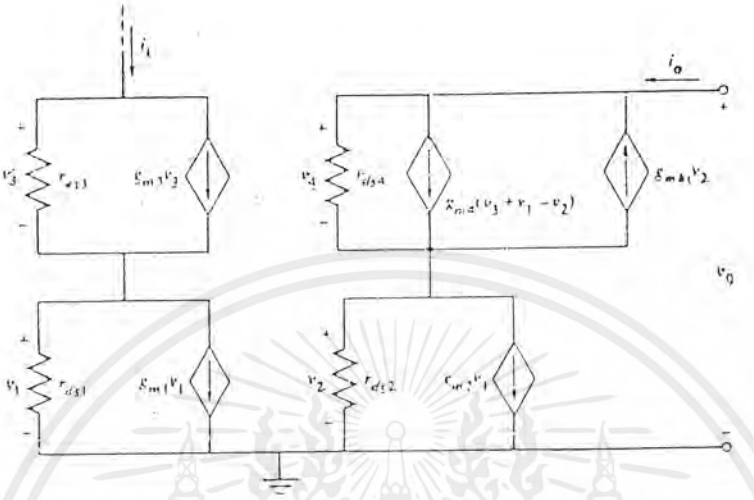
จะเห็นได้ว่าค่าความต้านทานเอ๊าท์พุทของสัญญาณขนาดเล็กเป็นตัววัดความสมบูรณ์ของวงจรสะท้อนกระแสได้ดี ค่าความต้านทานเอาท์พุทของวงจรสะท้อนกระแสแบบธรรมดา ตามรูปที่ 3.1 สามารถหาได้ว่า

$$R_{out} = \frac{1}{gds} = \frac{1}{\lambda I_d} \qquad (3.15)$$

ดังนั้นวงจรสะท้อนกระแสที่ประสิทธิภาพสูงกว่าจะได้มาจากการเพิ่มค่าของ $R_{out}$ โดยใช้สมการที่ 3.15 นี้เป็นจุดเปรียบเทียบ ถึงจุดนี้ได้แสดงการปรับปรุงวงจรสะท้อนกระแสในแง่ต่างๆ ของวงจรในรูปที่ 3.1 แต่ก็ยังมีอีกหลายวิธีที่สามารถปรับปรุงประสิทธิภาพของวงจรสะท้อนกระแสได้โดยอาศัยการปรับเปลี่ยนรูปแบบการต่อวงจร มีการต่อรูปแบบหนึ่งที่ใช้ลดผลของความต้านทานเอาท์พุท คือ การต่อวงจรตามรูปที่ 3.4 ถ้ามอสทุกตัวเหมือนกันแล้ว แรงดันเดรนของทรานซิสเตอร์ M1 จะเท่ากับแรงดันเดรนของทรานซิสเตอร์ M2 ถ้าแรงดันของเดรนของทรานซิสเตอร์ M4 จะเริ่ม turn off เพื่อที่จะชดเชยการเพิ่มขึ้นของกระแส ผลก็คือการลดลงเล็กน้อยใน Vgs4 ทำให้เกิดการเพิ่มขึ้นเล็กน้อยใน Vds2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปลี่ยนแปลงที่ได้นี้ใน Vds2 น้อยกว่าการเปลี่ยนแปลงแรงดันเดรนของทรานซิสเตอร์ M4 มาก ดังนั้นการสะท้อนกระแสจะเกิดขึ้นโดยมีความผิดพลาดเพียงเล็กน้อย เนื่องมาจากผลของความต้านทานเอาท์พุท โดยการวิเคราะห์วงจรเสมือนสำหรับสัญญาณขนาดเล็ก จะเห็นได้ชัดถึงการปรับปรุงค่าความต้านทานเอาท์พุท

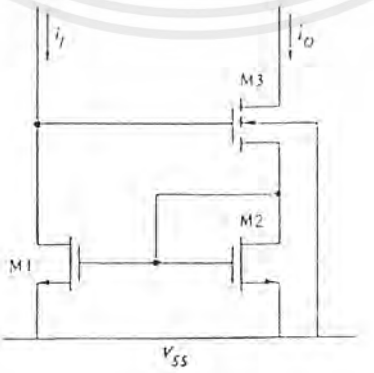


รูปที่ 3.5 แสดงแบบจำลองเสมือนสำหรับสัญญาณขนาดเล็กของรูปที่ 3.4

เนื่องจาก $I_1$ แรงดันสัญญาณขนาดเล็ก $V_1$ และ $V_3$ เป็นศูนย์ทั้งคู่ สามารถใช้ผลของสมการที่ 3.15 เขียนได้ว่า

$$R_{out} = rds_2 + rds_4 + gm_4 rds_2 rds_4 (1+\eta_4) \qquad (3.16)$$

จะเห็นได้ว่าค่าความต้านทานเอาท์พุทสำหรับสัญญาณขนาดเล็กของการต่อแบบนี้สูงกว่าการต่อวงจรสะท้อนกระแสแบบธรรมดาตามสมการที่ 3.15 มาก




รูปที่ 3.6 แสดงวงจรสะท้อนกระแสแบบวิลสัน N-Channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสะท้อนกระแสอีกแบบหนึ่งถูกแสดงไว้ในรูปที่ 3.6 วงจรนี้เป็นวงจรสะท้อนกระแสเอนแชนแนลแบบวิลสัน ความต้านทานเอาท์ของวงจรสะท้อนกระแสแบบวิลสันถูกทำให้เพิ่มขึ้นโดยผ่านทางการป้อนกลับกระแสลบ ถ้า io เพิ่มขึ้นแล้ว กระแสที่ไหลผ่านทรานซิสเตอร์ M2 จะเพิ่มขึ้นด้วย อย่างไรก็ตามการสะท้อนการกระแสของทรานซิสเตอร์ M1 และ M2 ทำให้กระแส M1 เพิ่มขึ้นด้วยถ้า i คงที่และถ้าสมมติว่ามีค่าความต้านทานเกิดขึ้นจากเกทของของทรานซิสเตอร์ M3 (เดรนของ M1) ต่อลงกรานด์แล้วแรงดันเกทของทรานซิสเตอร์ M3 จะลดลง ถ้ากระแส io เพิ่มขึ้น ค่าอัตราขยายวงปิดที่ได้จะเป็นผลคูณของ gm1 กับค่าความต้านทานของสัญญาณขนาดอสัญญาณขนาดเล็กที่ถูกมองจากเดรนของทรานซิสเตอร์ M1 ไปยังกราวนด์

สามารถแสดงได้ว่าค่าความต้านทานเอ๊าท์พุทสำหรับสัญญาณขนาดเล็กของวงจรดึงกระแสแบบวิลสันตามรูปที่ 3.6 เป็น

$$R_{out} = rds_3 + rds_2\left[\frac{1 + rds_3 gm_3(1+\eta_3) + gm_1 rds_1 gm_3 rds_3}{1 + gm_2 rds_2}\right] \tag{3.17}$$

ค่าความต้านทานเอาท์พุทรูปที่ 3.6 ดูเหมือนว่าจะใกล้เคียงกับค่าความต้านทานเอาท์พุทของวงจรรูปที่ 3.4 ข้อเสียคือค่าความต้านทานที่สูงของวงจรนี้ต้องการค่าแรงดันที่ไม่เป็นศูนย์ที่อินพุทและเอาท์พุทมันถึงจะทำงานได้ พิจารณาวงจรสะท้อนกระแสแบบคาสโคดตามรูปที่ 3.4 จากมุมมองของสัญญาณขนาดใหญ่ค่าแรงดันที่อินพุทถูกำหนดให้เป็น $V_i(\min)$ ซึ่งสามารถถูกแสดงได้ว่าขึ้นกับค่าของ I เนื่องจาก Vdg = 0 สำหรับทั้งทรานซิสเตอร์ M1 และ M3 มันจึงทำงานอยู่ในช่วงอิ่มตัวเสมอ ดังนั้นอาจแสดงได้ว่า

$$V_i(\min) = \left(\frac{2I_1}{K'}\right)^{\frac{1}{2}}\left[\left(\frac{L_1}{W_1}\right)^{\frac{1}{2}} + \left(\frac{L_3}{W_3}\right)^{\frac{1}{2}}\right] + (VT_1 + VT_3) \tag{3.18}$$

จะเห็นได้ว่าสำหรับค่า I ใดๆ วิธีเดียวที่จะลดค่า $V_i(\min)$ ก็คือต้องเพิ่มอัตราส่วน W/L ของทั้งทรานซิสเตอร์ M1 และ M3 สนใจค่าแรงดัน $V_{out}(sat)$ ด้วย ซึ่งเป็นแรงดันที่ทรานซิสเตอร์ M4 ใช้เพื่อเปลี่ยนแปลงสถานะจากช่วงที่ไม่อิ่มตัวไปยังช่วงอิ่มตัว ค่าแรงดันนี้สามารถหาได้จากความสัมพันธ์

$$Vds_4 \geq (Vgs - VT_4) \tag{3.19}$$

หรือ

$$Vds_4 \geq Vg_4 - Vt_4 \tag{3.20}$$

โดยที่สมการที่ 3.20 สามารถใช้เพื่อหาค่า $V_{out}(sat)$ ได้ว่า

$$\begin{aligned} V_{out}(sat) &= V_1 - VT_4 \\ &= \left(\frac{2I_1}{K'}\right)^{\frac{1}{2}}\left[\left(\frac{L_1}{W_1}\right)^{\frac{1}{2}} + \left(\frac{L_3}{W_3}\right)^{\frac{1}{2}}\right] + (VT_1 + VT_3 - VT_4) \end{aligned} \tag{3.21}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับแรงดันที่มากกว่า $V_{out}(sat)$ มอสทรานซิสเตอร์ M4 อยู่ในช่วงอิ่มตัวและค่าความต้านทานเอาท์พุทสามารถคำนวณได้จากสมการที่ 3.16 เนื่องมาจากแรงดันที่ตกคร่อมทรานซิสเตอร์ M2 มากกว่าที่จำเป็นในการอยู่ในช่วงอิ่มตัว เทคนิคที่ใช้ในการลด ในหัวข้อที่แล้วสามารถถูกนำมาใช้ได้เพื่อลด $V_{out}(sat)$ แต่โชคไม่ดีที่จะทำให้ค่า $V_1(\min)$ เพิ่มขึ้น

ความสัมพันธ์เดียวกันนี้ได้ถูกนำไปใช้กับวงจรสะท้อนกระแสวิลสัน ถ้าทรานซิสเตอร์ M3 อิ่มตัวแล้ว $V_1(\min)$ ถูกแสดงได้ว่า

$$V_1(\min)=\left(\frac{2I_o}{K'}\right)^{\frac{1}{2}}\left[\left[\frac{L_2}{W_2}\right]^{\frac{1}{2}}+\left[\frac{L_3}{W_3}\right]^{\frac{1}{2}}\right]+(VT_2+VT_3) \tag{3.22}$$

สำหรับที่ทรานซิสเตอร์ M3 อิ่มตัว $V_{out}$ ต้องการมากกว่าค่า $V_{out}(sat)$ ได้ว่า

$$V_{out}(sat)=V_1-VT_3=\left(\frac{2I_o}{K'}\right)^{\frac{1}{2}}\left[\left(\frac{L_2}{W_2}\right)^{\frac{1}{2}}+\left(\frac{L_3}{W_3}\right)^{\frac{1}{2}}\right]+VT_2 \tag{3.23}$$

จะเห็นว่าทั้งสองวงจรต้องการอย่างน้อย 2VT ตกคร่อมอินพุทของมันก่อนถึงจะได้ค่า $V_{out}(sat)$ ข้างต้นออกมาได้และค่าอัตราส่วน W/L ที่ใหญ่กว่าจะช่วยลดค่า $V_1(\min)$ และ $V_{out}(sat)$ ได้

### 3.2 ภาคขยายความแตกต่าง (Differential Transconductance State)

วงจร differential Amplifier เป็นวงจรที่มีความสามารถขยายความแตกต่างของสัญญาณ ซึ่งสัญญาณทั้งสองที่แตกต่างกันนั้น สามารถแบ่งเป็น โหมดสัญญาณความแตกต่าง (differential mode signal, VD) และโหมดสัญญาณร่วม (common-mode signal, VC) ดังจะแสดงให้เห็นถึงความสัมพันธ์ระหว่างสัญญาณอินพุท $V_1$ และ $V_2$ ดังต่อไปนี้

$$V_1=\frac{VD}{2}+VC \tag{3.24}$$

$$V_2=-\frac{VD}{2}+VC \tag{3.25}$$

ดังจะเห็นว่า VD และ VC คือ

$$VD=V_1-V_2 \tag{3.26}$$

และ

$$VC=\frac{V_1+V_2}{2} \tag{3.27}$$

หลักการของวงจรขยายความแตกต่างก็คือการขยายสัญญาณความแตกต่างระหว่างสัญญาณอินพุทโดยจะไม่ขยายสัญญาณที่เป็นลักษณะโหมดสัญญาณร่วม ซึ่งอัตราขยายโหมดสัญญาณร่วมและอัตราขยายโหมดสัญญาณความแตกต่าง เป็นคุณสมบัติของวงจรขยายความแตกต่าง (differential Amplifier) โดยอัตราส่วนของอัตราการขยายโหมดสัญญาณความแตกต่าง กับโหมดสัญญาณร่วมถูกเรียกว่า "Common-Mode Rejection Ratio"(CMRR)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทางอุดมคติค่า CMRR จะมีค่ามาก นั่นหมายถึง อัตราขยายโหมดสัญญาณร่วม (common mode) จะมีค่าน้อยมากคุณลักษณะของวงจรขยายความแตกต่างอีกประการหนึ่งคือช่วงของโหมดสัญญาณอินพุท(Common-Mode Range,CMR) การขยายของสัญญาณความแตกต่างจะทำให้เกิดช่วงของโหมดสัญญาณ นอกจากนี้คุณลักษณะที่มีผลกระทบต่อประสิทธิภาพของภาคขยายสัญญาณความแตกต่างก็คือ ออฟเซท(Offset) เมื่อแรงดันความแตกต่างทางอินพุท หรือความแตกต่างของกระแสทางอินพุทเป็นศูนย์ แล้วทางเอาท์พุทของวงจรขยายความแตกต่างไม่เป็นศูนย์ เรียกว่า "Input offset voltage,Vos" หมายถึง ค่าของแหล่งจ่ายแรงดันที่ถูกนำมาต่อที่ขาใดขาหนึ่งทางด้านอินพุทของภาคขยายความแตกต่างแล้วทำให้เอาท์พุทของภาคขยายความแตกต่างเป็นศูนย์นั่นเอง สำหรับ "Input offset current,Ios" ก็คือความแตกต่างของแหล่งจ่ายกระแสที่ถูกนำมาต่อทางอินพุทของภาคขยายความแตกต่าง แล้วทำให้เอาท์พุทของภาคขยายความแตกต่างมีค่าเท่ากับศูนย์ ซึ่งค่า Vos และ Ios จะขึ้นอยู่กับอุณหภูมิ สำหรับภาคขยายความแตกต่าง

### 3.2.1 Differential Amplifier MOSFET

รูปที่ 3.7 เป็นวงจรที่แสดงให้เห็นถึงวงจรทั่วไปของอุปกรณ์ประเภท MOSFET ของภาคขยายความแตกต่าง จะเห็นว่าประกอบด้วยบล๊อคของ Active load ซึ่งถูกพิจารณาในลักษณะความต้านทานจุดหลักของวงจรขยายความแตกต่างก็คือ คู่ทรานซิสเตอร์ทั้งสองตัว M1 และ M2 และการออกแบบในส่วนของไฟตรงของวงจรดังรูปที่ 3.7 พิจารณาทรานซิสเตอร์ M1 และ M2 อยู่ในย่านนำกระแสคงที่ (Saturation) และ VT1=VT2 ดังจะเขียนเป็นความสัมพันธ์ดังสมการต่อไปนี้

$$VID = VG_1 - VG_2 = Vgs_1 - Vgs_2 = \left[\frac{2ID_1}{K_1}\right]^{\frac{1}{2}} - \left[\frac{2ID_2}{K_2}\right]^{\frac{1}{2}} \tag{3.28}$$

และ

$$Iss = ID_1 + ID_2 \tag{3.29}$$

เมื่อ

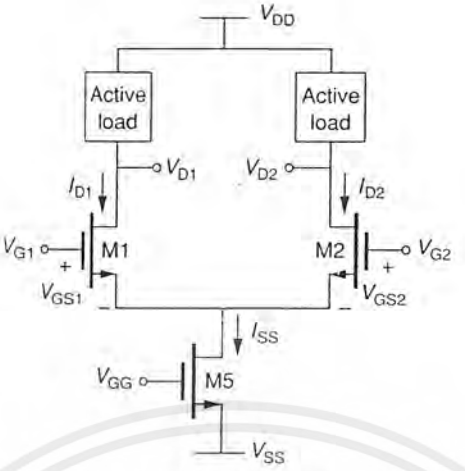
$$ID_1 = \frac{Iss}{2} + \frac{Iss}{2}\left[\frac{KV_{id}{}^2}{Iss} - \frac{K^2V_{id}{}^2}{4Iss^2}\right]^{\frac{1}{2}} \tag{3.30}$$

และ

$$ID_2 = \frac{Iss}{2} - \frac{Iss}{2}\left[\frac{KV_{id}{}^2}{Iss} - \frac{K^2V_{id}{}^2}{4Iss^2}\right]^{\frac{1}{2}} \tag{3.31}$$

$$|VID| \le \left[\frac{2Iss}{K}\right]^{\frac{1}{2}} \tag{3.32}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.7 แสดงวงจรขยายความแตกต่างที่ $Vsb_1 = Vsb_2 = 0$

รูปที่ 3.8 แสดงกราฟของกระแสเดรนของทรานซิสเตอร์ M1 ในส่วนของแรงดันความแตกต่างทางอินพุท คุณสมบัติในการถ่ายโอนแรงดันของภาคขยายความแตกต่าง สามารถใช้ผลของสมการ 3.30 และ 3.31 กับคุณสมบัติแรงดัน-กระแสของอุปกรณ์ Active load

สิ่งแรกที่จะพิจารณาคือ ทรานซิสเตอร์ M1 และ M2 จะอยู่ในย่านกระแสคงที่ ในย่านนี้สามารถที่จะคำนวณและใช้สมการ 3.26 ดังนี้

$$VID = VG_1 - VG_2 \tag{3.33}$$

ถ้าพิจารณาความเป็นสมมาตรของคู่ทรานซิสเตอร์ M1 และ M2 รวมทั้งไม่มีโหมดสัญญาณร่วม

$$VG_1 = \frac{VID}{2} \tag{3.34}$$

และ

$$VG_2 = -\frac{VID}{2} \tag{3.35}$$

ทรานซิสเตอร์ M1 อยู่ในย่านกระแสคงที่ (Saturation)

$$VD_1 \geq VG_1 - V_{TN} = \frac{VID}{2} - V_{TN} \tag{3.36}$$

และทรานซิสเตอร์ M2 อยู่ในย่านกระแสคงที่ (Saturation)

$$VD_2 \geq -\frac{VID}{2} - V_{TN} \tag{3.37}$$

อีกทางหนึ่งที่จะแสดงให้เห็นคือ การพล๊อตค่า$VD_1$หรือ$VD_2$ในฟังก์ชั่นของ$VID$ พิจารณาโหลดของวงจรในรูปที่ 3.7 เป็นความต้านทาน RL รูปที่ 3.9 แสดงกราฟของ $VD_1$ และ $VD_2$ สำหรับ ณ ค่า RL ต่างๆ สมการ 3.36 และ 3.37 ถูกนำมาพิจารณาและพล๊อตดังในรูปที่ 3.9 ซึ่งจะแสดงย่านของทรานซิสเตอร์ M1 และ M2 ในย่านกระแสคงที่ ในส่วนของคุณลักษณะการถ่ายโอน

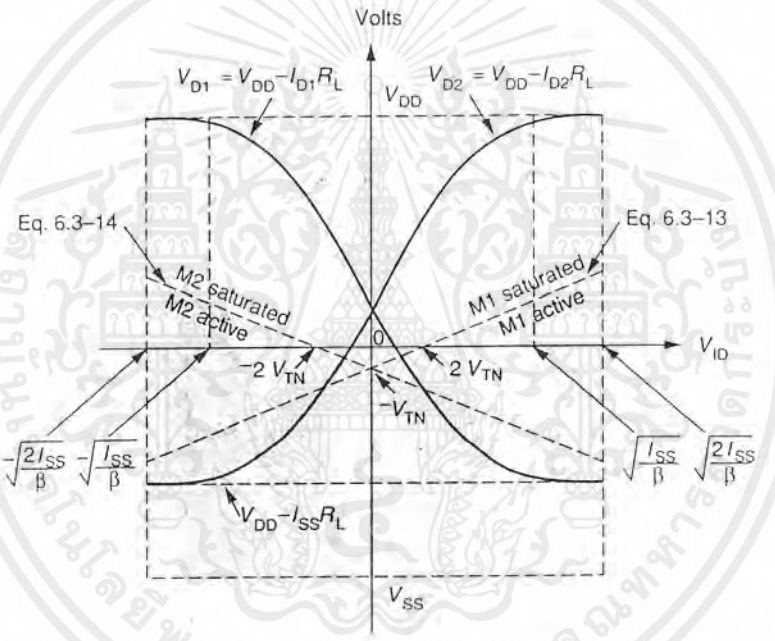
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณในย่านกระแสคงที่ จุดที่จะต้องพิจารณาสำหรับสัญญาณคือ สภาพความนำ (gm) จากรูป 3.7 โดยการทำอนุพันธ์สมการ 3.30 โดยให้ $VID$ =0 ดังนั้น

$$gm = \frac{\partial I_{OD}}{\partial V_{ID}}|_{VID=0} = (K_1 Ids)^{\frac{1}{2}} = \left(\frac{K' Ids W_1}{L_1}\right)^{\frac{1}{2}} = \left(\frac{2K' I_{D1} W_1}{L_1}\right)^{\frac{1}{2}} \qquad (3.38)$$

เปรียบเทียบผลของ gm กับวงจรขยายทรานซิสเตอร์เดี่ยว สาเหตุของความแตกต่างกันคือ แรงดันทางอินพุทเพียงครึ่งเดียวของทรานซิสเตอร์ M1 หรือ M2 ดังรูป 3.7 ส่งผลให้กระแสทางเอาท์พุทเพียงครึ่งเดียว สภาพความนำของสมการ 3.38 จะเรียกว่า "differential-in, single-ended output transconductance" สามารถหาได้จากความแตกต่างของกระแสทางด้านเอาท์พุท $(I_{od})$

$$I_{OD} = I_{D1} - I_{D2} \qquad (3.39)$$




รูปที่ 3.8 แสดงคุณสมบัติแรงดันค่าความนำของภาคขยายความแตกต่าง

$$gmd = \frac{\partial I_{OD}}{\partial V_{ID}}|_{VID=0} = \left(\frac{K_1 Ids}{4}\right)^{\frac{1}{2}} = \left(\frac{K' Ids W_1}{L_1}\right)^{\frac{1}{2}} = \left(\frac{2K' I_{D1} W_1}{L_1}\right)^{\frac{1}{2}} \qquad (3.40)$$

ค่าสภาพความนำจะมีค่าเท่ากับค่าสภาพความนำของวงจรทรานซิสเตอร์ซอสร่วม(Common-Souce) ถ้า ID มีค่าครึ่งหนึ่งของ Ids จากสมการ 3.38 และ 3.40 จะแสดงให้เห็นถึงความสำคัญของการถูกควบคุมประสิทธิภาพโดยการเปลี่ยนแปลงทาง dc

แรงดันทางด้านเอาท์พุทของภาคอัตราขยายความแตกต่างขึ้นอยู่กับ Active load มีค่าเป็นเท่าไร จากรูป 3.7 โดยการปรับปรุง พิจารณาความต้านทาน (Active load) ชนิด N-channel ในรูปที่ 3.10a แรงดันทางด้านเอาท์พุทจากขาหนึ่งของคู่ทรานซิสเตอร์ M1 หรือ M2 และ Vd1,Vd2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{D1} = V_{DD} - V_{T3} - \left(\frac{2I_{D1}}{K_3}\right)^{\frac{1}{2}} \tag{3.41}$$

และ

$$V_{D2} = V_{DD} - V_{T4} - \left(\frac{2I_{D2}}{K_4}\right)^{\frac{1}{2}} \tag{3.42}$$

เมื่อ M3 และ M4 อยู่ในย่านกระแสคงที่ (Saturation) สมการที่ 3.30 และ 3.31สามารถแทนในสมการ 3.41 และ 3.42 ซึ่งจะแสดงให้เห็นถึงค่าแรงดันที่ขาเดรนของทรานซิสเตอร์ M1 และ M2 ในฟังก์ชั่นของ VID อัตราขยายแรงดันจากขาใดขาหนึ่งของคู่ทรานซิสเตอร์ M1 และ M2 สามารถหาได้โดยให้ VID=0 แล้วหาอนุพันธ์จากสมการ 3.41 โดยให้ $V_{id}$ =0 และคูณกับสมการ 3.40 ดังนี้

$$A_{VdS} = \left(\frac{\partial V_{D1}}{\partial I_{D1}}\right)\left(\frac{\partial I_{D1}}{\partial V_{ID}}\right)|_{VID=0} = -\left(\frac{1}{K_3 Ids}\right)^{\frac{1}{2}}\left(\frac{K_1 Ids}{4}\right)^{\frac{1}{2}} = -\frac{1}{2}\left(\frac{K_1}{K_3}\right)^{\frac{1}{2}} \tag{3.43}$$

โดยที่อัตราขยายควรจะมีค่าเพียงครึ่งเดียวของอินพุทที่ทรานซิสเตอร์ M1 อัตราขยายแรงดันทางด้านเอาท์พุทเท่ากับ สัดส่วนของความแตกต่างของแรงดันระหว่างขาเดรนของทรานซิสเตอร์ M1 และ M2 และ $V_{id}$ สัญญาณขนาดเล็กทาง ac ของวงจรรูปที่ 3.9a จะแสดงในรูปที่ 3.10a โดยจะพิจารณาภายใต้เงื่อนไขโหมดความแตกต่าง (differential mode) เพียงครึ่งหนึ่งของ $V_{id}$ ดังสมการ

$$Vgs_1 = -Vgs_2 = \frac{Vid}{2} \tag{3.44}$$

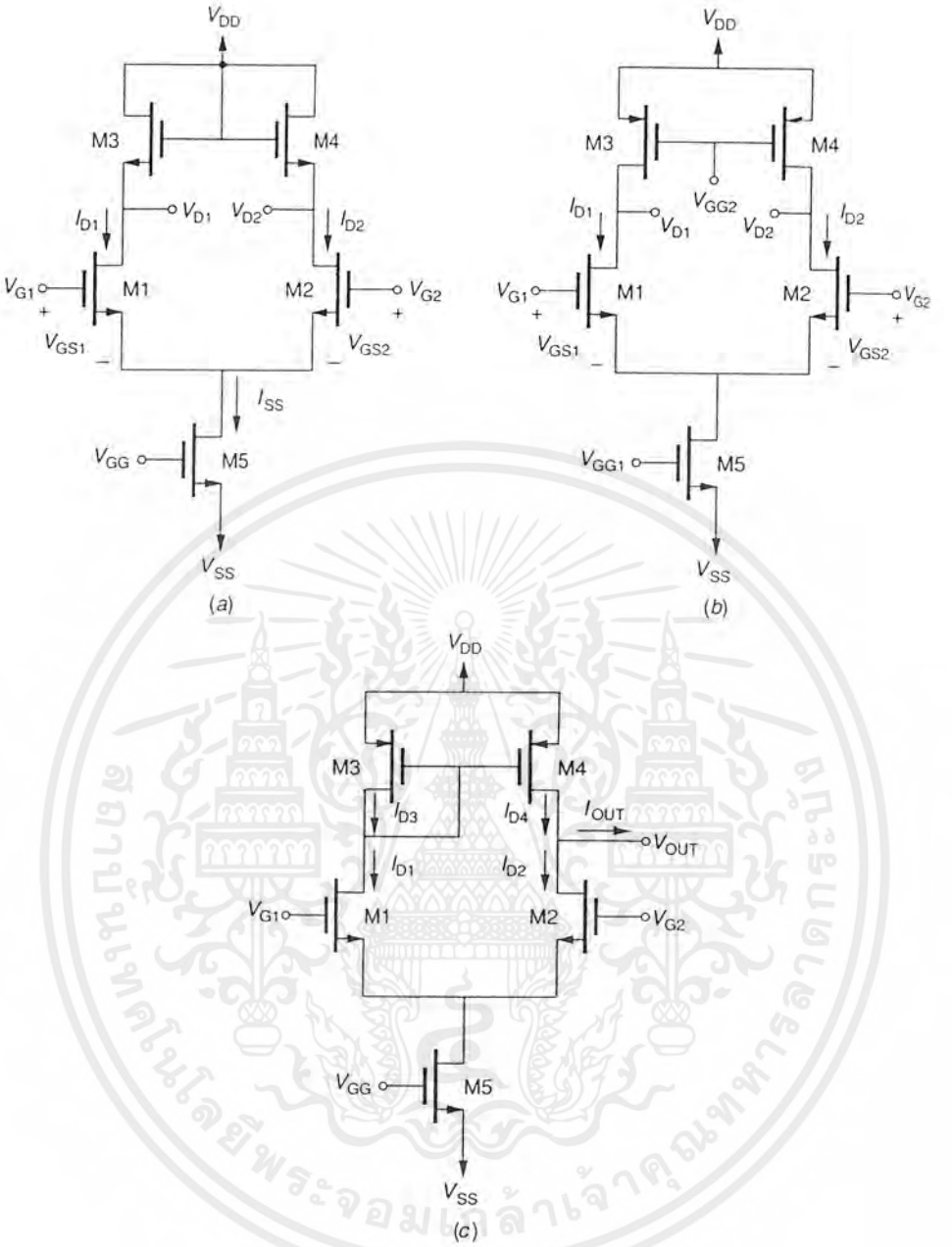
จากรูปที่ 3.10a พิจารณาความเป็นสมมาตรระหว่างทรานซิสเตอร์ M1 และ M2 จะทำให้ gm1=gm2 และ $Vgs_1 = -Vgs_2 = Vgs$ ซึ่ง gm3vgs3 และ gm4vgs4 จะถูกมองอยู่ในรูปความต้านทาน 1/gm3 และ 1/gm4 กระแสที่ไหลผ่าน $Vds_1$ และ $Vds_2$ ที่ขาซอสของ M1 และ M2 และที่ขาเดรนของ M5 จะพิจารณาผ่านไป เมื่อมีการควบคุมที่ขาซอส gm1Vid/2 สามารถเขียนใหม่ได้ดังรูป 3.10c โดยที่จุด A จะเป็น ac ground และในที่สุดวงจรสัญญาณขนาดเล็ก สามารถแสดงได้ดังรูปที่ 3.10d การคำนวณสำหรับ $Vd_1$ และ $Vd_2$ ดังนี้

$$A_{V1} = \frac{V_{D1}}{V_{ID}} = \frac{-gm_1}{2(gm_3 + gds_1 + gds_3)} \approx \frac{-gm_1}{2gm_3} = \frac{-1}{2}\left[\frac{K'_N \, W_1/L_1}{K'_P \, W_3/L_3}\right]^{\frac{1}{2}} \tag{3.45}$$

และ

$$A_{V2} = \frac{V_{D2}}{V_{ID}} = \frac{gm_1}{2(gm_4 + gds_2 + gds_4)} \approx \frac{gm_1}{2gm_4} = \frac{1}{2}\left[\frac{K'_N \, W_1/L_1}{K'_P \, W_4/L_4}\right]^{\frac{1}{2}} \tag{3.46}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



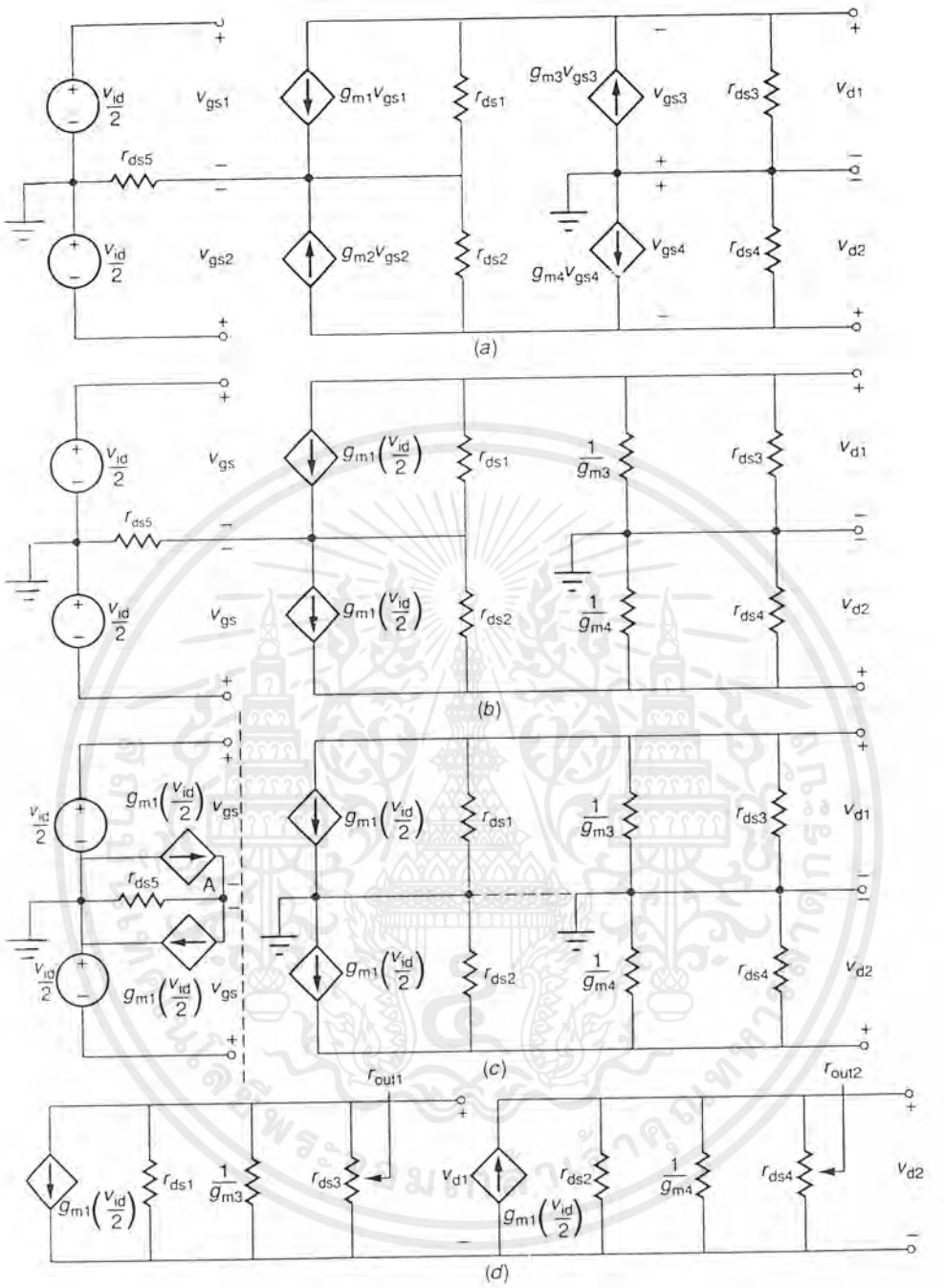

รูปที่ 3.9

เปรียบเทียบสมการ 3.45 หรือสมการ 3.46 กับสมการ 3.43 ซึ่งจะแสดงการวิเคราะห์สัญญาณขนาดเล็กกับการวิเคราะห์สัญญาณขนาดใหญ่ โดยอัตราขยายความแตกต่างของแรงดันดังนี้

$$A_{Vdd} = \frac{V_{od}}{V_{ID}} = \frac{V_{d1} - V_{d2}}{V_{id}} = \frac{-gm_1}{2gm_3} = \frac{-gm_1}{2gm_4} = \frac{-gm_1}{gm_3} \qquad (3.47)$$

ถ้าทรานซิสเตอร์ M3 และ M4 เหมือนกัน ดังนั้น gm3 = gm4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.10 a) แสดงรูปสัญญาณขนาดเล็กของวงจรรูปที่ 3.9 b) ความสมมาตรของวงจรทางอินพุท c) gm1Vid/2 ในการควบคุมแหล่งจ่าย d) รูปสัญญาณขนาดเล็ก

ความต้านทานจากความแตกต่างทางอินพุท $V_{id}$ เป็นความต้านทานที่มองเข้าไปทางแหล่งจ่ายแรงดันทางอินพุท $V_{id}$ ในลักษณะเช่นนี้ $V_{id}$ จะมีค่าเป็นอนันต์ ความต้านทานทางเอาท์พุทจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาใดขาหนึ่งของคู่ทรานซิสเตอร์ M1 และ M2 โดยมองเข้าไปทางด้านเอาท์พุทของวงจรในรูปที่ 3.10d จะมีค่าดังนี้

$$R_{out1} = \frac{1}{gm_3 + gds_1 + gds_3} \approx \frac{1}{gm_3} \tag{3.48}$$

และ

$$R_{out2} = \frac{1}{gm_4 + gds_2 + gds_4} \approx \frac{1}{gm_4} \tag{3.49}$$

ความต้านทานของการขยายความแตกต่างทางด้านเอาท์พุท $V_{od}$ จะมีค่าเท่ากับความต้านทานทาง ac ที่อยู่ระหว่างขาเดรนของทรานซิสเตอร์ M1 และ M2 และเขียนสมการดังนี้

$$R_{od} = R_{out1} + R_{out2} \approx \frac{1}{gm_3} + \frac{1}{gm_4} \approx \frac{2}{gm_3} \tag{3.50}$$

จะพิจารณาและคำนวณทรานซิสเตอร์ทุกตัวของวงจรขยายความแตกต่างที่ทำงานอยู่ในย่านกระแสคงที่ (Saturation) โดยจะคำนึงถึงช่วงแรงดันที่อินพุทและเอาท์พุทประกอบเป็นเงื่อนไข

อัตราขยายความแตกต่างพิจารณาในรูปที่ 3.9a สามารถทำให้มีค่าเพิ่มขึ้นได้โดยใช้แหล่งจ่ายกระแสในตอนต้นสำหรับการวิเคราะห์สัญญาณขนาดเล็กจะให้ gm3=gm4=0

$$A_{Vds1} = A_{V1} = \frac{V_{d1}}{V_{id}} = \frac{-gm_1}{2(gds_1 + gds_3)} \tag{3.51}$$

และ

$$A_{Vds2} = A_{V2} = \frac{V_{d2}}{V_{id}} = \frac{gm_1}{2(gds_2 + gds_4)} \tag{3.52}$$

$$A_{Vdd} = \frac{V_{od}}{V_{id}} = \frac{-gm_1}{gds_1 + gds_3} = \frac{-gm_2}{gds_2 + gds_4} \tag{3.53}$$

$$R_{out1} = \frac{1}{gds_1 + gds_3} \tag{3.54}$$

$$R_{out2} = \frac{1}{gds_2 + gds_4} \tag{3.55}$$

และ

$$R_{od} = \frac{2}{gds_1 + gds_3} \tag{3.56}$$

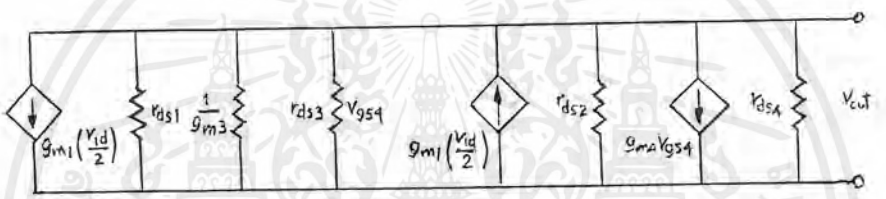
จากโครงสร้างของโหลดสำหรับภาคขยายความแตกต่างดังแสดงในรูปที่ 3.9c หลักการโดยใช้วงจรสะท้อนกระแสของโหลด แรงดันหรือกระแสจากทรานซิสเตอร์ M2 และ M4 โดยการทำงานดังนี้ แรงดันความแตกต่าง $V_{id}$ ที่อยู่ระหว่างขาเกทเพียงครึ่งหนึ่งของแรงดันที่ขาเกทและขาซอสของทรานซิสเตอร์ M1 และครึ่งหนึ่งของทรานซิสเตอร์ M2 โดยการเพิ่มขึ้นของกระแสเดรนที่ทรานซิสเตอร์ M1 $(Id_1)$และการลดลงของกระแสเดรนของทรานซิสเตอร์ M2 $(Id_2)$อย่างสัมพันธ์กัน การเพิ่มขึ้นของ$(Id_1)$จะถูกสะท้อนผ่านทรานซิสเตอร์ M3 ไปยังทรานซิสเตอร์ M4 ส่งผลให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสเดรนของทรานซิสเตอร์ M4$(Id_4)$ เพิ่มขึ้นด้วย เมื่อกระแสเดรนของทรานซิสเตอร์ M4 เพิ่มขึ้นและกระแสเดรนที่ทรานซิสเตอร์ M2 ลดลงกระแสเอาท์พุทจะมีค่าเป็น 2Id ดังนั้นค่าสภาพความต้านทานของวงจรในรูปที่ 3.9c อัตราส่วนของกระแสทางเอาท์พุทกับความแตกต่างของแรงดันทางด้านอินพุทมีค่าเท่ากับ ค่าสภาพความนำของทรานซิสเตอร์เพียงตัวใดตัวหนึ่ง

การวิเคราะห์สัญญาณขนาดเล็กดังแสดงในรูปที่ 3.9c เป็นรูปแบบหนึ่งของวงจรในรูปที่ 3.10 และรูปแบบที่เหมาะสมสำหรับการวิเคราะห์สัญญาณขนาดเล็กจะแสดงในรูปที่ 3.11 ซึ่งอัตราขยายความแตกต่างของสัญญาณขนาดเล็กทางด้านอินพุทและทางด้านเอาท์พุทดังนี้

$$\frac{V_{out}}{V_{id}} = A_{Vdd} = \frac{1}{2}\left( gm_1 + \frac{gm_1 gm_4}{gds_1 + gm_3 + gds_3} \right)\left( \frac{1}{gds_2 + gds_4} \right) \qquad (3.57)$$




รูปที่ 3.11 แสดงรูปสัญญาณขนาดเล็กของรูปที่ 3.9c

ถ้าพิจารณาทรานซิสเตอร์ M3 และ M4 มีความสมมาตรกัน ดังนั้น gm3=gm4 และ gm3 มีขนาดใหญ่มากๆ gds1 หรือ gds3 จากสมการ 3.56 สามารถเขียนได้ดังนี้

$$A_{Vdd} = \frac{gm_1}{gds_2 + gds_4} \qquad (3.58)$$

สังเกตุว่าประสิทธิภาพของสัญญาณขนาดเล็กขึ้นอยู่กับค่า $Ids^{\frac{-1}{2}}$ พิจารณาค่า (W/L)1 =1 และค่า Ids = 10 uA ฉะนั้นอัตราขยายความแตกต่างทางด้านอินพุทและเอาท์พุทของรูปที่ 3.9c อัตราขยายความแตกต่างทางด้านอินพุทของคู่ทรานซิสเตอร์จะมีค่าเท่ากับครึ่งหนึ่งของค่าในสมการ 3.58 และความต้านทานทางเอาท์พุทของสัญญาณขนาดเล็กดังสมการ

$$r_{out} = \frac{1}{gds_2 + gds_4} = \frac{2}{(\lambda_2 + \lambda_4)Ids} \approx \frac{1}{\lambda Ids} \qquad (3.59)$$

อย่างไรก็ตามวงจรสัญญาณขนาดเล็ก ความต้านทานที่ความถี่ต่ำของมอสเฟสในวงจรขยายความแตกต่างมีค่าสูงมาก คุณลักษณะที่สำคัญของวงจรขยายความแตกต่างแบบมอสเฟสคือ ช่วงของแรงดันอินพุทโหมดร่วม โดยจะพิจารณาทรานซิสเตอร์ M1 และ M2 อยู่ในย่านกระแสอิ่มตัว (Saturation) จากรูปที่ 3.9c โดยให้ $VG_1 = VG_2$ และ $Vdg_1 = VT_1$ สามารถเขียนสมการได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{DG1} = V_{DD} - V_{SD3} - V_{G1} = V_{DD} - V_{DD} - V_{SG3} - V_{G1} \quad (3.60)$$

หรือ

$$V_{DG1} = V_{DD} - \left(\frac{2I_{D3}}{K_3}\right)^{\frac{1}{2}} - |V_{TO3}| - V_{G1} \quad (3.61)$$

ถ้า

$$V_{G1}(\max) = V_{DD} - \left(\frac{Ids}{K_3}\right)^{\frac{1}{2}} - |V_{TO3}| + V_{T1} \quad (3.62)$$

และ

$$V_{DG5} = V_{G1} - Vgs_1 - V_{GG} \quad (3.63)$$

ให้ค่า $Vdg_5 = -VT_5$

$$V_{G1}(\min) \cong V_{GG} + \left(\frac{2Ids}{K_1}\right)^{\frac{1}{2}} + VT_1 - VT_5 \quad (3.64)$$

ข้อจำกัดของการแกว่งของสัญญาณจะพิจารณาจากทรานซิสเตอร์ M2 และ M4 ในย่านกระแสคงที่ (Saturation) เมื่อ $Vg_1$ มีค่ามากว่า $Vg_2$ แรงดันทางด้านเอาท์พุท Vout จะมีค่าเพิ่มขึ้น แรงดันที่ขาเดรนและขาซอสของทรานซิสเตอร์ M4 เป็นดังสมการ

$$V_{DG4} = V_{DD} - V_{SD3} - V_{out} = V_{DD} - V_{SG3} - V_{out} \quad (3.65)$$

โดยที่ทรานซิสเตอร์ M4 จะทำงานในย่านกระแสคงที่ (Saturation) เมื่อ $Vdg_4 = |VT_4|$ ใช้ความสัมพันธ์และ $Vsd_3$ ในสมการ 3.60 และ 3.61 จะให้ค่าแรงดันทางเอาท์พุทสูงสุด

$$V_{out}(\max) = V_{DD} - \left(\frac{Ids}{K_3}\right)^{\frac{1}{2}} - |VT_3| + |VT_4| \cong V_{DD} - \left(\frac{2Ids}{K_3}\right)^{\frac{1}{2}} \quad (3.66)$$

และค่าแรงดันทางเอาท์พุทที่น้อยที่สุดดังแสดงในรูปที่3.9c สามารถคำนวณได้ขณะที่ทรานซิสเตอร์ M2 อยู่ในย่านกระแสคงที่ ดังสมการ

$$V_{out}(\min) = V_{G2} - V_{T2} \quad (3.67)$$

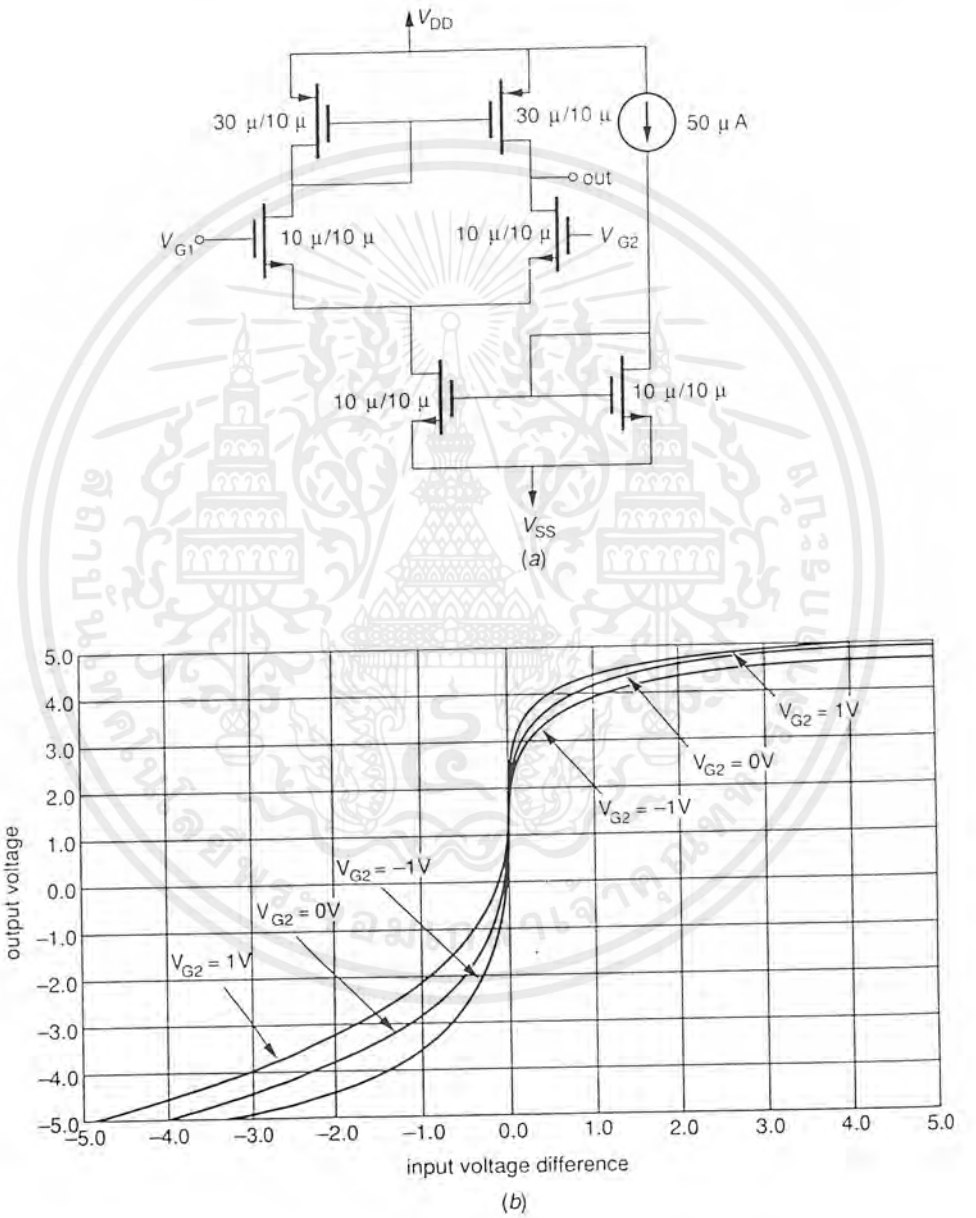
รูปที่ 3.12 แสดงถึงภาคขยายความแตกต่างเหมือนในรูปที่ 3.9c และทำการวิเคราะห์คุณสมบัติการถ่ายโอนแรงดัน จากค่า (W/L) แสดงในรูป 3.12b อิทธิพลของ $V_{G2}$ ขึ้นอยู่กับ Vout(min) ดังตัวอย่างในรูป ขีดจำกัดของสัญญาณท้านด้านอินพุทและเอาท์พุทของวงจรขยายความแตกต่างในรูปที่ 3.9a และ b

อัตราขยายของสัญญาณขนาดเล็กในโหมดร่วมร่วมของภาคขยายความแตกต่าง สามารถทำได้โดยการต่ออินพุทเข้าด้วยกัน และป้อนแรงดันเข้าที่ขาอินพุทข้างใดข้างหนึ่ง รูปแบบของสัญญาณขนาดเล็ก สำหรับวงจรขยายความแตกต่างของรูปที่ 3.9b จะแสดงในรูปที่ 3.13a ถ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาทรานซิสเตอร์ M1 และ M2 มีความสมมาตรกันดังจะแสดงในรูปที่ 3.13b อัตราขยายโหมดร่วมจะได้จากการหาค่า $Vd_2$ ในรูปของ Vc กระแสที่ผ่านจาก $Vds_1$ และ $Vds_2$ จะไหลผ่าน $Vds_5$ สามารถเขียนเป็นสมการดังนี้

$$V_S \approx 2gm_1 rds_5 V_C \tag{3.68}$$

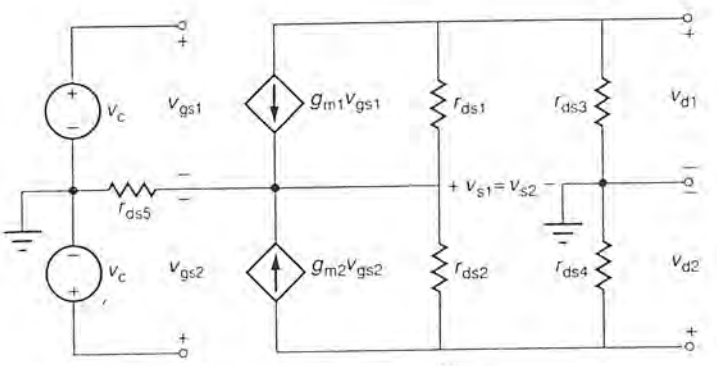



รูปที่ 3.12 a) ภาคขยายความแตกต่างทางอินพุทชนิด N-Channel

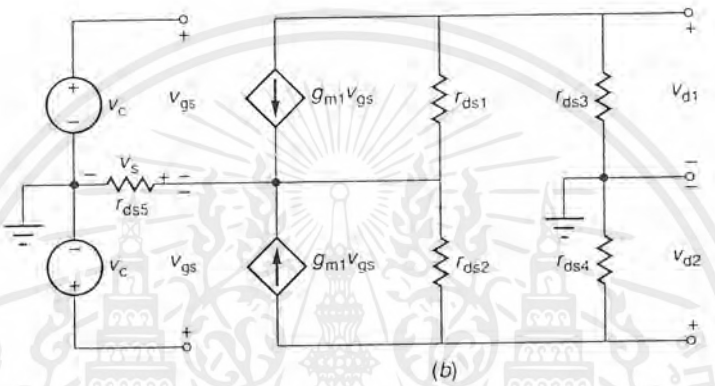
b) กราฟแสดงแรงดันค่าความนำเมื่อ Vg2=-1และ 1V(Vdd=5V,Vss=-5V

K'n=2K'p =28uA/V, VT=+/-0.7V, และ $\lambda_{N=0.01} V^{-1}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




(a)




(b)

รูปที่ 3.13 a) แสดงวงจรสัญญาณขนาดเล็กของรูปที่ 3.9b ในโหมดร่วม
b) แสดงวงจรอย่างง่ายของวงจรรูป a)

ใช้ความสัมพันธ์ Vgs = Vg - Vs ดังนั้น

$$Vgs = \frac{1}{1+2gm_1rds_5}V_C \tag{3.69}$$

แรงดัน $Vd_2$ หาได้จากหลักการ superposition ของแหล่งจ่ายทั้งสอง Vgs สามารถพิจารณาได้โดยง่าย ถ้าไม่คิดค่า $Vds_1$ และ $Vds_2$ อัตราขยายแรงดันสามารถเขียนได้ดังนี้

$$\frac{V_{d2}}{V_C} = A_{VC} \cong \frac{-gm_1rds_3}{1+2gm_1rds_5} \tag{3.70}$$

อย่างไรก็ตามหลักการนี้อาจจะไม่แน่เสมอไป สำหรับวงจรขยายความแตกต่างในรูปที่ 3.9a เพราะว่าไม่มีจุดที่เหมาะสมทางเอาท์พุท ในทางปฏิบัติรูปที่ 3.9c จะแสดงให้เห็นว่าอัตราขยายในโหมดร่วมจะไม่เท่ากับศูนย์ เพราะว่าในความเป็นจริงทรานซิสเตอร์ M1, M2, M3 และ M4 ไม่มีความเสมือนอย่างสมบูรณ์ ความผิดพลาดนี้จะส่งผลกระทบของวงจรขยายความแตกต่างในรูปที่ 3.9c และรูปที่ 3.9b ซึ่งจะทำให้อัตราขยายในโหมดร่วมนั่นไม่เท่ากับศูนย์ สำหรับวงจรขยายความแตกต่างในรูปที่ 3.9b อัตราส่วนของการขจัดโหมดร่วมสามารถหาได้ดังนี้

$$CMRR = \frac{|A_{Vds}|}{|A_{VC}|} = \frac{gds_3(1+2gm_1rds_5)}{gds_2+gds_4} \tag{3.71}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า $gds_2 = gds_3 = gds_4$ ดังนั้น CMRR ของรูป 3.9b จะประมาณค่าเท่ากับ $gm_1 rds_5$ จะพิจารณาให้ CMRR มีค่ามากๆเท่าที่จะเป็นไปได้ และถ้า $Vds_5$ หรือ $gm_1$ มีค่าเพิ่มขึ้น วงจรขยายความแตกต่างก็จะมีความสามารถที่ดีขึ้นในการที่จะขจัดสัญญาณโหมดร่วม ในลักษณะของสัญญาณโหมดความแตกต่าง

### 3.2.2 ภาคขยายความแตกต่างต่อในลักษณะ Folded Cascode

ถ้าโหลดของวงจรขยายเป็นตัวเก็บประจุ ดังนั้นจึงไม่จำเป็นต้องออกแบบให้ความต้านทานทางด้านเอาท์พุทมีค่าต่ำ เพราะว่ากระแสทางด้านเอาท์พุทมีข้อกำหนดเพียงส่วนไดนามิกเท่านั้น ในวงจรแบบสองภาค (two state) การลดผลของโหลดตัวเก็บประจุ ด้วยวิธีการชดเชยแบบมิลเลอร์นั้นมีความยุ่งยาก และไม่มีเสถียรภาพ ถ้าโหลดตัวเก็บประจุ (CL) มีค่ามากและมีการป้อนกลับในลักษณะ buffer การออกแบบจึงพบว่าวงจรแบบ Cascode เหมาะสม โดยมีการทำงานคือ ในส่วนของ Active load จะถูกออกแบบให้มีความต้านทานเพิ่มสูงขึ้น โดยการนำทรานซิสเตอร์ M4,M6,M8 และ M10 นำมาต่อในลักษณะ Cascode กันในรูปแบบของ Current mirror แรงดันที่ขาเกทของทรานซิสเตอร์ M3,M4,M5 และ M6 จะเป็นตัวกำหนดกระแสไบอัสให้กับวงจรทางด้านเอาท์พุท ทั้งนี้ขึ้นอยู่กับขนาดของการสวิงของสัญญาณทางด้านเอาท์พุท โดยในการออกแบบนั้นต้องคำนึงถึงการสูญเสียกำลังรวมทั้งค่าอัตราสลูประกอบกัน สำหรับการวิเคราะห์วงจรจะแสดงอัตราขยายแรงดันทางความถี่ต่ำดังนี้

$$\frac{Vo}{V_{ID}} = Ao \cong gm_1 r'_{out} \cong gm_1 gm_8 rds_8 rds_{10} \tag{3.72}$$

และค่าความต้านทานทางอินพุทสามารถหาได้ดังนี้

$$r_{out} = r'_{out} \| rds_4 \left[ 1 + (1 + gm_4 rds_4) \frac{rds_2 rds_4}{rds_2 + rds_4} \right] \tag{3.73}$$

$$\cong (gm_8 rds_8 rds_{10}) \| [(gm_4 rds_4)(rds_2 \| rds_4)] \tag{3.74}$$

ประสิทธิภาพทางความถี่ของวงจรขยายความแตกต่างแบบ Folded cascode นั่นแสดงได้อย่างง่ายดังต่อไปนี้

$$\frac{V_O(s)}{V_{ID}(s)} \approx \frac{A_O \omega_1}{s + \omega_1} = \frac{GB}{s + \omega_1} \tag{3.75}$$

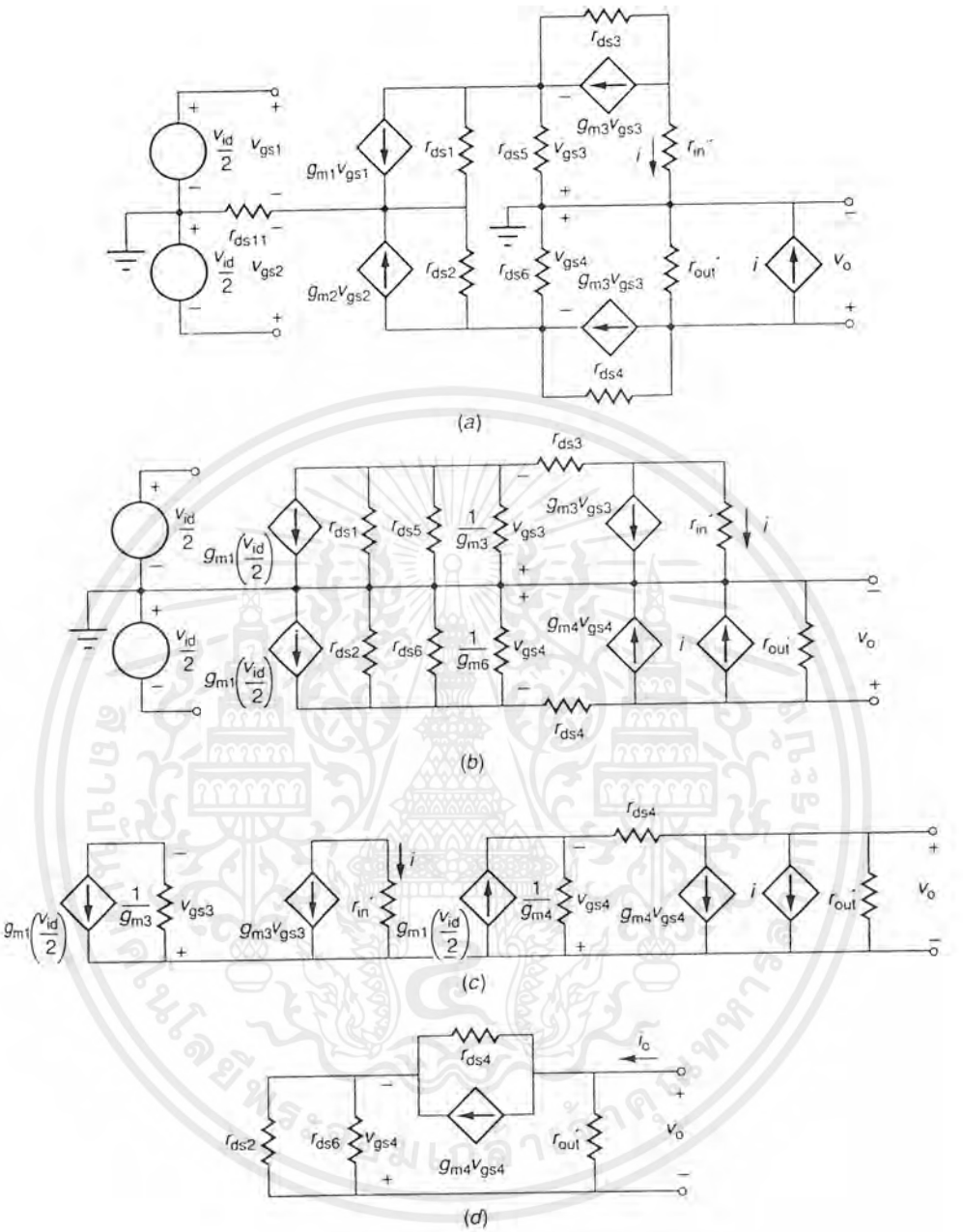
โดยที่ $\omega_1$ คือ

$$\omega_1 = \frac{1}{R_{out} C_L} \tag{3.76}$$

CL คือ โหลดตัวเก็บประจุทางด้านเอาท์พุทและสามารถหาค่าอัตราสลูได้ดังนี้

$$SR = \frac{I}{C_L} \tag{3.77}$$

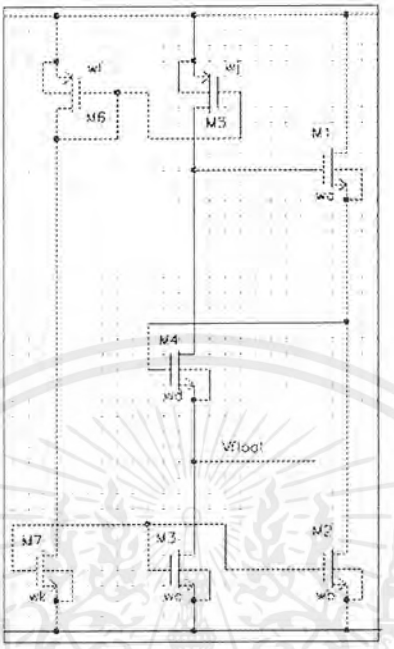
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.14 a) แสดงวงจรสัญญาณขนาดเล็ก b) รูปแบบง่ายของวงจรรูป a)
c) ค่าประมาณวงจรของวงจรรูป b) d) วงจรที่ใช้ในการคำนวณค่า Rout

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.3 วงจรยกระดับแรงดัน (Voltage level shif)




รูปที่ 3.15 แสดงวงจรยกระดับแรงดัน

ในการออกแบบวงจรยกระดับแรงดันจะใช้จุดเด่นของวงจร Common drain โดยใช้ค่า Vgs ของทรานซิสเตอร์ M1 และ M4 ในการยกระดับแรงดันดังรูป โดยจุด a เป็นจุดที่สัญญาณอินพุทจากภาคขยายความแตกต่าง และจุด b เป็นจุดที่สัญญาณเอาท์พุทออกไปยังภาคเอาท์พุท สำหรับทรานซิสเตอร์ M2, M3 และ M5 จะทำหน้าที่เป็นแหล่งจ่ายกระแสในกับวงจรจากรูปที่ 3.15 แสดงวงจรยกระดับแรงดันค่าลบและรูปที่ 3.16แสดงวงจรยกระดับแรงดันค่าบวก โดยพิจารณาให้จุด a มีค่าเท่ากับศูนย์ เพื่อให้ง่ายในการออกแบบและคำนวณดังนี้

$$Vf = V_A \pm Vgs_1 \pm Vgs_4 \tag{3.78}$$

เมื่อ $V_A = 0$ ดังนั้น

$$Vf = \pm Vgs_1 \pm Vgs_4 \tag{3.79}$$

เมื่อ $Vgs_1 = Vgs_4$ และ $I_1 = I_4$ ดังนั้น

$$Vf = \pm 2Vgs \tag{3.80}$$

$$= \pm 2\left[\left(\frac{2I}{K'_P\left(\frac{W}{L}\right)_{1,4}}\right)^{\frac{1}{2}} + VT\right] \tag{3.81}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \pm\left[\left(\frac{4I}{K'_p\left(\frac{W}{L}\right)_{1,4}}\right)^{\frac{1}{2}} \pm 2VT\right] \qquad (3.82)$$

จากสมการ 3.82 จะเห็นว่าอัตราส่วนระหว่าง I และ W/L เป็นตัวแปรที่สามารถออกแบบระดับแรงดันได้ตามความเหมาะสม

### 3.4 วงจรภาคเอาท์พุท (Output State)

ในวงจรหลายๆประเภท โหลดทางเอาท์พุทจะมีอิทธิพลต่อประสิทธิภาพของวงจร โดยทั่วไปโหลดจะประกอบด้วยความต้านทาน (RL) ขนานอยู่กับโหลดประเภทคาปาซิเตอร์ (CL) ถ้าโหลดความต้านทานมีค่าน้อยหรือโหลดคาปาซิเตอร์มีค่ามาก อัตราขยายของวงจรจะไม่สามารถทำให้สัญญาณทางเอาท์พุทสวิงตามที่ต้องการได้ หลักการคือ จะต้องทำให้มีแรงดันทางเอาท์พุทตกคร่อมที่โหลดของการสวิง หรือให้กระแสสามารถจ่ายได้ที่โหลดเมื่อมีการสวิงตามที่ต้องการ

ข้อกำหนดในการขยายสัญญาณของสัญญาณทางเอาท์พุทจะสามารถแบ่งออกเป็น2ประเภทคือสแตติก (Static) และไดนามิก (Dynamic) สแตติกคือแรงดันไฟตรง ที่สามารถทำให้เกิดการสวิงของสัญญาณตกคร่อมโหลดความต้านทาน ส่วนของไดนามิก คือความสามารถในการเก็บประจุของโหลดคาปาซิเตอร์ที่มีขนาดใหญ่ซึ่งจากข้อกำหนดดังกล่าวจะมีผลต่ออัตราสลูและการสวิงสูงสุดของสัญญาณทางเอาท์พุท สำหรับไดนามิกไม่จำเป็นต้องมีความต้านทานทางเอาท์พุทต่ำแต่ขึ้นอยู่กับกระแสทางเอาท์พุทในการพิจารณาอัตราสลูวงจรภาคเอาท์พุทนั้นจะมีอยู่สองประเภทคือ

#### 3.4.1 วงจรเอาท์พุทแบบไม่มีการป้อนกลับ

วงจรเอาท์พุทแบบไม่มีการป้อนกลับ จะพิจารณาทรานซิสเตอร์ทุกตัวอยู่ในย่านกระแสคงที่ จะใช้ลักษณะของแหล่งจ่ายกระแสเป็นโหลด ซึ่งเรียกว่า "วงจรพุท-พูล" คือจะมีกระแสไหลผ่านทรานซิสเตอร์ทั้งสองตัวระหว่างที่มีการสวิงของแรงดันทางเอาท์พุท ซึ่งเรียกว่า การทำงานในโหมด A (Class A) สิ่งแรกในการพิจารณาคือ ข้อกำหนดในส่วนสแตติก นั่นคือความสามารถในการจ่ายและดึงกระแสที่แรงดันไฟตรงทางด้านเอาท์พุทเมื่อทรานซิสเตอร์ทั้งสองตัวอยู่ในย่านกระแสคงที่ โดยที่การจ่ายกระแสสูงสุด Iout+ จะทำให้ทรานซิสเตอร์ M1 ไม่ทำงาน และทรานซิสเตอร์ M2 อยู่ในย่านกระแสคงที่

$$I_{out}^{+} = \frac{K'_P W_2}{2L_2}\left(V_{DD} - V_{GG2} - |VT_2|\right)^2 \qquad (3.83)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และการดึงกระแสสูงสุด Iout จะทำให้ทรานซิสเตอร์ M1 ทำงานในย่านกระแสคงที่ และ Vin=Vdd ดังนั้น

$$I_{out}^{-} = \frac{K'_N W_1}{2L_1}(V_{DD} - V_{SS} - |VT_1|)^2 - I_{out}^{+} \tag{3.84}$$

ถ้า Vout มีค่าประมาณ Vss ซึ่งทรานซิสเตอร์ M1 จะทำงานอยู่ในย่านโอมมิก เมื่อ $Vds_1 > Vgs - VT_1$ ถ้าโหลดความต้านทานต่ออยู่ทางเอาท์พุท ค่า $Vds_1$ จะมีค่าน้อย และ Vin=Vdd จากสมการ 3.84 จะเขียนใหม่ได้เป็น

$$I_{D1} = \frac{K'_N W_1}{2L_1}(V_{DD} - V_{SS} - V_{T1})\left(-I_{out}^{-}RL - V_{SS}\right) \tag{3.85}$$

ซึ่ง $Id_1$ คือผลรวมของ Iout กับ Iout จะสามารถหา Iout ได้

$$I_{out}^{-} = \frac{-K'_N\left(W_1/L_1\right)(V_{DD} - V_{SS} - V_{T1})V_{SS} - I_{out}^{+}}{1 + K'_N\left(W_1/L_1\right)(V_{DD} - V_{SS} - V_{T1})RL} \tag{3.86}$$

เมื่อ Vout มีค่าประมาณ Vdd, Iout จะขึ้นอยู่กับค่าของโหลดความต้านทาน และจะมีการดึงกระแสทางด้านเอาท์พุทที่ใช้เก็บประจุหรือคายประจุของโหลดคาปาซิสเตอร์ จะมีข้อดีกว่าข้อกำหนดแบบสแตติก ที่มีแรงดันตกคร่อมโหลดความต้านทาน ซึ่งจะถูกพิจารณาและนำมาวิเคราะห์ ช่วงของแรงดันทางด้านเอาท์พุท เมื่อทรานซิสเตอร์ทางเอาท์พุททั้งสองตัวทำงานในย่านกระแสคงที่ กระแสในการเก็บประจุโหลดคาปาซิเตอร์ คือการเปลี่ยนแปลงของแรงดันทางด้านเอาท์พุทเมื่อเทียบกับการเปลี่ยนแปลงของเวลา dVout/dt

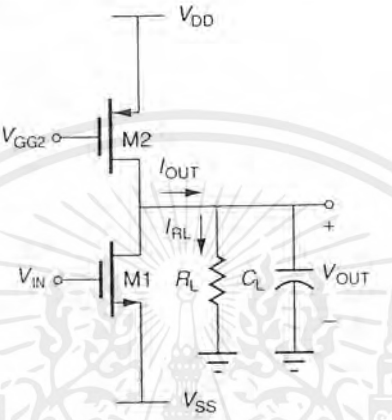
$$|I_{out}| = C_L\left[\frac{dV_{out}}{dt}\right] \tag{3.87}$$

สิ่งหนึ่งที่เป็นข้อเสียของวงจรเอาท์พุท class A ในรูปที่ 3.15 คือ การสูญเสียของกำลังไฟฟ้า ซึ่งจะมีค่า 25% ของสัญญาณเลยทีเดียว และสำหรับข้อดีของวงจร class A ก็คือ ความผิดเพี้ยนของสัญญาณจะมีค่าน้อยมาก ซึ่งก็คือ ทรานซิสเตอร์ทั้งสองตัวทางเอาท์พุทจะทำงานในย่านกระแสคงที่

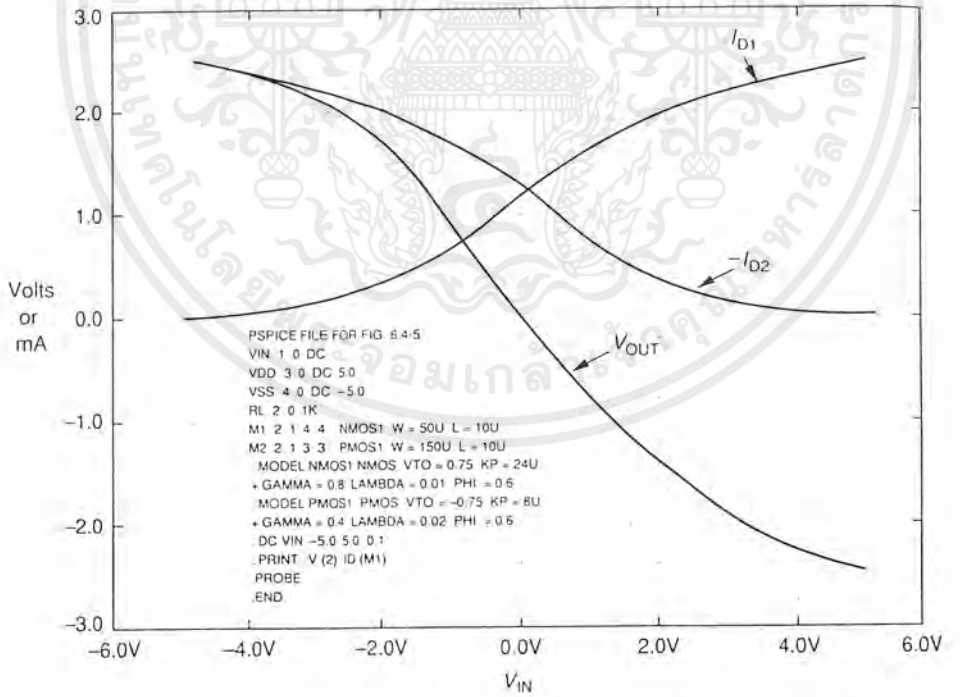
จากหลักการดังกล่าว วิธีการในการปรับปรุงการขยายทางเอาท์พุทแบบไม่มีการป้อนกลับ คือใช้วิธีการต่อแบบซอสร่วม หรืออิมิตเตอร์ร่วม นั่นคือ class B หรือ class AB นั่นเอง วงจรแสดงดังรูปที่ 3.16a โดยที่ VB คือแหล่งจ่ายแรงดันไฟตรงที่ไม่มีผลต่อสัญญาณไฟกระแสสลับ (Floating battary) ถูกใช้ในการไบอัสทรานซิสเตอร์ทั้งสองตัวทางเอาท์พุท ซึ่งสามารถที่จะจ่ายและดึงกระแสทางเอาท์พุทได้มาก แต่จะถูกจำกัดโดยการสูญเสียกำลังงานของอุปกรณ์ ถ้าทรานซิสเตอร์ M1 และ M2 ถูกไบอัส ซึ่งจะไม่มีกระแสไหลผ่านขาเดรนหรือขาคอลเลคเตอร์ เมื่อ Vin มีค่าเป็นศูนย์แต่เมื่อ Vin มีค่าเป็นบวก ทรานซิสเตอร์ M1 จะไม่ทำงานแต่ทรานซิสเตอร์ M2 จะทำงานในทางกลับกัน เมื่อค่า Vin มีค่าเป็นลบ ทรานซิสเตอร์ M1 จะทำงาน(ทำงานในย่านกระแสคงที่) และทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M2 จะไม่ทำงาน โดยที่ประสิทธิภาพของวงจร Class B ของสัญญาณเอาท์พุทคือ 78.5% เมื่อประสิทธิภาพคืออัตราส่วนของกำลังสูญเสียสัญญาณที่โหลดต่อกำลังของสัญญาณทางอินพุท ข้อดีอย่างหนึ่งของวงจรในรูป 3.16 คือ สามารถจ่ายกระแสและดึงกระแสโดยจะไม่ถูกจำกัดจากกระแสไบอัส นั่นคือการขยายทางด้านเอาท์พุทจะมี Iout เหมือน Iout ของวงจร Class A รูปที่ 3.17 แสดงกราฟความสามารถในการสวิงของสัญญาณทางด้านเอาท์พุทของวงจรรูปที่ 3.16




รูปที่ 3.16 แสดงวงจรภาคเอาท์พุท Class B และ AB



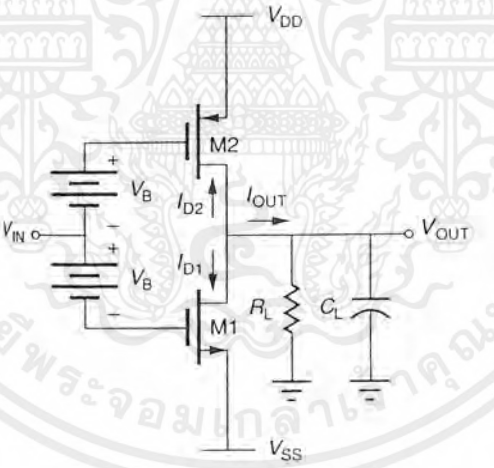

รูปที่ 3.17 แสดงการจำลองรูปสัญญาณของวงจรรูปที่ 3.15 VB=0V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตามความต้านทานทางด้านเอาท์พุทสัญญาณขนาดเล็กของวงจร Class B จะมีค่าสูงโดยปราศจากวงจรยกระดับแรงดัน VB ดังรูปที่ 3.18 แสดงวงจร Class AB หรือ Class B การทำงานของวงจร Class AB หรือ Class B จะถูกกำหนดโดยแรงดัน $Vgg_4$ และ $Vgg_5$ ($Vbb_4$ และ $Vbb_5$) ซึ่งทำหน้าที่ไบอัสกระแสให้กับทรานซิสเตอร์ M1 และ M2 เมื่อแรงดันทางด้านเอาท์พุทมีค่าเป็นบวก กระแสที่ทรานซิสเตอร์ M8 จะเพิ่มขึ้น ส่วนกระแสที่ทรานซิสเตอร์ M7 จะลดลง ดังนั้นกระแสที่ทรานซิสเตอร์ M8 จะสะท้อนไปยังทรานซิสเตอร์ M1 ซึ่งทำให้เกิดการดึงกระแสทางด้านเอาท์พุท และเมื่อ Vin มีค่าลดลง ทรานซิสเตอร์ M2 ก็จะจ่ายกระแสให้ทางเอาท์พุท การสวิงของสัญญาณทางเอาท์พุทจะถูกจำกัดโดย VT ค่าของ VDD หรือ VSS

การตอบสนองความถี่ของวงจรเอาท์พุท จะพิจารณาโหลดชนิดความต้านทานและตัวเก็บประจุที่มาต่อขนาน ซึ่งค่าความต้านทาน RL= 1/GL จะมีค่าน้อยกว่า Rout และค่าคาปาซิเตอร์จะมีค่ามากกว่าค่าความจุทางด้านเอาท์พุทของวงจร และสามารถหาค่าแบนด์วิทของวงจรได้

$$\omega_{-3dB} = \frac{g_{out} + G_L}{C_{out} + C_L} \approx \frac{1}{R_L C_L} \tag{3.88}$$




รูปที่ 3.18 แสดงวงจรภาคเอาท์พุท Class Bหรือ AB โดยมีแหล่งจ่ายแรงดัน

### 3.4.2 วงจรทางเอาท์พุทที่มีการป้อนกลับ

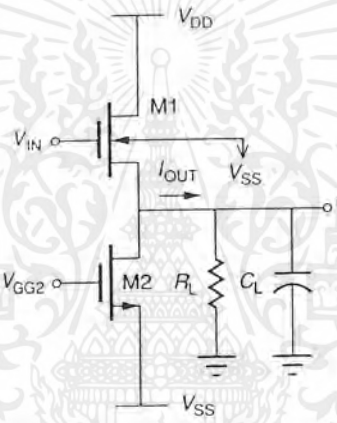
การออกแบบวงจรเอาท์พุทอีกอย่างหนึ่งคือ จะใช้หลักการของการป้อนกลับ ซึ่งเป็นการลดค่าความต้านทานทางเอาท์พุทนั่นเอง

$$r'_{out} = \frac{r_{out}}{1 + LG} \tag{3.89}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ Rout คือ ความต้านทานทางเอาท์พุทที่ไม่มีการป้อนกลับและ LG คือ อัตราขยายของการป้อนกลับวงจรรูปที่ 3.18 แสดงวงจรการป้อนกลับแบบ Class A ซึ่งจะมีอัตราขยายกระแสสูง แต่จะมีความต้านทานทางเอาท์พุทต่ำ จะเห็นว่าที่โหนดทางเอาท์พุท (ขาซอสของทรานซิสเตอร์ M1) จะมีผลของ Body effect ซึ่งทำให้ค่า VT เพิ่มขึ้น เมื่อแรงดันทางเอาท์พุทเพิ่มขึ้น

อย่างไรก็ตามแรงดันสูงสุดทางเอาท์พุทจะมีค่าน้อยกว่า Vdd - VT จากวงจงจะเห็นว่าการสวิงของสัญญาณขาขึ้นทางเอาท์พุทจะถูกจำกัดด้วยค่า $Vgs_1$ ข้อดีประการหนึ่งของวงจรเอาท์พุทแบบนี้คือ ความต้านทานทางเอาท์พุทของสัญญาณกระแสสลับ จะมีค่าต่ำซึ่งเป็นสาเหตุให้การขยายสัญญาณทางกระแสสลับ รวมทั้งผลตอบสนองทางความถี่มีค่าต่ำขึ้นอยู่กับความต้านทาน วงจรสัญญาณขนาดเล็กของวงจรรูปที่ 3.19 จะแสดงในรูปที่ 3.20




รูปที่ 3.19 แสดงวงจรภาคเอาท์พุท Class A แบบ feedback

และ

$$C_1 = Cgd_1 \tag{3.90}$$

$$R2 = \infty \tag{3.91}$$

$$C_2 = Cgs_1 \tag{3.92}$$

$$R_3 = \left[gm_1 + gmb_1 + gds_1 + gds_2 + G_L\right]^{-1} \approx \left[gm_1 + G_L\right]^{-1} \tag{3.93}$$

$$C_3 \approx C_L \tag{3.94}$$

วงจรรูปที่ 3.20 เป็นการประมาณค่า สำหรับความต้านทานและตัวเก็บประจุและสามารถเขียนฟังชั่นการถ่ายโอนได้ดังนี้

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{gm + G_2 + sC_2}{G_2 + G_3 + s(C_L + C_2)} \tag{3.95}$$

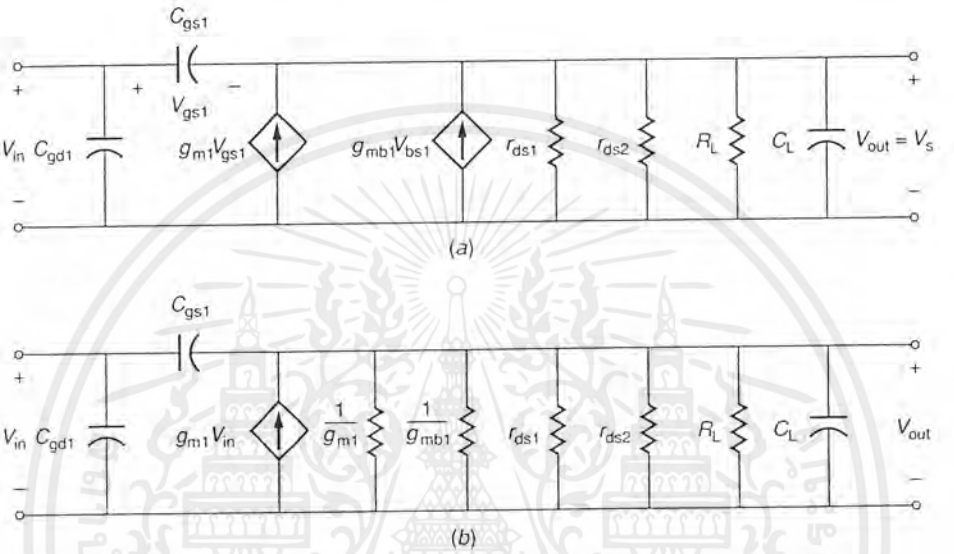
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ 3.95 สามารถเขียน zero ได้

$$z_1 = -\frac{gm + G_2}{C_2} \approx -\frac{gm_1}{C_2} \tag{3.96}$$

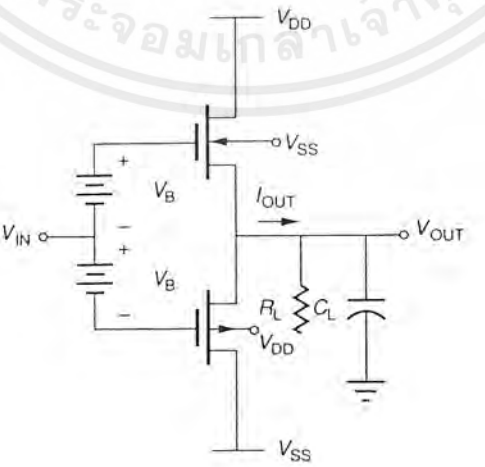
และ

$$p_1 = -\frac{G_2 + G_3}{C_2 + C_L} \approx -\frac{gm_1 + G_L}{C_L} \tag{3.97}$$




รูปที่ 3.20 a) รูปสัญญาณขนาดเล็กของรูปที่ 3.19 b) แสดงวงจรอย่างง่ายของรูป a)

โดยทั่วไปแล้ว |P1| < |Z1| และถ้า pole และ zero มีค่าเข้าใกล้กันแล้วจะทำให้ไม่มีผลกระทบต่อวงจรและความต้านทางเอาท์พุทขณะที่ยังไม่ได้ต่อโหลด




รูปที่ 3.21 แสดงวงจรภาคเอาท์พุท Class B โดยใช้การใช้แรงดัน Vb

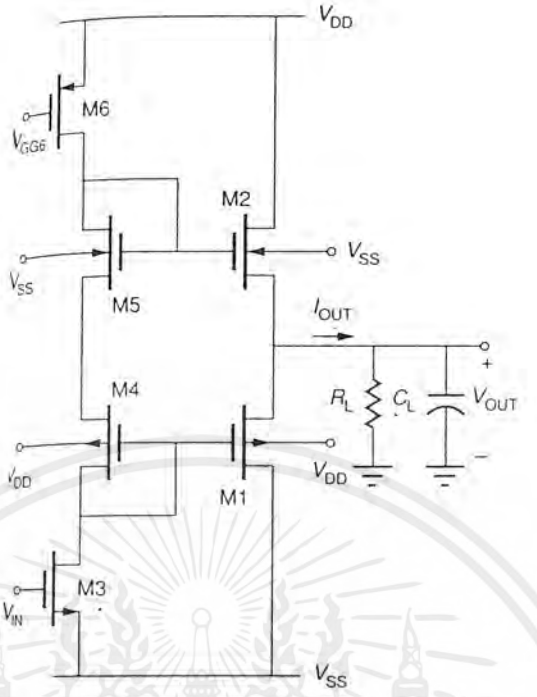
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสียประการหนึ่งของวงจรเอาท์พุทที่มีการป้อนกลับแบบ class A คือการจ่ายกระแสและการดึงกระแสทางเอาท์พุทยังไม่ดี สำหรับ MOS แรงดันที่ขาเกทของทรานซิสเตอร์ M1 จะต้องมีค่ามากกว่าแรงดันทางเอาท์พุทเมื่อมีการจ่ายกระแสสูงสุด สำหรับการดึงกระแสจะมีค่าเท่ากับกระแสไบอัสทันที (ทรานซิสเตอร์ M2)

วงจรเอาท์พุทแบบ Class A ดังที่กล่าวมา จะมีความต้านทานทางเอาท์พุทต่ำมาก ซึ่งทำให้การสวิงของสัญญาณไม่ดี และประสิทธิภาพต่ำ (25%) วงจรรูปที่ 3.21 แสดงวงจรเอาท์พุท class B ที่ปรับปรุงจากวงจรเอาท์พุทแบบ class A การทำงานของวงจรเอาท์พุท class B ถูกเรียกว่า "วงจรพุช-พูล" โดยจะมีประสิทธิภาพสูงถึง 78.5% การสวิงสูงสุดของสัญญาณทางเอาท์พุททั้งทางบวกและทางลบจะถูกจำกัดโดยค่า VT

วงจรรูปที่ 3.22 แสดงการนำวงจรยกระดับแรงดัน VB ถูกนำมาใช้ในวงจรเอาท์พุท class B การทำงานของวงจรคือ ที่สัญญาณอินพุทจะเข้าที่ขาเกทของทรานซิสเตอร์ M3 และทรานซิสเตอร์ M4 และ M5 จะทำหน้าที่เป็นวงจรยกระดับแรงดัน ในการออกแบบไบอัสวงจรต้องคำนึงถึงการผิดเพี้ยนของรูปสัญญาณที่เกิดจากการจ่ายกระแสและดึงกระแส ปัญหาที่เกิดกับวงจรเอาท์พุทแบบ class B คือการสวิงของสัญญาณทางเอาท์พุทโดยจะถูกจำกัดโดย VGG6-VTO6-VT2 อย่างไรก็ตามอยู่ภายใต้เงื่อนไขของ VDD การสวิงของสัญญาณาทางด้านลบจะมีค่าน้อย เมื่อทรานซิสเตอร์ M3 นั้นไบอัสขาเกทของทรานซิสเตอร์ M1 จนกระทั่ง VSS ดังนั้นการสวิงของสัญญาณทางด้านลบจะมีค่าประมาณ VSS+VT1 ที่ VT1 มีค่ามากกว่า VTO1 เนื่องจากผลกระทบของ Body effect ในการออกแบบวงจรเอาท์พุทจะต้องทำให้แรงดันทางเอาท์พุทสามารถสวิงได้สูง,มีค่าความต้านทานทางเอาท์พุทต่ำ,มีประสิทธิภาพสูงและมีความผิดเพี้ยนของสัญญาณน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



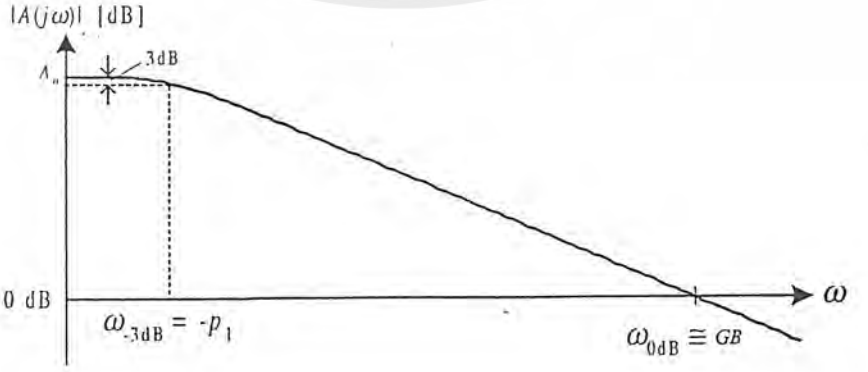

รูปที่ 3.22 แสดงการนำวงจรยกระดับแรงดัน VB ถูกนำมาใช้ในวงจรเอาท์พุท

## 3.5 ภาคชดเชยความถี่ (Frequency Compensation State)

ออปแอมป์ในทางปฏิบัติจะมี pole และ zero อยู่เป็นจำนวนมาก ซึ่ง pole และ zero เหล่านี้จะมีผล อย่างมากต่อผลสนองทางความถี่ของวงจรออปแอมป์ เพื่อความง่ายในการทำความเข้าใจ จะสมมติในเวลานี้ว่าออปแอมป์ที่สนใจเป็นแบบโพลเดียว (single-pole) ซึ่งมี transfer function เท่ากับ

$$A(s) = \frac{Vout\ (s)}{Vid\ (s)} = \frac{A_o}{1 - \dfrac{s}{p_1}} \tag{3.98}$$

โดย $A_o$ และ $P_1$ คืออัตราขยายไฟตรง (DC gain) และโพลของออปแอมป์ตามลำดับ




รูปที่ 3.23 ผลตอบสนองทางความถี่ของออปแอมป์แบบโพลเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังแสดงในรูปที่ 3.23 สามารถพิสูจน์ได้ว่าในกรณีที่ออปแอมป์มีโพลเดียว แบนด์วิดธ์ของออปแอมป์จะเท่ากับ $\omega_{-3dB} = -p_1$ นอกจากนี้ยังสามารถแสดงได้ว่าถ้า $A_o$ มีค่าสูงมากๆ transfer function ของออปแอมป์จะเท่ากับ

$$A(s) = \frac{1}{\frac{1}{A_o} - \frac{s}{A_o P_1}} \approx \frac{1}{-\frac{s}{A_o P_1}} = \frac{GB}{s} \tag{3.99}$$

โดยจะเรียก GB ว่าคือ Gain-Bandwidth ของออปแอมป์เนื่องจาก $GB = -A_o P_1 = A_o \omega_{-3dB}$ นั่นคือ GB คือผลคูณของ DC gain และ bandwidth ของออปแอมป์นั่นเอง ทั้งนี้จะสังเกตุได้ว่า

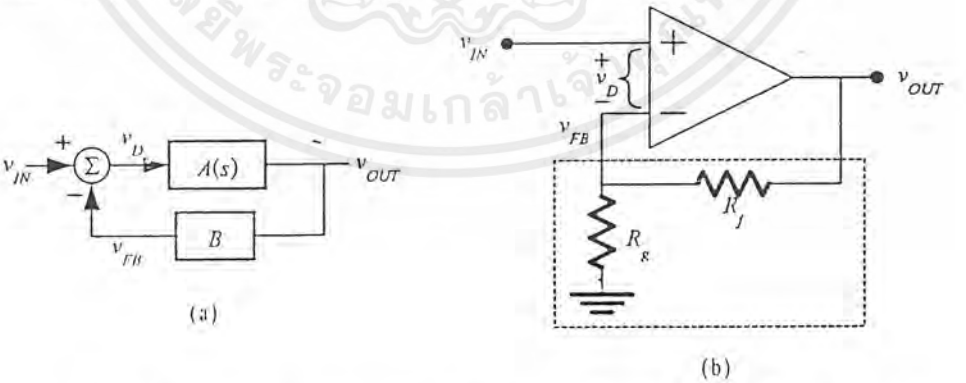
$$A(j\omega)|_{\omega = GB} \approx 1 = 0\,dB \tag{3.100}$$

นั่นคือ GB คือความถี่ที่ทำให้อัตราขยายแรงดันของออปแอมป์มีค่าเท่ากับหนึ่ง (unity-gain frequency)

$$GB \approx \omega_{0dB} \tag{3.101}$$

ถึงแม้ว่าในความเป็นจริงออปแอมป์จะมี pole และ zero อยู่มากมายหลายตัว แต่โดยปกติในการออกแบบออปแอมป์จะทำการชดเชยความถี่เพื่อให้ออปแอมป์มี pole แรกอยู่ที่ต่ำกว่า pole และ zero ตัวอื่นๆ มาก เรียก pole แรกในกรณีนี้ว่า dominant pole ซึ่งทำให้สามารถประมาณได้ว่า GB มีค่าเท่ากับ $\omega_{0dB}$ เสมอ

การชดเชยความถี่เป็นส่วนสำคัญส่วนหนึ่งที่ทำให้วงจรออปแอมป์มีลักษณะแตกต่างไปจากวงจรคอมพาราเตอร์ทั้งนี้เนื่องจากวงจรคอมพาราเตอร์จะถูกใช้งานเฉพาะในลักษณะลูปเปิด (open-loop) เท่านั้น แต่ออปแอมป์มักจะถูกใช้งานในลักษณะลูปปิด (close-loop) โดยการป้อนกลับแบบลบ (negative feedback) ซึ่งทำให้ต้องคำนึงถึงเสถียรภาพของวงจรเป็นอย่างมาก




รูปที่ 3.24 a) ระบบป้อนกลับแบบลบ b) วงจรออปแอมป์ที่มีการป้อนกลับแบบลบ

รูปที่ 3.24a แสดงบล็อคไดอะแกรมระบบป้อนกลับแบบลบ (negative-feedback system) และรูปที่ 3.24b แสดงวงจรออปแอมป์เมื่อมีการป้อนกลับแบบลบด้วย resistive network ซึ่งมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แฟกเตอร์การป้อนกลับ (feedback factor) เท่ากับ B = Re/(Rf + Re) เป็นที่ทราบกันว่าโดยทั่วไปการป้อนกลับแบบลบจะทำให้วงจรมีเสถียรภาพ (stability) ที่ดีขึ้น มีแบนด์วิดกว้างขึ้นและมีความเป็นเชิงเส้น (linearity) สูงขึ้น ตัวอย่างเช่นถ้าออปแอมป์ในวงจรในรูปที่ 3.24b เป็นออปแอมป์สมมติแบบโพลเดียวสามารถแสดงได้ว่า

$$Av(s) = \frac{Vout(s)}{Vid(s)} = \frac{A(s)}{1 + A(s)B} = \frac{A_o}{1 + A_oB - \frac{s}{p_1}} \tag{3.102}$$

ซึ่งเมื่อจัดรูปสมการ 3.102 จะได้

$$Av(s) = \frac{\frac{A_o}{(1 + A_oB)}}{1 - \frac{s}{P_1(1 + A_oB)}} \tag{3.103}$$

นั่นคือวงจรดังกล่าวจะมีอัตราขยายไฟตรงและแบนด์วิดเท่ากับ $A_o/(1 + A_oB)$ และ $-P_1(1 + A_oB)$ ตามลำดับ และเนื่องจากโดยทั่วไป $A_o$ จะมีค่าสูงมากดังนั้นสามารถประมาณอัตราขยายไฟตรงของวงจรในรูปที่ 3.24b ได้เท่ากับ

$$\frac{A_o}{1 + A_oB} = \frac{1}{\frac{1}{A_o} + B} \cong 1 + \frac{Rf}{Rg} \tag{3.104}$$

จะสังเกตุได้ว่าผลคูณของอัตราขยายไฟตรงและแบนด์วิดของวงจรจะมีค่าเท่ากับ $A_o(P_1) = GB \approx \omega_{0dB}$ เสมอไม่ว่า B จะมีค่าเป็นเท่าไหร่ นั่นคือการป้อนกลับแบบลบ จำทำให้อัตราขยายแรงดันของออปแอมป์ลดลงด้วยอัตราส่วนซึ่งเท่ากับอัตราส่วนของแบนด์วิดที่เพิ่มขึ้น ถึงแม้ว่าโดยทั่วไปการป้อนกลับแบบลบจะทำให้เสถียรภาพของวงจรดีขึ้น อย่างไรก็ตามในความเป็นจริงออปแอมป์จะมี pole และ zero อยู่เป็นจำนวนมาก ซึ่งทั้ง pole และ zero เหล่านี้จะส่งผลให้ในบางย่านความถี่ เฟสของแรงดันป้อนกลับ Vfb อาจจะถูกเลื่อนมากพอที่จะทำให้การป้อนกลับแบบลบกลายเป็นแบบบวก (positive-feedback) ไปได้ ส่งผลให้วงจรขาดเสถียรภาพและเกิดการออสซิลเลตขึ้นจนทำให้วงจรไม่สามารถทำงานได้ ทั้งนี้ถ้ากำหนดให้ LG(s) = -A(s)B โดยเรียกฟังก์ชั่น LG(s) นี้ว่าเป็นลูปเกน (loop-gain) ของวงจร จะเห็นว่าการป้อนกลับแบบบวกจะเกิดขึ้นเมื่อเฟสของลูปมีค่าเป็น 0 องศา $(LG(j\omega_{0dB})) > 0^\circ$ จากทฤษฎีการป้อนกลับ สามารถแสดงได้ว่าเงื่อนไขที่ทำให้วงจรยังรักษาเสถียรภาพได้คือ ที่ความถี่ที่ขนาดของลูปเกรนมีค่าเท่ากับ 1 เฟสของลูปเกนจะต้องมากกว่า 0 องศาหรือ

$$\angle(LG(j\omega_{0dB})) > 0^\circ \tag{3.105}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย $\omega_{0dB}$ คือความถี่ที่ทำให้ขนาดของลูปเกนมีค่าเท่ากับ 1 นั่นคือ

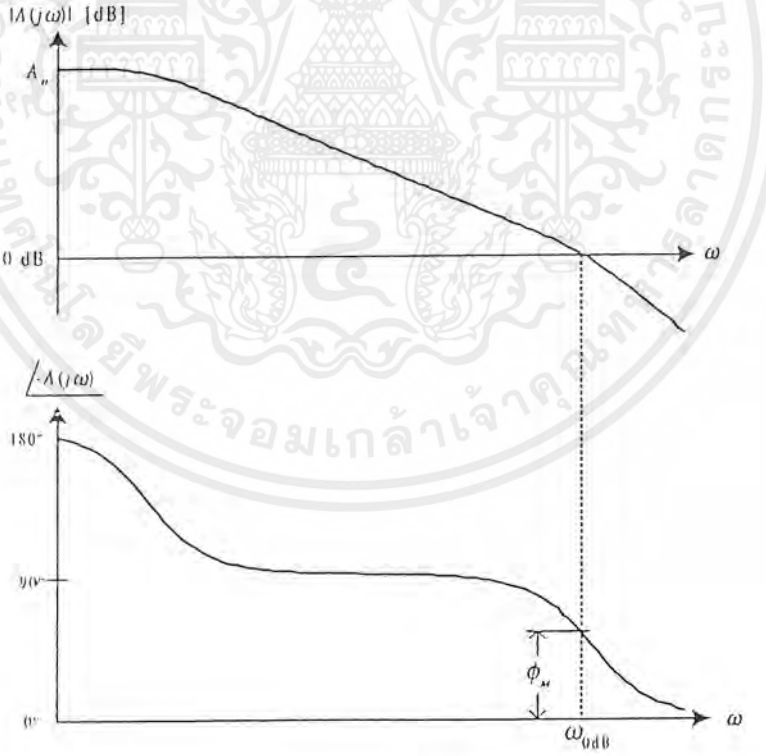
$$|LG(j\omega_{0dB})| = 1 = 0dB \tag{3.106}$$

ดังนั้นถ้ากำหนดให้

$$\phi_m = \angle(LG(j\omega_{0dB})) \tag{3.107}$$

จากรูปที่ 3.25 สามารถใช้ $\phi_m$ เป็นตัวบอกเสถียรภาพของระบบได้ คือ ถ้า $\phi_m$ มีค่ามากกว่าศูนย์มาก ระบบก็มีเสถียรภาพดี ถ้า $\phi_m$ มีค่าเข้าใกล้ศูนย์มากขึ้นเท่าไร ระบบก็จะมีเสถียรภาพลดลงเท่านั้น และในกรณีที่ $\phi_m$ มีค่าน้อยกว่าหรือเท่ากับศูนย์ระบบก็จะขาดเสถียรภาพโดยสิ้นเชิง ด้วยเหตุนี้ในการออกแบบวงจรออปแอมป์จะต้องระวังไม่ให้ $\phi_m$ มีค่าต่ำจนเกินไป (โดยปกติ $\phi_m$ ควรจะมีค่ามากกว่า 45 องศา และในการใช้งานทั่วไปน่าจะมีค่ามากกว่า 60 องศา) ในทุกๆ กรณีของการป้อนกลับ ดังนั้นเพื่อความปลอดภัยในการออกแบบออปแอมป์จะคิดค่า $\phi_m$ ในกรณีที่ต่ำที่สุด (worst-case condition) นั่นคือในกรณีที่มีการป้อนกลับ 100% (B = 1) ซึ่งทำได้โดยการป้อน Vout กลับเข้าไปยังขาอินพุทของออปแอมป์โดยตรง) ซึ่งจะทำให้ LG(s) = -A(s) และ

$$\phi_m = \angle(-A(j\omega_{0dB})) = 180^\circ - \angle(A(j\omega_{0dB})) \tag{3.108}$$




รูปที่ 3.25 การหา $\phi_m$ จากกราฟผลตอบสนองทางความถี่ (Bode Plot) ของออปแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4
# การออกแบบวงจรขยายสัญญาณ
# (Operational Amplifier Design)

การออกแบบวงจรขยายสัญญาณ (Operational Amplifier) โดยมีข้อกำหนดเบื้องต้นของวงจรดังนี้

1. สามารถทำงานที่ Vdd = -Vss =2.5 V
2. ค่า open-loop gain 65 dB
3. ค่า unity-gain frequency ที่ 1 MHz
4. ค่า slew rate > 5V/us (RL=1kohm and CL = 10pF)
5. ค่า phase margin > 60 degree.
6. ค่า noise 200 nV/sqrt (Hz) @ 100 Hz และ 30 nV/sqrt (Hz) @ 10kHz
7. ค่า output swing > +/- 1V
8. ค่า total gate area <0.5 mm2 (calculated by sum of WL)
9. ค่า setting time (within 0.1% of the final value) < 1.2 usec (Note:unity-gain buffer with RL=1 kohm and CL = 10 pF)
10. Technology CMOS ของ Alcatel Microelectronics หรือ AMS
    (AMS : K'p = 13.5 u, K'n = 52.5 u, VTn = VTp = 0.8 V)
11. ข้อกำหนดพิเศษ วงจรมีประสิทธิภาพสูง มีเสถียรภาพ สามารถทนทานต่อการเปลี่ยนแปลงของศักย์ไฟฟ้า และเทคโนโลยีที่ใช้ผลิต ซึ่งสามารถตรวจสอบได้โดยใช้เทคนิค Monte Carlo

## 4.1 การออกแบบวงจรขยายสัญญาณสองสเตท (Two-state Operation Amplifier)

ในการออกแบบวงจรออปแอมป์จะมีอยู่ 2 ขั้นตอนใหญ่ๆ ดังนี้คือ

1. การออกแบบวงจรในระดับทรานซิสเตอร์
2. การออกแบบขนาด (Sizing) ของอุปกรณ์

### การออกแบบวงจรในระดับทรานซิสเตอร์

การออกแบบวงจรในระดับทรานซิสเตอร์นั้น จะเริ่มต้นโดยพิจารณาข้อกำหนด (Specification) ของวงจรและขณะเดียวกันก็จะพิจารณาองค์ประกอบหลักทั้งห้าที่ได้กล่าวไว้ในตอนต้นในหัวข้อแนวคิดในการออกแบบอันได้แก่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1 ภาคขยายความแตกต่าง (Differential transconductance stage)

2.2 ภาคขยาย (High gain stage)

2.3 ภาคขยายกำลัง (Output buffer)

2.4 ภาคชดเชยความถี่ (Compensation)

2.5 ภาคจ่ายไฟ (Bias circuit)

การออกแบบขนาด (Sizing) ของอุปกรณ์

ในวงจรออปแอมป์และรูปแบบของภาคชดเชยความถี่สำหรับในการออกแบบขนาด (Sizing) ของอุปกรณ์ในวงจรออปแอมป์มีขั้นตอนรายละเอียดดังต่อไปนี้

ขั้นตอนที่1

การออกแบบจะเริ่มจากการพิจารณาที่องค์ประกอบที่ 4 หรือภาคชดเชยความถี่ก่อน โดยในขั้นตอนนี้ข้อกำหนดของวงจรอันได้แก่ Unity gain frequency และ Phase margin จะเป็นตัวแปรสำคัญ เพื่อใช้ในการออกแบบอุปกรณ์ซึ่งโดยปกติแล้วจะเป็นตัวเก็บประจุ (Cc) และจะออกแบบให้วงจรออปแอมป์มี Phase margin อย่างน้อย 60 องศา เพื่อหลีกเหลี่ยงการเกิดออสซิเลทของวงจรเมื่อนำไปใช้งานและในขณะเดียวกันก็ให้ได้ Settling time ที่เหมาะสม ภายหลังจากขั้นตอนที่ 1 นี้ ควรจะได้รายละเอียดการต่อวงจรและขนาดของอุปกรณ์ในภาคชดเชยความถี่

ขั้นตอนที่ 2

อุปกรณ์ที่ใช้ในภาคชดเชยความถี่และข้อกำหนดของวงจรอันได้แก่ Slew rate จะเป็นตัวแปรในการกำหนดค่ากระแสไบอัสให้กับองค์ประกอบที่1หรือภาคอัตราการขยายความแตกต่าง (Differential transconductance stage) ในขั้นตอนที่ 2 นี้ ขนาด (Sizing) ของอุปกรณ์ในภาคอัตราการขยายความแตกต่าง(องค์ประกอบที่ 1) และภาคจ่ายไฟ (องค์ประกอบที่ 5) จะถูกออกแบบโดยอาศัยความรู้ที่ได้จากกระแสไบอัสดังกล่าวข้างต้น ประกอบกับ ค่าขอบเขตสัญญาณร่วม (CMR : Common mode range) ในโครงงานนี้ค่าขอบเขตสัญญาณร่วม (CMR) จะออกแบบให้มีค่าอย่างน้อยเท่ากับค่า Output swing ที่ให้มาในข้อกำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนที่ 3

ในการออกแบบขนาด (Sizing) ของทรานซิสเตอร์ในภาคขยาย (High gain stage) สามารถคำนวณได้โดยอาศัยข้อกำหนดที่ให้มา ได้แก่ Unity gain frequency และ Phase margin เป็นตัวแปรสำคัญ

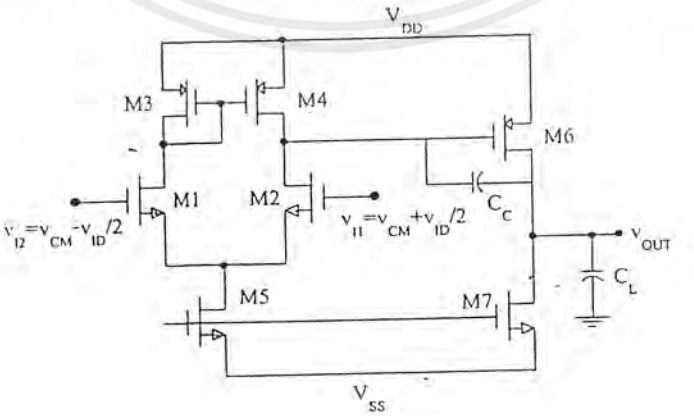
ขั้นตอนที่ 4

ขั้นตอนนี้จะเป็นการออกแบบขนาด (Sizing) ขององค์ประกอบที่ 3 หรือภาคขยายกำลัง (Output buffer) ในการออกแบบจะพิจารณาถึงชนิดและขนาดของโหลดที่จะนำมาต่อ รวมทั้งการสวิงของสัญญาณทางเอาท์พุท (Output swing) จากนั้นทำการออกแบบในส่วนของการป้องกันการช๊อตของวงจรทางเอาท์พุท

ขั้นตอนที่ 5

ในขั้นตอนนี้ จะทำการทดสอบหาอัตราการขยายและคุณสมบัติต่างๆของวงจร โดยการแทนค่าขนาด (Sizing)และค่าอุปกรณ์ต่างๆที่ได้จากการออกแบบข้างต้น โดยจะตรวจสอบว่าเป็นไปตามข้อกำหนดที่ให้มาหรือไม่ ถ้าหากคุณสมบัติที่ได้ไม่เป็นไปตามข้อกำหนด จำเป็นต้องมีการปรับแต่งขนาด (Sizing) ของทรานซิสเตอร์ในขั้นตอนบางขั้นตอนข้างต้น

ท้ายสุดเมื่อการออกแบบเป็นไปตามข้อกำหนดแล้ว จะทำการวิเคราะห์วงจรที่ออกแบบมาได้นั้น ด้วยโปรแกรม PSpice เพื่อทดสอบคุณสมบัติที่ได้อีกครั้งหนึ่งและเป็นการยืนยันผลการออกแบบ หลังจากนั้นจะเป็นการวิเคราะห์แบบ Monte Carlo เพื่อตรวจสอบเสถียรภาพและประสิทธิภาพโดยรวมของวงจรออปแอมป์ จากขั้นตอนที่กล่าวไว้ข้างต้น ได้ทดลองใช้กับวงจรออปแอมป์ประเภท 2 ภาค(Two state op-amp) ดังรูปที่ 4.1




รูปที่ 4.1 แสดงวงจรขยายความแตกต่างแบบสองภาค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลที่ได้จากการวิเคราะห์และการยืนยันผลโดยใช้โปรแกรม Pspice โดยใช้ค่าพารามิเตอร์ของ AMS 0.6u CMOS

ขนาดของทรานซิสเตอร์จากการออกแบบ

(W/L)m1 = 1.96

(W/L)m2 = 1.96

(W/L)m3 = 1

(W/L)m4 = 1

(W/L)m5 = 21.1

(W/L)m6 = 100

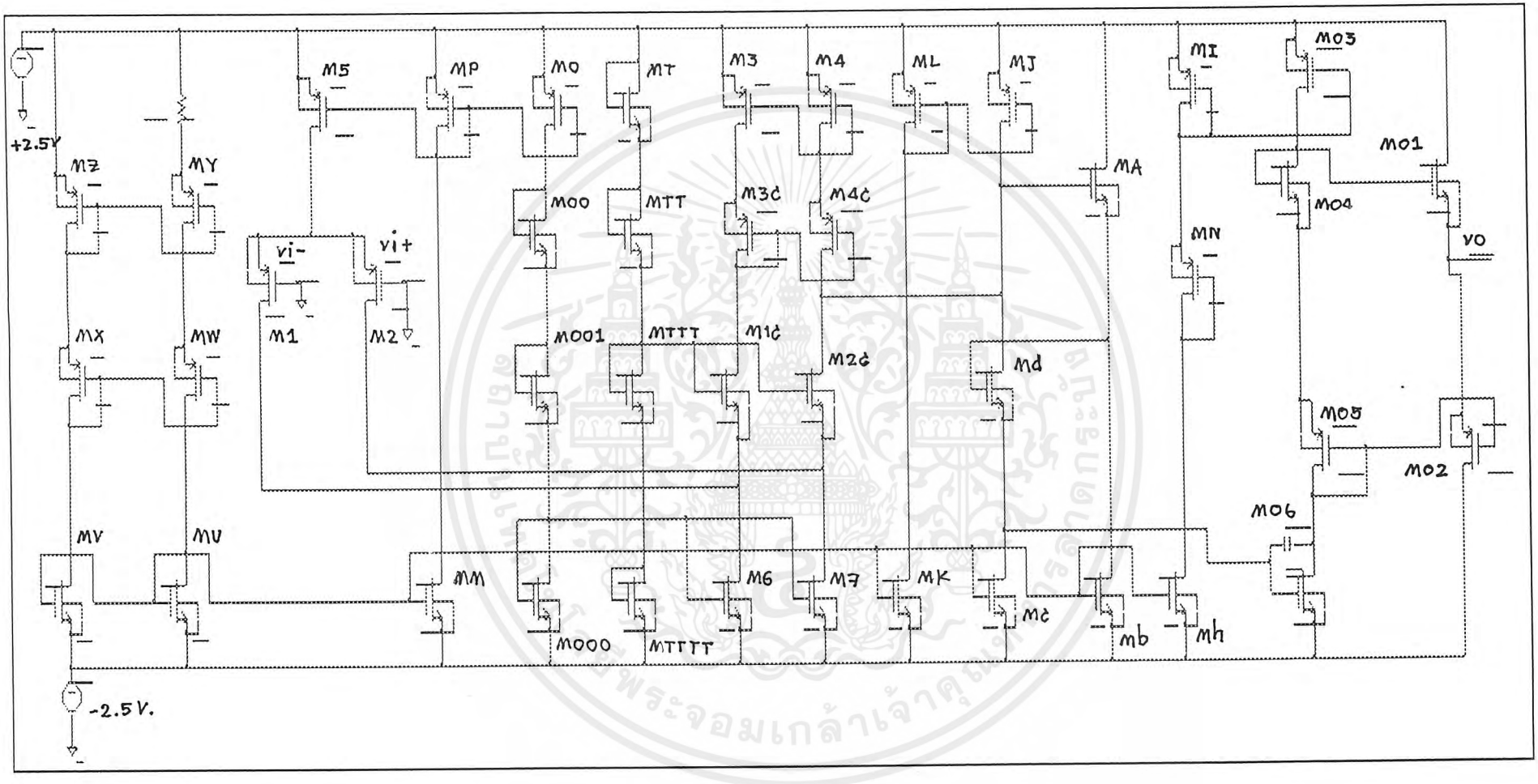
(W/L)m7 = 1055

Compensation Capacitor (Cc) = 2.2pF

ค่าขนาดของอุปกรณ์ข้างต้นที่ได้จากการออกแบบ โดยใช้โปรแกรม Pspice ตรวจสอบคุณสมบัติของวงจรออปแอมป์มีดังต่อไปนี้

1. สามารถทำงานได้ที่ Vdd = -Vss = 2.5V
2. ค่า Open-loop gain = 77.992 dB
3. ค่า Unity-gain frequency = 2.0309 MHz
4. ค่า Slew rate = 7.484 V/us (RL = 1kohm and CL = 10pF)
5. ค่า phase margin = 61.427 องศา
6. ค่า CMR = +/- 1.19 V
7. ค่า Settling time = 1.17 us (Note:unity gain buffer
8. แรงดันออฟเซท = 6 mV
9. กำลังสูญเสียของวงจร (Power dissiparion) = 5.2 mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

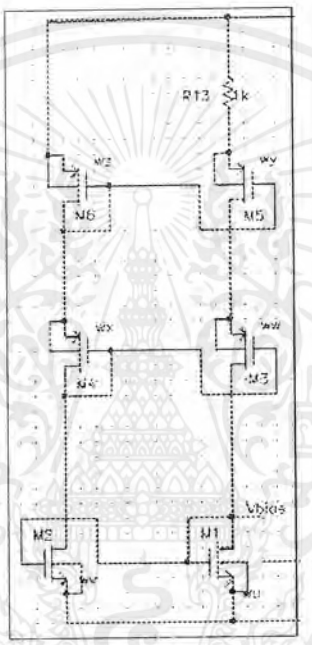



รูปที่ 4.2 แสดงวงจรขยายสัญญาณที่มีคุณสมบัติเป็นไปตามข้อกำหนด

## 4.2 การปรับปรุงการออกแบบวงจรขยายสัญญาณ (Operation Amplifier) โดยใช้วิธี Folded Cascode

จากวงจรรูปที่ 4.2 เป็นวงจรขยายสัญญาณที่เป็นไปตามข้อกำหนดเบื้องต้น โดยมีรายละเอียดในการออกแบบในแต่ละภาคดังต่อไปนี้

### 4.2.1 การออกแบบวงจรภาคไบอัสให้กับวงจรขยายสัญญาณ (Biasing State Operation Amplifier)




รูปที่ 4.3 แสดงวงจรภาคไบอัส

จากวงจรจะออกแบบให้มีกระแสไบอัส 500 uA และ $Vds(sat)_1$ มีค่า 0.2V ดังนั้น $Vgs_1=Vgs_2=1V$ จะสามารถหาขนาดของทรานซิสเตอร์ M1 และ M2 ได้

$$\left(\frac{W}{L}\right)_{1,2} = \frac{2 \times I_1}{K'_p \left(Vds(sat)_1\right)^2} \qquad (4.1)$$

$$= \frac{2 \times 500\mu}{52.5\mu(0.2)^2}$$

$$= 476.19 \approx 477$$

พิจารณาค่า $Vgs_{3,4}$ และ $Vgs_6$ เพื่อนำไปหาขนาดของทรานซิสเตอร์แต่ละตัวโดยจะให้มีค่าเท่ากัน ดังนี้

$$Vgs_6 + Vgs_{3,4} = Vdd - Vss - Vgs_{1,2} \qquad (4.2)$$

$$Vgs_{3,4,6} = 2V$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $Vds(sat)_{3,4,6} = 1.2V$

ดังนั้น

$$\left(\frac{W}{L}\right)_{3,4,6} = \frac{2 \times Ibias}{K'_p \left(Vds(sat)\right)^2} \tag{4.3}$$

$$= \frac{2 \times 500\mu}{13.5\mu(1.2)^2}$$

$$= 51.4403 \approx 52$$

พิจารณาโดยจะออกแบบให้มีแรงดันตกคร่อมความต้านทาน 0.5 V ที่กระแสไบอัส 500 uA และ Vgs = 0.69 V

$$Vgs = Vgs_5 + VR \tag{4.4}$$

และ

$$VR = RL \times Ibias$$

$$RL = \frac{0.5V}{500\mu}$$

$$= 1K\Omega$$

จากสมการที่ 4.4

$$Vgs_5 = 2 - 0.5V$$

$$= 1.5V \qquad \text{และ } Vds(sat)_5 = 0.7 \text{ V}$$

ดังนั้นสามารถหาขนาดของทรานซิสเตอร์ M5 ได้

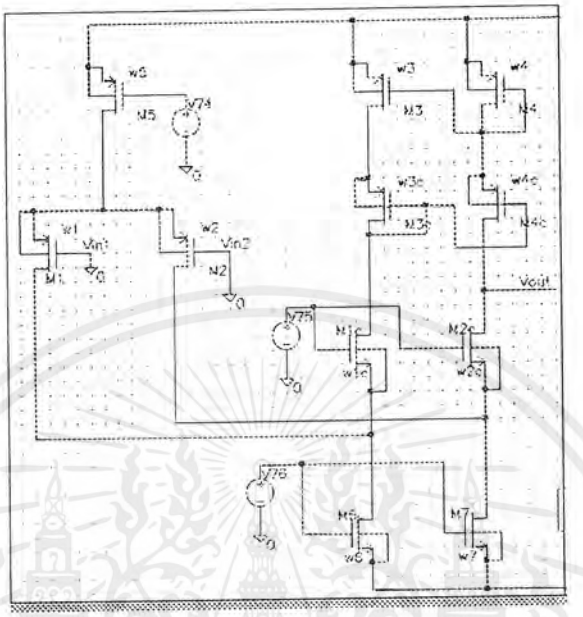
$$\left(\frac{W}{L}\right)_5 = \frac{2 \times Ibias}{K'_p \left(Vds(sat)_5\right)^2} \tag{4.5}$$

$$= \frac{2 \times 500\mu}{13.5\mu(0.7)^2}$$

$$= 155.58 \approx 161$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.2.2 การออกแบบภาคขยายความแตกต่างแบบ folded cascode (Folded cascode Differential Amplifier)




รูปที่ 4.4 แสดงวงจรภาคขยายความแตกต่างแบบ Folded Cascode

จากข้อกำหนดของวงจรในส่วนของอัตราสลู (>5V/us) กับโหลดชนิดตัวเก็บประจุ (10pF) สามารถทำให้หาค่ากระแสที่ไหลผ่านทรานซิสเตอร์ M5 ได้ดังรูป โดยใช้สมการ

$$I_5 = SR(C_L) \quad \text{ใช้ SR} = 10\ \text{V/us} \tag{4.6}$$
$$= 10 \times 10^6 \times 10^{-12}$$
$$= 100\ \mu A$$

และจากข้อกำหนดในส่วนของ gain bandwidth (>1MHz) สามารถที่จะนำไปหาค่าทรานคอนดักแตนซ์ (gm1) ของทรานซิสเตอร์ M1 และ M2 ได้ดังนี้

$$gm_{1,2} = \omega CL \tag{4.7}$$
$$= 2\pi \times f \times CL \qquad \text{ใช้ f} = 3.184\ \text{MHz}$$
$$= 2 \times 3.14 \times 3.184 \times 10^6 \times 10 \times 10^{-12}$$
$$= 200 \mu S$$

จากค่าทรานคอนดักแตนซ์ (gm1,gm2) จะทำให้ทราบขนาดของทรานซิสเตอร์ M1 และ M2 ได้

$$\left(\frac{W}{L}\right)_{1,2} = \frac{(gm_1)^2}{2K'_p I_1} \tag{4.8}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_1 = \frac{I_5}{2} = \frac{100\mu A}{2} = \frac{50\mu A}{}$$

$$\left(\frac{W}{L}\right)_{1,2} = \frac{\left(200\times10^{-6}\right)^2}{2\times13.5\times10^{-6}\times50\times10^{-6}}$$

$$= 29.629 \approx 30$$

เมื่อทราบขนาดของทรานซิสเตอร์ M1 และ M2 จะนำไปคำนวณเพื่อหาค่าแรงดันที่ป้อนให้ที่ขาเกท ของทรานซิสเตอร์ M5 เพื่อให้ได้กระแสตามที่ได้คำนวณไว้ (100uA) โดยพิจารณาจากช่วงการสวิง ของสัญญาณอินพุทข เขึ้น (CMR(max)) ประกอบกันดังสมการ

$$CMR(\max) = VDD - Vgs_1 - Vds(sat)_5 \qquad (4.9)$$

กำหนดให้ CMR สามารถมีค่าอย่างน้อยเท่ากับช่วงการสวิงของสัญญาณทางเอาท์พุท (output swing +/- 1V) พิจารณาเมื่อต่อวงจรในลักษณะ buffer

$$Vgs_1 = \left[\frac{2ID_1}{K'_p\left(\frac{W}{L}\right)_1}\right]^{\frac{1}{2}} + VT_1 \qquad (4.10)$$

$$= \left[\frac{2\times50\mu}{13.5\mu\times30}\right]^{\frac{1}{2}} + 0.8$$

$$= 1.2969\ V$$

จากสมการที่ 4.9 สามารถค่า $Vds(sat)_5$ ได้

$$Vds(sat)_5 = VDD - Vgs_1 - CMR(\max) \qquad (4.11)$$

$$= 2.5 - 1 - 1.2969$$

$$= 0.203\ \text{V}$$

$$Vgs_5 = Vds(sat)_5 + VT_5$$

$$= 1.003\ \text{V} \approx 1V$$

และ

$$VG_5 = VDD - Vgs_5$$

$$= 2.5 - 1$$

$$= 1.5\ \text{V}$$

นำค่า Vds(sat)5 ไปหาขนาดของทรานซิสเตอร์ M5

$$\left(\frac{W}{L}\right)_5 = \frac{2\times I_5}{K'_p\left(Vds(sat)_5\right)^2} \qquad (4.12)$$

$$= \frac{2\times100\mu}{13.5\mu(0.203)^2}$$

$$= 359.504 \approx 360$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นใช้ช่วงการสวิงของสัญญาณทางอินพุทขาลงในการหาแรงดันที่ป้อนให้ขาเกทของทรานซิสเตอร์ M6 ดังสมการ

$$|VSS| + VT_1 - Vds(sat)_6 = CMR(\min) \quad , CMR(\min) \geq 1V \tag{4.13}$$

$$Vds(sat)_6 \leq 2.5 + 0.8 - 1$$

$$\leq 2.3$$

ใช้ข้อกำหนดของวงจรในส่วนของแรงดันการสวิงทางเอาท์พุท (output swing +/-1V) เป็นข้อพิจารณาในการกำหนดค่า $Vds(sat)_6$ รวมทั้งในส่วนของกระแสที่ทรานซิสเตอร์ M6 ($ID_6$) สามารถที่จะกำหนดขึ้นได้โดยพิจารณาถึงความเหมาะสมเนื่องจากกำลังงานที่สูญเสียเมื่อออกแบบให้มีกระแสสูง สำหรับค่าที่เหมาะสมจะออกแบบให้มีค่าเท่ากับ $ID_5 = 100$ uA ดังสมการ

$$|VSS| - {}^{o}\!/_{p}\, swing = Vds(sat)_6 + Vds(sat)_{1c} \tag{4.14}$$

$$2.5 - 1 = 1.5 \text{ V}$$

$$Vds(sat)_6 + Vds(sat)_{1c} = 1.5V$$

เลือกค่า $Vds(sat)_{1c}$ ให้เหมาะสมมีค่าเท่ากับ 0.256 V และ $Vds(sat)_6 = 1.2344$ V

ดังนั้น

$$\left(\frac{W}{L}\right)_6 = \frac{2 \times I_6}{K'_p \left(Vds(sat)_6\right)^2} \tag{4.15}$$

$$= \frac{2 \times 100\mu}{52.5\mu(1.2344)^2}$$

$$= 2.5$$

และกระแสที่ทรานซิสเตอร์ M1 และ M2 ($ID_1$) รวมกับกระแสที่ทรานซิสเตอร์ M1C ($ID_{1c}$) จะมีค่าเท่ากับกระแสที่ทรานซิสเตอร์ M6 ($ID_6$)

$$ID_1 + ID_{1c} = ID_6 = 100\mu A \tag{4.16}$$

$$ID_{1c} = 100\mu - 50\mu = 50\mu A$$

ดังนั้น

$$\left(\frac{W}{L}\right)_{1c} = \frac{2 \times I_{1c}}{K'_p \left(Vds(sat)_{1c}\right)^2} \tag{4.17}$$

$$= \frac{2 \times 50\mu}{52.5\mu \times (0.2656)^2}$$

$$= 27$$

จากค่า $Vds(sat)_6$ และ $Vds(sat)_{1c}$ สามารถหาค่าแรงดันที่ขาเกทของทรานซิสเตอร์ M6 และ M1C ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Vgs_6 = Vds(sat)_6 + VT_6 \quad (4.18)$$
$$= 1.2344 + 0.8 \text{ V}$$
$$= 2.0344 \text{ V}$$

และ

$$Vgs_{1c} = Vds(sat)_{1c} + VT_{1c} \quad (4.19)$$
$$= 0.2656 + 0.8 \text{ V}$$
$$= 1.0656 \text{ V}$$
$$VG_{1c} = VSS + Vds(sat)_6 + Vgs_{1c} \quad (4.20)$$
$$= -2.5 + 1.2344 + 1.0656 \text{ V}$$
$$= -0.2 \text{ V}$$

จากข้อกำหนดของวงจรในส่วนของการสวิงของสัญญาณทางเอาท์พุทขาขึ้น จะสามารถหาขนาดของทรานซิสเตอร์ ถ้าในกรณีที่นำวงจรขยายความแตกต่างแบบ folded cascode เพียงภาคเดียวในการขับโหลด จำเป็นต้องพิจารณาว่าโหลดนั้นๆ สามารถดึงกระแสได้สูงสุดเท่าใด และจึงนำข้อกำหนดนี้ นำไปหาขนาดของทรานซิสเตอร์ แต่ถ้ากรณีที่มีวงจรภาคเอาท์พุท จะพิจารณากระแสไบอัสของทรานซิสเตอร์ดังรูปที่ 4.4 ($ID_3$=$ID_{3c}$=50 uA)

$$VDD - \%_p swing = Vgs_3 + Vds(sat)_{3c} \quad (4.21)$$
$$Vgs_3 = Vds(sat)_3 + VT_3$$
$$2.5 - 1 - 0.8 = Vds(sat)_3 + VT_3 + Vds(sat)_{3c}$$

เลือกค่า Vds(sat) ให้เหมาะสม พิจารณา $Vds(sat)_3 = 0.5$ V, $Vds(sat)_{3c} = 0.2$ V
ดังนั้น

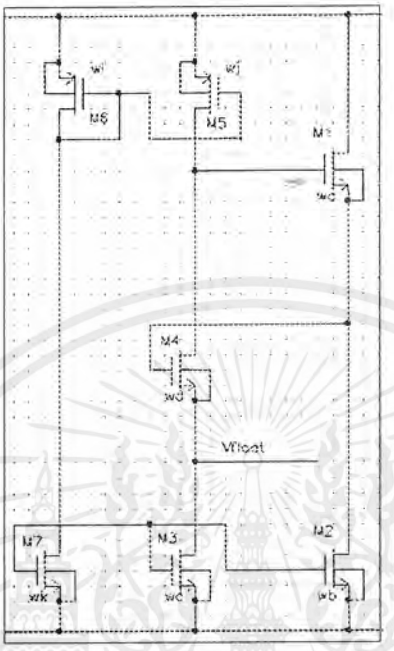
$$\left(\frac{W}{L}\right)_3 = \frac{2 \times I_3}{K'_p (Vds(sat)_3)^2} \quad (4.22)$$
$$= \frac{2 \times 50\mu}{13.5\mu(0.5)^2}$$
$$= 29.629 \approx 30$$

และ

$$\left(\frac{W}{L}\right)_{3c} = \frac{2 \times I_{3c}}{K'_p (Vds(sat)_{3c})^2} \quad (4.23)$$
$$= \frac{2 \times 50\mu}{13.5\mu(0.203)^2}$$
$$= 179.75 \approx 180$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.2.3 การออกแบบภาคยกระดับแรงดัน (Voltage level shifting state)




รูปที่ 4.5 แสดงวงจรภาคยกระดับแรงดัน

ในการออกแบบวงจรยกระดับ จากรูป จะเห็นว่าต้องมีวงจรไบอัส รวมทั้งออกแบบให้จุด a มีค่าใกล้ศูนย์มากที่สุด เพื่อง่ายในการคำนวณดังรูป โดยจะออกแบบให้มีกระแส 100 uA และค่า Vgs ของทรานซิสเตอร์ M6 มีค่า 2.5 V ดังนั้น $Vgs_5=Vgs_6$ เพื่อจะทำให้จุด a มีค่าใกล้ศูนย์ ดังนั้นสามารถที่จะหาขนาดของทรานซิสเตอร์ M5 และ M6 ตามลำดับ

$$Vds(sat)_5 = Vgs_5 + VT_5 \tag{4.24}$$
$$= 2.5 - 0.8$$
$$= 1.7\ \text{V}$$

และ

$$\left(\frac{W}{L}\right)_5 = \frac{2 \times I_5}{K'_p \left(Vds(sat)_5\right)^2} \tag{4.25}$$
$$= \frac{2 \times 100\mu}{13.5\mu(1.7)^2}$$
$$= 5.126 \approx 5$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left(\frac{W}{L}\right)_6 = \frac{2\times I_6}{K'_p\left(Vds(sat)_6\right)^2} \tag{4.26}$$
$$= \frac{2\times 100\mu}{13.5\mu(1.7)^2}$$
$$= 5.126 \approx 5.15$$

จากค่าแรงดันที่ต้องการยกระดับ –1.5981 V โดยจะใช้ค่า Vgs ของทรานซิสเตอร์ M1 และ M4 ในการแบ่งสัดส่วนของระดับแรงดัน แต่ต้องพิจารณาจุดที่สัญญาณเข้าทางอินพุท (จุด a = 0.0811V)

$$|-1.5981-0.0811| = Vgs_1 + Vgs_4, Vgs_1 = Vgs_4 \tag{4.27}$$

และ

$$Vgs_{1,4} = 0.84V$$
$$Vds(sat)_{1,4} = 0.04V$$

ดังนั้น

$$\left(\frac{W}{L}\right)_{1,4} = \frac{2\times I_{1,4}}{K'_p\left(Vds(sat)_{1,4}\right)^2} \tag{4.28}$$
$$= \frac{2\times 100\mu}{52.5\mu(0.04)^2}$$
$$= 2380.95 \approx 2400$$

สำหรับขนาดของทรานซิสเตอร์ M2, M3 และ M7 จะพิจารณาถึงกระแสไบอัสที่ใช้ (100uA) ประกอบกับใช้ค่า Vgs = 1V เพื่อที่จะสามารถใช้การสะท้อนของกระแส (current mirror) ในการออกแบบดังนั้น

$$Vgs_{2,3,7} = 1V$$

และ

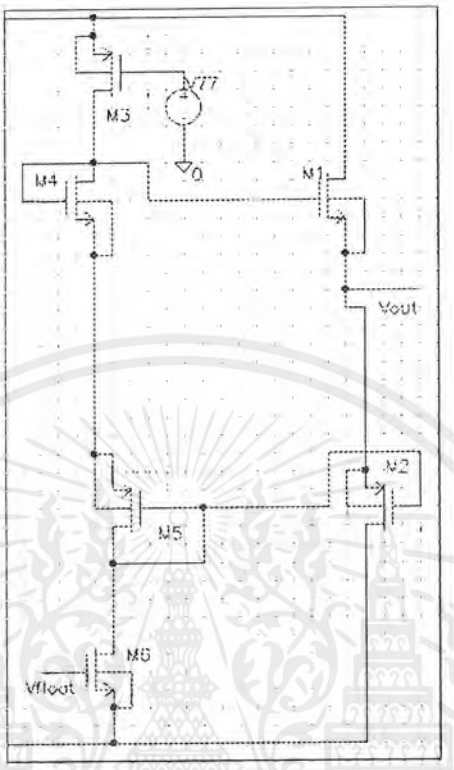
$$Vds(sat)_{2,3,7} = 0.2V$$

ดังนั้น

$$\left(\frac{W}{L}\right)_{2,3,7} = \frac{2\times I_{2,3,7}}{K'_p\left(Vds(sat)_{2,3,7}\right)^2} \tag{4.29}$$
$$= \frac{2\times 100\mu}{52.5\mu(0.2)^2}$$
$$= 95.238 \approx 95$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.2.4 การออกแบบภาคเอาท์พุท (Output State)




รูปที่ 4.6 แสดงวงจรภาคเอาท์พุท

จากรูปเป็นวงจรภาคเอาท์พุทที่นำมาใช้กับวงจรขยายสัญญาณ ซึ่งมีหลักการในการออกแบบโดยพิจารณาถึงข้อกำหนดของวงจรในส่วนของการสวิงของสัญญาณทางเอาท์พุทรวมทั้งการดึงกระแสเนื่องจากโหลด (1k,10pF) ดังสมการ

$$VDD - \%_p\, swing = Vgs_1 + Vds(sat)_3 \tag{4.30}$$

$$1.5 = Vds(sat)_1 + VT_1 + Vds(sat)_3$$

จากสมการ 4.30 พิจารณาค่า $VT_1$ เมื่อสัญญาณทางเอาท์พุทสวิงสูงสุดดังนั้น

$$VT' = VT + \gamma\left[\sqrt{Vsb + \phi_f} - \sqrt{\phi_f}\right. \tag{4.31}$$

$$= 0.8 + 0.4\left[\sqrt{1 + 0.65} - \sqrt{0.65}\right.$$

$$= 0.99131 \text{ V}$$

ดังนั้น จากสมการ

$$Vds\,(sat)_1 + Vds\,(sat)_3 = 0.50868\,V$$

พิจารณาและเลือกค่า Vds(sat) ให้เหมาะสม Vds(sat)3 = 0.2 V และกำหนด I3 = 100 uA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left(\frac{W}{L}\right)_3 = \frac{2\times I_3}{K'_p\left(Vds(sat)_3\right)^2} \tag{4.32}$$

$$= \frac{2\times 100\mu}{13.5\mu(0.2)^2}$$

$$= 370.37 \approx 371$$

ในการออกแบบขนาดของทรานซิสเตอร์ M1 จะต้องพิจารณากระแสสูงสุดที่โหลด (1mA ที่ 1 V)

$$\left(\frac{W}{L}\right)_1 = \frac{2\times I_1}{K'_p\left(Vds(sat)_1\right)^2} \tag{4.33}$$

$$= \frac{2\times 1m}{52.5\mu(0.30868)^2}$$

$$= 399.81 \approx 340$$

พิจารณา $Vds(sat)_1 = Vds(sat)_2$ และ $I_1 = I_2$ ดังนั้น

$$\left(\frac{W}{L}\right)_2 = \frac{2\times I_2}{K'_p\left(Vds(sat)_2\right)^2} \tag{4.34}$$

$$= \frac{2\times 1m}{13.5\mu(0.30868)^2}$$

$$= 1554.81 \approx 1555$$

นำค่าขนาดของทรานซิสเตอร์ M1 และ M2 ที่คำนวณได้จากกระแสสูงสุด มาพิจารณาหาค่า Vds (sat) ขณะที่กระแสไบอัส เพื่อนำไปหาค่าขนาดของทรานซิสเตอร์ M4 และ M5 ในการไบอัส ณ กระแสที่กำหนดกระแสที่กำหนดจะพิจารณาถึงความเป็นเชิงเส้นของสัญญาณทางเอาท์พุท (500uA)

$$Vds(sat)_1 = \left[\frac{2ID_1}{K'_p\left(\frac{W}{L}\right)_1}\right]^{\frac{1}{2}} \tag{4.35}$$

$$= \left[\frac{2\times 500\mu}{52.5\mu(340)}\right]^{\frac{1}{2}}$$

$$= 0.23669\text{V}$$

กำหนด Vgs1=Vgs4 และ Vds(sat)1=Vds(sat)4 ดังนั้นสามารถหาขนาดของทรานซิสเตอร์ M4 ได้

$$\left(\frac{W}{L}\right)_4 = \frac{2\times I_4}{K'_p\left(Vds(sat)_4\right)^2} \tag{4.36}$$

$$= \frac{2\times 100\mu}{52.5\mu(0.23669)^2}$$

$$= 68$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ

$$Vds(sat)_2 = \left[\frac{2ID_2}{K'_p\left(\frac{W}{L}\right)_2}\right]^{\frac{1}{2}} \tag{4.37}$$

$$= \left[\frac{2\times 500\mu}{13.5\mu(1555)}\right]^{\frac{1}{2}}$$

$$= 0.21825 \text{ V}$$

$Vgs_2$=$Vgs_5$ และ $Vds(sat)_2$ = $Vds(sat)_5$ ดังนั้น

$$\left(\frac{W}{L}\right)_5 = \frac{2\times I_5}{K'_p\left(Vds(sat)_5\right)^2} \tag{4.38}$$

$$= \frac{2\times 100\mu}{13.5\mu(0.21825)^2}$$

$$= 311$$

สำหรับการหาขนาดของทรานซิสเตอร์ M6 จะพิจารณาถึงการสวิงของสัญญาณทางเอาท์พุทขาลง

$$|Vss| - {}^{o}\!/_{p}\, swing = Vgs_2 + Vds(sat)_6 \tag{4.39}$$

โดย VT = 0.99131V

$$1.5 - 0.99131 = Vds(sat)_2 + Vds(sat)_6 \;|\; Vds(sat)_2 = Vds(sat)_1$$

$$Vds(sat)_6 \le 0.2V$$

ในการเลือกค่า $Vds(sat)_6$ ให้เหมาะสมในกรณีเลือกค่าต่ำๆ จะทำให้สัญญาณทางเอาท์พุทสามารถสวิงได้มากขึ้นกว่าเดิม โดยจะเลือกที่ 0.1019V ดังนั้น

$$\left(\frac{W}{L}\right)_6 = \frac{2\times I_6}{K'_p\left(Vds(sat)_6\right)^2} \tag{4.40}$$

$$= \frac{2\times 100\mu}{52.5\mu(0.1019)^2}$$

$$= 366.87 \approx 367$$

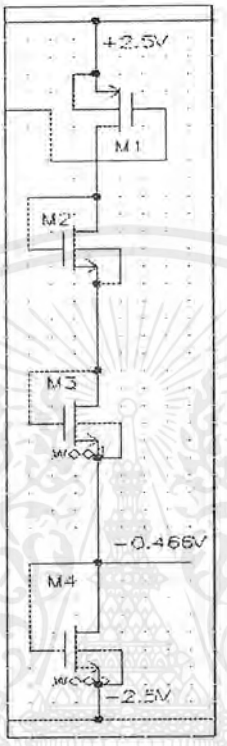
$$Vgs_6 = 0.9019\ V \quad \text{และ} \quad VG_6 = -1.5981\ V$$

จะเห็นว่าค่า $VG_6$ จะต้องมีค่า –1.5981V จึงจะทำให้วงจรภาคเอาท์พุทที่ได้ออกแบบนั้นมีประสิทธิภาพ ดังนั้นจะต้องออกแบบในส่วนของวงจรยกระดับแรงดันที่ขาเกทของทรานซิสเตอร์ M6 ข้างต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.2.5 การออกแบบวงจรแรงดันอ้างอิง (Voltage Reference)

1. วงจรแรงดันอ้างอิง –0.466 V ที่ขาเกทของทรานซิสเตอร์ M6 และ M7 ของวงจรขยายความแตกต่าง




รูปที่ 4.7 แสดงวงจรแรงดันอ้างอิง –0.466 V

จากรูป 4.7 ค่าแรงดันที่ขาเกทของทรานซิสเตอร์ M1 = 1.5 V นั้นได้มาจากค่าแรงดันที่ขาเกทของทรานซิสเตอร์ M5 ของวงจรขยายความแตกต่าง ซึ่งจะออกแบบโดยใช้วิธีการสะท้อนกระแส (current mirror) ที่กระแส 100 uA ดังนั้น $Vgs_1$=1V , $Vds(sat)_1$ = 0.2 V โดย

$$\left(\frac{W}{L}\right)_1 = \frac{2\times Ibias}{K'_p\left(Vds(sat)_1\right)^2} \tag{4.41}$$

$$= \frac{2\times 100\mu}{13.5\mu(0.2)^2}$$

$$= 370.37 \approx 360$$

แรงดันที่ขาเกทของทรานซิสเตอร์ M4 = -0.466V ดังนั้น $Vgs_4$=2.034V และ $Vds(sat)_2$=1.234V

$$\left(\frac{W}{L}\right)_4 = \frac{2\times Ibias}{K'_p\left(Vds(sat)_4\right)^2} \tag{4.42}$$

$$= \frac{2\times 100\mu}{52.5\mu(1.234)^2}$$

$$= 2.5$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับทรานซิสเตอร์ M2 และ M3 ควรจะกำหนดให้มีค่าเหมาะสมเพื่อให้ค่า Vds1 มีค่าเหมาะสมเช่นกัน ดังนั้น

$$Vgs_{2} = Vgs_{3} = 1.388V \qquad \text{และ } Vds_{3,4} = 0.588\ V$$

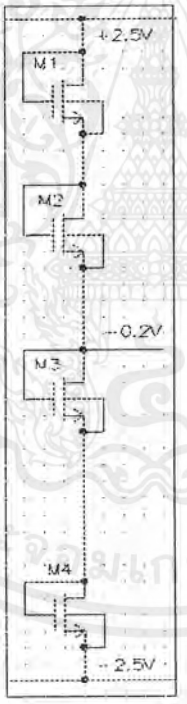
ดังนั้น

$$\left(\frac{W}{L}\right)_{2,3} = \frac{2 \times Ibias}{K'_{p}\left(Vds(sat)_{2,3}\right)^{2}} \tag{4.43}$$

$$= \frac{2 \times 100\mu}{52.5\mu(0.088)^{2}}$$

$$= 11.01 \approx 11$$

2. วงจรแรงดันอ้างอิง –0.2 V ที่ขาเกทของทรานซิสเตอร์ M1c และ M2c ของวงจรขยายความแตกต่าง




รูปที่ 4.8 แสดงวงจรแรงดันอ้างอิง –0.2 V

จากรูปที่ 4.8 แรงดันที่ต้องการมีค่า –0.2V และมีกระแสไบอัส 100 uA ดังนั้น

$$VDD - |Vref| = Vgs_{1} + Vgs_{2} \tag{4.44}$$

พิจารณาโดยจะออกแบบให้ Vgs1=Vgs2 เพื่อง่ายในการคำนวณและการผลิตจากสมการที่

$$Vgs_{1,2} = 1.35V \qquad \text{และ } Vds\,(sat)_{1,2} = 0.55V$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นขนาดจของทรานซิสเตอร์ M1 และ M2

$$\left(\frac{W}{L}\right)_{1,2} = \frac{2 \times Ibias}{K'_p \left(Vds(sat)_{1,2}\right)^2} \tag{4.45}$$

$$= \frac{2 \times 100\mu}{52.5\mu(0.55)^2}$$

$$= 12.59 \approx 13$$

ในการออกแบบขนาดของทรานซิสเตอร์ M3 และ M4

$$|Vss| - |Vref| = Vgs_3 + Vgs_4 \tag{4.46}$$

โดยจะออกแบบให้ Vgs3=Vgs4

$$Vgs_{3,4} = 1.15V \qquad \text{และ } Vds\,(sat)_{3,4} = 0.35V$$

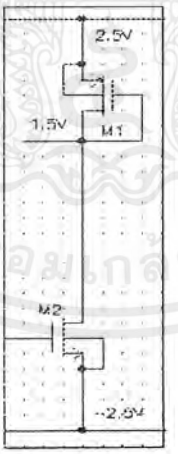
ดังนั้น

$$\left(\frac{W}{L}\right)_{3,4} = \frac{2 \times Ibias}{K'_p \left(Vds(sat)_{3,4}\right)^2} \tag{4.47}$$

$$= \frac{2 \times 100\mu}{52.5\mu(0.35)^2}$$

$$= 31.09 \approx 31$$

3. วงจรแรงดันอ้างอิง 1.5V ที่ขาเกทของทรานซิสเตอร์ M5 ของวงจรขยายความแตกต่าง




รูปที่ 4.9 แสดงวงจรแรงดันอ้างอิง 1.5 V

ในการออกแบบแรงดันอ้างอิง 1.5V นี้จะอาศัยหลักการของการสะท้อนกระแสเช่นเดียวกันโดยที่ทรานซิสเตอร์ M2 จะขนาดเท่ากับ 95 ซึ่งจะให้กระแส 100 uA ซึ่ง

$$Vgs_1 = 1V \qquad \text{และ } Vds\,(sat)_1 = 0.2V$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

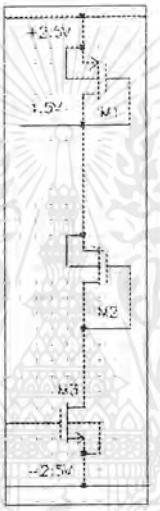
ดังนั้น

$$\left(\frac{W}{L}\right)_1 = \frac{2 \times Ibias}{K'_p \left(Vds(sat)_1\right)^2} \qquad (4.48)$$

$$= \frac{2 \times 100\mu}{13.5\mu(0.2)^2}$$

$$= 370.37 \approx 360$$

4. วงจรแรงดันอ้างอิง 1.5V ที่ขาเกทของทรานซิสเตอร์ M3 ของวงจรเอาท์พุท




รูปที่ 4.10 แสดงวงจรแรงดันอ้างอิง 1.5 V

ขนาดของทรานซิสเตอร์ M3 มีขนาดเท่ากับ 95 จะให้กระแส 100 uA ดังนั้น

$$Vgs_1 = 1V \qquad \text{และ} \quad Vds\,(sat)_1 = 0.2V$$

ดังนั้น

$$\left(\frac{W}{L}\right)_1 = \frac{2 \times Ibias}{K'_p \left(Vds(sat)_1\right)^2} \qquad (4.49)$$

$$= \frac{2 \times 100\mu}{13.5\mu(0.2)^2}$$

$$= 370.37 \approx 370$$

ในการเลือกขนาดของทรานซิสเตอร์ M2 ต้องพิจารณาค่า Vds ของทรานซิสเตอร์ M3,

Vds(sat) = 2.434V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left(\frac{W}{L}\right)_2 = \frac{2 \times Ibias}{K'_p \left(Vds(sat)_2\right)^2} \tag{4.50}$$

$$= \frac{2 \times 100\mu}{13.5\mu(2.434)^2}$$

$$= 2.5$$

จะเห็นว่าขนาดของทรานซิสเตอร์ทุกตัวที่ได้จากการคำนวณจำเป็นต้องมีการปรับแต่งเพื่อให้ง่ายในการสร้างและมีเสถียรภาพดียิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5
# การทดสอบคุณสมบัติของวงจรขยายสัญญาณแบบโอเปอเรชั่น

การทดสอบคุณสมบัติของวงจรขยายสัญญาณแบบโอเปอเรชั่นจะแบ่งการทดสอบออกเป็น 2 กรณีคือ

1. กรณียังไม่มีการชดเชยทางความถี่
2. กรณีที่มีการชดเชยทางความถี่

## 5.1 กรณียังไม่มีการชดเชยทางความถี่

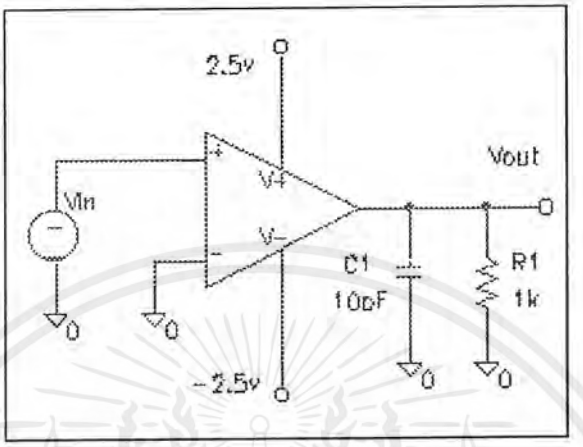
การทดสอบคุณสมบัติต่างของวงจรในกรณีที่ยังไม่มีการชดเชยทางความถี่ได้ผลต่างๆดังต่อไปนี้

1. อัตราขยายขณะเปิดลูป = 87.81 dB
2. Unity Gain Frequency = 57.588 MHz
3. Phase Margin = -212.325 องศา
4. อัตราสลูขาขึ้น = 63.21 V/us, อัตราสลูขาลง = 548.8 V/us
5. Noise < 200 nV/sqrt (Hz) @ 100 Hz และ < 30 nV/sqrt (Hz) @ 10KHz
6. Settling Time < 1.2 usec
7. Output Swing > +/- 1V

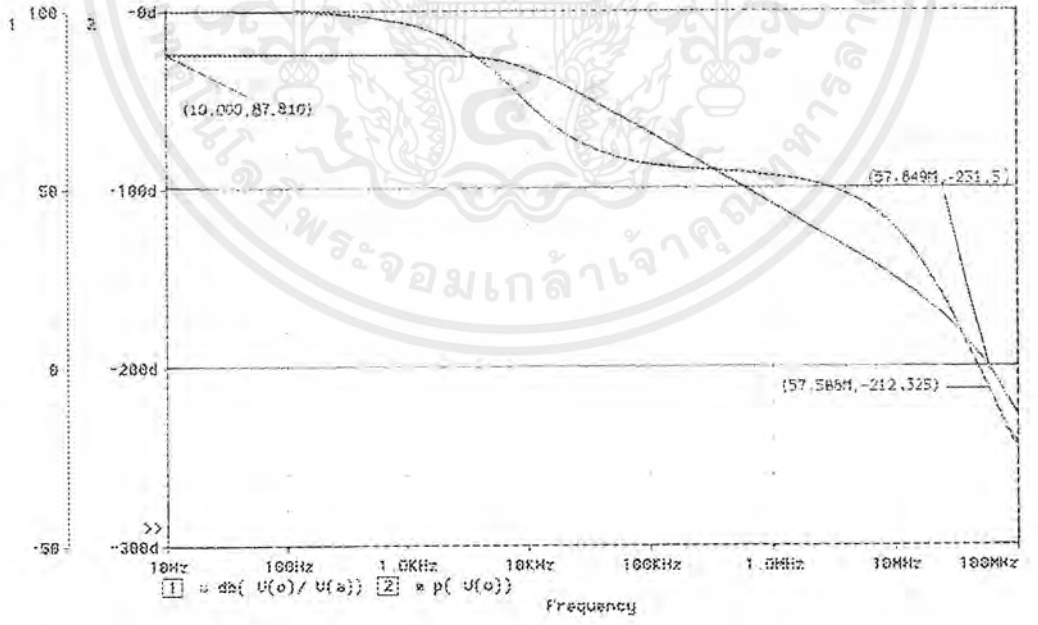
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.1 การทดสอบอัตราขยายขณะเปิดลูป, Unity Gain Frequency และ Phase Margin ในกรณียังไม่มีการชดเชยทางความถี่

จากโปรแกรม Pspice ที่เมนูบาร์ Analysis – Setup – AC Sweep Type




รูปที่ 5.1 แสดงการต่อวงจรเพื่อทดสอบอัตราขยายขณะเปิดลูป, Unity Gain Frequency และ Phase Margin ในกรณียังไม่มีการชดเชยทางความถี่

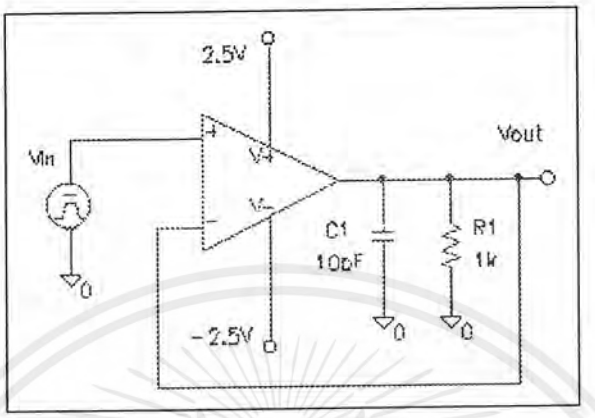



รูปที่ 5.2 แสดงผลของการทดสอบอัตราขยายขณะเปิดลูป, Unity Gain Frequency และ Phase Margin ในกรณียังไม่มีการชดเชยทางความถี่

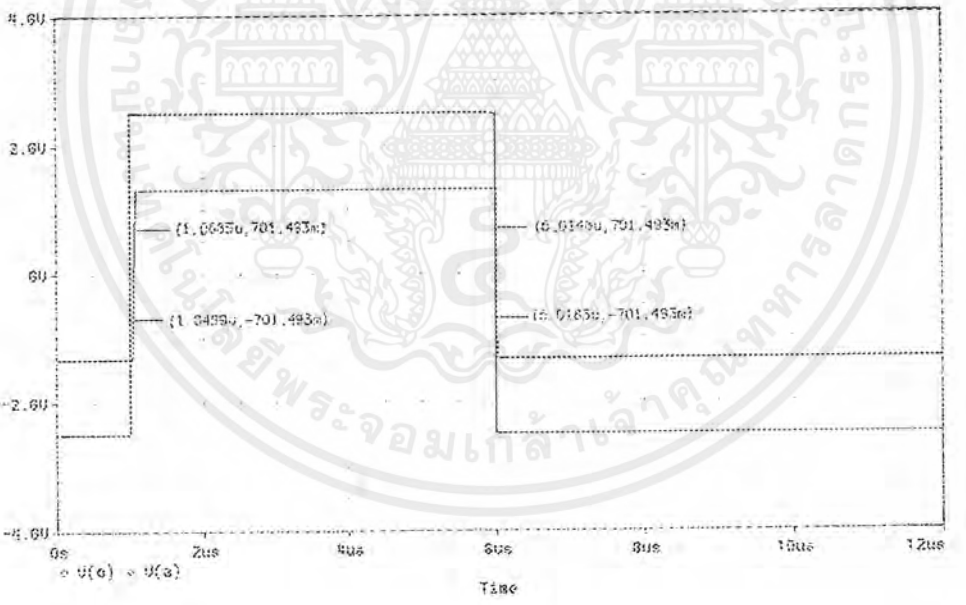
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.2 การทดสอบอัตราสลูในกรณียังไม่มีการชดเชยทางความถี่

จากโปรแกรม Pspice ที่เมนูบาร์ Analysin – Setup – Transient Analysis




รูปที่ 5.3 แสดงการต่อวงจรเพื่อทดสอบอัตราสลูในกรณียังไม่มีการชดเชยทางความถี่

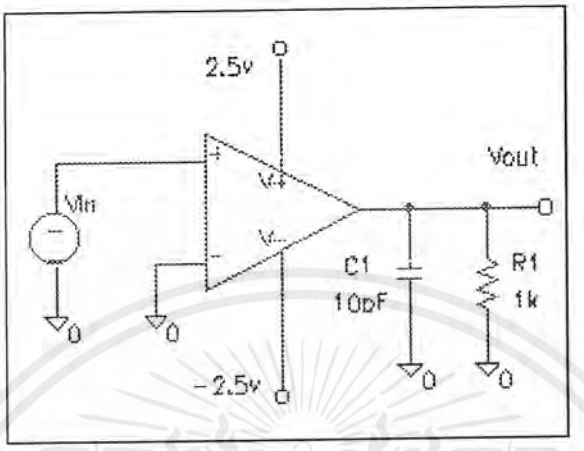



รูปที่ 5.4 แสดงผลของการทดสอบอัตราสลูในกรณียังไม่มีการชดเชยทางความถี่

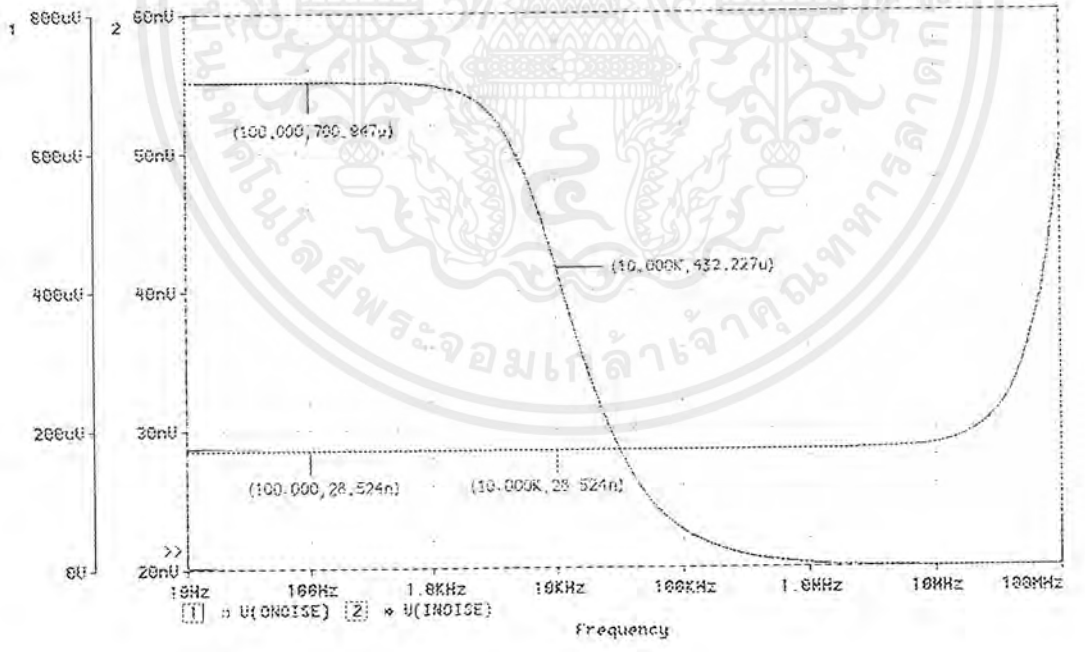
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.3 การทดสอบ Noise ในกรณียังไม่มีการชดเชยทางความถี่

จากโปรแกรม Pspice ที่เมนูบาร์ Analysis – Setup – AC Sweep – Noise Analysis




รูปที่ 5.5 แสดงการต่อวงจรเพื่อทดสอบ Noise ในกรณียังไม่มีการชดเชยทางความถี่

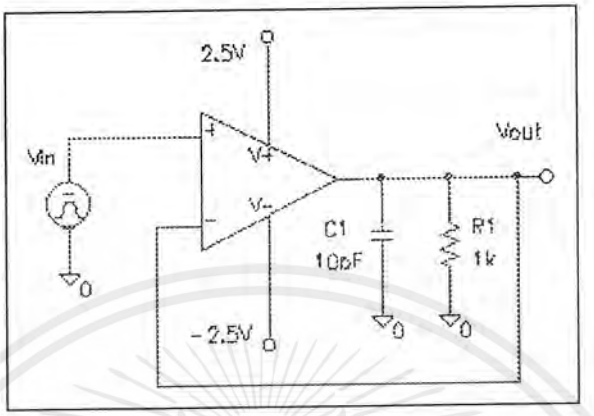



รูปที่ 5.6 แสดงผลการทดสอบ Noise ในกรณียังไม่มีการชดเชยทางความถี่

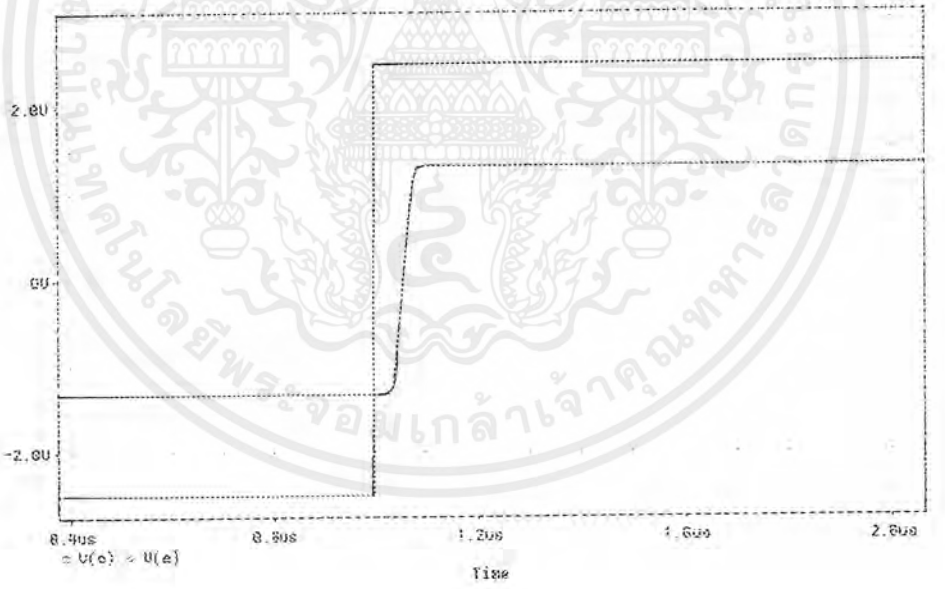
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.4 การทดสอบ Settling Time ในกรณียังไม่มีการชดเชยทางความถี่

จากโปรแกรม Pspice ที่เมนูบาร์ Analysis – Setup – Transient Analysis




รูปที่ 5.7 แสดงการต่อวงจรเพื่อทดสอบ Settling Time ในกรณียังไม่มีการชดเชยทางความถี่

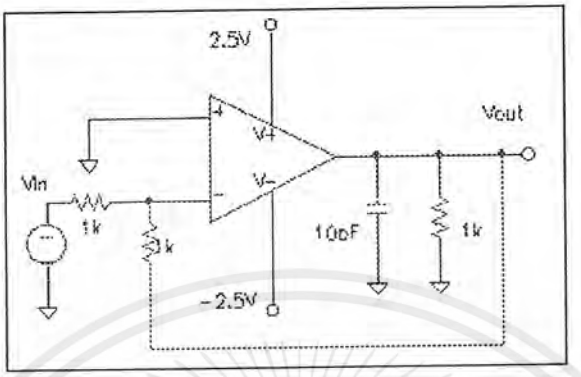



รูปที่ 5.8 ผลการทดสอบ Settling Time ในกรณียังไม่มีการชดเชยทางความถี่

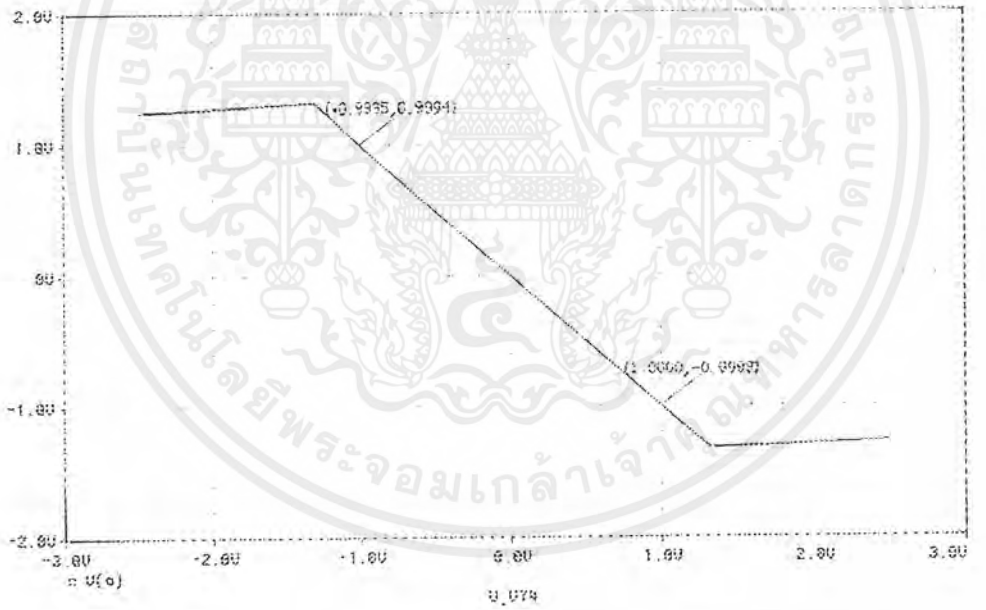
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.5 การทดสอบ Output Swing ในกรณียังไม่มีการชดเชยทางความถี่

จากโปรแกรม Pspice ที่เมนูบาร์ Analysis – Setup – DC Sweep




รูปที่ 5.9 แสดงการต่อวงจรเพื่อทดสอบ Output Swing ในกรณียังไม่มีการชดเชยทางความถี่




รูปที่ 5.10 แสดงผลการทดสอบ Output Swing ในกรณียังไม่มีการชดเชยทางความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 กรณีที่มีการชดเชยความถี่

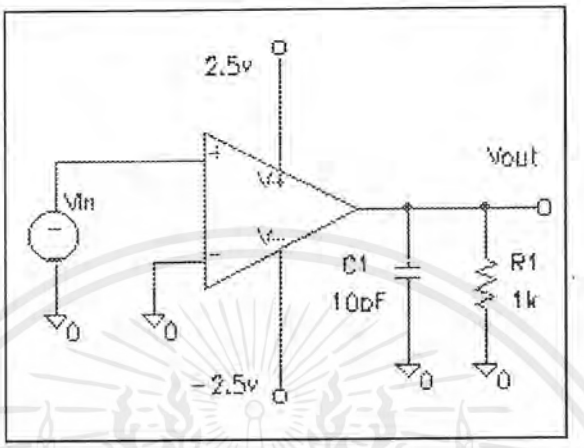
การทดสอบคุณสมบัติต่างของวงจรในกรณีที่มีการชดเชยทางความถี่ได้ผลต่างๆดังต่อไปนี้

1. อัตราขยายขณะเปิดลูป = 87.803 dB
2. Unity Gain Frequency = 5.878 MHz
3. Phase Margin = 76.713 องศา
4. อัตราสลูขาขึ้น = 12.346 V/us, อัตราสลูขาลง = 16.57 V/us
5. Noise < 200 nV/sqrt (Hz) @ 100 Hz และ < 30 nV/sqrt (Hz) @ 10KHz
6. Settling Time < 1.2 usec
7. Output Swing > +/- 1V

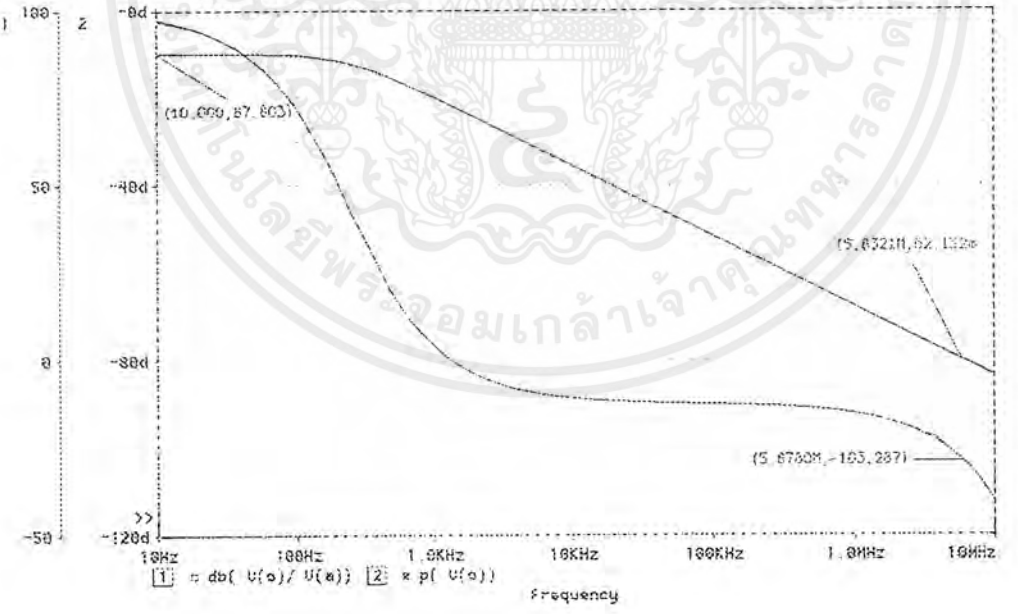
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.1 การทดสอบอัตราขยายขณะเปิดลูป, Unity Gain Frequency และ Phase Margin ในกรณีที่มีการชดเชยทางความถี่

จากโปรแกรม Pspice ที่เมนูบาร์ Analysis – Setup – AC Sweep Type




รูปที่ 5.11 แสดงการต่อวงจรเพื่อทดสอบอัตราขยายขณะเปิดลูป, Unity Gain Frequency และ Phase Margin ในกรณีที่มีการชดเชยทางความถี่

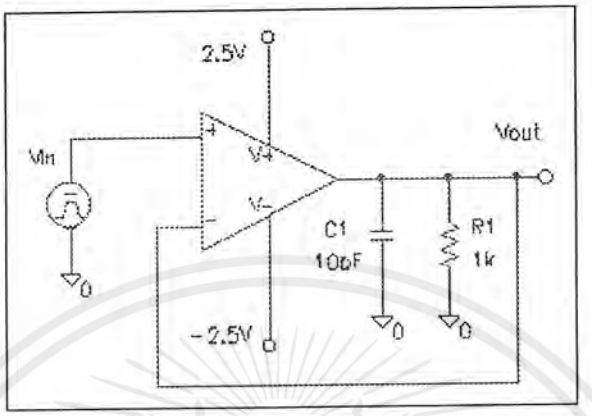



รูปที่ 5.12 แสดงผลการทดสอบอัตราขยายขณะเปิดลูป, Unity Gain Frequency และ Phase Margin ในกรณีที่มีการชดเชยทางความถี่

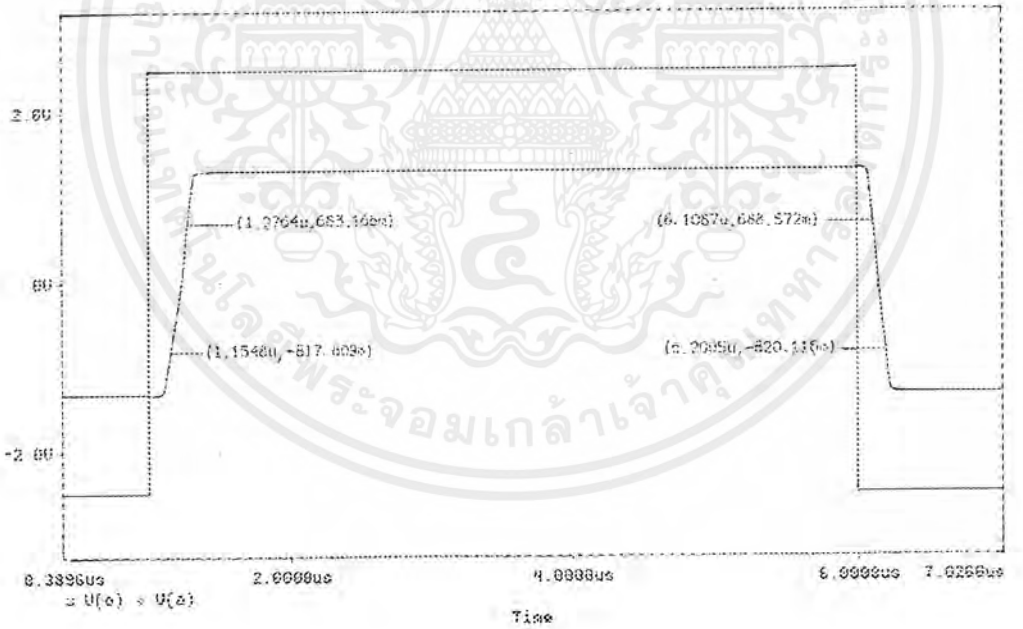
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 การทดสอบอัตราสลูในกรณีที่มีการชดเชยทางความถี่

จากโปรแกรม Pspice ที่เมนูบาร์ Analysin – Setup – Transient Analysis




รูปที่ 5.13 แสดงการต่อวงจรเพื่อทดสอบอัตราสลูในกรณีที่มีการชดเชยทางความถี่

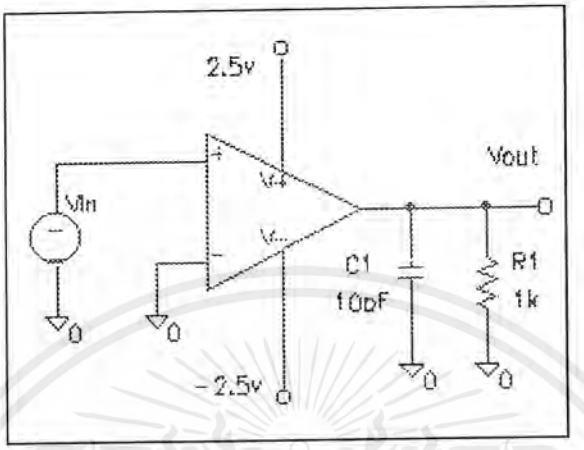



รูปที่ 5.14 แสดงผลของการทดสอบอัตราสลูในกรณีที่มีการชดเชยทางความถี่

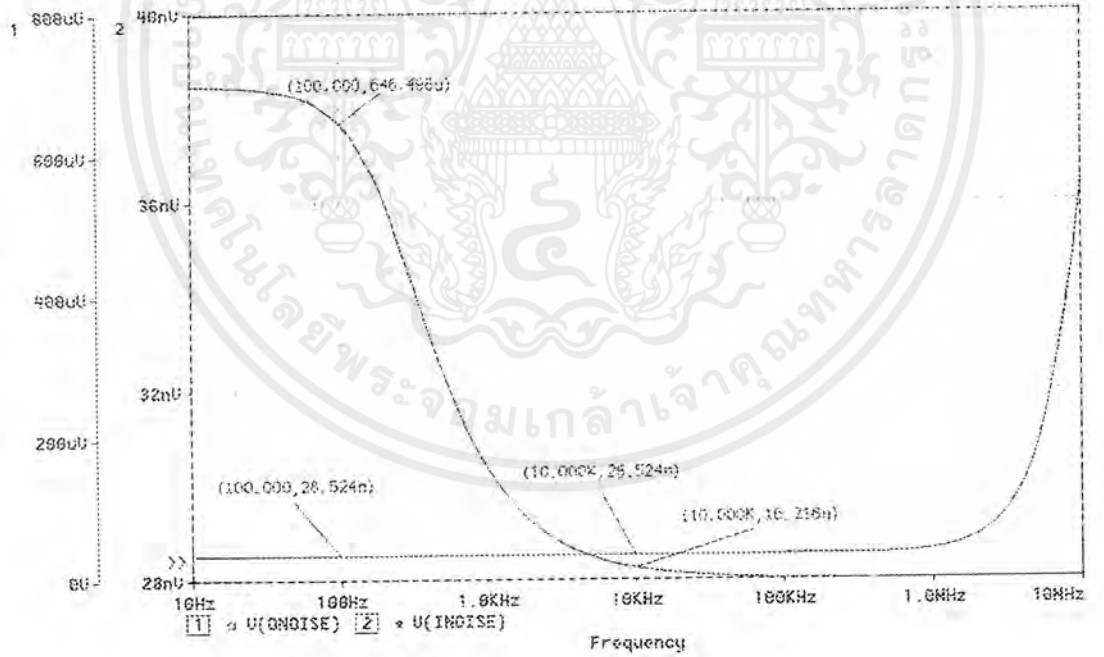
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.3 การทดสอบ Noise ในกรณีที่มีการชดเชยทางความถี่

จากโปรแกรม Pspice ที่เมนูบาร์ Analysis – Setup – AC Sweep – Noise Analysis




รูปที่ 5.15 แสดงการต่อวงจรเพื่อทดสอบ Noise ในกรณีที่มีการชดเชยทางความถี่

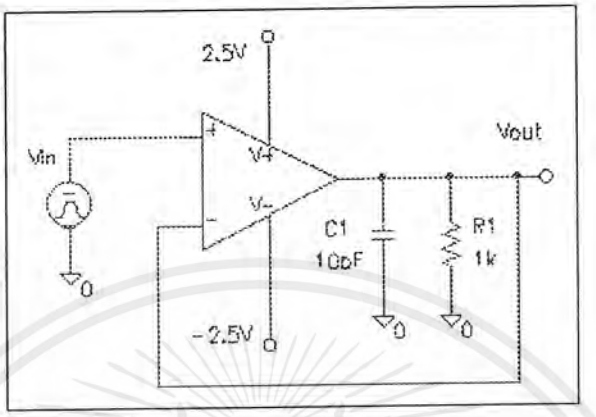



รูปที่ 5.16 แสดงผลการทดสอบ Noise ในกรณีที่มีการชดเชยทางความถี่

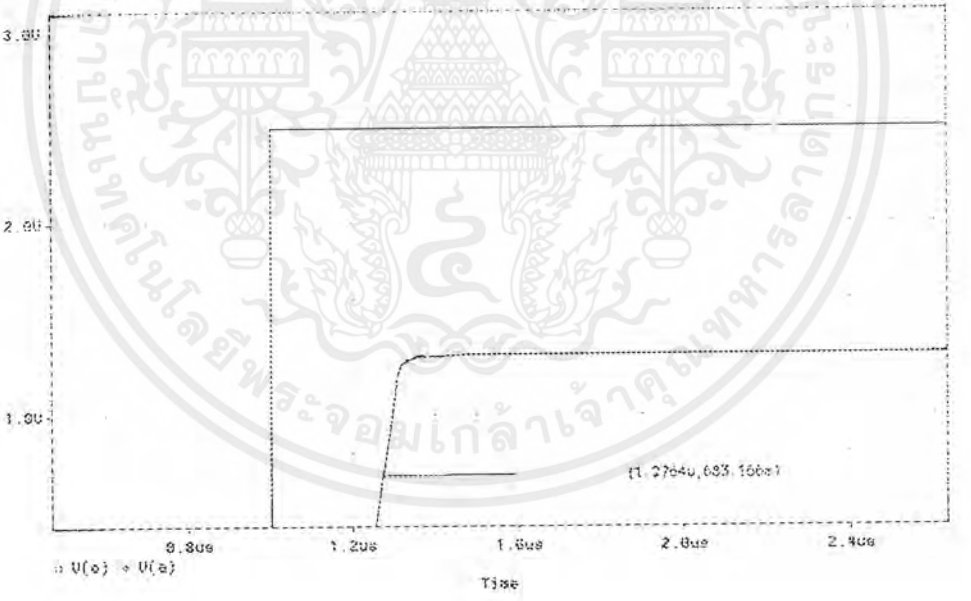
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.4 การทดสอบ Settling Time ในกรณีที่มีการชดเชยทางความถี่

จากโปรแกรม Pspice ที่เมนูบาร์ Analysis – Setup – Transient Analysis




รูปที่ 5.17 แสดงการต่อวงจรเพื่อทดสอบ Settling Time ในกรณีที่มีการชดเชยทางความถี่

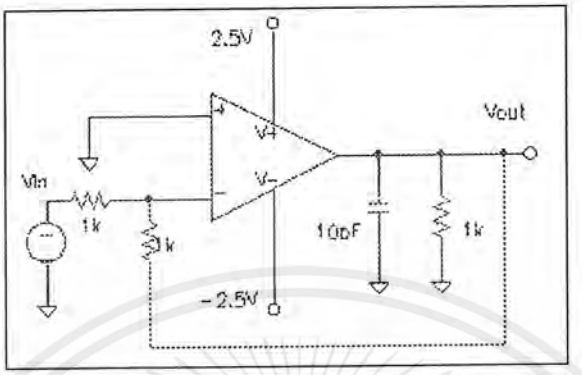



รูปที่ 5.18 ผลการทดสอบ Settling Time ในกรณีที่มีการชดเชยทางความถี่

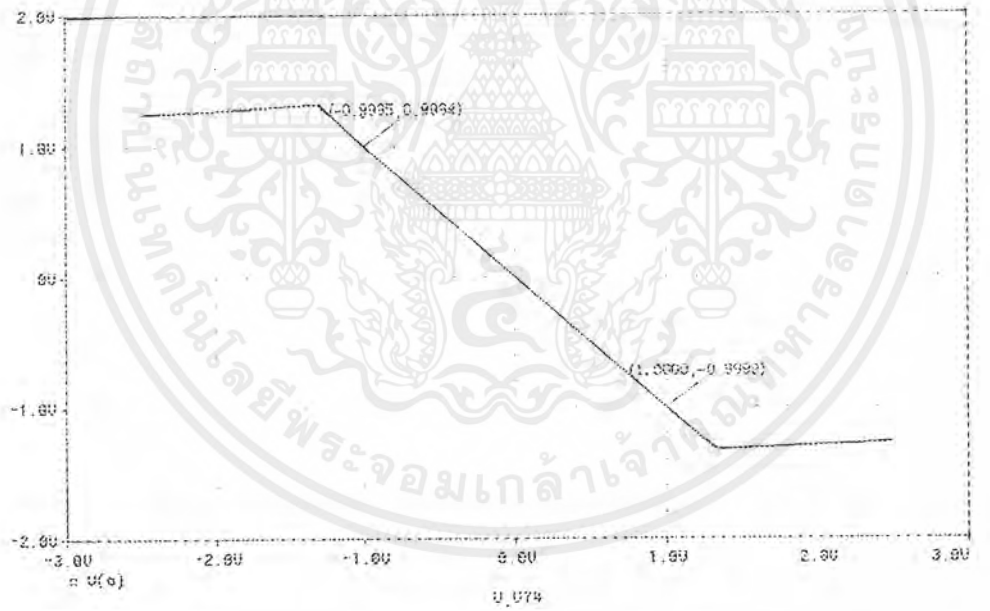
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.5 การทดสอบ Output Swing ในกรณีที่มีการชดเชยทางความถี่

จากโปรแกรม Pspice ที่เมนูบาร์ Analysis – Setup – DC Sweep




รูปที่ 5.19 แสดงการต่อวงจรเพื่อทดสอบ Output Swing ในกรณีที่มีการชดเชยทางความถี่




รูปที่ 5.20 แสดงผลการทดสอบ Output Swing ในกรณีที่มีการชดเชยทางความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ผลการทดสอบด้วยโปรแกรม Pspice ที่ได้จาก output file ในขณะที่วงจรอยู่ในสภาวะปกติ**

**** 02/05/99 16:18:53 ********* PSpice 5.3 (Jan 1993) ******** ID# 75225 ****

* C:\MSIM53\OPAMP.SCH

**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

**********

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE

( Vout) -.0142

VOLTAGE SOURCE CURRENTS

NAME CURRENT

V_V+ 2.567E-03

V_V- -2.567E-03

TOTAL POWER DISSIPATION 1.28E-02 WATTS

**** 02/05/99 16:18:53 ********* PSpice 5.3 (Jan 1993) ******** ID# 75225 ****

* C:\MSIM53\OPAMP.SCH

***** OPERATING POINT INFORMATION TEMPERATURE = 27.000 DEG C

**********

**** MOSFETS

| NAME | M_M03 | M_M02 | M_M05 | M_M01 | M_M06 |
|---|---|---|---|---|---|
| MODEL | w03 | w02 | w05 | w01 | w06 |
| ID | -1.03E-04 | -5.22E-04 | -1.03E-04 | 5.22E-04 | 1.03E-04 |
| VGS | -1.00E+00 | -1.02E+00 | -1.02E+00 | 1.04E+00 | 9.02E-01 |
| VDS | -1.48E+00 | -2.49E+00 | -1.02E+00 | 2.51E+00 | 1.47E+00 |
| VBS | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| VTH | -8.00E-01 | -8.00E-01 | -8.00E-01 | 8.00E-01 | 8.00E-01 |
| VDSAT | -1.99E-01 | -2.18E-01 | -2.19E-01 | 2.36E-01 | 1.02E-01 |
| GM | 1.03E-03 | 4.80E-03 | 9.37E-04 | 4.43E-03 | 2.02E-03 |
| GDS | 1.99E-06 | 9.95E-06 | 2.01E-06 | 9.95E-06 | 1.99E-06 |
| GMB | 2.55E-04 | 1.19E-03 | 2.32E-04 | 1.10E-03 | 5.00E-04 |
| CBD | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | | | | | |
|---|---|---|---|---|---|
| CBS | 1.11E-19 | 1.10E-19 | 1.11E-19 | 1.10E-19 | 1.11E-19 |
| CGSOV | 1.54E-13 | 6.44E-13 | 1.29E-13 | 1.41E-13 | 1.52E-13 |
| CGDOV | 1.54E-13 | 6.44E-13 | 1.29E-13 | 1.41E-13 | 1.52E-13 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 8.54E-14 | 3.58E-13 | 7.16E-14 | 7.83E-14 | 8.45E-14 |
| CGD | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |

| | | | | | |
|---|---|---|---|---|---|
| NAME | M_M04 | M_Md | M_Ma | M_Mb | M_Mh |
| MODEL | w04 | wd | wa | wb | wh |
| ID | 1.03E-04 | 1.01E-04 | 1.03E-04 | 1.03E-04 | 1.01E-04 |
| VGS | 1.04E+00 | 8.40E-01 | 8.39E-01 | 1.00E+00 | 1.00E+00 |
| VDS | 1.04E+00 | 1.68E+00 | 3.26E+00 | 1.74E+00 | 8.24E-01 |
| VBS | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| VTH | 8.00E-01 | 8.00E-01 | 8.00E-01 | 8.00E-01 | 8.00E-01 |
| VDSAT | 2.37E-01 | 3.95E-02 | 3.92E-02 | 2.00E-01 | 2.00E-01 |
| GM | 8.64E-04 | 5.14E-03 | 5.26E-03 | 1.03E-03 | 1.01E-03 |
| GDS | 2.01E-06 | 1.96E-06 | 1.94E-06 | 1.99E-06 | 1.99E-06 |
| GMB | 2.14E-04 | 1.27E-03 | 1.30E-03 | 2.56E-04 | 2.51E-04 |
| CBD | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 |
| CBS | 1.11E-19 | 1.11E-19 | 1.11E-19 | 1.11E-19 | 1.11E-19 |
| CGSOV | 2.82E-14 | 9.94E-13 | 9.94E-13 | 3.93E-14 | 3.93E-14 |
| CGDOV | 2.82E-14 | 9.94E-13 | 9.94E-13 | 3.93E-14 | 3.93E-14 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 1.57E-14 | 5.53E-13 | 5.53E-13 | 2.19E-14 | 2.19E-14 |
| CGD | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| NAME | M_Mi | M_M3 | M_M2 | M_M3c | M_M5 |
|---|---|---|---|---|---|
| MODEL | wi | w3 | w2 | w3c | w5 |
| ID | -1.01E-04 | -4.84E-05 | -5.40E-05 | -4.84E-05 | -1.08E-04 |
| VGS | -1.00E+00 | -1.28E+00 | -1.30E+00 | -9.98E-01 | -1.01E+00 |
| VDS | -1.00E+00 | -1.28E+00 | -2.55E+00 | -9.98E-01 | -1.20E+00 |
| VBS | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| VTH | -8.00E-01 | -8.00E-01 | -8.00E-01 | -8.00E-01 | -8.00E-01 |
| VDSAT | -1.99E-01 | -4.83E-01 | -5.04E-01 | -1.98E-01 | -2.08E-01 |
| GM | 1.02E-03 | 2.01E-04 | 2.14E-04 | 4.90E-04 | 1.04E-03 |
| GDS | 1.99E-06 | 9.45E-07 | 1.03E-06 | 9.50E-07 | 2.11E-06 |
| GMB | 2.52E-04 | 4.98E-05 | 5.32E-05 | 1.22E-04 | 2.57E-04 |
| CBD | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 |
| CBS | 1.11E-19 | 1.11E-19 | 1.11E-19 | 1.11E-19 | 1.11E-19 |
| CGSOV | 1.53E-13 | 1.24E-14 | 1.24E-14 | 7.45E-14 | 1.49E-13 |
| CGDOV | 1.53E-13 | 1.24E-14 | 1.24E-14 | 7.45E-14 | 1.49E-13 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 8.52E-14 | 6.91E-15 | 6.91E-15 | 4.14E-14 | 8.29E-14 |
| CGD | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |

| NAME | M_M1 | M_M4 | M_M4c | M_M6 | M_M1c |
|---|---|---|---|---|---|
| MODEL | w1 | w4 | w4c | w6 | w1c |
| ID | -5.40E-05 | -4.84E-05 | -4.84E-05 | 1.02E-04 | 4.84E-05 |
| VGS | -1.30E+00 | -1.28E+00 | -9.98E-01 | 2.03E+00 | 1.06E+00 |
| VDS | -2.55E+00 | -1.28E+00 | -1.14E+00 | 1.25E+00 | 1.47E+00 |
| VBS | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| VTH | -8.00E-01 | -8.00E-01 | -8.00E-01 | 8.00E-01 | 8.00E-01 |
| VDSAT | -5.04E-01 | -4.83E-01 | -1.97E-01 | 1.23E+00 | 2.58E-01 |
| GM | 2.14E-04 | 2.01E-04 | 4.91E-04 | 1.66E-04 | 3.76E-04 |
| GDS | 1.03E-06 | 9.45E-07 | 9.47E-07 | 2.00E-06 | 9.41E-07 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | | | | | |
|---|---|---|---|---|---|
| GMB | 5.32E-05 | 4.98E-05 | 1.22E-04 | 4.12E-05 | 9.33E-05 |
| CBD | 8.00E-20 | 8.00E-20 | 8.00E-20 | 1.00E-19 | 1.00E-19 |
| CBS | 1.11E-19 | 1.11E-19 | 1.11E-19 | 1.38E-19 | 1.39E-19 |
| CGSOV | 1.24E-14 | 1.24E-14 | 7.45E-14 | 1.04E-15 | 1.12E-14 |
| CGDOV | 1.24E-14 | 1.24E-14 | 7.45E-14 | 1.04E-15 | 1.12E-14 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 6.91E-15 | 6.91E-15 | 4.14E-14 | 5.76E-16 | 6.22E-15 |
| CGD | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |

| NAME | M_M2c | M_M7 | M_Mc | M_Mj | M_Mk |
|---|---|---|---|---|---|
| MODEL | w2c | w7 | wc | wj | wk |
| ID | 4.84E-05 | 1.02E-04 | 1.01E-04 | -1.01E-04 | 1.05E-04 |
| VGS | 1.06E+00 | 2.03E+00 | 1.00E+00 | -2.49E+00 | 1.00E+00 |
| VDS | 1.33E+00 | 1.25E+00 | 9.02E-01 | -2.42E+00 | 2.51E+00 |
| VBS | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| VTH | 8.00E-01 | 8.00E-01 | 8.00E-01 | -8.00E-01 | 8.00E-01 |
| VDSAT | 2.58E-01 | 1.23E+00 | 2.00E-01 | -1.69E+00 | 2.00E-01 |
| GM | 3.76E-04 | 1.66E-04 | 1.01E-03 | 1.20E-04 | 1.05E-03 |
| GDS | 9.44E-07 | 2.00E-06 | 1.99E-06 | 1.94E-06 | 1.99E-06 |
| GMB | 9.31E-05 | 4.12E-05 | 2.52E-04 | 2.97E-05 | 2.60E-04 |
| CBD | 1.00E-19 | 1.00E-19 | 8.00E-20 | 8.00E-20 | 8.00E-20 |
| CBS | 1.39E-19 | 1.38E-19 | 1.11E-19 | 1.11E-19 | 1.11E-19 |
| CGSOV | 1.12E-14 | 1.04E-15 | 3.93E-14 | 2.07E-15 | 3.93E-14 |
| CGDOV | 1.12E-14 | 1.04E-15 | 3.93E-14 | 2.07E-15 | 3.93E-14 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 6.22E-15 | 5.76E-16 | 2.19E-14 | 1.15E-15 | 2.19E-14 |
| CGD | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| NAME | M_Ml | M_Mm | M_Mp | M_Mz | M_My |
|---|---|---|---|---|---|
| MODEL | wl | wm | wp | wz | wy |
| ID | -1.05E-04 | 1.08E-04 | -1.08E-04 | -5.06E-04 | -5.05E-04 |
| VGS | -2.49E+00 | 1.00E+00 | -1.01E+00 | -1.98E+00 | -1.47E+00 |
| VDS | -2.49E+00 | 3.99E+00 | -1.01E+00 | -1.98E+00 | -1.47E+00 |
| VBS | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| VTH | -8.00E-01 | 8.00E-01 | -8.00E-01 | -8.00E-01 | -8.00E-01 |
| VDSAT | -1.69E+00 | 2.00E-01 | -2.08E-01 | -1.18E+00 | -6.72E-01 |
| GM | 1.24E-04 | 1.08E-03 | 1.03E-03 | 8.59E-04 | 1.50E-03 |
| GDS | 1.99E-06 | 1.99E-06 | 2.11E-06 | 9.73E-06 | 9.81E-06 |
| GMB | 3.07E-05 | 2.67E-04 | 2.56E-04 | 2.13E-04 | 3.73E-04 |
| CBD | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 |
| CBS | 1.11E-19 | 1.11E-19 | 1.11E-19 | 1.10E-19 | 1.10E-19 |
| CGSOV | 2.13E-15 | 3.93E-14 | 1.49E-13 | 2.15E-14 | 6.67E-14 |
| CGDOV | 2.13E-15 | 3.93E-14 | 1.49E-13 | 2.15E-14 | 6.67E-14 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 1.19E-15 | 2.19E-14 | 8.29E-14 | 1.20E-14 | 3.71E-14 |
| CGD | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |

| NAME | M_Mx | M_Mw | M_Mv | M_Mu | M_Mooo |
|---|---|---|---|---|---|
| MODEL | wx | ww | wv | wu | wooo |
| ID | -5.06E-04 | -5.05E-04 | 5.06E-04 | 5.05E-04 | 1.04E-04 |
| VGS | -1.98E+00 | -1.98E+00 | 1.00E+00 | 1.00E+00 | 2.03E+00 |
| VDS | -1.98E+00 | -2.02E+00 | 1.04E+00 | 1.00E+00 | 2.03E+00 |
| VBS | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| VTH | -8.00E-01 | -8.00E-01 | 8.00E-01 | 8.00E-01 | 8.00E-01 |
| VDSAT | -1.18E+00 | -1.18E+00 | 1.99E-01 | 1.99E-01 | 1.23E+00 |
| GM | 8.59E-04 | 8.59E-04 | 5.08E-03 | 5.08E-03 | 1.69E-04 |
| GDS | 9.73E-06 | 9.71E-06 | 9.91E-06 | 9.91E-06 | 2.00E-06 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | | | | | |
|---|---|---|---|---|---|
| GMB | 2.13E-04 | 2.13E-04 | 1.26E-03 | 1.26E-03 | 4.18E-05 |
| CBD | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 |
| CBS | 1.10E-19 | 1.10E-19 | 1.10E-19 | 1.10E-19 | 1.11E-19 |
| CGSOV | 2.15E-14 | 2.15E-14 | 1.97E-13 | 1.97E-13 | 1.04E-15 |
| CGDOV | 2.15E-14 | 2.15E-14 | 1.97E-13 | 1.97E-13 | 1.04E-15 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 1.20E-14 | 1.20E-14 | 1.10E-13 | 1.10E-13 | 5.76E-16 |
| CGD | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |

| NAME | M_Moo | M_Mo | M_Mn | M_Mool | M_Mtttt |
|---|---|---|---|---|---|
| MODEL | woo | wo | wn | wool | wtttt |
| ID | 1.04E-04 | -1.04E-04 | -1.01E-04 | 1.04E-04 | 1.04E-04 |
| VGS | 1.39E+00 | -1.01E+00 | -3.18E+00 | 1.39E+00 | 1.15E+00 |
| VDS | 1.39E+00 | -1.81E-01 | -3.18E+00 | 1.39E+00 | 1.15E+00 |
| VBS | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| VTH | 8.00E-01 | -8.00E-01 | -8.00E-01 | 8.00E-01 | 8.00E-01 |
| VDSAT | 5.92E-01 | -2.08E-01 | -2.38E+00 | 5.92E-01 | 3.54E-01 |
| GM | 3.51E-04 | 8.82E-04 | 8.53E-05 | 3.51E-04 | 5.89E-04 |
| GDS | 2.02E-06 | 1.36E-04 | 1.90E-06 | 2.02E-06 | 2.04E-06 |
| GMB | 8.72E-05 | 2.19E-04 | 2.12E-05 | 8.72E-05 | 1.46E-04 |
| CBD | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 |
| CBS | 1.11E-19 | 1.11E-19 | 1.11E-19 | 1.11E-19 | 1.11E-19 |
| CGSOV | 4.55E-15 | 1.49E-13 | 1.04E-15 | 4.55E-15 | 1.28E-14 |
| CGDOV | 4.55E-15 | 1.49E-13 | 1.04E-15 | 4.55E-15 | 1.28E-14 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 2.53E-15 | 7.43E-14 | 5.76E-16 | 2.53E-15 | 7.14E-15 |
| CGD | 0.00E+00 | 2.56E-14 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| NAME | M_Mtt | M_Mttt | M_Mt |
|---|---|---|---|
| MODEL | wtt | wttt | wt |
| ID | 1.04E-04 | 1.04E-04 | 1.04E-04 |
| VGS | 1.35E+00 | 1.15E+00 | 1.35E+00 |
| VDS | 1.35E+00 | 1.15E+00 | 1.35E+00 |
| VBS | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| VTH | 8.00E-01 | 8.00E-01 | 8.00E-01 |
| VDSAT | 5.46E-01 | 3.54E-01 | 5.46E-01 |
| GM | 3.82E-04 | 5.89E-04 | 3.82E-04 |
| GDS | 2.03E-06 | 2.04E-06 | 2.03E-06 |
| GMB | 9.48E-05 | 1.46E-04 | 9.48E-05 |
| CBD | 8.00E-20 | 8.00E-20 | 8.00E-20 |
| CBS | 1.11E-19 | 1.11E-19 | 1.11E-19 |
| CGSOV | 5.38E-15 | 1.28E-14 | 5.38E-15 |
| CGDOV | 5.38E-15 | 1.28E-14 | 5.38E-15 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 2.99E-15 | 7.14E-15 | 2.99E-15 |
| CGD | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 |

JOB CONCLUDED

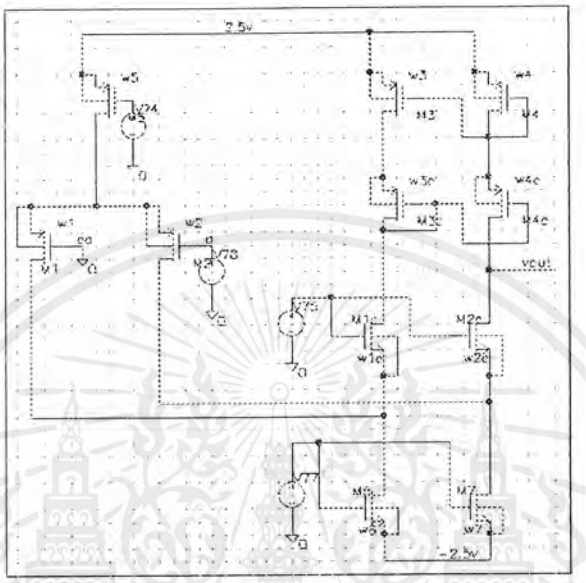
TOTAL JOB TIME .54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

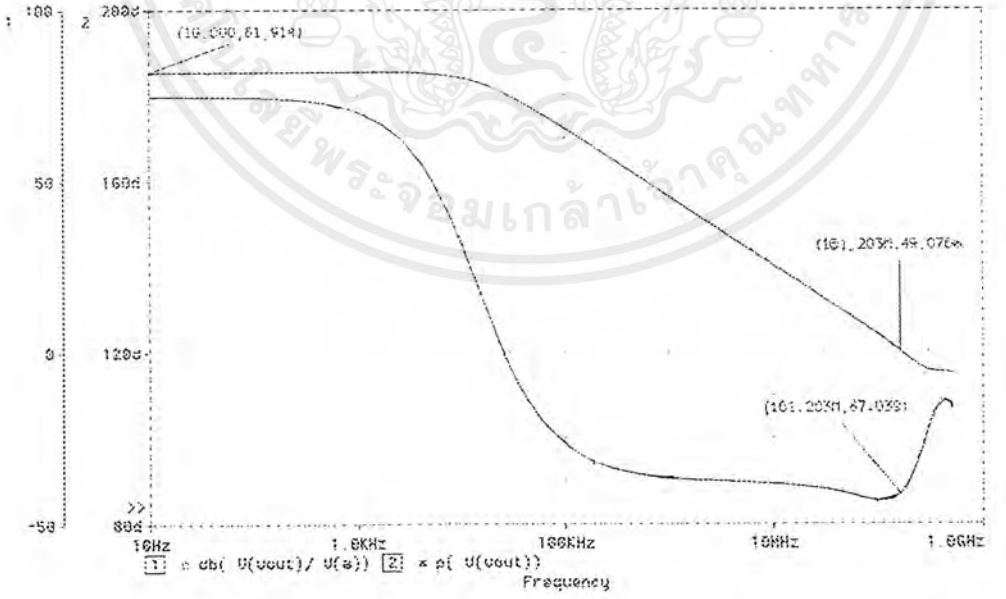
## 5.3 การทดสอบวงจรในภาคต่างๆ

1. การทดสอบภาคขยายความแตกต่างแบบ Folded cascode

จากโปรแกรม Pspice ที่เมนูบาร์ Analysis – Setup – AC Sweep




รูปที่ 5.21 แสดงวงจรขยายความแตกต่างแบบ Folded Cascode

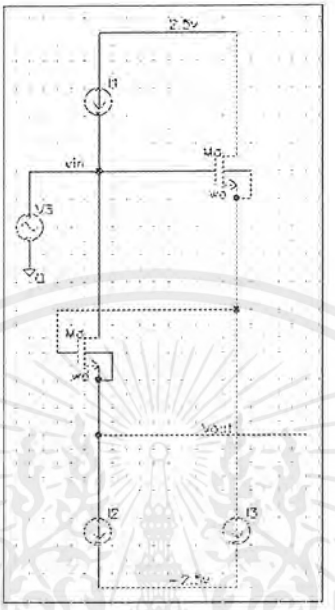



รูปที่ 5.22 แสดงการทดสอบอัตราขยายขณะเปิดลูป, Unity Gain Frequency, Phase Margin

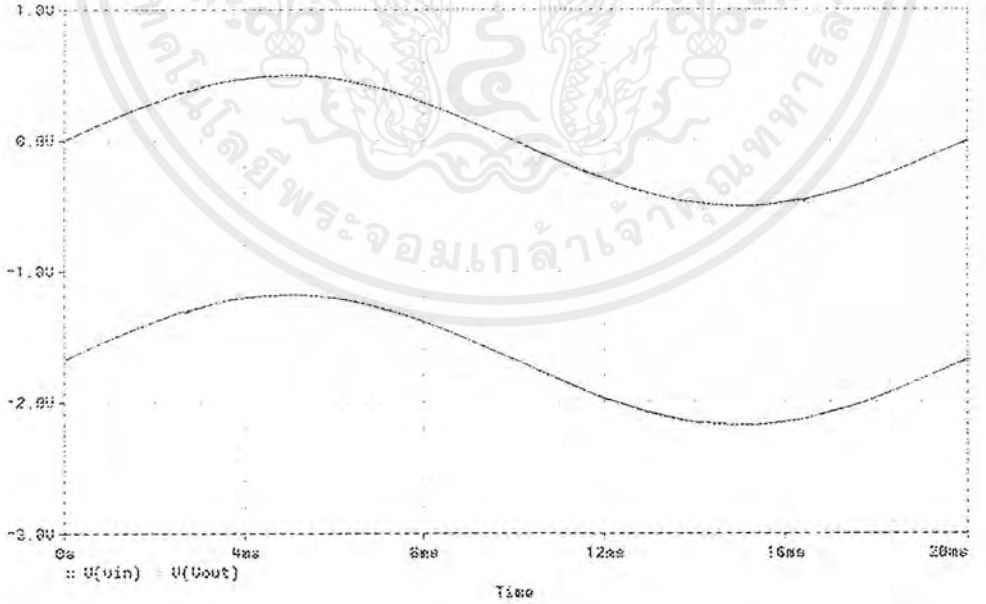
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. การทดสอบภาคยกระดับแรงดัน –1.5981 V

จากโปรแกรม Pspice ที่เมนูบาร์ Analysis – Setup – Transient Analysis



รูปที่ 5.23 แสดงวงจรยกระดับแรงดัน –1.5981 V

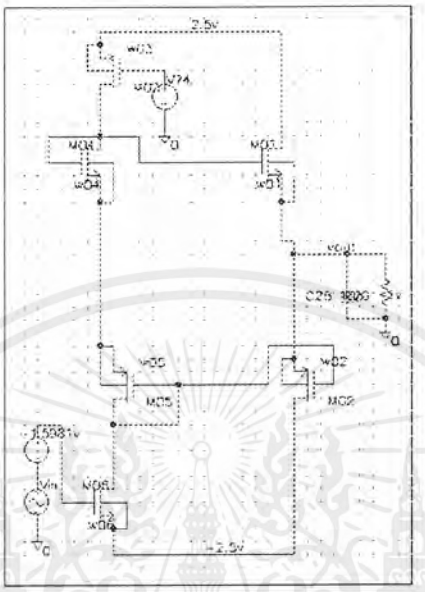



รูปที่ 5.24 แสดงการทดสอบการยกระดับของแรงดัน –1.5981 V โดยไม่ทำให้ขนาดของสัญญาณทาง AC เปลี่ยนแปลง

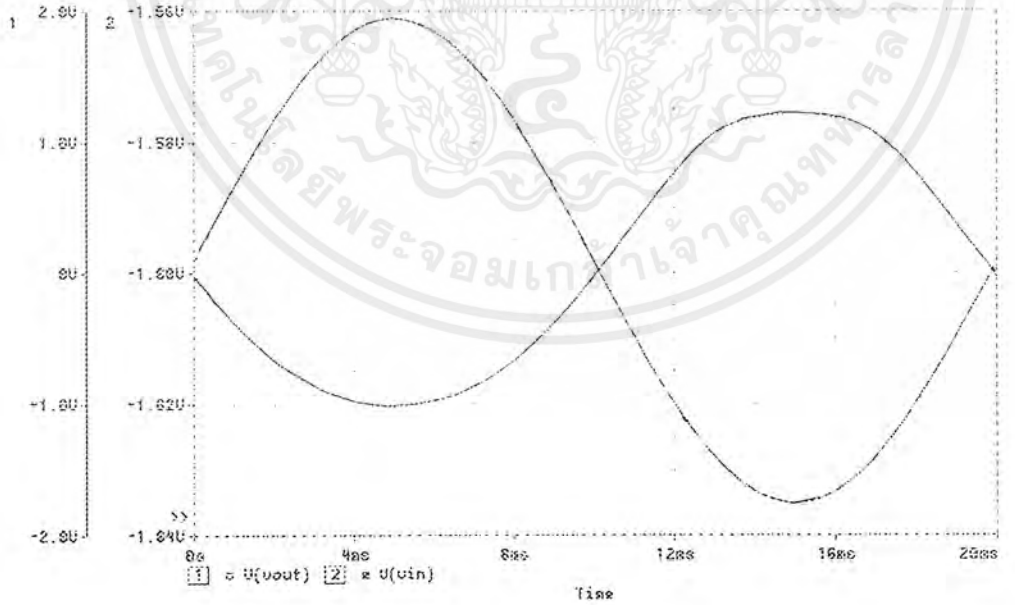
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. การทดสอบภาคเอาท์พุท

จากโปรแกรม Pspice ที่เมนูบาร์ Analysis – Setup – Transient Analysis



รูปที่ 5.25 แสดงวงจรภาคเอาท์พุท




รูปที่ 5.26 แสดงการทดสอบการสวิงของสัญญาณทางเอาท์พุทเทียบกับอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**5.4 การออกแบบวงจรใน LEVEL 3**

ในการพัฒนาวงจรโดยใช้โปรแกรม Pspice ทำการจำลองวงจรด้วย LEVEL 3 จำเป็นต้องมีการปรับปรุงขนาดของมอสทรานซิสเตอร์ในแต่ละตัวที่ได้จากการจำลองวงจรใน LEVEL 1 ที่ผ่านมาให้เป็นไปตามข้อกำหนด เพื่อที่จะสามารถนำวงจรที่ออกแบบนำไปสร้างตามกระบวนการผลิตโดยใน LEVEL 3 นี้จะมีคุณสมบัติใกล้เคียงกับความเป็นจริง

ในการปรับขนาดของมอสทรานซิสเตอร์แต่ละตัว จะใช้วิธีการประมาณขนาดของมอสทรานซิสเตอร์แต่ละตัวโดยจะสรุปได้ดังนี้

(W/L)01=340U, (W/L)04=68U, (W/L)06=400U, (W/L)02=1555U, (W/L)03=370U
(W/L)05=311U, (W/L)a=2400U, (W/L)d=2400U, (W/L)b=102U, (W/L)c=102U,
(W/L)e=95U, (W/L)h=102U, (W/L)i=330U, (W/L)j=5U, (W/L)k=60U,
(W/L)l=5U, (W/L)m=50U, (W/L)n=2.5U, (W/L)o=360U, (W/L)p=300U,
(W/L)q=95U, (W/L)6=2.5U, (W/L)7=2.5U, (W/L)1c=90U, (W/L)2c=90U,
(W/L)5=250U, (W/L)1=1300U, (W/L)2=300U, (W/L)3c=170U, (W/L)4c=170U,
(W/L)3=30U, (W/L)4=30U, (W/L)u=477U, (W/L)v=477U, (W/L)w=52U
(W/L)x=52U, (W/L)y=161U, (W/L)z=52U, (W/L)oo=11U, (W/L)oo1=11U,
(W/L)ooo=1.7U, (W/L)t=13U, (W/L)tt=13U, (W/L)ttt=31U, (W/L)tttt=31U

จากนั้นทำการทดสอบวงจรด้วยโปรแกรม Pspice ใน LEVEL 3 โดยมีคุณสมบัติดังนี้

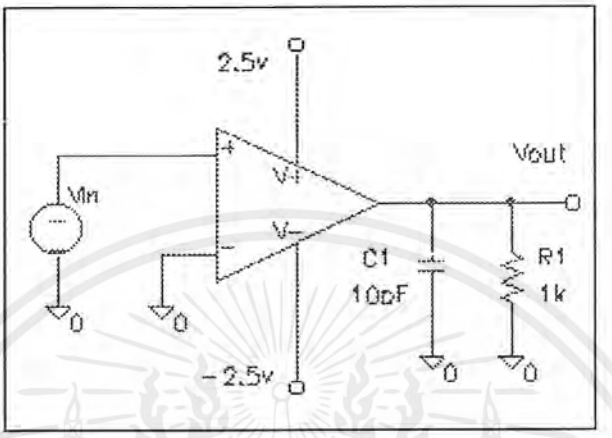
1. อัตราขยายขณะเปิดลูป = 60.695 dB
2. Unity Gain Frequency = 11.851 MHz
3. Phase Margin = 60.914 องศา
4. อัตราสลูขาขึ้น = 12.346 V/us, อัตราสลูขาลง = 16.57 V/us
5. Noise = 4.944 nV/sqrt (Hz) @ 100 Hz และ = 4.944 nV/sqrt (Hz) @ 10KHz
6. Settling Time = 0.3426 usec
7. Output Swing > +/- 1V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

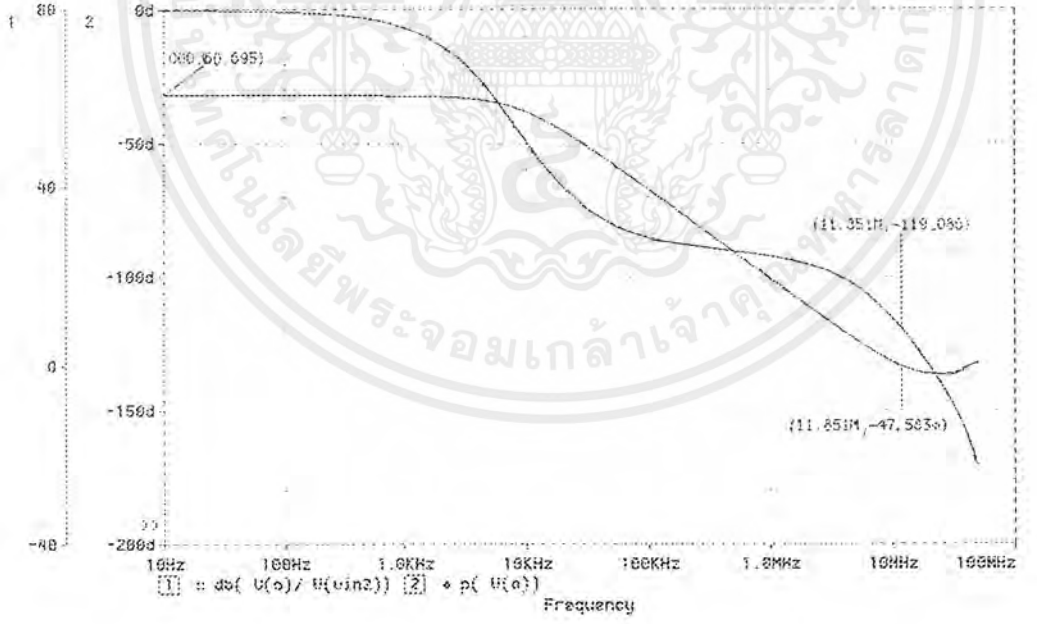
**5.5 การทดสอบคุณสมบัติต่างๆของวงจรใน LEVEL 3**

1. การทดสอบอัตราขยายขณะเปิดลูป, Unity Gain Frequency, Phase Margin

จากโปรแกรม Pspice ที่เมนูบาร์ Analysis – Setup – AC Sweep




รูปที่ 5.27 แสดงทดสอบอัตราขยายขณะเปิดลูป, Unity Gain Frequency และ Phase Margin

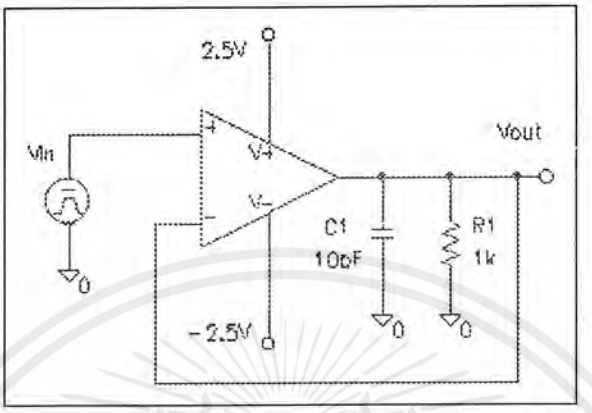



รูปที่ 5.28 แสดงผลการทดสอบอัตราขยายขณะเปิดลูป, Unity Gain Frequency, Phase Margin

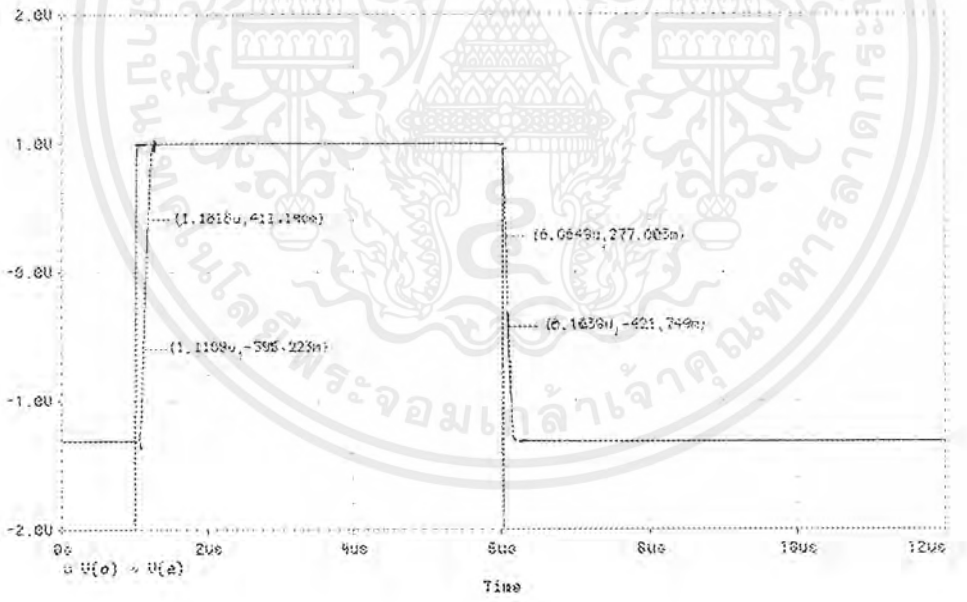
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. การทดสอบอัตราสลู

จากโปรแกรม Pspice ที่เมนูบาร์ Analysin – Setup – Transient Analysis




รูปที่ 5.29 แสดงผลการทดสอบอัตราสลู

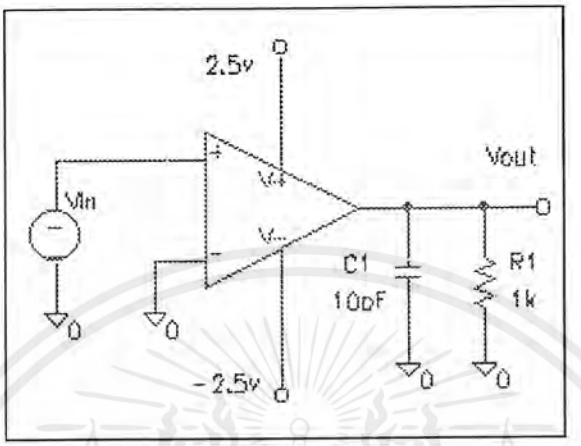



รูปที่ 5.30 แสดงผลการทดสอบอัตราสลู

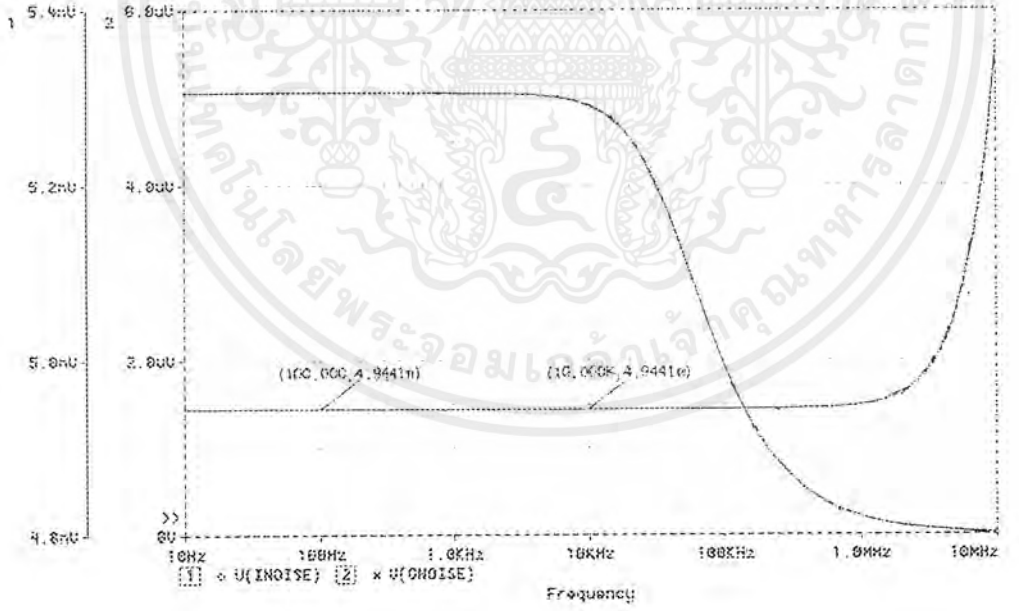
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. การทดสอบ Noise

จากโปรแกรม Pspice ที่เมนูบาร์ Analysis – Setup – Noise Analysis




รูปที่ 5.31 แสดงการทดสอบ Noise

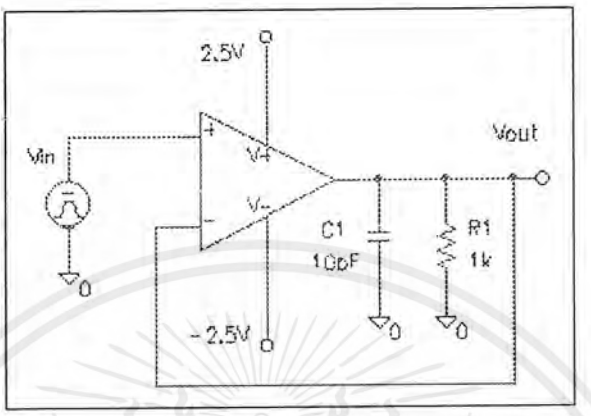



รูปที่ 5.32 แสดงผลการทดสอบ Noise

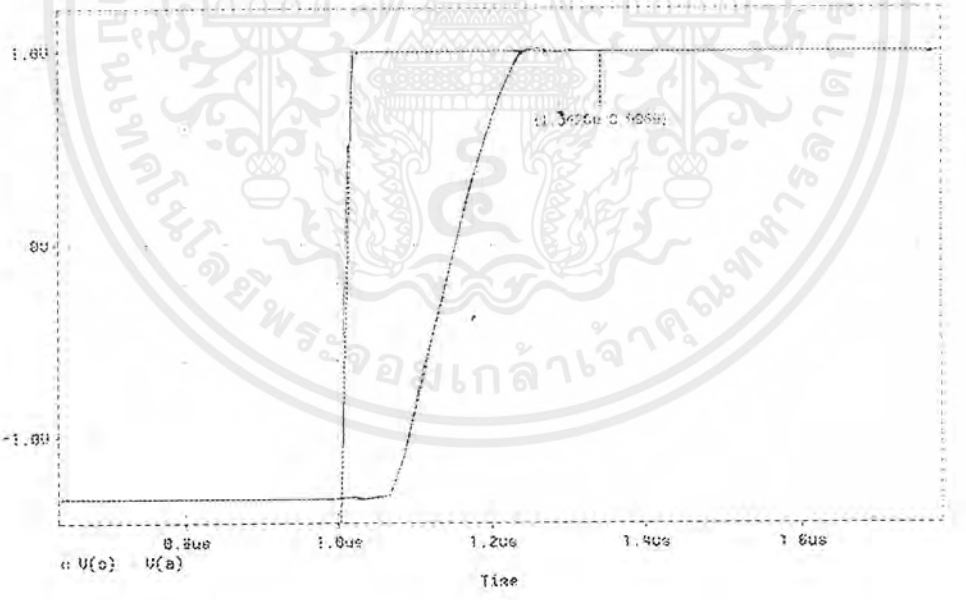
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. การทดสอบ Settling Time

จากโปรแกรม Pspice ที่เมนูบาร์ Analysis – Setup – Transient Analysis




รูปที่ 5.33 แสดงการทดสอบ Settling Time

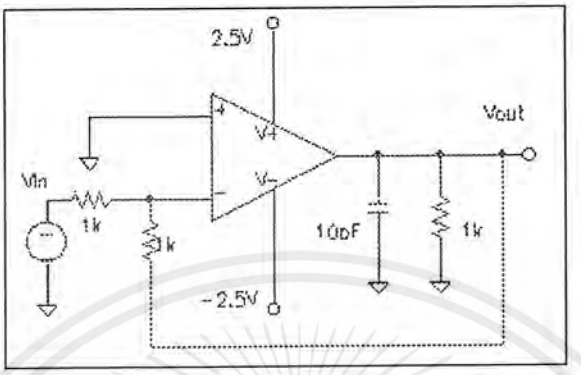



รูปที่ 5.34 แสดงผลการทดสอบ Settling Time

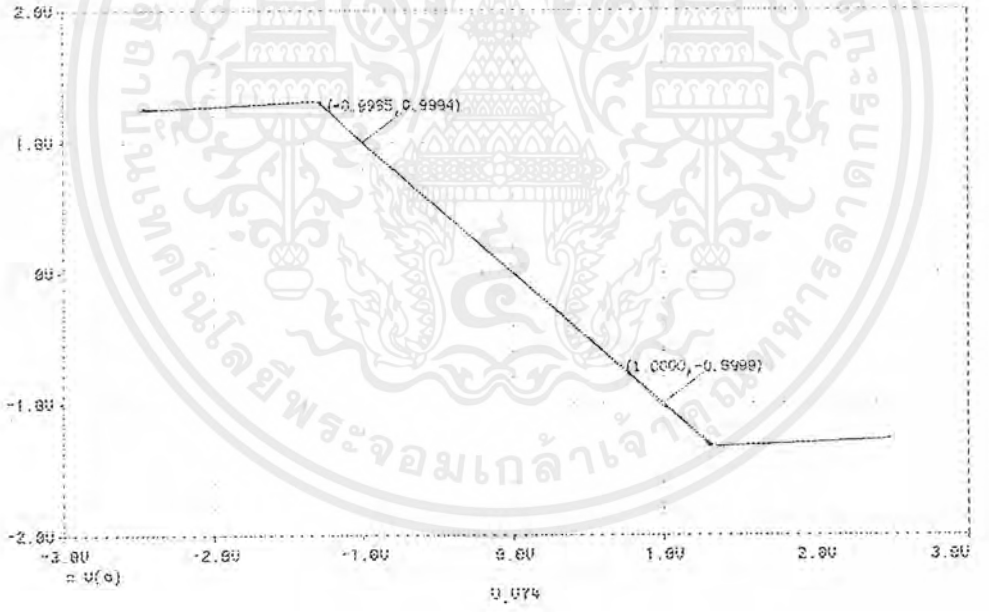
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. การทดสอบการสวิงของสัญญาณทางเอาท์พุท

จากโปรแกรม Pspice ที่เมนูบาร์ Analysis – Setup – DC Sweep




รูปที่ 5.19 แสดงทดสอบ Output Swing




รูปที่ 5.20 แสดงผลการทดสอบ Output Swing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**5.6 ผลการทดสอบด้วยโปรแกรม Pspice ที่ได้จาก Output file ขณะสภาวะปกติ (LEVEL 3)**

```
**** 02/12/99 01:30:21 ********* PSpice 5.3 (Jan 1993) ******** ID# 75225 ****
 * C:\MSIM53\OP3.SCH
 ****     CIRCUIT DESCRIPTION
********************************************************************************
* Schematics Version 5.3 - January 1993
* Fri Feb 12 01:30:17 1999
**** 02/12/99 01:30:21 ********* PSpice 5.3 (Jan 1993) ******** ID# 75225 ****
 * C:\MSIM53\OP3.SCH
 ****     SMALL SIGNAL BIAS SOLUTION      TEMPERATURE =   27.000 DEG C
********************************************************************************
 NODE   VOLTAGE    NODE   VOLTAGE    NODE   VOLTAGE    NODE   VOLTAGE
(   o)   -.0021
   VOLTAGE SOURCE CURRENTS
   NAME         CURRENT
   V_V15        3.107E-03
   V_V17       -3.105E-03
   TOTAL POWER DISSIPATION   1.55E-02  WATTS
**** 02/12/99 01:30:21 ********* PSpice 5.3 (Jan 1993) ******** ID# 75225 ****
 * C:\MSIM53\OP3.SCH
 ****     OPERATING POINT INFORMATION     TEMPERATURE =   27.000 DEG C
**** MOSFETS
NAME       M_M03      M_M02      M_M05      M_M01      M_M06
MODEL      w03        w02        w05        w01        w06
ID         -1.38E-04  -9.91E-04  -1.38E-04  9.89E-04   1.38E-04
VGS        -9.92E-01  -1.02E+00  -1.02E+00  1.04E+00   8.92E-01
VDS        -1.46E+00  -2.50E+00  -1.02E+00  2.50E+00   1.47E+00
VBS        0.00E+00   0.00E+00   0.00E+00   0.00E+00   0.00E+00
VTH        -8.00E-01  -8.00E-01  -8.00E-01  8.00E-01   8.00E-01
VDSAT      -1.70E-01  -1.96E-01  -1.98E-01  2.13E-01   8.19E-02
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | | | | | |
|---|---|---|---|---|---|
| GM | 1.40E-03 | 8.79E-03 | 1.20E-03 | 8.07E-03 | 2.96E-03 |
| GDS | 3.68E-05 | 2.16E-04 | 4.04E-05 | 2.16E-04 | 3.64E-05 |
| GMB | 3.37E-04 | 2.10E-03 | 2.86E-04 | 1.92E-03 | 7.22E-04 |
| CBD | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 |
| CBS | 1.11E-19 | 1.09E-19 | 1.11E-19 | 1.09E-19 | 1.11E-19 |
| CGSOV | 1.53E-13 | 6.44E-13 | 1.29E-13 | 1.41E-13 | 1.66E-13 |
| CGDOV | 1.53E-13 | 6.44E-13 | 1.29E-13 | 1.41E-13 | 1.66E-13 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 8.52E-14 | 3.58E-13 | 7.16E-14 | 7.83E-14 | 9.21E-14 |
| CGD | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |

| | | | | | |
|---|---|---|---|---|---|
| NAME | M_M04 | M_Md | M_Ma | M_Mb | M_Mh |
| MODEL | w04 | wd | wa | wb | wh |
| ID | 1.38E-04 | 1.02E-04 | 1.28E-04 | 1.28E-04 | 1.08E-04 |
| VGS | 1.04E+00 | 8.32E-01 | 8.30E-01 | 9.72E-01 | 9.72E-01 |
| VDS | 1.04E+00 | 1.66E+00 | 3.28E+00 | 1.72E+00 | 1.07E+00 |
| VBS | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| VTH | 8.00E-01 | 8.00E-01 | 8.00E-01 | 8.00E-01 | 8.00E-01 |
| VDSAT | 2.15E-01 | 2.79E-02 | 2.64E-02 | 1.53E-01 | 1.53E-01 |
| GM | 1.10E-03 | 6.49E-03 | 8.62E-03 | 1.46E-03 | 1.22E-03 |
| GDS | 4.04E-05 | 2.66E-05 | 1.98E-05 | 3.35E-05 | 3.08E-05 |
| GMB | 2.63E-04 | 1.60E-03 | 2.13E-03 | 3.52E-04 | 2.95E-04 |
| CBD | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 |
| CBS | 1.11E-19 | 1.11E-19 | 1.11E-19 | 1.11E-19 | 1.11E-19 |
| CGSOV | 2.82E-14 | 9.94E-13 | 9.94E-13 | 4.22E-14 | 4.22E-14 |
| CGDOV | 2.82E-14 | 9.94E-13 | 9.94E-13 | 4.22E-14 | 4.22E-14 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 1.57E-14 | 5.53E-13 | 5.53E-13 | 2.35E-14 | 2.35E-14 |
| CGD | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | | | | | |
|---|---|---|---|---|---|
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| NAME | M_Mi | M_M3 | M_M2 | M_M3c | M_M5 |
| MODEL | wi | w3 | w2 | w3c | w5 |
| ID | -1.08E-04 | -5.35E-05 | -4.87E-05 | -5.35E-05 | -9.74E-05 |
| VGS | -9.92E-01 | -1.25E+00 | -8.56E-01 | -9.88E-01 | -9.91E-01 |
| VDS | -9.92E-01 | -1.24E+00 | -1.99E+00 | -9.88E-01 | -1.64E+00 |
| VBS | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| VTH | -8.00E-01 | -8.00E-01 | -8.00E-01 | -8.00E-01 | -8.00E-01 |
| VDSAT | -1.70E-01 | -3.97E-01 | -4.97E-02 | -1.67E-01 | -1.70E-01 |
| GM | 1.10E-03 | 2.26E-04 | 1.73E-03 | 5.55E-04 | 9.96E-04 |
| GDS | 3.17E-05 | 1.56E-05 | 1.26E-05 | 1.57E-05 | 2.56E-05 |
| GMB | 2.63E-04 | 5.20E-05 | 4.26E-04 | 1.33E-04 | 2.39E-04 |
| CBD | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 |
| CBS | 1.11E-19 | 1.11E-19 | 1.11E-19 | 1.11E-19 | 1.11E-19 |
| CGSOV | 1.37E-13 | 1.24E-14 | 5.38E-13 | 7.04E-14 | 1.04E-13 |
| CGDOV | 1.37E-13 | 1.24E-14 | 5.38E-13 | 7.04E-14 | 1.04E-13 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 7.60E-14 | 6.91E-15 | 2.99E-13 | 3.91E-14 | 5.76E-14 |
| CGD | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |

| | | | | | |
|---|---|---|---|---|---|
| NAME | M_M1 | M_M4 | M_M4c | M_M6 | M_M1c |
| MODEL | w1 | w4 | w4c | w6 | w1c |
| ID | -4.87E-05 | -5.35E-05 | -5.35E-05 | 1.02E-04 | 5.35E-05 |
| VGS | -8.56E-01 | -1.25E+00 | -9.82E-01 | 2.04E+00 | 9.38E-01 |
| VDS | -1.98E+00 | -1.25E+00 | -1.20E+00 | 1.37E+00 | 1.40E+00 |
| VBS | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| VTH | -8.00E-01 | -8.00E-01 | -8.00E-01 | 8.00E-01 | 8.00E-01 |
| VDSAT | -4.97E-02 | -3.97E-01 | -1.62E-01 | 1.11E+00 | 1.22E-01 |
| GM | 1.73E-03 | 2.26E-04 | 5.74E-04 | 1.42E-04 | 7.71E-04 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | | | | | |
|---|---|---|---|---|---|
| GDS | 1.26E-05 | 1.56E-05 | 1.49E-05 | 2.55E-05 | 7.24E-06 |
| GMB | 4.26E-04 | 5.21E-05 | 1.38E-04 | 2.89E-05 | 1.87E-04 |
| CBD | 8.00E-20 | 8.00E-20 | 8.00E-20 | 1.00E-19 | 1.00E-19 |
| CBS | 1.11E-19 | 1.11E-19 | 1.11E-19 | 1.38E-19 | 1.39E-19 |
| CGSOV | 5.38E-13 | 1.24E-14 | 7.04E-14 | 1.04E-15 | 3.73E-14 |
| CGDOV | 5.38E-13 | 1.24E-14 | 7.04E-14 | 1.04E-15 | 3.73E-14 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 2.99E-13 | 6.91E-15 | 3.91E-14 | 5.76E-16 | 2.07E-14 |
| CGD | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |

| | | | | | |
|---|---|---|---|---|---|
| NAME | M_M2c | M_M7 | M_Mc | M_Mj | M_Mk |
| MODEL | w2c | w7 | wc | wj | wk |
| ID | 5.34E-05 | 1.02E-04 | 1.02E-04 | -1.02E-04 | 9.64E-05 |
| VGS | 9.40E-01 | 2.04E+00 | 9.72E-01 | -2.24E+00 | 9.72E-01 |
| VDS | 1.18E+00 | 1.37E+00 | 8.92E-01 | -2.45E+00 | 2.76E+00 |
| VBS | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| VTH | 8.00E-01 | 8.00E-01 | 8.00E-01 | -8.00E-01 | 8.00E-01 |
| VDSAT | 1.24E-01 | 1.11E+00 | 1.53E-01 | -1.28E+00 | 1.53E-01 |
| GM | 7.59E-04 | 1.42E-04 | 1.16E-03 | 1.17E-04 | 1.10E-03 |
| GDS | 7.70E-06 | 2.56E-05 | 3.09E-05 | 2.78E-05 | 1.85E-05 |
| GMB | 1.84E-04 | 2.88E-05 | 2.79E-04 | 2.33E-05 | 2.66E-04 |
| CBD | 1.00E-19 | 1.00E-19 | 8.00E-20 | 8.00E-20 | 8.00E-20 |
| CBS | 1.39E-19 | 1.38E-19 | 1.11E-19 | 1.11E-19 | 1.11E-19 |
| CGSOV | 3.73E-14 | 1.04E-15 | 4.22E-14 | 2.07E-15 | 2.48E-14 |
| CGDOV | 3.73E-14 | 1.04E-15 | 4.22E-14 | 2.07E-15 | 2.48E-14 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 2.07E-14 | 5.76E-16 | 2.35E-14 | 1.15E-15 | 1.38E-14 |
| CGD | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| NAME | M_Ml | M_Mm | M_Mp | M_Mz | M_My |
|---|---|---|---|---|---|
| MODEL | wl | wm | wp | wz | wy |
| ID | -9.64E-05 | 9.77E-05 | -9.77E-05 | -5.28E-04 | -4.84E-04 |
| VGS | -2.24E+00 | 9.72E-01 | -9.91E-01 | -1.85E+00 | -1.37E+00 |
| VDS | -2.24E+00 | 4.01E+00 | -9.91E-01 | -1.85E+00 | -1.46E+00 |
| VBS | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| VTH | -8.00E-01 | 8.00E-01 | -8.00E-01 | -8.00E-01 | -8.00E-01 |
| VDSAT | -1.28E+00 | 1.53E-01 | -1.70E-01 | -9.37E-01 | -5.07E-01 |
| GM | 1.09E-04 | 1.12E-03 | 9.96E-04 | 8.69E-04 | 1.57E-03 |
| GDS | 2.73E-05 | 1.27E-05 | 2.88E-05 | 1.51E-04 | 1.37E-04 |
| GMB | 2.19E-05 | 2.71E-04 | 2.39E-04 | 1.83E-04 | 3.55E-04 |
| CBD | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 |
| CBS | 1.11E-19 | 1.11E-19 | 1.11E-19 | 1.10E-19 | 1.10E-19 |
| CGSOV | 2.07E-15 | 2.07E-14 | 1.24E-13 | 2.15E-14 | 6.67E-14 |
| CGDOV | 2.07E-15 | 2.07E-14 | 1.24E-13 | 2.15E-14 | 6.67E-14 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 1.15E-15 | 1.15E-14 | 6.91E-14 | 1.20E-14 | 3.71E-14 |
| CGD | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |

| NAME | M_Mx | M_Mw | M_Mv | M_Mu | M_Mooo |
|---|---|---|---|---|---|
| MODEL | wx | ww | wv | wu | wooo |
| ID | -5.28E-04 | -4.84E-04 | 5.28E-04 | 4.84E-04 | 9.41E-05 |
| VGS | -1.85E+00 | -1.77E+00 | 9.72E-01 | 9.72E-01 | 2.04E+00 |
| VDS | -1.85E+00 | -2.08E+00 | 1.29E+00 | 9.72E-01 | 2.04E+00 |
| VBS | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| VTH | -8.00E-01 | -8.00E-01 | 8.00E-01 | 8.00E-01 | 8.00E-01 |
| VDSAT | -9.37E-01 | -8.59E-01 | 1.52E-01 | 1.52E-01 | 1.11E+00 |
| GM | 8.69E-04 | 8.86E-04 | 6.05E-03 | 5.53E-03 | 1.28E-04 |
| GDS | 1.51E-04 | 1.31E-04 | 1.45E-04 | 1.43E-04 | 2.68E-05 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | | | | | |
|---|---|---|---|---|---|
| GMB | 1.83E-04 | 1.88E-04 | 1.46E-03 | 1.33E-03 | 2.62E-05 |
| CBD | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 |
| CBS | 1.10E-19 | 1.10E-19 | 1.10E-19 | 1.10E-19 | 1.11E-19 |
| CGSOV | 2.15E-14 | 2.15E-14 | 1.97E-13 | 1.97E-13 | 7.04E-16 |
| CGDOV | 2.15E-14 | 2.15E-14 | 1.97E-13 | 1.97E-13 | 7.04E-16 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 1.20E-14 | 1.20E-14 | 1.10E-13 | 1.10E-13 | 3.91E-16 |
| CGD | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |

| NAME | M_Moo | M_Mo | M_Mn | M_Mool | M_Mtttt |
|---|---|---|---|---|---|
| MODEL | woo | wo | wn | wool | wtttt |
| ID | 9.41E-05 | -9.41E-05 | -1.08E-04 | 9.41E-05 | 1.35E-04 |
| VGS | 1.29E+00 | -9.91E-01 | -2.93E+00 | 1.29E+00 | 1.15E+00 |
| VDS | 1.29E+00 | -3.68E-01 | -2.93E+00 | 1.29E+00 | 1.15E+00 |
| VBS | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| VTH | 8.00E-01 | -8.00E-01 | -8.00E-01 | 8.00E-01 | 8.00E-01 |
| VDSAT | 4.40E-01 | -1.70E-01 | -1.90E+00 | 4.40E-01 | 3.15E-01 |
| GM | 3.56E-04 | 9.44E-04 | 7.43E-05 | 3.56E-04 | 7.29E-04 |
| GDS | 2.74E-05 | 4.53E-05 | 3.00E-05 | 2.74E-05 | 3.96E-05 |
| GMB | 8.14E-05 | 2.27E-04 | 1.41E-05 | 8.14E-05 | 1.70E-04 |
| CBD | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 | 8.00E-20 |
| CBS | 1.11E-19 | 1.11E-19 | 1.11E-19 | 1.11E-19 | 1.11E-19 |
| CGSOV | 4.55E-15 | 1.49E-13 | 1.04E-15 | 4.55E-15 | 1.28E-14 |
| CGDOV | 4.55E-15 | 1.49E-13 | 1.04E-15 | 4.55E-15 | 1.28E-14 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 2.53E-15 | 8.29E-14 | 5.76E-16 | 2.53E-15 | 7.14E-15 |
| CGD | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 | 0.00E+00 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| NAME | M_Mtt | M_Mttt | M_Mt |
|---|---|---|---|
| MODEL | wtt | wttt | wt |
| ID | 1.35E-04 | 1.35E-04 | 1.35E-04 |
| VGS | 1.35E+00 | 1.15E+00 | 1.35E+00 |
| VDS | 1.35E+00 | 1.15E+00 | 1.35E+00 |
| VBS | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| VTH | 8.00E-01 | 8.00E-01 | 8.00E-01 |
| VDSAT | 4.85E-01 | 3.15E-01 | 4.85E-01 |
| GM | 4.62E-04 | 7.29E-04 | 4.62E-04 |
| GDS | 3.94E-05 | 3.96E-05 | 3.94E-05 |
| GMB | 1.05E-04 | 1.70E-04 | 1.05E-04 |
| CBD | 8.00E-20 | 8.00E-20 | 8.00E-20 |
| CBS | 1.11E-19 | 1.11E-19 | 1.11E-19 |
| CGSOV | 5.38E-15 | 1.28E-14 | 5.38E-15 |
| CGDOV | 5.38E-15 | 1.28E-14 | 5.38E-15 |
| CGBOV | 1.61E-16 | 1.61E-16 | 1.61E-16 |
| CGS | 2.99E-15 | 7.14E-15 | 2.99E-15 |
| CGD | 0.00E+00 | 0.00E+00 | 0.00E+00 |
| CGB | 0.00E+00 | 0.00E+00 | 0.00E+00 |

JOB CONCLUDED

TOTAL JOB TIME .58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 6
# สรุปผลการทดสอบและวิจารณ์

## สรุปและวิจารณ์ผลการทดสอบวงจรขยายสัญญาณแบบโอเปอเรชั่นแนล

จากผลการทดสอบวงจรขยายสัญญาณแบบโอเปอเรชั่นแนลที่ออกแบบนั้น คุณสมบัติของวงจรเป็นไปตามข้อกำหนดของวงจรที่ได้กำหนดไว้ข้างต้นโดยคุณสมบัติของวงจรบางประการนั้น มีประสิทธิภาพที่ดีกว่าข้อกำหนด ซึ่งเป็นสิ่งที่นักออกแบบวงจรรวมพึงประสงค์

### 6.1 คุณสมบัติทางด้านอัตราขยายขณะเปิดลูป

จากการทดสอบคุณสมบัติอัตราขยายขณะเปิดลูป จะพบว่าวงจรที่ออกแบบนั้นมีขีดความสามารถในการขยายสัญญาณขณะเปิดลูปสูงกว่าข้อกำหนด ในขณะที่ยังคงรักษา Unity Gain Bandwidth และ Phase Margin ของวงจรให้มีคุณสมบัติที่ดีกว่าข้อกำหนดที่ได้กำหนดไว้

### 6.2 คุณสมบัติทางด้านอัตราสลู

จากการทดสอบคุณสมบัติทางด้านอัตราสลูของวงจร โดยการป้อนสัญญาณ Pluse เข้าที่อินพุท และวัดสัญญาณทางด้านเอาท์พุท พิจารณาอัตราสลูของวงจรปรากฏว่าอัตราสลูของวงจรที่ออกแบบนั้นมีค่าสูงกว่าอัตราสลูในข้อกำหนด ณ ค่าโหลดเดียวกัน (CL = 10pF, RL = 1Kohm)

### 6.3 คุณสมบัติทางด้านการกระเพื่อมของสัญญาณ

จากคุณสมบัติทางด้านอัตราสลูที่ขอบขาขึ้นของสัญญาณเอาท์พุท ทำการวัดช่วงเวลาในการกระเพื่อมของสัญญาณ โดยจะวัดที่ 10% ของสัญญาณในขณะเสถียรภาพ ปรากฏว่าช่วงเวลาในการกระเพื่อมที่ขอบขาขึ้นและขอบขาลงของสัญญาณทางด้านเอาท์พุทนั้นมีค่าต่ำกว่าข้อกำหนดที่กำหนดไว้

### 6.4 คุณสมบัติทางด้านการสวิงของสัญญาณทางเอาท์พุท

จากการทดสอบคุณสมบัติทางด้านการสวิงของสัญญาณทางเอาท์พุท ปรากฏว่าการสวิงของสัญญาณทางด้านเอาท์พุทจากวงจรที่ได้ออกแบบนั้น สัญญาณสามารถสวิงได้สูงกว่าที่ข้อกำหนดได้กำหนดไว้ ณ ค่าโหลดเดียวกัน (CL = 10 pF, RL = 1Kohm)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**6.5 สัญญาณรบกวนของวงจร**

จากการทดสอบสัญญาณรบกวนของวงจรที่ออกแบบนั้น ปรากฏว่าสัญญาณรบกวนรวมของวงจรมีค่าต่ำกว่าข้อกำหนดของวงจรที่ได้กำหนดไว้ ซึ่งสัญญาณรบกวนนี้จะเป็นตัวบอกถึง ขีดจำกัดของสัญญาณอินพุทของวงจร จำเป็นต้องมีค่ามากกว่าสัญญาณรบกวน มิฉะนั้นแล้วสัญญาณที่ถูกขยายนั้น จะเป็นสัญญาณรบกวนนั่นเอง

จากการทดสอบคุณสมบัติของวงจร จะเห็นว่าคุณสมบัติต่างๆที่ได้จากการออกแบบนั้นมีประสิทธิภาพที่ดีกว่าคุณสมบัติในข้อกำหนด โดยได้ผลการทดสอบจากการจำลองวงจรในโปรแกรม Pspice Level 1 ซึ่ง Level 1 เป็น Level ในการคำนวณเบื้องต้น ดังนั้นในทางปฏิบัติจำเป็นต้องมีการปรับแต่งขนาดของอุปกรณ์บางตัวเพื่อให้มีคุณสมบัติให้เป็นไปตามข้อกำหนด อันเนื่องมาจากกระบวนการผลิต อย่างไรก็ตาม ในการออกแบบวงจรรวมจำเป็นต้องอาศัยประสบการณ์ในการวิเคราะห์และสังเคราะห์วงจร รวมทั้งมีความชำนาญในการใช้โปรแกรม Pspice เป็นอย่างมาก จะพบว่าตัวโปรแกรมเองบางครั้งมีจุดบกพร่องเกิดขึ้น ซึ่งอาจทำให้เข้าใจผิดได้ว่า วงจรที่ออกแบบนั้นผิด ในความเป็นจริงแล้วการกำหนดค่าต่างๆในการจำลองวงจรด้วยโปรแกรม Pspice ถ้ากำหนดไม่ถูกต้อง จะทำให้ไม่สามารถจำลองวงจรได้เลย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

ผู้จัดทำโครงงานขอขอบพระคุณอาจารย์ที่ปรึกษา ที่ได้ให้คำปรึกษาในการเริ่มต้นทำโครงงานชิ้นนี้ตลอดจนข้อคิดเห็นและแนวทางในการแก้ไขปัญหาต่างๆ จนสามารถสำเร็จมาได้ด้วยดี ซึ่งถ้าขาดบุคคลดังกล่าวในการให้คำปรึกษาแล้วผู้จัดโครงงานนี้ก็จะไม่สามารถทำงานให้สำเร็จลงได้

โดยผู้จัดทำโครงงานได้นำความรู้ที่ได้รับมา นำมาใช้อ้างอิงเป็นเนื้อหาของรายงานฉบับนี้ โดยสุดท้ายนี้ผู้จัดทำรายงานใคร่ขอขอบคุณเป็นอย่างสูงและขอระลึกถึงด้วยความขอบคุณยิ่ง

นิวัฒน์ชัย เหลืองสะอาด

(นิวัฒน์ชัย เหลืองสะอาด)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# หนังสืออ้างอิง


1. Randall L. Geiger, Phillip E. Allen and Noel R. Strader, "VLSI design techniques for analog and digital circuit", McGRAW-HILL, 432-471 p., 1990.
2. Phillip E. Allen and Douglas R. Holberg, "CMOS andlog circuit design", HOLT, RINEHART AND WINSTON, 299-308 p., 1987.
3. Paul R. Gray and Robert G. Meyer, "Analysis and Design of Analog Integrated Circuit", John Wiley & Sons, 400 p., 477 p., 1993.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้