สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การควบคุมระดับโดยตัวควบคุมแบบอนาลอกฟัซซี่

LEVEL CONTROL BY ANALOG FUZZY CONTROLLER

T042518

นายต่อลาภ หาญชัยสุขสกุล
นายธนพล เตี้ยทอง
นายสุพัฒน์ ค้าผล

เลขหมู่.....
เลขทะเบียน 42518
วัน, เดือน, ปี 24 W.A. 2545
b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมการวัดคุม
ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LEVEL CONTROL BY ANALOG FUZZY CONTROLLER

TORLARP HANCHAISUKSAKUL

THANAPON TEAITHONG

SUPAT KAPHON

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENTS FOR THE DEGREE OF

BACHELOR OF ENGINEERING IN INSTRUMENTATION ENGINEERING

DEPARTMENT OF INDUSTRIAL INSTRUMENTATION TECHNOLOGY

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองปริญญานิพนธ์

หัวข้อปริญญานิพนธ์ การควบคุมระดับโดยตัวควบคุมแบบอนาลอกฟัซซี่

LEVEL CONTROL BY ANALOG FUZZY CONTROLLER

นักศึกษาผู้จัดทำ

นายต่อลาภ	หาญชัยสุขสกุล	**รหัสประจำตัว**	40010255
นายธนพล	เตี้ยทอง	**รหัสประจำตัว**	40010290
นายสุพัฒน์	ค้าผล	**รหัสประจำตัว**	40010886

ปริญญา วิศวกรรมศาสตรบัณฑิต

สาขาวิชา วิศวกรรมการวัดคุม

ปีการศึกษา 2543

อาจารย์ผู้ควบคุมปริญญานิพนธ์	ลายมือชื่อ
ผศ. ประสิทธิ์ จุลเสรีวงศ์	
อาจารย์ อัมพวัน ใจกล้า	

วัน/เดือน/ปี ที่สอบ วันจันทร์ที่ 9 เมษายน พ.ศ. 2544

สถานที่สอบ ณ ห้องสอบปริญญานิพนธ์ ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม

ภาควิชารับรองแล้ว

(ผศ.ประสิทธิ์ จุลเสรีวงศ์)

หัวหน้าภาควิชาฯ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	การควบคุมระดับโดยตัวควบคุมแบบอนาลอกฟัซซี่
	LEVEL CONTROL BY ANALOG FUZZY CONTROLER
นักศึกษาผู้จัดทำ	นายต่อลาภ หาญชัยสุขสกุล
	นายธนพล เตี้ยทอง
	นายสุพัฒน์ ค้าผล
อาจารย์ที่ปรึกษา	ผศ. ประสิทธิ์ จุลเสรีวงศ์
	อาจารย์ อัมพวัน ใจกล้า
ปีการศึกษา	2543

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้นำเสนอการประยุกต์ใช้ทฤษฎีฟัซซี่ลอจิก (Fuzzy Logic) และฟัซซี่เซต (Fuzzy Set) ในการพัฒนาออกแบบสร้างตัวควบคุมแบบอนาลอกฟัซซี่ (Analog Fuzzy Controller) โดยใช้วงจรไม่เป็นเชิงเส้น เพื่อนำไปประยุกต์ใช้ในการควบคุมกระบวนการระดับโดยระบบฟัซซี่ (Fuzzy System) ที่นำเสนอนั้นในส่วนของการสร้างฟังก์ชันการเป็นสมาชิกจะใช้วงจรไม่เป็นเชิงเส้นที่สามารถปรับความชันได้ต่อร่วมกับวงจรอินเตอร์เซกชันแบบอนาลอก และส่วนดีฟัซซี่ฟิเคชั่นจะประกอบด้วยวงจรขยายแรงดันและวงจรหาร โดยวงจรที่ออกแบบทั้งหมดจะอยู่ในลักษณะวงจรย่อยทำให้การเพิ่มหรือการลดฟังก์ชันการเป็นสมาชิก (Membership Function) และกฎสามารถทำได้อย่างอิสระ การควบคุมด้วยตัวควบคุมแบบฟัซซี่นั้นจะสามารถหลีกเลี่ยงความซับซ้อนของแบบจำลองทางคณิตศาสตร์ที่ใช้ในตัวควบคุมแบบอื่นๆ เช่น ตัวควบคุมแบบ PID ได้ ทำให้ง่ายต่อการศึกษาและพัฒนาแก้ไขระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	LEVEL CONTROL BY ANALOG FUZZY CONTROLLER	
Student	Mr. Torlarp	Hanchaisuksakul
	Mr. Thanapon	Teaithong
	Mr. Supat	Kaphon
Thesis Advisor	Asst.Prof. Prasit	Julsereewong
Thesis Co-advisor	Miss. Amphrawan	Chaikla
Year	2000	

ABSTRACT

This thesis presents the application of fuzzy set and fuzzy logic knowledge to design the analog fuzzy controller by nonlinear circuit. The proposed controller is applied to the level process control. In the fuzzy system, nonlinear circuit with can be adjustable and analog intersection circuit are used to create the membership function. Defuzzification circuit is consist of the voltage amplifier and divider circuit. All circuits are designed based on sub-circuit, thus it is flexible to add and remove the membership function and rule. Using this fuzzy controller can be neglected the mathematical model of the system, such as PID controller, and it is easily to use and flexible to develop and maintain.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยดีเพราะได้รับความเมตตาจาก ผู้ช่วยศาสตราจารย์ ประสิทธิ์ จุลเสรีวงศ์ อาจารย์อัมพวัน ใจกล้า และ อาจารย์พิทยา ปานนิล ที่ได้ให้คำแนะนำ จึงขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบพระคุณภาควิชาเทคโนโลยีการวัดคุมอุตสาหกรรม ที่เอื้อเฟื้ออุปกรณ์และเครื่องมือทั้งหมดตลอดจนถึงสถานที่ อาทิ ห้องทดลอง (Process Control Lab.) รวมทั้งการอำนวยความสะดวกจนสามารถทำปริญญานิพนธ์นี้เสร็จสิ้น

ขอขอบคุณเพื่อน และน้องๆ ที่คอยช่วยเหลือ และให้กำลังใจตลอดมา

และขอกราบขอบพระคุณ คุณพ่อ คุณแม่ อันเป็นที่รักยิ่งที่คอยให้การสนับสนุน ให้คำปรึกษา และให้กำลังใจ

คุณค่าและประโยชน์อันพึงมีจากปริญญานิพนธ์ฉบับนี้ ขอมอบแด่ผู้มีพระคุณทุกท่าน

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....I

บทคัดย่อภาษาอังกฤษ.....II

กิตติกรรมประกาศ.....III

สารบัญ.....IV

สารบัญตาราง.....VI

สารบัญภาพ.....VII

บทที่ 1 บทนำ.....1

บทที่ 2 ทฤษฎีฟัซซี่.....4

2.1 ฟัซซี่เซต (Fuzzy Set).....4

2.1.1 ทฤษฎีเซต (Crip Set Theory).....4

2.1.2 ทฤษฎีฟัซซี่เซต (Fuzzy Set Theory).....6

2.2 ฟัซซี่ลอจิก (Fuzzy Logic).....13

2.2.1 ทฤษฎีตรรกศาสตร์แบบเดิม.....13

2.2.2 ทฤษฎีฟัซซี่ลอจิก.....14

2.3 ผลคูณคาร์ทีเซียน (Cartesian Relation).....16

2.4 ความสัมพันธ์ฟัซซี่ (Fuzzy Relation).....17

2.5 การทำคอมโพสิชันแบบฟัซซี่ (Fuzzy Composition).....18

บทที่ 3 ตัวควบคุมแบบฟัซซี่ (Fuzzy Logic Controller).....20

3.1 บทนำ.....20

3.2 หน่วยฟัซซิฟิเคชัน (Fuzzification).....21

3.3 กฎการควบคุมฟัซซี่.....23

3.4 หน่วยดีฟัซซิฟิเคชัน (Defuzzification).....24

3.5 บทสรุป.....26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

บทที่ 4 การออกแบบวงจร.....27

4.1 บทนำ.....27

4.2 การออกแบบวงจรในส่วนฟัซซิฟิเคชัน.....27

4.3 การออกแบบในส่วนการควบคุมฟัซซี่.....34

4.4 การออกแบบวงจรในส่วนดีฟัซซิฟิเคชัน.....36

4.5 บทสรุป.....41

บทที่ 5 การทดลองและผลการทดลอง.....42

5.1 บทนำ.....42

5.2 ผลการทดลองกับกระบวนการควบคุมระดับน้ำ.....43

5.3 สรุปผลการทดลอง.....48

บทที่ 6 สรุปผลและข้อเสนอแนะ.....49

บรรณานุกรม.....51

ภาคผนวก.....52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ **หน้า**

2.1 แสดงค่าความจริงของประพจน์ในการปฏิบัติการทางตรรกศาสตร์บูลีน.....14

4.1 แสดงผลของการอินเตอร์เซคชัน.....35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ **หน้า**

2.1 แสดงฟัซซี่เซต....6

2.2 แสดงการเท่ากันของฟัซซี่เซต A กับเซต B....7

2.3 แสดงการเป็นสับเซตของฟัซซี่เซต....8

2.4 แสดงซัพพอร์ตของฟัซซี่เซต....8

2.5 แสดงฟัซซี่ซิงเกิลตัน....9

2.6 แสดงอัลฟ่าเลเวลของฟัซซี่เซต....9

2.7 แสดงความสูงของฟัซซี่เซต....10

2.8 (ก) แสดงคุณสมบัติการนอมอลไลซ์ฟัซซี่เซต....11

(ข) แสดงฟัซซี่เซตที่ไม่มีคุณสมบัติการนอมอลไลซ์....11

2.9 (ก) แสดงการคอนเวกซ์ของฟัซซี่เซต....11

(ข) แสดงฟัซซี่เซตที่ไม่มีคุณสมบัติการคอนเวกซ์....11

2.10 แสดงฟัซซี่เซตนัมเบอร์....12

2.11 แสดงความสัมพันธ์ฟัซซี่เซต....17

2.12 การคอมโพสิชันของความสัมพันธ์ฟัซซี่....18

3.1 บล็อกไดอะแกรมการควบคุมด้วยตัวควบคุมแบบฟัซซี่....20

3.2 บล็อกไดอะแกรมของระบบฟัซซี่....20

3.3 กระบวนการควบคุมด้วยตัวควบคุมแบบฟัซซี่....21

3.4 กราฟแสดงความเป็นสมาชิก....22

3.5 ฟังก์ชันการเป็นสมาชิกของตัวแปรค่าความผิดพลาด การเปลี่ยนแปลงค่าความผิดพลาด และค่าควบคุม....23

3.6 แสดงกฎการวินิจฉัย....24

3.7 แสดงขั้นตอนการคำนวณหาจุดศูนย์ถ่วง....25

3.8 กระบวนการควบคุมด้วยฟัซซี่ลอจิก....25

4.1 ฟังก์ชันการเป็นสมาชิกที่เป็นบวก....27

4.2 ฟังก์ชันการเป็นสมาชิกที่เป็นศูนย์....28

4.3 ฟังก์ชันการเป็นสมาชิกที่เป็นลบ....28

4.4 วงจรจำกัดศักดาเอาท์พุทแบบลบ....29

4.5 วงจรจำกัดศักดาเอาท์พุทแบบบวก....29

4.6 วงจรขยายความแตกต่าง....30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ หน้า

4.7 วงจรที่ออกแบบเพื่อให้ได้กราฟตามรูปที่ 4.1 31

4.8 แสดงความชันของกราฟตามวงจรในรูปที่ 4.7 32

4.9 วงจรที่ออกแบบเพื่อให้ได้กราฟตามรูปที่ 4.2 33

4.10 แสดงความชันของกราฟตามวงจรในรูปที่ 4.9 33

4.11 วงจรที่ออกแบบเพื่อให้ได้กราฟตามรูปที่ 4.3 34

4.12 แสดงความชันของกราฟตามวงจรในรูปที่ 4.11 34

4.13 วงจรอินเตอร์เซคชันด้านอนาลอก 35

4.14 วงจรสมการ $\sum_{i=1}^{n}(u_i \times U_i)$ 37

4.15 วงจรสมการ $\sum_{i=1}^{n}(u_i)$ 39

4.16 วงจรหารที่ใช้ไอซีเบอร์ AD532 40

4.17 วงจรดีฟัซซิฟีเคชั่น 40

5.1 กระบวนการควบคุมด้วยตัวควบคุมแบบฟัซซี่ 42

5.2 แสดงการประยุกต์ใช้ตัวควบคุมแบบอนาลอกฟัซซี่กับกระบวนการควบคุม
ระดับของน้ำในถัง 42

5.3 แสดง โครงสร้างการทดลองกับกระบวนการควบคุมระดับของของเหลว 43

5.4 (ก) แสดงตัวควบคุมแบบอนาลอกฟัซซี่ด้านข้าง 44

(ข) แสดงตัวควบคุมแบบอนาลอกฟัซซี่ด้านบน 44

5.5 แสดงผลตอบสนองของกระบวนการควบคุมระดับของน้ำในถังที่ค่าเป้าหมาย
25% ด้วยการควบคุมแบบ PID ตามวิธีของ Ziegler-Nichols ($K=1.7, T_i=63$ ms.)
ความเร็วการบันทึก 600 m./h 45

5.6 แสดงผลตอบสนองของกระบวนการควบคุมระดับของน้ำในถังที่ค่าเป้าหมาย
25% ด้วยการควบคุมแบบอนาลอกฟัซซี่ความเร็วการบันทึก 600mm./h 45

5.7 แสดงผลตอบสนองของกระบวนการควบคุมระดับของน้ำในถังที่ค่าเป้าหมาย
50% ด้วยการควบคุมแบบ PID ตามวิธีของ Ziegler-Nichols ($K=1.7, T_i=63$ ms.)
ความเร็วการบันทึก 600mm./h 46

5.8 แสดงผลตอบสนองของกระบวนการควบคุมระดับของน้ำในถังที่ค่าเป้าหมาย
50% ด้วยการควบคุมแบบอนาลอกฟัซซี่ความเร็วการบันทึก 600mm./h 46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ **หน้า**

5.9 แสดงผลตอบสนองของกระบวนการควบคุมระดับของน้ำในถังที่ค่าเป้าหมาย 75% ด้วยการควบคุมแบบ PID ตามวิธีของ Ziegler-Nichols ($K=1.7, T_i=63$ ms.) ความเร็วการบันทึก 600mm./h.....47

5.10 แสดงผลตอบสนองของกระบวนการควบคุมระดับของน้ำในถังที่ค่าเป้าหมาย 75% ด้วยการควบคุมแบบอนาลอกฟัซซี่ความเร็วการบันทึก 600mm./h.....48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ปี ค.ศ. 1965 ศาสตราจารย์ Loftfi Zadeh วิศวกรและนักวิทยาศาสตร์ทางด้านระบบที่เชี่ยวชาญทางด้านวิทยาการคอมพิวเตอร์ได้พัฒนาทฤษฎีหนึ่งขึ้นมา โดยมีใจความว่า "ปัญหาการควบคุมในโลกของความเป็นจริงสามารถแทนที่ด้วยระดับของค่าต่างๆให้ออกมาเป็นระดับๆได้" Zadeh ได้ค้นพบว่าปัญหาต่างๆสามารถแก้ไขได้ โดยใช้วิธีการที่คล้ายคลึงกับระบบการคิดของมนุษย์ ดีกว่าการใช้วิธีการทางคณิตศาสตร์ที่ทำมาแต่เดิม แทนที่จะบอกว่าปัญหาในโลกนี้เป็นความจริงหรือเป็นเท็จ โดยสมบูรณ์แต่ทฤษฎีนี้จะนิยามปัญหาออกมาให้มีค่าความจริงเป็นระดับของแต่ละปัญหา ทฤษฎีดังกล่าวนี้มีชื่อว่าฟัซซี่ลอจิก

แม้ว่าฟัซซี่ลอจิกได้รับการพิสูจน์และทดสอบมานานกว่า 30 ปีแล้ว แต่ก็ยังไม่เป็นที่แพร่หลายกันทั่วไปนัก เหตุผลข้อหนึ่งก็คือ คำว่าฟัซซี่ (Fuzzy) ในภาษาอังกฤษหมายถึงเลือนลาง ไม่ชัดเจน ดังนั้นในทางจิตวิทยาแล้วจะไม่ค่อยมีใครสนใจแต่สำหรับประเทศญี่ปุ่น แล้วคำว่าฟัซซี่ไม่ได้ถูกแปลความหมายดังนั้น ญี่ปุ่นได้ทำการทดลองอย่างรวดเร็วโดยปราศจากความคิดที่เป็นอคติ และพิสูจน์ได้ว่าแบบจำลองทางคณิตศาสตร์ไม่เป็นที่ต้องการอีกต่อไป

ในการออกแบบระบบควบคุมอัตโนมัติ สำหรับควบคุมกระบวนการทางอุตสาหกรรมแบบที่ใช้กันอยู่เดิม ใช้วิธีการประมาณแบบจำลองทางคณิตศาสตร์ของกระบวนการนั้น สำหรับในอุตสาหกรรมขนาดใหญ่และมีความซับซ้อน เช่น กระบวนการผลิตซีเมนต์ กระบวนการทำปฏิกิริยาทางเคมี และกระบวนการหลอมโลหะ เป็นต้น มักจะพบปัญหาว่ากระบวนการเหล่านี้จะไม่เป็นเชิงเส้น (Non-linear) ซึ่งในการประมาณแบบจำลองทางคณิตศาสตร์ของกระบวนการทำได้ยาก และถ้าการประมาณค่าแบบจำลองทางคณิตศาสตร์ของกระบวนการผิดพลาด จะทำให้ได้สมรรถนะของระบบควบคุมไม่ดี

ตามปกติความรู้และประสบการณ์ในการควบคุมกระบวนการเหล่านี้ มักจะอยู่ในรูปภาษามนุษย์ ซึ่งง่ายต่อการทำความเข้าใจและปฏิบัติตาม แต่ยากสำหรับการนำไปออกแบบและสร้างให้เป็นตัวควบคุมอัตโนมัติโดยวิธีการแบบดั้งเดิม ทั้งนี้เนื่องมาจากวิธีการในการควบคุมของผู้ปฏิบัติการจะมี กฎ ซึ่งอยู่ในรูปเงื่อนไข ถ้า...แล้ว .... โดยตัวแปรที่ใช้ในกฎการควบคุมจะถูกนิยามในเชิงคุณภาพ และค่าของตัวแปรนี้มีความคลุมเครือ ด้วยเหตุนี้จึงได้นำหลักการของฟัซซี่มาประยุกต์ในการออกแบบระบบควบคุม โดยการแปลงความรู้ที่ได้จากประสบการณ์การควบคุมของผู้ปฏิบัติการที่อยู่ในรูปเงื่อนไข ถ้า...แล้ว... ให้เป็นกฎการควบคุมที่มีตัวแปรเป็นฟัซซี่เซต และตัวควบคุมฟัซซี่นี้ จะเป็นตัวกลางในการเชื่อมโยงระหว่างสัญญาณที่ใช้งานจริง เช่น สัญญาณในการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การตรวจวัดจากอุปกรณ์ตรวจจับ และสัญญาณในการควบคุมอุปกรณ์ ซึ่งถูกวัดเป็นตัวแปรในเชิงประมาณกับกฎการควบคุมซึ่งถูกนิยามด้วยตัวแปรฟัซซี่

โดยทั่วไปในการออกแบบตัวควบคุมแบบฟัซซี่จะมีการทำงาน โดยใช้คอมพิวเตอร์เป็นหลัก ซึ่งการทำงานของตัวควบคุมจะขึ้นอยู่กับตัวโปรแกรมคอมพิวเตอร์และใช้ตัวแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter, A/D) และตัวแปลงสัญญาณจากดิจิตอลมาเป็นอนาลอก (Digital to Analog converter, D/A) ในการแปลงสัญญาณ ทำให้ตัวควบคุมมีความเร็วในการทำงานช้า ปริญญานิพนธ์นี้จึงเสนอหลักการออกแบบตัวควบคุมแบบฟัซซี่ โดยใช้วงจรไม่เป็นเชิงเส้นแทนหลักการเดิมที่ใช้โปรแกรมคอมพิวเตอร์ โดยจะทำให้ตัวควบคุมแบบฟัซซี่มีความเร็วสูงขึ้น ซึ่งเหมาะกับระบบควบคุมที่ต้องการผลตอบสนองที่เร็ว ดังนั้นการทำงานของตัวควบคุมฟัซซี่จะประกอบด้วยโครงสร้างหลัก 3 ส่วน คือ

1. การฟัซซิฟิเคชัน (Fuzzification) เป็นการแปลงสัญญาณจากอุปกรณ์ตรวจจับ ซึ่งจะเป็นตัวแปรเชิงปริมาณให้เป็นตัวแปรฟัซซี่
2. การฟัซซี่อินเฟอเรนซ์ (Fuzzy Inferrence) เป็นการประมวลผลเพื่อหาสัญญาณควบคุมจากกฎการควบคุม โดยใช้วิธีการหาข้อสรุปจากหลักการเหตุผล ตามอัลกอริทึมของฟัซซี่
3. การดีฟัซซิฟิเคชัน (Defuzzification) เป็นการหาขนาดของสัญญาณควบคุม โดยการแปลงตัวแปรฟัซซี่ให้เป็นตัวแปรเชิงปริมาณ

ตัวควบคุมฟัซซี่มีข้อดีที่เป็นจุดเด่นหลายประการดังนี้

- สามารถออกแบบตัวควบคุมได้ โดยไม่ต้องรู้แบบจำลองทางคณิตศาสตร์ของกระบวนการ เนื่องจากการออกแบบตัวควบคุมใช้วิธีแปลงความรู้หรือประสบการณ์ของผู้เชี่ยวชาญ ให้เป็นกฎการควบคุมในรูปเงื่อนไข
- สามารถควบคุมกระบวนการที่ไม่เป็นเชิงเส้นได้ เนื่องจากความไม่เป็นเชิงเส้นนี้จะถูกควบคุมได้โดยการกำหนดความสัมพันธ์ของกฎการควบคุมแบบไม่เป็นเชิงเส้น
- สามารถออกแบบตัวควบคุมสำหรับควบคุมกระบวนการที่มีหลายอินพุท และหลายเอาท์พุทได้สะดวก เนื่องจากความซับซ้อนของความสัมพันธ์ ระหว่างแต่ละอินพุทและเอาท์พุท จะถูกแทนด้วยความสัมพันธ์ของกฎการควบคุม ซึ่งอยู่ในรูปแบบที่สามารถทำความเข้าใจ และทำการปรับเปลี่ยนได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตถุประสงค์ของปริญญานิพนธ์

1. ศึกษาหลักการการควบคุมฟัซซี่
2. ออกแบบวงจรเพื่อใช้ควบคุมกระบวนการโดยใช้หลักการฟัซซี่
3. เปรียบเทียบผลการควบคุมโดยใช้หลักการฟัซซี่ กับผลของการควบคุมแบบ PID

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีฟัซซี่

2.1 ฟัซซี่เซต (Fuzzy Set) [3], [5], [6]

2.1.1 ทฤษฎีเซต (Set Theory)

1. คลิชป์เซต (Crisp Set)

คลิชป์เซต คือ กลุ่มของสมาชิกที่มีคุณสมบัติตามข้อกำหนดซึ่งอาจจะมีจำนวนจำกัดหรือไม่จำกัดก็ได้

2. เอกภพสัมพัทธ์ (Universe of Discourse : U)

เอกภพสัมพัทธ์ คือ เซตที่มีสมาชิกทั้งหมดของขอบเขตที่ทำการพิจารณา

กำหนดให้ u เป็นสมาชิกใดๆ ของ U เขียนแทนด้วยสัญลักษณ์ $u \in U$

3. ฟังก์ชันการเป็นสมาชิก (Membership Function : μ)

ฟังก์ชันการเป็นสมาชิกของเซต เขียนแทนด้วยสัญลักษณ์ μ ถูกนิยามดังนี้

$\mu_A(u)$ มีค่าเท่ากับ 1 เมื่อ u เป็นสมาชิกของเซต A

$\mu_A(u)$ มีค่าเท่ากับ 0 เมื่อ u ไม่เป็นสมาชิกของเซต A

4. การเท่ากันของเซต

เซต A จะเท่ากับเซต B ก็ต่อเมื่อสมาชิกทุกตัวของเซต A เป็นสมาชิกของเซต B และสมาชิกทุกตัวของเซต B เป็นสมาชิกทุกตัวของเซต A เขียนแทนด้วยสัญลักษณ์ A=B

$$(A=B) \leftrightarrow ((\forall a \in B) \wedge (\forall b \in A) \quad ; \quad a \in A, b \in B) \tag{2.1}$$

5. การเป็นสับเซต (Subset)

เซต A จะเป็นสับเซตของเซต B ก็ต่อเมื่อสมาชิกทุกตัวของเซต A เป็นสมาชิกของเซต B เขียนแทนด้วยสัญลักษณ์ $A \subseteq B$

$$(A \subseteq B) \leftrightarrow (\forall a \in B ; a \in A) \tag{2.2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เซต A จะเป็นสับเซตแท้ของเซต B ก็ต่อเมื่อสมาชิกทุกตัวของเซต A เป็นสมาชิกของเซต B และเซต A ไม่เท่ากับเซต B เขียนแทนด้วยสัญลักษณ์

$$(A \subseteq B) \leftrightarrow ((\forall a \in B) \wedge (A \neq B) \; ; a \in A) \tag{2.3}$$

6. ปฏิบัติการพื้นฐานของของเซต

คอมพลีเมนต์ คือ ตัวปฏิบัติการในการสร้างเซตใหม่จากเซตเดิม โดยที่สมาชิกของเซตใหม่คือ สมาชิกของเอกภพสัมพัทธ์ U ที่ไม่เป็นสมาชิกของเซตเดิม เขียนแทนด้วยสัญลักษณ์ดังนี้

$$A' = \{x \mid (x \in U) \wedge (x \notin A)\} \tag{2.4}$$

ยูเนียน คือ ตัวปฏิบัติการในการสร้างเซตใหม่จากเซตเดิม 2 เซต โดยที่สมาชิกของเซตใหม่ ได้จากการรวมสมาชิกทั้งหมดที่เป็นสมาชิกของเซตใดเซตหนึ่ง หรือทั้ง 2 เซต เขียนแทนด้วยสัญลักษณ์ดังนี้

$$A \cup B = \{x \mid (x \in A) \vee (x \in B)\} \tag{2.5}$$

อินเตอร์เซคชัน คือ ตัวปฏิบัติการในการสร้างเซตใหม่จากเซตเดิม 2 เซตโดยที่สมาชิกของเซตใหม่ได้มาจากการรวมสมาชิกทั้งหมดที่เป็นสมาชิกของเซตเดิมทั้ง 2 เซต เขียนแทนด้วยสัญลักษณ์ดังนี้

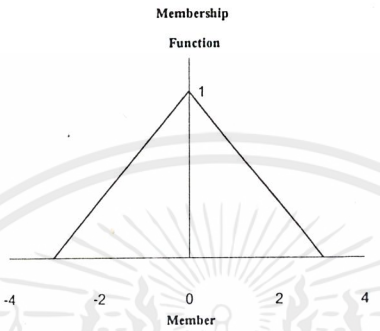
$$A \cap B = \{x \mid (x \in A) \wedge (x \in B)\} \tag{2.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 ทฤษฎีฟัซซี่เซต (Fuzzy Set Theory)

1. ฟัซซี่เซต คือ เซตของคู่อันดับ u และฟังก์ชันการเป็นสมาชิก $\mu_A(u)$ โดยที่ u เป็นสมาชิกใดๆ ของเอกภพสัมพัทธ์ U และ A เป็นฟัซซี่เซต เขียนแทนด้วยสัญลักษณ์ดังนี้

$$A = \{(u, \mu_A(u)) \,/\, u \in U\} \tag{2.7}$$



รูปที่ 2.1 แสดงฟัซซี่เซต

จากรูปที่ 2.1 จะแสดงให้เห็นถึงฟัซซี่เซต โดยกำหนดให้เอกภพสัมพัทธ์ U มีสมาชิกเป็น u = {-3,-2,-1,0,1,2,3} ซึ่งจะพบว่ามีสมาชิก u แต่ละค่าจะมีค่าระดับการเป็นสมาชิกของสมาชิกค่านั้นๆ เป็นคู่ลำดับกันไปซึ่งทำให้พิจารณาได้ว่าฟัซซี่เซต จะไม่สามารถแยกแยะการเป็นสมาชิกแต่ละค่าได้ แต่จะอยู่ในช่วง 0 ถึง 1 จึงทำให้ไม่สามารถกำหนดขอบเขตของเซตได้อย่างแน่นอนเหมือนกับเซตแบบเดิมที่มีค่าเท่ากับ 0 หรือ 1

2. ฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต (Membership Function of Fuzzy Set : $\mu_A(u)$) ฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต A ถูกนิยามให้มีค่าอยู่ภายในช่วง 0 ถึง 1 เขียนแทนด้วยสัญลักษณ์ $\mu_A(u)$

โดยที่ ค่า $\mu_A(u)$ เป็นค่าที่ระบุความเป็นสมาชิกของ u ในฟัซซีเซต A

ถ้า $\mu_A(u)$ มีค่าเท่ากับ 0 แสดงว่า u ไม่มีความเป็นสมาชิกของฟัซซีเซต A

ถ้า $\mu_A(u)$ มีค่าน้อย แสดงว่า u มีความเป็นสมาชิกของฟัซซีเซต A น้อย

ถ้า $\mu_A(u)$ มีค่ามาก แสดงว่า u มีความเป็นสมาชิกของฟัซซีเซต A มาก

ถ้า $\mu_A(u)$ มีค่าเท่ากับ 1 แสดงว่า u มีความเป็นสมาชิกของฟัซซีเซต A อย่างสมบูรณ์

จะได้ว่า $\mu_A(u) : U \rightarrow [0,1]$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. การเท่ากันของฟัซซี่เซต ฟัซซี่เซต A จะเท่ากับฟัซซี่เซต B ก็ต่อเมื่อ สมาชิก u ทุกตัวในเอกภพสัมพัทธ์ U มีค่าฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต A เท่ากับค่าฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต B เขียนแทนด้วยสัญลักษณ์ A=B

$$(A=B) \leftrightarrow (\mu_A(u) = \mu_B(u)\ ;\ \forall u \in U) \tag{2.8}$$

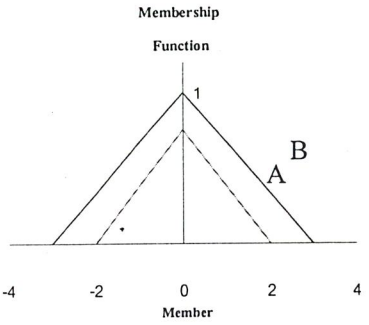
รูปที่ 2.2 แสดงการเท่ากันของฟัซซี่เซต A กับเซต B

จากรูปที่ 2.2 กำหนด U เป็นเอกภพสัมพัทธ์ และ u เป็นสมาชิกในเอกสัมพัทธ์ทั้งหมดซึ่งมีค่า {-3,-2,-1,0,1,2,3} ฟัซซี่เซต A และเซต B อยู่ในเอกภพสัมพัทธ์เดียวกัน และสมาชิกแต่ละตัวที่มีค่าเดียวกันของฟัซซี่เซต A และฟัซซี่เซต B จะมีระดับการเป็นสมาชิกเท่ากัน ทุกๆ ค่าของสมาชิกแต่ละตัว ซึ่งแสดงว่าฟัซซี่เซต A เท่ากับฟัซซี่เซต B

4. การเป็นสับเซตของฟัซซี่เซต ฟัซซี่เซต A จะเป็นสับเซตของฟัซซี่เซต B ก็ต่อเมื่อ สมาชิก u ทุกตัวในเอกภพสัมพัทธ์ U มีค่าฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต A น้อยกว่าหรือเท่ากับค่าฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต B เขียนแทนด้วยสัญลักษณ์ $A \subset B$

$$(A \subset B) \leftrightarrow (\mu_A(u) \leq \mu_B(u)\ ;\ \forall u \in U) \tag{2.9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

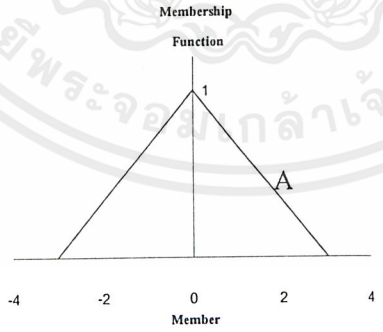


รูปที่ 2.3 แสดงการเป็นสับเซตของฟัซซี่เซต

รูปที่ 2.3 จะพบว่าระดับการเป็นสมาชิกของสมาชิก u ที่ค่าเดียวกันของทั้งฟัซซี่เซต A และ B ค่าระดับการเป็นสมาชิกของ A จะมีค่าน้อยกว่า B ทุกๆ ค่าของสมาชิก u ซึ่งแสดงถึงการที่ A เป็นสับเซตของ B

5. ซัพพอร์ตของฟัซซีเซต (Support : S(A)) ซัพพอร์ตของฟัซซีเซต คือ เซตของสมาชิก u ในเอกภพสัมพัทธ์ U ที่มีค่าฟังก์ชันการเป็นสมาชิกของฟัซซี่เซตมากกว่า 0 เขียนแทนด้วยสัญลักษณ์ ดังนี้

$$S(A) = \{ [\, u \in U \,/\, \mu_A(u) > 0 \,] \} \qquad (2.10)$$

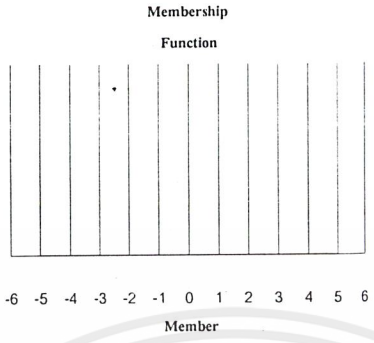


รูปที่ 2.4 แสดงซัพพอร์ตของฟัซซีเซต

จากรูปที่ 2.4 ฟัซซี่เซต A มีคุณสมบัติกับซัพพอร์ตเซต เมื่อค่าสมาชิก u ที่มากกว่า –3 แต่น้อยกว่า 3 มีระดับการเป็นสมาชิกมากกว่า 0 แต่ถ้าตำแหน่งที่สมาชิก u มีระดับการเป็นสมาชิกเท่ากับ 0 จะไม่เป็นซัพพอร์ตเซต

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. ฟัซซี่ซิงเกิลตัน (Fuzzy Singletion) คือ ฟัซซี่เซตที่มีซัพพอร์ตของเซตมีสมาชิกเพียงตัวเดียว และมีค่าฟังก์ชันการเป็นสมาชิกเท่ากับ 1

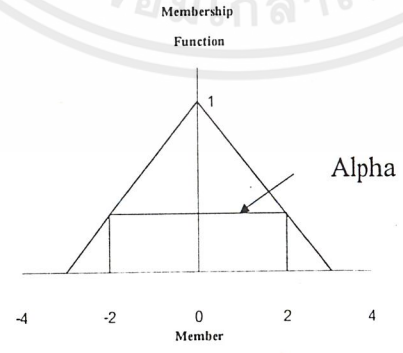


รูปที่ 2.5 แสดงฟัซซี่ซิงเกิลตัน

จากรูปที่ 2.5 จะพบว่าสมาชิกของแต่ละเซตจะมีค่าเดียว และจะต้องมีระดับการเป็นสมาชิกเท่ากับหนึ่งด้วย

7. เซตอัลฟ่าเลเวล (α-Level) ของฟัซซี่เซต (A_α) เซตของฟัซซี่เซตอัลฟ่าเลเวล A คือ เซตของสมาชิก u ในเอกภพสัมพัทธ์ U ที่มีค่าฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต A มากกว่าหรือเท่า α เขียนแทนด้วยสัญลักษณ์ดังนี้

$$A_\alpha = \{ [\, u \in U \;/\; \mu_A(u) \geq \alpha] \} \tag{2.11}$$



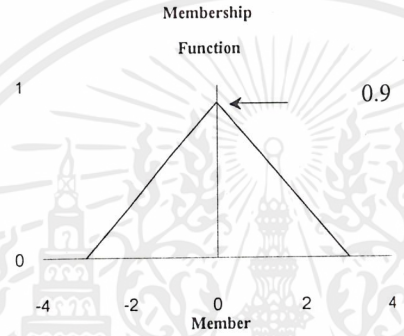
รูปที่ 2.6 แสดงอัลฟ่าเลเวล (α-Level) ของฟัซซี่เซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.6 จะพบว่าอัลฟ่าเลเวลของฟัซซี่เซต A จะมีสมาชิกอยู่ในช่วงที่มากกว่า –2 แต่น้อยกว่า 2 ซึ่งเป็นช่วงที่มีระดับการเป็นสมาชิกมากกว่าระดับ α

8. ความสูงของฟัซซี่เซต (Height of Fuzzy Set) ความสูงของฟัซซี่เซต A คือ ค่าฟังก์ชันการเป็นสมาชิกสูงสุดของฟัซซี่เซต A เขียนแทนด้วยสัญลักษณ์ hgt (A)

$$hgt\ (A) = MAX\ \mu_A(u) \quad : \ u \in U \tag{2.12}$$



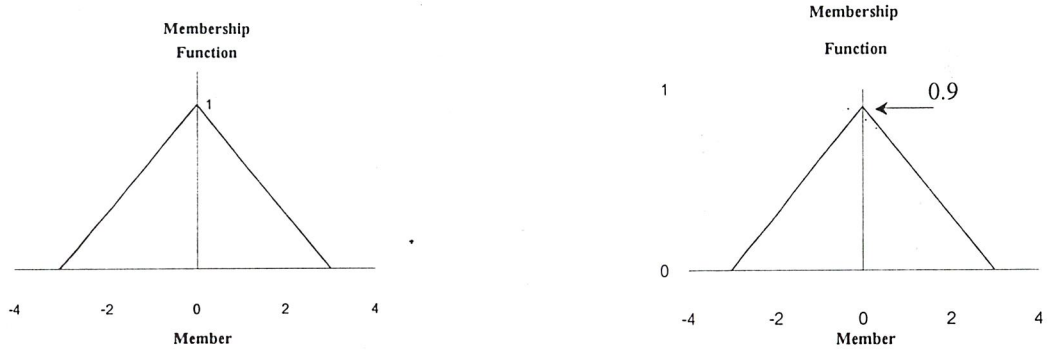
รูปที่ 2.7 แสดงความสูงของฟัซซี่เซต

จากรูปที่ 2.7 จะพบว่าค่าสูงสุดของฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต A มีค่าเท่ากับ 0.9 ซึ่งแสดงว่า ความสูงของฟัซซี่เซต A มีค่าเท่ากับ 0.9

9. คุณสมบัติของนอมอลไลซ์ฟัซซี่เซต (Normalization) ฟัซซี่เซต A จะมีคุณสมบัติการนอมอลไลซ์ก็ต่อเมื่อ ฟัซซี่เซต A มีความสมบูรณ์เท่ากับ

$$A\ is\ Normalized \leftrightarrow hgt\ (A) = 1 \tag{2.13}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



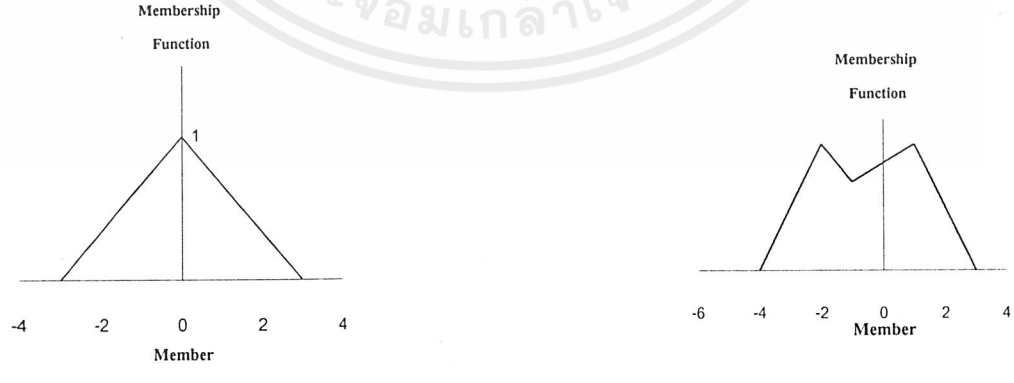
(ก) (ข)

รูปที่ 2.8 **(ก)** แสดงคุณสมบัติการนอมอลไลซ์ฟัซซี่เซต
(ข) แสดงฟัซซี่เซตที่ไม่มีคุณสมบัติการนอมอลไลซ์

จากรูปที่ 2.8 (ก) แสดงการนอมอลไลซ์ฟัซซี่เซตเนื่องมาจากมีสมาชิกที่มีระดับการเป็นสมาชิกเท่ากับ 1 ส่วนในรูปที่ 2.8 (ข) จะไม่มีคุณสมบัติการนอมอลไลซ์ เนื่องจากสมาชิกไม่มีระดับการเป็นสมาชิกเท่ากับ 1

10. คุณสมบัติการคอนเวกซ์ของฟัซซี่เซต (Convexity) ฟัซซี่เซต A จะมีคุณสมบัติการคอนเวกซ์ ก็ต่อเมื่อ ฟังก์ชันการเป็นสมาชิกของ A สอดคล้องตามเงื่อนไขดังต่อไปนี้

$$A \text{ is Convexity} \leftrightarrow \mu_A(\lambda u_1 + (1-\lambda)u_2) \geq \min\{\mu_A(u_1), \mu_A(u_2)\}\ ;\ u_1, u_2 \in U,\ \lambda \in [0,1] \qquad (2.14)$$



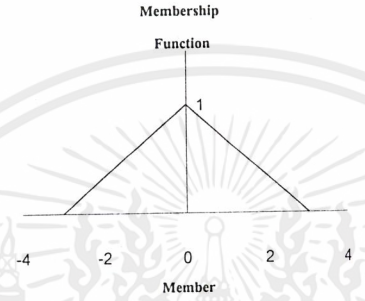
(ก) (ข)

รูปที่ 2.9 **(ก)** แสดงการคอนเวกซ์ของฟัซซี่เซต
(ข) แสดงฟัซซี่เซตที่ไม่มีคุณสมบัติการคอนเวกซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.9 (ก) ฟัซซี่เซต A จะมีคุณสมบัติของการคอนเวกซ์ได้ก็ต่อเมื่อ ฟัซซี่เซตมีค่าระดับการเป็นสมาชิกที่มีค่าสูงสุดเพียงค่าเดียวโดยไม่จำเป็นต้องมีความสูงเท่ากับ 1 ซึ่งส่วนในรูปที่ 2.9 (ข) จะมีความสูงของระดับการเป็นสมาชิกสูงสุดมากกว่า 1 ค่า จึงไม่มีคุณสมบัติการคอนเวกซ์

11. ฟัซซี่เซตนัมเบอร์ (Fuzzy Number) คือ ฟัซซี่เซตที่มีคุณสมบัติการนอมอลไลซ์และการคอนเวกซ์



รูปที่ 2.10 แสดงฟัซซี่เซตนัมเบอร์

จากรูปที่ 2.10 จะพบว่าฟัซซี่นัมเบอร์จะเกิดขึ้นได้ก็ต่อเมื่อจะต้องมีคุณสมบัติการนอมอลไลซ์ ก็คือ ค่าสูงสุดของฟังก์ชันการเป็นสมาชิกนั้นจะต้องมีค่าเท่ากับ 1 และจะต้องมีคุณสมบัติการคอนเวกซ์ คือ จะต้องมีค่าสูงสุดของฟังก์ชันการเป็นสมาชิกค่าเดียว ซึ่งเมื่อนำทั้งสองคุณสมบัติการรวมกันจะได้คุณสมบัติของฟัซซี่นัมเบอร์ คือจะต้องมีคุณสมบัติมีค่าฟังก์ชันการเป็นสมาชิกสูงสุดเท่ากับ 1 และจะต้องมีเพียงค่าเดียวในเซตนั้นๆ

12. คาร์ดินาลิตีของฟัซซี่เซต (Cardinality)

สกาลาร์คาร์ดินาลิตี (Scalar Cardinality) ของฟัซซี่เซต A บนเอกภพสัมพัทธ์ U คือ ผลบวกของค่าฟังก์ชันการเป็นสมาชิกของ u ทุกตัวในฟัซซี่เซต A เขียนแทนด้วยสัญลักษณ์ ดังนี้

$$/A/ = \Sigma \mu_A(u) \quad ; \qquad u \in U \tag{2.15}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คาร์ดินาลิตีสัมพัทธ์ (Relation Cardinality) ของฟัซซี่เซต A บนเอกภพสัมพัทธ์ U คือ อัตราส่วนระหว่างค่าสกาลาร์คาร์ดินาลิตีของฟัซซี่เซต A กับสกาลาร์คาร์ดินาลิตีของเอกภพสัมพัทธ์ U เขียนแทนด้วยสัญลักษณ์ ดังนี้

$$\|A\| = \cdot |A| / |U| \tag{2.16}$$

13. ปฏิบัติการพื้นฐานของฟัซซี่เซต (Fuzzy Set Operations) กำหนดฟัซซี่เซต A, B ในเอกภพสัมพัทธ์ U แสดงการกระทำ ดังนี้

13.1 Union $\mu_A \cup \mu_B(u) = \mu_A(u) \vee \mu_B(u)$

13.2 Intersection $\mu_A \cap \mu_B(u) = \mu_A(u) \wedge \mu_B(u)$

2.2 ฟัซซี่ลอจิก (Fuzzy Logic) [5], [6]

2.2.1 ทฤษฎีตรรกศาสตร์แบบเดิม

ทฤษฎีตรรกศาสตร์ซึ่งเป็นหลักการพื้นฐานของการหาข้อสรุปโดยใช้เหตุผล ประกอบด้วย 3 ส่วน คือ ค่าความจริง (Truth Value) การปฏิบัติการตรวจดูให้แน่ใจและวิธีการหาข้อสรุปตามหลักการเหตุผล (Reasoning Procedure) ในตรรกศาสตร์บูลีน ได้นิยามส่วนประกอบแต่ละส่วนดังนี้

1. ค่าความจริงของประพจน์ในตรรกศาสตร์บูลีน ประพจน์ในตรรกศาสตร์บูลีน จะมีค่าความจริงเท่ากับ 0 เมื่อประพจน์เป็นเท็จ และมีค่าความจริงเท่ากับ 1 เมื่อประพจน์เป็นจริง

2. ปฏิบัติการทางตรรกศาสตร์บูลีน ถูกนิยามไว้ด้วยค่าความจริงของประพจน์ ดังแสดงในตารางที่ 2.1

ตารางที่ 2.1 แสดงค่าความจริงของประพจน์ในการปฏิบัติการทางตรรกศาสตร์บูลีน

A	B	$\wedge$	$\vee$	X$\vee$	$\rightarrow$	$\leftrightarrow$
1	1	1	1	0	1	1
1	0	0	1	1	0	0
0	1	0	1	1	1	0
0	0	0	0	0	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. การหาข้อสรุปตามหลักการเหตุผล โดยใช้ทฤษฎีตรรกศาสตร์แบบเดิมจะใช้สัจจนิรันดร์ (tautology) สำหรับเป็นพื้นฐานในการหาข้อสรุป ตัวอย่างสัจจนิรันดร์ที่ใช้เป็นพื้นฐานในการหาข้อสรุปตามหลักการเหตุผล แสดงดังนี้

modus ponens : $(A \wedge (A \rightarrow B)) \rightarrow B$

modus tollens : $((A \rightarrow B) \wedge \text{-}B)) \rightarrow (\text{-}A)$

sylogism : $((A \rightarrow B) \wedge (B \rightarrow C)) \rightarrow (A \rightarrow C)$

contraposition : $(A \rightarrow B) \wedge ((\text{-}B) \rightarrow (\text{-}A))$

2.2.2 ทฤษฎีฟัซซี่ลอจิก

ฟัซซี่ลอจิกเป็นทฤษฎีทางตรรกศาสตร์ ที่ขยายมาจากทฤษฎีตรรกศาสตร์หลายค่า (multivalued logic) โดยนิยามค่าความจริงของประพจน์เป็นตัวแปรลิงกวิสติก ได้มีการนิยามการปฏิบัติการทางตรรกศาสตร์สำหรับฟัซซี่ลอจิกต่างๆ กัน ในปริญญานิพนธ์นี้ จะอ้างนิยามดั้งเดิมของ Zadeh

ตัวแปรลิงกวิสติก (Linguistic Variable)

ตัวแปรลิงกวิสติกคือตัวแปรทางภาษา เหตุที่เรียกว่าตัวแปรทางภาษาก็อันเนื่องมาจาก มีการใช้ตัวแปรนี้มาแทนความรู้สึกของมนุษย์ ซึ่งเป็นสิ่งที่บอกขอบเขตที่แน่นอนไม่ได้ โดยสามารถนิยามตัวแปรลิงกวิสติก "Truth" ดังสมการต่อไปนี้

T(Truth) = { not true, very true, not very true, … , not false, very false, not very false, … , }

- นิยามเทอมปฐม (primary term) ของตัวแปรลิงกวิสติก "Truth" คือ "ture" และ "false"
- นิยามส่วนขยาย (modifier or hedge) ของตัวแปรลิงกวิสติก คือ not, very, not very,…,
- นิยาม T คือ ตัวแปรลิงกวิสติก

ซึ่งจากนิยามทั้งหมดข้างต้น สามารถที่จะยกตัวอย่างตัวแปรลิงกวิสติก หรือความรู้สึกของมนุษย์ที่เกิดขึ้นในชีวิตประจำวันเป็นสมการได้ดังนี้

ถ้ามองที่ผิวของคนๆ หนึ่งสมมุติว่าชื่อสมชาย จะพบว่าแต่ละความรู้สึกของคนอื่นๆ ที่มองดูที่ผิวของสมชายแล้วบอกถึงที่ไม่ตรงกัน แต่สามารถที่จะแบ่งได้กว้างๆ ว่าเป็นสีขาว และสีดำ ฉะนั้นจึงสามารถที่จะกำหนดให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

● เทอมปฐม (primary term) ของตัวแปรลิงกวิสติก "ผิว" คือ "ขาว" และ "ดำ"และเมื่อมองความรู้สึกของคนเหล่านั้น สามารถที่จะแยกความรู้สึกย่อยออกไปได้ว่า ขาวมากๆ ขาวมาก ขาว ดำ ดำมาก ดำมากๆ ซึ่งจากข้อความตรงนี้เองที่สามารถกำหนดส่วนขยายของตัวแปรลิงกวิสติกได้คือ

● ส่วนขยาย (modifier or hedge) ของตัวแปรลิงกวิสติก คือ มากๆ มาก ไม่รู้สึกมาก หรือน้อย

ซึ่งสามารถที่จะนำมาเขียนเป็นตัวแปรลิงกวิสติกได้ดังนี้

● T(ผิว) = { ขาวมากๆ, ขาวมาก, ขาว, ดำ, ดำมาก, ดำมากๆ }

ซึ่งจากนิยามและตัวอย่างทั้งหมดจะสามารถนำไปใช้กำหนดฟัซซี่เซตได้ โดยกำหนดได้เป็นเซตของ ขาวมากๆ ขาวมาก ขาว ดำ ดำมาก ดำมากๆ ซึ่งรูปร่างของเซตจะต้องใช้ความชำนาญหรือข้อมูลทางสถิติมาใช้เป็นตัวกำหนดว่าช่วงของแต่ละเซตว่าควรมีค่าระดับการเป็นสมาชิกเท่าใด ซึ่งจะทำให้เกิดรูปร่างของเซตนั้นขึ้นมา

1. ค่าความจริงของประพจน์ในทฤษฎีฟัซซี่ลอจิก

กำหนดให้ V(A) เป็นฟัซซี่เซตในเอกภพสัมพัทธ์ V

โดย V(A) จะแทนค่าความจริงของประพจน์ A

ซึ่ง V จะแทนเอกภพสัมพัทธ์ โดย V = [0,1]

ในที่นี้หมายความว่าประพจน์ A จะมีค่าความจริงอยู่ในช่วงของเอกภพสัมพัทธ์คือ 0 ถึง 1 ซึ่งต่างจากประพจน์ของเซตแบบเดิมที่มีค่า 2 ค่า คือ 0 และ 1

จะได้ $v(A) = \{ (v_i, \mu_i) \mid i = 1,2,\ldots,n ; v_i \in [0,1] \}$

$v(\text{not } A) = 1\text{-}v(A) = \{ (1\text{-}v_i, \mu_i) \mid = 1,2,\ldots,n ; v_i \in [0,1] \}$

2. การหาข้อสรุปตามหลักการเหตุผลโดยใช้ทฤษฎีฟัซซี่ลอจิก

การที่จะหาข้อสรุปตามหลักการเหตุผล โดยใช้ทฤษฎีฟัซซี่ลอจิก จะเป็นการขยายนิยามของสัจจนิรันดร์ที่ใช้ในตรรกศาสตร์แบบเดิม เพื่อใช้หาข้อสรุปตามหลักการเหตุผลของประพจน์ที่เป็นฟัซซี่เซต โดยนำการขยายนิยามของโมดุสโพเนนส์ (Modus Ponens) สำหรับฟัซซี่ลอจิก เรียกว่า หลักการโมดุสโพเนนส์ (Generalized Modus Ponens : GMP)

● หลักการโมดุสโพเนนส์ คือ การหาข้อสรุปจากเหตุไปหาผล ซึ่งการหาข้อสรุปของฟัซซี่โดยนำหลักการของในตรรกศาสตร์แบบเดิมมาใช้นั้น จะมีหลักการคล้ายกันคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้ A_1 แทนหลักฐานแบบฟัซซี่ (Fuzzy Promise)

$A_2 \rightarrow B$ แทนการแจงเหตุสู่ผลแบบฟัซซี่ (Fuzzy Implication)

A_1 O $(A_2 \rightarrow B)$ แทนข้อสรุปแบบฟัซซี่ (Fuzzy Conclusion)

ซึ่งจากข้อกำหนดข้างต้นมีความหมายว่าเหตุการณ์ A_1 ที่เกิดขึ้น ซึ่งจะเป็นหลักฐานแบบฟัซซี่ไม่จำเป็นต้องเหมือนกับเหตุการณ์ A_2 ใน $(A_2 \rightarrow B)$ ทุกประการ ฉะนั้นข้อสรุปแบบฟัซซี่จึงต้องทำการคอมโพสิชัน (Composition (O)) ระหว่าง A_1 และ $(A_2 \rightarrow B)$ จึงจะได้ ข้อสรุปแบบฟัซซี่ออกมา ซึ่งข้อสรุปที่ได้จะต้องมาจากการนำ A_1 ไปทำการคอมโพสิชันกับ $(A_2 \rightarrow B)$ เพราะ A_1 และ A_2 ไม่เหมือนกันทั้งหมด จึงทำให้ฟัซซี่ลอจิกไม่สามารถหาข้อสรุปได้ในทันที อันเนื่องมาจากมีข้อสรุปมากมายที่เป็นไปได้ เพราะค่าความจริงของฟัซซี่ลอจิกจะมีค่าอยู่ในช่วง 0 ถึง 1 ไม่ใช่มีแค่ 0 และ 1 เหมือนอย่างในตรรกศาสตร์แบบเดิม ซึ่งเมื่อทำการคอมโพสิชันแล้ว ข้อสรุปที่ได้นั้นอาจจะมีค่าความจริงประมาณ 0.5 โดยค่าความจริงได้มาจากการคอมโพสิชัน จะขึ้นอยู่กับการกำหนดรูปร่างของเซต A_1, A_2 และ B

2.3 ผลคูณคาร์ทีเซียน (Cartesian Relation) [3], [6]

กำหนดให้ $A_1, \ldots, A_u$ เป็นฟัซซี่เซตในเอกภพสัมพัทธ์ $U_1, \ldots, U_u$

โดยที่ $u_1, \ldots, u_u \in U_1, \ldots, U_u$

ผลคูณคาร์ทีเซียนของ $A_1, \ldots, A_u$ คือฟัซซี่เซตในเอกภพสัมพัทธ์ $U_1 \times \ldots \times U_u$ ที่มีฟังก์ชันการเป็นสมาชิกดังนี้

$$\mu_{A_1 \times \ldots \times A_n}(u_1, \ldots, u_n) = \min\{\mu_{A_1}(u_1), \ldots, \mu_{A_n}(u_n)\} \tag{2.17}$$

ตัวอย่าง ถ้า $A_1 = \{(1,0.2), (2,0.5), (3,1.0), (4,0.6)\}$

$A_2 = \{(4,0.1), (5,0.4), (6,0.9), (7,0.3)\}$

ผลคูณคาร์ทีเซียน ของ $A_1 \times A_2$ หาได้จาก

โดย $\mu_{A_1 \times A_2} = \min\{\mu_{A_1}(u_1), \mu_{A_2}(u_2)\}$

โดย u_1, u_2 แทนสมาชิกของเซต A_1 และ A_2 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ซึ่งจากรูปที่ 2.11 แสดงการหาความสัมพันธ์ ของ A_1 x A_2 ซึ่งในการหาความสัมพันธ์ดังในรูปจะใช้วิธีการคำนวณโดยใช้ผลคูณคาร์ทีเซียน ซึ่งจะจับคู่ของระดับการเป็นสมาชิกทุกคู่ ซึ่งในแต่ละคู่จะเลือกใช้เฉพาะค่าที่มีค่าน้อยเป็นคำตอบ

$A_1 \times A_2 =$ A_1

	A_2 1	2	3	4
1	0.1	0.2	0.2	0.2
2	0.1	0.4	0.5	0.3
3	0.1	0.4	0.9	0.3
4	0.1	0.4	0.6	0.3

รูปที่ 2.11 แสดงความสัมพันธ์ฟัซซี่

2.4 ความสัมพันธ์ฟัซซี่ (Fuzzy Relation) [3], [6]

กำหนดให้ R เป็นความสัมพันธ์ฟัซซี่จากเซต A ไปยัง ฟัซซี่เซต B

โดยที่ A เป็นฟัซซี่เซตในเอกภพสัมพัทธ์ U

และ B เป็นฟัซซี่เซตในเอกภพสัมพัทธ์ V

จะได้ว่า $R(u \times v) = A \times B = \{((u,v),\mu_R(u,v)) \mid (u,v) \in U \times V\}$

$\mu_R(u,v) = \mu_A \times B(u,v) = \min\{\mu_A(u), \mu_B(v)\}$ min – intersection

โดยที่ min – intersection คือการปฏิบัติการอินเตอร์เซคชันของฟัซซี่ โดยจะมีหลักการปฏิบัติการ คือ จะทำการเลือกค่าระดับการเป็นสมาชิกที่มีค่าต่ำสุด ที่อยู่ในขอบเขตที่พิจารณา

ตัวอย่างเช่น ถ้ามีกลุ่มเซตกลุ่มหนึ่งประกอบด้วย เซต A และ เซต B ที่อยู่ในขอบเขตที่พิจารณาและมี u ใดๆ เป็นสมาชิกของเซตทั้ง 2 ดังนั้นถ้ามีสมาชิก u ค่าใดค่าหนึ่งเกิดขึ้นแล้วทำให้ได้ระดับการเป็นสมาชิกของเซต A เท่ากับ 0.7 ($\mu_A(u) = 0.7$) และระดับการเป็นสมาชิกของเซต B เท่ากับ 0.3 ($\mu_B(u) = 0.3$) ซึ่งถ้ามีการนำข้อมูลที่เกิดขึ้นนี้มาทำ min – intersection จะสามารถเขียนได้ว่า $\min\{\mu_A(u),\mu_B(u)\}$ หรือ $\min\{0.7,0.3\}$ และจะได้คำตอบของการกระทำ min – intersection มีค่าเท่ากับ 0.3 เนื่องจากเป็นค่าที่ต่ำที่สุดของขอบเขตที่พิจารณาคือ 0.3 และ 0.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

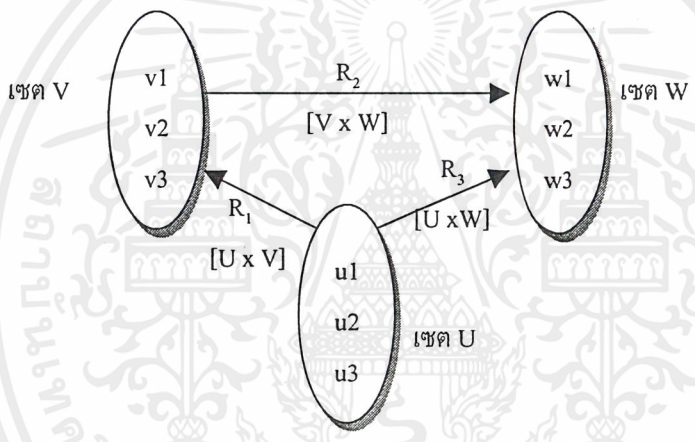
42518

โดยในการหาความสัมพันธ์ดังแสดงในรูปที่ 3.1 ซึ่งเป็นการหาความสัมพันธ์ของ A_1 x A_2 โดยใช้วิธีการคำนวณโดยใช้ผลคูณคาร์ทีเซียน ซึ่งส่งผลให้ได้ความสัมพันธ์ของสมาชิกแต่ละคู่ของเซต A_1 และ A_2

2.5 การคอมโพสิชันแบบฟัซซี่ (Fuzzy Composition) [3], [6]

กำหนดให้ $R_1(u,v)$ เป็นความสัมพันธ์จากเอกภพสัมพัทธ์ U ไป V โดยที่ $(u,v) \in U \times V$ และ $R_2(u,w)$ เป็นความสัมพันธ์จากเอกภพสัมพัทธ์ U ไป W โดยที่ $(u,w) \in U \times W$

การคอมโพสิชัน คือ ปฏิบัติการในการหาความสัมพันธ์ของ $R_3(u,w)$ จากความสัมพันธ์ที่ถ่ายทอดต่อเนื่องกันเป็นลูกโซ่ $R_1(u,v)$ และ $R_2(v,w)$



รูปที่ 2.12 การคอมโพสิชันของความสัมพันธ์ฟัซซี่

กำหนดให้ $R_1(u,v)$ เป็นความสัมพันธ์ฟัซซี่ บนระนาบ U x V โดยที่ $(u,v) \in U \times V$

$R_2(v,w)$ เป็นความสัมพันธ์ฟัซซี่ บนระนาบ V x W โดยที่ $(v,w) \in V \times W$

การคอมโพสิชันของความสัมพันธ์ฟัซซี่ที่ใช้ในปริญญานิพนธ์นี้และเป็นวิธีการที่นิยมมากที่สุดจะใช้วิธีของการ Max-Min Composition ซึ่งถูกนิยามดังนี้

Max-Min Composition

$$R_3 = R_1 \, O \, R_2 = \{((u,w), max\{min[\mu_{K1}(u,v), \mu_{K2}(v,w)]\}) \,/\, u \in U, v \in V, w \in W\} \qquad (2.18)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งในการทำการคอมโพสิชันก็ยังมีวิธีการอื่นๆ อีกที่ไม่ได้นำมาใช้ในปริญญานิพนธ์นี้ซึ่งจะแสดงนิยามให้เห็นได้ดังต่อไปนี้

Max – Product Composition

$$R_3 = R_1 * R_2 = \{((u,w), max\{\mu_{K1}(u,v) \bullet \mu_{K2}(v,w)\}) / u \in U, v \in V, w \in W\} \quad (2.19)$$

Max – Average Composition

$$R_3 = R_1 \, av \, R_2 = \{((u,w), max\{\mu_{K1}(u,v) + \mu_{K2}(v,w)/2\}) / u \in U, v \in V, w \in W\} \quad (2.20)$$

Min – Max Composition

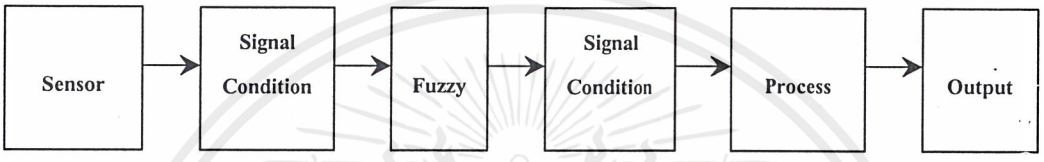
$$R_3 = R_1 \bullet R_2 = \{((u,w), min\{max[\mu_{K1}(u,v), \mu_{K2}(v,w)]\}) / u \in U, v \in V, w \in W\} \quad (2.21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ตัวควบคุมแบบฟัซซี่

3.1 บทนำ

ระบบควบคุมแบบฟัซซี่ลอจิกเป็นระบบควบคุมที่เลียนแบบความคิดของมนุษย์ คือการประมาณจากปัจจัยหรือตัวแปรต่างๆ ของระบบเพื่อทำการสรุปหาผล โดยมีรูปแบบการควบคุมดังรูปที่ 3.1 ซึ่งอาศัยทฤษฎีของฟัซซี่เซต และฟัซซี่ลอจิก

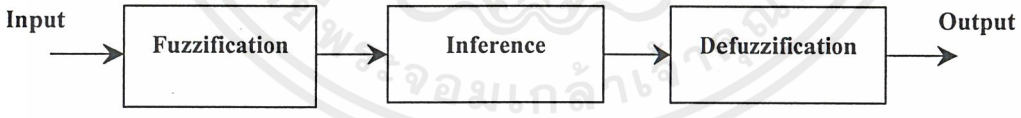


รูปที่ 3.1 บล็อกไดอะแกรมการควบคุมด้วยตัวควบคุมแบบฟัซซี่

ตัวควบคุมแบบฟัซซี่ลอจิกมีโครงสร้างพื้นฐาน 3 ส่วนประกอบด้วยกันคือ

- หน่วยฟัซซิฟิเคชัน
- กฎการควบคุมฟัซซี่
- หน่วยดีฟัซซิฟิเคชัน

ซึ่งพื้นฐานทั้ง 3 ส่วนนี้สามารถแสดงได้ด้วยรูปที่ 3.2

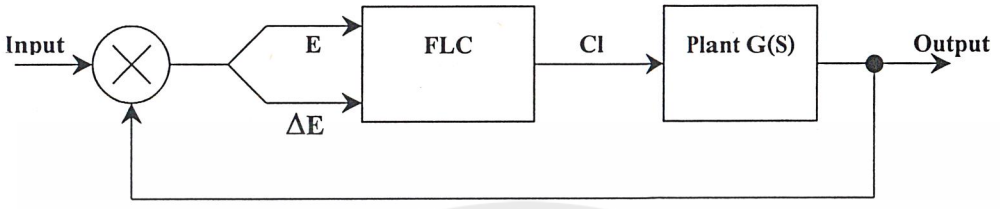


รูปที่ 3.2 บล็อกไดอะแกรมของระบบฟัซซี่ (Fuzzy System)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 หน่วยฟัซซิฟิเคชัน

การเปลี่ยนคลิซป์เซตเป็นฟัซซี่เซตคือการเปลี่ยนค่าความผิดพลาด [Error (E)] และการเปลี่ยนแปลงค่าความผิดพลาด [Change of Error (ΔE)] ให้อยู่ในรูปของตัวแปรฟัซซี่โดยตัวแปรทั้งสองตัวนั้นสามารถแสดงด้วยรูปที่ 3.3



รูปที่ 3.3 กระบวนการควบคุมด้วยตัวควบคุมแบบฟัซซี่

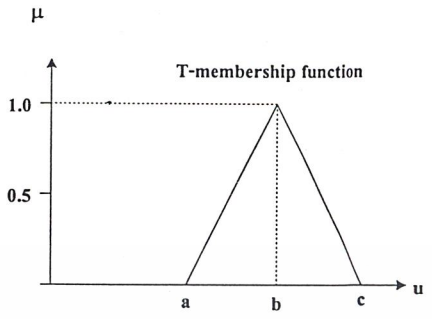
วิธีการฟัซซิฟิเคชันมีด้วยกัน 3 วิธีฟัซซี่ซิงเกิลตัน วิธีฟัซซี่นัมเบอร์ และวิธีไฮบริดนัมเบอร์ แต่ละวิธีจะมีความเหมาะสมกับลักษณะของสัญญาณอินพุทที่แตกต่างกันออกไป ในกรณีที่ต้องการลดผลกระทบของสัญญาณรบกวนที่จะมีผลต่อสัญญาณวัดที่ได้จากตัวตรวจจับ วิธีการฟัซซิฟิเคชันโดยใช้ฟัซซี่นัมเบอร์จะมีความคงทนต่อสัญญาณรบกวนมากกว่าวิธีอื่นๆ ดังนั้นในปริญญานิพนธ์นี้จึงเลือกใช้วิธีฟัซซี่นัมเบอร์

การกำหนดรูปร่างของฟังก์ชันการเป็นสมาชิกของแต่ละตัวแปรอินพุทมีอยู่หลายรูปแบบ เช่น รูปสามเหลี่ยม รูปสี่เหลี่ยมคางหมู รูประฆังคว่ำ เป็นต้น ทั้งนี้การกำหนดรูปร่างของฟังก์ชันการเป็นสมาชิกจะขึ้นอยู่กับความสัมพันธ์ของอินพุทในเอกภพสัมพัทธ์กับฟัซซี่เซตของตัวแปรอินพุท คือ ถ้าความสัมพันธ์เป็นแบบเชิงเส้น ก็ควรจะกำหนดรูปร่างของฟังก์ชันการเป็นสมาชิกเป็นแบบเชิงเส้น เช่น รูปสามเหลี่ยม หรือรูปสี่เหลี่ยมคางหมู และถ้าความสัมพันธ์เป็นแบบไม่เชิงเส้น ก็ควรจะกำหนดรูปร่างของฟังก์ชันการเป็นสมาชิกเป็นแบบไม่เป็นเชิงเส้น เช่น รูประฆังคว่ำ เป็นต้น ซึ่งในปริญญานิพนธ์นี้ จะกำหนดให้รูปร่างของฟังก์ชันการเป็นสมาชิกเป็นรูปสามเหลี่ยมด้านเท่า หรือแบบ T-Function ตามสมการที่ 3.1 เพราะต้องการความสัมพันธ์ของอินพุทในเอกภพสัมพัทธ์กับฟัซซี่เซตของตัวแปรอินพุทเป็นแบบเชิงเส้น และง่ายต่อการออกแบบวงจร อีกทั้งยังใช้เวลาน้อยในการคำนวณของวงจรอีกด้วย

$$A(x) = \begin{cases} f(x) & \text{for} \quad x \in [a,b] \\ 1 & \text{for} \quad x \in [b,c] \\ g(x) & \text{for} \quad x \in [c,d] \\ 0 & \text{for} \quad x<a \text{ and } x>d \end{cases} \tag{3.1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งสามารถแสดงด้วยรูปที่ 3.4



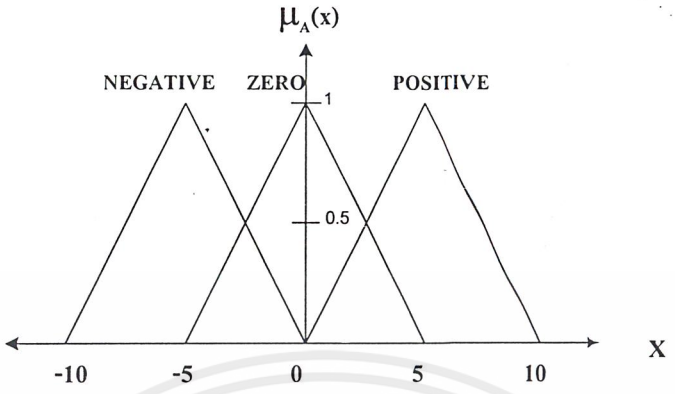
รูปที่ 3.4 กราฟแสดงความเป็นสมาชิก

เนื่องจากในการอินเฟอเรนซ์แบบฟัซซี่นั้น ต้องการให้เกิดกิริยาระหว่างกันของกฎการควบคุมมากกว่า 1 กฎ ดังนั้นจึงเกิดการซ้อนทับกัน (Overlap) โดยการกำหนดเปอร์เซ็นต์การซ้อนทับกันจะขึ้นอยู่กับความคลุมเครือหรือความซับซ้อนของระบบ ซึ่งโดยปกติจะออกแบบให้มีเปอร์เซ็นต์การซ้อนทับกันของฟัซซี่เซตประมาณ 15-25% และการซ้อนทับกันของฟัซซี่เซตนั้นไม่ควรให้มีการซ้อนทับกันมากกว่า 2 เซต เนื่องจากหากมีการเปลี่ยนแปลงของกฎการควบคุมใดๆ จะทำให้มีผลกระทบต่อการควบคุมของกฎที่อยู่ติดกันมาก และในปริญญานิพนธ์นี้ออกแบบให้มีการซ้อนทับกันของฟัซซี่เซต 2 เซตที่ 25% เพื่อให้ง่ายต่อการคำนวณ

ดังนั้นในปริญญานิพนธ์นี้กำหนดให้การฟัซซิฟิเคชันเป็นแบบวิธีฟัซซี่นัมเบอร์ มีรูปร่างของฟังก์ชันการเป็นสมาชิกเป็นแบบสามเหลี่ยมด้านเท่า และมีการซ้อนทับกันของฟัซซี่เซต 2 เซตที่ 25% ดังรูปที่ 3.5

การนิยามฟัซซี่เซตแบบบวก [Positive (P)] แบบศูนย์ [Zero (Z)] แบบลบ [Negative (N)] และการกำหนดฟังก์ชันการเป็นสมาชิกของตัวแปรค่าความผิดพลาด การเปลี่ยนแปลงค่าความผิดพลาด และ ค่าควบคุม [Control Input (CI)] จะเป็นดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ฟังก์ชันการเป็นสมาชิกของตัวแปรค่าความผิดพลาด (E) การเปลี่ยนแปลงค่าความผิดพลาด (ΔE) และค่าควบคุม (CI)

3.3 กฎการควบคุมฟัซซี่

กฎการควบคุม (Inference) คือการสร้างความสัมพันธ์ระหว่างอินพุทด้วยกัน เพื่อให้ได้เอาท์พุทโดยอาศัยกฎ (Rule) เป็นตัวสร้างความสัมพันธ์ โดยการเลือกวิธีการวินิจฉัยจะขึ้นอยู่กับการเลือกใช้ตัวปฏิบัติการ t-norm และ s-norm ในการทำ CRI วิธีที่นิยมมากที่สุดคือ วิธี CRI ของ Zadeh เนื่องจากสะดวกและใช้เวลาน้อยในการคำนวณ ซึ่งกฎที่ว่านี้จะอยู่ในรูปของ ถ้า...แล้ว... (If/Then) และใช้เทคนิค Max-Min ซึ่งเป็นวิธีที่ง่ายต่อการคำนวณหาค่าเอาท์พุท ดังตัวอย่างเช่น

R_1 : IF E_1 = N AND ΔE_1 = P THEN CI_1 = Z

OR

R_2 : IF E_2 = Z AND ΔE_2 = Z THEN CI_2 = Z

OR

.

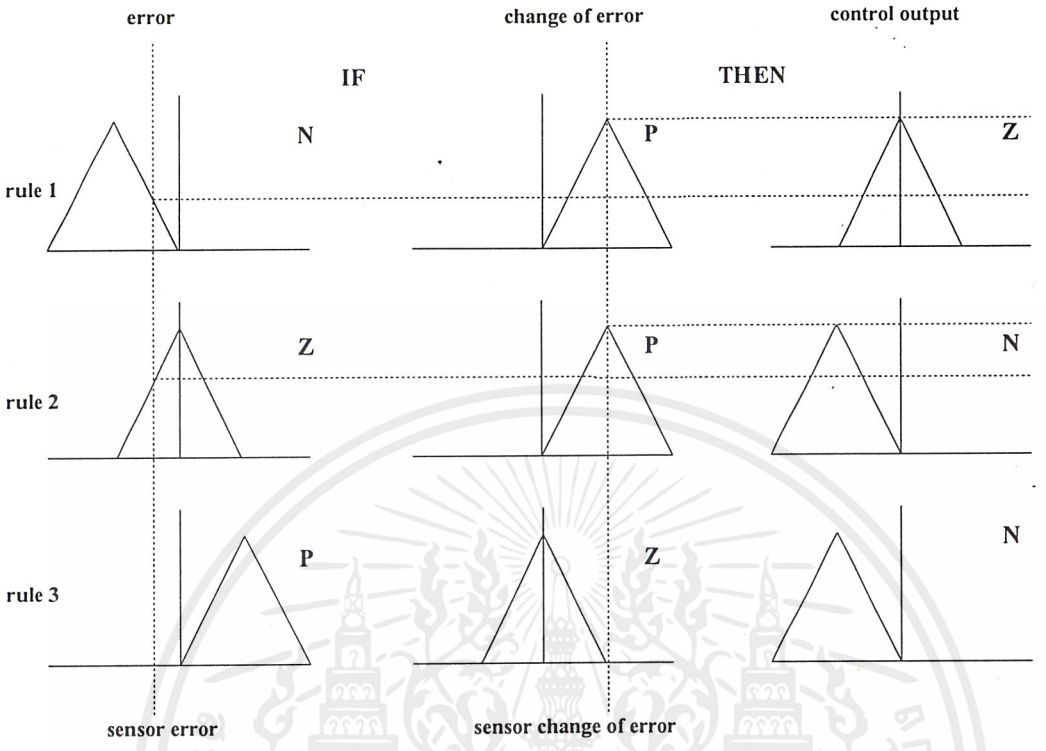
OR

R_n : IF E_n = P AND ΔE_n = P THEN CI_n = P

หมายเหตุ : P=Positive , N=Negative , Z=Zero

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากความสัมพันธ์ดังกล่าวข้างต้นสามารถแสดงด้วยรูปที่ 3.6



รูปที่ 3.6 แสดงกฎการควบคุม

3.4 หน่วยดีฟัซซิฟิเคชัน

การเปลี่ยนฟัซซี่เซตเป็นคลิซป์เซต คือ การนำเอาผลลัพธ์ที่ได้จากขั้นตอนการวินิจฉัยทั้งหมดมาหาค่าเอาท์พุท โดยเทคนิคและวิธีการเปลี่ยนฟัซซี่เซตเป็นคลิซป์เซตมีหลายวิธีด้วยกัน ในที่นี้จะใช้วิธีคำนวณแบบจุดศูนย์ถ่วง (Center of Gravity) ซึ่งเป็นวิธีที่มีการพิจารณาผลของอินพุททุกตัวทำให้ได้ค่าที่ถูกต้องกว่าวิธีอื่นและยังง่ายต่อการออกแบบวงจร [6], [7] โดยมีสมการดังนี้

$$I = \frac{\sum_{i}^{n}(u_i \times U_i)}{\sum_{i}^{n} u_i} \qquad ;(i = 1,2,..,n) \tag{3.2}$$

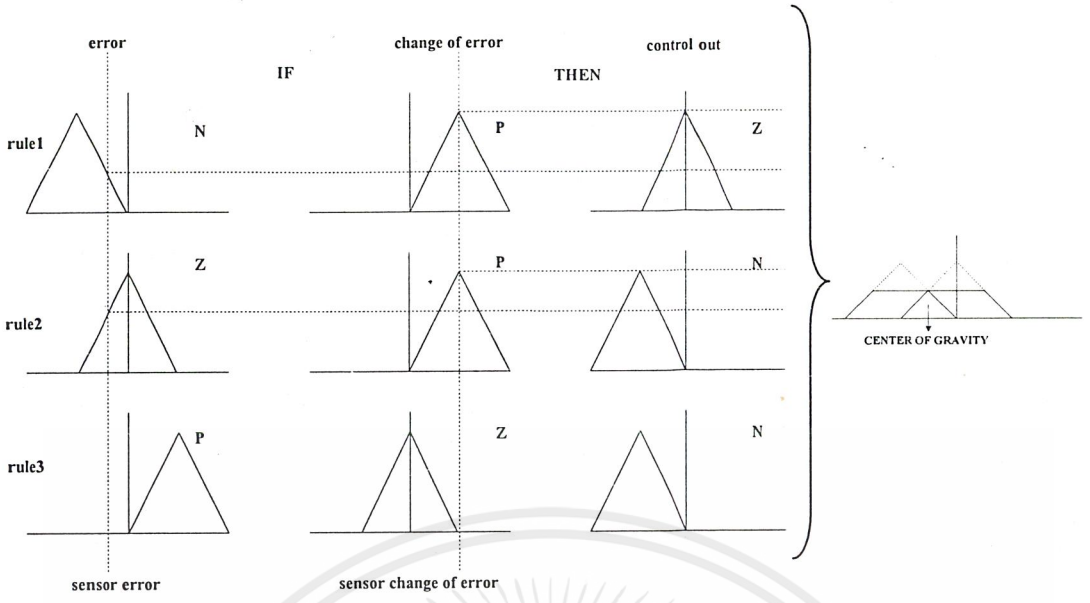
เมื่อ I = ผลลัพธ์จากการคำนวณแบบจุดศูนย์ถ่วง

u = อัตราขยาย

U = เอาท์พุทจากการควบคุม

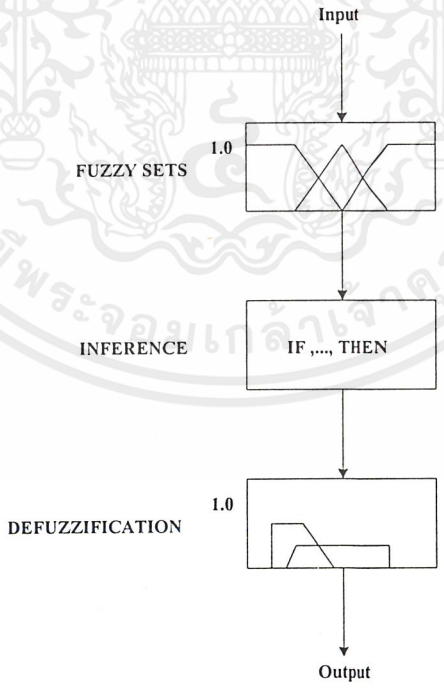
และสามารถแสดงขั้นตอนการคำนวณแบบศูนย์ถ่วงได้ด้วยรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงขั้นตอนการคำนวณหาจุดศูนย์ถ่วง

จากโครงสร้างพื้นฐานทั้ง 3 ส่วนของตัวควบคุมแบบฟัซซี่ อธิบายไว้แล้วดังกล่าวข้างต้น สามารถสรุปได้เป็นดังรูปที่ 3.8



รูปที่ 3.8 กระบวนการควบคุมด้วยฟัซซี่ลอจิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 บทสรุป

ในบทนี้ได้กล่าวถึงแนวทางในการออกแบบตัวควบคุมแบบฟัซซี่ โดยแบ่งแยกเป็น 3 ส่วน คือ การฟัซซิฟิเคชัน การวินิจฉัย การดีฟัซซิฟิเคชัน

การฟัซซิฟิเคชัน จะกล่าวถึงการเลือกวิธีการฟัซซิฟิเคชัน การกำหนดรูปร่างของฟังก์ชันการเป็นสมาชิก การกำหนดการซ้อนทับกัน

การวินิจฉัย จะกล่าวถึงการอินเฟอเรนซ์ วิธีการเลือกตัวปฏิบัติการ

การดีฟัซซิฟิเคชัน จะกล่าวถึงการเลือกวิธีการดีฟัซซิฟิเคชัน

โดยในบทนี้ได้ทำการเลือกวิธีการฟัซซิฟิเคชันแบบฟัซซี่นัมเบอร์ กำหนดรูปร่างของฟังก์ชันการเป็นสมาชิกเป็นรูปสามเหลี่ยมด้านเท่า และมีการซ้อนทับกันเป็น 25% โดยวิธีการของอินเฟอเรนซ์เป็นแบบ CRI ของ Zadeh และใช้ตัวปฏิบัติการในการอินเฟอเรนซ์แบบ Max-Min และใช้วิธีการคำนวณในแบบจุดศูนย์ถ่วงในการดีฟัซซิฟิเคชัน ซึ่งการออกแบบตัวควบคุมแบบฟัซซี่ทั้งหมดในบทนี้จะถูกใช้เป็นพื้นฐานในการออกแบบตัวควบคุมแบบฟัซซี่ โดยใช้วงจรไม่เป็นเชิงเส้นในบทต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบวงจร

4.1 บทนำ

จากแนวความคิดที่จะออกแบบตัวควบคุมแบบฟัซซี่ตามแนวทางในบทที่ 3 ซึ่งโดยปกติแล้ว จะใช้โปรแกรมคอมพิวเตอร์เป็นตัวออกแบบร่วมกับคอมพิวเตอร์และวงจรแปลงสัญญาณ A/D และ D/A ซึ่งจะทำให้ตัวควบคุมมีความเร็วในการทำงานที่ช้า ดังนั้นปริญญานิพนธ์นี้จึงเสนอการออกแบบตัวควบคุมแบบฟัซซี่โดยใช้วงจรไม่เป็นเชิงเส้นเป็นตัวออกแบบแทน ซึ่งจะส่งผลให้การทำงานของตัวควบคุมมีความเร็วในการทำงานสูงขึ้นและเหมาะกับระบบที่ต้องการผลตอบสนองที่เร็ว

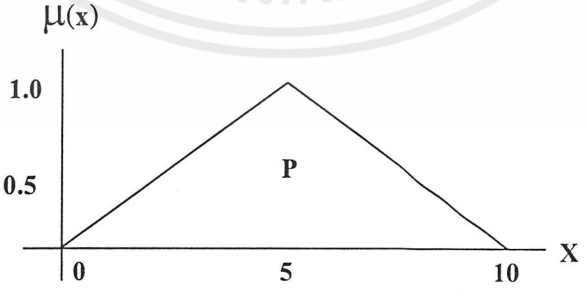
การออกแบบวงจรทั้งหมดที่เลือกใช้วงจรที่ไม่เป็นเชิงเส้น เนื่องจากทำให้สามารถปรับเปลี่ยนการออกแบบของวงจรได้อย่างง่ายและเป็นอิสระ

การออกแบบวงจรการควบคุมแบบฟัซซี่สามารถแยกออกได้เป็น 3 ส่วนคือ

1. การเปลี่ยนคลิซป์เซตเป็นฟัซซี่เซต
2. กฎการควบคุม
3. การเปลี่ยนฟัซซี่เซตเป็นคลิซป์เซต

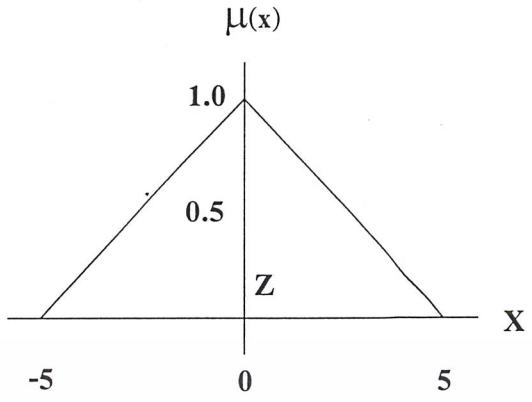
4.2 การออกแบบวงจรในส่วนฟัซซิฟิเคชัน

ในส่วนนี้จะต้องออกแบบวงจรให้อยู่ในรูปของฟังก์ชันการเป็นสมาชิก ซึ่งฟังก์ชันการเป็นสมาชิกในที่นี้เป็นรูปสามเหลี่ยมดังรูปที่ 4.1, 4.2 และ 4.3

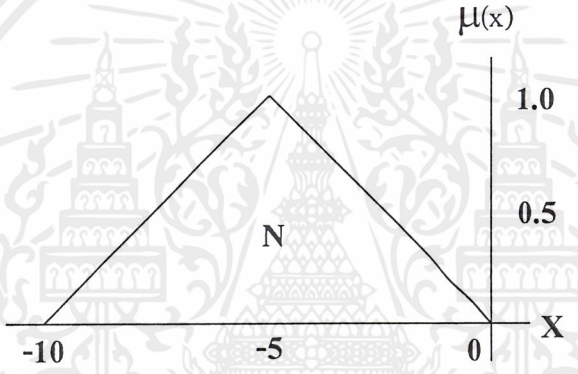


รูปที่ 4.1 ฟังก์ชันการเป็นสมาชิกที่เป็นบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



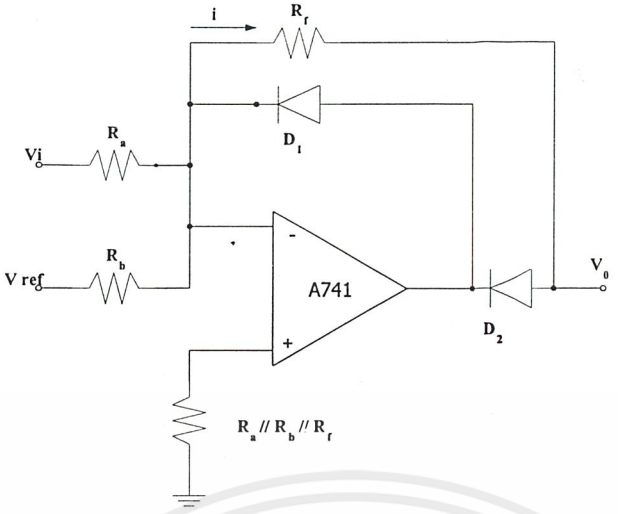
รูปที่ 4.2 ฟังก์ชันการเป็นสมาชิกที่เป็นศูนย์



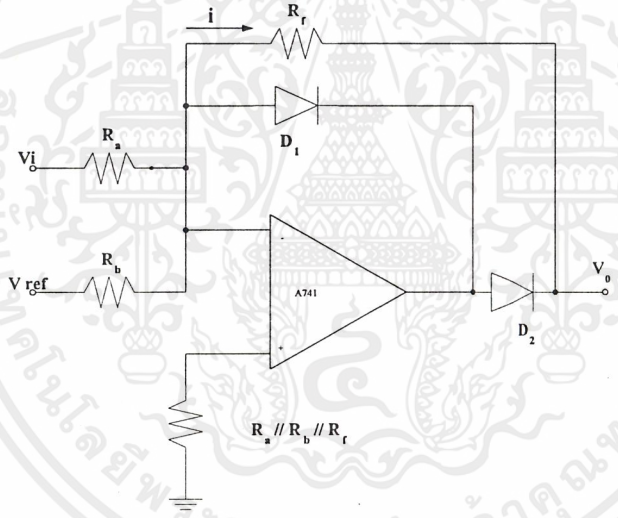
รูปที่ 4.3 ฟังก์ชันการเป็นสมาชิกที่เป็นลบ

การออกแบบวงจรในรูปที่ 4.1, 4.2 และ 4.3 นั้นมีหลักการพื้นฐาน คือจะต้องมีการสร้างความชันให้ได้ตามที่กำหนดในที่นี้จะใช้วงจรจำกัดศักดา (Voltage Limiter) โดยในรูปที่ 4.4 เป็นวงจรจำกัดศักดาที่ให้เอาท์พุทแบบลบและรูปที่ 4.5 เป็นวงจรจำกัดศักดาแบบบวก ต่อร่วมกับวงจรขยายความแตกต่าง (Differential Amplifier) ดังรูปที่ 4.6 โดยทั้งหมดทำงานอยู่ในโหมดไม่เป็นเชิงเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

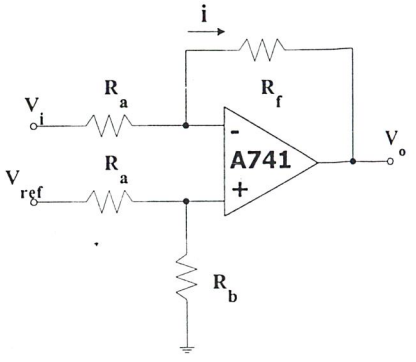


รูปที่ 4.4 วงจรจำกัดศักดาเอาท์พุทแบบลบ



รูปที่ 4.5 วงจรจำกัดศักดาเอาท์พุทแบบบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 วงจรขยายความแตกต่าง

จากรูปที่ 4.4 เมื่อป้อนศักดาที่เป็นบวกเข้าที่อินพุท V_{in} โดยให้ V_{ref} เป็นศูนย์ จะทำให้ไดโอด D_1 ไม่นำกระแสเนื่องจากไดโอด D_1 ถูกไบแอสกลับเป็นผลให้มีกระแส i ไหลผ่าน R_f และไดโอด D_2 จะนำกระแสและเมื่อศักดา V เป็นลบแล้วไดโอด D_1 จะนำกระแสส่วนไดโอด D_2 จะไม่นำกระแสทำให้ไม่มีกระแส i ไหลผ่าน R_f ซึ่งสามารถหาค่าได้ตามสมการดังนี้

$$V_o = \begin{cases} 0 & ; V_i \le 0 \\ -\dfrac{R_f}{R_a}(V_i) & ; V_i > 0 \end{cases} \qquad (4.1)$$

และเมื่อให้ V_{ref} ไม่เป็นศูนย์ $R_a = R_b$ จะได้ค่าตามสมการดังนี้

$$V_o = \begin{cases} 0 & ; V_i \le V_{ref} \\ -\dfrac{R_f}{R_a}\left(V_i + V_{ref}\right) & ; V_i > V_{ref} \end{cases} \qquad (4.2)$$

จากรูปที่ 4.5 เมื่อป้อนศักดาที่เป็นบวกเข้าที่อินพุท V_i โดยให้ V_{ref} เป็นศูนย์จะทำให้ไดโอด D_1 นำกระแสและไดโอด D_2 จะไม่นำกระแส เนื่องจากไดโอด D_2 ถูกไบแอสกลับ เป็นผลให้ไม่มี กระแส i ไหลผ่าน R_f ซึ่งสามารถหาค่าได้ตามสมการดังนี้

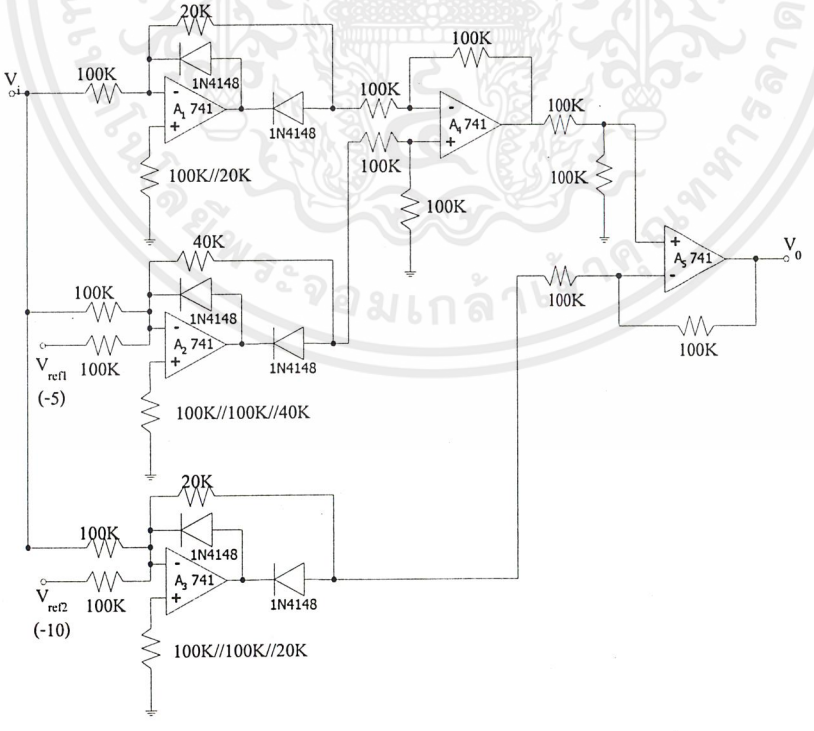
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_o = \begin{cases} 0 & ; V_i \geq 0 \\ -\dfrac{R_f}{R_a}(V_i) & ; V_i < 0 \end{cases} \quad (4.3)$$

และเมื่อให้ V_{ref} ไม่เป็น 0 โดย R_a=R_b จะได้ค่าตามสมการดังนี้

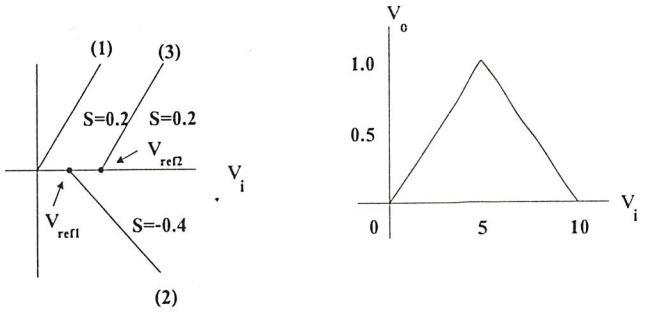
$$V_o = \begin{cases} 0 & ; V_i \geq V_{ref} \\ -\dfrac{R_f}{R_a}\left(V_i + V_{ref}\right) & ; V_i < V_{ref} \end{cases} \quad (4.4)$$

ดังนั้นในการออกแบบให้ได้ความชันดังรูปที่ 4.1 จะเป็นไปตามรูปที่ 4.7 โดยสามารถเขียนกราฟความชันของแต่ละวงจรและกราฟความชันรวมกันทั้งหมดซึ่งจะได้ดังรูปที่ 4.8 (ก) และ 4.8 (ข) ตามลำดับ



รูปที่ 4.7 วงจรที่ออกแบบเพื่อให้ได้กราฟตามรูปที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



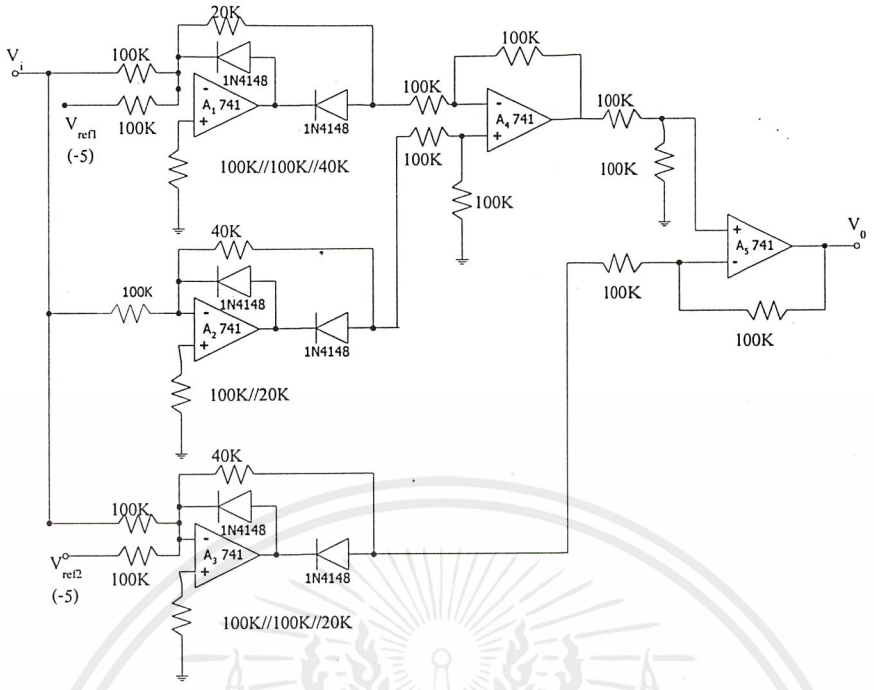
รูปที่ 4.8 แสดงความชันของกราฟตามวงจรในรูปที่ 4.7

และวงจรในรูปที่ 4.6 สามารถหาค่าได้จากสมการดังนี้

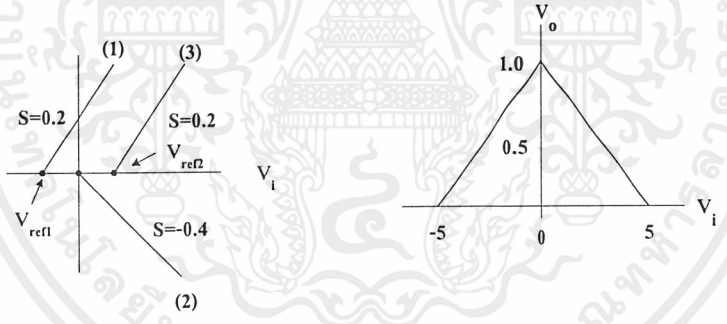
$$V_o = -\left(V_2 - V_1\right)\frac{R_f}{R_a}; R_f = R_b \tag{4.5}$$

จากรูปที่ 4.8 (ก) ความชันเส้น (1) ได้จาก A_1 และ A_4 ในรูปที่ 4.7 มีความชันเป็น –0.2 และเมื่อรวมกับ A_4 ได้ A_4 เป็นวงจรขยายความแตกต่าง ทำให้ได้ความชันที่เกิดจาก A_1 และ A_4 เป็น 0.2 ความชันเส้น (2) ได้จาก A_2 ในรูปที่ 4.7 ซึ่งมีความชันเป็น –0.4 และความชันเส้นที่ (3) ได้จาก A_3 และ A_5 ในรูปที่ 4.7 ซึ่ง A_3 มีความชันเป็น –0.2 และเมื่อรวมกับ A_5 โดย A_5 เป็นวงจรขยายความแตกต่าง ทำให้ได้ความชันที่เกิดจาก A_3 และ A_5 เป็น 0.2 และเมื่อรวมความชันทั้ง 3 เส้นจะได้ กราฟความชันดังรูปที่ 4.8 (ข) โดยวงจรในรูปที่ 4.9 และ 4.11 ที่ออกแบบเพื่อให้ได้ความชันตามรูปที่ 4.2 และ 4.3 ตามลำดับนั้น มีหลักการการออกแบบเช่นเดียวกันกับวงจรในรูปที่ 4.7 ซึ่งได้ อธิบายหลักการดังกล่าวไว้แล้วในเบื้องต้น และจากวงจรในรูปที่ 4.7, 4.9 และ 4.11 ที่ได้ทำการออกแบบจะทำให้สามารถปรับค่าความชันและตำแหน่งของความชันได้อย่างอิสระ ซึ่งจะทำให้สามารถออกแบบรูปร่างของฟังก์ชันการเป็นสมาชิกที่มีรูปทรงใดๆ ณ ที่ตำแหน่งใดๆ ได้อย่างอิสระอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

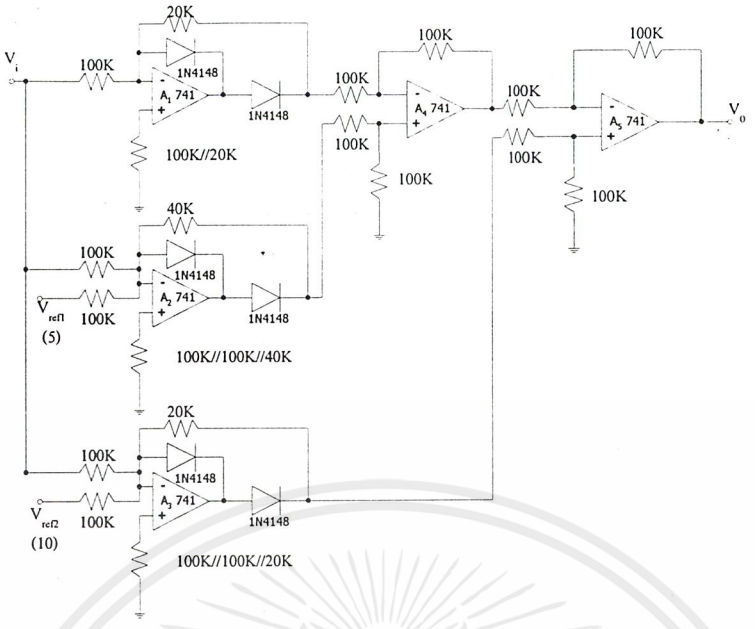


รูปที่ 4.9 วงจรที่ออกแบบเพื่อให้ได้กราฟตามรูปที่ 4.2

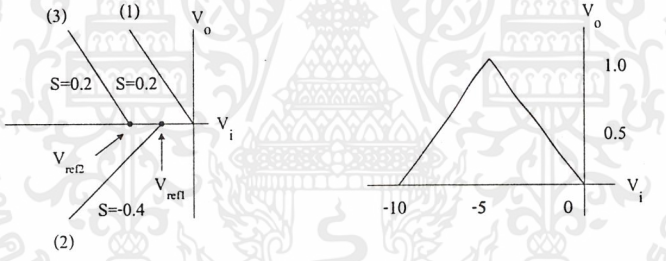


รูปที่ 4.10 แสดงความชันของกราฟตามวงจรในรูปที่ 4.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 วงจรที่ออกแบบเพื่อให้ได้กราฟตามรูปที่ 4.3

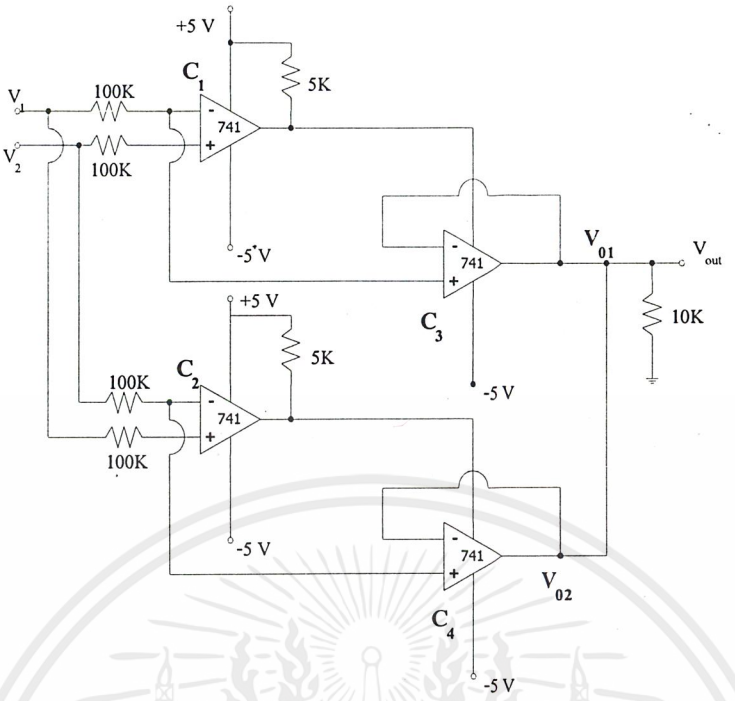


รูปที่ 4.12 แสดงความชันของกราฟตามวงจรในรูปที่ 4.11

4.3 การออกแบบวงจรในส่วนกฎการควบคุมฟัซซี่

กฎการควบคุมของฟัซซี่เซตในที่นี้ใช้เทคนิค Max-Min ดังที่ได้กล่าวมาแล้วในบทที่ 3 ซึ่งหลักการเสมือนการนำค่าอินพุทมาอินเตอร์เซคชันกัน ดังนั้นการออกแบบวงจรในส่วนนี้คือจะต้องออกแบบให้เป็นวงจรอินเตอร์เซคชันระหว่างอินพุท ซึ่งเป็นการอินเตอร์เซคชันกันทางอนาลอก [6], [8] วงจรที่ออกแบบนี้จะใช้ LM741 เป็นตัวเปรียบเทียบ (Comparator) ดังรูปที่ 4.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 วงจรอินเตอร์เซคชันด้านอนาลอก

จากรูปที่ 4.13 เมื่อป้อนศักดาเข้าที่ V_1 และ V_2 โดยให้ V_1 มากกว่า V_2 จะทำให้ C_2 ซึ่งเป็นตัวเปรียบเทียบมีเอาท์พุทเท่ากับ 5V ซึ่งต่อกับขาไฟเลี้ยงของ C_4 ส่งผลให้ C_4 ทำงาน ซึ่ง C_4 นี้เป็นวงจรตามศักดา (Voltage Follower) ดังนั้น V_{o2} ของ C_4 มีค่าเท่ากับ V_2 ขณะเดียวกันที่ C1 มีเอาท์พุทเท่ากับ 0 V ซึ่งเอาท์พุทของ C_1 ต่อกับขาไฟเลี้ยงของ C_3 ส่งผลให้ C_3 ไม่ทำงาน ทำให้ V_{o1} ของ C_3 มีค่าเท่ากับ 0 V

ดังนั้น V_o ของวงจรจะเท่ากับ V_2 และในทางกลับกัน ถ้าป้อนศักดาอินพุท โดยให้ V_1 น้อยกว่า V_2 ทำให้ V_o ของวงจรมีค่าเท่ากับ V_1 ซึ่งเราสามารถเขียนเป็นตารางได้ดังนี้

ตารางที่ 4.1 แสดงผลของการอินเตอร์เซคชัน

V_i	V_o
$E_1>E_2$	E_2
$E_1<E_2$	E_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การออกแบบวงจรในส่วนดีฟัซซิฟิเคชัน

คือการนำเอาท์พุทที่ได้จากขั้นตอนกฎการควบคุมทั้งหมดมาหาค่าเอาท์พุทจริง โดยเทคนิควิธีการคำนวณแบบจุดศูนย์ถ่วง [2], [7], [8] ซึ่งสมการเป็นดังนี้

$$I = \frac{\sum_{i=1}^{n} \left(u_i \times U_i\right)}{\sum_{i=1}^{n} u_i} \qquad (i=1,2,\ldots,n) \qquad (4.6)$$

โดยที่ I = ผลลัพธ์จากการคำนวณแบบจุดศูนย์ถ่วง

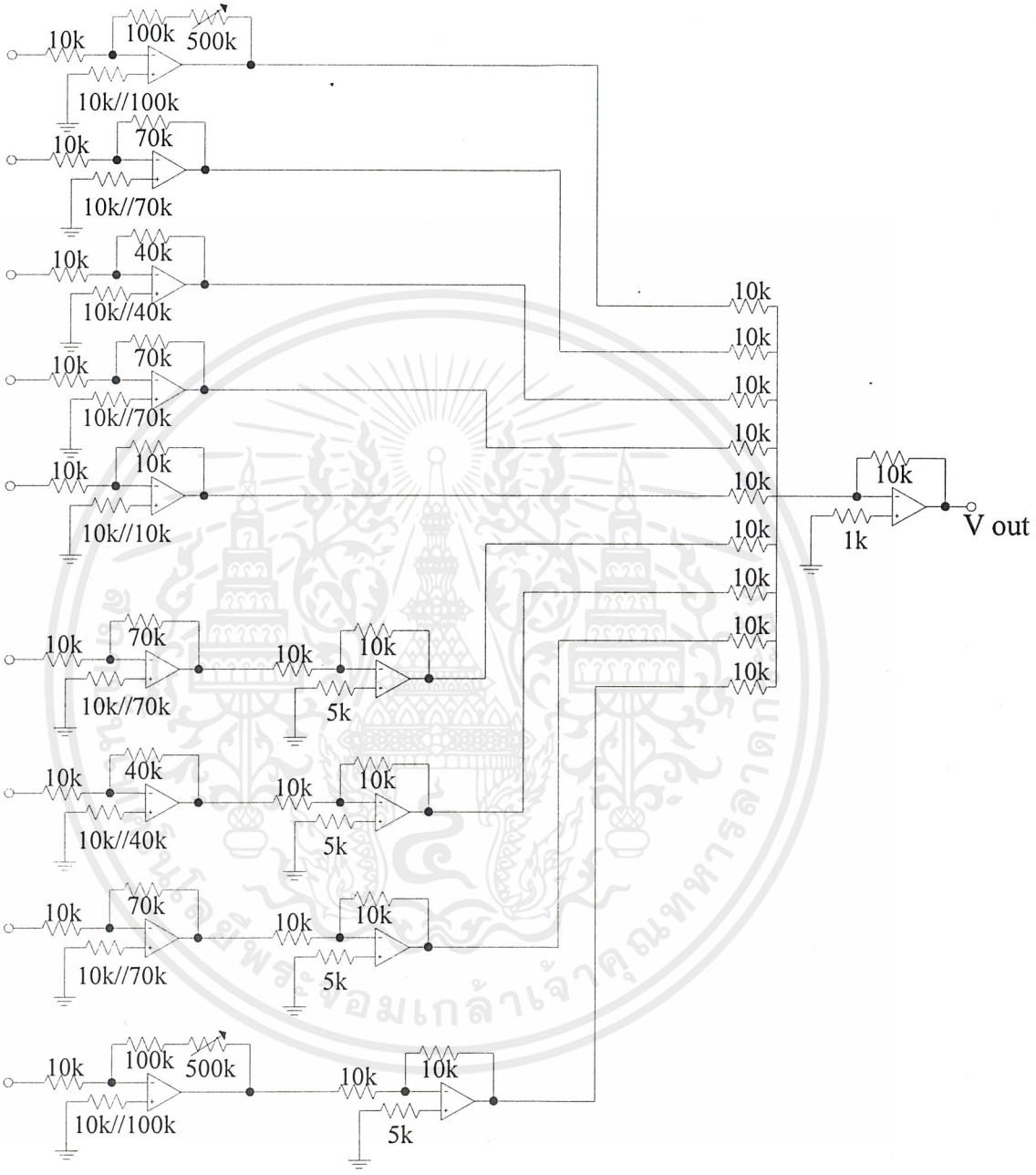
u = อัตราขยาย

U = เอาท์พุทจากกฎการควบคุม

เนื่องจากฟังก์ชันการเป็นสมาชิกของเอาท์พุทถูกกำหนดให้เป็นรูปสามเหลี่ยมด้านเท่า ดังนั้นค่าความเป็นสมาชิกของฟัซซี่เซตจะเป็นค่าคงที่ค่าหนึ่ง ดังนั้นการออกแบบในส่วนนี้ตามสมการที่ 4.6 คือ การออกแบบวงจรคูณสัญญาณด้วยค่าคงที่ และนำผลรวมที่ได้หารด้วยผลรวมของค่าคงที่นั้นๆ ซึ่งคือวงจรขยายศักดาแบบกลับเฟสหารด้วยวงจรรวมสัญญาณ โดยเราสามารถแบ่งแยกการออกแบบวงจรได้เป็นสามส่วนคือ

1. ส่วนของการรวม $\sum_{i=1}^{n} \left(u_i \times U_i\right)$
2. ส่วนของผลรวม $\sum_{i=1}^{n} \left(u_i\right)$
3. การนำส่วนที่ 1 หารด้วยส่วนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 วงจรสมการ $\sum_{i=1}^{n}\left(u_i \times U_i\right)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรที่ออกแบบในส่วนแรกจะเป็นไปตามรูปที่ 4.14 ซึ่งประกอบด้วยวงจรขยายแรงดันและวงจรรวมสัญญาณ (Summing Amplifier) โดยให้

$$V_1 = u_1 \quad , \quad \frac{R_{f1}}{R_{a1}} = U_1$$

$$\vdots \qquad \vdots \qquad \vdots$$

$$V_n = u_n \quad , \quad \frac{R_{fn}}{R_{an}} = U_n$$

$A_1 \ldots A_n$ เป็นวงจรขยายแบบกลับเฟส โดยมีอัตราขยายเท่ากับ $\frac{R_{fi}}{R_{ai}}$; (i=1,...,n) ดังนั้นเอาท์พุทของแต่ละตัวจะมีค่าเท่ากับ

$$V_o = v_i\left(\frac{R_{f1}}{R_{ai}}\right) = u_i \times U_i \quad ;(i=1,\ldots,n) \tag{4.7}$$

ซึ่งจะได้ว่า

$$v_1\left(\frac{R_{f1}}{R_{a1}}\right) = u_1 \times U_1$$

$$\vdots \qquad \vdots$$

$$v_n\left(\frac{R_{fn}}{R_{an}}\right) = u_n \times U_n$$

ในรูปที่ 4.14 วงจรรวมสัญญาณกลับเฟส $A_{(n+1)}$ เป็นตัวรวมผลทั้งหมดของวงจรขยาย $A_1, \ldots, A_n$ ซึ่ง V_o ของ $A_{(n+1)}$ จะมีค่าเท่ากับ

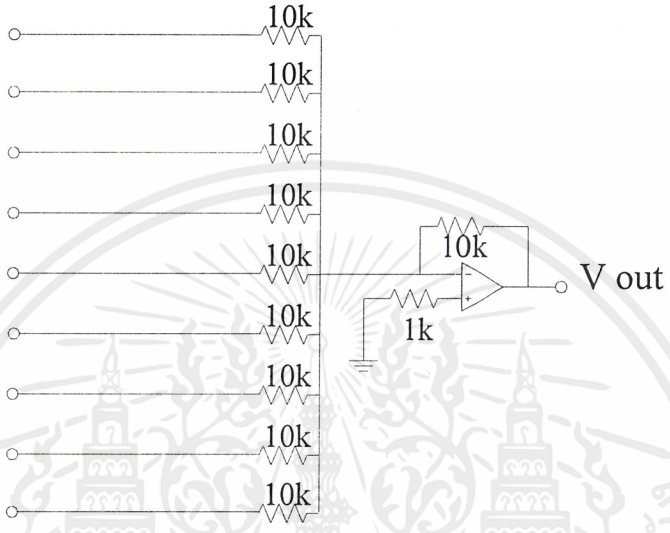
$$V_o = -\left(\frac{R_f}{R_1}\right)\left(u_1U_1 + u_2U_2 + ,\ldots, + u_nU_n\right)$$

$$= \sum_{i=1}^{n}\left(u_i \times U_i\right) \tag{4.8}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้ $\left\{\left(\frac{R_f}{R_1}\right)=1,\ldots,\left(\frac{R_f}{R_n}\right)=1\right\}$

ในส่วนที่ 2 วงจรที่ออกแบบไว้จะเป็นดังรูปที่ 4.15



รูปที่ 4.15 วงจรสมการ $\sum_{i=1}^{n}(u_i)$

วงจรในรูปที่ 4.15 A เป็นวงจรรวมสัญญาณแบบกลับเฟส โดยมีค่าสัญญาณเอาท์พุท V_o ดังนี้

$$V_O = -\left(\frac{R_f}{R_1}\right)\left(V_1+,\ldots,+V_n\right) \tag{4.9}$$

กำหนดให้ $R_f = R_1 = R_2 = ,\ldots, = R_n$ เมื่อ $V_i = u_I$; (i = 1, 2, …, n)

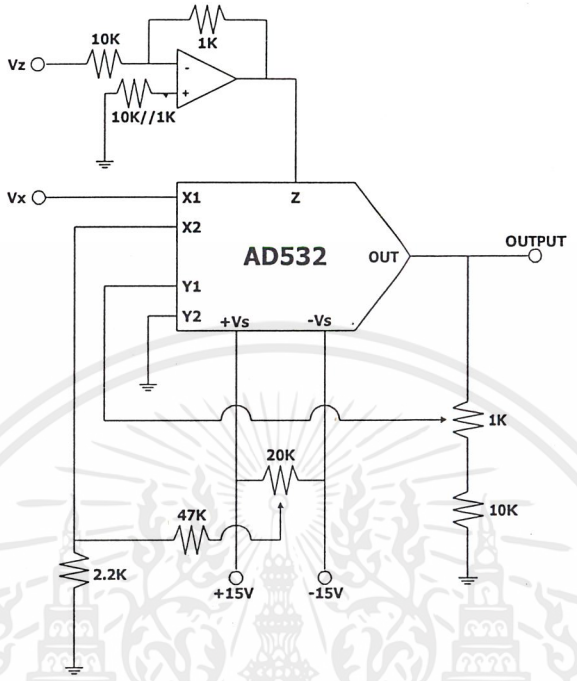
ดังนั้น

$$V_O = -\left(\frac{R_f}{R_1}\right)\left(u_1+,\ldots,+u_n\right)$$

$$= \sum_{i=1}^{n}\left(u_i\right) \tag{4.10}$$

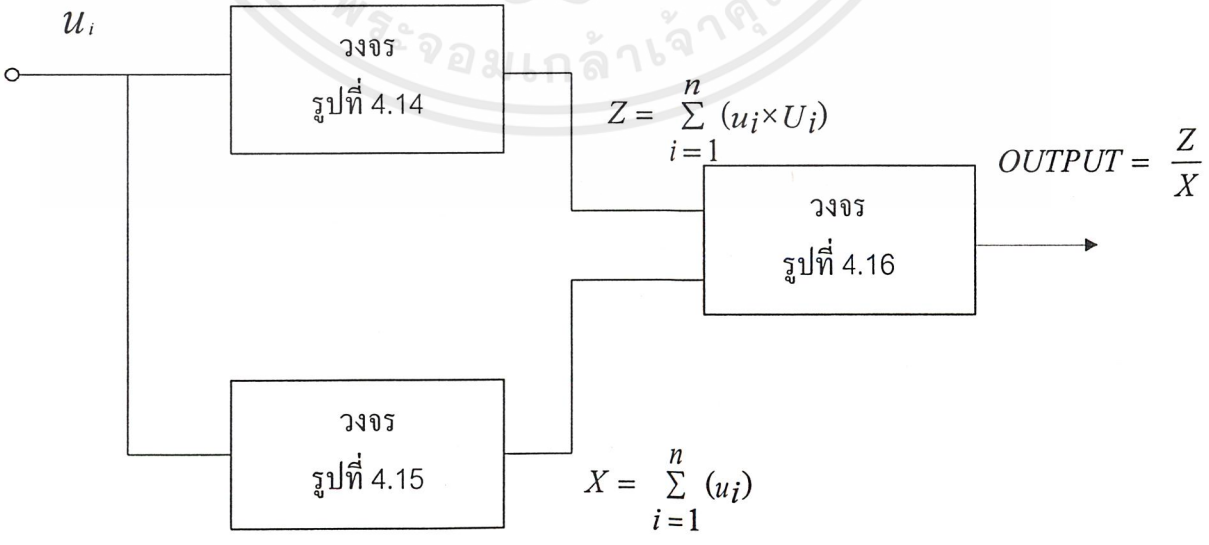
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนที่ 3 ซึ่งเป็นส่วนที่นำสมการที่ (4.8) หารด้วยสมการที่ (4.10) ดังนั้นวงจรที่จะออกแบบในส่วนที่ 3 คือเป็นวงจรหารโดยมีรูปแบบวงจรดังรูปที่ 4.16



รูปที่ 4.16 วงจรหารที่ใช้ไอซีเบอร์ AD532

ดังนั้นการออกแบบวงจรในส่วนดีฟัซซิฟิเคชัน คือการนำเอาวงจรส่วนที่ 1 และ ส่วนที่ 2 มาประกอบกันได้ดังรูปที่ 4.17



รูปที่ 4.17 วงจรดีฟัซซิฟิเคชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 บทสรุป

ปริญญานิพนธ์นี้เป็นการเสนอการออกแบบตัวควบคุมฟัซซี่ โดยใช้วงจรไม่เป็นเชิงเส้น เพื่อทำหน้าที่เป็นตัวควบคุม ซึ่งมี 3 ส่วน คือ การฟัซซิฟิเคชัน การควบคุม และการดีฟัซซิฟิเคชัน

การฟัซซิฟิเคชัน วงจรที่ใช้ออกแบบ คือ วงจรจำกัดศักดาเอาท์พุทแบบบวกหรือลบต่อร่วมกับวงจรขยายความแตกต่าง

การวินิจฉัยนั้น จะใช้กฎ ถ้า...แล้ว... (If/Then) ร่วมกับเทคนิค Max-Min ในการตัดสินใจ จึงเหมือนกับการอินเตอร์เซคชันกัน โดยออกแบบวงจรซึ่งใช้ตัวเปรียบเทียบความแตกต่าง LM741 โดยต่อร่วมกับวงจรตามศักดา

การดีฟัซซิฟิเคชัน ใช้วิธีการคำนวณ แบบจุดศูนย์ถ่วงโดยการนำค่าคงที่ค่าหนึ่งคูณกับค่าอินพุท แล้วนำผลรวมที่ได้มาหารด้วย ค่ารวมของค่าคงที่ทั้งหมด วงจรนี้จึงถูกออกแบบเป็น 3 ส่วน คือ

1. การรวมค่าที่ได้จากผลคูณของค่าอินพุทกับค่าคงที่ วงจรที่ใช้คือวงจรขยายศักดาต่อรวมกับวงจรรวมสัญญาณ
2. การรวมค่าคงที่ วงจรที่ใช้ คือวงจรรวมสัญญาณ
3. การนำค่าของข้อ 1 หารด้วยข้อ 2 โดยใช้ไอซีเบอร์ AD532 ต่อเป็นวงจรหาร และเมื่อนำทั้ง 3 ส่วนมาต่อรวมกันก็เป็นวงจรในส่วนที่ทำหน้าที่การดีฟัซซิฟิเคชัน

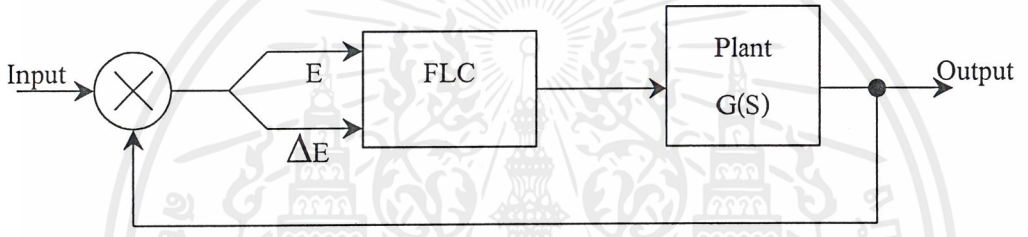
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การทดลองและผลการทดลอง

5.1 บทนำ

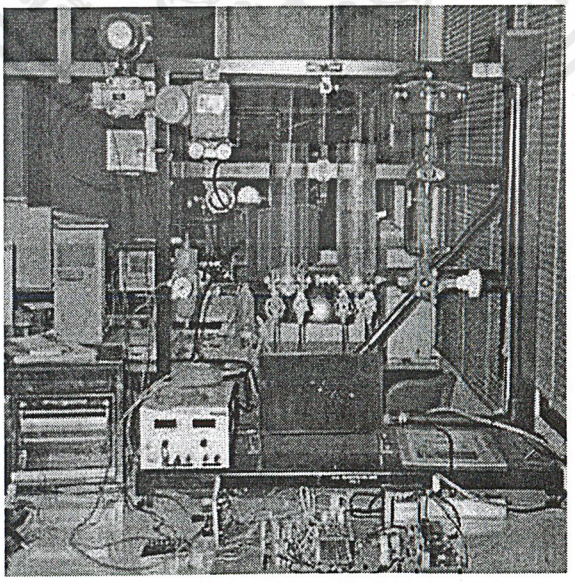
เพื่อเป็นการทดสอบประสิทธิภาพของตัวควบคุมที่ได้ทำการออกแบบในบทที่ 4 ซึ่งอาศัยแนวทางการออกแบบตัวควบคุมในบทที่ 3 ได้ทำการทดลองโดยใช้ระบบพื้นฐานดังรูปที่ 5.1 และได้ให้อินพุทที่อยู่ในรูปของอินพุทที่เป็นระดับขั้น ซึ่งในส่วนของตัวควบคุมแบบฟัซซี่ที่ออกแบบโดยใช้วงจรที่ไม่เป็นเชิงเส้น โดยระบบที่ทำการควบคุมจะเป็นระบบที่มีกระบวนการเป็นอันดับหนึ่ง (First Order) พร้อมทั้งได้ทำการเปรียบเทียบผลของการควบคุมกับตัวตัวควบคุมแบบ PID



รูปที่ 5.1 กระบวนการควบคุมด้วยตัวควบคุมแบบฟัซซี่

5.2 ผลการทดลองกับกระบวนการควบคุมระดับน้ำ

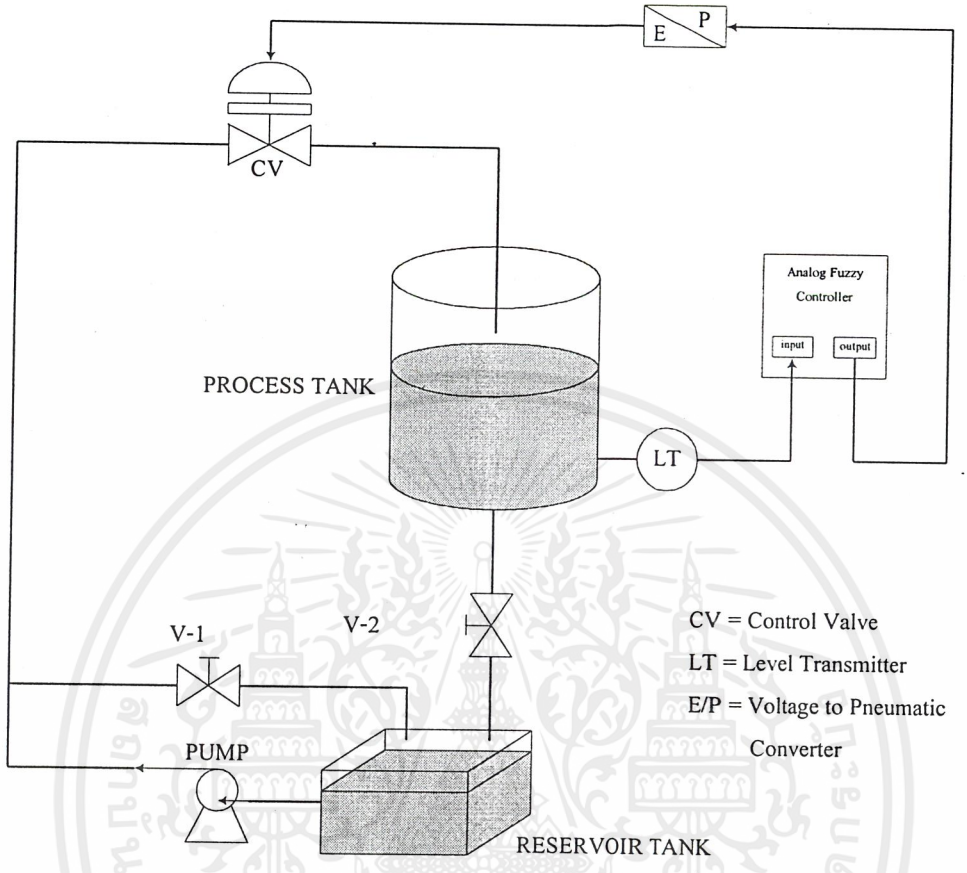
การทดลองนี้เป็นการประยุกต์ใช้ตัวควบคุมแบบอนาลอกฟัซซี่ในการควบคุมระดับน้ำดังรูปที่ 5.2



รูปที่ 5.2 แสดงการประยุกต์ใช้ตัวควบคุมแบบอนาลอกฟัซซี่กับกระบวนการควบคุมระดับของน้ำในถัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

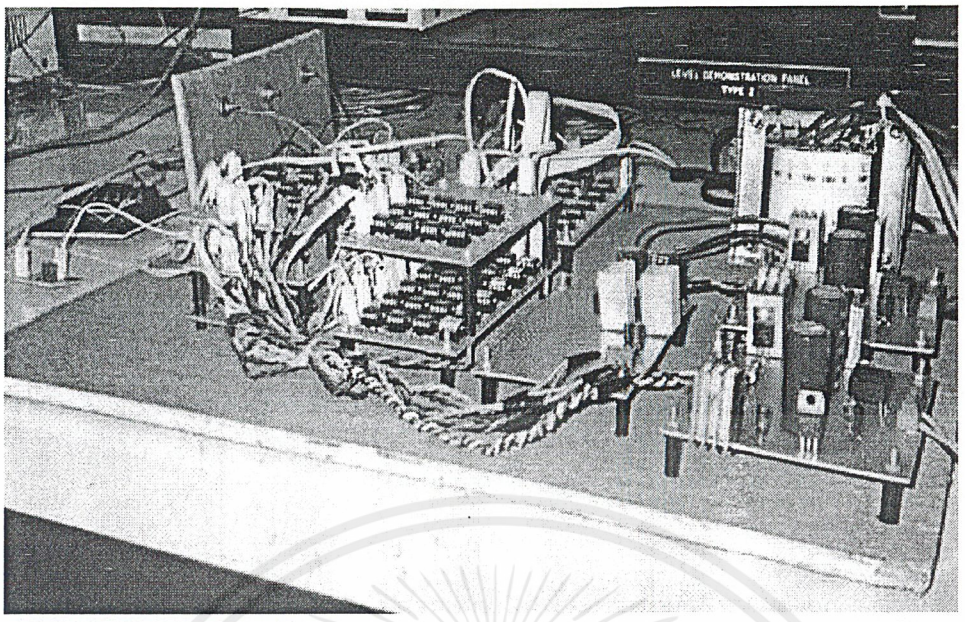
จากรูปที่ 5.2 นำมาเขียนเป็นโครงสร้างการทดลองให้เห็นชัดเจนได้ดังรูปที่ 5.3



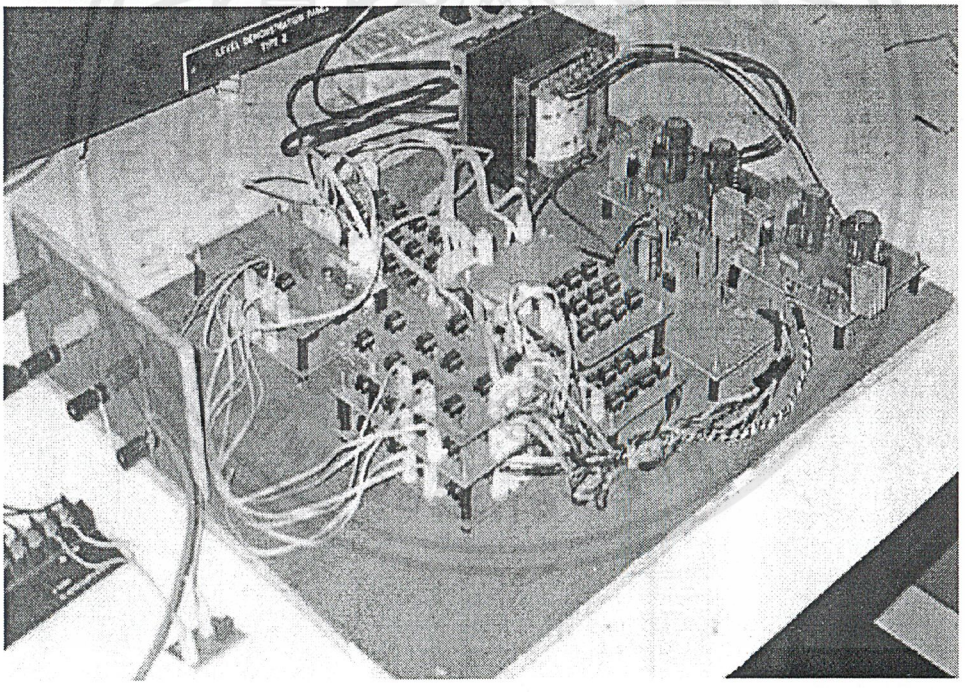
รูปที่ 5.3 แสดงโครงสร้างการทดลองกับกระบวนการควบคุมระดับของของเหลว

การทำงานของการทดลองปั๊มน้ำจะทำหน้าที่สูบน้ำจากถังเก็บน้ำ (Reservoir Tank) ขึ้นไปตามท่อตลอดระยะเวลาทำการทดลอง ซึ่งน้ำที่ถูกสูบจะถูกส่งไปยังถังกระบวนการ (Process Tank) ผ่านวาล์วควบคุม โดยมีวาล์วหมายเลข 1 (V-1) ทำหน้าที่เป็นวาล์วบายพาส เพื่อให้น้ำไหลย้อนกลับมาที่ถังเก็บน้ำเมื่อวาล์วควบคุมปิดและน้ำที่อยู่ในถังกระบวนการจะไหลผ่านวาล์วหมายเลข 2 (V-2) ซึ่งเปิดตลอดเวลากลับไปที่ถังเก็บน้ำ เริ่มแรกวาล์วควบคุมจะปิดสนิทเมื่อตัวควบคุมแบบอนาลอกฟัซซี่ยังไม่ถูกสั่งให้ส่งสัญญาณเป็นระดับ (Step) ดังนั้นเมื่อตัวควบคุมแบบอนาลอกฟัซซี่ถูกสั่งให้ทำงานด้วยแรงดันไฟฟ้าขนาด 2 Vdc. คงที่ (สัญญาณเป็นลำดับขนาด 25%) โดยจะถูกจ่ายให้กับตัวแปลงแรงดันไฟฟ้าเป็นความดันลม (Voltage to Pneumatic Converter) เพื่อสั่งให้วาล์วเปิด 25% น้ำที่ถูกสูบก็สามารถไหลเข้าสู่กระบวนการได้ ซึ่งระดับน้ำในถังกระบวนการจะถูกวัดโดย LT (Level Transmitter) และแปลงสัญญาณกระแสไฟฟ้า 4-20 mAdc. สัญญาณกระแสไฟฟ้านี้จะถูกแปลงให้เป็นแรงดันไฟฟ้า 1-5 Vdc. โดยใช้ความต้านทาน 250 โอห์ม และจะถูกป้อนเป็นสัญญาณอินพุทให้กับตัวควบคุมแบบอนาลอกฟัซซี่ ซึ่งจะแสดงดังรูปที่ 5.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



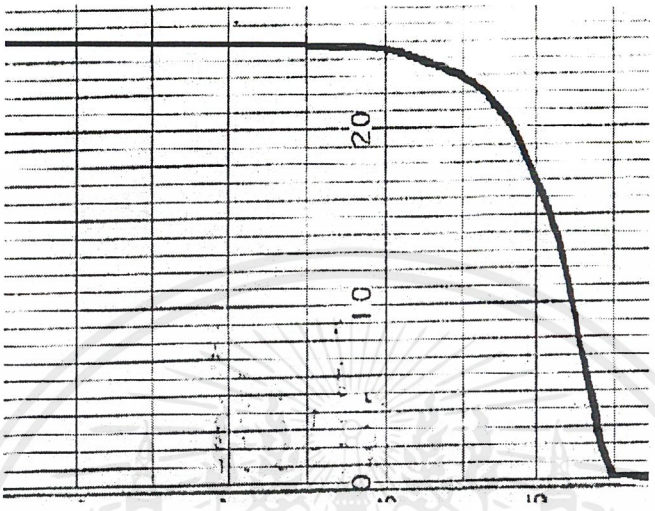
(ข)

รูปที่ 5.4 (ก) แสดงตัวควบคุมแบบอนาลอกฟัซซี่ด้านข้าง

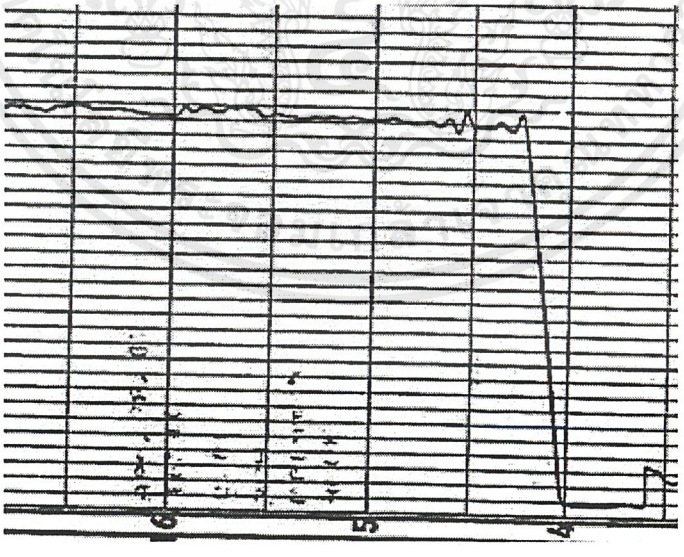
(ข) แสดงตัวควบคุมแบบอนาลอกฟัซซี่ด้านบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการตอบสนองของกระบวนการจากการควบคุมทั้งแบบ PID และแบบอนาลอกฟัซซี่ โดยได้แสดงผลการตอบสนองที่ค่าเป้าหมาย 25%, 50% และ 75% ทั้งนี้เพื่อแสดงให้เห็นผลตอบสนองของแต่ละวิธีโดยละเอียด ซึ่งจะเป็นประโยชน์ต่อการนำไปใช้งาน

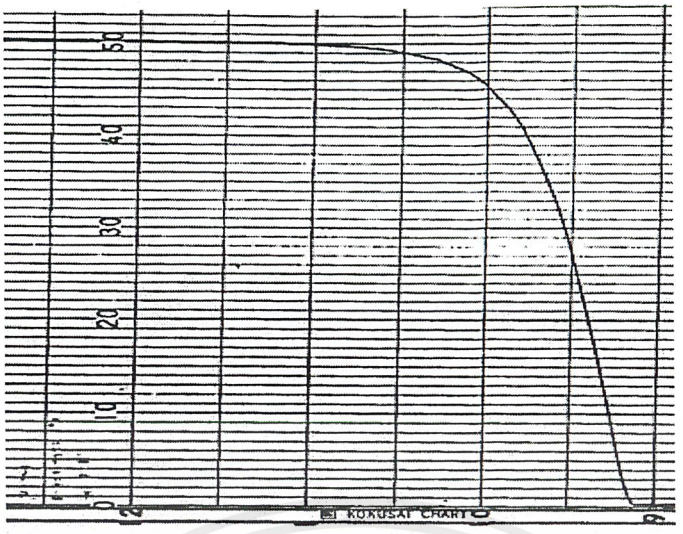


รูปที่ 5.5 แสดงผลตอบสนองของกระบวนการควบคุมระดับของน้ำในถังที่ค่าเป้าหมาย 25% ด้วยการควบคุมแบบ PID ตามวิธีของ Ziegler-Nichols (K=1.7 , T_i=63 ms.) ความเร็วการบันทึก 600mm./h

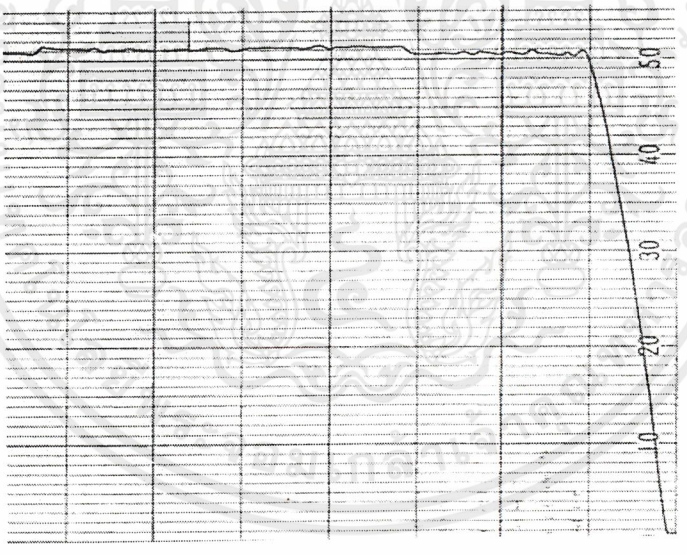


รูปที่ 5.6 แสดงผลตอบสนองของกระบวนการควบคุมระดับของน้ำในถังที่ค่าเป้าหมาย 25% ด้วยการควบคุมแบบอนาลอกฟัซซี่ความเร็วการบันทึก 600mm./h

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

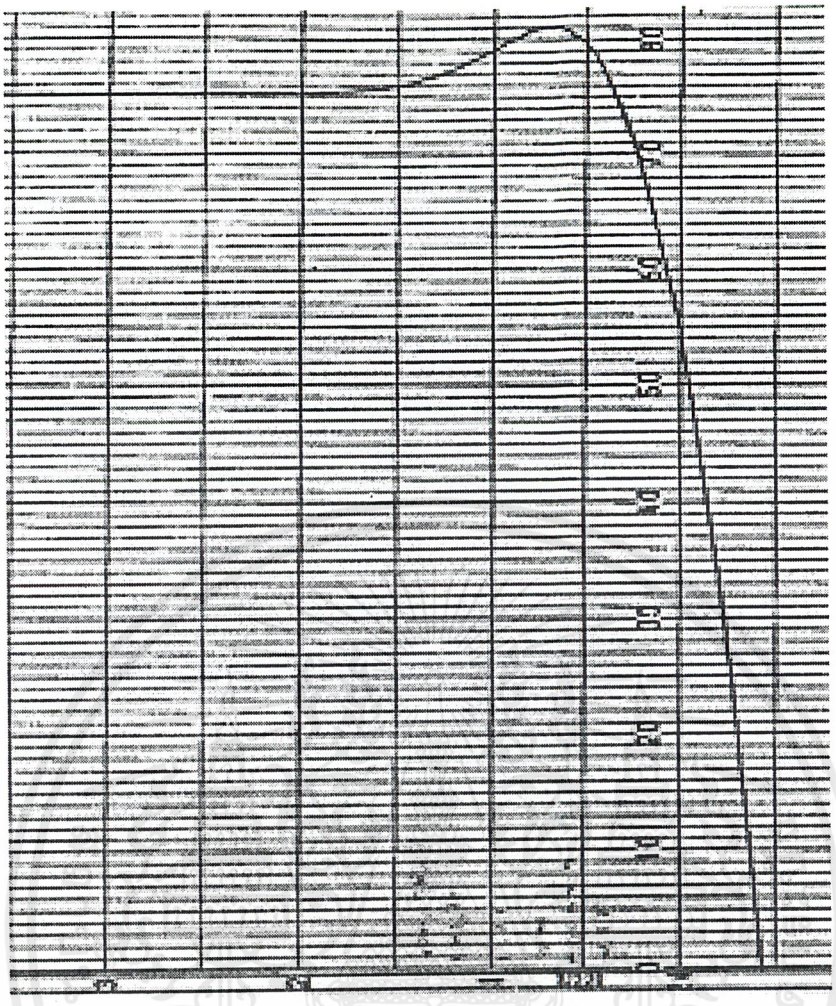


รูปที่ 5.7 แสดงผลตอบสนองของกระบวนการควบคุมระดับของน้ำในถังที่ค่าเป้าหมาย 50% ด้วยการควบคุมแบบ PID ตามวิธีของ Ziegler-Nichols (K=1.7 , T_i=63 ms.) ความเร็วการบันทึก 600mm./h



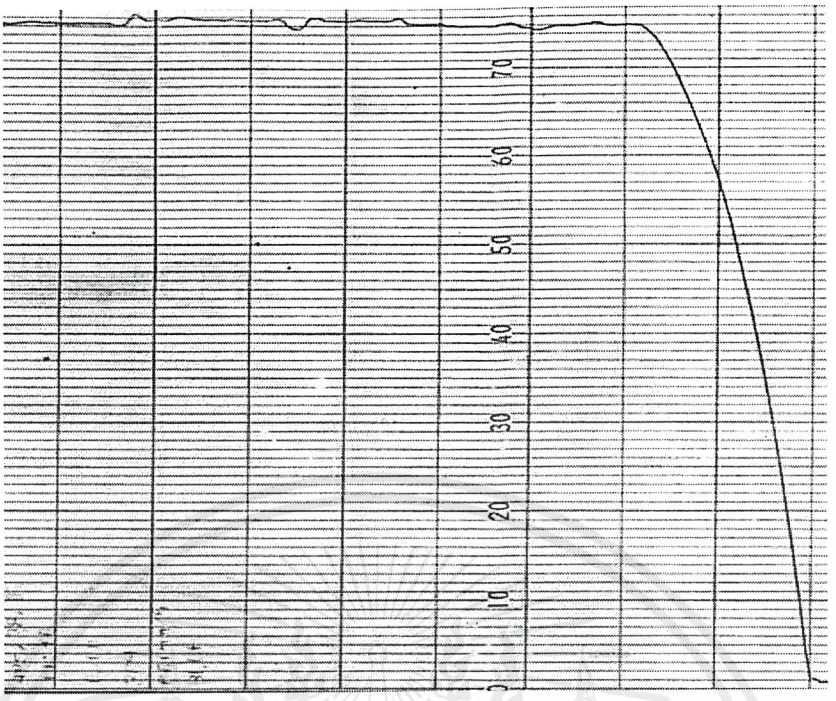
รูปที่ 5.8 แสดงผลตอบสนองของกระบวนการควบคุมระดับของน้ำในถังที่ค่าเป้าหมาย 50% ด้วยการควบคุมแบบอนาลอกฟัซซี่ความเร็วการบันทึก 600mm./h

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9 แสดงผลตอบสนองของกระบวนการควบคุมระดับของน้ำในถังที่ค่าเป้าหมาย 75% ด้วยการควบคุมแบบ PID ตามวิธีของ Ziegler-Nichols (K=1.7 , Ti=63 ms.) ความเร็วการบันทึก 600mm./h

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่5.10 แสดงผลตอบสนองของกระบวนการควบคุมระดับของน้ำในถังที่ค่าเป้าหมาย 75% ด้วยการควบคุมแบบอนาลอกฟัซซี่ความเร็วการบันทึก 600mm./h

5.3 สรุปผลการทดลอง

จากการทดลองตัวควบคุมแบบฟัซซี่ โดยใช้วงจรที่ไม่เป็นเชิงเส้น เมื่อนำตัวควบคุมแบบฟัซซี่มาควบคุมกระบวนการ ซึ่งจะเห็นได้ว่าระบบที่ควบคุมด้วยตัวควบคุมแบบฟัซซี่มีการเข้าสู่สมดุลย์ของระบบที่เร็วกว่า เมื่อเปรียบเทียบกับตัวควบคุมแบบ PID โดยดูได้จากกราฟรูปที่ 5.4 ถึง 5.9 แต่ระบบที่ถูกควบคุมด้วยตัวควบคุมแบบฟัซซี่จะเกิดการแกว่งขึ้น โดยในข้างต้น 9 กฎการควบคุมแรกยังคงทำให้ผลตอบสนองของระบบมีขนาดของการแกว่งมากอยู่ ซึ่งถ้าต้องการให้ผลตอบสนองของระบบเกิดการแกว่งลดลงก็สามารถเพิ่มกฎการควบคุมเข้าไปเพิ่มได้ และจากผลการทดลองแสดงให้เห็นว่า ตัวควบคุมที่ทำการออกแบบสามารถทำงานได้อย่างมีประสิทธิภาพ โดย ไม่จำเป็นต้องรู้แบบจำลองทางคณิตศาสตร์ของกระบวนการที่จะทำการควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปผลและข้อเสนอแนะ

ในปริญญานิพนธ์นี้ได้นำเสนอการออกแบบตัวควบคุมแบบฟัซซี่โดยใช้วงจรที่ไม่เป็นเชิงเส้น เพื่อทำหน้าที่เป็นตัวควบคุม ซึ่งตัวควบคุมที่นำมาเสนอนี้มีคุณสมบัติเด่นคือมีผลตอบสนองการทำงานที่เร็ว และวงจรถูกออกแบบให้เป็นวงจรย่อย ทำให้สามารถปรับเปลี่ยนรูปร่างและตำแหน่งของฟังก์ชันการเป็นสมาชิกได้ง่ายและเป็นอิสระ นอกจากนี้ยังสามารถเพิ่มหรือลดจำนวนฟังก์ชันการเป็นสมาชิกและกฎได้อย่างอิสระด้วย เนื่องจากใช้วงจรที่ไม่เป็นเชิงเส้นในการออกแบบจึงทำให้การออกแบบวงจรสามารถทำการปรับเปลี่ยนได้ง่ายและทำงานได้เร็ว

ในการออกแบบตัวควบคุมนี้สามารถแยกออกได้เป็น 3 ส่วนคือ การฟัซซิฟิเคชัน กฎการควบคุม การดีฟัซซิฟิเคชัน

การฟัซซิฟิเคชันใช้วิธีการฟัซซิฟิเคชันแบบฟัซซี่นัมเบอร์ และกำหนดรูปร่างฟังก์ชันการเป็นสมาชิกของอินพุทและเอาท์พุทเป็นรูปร่างสามเหลี่ยมด้านเท่า โดยจะมีการซ้อนทับกันของฟัซซี่เซต 2 เซตที่ 25% วงจรที่ใช้ออกแบบคือวงจรจำกัดศักดาที่ให้เอาท์พุทแบบบวกหรือลบต่อร่วมกับวงจรขยายความแตกต่างเพื่อให้ได้รูปทรงและตำแหน่งของฟังก์ชันการเป็นสมาชิกตามต้องการ

กฎการวินิจฉัย ใช้การอินเฟอเรนซ์แบบ CRI ของ Zadeh โดยใช้เทคนิค Max-Min เป็นตัวปฏิบัติการ ซึ่งเสมือนการอินเตอร์เซคชันกันของอินพุท ดังนั้นจึงออกแบบวงจรการอินเตอร์เซคชันแบบอนาลอก โดยใช้ LM741 เป็นตัวเปรียบเทียบต่อร่วมกับวงจรตามศักดา

การดีฟัซซิฟิเคชัน ใช้วิธีการคำนวณแบบจุดศูนย์ถ่วงและได้ทำการกำหนดรูปร่างฟังก์ชันการเป็นสมาชิกของเอาท์พุทเป็นแบบสามเหลี่ยมด้านเท่า จึงเปรียบเสมือนการนำค่าคงที่ค่าหนึ่งคูณกับอินพุท แล้วนำผลรวมที่ได้มาหารด้วยค่ารวมของค่าคงที่กับอินพุท วงจรที่ออกแบบคือวงจรขยายศักดาต่อร่วมกับวงจรรวมสัญญาณ

1. การรวมค่าที่ได้จากผลคูณของค่าคงที่กับอินพุท วงจรที่ออกแบบคือวงจรขยายศักดาต่อร่วมกับวงจรรวมสัญญาณ
2. การรวมค่าคงที่ใดๆ วงจรที่ออกแบบในส่วนนี้คือวงจรรวมสัญญาณ
3. การนำค่าของส่วนที่ 1 หารส่วนที่ 2 วงจรที่ออกแบบคือใช้ไอซี AD532 ต่อเป็นวงจรหาร และเมื่อนำทั้ง 3 ส่วนมารวมกันก็จะได้วงจรที่เป็นการดีฟัซซิฟิเคชัน

จากการทดลอง ซึ่งทำการทดลองโดยต่อวงจรที่ออกแบบไว้ และได้นำมาควบคุมกระบวนการที่มีคุณลักษณะเป็นอันดันหนึ่ง ระบบควบคุมแบบฟัซซี่จะใช้เวลาเข้าสู่สภาวะคงตัวได้เร็วกว่าตัวควบคุมแบบ PID แต่เนื่องจากจำนวนกฎมีเพียง 9 กฎ จึงทำให้ค่าที่ได้ไม่นิ่งเท่าที่ควร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฉะนั้นจึงเหมาะสมกับกระบวนการที่ไม่ต้องการความละเอียดในการควบคุมระดับมากนัก ซึ่งตัวควบคุมแบบฟัซซี่นี้จะมีราคาถูกกว่าตัวควบคุม PID

ปัญหาที่พบในงานนี้ จะอยู่ในรูปของการปรับแต่งอินพุทที่เป็นค่าความผิดพลาดและการเปลี่ยนแปลงค่าความผิดพลาดที่จะป้อนเข้าสู่ระบบ เนื่องจากว่าในปริญญานิพนธ์นี้ได้ใช้วงจรดิฟเฟอเรนเชียลเป็นตัวหาค่าการเปลี่ยนแปลงค่าความผิดพลาด ซึ่งต้องมีการปรับแต่งในแต่ละครั้งที่มีการเปลี่ยนแปลงตัวแปรของระบบที่ทำการควบคุม

ข้อเสนอแนะสำหรับการออกแบบตัวควบคุมแบบฟัซซี่โดยใช้วงจรไม่เป็นเชิงเส้น คือการพัฒนาวงจรย่อยในแต่ละส่วนให้มีขนาดเล็กลง เพื่อที่เมื่อมีการเพิ่มจำนวนของฟังก์ชันการเป็นสมาชิก กฎการวินิจฉัย อินพุทและเอาท์พุทของระบบทำให้วงจรที่ต่อร่วมกันมีขนาดไม่ใหญ่มาก และพัฒนาในส่วนของการแปลงตัวแปรอินพุทเป็นค่าความผิดพลาด และการเปลี่ยนแปลงค่าความผิดพลาดให้มีความเที่ยงตรงและแม่นยำมากขึ้น เนื่องจากค่าคงตัวทางเวลาของวงจรดิฟเฟอเรนเชียลไม่เหมาะสมกับความเร็วของการเปลี่ยนแปลงของสัญญาณอินพุท เนื่องจากในปริญญานิพนธ์ใช้กฎการวินิจฉัยเพียง 9 กฎ จึงทำให้ระบบที่ควบคุมเกิดการแกว่ง ดังนั้นเพื่อให้ระบบที่ควบคุมมีค่าที่นิ่งกว่านี้ จึงควรเพิ่มกฎการวินิจฉัยเป็น 25 หรือ 49 กฎ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] สว่าง เลิศธิรสุนทร , ผศ.ดร. วันชัย ริ้วรุจา , รศ.ดร. โยธิน เปรมปราณีรัชต์ ,"การออกแบบตัวควบคุมแบบฟัซซี่โดยใช้วงจรที่ไม่เป็นเชิงเส้น", วิทยานิพนธ์วิศวกรรมศาสตร์มหาบัณฑิต สาขาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พ.ศ.2540

[2] อรรถวัฒน์ มากมี , เฉลิมพงษ์ พังจุนันท์ และ ยงชัย พูลสวัสดิ์ , "การควบคุมความเร็วมอเตอร์กระแสตรงด้วยระบบควบคุมแบบฟัซซี่", ปริญญานิพนธ์วิศวกรรมศาสตร์บัณฑิต สาขาวิศวกรรมการวัดคุม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พ.ศ. 2541

[3] George J. Klir , Ute St. Clair , Bo Yuan , "Fuzzy Set Theory Foundations and Applications" , Prentice-Hall , Inc. 1997

[4] Michael Jacob, "Industrail Control Electrics Application and Design" , Prentrice-Hall , 1988

[5] Jun Yan , Michael Ryan , James Power , "Using Fuzzy Logic : Towards Intilligent System" , Prentrice-Hall , 1994

[6] L. A Zadeh , " The Calculus of Fuzzy if/Then Rule" , Al Expert , March , pp.23-27 , 1992

[7] W. Pedrycz, "Fuzzy Control and Fuzzy System" , Reseasch Studies Press Ltd. John Willy&sons , 1989

[8] Walter G. Jung , "IC OP-AMP Cookbook" ,Howard W. Sam&Co , Inc. , 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดของอุปกรณ์ที่ใช้ในการออกแบบ

National Semiconductor

LM741 Operational Amplifier

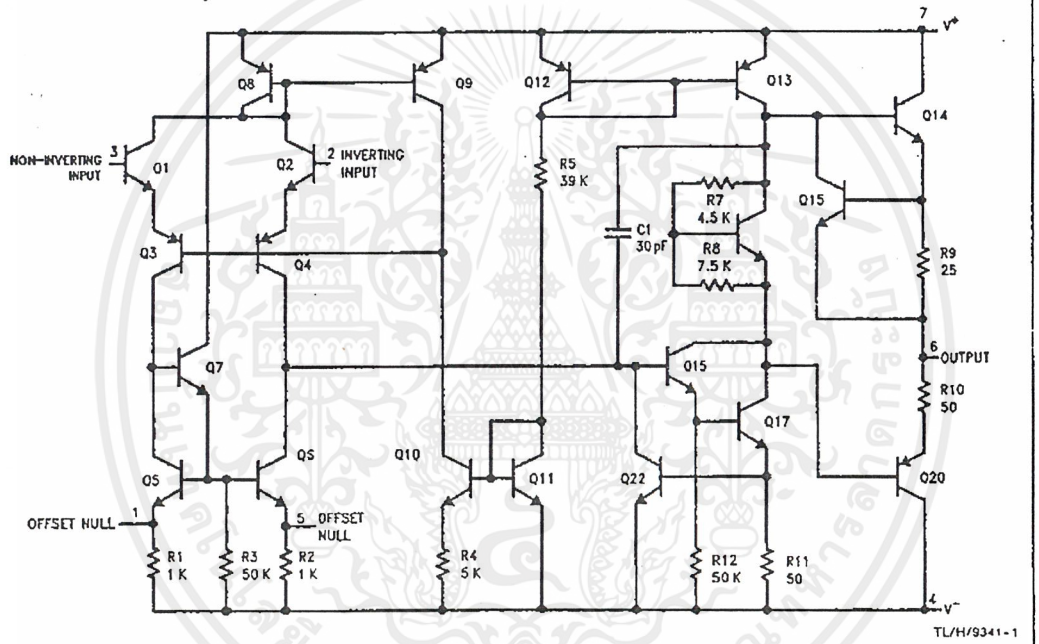
General Description

The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications.

The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

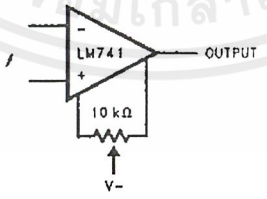
The LM741C/LM741E are identical to the LM741/LM741A except that the LM741C/LM741E have their performance guaranteed over a 0°C to +70°C temperature range, instead of −55°C to +125°C.

Schematic Diagram



TL/H/9341-1

Offset Nulling Circuit



TL/H/9341-7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

(Note 5)	LM741A	LM741E	LM741	LM741C
Supply Voltage	±22V	±22V	±22V	±18V
Power Dissipation (Note 1)	500 mW	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V	±30V
Input Voltage (Note 2)	±15V	±15V	±15V	±15V
Output Short Circuit Duration	Continuous	Continuous	Continuous	Continuous
Operating Temperature Range	−55°C to +125°C	0°C to +70°C	−55°C to +125°C	0°C to +70°C
Storage Temperature Range	−65°C to +150°C	−65°C to +150°C	−65°C to +150°C	−65°C to +150°C
Junction Temperature	150°C	100°C	150°C	100°C
Soldering Information				
N-Package (10 seconds)	260°C	260°C	260°C	260°C
J- or H-Package (10 seconds)	300°C	300°C	300°C	300°C
M-Package				
Vapor Phase (60 seconds)	215°C	215°C	215°C	215°C
Infrared (15 seconds)	215°C	215°C	215°C	215°C
See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.				
ESD Tolerance (Note 6)	400V	400V	400V	400V

Electrical Characteristics (Note 3)

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	$T_A = 25°C$ $R_S \le 10\,k\Omega$ $R_S \le 50\Omega$		0.8	3.0		1.0	5.0		2.0	6.0	mV mV
	$T_{AMIN} \le T_A \le T_{AMAX}$ $R_S \le 50\Omega$ $R_S \le 10\,k\Omega$			4.0			6.0			7.5	mV mV
Average Input Offset Voltage Drift				15							µV/°C
Input Offset Voltage Adjustment Range	$T_A = 25°C$, $V_S = \pm 20V$	±10				±15			±15		mV
Input Offset Current	$T_A = 25°C$		3.0	30		20	200		20	200	nA
	$T_{AMIN} \le T_A \le T_{AMAX}$			70		85	500			300	nA
Average Input Offset Current Drift				0.5							nA/°C
Input Bias Current	$T_A = 25°C$		30	80		80	500		80	500	nA
	$T_{AMIN} \le T_A \le T_{AMAX}$			0.210			1.5			0.8	µA
Input Resistance	$T_A = 25°C$, $V_S = \pm 20V$	1.0	6.0		0.3	2.0		0.3	2.0		MΩ
	$T_{AMIN} \le T_A \le T_{AMAX}$, $V_S = \pm 20V$	0.5									MΩ
Input Voltage Range	$T_A = 25°C$							±12	±13		V
	$T_{AMIN} \le T_A \le T_{AMAX}$				±12	±13					V
Large Signal Voltage Gain	$T_A = 25°C$, $R_L \ge 2\,k\Omega$ $V_S = \pm 20V$, $V_O = \pm 15V$ $V_S = \pm 15V$, $V_O = \pm 10V$	50			50	200		20	200		V/mV V/mV
	$T_{AMIN} \le T_A \le T_{AMAX}$, $R_L \ge 2\,k\Omega$, $V_S = \pm 20V$, $V_O = \pm 15V$ $V_S = \pm 15V$, $V_O = \pm 10V$ $V_S = \pm 5V$, $V_O = \pm 2V$	32 10			25			15			V/mV V/mV V/mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Note 3) (Continued)

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage Swing	$V_S = \pm 20V$										
	$R_L \geq 10\ k\Omega$	±16									V
	$R_L \geq 2\ k\Omega$	±15									V
	$V_S = \pm 15V$										
	$R_L \geq 10\ k\Omega$				±12	±14		±12	±14		V
	$R_L \geq 2\ k\Omega$				±10	±13		±10	±13		V
Output Short Circuit Current	$T_A = 25°C$	10	25	35		25			25		mA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$	10		40							mA
Common-Mode Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$										
	$R_S \leq 10\ k\Omega$, $V_{CM} = \pm 12V$				70	90		70	90		dB
	$R_S \leq 50\Omega$, $V_{CM} = \pm 12V$	80	95								dB
Supply Voltage Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $V_S = \pm 20V$ to $V_S = \pm 5V$										
	$R_S \leq 50\Omega$	86	96								dB
	$R_S \leq 10\ k\Omega$				77	96		77	96		dB
Transient Response	$T_A = 25°C$, Unity Gain										
Rise Time			0.25	0.8		0.3			0.3		µs
Overshoot			6.0	20		5			5		%
Bandwidth (Note 4)	$T_A = 25°C$	0.437	1.5								MHz
Slew Rate	$T_A = 25°C$, Unity Gain	0.3	0.7			0.5			0.5		V/µs
Supply Current	$T_A = 25°C$					1.7	2.8		1.7	2.8	mA
Power Consumption	$T_A = 25°C$										
	$V_S = \pm 20V$		80	150							mW
	$V_S = \pm 15V$					50	85		50	85	mW
LM741A	$V_S = \pm 20V$										
	$T_A = T_{AMIN}$			165							mW
	$T_A = T_{AMAX}$			135							mW
LM741E	$V_S = \pm 20V$										
	$T_A = T_{AMIN}$			150							mW
	$T_A = T_{AMAX}$			150							mW
LM741	$V_S = \pm 15V$										
	$T_A = T_{AMIN}$					60	100				mW
	$T_A = T_{AMAX}$					45	75				mW

Note 1: For operation at elevated temperatures, these devices must be derated based on thermal resistance, and T_j max. (listed under "Absolute Maximum Ratings"). $T_j = T_A + (\theta_{jA} P_D)$.

Thermal Resistance	Cerdip (J)	DIP (N)	HO8 (H)	SO-8 (M)
θ_{jA} (Junction to Ambient)	100°C/W	100°C/W	170°C/W	195°C/W
θ_{jC} (Junction to Case)	N/A	N/A	25°C/W	N/A

Note 2: For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.

Note 3: Unless otherwise specified, these specifications apply for $V_S = \pm 15V$, $-55°C \leq T_A \leq +125°C$ (LM741/LM741A). For the LM741C/LM741E, these specifications are limited to $0°C \leq T_A \leq +70°C$.

Note 4: Calculated value from: BW (MHz) = 0.35/Rise Time(µs).

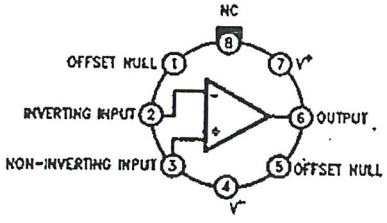
Note 5: For military specifications see RETS741X for LM741 and RETS741AX for LM741A.

Note 6: Human body model, 1.5 kΩ in series with 100 pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams

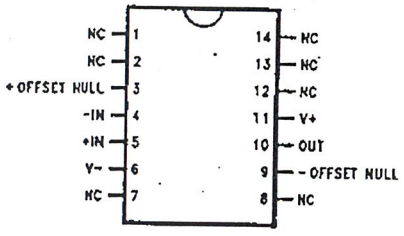
Metal Can Package



TL/H/9341-2

Order Number LM741H, LM741H/883*, LM741AH/883 or LM741CH
See NS Package Number H08C

Ceramic Dual-In-Line Package

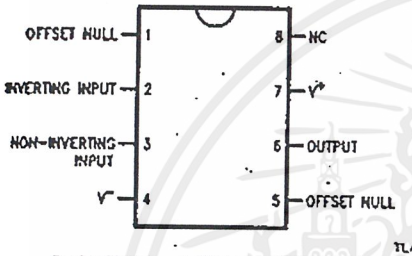


TL/H/9341-5

Order Number LM741J-14/883*, LM741AJ-14/883**
See NS Package Number J14A

*also available per JM38510/10101
**also available per JM38510/10102

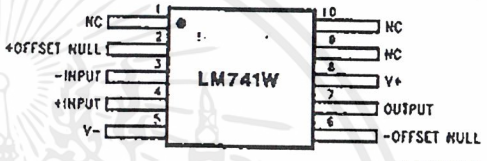
Dual-In-Line or S.O. Package



TL/H/9341-3

Order Number LM741J, LM741J/883, LM741CM, LM741CN or LM741EN
See NS Package Number J08A, M08A or N08E

Ceramic Flatpak



TL/H/9341-6

Order Number LM741W/883
See NS Package Number W10A

*LM741H is available per JM38510/10101

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANALOG DEVICES

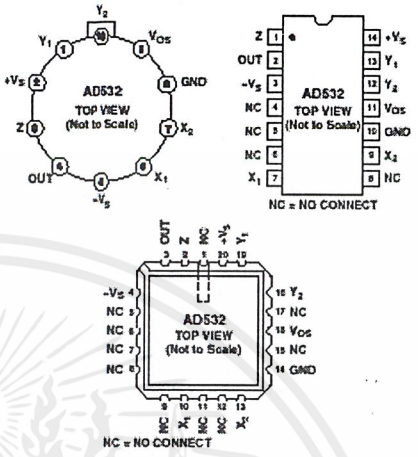
Internally Trimmed Integrated Circuit Multiplier

AD532

FEATURES
- Pretrimmed to ±1.0% (AD532K)
- No External Components Required
- Guaranteed ±1.0% max 4-Quadrant Error (AD532K)
- Diff Inputs for $(X_1 - X_2)(Y_1 - Y_2)/10$ V Transfer Function
- Monolithic Construction, Low Cost

APPLICATIONS
- Multiplication, Division, Squaring, Square Rooting
- Algebraic Computation
- Power Measurements
- Instrumentation Applications
- Available in Chip Form

PIN CONFIGURATIONS



PRODUCT DESCRIPTION

The AD532 is the first pretrimmed single chip monolithic multiplier/divider. It guarantees a maximum multiplying error of ±1.0% and a ±10 V output voltage without the need for any external trimming resistors or output op amp. Because the AD532 is internally trimmed, its simplicity of use provides design engineers with an attractive alternative to modular multipliers, and its monolithic construction provides significant advantages in size, reliability and economy. Further, the AD532 can be used as a direct replacement for other IC multipliers that require external trim networks.

FLEXIBILITY OF OPERATION

The AD532 multiplies in four quadrants with a transfer function of $(X_1 - X_2)(Y_1 - Y_2)/10$ V, divides in two quadrants with a 10 V $Z/(X_1 - X_2)$ transfer function, and square roots in one quadrant with a transfer function of $\pm\sqrt{10\,V\,Z}$. In addition to these basic functions, the differential X and Y inputs provide significant operating flexibility both for algebraic computation and transducer instrumentation applications. Transfer functions, such as $XY/10$ V, $(X^2 - Y^2)/10$ V, $\pm X^2/10$ V, and 10 V $Z/(X_1 - X_2)$, are easily attained and are extremely useful in many modulation and function generation applications, as well as in trigonometric calculations for airborne navigation and guidance applications, where the monolithic construction and small size of the AD532 offer considerable system advantages. In addition, the high CMRR (75 dB) of the differential inputs makes the AD532 especially well qualified for instrumentation applications, as it can provide an output signal that is the product of two transducer-generated input signals.

GUARANTEED PERFORMANCE OVER TEMPERATURE

The AD532J and AD532K are specified for maximum multiplying errors of ±2% and ±1% of full scale, respectively at 25°C, and are rated for operation from 0°C to 70°C. The AD532S has a maximum multiplying error of ±1% of full scale at 25°C; it is also 100% tested to guarantee a maximum error of ±4% at the extended operating temperature limits of –55°C and +125°C. All devices are available in either the hermetically-sealed TO-100 metal can, TO-116 ceramic DIP or LCC packages. J, K, and S grade chips are also available.

ADVANTAGES OF ON-THE-CHIP TRIMMING OF THE MONOLITHIC AD532

1. True ratiometric trim for improved power supply rejection.
2. Reduced power requirements since no networks across supplies are required.
3. More reliable since standard monolithic assembly techniques can be used rather than more complex hybrid approaches.
4. High impedance X and Y inputs with negligible circuit loading.
5. Differential X and Y inputs for noise rejection and additional computational flexibility.

REV. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781/329-4700 World Wide Web Site: http://www.analog.com
Fax: 781/326-8703 © Analog Devices, Inc., 2001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AD532—SPECIFICATIONS (@ 25°C, V_S = ±15 V, R ≥ 2 kΩ V_{OS} grounded, unless otherwise noted.)

Model	AD532J Min	AD532J Typ	AD532J Max	AD532K Min	AD532K Typ	AD532K Max	AD532S Min	AD532S Typ	AD532S Max	Unit
MULTIPLIER PERFORMANCE										
Transfer Function		$\frac{(X_1-X_2)(Y_1-Y_2)}{10\,V}$			$\frac{(X_1-X_2)(Y_1-Y_2)}{10\,V}$			$\frac{(X_1-X_2)(Y_1-Y_2)}{10\,V}$		
Total Error (–10 V ≤ X, Y ≤ +10 V)		±1.5	±2.0		±0.7	±1.0		±0.5	±1.0	%
T_S = Min to Max		±2.5			±1.5				±4.0	%
Total Error vs. Temperature		±0.04			±0.03			±0.01	±0.04	%/°C
Supply Rejection (±15 V ± 10%)		±0.05			±0.05			±0.05		%/%
Nonlinearity, X (X = 20 V p-p, Y = 10 V)		±0.8			±0.5			±0.5		%
Nonlinearity, Y (Y = 20 V p-p, X = 10 V)		±0.3			±0.2			±0.2		%
Feedthrough, X (Y Nulled, X = 20 V p-p 50 Hz)		50	200		30	100		30	100	mV
Feedthrough, Y (X Nulled, Y = 20 V p-p 50 Hz)		30	150		25	80		25	80	mV
Feedthrough vs. Temperature		2.0			1.0			1.0		mV p-p/°C
Feedthrough vs. Power Supply		±0.25			±0.25			±0.25		mV/%
DYNAMICS										
Small Signal BW (V_{OUT} = 0.1 rms)		1			1			1		MHz
1% Amplitude Error		75			75			75		kHz
Slew Rate (V_{OUT} 20 p-p)		45			45			45		V/μs
Settling Time (to 2%, ΔV_{OUT} = 20 V)		1			1			1		μs
NOISE										
Wideband Noise f = 5 Hz to 10 kHz		0.6			0.6			0.6		mV (rms)
f = 5 Hz to 5 MHz		3.0			3.0			3.0		mV (rms)
OUTPUT										
Output Voltage Swing	±10	±13		±10	±13		±10	±13		V
Output Impedance (f ≤ 1 kHz)		1			1			1		Ω
Output Offset Voltage		±40				±30			±30	mV
Output Offset Voltage vs. Temperature		0.7			0.7				2.0	mV/°C
Output Offset Voltage vs. Supply		±2.5			±2.5			±2.5		mV/%
INPUT AMPLIFIERS (X, Y, and Z)										
Signal Voltage Range (Diff. or CM Operating Diff)		±10			±10			±10		V
CMRR	40			50			50			dB
Input Bias Current										
X, Y Inputs		3			1.5	4		1.5	4	μA
X, Y Inputs T_{MIN} to T_{MAX}		10			8			8		μA
Z Input		±10			±5	±15		±5	±15	μA
Z Input T_{MIN} to T_{MAX}		±30			±25			±25		μA
Offset Current		±0.3			±0.1			±0.1		μA
Differential Resistance		10			10			10		MΩ
DIVIDER PERFORMANCE										
Transfer Function ($X_1 > X_2$)		10 V Z/($X_1 - X_2$)			10 V Z/($X_1 - X_2$)			10 V Z/($X_1 - X_2$)		
Total Error										
(V_X = –10 V, –10 V ≤ V_Z ≤ +10 V)		±2			±1			±1		%
(V_X = –1 V, –10 V ≤ V_Z ≤ +10 V)		±4			±3			±3		%
SQUARE PERFORMANCE										
Transfer Function		$\frac{(X_1-X_2)^2}{10\,V}$			$\frac{(X_1-X_2)^2}{10\,V}$			$\frac{(X_1-X_2)^2}{10\,V}$		
Total Error		±0.8			±0.4			±0.4		%
SQUARE ROOTER PERFORMANCE										
Transfer Function		$-\sqrt{10\,V\,Z}$			$-\sqrt{10\,V\,Z}$			$-\sqrt{10\,V\,Z}$		
Total Error (0 V ≤ V_Z ≤ 10 V)		±1.5			±1.0			±1.0		%
POWER SUPPLY SPECIFICATIONS										
Supply Voltage										
Rated Performance		±15			±15			±15		V
Operating	±10		±18	±10		±18	±10		±22	V
Supply Current										
Quiescent		4	6		4	6		4	6	mA
PACKAGE OPTIONS										
TO-116 (D-14)		AD532JD			AD532KD			AD532SD		
TO-100 (H-10A)		AD532JH			AD532KH			AD532SH		
LCC (E-20A)								AD532SE/883B		

Specifications subject to change without notice.

Specifications shown in **boldface** are tested on all production units at final electrical test. Results from those tests are used to calculate outgoing quality levels. All min and max specifications are guaranteed, although only those shown in **boldface** are tested on all production units.

THERMAL CHARACTERISTICS

H-10A: θ_{JC} = 25°C/W; θ_{JA} = 150°C/W

E-20A: θ_{JC} = 22°C/W; θ_{JA} = 85°C/W

D-14: θ_{JC} = 22°C/W; θ_{JA} = 85°C/W

REV. C

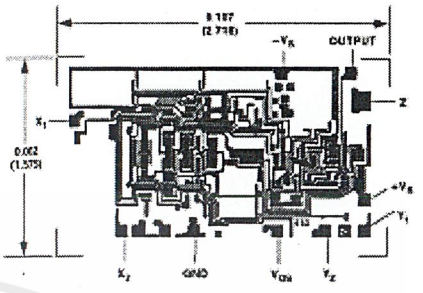
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING GUIDE

Model	Temperature Ranges	Package Descriptions	Package Options
AD532JD	0°C to 70°C	Side Brazed DIP	D-14
AD532JD/+	0°C to 70°C	Side Brazed DIP	D-14
AD532KD	0°C to 70°C	Side Brazed DIP	D-14
AD532KD/+	0°C to 70°C	Side Brazed DIP	D-14
AD532JH	0°C to 70°C	Header	H-10A
AD532KH	0°C to 70°C	Header	H-10A
AD532JCHIPS	0°C to 70°C	Chip	
AD532SD	–55°C to +125°C	Side Brazed DIP	D-14
AD532SD/883B	–55°C to +125°C	Side Brazed DIP	D-14
JM38510/13903BCA	–55°C to +125°C	Side Brazed DIP	D-14
AD532SE/883B	–55°C to +125°C	LCC	E-20A
AD532SH	–55°C to +125°C	Header	H-10A
AD532SH/883B	–55°C to +125°C	Header	H-10A
JM38510/13903BIA	–55°C to +125°C	Header	H-10A
AD532SCHIPS	–55°C to +125°C	Chip	

CHIP DIMENSIONS AND BONDING DIAGRAM

Contact factory for latest dimensions.
Dimensions shown in inches and (mm).



FUNCTIONAL DESCRIPTION

The functional block diagram for the AD532 is shown in Figure 1, and the complete schematic in Figure 2. In the multiplying and squaring modes, Z is connected to the output to close the feedback around the output op amp. (In the divide mode, it is used as an input terminal.)

The X and Y inputs are fed to high impedance differential amplifiers featuring low distortion and good common-mode rejection. The amplifier voltage offsets are actively laser trimmed to zero during production. The product of the two inputs is resolved in the multiplier cell using Gilbert's linearized transconductance technique. The cell is laser trimmed to obtain $V_{OUT} = (X_1 - X_2)(Y_1 - Y_2)/10$ volts. The built-in op amp is used to obtain low output impedance and make possible self-contained operation. The residual output voltage offset can be zeroed at V_{OS} in critical applications . . . otherwise the V_{OS} pin should be grounded.

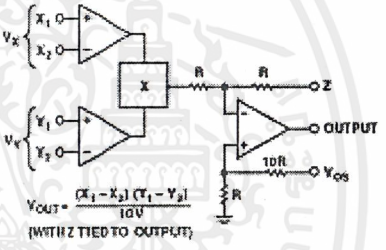


Figure 1. Functional Block Diagram

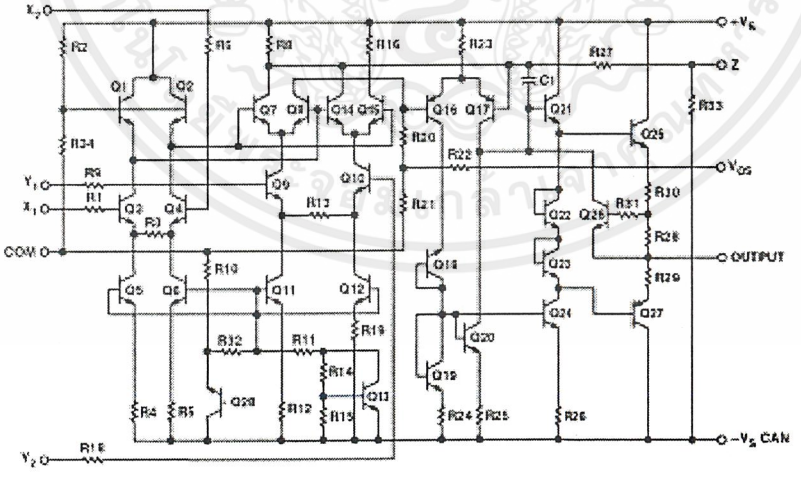


Figure 2. Schematic Diagram

REV. C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AD532 PERFORMANCE CHARACTERISTICS

Multiplication accuracy is defined in terms of total error at 25°C with the rated power supply. The value specified is in percent of full scale and includes X_{IN} and Y_{IN} nonlinearities, feedback and scale factor error. To this must be added such application-dependent error terms as power supply rejection, common-mode rejection and temperature coefficients (although worst case error over temperature is specified for the AD532S). Total expected error is the rms sum of the individual components since they are uncorrelated.

Accuracy in the divide mode is only a little more complex. To achieve division, the multiplier cell must be connected in the feedback of the output op amp as shown in Figure 13. In this configuration, the multiplier cell varies the closed loop gain of the op amp in an inverse relationship to the denominator voltage. Thus, as the denominator is reduced, output offset, bandwidth and other multiplier cell errors are adversely affected. The divide error and drift are then $\varepsilon_m \times 10\ V/X_1 - X_2$) where ε_m represents multiplier full-scale error and drift, and (X_1-X_2) is the absolute value of the denominator.

NONLINEARITY

Nonlinearity is easily measured in percent harmonic distortion. The curves of Figures 3 and 4 characterize output distortion as a function of input signal level and frequency respectively, with one input held at plus or minus 10 V dc. In Figure 4 the sine wave amplitude is 20 V (p-p).

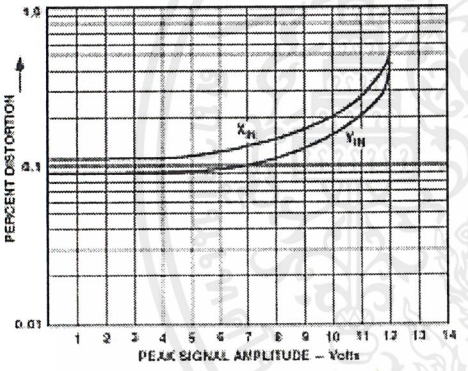


Figure 3. Percent Distortion vs. Input Signal

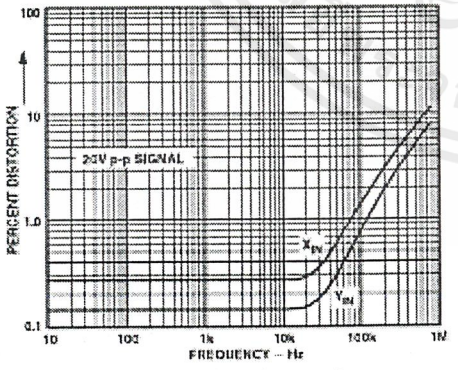


Figure 4. Percent Distortion vs. Frequency

AC FEEDTHROUGH

AC feedthrough is a measure of the multiplier's zero suppression. With one input at zero, the multiplier output should be zero regardless of the signal applied to the other input. Feedthrough as a function of frequency for the AD532 is shown in Figure 5. It is measured for the condition $V_X = 0$, $V_Y = 20$ V (p-p) and $V_Y = 0$, $V_X = 20$ V (p-p) over the given frequency range. It consists primarily of the second harmonic and is measured in millivolts peak-to-peak.

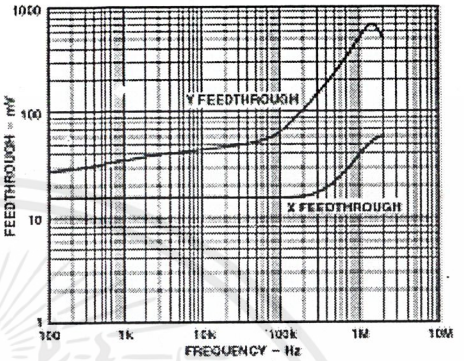


Figure 5. Feedthrough vs. Frequency

COMMON-MODE REJECTION

The AD532 features differential X and Y inputs to enhance its flexibility as a computational multiplier/divider. Common-mode rejection for both inputs as a function of frequency is shown in Figure 6. It is measured with $X_1 = X_2 = 20$ V (p-p), $(Y_1 - Y_2) = 10$ V dc and $Y_1 = Y_2 = 20$ V (p-p), $(X_1 = X_2) = 10$ V dc.

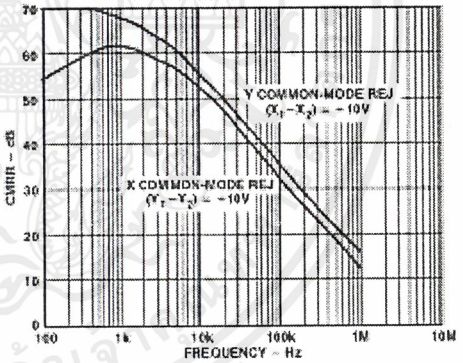


Figure 6. CMRR vs. Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

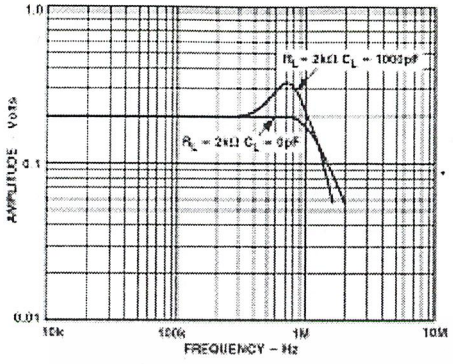


Figure 7. Frequency Response, Multiplying

DYNAMIC CHARACTERISTICS

The closed loop frequency response of the AD532 in the multiplier mode typically exhibits a 3 dB bandwidth of 1 MHz and rolls off at 6 dB/octave thereafter. Response through all inputs is essentially the same as shown in Figure 7. In the divide mode, the closed loop frequency response is a function of the absolute value of the denominator voltage as shown in Figure 8.

Stable operation is maintained with capacitive loads to 1000 pF in all modes, except the square root for which 50 pF is a safe upper limit. Higher capacitive loads can be driven if a 100 Ω resistor is connected in series with the output for isolation.

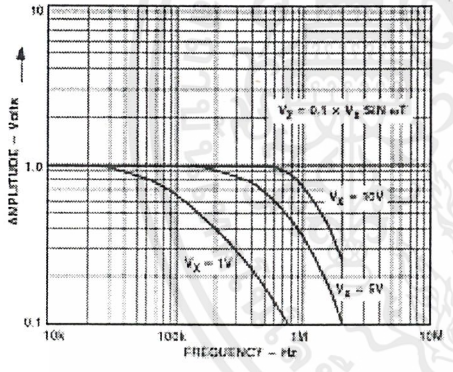


Figure 8. Frequency Response, Dividing

POWER SUPPLY CONSIDERATIONS

Although the AD532 is tested and specified with ±15 V dc supplies, it may be operated at any supply voltage from ±10 V to ±18 V for the J and K versions, and ±10 V to ±22 V for the S version. The input and output signals must be reduced proportionately to prevent saturation; however, with supply voltages below ±15 V, as shown in Figure 9. Since power supply sensitivity is not dependent on external null networks as in other conventionally nulled multipliers, the power supply rejection ratios are improved from 3 to 40 times in the AD532.

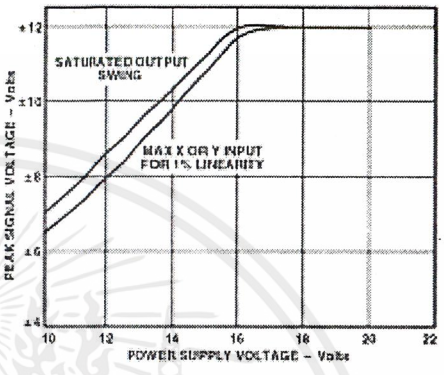


Figure 9. Signal Swing vs. Supply

NOISE CHARACTERISTICS

All AD532s are screened on a sampling basis to assure that output noise will have no appreciable effect on accuracy. Typical spot noise vs. frequency is shown in Figure 10.

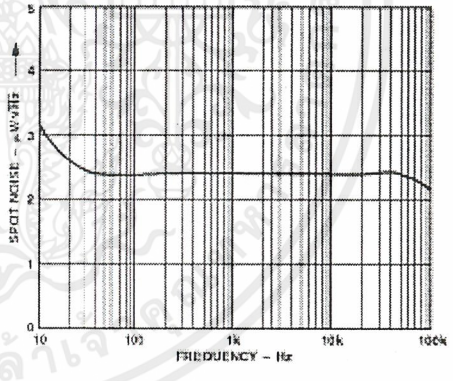


Figure 10. Spot Noise vs. Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS CONSIDERATIONS

The performance and ease of use of the AD532 is achieved through the laser trimming of thin-film resistors deposited directly on the monolithic chip. This trimming-on-the-chip technique provides a number of significant advantages in terms of cost, reliability and flexibility over conventional in-package trimming of off-the-chip resistors mounted or deposited on a hybrid substrate.

First and foremost, trimming on the chip eliminates the need for a hybrid substrate and the additional bonding wires that are required between the resistors and the multiplier chip. By trimming more appropriate resistors on the AD532 chip itself, the second input terminals that were once committed to external trimming networks have been freed to allow fully differential operation at both the X and Y inputs. Further, the requirement for an input attenuator to adjust the gain at the Y input has been eliminated, letting the user take full advantage of the high input impedance properties of the input differential amplifiers. Thus, the AD532 offers greater flexibility for both algebraic computation and transducer instrumentation applications.

Finally, provision for fine trimming the output voltage offset has been included. This connection is optional, however, as the AD532 has been factory-trimmed for total performance as described in the listed specifications.

REPLACING OTHER IC MULTIPLIERS

Existing designs using IC multipliers that require external trimming networks can be simplified using the pin-for-pin replaceability of the AD532 by merely grounding the X_2, Y_2 and V_{OS} terminals. (The V_{OS} terminal should always be grounded when unused.)

APPLICATIONS

MULTIPLICATION

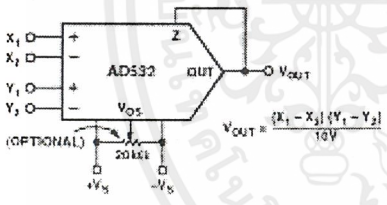


Figure 11. Multiplier Connection

For operation as a multiplier, the AD532 should be connected as shown in Figure 11. The inputs can be fed differentially to the X and Y inputs, or single-ended by simply grounding the unused input. Connect the inputs according to the desired polarity in the output. The Z terminal is tied to the output to close the feedback loop around the op amp (see Figure 1). The offset adjust V_{OS} is optional and is adjusted when both inputs are zero volts to obtain zero out, or to buck out other system offsets.

SQUARE

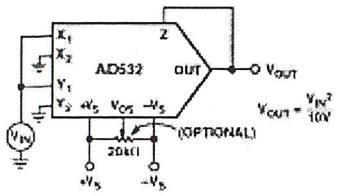


Figure 12. Squarer Connection

The squaring circuit in Figure 12 is a simple variation of the multiplier. The differential input capability of the AD532, however, can be used to obtain a positive or negative output response to the input . . . a useful feature for control applications, as it might eliminate the need for an additional inverter somewhere else.

DIVISION

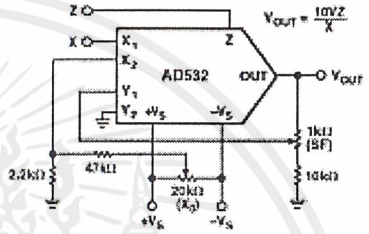


Figure 13. Divider Connection

The AD532 can be configured as a two-quadrant divider by connecting the multiplier cell in the feedback loop of the op amp and using the Z terminal as a signal input, as shown in Figure 13. It should be noted, however, that the output error is given approximately by $10\ V\ \epsilon_m/(X_1 - X_2)$, where ϵ_m is the total error specification for the multiply mode; and bandwidth by $f_m \times (X_1 - X_2)/10\ V$, where f_m is the bandwidth of the multiplier. Further, to avoid positive feedback, the X input is restricted to negative values. Thus for single-ended negative inputs (0 V to −10 V), connect the input to X and the offset null to X_2; for single-ended positive inputs (0 V to +10 V), connect the input to X_2 and the offset null to X_1. For optimum performance, gain (S.F.) and offset (X_0) adjustments are recommended as shown and explained in Table I.

For practical reasons, the useful range in denominator input is approximately $500\ mV \le |(X_1 - X_2)| \le 10\ V$. The voltage offset adjust (V_{OS}), if used, is trimmed with Z at zero and $(X_1 - X_2)$ at full scale.

Table I. Adjust Procedure (Divider or Square Rooter)

	DIVIDER			SQUARE ROOTER	
	With:		Adjust for:	With:	Adjust for:
Adjust	X	Z	V_{OUT}	Z	V_{OUT}
Scale Factor	−10 V	+10 V	−10 V	+10 V	−10 V
X_0 (Offset)	−1 V	+0.1 V	−1 V	+0.1 V	−1 V

Repeat if required.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SQUARE ROOT

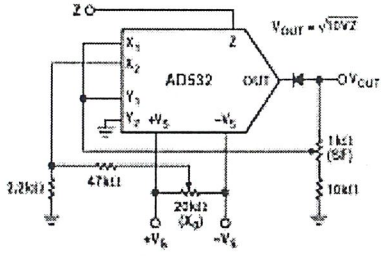


Figure 14. Square Rooter Connection

The connections for square root mode are shown in Figure 14. Similar to the divide mode, the multiplier cell is connected in the feedback of the op amp by connecting the output back to both the X and Y inputs. The diode D_1 is connected as shown to prevent latch-up as Z_{IN} approaches 0 volts. In this case, the V_{OS} adjustment is made with Z_{IN} = +0.1 V dc, adjusting V_{OS} to obtain −1.0 V dc in the output, $V_{OUT} = -\sqrt{10\text{ V}\,Z}$. For optimum performance, gain (S.F.) and offset (X_0) adjustments are recommended as shown and explained in Table I.

DIFFERENCE OF SQUARES

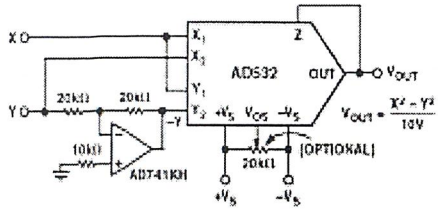


Figure 15. Differential of Squares Connection

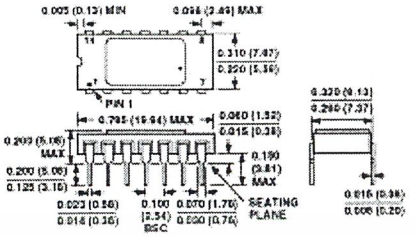
The differential input capability of the AD532 allows for the algebraic solution of several interesting functions, such as the difference of squares, $X_2 - Y_2/10$ V. As shown in Figure 15, the AD532 is configured in the square mode, with a simple unity gain inverter connected between one of the signal inputs (Y) and one of the inverting input terminals ($-Y_{IN}$) of the multiplier. The inverter should use precision (0.1%) resistors or be otherwise trimmed for unity gain for best accuracy.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

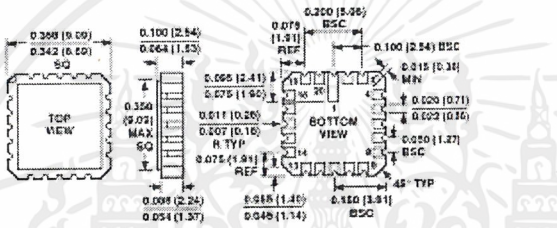
OUTLINE DIMENSIONS

Dimensions shown in inches and (mm).

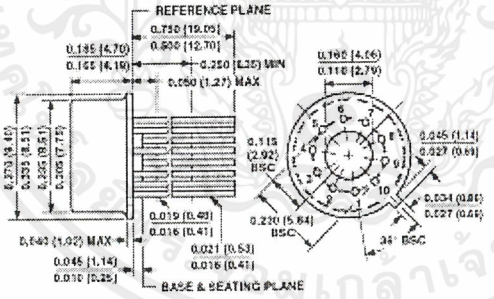
Side-Brazed DIP
(D-14)



Leadless Chip Carrier
(E-20A)



Metal Can
(H-10A)



C00502h–0–2/01 (rev. C)

PRINTED IN U.S.A.

REV. C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้