

การแปลงภาพระดับสีเทาด้วยสมการบูลีน

Boolean Expression for Edge Detection



นายณัฐกานต์ หนองพงษ์
นายธนัญชัย อังเอกวุฒิ
นายไพโรจน์ อินศรีจันทร์

เลขที่.....
เลขทะเบียน 42517
วัน, เดือน, ปี 24 พ.ค. 2545

b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาตรีวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมการวัดคุม

ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานปีการศึกษา 2543 นั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Handwritten signature)

Boolean Expression for Edge Detection




A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
BACHELOR OF ENGINEERING IN INSTRUMENTATION ENGINEERING
DEPARTMENT OF INDUSTRIAL INSTRUMENTATION TECHNOLOGY
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองปริญญาโท

หัวข้อปริญญาโท การแปลระดับภาพสีเทาด้วยสมการบูลีน
BOOLEAN EXPRESSION FOR EDGE DETECTION
นักศึกษาผู้จัดทำ นายณัฐกานต์ หนองพงษ์ รหัสประจำตัว 41013409
นายธนัญชัย จงเอกวุฒิ รหัสประจำตัว 41013414
นายไพโรจน์ อินศรีชื่น รหัสประจำตัว 41013422
ปริญญา วิศวกรรมศาสตรบัณฑิต
สาขาวิชา วิศวกรรมการวัดคุม
ปีการศึกษา 2543

อาจารย์ผู้ควบคุมปริญญาโท	ลายมือชื่อ
รศ.ดร.ฟูศักดิ์ ชั่วสุวิทย์	

วันเดือนปี ที่สอบ วันอังคารที่ 10 เมษายน พ.ศ. 2544
สถานที่สอบ ณ. ห้องสอบปริญญาโท ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม


ภาควิชารับรองแล้ว

(ผศ.ประสิทธิ์ จุลเสรีวงศ์)

หัวหน้าภาควิชา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญาโท

การแปลงภาพระดับสีเทาด้วยสมการบูลีน

Boolean Expression for Edge Detection

นักศึกษาผู้จัดทำ

นายณัฐกานต์ หนองพงษ์

นายธนัญชัย จงเอกวุฒิ

นายไพโรจน์ อินศรีชื่น

อาจารย์ที่ปรึกษา

รศ.ดร. พุศิกดิ์ ชีวสุวิทย์

ปีการศึกษา

2543

บทคัดย่อ

ในปัจจุบันการประยุกต์ใช้การประมวลผลสัญญาณดิจิทัลเพิ่มสูงขึ้น เนื่องจากสัญญาณดิจิทัลนั้นมีความเที่ยงตรงสูงกว่าสัญญาณอนาล็อก (analog) จึงเป็นที่นิยมใช้กันอย่างแพร่หลาย การประมวลผลสัญญาณดิจิทัลได้มีการนำไปประยุกต์กับงานต่างๆ เช่น การสื่อสารผ่าน port การประมวลผลความเร็วสูง การใช้งานทางการวัดทางอุตสาหกรรม เป็นต้น สำหรับปริญญาโทฉบับนี้ เป็นการประยุกต์การประมวลผลสัญญาณดิจิทัลอีกแขนง โดยการสร้างฟังก์ชัน Boolean ขึ้นมาใช้สำหรับหาขอบของวัตถุ แล้วนำมาประมวลผลเป็นสัญญาณดิจิทัลก่อนที่จะนำไปแสดงผลบนจอคอมพิวเตอร์ ซึ่งจะเป็นการแสดงผลของวัตถุที่ต้องการนั้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Boolean Expression for Edge Detection
Authors	Mr. Nuttakarn Nongpong Mr. Thananchai Chongekkwut Mr. Pairoit Insrichuen
Thesis Advisor	Assoc.Prof.Dr. Fusak Cheevasuvit
Year	2000

ABSTRACT

Nowaday , The digital signal processing was creating for use increment. Because it has exactly than analog signal. So that , Digital signal processing are expand to use.

People apply the digital signal processing to use with many work. Such as the communicate on port , processing of high speed , measurement some works about industrial , etc.

This thesis create another handing of digital signal processing by build Boolean's function to find the object's edge. And then , we condify them become digital signal before they show on the desk top of computer. That is your require the object's edge



กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยดี เพราะได้รับความเมตตาจาก รองศาสตราจารย์ พุศศักดิ์ ชิวสุวิทย์ ที่ได้ให้คำแนะนำแก่ผู้วิจัยตลอดมา อีกทั้งยังเอื้อเฟื้ออุปกรณ์และเครื่องมือต่างๆ ในการทำวิทยานิพนธ์นี้ ผู้วิจัยรู้สึกซาบซึ้ง และขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบพระคุณ อาจารย์ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรมทุกท่าน ที่ได้ให้คำแนะนำอันเป็นประโยชน์ต่อการทำวิทยานิพนธ์ฉบับนี้

ขอกราบขอบพระคุณ คุณพ่อและคุณแม่ อันเป็นที่รักยิ่ง ที่สนับสนุนและเป็นแรงบันดาลใจ ในการทำวิทยานิพนธ์ฉบับนี้

และที่จะลืมเสียมิได้คือ ขอขอบคุณเพื่อนๆ ที่คอยช่วยกันคิดและแก้ไขปัญหา จนทำให้ วิทยานิพนธ์ฉบับนี้เสร็จสมบูรณ์

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับ นี้ ผู้วิจัยขอบอบแต่ผู้มีพระคุณทุกท่าน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญภาพ.....	VIII
บทที่ 1 บทนำ.....	1
1.1 เป็นมาของหัวข้อปริญญานิพนธ์.....	1
1.2 วัตถุประสงค์ของปริญญานิพนธ์.....	1
1.3 ขอบเขตของปริญญานิพนธ์.....	1
1.4 รายละเอียดของปริญญานิพนธ์.....	1
บทที่ 2 ทฤษฎีและหลักการ.....	3
2.1 การประมวลผลภาพดิจิทัล (Digital image processing).....	3
2.1.1 Digitization and Standards.....	3
2.1.2 Image enhancement.....	4
2.1.3 Image analysis.....	5
2.2 การหาขอบภาพโดยใช้สมการบูลีน.....	6
2.2.1 การหาขอบภาพ.....	7
2.3 องค์ประกอบของสัญญาณภาพ.....	11
2.3.1 สัญญาณควบคุมตำแหน่งภาพทางแนวนอน.....	11
2.3.2 สัญญาณลบเส้นสลับกลับทางแนวนอน.....	11
2.3.3 สัญญาณควบคุมตำแหน่งภาพทางแนวตั้ง.....	12
2.3.4 สัญญาณลบเส้นสลับกลับทางแนวตั้ง.....	12
2.3.5 สัญญาณรักษารูปร่างของสัญญาณเวกเตอร์คอลลิงค์.....	13
บทที่ 3 หลักการทำงานของ DSK.....	15
3.1 สิ่งที่ควรทราบเกี่ยวกับ DSK.....	15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 ภาพที่ได้หลังจากการหาขอบภาพ(edge detection).....	45
บทที่ 6 สรุปผลการทดลอง.....	46
บรรณานุกรม	47
ภาคผนวก	



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
3.2 ส่วนประกอบของ DSK.....	15
3.3 DSK ฮาร์ดแวร์ อินเทอร์เน็ต.....	16
3.3.1 Host hardware อินเทอร์เน็ต.....	16
3.4 TLC 32040 AIC ฮาร์ดแวร์อินเทอร์เน็ต.....	19
3.5 แผนผังภายในหน่วยความจำของ DSK.....	20
3.6 การสื่อสารข้อมูลของ DSK.....	21
3.6.1 Command.....	22
3.6.2 Debugging Functions.....	23
3.6.3 การ INTERRUPTS.....	23
บทที่ 4 หลักการและการออกแบบ.....	27
4.1 หลักการทำงานของ hard ware.....	27
4.2 อุปกรณ์แปลงสัญญาณอนาล็อกเป็นดิจิทัล (Analog to Digital).....	28
4.3 อุปกรณ์แยกสัญญาณซิงค์ (Sync Sperator).....	30
4.3.1 ส่วนแยกสัญญาณซิงค์ (Video Sync Sperator).....	32
4.3.2 ส่วนกำเนิดสัญญาณแบดจี้.....	32
4.4 หน่วยความจำ.....	34
4.5 อุปกรณ์ควบคุม (Control Unit).....	36
4.5.1 สร้างสัญญาณ Reset.....	36
4.5.2 สร้างสัญญาณ CE (Chip Enable).....	37
4.5.3 สร้างสัญญาณนาฬิกา (CLK).....	39
4.5.4 ควบคุม Address.....	40
4.5.5 สัญญาณอินเทอร์รัพ.....	42
4.6 การส่งข้อมูลไปยัง DSK.....	43
บทที่ 5 ผลการทดลอง.....	44
5.1 ภาพที่เก็บได้ก่อนปรับจำนวนจุด ต่อ เส้น ให้เหมาะสม.....	44
5.2 ภาพที่ได้หลังจากการปรับจำนวนจุดต่อเส้น.....	44
5.3 ภาพที่ได้หลังจากทำการปรับระดับ (threshold).....	45

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
2.1 รายละเอียดของสัญญาณควบคุมตำแหน่งภาพและสัญญาณลบเส้นสับกลับทางแนวนอน	12
2.2 รายละเอียดของสัญญาณควบคุมตำแหน่งภาพและสัญญาณลบเส้นสับกลับทางแนวตั้ง	13
2.3 รายละเอียดของสัญญาณควบคุมตำแหน่งภาพในฟิล์มแรก	13
2.4 รายละเอียดของสัญญาณควบคุมตำแหน่งภาพในฟิล์มที่สอง	14
3-1 Single-step Pipeline Flow	26
4.1 แสดงค่าพารามิเตอร์ของระบบต่างๆที่มีใช้กันอยู่	29
4.2 แสดงตารางความจริงของสัญญาณ reset	37
4.3 แสดงตารางความจริงของสัญญาณ CE	38



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (หรือรูป)

ภาพที่ (หรือรูปที่)	หน้า
2.1 แสดงการเกิดปรากฏการณ์ false contouring.....	4
2.2 แสดงการหาขอบของวัตถุ.....	6
2.3 แสดงภาพตัวอย่างที่ใช้ binary image ในการหาขอบภาพ.....	7
2.4 แสดงการหาขอบภาพโดยสมการบลูตินแบบ 8connectivity.....	8
2.5 แสดงการหาขอบภาพโดยสมการบลูตินแบบ 4-connectivity.....	9
2.6 แสดงการหาขอบภาพโดยสมการบลูตินแบบ 8-connectivity with noise reduce.....	10
2.7 แสดงการหาขอบภาพโดยสมการบลูตินแบบ 4- connectivity with noise reduce.....	10
3.1 TMS320C3X DSK Functional Circuit Diagram.....	17
3.2 parallel port Control Register (0*37A).....	18
3.3 parallel port Status Register (0*379).....	18
3.4 Memory map.....	21
3.5 โครงสร้างการเก็บข้อมูล.....	22
3.6 Single-step flow diagram.....	25
4.1 บล็อกไดอะแกรมแสดงการทำงานของฮาร์ดแวร์.....	28
4.2 แสดงบล็อกไดอะแกรมของการแปลงสัญญาณอนาล็อกเป็นดิจิทัล.....	28
4.3 แสดงเวลาที่ใช้ในการ Scan ภาพของสัญญาณทางแนวนอน.....	29
4.4 ก. แสดงถึงสัญญาณ vertical blank และ ฟิลด์เส้นคี่ (odd).....	30
4.4 ข. แสดงถึงสัญญาณ horizontal blank.....	31
4.5 บล็อกไดอะแกรมของภาคแยกสัญญาณซิงค์.....	31
4.6 แสดงวงจร A to D และ วงจรแยกสัญญาณซิงค์.....	33
4.7 แสดงการออกแบบหน่วยความจำ.....	35
4.8 Timing diagram ของสัญญาณ Vertical Blank และ สัญญาณ Odd.....	36
4.9 วงจรสัญญาณ Reset.....	37
4.10 แสดง Timing diagram ของสัญญาณ CE.....	38
4.11 วงจรสัญญาณ CE.....	39
4.12 Timing Diagram ของสัญญาณ CLK.....	39
4.13 วงจรสัญญาณ CLK.....	40
4.14 แสดงการแบ่งการเก็บข้อมูล.....	40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพต่อ (หรือรูป)

ภาพที่ (หรือรูปที่)	หน้า
4.15 แสดงชุดควบคุม Address.....	41
4.16 แสดงการทำงานของระบบการ interrupt.....	42
4.17 แสดงวงจรอินเทอร์รัพต์.....	42
4.18 แสดง Hard Ware ของชุดควบคุม.....	43



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาของหัวข้อปริญญานิพนธ์

วิทยาการในสาขาการประมวลผลภาพดิจิทัล (Digital image processing) มีการใช้งานอย่างกว้างขวางมากขึ้น เนื่องจากการพัฒนาเทคนิคในการประมวลผลให้รวดเร็วขึ้นบวกกับอุปกรณ์ในการประมวลผลมีประสิทธิภาพสูงขึ้น ซึ่งการหาขอบภาพเป็นแขนงหนึ่งในสาขานี้ใช้ประโยชน์ในหลาย ๆ อย่าง เช่น การมองเห็นของหุ่นยนต์ การเน้นขอบให้กับวัตถุในภาพ งานภาพถ่ายทางการแพทย์ งานภาพถ่ายดาวเทียม และโรงงานอัตโนมัติ เป็นต้น

การจะประมวลผลเพื่อหาขอบภาพได้นั้นจำเป็นต้อง นำข้อมูลภาพที่ได้มาทำการคำนวณปัญหาที่ตามมาก็คือ ค่าใช้จ่าย และอุปกรณ์ยุ่งยากซับซ้อน และหากต้องการประมวลผลแบบความเร็วสูง หรือ แบบ Real Time ก็ตาม จะต้องใช้อุปกรณ์ที่มีความเร็วในการประมวลผลสูงขึ้นไปอีก (ซึ่งราคาจะสูงขึ้นตามไปด้วย) หากเราสามารถใช้อัลกอริทึมของฮาร์ดแวร์ง่าย ๆ เช่น วงจรเกตไอซี มาทำหน้าที่เป็นตัวประมวลผลหาขอบภาพได้จะทำให้ลดต้นทุนได้มาก

การนำเอาหลักการของสมการบูลีนที่ใช้ในการหาขอบภาพมาเปลี่ยนเป็นฮาร์ดแวร์เพื่อประมวลผลหาขอบภาพจึงเป็นเรื่องที่น่าสนใจถึงความเป็นไปได้

1.2 วัตถุประสงค์ของปริญญานิพนธ์

เพื่อศึกษาการออกแบบและสร้างเครื่องหาขอบภาพด้วยหลักการของสมการบูลีน

1.3 ขอบเขตของปริญญานิพนธ์

ปริญญานิพนธ์ฉบับนี้เป็นการออกแบบและสร้างเครื่องหาขอบภาพ จากสัญญาณภาพที่ถ่ายจากกล้อง CCD

1.4 รายละเอียดของปริญญานิพนธ์

บทที่ 2 กล่าวถึงความรู้และทฤษฎีที่นำมาใช้ในการออกแบบ และสร้างเครื่องหาขอบภาพด้วยสมการบูลีน ซึ่งประกอบด้วย ความรู้เบื้องต้นเกี่ยวกับ การประมวลผลภาพดิจิทัล หลักการหาขอบภาพ ด้วยบูลีน และองค์ประกอบของสัญญาณภาพ

บทที่ 3 กล่าวถึงหลักการของ dsk

บทที่ 4 กล่าวถึงการออกแบบ hard ware

บทที่ 5 กล่าวถึงการออกแบบ soft ware

บทที่ 6 กล่าวถึงการทดลองโครงการ

บทที่ 7 กล่าวถึงการสรุปผล

ภาคผนวก ก วงจรที่ใช้งาน

ภาคผนวก ข เอกสารอ้างอิง

หนังสืออ้างอิง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการ

2.1 การประมวลผลภาพดิจิทัล (Digital image processing)

เทคนิคการประมวลผลภาพดิจิทัลความเร็วสูง (High-speed digital image processing) ทำให้วิชา Digital image processing ได้รับความสนใจและถูกพัฒนาอย่างรวดเร็วหัวข้อนี้ได้มีอิทธิพล และมีใช้อยู่แล้วในงานประยุกต์ เช่น คอมพิวเตอร์กราฟิก, ภาพทางการแพทย์, และโรงงานอัตโนมัติ และขยายเข้าไปสู่ งานถ่ายทอดโทรทัศน์, การสื่อสารด้วยภาพ และหุ่นยนต์ในไม่ช้า ซึ่งในหัวข้อต่อไป จะกล่าวถึงเพื่อความเข้าใจในหลักการการใช้งานและการประยุกต์เบื้องต้น

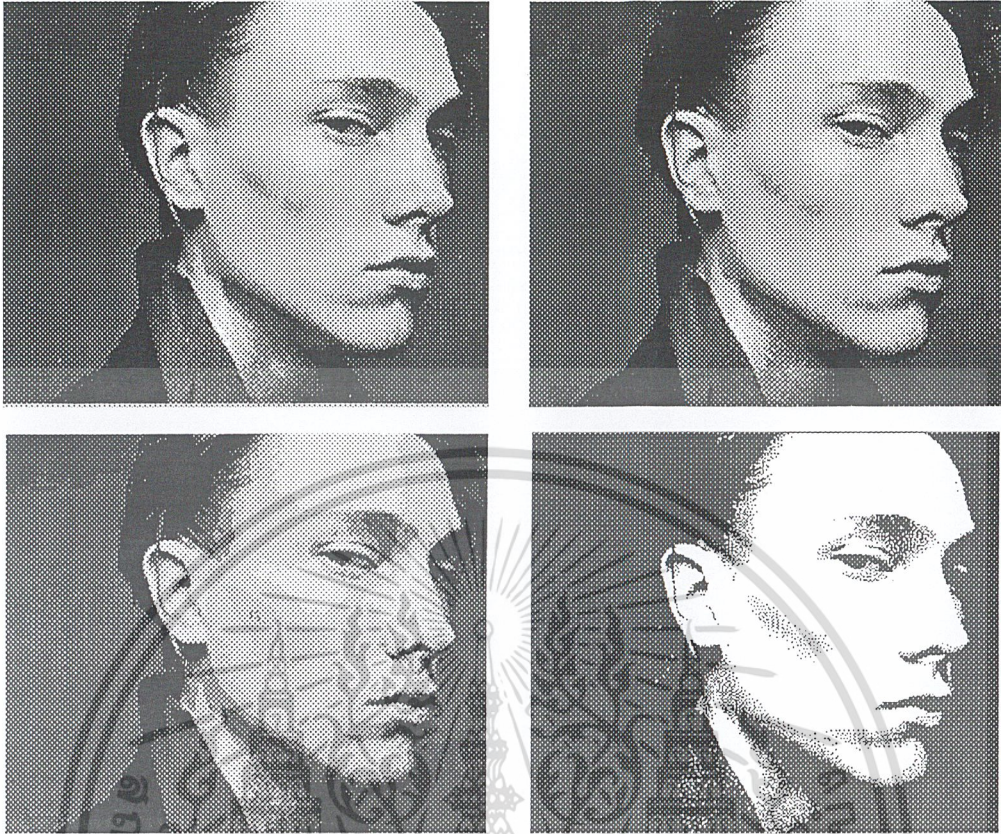
2.1.1 Digitization and Standards

การแปลงภาพจาก อนุโลกเป็นดิจิทัล เป็นสิ่งสำคัญที่จำเป็นอันดับแรก ในการประยุกต์ Image processing กล้องจะสแกนภาพในลักษณะเป็น Raster (คือการสแกนภาพในลักษณะ เรียงกันของเส้นสัญญาณภาพแนวนอน จากซ้ายไปขวา เริ่มจากบนลงล่าง) บ่อยครั้งที่ทำการสแกนในลักษณะ interlace โดยจะสแกนเส้นภาพเป็น 2 ฟิวด์ ฟิวด์หนึ่งบรรจุเส้นคืออีกฟิวด์หนึ่งบรรจุเส้นคู่ ทำให้เกิดความต่อเนื่องของการสร้างจุดใด ๆ บนเส้นภาพ อย่างไรก็ตาม คอมพิวเตอร์ทำงานด้วยค่าข้อมูลที่ไม่ต่อเนื่อง (Discret) มันจึงจำเป็นต้องเก็บข้อมูลเพื่อที่จะใช้งานได้

เส้นภาพ จะถูกสุ่มเป็นช่วง ๆ และถูกเก็บข้อมูล ความถี่ที่ใช้ในการสุ่มหาได้จากปริมาณความละเอียดของภาพที่ต้องการ (bandwidth) ในระบบจริง การตัดสินใจจะอยู่ระหว่างความละเอียดของภาพดิจิทัลและความต้องการหน่วยความจำกับพลังงาน

ค่าของจุดภาพ ที่สุ่มเข้ามาก็ยังเป็น อนุโลก และดังนั้นจึงต้องทำการ ควอนไทเซชัน สิ่งที่ต้องการกำหนดคือ จำนวนต่อระดับความสว่างของแต่ละจุดภาพ และหาระดับที่ใกล้เคียงที่สุด กับสัญญาณอนุโลกที่สุ่มได้ ส่วนใหญ่จำนวนของระดับที่เป็นไปได้ (Grey levels) คือ 256 (8 บิต) แต่สำหรับบางงานอาจต้องการน้อยกว่านี้ แต่อย่างน้อยที่ยอมรับได้คือ 6 บิต ส่วนภาพถ่ายทางการแพทย์จะใช้อย่างน้อย 10 บิต

ถ้าใช้จำนวนบิตน้อยกว่า 6 บิต บางภาพจะเกิดปรากฏการณ์ false contouring สิ่งที่เกิดในพื้นที่ที่มีการเปลี่ยน Grey level อย่างช้า ๆ หรือทำการ ควอนไทเซชันแล้ว จะทำให้เกิดการกระโดดในระดับ ควอนไทซ์ เอาท์พุท



รูปที่ 2.1 แสดงการเกิดปรากฏการณ์ false contouring

มาตรฐานหลักซึ่งสามารถใช้ทำภาพนิ่งตาม CCIR 601 คือ ความละเอียด 576 เส้น ที่ 25 เฟรม แต่ละเส้นสุมให้ได้ 720 จุด แต่ละจุดทำคอนไต์เซชันที่ 256 ระดับ

2.1.2 Image enhancement

บ่อยครั้งที่การประมวลผลภาพ ถูกนำมาใช้เพื่อเพิ่ม Dynamic range ของภาพ การทำ enhancement ยังถูกใช้เป็นการเตรียมหรือ ส่งไปยังส่วนอื่น แยกได้ 2 วิธีคือ

Local methods คือการใช้ข้อมูล ใกล้ ๆ จุดที่ต้องการประเมิน เช่น ในกรณีของ 3x3 จะมีจุดภาพข้างเคียง 8 จุดภาพ

Global methods คือการใช้ ข้อมูลภาพทั้งหมด ในการประมวลผล เช่นวิธีการ histogram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 Image analysis

บางทีอาจจะเป็นหัวข้อย่อยที่สำคัญที่สุดของการประมวล มันได้สร้างความเป็นไปได้ในการใช้ Visual control การใช้งานที่เห็นได้มากที่สุดคือ การควบคุมอัตโนมัติได้โรงงาน การแยกแยะอุปกรณ์ในงานอุตสาหกรรม กระบวนการ bimodal และการประยุกต์ที่จะทำให้หุ่นยนต์มองเห็น การจะทำให้ computer สามารถควบคุมได้ขึ้นอยู่กับว่ามีอะไรเกิดขึ้นบนจอภาพ Image Analysis มีหลายแบบแต่ที่สำคัญที่สุดคือ Edge Detection and Shape Analysis

Edge Detection

ในการที่จะหาความมีอยู่หรือตำแหน่งของวัตถุที่มีในรูปภาพ คุณสมบัติพิเศษที่ใช้กันมากที่สุดคือ ลักษณะของเส้นรอบรูป (outline) ซึ่งก็คือ ขอบของวัตถุ (edge of object) มีหลายวิธีในการกำหนดขอบและวิธีที่ง่ายที่สุดคือ การทำ threshold ภาพ ทำได้โดยการเลือกระดับสีเทา (grey level) ที่ถ้าเหนือกว่ากำหนดให้เห็นสีดำ และต่ำกว่าที่กำหนดจะเป็นสีขาว จะให้ผลเช่นเดียวกับการทำควอนไตซ์ ภาพไปเป็น 2 ระดับ (binary) การเลือก thresholdทำได้หลายวิธี ตัวอย่างเช่น เลือกที่ค่ากึ่งกลางของ ระดับสีเทา ที่ปรากฏในภาพ หรือหา ฮิสโตแกรม และสมมุติว่าเป็น bimodal (ฐานนิยม 2 ค่า) ให้เลือกที่ค่ากึ่งกลางระหว่าง 2 ค่าที่สูงที่สุด กระบวนการนี้ จะให้ภาพซึ่งแบ่งเป็น พื้นที่สีขาวและสีดำ หลังจากนั้นก็จะจำเป็นต้องกำหนดจุดซึ่งเป็นขอบของภาพ สามารถทำได้โดยใช้วิธีทาง morphological filtering ซึ่งจะดำเนินการถ่างและหดพื้นที่ตามต้องการ ด้วยการ exclusive-or ผลที่ได้มากับภาพต้นแบบ กระบวนการที่ใช้การปรับปรุง median filter ให้ประยุกต์กับใช้กับ binary image

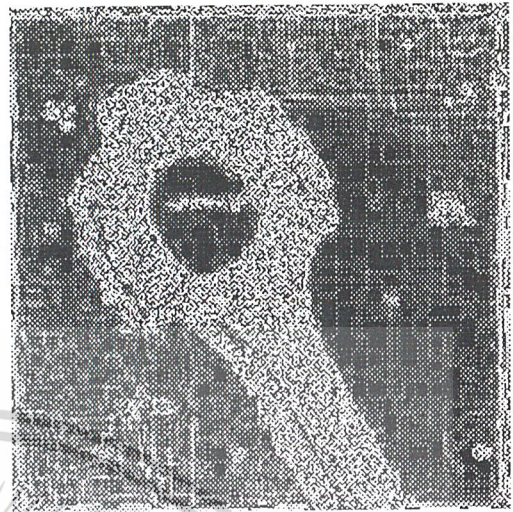
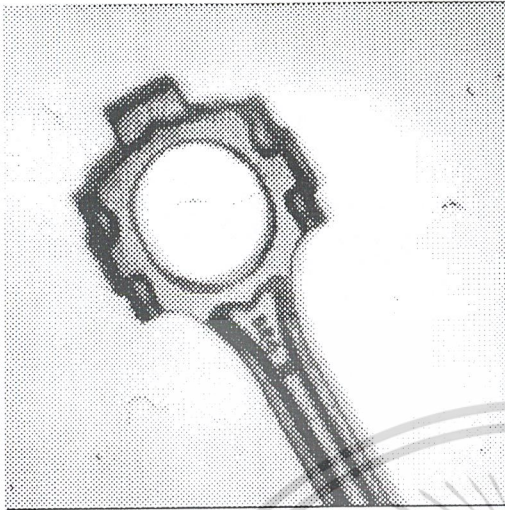
วิธีหนึ่งของการหาขอบภาพด้วยวิธีการทาง local ซึ่งใช้ neighbourhood operator ที่ชื่อว่า Sobel effect สิ่งนี้ใช้การมาร์ค 2 จุด จุดหนึ่งใช้หาขอบแนวตั้ง อีกจุดใช้หาขอบแนวอน

$$\begin{array}{ccc} +1 & +2 & +1 \\ 0 & 0 & 0 \\ -1 & -2 & -1 \end{array} \quad \begin{array}{ccc} +1 & 0 & -1 \\ +2 & 0 & -2 \\ +1 & 0 & -1 \end{array}$$

Operator เหล่านี้จะให้แต่ละ pixel output สอดคล้องกับทั้ง Strength ของขอบแนวตั้งและขอบแนวอน (Ev,Eh ตามลำดับ) หลังจากนั้น นำมารวมกันตามสูตร

$$E = \sqrt{E_v^2 + E_h^2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แสดงการหาขอบของวัตถุ

Shape analysis

การสร้างเส้นขอบของวัตถุในภาพบ่อยครั้งที่ต้องการที่จะนำมาวิเคราะห์ก่อนที่จะนำมาเข้ากับฐานข้อมูล ในการประยุกต์เพื่อเป็นข้อมูลบางชนิด Shape analysis ก็เป็นวิธีหนึ่งที่ลดปริมาณข้อมูลที่อธิบายวัตถุ

ทางที่งานที่สุดในการอธิบายขอบของวัตถุคือ มันก็ก่ลำดับของจุดขอบอย่างไรก็ตามแต่ วิธีนี้ไม่เหมาะในการนำมาเข้ากับฐานข้อมูลที่เก็บไว้ เพราะจะมีความแตกต่างกับของตำแหน่งอ้างอิงของภาพแต่สามารถแก้ไขได้ โดย กำหนดจุดอ้างอิงให้อยู่ที่มุมล่างซ้ายของวัตถุวิธีที่ดีกว่าคือ Chain code การเลือกจุดเริ่มต้นที่จุดใด ๆ บนขอบของวัตถุ แล้วเดินตามเส้นขอบของวัตถุ ที่จุดขอบแต่ละจุดทิศทางของจุดต่อไปจะอธิบายโดยใช้ทิศทาง 8 ทิศ N,S,E,W,NE,NW,SE,SW แต่ในบางครั้งใช้เพียงแค่ 4 จุดพื้นฐาน ทำให้ต้องการเพียง 2-3 บิตเท่านั้นต่อ 1 จุดขอบ ทำให้ประหยัดจำนวนเงินในการเก็บ

2.2 การหาขอบภาพโดยใช้กับการบูลีน

สมการบูลีน เป็นวิธีซึ่งมีประสิทธิภาพสูง ในการหาขอบของภาพไบนารี ซึ่งง่ายต่อการเข้าใจและการออกแบบอัลกอริทึม และมีข้อดีหลายอย่างที่เหนือกว่าวิธีอื่น

- เช่น
1. ไม่มี "If statement" ที่ซับซ้อน
 2. เปลี่ยนเป็น Hardware ได้โดยตรง
 3. ต้องการเวลาในการคำนวณน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.การเพิ่ม operator เข้าไปในสมการเพื่อขจัดสัญญาณรบกวน และหาขอบภาพได้ในเวลาเดียวกัน

2.2.1 การหาขอบภาพ

ภาพของวัตถุ ซึ่งทำการ digitized และแปลงไปเป็น binary image ทำให้เกิดวัตถุสีดำบนพื้นสีขาว (หรือ วัตถุสีขาวบนพื้นสีดำ) ซึ่งสอดคล้องกับลอจิก 0 และ 1 ตามลำดับ ภาพในรูปแบบนี้เหมาะสำหรับหาขอบด้วยวิธีของลอจิก เงื่อนไขสำหรับแยกแยะ pixel ใดว่าเป็นขอบของวัตถุ คือมีอย่างน้อยที่สุด 1 จุด ที่ติดกับ pixel นั้น (neighbourhood pixel) นั้น ๆ เป็น background และ pixel ที่พิจารณาเป็นส่วนหนึ่งของวัตถุ

เทคนิคการหาขอบภาพแทนที่เริ่มด้วยการสแกน จาก มุมบนซ้ายไปจนถึงมุมล่างขวา ขณะทำการสแกน ค่าลอจิกของ pixel นั้น ๆ และ neighbourhood จะนำไปหาค่า pixel ที่มีเงื่อนไขตามที่กล่าวมาจะถูกแปลว่าเป็นขอบของวัตถุ

ตำแหน่งของ pixel ซึ่งจะนำไปหาขอบถูกใช้สร้างภาพใหม่ที่มีแต่เพียงเส้นขอบเท่านั้น เมื่อการสแกนเสร็จสิ้น ภาพที่ได้มาใหม่จะประกอบด้วยขอบที่วางบน background จาก binary image แสดงใน รูป



รูปที่ 2.3 แสดงภาพตัวอย่างที่ใช้ binary image ในการหาขอบภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการบูลีนสำหรับงานนี้คือ

$$= P_0 \cdot (P_1 \cdot P_2 \cdot P_3 \cdot P_4 \cdot P_5 \cdot P_6 \cdot P_7 \cdot P_8)$$

ที่ $P_0, P_1, P_2, P_3, P_4, P_5, P_6, P_7$ และ P_8 เป็น ข้อมูลลอจิกของ pixel ที่สแกน และ neighbour ตามลำดับ และ E คือข้อมูลลอจิกของภาพใหม่ในตำแหน่งเดียวกับ P_0 สมการนี้ให้ตามคุณสมบัติการหาขอบภาพแบบ 8-connectivity ได้ผลดังรูป



รูป 2.4 แสดงการหาขอบภาพโดยสมการบูลีนแบบ 8connectivity

สำหรับ 4-connectivity เราจะละ P_2, P_4, P_6 และ P_8 จากสมการ 1 และได้ผลดังรูป

$$E = P_0 \cdot (P_1 \cdot P_3 \cdot P_5 \cdot P_7)$$



รูปที่ 2.5 แสดงการหาขอบภาพโดยสมการบูลีนแบบ 4-connectivity

สมการบูลีนทั้ง 2 สามารถใช้ได้อย่างสมบูรณ์ กับภาพที่ไม่มีสัญญาณรบกวน ในกรณีของภาพที่มีสัญญาณรบกวน สมการเหล่านี้จะไม่สามารถแยกแยะได้ระหว่างจุดสัญญาณรบกวนกับจุดขอบ ผลที่ได้จะแสดง สัญญาณรบกวนออกมากับภาพขอบที่หามาได้

เพื่อเอาชนะผลกระทบนี้จะต้องปรับปรุงเงื่อนไขขอบ เป็นสมการใหม่ที่สามารถจะแยกแยะระหว่าง สัญญาณรบกวนกับขอบ

ข้อแตกต่างระหว่าง จุดสัญญาณรบกวนและจุดขอบคือ การปรากฏสอดคล้องกับ Neighbour, จุดสัญญาณจะเกิดขึ้นในขณะที่พื้นที่รอบข้างเป็น background หมด แต่จุดขอบจะต้องมีอย่างน้อย 1 neighbourhood ที่เป็นส่วนหนึ่งทาง object เงื่อนไขที่จะต้องมียังน้อย 1 Pixel ที่เป็นขอบของวัตถุ จะได้สมการบูลีน

8-connectivity with noise reduce

$$E = P_0 \cdot (P_1 \cdot P_2 \cdot P_3 \cdot P_4 \cdot P_5 \cdot P_6 \cdot P_7 \cdot P_8) + (P_1 + P_2 + P_3 + P_4 + P_5 + P_6 + P_7 + P_8)$$

ผลลัพธ์ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แสดงการหาขอบภาพโดยสมการบูลีนแบบ 8-connectivity with noise reduce

$$E = P_0 \cdot \overline{(P_1 \cdot P_3 \cdot P_5 \cdot P_7)} + (P_1 + P_2 + P_3 + P_4 + P_5 + P_6 + P_7 + P_8)$$

ผลลัพธ์ดังรูป



รูปที่ 2.7 แสดงการหาขอบภาพโดยสมการบูลีนแบบ 4- connectivity with noise reduce

สรุป

สมการสองชุดสุดท้าย ถูกใช้หาขอบภาพและขจัดสัญญาณรบกวนในเวลาเดียวกัน โดยการที่เป็นสมการบูลีน ทำให้สามารถเปลี่ยนไปเป็น Hardware โดยไม่ต้องแปลงใด ๆ ทั้งสิ้น เพราะความง่ายของมัน จึงใช้เวลาในการคำนวณน้อย เทคนิคนี้ยังต้องนำไปศึกษาเพิ่มเติม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 องค์ประกอบของสัญญาณภาพ

สัญญาณรายละเอียดภาพซึ่งเป็นแรงดันกระแสลับที่แปรเปลี่ยนไปตามความสว่างของภาพที่ได้ออกมาจากหลอดเก็บสัญญาณภาพนั้นจะต้องถูกส่งไปพร้อมกับสัญญาณควบคุมตำแหน่งภาพและลบเส้นสับคลับซึ่งสร้างจากวงจรชุดสร้างความถี่ ได้แก่ สัญญาณควบคุมตำแหน่งภาพทางแนวนอนซึ่ง เรียกว่า สัญญาณฮอริซอนตัลซิงค์ (horizontal synchronous) สัญญาณลบเส้นสับคลับในแนวนอน ซึ่งเรียกว่า ฮอริซอนตัลแบลคกิ้ง (horizontal blanking) สัญญาณควบคุมตำแหน่งภาพทางแนวตั้ง ซึ่งเรียกว่า เวกทิคัลซิงค์ (vertical synchronous) สัญญาณลบเส้นสับคลับทางแนวตั้ง ซึ่งเรียกว่า เวกทิคัลแบลคกิ้ง (vertical blanking) และ สัญญาณที่ทำหน้าที่รักษารูปร่างของสัญญาณเวกทิคัลซิงค์ ซึ่งเรียกว่า อีควอลไลซิงพัลส์ (equalizing pulse)

2.3.1 สัญญาณควบคุมตำแหน่งภาพทางแนวนอน

คือแรงดันช่วงสั้นๆ(พัลส์) ประมาณ $4.7 \mu\text{s}$ เป็นสัญญาณที่มีระดับแรงดันต่ำที่สุด (ต่ำกว่าจุดคัทออฟ (cut-off) ของหลอดภาพ) ส่งไปยังเครื่องรับเพื่อเป็นสัญญาณอ้างอิงในการสร้างความถี่ของวงจรสร้างสัญญาณเบี่ยงเบนทางแนวนอนในเครื่องรับ เพื่อให้เกิดการทำงานที่ได้จังหวะกับสัญญาณเบี่ยงเบนทางแนวนอนที่สร้างขึ้นมา ตำแหน่งของภาพที่เกิดขึ้นที่หน้าจอเครื่องรับจึงถูกต้องกับตำแหน่งของภาพที่ปรากฏที่เครื่องทางแนวนอน สัญญาณนี้จะส่งร่วมกับ สัญญาณฮอริซอนตัลแบลคกิ้ง โดยส่งร่วมกับสัญญาณภาพไปในช่วงจังหวะสับคลับทางแนวนอน ซึ่งเป็นจังหวะที่ไม่มีสัญญาณภาพ

2.3.2 สัญญาณลบเส้นสับคลับทางแนวนอน

คือค่าแรงดันที่มีระดับสูงกว่าฮอริซอนตัลซิงค์ ประมาณ 25-30% มีช่วงเวลาประมาณ $12.05 \mu\text{s}$ โดยค่าแรงดันนี้จะอยู่ในระดับคัทออฟ ของหลอดภาพ ส่งไปยังเครื่องรับเพื่อให้หลอดภาพคัทออฟในจังหวะสับคลับทางแนวนอนจึงไม่เห็นแสงของเส้นสับคลับทางแนวนอนปรากฏขึ้นที่หน้าจอ สัญญาณนี้จะส่งร่วมกับ ฮอริซอนตัลซิงค์ ซึ่งเติมลงไปในสัญญาณภาพตรงช่วงสับคลับทางแนวนอน ซึ่งไม่มีสัญญาณภาพ

Period	Time(μ S)
Total line(H)	64
Horizontal blanking	12 ± 0.3
Horizontal sync pulse	4.7 ± 0.2
Front porch	1.5 ± 0.3
Back porch	5.8 ± 0.3
Visible line time	52

ตารางที่ 2.1 รายละเอียดของสัญญาณควบคุมตำแหน่งภาพและสัญญาณลบเส้นสลับกลับทางแนวนอน

2.3.3 สัญญาณควบคุมตำแหน่งภาพทางแนวตั้ง

คือสัญญาณที่มีระดับแรงดันเท่ากับ ฮอริซอนตัลซิงค์ แต่ช่วงเวลาในการเกิดแรงดันนั้นจะนานกว่า ฮอริซอนตัลซิงค์ คือ แบ่งออกเป็นช่วงๆ 5 ช่อง (5 พัลส์) แต่ละช่วงเกิดนานประมาณ 29μ S และเว้นระยะห่างกันประมาณ 4.7μ S ส่งไปยังเครื่องรับเพื่อเป็นสัญญาณอ้างอิงสำหรับวงจรเบี่ยงเบนทางแนวตั้งเพื่อสร้างความถี่ออกมาได้จังหวะคล็อกจองกับสัญญาณเบี่ยงเบนทางแนวตั้งที่สร้างขึ้นที่เครื่องส่งตำแหน่งภาพที่หน้าจอเครื่องรับจึงถูกต้องตรงกับตำแหน่งภาพที่เครื่องส่งทางแนวตั้ง สัญญาณนี้จะส่งร่วมกับสัญญาณภาพมาในจังหวะสลับกลับทางแนวตั้งซึ่งเป็นจังหวะที่ไม่มีสัญญาณภาพ

2.3.4 สัญญาณลบเส้นสลับกลับทางแนวตั้ง

คือพัลส์ช่วงเวลาสั้นๆประมาณ พัลส์ละ 2.35μ S จำนวน 2 ชุด ชุดละ 5 พัลส์เติมลงไปนำหน้าและตามหลังเวอติคัลซิงค์ เพื่อรักษารูปร่างและช่วงเวลาของเวอติคัลซิงค์ให้สมบูรณ์ขณะที่แยกออกจากฮอริซอนตัลซิงค์ อันจะทำให้การสอดแทรกสัญญาณภาพลงไปเปลี่ยนแปลง ความสว่างของ ราวเตอร์ แต่ละพัลส์ให้เป็นไปอย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Period	Time
Total field (v)	1/50 Hz = 20 ms
Vertical blanking	0.05 v – 0.08 v หรือ 1 – 1.6 ms
Each vertical sync pulse	29 μ s
Total of six vertical sync pulse	3H = 192 μ s
Each E pulse	0.04 H = 4.5 μ s
Each serration	0.07 H = 4.5 μ s
Visible field time	0.92 v – 0.95 v หรือ 18.4 – 19 ms

ตารางที่ 2.2 รายละเอียดของสัญญาณควบคุมตำแหน่งภาพและสัญญาณลบเส้นสับัดกลับทางแนวตั้ง

2.3.5 สัญญาณรักษารูปร่างของสัญญาณเวอร์ทิคอลซิงค์

เป็นแรงดันที่ส่งไปทำให้หลอดภาพคัทออฟในช่วงระยะเวลาสับัดกลับทางแนวตั้ง เพื่อให้ทำให้มองไม่เห็นแสงที่เกิดจากการที่อิเล็กตรอน วิ่งจากขอบจอด้านล่างขึ้นไปยังขอบจอด้านบนในจังหวะสับัดกลับทางแนวตั้งซึ่งมีเวลาประมาณ 25 เส้นสแกน ทางแนวนอน (25 H) ด้วยเหตุนี้สัญญาณนี้จึงส่งร่วมกับสัญญาณภาพ โดยเติมลงไปตรงจังหวะสับัดกลับทางแนวตั้งของสัญญาณภาพซึ่งเป็นจังหวะที่ไม่มีสัญญาณรายละเอียดภาพ

First Field (Odd Field)		
Line number : one to 1 st – half of 313 th (312.5 lines)		
Line number	Number of line(lines)	signal
1,2 and 3 rd of 1 st - half	2.5	Vertical sync pulses
3 rd of 2 nd - half , 4 and 5	2.5	Post –vertical sync equalizing pulse
6 to 17 , 18 th of 1 st - half	12.5	Blanking retrace pulses
18 th of 1 st - half to 310	292.5	Picture details
311,312 and 313 th of 1 st - half	2.5	Pre-vertical sync equalizing pulses of 2 nd field
Total	312.5	

ตารางที่ 2.3 รายละเอียดของสัญญาณควบคุมตำแหน่งภาพในฟิลด์แรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Second Field (Even Field)		
Line number : 313 th of 2 nd - hal		
Line number	Number of line(lines)	signal
313 of 2 nd - half , 314 and 315	2.5	Vertical sync pulses
316,317 and 318 th of 1 st - half	2.5	Post-vertical sync equalizing pulses
318 th of 2 nd - half to 330	12.5	Blanking retrace pulses
331 to 623 of 2 nd - half	292.5	Picture details
623,624 and 625 of 2 nd - half	2.5	Pre-vertical sync equalizing pulses of 1 st field
Total	312.5	

ตารางที่ 2.4 รายละเอียดของสัญญาณควบคุมตำแหน่งภาพในฟิลด์ที่สอง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หลักการการทำงานของ DSK

3.1 สิ่งที่ต้องทราบเกี่ยวกับ DSK

ในหัวข้อนี้จะกล่าวถึงสิ่งที่ควรทราบเกี่ยวกับ TMS 32DC3X DSP Starter Kit (DSK)

- มาตรฐานอุตสาหกรรม TMS 320C31 มีการใช้ DSP ที่มีการแสดงผลแบบจุดทศนิยม
- เวลาในการประมวลผล 1 คำสั่ง = 40 ns , 5D MFLOPS , 25 MIRS
- มาตรฐานหรือการสนับสนุนต่อการติดต่อกับ PC โดยการต่อเข้ากับ Port ขนานและยังสามารถจะใช้ TMS32DC31 ในการติดต่อกับโปรแกรม PC ได้อีกด้วย
- ข้อมูลที่เป็นสัญญาณ Analog จะถูกนำเข้ามาโดยผ่านทาง TLC 32040 ซึ่งเป็น Analog Interface (AIC)
 - ค่าตัวแปรที่ใช้แปลงสัญญาณจาก Analog-to-Digital (ADC) และแปลงจาก Digital-to-Analog (DAC) จะส่งค่าตัวแปรในอัตรา 14 bit จะเคลื่อนที่ไปด้วยอัตรา 20,000 ตัวอย่างต่อวินาที
 - มีการกรองสัญญาณเอาต์พุตใหม่และส่งผ่านไปสวิทช์ - คาปาซิเตอร์ซึ่งทำหน้าที่ต่อต้านการ ปล่อยป็นของสัญญาณ โดยการกรองทางอินพุต
- หัวต่อใช้ปลั๊ก RCA ที่ได้มาตรฐานสำหรับ Analog อินพุต และทางด้านเอาต์พุตมีการต่อโดยตรงกับไมโครโฟนและลำโพง
- ข้อสังเกต ไม่มีการต่อจุดต่อสายและหัวต่อ
- การต่อขยาย , โดยทั้งหมดผ่านทาง TMS320C31 Pins สำหรับใช้กับ DSK dough for Boards

3.2 ส่วนประกอบของ DSK

จากรูปที่ 3.1 แสดงถึง Block diagram ของ TMS 320C3X DSK Hard ware ซึ่งเป็นส่วนประกอบพื้นฐานที่ประกอบไปด้วย TMS320C31 DSP , TLC 32040 AIC , Expansion Connector , ระบบนาฬิกา , ชุดติดต่อกับ พอร์ต ขนาน , LED 3 สี , ซึ่งการต่อกับ พอร์ต ขนาน ที่ต่อจาก DSK ไปยัง PC และสามารถติดต่อกับ TMS320C31 ด้วยการเขียนโปรแกรม PC สัญญาณทั้งหมดของ C3X จะถูกส่งผ่านไปยัง Expansion Connector ซึ่งประกอบไปด้วยหัวต่อ 32 pin จำนวน 4 หัว , 11 pin บล็อกต่อสายและหัวต่อ 12 pin XDS510 ที่ TLC32040 AIC มีการติดต่อโดยตรงกับ TMS 320C3X

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผ่าน พอร์ต อนุกรมซึ่งจะมี Jumper block ที่จะมีการต่อ D0A มาจาก TLC 32040 AIC ไปยัง พอร์ต อนุกรมและต่อไปยัง DSK Daughter Card ที่เราเตรียมเอาไว้ และที่ TLC 32040 AIC ยังมีหัวต่อ RCA 2 หัว ที่เตรียมเอาไว้สำหรับสัญญาณ Analog Input และ Output อยู่บน board

3.3 DSK ฮาร์ดแวร์ อินเทอร์เฟซ

C 3X DSK เริ่มทำงานตามคำสั่งของการสื่อสารที่ตั้งไว้ และทำการเริ่มโหลดข้อมูลคำสั่ง จากสัญญาณลบหรือโปรแกรมที่ได้เตรียมไว้ การติดต่อสื่อสารจากศูนย์กลาง คำสั่งขยายกว้างตาม ความต้องการของ I/O สำหรับการอินเทอร์เฟซ DSK board และการสื่อสารในระบบ ซึ่งในการ สื่อสารจะเกิดขึ้นโดยใช้ Parallel bus ของ C31 ซึ่งสัญญาณอนาล็อก I/O จะถูกใช้ เป็นเครื่องมือ ของ TLC 32 Analog Interface Circuit (AIC) และต่อไปยัง C'31 ผ่าน พอร์ต อนุกรม

3.3.1 Host hardware interface

การสื่อสารอินเทอร์เฟซติดต่อกับ C'31 parallel bus ไปยัง host PC parallel printer port ประกอบด้วย 3 ส่วนคือ

- programable array logic (TICPAL 22V 10Z)
- การปรับความเร็ว Octai bus ขึ้น 2 เท่า ในการแลกเปลี่ยนรับ / ส่ง สัญญาณด้วย tri – state output (74ACT 245)

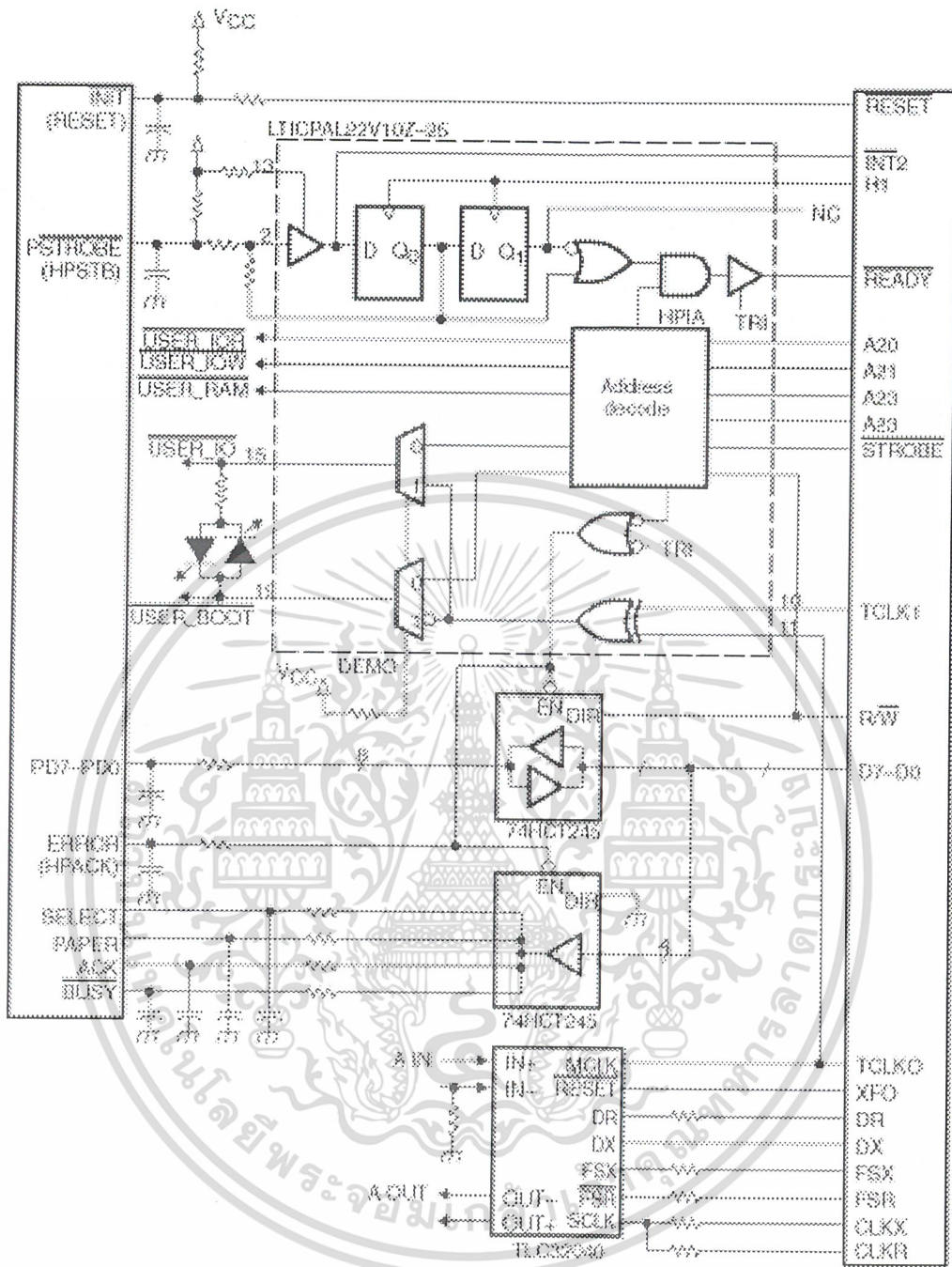
programable array logic (PAL) จะถูกกำหนดให้ตัดสินใจเมื่อ C31 ขอมรับกับการอิน เทอร์เฟซโดยใช้สัญญาณ STROBE A23 , A22 , A21 และ A20 เท่านั้นที่จะผ่านเข้าสู่ Address ของ C31

PAL จะเตรียมสัญญาณอินพุท 1 สัญญาณ (TRI) ที่ไม่สามารถติดต่อกับการอินเทอร์เฟซ โดยใช้ PAL สัญญาณ INT2 และ READY ซึ่ง PAL ได้เตรียมการที่จะทำการถอดรหัส Address สัญญาณ Output : USER _ IOR , USER _ IOW , USER _ IO , USER _ RAM , USER _ BOOT และอีก 3 สัญญาณ Output :READY , INT2 , และ EN เมื่อ สัญญาณ DEMO อยู่ในสถานะ Hight , Address 2 ตัวจะทำการถอดรหัส Output ซึ่งก็คือ USER _ IO และ USER _ BOOT ในการขับ LED 3 สี

Bus รับส่งสัญญาณข้อมูลระหว่าง PC parallel printer port และ C31 parallel bus การ สื่อสารอินเทอร์เฟซช่วยในการเปลี่ยนสัญญาณ 2 แบบ

- 8 bit bidirectional mode ที่ยอมให้การเปลี่ยนรับส่งสัญญาณแบบ parallel printer port เร็วขึ้นซึ่งจะช่วยแปลงสัญญาณ
- Unidirectional printer ports รองรับ ข้อมูลขนาด 8 bit จากศูนย์สื่อสารถึง C31 ในขณะที่ รอรับการแปลงข้อมูล 4 bit จาก C31 ไปยังศูนย์สื่อสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 TMS320C3X DSK Functional Circuit Diagram

การรับส่งสัญญาณสื่อสารกับ C31 ร่วมกับ parallel port PC จะถ่ายเทข้อมูลเป็นสัญญาณผ่าน parallel port และข้อมูลสถานะ Register ดังรูปที่ 3.2 และ 3.3 จะแสดงให้เห็นถึงการควบคุม parallel port และข้อมูลสถานะของ Register แต่ละ bit โดยใช้ DSK host กับโปรแกรม (ตารางข้างล่างลำดับรายชื่อบน printer port ที่อ้างเป็นสัญญาณชื่อที่ใช้โดย บอร์ด DSK ตามรูปที่ 3.1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7	6	5	4	3	2	1	0
DIR0	X	DIR1	INT	SELECT	INIT	AUTOFD	PSTROBE
					RESET		HPSTB
		W	R/W	W	R/W	W	R/W

รูปที่ 3.2 parallel port Control Register (0*37A)

7	6	5	4	3	2	1	0
BUSY	ACK	PAPER	SELECT	ERROR	ACK	X	X
D3	D2	D1	D0	HPACK			

รูปที่ 3.3 parallel port Status Register (0*379)

เริ่มต้นติดต่อกับ C31 โดยการนำสัญญาณพัลส์ของ INIT (เขียน 0 ตามด้วย 1 ถึง INIT bit เป็นขอบเขตของ parallel port Control Register) . นี่เป็นสัญญาณ Reset ของ C31 และกระตุ้น mode boot load หลังจากเริ่ม load โปรแกรมหรือมีการสื่อสารข้อมูลและรับ / ส่งข้อมูลมายัง C31 แล้ว parallel port ก็จะเป็นเส้นทางนำไปถึงหน่วยความจำของ C31 ซึ่งมีย่าน Address ตั้งแต่ 0XFFF000 – 0XFFFFFF , ดังแสดงในรูปที่ 3.4

การส่งข้อมูลไปยัง C31 มีวิธีการปฏิบัติตามขั้นตอนดังนี้

1. การเขียนข้อมูลเป็น Byte เพื่อจะมีการเปลี่ยนแปลงไปยังพื้นที่ I/O – mapped ของสายข้อมูล host's parallel port
2. การจับสัญญาณ MPSTB จะลดลงและรอการยอมรับ สัญญาณ MPSTB จะถูกอินเตอร์รัพจาก C31 โดยสัญญาณพัลส์ INT2 , แสดงว่าในขณะที่มีการสื่อสาร การเรียกร้องการย้ายไปยังจุดที่บรรจุข้อมูล สัญญาณ INT2 เป็นที่ต้องการเฉพาะในการเริ่มต้นบรรจุข้อมูลไปยังที่มีการเรียกร้องและคือการลงเลขระหว่างการเรียงลำดับย่อยของการบรรจุข้อมูลที่ต้องการ
3. C31 เริ่มทำงาน ONE –Wait –State ของการอ่านข้อมูลเข้ามายังพื้นที่ 0XFFF000, การถอดรหัส PAL นี้ทำได้โดย Address ที่มีการ host Interface สัญญาณกระตุ้น (HPACK), ให้ทำการจับสัญญาณ host error ที่มีสภาพ LOW, และจับสัญญาณ READY ของ C31 ที่มีสถานะ high ; ซึ่งเป็นการป้องกัน C31 ที่มีสมบรูณ์ในการอ่านข้อมูลเข้ามายังการ host ที่ใช้สัญญาณ Error (HPACK) นั้นเมื่อ C31 ขอมรับข้อมูลที่จะเป็นการ “ Lock “ และจะรอการส่งข้อมูลเข้ามา
4. การจับสัญญาณ HPSTB ในสถานะ High , ในขณะที่ C31 นั้นทำการแสดงข้อมูลเสร็จแล้ว PAL ตรวจสอบขอบที่เกิดขึ้นของ HPSTB และการจับสัญญาณ READY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่มีสถานะ LOW ของ C31 โดยไม่ได้ทำการ Lock (อิสระ) ตอบรับ Lock – bus และสุดท้าย C31 จะทำการอ่านเป็นวงกลม

5. กระบวนการนี้เป็นหน่วยที่เกิดขึ้นซ้ำๆกันจนกระทั่งครบ 4 byte (เรียงลำดับความสำคัญจากน้อยไปหามาก) ในการย้ายข้อมูลแต่ละครั้ง C31 แต่ละ byte จะรวมตัวกันจนครบ 32 bit

การตอบรับข้อมูลที่มีความคล้ายคลึงกัน

1. ในการ host นั้นจะต้องรอสัญญาณ HPACK นั้นแสดงว่า C31 เข้าใจการ host ที่ต้องการสำหรับการย้ายไปบรรจุ
2. C31 จะเริ่มทำงาน one – wait – state ที่ยอมรับการเขียนข้อมูลที่ OXFFF000
3. การถอดรหัส PAL นี้เป็น Address ของสัญญาณ HPACK , ที่จับสัญญาณ host ‘s error ที่สถานะ Low , และจับสัญญาณ READY ของ C31 ที่สถานะ High ในการป้องกันการเขียนข้อมูลเข้ามายัง C31 นั้นจะมีความสมบูรณ์ , เมื่อใช้สัญญาณ error นั้น C31 สามารถรับรู้ได้หลังจากที่ได้ทำการส่งข้อมูลไปแล้ว
4. เมื่อ host คอยรับสัญญาณ HPIA มันจะจับ PSTROBE ในสถานะ LOW และ host จะทำการอ่านข้อมูล byte ต่อไป หรือทีละ 4 bit โดยอาศัย parallel printer สองทิศทางเป็นตัวแสดงผลใน host
5. การจับสัญญาณ HPSTB ที่มีสถานะเป็น high , C31 ก็จะแสดงผลข้อมูลที่ถูกอ่านออกมา PAL จะตรวจสอบขอบที่เกิดขึ้นของ HPSTB และจับสัญญาณ READY ของ C31 ที่มีสถานะ Low สุดท้าย C31 ก็จะเขียนเป็นวงจรซึ่งถือได้ว่าครบถ้วนสมบูรณ์แล้ว
6. กระบวนการนี้จะเกิดขึ้นซ้ำจนกระทั่งหมด 4 byte หรือ 8 จุดเล็ก (โดยนับลำดับความสำคัญจากน้อยไปหามาก) ระหว่างที่มีการย้ายข้อมูลในแต่ละครั้ง host แต่ละ byte จะรวมกันเป็น 32 bit

หมายเหตุ ระหว่างที่เริ่มต้น load กระบวนการอยู่, C31 จะไม่ถ่ายข้อมูลใน byte ที่ 3 และ 4 ของ 32 bit คำแรก การเริ่มต้น load จะเริ่มอ่านข้อมูลจาก EPROM และข้าม byte เหล่านี้ไป

3.4 TLC 32040 AIC hard ware interface

TLC 32040 Analog interface circuit (AIC) ที่มีอยู่บน DSK ประกอบด้วย

- Channel เดี่ยว , input / output , อนุภาคอินเทอร์เฟสในการเปลี่ยนย่านระหว่าง ADC และ DAC ขนาด 14 bit

เอกสารนี้เป็นเอกสารตัวแปร ADC และ DAC อัตราการสุ่มตัวอย่างขนาด 14 bit โดยมีความเที่ยงตรงในการไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สุ่ม 20,000 ตัวอย่างต่อวินาที

- สัญญาณเอาต์พุตที่ได้จากการคัดกรอง
- การส่งผ่านสัญญาณ , สวิตช์ – คาปาซิเตอร์ , การต่อต้านสัญญาณอินพุตแปลกปลอมที่

เข้ามา

การเลือกช่องสัญญาณ Input Analog นั้น DSK จะติดต่อกับ TLC32040 AIC ไปยัง C31 serial port ด้วยหัวต่อ และมีความต้านทานขนาด 100 โอห์ม แยกออกไปต่างหาก ส่วนหัวต่อที่ไม่ได้ติดต่อกับ AIC และใช้กับ C31 Serial port ใน daughter board การเพิ่มจำนวน pin เข้าไปอีก 2 pin จาก C31 ไปควบคุมการที่จะ Reset และสัญญาณนาฬิกาไปยัง AIC

- C31 Timer 0 pin ที่ใช้ในการจับสัญญาณนาฬิกาที่ควบคุมไปยัง AIC
- C31 XF0 สัญญาณ Reset ของ AIC

สัญญาณ Analog input output ของ AIC จะนำไปต่อกับ RCA ปลั๊ก ซึ่งสัญญาณนี้เป็น Line – Level ที่ตรงกัน (+/- 3 peak) และสามารถนำไปต่อไปยัง Audio line – level input , output

นอกจากนี้ output ยังสามารถนำมาต่อโดยตรงกับลำโพง แต่จะไม่มีการแสดงระดับของ output ให้เห็นเป็นแต่เพียงขยับ output ออกมากล่าวคือมีการจำกัดการจับ output โดย AIC และความต้านทานที่แยกออกไปต่ออนุกรม สำหรับผลที่ดีที่สุดคือ การใช้อุปกรณ์ขยายกำลังภายนอก หรือ ลำโพงที่มีค่า impedance *//Ω เช่น ใช้กับ หูฟัง

หมายเหตุ หาก AIC เป็นการใช้กับ การทดลองขอบเขตกับ parameter ทางด้าน out , AIC

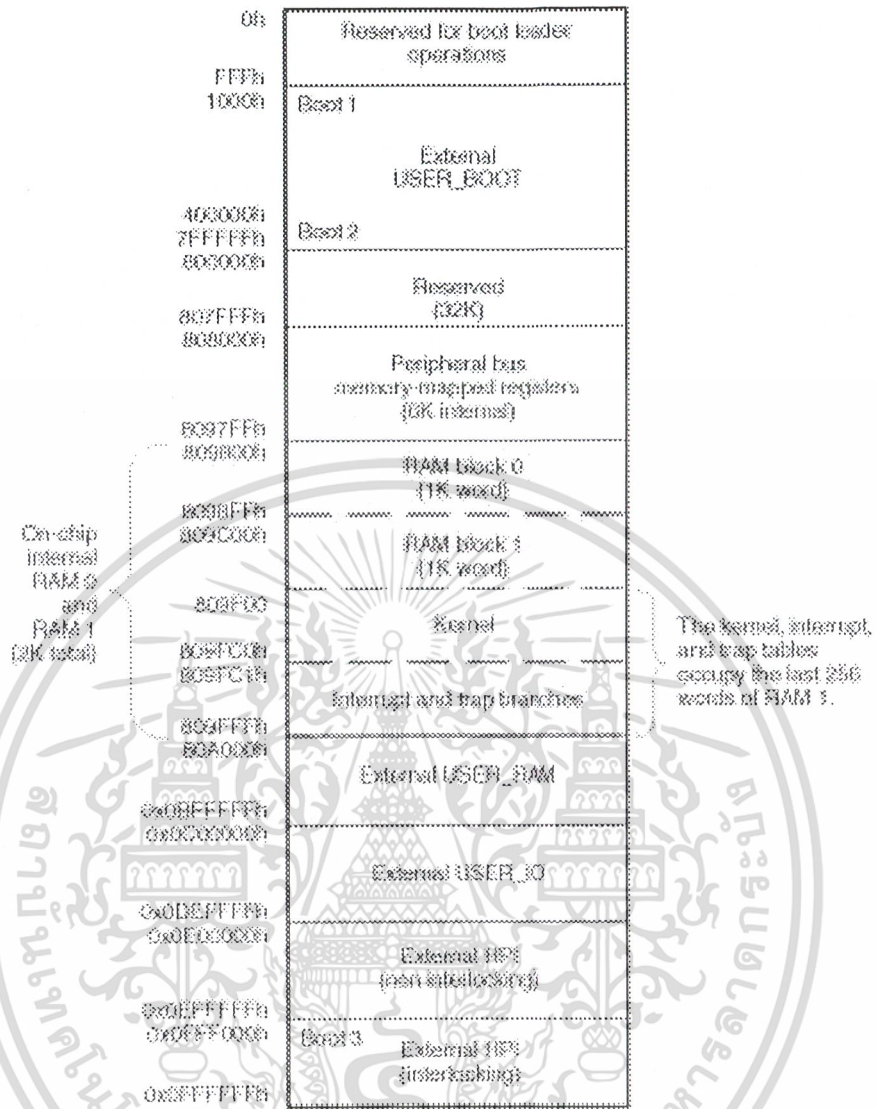
อาจจะแสดงเป็นตัววัดระดับข้อมูลจากข้อมูลใน Sheet ที่แสดงคุณสมบัติ

เฉพาะซึ่งจะดูได้จาก TLC 2040 Data Sheet (SLAS014) สำหรับข้อมูลทั้งหมด

3.5 แผนผังภายในหน่วยความจำของ DSK

เพราะการติดต่อสื่อสารโดย host ที่เกิดขึ้นบน C31 parallel bus, PAL จะทำการถอดรหัส Address ของ C31 จะถูกกำหนดเมื่อมันเป็นการยอมรับ host อินเทอร์เน็ตที่ถูกต้องตามแผนผัง

หน่วยความจำดังแสดงในรูปแบบที่ 3.4



รูปที่ 3.4 Memory map

3.6 การสื่อสารข้อมูลของ DSK

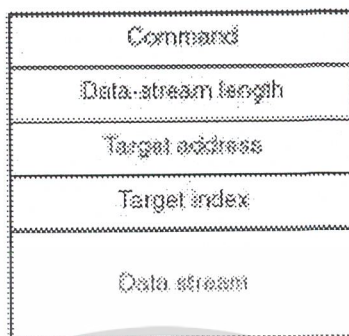
เมื่อเริ่มต้นทำงาน host ทำการโหนดติดต่อสื่อสารในการรับส่งข้อมูลไปยัง C31 ที่ใช้สำหรับโหนดข้อมูลในหัวข้อนี้จะอธิบายถึงหลักสำคัญในการติดต่อสื่อสารที่จัดว่าอยู่ในระดับต่ำเสมอเมื่อยอมให้ Host และ C31 สามารถแลกเปลี่ยนข้อมูลและการแสดง Debugging functions

การเก็บข้อมูลนั้น Host และ C31 จะมีการติดต่อสื่อสาร โดยการแลกเปลี่ยนการเก็บข้อมูลตามรูปที่ 3.5 ซึ่งแสดงถึงโครงสร้างการเก็บข้อมูล หัวข้อของการเก็บข้อมูลซึ่งแบ่งออกเป็นส่วนตัวละครนิคประกอบด้วย 4 ส่วน ซึ่งประกอบด้วย คำสั่ง ความยาวของข้อมูล Address เป้าหมาย ดัชนี เป้าหมาย หัวข้อเหล่านี้เป็นข้อมูลที่แสดงในรูปที่ 3.5 แต่ละหัวข้ออธิบายได้ดังนี้

- Command ซึ่งให้เห็นถึงแขนงของข้อมูลซึ่งจะดูได้ในหัวข้อคำสั่ง

เอกสารนี้เป็น Data Stream + length ด้ส่วนความยาวข้อมูลในส่วนข้อมูลทั้งหมดที่มีไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Target address ชี้ให้เห็นถึงพื้นที่ในหน่วยความจำที่ซึ่งข้อมูลสามารถอ่านและเขียนได้
- Target index เกิดขึ้นหลังการเพิ่มค่า Address ของเป้าหมาย หลังจากกอ่านหรือเขียน จองอุปกรณ์ของสัญญาณข้อมูล



รูปที่ 3.5 โครงสร้างการเก็บข้อมูล

3.6.1 Command

เมื่อ C31 รับข้อมูลการ Interrupt จาก Host (int2), c31 จะเก็บรักษาสถานะปีของ CPU และเมื่อรับข้อมูลที่เก็บเข้ามาครั้งหนึ่ง C31 จะรับการเก็บข้อมูลการรับส่งสัญญาณสื่อสาร จะวิเคราะห์คำสั่งให้เข้าไปถึงหัวข้อหลักถึงเครือข่ายข้อมูลทั้งหมด คำสั่งที่เข้าไปอยู่ในระดับต่ำอยู่ตลอดสำหรับการติดต่อสื่อสารด้วย Host และ Debug ของระบบ การติดต่อสื่อสารจัดเตรียมไว้สำหรับตอบสนองคำสั่งมีดังนี้

XWRIT บด็อกการเขียนข้อมูลจาก Host ไปยัง DSK คำสั่งนี้จะทำให้เกิด Data – Stream – length ของอุปกรณ์จากตัว Host และเขียนไปยังพื้นที่ของหน่วยความจำ C31 ที่ address เป้าหมาย และที่ Address เป้าหมายนี้เองจะเป็นการเพิ่มค่าโดย Index เป้าหมาย หลังจากทำการเขียนในแต่ละครั้ง

XREAD บด็อกการอ่านข้อมูลจาก DSK ไปยัง Host คำสั่งนี้จะอ่านข้อมูล Data – Stream – length ของอุปกรณ์จากหน่วยความจำ C31 โดย Address เป้าหมาย และส่งข้อมูลไปยัง Host Index เป้าหมายจะเพิ่มขึ้นตาม Address เป้าหมายหลังจากทำการอ่านข้อมูลในแต่ละครั้ง

XCTXT การเก็บรักษาเนื้อหาข้อมูล C31 ให้มี Address

XRUNF สร้างเนื้อหาข้อมูลของ CPU และทำการสร้างรหัสกระทั้งตัวนำถูกทำลายหรือคำสั่งเกิดขัดข้อง คำสั่งนี้จะใช้สำหรับการเกิด Debugging

XSTEP สร้างเนื้อหาข้อมูลของ CPU และทำการตามโครงสร้างเดี่ยวและรักษาเนื้อหาของข้อมูลใน CPU คำสั่งนี้จะใช้สำหรับ Debugging

XHALT เก็บรักษาข้อมูลของ CPU และรอคำสั่งใหม่ คำสั่งนี้จะใช้สำหรับ Debugging

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.2 Debugging Functions

ในบาง Debugging functions จะเพิ่มขึ้นภายในการติดต่อสื่อสารกับข้อมูลโดยการสร้างคำสั่งในการติดต่อสื่อสารยังอยู่ในระดับต่ำ คำสั่งของ Debugging Functions คือสามารถตอบสนองการทำงานเบื้องหลังที่นักทวนวงเมื่อเกิดการติดขัดในระบบการลดการติดขัดไม่ใช่การหยุดขงระบบแต่จะไม่มีผลต่ออุปกรณ์ตัวอื่นในระบบ การลดการติดขัดจะเกิดขึ้นอย่างรวดเร็วและมีประสิทธิภาพความต้องการของ Host interface อย่างไรก็ตามหน้าที่นี้จะทำให้ใช้หน่วยความจำค่อนข้างมาก และครอบคลุมในแนวกว้างในทางตรงกันข้ามก็มีการพัฒนาเพื่อให้ได้มาซึ่งมาตรฐานจึงมีแนวทางในการลดการติดขัดอื่นๆ อีก ซึ่งเป็นการช่วยไม่ให้เกิดการใช้ระบบหน่วยความจำสิ้นเปลืองและลดการใช้เวลาในระบบของ DSK Board มีหัวข้อ MPSD ที่ยอมให้ใช้ เภณฑ์ ของ XDS 510 อย่างไรก็ตาม เภณฑ์ที่ได้ยังใช้เวลาไม่แน่นอนพอที่จะช่วยให้ระบบไม่เกิดการหยุดขงก็ทำให้การส่งข้อมูลเป็นไปได้ในระดับต่ำบ่อยครั้งที่การส่งข้อมูลทำได้ไม่ดีพอคั้งนั้นการสอดแทรกจากภายนอกเป็นตัวขวางกั้นและรบกวนการสื่อสารและแทรกแซงอยู่ตลอดเวลาการหยุดขงและเริ่มทำงานจะเกิดขึ้นจากการติดขัดในการเคลื่อนสัญญาณใน CPU ซึ่งจะทำลายเป้าหมายในเรื่องเวลาการทำงานจริง

หน้าที่ลดการติดขัดจัดเตรียมไว้สำหรับการรับส่งข้อมูลสัญญาณอยู่เบื้องหลังแต่ไม่ใช่เป็น CPU หรือกระตุ้นการเคลื่อนที่ของสัญญาณตัวอย่างเช่น สัญญาณในขั้นแรก OPCODE ในเกณฑ์การทำงานที่ OPCODE การกระตุ้นการเคลื่อนสัญญาณการลดเวลาและ DMA ในด้านอื่นช่วงเวลาที่เกิดการลดการติดขัดจริงจะมีสวิทช์ปิดเปิดในการทำให้การอินเตอร์รัพ

ปกติการลดการติดขัดจะเกิดขึ้นเป็นประจำซึ่งการลดการติดขัดช่วยรักษาและซ่อมแซมข้อมูลของ CPU ทั้งก่อนและหลังการติดขัดการรับส่งสัญญาณเพิ่มมากขึ้นทั้งนี้เพื่อการเก็บรักษาข้อมูลเช่นเดียวกับการเกิดอินเตอร์รัพอยู่เป็นประจำเพื่อรักษาและเก็บข้อมูลที่ CPU บันทึกไว้ทั้งหมด (28 Register) ข้อมูลที่อยู่ต่างๆ อาจควบคุมได้ไม่นานเพราะการรับส่งสัญญาณไม่มีการเปลี่ยนแปลงการเขียนขึ้นจะช่วยขยายการเก็บข้อมูลของ CPU ทั้งสองหน่วยความจำ ได้อย่างกระชับที่ตรงแสดงเป็นข้อมูลขนาด 8 บิต และที่เหลืออีก 32 บิต สำหรับข้อมูลที่มีความสำคัญน้อยกว่าหลังจากที่มีการเก็บรักษาข้อมูลไว้แล้ว CPU ก็จะเปลี่ยนโหมดเพื่อรอคำสั่งเพิ่มเติมระหว่างนี้ พื้นที่หน่วยความจำก็จะเป็นตัวโหลดข้อมูล หยุดเล่นหรือปรับปรุงโดยการลด Debugging ของ Host ที่จะเกิดขึ้นได้ตามปกติ คำสั่ง XRUNF หรือ XSTEP แสดงถึง CPU ที่มีการซ่อมแซมข้อมูลจนถึงการช่วยให้การดำเนินงานทำได้มีประสิทธิภาพการสื่อสารก็จะรับรู้พื้นที่ข้อมูลที่เก็บรักษาภายใน C31 โดยมองจากจุดหลักถึงเนื้อหาที่ได้มาจากคำสั่ง XCTXT

3.6.3 การ INTERRUPTS

การติดต่อสื่อสารรับส่งข้อมูลจะเพิ่มจุดการทำงานโดยย้อนกลับพื้นที่ที่มีรหัสเอกสารที่ต้องการกับ TRAPn Opcode เมื่อ CPU ทำการจับ TRAP จะทำการเก็บรักษาข้อมูลเป็นจุดอ้างอิง คำไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักที่ Cpu เข้าสู่การเปลี่ยน mode มารับการเขียนข้อมูลในการสื่อสารและรอคำสั่งใหม่จนกระทั่งการเปลี่ยน mode ใหม่ CPU จะได้รับการ Interrupts ใหม่อีกครั้ง

การติดต่อสื่อสารรับส่งสัญญาณเพิ่มการหยุดการทำงานของ CPU มากขึ้น (XHALT) โดยเสมือนการหยุดการทำงานแต่สัญญาณ interrupts จะเริ่มส่งมาจาก host ไม่ใช่มาจาก TRAP opcode ความแตกต่างหลักๆ ก็คือ register ที่ใช้ติดต่อสื่อสารเป็นตัวที่สามารถซ่อมแซมก่อนที่จะอ้างถึงการเก็บเนื้อหาข้อมูลเต็มที่และพลาดการเข้าสู่การเปลี่ยนแปลง mode

หลักการสำคัญในการเพิ่มขา XRUN โดยเก็บข้อมูลที่อธิบายมาตรฐานที่ได้มาจาก interrupts ซึ่งสามารถประมวลผลได้กับทุกรหัส

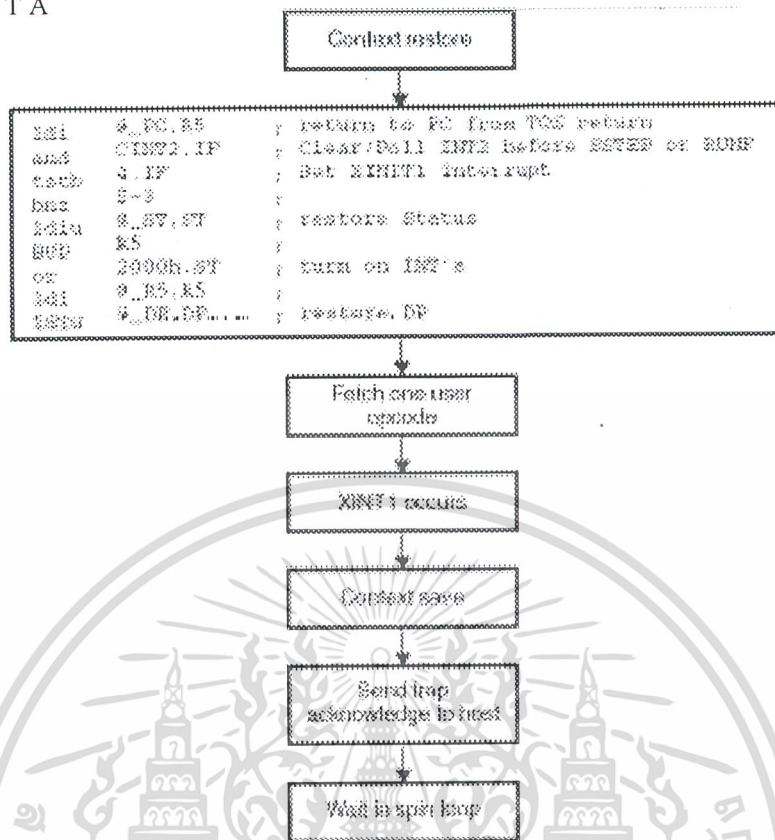
การติดต่อสื่อสารในการเพิ่มค่าสัญญาณ Opcode XSTEP โดยการใช้การสำรอง Interrupts ใน C31 :Serial Port1 ที่ย้ายมาทำการ interrupts (XINT1) ตามรูป 3.6 แสดงให้เห็นถึงขั้นตอนการสร้างสัญญาณ interrupts ซึ่งมีขั้นตอนการสร้าง interrupts ได้ดังนี้

- สร้างข้อมูลภายใน CPU
- โปรแกรมการนับเริ่มนับไปจนถึง R5
- Clears INT2
- ตั้งค่า interrupts XINT1
- สร้างสถานะของ Register
- ตั้งค่านำเวลาในแขนงของ R5

การนำเวลาตามแขนงปฏิบัติตั้ง 3 โครงสร้างดังนี้

- ตั้งเป้าหมายของการ interrupts
- สร้าง R5
- สร้างข้อมูล page pointer

๙
T A



รูปที่ 3.6 Single-step flow diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Cycle	Description	Fetch	Decode	Read	Execute
1		BDD R5			
2		or 2000h, SP	BDD R5		
3		ldi 0_R5, R5	or 2000h, SP	BDD R5	
4		ldp 0_DP, DP	ldi 0_R5, R5	or 2000h, SP	BDD R5
5	Set global interrupt enable	USER1	ldp 0_DP, DP	ldi 0_R5, R5	or 2000h, SP
6	Interrupt recognized	USER2	USER1	ldp 0_DP, DP	ldi 0_R5, R5
7	Jam interrupt in pipeline (discard USER2 fetch)	---	XINT1	USER1	ldp 0_DP, DP
8	Execute USER1 instruction	---	---	XINT1	USER1
9	Clear interrupt flag; clear GIE; store return address on stack; read vector table	---	---	---	XINT1
10	Pipeline begins to fill with interrupt service routine	ISR1	---	---	---
11	Pipeline continues to fill with ISR	ISR2	ISR1	---	---
12	Pipeline continues to fill with ISR	ISR3	ISR2	ISR1	---
13	Execute first instruction of ISR	ISR4	ISR3	ISR2	ISR1

ตารางที่ 3-1 Single-step Pipeline Flow

ตารางที่ 3-1 อธิบายถึงการเคลื่อนย้ายข้อมูลภายในที่ตั้งค่า interrupts XINT1 และเครือข่ายของรหัสจากตารางนี้แสดงให้เห็นการเคลื่อนสัญญาณภายในที่สอดคล้องกับรหัสตัวรับของการ interrupts ทางเดียวกันนั้นการ interrupts ของการเคลื่อนสัญญาณทางพื้นที่ด้านขวาหลังจากที่กำหนดนอร์มค่าตั้งที่ 2 จะลatchingและเติมการอินเตอร์รัพ ในการเคลื่อนสัญญาณแทน (ISR)

หมายเหตุ

ด้านอื่นของการแทรกแซง CUP เป็นตัวดูแลทั้งหมดโดยเฉพาะของ opcode ซึ่งเป็นตัวเคลื่อนสัญญาณคำสั่งในการเคลื่อนสัญญาณภายในก่อนการอินเตอร์รัพต้องทำอย่างสมบูรณ์ที่สุด

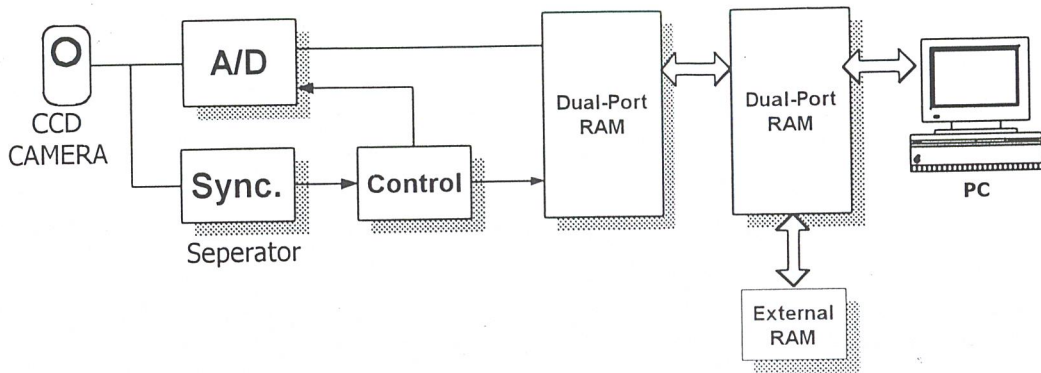
บทที่ 4

หลักการและการออกแบบ

4.1 หลักการทำงานของฮาร์ดแวร์

ในการออกแบบ hard ware เราต้องทราบถึงสิ่งที่ระบบต้องการในการหาขอบภาพนั้นเริ่มต้นจากการเก็บภาพของวัตถุโดยกล้อง CCD ก็จะทำให้ได้สัญญาณภาพออกมา แต่จะทำการประมวลผลภาพโดยทันทีนั้น ไม่สามารถทำได้เนื่องจากสัญญาณภาพที่ได้นั้นเป็นสัญญาณอนาล็อก ซึ่งไม่สามารถประมวลผลได้ ดังนั้นจึงต้องทำการแปลงสัญญาณให้เป็นดิจิทัลเสียก่อน ดังนั้นจึงจำเป็นต้องใช้อุปกรณ์ที่ทำหน้าที่สำหรับแปลงสัญญาณ ซึ่งก็คือ Analog to Digital เสียก่อน เมื่อได้รับสัญญาณดิจิทัลออกมาแล้ว จึงจะส่งข้อมูลที่เป็นดิจิทัลไปทำการประมวลผลโดย DSK ซึ่งเป็นข้อมูลขนาด 8 บิต แต่การที่ DSK จะรับข้อมูลด้วยตัวเองเพื่อที่จะนำมาประมวลผลนั้นเราพบว่าไม่สามารถทำได้เนื่องจากจะทำให้ช้าเกินกว่าที่ข้อมูลชุดใหม่ที่เข้ามาประมวลผล แต่ข้อมูลชุดเก่าที่เข้ามาก็ยังประมวลผลไม่เสร็จ ซึ่งวิธีที่จะแก้ไขก็คือต้องทำการออกแบบสร้างหน่วยความจำสำหรับเก็บข้อมูลจาก A - TO - D เสียก่อน โดยข้อมูลจาก D0 - D7 ของ A - TO - D ที่มีขนาด 8 บิต นั้นจะต่อโดยตรงกับหน่วยความจำก่อนที่จะส่งข้อมูลไปยัง DSK ก็จะทำให้ DSK ไม่ต้องตามเก็บข้อมูลเอง DSK จึงทำหน้าที่ประมวลผลข้อมูลเพียงอย่างเดียวจึงทำให้กระบวนการในการประมวลผลนั้นมีความเร็วมากขึ้น

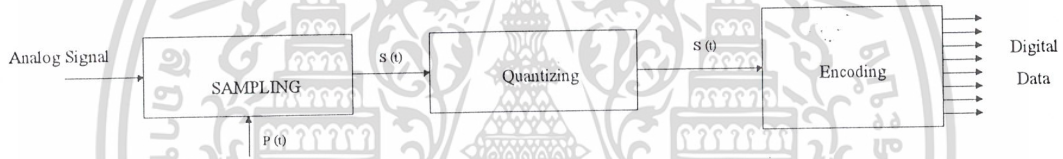
เมื่อได้รับข้อมูลในการประมวลผลมาแล้วยังคงเป็นเพียงข้อมูลดิจิทัลที่ยังไม่ทราบได้ว่ามีจุดเริ่มต้นอยู่ที่ใด และเป็นข้อมูลที่ไดมาจากสัญญาณภาพช่วงไหน เราจึงออกแบบชุด Control ขึ้นมาเพื่อให้จัดการกับข้อมูลที่ไดมา เพื่อมีหน้าที่ติดต่อกับหน่วยความจำว่า ข้อมูลที่ส่งเข้ามาจาก A - to - D นั้นจะนำไปเก็บไว้ที่ Address ใด นอกจากนี้ชุด Control ยังติดต่อกับ A - to - D ซึ่งเป็นการควบคุม A - to - D ให้เก็บข้อมูลช่วงใดบ้างโดยการควบคุม A - to - D ให้เก็บข้อมูลในช่วงสัญญาณภาพที่ต้องการนั้น ชุด Control ยังต้องติดต่อกับชุดแยกสัญญาณภาพ เพื่อกำหนดว่าข้อมูลภาพช่วงใดบ้างที่ต้องการในการเก็บข้อมูล ซึ่งสามารถเขียนแสดงภาพ บล็อกไดอะแกรมการทำงานได้ดังรูป



รูปที่ 4.1 บล็อกไดอะแกรมแสดงการทำงานของฮาร์ดแวร์

4.2 อุปกรณ์แปลงสัญญาณอนาล็อกเป็นดิจิทัล

สัญญาณภาพที่ได้จากกล้อง CCD นี้ยังเป็นสัญญาณอนาล็อก ที่ยังไม่สามารถประมวลผลข้อได้ จึงต้องทำการแปลงให้เป็นสัญญาณดิจิทัล จากนั้นจึงจะนำมาจำการกับข้อมูล ซึ่งวิธีการแปลง



สัญญาณมีหลักการทำงานดังแสดงในรูปที่ 4.2

รูปที่ 4.2 แสดงบล็อกไดอะแกรมของการแปลงสัญญาณอนาล็อกเป็นดิจิทัล

ซึ่งองค์ประกอบที่สำคัญที่สุดคือการ Sampling เพราะความผิดพลาดของสัญญาณดิจิทัลที่ทำการแปลงสัญญาณมาจากอนาล็อก นั้นผิดพลาดมากหรือน้อย ขึ้นอยู่กับความสัมพันธ์ของค่าความถี่ของการ Sampling กับค่าความถี่สูงสุดของสัญญาณ อนาล็อก ในปัจจุบันมี IC สำเร็จรูปที่ใช้แปลงสัญญาณจาก ดิจิตอลเป็น อนาล็อกให้เลือกใช้งานตามความเหมาะสม โดยที่เราต้องทราบถึงขนาดของความถี่ในการ Sampling เสียก่อน

ในการออกแบบสร้างอุปกรณ์แปลงสัญญาณอนาล็อกเป็นดิจิทัลนั้นสิ่งที่ควรทราบเป็นอันดับแรกคือความถี่ในการ Sampling ซึ่งในการหาความถี่ในการ Sampling นั้นเราต้องพิจารณาถึงเวลาที่ใช้ในการ Scan ภาพ แนวนอนว่าใช้เวลาเท่าใด จากนั้นก็นำเวลาดังกล่าวมาหารด้วยจุดภาพที่ต้องการเพื่อที่จะได้เวลาในการสุ่ม (Sample time) แต่ละจุด ซึ่งสัญญาณที่ได้จากกล้อง

CCD นั้นเป็นระบบ PAL ซึ่งมีพารามิเตอร์ของการ Scan ภาพ ดังแสดงในตารางที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ในเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Scanning	NTSC	PAL	SECAM
Lines / Fame	525	625	625
Frame / Second	30	25	25
Interlace ratio	2 : 1	2 : 1	2 : 1
Aspect retio	4 : 3	4 : 3	4 : 3
Cdor subcar (Hz)	3579545	4433619	4406250

ตารางที่ 4.1 แสดงค่าพารามิเตอร์ของระบบต่างๆที่ใช้กันอยู่



รูปที่ 4.3 แสดงเวลาที่ใช้ในการ Scan ภาพของสัญญาณทางแนวนอน

จากตารางที่ 4.1 จะเห็นว่าความถี่ที่ใช้ในการ Scan ทางแนวนอนของระบบ

PAL = 15,625Hz (625*25) หรือ เท่ากับ 64 ไมโครเซค / Scanline แต่มีช่วงเวลากการเกิดสัญญาณภาพจริงเพียง 53.1 ไมโครเซค จากเวลาที่ได้นี้สามารถนำไปคำนวณหาความถี่ของการสุ่ม (Sample frequency) ได้ด้วยสมการ

$$T_s = \frac{T_{nor}}{N} = \frac{53.1}{512} = 0.103 \mu s \text{ หรือ } 9.642 \text{ MHz}$$

เมื่อ T_s คือ เวลาในการสุ่มสัญญาณภาพในแต่ละจุด

T_{nor} คือ เวลาในการ Scan ภาพทางแนวนอน

N คือ จำนวนจุดภาพที่ต้องการในแนวนอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากความถี่ที่คำนวณได้ในการสุ่มขนาด 512 จุด / Scanline ที่ต้องใช้ความถี่ 9.642 Hz นั้นทำได้ยาก ดังนั้นจึงเลือกใช้ความถี่สูงขึ้นและสามารถหาได้คือ ความถี่ขนาด 10 MHz ซึ่ง IC ที่พอจะหาได้ในท้องตลาด ที่ใช้ความถี่ในการสุ่มสัญญาณภาพ แต่ละจุดเท่ากับ 10 MHz คือ IC เบอร์ CA3318 เป็น IC ที่ทำหน้าที่ในการแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบแฟลชขนาด 8 บิต ซึ่งมีความเร็วในการแปลงสัญญาณสูงมาก ตัว IC เป็นแบบเดิม (DIP) ขนาด 24 ขา

การใช้งาน IC เบอร์ CA3318 ทำงานได้โดยอาศัยหลักการเปรียบเทียบแรงดันไฟฟ้าที่แตกต่าง ดังนั้นจึงต้องมี IC เบอร์ CA3085 ทำหน้าที่ป้อนแรงดันที่จะใช้เป็น Referer และต่อวงจรกับ IC เบอร์ CA324 ภายในวงจรมีออปแอมป์มีหน้าที่เปรียบเทียบแรงดันว่ามีขนาด $\frac{1}{2}$ เท่าของแรงดันอ้างอิง, $\frac{1}{4}$ เท่าของแรงดันอ้างอิงหรือ $\frac{5}{4}$ เท่าของแรงดันอ้างอิงซึ่งแสดงดังรูปที่ 4.6 ซึ่งแสดงลักษณะของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลที่ทำการออกแบบ

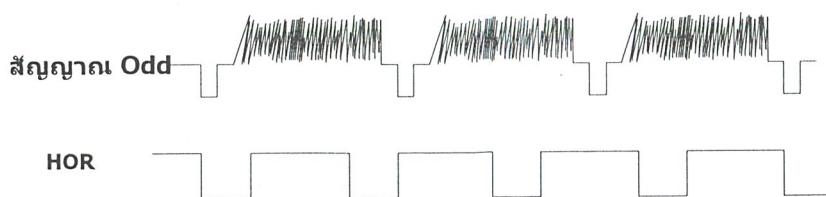
4.3 อุปกรณ์แยกสัญญาณซิงค์

ในการที่เราต้องการจะเก็บภาพข้อมูลที่เราต้องการนั้น เราจะต้องเลือกเก็บข้อมูลภาพเฉพาะช่วงของสัญญาณที่ต้องการเท่านั้น ดังนั้นจึงจำเป็นต้องมีการแยกสัญญาณที่ต้องการออกมาโดยสัญญาณที่เราต้องการคือ สัญญาณควบคุม การ Scan ดังรูปที่ 4.4 ที่แสดงถึงสัญญาณการควบคุมการ Scan



รูปที่ 4.4 ก. แสดงถึงสัญญาณ vertical blank และ ฟิวด์เส้นคี่ (odd)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 ข. แสดงถึงสัญญาณ horizontal blank

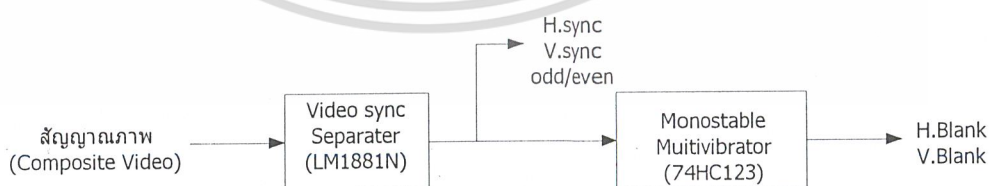
จากรูปที่ 4.4 สัญญาณภาพที่ใช้ในการควบคุมการ Scan ทั้ง 3 สัญญาณคือ

- สัญญาณ Vertical Blanking คือสัญญาณลบเส้นสลับกลับในแนวตั้งดังรูปที่ 4.4ก
- สัญญาณ Odd คือสัญญาณในฟิลด์เส้นคี่ ดังรูปที่ 4.4ก
- สัญญาณ Horizontal Blanking คือสัญญาณลบเส้นสลับกลับในแนวนอนดังรูปที่ 4.4ข

เหตุผลที่ต้องใช้สัญญาณทั้ง 3 ก็เพราะ เราต้องการควบคุมเส้นภาพ เราจึงต้องออกแบบ

สร้างอุปกรณ์ ที่ใช้ควบคุมสัญญาณที่จะออกมาซึ่งสัญญาณควบคุมการ Scan นี้จะใช้เพื่อเป็นการควบคุมการทำงานของระบบ

ในการออกแบบสร้างอุปกรณ์แยกสัญญาณซิงค์ พบว่ามี IC ที่ใช้สำหรับแยกสัญญาณซิงค์ คือ IC เบอร์ LM1881N ที่จะทำหน้าที่ในการแยกสัญญาณซิงค์ แล้วเราต้องการสัญญาณ Blank ดังนั้นจึงต้องออกแบบวงจรที่จะได้สัญญาณ Blank ออกมา ทำได้โดยใช้ IC 74LS123 ซึ่งสามารถแสดงเป็นบล็อกไดอะแกรมได้ดังนี้



รูปที่ 4.5 บล็อกไดอะแกรมของภาคแยกสัญญาณซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อกไดอะแกรมเราจะพบว่า การแยกสัญญาณซิงค์ประกอบด้วยส่วนที่แยกสัญญาณซิงค์ออกจากสัญญาณวีดีโอคอมโพสิต และส่วนกำเนิดสัญญาณ Blank ซึ่งแต่ละส่วนสามารถแยกอธิบายได้ดังนี้

4.3.1 ส่วนแยกสัญญาณซิงค์

ส่วนแยกสัญญาณซิงค์คือส่วนของ IC เบอร์ LM1881N ซึ่งจะทำหน้าที่แยกสัญญาณควบคุมตำแหน่งภาพออกมาจากสัญญาณ วีดีโอคอมโพสิต ซึ่งสัญญาณควบคุมตำแหน่งภาพที่แยกออกมานี้ประกอบด้วย

- 1) สัญญาณวีดีโอคอมโพสิต (composite Sync) มีการใช้เป็นสัญญาณซิงค์ (Horizontal Sync)
- 2) สัญญาณเวอร์ติคอลลซิงค์ (Vertical Sync)
- 3) สัญญาณแสดงฟิลด์คี่/คู่ (Odd/Even)
- 4) สัญญาณเบริสต์ (Burst / Back)

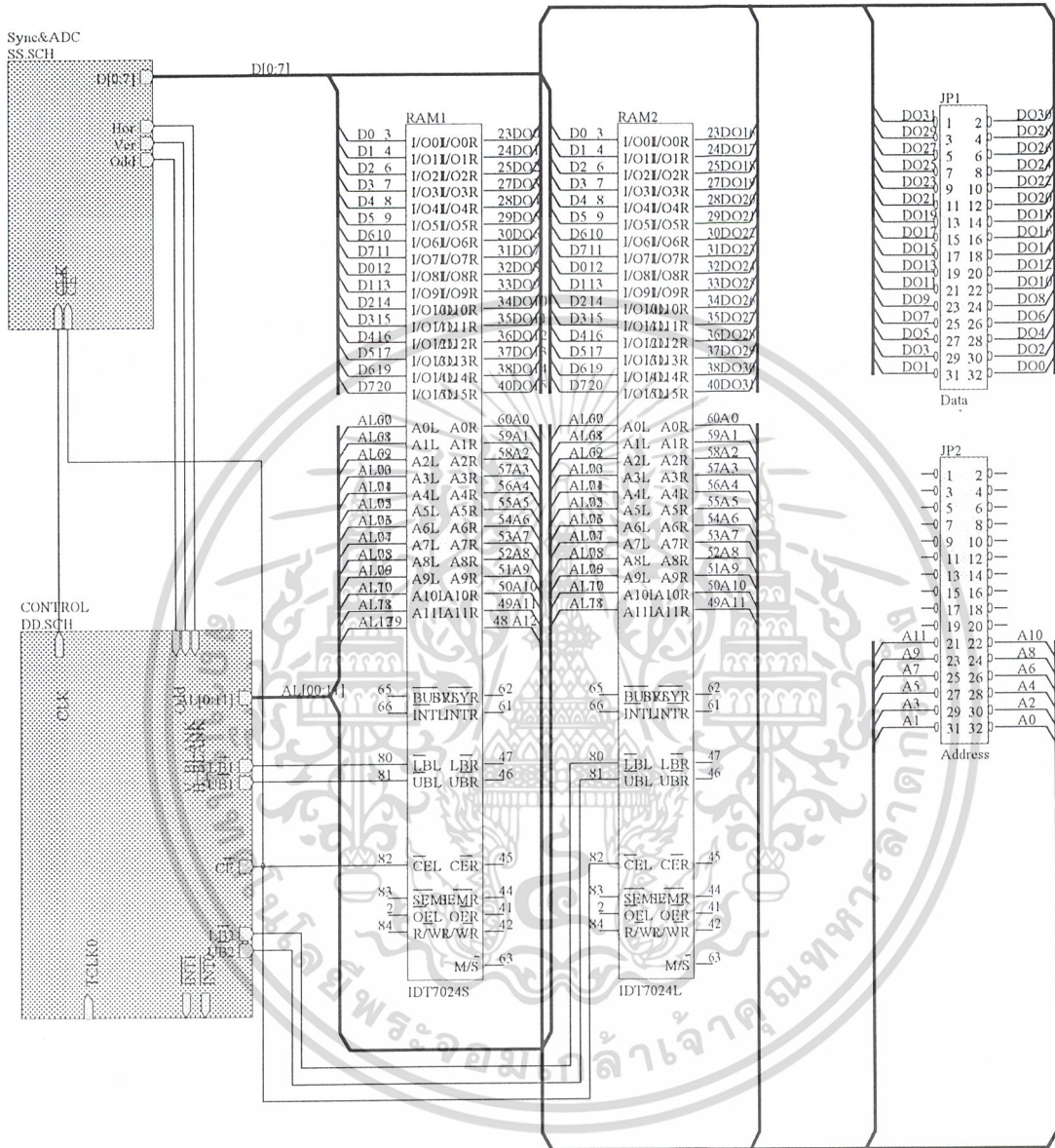
4.3.2 ส่วนกำเนิดสัญญาณแบลงค์

ส่วนกำเนิดสัญญาณแบลงค์ คือ วงจรโมโนสเตเบิลมัลติไวเบรเตอร์ (monostable Multivibrator) ซึ่งส่วนสำคัญของวงจรนี้คือ IC เบอร์ 74HC123 ซึ่งภายในประกอบด้วยส่วนของ โมโนสเตเบิลมัลติไวเบรเตอร์ สองตัว

ส่วนกำเนิดสัญญาณแบลงค์นี้ จะนำเอาสัญญาณซิงค์ (หรือสัญญาณคอมโพสิตซิงค์) และสัญญาณ เวอร์ติคอลลซิงค์มาทำให้เป็นสัญญาณซิงค์ชอนต์ลแบลงค์และสัญญาณเวอร์ติคอลลแบลงค์ตามลำดับ โดยการควบคุมความกว้างของพัลส์ ของวงจรโมโนสเตเบิลมัลติไวเบรเตอร์ ดังแสดงในรูปที่ 4.6 แสดงถึงวงจรที่ใช้แยกสัญญาณควบคุมการ Scan ที่ได้ทำการออกแบบ

4.4 หน่วยความจำ

ในการประมวลผลข้อมูลที่ได้มาจาก A-to-D นั้นเราจะใช้ DSK มาทำการเก็บข้อมูลด้วยตัวเองก็สามารถทำได้แล้วจึงนำข้อมูลที่ได้อไปประมวลผล ซึ่งกระบวนการดังกล่าว DSK ต้องใช้เวลาพอสมควรทีเดียวในการเก็บข้อมูลและประมวลผลข้อมูลซึ่งอาจจะช้ากว่าข้อมูลใหม่ที่จะเข้ามา เราจึงมีความจำเป็นที่จะต้องออกแบบสร้างชุดหน่วยความจำขึ้นมาใช้สำหรับเก็บข้อมูลและส่งข้อมูลไปยัง DSK โดยเฉพาะเพื่อเป็นการประหยัดเวลาในการประมวลผลทำให้สามารถประมวลผลได้รวดเร็วยิ่งขึ้นก่อนที่ข้อมูลใหม่จะถูกส่งเข้ามา หน่วยความจำที่จะนำมาใช้นี้ จึงต้องเป็นหน่วยความจำที่มีความเร็วในการเก็บข้อมูลและส่งข้อมูลเนื่องจากต้องการการประมวลผลที่ใช้เวลาน้อยที่สุด ซึ่งหน่วยความจำที่มีความเร็วสูงที่ออกแบบมาเพื่อใช้กับการเก็บข้อมูลและส่งข้อมูลให้มีความเร็วสูงนี้ก็คือหน่วยความจำแบบ 4K*16 dual – port Static RAM ดังรูปที่ 4.8 ซึ่งหน่วยความจำที่มีความเร็วตั้งแต่ 25 – 55 nS และต้องเป็นแบบ dual – port ซึ่งด้วยคุณสมบัติเฉพาะของหน่วยความจำชนิดนี้ คือเป็นหน่วยความจำที่สามารถเก็บข้อมูล และส่งข้อมูลได้ในเวลาเดียวกัน และถ้าหากเกิดเหตุการณ์ที่มีข้อมูลที่มี Address ตรงกัน เข้ามาประมวลผลเราสามารถเลือกได้ว่าจะส่งข้อมูลแบบไหนถ้า Address ตรงกัน เราจะทำการส่งข้อมูลที่มาถึงก่อนแล้วให้ข้อมูลที่เหลือพักไว้แล้วทำการส่งในลำดับต่อไป หรือจะเลือกส่งข้อมูลใดก่อนก็ได้ จากรูปแสดงการออกแบบใช้งานหน่วยความจำแบบ dual – port IDT 70248 ที่ได้ถูกออกแบบมาให้ใช้ประมวลผลข้อมูลขนาด 32 bit โดยใช้หน่วยความจำ 2 ตัวซึ่งเราสามารถเลือกได้ว่าจะรับหรือส่งข้อมูลจากหน่วยความจำตัวไหนก็ได้ โดยอาศัยการทำงานของชุด Control ซึ่งจะกล่าวถึงในหัวข้อต่อไป



Title		
Size	Number	Revision
B		
Date:	22-Jun-2001	Sheet of
File:	C:\My Documents\protd\hdswr\3yest.ddb	

รูปที่ 4.7 แสดงการออกแบบหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 อุปกรณ์ควบคุม (Control Unit)

ดังที่ได้กล่าวมาแล้วในข้างต้นว่าข้อมูลที่ออกมาจาก A-to-D เป็นข้อมูลดิจิทัลที่ส่งไปยังหน่วยความจำนั้นยังคงเป็นข้อมูลที่ไม่เป็นระเบียบ เนื่องจากเราไม่สามารถรู้ได้เลยว่าข้อมูลที่ส่งมานี้เป็นข้อมูลของสัญญาณภาพช่องใด อีกทั้งยังไม่สามารถควบคุมข้อมูลที่ส่งเข้ามายังหน่วยความจำ ได้เราจึงจำเป็นต้องออกแบบสร้างอุปกรณ์ควบคุม การจัดเก็บข้อมูล ซึ่งเป็นการสื่อสารกับหน่วยความจำ เพื่อทำการบอกกับหน่วยความจำว่าข้อมูลที่ส่งมาจาก A-to-D นั้นจะนำไปเก็บไว้ที่ Address ใดและยังบอกอีกว่าข้อมูลนั้นเป็นข้อมูลที่ไหน ไบต์บน (Upper byte) หรือ ไบต์ล่าง (Lower byte) ซึ่งจะอธิบายให้ทราบต่อไป นอกจากนี้อุปกรณ์ควบคุม (Control Unit) นี้ยังส่งสัญญาณไปยัง A-to-D เพื่อสั่งให้เก็บสัญญาณของสัญญาณควบคุมการ Scan อีกด้วย โดยสรุปแล้วอุปกรณ์ควบคุมมีหน้าที่ในการควบคุม Address นั้นเองซึ่งการทำงานของอุปกรณ์ควบคุมนี้สามารถอธิบายการทำงานและออกแบบการสร้างในแต่ละส่วนดังต่อไปนี้

4.5.1 สร้างสัญญาณ Reset

ในการควบคุมข้อมูลนั้นเราไม่สามารถรู้ได้เลยว่าข้อมูลที่ได้นั้นมีจุดเริ่มต้นตรงไหนในการเก็บข้อมูลเหล่านั้นมา ซึ่งก็ต้องอาศัยสัญญาณการ Reset เพื่อที่สั่งการให้เริ่มเก็บข้อมูลที่ Address 0000H การสร้างสัญญาณ Reset นั้นทำได้โดยอาศัยสัญญาณ Vertical Blank และ Odd ซึ่งเป็นสัญญาณที่มีความถี่ใกล้เคียงกันมาก โดยสามารถเขียนแสดงเป็น Timing diagram ได้ดังนี้



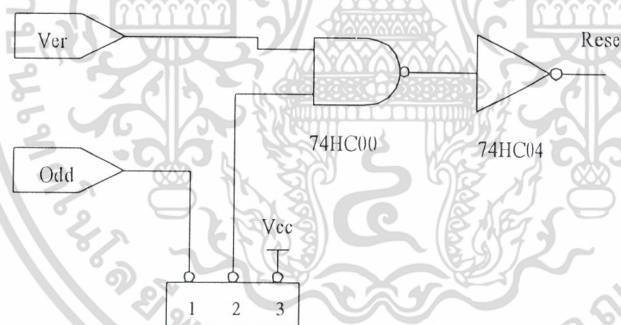
รูปที่ 4.8 Timing diagram ของสัญญาณ Vertical Blank และ สัญญาณ Odd

จากรูปที่ 4.8 สามารถเขียนเป็นตารางความจริงได้ดังนี้

Vertical blank	Odd	reset
0	0	0
0	1	0
1	0	0
1	1	1

ตารางที่ 4.2 แสดงตารางความจริงของสัญญาณ reset

ในการออกแบบ Hard Ware นั้นเมื่ออาศัยตารางความจริงแล้วจะได้ว่าต้องต่อเป็นแบบ AND gate เราสามารถนำ IC74HC00 ซึ่งเป็น NAND gate ไปต่อกับ IC 74HC04 ซึ่งเป็น NOT gate ที่เป็นอย่างนี้เพราะในหัวข้อต่อไปเราต้องการประหยัด IC เนื่องจากต้องใช้ NAND gate ในการสร้างสัญญาณ CE ในหัวข้อต่อไปดังนั้นการออกแบบสัญญาณ Reset จะเป็นไปตามรูปที่ 4.12



รูปที่ 4.9 วงจรสัญญาณ Reset

4.5.2 สร้างสัญญาณ CE (Chip Enable)

สัญญาณ CE (Chip Enable) นั้นเป็นสัญญาณที่จะบอกให้ A-to-D รับข้อมูลใหม่เข้ามาประมวลผล ซึ่งด้วยเงื่อนไขที่ว่าสัญญาณ CE มีหน้าที่ติดต่อกับ A-to-D ให้รับข้อมูลใหม่เข้ามาประมวลผล ดังนั้นจึงต้องให้สถานะของ CE เป็น High เสมอ ในการออกแบบจึงจำเป็นต้องอาศัยสัญญาณ Horizontal anking และสัญญาณ Reset ในการสร้างสัญญาณ CE ทำได้โดยคำนึงถึงสถานะของ CE เป็นสำคัญกล่าวคือ สัญญาณ CE จะต้องมีสถานะเป็น High เสมอจนกว่าจะมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ Horizontal Blanking ที่มีสถานะเป็น High และสัญญาณ Reset ที่เป็น High มาเข้าที่ CE จึงมีสถานะเป็น Low ดังแสดงในตารางที่ 4.3

Horizontal blank	reset	CE
0	0	1
0	1	1
1	0	1
1	1	0

ตารางที่ 4.3 แสดงตารางความจริงของสัญญาณ CE

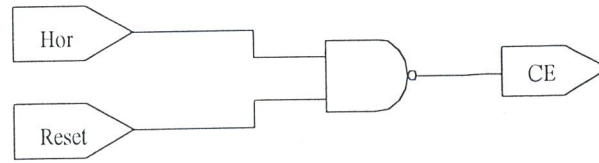
สัญญาณ Horizontal Blank นี้มีความถี่สูง สัญญาณ CE จึงแสดงเป็น Timing diagram ได้ดังนี้



รูปที่ 4.10 แสดง Timing diagram ของสัญญาณ CE

ในการออกแบบ Hard Ware นั้นอาศัยผลจากตารางความจริงแล้วจะได้ว่าต้องต่อเป็นแบบ NAND GATE แล้วจึงได้นำ IC 74MC00 โดยป้อนอินพุตเป็นสัญญาณ Horizontal Blank และสัญญาณ Reset มาต่อกับ NAND GATE ก็จะได้เอาท์พุตเป็นสัญญาณ CE ดังรูปที่ 4.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



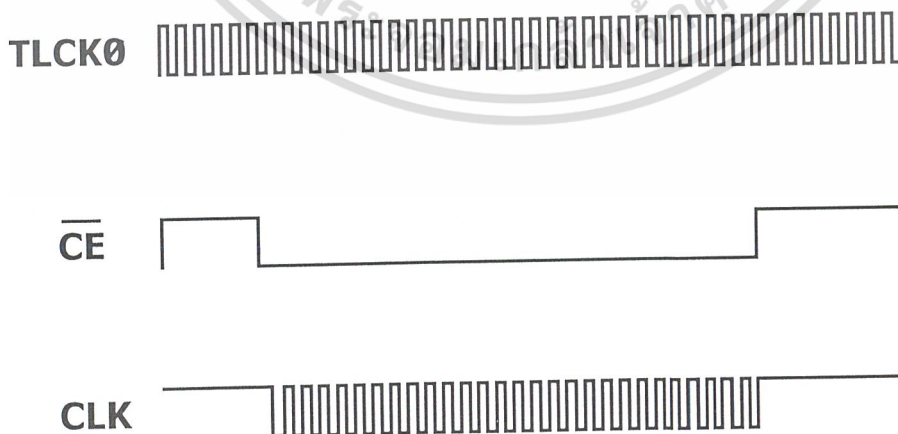
รูปที่ 4.11 วงจรสัญญาณ CE

4.5.3 สร้างสัญญาณนาฬิกา (CLK)

สัญญาณนาฬิกาหรือสัญญาณที่ใช้ควบคุมในการทำงานต่างๆให้เป็นไปตามเวลาที่กำหนดได้ตามที่ออกแบบไว้ ซึ่งอุปกรณ์ควบคุมจะนำสัญญาณนาฬิกาที่ได้จาก DSK กับสัญญาณ CE มาใช้ในการสร้างสัญญาณนาฬิกาในการควบคุม A-to-D ให้ทำงานตามเวลาสัญญาณนาฬิกาที่ได้จะต้องมีสถานะเป็น High เสมอ ดังตารางความจริงต่อไปนี้

TCLK	CE	CLK
0	0	0
0	1	1
1	0	1
1	1	1

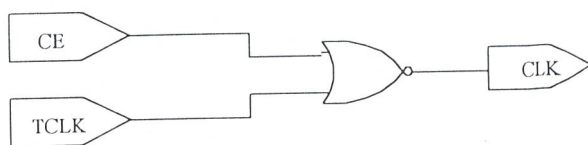
ตารางที่ 4.4 แสดงตารางความจริงของสัญญาณ CLK และสามารถนำมาเขียนเป็น Timing diagram ได้ดังนี้



รูปที่ 4.12 Timing Diagram ของสัญญาณ CLK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบสร้าง Hard Ware นั้นเราจะอาศัยข้อมูลจากตารางความจริงมาสร้างชุดให้กำเนิดสัญญาณนาฬิกาที่ใช้ควบคุม A-to-D ได้ดังนี้



รูปที่ 4.13 วงจรสัญญาณ CLK

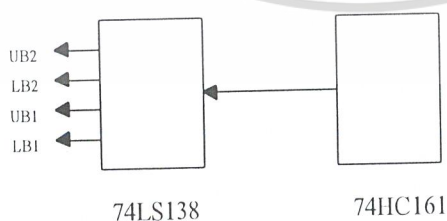
ซึ่งนั่นก็คือ การต่อวงจรที่มีอินพุตที่เป็นสัญญาณ CE (Chip Enable) และสัญญาณ TCLK ซึ่งเป็นสัญญาณนาฬิกาที่ได้มาจาก DSK นำมาต่อกับ OR GATE ด้วย IC 74HC32 ก็จะได้สัญญาณนาฬิกาซึ่งเราจะนำสัญญาณ CE และสัญญาณ CLK ไปใช้ในการควบคุม การทำงานของ A-to-D

4.5.4 ควบคุม Address

การควบคุม Address คือการควบคุมการเก็บข้อมูลที่ส่งมาจาก A-to-D ซึ่งจะมีแต่เพียงข้อมูลที่เป็น DATA ที่ยังไม่มีการจัดเก็บลงใน Address เราจึงไม่สามารถรู้ได้เลยว่าข้อมูลที่ทำการเก็บเข้ามามีค่าเป็นข้อมูลที่ใดมาจากข้อมูลภาพช่วงไหนเราจึงต้องออกแบบการควบคุมการเก็บข้อมูลดังกล่าวเราจะแบ่งการควบคุม Address ออกเป็น 2 ส่วนดังนี้

ชุดควบคุมการแบ่งเก็บข้อมูล คือเราจะออกแบบให้มีการเก็บข้อมูล 8 bit ออกเป็น LB (Lower Byte) และ UB (Upper Byte) โดยทั้งคู่จะมีข้อมูลขนาด 8 bit ส่งข้อมูลไปเก็บในหน่วยความจำ 2 ตัวดังนั้น จึงสามารถประมวลผลข้อมูลได้ถึง 32 bit ได้อย่างรวดเร็ว

ในการออกแบบ Hard Ware ในส่วนนี้จะทำงานโดยใช้ IC 74HC161 ไปต่อกับ IC 74LS138 โดยมีหน้าที่เลือกเก็บข้อมูลว่าเป็น UB หรือ LB ดังแสดงในรูปที่ 4.14



รูปที่ 4.14 แสดงการแบ่งการเก็บข้อมูล

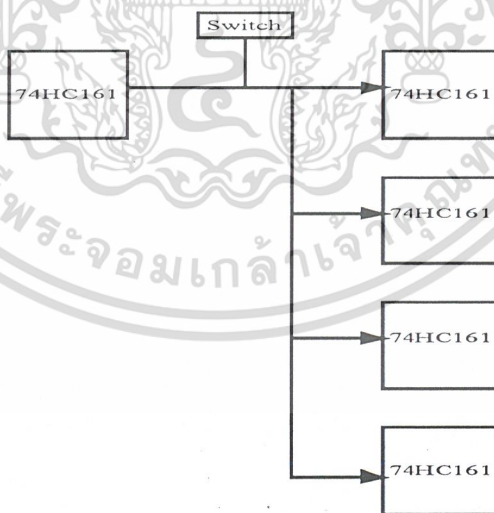
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป IC 74HC161 จะทำหน้าที่ Counter กำหนดว่าข้อมูลครบ 8 bit หรือไม่ถ้าครบก็จะส่งข้อมูลไปยัง IC 74LS138 ซึ่งจะทำหน้าที่เป็นตัวแบ่งว่าจะส่งข้อมูลไปยังขา LB หรือ UB ของหน่วยความจำตัวไหน โดยสัญญาณที่ใช้ควบคุมคือสัญญาณ Q₁, Q₀ ของ IC 74HC161 แสดงดังตารางที่ 4.5

Q ₁	Q ₀	Out put
0	0	LB ₁
0	1	UB ₁
1	0	LB ₂
1	1	UB ₂

ตารางที่ 4.5 แสดงตารางความจริงของการแบ่งชนิดการเก็บข้อมูล

ชุดควบคุมการเก็บ Address คือทำการสื่อสารกับหน่วยความจำให้หน่วยความจำรู้ว่าข้อมูลที่ส่งมาจาก A-to-D จะส่งไปเก็บที่ Address ใด ในหน่วยความจำ และยังควบคุมด้วยว่าข้อมูลจะส่งข้อมูลไปยังหน่วยความจำตัวไหน ในการออกแบบ Hard Ware ในส่วนนี้จะทำงานโดยใช้ IC 74HC161 4ตัว มาต่อเป็นวงจรดังรูปที่ 4.15



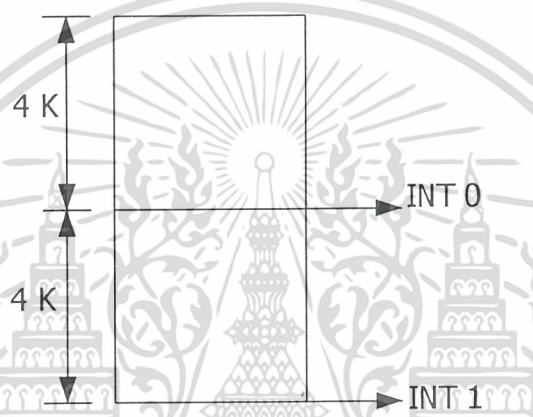
รูปที่ 4.15 แสดงชุดควบคุม Address

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.17 IC 74HC161 ตัวแรกจะทำหน้าที่เป็น Counter ทำการนับจุดภาพโดย 1 จุด จะมีข้อมูล 8 บิต และจะต่อกับ สวิตช์เลือกวงจรส่งข้อมูลแบบใดโดยให้เลือกทั้งแบบ 2 จุด (16 bit) และ 4 จุด (32 bit) แล้วจะส่งข้อมูลไปยัง IC 74HC161 อีก 3 ตัวที่ต่อคาสเคดกัน

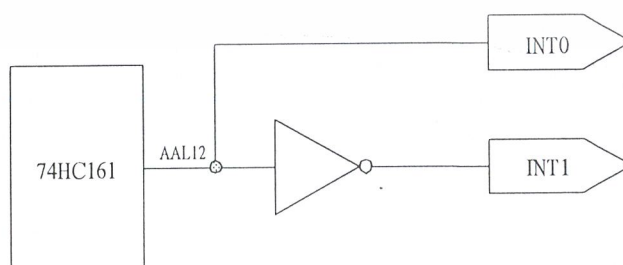
4.5.5 สัญญาณอินเทอร์รัพท์

สัญญาณ อินเทอร์รัพท์คือ สัญญาณที่ใช้ขัดจังหวะในการทำงานของระบบในกรณีที่ทำกรเก็บข้อมูลมาครบ 4 K INTO จะทำงานเพื่อให้ระบบเริ่มเก็บข้อมูลใหม่อีก 4 K INT1 จึงจะทำงานต่อ และทำงานสลับกันไปเรื่อยๆ ดังรูปที่ 4.16



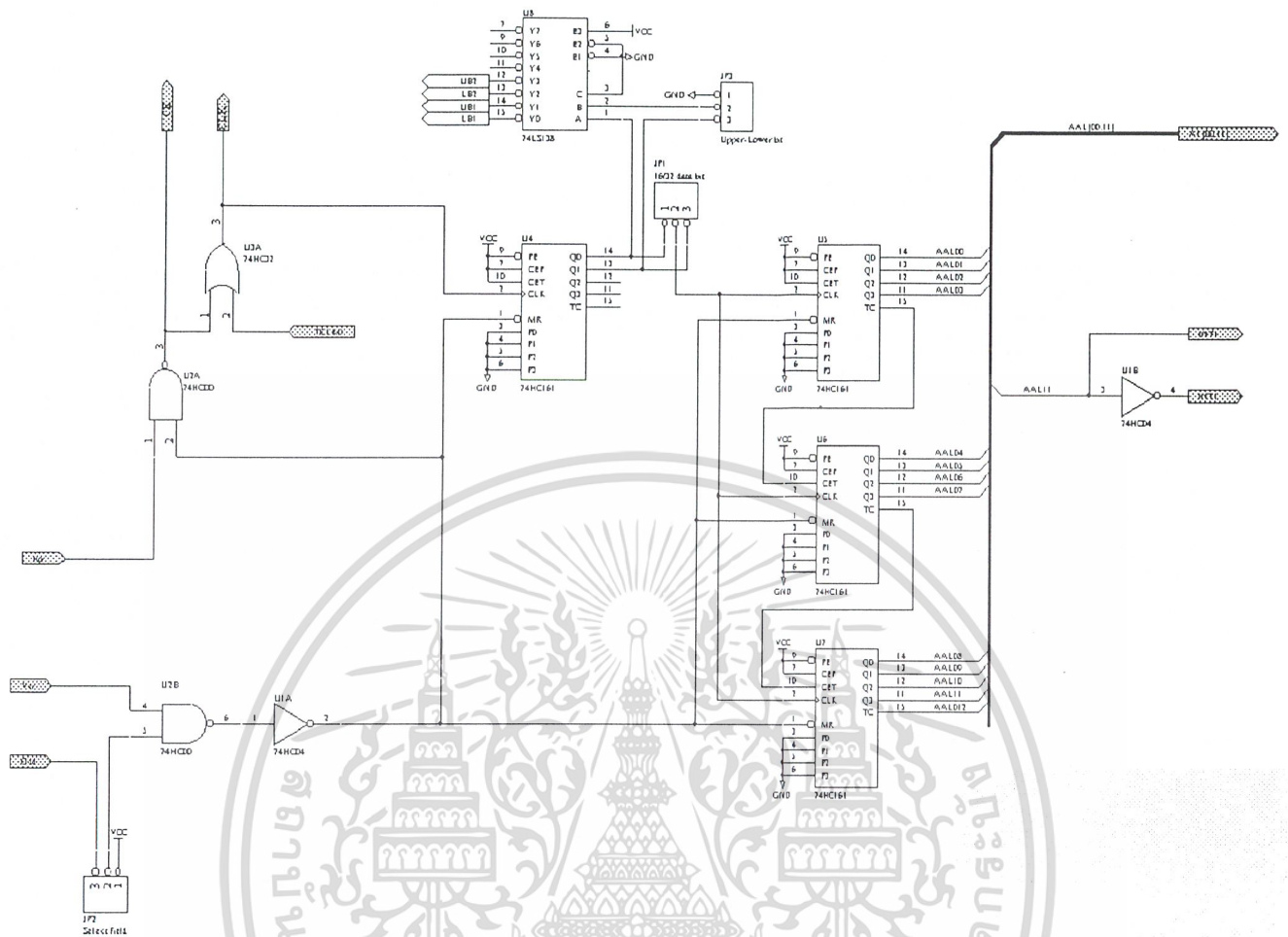
รูปที่ 4.16 แสดงการทำงานของระบบการ interrupt

ซึ่งข้อมูลทั้งหมดนั้นก็คือข้อมูลใน Memory Map ใน DSK นั้นเอง ในการออกแบบ Hard Ware จะใช้ IC 74HC04 ซึ่งเป็น NOT GATE ต่อกับเอาต์พุตของ IC 74HC161 ที่ต่อคาสเคดกัน 4 ตัว ที่ส่งค่า Address ดังรูปที่ 4.17



รูปที่ 4.17 แสดงวงจรอินเทอร์รัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



จากที่ได้กล่าวมาแล้วในหัวข้อต่างๆของชุดควบคุมแล้วนำมาทำการออกแบบทาง Hard Ware ได้ดังรูปที่ 4.18

รูปที่ 4.18 แสดง Hard Ware ของชุดควบคุม

4.6 การส่งข้อมูลไปยัง DSK

การส่งข้อมูลไปยัง DSK นั้นทำได้โดยตรงกล่าวคือ สามารถส่งข้อมูลที่เป็น DATA และ Address ไปยังขาที่รับข้อมูลทั้งสองบนบอร์ด DSK ได้ทันที ส่วนขา UB และ LB ของหน่วยความจำ ขา CE , ขา SEM (Semaphore Enable) , ขาOE (Output Enable) , ขาR/W (Read / Write Enable) ขาM/S (Master or Slave Select) จะไปต่อกับ Decoder ก่อนที่จะต่อ ไปยัง DSK ต่อไป

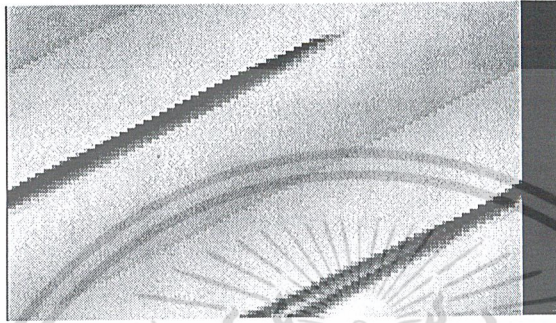
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ผลการทดลอง

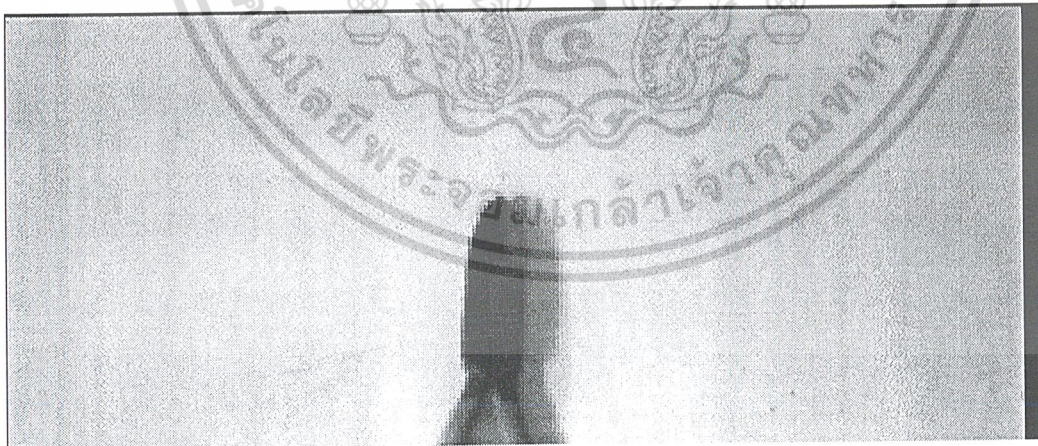
5.1 ภาพที่เก็บได้ก่อนปรับจำนวนจุด ต่อ เส้น ให้เหมาะสม

ใช้จำนวนจุด 300 จุดต่อเส้น



รูปที่ 5.1 ผลก่อนปรับจำนวนจุดต่อเส้น เท่ากับ 300 จุด

5.2 ภาพที่ได้หลังจากการปรับจำนวนจุดต่อเส้น

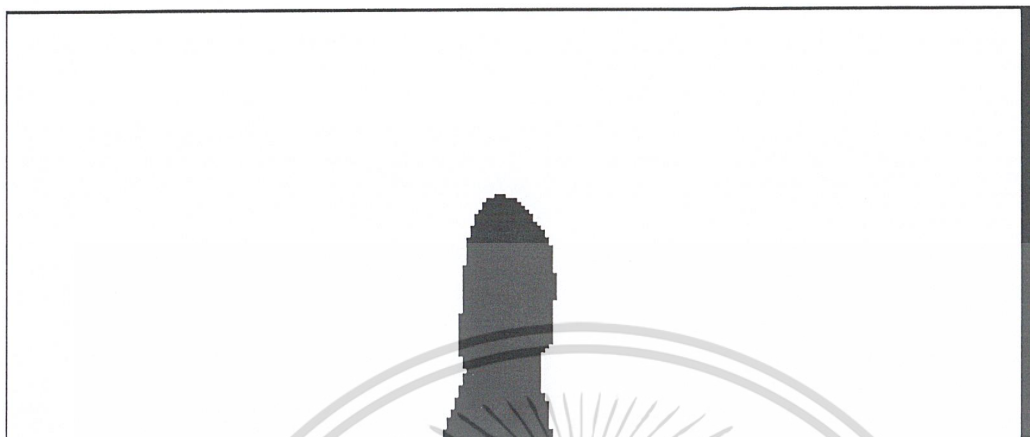


ปรับจำนวนจุดต่อเส้น เป็น 269 จุด จะได้ภาพที่ดีที่สุด

รูปที่ 5.2 ผลหลังปรับจำนวนจุดเป็น 269 จุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 ภาพที่ได้หลังจากทำการปรับระดับ (threshold)



รูปที่ 5.3 ผลการทำ threshold

5.4 ภาพที่ได้หลังจากการหาขอบภาพ(edge detection)



รูปที่ 5.4 ผลการหาขอบภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปผลการทดลอง

จากโครงการนี้มีส่วนประกอบต่าง ๆ ด้วยกันทั้งหมด 2 ส่วนดังนี้

1. ฮาร์ดแวร์ ประกอบด้วยกัน 2 ส่วนคือ
 - บอร์ด DSK ซึ่งใช้ Chip TMS320c31
 - บอร์ด ขยายแรมของ DSK
 - บอร์ดเพิ่มเติม ซึ่งทำหน้าที่แปลงสัญญาณอนาล็อกเป็นดิจิทัลและเก็บรูปภาพ
2. ซอร์ฟแวร์ ประกอบด้วยกัน 2 ส่วนคือ
 - ซอร์ฟแวร์ บน PC ทำหน้าที่แสดงภาพ
 - ซอร์ฟแวร์ บน DSK ทำหน้าที่หาขอบและเก็บข้อมูล

โดยบอร์ด DSK จะติดต่อกับ PC ทาง พอร์ตขนาน

ในการทดลองประสบปัญหาต่าง ๆ ดังนี้

1. ปัญหาจากการออกแบบ ฮาร์ดแวร์ เนื่องจาก ถูกออกแบบให้ เก็บข้อมูลภาพอย่างต่อเนื่องทำให้ข้อมูลภาพในแต่ละเส้นต่อกันเมื่อนำมาแสดงผล โดยสุ่มค่าจำนวนจุดต่อเส้นที่ไม่ถูกต้องทำให้เกิดอาการภาพล้มน
2. ภาพที่ได้มีความสว่างต่ำมาก
3. ภาพที่จับจะไม่คงที่เนื่องจากสัญญาณภาพสั้น
4. ภาพที่เก็บได้ไม่เต็มเฟรม และไม่ครบเฟรม
5. ปัญหาภาพที่เก็บ ได้บางจังหวะเริ่มต้นที่กลางภาพ

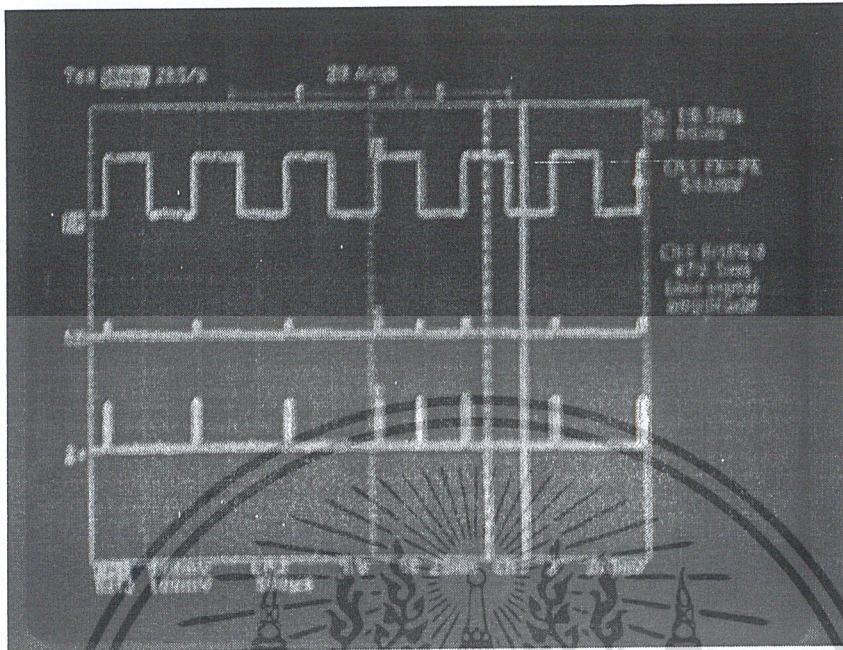
การแก้ปัญหา

จากปัญหาต่าง ๆ สามารถแก้ไขได้โดย

1. ในการออกแบบควรมีการกำหนดจุดต่อเส้นในการเก็บภาพให้แน่นอน เพื่อต่อการนำมาแสดงผล
2. ภาพที่มีความสว่างต่ำมาก ก็ทำการเขียน โปรแกรม เพื่อเพิ่มความสว่างโดยการ บวกค่าคงที่เข้าไปที่ ทุก ๆ จุดของข้อมูลภาพ หรือ เปลี่ยนเป็นกล้องที่มีประสิทธิภาพสูงขึ้น
3. การที่ภาพเก็บได้ไม่ครบเฟรม และไม่เต็มเฟรมเป็นเพราะ มีหน่วยความจำน้อยเกินไปสามารถแก้ไขได้ โดยเพิ่มขนาดหน่วยความจำให้มากขึ้น ซึ่ง DSP ยังสามารถรับได้ หรือใช้เทคนิค ทำให้แรมนั้นเขียนทับข้อมูลชุดก่อน วนไปจนเต็มทั้งภาพ ซึ่งจำเป็น

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ได้ทำการวัดสัญญาณ ที่จุดเริ่มต้นการสแกนพบว่า มี สัญญาณผิดพลาดดังรูป



รูปที่ 6.1 สัญญาณการสแกน ch1 (บน) สัญญาณ odd, ch2 (ล่าง) สัญญาณเริ่มต้นสแกน

จะเห็นว่ามีสัญญาณ ทริกแปลกปลอม สาเหตุ เพราะสัญญาณทริกได้จากการนำเอา สัญญาณเวอร์ซิงค์ และสัญญาณ odd มา AND กัน ในบางช่วงที่สัญญาณเวอร์ซิงค์ มีขนาดไม่เท่ากันทำให้เกิดสัญญาณทริกแปลกปลอมเกิดขึ้นที่กึ่งกลางระหว่างสัญญาณทริก 2 ลูก สามารถแก้ไขได้ด้วยการปรับ Duty Cycle ของสัญญาณเวอร์ซิงค์

โครงการนี้ได้ทำการศึกษาการนำเอาสมการบูลีนมาใช้หาขอบภาพซึ่งได้ผลเป็นที่น่าพอใจพอสมควร แต่ยังมีอีกหลายจุดที่ต้องปรับปรุงและพัฒนาต่อไป

บรรณานุกรม

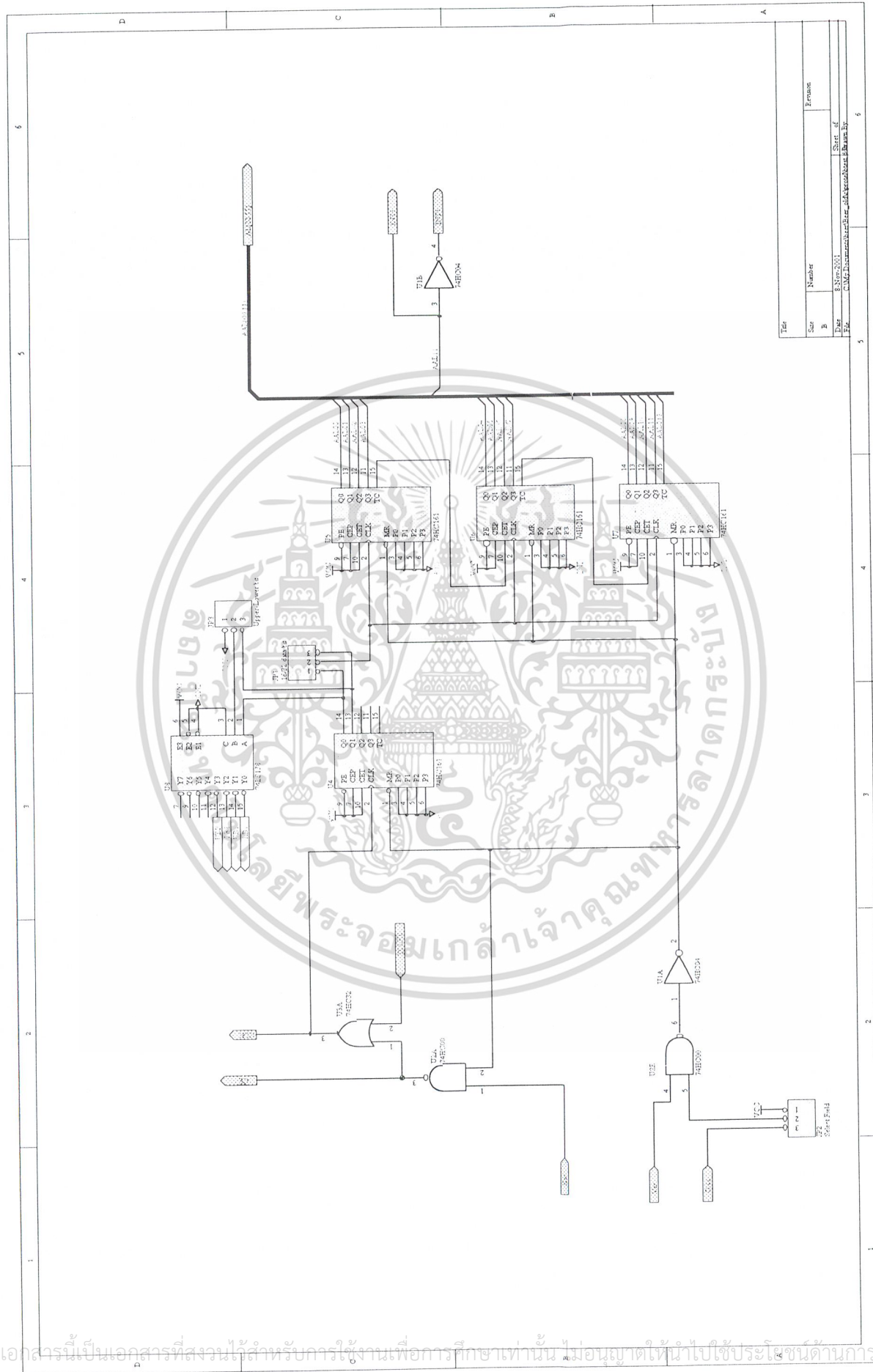
- [1] บุญชัย อัสวทรงศิลป์, ปราโมทย์ ทรัพย์ชนสานต์, พงศกร สีขาว, “อุปกรณ์จับภาพวิดีโอ VIDEO FRAME CAPTURE”, วิทยานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, ปีการศึกษา 2542
- [2] สุรพล ต้นอร่าม, สุรเสกข์ พฤกษานูบาล, สุรัตน์ บัณฑิตลักษณะ, “เครื่องแบ่งสัญญาณภาพ VIDEO SIGNAL SPLITTER”, วิทยานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, ปีการศึกษา 2542
- [3] วัชระ ลักษณะอ่อนนัฏกูร, วีระพล คงนุ่น, สมบัติ อิศระวาณิชย์, “การใช้ CARD TMS320C31 ในการประมวลผลภาพ IMAGE PROCESSING BY CARD TMS320C31”, วิทยานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต, สาขาวิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



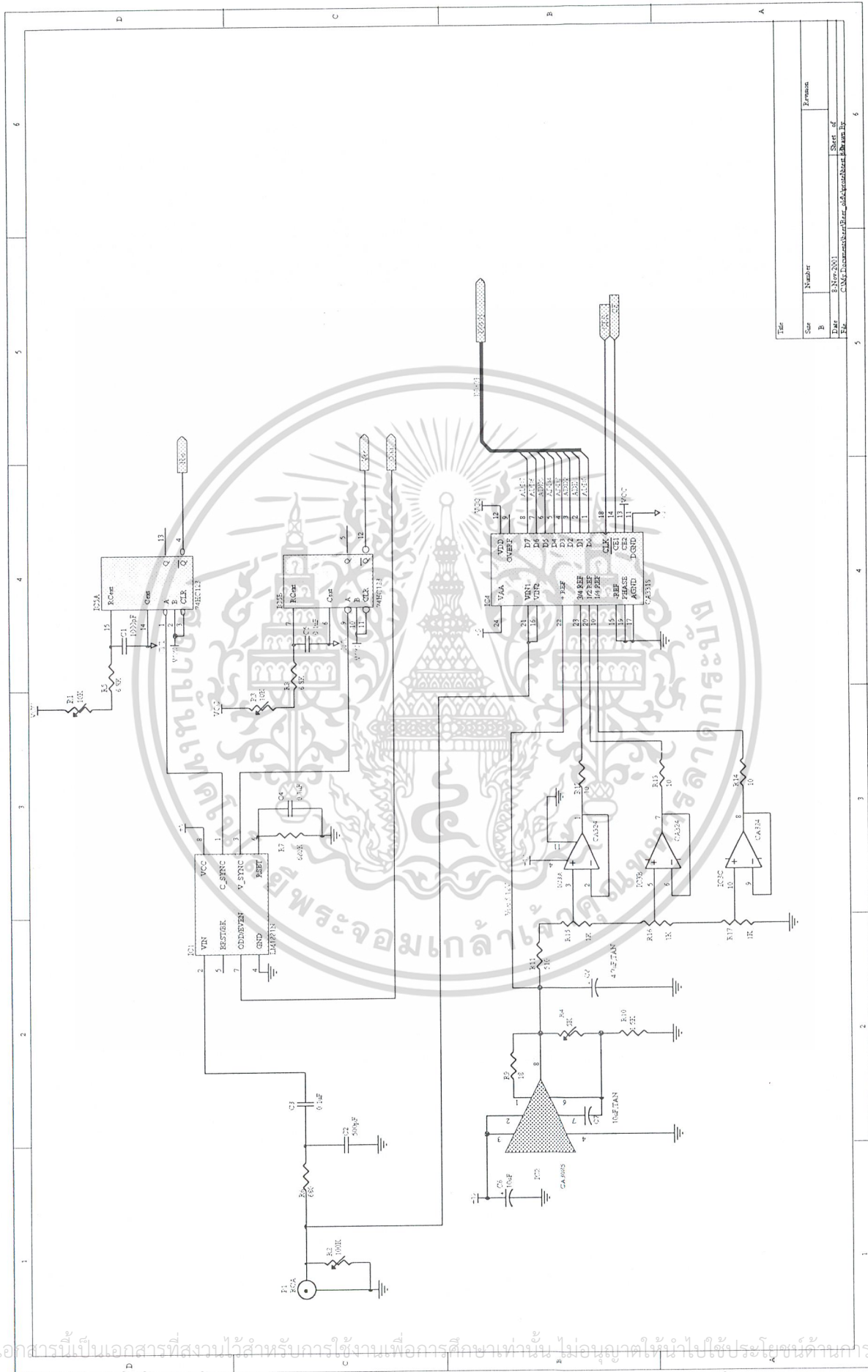
ภาคผนวก ก.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Ter	Size	Number	From
	B	8 Nov 2001	
			Start of
			File

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title	
Size	Number
B	Revision
Date	B.N. No. 2001
Exe.	NAME, Class, Section, and Date of Submission
	Sheet of
	6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ข.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS Video Speed 8-Bit Flash A/D Converter

December 1993

Features

- CMOS Low Power with SOS Speed (150mW Typ.)
- Parallel Conversion Technique
- 15MHz Sampling Rate (67ns Conversion Time)
- 8-Bit Latched Tri-State Output with Overflow Bit
- ± 1 LSB Accuracy (Typ.)
- Single Supply Voltage (4V to 7.5V)
- 2 Units in Series Allow 9-Bit Output
- 2 Units in Parallel Allow 30MHz Sampling Rate

Applications

- TV Video Digitizing (Industrial/Security/Broadcast)
- High-Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- High Speed Oscilloscope Storage/Display
- General Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- μ P Data Acquisition Systems

Description

The CA3318C is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low power consumption and high speed digitization.

The CA3318 operates over a wide full scale input voltage range of 4V up to 7.5V with maximum power consumption depending upon the clock frequency selected. When operated from a 5V supply at a clock frequency of 15MHz, the typical power consumption of the CA3318 is 150mW.

The intrinsic high conversion rate makes the CA3318 ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3318s in series to increase the resolution of the conversion system. A series connection of two CA3318s may be used to produce a 9-bit high speed converter. Operation of two CA3318s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

256 paralleled auto balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3318.

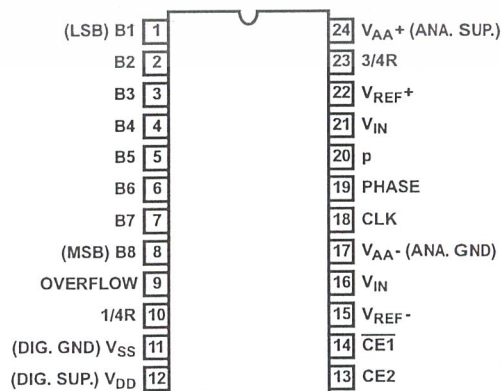
255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

PART NUMBER	LINEARITY (INL)	SAMPLING RATE	TEMPERATURE RANGE	PACKAGE
CA3318CE	± 1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Plastic DIP
CA3318CM	± 1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Plastic SOIC
CA3318CD	± 1.5 LSB	15MHz (67ns)	-40°C to +85°C	24 Lead Ceramic DIP

Pinout

CA3318C (PDIP, CDIP, SOIC)
TOP VIEW



CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper I.C. Handling Procedures.

File Number **3103**

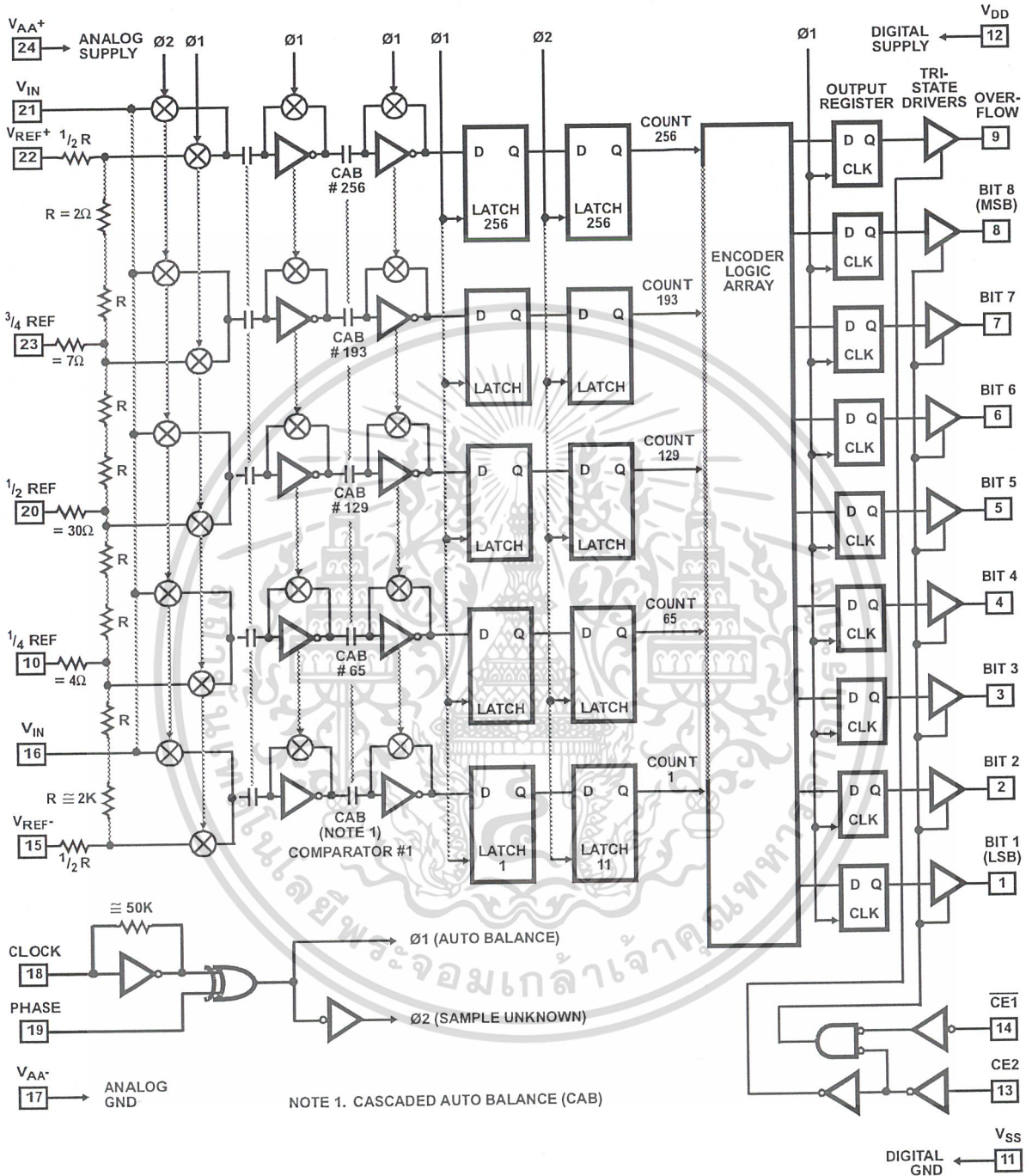
Copyright © Harris Corporation 1993

6-31

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3318C

Functional Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ ก6-32 ษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Specifications CA3318C

Absolute Maximum Ratings

DC Supply Voltage Range (V_{DD} or V_{AA+})	-0.5V to +8V
(Referenced to V_{SS} or V_{AA-} Terminal, Whichever is More Negative)	
Input Voltage Range	
CE2 and CE1	$V_{AA-} - 0.5V$ to $V_{DD} + 0.5V$
Clock, Phase, V_{REF-} , $1/2$ Ref.	$V_{AA-} - 0.5V$ to $V_{AA+} + 0.5V$
Clock, Phase, V_{REF+} , $1/4$ Ref.	$V_{SS-} - 0.5V$ to $V_{DD} + 0.5V$
V_{IN} , $3/4$ REF, V_{REF+}	$V_{AA-} - 0.5V$ to $V_{AA-} + 7.5V$
Output Voltage Range, Bits 1-8, Overflow (Outputs Off)	$V_{SS} - 0.5V$ to $V_{DD} + 0.5V$
DC Input Current	$\pm 20mA$
Clock, Phase, CE1, CE2, V_{IN} , Bits 1-8, Overflow	
Operating Voltage Range (V_{DD} or V_{AA+})	4V Min to 7.5V Max
Recommended V_{AA+} Operating Range	$V_{DD} \pm 1V$
Recommended V_{AA-} Operating Range	$V_{SS} \pm 1V$
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering 10s)	+265°C

Thermal Information

Thermal Resistance	θ_{JA}	θ_{JC}
Ceramic DIP Package	58°C/W	11°C/W
Plastic DIP Package	60°C/W	-
Plastic SOIC Package	75°C/W	-
Maximum Power Dissipation	0.67W	
Operating Temperature Range (T_A)	-40°C to +85°C	
Junction Temperature		
Ceramic Package	+175°C	
Plastic Package	+150°C	

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Electrical Specifications At +25°C, $V_{AA+} = V_{DD} = 5V$, $V_{REF+} = 6.4V$, $V_{REF-} = V_{AA-} = V_{SS}$, CLK = 15MHz,
All Reference Points Adjusted, Unless Otherwise Specified.

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM PERFORMANCE					
Resolution		8	-	-	Bits
Integral Linearity Error		-	-	± 1.5	LSB
Differential Linearity Error		-	-	+1, -0.8	LSB
Offset Error, Unadjusted	$V_{IN} = V_{REF-} + 1/2$ LSB	-0.5	4.5	6.4	LSB
Gain Error Unadjusted	$V_{IN} = V_{REF+} - 1/2$ LSB	-1.5	0	1.5	LSB
DYNAMIC CHARACTERISTICS					
Maximum Input Bandwidth	(Note 1) CA3318C	2.5	5.0	-	MHz
Maximum Conversion Speed	CLK = Square Wave	15	17	-	MSPS
Signal to Noise Ratio (SNR)	$F_S = 15MHz$, $f_{IN} = 100kHz$	-	47	-	dB
$= \frac{RMS\ Signal}{RMS\ Noise}$	$F_S = 15MHz$, $f_{IN} = 4MHz$	-	43	-	dB
Signal to Noise Ratio (SINAD)	$F_S = 15MHz$, $f_{IN} = 100kHz$	-	45	-	dB
$= \frac{RMS\ Signal}{RMS\ Noise + Distortion}$	$F_S = 15MHz$, $f_{IN} = 4MHz$	-	35	-	dB
Total Harmonic Distortion, THD	$F_S = 15MHz$, $f_{IN} = 100kHz$	-	-46	-	dBc
	$F_S = 15MHz$, $f_{IN} = 4MHz$	-	-36	-	dBc
Effective Number of Bits (ENOB)	$F_S = 15MHz$, $f_{IN} = 100kHz$	-	7.2	-	Bits
	$F_S = 15MHz$, $f_{IN} = 4MHz$	-	5.5	-	Bits
Differential Gain Error	Unadjusted	-	2	-	%
Differential Phase Error	Unadjusted	-	1	-	%
ANALOG INPUTS					
Full Scale Range, V_{IN} and $(V_{REF+}) - (V_{REF-})$	Notes 2, 4	4	-	7	V
Input Capacitance, V_{IN}		-	30	-	pF
Input Current, V_{IN} , (See Text)	$V_{IN} = 5.0V$, $V_{REF+} = 5.0V$	-	-	3.5	mA
REFERENCE INPUTS					
Ladder Impedance		270	500	800	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Specifications CA3318C

Electrical Specifications At +25°C, $V_{AA+} = V_{DD} = 5V$, $V_{REF+} = 6.4V$, $V_{REF-} = V_{AA-} = V_{SS}$, CLK = 15MHz,
All Reference Points Adjusted, Unless Otherwise Specified. (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS					
Low Level Input Voltage, V_{OL}					
$\overline{CE1}$, CE2	Note 4	-	-	$0.2V_{DD}$	V
Phase, CLK	Note 4	-	-	$0.2V_{AA}$	V
High Level Input Voltage, V_{IN}					
$\overline{CE1}$, CE2	Note 4	$0.7V_{DD}$	-	-	V
Phase, CLK	Note 4	$0.7V_{AA}$	-	-	V
Input Leakage Current, I_I (Except CLK Input)	Note 3	-	± 0.2	± 5	μA
Input Capacitance, C_I		-	3	-	pF
DIGITAL OUTPUTS					
Output Low (Sink) Current	$V_O = 0.4V$	4	10	-	mA
Output High (Source) Current	$V_O = 4.5V$	-4	-6	-	mA
Tri-State Output Off-State Leakage Current, I_{OZ}		-	± 0.2	± 5	μA
Output Capacitance, C_O		-	4	-	pF
TIMING CHARACTERISTICS					
Auto Balance Time ($\phi 1$)		33	-	∞	ns
Sample Time ($\phi 2$)	Note 4	25	-	500	ns
Aperture Delay		-	15	-	ns
Aperture Jitter		-	100	-	ps
Data Valid Time, T_D	Note 4	-	50	65	ns
Data Hold Time, T_H	Note 4	25	40	-	ns
Output Enable Time, T_{EN}		-	18	-	ns
Output Disable Time, T_{DIS}		-	18	-	ns
POWER SUPPLY CHARACTERISTICS					
Device Current ($I_{DD} + I_A$) (Excludes I_{REF})	Continuous Conversion (Note 4)	-	30	60	mA
	Auto Balance ($\phi 1$)	-	30	60	mA

NOTES:

1. A full scale sine wave input of greater than $F_{CLOCK}/2$ or the specified input bandwidth (whichever is less) may cause an erroneous code. The -3dB bandwidth for frequency response purposes is greater than 30MHz.
2. V_{IN} (Full Scale) or V_{REF+} should not exceed $V_{AA+} + 1.5V$ for accuracy.
3. The clock input is a CMOS inverter with a 50k Ω feedback resistor and may be AC coupled with 1V_{P-P} minimum source.
4. Parameter not tested, but guaranteed by design or characterization.

Timing Waveforms

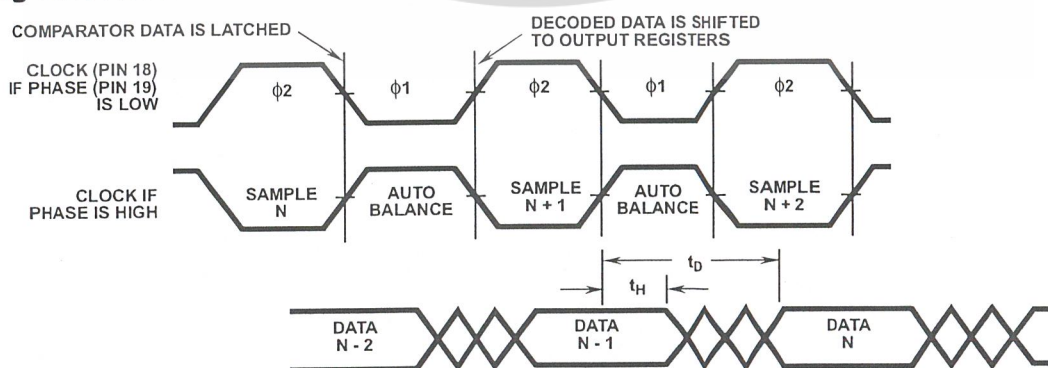


FIGURE 1. INPUT TO OUTPUT TIMING DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveforms (Continued)

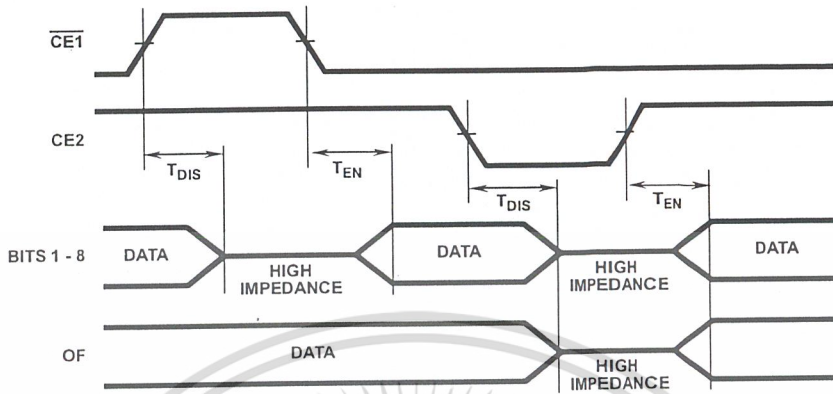


FIGURE 2. OUTPUT ENABLE TIMING DIAGRAM

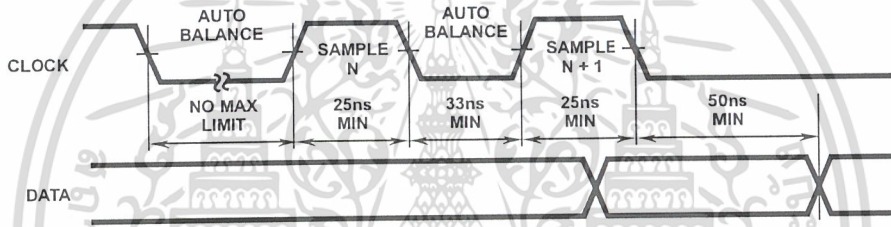


FIGURE 3A. STANDBY IN INDEFINITE AUTO BALANCE (SHOWN WITH PHASE = LOW)

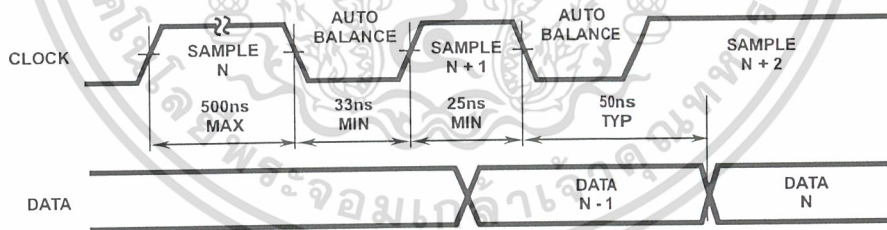


FIGURE 3B. STANDBY IN SAMPLE (SHOWN WITH PHASE = LOW)

FIGURE 3. PULSE MODE OPERATION

Typical Performance Curves

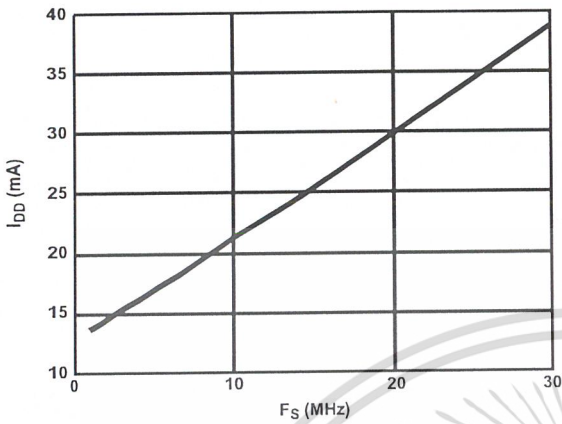


FIGURE 4. DEVICE CURRENT vs SAMPLE FREQUENCY

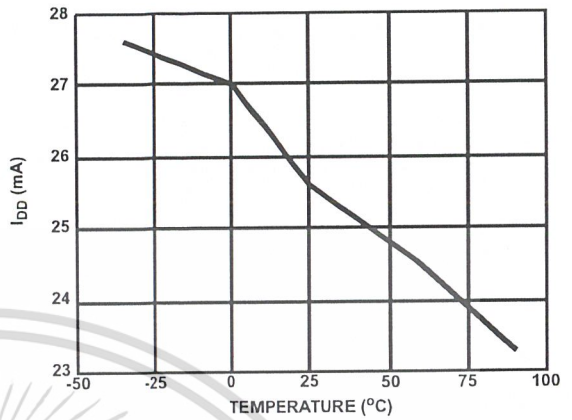


FIGURE 5. DEVICE CURRENT vs TEMPERATURE

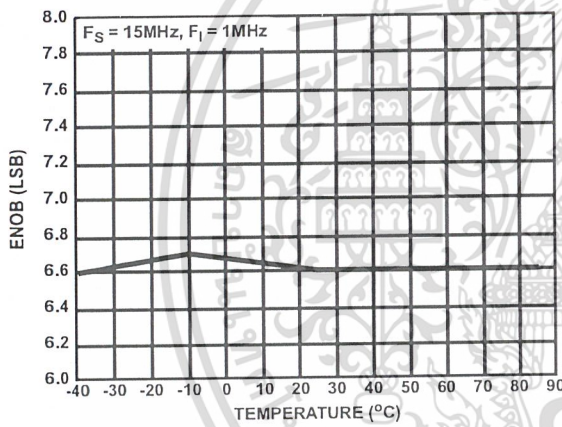


FIGURE 6. ENOB vs TEMPERATURE

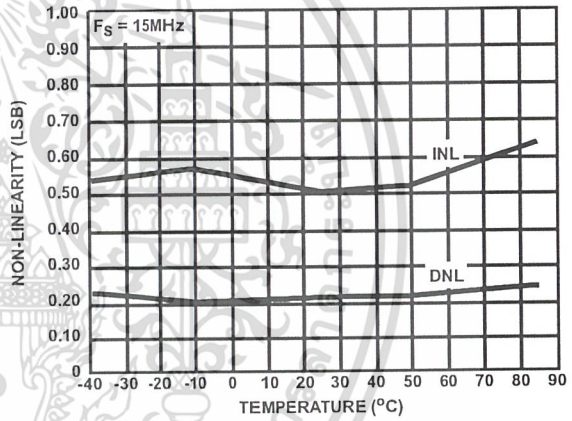


FIGURE 7. NON-LINEARITY vs TEMPERATURE

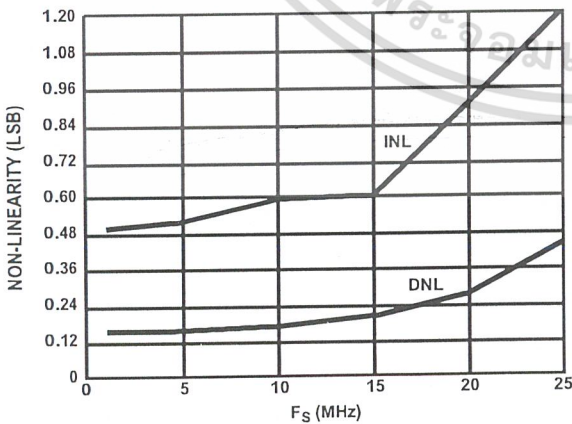


FIGURE 8. NON-LINEARITY vs SAMPLE FREQUENCY

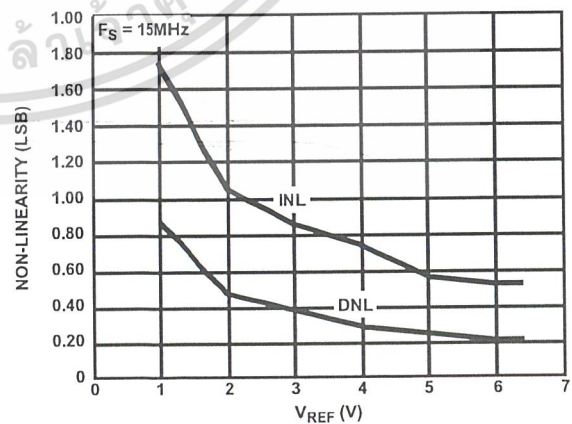


FIGURE 9. NON-LINEARITY vs REFERENCE VOLTAGE

Typical Performance Curves (Continued)

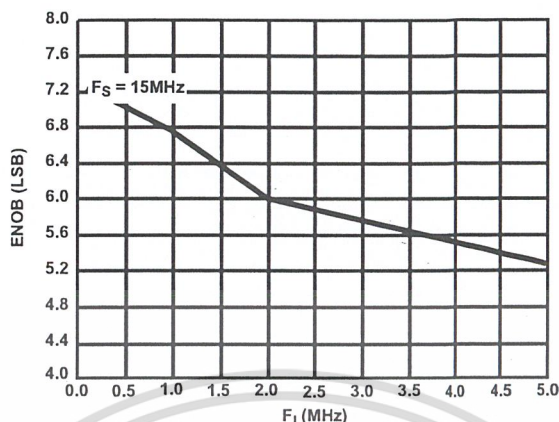


FIGURE 10. ENOB vs INPUT FREQUENCY

Pin Descriptions

PIN	NAME	DESCRIPTION
1	B1	Bit 1 (LSB)
2	B2	Bit 2
3	B3	Bit 3
4	B4	Bit 4
5	B5	Bit 5
6	B6	Bit 6
7	B7	Bit 7
8	B8	Bit 8 (MSB)
9	OF	Overflow
10	1/4 R	Reference Ladder 1/4 Point
11	V _{SS}	Digital Ground
12	V _{DD}	Digital Power Supply, +5V
13	CE2	Tri-State Output Enable Input, Active Low, See Truth Table.
14	CE1	Tri-State Output Enable Input Active High. See Truth Table.
15	V _{REF-}	Reference Voltage Negative Input
16	V _{IN}	Analog Signal Input
17	V _{AA-}	Analog Ground
18	CLK	Clock Input
19	PHASE	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).
20	1/2 R	Reference Ladder Midpoint
21	V _{IN}	Analog Signal Input
22	V _{REF+}	Reference Voltage Positive Input
23	3/4 R	Reference Ladder 3/4 Point
24	V _{AA+}	Analog Power Supply, +5V

CHIP ENABLE TRUTH TABLE

CE1	CE2	B1 - B8	OF
0	1	Valid	Valid
1	1	Tri-State	Valid
X	0	Tri-State	Tri-State

X = Don't Care

Theory of Operation

A sequential parallel technique is used by the CA3318 converter to obtain its high speed operation. The sequence consists of the "Auto-Balance" phase, ϕ_1 , and the "Sample Unknown" phase, ϕ_2 . (Refer to the circuit diagram.) Each conversion takes one clock cycle*. With the phase control (pin 19) high, the "Auto-Balance" (ϕ_1) occurs during the high period of the clock cycle, and the "Sample Unknown" (ϕ_2) occurs during the low period of the clock cycle.

* The device requires only a single phase clock. The terminology of ϕ_1 and ϕ_2 refers to the high and low periods of the same clock.

During the "Auto-Balance" phase, a transmission switch is used to connect each of the first set of 256 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(N/256) V_{REF}] - (1/512) V_{REF} \\ = [(2N - 1)/512] V_{REF}$$

Where:

$$V_{TAP}(n) = \text{reference ladder tap voltage at point } n. \\ V_{REF} = \text{voltage across } V_{REF-} \text{ to } V_{REF+} \\ N = \text{tap number (1 through 256)}$$

The other side of these capacitors are connected to single-stage amplifiers whose outputs are shorted to their inputs by switches. This balances the amplifiers at their intrinsic trip points, which is approximately $(V_{AA+} - V_{AA-})/2$. The first set of capacitors now charges to their associated tap voltages.

CA3318C

At the same time a second set of commutating capacitors and amplifiers is also auto-balanced. The balancing of the second-stage amplifier at its intrinsic trip point removes any tracking differences between the first and second amplifier stages. The cascaded auto-balance (CAB) technique, used here, increases comparator sensitivity and temperature tracking.

In the "Sample Unknown" phase, all ladder tap switches and comparator shorting switches are opened. At the same time V_{IN} is switched to the first set of commutating capacitors. Since the other end of the capacitors are now looking into an effectively open circuit, any input voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators that had tap voltages greater than V_{IN} will go to a "high" state at their outputs. All comparators that had tap voltages lower than V_{IN} will go to a "low" state.

The status of all these comparator amplifiers is AC coupled through the second-stage comparator and stored at the end of this phase (ϕ_2) by a latching amplifier stage. The latch feeds a second latching stage, triggered at the end of ϕ_1 . This delay allows comparators extra settling time. The status of the comparators is decoded by a 256 to 9-bit decoder array, and the results are clocked into a storage register at the end of the next ϕ_2 .

A 3-stage buffer is used at the output of the 9 storage registers which are controlled by two chip-enable signals. CE1 will independently disable B1 through B6 when it is in a high state. CE2 will independently disable B1 through B8 and the OF buffers when it is in the low state.

To facilitate usage of this device, a phase control input is provided which can effectively complement the clock as it enters the chip.

Continuous-Clock Operation

One complete conversion cycle can be traced through the CA3318 via the following steps. (Refer to timing diagram.) With the phase control in a "low" state, the rising edge of the clock input will start a "sample" phase. During this entire "high" state of the clock, the comparators will track the input voltage and the first-stage latches will track the comparator outputs. At the falling edge of the clock, all 256 comparator outputs are captured by the 256 latches. This ends the "sample" phase and starts the "auto-balance" phase for the comparators. During this "low" state of the clock, the output of the latches settles and is captured by a second row of latches when the clock returns high. The second-stage latch output propagates through the decode array, and a 9-bit code appears at the D inputs of the output registers. On the next falling edge of the clock, this 9-bit code is shifted into the output registers and appears with time delay t_D as valid data at the output of the tri-state drivers. This also marks the end of the next "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse-Mode Operation

The CA3318 needs two of the same polarity clock edges to complete a conversion cycle: If, for instance, a negative going clock edge ends sample "N", then data "N" will appear after the next negative going edge. Because of this requirement, and because there is a maximum sample time of 500ns (due to capacitor droop), most pulse or intermittent sample applications will require double clock pulsing.

If an indefinite standby state is desired, standby should be in auto-balance, and the operation would be as in Figure 3A.

If the standby state is known to last less than 500ns and lowest average power is desired, then operation could be as in Figure 3B.

Increased Accuracy

In most cases the accuracy of the CA3318 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, five adjustments can be made to obtain better accuracy, i.e., offset trim; gain trim; and $1/4$, $1/2$ and $3/4$ point trim.

Offset Trim

In general, offset correction can be done in the preamp circuitry by introducing a dc shift to V_{IN} or by the offset trim of the op amp. When this is not possible the V_{REF-} input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is $1/2$ LSB. The equation is as follows:

$$V_{IN} \text{ (0 to 1 transition)} = 1/2 \text{ LSB} = 1/2 (V_{REF}/256) \\ = V_{REF}/512$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50 Ω pot connected between V_{REF-} and ground will accomplish the adjustment. Set V_{IN} to 1/2 LSB and trim the pot until the 0-to-1 transition occurs.

If V_{IN} for the first transition is greater than the theoretical, then the 50 Ω pot should be connected between V_{REF-} and a negative voltage of about 2 LSB's. The trim procedure is as stated previously.

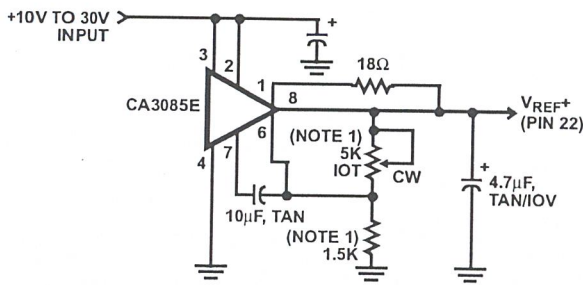
Gain Trim

In general, the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 255 to overflow transition. That voltage is $1/3$ LSB less than V_{REF+} and is calculated as follows:

$$V_{IN} \text{ (255 to 256 transition)} = V_{REF} - V_{REF}/512 \\ = V_{REF}(511/512)$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 255 to overflow transition. Now adjust V_{REF+} until that transition occurs on the outputs.

CA3318C

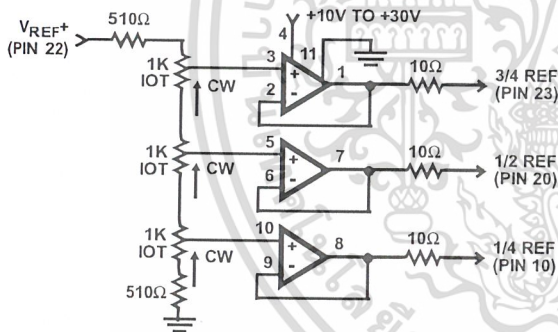


NOTE: Bypass V_{REF+} to analog GND near A/D with 0.1µF ceramic cap. Parts noted should have low temperature drift.

FIGURE 11. TYPICAL VOLTAGE REFERENCE SOURCE FOR DRIVING V_{REF+} INPUT

$1/4$ Point Trims

The $1/4$, $1/2$ and $3/4$ points on the reference ladder are brought out for linearity adjusting or if the user wishes to create a nonlinear transfer function. The $1/4$ points can be driven by the reference drivers shown (Figure 12) or by 2-K pots connected between V_{REF+} and V_{REF-} . The $1/2$ (mid-) point should be set first by applying an input of $257/512 \times (V_{REF})$ and adjusting for an output changing from 128 to 129. Similarly the $1/4$ and $3/4$ points can be set with inputs of $129/512$ and $385/512 \times (V_{REF})$ and adjusting for counts of 192 to 193 and 64 to 65. (Note that the points are actually $1/4$, $1/2$ and $3/4$ of full scale +1 LSB.)



NOTES:

- All Op Amps = $3/4$ CA324E
- Bypass all reference points to analog ground near A/D with 0.1µF ceramic caps.
- Adjust V_{REF+} first, then $1/3$, $3/4$ and $1/4$ points.

FIGURE 12. TYPICAL $1/4$ POINT DRIVERS FOR ADJUSTING LINEARITY (USE FOR MAXIMUM LINEARITY)

9-Bit Resolution

To obtain 9-bit resolution, two CA3318's can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, tri-state outputs, and chip-enable controls—all of which are available on the CA3318.

The first step for connecting a 9-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the ninth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the $\overline{CE1}$ control of the lower A/D converter and the CE2 control of the upper A/D converter. The tri-state outputs of the two devices (bits 1 through 8) are now connected in parallel to complete the circuitry. The complete circuit for a 9-bit A/D converter is shown in Figure 14.

Grounding/Bypassing

The analog and digital supply grounds of a system should be kept separate and only connected at the A/D. This keeps digital ground noise out of the analog data to be converted. Reference drivers, input amps, reference taps, and the V_{AA} supply should be bypassed at the A/D to the analog side of the ground. See Figure 15 for a block diagram of this concept. All capacitors shown should be low impedance 0.1µF ceramics and should be mounted as close to the A/D as possible. If V_{AA+} is derived from V_{DD} , a small (10Ω resistor or inductor and additional filtering (4.7µF tantalum) may be used to keep digital noise out of the analog system.

Input Loading

The CA3318 outputs a current pulse to the V_{IN} terminal at the start of every sample period. This is due to capacitor charging and switch feedthrough and varies with input voltage and sampling rate. The signal source must be capable of recovering from the pulse before the end of the sample period to guarantee a valid signal for the A/D to convert. Suitable high speed amplifiers include the HA-5033, HA-2542; and CA3450. Figure 16 is an example of an amplifier which recovers fast enough for sampling at 15MHz.

Output Loading

The CMOS digital output stage, although capable of driving large loads, will reflect these loads into the local ground. It is recommended that a local QMOS buffer such as CD74HC541 E be used to isolate capacitive loads.

Definitions

Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

CA3318C

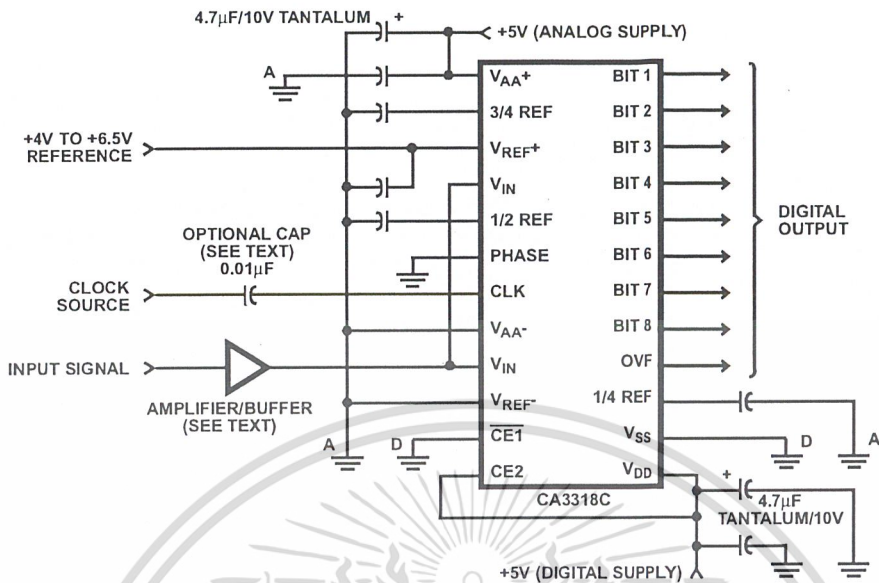


FIGURE 14. TYPICAL CIRCUIT CONFIGURATION FOR THE CA3318 WITH NO LINEARITY ADJUST

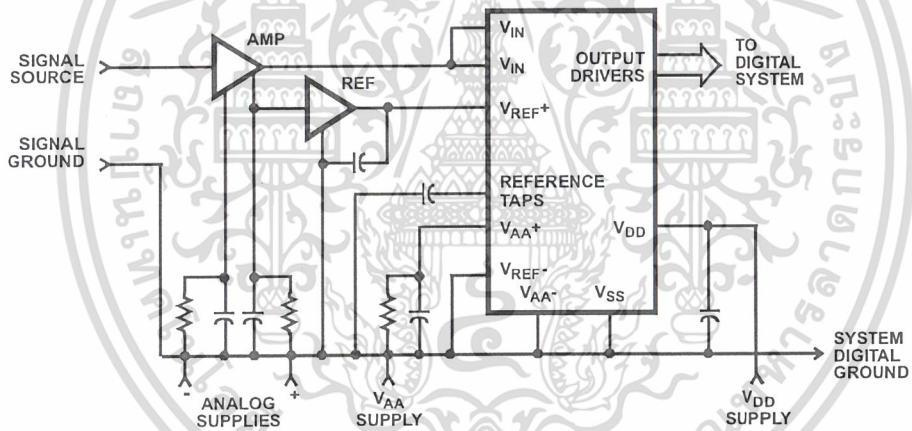
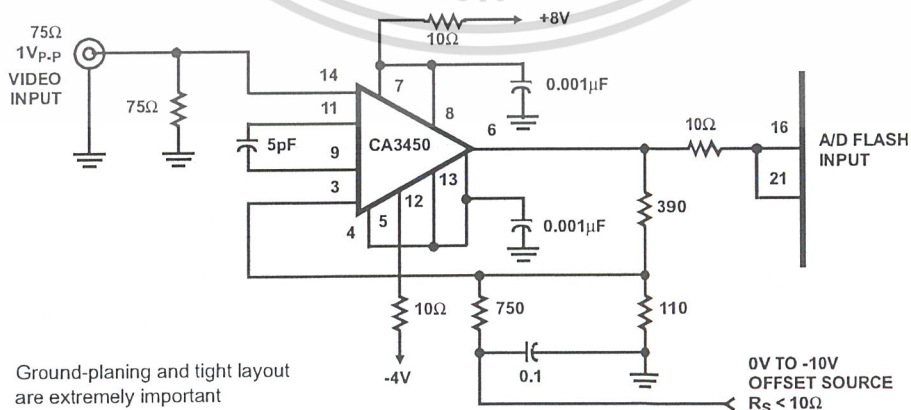


FIGURE 15. TYPICAL SYSTEM GROUNDING/BYPASSING



NOTE: Ground-planing and tight layout are extremely important

0V TO -10V
OFFSET SOURCE
 $R_S < 10\Omega$

FIGURE 16. TYPICAL HIGH BANDWIDTH AMPLIFIER FOR DRIVING THE CA3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3318C

TABLE 1. OUTPUT CODE TABLE

CODE DESCRIPTION	INPUT VOLTAGE (NOTE 1)		BINARY OUTPUT CODE									DECIMAL COUNT
	V _{REF} 6.40V (V)	V _{REF} 5.12V (V)	OF	MSB B8	B7	B6	B5	B4	B3	B2	LSB B1	
Zero	0.00	0.00	0	0	0	0	0	0	0	0	0	0
1 LSB	0.025	0.02	0	0	0	0	0	0	0	0	1	1
2 LSB	0.05	0.04	0	0	0	0	0	0	0	1	0	2
i	i	i					i					i
i	i	i					i					i
i	i	i					i					i
1/4 Full Scale	1.60	1.28	0	0	1	0	0	0	0	0	0	64
i	i	i					i					i
i	i	i					i					i
i	i	i					i					i
1/2 Full Scale - 1 LSB	3.175	2.54	0	0	1	1	1	1	1	1	1	127
1/2 Full Scale	3.20	2.56	0	1	0	0	0	0	0	0	0	128
1/2 Full Scale + 1 LSB	3.225	2.58	0	1	0	0	0	0	0	0	1	129
i	i	i					i					i
i	i	i					i					i
i	i	i					i					i
3/4 Full Scale	4.80	3.84	0	1	1	0	0	0	0	0	0	192
i	i	i					i					i
i	i	i					i					i
i	i	i					i					i
Full Scale - 1 LSB	6.35	5.08	0	1	1	1	1	1	1	1	0	254
Full Scale	6.375	5.10	0	1	1	1	1	1	1	1	1	255
Over Flow	6.40	5.12	1	1	1	1	1	1	1	1	1	511

NOTE: 1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

Reducing Power

Most power is consumed while in the auto-balance state. When operating at lower than 15MHz clock speed, power can be reduced by stretching the sample (°2) time. The constraints are a minimum balance time (°1) of 33ns, and a maximum sample time of 500ns. Longer sample times cause droop in the auto-balance capacitors. Power can also be reduced in the reference string by switching the reference on only during auto-balance.

Clock Input

The Clock and Phase inputs feed buffers referenced to V_{AA}⁺ and V_{AA}⁻. Phase should be tied to one of these two potentials, while the clock (if DC coupled) should be driven at least from 0.2 to 0.7 x (V_{AA}⁺ - V_{AA}⁻). The clock may also be AC coupled with at least a 1 V_{P-P} swing. This allows TTL drive levels or 5V QMOS levels when V_{AA}⁺ is greater than 5V.

LM1881 Video Sync Separator

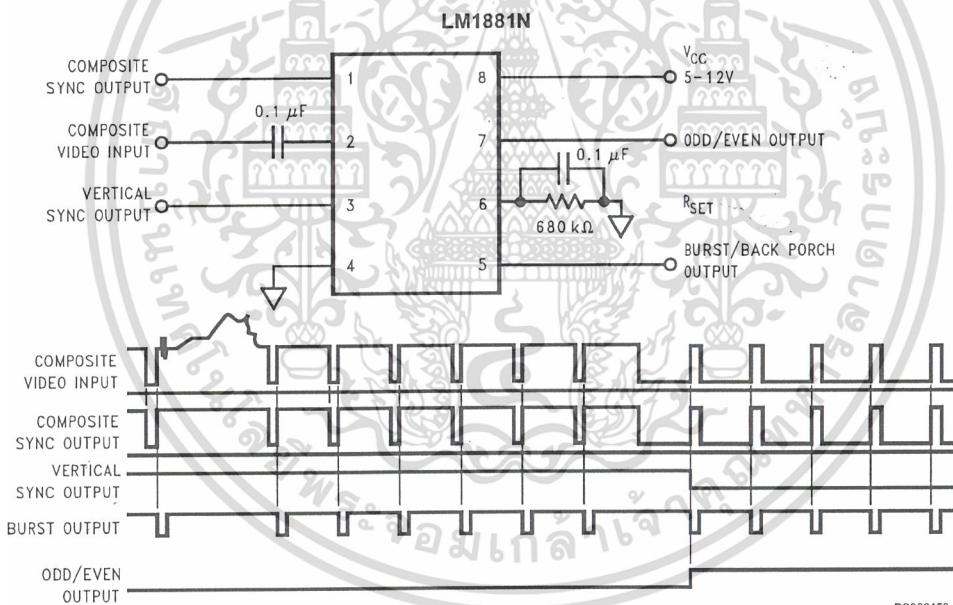
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL* and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



DS009150-1

Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 V _{P-P} (V _{CC} = 5V) 6 V _{P-P} (V _{CC} ≥ 8V)
Output Sink Currents; Pins, 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 2)	1100 mW
Operating Temperature Range	0°C–70°C

Storage Temperature Range	–65°C to +150°C
ESD Susceptibility (Note 3)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

V_{CC} = 5V; R_{SET} = 680 kΩ; T_A = 25°C; Unless otherwise specified

Parameter	Conditions	Typ	Tested Limit (Note 4)	Design Limit (Note 5)	Units (Limits)
Supply Current	Outputs at Logic 1	V _{CC} = 5V	10		mAmax
		V _{CC} = 12V	5.5	12	mAmax
DC Input Voltage	Pin 2		1.3		Vmin
			1.8		Vmax
Input Threshold Voltage	(Note 6)		70		mVmin
			85		mVmax
Input Discharge Current	Pin 2; V _{IN} = 2V		11		μAmin
			16		μAmax
Input Clamp Charge Current	Pin 2; V _{IN} = 1V	0.8	0.2		mAmin
R _{SET} Pin Reference Voltage	Pin 6; (Note 7)		1.22		Vmin
				1.10 1.35	Vmax
Composite Sync. & Vertical Outputs	I _{OUT} = 40 μA; Logic 1	V _{CC} = 5V	4.5	4.0	Vmin
		V _{CC} = 12V		11.0	Vmin
	I _{OUT} = 1.6 mA; Logic 1	V _{CC} = 5V	3.6	2.4	Vmin
		V _{CC} = 12V		10.0	Vmin
Burst Gate & Odd/Even Outputs	I _{OUT} = 40 μA; Logic 1	V _{CC} = 5V	4.5	4.0	Vmin
		V _{CC} = 12V		11.0	Vmin
Composite Sync. Output	I _{OUT} = –1.6 mA; Logic 0; Pin 1	0.2	0.8		Vmax
Vertical Sync. Output	I _{OUT} = –1.6 mA; Logic 0; Pin 3	0.2	0.8		Vmax
Burst Gate Output	I _{OUT} = –1.6 mA; Logic 0; Pin 5	0.2	0.8		Vmax
Odd/Even Output	I _{OUT} = –1.6 mA; Logic 0; Pin 7	0.2	0.8		Vmax
Vertical Sync Width			230	190	μsmin
				300	μsmax
Burst Gate Width	2.7 kΩ from Pin 5 to V _{CC}		4	2.5	μsmin
				4.7	μsmax
Vertical Default Time	(Note 8)		65	32	μsmin
				90	μsmax

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. For guaranteed specifications and test conditions, see the Electrical Characteristics. The guaranteed specifications apply only for the test conditions listed. Some performance characteristics may degrade when the device is not operated under the listed test conditions.

Note 2: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110°C/W, junction to ambient.

Note 3: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 4: Typicals are at T_J = 25°C and represent the most likely parametric norm.

Note 5: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

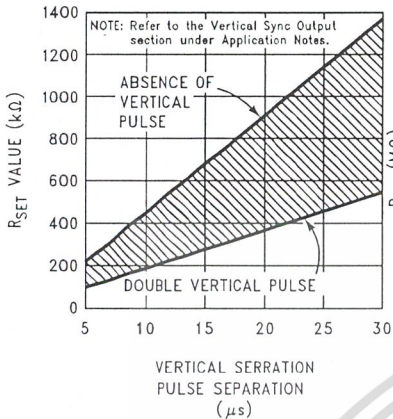
Note 6: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

Note 7: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5 and 7) to the R_{SET} pin (Pin 6).

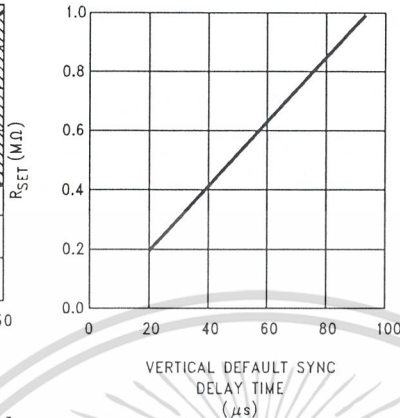
Note 8: Delay time between the start of vertical sync (at input) and the vertical output pulse.

Typical Performance Characteristics

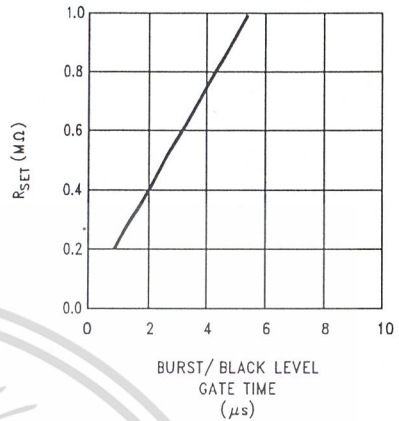
R_{SET} Value Selection vs Vertical Serration Pulse Separation



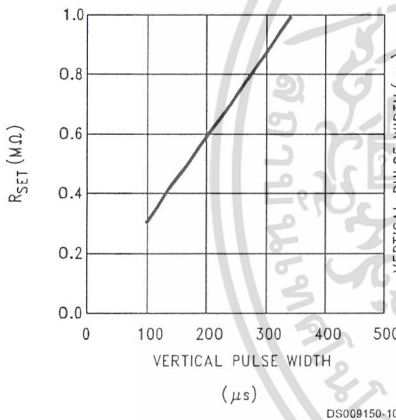
Vertical Default Sync Delay Time vs R_{SET}



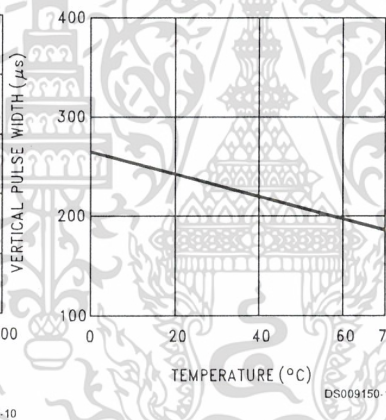
Burst/Black Level Gate Time vs R_{SET}



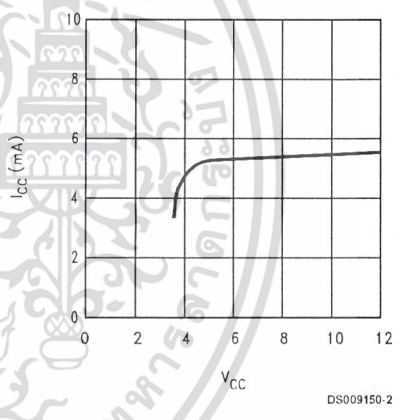
Vertical Pulse Width vs R_{SET}



Vertical Pulse Width vs Temperature



Supply Current vs Supply Voltage



Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components besides a power supply decoupling capacitor at pin 8 and a set current decoupling capacitor at pin 6, are the composite input coupling capacitor at pin 2 and one resistor at pin 6 that sets internal current levels. The resistor on pin 6 (i.e. R_{set}) allows the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C; composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources,

provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 1(a-e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 1(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line

Application Notes (Continued)

on *Figure 1(a)*. This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11 μ A, typically. This allows relatively small capacitor values to be used—0.1 μ F is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75 Ω , a 620 Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform (*Figure 2*). To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 2*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called V_1 going to one of its inputs. The other comparator has an internally generated voltage reference called V_2 going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are positive going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor R_{SET} . The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the V_1 . During the vertical sync period the narrow going positive pulses shown in *Figure 1* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between V_1 and V_2 . This would give a high level at the output of the comparator with V_1 as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the

OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external R_{SET} . The "Q" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 1*.

How R_{SET} affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is "R_{SET} Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 1*. This graph shows how long it takes the integrator to charge its internal capacitor above V_1 . With R_{SET} too large the charging current of the integrator will be too small to charge the capacitor above V_1 , thus there will be no vertical sync output pulse. As mentioned above, R_{SET} also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulse after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum R_{SET} necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs R_{SET} " graph. Using NTSC as an example, let's see how these two graphs relate to each other. The Horizontal line is 64 μ s long, or 32 μ s for a horizontal half line. Now round this off to 30 μ s. In the "R_{SET} Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30 μ s serration pulse separation is about 550 k Ω . Going to the "Vertical Pulse Width vs R_{SET} " graph one can see that 550 k Ω gives a vertical pulse width of about 180 μ s, the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 k Ω will set the internal oscillator to a frequency such that eight cycles gives a time of 180 μ s, just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

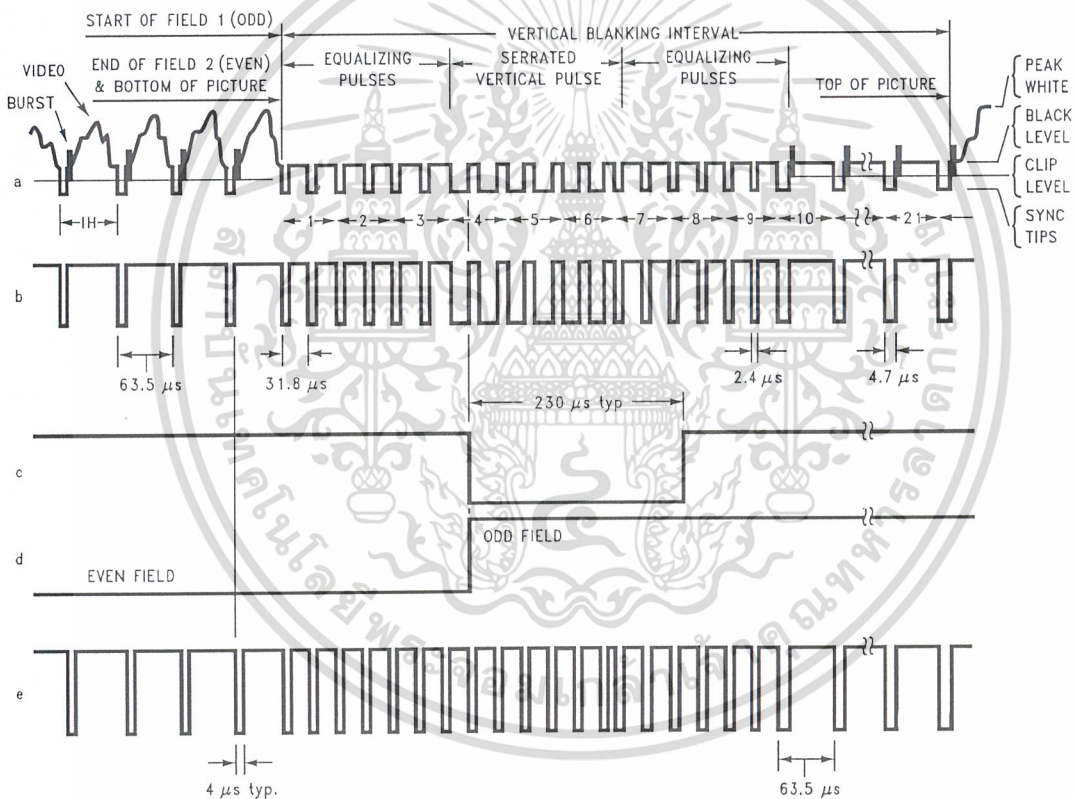
The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level V_2 . Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches V_2 . At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with V_1 as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs R_{SET} " graph

Application Notes (Continued)

shows the relationship between the R_{SET} value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for R_{SET} is 500 k Ω . The vertical default time delay is about 50 μ s, much longer than the 30 μ s serration pulse spacing.

A common question is how can one calculate the required R_{SET} with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default Sync Delay Time vs R_{SET} " graph to select the necessary R_{SET} to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs R_{SET} " graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the

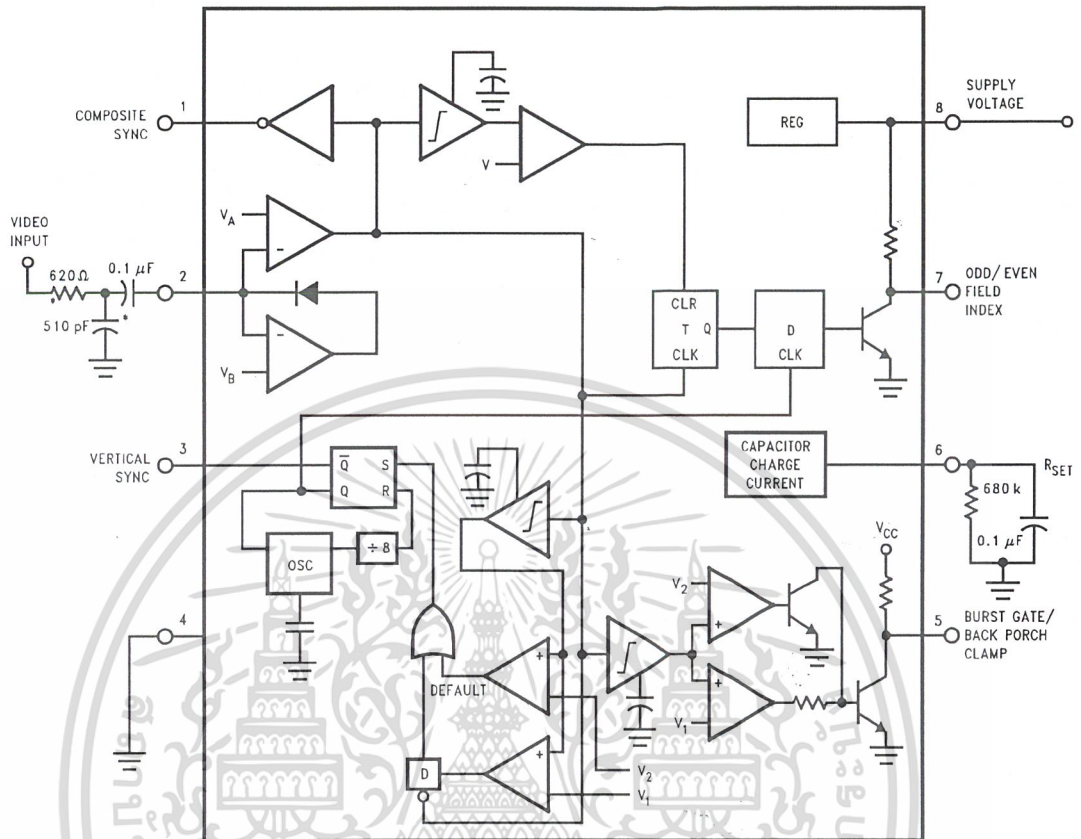
end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32 μ s long. The vertical sync period is two horizontal lines long, or 64 μ s. The vertical default sync delay time **must be longer** than the vertical sync period of 64 μ s. In this case R_{SET} must be larger than 680 k Ω . R_{SET} must still be small enough for the output of the integrator to reach V_1 before the end of the vertical period of the input pulse. The first graph can be used to confirm that R_{SET} is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64 μ s in this example. This graph is linear, meaning that a value as large as 2.7 M Ω can be used for R_{SET} (twice the value as the maximum at 30 μ s). Due to leakage currents it is advisable to keep the value of R_{SET} under 2.0 M Ω . In this example a value of 1.0 M Ω is selected, well above the minimum of 680 k Ω . With this value for R_{SET} the pulse width of the vertical sync output pulse of the LM1881 is about 340 μ s.



DS009150-3

FIGURE 1. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp

Application Notes (Continued)



DS009150-4

*Components Optional, See Text

FIGURE 2.

ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan — i.e., at the bottom of the picture. This is called the "odd field" or "even field". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 1(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform (*Figure 2*). A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flip-flop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this threshold from being reached and the Q output of the flip-flop

is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 μs long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 μs later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60 Hz–120 Hz) vertical scan rates.

Application Notes (Continued)

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field lever allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 3* puts out a single video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3

to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 4* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 k Ω , 10 μ F) providing black level restoration at the video output when the output selected line(s) is not being gated through.

Typical Applications

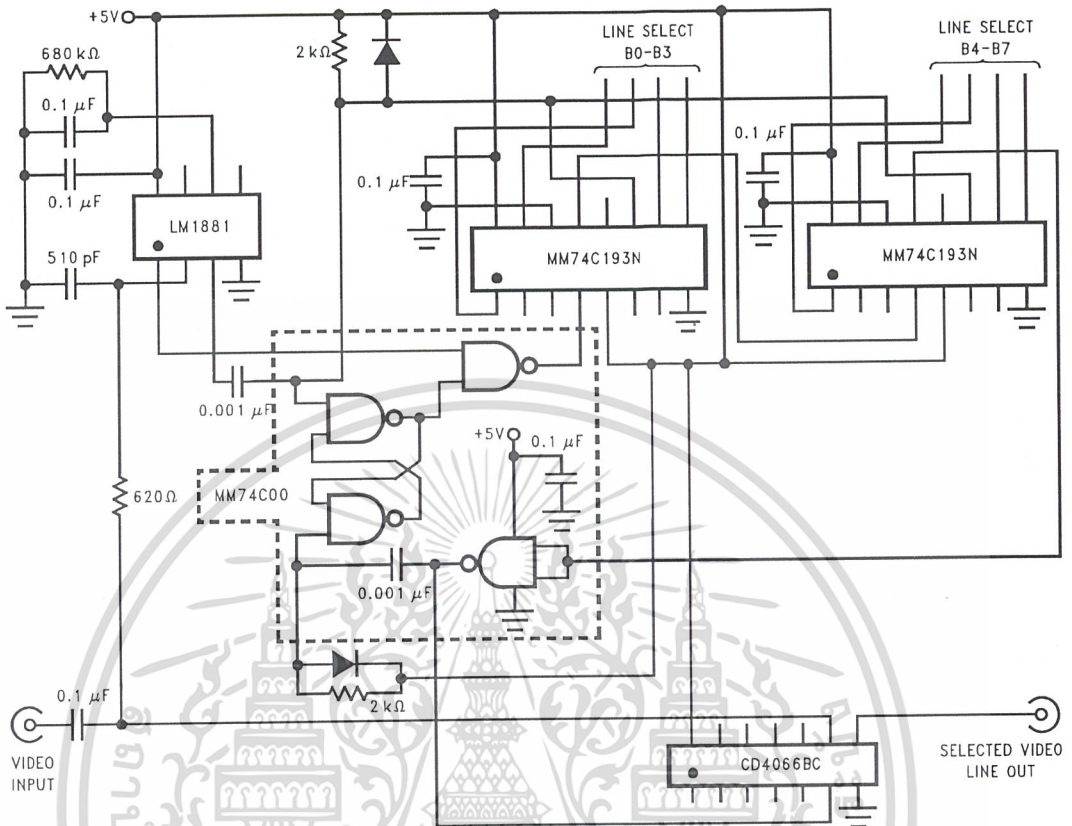


FIGURE 3. Video Line Selector

DS009150-5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

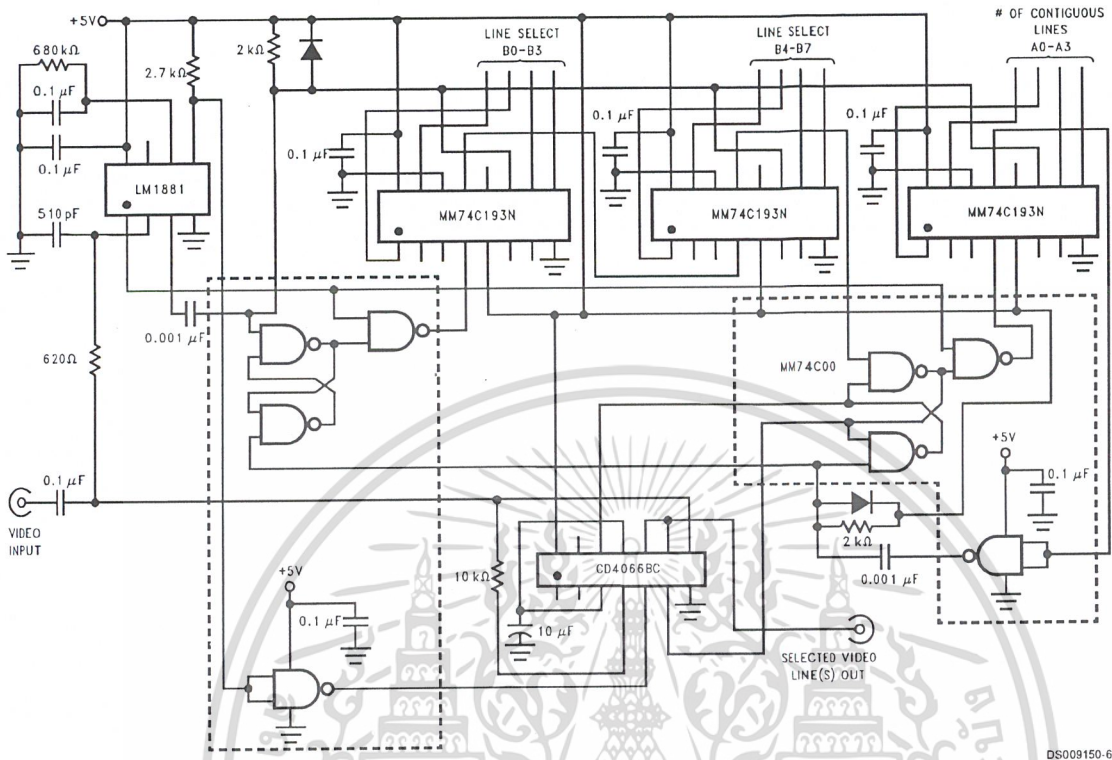
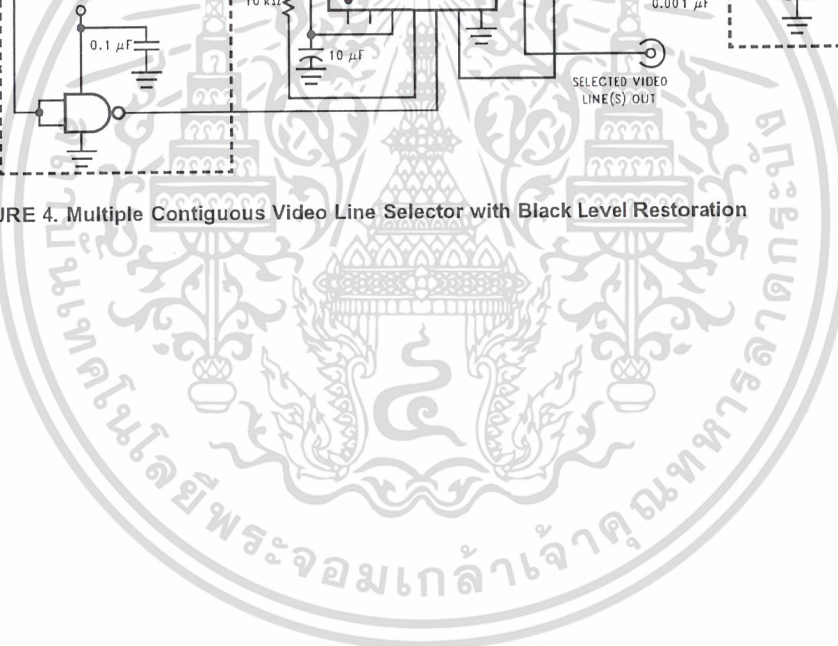


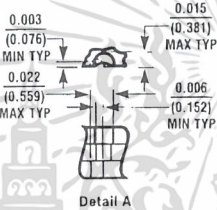
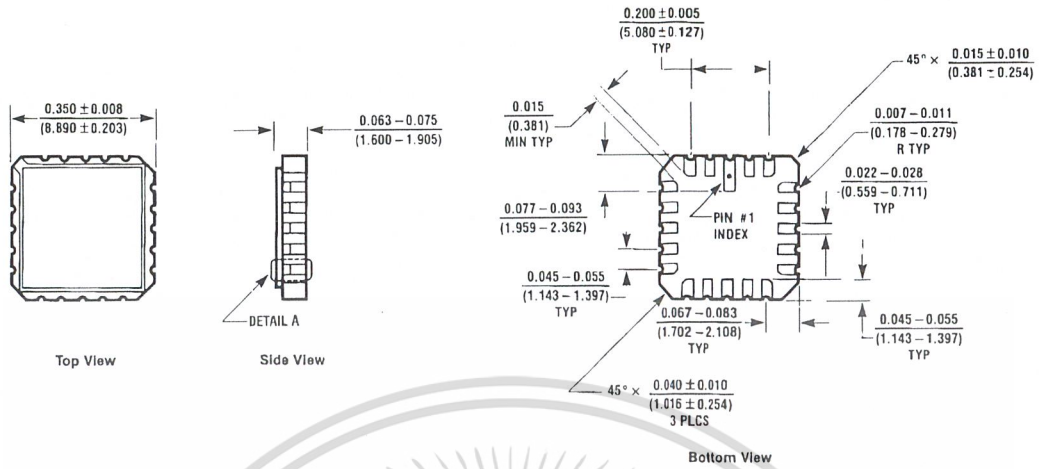
FIGURE 4. Multiple Contiguous Video Line Selector with Black Level Restoration

DS009150-6

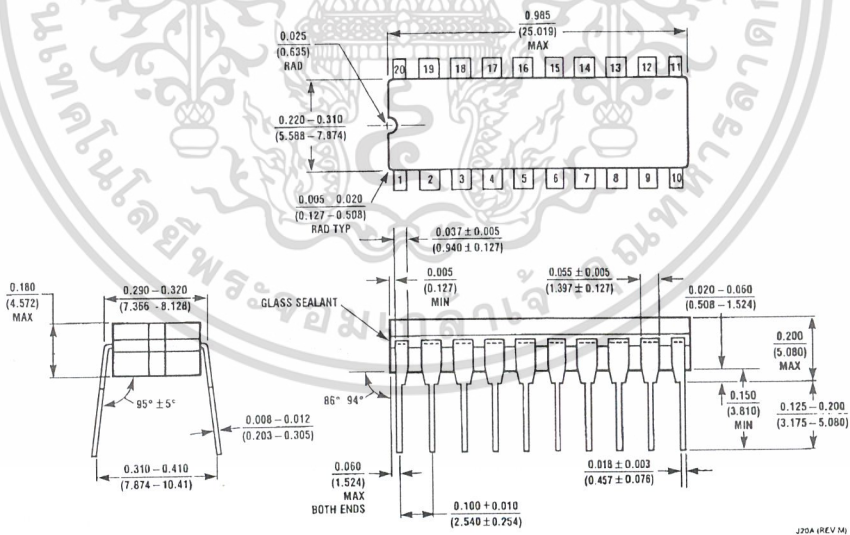


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



Molded Small Outline Package (M)
 Order Number LM1881M
 NS Package Number M08A



Molded Dual-In-Line Package (N)
 Order Number LM1881N
 NS Package Number N08E

E20A (REV F)

J20A (REV M)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes



LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

 **National Semiconductor Corporation**
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com
www.national.com

National Semiconductor Europe
Fax: +49 (0) 180-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: ap.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



HIGH-SPEED 8K x 16 DUAL-PORT STATIC RAM

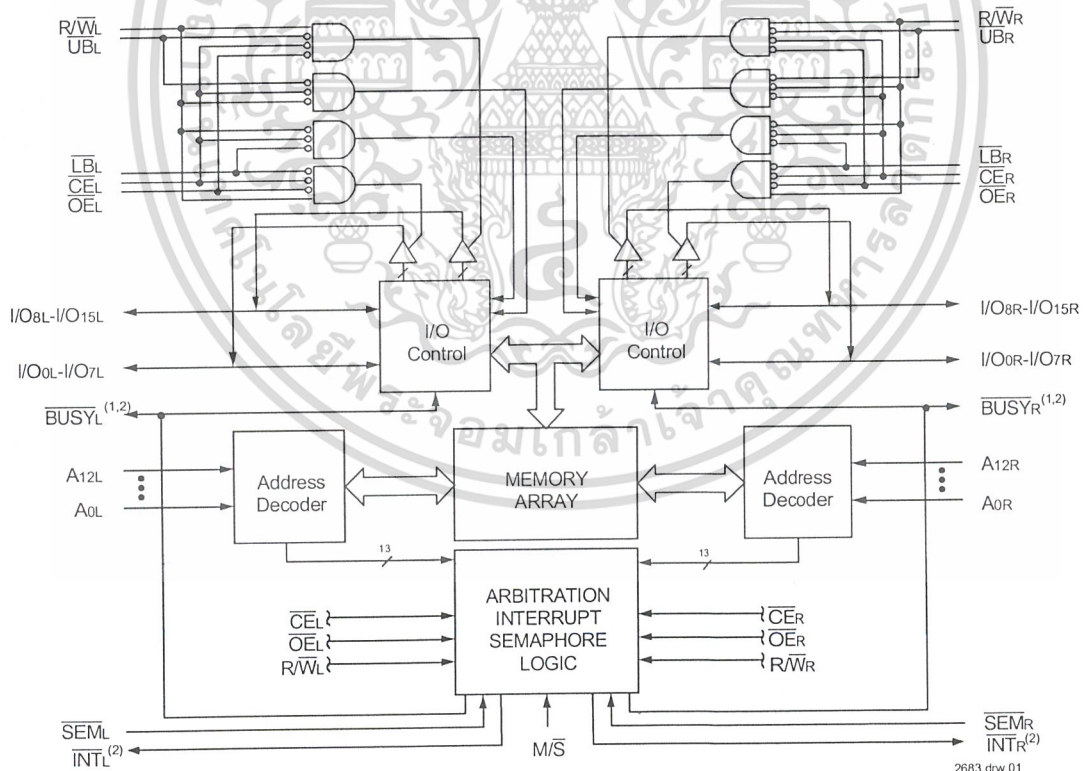
IDT7025S/L

Features

- ♦ True Dual-Ported memory cells which allow simultaneous reads of the same memory location
- ♦ High-speed access
 - Military: 20/25/35/55/70ns (max.)
 - Industrial: 55ns (max.)
 - Commercial: 15/17/20/25/35/55ns (max.)
- ♦ Low-power operation
 - IDT7025S
 - Active: 750mW (typ.)
 - Standby: 5mW (typ.)
 - IDT7025L
 - Active: 750mW (typ.)
 - Standby: 1mW (typ.)
- ♦ Separate upper-byte and lower-byte control for multiplexed bus compatibility

- ♦ IDT7025 easily expands data bus width to 32 bits or more using the Master/Slave select when cascading more than one device
- ♦ $M/\overline{S} = H$ for \overline{BUSY} output flag on Master
 $M/\overline{S} = L$ for \overline{BUSY} input on Slave
- ♦ Interrupt Flag
- ♦ On-chip port arbitration logic
- ♦ Full on-chip hardware support of semaphore signaling between ports
- ♦ Fully asynchronous operation from either port
- ♦ Battery backup operation—2V data retention
- ♦ TTL-compatible, single 5V ($\pm 10\%$) power supply
- ♦ Available in 84-pin PGA, Flatpack, PLCC, and 100-pin Thin Quad Flatpack
- ♦ Industrial temperature range (-40°C to $+85^{\circ}\text{C}$) is available for selected speeds

Functional Block Diagram



NOTES:

1. (MASTER): \overline{BUSY} is output; (SLAVE): \overline{BUSY} is input.
2. \overline{BUSY} outputs and \overline{INT} outputs are non-tri-stated push-pull.

APRIL 2000

Description

The IDT7025 is a high-speed 8K x 16 Dual-Port Static RAM. The IDT7025 is designed to be used as a stand-alone 128K-bit Dual-Port RAM or as a combination MASTER/SLAVE Dual-Port RAM for 32-bit or more word systems. Using the IDT MASTER/SLAVE Dual-Port RAM approach in 32-bit or wider memory system applications results in full-speed, error-free operation without the need for additional discrete logic.

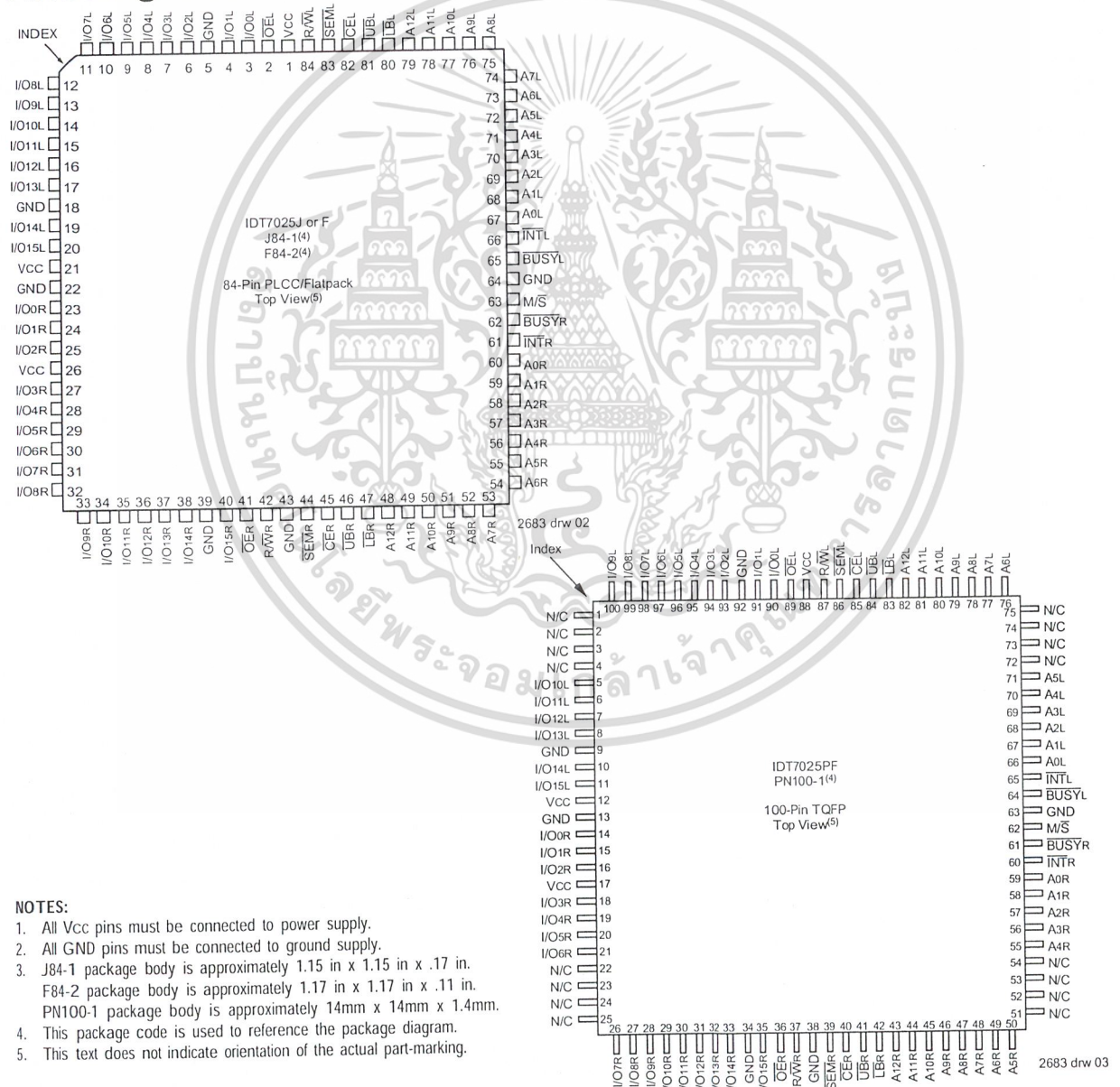
This device provides two independent ports with separate control, address, and I/O pins that permit independent, asynchronous access for reads or writes to any location in memory. An automatic power down feature controlled by Chip Enable (\overline{CE}) permits the on-chip circuitry of each

port to enter a very low standby power mode.

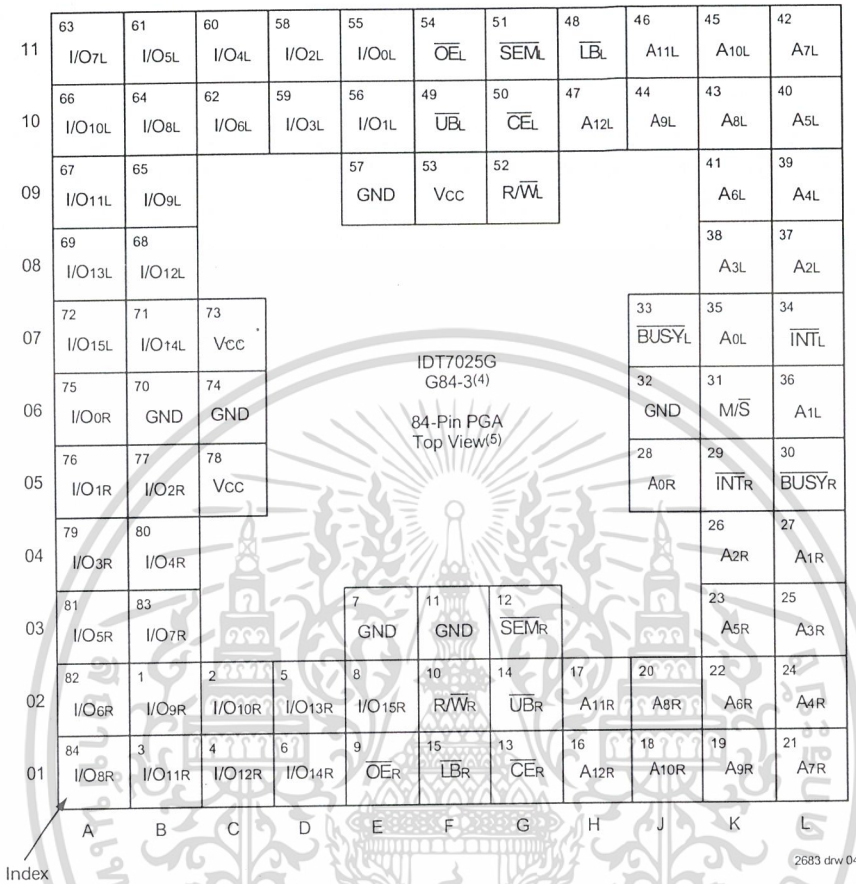
Fabricated using IDT's CMOS high-performance technology, these devices typically operate on only 750mW of power. Low-power (L) versions offer battery backup data retention capability with typical power consumption of 500 μ W from a 2V battery.

The IDT7025 is packaged in a ceramic 84-pin PGA, an 84-pin Flatpack, PLCC, and a 100-pin TQFP. Military grade product is manufactured in compliance with the latest revision of MIL-PRF-38535 QML, making it ideally suited to military temperature applications demanding the highest level of performance and reliability.

Pin Configurations^(1,2,3)



Pin Configurations^(1,2,3) (con't.)



NOTES:

1. All Vcc pins must be connected to power supply.
2. All GND pins must be connected to ground supply.
3. Package body is approximately 1.12 in x 1.12 in x .16 in.
4. This package code is used to reference the package diagram.
5. This text does not indicate orientation of the actual part-marking.

Pin Names

Left Port	Right Port	Names
\overline{CE}_L	\overline{CE}_R	Chip Enable
R/\overline{WL}	R/\overline{WR}	Read/Write Enable
\overline{OE}_L	\overline{OE}_R	Output Enable
A0L - A12L	A0R - A12R	Address
I/O0L - I/O15L	I/O0R - I/O15R	Data Input/Output
\overline{SEM}_L	\overline{SEM}_R	Semaphore Enable
\overline{UB}_L	\overline{UB}_R	Upper Byte Select
\overline{LB}_L	\overline{LB}_R	Lower Byte Select
\overline{INT}_L	\overline{INT}_R	Interrupt Flag
\overline{BUSY}_L	\overline{BUSY}_R	Busy Flag
	\overline{MS}	Master or Slave Select
	Vcc	Power
	GND	Ground

2683 01 01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Truth Table I: Non-Contention Read/Write Control

Inputs ⁽¹⁾						Outputs		Mode
\overline{CE}	R/\overline{W}	\overline{OE}	\overline{UB}	\overline{LB}	\overline{SEM}	I/O ₈₋₁₅	I/O ₀₋₇	
H	X	X	X	X	H	High-Z	High-Z	Deselected
X	X	X	H	H	H	High-Z	High-Z	Both Bytes Deselected
L	L	X	L	H	H	DATA _N	High-Z	Write to Upper Byte Only
L	L	X	H	L	H	High-Z	DATA _N	Write to Lower Byte Only
L	L	X	L	L	H	DATA _N	DATA _N	Write to Both Bytes
L	H	L	H	L	H	High-Z	DATA _{OUT}	Read Lower Byte Only
L	H	L	L	L	H	DATA _{OUT}	DATA _{OUT}	Read Both Bytes
X	X	H	X	X	X	High-Z	High-Z	Outputs Disabled

2683 t1 02

NOTE:

1. A_{0L} — A_{12L} ≠ A_{0R} — A_{12R}.

Truth Table II: Semaphore Read/Write Control⁽¹⁾

Inputs						Outputs		Mode
\overline{CE}	R/\overline{W}	\overline{OE}	\overline{UB}	\overline{LB}	\overline{SEM}	I/O ₈₋₁₅	I/O ₀₋₇	
H	H	L	X	X	L	DATA _{OUT}	DATA _{OUT}	Read Semaphore Flag Data Out
X	H	L	H	H	L	DATA _{OUT}	DATA _{OUT}	Read Semaphore Flag Data Out
H	↑	X	X	X	L	DATA _N	DATA _N	Write I/O ₀ into Semaphore Flag
X	↑	X	H	H	L	DATA _N	DATA _N	Write I/O ₀ into Semaphore Flag
L	X	X	L	X	L	—	—	Not Allowed
L	X	X	X	L	L	—	—	Not Allowed

2683 t1 03

NOTES:

1. There are eight semaphore flags written to via I/O₀ and read from I/O₀ - I/O₁₅. These eight semaphores are addressed by A₀ - A₇.

Absolute Maximum Ratings⁽¹⁾

Symbol	Rating	Commercial & Industrial	Military	Unit
V _{TERM} ⁽²⁾	Terminal Voltage with Respect to GND	-0.5 to +7.0	-0.5 to +7.0	V
T _{BIAS}	Temperature Under Bias	-55 to +125	-65 to +135	°C
T _{STG}	Storage Temperature	-55 to +125	-65 to +150	°C
I _{OUT}	DC Output Current	50	50	mA

2683 tbl 04

NOTES:

- Stresses greater than those listed under ABSOLUTE MAXIMUM RATINGS may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect reliability.
- V_{TERM} must not exceed V_{CC} + 10% for more than 25% of the cycle time or 10ns maximum, and is limited to ≤ 20 mA for the period over V_{TERM} ≥ V_{CC} + 10%.

Capacitance⁽¹⁾ (T_A = +25°C, f = 1.0mhz)

Symbol	Parameter	Conditions ⁽²⁾	Max	Unit
C _N	Input Capacitance	V _N = 3dV	9	pF
C _{OUT}	Output Capacitance	V _{OUT} = 3dV	10	pF

2683 tbl 07

NOTES:

- This parameter is determined by device characterization but is not production tested. For TQFP package only.
- 3dV references the interpolated capacitance when the input and output signals switch from 0V to 3V or from 3V to 0V.

Maximum Operating Temperature and Supply Voltage^(1,2)

Grade	Ambient Temperature	GND	V _{CC}
Military	-55°C to +125°C	0V	5.0V ± 10%
Commercial	0°C to +70°C	0V	5.0V ± 10%
Industrial	-40°C to +85°C	0V	5.0V ± 10%

2683 tbl 05

NOTES:

- This is parameter T_A.
- Industrial temperature: for other speeds, packages and powers contact your sales office.

Recommended DC Operating Conditions

Symbol	Parameter	Min.	Typ.	Max.	Unit
V _{CC}	Supply Voltage	4.5	5.0	5.5	V
GND	Ground	0	0	0	V
V _H	Input High Voltage	2.2	—	6.0 ⁽²⁾	V
V _{IL}	Input Low Voltage	-0.5 ⁽¹⁾	—	0.8	V

2683 tbl 05

NOTES:

- V_{IL} ≥ -1.5V for pulse width less than 10ns.
- V_{TERM} must not exceed V_{CC} + 10%.

DC Electrical Characteristics Over the Operating Temperature and Supply Voltage Range (V_{CC} = 5.0V ± 10%)

Symbol	Parameter	Test Conditions	7025S		7025L		Unit
			Min.	Max.	Min.	Max.	
I _{LI}	Input Leakage Current ⁽¹⁾	V _{CC} = 5.5V, V _N = 0V to V _{CC}	—	10	—	5	μA
I _{LO}	Output Leakage Current	V _{OUT} = 0V to V _{CC}	—	10	—	5	μA
V _{OL}	Output Low Voltage	I _{OL} = +4mA	—	0.4	—	0.4	V
V _{OH}	Output High Voltage	I _{OH} = -4mA	2.4	—	2.4	—	V

2683 tbl 08

NOTE:

- At V_{CC} ≤ 2.0V input leakages are undefined.

DC Electrical Characteristics Over the Operating Temperature and Supply Voltage Range^(1,6) (V_{CC} = 5.0V ± 10%)

Symbol	Parameter	Test Condition	Version	7025X15 Com1 Only		7025X17 Com1 Only		7025X20 Com1 & Military		7025X25 Com1 & Military		Unit
				Typ. ⁽²⁾	Max.	Typ. ⁽²⁾	Max.	Typ. ⁽²⁾	Max.	Typ. ⁽²⁾	Max.	
I _{CC}	Dynamic Operating Current (Both Ports Active)	$\overline{CE} = V_{IL}$, Outputs Open $SE_M = V_{IH}$ $f = f_{MAX}^{(3)}$	COM'L S	170	310	170	310	160	290	155	265	mA
			L	170	260	170	260	160	240	155	220	
			MIL & IND S	---	---	---	---	160	370	155	340	
			L	---	---	---	---	160	320	155	280	
I _{SB1}	Standby Current (Both Ports - TTL Level Inputs)	$\overline{CE}_L = \overline{CE}_R = V_{IH}$ $SE_{ML} = V_{IH}$ $f = f_{MAX}^{(3)}$	COM'L S	20	60	20	60	20	60	16	60	mA
			L	20	50	20	50	20	50	16	50	
			MIL & IND S	---	---	---	---	20	90	16	80	
			L	---	---	---	---	20	70	16	65	
I _{SB2}	Standby Current (One Port - TTL Level Inputs)	$\overline{CE}_A^* = V_{IL}$ and $\overline{CE}_B^* = V_{IH}^{(6)}$ Active Port Outputs Open, $f = f_{MAX}^{(3)}$ $SE_{MR} = SE_{ML} = V_{IH}$	COM'L S	105	190	105	190	95	180	90	170	mA
			L	105	160	105	160	95	150	90	140	
			MIL & IND S	---	---	---	---	95	240	90	215	
			L	---	---	---	---	95	210	90	180	
I _{SB3}	Full Standby Current (Both Ports - CMOS Level Inputs)	\overline{CE}_L and $\overline{CE}_R \geq V_{CC} - 0.2V$, $V_{IN} \geq V_{CC} - 0.2V$ or $V_{IN} \leq 0.2V$, $f = 0^{(4)}$ $SE_{MR} = SE_{ML} \geq V_{CC} - 0.2V$	COM'L S	1.0	15	1.0	15	1.0	15	1.0	15	mA
			L	0.2	5	0.2	5	0.2	5	0.2	5	
			MIL & IND S	---	---	---	---	1.0	30	1.0	30	
			L	---	---	---	---	0.2	10	0.2	10	
I _{SB4}	Full Standby Current (One Port - CMOS Level Inputs)	$\overline{CE}_A^* \leq 0.2V$ and $\overline{CE}_B^* \geq V_{CC} - 0.2V^{(6)}$ $SE_{MR} = SE_{ML} \geq V_{CC} - 0.2V$ $V_{IN} \geq V_{CC} - 0.2V$ or $V_{IN} \leq 0.2V$ Active Port Outputs Open, $f = f_{MAX}^{(3)}$	COM'L S	100	170	100	170	90	155	85	145	mA
			L	100	140	100	140	90	130	85	120	
			MIL & IND S	---	---	---	---	90	225	85	200	
			L	---	---	---	---	90	200	85	170	

2683 tbl 09a

Symbol	Parameter	Test Condition	Version	7025X35 Com1 & Military		7025X55 Com1, Ind & Military		7025X70 Military Only		Unit
				Typ. ⁽²⁾	Max.	Typ. ⁽²⁾	Max.	Typ. ⁽²⁾	Max.	
I _{CC}	Dynamic Operating Current (Both Ports Active)	$\overline{CE} = V_{IL}$, Outputs Open $SE_M = V_{IH}$ $f = f_{MAX}^{(3)}$	COM'L S	150	250	150	250	---	---	mA
			L	150	210	150	210	---	---	
			MIL & IND S	150	300	150	300	140	300	
			L	150	250	150	250	140	250	
I _{SB1}	Standby Current (Both Ports - TTL Level Inputs)	$\overline{CE}_L = \overline{CE}_R = V_{IH}$ $SE_{MR} = SE_{ML} = V_{IH}$ $f = f_{MAX}^{(3)}$	COM'L S	13	60	13	60	---	---	mA
			L	13	50	13	50	---	---	
			MIL & IND S	13	80	13	80	10	80	
			L	13	65	13	65	10	65	
I _{SB2}	Standby Current (One Port - TTL Level Inputs)	$\overline{CE}_A^* = V_{IL}$ and $\overline{CE}_B^* = V_{IH}^{(6)}$ Active Port Outputs Open, $f = f_{MAX}^{(3)}$ $SE_{MR} = SE_{ML} = V_{IH}$	COM'L S	85	155	85	155	---	---	mA
			L	85	130	85	130	---	---	
			MIL & IND S	85	190	85	190	80	190	
			L	85	160	85	160	80	160	
I _{SB3}	Full Standby Current (Both Ports - CMOS Level Inputs)	\overline{CE}_L and $\overline{CE}_R \geq V_{CC} - 0.2V$, $V_{IN} \geq V_{CC} - 0.2V$ or $V_{IN} \leq 0.2V$, $f = 0^{(4)}$ $SE_{MR} = SE_{ML} \geq V_{CC} - 0.2V$	COM'L S	1.0	15	1.0	15	---	---	mA
			L	0.2	5	0.2	5	---	---	
			MIL & IND S	1.0	30	1.0	30	1.0	30	
			L	0.2	10	0.2	10	0.2	10	
I _{SB4}	Full Standby Current (One Port - CMOS Level Inputs)	$\overline{CE}_A^* \leq 0.2V$ and $\overline{CE}_B^* \geq V_{CC} - 0.2V^{(6)}$ $SE_{MR} = SE_{ML} \geq V_{CC} - 0.2V$ $V_{IN} \geq V_{CC} - 0.2V$ or $V_{IN} \leq 0.2V$ Active Port Outputs Open, $f = f_{MAX}^{(3)}$	COM'L S	80	135	80	135	---	---	mA
			L	80	110	80	110	---	---	
			MIL & IND S	80	175	80	175	75	175	
			L	80	150	80	150	75	150	

2683 tbl 09b

NOTES:

- 'X' in part number indicates power rating (S or L)
- V_{CC} = 5V, T_A = +25°C, and are not production tested. I_{CC} dc = 120mA (TYP)
- At f = f_{MAX}, address and I/O's are cycling at the maximum frequency read cycle of 1/trc, and using "AC Test Conditions" of input levels of GND to 3V.
- f = 0 means no address or control lines change.
- Port "A" may be either left or right port. Port "B" is the opposite from port "A".
- Industrial temperature: for other speeds, packages and powers contact your sales office.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0800/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 V_{p-p} with simple resistor loads as shown in Figure 1. The reference-to-full-scale current matching of better than ± 1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than $\pm 0.1\%$ over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ± 4.5 V to ± 18 V power supply range; power dissipation is only 33 mW with ± 5 V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, and DAC-08H, respectively.

Features

- Fast settling output current: 100 ns
- Full scale error: ± 1 LSB
- Nonlinearity over temperature: $\pm 0.1\%$
- Full scale current drift: ± 10 ppm/°C
- High output compliance: -10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range: ± 4.5 V to ± 18 V
- Low power consumption: 33 mW at ± 5 V
- Low cost

Typical Applications

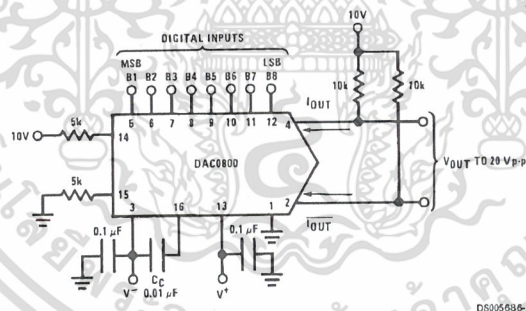


FIGURE 1. ± 20 V_{p-p} Output Digital-to-Analog Converter (Note 5)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A) (Note 1)	N Package (N16E) (Note 1)	SO Package (M16A)		
$\pm 0.1\%$ FS	$0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
$\pm 0.19\%$ FS	$-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	DAC0800LJ	DAC-08Q			
$\pm 0.19\%$ FS	$0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM

Note 1: Devices may be ordered by using either order number.

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	$\pm 18V$ or $36V$
Power Dissipation (Note 3)	500 mW
Reference Input Differential Voltage (V_{14} to V_{15})	V^- to V^+
Reference Input Common-Mode Range (V_{14} , V_{15})	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs ($V_S = -15V$)	4.25 mA
ESD Susceptibility (Note 4)	TBD V

Storage Temperature	$-65^\circ C$ to $+150^\circ C$
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	$260^\circ C$
Dual-In-Line Package (ceramic)	$300^\circ C$
Surface Mount Package	
Vapor Phase (60 seconds)	$215^\circ C$
Infrared (15 seconds)	$220^\circ C$

Operating Conditions (Note 2)

	Min	Max	Units
Temperature (T_A)			$^\circ C$
DAC0800L	-55	+125	$^\circ C$
DAC0800LC	0	+70	$^\circ C$
DAC0802LC	0	+70	$^\circ C$

Electrical Characteristics

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT+} and I_{OUT-} .

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			Units
			Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	Bits
	Nonlinearity				± 0.1			± 0.19	%FS
t_s	Settling Time	To $\pm 1/2$ LSB, All Bits Switched "ON" or "OFF", $T_A = 25^\circ C$		100	135				ns
		DAC0800L				100	135		ns
		DAC0800LC				100	150		ns
t_{PLH} , t_{PHL}	Propagation Delay	$T_A = 25^\circ C$							ns
	Each Bit			35	60	35	60		ns
	All Bits Switched			35	60	35	60		ns
TC_{IFS}	Full Scale Tempco			± 10	± 50		± 10	± 50	ppm/ $^\circ C$
V_{OC}	Output Voltage Compliance	Full Scale Current Change $< 1/2$ LSB, $R_{OUT} > 20$ M Ω Typ	-10		18	-10		18	V
I_{FS4}	Full Scale Current	$V_{REF} = 10,000V$, $R_{14} = 5,000$ k Ω $R_{15} = 5,000$ k Ω , $T_A = 25^\circ C$	1.984	1.992	2.000	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		± 0.5	± 4.0		± 1	± 8.0	μA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0	μA
I_{FSR}	Output Current Range	$V^- = -5V$ $V^- = -8V$ to $-18V$	0	2.0	2.1	0	2.0	2.1	mA
			0	2.0	4.2	0	2.0	4.2	mA
V_{IL}	Logic Input Levels								V
	Logic "0"	$V_{LC} = 0V$			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			V
I_{IL}	Logic Input Current	$V_{LC} = 0V$ $-10V \leq V_{IN} \leq +0.8V$		-2.0	-10		-2.0	-10	μA
I_{IH}	Logic "1"	$2V \leq V_{IN} \leq +18V$		0.002	10		0.002	10	μA
V_{IS}	Logic Input Swing	$V^- = -15V$	-10		18	-10		18	V
V_{THR}	Logic Threshold Range	$V_S = \pm 15V$	-10		13.5	-10		13.5	V
I_{IS}	Reference Bias Current			-1.0	-3.0		-1.0	-3.0	μA
dI/dt	Reference Input Slew Rate	(Figure 11)	4.0	8.0		4.0	8.0		mA/ μs
$PSSI_{FS+}$	Power Supply Sensitivity	$4.5V \leq V^+ \leq 18V$		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		$-4.5V \leq V^- \leq -18V$ $I_{REF} = 1mA$		0.0001	0.01		0.0001	0.01	%/%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2\text{ mA}$ and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and I_{OUT} .

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			Units
			Min	Typ	Max	Min	Typ	Max	
I ⁺ I ⁻	Power Supply Current	$V_S = \pm 5V$, $I_{REF} = 1\text{ mA}$		2.3	3.8		2.3	3.8	mA
				-4.3	-5.8		-4.3	-5.8	mA
		$V_S = 5V$, $-15V$, $I_{REF} = 2\text{ mA}$		2.4	3.8		2.4	3.8	mA
				-6.4	-7.8		-6.4	-7.8	mA
I ⁺ I ⁻	Power Supply Current	$V_S = \pm 15V$, $I_{REF} = 2\text{ mA}$		2.5	3.8		2.5	3.8	mA
				-6.5	-7.8		-6.5	-7.8	mA
P _D	Power Dissipation	$\pm 5V$, $I_{REF} = 1\text{ mA}$		33	48		33	48	mW
		$5V$, $-15V$, $I_{REF} = 2\text{ mA}$		108	136		108	136	mW
		$\pm 15V$, $I_{REF} = 2\text{ mA}$		135	174		135	174	mW

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 3: The maximum junction temperature of the DAC0800 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 4: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 5: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

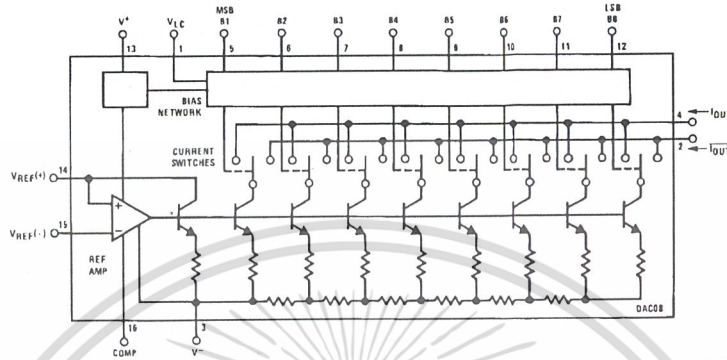
Connection Diagrams



See Ordering Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

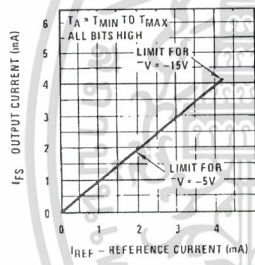
Block Diagram (Note 5)



DS005686-2

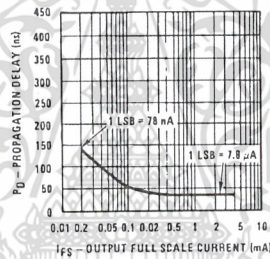
Typical Performance Characteristics

Full Scale Current vs Reference Current



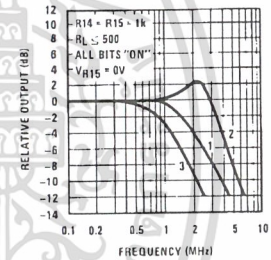
DS005686-22

LSB Propagation Delay vs I_{FS}



DS005686-23

Reference Input Frequency Response

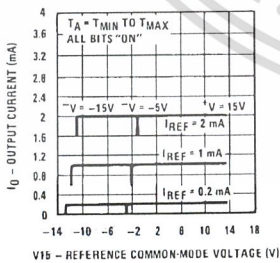


DS005686-24

Curve 1: $C_C = 15$ pF, $V_{IN} = 2$ Vp-p centered at 1V.
Curve 2: $C_C = 15$ pF, $V_{IN} = 50$ mVp-p centered at 200 mV.

Curve 3: $C_C = 0$ pF, $V_{IN} = 100$ mVp-p centered at 0V and applied through 50Ω connected to pin 14. 2V applied to R14.

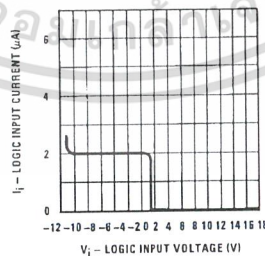
Reference Amp Common-Mode Range



DS005686-25

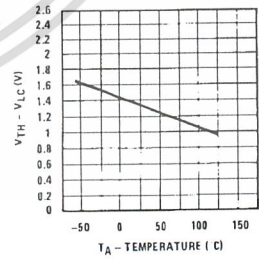
Note. Positive common-mode range is always $(V+) - 1.5V$.

Logic Input Current vs Input Voltage



DS005686-26

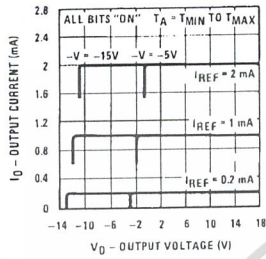
$V_{TH} - V_{LC}$ vs Temperature



DS005686-27

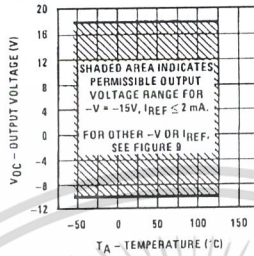
Typical Performance Characteristics (Continued)

Output Current vs Output Voltage (Output Voltage Compliance)



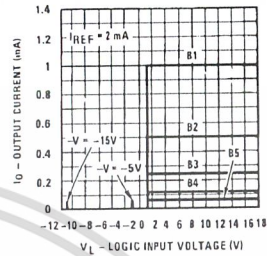
DS005686-28

Output Voltage Compliance vs Temperature



DS005686-29

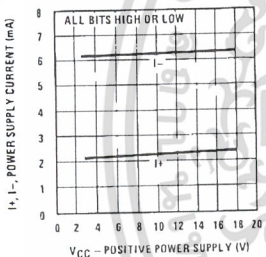
Bit Transfer Characteristics



DS005686-30

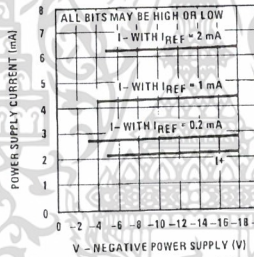
Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ± 100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range ($V_{LC} = 0V$).

Power Supply Current vs +V



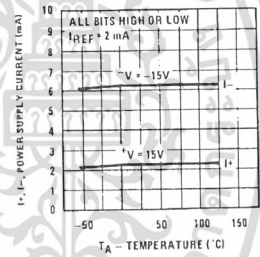
DS005686-31

Power Supply Current vs -V



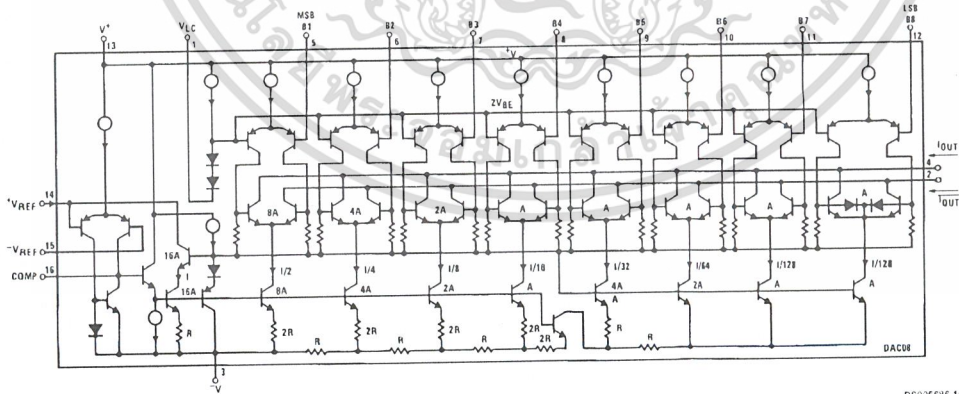
DS005686-32

Power Supply Current vs Temperature



DS005686-33

Equivalent Circuit

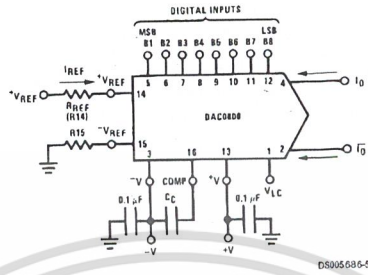


DS005686-15

FIGURE 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications



$$I_{FS} \approx \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \bar{I}_O = I_{FS}$ for all logic states

For fixed reference, TTL operation, typical values are:

$V_{REF} = 10.000V$

$R_{REF} = 5.000k$

$R15 = R_{REF}$

$C_C = 0.01 \mu F$

$V_{LC} = 0V$ (Ground)

FIGURE 3. Basic Positive Reference Operation (Note 5)

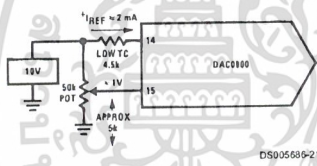
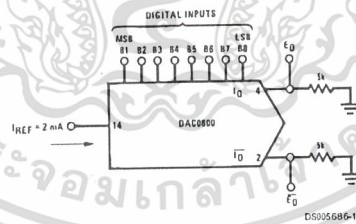


FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 5)

$$I_{FS} \approx \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note: R_{REF} sets I_{FS} ; $R15$ is for bias current cancellation

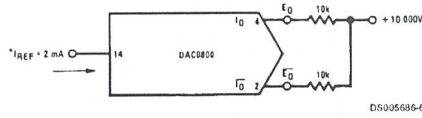
FIGURE 5. Basic Negative Reference Operation (Note 5)



	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	\bar{I}_O mA	E_O	\bar{E}_O
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	-9.960	0.000
Full Scale-LSB	1	1	1	1	1	1	1	0	1.984	0.008	-9.920	-0.040
Half Scale+LSB	1	0	0	0	0	0	0	1	1.008	0.984	-5.040	-4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	-5.000	-4.960
Half Scale-LSB	0	1	1	1	1	1	1	1	0.992	1.000	-4.960	-5.000
Zero Scale+LSB	0	0	0	0	0	0	0	1	0.008	1.984	-0.040	-9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	-9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 5)

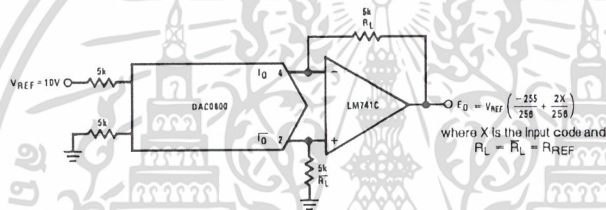
Typical Applications (Continued)



DS905686-6

	B1	B2	B3	B4	B5	B6	B7	B8	E_O	\bar{E}_O
Pos. Full Scale	1	1	1	1	1	1	1	1	-9.920	+10.000
Pos. Full Scale-LSB	1	1	1	1	1	1	1	0	-9.840	+9.920
Zero Scale+LSB	1	0	0	0	0	0	0	1	-0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale-LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	+9.920	-9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	-9.920

FIGURE 7. Basic Bipolar Output Operation (Note 5)

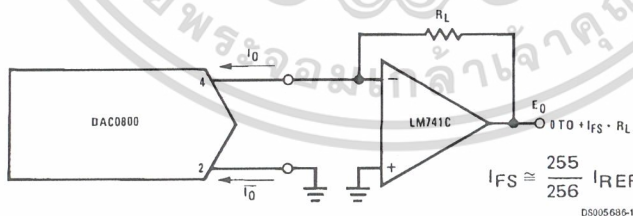


DS905686-18

If $R_L = \bar{R}_L$ within $\pm 0.05\%$, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale-LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(-)Zero Scale	0	1	1	1	1	1	1	1	-0.040
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	-9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	-9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 5)



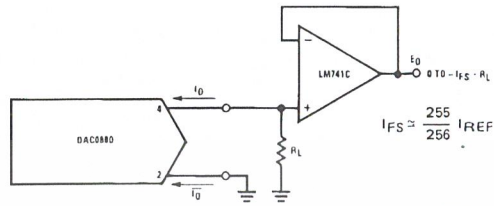
DS905686-19

For complementary output (operation as negative logic DAC), connect inverting input of op amp to \bar{I}_O (pin 2), connect I_O (pin 4) to ground.

FIGURE 9. Positive Low Impedance Output Operation (Note 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

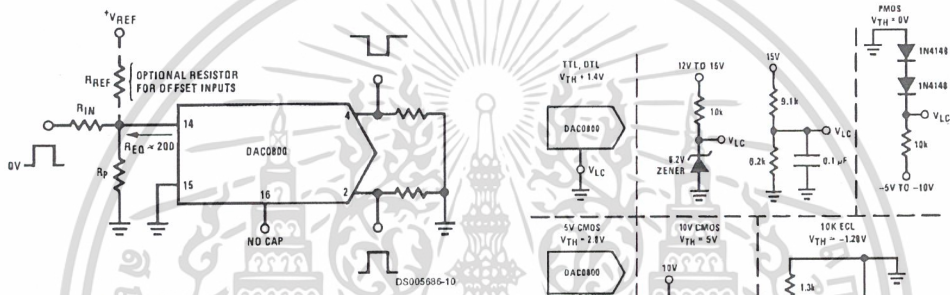
Typical Applications (Continued)



DS005686-20

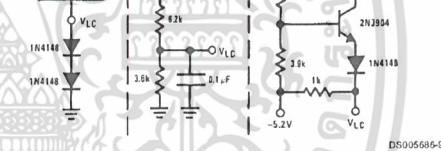
For complementary output (operation as a negative logic DAC) connect non-inverting input of op amp to \bar{I}_O (pin 2); connect I_O (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 5)



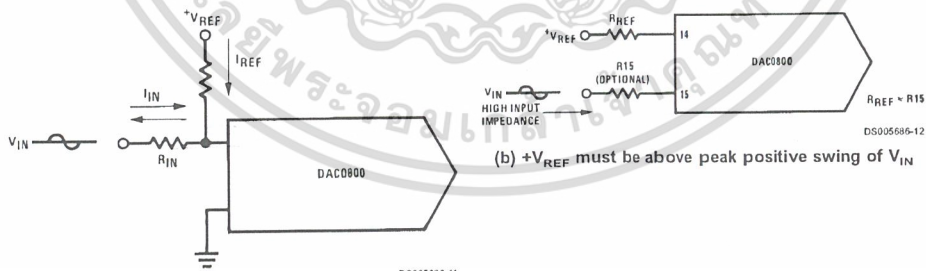
Typical values: $R_{IN}=5k, +V_{IN}=10V$

FIGURE 11. Pulsed Reference Operation (Note 5)



$V_{TH} = V_{LC} + 1.4V$
 15V CMOS, HTL, HN1L
 $V_{TH} = 7.6V$
 Note: Do not exceed negative logic input range of DAC.

FIGURE 12. Interfacing with Various Logic Families

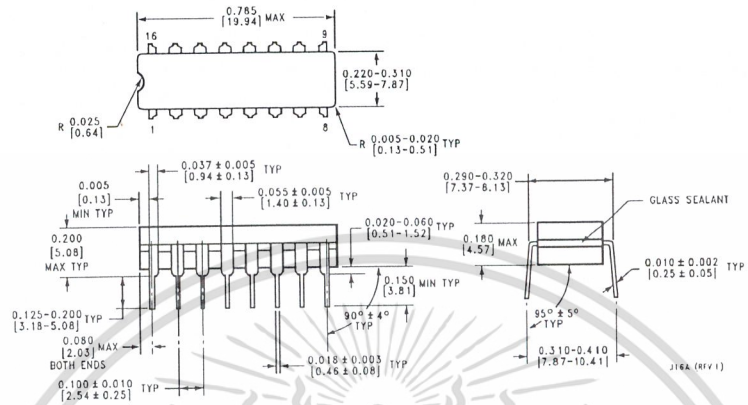


(a) $I_{REF} \geq$ peak negative swing of I_{IN}

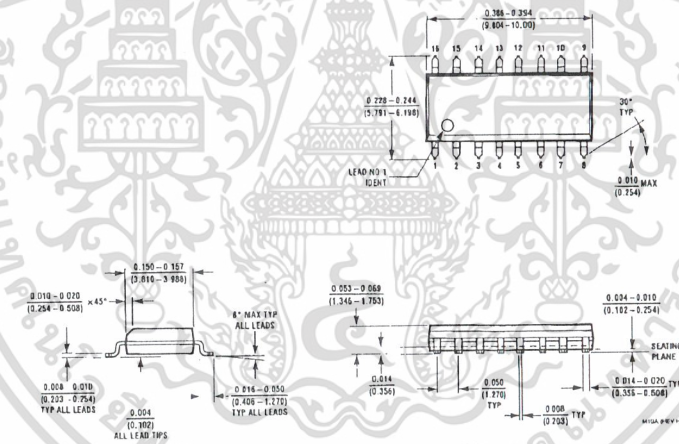
FIGURE 13. Accommodating Bipolar References (Note 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



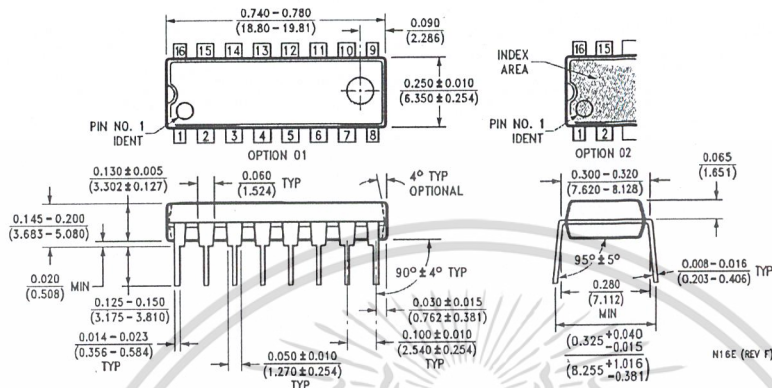
Molded Small Outline Package (SO)
Order Numbers DAC0800LCM,
or DAC0802LCM
NS Package Number M16A



Molded Small Outline Package (SO)
Order Numbers DAC0800LCM,
or DAC0802LCM
NS Package Number M16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Dual-In-Line Package
 Order Numbers DAC0800, DAC0802
 NS Package Number N16E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
 Americas
 Tel: 1-800-272-9959
 Fax: 1-800-737-7018
 Email: support@nsc.com

National Semiconductor Europe
 Fax: +49 (0) 1 80-530 85 86
 Email: europe.support@nsc.com
 Deutsch Tel: +49 (0) 1 80-530 85 85
 English Tel: +49 (0) 1 80-532 78 32
 Français Tel: +49 (0) 1 80-532 93 58
 Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
 Tel: 65-2544466
 Fax: 65-2504466
 Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
 Tel: 81-3-5639-7560
 Fax: 81-3-5639-7507

www.national.com

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM62256B Series

256k SRAM (32-kword × 8-bit)

HITACHI

ADE-203-135F (Z)

Rev. 6.0

Nov. 13, 1997

Description

The Hitachi HM62256B Series is a CMOS static RAM organized 32,768-word × 8-bit. It realizes higher performance and low power consumption by employing 0.8 μm Hi-CMOS process technology. The device, packaged in 8 × 14 mm TSOP, 8 × 13.4 mm TSOP with thickness of 1.2 mm, 450 mil SOP (foot print pitch width), 600 mil plastic DIP, or 300 mil plastic DIP, is available for high density mounting. It offers low power standby power dissipation; therefore, it is suitable for battery backup systems.

Features

- Single 5.0 V supply: 5.0 V ± 10%
- Access time: 55 ns/70 ns/85 ns (max)
- Power dissipation:
 - Active: 25 mW (typ) (f = 1 MHz)
 - Standby: 1.0 μW (typ)
- Completely static memory
 - No clock or timing strobe required
- Equal access and cycle times
- Common data input and output
 - Three state output
- Directly TTL compatible all inputs and outputs
- Battery backup operation

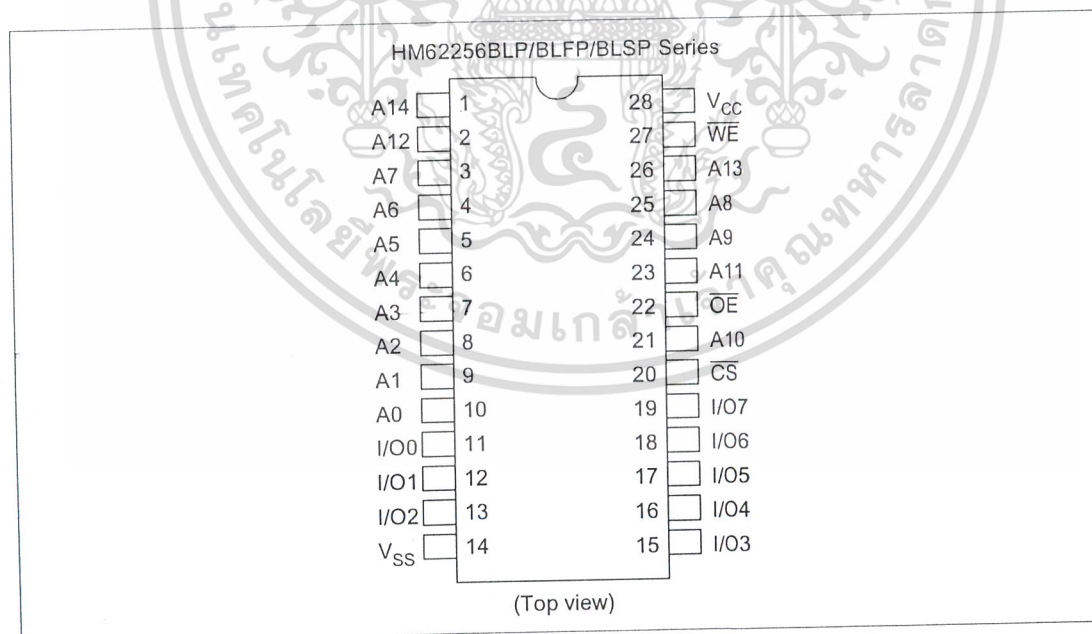
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM62256B Series

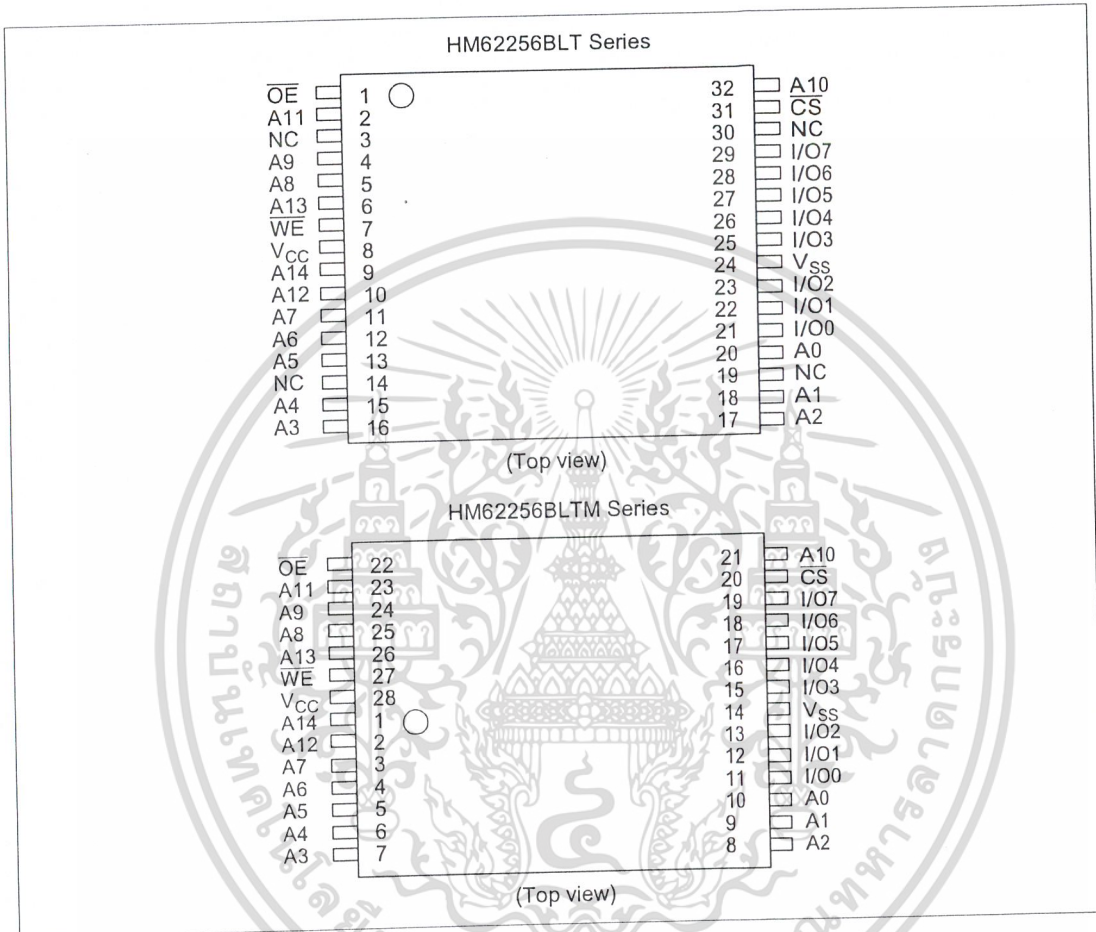
Ordering Information

Type No.	Access time	Package
HM62256BLP-7	70 ns	600-mil 28-pin plastic DIP (DP-28)
HM62256BLP-7SL	70 ns	
HM62256BLSP-7	70 ns	300-mil 28-pin plastic DIP (DP-28NA)
HM62256BLSP-7SL	70 ns	
HM62256BLFP-7T	70 ns	450-mil 28-pin plastic SOP (FP-28DA)
HM62256BLFP-5SLT	55 ns	
HM62256BLFP-7SLT	70 ns	
HM62256BLFP-7ULT	70 ns	
HM62256BLT-8	85 ns	8 mm × 14 mm 32-pin TSOP (TFP-32DA)
HM62256BLT-7SL	70 ns	
HM62256BLTM-8	85 ns	8 mm × 13.4 mm 28-pin TSOP (TFP-28DA)
HM62256BLTM-5SL	55 ns	
HM62256BLTM-7SL	70 ns	
HM62256BLTM-7UL	70 ns	

Pin Arrangement



Pin Arrangement (cont.)

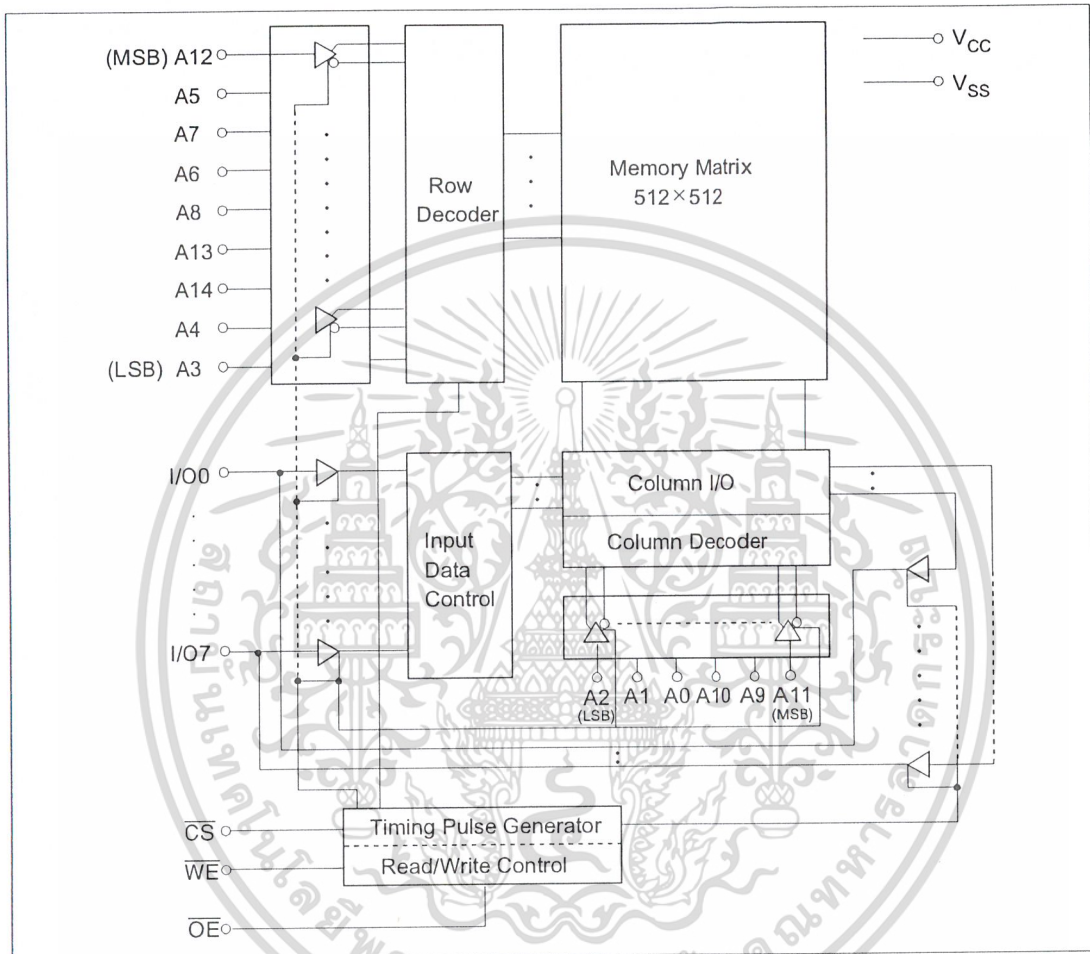


Pin Description

Pin Name	Function
A0 to A14	Address input
I/O0 to I/O7	Data input/output
CS	Chip select
WE	Write enable
OE	Output enable
V _{CC}	Power supply
V _{SS}	Ground
NC	No connection

HM62256B Series

Block Diagram



Operation Table

\overline{WE}	\overline{CS}	\overline{OE}	Mode	V_{CC} current	I/O pin	Ref. cycle
x	H	x	Standby	I_{SB}, I_{SB1}	High-Z	—
H	L	H	Output disable	I_{CC}	High-Z	—
H	L	L	Read	I_{CC}	Dout	Read cycle (1) to (3)
L	L	H	Write	I_{CC}	Din	Write cycle (1)
L	L	L	Write	I_{CC}	Din	Write cycle (2)

Note: x: H or L

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Power supply voltage relative to V_{SS}	V_{CC}	-0.5 to +7.0	V
Terminal voltage on any pin relative to V_{SS}	V_T	-0.5*1 to $V_{CC}+0.3$ *2	V
Power dissipation	P_T	1.0	W
Operating temperature range	T_{opr}	0 to +70	°C
Storage temperature range	T_{stg}	-55 to +125	°C
Storage temperature range under bias	T_{bias}	-10 to +85	°C

Notes: 1. V_T min: -3.0 V for pulse half-width ≤ 50 ns
 2. Maximum voltage is 7.0 V

DC Operating Conditions ($T_a = 0$ to +70°C)

Parameter	Symbol	Min	Typ	Max	Unit	Notes
Supply voltage	V_{CC}	4.5	5.0	5.5	V	
	V_{SS}	0	0	0	V	
Input high voltage	V_{IH}	2.2	—	$V_{CC} + 0.3$	V	
Input low voltage	V_{IL}	-0.5*1	—	0.8	V	

Note: 1. V_{IL} min: -3.0 V for pulse half-width ≤ 50 ns

HM62256B Series

DC Characteristics (Ta = 0 to +70°C, V_{CC} = 5 V ± 10%, V_{SS} = 0 V)

Parameter	Symbol	Min	Typ* ¹	Max	Unit	Test conditions
Input leakage current	I _{LI}	—	—	1	μA	V _{in} = V _{SS} to V _{CC}
Output leakage current	I _{LO}	—	—	1	μA	$\overline{CS} = V_{IH}$ or $\overline{OE} = V_{IH}$ or $\overline{WE} = V_{IL}$, V _{IO} = V _{SS} to V _{CC}
Operating current	I _{CC}	—	6	15	mA	$\overline{CS} = V_{IL}$, Others = V _{IH} /V _{IL} , I _{VO} = 0 mA
Average operating current	I _{CC1}	—	—	60	mA	Min cycle, duty = 100%, I _{VO} = 0 mA, $\overline{CS} = V_{IL}$, Others = V _{IH} /V _{IL}
	I _{CC1}	—	33	60	mA	
	I _{CC1}	—	29	50	mA	
	I _{CC2}	—	5	15	mA	Cycle time = 1 μs, I _{VO} = 0 mA, $\overline{CS} = V_{IL}$, V _{IH} = V _{CC} , V _{IL} = 0
Standby current	I _{SB}	—	0.3	2	mA	$\overline{CS} = V_{IH}$
	I _{SB1}	—	0.2	100	μA	V _{in} ≥ 0 V, $\overline{CS} \geq V_{CC} - 0.2$ V
	I _{SB1}	—	0.2* ²	50* ²	μA	
	I _{SB1}	—	0.2* ³	10* ³	μA	
Output low voltage	V _{OL}	—	—	0.4	V	I _{OL} = 2.1 mA
Output high voltage	V _{OH}	2.4	—	—	V	I _{OH} = -1.0 mA

- Notes: 1. Typical values are at V_{CC} = 5.0 V, Ta = +25°C and not guaranteed.
 2. This characteristic is guaranteed only for L-SL version.
 3. This characteristic is guaranteed only for L-UL version.

Capacitance (Ta = 25°C, f = 1.0 MHz)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Input capacitance* ¹	C _{in}	—	—	8	pF	V _{in} = 0 V
Input/output capacitance* ¹	C _{IO}	—	—	10	pF	V _{IO} = 0 V

- Note: 1. This parameter is sampled and not 100% tested.

HM62256B Series

AC Characteristics (Ta = 0 to +70°C, V_{CC} = 5.0 V ± 10%)

Test Conditions

- Input pulse levels: 0.8 V to 2.4 V
- Input rise and fall time: 5 ns
- Input and output timing reference levels: 1.5 V
- Output load: 1 TTL Gate + C_L (50 pF) (HM62256B-5)
1 TTL Gate + C_L (100 pF) (HM62256B-7/8)
(Including scope & jig)

Read Cycle

Parameter	Symbol	HM62256B						Unit	Notes
		-5		-7		-8			
		Min	Max	Min	Max	Min	Max		
Read cycle time	t _{RC}	55	—	70	—	85	—	ns	
Address access time	t _{AA}	—	55	—	70	—	85	ns	
Chip select to access time	t _{ACS}	—	55	—	70	—	85	ns	
Output enable to output valid	t _{OE}	—	35	—	40	—	45	ns	
Chip select to output in low-Z	t _{CLZ}	5	—	10	—	10	—	ns	2
Output enable to output in low-Z	t _{OLZ}	5	—	5	—	5	—	ns	2
Chip deselect to output in high-Z	t _{GHZ}	0	20	0	25	0	30	ns	1, 2
Output disable to output in high-Z	t _{OHZ}	0	20	0	25	0	30	ns	1, 2
Output hold from address change	t _{OH}	5	—	5	—	5	—	ns	

HITACHI

7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM62256B Series

Write Cycle

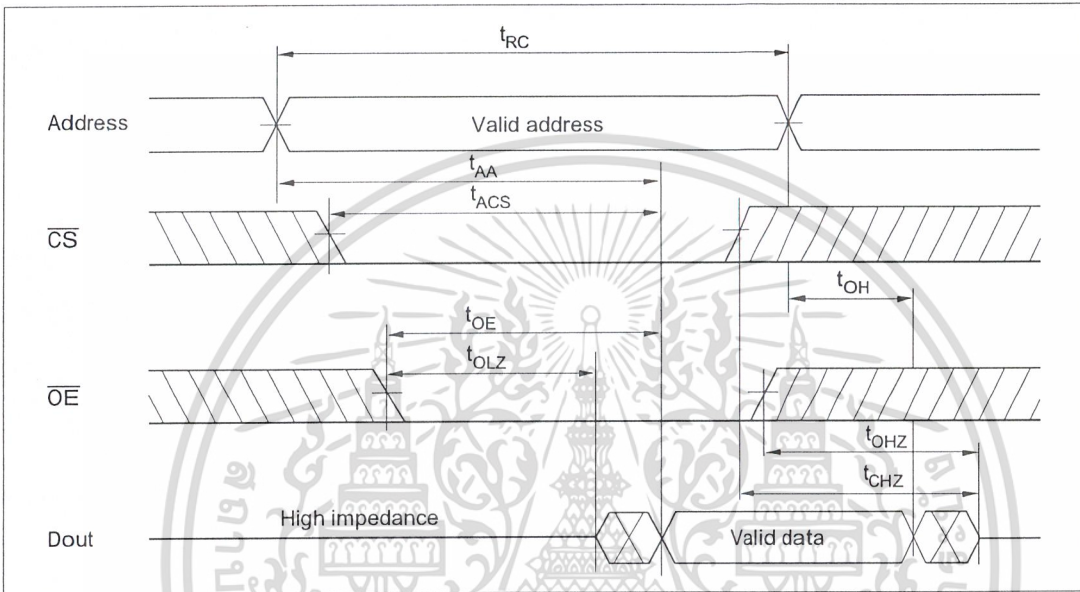
Parameter	Symbol	HM62256B						Unit	Notes
		-5		-7		-8			
		Min	Max	Min	Max	Min	Max		
Write cycle time	t_{WC}	55	—	70	—	85	—	ns	
Chip selection to end of write	t_{CW}	40	—	60	—	75	—	ns	5
Address setup time	t_{AS}	0	—	0	—	0	—	ns	6
Address valid to end of write	t_{AW}	40	—	60	—	75	—	ns	
Write pulse width	t_{WP}	35	—	50	—	55	—	ns	4, 13
Write recovery time	t_{WR}	0	—	0	—	0	—	ns	7
Write to output in high-Z	t_{WHZ}	0	20	0	25	0	30	ns	1, 2, 8
Data to write time overlap	t_{DW}	25	—	30	—	35	—	ns	
Data hold from write time	t_{DH}	0	—	0	—	0	—	ns	
Output active from end of write	t_{OW}	5	—	5	—	5	—	ns	2
Output disable to output in High-Z	t_{OHZ}	0	20	0	25	0	30	ns	1, 2, 8

- Notes:
- t_{CHZ} , t_{OHZ} and t_{WHZ} are defined as the time at which the outputs achieve the open circuit conditions and are not referred to output voltage levels.
 - This parameter is sampled and not 100% tested.
 - Address must be valid prior to or simultaneously with \overline{CS} going low.
 - A write occurs during the overlap of a low \overline{CS} and a low \overline{WE} . A write begins at the latest transition of \overline{CS} going low or \overline{WE} going low. A write ends at the earliest transition of \overline{CS} going high or \overline{WE} going high. t_{WP} is measured from the beginning of write to the end of write.
 - t_{CW} is measured from \overline{CS} going low to the end of write.
 - t_{AS} is measured from the address valid to the beginning of write.
 - t_{WR} is measured from the earliest of \overline{CS} or \overline{WE} going high to the end of write cycle.
 - During this period, I/O pins are in the output state; therefore, the input signals of the opposite phase to the outputs must not be applied.
 - If \overline{CS} goes low simultaneously with \overline{WE} going low or after \overline{WE} going low, the outputs remain in the high impedance state.
 - Dout is the same phase of the latest written data in this write cycle.
 - Dout is the read data of next address.
 - If \overline{CS} is low during this period, I/O pins are in the output state. Therefore, the input signals of the opposite phase to the outputs must not be applied to them.
 - In the write cycle with \overline{OE} low fixed, t_{WP} must satisfy the following equation to avoid a problem of data bus contention.

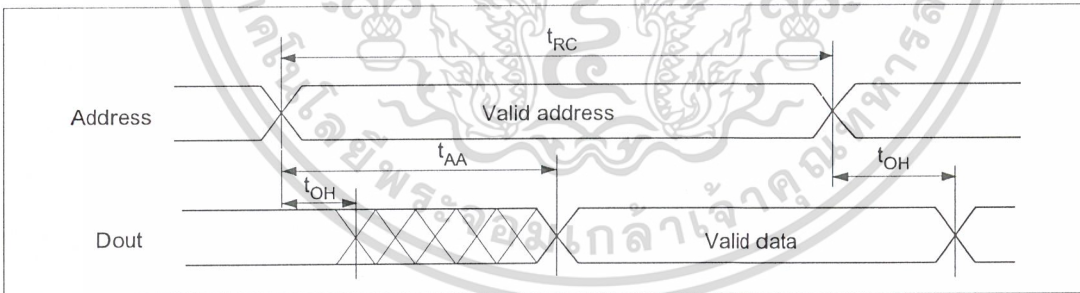
$$t_{WP} \geq t_{DW} \text{ min} + t_{WHZ} \text{ max}$$

Timing Waveform

Read Timing Waveform (1) ($\overline{WE} = V_{IH}$)

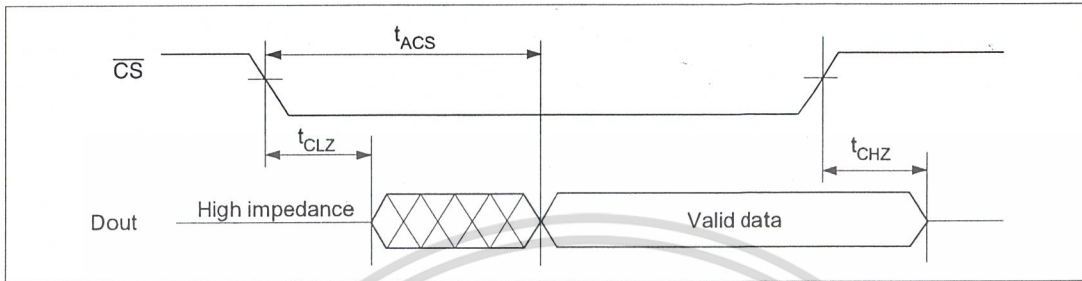


Read Timing Waveform (2) ($\overline{WE} = V_{IH}, \overline{CS} = V_{IL}, \overline{OE} = V_{IL}$)

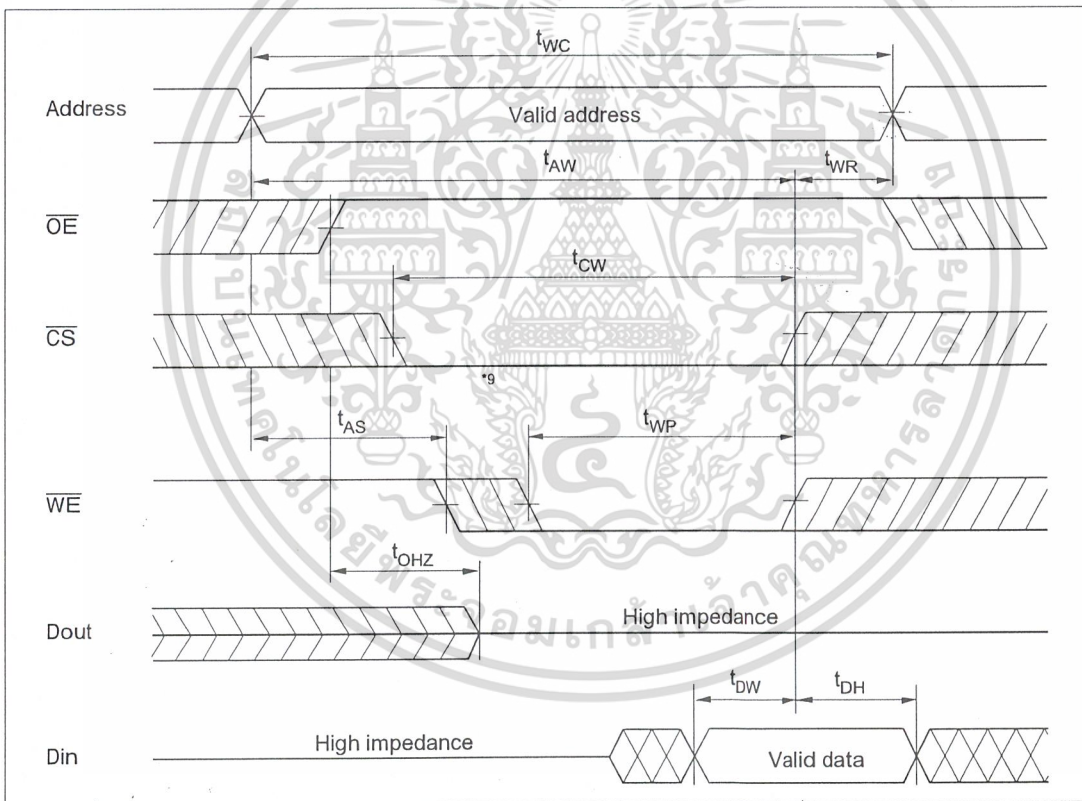


HM62256B Series

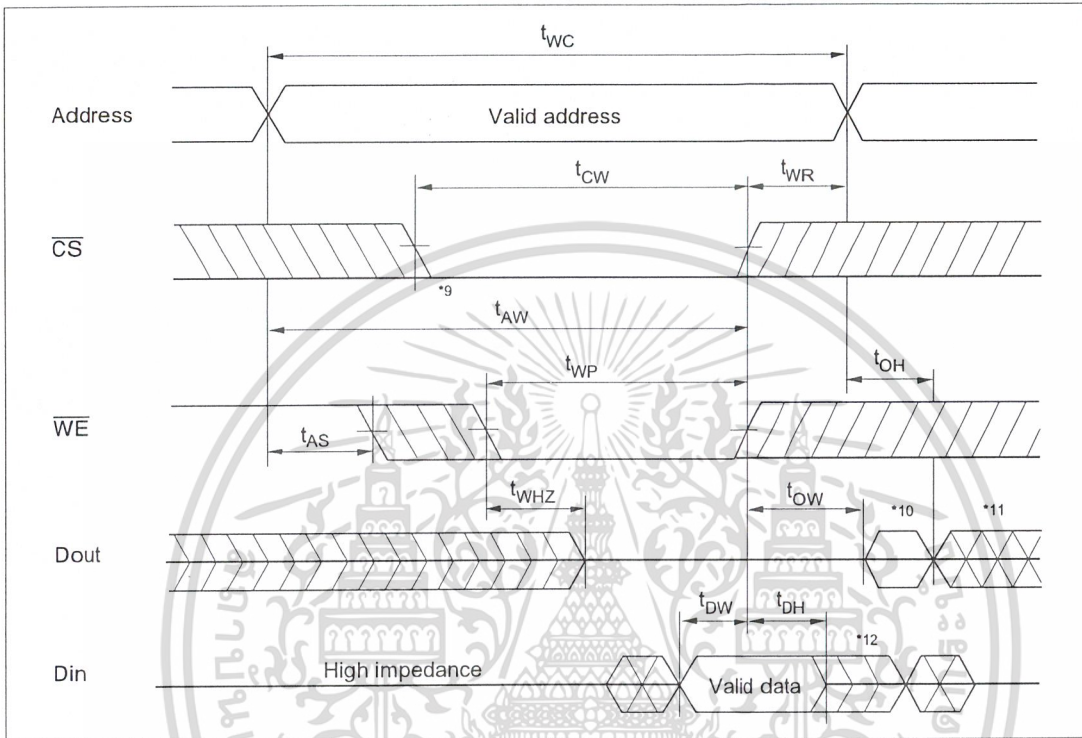
Read Timing Waveform (3) ($\overline{WE} = V_{IH}, \overline{OE} = V_{IL}$)*3



Write Timing Waveform (1) (\overline{OE} Clock)



Write Timing Waveform (2) ($\overline{\text{OE}}$ Low Fixed)



HM62256B Series

Low V_{CC} Data Retention Characteristics ($T_a = 0$ to 70°C)

Parameter	Symbol	Min	Typ* ¹	Max	Unit	Test conditions* ⁶
V_{CC} for data retention	V_{DR}	2.0	—	5.5	V	$\overline{CS} \geq V_{CC} - 0.2\text{ V}$, $V_{in} \geq 0\text{ V}$
Data retention current	I_{CCDR}	—	0.05	30^{*2}	μA	$V_{CC} = 3.0\text{ V}$, $V_{in} \geq 0\text{ V}$ $\overline{CS} \geq V_{CC} - 0.2\text{ V}$
	I_{CCDR}	—	0.05	10^{*3}	μA	
	I_{CCDR}	—	0.05	3^{*4}	μA	
Chip deselect to data retention time	t_{CDR}	0	—	—	ns	See retention Waveform
Operation recovery time	t_R	t_{RC}^{*5}	—	—	ms	

Notes: 1. Typical values are at $V_{CC} = 3.0\text{ V}$, $T_a = +25^\circ\text{C}$ and not guaranteed.

2. $10\ \mu\text{A}$ max. at $T_a = 0$ to $+40^\circ\text{C}$.

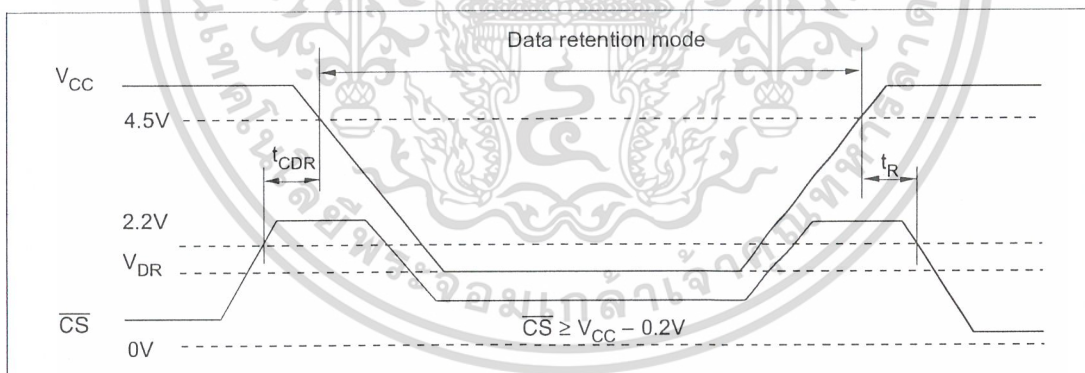
3. This characteristic is guaranteed only for L-SL version, $3\ \mu\text{A}$ max. at $T_a = 0$ to $+40^\circ\text{C}$.

4. This characteristic is guaranteed only for L-UL version, $0.6\ \mu\text{A}$ max. at $T_a = 0$ to $+40^\circ\text{C}$.

5. t_{RC} = Read cycle time.

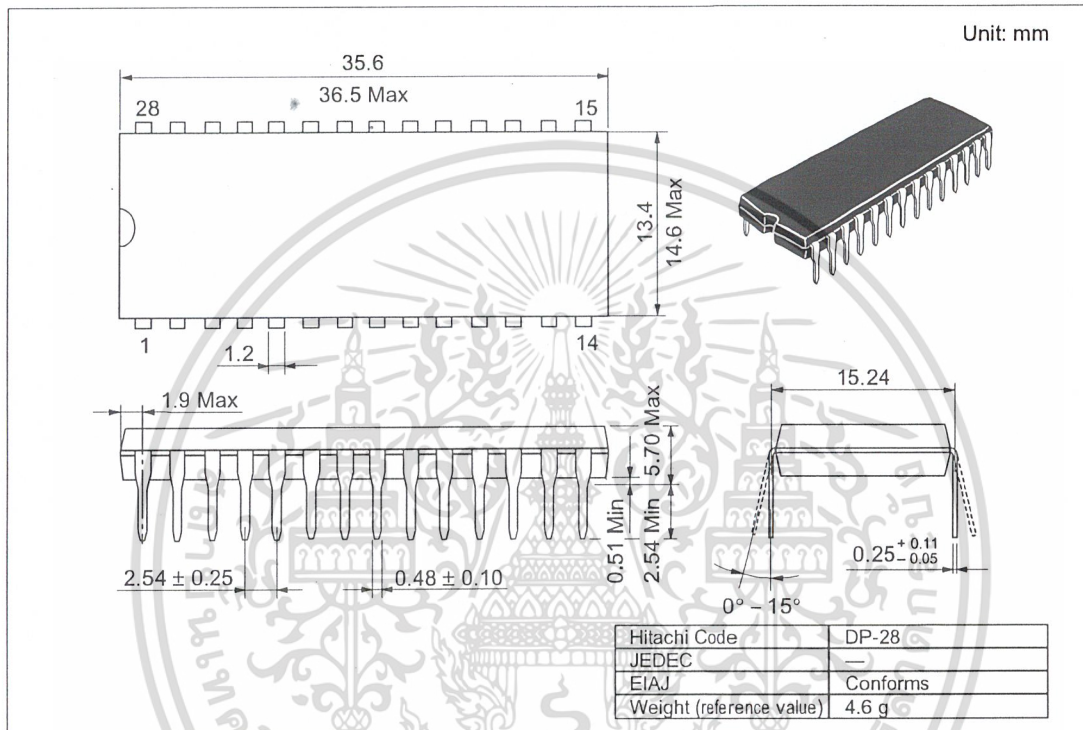
6. \overline{CS} controls address buffer, \overline{WE} buffer, \overline{OE} buffer, and Din buffer. If \overline{CS} controls data retention mode, Vin levels (address, \overline{WE} , \overline{OE} , I/O) can be in the high impedance state.

Low V_{CC} Data Retention Timing Waveform



Package Dimensions

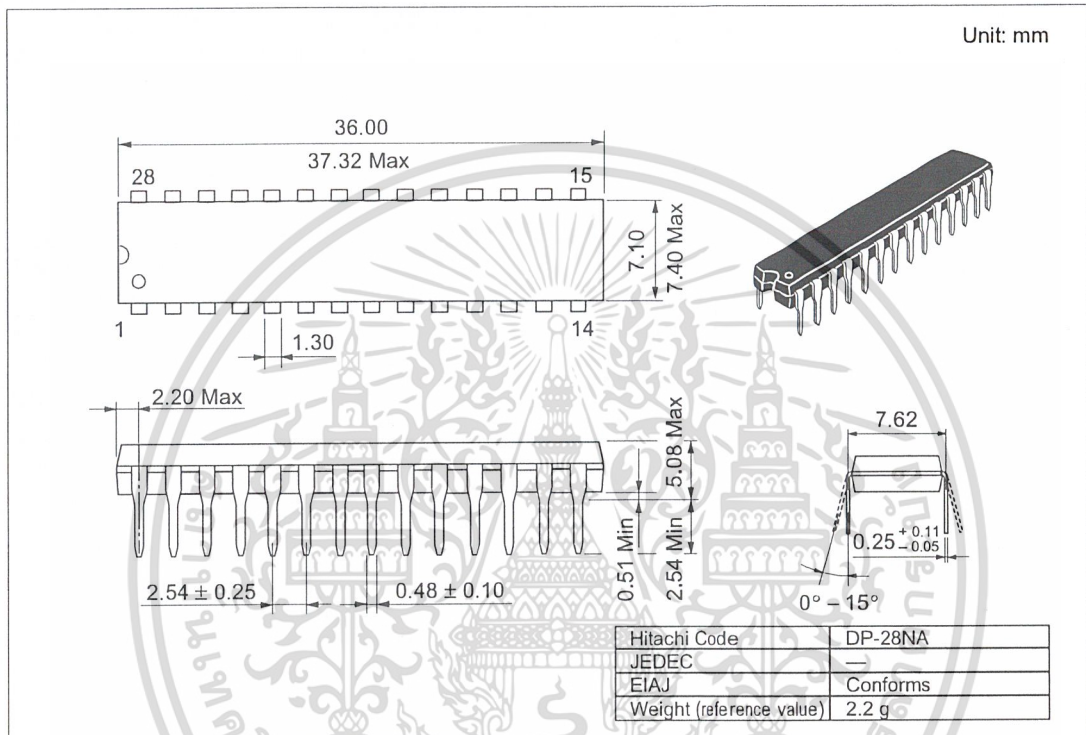
HM62256BLP Series (DP-28)



HM62256B Series

Package Dimensions (cont.)

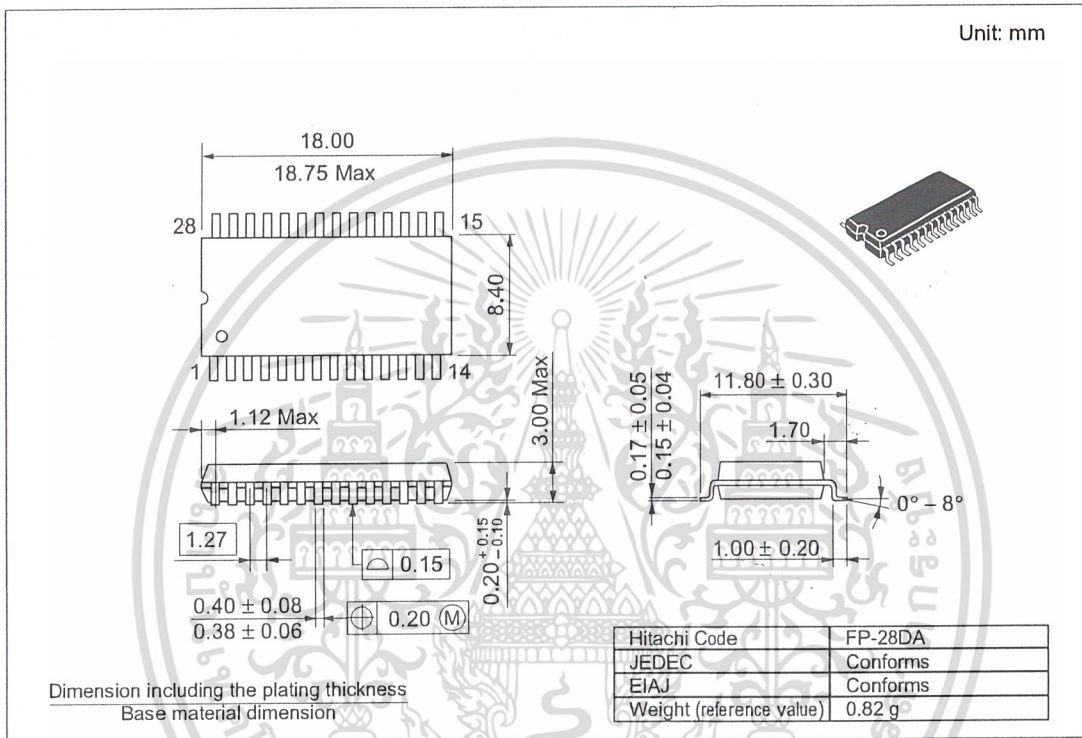
HM62256BLSP Series (DP-28NA)



HM62256B Series

Package Dimensions (cont.)

HM62256BLFP Series (FP-28DA)



HITACHI

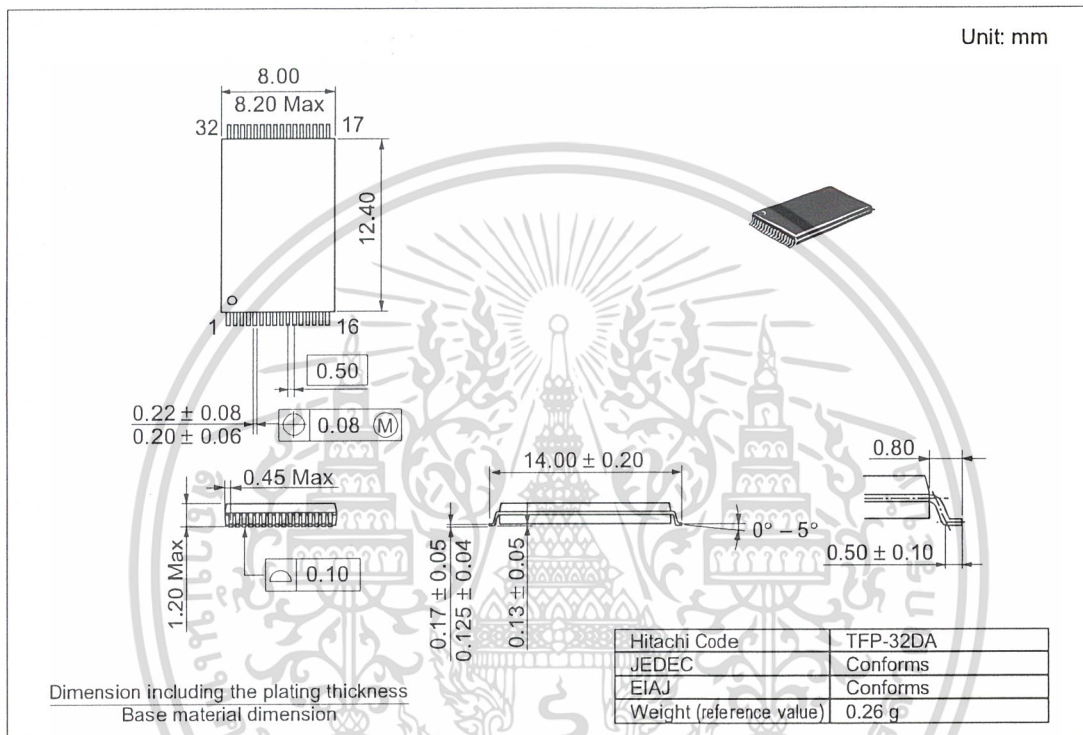
15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM62256B Series

Package Dimensions (cont.)

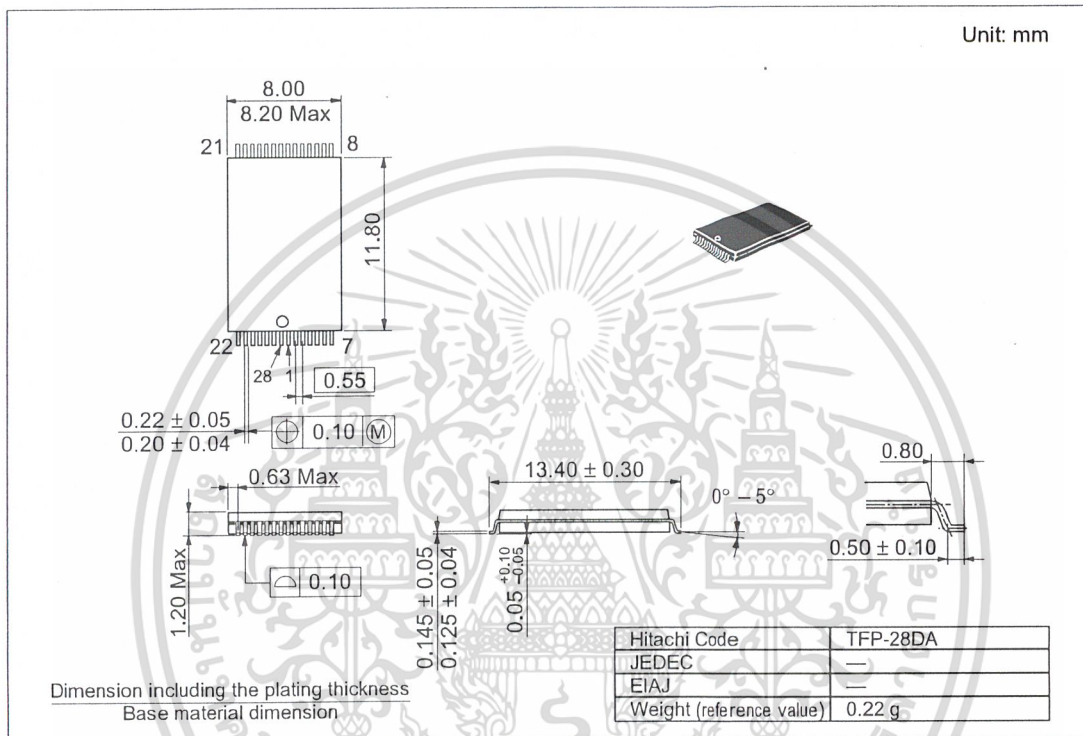
HM62256BLT Series (TFP-32DA)



HM62256B Series

Package Dimensions (cont.)

HM62256BLTM Series (TFP-28DA)



HITACHI

17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM62256B Series

When using this document, keep the following in mind:

1. This document may, wholly or partially, be subject to change without notice.
2. All rights are reserved: No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without Hitachi's permission.
3. Hitachi will not be held responsible for any damage to the user that may result from accidents or any other reasons during operation of the user's unit according to this document.
4. Circuitry and other examples described herein are meant merely to indicate the characteristics and performance of Hitachi's semiconductor products. Hitachi assumes no responsibility for any intellectual property claims or other problems that may result from applications based on the examples described herein.
5. No license is granted by implication or otherwise under any patents or other rights of any third party or Hitachi, Ltd.
6. **MEDICAL APPLICATIONS:** Hitachi's products are not authorized for use in **MEDICAL APPLICATIONS** without the written consent of the appropriate officer of Hitachi's sales company. Such use includes, but is not limited to, use in life support systems. Buyers of Hitachi's products are requested to notify the relevant Hitachi sales offices when planning to use the products in **MEDICAL APPLICATIONS**.

HITACHI

Hitachi, Ltd.

Semiconductor & IC Div.
Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100, Japan
Tel: Tokyo (03) 3270-2111
Fax: (03) 3270-5109

For further information write to:

Hitachi America, Ltd.
Semiconductor & IC Div.
2000 Sierra Point Parkway
Brisbane, CA. 94005-1835
U S A
Tel: 415-589-8300
Fax: 415-583-4207

Hitachi Europe GmbH
Continental Europe
Dornacher Straße 3
D-85622 Feldkirchen
München
Tel: 089-9 91 80-0
Fax: 089-9 29 30-00

Hitachi Europe Ltd.
Electronic Components Div.
Northern Europe Headquarters
Whitebrook Park
Lower Cookham Road
Maidenhead
Berkshire SL6 8YA
United Kingdom
Tel: 01628-585000
Fax: 01628-585160

Hitachi Asia Pte. Ltd.
16 Collyer Quay #20-00
Hitachi Tower
Singapore 049318
Tel: 535-2100
Fax: 535-1533

Hitachi Asia (Hong Kong) Ltd.
Unit 706, North Tower,
World Finance Centre,
Harbour City, Canton Road
Tsim Sha Tsui, Kowloon
Hong Kong
Tel: 27359218
Fax: 27306071

Copyright © Hitachi, Ltd., 1997. All rights reserved. Printed in Japan.

Revision Record

Rev.	Date	Contents of Modification	Drawn by	Approved by
0.0	Sep. 10, 1993	Initial Issue	Y. Saito	K. Yoshizaki
1.0	Mar. 23, 1994	DC Characteristics I _{CC1} Typ: —/—/—/— mA to 33/29/26/24 mA	Y. Saito	K. Yoshizaki
2.0	Oct. 31, 1994	Deletion of HM62256BLT-7/10SL/12SL Addition of HM62256BLTM-8/7SL/8SL(TFP-28DA) AC Characteristics Addition of note 12 Low V _{CC} data retention characteristics V _{DR} max: — to 5.5 V Note 2: 20 μA max at Ta = 0 to +40°C to 10 μA max at Ta = 0 to +40°C Deletion of description; (only for L-version)	Y. Saito	K. Yoshizaki
3.0	Jun. 19, 1995	Change of format Deletion of HM62256BLP-8/10/12/8SL/10SL/12SL Deletion of HM62256BLSP-8/10/12/8SL/10SL/12SL Deletion of HM62256BLFP-8T/10T/12T Deletion of HM62256BLFP-8SLT/10SLT/12SLT Deletion of HM62256BLT-10/12/8SL Deletion of HM62256BLTM-8SL Addition of HM62256BLFP-4SLT/5SLT/7ULT Addition of HM62256BLTM-4SLT/5SLT/7ULT Features Fast access time: 70/85/100/120 ns to 45/55/70/85 ns DC Characteristics I _{CC1} typ: 33/29/26/24 mA to —/—/33/29 mA max: 60/50/50/45 mA to 70/60/60/50 mA I _{SB1} typ: 0.3/0.3 μA to 0.2/0.2/0.2 μA max: 100/50 μA to 100/50/10 μA Addition of note 3 AC Characteristics Change order of notes. Test Condition Addition of HM62256B-4: 1TTL Gate + C _L (100pF) (Including scope & jig) t _{RC} min: 70/85/100/120 ns to 45/55/70/85 ns t _{AA} max: 70/85/100/120 ns to 45/55/70/85 ns t _{ACS} max: 70/85/100/120 ns to 45/55/70/85 ns t _{OE} max: 40/45/50/60 ns to 30/35/40/45 ns t _{CLZ} min: 10/10/10/10 ns to 5/5/10/10 ns t _{OHZ} max: 25/30/35/40 ns to 20/20/25/30 ns t _{OH} min: 5/5/10/10 ns 5/5/5/5 ns t _{WC} min: 70/85/100/120 ns to 45/55/70/85 ns t _{CW} min: 60/75/80/85 ns to 35/40/60/75 ns t _{AW} min: 60/75/80/85 ns to 35/40/60/75 ns t _{WP} min: 50/55/60/70 ns to 30/35/50/55 ns t _{WHZ} max: 25/30/35/40 ns to 20/20/25/30 ns	M. Higuchi	K. Yoshizaki

HM62256B Series

Revision Record (cont.)

Rev.	Date	Contents of Modification	Drawn by	Approved by
3.0	Jun. 19, 1995	AC Characteristics t_{PW} min: 30/35/40/50 ns to 20/25/30/35 ns t_{OHZ} max: 25/30/35/40 ns to 20/20/25/30 ns Low V_{CC} Data Retention Characteristics Addition of note 4. t_{CCDR} typ: 0.2/0.2 μ A to 0.05/0.05/0.05 μ A max: 30/10 μ A to 30/10/3 μ A	M. Higuchi	K. Yoshizaki
4.0	Nov. 29, 1995	Ordering Information (HM62256BLFP-4 Series) Addition of note (Under development) AC Characteristics Test Conditions HM62256-5/7/8:1TTL Gate + C_L (100pF) to HM62256-5:1TTL Gate + C_L (50pF) and HM62256-7/8:1TTL Gate + C_L (100pF)	M. Higuchi	K. Yoshizaki
5.0	Jul. 9, 1997	Change of format Deletion of HM62256B-4 Series	M. Higuchi	K. Imato
6.0	Nov. 13, 1997	Operation Table Correct Error DC Operating Conditions Correct Error DC Characteristics Correct Error		
