สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องคัดแยกผลผลิตทางการเกษตร โดยการประมวลภาพ

AGRICULTURAL PRODUCTS SEPARATING MACHINE BY IMAGE PROCESSING

T042695

โดย

นางสาวศศิธร คำศุกล

นางสาวสุวิมล ลิ้มประภาสิริกุล

นายเอกภพ ชุมดี

เลขหมู่.....
เลขทะเบียน.....42695
วัน, เดือน, ปี.....6 มิ.ย. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องคัดแยกผลผลิตทางการเกษตร โดยการประมวลภาพ

AGRICULTURAL PRODUCTS SEPARATING MACHINE BY IMAGE PROCESSING

โดย

นางสาวศศิธร คำศุกล

นางสาวสุวิมล ลิ้มประภาสิริกุล

นายเอกภพ ชุมดี

อาจารย์ที่ปรึกษา

อ. ชินภัทร นันทจิวากรชัย

ปริญญานิพนธ์นี้สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2543

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องคัดแยกผลผลิตทางการเกษตร โดยการประมวลภาพ

ผู้จัดทำ

1. นางสาวศศิธร คำศุกล 40010768
2. นางสาวสุวิมล ลิ้มประภาสิริกุล 40010920
3. นายเอกภพ ชุมดี 40011033

.....อาจารย์ที่ปรึกษา

(อาจารย์ ชินภัทร นันทจิวากรชัย)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องคัดแยกผลผลิตทางการเกษตร โดยการประมวลภาพ

นางสาวศศิธร คำศุกล
นางสาวสุวิมล ลิ้มประภาสิริกุล
นายเอกภพ ชุมดี
อ. ชินภัทร นันทจิวากรชัย
ปีการศึกษา 2543

บทคัดย่อ

ปัจจุบันเทคโนโลยีได้เข้ามามีบทบาทสำคัญในการพัฒนาคุณภาพของผลิตผลทางการเกษตร เพื่อให้ได้ผลิตภัณฑ์ที่มีคุณภาพดีขึ้น การคัดแยกผลผลิตจึงเป็นวิธีการหนึ่งที่จะทำให้ได้ผลผลิตที่ได้มาตรฐานและคุณภาพที่ต้องการ

จากแนวทางการใช้งานนี้ จึงได้เกิดโครงงานเครื่องคัดแยกผลผลิตทางการเกษตร โดยอาศัยการประมวลผลสัญญาณภาพจากลักษณะสีของผลผลิต ที่จะถูกแปลงเป็นระดับแรงดันแล้วเปรียบเทียบกับระดับอ้างอิง เพื่อตรวจหาผลผลิตที่มีลักษณะไม่ตรงตามต้องการ ในโครงงานจะใช้พื้นฐานของสัญญาณวิดีโอ การแปลงสัญญาณอนาลอกเป็นดิจิตอลและการใช้ไมโครโปรเซสเซอร์เพื่อประมวลผลข้อมูลและควบคุมอุปกรณ์คัดแยกผลผลิตที่ต้องการและไม่ต้องการออกจากกัน

การประยุกต์ใช้โครงงานนี้ จะสามารถใช้ได้กับผลผลิตทางการเกษตรเช่น ข้าว ข้าวโพด และอื่นๆที่ลักษณะทางกายภาพของผลผลิตที่ไม่ต้องการคือมีสีที่ต่างออกไป เช่นสีดำ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AGRICULTURAL PRODUCTS
SEPARATING MACHINE BY IMAGE PROCESSING

Sasithorn Komsukol
Suvimol Limpraphasirikun
Akkaphob Chumdee
Chinnapat Nantajivakornchai Advisor
2000

ABSTRACT

Up until now, technology has taken action in agriculture to improve a products quality. Products separation is the way to make a superior products quality and standard.

To respond that idea, this project called "Agricultural Products Separating Machine By Image Processing" which separates a products by products color that's transform to voltage level and compares with reference voltage level to detecting unrequired products characteristic. This project is based on video signal by converting analog signal to digital signal, using microprocessor to process data and control Separating Machine to get rid of unrequired products.

This application can be used in many kinds of agricultural products or any products which have a different color.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ

ABSTRACT

สารบัญ

บทที่1 บทนำ 1

บทที่2 ทฤษฎีสัญญาณโทรทัศน์ 2

2.1 องค์ประกอบภาพ 2

2.2 การสแกน 3

2.3 การหักเหลำอิเล็กตรอน 6

2.4 สัญญาณภาพรวม 11

2.4.1 สัญญาณภาพขาว-ดำ 11

2.4.2 สัญญาณซิงโครไนซ์ 12

2.4.3 สัญญาณแบลงกิ้ง 17

2.4.4 สัญญาณอีควอไลซิ่ง 17

บทที่3 สัญญาณอนาล็อกและดิจิตอล 19

3.1 ทฤษฎีการสุ่มตัวอย่าง 20

3.2 วิธีแปลงสัญญาณอนาล็อกเป็นดิจิตอล 21

3.2.1 Basic conversion method 21

3.2.2 Counter Type ADC 22

3.2.3 Tracking ADC 23

3.2.4 Integrating ADC 23

บทที่4 หลักการออกแบบและการทำงานของวงจร 29

4.1 การทำงานของวงจรแยกซิงค์ 29

4.2 การทำงานของวงจรนับเพื่อเลือกเส้นภาพ 29

4.3 การทำงานของวงจาแปลงสัญญาณอนาล็อกเป็นดิจิตอล 30

4.4 การทำงานของวงจรหน่วยความจำภาพ 30

4.5 การทำงานของไมโครคอนโทรลเลอร์และวงจรหัวเป่า 31

4.6 สัญญาณภาพต่างๆจากลอจิกอนาไลซ์เซอร์ 36

บทที่5 การทดลอง 40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

5.1 ศึกษาผลของสีของผลผลิตที่มีระดับสีที่แตกต่างกัน 40

5.2 ศึกษาผลของความลาดชันของรางที่มีมุมองศาต่างกัน 40

บทที่6 สรุปและวิจารณ์ผลการทดลอง 45

ภาคผนวก

กิตติกรรมประกาศ

เอกสารอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันนี้อุตสาหกรรมทางการเกษตรเป็นอุตสาหกรรมที่มีความสำคัญต่อระบบเศรษฐกิจของประเทศไทยเป็นอย่างมาก ซึ่งสามารถส่งออกทำรายได้ให้แก่ประเทศและเกษตรกรเป็นอย่างมาก ขั้นตอนสำคัญขั้นตอนหนึ่งในอุตสาหกรรมทางการเกษตรนี้คือ ขั้นตอนในการคัดแยกผลผลิตทางการเกษตรซึ่งจะมีผลต่อมาตรฐานของผลผลิต

จากแนวคิดนี้ทำให้ดัดแปลงและประยุกต์เอาความรู้ทางด้านไมโครคอนโทรลเลอร์และดิจิตอลอิเล็กทรอนิกส์มาใช้ในการทำโครงงานนี้ คือเครื่องคัดแยกผลผลิตทางการเกษตรโดยการประมวลผลภาพ โดยคัดแยกจากลักษณะสีของผลผลิต การทำงานของวงจรจะทำในส่วนของการรับภาพจากกล้องวิดีโอ(Vedio Camera) ที่เป็นสัญญาณภาพขาวดำซึ่งเป็นสัญญาณอนาลอก แล้วทำการแปลงให้เป็นสัญญาณดิจิตอล (Analog Digital Converter) แล้วนำสัญญาณที่ได้นำไปเก็บในหน่วยความจำ(Memory Ram) โดยจะนำไปประมวลผลในส่วนของไมโครคอนโทรลเลอร์เพื่อทำการควบคุมกลไกการคัดแยก ทำให้สามารถแยกผลผลิตที่ต้องการและไม่ต้องการออกจากกัน เพื่อให้ได้ผลผลิตทางการเกษตรที่มีคุณภาพดีขึ้น

วัตถุประสงค์ของโครงงาน

1. เพื่อศึกษาและประยุกต์ใช้งานสัญญาณภาพรวมในงานด้านการประมวลภาพ
2. เพื่อศึกษาและออกแบบการแปลงสัญญาณภาพเป็นสัญญาณดิจิตอล
3. เพื่อศึกษาและประยุกต์ใช้งานไมโครคอนโทรลเลอร์ในงานด้านการประมวลผลภาพ
4. เพื่อศึกษาและออกแบบกลไกการคัดแยกผลผลิตทางการเกษตร
5. เพื่อศึกษาและควบคุมการทำงานร่วมกันของทุกส่วนในวงจรเพื่อสามารถคัดแยกผลผลิตได้ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีสัญญาณโทรทัศน์

ในโครงงานที่ทำนี้ต้องศึกษาเรื่องต่าง ๆ หลายเรื่อง แต่เรื่องที่สำคัญที่สุดก็คือเรื่องเกี่ยวกับสัญญาณภาพวีดีโอรวมและการนำสัญญาณภาพไปใช้งาน เราจะนำสัญญาณภาพไปใช้งานได้อย่างไร

ภาพที่เกิดขึ้นที่จอโทรทัศน์ เป็นภาพนิ่งที่เรานำมาต่อกัน โดยแต่ละภาพจะมีความแตกต่างกันเล็กน้อย และเกิดขึ้นในเวลาอันรวดเร็วจนสายตาของคนเราเห็นเป็นภาพที่ต่อเนื่อง ในภาพแต่ละเฟรมในตัวของมันเองประกอบด้วยพื้นที่เล็ก ๆ ของแสงและจุด หากภาพนั้นมีรายละเอียดของจุดแสงมาก ภาพที่ออกมาจะมีรายละเอียดมากกว่าภาพที่มีจุดและแสงรายละเอียดน้อย (ซึ่งภาพออกมาหยาบ)

2.1 องค์ประกอบภาพ

ยกตัวอย่างภาพจากหนังสือพิมพ์สักภาพหนึ่ง แล้วขยายให้ใหญ่ขึ้นด้วยกล้องหรือแว่นขยายจะพบว่าภาพมีองค์ประกอบที่มาจากจุดสีขาวและจุดสีดำมากมาย มาเรียงกันประกอบเป็นภาพจุดเหล่านี้เองที่เรียกว่า องค์ประกอบของภาพ หรือ พิคเจอร์ อีลีเมนต์ (Picture element) หรือ พิกเซล (Pixel)

ทำนองเดียวกัน ภาพที่ปรากฏทางจอภาพก็เอาจากหลักการนี้ ภาพที่เกิดขึ้นบนจอโทรทัศน์ประกอบด้วยเส้นขวางเล็ก ๆ ในแนวนอนเป็นจำนวนมาก แต่ละเส้นมีทั้งส่วนที่ดำสนิทส่วนที่จางและส่วนที่สว่างรวมกันอยู่ เส้นเหล่านี้เราได้มาจากการกวาดลำแสง (Scan) ความแตกต่างกันบนเส้นกวาดลำแสงหรือเส้นสแกนเหล่านี้เองที่เราจัดว่าเป็นองค์ประกอบภาพ
ระบบการสแกน 525 เส้น เราจะแบ่งเส้นทางแนวตั้งได้ 700 เส้น ดังนั้นจึงกล่าวได้ว่าหากจะหาจำนวนขององค์ประกอบภาพในระบบการสแกน 525 เส้นแล้ว จะได้เท่ากับ 525*700 เท่ากับ 367,500 พิกเซล ยิ่งภาพมีจำนวนเส้นมากเท่าไรรายละเอียดภาพยิ่งมากขึ้นเท่านั้น เหมือนอย่างที่เรากล่าวถึงรายละเอียดภาพมาแต่ข้างต้น โทรทัศน์ที่มีจำนวนเส้นสแกนมากย่อมได้รายละเอียดหรือความชัดเจนของภาพมากกว่า แต่การออกแบบวงจรก็จะยากตามไปด้วยเนื่องจากแบนด์วิธของความถี่จะต้องกว้างขึ้นด้วยให้พิจารณาจากสูตรต่อไปนี้

$$f_{max} = \tfrac{1}{2} Kn^2 f_p (b/h)(Y/X)$$

เมื่อ f_{max} คือ ความถี่สูงสุด
K คือ ค่าคงที่ประมาณ 0.64 ถึง 0.7
n คือ จำนวนเส้นสแกน
f_p คือ จำนวนภาพต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

b/h คือ อัตราส่วนแอสเป็คซึ่งทั่วๆไปเราใช้อัตรา 4 ต่อ 3

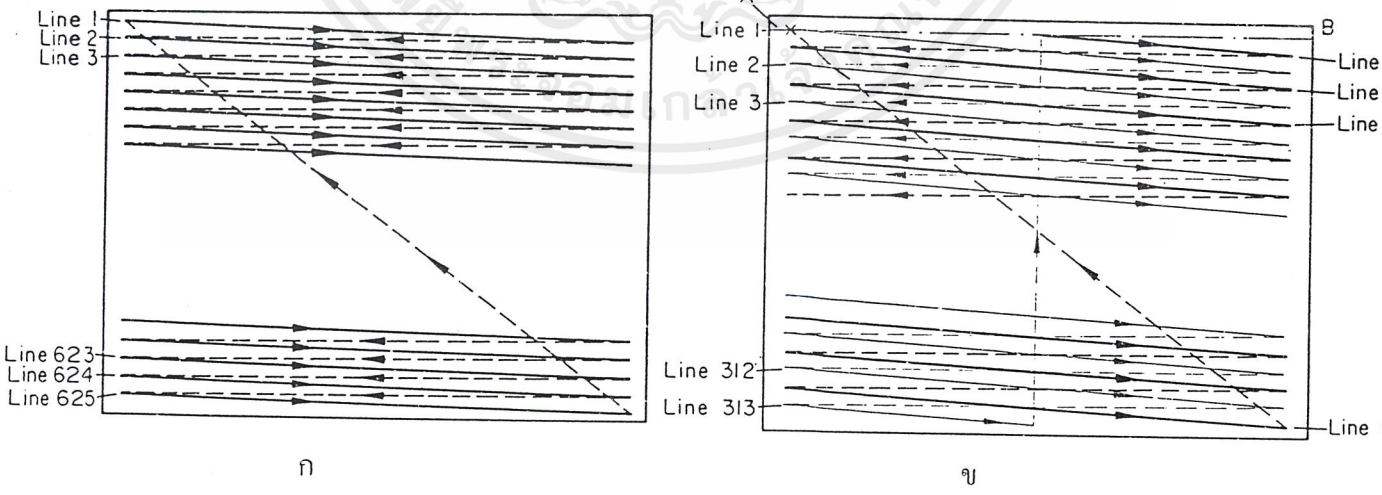
Y/X คือ ค่าแอฟเฟ็คทีฟแฟ็คเตอร์ มีค่า 0.95/0.84

จากสูตรนี้เราพบว่าถ้าจำนวนเส้นสแกนเพิ่มมากขึ้น ความถี่จะเพิ่มตามขึ้นมาด้วย จากที่กล่าวว่าระบบ 525 เส้นนั้นองค์ประกอบภาพ 367,500 พิกเซล แต่ความเป็นจริงแล้วเรามองเห็นได้ไม่ครบทุกพิกเซล เนื่องจากมีบางส่วนหายไประหว่างการสแกน จากการทดลองพบว่าภาพที่พอดูได้จะมีองค์ประกอบไม่ต่ำกว่า 200,000 พิกเซล

ต่อระบบที่ใช้อยู่ในประเทศไทย ปัจจุบันเราใช้ระบบการสแกน 625 เส้น 25 ภาพต่อวินาที จึงทำให้แบนด์วิธต้องกว้างถึง 7 เมกะเฮิรตซ์ ในขณะที่ระบบ 525 เส้นกว้างเพียง 6 เมกะเฮิรตซ์ เท่านั้น อย่างไรก็ตามองค์ประกอบของภาพจะมีความละเอียดมากขึ้น โดยสามารถหาองค์ประกอบของภาพได้จากค่าจำนวนของเส้นสแกน 625 เส้นคูณกับจำนวนจุดหรือองค์ประกอบทางแนวตั้ง 851 เส้น ได้เท่ากับ 531,875 พิกเซล

2.2 การสแกน

จากองค์ประกอบภาพที่ได้กล่าวมาตอนต้น เครื่องส่งจะรับภาพแล้วเปลี่ยนเป็นพลังงานแสงเป็นพลังงานไฟฟ้าแล้วส่งเป็นจุดขาวดำมา เครื่องรับจะรับเอาสัญญาณเหล่านี้มาเรียงกันใหม่ โดยการกวาดเป็นเส้นภาพขึ้นที่หน้าจอ วิธีการนี้เราเรียกว่าการสแกน (Scanning) โดยตัวที่มีหน้าที่สำคัญคือจอภาพหรือหลอดภาพนั่นเอง หลอดภาพมีโครงสร้างคล้าย ๆ หลอดสูญญากาศทั่วไปที่ปล่อยอิเล็กตรอนออกมาจากแคโทด แล้วจะมีการดึงลำอิเล็กตรอนให้วิ่งไปเป็นลำกระทบที่แอโนดหรือหน้าจอ ตรงหน้าจอนั้นมีการฉาบสารเรืองแสงไว้เพื่อให้เกิดการเรืองแสงของจอ



รูปที่ 2.1 ก แสดงวิธีการเบื้องต้นของการสแกนแบบก้าวหน้า

ข แสดงวิธีการเบื้องต้นของการสแกนแบบสลับเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสแกนมี 2 วิธี คือการสแกนแบบก้าวหน้า (Progressive Scanning) กับการสแกนแบบสลับเส้น (Interlaced Scanning)

การที่จะทำให้การสแกนมีความต่อเนื่องขององค์ประกอบภาพดังที่กล่าวมาแล้วจะต้องคำนึงถึงหลัก 3 ประการคือ

1. ลำอิเล็กตรอนที่กวาดไปทางแนวนอน (Horizontal Scanning) ในแต่ละครั้ง จะต้องครอบคลุมองค์ประกอบภาพทั้งหมดของเส้นนั้น ๆ

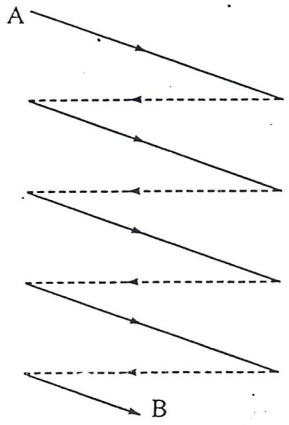
2. ในแต่ละเส้นของการสแกนลำอิเล็กตรอน ลำแสงจะต้องกวาดกลับด้วยความเร็วสูงไปยังด้านซ้ายเพื่อเริ่มต้นภาพทางแนวนอนลำดับต่อไปเวลาของการสะบัดกลับเราเรียกว่า " รีเทรซ " (Retrace) หรือฟลายแบ็ค (Flyback) ในกรณีดังกล่าวจะต้องไม่มีข้อมูลภาพใด เพราะว่าทั้งกล้องถ่ายและหลอดภาพจะเกิดการแบลงค์เอาท์ (Blank Out) ในขณะนั้น

3. ในขณะที่เส้นสแกนสะบัดกลับมาเพื่อเริ่มต้นทางซ้ายใหม่ ตำแหน่งทางแนวตั้งต้องต่ำกว่าตำแหน่งเดิมเพื่อให้การสแกนเส้นต่อไปไม่ทับกัน ทั้งนี้โดยการควบคุมของสัญญาณทางแนวตั้ง (Vertical Scanning)

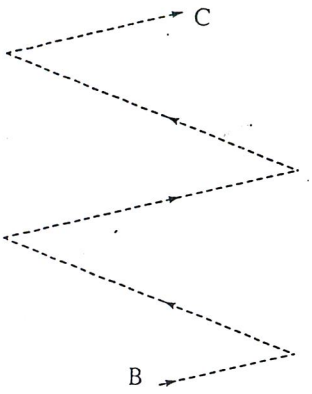
การสแกนที่ใช้ในเครื่องรับโทรทัศน์ถึงแม้เราจะพบว่าหากให้มีการเรียงภาพเกินกว่า 16 ภาพต่อวินาทีแล้ว สายตาจะเห็นเป็นภาพที่ต่อเนื่อง จากการทดลองสแกนเส้นภาพเราพบว่าแม้ภาพที่เกิดขึ้นจะเกิดขึ้น 24 ภาพต่อวินาทีแล้วก็ตาม ยังมีการกระพริบ (Flicker) เกิดขึ้น เนื่องจากว่าในขณะที่มีการสแกนเริ่มจากขอบบนลงมาด้านล่าง (ซึ่งคล้ายกับการเขียนหนังสือที่เริ่มจากซ้ายไปขวา บนลงล่าง) เริ่มเส้นสแกนลงมาถึงขอบด้านล่างแสงทางด้านบนในความรู้สึกของมนุษย์เริ่มมืดลงกว่าด้านล่าง เวลาที่ลำแสงการสแกนวกกลับไปด้านบน ด้านล่างก็เกิดปัญหาเช่นเดียวกัน ความรู้สึกต่อกรณีนี้ก็คือเกิดแสงกระพริบหรือวูบวาบขึ้น (Flicker) จึงต้องใช้การสแกนสลับหรือบางคนเรียกว่า การสแกนแบบสอดแทรก (Interlaced Scanning) โดยครั้งแรกจะสแกนฟิลด์คี่ (Odd Line Trace) และครั้งต่อไปจะสแกนฟิลด์คู่ (Even Line Trace) เป็นการสแกนแบบเส้นเว้นเส้น นั่นหมายความว่าการได้ภาพ 1 ภาพหรือที่เรียกว่าภาพ 1 เฟรม (Frame) ต้องใช้การสแกนแนวตั้ง 2 ครั้งหรือ 2 ฟิลด์ (Field)

ตามมาตราฐาน ซีซีไออาร์ (CCIR) ใช้เส้นสแกน 625 เส้นต่อหนึ่งภาพ และใช้ภาพ 25 ภาพต่อวินาทีดังนั้นใน 1 ฟิลด์จะมีเส้นสแกน 312.5 เส้น ภาพนิ่งแต่ละภาพซึ่งเป็นส่วนประกอบขององค์ประกอบภาพจะเกิดขึ้นภายใน 1/25 วินาที ความถี่ที่ใช้ในการหักเหลำอิเล็กตรอนในทางแนวนอนจึงได้จากจำนวนเส้นภาพ 625 เส้น คูณกับจำนวนภาพในแต่ละเฟรม ดังนั้นเราจึงสามารถหาความถี่ได้จาก 625*25 เท่ากับ 15,625 เฮิรตซ์ ความถี่หักเหทางแนวตั้งจึงเท่ากับ 50 เฮิรตซ์

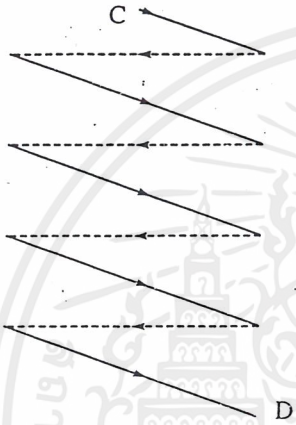
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



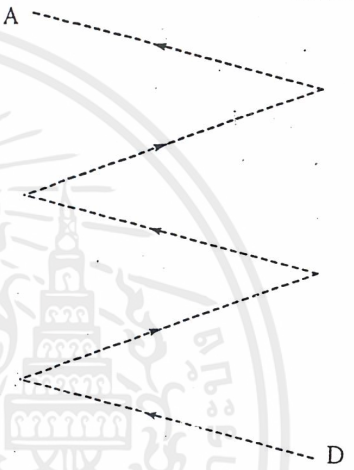
(ก) การสแกนเส้นคี่



(ข) การสะบัดกลับไปเริ่มต้นเส้นคู่



(ค) การสแกนเส้นคู่



(ง) การสะบัดกลับไปเริ่มต้นเส้นคี่

รูปที่ 2.2 การสแกนเส้นคู่และเส้นคี่ และการสะบัดกลับของสัญญาณทางแนวตั้ง

จากรูปที่ 2.2 แสดงวิธีการสแกนของระบบโทรทัศน์ที่ใช้ในปัจจุบัน โดยเริ่มต้นการสแกนสมมติว่าการเริ่มสแกนในกรณีนี้เริ่มจากเริ่มสแกนในเฟรมที่เป็นเส้นสแกนคี่ โดยเริ่มจาก A ซึ่งอยู่ทางซ้ายและกวาดไปทางขวา นับเป็นเส้นสแกนเส้นที่ 1 แล้วจึงสแกนเส้นที่ 3, 5, 7, 9 และต่อ ๆ ไป จนกระทั่งได้เส้นสแกน 262.5 เส้นในระบบเอฟซีซี หรือ 312.5 เส้นในระบบซีซีไออาร์ ซึ่งก็คือเส้นสแกนมาถึงจุด B ดังในภาพที่ 2.2 และ 2.3 ณ จุดนี้การสแกนจะถูกความถี่หักเหทางแนวตั้งซึ่งเราเรียกว่า เวอร์ติคอล รีเทรซ (Vertical Retrace) หรือสัญญาณฟลายแแบ็ค ดึงกลับไปยังตำแหน่งในจุด C เพื่อเริ่มต้นการสแกนคู่ต่อไป

เวลาของการรีเทรซ (Retrace Time) ทั้งการรีเทรซทางเวอร์ติคอลและฮอริซอนตอลเป็นเวลาสั้น ๆ ถึงอย่างไรก็ตามเราไม่ต้องการให้เส้นที่สแกนในช่วงของการสะบัดกลับนี้เข้ามารบกวนให้เกิดสัญญาณภาพ ในส่วนนี้เราจึงต้องทำการลบเส้นสะบัดกลับ ก่อนที่จะถึงจุดที่ว่านั้นเรามาดูรายละเอียดของการสะบัดกลับอีกนิดว่า ในส่วนของการกวาดลำแสงหรือการสแกนในทางแนวนอน (Horizontal)

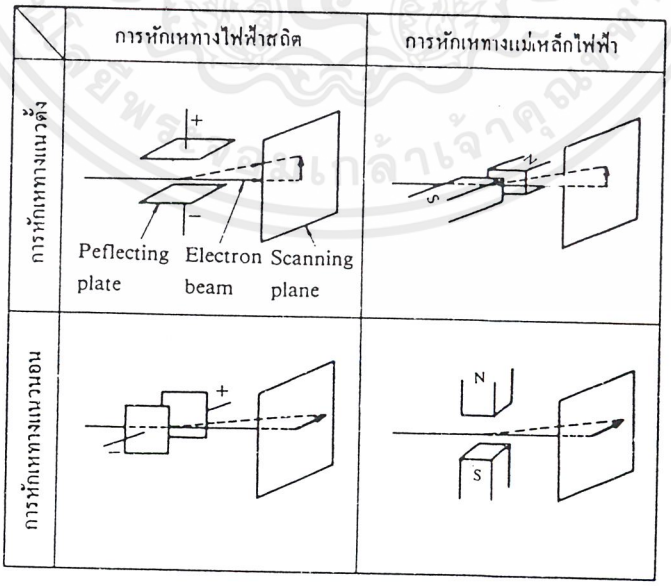
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เวลาของการรีเทรซจะใช้ประมาณ 10-16 เปอร์เซ็นต์ของเวลาทั้งหมดในระบบเอฟซีซี เราใช้เวลาในการสแกนทางแนวนอนเท่ากับ 63.5 ไมโครเซ็กคั่น ดังนั้นเวลาของการรีเทรซจึงเท่ากับ 6.35 ไมโครเซ็กคั่น ส่วนระบบ ซีซีไออาร์ เราใช้เวลาในการสแกนเท่ากับ 64 ไมโครเซ็กคั่น ดังนั้นเวลาในการรีเทรซจึงเท่ากับ 6.4 ไมโครเซ็กคั่น ในส่วนของทางด้านความถี่หักเหทางแนวตั้ง (Vertical) เราใช้เวลาในการรีเทรซไม่เกิน 5-8 เปอร์เซ็นต์ อย่างเช่นเราใช้เวลาในส่วนนี้เท่ากับ 3 เปอร์เซ็นต์ ของเวลา 1/50 หรือ 1/60 ของวินาที ดังนั้นเวลาของการรีเทรซจึงเท่ากับ 600 ไมโครเซ็กคั่น และ 500 ไมโครเซ็กคั่น ตามลำดับ นั่นหมายความว่าในช่วงของการรีเทรซทางแนวตั้งกินเวลานานกว่าการสแกนทางแนวนอนประมาณ 8-10 เส้นภาพ

2.3 การหักเหลำอิเล็กตรอน

เมื่อกล่าวถึงการสแกนเพื่อเปลี่ยนสัญญาณภาพให้เป็นสัญญาณทางไฟฟ้าในเครื่องส่ง หรือสแกนเพื่อเปลี่ยนสัญญาณทางไฟฟ้าให้เป็นสัญญาณภาพบนจอของหลอดภาพในเครื่องรับโทรทัศน์ล้วนต้องใช้ลำอิเล็กตรอนเป็นสำคัญ โดยเฉพาะในเครื่องรับ ภาคแสดงผลของสัญญาณภาพหรือหลอดภาพ ซึ่งโครงสร้างเบื้องต้นของหลอดภาพอาศัยการยิงลำอิเล็กตรอน (Electron Gun) โดยมีไฟแรงสูงเป็นตัวคอยดึงให้ลำอิเล็กตรอนวิ่งเข้าชนจอเรืองแสงที่หน้าจอ กรณีนี้จะทำให้เกิดแสงเพียงจุดเดียวกลางจอ เราจะทำให้ได้เส้นภาพอย่างที่กล่าวมาแล้วสามารถกระทำได้โดยการเบี่ยงเบนหรือหักเหลำอิเล็กตรอน (Deflection) ให้เกิดการกวาด (Scan) ตามหลักที่กล่าวมา

ลักษณะของลำอิเล็กตรอนนั้นเมื่อวิ่งเข้าไปที่สนามไฟฟ้าสถิตย์หรือสนามแม่เหล็กจะสามารถเปลี่ยนทิศทางได้ดังรูปที่ 2.3

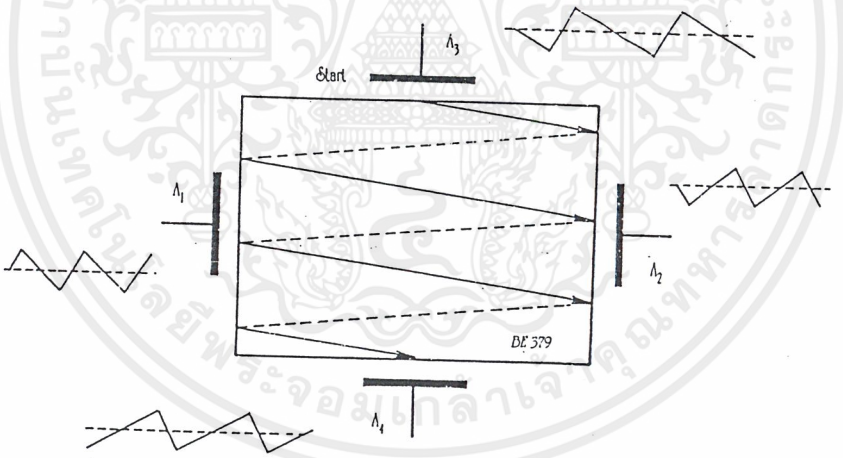


รูปที่ 2.3 การหักเหของลำอิเล็กตรอนทางไฟฟ้าสถิต และทางแม่เหล็กไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากหลักการของสนามไฟฟ้ากับเรื่องของสนามแม่เหล็กมีความแตกต่างกันอยู่ตามหลักการของการเบี่ยงเบนหักเห อย่างเช่นเรื่องของสนามไฟฟ้าเมื่อมาพบกับลำอิเล็กตรอนเราต้องอาศัยหลักการสนามไฟฟ้าโดยขั้วหรือศักย์ไฟฟ้าเหมือนกันจะผลักกัน ต่างกันจะดึงดูดกันอย่างในภาพ 2.3 ลำอิเล็กตรอนเราถือว่าเป็นสนามไฟฟ้าศักย์ลบ หากสนามไฟฟ้าที่เป็นอิเล็กโทรสแตติกขั้วบวกอยู่ด้านบนขั้วลบอยู่ด้านล่าง จะมีผลทำให้ลำอิเล็กตรอนเฉไปทางด้านบน เนื่องจากสนามไฟฟ้าบวกดึงดูดลำอิเล็กตรอนเข้าไปหาและสนามไฟฟ้าลบผลักลำอิเล็กตรอนให้ห่างออกไป นั่นเป็นวิธีการหักเหทางแนวตั้ง ในทางกลับกันหากเราจะให้เกิดการหักเหแนวนอนก็สามารถทำได้โดยวางสนามไฟฟ้าในแนวนอน

หากเอาหลักการหักเหลำอิเล็กตรอนตามหลักการของสนามแม่เหล็กจำเป็นต้องอาศัยทฤษฎีเข้ามาอธิบายหลักการของสนามแม่เหล็กตามกฎมือซ้ายทำให้เราสามารถอธิบายได้ว่าการที่ลำอิเล็กตรอนวิ่งเข้าชนสารเรืองแสงที่หน้าจอ นั่นเปรียบเหมือนกระแสวิ่งออก ดังนั้นทิศทางของสนามแม่เหล็กจึงจะหมุนด้วยทิศทางที่ทวนเข็มนาฬิกาเมื่อมาเจอกับสนามแม่เหล็กที่ใช้หักเหลำอิเล็กตรอนที่พุ่งจากขั้งเหนือไปยังขั้วใต้ กรณีเช่นนี้หากวางแม่เหล็กในแนวนอนจะเกิดการเบี่ยงเบนลำอิเล็กตรอนทางแนวตั้ง ในทางตรงกันข้ามหากวางแม่เหล็กในแนวตั้งจะเกิดการหักเหในแนวนอน



รูปที่ 2.4 การสแกนโดยใช้หลักของการเบี่ยงเบนสนามไฟฟ้า

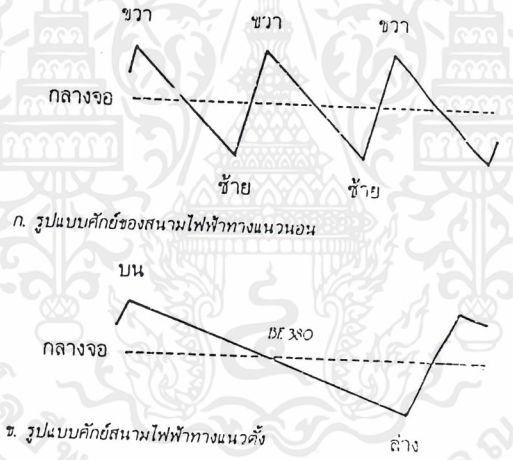
หลักการเบี่ยงเบนลำอิเล็กตรอนโดยอำนาจสนามไฟฟ้า (Electrostatic Deflection) ดูเหมือนจะง่ายที่สุดในการอธิบายถึงการสแกน

สมมติว่าในการกวาดลำสแกนครั้งแรกเราต้องให้เส้นที่ต้องการเริ่มต้นครงจุด Start หรือมุมบนซ้าย ในกรณีนี้เราต้องใช้สนามไฟฟ้าศักย์บวกป้อนเข้าที่อิเล็กโทรดแผ่นที่ 1 (A1) และแผ่นอิเล็กโทรดแผ่นที่ 2 (A2) ต้องที่ศักย์ตรงกันข้ามคือศักย์ลบ ในกรณีนี้มีผลทำให้ลำอิเล็กตรอนถูกสนามไฟฟ้าบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดึงเข้าไปหาในขณะแผ่นลบผลักช่วยด้วยในเวลาเดียวกัน นี่คือสนามไฟฟ้าในแนวนอน (Horizontal Electrostatic) หากสนามไฟฟ้าที่แผ่นอิเล็กโทรดแผ่นที่ 3 (A3) ได้รับสนามไฟฟ้าศักย์บวก และแผ่นที่ 4 (A4) ได้รับศักย์ลบ แผ่นที่ 3 จะดึงลำอิเล็กตรอนให้ขึ้นไปยังด้านบน ในขณะที่แผ่นที่ 4 ช่วยในการผลักขึ้นไป กรณีเช่นนี้ทำให้ลำแสงปรากฏอยู่ตรงมุมบนซ้ายของจอภาพได้แล้ว

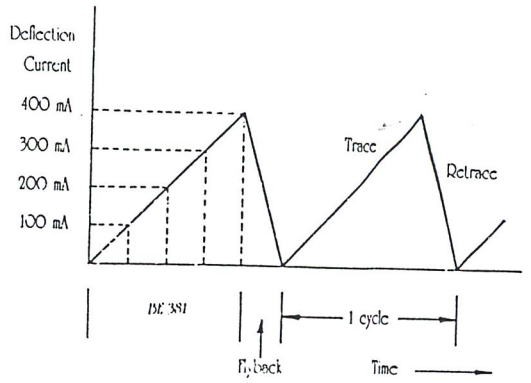
หากต้องการให้ลำแสงสแกนจากด้านซ้ายไปด้านขวา แผ่นที่ 1 จะต้องลดไฟบวกลงจนกลับเป็นลบ และให้แผ่นที่ 2 เพิ่มศักย์ขึ้นเป็นบวก ลำอิเล็กตรอนจึงถูกแผ่นที่ 1 ผลักออกห่าง และแผ่นที่ 2 จะดึงอิเล็กตรอนเข้าไปหา จึงเกิดลำแสงจากด้านซ้ายไปด้านขวาได้แล้ว หากต้องการให้มีการกวาดลำแสงจากขวากลับมาซ้ายอีกครั้ง สนามไฟฟ้าแผ่นที่ 1 และแผ่นที่ 2 ต้องสลับศักย์ไฟฟ้าเหมือนตอนแรกอีกครั้ง แต่หลักการสแกนบอกว่าการสแกนครั้งต่อ ๆ ไป ต้องไม่ทับเส้นเดิม หากเราจะให้เป็นไปในลักษณะดังกล่าวสามารถทำได้โดยค่อย ๆ ลดศักย์ไฟฟ้าของแผ่นที่ 3 ลงและค่อย ๆ เพิ่มศักย์ของสนามไฟฟ้าแผ่นที่ 4 ขึ้น ก็จะทำให้ลำอิเล็กตรอนถูกดึงลงมาทางด้านล่าง เมื่อแผ่นที่ 3 มีศักย์สูงสุด และแผ่นที่ 4 มีศักย์บวกสูงสุด นั่นหมายถึงเส้นภาพลงมาสุดขอบจอภาพทางด้านล่างแล้ว



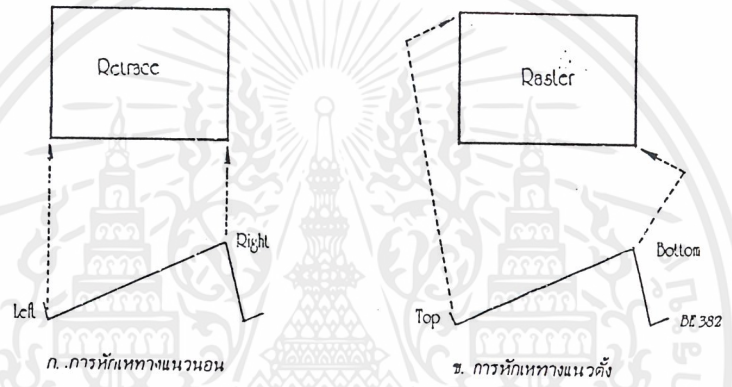
รูปที่ 2.5 สนามไฟฟ้าที่ใช้เพื่อการสแกน

จากหลักการดังกล่าวถ้าเอามาเปรียบเทียบกับสัญญาณทางไฟฟ้าแล้ว เราจะพบว่าหากเราจะสร้างกรรมวิธีสแกน ต้องสร้างสัญญาณการสแกนเป็นรูปฟันเลื่อย และสัญญาณดังกล่าวจะต้องเป็นเส้นตรงจริง ๆ จึงจะทำงานได้ถูกต้อง (Precision) เมื่อเอาหลักการเบี่ยงเบนลำอิเล็กตรอนดังกล่าวมาใช้ในรูปแบบของสนามแม่เหล็ก ซึ่งตัวที่จะสร้างอำนาจแม่เหล็กไฟฟ้าคือ ดีเฟล็กชั่น โย๊ค (Deflection Yoke) ซึ่งเป็นขดลวดสร้างสนามแม่เหล็ก สัญญาณที่จะต้องป้อนเข้าไปยังชุดนี้จึงต้องมีลักษณะเบื้องต้น ดังรูปที่ 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 สัญญาณฟันเลื่อนที่จะใช้การสแกนทั้งทางแนวนอนและแนวตั้ง



รูปที่ 2.7 แสดงวิธีการเบื้องต้นอันเป็นแนวคิดของเส้นเทรซและรีเทรซทั้ง 2 แนว

จากรูปที่ 2.8 เป็นรูปแบบของการสแกนที่เราแสดงการสแกนเพียง 21 เส้น (21 Line) โดยในระบบ 525 เส้นหรือในระบบ 625 เส้น ครึ่งหนึ่งของ 21 เส้นคือ 10.5 เส้น ในส่วนนี้มีผลมาจากเส้นรีเทรซทางเวอร์ติคอลพ่วงเข้ามาด้วย ดังนั้นเส้นภาพที่ปรากฏจริงจึงไม่ครบ 21 เส้น สมมติว่าเราสามารถเห็นเส้นภาพในการสแกนนี้เพียงครั้งละ 9.5 เส้นเท่านั้น

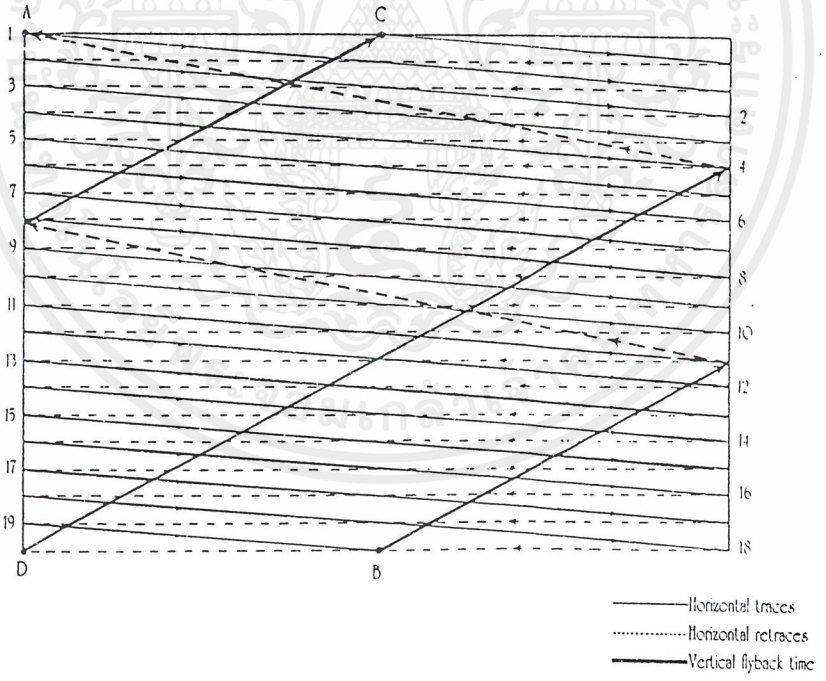
เริ่มตั้งแต่การสแกนจากมุมซ้ายบนสุด (จุด A) เส้นสแกนแรกจะบีม (Beam) ลำอิเล็กตรอนจากทางซ้ายไปทางขวาและสะบัดกลับ (Retrace) มาเริ่มต้นทางซ้ายอีกครั้งในตำแหน่งไลน์ที่ 3 (คำว่าเส้นภาพอาจใช้ทับศัพท์ว่า " ไลน์ " ก็ได้) และขบวนการสแกนเส้นภาพเส้นคี่จะดำเนินไปเหมือนครั้งแรกแล้วเริ่มไลน์ถัดไป จนกระทั่งได้ 9.5 เส้นหรือจุด B ซึ่งเป็นขอบล่างของจอภาพ การที่มันสามารถสแกนได้อย่างนี้เพราะในขณะนั้นมีสัญญาณเพื่อการเบี่ยงเบนลำอิเล็กตรอนทางแนวนอน ทำให้เกิดเส้นเทรซและรีเทรซ โดยสัญญาณเบี่ยงเบนลำอิเล็กตรอนทางแนวตั้งจะดึงเส้นภาพที่ได้จากการสแกนมิให้เกิดการทับเส้นกัน จนกระทั่งแรงดึงสูงสุดเมื่อเส้นภาพถึงจุด B ในจังหวะนี้เองจะเป็นช่วงเวลาของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การรีเทรซสัญญาณทางแนวตั้ง ลำอิเล็กตรอนจึงลาดเอียงขึ้นไปทางด้านบนของทิศทางการสแกนจนกระทั่งสิ้นสุดที่จุด C อย่าลืมว่าในขณะที่เกิดการรีเทรซทางแนวตั้งสัญญาณเทรซและรีเทรซทางแนวนอนจะยังคงดำเนินต่อไป นี่เองที่ทำให้เส้นภาพที่ควรจะเกิดบนหน้าจอขาดหายไป อย่างกรณีตัวอย่างนี้เราจะเห็นว่าขาดหายไปประมาณ 2 เส้นภาพ โดยขาดหายไปในระหว่างการสแกนเส้นคี่ 1 เส้นภาพ และเมื่อมีการสแกนเส้นคู่จากจุด C จนกระทั่งมาถึงจุด D จังหวะนั้นจะมีการรีเทรซทางแนวตั้งอีกครั้ง จะพบว่าเส้นภาพจะขาดหายไปอีก 1 เส้น

การที่จะให้การสแกนเส้นคี่และเส้นคู่ในระบบการสแกนสอดแทรกเป็นไปในลักษณะที่เห็น (คือหากตอนแรกสแกนเส้นคี่ และครั้งต่อมาสแกนเส้นคู่ โดยเส้นคู่ที่เริ่มสแกนตรงส่วนบนของจอภาพจะเริ่มที่จุดกึ่งกลางของเส้นภาพ) ความถี่เพื่อการหักแบ่ยงเบนลำอิเล็กตรอนเพื่อการสแกนทางแนวตั้งและแนวนอนต้องแน่นอน มิฉะนั้นจะควบคุมสัญญาณฟันเลื่อยเพื่อการเทรซและรีเทรซไม่ได้เลย

ในช่วงการรีเทรซไม่ว่าจะเป็นทางแนวตั้งหรือแนวนอนจะต้องถูกควบคุมให้เกิด “ แบลงกิ้ง ” (Blanking) ซึ่งความหมายของแบลงกิ้งมีความหมายถึงการทำให้มืด (go to black) ดังนั้นสัญญาณภาพรวมต้องมีสัญญาณแบลงกิ้งส่งไปให้เครื่องรับลบเส้นสะบัดกลับด้วยในเวลาเดียวกัน



รูปที่ 2.8 หลักการเบื้องต้นที่เป็นตังอย่างในการอธิบายเรื่องการสแกน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 สัญญาณภาพรวม

สัญญาณภาพรวม (Composite Video Signal) ซึ่งการที่เราจะทำเครื่องรับโทรทัศน์บรรลุวัตถุประสงค์ได้นั้นต้องให้สถานีโทรทัศน์ส่งสัญญาณต่าง ๆ ดังนี้

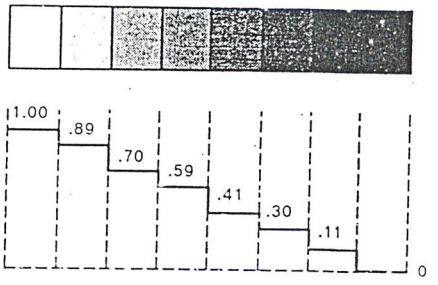
1. สัญญาณเสียง
2. สัญญาณภาพ
3. สัญญาณแบลงกิ้ง
4. สัญญาณซิงโครไนซ์
5. สัญญาณอีควอไลซิ่ง

ในส่วนของระบบสัญญาณเสียงเราจะใช้คลื่นพาห์ (Carrier) เฉพาะ เพราะทราบกันเบื้องต้นแล้วว่าระบบเสียงในโทรทัศน์เป็นระบบเอฟเอ็ม. ส่วนสัญญาณภาพและอื่น ๆ ที่เหลือนั้นเราจะส่งเป็นสัญญาณภาพรวม แล้วใช้คลื่นพาห์ภาพส่งออกไป การที่เราต้องส่งสัญญาณทั้ง 5 ตัวออกอากาศแพร่คลื่นออกเพื่อวัตถุประสงค์ดังนี้

1. สัญญาณภาพและสัญญาณเสียง เป็นสัญญาณที่ส่งออกไปเพื่อให้เกิดภาพและเสียงขึ้นในเครื่องรับโทรทัศน์
2. สัญญาณซิงโครไนซ์ เป็นสัญญ เณที่ส่งมาเพื่อช่วยให้วงจรหักเหทางแนวตั้งและวงจรหักเหทางแนวนอน เพื่อให้เครื่องส่งและเครื่องรับทำงานสอดคล้องตรงกัน
3. สัญญาณแบลงกิ้ง เป็นสัญญาณที่ส่งเพื่อให้ลบเส้นสะบัดกลับทั้งในแนวนอนและแนวตั้ง
4. สัญญาณอีควอไลซิ่ง เป็นสัญญาณที่ช่วยให้สัญญาณซิงโครไนซ์ทั้งในแนวนอนและแนวตั้งยังคงรูปเดิมอยู่ได้ แม้ว่าการสแกนแบบสลับเส้นก็ตาม

2.4.1 สัญญาณภาพขาว-ดำ

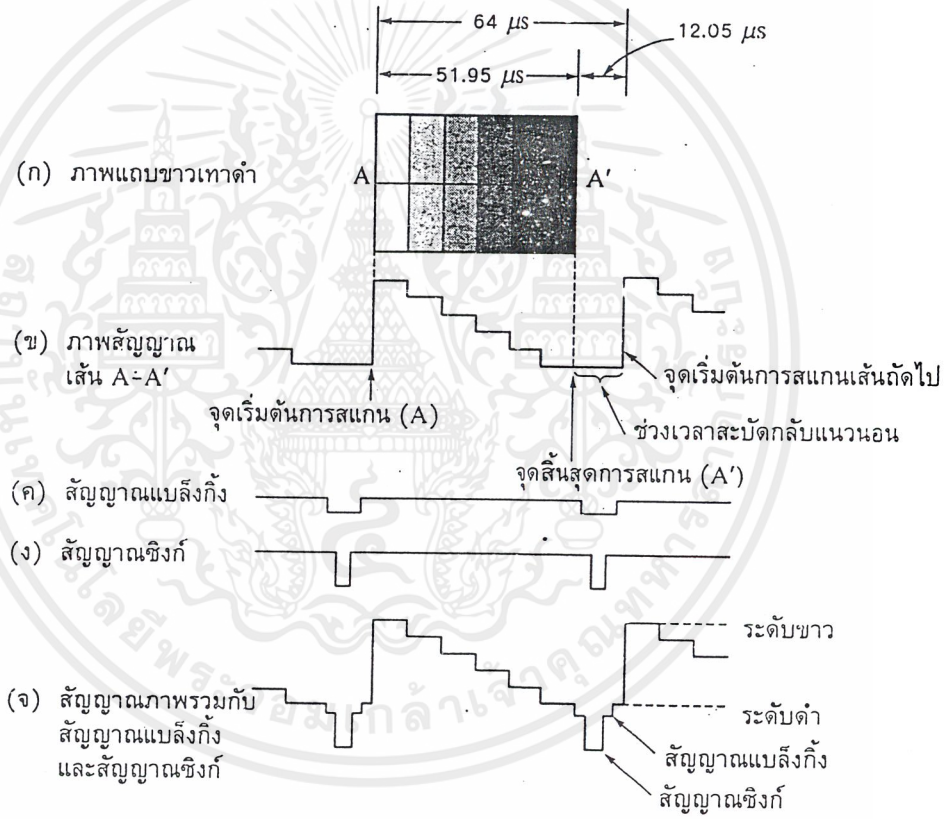
สมมติว่าเราจะดูระดับสัญญาณขาว-ดำ กรณีที่เรากล่าวถึงสัญญาณขาว-ดำหรือสัญญาณโมโนโครมได้ดีที่สุดต้องกล่าวว่า ภาพที่เป็นสีขาวคือภาพที่มีความสว่างมากที่สุด และภาพที่มีสีดำคือภาพที่ไม่มีความสว่างเลย ภาพจำลองที่ดีที่สุดของกรณีนี้คือแถบที่มีความแตกต่างระดับขาวดำทีละน้อย ซึ่งเราเรียกว่าระดับเกรย์สเกล



รูปที่ 2.9 แสดงระดับสัญญาณขาว-ดำ โดยเกรย์สเกล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากภาพที่ 2.9 แสดงให้เห็นระดับเกรย์สเกล ในกรณีที่ระดับสัญญาณภาพสีขาวเข้ามา นั่นหมายความว่า ระดับความแรงของสัญญาณภาพมากที่สุดจึงให้ความส่องสว่างที่หน้าจอสว่างมากที่สุด และเมื่อระดับสัญญาณสีขาวลดลงเป็นสีมัว เทาและดำนั้น ระดับสัญญาณจะลดลงมาเรื่อย ๆ นั่นหมายความว่า เมื่อสัญญาณมีความแรงน้อยลงความส่องสว่างจะน้อยลงตามไปด้วย อันที่จริงแล้วภาพแต่ละภาพเป็นสัญญาณความถี่ทางไฟฟ้าที่มีความถี่สูงต่ำไม่เท่ากัน โดยความถี่สูงสุดจะไม่เกิน 4 เมกะเฮิรตซ์ในระบบเอฟซีซี. และไม่เกิน 5 เมกะเฮิรตซ์ในระบบซีซีไออาร์. ภาพที่เกิดจากความถี่สูงย่อมมีความละเอียดกว่าความถี่ต่ำ (มีจำนวนจุดดำมากกว่า)



รูปที่ 2.10 แสดงลักษณะของสัญญาณภาพรวมเบื้องต้น

2.4.2 สัญญาณซิงโครไนซ์

สัญญาณซิงโครไนซ์ เป็นสัญญาณเพื่อให้การสแกนเป็นไปอย่างถูกต้อง ทั้งการสแกนทางแนวนอนและแนวตั้ง โดยสัญญาณซิงโครไนซ์หรือสัญญาณซิงค์มีอยู่ 2 สัญญาณ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ฮอริซอนทอล ซิงโครไนซ์ (Horizontal Synchronize)

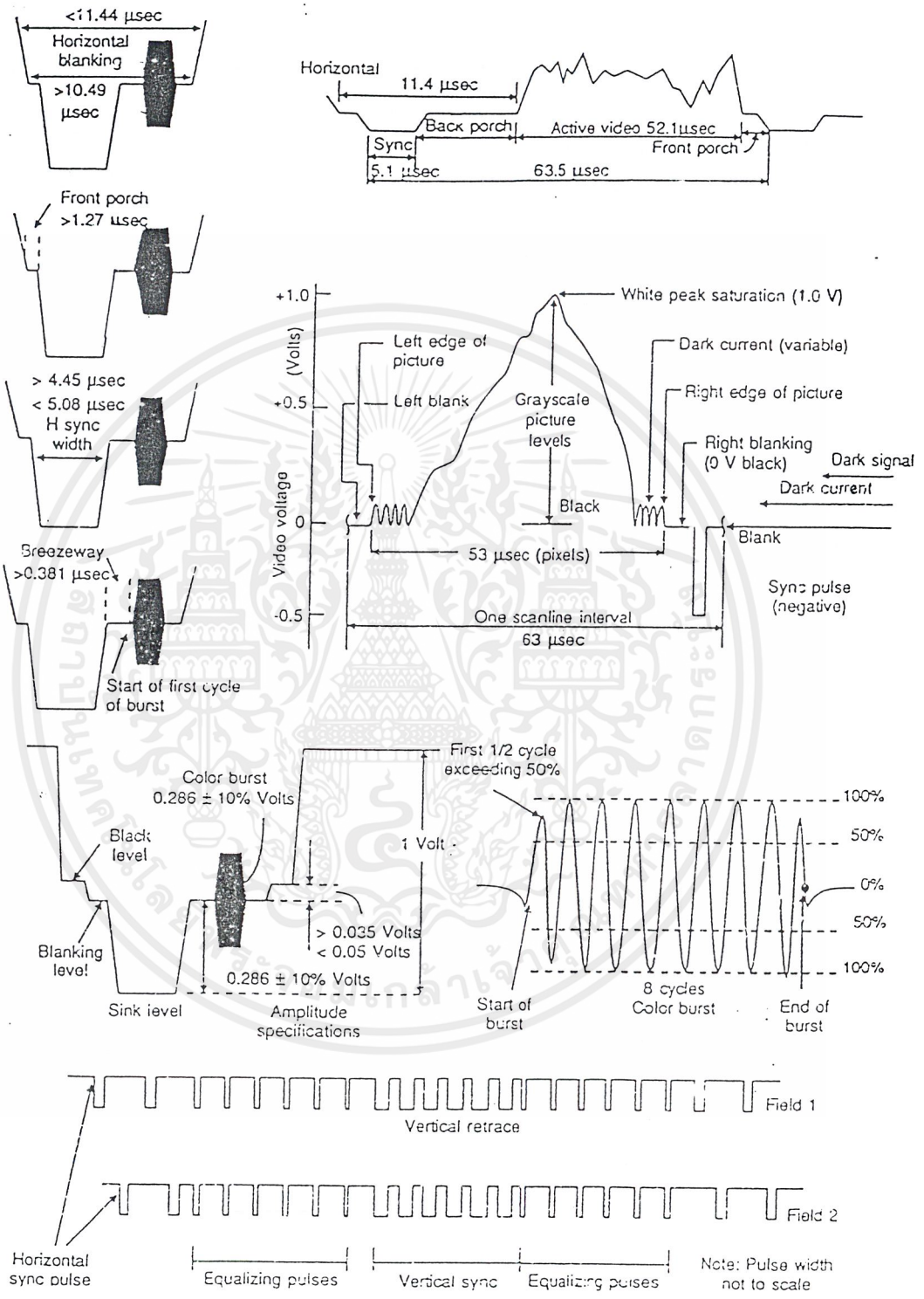
ฮอริซอนทอล ซิงโครไนซ์ เป็นสัญญาณซิงโครไนซ์ทางแนวนอน ซึ่งมีความถี่ 15,625 เฮิรตซ์ ในระบบซีซีไออาร์ หรือ 15,750 เฮิรตซ์ในระบบเอฟซีซี ถ้าไม่มีสัญญาณส่วนนี้ส่งมาจะทำให้ภาพเกิดการล้มได้

สัญญาณภาพแต่ละเส้นนั้นประกอบไปด้วยสัญญาณ 2 ส่วน คือสัญญาณแบลงกิ้ง (Horizontal Blanking) และสัญญาณข้อมูลภาพ (Active Video Information) ซึ่งจุดเริ่มของสัญญาณภาพแต่ละเส้นจะเป็นจุดเริ่มของสัญญาณแบลงกิ้ง (Leading edge of Horizontal Blanking) สัญญาณแบลงกิ้งทางแนวนอนนี้จะมีช่วงเวลาที่คงที่และมีระดับแรงดันที่ทำให้ไม่ปรากฏเป็นสัญญาณภาพที่จอภาพ คือสัญญาณในส่วนนี้จะมืด สัญญาณแบลงกิ้งนี้จะประกอบด้วย 3 ส่วน คือฟร้อนพรอช (front porch) สัญญาณซิงค์พัลซ์ (Horizontal sync pulse) และแบ็คพรอช (Back porch) ในส่วนของฟร้อนพรอช จะเป็นช่วงเวลาสั้น ๆ ประมาณ 2.5 เปอร์เซ็นต์ ของเวลาในการสแกนทางแนวนอน (64 ไมโครเซกคั่น) หรือประมาณ 1.47 ไมโครเซกคั่น และมีระดับแรงดันอยู่ในระดับที่ต่ำกว่าจุดดำ และต่อจากส่วนนี้จะเป็นสัญญาณซิงค์พัลซ์ ซึ่งจะมีช่วงเวลา 4.89 ไมโครเซกคั่น และจะมีระดับแรงดัน – 0.5 โวลท์ ซึ่งสัญญาณส่วนนี้จะทำให้ลำอิเล็กตรอนสะบัดกลับและเริ่มการสแกนเส้นถัดไปที่จุดซ้ายสุดของจอภาพ และในส่วนสุดท้ายคือแบ็คพรอช ซึ่งจะมีช่วงเวลา 4.4 ไมโครเซกคั่น และสัญญาณช่วงนี้จะเกิดบริเวณซ้ายสุดของจอภาพ ซึ่งจากสัญญาณภาพแต่ละเส้นจะใช้เวลาในการสแกน 63.5 ไมโครเซกคั่น และจะแบ่งเป็นส่วนของสัญญาณข้อมูลภาพ 82.5 เปอร์เซ็นต์ และสัญญาณแบลงกิ้งทางแนวนอน 17.5 เปอร์เซ็นต์ และเป็นส่วนของฟร้อนพรอช 2.5 เปอร์เซ็นต์ สัญญาณซิงค์พัลซ์ 10 เปอร์เซ็นต์ และแบ็คพรอช 5 เปอร์เซ็นต์

2. เวอร์ติคอล ซิงโครไนซ์ (Vertical Synchronize)

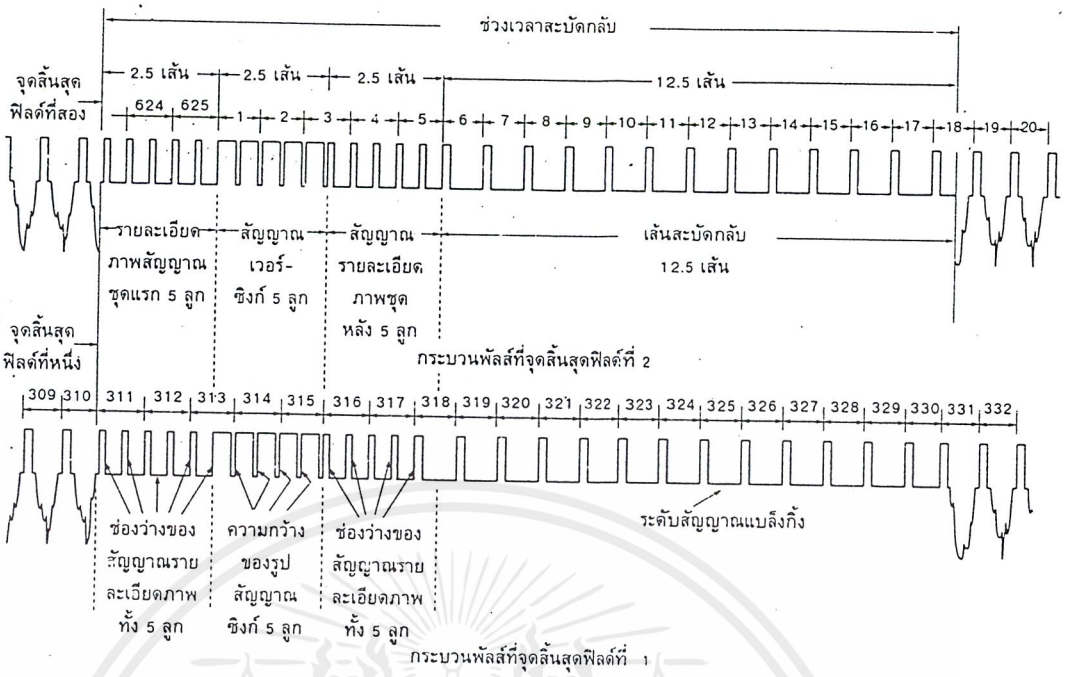
เวอร์ติคอล ซิงโครไนซ์ เป็นสัญญาณซิงโครไนซ์ทางแนวตั้ง ซึ่งมีความถี่ 50 เฮิรตซ์ในระบบซีซีไออาร์ หรือ 60 เฮิรตซ์ในระบบเอฟซีซี ถ้าไม่มีการส่งสัญญาณส่วนนี้มาจะทำให้ภาพเลื่อน เนื่องจากสัญญาณซิงโครไนซ์กับสัญญาณแบลงกิ้งไม่ว่าจะเป็นทางแนวนอนหรือแนวตั้ง จะมีความถี่เท่ากันจึงต้องกำหนดตำแหน่งการส่งให้ถูกต้อง มิฉะนั้นจะเกิดการรบกวนกันได้ ในทางปฏิบัติจึงให้สัญญาณซิงค์พัลซ์มีขนาดความกว้างน้อยกว่าแบลงกิ้งพัลซ์ แล้วใช้วิธีการส่งแบบผสม กล่าวคือส่งซิงค์พัลซ์และแบลงกิ้งพัลซ์ไปด้วยกัน ให้แบลงกิ้งพัลซ์เป็นฐานของซิงค์พัลซ์ เมื่อมีการจัดระดับของสัญญาณส่วนนี้เทียบกับเกรย์สเกล ระดับของแบลงกิ้งจะอยู่ที่ระดับต่ำกว่าดำ ส่วนซิงค์จะเป็นระดับต่ำกว่าระดับดำมากกว่าลงไปอีก สัญญาณเหล่านี้ไม่มีการส่งผลต่อการมองเห็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

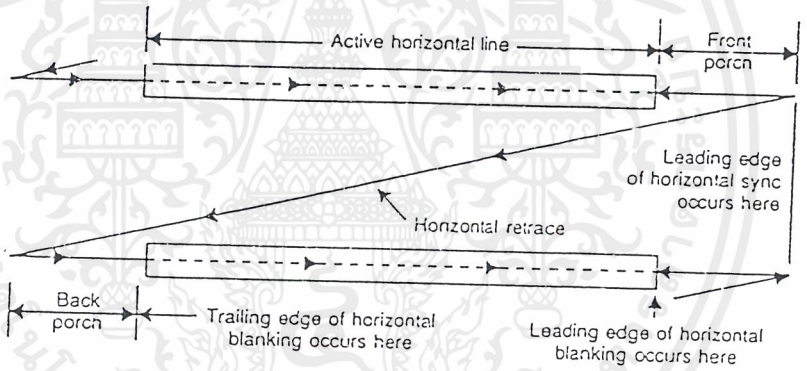


รูปที่ 2.11 แสดงลักษณะและค่าเวลาต่าง ๆ ของสัญญาณภาพวีดีโอรวม

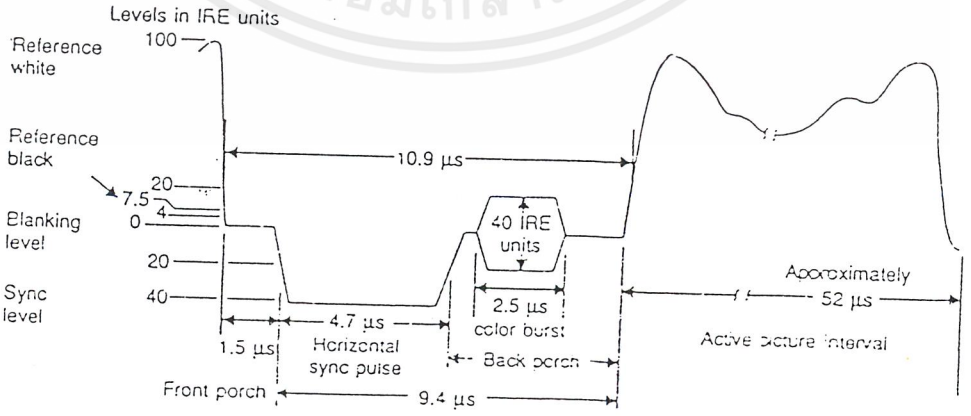
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 รายละเอียดของเส้นการสแกน



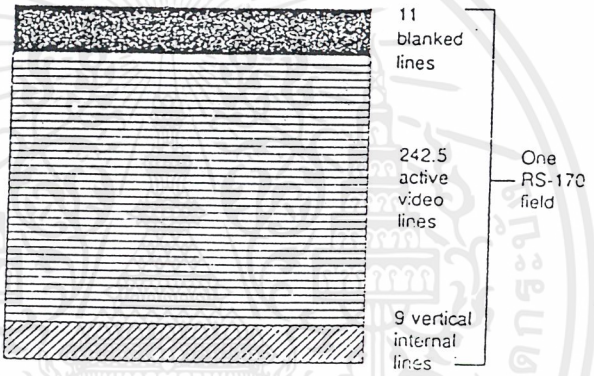
รูปที่ 2.13 แสดงจุดฟร้อนพรอชและแบล็คพรอชของสัญญาณภาพ



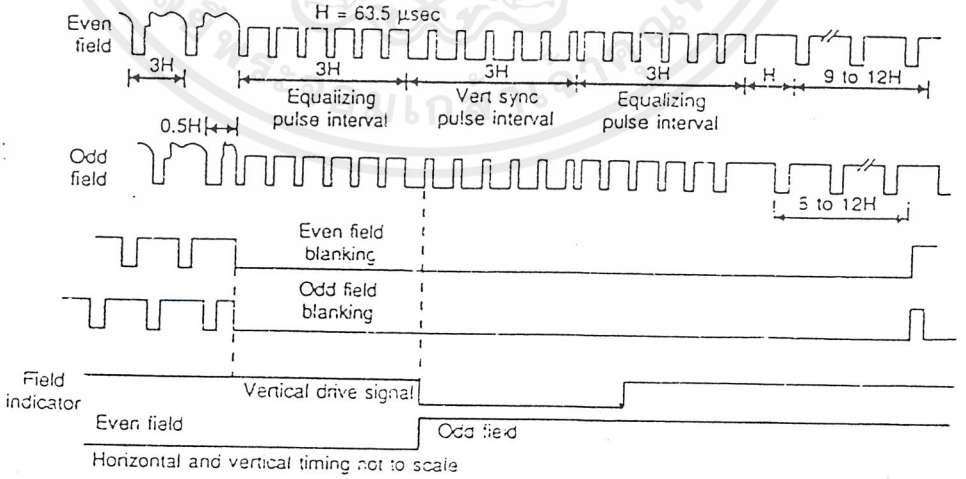
รูปที่ 2.14 แสดงส่วนประกอบของสัญญาณซิงค์ทางแนวนอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณแต่ละฟิลด์จะประกอบด้วยสัญญาณแบลงกิ้งและสัญญาณข้อมูลภาพ จุดเริ่มของสัญญาณแต่ละฟิลด์จะเป็นส่วนของสัญญาณแบลงกิ้งซึ่งจะเกิดหลังจากสัญญาณภาพเส้นสุดท้ายของส่วนสัญญาณภาพฟิลด์ก่อนหน้านี้และจะกินเวลาของการสแกนเส้นภาพไป 20 เส้น ซึ่งจะเกิดที่บริเวณ 9 เส้นสุดท้ายและ 11 เส้นแรกของการสแกนในแต่ละฟิลด์ และจากภาพ 2.15 ในช่วง 3H แรกนั้นจะเป็นฟร้อนพรอชทางแนวตั้ง (Vertical front porch) ซึ่งประกอบด้วยพัลซ์ที่มีช่วงเวลาสั้น ๆ ความถี่เป็น 2 เท่าของสัญญาณซิงค์ทางแนวนอนและในส่วนนี้จะเรียกว่า ปรี อีควอไลเซชั่น พัลซ์ (Pre-equalization pulses) และช่วงเวลา 3H ต่อมาจะเป็นส่วนของสัญญาณซิงค์พัลซ์ทางแนวตั้ง (Vertical sync pulse) จะมีช่วงเวลา 3*63.5 = 190.5 ไมโครเซกคั่น และส่วนสุดท้ายจะเป็นแบ็กพรอช (Back porch) ซึ่งจะมีช่วงเวลา 3H เช่นกัน และจะเรียกว่า โพส อีควอไลเซชั่น พัลซ์ (Post- equalization pulses)



รูปที่ 2.15 แสดงลักษณะการสแกนภาพใน 1 ฟิลด์



รูปที่ 2.16 แสดงความสัมพันธ์ระหว่างสัญญาณต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

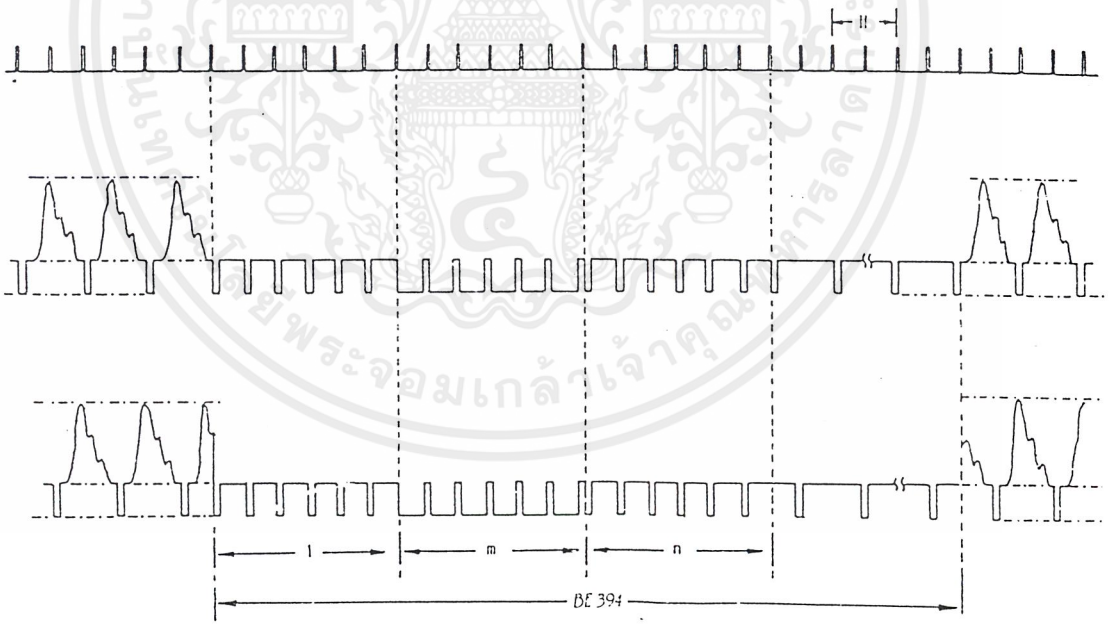
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.4.3 สัญญาณแบลงกิ้ง

การสแกนลำอิเล็กตรอนที่หน้าจอจะเกิดเส้นรีเทรซหรือเส้นสะบัดกลับ ซึ่งเป็นเส้นภาพที่เราไม่ต้องการ เครื่องส่งจึงต้องสัญญาณแบลงกิ้ง (Blanking) เพื่อบังคับให้เครื่องรับสามารถบังคับเส้นสะบัดกลับได้สัญญาณแบลงกิ้งส่วนหนึ่ง เครื่องรับจะต้องสร้างขึ้นเหมือนการสร้างสัญญาณซิงโครไนซ์แต่มันจะสัมพันธ์กับเครื่องส่งได้อย่างไร จึงต้องมีการสร้างสัญญาณแบลงกิ้งมาจากเครื่องส่งเพื่อลบเส้นสะบัดกลับในเครื่องรับ สัญญาณแบลงกิ้งมีอยู่ 2 อย่างคือเวอร์ติคอลแบลงกิ้งกับฮอริซอนตอลแบลงกิ้ง

2.4.4 สัญญาณอีควอไลซิ่ง

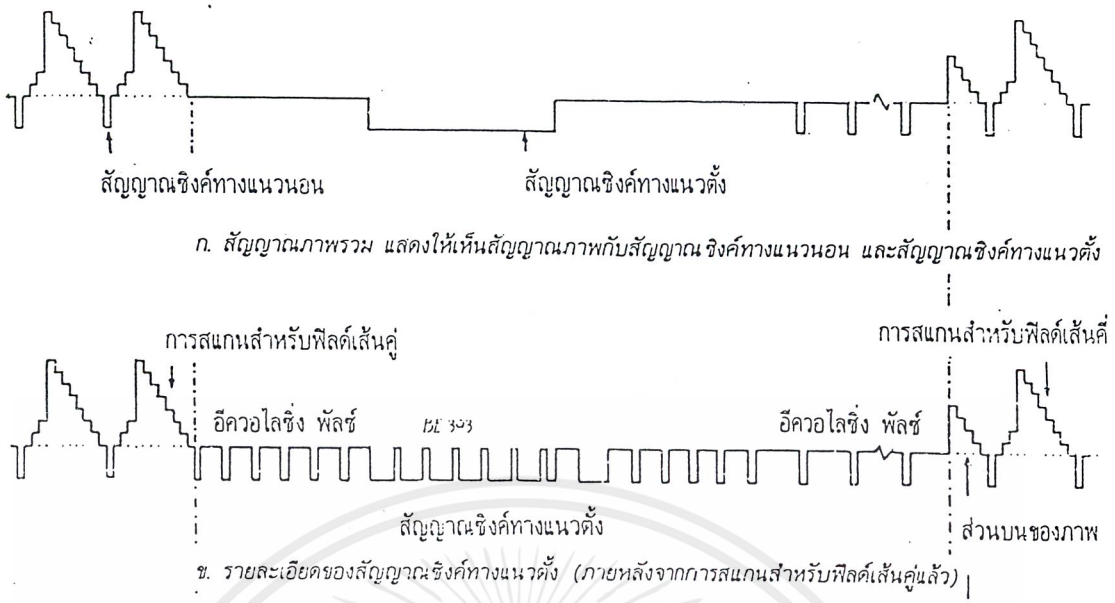
สัญญาณอีควอไลซิ่ง เป็นสัญญาณบังคับรูปร่างของสัญญาณซิงโครไนซ์ทางแนวตั้ง เพื่อให้สามารถคงรูปถูกต้องแล้วยังช่วยให้การสแกนแบบสลับเส้นเป็นไปได้ถูกต้องด้วย สามารถขึ้นเส้นคี่เส้นคู่ในตำแหน่งที่ถูกต้องได้ ทั้งยังส่งผลทางอ้อมให้สัญญาณซิงโครไนซ์ทางแนวนอนไม่ขาดช่วงหายไประหว่างการส่งสัญญาณทางแนวตั้งด้วย สัญญาณตัวนี้จะมีขนาดของพัลซ์รวมเท่ากับเวอร์ติคอลซิงโครไนซ์พัลซ์ สัญญาณส่วนนี้จะถูกแบ่งออกเป็น 6 ลูกเล็ก ๆ ในระบบ 525 เส้น และถูกแบ่งออกเป็น 5 ลูกในระบบ 625 เส้น ดังแสดงไว้ในรูปที่ 2.18



รูปที่ 2.17 แสดงระดับพัลซ์ในฟิลด์ของการซิงโครไนซ์ของระบบโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42695



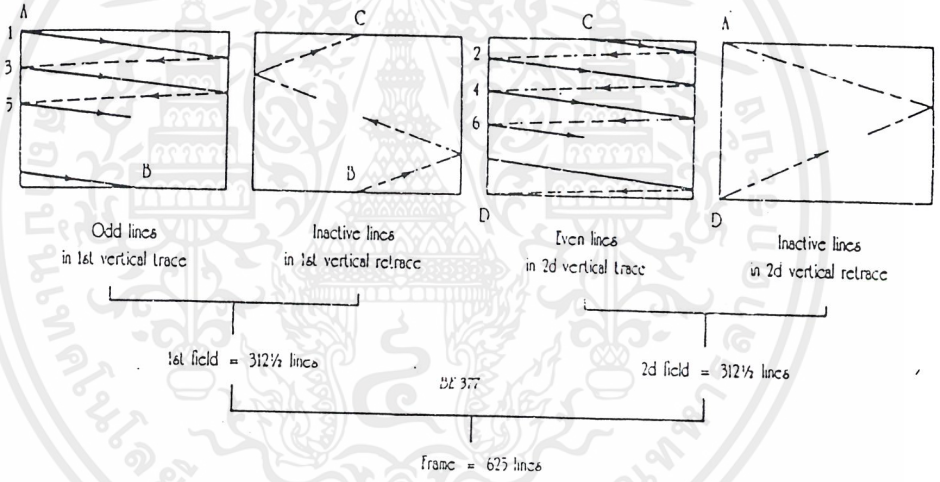
รูปที่ 2.18 แสดงสัญญาณภาพรวมที่มีรายละเอียดทุกอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
สัญญาณอนาลอกและดิจิตอล

ตัวแปลงสัญญาณอนาลอกให้เป็นดิจิตอล หรือ A/D (Analog to Digital converter) A/D Converter หรือ ADC ใช้สำหรับการแปลงสัญญาณอินพุทที่เป็นอนาลอกให้เป็นจำนวนจำกัดของดิจิตอลบิท ผลลัพธ์ที่ได้จะอยู่ในรูปของเวิร์ด (Word) ทางดิจิตอลซึ่งจะกลายเป็นรหัสเลขฐานสองที่แทนระดับ แต่ละระดับของสัญญาณอนาลอก ในขณะที่ ADC กำลังแปลงสัญญาณอยู่

ความละเอียดของ ADC จะคล้ายกับความละเอียดของ DAC อย่างมาก กล่าวคือ จำนวนบิททางเอาท์พุทมีหลาย ๆ บิท ความละเอียดของ ADC ตัวนั้นก็จะมีมากขึ้น เช่น ADC ขนาด 12 บิท ก็จะมีความละเอียดเท่ากับ 12 เป็นต้น ดังแสดงในรูปที่ 3.1



รูปที่ 3.1 ความละเอียดของ ADC จะแปรผันตรงกับจำนวนบิททางเอาท์พุท

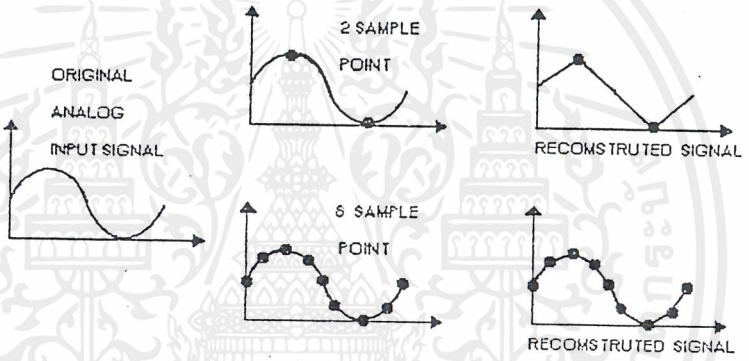
ค่าเวลาการแปรผัน (Conversion time) เป็นเกณฑ์ที่สำคัญอีกตัวหนึ่งของ ADC ตามที่ได้เห็นมาว่า การแปลงสัญญาณอนาลอกให้กลายเป็นสัญญาณดิจิตอลไม่ได้เกิดขึ้นโดยทันทีทันใด แต่ต้องมีการผ่านกระบวนการต่าง ๆ ด้วย เหตุที่ผลลัพธ์ต้องการเวลาค่าเวลาขณะหนึ่งที่จะทำการสุ่ม (Sample) สัญญาณอินพุท และให้สัญญาณดิจิตอลที่เป็นรหัสไบนารี่ออกมาที่เอาท์พุท ดังนั้นค่าเวลาการแปลงผัน คือ ช่วงเวลาที่ต้องการกระทำกระบวนการให้เสร็จสิ้น ซึ่งจะมีค่าอยู่ในช่วงประมาณไมโครเซกคั่น สำหรับ DAC ความเร็วสูง และเป็นมิลลิเซกคั่นสำหรับ DAC แบบธรรมดา เนื่องจากการเปลี่ยน ADC นั้น จะต้องการกระบวนการซิงโครไนซ์ที่แน่นอนและแม่นยำ แหล่งกำเนิดสัญญาณนาฬิกาจึงต้องมีไว้ในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 ทฤษฎีการสุ่มตัวอย่าง (Sampling Theory)

เนื่องจาก ADC ต้องการค่าเวลาขณะหนึ่งที่ใช้ในกระบวนการแปลงสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอล ช่วงเวลาช่วงหนึ่งจะใช้สำหรับการสุ่มตัวอย่าง (Sampling) ของสัญญาณ เช่น ADC สามารถเปลี่ยนสัญญาณเสร็จสมบูรณ์ได้ภายใน 1 มิลลิเซกคั่น ดังนั้นมันจึงสามารถเปลี่ยนสัญญาณได้ 1,000 ครั้งใน 1 วินาที อัตราการเปลี่ยนสัญญาณสูงสุดมีค่าเท่ากับส่วนกลับของค่าเวลาการเปลี่ยน

ตัวคอนเวอร์เตอร์จะสุ่มตัวอย่างของสัญญาณด้วยอัตราต่ำสุดเป็น 2 เท่าของความถี่สูงสุดของสัญญาณอินพุทที่เข้ามา อัตราการสุ่มนี้เรียกว่า Nyquist rate พิจารณาสัญญาณอนาลอก ที่เป็นคลื่นสัญญาณรูปซายน์ 10 เฮิรตซ์ จ่ายให้กับตัว ADC ตามรูปที่ 3.2



รูปที่ 3.2 การสุ่มหลาย ๆ ช่วงจะมีลักษณะที่ใกล้เคียงกับสัญญาณเดิม

อัตราต่ำสุดของการสุ่มตัวอย่างเป็น 20 เฮิรตซ์ ซึ่งจะให้ข้อมูลดิจิตอลขนาด 2 บิท ออกมาในแต่ละไซเกิล เมื่อข้อมูลดิจิตอลถูกนำมาสร้างเป็นสัญญาณอนาลอกขึ้นมาใหม่โดย DAC สัญญาณอนาลอกตัวใหม่มีลักษณะคล้ายคลึงกับสัญญาณเดิม ถ้าความถี่ 10 เฮิรตซ์ เป็นความถี่สูงสุดที่เข้ามายังตัว ADC ค่าเวลาที่ใช้ในการเปลี่ยนสัญญาณสูงสุดเป็น 1/20 เฮิรตซ์ หรือ 50 มิลลิเซกคั่น เป็นต้น

การที่เราจะปรับปรุงประสิทธิภาพของ ADC ในแง่ความเหมือนจริงของสัญญาณการแปลงให้อยู่ในดิจิตอล เราจะต้องเพิ่มอัตราการสุ่มขึ้นในขณะที่คาบเวลาเท่าเดิม อัตราการสุ่ม 8 จุดต่อไซเกิล ต้องการอัตราการสุ่มของส่วนประกอบความถี่สูงสุดอินพุท 8 ครั้ง เช่น สัญญาณความถี่อินพุท 10 เฮิรตซ์ จะต้องสุ่มตัวอย่างที่ 80 เฮิรตซ์ ดังนั้นตัวคอนเวอร์เตอร์ควรจะมีค่าเวลาการเปลี่ยนแปลงเป็น 1/80 เฮิรตซ์ หรือ 12.5 มิลลิเซกคั่น ถ้าตัว ADC ไม่สามารถสุ่มตัวอย่างได้เร็วพอต่อสัญญาณอินพุทที่เปลี่ยนแปลงไป ข้อมูลที่บรรจุในสัญญาณอนาลอกทางอินพุทจะสูญหายไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

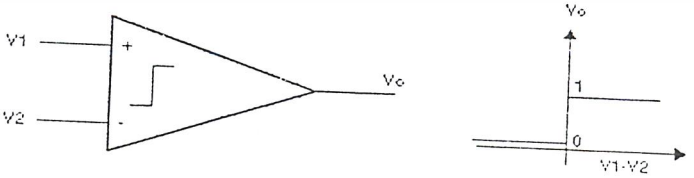
ความสัมพันธ์ระหว่างความถี่ทางอินพุท ค่าเวลาในการเปลี่ยนสัญญาณและอัตราการสุ่ม เป็นพารามิเตอร์ของ ADC ที่สำคัญตัวหนึ่งวิธีการหลาย ๆ วิธีได้ถูกพัฒนาในช่วงหลายปีที่ผ่านมา เพื่อที่จะทำการแปลงสัญญาณอนาลอกให้อยู่ในรูปของสัญญาณดิจิตอล วิธีที่ยังใช้จนถึงปัจจุบัน มีอยู่ด้วยกัน 6 วิธี

3.2 วิธีแปลงสัญญาณอนาลอกเป็นดิจิตอล

3.2.1 Basic conversion method

วิธีการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบง่าย ๆ แสดงดังรูปที่ 3.3 ก แรงดันอินพุทที่ไม่ทราบค่า V_x จะต่อเข้ากับขาอินพุทขาหนึ่งของอนาลอกคอมพาราเตอร์ และแรงดันอ้างอิงที่ขนาดแปรตามเวลา VR ต่อเข้ากับขาอินพุทอีกขาหนึ่งของคอมพาราเตอร์ ลักษณะของการโอนย้าย (Transfer Function) ของคอมพาราเตอร์แสดงในรูปที่ 3.3 ข ถ้าแรงดันอินพุท (V_1) มากกว่าอินพุท (V_2) แล้วแรงดันเอาท์พุทจะเป็นลอจิก 1 ถ้าอินพุท V_1 น้อยกว่า V_2 แล้วเอาท์พุทจะเป็นศูนย์ วิธีในการแปลงข้อมูลคือ แรงดันอ้างอิงจะถูกแปรค่าจนกระทั่งรู้ค่าแรงดันอินพุท ที่ผิดพลาดไม่เกิน Quantization error ของคอนเวอร์ทเตอร์ ในแนวความคิดแล้วตรรกะของ ADC คือพยายามเลือกกลุ่มของสัมประสิทธ์ไบนารี a_i เพื่อให้ผลต่างระหว่างแรงดันอินพุท V_x และค่าที่ Quantize ได้ครั้งสุดท้ายน้อยกว่า 0.5 LSB

ก แสดงวิธีการพื้นฐานของ ADC



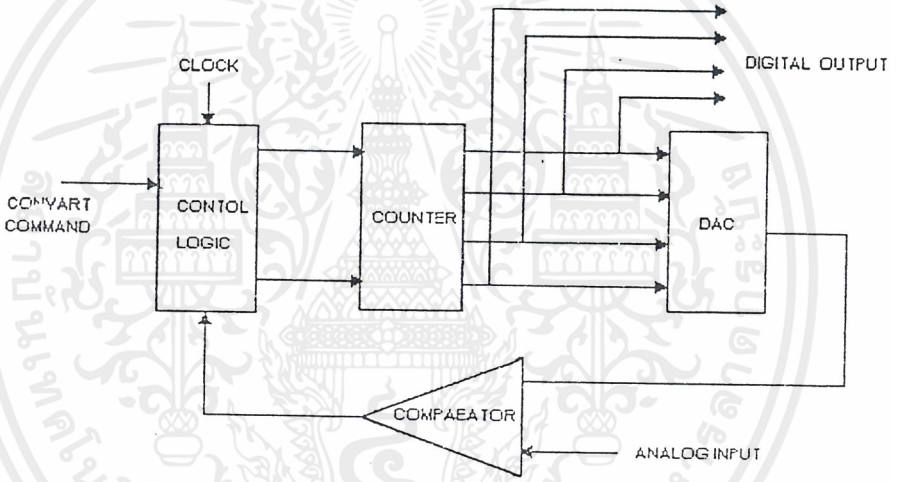
ข แสดงทรานสเฟอร์ฟังก์ชั่นของคอมพาราเตอร์

รูปที่ 3.3 แสดงวิธีการพื้นฐานของ ADC และ ทรานสเฟอร์ฟังก์ชั่นของคอมพาราเตอร์

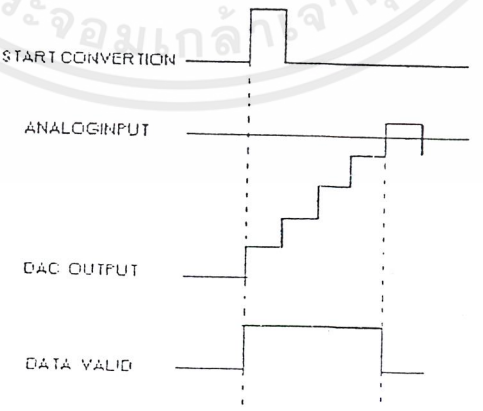
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 Counter Type ADC

การจัดวงจร ADC ลักษณะนี้ เป็นแบบที่ง่ายที่สุดหลักการทำงานของวงจรคือ การเปรียบเทียบขนาดของแรงดันที่เอาท์พุทของ DAC กับสัญญาณอนาลอกที่ไม่ทราบค่า V_{in} การทำงานจะเริ่มโดยสัญญาณ Start conversion ลอจิกคอนโทรลจะรีเซตเคาน์เตอร์ให้เป็นศูนย์ แล้วเริ่มนับขึ้นจากศูนย์ เอาท์พุทของเคาน์เตอร์ (Counter) จะป้อนให้ DAC เพื่อแปลงเป็นสัญญาณอนาลอกลักษณะเป็นขั้นบันได นำมาเปรียบเทียบกับสัญญาณอนาลอกอินพุทที่คอมพาราเตอร์ โดยเคาน์เตอร์จะยังนับจนกระทั่งเอาท์พุทเท่ากับสัญญาณอนาลอกอินพุทหรือต่างกันไม่เกิน 1 LSBแล้วคอมพาราเตอร์จะเปลี่ยนสถานะไปหยุดการนับของเคาน์เตอร์และ แลทช์ค่าจากเคาน์เตอร์เพื่อรอการประมวลต่อไป และรอสัญญาณเริ่มต้นใหม่



ก บล็อกไดอะแกรมของ Counter Type ADC



ข ไทม์มิ่งไดอะแกรมของ Counter Type ADC

รูปที่ 3.4 บล็อกไดอะแกรม และไทม์มิ่งไดอะแกรมของ Counter Type ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนี้มีข้อเสียคือ ทำงานได้ช้าเพราะการ Conversion แต่ละครั้งเคาน์เตอร์จะต้องถูกรีเซตและเริ่มนับจากศูนย์ทุกครั้ง ดังนั้น ในการ Conversion เป็นดิจิตอล n บิท จะใช้จำนวนนาฬิกา (Clock) ถึง 2^n เพื่อเปลี่ยนให้ได้ค่าสูงสุดเต็มสเกล ส่วนข้อดีคือ สร้างง่าย รวดเร็ว ราคาถูกแต่ความแม่นยำขึ้นอยู่กับ DAC ที่ใช้

3.2.3 Tracking ADC

Tracking ADC จะปรับปรุงวงจรจากแบบ Counter Type ทางด้านความเร็ว โดยใช้เคาน์เตอร์แบบนับขึ้นลงได้ไม่จำเป็นต้องเริ่มนับจากศูนย์ทุกครั้ง แต่จะเริ่มนับจากค่าที่ได้แลตช์ไว้จากการเปลี่ยนสัญญาณครั้งหลังสุด ดังนั้น ส่วนควบคุมทางลอจิกจึงซับซ้อนมากกว่า โดยการทำงานจะเป็นดังนี้ เอาท์พุทจาก DAC จะถูกเปรียบเทียบกับสัญญาณอินพุท หาก V_{in} มากกว่าลักษณะลอจิกของคอมพาราเตอร์ จะควบคุมให้เคาน์เตอร์นับขึ้น แต่ถ้า V_{in} น้อยกว่าเคาน์เตอร์จะนับลงจนกว่าค่าหลังสุดของเคาน์เตอร์จะต่างจากสัญญาณอนาลอกอินพุทไม่เกิน 1 LSB และค่าของเคาน์เตอร์จะถูกแลตช์ไว้จากนั้นเคาน์เตอร์จะทำงานแบบติดตาม (Track) สัญญาณอินพุทจนได้ค่าเท่ากันอีกก็จะแลตช์ค่าใหม่ไว้

จากลักษณะการทำงานดังกล่าว V_{in} จะต้องไม่เปลี่ยนแปลงเร็วกว่าการทำงานของเคาน์เตอร์มิฉะนั้นค่าเอาท์พุทที่ได้จะไม่สอดคล้องกับสัญญาณอินพุท ตัวอย่างในกรณีนี้คือ สัญญาณรูปซายน์ซึ่งเปลี่ยนแปลงขนาดได้มากที่สุดเท่ากับค่าเต็มสเกล อัตราการเปลี่ยนแปลงจะเท่ากับอัตราการเปลี่ยนแปลงของเอาท์พุทของเคาท์เตอร์ คือ 1 LSB/clock period ดังนั้น ถ้าต้องการให้ ADC ตามอินพุทได้จะต้องให้ f_0 น้อยกว่า 1/2n เท่าของ f_0

3.2.4 Integrating ADC

หัวใจสำคัญของวงจร ADC ชนิดนี้คือ Integrator เทคนิคของการ ADC แบบ Integration คือจะใช้สัญญาณ ramp ต่อเนื่องแทนสัญญาณขั้นบันไดจาก DAC ซึ่งแบ่งตามลักษณะการทำงานได้สองแบบ คือ Single Slope Converter และ Dual Slope Converter

3.2.4.1 Single Slope Converter

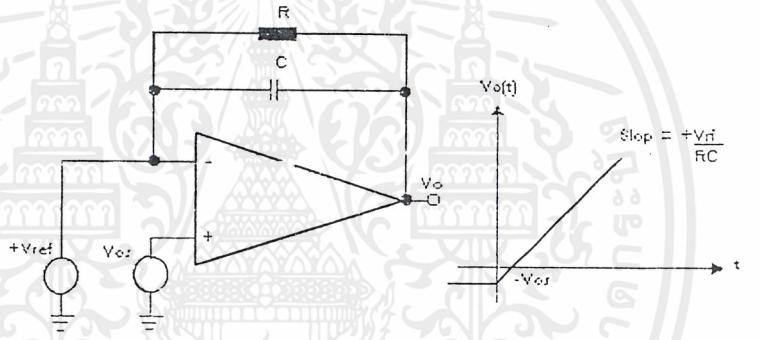
สัญญาณอนาลอกแบบ ramp จะใช้เป็นแรงดันอ้างอิงที่เพิ่มขึ้นอย่างคงที่จากค่าต่ำกว่าศูนย์เล็กน้อยจนถึงค่าที่สูงกว่าค่าเต็มสเกลเล็กน้อย ซึ่งเวลาที่จะใช้จากการสแกนของสัญญาณ ramp จากศูนย์ถึงค่าค่าแรงดันอินพุทจะเป็นสัดส่วนกับแรงดันอินพุท

การ Conversion จะเริ่มด้วยสัญญาณ Start Conversion ทำการรีเซตไบนารี่เคาน์เตอร์ และเริ่มสร้างสัญญาณ ramp จากแรงดันที่ต่ำกว่าศูนย์โวลท์ เมื่อสัญญาณ ramp ผ่านศูนย์โวลท์ เอาท์พุทจากคอมพาราเตอร์ 2 จะอยู่ในสถานะสูง (high) และเปิดเกทปล่อยพัลซ์เข้าสู่เคาน์เตอร์ เคาน์เตอร์จะเริ่มนับจนกระทั่งสัญญา ramp มีขนาดเท่าแรงดันอนาลอกอินพุท V_{in} ในเวลานี้เอาท์พุทจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คอมพาราเตอร์ 1 จะ high และปิดเกทไม่ให้ clock เข้าสู่เคาน์เตอร์ จำนวนพัลซ์จากเคาน์เตอร์จะเป็นสัดส่วนแรงดันกับ อินพุท เนื่องจาก VR = KT โดยที่ R เป็นสโลปของ ramp (ซึ่งคงที่) ในหน่วยโวลท์/วินาที และ T เป็นจำนวนในการเคาน์เตอร์หารด้วย f_o ซึ่งเป็นความถี่สัญญาณ clock ถ้าเลือกให้สโลปของ ramp เป็น $V_{FSR}f_o/2n$ จำนวนที่เคาน์เตอร์นับได้จะเท่ากับอัตราส่วนทางไบนารี หรือ V_{in} เวลามากที่สุด

เมื่อ $V_{in} = V_{FSR}$ คือ $T_{MAX} = 2n/f_o$ และเช่นเดียวกับใน ADC แบบเคาน์เตอร์ ramp ค่าของรหัสเอาท์พุทสุดท้าย จะต่างจากค่าของ V_{in} ไม่เกิน 0.5 LSB ในรูปที่ 3.5 แสดงวงจรกำเนิดของแรงดัน ramp อย่างง่าย โดยการต่อแรงดันอ้างอิงกับอินติเกรเตอร์ เมื่อสวิตซ์เปิด C จะทำการประจุและเพิ่มขนาดแรงดันเอาท์พุท ข้อเสียอีกประการหนึ่ง คือหากใช้งานไปนานๆ การเปลี่ยนแปลงค่า RC ตามอุณหภูมิจะทำให้สโลปคลาดเคลื่อนด้วยเหตุนี้ ADC ชนิดนี้จึงไม่เป็นที่นิยมใช้ในปัจจุบัน



รูปที่ 3.5 วงจร Ramp voltage generator อย่างง่าย และลักษณะของเอาท์พุท

2) Dual Slope Converter

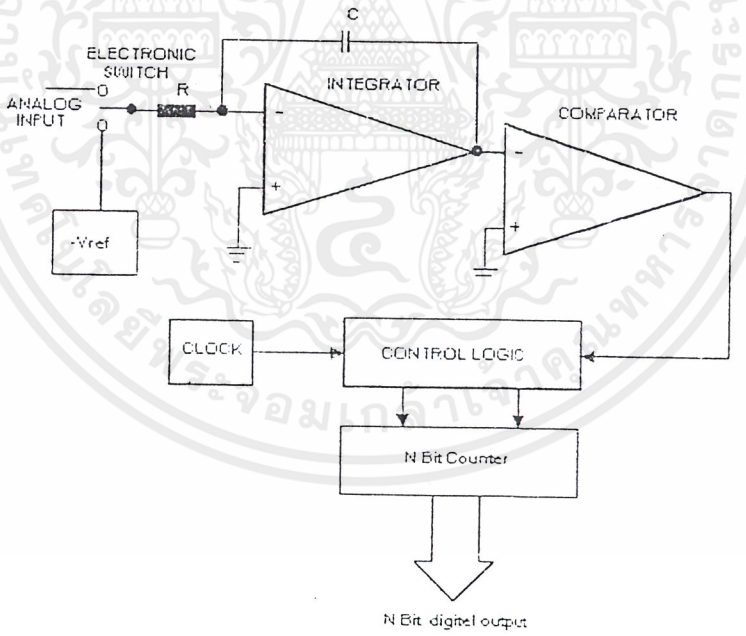
ADC แบบ Dual Slope ได้รับการพัฒนาขึ้นมาเพื่อแก้ไขจุดบกพร่องของ Single slope ADC การจัดวงจรแสดงในรูปที่ 3.6 ในแต่ละวัฏจักรของการทำงานของวงจร จะมีสองช่วงคือ T_1, T_2 ในเวลา T_1 จะเป็นช่วงที่ได้รับการออกแบบให้มีค่าแน่นอนคงที่ในช่วงเวลานี้ สัญญาณอินพุทจะต่อเข้ากับ อินทิเกรเตอร์ ผ่านสวิตซ์ S ซึ่งทำให้เอาท์พุทที่ถูกอินทิเกรท V_{int} เป็นสัญญาณ ramp ที่ขนาดเพิ่มขึ้นทางบวกและสโลปขึ้นกับขนาดของ V_{in} จนกระทั่ง V_{int} ถึงค่าๆ หนึ่งเมื่อสิ้นสุด T_1 ในช่วงเวลา T_2 อินพุทจะถูกตัดออกจากอินทิเกรเตอร์และต่อกับแรงดันอ้างอิงซึ่งมีค่าลบเข้ากับอินพุทของอินทิเกรเตอร์ โดยการควบคุมทางลอจิก ในลักษณะเช่นนี้จะทำให้ V_{int} ลดลงด้วยสโลปคงที่จากการคายประจุผ่านลง $-V_{ref}$ เมื่อเริ่มต้นเวลา T_2 เคาน์เตอร์จะรีเซทและเริ่มนับ จนเมื่อ V_{int} มีค่าลดถึงศูนย์ คอมพาราเตอร์จะเปลี่ยนสถานะไปบอกส่วนควบคุมลอจิกให้หยุดนับ และเอาท์พุทของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เคาน์เตอร์จะถูกแปลงเป็นรหัสดิจิตอล ความสัมพันธ์ระหว่างช่วงเวลากับแรงดันอินพุทจะเป็นไปตามสมการ

$$T_2 = T_1 V_{in} / V_{ref}$$

ดังนั้น รหัสดิจิตอลที่แสดงค่า T_2 จะแสดงค่าอัตราส่วนของแรงดันอินพุทต่อแรงดันอ้างอิง ด้วยคุณลักษณะสำคัญของ dual slope มีหลายประการคือ ประการแรกความแม่นยำของมันไม่ขึ้นอยู่กับเสถียรภาพของสัญญาณ clock และตัวเก็บประจุ แต่จะขึ้นอยู่กับค่าความเที่ยงตรงของแรงดันอ้างอิง และความเป็นเชิงเส้นของอินทิเกรเตอร์ ประการที่สอง การจำกัดสัญญาณรบกวนด้วยตนเองของวงจรสามารถทำได้ ถ้าเซทให้ T_1 มีขนาดเท่ากับคาบเวลาของสัญญาณรบกวน เช่น ในการจำกัดสัญญาณ 50 เฮิรตซ์ T_1 จะให้มีค่า 20 ms ส่วนข้อเสียที่สำคัญของ ADC นี้คือความเร็วในการ conversion ค่อนข้างต่ำจึงมักนิยมใช้กับเครื่องมือวัดที่ไม่ต้องการความเร็ว เช่น ดิจิตอลมิเตอร์ เป็นต้น



รูปที่ 3.6 บล็อกไดอะแกรมของ Dual Slope ADC

3.2.2.5 Successive Approximation ADC

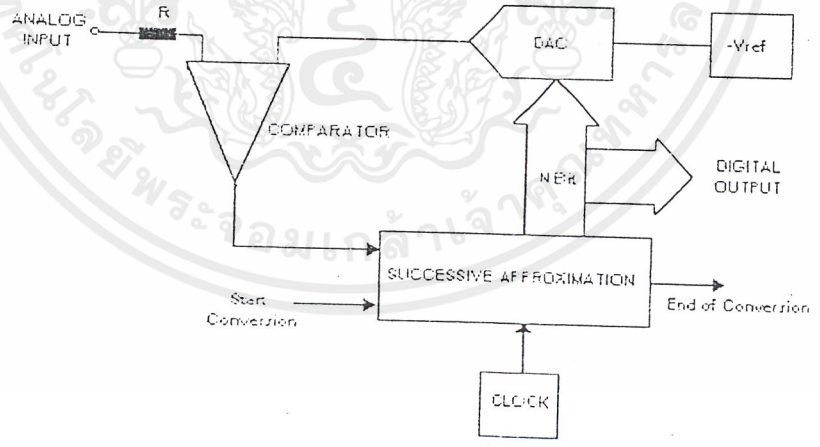
วงจร ADC ชนิดนี้ได้รับความนิยมในงานประยุกต์ที่ต้องการความเร็วปานกลางและค่อนข้างสูง การจัดวงจรจะคล้ายกันแบบเคาน์เตอร์ ที่ทำงานในลักษณะการป้อนกลับ ซึ่งบล็อกได-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อะแกรมในรูปที่ 3.7 แสดงฟังก์ชั่นต่าง ๆ ใน ADC ชนิดนี้ คอมพาราเตอร์จะคอยเปรียบเทียบเอาท์พุทจาก DAC กับ อนาลอกอินพุท V_{in} เอาท์พุทจะไปควบคุม Successive Approximation Resistor (SAR) ซึ่งเป็นไอซี. MSI (Medium Scale Integrated circuit) ที่ได้รับการออกแบบเป็นพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ

การทำงานของ ADC แบบนี้เปรียบเทียบได้กับการใช้งานของตาชั่งสองแขน เมื่อวัตถุที่ต้องการทราบน้ำหนักเสมือนเป็นอินพุทของ ADC และเอาท์พุทที่เป็นดิจิตอลบิทเสมือนเป็นตุ้มน้ำหนักมาตรฐานที่จะวางบนจานอีกข้างหนึ่ง เมื่อตาชั่งยังไม่สมดุล จะต้องมีการปรับตุ้มน้ำหนักมาตรฐานจนกว่าจะเกิดสมดุล ในรูปที่ 3.7 คอมพาราเตอร์จะเป็นตัวตรวจสอบการสมดุลดังกล่าว และ SAR จะทำหน้าที่ปรับแต่งดิจิตอลบิท (ตุ้มน้ำหนักมาตรฐาน)

มีข้อจำกัดประการหนึ่งสำหรับการ conversion คือสัญญาณอนาลอกอินพุท จะต้องคงที่ในช่วงเวลาที่ทำการเปลี่ยนแปลงสัญญาณได้ไม่เกิน LSB ในช่วงสุดท้ายของการเปลี่ยนสัญญาณดิจิตอลเอาท์พุทมาขนานกันทุกบิท แต่บางแบบจะให้เอาท์พุทออกมาในลักษณะอนุกรม วงจร ADC แบบนี้สามารถทำงานได้สองโหมด คือโหมดที่ทำงานโดยอิสระ (free run) และโหมดที่รอคำสั่ง start conversion จากภายนอก เวลาที่ใช้ในการเปลี่ยนสัญญาณใช้ (n+1) ลูกของ plus clock โดย clock ลูกแรกจะใช้ในการรีเซทรีจิสเตอร์ภายใน สุดท้ายคุณภาพของระบบจะขึ้นอยู่กับคุณภาพของ ADC ในระบบเป็นอย่างยิ่ง



รูปที่ 3.7 บล็อกไดอะแกรมของ Successive Approximation ADC

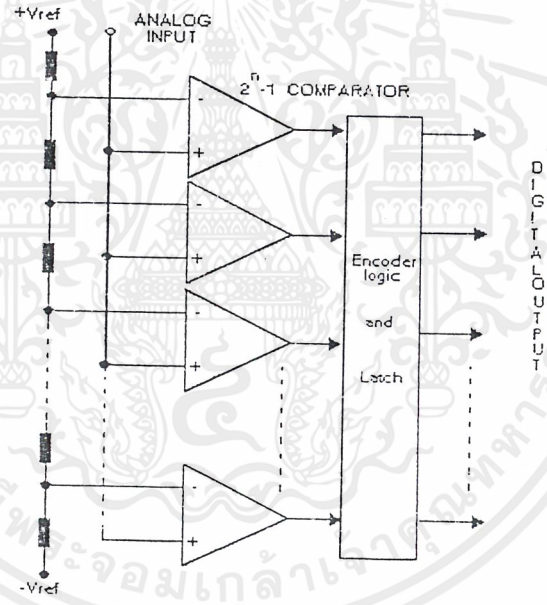
3.2.2.6 แฟรช ADC (Flash A/D)

แฟรชคอนเวอร์เตอร์เป็น ADC ที่เร็วที่สุดในบรรดา ADC ที่ใช้เทคนิคแบบอื่น ๆ ลักษณะของ วงจรแฟรชคอนเวอร์เตอร์จะใช้ชุดของตัวเปรียบเทียบ (comparator) ที่ต่อขนานกันเพื่อจะทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแปลงสัญญาณอนาลอกทางอินพุทให้เป็นรหัสทางดิจิตอล ดังนั้น แฟรชคอนเวอร์เตอร์ จึงเป็นคอนเวอร์เตอร์แบบขนาน

พิจารณาในรูปที่ 3.8 ตัวต้านทานที่ต่ออนุกรมกันจะอยู่ในรูปที่ 3.8 วงจรแบ่งแรงดันที่ตกคร่อมตัวเปรียบเทียบแต่ละตัว แรงดันอินพุทสูงสุดจะขึ้นอยู่กับค่าของ V_{cc} สัญญาณเอาท์พุทจากตัวเปรียบเทียบแต่ละตัว จะเป็น 1 หรือ 0 ซึ่งเป็นระดับสัญญาณลอจิกของวงจรดิจิตอล เมื่อไม่มีแรงดันอินพุทเข้า เอาท์พุทของตัวเปรียบเทียบแต่ละตัว จะมีลอจิก 0 ต่อมาแรงดันอินพุทเพิ่มขึ้น เอาท์พุทของตัวเปรียบเทียบแต่ละตัวจะมีลอจิก 1 ไล่ตามลำดับขึ้นไป เมื่อแรงดันอินพุทมีมากกว่าแรงดันอ้างอิงแต่ละค่าที่ถูกเซทโดยวงจรแบ่งแรงดัน เน็ตเวอร์คของดิจิตอลเกทถูกใช้ในการเรียงลำดับของสัญญาณจากตัวเปรียบเทียบให้อยู่ในรูปรหัสของเลขฐานสองซึ่งเป็นการสร้างรหัสที่เอาท์พุทของคอนเวอร์เตอร์



รูปที่ 3.8 แฟรชคอนเวอร์เตอร์ที่มีความเร็วในการเปลี่ยนแปลงสัญญาณสูง วงจรง่ายแต่รายละเอียดต่ำ

จากตัวอย่างในรูปที่ 3.8 เป็น ADC ขนาด 2 บิท ซึ่งไม่สามารถนำไปใช้งานจริงๆ ได้ เนื่องจากความละเอียดต่ำเกินไป จะพบว่าวงจรจะใช้วงจรเปรียบเทียบ 2-1 ตัว เป็นการแสดงถึงความละเอียดของคอนเวอร์เตอร์ จากตัวอย่างของคอนเวอร์เตอร์ขนาด 2 บิท ต้องการตัวเปรียบเทียบ 2^2-1 = 3 ตัว ตัวเปรียบเทียบคอนเวอร์เตอร์ขนาด 4 บิท ตัวเปรียบเทียบ 2^4 - 1 = 15 ตัว และคอนเวอร์เตอร์ขนาด 8 บิท ต้องการตัวเปรียบเทียบถึง $2^8 - 1 = 255$ ตัวจะเห็นได้ว่าคอนเวอร์เตอร์ยิ่งมากขึ้นเท่าไร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวเปรียบเทียบก็ต้องมากขึ้นทวีคูณ จะทำให้เกิดความยุ่งยากซับซ้อน ในการสร้างวงจรแฟรชคอนเวอร์เตอร์ขึ้นมาใช้ ซึ่งเป็นข้อเสียของ ADC ชนิดนี้ และข้อเสียอีกประการคือ เมื่อใช้ตัวเปรียบเทียบมากขึ้นวงจรก็จะมีขนาดใหญ่เกินกว่าจะนำไปใช้งานจริงได้ แต่วงจรแฟรชคอนเวอร์เตอร์มีข้อดีด้านความเร็วเพราะสัญญาณอนาลอกจากอินพุทจะเข้ามาที่ตัวเปรียบเทียบพร้อม ๆ กันในช่วงเวลาการเปลี่ยนนั้นมีค่าเท่ากัน จึงใช้เวลาน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
หลักการออกแบบและการทำงานของวงจร

4.1 การทำงานของวงจรแยกซิงค์

การทำงานภาคแยกซิงค์ จะทำการแยกสัญญาณออกจากสัญญาณภาพ โดยใช้ LM1881 โดยสัญญาณ Video Input ก่อนเข้าวงจรภาคแยกซิงค์จะทำการแยกสัญญาณออกจากกันกับภาค Input ของ A/D Converter จะแยกสัญญาณได้เป็นสัญญาณคอมโพซิสซิงค์ (Composite Sync), เวอร์ติคอลซิงค์ (Vertical Sync) , ฟิวส์คู่/ฟิวส์คี่ (Odd/Even Field), เบิร์ส /แบ็ค พอร์ช (Burst/Back Porch) โดยที่คอมโพซิสซิงค์ จะมีความถี่ประมาณ 15.6 kHz , เวอร์ติคอลซิงค์จะมีความถี่ประมาณ 60 Hz และฟิวส์คู่/ฟิวส์คี่จะมีความถี่ประมาณ 30 Hz โดยนำสัญญาณคอมโพซิสซิงค์ไปควบคุมวงจรการนับ (Counter IC03) ที่ขา 24 และสัญญาณเวอร์ติคอลซิงค์ที่ได้ไปควบคุมวงจรนับ (Counter IC04) ที่ขา 24 เพื่อทำการหน่วงเวลาประมาณ 8μs เพราะถ้าเราเอาสัญญาณซิงค์รวมไปเข้าวงจรควบคุมการนับโดยไม่มีการหน่วงเวลาเลยจะทำให้การนับทางแนวนอนแต่ละครั้งไม่เริ่มต้นที่ตำแหน่งภาพ ดังนั้นจึงทำการหน่วงเวลาเพื่อให้ตำแหน่งเริ่มต้นการประมวลผลเป็นตำแหน่งสัญญาณภาพที่แท้จริง

4.2 การทำงานของวงจรนับเพื่อเลือกเส้นภาพ

วงจรนับสัญญาณแนวนอนขนาด 8 บิท โดยใช้ 74F269 (IC04) ซึ่งกำหนดเส้นสัญญาณภาพที่ต้องการใช้เส้นที่ 127 สัญญาณที่ใช้ควบคุมการทำงานของวงจรนับ เพื่อทำการนับและกำหนดค่ากำหนดได้จากสัญญาณที่ได้จากสัญญาณเวอร์ติคอลซิงค์ ส่วนสัญญาณนาฬิกาได้จากสัญญาณเอาท์พุทของ IC03 ที่หน่วงเวลาคอมโพซิสซิงค์มาแล้ว เมื่อวงจรนับทำการนับสัญญาณคอมโพซิสซิงค์ สัญญาณ TC ที่ได้จะมีลอจิกเป็น 1 ตลอด จนกระทั่งนับสัญญาณถึงเส้นที่กำหนด คือเส้นที่ 127 แล้ว สัญญาณ TC ที่ได้จะมีลอจิกเป็น 0 ขนาด 64 μs (1/15.6 kHz) วงจรนับจะทำการนับต่อไปจนกระทั่งมีสัญญาณมารีเซ็ทวงจรนับอีกครั้งที่ขา PE จึงจะเริ่มนับใหม่ที่ตำแหน่งศูนย์ สัญญาณ TC ที่ได้นี้จะเข้าสู่วงจรนับจุดภาพ (IC05) และเข้าสัญญาณที่ออกจาก Inverter IC10 ขา 2 เข้า กำหนดช่วงเวลาการแปลงสัญญาณอนาลอกเป็นดิจิตอล (A/D Converter) (IC06 ขาที่ 9)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การทำงานของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (A/D Converter)

วงจรเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล ใช้ IC TDA8708 (IC06) ซึ่งเป็นไอซี Video Analog Input Interface ทำหน้าที่แปลงสัญญาณอนาลอกเป็นดิจิตอลขนาด 8 บิท โดยใช้ความถี่สัญญาณนาฬิกา 5 MHz ในการสุ่มสัญญาณ สัญญาณอินพุทของ IC06 จะมีระดับแรงดันในช่วงประมาณ 2.6 – 3.6 V โดยยกระดับดีซีให้กับสัญญาณวีดีโอ ดังนั้นจึงมีวงจรสัญญาณยกระดับวงจรสัญญาณอินพุทให้อยู่ในระดับแรงดันที่ต้องการ นำสัญญาณเข้าที่ภาคเข้าที่ภาคขยายของ ADC ที่ขา 20 สัญญาณจากแหล่งสัญญาณภาพจะต่อผ่านความต้านทาน 75 Ω เพื่อทำการปรับอิมพีแดนซ์ (Impedance) ของวงจรเพื่อทำการยกระดับสัญญาณที่เข้ามาให้เหมาะสมและแบ่งแรงดันให้ได้ระดับที่ต้องการ สัญญาณนาฬิกาที่ใช้ในการสุ่ม 5 MHz จะต่อเข้าขาที่ 5 สัญญาณเอาท์พุทขนาด 8 บิทจะออกที่ขา 1,2,3,4,10,11,12 และ13 เรียงจากบิทสูงไปบิทต่ำ และช่วงเวลาที่เอาท์พุทของ วงจรเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอลทำงาน จะถูกกำหนดโดยสัญญาณนาฬิกาที่ใช่สุ่ม 5 MHz เข้าที่ขา 5 ของวงจรเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล เป็นขา Out Format หรือ Chip Enable โดยกำหนดสถานะเอาท์พุทเป็น Digital OF เป็น " 0 " Output เป็น Two's Complement และเป็น " 1 " Output เป็น High Impedance ซึ่งสัญญาณดิจิตอลนี้จะส่งไปเก็บในหน่วยความจำ (IC012) (RAM 628128) ต่อไป

4.4 การทำงานของวงจรหน่วยความจำภาพ

วงจรหน่วยความจำใช้ IC 628128 มีลักษณะการส่งข้อมูล 2 ทิศทาง คือการเขียนและการอ่านข้อมูล ซึ่งการเขียนและการอ่านข้อมูลนั้นไม่สามารถทำงานพร้อมกันได้ การกำหนดช่วงเวลาการอ่านละการเขียนนั้นจะถูกกำหนดจากวงจร AND Gate , OR Gate และInverter ต่างๆ

RAM 628128 ใช้เก็บข้อมูลขนาด 256 ไบท์ โดยใช้แอดเดรส (Address) อ้างตำแหน่ง 8 เส้น คือ A0 – A7 สัญญาณแอดเดรสนี้ได้จากวงจรนับ 74F269 (IC05) โดยใช้ Q0 – Q7 ส่วนข้อมูลจะส่งผ่านขา D0 – D7 โดยช่วงการเขียนข้อมูลจะรับข้อมูลจากขา D0 – D7 ของ วงจรเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล (IC06) ส่วนช่วงการอ่านข้อมูลจะส่งข้อมูลไปยังขา P00 – P07 ของ MCS – 51 (IC15) นอกจากนี้ RAM 628128 จะทำงานได้ต้องมีสัญญาณอื่นๆอีก คือ สัญญาณควบคุมเอาท์พุทการเขียน WE ได้จากสัญญาณนาฬิกา 5 MHz สัญญาณควบคุมไอซี (CS1) จะต่อลงกราวด์ และ สัญญาณควบคุมเอาท์พุท (OE) จะต่อเข้ากับสัญญาณ RD ของ MCS – 51 ขาที่ 17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเขียนข้อมูลเข้าสู่หน่วยความจำภาพ เป็นการพักข้อมูลก่อนที่จะนำข้อมูลไปประมวลผล ทำได้โดยควบคุมสัญญาณ WE ขาที่ 29 ต้องเป็น"0" ส่วนสัญญาณ OE จะถูกกำหนดให้มีค่าเป็น"1" จากขา RD (ขาที่17 ของ MCS--51) ถ้าต้องการอ่านข้อมูลจากหน่วยความจำภาพ เพื่อนำข้อมูลไปประมวลผล ทำได้โดยควบคุมสัญญาณ WE ให้เป็น " 1 " ส่วนสัญญาณ OE เป็น " 0 " การอ่านหรือการเขียนข้อมูลนั้นจะต้องทำร่วมกับการกำหนดตำแหน่งของข้อมูลบนหน่วยความจำภาพ ซึ่งก็คือการกำหนดค่าแอดเดรสโดยใช้ วงจรนับ 74F269 (IC05) ขา Q0 – Q7 เป็นตัวชี้ตำแหน่งแอด-เดรสในหน่วยความจำนั้น

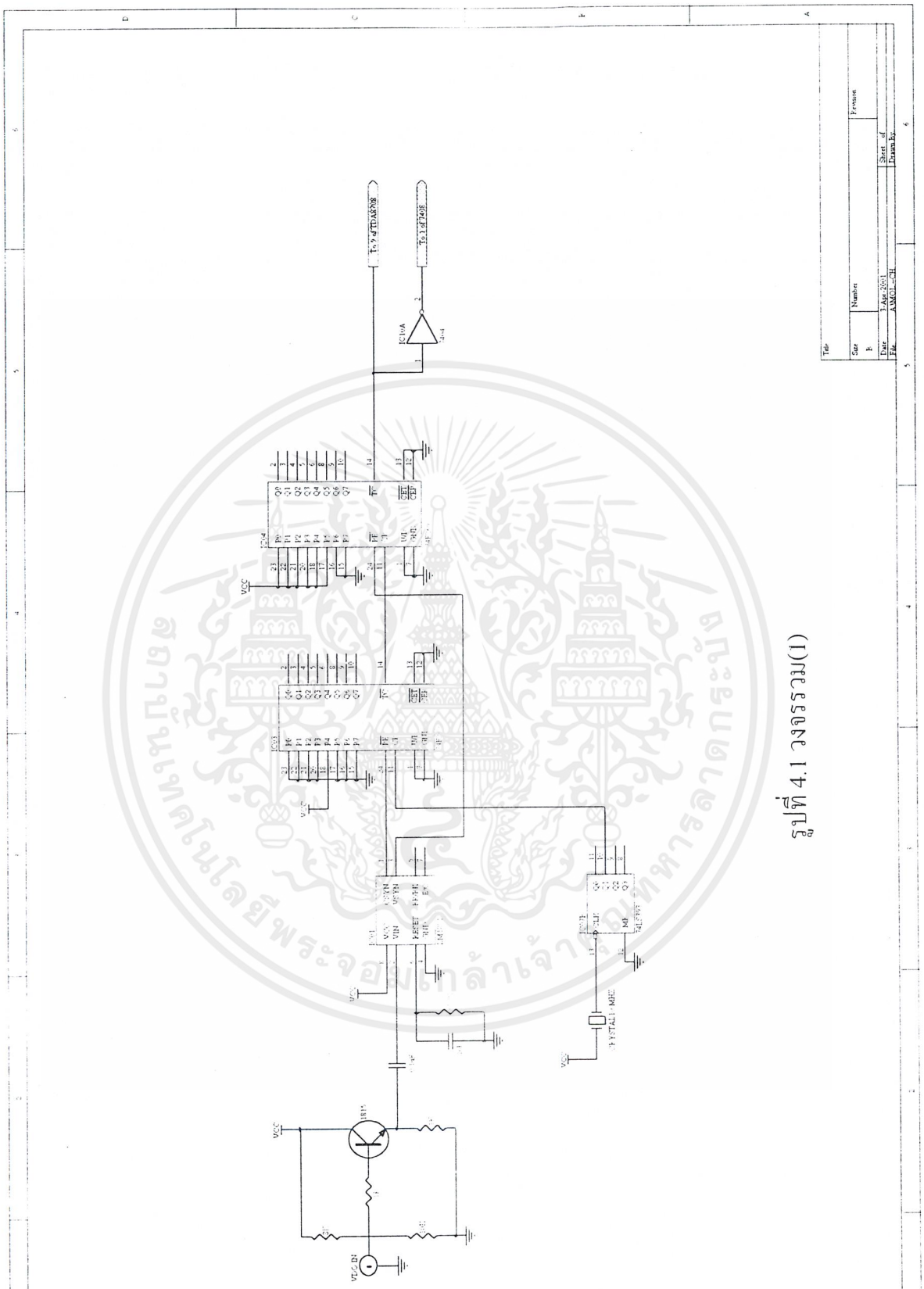
เมื่อทำการเขียนข้อมูลจนครบ 256 ตำแหน่งแล้ววงจรนับจะส่งสัญญาณ TC (ขาที่ 14) ผ่าน 74LS123 (IC14B) เพื่อหน่วงเวลาสัญญาณที่จะเข้าสู่ขา INT0 (ขาที่ 12 ของ MCS – 51) อย่างน้อย 1μs การหน่วงเวลา 1 μs นี้เนื่องจาก MCS – 51 จะรับรู้สัญญาณ INT0 ที่เข้ามาได้เมื่อมีค่า " 0 " อย่างน้อย 1/12 ของแมชชีน ไซเคิล (Machine Cycle)

4.5 การทำงานของไมโครคอนโทรลเลอร์และวงจรขับหัวเป่า

การประมวลผลสัญญาณภาพ ใช้ IC MCS – 51 (IC15) แบ่งการทำงานเป็น 3 ช่วงคือ การรับข้อมูล , การประมวลผลข้อมูล และ การแสดงผลของข้อมูล

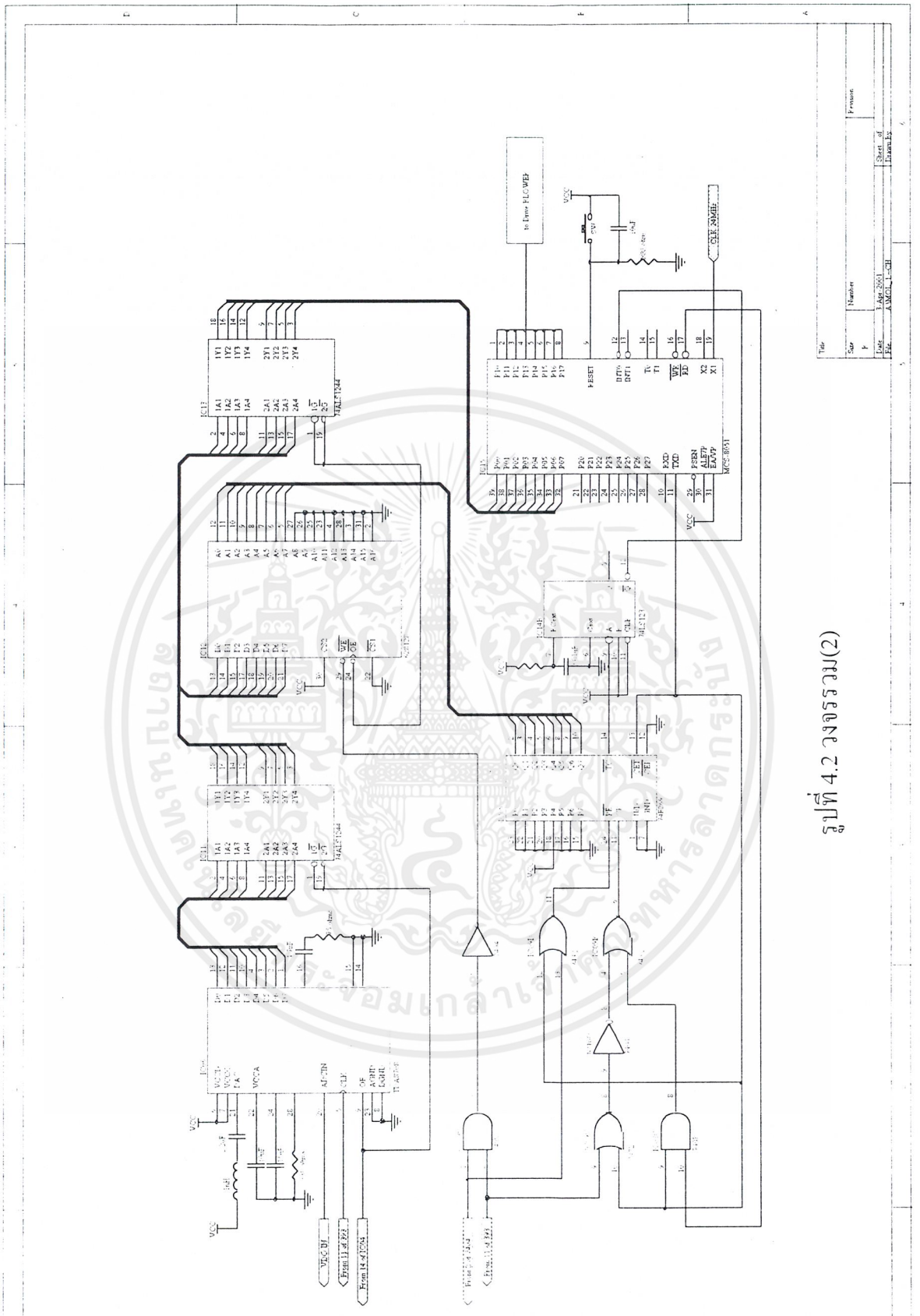
ช่วงการรับข้อมูล จะรับข้อมูลจากขา D0 – D7 ของ RAM (IC12) เข้าที่ PORT 0 ขา P00 – P07 ของ MCS – 51 เมื่อมีสัญญาณ INT0 เข้ามา (หลังจากที่ได้เขียนข้อมูลใน RAM 628128(IC06) เสร็จเรียบร้อยแล้ว) จากนั้นจะทำการประมวลผลข้อมูลที่ได้จากการแปลงสัญญาณ วีดีโออินพุท เป็นสัญญาณดิจิตอลที่เก็บไว้ที่ RAM โดยเขียนโปรแกรมการเปรียบเทียบสัญญาณ กับระดับแรงดันอ้างอิง เพื่อประมวลผลภาพ แสดงจุดขาว-ดำ ที่เกิดขึ้นในเส้นภาพ โดยแสดงผลของข้อมูลที่ได้ที่ PORT 1 ขา P10 – P17 เข้าสู่วงจรขับกระแส เพื่อขับหัวเป่าลม โดยใช้ทรานซิสเตอร์ 2 ตัวขับกระแส เมื่อมีค่าเป็น " 1 " เข้ามา BC547 จะ ON ทำให้กระแสไหลผ่าน BC547 ทำให้ BD139 ON กระแสก็จะไหลผ่านหัวเป่าลม ทำให้หัวเป่าทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 วงจรรวม(1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

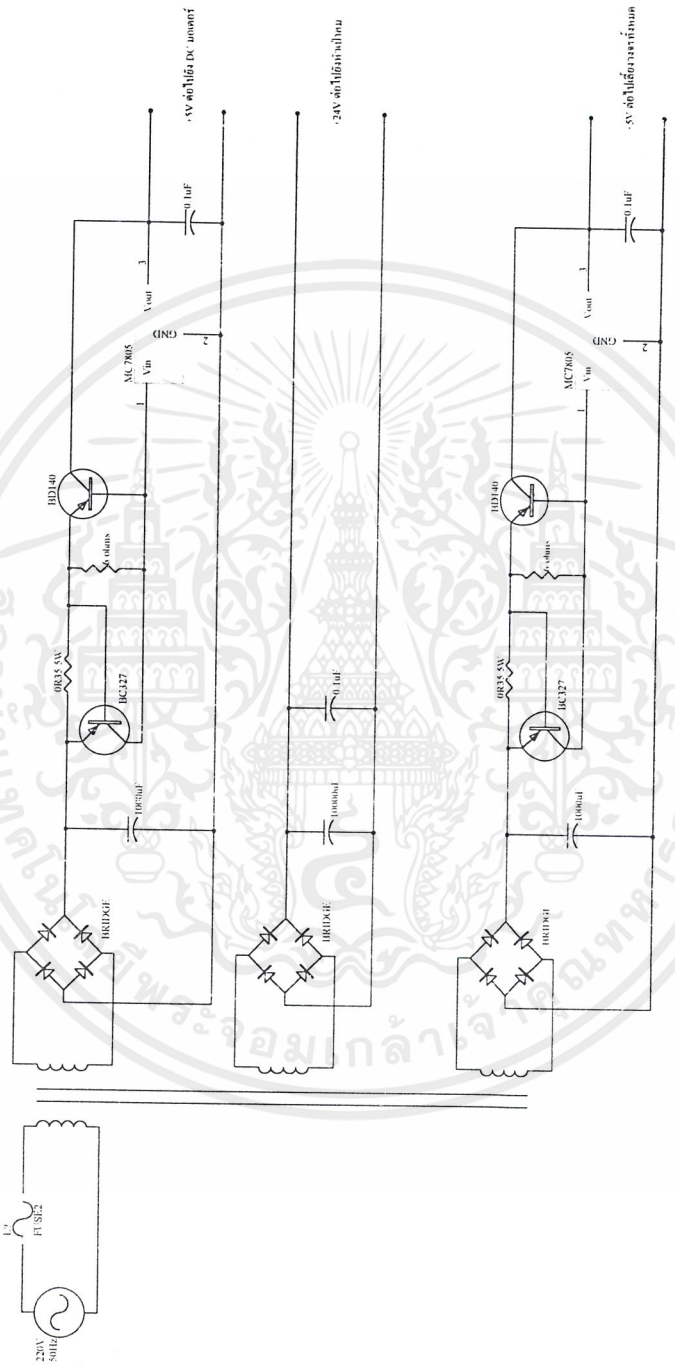


รูปที่ 4.2 วงจรรวม(2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.3 วงจรขับกระแส

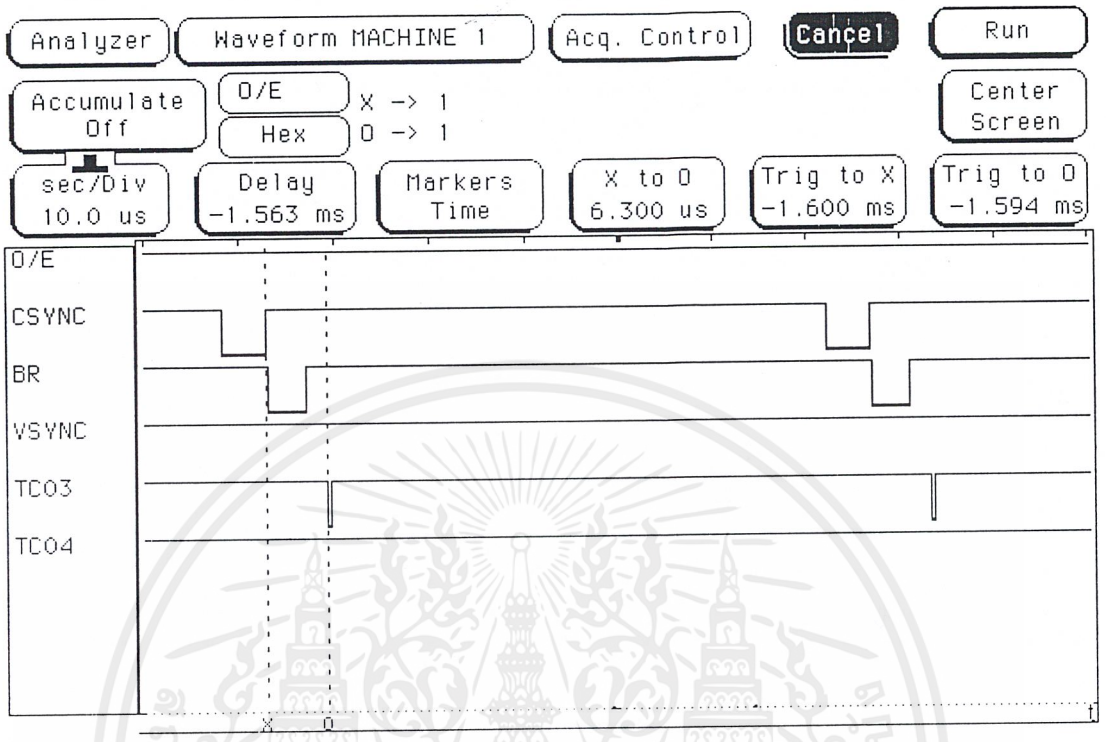
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 วงจรไฟเลี้ยง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 สัญญาณภาพต่างๆจากลอจิกอนาไลซ์เซอร์(Logic Analyzer)

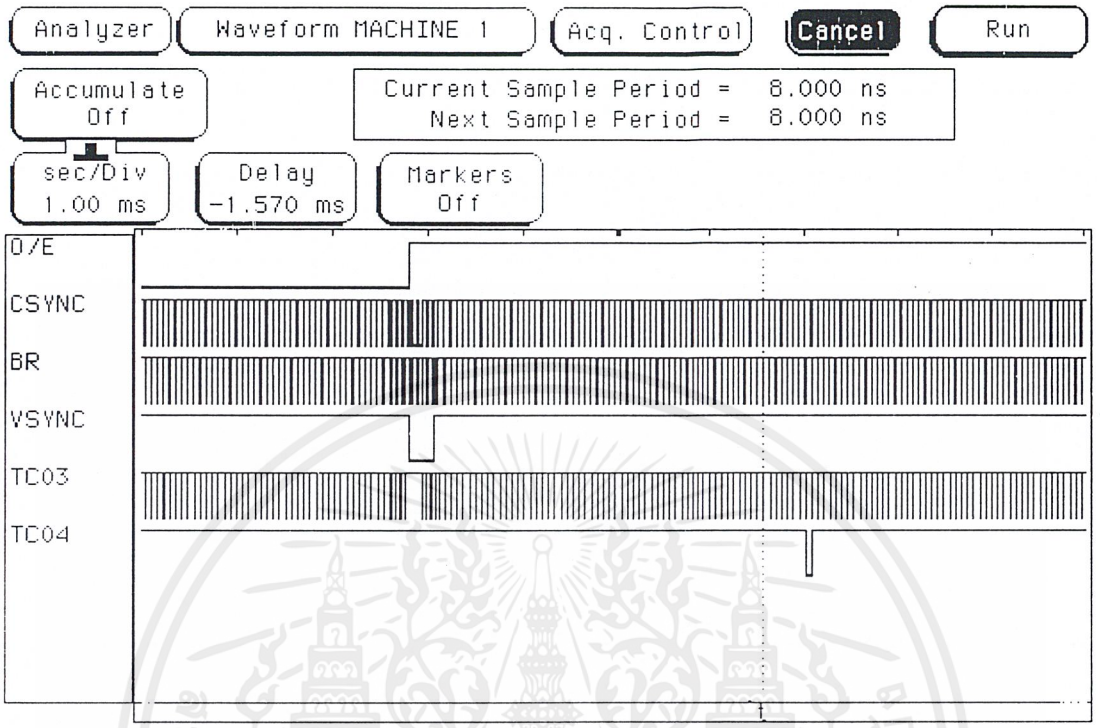


รูปที่ 4.5 แสดงสัญญาณต่างๆที่ได้จากภาควงจรแยกซิงค์และวงจรนับเพื่อเลือกเส้นภาพแบบขยาย

โดยที่

O/E	คือสัญญาณฟิวส์คู่/ฟิวส์คี่ จากขา 7 ของ IC01
CSYNC	คือสัญญาณคอมโพซิสซิงค์ จากขา 1 ของ IC01
BR	คือสัญญาณเบิร์ส/แบ็คพอร์ช จากขา 5 ของ IC01
VSYNC	คือสัญญาณเวอร์ติคอลซิงค์ จากขา 3 ของ IC01
TC03	คือสัญญาณ TC จากขา 14 ของ IC03
TC04	คือสัญญาณ TC จากขา 14 ของ IC04

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

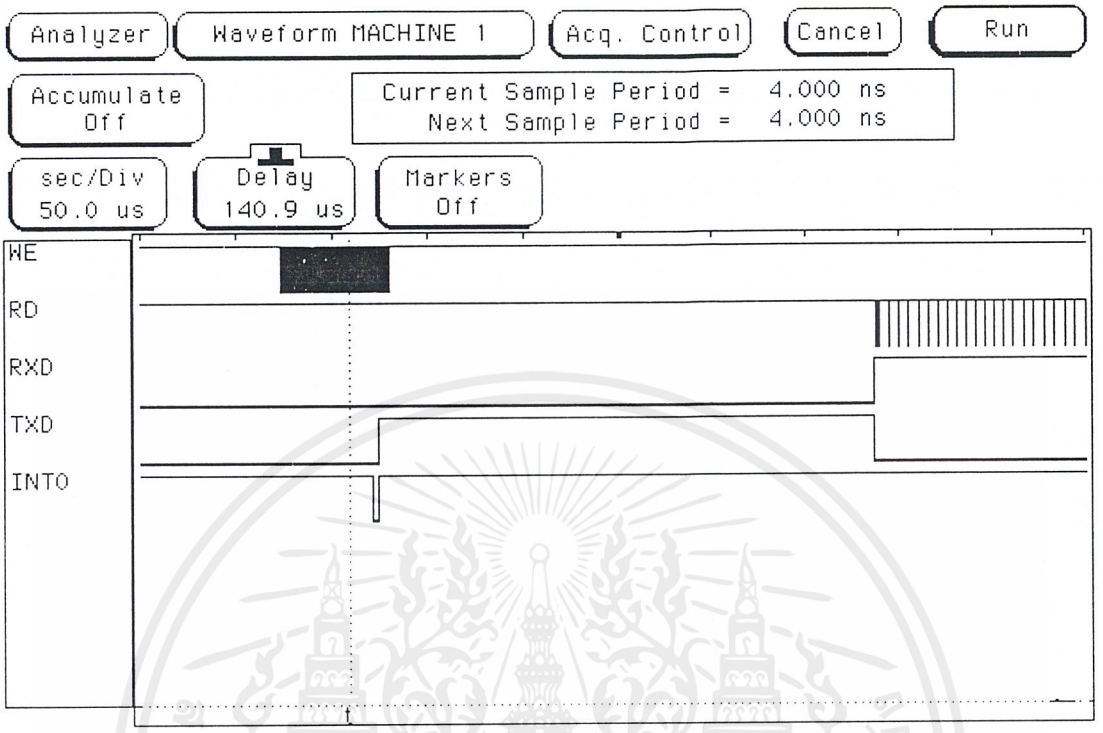


รูปที่ 4.6 แสดงสัญญาณต่างๆที่ได้จากภาควงจรแยกซิงค์และวงจรนับเพื่อเลือกเส้นภาพ

โดยที่

O/E	คือสัญญาณฟิวส์คู่/ฟิวส์คี่ จากขา 7 ของ IC01
CSYNC	คือสัญญาณคอมโพซิสซิงค์ จากขา 1 ของ IC01
BR	คือสัญญาณเบิร์สแบ็คพอร์ช จากขา 5 ของ IC01
VSYNC	คือสัญญาณเวอร์ติคอลซิงค์ จากขา 3 ของ IC01
TC03	คือสัญญาณ TC จากขา 14 ของ IC03
TC04	คือสัญญาณ TC จากขา 14 ของ IC04

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.7 แสดงสัญญาณต่างๆ ที่ได้จากวงจรหน่วยความจำภาพและไมโครคอนโทรลเลอร์ในช่วงเขียนและอ่านข้อมูล

โดยที่

WE คือสัญญาณ WR ของ RAM จากขา 29 ของIC12

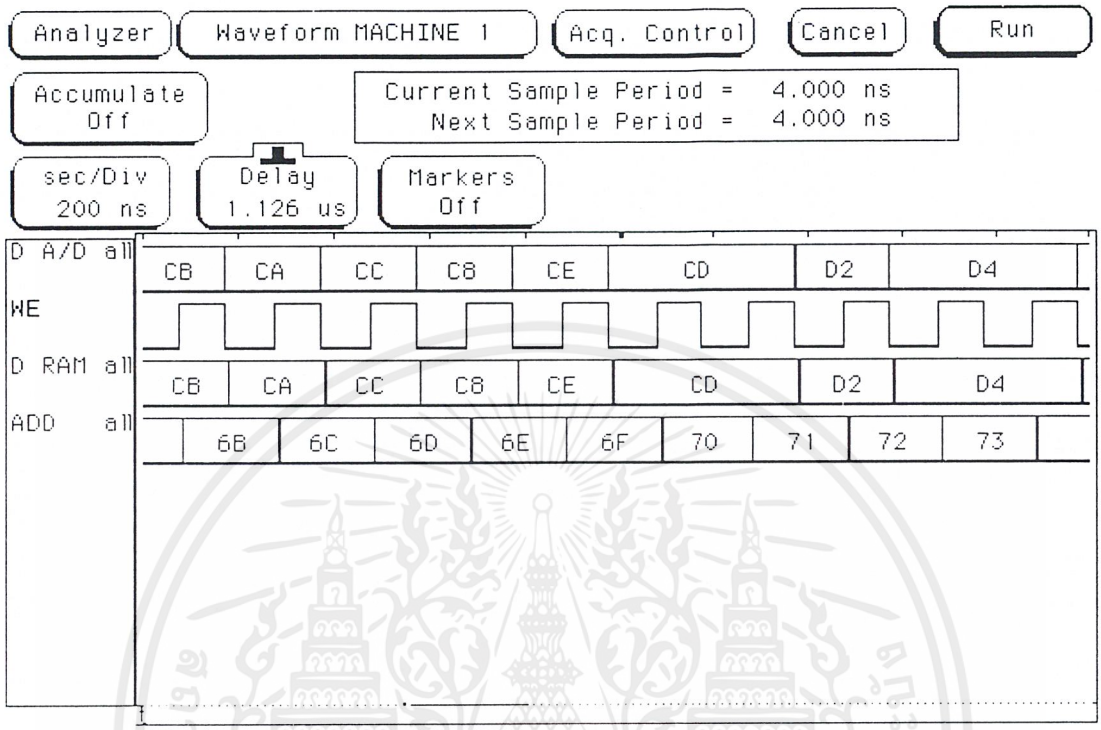
RD คือสัญญาณ RD ของ RAM จากขา 24 ของIC12

RXD คือสัญญาณจากขา 10 ของIC15

TXD คือสัญญาณ จากขา 11 ของIC15

INTO คือสัญญาณ จากขา 12 ของIC15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

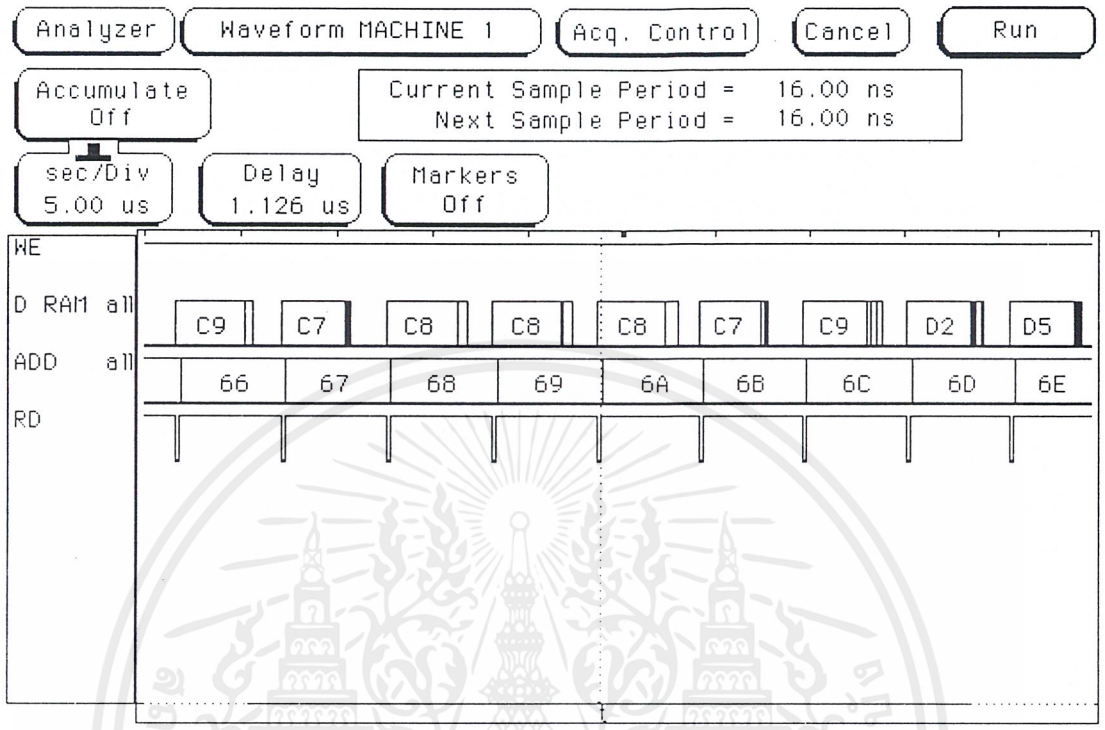


รูปที่ 4.8 แสดงสัญญาณต่างๆ ที่ได้จากวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลเมื่อเทียบกับข้อมูลเข้า RAM ในช่วงการเขียนข้อมูล

โดยที่

WE	คือสัญญาณ WR ของ RAM จากขา 29 ของIC12
D A/D all	คือสัญญาณดาต้าของA/D จากขาD0-D7 ของ IC06
ADD all	คือสัญญาณแอสเดรสของเคาร์เตอร์ จากขา Q0-Q7 ของ IC05
D RAM	คือสัญญาณดาต้าของ RAM จากขา D0-D7 ของ IC12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 แสดงสัญญาณต่างๆ ที่ได้จากวงจรนับจุดภาพเทียบกับข้อมูลที่RAM ในช่วงการอ่านข้อมูล

โดยที่

WE	คือสัญญาณ WR ของ RAM จากขา 29 ของIC12
ADD all	คือสัญญาณแอดเดรสของเคาร์เตอร์ จากขา Q0-Q7 ของ IC05
D RAM	คือสัญญาณดาต้าของ RAM จากขา D0-D7 ของ IC12
RD	คือสัญญาณ RD ของ RAM จากขา 24 ของIC12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การทดลอง

วัตถุประสงค์

1) เพื่อศึกษาผลของสีของผลผลิตต่อเสถียรภาพในการทำงานของวงจร
2) เพื่อศึกษาผลของความลาดชันของรางของผลผลิตต่อเสถียรภาพในการทำงานของวงจร

การทดลอง

5.1 ศึกษาผลของสีของผลผลิตที่มีระดับสีที่แตกต่างกัน

1. เตรียมชิ้นงานที่มีสีแตกต่างกัน ได้แก่ สีขาว สีเขียวอ่อน สีส้มอ่อน สีน้ำตาลอ่อน สีน้ำตาลสีม่วง สีน้ำเงิน สีเทา สีเทาดำและสีดำ
2. ใช้เครื่องมือลอจิกอนาไลซ์เซอร์ (Logic Analyzer) วัดระดับแรงดันของสีที่ถูกแปลงจากสัญญาณอนาลอกเป็นดิจิตอลแล้ว ทำการสุ่มการทดลองจำนวน 5 ครั้งแล้วหาค่าเฉลี่ย บันทึกผลที่ได้ลงในตารางที่ 5.1
3. ทำการทดลองตามข้อ 2 แต่เปลี่ยนเป็นสีต่าง ๆ โดยทำการเปรียบเทียบที่ตำแหน่งแอดเดรสเดียวกัน บันทึกผลที่ได้ลงในตารางที่ 5.1 จำนวน 8 แอดเดรส
4. นำผลการทดลองในตารางที่ 5.1 เปลี่ยนค่าเลขฐานสิบหกเป็นเลขฐานสิบ บันทึกผลที่ได้ลงในตารางที่ 5.2
5. นำผลการทดลองในตารางที่ 5.2 มาพล็อตกราฟ โดยให้แกนนอนเป็นแอดเดรส และแกนตั้งเป็นขนาดของข้อมูล ดังรูปที่ 5.1
6. นำผลการทดลองของแต่ละสีที่ได้จากตารางที่ 5.2 มาหาค่าเฉลี่ย ทำการพล็อตแผนภูมิแท่ง ดังรูปที่ 5.2

5.2 ศึกษาผลของความลาดชันของรางที่มุมองศาต่าง ๆ กัน

1. เตรียมผลผลิตที่ต้องการ เป็นวัตถุขนาดเล็กสีขาว เช่น ข้าว และของเสียที่ไม่ต้องการ เป็นวัตถุสีดำ เช่น ถั่วดำ จำนวน 20 เมล็ด
2. ปล่อยผลผลิตทั้งหมดให้ไหลตามรางที่ความลาดชันขนาด 30 องศา
3. นับจำนวนของเสียทั้งหมดที่หัวเป่า เป่าเมล็ดลงกระบะของเสีย บันทึกผลที่ได้ลงในตารางที่ 5.3
4. ทำการทดลองข้อ 2 และ3 อีก โดยเปลี่ยนความลาดชันของรางเป็น 0 , 45 , 60 และ 75 องศา บันทึกผลที่ได้ในตารางที่ 5.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. นำผลการทดลองในตารางที่ 5.3 มาพล็อตแผนภูมิแท่ง โดยให้แกนนอนเป็นความลาดชันของราง และแกนตั้งเป็นจำนวนของเสีย

ตารางที่ 5.1 จำนวนผลผลิตแต่ละสีที่นับได้ในลักษณะต่าง ๆ

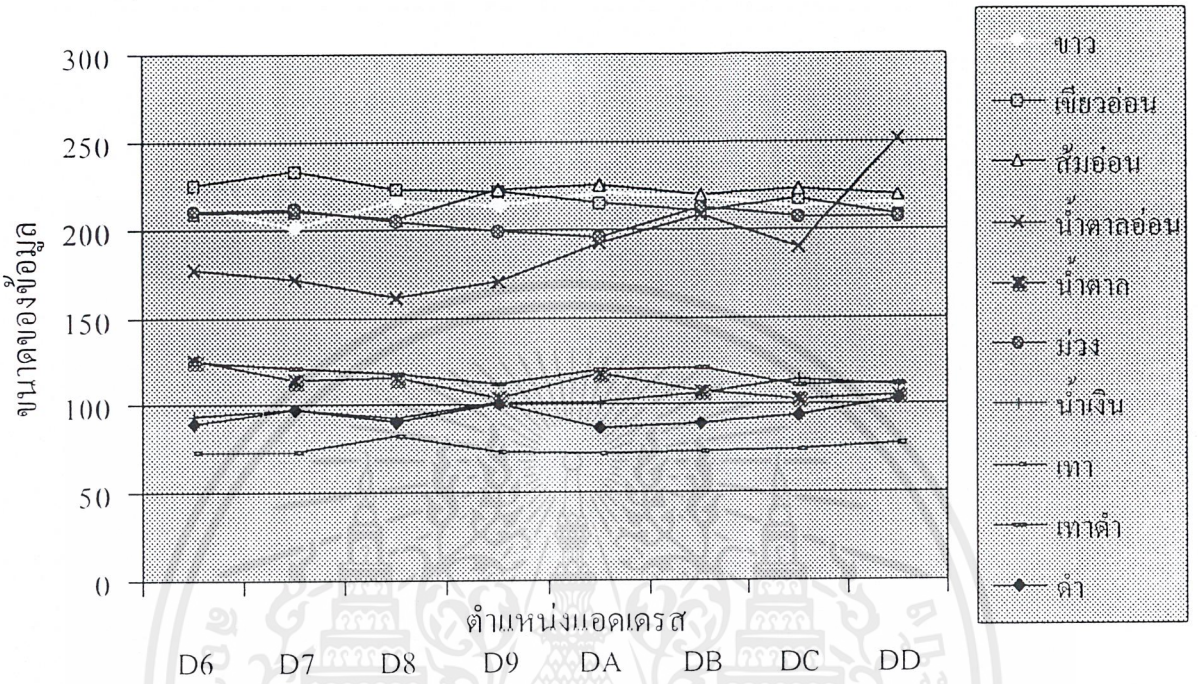
		ตำแหน่งแอดเดรส							
		D6	D7	D8	D9	DA	DB	DC	DD
สี	ขาว	D4	C9	D8	D5	DC	DA	D4	D7
	เขียวอ่อน	E1	E9	DE	DD	D7	D2	D9	D0
	ส้มอ่อน	D1	D2	CD	DF	E1	DB	DE	DB
	น้ำตาลอ่อน	B1	AB	A1	AA	C0	D0	BD	FB
	น้ำตาล	7D	72	73	68	75	6B	67	69
	ม่วง	D2	D3	CC	C7	C3	D4	CE	CF
	น้ำเงิน	5E	61	5C	66	66	6A	72	6F
	เทา	49	49	52	49	48	49	4A	4E
	เทาดำ	7C	79	76	70	78	79	6F	70
	ดำ	59	61	5A	64	57	59	5E	67

ตารางที่ 5.2 ผลการทดลองในตารางที่ 5.2 เมื่อแปลงค่าเลขฐานสิบหกเป็นเลขฐานสิบ

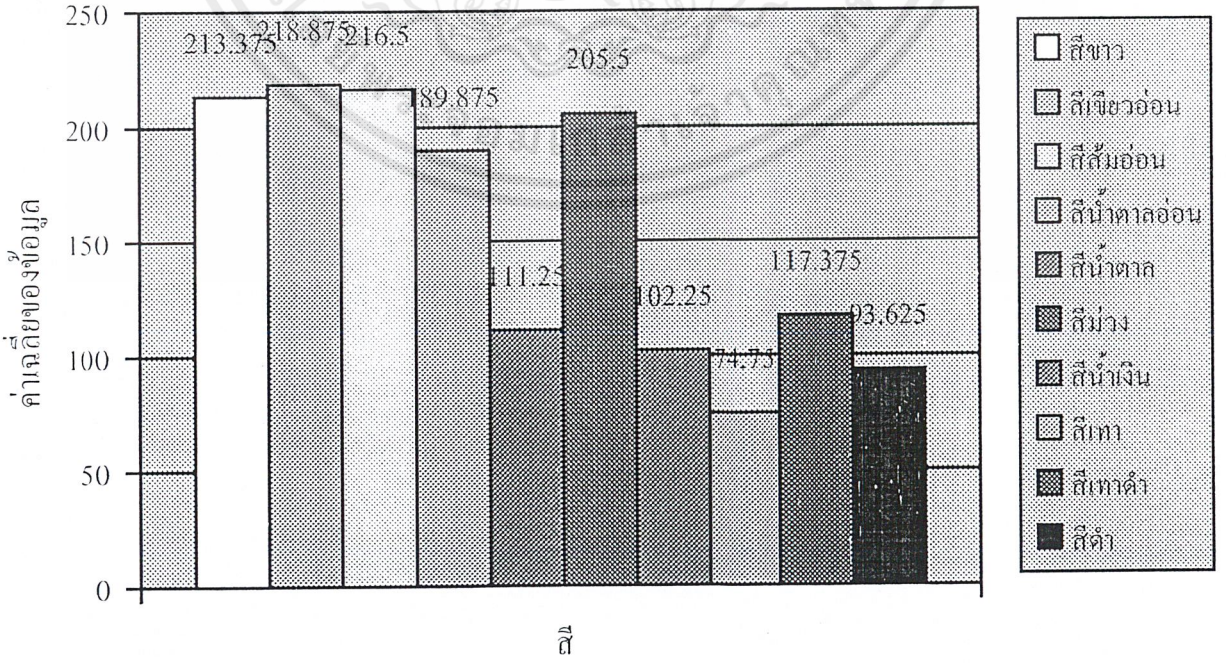
		ตำแหน่งแอดเดรส								ค่าเฉลี่ย
		D6	D7	D8	D9	DA	DB	DC	DD	
สี	ขาว	212	201	216	213	220	218	212	215	213.375
	เขียวอ่อน	225	233	222	221	215	210	217	208	218.875
	ส้มอ่อน	209	210	205	223	225	219	222	219	216.5
	น้ำตาลอ่อน	177	171	161	170	192	208	189	251	189.875
	น้ำตาล	125	114	115	104	117	107	103	105	111.25
	ม่วง	210	211	204	199	195	212	206	207	205.5
	น้ำเงิน	94	97	92	102	102	106	114	111	102.25
	เทา	73	73	82	73	72	73	74	78	74.75
	เทาดำ	124	121	118	112	120	121	111	112	117.375
	ดำ	89	97	90	100	87	89	94	103	93.625

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 5.1 กราฟแสดงขนาดของข้อมูลที่สีต่าง ๆ กั



ภาพที่ 5.2 กราฟแสดงค่าเฉลี่ยขนาดของข้อมูลที่สีต่าง ๆ

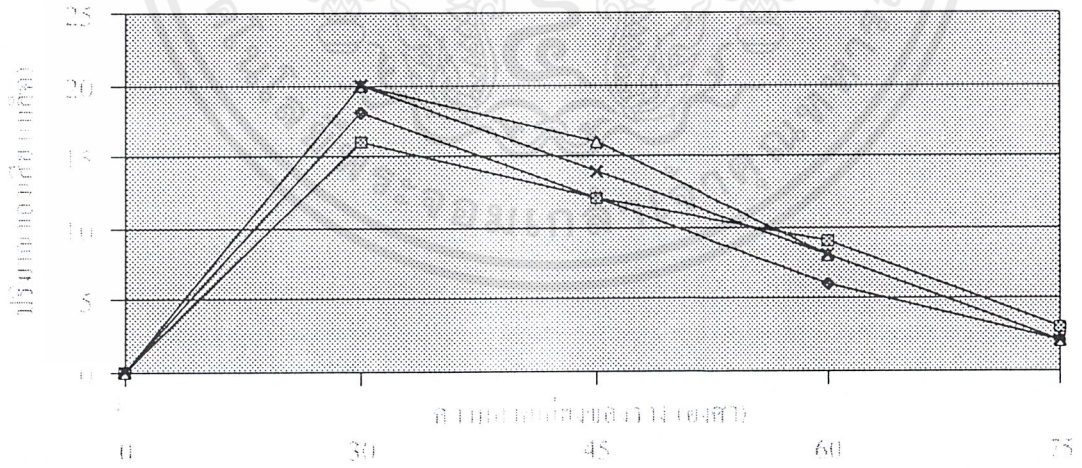


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.3 จำนวนของเสียของผลผลิตที่นับได้ในลักษณะต่าง ๆ

		ความลาดชันของราง (องศา)				
		0	30	45	60	75
ครั้งที่	1	0	18	12	6	2
	2	0	16	12	9	3
	3	0	20	16	8	2
	4	0	20	14	8	2
ค่าเฉลี่ย		0	18.5	13.5	7.5	2.5

รูปที่ 5.3 กราฟแสดงความสัมพันธ์ระหว่างความลาดชันกับจำนวนของเสีย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปและวิจารณ์ผลการทดลอง

ในการทดลองที่ 5.1 เพื่อศึกษาผลของสีของผลผลิตที่มีระดับสีที่แตกต่างกัน พบว่า สีต่างๆ ที่นำมาทดลอง จะมีขนาดข้อมูลที่แตกต่างกัน ซึ่งสีในโทนอ่อนหรือสว่าง ข้อมูลที่ได้จะมีค่าค่อนข้างสูง เช่น สีขาว สีเขียวอ่อน สีส้มอ่อน และค่าที่ได้ค่อนข้างไม่แตกต่างกันมากนัก ส่วนสีในโทนเข้ม ข้อมูลที่ได้จะมีค่าค่อนข้างต่ำและใกล้เคียงกัน เช่น สีดำ สีเทาดำ สีน้ำเงิน ซึ่งเห็นได้ชัดจากกราฟเส้นซึ่งแสดงขนาดของข้อมูลที่สีต่างๆกัน และกราฟแท่งแสดงค่าเฉลี่ยขนาดของข้อมูลที่สีต่างๆกัน จากการทดลองนี้ทำให้เราสามารถนำความแตกต่างจากสีของผลผลิต เพื่อประยุกต์ใช้ในการคัดแยกผลผลิต ยิ่งผลผลิตที่มีความแตกต่างกันของข้อมูลมีมากเท่าไร วงจรการคัดแยกนี้ก็ยิ่งมีความเที่ยงตรงมากขึ้น

ในการทดลองที่ 5.2 เพื่อศึกษาผลของความลาดชันของรางที่มุมองศาต่างๆกัน จากการทดลองพบว่า ยิ่งระดับความลาดชันของรางมีค่ามาก จำนวนของเสียที่แยกได้จะมีค่าน้อยกว่าระดับความลาดชันที่น้อย ระยะที่เหมาะสมจะอยู่ในช่วงต่ำกว่า 30 องศา ดังนั้นเราจึงควรติดตั้งรางให้มีระดับความชันในช่วงต่ำกว่า 30 องศา เพื่อให้วัตถุมีความเร็วต้นต่ำสุด แต่เนื่องจากรางมีความฝืด เราจึงใช้มอเตอร์ติดตั้งกับรางเพื่อให้ผลผลิตสามารถไหลตามรางได้อย่างสม่ำเสมอ

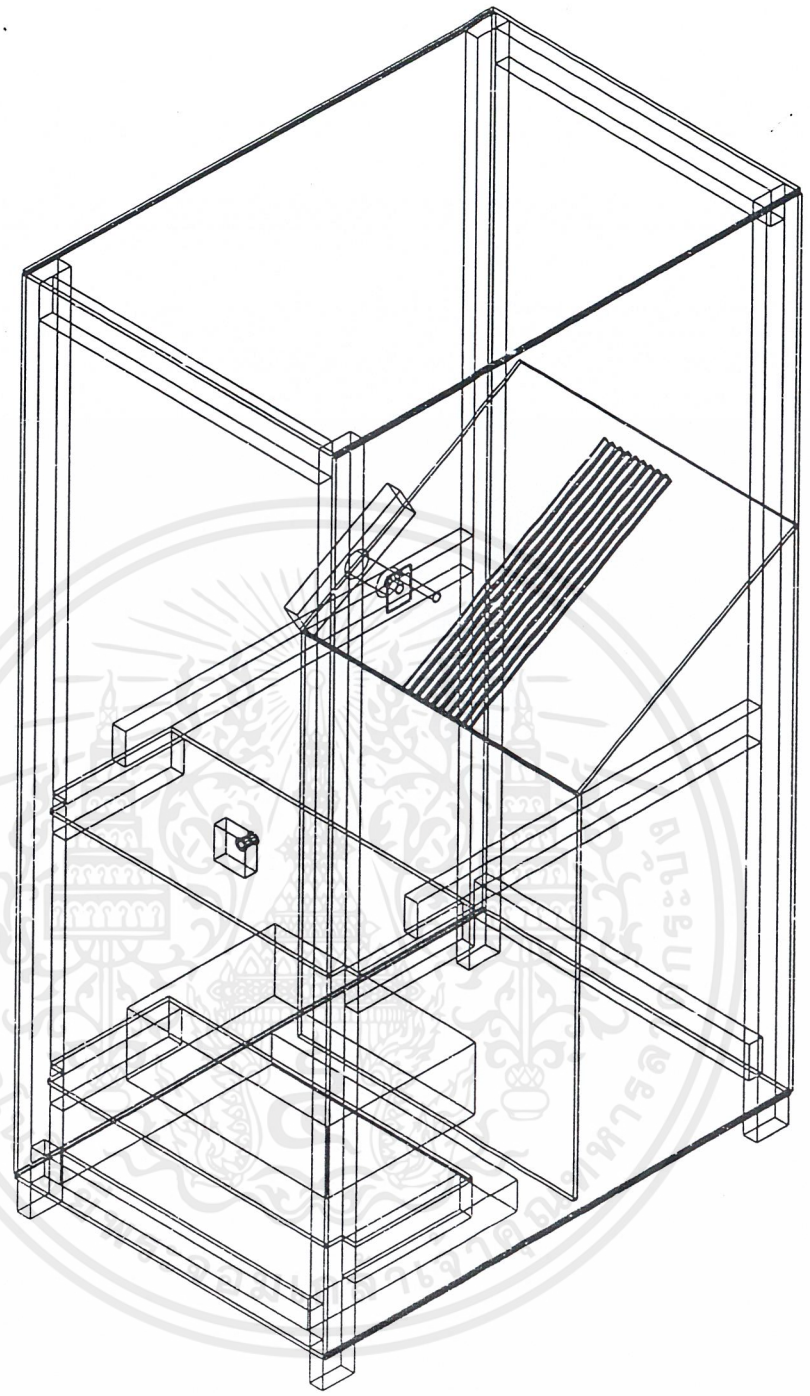
นอกจากนี้ในการทดลอง เรายังพบข้อผิดพลาดที่เกิดจากสภาวะแวดล้อม เช่น สีของผลผลิตในที่สว่างหรือมืดที่แตกต่างกัน บางครั้งอาจทำให้ความแตกต่างของข้อมูลของผลผลิตที่ทำการแยกค่อนข้างน้อย ทำให้เกิดการคัดแยกที่ผิดพลาดได้ ปัญหาที่เกิดขึ้นสามารถแก้ไขได้โดยการออกแบบและปรับปรุงในส่วนของแมกแคนิก เช่น ควบคุมแสงไฟที่ใช้ในการทดลองที่ทำให้เกิดความแตกต่างของสีที่จะทำการคัดแยก หรือใช้กล้องที่มีคุณภาพสูง เพื่อที่จะเก็บภาพได้อย่างสมบูรณ์และมีความคมชัด

โครงงานชิ้นนี้จะมุ่งเน้นในการทำงานของวงจรให้เป็นไปตามจุดประสงค์และมีความผิดพลาดน้อยที่สุดและจากผลการทดลองที่ได้ก็แสดงให้เห็นในส่วนของวงจรนั้น สามารถใช้งานได้ดีในระดับหนึ่ง ในกรณีที่ต้องการจะนำไปใช้ในงานจริงในการคัดแยกผลผลิตทางการเกษตรก็ควรจะมีการปรับปรุงเพื่อแก้ปัญหาที่เกิดขึ้นที่ส่วนของแมกแคนิกต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

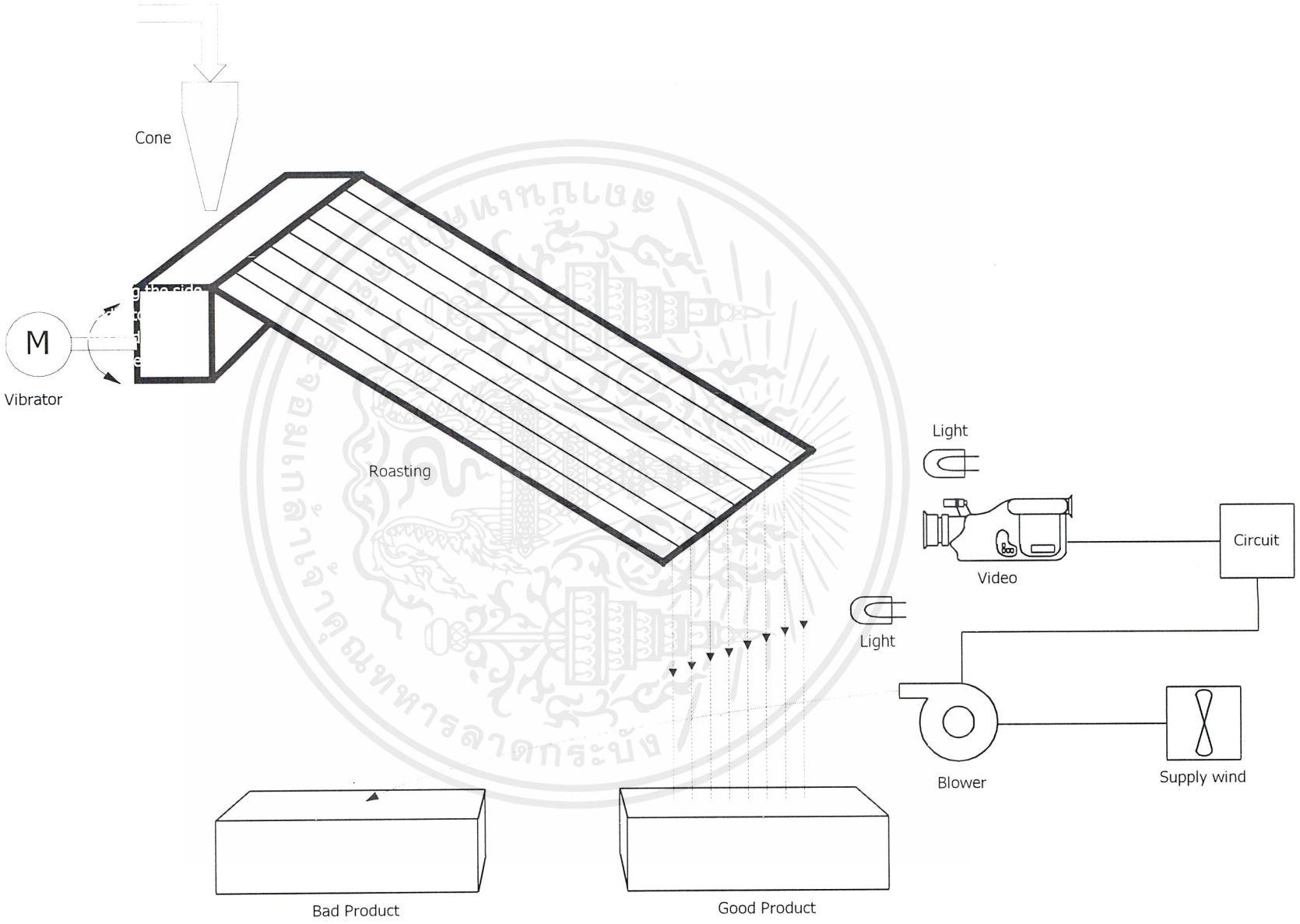
ภาคผนวก

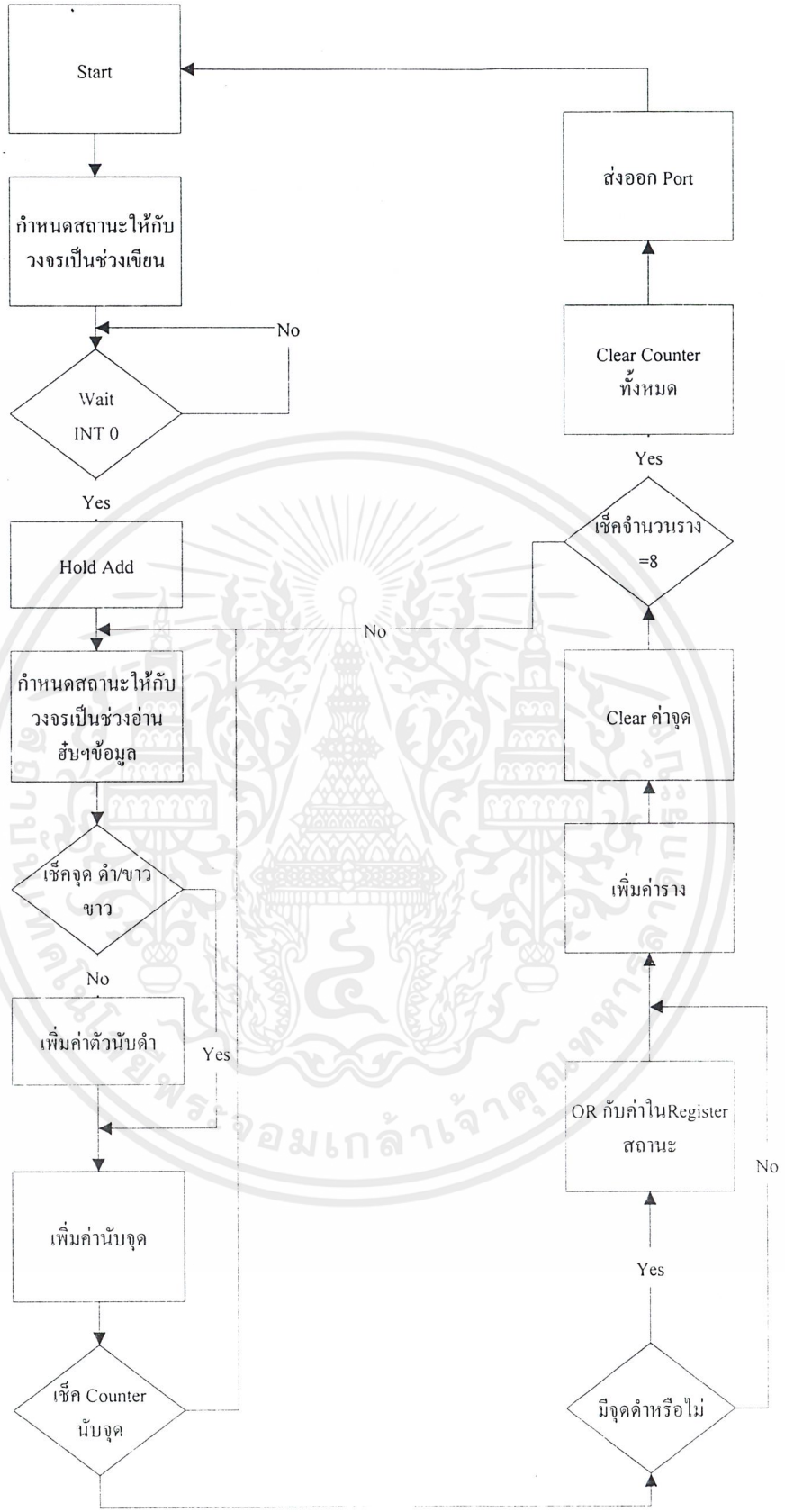
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



การออกแบบทางแมกแคนิค (MECHANICAL DRAWING)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


Cone
M
Vibrator
Roasting
Light
Video
Circuit
Light
Blower
Supply wind
Bad Product
Good Product



Flowchart แสดงการทำงานของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้นไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ORG   0000H
        LJMP  MAIN
        ORG   0003H
        LCALL DATA
        RETI

MAIN:   CLR   P3.1
        CLR   P3.0
        MOV   IE,#81H
        MOV   P1,#0FFH
LOOP:   SJMP  LOOP

DATA:   SETB  P3.1
        LCALL DELAY
        MOV   DPTR,#0FFFFH
        MOV   R1,#00H
        MOV   R2,#00H
        MOV   R3,#00H
        MOV   R4,#00H
        MOV   R5,#80H
        CLR   P3.1
        SETB  P3.0

DATA2:  MOVX  A,@DPTR
        MOVX  A,@DPTR
DATA1:  MOVX  A,@DPTR
        CJNE  A,#7FH,TEST
        LJMP  BIT
TEST:   JC    BIT
        INC   R2
        LJMP  BIT1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
BIT:    INC   R1
        INC   R2

BIT1:   CJNE  R2,#1CH,DATA1
        MOVX  A,@DPTR
        MOVX  A,@DPTR
        MOV   R2,#00H
        INC   R4
        MOV   A,R5
        RL    A
        MOV   R5,A
        CJNE  R1,#01H,BLACK
        LJMP  CL
BLACK:  JC    CL
        MOV   A,R3
        ORL   A,R5
        MOV   R3,A
CL:     MOV   R1,#00H
        CJNE  R4,#08H,DATA2
BACK:   MOV   A,R3
        CLR   P3.0
        MOV   P1,A
        RET
DELAY:  DJNZ  R7,DELAY
        RET
        END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

LM1881 Video Sync Separator

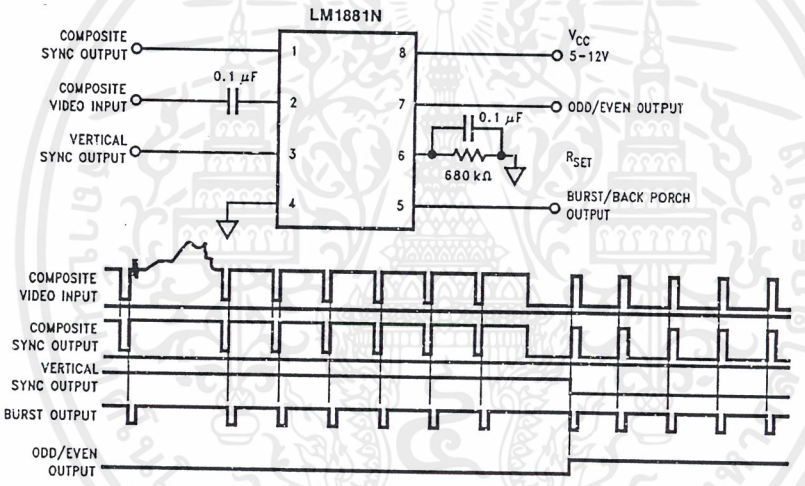
General Description

The LM1881 video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL *, and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



TL/H/9150–1

Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

© 1995 National Semiconductor Corporation

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vpp (V_{CC} = 5V) 6 Vpp (V_{CC} ≥ 8V)
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current: Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0 °C − 70°C
Storage Temperature Range	−65°C to +150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260 °C
Small Outline Package	
Vapor Phase (60 sec.)	215 °C
Infrared (15 sec.)	220 °C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

V_{CC} = 5V; Rset = 680 kΩ; T_A = 25°C; Unless otherwise specified

Parameter	Conditions		Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	Outputs at Logic 1	V_{CC} = 5V	5.2	10		mAmax
		V_{CC} = 12V	5.5	12		mAmax
DC Input Voltage	Pin 2		1.5	1.3		Vmin
				1.8		Vmax
Input Threshold Voltage	Note 5		70	55		mVmin
				85		mVmax
Input Discharge Current	Pin 2; V_{IN} = 2V		11	6		µAmin
				16		µAmax
Input Clamp Charge Current	Pin 2; V_{IN} = 1V		0.8	0.2		mAmin
R_{SET} Pin Reference Voltage	Pin 6; Note 6		1.22	1.10		Vmin
				1.35		Vmax
Composite Sync. & Vertical Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
	I_{OUT} = 1.6 mA Logic 1	V_{CC} = 5V	3.6	2.4		Vmin
		V_{CC} = 12V		10.0		Vmin
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1		0.2	0.8		Vmax
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3		0.2	0.8		Vmax
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5		0.2	0.8		Vmax
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7		0.2	0.8		Vmax
Vertical Sync Width			230	190		µsmin
				300		µsmax
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}		4	2.5		µsmin
				4.7		µsmax
Vertical Default Time	Note 7		65	32		µsmin
				90		µsmax

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

Note 2: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 3: Typicals are at T_J = 25°C and represent the most likely parametric norm.

Note 4: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

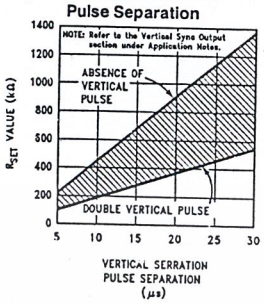
Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the R_{SET} pin (Pin 6).

Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

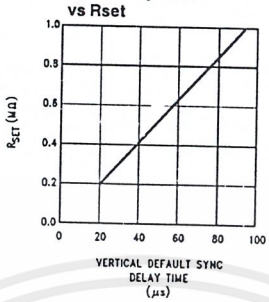
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

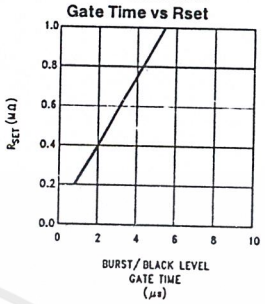
R_{set} Value Selection vs Vertical Serration Pulse Separation



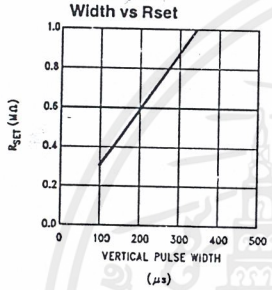
Vertical Default Sync Delay Time vs Rset



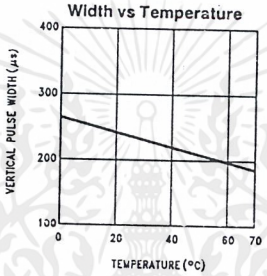
Burst/Black Level Gate Time vs Rset



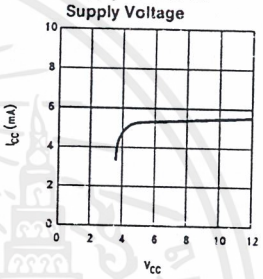
Vertical Pulse Width vs Rset



Vertical Pulse Width vs Temperature



Supply Current vs Supply Voltage



TL/H/9150–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

74F269
8-bit bidirectional binary counter

Product specification

IC15 Data Handbook

1996 Jan 05

Philips
Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-bit bidirectional binary counter

74F269

FEATURES

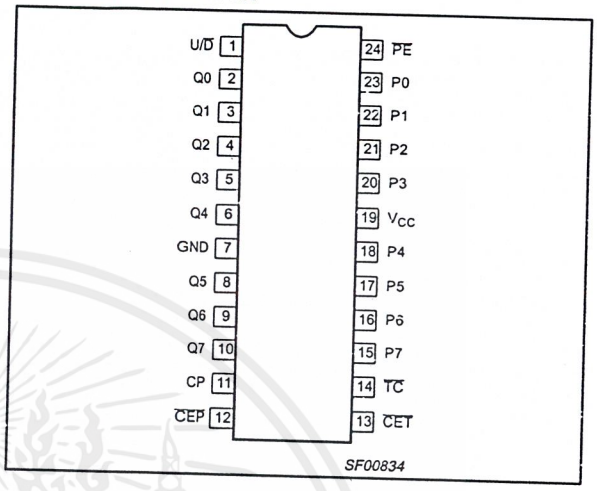
- Synchronous counting and loading
- Built-in look-ahead carry capability
- Count frequency 115MHz typ
- Supply current 95mA typ

DESCRIPTION

The 74F269 is a fully synchronous 8-stage Up/Down Counter featuring a preset capability for programmable operation, carry look-ahead for easy cascading and a U/$\overline{D}$ input to control the direction of counting. All state changes, whether in counting or parallel loading, are initiated by the rising edge of the clock.

TYPE	TYPICAL f_{MAX}	TYPICAL SUPPLY CURRENT (TOTAL)
74F269	115MHz	95mA

PIN CONFIGURATION



ORDERING INFORMATION

DESCRIPTION	COMMERCIAL RANGE V_{CC} = 5V ±10%, T_{amb} = 0°C to +70°C	PKG DWG #
24-Pin Plastic Slim DIP (300mil)	N74F269N	SOT222-1
24-Pin Plastic SOL	N74F269D	SOT137-1
24-Pin Plastic SSOP type II	N74F269DB	SOT340-1

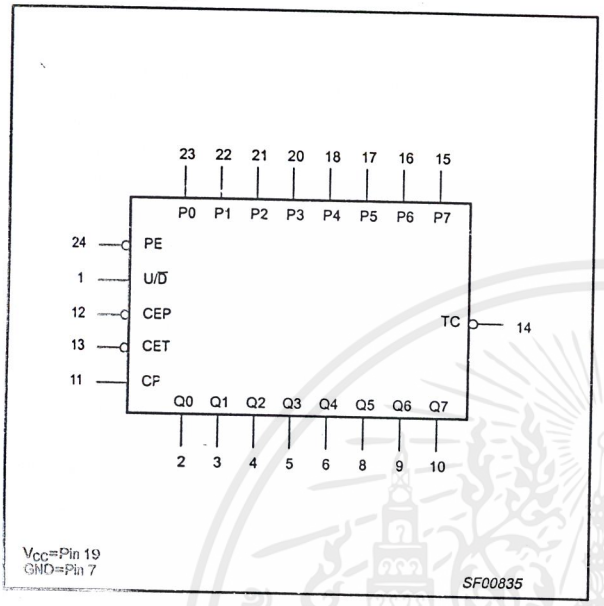
INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

PINS	DESCRIPTION	74F(U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
$\overline{P0}$ - P7	Parallel Data inputs	1.0/1.0	20µA/0.6mA
$\overline{PE}$	Parallel Enable input (active Low)	1.0/1.0	20µA/0.6mA
U/$\overline{D}$	Up/Down count control input	1.0/1.0	20µA/0.6mA
$\overline{CEP}$	Count Enable Parallel input (active Low)	1.0/1.0	20µA/0.6mA
$\overline{CET}$	Count Enable Trickle input (active Low)	1.0/1.0	20µA/0.6mA
CP	Clock input	1.0/1.0	20µA/0.6mA
$\overline{TC}$	Terminal Count output (active Low)	50/33	1.0mA/20mA
Q0 - Q7	Flip-flop outputs	50/33	1.0mA/20mA

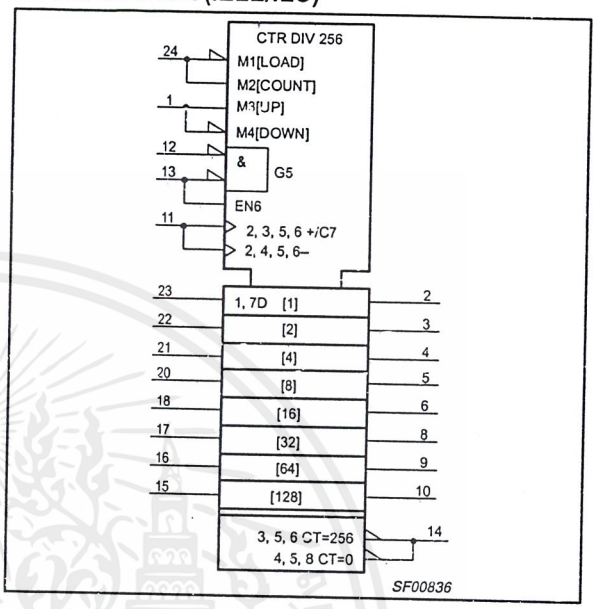
NOTE:
One (1.0) FAST Unit Load is defined as: 20 µA in the High state and 0.6mA in the Low state.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC SYMBOL



LOGIC SYMBOL (IEEE/IEC)



APPLICATION

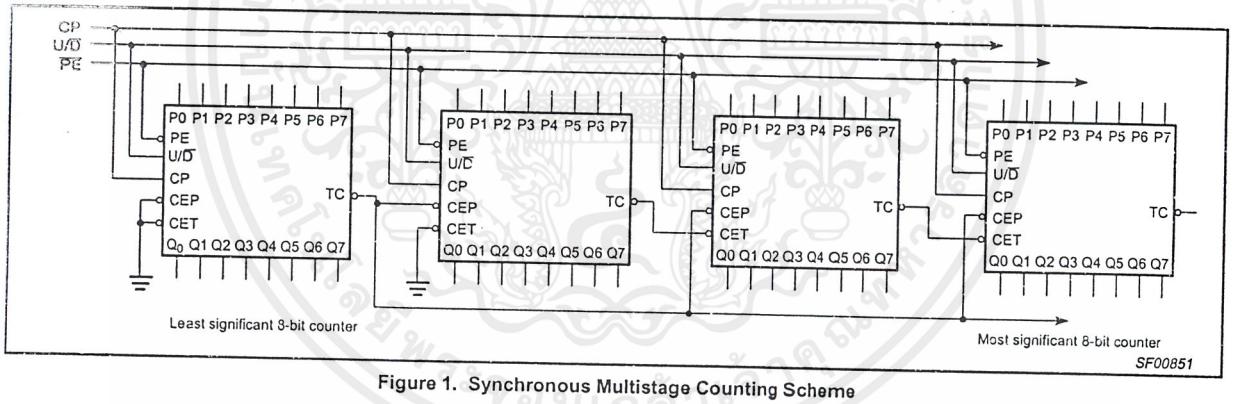


Figure 1. Synchronous Multistage Counting Scheme

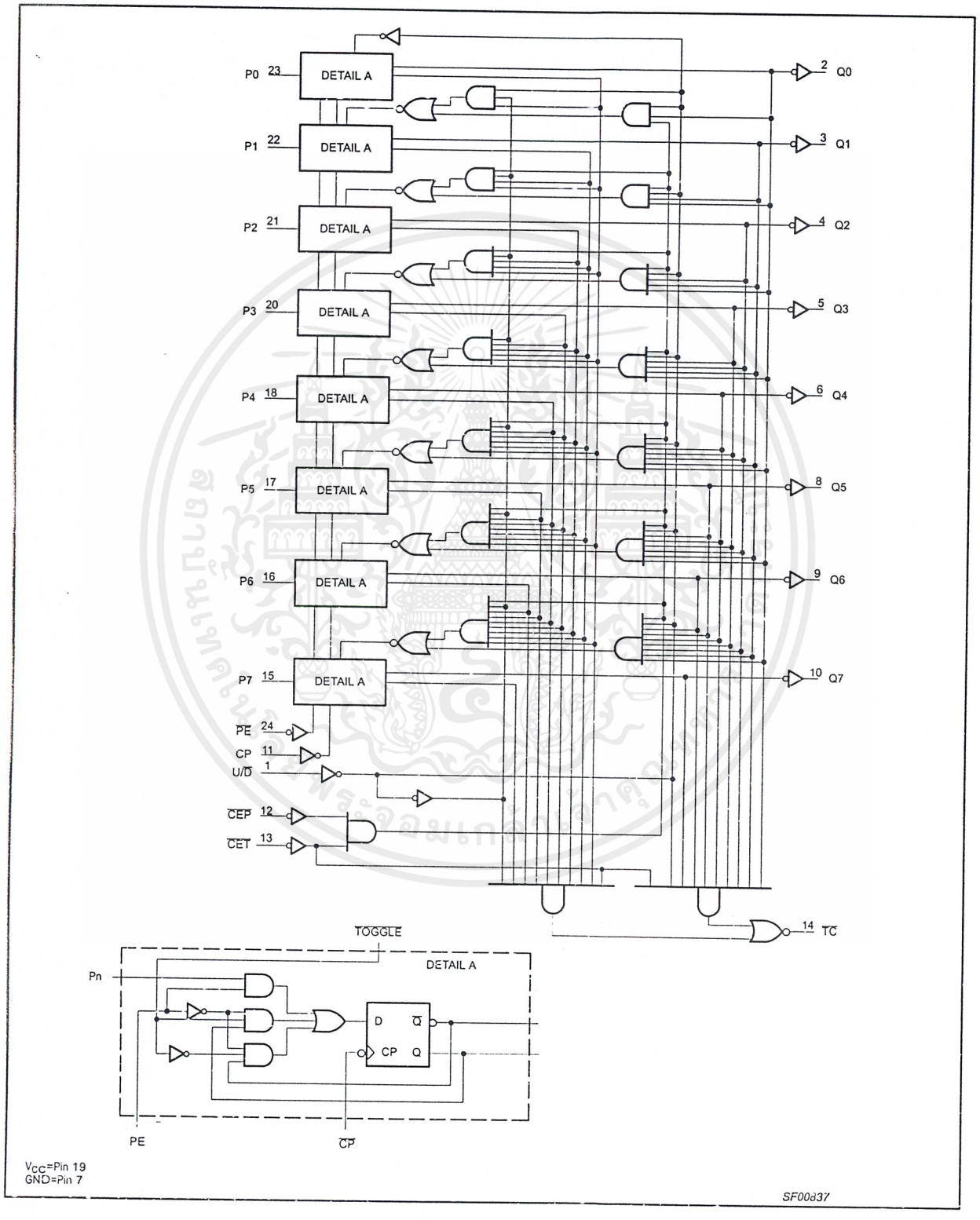
MODE SELECT FUNCTION TABLE

INPUTS						OUTPUTS		OPERATING MODE
$\overline{CP}$	U/$\overline{D}$	$\overline{CEP}$	$\overline{CET}$	$\overline{PE}$	P_n	Q_n	$\overline{TC}$	
↑	X	X	X	l	l	L	(a)	Parallel load
↑	X	X	X	l	h	H	(a)	
↑	h	l	l	h	X	Count Up	(a)	Count Up
↑	l	l	l	h	X	Count Down	(a)	Count Down
↑	X	h	l	h	X	q_n	(a)	Hold (do nothing)
↑	X	X	h	h	X	q_n	H	

H = High voltage level
h = High voltage level one setup prior to the Low-to-High clock transition
L = Low voltage level
l = Low voltage level one setup time prior to the Low-to-High clock transition
q = Lower case letters indicate the state of the referenced output prior to the Low-to-High clock transition
X = Don't care
↑ = Low-to-High clock transition
(a) = $\overline{TC}$ is Low when $\overline{CET}$ is Low and the counter is at Terminal Count. Terminal Count Up is with all Q_n outputs High and Terminal Count Down is with all Qn outputs Low.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

(Operation beyond the limits set forth in this table may impair the useful life of the device.
Unless otherwise noted these limits are over the operating free-air temperature range.)

SYMBOL	PARAMETER	RATING	UNIT
V_{CC}	Supply voltage	–0.5 to +7.0	V
V_{IN}	Input voltage	–0.5 to +7.0	V
I_{IN}	Input current	–30 to +5	mA
V_{OUT}	Voltage applied to output in High output state	–0.5 to V_{CC}	V
I_{OUT}	Current applied to output in Low output state	40	mA
T_{amb}	Operating free-air temperature range	0 to +70	°C
T_{stg}	Storage temperature	–65 to +150	°C

RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	LIMITS			UNIT
		MIN	NOM	MAX	
V_{CC}	Supply voltage	4.5	5.0	5.5	V
V_{IH}	High-level input voltage	2.0			V
V_{IL}	Low-level input voltage			0.8	V
I_{IK}	Input clamp current			–18	mA
I_{OH}	High-level output current			–1	mA
I_{OL}	Low-level output current			20	mA
T_{amb}	Operating free-air temperature range	0		70	°C

DC ELECTRICAL CHARACTERISTICS

(Over recommended operating free-air temperature range unless otherwise noted.)

SYMBOL	PARAMETER	TEST CONDITIONS NO TAG		LIMITS			UNIT
				MIN	TYP NO TAG	MAX	
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = MAX	±10%V_{CC}	2.5			V
		V_{IH} = MIN, I_{OH} = MAX	±5%V_{CC}	2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IL} = MAX	±10%V_{CC}		0.30	0.50	V
		V_{IH} = MIN, I_{OL} = MAX	±5%V_{CC}		0.30	0.50	
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = I_{IK}			–0.73	–1.2	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7.0V				100	µA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	µA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.5V				–0.6	mA
I_{OS}	Short-circuit output current NO TAG	V_{CC} = MAX		–60		–150	mA
I_{CC}	Supply current (total) I_{CCH}	V_{CC} = MAX	$\overline{PE}$=$\overline{CET}$=$\overline{CEP}$=U/$\overline{D}$=GND, Pn=4.5V, CP=↑		93	120	mA
	Supply current (total) I_{CCL}	V_{CC} = MAX	$\overline{PE}$=$\overline{CET}$=$\overline{CEP}$=U/$\overline{D}$=GND, Pn=GND, CP=↑		98	125	mA

NOTES:

1. For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applic able type.
2. All typical values are at V_{CC} = 5V, T_{amb} = 25°C.
3. Not more than one output should be shorted at a time. For testing I_{OS}, the use of high-speed test apparatus and/or sample-and-hold techniques are preferable in order to minimize internal heating and more accurately reflect operational values. Otherwise, prol onged shorting of a High output may raise the chip temperature well above normal and thereby cause invalid readings in other parameter tests. In any sequence of parameter tests, I_{OS} tests should be performed last.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS

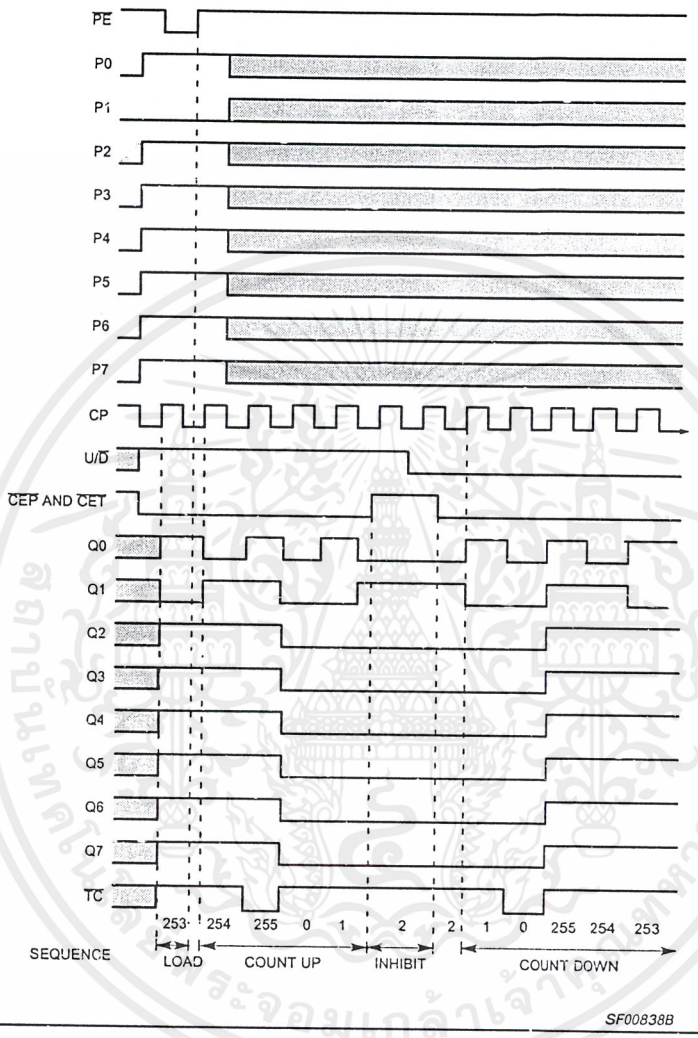
SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS					UNIT
			T_{amb} = +25°C V_{CC} = +5V C_L = 50pF, R_L = 500Ω			T_{amb} = 0°C to +70°C V_{CC} = +5V ± 10% C_L = 50pF, R_L = 500Ω		
			MIN	TYP	MAX	MIN	MAX	
f_{MAX}	Maximum clock frequency	Waveform 1	100	115		85		MHz
t_{PLH} t_{pPHL}	Propagation delay CP to Q_n (Load, $\overline{PE}$ = Low)	Waveform 1	3.0 4.0	6.0 6.5	8.5 8.5	3.0 4.0	9.0 9.0	ns ns
t_{PLH} t_{PHL}	Propagation delay CP to Q_n (Count, $\overline{PE}$ = High)	Waveform 1	3.0 4.5	6.0 7.0	9.0 10.0	3.0 4.0	10.0 10.5	ns ns
t_{PLH} t_{PHL}	Propagation delay CP to $\overline{TC}$	Waveform 1	4.5 5.0	6.5 6.5	9.5 9.5	4.0 5.0	10.5 10.0	ns ns
t_{PLH} t_{PHL}	Propagation delay $\overline{CET}$ to $\overline{TC}$	Waveform 2	3.5 3.0	6.0 6.5	9.0 9.0	3.0 3.0	10.0 10.0	ns ns
t_{PLH} t_{PHL}	Propagation delay U/$\overline{D}$ to $\overline{TC}$	Waveform 3	4.5 4.5	7.0 7.0	9.0 9.5	4.0 4.0	10.0 10.0	ns ns

AC SETUP REQUIREMENTS

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS				UNIT
			T_{amb} = +25°C V_{CC} = +5V C_L = 50pF, R_L = 500Ω		T_{amb} = 0°C to +70°C V_{CC} = +5V ± 10% C_L = 50pF, R_L = 500Ω		
			MIN	TYP	MIN	MAX	
t_s(H) t_s(L)	Setup time, High or Low P_n to CP	Waveform 4	3.5 3.5		2.5 2.5		ns ns
t_h(H) t_h(L)	Hold time, High or Low P_n to CP	Waveform 4	1.0 1.0		0 1.0		ns ns
t_s(H) t_s(L)	Setup time, High or Low $\overline{PE}$ to CP	Waveform 4	5.5 6.5		5.5 6.5		ns ns
t_h(H) t_h(L)	Hold time, High or Low $\overline{PE}$ to CP	Waveform 4	0 0		0 0		ns ns
t_s(H) t_s(L)	Setup time, High or Low $\overline{CEP}$ or $\overline{CET}$ to CP	Waveform 5	6.0 8.0		5.0 6.5		ns ns
t_h(H) t_h(L)	Hold time, High or Low $\overline{CEP}$ or $\overline{CET}$ to CP	Waveform 5	0 0		0 0		ns ns
t_s(H) t_s(L)	Setup time, High or Low U/$\overline{D}$ to CP	Waveform 6	8.0 6.5		6.5 6.5		ns ns
t_h(H) t_h(L)	Hold time, High or Low U/$\overline{D}$ to CP	Waveform 6	0 0		0 0		ns ns
t_w(H) t_w(L)	$\overline{CP}$ Pulse width High or Low	Waveform 1	4.0 4.5		4.0 5.0		ns ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING DIAGRAM

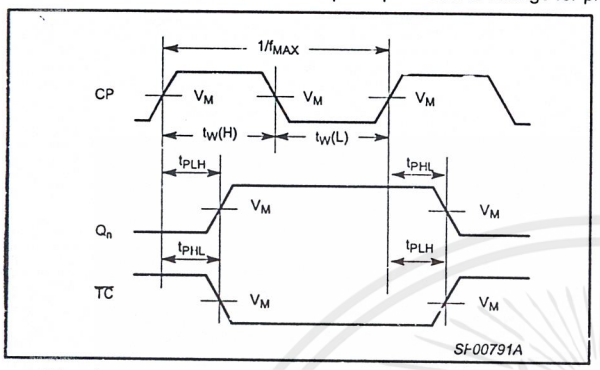


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

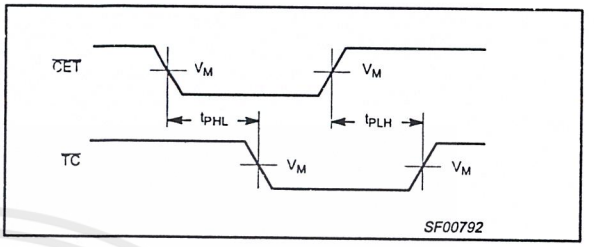
AC WAVEFORMS

For all waveforms, $V_M = 1.5V$.

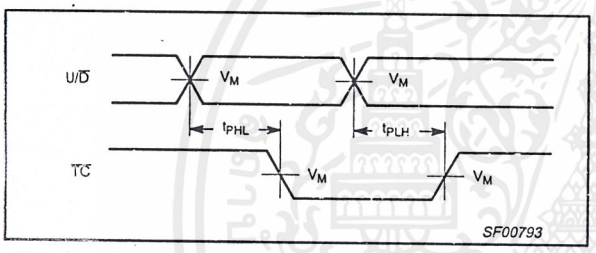
The shaded areas indicate when the input is permitted to change for predictable output performance.



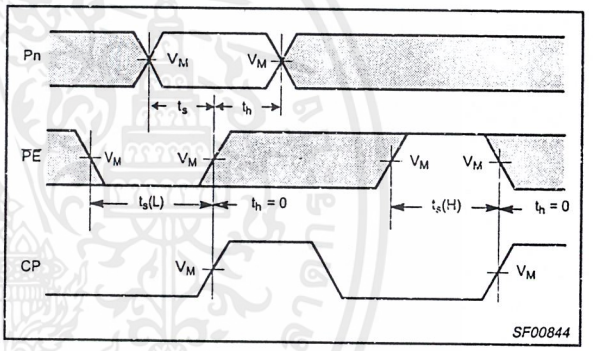
Waveform 1. Propagation Delay, Clock Input to Output, Clock Pulse Width, and Maximum Clock Frequency



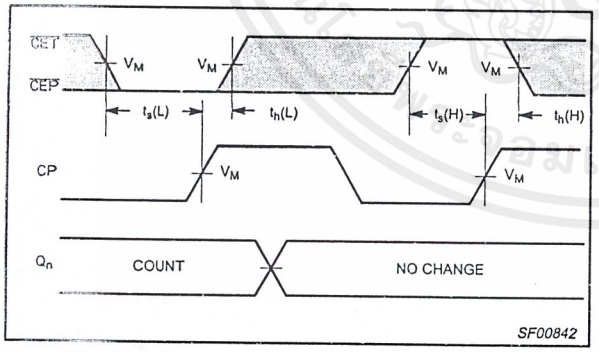
Waveform 2. Propagation Delay, $\overline{CET}$ Input to Terminal Count Output



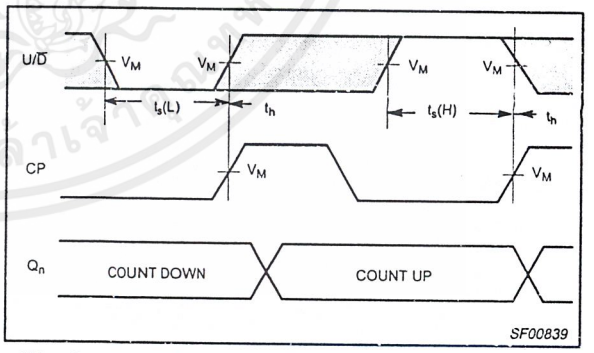
Waveform 3. Propagation Delay, Up/Down Count Control Input to Terminal Count Output



Waveform 4. Paralle! Data and Parallel Enable Setup and Hold Times



Waveform 5. Count Enables Setup and Hold Times



Waveform 6. Up/Down Count Control Setup and Hold Times

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

TDA8708A
Video analog input interface

Product specification
Supersedes data of April 1993
File under Integrated Circuits, IC02

June 1994

Philips Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Video analog input interface TDA8708A

FEATURES

- 8-bit resolution
- Sampling rate up to 32 MHz
- Binary or two's complement 3-state TTL outputs
- TTL-compatible digital inputs and outputs
- Internal reference voltage regulator
- Power dissipation of 365 mW (typical)
- Input selector circuit (one out of three video inputs)
- Clamp and Automatic Gain Control (AGC) functions for CVBS and Y signals
- No sample-and-hold circuit required.
- The TDA8708A has white peak control in modes 1 and 2 whereas the TDA8708B has control in mode 1 only.

APPLICATIONS

- Video signal decoding
- Scrambled TV (encoding and decoding)
- Digital picture processing
- Frame grabbing.

GENERAL DESCRIPTION

The TDA8708A is an analog input interface for video signal processing. It includes a video amplifier with clamp and gain control, an 8-bit analog-to-digital converter (ADC) with a sampling rate of 32 MHz and an input selector.

QUICK REFERENCE DATA

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{CCA}	analog supply voltage	4.5	5.0	5.5	V
V_{CCD}	digital supply voltage	4.5	5.0	5.5	V
V_{CCO}	TTL output supply voltage	4.2	5.0	5.5	V
I_{CCA}	analog supply current	–	37	45	mA
I_{CCD}	digital supply current	–	24	30	mA
I_{CCO}	TTL output supply current	–	12	16	mA
ILE	DC integral linearity error	–	–	±1	LSB
DLE	DC differential linearity error	–	–	±0.5	LSB
$f_{clk(max)}$	maximum clock frequency	30	32	–	MHz
B	maximum −3 dB bandwidth (AGC amplifier)	12	18	–	MHz
P_{tot}	total power dissipation	–	365	500	mW

ORDERING INFORMATION

TYPE NUMBER	PACKAGE			
	PINS	PIN POSITION	MATERIAL	CODE
TDA8708A	28	DIP	plastic	SOT117-1
TDA8708AT	28	SO28L	plastic	SOT136-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

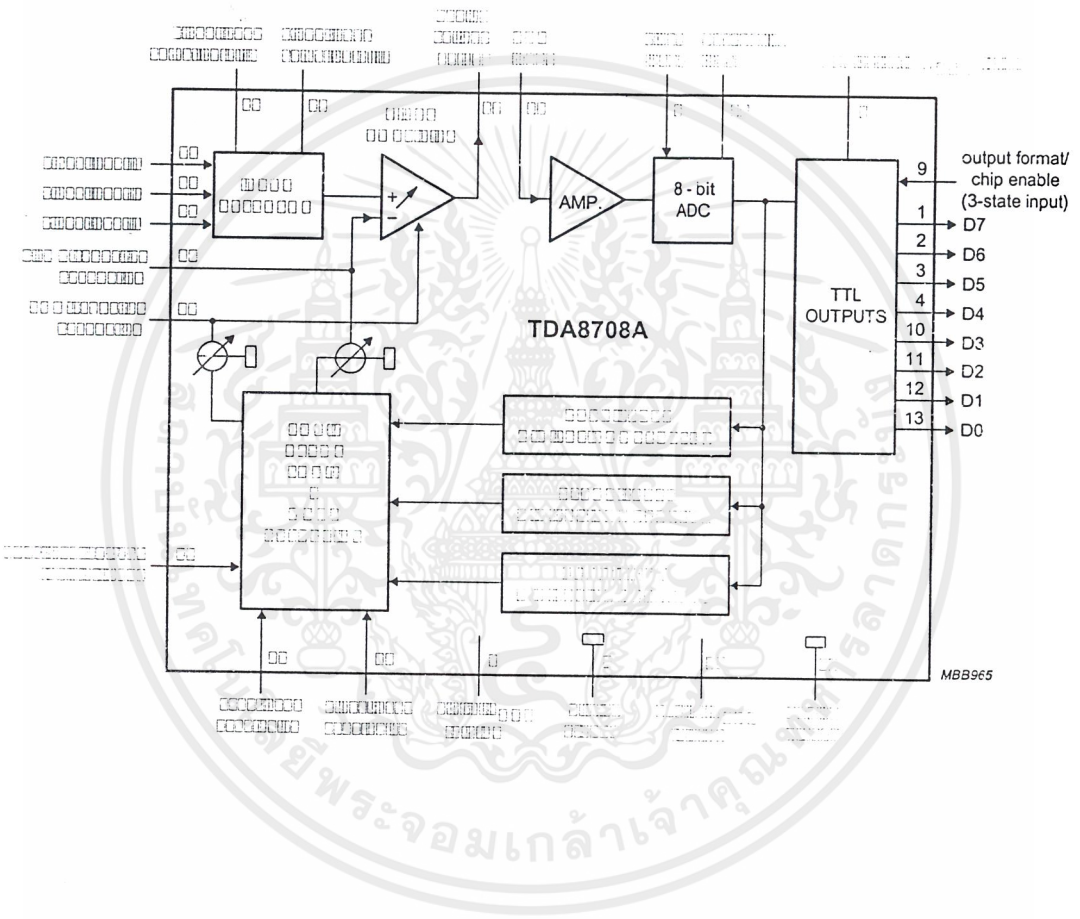


Fig.1 Block diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PINNING

SYMBOL	PIN	DESCRIPTION
D7	1	data output; bit 7 (MSB)
D6	2	data output; bit 6
D5	3	data output; bit 5
D4	4	data output; bit 4
CLK	5	clock input
V_{CCD}	6	digital supply voltage (+5 V)
V_{CCO}	7	TTL outputs supply voltage (+5 V)
DGND	8	digital ground
OF	9	output format/chip enable (3-state input)
D3	10	data output; bit 3
D2	11	data output; bit 2
D1	12	data output; bit 1
D0	13	data output; bit 0 (LSB)
I0	14	video input selection bit 0
I1	15	video input selection bit 1
VIN0	16	video input 0
VIN1	17	video input 1
VIN2	18	video input 2
ANOUT	19	analog voltage output
ADCIN	20	analog-to-digital converter input
DEC	21	decoupling input
V_{CCA}	22	analog supply voltage (+5 V)
AGND	23	analog ground
CLAMP	24	clamp capacitor connection
AGC	25	AGC capacitor connection
GATE B	26	black level synchronization pulse
GATE A	27	sync level synchronization pulse
RPEAK	28	peak level current resistor input

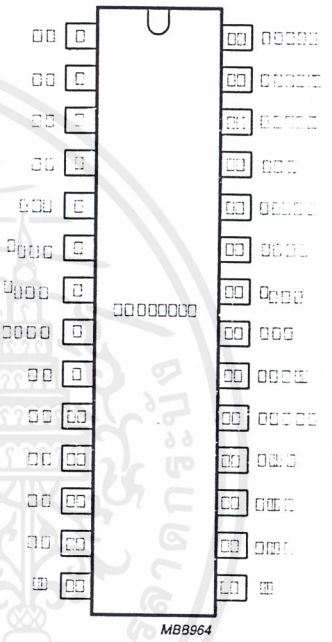


Fig.2 Pin configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The TDA8708A provides a simple interface for decoding video signals.

The TDA8708A operates in configuration mode 1 (see Fig.4) when the video signals are weak (i.e. when the gain of the AGC amplifier has not yet reached its optimum value). This enables a fast recovery of the synchronization pulses in the decoder circuit. When the pulses at the GATE A and GATE B inputs become distinct (GATE A and GATE B pulses are synchronization pulses occurring during the sync period and rear porch respectively) the TDA8708A automatically switches to configuration mode 2 (see Fig.5).

When the TDA8708A is in configuration mode 1, the gain of the AGC amplifier will be roughly adjusted (sync level to a digital output level of 0 and the peak level to a digital output level of 255).

In configuration mode 2 the digital output of the ADC is compared to internal digital reference levels. The resultant outputs control the charge or discharge current of a capacitor connected to the AGC pin. The voltage across this capacitor controls the gain of the video amplifier. This is the gain control loop.

The sync level comparator is active during a positive-going pulse at the GATE A input. This means that the sync pulse of the composite video signal is used as an amplitude reference. The bottom of the sync pulse is adjusted to obtain a digital output of logic 0 at the converter output. As the black level is at digital level 64, the sync pulse will have a digital amplitude of 64 LSBs.

The peak-white control loop is always active. If the video signal tends to exceed the digital code of 248, the gain will be limited to avoid any over-range of the converter.

The use of nominal signals will prevent the output from exceeding a digital code of 213 and the peak-white control loop will be non-active.

The clamp level control is accomplished by using the same techniques as used for the gain control. The black-level digital comparator is active during a positive-going pulse at the GATE B input. The clamp capacitor will be charged or discharged to adjust the digital output to code 64.

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	MIN.	MAX.	UNIT
V_{CCA}	analog supply voltage	−0.3	+7.0	V
V_{CCD}	digital supply voltage	−0.3	+7.0	V
V_{CCO}	output supply voltage	−0.3	+7.0	V
ΔV_{CC}	supply voltage difference between V_{CCA} and V_{CCD}	−1.0	+1.0	V
	supply voltage difference between V_{CCO} and V_{CCD}	−1.0	+1.0	V
	supply voltage difference between V_{CCA} and V_{CCO}	−1.0	+1.0	V
V_I	input voltage	−0.3	V_{CCA}	V
I_O	output current	0	+10	mA
T_{stg}	storage temperature	−55	+150	°C
T_{amb}	operating ambient temperature	0	+70	°C
T_j	junction temperature	0	+125	°C

THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	VALUE	UNIT
$R_{th\ j\text{-}a}$	thermal resistance from junction to ambient in free air		
	SOT117-1	55	K/W
	SOT136-1	70	K/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHARACTERISTICS

V_{CCA} = V_{22} to V_{23} = 4.5 to 5.5 V; V_{CCD} = V_6 to V_8 = 4.5 to 5.5 V; V_{CCO} = V_7 to V_8 = 4.2 to 5.5 V; AGND and DGND shorted together; V_{CCA} to V_{CCD} = −0.5 to +0.5 V; V_{CCO} to V_{CCD} = −0.5 to +0.5 V; V_{CCA} to V_{CCO} = −0.5 to +0.5 V; T_{amb} = 0 to +70 °C; typical readings taken at V_{CCA} = V_{CCD} = V_{CCO} = 5 V and T_{amb} = 25 °C; unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Supplies						
V_{CCA}	analog supply voltage		4.5	5.0	5.5	V
V_{CCD}	digital supply voltage		4.5	5.0	5.5	V
V_{CCO}	TTL output supply voltage		4.2	5.0	5.5	V
I_{CCA}	analog supply current		–	37	45	mA
I_{CCD}	digital supply current		–	24	30	mA
I_{CCO}	TTL output supply current	TTL load (see Fig.8)	–	12	16	mA
Video amplifier inputs						
VIN(0 TO 2) INPUTS						
$V_{I(p-p)}$	input voltage (peak-to-peak value)	AGC load with external capacitor; note 1	0.6	–	1.5	V
$\|Z_i\|$	input impedance	f = 6 MHz	10	20	–	kΩ
C_I	input capacitance	f = 6 MHz	–	1	–	pF
I0 AND I1 TTL INPUTS (SEE TABLE 1)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_I = 0.4 V	−400	–	–	µA
I_{IH}	HIGH level input current	V_I = 2.7 V	–	–	20	µA
GATE A AND GATE B TTL INPUTS (SEE FIGS 4 AND 5)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_I = 0.4 V	−400	–	–	µA
I_{IH}	HIGH level input current	V_I = 2.7 V	–	–	20	µA
t_W	pulse width	see Fig.5	2	–	–	µs
RPEAK INPUT (PIN 28)						
$I_{28(min)}$	minimum peak level current	R_{28} = 0 Ω	–	80	150	µA
AGC INPUT (PIN 25)						
$V_{25(min)}$	AGC voltage for minimum gain		–	2.8	–	V
$V_{25(max)}$	AGC voltage for maximum gain		–	4.0	–	V
	AGC output current		see Table 2			
CLAMP INPUT (PIN 24)						
V_{24}	clamp voltage for code 128 output		–	3.5	–	V
I_{24}	clamp output current		see Table 3			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Video amplifier outputs						
ANOUT OUTPUT (PIN 19)						
$V_{19(p-p)}$	AC output voltage (peak-to-peak value)	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	1.33	–	V
I_{19}	internal current source	$R_L = \infty$	2.0	2.5	–	mA
$I_{O(p-p)}$	output current driven by the load	V_{ANOUT}= 1.33 V (p-p); note 2	–	–	1.0	mA
V_{19}	DC output voltage for black level	note 3	–	V_{CCA} – 2.24	–	V
Z_{19}	output impedance		–	20	–	Ω
Video amplifier dynamic characteristics						
α_{ct}	crosstalk between VIN inputs	V_{CCA}= 4.75 to 5.25 V	–	–50	–45	dB
G_{diff}	differential gain	V_{VIN}= 1.33 V (p-p); V_{25} = 3.6 V	–	2	–	%
φ_{diff}	differential phase	V_{VIN}= 1.33 V (p-p); V_{25} = 3.6 V	–	0.8	–	deg
B	–3 dB bandwidth		12	–	–	MHz
S/N	signal-to-noise ratio	note 4	60	–	–	dB
SVRR1	supply voltage ripple rejection	note 5	–	45	–	dB
ΔG	gain range	see Fig.10	–4.5	–	+6.0	dB
G_{stab}	gain stability as a function of supply voltage and temperature	see Fig.10	–	–	5	%
Analog-to-digital converter inputs						
CLK INPUT (PIN 5)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_{clk}= 0.4 V	–400	–	–	μA
I_{IH}	HIGH level input current	V_{clk}= 2.7 V	–	–	100	μA
$\|Z_i\|$	input impedance	f_{clk}= 10 MHz	–	4	–	kΩ
C_I	input capacitance	f_{clk} = 10 MHz	–	4.5	–	pF
OF INPUT (3-STATE; SEE TABLE 4)						
V_{IL}	LOW level input voltage		0	–	0.2	V
V_{IH}	HIGH level input voltage		2.6	–	V_{CCD}	V
V_9	input voltage in high impedance state		–	1.15	–	V
I_{IL}	LOW level input current		–370	–300	–	μA
I_{IH}	HIGH level input current		–	300	450	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
ADCIN INPUT (PIN 20; SEE TABLE 5)						
V_{20}	input voltage	digital output = 00	–	V_{CCA} – 2.42	–	V
V_{20}	input voltage	digital output = 255	–	V_{CCA} – 1.41	–	V
$V_{20(p-p)}$	input voltage amplitude (peak-to-peak value)		–	1.0	–	V
I_{20}	input current		–	1.0	10	µA
$\|Z_i\|$	input impedance	f = 6 MHz	–	50	–	MΩ
C_I	input capacitance	f = 6 MHz	–	1	–	pF
Analog-to-digital converter outputs						
DIGITAL OUTPUTS D0 TO D7						
V_{OL}	LOW level output voltage	I_{OL} = 2 mA	0	–	0.6	V
V_{OH}	HIGH level output voltage	I_{OL} = –0.4 mA	2.4	–	V_{CCD}	V
I_{OZ}	output current in 3-state mode	0.4 V < V_O < V_{CCD}	–20	–	+20	µA
Switching characteristics						
$f_{clk(max)}$	maximum clock input frequency	see Fig.6; note 6	30	32	–	MHz
Analog signal processing (f_{clk} = 32 MHz; see Fig.8)						
G_{diff}	differential gain	V_{20} = 1.0 V (p-p); see Fig.3; note 7	–	2	–	%
φ_{diff}	differential phase	see Fig.3; note 7	–	2	–	deg
f_1	fundamental harmonics (full-scale)	f_i = 4.43 MHz; note 7	–	–	0	dB
ε_{all}	harmonics (full-scale); all components	f_i = 4.43 MHz; note 7	–	–55	–	dB
SVRR2	supply voltage ripple rejection	note 8	–	1	5	%/V
Transfer function (see Fig.8)						
ILE	DC integral linearity error		–	–	±1	LSB
DLE	DC differential linearity error		–	–	±0.5	LSB
ILE	AC integral linearity error	note 9	–	–	±2	LSB
Timing (f_{clk} = 32 MHz; see Figs 6, 7 and 8)						
DIGITAL OUTPUTS (C_L = 15 pF; I_{OL} = 2 mA; R_L = 2 kΩ)						
t_{ds}	sampling delay time		–	2	–	ns
t_h	output hold time		6	8	–	ns
t_d	output delay time		–	16	20	ns
t_{dEZ}	3-state delay time; output enable		–	19	25	ns
t_{dDZ}	3-state delay time; output disable		–	14	20	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

1. 0 dB is obtained at the AGC amplifier when applying $V_{i(p-p)}$ = 1.33 V.
2. The output current at pin 19 should not exceed 1 mA. The load impedance R_L should be referenced to V_{CCA} and defined as:
   a) AC impedance ≥1 kΩ and the DC impedance >2.7 kΩ.
   b) The load impedance should be coupled directly to the output of the amplifier so that the DC voltage supplied by the clamp is not disturbed.
3. Control mode 2 is selected.
4. Signal-to-noise ratio measured with 5 MHz bandwidth:

   $$\frac{S}{N} = 20 \log \frac{V_{ANOUTC(p-p)}}{V_{ANOUTY(RMS\ noise)}}$$ at B = 5 MHz.

5. The voltage ratio is expressed as:

   $$SVRR1 = 20 \log \frac{\Delta V_{CCA}}{V_{CCA}} \times \frac{G}{\Delta G}$$ for V_I = 1 V (p-p), gain at 100 kHz = 1 and 1 V supply variation.

6. It is recommended that the rise and fall times of the clock are ≥2 ns. In addition, a 'good layout' for the digital and analog grounds is recommended.
7. These measurements are realized on analog signals after a digital-to-analog conversion (TDA8702 is used).
8. The supply voltage rejection is the relative variation of the analog signal (full-scale signal at input) for 1 V of supply variation:

   $$SVRR2 = \frac{\Delta(V_{I(00)} - V_{I(FF)}) + (V_{I(00)} - V_{I(FF)})}{\Delta V_{CCA}}$$

9. Full-scale sine wave (f = 4.4 MHz; f_{clk} = 27 MHz).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1 Video input selection (CVBS).

I1	I0	SELECTED INPUT
0	0	VIN0
0	1	VIN1
1	0	VIN2
1	1	VIN2

Table 2 AGC output current.

GATE A	GATE B	DIGITAL OUTPUT	I_{AGC}	MODE(2)
1	1	output < 255	−2.5 μA	1
		output > 255	I_{AGCM}	1
0	X(1)	output < 248	0 μA	2
		output > 248	I_{AGCM}	2
1	0	output < 0	+2.5 μA	2
		0 < output < 248	−2.5 μA	2
		output > 248	I_{AGCM}	2

Note

1. X = don't care.
2. Mode 2 can only be initialized with successive pulses on GATE A and GATE B (see Fig.5).

Table 3 CLAMP output current.

GATE A	GATE B	DIGITAL OUTPUT	I_{CLAMP}	MODE
1	1	output < 0	I_{CLAMPM}	1
		output > 0	−2.5 μA	1
X(1)	0	X(1)	0 μA	2
0	1	output < 64	+50 μA	2
		64 < output	−50 μA	2

Note

1. X = don't care.

Table 4 OF input coding.

OF	D0 TO D7
0	active, two's complement
1	high impedance
open circuit(1)	active, binary

Note

1. Use C ≥ 10 pF to DGND.

Table 5 Output coding and input voltage (typical values).

STEP	V_{ADCIN}	BINARY OUTPUTS								TWO'S COMPLEMENT							
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
Underflow	–	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	V_{CCA} – 2.41 V	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	–	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1
.	–	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	–	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
254	–	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0
255	V_{CCA} – 1.41 V	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
Overflow	–	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

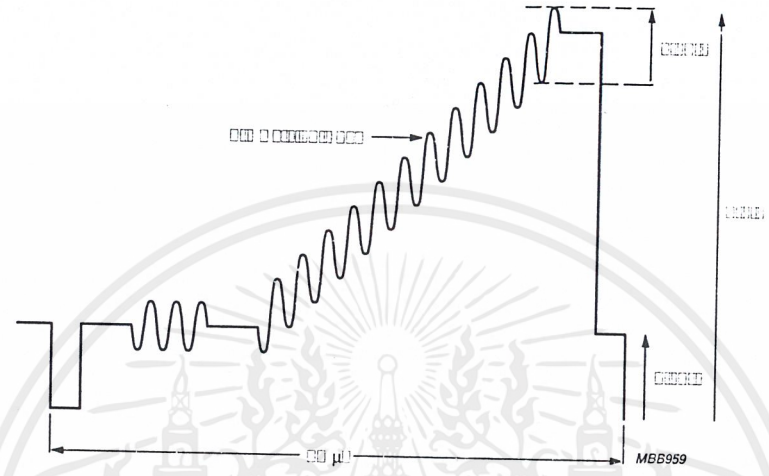


Fig.3 Test signal on the ADCIN pin for differential gain and phase measurements.

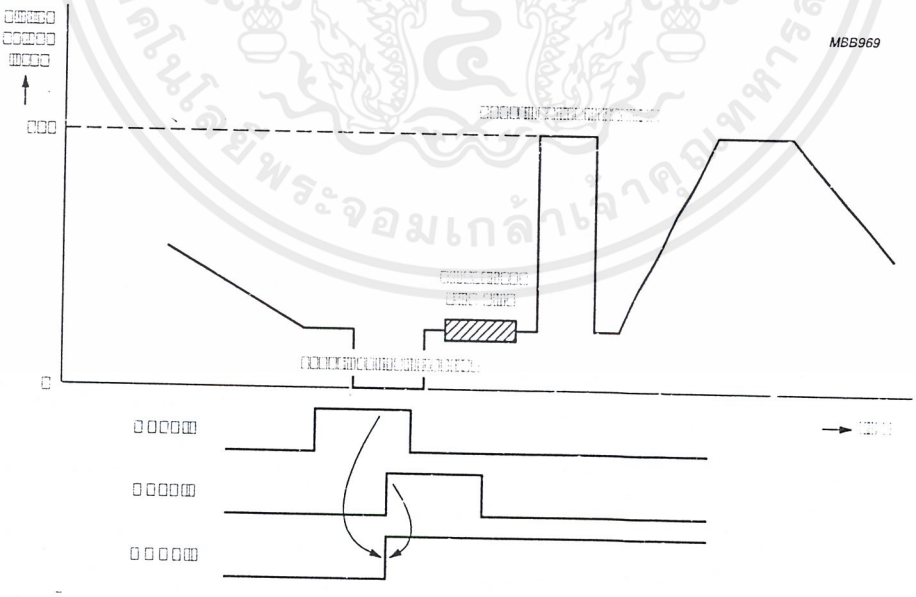


Fig.4 Control mode 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

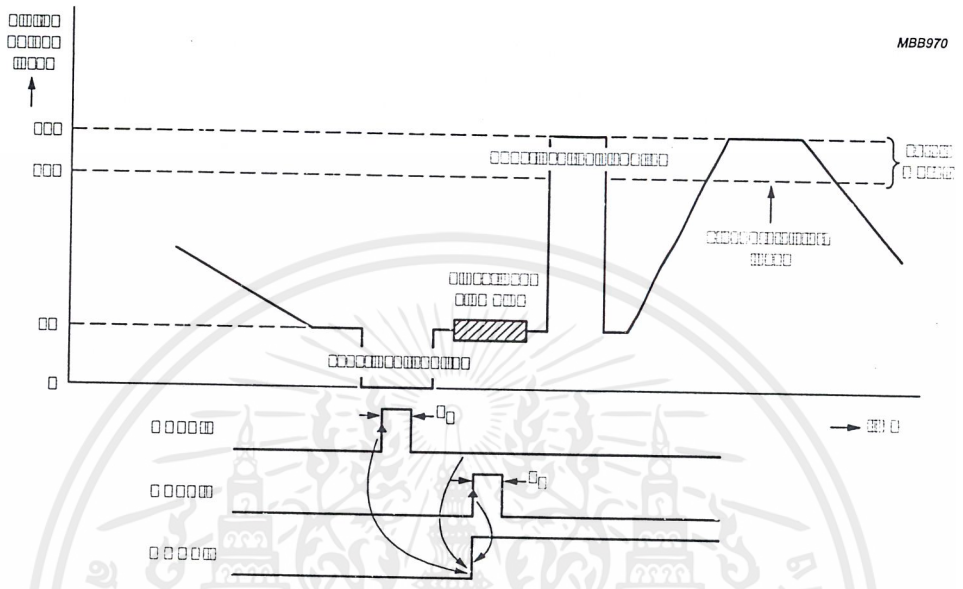


Fig.5 Control mode 2.

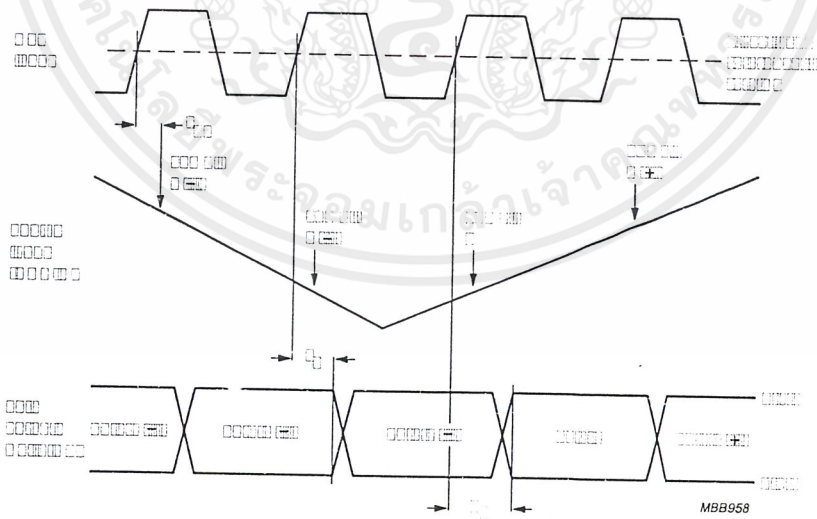


Fig.6 Timing diagram for data output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

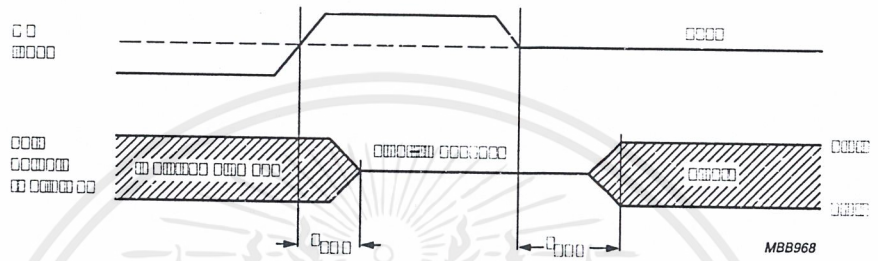


Fig.7 Output format timing diagram.

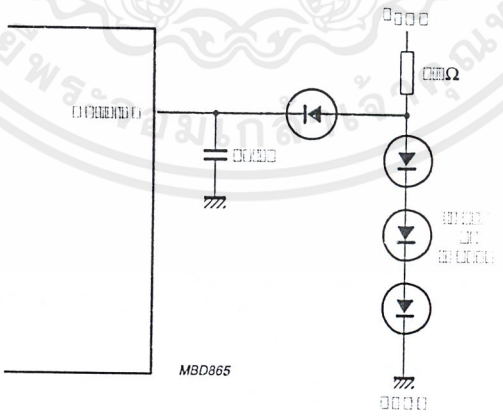


Fig.8 Load circuit for timing measurement; data outputs (OF = LOW or open-circuit).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM628128D Series

1 M SRAM (128-kword× 8-bit)

HITACHI

ADE-203-996 (Z)
Preliminary, Rev. 0.0
Jan. 20, 1999

Description

The Hitachi HM628128D Series is 1-Mbit static RAM organized 131,072-kword × 8-bit. HM628128D Series has realized higher density, higher performance and low power consumption by employing Hi-CMOS process technology. The HM628128D Series offers low power standby power dissipation; therefore, it is suitable for battery backup systems. It has package variations of standard 32-pin plastic DIP, standard 32-pin plastic SOP and standard 32-pin plastic TSOPI.

Features

- Single 5 V supply: 5 V ± 10%
- Access time: 55 ns/70 ns (max)
- Power dissipation
  - — Active: 30 mW/MHz (typ)
  - — Standby: 10 µW (typ)
- Completely static memory.
  - — No clock or timing strobe required
- Equal access and cycle times
- Common data input and output
  - — Three state output
- Directly TTL compatible all inputs
- Battery backup operation
  - — 2 chip selection for battery backup

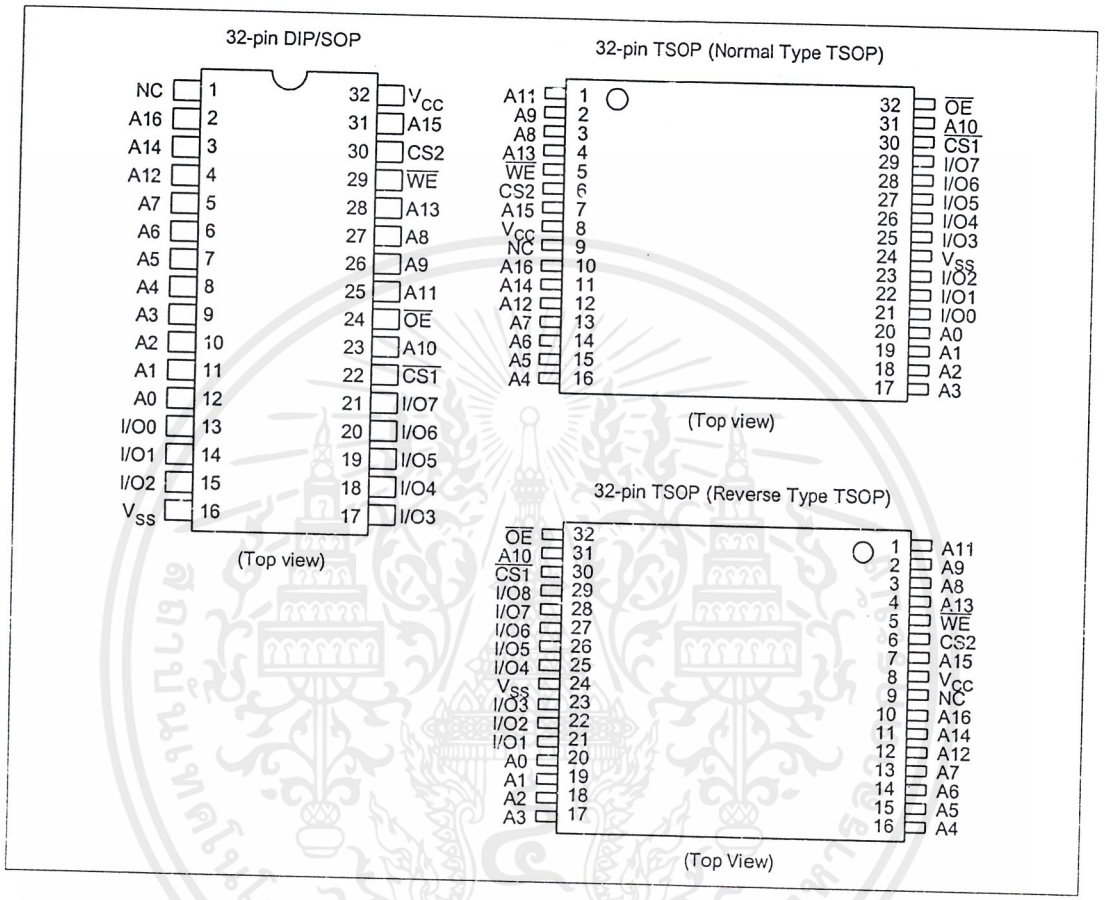
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Type No.	Access time	Package
HM628128DLP-5	55 ns	600-mil 32-pin plastic DIP (DP-32)
HM628128DLP-7	70 ns	
HM628128DLP-5SL	55 ns	
HM628128DLP-7SL	70 ns	
HM628128DLP-5UL	55 ns	
HM628128DLP-7UL	70 ns	
HM628128DLFP-5	55 ns	525-mil 32-pin plastic SOP (FP-32D)
HM628128DLFP-7	70 ns	
HM628128DLFP-5SL	55 ns	
HM628128DLFP-7SL	70 ns	
HM628128DLFP-5UL	55 ns	
HM628128DLFP-7UL	70 ns	
HM628128DLTS-5	55 ns	8 × 13.4 mm 32-pin plastic TSOP I (TFP-32DC)
HM628128DLTS-7	70 ns	
HM628128DLTS-5SL	55 ns	
HM628128DLTS-7SL	70 ns	
HM628128DLTS-5UL	55 ns	
HM628128DLTS-7UL	70 ns	
HM628128DLT-5	55 ns	Normal-bend type 8 × 20 mm 32-pin plastic TSOP I (TFP-32D)
HM628128DLT-7	70 ns	
HM628128DLT-5SL	55 ns	
HM628128DLT-7SL	70 ns	
HM628128DLT-5UL	55 ns	
HM628128DLT-7UL	70 ns	
HM628128DLR-5	55 ns	Reverse-bend type 8 × 20 mm 32-pin plastic TSOP I (TFP-32DR)
HM628128DLR-7	70 ns	
HM628128DLR-5SL	55 ns	
HM628128DLR-7SL	70 ns	
HM628128DLR-5UL	55 ns	
HM628128DLR-7UL	70 ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Arrangement

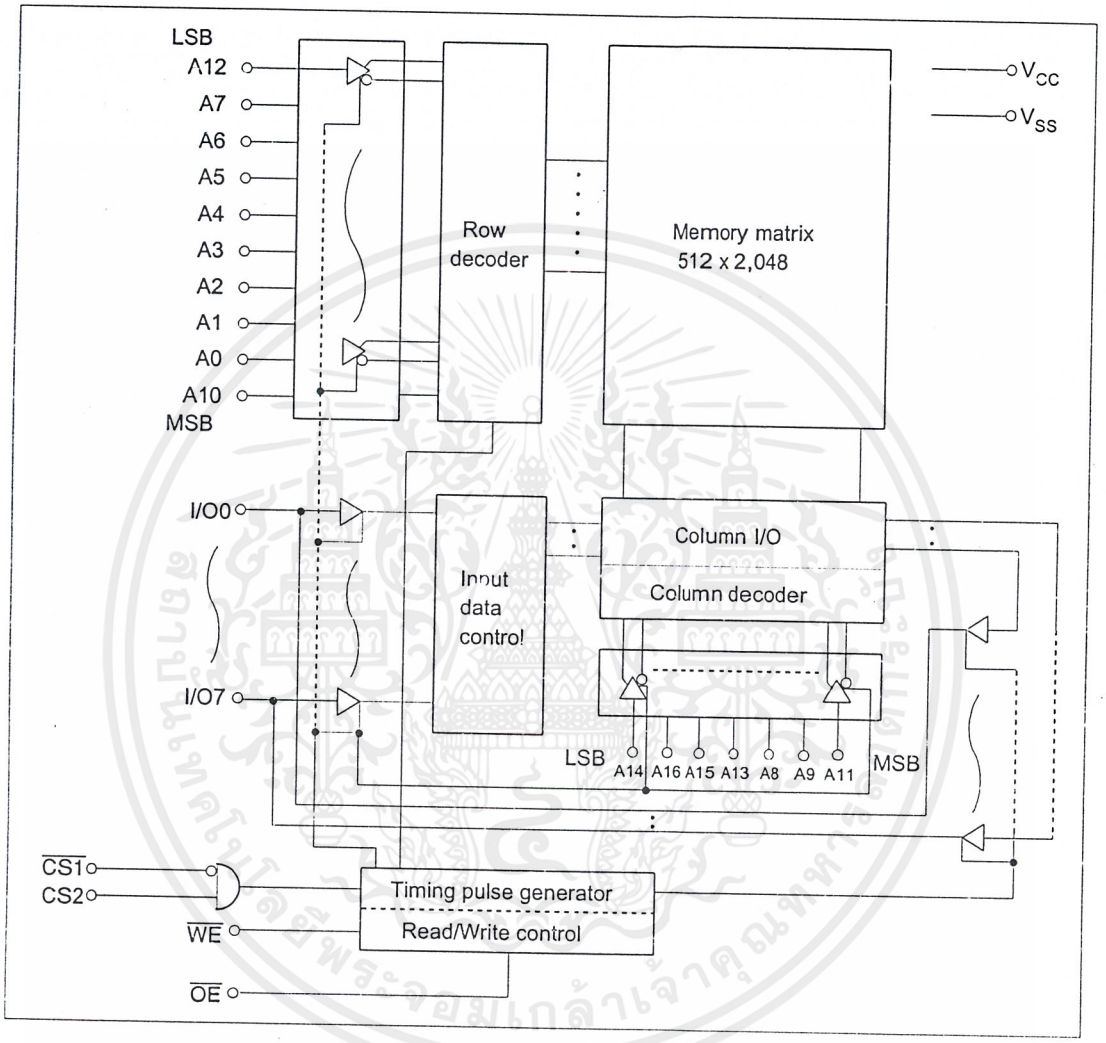


Pin Description

Pin name	Function
A0 to A16	Address input
I/O0 to I/O7	Data input/output
$\overline{CS1}$	Chip select 1
CS2	Chip select 2
$\overline{WE}$	Write enable
$\overline{OE}$	Output enable
V_{cc}	Power supply
V_{ss}	Ground
NC	No connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operation Table

$\overline{CS1}$	CS2	$\overline{WE}$	$\overline{OE}$	I/O	Operation
H	H	×	×	High-Z	Standby
L	L	×	×	High-Z	Standby
L	L	×	×	High-Z	Standby
L	H	H	L	Dout	Read
L	H	L	H	Din	Write
L	H	L	L	Din	Write
L	H	H	H	High-Z	Output disable

Note: H: V_{IH}, L: V_{IL}, ×: V_{IH} or V_{IL}

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Power supply voltage relative to V_{SS}	V_{CC}	−0.5 to +7.0	V
Terminal voltage on any pin relative to V_{SS}	V_T	−0.5*1 to V_{CC} + 0.3*2	V
Power dissipation	P_T	1.0	W
Storage temperature range	Tstg	−55 to +125	°C
Storage temperature range under bias	Tbias	−20 to +85	°C

Notes: 1. V_T min: −1.5 V for pulse half-width ≤ 30 ns
2. Maximum voltage is +7.0 V

DC Operating Conditions

Parameter	Symbol	Min	Typ	Max	Unit	Note
Supply voltage	V_{CC}	4.5	5.0	5.5	V	
	V_{SS}	0	0	0	V	
Input high voltage	V_{IH}	2.2	—	V_{CC} + 0.3	V	
Input low voltage	V_{IL}	−0.3	—	0.8	V	1
Ambient temperature range	Ta	−20	—	+70	°C	

Note: 1. V_{IL} min: −1.5 V for pulse half-width ≤ 30 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Characteristics

Parameter	Symbol	Min	Typ*1	Max	Unit	Test conditions
Input leakage current	$\|I_{LI}\|$	—	—	1	µA	Vin = V_{SS} to V_{CC}
Output leakage current	$\|I_{LO}\|$	—	—	1	µA	$\overline{CS1}$ = V_{IH} or CS2 = V_{IL} or $\overline{OE}$ = V_{IH} or $\overline{WE}$ = V_{IL}, $V_{I/O}$ = V_{SS} to V_{CC}
Operating current	I_{CC}	—	—	15	mA	$\overline{CS1}$ = V_{IL}, CS2 = V_{IH}, others = V_{IH}/V_{IL}, $I_{I/O}$ = 0 mA
Average operating current	I_{CC1}	—	—	60	mA	Min cycle, duty = 100% $I_{I/O}$ = 0 mA, $\overline{CS1}$ = V_{IL}, CS2 = V_{IH}, Others = V_{IH}/V_{IL}
	I_{CC2}	—	6	20	mA	Cycle time = 1 µs, duty = 100%, $I_{I/O}$ = 0 mA, $\overline{CS1}$ ≤ 0.2 V, CS2 ≥ V_{CC} – 0.2 V, V_{IH} ≥ V_{CC} – 0.2 V, V_{IL} ≤ 0.2 V
Standby current	I_{SB}	—	—	2	mA	(1) $\overline{CS1}$ = V_{IH}, CS2 = V_{IH}, or (2) CS2 = V_{IL}
	I_{SB1}*2	—	2	100	µA	0 V ≤ Vin (1) 0 V ≤ CS2 ≤ 0.2 V or (2) $\overline{CS1}$ ≥ V_{CC} – 0.2 V, CS2 ≥ V_{CC} – 0.2 V
	I_{SB1}*3	—	2	50	µA	
	I_{SB1}*4	—	1	20	µA	
Output high voltage	V_{OH}	2.4	—	—	V	I_{OH} = –1 mA
Output low voltage	V_{OL}	—	—	0.4	V	I_{OL} = 2.1 mA

Notes: 1. Typical values are at V_{CC} = 5.0 V, Ta = +25°C and specified loading, and not guaranteed.
2. This characteristics is guaranteed only for L version.
3. This characteristics is guaranteed only for L-SL version.
4. This characteristics is guaranteed only for L-UL version.

Capacitance (Ta = +25°C, f = 1 MHz)

Parameter	Symbol	Typ	Max	Unit	Test conditions	Note
Input capacitance	Cin	—	8	pF	Vin = 0 V	1
Input/output capacitance	$C_{I/O}$	—	10	pF	$V_{I/O}$ = 0 V	1

Note: 1. This parameter is sampled and not 100% tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics (Ta = –20 to +70°C, V_{CC} = 5.0 V ± 10%, unless otherwise noted.)

Test Conditions

- Input pulse levels: V_{IL} = 0.8 V, V_{IH} = 2.4 V
- Input rise and fall time: 5 ns
- Input timing reference levels: 1.5 V
- Output timing reference level: 1.5 V
- Output load: 1 TTL Gate+ CL (100 pF) (HM628128D-7)
  1 TTL Gate+ CL (50 pF) (HM628128D-5)
  (Including scope and jig)

Read Cycle

		HM628128D					
		-5		-7			
Parameter	Symbol	Min	Max	Min	Max	Unit	Notes
Read cycle time	t_{RC}	55	—	70	—	ns	
Address access time	t_{AA}	—	55	—	70	ns	
Chip select access time	t_{ACS1}	—	55	—	70	ns	
	t_{ACS2}	—	55	—	70	ns	
Output enable to output valid	t_{OE}	—	30	—	35	ns	
Output hold from address change	t_{OH}	10	—	10	—	ns	
Chip selection to output in low-Z	t_{CLZ1}	10	—	10	—	ns	2, 3
	t_{CLZ2}	10	—	10	—	ns	2, 3
Output enable to output in low-Z	t_{OLZ}	5	—	5	—	ns	2, 3
Chip deselection to output in high-Z	t_{CHZ1}	0	20	0	25	ns	1, 2, 3
	t_{CHZ2}	0	20	0	25	ns	1, 2, 3
Output disable to output in high-Z	t_{OHZ}	0	20	0	25	ns	1, 2, 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Cycle

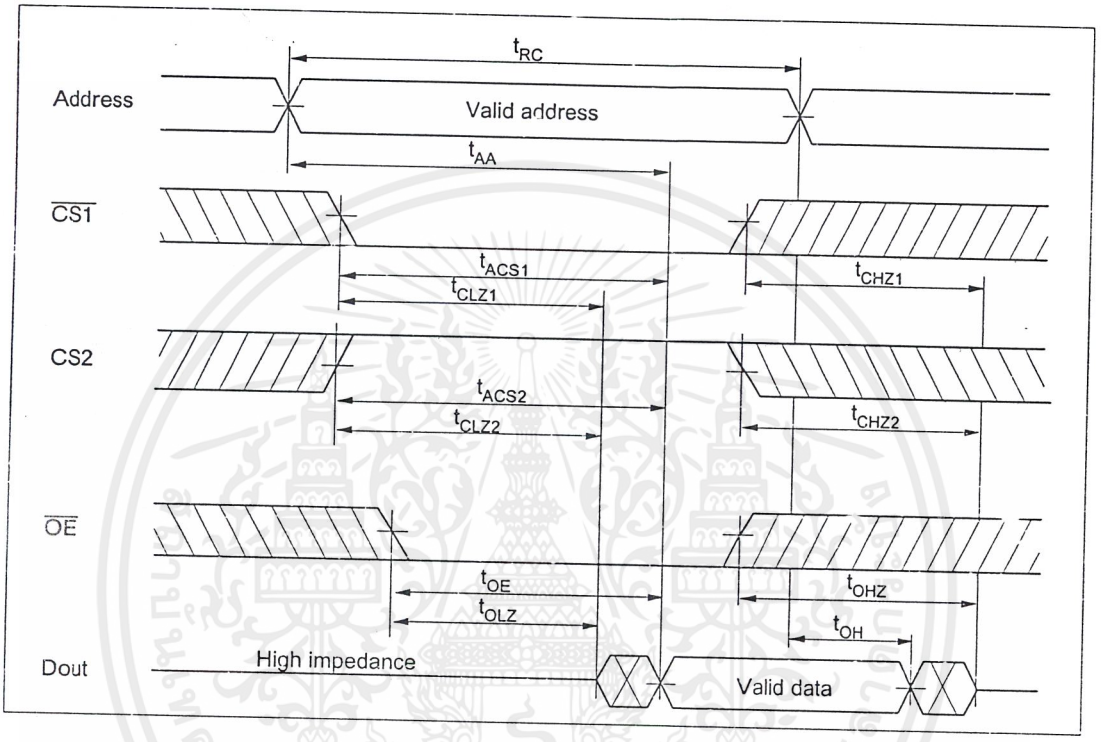
		HM628128D					
		-5		-7			
Parameter	Symbol	Min	Max	Min	Max	Unit	Notes
Write cycle time	t_{WC}	55	—	70	—	ns	
Address valid to end of write	t_{AW}	50	—	60	—	ns	
Chip selection to end of write	t_{CW}	50	—	60	—	ns	5
Write pulse width	t_{WP}	40	—	50	—	ns	4, 13
Address setup time	t_{AS}	0	—	0	—	ns	6
Write recovery time	t_{WR}	0	—	0	—	ns	7
Data to write time overlap	t_{DW}	20	—	25	—	ns	
Data hold from write time	t_{DH}	0	—	0	—	ns	
Output active from output in high-Z	t_{OW}	5	—	5	—	ns	2
Output disable to output in high-Z	t_{OHZ}	0	20	0	25	ns	1, 2, 8
$\overline{WE}$ to output in high-Z	t_{WHZ}	0	20	0	25	ns	1, 2, 8

Notes:
1. t_{CHZ}, t_{OHZ} and t_{WHZ} are defined as the time at which the outputs achieve the open circuit conditions and are not referred to output voltage levels.
2. This parameter is sampled and not 100% tested.
3. At any given temperature and voltage condition, t_{HZ} max is less than t_{LZ} min both for a given device and from device to device.
4. A write occurs during the overlap (t_{WP}) of a low $\overline{CS1}$, a high CS2, and a low $\overline{WE}$. A write begins at the later transition of $\overline{CS1}$ going low, CS2 going high, or $\overline{WE}$ going low. A write ends at the earlier transition of $\overline{CS1}$ going high, CS2 going low, or $\overline{WE}$ going high. t_{WP} is measured from the beginning of write to the end of write.
5. t_{CW} is measured from $\overline{CS1}$ going low or CS2 going high to the end of write.
6. t_{AS} is measured from the address valid to the beginning of write.
7. t_{WR} is measured from the earlier of $\overline{WE}$ or $\overline{CS1}$ going high or CS2 going low to the end of write cycle.
8. During this period, I/O pins are in the output state; therefore, the input signals of the opposite phase to the outputs must not be applied.
9. If the $\overline{CS1}$ goes low or CS2 going high simultaneousiy with $\overline{WE}$ going low or after $\overline{WE}$ going low, the output remain in a high impedance state.
10. Dout is the same phase of the write data of this write cycle.
11. Dout is the read data of next address.
12. If $\overline{CS1}$ is low and CS2 high during this period, I/O pins are in the output state. Therefore, the input signals of the opposite phase to the outputs must not be applied to them.
13. In the write cycle with $\overline{OE}$ low fixed, t_{WP} must satisfy the following equation to avoid a problem of data bus contention. $t_{WP} \geq t_{DW}$ min + t_{WHZ} max

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

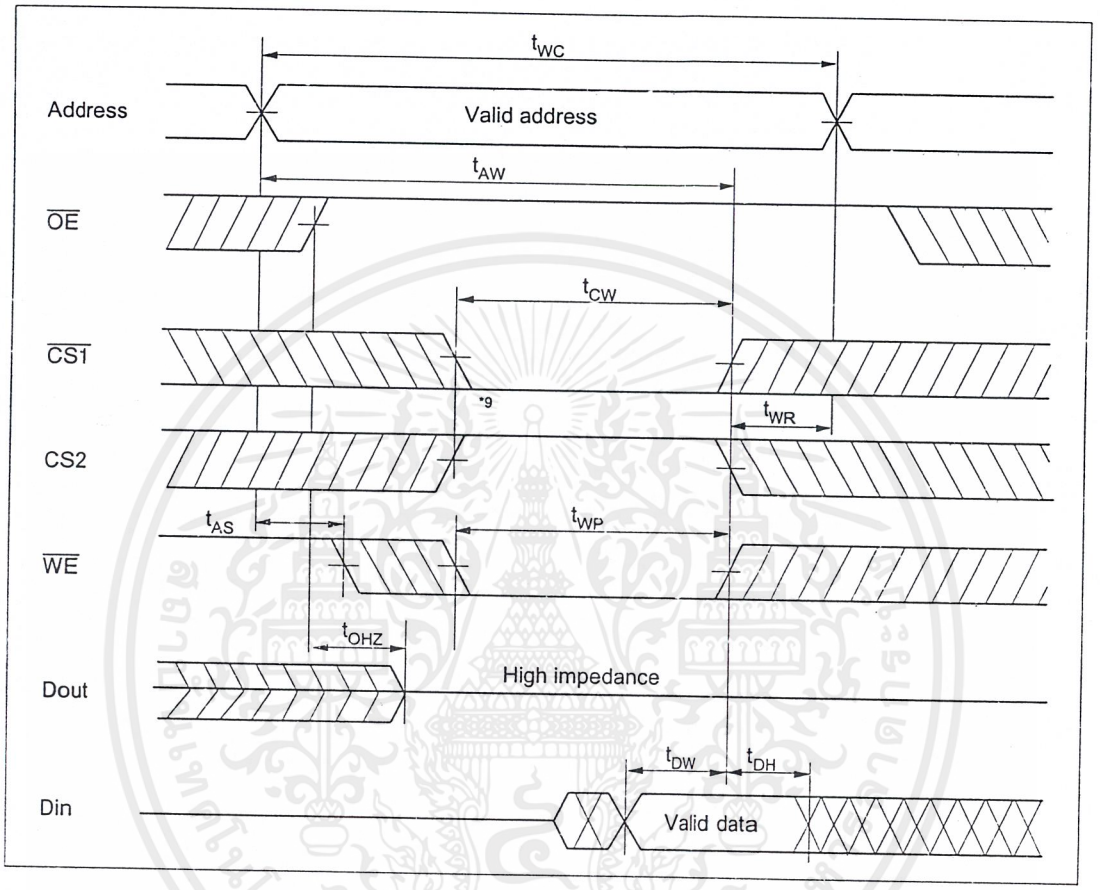
Timing Waveforms

Read Cycle ($\overline{WE}$ = V_{IH})



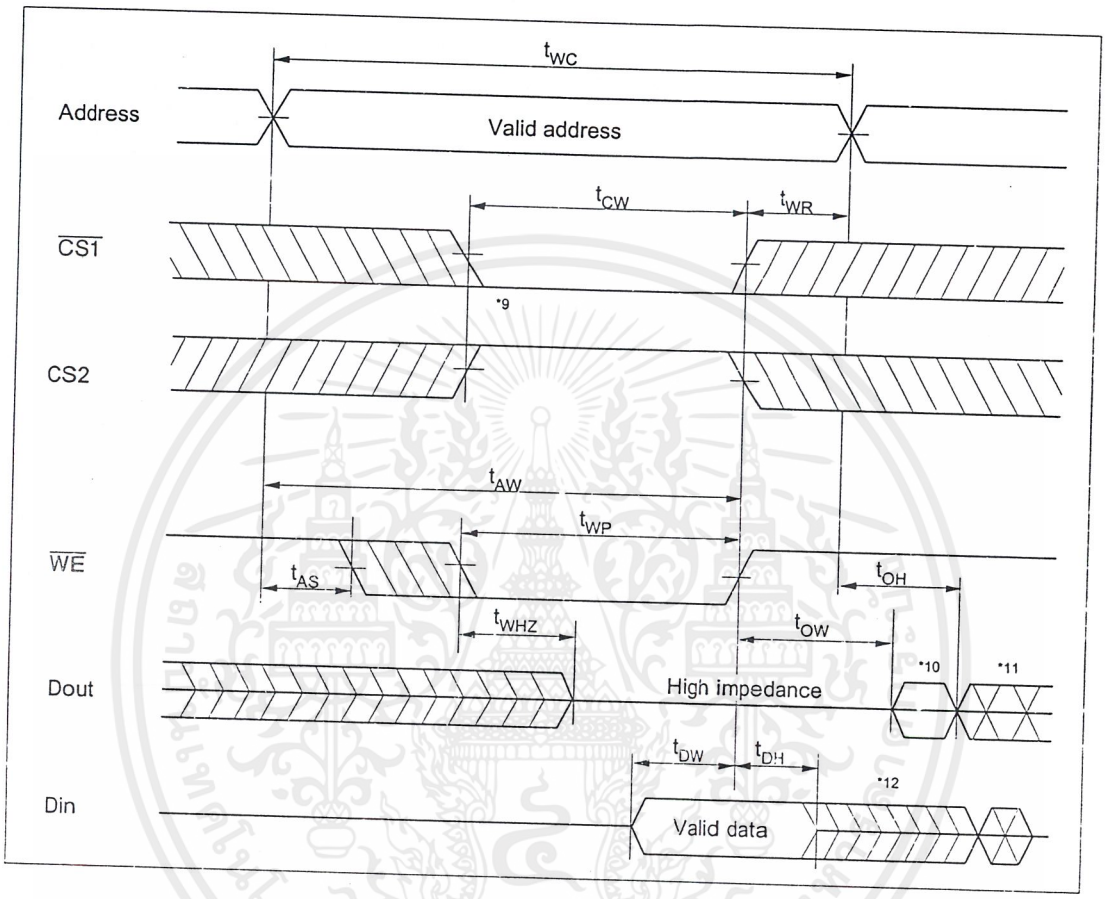
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Cycle (1) ($\overline{OE}$ Clock)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Cycle (2) ($\overline{OE}$ = V_{IL})



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานชิ้นนี้สำเร็จลุล่วงไปได้ด้วยดี ขอขอบพระคุณ อาจารย์ชินภัทร นันทจิวากรชัย เป็นอย่างสูง ที่ให้ความรู้ , คำปรึกษา และคำแนะนำต่างๆ ในโครงงาน รวมทั้งอุปกรณ์ต่างๆ และสถานที่ทำโครงงานนี้ ขอขอบพระคุณ บิดา-มารดาที่ให้กำลังใจ , คำปรึกษา , คำแนะนำ และความช่วยเหลือต่างๆตลอดมา อีกทั้งขอขอบคุณเพื่อนๆทุกคน และผู้ที่เกี่ยวข้อง ที่ให้ความช่วยเหลือในด้านต่างๆ เป็นอย่างดี

ศศิธร คำศุกล

(นางสาวศศิธร คำศุกล)

สุวิมล ลิ้มประภาสิริกุล

(นางสาวสุวิมล ลิ้มประภาสิริกุล)

เอกภพ ชุมดี

(นายเอกภพ ชุมดี)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ดร.ธวัช เมฆสวรรค์ , นาย โยชิคะซึ ซาวามูระ , " เทคนิคการซ่อมเครื่องรับโทรทัศน์สี " , บริษัท สำนักพิมพ์ดวงกมล , 295 หน้า , 2526 .
2. บุณชัด เนติศักดิ์ , " ทฤษฎีและปฏิบัติเครื่องรับโทรทัศน์ เล่ม1 " , บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน) , 400 หน้า , 2541 .
3. ปรัชญนันท์ นิลสุข , " ทฤษฎีและปฏิบัติเครื่องรับโทรทัศน์เบื้องต้น " , บริษัท สำนักพิมพ์ดวงกมล , 256 หน้า , 2541 .
4. เจน สงสัมพันธุ์ , นิคม อนันต์ทิพย์ , " เทคโนโลยีโทรทัศน์ " , สถาบันอิเล็กทรอนิกส์กรุงเทพฯ , หน้า 23 – 50 , 2535 .
5. G.H HUTSON C.ENG ., A.M.I.E.R.E. , " Television Receiver Theory Part 1 " , EDWARD ARNOLD (Publishers) LTD., LONDON , 239 หน้า .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้