สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การมอดูเลชั่นและดีมอดูเลชั่นแบบควอดเดเจอร์เฟสชิฟคีอิ้ง

QPSK Modulation and Demodulation

โดย

นายโกศล คุณดิลกชัย รหัสประจำตัว 40010084

นางสาวณัจจิมา วัชรเธียรสกุล รหัสประจำตัว 40010214

เลขหมู่.....
เลขทะเบียน 42723
วัน, เดือน, ปี 7 มิ.ย. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การมอดูเลชั่นและดีมอดูเลชั่นแบบควอดเดเจอร์เฟสชิฟคีอิ้ง

QPSK Modulation and Demodulation

โดย

นายโกศล คุณดิลกชัย รหัสประจำตัว 40010084

นางสาวณัจจิมา วัชรเธียรสกุล รหัสประจำตัว 40010214

อาจารย์ที่ปรึกษา

ผศ. ประภากร สุวรรณะ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2543

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การมอดูเลชั่นและดีมอดูเลชั่นแบบควอดเดเจอร์เฟสชิฟคีอิ้ง

จัดทำโดย

1. นายโกศล คุณดิลกชัย รหัสประจำตัว 40010084
2. นางสาวณัจจิมา วัชรเธียรสกุล รหัสประจำตัว 40010214

.....

(ผศ. ประภากร สุวรรณะ)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การมอดูเลชั่นและดีมอดูเลชั่นแบบควอดเดเจอร์เฟสชิฟคีอิ้ง

QPSK Modulation and Demodulation

ผู้จัดทำ

นายโกศล คุณดิลกชัย รหัสประจำตัว 40010084

นางสาวณัจจิมา วัชรเธียรสกุล รหัสประจำตัว 40010214

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(ผศ. ประภากร สุวรรณะ)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การมอดูเลชั่นและดีมอดูเลชั่นแบบควอดเดเจอร์เฟสชิฟคีอิ้ง

นายโกศล คุณดิลกชัย
นางสาวณัจจิมา วัชรเธียรสกุล
ผศ.ประภากร สุวรรณะ (อาจารย์ที่ปรึกษา)
ภาคการศึกษาที่ 2 ปีการศึกษา 2543

บทคัดย่อ

ในปัจจุบัน Phase Shift Keying (PSK) เป็นวิธีการหนึ่งในหลายวิธี ซึ่งถูกนำมาใช้เพื่อเพิ่มอัตราการส่งผ่านข้อมูลดิจิตอล(บิท/วินาที) ในรูปแบบการส่งแบบอนุกรมให้มากกว่าวิธีการส่งข้อมูลแบบ Frequency Shift Keying (FSK) ซึ่งถูกจำกัดอัตราการส่งผ่านข้อมูลดิจิตอลอยู่ที่ 1,200 บิทต่อวินาที ส่วนที่สำคัญที่สุดในของแบบ PSK คือ ส่วนของการดีมอดูเลชั่นสัญญาณ PSK ให้กลับเป็นข้อมูลทางด้านรับ ซึ่งต้องใช้สัญญาณพาห์ที่สัมพันธ์กับสัญญาณพาห์ที่ใช้สำหรับการมอดูเลทในทางภาคส่ง จึงจำเป็นต้องมีส่วนของการสร้างสัญญาณพาหะขึ้นมาใหม่ทางภาครับ ซึ่งเป็นจุดหนึ่งที่น่าสนใจเช่นกัน โดยจะเริ่มพิจารณาเมื่อเป็นแบบ Binary Phase Shift Keying (BPSK) ก่อน แล้วจะนำ BPSK 2 ชุด มาต่อร่วมกันเป็น Quaternary Phase Shift Keying (QPSK)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

QPSK Modulation and Demodulation

Mr. Kosol Kundilokchai
Miss Nutjima Watcharathiansakul
Asst.Prof Prapakorn Suwanna (Advisor)
2nd Semester, Educational Year 2000

Abstract

Phase Shift Keying (PSK) is one of several techniques that was introduced to increase the rate of digital data transmission (bits per second) through the channel in the form of serial transmission. This technique have an advantage above the earlier technique ,Frequency Shift Keying (FSK). Because the data transmission of the FSK is limited to only of 1,200 bits per second. The difference between both techniques besides mentioned above presented by the demodulation process in the receive side that needs to get carrier signal which coherent in such in the transmitter cause the receiver to have the carrier recovery process to achieve a true carrier signal and become to be interesting topic in PSK technique. This report presents about Quadrature Phase Shift Keying (QPSK) that developed from basic of BPSK .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
Abstract	II
สารบัญ	III
บทที่ 1 บทนำ	1
บทที่ 2 พื้นฐานการรับส่งข้อมูล	3
2.1 การสื่อสารข้อมูล	3
2.2 ลักษณะของการส่งข้อมูล	4
2.3 รูปแบบการส่งข้อมูลแบบอนุกรม	6
2.4 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม	7
2.5 ทฤษฎีพื้นฐานของ BPSK	9
2.5.1 BPSK ทางด้านส่ง	9
2.5.2 BPSK ทางด้านรับ	11
2.6 ทฤษฎีพื้นฐานของ QPSK	12
2.6.1 QPSK ทางด้านส่ง	13
2.6.2 QPSK ทางด้านรับ	17
บทที่ 3 บาลานซ์มอดูเลเตอร์ BALANCED MODULATION	19
3.1 วงจรคูณแบบสี่ควอดเรนต์	19
3.2 การใช้งานไอซีบาลานซ์ มอดูเลเตอร์	22
3.3 การวิเคราะห์วงจร บาลานซ์ มอดูเลเตอร์	24
บทที่ 4 หลักการสังเคราะห์สัญญาณเบื้องต้น	29
4.1 พื้นฐานการแปลงสัญญาณดิจิตอลเป็นอนาล็อก D/A converter	30
4.2 การประยุกต์ DAC	31
บทที่ 5 ระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป	34
บทที่ 6 พอร์ตอนุกรม	38
6.1 ลักษณะสมบัติทางไฟฟ้าของสัญญาณRS-232C	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 ลักษณะสมบัติเชิงกลของข้อต่อ 39
6.3 สัญญาณที่ใช้ทั้งหมดใน RS-232C 40
บทที่ 7 หลักการทำงานของวงจร 45
7.1 การออกแบบวงจรภาคส่ง 45
7.2 การออกแบบวงจรภาครับ 46
7.2.1 วงจรฟื้นกลับคลื่นพาหะ 46
บทที่ 8 ผลการทดลอง 54
บทที่ 9 สรุปและวิจารณ์ผลการทดลอง 62
กิตติกรรมประกาศ
ภาคผนวก
หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

ในปัจจุบันนี้การติดต่อสื่อสารกันเป็นไปอย่างรวดเร็วและทันสมัยมากขึ้น รวมทั้งมีการพัฒนารูปแบบการส่งข้อมูลข่าวสารให้ง่ายและสะดวกในการรับ ส่ง มากขึ้นด้วยเช่นกัน ในอดีตการส่งข้อมูลจะใช้สัญญาณอนาลอก ซึ่งเป็นลักษณะการส่งแบบต่อเนื่องกันไป แต่เนื่องจากรูปแบบของอนาลอกดังกล่าวนี่มีความจำกัดในด้านความละเอียดและประสิทธิภาพในการส่งข้อมูลไม่สามารถพัฒนาให้สูงมากได้ เพราะข้อจำกัดของอุปกรณ์และการเกิดสัญญาณรบกวนมีได้ง่ายกว่าการส่งข้อมูลในรูปแบบดิจิตอล ซึ่งเป็นอีกรูปแบบหนึ่งของการส่งข้อมูลที่กำลังได้รับความสนใจและถูกพัฒนาขึ้นอย่างมาก เนื่องจากรูปแบบดิจิตอลมีความละเอียดและความถูกต้องสูงรวมทั้งสามารถติดต่อได้ในระยะทางไกล ๆ ได้ดีกว่าแบบอนาลอก

ในการติดต่อสื่อสารกันระหว่างเครื่องคอมพิวเตอร์นั้น เนื่องจากข้อมูลมีลักษณะเป็นดิจิตอล จึงใช้การส่งแบบดิจิตอล หลักการของการส่งข้อมูลแบบดิจิตอล คือ การนำเอาสัญญาณข้อมูลที่ต้องการส่งมาทำการผสมไปกับคลื่นพาหะ เรียกว่า การมอดูเลชั่น (Modulation) แล้วทำการเอาคลื่นพาหะออกที่ฝั่งด้านรับ เรียกว่า การดีมอดูเลชั่น (Demodulation) เมื่อเรารวมกระบวนการทั้งสองเข้าด้วยกันจะเรียกว่า โมเด็ม (MODEM) ซึ่งเป็นอุปกรณ์สำคัญที่ใช้ในการติดต่อสื่อสารกันระหว่างเครื่องคอมพิวเตอร์ที่ใช้กันแพร่หลายในปัจจุบัน

1.1 วัตถุประสงค์ของโครงงาน

- เพื่อศึกษาการทำงานของวงจรมอดูเลทและดีมอดูเลทแบบ QPSK
- เพื่อให้สามารถออกแบบทดลอง และสร้างวงจรมอดูเลทและดีมอดูเลทแบบ QPSK และสามารถนำมาประยุกต์ใช้งานจริงได้

1.2 ขอบเขตของโครงงาน

- เพื่อให้วงจรมอดูเลทและดีมอดูเลทแบบ QPSK ที่สามารถส่งผ่านข้อมูลทางดิจิตอลแบบอนุกรม ได้ในอัตรา 2400 บิทต่อวินาทีจำนวน 1 ชุด

1.3 ขั้นตอนการทำโครงงาน

- ศึกษารูปแบบของวงจรแบบต่าง ๆ อันได้แก่ วงจรบาลานซ์มอดูเลเตอร์ วงจรฟื้นกลับสัญญาณพาหะ วงจรคูณความถี่ วงจรหารความถี่ วงจรชมิททริกเกอร์ วงจรกรองความถี่ต่ำผ่าน วงจรกรองความถี่ช่วงผ่าน ตลอดจนศึกษาการทำงานของไมโครคอนโทรเลอร์ MCS51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ออกแบบวงจรภาคมอดูเลทโดยอาศัยการทำงานของไมโครคอนโทรเลอร์ MCS51
- ทดลองประกอบวงจรและแก้ไขปัญหาที่เกิดขึ้นกับภาคมอดูเลท
- ออกแบบวงจรบาลานซ์มอดูเลเตอร์ที่ใช้กับภาคดีมอดูเลทรวมทั้งวงจรกรองความถี่ต่ำผ่าน วงจรกรองความถี่ช่วงผ่าน และวงจรฟื้นกลับสัญญาณพาหะ
- ทดลองประกอบวงจรและแก้ไขปัญหาที่เกิดขึ้นกับภาคดีมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2
พื้นฐานการรับส่งข้อมูล

2.1 การสื่อสารข้อมูล

การสื่อสารข้อมูลที่เป็นสัญญาณดิจิตอลสามารถแบ่งการส่งผ่านสัญญาณอย่างง่ายๆ เป็น 2 ลักษณะ คือ การส่งสัญญาณดิจิตอลไปโดยตรงผ่านตัวกลางต่างๆ โดยไม่มีการปรับเปลี่ยนให้เหมาะสมก่อน หรือการส่งผ่านสัญญาณดิจิตอลแบบเบสแบนด์ และการส่งในอีกลักษณะคือการปรับเปลี่ยนสัญญาณดิจิตอลให้เหมาะสมก่อนแล้วจึงส่งผ่านตัวกลางออกไป เช่น การมอดูเลทสัญญาณดิจิตอลโดยวิธีการเปลี่ยนความถี่ (Frequency Shift Keying) เป็นต้น หรือการส่งสัญญาณดิจิตอลแบบบอร์ดแบนด์

การส่งผ่านสัญญาณดิจิตอลแบบเบสแบนด์นั้น เป็นวิธีที่ใช้ในระบบ PCM ทั่วไป นอกจากนั้นยังใช้ในระบบข่ายวงจรท้องถิ่น (Local area network) และในงานสื่อสารข้อมูลระยะใกล้แบบอื่นๆ ซึ่งในระบบ PCM ที่ส่งผ่านสัญญาณดิจิตอลไปตามสายนำสัญญาณที่ทำด้วยโลหะ เช่น สายคู่ตีเกลียวและสายโคแอกเชียล เป็นต้น สัญญาณดิจิตอลที่ถูกส่งออกไปนั้นจะเป็นสัญญาณดิจิตอลแบบเบสแบนด์โดยไม่ทำการมอดูเลทกับคลื่นพาห์ ซึ่งอาจกล่าวได้ว่าเป็นระบบที่ง่ายเพราะไม่ต้องใช้อุปกรณ์มอดูเลเตอร์และดีมอดูเลเตอร์ อย่างไรก็ตามสายสัญญาณนั้นมักจะมีการตอบสนองต่อความถี่จำกัด ทำให้สัญญาณดิจิตอลที่ส่งผ่านไปค่อยๆ ผิดเพี้ยนไปทั้งเชิงขนาดและเชิงเวลาหน่วง ผลที่เกิดขึ้นก็คือ เมื่อทำการส่งสัญญาณ PCM จึงต้องมีการติดตั้งเครื่องทวนสัญญาณไว้ จึงไม่สะดวกนักในการสื่อสารที่ต้องใช้ระยะทางไกลๆ

การส่งสัญญาณดิจิตอลแบบบอร์ดแบนด์นั้นเป็นการส่งสัญญาณดิจิตอลโดยการมอดูเลทเข้ากับคลื่นพาห์ หรือก็คือการนำเอาสัญญาณดิจิตอลที่ต้องการส่ง ไปเปลี่ยนแปลงข่าวสารในสัญญาณคลื่นพาห์ อาจจะเปลี่ยนขนาด เปลี่ยนความถี่ หรือเปลี่ยนเฟสของสัญญาณคลื่นพาห์ให้เปลี่ยนแปลงไปตามสัญญาณดิจิตอลที่เข้ามามอดูเลท การมอดูเลทสัญญาณดิจิตอลเท่ากับคลื่นพาห์นี้เราสามารถใช้สัญญาณ 1 สัญญาณ หรือ 1 สัญลักษณ์ แทนสัญญาณดิจิตอล 1 บิท หรือมากกว่า 1 บิทได้ ดังนั้นถ้าเป็นสัญญาณไบนารี่ซึ่งเป็นสัญญาณดิจิตอล 1 บิท สัญญาณคลื่นพาห์ที่มอดูเลทก็จะมีรูปร่าง 2 แบบเท่านั้น แต่ถ้าเป็นสัญญาณแบบ N บิท รูปร่างของสัญญาณคลื่นพาห์ที่ถูกมอดูเลทแล้ว ก็จะมีอย่างน้อย 2^N แบบด้วยกัน เมื่อกล่าวโดยสรุปก็คือ เราสามารถมอดูเลทสัญญาณดิจิตอลทีละ 1 บิท หรือทีละหลายๆ บิทเข้าไปกับสัญญาณคลื่นพาห์ได้

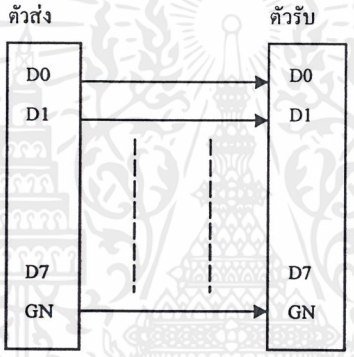
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ลักษณะของการส่งข้อมูล

การรับส่งข้อมูลในระบบคอมพิวเตอร์โดยทั่วไปจะหมายถึง การรับส่งข้อมูลเป็นไบต์ ๆ ให้กับอุปกรณ์ที่เกี่ยวข้องกับคอมพิวเตอร์ ซึ่งอาจแบ่งประเภทของการรับส่งข้อมูลได้สองแบบ

2.2.1 การรับส่งข้อมูลแบบขนาน (Parallel)

การรับส่งข้อมูลแบบขนานจะเป็นการรับส่งข้อมูล จำนวน 1 ไบต์ ออกไปทางพอร์ท ในเวลาเดียวกัน ในระบบคอมพิวเตอร์ 1 ไบต์จะมีจำนวน 8 บิต คือ $D_0 - D_7$ ถ้ามีการส่งข้อมูลแบบขนานจะใช้สายสัญญาณอย่างน้อย 9 เส้น คือสาย Data 8 เส้น และสายกราวน์ 1 เส้น ดังรูป 2.1



รูปที่ 2.1 การรับส่งข้อมูลแบบขนาน

2.2.2 การรับส่งข้อมูลแบบอนุกรม (Serial)

การรับส่งข้อมูลแบบอนุกรม คือ การรับส่งข้อมูลทีละบิต จนครบ 1 ไบต์ ถ้าต้องการส่งข้อมูล 1 ไบต์ คือ $D_0 - D_7$ อาจจะส่งบิต D_0 ออกไปก่อนแล้วตามด้วย D_1 ไปเรื่อย ๆ จนถึง D_7 การส่งข้อมูลทั้งสองแบบมีข้อดีข้อเสียแตกต่างกันคือการส่งข้อมูลแบบขนาน สามารถส่งข้อมูลได้เร็วคือส่งทีเดียวจะได้ข้อมูลครบ 1 ไบต์แต่ถ้าต้องส่งเป็นระยะไกลๆ จะสิ้นเปลืองสายสัญญาณมาก ถ้าเป็นการส่งแบบอนุกรมเมื่อต้องการส่งข้อมูลเป็นระยะไกลๆ จะช่วยประหยัดสายสัญญาณเนื่องจากจะใช้สายอย่างน้อยเพียง 2 เส้น คือสายสัญญาณกับสายกราวน์ แต่การรับส่งข้อมูลจะใช้เวลานานเนื่องจากเป็นการส่งทีละบิต

- การรับส่งข้อมูลแบบซิงโครนัส (Synchronous Input /Output)

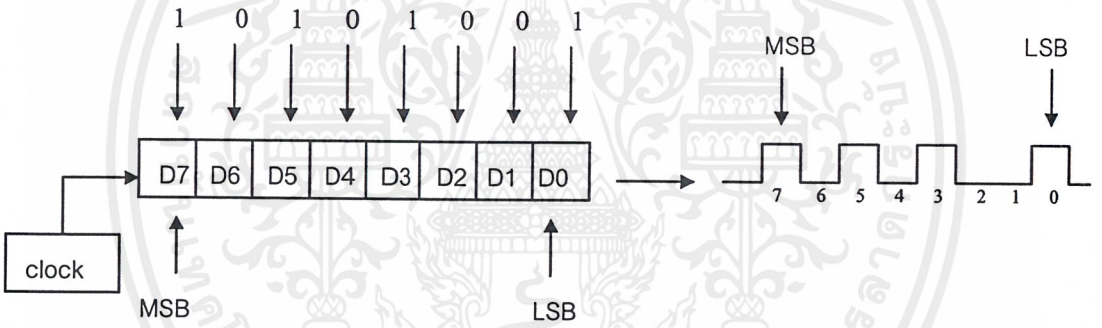
การรับส่งข้อมูลแบบนี้ไม่ว่าจะเป็นการส่งแบบอนุกรมหรือขนาน ข้อมูลแต่ละไบต์ที่ถูกส่งออกไปจะมีช่วงเวลาห่างกันแน่นอน ระบบนี้เหมาะกับงานที่ไม่มีความยุ่งยากมาก

- การรับส่งข้อมูลแบบอะซิงโครนัส (Asynchronous Input /Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

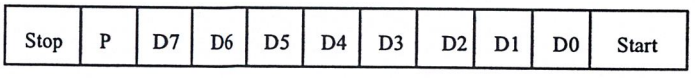
การรับส่งข้อมูลแบบนี้ข้อมูลที่ส่งออกไปจะไม่มีเวลาที่แน่นอน ซึ่งจะขึ้นอยู่กับความพร้อมของผู้ส่งและผู้รับ โดยจะมีสายสัญญาณตรวจสอบความพร้อมของระบบทั้งสองว่าพร้อมที่จะติดต่อกันหรือไม่ โดยสัญญาณที่เพิ่มขึ้นมาจากระบบแบบซิงโครนัส เรียกว่า สายสเตตัส (Status Line)

เมื่อไมโครคอมพิวเตอร์ต้องการจะส่งข้อมูลแบบอนุกรม ตัวไมโครคอมพิวเตอร์จะส่งข้อมูลออกไปทางพอร์ทซึ่งเป็นพอร์ทแบบขนานก่อน จากนั้นจะมีอุปกรณ์มาต่อที่พอร์ท เพื่อแปลงข้อมูลแบบขนานให้เป็นแบบอนุกรมอีกทีหนึ่ง (Parallel- to-serial Conversion) ตัวแปลงข้อมูลนี้อาจพิจารณาง่ายๆ ว่าเป็น Shift Register ดังรูปที่ 2.2 เมื่อข้อมูลที่จะส่งอยู่ใน Shift Register แล้วตัวสัญญาณนาฬิกาจะเป็นตัวกระตุ้นให้ส่งข้อมูลบิตต่ำออกไปในเวลาแรก จากนั้นจะส่งบิตต่อไปตามออกมา จากรูปที่ 2.2 จะเป็นการส่งข้อมูล A9H ออกไป



รูปที่ 2.2 การส่งข้อมูลแบบอนุกรม

สำหรับตัวรับข้อมูลแบบอนุกรมเมื่อตัวรับรับข้อมูลจะเป็นการรับเข้ามาใน Shift Register แล้วส่งข้อมูลให้ไมโครคอมพิวเตอร์แบบขนานอีกทีหนึ่ง (Serial- to-parallel)ระบบคอมพิวเตอร์ในปัจจุบันจะมีตัวแปลง Parallel-to-serial และ Serial- to-parallel อยู่ในชิพไอซี เรียกว่า Universal Asynchronous Receiver Transmitter (UART) การส่งข้อมูลแบบอนุกรมนั้นจะต้องมีการเพิ่มเติมข้อมูลบางอย่างเข้าไปเพื่อให้การรับส่งข้อมูลสามารถทำงานได้ถูกต้องมากขึ้น โดยมีการเติมค่าบิตต่างๆ ลงไปตามรูปที่ 2.3



รูปที่ 2.3 บิตต่างๆ ของข้อมูลที่ส่งแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้ามีการส่งข้อมูลแบบ 8 บิต จะต้องส่งบิตแรกออกไปก่อน เรียกว่า บิตเริ่มต้น (Start Bit)ถ้ามีการส่งข้อมูลหลายๆ ไบต์ออกมา บิตนี้จะเป็นตัวบอกว่า มีข้อมูลใหม่มาแล้ว โดยทั่วไปบิตเริ่มต้นมักมีระดับลอจิกเป็น "0" ต่อจากบิตเริ่มต้นจะเป็นข้อมูลบิต Do ถึง D7 จากนั้นจะตามด้วยบิตตรวจสอบความถูกต้อง (Parity Bit) ถ้าข้อมูล 8 บิต ที่ส่งออกมา จำนวนของบิตที่มีค่าเป็น "1" เป็นจำนวนคู่ บิตนี้จะมีค่าเป็น 0 แต่ถ้าจำนวนของบิตที่มีค่าเป็น "1" เป็นคี่ บิตนี้จะมีค่าเป็น 1 จากนั้น ข้อมูลที่ส่งออกไปจะตามด้วยบิตสิ้นสุดข้อมูล (Stop Bit) เพื่อเป็นการบอกว่าข้อมูลที่ส่งมา 8 บิตนั้นหมดแล้ว ตัวบิต อาจมีจำนวนมากกว่า 1 บิตได้

สำหรับการรับส่งข้อมูลแบบอนุกรมกับไมโครคอนโทรลเลอร์ MCS-51นั้น ภายในชิพ MCS-51 จะมี UART อยู่ในตัว พอร์ทอนุกรมของ MCS-51 จะใช้ขา TXD และ RXD ในการรับส่งข้อมูล โดยขาทั้งสองจะอยู่ในพอร์ท 3 คือ P3.1 หรือขา 11 เป็น TXD และ P3.0 หรือขา 10 เป็น RXD พอร์ทอนุกรมของ MCS-51 สามารถทำงานแบบ Full Duplex ได้ คือสามารถส่งและรับข้อมูลในเวลาเดียวกันได้ โดยในการรับและส่งข้อมูลจะมีบัฟเฟอร์สำหรับเก็บข้อมูลให้ใช้

ใน MCS-51 การสื่อสารทางพอร์ทอนุกรมจะมีอยู่ 4 โหมดซึ่งจะกำหนดได้ที่บิต SM0 และ SM1 ใน SCON เราจะพิจารณากันในโหมด 1 ซึ่งจะเป็นการสื่อสารแบบ Asynchronous โดยลักษณะของข้อมูลที่ส่งจะมีบิตเริ่มต้น และบิตจบ คล้ายกับการสื่อสารแบบ RS-232 ในระบบคอมพิวเตอร์ ในโหมด 1 นี้จะเป็นการรับส่งข้อมูลแบบ 10 บิตซึ่งประกอบด้วยบิตเริ่มต้น (เป็น "0") ข้อมูล 8 บิต และบิตจบ (เป็น "1") นอกจากนี้ยังสามารถกำหนดค่า Baud Rateได้ โดยค่า Baud Rate นี้จะแปรตามตัวจับเวลาตัวที่ 1 ในโหมดนี้ จะส่งข้อมูลออกทาง TXD และรับข้อมูลเข้าทาง RXD

2.3 รูปแบบของการรับส่งข้อมูลแบบอนุกรม

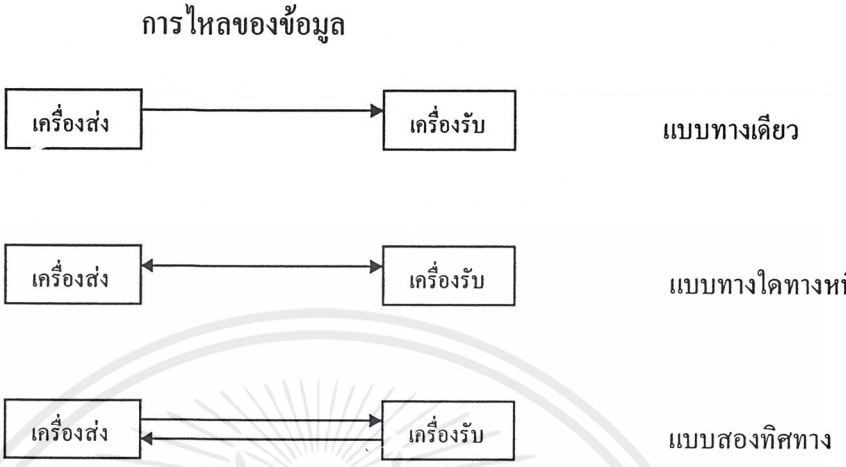
การติดต่อแบบอนุกรม อาจแบ่งได้ 3 แบบ ดังรูปที่ 2.4

2.3.1 การสื่อสารแบบทางเดียว (Simplex) ข้อมูลส่งได้ทิศทางเดียวเท่านั้น บางครั้งก็เรียกว่าการส่งทิศทางเดียว (Unidirection data bus) เช่น การส่งกระจายเสียงวิทยุหรือโทรทัศน์ การส่งข้อมูลจากคอมพิวเตอร์ไปให้เครื่องพิมพ์

2.3.2 การสื่อสารแบบทางใดทางหนึ่ง (Half duplex) ข้อมูลสามารถส่งได้ทั้ง 2 สถานี แต่จะต้องผลัดกันส่งและผลัดกันรับ จะส่งและรับพร้อมกันไม่ได้ เช่น ระบบวิทยุติดต่อ ระบบ ATM

2.3.3 การสื่อสารแบบสองทาง (Full duplex) ทั้ง 2 สถานีสามารถรับและส่งได้ ในเวลาเดียวกัน เช่น การสื่อสารทางโทรศัพท์ และการสื่อสารทางคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 รูปแบบของการติดต่อสื่อสารข้อมูลแบบอนุกรม

2.4 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม

ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม หน่วยวัดเป็นบิทต่อวินาที และหน่วยที่บรรยายถึงการเปลี่ยนแปลงของสัญญาณใน 1 วินาที เรียกว่า บอดเรท (baud rate) หรืออัตราบอด

อัตราบิท (bit rate) = อัตราบอด (baud rate) * บิท ใน 1บอด

โมเด็มย่อมาจาก มอดูเลท และดีมอดูเลท (Amplitude Shift Keying)อุปกรณ์สื่อสารที่ใช้ในการแปลงสัญญาณดิจิตอลให้เหมาะสมก่อนส่งผ่านตัวกลาง ซึ่งโดยมากคือสายโทรศัพท์ และการมอดูเลทและดีมอดูเลทสัญญาณดิจิตอลสัญญาณดิจิตอล โดยเมื่อสัญญาณดิจิตอล 2 ระดับ คือ “0” และ “1” ซึ่งเทคนิคพื้นฐานที่ใช้อยู่มีหลายแบบด้วยกัน เช่น

2.4.1 การมอดูเลททางแอมพลิจูด (Amplitude Shift Keying :ASK)

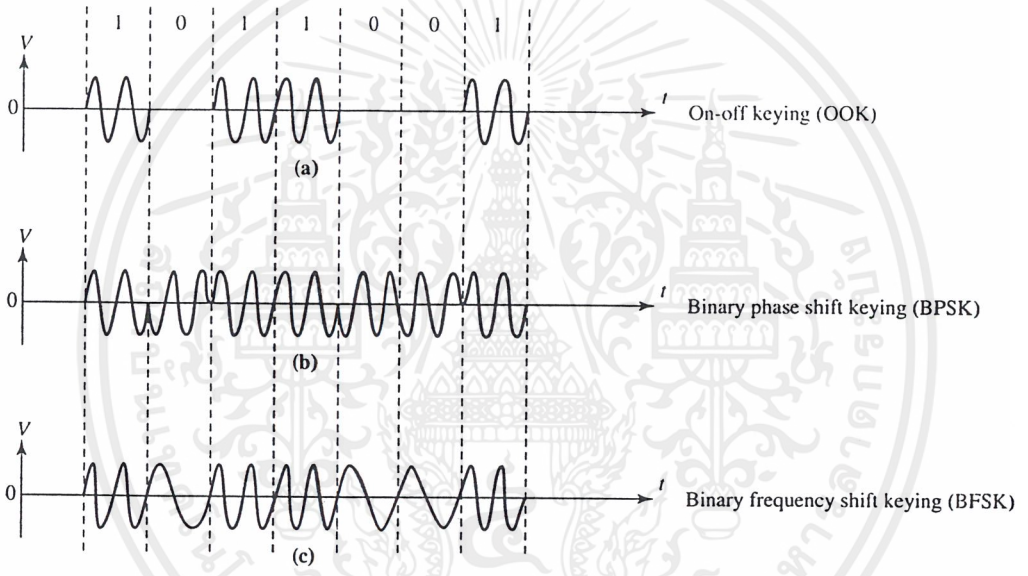
การเปลี่ยนแปลงสัญญาณลอจิกให้เหมาะสมกับการส่งผ่านไปในสายโทรศัพท์โดยวิธีที่ง่ายที่สุดซึ่งเรียกว่า Amplitude Shift Keying (ASK) หรือเรียกในอีกรูปแบบหนึ่งว่า On Off Keying ซึ่งมีวิธีการ คือ กำหนดให้สัญญาณลอจิก “0” ถูกแทนที่ด้วยค่าความถี่เท่ากับ 0 คือ การปิดสัญญาณ และจะแทนสัญญาณลอจิก “1” ด้วยความถี่ค่าๆ หนึ่ง คือ การเปิดสัญญาณนั่นเอง และสัญญาณที่ป้อนให้จะเป็นสัญญาณโพลาร์ สามารถดูรูปร่างสัญญาณต่างๆได้จากรูปที่2.5

2.4.2 การมอดูเลททางความถี่ (Frequency Shift Keying :FSK)

แรกเริ่มการเปลี่ยนสัญญาณลอจิกให้เหมาะสมกับการส่งผ่านไปในโทรศัพท์ใช้วิธีที่เรียกว่า Frequency Shift Keying (FSK) คือด้านส่งจะกำหนดใช้ความถี่ของเสียงสองความถี่สำหรับแทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณลอจิก “0” และ “1” ด้านรับก็จะพยายามจับเอาสองความถี่สำหรับที่ว่านี้มาแปลงสัญญาณลอจิกกลับคืน ความถี่ของเสียงทั้งสองต้องห่างกันพอที่จะแยกออกจากกันได้โดยวงจรอิเล็กทรอนิกส์และก็จะต้องไม่ห่างกันเกินจนตกขอบของความสามารถของสายโทรศัพท์จะนำมาไปได้

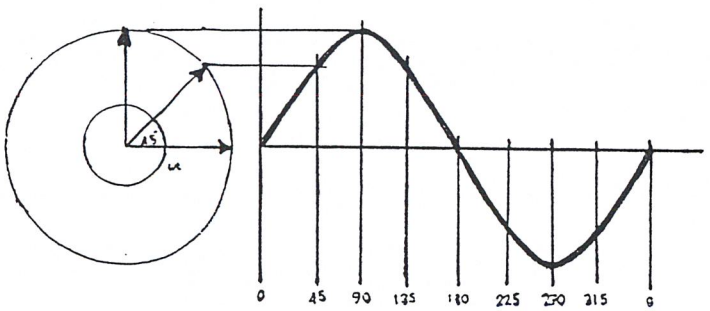


รูปที่ 2.5 รูปร่างสัญญาณต่างๆ

2.4.3 การมอดูเลททางเฟส (Phase Shift Keying :PSK)

ในการถ่ายโอนที่ต้องใช้ความเร็วสูงๆ การมอดูเลทโดยวิธี FSK คงจะเป็นไปได้ยากจึงเปลี่ยนมาใช้วิธีที่เรียกว่าการมอดูเลททางเฟส PSK และแทนที่จะใช้ความถี่ในการแทนสัญญาณลอจิกกลับใช้สัญญาณเสียงความถี่เดียว แต่ใช้เฟสที่ต่างกันออกไปสำหรับแทนสัญญาณลอจิก การใช้เฟสในการมอดูเลทสามารถดูรูปร่างของสัญญาณอย่างง่ายๆ ตามรูปที่ 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



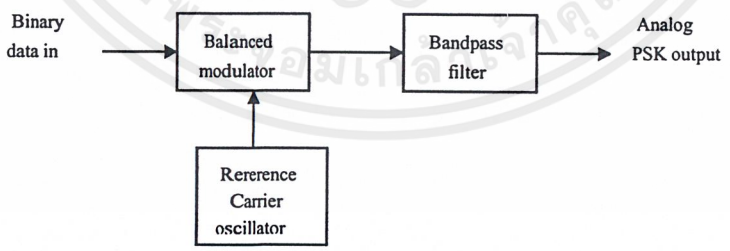
รูปที่ 2.6 การกำหนดคลื่นรูปไซน์และเฟสต่างๆ

การกำเนิดของคลื่นไซน์ก็เหมือนกับการหมุนของเข็มนาฬิกาไปเป็นเส้นรอบวง ถ้าเราวัดความสูงของเข็มนาฬิกาเทียบกับแนวนอนขณะใดขณะหนึ่ง แล้วนำมาวาดเทียบกับแกนเวลา เราจะได้รูปร่างของคลื่นไซน์ เข็มที่เราใช้หมุนเรียกว่า "เวกเตอร์" มุมที่หมุนไปเรียกว่า "เฟส" ฉะนั้นเฟสของสัญญาณรูปคลื่นไซน์จะมีค่าตั้งแต่ 0 ถึง 360 องศา

2.5 ทฤษฎีพื้นฐานของ BPSK

เป็นการใช้เฟสในการมอดูเลทสัญญาณลอจิก เฟสเอาท์พุทที่ได้แบ่งเป็น 2 เฟส ขึ้นอยู่กับสัญญาณลอจิกทางด้านอินพุท ถ้ามอดูเลทสัญญาณลอจิก "0" จะแทนด้วยเฟส 0 องศา ถ้ามอดูเลทสัญญาณลอจิก "1" จะแทนด้วยเฟสที่ 180 องศา BPSK มีอีกชื่อหนึ่งคือ phase reversal keying (PRK) หรือ biphase modulation

2.5.1 BPSK ทางด้านส่ง



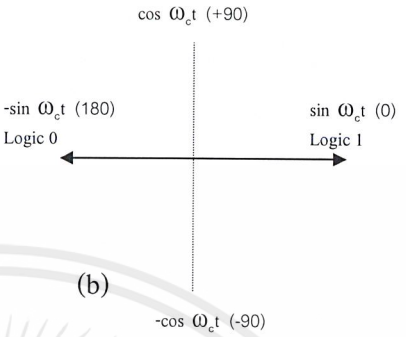
รูปที่ 2.7 บล็อคไดอะแกรมของการมอดูเลทแบบ BPSK

จากรูปที่ 2.7 บล็อคไดอะแกรมของการมอดูเลทแบบ BPSK จะเห็นได้ว่า บาลานซ์มอดูเลเตอร์จะทำหน้าที่เป็นสวิตซ์คอยเปลี่ยนเฟส ซึ่งขึ้นกับสถานะลอจิกทางด้านอินพุท โดยสัญญาณเอาท์พุทจากวงจรออสซิเลเตอร์จะผลิตคลื่นพาห์ที่ใช้ในการมอดูเลทกำหนดเป็นตัวอ้างอิง ในการทำงานของวงจรบาลานซ์มอดูเลเตอร์ จะต้องให้สัญญาณลอจิกมีขนาดของแรงดันมากกว่าสัญญาณคลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Binary input	Output phase
Logic 0	180
Logic 1	0

(a)



(b)

รูปที่ 2.8 (a) ตารางแสดงสถานะของลอจิก
(b) เวกเตอร์ผลลัพธ์ของสัญญาณ BPSK

ในการมอดูเลทแบบ BPSK สัญญาณพาห์อินพุทจะถูกคูณด้วยข้อมูลทางไบนารี่ โดย +1โวลท์ จะแทนด้วยลอจิก 1 และ –1 โวลท์ แทนด้วยลอจิก 0 ซึ่งสัญญาณอินพุทที่เป็นคลื่นพาห์จะถูกคูณด้วยค่า 2 ค่า คือ +1 และ –1 จะได้เอาท์พุทออกมาเป็น +1 sin $\omega_c t$ หรือ -1 sin $\omega_c t$ ในกรณีแรกเราจะได้สัญญาณเอาท์พุทออกมามีเฟสตรงกับสัญญาณที่ออกมาจากออสซิเลเตอร์ (คลื่นพาห์) กรณีหลังจะได้สัญญาณต่างเฟสกับกรณีแรก ทุกๆครั้งที่สัญญาณลอจิกเปลี่ยน เฟสทางเอาท์พุทก็จะเปลี่ยน

ในการมอดูเลทแบบ BPSK อัตราการเปลี่ยนแปลงของเอาท์พุท (baud)จะมีค่าเท่ากับอัตราการเปลี่ยนแปลงของอินพุทไบนารี่ (bps) และค่าแบนด์วิทธ์ของเอาท์พุทที่มากที่สุดจะขึ้นอยู่กับการเปลี่ยนแปลงของอินพุทไบนารี่จาก 1/0 ความถี่พื้นฐาน (f_a) ของการเปลี่ยนแปลงของอินพุทไบนารี่จาก 1/0มีค่าเท่ากับครึ่งหนึ่งของอัตราการเปลี่ยนแปลงของบิท ($f_b/2$) สมการของเอาท์พุทที่ออกจาก BPSK มอดูเลเตอร์ คือ

$$\text{Output} = (\sin \omega_c t)*(\sin \omega_c t)$$

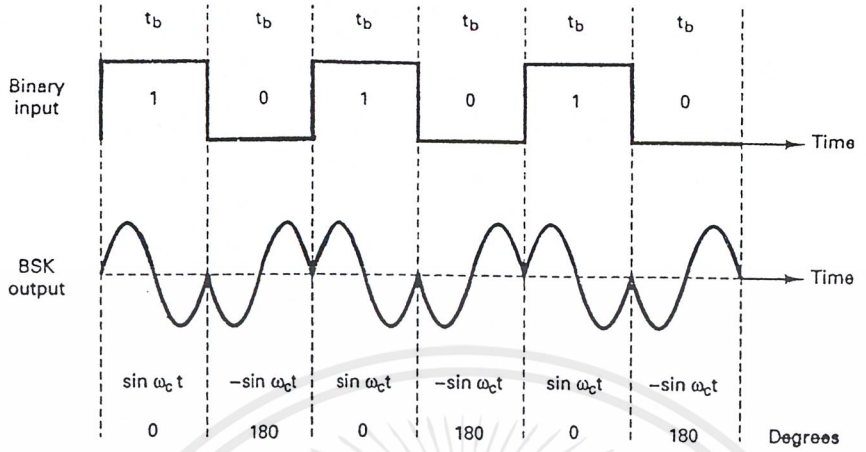
$$= 0.5 \cos(\omega_c - \omega_a)t + 0.5 \cos(\omega_c + \omega_a)t \quad \ldots(2.1)$$

โดยที่ ω_a เป็นความถี่พื้นฐาน และ ω_c เป็นความถี่ของคลื่นพาห์

ดังนั้นจะได้ความกว้างของแบนด์วิทธ์ (f_N) คือ $(\omega_c + \omega_a) - (\omega_c - \omega_a) = 2\omega_a$

และเพราะว่า $f_a = f_b/2$, $f_N = 2(f_b/2) = f_b$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 แสดงเฟสของสัญญาณ BPSK

แถบความถี่ของสัญญาณ BPSK เป็นดับเบิ้ลไซด์แบนด์ (double-sideband) และยังเป็นสัญญาณที่ถูกตัดความถี่คลื่นพาห์ออกด้วย ซึ่งแถบความถี่ด้านบนและด้านล่างที่ถูกแยกออกจากคลื่นพาห์จะมีค่าความถี่เป็นครึ่งหนึ่งของอัตราการเปลี่ยนแปลงของบิท ค่าแบนด์วิทธ์ที่น้อยที่สุดที่สามารถเป็นสัญญาณ BPSK ได้ สัญญาณเอาท์พุทจะมีค่าเท่ากับอัตราการเปลี่ยนแปลงของบิท

2.5.2 BPSK ทางด้านรับ

สัญญาณอินพุทที่เข้ามาในวงจรนี้คือ +1 sin $\omega_c t$ หรือ -1 sin $\omega_c t$ ส่วนวงจรที่เกิดจากสัญญาณความถี่ของคลื่นพาห์ (Coherent Carrier Recovery) จะสร้างสัญญาณคลื่นพาห์มาอีกชุด ซึ่งมีค่าเท่ากับความถี่คลื่นพาห์เริ่มแรกที่ยังไม่มอดูเลทกับสัญญาณ วงจรบาลานซ์ มอดูเลเตอร์จะรับอินพุทมา 2 ความถี่ (สัญญาณ BPSK และ สัญญาณคลื่นพาห์ที่สร้างใหม่) เอาท์พุทที่ได้จะผ่านเข้ามายังวงจรกรองความถี่ที่แยกสัญญาณไบนารี่ออกจากสัญญาณเอาท์พุท

เมื่ออินพุทที่เข้ามาคือ +1 sin $\omega_c t$ จะได้เอาท์พุทดังสมการดังนี้

$$\text{Output} = (\sin \omega_c t)*(\sin \omega_c t) = \sin^2 \omega_c t \qquad \ldots(2.2)$$

$$\sin^2 \omega_c t = \tfrac{1}{2}(1 - \cos 2\omega_c t) = \tfrac{1}{2} - \tfrac{1}{2}\cos 2\omega_c t$$

$$\text{Output} = +1/2 \text{ V} = \text{logic 1}$$

จะเห็นว่าเอาท์พุทจากบาลานซ์ มอดูเลเตอร์ มีค่าศักดาคงที่เป็นบวก (+1/2 V) และรูปคลื่นโคซายน์ที่มีความถี่เป็นสองเท่าของคลื่นพาห์ ตัวกรองความถี่จะมีต้องมีค่าความถี่คัทออฟน้อยกว่า $2\omega_c$ มากๆ ซึ่งจะยอมให้ผ่านเฉพาะศักดาคงที่ที่เป็นบวก จะได้ศักดาบวกที่ถูกดีมอดูเลทมาเป็นลอจิก +1

เมื่ออินพุทที่เข้ามาคือ -1 sin $\omega_c t$ จะได้เอาท์พุทดังสมการดังนี้

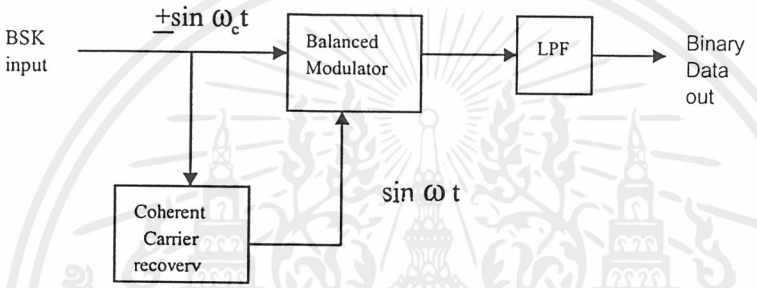
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{Output} = (-\sin \omega_c t)*(\sin \omega_c t) = -\sin^2 \omega_c t \quad \ldots(2.3)$$

$$-\sin^2 \omega_c t = -\tfrac{1}{2}(1-\cos 2\omega_c t) = -\tfrac{1}{2} + \tfrac{1}{2}\cos 2\omega_c t$$

$$\text{Output} = -1/2\ V = \text{logic } 0$$

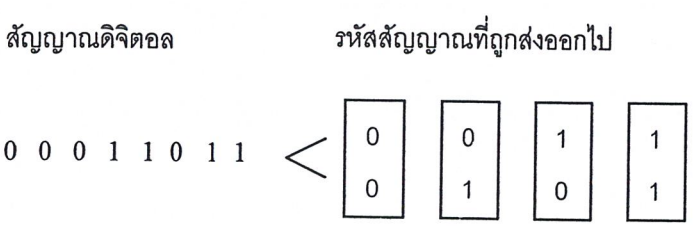
ในทำนองเดียวกันเอาท์พุทที่ออกมจากตัวกรองความถี่ จะได้ศักดาลบคงที่ ซึ่งเป็นลอจิก 0 แทน



รูปที่ 2.10 บล็อคไดอะแกรมของภาคดีมอดูเลทแบบ BPSK

2.6 ทฤษฎีพื้นฐานของ QPSK

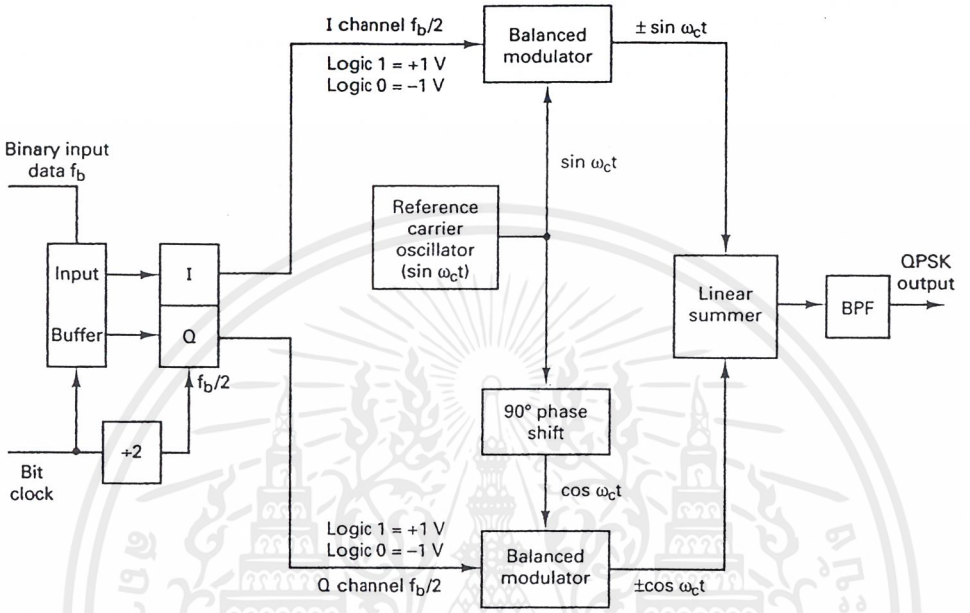
QPSK หรือที่เรียกว่า Quaternary Phase Shift Keying ในวิธีการนี้สัญญาณ 2 บิทจะถูกส่งไปพร้อม ๆ กัน โดยลำดับสัญญาณดิจิตอลที่จะส่งถูกแบ่งเป็นบล็อค 2 บิท และแต่ละรหัสบล็อกประกอบด้วย 2 บิทถูกส่งไปพร้อม ๆ กัน ในกรณีนี้จะมีการรวมรหัส 4 คู่ด้วยกันคือ 00,01,10 และ 11 โดยคู่ของรหัสทั้ง 4 คู่นี้จะเทียบได้กับ initial phase 4 เฟสของสัญญาณ QPSK จะเห็นว่าถ้าเปรียบเทียบรหัสสองเฟสข้างเคียง หนึ่งในสองบิทจะเหมือนกันในทุก ๆ กรณี ดังนั้นโดยการใช้ Gray code จะมีเพียงบิทเดียวที่เกิดผิดพลาดแม้ว่าสัญญาณที่รับได้จะถูกดีมอดูเลทผิดไปเป็นเฟสข้างเคียง



รูปที่ 2.11 รหัส 4 คู่ของสัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

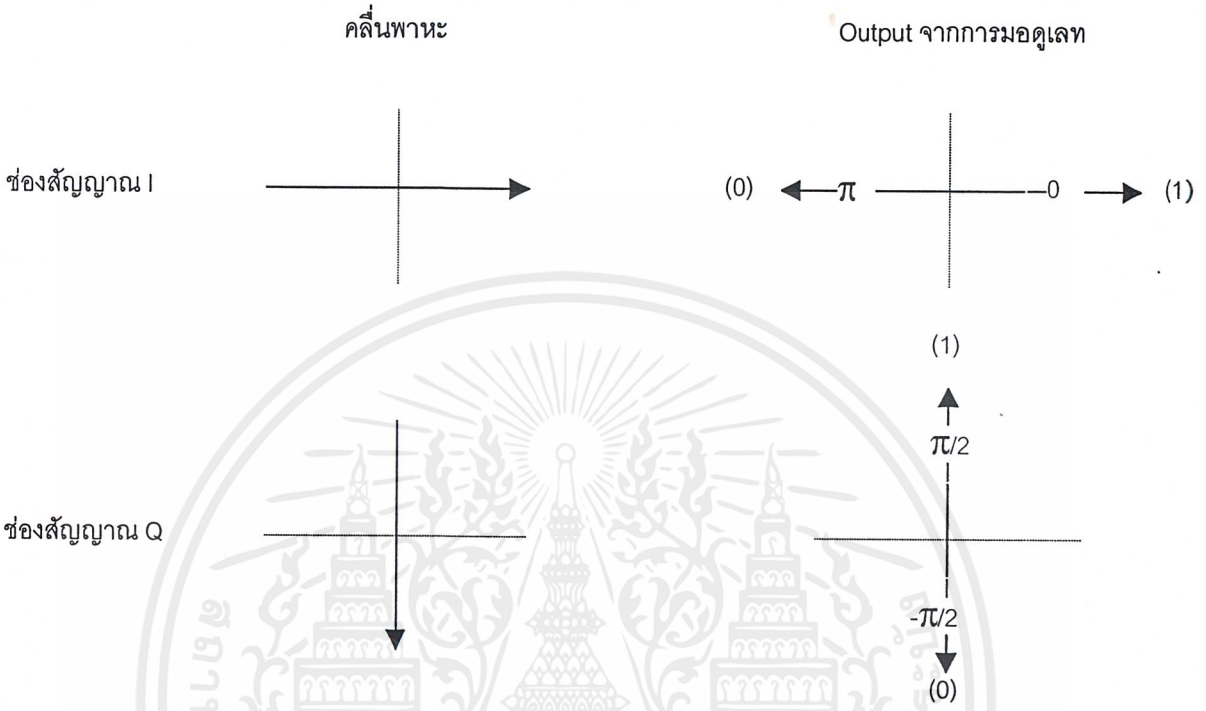
2.6.1 QPSK ทางด้านส่ง



รูปที่ 2.12 บล็อกไดอะแกรมของการมอดูเลทแบบ QPSK

จากรูปที่ 2.12 เป็นบล็อกไดอะแกรมของการมอดูเลทแบบ QPSK ประกอบด้วยวงจรมอดูเลชั่น BPSK 2 วงจร สัญญาณดิจิตอลที่จะส่งถูกแยกออกทางช่องสัญญาณ I และช่องสัญญาณ Q โดยตัว อนุกรมเป็นขนาน แต่ละด้านถูกมอดูเลทแบบ BPSK (Binary Phase Shift Keying) โดยบาลานซ์มอดูเลเตอร์ คลื่นพาหะที่ใช้ในการมอดูเลทของช่องสัญญาณ I (I แทน in phase channel) จะใช้จาก output ของออสซิเลเตอร์โดยตรง เอาท์พุทจากช่องสัญญาณ I จะเป็นไปได้ 2 เฟส คือ +sin $\omega_c t$ และ - sin $\omega_c t$ ส่วนคลื่นพาหะที่ใช้สำหรับช่องสัญญาณ Q (Q แทน quadrature channel) เฟสจะถูกเลื่อนไป 90 องศา โดยวงจรเลื่อนเฟส (phase shifter) เอาท์พุทจากช่องสัญญาณ Q จะเป็นไปได้ 2 เฟส คือ +cos$\omega_c t$ และ - cos$\omega_c t$ สัญญาณมอดูเลท BPSK ทั้งสองนี้ได้รับโดยการใช้คลื่นพาหะที่ต่างเฟสกัน 90 องศาและถูกรวมกันโดยวงจรรวม (Linear Summer) ก็จะได้สัญญาณ QPSK ออกมา ดังนั้นเอาท์พุทที่จะเป็นไปได้ทั้งหมด คือ +sin $\omega_c t$ + cos $\omega_c t$, + sin $\omega_c t$ - cos $\omega_c t$, - sin $\omega_c t$ + cos $\omega_c t$ และ - sin $\omega_c t$ - cos $\omega_c t$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

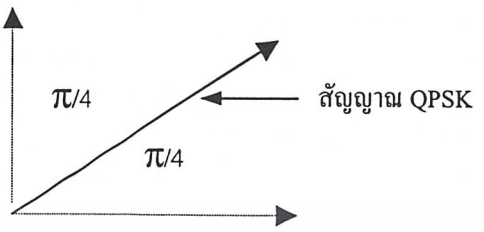


รูปที่ 2.13 เปรียบเทียบเฟสของสัญญาณในช่องสัญญาณ I และ Q

เวกเตอร์ผลลัพธ์แสดงดังรูปที่ 2.13 เราลองมาพิจารณาความสัมพันธ์ระหว่างคลื่นพาหะที่ใช้ในช่องสัญญาณ I และ Q และสัญญาณ BPSK สำหรับรหัส 0 และ 1 ถ้าเฟสเริ่มแรกของสัญญาณเอาท์พุทจากออสซิเลเตอร์กำหนดเป็นตัวอ้างอิง คลื่นพาหะที่ใช้ในช่องสัญญาณ I จะอยู่ในเฟสเดียวกันกับสัญญาณอ้างอิง ส่วนคลื่นพาหะของช่องสัญญาณ Q ได้จากการเลื่อนเฟส 90 องศา จากสัญญาณเอาท์พุทของออสซิเลเตอร์

เมื่อเปรียบเทียบรหัสของ 2 เฟสที่อยู่ใกล้เคียงกัน จะเห็นว่าหนึ่งใน 2 บิทจะเหมือนกัน (จะมีบิทใดบิทหนึ่งที่เปลี่ยนเท่านั้น ไม่ได้เปลี่ยนทั้งสองบิท)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

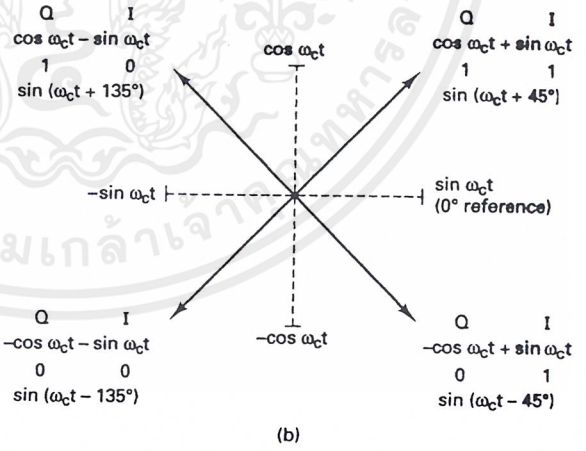


รูปที่ 2.14 สัญญาณ QPSK ถูก shift phase π/4

ตอนนี้เรามาพิจารณาหลักการของการดีมอดูเลทสัญญาณ QPSK โดย coherent detection เวกเตอร์ที่แสดงโดยเส้นทึบเป็นสัญญาณ QPSK ที่รับได้ ซึ่งสัญญาณ QPSK นี้สามารถพิจารณาได้ว่าเป็นสัญญาณผลลัพธ์ที่ได้โดยการรวมสัญญาณ BPSK ที่ตั้งฉากกันคู่หนึ่ง ซึ่งแสดงโดยเส้นประ นั่นคือการดีมอดูเลทสัญญาณ QPSK ก็เท่ากับการดีมอดูเลทสัญญาณ BPSK สองสัญญาณดังกล่าวข้างต้น ดังนั้นสัญญาณที่ได้รับ คือการดีเทค แบบ coherent โดยการใช้คลื่นพาหะอ้างอิงที่ตั้งฉากกันคู่หนึ่ง ซึ่งได้โดยการเลื่อนเฟสของสัญญาณที่รับไปเท่ากับ π/4 นั่นคือสัญญาณ BPSK ที่ตั้งฉากกันแต่ละสัญญาณถูกการดีเทคแบบ coherent

Binary input		QPSK output phase
Q	I	
0	0	−135°
0	1	−45°
1	0	+135°
1	1	+45°

(a)



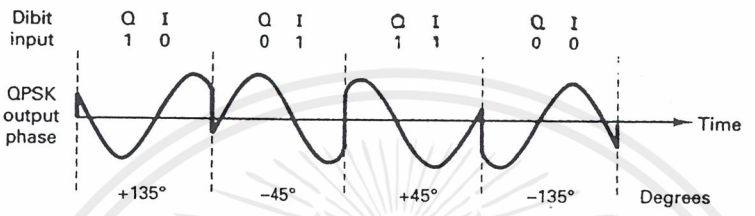
(b)

รูปที่ 2.15 QPSK มอดูเลเตอร์ (a) ตารางแสดงสถานะของลอจิก (b) เวกเตอร์ผลลัพธ์ของสัญญาณ

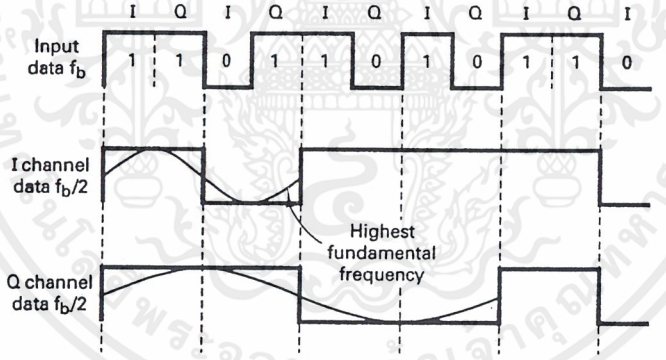
จากตารางแสดงสถานะของลอจิก รูปที่ 2.15 (b) จะเห็นว่าสำหรับรหัส 00 จะแทนด้วยสัญญาณ QPSK ต่างเฟส –135 องศา รหัส 01 แทนด้วยสัญญาณ QPSK ต่างเฟส –45 องศา รหัส 10 แทนด้วยสัญญาณ QPSK ต่างเฟส+135 องศา และ รหัส 11 แทนด้วยสัญญาณ QPSK ต่างเฟส +45 องศา กับคลื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พาหะของช่องสัญญาณ I รหัสสัญญาณเหล่านี้เรียกว่า " Gray Code" เมื่อเราแทนข้อมูลด้วยสัญญาณ QPSK จะได้เอาท์พุทดังรูปที่ 2.16



รูปที่ 2.16 แสดงเฟสของสัญญาณ QPSK



รูปที่ 2.17 แบนด์วิทธ์ของการมอดูเลทแบบ QSPK

เนื่องจากข้อมูลอินพุทถูกแบ่งเป็น 2 ช่องสัญญาณ ดังนั้นอัตราเร็วบิททั้งช่องสัญญาณ I และ Q จะมีค่าเท่ากับครึ่งหนึ่งของอัตราเร็วข้อมูลที่เข้ามา (f_b /2) ดังนั้นความถี่พื้นฐานสูงสุด (f_s) ที่เป็นข้อมูลอินพุทเข้าช่องสัญญาณ I หรือ Q จะมีค่าเท่ากับ หนึ่งในสี่ของอัตราเร็วข้อมูลที่เข้ามา (f_b /4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

สมการของเอาท์พุทที่ออกจาก QPSK มอดูเลเตอร์ คือ

$$\text{Output} = (\sin \omega_a t)*(\sin \omega_c t) \qquad \ldots(2.4)$$

$$\omega_a t = 2\pi f_b/4 \quad \text{และ} \quad \omega_c t = 2\pi f_c$$

โดยที่ ω_a เป็นความถี่พื้นฐานของการมอดูเลท และ ω_c เป็นความถี่ของคลื่นพาหะ

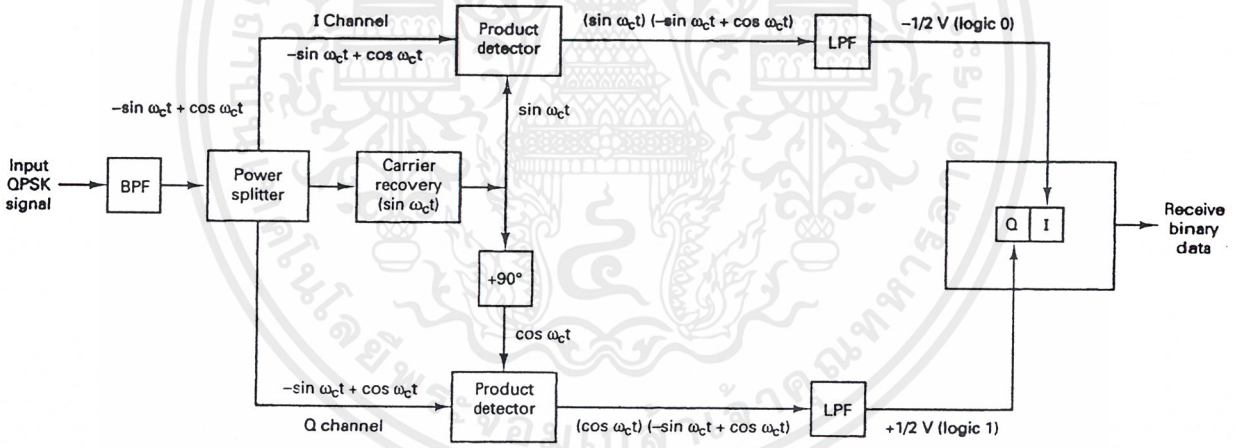
$$\text{Output} = (\sin 2\pi f_b/4)*(\sin 2\pi f_c)$$

$$= 0.5\cos 2\pi (f_c - f_b/4)t - 0.5\cos 2\pi (f_c + f_b/4)t$$

ดังนั้นค่าแบนด์วิทธ์ต่ำสุด (f_n) จะมีค่าคือ

$$(f_c + f_b/4) - (f_c - f_b/4) = 2 f_b/4 = f_b/2$$

2.6.2 QPSK ทางด้านรับ



รูปที่ 2.18 บล็อคไดอะแกรมของภาคดีมอดูเลทแบบ QPSK

รูปที่ 2.18 แสดงวงจรดีมอดูเลทสำหรับสัญญาณ QPSK โดยการดีเทคแบบ coherent ซึ่งวงจรประกอบด้วยวงจรดีมอดูเลทแบบ coherent คู่หนึ่งที่ตั้งฉากกัน สัญญาณ QPSK ที่รับได้ถูกแบ่งออกเป็นขบวนสัญญาณ 2 ขบวน ซึ่งถูกดีเทคแบบ coherent แยกกัน คู่ของคลื่นพาหะอ้างอิงที่ตั้งฉากกันถูกป้อนเข้า และแยกเป็นช่องสัญญาณ I และ Q แต่ละช่องสัญญาณ เอาท์พุทจะผ่านวงจรกรองความถี่ต่ำผ่านเพื่อตัดฮาร์โมนิกสูง ๆ ออก หลังจากนั้นสัญญาณที่ขนานกันนี้จะถูกรวมเข้าด้วยกันที่วงจรขนานเป็นอนุกรม เพื่อจัดรูปแบบเรียงเป็นสัญญาณอนุกรมตามเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42723

ลักษณะสัญญาณ QPSK ที่รับเข้ามาอาจจะมีรูปแบบใดรูปแบบหนึ่งใน 4 เฟส ดังรูปที่ 2.18 เพื่อที่จะให้เข้าใจถึงขบวนการดีมอดูเลท เราจะยกตัวอย่างให้สัญญาณ QPSK ที่รับเข้ามา คือ $-\sin \omega_c t + \cos\omega_c t$ และสัญญาณคลื่นพาหะคือ $\sin \omega_c t$

สัญญาณเอาท์พุทที่ช่องสัญญาณ I

$I = (-\sin \omega_c t + \cos\omega_c t)(\sin \omega_c t)$

$= (-\sin \omega_c t)(\sin \omega_c t) + (\sin \omega_c t)(\sin \omega_c t)$

$= -\sin^2 \omega_c t + (\cos \omega_c t)(\sin \omega_c t)$

$= -0.5(1 - \cos 2\omega_c t) + 0.5(\sin \omega_c + \omega_c)t + 0.5(\sin \omega_c - \omega_c)t$

$= -0.5 + 0.5 \cos 2\omega_c t + 0.5 \sin 2\omega_c t + 0.5 \sin 0$

$I = -0.5$ V (logic 0)

สัญญาณเอาท์พุทที่ช่องสัญญาณ Q

$Q = (-\sin \omega_c t + \cos \omega_c t)(\cos \omega_c t)$

$= \cos^2 \omega_c t - (\sin \omega_c t)(\cos \omega_c t)$

$= 0.5(1 + \cos 2\omega_c t) - 0.5(\sin \omega_c + \omega_c)t - 0.5(\sin \omega_c - \omega_c)t$

$= 0.5 + 0.5 \cos 2\omega_c t - 0.5 \sin 2\omega_c t - 0.5 \sin 0$

$Q = 0.5$ V (logic 1)

สมมติว่าจำนวนบิทที่ต้องการส่งในหนึ่งหน่วยเวลา คือ bit rate มีค่าเท่ากันทั้งในกรณีของ BPSK และ QPSK สำหรับ QPSK บิทจะถูกส่ง 2 บิทในแต่ละครั้ง ดังนั้นความถี่ของการเปลี่ยนเฟสคลื่นพาหะจะขึ้นอยู่กับรหัส นั้นคือ keying speed จะเป็นครึ่งหนึ่งเมื่อเทียบกับกรณี BPSK เมื่อช่วงระยะเวลาของบิทแต่ละตัวเป็น T ดังนั้น keying speed จะมีค่าเท่ากับ 1/T สำหรับ BPSK
และจะมีค่าเท่ากับ 1/2T สำหรับกรณี ของ QPSK

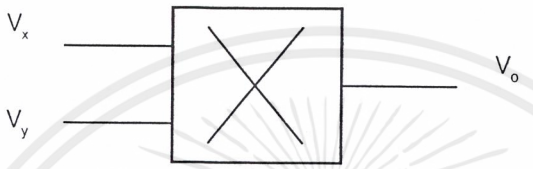
โดยทั่วไปแล้วแถบกว้างความถี่ที่ถูกครอบครองของสัญญาณ PSK จะเพิ่มขึ้นเป็นสัดส่วนกับ keying speed ดังนั้นเมื่อให้อัตราการส่งบิทคงที่ keying speed ในกรณีของ QPSK จะเป็นครึ่งหนึ่งของ BPSK และแถบกว้างความถี่ที่ถูกครอบครองของสัญญาณ QPSK จะเป็นครึ่งหนึ่งของสัญญาณ BPSK

ในทางตรงกันข้ามเมื่อให้ความกว้างของความถี่เท่ากัน จำนวนบิทซึ่งสามารถส่งได้ในกรณีของ QPSK จะเป็น 2 เท่าของ BPSK ดังนั้นจะเห็นได้ว่ามีข้อดีกว่า ถ้ามองจากผลในการใช้แถบความถี่คลื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
บาลานซ์มอดูเลเตอร์ (BALANCED MODODULATOR)

3.1 วงจรคูณแบบสี่ควอดเรนท์



รูปที่ 3.1 บล็อคไดอะแกรมของตัวคูณสัญญาณ

จากรูป 3.1 แสดงบล็อคไดอะแกรมของตัวคูณสัญญาณแรงดันเอาท์พุทนิยามโดย

$$V_o = KV_xV_y \qquad \ldots(3.1)$$

V_x = สัญญาณอะนาลอกที่ขั้ว x

V_y = สัญญาณอะนาลอกที่ขั้ว y

K = เกนของตัวคูณสัญญาณมีหน่วยเป็น ($Volt^{-1}$)

จากสมการ 3.1 เป็นคุณสมบัติทางอุดมคติของตัวคูณสัญญาณ ดังนั้นขนาดและขั้วของเอาท์จะขึ้นอยู่กับสัญญาณอินพุทเพียงอย่างเดียว คือขึ้นอยู่กับว่าสัญญาณอินพุทจะมีขั้วเป็นบวกหรือลบ จากสมการ นั้นเป็นทรานเฟอร์ฟังก์ชันในอุดมคติของตัวคูณสัญญาณโดยจะไม่คิดออปเซ็ทที่เกิดขึ้นในทางปฏิบัติ ซึ่งในทางปฏิบัติทรานเฟอร์ฟังก์ชันจะนิยามโดยมีความสัมพันธ์กับแรงดันออปเซ็ทของแต่ละอินพุทและแรงดันออปเซ็ทของวงจรภาคเอาท์พุท เมื่อแรงดันออปเซ็ทเหล่านี้ถูกพิจารณาค่าทรานเฟอร์ฟังก์ชันจะกลายเป็นดังสมการ 3.2

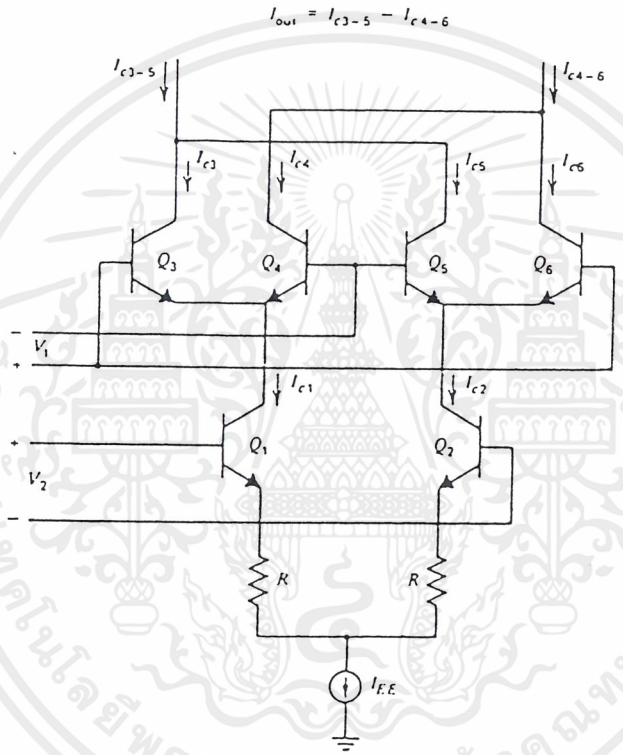
$$V_o = K(V_x + \phi_x)(V_Y + \phi_y) + \phi_o \qquad \ldots (3.2)$$

โดย ϕ_x และ ϕ_y คือ ออปเซ็ทที่เกี่ยวข้อกับอินพุท x และ อินพุท y และ ϕ_o คือ แรงดันออปเซ็ทที่เอาท์พุทของตัวคูณสัญญาณ ดังนั้นเพื่อความถูกต้องจึงต้องมีการปรับค่าออปเซ็ททั้ง 3 ให้มีผลต่อวงจรน้อยที่สุดโดยปรับจากภายนอก ในการใช้งานทั่วๆ ไปจะตั้งเกณฑ์ของตัวคูณเท่ากับ 0.1ค่านี้จะยอมให้ค่าทั้ง 2 ของอินพุทมีค่าประมาณ 10 V โดยจะไม่ทำให้เอาท์พุทเกิน 10 V เมื่อออปเซ็ทถูกปรับ และตั้งค่า K เท่ากับ 0.1 ทรานเฟอร์ฟังก์ชันจะกลายเป็นดังสมการที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_o = \frac{V_x V_y}{10} \qquad \ldots(3.3)$$

ในการวิเคราะห์การทำงานของตัวคูณสัญญาณเราจะใช้ Gilbert multiplier cell โดยพิจารณาทรานซิสเตอร์ทุกตัวมีคุณสมบัติเหมือนกัน ในการวิเคราะห์เราจะละเว้นกระแสเบสและค่าความต้านทานเอาท์พุท



รูปที่ 3.2 Gilbert Multiplier Circuit

ในการวิเคราะห์ ขั้นแรกเราจะหากระแสคอลเล็คเตอร์ของ Q_3 , Q_4 , Q_5 และ Q_3 ให้อยู่ในเทอมของ V_1 โดยใช้สมการไดโอดพื้นฐาน เราจะได้

$$V_1 + V_{be4} + V_{be3} = 0 \qquad \ldots(3.4)$$

$$V_{be3} = V_T \ln \frac{I_{c3}}{I_5} \qquad \ldots(3.5)$$

$$V_{be4} = V_T \ln \frac{I_{c4}}{I_5} \qquad \ldots(3.6)$$

กระแสคอลเล็คเตอร์ หาได้จาก $I_{c4} = I_{c1} - I_{c3}$

$$I_{c3} = \frac{I_{c1}}{1 + \exp(-V_1 / V_T)} \qquad \ldots(3.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{c4} = \frac{I_{c1}}{1+\exp(V_1/V_T)} \quad \ldots(3.8)$$

ใช้วิธีการอย่างเดียวกันจะได้กระแสคอลเล็คเตอร์ของ Q_5 และ Q_6 คือ

$$I_{c5} = \frac{I_{c2}}{1+\exp(V_1/V_T)} \quad \ldots(3.9)$$

$$I_{c6} = \frac{I_{c2}}{1+\exp(-V_1/V_T)} \quad \ldots(3.10)$$

และกระแสคอลเล็คเตอร์ของ และ คือ

$$I_{c1} = \frac{I_{EE}}{1+\exp(-V_2/V_T)} \quad \ldots(3.11)$$

$$I_{c2} = \frac{I_{EE}}{1+\exp(V_2/V_T)} \quad \ldots(3.12)$$

เราสามารถแสดงกระแสคอลเล็คเตอร์ ให้อยู่ในเทอมของอินพุทโวลท์เตจ V_1 และ V_2 คือ

$$I_{c3} = \frac{I_{EE}}{[1+\exp(-V_1/V_T)][1+\exp(-V_2/V_T)]} \quad \ldots(3.13)$$

$$I_{c4} = \frac{I_{EE}}{[1+\exp(-V_2/V_T)][1+\exp(V_1/V_T)]} \quad \ldots(3.14)$$

$$I_{c5} = \frac{I_{EE}}{[1+\exp(V_1/V_T)][1+\exp(V_2/V_T)]} \quad \ldots(3.15)$$

$$I_{c6} = \frac{I_{EE}}{[1+\exp(V_2/V_T)][1+\exp(-V_1/V_T)]} \quad \ldots(3.16)$$

ความแตกต่างของกระแสเอาท์พุท คือ

$$\Delta I = I_{c3-5} - I_{c4-6} = I_{c3} + I_{c5} - (I_{c6} + I_{c4})$$

$$= (I_{c3} - I_{c6}) - (I_{c4} - I_{c5}) \quad \ldots(3.17)$$

$$= I_{EE}[\tanh(V_1/2V_T)][\tanh(V_2/2V_T)] \quad \ldots(3.18)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น ทรานเฟอร์ฟังก์ชันสุดท้าย จะเป็นผลคูณของไฮเปอร์โบลิกแทนของ 2 สัญญาณ อินพุท ซึ่งจะเป็นเชิงเส้นเมื่อสัญญาณอินพุทมีขนาดเล็กเมื่อเทียบกับ

จาก $\tanh x = x - x^3/3 \ldots \qquad x << 1$

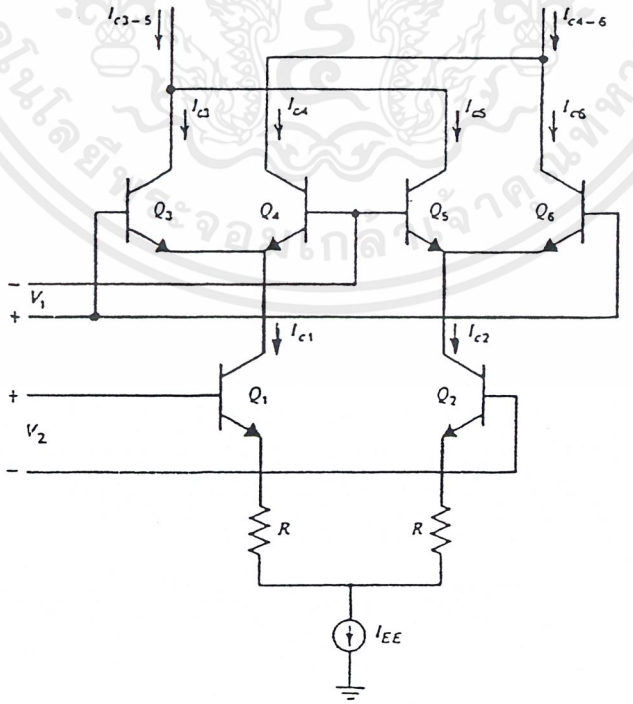
จะได้ว่า $\tanh x \approx x$

และทรานเฟอร์ฟังก์ชันรวมทั้งหมดจะกลายเป็น

$$\Delta I \approx I_{EE}(v_1 / 2V_T)(v_2 / 2V_T) \qquad V_1, V_2 << V_T \quad \ldots(3.19)$$

3.2 การใช้งานไอซีบาลานซ์ มอดูเลเตอร์

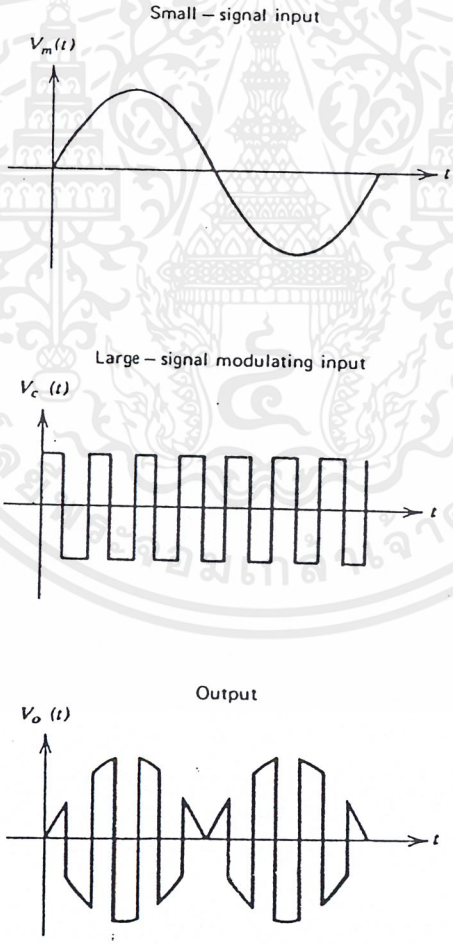
ในการประมวลผลสัญญาณ (Signal Processing) นั้นบ่อยครั้งที่มีความจำเป็นในการที่จะต้องนำเอาสัญญาณอะนาลอกที่มีการเปลี่ยนแปลงแบบต่อเนื่อง มาทำการคูณกับสัญญาณรูปสี่เหลี่ยม ซึ่งก็สามารถที่จะทำได้โดยอาศัยวงจรบาลานซ์ มอดูเลเตอร์ ด้วยการป้อนสัญญาณรูปสี่เหลี่ยมที่มีขนาดใหญ่เพียงพอ (เมื่อเทียบกับ V_T : Equivalent temperature voltage) ให้กับทรานซิสเตอร์ Q_3 , Q_4 , Q_5 และ Q_6 โดยผ่านทางขั้วเข้า V_1 ในรูปที่ 3.1 นั่นเอง เป็นผลให้ 2 ใน 4 ของทรานซิสเตอร์ทำงนสลับกันเปิดปิด ไปเรื่อยๆ และเนื่องจากทรานซิสเตอร์เหล่านี้จะไม่เกิดการทำงานในช่วงอิ่มตัวเลยด้วยแล้ว จึงทำให้การสลับกันเปิดปิดของคู่ทรานซิสเตอร์ เป็นไปด้วยความรวดเร็วด้วย



รูปที่ 3.3 โครงสร้างพื้นฐานของไอซี บาลานซ์ มอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยการใช้งานลักษณะดังกล่าว เราจะได้รูปคลื่นของสัญญาณต่างๆ ดังแสดงในรูปที่ 3.4 เมื่อสัญญาณซายน์ ถูกป้อนให้มีขนาดเล็กด้วยการป้อนเป็น V_2 ในรูปที่ 3.3 ส่วนสัญยาณสี่เหลี่ยมให้เป็นสัญญาณที่มีขนาดใหญ่และป้อนเข้าที่ V_1 ในรูปที่ 3.3 และเป็นที่น่าสังเกตว่า Q_3 , Q_4 , Q_5 และ Q_6 จะทำงานในลักษณะสวิตซ์ปิดเปิด จากผลของสัญญาณสี่เหลี่ยมที่ป้อนเข้ามา และขนาดของสัญญาณเอาท์พุทที่ได้ จะไม่ขึ้นอยู่กับขนาดของสัญญาณสี่เหลี่ยมเลยตราบเท่าที่สัญญาณรูปสี่เหลี่ยมดังกล่าว มีขนาดใหญ่เพียงพอที่จะทำให้ทรานซิสเตอร์ปิดเปิดได้อย่างสมบูรณ์ แต่ผลของการทำงาน ลักษณะดังกล่าวนี้ จะทำให้ได้สัญญาณเอาท์พุทที่เกิดจากการนำเอาสัญญาณซายน์ คูณด้วย บวกหนึ่งและลบหนึ่งสลักกันไปเรื่อยๆ ดังรูปที่ 3.4

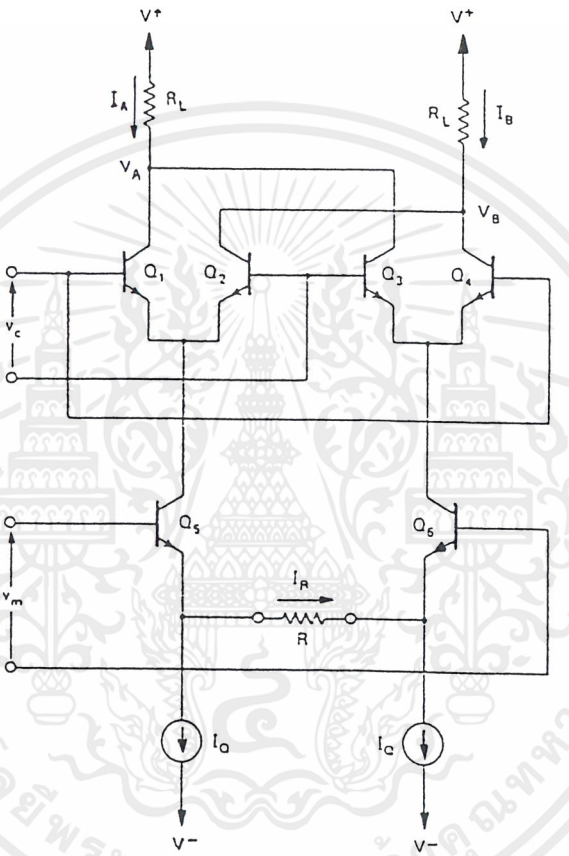


รูปที่ 3.4 สัญญาณอินพุท และเอาท์พุทที่เกิดจากการนำเอาสัญญาณซายน์ และสี่เหลี่ยมคูณกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การวิเคราะห์วงจร Balanced modulator

การวิเคราะห์วงจรบาลานซ์มอดูเลเตอร์ สามารถทำได้โดยพิจารณาพร้อมกับรูปที่ 3.5



รูปที่ 3.5 แสดงวงจรบาลานซ์มอดูเลเตอร์

จากรูป $I_5 = I_Q + I_R$ ...(3.20)

$I_6 = I_Q - I_R$ ...(3.21)

จากสมการกระแส $I_5 = I_{co} \exp (V_{BE5} / V_T)$ ...(3.22)

$I_6 = I_{co} \exp (V_{BE6} / V_T)$

ดังนั้น $V_{BE5} - V_{BE6} = (V_{B5} - V_{E5}) - (V_{B6} - V_{E6})$ ...(3.23)

เพราะว่า $V_{B5} - V_{B6} = v_m$ ...(3.24)

$V_{E5} - V_{E6} = I_R R_M$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้ $$v_m - I_R R_M = V_T[\ln(1+I_R/I_Q) - \ln(1-I_R/I_Q)] \quad \ldots(3.25)$$

จาก Power series ของ $\ln(1+x)$

จะได้ $$\ln(1+x) = \sum_{n=0}^{\alpha} \frac{(-1)^n X^{n+1}}{n+1} \quad \text{เมื่อ } x < |1| \quad \ldots(3.26)$$

$$\ln(1+I_R/I_Q) = \sum_{n=0}^{\alpha} \frac{(-1)^n (I_R/I_Q)^{n+1}}{n+1} \quad \text{เมื่อ } I_R < |1/I_Q|$$

$$\ln(1+I_R/I_Q) = I_R/I_Q - 0.5(I_R/I_Q)^2 + \ldots$$

$$\ln(1-I_R/I_Q) = -I_R/I_Q - 0.5(I_R/I_Q)^2 + \ldots$$

แทนค่าจะได้

$$v_m - I_R R_M = V_T\{[I_R/I_Q - 0.5(I_R/I_Q)^2 + \ldots]\} - \{[-I_R/I_Q - 0.5(I_R/I_Q)^2 + \ldots]\}$$

$$\approx 2V_T(I_R/I_Q) \quad , \quad (I_R/I_Q)^3 << 1$$

$$I_R[R_M + (2V_T/I_Q)] \approx v_m$$

ดังนั้น $$I_R \approx v_m/[R_M + (2V_T/I_Q)]$$

ถ้า v_cมีขนาดใหญ่เพียงพอ ทรานซิสเตอร์คู่ Q1-Q2 และ Q3-Q4 จะถูกสวิตซ์ในช่วงคัทออฟ และ ช่วงทำงาน เมื่อ v_c มีค่าเป็นบวก ทรานซิสเตอร์ Q2 และ Q3 จะคัทออฟ กระแสส่วนมากจะไหลผ่าน ทรานซิสเตอร์ Q1 และ Q4 ดังนั้น $I_1 \approx I_5$ และ $I_4 \approx I_6$ เมื่อ v_c มีค่าเป็นลบ จะได้ $I_2 \approx I_5$ และ $I_3 \approx I_6$

ฟังก์ชั่นการสวิตซ์

ถ้าเราป้อนสัญญาณรูปสี่เหลี่ยมขนาด 1 โวลท์ และมีคาบเท่ากับ T_Cซึ่งคาบของฟังก์ชั่นการสวิตซ์จะสัมพันธ์กับความถี่ของแรงดัน v_cซึ่งถูกใช้เป็นสัญญาณพาห์อินพุทของการมอดูเลชั่น $T_C = 1/f_C$ถ้าเราให้ $v_c = V_C \sin \omega_C t$ เพราะว่า S(t)เป็นคลื่นรูปสี่เหลี่ยมที่มีขนาดเท่ากับ 1 และความถี่ f_C สามารถเขียนอยู่ในรูปของฟูเรียร์ซีรีย์ได้ดังนี้

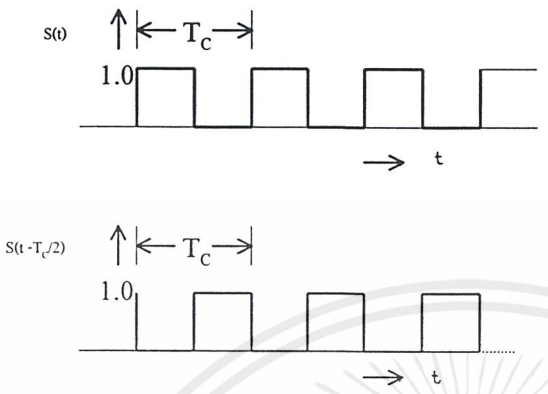
$$S(t) = 0.5 + \sum_{n=1}^{\alpha} \frac{2 \sin n\omega_C t}{n\pi} \quad \text{เมื่อ n เป็นจำนวนคี่} \quad \ldots(3.28)$$

ถ้าเลื่อน S(t) ไปครึ่งคาบ จะได้ $S(t - T_C/2)$ ซึ่งแสดงได้ดังรูปที่ 3.6 เราสมมติให้ขนาดของสัญญาณมีขนาดใหญ่เพียงพอ กระแสคอลเลคเตอร์ของ Q_1, Q_2, Q_3, Q_4 สามารถเขียนได้ดังนี้

$$I_1 = I_5 S(t) \ , \quad I_3 = I_6 S(t - T_C/2) \quad \ldots(3.29)$$

$$I_2 = I_5 S(t - T_C/2) \ , \quad I_4 = I_6 S(t)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 ฟังก์ชั่นของการสวิตช์

จาก $I_A = I_1 + I_3 = I_5 S(t) + I_6 S(t - T_C/2)$ ...(3.30)

$I_B = I_2 + I_4 = I_5 S(t - T_C/2) + I_6 S(t)$

จาก $I_5 = I_Q + I_R$ ....(3.31)

$I_6 = I_Q - I_R$

จะได้ $I_A = (I_Q + I_R) S(t) + (I_Q - I_R) S(t - T_C/2)$ ...(3.32)

$= I_Q[S(t) + S(t - T_C/2)] + I_R[S(t) - S(t - T_C/2)]$

และ $I_B = (I_Q + I_R) S(t - T_C/2) + (I_Q - I_R) S(t)$ ...(3.33)

$= I_Q[S(t) + S(t - T_C/2)] - I_R[S(t) - S(t - T_C/2)]$

เนื่องจาก $S(t) + S(t - T_C/2) = 1$ ...(3.34)

$S(t) - S(t - T_C/2) = S(t) - [1 - S(t)]$ ...(3.35)

$= 2 S(t) - 1$

$= \sum_{n=1}^{\alpha} \frac{4 \sin n\omega_C t}{n\pi}$ เมื่อ n เป็นจำนวนคี่

สามารถเขียนใหม่ได้คือ

$$I_A = I_Q + I_R \sum_{n=1}^{\alpha} \frac{4 \sin n\omega_C t}{n\pi} \quad \text{...(3.36)}$$

$$I_B = I_Q - I_R \sum_{n=1}^{\alpha} \frac{4 \sin n\omega_C t}{n\pi} \quad \text{...(3.37)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าให้ $v_m = V_M \sin \omega_m t$

จะได้ $$I_R = \frac{V_M \sin \omega_m t}{R_M + (2\, V_T / I_Q)} = \frac{V_M \sin \omega_m t}{R_M + 2\, r_{cb}} \quad \ldots(3.38)$$

แทนค่า I_R จะได้ $$I_A = I_Q + \sum_{n=1}^{\alpha} \frac{4\, V_M \sin \omega_m t \sin n\omega_C t}{n\pi\,(R_M + 2\, r_{cb})} \quad \ldots(3.39)$$

$$I_B = I_Q - \sum_{n=1}^{\alpha} \frac{4\, V_M \sin \omega_m t \sin n\omega_C t}{n\pi\,(R_M + 2\, r_{cb})} \quad \ldots(3.40)$$

จากสูตรตรีโกณมิติ

$$\sin x \sin y = \frac{\cos(x-y) - \cos(x+y)}{2}$$

$$I_A = I_Q + \sum_{n=1}^{\alpha} \frac{2}{n\pi} \frac{V_M}{(R_M + 2\, r_{cb})} [\cos(n\omega_C - \omega_m)t - \cos(n\omega_C + \omega_m)t] \quad \ldots(3.41)$$

$$I_B = I_Q - \sum_{n=1}^{\alpha} \frac{2}{n\pi} \frac{V_M}{(R_M + 2\, r_{cb})} [\cos(n\omega_C - \omega_m)t - \cos(n\omega_C + \omega_m)t]$$

จากรูป $V_A = V^+ - I_A R_L$

$V_B = V^+ - I_B R_L$

$V_O = V_B - V_A = (I_A - I_B) R_L$

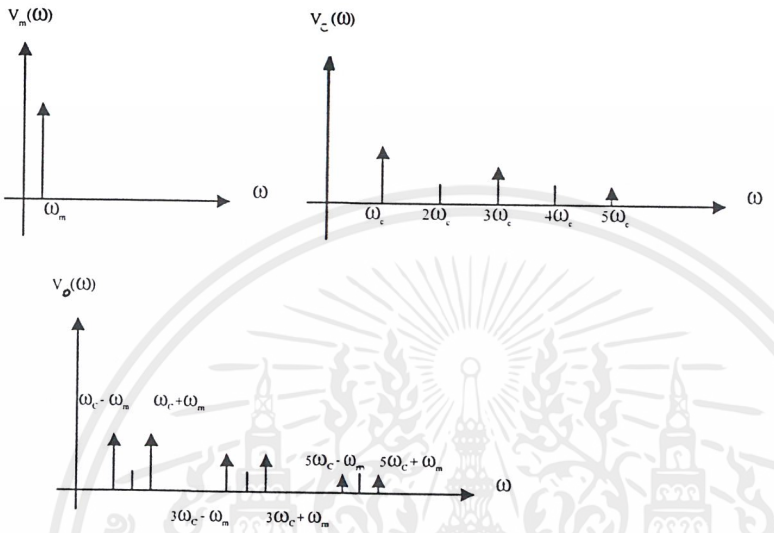
จากการแทนค่า I_A และ I_B จะได้

$$V_O = V_B - V_A$$

$$= \sum_{n=1}^{\alpha} \frac{4\, V_M R_L}{n\pi\,(R_M + 2\, r_{cb})} [\cos(n\omega_C - \omega_m)t - \cos(n\omega_C + \omega_m)t]$$

เมื่อ n เป็นจำนวนคี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงสเปกตราของสัญญาณอินพุทและสัญญาณเอาท์พุทของบาลานซ์มอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4
หลักการสังเคราะห์สัญญาณเบื้องต้น

สัญญาณซึ่งเป็นสิ่งพื้นฐานทางอิเล็กทรอนิกส์และระบบ DSP อาจสร้างขึ้นได้โดยหลายวิธี แตกต่างกันออกไปตามความต้องการใช้งาน แต่การสร้างสัญญาณที่มีความถูกต้องเที่ยงตรงโดยเฉพาะสัญญาณรูปไซน์นั้นค่อนข้างจะมีความซับซ้อน

ในระบบ การประมวลผลสัญญาณเชิงเลข(DSP) เราสามารถสร้างสัญญาณได้หลายวิธี ในที่นี้เราจะกล่าวถึงเพียงบางวิธีเท่านั้น โดยจะยกตัวอย่างการสร้างคลื่นรูปซายน์

วิธีมองค่าจากตารางโดยตรง โดยที่เราจะกำหนดค่า sine ของมุมต่างๆ รอบวงกลมหนึ่งหน่วยทั้งหมด N มุม ห่างเท่าๆ กัน ซึ่งถูกเก็บเป็นค่าในตาราง และอยู่ในรูปแบบนี้

$$S(n) = \text{Sin}(n * 360 \text{ องศา} / N) \qquad \ldots(4.1)$$

เมื่อค่า

S(n) = ค่าที่เก็บในตาราง

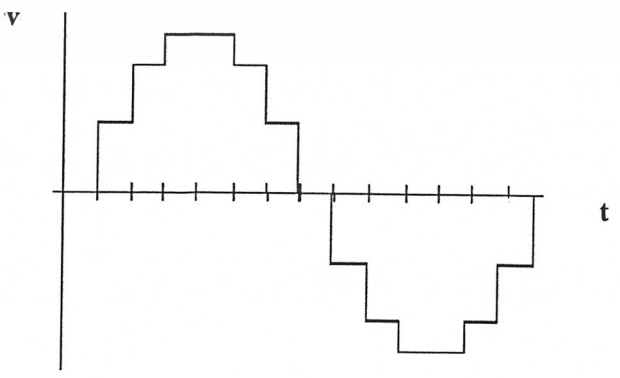
N = จำนวนของ S(n)

สัญญาณ Sine จะสร้างขึ้นโดยกวาดค่าต่างๆ ในตาราง S(n) ออกมาโดยตัวชี้ n ที่มีค่าเพิ่มขึ้นเรื่อย ๆ อย่างคงที่ และเมื่อเกิน 360 องศา ก็จะกลับไปเริ่มต้นใหม่ ซึ่งการเพิ่มขึ้นนี้ เราจะกำหนดด้วยค่า delta ซึ่งเป็นจำนวนจริง

ดังนั้นเราจะได้เอาท์พุท S(n) คือ

$$S(\text{mod}(k * \text{Delta}, N)) \quad ; k = 1,2,3,4,\ldots \qquad \ldots(4.2)$$

เมื่อ mod (a,b) กำหนดโดยมีค่าเท่ากับค่าที่เหลืออยู่ของ a/b เพื่อที่จะได้ผลลัพธ์เป็นจำนวนเต็ม การมอดดูเลทนั้นก็จะทำให้เกิดการวนไปรอบ ๆ ตาราง และ จะได้สัญญาณเอาท์พุทดังรูปที่ 4.1 ค่า N = 14



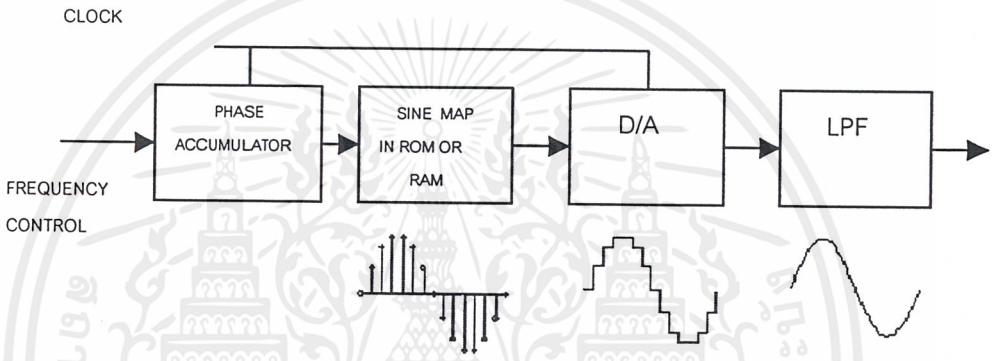
รูปที่ 4.1 สัญญาณเอาท์พุทจากการใช้วิธี direct table

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่าสัญญาณเอาท์พุทที่ได้มีค่าประมาณใกล้เคียงซายน์ ซึ่งหากเราต้องการค่าที่ได้แม่นยำมากขึ้นก็จะทำด้วยการเพิ่มค่า N ในตาราง ยิ่งเพิ่มค่ามากขึ้นก็จะทำให้ได้เอาท์พุทที่ใกล้เคียงสัญญาณซายน์มากขึ้น

ความถี่ของสัญญาณเอาท์พุทที่ได้จะขึ้นอยู่กับตัวแปร 2 ตัว คือ

1. ค่าช่วงเวลาการสุ่ม
2. ค่าการกระโดด Delta



รูปที่ 4.2 หลักการสังเคราะห์สัญญาณ

หลักการสังเคราะห์สัญญาณด้วยวิธีมองค่าโดยตรงจากตาราง ที่เรากำหนดค่าความถี่จะควบคุมค่าของตัวชี้ และจะเพิ่มขึ้นอย่างคงที่ทุก ๆ สัญญาณนาฬิกาซึ่งค่ามุมของสัญญาณซายน์ที่ถูกเก็บไว้ในหน่วยความจำชนิดรอม จะถูกอ่านออกมาผ่านไปยังภาค DAC ทำการแปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาลอก ซึ่งสัญญาณที่ออกจาก DAC นี้อาจจะมีสัญญาณรบกวนปะปนอยู่ สามารถทำให้ได้สัญญาณซายน์ที่เรียบโดยผ่านวงจรกรองความถี่ต่ำอีกครั้งหนึ่ง

4.1พื้นฐานการแปลงสัญญาณดิจิตอลเป็นอนาล็อก(D/A convertor)

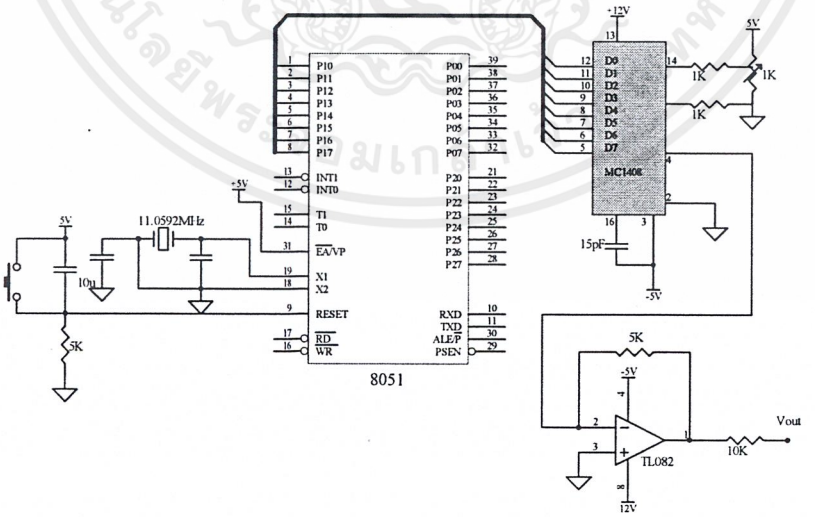
D/A คอนเวอร์ทเตอร์ (DAC) เป็นตัวแปลงรหัสเลขฐานสองจากคอมพิวเตอร์ หรือจากวงจรดิจิตอลใดๆ ให้กลายเป็นระดับอนาล็อกที่มีความสัมพันธ์กับระบบเลขฐานสองตัว DAC สามารถนำไปใช้ขับอุปกรณ์เป็นอนาล็อกได้ เช่น เครื่องเล่นคอมแพคดิสก์ DACในเครื่องเล่นคอมแพคดิสก์นั้นถูกใช้สำหรับการเปลี่ยนข้อมูลที่บันทึกเป็นสัญญาณดิจิตอลบนแผ่นCDให้กลับเป็นสัญญาณเสียงที่มีคุณภาพสูงออกเสียงให้เราได้ยิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อไปเราจะพิจารณาแนวคิดที่สำคัญของ D/A เริ่มจากความละเอียด DAC เราจะนิยามไว้เป็นระดับแรงดันในแต่ละขั้นที่เอาท์พุทสามารถจะผลิตออกมาได้ ซึ่งมีความสัมพันธ์โดยตรง เช่น จำนวนของบิททางด้านอินพุทที่อยู่ในรูปของรหัสไบนารี DAC ขนาด 2 บิท จะมีอินพุทอยู่ 2 อินพุท ซึ่งจะมีความละเอียด เท่ากับ 4 ส่วนจำนวนของระยะและความแตกต่างของระดับสัญญาณอนาล็อกทางด้านเอ้าท์พุทที่ DAC ขนาด 4 บิท สามารถผลิตได้จะมีค่าเท่ากับ 2^n (2^4) = 16 ระดับ นั่นย่อมหมายถึง สัญญาณอะนาล็อกทางเอาท์พุทสามารถถูกแทนได้ด้วยระดับแรงดัน 16 ขั้นด้วยกัน

4.2 การประยุกต์ DAC

รูปที่4.3 แสดงวงจรที่ประยุกต์เอา DAC ไปใช้งานอย่างง่ายๆ โดยที่ใช้ของบริษัท โมโตโลร่า คือ MC 1408 การทำงานของวงจรจะเป็นระดับสัญญาณ TTL ขนาด 8 บิท ซึ่งเป็นเลขฐานสองถูกป้อนให้กับอินพุท ขา D0 ถึง D7ของ MC1408 เนื่องจากไม่มีสัญญาณนาฬิกาหรือวงจรนาฬิกาภายนอกใด ๆ ที่การใช้ในวงจรการแปลงสัญญาณจึงใช้เวลาไปประมาณ 300 ns ซึ่งเป็นเวลาของ Settle time ของ MC 1408 ใช้เทคนิคไบนารี่เลดเดอร์ในการสวิทซ์และแปลงสัญญาณได้กลายเป็นกระแสไฟฟ้าออกไปทางเอาท์พุท (ขา 4) ดังนั้น เราจึงต้องใช้ออปแอมป์มาเปลี่ยนกระแสไฟฟ้าที่ได้ให้อยู่ในรูปสัญญาณแรงดันไฟฟ้าเอาท์พุทตามต้องการ



รูปที่ 4.3 วงจรสังเคราะห์สัญญาณโดยใช้ MC 1408 เป็น D/A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

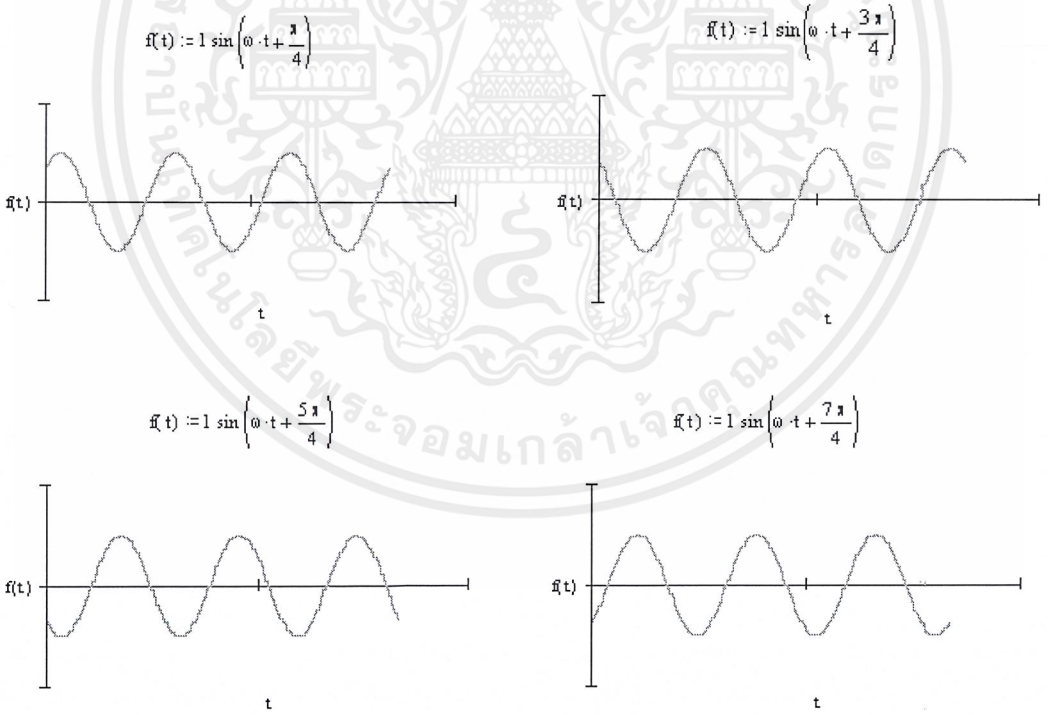
ความละเอียดของวงจรนี้มีขนาด 8 บิท ซึ่งหมายถึง แรงดันเอาท์พุทที่ได้สามรถเปลี่ยนแปลงได้ตั้งแต่ 0 จนถึง 10 โวลท์ โดยที่มีการเปลี่ยนแปลงได้ 256 ขั้นๆ ละประมาณ 0.039 โวลท์ รหัสเลขฐาน 16 ที่เป็น 00h จะทำให้ได้เอาท์พุทที่ได้เป็น 0 โวลท์ ครึ่งหนึ่งของอินพุท คือ 7fh จะทำให้ได้แรงดัน 5 โวลท์ ออกมาที่เอาท์พุท เมื่ออินพุทเป็น ffh แรงดันที่ปรากฏทางเอาท์พุทจะมีค่าเท่ากับ 10 โวลท์

การคำนวณเอาท์พุทของ D/A

เราสามารถคำนวณค่าเอาท์พุทที่ V_o ได้ดังนี้

$$Vo = \frac{Vref\,(Ro)}{R14}\left[\frac{A1}{2} + \frac{A2}{4} + \frac{A3}{8} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right] \qquad \ldots(4.3)$$

ถ้าทุกบิทเป็นศูนย์ จะได้ เท่ากับ 0 โวลท์ ถ้าทุกบิทเป็นหนึ่ง จะได้ เท่ากับ 1 โวลท์



รูปที่ 4.4 แสดงสัญญาณ sine ที่ความต่างเฟสต่างๆ กับ คลื่นพาหะที่ช่องสัญญาณ I

รหัส 00 จะแทนด้วยสัญญาณ QPSK ต่างเฟส –135 องศา รหัส 01 แทนด้วยสัญญาณ QPSK ต่างเฟส –45 องศา รหัส 10 แทนด้วยสัญญาณ QPSK ต่างเฟส+135 องศา และ รหัส 11 แทนด้วยสัญญาณ QPSK ต่างเฟส +45 องศา กับคลื่นพาหะของช่องสัญญาณ I ดังรูปที่ 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเราให้ข้อมูลอินพุทคือ 11100001 จะได้สัญญาณ QPSK g(t) ซึ่งจะต่างเฟสกับสัญญาณคลื่นพาหะ ดังรูปที่ 4.5 (a) โดยสัญญาณคลื่นพาหะ h(t) แสดงดังรูปที่ 4.5 (b)

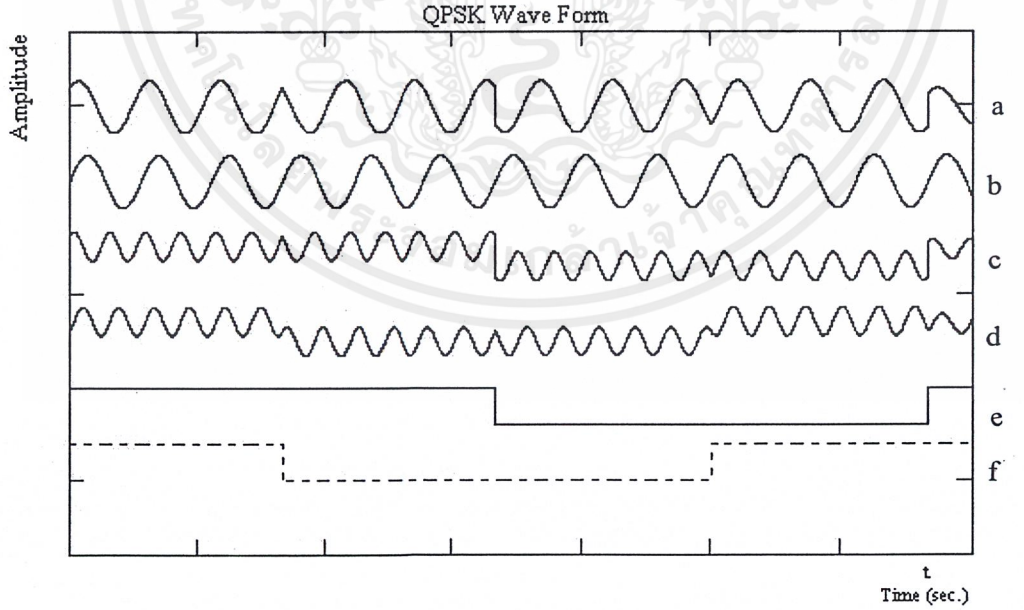
สัญญาณ QPSK ที่รับได้ถูกแบ่งออกเป็นขบวนสัญญาณ 2 ขบวน ซึ่งถูกดีเทคแบบ coherent แยกกัน คู่ของคลื่นพาหะอ้างอิงที่ตั้งฉากกันถูกป้อนเข้า และแยกเป็นช่องสัญญาณ I รูปที่ 4.5 (c) และ Q รูปที่ 4.5 (d) แต่ละช่องสัญญาณ เอาท์พุทจะผ่านวงจรกรองความถี่ต่ำผ่าน เพื่อตัดฮาร์โมนิกสูง ๆ ออก จะได้รูปที่ 4.5 (e) และ รูปที่ 4.5 (f) ตามลำดับ

$$g(t) = \begin{cases} \sin(\omega t + \pi/4) & \text{ถ้า } 0 \le t \le 3T \\ \sin(\omega t + 3\pi/4) & \text{ถ้า } 3T \le t \le 6T \\ \sin(\omega t + 5\pi/4) & \text{ถ้า } 6T \le t \le 9T \\ \sin(\omega t + 7\pi/4) & \text{ถ้า } 9T \le t \le 12T \end{cases} \quad \ldots(4.4)$$

$$h(t) = \sin(\omega t) \quad \ldots(4.5)$$

$$Q(t) = \cos(\omega t)\, g(t) \quad \ldots(4.6)$$

$$I(t) = \sin(\omega t)\, g(t) \quad \ldots(4.7)$$



รูปที่ 4.5 (a) สัญญาณ QPSK ที่รับได้ (b) สัญญาณคลื่นพาหะ (c) สัญญาณช่อง Q
(d) สัญญาณช่อง I (e) สัญญาณช่อง Q หลังผ่าน LPF (f) สัญญาณช่อง I หลังผ่าน LPF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป

ระบบสังเคราะห์ความถี่เฟสล็อคลูป (Phase lock loop synthesizer) เป็นวงจรสังเคราะห์ความถี่ชนิดโปรแกรมได้ ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะ และให้มีความถี่ตามที่เรากำหนดโดยการประยุกต์ใช้งานของ เฟสล็อคลูป ซึ่งเป็นระบบป้อนกลับที่มีการเปลี่ยนความถี่และเฟสของวงจรออสซิเลเตอร์ตามสัญญาณอินพุทที่ป้อนเข้า

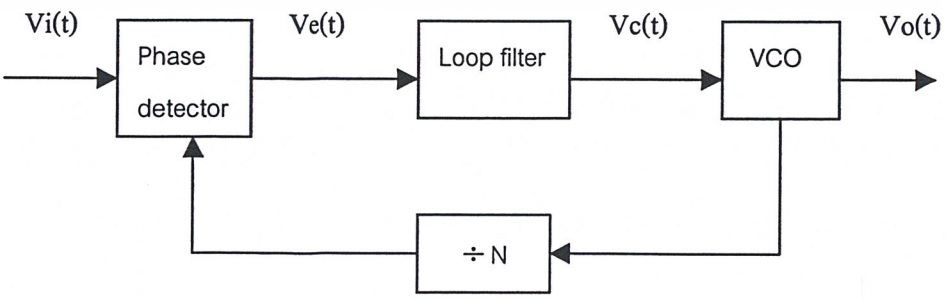
วิธีสังเคราะห์ความถี่สามารถแบ่งออกได้เป็น 2 วิธี คือ

1. วิธีสังเคราะห์โดยตรง (Direct synthesis) ซึ่งต้องใช้ความถี่หลายค่ามาผสมกัน เพื่อให้ได้ความถี่ที่ต้องการ โดยปกติต้องใช้แร่บังคับความถี่หลายชุด
2. วิธีสังเคราะห์โดยอ้อม (Indirect synthesis) วิธีนี้อาศัยเฟสล็อคลูป

วิธีสังเคราะห์ความถี่โดยอ้อมหรือวิธีเฟสล็อกลูปนั้น เราอาศัยการกำเนิดสัญญาณจากวงจรออสซิเลเตอร์ ซึ่งควบคุมความถี่ได้โดยปรับแรงดันที่เรียกว่า วีซีโอ (VCO) สัญญาณจาก วีซีโอ จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิงแล้วนำผลลัพธ์ความถี่คลาดเคลื่อนมาแปลงเป็นแรงดัน ไปควบคุมการออสซิเลเตอร์ของวีซีโอ (VCO) อีกครั้งหนึ่ง

บล็อคไดอะแกรมเบื้องต้นของเฟสล็อคลูปซิทธิไซเซอร์ แสดงดังรูปที่ ประกอบด้วยส่วนสำคัญ 4 ส่วน ดังนี้

1. ส่วนเปรียบเทียบเฟส (Phase Detector :PD)
2. ลูปฟิลเตอร์ (Loop Filter :LF)
3. วงจรออสซิเลเตอร์ควบคุมความถี่ด้วยแรงดัน (Voltage Control Oscillator :VCO)
4. วงจรหารความถี่ที่สามารถโปรแกรมได้ (Programmable Divider)



รูปที่ 5.1 แสดงบล็อคไดอะแกรม วงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานคร่าว ๆสามารถอธิบายได้ดังนี้ ขณะที่ยังไม่มีสัญญาณเข้าไปในระบบ แรงดันควบคุม (control voltage) จะเท่ากับศูนย์ วงจรออสซิเลเตอร์ควบคุมความถี่ด้วยแรงดัน (วีซีโอ) จะทำงานโดยตั้งความถี่ไว้ที่ f_0 เรียกว่า ความถี่ฟรีรันนิ่ง (free running frequency) ถ้ามีสัญญาณเข้าไปในระบบ เฟสดีเทคเตอร์จะทำการเปรียบเทียบเฟสและความถี่ของสัญญาณอินพุท f_0 กับความถี่ของวีซีโอ ถ้าเกิดความแตกต่างของสัญญาณทั้งสองเนื่องจากความถี่ไม่ตรงกัน จะเกิดแรงดันคลาดเคลื่อนออกมา Ve(t) แรงดันคลาดเคลื่อนนี้จะถูกกรองผ่านวงจรลูปฟิลเตอร์ ขยายแล้วป้อนให้กับวีซีโอ ในการนี้แรงดันควบคุม $V_c(t)$ จะไปบังคับความถี่ของวีซีโอ ให้เปลี่ยนไปในทิศทางที่จะลดความถี่ที่แตกต่างระหว่างความถี่ f_0 กับความถี่ f_R ถ้าความถี่ f_R ใกล้เคียงกับความถี่ f_0 จากการป้อนกลับของเฟสล็อคลูปซึ่งสัญญาณที่ป้อนกลับไปยังลูปฟิลเตอร์จะเป็นความถี่เอาท์พุทขิงวีซีโอ ที่ถูกหาร โดย N จะทำให้วีซีโอซิงโครไนส์ หรือ ล็อค (lock) กับสัญญาณอินพุทที่ป้อนเข้ามา ขณะที่ทำการล็อคนั้นความถี่ของ วีซีโอจะเท่ากับความถี่ของสัญญาณอินพุทพอดี

ในสภาวะล็อคความถี่จะได้ว่า

$$f_R = f_D$$

และความถี่ที่ได้จาการหาร

$$f_D = f_O/N$$

ดังนั้นความถี่ที่เอาท์พุทจะได้เป็น

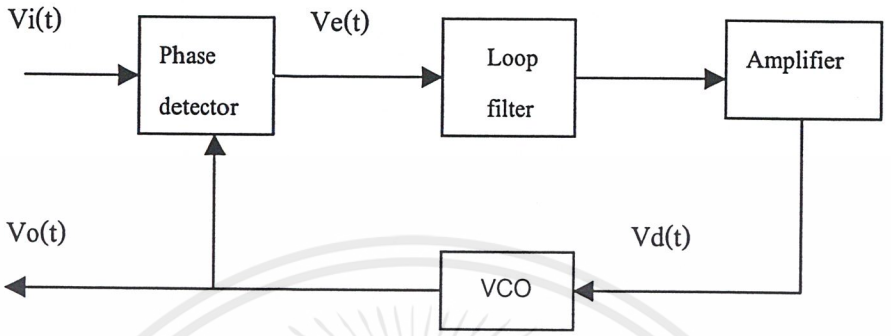
$$f_O = Nf_R$$

แต่ในสภาวะล็อคความถี่ เฟสของสัญญาณทั้งสองจะยังคงต่างกันอยู่ซึ่งมีความจำเป็นต่อการผลิตแรงดันคลาดเคลื่อน Ve(t) ที่จะไปคอยปรับความถี่วีซีโอ จากค่าความถี่ฟรีรันนิ่งให้เท่ากับความถี่ที่เข้ามา ดังนั้นเฟสล็อคลูปจะยังคงรักษาสภาพการล็อคอยู่ การที่ระบบสามารถที่จะปรับตัวได้แองทำให้เฟสล็อคลูปสามารถติดตามการล็อคกับระบบ ซึ่งขึ้นอยู่กับแรงดันคลาดเคลื่อน (capture range) ขอบแบนด์ของฟิลเตอร์และอัตราขยายลูปปิดของระบบทั้งหมดเฟสล็อคลูปที่มีการหารความถี่ชนิดโปรแกรมได้ภายในลูปเป็นวิธีที่เหมาะสำหรับการสังเคราะห์ความถี่ที่มีค่ามากจากความถี่อ้างอิงความถี่เดียว

คุณสมบัติที่ต้องการของวงจรสังเคราะห์ความถี่ จะต้องผลิตสัญญทณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนด ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงแน่นอนแล้วแตเการใช้งาน และความละเอียดของความถี่ที่เปลี่ยนแปลงได้ทีละขั้น ซึ่งเรียกว่า รีโซลูชั่น (resolution)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบเฟสล็อคลูปเบื้องต้นแสดงได้ดังรูป 5.2



รูปที่ 5.2แสดงบล็อคไดอะแกรมของวงจรเฟสล็อคลูป

แต่ละส่วนมีผลต่อคุณสมบัติและการทำงานของระบบ ซึ่งหน้าที่ของแต่ละส่วนจะได้อธิบายดังนี้

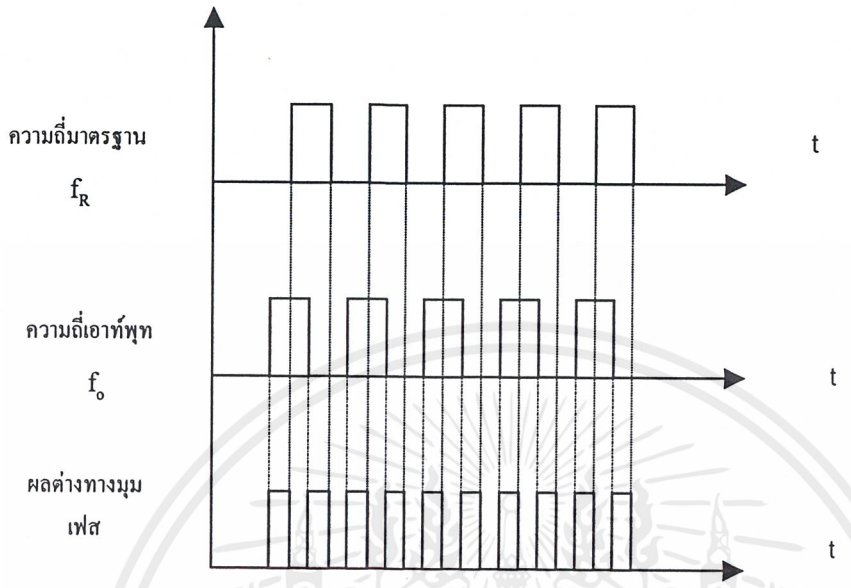
1. เฟสดีเทคเตอร์ (Phase detector) ทำหน้าที่เปรียบเทียบเฟสของอินพุทซึ่งจะมีสองเหตุผลที่ต่างกันเรียกว่าเฟสเออเรอร์ (Phase error) เฟสเออเรอร์นี้จะมีค่าน้อยที่สุดเป็นศูนย์และจะมีค่ามากที่สุดเป็น $\pi/2$ เฟสดีเทคเตอร์จะทำการเปลี่ยนเฟสดีเทคเตอร์นี้ให้กลายเป็นระดับโวลต์เตจด้วยค่าคอนเวอร์ชั่นเกน K_d (volt / radian) ลักษณะการเปรียบเทียบเฟสของอินพุททั้งสองของเฟสดีเทคเตอร์จะได้ดังรูปที่5.3

2. ลูปฟิลเตอร์ (Loop filter)ทำหน้าที่กรองสัญญาณความถี่สูงที่ออกมาจากเฟสดีเทคเตอร์ เนื่องจากเฟสดีเทคเตอร์ให้เอาท์พุทเป็นสัญญาณดีซีที่มีโวลท์เตจร่วมมาด้วย สัญญาณความถี่ที่ได้เกิดจากความต่างเฟส ยิ่งต่างเฟสมากความถี่ยิ่งสูง ดังนั้นลูปฟิลเตอร์จึงช่วยกรองเอาสัญญาณความถี่สูง ซึ่งแสดงว่ามีความต่างเฟสมากออก ทำให้ระบบสามารถแคปเจอร์สัญญาณความถี่สูง ซึ่งแสดงว่ามีความต่างเฟสมากออก ทำให้ระบบสามารถแคปเจอร์สัญญาณได้ ในช่วงหนึ่งและช่วยให้ระบบรักษาการล็อคไว้ได้อีกด้วย

3. วงจรขยายสัญญาณ (amplifier)ใช้ปรับขนาดสัญญาณไฟตรง เพื่อให้การควบคุมดีขึ้น เอาท์พุทของวงจรนี้จะป้อนให้แก่วงจรวีซีโอ

4. วีซีโอ (VCO) จะทำหน้าที่ผลิตสัญญาณความถี่โดยการควบคุมระดับโวลต์เตจอินพุทด้วยคอนเวนชั่นเกน ระดับโวลต์เตจนี้จะได้จากเอาท์พุทของลูปฟิลเตอร์ ความถี่ที่ล็อคมาจากลูปฟิลเตอร์จะมผลทำให้เอาท์พุทของวีซีโอเปลี่ยนความถี่ด้วยเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 ผลต่างเฟสเมื่อความถี่เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
พอร์ตอนุกรม

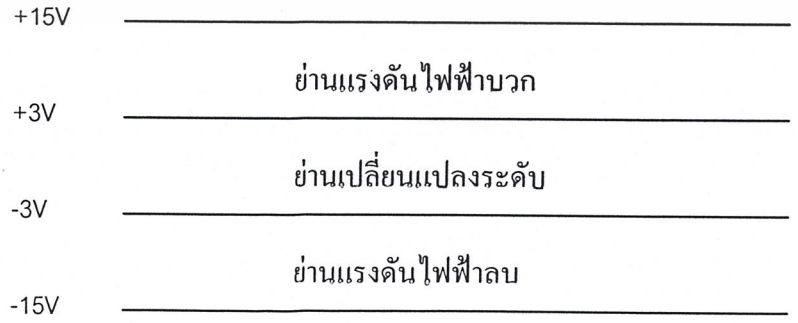
พอร์ต RS-232C นี้ทำหน้าที่รับและส่งข้อมูลในแบบอนุกรม เรียกว่า Universal Asynchronous Adapter เนื่องจาก EIA ได้กำหนดมาตรฐานของอุปกรณ์แบบอนุกรมเอาไว้ภายใต้ชื่อว่า RS-232C ความจริงมาตรฐานของการส่งข้อมูลแบบอนุกรมมีหลายมาตรฐาน แต่ที่นิยมใช้กันมากที่สุดสำหรับไมโครคอมพิวเตอร์ก็คือ RS-232C คำว่า RS ย่อมาจาก Recommend Standard ส่วน 232 เป็นหมายเลขบ่งบอกมาตรฐานตัวนี้ C เป็นหมายเลขของฉบับท้ายสุดของมาตรฐานนี้ ความเร็วในการเชื่อมต่อ RS-232C สามารถถ่ายเทข้อมูลได้ในช่วง 0-20000 บิตต่อวินาที และระยะทางในการส่งสัญญาณตามมาตรฐานของ RS-232C ไม่ควรเกิน 50 ฟุต ซึ่งเพียงพอสำหรับการสื่อสารระหว่าง DTE กับ DCE

RS-232C เป็นมาตรฐาน มีชื่อเต็มว่า " Interface between data terminal equipment and data communication equipment employing serial binary date interchange " ซึ่งแปลตรงๆ ก็คือ เป็นมาตรฐานสำหรับการอินเตอร์เฟส อุปกรณ์ Data terminal เข้ากับอุปกรณ์ Data communication โดยอาศัยวิธีการส่งข้อมูลดิจิตอลแบบอนุกรม

6.1 ลักษณะสมบัติทางไฟฟ้าของสัญญาณ RS-232C

6.1.1 สถานะ

สำหรับมาตรฐานของการใช้แรงดันไฟฟ้าจะกำหนดไว้ดังตารางมาตรฐานแรงดันไฟฟ้า แรงดันสูงสุดที่วงจรใน DTE และ DCE ไม่ควรเกิน 25 V และ Open circuit voltage ต้องไม่เกิน 2 V (วัดเทียบกับ Signal ground)



รูปที่ 6.1 แสดงย่านของแรงดันไฟฟ้าที่ใช้ในสัญญาณ RS-232C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.1 มาตรฐานของการใช้แรงดันไฟฟ้า

แรงดันไฟฟ้า	โลจิก	สัญญาณ	ฟังชั่นในการควบคุม
บวก	0	Space	ON
ลบ	1	Mark	OFF

6.1.2 วงจรขับสัญญาณ

หากเกิดสภาพการลัดวงจรของสายเชื่อมต่อคู่ใดๆ จะต้องมีกระแสลัดวงจรไม่เกิน 0.5 V และแรงดันที่ DCE ต้องไม่เกิน 25 V เมื่อถอด Connector

6.1.3 ความต้านทาน

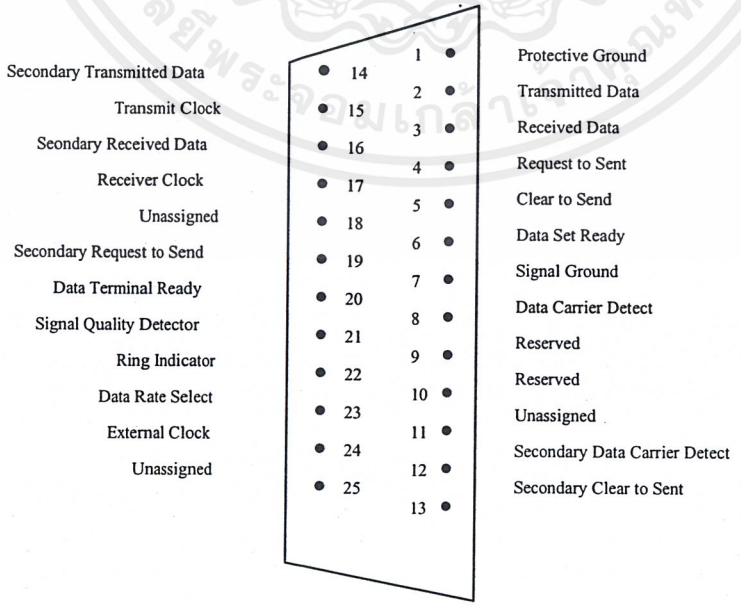
เมื่อมองจากด้านจุด Interface Point ไปยัง DCE จะต้องมีค่า 3000-7000 ohm

6.1.4 ความไว

สัญญาณควบคุมจะต้องผ่านช่วงเปลี่ยนแปลงระดับ (–3 ถึง +3V) ภายในเวลาไม่เกิน 1 msec ส่วนสัญญาณข้อมูลจะต้องผ่านช่วงเปลี่ยนแปลงระดับภายในเวลาไม่เกิน 1 msec หรือ เปอร์เซ็นต์ของความกว้างของรูปสัญญาณนั้น

6.2 ลักษณะสมบัติเชิงกลของข้อต่อ (connector)

RS-232C ไม่ได้กำหนดว่าจะต้องใช้ connector รูปร่างอย่างไร แต่ที่นิยมใช้กันทั่วไปคือ DB-25 connectorซึ่งประกอบด้วยขาทั้งหมด 25 ขา



รูปที่ 6.2 แสดงการกำหนดของข้อต่อ RS-232C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 สัญญาณที่ใช้ทั้งหมดใน RS-232C

-Protective Ground (PG ขาที่ 1)

หมายถึงตัวถังของเครื่องหรือสายดิน

- Trensmit data (TD ขาที่ 2)

เป็นสัญญาณที่ส่งออกจาก DTE (ตัวไมโครคอมพิวเตอร์) ไปยังโมเด็มหรือต่อเข้าโดยตรงกับไมโครคอมพิวเตอร์ตัวอื่นหรือเครื่องพิมพ์ เมื่อไม่มีสัญญาณส่งออกสถานภาพของโลจิกจะมีค่าเท่ากับ "1" สภาวะ "OFF" หรือเทียบเท่ากับ Stop bit ไม่ว่าจะเป็นระบบอะไร DTE ต้องไม่ส่งข้อมูลออกไปจนกว่าสัญญาณ

1. Request To Sent (RTS)
2. Clear To Sent (CTS)
3. Data Set Ready (DSR)
4. Data Terminal Ready (DTR)

ทั้งหมดนี้อยู่ในสภาวะ "ON" อยู่

-Receive Data (RD ขาที่3)

เป็นทางของสัญญาณเข้าไปยัง DTE เมื่อไม่มีสัญญาณรับเข้ามา ขานี้จะมีสถานภาพทางโลจิกเป็น "1" หรือสภาวะ "OFF"

-Request To Sent (RTS ขาที่ 4)

จาก DTE ไปยัง DCE

สภาวะ ON คือบังคับให้ DCE อยู่ใน Transmitting Mode ต่อไป

สภาวะ OFF คือบังคับให้ DCE อยู่ใน Receiving Mode ต่อไป

การเปลี่ยนจาก OFF ไป ON เป็นการบอกให้ DCE จัดการกับระบบสื่อสาร เพื่อให้ช่องทางต่อเชื่อมและให้สัญญาณ Clear To Send (CTS) กลับมาเป็นการบอกว่าส่งได้

การเปลี่ยนจาก ON ไป OFF เป็นการบอกให้ DCE ส่งข้อมูลผ่านช่องสื่อสารให้หมดแล้วกลับไปอยู่ใน Receiving mode หรืออยู่เฉยๆ พร้อมกับให้ CTS เป็น 0

- Clear To Sent (CTS ขาที่ 5)

จาก DCE ไป DTE สภาวะ ON หมายความว่าข้อมูลจาก DTE ขา 2 จะถูกส่งต่อไปในช่องทางสื่อสาร (โมเด็มส่งข้อมูลออกสายโทรศัพท์) ทันที CTS จะ ON หลังจาก DSR และ RTS อยู่ในสภาวะ ON และการต่อเชื่อมวงจรสื่อสาร (ชุมสายโทรศัพท์) เสร็จแล้ว

-Data Set Ready (DTS ขาที่ 6)

จาก DCE ไป DTE คือความพร้อมของโมเด็มนั่นเอง จะเป็น ON (พร้อม) ต่อเมื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. DCE (โมเด็ม) เปิดเครื่องอยู่ และอยู่ในสภาวะ off-hook (เหมือนยกหูโทรศัพท์)
2. DCE ไม่อยู่ใน test mode
3. DCE ทำการส่งสัญญาณไปยังชุมสายเสร็จแล้ว

DSR อยู่ในสภาวะ ON เป็นการบอก DTE ว่า โมเด็มต่อเข้ากับสายโทรศัพท์เรียบร้อยแล้ว และพร้อมที่จะส่งได้แล้ว

DSR อยู่ในสภาวะ OFF หมายถึงให้ DTE เลิกสนใจสัญญาณตัวอื่น ๆ ยกเว้นRing Indicator

-Signal Ground (SG ขาที่ 7)

คือสายร่วมของสัญญาณทุกตัว

-Carrier Detect (CD ขาที่ 8)

จาก DTE ไป DCE

สภาวะ ON หมายถึงว่า DCE เตรียมเพื่อเชื่อมต่อกับตัวอื่น และรักษาช่องทางติดต่อไว้ต่อไป (การเชื่อม channel ทำได้หลายทางคือหมุนเรียกด้วยมือหรืออัตโนมัติ) ถ้า DCE สามารถตอบรับสัญญาณเรียก (cell) ได้ ก็ให้ตอบรับ (answering) เมื่อมีสัญญาณเรียก Ring Indicator และ DTR ON อยู่

สภาวะ OFF คือ วางหู และเมื่อ OFF แล้วต้องไม่ ON อีกจนกว่า DSR จะOFF

-Ring Indicator (RI ขาที่ 22)

จาก DCE ไป DTE เหมือนสัญญาณเรียกของโทรศัพท์ แต่เป็นดิจิตอล ใช้ในระบบตอบได้อัตโนมัติ (Auto-answer) สัญญาณนี้จะ ON เมื่อมีสัญญาณกระดิ่งเข้ามา และจะ OFF ระหว่างเสียงดังของกระดิ่ง

ส่วนขาอื่นๆ ที่เหลือนั้น ส่วนมากมีหน้าที่คล้ายกับ 8 ขาแรกที่กล่าวมา และบางเส้นใช้กับงานพิเศษเท่านั้นจึงไม่ขอกล่าวถึงในที่นี้ ขาที่เราใช้สำหรับรับส่งข้อมูลของข้อต่อแบบ DB-25 จึงเหลือเพียงขา 2,3,4,5,7,8,20 และ 22 ยกเว้นการต่อใช้งานบางอย่างถึงจะต่อครบทุกเส้น

DB-25 และ DB-9

จากการที่ข้อต่อแบบ 25 ขา เราใช้งานจริงเพียง 9 ขาเท่านั้น เครื่องคอมพิวเตอร์รุ่นใหม่ๆ จึงได้ลดข้อต่อลงมาใช้แบบ 9ขาแทน ซึ่งเรียกข้อต่อแบบนี้ว่า DB-9 การใช้ข้อต่อแบบ DB-9 นี้มีข้อดีหลายอย่างคือ ขนาดเล็กกะทัดรัด ราคาของข้อต่อถูกกว่า การต่อสายเคเบิลสะดวกขึ้น และการใช้งานคล่องตัว DB-25 สัญญาณต่างๆ ของข้อต่อแบบ DB-9 บางเส้นจะตรงกับที่ใช้ใน DB-25 ดังที่แสดงในตารางเปรียบเทียบ เครื่องคอมพิวเตอร์แบบไอบีเอ็มเอที และรุ่นใหม่ๆ มักจะใช้ข้อต่อแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB-9 สำหรับรับส่งข้อมูลอนุกรมทั้งนั้น แต่อุปกรณ์ต่อพ่วงส่วนมากยังคงใช้ข้อต่อแบบ DB-25 อยู่ เราจึงต้องใช้สายเคเบิลที่เหมาะสมสำหรับทั้งสองด้านในการรับส่งข้อมูล

สายเคเบิลของการรับส่งข้อมูลอนุกรมแบ่งออกได้เป็นสองแบบ คือ สายตรงและสายสลับที่ต้องมีสายสองแบบนี้ก็เพราะการเชื่อมต่อส่งข้อมูลมีสองกรณี คือ คอมพิวเตอร์ต่อกับคอมพิวเตอร์และคอมพิวเตอร์ต่อเข้ากับอุปกรณ์ต่างๆ เมื่อเราต่อคอมพิวเตอร์เข้ากับคอมพิวเตอร์เพื่อรับส่งข้อมูลกัน สายสัญญาณรับส่งข้อมูลต้องสลับไขว้กัน เพื่อให้สัญญาณส่งของตัวแรกไปเข้าสัญญาณรับของตัวที่สอง เราจึงเรียกสายเคเบิลแบบนี้ว่าสายสลับ ส่วนการต่อคอมพิวเตอร์เข้ากับอุปกรณ์ต่อพ่วงนั้น สายสัญญาณของอุปกรณ์ต่อพ่วง เช่น โมเด็มและพลอตเตอร์ มักจะสลับสัญญาณรอรับไว้ภายในแล้ว สายเคเบิลจากเครื่องคอมพิวเตอร์จึงต่อเข้าแต่ละเส้นของอุปกรณ์ได้เลย เราจึงเรียกสายเคเบิลแบบนี้ว่าสายตรงกรณีที่วงจรของอุปกรณ์ต่อพ่วงไม่ได้สลับสายไว้ภายใน เราก็ต้องใช้สายสลับต่อระหว่างคอมพิวเตอร์กับอุปกรณ์นั้น ไม่จำเป็นต้องใช้สายตรงเสมอ

การต่อสายเคเบิลแบบสายตรงนั้นไม่ยุ่งยากเท่าใดนัก เนื่องจากสัญญาณแต่ละเส้นตามเบอร์ต่างๆ ของ DB-25 จะเชื่อมต่อเข้าหากับตรงๆ ทั้ง 8 เส้นหรือ 9 เส้น ตามสัญญาณที่ใช้อย่างที่กล่าวไว้ในตอนต้น เพียงเท่านี้ก็สามารถรับส่งข้อมูลได้ การที่สัญญาณรับส่งข้อมูลและสัญญาณควบคุมต่อเข้าคู่ของมันตรงๆ ทำให้สายเคเบิลแบบนี้ทำขึ้นอย่างง่ายๆ ได้

มาตรฐานของโมเด็มตาม CCITT V-Series

มาตรฐานของโมเด็มที่เราใช้อยู่ทุกวันนี้เป็นไปตามที่ องค์การมาตรฐานสื่อสารสากลหรือ CCITT เป็นผู้กำหนดขึ้น โดยมีชื่อเรียกแต่ละมาตรฐานของโมเด็มขึ้นต้นด้วยอักษร “V” และตามด้วยตัวเลข เราจึงเรียกมาตรฐานเหล่านี้อีกชื่อว่า V-Series นอกจากมาตรฐานของโมเด็มแล้ว CCITT ยังเป็นผู้กำหนดมาตรฐานทางการสื่อสารอื่นๆ อีก เช่น มาตรฐานของการสื่อสารผ่านดาวเทียม มาตรฐานของโทรสาร (Fasimile) มาตรฐานการสื่อสารข้อมูลต่างๆ ทั้งในแบบดิจิตอลและอนาล็อก รวมถึงมาตรฐานเกี่ยวกับระบบโทรศัพท์อีกด้วย มาตรฐานที่ CCITT เป็นผู้กำหนดได้รับการยอมรับกันทั่วโลก การติดต่อสื่อสารระหว่างประเทศอีกด้วย มาตรฐานที่ CCITT เป็นผู้กำหนดได้รับการยอมรับกันทั่วโลก การติดต่อสื่อสารระหว่างประเทศจึงดำเนินไปได้อย่างไม่มีปัญหา เนื่องจากทุกๆคนต่างก็ทำตามมาตราฐานเดียวกัน

ก่อนอื่นขอทำความเข้าใจก่อนว่ามาตรฐานที่ขึ้นต้นด้วยอักษร V นี้ไม่ใช่มาตรฐานของโมเด็มทั้งหมด บางมาตรฐานอาจหมายถึงการเชื่อมต่อแบบอื่นๆ ก็ได้ เช่น V.24 เป็นมาตรฐานการรับส่งข้อมูลแบบอนุกรมเทียบได้กับ RS-232C นั่นเอง และ V.35 หมายถึง การรับส่งข้อมูลแบบอนุกรมความเร็วสูง เป็นต้น ในที่นี้จะกล่าวถึงมาตรฐานของโมเด็มแบบต่างๆ ที่ใช้กันมากตาม CCITT V-Series ตั้งแต่ความเร็วต่ำไปจนถึงความเร็วสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เริ่มตั้งแต่มาตรฐาน V.21 เป็นมาตรฐานของโมเด็มความเร็ว 300 บิตต่อวินาที ใช้เทคนิคการผสมสัญญาณแบบ FSK (Frequency Shift Keying) รับส่งข้อมูลได้ในแบบ Full Duplex เป็นโมเด็มที่ใช้กับสายโทรศัพท์ ปัจจุบันนี้มีใช้กันน้อย เนื่องจากความเร็วในการรับส่งข้อมูลต่ำ

-V.22 รับส่งข้อมูลความเร็ว 1200 บิตต่อวินาที หรือ ลดความเร็วลงมาที่ 600 บิตต่อวินาทีได้ การผสมสัญญาณใช้เทคนิคการ PSK (Phase Shift Keying) รับส่งข้อมูลในแบบ Full Duplex ใช้กับสายโทรศัพท์หรือสายตรงได้ ขึ้นอยู่กับโมเด็มว่าถูกออกแบบมาให้ต่อใช้กับสายตรงหรือไม่ จัดว่าเป็นโมเด็มความเร็วปานกลางที่ได้รับความนิยมอยู่ในปัจจุบัน

-V.22 bis รับส่งข้อมูลด้วยความเร็ว 2400 บิตต่อวินาที หรือ ลดความเร็วลงมาที่ 1200 บิตต่อวินาทีได้ การผสมสัญญาณใช้เทคนิคของโมเด็มความเร็วสูงคือ QAM รับส่งข้อมูลแบบ Full Duplex ใช้กับสายโทรศัพท์หรือสายตรงได้ V.22 bis เป็นมาตรฐานของโมเด็มความเร็วปานกลางที่เข้ามาแทนที่ V.22 ซึ่งมาตรฐานV.22 bis นี้กำลังได้รับนิยมมาก เนื่องจากความเร็วสูงถึง 2400 บิตต่อวินาทีและราคาของโมเด็มไม่แพงจนเกินไป

-V.23 เป็นมาตรฐานที่คล้ายกับมาตรฐาน V.22 แต่รับส่งข้อมูลแบบ Half Duplex คือมีความเร็ว 1200 บิตต่อวินาที หรือลดความเร็วลงมาที่ 600 บิตต่อวินาที ใช้เทคนิคผสมสัญญาณแบบ FSK ต่อใช้กับสายโทรศัพท์ก็ได้ มาตรฐาน V.23 นี้เราไม่ค่อยได้ใช้งานเท่าไรนัก เพราะว่าประสิทธิภาพของการรับส่งข้อมูลต่ำ และเป็นการติดต่อแบบ Half Duplex จึงสู้มาตรฐานแบบ V.22 หรือ V.22 bis ไม่ได้

-V.26 เป็นมาตรฐานของโมเด็มสายตรง แบบใช้สาย 4 เส้น รับส่งข้อมูลในแบบ Full Duplex ใช้เทคนิคการผสมสัญญาณชนิด PSK มีความเร็วในการรับส่งข้อมูล 2400 บิตต่อวินาที จะนำมาต่อใช้กับสายโทรศัพท์ไม่ได้ มาตรฐาน V.26 เราจึงไม่ค่อยได้พบเห็นกันนัก ปัจจุบันก็มีใช้น้อยเนื่องจากความเร็วต่ำเกินไปสำหรับสายตรง ส่วนมากจะเลือกใช้มาตรฐานอื่นที่ความเร็วสูงกว่านี้

-V.26 bis เป็นมาตรฐานเหมือนกับ V.26 แต่สำหรับใช้กับสายโทรศัพท์แทน มีความเร็วในการรับส่งข้อมูลที่ 2400 บิตต่อวินาที หรือลดความเร็วลงมาที่ 1200 บิตต่อวินาที การรับส่งข้อมูลเป็นแบบ Half Duplex ใช้เทคนิคการผสมสัญญาณแบบ PSK มาตรฐานนี้จึงสู้ V.26 bis ไม่ได้

-V.27 เป็นมาตรฐานสำหรับโมเด็มความเร็ว 4800 บิตต่อวินาทีที่ใช้กับสายตรงเท่านั้น เทคนิคของการผสมสัญญาณเป็นแบบ PSK รับส่งข้อมูลในแบบ Full Duplex ได้ ความเร็ว 4800 บิตต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-V.27 bis คล้ายกับมาตรฐานแบบ V.27 แต่ว่ารับส่งข้อมูลที่ 4800 บิตต่อวินาทีได้ ใช้สำหรับสายตรงแบบ 4 เส้น เท่านั้น การผสมสัญญาณก็เป็นแบบ PSK สามารถรับส่งข้อมูลได้ทั้งในแบบ Full Duplex และ Half Duplex

-V.27 ter เป็นมาตรฐานโมเด็มความเร็ว 4800 บิตต่อวินาที หรือลดความเร็วลงมาที่ 2400 บิตต่อวินาทีได้ สำหรับใช้กับสายโทรศัพท์ การรับส่งข้อมูลเป็นแบบ Half Duplex เท่านั้น เทคนิคการผสมสัญญาณชนิด PSK มาตรฐาน V.27 คล้ายกับ V.27 bis เพียงแต่ใช้กับสายโทรศัพท์แทนที่จะเป็นสายตรง

-V.29 จัดเป็นมาตรฐานของโมเด็มความเร็วสูงใช้กับสายตรงแบบ 4 เส้น เท่านั้น การรับส่งข้อมูลใช้ได้ทั้ง Full Duplex และ Half Duplex สามารถรับส่งข้อมูลได้ตั้งแต่ 9600 บิตต่อวินาทีหรือลดความเร็วลงมาที่ 7200 บิตต่อวินาที และ 4800 บิตต่อวินาทีได้ ที่ความเร็ว 9600 บิตต่อวินาที จะใช้เทคนิคการผสมสัญญาณแบบ QAM ส่วนที่ความเร็ว 7200 และ 4800 บิตต่อวินาที ใช้การผสมสัญญาณแบบ PSK มาตรฐาน V.29 นี้มีใช้กันมากสำหรับการรับส่งข้อมูลผ่านสายตรงระหว่างคอมพิวเตอร์กับคอมพิวเตอร์

-V.32 เป็นมาตรฐานโมเด็มความเร็วสูงสำหรับใช้กับสายโทรศัพท์ สามารถรับส่งข้อมูลได้ที่ความเร็ว 9600 บิตต่อวินาที ในแบบ Full Duplex หรือ ลดความเร็วลงมาที่ 4800 บิตต่อวินาทีได้ มาตรฐาน V. 32 นี้ยังใช้งานกับสายตรงแบบ 2 เส้นได้อีกด้วย เทคนิคการผสมสัญญาณเป็นแบบ QAM ทั้งที่ความเร็ว 9600 และ 4800 บิตต่อวินาที การรับส่งข้อมูลความเร็วสูงผ่านสาย 2 เส้น ของ V.32 ใช้เทคนิค Echo Cancellation แทนที่จะใช้การแบ่งความถี่อย่างในโมเด็มความเร็วต่ำ V.32 นับเป็นมาตรฐานโมเด็มความเร็วสูงรุ่นใหม่ที่เพิ่งเริ่มใช้กันไม่นานมานี้เอง มาตรฐานของโมเด็มที่รับส่งข้อมูลได้เร็วกว่า V.32 กำลังศึกษาความเป็นไปได้และรายละเอียดอยู่ จึงยังไม่ได้ประกาศออกมาใช้อย่างเป็นทางการเช่นขณะนี้ เช่น มาตรฐานแบบ V.32 bis จะรับส่งข้อมูลที่มีความเร็ว14400 บิตต่อวินาที ในแบบ Full Duplex และมาตรฐาน V.33 รับส่งข้อมูลที่ความเร็ว 14400 บิตต่อวินาที Full Duplex เช่นกัน มาตรฐานโมเด็มความเร็วรุ่นหลังจาก V.32 คงจะประกาศใช้โดย CCITT ภายในหนึ่งถึงสองปีนับจากนี้

มาตรฐานโมเด็ม V-Series ที่กล่าวมานี้ เป็นมาตรฐานที่เราพบเห็นได้ทั่วไป ซึ่งยังมีบางมาตรฐาน ไม่ได้นำมาพูดถึง เนื่องจากใช้งานพิเศษเฉพาะงานเท่านั้น ส่วนมาตรฐานของโมเด็มตามแบบของสหรัฐฯ หรือที่เราเรียกว่า Bell Standard ปัจจุบันค่อยๆ ลดความนิยมลง เนื่องจากประเทศต่างๆ ใช้มาตรฐานของ CCITT เป็นหลัก ในประเทศไทยก็ใช้มาตรฐานตาม CCITT เช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่7

หลักการทำงานของวงจร

Quadrature Phase Shift Keying(QPSK) บางครั้งเรียกว่า Quaternary Phase Shift Keying เป็นอีกรูปแบบหนึ่งของการมอดูเลทสัญญาณในเชิงมุม (Angle Modultion) หรือการมอดูเลทที่มีการเปลี่ยนแปลงทางมุมนั่นเอง QPSK เป็นเทคนิคหนึ่งของการแปลงสัญญาณ (Encode) แบบ M-Array ที่มี M=4 ซึ่งเอาท์พุททั้ง 4 เฟสของ QPSK ที่ออกมานั้นจะมีความถี่เดียวเท่านั้น และเนื่องจากมีการเปลี่ยนแปลงของเฟสที่แตกต่างกันถึง 4 เฟส ดังนั้นจึงต้องมีเงื่อนไขของอินพุทที่จะนำไปมอดูเลชั่นกับความถี่คลื่นพาห์ (carrier frequency) อยู่ 4 เงื่อนไขด้วยกัน แต่สัญญาณดิจิตอลที่จะนำมาเป็นอินพุทเพื่อทำการมอดูเลชั่นแบบ QPSK นั้น ปืนสัญญาณแบบ binary ให้มีเงื่อนไขเพียง 2 เงื่อนไขเท่านั้น คือ “0” กับ “1” ดังนั้นในการที่จะทำสัญญาณ binary ให้มีงื่อนไขที่ต่างกันถึง 4 เงื่อนไขนั้น เราจะต้องจัดสัญญาณ binary เป็น 4 กลุ่ม คือ 00,01,10,11 แต่ละกลุ่มมีสัญญาณ binary อยู่ 2 บิท ซึ่งเราเรียกว่า Dibit แต่ละ Dibit เมื่อนำไปทำการมอดูเลชั่นแล้วนั้น จะได้ความแตกต่างของเฟสออกมา 4 เฟสด้วยกัน

เพราะฉะนั้นสรุปได้ว่าเมื่อนำหนึ่ง Dibit ไปทำการมอดูเลท เราก็จะได้เอาท์พุทออกมาหนึ่งเอาท์พุท ดังนั้น อัตราการเปลี่ยนแปลงของเอาท์พุทหรือที่เรียกว่า Baud rate นั้น จะมีค่าเท่ากับครึ่งหนึ่งของอัตราบิท (Bit rate) ของอินพุทที่นำมามอดูเลทนั่นเอง

7.1)การออกแบบวงจรภาคส่ง

ในโครงงานนี้ใช้วิธีการส่งสัญญาณโดยเทคนิค Quadrature Phase Shift Keying(QPSK) ซึ่งวิธีนี้จะมอดดูเลทข้อมูลเลขฐานสองทีละ 2 บิทต่อการเปลี่ยนแปลงของสัญญาณพาห์ 1 ครั้ง ดังนั้นสัญญาณคลื่นพาหะที่มามอดดูเลทกับข้อมูลจึงมีเฟสเปลี่ยนแปลงทั้งหมด 2^2= 4 ค่าดังนี้ คือ 45,135,-135,-45 องศา สำหรับโครงงานนี้จะใช้ไมโครคอนโทรเลอร์8051ในการสร้างสัญญาณQPSKตามสัญญาณอินพุทที่เข้ามา โดยสัญญาณQPSKที่เอาท์พุทของMCS-51นั้นจะเป็นสัญญาณเชิงเลข (digital signal) ซึ่งเมื่อนำไปผ่านวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก(D/A) ก็จะได้สัญญาณเชิงอุปมา(analog signal)ซึ่งเป็นสัญญาณQPSK

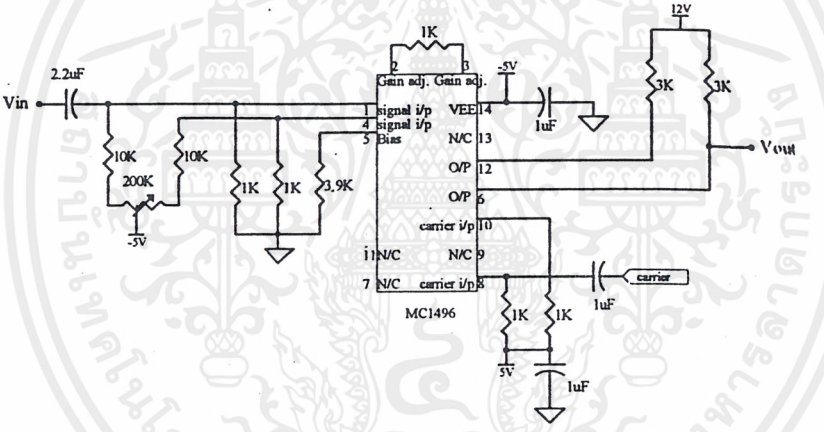
ในส่วนของวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก(D/A)นั้นได้ใช้ IC1408 เป็นตัวแปลงสัญญาณดิจิตอลเป็นดิสครีต(discrete)ก่อน ต่อมาจึงผ่านไปยังวงจรกรองความถี่ต่ำผ่าน(LPF) เพื่อให้ได้สัญญาณอนาล็อก QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2)การออกแบบวงจรภาครับ

เมื่อสัญญาณ QPSK จากภาคส่งถูกส่งเข้ามาจะถูกนำมาสร้างสัญญาณพาห์ฟื้นพาห์(Carrier recovery)ที่มีเฟสตรงกันกับสัญญาณภาคส่ง โดยสัญญาณพาห์sineฟื้นกลับนี้จะถูกนำไปเป็นอินพุทให้กับวงจรบาลานซ์มอดดูเลชัน(M_1) และจะนำสัญญาณพาห์sineฟื้นกลับเลื่อนเฟสให้เป็นสัญญาณ cosine เพื่อนำไปเป็นอินพุทให้กับวงจรบาลานซ์มอดดูเลชัน(M_2)

สัญญาณที่มอดดูเลทได้ทั้ง 2 สัญญาณนี้จะนำมาเข้าวงจรกรองความถี่ต่ำผ่าน(LPF)เพื่อกรองเอาความถี่สูงออก สัญญาณที่ได้จะมีลักษณะคล้ายสัญญาณที่ส่งมาแต่ยังไม่ใช่ข้อมูลซึ่งเป็นระดับลอจิกที่เราส่งดังนั้นจึงต้องนำไปเข้าวงจรปรับระดับแรงดันอีกครั้งหนึ่งเพื่อให้ได้เป็นข้อมูลไปเข้าวงจรแปลงข้อมูลขนานเป็นอนุกรม เราก็จะได้ข้อมูลดิจิตอลกลับคืนมา

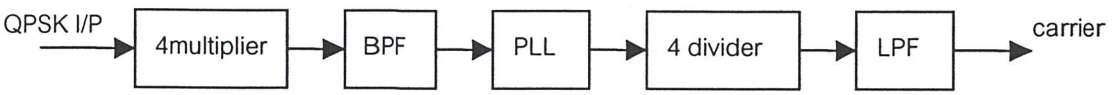


รูปที่ 7.1 วงจรดีมอดูเลท

7.2.1 วงจรฟื้นสัญญาณคลื่นพาหะ (Carrier Recovery)

เป็นวงจรที่สร้างสัญญาณคลื่นพาหะขึ้นที่ภาครับของวงจรดีมอดดูเลชั่น QPSK โดยสัญญาณที่สร้างขึ้นมาจะมีคุณสมบัติซิงโครไนซ์ทางเฟสคลื่นพาห์ที่ภาคส่ง โดยวงจรกู้สัญญาณคลื่นพาห์ หรือวงจรสร้างสัญญาณ cosine ขึ้นที่ภาครับมีหลายวิธี ได้แก่ วิธีลูปยกกำลังสอง (squaringloop) และวิธีคอสตาสลูป(costasloop) โดยที่ในโครงงานนี้เลือกแบบ วิธีลูปยกกำลังสอง โดยสามารถแสดงดังหลักการต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.2 บล็อกไดอะแกรมวงจรฟื้นสัญญาณคลื่นพาหะ

สัญญาณที่ได้จากทางภาคส่ง จะถูกนำไปเข้าวงจรคูณโดยใช้ไอซีเบอร์ MC 1496 จะทำให้สัญญาณถูกคูณด้วยความถี่ 4 เท่าของสัญญาณ QPSK และผ่านวงจรฟิลเตอร์แบบ bandpass เอาท์พุทที่ได้จะมีความถี่เป็น 4 เท่าของความถี่ carrier ทางภาคส่ง จากนั้นจะนำเอาสัญญาณความถี่ไปผ่านวงจรเฟสล็อกลูป เพื่อล็อกความถี่และเฟสที่ ω_c

เอาท์พุทของ PLL ที่ขา 4 จะเป็นสัญญาณ square wave ซึ่งจะมีความถี่เป็น 4 ω_c จะต้องนำไปหารความถี่ให้ได้ความถี่ ω_c โดยใช้วงจรดิจิตอล หลังจากนั้นนำไปแปลงรูปร่างสัญญาณให้อยู่ในรูปของสัญญาณ sine wave โดยผ่านวงจร LPF (Low Pass Filter) สุดท้ายก็จะได้ความถี่ของ carrier recovery แต่เฟสของสัญญาณ carrier ที่ได้จะมีความผิดพลาดทางเฟสที่เกิดได้อยู่ 4 เฟส

-วงจรคูณความถี่

เป็นวงจรคูณสอง สองวงจรนำมาต่อคาสเคสกัน(cascade)โดยใช้ไอซี MC 1496 ซึ่งเป็น monolithic four-quadrant multiplier โดยการป้อนสัญญาณอินพุทที่ขา 1 และ ขา 10 ของ IC MC 1496 ทำให้ได้สัญญาณเอาท์พุทที่ขา 6 และ ขา 12 มีความถี่เป็นสองเท่าของความถี่อินพุท จากนั้นก็นำสัญญาณเอาท์พุทที่มีความถี่เป็นสองเท่านี้ป้อนให้กับ วงจรยกกำลังสองอีกชุดหนึ่งจะได้ความถี่เป็นสี่เท่าออกมา

ในการออกแบบวงจรนั้น ได้อาศัยข้อมูลจาก data sheet โดยเลือกใช้วงจรชนิด Doubler มาใช้เป็นหลักเกณฑ์ในการออกแบบดังนี้

$$R_5 = (V^- - \emptyset)/I_5 - 500\ \Omega$$

โดยที่ R_5 คือ ค่าความต้านทานที่ต่อที่ขา 5 ของ MC 1496

V^- คือ แรงดันไฟลบ ซึ่งเป็นไฟเลี้ยง MC 1496

$\emptyset$ คือ ค่าคงที่มีค่าเท่ากับ 0.75 โวลท์ มีอุณหภูมิ +25 C

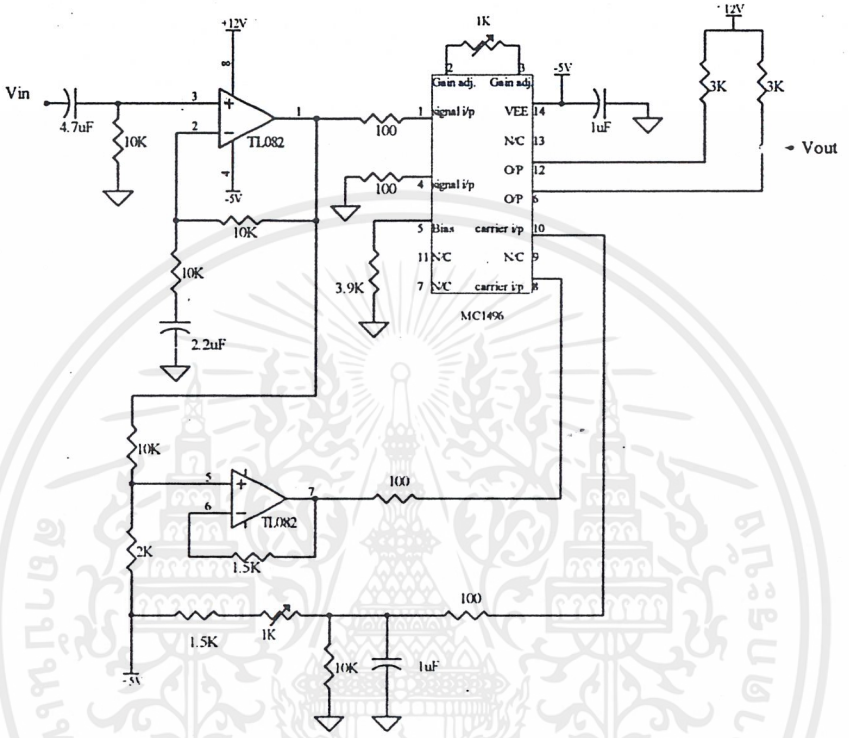
I_5 คือ กระแสไหลเข้าขา 5 ของ MC 1496 ซึ่งจาก data sheet ให้ I_5 = 1 mA เป็นค่าที่เหมาะสมมากที่สุด

ดังนั้น เราสามารถคำนวณหาค่า R_5 ดั้งนี้ เมื่อให้ $V^- = 5V$

$$R_5 = (5\text{-}0.75)/\ 10^{-3} = 4.25\ K\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

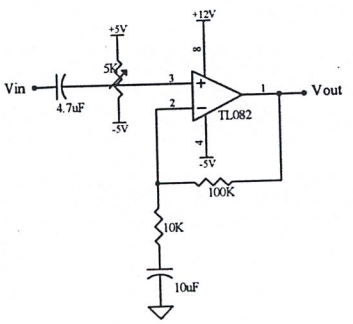
เลือกใช้ $R_5 = 3.9\ K\Omega$ ซึ่งเป็นค่าที่ใกล้เคียงกับที่คำนวณได้ ส่วนค่าความต้านหรือค่าคาปาซิเตอร์อื่นๆ ได้พิจารณาค่าที่เหมาะสมในการนำไปใช้งาน



รูปที่ 7.3 แสดงวงจรคูณความถี่

- วงจร level shift circuit

วงจร level shift circuit ทำหน้าที่ในการปรับค่าออฟเซตเพื่อให้เอาท์พุทที่ได้ไม่มีแรงดัน DC อยู่ซึ่งในวงจรใช้งานจริงจะต่อค่าความต้านทานปรับค่าได้เพื่อช่วยในการปรับ เพื่อความสะดวกในการตั้งค่าที่เหมาะสมให้แก่วงจร



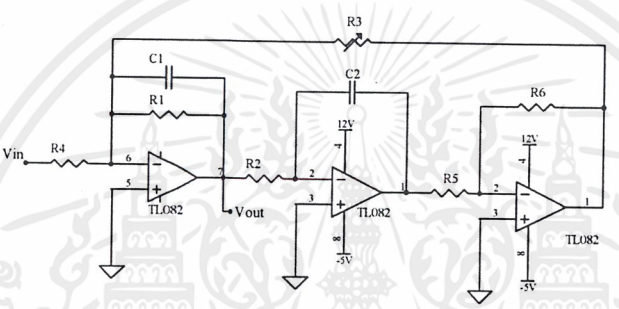
รูปที่ 7.4 วงจร level shift circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- วงจร bandpass filter

จะทำหน้าที่ในการกรองความถี่ที่ได้จากวงจรคูณ 4 เพื่อกำจัดสัญญาณรบกวน ที่ไม่ต้องการทิ้งไป และเพื่อให้วงจร PLL ทำงานได้ดียิ่งขึ้น เพราะความถี่ที่ได้จากวงจรฟิลเตอร์จะถูกส่งเข้าไปยังวงจร PLL ถ้าหากความถี่ที่ถูกส่งออกไปมีสัญญาณรบกวนอยู่ด้วยก็จะทำให้ PLL ล็อกความถี่ได้ไม่ดีเท่าที่ควรนัก

วิเคราะห์วงจร Biquard Bandpass Filters



รูปที่ 7.5 วงจร bandpass filter

ทรานส์เฟอร์ฟังก์ชันทั่วไปของวงจรแบนด์พาสฟิลเตอร์ อันดันสอง คือ

$$H(s) = \frac{V_1}{V_{in}} = \frac{GBS}{S^2 + BS + \omega_o^2} \qquad \ldots(7.1)$$

B = แบนด์วิธของวงจร

G = อัตราขยาย

ω_o = ความถี่คัทออฟ

จากวงจรจะได้

$$\frac{V_1}{V_{in}} = \frac{-\frac{1}{R_4C_1}S}{S^2 + \frac{1}{R_1C_1}S + \frac{1}{R_2R_3C_1C_2}} \qquad \ldots(7.2)$$

เมื่อเทียบกับทรานส์เฟอร์ฟังก์ชันทั่วไปของแบนด์พาสฟิลเตอร์ อันดับสองจะได้ว่า

$$\omega_o^2 = \frac{1}{R_2R_3C_1C_2}$$

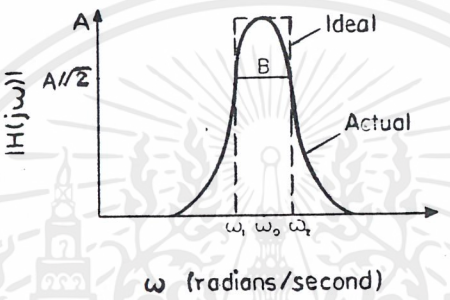
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$B = \frac{1}{R_1 C_1}$$

$$(B \times Gain) = \frac{1}{R_4 C_1}$$

ดังนั้น $Gain = \frac{R_1}{R_4}$

ในการปรับแต่งอัตราขยาย ความถี่กลาง (Center frequency) และแบนด์วิธ เราก็สามารถเลือกปรับค่า R และ C ต่างๆ



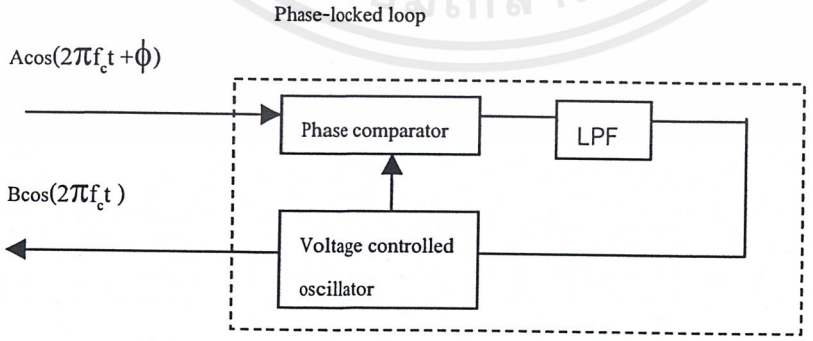
รูปที่ 7.6 Bandpass amplitude response

โดย $\omega_0 = \sqrt{\omega_1 \omega_2}$ (r/s)

หรือ $f_0 = \sqrt{f_1 f_2}$ (Hz)

$B = \frac{f_o}{Q}$ (Hz)

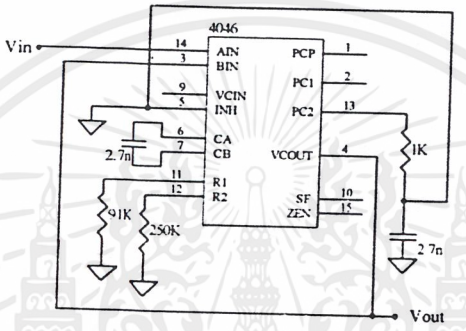
-วงจรเฟสล็อกลูป



รูปที่ 7.7 บล็อกไดอะแกรมแสดงการทำงานของเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

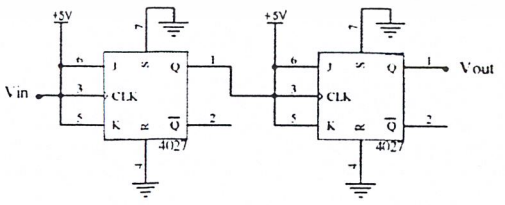
วงจร PLL นี้ประกอบด้วย phase comparator และ voltage controled oscillator(VCO) ที่วงจร phase comparator สัญญาณ output ของวงจร divider จะถูกเปรียบเทียบ อย่างต่อเนื่องกับ output ของ VCO เมื่อมีความแตกต่างทางเฟสระหว่างสัญญาณทั้งสองนี้ สัญญาณ output ของ VCO จะถูกควบคุมอย่างอัตโนมัติในการปรับเฟสของสัญญาณทั้งสอง โดยวิธีการนี้จะได้คลื่นพาหะอ้างอิง $B\cos(2\pi f_c t)$ ซึ่งมีสัญญาณรบกวนน้อยลง



รูปที่ 7.8 วงจรเฟสล็อกลูป

-วงจรหารความถี่

เป็นวงจรดิจิตอลที่ใช้หารความถี่ที่ได้จากวงจร PLL ให้มีความถี่เท่ากับ carrier ทางภาคส่ง เราใช้ JK Flip-Flop สร้างเป็นวงจรหาร 2 ต่อกัน สองวงจร ก็จะได้วงจรหาร 4 จากนั้นสัญญาณ square wave นี้จะถูกนำไปเข้าวงจรกรองความถี่ต่ำผ่านเพื่อกำจัด harmonic ต่างๆ ทำให้ได้สัญญาณ sine สัญญาณที่ recovery ได้นี้จะถูกส่งไปยังวงจรเลื่อนเฟสของสัญญาณเพื่อให้ได้เฟสที่ถูกต้อง (carrier reference)

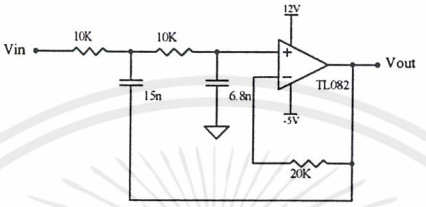


รูปที่ 7.9 วงจรหาร 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-วงจร Low Pass Filter

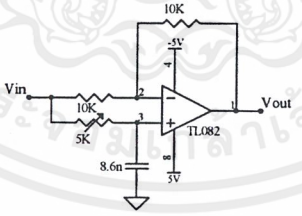
วงจรกรองความถี่ต่ำผ่าน ทำหน้าที่ในการกำจัดสัญญาณความถี่สูงที่ไม่ต้องการออกจากสัญญาณข้อมูลที่ได้จาเอาท์พุทของวงจรดีมอดูเลเตอร์



รูปที่ 7.10 วงจรกรองความถี่ต่ำผ่าน

-วงจรเลื่อนเฟส

หลังจากที่ผ่านวงจร LPF มาแล้ว เฟสจะเลื่อนออกไป ถ้าหากนำไปเข้าวงจรดีมอดูเลทเลยนั้น จะทำให้ข้อมูลที่ดีมอดูเลทออกมานั้นผิดพลาด และข้อสำคัญแคเรียร์ที่ป้อนเข้าวงจรดีมอดูเลทนั้นจะต้องมีความถี่และเฟสเท่ากับทางภาคส่งเท่านั้น



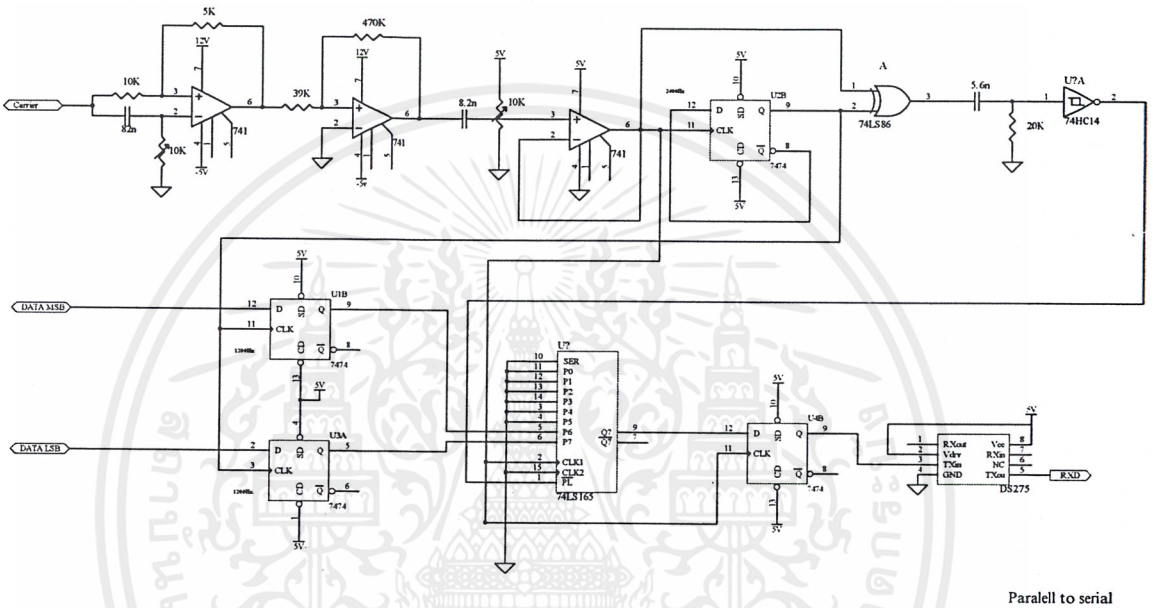
รูปที่ 7.11 วงจรเลื่อนเฟส

-วงจรแปลงข้อมูลจากขนานเป็นอนุกรม

ในการแปลงข้อมูลจากขนาน 2 บิท ให้เป็นข้อมูลแบบอนุกรม เพื่อส่งต่อไปยังพอร์ต RS-232 นั้นจะใช้ IC74165ซึ่งเป็นรีจิสเตอร์แปลงข้อมูลจากขนานเป็นอนุกรม โดยการโหลดข้อมูลเข้าไปจะต้องทำให้สัญญาณที่ SHIFT/LOAD มีสภาวะลอจิกเป็น “0” โดยที่โครงงานนี้จะใช้สัญญาณ CLOCK ความถี่ 2400Hz ที่ได้มาจากสัญญาณพาห์ นำมาหารสอง แล้วนำสองสัญญาณนี้มาEXOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กัน และผ่านไปยัง 74HC14 เพื่อสร้างสัญญาณโหลดข้อมูลทีละ 2 บิตที่มีพัลส์แคบๆที่ขา SHIFT/LOAD ของ 74LS165 ดังนั้นสัญญาณ



รูปที่ 7.12 วงจรแปลงข้อมูลจากขนานเป็นอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

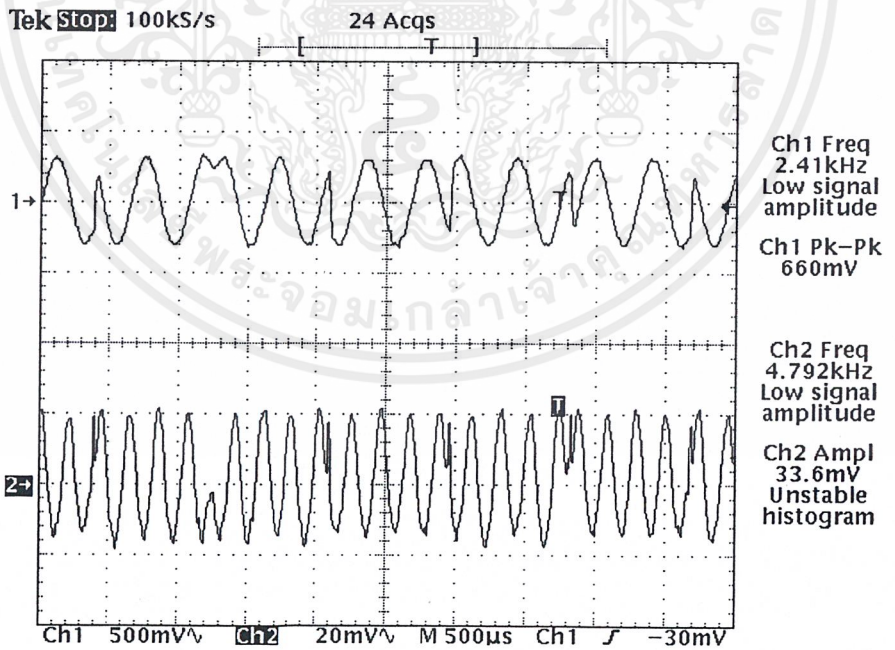
บทที่8

ผลการทดลอง

ในการทดลองการรับส่งข้อมูลได้ใช้โปรแกรมที่เขียนขึ้นโดยภาษา Visual Basic ซึ่งจะส่งข้อมูลออกทางพอร์ต COM1 ไปยังวงจรมอดดูเลชั่นที่ใช้ IC 89C51 และส่งข้อมูลต่อไปยังภาคดีมอดดูเลชั่นด้วยความเร็ว 2400 BPS แล้วรับข้อมูลด้วยพอร์ต COM2 โดยทำการส่งด้วยรหัสASCII

จากการทดลองพบว่าความผิดพลาดของข้อมูลที่รับได้ประมาณ 10% ในการส่งข้อมูลจำนวน 100 ตัวอักษร โดยความผิดพลาดอาจเกิดจากความผิดพลาดของวงจรเลื่อนเฟสหรือความไม่สมดุลของตัวบาลานซ์มอดูเลชั่น

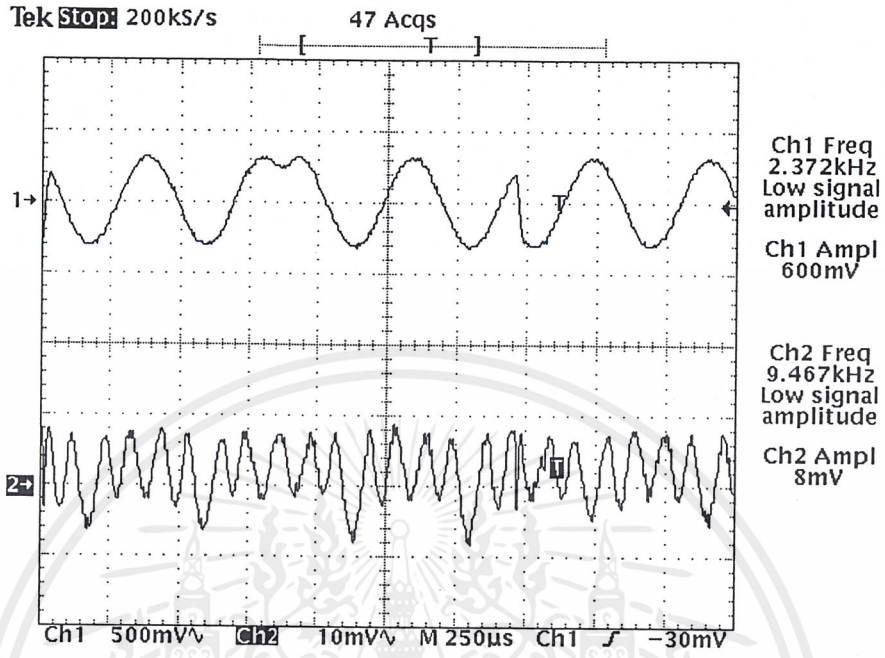
กราฟที่แสดงข้างล่างแสดงถึงสัญญาณที่จุดต่างๆขณะทำการส่งข้อมูลออกไป



รูปที่ 8.1 CH1 : สัญญาณQPSK

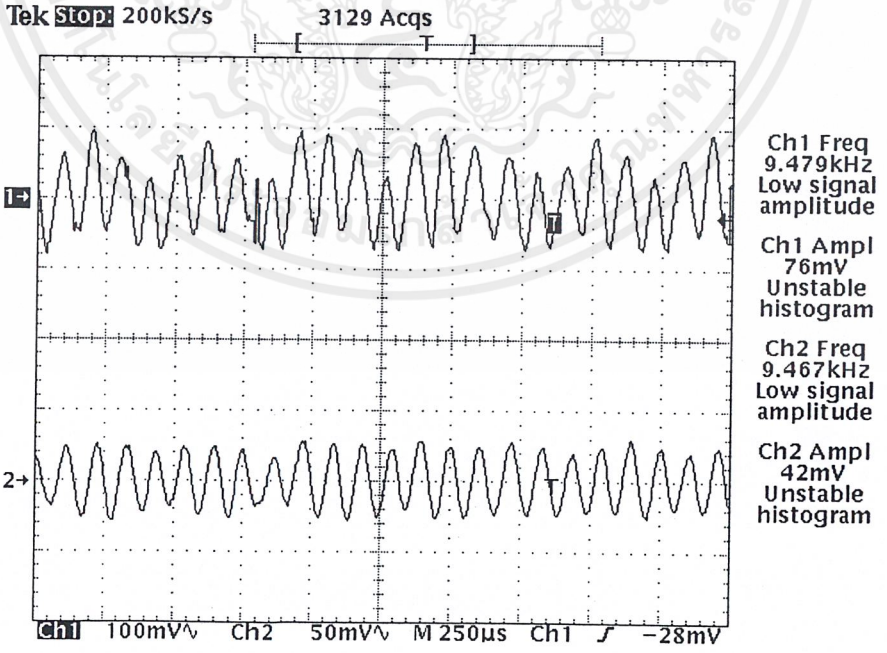
CH2 : สัญญาณQPSKยกกำลังสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8.2 CH1 : สัญญาณQPSK

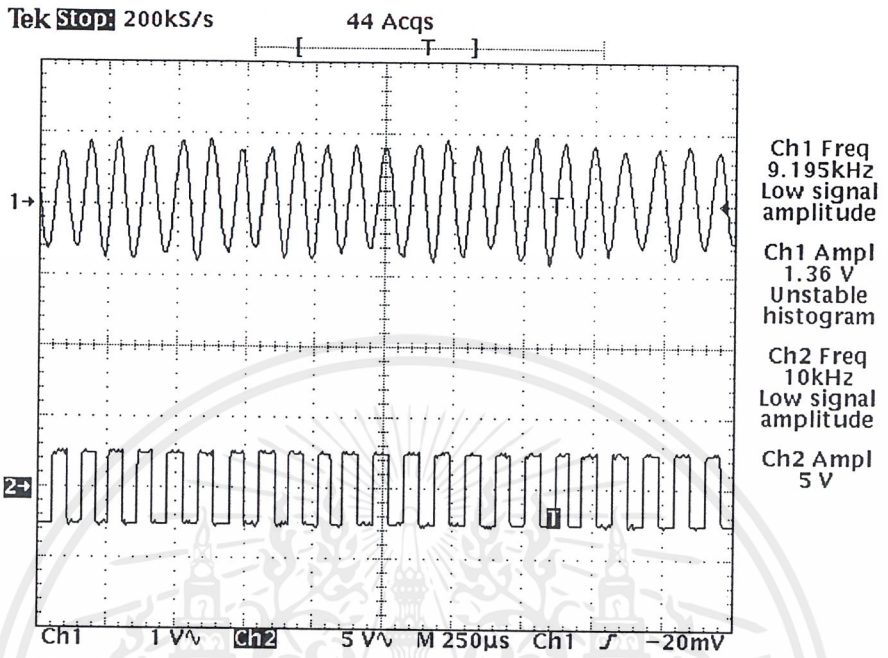
CH2 : สัญญาณQPSKยกกำลังสี่ก่อนเข้าLPF



รูปที่ 8.3 CH1 : สัญญาณQPSKยกกำลังสี่ก่อนเข้าLPF

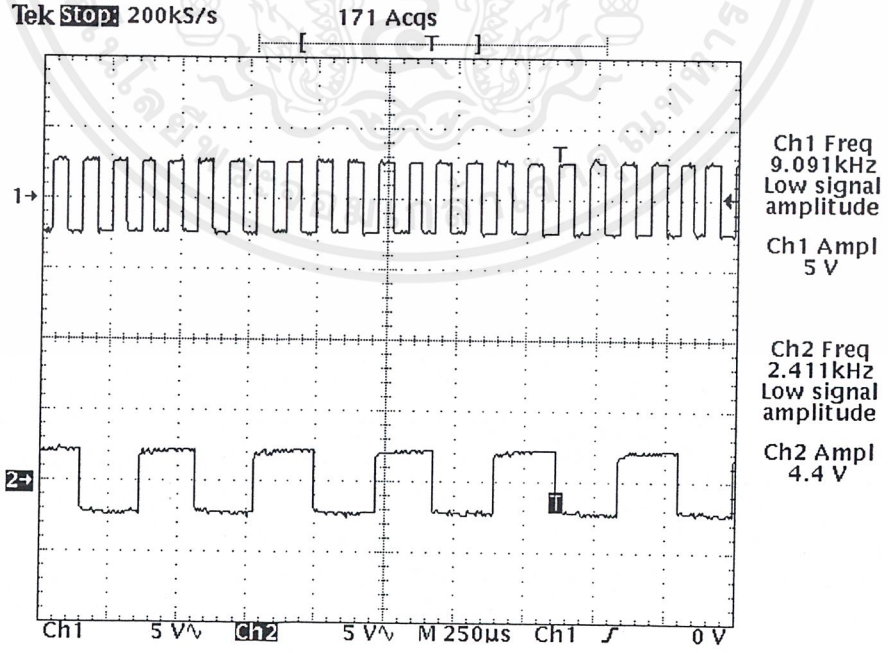
CH2 : สัญญาณQPSKยกกำลังสี่หลังเข้าLPF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8.4 CH1 : สัญญาณQPSKยกกำลังสี่หลังเข้าLPF

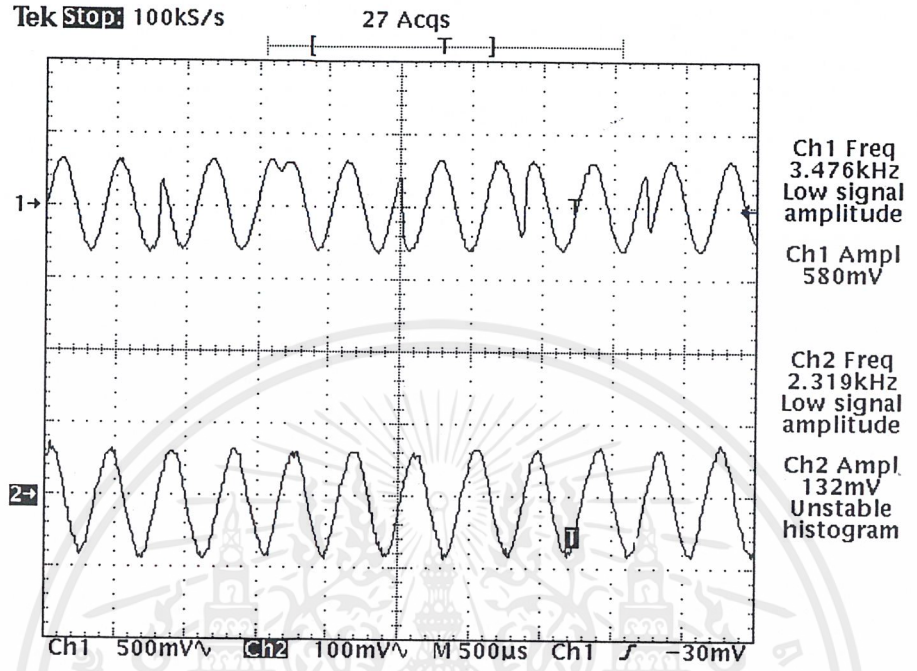
CH2 : สัญญาณCH1หลังจากเข้าPLL



รูปที่ 8.5 CH1 : สัญญาณคลื่นสี่เหลี่ยมจากPLL

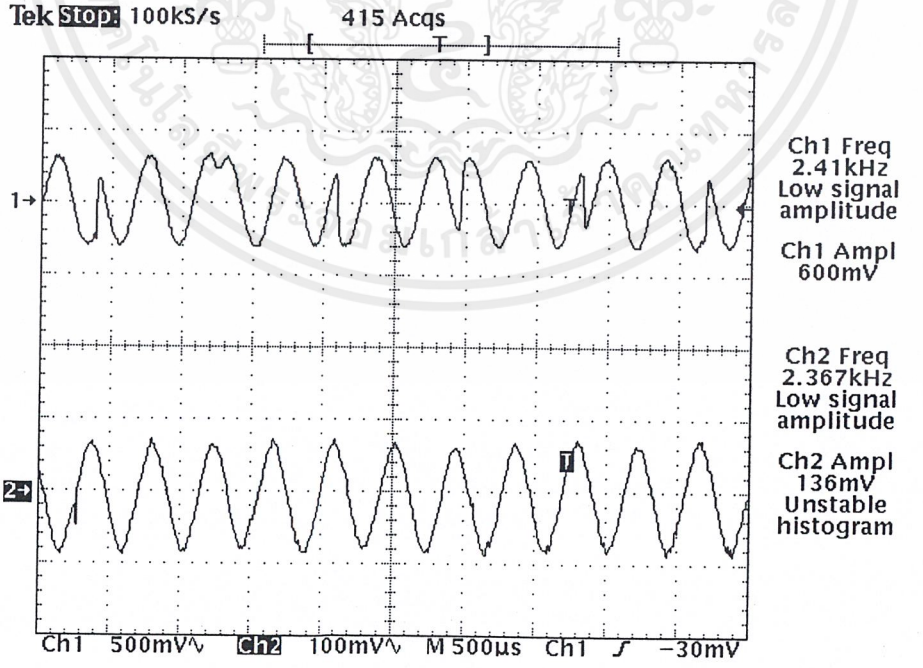
CH2 : สัญญาณคลื่นสี่เหลี่ยมจากPLLหารความถี่สี่เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8.6 CH1 : สัญญาณQPSK

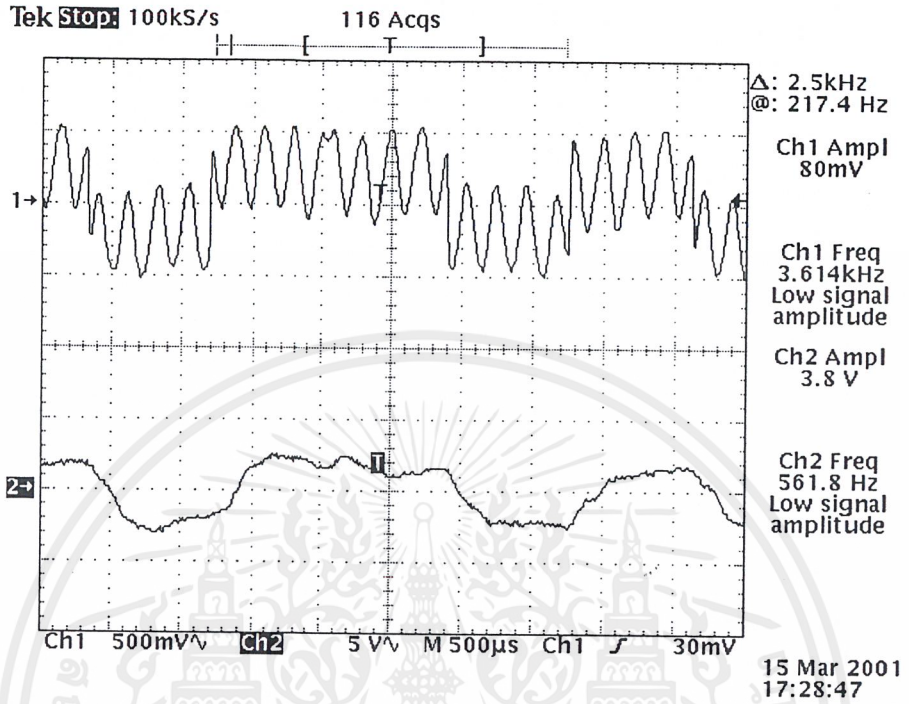
CH2 : สัญญาณsineที่ปรับเฟสตรงกับสัญญาณinput QPSK



รูปที่ 8.7 CH1 : สัญญาณQPSK

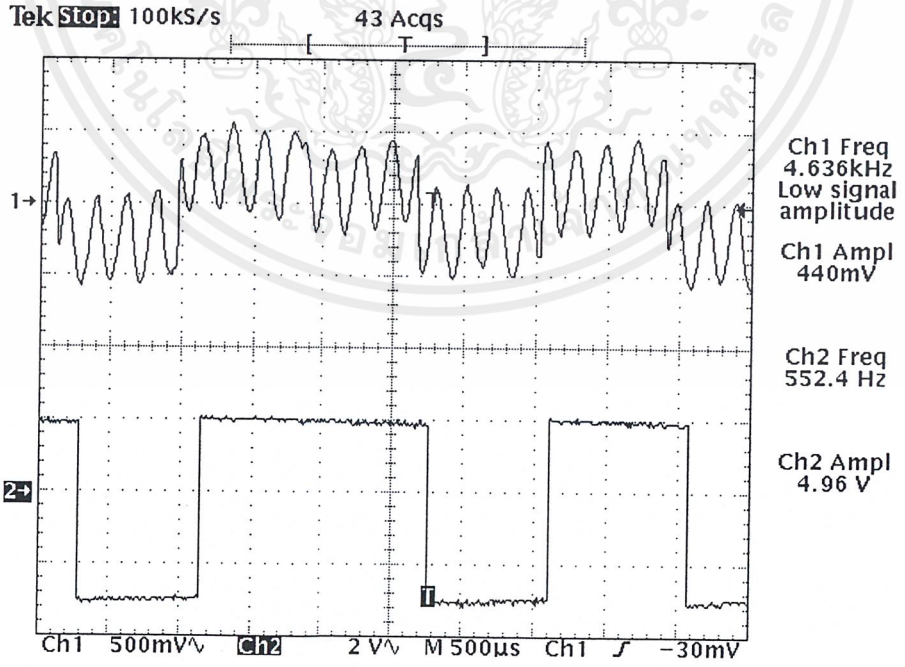
CH2 : สัญญาณcosineที่ปรับเฟสตรงกับสัญญาณinput QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8.8 CH1 : สัญญาณQPSK* sine

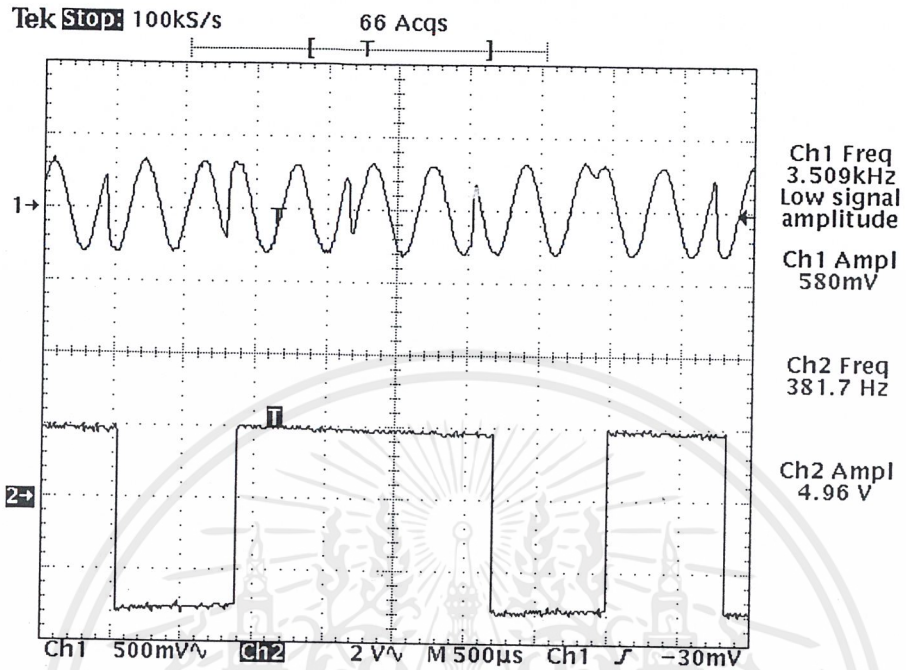
CH2 : สัญญาณCH1ที่ผ่านLPF



รูปที่ 8.9 CH1 : สัญญาณQPSK * sine

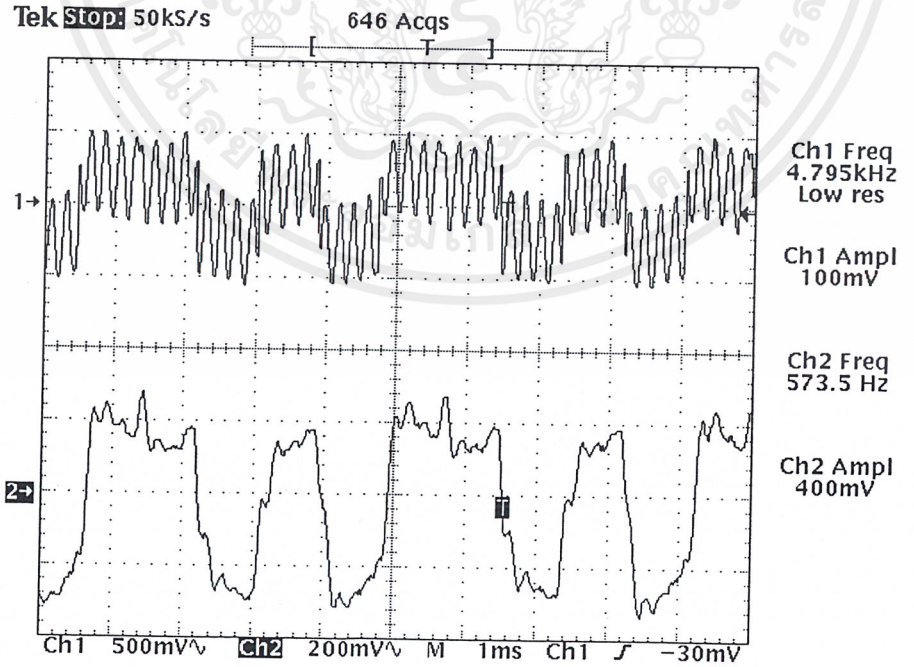
CH2 : ข้อมูล I ที่ได้จากCH1ผ่าน Schmitt trigger

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8.10 CH1 : สัญญาณQPSK input

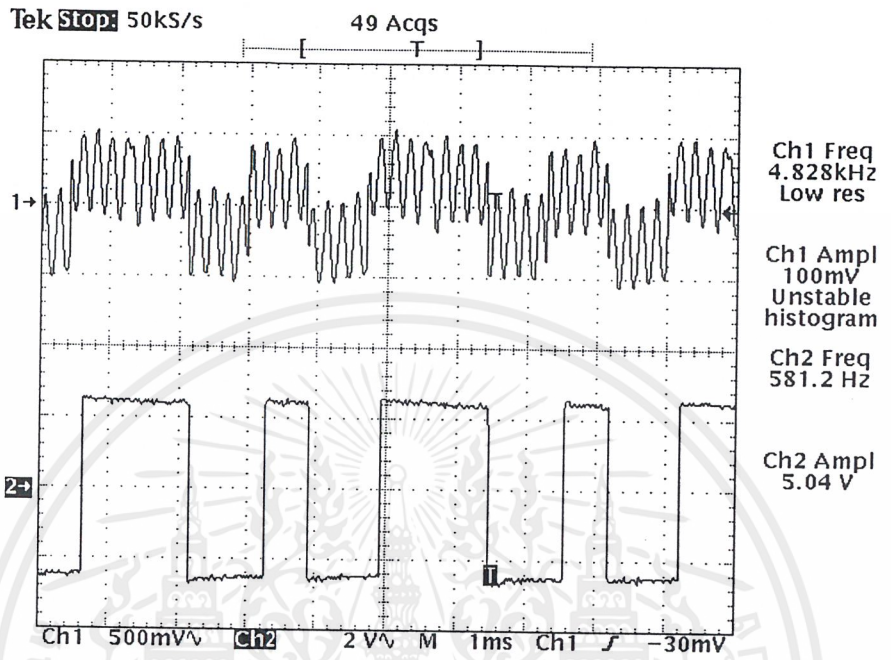
CH2 : ข้อมูล I



รูปที่ 8.11 CH1 : สัญญาณQPSK*cosine

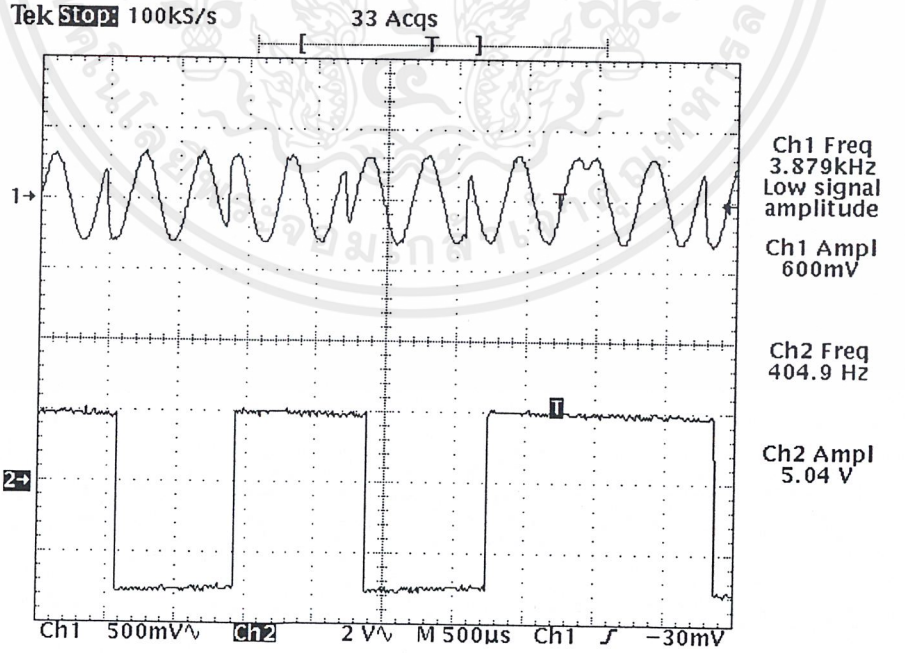
CH2 : สัญญาณCH1ที่ผ่านLPF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8.12 CH1 : สัญญาณQPSK*cosine

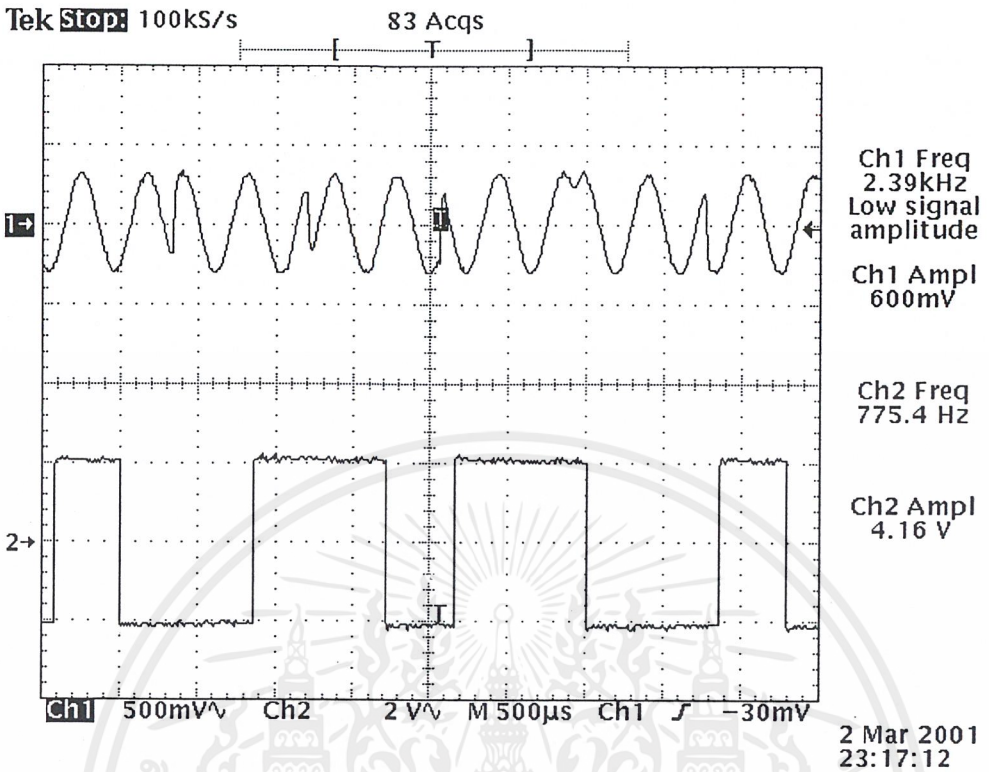
CH2 : ข้อมูล Q ที่ได้จากCH1ผ่าน schmitt trigger



รูปที่ 8.13 CH1 : สัญญาณQPSK

CH2 : ข้อมูล Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8.14 CH1 : สัญญาณQPSK

CH2 : ข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 9
สรุปและวิจารณ์ผลการทดลอง

รายงานนี้ได้นำเสนอหลักการส่งสัญญาณดิจิตอลโดยใช้เทคนิคการมอดดูเลชั่นแบบสี่เฟส (QPSK) ที่เป็นรูปแบบการมอดูเลทเชิงมุม (Angle Modulation) ที่มีการเปลี่ยนแปลงสัญญาณแบบ M-Array ที่มี M = 4 โดยใช้การสื่อสารแบบทิศทางเดียว

จากผลการทดลองพบว่ามีความผิดพลาดในการรับข้อมูลประมาณ 10% จากการส่งข้อมูล 100 บิต ซึ่งการผิดพลาดอาจเกิดจาก

หลักการมอดูเลชั่นสัญญาณดิจิตอลจะใช้เลขฐานสองขนาดสองบิท ทำให้ได้สัญญาณที่มีความแตกต่างกัน 4 ค่า โดยใช้ส่งสัญญาณคลื่นพาหะที่มีความถี่ 2.4KHz จำนวน 2 ลูกคลื่น ซึ่งทำให้สามารถส่งสัญญาณที่มีความเร็ว 2400 บิทต่อวินาที ซึ่งการทำงานในภาคมอดูเลชั่นจะใช้ไมโครคอนโทลเลอร์8051ในการสร้างสัญญาณขึ้นมา ทำให้สามารถลดปัญหาความผิดพลาดทางด้าน hardware เช่น ลดผลของความผิดพลาดทางเฟสของข้อมูลที่จะถูกมอดดูเลชั่นได้ และทำให้ใช้วงจรน้อยลงด้วยด้วย แต่จะเกิดปัญหาในขณะที่เฟสเปลี่ยนแปลง เนื่องจากโปรแกรมจะต้องใช้เวลาในการคำนวณแต่ละคำสั่งจึงเกิดความล่าช้าในการเปลี่ยนเฟส

หลักการดีมอดูเลชั่นสัญญาณดิจิตอลจะนำสัญญาณ QPSK ที่ได้มายกกำลังสี่เพื่อให้ได้สัญญาาณคลื่นพาหะฟื้นกลับ และนำสัญญาณนี้มาเลื่อนเฟสให้ได้สัญญาณซายน์และคอสเพื่อที่จะนำสัญญาณนี้มาคูณกับสัญญาณอินพุท ทำให้ได้สัญญาณข้อมูลขนานกัน 2 เส้น เราจึงต้องมาเข้าวงจรแปลงจากขนานเป็นอนุกรม ซึ่งการทำงานส่วนนี้จะมีปัญหาเนื่องจาก ความไม่สมดุลและความไม่เป็นเชิงเส้นของตัวบาลานมอดดูเลทชั่นเป็นผลให้เกิดฮาร์โมนิค อินพุทมีขนาดเล็กทำให้สัญญาณรบกวนมีผลมาก แต่สามารถลดผลของสัญญาณรบกวนได้โดยใช้วงจรสังเคราะห์ความถี่ และเฟสของสัญญาณพาหะต่างเฟสกับสัญญาณอินพุทเล็กน้อย ข้อมูลที่ได้จากการคูณกันของสัญญาณ 2 สัญญาณนี้จะผิดเพี้ยนไปบ้าง

คุณภาพในการส่งข้อมูล สามารถประมาณได้จากความถูกต้องของข้อมูลที่ได้รับ หรือปริมาณความผิดพลาดที่ทางด้านรับรับได้ช่วงเวลาใดเวลาหนึ่ง ความผิดพลาดจะเกิดขึ้นได้ในอุปกรณ์ส่งหรือเส้นทางส่งหรืออุปกรณ์รับ โดยมีสาเหตุจากคุณลักษณะหรือความเสียหายจากภายในหรือภายนอกหลายๆ ชนิด และคุณภาพของอุปกรณ์ปลายทางวงจรรับส่งข้อมูลด้วย ซึ่งจะทำให้สัญญาณดิจิตอลที่สร้างขึ้นใหม่ทางด้านรับจะเกิดการเพี้ยนของสัญญาณ ถ้าอัตราความเพี้ยนมีขนาดมากขึ้นทำให้เกิดความผิดพลาดของ “0” กับ “1”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ผ่านการมอดูเลทออกไป จะประกอบด้วยส่วนของความถี่ต่างๆมากมาย และถึงแม้ขนาดของสัญญาณทางด้านรับจะเท่ากับทางด้านส่ง แต่ถ้าเฟสที่เกี่ยวข้องของแต่ละส่วนต่างกัน รูปร่างของคลื่นส่งก็จะต่างกัน ก่อให้เกิดความเพี้ยนขึ้นที่วงจร สำหรับอุปกรณ์ซึ่งมีสาเหตุของการเกิดความผิดเพี้ยนจากความล่าช้าทางเฟส ได้แก่ วงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมภาคมอดดูเลชั่น

```
        ORG 0000H
;************************* MAIN ************************
        JMP MAIN
        ORG 0023H
        JMP INT
        ORG 0030H
MAIN:   MOV SCON,#50H       ;serial mode1 ,ren=1 , sm2=0(receive)
        MOV PCON,#00H       ;clear bit SMOD
        MOV TMOD,#20H       ;set timer1 mode2(8bit auto reload)
        MOV TH1,#0FDH       ;baud rate =9600bit/s
        SETB TR1
        SETB EA
        SETB ES

        CLR RI              ;ready to receive
LOOP1:  JMP LOOP1
INT:    CLR ES
        JNB RI,$
        MOV A, SBUF
        RRC A
        MOV R7,A
        MOV R3,#00H
        MOV R2,#03H
        JC SIN_45
        SJMP SIN_135
one:    MOV R3,#01H
        MOV R4,#01H
        MOV A,R7
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MASK: ANL A,#00000011B
      MOV R0,A
CHECK:XRL A,#00H
      JZ SIN_135
CHECK1:MOV A,R0
      XRL A,#01H
      JZ SIN135
CHECK2:MOV A,R0
      XRL A,#02H
      JZ SIN_45
      SJMP SIN45
;************************* SIN 45 ************************
SIN45:  MOV R1,#96
      MOV DPTR,#DATA
LOPH1: MOV A,#00
      MOVC A,@A+DPTR
       MOV P1,A
      INC DPTR
      DJNZ R1,LOPH1
      SJMP MOVE
;************************* SIN 135 ************************
SIN135: MOV R1,#96
      MOV DPTR,#DATA1
LOPH2:MOV A,#00
      MOVC A,@A+DPTR
      MOV P1,A
      INC DPTR
      DJNZ R1,LOPH2
      SJMP MOVE          ; ถ้าเท่าให้กระโดดไปที่ MOVE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;************************* SIN -135  ************************
SIN_135: MOV R1,#96          ; กำหนดค่า SAMPLING 48 ค่า จำนวน 2 ลูก
         MOV DPTR,#DATA2          ; DPTR ชี้ตารางข้อมูลที่ DATA 2
LOPH3: MOV A,#00
         MOVC A,@A+DPTR
         MOV P1,A
         INC DPTR
         DJNZ R1,LOPH3
         SJMP MOVE
;************************* SIN -45  ************************
SIN_45: MOV R1,#96           ; กำหนดค่า SAMPLING 48 ค่า จำนวน 2 ลูก
         MOV DPTR,#DATA3          ; DPTR ชี้ตารางข้อมูลที่ DATA 3
LOPH4: MOV A,#00
         MOVC A,@A+DPTR
         MOV P1,A
         INC DPTR
         DJNZ R1,LOPH4
;************************************************************
MOVE: CJNE R3,#01H,ONE
         CJNE R4,#01H,out
         MOV A,R7
         RR A                ; เลื่อนข้อมูลไปทางขวา 1 บิต
         RR A                ; เลื่อนข้อมูลไปทางขวา 1 บิต
         MOV R7,A
         DJNZ R2,MASK             ; ลดค่า R2 ถ้าไม่เท่ากับ 0 กลับไปทำต่อ
TWO:   MOV R4,#00H
         RRC A
         JC SIN45
         SJMP SIN_45
```

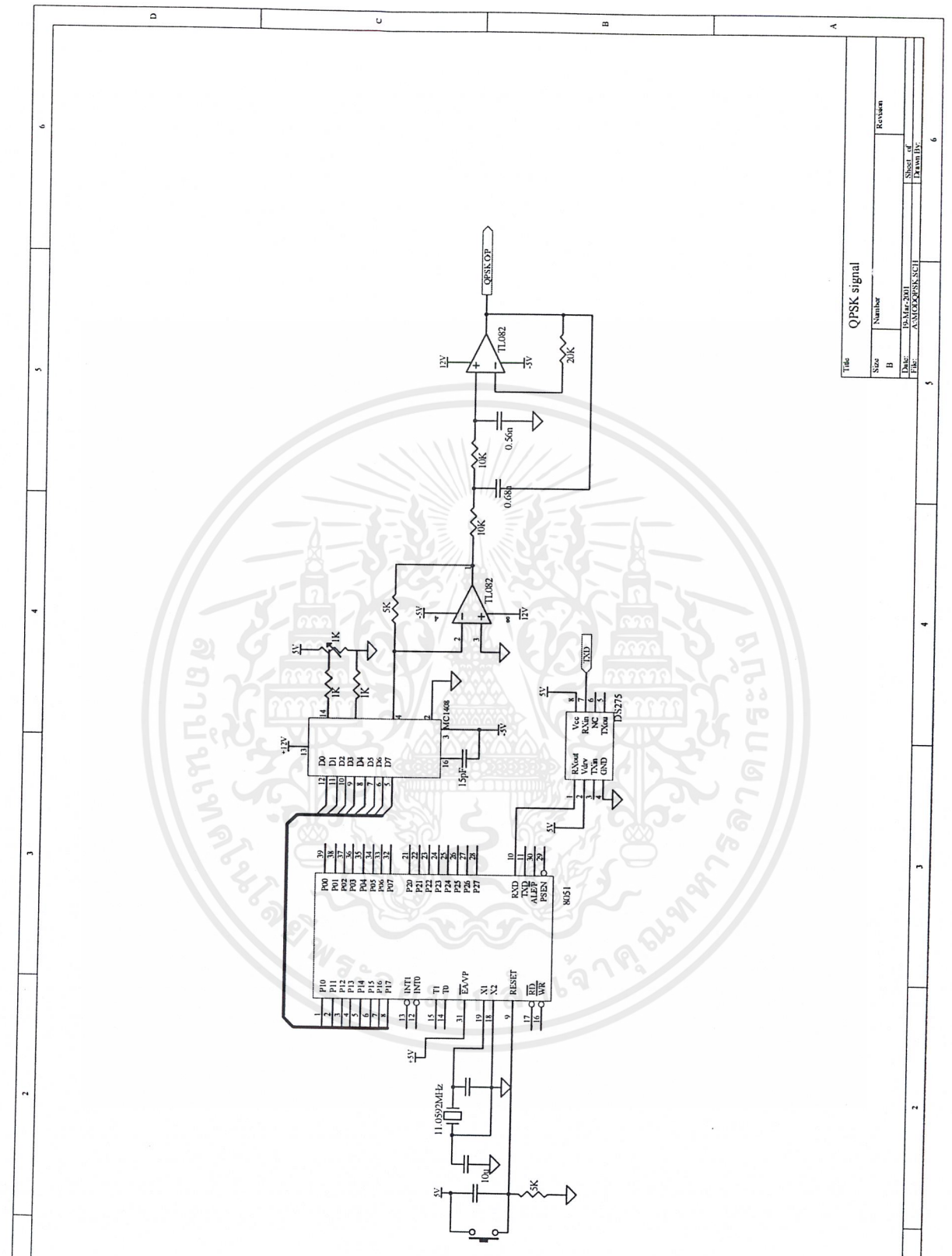
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
out:    CLR RI
        SETB ES
        reti

DATA: DB 219,221,223,224,225,226,226,226    ; กำหนดค่าในตาราง
        DB 225,224,223,221
DATA1:DB 219,217,214,211,208,205,202,199
        DB 196,193,190,187
DATA2:DB 185,183,181,180,179,178,178,178
        DB 179,180,181,183
DATA3:DB 185,187,190,193,196,199,202,205
        DB 208,211,214,217
        DB 219,221,223,224,225,226,226,226
        DB 225,224,223,221
        DB 219,217,214,211,208,205,202,199
        DB 196,193,190,187
        DB 185,183,181,180,179,178,178,178
        DB 179,180,181,183
        DB 185,187,190,193,196,199,202,205
        DB 208,211,214,217

        DB 219,221,223,224,225,226,226,226
        DB 225,224,223,221
        DB 219,217,214,211,208,205,202,199
        DB 196,193,190,187
        DB 185,183,181,180,179,178,178,178
        DB 179,180,181,183
        DB 185,187,190,193,196,199,202,205
        DB 208,211,214,217
```

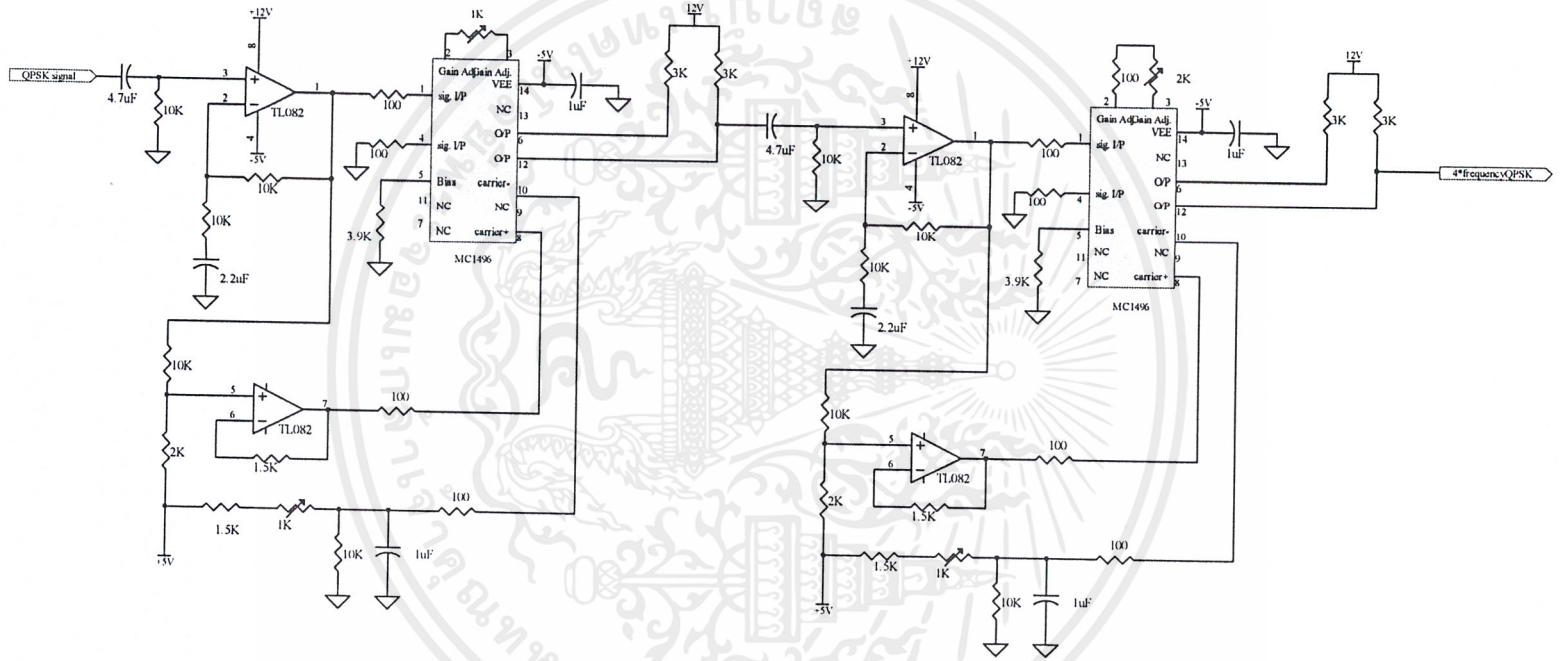
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DB 219,221,223,224,225,226,226,226
DB 225,224,223,221
DB 219,217,214,211,208,205,202,199
DB 196,193,190,187
DB 185,183,181,180,179,178,178,178
DB 179,180,181,183
DB 185,187,190,193,196,199,202,205
DB 208,211,214,217

END
```

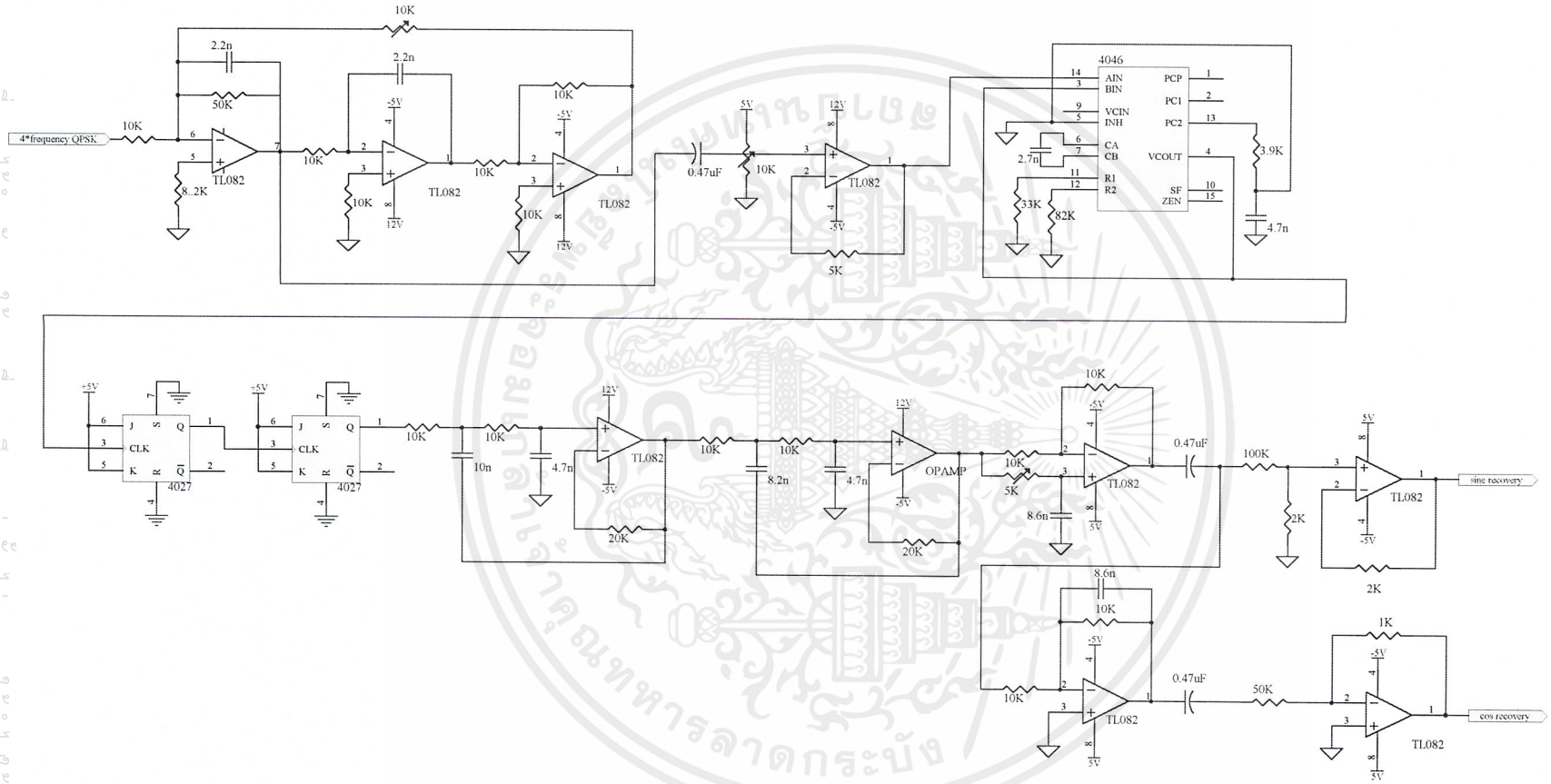
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



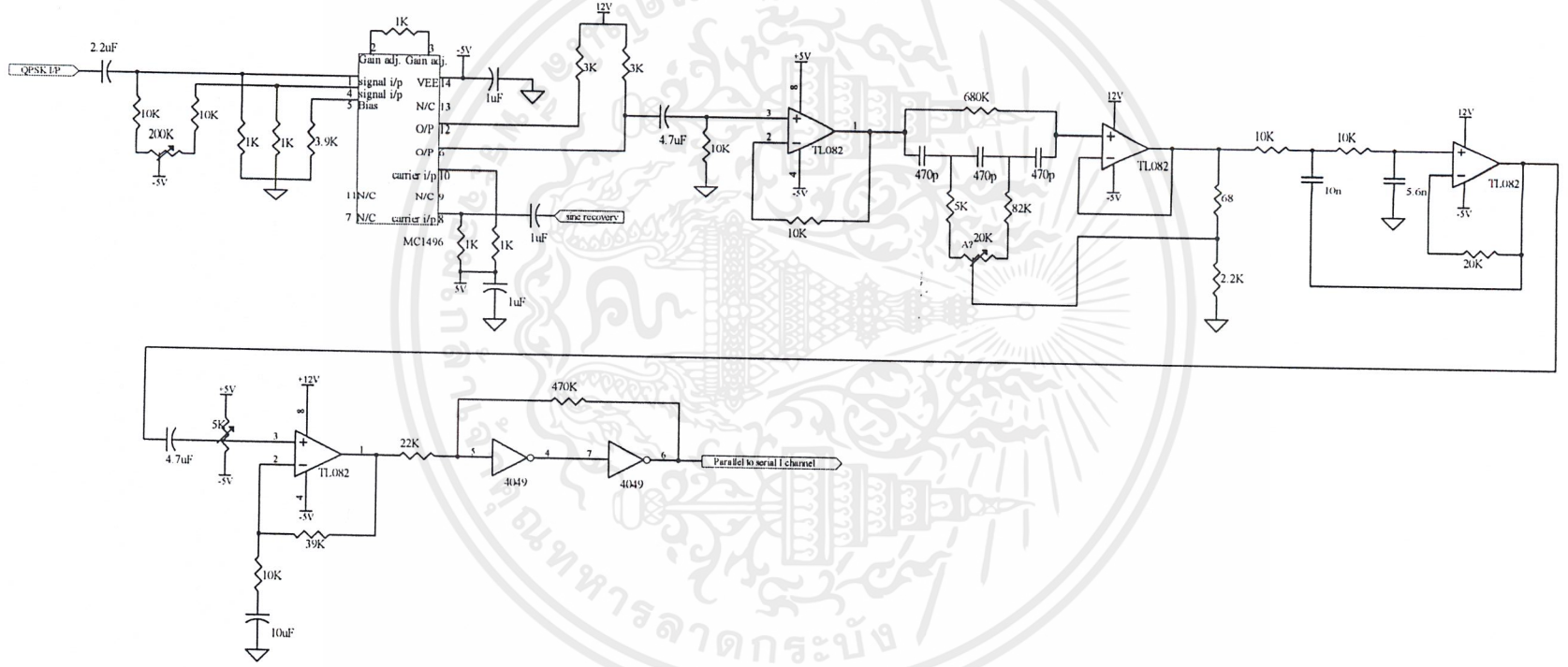
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



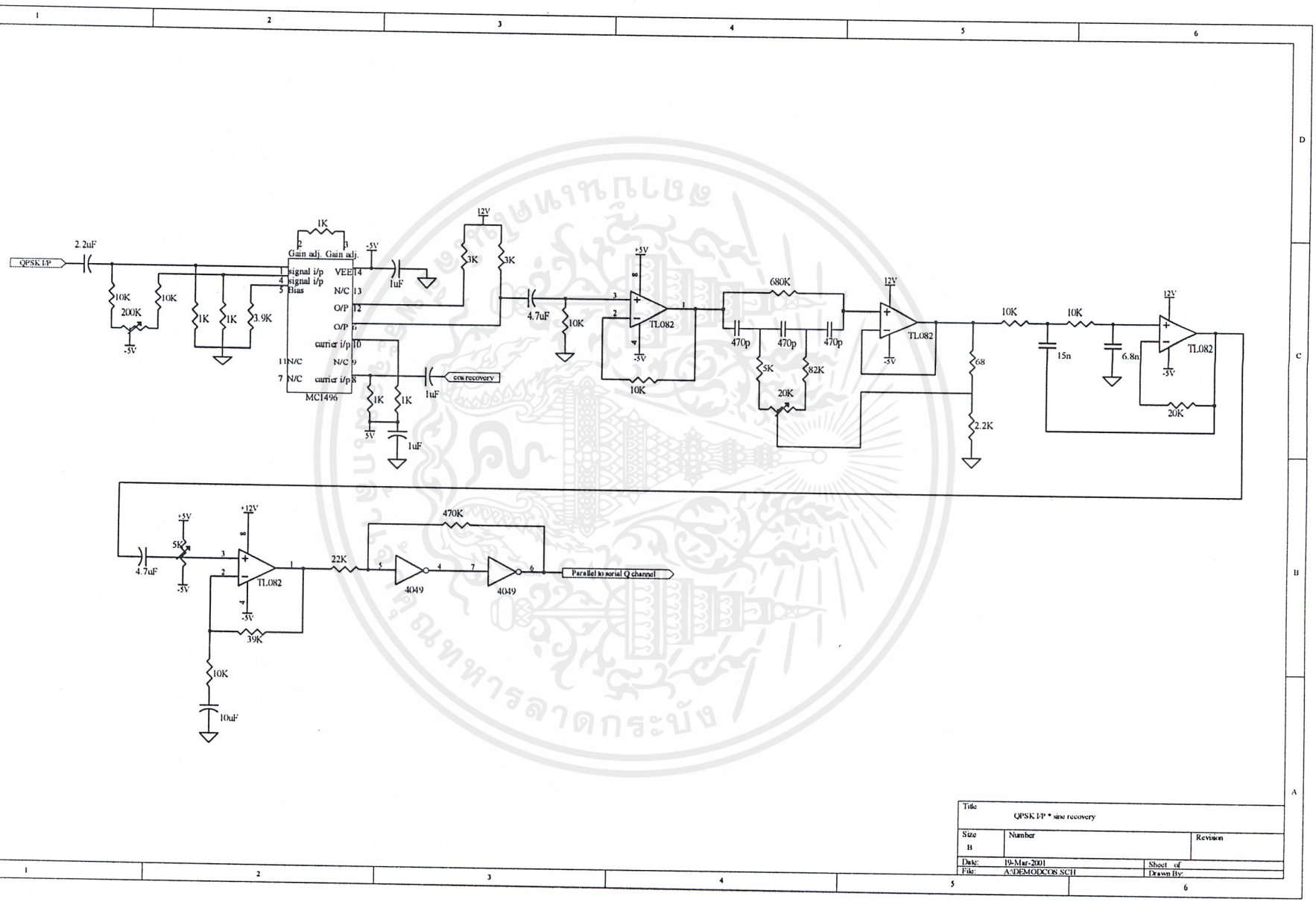
Title	Carrier Recovery Circuit	
Size: B	Number	Revision
Date: 19-Mar-2001		Sheet of
File: A:\MULTIPLE.SCH		Drawn By:



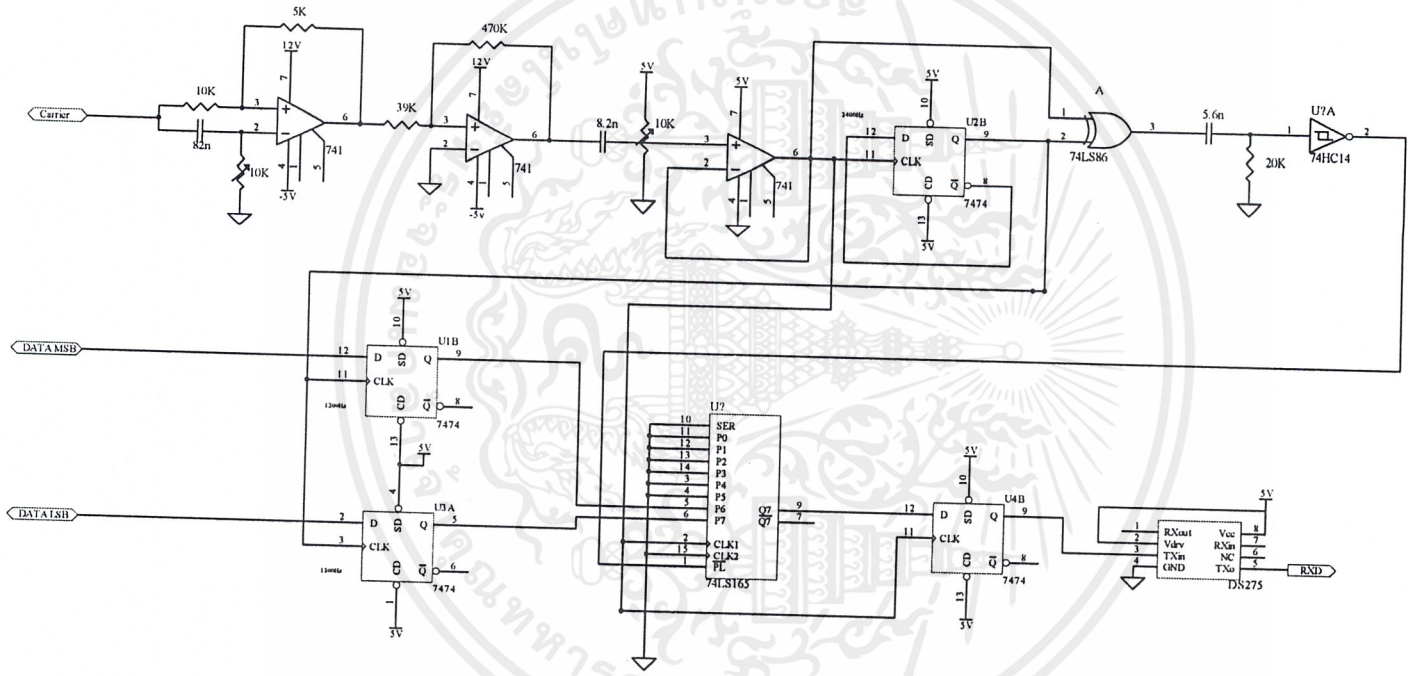
Title	carrier recovery	
Size: B	Number	Revision
Date: 20-Mar-2001	Sheet of	
File: C:\USERS\ไ¡Ê\CIRCUIT\CARRIER.SCH	Drawn By:	



Title	QPSK I/P * sine recovery		
Size B	Number		Revision
Date:	19-Mar-2001	Sheet of	
File:	A:\DEMODSIN.SCH	Drawn By:	



Title	QPSK I/P + sine recovery	
Size B	Number	Revision
Date: 19-Mar-2001		Sheet of
File: A:DEMODCOS.SCH		Drawn By:



Title	Paralell to serial	
Size: B	Number	Revision
Date: 19-Mar-2001		Sheet of
File: ASP2S.SCH		Drawn By:

กิตติกรรมประกาศ

โครงงานและรายงานประกอบโครงงานเล่มนี้สำเร็จลุล่วงไปด้วยดี ก็เพราะได้รับคำแนะนำและคำสั่งสอนอาจารย์ ประภากร สุวรรณ อีกทั้งได้รับคำแนะนำการแก้ปัญหา การระดมพลังทางความคิดมาจากเพื่อนๆ รุ่นพี่ปริญญาโท และตัวเองที่ขยันขันแข็ง ดังนั้น ผู้จัดทำจึงขอขอบคุณทุกๆ ท่านที่มีส่วนเกี่ยวข้องในความสำเร็จครั้งนี้ด้วย

.....

(นายโกศล คุณดิลกชัย)

.....

(นางสาวณัจจิมา วัชรเธียรสกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

- รศ.สมยศ จุณณะปิยะ, "การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ตระกูล MCS-51",สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง,กรุงเทพมหานคร,2543

- Don Lancaster, "CMOS cookbook", Haward W. Sans & CO, Inc, USA, 1977.

- P.R. Gray and R.G. Meyer, "Analysis and design of analog intergrated circuits", Wiley, New York, 1984.

- Sidney Soclof, "Design and applications of analog integralid circuits", Prentice Hall, 1991.

- Wayne Tomasi, "Electronics communications systems",Prentice-Hall,1988

- Gobind Daryanani, "Principle of active network synthesis and design ",Bell Laboratories,1976

- Don Lancaster, "Active-Filter cookbook" ,Haward W.Sams,1975

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC1496/D

MOTOROLA

MC1496, B

Balanced Modulators/ Demodulators

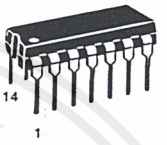
These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
  –50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

This device contains 8 active transistors.

BALANCED MODULATORS/DEMODULATORS

SEMICONDUCTOR TECHNICAL DATA



D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

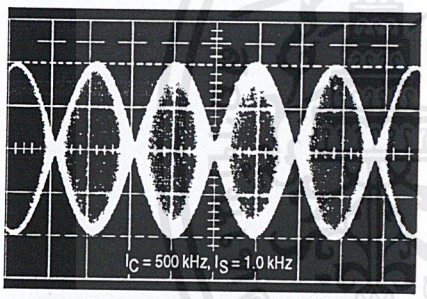


Figure 1. Suppressed Carrier Output Waveform

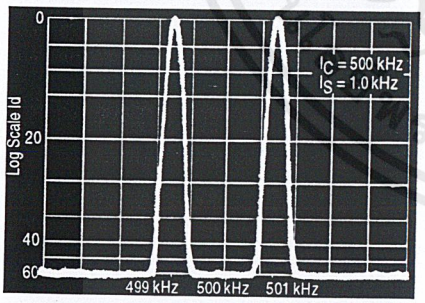


Figure 2. Suppressed Carrier Spectrum

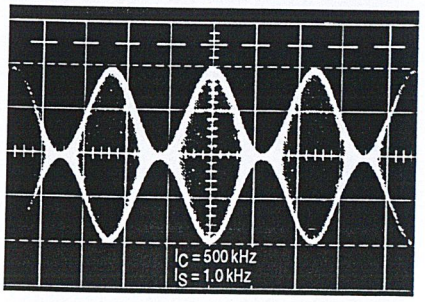
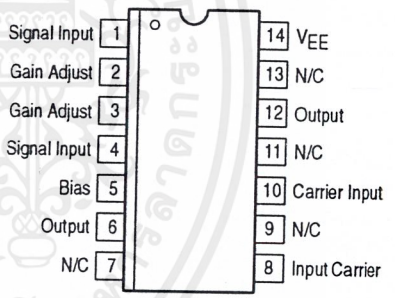


Figure 3. Amplitude Modulation Output Waveform

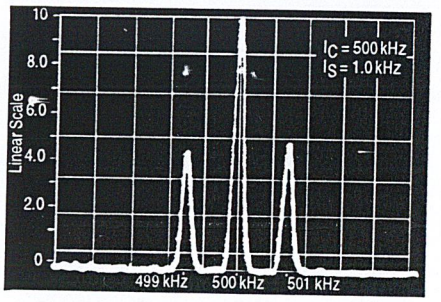
PIN CONNECTIONS



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC1496D	T_A = 0°C to +70°C	SO–14
MC1496P		Plastic DIP
MC1496BP	T_A = –40°C to +125°C	Plastic DIP

Figure 4. Amplitude–Modulation Spectrum



© Motorola, Inc. 1996

Rev 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V6 – V8, V10 – V1, V12 – V8, V12 – V10, V8 – V4, V8 – V1, V10 – V4, V6 – V10, V2 – V5, V3 – V5)	ΔV	30	Vdc
Differential Input Signal	V8 – V10 V4 – V1	+5.0 ±(5+I5R_e)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction–to–Air Plastic Dual In–Line Package	$R_{\theta JA}$	100	°C/W
Operating Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 Vdc, V_{EE} = –8.0 Vdc, I5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = T_{low} to T_{high}, all input and output characteristics are single–ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	Min	Typ	Max	Unit
Carrier Feedthrough	5	1	V_{CFT}				μVrms
V_C = 60 mVrms sine wave and offset adjusted to zero, f_C = 1.0 kHz				–	40	–	
f_C = 10 MHz				–	140	–	
V_C = 300 mVpp square wave:							mVrms
offset adjusted to zero, f_C = 1.0 kHz				–	0.04	0.4	
offset not adjusted, f_C = 1.0 kHz				–	20	200	
Carrier Suppression	5	2	V_{CS}				dB
f_S = 10 kHz, 300 mVrms							
f_C = 500 kHz, 60 mVrms sine wave				40	65	–	
f_C = 10 MHz, 60 mVrms sine wave				–	50	–	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 Ω)	8	8	BW_{3dB}				MHz
Carrier Input Port, V_C = 60 mVrms sine wave				–	300	–	
f_S = 1.0 kHz, 300 mVrms sine wave							
Signal Input Port, V_S = 300 mVrms sine wave							
|V_C| = 0.5 Vdc				–	80	–	
Signal Gain (V_S = 100 mVrms, f = 1.0 kHz; |V_C|= 0.5 Vdc)	10	3	A_{VS}	2.5	3.5	–	V/V
Single–Ended Input Impedance, Signal Port, f = 5.0 MHz	6	–					
Parallel Input Resistance			r_{ip}	–	200	–	kΩ
Parallel Input Capacitance			c_{ip}	–	2.0	–	pF
Single–Ended Output Impedance, f = 10 MHz	6	–					
Parallel Output Resistance			r_{op}	–	40	–	kΩ
Parallel Output Capacitance			c_{oo}	–	5.0	–	pF
Input Bias Current	7	–					μA
$I_{bS} = \frac{I1 + I4}{2}$; $I_{bC} = \frac{I8 + I10}{2}$			I_{bS} I_{bC}	– –	12 12	30 30	
Input Offset Current	7	–					μA
I_{ioS} = I1–I4; I_{ioC} = I8–I10			|I_{ioS}| |I_{ioC}|	– –	0.7 0.7	7.0 7.0	
Average Temperature Coefficient of Input Offset Current (T_A = –55°C to +125°C)	7	–	|TC_{Iio}|	–	2.0	–	nA/°C
Output Offset Current (I6–I9)	7	–	|I_{oo}|	–	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = –55°C to +125°C)	7	–	|TC_{Ioo}|	–	90	–	nA/°C
Common–Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	–	5.0	–	Vpp
Common–Mode Gain, Signal Port, f_S = 1.0 kHz, |V_C|= 0.5 Vdc	9	–	ACM	–	–85	–	dB
Common–Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V_{out}	–	8.0	–	Vpp
Differential Output Voltage Swing Capability	10	–	V_{out}	–	8.0	–	Vpp
Power Supply Current I6 +I12	7	6	I_{CC}	–	2.0	4.0	mAdc
I14			I_{EE}	–	3.0	5.0	
DC Power Dissipation	7	5	P_D	–	33	–	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal–input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input–signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single–ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \quad \text{where } r_e = \frac{26\ mV}{I5(mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I5.

$$V_S \leq I5\ R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1.0 V peak.

Common Mode Swing

The common–mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage–current products at each port, i.e. assuming V12 = V6, I5 = I6 = I12 and ignoring base current, P_D = 2 I5 (V6 – V14) + I5) V5 – V14 where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5. Assume:

$$I5 = I6 = I12,$$
$$I_B << I_C \text{ for all transistors}$$

then :

$$R5 = \frac{V - -\phi}{I5} - 500\ \Omega$$

where: R5 is the resistor between Pin 5 and ground
ϕ = 0.75 at T_A = +25°C

The MC1496 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common–Mode Quiescent Output Voltage

$$V6 = V12 = V+ - I5\ R_L$$

Biasing

The MC1496 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector–base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$$30\ Vdc \geq [(V6, V12) - (V8, V10)] \geq 2\ Vdc$$
$$30\ Vdc \geq [(V8, V10) - (V1, V4)] \geq 2.7\ Vdc$$
$$30\ Vdc \geq [(V1, V4) - (V5)] \geq 2.7\ Vdc$$

The foregoing conditions are based on the following approximations:

$$V6 = V12,\ V8 = V10,\ V1 = V4$$

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma 21C = \frac{i_o\ \text{(each sideband)}}{v_s\ \text{(signal)}} \Bigg|\ V_o = 0$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma 21S = \frac{i_o\ \text{(signal)}}{v_s\ \text{(signal)}} \Bigg|\ V_c = 0.5\ Vdc,\ V_o = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C1 and C2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

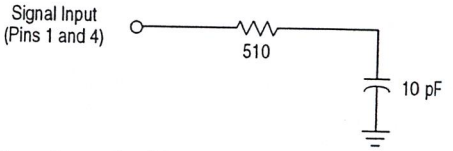
The output signal is taken from Pins 6 and 12 either balanced or single–ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single–ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source–tuned circuits that cause the oscillation.



An alternate method for low–frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

Figure 5. Carrier Rejection and Suppression

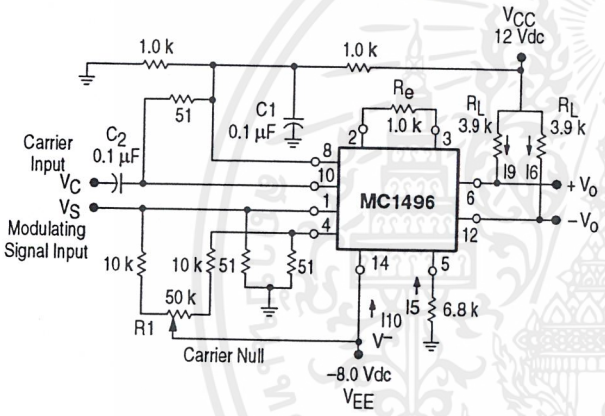
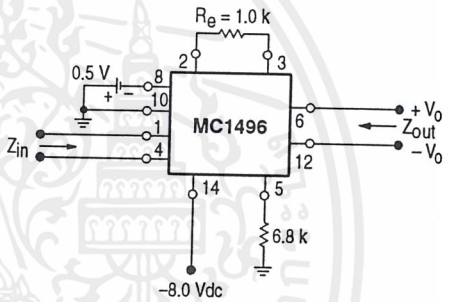


Figure 6. Input–Output Impedance



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

Figure 7. Bias and Offset Currents

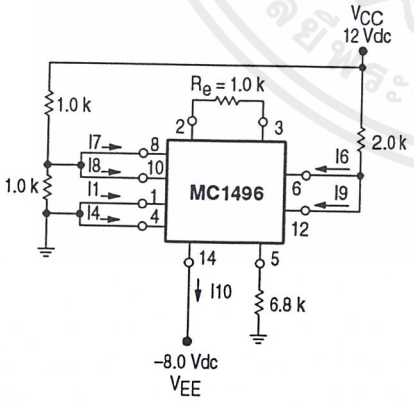
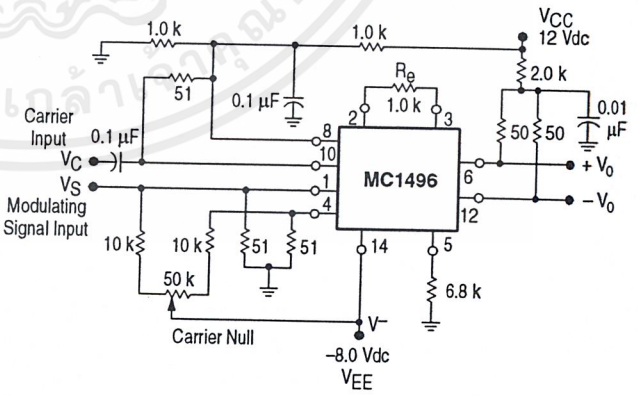


Figure 8. Transconductance Bandwidth



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Common Mode Gain

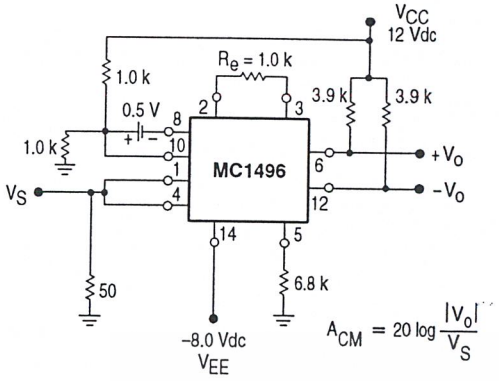
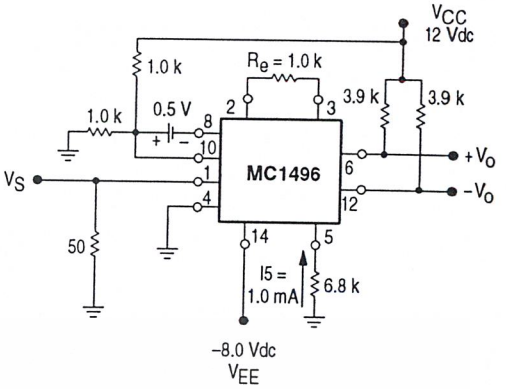


Figure 10. Signal Gain and Output Swing



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 11. Sideband Output versus Carrier Levels

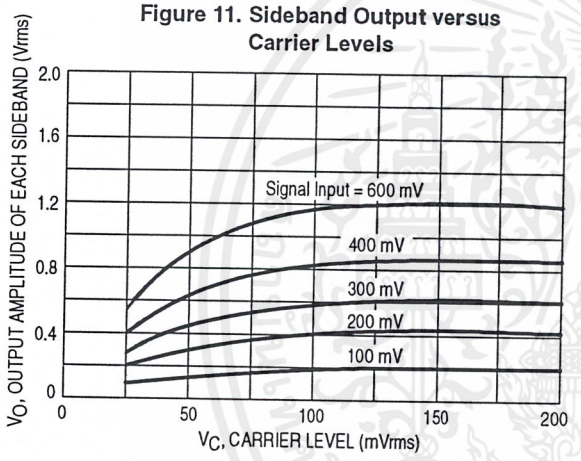


Figure 12. Signal–Port Parallel–Equivalent Input Resistance versus Frequency

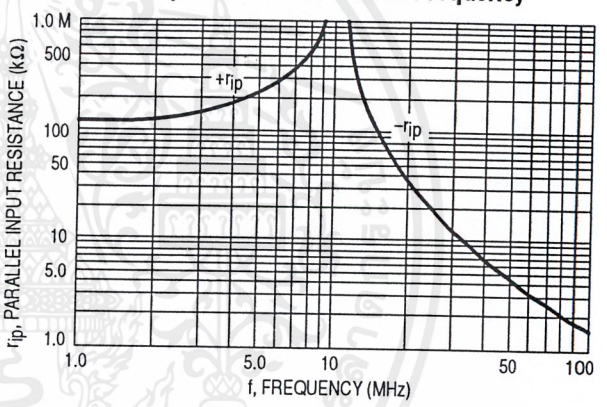


Figure 13. Signal–Port Parallel–Equivalent Input Capacitance versus Frequency

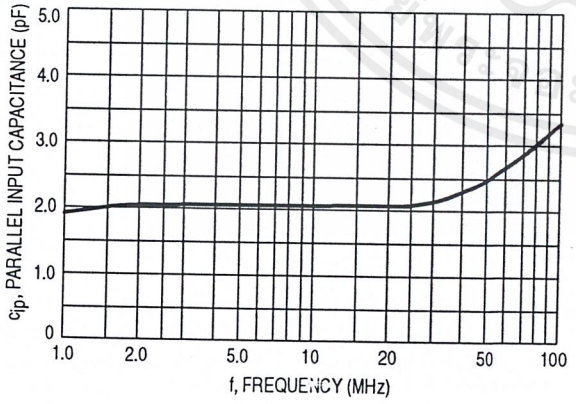
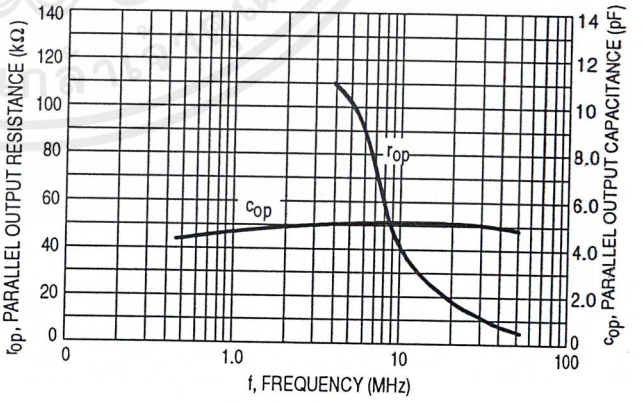


Figure 14. Single–Ended Output Impedance versus Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 15. Sideband and Signal Port Transadmittances versus Frequency

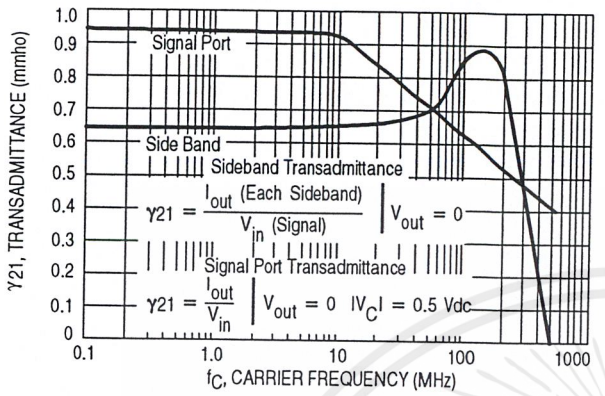


Figure 16. Carrier Suppression versus Temperature

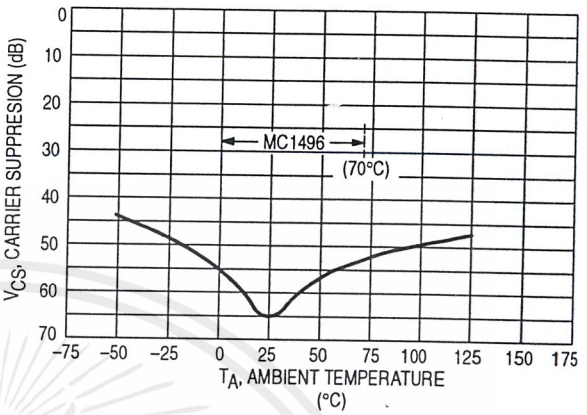


Figure 17. Signal–Port Frequency Response

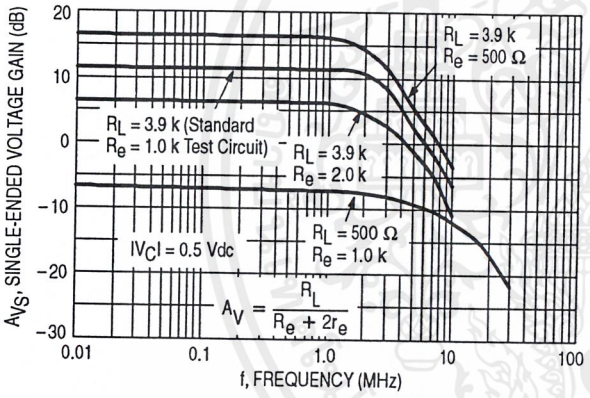


Figure 18. Carrier Suppression versus Frequency

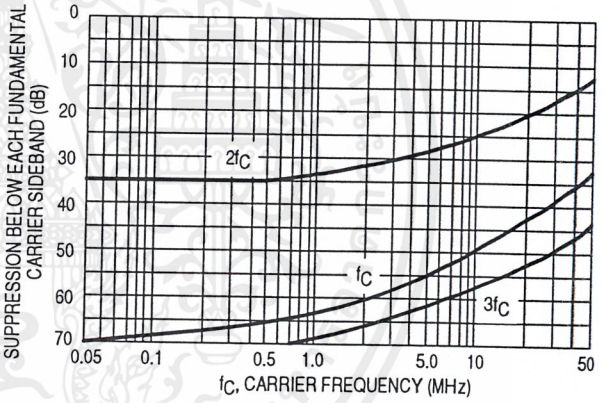


Figure 19. Carrier Feedthrough versus Frequency

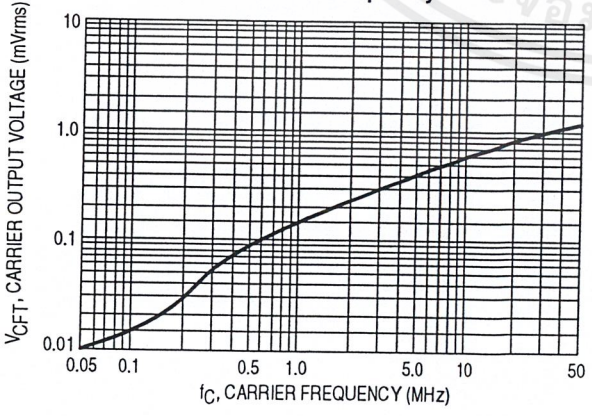
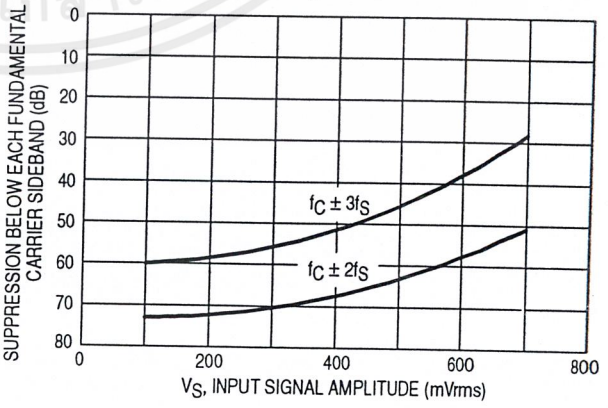


Figure 20. Sideband Harmonic Suppression versus Input Signal Level



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 21. Suppression of Carrier Harmonic Sidebands versus Carrier Frequency

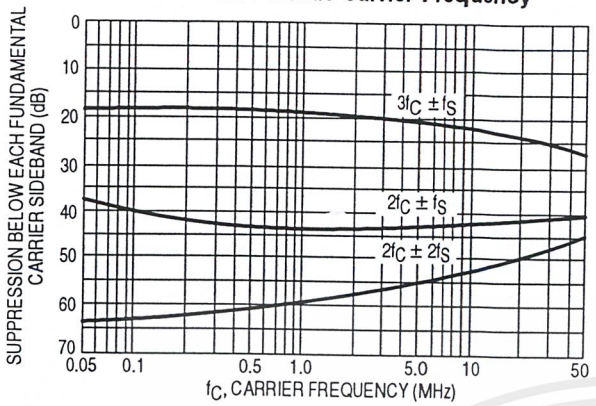
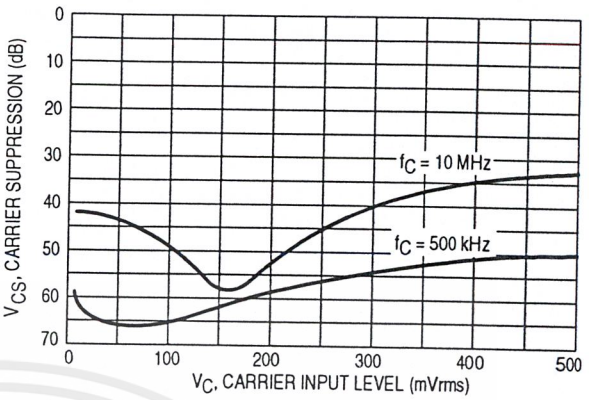


Figure 22. Carrier Suppression versus Carrier Input Level



OPERATIONS INFORMATION

The MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross–coupled so that full–wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low–level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high–level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I5)\,(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

Figure 23. Circuit Schematic

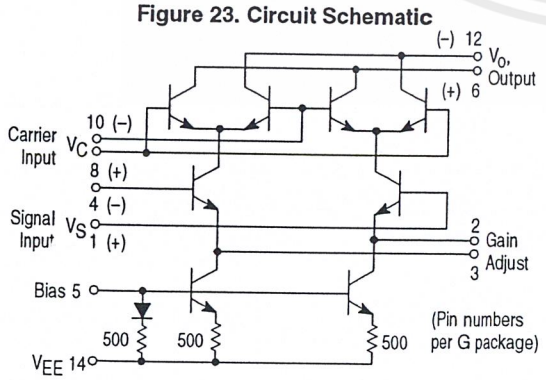
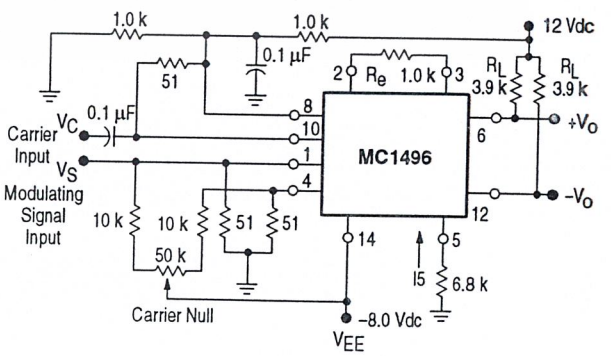


Figure 24. Typical Modulator Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 25. Voltage Gain and Output Frequencies

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low–level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High–level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low–level ac	$\frac{R_L V_{C(rms)}}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High–level ac	$\frac{0.637\ R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M, \ldots$

NOTES: 1. Low–level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single–ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between Pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at 25°C;

$$re \simeq \frac{26\ mV}{I_5\ (mA)}$$

7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.

$$\frac{KT}{q} \simeq 26\ mV \text{ at room temperature}$$

The gain from the modulating signal input port to the output is the MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1496 for a low–level modulating signal input and the following carrier input conditions:

1) Low–level dc
2) High–level dc
3) Low–level ac
4) High–level ac

These gains are summarized in Figure 25, along with the frequency components contained in the output signal.

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single 12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9.0 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 µF capacitors on Pins 8 and 10 should be increased to 1.0 µF. Also, the output filter at Pin 12 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1496, the emitter resistance between Pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

amplifier. If the carrier signal is modulated, a 300 mVrms input level is recommended.

Doubly Balanced Mixer

The MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mVrms.

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1496 will function as a phase detector. High–level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Figure 26. Balanced Modulator (12 Vdc Single Supply)

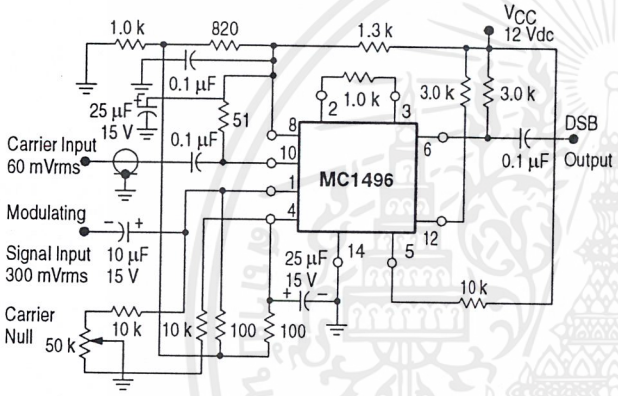


Figure 27. Balanced Modulator–Demodulator

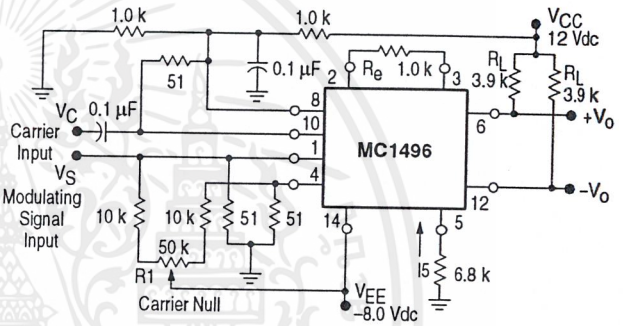


Figure 28. AM Modulator Circuit

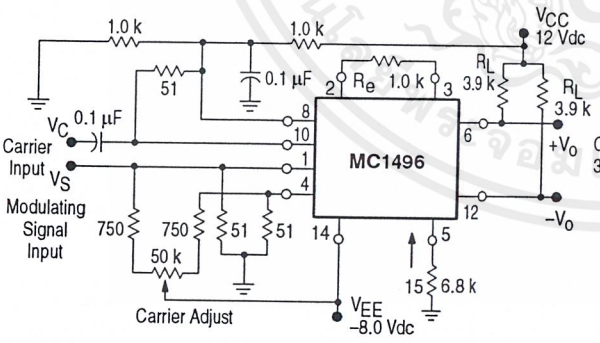
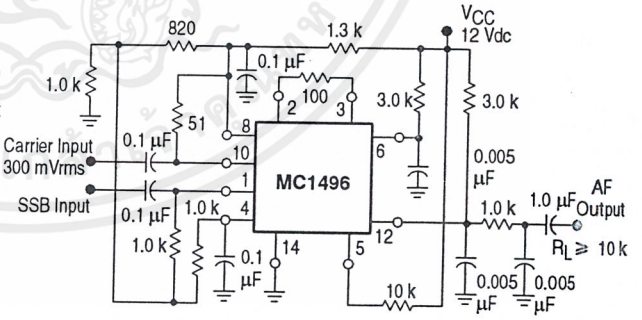
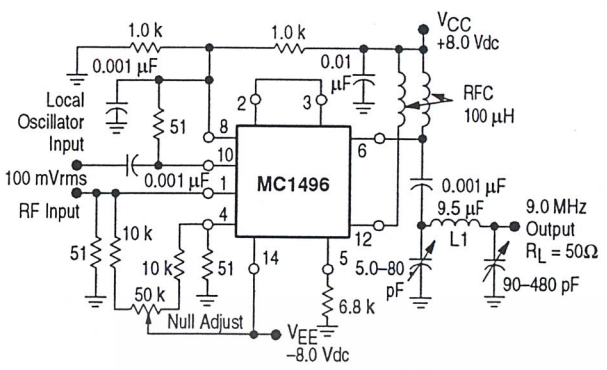


Figure 29. Product Detector (12 Vdc Single Supply)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 30. Doubly Balanced Mixer (Broadband Inputs, 9.0 MHz Tuned Output)



L1 = 44 Turns AWG No. 28 Enameled Wire, Wound on Micrometals Type 44–6 Toroid Core.

Figure 31. Low–Frequency Doubler

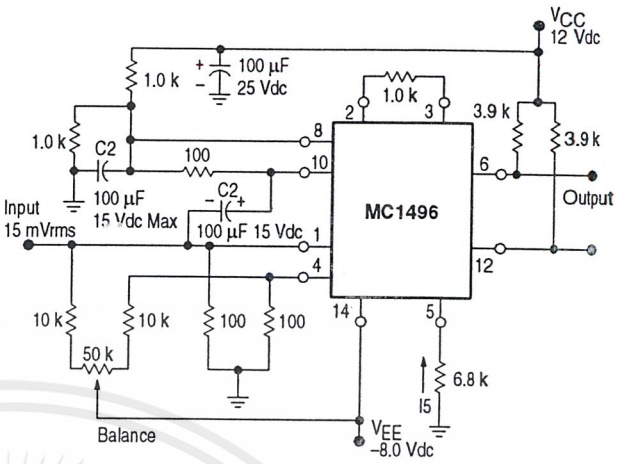
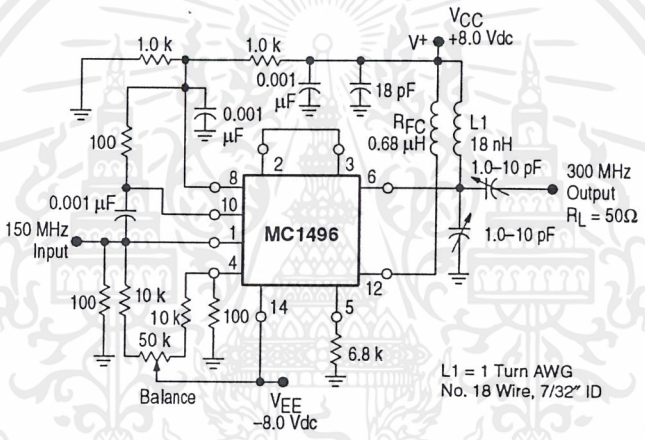
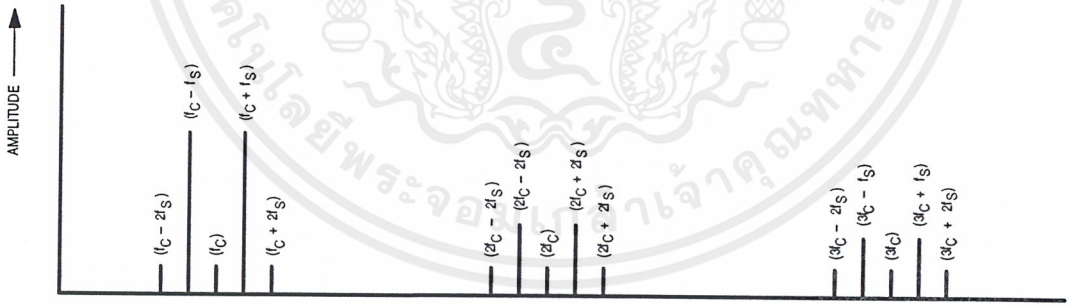


Figure 32. 150 to 300 MHz Doubler





DEFINITIONS

f_C	Carrier Fundamental	$f_C \pm nf_S$	Fundamental Carrier Sideband Harmonics
f_S	Modulating Signal	nf_C	Carrier Harmonics
$f_C \pm f_S$	Fundamental Carrier Sidebands	$nf_C \pm nf_S$	Carrier Harmonic Sidebands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14046B

Phase Locked Loop

The MC14046B phase locked loop contains two phase comparators, a voltage–controlled oscillator (VCO), source follower, and zener diode. The comparators have two common signal inputs, PCA_{in} and PCB_{in}. Input PCA_{in} can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self–bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal $PC1_{out}$, and maintains 90° phase shift at the center frequency between PCA_{in} and PCB_{in} signals (both at 50% duty cycle). Phase comparator 2 (with leading edge sensing logic) provides digital error signals, $PC2_{out}$ and LD, and maintains a 0° phase shift between PCA_{in} and PCB_{in} signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source–follower output SF_{out} with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage–to–frequency conversion and motor speed control.

- Buffered Outputs Compatible with MHTL and Low–Power TTL
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 to 18 V
- Pin–for–Pin Replacement for CD4046B
- Phase Comparator 1 is an Exclusive Or Gate and is Duty Cycle Limited
- Phase Comparator 2 switches on Rising Edges and is not Duty Cycle Limited

MAXIMUM RATINGS (Voltages Referenced to V_{SS}) (Note 2.)

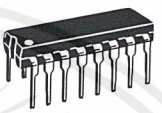
Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage Range	−0.5 to +18.0	V
V_{in}	Input Voltage Range (All Inputs)	−0.5 to V_{DD} + 0.5	V
I_{in}	DC Input Current, per Pin	±10	mA
P_D	Power Dissipation, per Package (Note 3.)	500	mW
T_A	Operating Temperature Range	−55 to +125	°C
T_{stg}	Storage Temperature Range	−65 to +150	°C

2. Maximum Ratings are those values beyond which damage to the device may occur.
3. Temperature Derating:
Plastic "P and D/DW" Packages: – 7.0 mW/°C From 65°C To 125°C

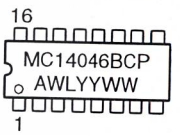
ON Semiconductor

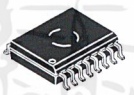
http://onsemi.com

MARKING DIAGRAMS

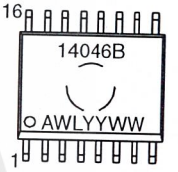


PDIP–16
P SUFFIX
CASE 648

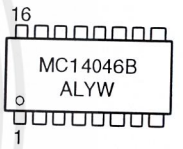




SOIC–16
DW SUFFIX
CASE 751G



SOEIAJ–16
F SUFFIX
CASE 966



A = Assembly Location
WL, L = Wafer Lot
YY, Y = Year
WW, W = Work Week

ORDERING INFORMATION

Device	Package	Shipping
MC14046BCP	PDIP–16	2000/Box
MC14046BDW	SOIC–16	2350/Box
MC14046BDWR2	SOIC–16	1000/Tape & Reel
MC14046BF	SOEIAJ–16	See Note 1.
MC14046BFEL	SOEIAJ–16	See Note 1.

1. For ordering information on the EIAJ version of the SOIC packages, please contact your local ON Semiconductor representative.

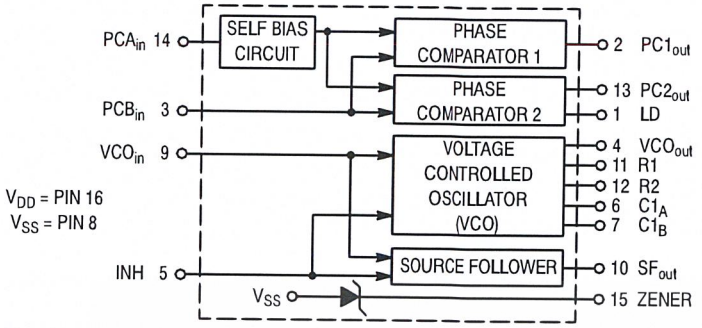
This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

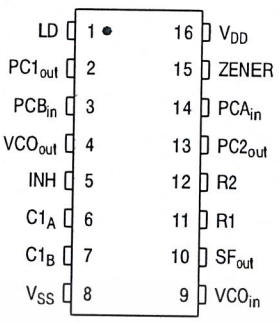
© Semiconductor Components Industries, LLC, 2000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM



PIN ASSIGNMENT



ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic		Symbol	V_{DD} Vdc	−55°C Min	−55°C Max	25°C Min	25°C Typ	25°C Max	125°C Min	125°C Max	Unit
Output Voltage V_{in} = V_{DD} or 0	"0" Level	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
			10	—	0.05	—	0	0.05	—	0.05	
			15	—	0.05	—	0	0.05	—	0.05	
V_{in} = 0 or V_{DD}	"1" Level	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
			10	9.95	—	9.95	10	—	9.95	—	
			15	14.95	—	14.95	15	—	14.95	—	
Input Voltage (4.)	"0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)			5.0	—	1.5	—	2.25	1.5	—	1.5	
(V_O = 9.0 or 1.0 Vdc)			10	—	3.0	—	4.50	3.0	—	3.0	
(V_O = 13.5 or 1.5 Vdc)			15	—	4.0	—	6.75	4.0	—	4.0	
(V_O = 0.5 or 4.5 Vdc)	"1" Level	V_{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
(V_O = 1.0 or 9.0 Vdc)			10	7.0	—	7.0	5.50	—	7.0	—	
(V_O = 1.5 or 13.5 Vdc)			15	11	—	11	8.25	—	11	—	
Output Drive Current		I_{OH}									mAdc
(V_{OH} = 2.5 Vdc)	Source		5.0	− 1.2	—	− 1.0	− 1.7	—	− 0.7	—	
(V_{OH} = 4.6 Vdc)			5.0	− 0.25	—	− 0.2	− 0.36	—	− 0.14	—	
(V_{OH} = 9.5 Vdc)			10	− 0.62	—	− 0.5	− 0.9	—	− 0.35	—	
(V_{OH} = 13.5 Vdc)			15	− 1.8	—	− 1.5	− 3.5	—	− 1.1	—	
(V_{OL} = 0.4 Vdc)	Sink	I_{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mAdc
(V_{OL} = 0.5 Vdc)			10	1.6	—	1.3	2.25	—	0.9	—	
(V_{OL} = 1.5 Vdc)			15	4.2	—	3.4	8.8	—	2.4	—	
Input Current		I_{in}	15	—	± 0.1	—	±0.00001	± 0.1	—	± 1.0	µAdc
Input Capacitance		C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package) Inh = PCA_{in} = V_{DD}, Zener = VCO_{in} = 0 V, PCB_{in} = V_{DD} or 0 V, I_{out} = 0 µA		I_{DD}	5.0	—	5.0	—	0.005	5.0	—	150	µAdc
			10	—	10	—	0.010	10	—	300	
			15	—	20	—	0.015	20	—	600	
Total Supply Current (5.) (Inh = "0", f_o = 10 kHz, C_L = 50 pF, R1 = 1.0 MΩ, R2 = ∞ R_{SF} = ∞, and 50% Duty Cycle)		I_T	5.0	I_T = (1.46 µA/kHz) f + I_{DD}							mAdc
			10	I_T = (2.91 µA/kHz) f + I_{DD}							
			15	I_T = (4.37 µA/kHz) f + I_{DD}							

4. Noise immunity specified for worst−case input combination.
   Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
   2.0 Vdc min @ V_{DD} = 10 Vdc
   2.5 Vdc min @ V_{DD} = 15 Vdc

5. To Calculate Total Current in General:

$$I_T \approx 2.2 \times V_{DD}\left(\frac{VCO_{in} - 1.65}{R1} + \frac{V_{DD} - 1.35}{R2}\right)^{3/4} + 1.6 \times \left(\frac{VCO_{in} - 1.65}{R_{SF}}\right)^{3/4} + 1 \times 10^{-3}\,(C_L + 9)\,V_{DD}\,f +$$

$$1 \times 10^{-1}\,V_{DD}^2\left(\frac{\text{100\% Duty Cycle of } PCA_{in}}{100}\right) + I_Q$$

where: I_T in µA, C_L in pF, VCO_{in}, V_{DD} in Vdc, f in kHz, and R1, R2, R_{SF} in MΩ, C_L on VCO_{out}.

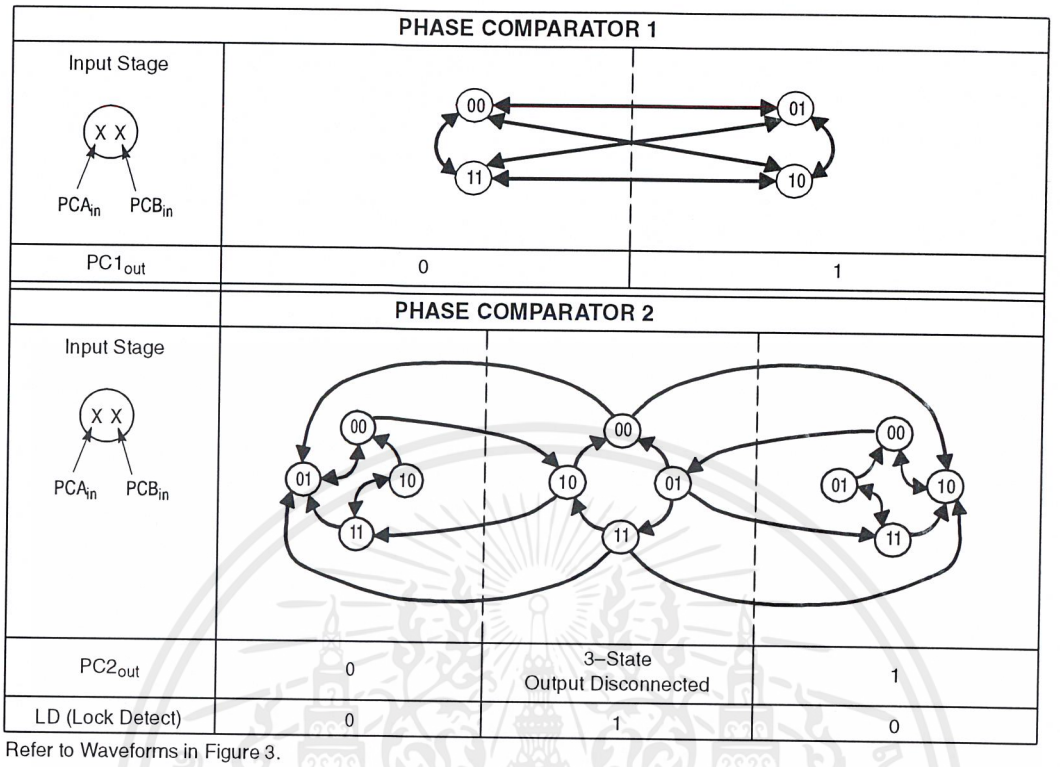
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS [6.] (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Minimum Device	Typical	Maximum Device	Units
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	—	180	350	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	—	90	150	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	—	65	110	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	—	100	175	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	—	50	75	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	—	37	55	
PHASE COMPARATORS 1 and 2						
Input Resistance — PCA_{in}	R_{in}	5.0	1.0	2.0	—	MΩ
		10	0.2	0.4	—	
		15	0.1	0.2	—	
— PCB_{in}	R_{in}	15	150	1500	—	MΩ
Minimum Input Sensitivity	V_{in}	5.0	—	200	300	mV p–p
AC Coupled — PCA_{in}		10	—	400	600	
C series = 1000 pF, f = 50 kHz		15	—	700	1050	
DC Coupled — PCA_{in}, PCB_{in}	—	5 to 15	See Noise Immunity			
VOLTAGE CONTROLLED OSCILLATOR (VCO)						
Maximum Frequency	f_{max}	5.0	0.5	0.7	—	MHz
(VCO_{in} = V_{DD}, C1 = 50 pF		10	1.0	1.4	—	
R1 = 5.0 kΩ, and R2 = ∞)		15	1.4	1.9	—	
Temperature — Frequency Stability	—	5.0	—	0.12	—	%/°C
(R2 = ∞)		10	—	0.04	—	
		15	—	0.015	—	
Linearity (R2 = ∞)	—					%
(VCO_{in} = 2.5 V ± 0.3 V, R1 > 10 kΩ)		5.0	—	1.0	—	
(VCO_{in} = 5.0 V ± 2.5 V, R1 > 400 kΩ)		10	—	1.0	—	
(VCO_{in} = 7.5 V ± 5.0 V, R1 ≥ 1000 kΩ)		15	—	1.0	—	
Output Duty Cycle	—	5 to 15	—	50	—	%
Input Resistance — VCO_{in}	R_{in}	15	150	1500	—	MΩ
SOURCE–FOLLOWER						
Offset Voltage	—	5.0	—	1.65	2.2	V
(VCO_{in} minus SF_{out}, RSF > 500 kΩ)		10	—	1.65	2.2	
		15	—	1.65	2.2	
Linearity	—					%
(VCO_{in} = 2.5 V ± 0.3 V, R_{SF} > 50 kΩ)		5.0	—	0.1	—	
(VCO_{in} = 5.0 V ± 2.5 V, R_{SF} > 50 kΩ)		10	—	0.6	—	
(VCO_{in} = 7.5 V ± 5.0 V, R_{SF} > 50 kΩ)		15	—	0.8	—	
ZENER DIODE						
Zener Voltage (I_Z = 50 μA)	V_Z	—	6.7	7.0	7.3	V
Dynamic Resistance (I_Z = 1.0 mA)	R_Z	—	—	100	—	Ω

6. The formula given is for the typical characteristics only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



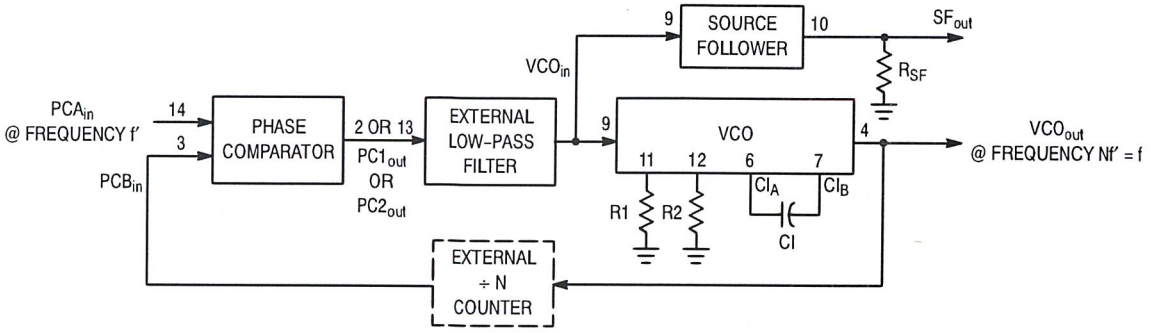
Refer to Waveforms in Figure 3.

Figure 1. Phase Comparators State Diagrams

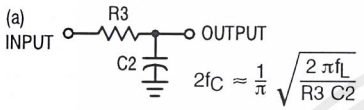
Characteristic	Using Phase Comparator 1	Using Phase Comparator 2
No signal on input PCA_{in}.	VCO in PLL system adjusts to center frequency (f_0).	VCO in PLL system adjusts to minimum frequency (f_{min}).
Phase angle between PCA_{in} and PCB_{in}.	90° at center frequency (f_0), approaching 0° and 180° at ends of lock range ($2f_L$)	Always 0° in lock (positive rising edges).
Locks on harmonics of center frequency.	Yes	No
Signal input noise rejection.	High	Low
Lock frequency range ($2f_L$).	The frequency range of the input signal on which the loop will stay locked if it was initially in lock; $2f_L$ = full VCO frequency range = $f_{max} - f_{min}$.	
Capture frequency range ($2f_C$).	The frequency range of the input signal on which the loop will lock if it was initially out of lock.	
	Depends on low–pass filter characteristics (see Figure 3). $f_C \leq f_L$	$f_C = f_L$
Center frequency (f_0).	The frequency of VCO_{out}, when VCO_{in} = 1/2 V_{DD}	
VCO output frequency (f). Note: These equations are intended to be a design guide. Since calculated component values may be in error by as much as a factor of 4, laboratory experimentation may be required for fixed designs. Part to part frequency variation with identical passive components is typically less than ± 20%.	$f_{min} = \frac{1}{R_2(C_1 + 32\ pF)}$ (V_{CO} input = V_{SS}) $f_{max} = \frac{1}{R_1(C_1 + 32\ pF)} + f_{min}$ (V_{CO} input = V_{DD}) Where: 10K ≤ R_1 ≤ 1 M 10K ≤ R_2 ≤ 1 M 100pF ≤ C_1 ≤ .01 μF	

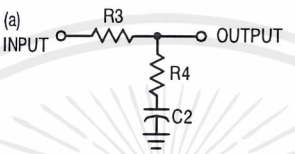
Figure 2. Design Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Typical Low–Pass Filters





Typically:

$$R_4 C_2 = \frac{6N}{f_{max}} - \frac{N}{2\pi\Delta f}$$

$$(R_3 + 3,000\Omega)\, C_2 = \frac{100N\Delta f}{f_{max}^2} - R_4 C_2$$

$$\Delta f = f_{max} - f_{min}$$

NOTE: Sometimes R3 is split into two series resistors each R3 ÷ 2. A capacitor C_C is then placed from the midpoint to ground. The value for C_C should be such that the corner frequency of this network does not significantly affect ω_n. In Figure B, the ratio of R3 to R4 sets the damping, R4 ≅ (0.1)(R3) for optimum results.

Definitions: N = Total division ratio in feedback loop

$K\phi = V_{DD}/\pi$ for Phase Comparator 1

$K\phi = V_{DD}/4\pi$ for Phase Comparator 2

$$K_{VCO} = \frac{2\pi\Delta f_{VCO}}{V_{DD} - 2\,V}$$

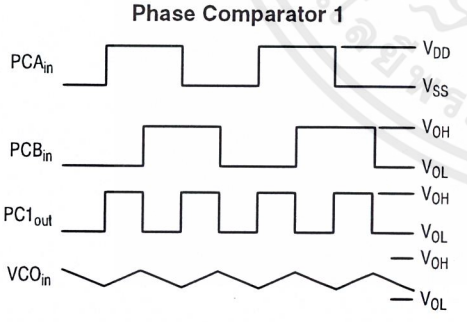
for a typical design $\omega_n \cong \frac{2\pi f_r}{10}$ (at phase detector input)

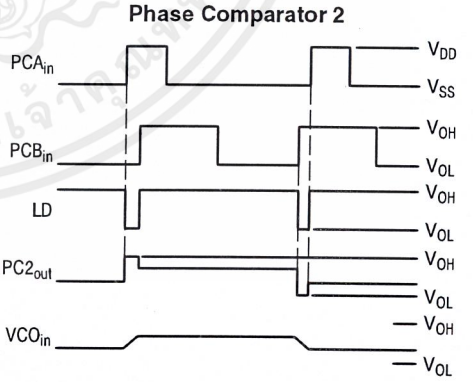
$\zeta \cong 0.707$

LOW–PASS FILTER

Filter A	Filter B
$\omega_n = \sqrt{\frac{K\phi KVCO}{NR_3C_2}}$	$\omega_n = \sqrt{\frac{K\phi KVCO}{NC_2(R_3 + R_4)}}$
$\zeta = \frac{N\omega_n}{2K\phi KVCO}$	$\zeta = 0.5\,\omega_n\,(R_3C_2 + \frac{N}{K\phi KVCO})$
$F(s) = \frac{1}{R_3C_2S + 1}$	$F(s) = \frac{R_3C_2S + 1}{S(R_3C_2 + R_4C_2) + 1}$

Waveforms





Note: for further information, see:

(1) F. Gardner, "Phase–Lock Techniques", John Wiley and Son, New York, 1966.
(2) G. S. Moschytz, "Miniature RC Filters Using Phase–Locked Loop", BSTJ, May, 1965.
(3) Garth Nash, "Phase–Lock Loop Design Fundamentals", AN–535, Motorola Inc.
(4) A. B. Przedpelski, "Phase–Locked Loop Design Articles", AR254, reprinted by Motorola Inc.

Figure 3. General Phase–Locked Loop Connections and Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้