สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

# ระบบส่งสัญญาณดิจิตอลแบบไร้สายสำหรับห้องไอซียู

# Digital Wireless Transmission for an ICU

โดย

นาย พงศ์พันธ์ จันทรวารี

นาย สมภพ คำผง

นาย สุเนตร หาวิชิต

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

ลชหมู่
ลชทะเบียน 36879
วัน, เดือน, ปี 29 ส.ค. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ระบบส่งสัญญาณดิจิตอลแบบไร้สายสำหรับห้องไอซียู

# Digital Wireless Transmission for an ICU


โดย

นาย พงศ์พันธ์ จันทรวารี 40013179

นาย สมภพ คำผง 40013189

นาย สุเนตร หาวิชิต 40013193


อาจารย์ที่ปรึกษา

ผศ. ประภากร สุวรรณะ

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2542

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบส่งสัญญาณดิจิตอลแบบไร้สายสำหรับห้องไอซียู


ผู้จัดทำ

นาย พงศ์พันธ์ จันทรวารี เลขประจำตัว 40013179

นาย สมภพ คำผง เลขประจำตัว 40013189

นาย สุเนตร หาวิชิต เลขประจำตัว 40013193

.....อาจารย์ที่ปรึกษา

(ผศ.ประภากร สุวรรณะ)


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

รายงานฉบับนี้ จัดทำขึ้นเพื่อประกอบการทำโครงงาน " ระบบส่งสัญญาณดิจิตอลแบบไร้สายสำหรับห้องไอซียู "ผู้จัดทำหวังว่าจะเป็นประโยชน์แก่ผู้ที่ต้องการศึกษาและพัฒนาเกี่ยวกับการส่งสัญญาณดิจิตอลแบบไร้สาย ซึ่งโครงงานนี้สำเร็จลงได้ก็เนื่องจากได้รับความกรุณา และคำแนะนำต่างๆ จากอาจารย์ ประภากร สุวรรณะ อย่างเป็นกันเอง จึงขอขอบพระคุณเป็นอย่างสูงไว้ ณ ที่นี้ด้วย นอกจากนี้ยังขอขอบคุณ เพื่อนๆพี่ๆ และผู้มีส่วนเกี่ยวข้องทุกคนที่คอยให้ความช่วยเหลือ ให้คำแนะนำ และกำลังใจด้วยดีเสมอมา หากรายงานฉบับนี้อำนวยประโยชน์แก่ผู้ที่ต้องการจะศึกษาก็ขอความดีนั้น จงสำเร็จแด่ครู อาจารย์ และผู้มีพระคุณทั้งหลายดังที่กล่าวมา และหากมีข้อผิดพลาดประการใด ผู้จัดทำขอน้อมรับไว้แต่เพียงผู้เดียว และขออภัยไว้ ณ ที่นี้ด้วย

.....

(นาย พงศ์พันธ์ จันทรวารี )

.....

(นาย สมภพ คำผง )

.....

(นาย สุเนตร หาวิชิต )

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ระบบส่งสัญญาณดิจิตอลแบบไร้สายสำหรับห้องไอซียู

นาย พงศ์พันธ์ จันทรวารี
นาย สมภพ คำผง
นาย สุเนตร หาวิชิต
ผศ. ประภากร สุวรรณะ (อาจารย์ที่ปรึกษา)
ปีการศึกษา 2542

## บทคัดย่อ

ปริญญานิพนธ์นี้ เป็นการออกแบบระบบการรับส่งสัญญาณความถี่ต่ำแบบไร้สาย สามารถนำไปประยุกต์ใช้งานในระบบโทรมาตรสำหรับห้องไอซียู โดยทางด้านส่งจะประกอบด้วยแถบความถี่สูงสุดของช่องสัญญาณที่ 1 คือ 200 เฮิรตซ์ และแถบความถี่สูงสุดของช่องสัญญาณที่ 2 กับช่องสัญญาณที่ 3 คือ 100 เฮิรตซ์ โดยจะนำสัญญาณอนาล็อกอินพุททั้ง 3 ช่องสัญญาณ ผ่านการมัลติเพล็กซ์แบบแบ่งเวลา (TDM) เพื่อแปลงเป็นสัญญาณดิจิตอลขนาด 8 บิต สัญญาณที่ได้จะเป็นสัญญาณดิจิตอลแบบขนาน แล้วนำมาเปลี่ยนเป็นสัญญาณข้อมูลแบบอนุกรมด้วยอัตราเร็ว 6,400 บิตต่อวินาที จากนั้นนำมามอดูเลตแบบเอฟเอสเค(FSK) เพื่อเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก และนำไปมอดูเลตแบบเอฟเอ็ม(FM) ในย่านความถี่ 81.0-87.0 เมกะเฮิรตซ์ ส่งออกอากาศ โดยทางด้านรับจะทำกระบวนการต่างๆย้อนกลับกับทางเครื่องส่งจนได้สัญญาณทั้ง 3 ช่องสัญญาณออกมา ซึ่งในการรับส่งสัญญาณทั้งเครื่องรับและเครื่องส่ง จะใช้หลักการของเฟสล็อกลูป (PLL) มาช่วยในการสังเคราะห์และควบคุมความถี่ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Digital Wireless Transmission for an ICU

Mr.Phongphun Juntharawaree
Mr.Somphop Komphong
Mr.Sunath Hawichit
Assist. Prof. Praphakorn Suwanna (Advisor)
Year 1999

## Abstract

This project is the digital wireless transmission for an ICU designed for wireless and low frequency signal transmission and reception system. It can be applied into telemetry system for an ICU monitor. The transmitter consists of 3 channels : CH.1, CH.2 and CH.3 .The first channel has the maximum desired frequency 200 Hz, 100 Hz for CH.2 and CH.3 ,respectively. These channel's signals will be passed through Time Division Multiplex (TDM), converted from analog signal into digital signal 8 bits. After the signals pass through TDM ,still be parallel digital signals. The signals will be changed into serial form with the rate of 6400 bits per second. Next, the signals will be modulated by Frequency Shift Keying (FSK) to convert the digital signals to analog signals then will be passed through Frequency Modulation (FM) in the Very High Frequency (VHF) band 81.0-87.0 MHz and transmit to an antenna. The Receiver has the reverse process as the transmitter process. Finally, we have got 3 channels of signal at receiver's output .The transmitter and receiver uses Phase Locked Loop (PLL) as the frequency synthesis and controls frequency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบาญ


| | หน้า |
|---|---|
| กิตติกรรมประกาศ | I |
| บทคัดย่อ | II |
| Abstract | III |
| สารบาญ | IV |
| **บทที่ 1** บทนำ | 1 |
| 1.1 วัตถุประสงค์ | 1 |
| 1.2 คุณสมบัติของปริญญานิพนธ์ | 2 |
| **บทที่ 2** การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลและการมัลติเพล็กซ์ | 5 |
| 2.1 การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล | 6 |
| 2.1.1 การสุ่ม (Sampling) | 6 |
| 2.1.2 การจัดระดับสัญญาณ (Quantization) | 10 |
| 2.2.3 การเข้ารหัส (Coding) | 11 |
| 2.2 การทำงานของอุปกรณ์ที่สำคัญในส่วนของภาคมัลติเพล็กซ์แบบแบ่งเวลา | 12 |
| 2.2.1 TL062 (LPF และส่วนของการยกระดับสัญญาณ | 12 |
| 2.2.2 ADC0808 | 14 |
| 2.2.3 74HC165 | 16 |
| 2.2.4 74123 | 18 |
| 2.2.5 74HC390 | 20 |
| 2.2.6 74HC4040 | 22 |
| 2.2.7 74HC4017 | 25 |
| **บทที่ 3** การมอดูเลตและดีมอดูเลตแบบเอฟเอสเค | 28 |
| 3.1 สัญญาณเอฟเอสเค | 28 |
| 3.2 การมอดดูเลตเอฟเอสเค | 29 |
| 3.3 แบนด์วิดท์ของเอฟเอสเค | 30 |
| 3.4 การทำงานของอุปกรณ์ต่างๆในส่วนของการมอดูเลตแบบเอฟเอสเค | 34 |
| 3.4.1 XR-2206 | 34 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.2 MC14066 37
3.5 การดีมอดดูเลตเอฟเอสเค 38
3.6 การทำงานของอุปกรณ์ต่างๆในส่วนของการดีมอดูเลตแบบเอฟเอสเค 39
3.6.1 XR-2211 39
3.6.2 74HC123 42
**บทที่ 4** การมอดูเลตและดีมอดูเลตทางความถี่ 45
4.1 สัญญาณเอฟเอ็ม 45
4.2 ไซด์แบนด์และแบนด์วิดท์ของเอฟเอ็ม 46
4.2.1 ดัชนีการมอดูเลต 47
4.2.2 ไซด์แบนด์ของเอฟเอ็ม 47
4.2.3 แบนด์วิดท์ของสัญญาณเอฟเอ็ม 48
4.3 การทำงานของอุปกรณ์ที่สำคัญในส่วนของภาคมอดูเลตแบบเอฟเอ็ม 49
4.3.1 MC1496 49
4.3.2 SA602 50
**บทที่ 5** การสังเคราะห์ความถี่ 53
5.1 วิธีการสังเคราะห์ความถี่ 53
5.2 หลักการของเฟสล็อกลูป 54
5.3 การใช้เฟสล็อกลูปในการสังเคราะห์ความถี่ 55
5.4 การสังเคราะห์ความถี่ในระบบรับส่งเอฟเอ็ม 57
5.5 คุณสมบัติของวงจรสังเคราะห์ความถี่ 57
5.6 วงจรออสซิลเลเตอร์แบบใช้ชิ้นผลึก 58
5.6.1 ชิ้นผลึกที่ใช้กำเนิดความถี่ 58
5.6.2 วงจรออสซิลเลเตอร์แบบใช้ชิ้นผลึก 60
5.7 การทำงานของอุปกรณ์ที่สำคัญในส่วนของภาคสังเคราะห์ความถี่ 62
5.7.1 MC145151 62
**บทที่ 6** การออกแบบและการทำงานของวงจร 63
6.1 บล็อกไดอะแกรมของโครงงานทั้งหมด 63
6.1.1 บล็อกไดอะแกรมภาคส่ง 64
6.1.2 บล็อกไดอะแกรมภาครับ 66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 การทำงานของวงจรภาคส่ง 69
6.2.1 การทำงานของวงจรภาคมัลติเพล็กซ์แบบแบ่งเวลา 70
6.2.2 การทำงานของวงจรภาคมอดูเลตแบบเอฟเอสเค 71
6.2.3 การทำงานของวงจรภาคมอดูเลตแบบเอฟเอ็ม 73
6.2.3 การทำงานของวงจรภาคขยายสัญญาณความถี่สูง 75
6.3 การทำงานของภาครับ 80
6.3.1 การทำงานของวงจรภาคดีมอดูเลตแบบเอฟเอ็ม 80
6.3.2 การทำงานของวงจรภาคดีมอดูเลตแบบเอฟเอสเค 81
6.3.3 การทำงานของวงจรภาคดีมัลติเพล็กซ์แบบแบ่งเวลา 81
**บทที่ 7** การทดลองและผลการทดลอง 86
7.1 การวัดสัญญาณที่จุดต่างๆของภาคส่ง 86
7.1.1 ภาคมัลติเพล็กซ์แบบแบ่งเวลา 86
7.1.2 ภาคมอดูเลตแบบเอฟเอสเค 89
7.1.3 ภาคมอดูเลตแบบเอฟเอ็ม 93
7.1.4 ภาคขยายสัญญาณความถี่สูง 96
7.2 การวัดสัญญาณที่จุดต่างๆของภาครับ 97
7.2.1 ภาคดีมอดูเลตแบบเอฟเอ็ม 97
7.2.2 ภาคดีมอดูเลตแบบเอฟเอสเค 99
7.2.3 ภาคดีมัลติเพล็กซ์แบบแบ่งเวลา 99
**บทที่ 8** สรุปและวิจารณ์ผลการทดลอง 100
บรรณานุกรม 102
ภาคผนวก 103

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบาญรูป

หน้า

รูปที่ 1.1 แสดงบล็อกไดอะแกรมของปริญญานิพนธ์ 2
รูปที่ 2.1 แสดงขั้นตอนพื้นฐานการเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล 5
รูปที่ 2.2 แสดงวงจรกรองความถี่ต่ำผ่าน 12
รูปที่ 2.3 แสดงวงจรยกระดับสัญญาณจุดกราวน์จาก 0 โวลท์ เป็น +2.5 โวลท์ 13
รูปที่ 2.4 แสดงการเปลี่ยนสัญญาณขนาด 3 บิต 15
รูปที่ 2.5 แสดงส่วนของวงจรเปลี่ยนสัญญาณโดยไอซีเบอร์ADC0808 16
รูปที่ 2.6 แสดง ไดอะแกรมเวลา(Timing diagram )ของไอซีเบอร์ ADC0808 16
รูปที่ 2.7 แสดงโครงสร้างไอซี 74HC165 17
รูปที่ 2.8 แสดงโครงสร้างบล็อกไดอะแกรมภายในและตารางการทำงานของไอซี 74HC165 17
รูปที่ 2.9 แสดงไดอะแกรมเวลาของ 74HC165 17
รูปที่ 2.10 แสดงวงจรส่วนเปลี่ยนสัญญาณดิจิตอลขนานเป็นอนุกรมความเร็ว 6400 เฮิรตซ์ 18
รูปที่ 2.11 แสดงโครงสร้างภายในและตารางการทำงานของไอซี 74123 19
รูปที่ 2.12 กราฟแสดงความสัมพันธ์ของค่า $R_{ext}$ และ $C_{ext}$ ที่ค่าช่วงเวลา $t_w$ ต่าง ๆ 19
รูปที่ 2.13 แสดงวงจรการทำงานของไอซีเบอร์ 74123 20
รูปที่ 2.14 แสดงลักษณะโครงสร้างของไอซีเบอร์ 74HC390 20
รูปที่ 2.15 แสดงวงจรส่วนหารความถี่โดยไอซีเบอร์ 74HC390 21
รูปที่ 2.16 แสดงรูปสัญญาณนาฬิกาจากการหารความถี่ด้วยไอซีเบอร์ 74HC390 21
รูปที่ 2.17 แสดงไดอะแกรมเวลาการรีเซ็ทของไอซีเบอร์ 74HC390 22
รูปที่ 2.18 แสดงลักษณะโครงสร้างของไอซีเบอร์ 74HC4040 23
รูปที่ 2.19 แสดงไดอะแกรมเวลาของไอซีเบอร์ 74HC4040 24
รูปที่ 2.20 แสดงวงจรในส่วนการสร้างสัญญาณ6400เฮิรตซ์ และ 800 เฮิรตซ์ โดยใช้ไอซีเบอร์ 74HC4040 24
รูปที่ 2.21 แสดงโครงสร้างภายในของไอซี 74HC4017 25
รูปที่ 2.21 (ต่อ) แสดงโครงสร้างของไอซีเบอร์ 74HC4017 25
รูปที่ 2.22 แสดงวงจรในส่วนของไอซีเบอร์ 74HC4017 26
รูปที่ 2.23 แสดงไดอะแกรมเวลาการทำงานของไอซี 74HC4017 26
รูปที่ 3.1 แสดงการมอดดูเลเตอร์ไบนารี เอฟเอสเค 30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.2 การมอดูเลตแบบเอฟเอสเค 31
รูปที่ 3.3 สเปคตรัมเอ้าท์พุทของเอฟเอสเค จากตัวอย่าง 1.1 34
รูปที่ 3.4 แสดงบล็อกไดอะแกรมของ XR-2206 35
รูปที่ 3.5 วงจรกำเนิดสัญญาณซายน์เอฟเอสเค ( Sinusoidal FSK generator) 35
รูปที่ 3.6 ตัวอย่างในการใช้งานของ MC 14066 37
รูปที่ 3.7 แสดงการทำงานของเฟสล็อกลูปเอฟเอสเคดีมอดูเลเตอร์ 38
รูปที่ 3.8 บล็อกไดอะแกรมของ XR-2211 39
รูปที่ 3.9 แสดงวงจรเอฟเอสเคดีมอดูเลเตอร์ที่ใช้งาน 42
รูปที่ 3.10 แสดงถึงโครงสร้างภายใน ไดอะแกรมเวลา และตารางความจริงของไอซี 74HC123 43
รูปที่ 4.1 สัญญาณเอฟเอ็ม 45
รูปที่ 4.2 กราฟแสดงแอมพลิจูดของพาหะและไซด์แบนด์ในระบบเอฟเอ็ม 47
รูปที่ 4.3 แสดงการกระจายคลื่นพาหะและไซด์แบนด์ที่ดัชนีการมอดูเลตค่าต่างๆ 48
รูปที่ 4.4 โครงสร้างภายในและตำแหน่งขาของไอซี MC1496 49
รูปที่ 4.5 วงจรภายในและบล็อกไดอะแกรมการทำงาน 51
รูปที่ 4.6 ลักษณะการต่อสัญญาณด้านอินพุท 51
รูปที่ 4.7 ลักษณะการต่อสัญญาณด้านเอ้าท์พุท 52
รูปที 5.1 บล็อกไดอะแกรมการทำงานของเฟสล็อกลูป 54
รูปที่ 5.2 บล็อกไดอะแกรมของการสังเคราะห์ความถี่โดยเฟสล็อกลูป 56
รูปที่ 5.3 ชิ้นผลึกที่ใช้กำเนิดความถี่ 59
รูปที่ 5.4 แสดงคุณสมบัติของค่ารีแอคแตนซ์ 60
รูปที่ 5.5 วงจรออสซิลเลเตอร์แบบต่อกัน 3 จุด 61
รูปที่ 5.6 ตารางแสดงรูปแบบพื้นฐานของวงจรออสซิลเลเตอร์แบบใช้ชิ้นผลึก 61
รูปที่ 5.7 แสดงวงจรพื้นฐานของวงจรออสซิลเลเตอร์แบบใช้ชิ้นผลึก 61
รูปที่ 5.8 บล็อกไดอะแกรมของไอซี MC145151 62
รูปที่ 6.1 แสดงบล็อกไดอะแกรมของโครงงาน 63
รูปที่ 6.2 แสดงบล็อกไดอะแกรมส่วนมัลติเพล็กซ์แบบแบ่งเวลา 64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 6.3 บล็อกไดอะแกรมการทำงานของส่วนมอดูเลตเอฟเอสเค 65
รูปที่ 6.4 บล็อกไดอะแกรมแสดงการทำงานของส่วนมอดูเลตแบบเอฟเอ็ม 66
รูปที่ 6.5 บล็อกไดอะแกรมการทำงานของส่วนดีมอดูเลตเอฟเอ็ม 67
รูปที่ 6.6 บล็อกไดอะแกรมการทำงานของส่วนดีมอดูเลตเอฟเอสเค 68
รูปที่ 6.7 บล็อกไดอะแกรมการทำงานของส่วนดีมัลติเพล็กซ์แบบแบ่งเวลา 69
รูปที่ 6.8 วงจรมัลติเพล็กซ์แบบแบ่งเวลา(Time Division Multiplex) 76
รูปที่ 6.9 วงจรมอดูเลตแบบเอฟเอสเค(FSK Modulate) 77
รูปที่ 6.10 วงจรมอดูเลตแบบเอฟเอ็ม(FM Modulate) 78
รูปที่ 6.11 วงจรขยายสัญญาณความถี่สูง(RF Amplifier) 79
รูปที่ 6.12 วงจรดีมอดูเลตเอฟเอ็ม(FM Demodulate) 83
รูปที่ 6.13 วงจรดีมอดูเลตแบบเอฟเอสเค(FSK Demodulate) 84
รูปที่ 6.14 วงจรดีมัลติเพล็กซ์แบบแบ่งเวลา(Time Division Demultiplex) 85
รูปที่ 7.1 สัญญาณนาฬิกาที่ใช้ในการสแกนสัญญาณทั้ง 3 ช่อง 87
รูปที่ 7.2 สัญญาณที่ได้จากคริสตอลความถี่ 10.24 เมกะเฮิรตซ์ 87
รูปที่ 7.3 สัญญาณนาฬิกาที่ใช้ในการควบคุมจังหวะการทำงาน 88
รูปที่ 7.4 สัญญาณที่ใช้ในการเลื่อนข้อมูลแบบอนุกรม 6,400บิตต่อวินาที 88
รูปที่ 7.5 สัญญาณสี่เหลี่ยมที่ใช้ในการสร้างสัญญาณซิงค์ 89
รูปที่ 7.6 สัญญาณข้อมูลที่สภาวะลอจิก "1" เมื่อผ่านการมอดูเลตแบบเอฟเอสเค 90
รูปที่ 7.7 สัญญาณข้อมูลที่สภาวะลอจิก "0" เมื่อผ่านการมอดูเลตแบบเอฟเอสเค 90
รูปที่ 7.8 สัญญาณซายน์ที่ได้จากวงจรกรองความถี่ต่ำผ่าน 4 อันดับ 91
รูปที่ 7.9 สัญญาณซิงค์ความถี่ 3.2 กิโลเฮิรตซ์ที่สภาวะลอจิก"1" 92
รูปที่ 7.10 สัญญาณซิงค์ความถี่ 0 เฮิรตซ์ที่สภาวะลอจิก"0" 92
รูปที่ 7.11 สัญญาณซายน์ความถี่ 90.0 เมกะเฮิรตซ์จากวงจรออสซิลเลเตอร์ 93
รูปที่ 7.12 สัญญาณเอ้าท์พุทจากวงจรมิกเซอร์เมื่อ VCO มีความถี่ 87.0 เมกะเฮิรตซ์ 94
รูปที่ 7.13 สัญญาณเอ้าท์พุทจากวงจรมิกเซอร์เมื่อ VCO มีความถี่ 81.0 เมกะเฮิรตซ์ 94
รูปที่ 7.14 สัญญาณความถี่ 81.0 เมกะเฮิรตซ์ที่ได้จากวงจร VCO 95
รูปที่ 7.15 สัญญาณความถี่ 87.0 เมกะเฮิรตซ์ที่ได้จากวงจร VCO 95
รูปที่ 7.16 สัญญาณที่ผ่านวงจรขยายสัญญาณความถี่สูง 97

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 7.17 สัญญาณความถี่ 91.7 เมกะเฮิรตซ์จากวงจร VCO 98

รูปที่ 7.18 สัญญาณความถี่ 97.7 เมกะเฮิรตซ์จากวงจร VCO 98

รูปที่ 7.19 สัญญาณความถี่กลางที่ได้จากการผสมของสัญญาณจาก LO และสัญญาณที่รับเข้ามา 99

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบาญตาราง


| | หน้า |
|---|---|
| ตารางที่ 2.1 รหัสตำแหน่งของสัญญาณแต่ละช่อง | 14 |
| ตารางที่ 3.1 ตาราง Bessel function | 33 |
| ตารางที่ 7.1 ตารางเลือกค่าความถี่วงจรของเฟสล็อกลูป | 96 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1
# บทนำ

ในปัจจุบันเทคโนโลยีทางการแพทย์ได้ก้าวสู่ความทันสมัยมาก มีการนำเทคโนโลยีชั้นสูงมาใช้ในการรักษาคนไข้ การรักษาของแพทย์ในปัจจุบันก็มีความน่าเชื่อถือมากขึ้น และสิ่งที่สำคัญประการหนึ่งในกระบวนการรักษาของแพทย์ก็คือ การเฝ้าดูอาการของคนไข้หลังการรักษา เพื่อจะดูว่าอาการของคนไข้เป็นอย่างไร หลังจากได้รับการรักษาของแพทย์ในแต่ละครั้ง

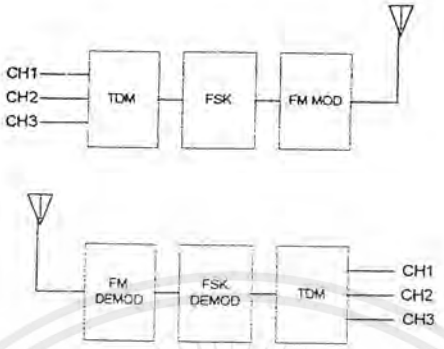
ซึ่งการเฝ้าดูอาการคนไข้ของแพทย์นั้น แพทย์ก็สามารถทำได้โดยการใช้เครื่องมือตรวจวัดการทำงานของอวัยวะต่าง ๆ ในร่างกายของคนไข้ ว่ามีการทำงานที่เป็นปกติหรือไม่ โดยในทางการแพทย์ก็จะมีเครื่องมือที่ทันสมัย เพื่อใช้ในการวัดสัญญาณในร่างกายของคนเรา ไม่ว่าจะเป็นสัญญาณคลื่นไฟฟ้าหัวใจ , สัญญาณคลื่นไฟฟ้าสมอง เป็นต้น

ถึงแม้จะมีเครื่องมือวัดสัญญาณในร่างกายที่ทันสมัย แต่ก็ต้องใช้เจ้าหน้าที่ในการเดินตรวจตราสัญญาณจากเครื่องวัด ตามเตียงของคนไข้ต่างๆ ซึ่งจะเห็นได้ว่าถ้าปริมาณของคนไข้มีจำนวนมาก จะเป็นการไม่สะดวกต่อการเฝ้าดูอาการของคนไข้แต่ละคน ดังนั้นการส่งสัญญาณทางการแพทย์ทางไกลแบบไร้สายจะมีประโยชน์อย่างมาก ทั้งทางด้านความสะดวกและความเร็วในการตรวจวัดอาการของคนไข้ ตลอดจนความเป็นระเบียบของสถานที่โดยแพทย์สามารถที่จะเฝ้าดูอาการคนไข้แต่ละคนจากห้องควบคุมเพียงห้องเดียวได้ และยังเป็นการแก้ปัญหาความต้องการบุคลากรที่ขาดแคลนอีกด้วย

## 1.1 วัตถุประสงค์

ปริญญานิพนธ์นี้ ต้องการนำสัญญาณที่ได้จากการวัดทางการแพทย์เช่น สัญญาณคลื่นไฟฟ้าหัวใจ (Electrocardiogram : ECG,EKG) , สัญญาณคลื่นไฟฟ้าสมอง ซึ่งเป็นสัญญาณความถี่ต่ำ โดยปกติจะมีความถี่ไม่เกิน 200 เฮิรตซ์ จำนวน 3 ช่องสัญญาณ ผ่านการมัลติเพล็กซ์สัญญาณแบบแบ่งตามเวลา เพื่อให้สามารถรวมจำนวนช่องสัญญาณเหลือเพียง 1 ช่องสัญญาณในการส่ง และเปลี่ยนสัญญาณอนาล็อกที่ได้ เป็นสัญญาณดิจิตอลขนาด 8 บิตแบบอนุกรม เพื่อมอดูเลตสัญญาณแบบเอฟเอสเค (FSK:Frequency Shift Keying) และในภาคส่งสัญญาณความถี่สูงเป็นการมอดูเลตแบบความถี่(Frequency Modulation:FM) ซึ่งจะใช้ความถี่พาหะย่าน 81.0–87.0 เมกะเฮิรตซ์ โดยความถี่ย่านดังกล่าวใช้การสังเคราะห์ความถี่ด้วยเฟสล็อกลูป และส่งออกอากาศแบบไร้สาย (Wireless) บล็อกไดอะแกรมการทำงานของปริญญานิพนธ์นี้แสดงได้ดังรูปที่ 1.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 1.1 แสดงบล็อกไดอะแกรมของปริญญานิพนธ์

ในส่วนของภาครับ สามารถรับสัญญาณที่ส่งมาจากเครื่องส่งและนำสัญญาณข้อมูลจากสัญญาณพาหะคืนกลับมาโดยข้อมูลข่าวสารที่ส่งมาไม่ผิดพลาด

ซึ่งปริญญานิพนธ์นี้ จะเป็นประโยชน์ต่อทางการแพทย์อย่างมาก ในการช่วยลดบุคลากรในการที่ต้องเฝ้าดูอาการของคนไข้ และยังเป็นการลดความผิดพลาดจากการที่มีจำนวนพนักงานมากด้วย และจากการที่ปริญญานิพนธ์นี้ เป็นเครื่องรับส่งความถี่สูงแบบไร้สาย ดังนั้นจึงสะดวกในการนำปริญญานิพนธ์นี้ไปประยุกต์ใช้งานในสถานที่ต่าง ๆ เพราะไม่ต้องมีการเดินสายสัญญาณเพิ่มในอาคารสถานที่

## 1.2 คุณสมบัติของปริญญานิพนธ์

ปริญญานิพนธ์นี้ ถูกออกแบบให้สามารถรับส่งสัญญาณได้พร้อมกัน 3 ช่องสัญญาณ โดยช่องสัญญาณที่ 1 (Channel 1 : CH1) สามารถรับส่งสัญญาณที่มีความถี่ได้ไม่เกิน 200 เฮิรตซ์ สำหรับช่องสัญญาณที่ 2 (Channel 2 : CH2) และช่องสัญญาณที่ 3 (Channel : CH3) สามารถรับส่งสัญญาณที่มีความถี่ได้ไม่เกิน 100 เฮิรตซ์ โดยสัญญาณทั้ง 3 ช่องสามารถรับเข้ามาได้พร้อมกัน ผ่านการมัลติเพล็กซ์สัญญาณแบบแบ่งตามเวลา (Time Division Multiplex :TDM ) เพื่อที่จะสามารถรวมสัญญาณทั้ง 3 ช่องส่งออกโดยคลื่นพาหะเดียว นั่นคือเหลือ 1 ช่องสัญญาณในการส่ง สัญญาณทั้ง 3 ช่องสัญญาณ ที่ผ่านการมัลติเพล็กซ์ จะถูกส่งต่อไปยังส่วนแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (Analog to Digital Converter : ADC) เพื่อแปลงสัญญาณอนาล็อกที่ได้จากการมัลติเพล็กซ์ให้เป็นสัญญาณดิจิตอล

ในการมัลติเพล็กซ์สัญญาณแบบแบ่งตามเวลานั้น โดยทฤษฎีของการสุ่มสัญญาณ (Sampling) ต้องใช้สัญญาณสุ่มที่มีอัตราการสุ่ม (Sampling rate) มากกว่า 2 เท่า ของความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ต้องการสุ่ม เพื่อที่จะสามารถนำสัญญาณกลับคืนมาได้ในภาครับ นั่นคือสำหรับสัญญาณช่องที่ 1 จะต้องใช้อัตราการสุ่มสัญญาณที่ 400 เฮิรตซ์ และส่วนของสัญญาณช่องที่ 2 และ 3 จะต้องใช้อัตราการสุ่มที่ 200 เฮิรตซ์ เพราะฉะนั้นใน 1 เฟรมข้อมูล (Frame) จึงต้องใช้อัตราการสุ่มสัญญาณเป็น 800 เฮิรตซ์ สัญญาณที่ได้จากการมัลติเพล็กซ์ จะถูกส่งต่อไปยังภาคเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (A/D Converter) ต่อไป

สัญญาณที่ผ่าน ADC แล้ว จะเป็นสัญญาณดิจิตอลแบบขนาน เราสามารถที่จะแปลงให้เป็นสัญญาณดิจิตอลแบบอนุกรมได้โดยใช้การเลื่อนข้อมูล(Shift register:Parallel-in/Serial-out) เนื่องจาก ADC ที่เราใช้เป็นแบบ 8 บิต นั่นคือในการสุ่มสัญญาณอนาล็อก 1 ครั้งเราจะได้สัญญาณดิจิตอล 8 บิตแบบขนาน 1 ไบต์ (Byte) ดังนั้นทุก ๆ การสุ่มสัญญาณ 1 ครั้งเราจะต้องเลื่อนข้อมูล (Shift) ออกไป 8 ครั้ง แสดงให้เห็นว่าในอัตราการสุ่มสัญญาณที่ 800 เฮิรตซ์ เราจะต้องเลื่อนข้อมูลด้วยอัตรา 800 เฮิรตซ์ x 8 = 6,400 เฮิรตซ์ นั่นคือสัญญาณดิจิตอลที่ได้จะมีอัตราการส่งออกที่ความเร็วเท่ากับ 6,400 บิตต่อวินาที สัญญาณที่ได้จะส่งต่อไปยังภาคมอดูเลตแบบเอฟเอสเคต่อไป

ภาคมอดูเลตแบบเอฟเอสเค จะเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก ก่อนที่จะส่งต่อไปยังภาคมอดูเลตความถี่สูง โดยใช้การมอดูเลตทางความถี่ (Frequency Modulation : FM) ความถี่ของคลื่นพาหะจะอยู่ในย่าน 81.0-87.0 เมกะเฮิรตซ์ ควบคุมความถี่ โดยการสังเคราะห์ความถี่ด้วยเฟสล็อกลูป (Phase Locked Loop:PLL) ซึ่งจะใช้ไอซีเบอร์ MC145151 ทำหน้าที่เป็นตัวเฟสล็อกลูป สัญญาณที่ถูกมอดูเลตแล้วจะถูกส่งต่อไปยังภาคขยายสัญญาณความถี่สูง(RF Amplifier)เพื่อส่งออกอากาศต่อไป

ในส่วนของภาครับจะมีภาครับสัญญาณเอฟเอ็มเป็นภาคแรก แล้วจะทำการดีเทค(Detect) สัญญาณคลื่นพาหะออก เหลือแต่สัญญาณที่ถูกมอดูเลตแบบเอฟเอสเค แล้วจึงทำการดีมอดูเลตแบบเอฟเอสเค ก็จะได้สัญญาณออกมาเป็นสัญญาณดิจิตอลของข้อมูลและสัญญาณซิงค์ สัญญาณดิจิตอลที่ได้จะถูกส่งผ่านไปยังภาคดีมัลติเพล็กซ์สัญญาณ เพื่อแยกสัญญาณของแต่ละช่องสัญญาณออกมาจากกัน โดยจะต้องแปลงข้อมูลจากสัญญาณในแบบอนุกรมให้เป็นแบบขนานโดยการเลื่อนข้อมูล (Shift Register : Serial-in/Parallel-out) แล้วทำการแปลงสัญญาณดิจิตอลที่ได้เป็นสัญญาณอนาล็อกโดยภาคเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก (Digital to Analog Converter :DAC) สัญญาณอนาล็อกที่ได้ จะถูกส่งผ่านวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter :LPF) เพื่อให้ได้สัญญาณมีรูปร่างใกล้เคียงกับสัญญาณข้อมูลที่ส่งมาจากเครื่องส่งมากที่สุด

เนื้อหาในปริญญานิพนธ์ฉบับนี้ประกอบด้วย

บทที่ 2 การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลและการมัลติเพล็กซ์

บทที่ 3 การมอดูเลตและดีมอดูเลตแบบเอฟเอสเค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

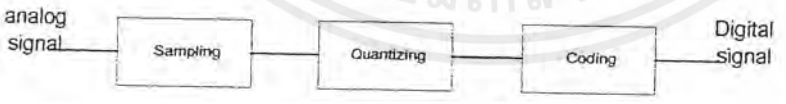
บทที่ 4 การมอดูเลตและการดีมอดูเลตทางความถี่
บทที่ 5 การสังเคราะห์ความถี่
บทที่ 6 การทำงานของวงจรและการออกแบบ
บทที่ 7 การทดลองและผลการทดลอง
บทที่ 8 สรุปและวิจารณ์ผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2
# การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลและการมัลติเพล็กซ์

ในชีวิตประจำวันของเราจะอยู่กับสัญญาณต่างๆ มากมาย เช่น สัญญาณเสียง สัญญาณด้านการแพทย์ สัญญาณในระบบโทรคมนาคมต่าง ๆ โดยทั้งหมดที่กล่าวมาเป็นสัญญาณอนาล็อก คือเป็นสัญญาณที่เกิดขึ้นอย่างต่อเนื่อง ณ เวลาต่าง ๆ จุดสำคัญของปริญญานิพนธ์นี้มุ่งเน้นไปที่สัญญาณทางการแพทย์ โดยเฉพาะสัญญาณคลื่นไฟฟ้าหัวใจ (Electrocardiogram : ECG,EKG) ในการประมวลผลสัญญาณอนาล็อกแบบดิจิตอล เราจำเป็นจะต้องเปลี่ยนสัญญาณอนาล็อกให้อยู่ในรูปแบบของสัญญาณดิจิตอลเป็นอันดับแรก เรียกวิธีการนี้ว่าการเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (Analog to Digital Conversion) และอุปกรณ์ที่ทำหน้าที่เปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลนี้เรียกว่า ตัวเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (Analog to Digital Converter )หรือเรียกย่อๆว่า ADC

การเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล สามารถแสดงหลักการพื้นฐานได้ 3 ขั้นตอน คือ การสุ่มสัญญาณ (Sampling) การจัดระดับสัญญาณ (Quantization) และสุดท้ายคือการเข้ารหัสสัญญาณ (Coding) เมื่อเราให้สัญญาณอนาล็อกผ่านกระบวนการทั้ง 3 ขั้นตอนแล้ว เราจะได้สัญญาณดิจิตอลดังต้องการ แสดงขั้นตอนพื้นฐานทั้ง 3 ขั้นตอนด้วยบล็อกไดอะแกรมดังรูปที่ 2.1




รูปที่ 2.1 แสดงขั้นตอนพื้นฐานการเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.1 การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

ในการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลมีหลักการพื้นฐาน 3 ขั้นตอน คือ

- การสุ่มสัญญาณ (Sampling)
- การจัดระดับสัญญาณ (Quantization)
- การเข้ารหัสสัญญาณ (Coding)

ขั้นตอนทั้ง 3 ขั้นตอนนั้นเป็นเพียงหลักการพื้นฐานในการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล ถ้าเราต้องการสัญญาณดิจิตอลที่มีค่าความผิดพลาดของสัญญาณต่ำ จะต้องมีความซับซ้อนมากพอสมควร ในแต่ละขั้นตอนต่าง ๆ

### 2.1.1 การสุ่ม (Sampling)

การสุ่มสัญญาณเป็นการเปลี่ยนสัญญาณอนาล็อกให้เป็นสัญญาณดิสกรีตทางเวลา โดยการใช้สัญญาณอนาล็อกอีกสัญญาณหนึ่งเป็นสัญญาณสุ่มที่ช่วงเวลาต่าง ๆ ซึ่งการสุ่มมีหลายวิธีแต่มีวิธีที่นิยมใช้กันมากคือ การสุ่มที่เป็นคาบเวลา (Uniform sampling) อธิบายได้โดยใช้ความสัมพันธ์ดังสมการที่ (2.1)

$$X(n) = X_a(nT) \qquad (2.1)$$

เมื่อ X(n) คือสัญญาณดิสกรีตทางเวลาที่ได้จากการสุ่มสัญญาณอนาล็อก Xa(t) ทุก ๆ ช่วงเวลา T วินาที ช่วงเวลา T ที่ใช้ในการสุ่มสัญญาณเรียกว่าช่วงเวลาการสุ่ม (Sampling period) ซึ่งส่วนกลับของค่าช่วงเวลาการสุ่ม 1/T = Fs เรียกว่าอัตราการสุ่ม (Sampling rate) หรือความถี่ของการสุ่ม (Sampling frequency) จากการสุ่มสัญญาณแบบรายคาบ ทำให้เราได้เห็นความสัมพันธ์ระหว่างตัวแปร t ที่เป็นของสัญญาณอนาล็อก กับตัวแปร n ที่เป็นของสัญญาณดีสกรีต ซึ่งจะมีความสัมพันธ์กันแบบเชิงเส้นด้วยการสุ่มสัญญาณทุก ๆ ช่วงเวลา T ดังสมการที่ (2.2)

$$t = nT = \frac{n}{T} \qquad (2.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากความสัมพันธ์ดังกล่าวทำให้เราได้ความสัมพันธ์ระหว่างความถี่ของสัญญาณอนาล็อก F กับความถี่ของสัญญาณดิสกรีตทางเวลา f แสดงให้เห็นความสัมพันธ์ดังกล่าวได้โดย สมมุติว่าเรามีสัญญาณอนาล็อกอยู่ในรูปสมการที่ (2.3)

$$X_a(t) = A \cos(2\pi Ft + \theta) \tag{2.3}$$

ถูกสุ่มแบบรายคาบด้วยอัตราการสุ่ม Fs = 1/T เฮิรตซ์ จะได้สัญญาณจากการสุ่มเป็น

$$X_a(nT) = X(n) = A \cos(2\pi FnT + \theta) \tag{2.4}$$

$$= A \cos\left(\frac{2\pi nF}{F_s} + \theta\right) \tag{2.5}$$

สมการข้างบนทำให้เราเห็นความสัมพันธ์ของความถี่สัญญาณดิสกรีตทางเวลาเกิดจากการสุ่มสัญญาณอนาล็อกด้วยสัญญาณอนาล็อก มีความสัมพันธ์กันแบบเชิงเส้น

$$f = \frac{F}{F_s} \tag{2.6}$$

ซึ่งความถี่ของสัญญาณอนาล็อกเกิดขึ้นได้ในช่วงของความถี่ที่เป็นอนันต์ (Infinity)

$$-\infty < F < \infty \tag{2.7}$$

แต่ช่วงความถี่ของสัญญาณดิสกรีตทางเวลาจะอยู่ในช่วงของความถี่ที่จำกัด

$$\frac{-1}{2} < f < \frac{1}{2} \tag{2.8}$$

จากช่วงของความถี่ที่เกิดขึ้นได้ของสัญญาณดังกล่าว เราจะพบว่าสัญญาณอนาล็อกที่จะทำการสุ่มด้วยอัตราการสุ่ม Fs = 1/T จะต้องอยู่ในช่วงของความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{-1}{2T} = \frac{-F_s}{2} \leq F \leq \frac{F_s}{2} = \frac{1}{2T} \qquad (2.9)$$

จะเห็นได้ว่าการสุ่มสัญญาณอนาล็อกที่มีความถี่ F ด้วยอัตราการสุ่ม Fs จะทำให้สัญญาณอนาล็อกมีความถี่ได้สูงสุดเท่ากับ ครึ่งหนึ่งของอัตราการสุ่ม นั่นคือ

$$F_{max} = F_s = \frac{1}{2T} \qquad (2.10)$$

ความถี่สูงสุดของสัญญาณอนาล็อกที่เราต้องการสุ่มนี้ มีความสำคัญมากในการพิจารณาหาอัตราการสุ่มที่เหมาะสม จะเกิดอะไรขึ้นถ้าเราให้สัญญาณอนาล็อกมีความถี่สูงกว่าครึ่งหนึ่งของอัตราการสุ่ม นั่นเป็นสิ่งที่น่าสนใจ

**ทฤษฎีการสุ่ม (The Sampling Theorem)** ถ้าเราต้องการสุ่มสัญญาณอนาล็อกใด ๆ ถามว่าเราต้องใช้คาบเวลาในการสุ่มเท่าใด หรือ ต้องใช้อัตราการสุ่มเท่าใดจึงจะเหมาะสม เราจะให้คำตอบได้เราจะต้องทราบคุณสมบัติของสัญญาณอนาล็อกที่เราต้องการจะสุ่ม ซึ่งสัญญาณอนาล็อกโดยทั่วไปจะประกอบไปด้วย ขนาด (Amplitude) ความถี่ (Frequency) และเฟส (Phase) โดยคุณสมบัติทางด้านความถี่ของสัญญาณจะมีความสำคัญเป็นอย่างมาก ในการแบ่งชนิดของสัญญาณ และการที่เรารู้ความถี่สูงสุดของสัญญาณแต่ละชนิดนี้เป็นสิ่งจำเป็นอย่างมาก สำหรับการเลือกอัตราการสุ่มที่เหมาะสมในการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

สมมุติว่าเรามีสัญญาณอนาล็อกอยู่สัญญาณหนึ่ง ซึ่งเกิดจากผลรวมของสัญญาณรูปซายน์หลาย ๆ สัญญาณ ที่มีขนาด ความถี่ และเฟสของสัญญาณ ต่าง ๆ กัน แสดงดังสมการข้างล่าง

$$X_a(t) = \sum_{i=1}^{N} A_i \cos\left(2\pi F_i t + \theta_i\right) \qquad (2.11)$$

เมื่อ N คือจำนวนองค์ประกอบทางความถี่สัญญาณอนาล็อก โดยมีความถี่สูงสุดของสัญญาณคือ Fmax ความถี่สูงสุดของสัญญาณอาจมีค่าสูงขึ้นบ้างเล็กน้อย ซึ่งอาจทำให้คุณสมบัติของสัญญาณเปลี่ยนแปลงไปได้ เป็นสิ่งที่ไม่พึงปรารถนาของเรา เราต้องการให้มั่นใจได้ว่าความถี่สูงสุดของสัญญาณอนาล็อกจะมีค่าไม่เกิน Fmax ได้โดยนำสัญญาณอนาล็อกผ่านวงจรกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อกรองเอาความถี่ที่มีค่าสูงกว่า Fmax ออก ในกระบวนการสุ่มสัญญาณการกรองสัญญาณมีความสำคัญมากเช่นกัน

จากการที่เรารู้ความถี่สูงสุดของสัญญาณอนาล็อก Fmax เราก็สามารถเลือกอัตราการสุ่มที่เหมาะสมได้ ถ้าเราให้สัญญาณอนาล็อกมีความถี่สูงสุด เท่ากับครึ่งหนึ่งของอัตราการสุ่ม Fmax = Fs/2 ในการคืนสัญญาณกลับเป็นสัญญาณอนาล็อก เราไม่สามารถจะรับประกันได้ว่าจะได้สัญญาณที่ไม่ผิดพลาดไปจากสัญญาณเดิม และถ้าเราให้สัญญาณอนาล็อกอยู่นอกช่วงของความถี่ที่เกิดขึ้นได้คือ ความถี่สูงสุดมีค่ามากกว่าครึ่งหนึ่งของอัตราการสุ่ม สัญญาณหลังการสุ่มจะเป็นสัญญาณเดียวกันกับสัญญาณอนาล็อกที่มีความถี่ต่ำกว่าครึ่งหนึ่งของอัตราการสุ่มที่ทำการสุ่ม ซึ่งเรียกว่า การเกิดสัญญาณปลอม (Aliasing) ดังนั้นเราต้องเลือกความถี่ของการสุ่ม หรืออัตราการสุ่มที่มีค่าสูงมากพอ นั่นคือ เราต้องให้ค่า Fs/2 มากกว่า Fmax เพื่อหลีกเลี่ยงการเกิดสัญญาณปลอม ดังนั้น

$$Fs > 2Fmax \qquad (2.12)$$

เมื่อเราใช้อัตราการสุ่มมีค่ามากกว่า 2 เท่าของความถี่สูงสุดของสัญญาณอนาล็อก สัญญาณที่ได้จากการสุ่ม จะอยู่ในรูปของสัญญาณดิสกรีตทางเวลา ที่ไม่เกิดการรบกวนกันของค่าสุ่มแต่ละค่า ดังนั้นในการนำสัญญาณที่ได้จากการสุ่ม มาทำให้ได้สัญญาณอนาล็อกคืนกลับมาดังเดิมก็สามารถทำได้โดยสัญญาณไม่มีความผิดเพี้ยนไปจากสัญญาณเดิม โดยใช้กระบวนการที่เรียกว่า อินเตอร์โพเลชั่น (Interpolation) ที่เหมาะสม

ถ้าความถี่สูงสุดของสัญญาณอนาล็อก Xa(t) ใด ๆ คือ Fmax = B และถูกสุ่มด้วยอัตราการสุ่ม $Fs > 2Fmax \equiv 2B$ เราสามารถนำสัญญาณอนาล็อก Xa(t) คืนกลับมาได้โดยไม่มีความผิดเพี้ยนไปของข้อมูล โดยการใช้ฟังก์ชันของการอินเตอร์โพเลชั่น

$$g(t) = \frac{\sin(2\pi Bt)}{2\pi Bt} \qquad (2.13)$$

และสัญญาณอนาล็อก Xa(t) ที่ทำการสุ่มแสดงได้ดังสมการที่(2.14)

$$X_a(t) = \sum_{n=-\infty}^{\infty} X_a\left(\frac{n}{F_s}\right) g\left(t - \frac{n}{F_s}\right) \qquad (2.14)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ Xa(n/Fs)=Xa(nT)≡X(n) เป็นสัญญาณที่ได้จากการสุ่มสัญญาณอนาล็อก Xa(t) และถ้าเราทำการสุ่มสัญญาณที่อัตราการสุ่มต่ำสุด Fs= 2B สมการของสัญญาณอนาล็อกจะเขียนได้เป็น

$$X_a(t) = \sum_{n=-\infty}^{\infty} X_a\left(\frac{n}{2B}\right) \frac{\sin 2\pi B\left(t-\frac{n}{2B}\right)}{2\pi B\left(t-\frac{n}{2B}\right)} \qquad (2.15)$$

อัตราการสุ่ม $F_N$= 2B=2Fmax เราเรียกอัตราการสุ่มค่านี้ว่า Nyquist rate เราแสดงกระบวนการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก หรือที่เรียกว่ากระบวนการอินเตอร์โพเลชั่น ซึ่งจะเป็นกระบวนการที่ยุ่งยากมากพอสมควร และจะไม่กล่าวถึงเนื้อหาอย่างละเอียดในปริญญานิพนธ์นี้

**2.1.2 การจัดระดับสัญญาณ (Quantization)**

สัญญาณที่เราได้จากการสุ่ม จะเป็นสัญญาณดิสกรีตทางเวลา แต่มีความต่อเนื่องทางด้านของขนาด ในขณะที่ สัญญาณดิจิตอลที่เราต้องการนั้นจะเป็นสัญญาณที่มีค่าของ สัญญาณเป็นแบบดิสกรีตทั้งทางขนาดและทางเวลา ดังนั้นเราต้องเปลี่ยนขนาดของสัญญาณที่ได้จากการสุ่มให้มีค่าต่าง ๆ ตามช่วงเวลาของการสุ่ม เราจะได้ขนาดของสัญญาณเป็นลำดับของจำนวนที่จำกัด เราเรียกกระบวนการนี้ว่า การจัดระดับสัญญาณ (Quantization) ในการจัดระดับของสัญญาณจะเกิดความผิดพลาดขึ้น ระหว่างค่าของสัญญาณที่ยังไม่ได้ผ่านการจัดระดับของสัญญาณกับค่าที่ผ่านการจัดระดับของสัญญาณแล้ว เรียกว่า ความผิดพลาดของการจัดระดับสัญญาณ (Quantization error)

ถ้าเราให้ตัวกระทำการจัดระดับสัญญาณที่ได้จากการสุ่ม X(n) คือ Q[X(n)] และสัญญาณที่ผ่านกระบวนการจัดระดับสัญญาณแล้ว คือ $X_q(n)$ ดังนั้นจะแสดงความสัมพันธ์ของสัญญาณที่ผ่านการจัดระดับสัญญาณได้ดังนี้

$$X_q(n) = Q[X(n)] \qquad (2.16)$$

และค่าความแตกต่างระหว่างสัญญาณที่ผ่านการจัดระดับสัญญาณแล้วกับสัญญาณที่ผ่านการสุ่มและยังไม่ผ่านการจัดระดับสัญญาณ คือ ค่าความผิดพลาดของการจัดระดับสัญญาณ $e_q(n)$ (Quantizaiton error)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$e_q(n) = X_q(n)-X(n) \tag{2.17}$$

เรามาพิจารณาสัญญาณที่ได้จากการสุ่มเพียง 1 ครั้ง ในการจัดระดับสัญญาณสามารถจัดได้ทั้งแบบการปัดค่าให้อยู่ในระดับของการจัดระดับสัญญาณที่ต่ำกว่า เรียกว่าการจัดระดับแบบ Truncation และการจัดระดับสัญญาณแบบปัดค่าของสัญญาณให้อยู่ในระดับของการจัดระดับสัญญาณที่ใกล้เคียง เรียกว่า การจัดระดับสัญญาณแบบ Rounding ซึ่งการจัดระดับสัญญาณแบบ Rounding จะให้ค่าความผิดพลาดน้อยกว่าการจัดระดับสัญญาณแบบ Truncation

ค่าของสัญญาณดิจิตอลในกระบวนการจัดระดับสัญญาณจะอนุญาตให้อยู่ในระดับที่เรียกว่าระดับของการจัดระดับสัญญาณ (Quantization levels) เท่านั้น ระยะระหว่างระดับของการจัดระดับสัญญาณ 2 ระดับ เรียกว่าความละเอียดของการจัดระดับสัญญาณ $\Delta$ (Quantization step size หรือ Resolution)

ค่าความผิดพลาดในการจัดระดับสัญญาณ $e_q(n)$ สำหรับการจัดระดับสัญญาณแบบ Rounding จะอยู่ในช่วง $-\Delta/2$ ถึง $\Delta/2$ นั่นคือ

$$\frac{-\Delta}{2} \le e_q[n] \le \frac{\Delta}{2} \tag{2.18}$$

และถ้าสัญญาณที่ได้จากการสุ่มมีขนาดต่ำสุด Xmin และมีขนาดสูงสุด Xmax และจำนวนของระดับในการจัดระดับสัญญาณคือ L ดังนั้น

$$\Delta = \frac{X_{max} - X_{min}}{2L} \tag{2.19}$$

ค่า Xmax-Xmin คือค่า Dynamic range และเราจะเห็นได้ว่าเราสามารถจะลดความผิดพลาดในการจัดระดับของสัญญาณได้ โดยการเพิ่มความละเอียดในการจัดระดับสัญญาณ ซึ่งในการเพิ่มความละเอียดของการจัดระดับของสัญญาณ ก็คือการเพิ่มจำนวนของการจัดระดับของสัญญาณนั่นเอง

**2.1.3 การเข้ารหัส (Coding)**

การเข้ารหัสสัญญาณในกระบวนการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล คือการกำหนดค่าของแต่ละระดับของการจัดระดับสัญญาณ ในรูปของจำนวนเลขฐานสองที่ไม่ซ้ำกันใน

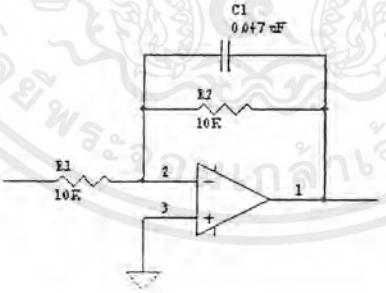
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ละระดับของการจัดระดับของสัญญาณ ถ้าเรามีระดับในการจัดระดับของสัญญาณ L ระดับ เราจำเป็นที่จะต้องมีจำนวนเลขฐานสองที่ไม่ซ้ำกันอย่างน้อยที่สุด L จำนวน ถ้าเราต้องการประมวลผลสัญญาณแบบ b บิต เราสามารถที่จะมีจำนวนของเลขฐานสองที่ไม่ซ้ำกันถึง $2^b$ จำนวน นั่นคือเราจะได้ $2^b \geq L$ นั่นคือ จำนวนบิตที่ต้องการสำหรับการเข้ารหัสสัญญาณ คือต้องเป็นจำนวนเต็มที่มีค่ามากกว่า หรือเท่ากับ $\log_2 L$ ซึ่งโดยทั่วไปอุปกรณ์ในการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลที่มีความเร็วในการสุ่มสัญญาณสูง และมีความละเอียดของการจัดระดับสัญญาณสูง จะมีราคาที่สูงตามไปด้วย

## 2.2 การทำงานของอุปกรณ์ที่สำคัญในส่วนของภาคมัลติเพล็กซ์แบบแบ่งเวลา

### 2.2.1 TL062 ( LPF และส่วนของการยกระดับสัญญาณ )

สัญญาณที่ต้องการส่งทั้ง 3 ช่องสัญญาณ จะถูกส่งผ่านส่วนของไอซีเบอร์ TL062 ซึ่งทำหน้าที่เป็นวงจรกรองความถี่ต่ำผ่าน เพื่อให้แน่ใจว่าความถี่ของสัญญาณที่รับเข้ามามีคุณสมบัติ ตามที่ต้องการของโครงงานที่กำหนดเอาไว้ คือ สัญญาณในช่องที่ 1 มีความถี่สูงสุดไม่เกิน 200 เฮิรตซ์ ส่วนสัญญาณช่องที่ 2 และ 3 มีความถี่สูงสุดไม่เกิน 100 เฮิรตซ์ แสดงส่วนวงจรกรองความถี่ต่ำผ่านได้ดังรูปที่ 2.2




รูปที่ 2.2 แสดงวงจรกรองความถี่ต่ำผ่าน

จากวงจรเราสามารถที่จะคำนวณหาความถี่คัทออฟ(Cutoff frequency)ของวงจรได้จากสมการ

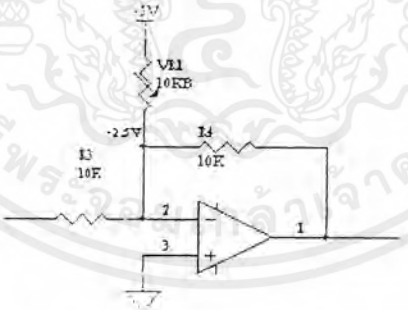
$$f_o = \frac{1}{2\pi R_2 C_1} \qquad (2.20)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่า $R_2$ และค่า $C_1$ ที่ใช้ในโครงงานนี้คือ $R_2$= 10 กิโลโอห์ม , $C_1$= 0.047 ไมโครฟารัด เราจะได้ค่าความถี่คัทออฟมีค่า

$$f_o = \frac{1}{2\pi(10\times10^{3})(0.047\times10^{-6})}$$
$$f_o = 338.6Hz$$

สัญญาณที่ผ่านวงจรกรองความถี่ต่ำแล้ว จะถูกยกระดับสัญญาณให้มีระดับของกราวน์อยู่ที่ 2.5 โวลท์ เพื่อเป็นการเตรียมค่าต่าง ๆ ให้เหมาะสมกับการทำงานของไอซี เบอร์ ADC0808 ซึ่งเราต้องการให้ระดับกราวน์ของสัญญาณอินพุท อยู่ที่ระดับใกล้เคียงกับจุดกึ่งกลางของแรงดันอ้างอิงที่จ่าย ไบอัสให้แก่ไอซีเบอร์ ADC0808 เพื่อให้มีความไวในการทำงานสูงขึ้น เพราะจะเป็นการทำให้ระดับของ LSB ต่ำลงโดยในส่วนนี้ใช้ไอซีเบอร์ TL062 อีกเช่นกัน ซึ่งการต่อวงจรยกระดับสัญญาณนี้แสดงดังรูปที่2.3




รูปที่ 2.3 แสดงวงจรยกระดับสัญญาณจุดกราวน์จาก 0 โวลท์ เป็น +2.5 โวลท์

จากวงจรในรูปที่ 2.3 เป็นลักษณะของวงจรบวกสัญญาณ โดยสัญญาณเอ้าท์พุท จะได้จากการรวมกันของสัญญาณอินพุทกับสัญญาณไฟตรง -2.5 โวลท์(Volt)ซึ่งสามารถที่จะอธิบายได้ดังนี้ คือ ในขณะที่สัญญาณอินพุตมีค่าเริ่มต้นที่ 0 โวลท์ เอ้าท์พุทที่ได้จะมีค่าระดับไฟตรง +2.5 โวลท์ เมื่อสัญญาณอินพุทมีค่าเพิ่มขึ้นเป็น +2.5 โวลท์ จะหักล้างกับ -2.5 โวลท์ เหลือ 0 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเอ้าท์พุทที่ได้จะมีค่าเป็น 0 โวลท์ และเมื่อสัญญาณอินพุทมีค่าเป็น -2.5 โวลท์ จะทำให้สัญญาณอินพุทของวงจรออปแอมป์(Op-Amp) มีค่า –5 โวลท์จะได้สัญญาณเอ้าท์พุทมีค่า +5 โวลท์

สัญญาณทั้ง 3 ช่องสัญญาณจะผ่านกระบวนการดังกล่าวก่อน จากนั้นจะถูกส่งไปยังไอซี เบอร์ ADC0808 เพื่อกระบวนการนำสัญญาณทั้ง 3 ช่องสัญญาณที่รับเข้ามาพร้อมกัน มาทำการมัลติเพล็กซ์แบบแบ่งตามเวลา เพื่อให้สามารถส่งในช่องสัญญาณเดียวกันได้ สัญญาณที่ได้จากการมัลติเพล็กซ์จะถูกแปลงเป็นสัญญาณดิจิตอล โดยกระบวนการดังกล่าวจะเกิดขึ้นภายในไอซีเบอร์ ADC0808

**2.2.2 ADC0808**

เป็นอุปกรณ์ Data acquisition คืออุปกรณ์เปลี่ยนสัญญาณอนาล็อก เป็นสัญญาณดิจิตอลที่มีตัวมัลติเพล็กซ์สัญญาณด้านอินพุท ก่อนกระบวนการที่จะทำการเปลี่ยนสัญญาณ ADC0808 สามารถมัลติเพล็กซ์สัญญาณได้ถึง 8 ช่องสัญญาณ แต่โครงงานนี้ใช้ 3 ช่องสัญญาณ โดยการแปลงสัญญาณอนาล็อกเป็นดิจิตอล ใช้เทคนิคของ Successive approximation การทำงานของ ADC0808 นี้จะแบ่งเป็น 2 ส่วนใหญ่ ๆ คือ ส่วนของการมัลติเพล็กซ์สัญญาณ (Multiplexer) และส่วนของการเปลี่ยนสัญญาณ (The Converter)

ส่วนการมัลติเพล็กซ์สัญญาณ (Multiplexer) สามารถที่จะมัลติเพล็กซ์สัญญาณได้ถึง 8 ช่องสัญญาณพร้อมกัน โดยเลือกสัญญาณของแต่ละช่องในการมัลติเพล็กซ์ได้ โดยการใช้ตัวถอดรหัสตำแหน่ง ดังตารางที่ 2.1

ตารางที่ 2.1 รหัสตำแหน่งของสัญญาณแต่ละช่อง

| SELECTED ANALOG CHANNEL | ADDRESS LINE | | |
|---|---|---|---|
| | C | B | A |
| IN0 | L | L | L |
| IN1 | L | L | H |
| IN2 | L | H | L |
| IN3 | L | H | H |
| IN4 | H | L | L |
| IN5 | H | L | H |
| IN6 | H | H | L |
| IN7 | H | H | H |

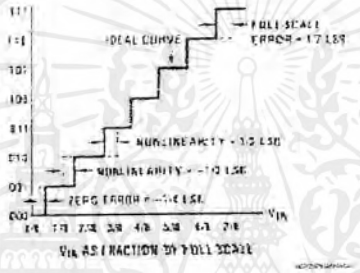
ส่วนการเปลี่ยนสัญญาณ (The Converter) เป็นหัวใจของไอซีเบอร์ ADC0808 เป็นการเปลี่ยนสัญญาณแบบ 8 บิต ซึ่งในส่วนนี้ยังได้แบ่งการทำงานออกเป็น 3 ส่วนหลัก ๆ คือ วงจรขั้นบันได 256R , The successive approximation register และคอมพาราเตอร์(Comparater)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรขั้นบันได 256R จะมีความผิดพลาดของการเข้ารหัสสัญญาณดิจิตอลน้อยกว่าแบบ R/2R และจะไม่ทำให้เกิดการโหลดสำหรับส่วนของแรงดันอ้างอิงจึงถูกนำมาใช้งาน

สัญญาณเอ้าท์พุทของ ADC0808 จะเริ่มเกิดขึ้นเมื่อสัญญาณอนาล็อกมีค่า +1/2 LSB และจะเสร็จสิ้นเมื่อถึงค่า 1 LSB จนถึงค่า Full scale

ในส่วนของ Successive Approximation Register (SAR) ใช้ขนาด 8 บิต ในการประมาณค่าสัญญาณอินพุทดังรูปที่ 2.4 เป็นการแสดงคัวเปลี่ยนสัญญาณขนาด 3 บิต แต่สำหรับโครงงานนี้ใช้ขนาด 8 บิต



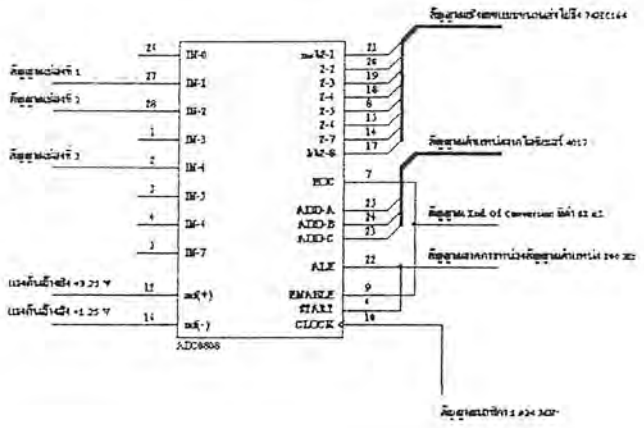

รูปที่ 2.4 แสดงการเปลี่ยนสัญญาณขนาด 3 บิต

การทำงานของ ADC0808 จะเริ่มจาก SAR จะถูกรีเซ็ตที่ ขอบขาขึ้นของสัญญาณ Start Clock pulse (SC) และกระบวนการเปลี่ยนสัญญาณ จะเริ่มที่ขอบขาลงของ สัญญาณ SC ในระหว่างกระบวนการเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล สามารถถูกขัดจังหวะการทำงานได้ โดยการได้รับสัญญาณ SC ลูกใหม่ ดังนั้นในกระบวนการเปลี่ยนสัญญาณโดยต่อเนื่อง สามารถทำได้โดย การต่อสัญญาณ EOC (End Of Convertion) ไปยังขาสัญญาณ SC

โดยถ้าเราใช้การทำงานในโหมดนี้ SC จากภายนอก ควรจะจ่ายหลังจากการจ่ายไฟให้กับไอซี สัญญาณ EOC จะมีค่าที่เป็นสภาวะ Low ระหว่าง 0- 8 สัญญาณนาฬิกา หลังจากขอบขาขึ้น ของสัญญาณ SC

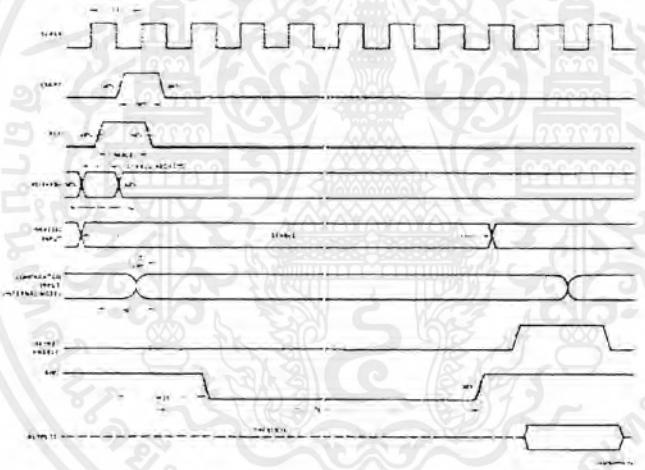
และส่วนที่สำคัญมากอีกส่วนหนึ่ง คือ คอมพาราเตอร์จะแก้ปัญหาการดริฟ(Drift) ของสัญญาณที่เกิดจากสัญญาณไฟตรงซึ่งวงจรเปลี่ยนสัญญาณโดยใช้ ADC0808 แสดงดังรูปที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงส่วนของวงจรเปลี่ยนสัญญาณโดยไอซีเบอร์ADC0808

สำหรับไดอะแกรมเวลาแสดงการทำงานของไอซีเบอร์ ADC0808 แสดงดังรูปที่ 2.6



รูปที่ 2.6 แสดง ไดอะแกรมเวลา(Timing diagram )ของไอซีเบอร์ ADC0808

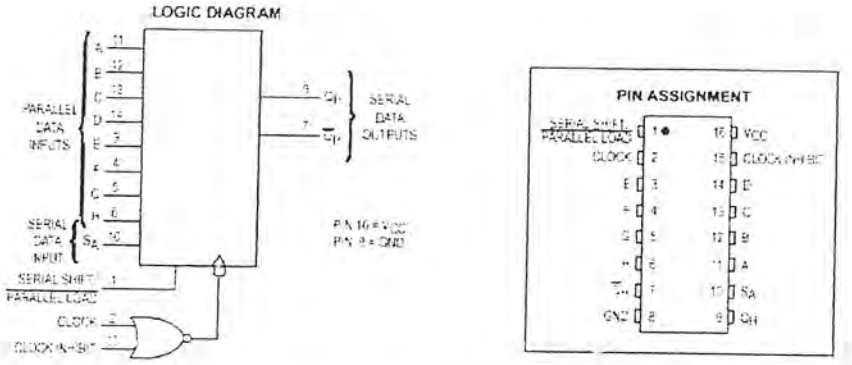
**2.2.3 74HC165**

ทำหน้าที่เปลี่ยนสัญญาณดิจิตอลแบบขนานที่ได้จาก ADC0808 ให้เป็นสัญญาณดิจิตอลแบบอนุกรม แสดงโครงสร้างของไอซีได้ดังรูปที่ 2.7 และ 2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง






รูปที่ 2.7 แสดงโครงสร้างไอซี 74HC165

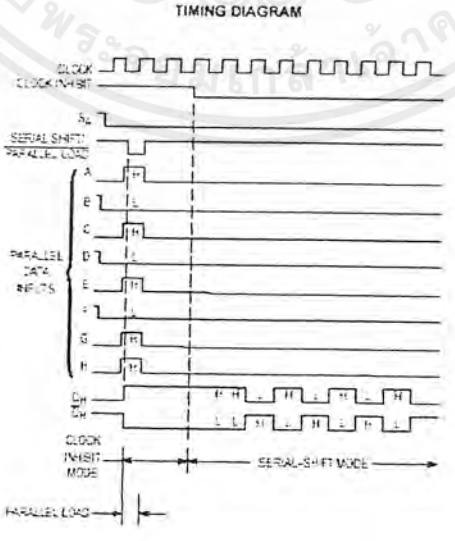
FUNCTION TABLE

| Inputs | | | | | Internal Stages | | Output | |
|---|---|---|---|---|---|---|---|---|
| Serial Shift/ Parallel Load | Clock | Clock Inhibit | $S_A$ | A – H | $Q_A$ | $Q_B$ | $Q_H$ | Operation |
| L | X | X | X | a ... h | a | b | h | Asynchronous Parallel Load |
| H | ↑ | L | H | X | H | $Q_{An}$ | $Q_{Gn}$ | Serial Shift via Clock |
| H | ↑ | L | L | X | L | $Q_{An}$ | $Q_{Gn}$ | Serial Shift via Clock |
| H | H | ↑ | H | X | H | $Q_{An}$ | $Q_{Gn}$ | Serial Shift via Clock Inhibit |
| H | L | ↑ | L | X | L | $Q_{An}$ | $Q_{Gn}$ | Serial Shift via Clock Inhibit |
| H | X | H | X | X | No Change | | | Inhibited Clock |
| H | H | X | X | X | No Change | | | Inhibited Clock |
| H | L | L | X | X | No Change | | | No Clock |

X = don't care $Q_{An}$ = $Q_{Gn}$ = Data shifted from the preceding stage

รูปที่ 2.8 แสดงโครงสร้างบล็อกไดอะแกรมภายในและตารางการทำงานของไอซี 74HC165

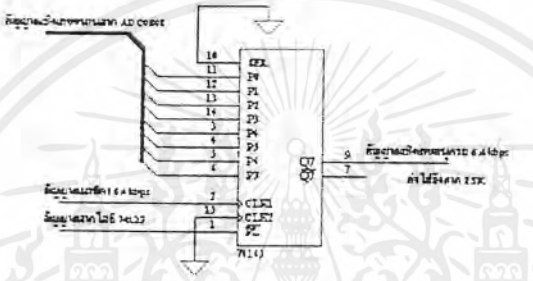
ในการนำไปใช้เราต้องพิจารณาถึงไดอะแกรมเวลา(Timing diagram) ของอุปกรณ์ด้วยซึ่งแสดงดังรูปที่ 2.9




รูปที่ 2.9 แสดงไดอะแกรมเวลาของ 74HC165

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
36879

สัญญาณที่ได้จากไอซี ADC0808 เป็นสัญญาณขนาด 8 บิต ต่อการสุ่มสัญญาณ 1 ครั้ง ซึ่งโครงงานนี้ ใช้อัตราการสุ่มสัญญาณ 800 เฮิรตซ์ ดังนั้น ในการเลื่อนสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อก เราจึงต้องใช้สัญญาณนาฬิกาสำหรับไอซี 74HC165 ที่มีค่าความถี่ 6.4 กิโลเฮิรตซ์ วงจรในส่วนนี้แสดงได้ดังรูปที่ 2.10



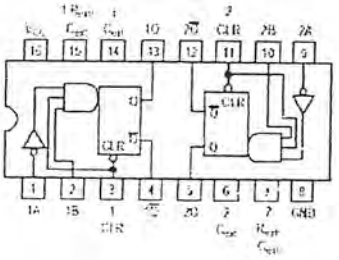
รูปที่ 2.10 แสดงวงจรส่วนเปลี่ยนสัญญาณดิจิตอลขนานเป็นอนุกรมความเร็ว 6400 เฮิรตซ์

**2.2.4 74123**

เป็นอุปกรณ์วงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์(Monostable multivibrator) ทำหน้าที่เป็นตัวสร้างสัญญาณพัลส์ ให้ได้ช่วงเวลาที่ต้องการ ในโครงงานนี้จะใช้ไอซีตัวนี้อยู่ 2 จุด คือ รับสัญญาณการกวาดตำแหน่ง 800 เฮิรตซ์ เพื่อนำมาสร้างพัลส์ที่มีความกว้าง 100-200 นาโนวินาที ให้แก่ขา ALE และขา START และอีกจุดหนึ่งคือ รับสัญญาณ EOC จาก ADC0808 ที่มีความกว้างของพัลส์ 68 ไมโครวินาที เพื่อหน่วงความกว้างของพัลส์นี้ ให้มีค่ามากขึ้นอีก เพราะว่าสัญญาณที่ผ่านการเปลี่ยนมาเป็นสัญญาณดิจิตอลแล้ว จะปรากฏที่เอ้าท์พุท เมื่อปรากฏว่ามีสัญญาณ OE และในส่วนนี้เราใช้สัญญาณ EOC เป็นสัญญาณป้อนให้แก่ขาสัญญาณ OE ด้วย เราจึงได้ทำการหน่วงช่วงของพัลส์ออกไปอีก 17 ไมโครวินาที เพื่อให้แน่ใจได้ว่าสัญญาณที่จะถูกส่งออกทางด้านเอ้าท์พุทนั้น อยู่ในสภาวะเสถียรภาพแล้ว

สำหรับโครงสร้างภายในและตารางการทำงานของไอซี 74123 แสดงดังรูปที่ 2.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



LS123 FUNCTIONAL TABLE

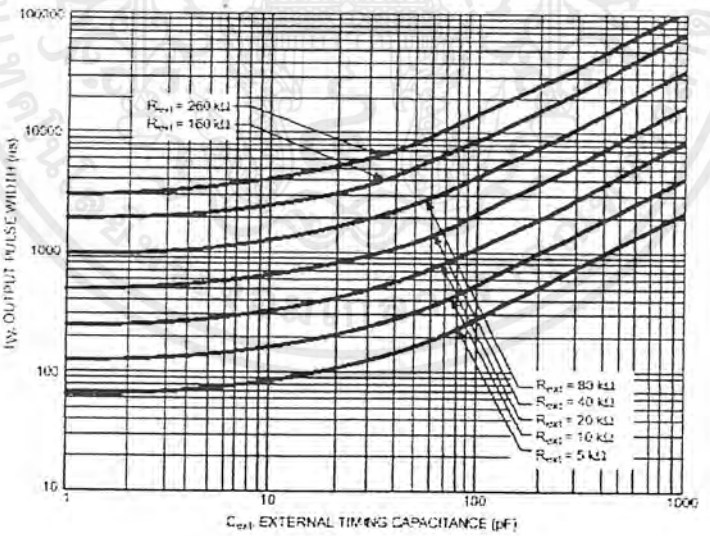
| INPUTS | | | OUTPUTS | |
|---|---|---|---|---|
| CLEAR | A | B | Q | Q |
| L | X | X | L | H |
| X | H | X | L | H |
| X | X | L | L | H |
| H | L | ↓ | ⊓ | ⊔ |
| H | ↓ | H | ⊓ | ⊔ |
| ↓ | L | H | ⊓ | ⊔ |

รูปที่ 2.11 แสดงโครงสร้างภายในและตารางการทำงานของไอซี 74123

ในการหาค่าของช่วงเวลาพัลส์จะมีสมการสำหรับการหาค่า จากข้อมูลของอุปกรณ์ คือ

$$t_w = 0.45 R_{ext} C_{ext} \tag{2.21}$$

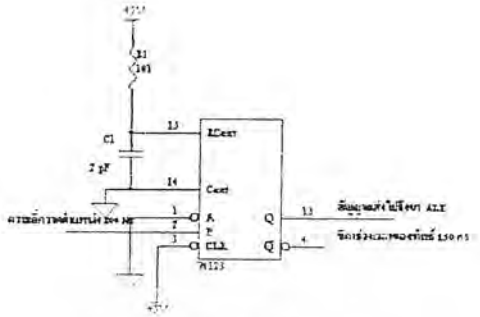
แต่ในการรออกแบบวงจรจะสะดวกกว่าโดยการใช้ กราฟแสดงการทำงานของไอซีดังรูปที่2.12




รูปที่ 2.12 กราฟแสดงความสัมพันธ์ของค่า $R_{ext}$ และ $C_{ext}$ ที่ค่าช่วงเวลา $t_w$ ต่าง ๆ

สำหรับวงจรการทำงานของไอซีเบอร์ 74123 แสดงดังรูปที่ 2.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

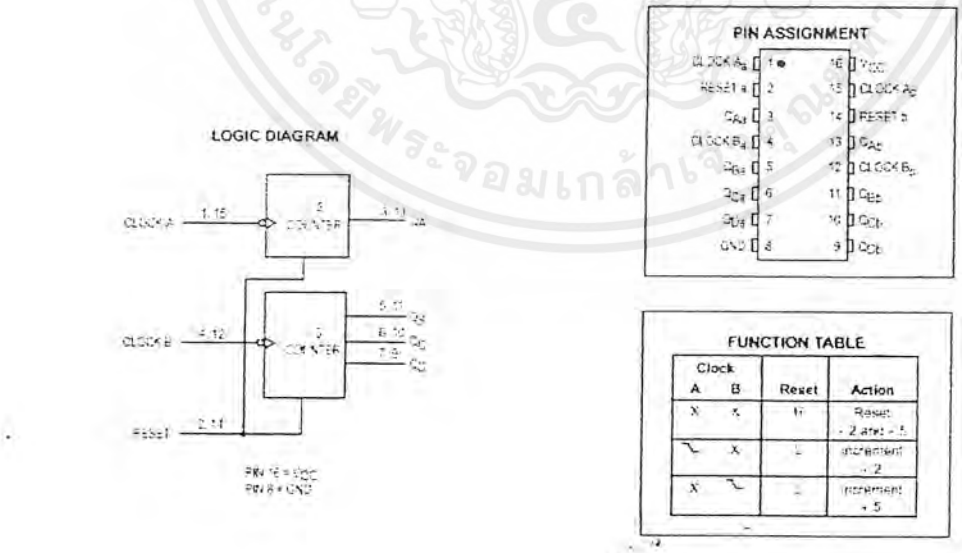


รูปที่ 2.13 แสดงวงจรการทำงานของไอซีเบอร์ 74123

**2.2.5 74HC390**

ไอซีเบอร์ 74HC390 จะทำหน้าที่หารความถี่ของสัญญาณนาฬิกาจาก 10.24 เมกะเฮิรตซ์ ให้เหลือเป็น 204.8 กิโลเฮิรตซ์ โดยจะได้รับการควบคุมการทำงานจากสัญญาณซิงค์ 200 เฮิรตซ์ เพื่อให้มีการทำงานสัมพันธ์กับไอซีเบอร์ 74HC4040 และเบอร์ 74HC4017

แสดงบล็อกไดอะแกรมการทำงานของไอซีเบอร์ 74HC390 ตำแหน่งของขาต่าง ๆ และตารางการทำงานได้ดังรูปที่ 2.14




ก) บล็อกไดอะแกรมการทำงาน ข) ตำแหน่งขาต่าง ๆ และตารางการทำงาน

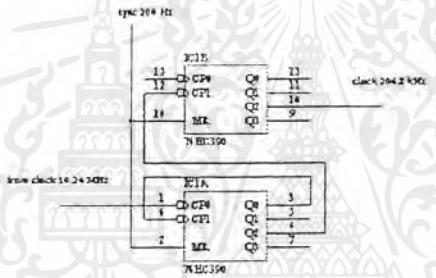
รูปที่ 2.14 แสดงลักษณะโครงสร้างของไอซีเบอร์ 74HC390

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในโครงงานนี้ สัญญาณนาฬิกา 10.24 เมกะเฮิรตซ์ จะถูกป้อนให้กับขา 1 ของไอซี 74HC390 ซึ่งเป็นขาอินพุทของวงจรนับหาร 2 ตัวแรก และสัญญาณเอ้าท์พุทของวงจรนับหาร 2 จะถูกป้อนเป็นสัญญาณอินพุท ของวงจรนับหาร 5 ดังนั้น สัญญาณนาฬิกา 10.24 เมกะเฮิรตซ์ จะถูกหารด้วย 10 เหลือ 1.024 เมกะเฮิรตซ์

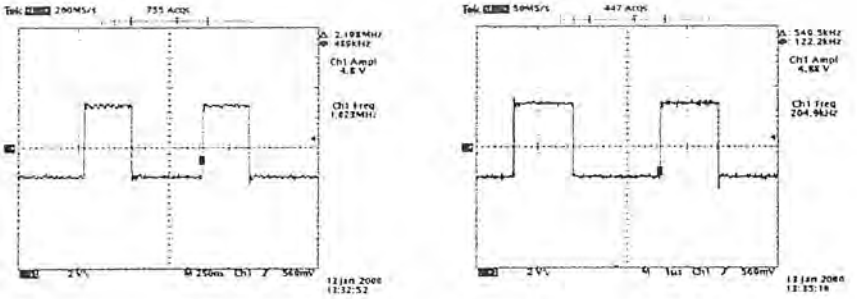
สัญญาณ 1.024 เมกะเฮิรตซ์ จะถูกป้อนเป็นอินพุทแก่วงจรนับตัวที่ 2 เพื่อหารความถี่ด้วย 5 ที่ขาอินพุท 12 จะได้สัญญาณเอ้าท์พุท 204.8 กิโลเฮิรตซ์ ที่ขา 10

แสดงวงจรส่วนหารความถี่สัญญาณนาฬิกา 10.24 เมกะเฮิรตซ์ เหลือ 204.8 กิโลเฮิรตซ์ ด้วยไอซีเบอร์ 74HC390 ได้ดังรูปที่ 2.15



รูปที่ 2.15 แสดงวงจรส่วนหารความถี่โดยไอซีเบอร์ 74HC390

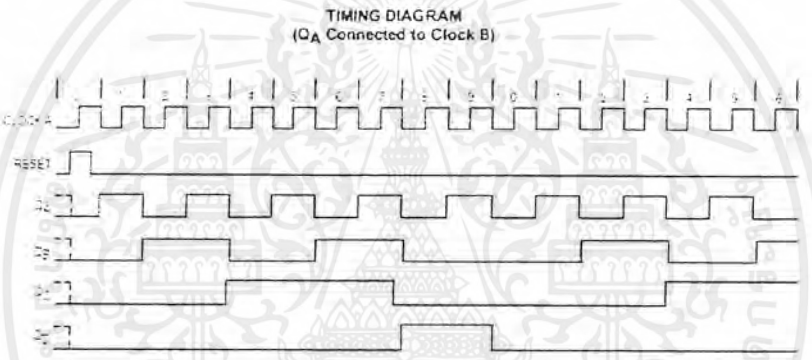
จากวงจรเมื่อทำการวัดสัญญาณนาฬิกา 10.24 เมกะเฮิรตซ์ เทียบกับสัญญาณเอ้าท์พุทที่ได้ 204.8 กิโลเฮิรตซ์ ได้ดังรูปที่ 2.16



รูปที่ 2.16 แสดงรูปสัญญาณนาฬิกาจากการหารความถี่ด้วยไอซีเบอร์ 74HC390

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในจุดที่สำคัญที่สุดในส่วนนี้คือในภาครับต้องมีการทำงานที่สัมพันธ์กันกับการส่ง โดยการควบคุมของสัญญาณซิงค์ 200 เฮิรตซ์ ซึ่งสัญญาณซิงค์ 200 เฮิรตซ์ นี้จะเป็นสัญญาณที่ป้อนให้กับขารีเซ็ต ของไอซีเบอร์ 74HC390 โดยคุณสมบัติของไอซีเบอร์ 74HC390 เราจะต้องให้สัญญาณพัลส์บวกที่มีช่วงเวลาประมาณ 100 นาโนวินาที ที่ขารีเซ็ท ไอซีเบอร์ 74HC390 นี้ จึงจะตอบสนองการรีเซ็ท โดยสัญญาณเอ้าท์พุททั้งจะมีสภาวะเป็น Low แล้วไอซีเบอร์ 74HC390 นี้ก็จะเริ่มทำงานอีกครั้ง ที่ขอบขาลงของสัญญาณนาฬิกาถัดไป แสดงการตอบสนองสัญญาณรีเซ็ท ของไอซีเบอร์ 74HC390 โดยใช้ ไดอะแกรมเวลา ดังรูปที่ 2.17



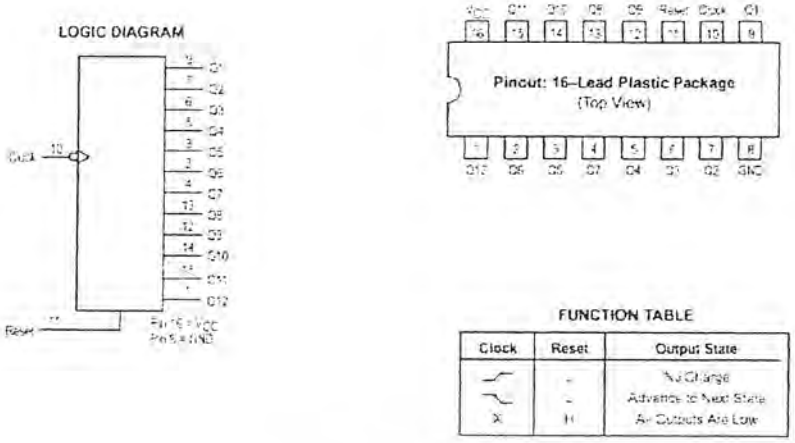

รูปที่ 2.17 แสดงไดอะแกรมเวลาการรีเซ็ทของไอซีเบอร์ 74HC390

**2.2.6 74HC4040**

ไอซีเบอร์ 74HC4040 ทำหน้าที่รับสัญญาณนาฬิกาความถี่ 204.8 กิโลเฮิรตซ์ แล้วทำการหารความถี่สัญญาณนาฬิกาดังกล่าวให้ได้สัญญาณความถี่ 6.4 กิโลเฮิรตซ์ และ 800 เฮิรตซ์ โดยสัญญาณนาฬิกา 6.4 กิโลเฮิรตซ์ จะเป็นสัญญาณนาฬิกาสำหรับไอซีเบอร์ 74HC164 เพื่อเลื่อนข้อมูลอนุกรมเป็นข้อมูลแบบขนานที่มีอัตราเร็วของข้อมูล 6.4 กิโลเฮิรตซ์ และสัญญาณนาฬิกา 800 เฮิรตซ์จะใช้เป็นสัญญาณสแกนตำแหน่งของช่องสัญญาณอินพุทโดยใช้ไอซีเบอร์ 74HC4017 เป็นตัวสร้างสัญญาณระบุตำแหน่ง

แสดงบล็อกไดอะแกรมการทำงานของไอซีเบอร์ 74HC4040 ตำแหน่งของขาต่าง ๆ และตารางการทำงานได้ดังรูปที่ 2.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.18 แสดงลักษณะโครงสร้างของไอซีเบอร์ 74HC4040

การทำงานในส่วนนี้ จากคุณสมบัติของไอซีเบอร์ 74HC4040 สัญญาณเอ้าท์พุท ที่ขาเอ้าท์พุทใด ๆ จะมีค่าความถี่ของสัญญาณเท่ากับความถี่ของสัญญาณอินพุทหารด้วย $2^N$ เมื่อ N คือลำดับของขาเอ้าท์พุท (N=1,2,3,…,12)

ในโครงงานนี้สัญญาณอินพุทของไอซีเบอร์ 74HC4040 นี้มีค่าความถี่ 204.8 กิโลเฮิรตซ์ ป้อนที่ขา 10 ซึ่งเราต้องการสัญญาณเอ้าท์พุทความถี่ 6.4 กิโลเฮิรตซ์ และ 800 เฮิรตซ์ ดังนั้นเราสามารถหาคำแหน่งของสัญญาณเอ้าท์พุทได้จาก สมการ

$$f_{out} = \frac{f_{in}}{2^N} \tag{2.22}$$

$$2^N = \frac{f_{in}}{f_{out}} = \frac{204800}{6400}$$

$$N = \frac{\log 32}{\log 2} = 5$$

เมื่อหาค่า N โดยกระบวนการทางคณิตศาสตร์ แล้วจะได้ค่า N=5 นั่นคือเราจะได้สัญญาณเอ้าท์พุทความถี่ 6.4 กิโลเฮิรตซ์ ที่ขาเอ้าท์พุท $Q_5$ จากการป้อนสัญญาณอินพุท 204.8 กิโลเฮิรตซ์ และในทำนองเดียวกันเราก็จะได้สัญญาณเอ้าท์พุทความถี่ 800 เฮิรตซ์ที่ขาเอ้าท์พุท $Q_8$ จะแสดงการทำงานของไอซีเบอร์ 74HC4040 ได้โดยใช้ไดอะแกรมเวลา ดังรูปที่ 2.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

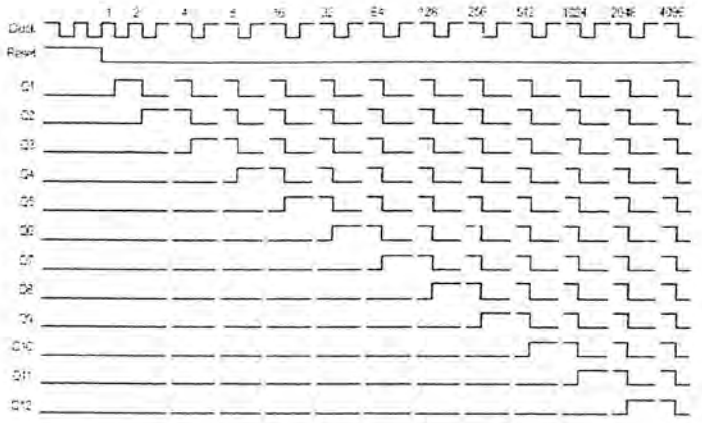
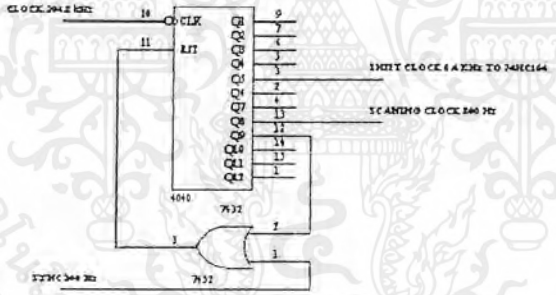


Figure 6. Timing Diagram

รูปที่ 2.19 แสดงไดอะแกรมเวลาของไอซีเบอร์ 74HC4040

แสดงวงจรในการทำงานในส่วนของไอซีเบอร์ 74HC4040 ได้ดังรูปที่ 2.20

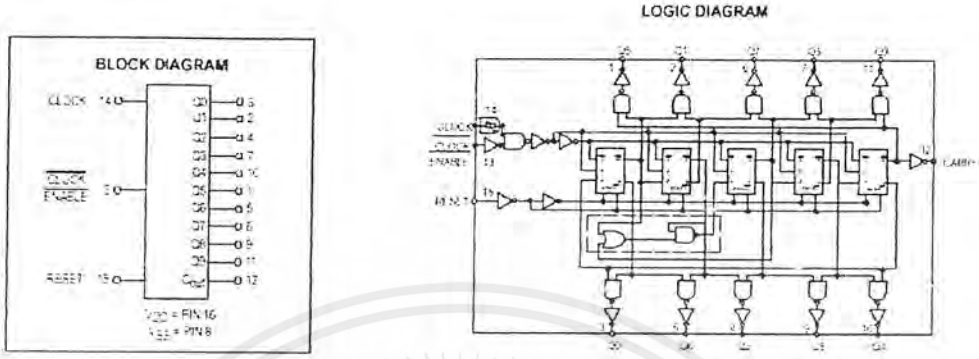


รูปที่ 2.20 แสดงวงจรในส่วนการสร้างสัญญาณ
6400เฮิรตซ์ และ 800 เฮิรตซ์ โดยใช้ไอซีเบอร์ 74HC4040

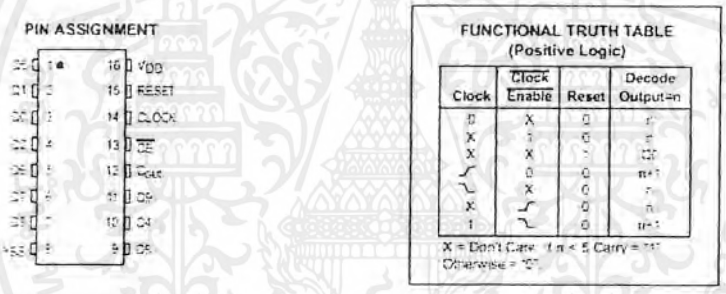
ในส่วนที่สำคัญมากอีกส่วนหนึ่งคือการทำงานในภาครับที่ต้องสัมพันธ์กันกับภาคส่ง โดยการควบคุมของสัญญาณซิงค์ 200 เฮิรตซ์ อีกเช่นกัน จากคุณสมบัติของไอซีเบอร์ 74HC4040 เมื่อเราป้อนสัญญาณพัลส์บวกที่มีค่าช่วงเวลาประมาณ 100 นาโนวินาที ที่ขารีเซ็ท หรือขาที่ 11 แล้ว ไอซีเบอร์ 74HC4040 จะทำการรีเซ็ทสัญญาณเอ้าท์พุทให้มีสภาวะ Low ทุกขา และจะเริ่มทำงานอีกครั้งที่ขอบขาลงของสัญญาณนาฬิกาลูกถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.2.7 74HC4017



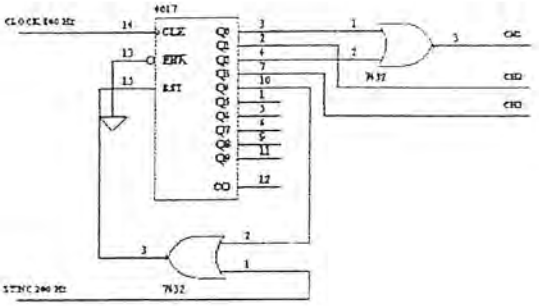

รูปที่ 2.21 แสดงโครงสร้างภายในของไอซี 74HC4017




รูปที่ 2.21 (ต่อ) แสดงโครงสร้างของไอซีเบอร์ 74HC4017

ไอซีเบอร์ 74HC4017 จะทำหน้าที่สร้างสัญญาณการกวาดเลือกช่องสัญญาณ โดยความถี่ที่ใช้มีค่า 800 เฮิรตซ์ ซึ่งความถี่นี้ได้จากการที่เราต้องทำการกวาดสัญญาณในแต่ละช่องให้มีค่าความถี่เป็นสองเท่าของความสูงสุดของสัญญาณในแต่ละช่อง นั่นคือช่องที่ 1 มีค่าความถี่สูงสุด 200 เฮิรตซ์ต้องทำการกวาด 400 เฮิรตซ์ สำหรับช่องที่ 2 และ 3 มีความถี่สูงสุดช่องละ 100 เฮิรตซ์ ดังนั้นต้องใช้สัญญาณการกวาดช่องละ 200 เฮิรตซ์ เราจะได้สัญญาณความถี่รวมของสัญญาณในการกวาดที่ต้องใช้คือ 800 เฮิรตซ์ในส่วนของวงจรนี้แสดงได้ดังรูปที่ 2.22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 แสดงวงจรในส่วนของไอซีเบอร์ 74HC4017

สำหรับการทำงานของไอซีเบอร์ 74HC4017 ในการสร้างสัญญาณกวาดเลือกตำแหน่งในแต่ละช่องสัญญาณนั้น การอธิบายโดยใช้ไดอะแกรมเวลาจะเข้าใจได้ง่ายกว่าดังรูปที่ 2.23

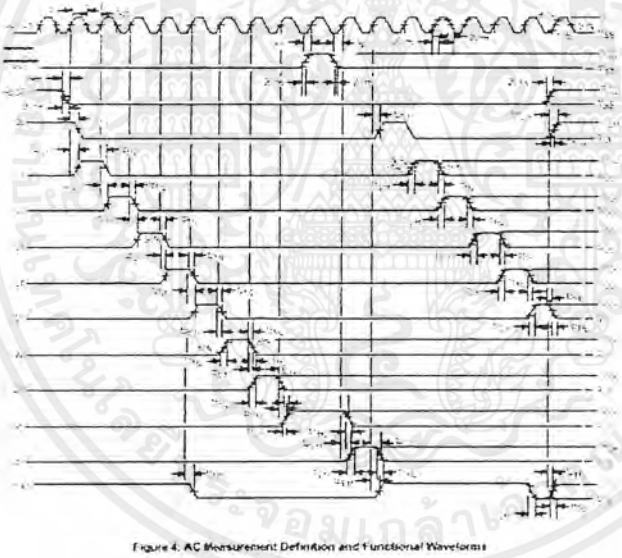


Figure 4. AC Measurement Definition and Functional Waveforms

รูปที่ 2.23 แสดงไดอะแกรมเวลาการทำงานของไอซี 74HC4017

จากไดอะแกรมเวลา การทำงานของไอซีเบอร์ 74HC4017 จะทำงานที่ขอบขาขึ้นของสัญญาณนาฬิกาอินพุท ในการทำงานครั้งแรกเมื่อมีสัญญาณรีเซ็ทที่ขารีเซ็ทคือขาที่ 15 โดยสัญญาณรีเซ็ทนี้ก็คือสัญญาณชิงค์ 200 เฮิรตซ์ โดยช่วงเวลาที่จ่ายให้กับพัลส์บวกของขารีเซ็ทนี้มีค่าประมาณ 100 นาโนวินาที เมื่อมีสัญญาณรีเซ็ท สัญญาณเอ้าท์พุททุกขาจะถูกรีเซ็ทให้มีสภาวะเป็น Low ยกเว้นที่ขา $Q_0$ จะถูกเซ็ทให้มีสภาวะเป็น High

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งขา $Q_0$ จะเป็นสัญญาณเลือกตำแหน่งช่องสัญญาณที่ 1 ในสัญญาณนาฬิกาลูกที่ 2 $Q_1$จะมีสภาวะเป็น High ซึ่งเป็นสัญญาณเลือกตำแหน่งช่องสัญญาณที่ 2 ในสัญญาณนาฬิกาลูกที่ 3 $Q_2$ จะมีสภาวะเป็น High สัญญาณเอ้าท์พุทที่ $Q_2$ จะถูกนำไปผ่านออร์เกทเพื่อทำการออร์กับสัญญาณ $Q_0$ เพื่อสร้างเป็นสัญญาณเลือกตำแหน่งช่องสัญญาณที่ 1 เมื่อสัญญาณนาฬิกาลูกที่ 4 เข้ามา $Q_3$ จะมีสภาวะเป็น High เป็นสัญญาณเลือกตำแหน่งช่องสัญญาณที่ 3 และเมื่อสัญญาณนาฬิกาลูกที่ 5 เข้ามา $Q_4$ จะมีสภาวะเป็น High ซึ่ง $Q_4$ ถูกป้อนให้กับขารีเซ็ท ซึ่งจะทำให้สภาวะ High มาเริ่มที่ $Q_0$ อีกครั้ง จนเมื่อครบสัญญาณนาฬิกา 8 ลูก จะเห็นว่าสัญญาณช่องที่ 1 จะถูกเลือก 4 ครั้ง สัญญาณช่องที่ 2 และ 3 จะถูกเลือกช่องละ 2 ครั้ง นั่นคือ สัญญาณนาฬิกา 800 เฮิรตซ์ เราจะได้สัญญาณการกวาดเลือกตำแหน่งช่องที่ 1 มีค่า 400 เฮิรตซ์ สัญญาณช่องที่ 2 และ 3 มีค่า 200 เฮิรตซ์

จากการทำงานในส่วนต่าง ๆ ที่กล่าวมาเป็นส่วนของสัญญาณซิงค์ ซึ่งจะเห็นได้ว่าสัญญาณซิงค์ 200 เฮิรตซ์ จะถูกปรับให้มีช่วงเวลาของพัลส์บวกมีค่าประมาณ 100 นาโนวินาที โดยใช้ไอซีเบอร์ 74HC123 สัญญาณซิงค์ที่ผ่านการปรับค่าเวลาของพัลส์แล้วจะกลายเป็นสัญญาณรีเซ็ทให้แก่ไอซีเบอร์ 74HC390 ,74HC4040 และเบอร์ 74HC4017 เพื่อให้ไอซีทั้งสามตัวมีการเริ่มทำงานที่พร้อมกัน

เมื่อมีการรีเซ็ทแล้ว การทำงานจะเริ่มจากไอซีเบอร์ 74HC390 รับสัญญาณนาฬิกาความถี่ 10.24 เมกะเฮิรตซ์ จากวงจรกำเนิดสัญญาณโดยใช้คริสตอล มาทำการหารความถี่เหลือ 204.8 กิโลเฮิรตซ์ แล้วสัญญาณความถี่ที่ได้จะถูกส่งไปยังไอซีเบอร์ 74HC4040 เพื่อหารความถี่ให้ได้ 6400 เฮิรตซ์ และ 800 เฮิรตซ์ สัญญาณความถี่ 6400 เฮิรตซ์ ใช้เป็นสัญญาณนาฬิกาให้กับไอซีเบอร์ 74HC164 ในการเปลี่ยนสัญญาณข้อมูลอนุกรมเป็นสัญญาณข้อมูลแบบขนาน ส่วนสัญญาณความถี่ 800 เฮิรตซ์ ใช้เป็นสัญญาณนาฬิกาให้กับไอซีเบอร์ 74HC4017 ในการสร้างสัญญาณกวาดเลือกตำแหน่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3
# การมอดูเลตและดีมอดูเลตแบบเอฟเอสเค

การส่งข้อมูลแบบหลายช่องสัญญาณ นับว่ามีความจำเป็นและนิยมในปัจจุบัน ซึ่งถ้าหากไม่มีวิธีการที่เหมาะสมในการส่งแล้ว จะเกิดปัญหาการสิ้นเปลืองช่องสัญญาณเป็นอย่างมาก ดังนั้นการมัลติเพล็กซ์สัญญาณจึงเข้ามีบทบาทในการรวมช่องสัญญาณ ที่จะทำการส่งให้เหลือเพียงช่องสัญญาณเดียว แล้วจึงทำกระบวนการมอดูเลต ก่อนที่จะทำการส่งออกอากาศต่อไป จึงช่วยในการประหยัดช่องสัญญาณได้เป็นอย่างมาก การมัลติเพล็กซ์ที่สะดวกและนิยมใช้ในปัจจุบัน คือ การมัลติเพล็กซ์แบบแบ่งเวลา (Time Division Multiplex : TDM) หลังจากทำการมัลติเพล็กซ์แล้วสัญญาณที่ได้จะเป็นสัญญาณดิจิตอล ซึ่งถ้าหากต้องการที่จะทำการมอดูเลตแล้ว จะต้องอาศัยเทคนิคการมอดูเลต ที่เหมาะสมกับสัญญาณดิจิตอลนี้ ซึ่งการมอดูเลตแบบเอฟเอสเค (Frequency Shift Keying) จะสามารถนำมาใช้ได้เป็นอย่างดี เพื่อที่จะมอดูเลตสัญญาณดิจิตอลให้อยู่ในรูปสัญญาณอนาล็อก ซึ่งเหมาะสมที่จะทำการมอดูเลตแบบอนาล็อก (Analog Modulation) แบบต่าง ๆ ต่อไป

## 3.1 สัญญาณเอฟเอสเค

การมอดูเลตแบบ เอฟเอสเค ( Frequency Shift Keying ) เป็นตัวอย่างของการมอดูเลตที่มีความสำคัญ นอกจากนี้ยังมีความสัมพันธ์กับการมอดูเลตทางความถี่ (Frequency Modulation) โดยถือว่าเป็นพื้นฐานของการมอดูเลตแบบดิจิตอล ( Digital Modulation) ที่สำคัญแบบหนึ่ง และเมื่อพิจารณาถึงสัญญาณไบนารี่เอฟเอสเค ( Binary FSK waveform ) แล้วสัญญาณเอฟเอสเค จะเกิดจากการเปลี่ยนความสัมพันธ์ระหว่างแรงดัน 2 ค่า กับสัญญาณอนาล็อกที่มีความถี่แตกต่างกันโดยสมการของไบนารี่เอฟเอสเค เป็นดังนี้

$$v(t) = V_c \cos \left[ \left[ \omega_c + f_m(t)\, \Delta\omega/2 \right] .t \right] \qquad (3.1)$$

โดยพารามิเตอร์ต่างๆ คือ

v(t) : สัญญาณไบนารี่เอฟเอสเค ( Binary FSK waveform )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$V_c$:ขนาดของสัญญาณคลื่นพาหะที่ยังไม่ถูกมอดูเลต(Peak unmodulated carrier amplitude )

$\omega_c$ : ความถี่ของคลื่นพาหะ ( Radian carrier frequency )

$f_m(t)$:ความถี่ของสัญญาณไบนารี่ดิจิตอลที่จะนำมามอดูเลต(Binary digital modulation signal frequency )

$\Delta\omega$ : ความแตกต่างของความถี่เอ้าท์พุท ( Radian difference in output frequency )

ซึ่งจากสมการ (3.1) จะเห็นว่าสัญญาณไบนารี่ดิจิตอลเอฟเอสเค มีขนาดเป็นค่าคงที่ Vc แต่ความถี่ของสัญญาณไบนารี่ดิจิตอลเอฟเอสเค จะมีค่าเท่ากับ $\pm \Delta\omega/2$ โดยความถี่เลื่อนออกมาจากความถี่ของคลื่นพาหะนี้ เกิดจากขนาดและขั้วของสัญญาณไบนารี่อินพุท ยกตัวอย่างเช่น ถ้าไบนารี่อินพุทมีแรงดัน 1 โวลท์ สำหรับลอจิก "1" และมีแรงดัน -1 โวลท์ สำหรับลอจิก "0" ความถี่ของสัญญาณไบนารี่ดิจิตอลเอฟเอสเค ที่เลื่อนออกไปจากความถี่คลื่นพาหะนั้น ก็จะมีค่า $+\Delta\omega/2$ และ $-\Delta\omega/2$ เป็นต้น ส่วนอัตราของการเลื่อนความถี่ของคลื่นพาหะนั้น ก็จะขึ้นอยู่กับอัตราของไบนารี่อินพุทซึ่งมีความถี่ $f_m(t)$ นั่นเอง

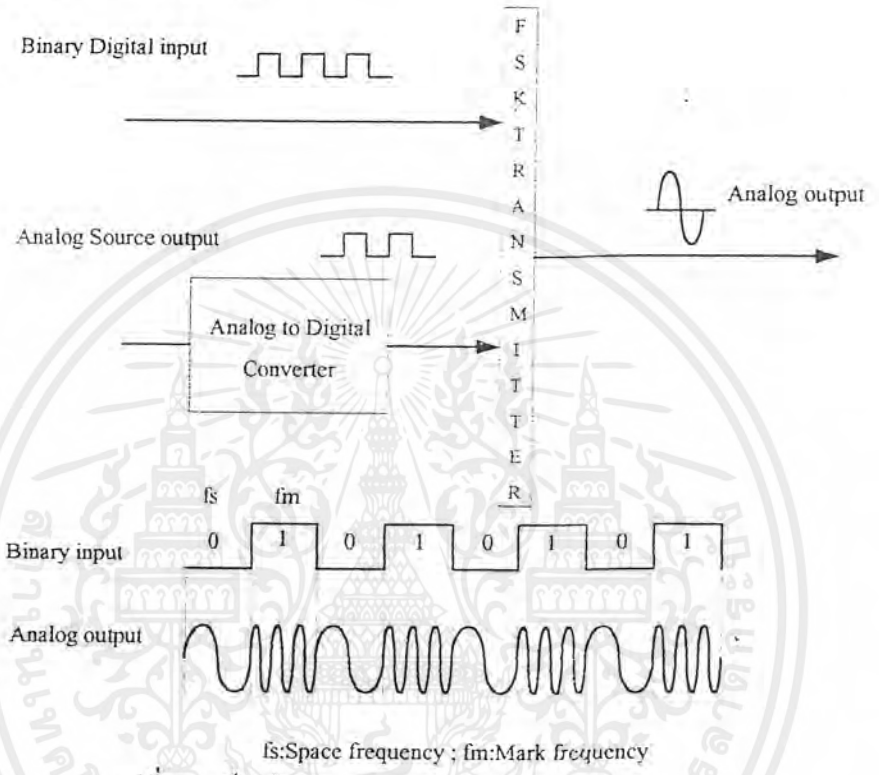
## 3.2 การมอดูเลตเอฟเอสเค

การมอดูเลตเอฟเอสเค ( FSK Modulation ) นั้น ความถี่ของคลื่นพาหะจะถูกเลื่อนโดยสัญญาณไบนารี่อินพุท ซึ่งเอ้าท์พุทของเอฟเอสเคมอดูเลเตอร์ จะเป็นสัญญาณในโดเมนของความถี่ ( Frequency domain ) โดยเปลี่ยนแปลงตามลอจิก "0" และ "1" ซึ่งความถี่ที่เกิดจากลอจิก "0" จะถูกเรียกว่า "ความถี่ของสัญญาณสเปซ"( Space frequency) ส่วนความถี่ที่เกิดจากลอจิก "1" ก็จะถูกเรียกว่า "ความถี่ของสัญญาณมาร์ค" ( Mark frequency) ซึ่งอัตราการเปลี่ยนแปลงของเอ้าท์พุทจะเท่ากับอัตราการเปลี่ยนแปลงไบนารีอินพุท

ในการมอดูเลตแบบดิจิตอลนั้น อัตราการเปลี่ยนแปลงสัญญาณไบนารีอินพุทจะถูกเรียกว่า "บิตเรท" ( Bit rate ) ซึ่งมีหน่วยเป็นบิตต่อวินาที ( Bits Per Second : BPS ) ส่วนอัตราการเปลี่ยนแปลงของเอ้าท์พุทจะถูกเรียกว่าบอดหรือ "บอดเรท" ( Baud rate ) ซึ่งบอดเรทนี้ จะเป็นความเร็วในสายส่ง ( Line speed ) ซึ่งในการมอดูเลตแบบเอฟเอสเคนี้ มีอัตราการเปลี่ยนแปลงไบนารี่อินพุทหรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กล่าวได้ว่าบิตเรทมีค่าเท่ากับบอดเรทนั่นเอง โดยบล็อกไดอะแกรมและรูปสัญญาณของไบนารี่อินพุท และอนาล็อกเอ้าท์พุทนั้นแสดงดังรูปที่3.1

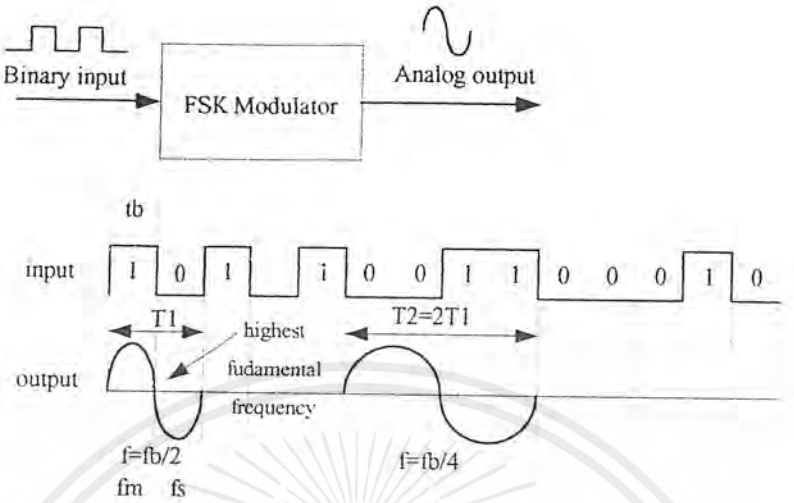



รูปที่ 3.1บล็อกไดอะแกรมและสัญญาณของเอฟเอสเค

## 3.3 แบนด์วิทของเอฟเอสเค

ในการสื่อสารอิเล็กทรอนิกส์นั้น แบนด์วิท (Bandwidth) เป็นพารามิเตอร์ที่มีความสำคัญที่ต้องพิจารณาอยู่เสมอ เช่นเดียวกันเมื่อเราต้องการที่จะออกแบบเครื่องส่งเอฟเอสเค ก็จำเป็นที่จะต้องมีการพิจารณาถึงความสำคัญของแบนด์วิทด้วย โดยจากรูปที่ 3.2 จะแสดงให้เห็นว่า เอฟเอสเคมอดูเลเตอร์นั้นจะมีลักษณะคล้ายคลึงกันกับเอฟเอ็มมอดูเลเตอร์ตรงที่มีการนำเอาวงจร VCO (Voltage Controlled Oscillator) มาเป็นวงจรที่สำคัญ ในการเปลี่ยนไบนารีอินพุทซึ่งมีระดับแรงดันไฟฟ้ามาเป็นสัญญาณความถี่ โดยความถี่ของสัญญาณเอ้าท์พุทที่มีความถี่สูงสุดจะถูกเรียกว่าความถี่มูลฐาน ( Fundamental frequency ) ซึ่งถือว่าเป็นความถี่สูงสุด ที่หาได้จากครึ่งหนึ่งของอัตราบิตเรทอินพุท ( Input bit rate : fb )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.2 การมอดูเลตแบบเอฟเอสเค

จากรูปที่ 3.2 จะพิจารณาเห็นว่า $t_b$ คือเวลาของสัญญาณอินพุท 1 บิต ( Time of one bit ) โดยสามารถหาได้จาก 1/BPS , $f_m$ คือ ความถี่ของสัญญาณมาร์ค ( Mark frequency ) , $f_s$ คือความถี่ของสัญญาณสเปซ ( Space frequency ) , $T_1$ คือ คาบเวลาที่สั้นที่สุดของไซเคิล ( Period of shortest cycle ), $1/T_1$ คือความถี่มูลฐานของสัญญาณไบนารี่ ( Fundamental frequency of binary square wave ) และ $f_b$ คืออินพุทบิตเรท ( Input bit rate ) มีหน่วยเป็น BPS

โดยความถี่ของ VCO นั้นจะมีค่าเปลี่ยนแปลงตามการเปลี่ยนแปลงของสัญญาณไบนารี่อินพุทลอจิก "0" และลอจิก "1" โดยจะได้ความถี่ของสัญญาณสเปซ และความถี่ของสัญญาณมาร์ค ออกมาที่เอ้าท์พุทของวงจร VCO ซึ่งจากการที่กล่าวไว้ในเบื้องต้นว่า เอฟเอสเคมีความสัมพันธ์กันกับเอฟเอ็ม ด้วยความสัมพันธ์นี้สามารถนำไปประยุกต์ใช้งานร่วมกันได้ ดังนั้นหากพิจารณาถึงดัชนีการมอดูเลต ( Modulation Index :MI ) สำหรับไบนารี่เอฟเอสเค (Binary FSK ) ดัชนีการมอดูเลตจึงมีสูตรดังนี้

$$MI = \Delta f / f_a \qquad (3.2)$$

โดยที่ MI : ดัชนีการมอดูเลต ( Modulation index )

$\Delta f$ : ผลต่างของความถี่ ( Frequency deviation ) มีหน่วยเป็นเฮิรตซ์

$f_a$ : ความถี่สัญญาณที่ถูกมอดูเลต ( Modulating frequency ) มีหน่วยเป็นเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสูตรของดัชนีการมอดูเลตของไบนารี่เอฟเอสเค ซึ่งในบางครั้งเรียกว่าอัตราผลต่าง ( Deviation rate ) โดยจะเห็นว่าดัชนีการมอดูเลตจะมีค่าสูงสุด เมื่อค่าความถี่ผลต่างมีค่ามากนั่นเอง ซึ่งในการมอดูเลตไบนารี่เอฟเอสเค ค่า $\Delta f$ จะเป็นผลต่างของ ความถี่ของสัญญาณสเปซกับความถี่ของสัญญาณมาร์ค ซึ่งเกิดจากไบนารี่อินพุทลอจิก "0" และ "1" ตามลำดับ ส่วน $f_s$ จะเป็นความถี่มูลฐาน ( Fundamental frequency ) หรือความถี่ของไบนารี่อินพุทซึ่งมีค่าเป็นครึ่งหนึ่งของอัตราบิทเรท ( A half of bit rate ) ดังที่กล่าวมาแล้วนั่นเอง ดังนั้นสูตรการหาดัชนีการมอดูเลตสำหรับเอฟเอสเคจึงเปลี่ยนแปลงเป็นดังนี้

$$MI = \left| f_m - f_s/2 \right| / f_s/2 = \left| f_m - f_s \right| / f_b \qquad (3.3)$$

เมื่อ $\left| f_m - f_s \right| /2$ : ความถี่ผลต่างสูงสุด ( Peak frequency deviation )

$f_b$ : อัตราบิตเรทอินพุท ( Input bit rate )

$f_b/2$ : ความถี่มูลฐานของสัญญาณไบนารี่อินพุท ( Fundamental frequency of the binary input signal )

จากความสัมพันธ์กับการมอดูเลตทางความถี่หรือเอฟเอ็มนั้น แบนด์วิทจะมีความสัมพันธ์กับดัชนีการมอดูเลต โดยถ้าหากว่าค่าดัชนีการมอดูเลตมีค่าต่ำกว่า 1 ดังตารางที่ 3.1 ซึ่งเป็นตาราง Bessel function จะได้สัญญาณเอ้าท์พุท ที่มีความถี่ที่สามารถนำไปประยุกต์กับการมอดูเลตทางความถี่หรือเอฟเอ็ม โดยมีแบนด์วิทต่ำหรือมีเอ้าท์พุทสเปคตรัมแคบ (Narrow band output spectrum) ซึ่งเรียกว่า "แบนด์วิทไนควิสท์ต่ำสุด"(Minimum nyquist bandwidth : $f_n$ ) และหากถูกนำไปประยุกต์ใช้งานในลักษณะสเปคตรัมเอ้าท์พุทที่มีไซด์แบนด์ 2 ข้าง(Double side output spectrum ) ก็จะถูกเรียกว่า"แบนด์วิทไนควิสท์ที่มีไซด์แบนด์ 2 ข้างต่ำสุด"(Minimum double side nyquist bandwidth" หรือ"แบนด์วิทไอเอฟต่ำสุด"(Minimum IF bandwidth)

จากนิยามสูตรและพารามิเตอร์ต่าง ๆ เราสามารถหาค่าแบนด์วิทได้โดยพิจารณาตัวอย่างดังต่อไปนี้

ตัวอย่างที่ 3.1 สำหรับการมอดูเลตไบนารี่เอฟเอสเค ( Binary FSK modulation ) มีความถี่ของสัญญาณมาร์ค (Mark frequency) 80 เมกะเฮิรตซ์ ,ความถี่ของสัญญาณสเปซ(Space frequency) 60 เมกะเฮิรตซ์ ความถี่ที่อยู่ระหว่างความถี่ของสัญญาณมาร์คและความถี่ของสัญญาณสเปซ มีความถี่ 70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมกะเฮิรตซ์ ไบนารี่อินพุทมีอัตราบิตเรท 20 เมกะบิตต่อวินาที(Mbps) เราสามารถที่จะคำนวณอัตราบอดเรท ( Baud rate ) และแบนด์วิทต่ำสุด ( Minimum bandwidth ) ที่ต้องการได้ดังนี้

จากสมการที่ 3.3

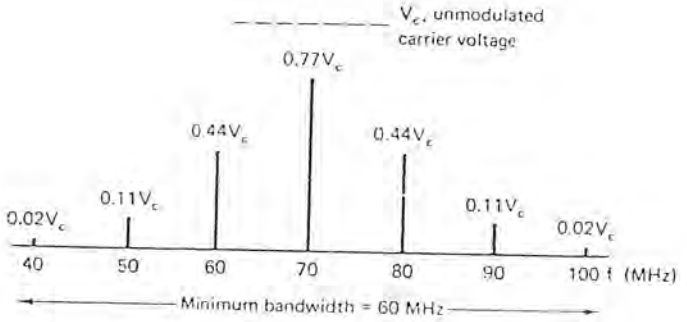
$$MI = \left| f_m - f_s \right| / f_b$$
$$= \left| 80\ MHz - 60\ MHz \right| / 20\ MHz$$
$$= 20\ MHz / 20Mbps = 1.0$$

ซึ่งจากตาราง Bessel function ดังตารางที่ 3.1 ที่ค่าดัชนีการมอดูเลตมีค่าเป็น 1.0 จะมีค่าของความถี่ที่เป็นสเปคตรัมอยู่ 3 ความถี่ ซึ่งอยู่ในแต่ละด้านของความถี่ศูนย์กลาง ( Center frequency ) ดังนั้นสามารถที่จะหาค่าครึ่งหนึ่งของอัตราบิตเรทได้คือ $f_b / 2$ = 10 เมกะเฮิรตซ์ โดยค่าสเปคตรัมของเอฟเอสเคมอดูเลเตอร์นี้แสดงดังรูปที่ 3.3 ซึ่งแสดงให้เห็นว่าแบนด์วิทไนควิสท์ที่มีไซด์แบนด์ 2 ข้างต่ำสุด(Minimum double side nyquist bandwidth) มีค่า 60 เมกะเฮิรตซ์ และบอดเรท(Baud rate) มีค่าเท่ากับ 20 เมกะบอด(Mbuads) ซึ่งเท่ากับอัตราบิตเรท

| MI | $J_0$ | $J_1$ | $J_2$ | $J_3$ | $J_4$ |
|---|---|---|---|---|---|
| 0.0 | 1.00 | | | | |
| 0.25 | 0.98 | 0.12 | | | |
| 0.5 | 0.94 | 0.24 | 0.03 | | |
| 1.0 | 0.77 | 0.44 | 0.11 | 0.02 | |
| 1.5 | 0.51 | 0.56 | 0.23 | 0.06 | 0.01 |
| 2.0 | 0.22 | 0.58 | 0.35 | 0.13 | 0.03 |

ตารางที่ 3.1 ตาราง Bessel function

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.3 สเปคตรัมเอ้าท์พุทของเอฟเอสเค จากตัวอย่าง 1.1

## 3.4การทำงานของอุปกรณ์ต่างๆในส่วนของการมอดูเลตแบบเอฟเอสเค

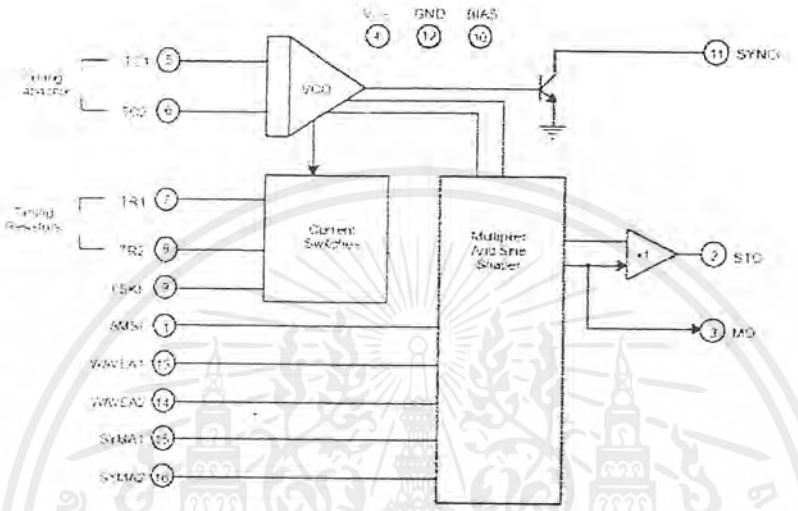
### 3.4.1 XR-2206

XR-2206 เป็นไอซีที่ทำหน้าที่เสมือนเป็นแหล่งกำเนิดสัญญาณ ซึ่งวงจรมีคุณภาพสูงในการสร้างสัญญาณซายน์ (Sine wave),สัญญาณสี่เหลี่ยม (Square wave),สัญญาณสามเหลี่ยม (Triangle wave) และสัญญาณพัลส์ (Pulse) นอกจากนี้ยังมีเสถียรภาพที่สูงและความแน่นอน รูปคลื่นของเอาท์พุทสามารถถูกมอดูเลตทั้งแอมพลิจูดและความถี่ด้วยแรงดันภายนอก ความถี่ที่ใช้งานสามารถถูกเลือกจากภายนอกได้สูงเกิน 0.01 เฮิรตซ์ถึงมากกว่า 1.0 เมกะเฮิรตซ์ ซึ่งสามารถจะแสดงบล็อกไดอะแกรมของ XR-2206 ได้ดังรูปที่ 3.4

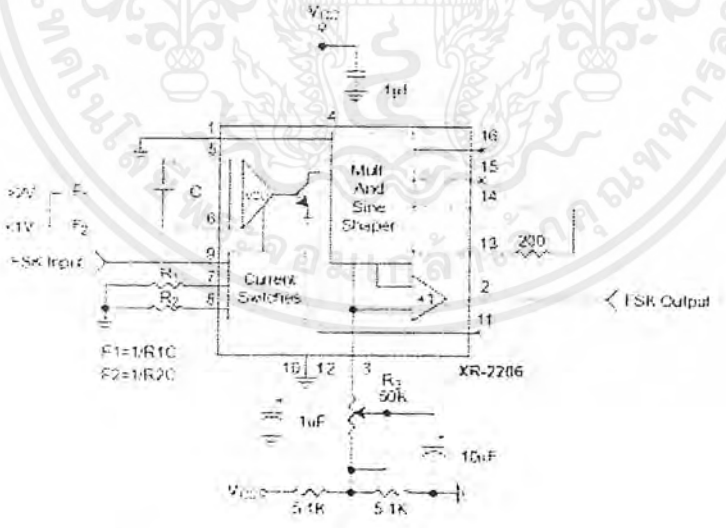
XR-2206 สามารถถูกใช้งานด้วยตัวต้านทานไทม์มิ่ง(Timming)สองตัวที่แยกออกจากกันคือ $R_1$ และ$R_2$ ถูกเชื่อมด้วย ขา7และขา8 ตามลำดับ ซึ่งแสดงในรูปที่ 3.5 ซึ่งการใช้งานจะต้องขึ้นอยู่กับขั้วของสัญญาณลอจิกที่ขา 9 จะเป็นตัวเลือกใช้งานความต้านทานไทม์มิ่งเหล่านี้ โดย ถ้าขา 9 ถูกเปิดวงจร หรือถูกเชื่อมด้วยแรงดันไบอัสที่มากกว่า 2โวลท์ก็จะมีเพียง $R_1$เท่านั้นที่ถูกใช้งาน ในทำนองเดียวกัน ถ้าระดับแรงดันที่ขา 9 เป็นค่าที่น้อยกว่าหรือเท่ากับ 1โวลท์ก็จะมีเพียง $R_2$ เท่านั้นที่ถูกใช้งาน ด้วยเหตุนี้ความถี่ของเอาท์พุทสามารถถูกเลือกใช้ระหว่างสองระดับแรงดันนี้คือ $f_1$ และ $f_2$ โดยที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_1 = 1/R_1C \text{ และ } f_2 = 1/R_2C \quad (3.4)$$




รูปที่ 3.4 แสดงบล็อกไดอะแกรมของ XR-2206




รูปที่ 3.5 วงจรกำเนิดสัญญาณซายน์เอฟเอสเค ( Sinusoidal FSK generator)

ในรูปที่3.5 แสดงถึงวงจรที่ถูกต่อด้วยสัญญาณซายน์เอฟเอสเคที่ใช้งาน ความถี่ของสัญญาณมาร์ค(Mark frequency)และความถี่ของสัญญาณสเปซ(Space frequency)สามารถที่จะเลือกได้ ซึ่งใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การปรับจะเป็นอิสระต่อกัน ด้วยตัวต้านทานไทม์มิ่ง $R_1$ และ $R_2$ เอาท์พุทของวงจรมีลักษณะเฟสต่อเนื่องกัน ในระหว่างที่มีการเปลี่ยนแปลงของสัญญาณตามการใช้งานที่ขา 9 ความถี่คัทออฟ(Cutoff frequency: $f_o$) จะถูกกำหนดด้วยตัวคาปาซิเตอร์ไทม์มิ่งภายนอก C ซึ่งต่ออยู่ระหว่างขา 5 และขา 6 โดยที่ตัวต้านทานไทม์มิ่งก็จะถูกต่ออยู่ที่ขาใดขาหนึ่ง(ขา7หรือขา8) พิจารณาความถี่คัทออฟจะได้ว่า

$$f_o = 1/RC \text{ เฮิรตซ์} \qquad (3.5)$$

และสามารถที่จะปรับค่าความถี่คัทออฟโดยการปรับค่า R หรือ C ให้มีการเปลี่ยนแปลง ซึ่งเสถียรภาพของอุณหภูมิได้ผลดีที่สุดจะอยู่ในช่วง 4 กิโลโอหม์(kΩ) <R<200 กิโลโอห์ม(kΩ) ส่วนค่าความคาปาซิเตอร์ ควรที่เลือกค่าอยู่ในระหว่าง 1000 พิโกฟารัด(pF)ถึง 100ไมโครฟารัด(uF) ซึ่งในวงจรที่ใช้งานจริงจะใช้ความถี่ 2 ความถี่ โดยขึ้นอยู่กับสัญญาณลอจิกที่ขา 9 ซึ่งเป็นสัญญาณดิจิตอล อัตราบิตเรทที่ 6.400 บิตต่อวินาที ในสภาวะที่สัญญาณลอจิกเป็น "1" เราต้องการให้ได้ความถี่ 25.6 กิโลเฮิรตซ์ออกมา ในทำนองเดียวกัน ถ้าในสภาวะที่ลอจิกเป็น "0" เราต้องการให้ได้ความถี่เท่ากับ 38.4 กิโลเฮิรตซ์ ซึ่งความถี่ทั้งสองความถี่นี้จะถูกกำหนดด้วยค่า R และค่า C นั่นเองเราสามารถหาค่าได้ดังนี้

-เมื่อต้องการ $f_1$ เท่ากับ 25.6 กิโลเฮิรตซ์ จะได้ว่า

$$f_1 = 1/R_1C$$

เมื่อกำหนดค่า C = 10 นาโนฟารัด

$$25.6\text{ kHz} = 1/R_1 \times 10\text{nF}$$

$$R_1 = 1/25.6\text{k} \times 10\text{n}$$

$$= 3.9 \text{ กิโลโอห์ม}$$

ในทำนองเดียวกัน

-เมื่อ $f_2$เท่ากับ 38.4 กิโลเฮิรตซ์ จะได้ว่า

$$f_2 = 1/R_2C$$

$$38.4\text{kHz} = 1/R_2 \times 10\text{nF}$$

$$R_2 = 1/38.4\text{k} \times 10\text{n}$$

$$= 2.6 \text{ กิโลโอห์ม}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

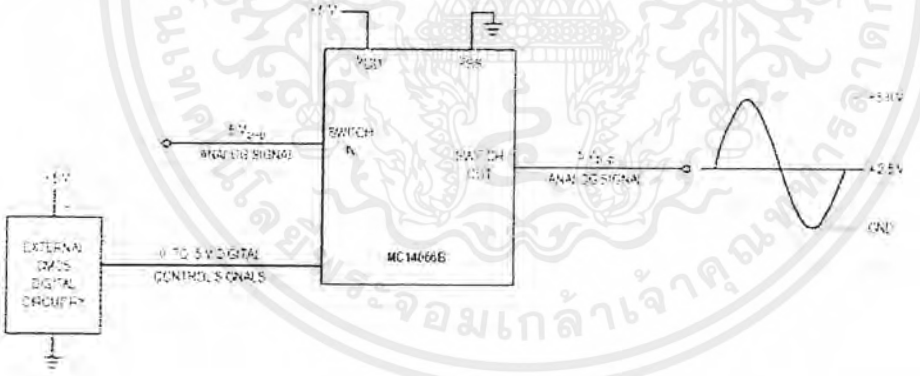
ซึ่งเราจะเห็นได้ว่าในการใช้งานสามารถจะมีความถี่ได้สองความถี่ตามสภาวะลอจิกของสัญญาณอินพุทนั่นเอง และสามารถหาค่า R และ C ได้ตามสูตรที่กล่าวมาในข้างต้น

**3.4.2 MC 14066**

MC 14066 เป็นไอซีที่ทำหน้าที่เป็นอนาล็อกสวิทช์ (Analog switch) และสามารถเป็นมัลติเพล็กเซอร์(Multiplexer) ซึ่งโครงสร้างภายในของไอซีเบอร์นี้จะประกอบไปด้วยสวิทช์อยู่4 ตัวที่เป็นอิสระต่อกัน สามารถควบคุมได้ทั้งสัญญาณดิจิตอลและสัญญาณอนาล็อก ซึ่งแสดงได้จากรูปที่ 3.6 แสดงถึงการใช้ของอนาล็อกสวิตช์สัญญาณ 0-5 โวล์ทถูกใช้ควบคุมโดยตรงกับสัญญาณอนาล็อก 5 โวลท์พีคทูพีค

ระดับสัญญาณควบคุมดิจิตอลจะถูกกำหนดด้วย $V_{DD}$ และ $V_{SS}$ เมื่อแรงดัน $V_{DD}$ เป็นแรงดันสภาวะ High โดยที่ แรงดัน $V_{SS}$ เป็นแรงดันในสภาวะ Low

ระดับสัญญาณอนาล็อกสูงสุดจะถูกแทนด้วย $V_{DD}$ และ $V_{SS}$ ซึ่งแรงดันของสัญญาณอนาล็อกมักจะเกิดการสวิงไม่สูงเกินกว่าแรงดัน $V_{DD}$ หรือต่ำกว่า $V_{SS}$




รูปที่ 3.6 ตัวอย่างในการใช้งานของ MC 14066

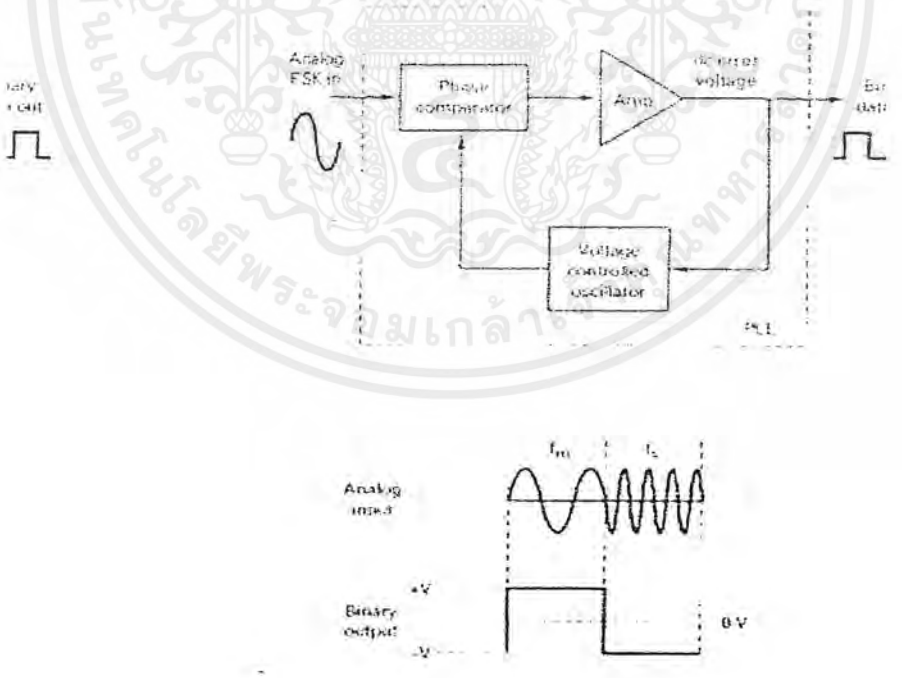
ดังนั้น ไอซีMC 14066 ที่ใช้ในการทำงานของวงจรนั้น จะใช้ทำหน้าที่เป็นอนาล็อกสวิตช์ โดยที่สัญญาณซิงค์ จาก TDM ความถี่ 200 เฮิรตซ์ เข้ามาที่ขา5 ซึ่งจะเป็นสัญญาณลอจิกที่ควบคุมสัญญาณอินพุทที่เข้ามาที่ขา4 โดยสัญญาณอินพุทมีลักษณะเป็นสัญญาณซายน์ความถี่ที่ 3.2 กิโลเฮิรตซ์ ซึ่งคุณสมบัติของไอซี MC 1466 เมื่อสัญญาณซิงค์จาก TDM เป็นสภาวะลอจิก "1" จะทำให้ได้สัญญาณอินพุทที่ความถี่ 3.2กิโลเฮิรตซ์ ออกมาที่ทางเอาท์พุท (ขา3) ของไอซี MC14066 ในทำนองเดียวกัน เมื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณซิงค์จาก TDM อยู่ในสภาวะลอจิก "0" จะทำให้ไม่มีสัญญาณออกมาทางเอาท์พุท (ขา3) ของไอซีซึ่งจะเสมือนเป็นกราวน์ของวงจร ดังนั้นเราจะเห็นว่าสัญญาณที่ได้ออกมาจากเอาท์พุทของไอซีนั้นจะมีลักษณะเป็นเอเอสเค(ASK : Amplitude Shift Keying ) แต่ปัญหาของไอซีตัวนี้มีอยู่ว่าในสภาวะที่ลอจิกเป็น "0" ในทางทฤษฎีจะได้สัญญาณที่ระดับกราวน์ออกมา แต่ทางปฏิบัติจะมีสัญญาณรบกวน การแก้ปัญหาทำได้โดยการใส่ค่าความต้านทานที่เหมาะสม ที่ขาเอาท์พุทต่อลงกราวน์

## 3.5 การดีมอดูเลตเอฟเอสเค

ในการดีมอดูเลตเอฟเอสเคของทางด้านเครื่องรับนั้น จะมีวงจรอยู่วงจรหนึ่งที่นิยมนำมาใช้กันอย่างมากนั้นก็คือ วงจรเฟสล็อกลูป ( Phase Locked Loop : PLL ) ซึ่งจะถูกนำมาใช้ในการดีมอดูเลตสัญญาณไบนารี่เอฟเอสเค โดยบล็อกไดอะแกรมสำหรับเฟสล็อกลูปเอฟเอสเคดีมอดูเลเตอร์( PLL FSK demodulator) แสดงดังรูปที่ 3.7



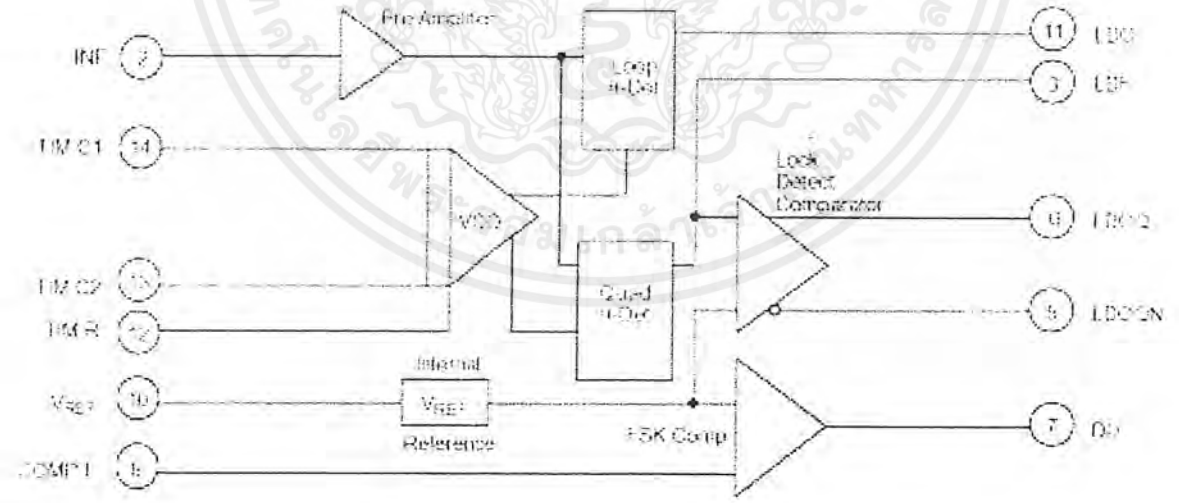

รูปที่ 3.7 แสดงการทำงานของเฟสล็อกลูปเอฟเอสเคดีมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยจากบล็อกไดอะแกรม สัญญาณอนาล็อกเอฟเอสเคจะถูกส่งเข้ามา จากนั้นจะถูกภาคเปรียบเทียบเฟส(Phase comparator) ทำหน้าที่เปรียบเทียบเฟสของสัญญาณ โดยสัญญาณอนาล็อกนี้เป็นที่ทราบแล้วว่า จะประกอบด้วยความถี่ของสัญญาณมาร์ค(Mark frequency) และความถี่ของสัญญาณสเปซ(Space frequency) ดั้งนั้นก็จะเกิดความแตกต่างทางเฟสขึ้น โดยความแตกต่างทางเฟสนี้จะถูกส่งต่อไปยังภาค VCO ( Voltage Controlled Oscillator ) ทำหน้าที่นำแรงดันคลาดเคลื่อน(DC error voltage) ดังกล่าวนั้นมาทำการควบคุมจนกระทั่งเฟสและความถี่ตรงกับ ความถี่ของสัญญาณมาร์คและความถี่ของสัญญาณสเปซ ก็จะถูกส่งออกไปที่เอ้าท์พุทซึ่งระดับสัญญาณแรงดันไฟตรงที่ถูกต้องจะต้องมี 2 ระดับเท่านั้นคือลอจิก “0” และลอจิก “1” ซึ่งเป็นระดับลอจิกที่ตรงกันกับไบนารี่อินพุทของ เอฟเอสเคมอดูเลเตอร์

## 3.6 การทำงานของอุปรณ์ต่างๆของในส่วนการดีมอดูเลตเอฟเอสเค

### 3.6.1 XR-2211




รูปที่ 3.8 บล็อกไดอะแกรมของ XR-2211

XR-2211เป็นไอซีที่สำคัญมากในภาคดีมอดูเลตเอฟเอสเค เพราะเป็นไอซีที่ทำหน้าที่เป็นตัวเปลี่ยนสัญญาณข้อมูลที่อยู่ในรูปเอฟเอสเคให้เป็นสัญญาณดิจิตอล 6,400 บิตต่อวินาที เพื่อส่งสัญญาณนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้กับภาคดีมัลติเพล็กซ์แบบแบ่งเวลา เพื่อทำการส่งคืนสัญญาณให้เหมือนเดิมกับที่ส่งมาจากภาคส่ง ซึ่งภายในโครงสร้างของ XR-2211 นั้นภายในจะถูกออกแบบเป็นระบบเฟสล็อกลูป ( PLL )เพื่อสำหรับใช้งานด้านสื่อสารโดยเฉพาะจะใช้ในส่วนของเอฟเอสเค โดยวงจรจะประกอบด้วยพื้นฐานของเฟสล็อกลูปเพื่อให้สัญญาณอินพุทเข้าไปในช่วงที่ผ่านไปได้ มุมเฟสจะถูกตรวจสอบได้ ก็ต่อเมื่อให้ตัวพาหะเป็นตัวตรวจสอบและ แรงดันเอฟเอสเคจะถูกเปรียบเทียบ โดยที่เอฟเอสเคดีมอดูเลตเป็นตัวกำหนดอุปกรณ์ภายนอกจะขึ้นเป็นอิสระต่อกันในการหาค่าความถี่ศูนย์กลาง (frequency center), ช่วงแถบความถี่ (Bandwidth)และเอาท์พุท (Output) แรงดันอ้างอิงภายในจะเป็นสัดส่วนกับแหล่งจ่ายไฟที่กำหนดที่ขาเอาท์พุทแสดงได้ดังรูปที่ 3.8 แสดงถึงบล็อกไดอะแกรมของ XR-2211

ในการออกแบบ โครงสร้างของ XR-2211 ซึ่งทางด้านสัญญาณด้านอินพุทเป็นสัญญาณเอฟเอสเคเข้ามา โดยที่สภาวะลอจิก "1" มีความถี่ที่ 25.6 กิโลเฮิรตซ์ ในสภาวะลอจิก "0" จะมีความถี่ 38.4 กิโลเฮิรตซ์เข้ามา ทำให้เราสามารถหาค่าความถี่ศูนย์กลางของเฟสล็อกลูปได้

$$f_o = \sqrt{f_1 \times f_2} \qquad (3.6)$$

นั่นคือ $f_o = \sqrt{25.6k \times 38.4k}$

$= 31.353$ กิโลเฮิรตซ์

ก็จะได้ความถี่ศูนย์กลางมาแล้ว ต่อไปก็ทำการหาค่า $R_o$ ซึ่งในสเปคของไอซีกำหนดให้เลือกค่าที่อยู่ระหว่าง 10 กิโลโอห์มถึง 100 กิโลโอห์ม ซึ่งในการใช้งานเลือกไว้ที่ค่า 32กิโลโอห์ม เพราะวงจรที่ใช้งานได้เลือกค่าคาปาซิเตอร์ $C_o$ไว้ที่ค่า 1 นาโนฟารัด จากนั้นทำการหาค่าความต้านทานต่างๆ ตามสเปคของไอซีที่ต้องการ โดยเลือกค่า $C_1$ให้มีค่า 100 พิโกฟารัด ดังนั้นจึงสามารถหาค่า $R_1$ได้จาก

$$R_1 = [R_o.f_o/(f_1-f_2)].2 \qquad (3.7)$$

จะได้ว่า $R_1 = [32k \times 31.353k/(25.6k-38.4k)] \times 2$

$= 50$ กิโลโอห์ม

ดังนั้นเราจะหาค่า $C_1$ เป็นตัวตั้งค่าลูปโดยมีค่า $\varsigma = 0.5$

โดยที่ $\varsigma$ : Loop damping ซึ่งหาได้จาก

$$C_1 = 1250.C_o/R_1.\varsigma^2$$

ดังนั้นได้ว่า $C_1 = 1250 \times 1n/50k \times (0.5)^2$

$= 100$ พิโกฟารัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเราจะได้ค่าของอุปกรณ์ต่างๆ มาใส่ในวงจรแล้ว ซึ่งสัญญาณเอาท์พุทเป็นดิจิตอลมีอัตราเร็ว 6,400 บิตต่อวินาที และสุดท้ายที่จะต้องหาค่าคือ ค่าความจุไฟฟ้ากรองข้อมูล ( Data Filter Capacitance, : $C_F$ )โดยจะต้องหาค่าของ $R_{sum}$ ซึ่งเป็นค่าความต้านทานรวมของไอซี XR-2211นั่นเอง โดยหาได้จาก

$$R_{sum} = (R_F + R_1) \times R_B / (R_1 + R_F + R_B) \qquad (3.8)$$

ซึ่งจะเห็นว่าค่าของ $R_F$ และ $R_B$ ยังไม่ทราบค่า ดังนั้นจะต้องหาค่าของค่าความต้านทานทั้งสองตัวนี้ก่อน ซึ่งจะหาได้จาก

$$R_F = 5 \text{ เท่าของ } R_1 \qquad (3.9)$$

$$= 5 \times 50k = 250 \text{ กิโลโอห์ม}$$

และค่าของ $R_B$

$$R_B = 5 \text{ เท่าของ } R_F \qquad (3.10)$$

จะได้ว่า

$$R_B = 5 \times 250k$$

$$= 1.25 \text{ เมกะโอห์ม}$$

ดังนั้นเราสามารถหาค่าของ $R_{sum}$ ได้ดังนี้

$$R_{sum} = (250k + 50k) \times 1.25M / (50k + 250k + 1.25M)$$

$$= 241.935 \text{ กิโลโอห์ม}$$

เราจะได้ค่าความจุไฟฟ้าในการกรองข้อมูล $C_F$ ได้ว่า

$$C_F = 0.25 / (R_{sum} \times \text{Baud rate}) \qquad (3.11)$$

ซึ่ง Baud rate ที่เราใช้นั้นจะใช้ที่ 6,400บิตต่อวินาที

$$C_F = 0.25 / (241.935k \times 6,400)$$

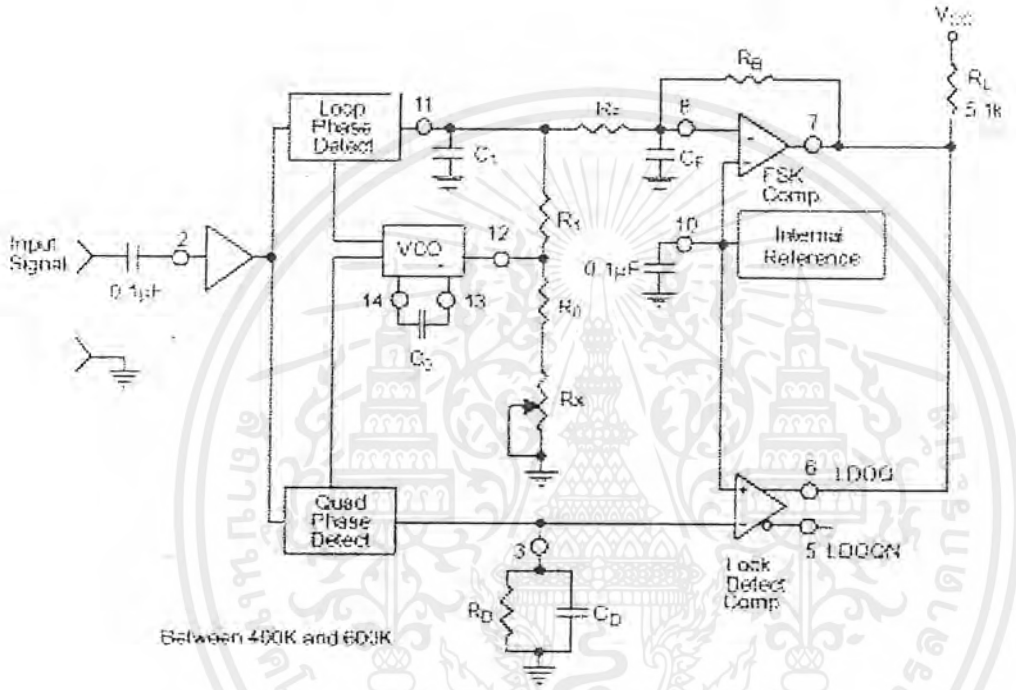
$$= 161.41 \text{ พิโกฟารัด}$$

ซึ่งในการคำนวณทั้งหมดนี้ จะเป็นการคำนวนเพื่อให้ได้ข้อมูลที่ออกมาจากเอาท์พุทนั้น สัญญาณดิจิตอลหรือสัญญาณข้อมูล ที่มีอัตราข้อมูลเป็น6,400 บิตต่อวินาที ซึ่งปัญหาของการคำนวณนั้นจะมีอยู่ว่า ถ้าใช้ค่าความต้านที่แน่นอนแล้ว ในทางปฏิบัติจะไม่ได้สัญญาณตามที่คำนวณ เนื่องจากมีผลจากค่าผิดพลาดของอุปกรณ์ต่างๆหรือผลจากการเลย์เอ้าท์( Layout) ที่ไม่ค่อยดีนัก จะทำให้มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณรบกวนได้ ดังนั้นจึงต้องหาวิธีที่แก้ปัญหาตรงนี้ โดยใช้ค่าความต้านทานปรับค่าได้ที่ $R_X$ เพื่อปรับค่าที่คลาดเคลื่อนดังกล่าว ให้ถูกต้องและปรากฏสัญญาณที่เอ้าท์พุท

สำหรับวงจรที่ใช้งานดังกล่าว แสดงดังรูปที่ 3.9




รูปที่ 3.9 แสดงวงจรเอฟเอสเคดีมอดูเลเตอร์ที่ใช้งาน

**3.6.2 74HC123**

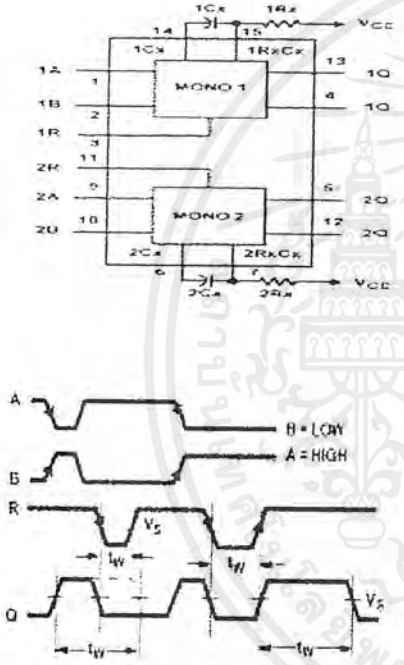
ไอซี 74HC123 เป็นไอซีที่ทำหน้าที่เป็นโมโนสะเตเบิ้ลมัลติไวเบรเตอร์(Monostable multivibrator) สำหรับการรีเซ็ทสามารถถูกทริกเกอร์ได้ทั้งพัลส์บวกและลบได้ ความต้านทานภายนอก $R_X$ และคาปาซิเตอร์ภายนอก $C_X$ จะควบคุมไทม์มิ่งและความเที่ยงตรงของวงจร ในการปรับค่าของค่าความต้านทานภายนอก $R_X$ และค่าคาปาซิเตอร์ภายนอก $C_X$ จะทำให้ได้พัลส์ของเอาท์พุทมีย่านที่กว้าง

ความกว้างของพัลส์ที่เอาท์พุท อาจจะถูกขยายด้วยการปล่อยสัญญาณอินพุทที่ $\overline{A}$ และ B ขั้วพัลส์ที่เอาท์พุทสามารถมีระดับแรงดัน Low หรือเป็นระดับแรงดันที่มีสภาวะลอจิก "0" นั่นเอง บนชารี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เซ็ทที่ขาของ R อินพุท $\overline{A}$ จะทริกเกอร์ที่ขอบขาลงและอินพุท B จะทริกเกอร์ที่ขอบขาขึ้น เป็นการจัดการทริกเกอร์ขอบขาใดขอบขาหนึ่งของพัลส์ที่อินพุท ค่าต่ำสุดของค่าความต้านทานภายนอก $R_X$ มีค่าประมาณ 5 กิโลโอห์ม การคำนวณสำหรับความกว้างของพัลส์ได้ว่า

$$t_W = 0.45 \times R_X C_X \text{ที่ } V_{CC} = 5 \text{ โวลท์} \qquad (3.12)$$




TRUTH TABLE

| INPUTS | | | OUTPUTS | |
|---|---|---|---|---|
| A | B | R | Q | Q |
| CD74HC/HCT123 | | | | |
| H | X | H | ⌐ | H |
| X | L | H | ⌐ | H |
| L | ↑ | H | ⌐⌐ | ⌐⌐ |
| ↓ | H | H | ⌐⌐ | ⌐⌐ |
| X | X | L | ⌐ | H |
| L | H | ↓ | ⌐⌐ | ⌐⌐ |
| CD74HC/HCT423 | | | | |
| H | X | H | L | H |
| X | L | H | L | H |
| L | ↑ | H | ⌐⌐ | ⌐⌐ |
| ↓ | H | H | ⌐⌐ | ⌐⌐ |
| X | X | L | L | H |

NOTE: H = High Voltage Level, L = Low Voltage Level, X = Don't Care.

ก) โครงสร้างภายในและไดอะแกรมเวลาของ 74HC123 ข) ตารางความจริงของไอซี 74HC123

รูปที่ 3.10 แสดงถึงโครงสร้างภายใน ไดอะแกรมเวลา และตารางความจริงของไอซี 74HC123

ดังนั้นในการคำนวณของไอซี ที่ใช้ในวงจรที่ใช้งานจริงๆนั้น จะใช้ไอซีถึงสองตัวด้วยกันโดยให้ใช้อินพุทที่เข้ามานั้นจะใช้งานที่ขอบขาขึ้นก่อน โดยจะใช้ไทม์มิ่งที่เวลาเท่ากับ 1.25 มิลลิวินาที และอีกตัวหนึ่งจะใช้ไทม์มิ่งที่เวลาเท่ากับ 1 ไมโครวินาที โดยใช้งานที่ขอบขาลงโดยจะเอาสัญญาณพัลส์ตรงนี้ไปใช้ในการรีเซ็ทที่ภาคดีมัลติเพล็กซ์แบบแบ่งเวลา ดังนั้นในการคำนวนไอซีตัวแรกที่เวลาเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.25 มิลลิวินาที ซึ่งหาได้โดยจะทำการกำหนดค่าของคาปาซิเตอร์ที่ 0.1 ไมโครฟารัด เราสามารถหาค่าความต้านทานภายนอกได้ดังนี้

$$t_w = 0.45 \times R_x 0.1uF \quad (3.13)$$

$$R_x = 1.25\,ms / 0.45 \times 0.1uF \quad (3.14)$$

$$= 28 \text{ กิโลโอห์ม}$$

และตัวที่สองที่ใช้งานที่ขอบขาลง โดยจะใช้เวลาในการไทม์มิ่งเท่ากับ 1 ไมโครวินาทีและจะทำการกำหนดค่าคาปาซิเตอร์เท่ากับ 0.001 ไมโครฟารัด ดังนั้นสามารถหาค่าความต้านทานภายนอกได้

$$t_w = 0.45 \times R_x 0.001uF$$

$$R_x = 1us / 0.45 \times 0.001uF$$

$$= 22 \text{ กิโลโอห์ม}$$

ดังนั้นก็จะได้พัลส์ที่ต้องการออกมา แต่ในการปฏิบัติจริงๆนั้น จะต้องมีค่าความต้านทานที่ปรับค่าได้จะเป็นการดีกว่า เพราะจะสามารถที่จะปรับค่าเพื่อให้ได้พัลส์ที่เวลาที่แน่นอนกว่า

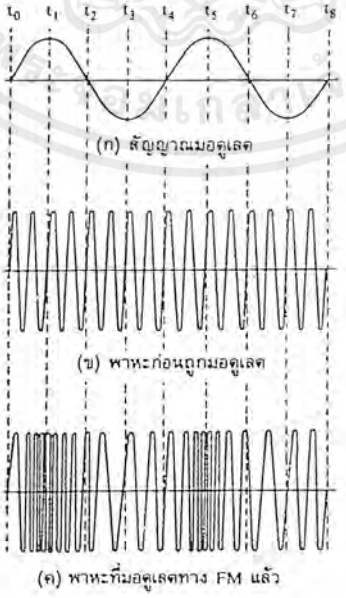
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4
# การมอดูเลตและดีมอดูเลตทางความถี่

การมอดูเลตทางความถี่(Frequency Modulation : FM) นั้น สัญญาณที่ต้องการส่งหรือสัญญาณข่าวสาร(Message Signal) จะไปทำให้ความถี่ของคลื่นพาหะ(Carrier) เกิดการเปลี่ยนแปลง โดยถ้าสัญญาณมีค่าเป็นบวกก็จะทำให้ความถี่ของคลื่นพาหะสูงขึ้น และเมื่อสัญญาณมีค่าเป็นลบก็จะทำให้ความถี่ของคลื่นพาหะลดลง หรืออาจจะกล่าวได้ว่าขนาดของสัญญาณเป็นตัวทำให้ความถี่ของคลื่นพาหะเปลี่ยนแปลงนั่นเอง

## 4.1 สัญญาณ เอฟเอ็ม

รูปคลื่นของสัญญาณที่เกิดจากการมอดูเลตทางความถี่ หรือสัญญาณเอฟเอ็ม อาจเกิดจากการนำเอาสัญญาณเสียงดังรูปที่ 4.1 ก ซึ่งเป็นข่าวสารเข้าไปมอดูเลตกับสัญญาณพาหะดังรูปที่ 4.1 ข จะทำให้ได้รูปคลื่นสัญญาณพาหะที่ถูกมอดูเลตแล้วดังรูปที่ 4.1ค ซึ่งเป็นสัญญาณเอฟเอ็ม นั่นเอง จะเห็นว่าที่เวลา $t_0$ สัญญาณเอฟเอ็มอยู่ที่ความถี่กลาง เมื่อสัญญาณที่เข้ามามอดูเลตมีค่าทางบวกสูงสุด ความถี่ของพาหะก็จะเพิ่มขึ้นสูงสุด นั่นคือสัญญาณมอดูเลตถึงจุดสุดยอด หรือมีความถี่สูงที่สุดนั่นเอง




รูปที่ 4.1 สัญญาณเอฟเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เวลา $t_2$ สัญญาณมอดูเลตลดลงเป็นศูนย์ ความถี่ของพาหะก็จะลดลงมาที่ความถี่กลางตามเดิมหลังจากที่สัญญาณมอดูเลตมีค่าตกลงต่ำกว่าศูนย์กลายเป็นลบ ความถี่พาหะก็จะมีความถี่ลดลงต่ำกว่าความถี่กลาง และเมื่อสัญญาณมอดูเลตกลับมาเป็นศูนย์อีกครั้ง ความถี่พาหะก็จะกลับมายังความถี่กลางตามเดิมเช่นกัน ในช่วงเวลา $t_4$ถึง $t_8$ ก็จะซ้ำแบบเดิมไปเรื่อยๆ สรุปแล้วความถี่พาหะก็จะเปลี่ยนแปลงตามแอมพลิจูดของสัญญาณที่มามอดูเลต และพาหะยังคงอยู่ที่ความถี่กลางเมื่อสัญญาณมอดูเลตเป็นศูนย์

ช่วงที่พาหะเบี่ยงเบนไปจากความถี่กลาง เรียกว่า ความถี่เบี่ยงเบน (Frequency deviation) ตัวอย่างเช่น พาหะมีความถี่ 100 เมกะเฮิรตซ์ ลดลงต่ำสุดลงมาเป็น 99.9 เมกะเฮิรตซ์ และเพิ่มสูงสุดเป็น 100.1 เมกะเฮิรตซ์สลับไปมาเช่นนี้ ซึ่งก็หมายความว่าช่วงความถี่เบี่ยงเบนเท่ากับ $\pm$ 0.1 เมกะเฮิรตซ์ หรือ $\pm$ 100 กิโลเฮิรตซ์

อัตราการเบี่ยงเบนความถี่ของ สัญญาณเอฟเอ็ม ขึ้นอยู่กับสัญญาณที่เข้ามามอดูเลต ตัวอย่างเช่น ถ้าสัญญาณที่เข้ามาเป็นโทน(สัญญาณเสียง) ความถี่ 1000 เฮิรตซ์ อัตราการเบี่ยงเบนความถี่ของสัญญาณเอฟเอ็ม จะเท่ากับ 1,000 ครั้งต่อวินาที ถ้าสัญญาณที่เข้ามามอดูเลตเพิ่มความถี่เป็น 10 กิโลเฮิรตซ์ โดยคงค่าแอมพลิจูดเท่าเดิมช่วงความถี่เบี่ยงเบนยังเท่าเดิม คือเท่ากับ $\pm$ 100 กิโลเฮิรตซ์ แต่อัตราการเบี่ยงเบนจะเพิ่มขึ้นเป็น 10,000 ครั้งต่อวินาที นั่นคือความถี่ของสัญญาณที่เข้ามามอดูเลตจะเป็นตัวกำหนดอัตราการเบี่ยงเบนของความถี่

สำหรับแอมพลิจูดของสัญญาณมอดูเลตจะเป็นตัวกำหนดช่วงความถี่เบี่ยงเบน ตัวอย่างเช่นสัญญาณโทนที่มีแอมพลิจูดสูงจะทำให้ความถี่เบี่ยงเบนไป $\pm$ 100 กิโลเฮิรตซ์ สัญญาณโทนที่มีแอมพลิจูดลดลงจะทำให้ความถี่เบี่ยงเบนไป $\pm$ 50 กิโลเฮิรตซ์

กล่าวโดยสรุปก็คือ สัญญาณเอฟเอ็ม มีคุณสมบัติที่สำคัญดังนี้

1.มีแอมพลิจูดที่คงที่ตลอดเวลา แต่ความถี่เปลี่ยนแปลงตามสัญญาณที่เข้ามามอดูเลต

2.อัตราการเบี่ยงเบนความถี่ของสัญญาณพาหะมีค่าเท่ากับความถี่ของสัญญาณที่เข้ามามอดูเลต

3.ช่วงความถี่ที่เบี่ยงเบนเป็นสัดส่วนกับแอมพลิจูดของสัญญาณที่เข้ามามอดูเลต

## 4.2 ไซด์แบนด์และแบนวิดท์ของเอฟเอ็ม

ในที่นี้จะกล่าวถึงไซด์แบนด์(Side band), ดัชนีการมอดูเลต(Modulation index) และแบนด์วิดท์(Bandwidth) ของเอฟเอ็ม ซึ่งเป็นพารามิเตอร์ที่มีความสำคัญในการพิจารณาสัญญาณที่เป็นรูปคลื่นซายน์(Sine wave) โดยจะเกิดไซด์แบนด์จำนวนนับอนันต์ ซึ่งในสัญญาณเอฟเอ็ม จะมีขนาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือแอมพลิจูดที่คงที่เสมอ ซึ่งหมายความว่ากำลังของคลื่นพาหะย่อมกระจายอยู่ในไซด์แบนด์ ซึ่งความสัมพันธ์ของคลื่นพาหะกับไซด์แบนด์ของสัญญาณเอฟเอ็ม ยังขึ้นอยู่กับดัชนีการมอดูเลตด้วย

### 4.2.1 ดัชนีการมอดูเลต

ในระบบเอเอ็ม ปริมาณการมอดูเลตนิยมวัดเป็นเปอร์เซ็นต์การมอดูเลต ซึ่งได้จากการเปลี่ยนแปลงแอมพลิจูดของ เอเอ็ม ทั้งทางด้านสูงสุดและต่ำสุด แต่ในระบบเอฟเอ็ม จะวัดปริมาณการมอดูเลตโดยพิจารณาจากการเปลี่ยนแปลงความถี่ หรือที่เรียกว่า ดัชนีการมอดูเลต (Modulation index) ซึ่งความหมายของดัชนีการมอดูเลตเป็นดังนี้

$$m = f_d / f_m \qquad (4.1)$$

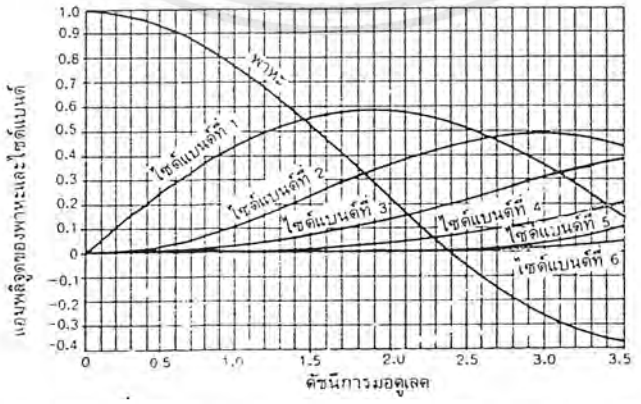
โดยที่ $f_d$ คือ ช่วงความถี่เบี่ยงเบน

$f_m$ คือ ความถี่ของสัญญาณที่เข้ามามอดูเลต

### 4.2.2 ไซด์แบนด์ของ เอฟเอ็ม

ความแตกต่างของระบบเอเอ็มและระบบเอฟเอ็ม ที่เห็นได้ชัดก็คือ ไซด์แบนด์ซึ่งในระบบเอเอ็ม ถ้าเรามอดูเลตด้วยสัญญาณรูปซายน์จะเกิดไซด์แบนด์จำนวนสองตัวก็คือ USB กับ LSB แต่ในระบบเอฟเอ็มถ้าเรามอดูเลตด้วยสัญญาณรูปซายน์จะเกิดไซด์แบนจำนวนนับอนันต์ เนื่องจากการเบี่ยงเบนความถี่ของพาหะทำให้เกิดความถี่เพิ่มขึ้นมากมาย ความจริงแล้วไซด์แบนด์ที่อยู่ห่างจากความถี่กลางมากๆมักมีแอมพลิจูดเล็กมากจนไม่ต้องคำนึงถึง

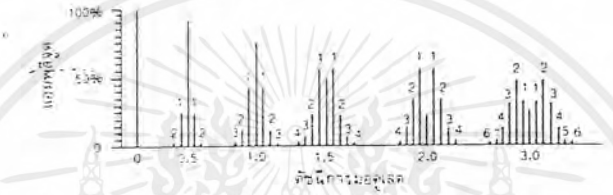
จากรูปที่ 4.2 เป็นรูปกราฟแสดงแอมพลิจูดของคลื่นพาหะกับไซด์แบนด์ที่ดัชนีการมอดูเลตค่าต่างๆ




**รูปที่ 4.2 กราฟแสดงแอมพลิจูดของพาหะและไซด์แบนด์ในระบบเอฟเอ็ม**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| ดัชนีการมอดูเลต | พาหะ | ไซด์แบนด์คู่ที่ | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 |
| 0.00 | 1.00 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| 0.25 | 0.98 | 0.12 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| 0.5 | 0.94 | 0.24 | 0.03 | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| 1.0 | 0.77 | 0.44 | 0.11 | 0.02 | — | — | — | — | — | — | — | — | — | — | — | — | — |
| 1.5 | 0.51 | 0.56 | 0.23 | 0.06 | 0.01 | — | — | — | — | — | — | — | — | — | — | — | — |
| 2.0 | 0.22 | 0.58 | 0.35 | 0.13 | 0.03 | — | — | — | — | — | — | — | — | — | — | — | — |
| 2.5 | -0.05 | 0.50 | 0.45 | 0.22 | 0.07 | 0.02 | — | — | — | — | — | — | — | — | — | — | — |
| 3.0 | -0.26 | 0.34 | 0.49 | 0.31 | 0.13 | 0.04 | 0.01 | — | — | — | — | — | — | — | — | — | — |
| 4.0 | -0.40 | -0.07 | 0.36 | 0.43 | 0.28 | 0.13 | 0.05 | 0.02 | — | — | — | — | — | — | — | — | — |
| 5.0 | -0.18 | -0.33 | 0.05 | 0.36 | 0.39 | 0.26 | 0.13 | 0.05 | 0.02 | — | — | — | — | — | — | — | — |
| 6.0 | 0.15 | 0.28 | -0.24 | 0.11 | 0.36 | 0.36 | 0.25 | 0.13 | 0.06 | 0.02 | — | — | — | — | — | — | — |
| 7.0 | 0.30 | 0.00 | -0.30 | -0.17 | 0.16 | 0.35 | 0.34 | 0.23 | 0.13 | 0.06 | 0.02 | — | — | — | — | — | — |
| 8.0 | 0.17 | 0.23 | -0.11 | -0.29 | -0.10 | 0.19 | 0.34 | 0.32 | 0.22 | 0.13 | 0.06 | 0.03 | — | — | — | — | — |
| 9.0 | -0.09 | 0.24 | 0.14 | -0.18 | -0.27 | -0.06 | 0.20 | 0.33 | 0.30 | 0.21 | 0.12 | 0.06 | 0.03 | 0.01 | — | — | — |
| 10.0 | -0.25 | 0.04 | 0.25 | 0.06 | -0.22 | -0.23 | -0.01 | 0.22 | 0.31 | 0.29 | 0.20 | 0.12 | 0.06 | 0.03 | 0.01 | — | — |
| 12.0 | -0.05 | -0.22 | -0.08 | 0.20 | 0.18 | -0.07 | -0.24 | -0.17 | 0.05 | 0.23 | 0.30 | 0.27 | 0.20 | 0.12 | 0.07 | 0.03 | 0.01 |
| 15.0 | -0.01 | 0.21 | 0.04 | 0.19 | -0.12 | -0.13 | 0.21 | 0.03 | -0.17 | -0.22 | -0.09 | 0.10 | 0.24 | 0.28 | 0.25 | 0.18 | 0.12 |




รูปที่ 4.3 แสดงการกระจายคลื่นพาหะและไซด์แบนด์ที่ดัชนีการมอดูเลตค่าต่างๆ

**4.2.3 แบนด์วิดท์ของสัญญาณเอฟเอ็ม**

ในระบบ เอฟเอ็ม จำนวนไซด์แบนด์และแอมพลิจูดขึ้นอยู่กับดัชนีการมอดูเลต โดยความถี่ของไซด์แบนด์มีค่าสัมพันธ์กับความถี่ของสัญญาณที่เข้ามามอดูเลต กล่าวคือไซด์แบนด์คู่แรกมีความถี่เท่ากับ $f_c \pm f_m$ ไซด์แบนด์คู่ที่สองมีความถี่เท่ากับ $f_c \pm 2 f_m$,...ฉะนั้นแบนด์วิดท์ของคลื่นเอฟเอ็ม จะต้องคลอบคลุมไซด์แบนด์ที่สำคัญทุกตัว นั่นคือ แบนด์วิดท์ขึ้นอยู่กับดัชนีการมอดูเลตและความถี่ของสัญญาณที่เข้ามามอดูเลต แต่ดัชนีการมอดูเลตเท่ากับ $f_d / f_m$ ดังนั้นถ้าทราบความถี่เบี่ยงเบนและความถี่ของสัญญาณที่เข้ามามอดูเลตก็จะสามารถคำนวณหาค่าแบนด์วิดท์ได้

ตัวอย่างเช่นความถี่ของสัญญาณเสียงที่เข้ามามอดูเลตเท่ากับ 3 กิโลเฮิรตซ์ ความถี่เบี่ยงเบนเท่ากับ 18 กิโลเฮิรตซ์ สามารถคำนวณค่าดัชนีการมอดูเลตได้ดังนี้

$$m = f_d / f_m$$

$$= 18\ \text{kHz} / 3\ \text{kHz}$$

$$= 6$$

นำค่า m= 6 ไปหาไซด์แบนด์ที่สำคัญที่พิจารณาได้จากตารางรูปที่ 4.3 จะเห็นว่าเมื่อดัชนีการมอดูเลตเท่ากับ 6 จำนวนไซด์แบนด์จะมีอยู่ 9 คู่ เราจึงคำนวณหาค่าแบนด์วิดท์ได้ดังนี้

$$BW = f_m \times \text{จำนวนไซด์แบนด์} \times 2$$

$$= 3\text{kHz} \times 9 \times 2 = 54\text{kHz}$$

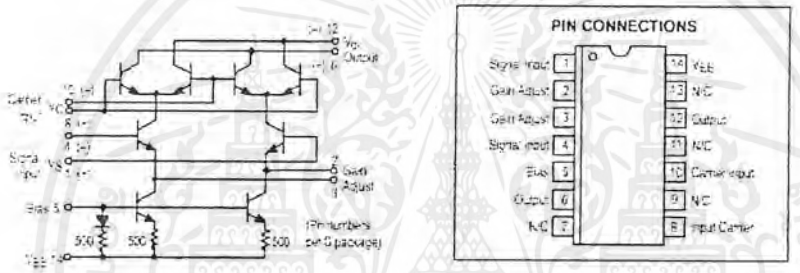
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 4.3 การทำงานของอุปกรณ์ที่สำคัญในภาคมอดูเลตแบบเอฟเอ็ม

### 4.3.1 MC1496

ไอซีเบอร์ MC1496 ถูกออกแบบมาใช้สำหรับเป็นมิกเซอร์ สัญญาณเอ้าท์พุทจะเกิดจากการรวมกันของสัญญาณอินพุทกับสัญญาณคลื่นพาหะ อุปกรณ์ตัวนี้สามารถนำไปประยุกต์ใช้ได้กับ การมอดูเลตทางขนาดหรือเอเอ็ม , การตัดความถี่พาหะ เป็นต้น

สำหรับโครงงานนี้ MC1496 ถูกนำมาใช้เป็นมิกเซอร์ ซึ่งมีโครงสร้างภายในดังรูปที่ 4.4




รูปที่ 4.4 โครงสร้างภายในและตำแหน่งขาของไอซี MC1496

จากรูปวงจรภายในของ MC1496 เป็นวงจรบาลานซ์มอดูเลเตอร์(Balanced Modulator) ซึ่งประกอบด้วยทรานซิสเตอร์ภายใน 8 ตัว ต่อเป็นวงจรขยายความแตกต่าง(Differential amplifier) ซึ่งแรงดันเอ้าท์พุทของ MC1496 นี้จะเป็นสัญญาณที่ขาคอลเลคเตอร์ของวงจรขยายความแตกต่างชุดบน (ขา 6 และขา12) โดยสัญญาณเอ้าท์พุทนี้เกิดจากผลของสัญญาณอินพุท 2 สัญญาณ คือ สัญญาณคลื่นพาหะ (ขา 8 และขา10) และสัญญาณที่จะทำการมอดูเลต (ขา 1 และขา4) มาทำการผสมกัน ซึ่งจะทำให้ได้ สัญญาณที่มีทั้งความถี่ผลรวม ( Summing frequency) และความถี่ผลต่าง (Difference frequency) ซึ่งด้วยวิธีการนี้ MC1496 จึงจะสามารถประยุกต์ใช้งานเป็นบาลานซ์มอดูเลเตอร์(Balanced Modulator) ,ดับบลิ้บาลานซ์มิกเซอร์(Doubly Balanced Mixer) และการใช้งานอื่น ๆ อีกมากมาย

สำหรับวงจรขยายความแตกต่าง(Differential amplifier) ชุดบนจะทำงานได้ทั้งโหมดเชิงเส้น (Linear mode) และโหมดอิ่มตัว (Saturation mode) ส่วนวงจรขยายความแตกต่าง (Differential amplifier) ชุดล่าง จะทำงานที่โหมดเชิงเส้น เป็นส่วนใหญ่ในการนำไปใช้งาน

ซึ่งระดับของสัญญาณ (Signal levels) ถ้าเป็นการทำงานระดับต่ำ ( Low level) ทั้งที่อินพุทของคลื่นพาหะ และสัญญาณข้อมูล จะทำให้ได้สัญญาณที่เอ้าท์พุท ที่มีทั้งความถี่ผลรวมและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ผลต่าง ซึ่งขนาดของสัญญาณเอ้าท์พุท จะเป็นฟังก์ชันของสัญญาณอินพุท และในกรณีเป็นการทำงานในระดับสัญญาณอินพุทสูง (High level) ที่สัญญาณคลื่นพาหะ ในโหมดเชิงเส้น และมีสัญญาณข้อมูล จะทำให้ได้สัญญาณเอ้าท์พุทที่มีทั้งความถี่ผลรวมและผลต่าง นอกจากนี้ยังมีความถี่มูลฐาน( Fundamental) และฮาร์โมนิคส์คี่( Odd Harmonics) ของความถี่คลื่นพาหะด้วย

ในการนำไปใช้งานเราต้องออกแบบค่า พารามิเตอร์ต่าง ๆ สำหรับไอซีเบอร์นี้ ในโครงงานนี้ได้ทำการออกแบบไว้ดังนี้

**กระแสที่จุดทำงานของไอซี** ( Operating current ) เราสามารถออกแบบค่า ความต้านทานที่ ขา 5 ของไอซี MC1496 ได้เมื่อทราบค่ากระแสที่ทำงานของไอซี ซึ่งจากคุณสมบัติของ MC1496 กระแสไบอัสมีค่า 1 มิลลิแอมป์ ดังนั้นจึงสามารถคำนวณหาค่า $R_5$ ได้ดังนี้

$$I_5R_5 + V_{BE} + 500I_5 + V_{EE} = 0$$

ซึ่งจะได้ $$R_5 = (-V_{EE} - 0.7) / 1\ mA - 500$$

โครงงานนี้ใช้ $V_{EE}$ มีค่า -5 โวลท์ ดังนั้นจะได้

$$R_5 = 3.8 \text{ กิโลโอห์ม}$$

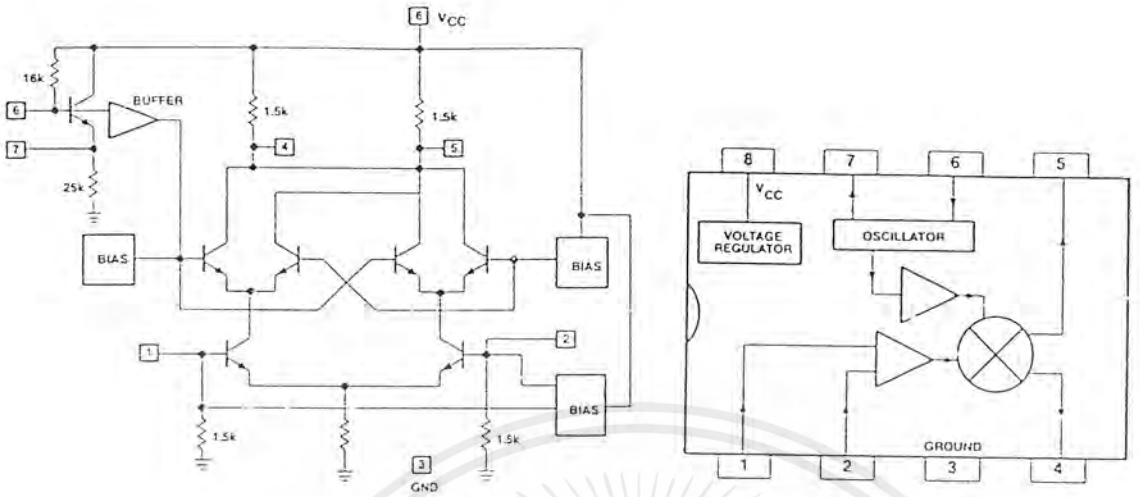
**4.3.2 SA602**

ไอซีเบอร์SA602 นี้ ถูกนำมาใช้งานสำหรับวงจรอาร์เอฟ/ไอเอฟที่ใช้กำลังงานต่ำ(Low power RF/IF circuit ) ซึ่งความถี่กลาง (Intermediate Frequency : IF) นี้จะมีค่า 10.7 เมกะเฮิรตซ์ ซึ่งการทำงานของ SA602 นี้ จะถูกใช้งานเป็นมิกเซอร์ โดยความถี่ที่ได้จะมีค่าได้มากถึง 500 เมกะเฮิรตซ์ นอกจากนี้ยังใช้เป็น ออสซิลเลเตอร์ความถี่สูงสุดถึง 200 เมกะเฮิรตซ์ ได้อีกด้วย สำหรับวงจรภายในและบล็อกไดอะแกรมของ SA602 แสดงดังรูปที่ 4.5

จากวงจรภายในของ SA602 จะเห็นว่ามีความต้านทานภายในที่เอ้าท์พุท SA602 (ขา 4 และ ขา 5 ) มีค่า 1.5 กิโลโอห์ม เพื่อใช้ในการแมทชิ่งกับเซรามิคฟิลเตอร์(Ceramic filter) 10.7 เมกะเฮิรตซ์ ที่ขา 6 จะเป็นอินพุทของโลคอลออสซิลเลเตอร์(Local Oscillator input) ซึ่งมีแรงดันอย่างต่ำ 220 มิลลิโวลท์(RMS) หรือประมาณ 311 มิลลิโวลท์(Peak to Peak) เข้ามา ในการทดสอบการป้อนจาก แหล่งกำเนิดสัญญาณ(Generator) เข้าที่ LO จะต้องต่อความต้านทาน 50 โอห์ม เพื่อให้ SA602 มีอิมพิแดนซ์ที่แมท( match)กับแหล่งกำเนิดสัญญาณด้วย

สำหรับในโครงงานนี้ SA602 ถูกนำมาใช้งานเป็นดับเบิ้ลบาลานซ์มิกเซอร์ที่ใช้กำลังงานต่ำ (Low power double balanced mixer)ซึ่งสามารถใช้งานได้ออสซิลเลเตอร์และมิกเซอร์ซึ่งออสซิลเลเตอร์ นี้สามารถทำงานได้ถึงความถี่ 200 เมกะเฮิรตซ์ โดยที่โลคอลออสซิลเลเตอร์ (ขา 6) สามารถใช้สัญญาณความถี่จากคริสตอลออสซิลเลเตอร์(Crystal oscillator) หรือวงจรแทงค์ได้

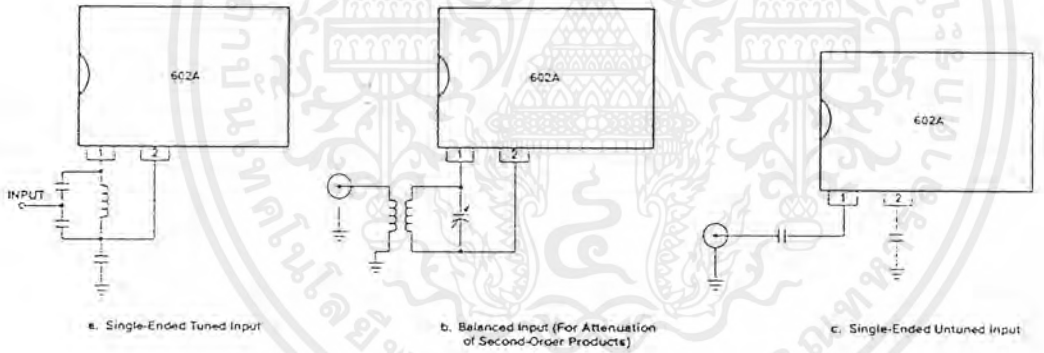
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ก.วงจรภายในของ SA602 ข.บล็อกไดอะแกรมการทำงานของ SA602

รูปที่ 4.5 วงจรภายในและบล็อกไดอะแกรมการทำงาน

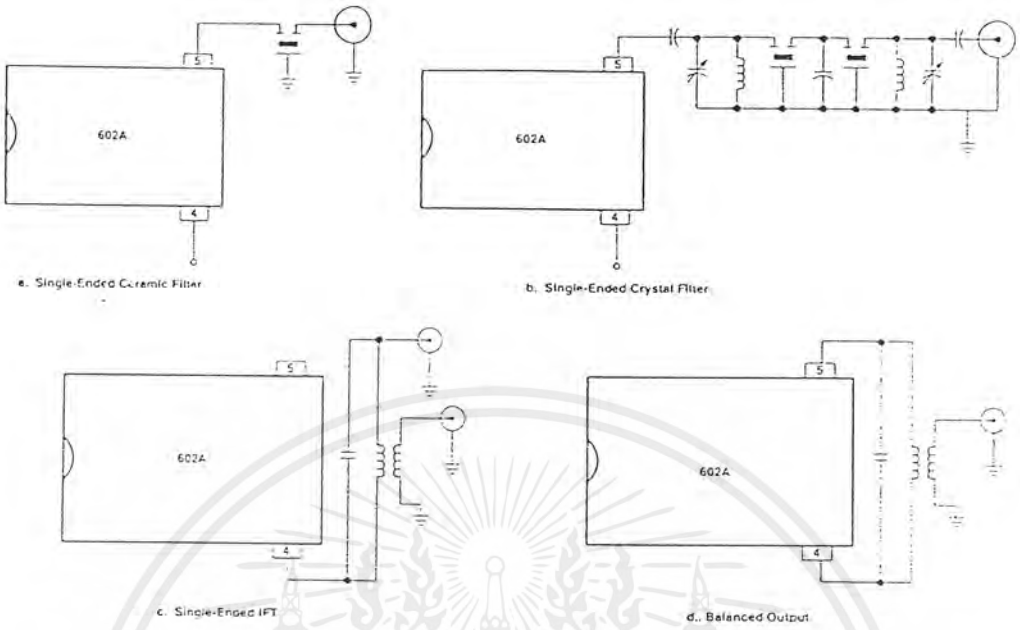
การต่อสัญญาณ RF ที่ ขา 1 และที่ ขา 2 จะมีรูปแบบการต่อดังรูปที่ 4.6




รูปที่ 4.6ลักษณะการต่อสัญญาณด้านอินพุท

สำหรับการต่อสัญญาณเอ้าท์พุท ที่ขา 4 และที่ขา 5 จะมีรูปแบบการต่อดังรูปที่ 4.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.7 ลักษณะการต่อสัญญาณด้านเอ้าท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5
# การสังเคราะห์ความถี่

เครื่องสังเคราะห์ความถี่วิทยุในปัจจุบันส่วนใหญ่นิยมใช้การสังเคราะห์ความถี่แทบทั้งสิ้น วงจรที่ทำหน้าที่สังเคราะห์ความถี่เรียกว่า ซินธิไซเซอร์(Synthesizer) ซึ่งหมายความว่า การสังเคราะห์ (ความถี่) วิธีการสังเคราะห์ความถี่นี้ทำให้วงการเครื่องรับวิทยุเปลี่ยนโฉมหน้าไปอย่างมาก โดยเฉพาะรูปร่างของตัวเครื่องจะมีปุ่มควบคุมต่างๆมากขึ้น เนื่องจากมีขีดความสามารถเพิ่มขึ้น สามารถโปรแกรมเลือกความถี่ใช้งานได้มาก จึงทำให้เกิดความคล่องตัวในการวางข่ายการสื่อสาร

ความจริงหลักการสังเคราะห์ความถี่ได้คิดค้นกันมาตั้งแต่ พ.ศ. 2475 แล้ว และได้พัฒนามาโดยลำดับ แต่เริ่มแพร่หลายกันจริงๆก็เมื่อประมาณ พ.ศ. 2513 เนื่องจากเทคโนโลยีการผลิตไอซีช่วยให้การออกแบบใช้งานมีความสะดวกสบายมากกว่าแต่ก่อน

วงการแรกที่นำระบบสังเคราะห์ความถี่มาใช้ก็คือวงการทหาร(Military) และกิจการเดินอากาศ(Aviation) แล้วจึงค่อยๆนำมาใช้ในวงการเครื่องวิทยุสื่อสารทั่วไปตามลำดับ

วิธีการสังเคราะห์ความถี่แต่ละแบบมีความซับซ้อนแตกต่างกัน ซึ่งขึ้นอยู่กับช่วงความถี่ (Frequency range)ช่วงห่างระหว่างขั้น(Step size หรือ Resolution) ในที่นี้จะขออธิบายเฉพาะการสังเคราะห์ความถี่ที่ใช้ในเครื่องรับส่งวิทยุทั่วไป

## 5.1 วิธีการสังเคราะห์ความถี่

ความจริงวงจรสังเคราะห์ความถี่ก็คือ วงจรที่ทำหน้าที่ผลิตสัญญาณความถี่ที่พอเหมาะ และให้มีความถี่ตามที่เรากำหนด คือสามารถสั่งหรือโปรแกรมได้โดยการตั้งสวิทซ์หรือกดปุ่ม แต่ในปัจจุบันนิยมการสั่งงานด้วยคอมพิวเตอร์

ช่วงความถี่ที่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงความถี่ที่แน่นอน แล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนแปลงทีละขั้น หรือที่เรียกว่า รีโซลูชั่น(Resolution) ซึ่งวิธีการสังเคราะห์ความถี่สามารถทำได้ 2 วิธีคือ

1.วิธีการสังเคราะห์ความถี่โดยตรง (Direct systhesis) ซึ่งต้องใช้ความถี่หลายค่ามาทำการผสมกัน เพื่อให้ได้ความถี่ที่ต้องการ โดยปกติต้องใช้แร่บังคับความถี่หลายชุด

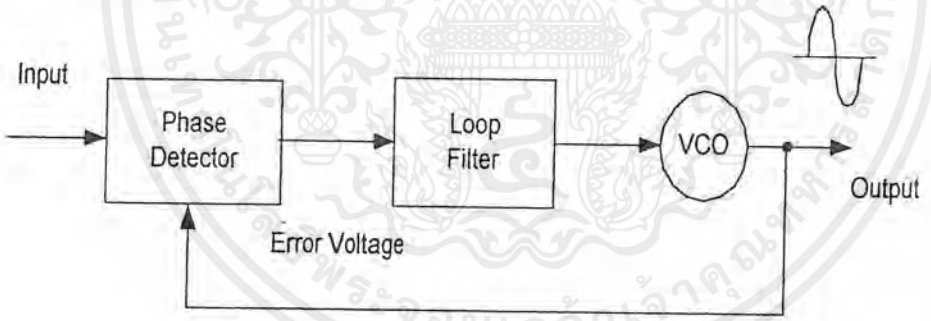
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. วิธีการสังเคราะห์ความถี่โดยอ้อม (Indirect systhesis) วิธีการนี้อาศัยหลักการของเฟสล็อกลูป(Phase Locked Loop) ซึ่งเรียกย่อๆว่า PLL

วิธีการสังเคราะห์ความถี่โดยอ้อมหรือวิธีเฟสล็อกลูปนั้น เราอาศัยการกำเนิดสัญญาณจากวงจรออสซิลเลเตอร์ (Oscillator)ซึ่งควบคุมความถี่โดยการปรับแรงดันที่เรียกว่า VCO (Voltage Controlled Oscillator) จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิง แล้วนำผลลัพธ์ซึ่งเป็นความถี่คลาดเคลื่อนมาแปลงเป็นแรงดัน ไปควบคุมการออสซิลเลตของ VCO อีกครั้งหนึ่ง

## 5.2 หลักการของเฟสล็อกลูป

เฟสล็อกลูปเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อกลูปประกอบด้วยภาคที่สำคัญก็คือ ภาคเปรียบเทียบเฟสหรือเฟสดีเทคเตอร์(Phase detector) ภาคลูปฟิลเตอร์ (Loop filter) และภาค VCO แสดงบล็อกไดอะแกรมการทำงานของเฟสล็อกลูปดังรูปที่ 5.1




รูปที่ 5.1 บล็อกไดอะแกรมการทำงานของเฟสล็อกลูป

สมมติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ(Period) เข้ามาที่อินพุท ภาคเปรียบเทียบเฟสจะทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณจาก VCO เอ้าท์พุทที่ได้จากภาคเฟสดีเทคเตอร์จะมีแรงดันที่มีแอมพลิจูดเป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้งสองที่ทำการเปรียบเทียบ แรงดันทั้งสองนี้ป้อนไปให้ลูปฟิลเตอร์ซึ่งเป็นฟิลเตอร์ชนิดโลพาสกรองเอาแต่เฉพาะความถี่ต่างๆที่ต้องการ เพื่อส่งไปควบคุมการออสซิลเลตของวงจร VCO ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อลูปอยู่ในภาวะล็อก(Locked)ความถี่ของสัญญาณ VCO จะเท่ากับความถี่ของสัญญาณที่อินพุทพอดี อาจจะมีเฟสแตกต่างกันออกไป แต่ค่าเฟสที่แตกต่างนั้นจะมีค่าคงที่ (Constant phase difference)กรณีที่มีเฟสไม่ตรงกันภาคเฟสดีเทคเตอร์จะจ่ายแรงดันคลาดเคลื่อน(Error voltage)ไปควบคุมการทำงานของ VCOเพื่อมิให้เฟสคลาดเคลื่อนจนกว่าจะเข้าสู่สภาวะล็อก เอ้าท์พุทของ VCO จึงมีแอมพลิจูดคงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงตามความถี่ของสัญญาณอินพุท

เราสามารถนำเฟสล็อกลูปไปสังเคราะห์หรือผลิตความถี่ที่มีความเที่ยงตรงและมีเสถียรภาพเทียบเท่ากับสัญญาณอ้างอิงได้ วงจรนี้เรียกว่า วงจรสังเคราะห์ความถี่ ระบบสังเคราะห์ความถี่จะช่วยให้เราสามารถสังเคราะห์สัญญาณเอ้าท์พุทที่ได้จากวงจร VCO ให้มีความถี่ตามต้องการได้หลายความถี่ โดยมีความเที่ยงตรงและมีเสถียรภาพสูงเทียบเท่าคริสตอลออสซิลเลเตอร์

ความจริงแล้วเฟสล็อกลูปยังมีประโยชน์อื่นๆอีกมากมาย เช่น ในการดีมอดูเลตสัญญาณเอฟเอ็ม เนื่องจากเอ้าท์พุทของเฟสดีเทคเตอร์มีค่าสัมพันธ์กับการเปลี่ยนแปลงเฟสของคลื่นพาหะ

## 5.3การใช้เฟสล็อกลูปในการสังเคราะห์ความถี่

ไม่ว่าระบบการสังเคราะห์ความถี่จะมีความซับซ้อนเพียงใด เมื่อพิจารณาลึกลงไปแล้วจะพบว่ามีเฟสล็อกลูปเป็นหัวใจสำคัญในการสังเคราะห์ความถี่เสมอ ดังรูปที่ 5.2 เป็นตัวอย่างของการสังเคราะห์ความถี่ภาคหาร N ทำหน้าที่หารความถี่แบบตั้งโปรแกรมให้หารด้วยค่าตัวเลขตามต้องการได้ (Programmable divider) ภาคกำเนิดความถี่อ้างอิงมาจากคริสตอลออสซิลเตอร์หรือสัญญาณอื่นๆซึ่งใช้เป็นสัญญาณอ้างอิง(Reference generator) ภาคเปรียบเทียบเฟสและภาคลูปฟิลเตอร์ ซึ่งทำหน้าที่กรองเอาเฉพาะความถี่ต่ำไปใช้งาน

แผนผังในรูปที่ 5.2 จะเห็นว่าสัญญาณอินพุทของภาคเปรียบเทียบเฟสมาจาก 2 แหล่งก็คือจาก VCO ซึ่งมีความถี่เท่ากับ Fo/ N และมาจาก สัญญาณอ้างอิงซึ่งมีความถี่เท่ากับ Fr เอ้าท์พุทจากการเปรียบเทียบก็คือ ผลต่างระหว่างสัญญาณ Fo/N และ Fr ซึ่งจะกรองเอาเฉพาะความถี่ต่ำเท่านั้นเพื่อบังคับการออสซิลเลตของวงจร VCOให้ทำการปรับแก้ความถี่หรือเฟสให้ตรง จนกว่าความถี่ของสัญญาณทั้งสองจะเท่ากัน

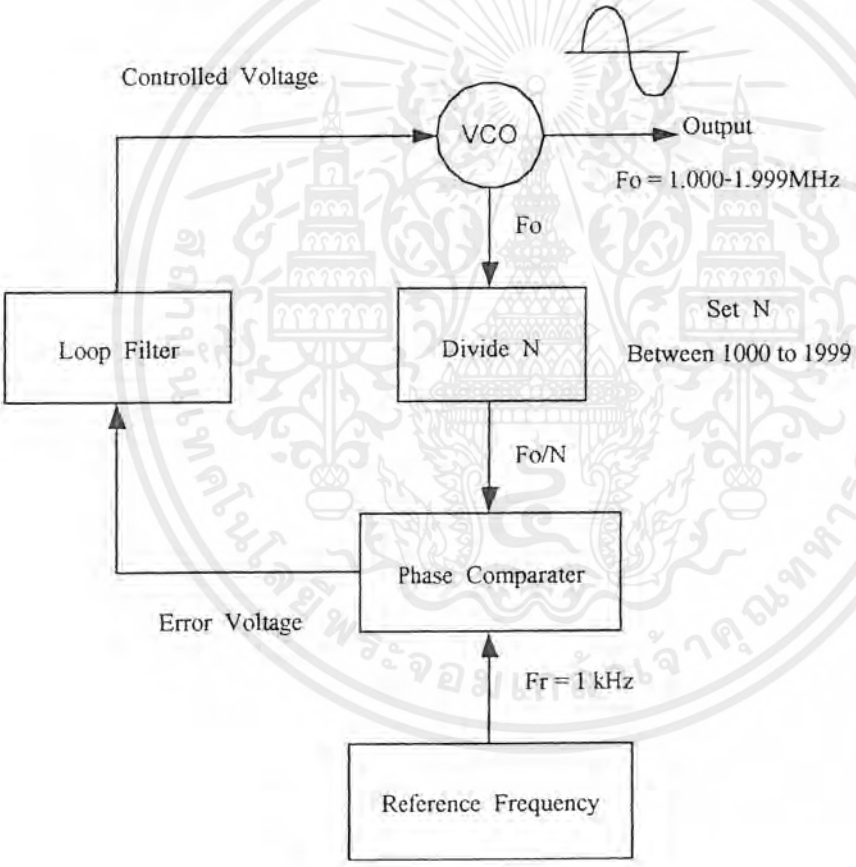
ในภาวะล็อก(Locked)ความถี่ของ VCO เมื่อผ่านวงจรหาร N จะเท่ากับความถี่อ้างอิง นั่นคือ

$$Fo = NFr$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือกล่าวอีกนัยหนึ่ง เอ้าท์พุทจะมีความถี่เป็น N เท่าของความถี่อ้างอิง สมมติว่า Fr = 1 กิโลเฮิรตซ์ N= 1000 จะได้ Fo= 1 เมกะเฮิตรซ์ ถ้า N เพิ่มทีละ 1 เป็น 1001,1002,1003,...ค่า Foจะเพิ่มค่าทีละ 1กิโลเฮิตรซ์ไปเรื่อยๆ เป็น 1.001,1.002,1.003,...เมกะเฮิตรซ์

ขอให้สังเกตว่าเฟสล็อกลูปดังกล่าว สามารถผลิตความถี่ได้แค่เฉพาะความถี่ที่อยู่ในช่วงของวงจร VCO และวงจรหาร N สามารถทำงานได้เท่านั้น และตัวเลขในการหารคือ N ต้องเป็นเลขจำนวนเต็มเสมอ




รูปที่ 5.2 บล็อกไดอะแกรมของการสังเคราะห์ความถี่โดยเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.4 การสังเคราะห์ความถี่ในระบบรับส่งเอฟเอ็ม

ข้อดีที่เห็นได้ชัดของระบบสังเคราะห์ความถี่ก็คือ ทำให้จำนวนช่องใช้งานเพิ่มขึ้นอย่างมหาศาล เครื่องรับส่งในสมัยก่อนมีช่องใช้งานเพียงไม่กี่ช่อง แต่เครื่องรับส่งรุ่นใหม่มีจำนวนช่องใช้งานได้นับร้อยช่อง ทำให้สามารถเลือกใช้ความถี่ได้หลายความถี่ และเปลี่ยนความถี่ที่ใช้งานได้สะดวก

สำหรับเครื่องรับส่งวิทยุที่ใช้แร่บังคับความถี่นั้น หากเพิ่มจำนวนช่องใช้งานจะต้องใช้แร่เพิ่มเติมอีกหลายก้อน และนอกจากนี้เมื่อเปลี่ยนความถี่ก็ต้องเปลี่ยนแร่ใหม่ ทำให้ไม่คล่องตัวในการใช้งาน

นอกจากนี้ระบบสังเคราะห์ความถี่ เป็นระบบที่ผสมเอาวงจรดิจิตอลเข้าไปใช้งานด้วย จึงทำให้การใช้งานเครื่องรับส่งวิทยุยิ่งสะดวกขึ้นไปอีก เพราะถ้าหากเอาไมโครคอลโทรลเลอร์หรือไมโครคอมพิวเตอร์มาต่อร่วมกับวงจรสังเคราะห์ความถี่เพื่อควบคุมการทำงานของวงจรสังเคราะห์ความถี่แล้ว ยิ่งทำให้เครื่องรับวิทยุมีความสามารถต่างๆเพิ่มมากขึ้นอีกมากมาย เช่น มีหน่วยความจำความถี่ (Memory)สามารถที่จะสแกน(Scan)ความถี่ได้ เป็นต้น เครื่องรับส่งวิทยุประเภทนี้อาจมีแผงกดปุ่ม(Keypad)เพื่อโปรแกรมสั่งงานได้จากภายนอกเครื่องและมีหน่วยดิสเพลย์(Display)แสดงความถี่ซึ่งอาจใช้แอลซีดี(LCD)หรือแอลอีดี(LED) ธรรมดาก็ได้ การเปลี่ยนแปลงความถี่มักใช้แกนหมุนเป็นแผ่นบังแสง(Optical encoder) ร่วมกับสวิทช์เพื่อให้เกิดความรู้สึกของการปรับจูนความถี่ แต่บางรุ่นก็ใช้ สวิทช์ธัมวีล(Thumwheel) ธรรมดา

การตั้งความถี่ภายในเครื่อง ได้แก่ การตั้งโปรแกรมโดยใช้ไดโอดหรือจัมเปอร์ หรือใช้หน่วยความจำ เช่น ROM,EPROM,RAM หรืออุปกรณ์อื่นๆแทน

## 5.5 คุณสมบัติของวงจรสังเคราะห์ความถี่

นอกจากวงสังเคราะห์ความถี่จะต้องมีคุณสมบัติเกี่ยวกับช่วงความถี่(Frequency range)ที่ต้องผลิตและรีโซลูชั่นระหว่างขั้นแล้ว คุณสมบัติอื่นๆของวงจรสังเคราะห์ความถี่ก็มีความสำคัญสำหรับเครื่องรับส่งวิทยุด้วย ดังจะได้อธิบายดังต่อไปนี้

โดยปกติวงจรสังเคราะห์ความถี่จะสามารถกำเนิดสัญญาณเพียงสัญญาณเดียว แต่เลือกความถี่ได้หลายค่าในแต่ละช่วงความถี่ที่ใช้งาน และมีความละเอียดของความถี่ที่ใช้งานขึ้นอยู่กับรีโซลูชั่น ในกรณีที่เราเปลี่ยนความถี่จากค่าหนึ่งไปเป็นอีกค่าหนึ่ง วงจรสังเคราะห์ความถี่ต้องเปลี่ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามได้อย่างรวดเร็วทันที กล่าวอีกอย่างหนึ่งก็คือ ล็อกความถี่ได้ในเวลาอันรวดเร็ว นั่นคือช่วงเวลาของการล็อก(Lock up time)สั้น คุณสมบัติการล็อกความถี่ใหม่ได้รวดเร็วนั้นมีความจำเป็นอย่างยิ่งสำหรับเครื่องรับส่งวิทยุ โดยเฉพาะในช่วงระหว่างการเปลี่ยนแปลงจากสภาวะส่งหรือรับ มาเป็นสภาวะรับหรือส่งตามลำดับ หรือในกรณีการสแกนความถี่

วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณความถี่เดียว โดยปราศจากความถี่แปลกปลอมต่างๆคุณสมบัตินี้เรียกว่า ความบริสุทธ์ของสเปคตรัม(Spectrum purity) นั่นคือความถี่ฮาร์โมนิคและสปิวเรียสค่าต่างๆ จะถูกจำกัดให้เหลือน้อยที่สุด นอกจากนี้นอยส์จากวงจรออสซิลเลเตอร์จะทำให้วงจรสังเคราะห์ความถี่มีความถี่ไม่บริสุทธ์ ไม่ใช่เพียงความถี่ในช่วงใกล้เคียงกับความถี่ที่ต้องการ นอยส์ดังกล่าวนี้เรียกว่า เฟสนอยส์(Phase noise)

ความเที่ยงตรง(Accuracy)และเสถียรภาพ(Stability) ทางความถี่ของวงจรสังเคราะห์ความถี่ขึ้นอยู่กับสัญญาณอ้างอิง โดยทั่วไปสัญญาณอ้างอิงมักจะเป็นวงจรออสซิลเลเตอร์ชนิดใช้แร่บังคับความถี่ ฉะนั้นวงจรสังเคราะห์ความถี่จะมีเสถียรภาพและความเที่ยงตรงทางความถี่เท่ากับคริสตอลออสซิลเลเตอร์

## 5.6 วงจรออสซิลเลเตอร์แบบใช้ชิ้นผลึก

วงจรออสซิลเตอร์ที่ใช้ก้อนผลึก จะอาศัยหลักการสั่นของชิ้นผลึกแทนการใช้อุปกรณ์ที่นำมากำเนิดความถี่ และเป็นวงจรที่มีเสถียรภาพทางด้านความถี่สูงมาก

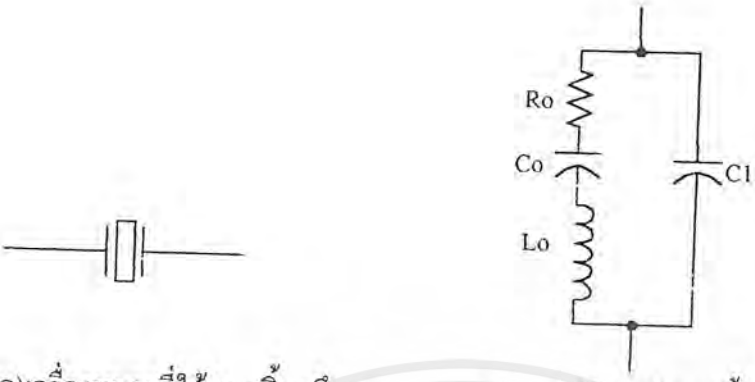
จากการศึกษาที่ผ่านมา ความถี่ของวงจรออสซิลเลเตอร์ LC จะเปลี่ยนแปลงไปตามค่าแรงดัน อุณหภูมิ โหลด และองค์ประกอบอื่นๆที่เปลี่ยนแปลงไป การทำให้วงจร LC มีเสถียรภาพที่ดีทำได้ยากมาก โดยเหตุนี้ภาคต่างๆในเครื่องรับส่งระบบเอฟเอ็มที่ต้องการความแม่นยำ และมีเสถียรภาพทางความถี่มากๆหรือทางด้านเครื่องส่งก็ตาม มักจะเลือกใช้วงจรออสซิลเลเตอร์แบบใช้ก้อนผลึกเป็นแหล่งกำเนิดสัญญาณความถี่ทั้งสิ้น

### 5.6.1 ชิ้นผลึกที่ใช้กำเนิดความถี่

ชิ้นผลึกที่ใช้กำเนิดความถี่เป็นแบบควอทซ์เปียโซอิเล็กทริก(Quartz piezoeletric) การสั่นไหวของมันจะทำให้เกิดความถี่ขึ้น โดยอาศัยคุณสมบัติของสารเปียโซอิเล็กทริก

ซึ่งสัญลักณ์ของชิ้นผลึก จะแสดงดังรูปที่ 5.3ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ก)เครื่องหมายที่ใช้แทนชิ้นผลึก ข)วงจรเทียบเท่าของชิ้นผลึก

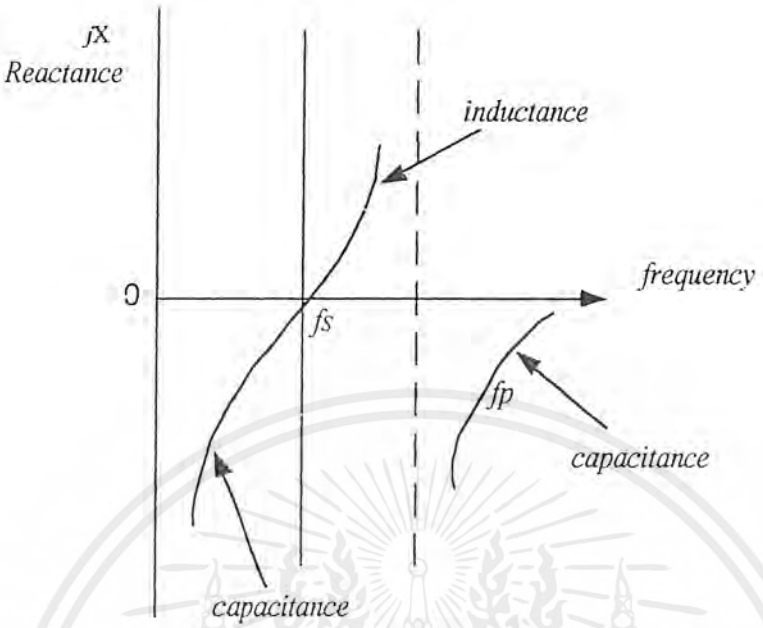
รูปที่ 5.3 ชิ้นผลึกที่ใช้กำเนิดความถี่

ปรากฏการณ์ของเปียโซอิเล็กตริก โดยอาศัยคุณสมบัตินี้ถ้าทำการป้อนแรงกดที่ชิ้นผลึกแบบทันทีทันใดแล้วเอาแรงกดนี้ออกไป ชิ้นผลึกจะเริ่มสั่นตามคุณสมบัติของความถี่ของตัวมัน ในลักษณะกลับไปมา(บวกและลบ) การสั่นนี้ทำให้เกิดศักดาบวกและลบขึ้นเป็นสัดส่วนกับความแรงของการไหวตัวและเกิดขึ้นทั้งสองข้างของชิ้นผลึก นั่นคือแรงดันไฟสลับซึ่งมีความถี่เท่ากับคุณสมบัติทางด้านความถี่ของชิ้นผลึก

ต่อไปเมื่อป้อนแรงดันที่มีขนาดสัญญาณที่มีความถี่สอดคล้องกับคุณสมบัติด้านความถี่ของชิ้นผลึกเข้าไปให้ชิ้นผลึก จะทำให้ชิ้นผลึกเกิดการสั่นและเกิดขึ้นสูงสุด ที่จุดนี้แรงดันที่ได้จากชิ้นผลึกจะมีค่ามากที่สุด และกระแสที่ไหลเข้าไปในชิ้นผลึกจากแหล่งกำเนิดสัญญาณความถี่สูงก็จะมีค่ามากที่สุดด้วย เนื่องจากกระแสของวงจรเพิ่มขึ้นอย่างทันทีทันใดที่ความถี่ที่กำหนดซึ่งลักษณะของวงจรเสมือนจะเหมือนกับวงจรอนุกรมดังรูปที่ 5.3 ข

สำหรับคุณสมบัติของรีแอคแตนซ์ของชิ้นผลึกนี้แสดงดังรูปที่ 5.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 5.4 แสดงคุณสมบัติของค่ารีแอคแตนซ์

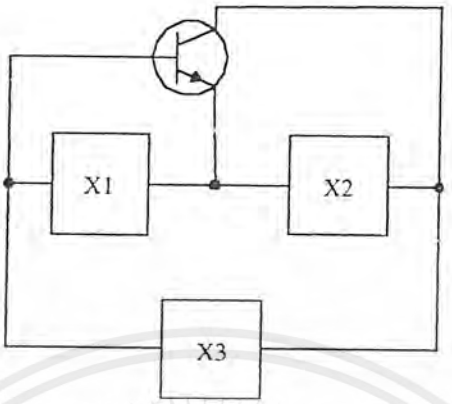
เมื่อชิ้นผลึกเกิดการสั่นสะเทือนและเกิดความถี่ออกมาเป็นความถี่ $f_s$ แล้ว วงจรอนุกรมของชิ้นผลึกจะมีผลเป็นอิมพีแดนซ์ของความจุที่ต่ำกว่า $f_s$ และจะเป็นความเหนี่ยวนำที่ความถี่สูงกว่า $f_s$ เมื่อไม่สนใจต่อความต้านทาน $R_o$ เมื่อความถี่มีค่าสูงขึ้นจนมีค่ามาก ค่ารีแอคแตนซ์ของความเหนี่ยวนำและตัวเก็บประจุ $C_1$ จะประกอบกันขึ้นเป็นวงจรแบบขนานโดยความถี่ที่เกิดขึ้นนี้เรียกว่า $f_p$ ที่จุดนี้อิมพีแดนซ์ของวงจรจะเป็นอิมพีแดนซ์ของตัวเหนี่ยวนำคือ $\pm\alpha$ ค่า $f_p$ สามารถแสดงเป็นสมการได้ดังนี้

$$f_p = f_s \sqrt{1 + \left(\frac{C_o}{C_1}\right)} \qquad (5.1)$$

**5.6.2 วงจรออสซิลเลเตอร์แบบใช้ชิ้นผลึก**

จากรูปที่ 5.5 ซึ่งเป็นวงจรออสซิลเลเตอร์แบบต่อกัน 3 จุด ค่ารีแอคแตนซ์ทั้ง 3ตัวจะถูกแทนด้วยชิ้นผลึกได้ด้วยอาศัยหลักการเบื้องต้นดังตารางที่แสดงดังรูปที่ 5.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

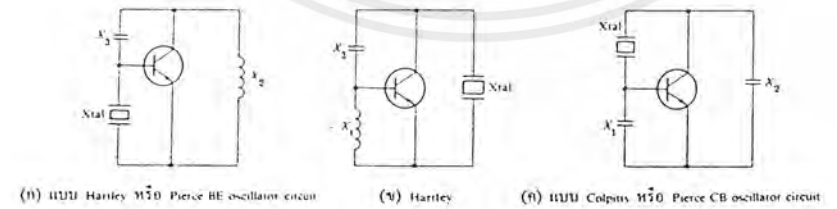



รูปที่ 5.5 วงจรออสซิลเลเตอร์แบบต่อกัน 3 จุด

| | $X_1$ | $X_2$ | $X_3$ | |
|---|---|---|---|---|
| ชนิดฮาร์ทเลย์ | ⊣□⊢ | ∿∿ | ⊣⊢ | วงจร Pierce BE |
| ชนิดฮาร์ทเลย์ | ∿∿ | ⊣□⊢ | ⊣⊢ | |
| ชนิดคอลพิทท์ | ⊣⊢ | ⊣⊢ | ⊣□⊢ | วงจร Piece CB |

รูปที่ 5.6 ตารางแสดงรูปแบบพื้นฐานของวงจรออสซิลเลเตอร์แบบใช้ชิ้นผลึก

สำหรับวงจรพื้นฐานของวงจรออสซิลเลเตอร์แบบใช้ชิ้นผลึกแสดงดังรูปที่ 5.7




(ก) แบบ Hartley หรือ Pierce BE oscillator circuit (ข) Hartley (ค) แบบ Colpitts หรือ Pierce CB oscillator circuit

รูปที่ 5.7 แสดงวงจรพื้นฐานของวงจรออสซิลเลเตอร์แบบใช้ชิ้นผลึก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.7การทำงานของอุปกรณ์ที่สำคัญในภาคสังเคราะห์ความถี่

### 5.7.1 MC145151

ไอซีเบอร์ MC145151 นี้เป็นไอซีที่ใช้ในการสังเคราะห์ความถี่ด้วยเฟสล็อกลูป (Phase Locked Loop frequency synthesizer) ซึ่งสามารถโปรแกรมได้ โดยใช้ข้อมูลขนานขนาด 14 บิตเป็นตัวหาร N และอินพุท3 บิตเป็นตัวหาร R

ซึ่งคุณสมบัติต่างๆของ MC145151 ที่สำคัญๆเป็นดังนี้คือ

-ทำงานที่อุณหภูมิ –40 ถึง 85 องศาเซลเซียส

- ใช้แหล่งจ่ายไฟตรง 3.0 ถึง 9.0 โวลท์

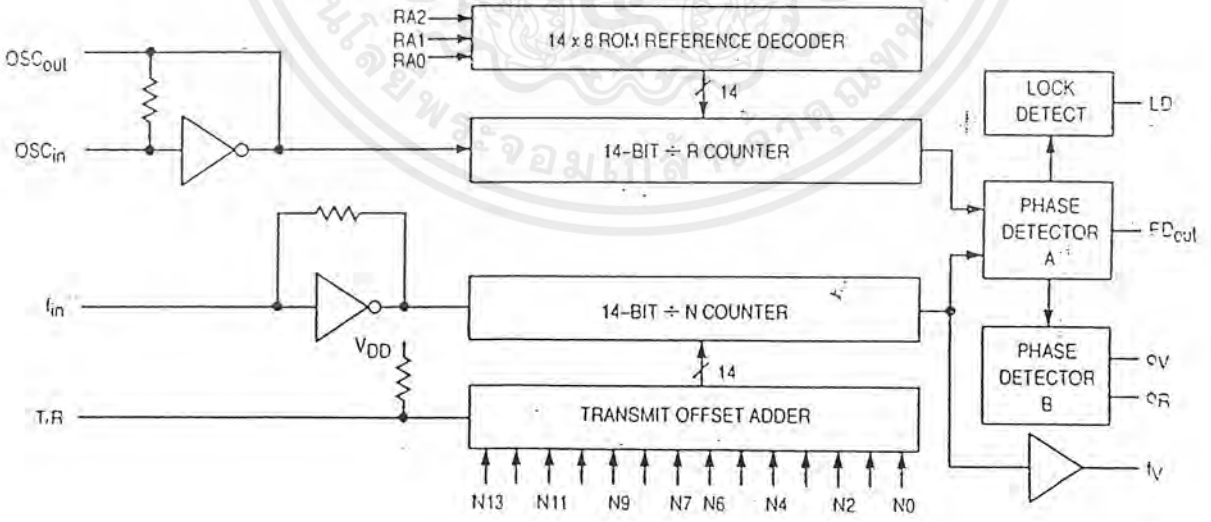
- ค่าตัวหาร N มีค่าตั้งแต่ 3 ถึง 16383

- ตัวหาร R มี ให้เลือก 8 ค่าคือ 8,128,256,512,1024,2048,2410,8192

- กินกำลังงานต่ำเนื่องจากใช้ เทคโนโลยีของ CMOS

- สามารถโปรแกรมได้

สำหรับบล็อกไดอะแกรมของ MC145151แสดงดังรูปที่ 5.8



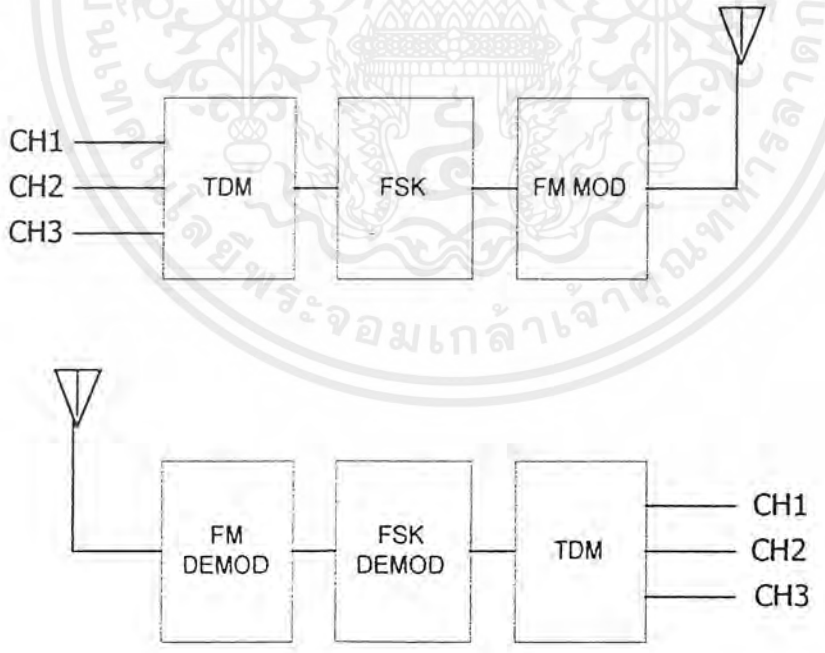

รูปที่ 5.8 บล็อกไดอะแกรมของไอซี MC145151

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 6
# การออกแบบและการทำงานของวงจร

## 6.1 บล็อกไดอะแกรมของโครงงานทั้งหมด

โครงงานนี้มีโครงสร้างการทำงานหลัก ๆ เป็น 2 ส่วนคือ ภาคส่งและภาครับซึ่งภาคส่งจะประกอบด้วย ภาคมัลติเพล็กซ์แบบแบ่งเวลา(Time Division Multiplex:TDM) ภาคมอดูเลตแบบเอฟเอสเค(FSK Modulate) และภาคมอดูเลตแบบเอฟเอ็ม(FM Modulate) ส่วนที่ภาครับก็จะตรงกันข้ามกับทางภาคส่งกล่าวคือ จะประกอบด้วย ภาคดีมัลติเพล็กซ์แบบแบ่งเวลา(Time Division Demultiplex) ภาคดีมอดูเลตแบบเอฟเอสเค(FSK Demodulate) และภาคดีมอดูเลตแบบเอฟเอ็ม(FM Demodulate) สำหรับบล็อกไดอะแกรมการทำงานของโครงงานทั้งหมดแสดงดังรูปที่ 6.1 โดยในแต่ละส่วนจะมีรายละเอียดของการทำงานย่อยลงไปอีก ซึ่งจะแสดงให้เห็นในบทนี้

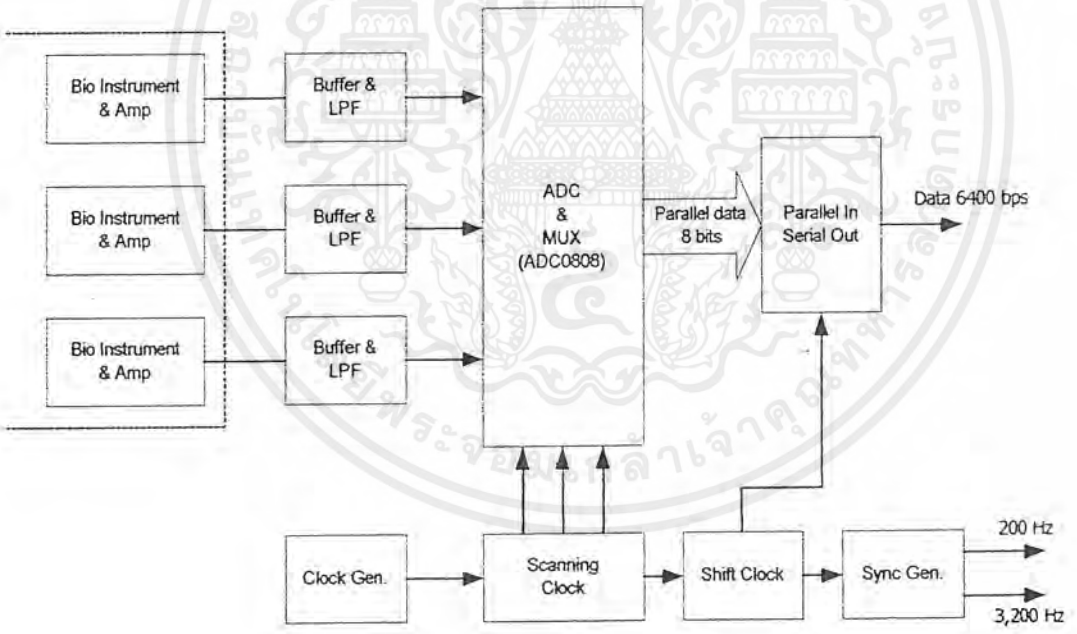



รูปที่ 6.1 แสดงบล็อกไดอะแกรมของโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 6.1.1 บล็อกไดอะแกรมภาคส่ง

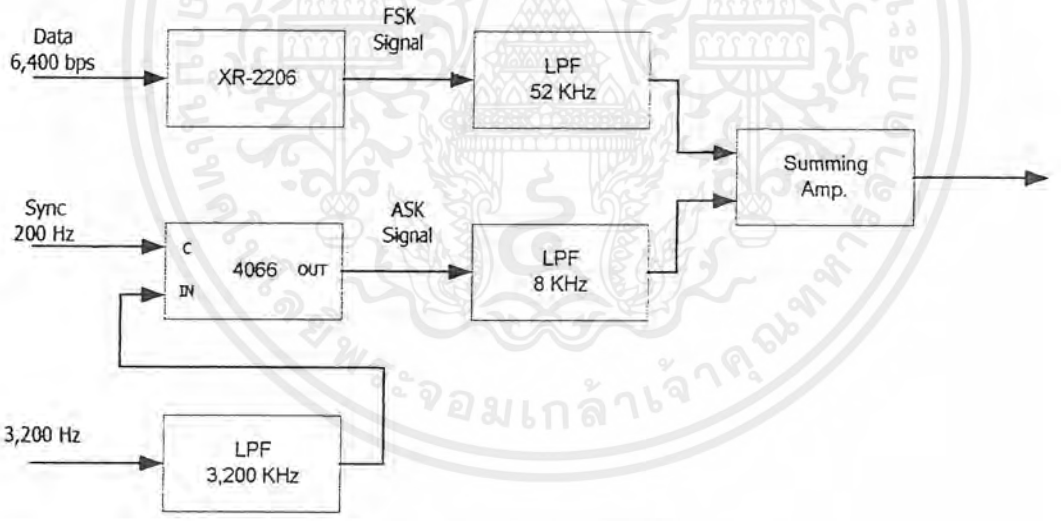
จากบล็อกไดอะแกรมของภาคส่ง สัญญาณขาเข้าของแต่ละช่องสัญญาณ จะได้จากเครื่องมือวัดทางการแพทย์ ไม่ว่าจะเป็นสัญญาณคลื่นหัวใจ คลื่นสมอง หรือสัญญาณไฟฟ้าของร่างกายอื่น ๆสัญญาณที่รับเข้ามาในช่องที่ 1 จะมีความถี่สูงสุด 200 เฮิรตซ์ ในช่องที่ 2 และ 3 จะมีความถี่ไม่เกิน 100 เฮิรตซ์ สัญญาณที่รับเข้ามาจะได้รับการขยายให้มีขนาดเหมาะสม เพื่อส่งไปยังส่วนที่ทำหน้าที่เปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล ซึ่งใช้ไอซี ADC0808 เป็นส่วนสำคัญในการทำหน้าที่นี้ โดยในการทำงานของไอซี ADC0808 จะมีสัญญาณนาฬิกาเป็นหัวใจสำคัญของการทำงาน ซึ่งต้องใช้ ไอซีเบอร์อื่นประกอบการทำงานด้วย สัญญาณดิจิตอลที่ได้จากไอซี ADC0808 จะเป็นสัญญาณแบบขนาน เราต้องแปลงเป็นสัญญาณดิจิตอลแบบอนุกรม โดยใช้ ไอซี 74HC165 สัญญาณดิจิตอลแบบอนุกรมที่ได้จะมีอัตราเร็ว 6400 บิตต่อวินาทีซึ่งบล็อกไดอะแกรมของการทำงานของส่วนนี้ แสดงดังรูปที่ 6.2




รูปที่ 6.2 แสดงบล็อกไดอะแกรมส่วนมัลติเพล็กซ์แบบแบ่งเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณดิจิตอลแบบอนุกรมที่ได้ พร้อมกับสัญญาณซิงค์ จะถูกส่งไปยังส่วนของการมอดูเลตแบบเอฟเอสเค เพื่อทำการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก โดยจากบล็อกไดอะแกรมการทำงานในส่วนนี้ สัญญาณข้อมูลอนุกรม 6,400 บิตต่อวินาที จะป้อนให้กับเอฟเอสเคมอดูเลเตอร์ XR-2206 เพื่อทำการมอดูเลตแบบเอฟเอสเค สัญญาณที่ได้จะผ่านวงจรกรองความถี่ต่ำผ่านไปยังส่วนของการรวมสัญญาณ(Summing amplifier) ในส่วนของสัญญาณซิงค์ความถี่ 200 เฮิรตซ์จะถูกนำมาปิด-เปิดการทำงานของไอซี 4066 ซึ่งจะมีสัญญาณสแควร์เวฟความถี่ 3,200 เฮิรตซ์ที่ผ่านวงจรกรองความถี่ต่ำ เพื่อเลือกเอาเฉพาะความถี่มูลฐานเข้ามาที่อินพุทของ 4066ด้วย ดังนั้นสัญญาณเอ้าท์พุทของ 4066 ที่ได้ก็จะมีความถี่ 0 ถึง 8 กิโลเฮิรตซ์ผ่านไปยังวงจรกรองความถี่ต่ำผ่าน และไปรวมกับสัญญาณที่ถูกมอดูเลตแบบเอฟเอสเค สัญญาณที่ถูกรวมแล้วก็จะถูกส่งต่อไปยังภาคมอดูเลตทางความถี่ต่อไป สำหรับบล็อกไดอะแกรมส่วนนี้แสดงดังรูปที่ 6.3

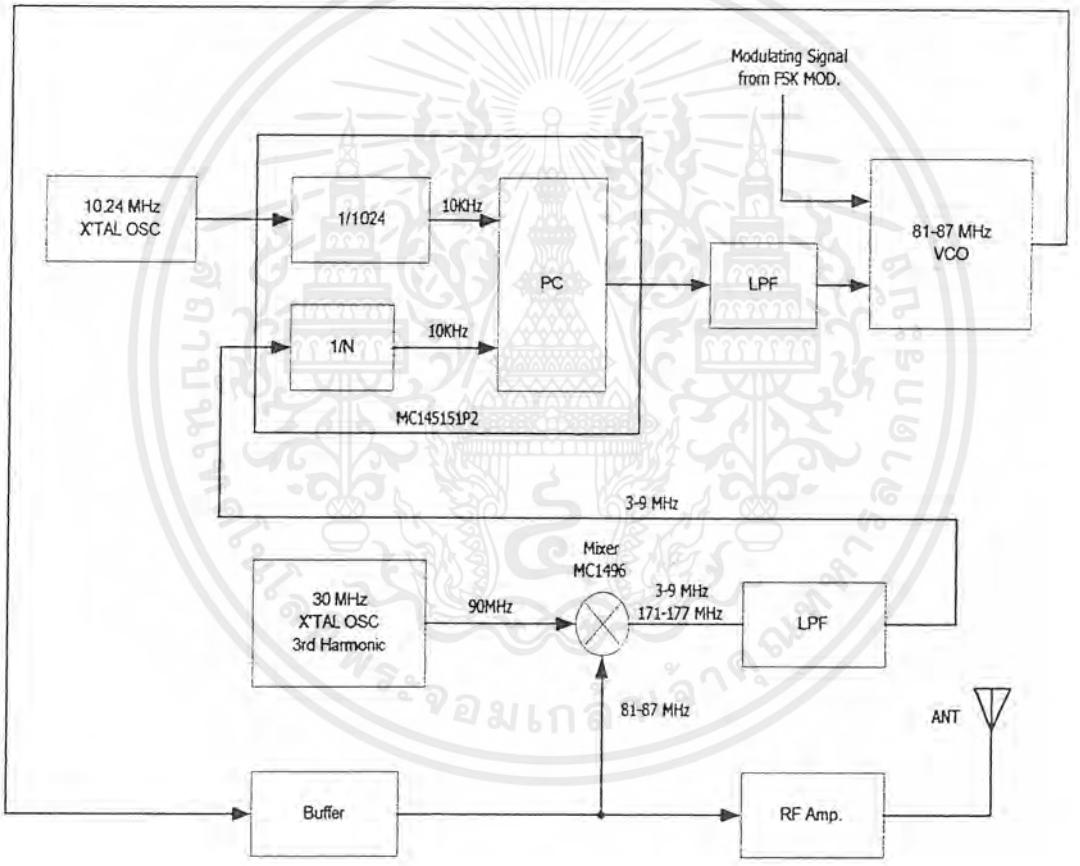



รูปที่ 6.3 บล็อกไดอะแกรมการทำงานของส่วนมอดูเลตเอฟเอสเค

แล้วจากนั้นสัญญาณที่ถูกมอดูเลตแบบเอฟเอสเคแล้ว ก็จะถูกทำการมอดูเลตแบบเอฟเอ็มต่อไป โดยบล็อกไดอะแกรมในส่วนนี้ จะประกอบด้วยส่วนของการสังเคราะห์ความถี่ด้วยเฟสล็อกลูป(PLL) ที่ความถี่ 81.0-87.0 เมกะเฮิรตซ์ โดยเอ้าท์พุทของเอฟเอสเคมอดูเลเตอร์ จะถูกป้อนเข้าที่วงจร VCO เพื่อทำการมอดูเลตทางความถี่ สัญญาณที่ได้จากวงจร VCO จะมีความถี่81.0-87.0 เมกะเฮิรตซ์ และถูกนำไปผสมกับสัญญาณความถี่ 90.0 เมกะเฮิรตซ์ ที่ส่วนของวงจรมิกเซอร์ เพื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการนำความถี่ผลต่าง ซึ่งมีความถี่ 3.0-9.0 เมกะเฮิรตซ์ดังกล่าวนี้ ทำการป้อนให้กับวงจรเฟสล็อกลูป นำไปเปรียบเทียบเฟสกับสัญญาณความถี่อ้างอิง เพื่อเปลี่ยนเป็นแรงดันคลาดเคลื่อนส่งต่อไป ยังส่วนของวงจรกรองความถี่ต่ำผ่านเพื่อเปลี่ยนเป็นแรงดันไฟตรง ไปควบคุมการกำเนิดความถี่ของวงจร VCO จนกระทั่งความถี่และเฟสของสัญญาณอ้างอิงกับสัญญาณที่เอ้าท์พุทมีความแตกต่างกันเป็นศูนย์หรืออยู่ในสภาวะล็อก สัญญาณความถี่ดังกล่าวก็จะถูกส่งต่อไปยังภาคขยายความถี่สูงเพื่อส่งออกอากาศต่อไป สำหรับบล็อกไดอะแกรมการทำงานส่วนนี้แสดงดังรูปที่ 6.4



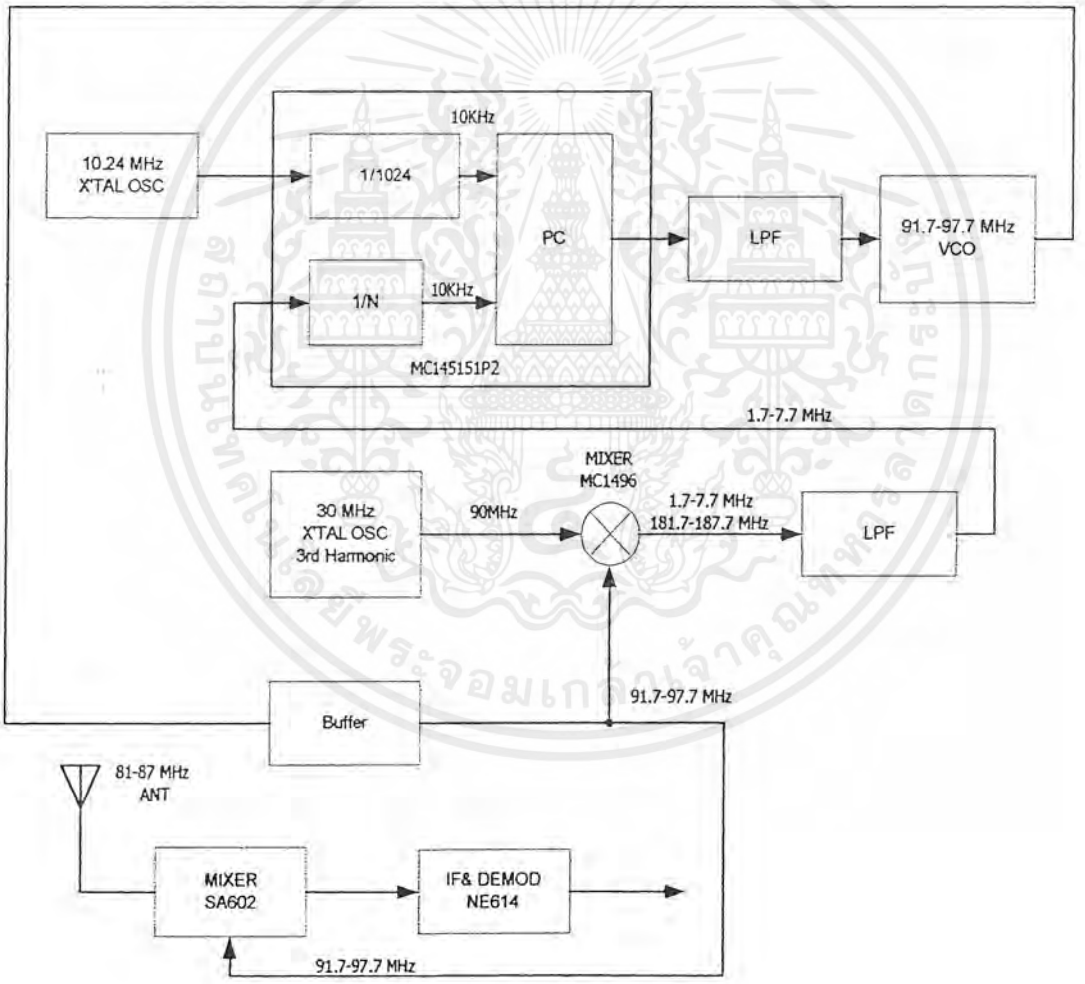

รูปที่ 6.4 บล็อกไดอะแกรมแสดงการทำงานของส่วนมอดูเลตแบบเอฟเอ็ม

### 6.1.2 บล็อกไดอะแกรมภาครับ

ในส่วนของบล็อกไดอะแกรมภาครับ จะรับสัญญาณจากเครื่องส่งเป็นสัญญาณเอฟเอ็มมาผ่านการดีมอดูเลตสัญญาณแบบเอฟเอ็ม ในย่านเดียวกับเครื่องส่ง คือ ย่านความถี่ 81.0-87.0 เมกะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

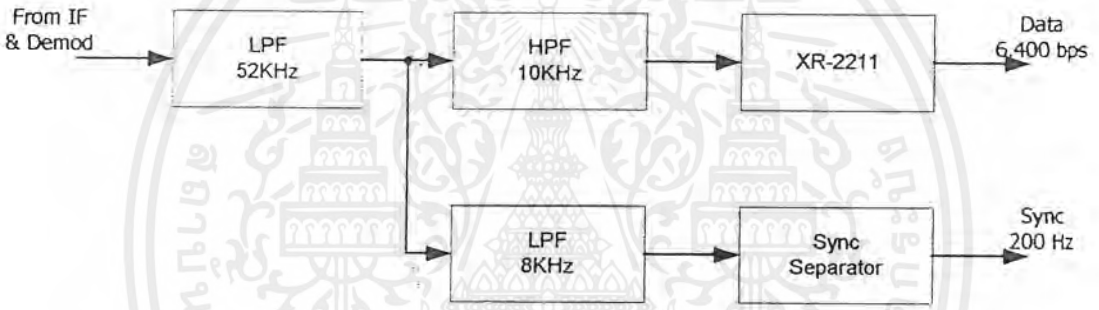
เฮิร์ตโดยใช้การสังเคราะห์ความถี่แบบเฟสล็อกลูปเช่นเดียวกันกับทางภาคส่ง ส่วนโลคอลออสซิลเลเตอร์ (Local Oscillator:LO)จะใช้สัญญาณความถี่จากวงจร VCO ซึ่งมีความถี่ 91.7-97.7 เมกะเฮิรตซ์ มาทำการผสมกับสัญญาณความถี่ที่รับเข้ามาทางสายอากาศซึ่งมีความถี่ 81.0-87.0 เมกะเฮิรตซ์ ก็จะได้ความถี่ผลต่างออกมาเป็นความถี่กลาง 10.7 เมกะเฮิรตซ์ จากนั้นก็จะถูกส่งไปขยายและดีมอดูเลตเพื่อเอาความถี่กลางออกไป สัญญาณที่ผ่านการดีมอดูเลตจะเป็นสัญญาณอนาล็อก ประกอบด้วยสัญญาณข้อมูล และสัญญาณซิงค์ เพื่อส่งต่อไปยังภาคเอฟเอสเคดีมอดูเลตต่อไป สำหรับบล็อกไดอะแกรมการทำงานส่วนนี้แสดงดังรูปที่ 6.5




รูปที่ 6.5 บล็อกไดอะแกรมการทำงานของส่วนดีมอดูเลตเอฟเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

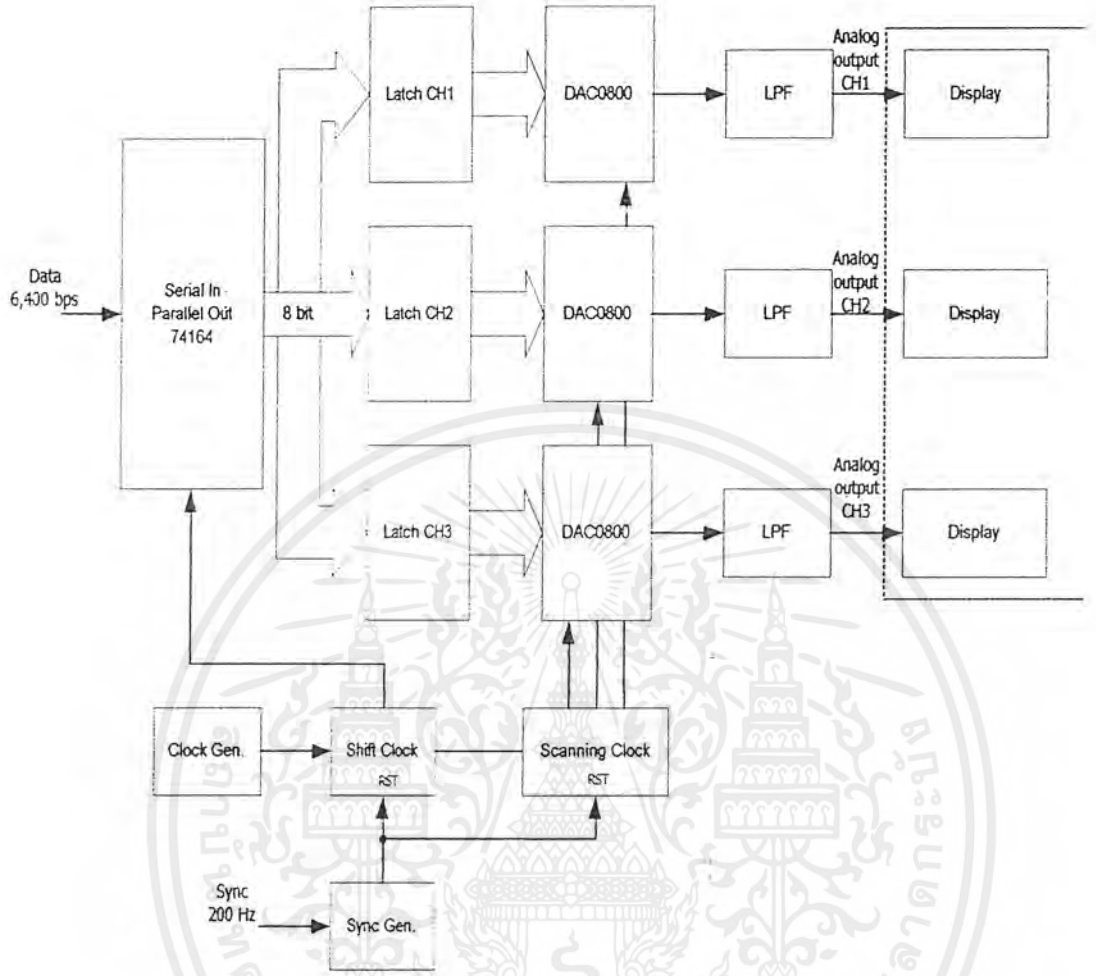
สัญญาณที่ถูกดีมอดูเลตแล้ว จะได้เป็นสัญญาณอนาล็อกของทั้งสัญญาณเอฟเอสเคที่ถูกมอดูเลตมาจากทางด้านส่งและสัญญาณซิงค์ ซึ่งก็จะถูกนำมาผ่านวงจรกรองความถี่ต่ำผ่านโดย ความถี่ที่ผ่านไปได้ คือความถี่ที่ต่ำกว่า 52 กิโลเฮิรตซ์ ซึ่งเป็นความถี่ที่สเปคตรัมของสัญญาณเอฟเอสเคสามารถที่จะผ่านไปได้ทั้งหมด จากนั้นก็จะทำการแยกสัญญาณระหว่างสัญญาณซิงค์และสัญญาณข้อมูล โดยที่สัญญาณซิงค์จะถูกแยกไปโดยวงจรกรองความถี่ต่ำ 8 กิโลเฮิรตซ์ ส่วนสัญญาณข้อมูลจะถูกแยกไปโดยวงจรกรองความถี่สูง 10 กิโลเฮิรตซ์ จากนั้นสัญญาณเอฟเอสเคที่ถูกมอดูเลตมาจากทางด้านส่ง ก็จะถูกดีมอดูเลตกลับมาเป็นข้อมูลอนุกรมที่มีอัตราเร็ว 6,400 บิตต่อวินาทีตามเดิม โดยใช้ไอซีเบอร์ XR-2211 แสดงบล็อกไดอะแกรมการทำงานดังรูปที่ 6.6




รูปที่ 6.6 บล็อกไดอะแกรมการทำงานของส่วนดีมอดูเลตเอฟเอสเค

สัญญาณดิจิตอลของข้อมูลที่ได้จะถูกแปลงกับเป็นสัญญาณอนาล็อก โดยใช้ไอซีเบอร์ DAC0800 เป็นหัวใจสำคัญในการทำงาน โดยการทำงานทั้งหมดของภาครับจะถูกควบคุมด้วยสัญญาณซิงค์ 200 เฮิรตซ์นั่นเอง สัญญาณอนาล็อกที่ถูกแปลงกลับมาได้จะผ่านวงจรกรองความถี่ต่ำผ่านเพื่อคืนสัญญาณให้มีลักษณะของข้อมูลเหมือนทางเครื่องส่งทุกประการ ซึ่งบล็อกไดอะแกรมการทำงานของส่วนนี้แสดงได้ดังรูปที่ 6.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 6.7 บล็อกไดอะแกรมการทำงานของส่วนดีมัลติเพล็กซ์แบบแบ่งเวลา

## 6.2 การทำงานของวงจรภาคส่ง

ในส่วนของวงจรภาคส่งประกอบด้วยการทำงานของ 4 ส่วนหลัก ๆ ด้วยกัน คือ ส่วนมัลติเพล็กส์แบบแบ่งเวลา(Time Division Multiplex:TDM)และแปลงสัญญาณจากสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล,ส่วนมอดูเลตสัญญาณเอฟเอสเค(FSK Modulation), ส่วนมอดูเลตสัญญาณเอฟเอ็ม(Frequency Modulation:FM) และส่วนสุดท้ายคือส่วนที่ทำการขยายสัญญาณความถี่สูง(RF Amplifier) เพื่อส่งออกอากาศต่อไป ซึ่งจะอธิบายการทำงานของแต่ละส่วนได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**6.2.1 การทำงานของวงจรภาคมัลติเพล็กซ์แบบแบ่งเวลา**

สัญญาณทางการแพทย์ที่ต้องการส่งทั้ง 3 ช่องสัญญาณ จะถูกส่งผ่านวงจรกรองความถี่ต่ำผ่านก่อน เพื่อให้แน่ใจว่าความถี่ของสัญญาณที่รับเข้ามามีความถี่ตามคุณสมบัติของโครงงานที่กำหนดเอาไว้ คือ สัญญาณในช่องที่ 1 มีความถี่สูงสุด 200 เฮิร์ต ส่วนสัญญาณช่องที่ 2 และ 3 มีความถี่ไม่เกิน 100 เฮิร์ต และเมื่อผ่านการกรองความถี่ต่ำผ่านแล้วสัญญาณทั้ง 3 ช่องจะได้รับการยกระดับของค่ากราวน์ให้มีค่าเป็น +2.5 โวลท์โดยใช้ไอซี TL431 เหตุผลที่ต้องมีการเปลี่ยนค่าระดับของกราวน์ ก็เพื่อให้มีค่ากึ่งกลางของแรงดันอ้างอิงที่ไบอัสให้แก่ไอซีเบอร์ ADC0808 ทำให้ความละเอียดของการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลมีคุณภาพดี

ไอซีเบอร์ADC0808 เป็นอุปกรณ์ที่สำคัญมากในกระบวนการเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล โดยจะรับสัญญาณขาเข้าของทั้ง 3 ช่องสัญญาณที่ผ่านการยกระดับของค่ากราวน์แล้ว มาทำการมัลติเพล็กส์สัญญาณแบบแบ่งตามเวลา (TDM) เพื่อให้สามารถรวมเป็นช่องสัญญาณส่งออกเพียงช่องเดียวได้ การมัลติเพล็กซ์สัญญาณก็ทำได้โดยการให้สัญญาณเลือกตำแหน่งช่องสัญญาณ ของแต่ละช่องสัญญาณในช่วงเวลาที่ต่างกัน โดยสัญญาณเลือกตำแหน่งช่องสัญญาณจะถูกส่งเข้าที่ขา ADD A ,ADD B ,ADD C ของไอซีเบอร์ ADC0808

ในแต่ละครั้งของการเลือกช่องสัญญาณ เราเรียกว่า การสุ่มสัญญาณ ซึ่งเราจะต้องให้อัตราการสุ่มมากกว่า 2 เท่าของความถี่สูงสุดในแต่ละช่องสัญญาณ นั่นคือช่องสัญญาณที่ 1 ต้องสุ่มด้วยอัตราการสุ่ม 400 เฮิรตซ์ ช่องที่ 2 และ 3 ต้องสุ่มด้วยอัตราการสุ่ม 200 เฮิรตซ์ ดังนั้นความถี่ของสัญญาณเลือกตำแหน่งที่ส่งให้กับไอซี เบอร์ADC0808 จะมีค่าเท่ากับ 800 เฮิรตซ์

ในการสุ่มสัญญาณ 1 ครั้ง สัญญาณอนาล็อกที่ได้จะถูกเปลี่ยนเป็นสัญญาณดิจิตอลขนาด 8 บิต เป็นสัญญาณขาออกของไอซีเบอร์ ADC0808 ซึ่งเป็นสัญญาณแบบขนาน ดังนั้นในการเปลี่ยนสัญญาณดิจิตอลแบบขนานที่ได้ให้เป็นสัญญาณแบบอนุกรม เราจะได้สัญญาณดิจิตอลที่มีอัตราเร็วของสัญญาณเป็น 6400 บิตต่อวินาที ซึ่งอุปกรณ์ที่ทำหน้าที่เปลี่ยนสัญญาณดิจิตอลแบบขนานให้เป็นอนุกรมคือไอซีเบอร์ 74HC165 โดยจะต้องจ่ายสัญญาณนาฬิกาให้ที่มีความถี่ 6400 เฮิรตซ์ ให้กับไอซีตัวนี้ด้วย เนื่องจากการทำงานของไอซีตัวนี้ จะทำการเลื่อนสัญญาณข้อมูลทีละบิตตามสัญญาณนาฬิกา และเราจะได้สัญญาณขาออกของไอซีเบอร์ 74HC165 เป็นสัญญาณดิจิตอลแบบอนุกรมที่มีอัตราเร็วเท่ากับ 6400 บิตต่อวินาทีตามต้องการ

ในส่วนของการสร้างสัญญาณนาฬิกา จะใช้คริสตอลความถี่ 10.24 เมกะเฮิรตซ์ เป็นตัวสร้างสัญญาณร่วมกับนอทเกทเบอร์ 7404 และความถี่ 10.24 เมกะเฮิรตซ์ ที่ได้จะถูกหารด้วย 10 ด้วยไอซีนับสัญญาณเบอร์ 74HC390 เหลือ 1.024 เมกะเฮิรตซ์ เป็นสัญญาณนาฬิกาที่จ่ายให้กับไอซีเบอร์ ADC0808 เพื่อควบคุมการทำงานของไอซี และนอกจากจะจ่ายให้กับไอซีเบอร์ ADC0808

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วความถี่ 1.024 เมกะเฮิรตซ์ ยังต้องถูกหารอีก 2 ครั้งเพื่อการทำงานที่พร้อมเพรียงกัน เพื่อให้ได้ความถี่ 6400 เฮิรตซ์ และ 800 เฮิรตซ์ โดยใช้ไอซีเบอร์ 74HC390 และ 4040 ซึ่งเป็นไอซีนับสัญญาณ สำหรับความถี่ 6400 เฮิรตซ์ที่ได้จะถูกใช้เป็นสัญญาณนาฬิกาของไอซีเบอร์ 74HC165 ในการเปลี่ยนสัญญาณดิจิตอลแบบขนานให้เป็นอนุกรม และความถี่ 800 เฮิรตซ์ จะถูกใช้เป็นสัญญาณนาฬิกาแก่ไอซีเบอร์ 74HC4017 ในการสร้างสัญญาณเลือกตำแหน่งให้แก่ไอซีเบอร์ ADC0808 โดยช่องที่ i จะได้รับการเลือกตำแหน่ง 400 ครั้งต่อวินาที และสำหรับช่องที่ 2 และ 3 จะได้รับการเลือกตำแหน่ง 200 ครั้งต่อวินาที ที่ใช้การกวาดเลือกตำแหน่งค่านี้ ก็เพราะเราต้องใช้สัญญาณการสุ่มสัญญาณมีค่าเป็น 2 เท่า ของความถี่สูงสุดของสัญญาณขาเข้านั่นเอง

นอกจากสัญญาณนาฬิกาต่าง ๆ ที่กล่าวมาแล้วนั้น เราจะต้องสร้างสัญญาณซิงค์ด้วยเพื่อจะใช้เป็นสัญญาณควบคุมการทำงาน ในส่วนของภาครับให้มีการทำงานถูกต้องตรงกันกับการทำงานของภาคส่ง โดยใช้สัญญาณช่องที่ 1 เป็นสัญญาณซิงค์ด้วยคือสัญญาณความถี่ 200 เฮิรตซ์ ถูกใช้เป็นสัญญาณซิงค์ ส่งออกไปยังภาคมอดูเลตเอฟเอสเค พร้อมกับสัญญาณข้อมูลดิจิตอลแบบอนุกรมอัตราเร็ว 6400 บิตต่อวินาที

และที่สำคัญอีกส่วนหนึ่งคือแรงดันอ้างอิงที่ต้องจ่ายให้กับไอซีเบอร์ ADC0808 ที่ขา Vref(+) (ขา 12 ) และขา Vref(-) (ขา 16 ) ซึ่งค่าผลต่างของแรงดันทั้ง 2 ขาจะต้องมีค่าต่ำกว่า 5 โวลท์ แต่ในโครงงานนี้ใช้ค่าผลต่างของแรงดันอ้างอิงทั้ง 2 ขามีค่า 2.5 โวลท์ โดยให้ขา Vref(+) มีค่า 3.75 โวลท์ และขา Vref(-) มีค่า 1.25 โวลท์ ที่เราใช้ค่าผลต่างของแรงดันอ้างอิงค่า 2.5 โวลท์ เพราะเราต้องการแรงดันอ้างอิงที่มีค่าใกล้กับครึ่งหนึ่งของแรงดันจากแหล่งจ่ายมากที่สุด เพื่อความไวในการเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอลดีขึ้น และนี่เป็นเหตุผลที่ต้องทำการยกระดับของสัญญาณขาเข้าของทุกช่องให้มีระดับกราวน์ที่ 2.5 โวลท์ก็เพื่อให้มีค่าเท่ากับแรงดันอ้างอิงค่านี้นี่เอง

### 6.2.2 การทำงานของวงจรภาคมอดูเลตแบบเอฟเอสเค

จากรูปที่ 6.9 สัญญาณข้อมูลจากภาค TDM ซึ่งมีอัตราเร็ว 6400บิตต่อวินาที ก็จะถูกส่งต่อเข้ามายังไอซีเบอร์ XR-2206 ที่ขา 9 ซึ่งเป็นไอซีมอดูเลตแบบเอฟเอสเค โดยในการมอดดูเลตแบบเอฟเอสเคนี้ เราจะกำหนดให้ที่ลอจิก "1" มีสัญญาณรูปซายน์ (Sine wave) อยู่ 4 ไซเกิล และที่ลอจิก"0" มีสัญญาณรูปซายน์อยู่ 6 ไซเกิล ดังนั้นที่ลอจิก"1" เอ้าท์พุทของเอฟเอสเคจะมีความถี่ ซึ่งสามารถคำนวณได้จาก 6400×4 = 25.6 กิโลเฮิรตซ์ ซึ่งเป็นความถี่ของสัญญาณมาร์ค ส่วนที่ลอจิก "0" เอ้าท์พุทของเอฟเอสเคจะมีความถี่ ซึ่งสามารถคำนวณได้คือ 6400×6= 38.4 กิโลเฮิรตซ์ ซึ่งเป็นความถี่ของสัญญาณสเปซ ซึ่งจากรูปวงจรที่ 6.9 สามารถปรับค่าความถี่ทั้งสองได้ที่ VR1 และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VR2 ซึ่งถ้าใช้เป็นความต้านทานชนิดทริมเมอร์ (Trimmer)จะสามารถเพิ่มความละเอียดในการปรับได้มากขึ้น ดังนั้นเราสามารถที่จะหาแถบความถี่ของสัญญาณข้อมูลได้จาก

$$\text{Bandwidth FSK} = 2\ \{[\ f_H - f_L] + \text{Data rate}\} \qquad (6.1)$$

จะเห็นได้ว่าค่าความถี่ $f_H$ ก็คือค่าความถี่ของสัญญาณสเปซ ซึ่งมีค่าความถี่สูงสุดคือ 38.4 กิโลเฮิรตซ์ ส่วนค่าความถี่ $f_L$ ก็คือค่าความถี่ของสัญญาณมาร์ค ซึ่งมีค่าความต่ำสุดคือ 25.6 กิโลเฮิรตซ์ ส่วนอัตราเร็วของข้อมูลนั้นก็มีค่า 6400บิตต่อวินาที ดังนั้นจึงสามารถคำนวณแบนด์วิทหรือแถบความถี่ของสัญญาณข้อมูลได้ดังนี้

$$\text{Bandwidth FSK} = 2\ \{[38.4k - 25.6k] + 6400\}$$
$$= 38.4 \text{ กิโลเฮิรตซ์}$$

ดังนั้นสามารถที่จะหาแถบความถี่ของสัญญาณข้อมูลทั้งหมด (Total banwidth) ได้จาก

$$BW_{FSK} = f_c \pm \frac{BW_{\text{mod}}}{2} \qquad (6.2)$$

ซึ่งจากสมการที่ 6.2 จะเห็นว่า fc คือ ความถี่ศูนย์กลาง( Center frequency) หาได้จากความถี่ที่อยู่ระหว่างความถี่ของสัญญาณมาร์คและ ความถี่ของสัญญาณสเปซหรือหาได้จาก $(f_H - f_L)/2$ ก็จะได้ความถี่ศูนย์กลาง (38.4k +25.6k)/2 = 32 กิโลเฮิรตซ์ ส่วนค่าของ BW. Mod. ก็คือค่าของแบนด์วิทเอฟเอสเค ที่หาได้จากสมการที่ 6.1 นั่นเอง ดังนั้นเราสามารถที่จะหา แบนด์วิทเอฟเอสเค ทั้งหมดได้เป็นดังนี้

$$\text{BW.FSK} = \text{fc} \pm \text{BW. Mod. /2}$$
$$= 32\text{kHz} \pm 38.4\text{k Hz /2}$$
$$= 12.8\text{kHz และ } 51.2\text{kHz}$$

ค่าความถี่ของ 12.8 กิโลเฮิรตซ์และ 51.2กิโลเฮิรตซ์ก็คือ ช่วงของความถี่ที่ใช้ในการส่งข้อมูลนั่นเอง ส่วนสัญญาณซิงค์ซึ่งจะต้องส่งไปกับสัญญาณข้อมูลนั้น จะกำหนดให้ลอจิก "1" มีสัญญาณคลื่นรูปซายน์ 4 ไซเกิล เหมือนกับสัญญาณข้อมูลแต่ที่ลอจิก"0 " จะกำหนดให้ไม่มีสัญญาณ คลื่นรูปซายน์ (Ground) ดังนั้นเอ้าท์พุทของสัญญาณเอฟเอสเค ที่ลอจิก "1" จะมีความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของสัญญาณเป็น 800×4 = 3.2 กิโลเฮิรตซ์ โดยในการมอดูเลตสัญญาณเอฟเอสเค ของสัญญาณซิงค์นี้ จะใช้สัญญาณคลื่นสี่เหลี่ยม (Square wave) ความถี่ 3. 2 กิโลเฮิรตซ์ ซึ่งได้มาจากการหารความถี่ของภาค TDM โดยจะมีความถี่ตรงกันกับสัญญาณซิงค์ จากนั้นนำมาผ่านวงจรกรองความถี่ต่ำผ่าน เพื่อกรองเอาความถี่สูงออกไป โดยในการกรองความถี่ต่ำผ่านนี้จะใช้วงจรซาเลนแอนด์คีย์ (Sallen and key) ด้วยในการกรองความถี่ต่ำผ่านอันดับที่ 3 โดยในสุดท้ายก็จะใช้วงจรกรองความถี่ต่ำผ่านถึง 4 อันดับด้วยกัน ซึ่งจะได้สัญญาณความถี่ต่ำที่มีสัญญาณรบกวนน้อยมาก และมีความถี่ 3.2 กิโลเฮิรตซ์ จากนั้นนำไปผ่านยังอินพุทของ 4066 ซึ่งเป็นอนาล็อกสวิทซ์ (Analog switch) โดยอนาล็อกสวิทซ์นี้ ถูกควบคุมการปิด-เปิดจากสัญญาณความถี่ต่ำ 200 เฮิรตซ์ จากภาค TDM ดังนั้นเราก็จะได้เอ้าท์พุทเอฟเอสเคของสัญญาณซิงค์ที่มีความถี่เป็น 3.2 กิโลเฮิรตซ์ ที่ลอจิก "1" และไม่มีสัญญาณ (Ground) ที่ลอจิก"0" โดยความถี่นี้เราสามารถ ที่จะคำนวณหาแถบความถี่ของสัญญาณ ข้อมูลได้ดังนี้

$$\text{Bandwidth FSK of Sync} = 2\{[f_H - f_L] + \text{Data rate}\} \qquad (6.3)$$

จากสมการดังกล่าวค่าความถี่ $f_H$ มีค่า 3.2 กิโลเฮิรตซ์ , $f_L$ มีค่า 0 กิโลเฮิรตซ์ ส่วนอัตราเร็ว(Data rate) มีค่า 800 บิตต่อวินาที(BPS) ดังนั้นเมื่อแทนค่าลงสมการจะได้แบนด์วิทเอฟเอสเคดังนี้

$$\text{Bandwidth FSK of Sync} = 2\{[3.2k-0]+800\}$$
$$= 8 \text{ กิโลเฮิรตซ์}$$

ดังนั้นแถบความถี่ของสัญญาณข้อมูลจะอยู่ในช่วง 0 เฮิรตซ์ถึง 8 กิโลเฮิรตซ์ จากนั้นสัญญาณซิงค์ดังกล่าว จะถูกนำมาผ่านวงจรกรองความถี่ต่ำผ่านอีกครั้งหนึ่ง เพื่อให้ได้สัญญาณความถี่ต่ำที่ปราศจากความถี่สูงรบกวน ก่อนที่จะนำมารวมกันกับสัญญาณข้อมูลที่ถูกมอดูเลตแบบเอฟเอสเคเรียบร้อยแล้วดังที่กล่าวมา โดยการรวมนี้จะใช้วงจรซัมมิ่งแอมปลิไฟเออร์(Summing amplifier) โดยใช้ออปแอมป์(Op-Amp) LF –356 จากนั้นก็จะส่งต่อไปยังภาคมอดูเลตแบบเอฟเอ็ม (FM Modulate) ต่อไป

### 6.2.3 การทำงานของวงจรภาคมอดูเลตแบบเอฟเอ็ม

การทำงานของภาคดีมอดูเลตแบบเอฟเอ็มนี้ ประกอบด้วยวงจรส่วนที่สำคัญๆคือ วงจรออสซิลเลเตอร์(Oscillator)ความถี่ 90 เมกะเฮิรตซ์, วงจร VCO, วงจรมิกเซอร์(Mixer),วงจรเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Phase Locked Loop:PLL) และวงจรกรองความถี่ต่ำผ่าน (Low pass filter) ซึ่งการทำงานของวงจรมอดูเลตแบบเอฟเอ็มแสดงดังรูปที่ 6.10

ที่วงจรออสซิลเลเตอร์ 90 เมกะเฮิรตซ์ XTAL,เป็นคริสตอล(Crystal)ความถี่ 30 เมกะเฮิรตซ์ทำหน้าที่ผลิตสัญญาณซ เยน์(Sine wave) จากนั้นสัญญาณจะถูกขยายและทวีความถี่เป็นความถี่ฮาร์โมนิคส์ที่ 5 (Fifth order harmonic frequency)ของความถี่ที่ 30 เมกะเฮิรตซ์ ก็จะได้ความถี่ 90 เมกะเฮิรตซ์ ออกมาโดย Q1,L1,C2 และ C3 จะทำหน้าที่ในการทวีความถี่และขยายสัญญาณ และเนื่องจากมีการป้อนกลับที่เอ้าท์พุทมายังอินพุท ลักษณะดังกล่าวนี้ทำให้เกิดสัญญาณที่เอ้าท์พุทได้โดยไม่ต้องป้อนสัญญาณที่อินพุทแต่อย่างใด ซึ่งสัญญาณความถี่ 90 เมกะเฮิรตซ์ นี้จะใช้เป็นคลื่นพาหะ(Carrier)เพื่อป้อนให้กับวงจรมิกเซอร์ที่ไอซี MC1496 ต่อไป

ที่วงจร VCO 81.0-87.0 เมกะเฮิรตซ์ เป็นวงจรที่ทำหน้าที่นำแรงดันไฟตรงจากวงจรกรองความถี่ต่ำผ่านมาควบคุมการเปลี่ยนแปลงความจุไฟฟ้าของวาแรคเตอร์ไดโอด D2 ซึ่งใช้ไดโอดเบอร์ MV 2105 เพื่อให้วงจรผลิตความถี่ 81.0-87.0 เมกะเฮิรตซ์ ออกมาซึ่งคุณสมบัติของวาแรคเตอร์ไดโอดก็คือ ค่าความจุไฟฟ้าของตัวมันจะเปลี่ยนแปลงตามค่าแรงดันไบอัสย้อนกลับ(Reverse bias) ที่ป้อนให้กับตัวมัน โดยที่ C9,C10,L2 และ D2 ทำหน้าที่ร่วมกัน ในการเปลี่ยนแปลงความถี่ตามต้องการ ซึ่ง C4 จะทำหน้าที่ในการ คัปปลิ้ง(Coupling)สัญญาณจากภาคมอดูเลตเอฟเอสเคเข้ามามอดูเลตกับสัญญาณความถี่ 81.0-87.0 เมกะเฮิรตซ์ สัญญาณความถี่ที่ถูกมอดูเลตเรียบร้อยแล้วก็จะถูกส่งต่อไปยังวงจรมิกเซอร์และภาคขยายความถี่สูง(RF Amplifier) ต่อไป

ที่วงจรมิกเซอร์ซึ่งใช้ไอซีเบอร์ MC 1496 มาทำหน้าที่ในการผสมสัญญาณความถี่ 2 ความถี่ ซึ่งเป็นความถี่จากวงจรออสซิลเลเตอร์ 90 เมกะเฮิรตซ์ และสัญญาณความถี่จากวงจร VCO โดย MC1496 จะขยายสัญญาณความถี่ผลต่างออกมาซึ่งมีค่า 3.0-9.0 เมกะเฮิรตซ์ เพื่อป้อนให้กับวงจรเฟสล็อกลูปต่อไป R16 ทำหน้าที่ปรับอัตราการขยายของมิกเซอร์,R18 ทำหน้าที่จัดกระแสไบอัสให้กับทรานซิสเตอร์ภายในไอซี MC 1496

ที่วงจรเฟสล็อกลูปจะใช้ไอซีเบอร์ 145151 ซึ่งเป็นไอซีเฟสล็อกลูป ทำงานได้ที่ความถี่ไม่เกิน 20 เมกะเฮิรตซ์ ด้วยเหตุผลนี้จึงต้องมีวงจรมิกเซอร์ดังที่กล่าวมาซึ่ง MC 145151 นี้มีคุณสมบัติสามารถโปรแกรมค่าหาร N ได้ โดยค่าที่โปรแกรมจะเป็นค่าจำนวนตัวเลขฐานสิบและนำมาแปลงเป็นเลขฐานสอง แล้วโปรแกรมเป็นข้อมูลขนาด 14 บิต ป้อนเข้าไปที่ขา N0-N11 ที่ขาของ RA0-RA2 จะเป็นขาที่ใช้เลือกตัวหาร R เพื่อใช้ในการหาค่าความถี่อ้างอิง(Reference frequency) ซึ่งความถี่อ้างอิงมาจากคริสตอล 10.24 เมกะเฮิรตซ์ ที่ XTAL2 สัญญาณจากวงจรหารN และวงจรหาร R จะถูกนำไปเปรียบเทียบเฟสที่วงจรเปรียบเทียบเฟส(Phase Comparator) ซึ่งอยู่ภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

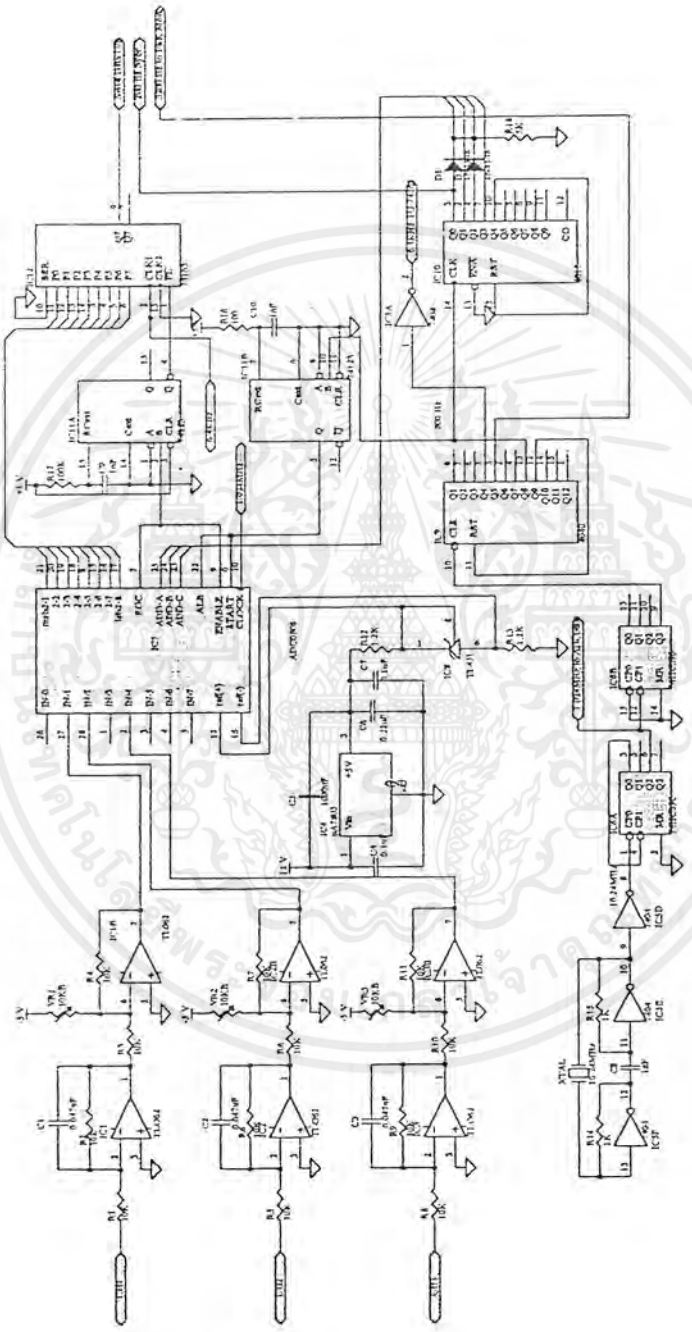
MC145151 จากนั้นวงจรเปรียบเทียบเฟสก็จะสร้างแรงดันผิดพลาด(Error voltage)ออกมาที่ขา $\varnothing_R$ และ $\varnothing_V$ (ที่ขา 8 และขา 9) เพื่อป้อนให้กับวงจรกรองความถี่ต่ำผ่านต่อไป

ที่วงจรกรองความถี่ต่ำผ่านจะนำแรงดันคลาดเคลื่อนจากขา 8 และขา 9 มาทำการเปลี่ยนแปลงเป็นแรงดันไฟตรงเพื่อป้อนให้กับวงจร VCO 81.0-87.0 เมกะเฮิรตซ์ ต่อไป ซึ่งจะใช้ออปแอมป์เบอร์ uA741

**6.2.4 การทำงานของวงจรภาคขยายสัญญาณความถี่สูง**

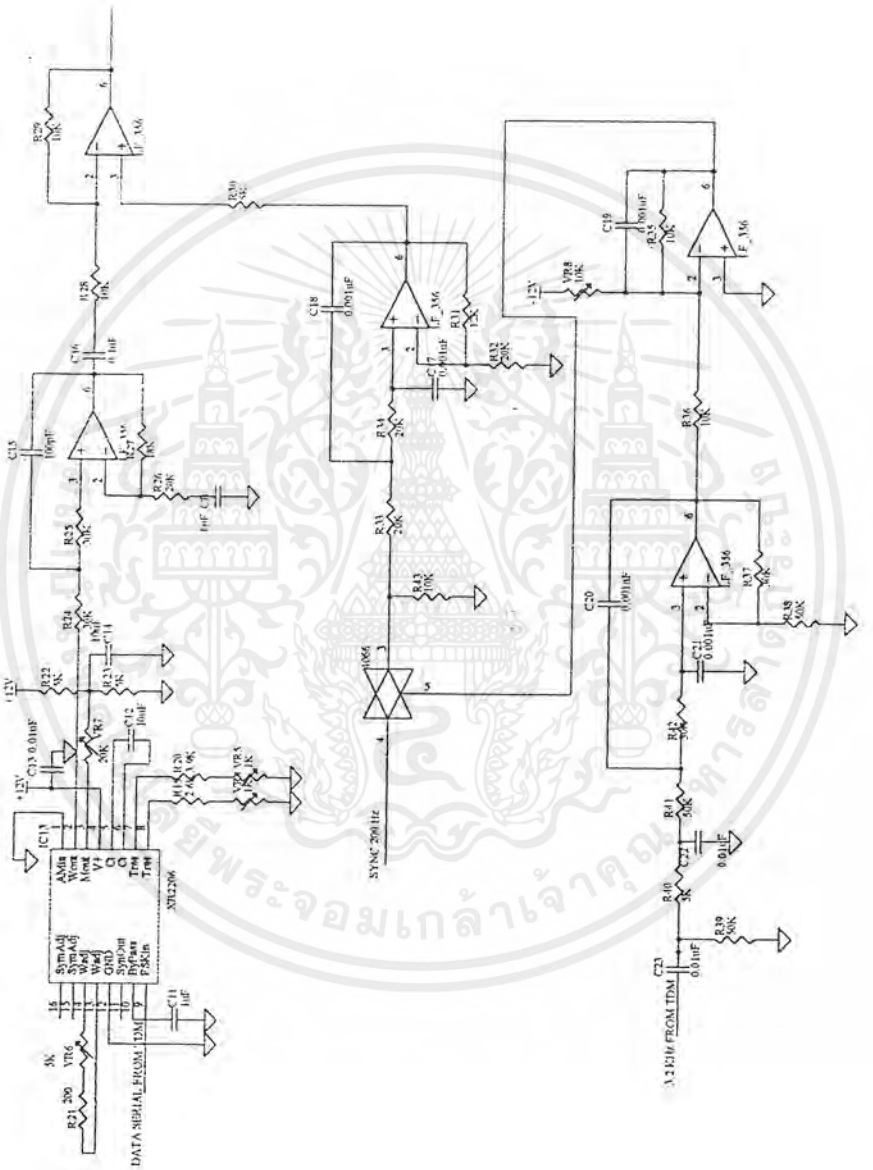
วงจรภาคขยายความถี่สูงนี้ จะทำการขยายสัญญาณที่ผ่านการมอดูเลตแล้ว ให้มีความแรงของสัญญาณมากพอที่จะส่งออกอากาศต่อไป เพื่อที่จะสามารถสื่อสารได้ที่ระยะทางที่ไกลมากขึ้นนั่นเอง ซึ่งในวงจรขยายความถี่สูง นี้จะมี 3 ภาคที่สำคัญๆซึ่งเป็นวงจรขยายคลาสบี โดยสัญญาณที่ถูกมอดูเลตเรียบร้อยแล้วจะถูกส่งผ่าน Lxo1 และ Cxo5 ซึ่งทำหน้าที่เป็นวงจรแมทชิ่งอิมพีแดนซ์ (Matching impedance) ระหว่างวงจร VCO และวงจรขยายเพื่อให้เกิดการส่งผ่านกำลังงานสูงสุดQ1 จะทำหน้าที่ขยายสัญญาณภาคแรก จากนั้นสัญญาณก็จะถูกส่งผ่านไปยังวงจรขยายภาคที่สอง โดยผ่าน Lxo2,Cx06,Lx03 และ Cx07 ทำหน้าที่เป็นแมทชิ่งอิมพิแดนซ์เช่นเดียวกัน สัญญาณที่ถูกขยายโดย Q2 จะมีความแรงมากขึ้นพอที่จะส่งไปขยายที่ภาคสุดท้าย ที่ Q3 นี้จะทำหน้าที่ขยายสัญญาณภาคสุดท้ายให้มีความแรงของสัญญาณประมาณ 200 มิลลิวัตต์ส่งออกกอากาศต่อไปโดยที่ Lx06,Cx11,Lx07,Cx12 และ Cx13 ทำหน้าที่เป็นแมทชิ่งอิมพีแดนซ์กับสายอากาศเพื่อให้สัญญาณที่ส่งออกไปมีประสิทธิภาพมากยิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



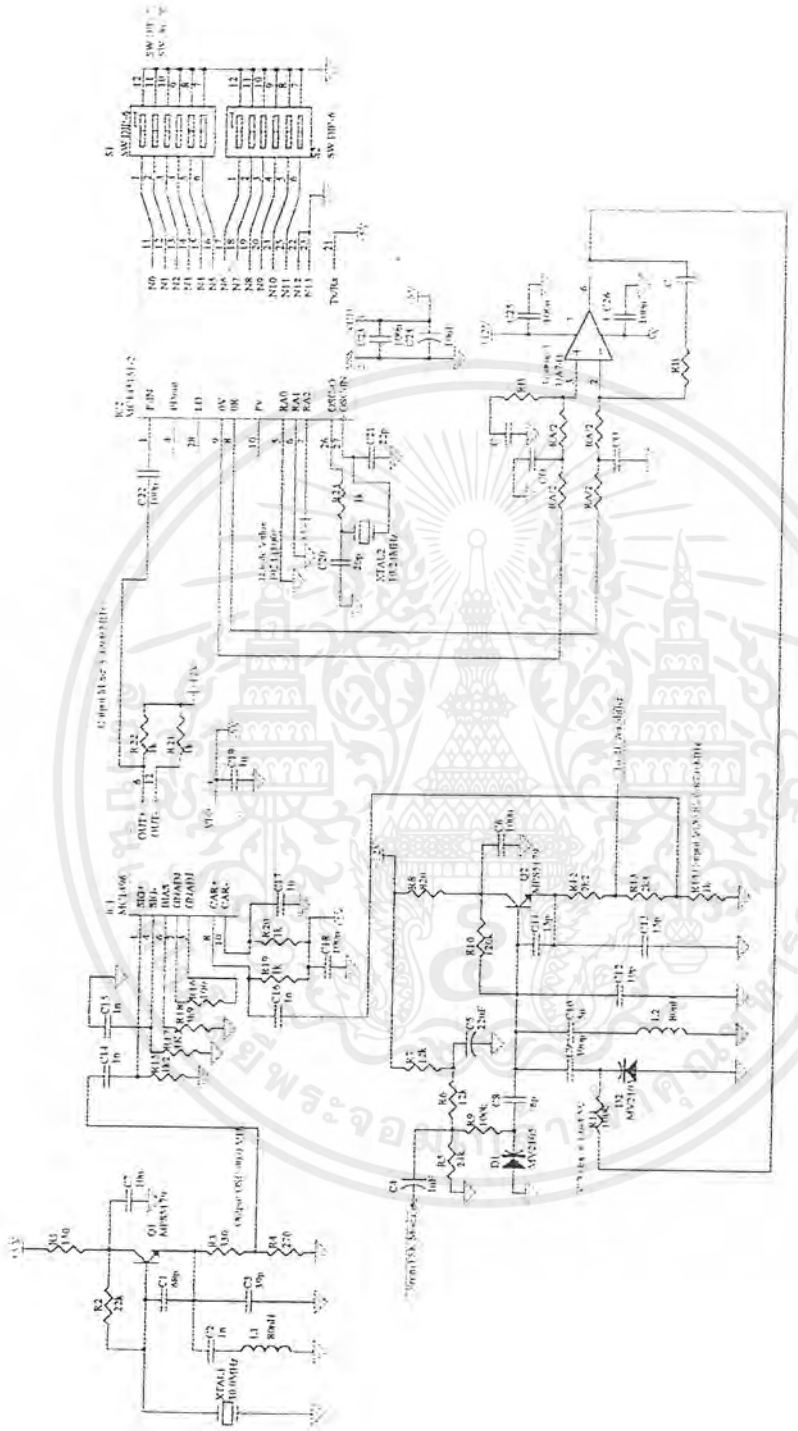
รูปที่ 6.8 วงจรมัลติเพล็กซ์แบบแบ่งเวลา(Time Division Multiplex)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



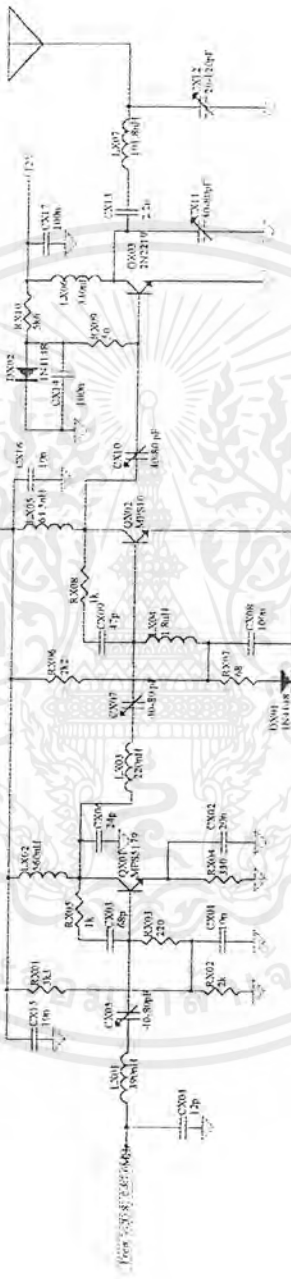
รูปที่ 6.9 วงจรมอดูเลตแบบเอฟเอสเค(FSK Modulate)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.10 วงจรมอดูเลตแบบเอฟเอ็ม(FM Modulate)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.11 วงจรขยายสัญญาณความถี่สูง(RF Amplifier)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 6.3 การทำงานของวงจรภาครับ

### 6.3.1การทำงานของวงจรภาคดีมอดูเลตแบบเอฟเอ็ม

การทำงานของภาคดีมอดูเลตแบบเอฟเอ็ม(FM Demodulate) ประกอบด้วยวงจรที่สำคัญๆก็คือวงจรมิกเซอร์และวงจรขยายความถี่กลาง 10.7 เมกะเฮิรตซ์ ,วงจรโลคอลออสซิลเลเตอร์(LO),วงจรมิกเซอร์(Mixer),วงจร VCO 91.7-97.7 เมกะเฮิรตซ์ ,วงจรเฟสล็อกลูป (Phase Locked Loop) และวงจรกรองความถี่ต่ำผ่าน(Low pass filter)

ที่วงจรมิกเซอร์ 10.7เมกะเฮิรตซ์ สัญญาณที่ถูกส่งออกมาจากภาคส่งซึ่งอาจส่งมาด้วยความถี่ใดความถี่หนึ่งจาก 81.0-87.0 เมกะเฮิรตซ์ จะถูกรับเข้ามาจากสายอากาศ เข้าที่วงจรมิกเซอร์ (Mixer) เพื่อทำหน้าที่ผสมสัญญาณความถี่จากวงจร VCO ซึ่งมีความถี่ 91.7-97.7 เมกะเฮิรตซ์ กับสัญญาณที่รับเข้ามาซึ่งจะใช้ไอซีเบอร์ NE602 ซึ่งมันจะขยายเอาความถี่กลางซึ่งเป็นความถี่ผลต่างมีค่า 10.7 เมกะเฮิรตซ์ ออกมา โดยที่อินพุท L3,C24,C25 และ C26 ทำหน้าที่เป็นวงจร Single Ended Tuned Input สัญญาณความถี่ 10.7เมกะเฮิรตซ์ จะถูกผ่าเซรามิคฟิลเตอร์(Ceramic filter : CF1) ซึ่งที่เอ้าท์พุทเป็นวงจรเอ้าท์พุทแบบ Single Ended Ceramic filter เพื่อส่งต่อไปยังวงจรขยายความถี่กลาง( IF Amplifier) และวงจรดีมอดูเลตต่อไป

ที่วงจรขยายความถี่กลาง( IF Amplifier) และที่วงจรดีมอดูเลตจะใช้ไอซีเบอร์ SA604 ซึ่งมีคุณสมบัติในการขยายที่ดีและมีอินพุทอิมพีแดนซ์สูง สัญญาณที่เข้ามายัง SA604 จะถูกส่งมาขยายยังวงจรขยายความถี่กลาง ซึ่งภายในประกอบด้วยวงจรที่สำคัญคือ วงจรขยายความแตกต่าง(Differential Amplifier) จากนั้นสัญญาณที่ถูกขยายจะถูกส่งต่อไป ยังวงจรลิมิตเตอร์ (Limitter) โดยผ่านเซรามิคฟิลเตอร์ CF2 เพื่อทำการตัดยอดของสัญญาณที่ผิดเพี้ยนซึ่งไม่ตรงกับสัญญาณที่ทางด้านส่ง จากนั้นสัญญาณดังกล่าวจะถูกส่งต่อไปยังวงจร Quadrature Detector ซึ่งจะประกอบด้วย C29,C30,C31 และ L4 ต่ออยู่ภายนอก SA604 เรียกว่า Quadrature Tank LC ซึ่งจะทำการสร้างสัญญาณความถี่ 10.7 เมกะเฮิรตซ์ มาทำการผสมกับสัญญาณที่ความถี่ 10.7 เมกะเฮิรตซ์ จากวงจรลิมิตเตอร์ก็จะเหลือเพียงแต่สัญญาณข้อมูลที่ถูกมอดูเลตแบบเอฟเอสเค เพื่อที่จะส่งต่อไปยังภาคเอฟเอสเคดีมอดูเลตต่อไป

ส่วนที่วงจรออสซิเลเตอร์ 90เมกะเฮิรตซ์ ,วงจร VCO 91.7-97.7 เมกะเฮิรตซ์, วงจรเฟสล็อกลูป,วงจรมิกเซอร์ 1.7-7.7 เมกะเฮิรตซ์ ก็จะมีการทำงานหลักการเดียวกันกับทางภาคส่งเช่นเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**6.3.2 การทำงานของวงจรภาคดีมอดูเลตแบบเอฟเอสเค**

สัญญาณที่รับได้จากภาคเอฟเอ็มดีมอดูเลเตอร์ จะถูกป้อนผ่านวงจรกรองความถี่ต่ำ 52 กิโลเฮิรตซ์ โดยจะทำให้แถบความถี่ของเอฟเอสเคและเอเอสเคสเปกตรัมผ่านไปได้ทั้งหมด จากนั้นจึงทำการแยกสัญญาณข้อมูลกับซิงค์ สัญญาณข้อมูลต้องผ่านวงจรกรองความถี่สูง ( High pass Filter ) ที่ 10 กิโลเฮิรตซ์ จะทำให้สเปกตรัมของเอฟเอสเคผ่านไปได้นั่นเอง แล้วทำการผ่านไอซี XR-2211ซึ่งทำหน้าที่ในการดีมอดูเลตสัญญาณที่อินพุท หรือสเปกตรัมเอฟเอสเคผ่านเข้ามาเพื่อทำการเปลี่ยนสัญญาณข้อมูลดิจิตอล 6,400 บิตต่อวินาที ส่งต่อให้กับภาค TDM ต่อไป ในขณะเดียวกันสัญญาณซิงค์ก็ทำการผ่านวงจรกรองความถี่ต่ำผ่านที่ 8 กิโลเฮิรตซ์ โดยที่จะทำการผ่านออฟแอมป์ที่ทำหน้าที่เป็นตัวอินเวอร์เตอร์ เพื่อให้ได้สัญญาณซิงค์เหมือนเดิมกับภาคส่งโดยมีซีเนอร์ไดโอดเป็นตัวควบคุมแรงดันและทำให้สัญญาณซิงค์เป็นสภาวะลอจิก และมาทำการเปรียบเทียบแรงดันเพื่อให้ได้แรงดัน 5 โวลท์ เพื่อจะได้นำเข้าไปที่ไอซี 74HC123 ซึ่งเป็นฟลิบฟลอปที่สร้าง พัลส์สัมพันธ์กับเวลาโดยสามารถหาได้จาก $R_{cex}$ และ $C_{cex}$ โดยมีค่าเปลี่ยนแปลงตามคล็อก (Clock) ของพัลส์บวก ซึ่งจะเอาสัญญาณส่วนไปเป็นสัญญาณขาขึ้นให้กับวงจรของภาค TDM ซึ่งจะมีค่าคล็อกประมาณ 1 ไมโครวินาทีเพื่อให้วงจรทำงานต่อไป ทำให้ได้สัญญาณซิงค์ออกมาเป็นพัลส์กลับเฟสโดยมีความถี่ 200 เฮิรตซ์ส่งต่อไปยังภาค TDM ต่อไป

**6.2.3 การทำงานของวงจรภาคดีมัลติเพล็กซ์แบบแบ่งเวลา**

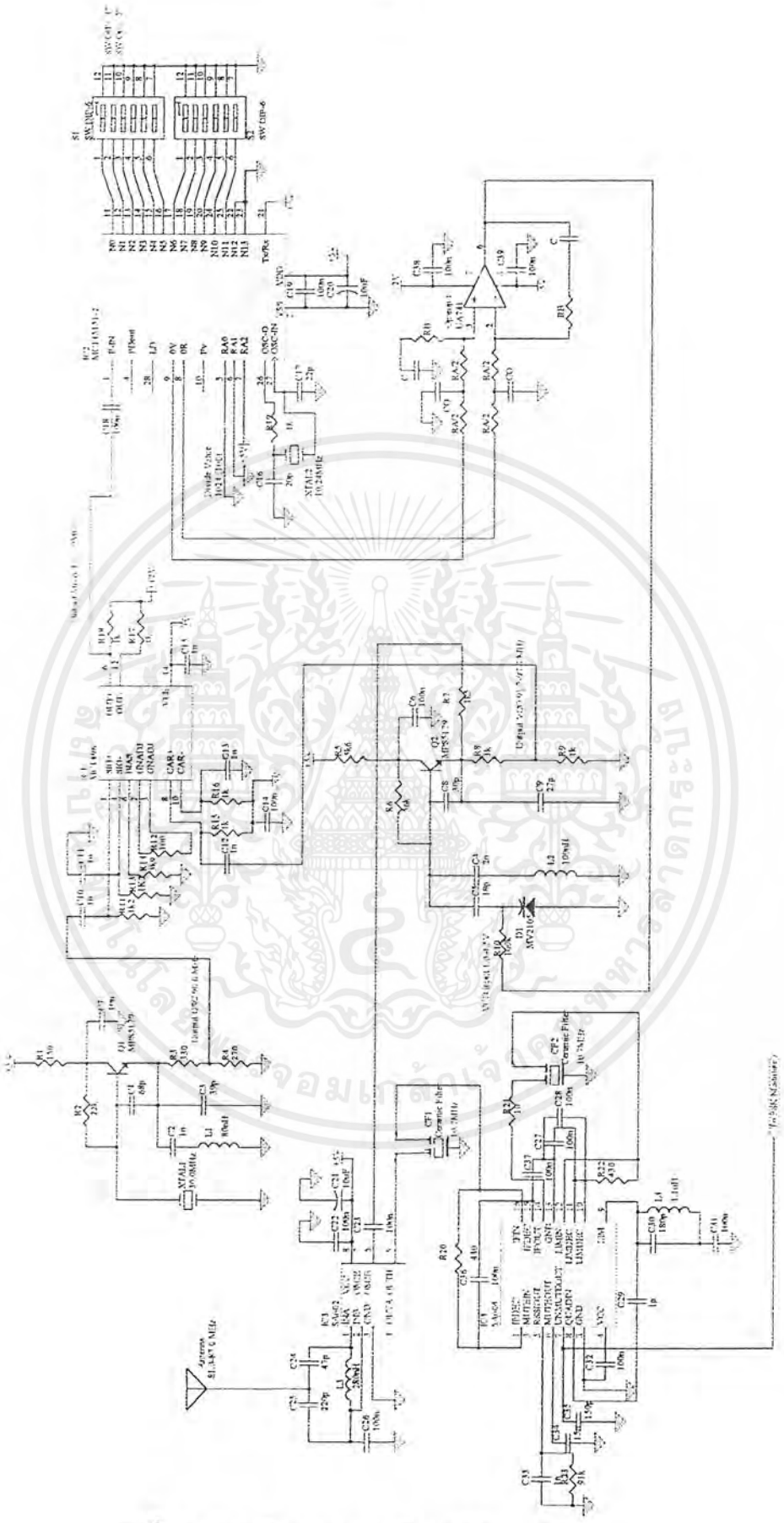
การทำงานของวงจรภาคดีมัลติเพล็กซ์แบบแบ่งเวลาและแปลงสัญญาณดิจิตอลเป็นอนาล็อกสามารถอธิบายการทำงานได้ดังนี้คือ สัญญาณที่รับเข้ามาจากภาคเอฟเอสเคดีมอดูเลตจะมีอยู่ 2 สัญญาณคือ สัญญาณข้อมูลอนุกรมซึ่งมีอัตราเร็ว 6,400 บิตต่อวินาที และสัญญาณซิงค์ความถี่ 200 เฮิรตซ์ สำหรับสัญญาณข้อมูลดังกล่าวจะถูกป้อนเข้าที่อินพุทของไอซีเบอร์74HC164 ซึ่งรับสัญญาณชิฟ คล็อก(Shift clock) มาจากไอซีเบอร์ 4040 เพื่อทำการเลื่อนข้อมูลจากข้อมูลอนุกรมให้เป็นข้อมูลแบบขนาน(Serial in Parallel out) ซึ่งเป็นข้อมูลของสัญญาณทั้ง 3 ช่องสัญญาณที่ส่งมาจากภาคส่งนั่นเอง สัญญาณข้อมูลแบบขนานที่ได้ จะถูกแลทซ์(Latch) หรือค้างสภาวะไว้ที่ไอซีเบอร์ 74HC373 ซึ่งมีอยู่ 3 ตัวเท่ากับจำนวนของช่องสัญญาณ โดยแต่ละตัวก็จะรับสัญญาณสแกน (Scanning clock) มาจากไอซีเบอร์ 4017 ซึ่งสัญญาณสแกนนี้จะทำหน้าที่ควบคุมการทำงานของสัญญาณที่รับเข้ามาที่ภาครับ กับสัญญาณที่ส่งมาจากภาคส่งให้มีการทำงานที่สอดคล้องหรือเข้าจังหวะกัน สัญญาณที่ถูกแลทซ์ไว้ ก็จะเป็นข้อมูลขนานขนาด 8 บิตในแต่ละช่องสัญญาณส่งต่อไปยังไอซีเบอร์ DAC0800 ซึ่งทำหน้าที่แปลงสัญญาณจากสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อกทั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3 ช่องสัญญาณ ส่งต่อไปยังภาคกรองความถี่ต่ำผ่านเพื่อให้ได้สัญญาณที่มีขนาด และความถี่ตรงกับสัญญาณที่ส่งมาจากทางภาคส่งมากที่สุด

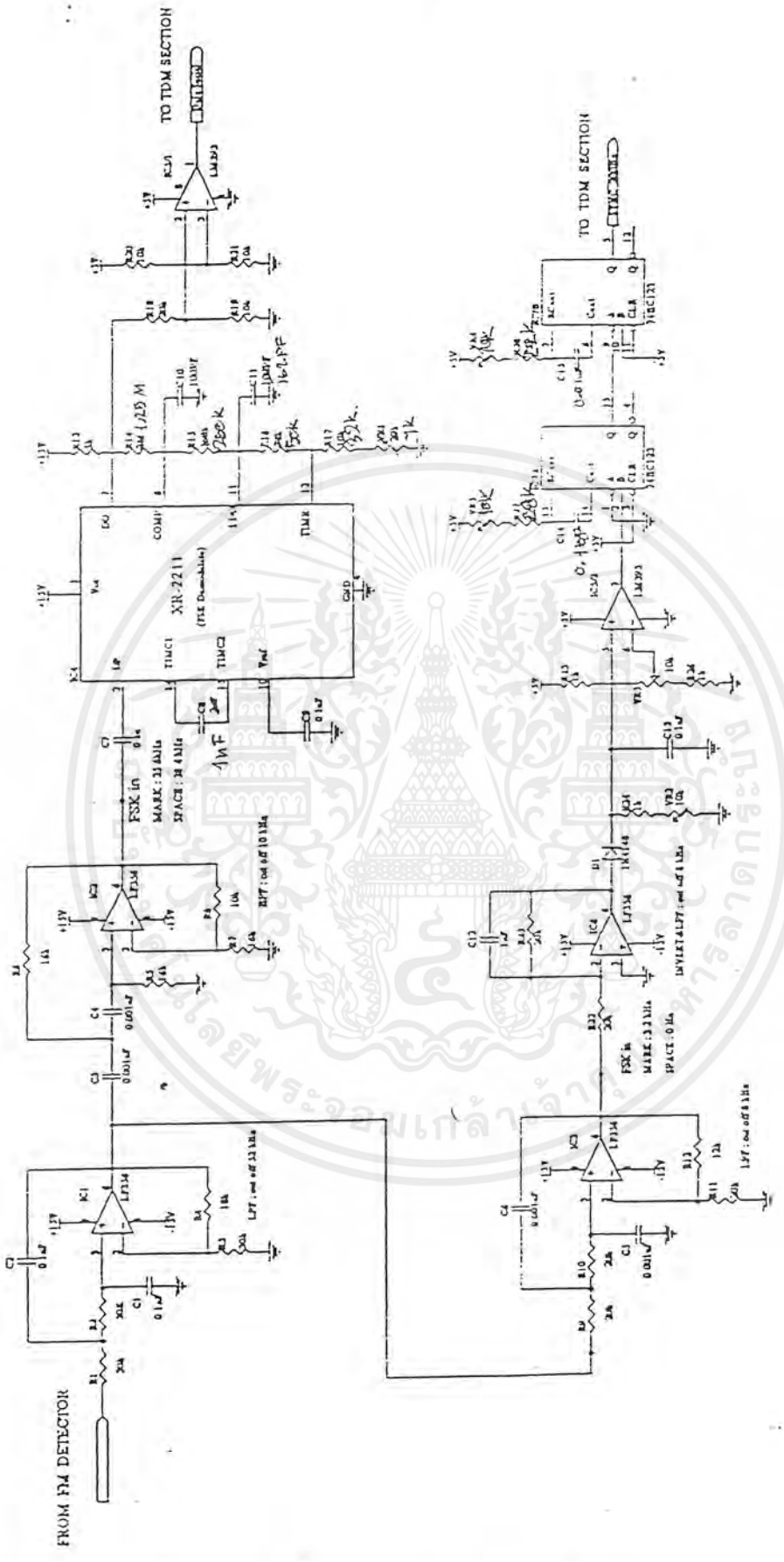
สำหรับสัญญาณซิงค์ความถี่ 200 เฮิรตซ์ จะถูกนำมาผ่านยังไอซีเบอร์ 74HC390,4040 และ 4017 เพื่อทำการสร้างสัญญาณเลื่อนข้อมูล(Shift clock)ความถี่ 6,400 เฮิรตซ์ ที่ใช้ในการเลื่อนข้อมูลจากข้อมูลอนุกรมให้เป็นข้อมูลแบบขนาน 8 บิต และอีกสัญญาณหนึ่งก็คือ สัญญาณสแกน (Scanning clock) เพื่อใช้เป็นสัญญาณในการสแกนช่องสัญญาณทั้ง 3 ช่องสัญญาณของทางภาครับและทางภาคส่งให้มีการทำงานที่สัมพันธ์กัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



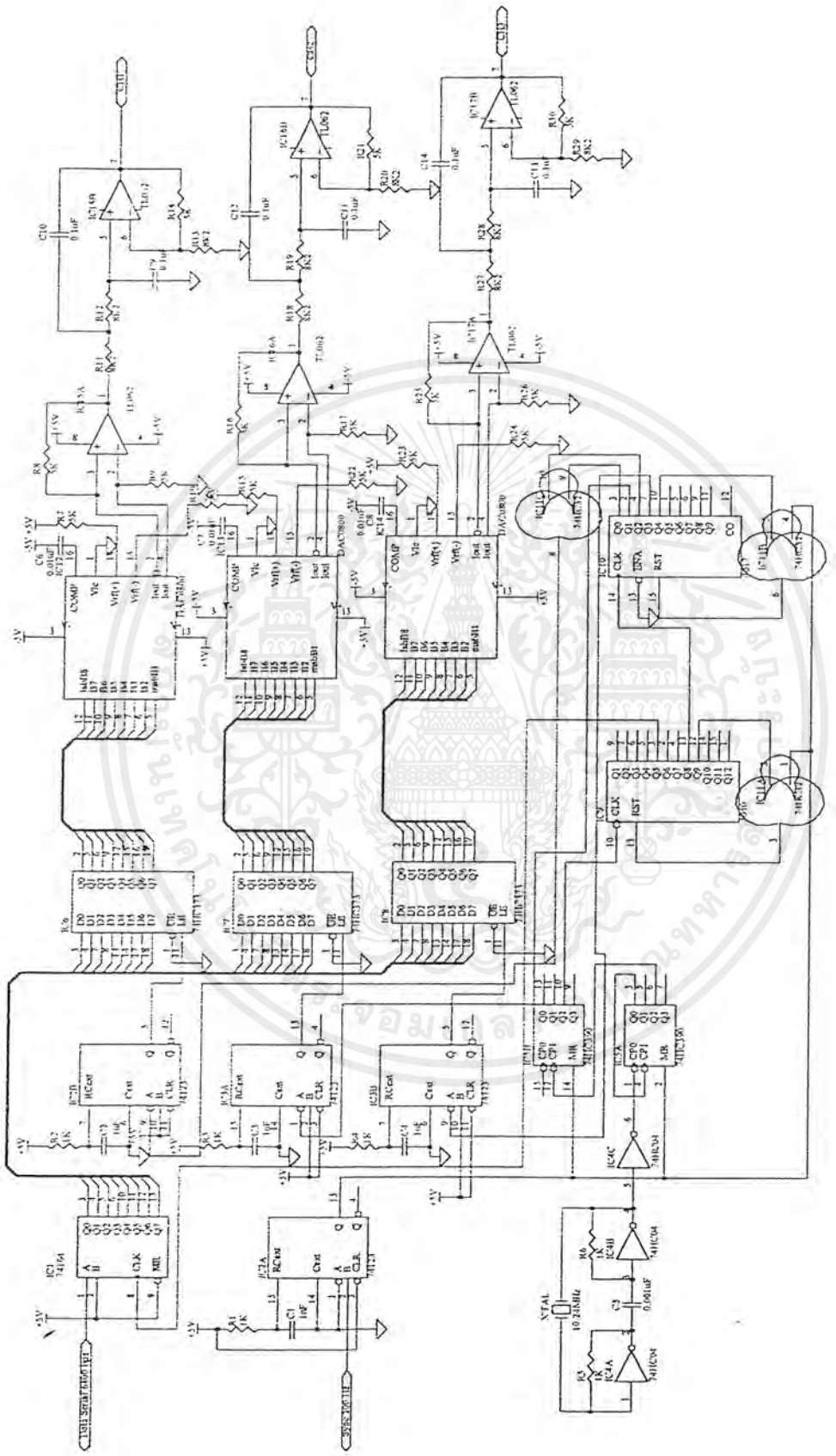
**รูปที่ 6.12 วงจรดีมอดูเลตเอฟเอ็ม(FM Demodulate)**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 6.13 วงจรดีมอดูเลตแบบเอฟเอสเค(FSK Demodulate)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.14 วงจรดีมัลติเพล็กซ์แบบแบ่งเวลา(Time Division Demultiplex)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 7

# การทดลองและผลการทดลอง

ในบทนี้จะเป็นเนื้อหาเกี่ยวกับการทดลองและผลการทดลอง ซึ่งในการทดลองจะป้อนสัญญาณเพื่อทดสอบเข้าที่จุดต่างๆของอินพุทของแต่ละภาค และทำการวัดสัญญาณที่จุดทดสอบต่างๆ ว่าได้ผลเป็นเช่นไร ซึ่งผลจากการวัดก็จะนำมาเปรียบเทียบกับการคำนวณทางทฤษฎีว่ามีความผิดพลาดเป็นอย่างไร รวมทั้งสัญญาณที่ภาครับ ณ จุดที่ทดสอบว่ามีความผิดพลาดหรือความผิดเพี้ยนของสัญญาณมากน้อยอย่างไร โดยในการวัดสัญญาณจะใช้ออสซิลโลสโคป(Oscilloscope) ยี่ห้อ Tektronix รุ่น TDS 360 ซึ่งเป็นระบบดิจิตอล ทำการวัดค่าต่างๆ เช่น ความถี่ ขนาด และเฟสของสัญญาณ เป็นต้น และทำการบันทึกผลออกมา

## 7.1 การวัดสัญญาณที่จุดต่างๆของภาคส่ง

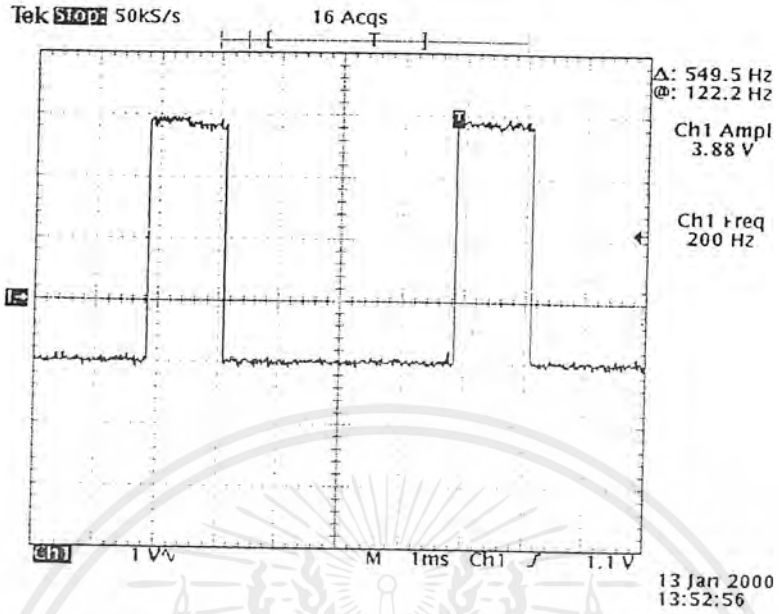
### 7.1.1 ภาคมัลติเพล็กซ์แบบแบ่งเวลา

ในการทดสอบสัญญาณภาคมัลติเพล็กซ์แบบแบ่งเวลานี้ จะป้อนสัญญาณทดสอบเป็นสัญญาณซายน์(Sine wave) เข้าที่อินพุทของวงจรทั้ง 3 ช่องสัญญาณ โดยความถี่ของช่องสัญญาณที่ 1 มีความถี่สูงสุดไม่เกิน 200 เฮิรตซ์ ส่วนช่องสัญญาณที่ 2 และ 3 นั้นมีความถี่ไม่เกิน 100 เฮิรตซ์ ซึ่งสัญญาณทั้ง 3 ช่องสัญญาณจะถูกมัลติเพล็กซ์แบบแบ่งเวลา และแปลงเป็นสัญญาณดิจิตอลแบบอนุกรมด้วยอัตราเร็ว 6,400 บิตต่อวินาที

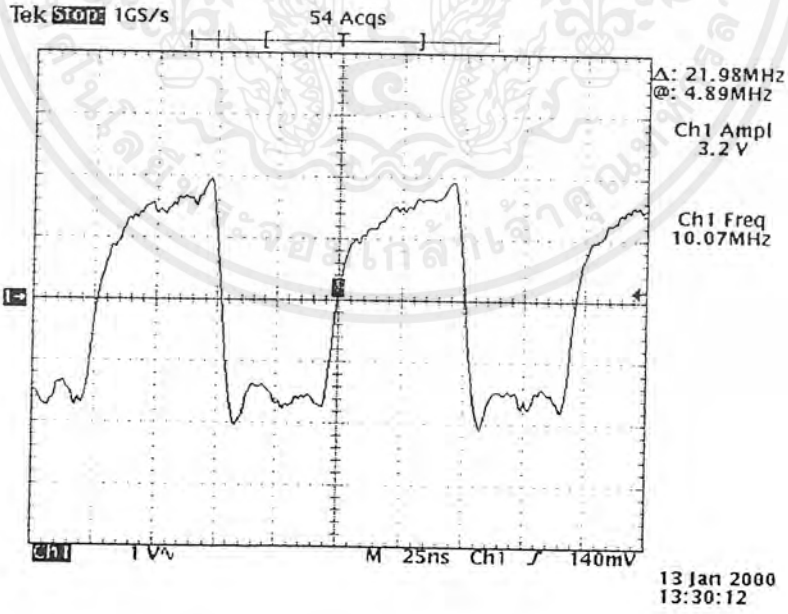
สำหรับสัญญาณนาฬิกาเพื่อใช้เป็นสัญญาณในการสแกน(Scanning clock) สัญญาณอินพุททั้ง 3 ช่องสัญญาณ เพื่อเปลี่ยนเป็นสัญญาณดิจิตอลแบบขนาน 8 บิตนั้น แสดงดังรูปที่ 7.1 ซึ่งสัญญาณนี้ยังใช้เป็นสัญญาณซิงค์ เพื่อป้อนให้กับภาคมอดูเลตเอฟเอสเคด้วยเช่นกัน

ในการทำงานของภาคมัลติเพล็กแบบแบ่งเวลานั้น จำเป็นต้องมีสัญญาณนาฬิกาเพื่อควบคุมจังหวะการทำงานของวงจรต่างๆ ทั้งภาครับและภาคส่งให้สอดคล้องกัน ซึ่งสัญญาณที่ใช้มาจากคริสตอลความถี่ 10.24 เมกะเฮิรตซ์ ถูกหารความถี่เหลือ 1.024 เมกะเฮิรตซ์ แสดงสัญญาณดังรูปที่ 7.2 และ 7.3 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

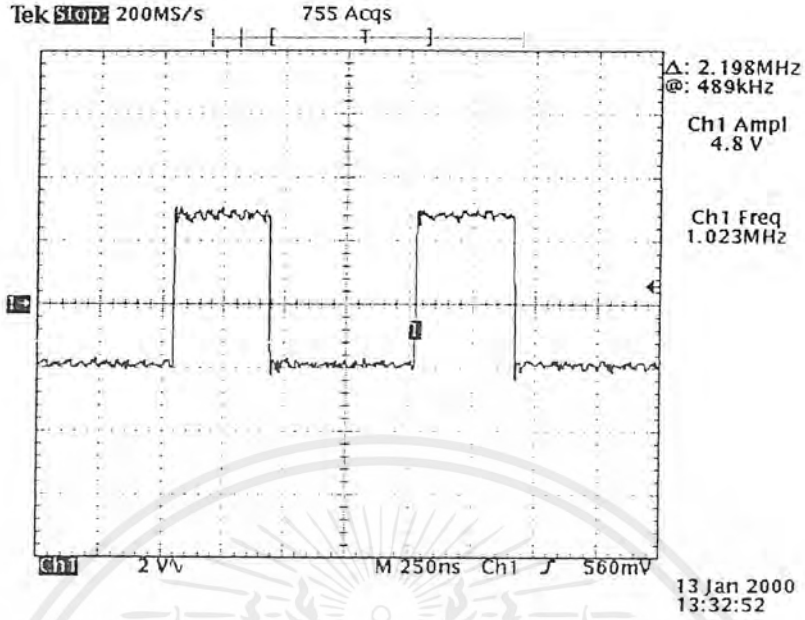



รูปที่ 7.1 สัญญาณนาฬิกาที่ใช้ในการสแกนสัญญาณทั้ง 3 ช่อง



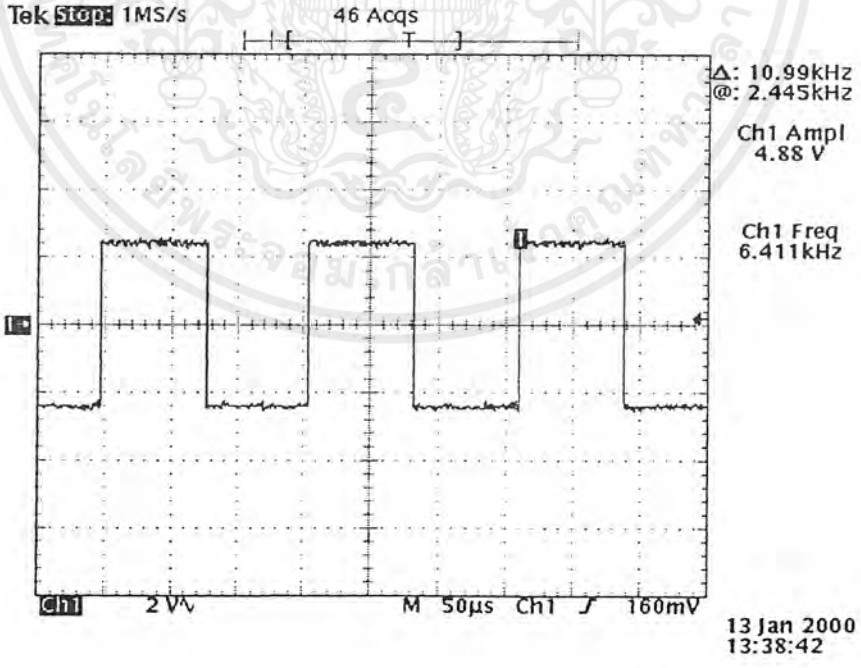

รูปที่ 7.2 สัญญาณที่ได้จากคริสตอลความถี่ 10.24 เมกะเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 7.3 สัญญาณนาฬิกาที่ใช้ในการควบคุมจังหวะการทำงาน

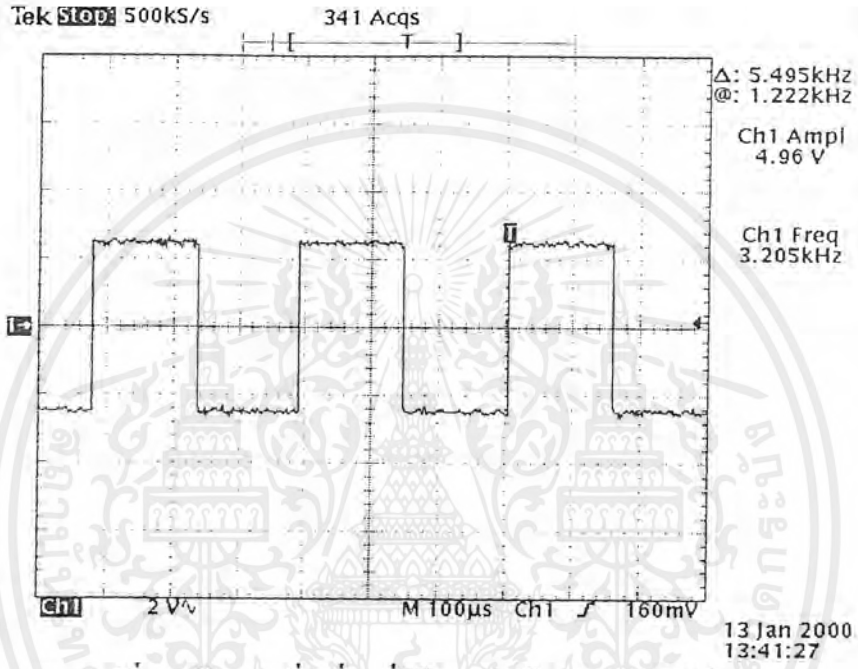
สำหรับสัญญาณที่ใช้ในการเลื่อนข้อมูล(Shift clock)จากแบบขนาน ให้เป็นแบบอนุกรม และมีอัตราเร็ว 6,400 บิตต่อวินาทีนั้น แสดงดังรูปที่ 7.4




รูปที่ 7.4 สัญญาณที่ใช้ในการเลื่อนข้อมูลแบบอนุกรม 6,400บิตต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้ สัญญาณสี่เหลี่ยม(Square wave) ความถี่ 3.2 กิโลเฮิรตซ์ จากไอซีเบอร์ 4040 ยังถูกสร้างขึ้น เพื่อส่งไปยังภาคมอดูเลตแบบเอฟเอสเค ซึ่งจะใช้ในการสร้างสัญญาณซิงค์นั่นเอง แสดงรูปกราฟดังรูปที่ 7.5

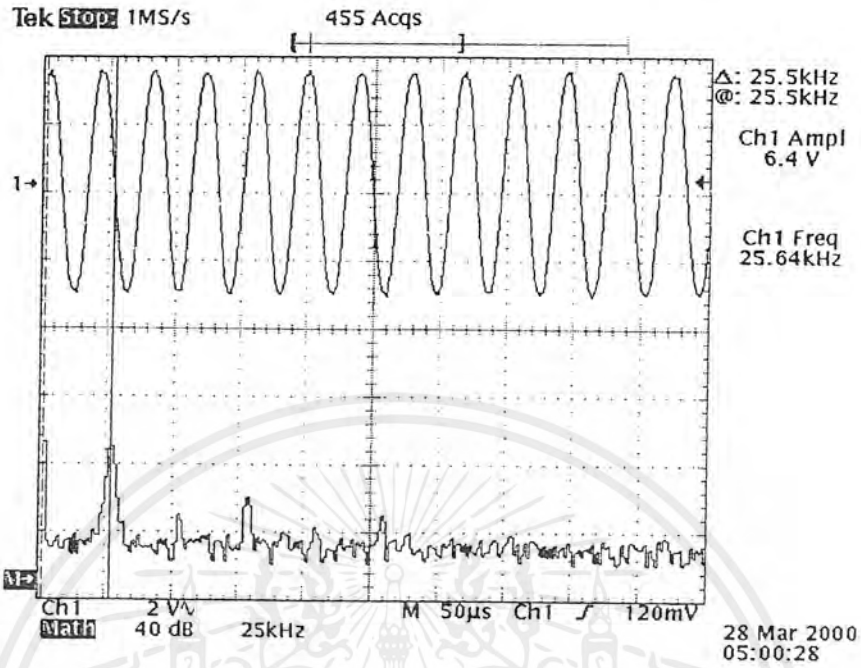



รูปที่ 7.5 สัญญาณสี่เหลี่ยมที่ใช้ในการสร้างสัญญาณซิงค์

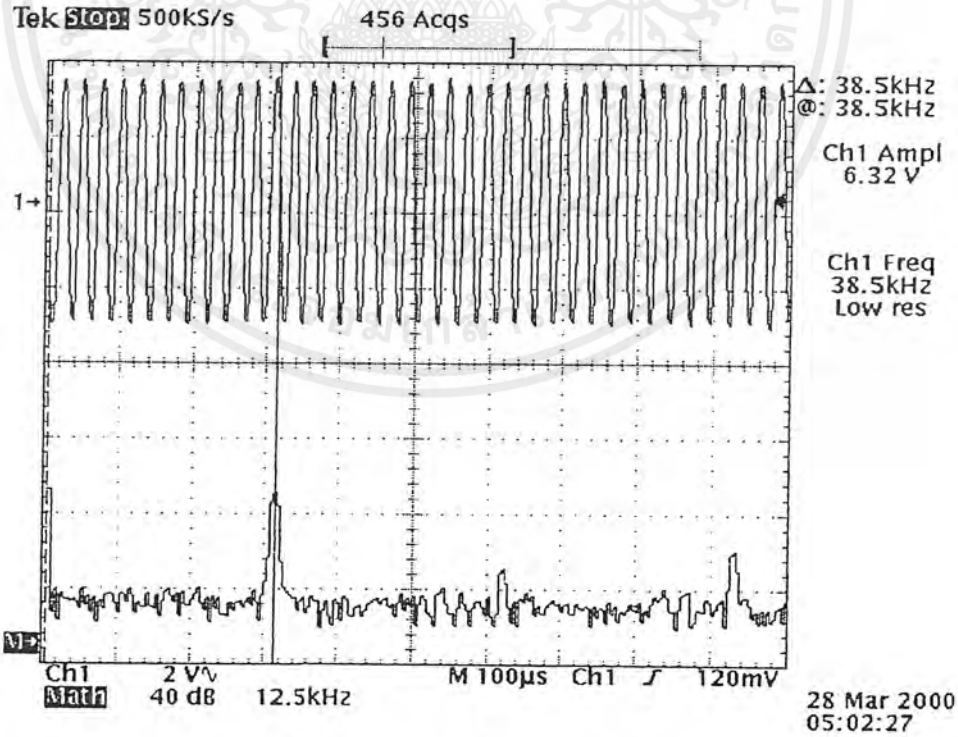
**7.1.2 ภาคมอดูเลตแบบเอฟเอสเค**

ในภาคการมอดูเลตแบบเอฟเอสเคนี้ สัญญาณที่รับมาจากภาคมัลติเพล็กซ์แบบแบ่งตามเวลา ซึ่งเป็นสัญญาณข้อมูลแบบอนุกรม มีอัตราเร็ว 6,400 บิตต่อวินาที จะมีสภาวะของสัญญาณอยู่ 2 สภาวะ คือ สภาวะลอจิก "1" และสภาวะลอจิก"0" โดยในการทดสอบจะป้อนสัญญาณทดสอบเป็นลอจิก"1"และลอจิก"0" สัญญาณจะถูกมอดูเลตจากสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก โดยที่สภาวะลอจิก "1" จะมีสัญญาณซายน์ความถี่ 25.6 กิโลเฮิรตซ์ และที่สภาวะลอจิก"0" จะมีสัญญาณซายน์ความถี่ 38.4 กิโลเฮิรตซ์ สำหรับรูปกราฟของสัญญาณแสดงดังรูปที่ 7.6 และ 7.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



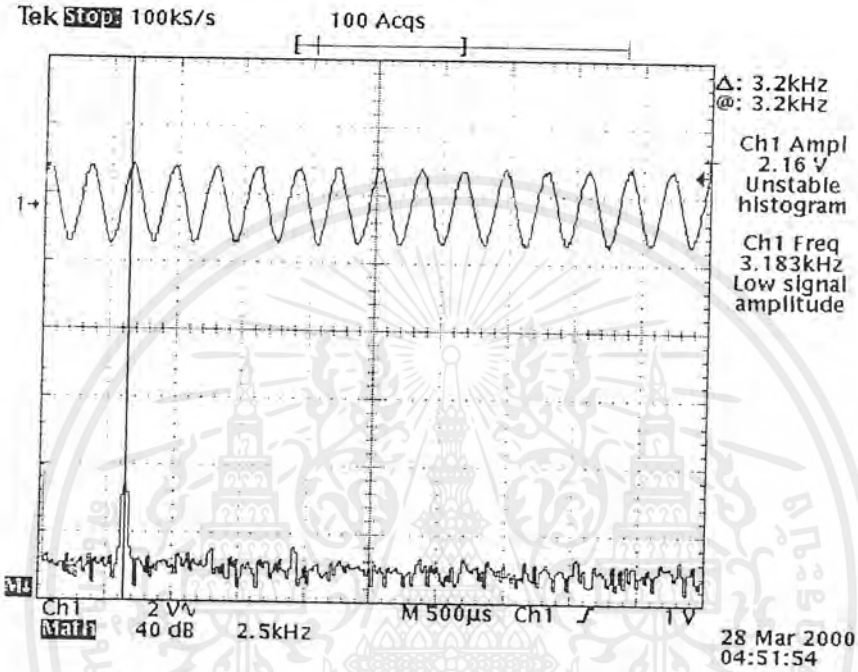

รูปที่ 7.6 สัญญาณข้อมูลที่สภาวะลอจิก "1" เมื่อผ่านการมอดูเลตแบบเอฟเอสเค




รูปที่ 7.7 สัญญาณข้อมูลที่สภาวะลอจิก "0" เมื่อผ่านการมอดูเลตแบบเอฟเอสเค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับสัญญาณซิงค์ จะรับสัญญาณสี่เหลี่ยม ความถี่ 3.2 กิโลเฮิรตซ์ จากภาคมัลติเพล็กซ์แบบแบ่งตามเวลา ป้อนเข้าวงจรกรองความถี่ต่ำผ่านทั้งหมด 4 อันดับ เพื่อให้ได้สัญญาณซายน์ความถี่ 3.2 กิโลเฮิรตซ์ แสดงรูปกราฟดังรูปที่ 7.8

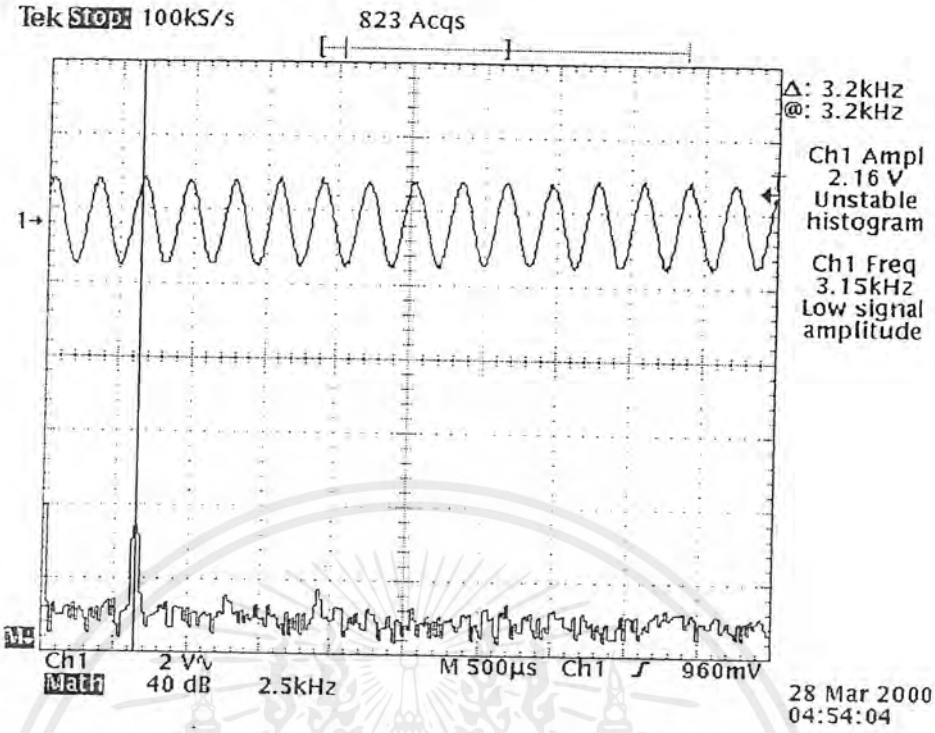



รูปที่ 7.8 สัญญาณซายน์ที่ได้จากวงจรกรองความถี่ต่ำผ่าน 4 อันดับ

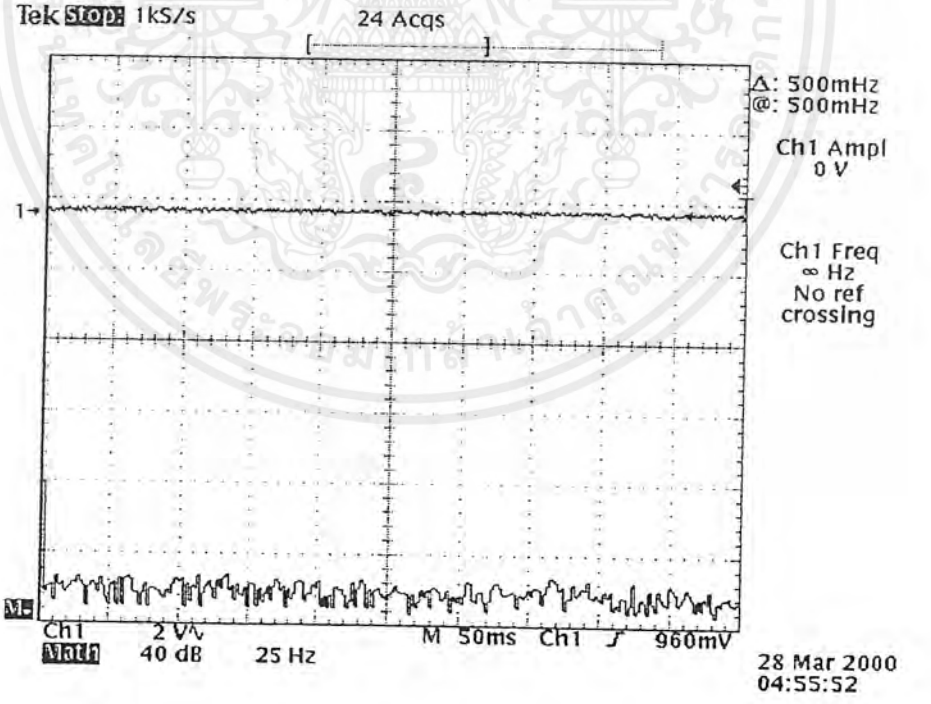
สัญญาณซายน์ความถี่ 3.2 กิโลเฮิรตซ์ดังกล่าว จะถูกป้อนเข้าอินพุทของอนาล็อกสวิทช์ พร้อมกับสัญญาณซิงค์ ความถี่ 200 เฮิรตซ์ จากภาคมัลติเพล็กซ์แบบแบ่งตามเวลา โดยที่สภาวะลอจิก "1" ของสัญญาณซิงค์ จะเกิดสัญญาณที่เอ้าท์พุทของอนาล็อกสวิทช์มีความถี่ 3.2 กิโลเฮิรตซ์ และที่สภาวะลอจิก"0" ของสัญญาณซิงค์ จะเกิดสัญญาณที่เอ้าท์พุทของอนาล็อกสวิทช์มีความถี่ 0 เฮิรตซ์ ซึ่งสัญญาณดังกล่าวนี้ จะใช้เป็นสัญญาณซิงค์สำหรับการมอดูเลตแบบเอฟเอสเคต่อไป รูปกราฟของสัญญาณซิงค์แสดงดังรูปที่ 7.9 และ 7.10

สัญญาณที่ผ่านอนาล็อกสวิทช์ จะถูกป้อนเข้าวงจรกรองความถี่ต่ำผ่าน 8 กิโลเฮิรตซ์ เพื่อกรองเอาเฉพาะความถี่ของสัญญาณซิงค์ที่ต้องการ จากนั้นสัญญาณข้อมูลที่ได้และสัญญาณซิงค์จะถูกรวมกันโดยวงจรซัมมิ่งแอมป์ เพื่อส่งสัญญาณที่มอดูเลตแล้วต่อไปยังภาคมอดูเลตแบบเอฟเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 7.9 สัญญาณซิงค์ความถี่ 3.2 กิโลเฮิรตซ์ที่สภาวะลอจิก"1"



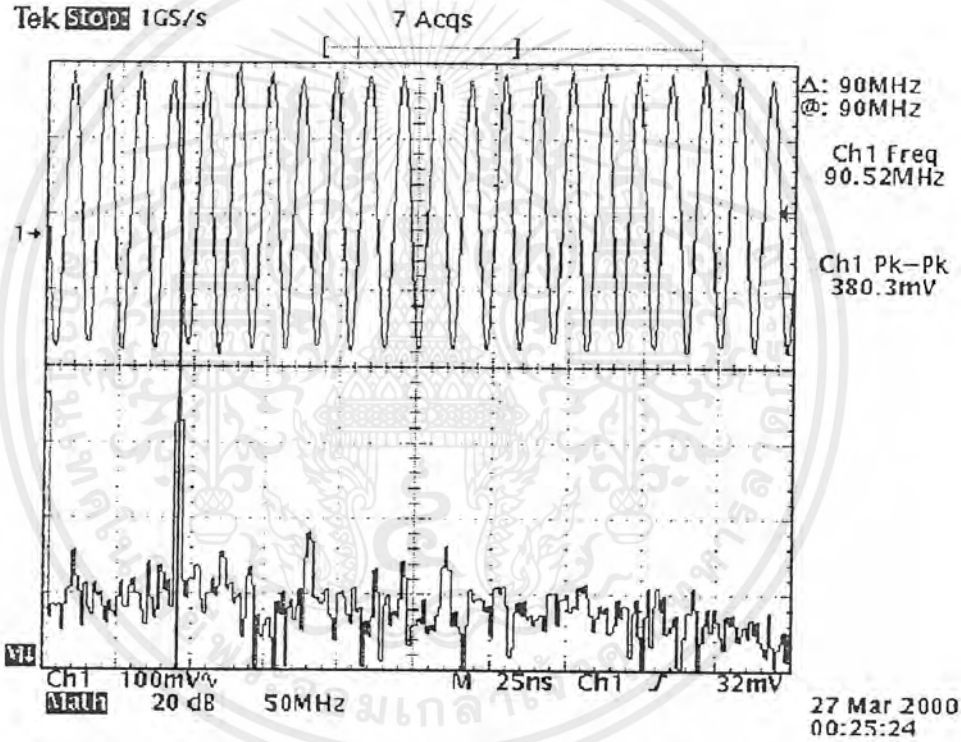

รูปที่ 7.10 สัญญาณซิงค์ความถี่ 0 เฮิรตซ์ที่สภาวะลอจิก"0"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**7.1.3 ภาคมอดูเลตแบบเอฟเอ็ม**

สัญญาณจากภาคมอดูเลตแบบเอฟเอสเค จะป้อนเข้าที่อินพุทของวงจรมอดูเลตแบบเอฟเอ็ม โดยที่ภาคมอดูเลตแบบเอฟเอ็มนี้ อาศัยเฟสล็อกลูปในการสังเคราะห์ความถี่พาหะในช่วง 81.0-87.0 เมกะเฮิรตซ์ โดยในการควบคุมการสังเคราะห์ความถี่นั้นต้องใช้สัญญาณจากทั้ง วงจรออสซิลเลตอร์ วงจรมิกเซอร์ วงจร VCO และวงจรกรองความถี่ต่ำผ่าน

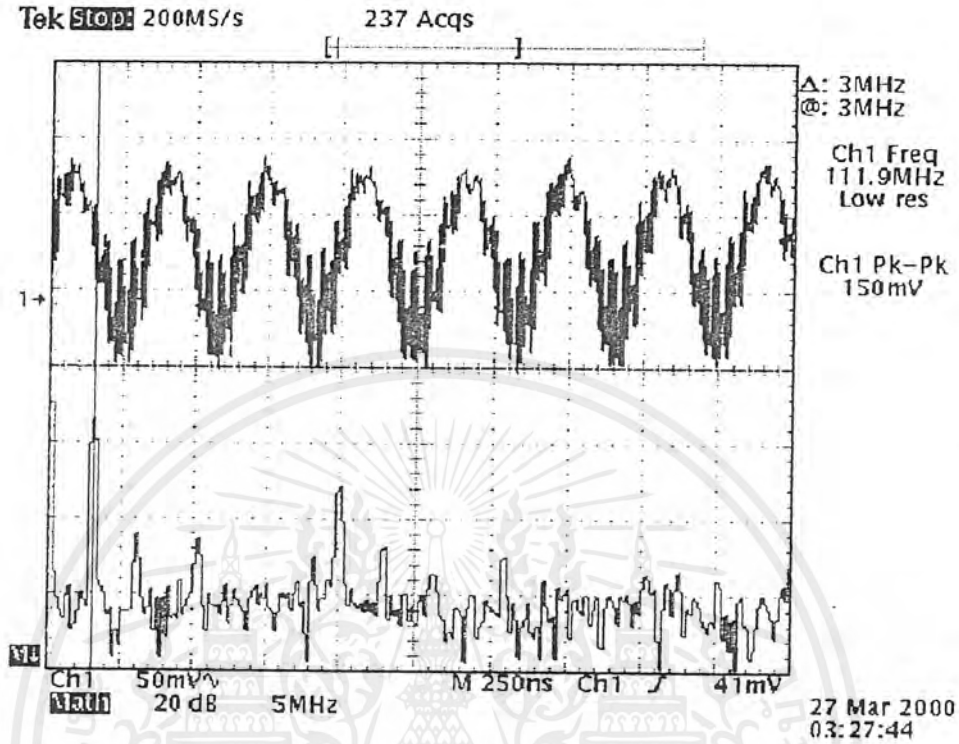
สัญญาณจากวงจรออสซิลเลเตอร์ ความถี่ 90.0 เมกะเฮิรตซ์ เพื่อใช้ป้อนเป็นสัญญาณอินพุทแรกของวงจรมิกเซอร์ รูปกราฟแสดงดังรูปที่ 7.11



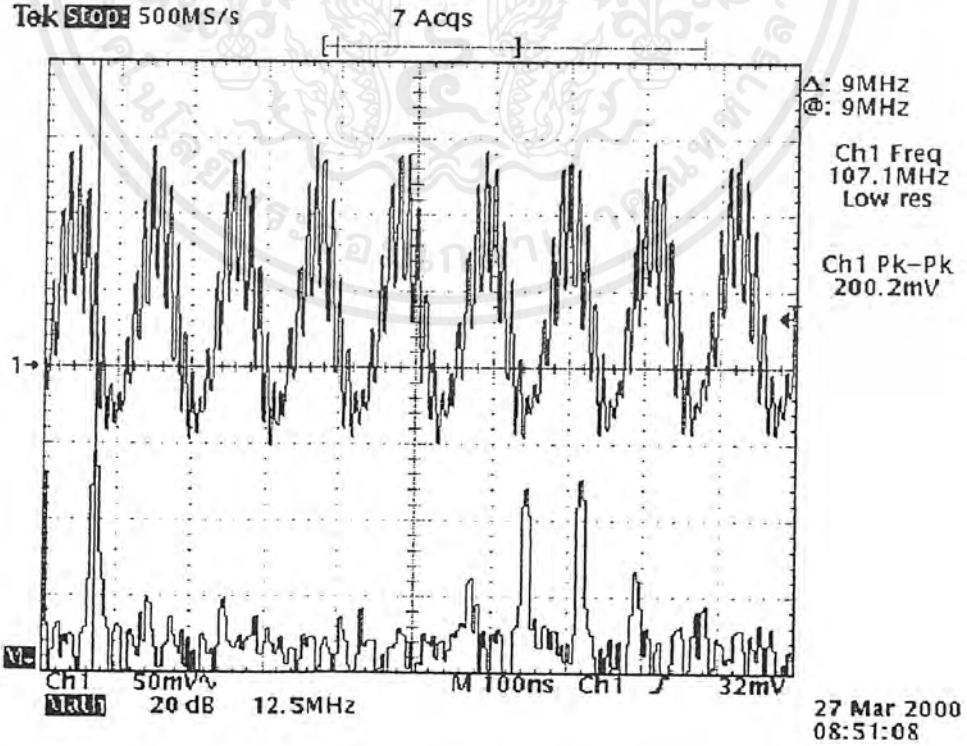

รูปที่ 7.11 สัญญาณซายน์ความถี่ 90.0 เมกะเฮิรตซ์จากวงจรออสซิลเลเตอร์

สัญญาณจากวงจรมิกเซอร์ความถี่ 3.0-9.0 เมกะเฮิรตซ์ ซึ่งเกิดจากการผสมสัญญาณจากวงจรออสซิลเลเตอร์ ความถี่ 90.0 เมกะเฮิรตซ์ และสัญญาณจากวงจรVCO ความถี่ 81.0-87.0 เมกะเฮิรตซ์ รูปกราฟแสดงดังรูปที่ 7.12 และ 7.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



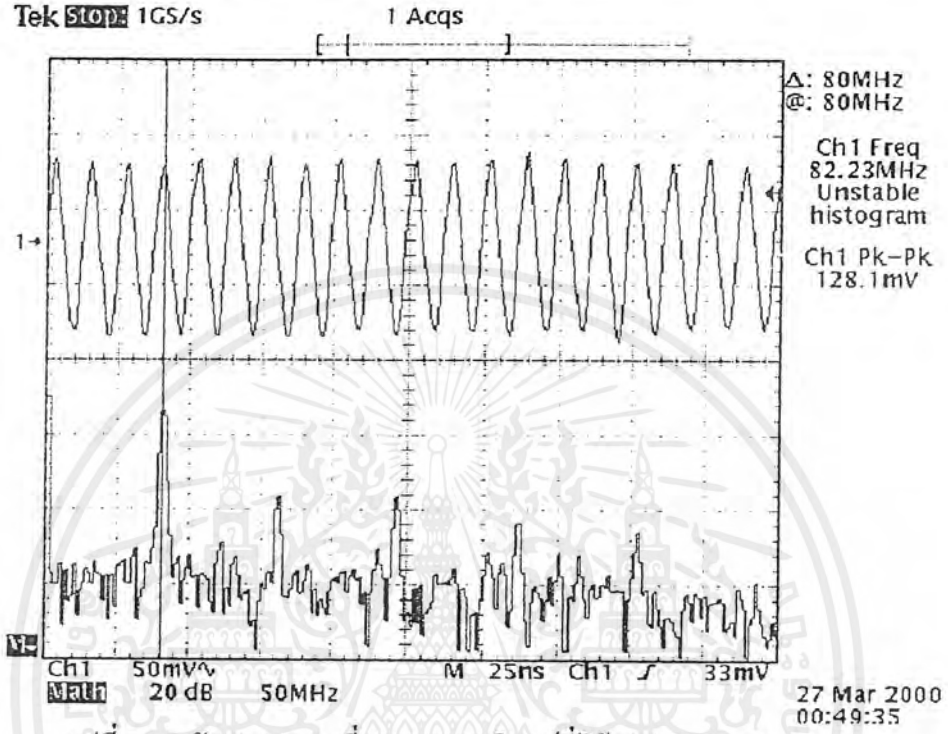

รูปที่ 7.12 สัญญาณเอ้าท์พุทจากวงจรมิกเซอร์เมื่อ VCO มีความถี่ 87.0 เมกะเฮิรตซ์



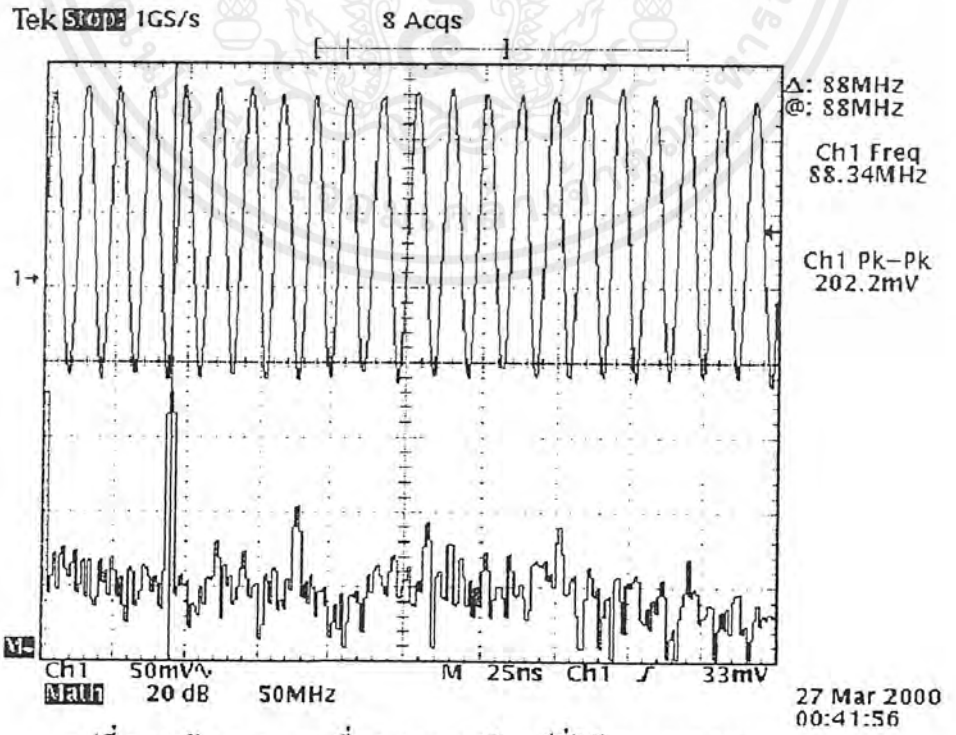

รูปที่ 7.13 สัญญาณเอ้าท์พุทจากวงจรมิกเซอร์เมื่อ VCO มีความถี่ 81.0 เมกะเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเอ้าท์พุทจากวงจร VCO ความถี่ 81.0-87.0 เมกะเฮิรตซ์ ซึ่งควบคุมการสังเคราะห์ความถี่ด้วยเฟสล็อกลูป แสดงดังรูปที่ 7.14 และ7.15




รูปที่ 7.14 สัญญาณความถี่ 81.0 เมกะเฮิรตซ์ที่ได้จากวงจร VCO




รูปที่ 7.15 สัญญาณความถี่ 87.0 เมกะเฮิรตซ์ที่ได้จากวงจร VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของวงจรเฟสล็อกลูปนั้น การควบคุมการสังเคราะห์ความถี่ทำได้ โดยการโปรแกรมข้อมูลเลขฐานสองจำนวน 14 บิตเข้าไป ซึ่งจะใช้ดิพสวิทช์ในการป้อนสัญญาณลอจิก "1" และลอจิก"0" สำหรับตารางการเลือกค่าความถี่ที่ต้องการแสดงดังตารางที่ 7.1

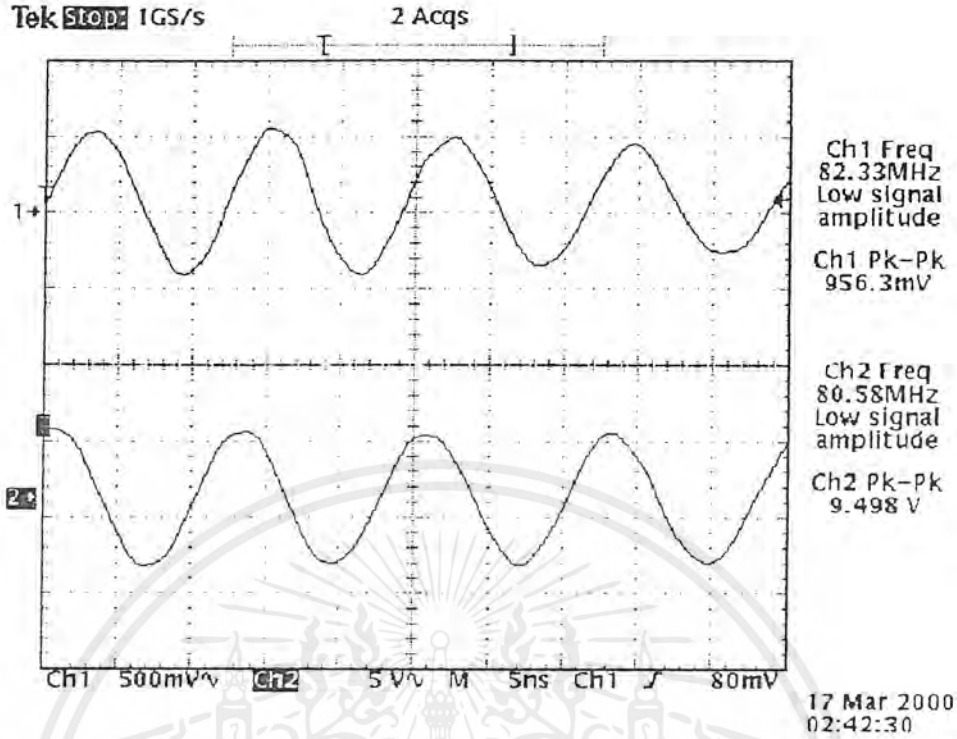
ตารางที่ 7.1 ตารางเลือกค่าความถี่วงจรของเฟสล็อกลูป

| ความถี่ | $f_{out}$ (MHz) | $f_{in}$ (MHz) | ตัวหาร N ฐานสิบ | ตัวหาร N ฐานสอง | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | $N_{11}$ | $N_{10}$ | $N_9$ | $N_8$ | $N_7$ | $N_6$ | $N_5$ | $N_4$ | $N_3$ | $N_2$ | $N_1$ | $N_0$ |
| 1 | 81.0 | 9.0 | 900 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 2 | 81.5 | 8.5 | 850 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 3 | 81.0 | 8.0 | 800 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 4 | 82.5 | 7.5 | 750 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |
| 5 | 83.0 | 7.0 | 700 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 6 | 83.5 | 6.5 | 650 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 7 | 84.0 | 6.0 | 600 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 |
| 8 | 84.5 | 5.5 | 550 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 9 | 85.0 | 5.0 | 500 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 10 | 85.5 | 4.5 | 450 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 11 | 86.0 | 4.0 | 400 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 12 | 86.5 | 3.5 | 350 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 |
| 13 | 87.0 | 3.0 | 300 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 |

### 7.1.4 ภาคขยายสัญญาณความถี่สูง

ในส่วนของภาคขยายสัญญาณความถี่สูง สัญญาณที่ถูกมอดูเลตแบบเอฟเอ็มแล้ว จะถูกขยายเพื่อให้มีขนาดของสัญญาณที่สูงมากขึ้น สามารถที่จะมีความแรงพอที่จะส่งไปยังภาครับได้ สำหรับสัญญาณ ที่ผ่านวงจรขยายสัญญาณความถี่สูงแล้ว แสดงดังรูปกราฟ รูปที่ 7.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 7.16 สัญญาณที่ผ่านวงจรขยายสัญญาณความถี่สูง

## 7.2 การวัดสัญญาณที่จุดต่างๆของภาครับ

### 7.2.1ภาคดีมอดูเลตแบบเอฟเอ็ม

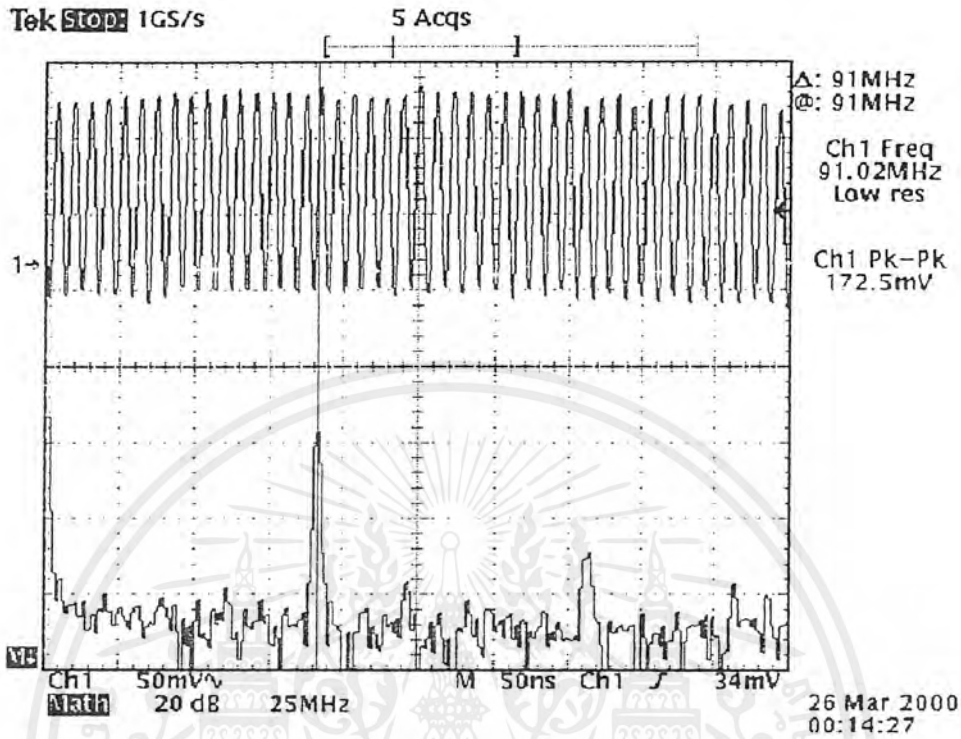
ในส่วนภาคดีมอดูเลตแบบเอฟเอ็มนี้ สัญญาณที่ภาครับนั้นรับได้ จะเป็นสัญญาณความถี่สูงช่องใดช่องหนึ่งของ 81.0-87.0 เมกะเฮิรตซ์ ซึ่งจะนำมาทำการผสมกับสัญญาณที่มาจากโลคอลออสซิลเลเตอร์(Local Oscillator : LO) ที่มีความถี่ในช่วง 91.7-97.7 เมกะเฮิรตซ์ เพื่อทำการขยายเอาเฉพาะสัญญาณความถี่ผลต่าง 10.7 เมกะเฮิรตซ์ เท่านั้น

สำหรับสัญญาณความถี่ของ LOนั้น จะได้จากวงจร VCO โดยถูกควบคุมการสังเคราะห์ความถี่ด้วยเฟสล็อกลูป ซึ่งรูปกราฟของสัญญาณจากวงจร VCO แสดงดังรูปที่ 7.17 และ 7.18

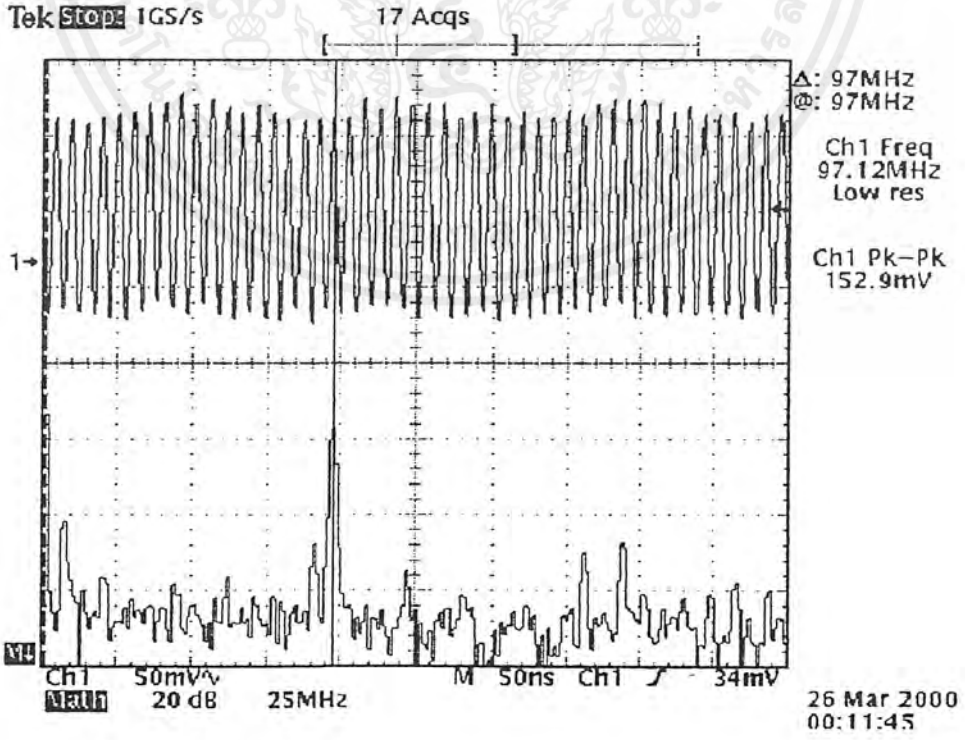
ส่วนการทำงานของเฟสล็อกลูปเพื่อควบคุมการสังเคราะห์ความถี่ในภาครับนี้ ก็จะมีลักษณะการทำงานที่เหมือนกันกับทางภาคส่งเกือบทุกประการ ทั้งวงจรออสซิลเลเตอร์ วงจรมิกเซอร์ วงจรเฟสล็อกลูป และวงจรกรองความถี่ต่ำผ่าน แต่จะแตกต่างกันตรงความถี่เท่านั้น

สัญญาณที่ถูกขยายโดยภาคมิกเซอร์(Mixer) 10.7 เมกะเฮิรตซ์แล้ว จะมีสัญญาณแสดงดังรูปกราฟรูปที่ 7.19 ซึ่งสัญญาณนี้ เป็นสัญญาณที่มีขนาดต่ำจึงต้องนำไปผ่านการขยายสัญญาณ และทำการดีมอดูเลตเอาความถี่กลาง 10.7 เมกะเฮิรตซ์ออก ให้เหลือเพียงแต่สัญญาณข้อมูล เพื่อส่งต่อไปยังภาคดีมอดูเลตแบบเอฟเอสเคต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

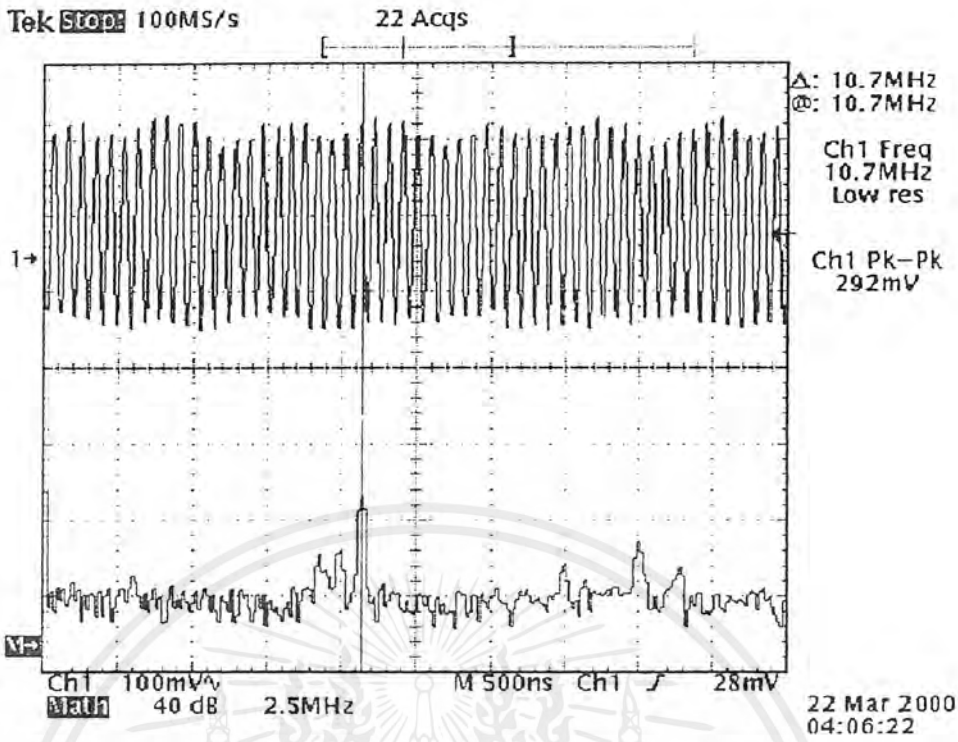



รูปที่ 7.17 สัญญาณความถี่ 91.7 เมกะเฮิรตซ์จากวงจร VCO




รูปที่ 7.18 สัญญาณความถี่ 97.7 เมกะเฮิรตซ์จากวงจร VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 7.19 สัญญาณความถี่กลางที่ได้จากการผสมของสัญญาณจาก LO และสัญญาณที่รับเข้ามา

**7.2.2 ภาคดีมอดูเลตแบบเอฟเอสเค**

ในส่วนของภาคดีมอดูเลตแบบเอฟเอสเคนี้ จะดีมอดูเลตสัญญาณที่รับเข้ามาจากภาคดีมอดูเลตแบบเอฟเอ็ม ทั้งสัญญาณข้อมูลและสัญญาณซิงค์จากสัญญาณซายน์ 2 ความถี่ ให้เป็นสัญญาณข้อมูลดิจิตอลแบบอนุกรม ซึ่งมีอัตราเร็ว 6,400 บิตต่อวินาที เพื่อส่งต่อไปยังภาคดีมัลติเพล็กซ์แบบแบ่งเวลาต่อไป

**7.2.3 ภาคดีมัลติเพล็กซ์แบบแบ่งเวลา**

สัญญาณที่รับเข้ามาจากภาคดีมอดูเลตแบบเอฟเอสเค จะถูกดีมัลติเพล็กซ์แบบแบ่งเวลา เพื่อทำการแปลงสัญญาณจากสัญญาณข้อมูลดิจิตอลแบบอนุกรม ให้เป็นสัญญาณข้อมูลดิจิตอลแบบขนาน 8 บิต ซึ่งสัญญาณจะถูกแยกออกเป็นสัญญาณของแต่ละช่องสัญญาณ ทั้ง 3 ช่องสัญญาณ

สัญญาณข้อมูลดิจิตอลแบบขนาน 8 บิตดังกล่าว ทั้ง 3 ช่องสัญญาณก็จะถูกแปลงเป็นสัญญาณอนาล็อก นำไปผ่านวงจรกรองความถี่ต่ำผ่านต่อไป เพื่อให้ได้สัญญาณของแต่ละช่องสัญญาณตรงกับสัญญาณที่ภาคส่งส่งมามากที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 8
# สรุปและวิจารณ์ผลการทดลอง

จากการที่ทำโครงงานระบบส่งสัญญาณดิจิตอลแบบไร้สายสำหรับห้องไอซียูนี้ ปรากฏว่ายังมีปัญหาในส่วนการทำงานของแต่ละภาค ที่ยังต้องทำการแก้ไขและทำการปรับปรุงให้ดีขึ้น สามารถแยกเป็นภาคๆเพื่ออธิบายถึงปัญหาต่างๆดังนี้

- ภาคมัลติเพล็กซ์และดีมัลติเพล็กซ์แบบแบ่งเวลา

สำหรับในภาคนี้นั้น ปัญหาที่เกิดขึ้นก็คือ การแปลงสัญญาณจากสัญญาณข้อมูลดิจิตอลแบบขนานให้เป็นสัญญาณข้อมูลดิจิตอลแบบอนุกรม ซึ่งสัญญาณนาฬิกาที่ใช้ในการเลื่อนข้อมูล (Shift clock)นั้น จะต้องตรวจสอบเกี่ยวกับคุณสมบัติทางเวลา เช่น ช่วงเวลาขอบขาขึ้น(Rise time) ช่วงเวลาขอบขาลง (Fall time) ตลอดจนความกว้างของพัลส์(Pulse width)และขนาดของสัญญาณ (Amplitude) ด้วย มิฉะนั้นแล้วจะเกิดความผิดพลาดได้ง่าย ซึ่งปัญหานี้เป็นปัญหาเดียวกัน ที่เกิดขึ้นกับภาครับ ในการแปลงสัญญาณข้อมูลดิจิตอลแบบอนุกรมให้เป็นสัญญาณข้อมูล อนาล็อก 3 ช่องสัญญาณ

- ภาคมอดูเลตและดีมอดูเลตแบบเอฟเอสเค

สำหรับในภาคนี้นั้น ปัญหาที่เกิดขึ้นคือปัญหาในภาครับ กล่าวคือ การดีมอดูเลตสัญญาณที่รับเข้ามาจากภาคดีมอดูเลตแบบเอฟเอ็ม (ทั้งสัญญาณซิงค์และสัญญาณข้อมูล) เพื่อทำการเปลี่ยนสัญญาณข้อมูลจากสัญญาณอนาล็อก 2 ความถี่ให้เป็นสัญญาณดิจิตอลแบบอนุกรม และมีอัตราเร็ว 6,400 บิตต่อวินาทีนั้น ทำได้ค่อนข้างยาก เนื่องจากต้องแยกสัญญาณข้อมูลออกจากสัญญาณซิงค์ โดยในการแยกจะใช้วงจรกรองความถี่สูง เพื่อทำการแยกสัญญาณข้อมูลซึ่งมีความถี่สูงกว่าสัญญาณซิงค์ออกมานั้น ในการออกแบบวงจรและการเลย์เอ้าท์(Layout) ต้องมีความละเอียดและใช้ความพิถีพิถันอย่างมาก ซึ่งเป็นปัญหาที่สำคัญที่จะพบในการทำงานของภาครับนี้

- ภาคมอดูเลตและดีมอดูเลตทางความถี่

สำหรับในภาคนี้นั้น ปัญหาที่เกิดขึ้น ก็คือปัญหาในส่วนของวงจรออสซิลเลเตอร์ และวงจร VCO เนื่องจากเป็นวงจรที่ทำงานเกี่ยวข้องกับความถี่สูง ดังนั้นจึงเป็นปัญหาในเรื่องของการออกแบบวงจรและการเลย์เอ้าท์(Layout) การต่อกราวน์(Ground) ตลอดจนการเกิดสัญญาณรบกวน (Noise)ต่างๆ ซึ่งในการแก้ปัญหาตรงจุดนี้ต้องอาศัยความละเอียด และประสบการณ์ในการแบบวงจรตลอดจนการเลย์เอ้าท์(Layout) เป็นพิเศษ อีกปัญหาหนึ่งที่สำคัญก็คือ วงจรเฟสล็อกลูปที่ใช้ในการสังเคราะห์ความถี่ จะเกิดการไม่ล็อก(Locked) ความถี่ เนื่องจากสาเหตุหลายประการ เช่น การ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รบกวนกันของความถี่สูง การเกิดความถี่สูงเกินช่วงที่ต้องการ ซึ่งการแก้ปัญหานี้อาจทำได้โดยการเปลี่ยนมาใช้วงจรสังเคราะห์ความถี่แบบอื่นแทน เช่น วงรเฟสล็อกลูปแบบพรีสเกล เป็นต้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บรรณานุกรม

1.สุชาติ กังวาลจิตต์ , หลักการทำงานเครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร , บริษัท ซีเอ็ดยูเคชั่น จำกัด , พิมพ์ครั้งที่ 1 , กรุงเทพฯ , พ.ศ.2538

2.HADY , JAME K , HIGH FREQUENCY CIRCUIT DESIGN , RESTON PUBLISHING COMPANY , INC. , 1979

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

# TL431, A, B Series

## Programmable Precision References

PROGRAMMABLE PRECISION REFERENCES

SEMICONDUCTOR TECHNICAL DATA

The TL431, A, B integrated circuits are three–terminal programmable shunt regulator diodes. These monolithic IC voltage references operate as a low temperature coefficient zener which is programmable from $V_{ref}$ to 36 V with two external resistors. These devices exhibit a wide operating current range of 1.0 mA to 100 mA with a typical dynamic impedance of 0.22 Ω. The characteristics of these references make them excellent replacements for zener diodes in many applications such as digital voltmeters, power supplies, and op amp circuitry. The 2.5 V reference makes it convenient to obtain a stable reference from 5.0 V logic supplies, and since the TL431, A, B operates as a shunt regulator, it can be used as either a positive or negative voltage reference.

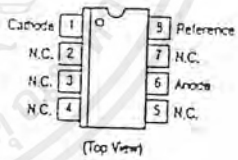
- Programmable Output Voltage to 36 V
- Voltage Reference Tolerance: ±0.4%, Typ @ 25°C (TL431B)
- Low Dynamic Output Impedance, 0.22 Ω Typical
- Sink Current Capability of 1.0 mA to 100 mA
- Equivalent Full–Range Temperature Coefficient of 50 ppm/°C Typical
- Temperature Compensated for Operation over Full Rated Operating Temperature Range
- Low Output Noise Voltage

Z, LP SUFFIX
PLASTIC PACKAGE
CASE 29
(TO–92)

Pin 1. Reference
2. Anode
3. Cathode

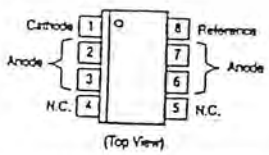
P SUFFIX
PLASTIC PACKAGE
CASE 626

DM SUFFIX
PLASTIC PACKAGE
CASE 846A
(Micro–8)




(Top View)

D SUFFIX
PLASTIC PACKAGE
CASE 751
(SOP–8)




(Top View)

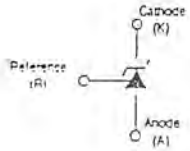
SOP–8 is an internally modified SO–8 package. Pins 2, 3, 6 and 7 are electrically common to the die attach flag. This internal lead frame modification decreases power dissipation capability when appropriately mounted on a printed circuit board. SOP–8 conforms to all external dimensions of the standard SO–8 package.

ORDERING INFORMATION

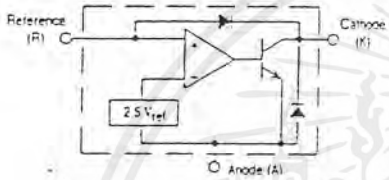
| Device | Operating Temperature Range | Package |
|---|---|---|
| TL431CLP, ACLP, BCLP | $T_A$ = 0° to +70°C | TO–92 |
| TL431CP, ACP, BCP | | Plastic |
| TL431CDM, ACDM, BCDM | | Micro–8 |
| TL431CD, ACD, BCD | | SOP–8 |
| TL431ILP, AILP, BILP | $T_A$ = –40° to +85°C | TO–92 |
| TL431IP, AIP, BIP | | Plastic |
| TL431IDM, AIDM, BIDM | | Micro–8 |
| TL431ID, AID, BID | | SOP–8 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

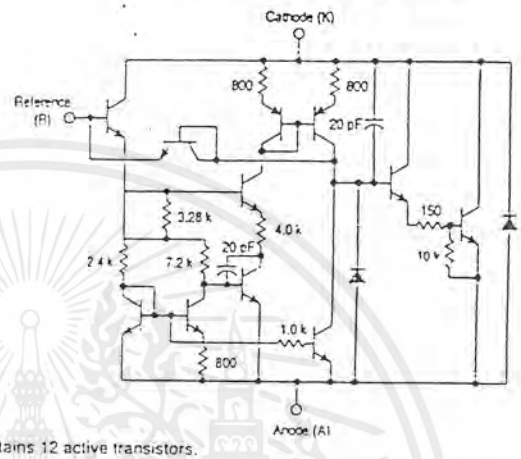
Symbol




Representative Block Diagram




Representative Schematic Diagram
Component values are nominal




This device contains 12 active transistors.

MAXIMUM RATINGS (Full operating ambient temperature range applies, unless otherwise noted.)

| Rating | Symbol | Value | Unit |
|---|---|---|---|
| Cathode to Anode Voltage | $V_{KA}$ | 37 | V |
| Cathode Current Range, Continuous | $I_K$ | −100 to +150 | mA |
| Reference Input Current Range, Continuous | $I_{ref}$ | −0.05 to +10 | mA |
| Operating Junction Temperature | $T_J$ | 150 | °C |
| Operating Ambient Temperature Range<br>TL431I, TL431AI, TL431BI<br>TL431C, TL431AC, TL431BC | $T_A$ | <br>−40 to +85<br>0 to +70 | °C |
| Storage Temperature Range | $T_{stg}$ | −65 to +150 | °C |
| Total Power Dissipation @ $T_A$ = 25°C<br>Derate above 25°C Ambient Temperature<br>D, LP Suffix Plastic Package<br>P Suffix Plastic Package<br>DM Suffix Plastic Package | $P_D$ | <br><br>0.70<br>1.10<br>0.52 | W |
| Total Power Dissipation @ $T_C$ = 25°C<br>Derate above 25°C Case Temperature<br>D, LP Suffix Plastic Package<br>P Suffix Plastic Package | $P_D$ | <br><br>1.5<br>3.0 | W |

NOTE: ESD data available upon request.

RECOMMENDED OPERATING CONDITIONS

| Condition | Symbol | Min | Max | Unit |
|---|---|---|---|---|
| Cathode to Anode Voltage | $V_{KA}$ | $V_{ref}$ | 36 | V |
| Cathode Current | $I_K$ | 1.0 | 100 | mA |

THERMAL CHARACTERISTICS

| Characteristic | Symbol | D, LP Suffix Package | P Suffix Package | DM Suffix Package | Unit |
|---|---|---|---|---|---|
| Thermal Resistance, Junction-to-Ambient | $R_{\theta JA}$ | 178 | 114 | 240 | °C/W |
| Thermal Resistance, Junction-to-Case | $R_{\theta JC}$ | 83 | 41 | – | °C/W |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

# DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

## General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

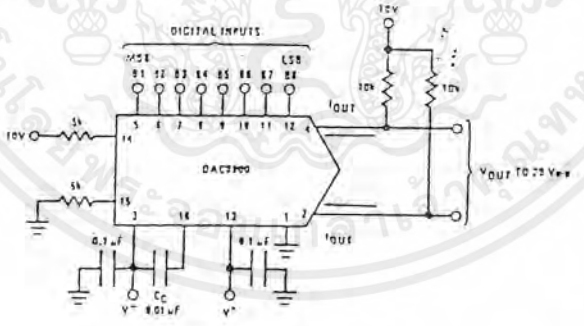
The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, $V_{LC}$, grounded. Changing the $V_{LC}$ potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

## Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- High output compliance — −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

## Typical Applications




TL/H/5688–1

FIGURE 1. ±20 $V_{p-p}$ Output Digital-to-Analog Converter (Note 4)

## Ordering Information

| Non-Linearity | Temperature Range | Order Numbers | | | | |
|---|---|---|---|---|---|---|
| | | J Package (J16A)* | | N Package (N16A)* | | SO Package (M16A) |
| ±0.1% FS | −55°C ≤ $T_A$ ≤ +125°C | DAC0802LJ | DAC-08AQ | | | |
| ±0.1% FS | 0°C ≤ $T_A$ ≤ +70°C | DAC0802LCJ | DAC-08HQ | DAC0802LCN | DAC-08HP | DAC0802LCM |
| ±0.19% FS | −55°C ≤ $T_A$ ≤ +125°C | DAC0800LJ | DAC-08Q | | | |
| ±0.19% FS | 0°C ≤ $T_A$ ≤ +70°C | DAC0800LCJ | DAC-08EQ | DAC0800LCN | DAC-08EP | DAC0800LCM |
| ±0.39% FS | 0°C ≤ $T_A$ ≤ +70°C | DAC0801LCJ | DAC-08CQ | DAC0801LCN | DAC-08CP | DAC0801LCM |

*Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

# ADC0808, ADC0809 8-Bit μP Compatible A/D Converters with 8-Channel Multiplexer

## General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

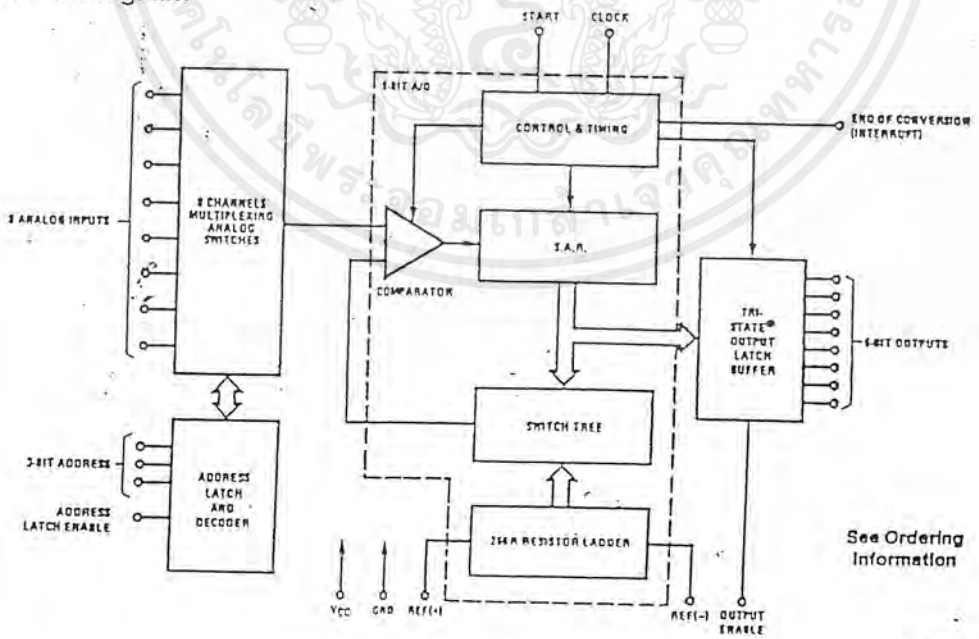
## Features

- Easy interface to all microprocessors
- Operates ratiometrically or with 5 $V_{DC}$ or analog span adjusted voltage reference
- No zero or full-scale adjust required
- 8-channel multiplexer with address logic
- 0V to 5V input range with single 5V power supply
- Outputs meet TTL voltage level specifications
- Standard hermetic or molded 28-pin DIP package
- 28-pin molded chip carrier package

## Key Specifications

| | |
|---|---|
| Resolution | 8 Bits |
| Total Unadjusted Error | ±½ LSB and ±1 LSB |
| Single Supply | 5 $V_{DC}$ |
| Low Power | 15 mW |
| Conversion Time | 100 μs |

## Block Diagram




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# XR-2211

## FSK Demodulator/ Tone Decoder

EXAR ...the analog plus company™

June 1997-3

### FEATURES

- Wide Frequency Range, 0.01Hz to 300kHz
- Wide Supply Voltage Range, 4.5V to 20V
- HCMOS/TTL/Logic Compatibility
- FSK Demodulation, with Carrier Detection
- Wide Dynamic Range, 10mV to 3V rms
- Adjustable Tracking Range, ±1% to 80%
- Excellent Temp. Stability, ±50ppm/°C, max.

### APPLICATIONS

- Caller Identification Delivery
- FSK Demodulation
- Data Synchronization
- Tone Decoding
- FM Detection
- Carrier Detection

### GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications applications. It is particularly suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20V and a wide frequency range of 0.01Hz to 300kHz. It can accommodate analog signals between 10mV and 3V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply is provided at an output pin.

The XR-2211 is available in 14 pin packages specified for military and industrial temperature ranges.

### ORDERING INFORMATION

| Part No. | Package | Operating Temperature Range |
|---|---|---|
| XR-2211M | 14 Pin CDIP (0.300") | -55°C to +125°C |
| XR-2211N | 14 Pin CDIP (0.300") | -40°C to +85°C |
| XR-2211P | 14 Pin PDIP (0.300") | -40°C to +85°C |
| XR-2211ID | 14 Lead SOIC (Jedec, 0.150") | -40°C to +85°C |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

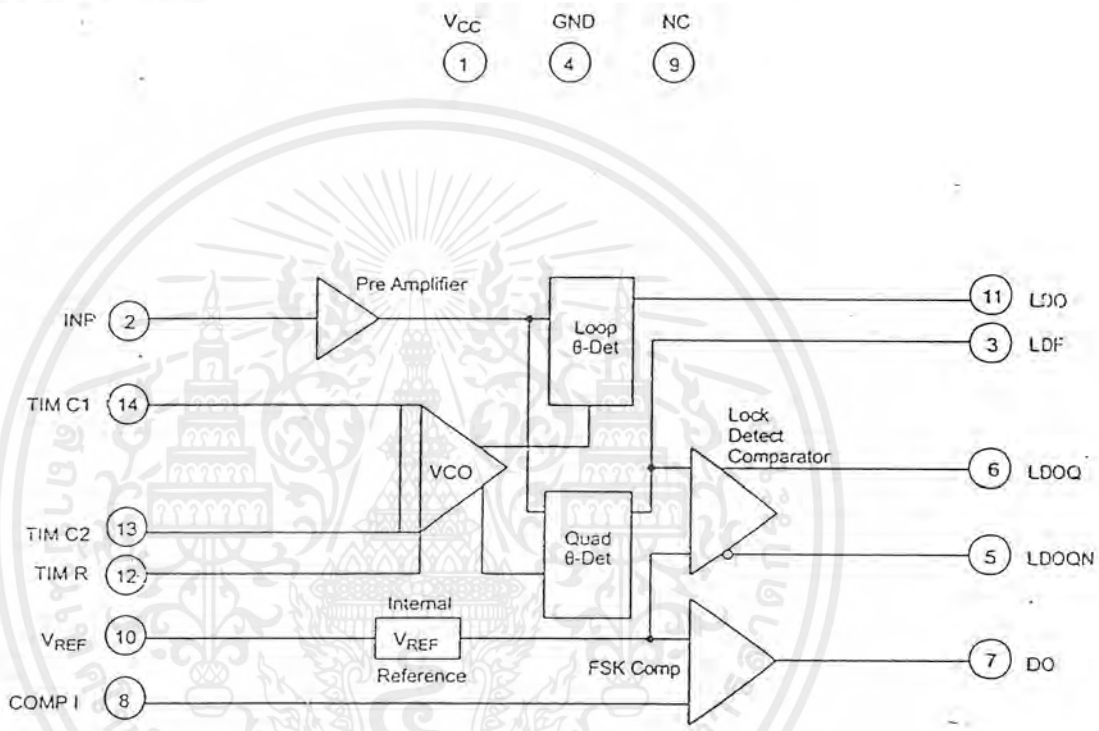
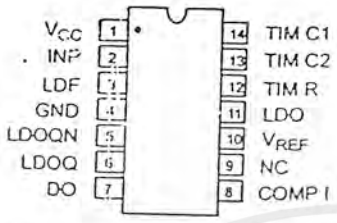


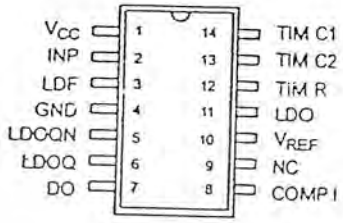

Figure 1. XR-2211 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PIN CONFIGURATION




14 Lead CDIP, PDIP (0.300")




14 Lead SOIC (Jedec, 0.150")

## PIN DESCRIPTION

| Pin # | Symbol | Type | Description |
|---|---|---|---|
| 1 | $V_{CC}$ | | Positive Power Supply. |
| 2 | INP | I | Receive Analog Input. |
| 3 | LDF | O | Lock Detect Filter. |
| 4 | GND | | Ground Pin. |
| 5 | LDOQN | O | Lock Detect Output Not. This output will be low if the VCO is in the capture range. |
| 6 | LDOQ | O | Lock Detect Output. This output will be high if the VCO is in the capture range. |
| 7 | DO | O | Data Output. Decoded FSK output. |
| 8 | COMP I | I | FSK Comparator Input. |
| 9 | NC | | Not Connected. |
| 10 | $V_{REF}$ | O | Internal Voltage Reference. The value of $V_{REF}$ is $V_{CC}/2$ - 650mV. |
| 11 | LDO | O | Loop Detect Output. This output provides the result of the quadrature phase detection. |
| 12 | TIM R | I | Timing Resistor Input. This pin connects to the timing resistor of the VCO. |
| 13 | TIM C2 | I | Timing Capacitor Input. The timing capacitor connects between this pin and pin 14. |
| 14 | TIM C1 | I | Timing Capacitor Input. The timing capacitor connects between this pin and pin 13. |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS
Test Conditions: $V_{CC}$ = 12V, $T_A$ = +25°C, $R_O$ = 30KΩ, $C_O$ = 0.033μF, unless otherwise specified.

| Parameter | Min. | Typ. | Max. | Unit | Conditions |
|---|---|---|---|---|---|
| **General** | | | | | |
| Supply Voltage | 4.5 | | 20 | V | |
| Supply Current | | 4 | 7 | mA | $R_0 \geq$ 10KΩ. See *Figure 4.* |
| **Oscillator Section** | | | | | |
| Frequency Accuracy | | ±1 | ±3 | % | Deviation from $f_O = 1/R_0 C_0$ |
| Frequency Stability | | | | | |
| Temperature | | ±20 | ±50 | ppm/°C | See *Figure 8.* |
| Power Supply | | 0.05 | 0.5 | %/V | $V_{CC}$ = 12 ±1V. See *Figure 7.* |
| | | 0.2 | | %/V | $V_{CC}$ = ± 5V. See *Figure 7.* |
| Upper Frequency Limit | 100 | 300 | | kHz | $R_0$ = 8.2KΩ, $C_0$ = 400pF |
| Lowest Practical Operating Frequency | | | 0.01 | Hz | $R_0$ = 2MΩ, $C_0$ = 50μF |
| Timing Resistor, $R_0$ - See *Figure 5* | | | | | |
| Operating Range | 5 | | 2000 | KΩ | |
| Recommended Range | 5 | | | KΩ | See *Figure 7* and *Figure 8.* |
| **Loop Phase Dectector Section** | | | | | |
| Peak Output Current | ±150 | ±200 | ±300 | μA | Measured at Pin 11 |
| Output Offset Current | | 1 | | μA | |
| Output Impedance | | 1 | | MΩ | |
| Maximum Swing | ±4 | ± 5 | | V | Referenced to Pin 10 |
| **Quadrature Phase Detector** | | | | | Measured at Pin 3 |
| Peak Output Current | 100 | 300 | | μA | |
| Output Impedance | | 1 | | MΩ | |
| Maximum Swing | | 11 | | $V_{PP}$ | |
| **Input Preampt Section** | | | | | Measured at Pin 2 |
| Input Impedance | | 20 | | KΩ | |
| Input Signal | | | | | |
| Voltage Required to Cause Limiting | | 2 | 10 | mV rms | |

*Notes*
*Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.*
*Bold face parameters are covered by production test and guaranteed over operating temperature range.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DC ELECTRICAL CHARACTERISTICS (CONT'D)

**Test Conditions:** $V_{CC}$ = 12V, $T_A$ = +25°C, $R_O$ = 30KΩ, $C_O$ = 0.033µF, unless otherwise specified.

| Parameter | Min. | Typ. | Max. | Unit | Conditions |
|---|---|---|---|---|---|
| **Voltage Comparator Section** | | | | | |
| Input Impedance | | 2 | | MΩ | Measured at Pins 3 and 8 |
| Input Bias Current | | 100 | | nA | |
| Voltage Gain | 55 | 70 | | dB | $R_L$ = 5.1KΩ |
| Output Voltage Low | | 300 | 500 | mV | $I_C$ = 3mA |
| Output Leakage Current | | 0.01 | 10 | µA | $V_O$ = 20V |
| **Internal Reference** | | | | | |
| Voltage Level | 4.9 | 5.3 | 5.7 | V | Measured at Pin 10 |
| Output Impedance | | 100 | | Ω | AC Small Signal |
| Maximum Source Current | | 80 | | µA | |

*Notes*
*Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.*
*Bold face parameters are covered by production test and guaranteed over operating temperature range.*

Specifications are subject to change without notice

## ABSOLUTE MAXIMUM RATINGS

Power Supply ..... 20V
Input Signal Level ..... 3V rms
Power Dissipation ..... 900mW

Package Power Dissipation Ratings
CDIP ..... 750mW
Derate Above $T_A$ = 25°C ..... 8mW/°C
PDIP ..... 800mW
Derate Above $T_A$ = 25°C ..... 60mW/°C
SOIC ..... 390mW
Derate Above $T_A$ = 25°C ..... 5mW/°C

## SYSTEM DESCRIPTION

The main PLL within the XR-2211 is constructed from an input preamplifier, analog multiplier used as a phase detector and a precision voltage controlled oscillator (VCO). The preamplifier is used as a limiter such that input signals above typically 10mV rms are amplified to a constant high level signal. The multiplying-type phase detector acts as a digital exclusive or gate. Its output (unfiltered) produces sum and difference frequencies of the input and the VCO output. The VCO is actually a current controlled oscillator with its normal input current ($f_O$) set by a resistor ($R_0$) to ground and its driving current with a resistor ($R_1$) from the phase detector.

The output of the phase detector produces sum and difference of the input and the VCO frequencies (internally connected). When in lock, these frequencies are $f_{IN} + f_{VCO}$ (2 times $f_{IN}$ when in lock) and $f_{IN} - f_{VCO}$ (0Hz when lock). By adding a capacitor to the phase detector output, the 2 times $f_{IN}$ component is reduced, leaving a DC voltage that represents the phase difference between the two frequencies. This closes the loop and allows the VCO to track the input frequency.

The FSK comparator is used to determine if the VCO is driven above or below the center frequency (FSK comparator). This will produce both active high and active low outputs to indicate when the main PLL is in lock (quadrature phase detector and lock detector comparator).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# XR-2206

Monolithic
Function Generator

EXAR ...the analog plus company™

June 1997-3

## FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

## APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

## GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

## ORDERING INFORMATION

| Part No. | Package | Operating Temperature Range |
|---|---|---|
| XR-2206M | 16 Lead 300 Mil CDIP | -55°C to +125°C |
| XR-2206P | 16 Lead 300 Mil PDIP | -40°C to +85°C |
| XR-2206CP | 16 Lead 300 Mil PDIP | 0°C to +70°C |
| XR-2206D | 16 Lead 300 Mil JEDEC SOIC | 0°C to +70°C |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

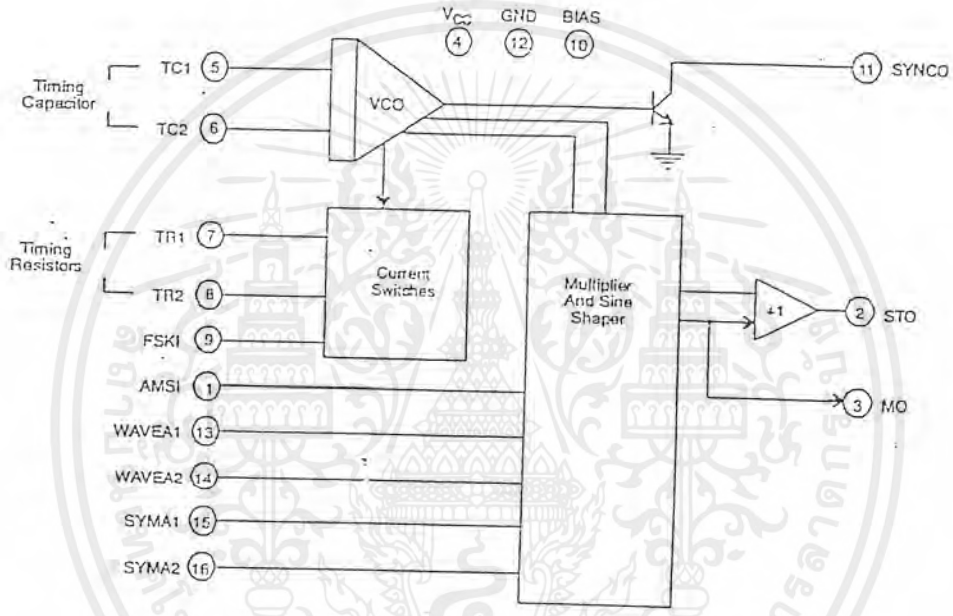



Figure 1. XR-2206 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

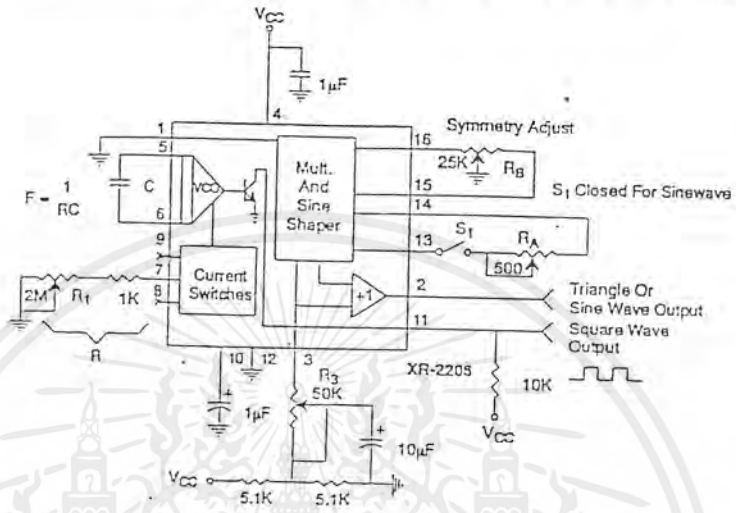



Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. ($R_3$ Determines Output Swing - See *Figure 3*)

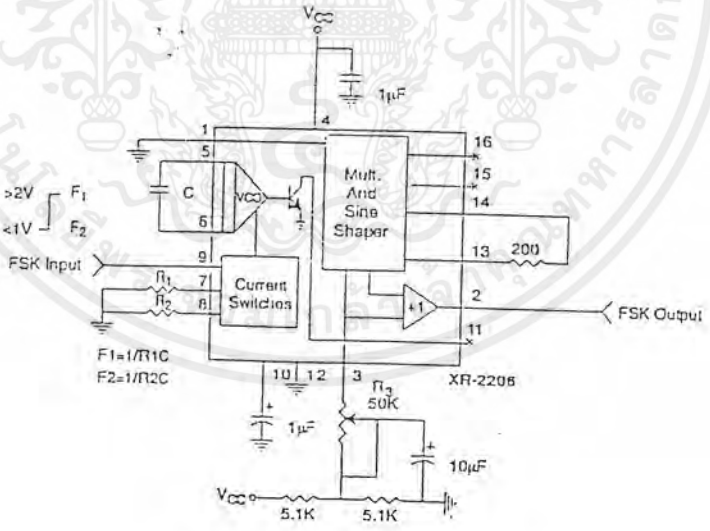



Figure 13. Sinusoidal FSK Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS ($T_A$ = 25°C, unless otherwise noted.)

| Rating | Symbol | Value | Unit |
|---|---|---|---|
| Applied Voltage (V6 – V8, V10 – V1, V12 – V8, V12 – V10, V8 – V4, V8 – V1, V10 – V4, V6 – V10, V2 – V5, V3 – V5) | ΔV | 30 | Vdc |
| Differential Input Signal | V8 – V10<br>V4 – V1 | +5.0<br>±(5+I5$R_e$) | Vdc |
| Maximum Bias Current | $I_5$ | 10 | mA |
| Thermal Resistance, Junction–to–Air<br>Plastic Dual In–Line Package | $R_{\theta JA}$ | 100 | °C/W |
| Operating Temperature Range | $T_A$ | 0 to +70 | °C |
| Storage Temperature Range | $T_{stg}$ | –65 to +150 | °C |

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS ($V_{CC}$ = 12 Vdc, $V_{EE}$ = –8.0 Vdc, I5 = 1.0 mAdc, $R_L$ = 3.9 kΩ, $R_e$ = 1.0 kΩ, $T_A$ = $T_{low}$ to $T_{high}$, all input and output characteristics are single–ended, unless otherwise noted.)

| Characteristic | Fig. | Note | Symbol | Min | Typ | Max | Unit |
|---|---|---|---|---|---|---|---|
| Carrier Feedthrough | 5 | 1 | $V_{CFT}$ | | | | μVrms |
| $V_C$ = 60 mVrms sine wave and offset adjusted to zero: $f_C$ = 1.0 kHz | | | | – | 40 | – | |
| $f_C$ = 10 MHz | | | | – | 140 | – | |
| $V_C$ = 300 mVpp square wave: offset adjusted to zero: $f_C$ = 1.0 kHz | | | | – | 0.04 | 0.4 | mVrms |
| offset not adjusted: $f_C$ = 1.0 kHz | | | | – | 20 | 200 | |
| Carrier Suppression<br>$f_S$ = 10 kHz, 300 mVrms<br>$f_C$ = 500 kHz, 60 mVrms sine wave | 5 | 2 | $V_{CS}$ | 40 | 65 | – | dB |
| $f_C$ = 10 MHz, 60 mVrms sine wave | | | | – | 50 | – | k |
| Transadmittance Bandwidth (Magnitude) ($R_L$ = 50 Ω)<br>Carrier Input Port, $V_C$ = 60 mVrms sine wave | 8 | 8 | $BW_{3dB}$ | – | 300 | – | MHz |
| $f_S$ = 1.0 kHz, 300 mVrms sine wave<br>Signal Input Port, $V_S$ = 300 mVrms sine wave<br>\|$V_C$\| = 0.5 Vdc | | | | – | 80 | – | |
| Signal Gain ($V_S$ = 100 mVrms, f = 1.0 kHz; \|$V_C$\|= 0.5 Vdc) | 10 | 3 | $A_{VS}$ | 2.5 | 3.5 | – | V/V |
| Single–Ended Input Impedance, Signal Port, f = 5.0 MHz<br>Parallel Input Resistance | 6 | – | $r_{ip}$ | – | 200 | – | kΩ |
| Parallel Input Capacitance | | | $c_{ip}$ | – | 2.0 | – | pF |
| Single–Ended Output Impedance, f = 10 MHz<br>Parallel Output Resistance | 6 | – | $r_{op}$ | – | 40 | – | kΩ |
| Parallel Output Capacitance | | | $c_{oo}$ | – | 5.0 | – | pF |
| Input Bias Current<br>$I_{bS} = \frac{I1 + I4}{2}$; $I_{bC} = \frac{I8 + I10}{2}$ | 7 | – | $I_{bS}$<br>$I_{bC}$ | –<br>– | 12<br>12 | 30<br>30 | μA |
| Input Offset Current<br>$I_{ioS}$ = I1–I4; $I_{ioC}$ = I8–I10 | 7 | – | \|$I_{ioS}$\|<br>\|$I_{ioC}$\| | –<br>– | 0.7<br>0.7 | 7.0<br>7.0 | μA |
| Average Temperature Coefficient of Input Offset Current ($T_A$ = –55°C to +125°C) | 7 | – | \|$TC_{Iio}$\| | – | 2.0 | – | nA/°C |
| Output Offset Current (I6–I9) | 7 | – | \|$I_{oo}$\| | – | 14 | 80 | μA |
| Average Temperature Coefficient of Output Offset Current ($T_A$ = –55°C to +125°C) | 7 | – | \|$TC_{Ioo}$\| | – | 90 | – | nA/°C |
| Common–Mode Input Swing, Signal Port, $f_S$ = 1.0 kHz | 9 | 4 | CMV | – | 5.0 | – | Vpp |
| Common–Mode Gain, Signal Port, $f_S$ = 1.0 kHz, \|$V_C$\|= 0.5 Vdc | 9 | – | ACM | – | –85 | – | dB |
| Common–Mode Quiescent Output Voltage (Pin 6 or Pin 9) | 10 | – | $V_{out}$ | – | 8.0 | – | Vpp |
| Differential Output Voltage Swing Capability | 10 | – | $V_{out}$ | – | 8.0 | – | Vpp |
| Power Supply Current I6 +I12 | 7 | 6 | $I_{CC}$ | – | 2.0 | 4.0 | mAdc |
| I14 | | | $I_{EE}$ | – | 3.0 | 5.0 | |
| DC Power Dissipation | 7 | 5 | $P_D$ | – | 33 | – | mW |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## GENERAL OPERATING INFORMATION

### Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

### Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, $V_S$. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

### Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \quad \text{where } r_e = \frac{26\ mV}{I5(mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" ($V_C$ = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by $R_E$ and the bias current I5.

$$V_S \leq I5\ R_E\ (\text{Volts peak})$$

Note that in the test circuit of Figure 10, $V_S$ corresponds to a maximum value of 1.0 V peak.

### Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

### Power Dissipation

Power dissipation, $P_D$, within the integrated circuit package should be calculated as the summation of the voltage–current products at each port, i.e. assuming V12 = V6, I5 = I6 = I12 and ignoring base current, $P_D$ = 2 I5 (V6 – V14) + I5) V5 – V14 where subscripts refer to pin numbers.

### Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5. Assume:

$$I5 = I6 = I12,$$
$$I_B << I_C \text{ for all transistors}$$

then :

$$R5 = \frac{V - -\phi}{I5} - 500\ \Omega$$

where: R5 is the resistor between Pin 5 and ground
$\phi$ = 0.75 at $T_A$ = +25°C

The MC1496 has been characterized for the condition $I_5$ = 1.0 mA and is the generally recommended value.

B. Common–Mode Quiescent Output Voltage

$$V6 = V12 = V+ - I5\ R_L$$

### Biasing

The MC1496 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$$30\ Vdc \geq [(V6, V12) - (V8, V10)] \geq 2\ Vdc$$
$$30\ Vdc \geq [(V8, V10) - (V1, V4)] \geq 2.7\ Vdc$$
$$30\ Vdc \geq [(V1, V4) - (V5)] \geq 2.7\ Vdc$$

The foregoing conditions are based on the following approximations:

$$V6 = V12,\ V8 = V10,\ V1 = V4$$

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

### Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21C = \frac{i_o\ (\text{each sideband})}{v_s\ (\text{signal})} \Bigg|\ V_o = 0$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21S = \frac{i_o\ (\text{signal})}{v_s\ (\text{signal})} \Bigg|\ V_C = 0.5\ Vdc,\ V_o = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

**MC145151-2**
**MC145152-2**
**MC145155-2**
**MC145156-2**
**MC145157-2**
**MC145158-2**

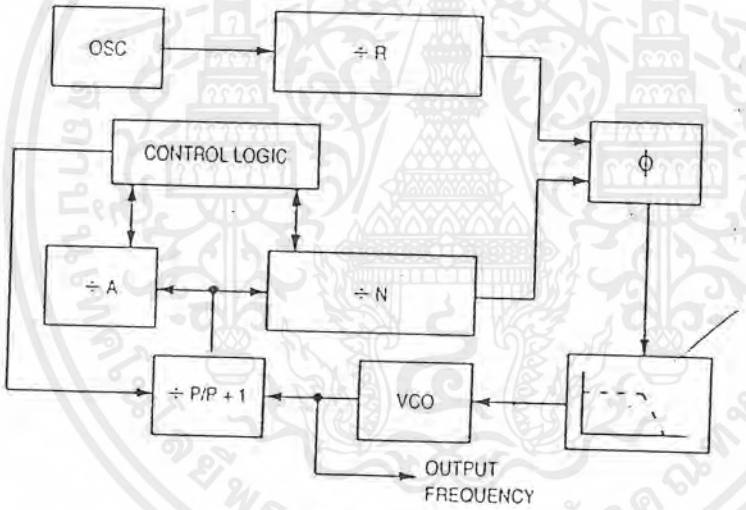
# PLL Frequency Synthesizer Family

## CMOS

The devices described in this document are typically used as low–power, phase–locked loop frequency synthesizers. When combined with an external low–pass filter and voltage–controlled oscillator, these devices can provide all the remaining functions for a PLL frequency synthesizer operating up to the device's frequency limit. For higher VCO frequency operation, a down mixer or a prescaler can be used between the VCO and the synthesizer IC.

These frequency synthesizer chips can be found in the following and other applications:

CATV
AM/FM Radios
Two–Way Radios
TV Tuning
Scanning Receivers
Amateur Radio




CONTENTS

DEVICE DETAIL SHEETS — Page
MC145151–2 Parallel–Input, Single–Modulus ..... 2–629
MC145152–2 Parallel–Input, Dual–Modulus ..... 2–632
MC145155–2 Serial–Input, Single–Modulus ..... 2–636
MC145156–2 Serial–Input, Dual–Modulus ..... 2–640
MC145157–2 Serial–Input, Single–Modulus ..... 2–644
MC145158–2 Serial–Input, Dual–Modulus ..... 2–647
FAMILY CHARACTERISTICS
Maximum Ratings ..... 2–650
DC Electrical Characteristics ..... 2–650
AC Electrical Characteristics ..... 2–652
Timing Requirements ..... 2–653
Frequency Characteristics ..... 2–654
Phase Detector/Lock Detector Output Waveforms ..... 2–654
DESIGN CONSIDERATIONS ..... 2–655
Phase–Locked Loop — Low–Pass Filter Design ..... 2–656
Crystal Oscillator Considerations ..... 2–657
Dual–Modulus Prescaling

REV 1
8/95

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MC145151-2

# Parallel-Input PLL Frequency Synthesizer

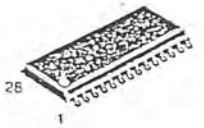
## Interfaces with Single–Modulus Prescalers

The MC145151–2 is programmed by 14 parallel–input data lines for the N counter and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, digital–phase detector, and 14–bit programmable divide–by–N counter.

The MC145151–2 is an improved–performance drop–in replacement for the MC145151–1. The power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- ÷ N Counter Output Available
- Single Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 128, 256, 512, 1024, 2048, 2410, 8192
- ÷ N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single–Ended (Three–State) or Double–Ended
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates

P SUFFIX
PLASTIC DIP
CASE 710

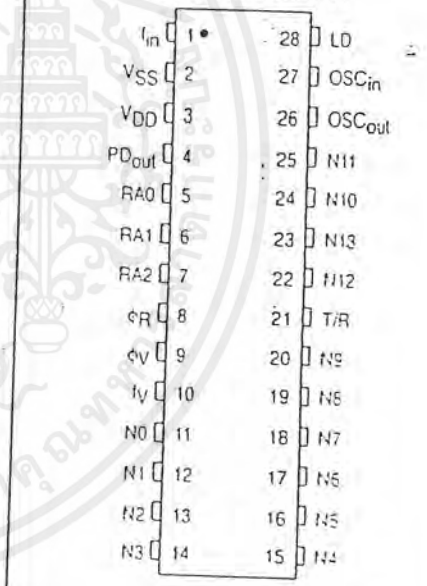



DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

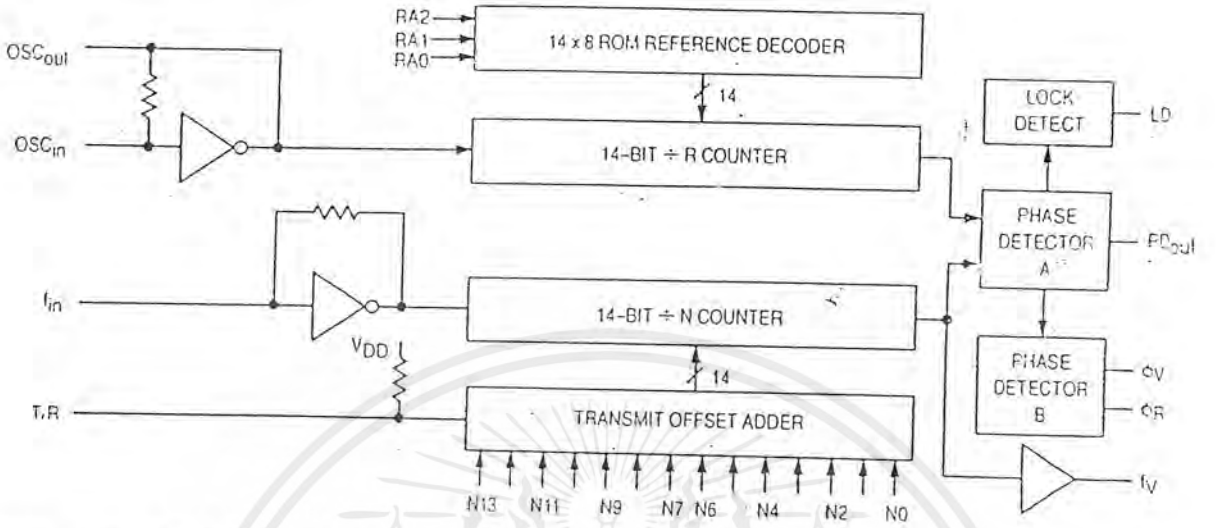
| | |
|---|---|
| MC145151P2 | Plastic DIP |
| MC145151DW2 | SOG Package |

PIN ASSIGNMENT




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151–2 BLOCK DIAGRAM




NOTE: N0 – N13 inputs and inputs RA0, RA1, and RA2 have pull–up resistors that are not shown.

## PIN DESCRIPTIONS

### INPUT PINS

**$f_{in}$**
**Frequency Input (Pin 1)**

Input to the ÷ N portion of the synthesizer. $f_{in}$ is typically derived from loop VCO and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

**RA0 – RA2**
**Reference Address Inputs (Pins 5, 6, 7)**

These three inputs establish a code defining one of eight possible divide values for the total reference divider, as defined by the table below.

Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

| Reference Address Code | | | Total Divide Value |
|---|---|---|---|
| RA2 | RA1 | RA0 | |
| 0 | 0 | 0 | 8 |
| 0 | 0 | 1 | 128 |
| 0 | 1 | 0 | 256 |
| 0 | 1 | 1 | 512 |
| 1 | 0 | 0 | 1024 |
| 1 | 0 | 1 | 2048 |
| 1 | 1 | 0 | 2410 |
| 1 | 1 | 1 | 8192 |

**N0 – N11**
**N Counter Programming Inputs (Pins 11 – 20, 22 – 25)**

These inputs provide the data that is preset into the ÷ N counter when it reaches the count of zero. N0 is the least significant and N13 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only an SPST switch to alter data to the zero state.

**T/R**
**Transmit/Receive Offset Adder Input (Pin 21)**

This input controls the offset added to the data provided at the N inputs. This is normally used for offsetting the VCO frequency by an amount equal to the IF frequency of the transceiver. This offset is fixed at 856 when T/R is low and gives no offset when T/R is high. A pull–up resistor ensures that no connection will appear as a logic 1 causing no offset addition.

**$OSC_{in}$, $OSC_{out}$**
**Reference Oscillator Input/Output (Pins 27, 26)**

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from $OSC_{in}$ to ground and $OSC_{out}$ to ground. $OSC_{in}$ may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to $OSC_{in}$, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to $OSC_{out}$.

### OUTPUT PINS

**$PD_{out}$**
**Phase Detector A Output (Pin 4)**

Three–state output of phase detector for use as loop–error signal. Double–ended outputs are also available for this purpose (see $\phi V$ and $\phi R$).

Frequency $f_V > f_R$ or $f_V$ Leading: Negative Pulses
Frequency $f_V < f_R$ or $f_V$ Lagging: Positive Pulses
Frequency $f_V = f_R$ and Phase Coincidence: High–Impedance State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Double-balanced mixer and oscillator

# NE/SA602A

## DESCRIPTION

The NE/SA602A is a low-power VHF monolithic double-balanced mixer with input amplifier, on-board oscillator, and voltage regulator. It is intended for high performance, low power communication systems. The guaranteed parameters of the SA602A make this device particularly well suited for cellular radio applications. The mixer is a "Gilbert cell" multiplier configuration which typically provides 18dB of gain at 45MHz. The oscillator will operate to 200MHz. It can be configured as a crystal oscillator, a tuned tank oscillator, or a buffer for an external LO. For higher frequencies the LO input may be externally driven. The noise figure at 45MHz is typically less than 5dB. The gain, intercept performance, low-power and noise characteristics make the NE/SA602A a superior choice for high-performance battery operated equipment. It is available in an 8-lead dual in-line plastic package and an 8-lead SO (surface-mount miniature package).

## FEATURES

- Low current consumption: 2.4mA typical
- Excellent noise figure: <4.7dB typical at 45MHz
- High operating frequency
- Excellent gain, intercept and sensitivity
- Low external parts count; suitable for crystal/ceramic filters
- SA602A meets cellular radio specifications

## PIN CONFIGURATION

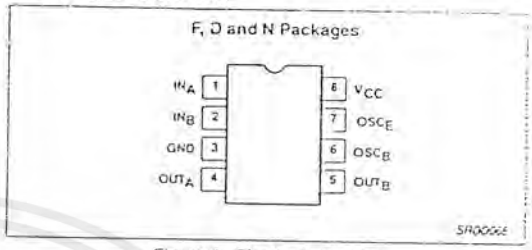



Figure 1. Pin Configuration

## APPLICATIONS

- Cellular radio mixer/oscillator
- Portable radio
- VHF transceivers
- RF data links
- HF/VHF frequency conversion
- Instrumentation frequency conversion
- Broadband LANs

## ORDERING INFORMATION

| DESCRIPTION | TEMPERATURE RANGE | ORDER CODE | DWG # |
|---|---|---|---|
| 8-Pin Plastic Dual In-Line Plastic (DIP) | 0 to +70°C | NE602AN | SOT97-1 |
| 8-Pin Plastic Small Outline (SO) package (Surface-mount) | 0 to +70°C | NE602AD | SOT96-1 |
| 8-Pin Ceramic Dual In-Line Package (Cerdip) | 0 to +70°C | NE602AFE | 0580A |
| 8-Pin Plastic Dual In-Line Plastic (DIP) | -40 to +85°C | SA602AN | SOT97-1 |
| 8-Pin Plastic Small Outline (SO) package (Surface-mount) | -40 to +85°C | SA602AD | SOT96-1 |
| 8-Pin Ceramic Dual In-Line Package (Cerdip) | -40 to +85°C | SA602AFE | 0580A |

## ABSOLUTE MAXIMUM RATINGS

| SYMBOL | PARAMETER | | RATING | UNITS |
|---|---|---|---|---|
| $V_{CC}$ | Maximum operating voltage | | 9 | V |
| $T_{STG}$ | Storage temperature range | | -65 to +150 | °C |
| $T_A$ | Operating ambient temperature range | NE602A | 0 to +70 | °C |
| | | SA602A | -40 to +85 | °C |
| $\theta_{JA}$ | Thermal impedance | D package | 90 | °C/W |
| | | N package | 75 | °C/W |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## BLOCK DIAGRAM

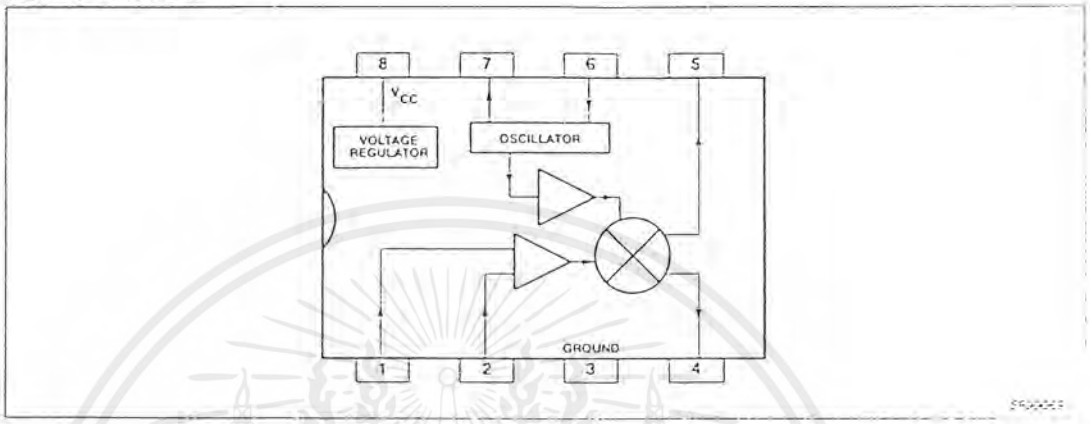



Figure 2. Block Diagram

## AC/DC ELECTRICAL CHARACTERISTICS

$V_{CC}$ = +6V, $T_A$ = 25°C; unless otherwise stated.

| SYMBOL | PARAMETER | TEST CONDITIONS | LIMITS | | | UNITS |
|---|---|---|---|---|---|---|
| | | | NE/SA602A | | | |
| | | | MIN | TYP | MAX | |
| $V_{CC}$ | Power supply voltage range | | 4.5 | | 8.0 | V |
| | DC current drain | | | 2.4 | 2.8 | mA |
| $f_{IN}$ | Input signal frequency | | | 500 | | MHz |
| $f_{OSC}$ | Oscillator frequency | | | 200 | | MHz |
| | Noise figure at 45MHz | | | 5.0 | 5.5 | dB |
| | Third-order intercept point | $RF_{IN}$ = -45dBm; $f_1$ = 45.0MHz, $f_2$ = 45.06MHz | | -13 | -15 | dBm |
| | Conversion gain at 45MHz | | 14 | 17 | | dB |
| $R_{IN}$ | RF input resistance | | 1.5 | | | kΩ |
| $C_{IN}$ | RF input capacitance | | | 3 | 3.5 | pF |
| | Mixer output resistance | (Pin 4 or 5) | | 1.5 | | kΩ |

## DESCRIPTION OF OPERATION

The NE/SA602A is a Gilbert cell, an oscillator/buffer, and a temperature compensated bias network as shown in the equivalent circuit. The Gilbert cell is a differential amplifier (Pins 1 and 2) which drives a balanced switching cell. The differential input stage provides gain and determines the noise figure and signal handling performance of the system.

The NE/SA602A is designed for optimum low power performance. When used with the SA604 as a 45MHz cellular radio second IF and demodulator, the SA602A is capable of receiving -119dBm signals with a 12dB S/N ratio. Third-order intercept is typically -13dBm (that is approximately +5dBm output intercept because of the RF gain). The system designer must be cognizant of this large signal limitation. When designing LANs or other closed systems where transmission levels are high, and small-signal or signal-to-noise issues are not critical, the input to the NE602A should be appropriately scaled.

Besides excellent low power performance well into VHF, the NE/SA602A is designed to be flexible. The input, RF mixer output and oscillator ports can support a variety of configurations provided the designer understands certain constraints, which will be explained here.

The RF inputs (Pins 1 and 2) are biased internally. They are symmetrical. The equivalent AC input impedance is approximately 1.5k ll 3pF through 50MHz. Pins 1 and 2 can be used interchangeably, but they should not be DC biased externally. Figure 5 shows three typical input configurations.

The mixer outputs (Pins 4 and 5) are also internally biased. Each output is connected to the internal positive supply by a 1.5kΩ resistor. This permits direct output termination yet allows for balanced output as well. Figure 6 shows three single-ended output configurations and a balanced output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The oscillator is capable of sustaining oscillation beyond 200MHz in crystal or tuned tank configurations. The upper limit of operation is determined by tank "Q" and required drive levels. The higher the "Q" of the tank or the smaller the required drive, the higher the permissible oscillation frequency. If the required LO is beyond oscillation limits, or the system calls for an external LO, the external signal can be injected at Pin 6 through a DC blocking capacitor. External LO should be at least 200mV$_{p-p}$.

Figure 7 shows several proven oscillator circuits. Figure 7a is appropriate for cellular radio. As shown, an overtone mode of operation is utilized. Capacitor C2 and inductor L1 suppress oscillation at the crystal fundamental frequency. In the fundamental mode, the suppression network is omitted.

Figure 8 shows a Colpitts varactor tuned tank oscillator suitable for synthesizer-controlled applications. It is important to buffer the output of this circuit to assure that switching spikes from the first counter or prescaler do not end up in the oscillator spectrum. The dual-gate MOSFET provides optimum isolation with low current. The FET offers good isolation, simplicity, and low current, while the bipolar transistors provide the simple solution for non-critical applications. The resistive divider in the emitter-follower circuit should be chosen to provide the minimum input signal which will assure correct system operation.

When operated above 100MHz, the oscillator may not start if the Q of the tank is too low. A 22kΩ resistor from Pin 7 to ground will increase the DC bias current of the oscillator transistor. This improves the AC operating characteristic of the transistor and should help the oscillator to start. A 22kΩ resistor will not upset the other DC biasing internal to the device, but smaller resistance values should be avoided.

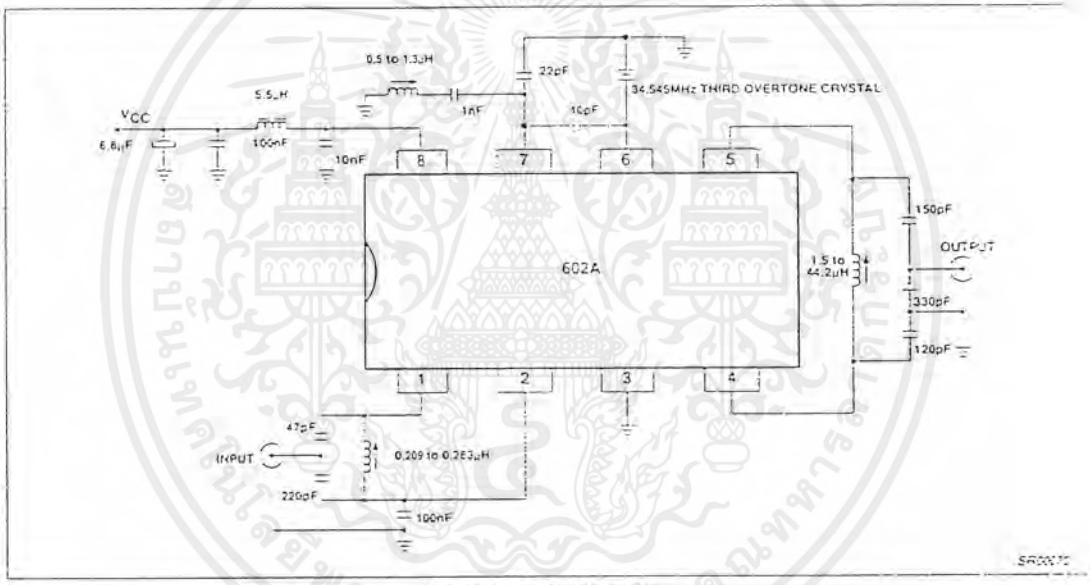



Figure 3. Test Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

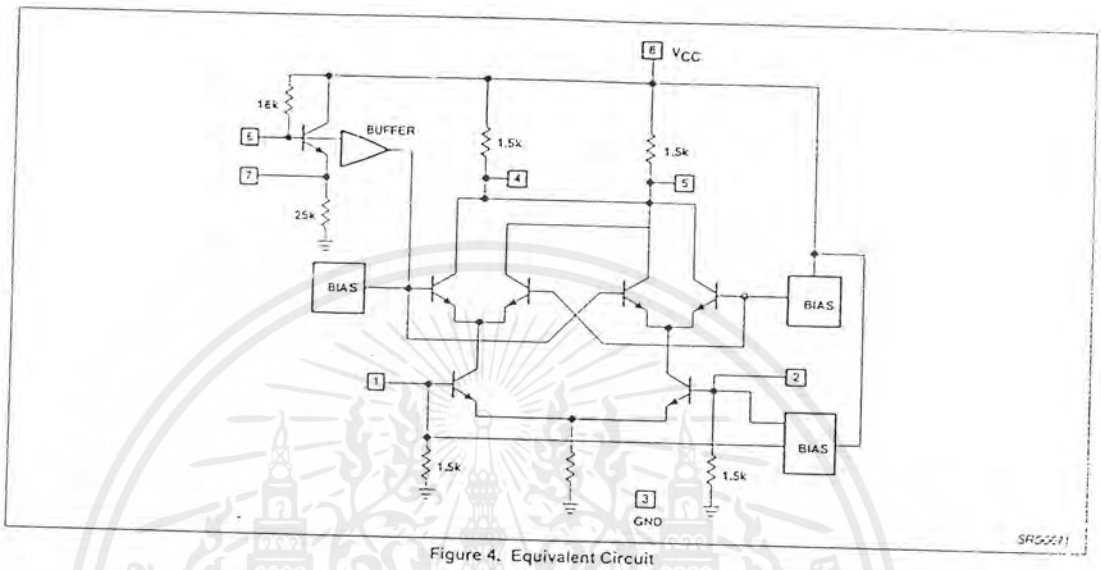



Figure 4. Equivalent Circuit

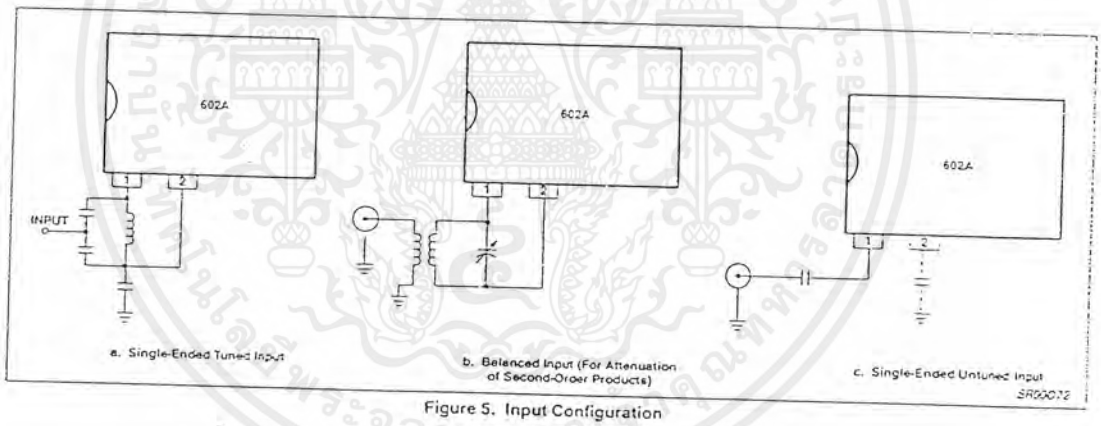



Figure 5. Input Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

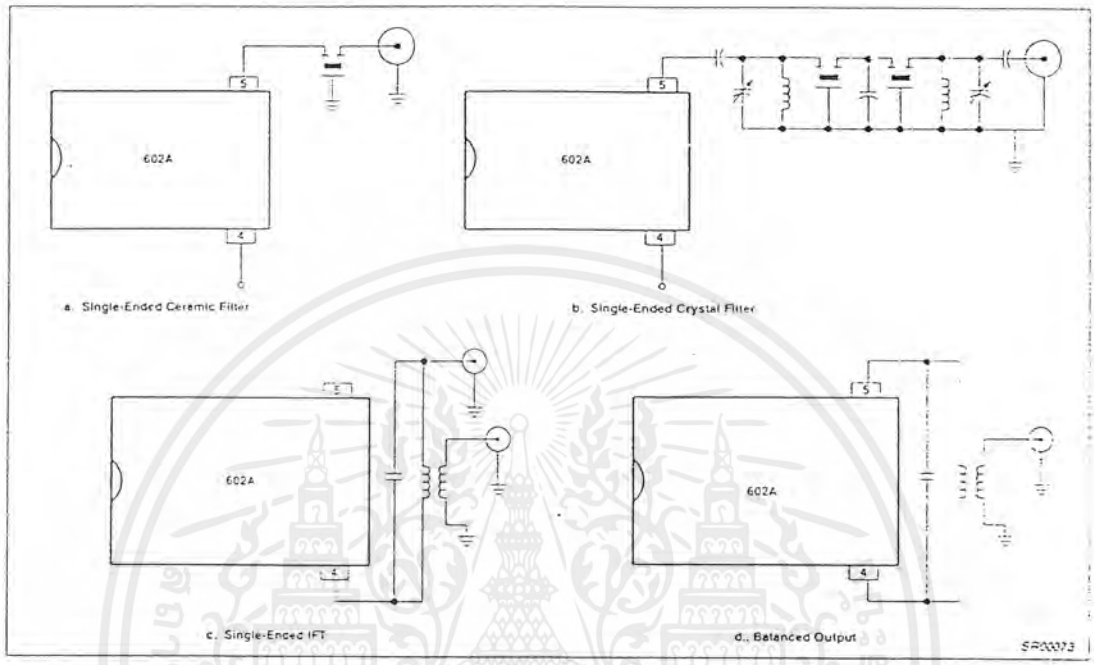



Figure 6. Output Configuration

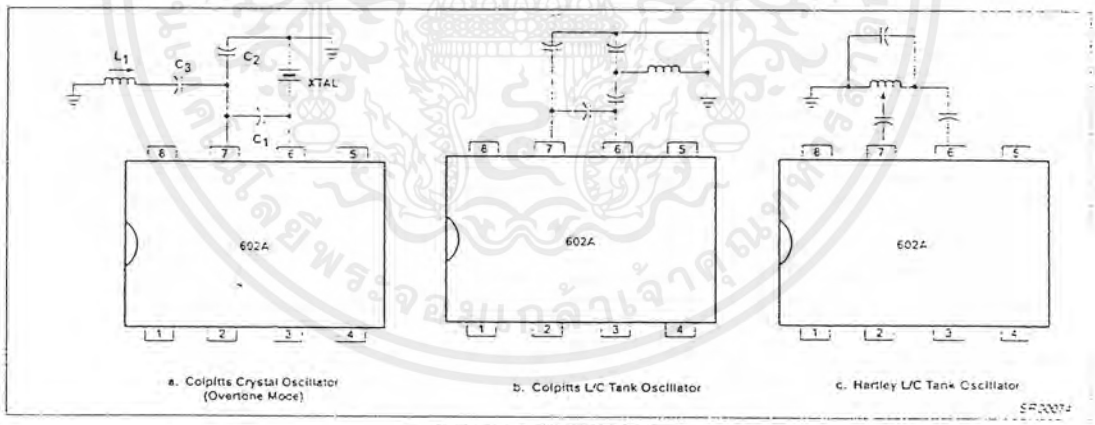



Figure 7. Oscillator Circuits

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# High performance low power FM IF system NE/SA604A

## DESCRIPTION

The NE/SA604A is an improved monolithic low-power FM IF system incorporating two limiting intermediate frequency amplifiers, quadrature detector, muting, logarithmic received signal strength indicator, and voltage regulator. The NE/SA604A features higher IF bandwidth (25MHz) and temperature compensated RSSI and limiters permitting higher performance application compared with the NE/SA604. The NE/SA604A is available in a 16-lead dual-in-line plastic and 16-lead SO (surface-mounted miniature) package.

## FEATURES

- Low power consumption: 3.3mA typical
- Temperature compensated logarithmic Received Signal Strength Indicator (RSSI) with a dynamic range in excess of 90dB
- Two audio outputs - muted and unmuted
- Low external component count; suitable for crystal/ceramic filters
- Excellent sensitivity: 1.5µV across input pins (0.22µV into 50Ω matching network) for 12dB SINAD (Signal to Noise and Distortion ratio) at 455kHz
- SA604A meets cellular radio specifications

## PIN CONFIGURATION

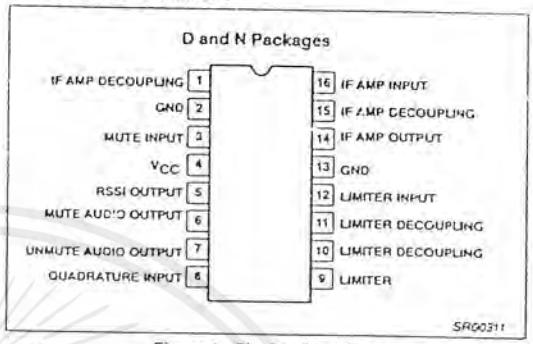



Figure 1. Pin Configuration

## APPLICATIONS

- Cellular radio FM IF
- High performance communications receivers
- Intermediate frequency amplification and detection up to 25MHz
- RF level meter
- Spectrum analyzer
- Instrumentation
- FSK and ASK data receivers

## ORDERING INFORMATION

| DESCRIPTION | TEMPERATURE RANGE | ORDER CODE | DWG # |
|---|---|---|---|
| 16-Pin Plastic Dual In-Line Package (DIP) | 0 to +70°C | NE604AN | SOT28-4 |
| 16-Pin Plastic Small Outline (SO) package (Surface-mount) | 0 to +70°C | NE604AD | SOT109-1 |
| 16-Pin Plastic Dual In-Line Package (DIP) | -40 to +85°C | SA604AN | SOT28-4 |
| 16-Pin Plastic Small Outline (SO) package (Surface-mount) | -40 to +85°C | SA604AD | SOT109-1 |

## ABSOLUTE MAXIMUM RATINGS

| SYMBOL | PARAMETER | RATING | UNITS |
|---|---|---|---|
| $V_{CC}$ | Single supply voltage | 9 | V |
| $T_{STG}$ | Storage temperature range | -65 to +150 | °C |
| $T_A$ | Operating ambient temperature range NE604A<br>SA604A | 0 to +70<br>-40 to +85 | °C<br>°C |
| $\theta_{JA}$ | Thermal impedance D package<br>N package | 90<br>75 | °C/W<br>°C/W |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## BLOCK DIAGRAM

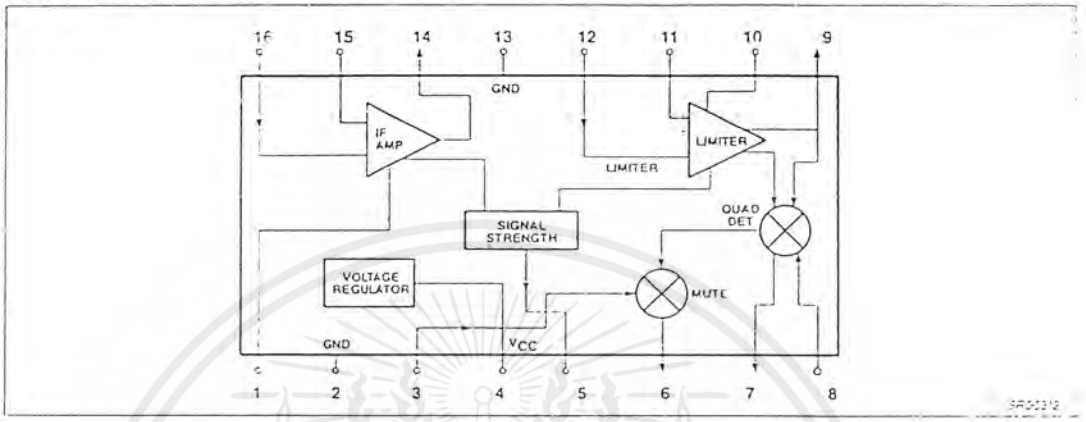



Figure 2. Block Diagram

## DC ELECTRICAL CHARACTERISTICS

$V_{CC}$ = +6V, $T_A$ = 25°C; unless otherwise stated.

| SYMBOL | PARAMETER | TEST CONDITIONS | LIMITS | | | | | | UNITS |
|---|---|---|---|---|---|---|---|---|---|
| | | | NE604A | | | SA604A | | | |
| | | | MIN | TYP | MAX | MIN | TYP | MAX | |
| $V_{CC}$ | Power supply voltage range | | 4.5 | | 8.0 | 4.5 | | 8.0 | V |
| $I_{CC}$ | DC current drain | | 2.5 | 3.3 | 4.0 | 2.5 | 3.3 | 4.0 | mA |
| | Mute switch input threshold (ON)<br>(OFF) | | 1.7 | | <br>1.0 | 1.7 | | <br>1.0 | V<br>V |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AC ELECTRICAL CHARACTERISTICS

Typical reading at $T_A = 25°C$; $V_{CC} = \pm 6V$, unless otherwise stated. IF frequency = 455kHz; IF level = -47dBm; FM modulation = 1kHz with ±8kHz peak deviation. Audio output with C-message weighted filter and de-emphasis capacitor. Test circuit Figure 3. The parameters listed below are tested using automatic test equipment to assure consistent electrical characteristics. The limits do not represent the ultimate performance limits of the device. Use of an optimized RF layout will improve many of the listed parameters.

| SYMBOL | PARAMETER | TEST CONDITIONS | LIMITS | | | | | | UNITS |
|---|---|---|---|---|---|---|---|---|---|
| | | | NE604A | | | SA604A | | | |
| | | | MIN | TYP | MAX | MIN | TYP | MAX | |
| | Input limiting -3dB | Test at Pin 16 | | -92 | | | -92 | | dBm/50Ω |
| | AM rejection | 80% AM 1kHz | 30 | 34 | | 30 | 34 | | dB |
| | Recovered audio level | 15nF de-emphasis | 110 | 175 | 250 | 80 | 175 | 260 | $mV_{RMS}$ |
| | Recovered audio level | 150pF de-emphasis | | 530 | | | 530 | | $mV_{RMS}$ |
| THD | Total harmonic distortion | | -35 | -42 | | -34 | -42 | | dB |
| S/N | Signal-to-noise ratio | No modulation for noise | | 73 | | | 73 | | dB |
| | RSSI output[1] | RF level = -118dBm | 0 | 160 | 550 | 0 | 160 | 650 | mV |
| | | RF level = -68dBm | 2.0 | 2.65 | 3.0 | 1.9 | 2.65 | 3.1 | V |
| | | RF level = -18dBm | 4.1 | 4.85 | 5.5 | 4.0 | 4.85 | 5.6 | V |
| | RSSI range | $R_4$ = 100k (Pin 5) | | 90 | | | 90 | | dB |
| | RSSI accuracy | $R_4$ = 100k (Pin 5) | | ±1.5 | | | ±1.5 | | dB |
| | IF input impedance | | 1.4 | 1.6 | | 1.4 | 1.6 | | kΩ |
| | IF output impedance | | 0.85 | 1.0 | | 0.85 | 1.0 | | kΩ |
| | Limiter input impedance | | 1.4 | 1.6 | | 1.4 | 1.6 | | kΩ |
| | Unmuted audio output resistance | | | 58 | | | 58 | | kΩ |
| | Muted audio output resistance | | | 58 | | | 58 | | kΩ |

NOTE:

1. NE604 data sheets refer to power at 50Ω input termination; about 21dB less power actually enters the internal 1.5k input.

| NE604 (50) | NE604A (1.5k)/NE605 (1.5k |
|---|---|
| -97dBm | -118dBm |
| -47dBm | -68dBm |
| +3dBm | -18dBm |

The NE605 and NE604A are both derived from the same basic die. The NE605 performance plots are directly applicable to the NE604A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

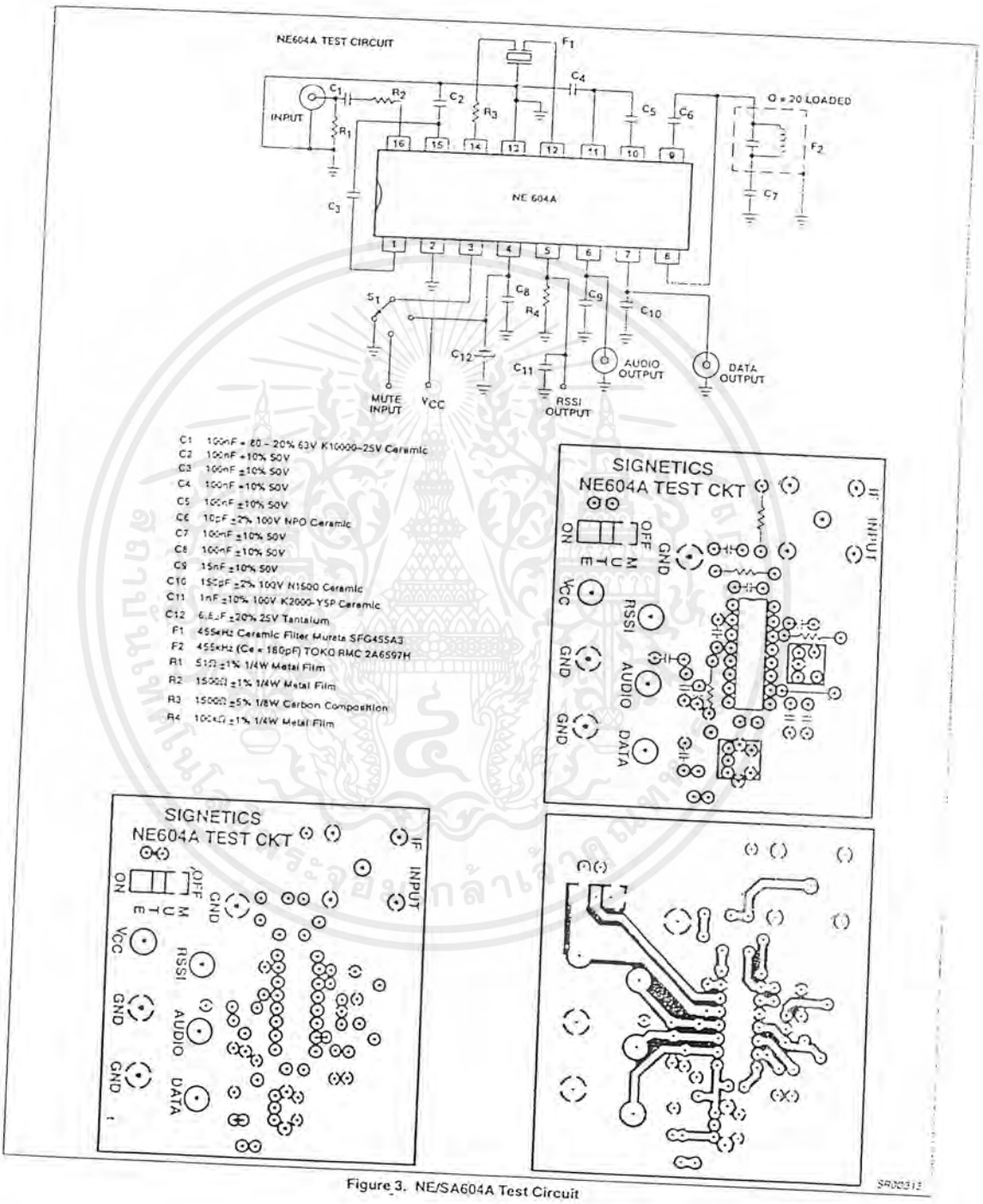



Figure 3. NE/SA604A Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

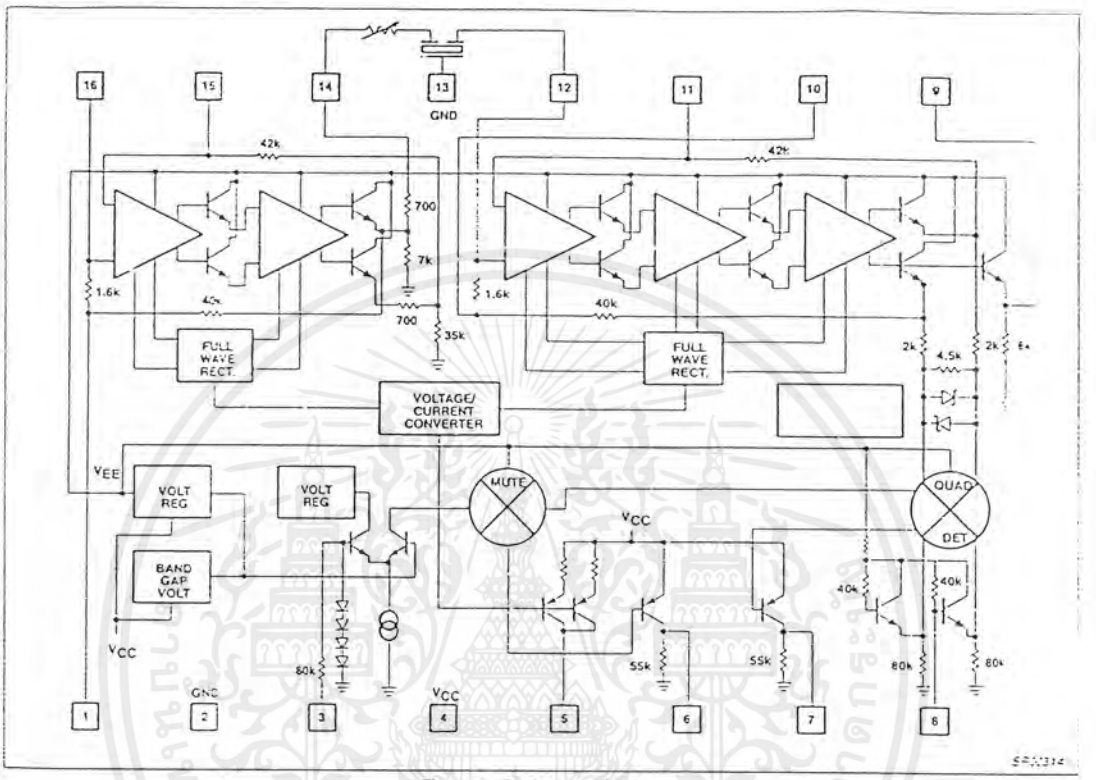



Figure 4. Equivalent Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้