

สโกปการ์ด
SCOPE CARD



ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ประจำปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สโคปการ์ด

Scope Card



โดย

นายกฤษณะ นิลสกุล เลขประจำตัว 40013202

นายอาทร กุ่มฉายา เลขประจำตัว 40013238

อาจารย์ที่ปรึกษา

ดร. กิติพล ชิตสกุล

รฟ.

ก ๘๖๑๙

๒๕๔๖

เลขหม.....
เลขทะเบียน.....36877.....
วัน, เดือน, ปี ๒๙ ส.ค. ๒๕๔๖

ปริญญานิพนธ์สำหรับปริญญาวិทยกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ประจำภาคเรียนที่ ๒ ปีการศึกษา ๒๕๔๒

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปีการศึกษา 2542

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง สโคปการ์ด

จัดทำโดย

นายกฤษณะ นิลสกุล รหัส 40013202

นายอาทร คุ่มฉายา รหัส 40013238

อาจารย์ที่ปรึกษา

(ดร. กิตติพล ชิตสกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สโคปการ์ด

นายกฤษณะ นิลสกุล

นายอาทร คุ่มฉายา

ดร.กิตติพล ชิตสกุล (อาจารย์ที่ปรึกษา)

ปีการศึกษา 2542

บทคัดย่อ

โครงการสโคปการ์ดเป็นส่วนหนึ่งของโครงการชุดทดลองอิเล็กทรอนิกส์บนไมโครคอมพิวเตอร์ ในปฏิยานิพนธ์ฉบับนี้นำเสนอขั้นตอนการออกแบบและสร้างในส่วนของออสซิลอสโคป ที่ใช้ไมโครคอมพิวเตอร์ในการคำนวณและแสดงผล สโคปการ์ดประกอบด้วยฮาร์ดแวร์ที่ทำงานในลักษณะของดิจิตอลออสซิลอสโคป คือมีการสุ่มและแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล เพื่อนำมาแสดงบนจอมอนิเตอร์ การทำงานของการ์ดตามฟังก์ชันพื้นฐานของออสซิลอสโคปจะถูกควบคุมจากผู้ใช้งานหน้าจอโดยใช้ mouse หรือคีย์บอร์ด รวมทั้งการแสดงผล ซึ่งได้ศึกษาออกแบบ และทดลองสร้างฮาร์ดแวร์ในส่วนของการสุ่ม และแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล หน่วยความจำ ส่วนอินเตอร์เฟซ วงจรตดทอน วงจรขยาย วงจรยกระดับสัญญาณ วงจรทริกเกอร์ และวงจรกำเนิดสัญญาณนาฬิกา รวมทั้งพัฒนาซอฟต์แวร์ภาษา Delphi ในส่วน user interface และแสดงผล

คุณสมบัติของโครงการ

- อัตราการสุ่มสูงสุด 40 MSa/s, 8 บิต
- ย่านการวัด 1 MHz
- 2 ช่องการวัด
- ฐานเวลา 1 us/div ถึง 0.1 s/div
- แรงดันที่สามารถวัดได้สูงสุด 80 โวลต์
- อินพุตอิมพีแดนซ์ 1 MΩ
- วิธีการทริกซ์ วงจร, โปรแกรม

SCOPE CARD

Mr.Krissana Nilsakul

Mr. Atorn Koomchaya

Dr.Kitiphol Chitsakul (Advisor)

1999

Abstract

“Scope Card” is a part of the project “Electronic Work Bench on Microcomputer”. In this thesis, the design and implementation of digital storage oscilloscope is presented. Basically, The user can command the function the analog to digital converters, interface circuits, attenuations, amplifiers, clampers, trigger and clock generator and storage by graphic user interface written in Delphi.

Specification of the scope card as followed;

- Sampling rate 40⁴MSa/s, 8 bit,
- Bandwidth 1 MHz,
- 2 Channel,
- Time base 1 us/div to 0.1 s/div,
- Input maximum voltage 80 V,
- Input impedance 1 M Ω ,
- Trigger mode hard ware, soft ware.

สารบัญ

	หน้า
บทคัดย่อ	I
ABSTRACT	II
สารบัญรูป	V
สารบัญตาราง	VII
บทที่ 1 บทนำ	1
บทที่ 2 หลักการของดิจิตอลสทอเรจอสซิลโลสโคป	2
2.1 การทำงานของดิจิตอลสทอเรจอสซิลโลสโคป (DSO)	2
2.2 ขอบเขตการวัด	3
2.3 การสุ่มตัวอย่างของดิจิตอลสทอเรจอสซิลโลสโคป	9
2.4 ขั้นตอนหลังการสุ่มตัวอย่าง	12
2.5 การเก็บข้อมูลของดิจิตอลสทอเรจอสซิลโลสโคป	13
2.6 ปัญหาพื้นฐานของดิจิตอลสทอเรจอสซิลโลสโคป	13
2.7 ความละเอียดถูกต้องแม่นยำ	13
2.8 สัญญาณชั่วขณะ (Transient capture)	15
2.9 แบนวิธส์และอัตราการสุ่มตัวอย่าง (Bandwidth and Sample rate)	17
2.10 ประโยชน์ของหน่วยความจำที่ยาวในดิจิตอลสทอเรจอสซิลโลสโคป	19
2.11 การแปลงสัญญาณอนาลอกเป็นดิจิตอล	22
2.12 การอินเตอร์เฟซกับคอมพิวเตอร์ IBM PC/AT	24
บทที่ 3 การออกแบบและการทำงาน	32
3.1 ภาควงจรรวม / คัปปลิง (AC/DC Coupling)	33
3.2 ภาควงจรลดทอน (Attenuator)	33
3.3 ภาควงจรรักษาแรงดันไฟเกิน และภาควงจรรบัฟเฟอร์ (Buffer)	34
3.4 ภาควงจรรขยายสัญญาณแนวตั้ง (Vertical Amplifier)	35
3.5 ภาควงจรปรับแต่งและการมัลติเพล็กซ์ (Multiplex)	36
3.6 วงจรปรับระดับสัญญาณทางแนวตั้ง (Y-Position)	37
3.7 ภาควงจรรวมสัญญาณ (Summing)	39
3.8 การกำหนดความถี่ในการ SAMPLING	39
3.9 วงจร CLOCK GENERATOR	41
3.10 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Analog to Digital Converter)	42
3.11 วงจร ทรานซิสเตอร์	44
3.12 แอสแตเรียส คอน์เตอร์	44
3.13 หน่วยความจำ	45
3.14 ซอฟต์แวร์	48
บทที่ 4 การสร้างและการทดสอบ	49
4.1 การสร้าง	49
4.2 การทดสอบลักษณะสมบัติ	50
บทที่ 5 บทสรุป	55
ภาคผนวก	
กิตติกรรมประกาศ	
บรรณานุกรม	



สารบัญรูป

	หน้า
รูปที่ 2.1 แสดงบล็อกไดอะแกรมของดิจิตอลสโตเรจอสซิลโลสโคป (DSO)	3
รูปที่ 2.2 แสดงลักษณะของการเกิดเอเลียส	5
รูปที่ 2.3 ทฤษฎีการสอดแทรก	6
รูปที่ 2.4 แสดงการจัดช่วงขอบขาขึ้น ซึ่งค่าคลาดเคลื่อนที่เกิดขึ้นอยู่กับตำแหน่งในการสุ่มตัวอย่าง	8
รูปที่ 2.5 เทคนิคการสุ่มตัวอย่างแบบต่างๆ ของดิจิตอลสโตเรจอสซิลโลสโคป	10
รูปที่ 2.6 แสดงให้เห็นถึงผลที่ออกมาจากการสุ่มตัวอย่างสัญญาณอินพุตแบบเป็นลำดับ	11
รูปที่ 2.7 การควอนไทซ์ โดยใช้วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลคอนเวอร์เตอร์	12
รูปที่ 2.8 บล็อกไดอะแกรมของ RIS ดิจิไทเซอร์	15
รูปที่ 2.9 ทราเซียนคิจิไคเซอร์	16
รูปที่ 2.10 บล็อกไดอะแกรมของคิจิไคเซอร์การสุ่มตัวอย่าง	16
รูปที่ 2.11 การลดทอนในแถบผ่าน	17
รูปที่ 2.12 สัญญาณขาขึ้นที่มี 25 ตัวอย่างต่ออุกคลื่นและการสอดแทรกแบบเส้นตรง	18
รูปที่ 2.13 การเก็บรายละเอียดสโคปหน่วยความจำ 2.5 M	19
รูปที่ 2.14 การเก็บรายละเอียดสโคปหน่วยความจำ 50K	19
รูปที่ 2.15 สัญญาณเบิร์สต์ต่อเนื่อง	21
รูปที่ 2.16 แสดงสัญญาณที่มีช่วงเวลาระหว่างสัญญาณเบิร์สต์ที่ยาว	22
รูปที่ 2.17 การแปลงสัญญาณอนาลอกเป็นดิจิตอล	23
รูปที่ 2.18 วงจรแปลง A/D แบบขนาน(Parallel ADC)	23
รูปที่ 2.19 SYSTEM BOARD	24
รูปที่ 2.20 แสดงขาต่าง ๆ บนสล็อต	25
รูปที่ 3.1 บล็อกไดอะแกรมรวมของ Scope Card	32
รูปที่ 3.2 แสดงวงจรการคัปปลิง(Coupling)และวงจรการลดทอน(Attenuator)	33
รูปที่ 3.3 แสดงวงจรจำกัดแรงดันไฟเกินและวงจรบัฟเฟอร์(Buffer)	34
รูปที่ 3.4 แสดงวงจรขยายสัญญาณทางแนวตั้ง	35
รูปที่ 3.5 แสดงวงจรการปรับแต่งและการมัลติเพล็กซ์(Multiplex)	36
รูปที่ 3.6 แสดงวงจรปรับระดับสัญญาณทางแนวตั้ง(Y-Position)	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.7 แสดงวงจรรวมสัญญาณ(Summing)	39
รูปที่ 3.8 แสดงวงจร CLOCK GENERATOR	40
รูปที่ 3.9 แสดงวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล (Analog to Digital Converter)	42
รูปที่ 3.10 แสดงวงจรทริกเกอร์(TRIGGER)	43
รูปที่ 3.11 แสดงวงจรแอสแตเรส เคาน์เตอร์	46
รูปที่ 3.12 แสดงวงจรหน่วยความจำ	47
รูปที่ 3.13 แสดงลำดับขั้นตอนของซอฟต์แวร์	48
รูปที่ 4.1 แสดงหน้าจอขณะแสดงผลของ สโคปการ์ด	49
รูปที่ 4.2 วงจรการวัดอินพุตอิมพีแดนซ์	50
รูปที่ 4.3 วงจรการทดสอบสัญญาณทริกเกอร์	50
รูปที่ 4.4 แสดงสัญญาณทริกซ์เกอร์ สัญญาณอินพุต, สัญญาณทริกเกอร์คัมบว, สัญญาณทริกเกอร์คัมบ ตามลำดับ	51
รูปที่ 4.5 แสดงผลการทดสอบแสดงสัญญาณรูปไซน์ความถี่ 1 KHz ขนาด 1 Vp-p	51
รูปที่ 4.6 แสดงผลการทดสอบโดยใช้คลื่นสี่เหลี่ยม ความถี่ 1 KHz ขนาด 1 Vp-p	52
รูปที่ 4.7 แสดงผลการทดสอบโดยใช้คลื่นสามเหลี่ยม ความถี่ 1 KHz ขนาด 1 Vp-p	52
รูปที่ 4.8 ผลการทดสอบการแสดงรูปคลื่นสองรูปคลื่นพร้อมกันสองแชนแนล	53
รูปที่ 4.9 ผลการทดสอบความถี่รูปซาย์ 1 MHz ขนาด 1 Vp-p	53
รูปที่ 4.10 ผลการทดสอบแสดงรูปคลื่นรูปสี่เหลี่ยม ความถี่ 1 MHz ขนาด 1 Vp-p	54
รูปที่ 5.1 ความผิดพลาดของแอสแตเรสเคาเตอร์	56

สารบัญตาราง

	หน้า
ตารางที่ 2.1 ชื่อขบวนการด้าน A และ B ของสล็อต	26
ตารางที่ 2.2 ชื่อขบวนการด้าน C และ D ของสล็อต	27
ตารางที่ 3.1 แสดงการควบคุมการทำงานของ RELAY	34
ตารางที่ 3.2 แสดงการควบคุมการทำงานของ Multiplex	36
ตารางที่ 3.3 แสดงความสัมพันธ์ของย่านการวัดและการแบ่งแรงดัน	37
ตารางที่ 3.4 ค่าความถี่ที่กำหนดโดย D_C7-D_C0	41



บทที่ 1

บทนำ

1.1 ความเป็นมาของโครงการ

ออสซิลโลสโคป เป็นเครื่องมือวัดที่มีความสำคัญระดับหนึ่ง ในการออกแบบ สร้าง หรือการซ่อมแซมวงจรอิเล็กทรอนิกส์ ออสซิลโลสโคปทำให้ผู้ใช้สามารถทราบถึงรูปร่างลักษณะ ตลอดจนขนาดของสัญญาณไฟฟ้าที่ทำการวัด

โครงการสโคปการ์ดนี้เป็นส่วนหนึ่งของการพัฒนาต้นแบบชุดทดลองอิเล็กทรอนิกส์บนไมโครคอมพิวเตอร์ที่มีวัตถุประสงค์จะใช้ประโยชน์จากความสามารถของไมโครคอมพิวเตอร์ให้เป็นชุดเครื่องมือวัดที่อำนวยความสะดวกในการใช้งาน และมีสมรรถนะในการประมวลผลและบันทึกผลที่เหนือกว่าชุดทดลองพื้นฐานที่นำเอาเครื่องวัดอิสระมาจัดเข้ากลุ่มใช้งานร่วมกัน

แนวคิดของการสร้างต้นแบบโครงการสโคปการ์ดนี้คือสร้างฮาร์ดแวร์ที่สามารถใช้งานตามฟังก์ชันพื้นฐานของดิจิตอลออสซิลโลสโคปโดยมีย่านการวัดสัญญาณอยู่ในช่วง 0 ถึง 1 MHz และอินเตอร์เฟซกับไมโครคอมพิวเตอร์ ใช้จอมอนิเตอร์ในการแสดงปุ่มเลือกฟังก์ชันและแสดงผลของการวัด ซอฟต์แวร์ควบคุมการทำงานของการ์ดและติดต่อกับผู้ใช้จะเขียนบนภาษา Delphi®

1.2 โครงสร้างของวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้เป็นผลจากการศึกษา เพื่อออกแบบสร้างออสซิลโลสโคปการ์ดตลอดตามภาคการศึกษา ในการจัดทำวิทยานิพนธ์นี้ได้เริ่มจากการรวบรวมรายละเอียดเกี่ยวกับทฤษฎีที่เกี่ยวข้องกับออสซิลโลสโคป และการคำนวณบางช่วงพอสังเขป เพื่อที่จะเป็นแนวทางในการศึกษาเพิ่มเติมหรือออกแบบให้ได้ออสซิลโลสโคปที่มีสมรรถนะที่ดียิ่งขึ้น ซึ่งเนื้อหาจะแบ่งเป็นบทตอนดังนี้

บทที่ 1 บทนำ

บทที่ 2 หลักการและทฤษฎีของออสซิลโลสโคป

บทที่ 3 การออกแบบระบบและวงจร

บทที่ 4 การสร้างและทดสอบ

บทที่ 5 บทสรุป

บทที่ 2

หลักการของดิจิตอลสตอเรจออสซิลโลสโคป

ดิจิตอลสตอเรจออสซิลโลสโคป (Digital Storage Oscilloscope) หรือเรียกเป็นชื่อย่อว่า DSO ได้รับการออกแบบให้มีขีดความสามารถในการตอบสนองความต้องการของผู้ใช้ ซึ่งไม่สามารถทำได้ในอนาลอกสโคปแบบเดิมๆ ที่มีอยู่ อาทิเช่น การเก็บข้อมูลของสัญญาณที่วัดได้ เพื่อการนำมาวิเคราะห์ในภายหลัง การวิเคราะห์รูปคลื่นอย่างละเอียดโดยการซูมรูปคลื่นส่วนที่ต้องการ การจัดสัญญาณที่เกิดขึ้นเพียงชั่วขณะหนึ่ง การทำพรีทริกเกอร์ (Pre-Trigger) และการตรวจจับสัญญาณที่มีการเปลี่ยนแปลงทางความถี่อย่างรวดเร็วหรือช้าเกินไป ซึ่งไม่สามารถตรวจจับได้ด้วยอนาลอกสโคปแบบปกติ จุดสำคัญของสโคปแบบนี้อยู่ที่วิธีการในการเก็บข้อมูลและวิธีการทางดิจิตอลที่นำมาใช้โดยปกติแล้วข้อมูลที่ถูกเก็บเอาไว้สามารถนำไปใช้บันทึกลงในเครื่องคอมพิวเตอร์ได้และยังสามารถต่อพ่วงพล็อตเตอร์หรือพรินเตอร์ได้ด้วย

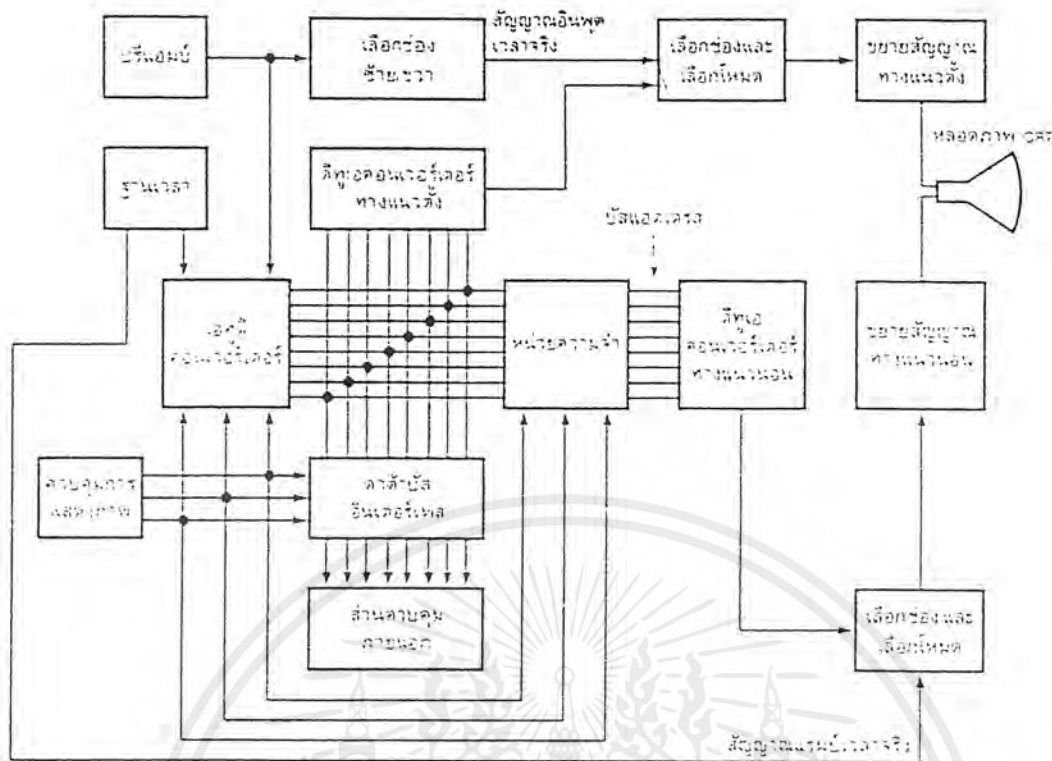
2.1 การทำงานของดิจิตอลสตอเรจออสซิลโลสโคป (DSO)

สัญญาณอนาลอกและสัญญาณดิจิตอลนั้นมีการนำมาเปรียบเทียบกันอยู่เสมอ ในเรื่องของสโคปก็เช่นเดียวกันสโคปนั้นได้ถูกประดิษฐ์คิดขึ้นมาทั้งแบบอนาลอกและแบบดิจิตอล สำหรับอนาลอกสโคปนั้นจะมีวิธีการเก็บบันทึกที่รูปคลื่นแบบอนาลอก นั่นคือ การใช้หลอดสโคป (storage CRT) ซึ่งหลอดที่ว่านี้มีความสามารถทำให้สัญญาณที่เกิดขึ้นเพียงชั่วขณะแสดงผลบนจอได้เป็นเวลา 1 ชั่วโมงหรือมากกว่า โดยวิธีการในการควบคุมแรงไฟและอิเล็กทรอนิกส์ภายในหลอด แต่การใช้หลอดดังกล่าวจะมีอายุการใช้งานเพียง 1,000 ชั่วโมงนั้น ซึ่งหากนำไปใช้แสดงผลตามปกติก็จะใช้งานได้ยาวนานกว่า

ส่วน DSO หรือดิจิตอลสตอเรจออสซิลโลสโคปจะมีวิธีการเก็บบันทึกที่รูปคลื่นด้วยระบบดิจิตอล ข้อมูลจะถูกบันทึกไว้ในหน่วยความจำแบบดิจิตอล ซึ่งจะเห็นว่าเมื่อเทียบกับอนาลอกแล้ว แบบอนาลอกจะเก็บรูปคลื่นด้วยอุปกรณ์ แต่แบบดิจิตอลจะเก็บรูปคลื่นด้วยวงจร นี่คือสิ่งที่แตกต่างกัน

สำหรับ DSO จะมีขบวนการในการทำงานอยู่ด้วยกัน 3 ช่วงใหญ่ๆ คือ ช่วงของการสุ่มตัวอย่างและการแปลงเป็นสัญญาณดิจิตอล, ช่วงของการเก็บข้อมูล และสุดท้ายคือ ช่วงของการแสดงผลค่าต่างๆ

เริ่มต้นด้วยการสุ่มตัวอย่างสัญญาณที่เข้ามาเพื่อให้ได้จำนวนของจุดบนสัญญาณเหล่านั้น จากนั้นจะเป็นขั้นตอนการนำค่าที่ได้จากการสุ่มตัวอย่างมาแปลงเป็นสัญญาณดิจิตอลด้วยวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter) ซึ่งหากเป็นวงจรที่ใช้สัญญาณดิจิตอล 8 บิต ก็จะได้ระดับของสัญญาณที่แปลงออกมา 2^8 บิต ก็จะได้ระดับของสัญญาณที่แปลงออกมาก 2^8 หรือ 256 ระดับ



รูปที่ 2.1 แสดงบล็อกไดอะแกรมของดิจิตอลสตอเรจออสซิลโลสโคป (DSO)

ขั้นตอนที่กล่าวมาจะถูกควบคุมความเร็วในการทำงานด้วยฐานเวลา (time base) เดียวกันซึ่งเป็นฐานเวลาแบบดิจิตอลที่มีความเที่ยงตรงสูงมาก และจะใช้เป็นเวลาอ้างอิงในการทำงานของวงจรซึ่งโดยปกติแล้วค่าฐานเวลาจะมีหน่วยเป็น MS/s หรือจำนวนจุดต่อวินาที ค่าที่แปลงเป็นสัญญาณดิจิตอลแล้วจะถูกเก็บไว้ในหน่วยความจำ

สำหรับการแสดงผลของดิจิตอลสตอเรจออสซิลโลสโคป จะอาศัยการทำงานแบบอนาลอก ดังนั้นในช่วงของการแสดงผลจึงต้องแปลงสัญญาณดิจิตอลไปเป็นสัญญาณอนาลอก (Digital to Analog Converter) เสียก่อน เพื่อให้ได้สัญญาณควบคุมอิเล็กตรอนทางแนวตั้งและแนวนอน ในรูปที่ 2.1 จะเป็นรายละเอียดพื้นฐานของดิจิตอลสตอเรจออสซิลโลสโคป

2.2 ขอบเขตการวัด

ทุกสิ่งทุกอย่างย่อมมีขีดจำกัดในตัวของมันเอง เมื่อเรานำสิ่งนั้นมาใช้งานเกินความสามารถของมัน ผลที่ได้ก็จะไม่ถูกต้องสมบูรณ์ ดิจิตอลสตอเรจออสซิลโลสโคปก็เช่นเดียวกัน เมื่อดิจิตอลสตอเรจออสซิลโลสโคปถูกสร้างขึ้นมามีขีดความสามารถทางดิจิตอล ดังนั้นขีดความสามารถของมันจึงถูกจำกัดด้วยวิธีการทางดิจิตอล ในอนาลอกสโคปหรือดิจิตอลสโคปทั่วไปจะเห็นว่าผู้ผลิตจะกำหนดขอบเขตการวัดเป็นค่าความถี่สูงสุดที่เครื่องสามารถทำได้ เช่น 20 MHz, 60 MHz, 100 MHz, 150 MHz เป็นต้น ซึ่งเวลาซื้อก็ต้องใคร่ครวญพิจารณาถึงขีดจำกัดอันนี้

สำหรับคิจิตอลสตอเรจอสซิดโลสโคปนั้น ขอบเขตการวัดนอกจากสามารถบอกเป็นค่าความถี่สูงสุดที่เครื่องสามารถทำการวัดได้แล้ว ยังต้องบอกค่าอัตราการสุมตัวอย่างข้อมูลควบคู่ไปด้วย โดยปกติแล้ว จะมีค่าเป็นล้านครั้งต่อวินาที (MS/s 20 MHz, 40 MS/s 100 MHz, 100 MS/s, 200 MS/s, 70 MHz) เป็นต้น ค่าเหล่านี้จะบอกอะไรเราบ้าง

เริ่มด้วยค่าอัตราการสุมตัวอย่างข้อมูลจะชี้ให้เห็นถึงความละเอียดและคุณภาพของภาพที่ปรากฏบนจอ ซึ่งประกอบขึ้นมาจากจุดที่ได้จากการสุมตัวอย่างบนรูปคลื่นที่วัด ถ้าจำนวนจุดที่ได้มีจำนวนมากภาพที่ได้ก็就会有ความถูกต้องสมบูรณ์มาก การสูญเสียจุดจากการสุมตัวอย่างไปเพียงเล็กน้อยในบางรูปคลื่น ก็อาจเป็นการสูญเสียรายละเอียดของรูปคลื่นนั้นไปได้ ถ้าอัตราการสุมตัวอย่างมีค่ามาก นั่นคือ คิจิตอลสตอเรจอสซิดโลสโคปจะมีความละเอียดของรูปคลื่นมากด้วย ส่วนความถี่ที่บอกมานั้นก็ยังคงเป็นขอบเขตการวัดความถี่สูงสุดของคิจิตอลสตอเรจอสซิดโลสโคป ในลักษณะเดียวกันอนาลอกสโคป

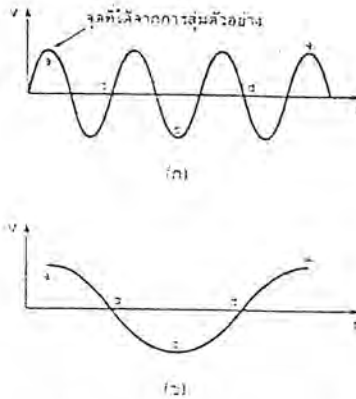
ถ้าหากเราต้องการจะรู้ว่ารูปคลื่นที่ปรากฏบนจอ นั้นมีความละเอียดแค่ไหน ก็สามารถทำได้ด้วยการคำนวณแบบง่ายๆ ตามสูตรที่ว่า

$$\text{จำนวนจุดต่อหนึ่งรูปคลื่น} = \frac{\text{อัตราการสุมตัวอย่างของคิจิตอลสตอเรจอสซิดโลสโคป}}{\text{ค่าความถี่ที่ทำการวัด}}$$

ตัวอย่างเช่น คิจิตอลสตอเรจอสซิดโลสโคปมีอัตราการสุมตัวอย่าง 50 MS/s ใช้วัดสัญญาณที่มีความถี่ 500 kHz ดังนั้นจะได้ว่า

$$\text{จำนวนจุดต่อหนึ่งรูปคลื่น} = \frac{50\text{MS/s}}{500\text{kHz}} = 100$$

จะเห็นว่าภาพที่แสดงผลบนจอ นั้นในหนึ่งรูปคลื่นจะเกิดจากการเรียงกันของจุดจำนวน 100 จุด แต่ ถ้าหากความถี่ที่ใช้วัดเปลี่ยนเป็น 10 MHz ที่อัตราการสุมตัวอย่างเดิม ความละเอียดของภาพในหนึ่งรูปคลื่นจะมีเพียง 5 จุด ต่อรูปคลื่นเท่านั้น ซึ่งจากทั้ง 2 กรณี ทำให้เราสรุปได้ว่า เมื่อนำมาวัดค่าสัญญาณที่มีความถี่ต่ำๆ จะให้ความละเอียดของภาพสูง แต่เมื่อนำมาวัดสัญญาณที่มีความถี่สูงๆแล้ว จะให้ภาพที่มีความละเอียดชัดเจนได้น้อยลง



รูปที่ 2.2 แสดงลักษณะของการเกิดเอเลียสซึ่ง

(ก) สัญญาณอินพุตเมื่อมีการสุ่มตัวอย่างต่ำเกินไป

(ข) เมื่อแสดงผลเกิดเป็นสัญญาณเอเลียส

ปัญหาอย่างหนึ่งซึ่งเกิดขึ้นกับดิจิทัลสโตเรจอสซิลโลสโคป คือ การที่สัญญาณที่จะทำการวัดมีความถี่สูงมาก ๆ เมื่อมีการสุ่มตัวอย่างสัญญาณดังกล่าว แล้วนำมาสร้างให้ปรากฏบนจออีกครั้ง ผลที่ได้บนจอจะเป็นภาพที่ต่างไปจากสัญญาณที่วัดจริง เรียกว่า สัญญาณเอเลียส (alias signal) อันเกิดจากอัตราการสุ่มต่ำกว่าความถี่สัญญาณที่วัด โดยดูได้จาก ตัวอย่างในรูปที่ 2.2 ในการใช้งาน ความละเอียดของหน้าจอจะทำให้เกิดสัญญาณเอเลียสขึ้นเพราะว่าสัญญาณเอเลียส เป็นรูปคลื่นที่มีความถี่ต่างไปจากรูปคลื่นจริงอย่างมาก ซึ่งไม่สามารถนำไปวิเคราะห์ได้

การทำให้รูปคลื่นที่ปรากฏบนจอมีความสมบูรณ์ถูกต้องนั้น จำนวนจุดที่ได้จากการสุ่มตัวอย่างต้องมีมากกว่า 2 เท่าของความถี่ที่วัดนั้นใน 1 รูปคลื่น และเมื่อทำการตรวจวัดขอบขาขึ้นแล้ว ขอบขาลงของพัลส์จะต้องได้จำนวนครั้งที่สุ่มตัวอย่างมากกว่า 10 ครั้งต่อ 1 รูปคลื่น นอกจากการสุ่มตัวอย่างที่ต้องการความเร็วในการทำงานพอสมควรแล้วยังต้องพิจารณาอีกด้วยว่าวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (ADC-Analog to Digital Converter) นั้น สามารถทำงานได้ด้วยความเร็วขนาดไหนซึ่งเราพิจารณากันในหัวข้อต่อไป

สิ่งที่จะทำให้เรารู้ถึงขอบเขตการวัดของดิจิทัลสโตเรจอสซิลโลสโคป อีกอย่างหนึ่งก็คือ ค่าความถี่สูงสุดของสัญญาณที่ดิจิทัลสโตเรจอสซิลโลสโคป สามารถทำการเก็บข้อมูลได้ ซึ่งเราเรียกว่าค่า USB (Useful Storage Bandwidth) USB นี้จะมีค่าเป็นเท่าไรนั้นขึ้นอยู่กับความสามารถในการสุ่มตัวอย่างของดิจิทัลสโตเรจอสซิลโลสโคป ด้วย ซึ่งค่า USB สามารถหาได้จากสูตร

$$USB = \text{อัตราการสุ่มตัวอย่างสูงสุด (MS/s)}$$

25

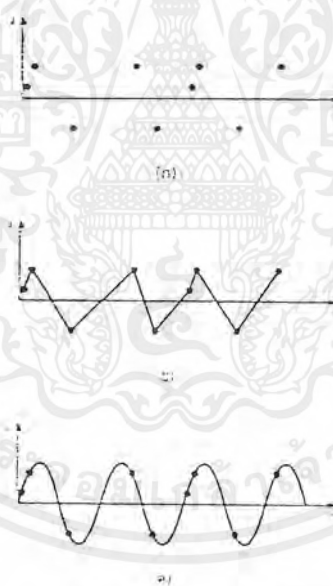
ตัวเลข 25 เป็นจำนวนจุดที่ใช้ในการสร้างภาพบนจอใน 1 รูปคลื่น ซึ่งเป็นค่าที่ใช้โดยทั่วไป เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากดิจิทัลสคอเรจออกสซิลโลสโคป ไม่สามารถแสดงรายละเอียดของสัญญาณที่มีความถี่สูงกว่าขีดจำกัดได้มากพอ ดังนั้นจึงได้มีการคิดค้นวิธีการเพิ่มรายละเอียดของสัญญาณโดยการสร้างสัญญาณสุ่มตัวอย่างสอตรงทกรกลงไปในการสุ่มตัวอย่างแบบปกติ ผลที่ได้คือ จะมีจุดเสริมเข้าไปในรูปคลื่นเดิม ภาพที่ได้จะมีความต่อเนื่องสมำเสมอมากขึ้นและเรียกวิธีการนี้ว่า “ทฤษฎีการสอตรงทกรก” (Interpolation methods) ซึ่งแสดงตัวอย่างการสอตรงทกรกสัญญาณในรูปที่ 2.3

ในรูปที่ 2.3 (ก) จะเป็นการแสดงให้เห็นถึงการสร้างภาพให้ปรากฏบนจอโดยการเรียงจุดที่ได้จากการสุ่มตัวอย่างโดยปกติจะได้ประมาณ 25 จุดต่อรูปคลื่น ส่วนรูปที่ 2.3 (ข) เป็นการลากเส้นเชื่อมต่อระหว่างจุดที่ได้มา ทำให้ได้ภาพที่เป็นเส้นตรงที่เชื่อมต่อกัน 10 เส้นต่อรูปคลื่น ซึ่งวิธีการนี้เรียกว่า การประมาณค่าในช่วงแบบเชิงเส้น (Linear interpolation) หรือ การแสดงผลแบบเวกเตอร์ (vector display) ดังนั้น เมื่อเป็นการแสดงผลของรูปคลื่นชาชน ค่า USB จะเป็น

$$USB = \frac{\text{อัตราการสุ่มตัวอย่างสูงสุด (MS/s)}}{25}$$

25



รูปที่ 2.3 ทฤษฎีการสอตรงทกรก

(ก) การแสดงผลแบบจุด

(ข) การสอตรงทกรกด้วยวิธีเวกเตอร์

(ค) การสอตรงทกรกแบบชาชน

สำหรับรูปที่ 2.3 (ค) เป็นการสอตรงทกรกโดยการนำเอาฟังก์ชันชาชนมาคำนวณลากเส้นเชื่อมต่อ ระหว่างจุด (sin interpolation) ซึ่งวิธีการนี้จะใช้จุดเพียง 2.5 จุดต่อรูปคลื่นเท่านั้น ในการแสดงผล ดังนั้นค่า USB จะเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{USB} = \text{อัตราการสุ่มตัวอย่างสูงสุด (MS/s)}$$

2.5

ซึ่งทำให้ค่า USB มีค่ามากขึ้นเท่ากับว่าขอบเขตของดิจิตอลสตรอจเจอร์ออสซิลโลสโคป ก็ถูกขยายมากไปด้วย

2.2.1 ดิจิตอลสตรอเจอร์ออสซิลโลสโคปกับรูปคลื่นพัลส์

หากเราจะพูดถึงถึงรูปคลื่นพัลส์แล้ว ส่วนที่มีความสำคัญมากต่อรูปคลื่นชนิดนี้ก็คือ ช่วงเวลาขอบขาขึ้นและขอบขาดลงของพัลส์ ดังนั้นเครื่องมือที่จะใช้วัดรูปคลื่นเหล่านี้จะต้องสามารถวัดช่วงเวลาขอบขาขึ้นและขอบขาดลงได้โดยมีความผิดเพี้ยนน้อยที่สุด ในอนาลอกสโคปสามารถคำนวณหาช่วงเวลาขอบขาขึ้น (t_r : rise time) ของพัลส์ได้ดังนี้

$$t_r (\text{ns}) = \frac{0.35}{\text{แบนด์วิดท์ (MHz)}}$$

จากสูตรดังกล่าวหากอนาลอกสโคปมีการวัด 100 MHz เราจะได้ช่วงเวลาขอบขาขึ้นของพัลส์เท่ากับ 3.5 ns ($0.35/100 \times 10^6$) นี่คือการวัดของอนาลอกสโคป ส่วนในดิจิตอลสโคปช่วงเวลาขอบขาขึ้นที่วัดได้จะมีการเปลี่ยนแปลงอยู่ระหว่าง 0.8 ถึง 1.6 เท่าของช่วงเวลาการสุ่มตัวอย่างหากเราคิดเอาช่วงเวลาขอบขาขึ้นเป็น 10 ถึง 90 เปอร์เซ็นต์ของแอมพลิจูดของพัลส์ จะได้

$$t_r = 0.8 \times 2 \text{ (ช่วงเวลาการสุ่มตัวอย่าง)}$$

$$\text{หรือ} \quad t_r = 1.6 / (\text{อัตราการสุ่มตัวอย่าง})$$

เพื่อให้การคำนวณมีความคลาดเคลื่อนน้อยลง สูตรการหาช่วงเวลาขอบขาขึ้นที่นำไปใช้งานจริง (U_{t_r} = Useful Rise Time) จึงใช้ค่า 1.6 ตลอด ดังนี้

$$U_{t_r} = 1.6 / (\text{อัตราการสุ่มตัวอย่าง})$$

$$\text{หรือ} \quad U_{t_r} = (\text{ช่วงเวลาการสุ่มตัวอย่างต่ำสุด}) \times 1.6$$

สำหรับดิจิตอลสตรอเจอร์ออสซิลโลสโคป แล้วในการหาช่วงเวลาขอบขาขึ้นที่สามารถจะวัดได้จะมีการคำนวณเช่นเดียวกับดิจิตอลสโคป เช่นถ้า มีอัตราการสุ่มตัวอย่างเป็น 100 MS/s ก็จะมีช่วงเวลาการสุ่มตัวอย่างเป็น 0.01 us และ $t_{rDSO} = 0.01 \text{ us} \times 1.6 = 16 \text{ ns}$ นั่นคือ ดิจิตอลสตรอเจอร์ ออสซิลโลสโคปเครื่องนี้จะสามารถแสดงผลช่วงเวลาขอบขาขึ้นในการวัดได้ภายในเวลา 16 ns เมื่อคิดช่วงเวลาขอบขาขึ้นเป็น 10 ถึง 90 เปอร์เซ็นต์ของแอมพลิจูด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่าความสามารถในการแสดงผลรูปคลื่นพัลส์นั้นจะขึ้นอยู่กับช่วงเวลาในการสุ่มตัวอย่างของดิจิทัลสคอเรจอสซิลโลสโคปเอง รูปที่ 2.4 (ก) จะเป็นการแสดงให้เห็นช่วงเวลาขอบขาขึ้นที่อยู่ระหว่างช่วงการสุ่มตัวอย่าง โดยรูปคลื่นที่แสดงผลจะอยู่ในช่วง $0.8 \times$ (ช่วงเวลาการสุ่มตัวอย่าง) รูปคลื่นที่แสดงผลออกมาจะมีความชันของขอบขาขึ้นต่างจากรูปคลื่นจริงอยู่บ้างพอสมควร และเมื่อดูรูปสัญญาณอินพุตเดียวกัน แต่มีช่วงเวลาในการสุ่มตัวอย่างต่างกัน ตามรูปที่ 2.4 (ข) ภาพที่ได้จากการแสดงผลช่วงขอบขาขึ้นอยู่ในช่วง $1.6 \times$ (ช่วงเวลาการสุ่มตัวอย่าง) ซึ่งถ้าเปรียบกับรูปที่ 2.4 (ก) แล้ว ความชันของขอบขาขึ้นตามรูปที่ 2.4 (ข) จะแตกต่างจากรูปสัญญาณอินพุตจริงค่อนข้างมากทีเดียว



รูปที่ 2.4 แสดงการจัดช่วงขอบขาขึ้น ซึ่งค่าคลาดเคลื่อนที่เกิดขึ้นอยู่กับตำแหน่งในการสุ่มตัวอย่าง

(ก) ช่วงขอบขาขึ้นอยู่ระหว่าง 0.8

(ข) ช่วงขอบขาขึ้นอยู่ระหว่าง 1.6

จากที่ทราบในตอนต้นว่า การจัดช่วงขอบขาขึ้นและขอบขาลงของพัลส์จะต้องทำการสุ่มตัวอย่างมากกว่า 10 ครั้ง ดังนั้น เราสามารถหาช่วงเวลาที่ต้องใช้ในการวัดขอบขาขึ้นได้ โดยหารอัตราการสุ่มตัวอย่างด้วย 10 แล้วกลับเศษเป็นส่วนดังนี้

$$\text{Res (resolution)} = \frac{1}{(\text{อัตราการสุ่มตัวอย่าง}) / 10}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเป็นคิจิตอลสตอเรจอสซิลโลสโคป ที่มีอัตราการสุมตัวอย่าง 100 MS/s จะมีการสุมตัวอย่างทุก ๆ 10 ns (1/100 MS/s) และจะใช้การทำงานกับขอบขาขึ้นเป็นเวลา 100 ns แล้วถ้าหากว่าพัลส์ที่เข้ามามีความถี่สูงมาก เราก็ย่อมต้องการคิจิตอลสตอเรจอสซิลโลสโคป ที่มีความเร็วในการสุมตัวอย่างสูงขึ้นด้วย เช่น 500 MS/s ซึ่งจะมีการสุมตัวอย่างทุกๆ 2 ns และสามารถวัดช่วงขอบขาขึ้นที่อยู่ระหว่างช่วงการสุมตัวอย่างโดยใช้เวลา 20 ns

จะเห็นว่าคิจิตอลสตอเรจอสซิลโลสโคป ตอบสนองการวัดรูปคลื่นพัลส์ได้ไม่ค่อยจะดีเท่ากับอนาลอกสโคป และเราไม่สามารถนำค่า U_t ที่วัดได้จากคิจิตอลสตอเรจอสซิลโลสโคป ไปคำนวณเปรียบเทียบกับรูปคลื่นจริงได้มากพอ ดังนั้น เราจะถือว่าค่า U_t เป็นค่าซึ่งแสดงถึงขอบเขตจำกัดของคิจิตอลสตอเรจอสซิลโลสโคปก็ได้

2.3 การสุมตัวอย่างของคิจิตอลสตอเรจอสซิลโลสโคป

คิจิตอลสตอเรจอสซิลโลสโคป ใช้การสุมตัวอย่างด้วยกัน 2 แบบคือ

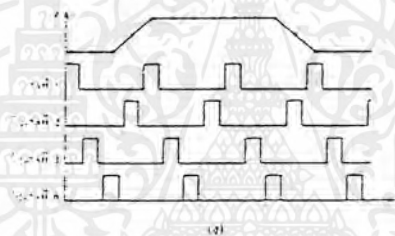
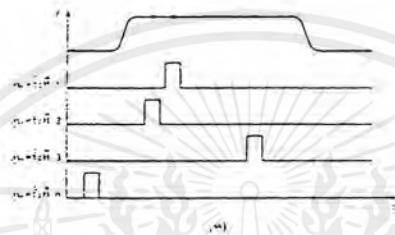
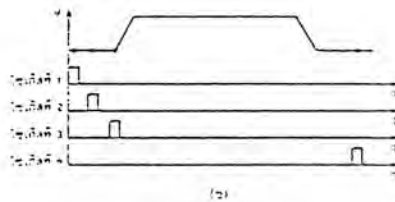
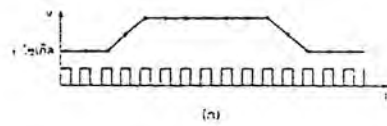
2.3.1 การสุมตัวอย่างแบบเวลาจริง (Real Time or One-Shot) จะเกิดการสุมตัวอย่าง

ขึ้นทันทีที่มีการจับสัญญาณอินพุตได้ โดยผลที่ได้จะมาจากรูปคลื่นจริงๆ และจะมีความเหมือนกับรูปคลื่นจริงมาก ส่วนมากจะใช้กับสัญญาณที่เกิดขึ้นเพียงชั่วขณะหรือใช้ในการสุมตัวอย่างบางส่วนของสัญญาณที่ต้องการวิเคราะห์เป็นพิเศษ ดังนั้นความเร็วของการสุมตัวอย่างแบบเวลาจริงนี้จึงต้องสูงพอที่จะทำงานในกรณีดังกล่าวได้ การสุมตัวอย่างแบบนี้จะทำงานแบบผ่านครั้งเดียวคือ จะมีการสุมตัวอย่างจุดเดียวในแต่ละครั้งของการทำงาน จึงสามารถนำไปตรวจจับสัญญาณที่เกิดขึ้นเพียงชั่วขณะเช่น แรงไฟกระชาก, สัญญาณควบคุมเครื่องกล, สัญญาณในลักษณะทางชีววิทยา ฯลฯ ซึ่งจะปรากฏให้เห็นได้ในช่วงเวลาที่สั้นมาก การจะใช้วิธีสุมตัวอย่างจึงต้องใช้แบบที่เมื่อเริ่มสุมและสิ้นสุดการสุมต้องได้รูปสัญญาณที่เกิดขึ้น รูปที่ 2.5 (ก) จะเห็นการสุมตัวอย่างแบบเวลาจริงที่ใช้ในการวัดรูปคลื่นพัลส์หนึ่งลูก

2.3.2 การสุมตัวอย่างแบบเวลาเสมือน (Equivalent Time) การสุมตัวอย่างแบบนี้

โดยมากจะใช้กับสัญญาณที่เกิดขึ้นซ้ำๆ กันหรือใช้ตรวจจับบางส่วนของสัญญาณที่เกิดขึ้นซ้ำๆ กัน การสุมตัวอย่างแบบเวลาเสมือนสามารถแบ่งออกเป็น 2 ชนิดย่อย ๆ อีกคือ การสุมชนิดเป็นลำดับ (Sequential Sampling) และการสุมชนิดไม่เป็นลำดับ (Random Sampling)

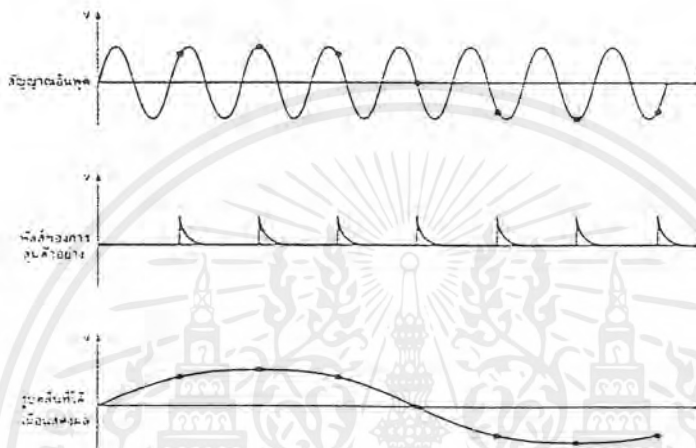
ในการสุมตัวอย่างชนิดลำดับจะเป็นดังรูปที่ 2.5 (ข) ซึ่งการสุมตัวอย่างชนิดนี้ในการทำงานหนึ่งครั้งหรือหนึ่งไซเคิลจะต้องได้จุดบนรูปคลื่น 1 จุดแล้วนำไปเก็บไว้ในหน่วยความจำ จนกระทั่งหน่วยความจำเต็ม เมื่อนำไปแสดงผลก็จะเป็นไปตามรูปที่ 2.6 ส่วนการสุมตัวอย่างแบบเวลาเสมือนชนิดไม่เป็นลำดับนั้นจะเป็นดังรูปที่ 2.5 (ค) ซึ่งการสุมตัวอย่างแบบนี้จะใช้เมื่อมีการทำปริทริกเกอร์ (pre-trigger) เพื่อดูรูปคลื่นที่อยู่หลังจุดทริก ซึ่งการสุมตัวอย่างแบบเป็นลำดับจะไม่สามารถทำได้



- รูปที่ 2.5 เทคนิคการสุ่มตัวอย่างแบบต่างๆ ของดิจิตอลสตอเรจออกซิลโลสโคป
- (ก) การสุ่มแบบเวลาจริง
 - (ข) การสุ่มแบบเวลาเสมือนชนิดเป็นลำดับ
 - (ค) การสุ่มแบบเวลาเสมือนชนิดไม่เป็นลำดับโดยใช้จุดเดียวในการทำงานหนึ่งครั้ง
 - (ง) การสุ่มแบบเวลาเสมือนชนิดไม่เป็นลำดับโดยใช้หลายจุดในการทำงานหนึ่งครั้ง

ในการทำงานหนึ่งไซเคิลจะได้จุดบนรูปคลื่น 1 จุดเช่นกัน แต่จะเป็นจุดตรงส่วนใดของรูปคลื่นก็ได้ โดยจะทำได้เรื่อยๆ จนหน่วยความจำเต็ม

ในรูปที่ 2.5 (ง) จะเป็นการสุ่มตัวอย่างแบบไม่เป็นลำดับเช่นกัน แต่จะต่างกันตรงที่ในการทำงานหนึ่งไซเคิลนั้นจะได้จุดหลายจุดบนรูปคลื่น และในการทำงานครั้งต่อไปก็จะได้จุดหลายจุด แต่จะเป็นจุดที่ไม่ซ้ำจุดเดิม (จุดใดก็ได้) การสุ่มตัวอย่างในรูปนี้จะนำไปใช้ประโยชน์เมื่อมีการวิเคราะห์รูปคลื่น โดยการนำข้อมูลที่ได้จากการสุ่มตัวอย่างแบบนี้มาเปรียบเทียบกับรูปคลื่นอื่นๆ โดยเฉพาะอย่างยิ่งการวิเคราะห์รูปคลื่นในส่วนที่เป็นการทรักในลักษณะต่าง ๆ กัน



รูปที่ 2.6 แสดงให้เห็นถึงผลที่ออกมาจากการสุ่มตัวอย่างสัญญาณอินพุตแบบเป็นลำดับ

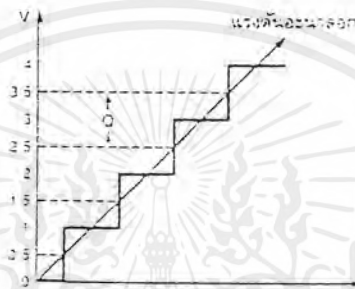
สำหรับดิจิตอลสโพรอสซิลโลสโคป ที่มีการใช้การแสดงผลแบบอนาลอก ซึ่งระบุความสามารถในการวัดไว้ เช่น 100 MHz ความหมายของ 100 MHz นี้ก็คือ ความสามารถในการวัดสัญญาณความถี่ 100 MHz แล้วดิจิตอลสโพรอสซิลโลสโคปจะแสดงผลในแบบอนาลอกได้ทันทีที่ 100 MHz เฉพาะสำหรับสัญญาณที่เกิดขึ้นช้าๆ กัน แต่หากเป็นสัญญาณชั่วขณะเกิดขึ้นแล้วใช้การสุ่มตัวอย่างแบบเวลาจริง แล้วดิจิตอลสโพรอสซิลโลสโคปนี้จะสามารถวัดสัญญาณชั่วขณะได้เพียง 10 MHz เท่านั้น

เมื่อคิดเทียบเป็นอัตราส่วนระหว่างการทำงานกับสัญญาณปกติและการทำงานกับสัญญาณชั่วขณะของดิจิตอลสโพรอสซิลโลสโคป ก็จะได้เป็น 10/1 และสามารถเพิ่มเป็น 5/1 หรือ 2.5/1 ได้ ซึ่งหมายถึง ดิจิตอลสโพรอสซิลโลสโคปจะต้องมีการใช้วิธีการสอแทรกอย่างมากเลยทีเดียว สาเหตุที่เกิดกรณีดังกล่าวขึ้นนั้นมาจากการที่ความสามารถในการสุ่มตัวอย่างถูกกำหนดด้วยสัญญาณนาฬิกาภายใน แต่สัญญาณที่เข้ามาวัดจะเป็นการทำงานแสดงผลแบบอนาลอก ซึ่งขอบเขตของความถี่จะกว้างมาก นี่คือการนำข้อดีของอนาลอกมาใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ขั้นตอนหลังการสุ่มตัวอย่าง

เมื่อเราได้ทำการสุ่มตัวอย่างไปแล้ว ค่าที่ได้จะไม่ทำการแปลงเป็นสัญญาณดิจิทัลในทันที ทั้งนี้เนื่องจากค่าที่มาจากการสุ่มตัวอย่างนั้นเป็นค่าที่มีระดับแตกต่างกันอย่างมากมาย ในทางปฏิบัติ เราจะไม่สามารถแปลงเป็นสัญญาณดิจิทัลได้มากขนาดนั้น จึงจำเป็นต้องแบ่งค่าที่ได้มาจากการสุ่มตัวอย่างออกเป็นกลุ่มๆ เราเรียกว่า ควอนไทซิง (quantizing) ซึ่งการควอนไทซิงนี้จะเป็นการนำค่ามาจากการสุ่มตัวอย่างที่มีค่าใกล้เคียงกันมากอยู่ในกลุ่มเดียวกัน ค่อยจากนั้นจะนำค่าตัวเลขมาใช้แทนกลุ่มสัญญาณดังกล่าว



รูปที่ 2.7 การควอนไทซิง โดยใช้วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลคอนเวอร์เตอร์ เปลี่ยนแรงดันอนาล็อกเป็นเลขฐานสองที่ระดับต่างๆ

การแบ่งกลุ่มสัญญาณจะมีลักษณะเป็นขั้นบันได ตามรูปที่ 2.7 โดยให้มีการเปลี่ยนแปลงของค่าที่ได้จากการสุ่มตัวอย่างอยู่ระหว่าง 0-4 โวลต์ และจัดเป็นกลุ่มได้ 4 กลุ่ม คือ ช่วงระดับ 0-1, 1-2, 2-3 และ 3-4 โวลต์ โดยให้สัญญาณที่อยู่ในระดับ 0-1 มีค่า 0.5 แทนกลุ่มนี้ และ 1.5 แทนกลุ่ม 1-2, ระดับ 2.5 แทนกลุ่ม 2-3 และระดับ 3.5 แทนกลุ่ม 3-4 ค่า 0.5, 1.5, 2.5 และ 3.5 จะนำไปใช้ใน ADC อีกครั้งเพื่อทำเป็นสัญญาณดิจิทัล

เนื่องจากการควอนไทซิงดังกล่าวมีโอกาสที่จะเกิดค่าคลาดเคลื่อนได้ อันเนื่องมาจากสัญญาณที่จะเกิดค่าคลาดเคลื่อนได้ อันเนื่องมาจากสัญญาณรบกวนที่เข้ามาในระบบทำให้ค่าที่ได้ในการจัดกลุ่มผิดไปจากความเป็นจริงได้ และเนื่องจากการควอนไทซิงนั้นประกอบจากวงจรดิจิทัลอิเล็กทรอนิกส์ ดังนั้นจึงเกิดความไม่แน่นอนของผลที่ได้อยู่บ้าง โดยความไม่แน่นอนเหล่านี้จะแสดงค่าบวก ลบ ของบิตสุดท้าย

เมื่อผ่าน ADC แล้ว นอกจากบิตสุดท้ายจะเป็นค่าของความไม่แน่นอนแล้ว บิตอื่น ๆ ก็ยังเป็นค่าผิดพลาดที่เกิดจากสัญญาณรบกวนได้ด้วยเหมือนกันแต่สัญญาณดิจิทัลที่ได้ส่วนใหญ่ก็ยังคงมีความเที่ยงตรงอยู่มาก

2.5 การเก็บข้อมูลของดิจิตอลสตรูเจอร์ออสซิลโลสโคป

ความสามารถของดิจิตอลสตรูเจอร์ออสซิลโลสโคป ที่สำคัญอย่างหนึ่งก็คือ ความสามารถในการเก็บข้อมูล ซึ่งสำหรับดิจิตอลสตรูเจอร์ออสซิลโลสโคป แล้วหน่วยความจำที่สามารถรองรับข้อมูลได้นั้นก็มีมากมายเช่นเดียวกับบรรดาคอมพิวเตอร์ทั้งหลาย ดังนั้น จึงเป็นที่แน่นอนว่าหน่วยความจำที่ใช้ก็ย่อมมี 2 แบบ คือ RAM (Random Access Memory) และ ROM (Read Only Memory)

สำหรับ RAM สามารถเก็บข้อมูลที่เป็นปัจจุบันได้อยู่ตลอดเวลา ในขณะที่ ROM นั้นจะเป็นหน่วยความจำแบบถาวร ไม่สามารถบันทึกข้อมูลเพิ่มเติมได้ ส่วนมากจะใช้ในการแสดงคุณสมบัติอุปกรณ์หรือวงจรต่างๆ รวมทั้งการแก้ไขปัญหาในลักษณะต่าง ๆ กัน

การเก็บข้อมูลนั้นยังสามารถบันทึกลงบนแผ่นดิสเก็ต, เทปแม่เหล็ก หรือแม้แต่การพ่วงเข้ากับคอมพิวเตอร์เพื่อโอนถ่ายข้อมูลได้ด้วย

สำหรับการเก็บข้อมูลแบบ RAM นั้นโดยปกติจะมีทั้งแบบ CMOS, NMOS หรือแม้แต่ ECL (Emitter Coupled bipolar Logic) ซึ่งแบบต่างๆ เหล่านี้นั้นเป็นหน่วยความจำ RAM ซึ่งอยู่ภายในดิจิตอลสตรูเจอร์ออสซิลโลสโคป และมีขนาดหน่วยความจำที่จำกัด สำหรับหน่วยความจำขนาดใหญ่และมีความยาวข้อมูลมากๆ นั้นก็ต้องมีการแก้ไขปรับปรุงให้ทันสมัยอยู่ตลอดเวลาด้วยและขนาดหน่วยความจำที่ดิจิตอลสตรูเจอร์ออสซิลโลสโคป ใช้จะอยู่ในช่วง 4 KByte ถึง 32 KByte นอกจากนี้ในปัจจุบันยังมีหน่วยความจำแบบแผ่นการ์ด (RAM card) อีกด้วย

2.6 ปัญหาพื้นฐานของดิจิตอลสตรูเจอร์ออสซิลโลสโคป

ปัญหาที่มักจะเกิดขึ้นบ่อยๆ กับอนาล็อกสโคปและดิจิตอลสโคปแบบเก่าๆ ก็คือ การสั่นไหวของภาพทางแนวนอน (horizontal jitter) อาการดังกล่าวจะทำให้ภาพที่ได้จากการวัดเกิดอาการพร่ามัว เนื่องจากการสั่นของภาพ และจะเกิดขึ้นกับรูปคลื่นชานไปจนถึงรูปคลื่นพัลส์ด้วย เราจึงคำนวณให้มีค่าเป็น $\pm 1/2$ ของช่วงเวลาระหว่างการสุ่มตัวอย่าง

อย่างไรก็ดีปัญหานี้ก็อาจจะเกิดขึ้นได้อีกอันเนื่องมาจากสิ่งแวดล้อมภายนอก อย่างเช่นการที่สัญญาณอนาล็อกที่ทำการวัดมีระดับแรงดันที่ไม่คงที่มีการเปลี่ยนแปลงตลอดเวลา ซึ่งแรงดันดังกล่าวจะเข้าไปเกี่ยวพันกับการทริกของสโคปโดยตรงด้วย สรุปแล้วถ้าทุกอย่างภายนอกเป็นปกติปัญหานี้ก็จะไม่เกิดขึ้นมาอีกอย่างแน่นอนสำหรับดิจิตอลสตรูเจอร์ออสซิลโลสโคป

2.7 ความละเอียดถูกต้องแม่นยำ

ความละเอียดและความถูกต้องแม่นยำเป็นสิ่งที่มีความสำคัญอย่างมาก ๆ สำหรับเครื่องวัดทุกชนิด DSO ก็เช่นเดียวกัน เมื่อพูดถึงความละเอียดทางด้านแนวดิ่งย่อมจะหมายถึง ความสามารถในการแยกแยะระหว่างสัญญาณซึ่งอยู่ติดๆ กัน

โดยปกติแล้วความละเอียดทางด้านแนวดิ่งของดิจิตอลสตรูเจอร์ออสซิลโลสโคปจะถูกกำหนดด้วยจำนวนเลขฐานสองที่เป็นเอาต์พุตของ ADC ตัวอย่างเช่น ADC ให้เอาต์พุตออกมา 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก็จะมีความละเอียดได้ถึง 256 (2^8) ตำแหน่ง หรือคิดเป็น 0.391% ($1/256$) เพื่อให้ชัดเจนยิ่งขึ้นนอกจากเราต้องรู้จำนวนบิตของ ADC แล้วเราจะต้องรู้ว่าถ้าเราตั้งค่าโวลต์ต่อช่องไว้ที่ค่าหนึ่งแล้วเราสามารถอ่านค่าความละเอียดออกมาเป็นเท่าไร ตัวอย่างเช่น ถ้าเราตั้งค่าโวลต์ต่อช่องไว้ 50 mV/div เมื่ออ่านค่าเต็มหน้าจอซึ่งมี 8 ช่อง ก็จะอ่านค่าได้ทั้ง 400 mV และถ้า ADC ใช้ 8 บิต เราก็จะได้ความละเอียดของแนวตั้งทั้งสิ้น 256 ตำแหน่ง ซึ่งแต่ละช่วงระหว่างตำแหน่งจะมีค่าเป็น

$$400 \times 10^{-3} / 256 = 1.5625 \text{ mV}$$

นั่นคือ 1 ตำแหน่งจะแทนเป็นระดับแรงดันได้ 1.5625 mV ในทำนองเดียวกันหาก ADC ให้สามารถในการแยกแยะรายละเอียดต่างๆ ของรูปคลื่น เมื่อรายละเอียดต่าง ๆ ของการแสดงผลมีความสมบูรณ์นั้นย่อมหมายความว่าไม่มีเครื่องมือวัดที่จะมีความถูกต้องแม่นยำกว่า

ต่อไปเราจะมาพิจารณาถึงความละเอียดทางด้านแนวนอนกันบ้างสำหรับความละเอียดทางด้านแนวนอนนั้นเป็นค่าที่เกี่ยวกับคาบเวลาที่ถูกเก็บไว้ในหน่วยความจำแบบดิจิทัล หากสัญญาณถูกเก็บไว้ในข้อมูล 1024 เวิร์ด ก็จะได้ค่าความละเอียดของด้านแนวนอนเป็น $1/1024$ หรือคิดเป็น 0.098%

เราลองมาเปรียบเทียบกันดูดีกว่าสำหรับหัวข้อนี้นั้นนอกเหนือจากดิจิทัลเป็นอย่างไร ถ้าเป็นอนาลอกสโคปความละเอียดของภาพที่ได้จะขึ้นอยู่กับพื้นที่ผิวด้านหน้าจอ CRT และขนาดรูปร่างของลำอิเล็กตรอนที่ใช้ในการเขียน รวมไปถึงความสามารถในการทำงานของวงจรขยายสัญญาณทางแนวตั้งและแนวนอนซึ่งกลายเป็นปัจจัยอันหนึ่งที่กลายเป็นขีดจำกัดอย่างมากสำหรับ อนาลอกสโคปด้วย

แต่สำหรับดิจิทัลสโคปความละเอียดทางแนวตั้งจะขึ้นอยู่กับจำนวนบิตที่ ADC ใช้ และในเรื่องของความถูกต้องแม่นยำ อนาลอกจะคล้ายกับดิจิทัลในบางกรณี ซึ่งโดยปกติค่าความคลาดเคลื่อนทางแนวตั้งจะไม่เกิน $\pm 2-4\%$ และทางแนวนอนจะไม่เกิน $\pm 1-3\%$

อย่างไรก็ดีดิจิทัลสโคปมีข้อได้เปรียบเรื่องความถูกต้องแม่นยำเพิ่มขึ้นอีกเล็กน้อย ด้วยลักษณะของภาพที่เรียกว่า frozen ที่ปรากฏบนจอ CRT และโดยการใช้ตัวชี้ค่าที่เราเรียกกันว่า cursors ซึ่งมีการชี้ค่าได้แม่นยำมากทีเดียว สิ่งที่เราเสริมเข้ามานี้ทำให้ดิจิทัลสโคปสามารถลดจุดด้อยด้านความแม่นยำบางเรื่องลงไปได้มากทีเดียว

สำหรับเรื่องของฐานเวลานั้นดิจิทัลสโคปเรจิสเตอร์สโคป จะไม่ใช่วงจรกำเนิดฐานเวลาแบบลิเนียร์สวEEP (linear sweep) แต่จะใช้วงจรกำเนิดฐานเวลาแบบคริสตอลแทน เนื่องจากฐานเวลาที่ได้จากแบบคริสตอลจะมีความคลาดเคลื่อนน้อยกว่า $\pm 0.01\%$

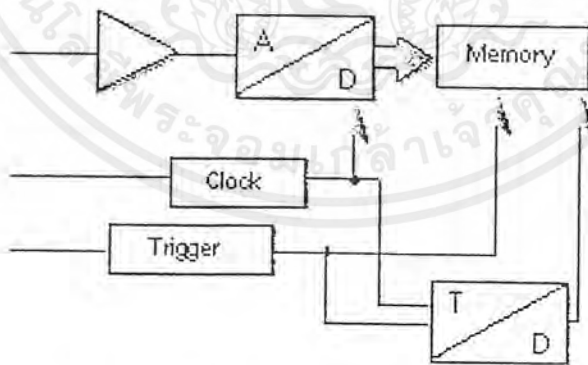
เมื่อมาถึงจุดนี้เราจะเห็นว่าความแม่นยำด้านแนวนอนจะเกี่ยวข้องกับสัญญาณนาฬิกา ขนาดของหน่วยความจำ และตัวชี้ค่า จะเห็นว่าความแม่นยำด้านแนวนอนจะต้องอาศัยองค์ประกอบเยอะมากทีเดียว ดังนั้นเพื่อให้เกิดค่าความแม่นยำด้านแนวนอนสูงสุดสำหรับดิจิทัลเรจิสเตอร์สโคป

เราจึงต้องทำการวัดสัญญาณนั้น ๆ ซ้ำๆ กันและต้องลดทอนค่าคลาดเคลื่อนที่เกิดจากการเลือกใช้ตัวชี้ค่าไม่เหมาะสมลงด้วย

2.8 สัญญาณชั่วขณะ (Transient capture)

สโคปแบบอนาล็อกส่วนใหญ่ไม่สามารถแสดงสัญญาณชั่วขณะที่เกิดขึ้นได้ ในทางตรงข้ามสโคปแบบดิจิทัลออกนอกแบบเพื่อจับสัญญาณชั่วขณะ โดยมีโครงสร้างของดิจิทัลเชอร์ 3 แบบสำหรับทรานเซียนดิจิทัลเชอร์ และ RIS (Random Interleaved Sampling) สามารถจับสัญญาณชั่วขณะและบันทึกข้อมูลรูปคลื่นปริทริกเกอร์ (Pre-trigger) ได้ ในขณะที่แชนเปลลิงดิจิทัลเชอร์ไม่สามารถทำได้ ดิจิทัลเชอร์ทั้ง 3 ชนิดสามารถบันทึกสัญญาณที่เกิดขึ้นซ้ำๆ หลายครั้งได้

ในทรานเซียนดิจิทัลเชอร์ มีอุปกรณ์แปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล (ADC) และหน่วยความจำรูปคลื่น อุปกรณ์เปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลจะเปลี่ยนสัญญาณต่อเนื่องให้อยู่ในรูปตัวเลข และส่งสัญญาณที่สุ่มได้ไปยังหน่วยความจำแบบ circular addressing หลังจากใช้หน่วยความจำตำแหน่งสุดท้าย ระบบจะเขียนข้อมูลทับอันเดิม โดยเริ่มเขียนทับที่หน่วยความจำเริ่มต้น หลังจากทริกเกอร์ถูกผลิตขึ้น หน่วยความจำจะยังคงทำงานต่อไปโดยเป็นค่าที่ถูกเลือกใช้ของตัวอย่างโพสทริกเกอร์ หลังจากนั้นอุปกรณ์เปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลจะหยุดป้อนข้อมูลสู่หน่วยความจำ ถ้าผู้ใช้เลือกใช้ข้อมูลปริทริกเกอร์ 100% แล้วอุปกรณ์เปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลจะหยุดส่งข้อมูลทันทีที่ทริกเกอร์มา ถึง ถ้าผู้ใช้เลือกโพสทริกเกอร์ 100 % ระบบจะเติมข้อมูลทุกแอดเดรสของหน่วยความจำมากกว่า 1 ครั้งแล้วหยุด หน่วยความจำจะมีข้อมูลรูปคลื่นที่เกิดขึ้นหลังทริกเกอร์

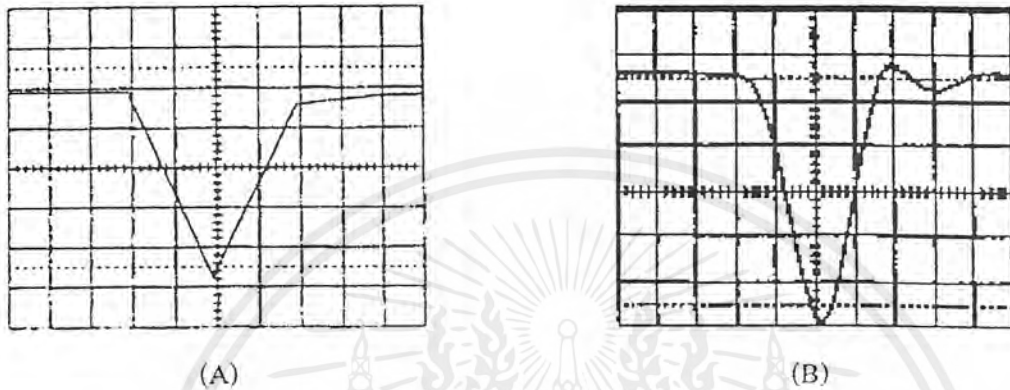


รูปที่ 2.8 บล็อกไดอะแกรมของ RIS ดิจิทัลเชอร์

RIS ดิจิทัลเชอร์ ประกอบด้วยทรานเซียนดิจิทัลเชอร์ที่เพิ่มโหมดการสอแทรกสำหรับทริกเกอร์แต่ละอัน RIS ดิจิทัลเชอร์จะบันทึกชุดของจุดตัวอย่างรูปคลื่น จุดตัวอย่างในดิจิทัลเชอร์มาจากการได้มาของการเพิ่มทริกเกอร์ เพื่อสร้างรายละเอียดของรูปร่างสัญญาณต้นกำเนิด เนื่องจากดิจิทัลเชอร์ไม่มีทางรู้ได้ว่ามีสัญญาณทริกเกอร์แล้ว สัญญาณนาฬิกาและจุดทริกเกอร์จึงไม่สอดคล้องกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเวลาระหว่างทริกเกอร์และทุกๆ สัญญาณนาฬิกาเปลี่ยนแปลงอย่างสุ่มจากรูปคลื่นที่ได้มา โครงสร้างของ RIS ใช้ TDC ในการวัดความสัมพันธ์และความแม่นยำของการได้มาของรูปคลื่น TDC มีการแก้ปัญหาเรื่องเวลามากกว่าการเว้นช่วงของเวลาของตัวอย่าง ดังนั้น RIS จะช่วยแสดงผลให้เห็นรายละเอียดที่ทรานเซียนดิเจอร์อย่างเฉียดฉิวพลาดไป RIS สามารถเลือกการบันทึกปริทริกเกอร์เช่นเดียวกับทรานเซียนดิเจอร์

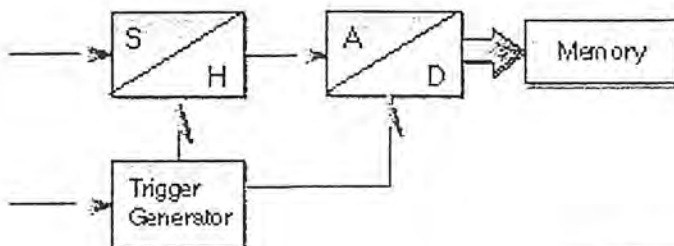


รูปที่ 2.9 ทรานเซียนดิเจอร์

ก. 199 MS/s ความกว้างพัลส์ 5 นาโนวินาที

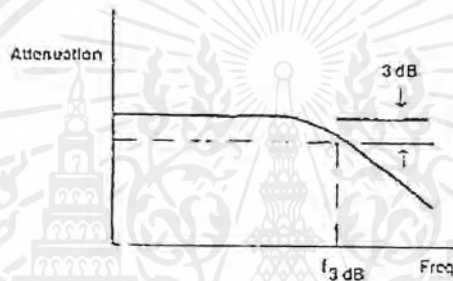
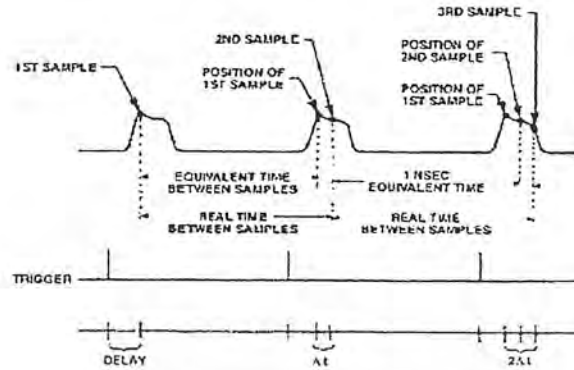
ข. 115 GS/s ความกว้างพัลส์ 5 นาโนวินาที

ดิิจิไคเซอร์การสุ่มตัวอย่าง (Sampling digitizer) ที่มีประสิทธิภาพประกอบด้วยส่วนหัวของการสุ่มตัวอย่าง อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (ADC) , หน่วยความจำรูปคลื่นและวงจรสัญญาณเวลา ส่วนหัวของการสุ่มตัวอย่างจะเก็บค่าศักดาไฟฟ้าและคงค่าไว้ ขณะที่อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่การแปลงเป็นตัวเลข ดิจิไคเซอร์การสุ่มตัวอย่างจะได้ 1 ตัวอย่างต่อทริกเกอร์ สำหรับแต่ละทริกเกอร์ตามลำดับ วงจรสัญญาณเวลาจะหน่วงเวลาจะทริกเกอร์จึงจุดตัวอย่าง เช่น สำหรับอัตราการสุ่ม 1 GS/s จุดตัวอย่างแรกจะอยู่ที่จุดทริกเกอร์จุดที่ 2 หน่วงไป 1 นาโนวินาที จุดที่ 3 หน่วงไป 2 นาโนวินาที เนื่องจากจุดตัวอย่างถูกหน่วงจากจุดทริกเกอร์ ดังนั้นดิิจิไคเซอร์การสุ่มตัวอย่างไม่สามารถบันทึกข้อมูลที่มีก่อนทริกเกอร์ได้



รูปที่ 2.10 บล็อกไดอะแกรมของดิิจิไคเซอร์การสุ่มตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 การลดทอนในแถบผ่าน

2.9 แบนวิดธ์และอัตราการสุ่มตัวอย่าง (Bandwidth and Sample rate)

แบนวิดธ์เป็นส่วนสำคัญที่ต้องระบุสำหรับดิจิไทเซอร์เช่นเดียวกับสโคปแบบอนาลอก การขยายข้อมูลที่ป้อนเข้าของดิจิไทเซอร์และการกรองเป็นตัวตัดสินกำหนดแบนวิดธ์ ขอบสัญญาณพัลส์ที่เร็วและจุดยอดของรูปคลื่นที่ฉับพลัน ประกอบด้วยส่วนประกอบสัญญาณความถี่สูงเพื่อที่จะบันทึกยอดและขอบของสัญญาณ ได้ถูกต้องแม่นยำ ดิจิไทเซอร์ต้องมีแบนวิดธ์เพียงพอที่จะผ่านสัญญาณความถี่สูงที่มีการลดทอนต่ำ

ต้องมีแบนวิดธ์เท่าใด เพื่อแสดงการขยายจุดยอดสัญญาณอย่างถูกต้องแม่นยำ แบนวิดธ์ของดิจิไทเซอร์ควรมีมากกว่าของแบนวิดธ์ของสัญญาณ ดังนั้นสิ่งแรกที่ต้องพิจารณาแบนวิดธ์ของสัญญาณโดยการประเมินค่าเวลาที่เพิ่มขึ้นเร็วกว่า สมมติผลตอบสนองต่อระบบมี โพลเดียว แบนวิดธ์ของสัญญาณจะเป็นดังนี้

2.9.1 แบบวัดของสัญญาณ 0.35/(10%-90% rise time)

แบบวัดของดิจิไทเซอร์แสดงความถี่ซึ่งถูกลดทอนลง 3 เดซิเบล การลดทอนนี้เกิดขึ้นอย่างค่อยเป็นค่อยไป เริ่มจากความถี่ต่ำกว่า ดังนั้นต้องเลือกดิจิไทเซอร์ซึ่งมีแบนวิธที่สูงกว่าของสัญญาณ ผลกระทบต่ออัตราการสุ่มตัวอย่างของแบบวัดที่ใช้

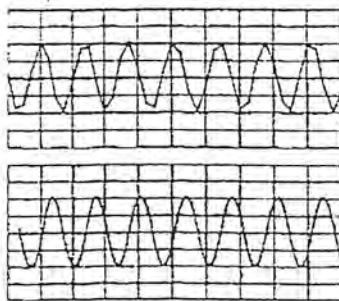
อัตราการสุ่มตัวอย่างของดิจิไทเซอร์สามารถลดแบบวัดที่ใช้ เพื่อให้แน่ใจว่าการสุ่มตัวอย่างที่ใช้เพียงพอ เราได้รับมา 4 ตัวอย่างต่อรอบกับการแทรก $\sin x/x$ หรือ 10 ตัวอย่างต่อรอบกับการแทรกเส้นตรง ถ้าเป็นสัญญาณทรานเซียนพิจารณารายละเอียดอัตราการสุ่มตัวอย่าง ซึ่งเกิดชอท (Single Shot) ถ้าเกิดซ้ำ ๆ หลายครั้งสามารถใช้อัตราการสุ่มที่เท่าๆ กันอย่างรวดเร็ว

ดิจิไทเซอร์ในอุดมคติที่ไม่มีสัญญาณรบกวนและให้สัญญาณจำกัด หลักการในควิสต์ (Nyquist Theorem) ต้องได้อย่างน้อย 2 ตัวอย่างต่อแต่ละลูกคลื่น อาจกล่าวอีกอย่างได้ว่าความถี่ข้อมูลป้อนเข้าที่สูงที่สุดห้ามเกินครึ่งหนึ่งของอัตราการสุ่มตัวอย่าง ขั้นตอนการสอดแทรก $\sin x/x$ สามารถจำลองสัญญาณข้อมูลป้อนเข้าในดิจิไทเซอร์อย่างแม่นยำถูกต้องเหมาะสมขั้นตอน $\sin x/x$ เหมาะกับส่วนโค้งระหว่างจุดตัวอย่างเพื่อแสดงรูปคลื่นที่เรียบ มีข้อเสียการสอดแทรก $\sin x/x$ สามารถขยายสัญญาณรบกวน เนื่องจากสัญญาณรบกวนมีอยู่ในสัญญาณจริงและในดิจิไทเซอร์ ดังนั้น $\sin x/x$ ควรจะใช้อย่างระมัดระวังโดยเฉพาะการสุ่มตัวอย่างเพียง 2 ตัวอย่างต่อลูกคลื่น

ขั้นตอน $\sin x/x$ จะสร้างโอเวอร์ซัวท์และพรีซัวท์บนขอบที่ไม่เป็นที่ต้องการด้วย ดังนั้นจึงต้องการตัวอย่างข้อมูลอย่างน้อย 2 อันบนขอบของสัญญาณ ผู้ใช้สามารถตรวจสอบจุดข้อมูลดิบที่ได้มาในสโคปโดยใช้แสดง $\sin x/x$

สำหรับการแทนรูปคลื่นที่แม่นยำกว่า ดิจิไทเซอร์ควรมันทีอย่างน้อย 4 จุดตัวอย่างต่อลูกคลื่นของส่วนประกอบของคลื่นไซน์ที่มีความถี่สูงสุด จุดตัวอย่างที่เพิ่มอัตราส่วนของสัญญาณต่อสัญญาณรบกวน สำหรับการสอดแทรก $\sin x/x$

การสอดแทรกเส้นตรงสามารถแสดงรูปคลื่นที่ถูกดองแม่นยำโดยปราศจากการขยายสัญญาณรบกวน เพื่อผลที่ดีจะต้องการอย่างน้อย 10 ตัวอย่างต่อลูกคลื่น



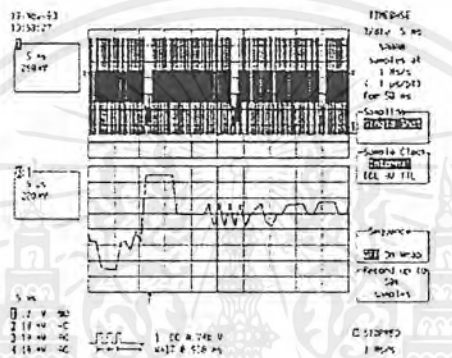
รูปที่ 2.12 สัญญาณไซน์ที่มี 25 ตัวอย่างต่อลูกคลื่นและการสอดแทรกแบบเส้นตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

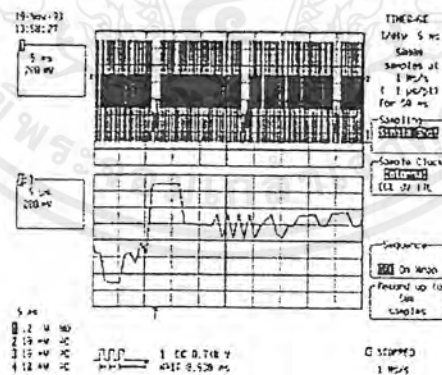
2.10 ประโยชน์ของหน่วยความจำที่ยาวในดิจิตอลสทอเรจออกซิลอสโคป

การเพิ่มความยาวของหน่วยความจำใน DSO นำมาซึ่งข้อได้เปรียบหลายอย่าง

1. ไม่สูญเสียข้อมูลของรูปคลื่น เนื่องจากอัตราการสุ่มถูกคลื่นที่มีประสิทธิภาพสูง
2. จับสัญญาณกลิทช์ได้โดยไม่ทำให้รูปคลื่นผิดรูปหรือบิดเบือนไป
3. ความละเอียดเรื่องความถี่และเวลาที่ดีกว่า
4. การจับที่เชื่อถือได้ของเหตุการณ์ซึ่งไม่สามารถได้ในเวลานั้น
5. ไม่เสียเวลาระหว่างเหตุการณ์แต่ละเหตุการณ์ที่ได้รับ



รูปที่ 2.13 การเก็บรายละเอียดสโคปหน่วยความจำ 2.5 M



รูปที่ 2.14 การเก็บรายละเอียดสโคปหน่วยความจำ 50K

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10.1 การเก็บรายละเอียด

รูปที่ 2.13 และ 2.14 แสดงรูปคลื่นเดียวกันโดยสโคปที่ต่างกัน อันแรกมีหน่วยความจำ 2.5 M และอันที่สอง 50 K การตัดสินใจที่ดีกว่าของสโคปที่มีหน่วยความจำมากกว่าสามารถเห็นได้จากการเปรียบเทียบส่วนขยายของรูปคลื่นในรูปที่ 2.13 กับการขยายในรูปที่ 2.14 ของสโคปที่มีหน่วยความจำน้อยกว่า สโคปที่มีหน่วยความจำมากกว่าจะแสดงรูปคลื่นที่ไม่บิดเบือน โดยตัวอย่างที่ชัดเจน

จากตัวอย่างแสดงให้เห็นผลของความยาวที่บันทึกบนอัตราการสุ่มตัวอย่าง สโคปทั้งสองแสดง 50msec ของข้อมูล ดังนั้น 50 KByte สโคปจะมีความเร็ว 1 MS/s และ 2.5 MByte สโคปจะมีความเร็ว 50 MS/s

ดังนั้นอัตราการสุ่มตัวอย่างเป็นหน้าที่โดยตรงของความยาวของหน่วยความจำ (จะเป็นจริงถึงขีดจำกัดของอัตราการสุ่มตัวอย่างสูงสุดของสโคป) ดังนั้นหน่วยความจำที่ยาวกว่าจะรักษาแบนด์วิดท์ไว้มากกว่าการตั้งเวลาต่อช่วงโดยปราศจากอะไรที่ครั้ง ๆ กลาง ๆ กับอัตราการสุ่มตัวอย่างที่ต่ำกว่า ถ้าสโคป 2 อันมีความสามารถอัตราการสุ่มตัวอย่างเหมือนกัน สำหรับรูปคลื่นสั้น ๆ ดิจิตอลสตอเรจออกสโคปที่มีหน่วยความจำยาวกว่าสามารถเก็บข้อมูลรูปคลื่นได้มากกว่าและให้แบนด์วิดท์มากกว่าสำหรับสัญญาณที่ยาวกว่า

2.10.2 การจับสัญญาณกลิทช์ถาวร

สโคปแสดงข้อมูลโดยวิธีที่ต่างกัน บางอันแสดงเฉพาะส่วนเล็กๆ ของหน่วยความจำบนจอหรือเลื่อนตำแหน่งบนจอเพื่อแสดงข้อมูลที่เหลือ การแสดงจุดที่วัดทั้งหมดบนจอโดยวิธีที่รูปคลื่นที่สามารถแสดงร่วมกัน นี่เป็นการใช้วิธีทำให้รวมกันและรับรองกลิทช์ การแสดงเป็นส่วนน้อย 1/8000000 ของรูปคลื่นที่แสดงจะถูกจับอย่างแม่นยำสม่ำเสมอ และแสดงผลเปรียบเทียบกับ สโคปซึ่งเชื่อถือได้ในการค้นพบจุดยอดเพื่อจับกลิทช์ ข้อมูลการค้นพบจุดยอดอาจจะมีประโยชน์ในการพิจารณา แต่มันจะให้ผลที่ไม่แน่นอน เพราะตลอดเวลาข้อมูลจะมีการเบี่ยง

ดิจิตอลสตอเรจออกสโคปบางอันจะมีส่วนสำหรับการค้นหาจุดยอดซึ่งอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล จะมีอัตราการสุ่มตัวอย่างเฉพาะจุดสูงสุดและต่ำสุดของค่าสัญญาณ และจะถูกนำไปเก็บไว้ในหน่วยความจำเราไม่สามารถรู้เวลาที่将会เกิดจุดยอด

2.10.3 การแก้ปัญหาเรื่องความถี่และเวลา

เปรียบเทียบสโคปในรูป 2.13 และ 2.14 สโคปอันแรกจะมีจุดตามแนวขวางมากกว่า 50 ครั้ง นั่นคือมีแฟลเคอร์ 50 : 1 การแก้ไขปัญหาด้านแกน X ที่ดีจะปรับปรุงความแม่นยำถูกต้องของการวัดความถี่ที่เวลาขณะใดๆ และผลนี้ก็จะช่วยปรับปรุงการแสดงทางด้านความถี่ด้วย เพราะว่าจำนวนของจุดที่แสดงตามแบบ FFT จะเท่ากับจำนวนจุดที่บันทึกต้นแบบ

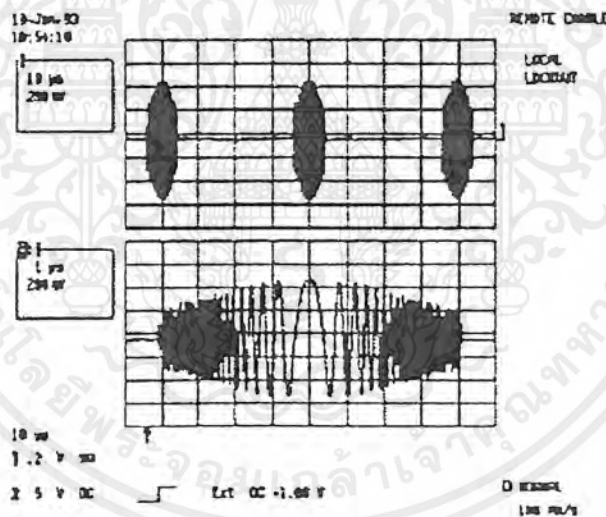
2.10.4 ความเชื่อถือได้ในการจับสัญญาณที่ไม่สามารถทำนายได้

เหตุการณ์ที่เกิดขึ้นบางเหตุการณ์อาจไม่สามารถทำนายได้ซึ่งเป็นการยากที่จะทริกเกอร์ได้ วิธีที่ง่ายคือใช้สโคปที่มีหน่วยความจำยาว ขบวนการพัลส์จะถูกจับและขยาย มีการทำความเข้าใจกับความผิดพลาดที่เกิดขึ้นและได้ใช้สมาร์ททริกเกอร์กับเหตุการณ์เฉพาะที่เกิดขึ้นนี้

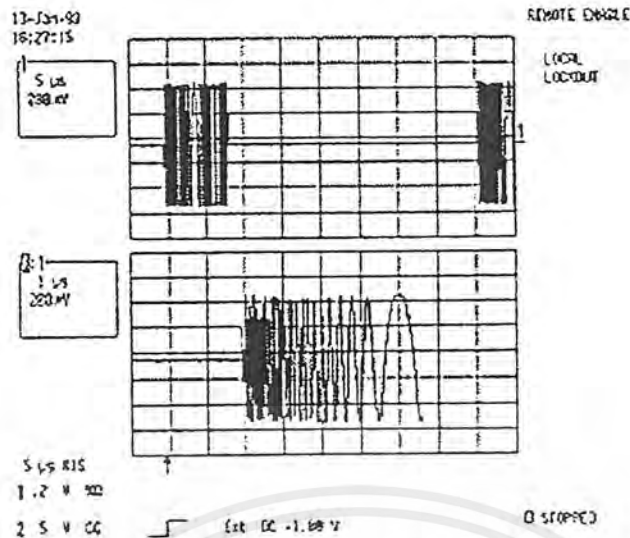
2.10.5 ไม่มีการสูญเสียเวลาระหว่างการรับข้อมูล

ช่วงเวลาระหว่างการได้มาจะมีช่วงเวลาที่แน่นอน ระหว่างช่วงเวลานี้สโคปมีหลายขบวนการที่แสดงเป็นปกติ เวลานี้ทำให้เกิดปัญหาเมื่อได้รับเหตุการณ์ต่อเนื่องเข้ามา จากตัวอย่างเป็นสัญญาณเบิร์สต์ต่อเนื่องตามรูปที่ 2.15 เพื่อความแม่นยำในการแสดงผลที่ต้องการอัตราการสุ่มตัวอย่างสัญญาณสูงสัมพันธ์กับช่วงระยะเวลา

รูปที่ 2.16 แสดงสัญญาณที่มีช่วงเวลาระหว่างสัญญาณเบิร์สต์ที่ยาวกว่า ซึ่งจะใช้เวลาแบ่งหน่วยความจำออกเป็นส่วนย่อยๆ ทำให้สามารถลดเวลาเหลือน้อยกว่า 10 ไมโครวินาที ดังนั้นสัญญาณเบิร์สต์ที่แสดงถูกเก็บเป็น 50 ส่วนๆละ 1 กิโลไบต์



รูปที่ 2.15 สัญญาณเบิร์สต์ต่อเนื่อง



รูปที่ 2.16 แสดงสัญญาณที่มีช่วงเวลาระหว่างสัญญาณเบิร์สที่ยาว

2.11 การแปลงสัญญาณอนาลอกเป็นดิจิตอล

อุปกรณ์ที่ทำหน้าที่แปลงสัญญาณอนาลอกเป็นดิจิตอล คือ ส่วนที่สำคัญมากในการนำเอาข้อมูลใดๆ เข้ามาในระบบคอมพิวเตอร์ ซึ่งประกอบด้วยหลักการพื้นฐานของการแปลงสัญญาณอนาลอกเป็นดิจิตอล เทคนิคของวงจรที่ใช้แปลงสัญญาณแบบต่าง ๆ

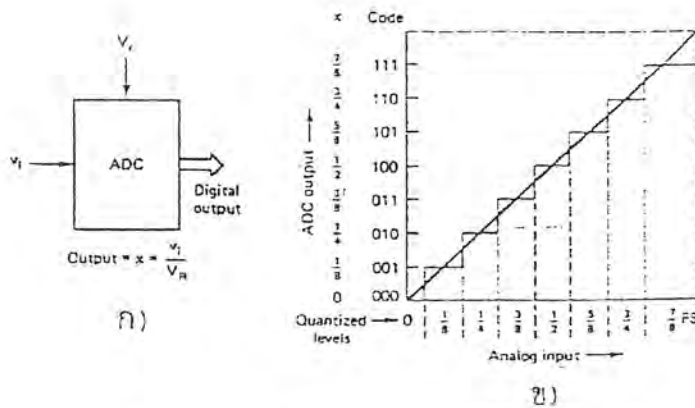
2.11.1 ความสัมพันธ์ของ อินพุต/Output

การแปลงสัญญาณอนาลอกเป็นดิจิตอล มีการทำงานที่เป็นอัตราส่วนกันเป็นหลัก โดยสัญญาณอนาลอกที่เข้ามา (V_i) ถูกทำให้อยู่ในรูปเศษส่วน X โดยการเปรียบเทียบกับแรงดันอ้างอิง (V_r) เอาท์พุตดิจิตอลของการแปลง คือ โค้ดที่แสดงเศษส่วนนี้ รูปที่ 3.1 ก แสดงได้ชัดเจนสำหรับความสัมพันธ์พื้นฐานนี้ ถ้าโค้ดประกอบด้วย n บิต จำนวนของระดับเอาท์พุตที่แตกต่างกัน เท่ากับ 2^n ทุกๆระดับ (Quantize) คือ ค่าอนาลอก

$$Q = \text{LSB} = \text{FS} / 2^n \quad (3.1)$$

เมื่อ Q คือ Quantize, LSB คือ Least-significant bit size ซึ่ง $Q = \text{LSB}$ และ FS คือ ระดับสัญญาณอินพุต Full-scale

ค่าของอนาลอกช่วงหนึ่งๆ จะถูกแทนด้วยโค้ดดิจิตอลเดียวกัน ซึ่งโดยทั่วไป ที่จุดกึ่งกลางของช่วงเรียกว่า จุดเริ่มหรือค่าที่แปลงได้ และสัญญาณอินพุตสามารถที่จะแตกต่างจากจุดเริ่มต้นนี้ เท่ากับ $\frac{1}{2} \text{LSB}$ โดยที่ยังคงแทนด้วยโค้ดดิจิตอลตัวเดิม ในรูป 2.17 (ข) แสดงถึงความสัมพันธ์นี้ได้ชัดเจน ซึ่งเป็น ADC ขนาด 3 บิต ขนาดของ LSB คือ $1/8 \text{FS}$ และอินพุตมีช่วงตั้งแต่ $-7/8 \text{FS}$ จำไว้ว่าขนาดของ Binary เอาท์พุตสูงสุด คือ 111 ไม่ใช่ที่ Full-scale แต่เป็น $7/8$ ของ Full-scale

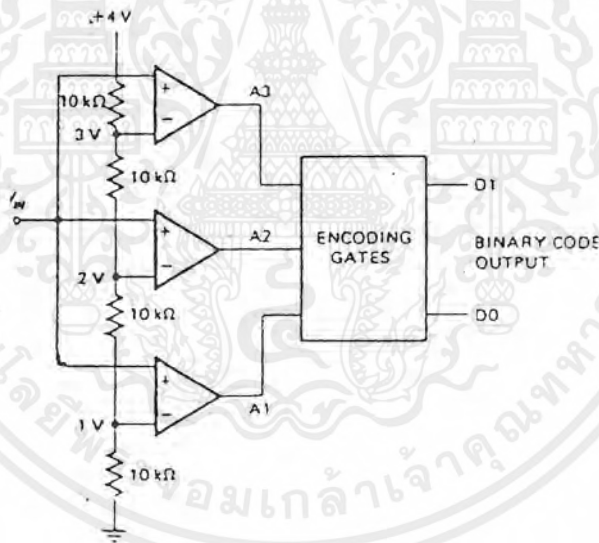


รูปที่ 2.17 การแปลงสัญญาณอนาลอกเป็นดิจิทัล

(ก) ความสัมพันธ์พื้นฐาน

(ข) คุณลักษณะของ ADC ขนาด 2 บิต

2.11.2 การแปลง A/D แบบขนาน (Parallel ADC)



รูปที่ 2.18 วงจรแปลง A/D แบบขนาน

จากรูปที่ 2.18 แสดงวงจรเบื้องต้นสำหรับตัวแปลง A/D ขนาด 2 บิต โดยใช้ตัวเปรียบเทียบขนานกัน ความต้านทานแบ่งแรงดันใช้เพื่อการตั้งค่าอ้างอิงที่ 1V - ของออปแอมป์ แรงดันที่จุดบนสุดของการแบ่งแรงดัน จะแทนค่าเต็มพิกัดสำหรับตัวแปลง A/D นี้ (3V) แรงดันดินพุตที่จะแปลงจะจ่ายเข้ามาที่ขา + ของออปแอมป์ ซึ่งเป็นการต่อเข้ามาแบบขนาน ถ้าหากแรงดันอินพุตมีค่ามากกว่าแรงดันอ้างอิงของตัวเปรียบเทียบ (ตัวนั้น) เอาต์พุตของตัวเปรียบเทียบ จะเปลี่ยนสถานะไปเป็นลอจิก “ 1 ” นั่นคือเอาต์พุตของตัวเปรียบเทียบ จะแทนระดับของสัญญาณอินพุตที่ป้อนเข้ามา เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

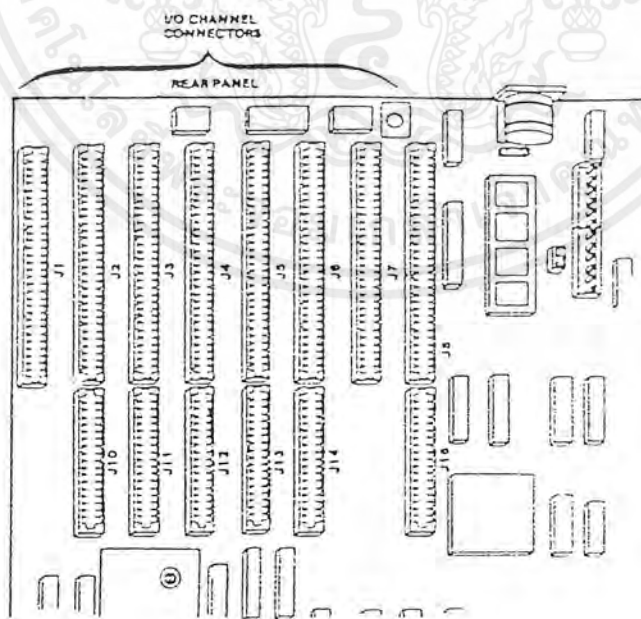
ตัวอย่างเช่นถ้าหากแรงดันอินพุตมีค่า 2.6V แรงดันเอาต์พุตของตัวเปรียบเทียบ A1 และ A2 จะมีระดับลอจิกเป็น “ 1 “ ซึ่งเป็นการแทนแรงดัน 2.6V ตัวเข้ารหัสจะทำให้ได้ค่าดิจิตอลเอาต์พุตออกมาดังรูป 2.17

ข้อดีของตัวแปลง A/D แบบขนานคือความเร็วในการแปลงจะสูงมากเราจะเรียกว่า Flash A/D เนื่องจากเอาต์พุตที่ได้จากตัวเปรียบเทียบไม่ใช้รหัสไบนารี แต่เราสามารถเปลี่ยนให้เป็นรหัสไบนารีได้โดยใช้ตัวเข้ารหัส ข้อเสียของมันก็คือ จะต้องใช้ตัวเปรียบเทียบจำนวนมากเมื่อขนาดความละเอียดของการแปลงสูงขึ้น (จำนวนบิตของการแปลง) จากตัวอย่างรูป 2.18 เป็นการแปลงขนาด 2 บิต ต้องใช้ตัวเปรียบเทียบจำนวน 3 ตัว ถ้าหากต้องการความละเอียดขนาด N บิต จะต้องใช้ตัวเปรียบเทียบ $(2^N - 1) = 255$ ตัว ดังนั้นราคาของ Flash A/D จึงมีราคาแพงมาก ตัวอย่างที่มีขายในปัจจุบัน ขนาดจะมีความเร็วในการแปลง 20 ns

2.12 การอินเตอร์เฟสกับคอมพิวเตอร์ IBM PC/AT

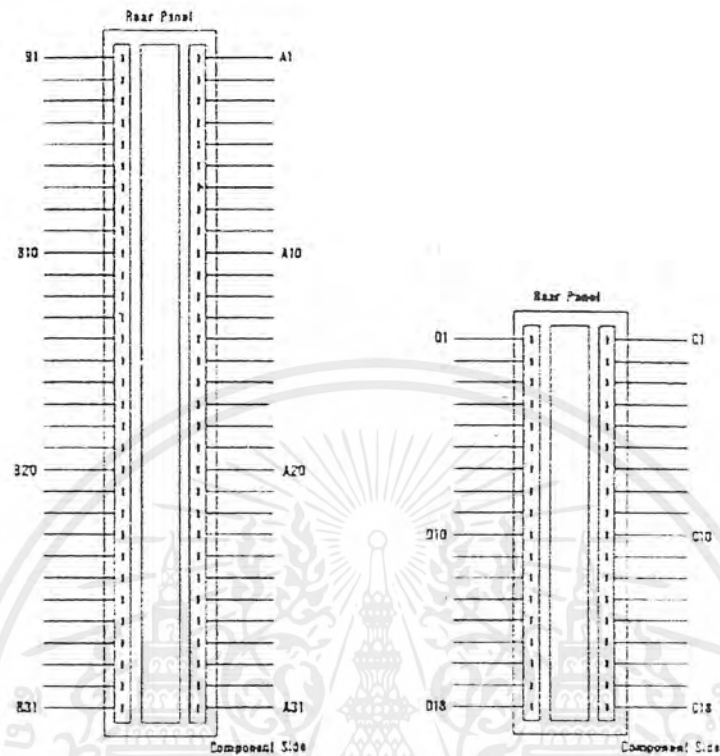
2.12.1 รายละเอียดของสัญญาณต่าง ๆ บนสล็อต

ภายในคอมพิวเตอร์ IBM PC/AT ได้มีการออกแบบให้สามารถเพิ่มเติมวงจรอินเตอร์เฟสโดยผ่านทางสล็อตที่อยู่บนเมนบอร์ด (MAIN BOARD) ซึ่งมีทั้งแบบ XT และ AT ดังแสดงในรูปที่ 2.19 จะเห็น ว่าแบบ XT มีทั้งสิ้น 62 ขา แบ่งเป็น 2 ข้าง ๆ ละ 11 ขา ส่วน AT มีทั้งหมด 98 ขา โดยแบ่ง เป็น 2 ชุด ชุดแรกมีรูปแบบ และส่วนชุดที่สองจะมี 36 ขา ข้างละ 18 ขา



รูปที่ 2.19 SYSTEM BOARD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 แสดงขาต่าง ๆ บนสล๊อต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1. ชื่อขาบนด้าน A และ B ของสล็อต

I/O PIN	SIGNAL NAME	I/O
A1	-I/O CH CK	I
A2	SD7	I/O
A3	SD6	I/O
A4	SD5	I/O
A5	SD4	I/O
A6	SD3	I/O
A7	SD2	I/O
A8	SD1	I/O
A9	SD0	I/O
A10	-I/O CH RDY	I
A11	AEN	C
A12	SA19	LC
A13	SA18	I/O
A14	SA17	I/O
A15	SA16	I/O
A16	SA15	I/O
A17	SA14	I/O
A18	SA13	I/O
A19	SA12	I/O
A20	SA11	I/O
A21	SA10	I/O
A22	SA9	I/O
A23	SA8	I/O
A24	SA7	I/O
A25	SA6	I/O
A26	SA5	I/O
A27	SA4	I/O
A28	SA3	I/O
A29	SA2	I/O
A30	SA1	I/O
A31	SA0	I/O

I/O PIN	SIGNAL NAME	I/O
B1	GND	GND
B2	RESET DRV	0
B3	+ 5 Vdc	POWER
B4	IRQ9	I
B5	- 5 Vdc	POWER
B6	DRQ2	I
B7	- 12 Vdc	POWER
B8	NO USE	NO USE
B9	+ 12 Vdc	POWER
B10	GND	GND
B11	-SMEMW	0
B12	-SMERW	0
B13	-IOW	I/O
B14	-IOR	I/O
B15	-DACK3	0
B16	DRQ3	I
B17	- DACK1	0
B18	DRQ1	I
B19	Refresh	I/O
B20	CLK	0
B21	IRQ7	I
B22	IRQ6	I
B23	IRQ5	I
B24	IRQ4	I
B25	IRQ3	POWER
B26	-DACK2	0
B27	T/C	0
B28	BALE	0
B29	+ 5 Vdc	POWER
B30	OSC	0
B31	GND	GND

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 ชื่อขาบนด้าน C และ D ของสล็อต

I/O PIN	SIGNAL NAME	I/O
C1	SBHE	I/O
C2	LA23	I/O
C3	LA22	I/O
C4	LA21	I/O
C5	LA20	I/O
C6	LA19	I/O
C7	LA18	I/O
C8	LA17	I/O
C9	-MEMR	I/O
C10	-MEMW	I/O
C11	SD08	I/O
C12	SD09	I/O
C13	SD10	I/O
C14	SD11	I/O
C15	SD12	I/O
C16	SD13	I/O
C17	SD14	I/O
C18	SD15	I/O

I/O PIN	SIGNAL NAME	I/O
D1	-MEM CS16	I
D2	-I/O CS16	I
D3	IRQ10	I
D4	IRQ11	I
D5	IRQ12	I
D6	IRQ13	I
D7	IRQ14	I
D8	-DACK0	O
D9	DRQ0	I
D10	-DACK5	O
D11	DRQ5	I
D12	-DACK6	O
D13	DRQ6	I
D14	-DACK7	O
D15	DRQ7	I
D16	+ 5 Vdc	POWER
D17	-MASTER	I
D18	GND	GROUND

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.12.2 เพาเวอร์ซัพพลาย

GROUND	ขาสัญญาณนี้ต่ออยู่กับกราวด์ของระบบเรกูเลเตอร์
+5V	ขาสัญญาณนี้ต่ออยู่กับไฟ DC เรกูเลเตอร์ +5 V
-5V	ขาสัญญาณนี้ต่ออยู่กับไฟ DC เรกูเลเตอร์ -5 V
+12V	ขาสัญญาณนี้ต่ออยู่กับไฟ DC เรกูเลเตอร์ +12 V
-12 V	ขาสัญญาณนี้ต่ออยู่กับไฟ DC เรกูเลเตอร์ -12 V

2.12.3 แอดเดรสบัสและสัญญาณต่างๆ ที่เกี่ยวข้อง

SAO-SA19 (1/0) เป็นแอดเดรสบัสที่ 0 ถึง 19 โดยที่ SAO มีนัยสำคัญต่ำที่สุด ขาสัญญาณนี้จะแอคทีฟเมื่อขาสัญญาณ BALE มีสถานะเป็น “1” และจะถูกแลตช์ไว้ตอนขอบขาของสัญญาณ BALE แอดเดรสทั้ง 20 บิต นี้สามารถอ้างหน่วยความจำได้ถึง 1 เมกะไบต์เมื่อใช้ร่วมกับ LA17-LA23 จะอ้างได้ถึง 16 เมกะไบต์

LA17-LA23 (1/0) ขาสัญญาณนี้จะแอคทีฟเมื่อขาสัญญาณ BALE มีสถานะเป็นลอจิก “1” แต่จะไม่มีการแลตช์ไว้ตอนขอบขาสัญญาณ BALE ดังนั้นถ้าอุปกรณ์ 1/0 ไม่มีการอ้างแอดเดรสเกิน 1 เมกะไบต์ ขาสัญญาณนี้ก็ไม่จำเป็นต้องใช้ แต่ถ้ามีการอ้างแอดเดรสเกินอุปกรณ์ 1/0 จะต้องทำการแลตช์สัญญาณนี้ โดยใช้ขอบขาของขาสัญญาณ BALE ร่วมกับขาสัญญาณ -MEMW และ -MEMR

AEN (0) “Address Enable” ขาสัญญาณนี้จะแอคทีฟเมื่อตัวควบคุม DMA ได้ทำการควบคุมบัสต่างๆ ของระบบแล้ว ดังนั้น การอ้างพอร์ทของอุปกรณ์ 1/0 จะต้องใช้สัญญาณนี้ในการติคัสด้วย เพื่อที่จะไม่ทำให้เกิดการติดต่อยกเว้นระหว่างระบบกับอุปกรณ์ 1/0 ตัวอื่น ยกเว้นที่ทำการขบวนการ DMA อยู่

BALE (0) “Address Latch Enable” ขาสัญญาณนี้ใช้ในการแสดงการเริ่มต้นของขบวนการต่างๆ ที่มีการติดต่อกับหน่วยความจำ โดยจะแอคทีฟเมื่อค่าแอดเดรสที่ CPU ต้องการติดต่อ ด้วยอยู่บนแอดเดรสบัสเรียบร้อยแล้ว ตามปกติขอบขาของสัญญาณนี้จะทำให้เกิดการแลตช์สัญญาณ SAO-SA19 และถ้ามีการอ้างแอดเดรสเกิน 1 เมกะไบต์ใน PC/AT จะใช้ขอบขาของสัญญาณนี้จะมีสถานะเป็น “1” ตลอด

SBHE (1/0) “Bus High Enable” เป็นขาสัญญาณที่ใช้แสดงว่ามีการรับส่งข้อมูลในบิตที่ SD8-SD15

2.12.3.1 คาต้าบัส

SD0-SD15 (1/0) สำหรับรุ่น AT จะมี SD0-SD15 เพิ่มขึ้นมาด้วย คือ คาต้าบิต 0 ถึง 7 สำหรับรุ่น XT และสำหรับรุ่น AT คือ คาต้าบิต 0 ถึง 15 โดยที่ SDO มีนัยสำคัญต่ำสุด สำหรับ AT ถ้ามีการติดต่อกับบิตที่ SD8-SD15 สามารถตรวจสอบได้จากสัญญาณ SBHE เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.12.3.2 สัญญาณอินเทอร์รัพท์

IRQ2 – IRQ7 (1) “Interrupt Request” เป็นขาสัญญาณอินเทอร์รัพท์ CPU สำหรับ IBM PC/AT ลำดับความสำคัญของสัญญาณ IRQ เป็นดังนี้ คือ 9,10,11,12,14,15,3,4,5,6 และ 7 โดย IRQ2 มีลำดับความสำคัญมากที่สุดและ IRQ7 มีลำดับความสำคัญน้อยที่สุดสำหรับ XT IRQ2 จะมีลำดับความสำคัญมากที่สุดตรง ๆ ลงไป คือ IRQ 3,4,5,6,7

โดยปกติ สัญญาณนี้จะมีสถานะเป็น “0” เสมอถ้าต้องการอินเทอร์รัพท์ CPU ให้ส่งพัลส์ที่มีลอจิก “1” ให้กับมันโดยไม่จำเป็นต้องคำนึงถึงคาบเวลาของพัลส์ ทั้งนี้ เพราะระบบของ IBM ตัวอินเทอร์รัพท์ คอนโทรลเลอร์ (8259 Interrupt Controller) จะถูกโปรแกรมให้ทำการตรวจสอบสัญญาณอินเทอร์รัพท์โดยใช้ขอบลงของสัญญาณนี้

I/O CH CK (1) “ I/O Channel Check” เป็นขาสัญญาณที่บอกถึงความผิดพลาดในการรับส่งข้อมูลซึ่งตรวจสอบจากพาริตีบิต ถ้าพาริตีบิตที่อ่านจากหน่วยความจำ กับพาริตีบิตที่สร้างขึ้นจาก ขบวนการรับส่งข้อมูลมีค่าไม่เท่ากันแสดงว่าเกิดความผิดพลาดในการรับส่งข้อมูล สัญญาณนี้จะทำให้เกิดการอินเทอร์รัพท์ CPU และ NMI เพื่อบอกให้ CPU แสดงข้อความบอกความผิดพลาดขึ้น และจะหยุดการทำงาน (Halt) เพื่อให้ผู้ใช้ตรวจสอบหาสาเหตุของการผิดพลาด

2.12.3.3 สัญญาณที่ใช้ในขบวนการ DMA

DRQ1 – DRQ3 (1) “DMA Request” เป็นขาสัญญาณที่ใช้ในการขอทำขบวนการ DMA (กรณีของ AT คือ DRQ0 – 3,5-7) โดยที่ DRQ0 มีลำดับความสำคัญมากที่สุด และสำหรับขาสัญญาณ DRQ7 จะมีลำดับความสำคัญน้อยที่สุดการขอทำ DMA ทำได้โดยให้ขาสัญญาณนี้มีสถานะเป็น “ 1 “ แล้วรอจนกระทั่งได้รับตอบสนองการทำ DMA จาก CPU โดยการตรวจสอบสัญญาณ DACK ที่ส่งออกมา

DACK-3 (0) “DMA Acknowledge” เป็นสัญญาณตอบสนองการขอทำ DMA ของอุปกรณ์ I/O ทราบว่าการทำขบวนการ DMA นั้น (สำหรับรุ่น AT จะเป็น DACK-3,5-7) ได้รับการตอบสนองแล้ว เช่น ถ้ามีการขอทำ DMA ผ่านทาง DRQ2 และเมื่อ CPU รับรู้แล้วจะทำให้สัญญาณ DACK2 แอคติฟ

REFRESH (0) “Memory Refresh” มีหน้าที่ใช้แสดงขบวนการรีเฟรชหน่วยความจำ เพราะไว้ใน PC/AT จะมีวงจรที่ใช้ในการรีเฟรชหน่วยความจำโดยตรวจอยู่แล้ว ดังนั้น จึงไม่จำเป็น

MASTER (1) “Mester” ขาสัญญาณนี้จะใช้ร่วมกับ DMA Request ในการเข้าควบคุมระบบบัส ในขบวนการ DMA โดยที่ตัว DMA คอนโทรลเลอร์จะส่งสัญญาณ DMA Request แล้วรอ จนกระทั่งได้รับการตอบสนองโดยสัญญาณ DACK เกิดการแอคติฟขึ้น แล้วจึงส่งสัญญาณนี้ให้กับ CPU จะทำให้แอดเดรสบัส คาต้าบัส และ คอนโทรลบัส เข้าสู่สถานะไทรสแตต หรือไฮอิมพีแดนซ์ หลังจากนั้น ตัว DMA คอนโทรลเลอร์จะต้องรออีกหนึ่งคาบสัญญาณคล็อกก่อนที่จะเข้าควบคุมบัสต่างๆ และจะต้องรออีก 2 ไซเคิล ก่อนที่จะทำการอ่านหรือเขียนข้อมูลช่วงเวลา ที่สัญญาณนี้

แอดดีฟไม่ควรเกิน 15 mS มิฉะนั้นข้อมูลภายในหน่วยความจำจะสูญหายไปได้นื่อง จากขาด สัญญาณรีเฟรชหน่วยความจำ

T/C (0) “Termenal Count” เป็นขาสัญญาณที่บอกอุปกรณ์ I/O ที่ทำ DMA นี้ควบจำนวน แล้วโดยจะส่งสัญญาณนี้เป็นพัลส์ให้กับอุปกรณ์ I/O

2.12.3.4 สัญญาณควบคุมต่างๆ

-SMEMR (0) ,-MEMR (I/O) “System Memory Read,Memory Read” ขาสัญญาณ เหล่านี้จะเป็นตัวบอกให้หน่วยความจำส่งข้อมูลออกมาที่ดาต้าบัส แต่สำหรับ AT สัญญาณ SMEMR จะแอดดีฟเมื่อเกิดการอ่านข้อมูลจากหน่วยความจำเป็นอยู่ภายใน 1 เมกกะไบท์ แรกเท่านั้น ส่วน MEMR สัญญาณนี้ไม่ใช่สัญญาณเดียวกันกับสัญญาณ MEMR ใน XT มันจะแอดดีฟก็ใน ทุกๆ ขบวนการอ่านข้อมูลที่เกิดขึ้น ไม่ว่าจะอยู่ในช่วงหน่วยความจำ 1 เมกกะไบท์แรกหรือไม่

-SMEMW (0) ,-MEMW (I/O) “System Memory , Memroy Write” ขาสัญญาณนี้จะเป็นตัว บอกให้หน่วยความจำเก็บข้อมูลจาก ดาต้าบัส แต่สำหรับ PC/AT สัญญาณ SMEMW จะแอดดีฟ เมื่อเกิดการเก็บข้อมูลจากหน่วยความจำที่อยู่ภายใน 1 เมกกะไบท์ แรกเท่านั้น ส่วน MEMW ขา สัญญาณนี้ไม่ใช่สัญญาณเดียวกันกับ สัญญาณ MEMW ใน XT มันจะแอดดีฟ ก็ใน ทุก ๆ ขบวนการ เก็บข้อมูลที่เกิดขึ้น ไม่ว่าจะอยู่ในช่วงหน่วยความจำ 1 เมกกะไบท์แรกหรือไม่

-IOR (/O) “I/O Read” เป็นขาสัญญาณที่บอกให้อุปกรณ์ I/O ที่ต่ออยู่ทำการส่งข้อมูลลงมา ที่ ดาต้าบัส

-IOW (I/O) “I/O Write” เป็นขาสัญญาณที่บอกให้อุปกรณ์ ที่ต่ออยู่ทำการเก็บข้อมูลจากดา ต้าบัสเข้าไป

RESET DRV (O) “Reset Driver” เป็นขาสัญญาณที่แอดดีฟตอนช่วงที่เราเริ่มจ่ายไฟให้กับ ระบบเพื่อใช้ในการรีเซต CPU และ อุปกรณ์ต่างๆ ในระบบคอมพิวเตอร์รวมทั้งอุปกรณ์ I/O ที่ต่อ อยู่ด้วย

-MEM CS16 (1) “Memory 16 Chip Select” เป็นขาสัญญาณที่ใช้บอกระบบให้ทราบว่า ต้องการรับส่งข้อมูลกับหน่วยความจำที่ละ 16 บิต ถ้าไม่ป้อนสัญญาณนี้การรับส่งข้อมูลจะทำ เหมือนกับ XT คือ ทำการรับส่งข้อมูลทีละ 8 บิต สองครั้งเพื่อให้ได้ข้อมูล 16 บิต

-I/O CS16 (1) “Memory 16 Chip Select” เป็นขาสัญญาณที่ใช้บอกระบบให้ทราบว่า ต้องการรับส่งข้อมูลกับอุปกรณ์ I/O ที่ละ 16 บิต ถ้าไม่ป้อนสัญญาณนี้การรับส่งข้อมูลจะทำเหมือน กับ XT คือ ทำการรับส่งข้อมูลทีละ 8 บิต สองครั้ง เพื่อให้ได้ข้อมูล 16 บิต

2.12.3.5 สัญญาณที่ใช้สร้าง Wait States

I/O CH RDY () “I/O Channel Ready” ขาสัญญาณนี้จะถูกทำให้แอกติฟโดยอุปกรณ์ I/O หรือหน่วยความจำที่ไม่สามารถทำงานได้ทันกับระบบ ดังนั้น จะต้องทำการหน่วงระบบให้ทำงานช้าลงด้วยการเพิ่ม Wait States โดยการทำให้สัญญาณนี้แอกติฟในช่วงเวลา I/O ได้รับสัญญาณจากการ คีโต์แอกเคเร , สัญญาณ MEMR , สัญญาณ MRMW , สัญญาณ IOR , สัญญาณ IOW

OVS (1) “Zero Wait State” การแอกติฟของขาสัญญาณนี้ จะบังคับไม่ให้เกิดการสร้าง Wait States ขึ้นได้ จะต้องขึ้นอยู่กับสัญญาณนี้ เช่น การทำงานในขบวนการอ่านเขียนข้อมูลขนาด 16 บิต โดยใช้ Wait States ทำโดยการสร้างสัญญาณ OVS จากสัญญาณการคีโต์แอกเคเรส และสัญญาณที่ใช้ในการอ่านหรือเขียน หรือการลด Wait States ในขบวนการอ่านเขียนข้อมูลขนาด 8 บิต ให้เหลือเพียง 2 Wait States ทำได้โดยให้สัญญาณ OVS แอกติฟหลังจากสัญญาณอ่านหรือเขียนไปแล้ว 1 คล็อก โดยปกติการขับสัญญาณนี้ควรใช้สวิตช์ที่มีแอ็ทพุท เป็นแบบ Open Collector ที่ทนกระแสได้ 20 mA (Sinking Current)

2.12.3.6 สัญญาณนาฬิกา

CLK (0) “System Clock” ใน PC/AT จะมีความถี่ประมาณ 6 MHz หรือในรุ่นใหม่ๆ อาจจะมีความถี่สูงถึง 15 MHz โดยปกติ ขาสัญญาณนี้มีควิต์ไซเคิล 50 % สำหรับ CPU เบอร์ 80286 ตัวกำหนดสัญญาณนาฬิกาที่ป้อนให้ จะมีความถี่เป็น 2 เท่าของความถี่ CPU ทำงานแต่ขาสัญญาณนี้ก็ยังควมีความถี่เท่ากับ CPU ทำงานอยู่เสมอ

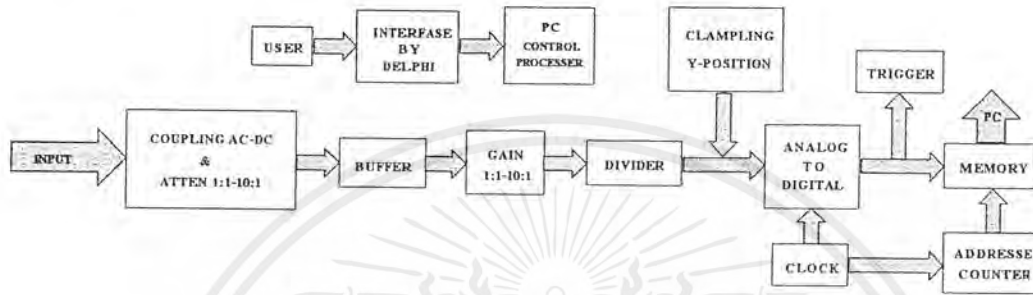
OSC (0) “OSCILLATOR” เป็นขาสัญญาณที่มีความถี่สูง คือ 14,318 MHz ความถี่ของสัญญาณนี้จะคงที่เสมอและจะไม่อิงโครน์กับสัญญาณอื่นๆ ในระบบ ดังนั้นจึงไม่ควรนำสัญญาณนี้ไปใช้เป็นสัญญาณคล็อกของอุปกรณ์ I/O ที่ต่ออยู่กับระบบ

บทที่ 3

การออกแบบและการทำงาน

ในบทนี้จะกล่าวถึงโครงสร้างของโครงการที่ได้ออกแบบไว้ และให้รายละเอียดของวงจรในแต่ละส่วนรวมทั้งซอฟต์แวร์ควบคุมการทำงานของระบบ

หลักการทำงานของ Scope Card

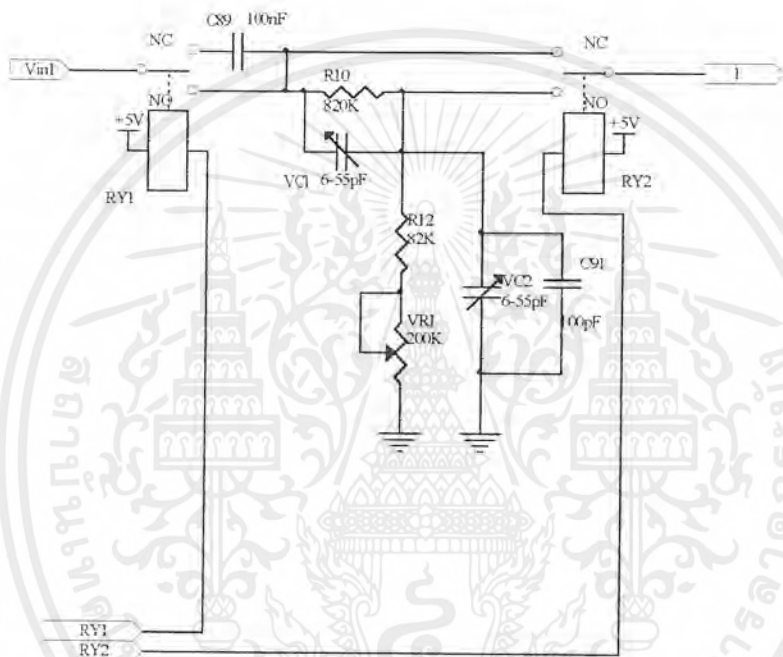


รูปที่ 3.1 บล็อกไดอะแกรมรวมของ Scope Card

สัญญาณอินพุตจะถูกต่อเข้าส่วนของการ Coupling จากนั้นจะ ผ่านมาเข้าวงจรลดทอนขนาดของสัญญาณอินพุต ที่วงจร Atten แล้วส่งไปยัง Buffer เพื่อเป็นตัวกันชนระหว่างวงจร Atten กับวงจรขยายสัญญาณ แล้วจะทำการขยายด้วย Amplifier เพื่อให้มีขนาดของสัญญาณที่เหมาะสมที่จะส่งให้ ADC โดยจะผ่านวงจร Divider ช่วยในการลดทอนอีกครั้งหนึ่ง โดยผู้ใช้เป็นผู้เลือกอัตราการลดทอนและอัตราขยายผ่านทาง Graphic User Interface (GUI) จะมีการปรับตำแหน่งทางแกนตั้งจากวงจร Y-Position เพื่อทำการปรับ Offset ให้สัญญาณที่เข้ามาเปลี่ยนแปลงอยู่ในช่วงที่ ADC ทำงานโดยไม่ผิดเพี้ยน และเลื่อนตำแหน่งทางแกนตั้งได้ จากนั้นสัญญาณจะถูกส่งต่อไปยังส่วนการแปลงข้อมูล(ADC)แล้วสัญญาณที่ออกจาก ADC ส่วนหนึ่งจะถูกส่งไปเปรียบเทียบกับข้อมูล ภายในวงจร Trigger เพื่อสร้างเป็นสัญญาณ trigger ไปควบคุม Address counter ซึ่งเป็นตัวชี้ตำแหน่งของหน่วยความจำ

3.1 ภาวเอเชีย / ดีซีคัปปลิง (AC/DC Coupling)

เมื่อมีสัญญาณ อินพุต เข้ามาจะผ่านส่วนของการเลือก เอเชีย/ดีซี คัปปลิง(AC/DC Coupling) กรณีที่เลือกเป็น DC Coupling จะทำให้องค์ประกอบกระแสตรงและองค์ประกอบกระแสสลับที่เข้ามาจะผ่านเข้าสู่วงจรลดทอนโดยตรงทั้งหมด(ถูกต้องในลักษณะ Direct Coupling)หากกรณีเลือกเป็น AC Coupling จะทำให้องค์ประกอบกระแสสลับของสัญญาณของสัญญาณเท่านั้นที่ถูกต่อสู่วงจรลดทอน ซึ่งจะถูกควบคุมโดยรีเลย์(Relay 1)



รูปที่3.2 แสดงวงจรการคัปปลิง(Coupling)และวงจรการลดทอน(Attenuator)

3.2 ภาววงจรลดทอน (Attenuator)

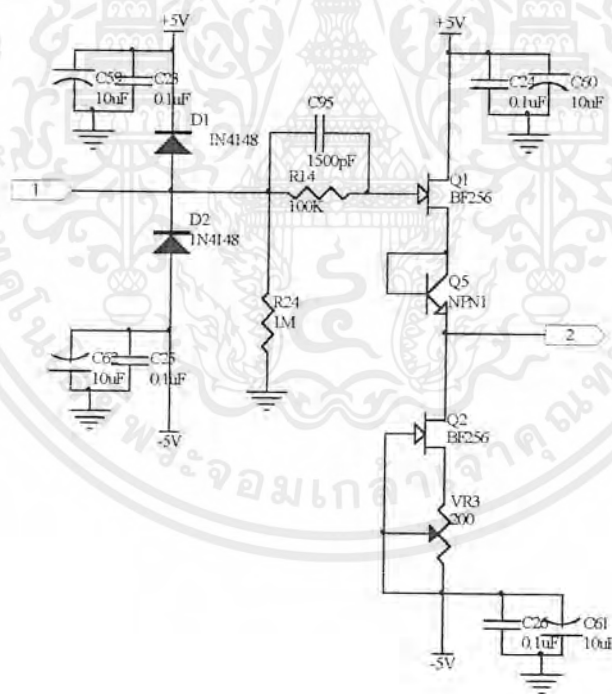
เมื่อมีสัญญาณอินพุตเข้ามาในส่วนของวงจรลดทอน มีขนาดใหญ่จึงมีความจำเป็นที่จะต้องทำการลดทอนขนาด ของสัญญาณอินพุต ที่ป้อนเข้ามาเนื่องจากสัญญาณอินพุต ที่เข้ามานี้จะต้องถูกนำไปเข้าในส่วนของวงจรแปลงสัญญาณ อนุลอกเป็นดิจิตอล ซึ่งไอซีที่ใช้จำกัดช่วงสัญญาณอินพุตอยู่ที่ช่วง 1.55-3.26 V ถ้ากรณีสัญญาณ อินพุตที่เข้ามามีขนาดน้อยกว่า1.55 V จะมีผลให้ที่เอาพุตของตัวแปลงสัญญาณอนุลอกเป็นดิจิตอล เป็น "0" หมดทุกบิต และกรณีที่สัญญาณมีขนาดใหญ่มากกว่า 3.26 V จะทำให้ที่เอาพุตที่ออกมาจากตัวแปลงสัญญาณอนุลอกเป็นดิจิตอลเป็น"1" หมดทุกบิต ซึ่งการใช้งานนอกช่วงดังกล่าวจะทำให้ได้เอาพุตที่ผิดเพี้ยนไป จึงจำเป็นที่จะต้องผ่านส่วนของวงจรลดทอน และเนื่องจากสัญญาณที่ทำการวัดมีย่านความถี่กว้างมากจึงต้องใช้วงจรลดทอนที่เป็นอิสระ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อความถี่ จึงใช้วงจรลดทอนแบบชดเชยทางความถี่(Compensated Attenuator) ที่เป็นลักษณะ RC Divider และยังต้องการอินพุตอิมพีแดนซ์ จะต้องคงที่เท่ากันทุกย่านการวัด จากวงจรลดทอน สัญญาณจะเป็น วงจรแบ่งแรงดันที่มีการชดเชยทางความถี่(Frequency Compensated Voltage Divider) มีส่วนลดทอน 2 ชุดด้วยกันคือ 1:1 และ 10:1 โดยจะใช้รีเลย์ 2(Relay2) เป็นตัวเลือกว่าจะเลือกตัวลดทอนชุดใด ซึ่งจะถูกกำหนดโดยการปรับ Vol/DIV โดยในการสั่งให้รีเลย์ทำงานจะต้องใช้ไอซีในการขับรีเลย์(ULN2803) ซึ่งจะรับอินพุตซีเล็คเตอร์มาจากคอมพิวเตอร์

ตารางที่ 3.1 แสดงการควบคุมการทำงานของรีเลย์

Coupling	Attenuator	Relay1	Relay2
AC	1:1	1	1
	10:1	1	0
DC	1:1	0	1
	10:1	0	0



รูปที่ 3.3 แสดงวงจรจำกัดแรงดันไฟเกินและวงจรบัฟเฟอร์(Buffer)

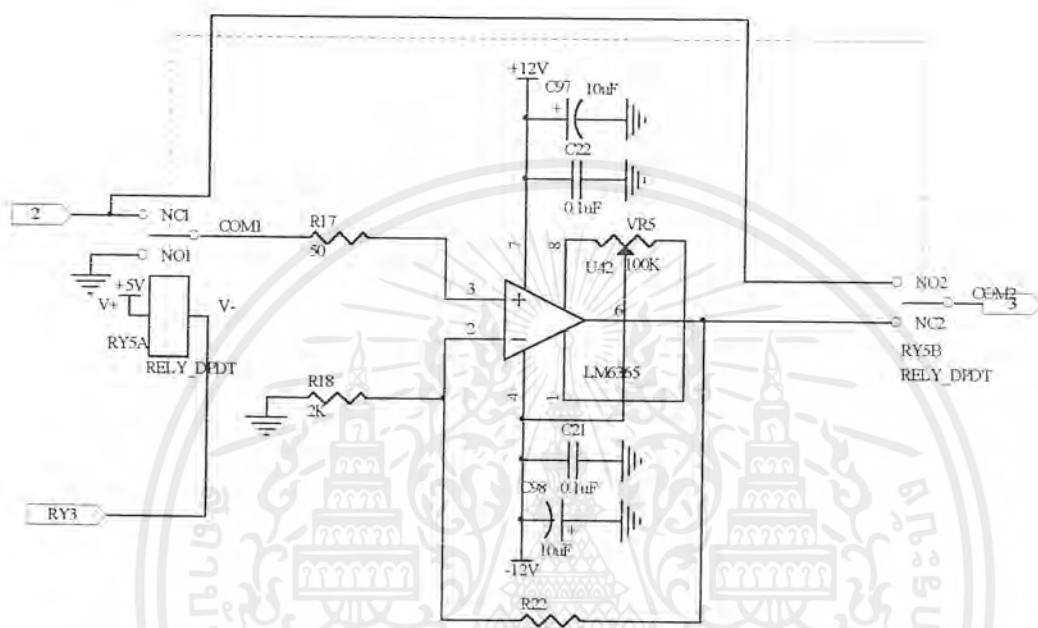
3.3 ภาคจำกัดแรงดันไฟเกิน และภาควงจรบัฟเฟอร์(Buffer)

เนื่องจากหากสัญญาณอินพุต มีขนาดใหญ่อาจจะทำให้วงจรเสียหาย ภาคจำกัดแรงดันไฟ อินพุตที่มีขนาดใหญ่ โดยใช้ไดโอดจำนวน 2 ตัวต่อในลักษณะรีเวอร์สไบอัสกับแรงดัน +5 V และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-5 V หากแรงดันอินพุตมีขนาดใหญ่ เกินที่กำหนดไว้จะมีผลทำให้ ไดโอด ทั้ง 2 ตัวได้รับ พอร์เวอร์สไบอัส

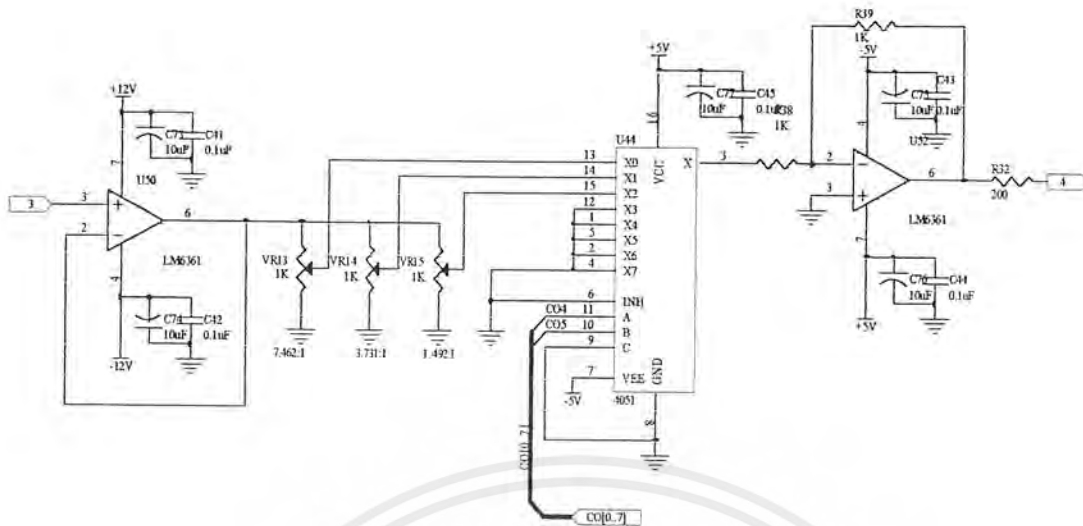
หลังจากที่สัญญาณผ่านการลดทอนสัญญาณมาแล้วจะผ่านวงจรบัฟเฟอร์ เพื่อปรับให้อินพุตอิมพีแดนซ์ให้มีค่าสูงขึ้นประมาณ 1 เมกะโอห์ม โดยใช้ เจ-เฟต จำนวน 2 ตัว ในตัวที่ 2 จะทำหน้าที่เป็นแหล่งจ่ายกระแสแสดงที่



รูปที่ 3.4 แสดงวงจรขยายสัญญาณทางแนวตั้ง

3.4 ภาววงจรขยายสัญญาณแนวตั้ง(Vertical Amplifier)

เมื่อสัญญาณอินพุตที่เข้ามามีขนาดเล็กจะต้องมีการขยายเพื่อให้สัญญาณอยู่ในช่วงที่ตัวแปลงสัญญาณอนาล็อกเป็นดิจิทัลสามารถทำงานได้โดยไม่มีการผิดเพี้ยน จึงต้องมีวงจรขยายสัญญาณ โดยอัตราขยายที่ได้ออกแบบไว้คงที่ 10 เท่า ในวงจรที่จะใช้วงจรขยายแบบ นอนอินเวอร์ส ดิ่ง(Non-inverting Amplifier) ในการเลือกอัตราขยายโดยคอมพิวเตอร์จะส่งสัญญาณมาเลือก ซึ่งขึ้นอยู่กับ การปรับ Vol/DIV โดยสามารถเลือกว่าจะให้วงจรมีอัตราขยายหรือไม่ โดยจะถูกควบคุมโดย รีเลย์ 3(Relay 3) และจากวงจรสามารถปรับแรงดัน ออฟเซต ของออปแอมป์ ได้โดยการปรับ VR3



รูปที่ 3.5 แสดงวงจรการปรับแต่งและการมัลติเพล็กซ์(Multiplex)

3.5 ภาคการปรับแต่งและการมัลติเพล็กซ์(Multiplex)

เนื่องจาก ตัวแปลงสัญญาณอนาล็อกเป็นดิจิทัล มีการทำงานในช่วง 1.55-3.26Volt ซึ่งในช่วงดังกล่าวถูกแบ่งออกเป็น 255 ระดับ ดังนั้นใน 1 ระดับจะมีความแตกต่าง $(3.26-1.55)/255 = 6.705 \text{ mV}$ ใน 1 ช่องของจอ Oscilloscope จะมี 20 ระดับ ดังนั้นใน 1 ช่องจะมีแรงดัน $(6.705\text{mV} \times 20) = 0.134 \text{ V}$ และจอของ Oscilloscope มีทั้งหมด 8 ช่อง จะได้ระดับแรงดันที่แสดงเต็ม 8 ช่อง คือ $(0.134 \times 8) = 1.072 \text{ Volt}$ ในการออกแบบเมื่อสัญญาณที่เข้ามามีระดับแรงดันสูงกว่า 1.072 Volt จะต้องทำการแบ่งแรงดันลงให้ได้ระดับที่คำนวณไว้จะได้ชุด Divider 3 ชุดคือ 7.462:1, 3.731:1 และ 1.492:1 โดยจะใช้ ไอซีมัลติเพล็กซ์ (74HC4051) ในการเลือกชุดแบ่งแรงดัน โดยคอมพิวเตอร์จะส่งสัญญาณมาเลือก ซึ่งขึ้นอยู่กับ การปรับ Vol/DIV ในการส่งผ่านจากภาควงจรขยายสัญญาณแนวตั้ง (Vertical Amplifier) มายังภาคการปรับแต่งและการมัลติเพล็กซ์ จะต้องมียัมเพอร์ในการส่งผ่านเพื่อแก้ปัญหาการ Loading Effect และในการส่งผ่านก็จำเป็นที่จะต้องมียัมเพอร์ในการส่งผ่านด้วยเพื่อแก้ปัญหาดังกล่าว โดยในการส่งต่อไปยังภาคต่อไปจะใช้วงจรขยายแบบอินเวอร์ตติ้ง (Inverting Amplifier) เพื่อเป็นการกลับสัญญาณ เพราะในส่วนของการรวมสัญญาณ จะใช้วงจร รวมสัญญาณ (Summing Amplifier) ซึ่งจะทำให้สัญญาณกลับเฟส

ตารางที่ 3.2 แสดงการควบคุมการทำงานของ Multiplex

อินพุต	Output
00	X0
01	X1
10	X2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.3 แสดงความสัมพันธ์ของย่านการวัดและการแบ่งแรงดัน

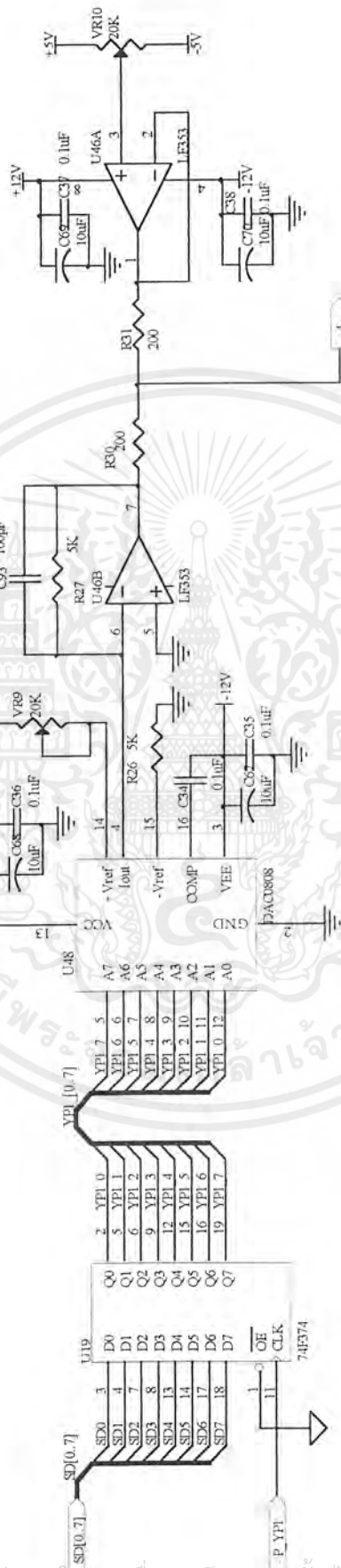
Volt/DIV	Gain	Volt to Buffer	Divider	Volt to Full Display
10	10:1	8	7.462	1.072
5	10:1	4	3.731	1.072
2	10:1	1.6	1.492	1.072
1	1:1	8	7.462	1.072
0.5	1:1	4	3.731	1.072
0.2	1:1	1.6	1.492	1.072
0.1	1:10	8	7.462	1.072
50m	1:10	4	3.731	1.072
20m	1:10	1.6	1.492	1.072

3.6 วงจรปรับระดับสัญญาณทางแนวตั้ง(Y-Position)

ในการปรับระดับสัญญาณเพื่อปรับออฟเซตให้ได้ค่าที่อยู่ระหว่างกลางช่วงการทำงานของตัวแปลงสัญญาณอนาล็อกเป็นดิจิทัลและใช้ในการเลื่อนตำแหน่งทางแนวตั้ง(Y-Position) จะใช้ไอซีแปลงสัญญาณดิจิทัลเป็นอนาล็อก(DAC0808) ในการรับข้อมูลขนาด 8 บิตจากการปรับตำแหน่งทางแนวตั้งจากคอมพิวเตอร์ โดยในการเลื่อนตำแหน่งแต่ละระดับจะเลื่อนครั้งละ 2 Pixel จะได้ว่าในการเลื่อน 1 ตำแหน่ง หรือ การเลื่อน 1 ระดับจะได้การเปลี่ยนแปลง 6.705 mV และเพื่อให้เลื่อนตำแหน่งได้ทั้งซีกบวกและซีกลบจะให้ที่ระดับ 128 มีค่าแรงดัน=2.405 V ซึ่งคือค่าแรงดันที่อยู่ตรงกึ่งกลางระหว่าง 1.55-3.26 V เพื่อที่สัญญาณที่เข้ามาจะเปลี่ยนแปลงอยู่ในช่วงดังกล่าว โดยที่ระดับ 0-128จะอยู่ในช่วงซีกลบ และที่ระดับ 128-255จะเป็นช่วงซีกบวก สามารถคำนวณค่าแรงดันที่เอาท์พุทได้จากสูตร

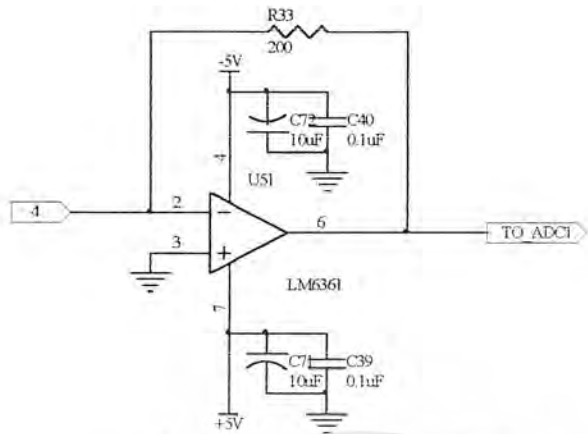
$$V(\text{out}) = K (A1/2 + A2/4 + A3/8 + \dots + A8/256)$$

โดยค่า K จะแปรผันกับแรงดันอ้างอิง(V_{ref}) ของไอซีแปลงสัญญาณดิจิทัลเป็นอนาล็อก และในการเลื่อนตำแหน่งทำได้โดยการกำหนดข้อมูลผ่านพอร์ท P_YPI(S303) คอมพิวเตอร์จะส่งค่าผ่าน ไอซี 19(74F374)ซึ่งเป็น ไอซีแลตช์



รูปที่ 3.6 แสดงวงจรปรับระดับสัญญาณทางแนวตั้ง(Y-Position)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงวงจรรวมสัญญาณ (Summing)

3.7 ภาครวมสัญญาณ (Summing)

เป็นวงจรรวมสัญญาณ 3 อินพุต คือ แรงดันจากวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก, วงจรยกระดับแรงดัน และจากการปรับแต่ง/การมัลติเพล็กซ์ (Multiplex) ซึ่งใช้วงจรรวมสัญญาณ อัตราขยายเท่ากับ 1

3.8 การกำหนดความถี่ในการสุ่ม (SAMPLING)

ภายในส่วนแสดงผลของสโคปประกอบด้วย ในแนวแกน X 400จุด เพราะฉะนั้นในย่าน วัด 1 μS จะต้องวัดสัญญาณ อินพุต ที่ความถี่ 1 MHz ได้จำนวน 10 ลูกคลื่นหรือจำนวน 10 μS 1 จุดคือ 1 ข้อมูลจากการสุ่ม (Sampling) เพราะฉะนั้นในเวลา 10 μS ได้ข้อมูลจากการสุ่ม 400 ครั้ง ทำให้ได้ความถี่ในการสุ่ม

$$F = \frac{1}{10\mu\text{S} \cdot 400}$$

$$= 40 \text{ MHz}$$

ในย่านการวัดอื่นๆ ก็จะใช้การคำนวณในลักษณะเดียวกัน

รูปที่ 3.8 แสดงวงจร CLOCK GENERATOR

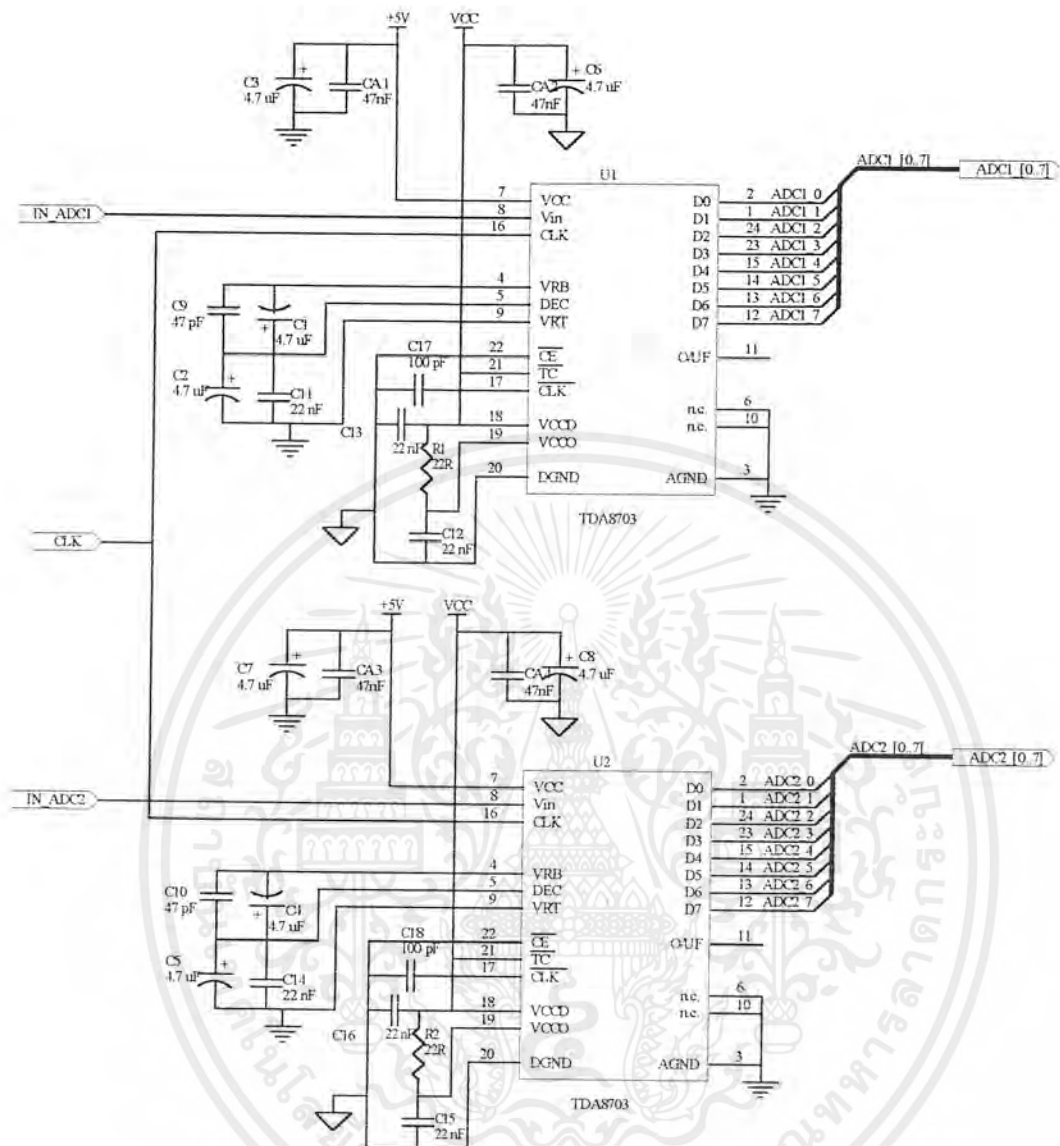
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9 ภาควงจรกำเนิดสัญญาณพิก้า(CLOCK GENERATOR)

วงจรถูกกำหนดความถี่จะใช้ ไอซี 25 (Modul crystal) กำเนิดความถี่หลัก 40 MHz จากนั้นจะใช้ ไอซี 10 (74F161) และ ไอซี 13D (74F04) ต่อเป็นวงจรรหาร 2, 5, 10 โดยการกำหนดข้อมูลที่ D_C0-D_C3 ส่วน ไอซี 21-ไอซี 24 (74HC160) เป็นไอซีวงจรรหาร 10 โดยจะทำการหาร 10, 100, 1K, 10K ตามลำดับ เอาท์พุทของวงจรรหารแต่ละตัวจะต่อเข้ากับ ไอซี 26 (74F151) เป็นตัวเลือกค่าสัญญาณเอาท์พุทจากการกำหนดข้อมูลที่ D_C4-D_C6 ส่วน D_C7 เป็นสัญญาณเปิด-ปิดสัญญาณนาฬิกา ค่าที่ใช้ในการควบคุม ใช้ พอร์ต P_CLK (30CH) ค่าจะถูกแลตซ์โดย ไอซี 15 (74F374)

ตารางที่ 3.4 ค่าความถี่ที่กำหนดโดย D_C7-D_C0

DATA	อัตราหาร	ย่านวัด	ความถี่
0000 1111	1	1 us	40 MHz
0001 1110	2	2 us	20 MHz
0001 1011	5	5 us	8 MHz
0001 0110	10	10 us	4 MHz
0010 1110	20	20 us	2 MHz
0010 1011	50	50 us	800 KHz
0010 0110	100	0.1 ms	400 KHz
0011 1110	200	0.2 ms	200 KHz
0011 1011	500	0.5 ms	80 KHz
0011 0110	1000	1 ms	40 KHz
0100 1110	2000	2 ms	20 KHz
0100 1011	5000	5 ms	8 KHz
0100 0110	10000	10 ms	4 KHz
0101 1110	20000	20 ms	2 KHz
0101 1011	50000	50 ms	800 Hz
0101 0110	100000	0.1 s	400 Hz

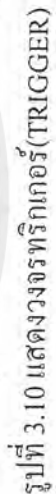


รูปที่ 3.9 แสดงวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (Analog to Digital Converter)

3.10 ภาควงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (Analog to Digital Converter)

วงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล ใช้ ไอซี 1 และ ไอซี 2 (TDA 8703) ซึ่งเป็นแบบ แฟลช (Flash ADC) มีความละเอียด 8 บิต และมีอัตราการสุ่ม (sampling) สูงสุด 40 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



3.11 ภาควงจร ทริกซ์เกอร์(TRIGGER)

วงจรถริกเกอร์จะเป็นส่วนเลือกค่าข้อมูลเริ่มต้นที่จะเก็บลงหน่วยความจำ จะใช้ ไอซี 39 และ ไอซี 40 (74F85) เปรียบเทียบข้อมูลจากวงจรถริกเกอร์แปลงสัญญาณอนาลอกเป็นดิจิตอล กับข้อมูลที่กำหนดขึ้นจากระดับ (TC0-TC7) ของทริกเกอร์ เมื่อข้อมูลจาก ADC มีค่ามากกว่าระดับเปรียบเทียบก็จะให้เอาต์พุตที่ขา 5 ของ ไอซี 40 เปลี่ยนจาก “0” เป็น “1” การเลือก ช่องของข้อมูลที่จะมาเปรียบเทียบ กับระดับการทริกซ์ ทำได้โดยการกำหนดข้อมูลที่ CO0 ถ้าเป็น “1” จะใช้ ช่องการแปลงสัญญาณที่ 1(จาก CH1) แต่ถ้าเป็น “0” จะใช้ช่องการแปลงสัญญาณที่ 2 (จาก CH2) ส่วน CO1 จะเป็นการกำหนดขอบในการทริกซ์ ถ้าเป็น “0” จะเป็นคอมบวคและถ้าเป็น “1” จะเป็นคอมลบ

ไอซี 37B, ไอซี 37C, ไอซี 37D และ ไอซี 13F ทำหน้าที่เป็นวงจรถริกเกอร์ในการทริกซ์ ระหว่างสัญญาณทริกซ์จากการเปรียบเทียบข้อมูลดังที่กล่าวมาแล้ว กับการสัญญาณทริกซ์โดยใช้ soft ware เพราะในสัญญาณที่มีความถี่ต่ำๆ เช่นสัญญาณ DC วงจรถริกซ์แบบเปรียบเทียบข้อมูล จะไม่สามารถสร้างสัญญาณทริกซ์ได้ ทำให้ไม่สามารถเก็บข้อมูลได้ จึงต้องใช้ soft ware ช่วยในการสร้างสัญญาณทริกซ์ ข้อมูลที่ใช้ในการเปรียบเทียบ (TC7-TC0) ถูกกำหนดผ่านพอร์ท P_TC (30DH)

3.12 ภาควงจร แอดเดรส เคาน์เตอร์ (Address Counter)

วงจรรีแอดเดรสเคาน์เตอร์ จะเป็นส่วนชี้ตำแหน่งของหน่วยความจำที่จะเก็บข้อมูล มีการทำงานแบ่งเป็น 2 โหมดดังนี้

โหมดการอ่านข้อมูลจาก หน่วยความจำภายนอก(RAM) ตัวคอมพิวเตอร มีการทำงานคือเมื่อให้สัญญาณ การอ่าน (RD) เป็น “0” จะเป็น โหมดของการอ่านข้อมูล โดยจะให้สัญญาณ $\overline{RD/WR} = “0”$ โดยกำหนดที่ CO3 และจะเป็นผลให้สัญญาณ $\overline{WE}$ เป็น “1” ในขณะเดียวกันก็จะตัดสัญญาณนาฬิกา โดย ไอซี 12A จากนั้นทำการ รีเซตวงจรนับ โดยการให้เอาต์พุต “0” ออกที่ SD1 ของพอร์ท P_COM1 (30FH) เพื่อให้ แอดเดรส เคาน์เตอร์ เริ่มที่ตำแหน่ง 0 แล้วทำการอ่านข้อมูล โดยจะเปลี่ยนตำแหน่งหน่วยความจำด้วยการให้พัลส์ที่ $\overline{CRD}$ โดยการให้เอาต์พุต “0” ออกที่ SD0 ของพอร์ท P_COM1 เมื่ออ่านครบตามจำนวนไบต์ ก็จะทำการรีเซตวงจรนับ จากนั้นจะเข้าสู่โหมดการเก็บข้อมูล

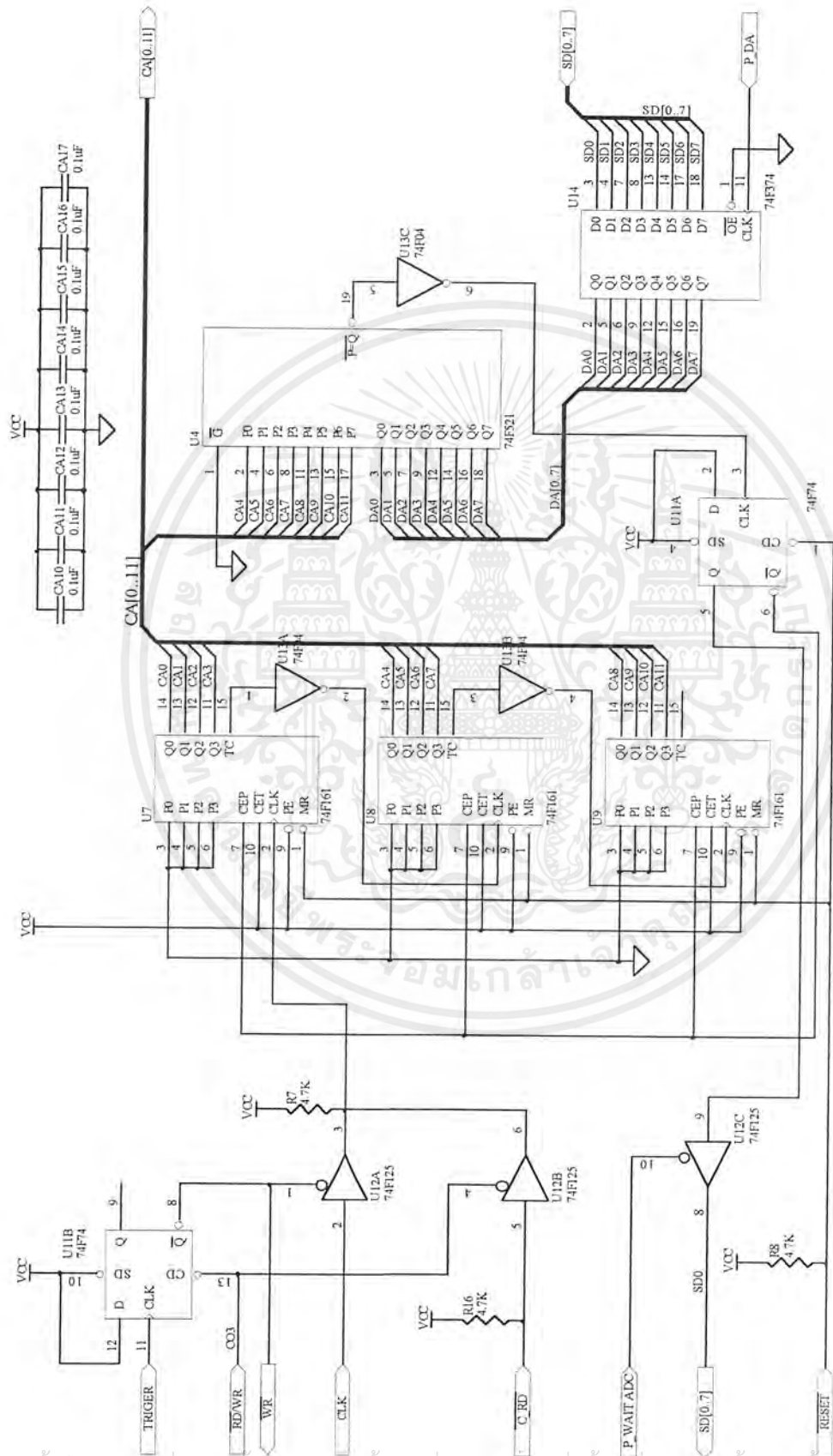
โหมดการเก็บข้อมูลจากวงจรถริกเกอร์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ตัวหน่วยความจำภายนอก โดยการให้สัญญาณการอ่าน(RD) เป็น “1” ซึ่งจะยังไม่ทำการต่อสัญญาณนาฬิกา ให้กับวงจรนับ ไอซี 7-ไอซี 9 (74F161) จนกว่าจะมีสัญญาณ ขอบขาขึ้นเข้ามาที่ อินพุตทริกซ์ (ขา CLK ของ ไอซี 11B) หลังจากนั้นวงจรนับ ก็จะนับจนครบตามจำนวนไบต์ที่กำหนด แล้วจะหยุดนับเพราะ ไอซี 11A จะส่งสัญญาณไปหยุดวงจรนับ พร้อมกับจะให้เอาต์พุต DIO เป็น 1 เพื่อแจ้งสถานะการเก็บข้อมูลเสร็จแล้ว

ซึ่งการกำหนดจำนวนไบต์ในการเก็บข้อมูล จะใช้ข้อมูล DA7-DA0 ทำการเปรียบเทียบกับ แอดเดรสเคอร์เซอร์(CA11-CA4) ใช้ ไอซี 4 (74F521) ในการเปรียบเทียบ เมื่อเคอร์เซอร์นับถึงไบต์ที่กำหนด ไอซี 4 จะให้เอาต์พุต ที่ขา 19 = "0" ผ่าน นอเทท (ไอซี 13C) ป้อนให้ขา CLK ของ ไอซี 11A (74F74) ทำให้เอาต์พุต $\overline{Q}$ มีสถานะเป็น "0" ไปทำการหยุดการนับของ ไอซี 7, ไอซี 8, ไอซี 9

3.13 หน่วยความจำ

วงจรหน่วยความจำจะใช้ ไอซีเบอร์ UM61256 2 ตัว เพื่อใช้เก็บข้อมูลช่องละ 1 ตัว ซึ่งจะชี้ตำแหน่งของหน่วยความจำโดยแอดเดรสเคอร์เซอร์ ผ่านทางไอซี 27 และไอซี 28 (74F244) เมื่อสัญญาณ $\overline{WE} = 1$ และ $\overline{RD} = 0$ จะเป็นโหมดของการอ่านข้อมูล ซึ่งจะทำกรอ่านทีละ 1 ช่อง(8 บิต) และเมื่อ อินพุต $\overline{WE} = 0$ และ $\overline{RD} = 1$ จะเป็นโหมดของการเก็บข้อมูล ซึ่งจะทำกรเก็บพร้อมกันทั้ง 2 ช่อง ผ่านบัฟเฟอร์ ไอซี 29 และ ไอซี 30

ไอซี 56 (74F08) ทำหน้าที่เป็น จิฟซีเลต เพื่อจะกำหนดให้หน่วยความจำภายนอกทำงานเฉพาะในช่วงลบของสัญญาณนาฬิกาเท่านั้น เป็นการแก้ปัญหาการหน่วงเวลา(Delay time) ของแอดเดรสเคอร์เซอร์



รูปที่ 3.11 แสดงวงจรแอสตีส คาานเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.12 แสดงวงจรหน่วยความจำ

3.14 ซอฟต์แวร์

ในส่วนซอฟต์แวร์ จะทำหน้าที่ควบคุมการทำงานของวงจรต่างๆที่กล่าวมาแล้ว โดยมีขั้นตอนการทำงานดังนี้



รูปที่ 3.13 แสดงลำดับขั้นตอนของซอฟต์แวร์

3.15 แหล่งจ่ายไฟ

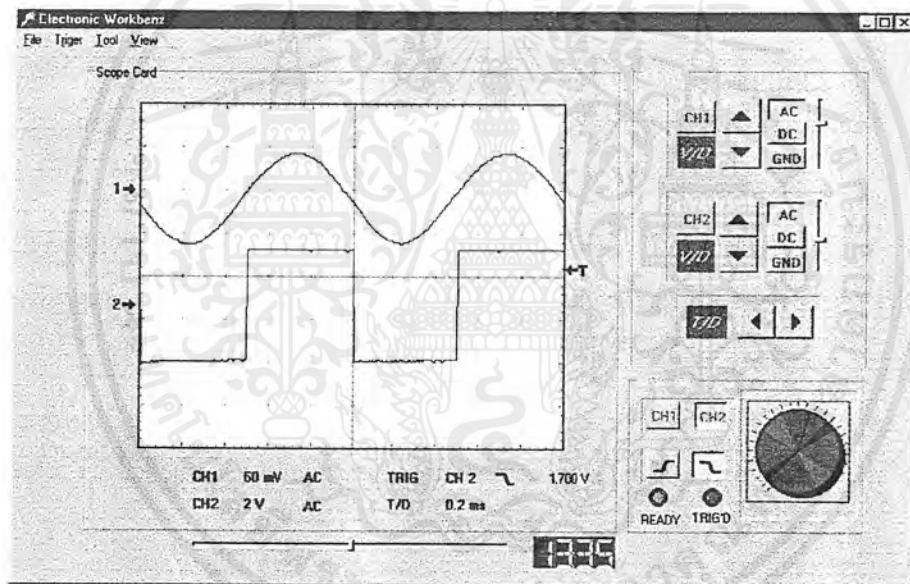
ตามแนวความคิดเดิมคือทุกส่วนของวงจรจะประกอบลงบนการ์ดเสียบบนสล็อตของ PC เพื่อประหยัดพื้นที่ของการติดตั้งและประหยัด จะใช้แหล่งจ่ายไฟของ PC เลี้ยงวงจรที่ออกแบบขึ้นทั้งหมด

บทที่ 4

การสร้างและทดสอบ

4.1 การสร้าง

หลังจากได้ออกแบบและทดลองวงจรในส่วนที่สำคัญ ได้แก่ ส่วนการลดทอน การขยาย การยกระดับสัญญาณ ส่วนการแปลงนาฬิกาเป็นดิจิทัล ส่วนการอินเทอร์เฟซและหน่วยความจำ และ เมื่อได้ผลตามที่ต้องการแล้วจึงนำวงจรที่ได้ทดลองไปทำการออกแบบลายวงจร แล้วประกอบวงจรลงบนแผ่นปริ้นท์ พร้อมเขียนโปรแกรม GUI และแสดงผลออกหน้าจอPCโดยมีฟังก์ชันการทำงานพื้นฐานของดิจิทัลลอจิกสไลโคป ในรูปที่ 4.1 แสดงหน้าจอขณะแสดงผลของ สไลโคปการ์ด จากนั้นทำการทดสอบคุณสมบัติโดยปฏิบัติดังต่อไปนี้

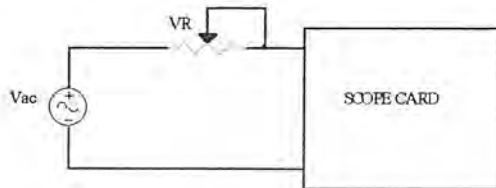


รูปที่ 4.1 แสดงหน้าจอขณะแสดงผลของ สไลโคปการ์ด

4.2 การทดสอบลักษณะสมบัติ

เนื่องจากข้อจำกัดของเวลาการทดสอบลักษณะสมบัติของสโคปการ์ดจะจำกัดที่บางอย่างที่สำคัญ ๆ เท่านั้น ได้แก่ อินพุตอิมพีแดนซ์ การแสดงผลในโหมด Single Trace และ Dual Trace การดูแบบตัวหรืออย่างคร่าว ๆ

4.2.1 การทดสอบวัดค่า อินพุตอิมพีแดนซ์ ของ สโคปการ์ด



รูปที่ 4.2 วงจรการวัดอินพุตอิมพีแดนซ์

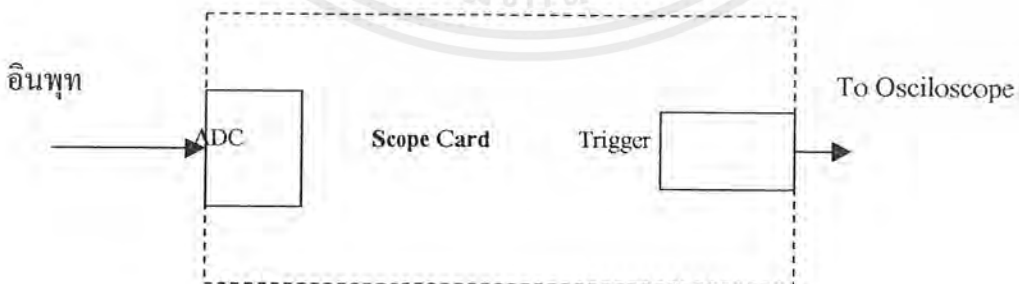
ใช้หลักการแบ่งครึ่งแรงดันที่ใช้ในการวัดอินพุตอิมพีแดนซ์ทั่วไปโดยต้องจอร์ตามรูปที่ 4.2 ป้อนสัญญาณอินพุตสัญญาณรูปไซน์ ความถี่ 1 KHz ขนาด $6 V_{pp}$ ปรับตัวต้านทานปรับค่าได้ (VR) จนขนาดแรงดันตกคร่อมอินพุตเป็น $3 V_{pp}$ อ่านค่าความต้านทานของ VR เป็นค่าอินพุตอิมพีแดนซ์ของ สโคปการ์ด

จากการทดสอบวัดค่า อินพุตอิมพีแดนซ์ ของแชนแนล 1 จะได้ค่า อินพุตอิมพีแดนซ์ **0.98 MΩ**

จากการทดสอบวัดค่า อินพุตอิมพีแดนซ์ ของแชนแนล 2 จะได้ค่า อินพุตอิมพีแดนซ์ **0.92 MΩ**

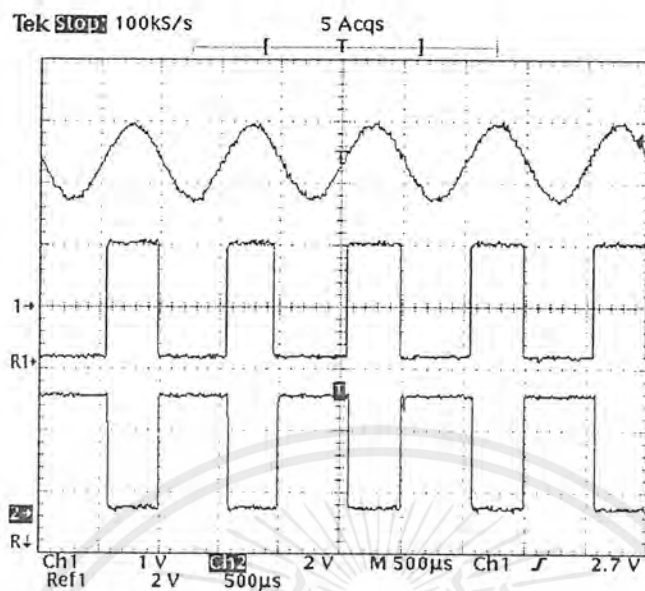
4.2.2 การทดสอบวงจรทริกเกอร์

ป้อนสัญญาณ อินพุต ความถี่ 1 KHz รูปคลื่นไซน์ ขนาด $600 mV_{pp}$ ใช้ ออสซิลอสโคป วัดสัญญาณที่เอาพุตของวงจรทริกเกอร์



รูปที่ 4.3 วงจรการทดสอบสัญญาณทริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

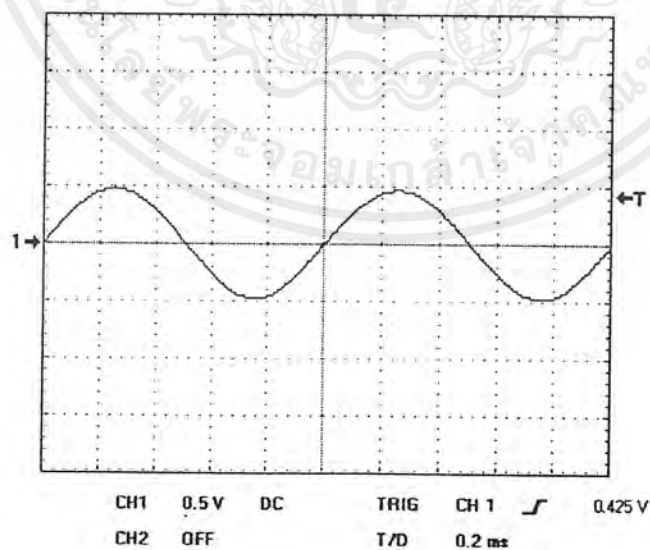


รูปที่ 4.4 แสดงสัญญาณทริกซ์เกอร์ สัญญาณอินพุต, สัญญาณทริกเกอร์คมบวก, สัญญาณทริกเกอร์คมลบ ตามลำดับ

4.2.3 การทดสอบการทำงานของ สโคปการ์ด

ใช้การทดสอบการแสดงรูปคลื่นของสัญญาณที่ทราบความถี่ ขนาด และ รูปคลื่น

1. ป้อนสัญญาณ อินพุตความถี่รูปไซน์ 1 KHz ขนาด 1 Vp-p ให้กับ CH1

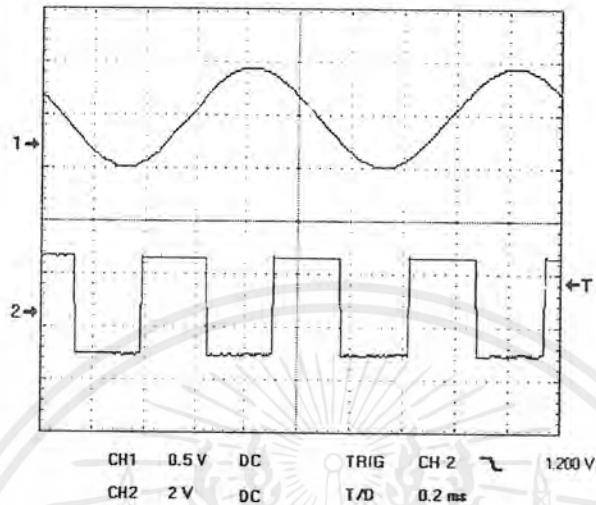


รูปที่ 4.5 แสดงผลการทดสอบแสดงสัญญาณรูปไซน์ความถี่ 1 KHz ขนาด 1 Vp-p

ค่าที่อ่านได้จาก Scope Card ความถี่ 1KHz ขนาด 1 Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ทดสอบการแสดงรูปคลื่นแบบสองรูปคลื่นพร้อมกันโดยป้อนสัญญาณอินพุตรูปซายน์ ความถี่ 1 KHz ขนาด 1 Vp-p ให้กับอินพุต CH1 และป้อนสัญญาณ อินพุตสี่เหลี่ยม ความถี่ 2 KHz ขนาด 4 Vp-p ให้กับอินพุต CH2

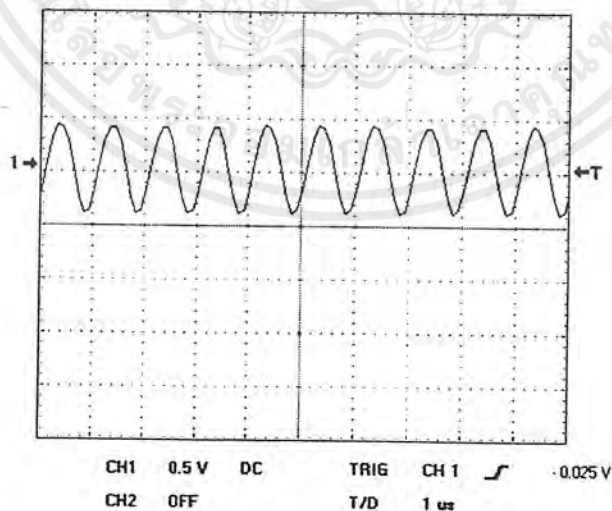


รูปที่ 4.8 ผลการทดสอบการแสดงรูปคลื่นสองรูปคลื่นพร้อมกันสองแชนแนล

ค่าที่อ่านได้จาก Scope Card CH1 ความถี่ 1 KHz ขนาด 1 Vp-p, CH2 ความถี่ 2 KHz ขนาด 5 Vp-p

4.2.3 การทดสอบ Bandwidth ของ สโคปการ์ด

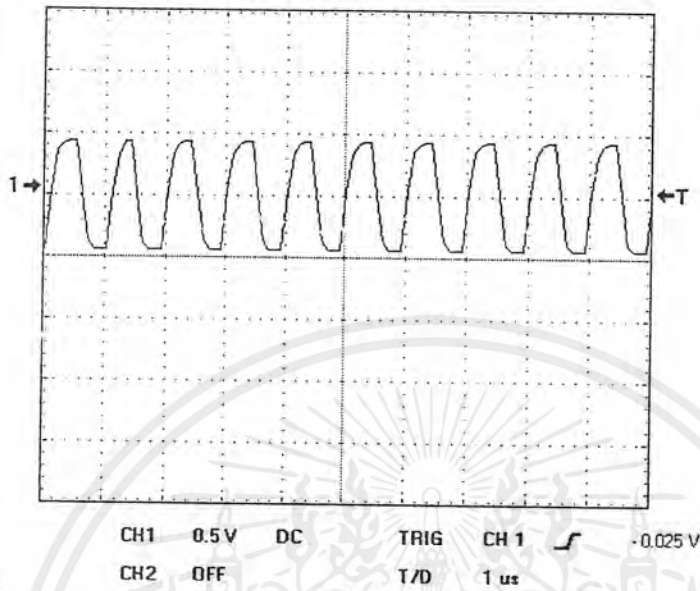
ใช้การทดสอบง่าย ๆ โดยใช้การสังเกตรูปคลื่นความถี่สูงสุดที่ได้กำหนดไว้เมื่อ ออกแบบไว้ในที่นี้คือ 1 MHz โดยใช้สัญญาณรูปซายน์ และสัญญาณสี่เหลี่ยมขนาด (Amplitude) 1 Vp-p



รูปที่ 4.9 ผลการทดสอบความถี่รูปซายน์ 1 MHz ขนาด 1 Vp-p

ค่าที่อ่านได้จาก Scope Card ความถี่ 1 KHz ขนาด 800 mVp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 ผลการทดสอบแสดงรูปคลื่นรูปสี่เหลี่ยม ความถี่ 1 MHz ขนาด 1 Vp-p
ค่าที่อ่านได้จาก Scope Card ความถี่ 1KHz ขนาด 900 Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุป

ได้กล่าวถึงความเป็นมาของโครงงานสโตร์การ์ดซึ่งเป็นส่วนหนึ่งของชุดทดลองอิเล็กทรอนิกส์บนไมโครคอมพิวเตอร์ หลังจากที่ได้ศึกษารวบรวมลักษณะสมบัติของออสซิลโลสโคปมาตรฐานที่ใช้งานอยู่ในปัจจุบันแล้ว จึงได้ออกแบบระบบที่จะนำมาสร้างต้นแบบซึ่งประกอบไปด้วยสองส่วนคือ ฮาร์ดแวร์ที่พื้นฐานคือ ดิจิตอลออสซิลโลสโคป การทำงานเกือบทุกส่วนจะอยู่ภายใต้การควบคุมของ PC ฟังก์ชันการใช้งานผู้ใช้สามารถตั้งงานผ่าน GUI โดยใช้เมาส์เป็นหลักซอฟต์แวร์เป็นอีกส่วนหนึ่งของระบบ ได้รับการพัฒนาโดยผู้เขียนบนภาษาแคลิไฟ บนระบบปฏิบัติการวินโดวส์

ข้อจำกัดของเวลาทำให้ได้ต้นแบบที่ยังไม่สมบูรณ์นักตามมาตรฐานของดิจิตอลออสซิลโลสโคป รวมทั้งการทดสอบลักษณะสมบัติของต้นแบบนี้ยังทำได้ไม่ครบทุกฟังก์ชัน

ปัญหาสำคัญที่พบระหว่างในการทดลองและสร้างต้นแบบนี้มาจากสัญญาณรบกวน (noise) ซึ่งมีทั้งสัญญาณรบกวนแบบไม่คงที่ และ สัญญาณรบกวนแบบคงที่

สัญญาณรบกวนแบบไม่คงที่

ส่วนใหญ่เกิดจากปัญหาการรบกวนจากกราวด์ ระหว่าง กราวด์ดิจิตอลกับกราวด์อนาล็อก ได้ทำการแก้ไขโดยการแยกกราวด์อนาล็อกและกราวด์ดิจิตอลออกจากกัน รวมทั้ง VCC ก็ต้องแยกเช่นเดียวกัน

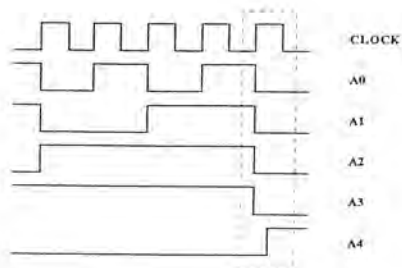
ในส่วนของวงจรดิจิตอลที่ขา VCC ของแต่ละตัวจะต่อดั้ว ตัวเก็บประจุ 0.1 μ F โดยจะวางให้ใกล้กับขา VCC มากที่สุด

ในส่วนของวงจรอนาล็อก ถ้ามีการลดทอนสัญญาณในอัตราส่วนที่มาก จะทำให้เกิดสัญญาณรบกวน จึงออกแบบวงจรโดยจะหลีกเลี่ยงการลดทอนอัตราสูงๆ รวมถึงการออกแบบแผ่นวงจรพิมพ์ จะให้เส้นทางเดินของสัญญาณสั้นที่สุด และควรมีขนาดใหญ่

สัญญาณรบกวนแบบคงที่

ปัญหาที่พบเกิดในส่วนของวงจรนับของแอดเดรสเคอร์เตอร์ เกิดการหน่วงเวลาของสัญญาณทำให้การกำหนดแอดเดรสผิดพลาด ดังรูป

แก้ไขโดยออกแบบวงจรให้ RAM ทำงานเฉพาะสัญญาณนาฬิกา ที่เป็นช่วงบวกเท่านั้น



รูปที่ 5.1 ความผิดพลาดของแอดเดรสเคาร์เตอร์

ย่านการวัดถูกจำกัดด้วยตัวอุปกรณ์ในส่วนของภาคอนาล็อกคือไม่สามารถตอบสนองความถี่ที่สูงมากได้ และปัญหาของ Slur rate ของตัวอุปกรณ์ ทำให้การใช้งานที่ความถี่สูงได้รูปของสัญญาณที่ผิดเพี้ยนความเป็นจริง

ในย่านการวัดที่มีอัตราสุ่ม 40 MHz รูปสัญญาณที่ปรากฏยังมีความผิดเพี้ยนเนื่องจากอุปกรณ์บางตัวในวงจรหารความถี่ที่ทำงานไม่ทัน ในย่านการวัดปกติพบว่าการวัดค่าแรงดันมีความผิดพลาด ทั้งนี้ขึ้นอยู่กับ การปรับแต่ง และในการวัดค่าความถี่พบว่าค่าที่วัดค่อนข้างแม่นยำ

จากการทดสอบวงจรทริกเกอร์จะพบว่า วงจรจะให้สัญญาณเข้าที่พุดเป็นพัลส์ สามารถปรับตำแหน่งการทริกซ์ได้จากการปรับขนาดของค่าระดับ และขอบในการทริกซ์ได้ และจากการทดสอบค่าความต้านทานด้านอินพุตพบว่ามีค่าประมาณ 1 MΩ

นอกจากนี้เนื่องจากข้อจำกัดของเทคโนโลยีการประกอบวงจรลงแผ่นวงจรพิมพ์ทำให้ขนาดของแผ่นวงจรมีขนาดใหญ่เกินกว่าที่จะเสียบลงบนสล็อตของ PC ได้โดยตรงจึงประกอบอยู่ภายนอกในกล่องอินพุต



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

TDA8703 8-bit high-speed analog-to-digital converter

Product specification
Supersedes data of April 1993
File under Integrated Circuits, IC02

1996 Aug 26

8-bit high-speed analog-to-digital converter

TDA8703

FEATURES

- 8-bit resolution
- Sampling rate up to 40 MHz
- High signal-to-noise ratio over a large analog input frequency range (7.1 effective bits at 4.43 MHz full-scale input)
- Binary or two's complement 3-state TTL outputs
- Overflow/underflow 3-state TTL output
- TTL compatible digital inputs
- Low-level AC clock input signal allowed
- Internal reference voltage generator
- Power dissipation only 290 mW (typical)
- Low analog input capacitance, no buffer amplifier required
- No sample-and-hold circuit required.

APPLICATIONS

- General purpose high-speed analog-to-digital conversion
- Digital TV, IDTV
- Subscriber TV decoder
- Satellite TV decoders
- Digital VCR.

GENERAL DESCRIPTION

The TDA8703 is an 8-bit high-speed Analog-to-Digital Converter (ADC) for video and other applications. It converts the analog input signal into 8-bit binary-coded digital words at a maximum sampling rate of 40 MHz. All digital inputs and outputs are TTL compatible, although a low-level AC clock input signal is allowed.

ORDERING INFORMATION

TYPE NUMBER	PACKAGE		
	NAME	DESCRIPTION	VERSION
TDA8703	DIP24	plastic dual in-line package; 24 leads (600 mil)	SOT101-1
TDA8703T	SO24	plastic small outline package; 24 leads; body width 7.5 mm	SOT137-1

8-bit high-speed analog-to-digital converter

TDA8703

QUICK REFERENCE DATA

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
V_{CCA}	analog supply voltage		4.5	5.0	5.5	V
V_{CCD}	digital supply voltage		4.5	5.0	5.5	V
V_{CCO}	output stages supply voltage		4.2	5.0	5.5	V
I_{CCA}	analog supply current		—	28	36	mA
I_{CCD}	digital supply current		—	19	25	mA
I_{CCO}	output stages supply current		—	11	14	mA
ILE	DC integral linearity error		—	—	± 1	LSB
DLE	DC differential linearity error		—	—	$\pm 1/2$	LSB
AILE	AC integral linearity error	note 1	—	—	± 2	LSB
B	−3 dB bandwidth	note 2; $f_{CLK} = 40$ MHz	—	19.5	—	MHz
f_{CLK}/f_{CLK}	maximum conversion rate	note 3	40	—	—	MHz
P_{tot}	total power dissipation		—	290	415	mW

Notes

1. Full-scale sinewave ($f_i = 4.4$ MHz; f_{CLK} ; $f_{CLK} = 27$ MHz).
2. The −3 dB bandwidth is determined by the 3 dB reduction in the reconstructed output (full-scale signal at input).
3. The circuit has two clock inputs CLK and $\overline{CLK}$. There are four modes of operation:
 - a) TTL (mode 1); $\overline{CLK}$ decoupled to DGND by a capacitor. CLK input is TTL threshold voltage of 1.5 V and sampling on the LOW-to-HIGH transition of the input clock signal.
 - b) TTL (mode 2); CLK decoupled to DGND by a capacitor. $\overline{CLK}$ input is TTL threshold voltage of 1.5 V and sampling on the HIGH-to-LOW transition of the input clock signal.
 - c) AC drive modes (modes 3 and 4); When driving the CLK input directly and with any AC signal of 0.5 V (peak-to-peak value) imposed on a DC level of 1.5 V, sampling takes place on the LOW-to-HIGH transition of the clock signal. When driving the $\overline{CLK}$ input with such a signal, sampling takes place on the HIGH-to-LOW transition.
 - d) If one of the clock inputs is not driven, then it is recommended to decouple this input to DGND with a 100 nF capacitor.

8-bit high-speed analog-to-digital converter

TDA8703

BLOCK DIAGRAM

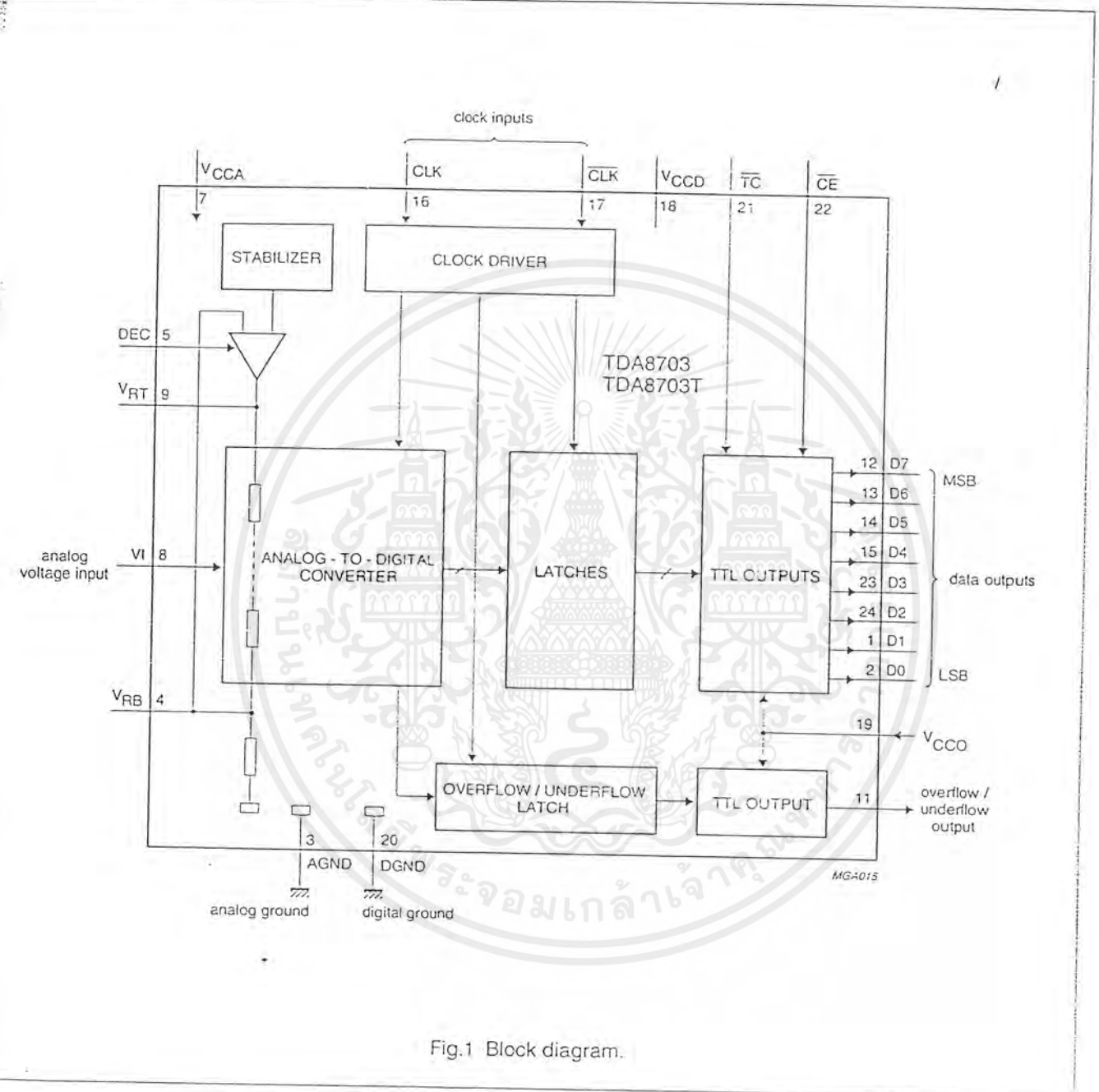


Fig.1 Block diagram.

8-bit high-speed analog-to-digital converter

TDA8703

PINNING

SYMBOL	PIN	DESCRIPTION
D1	1	data output; bit 1
D0	2	data output; bit 0 (LSB)
AGND	3	analog ground
V _{RB}	4	reference voltage bottom (decoupling)
DEC	5	decoupling input (internal stabilization loop decoupling)
n.c.	6	not connected
V _{CCA}	7	positive supply voltage for analog circuits (+5 V)
VI	8	analog voltage input
V _{RT}	9	reference voltage top (decoupling)
n.c.	10	not connected
O/UF	11	overflow/underflow data output
D7	12	data output; bit 7 (MSB)
D6	13	data output; bit 6
D5	14	data output; bit 5
D4	15	data output; bit 4
CLK	16	clock input
CLK̄	17	complementary clock input
V _{CCD}	18	positive supply voltage for digital circuits (+5 V)
V _{CCO}	19	positive supply voltage for output stages (+5 V)
DGND	20	digital ground
TC	21	input for two's complement output (TTL level input, active LOW)
CE	22	chip enable input (TTL level input, active LOW)
D3	23	data output; bit 3
D2	24	data output; bit 2

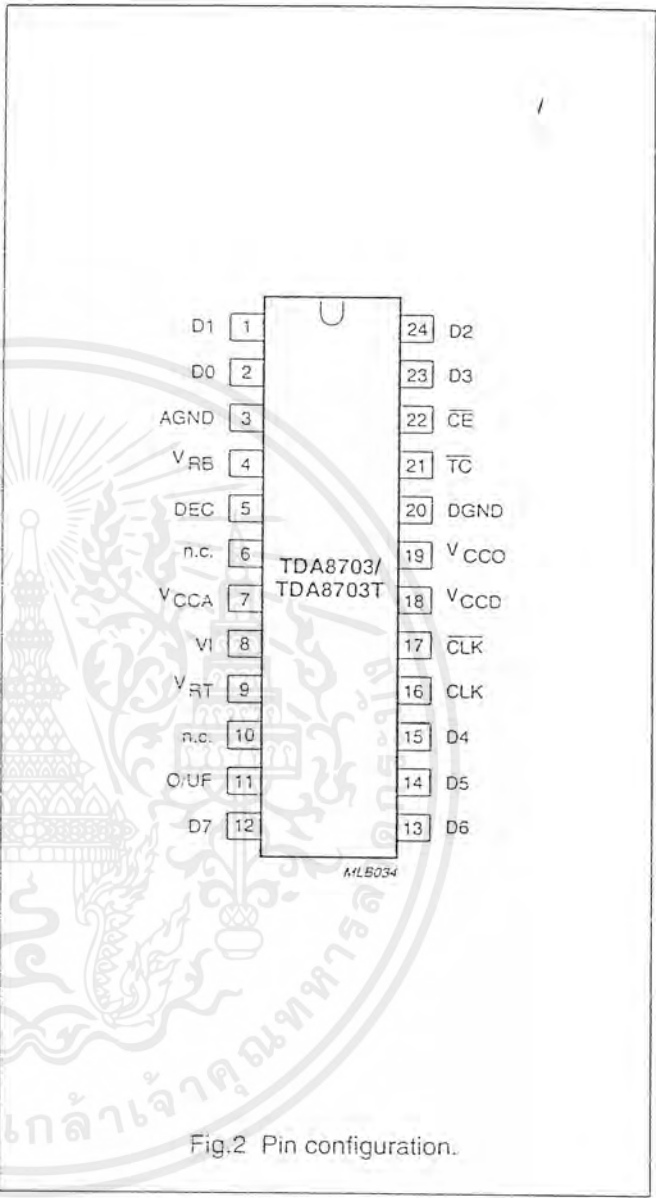


Fig.2 Pin configuration.

8-bit high-speed analog-to-digital converter

TDA8703

LIMITING VALUES

in accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{CCA}	analog supply voltage		-0.3	+7.0	V
V_{CCD}	digital supply voltage		-0.3	+7.0	V
V_{CCO}	output stages supply voltage		-0.3	+7.0	V
$V_{CCA} - V_{CCD}$	supply voltage differences		-1.0	+1.0	V
$V_{CCO} - V_{CCD}$	supply voltage differences		-1.0	+1.0	V
$V_{CCA} - V_{CCO}$	supply voltage differences		-1.0	+1.0	V
V_{VI}	input voltage range	referenced to AGND	-0.3	+7.0	V
$V_{CLK}/\overline{V_{CLK}}$	AC input voltage for switching (peak-to-peak value)	note 1; referenced to DGND	-	2.0	V
I_O	output current		-	+10	mA
T_{sig}	storage temperature		-55	+150	°C
T_{amb}	operating ambient temperature		0	+70	°C
T_j	junction temperature		-	+125	°C

Notes

- The circuit has two clock inputs CLK and $\overline{CLK}$. There are four modes of operation:
- a) TTL (mode 1); CLK decoupled to DGND by a capacitor. CLK input is TTL threshold voltage of 1.5 V and sampling on the LOW-to-HIGH transition of the input clock signal.
 - b) TTL (mode 2); $\overline{CLK}$ decoupled to DGND by a capacitor. $\overline{CLK}$ input is TTL threshold voltage of 1.5 V and sampling on the HIGH-to-LOW transition of the input clock signal.
 - c) AC drive modes (modes 3 and 4); When driving the CLK input directly and with any AC signal of 0.5 V (peak-to-peak value) imposed on a DC level of 1.5 V, sampling takes place on the LOW-to-HIGH transition of the clock signal. When driving the $\overline{CLK}$ input with such a signal, sampling takes place on the HIGH-to-LOW transition.
 - d) If one of the clock inputs is not driven, then it is recommended to decouple this input to DGND with a 100 nF capacitor.

HANDLING

Inputs and outputs are protected against electrostatic discharges in normal handling. However, to be totally safe, it is desirable to take normal precautions appropriate to handling integrated circuits.

THEMAL RESISTANCE

SYMBOL	PARAMETER	VALUE	UNIT
$R_{th\,j-a}$	from junction to ambient in free air		
	SOT101-1	55	K/W
	SOT137-1	75	K/W

8-bit high-speed analog-to-digital converter

TDA8703

CHARACTERISTICS

$V_{CCA} = V_7 - V_3 = 4.5 \text{ V to } 5.5 \text{ V}$; $V_{CCD} = V_{18} - V_{20} = 4.5 \text{ V to } 5.5 \text{ V}$; $V_{CCO} = V_{19} - V_{20} = 4.5 \text{ V to } 5.5 \text{ V}$; AGND and DGND shorted together; $V_{CCA} - V_{CCD} = -0.5 \text{ V to } +0.5 \text{ V}$; $V_{CCO} - V_{CCD} = -0.5 \text{ V to } +0.5 \text{ V}$; $V_{CCA} - V_{CCD} = -0.5 \text{ V to } +0.5 \text{ V}$; $T_{amb} = 0 \text{ }^{\circ}\text{C to } +70 \text{ }^{\circ}\text{C}$; unless otherwise specified (typical values measured at $V_{CCA} = V_{CCD} = V_{CCO} = 5 \text{ V}$ and $T_{amb} = 25 \text{ }^{\circ}\text{C}$).

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Supply						
V_{CCA}	analog supply voltage		4.5	5.0	5.5	V
V_{CCD}	digital supply voltage		4.5	5.0	5.5	V
V_{CCO}	output stages supply voltage		4.2	5.0	5.5	V
I_{CCA}	analog supply current		—	28	36	mA
I_{CCD}	digital supply current		—	19	25	mA
I_{CCO}	output stage supply current	all outputs LOW	—	11	14	mA
Inputs						
CLOCK INPUT $\overline{\text{CLK}}$ AND CLK (note 1; REFERENCED TO DGND)						
V_{IL}	LOW level input voltage		0	—	0.8	V
V_{IH}	HIGH level input voltage		2.0	—	V_{CCD}	V
I_{IL}	LOW level input current	$V_{CLK}/V_{\overline{\text{CLK}}} = 0.4 \text{ V}$	—400	—	—	μA
I_{IH}	HIGH level input current	$V_{CLK}/V_{\overline{\text{CLK}}} = 0.4 \text{ V}$	—	—	100	μA
		$V_{CLK}/V_{\overline{\text{CLK}}} = V_{CCD}$	—	—	300	μA
Z_i	input impedance	$f_{CLK}/f_{\overline{\text{CLK}}} = 10 \text{ MHz}$	—	4	—	k Ω
C_i	input capacitance	$f_{CLK}/f_{\overline{\text{CLK}}} = 10 \text{ MHz}$	—	4.5	—	pF
$V_{CLK} - V_{\overline{\text{CLK}}}$	AC input voltage for switching (peak-to-peak value)	note 1; DC level = 1.5 V	0.5	—	2.0	V
$\overline{\text{TC}}$ AND $\overline{\text{CE}}$ (REFERENCED TO DGND)						
V_{IL}	LOW level input voltage		0	—	0.8	V
V_{IH}	HIGH level input voltage		2.0	—	V_{CCD}	V
I_{IL}	LOW level input current	$V_{IL} = 0.4 \text{ V}$	—400	—	—	μA
I_{IH}	HIGH level input current	$V_{IH} = 2.7 \text{ V}$	—	—	20	μA
V_I (ANALOG INPUT VOLTAGE REFERENCED TO AGND)						
$V_{VI(B)}$	input voltage (bottom)		1.33	1.41	1.48	V
$V_{VI(0)}$	input voltage	output code = 0	1.455	1.55	1.635	V
$V_{OS(B)}$	offset voltage (bottom)	$V_{VI(0)} - V_{VI(B)}$	0.125	—	0.155	V
$V_{VI(T)}$	input voltage (top)		3.2	3.36	3.5	V
$V_{VI(255)}$	input voltage	output code = 255	3.115	3.26	3.385	V
$V_{OS(T)}$	offset voltage (top)	$V_{VI(T)} - V_{VI(255)}$	0.085	—	0.115	V
$V_{VI(p-p)}$	input voltage amplitude (peak-to-peak value)		1.66	1.71	1.75	V
I_{IL}	LOW level input current	$V_{VI} = 1.4 \text{ V}$	—	0	—	μA
I_{IH}	HIGH level input current	$V_{VI} = 3.6 \text{ V}$	60	120	180	μA
Z_i	input impedance	$f_i = 1 \text{ MHz}$	—	10	—	k Ω
C_i	input capacitance	$f_i = 1 \text{ MHz}$	—	14	—	pF

8-bit high-speed analog-to-digital converter

TDA8703

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Reference resistance						
R_{ref}	reference resistance	V_{RT} to V_{RB}	—	220	—	Ω
Outputs						
DIGITAL OUTPUTS (D7 - D0) (REFERENCED TO DGND)						
V_{OL}	LOW level output voltage	$I_O = 1 \text{ mA}$	0	—	0.4	V
V_{OH}	HIGH level output voltage	$I_O = -0.4 \text{ mA}$	2.7	—	V_{CCD}	V
I_{OZ}	output current in 3-state mode	$0.4 \text{ V} < V_O < V_{CCD}$	-20	—	+20	μA
Switching characteristics (note 2; see Fig.3)						
$f_{CLK}/f_{\overline{CLK}}$	maximum clock frequency		40	—	—	MHz
Analog signal processing ($f_{CLK} = 40 \text{ MHz}$)						
B	-3 dB bandwidth	note 3	—	19.5	—	MHz
G_d	differential gain	note 4	—	0.6	—	%
ϕ_d	differential phase	note 4	—	0.8	—	deg
f_1	fundamental harmonics (full-scale)	$f_i = 4.43 \text{ MHz}$	—	—	0	dB
f_{all}	harmonics (full-scale), all components	$f_i = 4.43 \text{ MHz}$	—	-55	—	dB
SVRR1	supply voltage ripple rejection	note 5	—	-28	-25	dB
SVRR2	supply voltage ripple rejection	note 5	—	1	2.5	%/V
Transfer function						
ILE	DC integral linearity error		—	—	± 1	LSB
DLE	DC differential linearity error		—	—	$\pm 1/2$	LSB
AILE	AC integral linearity error	note 6	—	—	± 2	LSB
EB	effective bits	$f_i = 4.43 \text{ MHz}$	—	7.1	—	bits
Timing (note 7; see Figs 3 to 6; $f_{CLK} = 40 \text{ MHz}$)						
t_{oS}	sampling delay		—	—	2	ns
t_{HD}	output hold time		6	—	—	ns
t_{dLH}	output delay time	LOW-to-HIGH transition	—	8	10	ns
t_{dHL}	output delay time	HIGH-to-LOW transition	—	16	20	ns
t_{dZH}	3-state output delay times	enable-to-HIGH	—	19	25	ns
t_{dZL}	3-state output delay times	enable-to-LOW	—	16	20	ns
t_{dHZ}	3-state output delay times	disable-to-HIGH	—	14	20	ns
t_{dLZ}	3-state output delay times	disable-to-LOW	—	9	12	ns

8-bit high-speed analog-to-digital converter

TDA8703

Notes

1. The circuit has two clock inputs CLK and $\overline{\text{CLK}}$. There are four modes of operation:
 - a) TTL (mode 1); $\overline{\text{CLK}}$ decoupled to DGND by a capacitor. CLK input is TTL threshold voltage of 1.5 V and sampling on the LOW-to-HIGH transition of the input clock signal.
 - b) TTL (mode 2); CLK decoupled to DGND by a capacitor. $\overline{\text{CLK}}$ input is TTL threshold voltage of 1.5 V and sampling on the HIGH-to-LOW transition of the input clock signal.
 - c) AC drive modes (modes 3 and 4); When driving the CLK input directly and with any AC signal of 0.5 V (peak-to-peak value) imposed on a DC level of 1.5 V, sampling takes place on the LOW-to-HIGH transition of the clock signal. When driving the $\overline{\text{CLK}}$ input with such a signal, sampling takes place on the HIGH-to-LOW transition.
 - d) If one of the clock inputs is not driven, then it is recommended to decouple this input to DGND with a 100 nF capacitor.
2. In addition to a good layout of the digital and analog ground, it is recommended that the rise and fall times of the clock must not be less than 2 ns.
3. The -3 dB bandwidth is determined by the 3 dB reduction in the reconstructed output (full-scale signal at the input).
4. Low frequency ramp signal ($V_{VI(p-p)} = 1.8$ V and $f_i = 15$ kHz) combined with a sinewave input voltage ($V_{VI(p-p)} = 0.5$ V, $f_i = 4.43$ MHz) at the input.
5. Supply voltage ripple rejection:
 - a) SVRR1; variation of the input voltage producing output code 127 for supply voltage variation of 1 V:

$$\text{SVRR1} = 20 \log (\Delta V_{VI(127)} / \Delta V_{CCA})$$
 - b) SVRR2; relative variation of the full-scale range of analog input for a supply voltage variation of 1 V:

$$\text{SVR2} = \{ \Delta(V_{VI(0)} - V_{VI(255)}) / (V_{VI(0)} - V_{VI(255)}) - \Delta V_{CCA} \}$$
6. Full-scale sinewave ($f_i = 4.4$ MHz; f_{CLK} ; $f_{\overline{\text{CLK}}} = 27$ MHz).
7. Output data acquisition:
 - a) Output data is available after the maximum delay of t_{CHL} and t_{DLH} .

8-bit high-speed analog-to-digital converter

TDA8703

Table 1 Output coding and input voltage (referenced to AGND; typical values)

STEP	$V_{VI(p-p)}$	O/UF	BINARY OUTPUT BITS								TWO'S COMPLEMENT OUTPUT BITS							
			D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
Underflow	<1.55	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	1.55	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	—	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1
.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
254	.	0	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0
255	3.26	0	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
Overflow	>3.26	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1

Table 2 Mode selection

$\overline{TC}$	$\overline{CE}$	D7-D0	O/UF
X(1)	1	high impedance	high impedance
0	0	active; two's complement	active
1	0	active; binary	active

note
X = don't care.

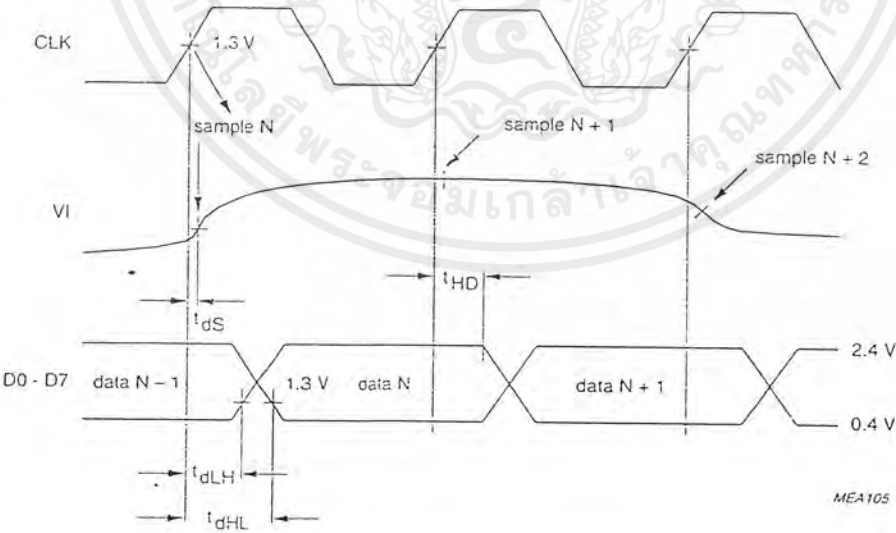


Fig.3 Timing diagram.

8-bit high-speed analog-to-digital converter

TDA8703

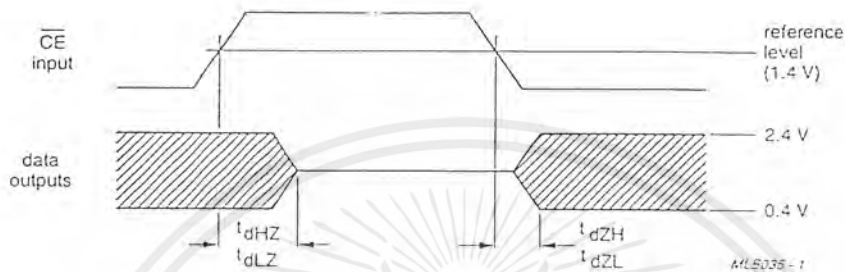
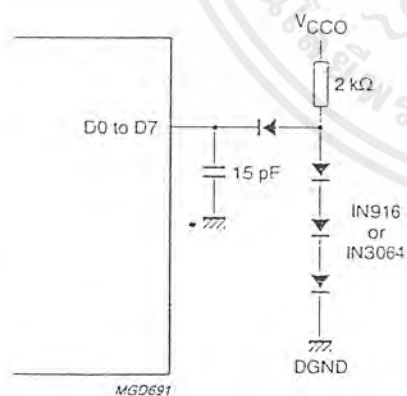
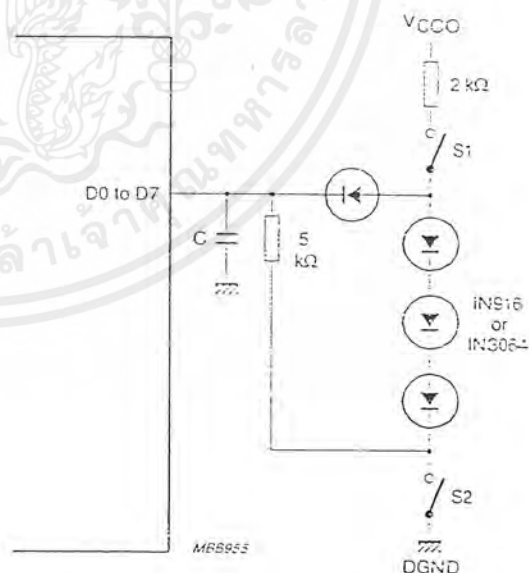


Fig.4 3-state delay timing diagram.

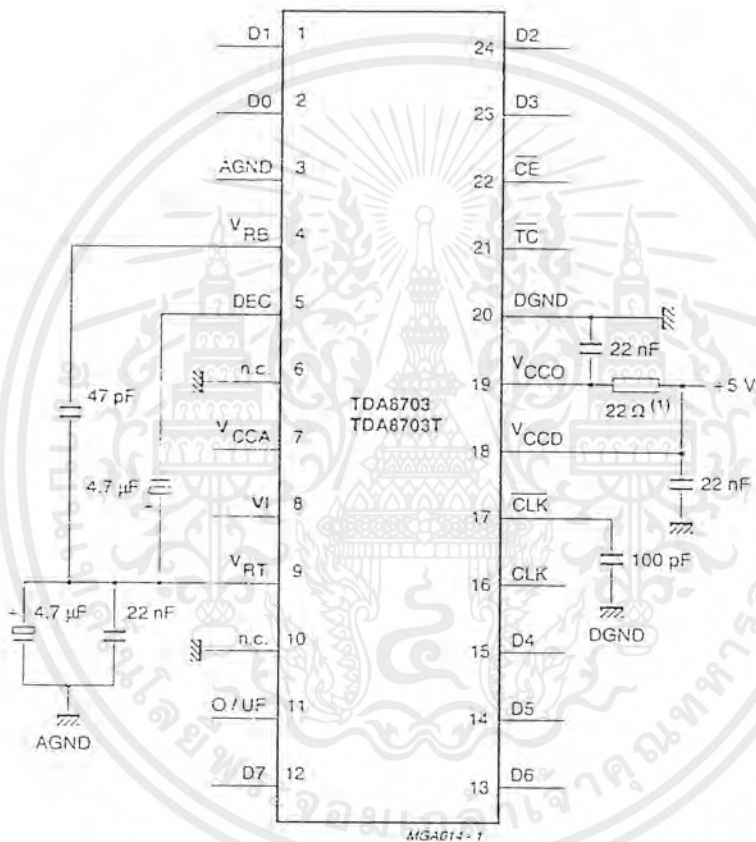
Fig.5 Load circuit for timing measurement; data outputs ($\overline{CE}$ = LOW).Fig.6 Load circuit for timing measurement; 3-state outputs ($\overline{CE}$: $f_i = 1$ MHz; $V_{VI} = 3$ V; see Table 3).

8-bit high-speed analog-to-digital converter

TDA8703

APPLICATION INFORMATION

Additional application information will be supplied upon request (please quote number FTV/8901).



CLK should be decoupled to the DGND with a 100 nF capacitor, if a TTL signal is used on CLK (see Chapter "Characteristics", note 1).

CLK and $\overline{\text{CLK}}$ can be used in a differential mode (see Chapter "Characteristics", note 1).

V_{RS} and V_{RT} are decoupling pins for the internal reference ladder; do not draw current from these pins in order to achieve good linearity.

If it is required to use the TDA8703 in a parallel system configuration, the references (V_{RS} and V_{RT}) of each TDA8703 can be connected together. Code 0 will be identical and code 255 will remain in the 1 LSB variation for each TDA8703.

Analog and digital supplies should be separated and decoupled.

Pins 6 and 10 should be connected to AGND in order to prevent noise influence.

(1) It is recommended to decouple V_{CCO} through a 22 Ω resistor especially when the output data of the TDA8703 interfaces with a capacitive CMOS load device.

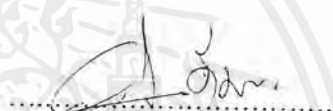
Fig.13 Application diagram.

กิตติกรรมประกาศ

ในการทำโครงการนี้ประสบความสำเร็จได้เนื่องจากได้รับคำแนะนำและให้คำปรึกษาจาก
ดร.กิตติพล ชิตสกุล(อาจารย์ที่ปรึกษา) จึงขอขอบพระคุณอาจารย์มา ณ. โอกาสนี้ด้วยรวมไปถึง
อาจารย์ทุกท่านในภาควิชาอิเล็กทรอนิกส์ที่ให้โอกาสในการทำโครงการและให้คำปรึกษาเพิ่มเติม
ในการทำโครงการ และเพื่อน ๆ ทุกคนที่ช่วยดูแลเรื่องอุปกรณ์ในการสร้างโครงการครั้งนี้



(นายกฤษณะ นิลสกุล)



(นายอาทร คุ่มฉายา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

- 1 จริณพัฒน์ ธรรมเจริญ จริณ ปิ่นทอง เครื่องวิเคราะห์สเปกตรัมควบคุมด้วยคอมพิวเตอร์ ปรินญา
นิพนธ์อุตสาหกรรมศาสตรบัณฑิต สถาบันเทคโนโลยีนานาชาติพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
กรุงเทพฯ 2538
- 2 Ian Hickman , “Oscilloscope How To Use How They Work”, 4th Ed. Butterworth Heinemann
NY. pp.115-204.
- 3 Stan Prentiss, “Oscilloscopes” Prentice-Hall Company Reston, Virginia pp.70-88

