สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องเก็บภาพ

VIDEO DIGITIZER

T033983

โดย

นาย เสนอ สะอาด รหัส 39013221

นาย ปรีชา ช่วยเต้า รหัส 39013165

นาย จรัล รักขาว รหัส 39013151

อาจารย์ที่ปรึกษา

ผศ.ดร. สุรพันธ์ เอื้อไพบูลย์

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เลขหมู่........................

เลขทะเบียน 33983

วัน, เดือน, ปี 23 ก.ย. 2542

การใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายงานปีการศึกษา 2541

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องเก็บภาพ

ผู้จัดทำ

1. นาย เสนอ สะอาด รหัส 39013221
2. นาย ปรีชา ช่วยเต้า รหัส 39013165
3. นาย จรัล รักขาว รหัส 39013151

....อาจารย์ที่ปรึกษา

(ผศ.ดร. สุรพันธ์ เอื้อไพบูลย์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเก็บภาพ

VIDEO DIGITIZER

นาย เสนอ สะอาด รหัส 39013221

นาย ปรีชา ช่วยเต้า รหัส 39013165

นาย จรัล รักขาว รหัส 39013151

โครงงานนี้ได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

....

(ผศ.ดร. สุรพันธ์ เอื้อไพบูลย์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

รายงานฉบับนี้ได้จัดทำขึ้นเพื่อประกอบการศึกษาเรื่องเครื่องเก็บภาพ ได้กล่าวถึงทฤษฎีการทำงานของระบบโทรทัศน์ เกี่ยวกับการสแกนของสัญญาณภาพ รวมถึงทฤษฎีการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (A/D Convertor) และการแปลงสัญญาณดิจิตอล เป็นสัญญาณอนาลอก (D/A Convertor) รวมถึงการจัดเก็บข้อมูลดิจิตอลเก็บลงในหน่วยความจำ การส่งผ่านข้อมูลภาพไปเก็บในคอมพิวเตอร์โดยควบคุมการทำงานจากไมโครคอนโทรลเลอร์ ในที่นี้ใช้ไอซี 89C51 เป็นตัวควบคุมการทำงาน ซึ่งรายงานฉบับนี้ได้เสร็จลุล่วงไปได้ด้วยดี ทั้งนี้ได้รับความช่วยเหลือและให้แนะนำจาก ดร. สุรพันธ์ เอื้อไพบูลย์ ,อาจารย์ชินภัทร ที่ให้ใช้ห้องทดลองและให้ยืมอุปกรณ์ทดลอง ขอบคุณ คุณวีระพงศ์ ที่ช่วยแนะนำการเขียนโปรแกรมขอบคุณน้องๆที่ช่วยพิมพ์รายงาน รวมทั้งเพื่อน ๆ ที่ให้คำปรึกษา ,ให้ยืมอุปกรณ์และช่วยซื้ออุปกรณ์ให้บางครั้งบางคราว ทั้งหมดนี้ ทั้งที่ได้กล่าวถึงและไม่ได้กล่าวถึงทางกลุ่มขอขอบพระคุณเป็นอย่างสูง

(นายเสนอ สะอาด)

(นายปรีชา ช่วยเค้า)

(นายจรัล รักขาว)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเก็บภาพ

นาย เสนอ สะอาด
นาย ปรีชา ช่วยเต้า
นาย จรัล รักขาว
ผศ.ดร. สุรพันธ์ เอื้อไพบูลย์ อาจารย์ที่ปรึกษา
ปีการศึกษา 2541

บทคัดย่อ

รายงานฉบับนี้เป็นการนำเสนอเกี่ยวกับ เครื่องเก็บภาพ โดยการนำภาพสัญญาณโทรทัศน์ ไปเก็บในรูปของข้อมูลภาพแบบดิจิตอล มีขนาดความละเอียดของภาพ 512X512 จุดภาพ มีระดับความแตกต่างระดับ ขาว-ดำ 256 ระดับ ซึ่งข้อมูลขนาด 8 บิท ถูกแปลงเป็นดิจิตอลแล้ว จะถูกนำไปเก็บลงหน่วยความจำขนาด 256 กิโลไบต์ต่อหนึ่งภาพ ในลักษณะของอาร์เรย์ ข้อมูลภาพจะถูกส่งต่อไปยังไมโครคอมพิวเตอร์ การทำงานภายใต้การควบคุมของไมโครคอลโทรลเลอร์ และภาพที่ถูกจัดเก็บลงในไมโครคอมพิวเตอร์สามารถแสดงได้โดยใช้โปรแกรมบนไมโครคอมพิวเตอร์ควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VIDEO DIGITIZER

Mr. Saner Sa-ad
Mr. Preecha Chuaytao
Mr. Jaran Rakkhao
Assistant Prof.Dr. Surapan Airphaiboon Advisor
1998

Abstract

This report present a digital digitizers. Digital image consists of 256 digital gray level with resolution of 512 x 512 pixel , obtain by quantizing the video signal. When the image has been quantized, it is stored in the memory unit of 256 kilobytes per frame in byte array format. The data of image in memory are sent to microcomputer. These operations are controlled by microcontroller and stored image in memory and display on microcomputer by program operations controlled by microcomputers.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
กิตติกรรมประกาศ	I
บทคัดย่อ	II
Abstract	III
สารบัญ	IV
บทที่ 1 บทนำ	1
บทที่ 2 สัญญาณโทรทัศน์และการสแกนภาพ	3
2.1 องค์ประกอบภาพ	3
2.2 การสแกน	6
2.3 การหักเหลำอิเล็กตรอน	10
2.4 สัญญาณภาพรวม	13
2.4.1 สัญญาณภาพขาว - ดำ	14
2.4.2 สัญญาณแบลงกิ้ง	14
2.4.3 สัญญาณซิงค์โครไนซ์	15
2.4.4 สัญญาณอีควอไลซิ่ง	16
บทที่ 3 การแปลงสัญญาณดิจิตอลเป็นอนาลอกและอนาลอกเป็นดิจิตอล	19
3.1 ตัวแปลงสัญญาณอนาลอก ให้เป็นสัญญาณดิจิตอล หรือ D/A	19
3.1.1 การจัดน้ำหนักของรหัสไบนารี D/A	21
3.1.2 เลดเดอร์เน็ทเวิร์ค D/A	22
3.2 ตัวแปลงสัญญาณอนาลอก ให้เป็นสัญญาณดิจิตอล หรือ A/D	23
3.2.1 ทฤษฎีการสุ่มตัวอย่าง (Sampling Theory)	24
3.2.2 วิธีแปลงสัญญาณอนาลอกเป็นดิจิตอล	26
3.2.2.1 Basic conversion method	26
3.2.2.2 Counter Type ADC	26
3.2.2.3 Tracking ADC	28
3.2.2.4 Integrating ADC	28
3.2.2.5 Successive Approximation ADC	31
3.2.2.6 A/D แบบแฟรช (Flash A/D)	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
บทที่ 4 ไมโครคอนโทรลเลอร์และระบบการอินเตอร์เฟส	34
4.1 โครงสร้างระบบคอมพิวเตอร์	34
4.2 ไมโครคอนโทรลเลอร์	35
4.2.1 โครงสร้างของ MCS-51	35
4.3 โปรแกรมภาษาเดลไฟ (Delphi)	37
บทที่ 5 การออกแบบและการทำงานของวงจร	38
5.1 การทำงานของภาคอินพุท (A/D Convertor)	38
5.2 การทำงานของภาคเอาท์พุท (D/A Convertor)	40
5.3 การทำงานของวงจรผลิตความถี่ (Clock)	40
5.4 การทำงานของวงจรภาคแยกซิงค์	43
5.5 การทำงานของวงจรภาควงจรนับ	45
5.6 การทำงานของวงจรภาคเลือกแอดเดรส	47
5.7 การทำงานของวงจรภาคหน่วยความจำภาพ	49
5.8 การทำงานของวงจรภาคควบคุมการเขียนข้อมูลภาพ	52
5.9 การทำงานของวงจรภาคควบคุมและการอินเตอร์เฟส	54
5.10 การเขียนโปรแกรมภาษาแอสแซมบลี้	56
5.11 การเขียนโปรแกรมบนไมโครคอมพิวเตอร์	58
บทที่ 6 การทดลองและผลการทดลอง	
6.1 การทดลองภาค A/D และ D/A	60
6.2 การทดลองภาค แยกซิงค์	62
6.3 การทดลองวัดสัญญาณในขณะทำการเก็บข้อมูล	65
6.4 การทดสอบโดยการป้อนตัวสัญญาณจาก Pettern Generator	67
บทที่ 6 สรุปและวิจารณ์	69
ภาคผนวก	
เอกสารอ้างอิง	
DATA SHEET, โปรแกรมภาษาแอสแซมบลี้และโปรแกรมภาษาเดลไฟ	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

บทที่ 1 บทนำ

รูปที่ 1.1 แสดงบล็อกไดอะแกรมการทำงานของโครงงาน 2

บทที่ 2 สัญญาณโทรทัศน์และการสแกนภาพ

รูปที่ 2.1 องค์ประกอบภาพที่เอาเฉพาะพิกเซลไปใช้งาน 4

รูปที่ 2.2 การเอาพิคเจอร์อีลีเมนต์ ไปเก็บในหน่วยความจำระบบดิจิตอล 5

รูปที่ 2.3 แสดงวิธีการเบื้องต้นของการสแกน 6

รูปที่ 2.4 รายละเอียดการสแกนแบบสลับเส้น หรือแบบสอดแทรก 7

รูปที่ 2.5 รายละเอียดการสแกนแบบสลับเส้น หรือแบบสอดแทรกระบบ CCIR 8

รูปที่ 2.6 การหักเหลำอิเล็กตรอนเมื่ออยู่ในสนามไฟฟ้าและสนามแม่เหล็ก 11

รูปที่ 2.7 การสแกนโดยใช้หลักของการเบี่ยงเบนสนามไฟฟ้า 12

รูปที่ 2.8 สนามไฟฟ้าที่ใช้เพื่อการสแกน 13

รูปที่ 2.9 แสดงระดับสัญญาณขาว - ดำ โดยเกรย์ สเกล 14

รูปที่ 2.10 ลักษณะของสัญญาณภาพรวมเบื้องต้น 16

รูปที่ 2.11 แสดงลักษณะของสัญญาณภาพรวมที่แสดงรายละเอียดทุกอย่าง 17

รูปที่ 2.12 แสดงระบบพัลซ์ในฟิลด์ของการซิงโครไนซ์ของระบบโทรทัศน์ 17

บทที่ 3 การแปลงสัญญาณดิจิตอลเป็นอนาลอกและอนาลอกเป็นดิจิตอล

รูปที่ 3.1 แสดงความละเอียดของแรงดันเอาท์พุท 20

รูปที่ 3.2 วงจร Binary-weighted resister DAC และกราฟเอาท์พุทของ DAC 21

รูปที่ 3.3 วงจร Binary Ladder DAC 22

รูปที่ 3.4 Monotonic DAC จะมากขึ้นทุก ๆ ค่าของสัญญาณอนาลอกที่ถูกต้อง 23

รูปที่ 3.5 ความละเอียดของ ADC จะแปรผันตรงกับจำนวนบิท ทางเอาท์พุท 24

รูปที่ 3.6 การสุ่มหลาย ๆ ช่วงจะมีลักษณะใกล้เคียงกับสัญญาณเดิม 25

รูปที่ 3.7 แสดงวิธีการพื้นฐานของ ADC 26

รูปที่ 3.8 แสดงทราบสเฟอร์ฟังก์ชั่นของคอมพาราเตอร์ 26

รูปที่ 3.9 บล็อกไดอะแกรม และ Timing Diagram ของ Counter Type ADC 27

รูปที่ 3.10 วงจร Ramp voltage generator อย่างง่าย และลักษณะของเอาท์พุท 29

รูปที่ 3.11 บล็อกคไดอะแกรมของ Dual Slope ADC 30

รูปที่ 3.12 บล็อคไดอะแกรมของ Successive Approximation ADC 31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

รูปที่ 3.13 แฟรชคอนเวอร์เตอร์ที่มีความเร็วในการเปลี่ยนแปลงสัญญาณสูง วงจรง่ายแต่รายละเอียดต่ำ 32

บทที่ 4 ไมโครคอนโทรลเลอร์และระบบการอินเตอร์เฟส

รูปที่ 4.1 บล็อกไดอะแกรมโครงสร้างระบบคอมพิวเตอร์ 34

รูปที่ 4.2 แสดงโครงสร้างภายในของ MCS-51 36

รูปที่ 4.3 แสดงขาต่างๆของ MCS-51 37

บทที่ 5 การออกแบบและการทำงานของวงจร

รูปที่ 5.1 วงจรการทำงานของภาคอินพุท (A/D Convertor) 39

รูปที่ 5.2 วงจรการทำงานของภาคเอาท์พุท (D/A Convertor) 41

รูปที่ 5.3 วงจรการทำงานของวงจรผลิตความถี่ (Clock) 42

รูปที่ 5.4 วงจรการทำงานภาคแยกซิงค์ 44

รูปที่ 5.5 วงจรการทำงานภาควงจรนับ 46

รูปที่ 5.6 วงจรการทำงานภาคเลือกแอดเดรส 48

รูปที่ 5.7 วงจรการทำงานภาคหน่วยความจำภาพ 51

รูปที่ 5.8 การทำงานภาคควบคุมการเขียนข้อมูลภาพ 53

รูปที่ 5.9 การทำงานภาคควบคุมและการอินเตอร์เฟส 55

รูปที่ 5.10 โฟลว์ชาร์ทแสดงการทำงานโปรแกรมภาษาแอสแซมบลี้ 57

รูปที่ 5.11 โฟลว์ชาร์ทแสดงการทำงานโปรแกรมบนไมโครคอมพิวเตอร์ 59

บทที่ 6 การทดลองและผลการทดลอง

รูปที่ 6.1 สัญญาณภาพที่ป้อนเข้าที่ภาคอินพุทของวงจร ADC 60

รูปที่ 6.2 สัญญาณภาพที่วัดได้ที่เอาท์พุทวงจร DAC 61

รูปที่ 6.3 สัญญาณภาพที่ขา 6 ของออปแอมป์ 61

รูปที่ 6.4 สัญญาณซิงค์รวมที่วัดได้ที่ขา 1 ของไอซี LM 1881 62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

		หน้า
รูปที่ 6.5	สัญญาณซิงค์รวมที่วัดได้ที่ขา 3 ของไอซี LM 1881	62
รูปที่ 6.6	สัญญาณซิงค์รวม(CH2) สัญญาณ H Sync count (CH1)	63
รูปที่ 6.7	สัญญาณขา 1 IC 11A (CH1)	63
รูปที่ 6.8	สัญญาณ ODD /EVEN	64
รูปที่ 6.9	สัญญาณ CR1 (CH2)	65
รูปที่ 6.10	สัญญาณ CR2 (CH1)	65
รูปที่ 6.11	สัญญาณ CA0 (CH1), H-COUNT (CH2)	66
รูปที่ 6.12	สัญญาณ CA8 (CH1), H-COUNT (CH2)	66
รูปที่ 6.13	แสดงรูปที่ได้จากจอมอนิเตอร์เทียบกับคอมพิวเตอร์	67
รูปที่ 6.14	แสดงรูปที่ได้จากจอคอมพิวเตอร์	68

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

		หน้า
ตารางที่ 2.1	แสดงข้อมูลองค์ประกอบภาพที่มีใช้ในโทรทัศน์ระบบต่าง ๆ ตามมาตรฐานซีซีไออาร์.	5
ตารางที่ 2.2	แสดงสเปคของระบบโทรทัศน์ตามมาตรฐาน ซีซีไออาร์.	18
ตารางที่ 5.1	แสดงสัญญาณที่ส่งไปควบคุมการทำงานของวงจร	54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

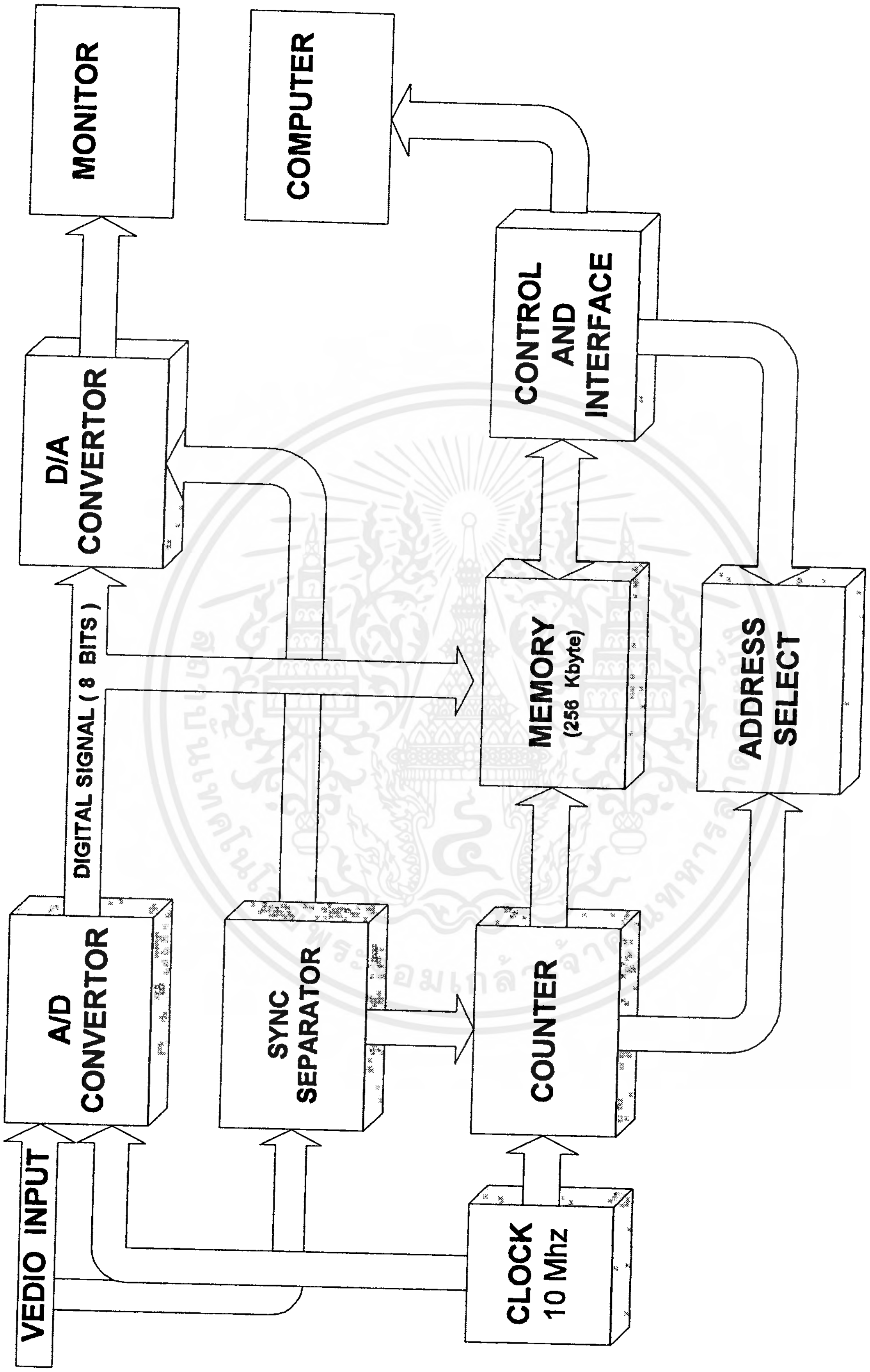
ปัจจุบันคอมพิวเตอร์เข้าไปมีส่วนสำคัญมากในชีวิตประจำวัน ในการจัดเก็บภาพก็เหมือนกัน เราได้นำคอมพิวเตอร์เข้าไปมีส่วนในการจัดเก็บข้อมูลภาพ ซึ่งภาพที่เก็บได้นี้สามารถนำไปใช้ประมวลผลเพื่อใช้งานด้านอื่นๆ ต่อไป

โครงงานนี้ได้ทำการรับภาพจากกล้องวีดีโอ (Vedio camera) ที่เป็นสัญญาณภาพขาวดำซึ่งเป็นสัญญาณอนาลอก จะทำการแปลงให้เป็นสัญญาณดิจิตอล (Analog to Digital Convertor) ใช้ความถี่ที่ในการสุ่มเท่ากับ (Sampling) 10 MHzแล้วนำสัญญาณที่ได้ นำไปเก็บในหน่วยความจำ (memory rams) ที่เป็นสัญญาณ 8 บิท (bit) ขนาดความจุ 256 Kbytes โดยทำการจัดเก็บภาพขนาด 512 x 512 จุดภาพ ในการจัดเก็บจะเก็บ ฟิลล์คู่ (Even field) และ ฟิลล์คี่ (Odd field) โดยจะควบคุมการจัดเก็บข้อมูลภาพโดย ใช้ ไมโคร คอลโทลเลอร์ (Controller) MCS-51 โดยใช้ไอซีเบอร์ 89C51 เป็นตัวควบคุม และทำการส่งไปเก็บภายใน ไมโครคอมพิวเตอร์ต่อไปการออกแบบการทำงานบนไมโครคอมพิวเตอร์จะใช้โปรแกรมเดลไฟซึ่งจะทำงานบน Windows

วัตถุประสงค์ของโครงงาน

1. นำสัญญาณภาพ ที่ได้จากกล้องโทรทัศน์หรือจากแหล่งสัญญาณภาพอื่นๆ ไปเก็บในรูปของสัญญาณดิจิตอล
2. ศึกษาการทำงานการของระบบการสแกนภาพและระบบการทำงานของโทรทัศน์
3. ศึกษาและออกแบบการแปลงสัญญาณภาพเป็นดิจิตอล
4. นำไมโครคอนโทรลเลอร์มาประยุกต์ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 บล็อกไดอะแกรมการทำงานของแครื่องเก็บภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
สัญญาณโทรทัศน์และการสแกนภาพ

ภาพที่เกิดขึ้นที่จอโทรทัศน์ เป็นภาพนิ่งที่เราเอามาเรียงต่อกัน โดยแต่ละภาพจะมีความแตกต่างกันเล็กน้อย และเกิดขึ้นในเวลาอันรวดเร็วจนทำให้ สายตาของคนเราเห็นเป็นภาพที่ต่อเนื่อง ในภาพแต่ละเฟรมโดยตัวของมันเองประกอบด้วยพื้นที่เล็กๆ ของแสงและจุด หากภาพนั้น มีรายละเอียด (Detail) ของจุดแสงมากภาพที่ออกมาจะมีรายละเอียดมากกว่าภาพที่มีจุด และแสงรายละเอียดน้อย (ซึ่งภาพออกมาหยาบ)

2.1 องค์ประกอบภาพ

หากเราตัดภาพจากหนังสือพิมพ์มาสักภาพหนึ่ง แล้วขยายให้ใหญ่ขึ้นด้วยกล้องหรือแว่นขยาย จะพบว่าภาพมีองค์ประกอบมาจาก จุดสีขาวและจุดสีดำมากมาย มาเรียงกันประ กอบขึ้นเป็นภาพ จุดเหล่านี้เองที่เรียกว่าองค์ประกอบภาพหรือพิคเจอร์อีลีเมนต์ (Picture Element) หรือ พิกเซล (Pixel)

ทำนองเดียวกันภาพที่ปรากฏทางจอโทรทัศน์ ก็เอามาจาก หลักการนี้ ภาพที่เกิดขึ้นบนจอโทรทัศน์ ประกอบด้วยเส้นขวางเล็ก ๆ ในแนวนอนเป็นจำนวนมาก แต่ละเส้นนั้นมีทั้งส่วนที่ดำสนิท ส่วนที่จางและส่วนที่สว่างรวมกันอยู่ เส้นเหล่านี้เราได้มาจากการกวาดลำแสง (Scan) ความแตกต่างกันบนเส้นกวาดลำแสง หรือเส้นสแกนเหล่านี้เองที่เราจัดว่าเป็น องค์ประกอบภาพ

ระบบการสแกน 525 เส้น เราจะแบ่งส่วนทางแนวตั้งได้ 700 เส้น ดังนั้น จึงกล่าวได้ว่าหากจะหาจำนวนขององค์ประกอบภาพในระบบการสแกน 525 เส้นแล้ว จะได้เท่ากับ 525 x 700 เท่ากับ 367,500 พิกเซล ยิ่งภาพมีจำนวนเส้นมากเท่าไรรายละเอียดของภาพยิ่งมากขึ้นเท่านั้น เหมือนอย่างที่เรากล่าวถึงรายละเอียดภาพมาแต่ข้างต้น โทรทัศน์ที่มีจำนวนเส้นสแกนมาก ย่อมได้รายละเอียดหรือความชัดเจนของภาพมีมากกว่า แต่การออกแบบวงจรจะยากตามไปด้วย เนื่องจากแบนด์วิดธ์ (bandwidth) ของความถี่จะต้องกว้างขึ้นด้วย ให้พิจารณาจากสูตรต่อไปนี้

$$f_{max} = Kn^2 fp(b/h)(y/x)$$

เมื่อ f_{max} คือ ความถี่สูงสุด

K คือ ค่าคงที่ประมาณ 0.64 ถึง 0.7

n คือ จำนวนเส้นขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

fp คือ จำนวนภาพต่อวินาที

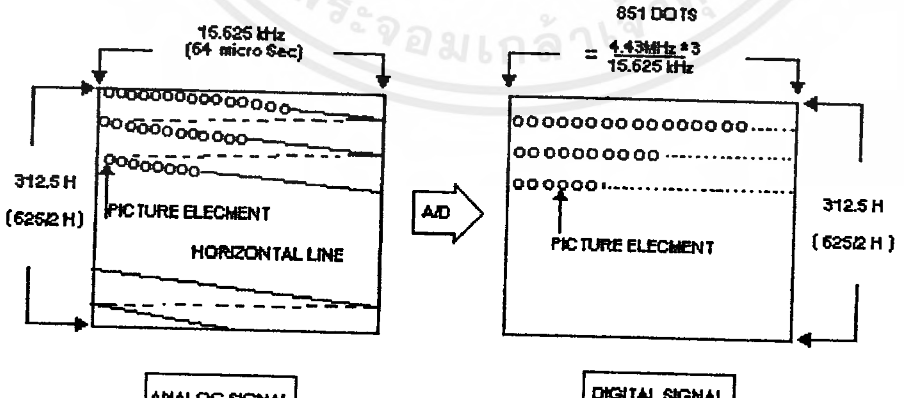
b/h คือ อัตราส่วน แอสเป็คท์ซึ่งทั่ว ๆ ไปเราใช้อัตรา 4 ต่อ 3

Y/X คือ ค่าเอฟเฟ็คตีฟแฟ็คเตอร์ มีค่า 0.95/0.84

จากสูตรนี้เราจะพบว่าถ้าจำนวนเส้นแถนเพิ่มมากขึ้น ความถี่จะเพิ่มตามขึ้นมาด้วย จากที่กล่าวว่าระบบ 525 เส้น นั้นมีองค์ประกอบภาพ 367,500 พิกเซล แต่ในความเป็นจริงแล้วเรามองเห็นได้ไม่ครบทุกพิกเซล เนื่องจากมีบางส่วนหายไประกว่างการสแกน จากการทำลองพบว่าภาพที่พอดูได้จะมีองค์ประกอบไม่ต่ำกว่า 200,000 พิกเซล

ต่อระบบที่ใช้อยู่ในประเทศไทย ปัจจุบันเราใช้ระบบการสแกน 625 เส้น 25 ภาพ ต่อวินาที จึงทำให้แบนด์วิดธ์ ต้องกว้างถึง 7 เมกะเฮิรตซ์ ในขณะที่ระบบ 525 เส้นกว้างเพียง 6 เมกะเฮิรตซ์ เท่านั้น อย่างไรก็ตาม องค์ประกอบภาพจะมีความละเอียดมากขึ้น โดยสามารถหาองค์ประกอบภาพ ได้จากค่าจำนวนสแกน 625 เส้นคูณกับจำนวนจุดหรือองค์ประกอบทางแนวตั้ง 851 เส้น ได้เท่ากับ 531,875 พิกเซล

ปัจจุบันส่วนที่เรียกว่าองค์ประกอบภาพ ได้ถูกนำเอาไปใช้งานอย่างเป็นจริงมากขึ้น ในโทรทัศน์หรือ เครื่องเล่นวิดีโอคาสเซ็ทเร็คคอร์เดอร์ จะมีการนำเอาพิกเซลเหล่านี้เก็บไว้ในหน่วยความจำ เพราะพิกเซลเท่านั้นที่ระบบดิจิตอลจะจัดการกับข้อมูลได้ เราจะพบวิธีการนี้ในโทรทัศน์ระบบดิจิตอล, โทรทัศน์ระบบคอมพิวเตอร์, โทรทัศน์จอภาพ แอลซีดี, ดิจิตอล วีซีอาร์, โทรทัศน์หรือ วีซีอาร์, ระบบภาพซ้อนภาพ ฯลฯ



รูปที่ 2.1 องค์ประกอบภาพที่เอาเฉพาะพิกเซลไปใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

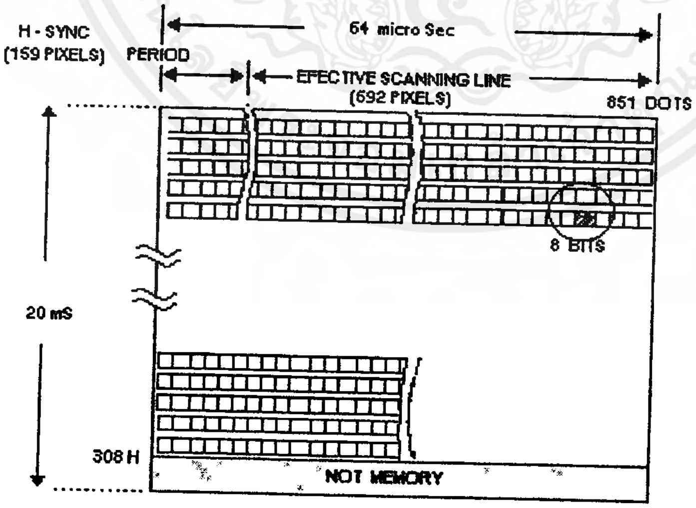
ตารางที่ 2.1 แสดงข้อมูลองค์ประกอบภาพที่มีใช้ในโทรทัศน์ระบบต่าง ๆ ตามมาตรฐานซีซีไอออาร์.

Quantity	CCIR standard					
	M U.S. NTSC	A U.K.++ MONO	B/G CCIR PAL	L France SECAM	E France++ MONO	HDTV
Information elements per frame	280,000	240,000	400,000	480,000	800,000	1,300,000
Picture elements per raster	210,000	180,000	300,000	360,000	590,000	1,000,000
Picture elements per line	400	480	520	620	790	990
Picture-element length +	30	28	26	21	17	17
Picture-element width +	21	27	17	17	13	10

\+ Based on raster height = 10,000 units.

++ Discontinued services.

S Based on provisional standards.



รูปที่ 2.2 การเอาพิคเจอร์อีลีเมนต์ ไปเก็บในหน่วยความจำระบบดิจิตอล

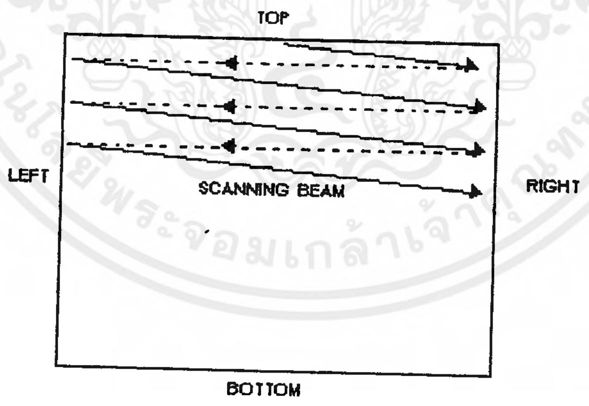
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในปัจจุบันสำหรับโทรทัศน์ธรรมดาเราจะพบว่า มีการเพิ่มเส้นภาพให้มากขึ้นและนั่นแน่นอน ว่าจำนวนพิกเซลย่อมมากขึ้นด้วย อย่างโทรทัศน์จอใหญ่หรือโทรทัศน์ที่ต้องการรายละเอียดสูงอย่าง HDTV อาจจะต้องใช้เส้นสแกนภาพมากกว่า 625 เส้น เช่นที่นิยมใช้กันในปัจจุบันคือ 725 เส้น หรืออย่างเครื่องฉายวิดีโอโปรเจ็คเตอร์จะใช้เส้นภาพ 2,200 เส้นภาพ และหากเป็นภาพจอใหญ่หลายร้อยนิ้วจะต้องเพิ่มรายละเอียดมากขึ้นอีก นั่นคือการเพิ่มพิคเจอร์อีลีเมนต์นั่นเอง

2.2 การสแกน

จากองค์ประกอบภาพที่ได้กล่าวมาแล้ว เครื่องส่งจะรับภาพแล้วเปลี่ยนพลังงานแสงเป็นพลังงานไฟฟ้าส่งเป็น จุดขาวดำมาเครื่องรับจะรับเอาสัญญาณเหล่านี้มาเรียงกันใหม่ โดยการกวาดเป็นเส้นภาพขึ้นที่หน้าจอ วิธีการนี้เราเรียกว่า การสแกน (Scanning) โดยตัวที่มีหน้าที่สำคัญคือจอภาพหรือ หลอดภาพนั่นเอง หลอดภาพมีโครงสร้างคล้ายกับหลอดสุญญากาศทั่วไป ที่ปล่อยอิเล็กตรอนออกมาจากขั้วแคโถด แล้วจะมีการดึงลำอิเล็กตรอนให้วิ่งไปเป็นลำกระทบเข้ากับอะโหนดหรือหน้าจอ ตรงหน้าจอนั้นมีการฉาบสารเรืองแสงไว้เพื่อให้เกิดการเรืองแสงของจอ

การสแกนมี 2 วิธี คือ การสแกนแบบก้าวหน้า (Progressive Scanning) กับการสแกนแบบสลับเส้น (Interlaced Scanning)



รูปที่ 2.3 แสดงวิธีการเบื้องต้นของการสแกน

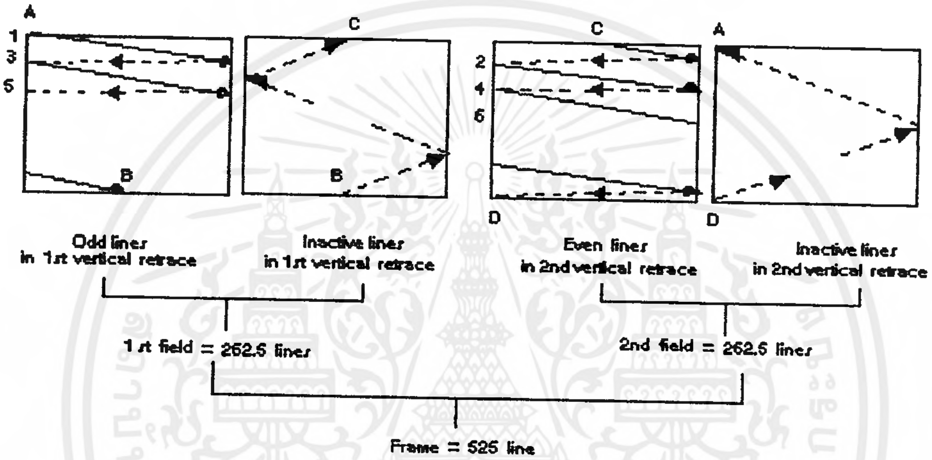
การที่จะทำให้การสแกนมีความต่อเนื่อง ขององค์ประกอบภาพดังที่กล่าวมาแล้ว จะต้องคำนึงถึงหลัก 3 ปะการ คือ

1 ลำอิเล็กตรอนที่กวาดไปทางแนวนอน (Horizontal Scanning) ในแต่ละครั้ง จะต้องสามารถครอบคลุมองค์ประกอบภาพทั้งหมดของเส้นนั้น ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 ในแต่ละเส้นของการสแกนลำอิเล็กตรอน ลำแสงจะต้องกวาดกลับด้วยความเร็วสูงไปยังด้านซ้ายเพื่อเริ่มต้นเส้นภาพทางแนวนอนลำดับต่อไป เวลาของการสะบัดกลับเราเรียกว่า "รีเทรซ" (Retrace) หรือ ฟลายแบ็ค (Flyback) ในกรณีดังกล่าวจะต้องไม่มีข้อมูลภาพใด ๆ เพราะว่าทั้งกล้องถ่าย และหลอดภาพจะเกิดการแบลงค์เอาท์ (Blank Out) ในขณะนั้น

3 ในขณะที่เส้นสแกนสะบัดกลับมาเพื่อเริ่มต้นทางซ้ายใหม่ ตำแหน่งแนวตั้งต้องต่ำกว่าตำแหน่งเดิม เพื่อทำให้การสแกนเส้นต่อไปไม่ทับกัน ทั้งนี้โดยการควบคุมของสัญญาณทางแนวตั้ง (Vertical Scanning)



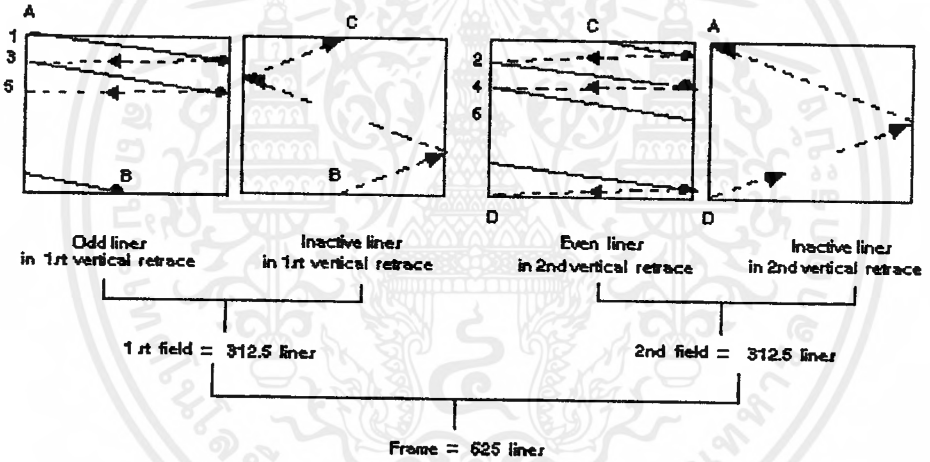
รูปที่ 2.4 รายละเอียดการสแกนแบบสลับเส้น (Interlaced Scanning)หรือแบบสอดแทรก

การสแกนที่ใช้ในเครื่องรับโทรทัศน์ ถึงแม้เราพบว่าหากให้มีการเรียงภาพเกินกว่า 16 ภาพต่อวินาที แล้วสายตาจะเห็นเป็นภาพที่ต่อเนื่อง จากการทดลองสแกนเส้นภาพเราพบว่าแม้ภาพที่เกิดขึ้นจะเกิดขึ้น 24 ภาพต่อวินาทีแล้วก็ตาม ยังมีการกะพริบ (Flicker) เกิดขึ้น เนื่องจากว่าในขณะที่การสแกนเริ่มจากขอบบนลงมาด้านล่าง (ซึ่งคล้ายกับการเขียนหนังสือที่เริ่มจากซ้ายไปขวา , บนลงล่าง) เมื่อเส้นสแกนลงมาถึงขอบด้านล่าง แสงทางด้านบนในความรู้สึกของมนุษย์เริ่มมืดลงกว่าด้านล่าง เวลาที่ลำแสงการสแกนวกกลับไปด้านบน ด้านล่างก็เกิดปัญหาเช่นเดียวกัน ความรู้สึกต่อกรณีนี้ก็คือเกิดแสงกะพริบ หรือวูบวาบขึ้น (Flicker) จึงต้องใช้การสแกนสลับเส้น หรือบางคนเรียกว่าการสแกนแบบสอดแทรก (Interlaced Scanning) โดยครั้งแรกจะสแกนฟิลด์คี่ (Odd line Trace) และครั้งต่อไปจะสแกนฟิลด์คู่ (Even line Trace) เป็นการสแกนแบบเส้นเว้นเส้น นั่นหมายความว่าการได้ภาพ 1 ภาพหรือที่เรียกว่าภาพ 1 เฟรม (Frame) ต้องใช้การสแกนแนวตั้งถึง 2 ครั้งหรือ 2 ฟิลด์ (Field)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามมาตรฐาน เอฟซีซี (FCC) ใช้เส้นสแกน 525 เส้นต่อ 1 ภาพ และใช้ 30 ภาพต่อวินาที ดังนั้น ใน 1 ฟิลด์จะมีเส้นสแกน 312.5 เส้น ภาพนิ่งแต่ละภาพซึ่งเป็นส่วนประกอบขององค์ประกอบภาพจะเกิดขึ้นภายใน 1/30 วินาที ความถี่ที่ใช้เพื่อการหักเหลำอิเล็กตรอนในแนวนอนจึงได้มาจากจำนวนเส้นภาพ คูณกับจำนวนภาพในแต่ละเฟรม จึงได้ 525 x 30 เท่ากับ 15,750 เฮิรตซ์ ส่วนความถี่บังคับการหักเหในแนวตั้งใน 1 ฟิลด์ จะใช้เวลาเพียง 1/60 วินาทีเท่านั้น ความถี่จึงเท่ากับ 60 เฮิรตซ์

ตามมาตรฐาน ซีซีไออาร์ (CCIR) ใช้เส้นสแกน 625 เส้นต่อหนึ่งภาพ และใช้ภาพ 25 ภาพต่อวินาที ดังนั้นใน 1 ฟิลด์จะมีเส้นสแกน 312.5 เส้น ภาพนิ่งแต่ละภาพซึ่งเป็นส่วนประกอบขององค์ประกอบภาพจะเกิดขึ้นภายใน 1/25 วินาที ความถี่ที่ใช้เพื่อการหักเหลำอิเล็กตรอนในแนวนอนจึงได้จากจำนวนเส้นภาพ 625 เส้น คูณกับจำนวนภาพในแต่ละเฟรม ดังนั้น เราจึงสามารถหาความถี่ได้จาก 625 x 25 เท่ากับ 15,625 เฮิรตซ์ ความถี่หักเหทางแนวตั้งจึงเท่ากับ 50 เฮิรตซ์



รูปที่ 2.5 รายละเอียดการสแกนแบบสลับเส้น หรือแบบสอดแทรกระบบ CCIR

จากรูปที่ 2.4 และ 2.5 ได้แสดงวิธีการของการสแกนแบบสอดแทรกของระบบโทรทัศน์ทั้ง 2 ระบบใหญ่ที่ใช้กันอยู่ในปัจจุบัน โดยเมื่อเริ่มต้นการสแกนสมมุติว่าการเริ่ม สแกนในกรณีนี้เริ่มจากการสแกนจากเฟรมที่เป็น เส้นสแกนคี่ โดยเริ่มจาก ซึ่งอยู่ทางซ้ายแล้วกวาดไปทางขวา นับเป็นเส้นสแกนเส้นที่ 1 แล้วจึงสแกนเส้นที่ 3, 5, 7, 9 และต่อ ๆ ไป จนกระทั่งได้เส้นสแกน 262.5 เส้น ในระบบเอฟซีซี. หรือ312.5 เส้น ในระบบ ซีซีไออาร์. (CCIR) ซึ่งก็คือ สแกนมาถึงจุด B ดังในภาพที่ 2.5 และ 2.6 ณ จุดนี้การสแกนจะถูกความถี่หักเหทางแนวตั้ง ซึ่งเราเรียกว่า เวอร์ติคอล รีเทรซ (Vertical Retrace)หรือสัญญาณฟลายแบ็ค (Flyback) ดึงกลับไปยังตำแหน่งในจุด C เพื่อเริ่มต้นการสแกน เส้นคู่ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เวลาของการรีเทรซ (Retrace Time) ทั้งการรีเทรซทางเวอร์ติคอล และฮอริซอนตอลเป็นเวลาสั้น ๆ ถึงอย่างไรก็ตามเราไม่ต้องการให้เส้นสแกนที่เป็นช่วงของการสะบัดกลับนี้เข้ามารบกวนทำให้เกิดสัญญาณภาพ ในส่วนนี้จึงต้องทำการลบเส้นสะบัดกลับ ก่อนที่จะถึงจุดที่ว่านั้นเรามาดูรายละเอียดของการสะบัดกลับอีกนิดว่าในส่วนของการกวาดลำแสง หรือการสแกนในทางแนวนอน (Horizontal) เวลาของการรีเทรซจะได้ประมาณ 10 -16 เปอร์เซ็นต์ของเวลาทั้งหมด ในระบบเอฟซีซี. เราใช้เวลาในการสแกนทางแนวนอนเท่าทับ 63.5 ไมโครเซ็คคั่น (μs) ดังนั้นเวลาของการรีเทรซ จึงเท่ากับ 6.35 ไมโครเซ็คคั่น (μs) ส่วนระบบซีซีไออาร์ เราใช้เวลาในการสแกนเท่ากับ 64 ไมโครเซ็คคั่น ดังนั้นเวลาของการรีเทรซจะได้ประมาณ 6.4 ไมโครเซ็คคั่น ในส่วนของทางด้านความถี่หักเหทางแนวตั้ง (Vertical) เราใช้เวลาในการรีเทรซไม่เกิน 5 - 8 เปอร์เซ็นต์ อย่างเช่นเราใช้เวลาในส่วนนี้เท่ากับ 3 เปอร์เซ็นต์ของเวลา 1/50 หรือ 1/60 ของวินาที ดังนั้น เวลาของการรีเทรซจึงเท่ากับ 600 ไมโครเซ็คคั่น และ 500 ไมโครเซ็คคั่นตามลำดับ นั่นหมายความว่าในช่วงของการรีเทรซทางแนวตั้งกินเวลานานกว่าการสแกนทางแนวนอน ประมาณ 8-10 เส้นภาพ

จากหลักการดังกล่าวเราสามารถสรุปเกณฑ์บางอย่างได้ว่า ตามความเป็นจริงแล้วในเส้นภาพ 525 เส้น หรือ 625 เส้นนั้น เรามิอาจจะเห็นได้ครบทุกเส้น อย่างน้อย ๆ ในกรณีที่เกิดเวอร์ติคอลรีเทรซ จะกินเวลาของการสแกนทางแนวนอน (Line)ไปด้วย แต่จะกินไปกี่เส้นนั้นขึ้นอยู่กับสัญญาณบังคับการฟลายแบ็ค (Fly back) ซึ่งในเครื่องรับเราเรียกตัวนี้ว่า สัญญาณแบลงกิ้ง

<u>ตัวอย่าง</u> ในระบบโทรทัศน์ เรากำหนดการสแกนภาพด้วยระบบ 625 เส้นภาพ และกำหนดว่าการสแกนนั้นให้มีเวอร์ติคอล รีเทรซ เท่ากับ 3 เปอร์เซ็นต์ ของเวลาทั้งหมดของการสแกนทางแนวตั้ง ดังนั้น จงหาเส้นภาพที่หายไปจากจอภาพในระบบสแกนแบบนี้

<u>วิธีทำ</u>	เวลาของการสแกนทางแนวตั้ง	=	1/50 วินาที
	ค่า 3 เปอร์เซ็นต์ในกรณีรีเทรซ	=	3/(50x100) วินาที
	เวลาในการรีเทรซ	=	600 μs
	เวลาในการสแกนเส้นภาพ	=	1/15625 วินาที
	ดัง นั้น การรีเทรซจะกินเส้นภาพไป	=	600/64
		=	9.375 เส้น

<u>คำตอบ</u> ในกรณีนี้ก็คือ ประมาณ 10 เส้นภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>ตัวอย่าง</u> ในระบบโทรทัศน์ซีซีไออาร์ หากว่าค่าการรีเทรซทางเวอร์ติคอลใช้ค่าเวลามากที่สุดตามที่มาตรฐานในปัจจุบัน กำหนดไว้ คือใช้เวลาประมาณ 5 เปอร์เซ็นต์ของเวลาทั้งหมดของการสแกนทางเวอร์ติคอล จงหาจำนวนเส้นภาพที่ปรากฏจริงบนหน้าจอว่ามีกี่ภาพ

<u>วิธีทำ</u> เวลาของการสแกนทางแนวตั้ง = 1/50 วินาที

ค่า 5 เปอร์เซ็นต์ = 5/(50x100) วินาที

เพราะฉะนั้นเวลารีเทรซ = 1,000 μs

เวลาในการสแกนเส้นภาพ = 64 μs

การรีเทรซทางแนวตั้งกินเส้นภาพ = 1,000/60

= 15.625

หรือประมาณ 16 เส้นภาพ

จำนวนเส้นภาพที่จอที่ปรากฏให้เห็น = 625-16

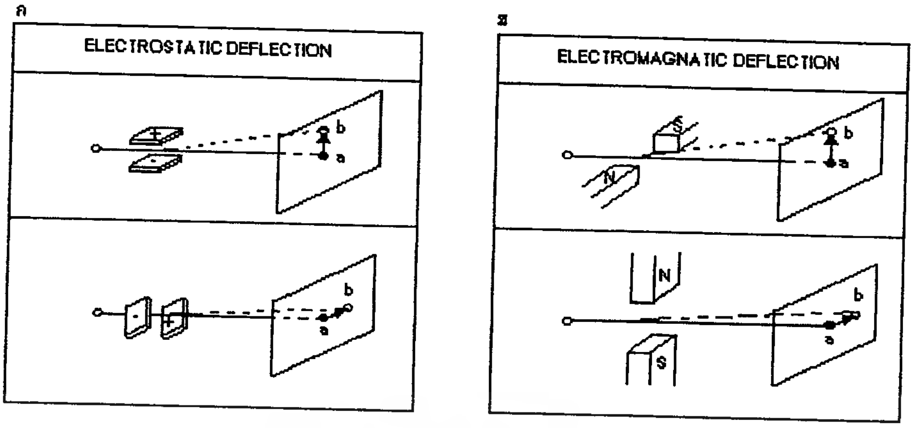
<u>คำตอบ</u> ในกรณีนี้คือ ประมาณ 609 เส้นภาพ

จากหลักการดังกล่าวใน โทรทัศน์ระบบ ดิจิตอล จะนำเอาสัญญาณภาพเข้าสู่หน่วยความจำของระบบดิจิตอล จึงเอาเส้นภาพไปเก็บเพียงครั้งละ 308 เส้นภาพเท่านั้น (แทนที่จะเอาทั้ง 312.5 เส้นภาพ) เพราะจากมาตรฐานโทรทัศน์ในปัจจุบันที่กำหนดมาตรฐานสัญญาณโทรทัศน์ ในกรณีรีเทรซทางแนวตั้ง เท่ากับ 3 เปอร์เซ็นต์ เราจึงได้เส้นภาพประมาณ 625 -10 เส้นภาพ (615 เส้นภาพ) เมื่อแบ่งเฟรมแล้ว จะได้ค่าเส้นภาพประมาณ 308 เส้นภาพ

2.3 การหักเหลำอิเล็กตรอน

เมื่อกล่าวถึงการสแกนเพื่อเปลี่ยนสัญญาณภาพ ให้เป็นสัญญาณไฟฟ้าในเครื่องส่ง หรือสแกนเพื่อเปลี่ยนสัญญาณไฟฟ้าให้เป็นสัญญาณภาพ บนจอของหลอดภาพในเครื่องรับโทรทัศน์ ล้วนต้องใช้ลำอิเล็กตรอนเป็นตัวสำคัญ โดยเฉพาะในเครื่องรับ ภาคแสดงผลของสัญญาณภาพคือหลอดภาพ ซึ่งโครงสร้างของหลอดภาพเบื้องต้น อาศัยการยิงลำอิเล็กตรอนจากปืนอิเล็กตรอน (Electron Gun) โดยมีไฟแรงสูงเป็นตัวคอยดึงให้ลำอิเล็กตรอนวิ่งเข้าชนสารเรืองแสงที่หน้าจอกรณีเช่นนี้จะทำให้เกิดแสงเพียงจุดเดียวกลางจอ เราจะทำให้ได้เส้นภาพอย่างที่กล่าวมาแล้ว สามารถกระทำได้โดยการเบี่ยงเบนหรือ หักเหลำอิเล็กตรอน (Deflection) ให้เกิดการกวาด (Scan) ตามหลักการที่กล่าวมา ลักษณะของลำอิเล็กตรอนนั้น เมื่อมันวิ่งเข้าไปยังสนามไฟฟ้าสถิตย์ หรือสนามแม่เหล็กจะสามารถเปลี่ยนทิศทางได้ดังแสดงไว้ในรูปที่ 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

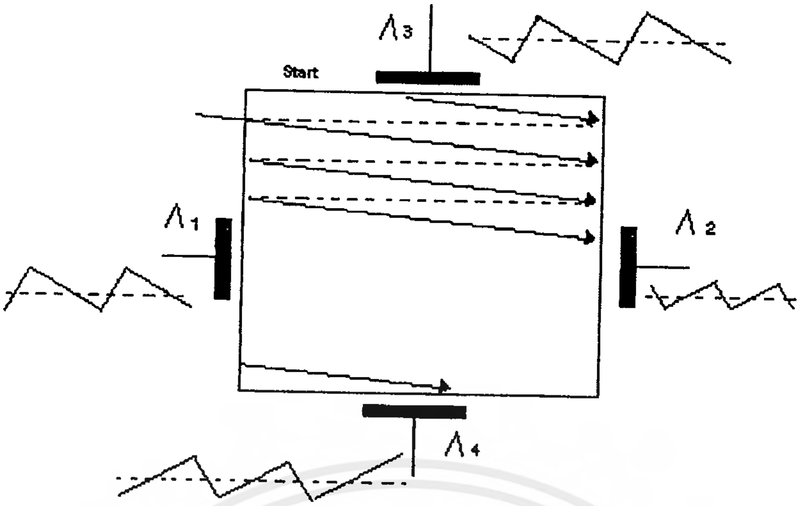


รูปที่ 2.6 การหักเหลำอิเล็กตรอนเมื่ออยู่ในสนามไฟฟ้าและสนามแม่เหล็ก

จากหลักการของสนามไฟฟ้า กับเรื่องของสนามแม่เหล็ก มีความแตกต่างกันอยู่ ตามหลักการของการเบี่ยงเบนหักเห อย่างเช่นเรื่องของสนามไฟฟ้าเมื่อมาพบกับลำอิเล็กตรอน เราต้องอาศัยหลักการของสนามไฟฟ้า ที่มีหลักการว่า ขั้วหรือศักย์ไฟฟ้าเหมือนกันจะผลักกัน, ต่างกันจะดึงดูดกัน อย่างในภาพ 2.6 ก. ลำอิเล็กตรอนเราถือว่าเป็นสนามไฟฟ้าศักย์ลบ หากสนามไฟฟ้าที่เป็นอิเล็กโตรสเตติก ขั้วบวกอยู่ด้านบน, ขั้วบวกอยู่ด้านล่าง จะมีผลทำให้ลำอิเล็กตรอนเฉไปทางด้านบน เนื่องจากสนามไฟฟ้าบวกดึงดูดลำอิเล็กตรอนเข้าไปหา และสนามไฟฟ้าลบผลักลำอิเล็กตรอนให้ห่างออกไป นั่นเป็นวิธีการหักเหทางแนวตั้ง ในทางกลับกันหากเราจะให้เกิดการหักเหทางแนวนอนก็สามารถทำได้โดยการวางสนามไฟฟ้าในแนวนอน

หากเอาการหักเหลำอิเล็กตรอนตามหลักการของสนามแม่เหล็ก จำเป็นต้องอาศัยทฤษฎีแม่เหล็กเข้ามาอธิบาย หลักการของสนามแม่เหล็กตามกฎมือซ้ายทำให้เราสามารถอธิบายได้ว่า การที่ลำอิเล็กตรอนวิ่งเข้าชนสารเรืองแสงที่หน้าจอนั้นเปรียบกระแสวิ่งออก ดังนั้น ทิศทางของสนามแม่เหล็กจึงหมุนด้วยทิศทางทวนเข็มนาฬิกา เมื่อมาเจอกับ สนามแม่เหล็ก ที่ใช้หักเหลำอิเล็กตรอนที่พุ่งจากขั้วเหนือไปยังขั้วใต้กรณีเช่นนี้ หากวางแม่เหล็กในแนวนอนจะเกิดการเบี่ยงเบนลำอิเล็กตรอนในแนวตั้ง ในทางตรงกันข้าม หากวางแม่เหล็กในแนวตั้งจะเกิดการหักเหในแนวนอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 การสแกนโดยใช้หลักของการเบี่ยงเบนสนามไฟฟ้า (Electrostatic Deflection)

หลักการเบี่ยงเบนลำอิเล็กตรอน โดยอำนาจสนามไฟฟ้า (Electrostatic Deflection) ดูเหมือนจะง่ายที่ สุดในการอธิบายถึงการสแกน

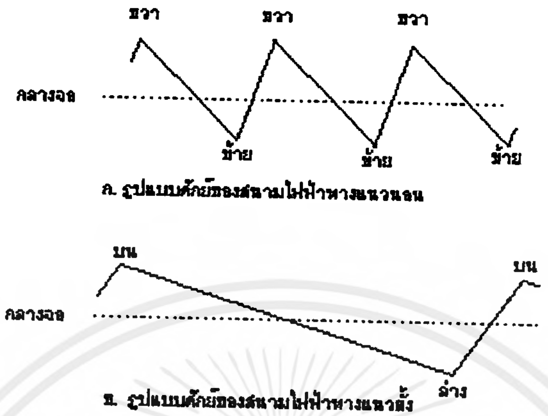
สมมุติว่าในการกวาดลำแสงครั้งแรก เราต้องให้เส้นที่ต้องการเริ่มต้นตรงจุด Start หรือมุมบนซ้าย ในกรณีนี้เราต้องใช้สนามไฟฟ้า ศักย์บวกป้อนเข้าที่แผ่น อิเล็กโถดแผ่นที่ 1 (Λ_1) และแผ่นอิเล็กโถดแผ่นที่ 2 (Λ_2) ต้องมีศักย์ตรงกันข้ามคือเป็นลบ ในกรณีนี้มีผลทำให้ ลำอิเล็กตรอนถูกสนามไฟฟ้าบวก ดึงลำเข้าไปหาในขณะที่แผ่นลบผลักช่วยด้วยในเวลาเดียวกัน นี่คือสนามไฟฟ้าในแนวนอน (Horizontal Electrostatic) หากสนามไฟฟ้าที่แผ่นอิเล็กโถดแผ่นที่ 3 (Λ_3) ได้รับสนามไฟฟ้าบวกและแผ่นที่ 4 (Λ_4) ได้รับศักย์ลบ แผ่นที่ 3 (Λ_3) จะดึงลำอิเล็กตรอนให้ขึ้นไปยังด้านบน ในขณะที่แผ่นที่ 4 (Λ_4)ช่วยในการผลักขึ้นไป กรณีเช่นนี้ทำให้ลำแสงปรากฏอยู่ตรงมุมบนซ้ายของจอภาพได้แล้ว

หากต้องการให้ลำแสงสแกน จากด้านซ้ายไปทางด้านขวา แผ่นที่ 1 (Λ_1) จะต้องลดศักย์ไฟบวกลงจนกลับเป็นลบ และให้แผ่นที่ 2 (Λ_2) เพิ่มศักย์ขึ้นให้เป็นบวก ลำอิเล็กตรอนจึงถูกแผ่น ที่ 1 (Λ_1) ผลักออกห่างและแผ่นที่ 2 (Λ_2) จะดึงลำอิเล็กตรอนเข้าไปหาจึงเกิดการลำแสงจากซ้ายไปขวาได้แล้ว

หากต้องการให้มีการกวาดลำแสงจากขวา กลับมาซ้ายอีกครั้ง สนามไฟฟ้าแผ่น ที่ 1 (Λ_1) และ ที่ 2 (Λ_2) ต้องสลับศักย์สนามไฟฟ้าเหมือนตอนแรกอีกครั้งหนึ่ง แต่จากหลักการสแกนบอกว่า การสแกนครั้งต่อ ๆ ไป ต้องไม่ทับเส้นเดิม หากเราจะให้เป็นไปในลักษณะดังกล่าวสามารถทำได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยค่อย ๆ ลดศักย์ของสนามไฟฟ้าของแผ่นที่ 3 (Λ_3)ลง และค่อย ๆ เพิ่มศักย์ของสนามไฟฟ้าของแผ่นที่ 4 (Λ_4) ขึ้น ก็จะทำให้ลำอิเล็กตรอนถูกดึงลงมาทางด้านล่าง เมื่อแผ่นที่ 3 (Λ_3) มีศักย์ลงสูงสุดและแผ่นที่ 4 (Λ_4) มีศักย์บวกสูงสุด นั่นหมายถึงเส้นภาพลงมาสุดขอบจอภาพทางด้านล่างแล้ว



รูปที่ 2.8 สนามไฟฟ้าที่ใช้เพื่อการสแกน

จากหลักการดังกล่าว ถ้าเอามาเทียบกับสัญญาณทางไฟฟ้าแล้ว เราจะพบว่าหากเราจะสร้างกรรมวิธีสแกน ต้องสร้างสัญญาณเพื่อการสแกนเป็นรูปฟันเลื่อย และสัญญาณดังกล่าวต้องเป็นเส้นตรงจริง ๆ จึงจะทำงานได้ถูกต้อง (Precision Linear) เมื่อเราเอาหลักการเบี่ยงเบนลำอิเล็กตรอนดังกล่าวมาใช้ในรูปแบบของสนามแม่เหล็ก (Eletromagnetic Deflection) ซึ่งตัวที่จะสร้างอำนาจแม่เหล็กไฟฟ้าคือ ดีเฟล็คชั่น โย้ค (Deflection Yoke) ซึ่งเป็นขดลวดสร้างสนามแม่เหล็กไฟฟ้า สัญญาณที่จะต้องป้อนเข้าไปยังขดลวดชุดนี้จึงต้องมีลักษณะเป็นรูปฟันเลื่อย

2.4 สัญญาณภาพรวม

เครื่องส่งทำการส่งสัญญาณภาพรวม (Composite Video Signal) ซึ่งการที่เราจะทำให้เครื่องรับโทรทัศน์ บรรลุวัตถุประสงค์ได้นั้นต้องให้สถานีโทรทัศน์ส่งสัญญาณต่าง ๆ ดังนี้

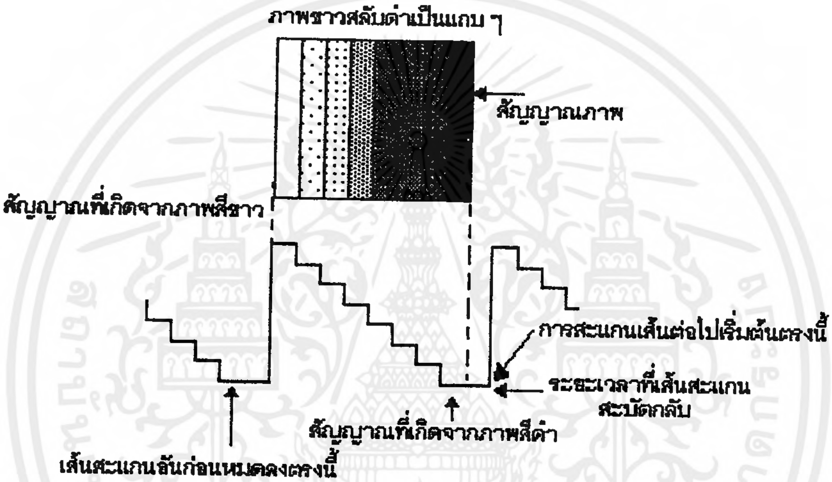
1. สัญญาณภาพและสัญญาณเสียง เป็นสัญญาณที่ส่งไปเพื่อให้เกิดภาพและเสียงขึ้นเครื่องรับโทรทัศน์
2. สัญญาณแบลงกิ้ง เป็นสัญญาณที่ส่งเพื่อให้ลบเส้นสะบัดกลับทั้งในแนวตั้งและแนวนอน
3. สัญญาณซิงโครไนซ์ เป็นสัญญาณที่ส่งมาเพื่อช่วยให้วงจรหักเหทางแนวตั้งและวงจรหักเหทางแนวนอน เพื่อให้เครื่องส่งกับเครื่องรับทำงานสอดคล้องตรงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. สัญญาณอีควอไลซิ่ง เป็นสัญญาณที่ช่วยให้สัญญาณซิงโครไนซ์ทั้งแนวตั้งและแนวนอนยังคงรูปเดิมอยู่ได้ แม้ว่าจะเป็นการสแกนแบบสลับเส้นก็ตาม

2.4.1 สัญญาณภาพขาว - ดำ

สมมุติว่าเราจะดูระดับความขาว - ดำ กรณีที่เรากล่าวถึงสัญญาณขาว - ดำหรือสัญญาณโมโนโครมได้ดีที่สุดต้องกล่าวว่าภาพที่เป็นสีขาวคือ ภาพที่มีความสว่างมากที่สุด และภาพที่เป็นสีดำคือภาพ ที่ไม่มีความสว่างเลย ภาพที่ดีที่สุดของกรณีคือแถบภาพที่มีความแตกต่างของระดับขาวดำทีละน้อย ซึ่งเราเรียกว่า ระดับเกรย์สเกล (Gray scale) นั่นเอง



รูปที่ 2.9 แสดงระดับสัญญาณขาว - ดำ โดยเกรย์ สเกล (Gray scale)

จากภาพที่ 2.9 แสดงให้เห็นระดับ ของเกรย์สเกล ในกรณีที่ระดับสัญญาณภาพเป็นสัญญาณสีขาวเข้ามา นั่นหมายความว่าระดับความแรงของสัญญาณภาพมากที่สุดจึงให้ความส่งสว่างที่หน้าจอสว่างมากที่สุด และเมื่อระดับสัญญาณสีขาวลดลงเป็นสีมัว, เทา และดำ นั้น ระดับสัญญาณจะลดลงมาเรื่อย ๆ นั่นหมายความว่าเมื่อสัญญาณมีความแรงน้อยลงความส่องสว่างจะน้อยลงตามไปด้วย อันที่จริงแล้วภาพแต่ละภาพเป็นสัญญาณความถี่ทางไฟฟ้าที่มีความถี่สูงต่ำไม่เท่ากัน โดยความถี่สูงสุดจะไม่เกิน 4 เมกะเฮิรตซ์ในระดับเอฟซีซี. (FCC) และไม่เกิน 5 เมกะเฮิรตซ์ในระบบซีซีไออาร์.(CCIR) ภาพที่เกิดจากความถี่สูงย่อมมีความละเอียดกว่าความถี่ต่ำ (มีจำนวนจุดดำมากกว่า)

2.4.2 สัญญาณแบลงกิ้ง

ทราบแล้วว่าเมื่อมีการสแกนลำอิเล็กตรอนที่หน้าจอจะเกิดเส้นรีเทรสหรือเส้นสะบัดกลับ ซึ่งเป็นภาพที่เราไม่ต้องการ เครื่องส่งจึงต้องส่งสัญญาณแบลงกิ้ง (Blanking) เพื่อบังคับให้เครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถลบเส้นสะบัดกลับได้ สัญญาณแบลงกิ้งส่วนหนึ่ง เครื่องรับจะต้องสร้างขึ้นเหมือนการสร้างสัญญาณซิงโครไนซ์ แต่มันจะสัมพันธ์เครื่องส่งได้อย่างไร จึงต้องมีการส่งสัญญาณแบลงกิ้งมาจากเครื่องส่งเพื่อลบเส้นสะบัดกลับในเครื่องรับ สัญญาณแบลงกิ้งมีอยู่ 2 อย่าง คือ เวอร์ติคอลแบลงกิ้ง (Vertical blacking) กับฮอริซอนตอลแบลงกิ้ง (Horizontal blacking)

2.4.3 สัญญาณซิงโครไนซ์

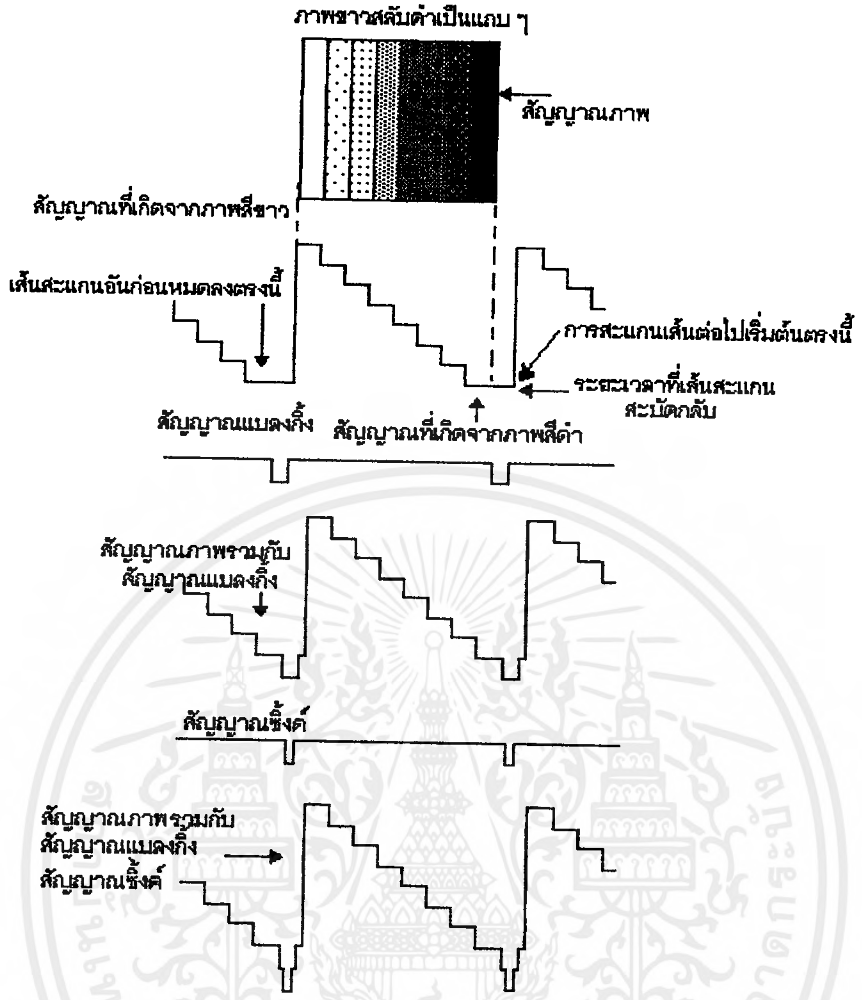
เป็นสัญญาณเพื่อที่ให้การสแกนเป็นไปอย่างถูกต้อง ทั้งการสแกนแนวตั้งและแนวนอน โดยสัญญาณซิงโครไนซ์ หรือสัญญาณซิงค์มีอยู่ 2 สัญญาณ คือ

1. ฮอริซอนตอล ซิงโครไนซ์ (Horizontal Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวนอน ซึ่งมีความถี่ 15,625 เฮิรตซ์ (ในระบบ CCIR) หรือ 15,750 เฮิรตซ์ (ใน ระบบ FCC) ถ้าไม่มีสัญญาณส่วนนี้ส่งมาจะทำให้ภาพเกิดการล้มได้

2. เวอร์ติคอล ซิงโครไนซ์ (Vertical Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวตั้ง ซึ่งมีความถี่ 50 เฮิรตซ์ (ในระบบ CCIR) หรือ 60 เฮิรตซ์ (ในระบบ FCC) ถ้าไม่มีการส่งสัญญาณส่วนนี้มาจะทำให้ภาพเลื่อน

เนื่องจากสัญญาณซิงโครไนซ์กับสัญญาณแบลงกิ้ง ไม่ว่าจะเป็นแนวนอน หรือแนวตั้ง จะมีความถี่เท่ากันเวลาส่ง จึงต้องกำหนดตำแหน่งของการส่งให้ถูกต้อง มิฉะนั้นแล้วจะเกิดกวนกันได้ ในทางปฏิบัติจึงให้สัญญาณซิงค์พัลซ์ มีขนาดความกว้างน้อยกว่าแบลงกิ้งพัลซ์ แล้วใช้วิธีการส่งแบบผสม กล่าวคือส่งซิงค์พัลซ์กับแบลงกิ้งพัลซ์ไปด้วยกัน ให้แบลงกิ้งพัลซ์เป็นฐานของสัญญาณซิงค์พัลซ์ เมื่อมีการจัดระดับของสัญญาณส่วนนี้เทียบกับเกรย์สเกลระดับของแบลงกิ้ง จะอยู่ที่ระดับต่ำกว่าดำ ส่วนซิงค์จะเป็นระดับต่ำกว่าระดับดำมากกว่าลงไปอีก สัญญาณเหล่านี้จึงไม่มีการส่งผลต่อการมองเห็น (หรือไม่กวนสัญญาณภาพ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

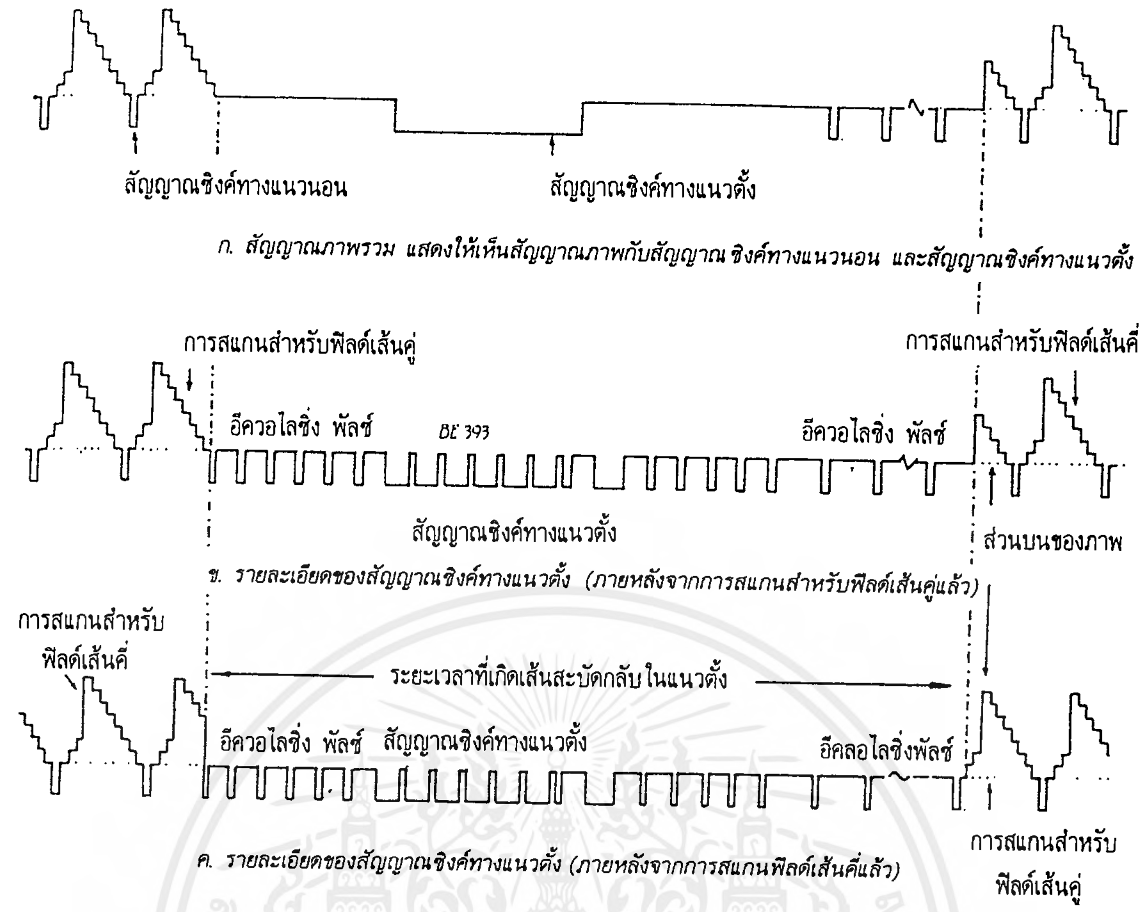


รูปที่ 2.10 ลักษณะของสัญญาณภาพรวมเบื้องต้น

2.4.4 สัญญาณอีควอไลซิ่ง

เป็นสัญญาณที่บังคับรูปร่างของสัญญาณ ซิงโครไนซ์ทางแนวตั้ง เพื่อให้สามารถคงรูปถูกต้อง แล้วยังช่วงให้การสแกนแบบสลับเส้นเป็นไปได้ถูกต้องด้วย สามารถขึ้นเส้นคู่เส้นคี่ในตำแหน่งที่ถูกต้องได้ ทั้งยังส่งผลทางอ้อมให้สัญญาณซิงโครไนซ์ทาง แนวนอนไม่ขาดช่วงหายไปในระหว่างการส่งสัญญาณทางแนวตั้งด้วย สัญญาณตัวนี้จะมีขนาดของพัลซ์รวมเท่ากับเวอร์ติคอล ซิงโครไนซ์พัลซ์ สัญญาณส่วนนี้จะถูกแบ่งออกเป็น 6 ลูกเล็ก ๆ ในระบบ 525 เส้น และถูกแบ่งเป็น 5 ลูกในระบบ 625 เส้น ดังแสดงไว้ในรูปที่ 2.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

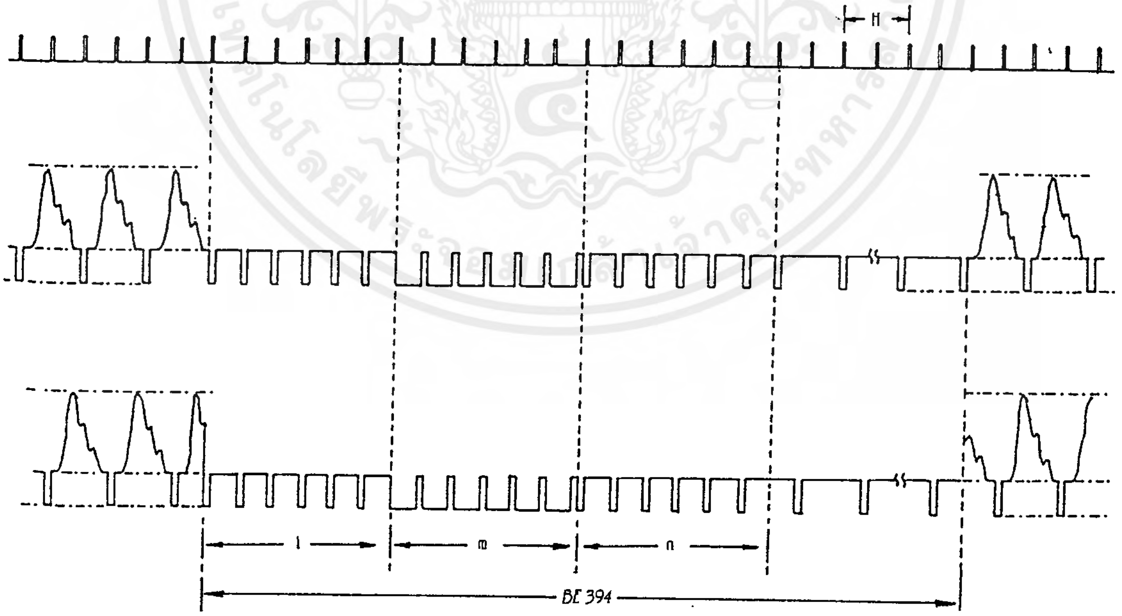


ก. สัญญาณภาพรวม แสดงให้เห็นสัญญาณภาพกับสัญญาณ ซิงค์ทางแนวนอน และสัญญาณซิงค์ทางแนวตั้ง

ข. รายละเอียดของสัญญาณซิงค์ทางแนวตั้ง (ภายหลังจากการสแกนสำหรับฟิลด์เส้นคู่แล้ว)

ค. รายละเอียดของสัญญาณซิงค์ทางแนวตั้ง (ภายหลังจากการสแกนฟิลด์เส้นคี่แล้ว)

รูปที่ 2.11 แสดงลักษณะของสัญญาณภาพรวมที่แสดงรายละเอียดทุกอย่าง



รูปที่ 2.12 แสดงระบบพัลซ์ในฟิลด์ของการซิงโครไนซ์ของระบบโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

33983

ตาราง 2.2 แสดงสเปคของระบบโทรทัศน์ตามมาตรฐาน ซีซีไออาร์.

	PAL	NTSC
N Number of lines per frame	625	525
f_T Frame frequency (pictures/second)	25	29.97
f_f Field frequency (number of fields per second)	50	59.94
1/2 Number of per field	312 .5	262 .5
h/b spect ratio	3/4	3/4
B Video bandwidth (MHz)	5	4.2
H Line period (μs)	64	63.5566
f_L Line frequency (Hz)	15.625	15.734
a line-blanking interval (μs)	11.8-12.3	10.5-11.4
d Line synchronizing pulse (μs)	4.5-4.9	4.2-5.1
T_f Field period (ms)	20	16.683
j Field- blanking period	18-22H + 12	25H
I Duration of first equalizing pulse sequence	2.5H	3H
m Duration of field synchronizing pulse sequence	2.5H	3H
n Duration of second sequence of equalizing pulses	2.5H	3H
T_m Field synchronizing pulse period	0.5H	0.5H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การแปลงสัญญาณดิจิตอลเป็นอนาลอกและอนาลอกเป็นดิจิตอล
(Digital to Analog Converter and Analog to Digital Converter)

ในปัจจุบันสัญญาณ ต่าง ๆ ที่เราคุ้นเคยมักเป็นสัญญาณที่มีการเปลี่ยนแปลงอย่างต่อเนื่อง หรือที่เราเรียกว่า สัญญาณอนาลอก นั้นเป็นสัญญาณที่เราเห็นหรือรู้สึกหรือสัมผัสได้ในชีวิตประจำวัน เช่นแสง สี เสียง อุณหภูมิ ตลอดจนแรงเคลื่อนไฟฟ้าหรือกระแสไฟฟ้า เราเห็นหรือเข้าใจในรูปแบบของฟังก์ชั่นที่ มีการเปลี่ยนแปลงอย่างต่อเนื่องที่ไม่มีสิ้นสุด จึงเป็นการยากที่จะควบคุมสัญญาณอนาลอกให้ทำงานตามที่ต้องการ แต่ในทางตรงกันข้าม เราจะพบว่าสัญญาณอีกรูปแบบหนึ่งซึ่งไม่ เป็นฟังก์ชั่นของเวลา หรือที่เราเรียกว่า สัญญาณดิจิตอล นั้นสามารถควบคุมและทำความเข้าใจ และ ควบคุมได้ง่ายกว่าสัญญาณอนาลอก โดยเราอาจจะใช้วงจรลอจิกอย่างง่าย ๆ หรือ ไมโครโปรเซส เซอร์ควบคุมได้

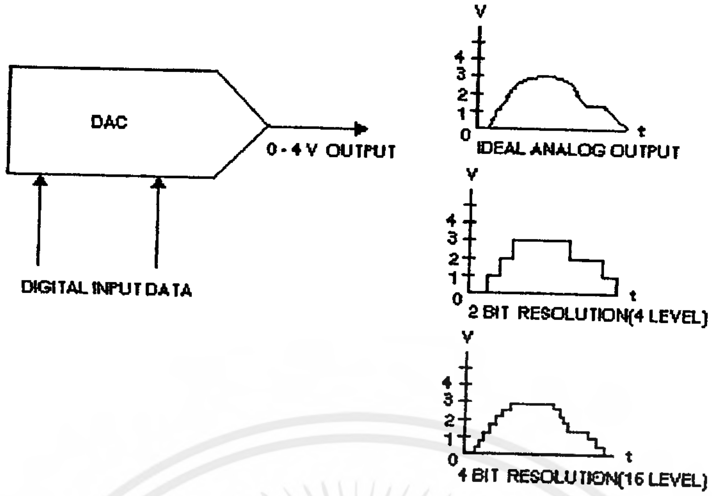
แต่เมื่อ วงจรดิจิตอลต้องการ รับสัญญาณอินพุทที่เป็นสัญญาณอนาลอก หรือ ต้องการส่งสัญญาณเอาท์พุท เป็นสัญญาณอนาลอก ในทางปฏิบัติเราจะนำสัญญาณหรือวงจรทั้งสองมาเชื่อมต่อโดยตรงไม่ได้ จำเป็นต้องนำเอาสัญญาณอนาลอกนั้นมาผ่านอุปกรณ์เชื่อมต่อที่เรียกว่า ตัวแปลงสัญญาณอนาลอก ให้เป็นสัญญาณดิจิตอล (Analog to Digital Converter) หรือ เรียกย่อ ๆ ว่า A/D converter หรือผ่านตัวแปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาลอก (Digital to Analog Converter) เรียกย่อ ๆ ว่า D/A converter และ A/D converter จึงกลายเป็นหัวใจสำคัญของการเชื่อมโลกของดิจิตอลเข้ากับโลกของอนาลอกเทคนิคขั้นพื้นฐานบางประการของ D/A และ A/D converter มีดังนี้

3.1 ตัวแปลงสัญญาณอนาลอก ให้เป็นสัญญาณดิจิตอล หรือ D/A (Digital to Analog converter)

D/A คอนเวอร์ทเตอร์ หรือเรียกย่อ ๆ ว่า DAC เป็นตัวแปลงรหัสเลขฐานสองจากคอม พิวเตอร์ หรือจากวงจรดิจิตอลใด ๆ ให้กลายเป็นระดับแรงดันอนาลอก ที่มีความสัมพันธ์กับระบบเลขฐานสองตัว DAC สามารถนำไปใช้ขับอุปกรณ์ ที่เป็นอนาลอกได้ เช่น เครื่องรับโทรทัศน์เครื่องเล่นคอมแพ็คดิสก์ ซึ่งข้อมูลที่ได้จากการแปลงจะกลายเป็นสัญญาณที่มีคุณภาพสูง คมชัดขึ้น

DAC ขนาด 8 บิท สามารถให้สัญญาณอนาลอกทางด้านเอาท์พุท ที่เป็นระดับแรงดันได้ 2^8 ระดับ หรือ 256 ระดับ DAC ขนาด 12 บิท สามารถให้ระดับแรงดันได้ 2^{12} ระดับ หรือ 4096 ระดับ อย่างที่เราได้เห็นแล้วว่า DAC มีขนาดอินพุทบิทมากเท่าไร ความละเอียดและความถูกต้องของระดับแรงดันอนาลอกทางเอาท์พุทที่ DAC สามารถผลิตได้จะมากขึ้นตาม ดังแสดงในรูปที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 แสดงความละเอียดของแรงดันเอาท์พุท

ความละเอียดของ DAC ขึ้นอยู่กับเวลาเข้าสู่สภาวะคงตัวของตัว DAC เอง (Setting time) เป็นค่าของเวลาที่ระดับแรงดันเอาท์พุทเข้าสู่สภาวะคงที่ เมื่อรหัสไบนารีทางอินพุทเปลี่ยนแปลงไป โดยปกติจะคิดที่สัญญาณทางเอาท์พุทคงที่ ในช่วงของ LSB (Least Significant Bit) ค่าที่คาดว่าจะเป็น หลังจากรหัสไบนารีทางอินพุทเปลี่ยนไปนั้น หมายความว่าในเงื่อนไขของการปฏิบัติงานจริง ๆ มีความสัมพันธ์กับค่าซึ่งเป็นอยู่ขณะนั้นต่อ LSB ของมันเอง ถ้า DAC ขนาด 8 บิท มีช่วงแรงดันเอาท์พุทอยู่ในช่วง 0 -10 โวลท์ ดังนั้น LSB มีค่าเท่ากับ $10/2^8$ หรือเท่ากับ 0.039 โวลท์ ครึ่งหนึ่งเท่ากับ 0.0195 โวลท์ ของค่าระดับที่คาดหมายไว้ตามปกติค่าเวลาเข้าสู่สภาวะคงตัวมีค่าน้อยกว่า 10

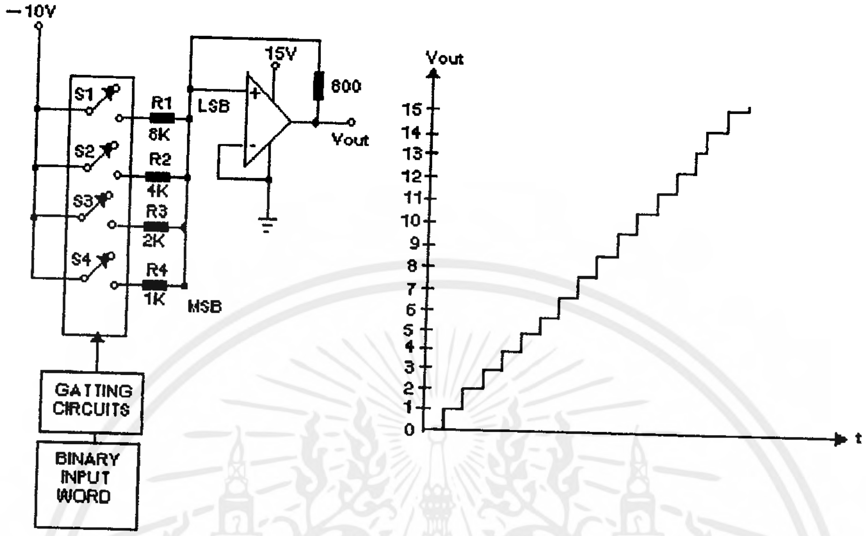
ค่าความแม่นยำ เป็นแฟกเตอร์ที่สำคัญอีกตัวหนึ่ง ของ DAC ในเงื่อนไขปกติ ค่าความแม่นยำของ DAC ในสภาวะ กล่าวคือ ทุก ๆ ตำแหน่งจาก ฝ ถึง 2 ค่าของ LSB สำหรับ DAC ที่มีความแม่นยำ 1 ค่า LSB แรงดันเอาท์พุทอยู่ในช่วง 0 ถึง 5 โวลท์ มีความละเอียดเท่า 12 บิท LSB ควรจะเป็น $5/2^{12}$ หรือ 0.00122 โวลท์ สำหรับทุก ๆ ค่าของรหัสไบนารีทางด้านเอาท์พุทแรงดันอาจจะสูงหรือต่ำกว่าค่าที่คาดหมายไว้ ถ้า DAC ตัวเดียวกันมีค่าความแม่นยำเท่ากับ 1/2 ค่าความถูกต้อง LSB จะสามารถผิดพลาดไปได้ 0.00122/2 ยิ่งค่าความแม่นยำเท่าไร ค่าความละ เอียดก็จะมากขึ้นตาม และจะมีค่าใกล้เคียงกับค่าเอาท์พุทที่คาดไว้

วิธีการของ การเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณอนาลอก มีหลายวิธี แต่จะขอกล่าวถึงเพียง 2 วิธี คือ Binary-weighted และ Binary ladder DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 การจัดน้ำหนักของรหัสไบนารี D/A (Binary-weight resister D/A)

เทคนิคการจัดน้ำหนักของรหัสไบนารีเป็นวิธีที่ง่ายที่สุดและเก่าที่สุด ของการแปลงดิจิตอลบิท ให้กลายเป็นสัญญาณอนาลอก วงจรของ Binary-weighted resister D/A แสดงไว้ในรูปที่ 3.2



รูปที่ 3.2 วงจร Binary-weighted resister DAC และกราฟเอาท์พุทของ DAC

รหัสไบนารีจะถูกป้อนให้ ขาเกทของอนาลอกสวิทซ์ เมื่อรหัสไบนารีเป็น 0000 ถูกป้อนให้ที่เกท อนาลอกสวิทซ์ทั้งหมดจะเปิดวงจร ดังนั้น จึงไม่มีแรงดันเอาท์พุทจ่ายไปให้กับออปแอมป์ เอาท์พุทจากออปแอมป์จึงเป็นศูนย์ เมื่อรหัสไบนารีเป็น 0001 สวิทซ์ S_1 จะปิดลง และแรงดัน 10 โวลท์จะจ่ายให้กับ R_1 เพราะว่าอินพุทของออปแอมป์จะมองได้ว่าเป็น กราวน์เสมือน (Virtual Ground) เป็นผลให้แรงดัน 10 โวลท์ ตกคร่อมตัวต้านทาน (R_1) 8 กิโลโอห์ม (KΩ) ซึ่งเป็นเหตุให้เกิดกระแส 1.25 mA ไหลผ่านความต้านทานป้อนกลับ (R1)ค่า 800 Ω แรงดันที่ตกคร่อม R_f ควรจะมีค่า 800 x 1.25 mA หรือเท่ากับ 1 โวลท์

เมื่อรหัสไบนารีเปลี่ยนไปเป็น 0010 S_1 จะเปิดและ S_2 ปิดวงจร เป็นเหตุให้กระแส 2.5 mA (10 V/4000) ไหลผ่าน R_2 แรงดันตกคร่อม R_f มีค่าเท่ากับ 800 x 2.5 mA หรือ 2 โวลท์ รหัสไบนารี 0100 จะให้แรงดันเอาท์พุทเท่ากับ 4 โวลท์ และถ้ารหัสไบนารีเป็น 1000 แรงดันเอาท์พุทจะเป็น 8 โวลท์ จะสังเกตได้ว่ารหัสทางอินพุทและค่าของ R_f มีผลต่อระดับแรงดันทางเอาท์พุท

สวิทซ์แต่ละตัวสามารถปิดวงจรพร้อมกันได้ เมื่อทำงานรวมกันเพื่อสร้างสัญญาณอนาลอกทางเอาท์พุทที่มีค่าจาก 0 โวลท์ จนถึงค่า 15 โวลท์ (0000 = 0 โวลท์, 0111 = 7 โวลท์ และ

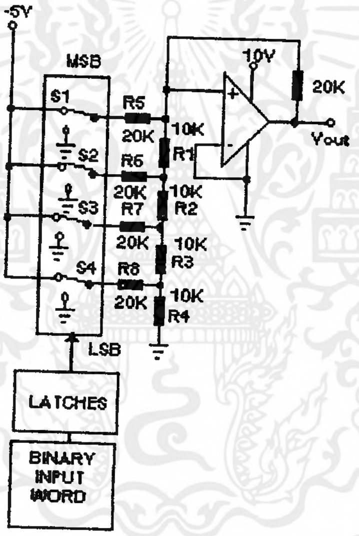
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1111 = 15 โวลท์) ในการเพิ่มขึ้น 1 โวลท์ ต่อ หนึ่งขั้น

ถึงแม้ว่า Binary - weighed resistor DAC มีลักษณะวงจรที่ง่าย ๆตรงไปตรงมา แต่ไม่สะดวกในการนำไปใช้งาน ถ้าต้องการความละเอียดของ DAC มากกว่า 4 บิท เพราะว่าค่าของความต้านทานที่ใช้มากมายหลายค่าเกินไป ซึ่งต่างจาก Ladder network ที่ต้องการใช้ตัวต้านทานเพียง 2 ค่าเท่านั้น

3.1.2 เลดเดอร์เน็ทเวิร์ค D/A (Ladder network D/A)

เทคนิค เลดเดอร์เน็ทเวิร์ค (Ladder network) สามารถสร้างแรงดันตามน้ำหนักของรหัสไบนารี โดยอาศัยความต้านทานเพียง 2 ค่าเท่านั้น ที่จัดในลักษณะวงจรแบ่งแรงดัน หรือที่เรียกว่า ไบนารี เลด เดอร์ (Binary Ladder) ดังแสดงในรูปที่ 3.3



รูปที่ 3.3 วงจร Binary Ladder DAC

ถึงแม้ว่าวงจร DAC แบบเลดเดอร์เน็ทเวิร์ค นั้นดูผ่าน ๆ แล้วค่อนข้างจะยาก แต่การทำงานของวงจรก็ยังคล้ายกับการทำงานของวงจร Binary Weighed DAC (รูปที่ 3.2) เกทที่ต่ออยู่ในลักษณะอนุกรมถูกใช้สำหรับขับอนาลอกสวิทช์ เมื่อรหัสไบนารี เป็น 0000 ถูกส่งมายังอนาลอกสวิทช์ทั้งหมดจะเปิดออก ดังนั้น แรงดันเอาท์พุทที่ได้จากออปแอมป์จึงมีค่าเป็นศูนย์ สวิทช์ S1 จะปิดลงเมื่อเกทได้รับรหัสไบนารีเป็น 1000 เป็นผลให้เกิดแรงดันเอาท์พุท 5 โวลท์ ออกมาจากออปแอมป์ ถ้ารหัสไบนารีเป็น 0010 สวิทช์ S3 ก็จะปิด และทำให้เกิดแรงดัน 1.25 โวลท์ ที่เอาท์พุท และสุดท้าย ถ้าอินพุทเป็น 0001 สวิทช์ S4 จะปิดลงออปแอมป์จะให้แรงดันเอาท์พุท

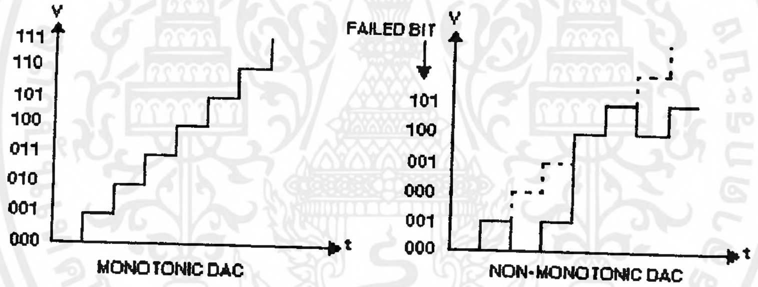
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกมา 0.625 โวลท์ จะสังเกตได้ว่าแต่ละแรงดันเอาท์พุทอยู่ในรูปอันดับของไบนารี คือเอาท์พุทสามารถเปลี่ยนจาก 0 ถึง 10 โวลท์ เพิ่มขึ้นขั้นละ 0.625 โวลท์ (24 หรือ 16 ขั้น)

ข้อดี ของเลดเดอร์เน็ทเวิร์ค DAC คือ สามารถออกแบบได้ง่าย เนื่องจากใช้ความต้านทานเพียง 2 ค่าเท่านั้น และในทุกวันนี้ บริษัทผู้ผลิต DAC เกือบทั้งหมด จะใช้เทคนิคแบบเลดเดอร์เน็ทเวิร์ค ในการผลิต DAC

วงจรไบนารีเลดเดอร์ มักจะมีความถูกต้องแม่นยำมากกว่าวงจร Binary-weighted เพราะว่าเราจะหาค่าความต้านทานที่ถูกต้อง 2 ค่า (เช่น 10 K หรือ 20 K) ได้ง่ายกว่าค่าความต้านทานหลาย ๆ ค่าที่ใช้ในวงจร Binary-weighted DAC ไอซี. สำเร็จรูปที่นิยมใช้อยู่คือเบอร์ DAC0800

หลักการเริ่มการทำงานของ DAC โดยเราสามารถพิจารณารายละเอียดที่สำคัญสุดท้ายของ monotonicity แรงดันเอาท์พุทที่เป็นสัญญาณอนาลอกของ DAC จะเพิ่มขึ้นเป็นลำดับคล้ายกับการเพิ่มของรหัสไบนารีทางอินพุท ดังแสดงในรูปที่ 3.4



รูปที่ 3.4 Monotonic DAC จะมากขึ้นทุก ๆ ค่าของสัญญาณอนาลอกที่ถูกต้อง

ในทางอุดมคติ การเพิ่มขึ้นของสัญญาณทางอินพุท ที่เป็นรหัสไบนารีจะเป็นเหตุทำให้เราสามารถ ทายและรู้ถึงแรงดันเอาท์พุทได้ ในอุปกรณ์บางตัว ส่วนของการสวิทชิ่งและส่วนขยายสัญญาณ ไม่สามารถจ่ายกระแสไฟฟ้า ภายในเงื่อนไขเหล่านั้นได้อย่างเพียงพอ จึงเป็นสาเหตุที่ทำให้ DAC เกิดการ Skip หรือการกระโดดข้ามขั้นนั่นเอง การเกิด Skip นี้จะมีปัญหาน้อยในบิท นัยต่ำ ๆ แต่จะมีมากขึ้นเมื่อน้ำหนักของบิทเพิ่มขึ้น

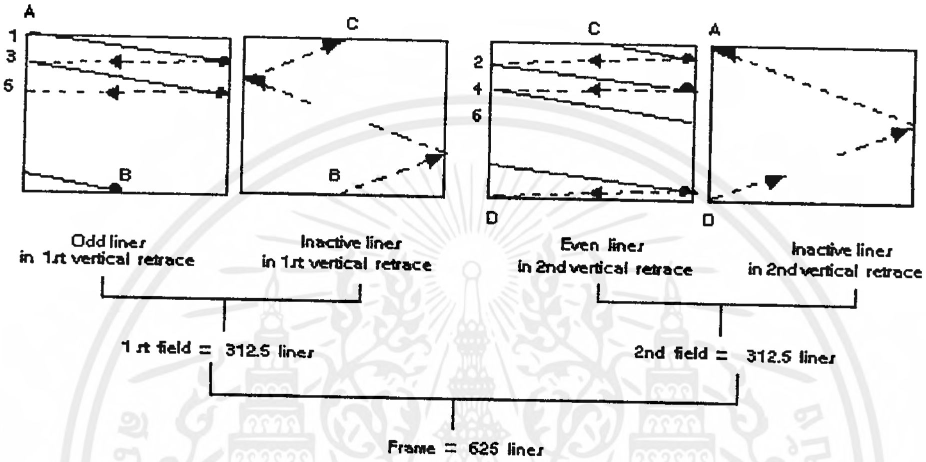
3.2 ตัวแปลงสัญญาณอนาลอก ให้เป็นสัญญาณดิจิตอล หรือ A/D (Analog to Digital converter)

A/D converter หรือ ADC ใช้สำหรับการแปลงสัญญาณอินพุท ที่เป็นอนาลอกให้เป็นจำนวนจำกัดของดิจิตอลบิท ผลลัพธ์ที่ได้จะอยู่ในรูปของ "WORD" ทางดิจิตอลซึ่งจะกลายเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รหัสเลขฐานสองที่แทนระดับ แต่ละระดับของสัญญาณอนาลอก ในขณะที่ ADC กำลังแปลงสัญญาณอยู่

ความละเอียดของ ADC จะคล้ายกับความละเอียดของ DAC อย่างมาก ๆ กล่าวคือ จำนวนบิททางเอาท์พุทมีหลาย ๆ บิท ความละเอียดของ ADC ตัวนั้นก็จะมีมากขึ้น เช่น ADC ขนาด 12 บิท ก็จะมีความละเอียดเท่ากับ 12 เป็นต้น ดังแสดงในรูปที่ 3.5



รูปที่ 3.5 ความละเอียดของ ADC จะแปรผันตรงกับจำนวนบิท ทางเอาท์พุท

ค่าเวลาการแปรผัน (Conversion time) เป็นเกณฑ์ที่สำคัญอีกตัวหนึ่งของ ADC ตามที่ได้เห็นมาว่า การแปลงสัญญาณอนาลอกให้กลายเป็นสัญญาณดิจิตอลไม่ได้เกิดขึ้นโดยทันทีทันใด แต่ต้องมีการผ่านกระบวนการต่าง ๆ ด้วย เหตุที่ผลลัพธ์ต้องการเวลาค่าเวลาขณะหนึ่งที่จะทำการสุ่ม (Sample) สัญญาณอินพุท และให้สัญญาณดิจิตอลที่เป็นรหัสไบนารีออกมาที่เอาท์พุท ดังนั้น ค่าเวลาการแปลงผัน คือ ช่วงเวลาที่ต้องการกระทำกระบวนการให้เสร็จสิ้น ซึ่งจะมีค่าอยู่ในช่วงประมาณ μS สำหรับ DAC ความเร็วสูง และเป็น mS สำหรับ DAC แบบธรรมดา เนื่องจากการเปลี่ยน ADC นั้น จะต้องการกระบวนการซิงโครไนส์ที่แน่นอนและแม่นยำ แหล่งกำเนิดสัญญาณนาฬิกาจึงจำเป็นต้องมีในวงจร

3.2.1 ทฤษฎีการสุ่มตัวอย่าง (Sampling Theory)

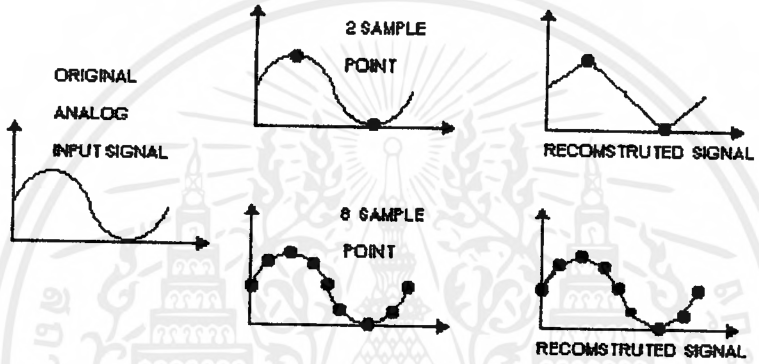
เนื่องจาก ADC ต้องการค่าเวลาขณะหนึ่งที่ใช้ ในกระบวนการแปลงสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอล ช่วงเวลาช่วงหนึ่ง จะใช้สำหรับการสุ่มตัวอย่าง (Sampling) ของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เช่น ADC สามารถเปลี่ยนสัญญาณเสร็จสมบูรณ์ได้ภายใน 1 mS ดังนั้น มันจึงสามารถเปลี่ยนสัญญาณได้ 1,000 ครั้งใน 1 วินาที อัตราการเปลี่ยนสัญญาณสูงสุดมีค่าเท่ากับส่วนกลับของค่าเวลาการเปลี่ยน

ตัวคอนเวอร์เตอร์จะสุ่มตัวอย่างของสัญญาณด้วยอัตราต่ำสุดเป็น 2 เท่า ของความถี่สูงสุดของสัญญาณอินพุทที่เข้ามา อัตราการสุ่มนี้เรียกว่า Nyquist rate

พิจารณาสัญญาณอนาลอก ที่เป็นคลื่นสัญญาณรูปซายน์ 10 Hz จ่ายให้กับตัว ADC ตามรูปที่ 3.6



รูปที่ 3.6 การสุ่มหลาย ๆ ช่วงจะมีลักษณะใกล้เคียงกับสัญญาณเดิม

อัตราต่ำสุดของการสุ่มตัวอย่างเป็น 2f หรือ 20 Hz ซึ่งจะให้ข้อมูลดิจิตอลขนาด 2 บิท ออกมาในแต่ละ ไซเคิ้ล เมื่อข้อมูลดิจิตอลถูกนำมาสร้างเป็นสัญญาณอนาลอกขึ้นมาใหม่ โดย DAC สัญญาณอนาลอกตัวใหม่มีลักษณะคล้ายคลึงกับสัญญาณเดิม ถ้าความถี่ 10 Hz เป็นความถี่สูงสุดที่เข้ามายังตัว ADC ค่าเวลาที่ใช้ในการเปลี่ยนสัญญาณสูงสุดเป็น 1/20 Hz หรือ 50 ms เป็นต้น

การที่เราจะปรับปรุงประสิทธิภาพของ ADC ในแง่ความเหมือนจริง ของสัญญาณการแปลงให้อยู่ในดิจิตอล เราจะต้องเพิ่มอัตราการสุ่มขึ้นในขณะที่คาบเวลาเท่าเดิม อัตราการสุ่ม 8 จุดต่อไซเคิ้ล ต้องการอัตราการสุ่มของส่วนประกอบความถี่สูงสุดอินพุท 8 ครั้ง เช่น สัญญาณความถี่อินพุท 10 Hz จะต้องสุ่มตัวอย่างที่ 80 Hz ดังนั้นตัวคอนเวอร์เตอร์ควรจะมีค่าเวลาการเปลี่ยนเป็น 1/80 Hz หรือ 12.5 ms ถ้าตัว ADC ไม่สามารถสุ่มตัวอย่างได้เร็วพอต่อสัญญาณอินพุทที่เปลี่ยนแปลงไป ข่าวสารข้อมูลที่บรรจุในสัญญาณอนาลอกทางอินพุทจะสูญหายไป

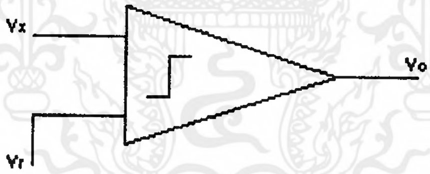
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความสัมพันธ์ระหว่างความถี่ทางอินพุท ค่าเวลาในการเปลี่ยนสัญญาณและอัตราการสุ่มเป็นพารามิเตอร์ของ ADC ที่สำคัญตัวหนึ่งวิธีการหลาย ๆ วิธีได้ถูกพัฒนาในช่วงหลายปีที่ผ่านมา เพื่อที่จะทำการแปลงสัญญาณอนาลอกให้อยู่ในรูปของสัญญาณดิจิตอล วิธีที่ยังใช้จนถึงปัจจุบัน มีอยู่ ด้วยกัน 6 วิธีคือ

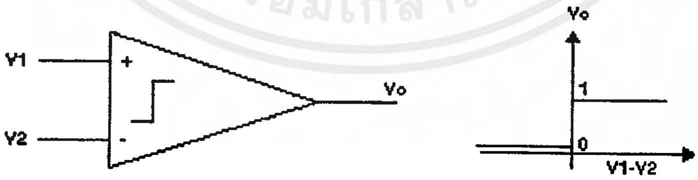
3.2.2 วิธีแปลงสัญญาณอนาลอกเป็นดิจิตอล

3.2.2.1 Basic conversion method

วิธีการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบง่าย ๆ แสดงในรูปที่ 3.7 แรงดันอินพุทที่ไม่ ทราบค่า Vx จะต่อเข้ากับขาอินพุทขาหนึ่งของอนาลอกคอมพาราเตอร์ และแรงดันอ้างอิงที่ขนาดแปรตามเวลา VR ต่อเข้ากับอินพุทอีกขาหนึ่งของคอมพาราเตอร์ ลักษณะของทราบเฟอร์ฟังก์ชั่นของคอมพาราเตอร์แสดงในรูปที่ ถ้าแรงดันอินพุท V1 มากกว่าอินพุท V2 แล้วแรงดันเอาท์พุทจะเป็นลอจิก 1 ถ้าอินพุท V1 น้อยกว่า V2 แล้วเอาท์พุทจะเป็นศูนย์ วิธีในการแปลงข้อมูลคือ แรงดันอ้างอิงจะถูกแปรค่าจนกระทั่งรู้ค่าแรงดันอินพุท ที่ผิดพลาดไม่เกิน Quantization error ของคอนเวอร์ทเตอร์ ในแนวความคิดแล้วตรรกะของ ADC คือพยายามเลือกกลุ่มของสัมประสิทธิ์ไบนารี a_i เพื่อให้ผลต่างระหว่างแรงดันอินพุท Vx และค่าที่ Quantize ได้ครั้งสุดท้าย น้อยกว่า 0.5 LSB



รูปที่ 3.7 แสดงวิธีการพื้นฐานของ ADC



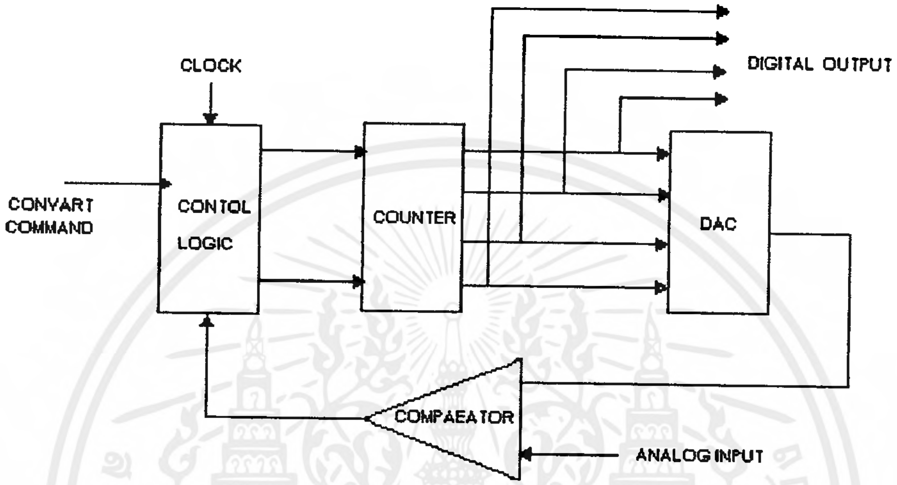
รูปที่ 3.8 แสดงทราบสเฟอร์ฟังก์ชั่นของคอมพาราเตอร์

3.2.2.2 Counter Type ADC

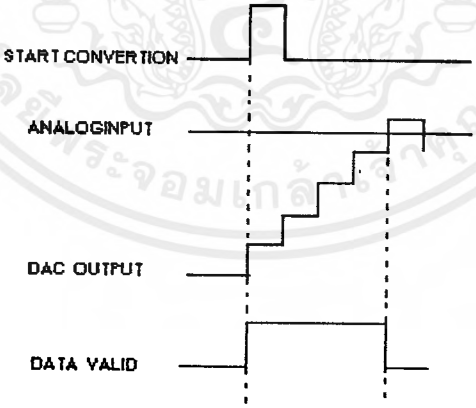
การจัดวงจร ADC ลักษณะนี้ เป็นแบบที่ง่ายที่สุด หลักการทำงานของวงจรคือ การเปรียบเทียบขนาดของแรงดันที่เอาท์พุทของ DAC กับสัญญาณอนาลอกที่ไม่ทราบค่า Vin การทำงานจะเริ่มโดยสัญญาณ start conversion ลอจิก คอลโทรลจะรีเซท เคาน์เตอร์ให้เป็นศูนย์ แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เริ่มนับขึ้นจาก ศูนย์ เอาท์พุทของเคาร์เตอร์ (Counter) จะป้อนให้ DAC เพื่อแปลงเป็นสัญญาณอนาลอกลักษณะเป็นขั้นบันได จำมาเปรียบเทียบกับสัญญาณอนาลอกอินพุท ที่คอมพาราเตอร์ โดยเคาน์เตอร์ จะยังนับจนกระทั่งเอาท์พุทเท่ากับ สัญญาณอนาลอกอินพุท หรือต่างกันไม่เกิน 1 LSB แล้ว คอมพาราเตอร์จะเปลี่ยนสถานะไปหยุดการนับของเคาน์เตอร์และ latch ค่าจากเคาน์ เตอร์เพื่อรอการประมวลต่อไป และรอสัญญาณ start ใหม่



ก บล็อกไดอะแกรมของ Counter Type ADC



ข. Timing Diagram ของ Counter Type ADC

รูปที่ 3.9 บล็อกไดอะแกรม และ Timing Diagram ของ Counter Type ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนี้มีข้อเสีย คือ ทำงานได้ช้า เพราะการ conversion แต่ละครั้งเคาน์เตอร์จะต้องถูกรีเซท และเริ่มนับจากศูนย์ทุกครั้ง ดังนั้น ในการ conversion เป็นดิจิตอล n บิท จะใช้จำนวน clock ถึง 2^n เพื่อเปลี่ยนให้ได้ค่าสูงสุดเต็มสเกล ส่วนข้อดี ก็คือ สร้างได้ง่าย รวดเร็ว ราคาถูกแต่ความแม่นยำขึ้นอยู่กับ DAC ที่ใช้

3.2.2.3 Tracking ADC

Tracking ADC จะปรับปรุงวงจรจากแบบ counter type ทางด้านความเร็ว โดยใช้เคาน์เตอร์ แบบนับขึ้นลงได้ไม่จำเป็นต้องเริ่มนับจากศูนย์ทุกครั้ง แต่จะเริ่มนับจากค่าที่ได้ Latch ไว้จากการเปลี่ยนสัญญาณครั้งหลังสุด ดังนั้น ส่วนควบคุมทางลอจิกจึงซับซ้อนมากกว่า โดยการทำงานจะเป็นดังนี้ เอาท์พุทจาก DAC จะถูกเปรียบเทียบกับสัญญาณอินพุท หาก Vin มากกว่าลักษณะลอจิกของคอมพาราเตอร์ จะควบคุมให้เคาน์เตอร์นับขึ้น แต่ถ้า Vin น้อยกว่าเคาน์เตอร์จะนับลงจนกว่าค่าหลังสุดของเคาน์เตอร์ จะต่างจากสัญญาณอนาลอกอินพุทไม่เกิน 1 LSB และค่าของเคาน์เตอร์จะถูก Latch ไว้จากนั้นเคาน์เตอร์จะทำงานแบบติดตาม (track) สัญญาณอินพุทจนได้ค่าเท่ากันอีกก็จะ Latch ค่าใหม่ไว้

จากลักษณะการทำงานดังกล่าว Vin จะต้องไม่เปลี่ยนแปลงเร็วกว่า การทำงานของเคาน์เตอร์ มิฉะนั้นค่าเอาท์พุทที่ได้จะไม่สอดคล้องกับสัญญาณอินพุท ตัวอย่างในกรณีนี้ คือสัญญาณรูปซายน์ ซึ่งเปลี่ยนแปลงขนาดได้มากที่สุดเท่ากับค่าเต็มสเกล อัตราการเปลี่ยนแปลงจะเท่ากับอัตราการเปลี่ยนแปลงของเอาท์พุทของเคาน์เตอร์ คือ 1 LSB/clock period ดังนั้น ถ้าต้องการให้ ADC ตามอินพุทได้จะต้องให้ f_o น้อยกว่า 1/ 2n เท่าของ f_o

3.2.2.4 Integrating ADC

หัวใจสำคัญของวงจร ADC ชนิดนี้ คือ วงจร Integrator เทคนิคของการ ADC แบบ Integration คือจะใช้สัญญาณ ramp ต่อเนื่องแทนสัญญาณขั้นบันไดจาก DAC ซึ่งแบ่งตามลักษณะการทำงานได้สองแบบ คือ Single Slope Converter และ Dual Slope Converter

1) Single Slope Converter

สัญญาณอนาลอกแบบ ramp จะใช้เป็นแรงดันอ้างอิงที่เพิ่มขึ้นอย่างคงที่จากค่าต่ำกว่าศูนย์เล็กน้อยจนถึงค่าที่สูงกว่าค่าเต็มสเกลเล็กน้อย ซึ่งเวลาที่จะใช้จากการสแกนของสัญญาณ ramp จากศูนย์ถึงค่าแรงดันอินพุทจะเป็นสัดส่วนกับแรงดันอินพุท

การ convertion จะเริ่มด้วยสัญญาณ start convertion ทำการรีเซ็ทไบนารีเคาน์เตอร์ และเริ่มสร้างสัญญาณ ramp จากแรงดันที่ต่ำกว่าศูนย์โวลท์ เมื่อสัญญาณ ramp ผ่านศูนย์โวลท์

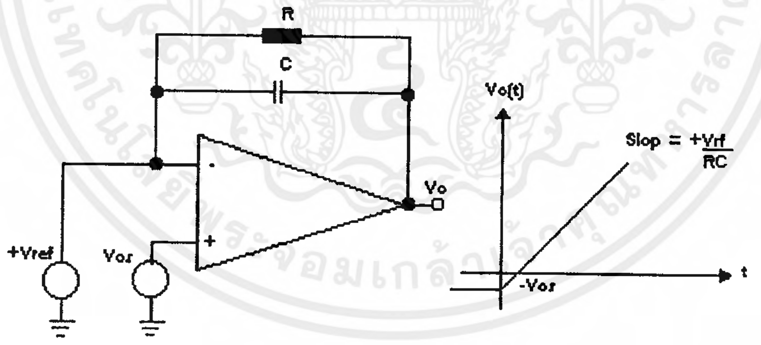
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทจากคอมพาราเตอร์ 2 จะ high และเปิดเกทปล่อยพัลส์เข้าสู่เคาน์เตอร์ เคาน์เตอร์จะเริ่มนับจนกระทั่งสัญญาณ ramp มีขนาดเท่าแรงดันอนาลอกอินพุท Vin ในเวลานี้เอาท์พุทจาก คอมพาราเตอร์ 1 จะ high และปิดเกทไม่ให้ clock เข้าสู่เคาน์เตอร์ จำนวนพัลส์จากเคาน์เตอร์จะเป็นสัดส่วนแรงดันกับอินพุท เนื่องจาก VR = KT โดยที่ R เป็นสโลปของ ramp (ซึ่งคงที่) ในหน่วยโวลท์/วินาที และ T เป็นจำนวนในการเคาน์เตอร์ หารด้วย f_o ซึ่งเป็นความถี่สัญญาณ clock ถ้าเลือกให้สโลปของ ramp เป็น V_{FSR} $f_o/2n$ จำนวนที่เคาน์เตอร์นับได้จะเท่ากับอัตราส่วนทางไบนารีหรือ Vin เวลามากที่สุด

เมื่อ $V_{in} = V_{FSR}$ คือ $T_{MAX} = 2n/f_0$ และเช่นเดียวกับใน ADC แบบเคาน์เตอร์ ramp ค่าของรหัสเอาท์พุทสุดท้าย จะต่างจากค่าของ V_{in} ไม่เกิน 0.5 LSB ในรูปที่ 3.10 แสดงวงจรกำเนิดของแรงดัน ramp อย่างง่าย โดยการต่อแรงดันอ้างอิงกับอินติเกรเตอร์ เมื่อสวิทซ์เปิด C จะทำการประจุและเพิ่มขนาดแรงดันเอาท์พุท ข้อเสียอีกประการหนึ่ง คือหากใช้งานไปนาน ๆ การเปลี่ยนแปลงค่า RC ตามอุณหภูมิจะทำให้ สโลปคลาดเคลื่อนด้วยเหตุนี้ ADC ชนิดนี้จึงไม่เป็นที่นิยมใช้ในปัจจุบัน

2) Dual Slope Converter

ADC แบบ Dual Slope ได้รับการพัฒนาขึ้นมาเพื่อแก้ไขจุดบกพร่องของ single slope ADC การจัดวงจรแสดงในรูปที่ ในแต่ละวัฏจักรของการทำงานของวงจร จะมีสองช่วงคือ T_1,



รูปที่ 3.10 วงจร Ramp voltage generator อย่างง่าย และลักษณะของเอาท์พุท

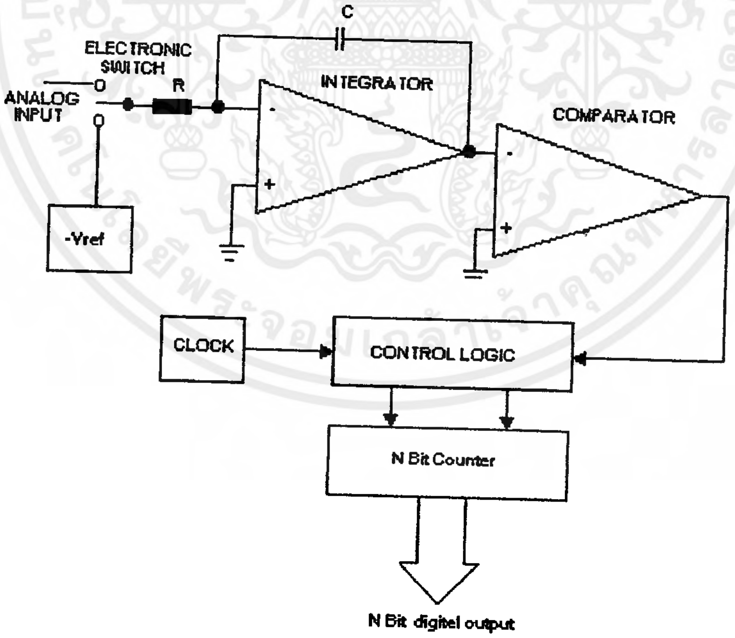
T_2 ในเวลา T_1 จะเป็นช่วงที่ได้รับการออกแบบให้มีค่าแน่นอนคงที่ในช่วงเวลานี้ สัญญาณอินพุท จะต่อเข้ากับอินทิเกรเตอร์ ผ่านสวิทซ์ S ซึ่งทำให้เอาท์พุทที่ถูก อินทิเกรท V_{int} เป็นสัญญาณ ramp ที่ขนาดเพิ่มขึ้นทางบวกและสโลปขึ้นกันขนาดของ Vin จนกระทั่ง V_{int} ถึงค่า ๆ หนึ่งเมื่อสิ้นสุด T_1 ในช่วงเวลา T_2 อินพุทจะถูกตัดออกจากอินทิเกรเตอร์และต่อกับแรงดันอ้างอิง ซึ่งมีค่าลบเข้ากับอินพุทของอินทิเกรเตอร์ โดยการควบคุมทางลอจิก ในลักษณะเช่นนี้จะทำให้ V_{int} ลดลงด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สโลปคงที่จากการคายประจุผ่านลง $-V_{ref}$ เมื่อเริ่มต้นเวลา T_2 เคาน์เตอร์จะรีเซ็ทและเริ่มนับ จนเมื่อ V_{int} มีค่าลดถึงศูนย์ คอมพาราเตอร์จะเปลี่ยนสถานะไปบอกส่วนควบคุมลอจิกให้หยุดนับ และเอาท์พุทของเคาน์เตอร์จะถูกแปลงเป็นรหัสดิจิตอล ความสัมพันธ์ระหว่างช่วงเวลากับแรงดันอินพุทจะเป็นไปตามสมการ

$$T_2 = T_1 V_{in} / V_{ref}$$

ดังนั้น รหัสดิจิตอลที่แสดงค่า T_2 จะแสดงค่าอัตราส่วนของแรงดันอินพุทต่อแรงดันอ้างอิง ด้วยคุณลักษณะสำคัญของ dual slope มีหลายประการคือ ประการแรกความแม่นยำของมันไม่ขึ้นอยู่กับเสถียรภาพของสัญญาณ clock และตัวเก็บประจุ แต่จะขึ้นอยู่กับค่าความเที่ยงตรงของแรงดันอ้างอิง และความเป็นเชิงเส้นของอินทิเกรเตอร์ ประการที่สอง การจำกัดสัญญาณรบกวนด้วยตนเองของวงจรสามารถทำได้ ถ้าเซ็ทให้ T_1 มีขนาดเท่ากับคาบเวลาของ สัญญาณรบกวน เช่น ในการจำกัดสัญญาณ 50 เฮิร์ท T_1 จะให้มีค่า 20 ms ส่วนข้อเสียที่สำคัญของ ADC นี้ คือความเร็วในการ conversion ค่อนข้างต่ำจึงมักนิยมใช้กับเครื่องมือวัดที่ไม่ต้องความเร็ว เช่น ดิจิตอลมิเตอร์ เป็นต้น



รูปที่ 3.11 บล็อกคไดอะแกรมของ Dual Slope ADC

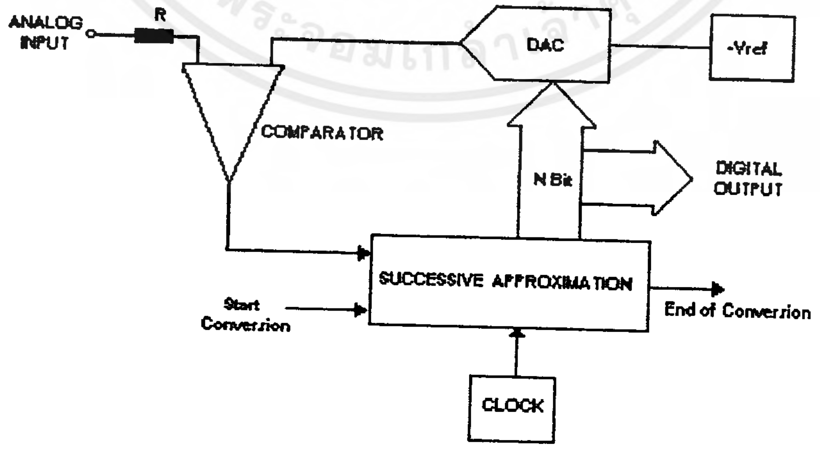
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2.5 Successive Approximation ADC

วงจร ADC ชนิดนี้ได้รับความนิยมในงานประยุกต์ที่ต้องการความเร็วปานกลางและค่อนข้างสูง การจัดวงจรจะคล้ายกันแบบเคาน์เตอร์ ที่ทำงานในลักษณะการป้อนกลับ ซึ่งบล็อกไดอะแกรมในรูปที่ แสดงฟังก์ชั่นต่าง ๆ ใน ADC ชนิดนี้ คอมพาราเตอร์จะคอยเปรียบเทียบเอาท์พุทจาก DAC กับอนาลอกอินพุท Vin เอาท์พุทจะไปควบคุม Successive Approximation Resister (SAR) ซึ่งเป็นไอซี. MSI (Medium Scale Integrated circuit) ที่ได้รับการออกแบบเป็นพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ

การทำงานของ ADC แบบนี้เปรียบเทียบได้กับการใช้งานของตาชั่ง สองแขน เมื่อวัตถุที่ต้องการทราบน้ำหนักเสมือนเป็นอินพุทของ ADC และเอาท์พุทที่เป็นดิจิตอลบิท เสมือนเป็นตุ้มน้ำหนักมาตรฐานที่จะวางบนจานอีกข้างหนึ่ง เมื่อตาชั่งยังไม่สมดุลย์ จะต้องมีการปรับตุ้มน้ำหนักมาตรฐานจนกว่าจะเกิดสมดุลย์ ในรูปที่ 3.12 คอมพาราเตอร์จะเป็นตัวตรวจสอบการสมดุลย์ดังกล่าวและ SAR จะทำหน้าที่ปรับแต่งดิจิตอลบิท (ตุ้มน้ำหนักมาตรฐาน)

มีข้อจำกัดประการหนึ่งสำหรับการ conversion คือสัญญาณอนาลอกอินพุท จะต้องคงที่ในช่วงเวลาที่ทำการเปลี่ยนแปลงสัญญาณ โดยเปลี่ยนได้ไม่เกิน ฝ LSB ในช่วงสุดท้ายของการเปลี่ยนสัญญาณดิจิตอลเอาท์พุทมาขนานกันทุกบิท แต่บางแบบจะให้เอาท์พุทออกมาในลักษระอนุกรม วงจร ADC แบบนี้สามารถทำงานได้สองโหมด คือ โหมดที่ทำงานโดยอิสระ(free run) และโหมดที่รอคำสั่ง start conversion จากภายนอก เวลาที่ใช้ในการเปลี่ยนสัญญาณใช้ (n+1) ลูกของ plus clock โดย clock ลูกแรกจะใช้ในการรีเซ็ทรีจีสเตอร์ภายใน สุดท้ายคุณภาพของระบบจะขึ้นอยู่กับคุณภาพของ ADC ในระบบเป็นอย่างยิ่ง



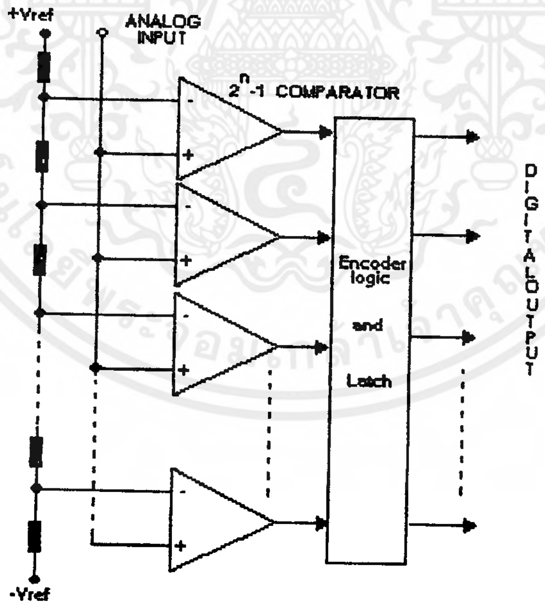
รูปที่ 3.12 บล็อคไดอะแกรมของ Successive Approximation ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2.6 แฟรช ADC (Flash A/D)

แฟรชคอนเวอร์เตอร์เป็น ADC ที่เร็วที่สุดในบรรดา ADC ที่ใช้เทคนิคแบบอื่น ๆ ลักษณะของ วงจรแฟรชคอนเวอร์เตอร์จะใช้ชุดของตัวเปรียบเทียบ (comparator) ที่ต่อขนานกันเพื่อจะทำการแปลงสัญญาณอนาลอกทางอินพุทให้เป็นรหัสทาง ดิจิตอล ดั้งนั้น แฟรชคอนเวอร์เตอร์ จึงเป็นคอนเวอร์เตอร์แบบขนาน

พิจารณาในรูปที่ 3.13 ตัวต้านทานที่ต่ออนุกรมกันจะอยู่ในรูปที่ 3.13 วงจรแบ่งแรงดันที่ตกคร่วม ตัวเปรียบเทียบแต่ละตัว แรงดันอินพุทสูงสุดจะขึ้นอยู่กับค่าของ Vcc สัญญาณเอาท์พุทจากตัวเปรียบเทียบแต่ละตัว จะเป็น 1 หรือ 0 ซึ่งเป็นระดับสัญญาณลอจิก ของวงจรดิจิตอล เมื่อ ไม่มีแรงดันอินพุทเข้า เอาท์พุทของตัวเปรียบเทียบแต่ละตัว จะมีลอจิก 0 ต่อมาแรงดันอินพุทเพิ่มขึ้น เอาท์พุทของตัวเปรียบเทียบ แต่ละตัวจะมีลอจิก 1 ไล่ตามลำดับขึ้นไป เมื่อแรงดันอินพุทมีมากกว่าแรงดันอ้างอิงแต่ละค่าที่ถูกเซ็ทโดยวงจรแบ่งแรงดัน เน็ตเวอร์คของดิจิตอลเกท ถูกใช้ในการเรียงลำดับของสัญญาณ จากตัวเปรียบเทียบให้อยู่ในรูป รหัสของเลขฐานสองซึ่งเป็นการสร้างรหัสที่เอาท์พุท ของคอนเวอร์เตอร์



รูปที่ 3.13 แฟรชคอนเวอร์เตอร์ที่มีความเร็วในการเปลี่ยนแปลงสัญญาณสูง วงจรง่ายแต่รายละเอียดต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตัวอย่างในรูปที่ 3.13 เป็น ADC ขนาด 2 บิท ซึ่งไม่สามารถนำไปใช้งานจริง ๆ ได้ เนื่องจากความละเอียดต่ำเกินไป จะพบว่าวงจรจะใช้วงจรเปรียบเทียบ 2-1 ตัว เป็นการแสดงถึงความละเอียดของคอนเวอร์เตอร์ จากตัวอย่างของคอนเวอร์เตอร์ขนาด 2 บิท ต้องการตัวเปรียบเทียบ $2^2-1=3$ ตัว ตัวเปรียบเทียบคอนเวอร์เตอร์ขนาด 4 บิท ตัวเปรียบเทียบ $2^4-1=15$ ตัว และคอนเวอร์เตอร์ขนาด 8 บิท ต้องการตัวเปรียบเทียบถึง $2^8-1 = 255$ ตัวจะเห็นได้ว่าคอนเวอร์เตอร์ยิ่งมากขึ้นเท่าไร ตัวเปรียบเทียบก็ต้องมากขึ้นทวีคูณ จะทำให้เกิดความยุ่งยากซับซ้อน ในการสร้างวงจรแฟรชคอนเวอร์เตอร์ขึ้นมาใช้ ซึ่งเป็นข้อเสียของ ADC ชนิดนี้ และข้อเสียอีกประ การคือ เมื่อใช้ตัวเปรียบเทียบมากขึ้น วงจรก็จะมีขนาดใหญ่เกินกว่าจะนำไปใช้งานจริงได้ แต่วงจรแฟรชคอนเวอร์เตอร์มีข้อดีด้านความเร็ว เพราะสัญญาณอนาลอกจากอินพุทจะเข้ามาที่ตัวเปรียบเทียบ พร้อม ๆ กัน ในช่วงเวลาการเปลี่ยนนั้นจึงมีค่าเท่ากัน จึงใช้เวลาน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

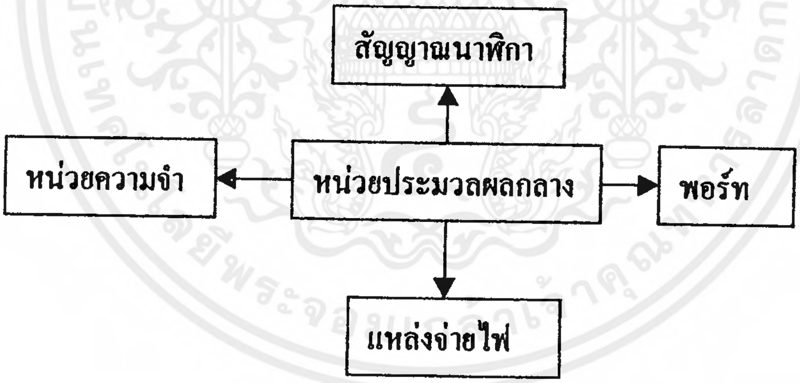
บทที่ 4
ไมโครคอนโทรลเลอร์และระบบการอินเตอร์เฟส

4.1 โครงสร้างระบบคอมพิวเตอร์

หากพิจารณาถึงระบบคอมพิวเตอร์แล้ว จะไม่ใช่เพียงคอมพิวเตอร์ที่เราเห็นตั้งโต๊ะเท่านั้น เครื่องมืออิเล็กทรอนิกส์บางอย่างที่เราเห็นก็ถือว่าเป็นระบบคอมพิวเตอร์ได้ ถ้าจะพิจารณาว่าระบบที่เรากำลังศึกษาอยู่นี้เป็นระบบคอมพิวเตอร์หรือไม่ ให้พิจารณาจากโครงสร้างของมัน ซึ่งระบบคอมพิวเตอร์จะต้องมีส่วนประกอบดังนี้

1. หน่วยประมวลผลกลาง
2. หน่วยความจำ
3. อินพุต
4. เอาท์พุต
5. โปรแกรม

ระบบคอมพิวเตอร์เบื้องต้นสามารถแสดงได้ดังบล็อกไดอะแกรมดังรูปที่ 4.1 ซึ่งมีรายละเอียดดังต่อไปนี้



รูปที่ 4.1 บล็อกไดอะแกรมโครงสร้างระบบคอมพิวเตอร์

1. หน่วยประมวลผลกลาง (CPU : Central Processing Unit)

เป็นที่สำคัญมากในระบบคอมพิวเตอร์การทำงานของคอมพิวเตอร์จะเกิดขึ้นได้เมื่อหน่วยประมวลผลกลางความคำสั่งที่อ่านหน่วยความจำและกระทำตามคำสั่งนั้น ซึ่งสามารถเปรียบเทียบได้กับสมองของคนภายในซีพียูยังมีหน่วยที่ทำงานทางด้านตรรกศาสตร์และลอจิก (Arithmetic Logic Unit) หรือ ALU อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 หน่วยความจำ (MEMORY)

ในระบบคอมพิวเตอร์ จะมีหน่วยความจำที่ใช้กันอยู่สองชนิดคือ หน่วยความจำเป็น ROM (Read Only Memory) ซึ่งเป็นหน่วยความจำแบบอ่านอย่างเดียวไม่มีการเขียนเกิดขึ้น และข้อมูลในหน่วยความจำจะไม่หายแม้ไม่มีไฟเลี้ยง หน่วยความจำชนิดนี้จะใช้เก็บโปรแกรมที่จะทำให้เกิดการทำงานในระบบคอมพิวเตอร์ หน่วยความจำอีกชนิดหนึ่งคือหน่วยความจำที่เป็น RAM (Random Access Memory) เป็นหน่วยความจำที่สามารถอ่านและเขียนข้อมูลได้ แต่ข้อมูลจะหายไปถ้าไม่มีไฟเลี้ยง หน่วยความจำชนิดนี้จะใช้เก็บข้อมูลที่เกิดจากการประมวลผลกลาง

3. พอร์ทอินพุท/เอาท์พุท (I/O Port)

พอร์ทเป็นเส้นทางที่ระบบคอมพิวเตอร์ใช้ติดต่อกับอุปกรณ์ภายนอกเช่นเครื่องพิมพ์ คีย์บอร์ด เป็นต้น โดยพอร์ทจะเชื่อมต่อกับอุปกรณ์ภายนอกชนิดต่าง ๆ โดยวงจรอินเตอร์เฟส (Interface)

4.2 ไมโครคอนโทรลเลอร์

หน่วยประมวลผลกลางของระบบคอมพิวเตอร์ (Central Processing Unit : CPU) จะถูกสร้างเป็นไอซีแบบ LSI ซึ่งสามารถทำการคำนวณภายใต้การควบคุมของโปรแกรม ซึ่งเราอาจจะเรียกไมโครโปรเซสเซอร์อีกหนึ่งว่าหน่วยประมวลผลข้อมูล (Data Processing Unit) ดังนั้นหากจะสร้างระบบคอมพิวเตอร์ขึ้นมาจะต้องมีไอซีไมโครโปรเซสเซอร์ ตัวไมโครโปรเซสเซอร์บางรุ่นจะมีหน่วยความจำประกอบอยู่ในตัวของมัน และบางรุ่นจะมีระบบอินพุตเอาต์พุตอยู่ภายในด้วย ซึ่งเรียกว่า ไมโครคอนโทรลเลอร์ (Microcontroller)

ไมโครคอนโทรลเลอร์ภายในชิพไอซีจะมีหน่วยความจำ,พอร์ทอินพุทเอาท์พุท ประกอบอยู่ในไอซีเพียงตัวเดียว ซึ่งอาจเรียกได้ว่าเป็นคอมพิวเตอร์ชิพเดี่ยวหรืออาจมองง่าย ๆ ว่าถ้ามีไอซีไมโครคอนโทรลเลอร์เราสามารถสร้างเป็นระบบคอมพิวเตอร์ได้เลย เพียงแต่ป้อนแหล่งจ่ายไฟและสัญญาณนาฬิกาเข้าไปเท่านั้น

4.2.1 โครงสร้างของ MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีด้วยกันหลายเบอร์ขึ้นกับโครงสร้างภายในของมัน บางเบอร์จะมีหน่วยความจำภายในเป็นแบบ ROM บางเบอร์เป็นแบบ EPROM บางเบอร์มี RAM ภายใน 128 ไบต์ บางเบอร์มี 256 ไบต์เป็นต้น ซึ่งรายละเอียดจะศึกษาได้จากคู่มือของมันโดยตรง และลักษณะของขาต่าง ๆ จะเหมือนกัน

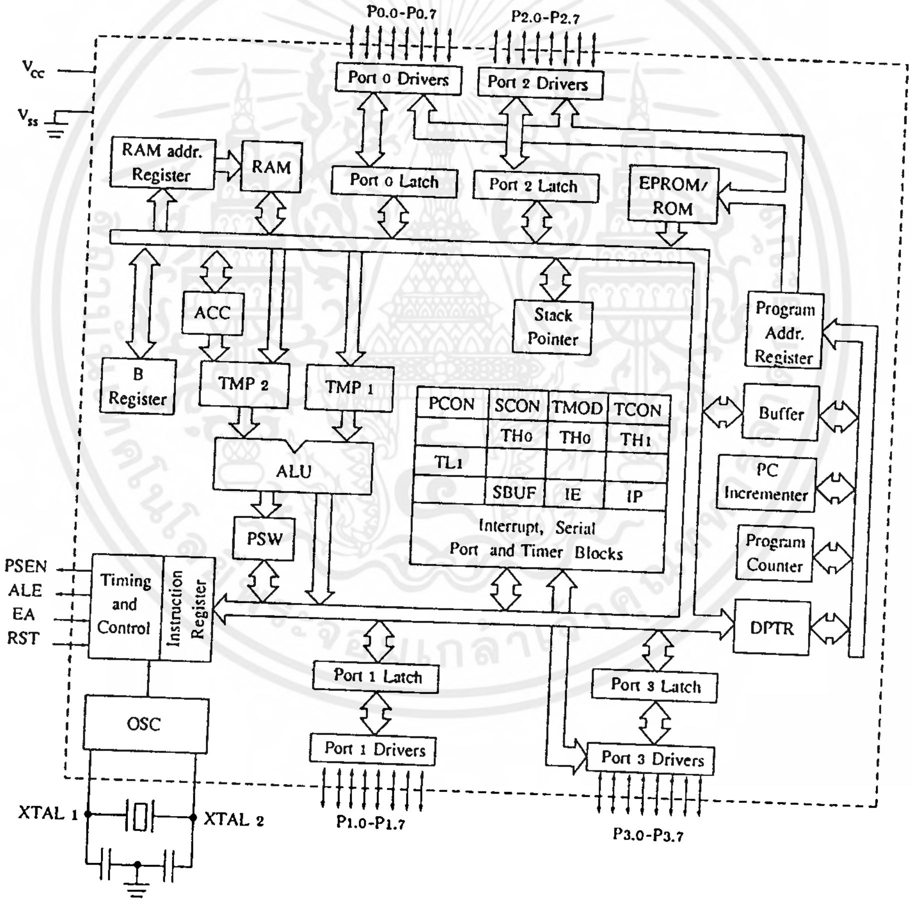
ไมโครคอนโทรลเลอร์ MCS-51 จะมีชุดคำสั่ง (Instruction Set) อยู่จำนวนหนึ่ง สำหรับสั่งงานให้ทำงานต่าง ๆ โดยชุดคำสั่งเหล่านี้จะอยู่ในรูปเลขฐานสอง เรียกว่า รหัสภาษาเครื่อง เนื่องจาก MCS-51 จะประมวลผลแบบ 8 บิต รหัสภาษาเครื่องจะมีขนาด 8 บิตด้วย ซึ่งชุดคำสั่งจะมีได้จำนวนสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุด 256 ชุดคำสั่งแต่ละคำสั่งอาจมีขนาด 1,2 หรือ 3 ไบต์ รวมทั้งมีรีจีสเตอร์ที่เป็นฟังก์ชั่นพิเศษที่ใช้งานเฉพาะอย่าง

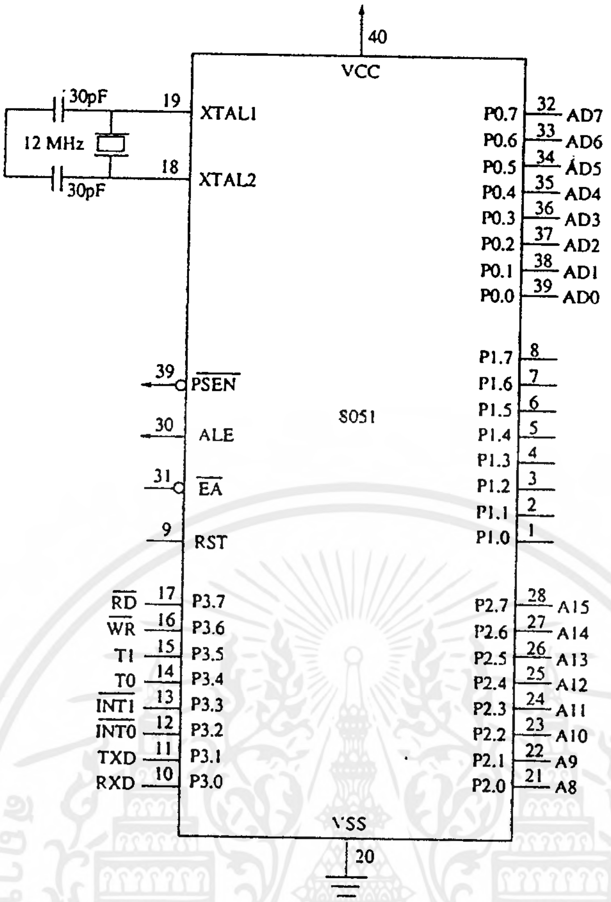
รหัสคำสั่งประกอบด้วย 2 ส่วน คือ

1. Operation Code (Op-Code) จะบอกว่าให้ MCS-51 ทำอะไร
2. Operand บอกว่าสิ่งที่ถูกกระทำคืออะไร



รูปที่ 4.2 แสดงโครงสร้างภายในของ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แสดงขาต่างๆของ MCS-51

4.3 โปรแกรมภาษาเดลไฟ (Delphi)

ปัจจุบันการเขียนโปรแกรม สามารถทำได้ง่ายยิ่งขึ้นคือ การเขียนโปรแกรมในลักษณะของ Visual ที่ผู้ออกแบบโปรแกรมเพียงแต่นำเอาส่วนประกอบย่อย ๆ มาประกอบกันใหม่มองเป็นหน้าตาของโปรแกรมที่ต้องการอ่าน แล้วจึงเขียนโปรแกรมสั้น ๆ ควบคุม

Delphi จึงเป็นทางเลือกหนึ่งที่ผู้พัฒนาโปรแกรมเลือกใช้ในการเขียนโปรแกรม ซึ่งผู้ใช้อาจเป็นผู้ที่เคยเขียนโปรแกรมด้วยภาษา PASCAL หรือภาษา C มาก่อน จะรู้สึกว่าการเขียนโปรแกรมจะง่ายยิ่งขึ้น เมื่อมาใช้โปรแกรม Delphi และเนื่องจาก Delphi เป็นโปรแกรมแบบ 32 bit อย่างแท้จริง และใช้ในงาน Windows 95 จึงสามารถพัฒนา Application ต่าง ๆ ได้

เพราะฉะนั้นในการออกแบบวงจรการอินเทอร์เฟส (Interface) ระหว่างไมโครคอมพิวเตอร์กับไมโครคอนโทรลเลอร์ MCS-51 จะใช้เบอร์ 89C51 โดยหน่วยความจำรอม (EPROM) อยู่ภายในไอซี 89C51 ทำให้สะดวกต่อการใช้งาน ในส่วนของคอมพิวเตอร์จะทำการออกแบบการเขียนโปรแกรมบน Window โดยใช้โปรแกรม Delphi ใช้ในการติดต่อกับไมโครคอนโทรลเลอร์และแสดงผลออกทางหน้าจอคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การออกแบบและการทำงานของวงจร

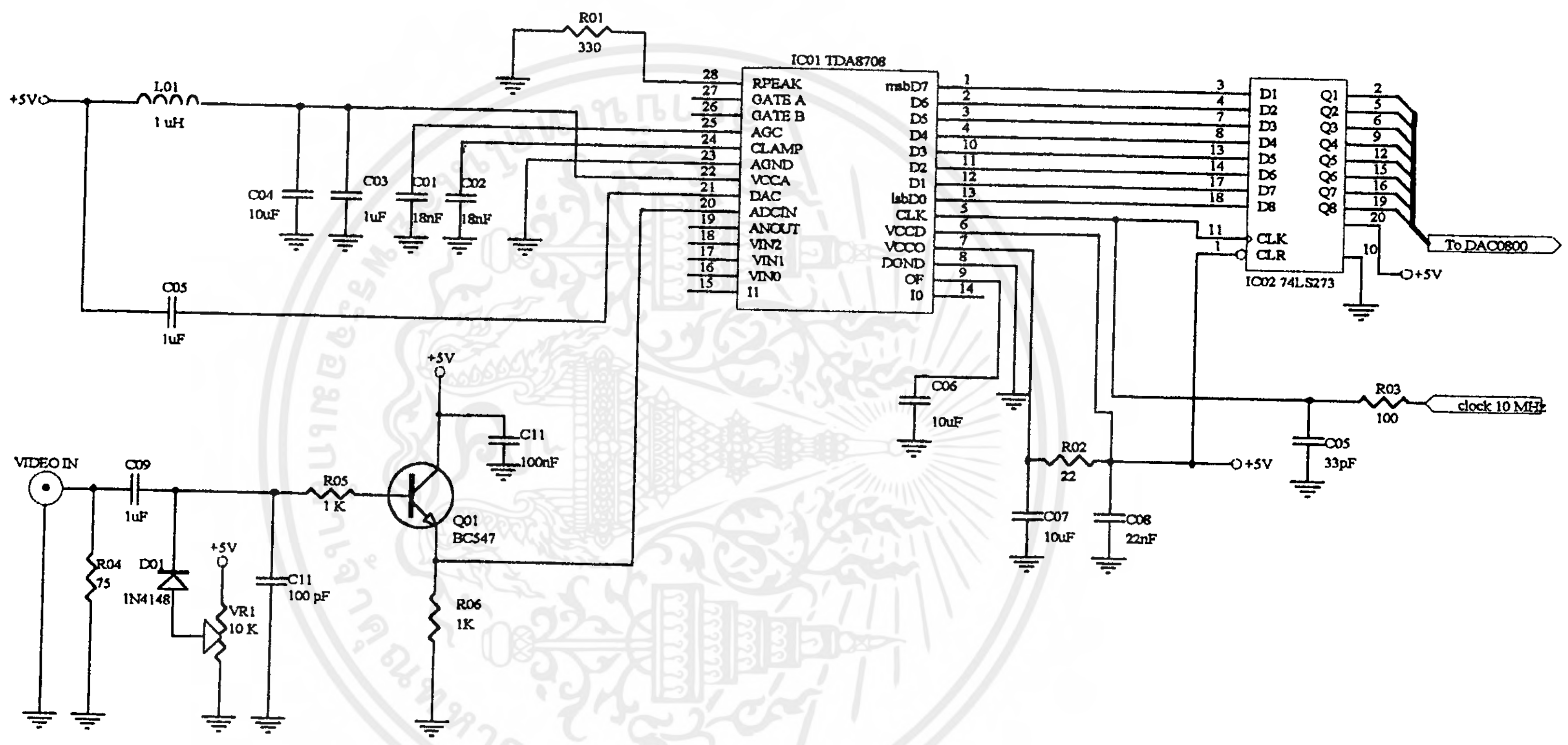
หลักการทำงานและการออกแบบวงจร สามารถแสดงได้ดังบล็อกไดอะแกรมที่แสดงในรูปที่ 1.1 (บทที่ 1) โดยทำการรับสัญญาณภาพเข้ามา แล้วเปลี่ยนให้เป็นสัญญาณดิจิตอลแล้วทำการแปลงกลับเป็นสัญญาณอนาลอกอีกครั้งหนึ่ง แล้วนำสัญญาณไปขยายก่อนจะทำการรวมกับสัญญาณซิงค์ ก็จะได้เป็นภาพอีกครั้งหนึ่งในส่วนของสัญญาณดิจิตอลที่ได้จากการสุ่มมีขนาด 8 บิท จะถูกนำไปจัดเก็บในหน่วยความจำก่อนจะถูกส่งต่อ ไปยังไมโครคอมพิวเตอร์ภายใต้การควบคุมของไมโครคอนโทรลเลอร์กระกูล MCS-51 ในที่นี้ใช้ 89C51 รายละเอียดวงจรและการทำงานจะได้กล่าวต่อไป

5.1 การทำงานของภาคอินพุท (A/D Convertor)

ในภาคอินพุทจะรับสัญญาณภาพวีดีโอ (Video Signal) ที่ได้จากกล้องถ่ายภาพ (Video Camera) ที่เป็นสัญญาณขาวดำ หรือจากแหล่งสัญญาณภาพอื่น ๆ เพื่อไปเข้าวงจรแยกสัญญาณซิงค์ (Sync separation) และ วงจรเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณ ดิจิตอล (Analog to Digital Convertor) ในส่วนของ วงจรเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล จะใช้ไอซีของฟิลิปป์เบอร์ TDA8708 ซึ่งเป็นไอซี Video analog input interface ทำหน้าที่เปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท โดยโครงงานนี้ใช้ความถี่ สัญญาณนาฬิกาที่ใช้ในการสุ่ม 10 MHz

ในส่วนของวงจรเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณ ดิจิตอล ที่ใช้ ไอซีเบอร์ TDA8708 ประกอบด้วยภาค อินพุทซิเลคเตอร์ (Input selector) สามารถเลือกแหล่งสัญญาณได้สามแหล่ง แต่ที่ใช้ในการทดลองนี้ได้นำสัญญาณเข้าที่ภาคขยายของ ADC ที่ขา 20 สัญญาณจากแหล่งสัญญาณภาพ จะต่อผ่าน ความต้านทาน 75 โอห์มเพื่อทำการปรับอิมพีแดนซ์ของวงจร และคาปาซิเตอร์ 1 μF (ไมโครฟารัด) จะทำการกันสัญญาณดีซี จากนั้นต่อกับความต้านทานปรับค่า VR1 ขนาด 10 KΩ ที่อนุกรมกับไดโอด D01 ทำหน้าที่ยกระดับสัญญาณที่เข้ามาให้เหมาะสม เนื่องจาก Data sheet ได้กำหนดสัญญาณที่เข้าที่ขา 20 อยู่ในช่วงประมาณ 2.5 V - 3.5 V จากนั้นนำไปเข้าวงจรขยายสัญญาณก่อนเข้าที่ขา 20 โดยสัญญาณนาฬิกาที่ใช้ในการสุ่ม 10 MHz จะต่อเข้าขา 5 สัญญาณดิจิตอลเอาท์พุทขนาด 8 บิท จะออกที่ขา 1,2,3,4,10,11,12 และ 13 เรียงจาก บิทสูงไป บิทต่ำ เพื่อนำไปต่อกับไอซีเบอร์ 74HCT273 ที่เป็น D - Flipflop ส่วนของสัญญาณดิจิตอลก็จะส่งไปเก็บในหน่วยความจำโดยจะต่อไปยัง IC 20 (ภาคหน่วยความจำภาพ) ที่ขา 9 ของ IC01(TDA 8708) เป็นขา Out Format หรือ Chip enable ใช้ควบคุมสัญญาณดิจิตอลเอาท์พุทแบบไบนารีหรือ แบบ Two' complement ในที่นี้เลือกใช้เอาท์พุท แบบไบนารี แสดงในรูปที่ 5.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 วงจรการทำงานของภาคอินพุท (A/D Converter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 การทำงานของภาคเอาท์พุท (D/A Convertor)

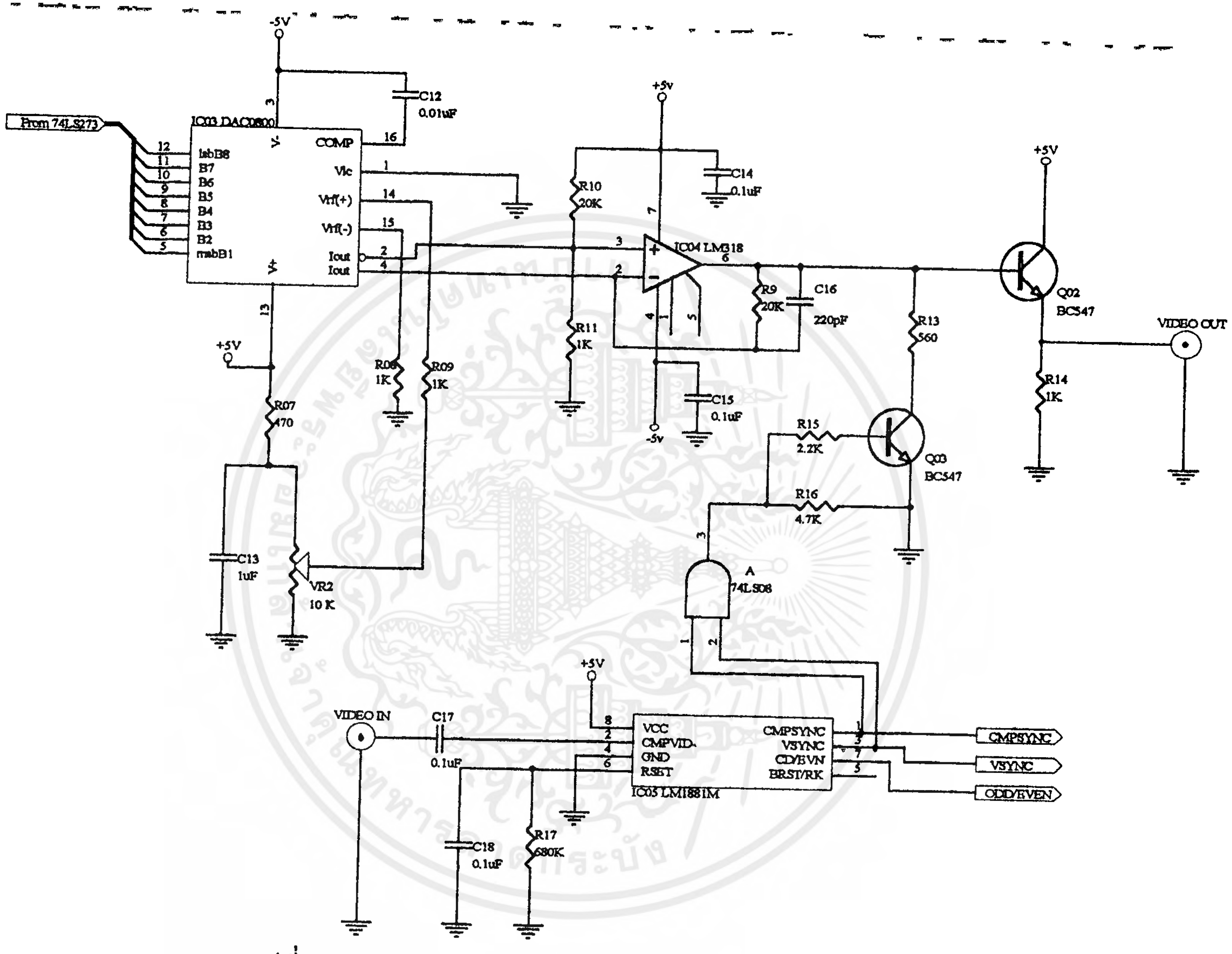
สัญญาณดิจิตอล เอาท์พุทขนาด 8 บิท นำไปต่อกับ ไอซี 74HCT273 เป็น D- Flipflop ซึ่งเป็นบัฟเฟอร์ข้อมูลเอาท์พุท ที่ได้จากวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณ ดิจิตอล โดยใช้สัญญาณนาฬิกา 10 MHz ในการควบคุมการทำงานเพื่อต่อกับ IC03 (ไอซีเบอร์ DAC 0800) ทำหน้าที่เป็นวงจรเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (Digital to Analog Convertor) แล้วนำสัญญาณเอาท์ พุทที่เป็นสัญญาณอนาลอกนำไปขยายสัญญาณ ด้วยออปแอมป์ ให้สัญญาณแรงขึ้น แล้วทำการรวมสัญญาณภาพ กับสัญญาณ ซิงค์โหมดที่ได้จาก IC05 (ไอซีเบอร์ LM1881) ก็จะได้เป็นสัญญาณ วีดีโอ สามารถต่อกับมอนิเตอร์ได้ดังได้แสดงดั้งรูปที่ 5.2

สัญญาณภาพวีดีโอ ที่ได้จากกล้องถ่ายภาพ ที่เป็นสัญญาณขาวดำ จะนำไปแยกสัญญาณซิงค์โดยวงจรแยกสัญญาณซิงค์ (Sync separation) ใช้ ไอซีเบอร์ LM1881 จะทำการแยกสัญญาณซิงค์ออกจากสัญญาณ วีดีโอ (Video signal)โดยมี R17 และ C18 เป็นตัวกำหนดความถี่ภายใน IC05 โดยแยกเป็น สัญญาณ คอมโพซิสวีดีโอซิงค์ (CMPSYNC) , สัญญาณเวอร์ติคอลซิงค์ และ สัญญาณฟีลล์คู่ฟีลล์คี่ สัญญาณคอมโพซิสวีดีโอซิงค์ และ สัญญาณ เวอร์ติคอลซิงค์ จะต่อผ่านแอนเกท เป็นสัญญาณซิงค์โหมด (Sync mode) เพื่อนำไปต่อรวมกับสัญญาณภาพที่ได้จากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกเพื่อให้เป็นสัญญาณ วีดีโออีกครั้งหนึ่ง

5.3 การทำงานของวงจรผลิตความถี่ (Clock)

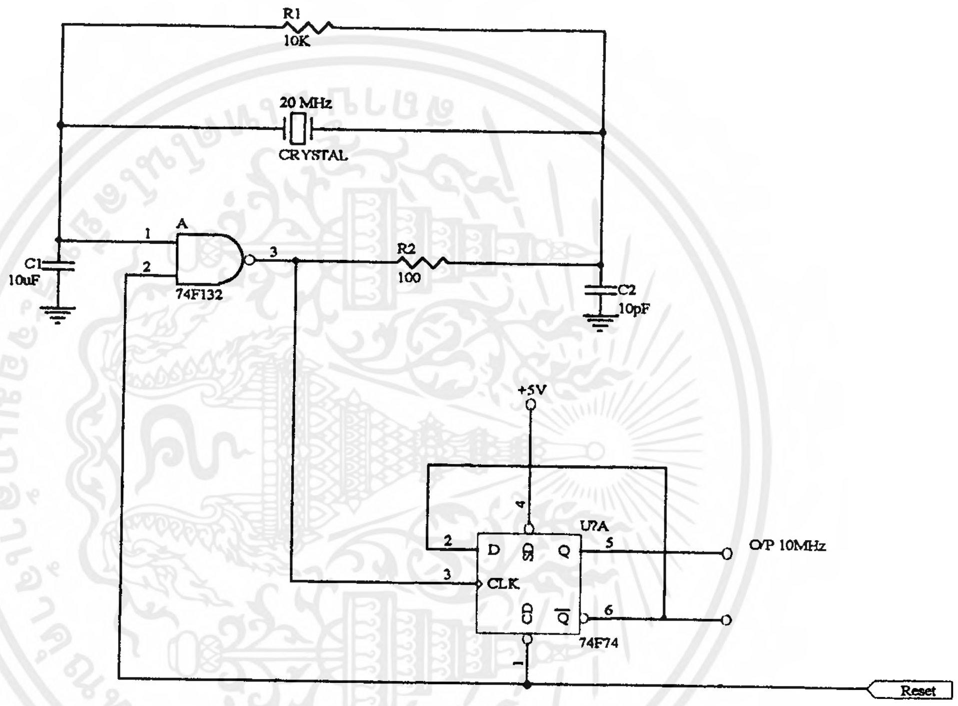
การทำงานของวงจรผลิตความถี่ (Clock) จะทำการสร้างสัญญาณความถี่ 20 MHz ที่ได้จากคริสตอล สัญญาณที่ได้ยังคงเป็นรูปซายน์ นำไปต่อเข้า Not gate เพื่อให้ได้สัญญาณรูปสี่เหลี่ยมแล้วนำไปเข้าวงจรหารสองให้ความถี่ 10 MHz เพื่อป้อนให้วงจร ADC และภาควงจรนับต่อไปแสดงในรูปที่ 5.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 วงจรการทำงานของภาคเอาท์พุท (D/A Converter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 วงจรการทำงานของวงจรผลิตความถี่ (Clock)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

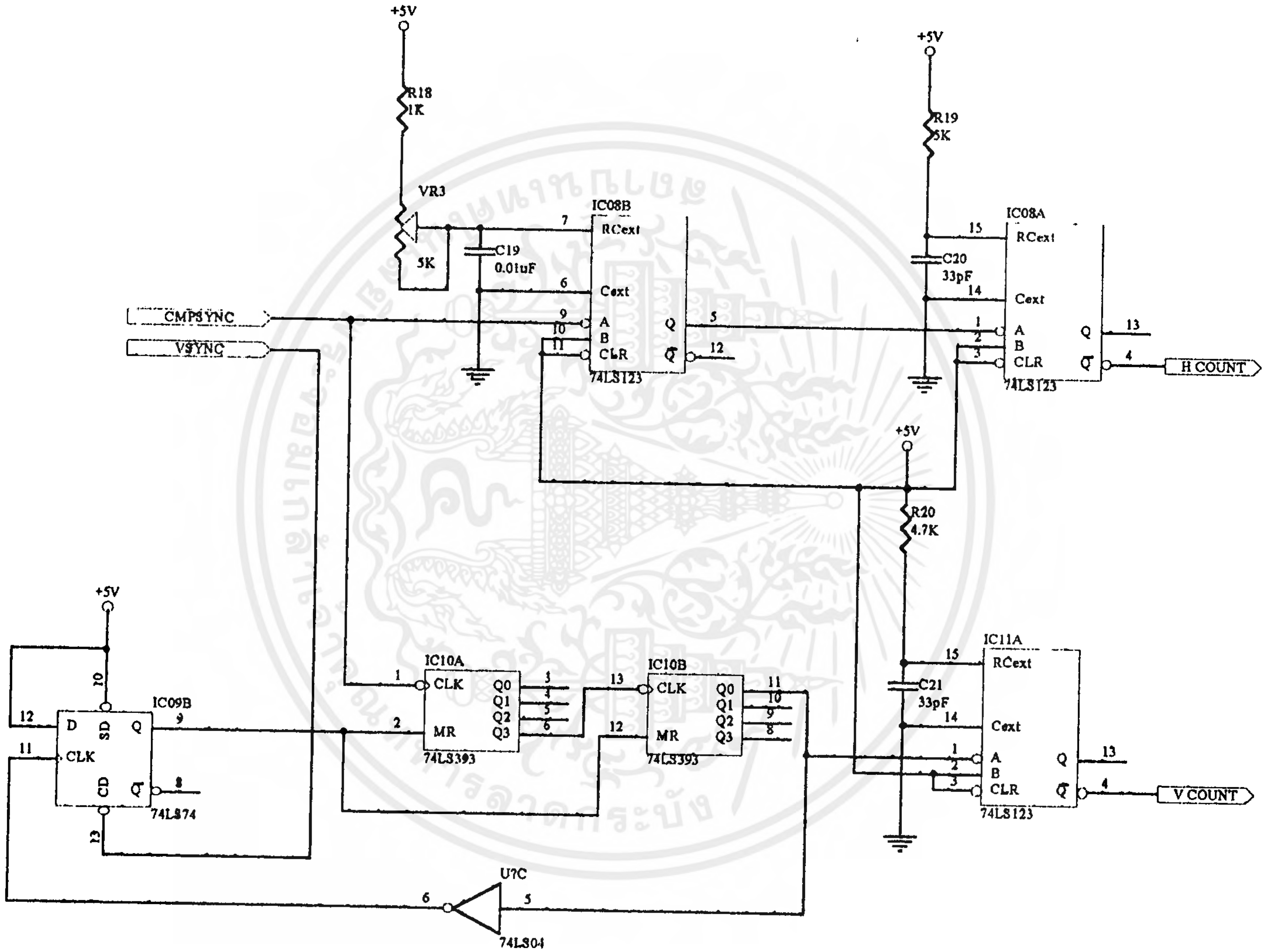
5.4 การทำงานของวงจรภาคแยกซิงค์

การทำงานภาคแยกซิงค์จะทำการแยกสัญญาณซิงค์ออกจากสัญญาณภาพ โดยรับสัญญาณคอมโพซีสซิงค์ (CMPSYNC) และเวอร์ติคอลซิงค์ (VSYNC) สัญญาณซิงค์รวมจะถูกส่งไปยังชุดหน่วงเวลาทางด้านแนวนอนซึ่งประกอบด้วย R18, VR3, C19 และ IC8B จะทำการหน่วงเวลาการทำงานของชุดหน่วงเวลาทางด้านแนวนอนคือจะทำการหน่วงซิงค์รวมประมาณ 9 uS แล้วทำการส่งสัญญาณต่อไปยัง R19,C20 และ IC 8A เพื่อผลิตพัลซ์ขนาดสั้นๆ โดยเมื่อการหน่วงสิ้นสุดลงจะเกิดสัญญาณพัลซ์ช่วงสั้นๆ ประมาณ 140 nS (H-COUNT) ซึ่งสัญญาณพัลซ์ที่ได้นี้จะถูกส่งไปยังวงจรควบคุมการนับทางแนวนอนเพื่อทำการรีเซ็ทให้วงจรนับทางแนวนอนเริ่มทำการนับได้ วัตถุประสงค์ของวงจรหน่วงเวลาก็เพื่อให้วงจรนับทางแนวนอน เริ่มทำการนับ ณ ตำแหน่งเริ่มต้นของการสะแกนสัญญาณภาพที่เท่ากันทุกเส้นสะแกน เพราะถ้าเราเอาสัญญาณซิงค์รวมไปรีเซ็ทวงจนควบคุมการนับทางแนวนอนโดยไม่มีการหน่วงเวลาเลย จะทำให้การนับทางแนวนอนแต่ละครั้งไม่เริ่มต้นที่ตำแหน่งของการสะแกนแต่จะเริ่มต้นก่อนหน้าการสะแกนซึ่งเป็นการไม่ถูกต้อง

นอกจากนี้สัญญาณซิงค์รวม จะถูกส่งไปยังวงจรควบคุมนับเพื่อหน่วงเวลาให้กับสัญญาณซิงค์ทางแนวตั้ง วงจรนับสัญญาณซิงค์นี้ประกอบด้วย IC09B, IC10A และ IC10B เป็นไบนารีเคาน์เตอร์การทำงานคือเมื่อมีสัญญาณซิงค์ทางแนวตั้ง (มีค่าเป็น "0") เข้ามาจะทำให้เกิดการรีเซ็ทชุดควบคุมการนับสัญญาณซิงค์รวมเพราะสัญญาณซิงค์ทางแนวตั้งจะต่อเข้ากับขารีเซ็ทของชุดควบคุมการนับซิงค์รวม IC09B ทำให้เอ้าท์พุท Q ของ IC09B มีค่าเป็น "0" ผลก็คือทำให้ IC10A, IC10B ทำการนับสัญญาณซิงค์รวมนั้น จากวงจรจะเป็นวงจรนับ 32 เมื่อทำการนับสัญญาณซิงค์รวมได้ครบ 32 ลูก

(จะทำการหน่วงเวลาประมาร 2 mS) ก็จะเกิดสัญญาณพัลซ์เล็กๆ ประมาณ 140 nS (V-COUNT) โดยที่สัญญาณพัลซ์ดังกล่าวเกิดจาก R20, C21 และ IC11A โดยส่งไปรีเซ็ทวงจรการนับทางแนวตั้งเพื่อให้เกิดการนับทางแนวตั้งต่อไป ซึ่งการนับซิงค์รวมนี้จะเริ่มทำการนับอีกครั้งภายหลังจากมีสัญญาณซิงค์ทางแนวตั้งลูกใหม่เข้ามา วงจรภาคแยกซิงค์จะแสดงดังรูปที่ 5.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



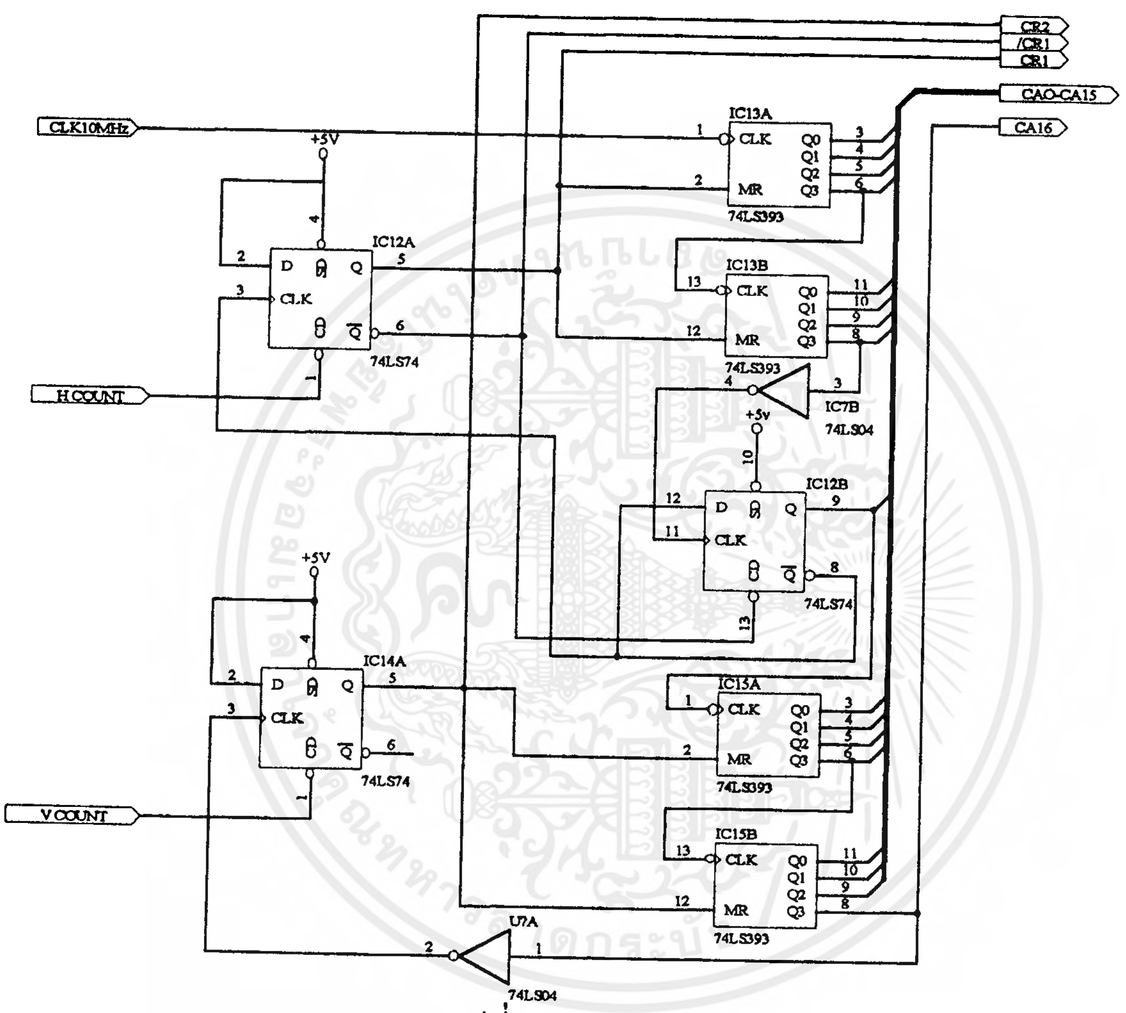
รูปที่ 5.4 แสดงวงจรภาคแยกซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 การทำงานของวงจรภาควงจรนับ

วงจรนับและวงจรควบคุมการนับทั้งแนวนอนและแนวตั้งจะใช้ไอซีเคาท์เตอร์ (74LS393) แต่ละตัวจะนับ 16 จะต่อร่วมกับ ค้าต้าฟลิบฟลอบ (74LS74) การทำงานวงจรควบคุมการนับคือ สัญญาณนาฬิกาขนาด 10 MHz จากวงจรกำเนิดความถี่ถูกส่งเข้าที่ขา 1 ของ IC13A ซึ่งเป็นไอซีไบนาริอะซิงโครนัสเคาท์เตอร์ ขนาด 4 บิต และเอาท์พุท CA3 (ขา 6) ถูกต่อเข้าสู่อินพุทของ IC13B ที่ขา 13 และเอาท์พุท CA7 (8 ขา) ของ IC13B ก็ต่อเข้ากับอินพุทของ IC12B โดยผ่าน 74LS04 (Not gate) เอาท์พุท CA8 ที่ขา 9 ของ IC12B ถูกต่อเป็นอินพุทให้กับ IC15A (ขา 1) และเอาท์พุท CA12 จะต่อไปยังอินพุท IC15A การต่อในลักษณะนี้จะได้เอาท์พุทวงจรนับรวมทั้งหมด 17 เส้น เพื่อใช้ในการอ้างตำแหน่งของข้อมูลที่จะเก็บในหน่วยความจำ ซึ่งการเก็บสัญญาณภาพ 1 ฟิลด์ ใช้หน่วยความจำ 128 กิโลไบท์ ซึ่งต้องอ้างตำแหน่งถึง 17 เส้น การอ้างตำแหน่งนี้แบ่งออกเป็น 2 ส่วน คือ IC13A, IC13B และ IC12B จะให้เอาท์พุทของการนับ 9 เส้นเพื่อใช้อ้างตำแหน่งหน่วยความจำภาพทางแนวนอน (เก็บข้อมูล 1 เส้นสะแกนภาพ) มีขนาด 512 จุดภาพ ส่วนที่ 2 ประกอบด้วย IC15A, IC15B ให้เอาท์พุทการนับ 8 เส้น ใช้ในการกำหนดตำแหน่งของหน่วยความจำภาพทางแนวตั้ง (ใช้นับเส้นสะแกนภาพที่ทำการเก็บข้อมูล) ซึ่งการอ้างตำแหน่งนี้อ้างได้ 256 เส้น การอ้างตำแหน่งหน่วยความจำภาพที่แบ่งออกเป็นสองส่วนนี้จะต้องมีชุดควบคุมการนับ 2 ชุด คือ IC12A ใช้ควบคุมการนับทางแนวนอนซึ่งจะรับสัญญาณจากวงจรแยกซิงค์ (H-COUNT) และ IC14A ใช้ควบคุมการนับทางแนวตั้งซึ่งจะรับสัญญาณจากวงจรแยกซิงค์ (V-COUNT) วงจรนับทางแนวนอนจะมีการนับก็ต่อเมื่อสัญญาณควบคุมการนับ (CR1) มีค่าเป็น “0” ให้ IC13A และ IC13B และเป็น “1” ให้ IC12B ส่วนวงจรการนับทางแนวตั้งจะทำการนับได้ก็ต่อเมื่อสัญญาณควบคุมการนับ (เป็นสัญญาณที่เกิดขึ้นหลังจากมีการหน่วงสัญญาณซิงค์แล้ว) สัญญาณพัลซ์รีเซ็ทวงจรควบคุมการนับทางแนวนอนคือสัญญาณ H-COUNT ส่วนสัญญาณพัลซ์รีเซ็ทวงจรควบคุมการนับทางแนวตั้งคือสัญญาณ V-COUNT ถ้าสัญญาณนั้นมีค่าเป็น “0” จะทำให้เกิดการนับได้ สัญญาณรีเซ็ทนี้จะเป็นเพียงสัญญาณพัลซ์เล็กๆ(ขนาด140 nS) วัตถุประสงค์ก็เพียงเพื่อรีเซ็ทวงจรควบคุมให้ได้เท่านั้น หลังจากที่เอาท์พุทของสัญญาณควบคุมการนับทางแนวนอนหรือทางแนวตั้งจะมีค่าเป็น “0” แล้ว รีเซ็ทพัลซ์นี้จะมีค่าเป็น “1” การที่เอาท์พุทของวงจรควบคุมการนับทางแนวนอนหรือทางแนวตั้งจะมีค่าเป็น “1” ได้นั้นก็เกิดจากการที่วงจรนับทางแนวนอนนับครบ 512 จุดภาพ หรือวงจรนับทางแนวตั้งนับครบ 256 เส้น กล่าวคือวงจรนับจะเริ่มนับเมื่อสัญญาณพัลซ์รีเซ็ทเข้ามาสู่วงจรควบคุมการนับ และจะหยุดนับเมื่อนับครบ 512 (ทางด้านแนวนอน) หรือ 256 (ทางด้านแนวตั้ง) และจะหยุดนับจนกว่าจะมีสัญญาณพัลซ์รีเซ็ทถูกต่อไปเข้ามาวงจรการทำงานดังรูปที่ 5.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



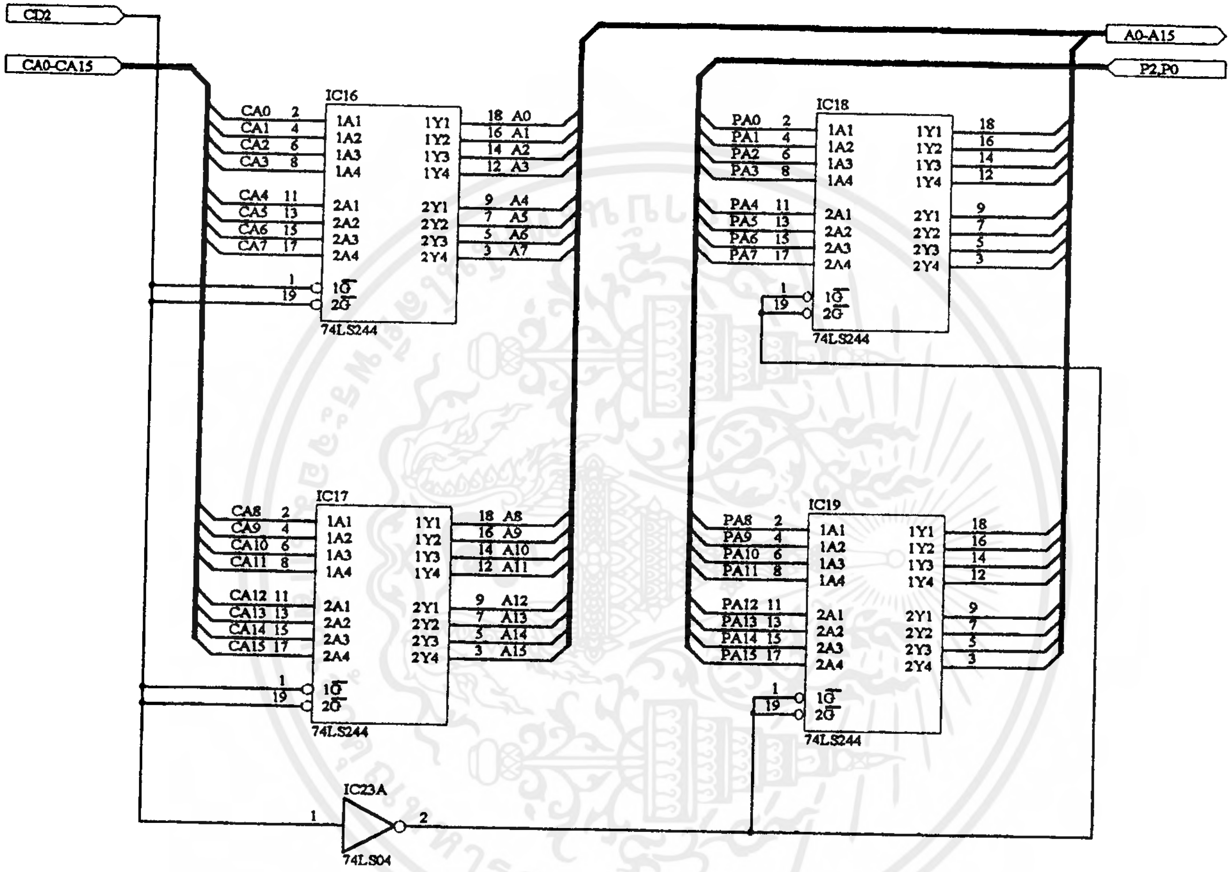
รูปที่ 5.5 แสดงวงจรภาควงจรนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.6 การทำงานของวงจรภาคเลือกแอดเดรส

ภาคเลือกแอดเดรสมีหน้าที่เลือกแอดเดรสที่มาจากวงจรนับ (กรณีเก็บข้อมูลภาพเข้าหน่วยความจำ) หรือ เลือกสัญญาณแอดเดรสที่มาจาก MCS-51 (กรณีอ่านข้อมูลส่งไปยังคอมพิวเตอร์)โดยมี IC16, IC17, IC18 และ IC19 ทำหน้าที่เป็นบัฟเฟอร์ IC16 และ IC17 จะติดต่อกับแอดเดรสที่มาจากวงจรนับ (CA0-CA15) IC18 และ IC 19 จะติดต่อกับแอดเดรสที่มาจาก MCS-51 (port 0 และport2) สัญญาณทั้งสองจะทำงานไม่พร้อมกัน ดังนั้น CD2 จะต่อเข้ากับ IC16 และ IC17 ที่ขาอินาเบิล (ขา 1 และขา 19) และ /CD2 จะถูกต่อเข้ากับ IC18 และ IC 19 (ที่ขา 1 และ ขา 19) เมื่อสัญญาณอีนาเบิลของ IC16 และ IC17 หรือ IC18 และ IC 19 ชุดใดชุดหนึ่งเป็น "0" จะทำให้มีข้อมูลเอาท์พุทที่ชุดนั้นออกมา แต่ถ้าชุดใดชุดหนึ่งมีขาอีนาเบิลเป็น "1" ชุดนั้นจะมีเอาท์พุทเป็นไฮอิมพีแดนซ์ จากรูปวงจรภาคเลือกแอดเดรสจะเห็นว่า IC16 และ IC17 มีอินพุทต่ออยู่กับวงจรนับทำให้แอดเดรสของหน่วยความจำภาพถูกกำหนดด้วยวงจรนับ ส่วน IC18 และ IC 19 มีอินพุทต่ออยู่กับแอดเดรสของ MCS-51 การเลือกแอดเดรสจะทำได้เพียง 16 เส้น ดังนั้นสัญญาณที่เหลืออีก 1 เส้น จะถูกกำหนดโดยตรงจากไมโครคอนโทรลเลอร์ MCS-51 วงจรการทำงานดังรูปที่ 5.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.6 แสดงวงจรภาคเลือกแอสเดรส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.7 การทำงานของวงจรภาคหน่วยความจำภาพ

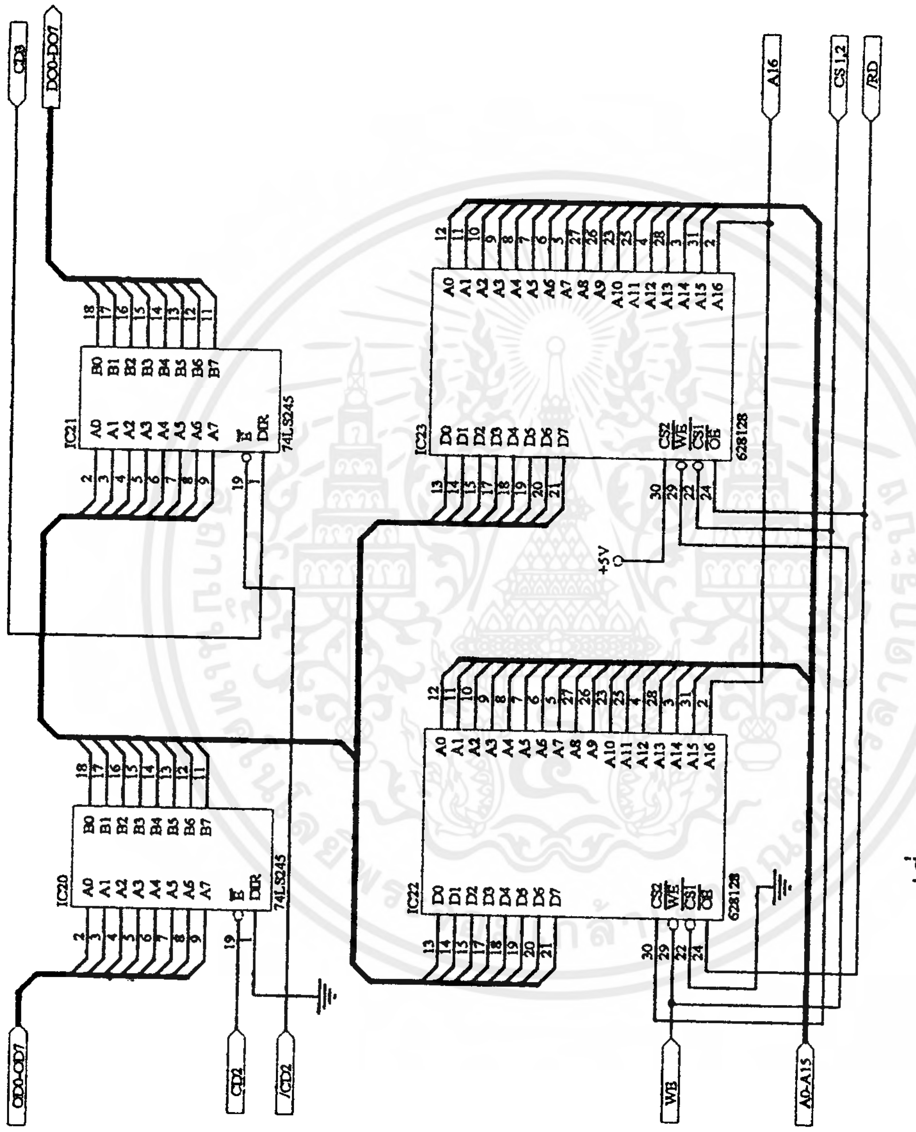
วงจรหน่วยความจำภาพประกอบด้วย IC20, IC21, IC22 และ IC23 โดยที่ IC20 จะเป็น บัฟเฟอร์ข้อมูล (มีการส่งข้อมูลสองทิศทางโดยจะถูกควบคุมที่ขา 1) ระหว่างวงจรแปลงสัญญาณ กับหน่วยความจำภาพ ในส่วนของ IC21 จะเป็นบัฟเฟอร์ข้อมูลภาพระหว่างหน่วยความจำภาพกับไมโครคอมพิวเตอร์ ในการใช้งานเราจะเลือกติดต่อระหว่างหน่วยความจำภาพกับวงจรแปลงสัญญาณ หรือไมโครคอมพิวเตอร์อย่างใดอย่างหนึ่ง หมายความว่า IC20 กับ IC21 จะไม่สามารถทำงานพร้อมกันได้ การควบคุม IC20 ให้ทำงานต้องอาศัยสัญญาณ CD2 ซึ่งต่อกับขาอีนาเบิล (ขา 19) คือถ้า สัญญาณ CD2 เป็น "0" IC20 จะสามารถส่งผ่านข้อมูลได้ แต่ถ้า CD2 เป็น "1" ทำให้ขาข้อมูลของ IC20 จะเป็นไฮอิมพีแดนซ์ การที่ IC20 จะทำการส่งข้อมูลจากวงจรแปลงสัญญาณเข้าสู่หน่วยความจำภาพได้นั้นต้องควบคุมให้สัญญาณ CD2 เป็น "0" และในส่วนของ IC21 จะทำงานในช่วงของการอ่านข้อมูลส่งไปยังคอมพิวเตอร์โดยที่วงจรการอินเตอร์เฟส (89C51 และไมโครคอมพิวเตอร์) ซึ่งจะต้องควบคุมให้สัญญาณ /CD2 (ขา 19 ของ IC21) มีค่าเป็น "0" และสัญญาณ CD3 (ขา 1) มีค่าเป็น "1" ซึ่งสามารถสั่งได้จาก วงจรการอินเตอร์เฟส (89C51 และไมโครคอมพิวเตอร์)

IC22 และ IC23 เป็นหน่วยความจำภาพขนาด 128 กิโลไบท์ ใช้เก็บข้อมูลภาพในแต่ละฟิลด์ คือ IC23 จะเก็บข้อมูลภาพในฟิลด์คี่ และ IC22 จะเก็บข้อมูลภาพในฟิลด์คู่ เนื่องจาก IC22, IC23 เป็นหน่วยความจำขนาด 128 กิโลไบท์ จึงต้องใช้แอดเดรสในการอ้างตำแหน่ง 17 เส้น คือ A0-A16 สัญญาณแอดเดรสนี้ได้จากวงจรนับภายในระบบ หรือ MCS-51 นอกจากนี้ IC22, IC23 จะทำงานได้นั้นต้องมีสัญญาณอื่นๆ อีก คือ สัญญาณควบคุมไอซี 1 (/CS1), สัญญาณควบคุมไอซี 2 (CS2), สัญญาณควบคุมการเขียน (/WE), สัญญาณควบคุมเอ้าท์พุท (/OE) การต่อใช้งานของสัญญาณต่างๆ มีดังนี้ คือ IC23 (เก็บข้อมูลภาพฟิลด์คี่) เราจะต่อ CS2 กับ +Vcc, CS1 ต่อเข้ากับสัญญาณควบคุมการเลือกหน่วยความจำ (ได้จากขา 7 ของ IC27) สัญญาณ /WE ต่อเข้ากับสัญญาณควบคุมการเขียน และสัญญาณ /OE ต่อเข้ากับสัญญาณควบคุมเอาท์พุทหน่วยความจำภาพส่วน IC22 (เก็บข้อมูลภาพฟิลด์คู่) สัญญาณ /CS1 ต่อเข้ากับกราวด์, สัญญาณ CS2 ต่อเข้ากับสัญญาณควบคุมการเลือกหน่วยความจำ สัญญาณ /WE ต่อเข้ากับสัญญาณควบคุมการเขียน(ได้จากการวงจรควบคุมการเขียนข้อมูลภาพ) และสัญญาณ /OE ต่อเข้ากับสัญญาณควบคุมเอ้าท์พุทหน่วยความจำเช่นเดียวกับ IC23 ถ้าเราต้องการให้ IC23 ทำงานจะต้องให้สัญญาณควบคุมการเลือกหน่วยความจำเป็น "0" แต่ถ้าสัญญาณควบคุมนี้เป็น "1" จะเป็นการกำหนดให้ IC22 ทำงานแทน จะเห็นว่า IC22, IC23 ไม่สามารถทำงานพร้อมกันได้และต้องทำงานสลับกันตลอดเวลา เมื่อตัวใดหยุดทำงานขาสัญญาณอินพุท เอาท์พุทของตัวนั้นจะเป็นไฮอิมพีแดนซ์ ในกรณีต้องการเขียนข้อมูลสู่หรือจากหน่วยความจำภาพนั้นทำได้โดยควบคุมสัญญาณ /WE, /OE (ซึ่งจะเหมือนกันทั้ง IC22, IC23) คือถ้าต้องการอ่านข้อมูลสัญญาณ /WE ต้องเป็น "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ /OE ต้องเป็น “0” แต่ถ้าต้องการเขียนข้อมูลภาพ /WE ต้องเป็น “0” และสัญญาณ /OE ต้องเป็น “1” การอ่านหรือการเขียนข้อมูลนั้นจะต้องทำร่วมกับการกำหนดตำแหน่งของข้อมูลบนหน่วยความจำภาพซึ่งก็คือ การกำหนดค่าแอดเดรสนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



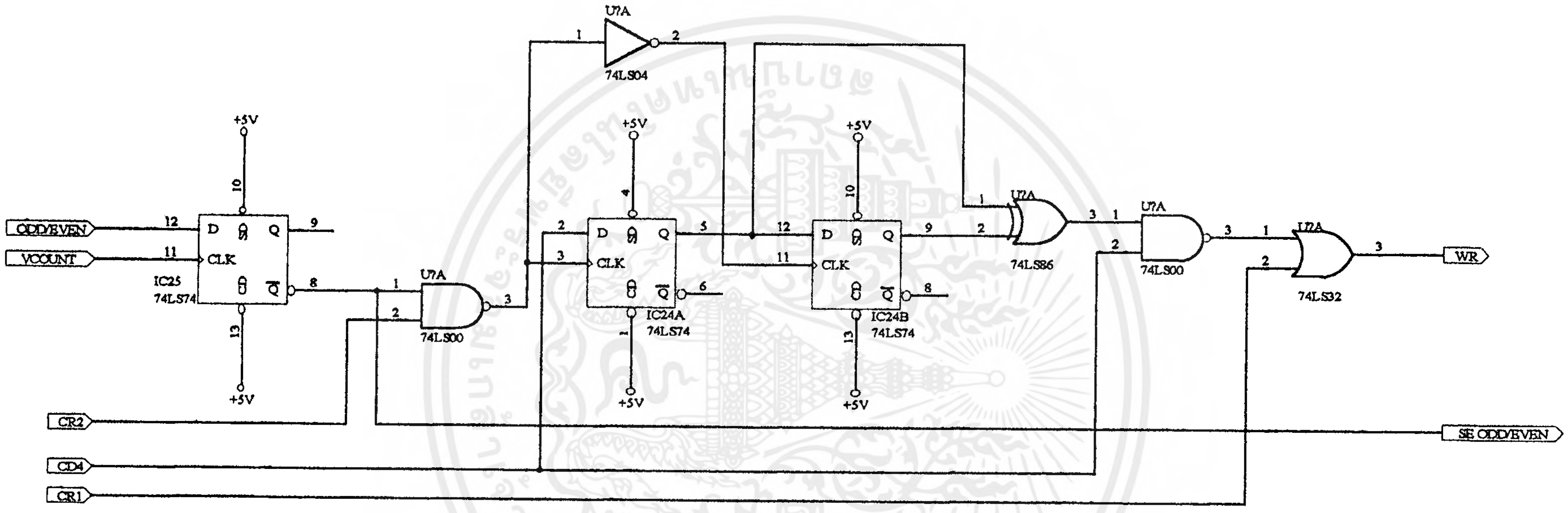
รูปที่ 5.7 แสดงวงจรภาคหน่วยความจำภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.8 การทำงานของวงจรภาคควบคุมการเขียนข้อมูลภาพ

การทำงานจะเริ่มจากการที่สัญญาณอินพุทของ IC24A เปลี่ยนสถานะ (จากการใช้งานจะเปลี่ยนจาก "0" เป็น "1" จะถูกกำหนดจากไมโครคอนโทรลเลอร์ที่ขา CD4) IC24A จะเกิดการเปลี่ยนแปลงเอาท์พุทก็ต่อเมื่อสัญญาณที่ต่อกับขานาฬิกา (ขา 3 ของ IC24A) เปลี่ยนสถานะจาก "0" เป็น "1" สัญญาณนี้ได้จากการแนนด์กันระหว่างสัญญาณควบคุมการนับทางแนวตั้ง(CR2) กับสัญญาณกำหนดฟิลด์คู่ฟิลด์คี่ กล่าวคือ สัญญาณนั้นจะเป็น "1" ก็ต่อเมื่อสัญญาณ (CR2) เป็น "0" และหรือ สัญญาณกำหนดฟิลด์คู่หรีฟิลด์คี่ เป็น "0" และสัญญาณนี้จะเป็น "0" ก็ต่อเมื่อ สัญญาณ CR2 เป็น "1" และสัญญาณกำหนดฟิลด์คี่หรือฟิลด์คู่เป็น "1" เท่านั้น ด้วยเหตุนี้เราให้มีการเปลี่ยนแปลงของข้อมูลทางด้านอินพุทของ IC24A (จาก "0" เป็น "1") เอาท์พุทของ IC24A จะเกิดการเปลี่ยนแปลงตามอินพุทเมื่อสัญญาณควบคุมการนับแนวตั้ง (CR2) เป็น "0" จากวงจรนั้นเอาท์พุทของ IC24A จะถูกต่อเป็นอินพุทให้กับ IC24B และเอาท์พุทของ IC24B จะเกิดการเปลี่ยนแปลงก็ต่อเมื่อสัญญาณที่ขานาฬิกาเปลี่ยนสถานะจาก "0" เป็น "1" แต่เนื่องจากสัญญาณที่ขานาฬิกาของ IC24B จะต่อกลับเฟสกันกับสัญญาณที่ขานาฬิกาของ IC24A โดยใช้ 74LS04 เป็นตัวกลับเฟส ในช่วงที่สัญญาณ CR2 เป็น "0" หมายถึงช่วงที่วงจรนับทางแนวตั้งกำลังทำการนับเพื่อกำหนด แอดเดรสให้กับห น่วยความจำภาพ จังหวะที่สัญญาณ CR2 จะเปลี่ยนสถานะจาก "1" เป็น "0" ทำให้สัญญาณที่นาฬิกาของ IC24A เปลี่ยนสถานะเช่นกันคือ จาก "0" เป็น "1" นั่นหมายถึงถ้าอินพุทของ IC24A มีการเปลี่ยนแปลงสถานะก่อนหน้านี้และคงค่าไว้ จะทำให้เอาท์พุทของ IC24A เกิดการเปลี่ยนแปลงสถานะตามอินพุทในจังหวะนี้ จากที่ได้กล่าวแล้วว่าเอาท์พุทของ IC24A จะต่อเข้ากับอินพุทของ IC24B ดังนั้น IC24B จะมีการเปลี่ยนแปลงทางเอาท์พุทตามอินพุทก็ต่อเมื่อสัญญาณ CR2 เปลี่ยนสถานะจาก "0" เป็น "1" และสัญญาณกำหนดฟิลด์คู่หรือฟิลด์คี่เป็น "1" จากการเปลี่ยนแปลงนี้เราจะนำไปควบคุมการเขียนข้อมูลภาพเข้าสู่หน่วยความจำภาพ (ใช้เวลาการเขียน 2 ฟิลด์) โดยต่อเอาท์พุทของ IC24A และเอาท์พุทของ IC24B เข้ากับ 74LS86 เพื่อเปรียบเทียบข้อมูลกันคือ ถ้าเอาท์พุทของ IC24A และเอาท์พุทของ IC24B เหมือนกัน 74LS86 จะให้เอาท์พุทเป็น "1" โดยที่เอาท์พุท 74LS86 จะต่อเป็นอินพุทให้กับ 74LS00 โดยอินพุทข้างหนึ่งของ 74LS86 ถูกต่อเข้ากับสัญญาณควบคุม CD4 (ส่งมาจาก MCS-51) 74LS00 จะให้ค่าเอาท์พุทเปลี่ยนแปลงตามอินพุทที่ได้จาก 74LS86 หรือไม่ก็ขึ้นอยู่กับสัญญาณควบคุม CD4 คือ ถ้า CD4 เป็น "1" สัญญาณเอาท์พุทของ 74LS00 จะเปลี่ยนสถานะเป็น "1" สัญญาณเอาท์พุทของ 74LS00 จะเปลี่ยนแปลงตามอินพุทที่ต่อกับ 74LS86 แต่ถ้า CD4 เป็น "0" เอาท์พุท 74LS00 จะมีสถานะเป็น "0" ได้เมื่อสัญญาณ CD4 มีค่าเป็น "1" และเอาท์พุทของ 74LS00 จะเป็นข้อมูลอินพุทของ 74LS32 และอินพุทอีกขาหนึ่งของ 74LS32 ถูกต่อกับสัญญาณควบคุมการนับทางแนวนอน (CR1) ซึ่งเอาท์พุทของ 74LS32 จะเป็น "0" ได้ก็ต่อเมื่อสัญญาณ CR1 เป็น "0" (หมายถึงการนับเพื่อกำหนดแอดเดรสให้กับหน่วยความจำภาพทางแนวนอน) และสัญญาณเอาท์พุทของ 74LS00 เป็น "0" เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.8 แสดงวงจรภาคควบคุมการเขียนข้อมูลภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.9 การทำงานของวงจรภาคควบคุมและการอินเตอร์เฟส

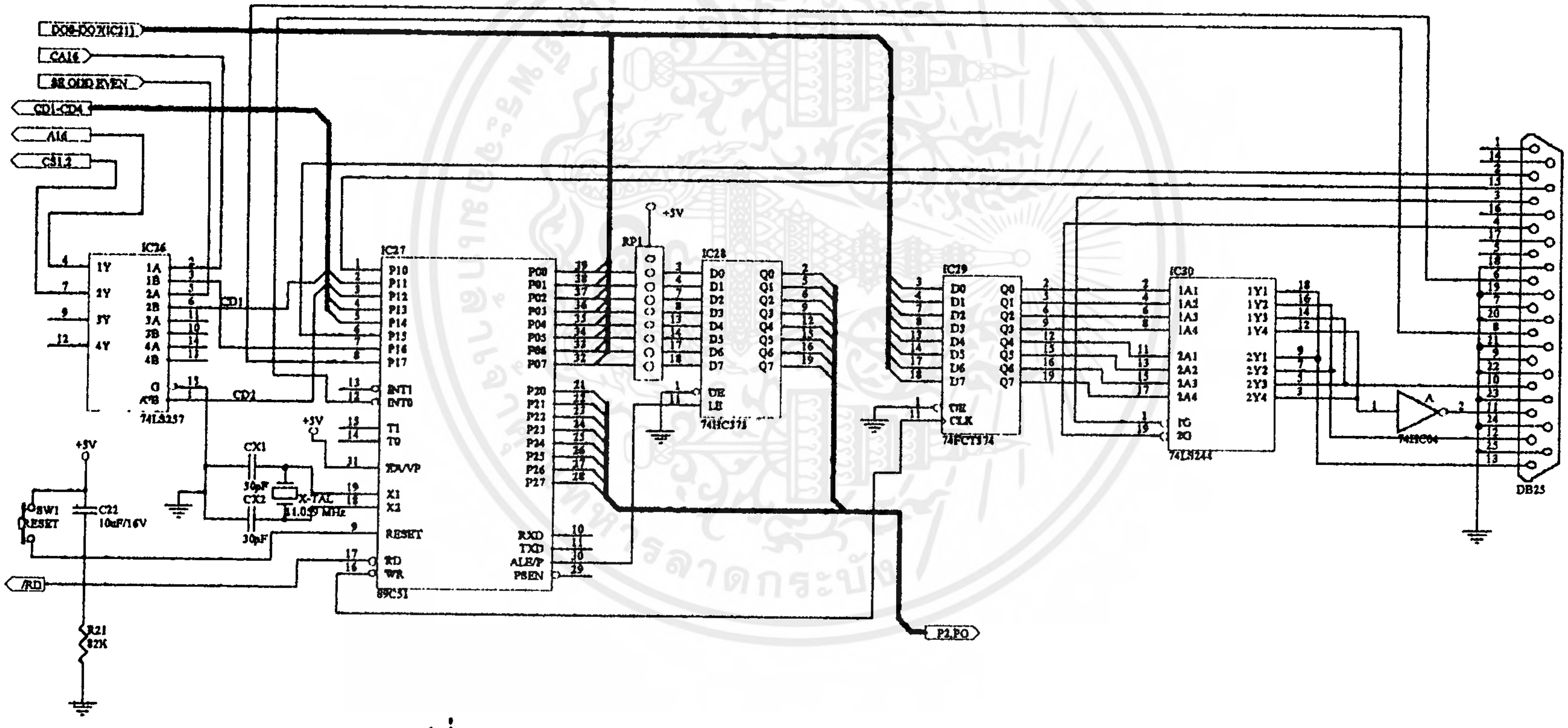
วงจรการทำงานแสดงดังรูปที่ 5.9 ซึ่งการทำงานหลังของภาคนี้จะขึ้นอยู่กับ IC27 ซึ่งเป็นไมโครคอนโทรลเลอร์ตระกูล MCS-51 เบอร์ 89C51 การทำงานจะเริ่มต้นด้วย IC27 จะรอรับลอจิก "0" โดยจะทำตรวจเช็คจนลอจิก "0" เข้ามาที่ขา P1.5 โดยลอจิก "0" จะส่งมาจากไมโครคอมพิวเตอร์เมื่อ IC27 (89C51) ได้รับลอจิก "0" จะส่งสัญญาณควบคุมออกมาที่ขา P1.1 , P1.2 , P1.3 และ P1.4 ภายใต้ชื่อ CD1 , CD2 , CD3 และ CD4 ตามลำดับ มาสั่งให้วงจรทำงานดังตารางที่ 5.1

การทำงาน	CD1	CD2	CD3	CD4
เก็บข้อมูลเข้าหน่วยความจำ	0	0	0	1
อ่านข้อมูลฟิลด์คี่ไปยังคอมพิวเตอร์	0	1	1	0
อ่านข้อมูลฟิลล์คู่ไปยังคอมพิวเตอร์	1	1	1	0

ตารางที่ 5.1 แสดงสัญญาณที่ส่งไปควบคุมการทำงานของวงจร

ในการเขียนข้อมูลภาพ IC27 จะไม่ทำการเขียนโดยตรง เนื่องจากความเร็วการทำงานของไมโครคอนโทรลเลอร์ไม่เร็วพอ ดังนั้น IC27 จะควบคุมให้วงจรภายนอกเขียน ซึ่งเราได้ออกแบบการทำงานไว้แล้วนั้นคือวงจรควบคุมการเขียนข้อมูลภาพในช่วงการอ่านข้อมูลภาพไปเก็บยังคอมพิวเตอร์ IC27 จะทำการอ้างแอดเดรสไบต์ต่ำโดยใช้พอร์ท 0 (P0.0-P0.7) แล้วทำการแลท (latch) ไว้โดย IC28 (74HC373) จากนั้นก็จะทำการอ้างแอดเดรสไบท์สูงโดยใช้พอร์ท (P2.0-P2.7) จากนั้น ขา Read (/RD) จะถูกสั่งให้ทำงาน (มีลอจิก "0") ข้อมูลจะถูกดึงจากหน่วยความจำมารอที่ IC28 ซึ่งทำหน้าที่เป็นตัวแลทข้อมูล จากนั้นไมโครคอลโทรลเลอร์ (IC27) จะส่งลอจิก "0" ออกจากขา P1.0 เพื่อไปบอกคอมพิวเตอร์อ่านข้อมูลเข้าพอร์ทพริ้นเตอร์ที่ขา 10 , 11 , 12 และ 13 ซึ่งการอินเตอร์เฟสทางพริ้นเตอร์พอร์ทได้ออกแบบไว้ในระบบคอมพิวเตอร์ ซึ่งจะทำการอ่านข้อมูลครั้งละ 4 บิท โดยจะอ่าน 2 ครั้ง โดยคอมพิวเตอร์จะส่งสัญญาณมาควบคุมขา 1 และ 19 ของ IC34 ซึ่งเป็นบัฟเฟอร์เมื่ออ่านข้อมูลครบ 8 บิท คอมพิวเตอร์จะส่งสัญญาณลอจิก "0" มาที่ขา P1.7 ของ IC27 เพื่อให้ส่งข้อมูลในแอดเดรสต่อไปจนครบ 256 กิโลไบต์ เนื่องจากเราต้องทำการอ้างแอดเดรสถึง 17 เส้น IC27 ทำได้เพียง 16 เส้น (Port 0 และ Port 2) เราจึงให้ P1.7 เป็นอีก 1 บิท เพื่อให้ครบ 17 เส้น โดยผ่าน IC26 ซึ่งจะทำหน้าที่เป็นตัวเลือกสัญญาณฟิลล์คู่ ฟิลล์คี่ (CS1 และ CS2) โดยจะถูกควบคุมโดย CD1 และ CD2 สวิทซ์ SW1 ใช้ในการรีเซ็ทไมโครคอนโทรลเลอร์ 89C51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



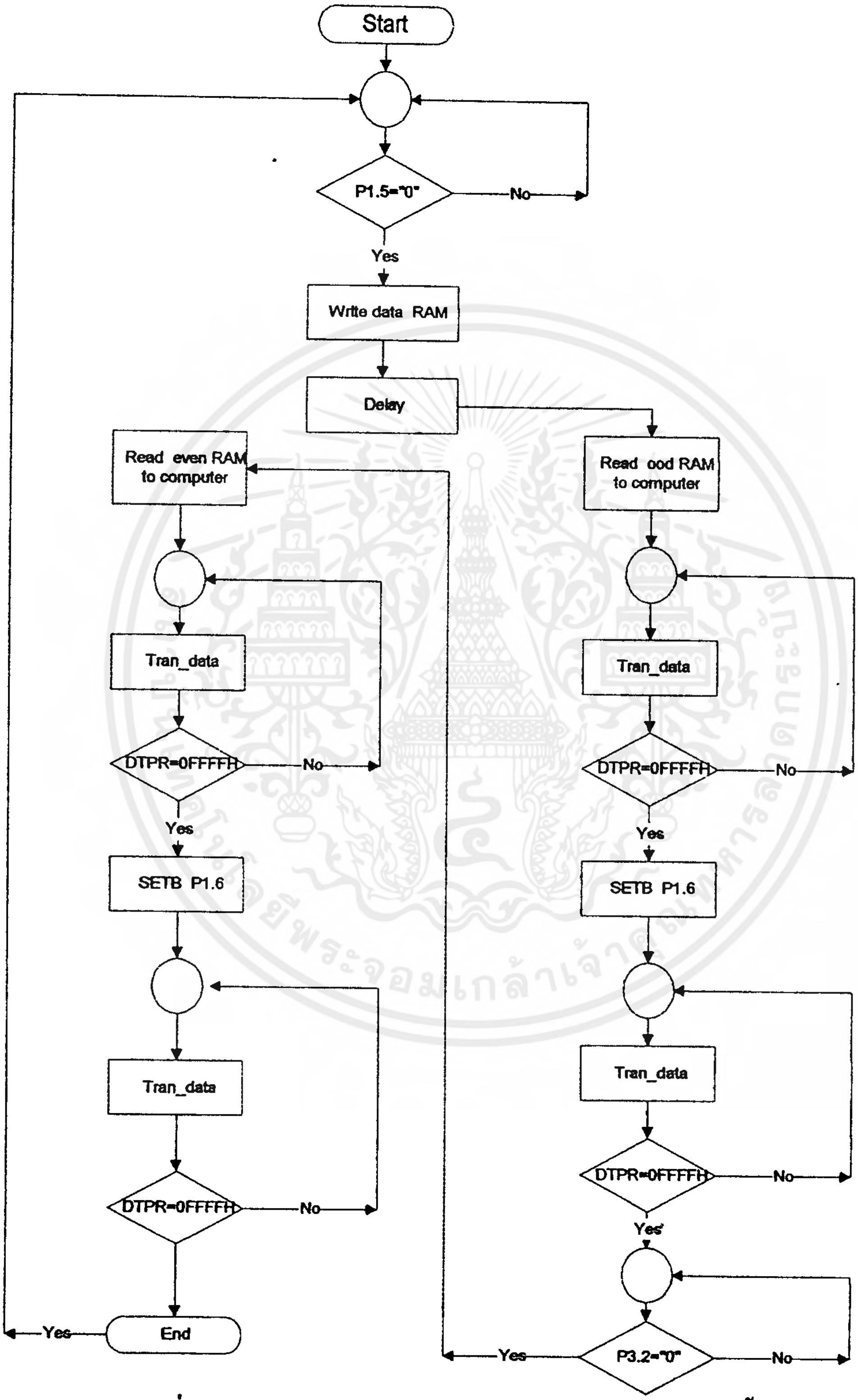
รูปที่ 5.9 แสดงวงจรภาคควบคุมและอินเตอร์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.10 การเขียนโปรแกรมภาษาแอสแซมบลี้

ในการเขียนโปรแกรมควบคุมการทำงานของไมโครคอนโทรลเลอร์ 89C51 โดยใช้ภาษาแอสแซมบลี้ จะเริ่มการทำงานด้วยการตรวจสอบสัญญาณที่ส่งมาจากไมโครคอมพิวเตอร์ เมื่อสัญญาณเป็นลอจิก "0" เข้ามาที่ขา P1.5 ของ 89C51 คำสั่งก็จะส่งสัญญาณออกไปควบคุมการเขียนข้อมูลลงในหน่วยความจำโดยชุดคำสั่งจะส่งออกมาจากขา P1.1 , P1.2 , P1.3 และ P1.4 ของ 89C51 เพื่อไปควบคุมการเขียนข้อมูล โดยจะหน่วงเวลาไว้เพื่อให้การเขียนข้อมูลลงหน่วยความจำเสร็จสิ้นและสมบูรณ์ หลังจากนั้นจะส่งคำสั่งในการอ่านข้อมูลจากหน่วยความจำ เพื่อส่งต่อไปยังไมโครคอมพิวเตอร์ ในที่นี้จะทำการอ่านข้อมูลฟิลด์คี่ (Odd Field) ก่อนแล้วจึงอ่านข้อมูลฟิลด์คู่ (Even Field) ทีหลัง โดยการชี้ของรีจิสเตอร์ DPTR (เป็นตัวชี้หน่วยความจำภายนอกของ 89C51 โดยมีขนาด 16 บิท) และเนื่องจากเราทำการเก็บข้อมูลครั้งละ 1 ฟิลด์ โดยขนาดของหน่วยความจำภาพมีขนาด 128 Kbyte (512 X 256 จุด) ต้องใช้เส้นทางหน่วยความจำ 17 เส้น แต่เราทำการออกแบบไว้ 16 เส้น ดังนั้น อีกเส้นหนึ่งจะถูกควบคุมโดย 89C51 โดยจะทำการเก็บครั้งละ 1 ไบท์ โดยข้อมูลมีขนาด 8 บิท โดยจะส่งผ่านเข้าทางพอร์ทขนานซึ่งเป็นพอร์ทมาตรฐาน จะทำการเก็บข้อมูลครั้งละ 4 บิท จึงต้องทำการเก็บ 2 ครั้ง เมื่อเก็บเข้าไมโครคอมพิวเตอร์ครบ 8 บิทแล้วก็จะส่งสัญญาณไปบอก 89C51 ให้ส่งแอดเดรสต่อไป (คอมพิวเตอร์จะส่ง "0" มายังขา P1.7 เพื่อให้ทราบว่าข้อมูลถูกจัดเก็บเรียบร้อยแล้ว) แล้วทำการเพิ่มค่าในรีจิสเตอร์ DPTR ไปเรื่อยๆ จนเป็น "0FFFFH" แสดงว่าครบ 64 kbyte (ด้านต่ำ)หลังจากนั้นจะทำการเซ็ท A16 (เส้นทางหน่วยความจำเส้นที่ 17) ให้เป็น "1" เพื่อทำการเก็บข้อมูล 64 kbyte(ด้านบน) โปรแกรมของไมโครคอนโทรลเลอร์จะวนจนกว่าจะทำการเก็บข้อมูล จนครบ 128 kbyte เมื่อครบ 128 kbyte แล้ว 89C51 จะรอสัญญาณลอจิก "0" จากคอมพิวเตอร์ (โดยคอมพิวเตอร์จะส่งมาเมื่อทำการเก็บข้อมูลครบ 128 kbyte มายังขา P3.2 ซึ่งจะเป็นขาอินเทอร์รัพพ์ภายนอกตัวที่ 1 ของ 89C51 (INT0)) เมื่อสัญญาณลอจิก "0" เข้ามา หลังจากนั้นโปรแกรมของ 89C51 จะทำการส่งสัญญาณไปควบคุมการส่งข้อมูลไปยังคอมพิวเตอร์ในฟิลด์คู่ (Even Field) การทำงานก็จะเหมือนกับการอ่านข้อมูลในฟิลด์คี่ ซึ่งการทำงานจะแสดงไว้ด้วยโฟลว์ชาร์ต (flowchart) ดังในรูปที่ 5.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



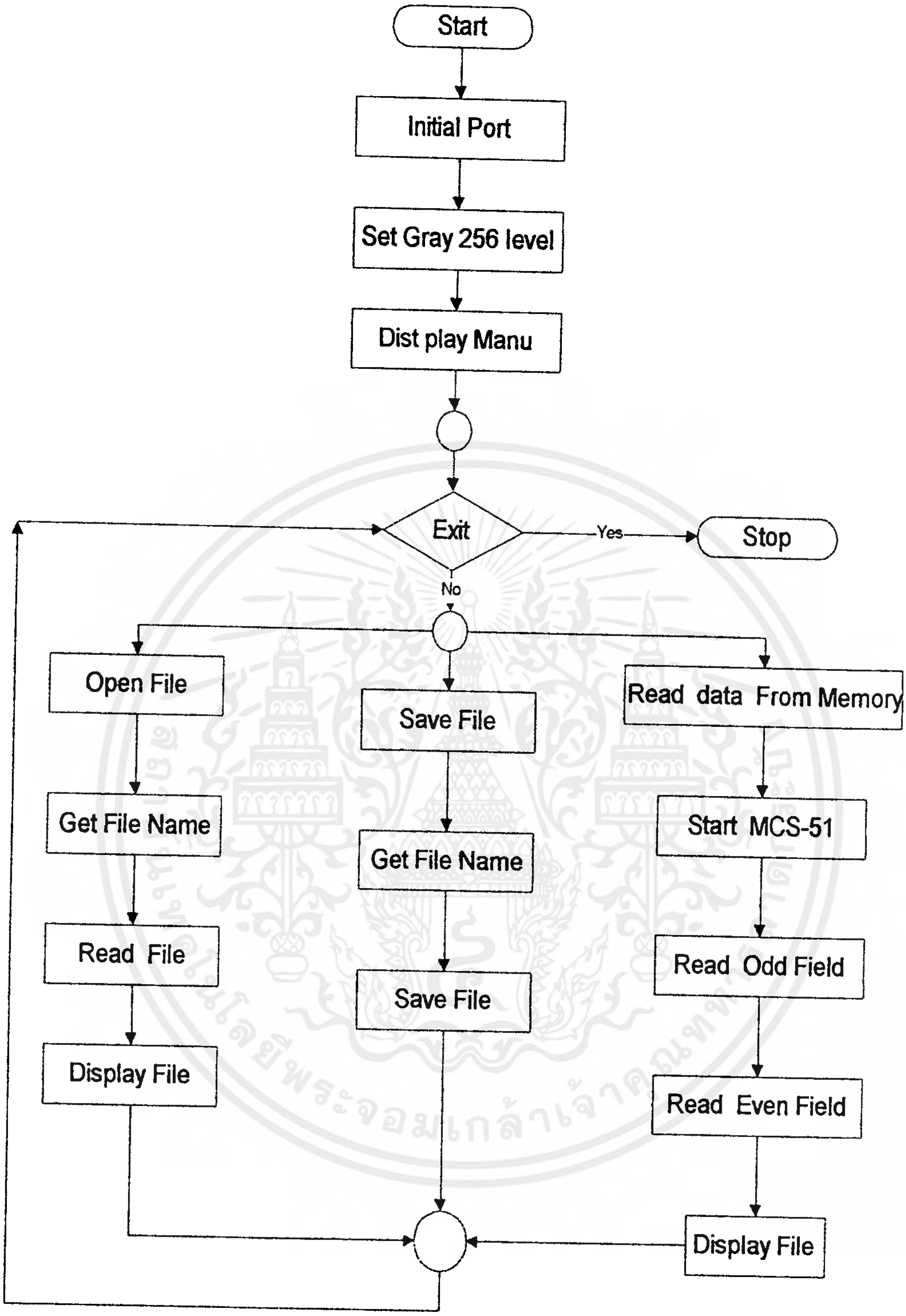
รูปที่ 5.10 โฟลว์ชาร์ต การเขียนโปรแกรมภาษาแอสแซมบลี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.11 การเขียนโปรแกรมบนไมโครคอมพิวเตอร์

การเขียนโปรแกรมบนไมโครคอมพิวเตอร์จะทำการเขียนด้วยโปรแกรมภาษาเดลไฟ การทำงานจะเริ่มต้นด้วยการจองพื้นที่ขนาด 512X512 จุด(ภาพขนาด 1ภาพ) จากนั้นจะทำการส่งสัญญาณไปบอกให้คอนโทรลเลอร์นำสัญญารภาพมาเก็บ โดยรอสัญญาณการเริ่มเก็บข้อมูลคอนโทรลเลอร์ส่งมา เมื่อได้รับสัญญาณจะทำการอ่านข้อมูลเข้าไปเก็บในไมโครคอมพิวเตอร์ผ่านทางพอร์ทพริ้นเตอร์ โดยจะทำการอ่านครั้งละ 4 บิท จะทำการอ่านบิทต่ำก่อน แล้วจึงอ่านบิทสูง เมื่ออ่านแล้วจะส่งสัญญาณไปบอกให้คอนโทรลเลอร์ส่งข้อมูลในแอดเดรสต่อไป จะทำการเก็บจนครบ 128 กิโลไบต์ ซึ่งเป็นสัญยาณภาพในฟิลด์คี่ก่อนแล้วจึงอ่าน 128 กิโลไบต์ ในฟิลด์คู่ต่อไป จากนั้นจะทำการแสดงผลออกทางจอภาพ เราสามารถเลือกเก็บข้อมูลภาพได้โดยในการเก็บจะเก็บเป็นจุด BMP โดยสามารถเปิดภาพดูได้จากโปรแกรมเปิดภาพอื่นๆได้ด้วย การทำงานแสดงดังโฟลว์ชาร์จ รูปที่ 5.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11 โฟลว์ชาร์จการเขียนโปรแกรมเดลไฟ

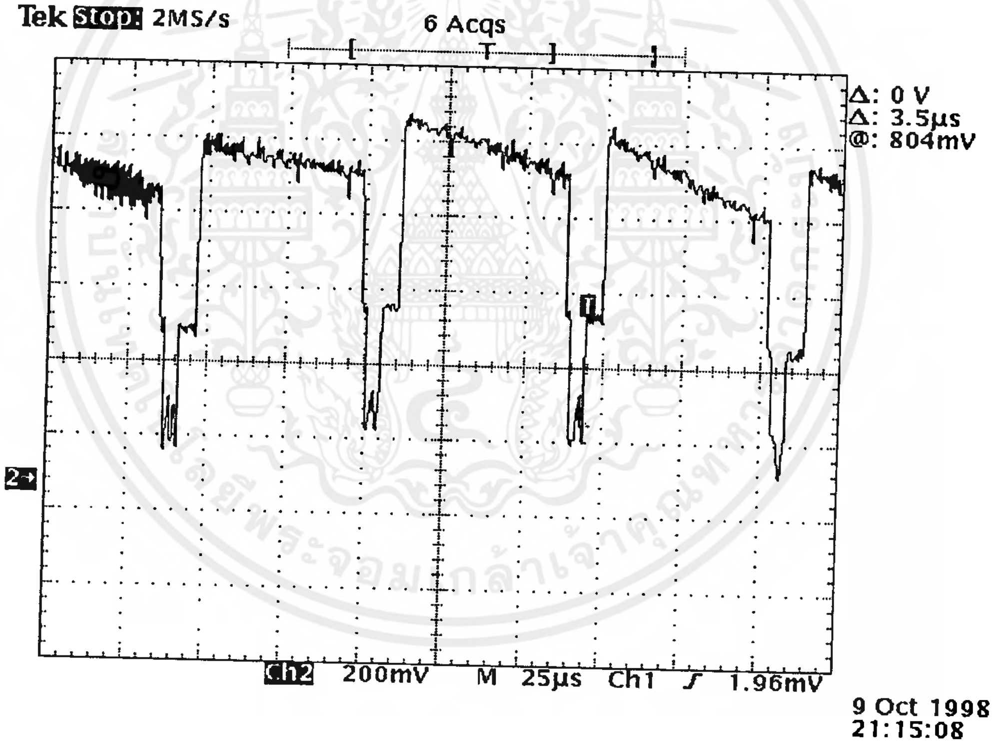
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การทดลองและผลการทดลอง

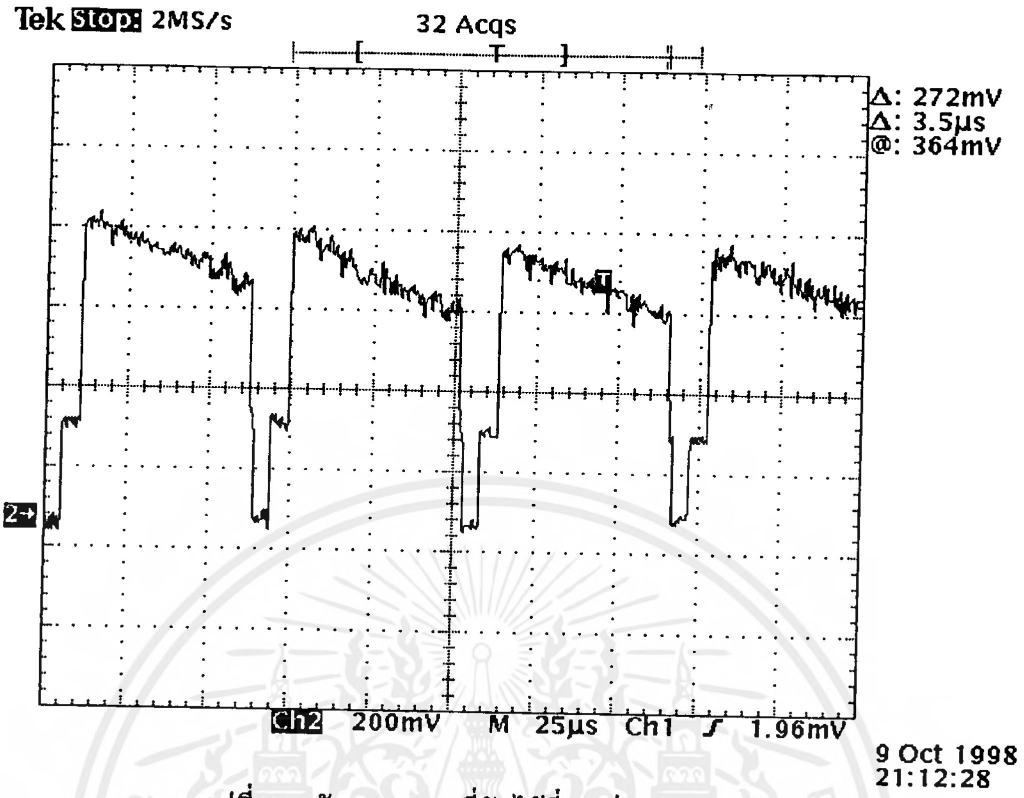
6.1 การทดลองภาค A/D และ D/A

การทดลองนี้ เป็นการทดลองโดยการป้อนสัญญาณภาพเข้าที่ภาคอินพุท ของภาค A/D ที่ขา 20 ของไอซี TDA 8708 เพื่อทำการ แปลงสัญญาณภาพซึ่งเป็นสัญญาณอนาลอก ให้เป็นสัญญาณดิจิตอล แล้วทำการแปลงกลับไปเป็นสัญญาณ อนาลอกอีกครั้งหนึ่ง เพื่อเป็นการตรวจสอบความถูกต้องของสัญญาณภาพ หลังจากทำการเปลี่ยนสัญญาณเป็นดิจิตอลแสดงดงรูปที่ 6.1

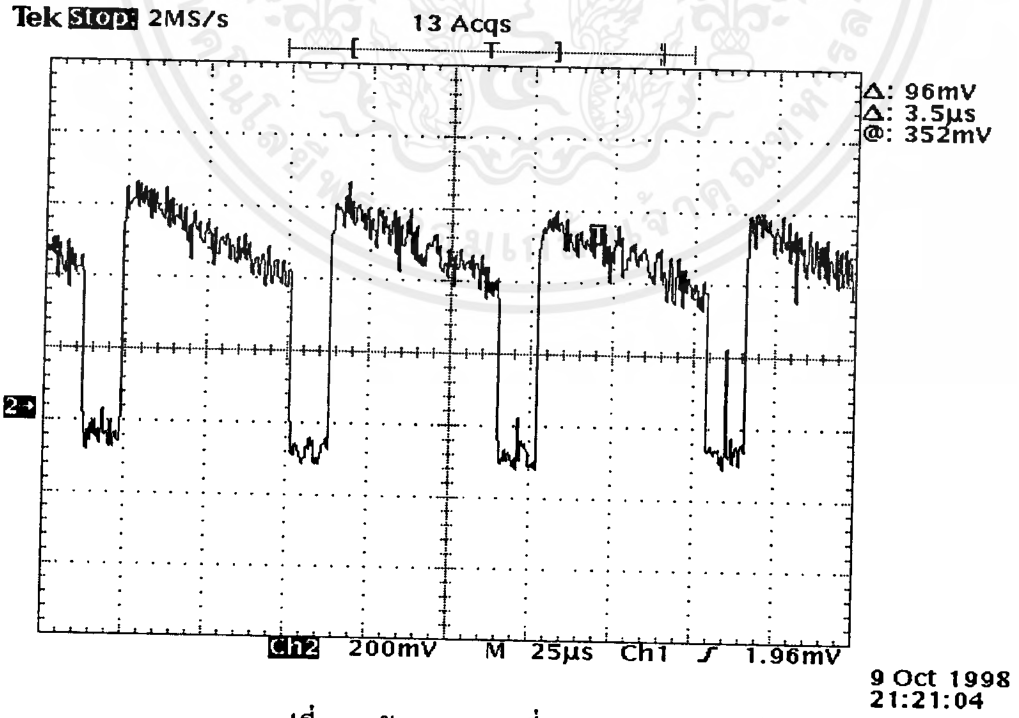


รูปที่ 6.1 สัญญาณภาพที่ป้อนเข้าที่ภาคอินพุทของวงจร ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2 สัญญาณภาพที่วัดได้ที่เอาท์พุทวงจร DAC

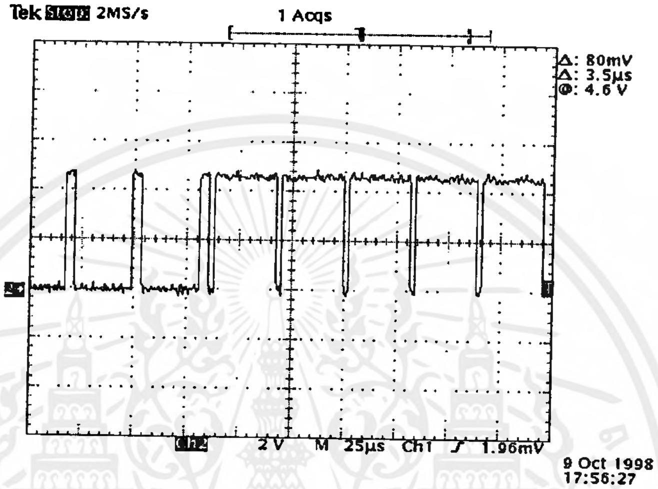


รูปที่ 6.3 สัญญาณภาพที่ขา 6 ของออปแอมป์

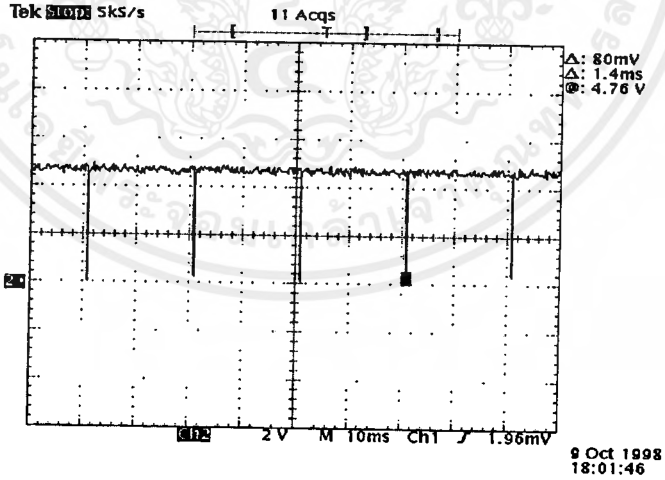
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 การทดลองภาค แยกซิงค์

การทดลองนี้ เป็นการทดลองโดยการป้อนสัญญาณภาพเข้าที่ภาคอินพุท ของไอซี LM 1881 แล้วทำการวัดสัญญาณซิงค์รวม (Composite video signal) สัญญาณซิงค์ทางแนวตั้ง สัญญาณที่ได้หลังผ่านวงจรหน่วงเวลา

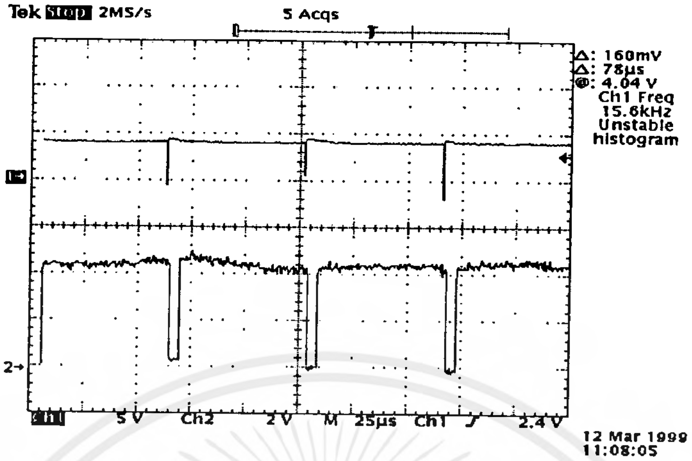


รูปที่ 6.4 สัญญาณซิงค์รวมที่วัดได้ที่ขา 1 ของไอซี LM 1881

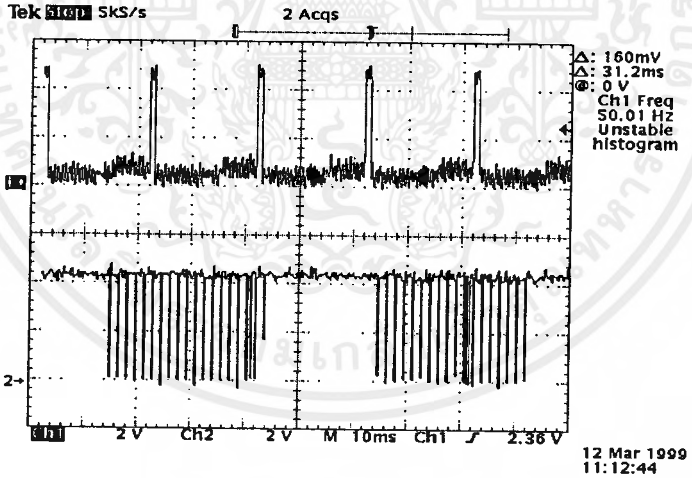


รูปที่ 6.5 สัญญาณเวอร์ติคอลซิงค์ที่วัดได้ที่ขา 3 ของไอซี LM 1881

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

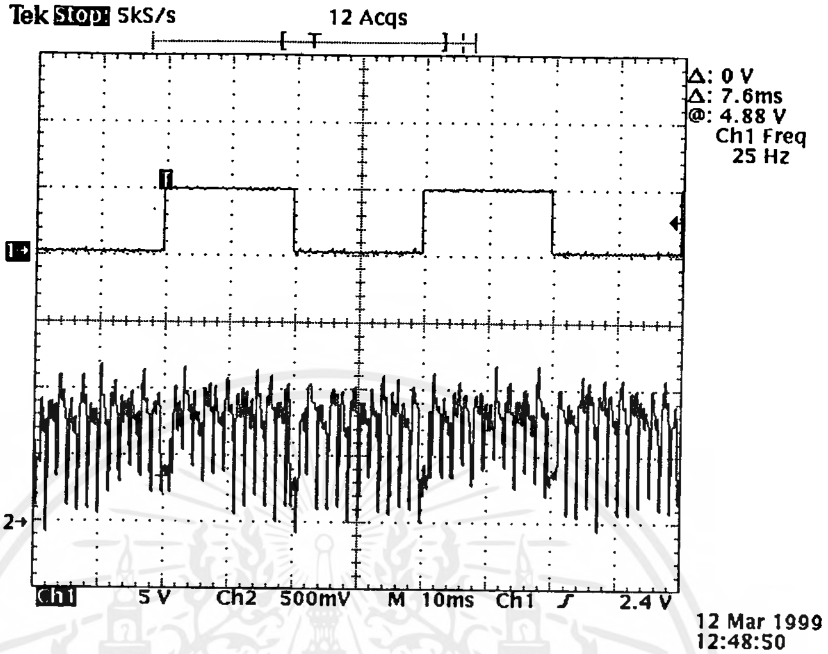


รูปที่ 6.6 สัญญาณซิงค์รวม(CH2) สัญญาณ H Sync count (CH1)



รูปที่ 6.7 สัญญาณขา 1 IC 11A (CH1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

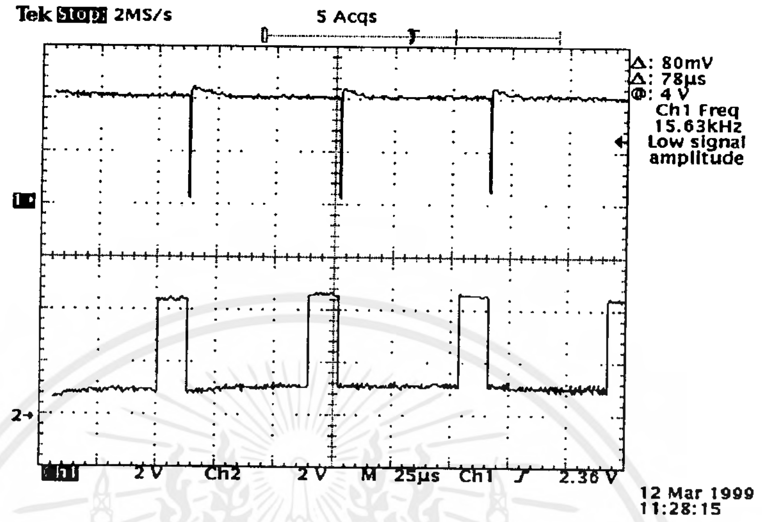


รูปที่ 6.8 สัญญาณ ODD /EVEN

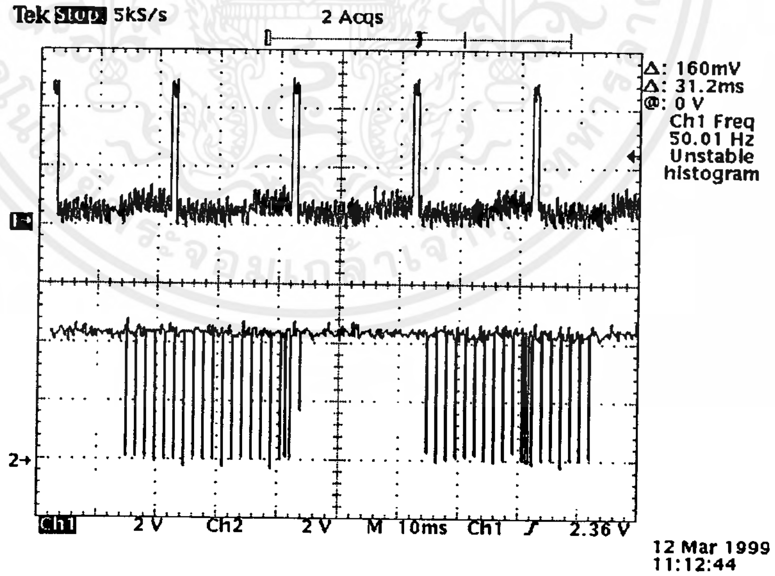
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 การทดลองวัดสัญญาณในขณะทำการเก็บข้อมูลลงในหน่วยความจำ

จะทำการวัดสัญญญาณ CR1,CR2 ,CA0-CA16

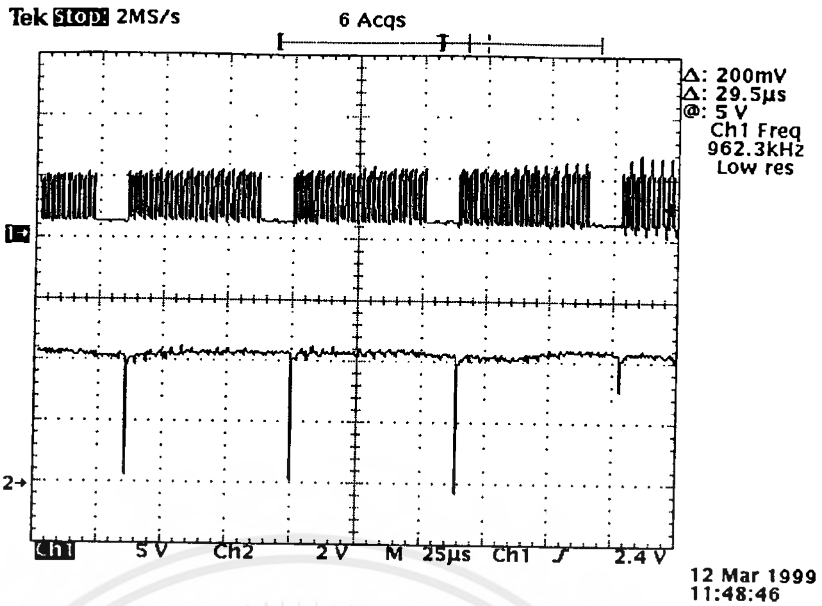


รูปที่ 6.9 สัญญาณ CR1 (CH2)

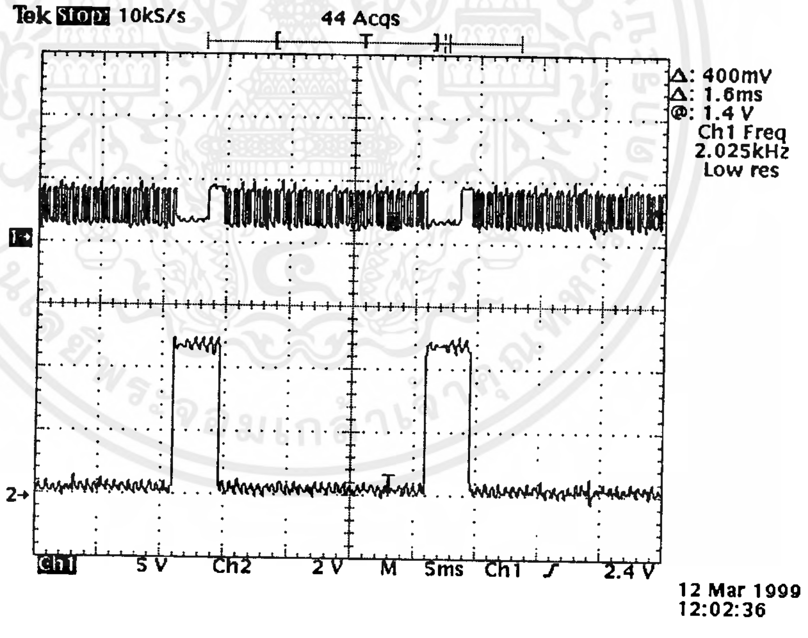


รูปที่ 6.10 สัญญาณ CR2 (CH1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



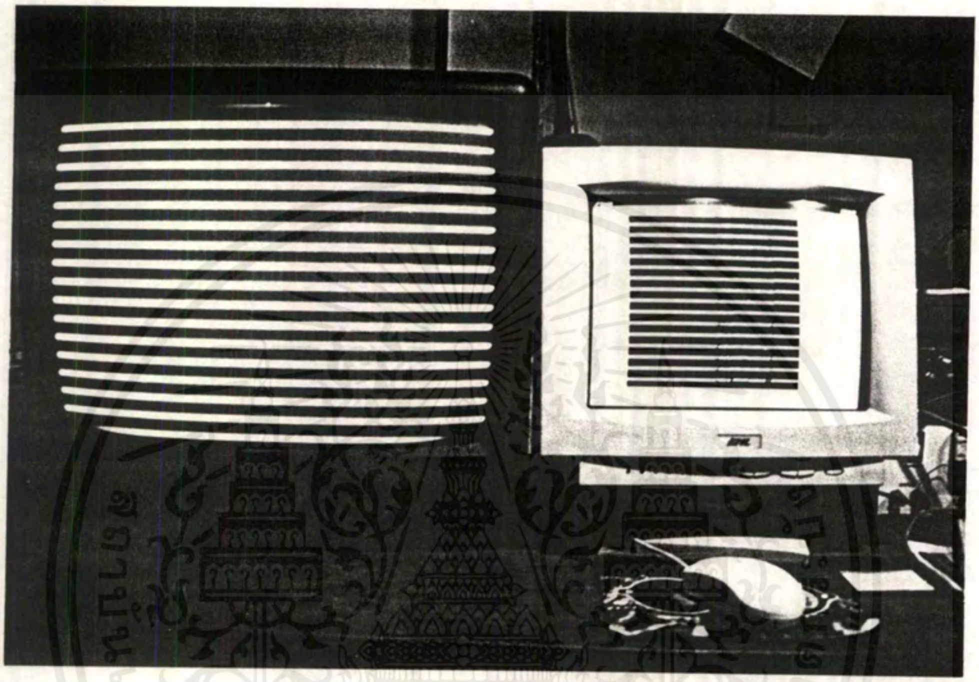
รูปที่ 6.11 สัญญาณ CA0 (CH1), H-COUNT (CH2)



รูปที่ 6.12 สัญญาณ CA8 (CH1), H-COUNT (CH2)

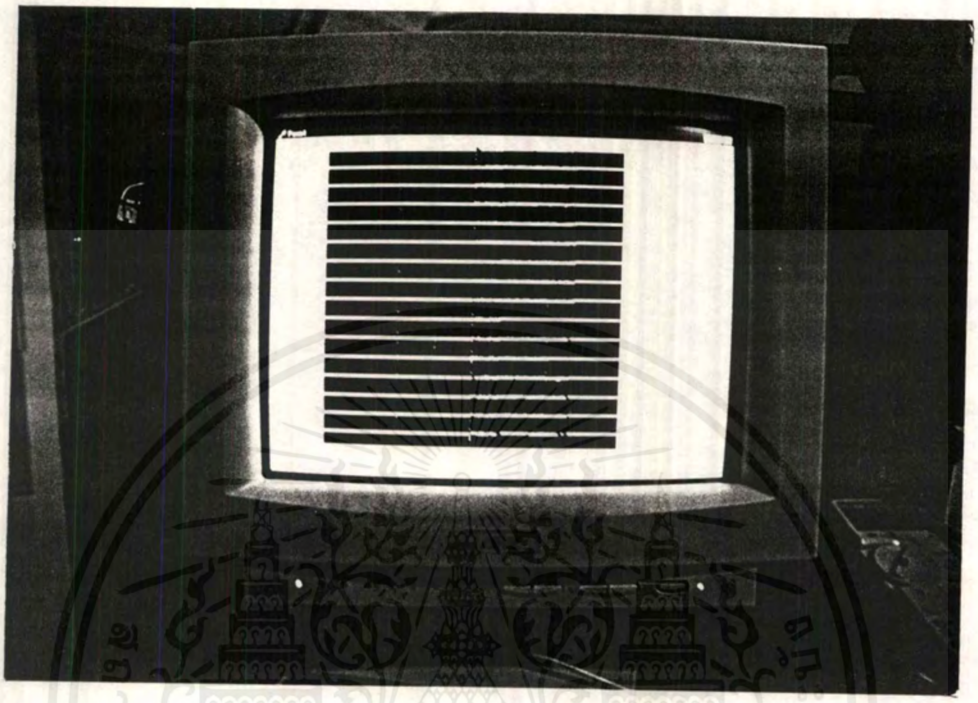
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4 การทดสอบโดยการป้อนตัวสัญญาณจาก Pettern Generator



รุปที่ 6.13 แสดงรูปที่ได้จากจอมอนิเตอร์เทียบกับคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.14 แสดงรูปที่ได้จากจอคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุปและวิจารณ์

จากการทดลองตลอดระยะเวลา 2 ภาคการเรียนซึ่งพอจะสรุปงานได้ดังนี้ ในส่วนของภาค A/D นั้นเราใช้ IC สำเร็จรูปเบอร์ TDA 8708A ในการแปลงข้อมูลภาพทางอนาลอกให้เป็นสัญญาณทางดิจิตอล ซึ่งจะทำให้เอ้าท์พุทได้ 8 บิต ซึ่งทำให้ระดับเอ้าท์พุทมีความแตกต่าง 256 ระดับสัญญาณ ที่ที่ออกจากภาค A/D จะถูกป้อนให้กับภาค D/A เพื่อทำการแปลงสัญญาณกลับไปแสดงที่มอนิเตอร์โดยใช้ออปแอมป์ซึ่งจากการทดลองในการกำหนดอัตราการขยายต้อง มีความเหมาะสมและต้องคำนึงถึงสัญญาณรบกวนที่เกิดขึ้นจากการต่อกราวด์ ซึ่งมีผลต่อสัญญาณเอ้าท์พุท

ในส่วนของภาคแยกซิงค์เมื่อเราทำการป้อนสัญญาณภาพเข้าไปโดยไอซีเบอร์ LM 1881 ซึ่งเป็นไอซีสำเร็จรูปจะทำการแยกสัญญาณที่เป็น องค์ประกอบของสัญญาณภาพ ออกมาได้เป็นสัญญาณ COMPPSOTE SYNE ที่ขา 1 , สัญญาณ VERTICAL SYNC ที่ขา 3 และ สัญญาณ ODD/EVEN ที่ขา 7 สัญญาณ จะมีการเปลี่ยนแปลงตามรูปแบบของสัญญาณที่ป้อนเข้าไปและสัญญาณเหล่านี้จะถูกนำไปใช้ในการควบคุมการเขียนข้อมูลภาพ และควบคุมวงจรนับโดยนำไปเข้าวงจรหน่วงเวลา

ในส่วนของวงจรกำเนิดสัญญาณสัญญาณนาฬิกาที่ใช้ในการทำงานของระบบก็สามารถสร้างได้ที่ความถี่ 10 MHz

ในส่วนของวงจรซึ่งต้องใช้ในการอ้างตำแหน่งหน่วยความจำขณะทำการเก็บข้อมูลจากภาค A/D สามารถสร้างได้โดยใช้ไอซีไบนารีอะซิงโครนสเคาเตอร์ขนาด 4 บิต รวมกับ D-Flip Flop เพื่อให้ได้ 17 บิต สามารถอ้างหน่วยความจำได้ 256 กิโลไบต์ ซึ่งจะใช้หน่วยความจำขนาด 128 กิโลไบต์ จำนวน 2 ตัว ในการเก็บข้อมูลฟิลด์คู่และฟิลด์คี่

ส่วนของภาคควบคุมการเขียนข้อมูลภาพและการอินเตอร์เฟสจะนำเอาสัญญาณจากภาคแยกซิงค์และภาคควบคุมการนับ มาสร้างสัญญาณในการเขียนข้อมูลภาพภายใต้การควบคุมของไมโครคอนโทรลเลอร์ 89C51 โดยการเขียนโปรแกรมควบคุมการเขียนและอ่านข้อมูลจากหน่วยความจำเพื่อส่งข้อมูลให้กับคอมพิวเตอร์ผ่านทางพอร์ทพริ้นเตอร์แล้วทำการแสดงผลโดยโปรแกรม เดลไฟ ซึ่งเป็นโปรแกรมที่รันบนวินโดว์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาและอุปสรรค

ในวงจร A/D เนื่องจากเราได้ทำการป้อนอินพุทเข้าที่ขาที่ 20 ของ TDA 8708 จึงต้องมีความต้านทานปรับค่า เพื่อทำการยกระดับแรงดันอินพุทให้เหมาะสมและในส่วนของการแปลงสัญญาณ จากดิจิตอลเป็นอนาลอกจะต้องต่อความต้านทานปรับค่า ที่ขาเปรียบเทียบแรงดันเพื่อยกระดับแรงดันเอาท์พุทให้เหมาะสม ในการเขียนโปรแกรมเดลไฟ เนื่องจากตัวโปรแกรมไม่มีฟังก์ชั่นในการติดต่อกับพอร์ทพริ้นเตอร์ดังนั้นเราต้องทำการสร้างฟังก์ชั่น DLL เพื่อมารองรับการทำงานการอินเตอร์เฟสสัญญาณในที่นี้ได้ทำการโหลดโปรแกรมที่ติดต่อกับพอร์ทพริ้นเตอร์จากอินเตอร์เน็ทปัญหาที่สำคัญอีกอย่างหนึ่งคือสัญญาณรบกวนที่เกิดขึ้นซึ่งจะมีผลอย่างมากกับการทำงานของวงจรทำภาพที่ได้จากการแปลงสัญญาณมีสัญญาณรบกวนมาก ซึ่งจากการทดลองสัญญาณจะเกิดทางด้านแนวตั้งและเราไม่สามารถทราบได้ว่าข้อมูลที่ทำการเก็บลงหน่วยความจำขณะทำการเก็บข้อมูลจะเกิดการผิดพลาดหรือไม่จึงต้องมีการปรับปรุงในการออกแบบต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมภาษาแอสแซมบลี้(Program assembly)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ORG        0000H
WRITE_DATA        EQU   010H
READ_ODD          EQU   00CH
READ_EVEN         EQU   00EH

************START  PROGRAM*******************

MAIN: CLR    P1.4
      JB     P1.5,$
      ANL    P1,#0E1H              ;clear bit  p1.1 - p1.4
      ORL    P1,#WRITE_DATA        ;write data to ram
      CALL   DELAY

      ANL    P1,#0E1H
      ORL    P1,#READ_ODD          ;read data odd to computer
      CLR    P1.6
      CALL   TRANS_DATA
      SETB   P1.6
      CALL   TRANS_DATA
      JB     P3.2,$                ;signal  from computer
      ANL    P1,#OE1H
      ORL    P1,#READ_EVEN         ;read datd even to computer
      CLR    P1.6
      CALL   TRANS_DATA
      SETB   P1.6
      CALL   TRANS_DATA
      JMP    MAIN
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
************* DELAY  SUB ***************
;DELAY  SUBROUTINE

DELAY:      MOV   R2,#6
DEL1:       MOV   R3,#100
DEL2:       MOV   R4,#100
            DJNZ  R4,&
            DJNZ  R3,DEL2
            DJNZ  R2,DEL1
            RET


*****************TRANS_DATA SUB*********************

TRANS_DATA:MOV   DPTR,#0000H
     LOOP1:MOVX  A,@DPTR
           MOVX  @DPTR,A
           CLR   P1,0
           JR    P1.7,$
           SETB  P1.0
           MOV   A,#00H
           MOV   A,DPL
           CJNE  A,#0FFH,LOOP2
           MOV   A,DPH
           CJNE  A,#0FFH,LOOP2
           RET
     LOOP2:INC   DPTR
           JMP   LOOP1
           END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมภาษาเดลไฟ(Program Delphi)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
unit proj;

interface

uses
  Windows, Messages, SysUtils, Classes, Graphics, Controls, Forms, Dialogs,
  HW_32, Gauges, StdCtrls, ExtCtrls, ComCtrls;

type
  TForm1 = class(TForm)
    HwCtrl: TVicHw32;
    Panel1: TPanel;
    Image1: TImage;
    OpenDialog1: TOpenDialog;
    SaveDialog1: TSaveDialog;
    b_load: TButton;
    b_open: TButton;
    b_save: TButton;
    b_exit: TButton;
    Gauge1: TGauge;
    ProgressBar1: TProgressBar;
    procedure b_loadClick(Sender: TObject);
    procedure FormCreate(Sender: TObject);
    procedure WindowDestroy(Sender: TObject);
    procedure b_exitClick(Sender: TObject);
    procedure b_openClick(Sender: TObject);
    procedure b_saveClick(Sender: TObject);

  private
    Count : integer;
    Bitmap : TBitMap;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    procedure Initial;
    procedure WaitDataReady;
    procedure Start;
    procedure NextAddress;
    function Read4BitLow  :byte;
    function Read4BitHigh :byte;
    procedure ChangeField;
    procedure ReadDataOdd;
    procedure ReadDataEven;
    procedure ScrambleBitmap;
    { Private declarations }
  public
    { Public declarations }
  end;

var
  Form1: TForm1;

implementation

{$R *.DFM}

procedure TForm1.WaitDataReady;
var ready :boolean;
begin
    ready := false;
    with HwCtrl do
    begin
        repeat
            ready := not(Pin[15]);
            Application.ProcessMessages;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        until (ready);
      end;
   end;

   procedure TForm1.Initial;
   begin
      HwCtrl.Port[$3BC] := $ff;
   end;

   procedure TForm1.Start;
   begin
      HwCtrl.Port[$3BC] := $fe;
   end;

   procedure TForm1.NextAddress;
   begin
      with HwCtrl do begin
         Port[$3BC] := $ef;
         Port[$3BC] := $ff;
      end;
   end;

   function TForm1.Read4BitLow :byte;
   var data :byte;
   begin
      with HwCtrl do begin
         Port[$3BC] := $fd;
         data := (Port[$3BD] and $f0) shr 4;
      end;
      Read4BitLow := data;
   end;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
function TForm1.Read4BitHigh :byte;
var data :byte;
begin
   with HwCtrl do begin
      Port[$3BC] := $fb;
      data := Port[$3BD] and $f0;
   end;
   Read4BitHigh := data;
end;

procedure TForm1.ChangeField;
begin
   HwCtrl.Port[$3BC] := Sbf;
end;

procedure TForm1.ReadDataOdd;
var x,y  : integer;
   data : byte;
   p    : PByteArray;
begin
   y := 0;
   repeat
     ProgressBar1.Stepit;
     p := Bitmap.ScanLine[y];
     for x:=0 to Bitmap.width - 1 do
      begin
        WaitDataReady;
        data := Read4BitLow;
        data := data or Read4BitHigh;
        p[x] := data;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
          NextAddress;
        end;
        y := y+2;

     until (y > (Bitmap.Height - 1));
  end;

  procedure TForm1.ReadDataEven;
  var x,y  : integer;
     data : byte;
     p    : PByteArray;
  begin
     y := 1;
     repeat
       ProgressBar1.StepIt;
       p := Bitmap.ScanLine[y];
       for x:=0 to Bitmap.width - 1 do
        begin
          WaitDataReady;
          data := Read4BitLow;
          data := data or Read4BitHigh;
          p[x] := data;
          NextAddress;
        end;
        y:=y+2;

    until (y > (Bitmap.Height - 1));
  end;

  procedure TForm1.b_loadClick(Sender: TObject);
  begin
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    ProgressBar1.Enabled := true;
    ProgressBar1.Visible := true;
    ScrambleBitmap;
    Start;
    ReadDataOdd;
    ChangeField;
    ReadDataEven;
    ShowMessage(' Load Picture Complete');
    ProgressBar1.Enabled := false;
    ProgressBar1.Visible := false;
    Image1.Canvas.Draw(0,0,Bitmap);
end;

procedure TForm1.ScrambleBitmap;
var
  pal: PLogPalette;
  hpal: HPALETTE;
  i: Integer;
begin
  pal := nil;
  try
    GetMem(pal, sizeof(TLogPalette) + sizeof(TPaletteEntry) * 255);
    pal.palVersion := $300;
    pal.palNumEntries := 256;
    for i := 0 to 255 do
    begin
      pal.palPalEntry[i].peRed := i;
      pal.palPalEntry[i].peGreen := i;
      pal.palPalEntry[i].peBlue := i;
    end;
    hpal := CreatePalette(pal^);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    if hpal <> 0 then
     Bitmap.Palette := hpal;
  finally
   FreeMem(pal);
  end;
 end;

 procedure TForm1.FormCreate(Sender: TObject);
 begin
  Bitmap := TBitMap.Create;
  Bitmap.LoadFromFile('buffer.bmp');
 { Image1.Canvas.FillRect}
  HwCtrl.OpenDriver;
  if not HwCtrl.ActiveHW then
  begin
   MessageBeep(0);
   Application.MessageBox('The driver "VICHWxx" not found',
                  ' Warning! ',mb_OK or mb_ICONHAND);
  end
  else begin
      HWCtrl.IRQNumber:=10;
      Initial;
 end;
end;

procedure TForm1.WindowDestroy(Sender: TObject);
begin
   Bitmap.free;
   HwCtrl.Port[HwCtrl.LPTBasePort+2]:=$00;
   HwCtrl.CloseDriver;
end;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
procedure TForm1.b_exitClick(Sender: TObject);
begin
    close;
end;

procedure TForm1.b_openClick(Sender: TObject);
var fname : string;
begin
    if OpenDialog1.Execute then begin
      fname := OpenDialog1.Filename;
      Image1.Picture.LoadFromFile(fname);
    end;
end;

procedure TForm1.b_saveClick(Sender: TObject);
var fname : string;
begin
    if SaveDialog1.Execute then begin
      fname := SaveDialog1.FileName;
      Image1.Picture.SaveToFile(fname);
    end;

end;

end.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

TDA8708A
Video analog input interface

Product specification
Supersedes data of April 1993
File under Integrated Circuits, IC02

June 1994

Philips Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

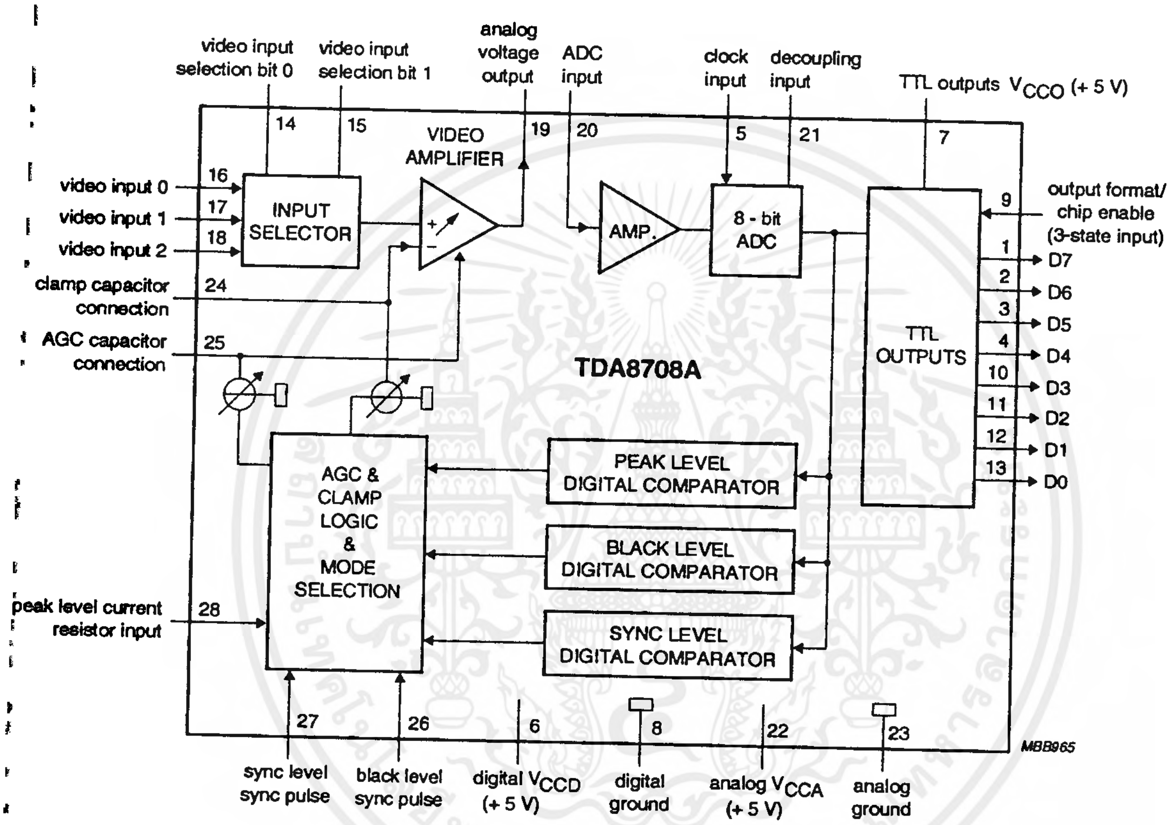


Fig.1 Block diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PINNING

SYMBOL	PIN	DESCRIPTION
D7	1	data output; bit 7 (MSB)
D6	2	data output; bit 6
D5	3	data output; bit 5
D4	4	data output; bit 4
CLK	5	clock input
V_{CCD}	6	digital supply voltage (+5 V)
V_{CCO}	7	TTL outputs supply voltage (+5 V)
DGND	8	digital ground
OF	9	output format/chip enable (3-state input)
D3	10	data output; bit 3
D2	11	data output; bit 2
D1	12	data output; bit 1
D0	13	data output; bit 0 (LSB)
I0	14	video input selection bit 0
I1	15	video input selection bit 1
VIN0	16	video input 0
VIN1	17	video input 1
VIN2	18	video input 2
ANOUT	19	analog voltage output
ADCIN	20	analog-to-digital converter input
DEC	21	decoupling input
V_{CCA}	22	analog supply voltage (+5 V)
AGND	23	analog ground
CLAMP	24	clamp capacitor connection
AGC	25	AGC capacitor connection
GATE B	26	black level synchronization pulse
GATE A	27	sync level synchronization pulse
RPEAK	28	peak level current resistor input

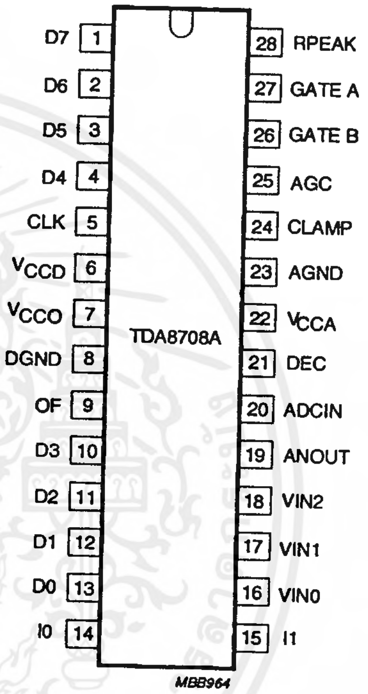


Fig.2 Pin configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The TDA8708A provides a simple interface for decoding video signals.

The TDA8708A operates in configuration mode 1 (see Fig.4) when the video signals are weak (i.e. when the gain of the AGC amplifier has not yet reached its optimum value). This enables a fast recovery of the synchronization pulses in the decoder circuit. When the pulses at the GATE A and GATE B inputs become distinct (GATE A and GATE B pulses are synchronization pulses occurring during the sync period and rear porch respectively) the TDA8708A automatically switches to configuration mode 2 (see Fig.5).

When the TDA8708A is in configuration mode 1, the gain of the AGC amplifier will be roughly adjusted (sync level to a digital output level of 0 and the peak level to a digital output level of 255).

In configuration mode 2 the digital output of the ADC is compared to internal digital reference levels. The resultant outputs control the charge or discharge current of a capacitor connected to the AGC pin. The voltage across this capacitor controls the gain of the video amplifier. This is the gain control loop.

The sync level comparator is active during a positive-going pulse at the GATE A input. This means that the sync pulse of the composite video signal is used as an amplitude reference. The bottom of the sync pulse is adjusted to obtain a digital output of logic 0 at the converter output. As the black level is at digital level 64, the sync pulse will have a digital amplitude of 64 LSBs.

The peak-white control loop is always active. If the video signal tends to exceed the digital code of 248, the gain will be limited to avoid any over-range of the converter.

The use of nominal signals will prevent the output from exceeding a digital code of 213 and the peak-white control loop will be non-active.

The clamp level control is accomplished by using the same techniques as used for the gain control. The black-level digital comparator is active during a positive-going pulse at the GATE B input. The clamp capacitor will be charged or discharged to adjust the digital output to code 64.

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	MIN.	MAX.	UNIT
V_{CCA}	analog supply voltage	−0.3	+7.0	V
V_{CCD}	digital supply voltage	−0.3	+7.0	V
V_{CCO}	output supply voltage	−0.3	+7.0	V
ΔV_{CC}	supply voltage difference between V_{CCA} and V_{CCD}	−1.0	+1.0	V
	supply voltage difference between V_{CCO} and V_{CCD}	−1.0	+1.0	V
	supply voltage difference between V_{CCA} and V_{CCO}	−1.0	+1.0	V
V_I	input voltage	−0.3	V_{CCA}	V
I_O	output current	0	+10	mA
T_{stg}	storage temperature	−55	+150	°C
T_{amb}	operating ambient temperature	0	+70	°C
T_j	junction temperature	0	+125	°C

THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	VALUE	UNIT
$R_{th\ j\text{-}a}$	thermal resistance from junction to ambient in free air		
	SOT117-1	55	K/W
	SOT136-1	70	K/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHARACTERISTICS

V_{CCA} = V_{22} to V_{23} = 4.5 to 5.5 V; V_{CCD} = V_6 to V_8 = 4.5 to 5.5 V; V_{CCO} = V_7 to V_8 = 4.2 to 5.5 V; AGND and DGND shorted together; V_{CCA} to V_{CCD} = −0.5 to +0.5 V; V_{CCO} to V_{CCD} = −0.5 to +0.5 V; V_{CCA} to V_{CCO} = −0.5 to +0.5 V; T_{amb} = 0 to +70 °C; typical readings taken at V_{CCA} = V_{CCD} = V_{CCO} = 5 V and T_{amb} = 25 °C; unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Supplies						
V_{CCA}	analog supply voltage		4.5	5.0	5.5	V
V_{CCD}	digital supply voltage		4.5	5.0	5.5	V
V_{CCO}	TTL output supply voltage		4.2	5.0	5.5	V
I_{CCA}	analog supply current		–	37	45	mA
I_{CCD}	digital supply current		–	24	30	mA
I_{CCO}	TTL output supply current	TTL load (see Fig.8)	–	12	16	mA
Video amplifier inputs						
VIN(0 TO 2) INPUTS						
$V_{I(p-p)}$	input voltage (peak-to-peak value)	AGC load with external capacitor; note 1	0.6	–	1.5	V
$\|Z_I\|$	input impedance	f_i = 6 MHz	10	20	–	kΩ
C_I	input capacitance	f_i = 6 MHz	–	1	–	pF
I0 AND I1 TTL INPUTS (SEE TABLE 1)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_I = 0.4 V	−400	–	–	µA
I_{IH}	HIGH level input current	V_I = 2.7 V	–	–	20	µA
GATE A AND GATE B TTL INPUTS (SEE FIGS 4 AND 5)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_I = 0.4 V	−400	–	–	µA
I_{IH}	HIGH level input current	V_I = 2.7 V	–	–	20	µA
t_W	pulse width	see Fig.5	2	–	–	µs
RPEAK INPUT (PIN 28)						
$I_{28(min)}$	minimum peak level current	R_{28} = 0 Ω	–	80	150	µA
AGC INPUT (PIN 25)						
$V_{25(min)}$	AGC voltage for minimum gain		–	2.8	–	V
$V_{25(max)}$	AGC voltage for maximum gain		–	4.0	–	V
	AGC output current		see Table 2			
CLAMP INPUT (PIN 24)						
V_{24}	clamp voltage for code 128 output		–	3.5	–	V
I_{24}	clamp output current		see Table 3			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Video amplifier outputs						
ANOUT OUTPUT (PIN 19)						
$V_{19(p-p)}$	AC output voltage (peak-to-peak value)	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	1.33	–	V
I_{19}	internal current source	$R_L = \infty$	2.0	2.5	–	mA
$I_{O(p-p)}$	output current driven by the load	V_{ANOUT} = 1.33 V (p-p); note 2	–	–	1.0	mA
V_{19}	DC output voltage for black level	note 3	–	V_{CCA} – 2.24	–	V
Z_{19}	output impedance		–	20	–	Ω
Video amplifier dynamic characteristics						
α_{ct}	crosstalk between VIN inputs	V_{CCA} = 4.75 to 5.25 V	–	–50	–45	dB
G_{diff}	differential gain	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	2	–	%
φ_{diff}	differential phase	V_{VIN} = 1.33 V (p-p); V_{25} = 3.6 V	–	0.8	–	deg
B	–3 dB bandwidth		12	–	–	MHz
S/N	signal-to-noise ratio	note 4	60	–	–	dB
SVRR1	supply voltage ripple rejection	note 5	–	45	–	dB
ΔG	gain range	see Fig.10	–4.5	–	+6.0	dB
G_{stab}	gain stability as a function of supply voltage and temperature	see Fig.10	–	–	5	%
Analog-to-digital converter inputs						
CLK INPUT (PIN 5)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	V_{clk} = 0.4 V	–400	–	–	μA
I_{IH}	HIGH level input current	V_{clk} = 2.7 V	–	–	100	μA
Z_I	input impedance	f_{clk} = 10 MHz	–	4	–	kΩ
C_I	input capacitance	f_{clk} = 10 MHz	–	4.5	–	pF
OF INPUT (3-STATE; SEE TABLE 4)						
V_{IL}	LOW level input voltage		0	–	0.2	V
V_{IH}	HIGH level input voltage		2.6	–	V_{CCD}	V
V_9	input voltage in high impedance state		–	1.15	–	V
I_{IL}	LOW level input current		–370	–300	–	μA
I_{IH}	HIGH level input current		–	300	450	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
ADCIN INPUT (PIN 20; SEE TABLE 5)						
V_{20}	input voltage	digital output = 00	–	V_{CCA} – 2.42	–	V
V_{20}	input voltage	digital output = 255	–	V_{CCA} – 1.41	–	V
$V_{20(p-p)}$	input voltage amplitude (peak-to-peak value)		–	1.0	–	V
I_{20}	input current		–	1.0	10	μA
$\|Z_i\|$	input impedance	f_i = 6 MHz	–	50	–	MΩ
C_I	input capacitance	f_i = 6 MHz	–	1	–	pF
Analog-to-digital converter outputs						
DIGITAL OUTPUTS D0 TO D7						
V_{OL}	LOW level output voltage	I_{OL} = 2 mA	0	–	0.6	V
V_{OH}	HIGH level output voltage	I_{OL} = –0.4 mA	2.4	–	V_{CCD}	V
I_{OZ}	output current in 3-state mode	0.4 V < V_O < V_{CCD}	–20	–	+20	μA
Switching characteristics						
$f_{clk(max)}$	maximum clock input frequency	see Fig.6; note 6	30	32	–	MHz
Analog signal processing (f_{clk} = 32 MHz; see Fig.8)						
G_{diff}	differential gain	V_{20} = 1.0 V (p-p); see Fig.3; note 7	–	2	–	%
φ_{diff}	differential phase	see Fig.3; note 7	–	2	–	deg
f_1	fundamental harmonics (full-scale)	f_i = 4.43 MHz; note 7	–	–	0	dB
f_{all}	harmonics (full-scale); all components	f_i = 4.43 MHz; note 7	–	–55	–	dB
SVRR2	supply voltage ripple rejection	note 8	–	1	5	%/V
Transfer function (see Fig.8)						
ILE	DC integral linearity error		–	–	±1	LSB
DLE	DC differential linearity error		–	–	±0.5	LSB
ILE	AC integral linearity error	note 9	–	–	±2	LSB
Timing (f_{clk} = 32 MHz; see Figs 6, 7 and 8)						
DIGITAL OUTPUTS (C_L = 15 pF; I_{OL} = 2 mA; R_L = 2 kΩ)						
t_{ds}	sampling delay time		–	2	–	ns
t_h	output hold time		6	8	–	ns
t_d	output delay time		–	16	20	ns
t_{dEZ}	3-state delay time; output enable		–	19	25	ns
t_{dDZ}	3-state delay time; output disable		–	14	20	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

1. 0 dB is obtained at the AGC amplifier when applying $V_{i(p-p)} = 1.33$ V.
2. The output current at pin 19 should not exceed 1 mA. The load impedance R_L should be referenced to V_{CCA} and defined as:
   a) AC impedance ≥1 kΩ and the DC impedance >2.7 kΩ.
   b) The load impedance should be coupled directly to the output of the amplifier so that the DC voltage supplied by the clamp is not disturbed.
3. Control mode 2 is selected.
4. Signal-to-noise ratio measured with 5 MHz bandwidth:

$$\frac{S}{N} = 20\log\frac{V_{ANOUTC(p-p)}}{V_{ANOUTY(RMS\ noise)}} \text{ at } B = 5\text{ MHz.}$$

5. The voltage ratio is expressed as:

$$SVRR1 = 20\log\frac{\Delta V_{CCA}}{V_{CCA}} \times \frac{G}{\Delta G} \text{ for } V_I = 1\text{ V (p-p), gain at 100 kHz} = 1 \text{ and 1 V supply variation.}$$

6. It is recommended that the rise and fall times of the clock are ≥2 ns. In addition, a ‘good layout’ for the digital and analog grounds is recommended.
7. These measurements are realized on analog signals after a digital-to-analog conversion (TDA8702 is used).
8. The supply voltage rejection is the relative variation of the analog signal (full-scale signal at input) for 1 V of supply variation:

$$SVRR2 = \frac{\Delta(V_{I(00)} - V_{I(FF)}) + (V_{I(00)} - V_{I(FF)})}{\Delta V_{CCA}}$$

9. Full-scale sine wave ($f_i = 4.4$ MHz; $f_{clk} = 27$ MHz).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1 Video input selection (CVBS).

I1	I0	SELECTED INPUT
0	0	VIN0
0	1	VIN1
1	0	VIN2
1	1	VIN2

Table 2 AGC output current.

GATE A	GATE B	DIGITAL OUTPUT	I_{AGC}	MODE[(2)]
1	1	output < 255	−2.5 μA	1
		output > 255	I_{AGCM}	1
0	X[(1)]	output < 248	0 μA	2
		output > 248	I_{AGCM}	2
1	0	output < 0	+2.5 μA	2
		0 < output < 248	−2.5 μA	2
		output > 248	I_{AGCM}	2

Note

1. X = don't care.
2. Mode 2 can only be initialized with successive pulses on GATE A and GATE B (see Fig.5).

Table 3 CLAMP output current.

GATE A	GATE B	DIGITAL OUTPUT	I_{CLAMP}	MODE
1	1	output < 0	I_{CLAMPM}	1
		output > 0	−2.5 μA	1
X[(1)]	0	X[(1)]	0 μA	2
0	1	output < 64	+50 μA	2
		64 < output	−50 μA	2

Note

1. X = don't care.

Table 4 OF input coding.

OF	D0 TO D7
0	active, two's complement
1	high impedance
open circuit[(1)]	active, binary

Note

1. Use C ≥ 10 pF to DGND.

Table 5 Output coding and input voltage (typical values).

STEP	V_{ADCIN}	BINARY OUTPUTS								TWO'S COMPLEMENT							
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
Underflow	−	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	V_{CCA} − 2.41 V	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	−	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1
.	−	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	−	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
254	−	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0
255	V_{CCA} − 1.41 V	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
Overflow	−	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

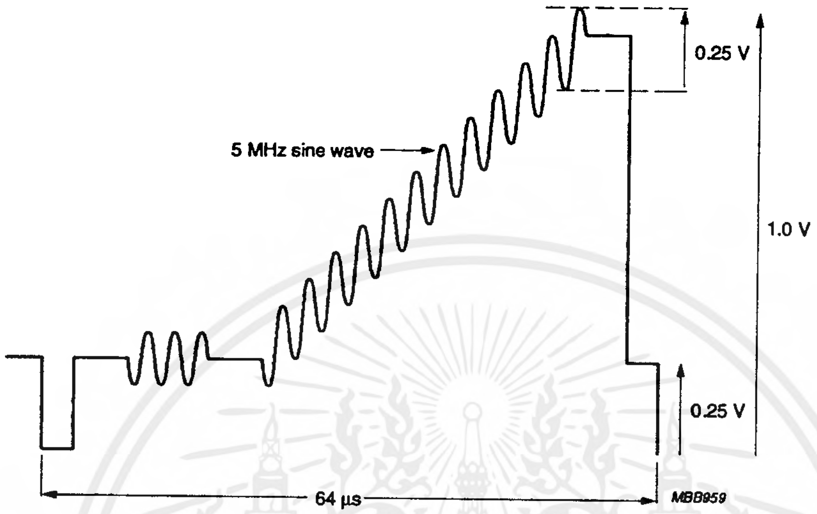


Fig.3 Test signal on the ADCIN pin for differential gain and phase measurements.

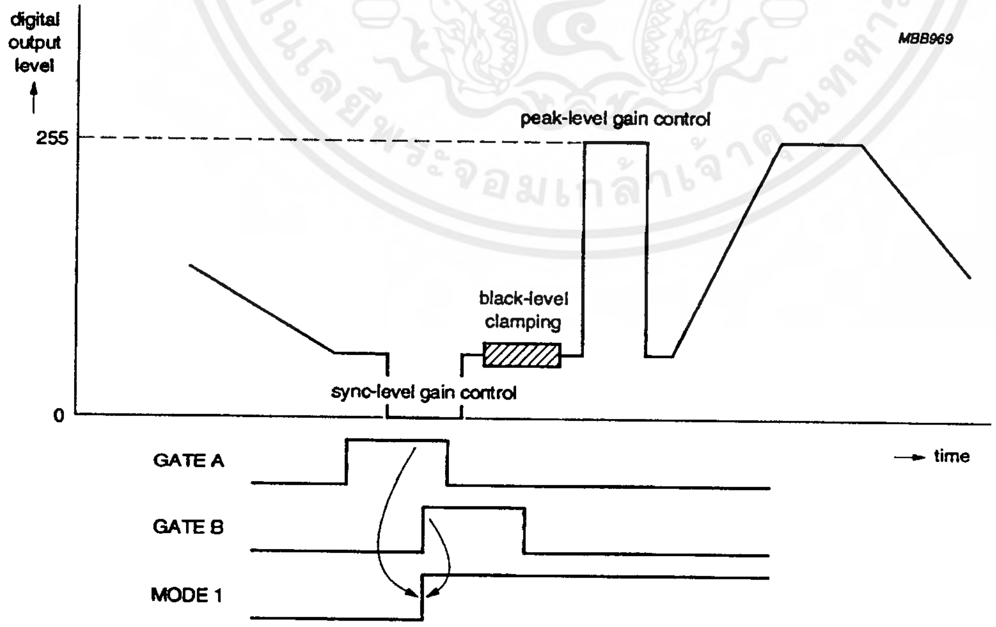


Fig.4 Control mode 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

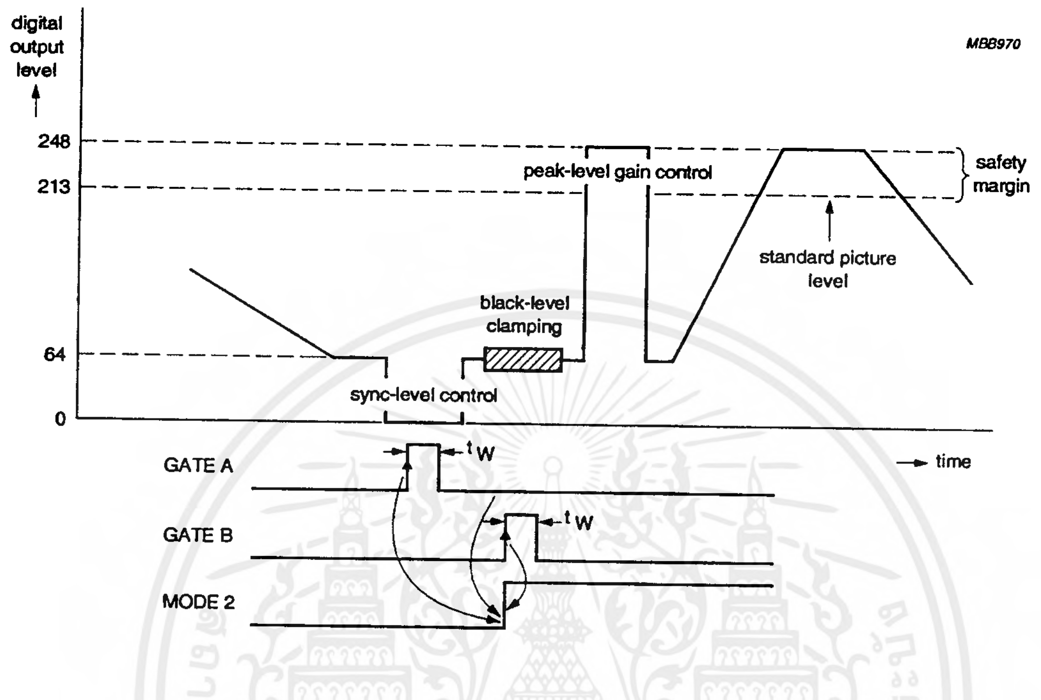


Fig.5 Control mode 2.

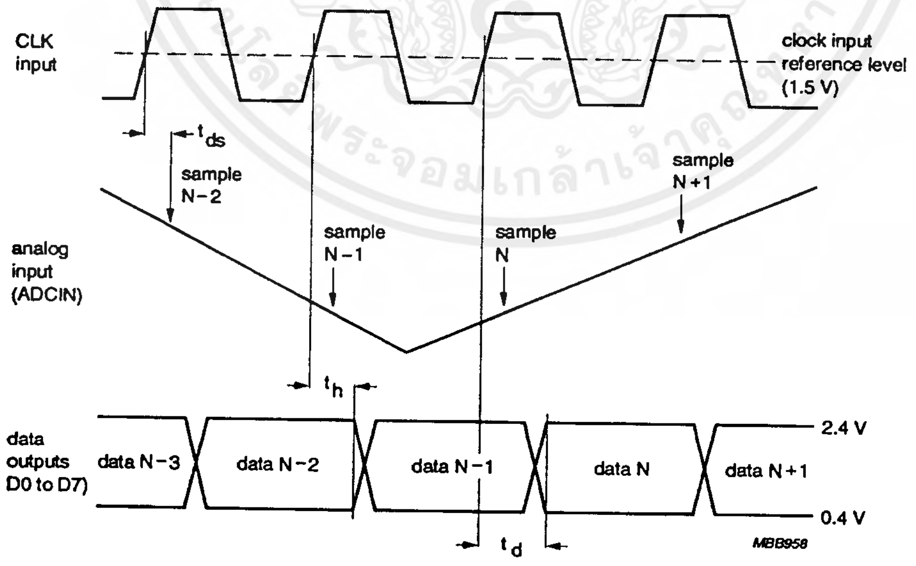


Fig.6 Timing diagram for data output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

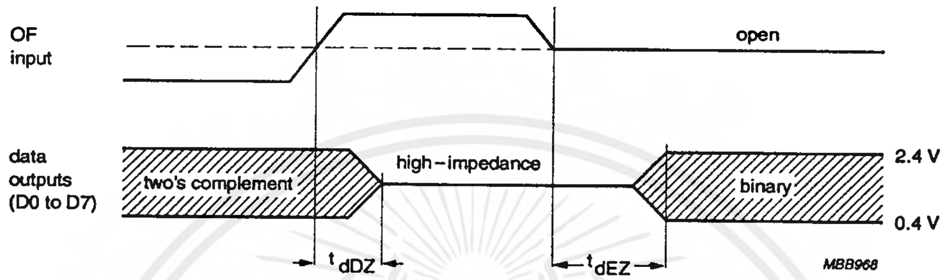


Fig.7 Output format timing diagram.

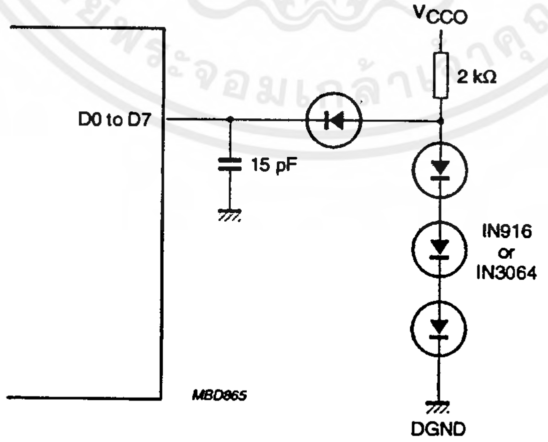


Fig.8 Load circuit for timing measurement; data outputs (OF = LOW or open-circuit).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

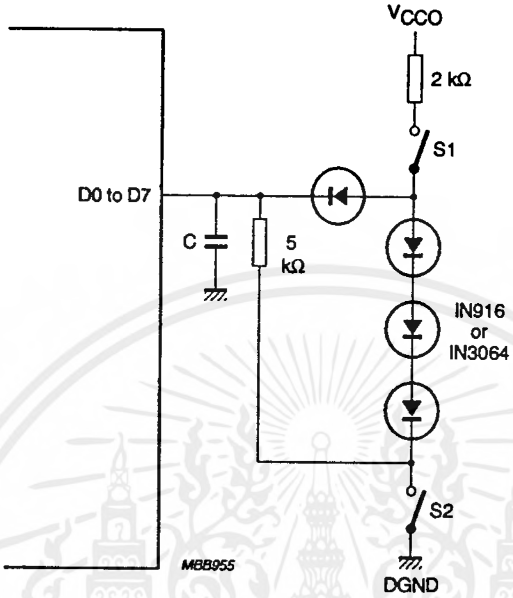
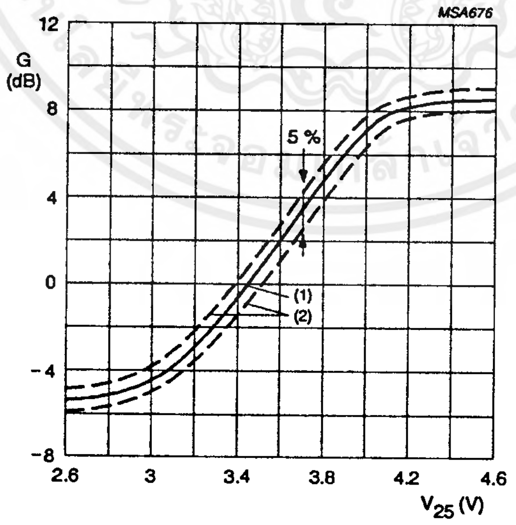


Fig.9 Load circuit for timing measurement; 3-state outputs (OF: $f_i = 1$ MHz; $V_{OF} = 3$ V).



(1) Typical value ($V_{CCA} = V_{CCD} = 5$ V; $T_{amb} = 25$ °C).

(2) Minimum and maximum values (temperature and supply).

Fig.10 Gain control curve.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTERNAL PIN CIRCUITRY

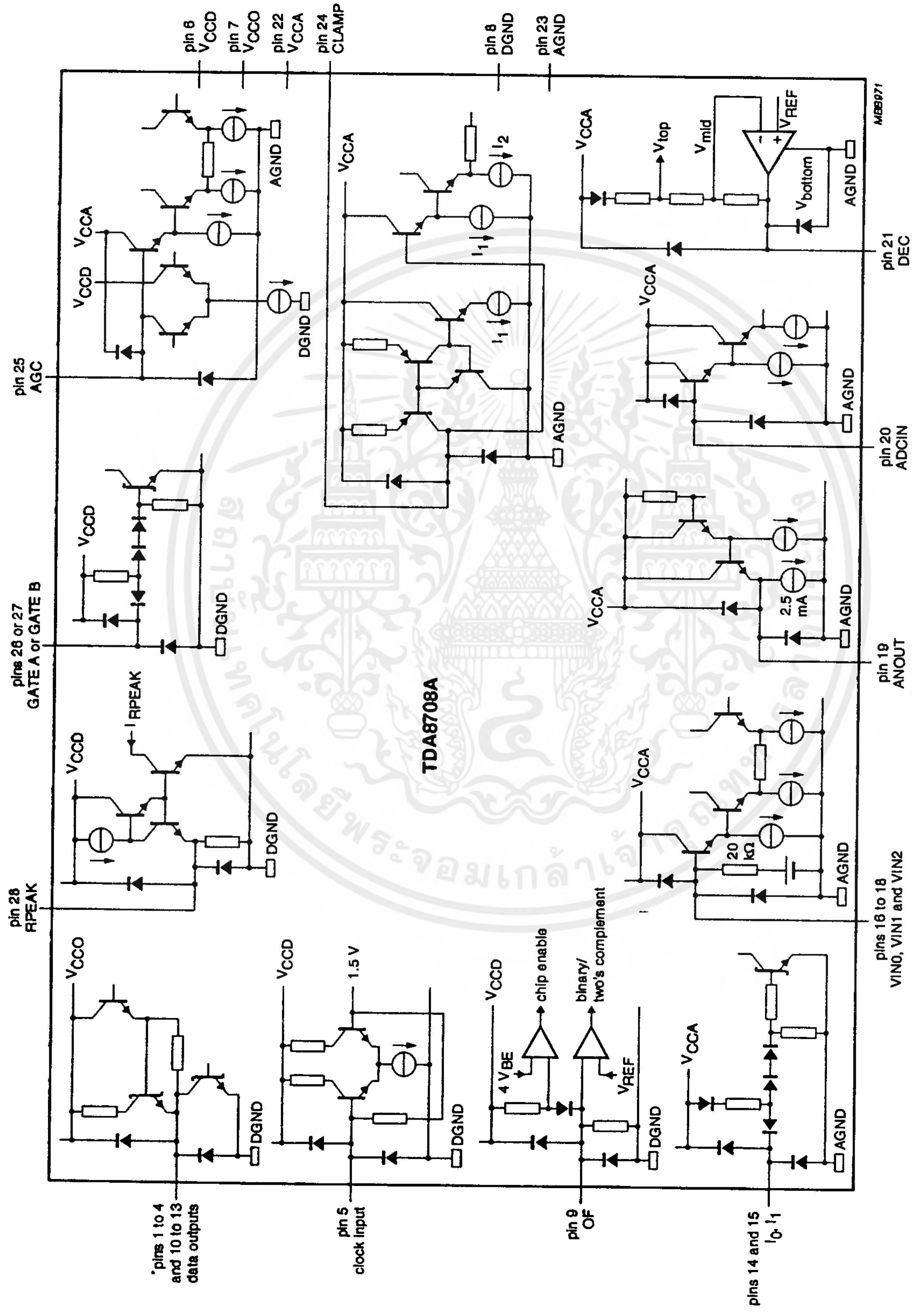
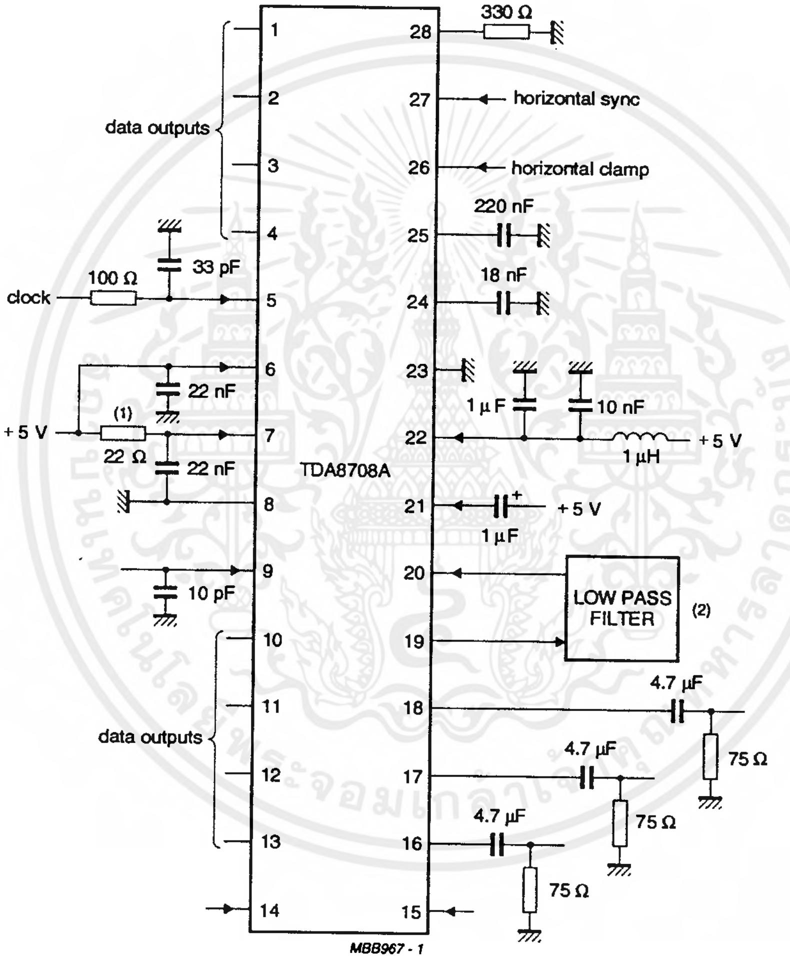


Fig.11 Internal pin configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

Additional information can be found in the laboratory report *"FBL/AN9308"*.

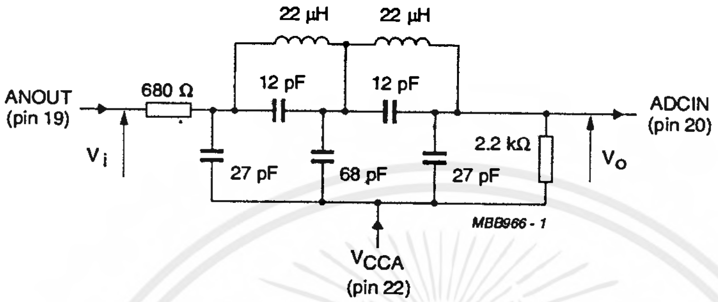


(1) It is recommended to decouple V_{CCO} through a 22 Ω resistor especially when the output data of TDA8708A interfaces with a capacitive CMOS load device.

(2) See Figs 13 and 15 for examples of the low-pass filters.

Fig.12 Application diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



This filter can be adapted to various applications with respect to performance requirements. An input and output impedance of at least 680 Ω and 2.2 kΩ must in any event be applied.

Fig.13 Example of a low-pass filter for CVBS and Y signals.

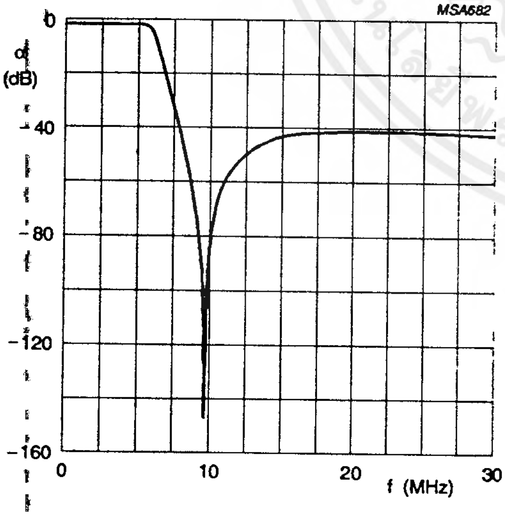
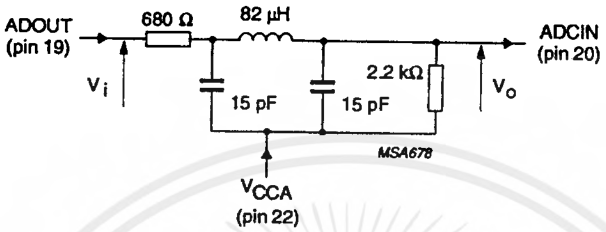


Fig.14 Frequency response for filter shown in Fig.13.

Characteristics of Fig. 13

- Order 5; adapted CHEBYSHEV
- Ripple $\rho \leq 0.4$ dB
- f = 6.5 MHz at −3 dB
- f_{notch} = 9.75 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



This filter can be adapted to various applications with respect to performance requirements. An input and output impedance of at least 680 Ω and 2.2 kΩ must in any event be applied.

Fig.15 Example of an economical low-pass filter for CVBS and Y signals.

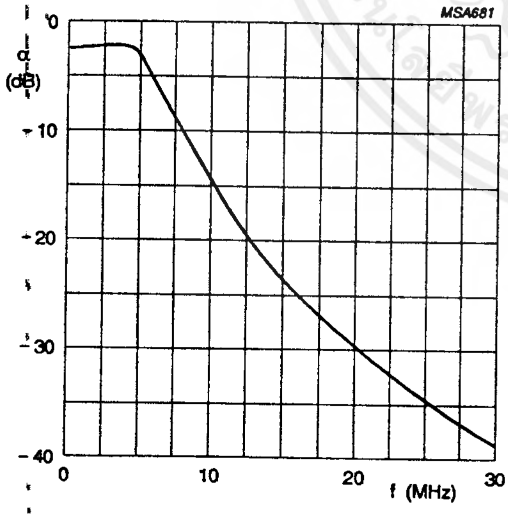


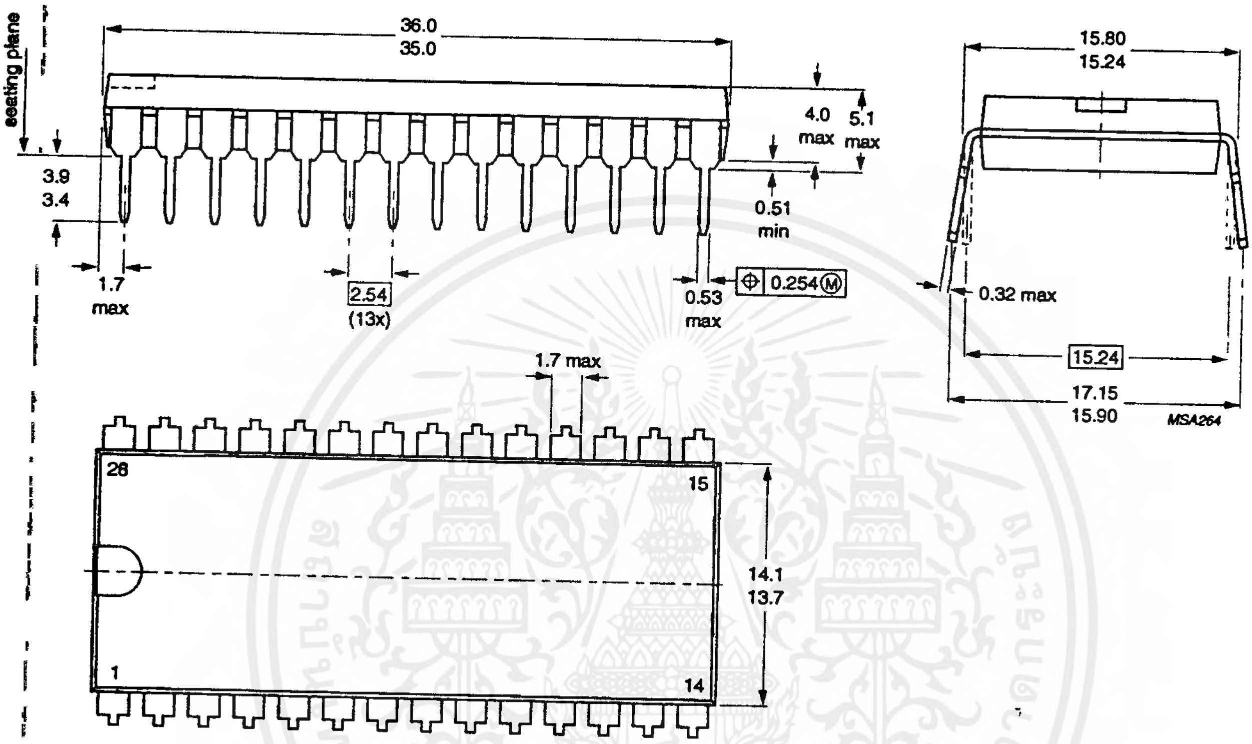
Fig.16 Frequency response for filter shown in Fig.15.

Characteristics of Fig. 15

- Order 5; adapted CHEBYSHEV
- Ripple ρ ≤ 0.4 dB
- f = 6.5 MHz at −3 dB.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

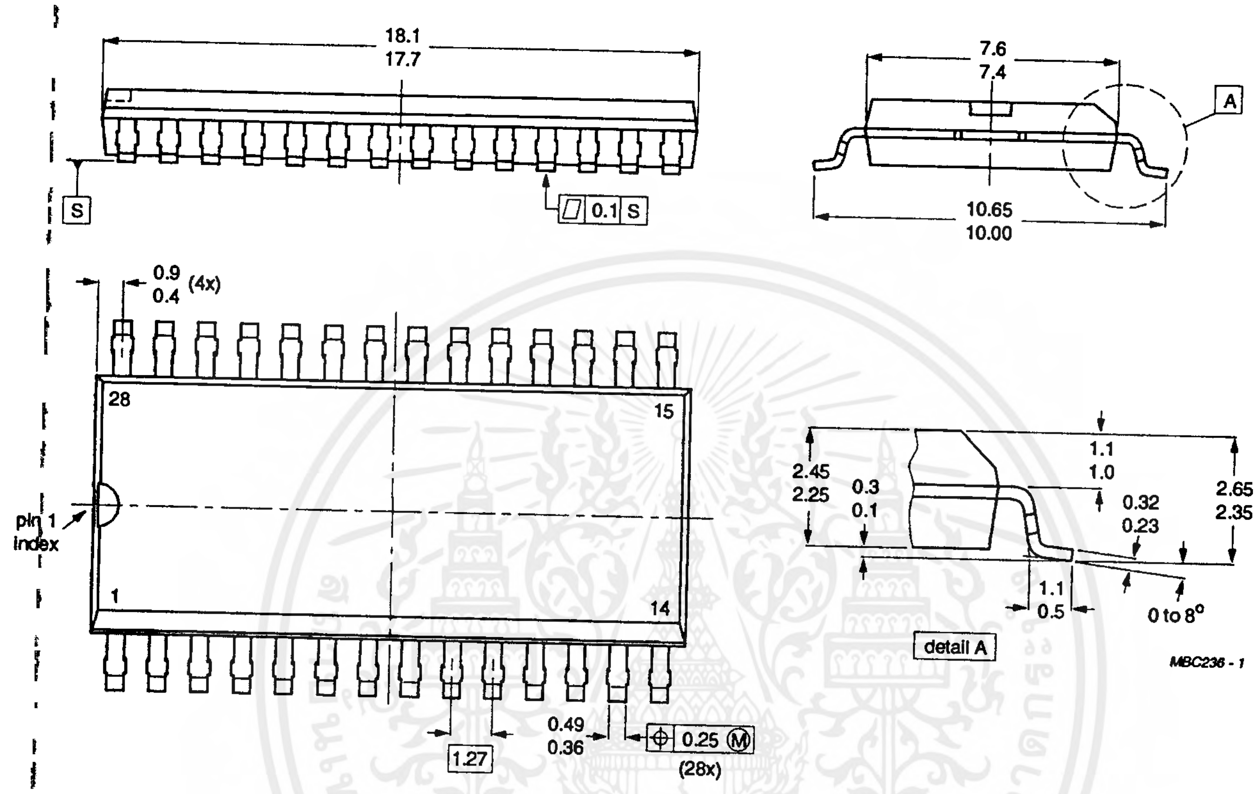
PACKAGE OUTLINES



Dimensions in mm.

Fig.17 Plastic dual in-line package; 28 leads (600 mil) with internal heat spreader (SOT117-1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Dimensions in mm.

Fig.18 Plastic small outline package; 28 leads; large body (SOT136-1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SOLDERING

Plastic dual in-line packages

BY DIP OR WAVE

The maximum permissible temperature of the solder is 260 °C; this temperature must not be in contact with the joint for more than 5 s. The total contact time of successive solder waves must not exceed 5 s.

The device may be mounted up to the seating plane, but the temperature of the plastic body must not exceed the specified storage maximum. If the printed-circuit board has been pre-heated, forced cooling may be necessary immediately after soldering to keep the temperature within the permissible limit.

REPAIRING SOLDERED JOINTS

Apply a low voltage soldering iron below the seating plane (or not more than 2 mm above it). If its temperature is below 300 °C, it must not be in contact for more than 10 s; if between 300 and 400 °C, for not more than 5 s.

Plastic small-outline packages

BY WAVE

During placement and before soldering, the component must be fixed with a droplet of adhesive. After curing the adhesive, the component can be soldered. The adhesive can be applied by screen printing, pin transfer or syringe dispensing.

Maximum permissible solder temperature is 260 °C, and maximum duration of package immersion in solder bath is 10 s, if allowed to cool to less than 150 °C within 6 s. Typical dwell time is 4 s at 250 °C.

A modified wave soldering technique is recommended using two solder waves (dual-wave), in which a turbulent wave with high upward pressure is followed by a smooth laminar wave. Using a mildly-activated flux eliminates the need for removal of corrosive residues in most applications.

BY SOLDER PASTE REFLOW

Reflow soldering requires the solder paste (a suspension of fine solder particles, flux and binding agent) to be applied to the substrate by screen printing, stencilling or pressure-syringe dispensing before device placement.

Several techniques exist for reflowing; for example, thermal conduction by heated belt, infrared, and vapour-phase reflow. Dwell times vary between 50 and 300 s according to method. Typical reflow temperatures range from 215 to 250 °C.

Preheating is necessary to dry the paste and evaporate the binding agent. Preheating duration: 45 min at 45 °C.

REPAIRING SOLDERED JOINTS (BY HAND-HELD SOLDERING IRON OR PULSE-HEATED SOLDER TOOL)

Fix the component by first soldering two, diagonally opposite, end pins. Apply the heating tool to the flat part of the pin only. Contact time must be limited to 10 s at up to 300 °C. When using proper tools, all other pins can be soldered in one operation within 2 to 5 s at between 270 and 320 °C. (Pulse-heated soldering is not recommended for SO packages.)

For pulse-heated solder tool (resistance) soldering of VSO packages, solder is applied to the substrate by dipping or by an extra thick tin/lead plating before package placement.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITIONS

Data sheet status	
Objective specification	This data sheet contains target or goal specifications for product development.
Preliminary specification	This data sheet contains preliminary data; supplementary data may be published later.
Product specification	This data sheet contains final product specifications.
Limiting values	
Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.	
Application information	
Where application information is given, it is advisory and does not form part of the specification.	

LIFE SUPPORT APPLICATIONS

These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips for any damages resulting from such improper use or sale.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

89C51
80C51 8-bit microcontroller
4K/128 MTP Flash, high speed (33 MHz)

Preliminary specification

1998 Oct 09

IC20 Data Handbook

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิง

Philips Semiconductors

PHILIPS

DESCRIPTION

The Philips 89C51 contains a non-volatile Flash program memory that is parallel programmable. For Philips Flash devices that are serial programmable (In System Programmable (ISP) with a boot loader), see 89C51RC+/RD+ datasheet.

The 89C51 contains a 4k × 8 Flash memory, a 128 × 8 RAM, 32 I/O lines, three 16-bit counter/timers, a six-source, four-priority level nested interrupt structure, a serial I/O port for either multi-processor communications, I/O expansion or full duplex UART, and on-chip oscillator and clock circuits.

In addition, the device is a low power static design which offers a wide range of operating frequencies down to zero. Two software selectable modes of power reduction—idle mode and power-down mode are available. The idle mode freezes the CPU while allowing the RAM, timers, serial port, and interrupt system to continue functioning. The power-down mode saves the RAM contents but freezes the oscillator, causing all other chip functions to be inoperative. Since the design is static, the clock can be stopped without loss of user data and then the execution resumed from the point the clock was stopped.

SELECTION TABLE FOR FLASH DEVICES

ROM/EPROM Memory Size (X by 8)	RAM Size (X by 8)	Programmable Timer Counter (PCA)
Multi-Time Programmable (MTP) devices:		
89C51		
4K	128	No
89C52/54/58		
8K/16K/32K	256	No
Serial In-System Programmable devices:		
89C51RC+		
32K	512	Yes
89C51RD+		
64K	1024	Yes

FEATURES

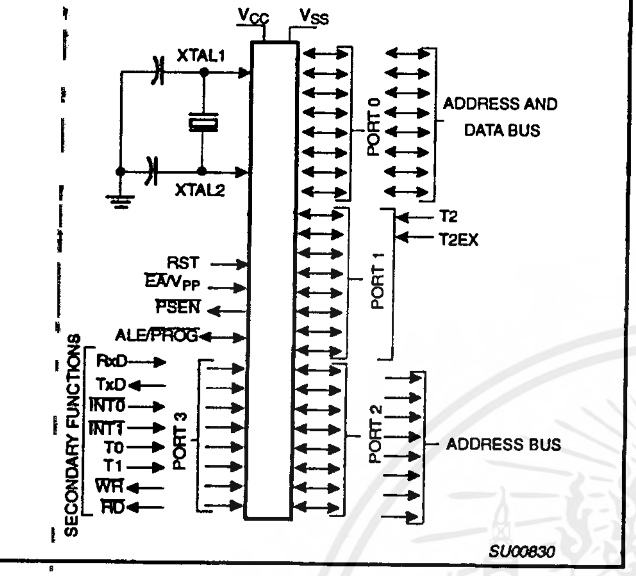
- 8051 Central Processing Unit
  - 4k × 8 ROM (80C51)
  - 128 × 8 RAM
  - Three 16-bit counter/timers
  - Full duplex serial channel
  - Boolean processor
  - Full static operation
- Memory addressing capability
  - 64k ROM and 64k RAM
- Power control modes:
  - Clock can be stopped and resumed
  - Idle mode
  - Power-down mode
- CMOS and TTL compatible
- Speed up to 33 MHz
- Three package styles
- Extended temperature ranges
- Dual Data Pointers
- Security bits – 3 bits
- Encryption array – 64 bytes
- 4 level priority interrupt
- 6 interrupt sources
- Four 8-bit I/O ports
- Full-duplex enhanced UART
  - Framing error detection
  - Automatic address recognition
- Programmable clock out
- Asynchronous port reset
- Low EMI (inhibit ALE)
- Wake-up from Power Down by an external interrupt

ORDERING INFORMATION

MEMORY SIZE 4K × 8	TEMPERATURE RANGE °C AND PACKAGE	VOLTAGE RANGE	FREQ. (MHz)	DWG. #
P89C51UBAA	0 to +70, Plastic Leaded Chip Carrier	5V	0 to 33	SOT187-2
P89C51UBPN	0 to +70, Plastic Dual In-line Package	5V	0 to 33	SOT129-1
P89C51UBBB	0 to +70, Plastic Quad Flat Pack	5V	0 to 33	SOT307-2
P89C51UFAA	–40 to +85, Plastic Leaded Chip Carrier	5V	0 to 33	SOT187-2
P89C51UFPN	–40 to +85, Plastic Dual In-line Package	5V	0 to 33	SOT129-1
P89C51UFBB	–40 to +85, Plastic Quad Flat Pack	5V	0 to 33	SOT307-2

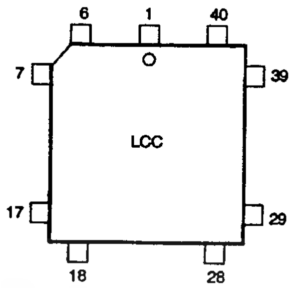
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC SYMBOL



SU00830

Plastic Leaded Chip Carrier Pin Functions



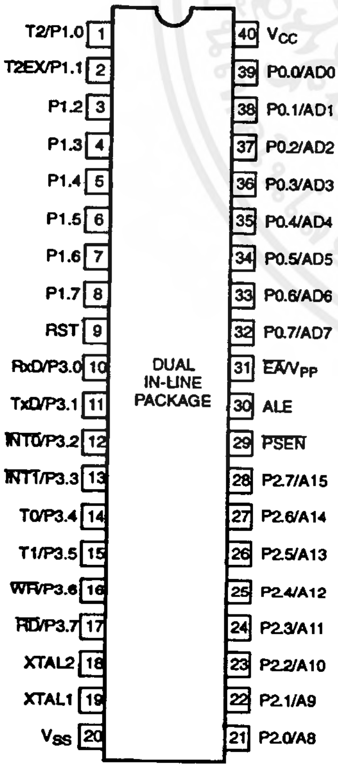
Pin	Function	Pin	Function	Pin	Function
1	NIC*	16	P3.4/T0	31	P2.7/A15
2	P1.0/T2	17	P3.5/T1	32	PSEN
3	P1.1/T2EX	18	P3.6/WR	33	ALE
4	P1.2	19	P3.7/RD	34	NIC*
5	P1.3	20	XTAL2	35	EA/V_{PP}
6	P1.4	21	XTAL1	36	P0.7/AD7
7	P1.5	22	V_{SS}	37	P0.6/AD6
8	P1.6	23	NIC*	38	P0.5/AD5
9	P1.7	24	P2.0/A8	39	P0.4/AD4
10	RST	25	P2.1/A9	40	P0.3/AD3
11	P3.0/RxD	26	P2.2/A10	41	P0.2/AD2
12	NIC*	27	P2.3/A11	42	P0.1/AD1
13	P3.1/TxD	28	P2.4/A12	43	P0.0/AD0
14	P3.2/INT0	29	P2.5/A13	44	V_{CC}
15	P3.3/INT1	30	P2.6/A14		

* NO INTERNAL CONNECTION

SU01062

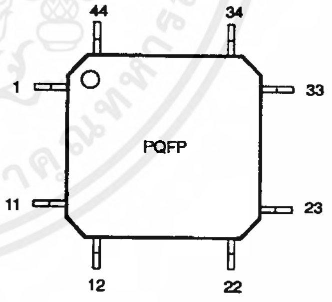
PIN CONFIGURATIONS

Plastic Dual In-Line Package



SU01063

Plastic Quad Flat Pack Pin Functions



Pin	Function	Pin	Function	Pin	Function
1	P1.5	16	V_{SS}	31	P0.6/AD6
2	P1.6	17	NIC*	32	P0.5/AD5
3	P1.7	18	P2.0/A8	33	P0.4/AD4
4	RST	19	P2.1/A9	34	P0.3/AD3
5	P3.0/RxD	20	P2.2/A10	35	P0.2/AD2
6	NIC*	21	P2.3/A11	36	P0.1/AD1
7	P3.1/TxD	22	P2.4/A12	37	P0.0/AD0
8	P3.2/INT0	23	P2.5/A13	38	V_{CC}
9	P3.3/INT1	24	P2.6/A14	39	NIC*
10	P3.4/T0	25	P2.7/A15	40	P1.0/T2
11	P3.5/T1	26	PSEN	41	P1.1/T2EX
12	P3.6/WR	27	ALE	42	P1.2
13	P3.7/RD	28	NIC*	43	P1.3
14	XTAL2	29	EA/V_{PP}	44	P1.4
15	XTAL1	30	P0.7/AD7		

* NO INTERNAL CONNECTION

SU01064

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

	PIN NUMBER				
MNEMONIC	**DIP**	**LCC**	**QFP**	**TYPE**	**NAME AND FUNCTION**
V_{SS}	20	22	16	I	**Ground:** 0V reference.
V_{CC}	40	44	38	I	**Power Supply:** This is the power supply voltage for normal, idle, and power-down operation.
P0.0–0.7	39–32	43–36	37–30	I/O	**Port 0:** Port 0 is an open-drain, bidirectional I/O port. Port 0 pins that have 1s written to them float and can be used as high-impedance inputs. Port 0 is also the multiplexed low-order address and data bus during accesses to external program and data memory. In this application, it uses strong internal pull-ups when emitting 1s. Port 0 also outputs the code bytes during program verification and received code bytes during programming. External pull-ups are required during program verification.
P1.0–P1.7	1–8	2–9	40–44, 1–3	I/O	**Port 1:** Port 1 is an 8-bit bidirectional I/O port with internal pull-ups. Port 1 pins that have 1s written to them are pulled high by the internal pull-ups and can be used as inputs. As inputs, port 1 pins that are externally pulled low will source current because of the internal pull-ups. (See DC Electrical Characteristics: I_{IL}). Port 1 also receives the low-order address byte during program memory verification. Alternate functions for Port 1:
	1	2	40	I/O	**T2 (P1.0):** Timer/Counter 2 external count input/clockout (see Programmable Clock-Out).
	2	3	41	I	**T2EX (P1.1):** Timer/Counter 2 Reload/Capture/Direction control.
P2.0–P2.7	21–28	24–31	18–25	I/O	**Port 2:** Port 2 is an 8-bit bidirectional I/O port with internal pull-ups. Port 2 pins that have 1s written to them are pulled high by the internal pull-ups and can be used as inputs. As inputs, port 2 pins that are externally being pulled low will source current because of the internal pull-ups. (See DC Electrical Characteristics: I_{IL}). Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @DPTR). In this application, it uses strong internal pull-ups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOV @Ri), port 2 emits the contents of the P2 special function register. Some Port 2 pins receive the high order address bits during programming and verification.
P3.0–P3.7	10–17	11, 13–19	5, 7–13	I/O	**Port 3:** Port 3 is an 8-bit bidirectional I/O port with internal pull-ups. Port 3 pins that have 1s written to them are pulled high by the internal pull-ups and can be used as inputs. As inputs, port 3 pins that are externally being pulled low will source current because of the pull-ups. (See DC Electrical Characteristics: I_{IL}). Port 3 also serves the special features of the 89C51, as listed below:
	10	11	5	I	**RxD (P3.0):** Serial input port
	11	13	7	O	**TxD (P3.1):** Serial output port
	12	14	8	I	**$\overline{INT0}$ (P3.2):** External interrupt
	13	15	9	I	**$\overline{INT1}$ (P3.3):** External interrupt
	14	16	10	I	**T0 (P3.4):** Timer 0 external input
	15	17	11	I	**T1 (P3.5):** Timer 1 external input
	16	18	12	O	**$\overline{WR}$ (P3.6):** External data memory write strobe
	17	19	13	O	**$\overline{RD}$ (P3.7):** External data memory read strobe
RST	9	10	4	I	**Reset:** A high on this pin for two machine cycles while the oscillator is running, resets the device. An internal diffused resistor to V_{SS} permits a power-on reset using only an external capacitor to V_{CC}.
LE/$\overline{PROG}$	30	33	27	O	**Address Latch Enable/Program Pulse:** Output pulse for latching the low byte of the address during an access to external memory. In normal operation, ALE is emitted at a constant rate of 1/6 the oscillator frequency, and can be used for external timing or clocking. Note that one ALE pulse is skipped during each access to external data memory. This pin is also the program pulse input ($\overline{PROG}$) during EPROM programming. ALE can be disabled by setting SFR auxiliary.0. With this bit set, ALE will be active only during a MOVX instruction.
$\overline{SEN}$	29	32	26	O	**Program Store Enable:** The read strobe to external program memory. When the 89C51 is executing code from the external program memory, $\overline{PSEN}$ is activated twice each machine cycle, except that two $\overline{PSEN}$ activations are skipped during each access to external data memory. $\overline{PSEN}$ is not activated during fetches from internal program memory.
A/V_{PP}	31	35	29	I	**External Access Enable/Programming Supply Voltage:** $\overline{EA}$ must be externally held low to enable the device to fetch code from external program memory locations 0000H and 0FFFH. If $\overline{EA}$ is held high, the device executes from internal program memory unless the program counter contains an address greater than 0FFFH. This pin also receives the 12.00V programming supply voltage (V_{PP}) during Flash programming. $\overline{EA}$ will be internally latched on Reset.
TAL1	19	21	15	I	**Crystal 1:** Input to the inverting oscillator amplifier and input to the internal clock generator circuits.
TAL2	18	20	14	O	**Crystal 2:** Output from the inverting oscillator amplifier.

TE:
avoid "latch-up" effect at power-on, the voltage on any pin (other than V_{PP}) at any time must not be higher than V_{CC} + 0.5V or V_{SS} – 0.5V, pectively.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. 89C51 Special Function Registers

SYMBOL	DESCRIPTION	DIRECT ADDRESS	BIT ADDRESS, SYMBOL, OR ALTERNATIVE PORT FUNCTION MSB							LSB	RESET VALUE
ACC*1	Accumulator	E0H	E7	E6	E5	E4	E3	E2	E1	E0	00H
AUXR#	Auxiliary	8EH	–	–	–	–	–	–	–	AO	xxxxxxx0B
AUXR1#	Auxiliary 1	A2H	–	–	–	–	GF2	0	–	DPS	xxx000x0B
B*	B register	F0H	F7	F6	F5	F4	F3	F2	F1	F0	00H
DPTR:	Data Pointer (2 bytes)										
DPH	Data Pointer High	83H									00H
DPL	Data Pointer Low	82H									00H
			AF	AE	AD	AC	AB	AA	A9	A8	
IE*	Interrupt Enable	A8H	EA	–	ET2	ES	ET1	EX1	ET0	EX0	0x000000B
			BF	BE	BD	BC	BB	BA	B9	B8	
IP*	Interrupt Priority	B8H	–	–	PT2	PS	PT1	PX1	PT0	PX0	xx000000B
			B7	B6	B5	B4	B3	B2	B1	B0	
IPH#	Interrupt Priority High	B7H	–	–	PT2H	PSH	PT1H	PX1H	PT0H	PX0H	xx000000B
			87	86	85	84	83	82	81	80	
P0*	Port 0	80H	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	FFH
			97	96	95	94	93	92	91	90	
P1*	Port 1	90H	–	–	–	–	–	–	T2EX	T2	FFH
			A7	A6	A5	A4	A3	A2	A1	A0	
P2*	Port 2	A0H	AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8	FFH
			B7	B6	B5	B4	B3	B2	B1	B0	
P3*	Port 3	B0H	RD	WR	T1	T0	INT1	INT0	TxD	RxD	FFH
PCON#1	Power Control	87H	SMOD1	SMOD0	–	POF	GF1	GF0	PD	IDL	00xx0000B
			D7	D6	D5	D4	D3	D2	D1	D0	
PSW*	Program Status Word	D0H	CY	AC	F0	RS1	RS0	OV	–	P	000000x0B
RACAP2H#	Timer 2 Capture High	CBH									00H
RACAP2L#	Timer 2 Capture Low	CAH									00H
SADDR#	Slave Address	A9H									00H
SADEN#	Slave Address Mask	B9H									00H
SBUF	Serial Data Buffer	99H									xxxxxxxxB
			9F	9E	9D	9C	9B	9A	99	98	
SCON*	Serial Control	98H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI	00H
SP	Stack Pointer	81H									07H
			8F	8E	8D	8C	8B	8A	89	88	
TCON*	Timer Control	88H	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00H
			CF	CE	CD	CC	CB	CA	C9	C8	
T2CON*	Timer 2 Control	C8H	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2	00H
T2MOD#	Timer 2 Mode Control	C9H	–	–	–	–	–	–	T2OE	DCEN	xxxxxx00B
H0	Timer High 0	8CH									00H
H1	Timer High 1	8DH									00H
H2#	Timer High 2	CDH									00H
L0	Timer Low 0	8AH									00H
L1	Timer Low 1	8BH									00H
L2#	Timer Low 2	CCH									00H
MOD	Timer Mode	89H	GATE	C/T	M1	M0	GATE	C/T	M1	M0	00H

SFRs are bit addressable.
SFRs are modified from or added to the 80C51 SFRs.
Reserved bits.
Reset value depends on reset source.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FLASH EPROM MEMORY

General Description

The 89C51 FLASH reliably stores memory contents even afer 100 erase and program cycles. The cell is designed to optimize the erase and programming mechanisms. In addition, the combination of advanced tunnel oxide processing and low internal electric fields for erase and programming operations produces reliable cycleing. The 89C51 uses a 12.0V ±0.5V V_{PP} supply to perform the Program/Erase algorithms.

Features

- FLASH EPROM internal program memory with Chip Erase.
- Up to 64k byte external program memory if the internal program memory is disabled ($\overline{EA}$ = 0).
- Programming and erase voltage 12V ±0.5V.
- Read/Programming/Erase:
  - Byte-wise read (100 ns access time).
  - Byte Programming (20 µs).
  - Typical erase times of 3 seconds (including preprogramming time)
- Programmable security bits
- 100 minimum erase/program cycles for each byte.
- 10 year minimum data retention.
- Programming support available from many popular vendors.

OSCILLATOR CHARACTERISTICS

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier. The pins can be configured for use as an on-chip oscillator, as shown in the logic symbol.

To drive the device from an external clock source, XTAL1 should be driven while XTAL2 is left unconnected. There are no requirements on the duty cycle of the external clock signal, because the input to the internal clock circuitry is through a divide-by-two flip-flop. However, minimum and maximum high and low times specified in the data sheet must be observed.

Reset

A reset is accomplished by holding the RST pin high for at least two machine cycles (24 oscillator periods), while the oscillator is running. To insure a good power-up reset, the RST pin must be high long enough to allow the oscillator time to start up (normally a few milliseconds) plus two machine cycles. At power-on, the voltage on V_{CC} and RST must come up at the same time for a proper start-up. Ports 1, 2, and 3 will asynnchronously be driven to their reset condition when a voltage above V_{IH1} (min.) is applied to RESET.

The value on the $\overline{EA}$ pin is latched when RST is deasserted and has no further effect.

Stop Clock Mode

The static design enables the clock speed to be reduced down to 0 MHz (stopped). When the oscillator is stopped, the RAM and Special Function Registers retain their values. This mode allows step-by-step utilization and permits reduced system power consumption by lowering the clock frequency down to any value. For lowest power consumption the Power Down mode is suggested.

Idle Mode

In idle mode (see Table 2), the CPU puts itself to sleep while all of the on-chip peripherals stay active. The instruction to invoke the idle mode is the last instruction executed in the normal operating mode before the idle mode is activated. The CPU contents, the on-chip RAM, and all of the special function registers remain intact during this mode. The idle mode can be terminated either by any enabled interrupt (at which time the process is picked up at the interrupt service routine and continued), or by a hardware reset which starts the processor in the same manner as a power-on reset.

Power-Down Mode

To save even more power, a Power Down mode (see Table 2) can be invoked by software. In this mode, the oscillator is stopped and the instruction that invoked Power Down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values down to 2.0V and care must be taken to return V_{CC} to the minimum specified operating voltages before the Power Down Mode is terminated.

Either a hardware reset or external interrupt can be used to exit from Power Down. Reset redefines all the SFRs but does not change the on-chip RAM. An external interrupt allows both the SFRs and the on-chip RAM to retain their values. This is different from the 87C51/80C51, which uses WUPD to enable this feature.

To properly terminate Power Down the reset or external interrupt should not be executed before V_{CC} is restored to its normal operating level and must be held active long enough for the oscillator to restart and stabilize (normally less than 10ms).

With an external interrupt, INT0 or INT1 must be enabled and configured as level-sensitive. Holding the pin low restarts the oscillator but bringing the pin back high completes the exit. Once the interrupt is serviced, the next instruction to be executed after RETI will be the one following the instruction that put the device into Power Down.

Design Consideration

- When the idle mode is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Table 2. External Pin Status During Idle and Power-Down Modes

MODE	PROGRAM MEMORY	ALE	$\overline{PSEN}$	PORT 0	PORT 1	PORT 2	PORT 3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power-down	Internal	0	0	Data	Data	Data	Data
Power-down	External	0	0	Float	Data	Data	Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ONCE™ Mode

he ONCE ("On-Circuit Emulation") Mode facilitates testing and ebugging of systems without the device having to be removed from he circuit. The ONCE Mode is invoked by:

. Pull ALE low while the device is in reset and PSEN is high;
. Hold ALE low as RST is deactivated.

Vhile the device is in ONCE Mode, the Port 0 pins go into a float tate, and the other port pins and ALE and PSEN are weakly pulled igh. The oscillator circuit remains active. While the 89C51 is in this node, an emulator or test CPU can be used to drive the circuit. ormal operation is restored when a normal reset is applied.

rogrammable Clock-Out

 50% duty cycle clock can be programmed to come out on P1.0. his pin, besides being a regular I/O pin, has two alternate unctions. It can be programmed:

. to input the external clock for Timer/Counter 2, or
. to output a 50% duty cycle clock ranging from 61Hz to 4MHz at a 16MHz operating frequency.

o configure the Timer/Counter 2 as a clock generator, bit C/T2 (in 2CON) must be cleared and bit T20E in T2MOD must be set. Bit R2 (T2CON.2) also must be set to start the timer.

he Clock-Out frequency depends on the oscillator frequency and e reload value of Timer 2 capture registers (RCAP2H, RCAP2L) s shown in this equation:

$$\frac{\text{Oscillator Frequency}}{4 \times (65536 - \text{RCAP2H, RCAP2L})}$$

here:

(RCAP2H,RCAP2L) = the content of RCAP2H and RCAP2L taken as a 16-bit unsigned integer.

 the Clock-Out mode Timer 2 roll-overs will not generate an terrupt. This is similar to when it is used as a baud-rate generator. is possible to use Timer 2 as a baud-rate generator and a clock nerator simultaneously. Note, however, that the baud-rate and the ock-Out frequency will be the same.

MER 2 OPERATION

mer 2

mer 2 is a 16-bit Timer/Counter which can operate as either an ent timer or an event counter, as selected by C/T2* in the special nction register T2CON (see Figure 1). Timer 2 has three operating odes:Capture, Auto-reload (up or down counting) ,and Baud Rate nerator, which are selected by bits in the T2CON as shown in ble 3.

apture Mode

 the capture mode there are two options which are selected by bit KEN2 in T2CON. If EXEN2=0, then timer 2 is a 16-bit timer or counter (as selected by C/T2* in T2CON) which, upon overflowing sets bit TF2, the timer 2 overflow bit. This bit can be used to generate an interrupt (by enabling the Timer 2 interrupt bit in the IE register). If EXEN2= 1, Timer 2 operates as described above, but with the added feature that a 1-to-0 transition at external input T2EX causes the current value in the Timer 2 registers, TL2 and TH2, to be captured into registers RCAP2L and RCAP2H, respectively. In addition, the transition at T2EX causes bit EXF2 in T2CON to be set, and EXF2 like TF2 can generate an interrupt (which vectors to the same location as Timer 2 overflow interrupt. The Timer 2 interrupt service routine can interrogate TF2 and EXF2 to determine which event caused the interrupt). The capture mode is illustrated in Figure 2 (There is no reload value for TL2 and TH2 in this mode. Even when a capture event occurs from T2EX, the counter keeps on counting T2EX pin transitions or osc/12 pulses.).

Auto-Reload Mode (Up or Down Counter)

In the 16-bit auto-reload mode, Timer 2 can be configured (as either a timer or counter (C/T2* in T2CON)) then programmed to count up or down. The counting direction is determined by bit DCEN(Down Counter Enable) which is located in the T2MOD register (see Figure 3). When reset is applied the DCEN=0 which means Timer 2 will default to counting up. If DCEN bit is set, Timer 2 can count up or down depending on the value of the T2EX pin.

Figure 4 shows Timer 2 which will count up automatically since DCEN=0. In this mode there are two options selected by bit EXEN2 in T2CON register. If EXEN2=0, then Timer 2 counts up to 0FFFFH and sets the TF2 (Overflow Flag) bit upon overflow. This causes the Timer 2 registers to be reloaded with the 16-bit value in RCAP2L and RCAP2H. The values in RCAP2L and RCAP2H are preset by software means.

If EXEN2=1, then a 16-bit reload can be triggered either by an overflow or by a 1-to-0 transition at input T2EX. This transition also sets the EXF2 bit. The Timer 2 interrupt, if enabled, can be generated when either TF2 or EXF2 are 1.

In Figure 5 DCEN=1 which enables Timer 2 to count up or down. This mode allows pin T2EX to control the direction of count. When a logic 1 is applied at pin T2EX Timer 2 will count up. Timer 2 will overflow at 0FFFFH and set the TF2 flag, which can then generate an interrupt, if the interrupt is enabled. This timer overflow also causes the 16–bit value in RCAP2L and RCAP2H to be reloaded into the timer registers TL2 and TH2.

When a logic 0 is applied at pin T2EX this causes Timer 2 to count down. The timer will underflow when TL2 and TH2 become equal to the value stored in RCAP2L and RCAP2H. Timer 2 underflow sets the TF2 flag and causes 0FFFFH to be reloaded into the timer registers TL2 and TH2.

The external flag EXF2 toggles when Timer 2 underflows or overflows. This EXF2 bit can be used as a 17th bit of resolution if needed. The EXF2 flag does not generate an interrupt in this mode of operation.

ble 3. Timer 2 Operating Modes

RCLK + TCLK	CP/RL2	TR2	MODE
0	0	1	16-bit Auto-reload
0	1	1	16-bit Capture
1	X	1	Baud rate generator
X	X	0	(off)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(MSB) (LSB)

TF2	EXF2	RCLK	TCLK	EXEN2	TR2	$C/\overline{T2}$	$CP/\overline{RL2}$

Symbol	Position	Name and Significance
TF2	T2CON.7	Timer 2 overflow flag set by a Timer 2 overflow and must be cleared by software. TF2 will not be set when either RCLK or TCLK = 1.
EXF2	T2CON.6	Timer 2 external flag set when either a capture or reload is caused by a negative transition on T2EX and EXEN2 = 1. When Timer 2 interrupt is enabled, EXF2 = 1 will cause the CPU to vector to the Timer 2 interrupt routine. EXF2 must be cleared by software. EXF2 does not cause an interrupt in up/down counter mode (DCEN = 1).
RCLK	T2CON.5	Receive clock flag. When set, causes the serial port to use Timer 2 overflow pulses for its receive clock in modes 1 and 3. RCLK = 0 causes Timer 1 overflow to be used for the receive clock.
TCLK	T2CON.4	Transmit clock flag. When set, causes the serial port to use Timer 2 overflow pulses for its transmit clock in modes 1 and 3. TCLK = 0 causes Timer 1 overflows to be used for the transmit clock.
EXEN2	T2CON.3	Timer 2 external enable flag. When set, allows a capture or reload to occur as a result of a negative transition on T2EX if Timer 2 is not being used to clock the serial port. EXEN2 = 0 causes Timer 2 to ignore events at T2EX.
TR2	T2CON.2	Start/stop control for Timer 2. A logic 1 starts the timer.
$C/\overline{T2}$	T2CON.1	Timer or counter select. (Timer 2) 0 = Internal timer (OSC/12) 1 = External event counter (falling edge triggered).
$CP/\overline{RL2}$	T2CON.0	Capture/Reload flag. When set, captures will occur on negative transitions at T2EX if EXEN2 = 1. When cleared, auto-reloads will occur either with Timer 2 overflows or negative transitions at T2EX when EXEN2 = 1. When either RCLK = 1 or TCLK = 1, this bit is ignored and the timer is forced to auto-reload on Timer 2 overflow.

SU00728

Figure 1. Timer/Counter 2 (T2CON) Control Register

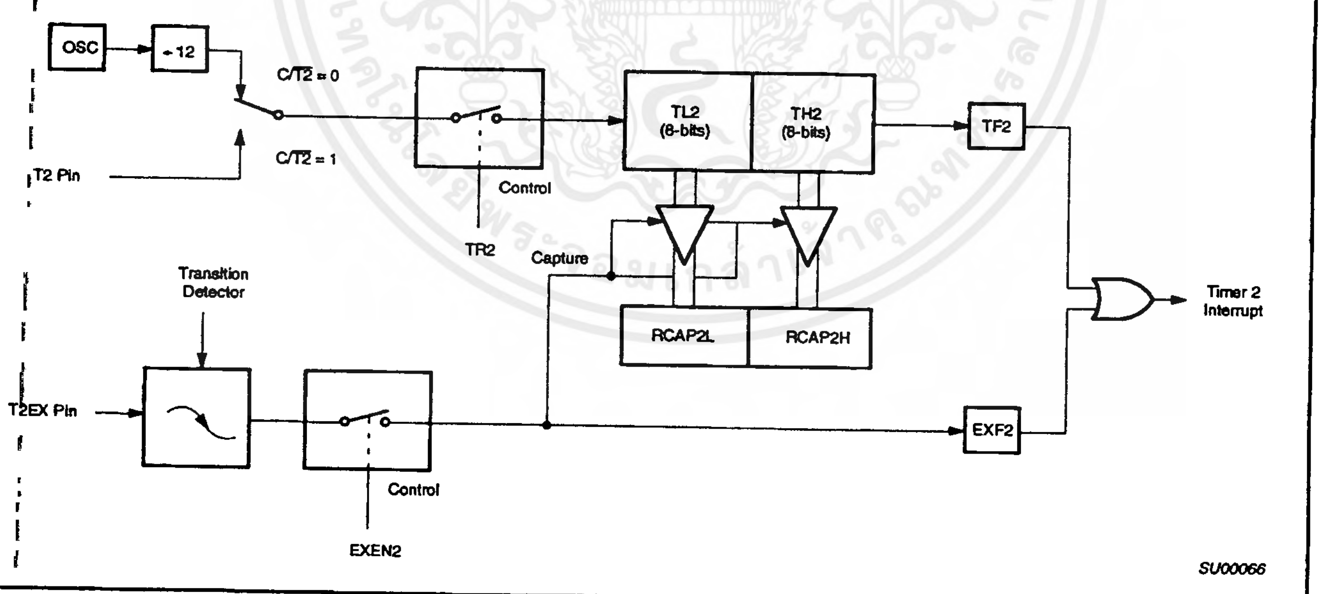


Figure 2. Timer 2 in Capture Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

T2MOD Address = 0C9H Reset Value = XXXX XX00B

Not Bit Addressable

Bit	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	T2OE	DCEN

Symbol	Function
—	Not implemented, reserved for future use.*
T2OE	Timer 2 Output Enable bit.
DCEN	Down Count Enable bit. When set, this allows Timer 2 to be configured as an up/down counter.

* User software should not write 1s to reserved bits. These bits may be used in future 8051 family products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1. The value read from a reserved bit is indeterminate.

SU00729

Figure 3. Timer 2 Mode (T2MOD) Control Register

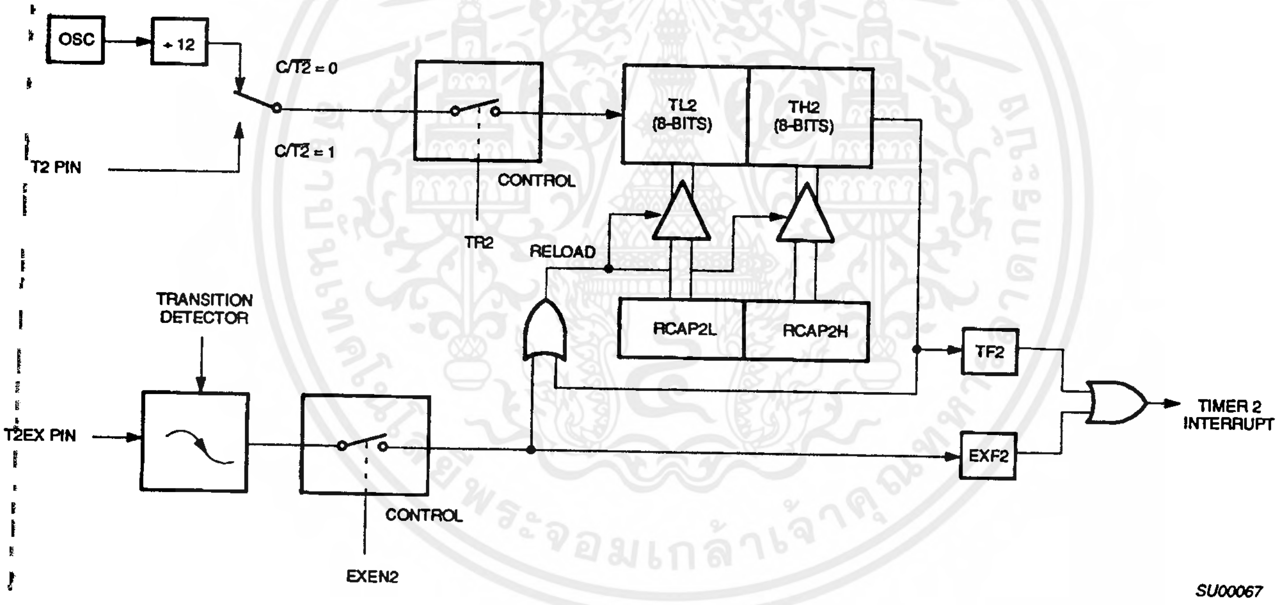


Figure 4. Timer 2 in Auto-Reload Mode (DCEN = 0)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

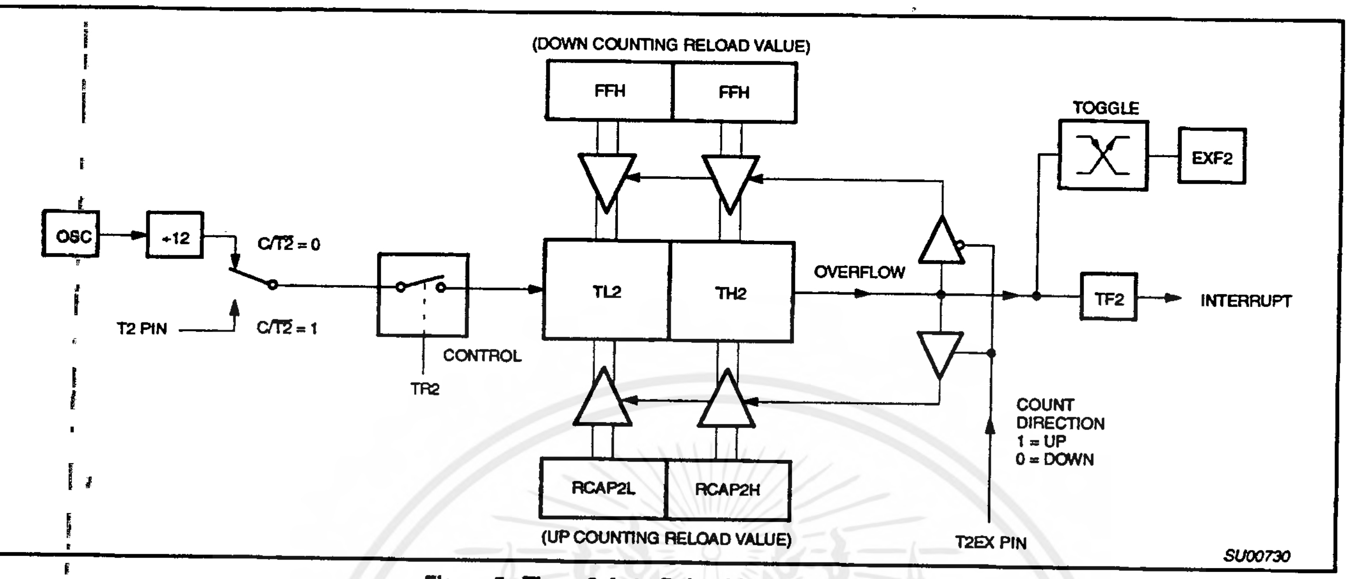


Figure 5. Timer 2 Auto Reload Mode (DCEN = 1)

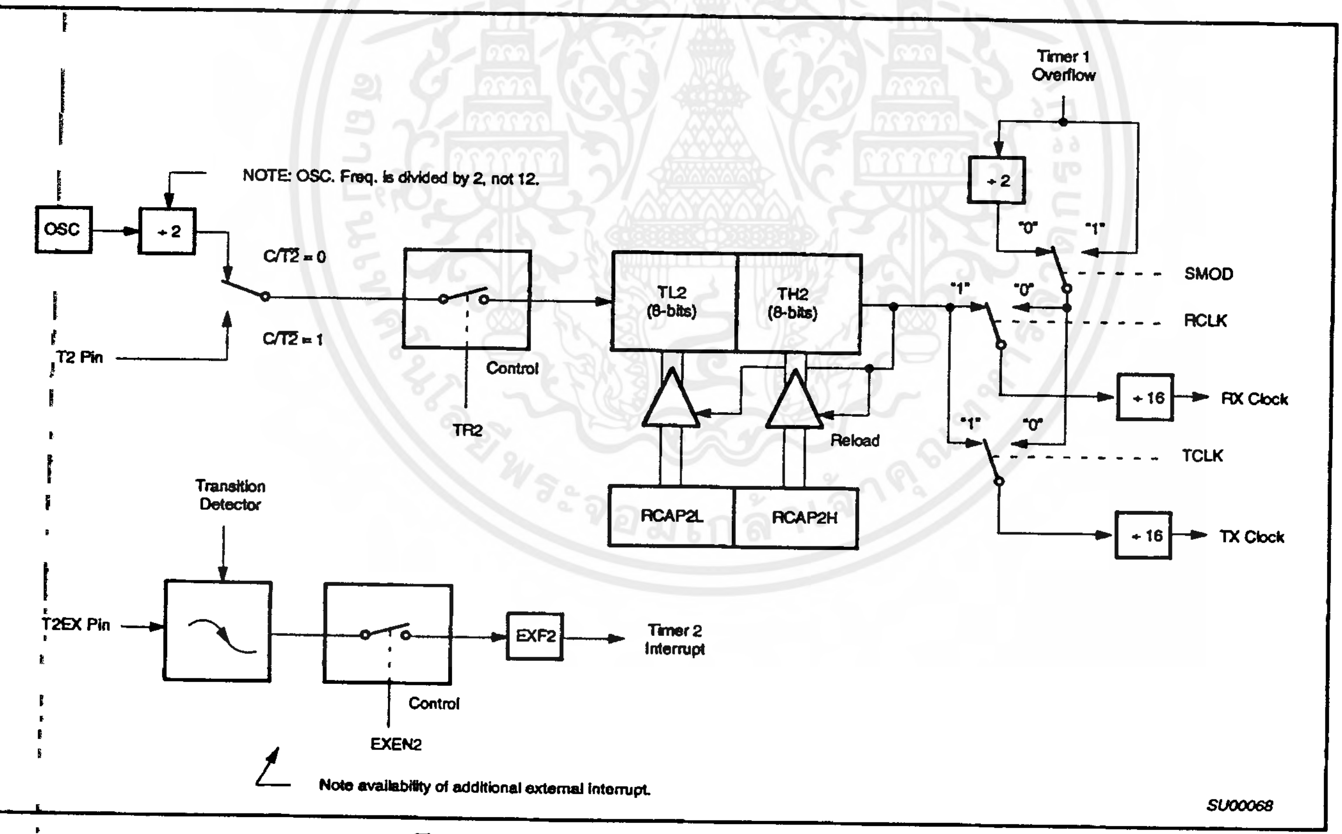


Figure 6. Timer 2 in Baud Rate Generator Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Baud Rate Generator Mode

Bits TCLK and/or RCLK in T2CON (Table 3) allow the serial port transmit and receive baud rates to be derived from either Timer 1 or Timer 2. When TCLK= 0, Timer 1 is used as the serial port transmit baud rate generator. When TCLK= 1, Timer 2 is used as the serial port transmit baud rate generator. RCLK has the same effect for the serial port receive baud rate. With these two bits, the serial port can have different receive and transmit baud rates – one generated by Timer 1, the other by Timer 2.

Figure 6 shows the Timer 2 in baud rate generation mode. The baud rate generation mode is like the auto-reload mode,in that a rollover in TH2 causes the Timer 2 registers to be reloaded with the 16-bit value in registers RCAP2H and RCAP2L, which are preset by software.

The baud rates in modes 1 and 3 are determined by Timer 2's overflow rate given below:

$$\text{Modes 1 and 3 Baud Rates} = \frac{\text{Timer 2 Overflow Rate}}{16}$$

The timer can be configured for either "timer" or "counter" operation. In many applications, it is configured for "timer" operation (C/T2*=0). Timer operation is different for Timer 2 when it is being used as a baud rate generator.

Usually, as a timer it would increment every machine cycle (i.e., 1/12 the oscillator frequency). As a baud rate generator, it increments every state time (i.e., 1/2 the oscillator frequency). Thus the baud rate formula is as follows:

$$\text{Modes 1 and 3 Baud Rates} = \frac{\text{Oscillator Frequency}}{[32 \times [65536 - (\text{RCAP2H}, \text{RCAP2L})]]}$$

Where: (RCAP2H, RCAP2L)= The content of RCAP2H and RCAP2L taken as a 16-bit unsigned integer.

The Timer 2 as a baud rate generator mode shown in Figure 6, is valid only if RCLK and/or TCLK = 1 in T2CON register. Note that a rollover in TH2 does not set TF2, and will not generate an interrupt. Thus, the Timer 2 interrupt does not have to be disabled when Timer 2 is in the baud rate generator mode. Also if the EXEN2 (T2 external enable flag) is set, a 1-to-0 transition in T2EX (Timer/counter 2 trigger input) will set EXF2 (T2 external flag) but will not cause a reload from (RCAP2H, RCAP2L) to (TH2,TL2). Therefore when Timer 2 is in use as a baud rate generator, T2EX can be used as an additional external interrupt, if needed.

When Timer 2 is in the baud rate generator mode, one should not try to read or write TH2 and TL2. As a baud rate generator, Timer 2 is incremented every state time (osc/2) or asynchronously from pin T2; under these conditions, a read or write of TH2 or TL2 may not be accurate. The RCAP2 registers may be read, but should not be written to, because a write might overlap a reload and cause write and/or reload errors. The timer should be turned off (clear TR2) before accessing the Timer 2 or RCAP2 registers.

Table 4 shows commonly used baud rates and how they can be obtained from Timer 2.

Table 4. Timer 2 Generated Commonly Used Baud Rates

Baud Rate	Osc Freq	Timer 2	
		RCAP2H	RCAP2L
375K	12MHz	FF	FF
9.6K	12MHz	FF	D9
2.8K	12MHz	FF	B2
2.4K	12MHz	FF	64
1.2K	12MHz	FE	C8
300	12MHz	FB	1E
110	12MHz	F2	AF
300	6MHz	FD	8F
110	6MHz	F9	57

Summary Of Baud Rate Equations

Timer 2 is in baud rate generating mode. If Timer 2 is being clocked through pin T2(P1.0) the baud rate is:

$$\text{Baud Rate} = \frac{\text{Timer 2 Overflow Rate}}{16}$$

If Timer 2 is being clocked internally , the baud rate is:

$$\text{Baud Rate} = \frac{f_{OSC}}{[32 \times [65536 - (\text{RCAP2H}, \text{RCAP2L})]]}$$

Where f_{OSC}= Oscillator Frequency

To obtain the reload value for RCAP2H and RCAP2L, the above equation can be rewritten as:

$$\text{RCAP2H}, \text{RCAP2L} = 65536 - \left(\frac{f_{OSC}}{32 \times \text{Baud Rate}}\right)$$

Timer/Counter 2 Set-up

Except for the baud rate generator mode, the values given for T2CON do not include the setting of the TR2 bit. Therefore, bit TR2 must be set, separately, to turn the timer on. see Table 5 for set-up of Timer 2 as a timer. Also see Table 6 for set-up of Timer 2 as a counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

able 5. Timer 2 as a Timer

MODE	T2CON	
	INTERNAL CONTROL (Note 1)	EXTERNAL CONTROL (Note 2)
16-bit Auto-Reload	00H	08H
16-bit Capture	01H	09H
Baud rate generator receive and transmit same baud rate	34H	36H
Receive only	24H	26H
Transmit only	14H	16H

able 6. Timer 2 as a Counter

MODE	TMOD	
	INTERNAL CONTROL (Note 1)	EXTERNAL CONTROL (Note 2)
16-bit	02H	0AH
Auto-Reload	03H	0BH

OTES:
Capture/reload occurs only on timer/counter overflow.
Capture/reload occurs on timer/counter overflow and a 1-to-0 transition on T2EX (P1.1) pin except when Timer 2 is used in the baud rate generator mode.

nhanced UART

e UART operates in all of the usual modes that are described in e first section of *Data Handbook IC20, 80C51-Based 8-Bit icrocontrollers*. In addition the UART can perform framing error tect by looking for missing stop bits, and automatic address cognition. The UART also fully supports multiprocessor mmunication.

hen used for framing error detect the UART looks for missing stop s in the communication. A missing bit will set the FE bit in the CON register. The FE bit shares the SCON.7 bit with SM0 and the nction of SCON.7 is determined by PCON.6 (SMOD0) (see gure 7). If SMOD0 is set then SCON.7 functions as FE. SCON.7 nctions as SM0 when SMOD0 is cleared. When used as FE CON.7 can only be cleared by software. Refer to Figure 8.

tomatic Address Recognition

tomatic Address Recognition is a feature which allows the UART recognize certain addresses in the serial bit stream by using rdware to make the comparisons. This feature saves a great deal software overhead by eliminating the need for the software to amine every serial address which passes by the serial port. This ture is enabled by setting the SM2 bit in SCON. In the 9 bit UART odes, mode 2 and mode 3, the Receive Interrupt flag (RI) will be tomatically set when the received byte contains either the "Given" dress or the "Broadcast" address. The 9 bit mode requires that 9th information bit is a 1 to indicate that the received information an address and not data. Automatic address recognition is shown Figure 9.

e 8 bit mode is called Mode 1. In this mode the RI flag will be set M2 is enabled and the information received has a valid stop bit owing the 8 address bits and the information is either a Given or oadcast address.

de 0 is the Shift Register mode and SM2 is ignored.

ng the Automatic Address Recognition feature allows a master to ectively communicate with one or more slaves by invoking the ven slave address or addresses. All of the slaves may be ntacted by using the Broadcast address. Two special Function gisters are used to define the slave's address, SADDR, and the dress mask, SADEN. SADEN is used to define which bits in the SADDR are to b used and which bits are "don't care". The SADEN mask can be logically ANDed with the SADDR to create the "Given" address which the master will use for addressing each of the slaves. Use of the Given address allows multiple slaves to be recognized while excluding others. The following examples will help to show the versatility of this scheme:

Slave 0	SADDR	=	1100 0000
	SADEN	=	1111 1101
	Given	=	1100 00X0
Slave 1	SADDR	=	1100 0000
	SADEN	=	1111 1110
	Given	=	1100 000X

In the above example SADDR is the same and the SADEN data is used to differentiate between the two slaves. Slave 0 requires a 0 in bit 0 and it ignores bit 1. Slave 1 requires a 0 in bit 1 and bit 0 is ignored. A unique address for Slave 0 would be 1100 0010 since slave 1 requires a 0 in bit 1. A unique address for slave 1 would be 1100 0001 since a 1 in bit 0 will exclude slave 0. Both slaves can be selected at the same time by an address which has bit 0 = 0 (for slave 0) and bit 1 = 0 (for slave 1). Thus, both could be addressed with 1100 0000.

In a more complex system the following could be used to select slaves 1 and 2 while excluding slave 0:

Slave 0	SADDR	=	1100 0000
	SADEN	=	1111 1001
	Given	=	1100 0XX0
Slave 1	SADDR	=	1110 0000
	SADEN	=	1111 1010
	Given	=	1110 0X0X
Slave 2	SADDR	=	1110 0000
	SADEN	=	1111 1100
	Given	=	1110 00XX

In the above example the differentiation among the 3 slaves is in the lower 3 address bits. Slave 0 requires that bit 0 = 0 and it can be uniquely addressed by 1110 0110. Slave 1 requires that bit 1 = 0 and it can be uniquely addressed by 1110 and 0101. Slave 2 requires that bit 2 = 0 and its unique address is 1110 0011. To select Slaves 0

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

nd 1 and exclude Slave 2 use address 1110 0100, since it is ecessary to make bit 2 = 1 to exclude slave 2.

he Broadcast Address for each slave is created by taking the gical OR of SADDR and SADEN. Zeros in this result are trended s don't-cares. In most cases, interpreting the don't-cares as ones, he broadcast address will be FF hexadecimal.

Upon reset SADDR (SFR address 0A9H) and SADEN (SFR address 0B9H) are leaded with 0s. This produces a given address of all "don't cares" as well as a Broadcast address of all "don't cares". This effectively disables the Automatic Addressing mode and allows the microcontroller to use standard 80C51 type UART drivers which do not make use of this feature.

SCON Address = 98H | Reset Value = 0000 0000B

Bit Addressable

	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI
Bit:	7	6	5	4	3	2	1	0

(SMOD0 = 0/1)*

Symbol	Function
FE	Framing Error bit. This bit is set by the receiver when an invalid stop bit is detected. The FE bit is not cleared by valid frames but should be cleared by software. The SMOD0 bit must be set to enable access to the FE bit.
SM0	Serial Port Mode Bit 0, (SMOD0 must = 0 to access bit SM0)
SM1	Serial Port Mode Bit 1

SM0	SM1	Mode	Description	Baud Rate**
0	0	0	shift register	$f_{OSC}/12$
0	1	1	8-bit UART	variable
1	0	2	9-bit UART	$f_{OSC}/64$ or $f_{OSC}/32$
1	1	3	9-bit UART	variable

Symbol	Function
SM2	Enables the Automatic Address Recognition feature in Modes 2 or 3. If SM2 = 1 then RI will not be set unless the received 9th data bit (RB8) is 1, indicating an address, and the received byte is a Given or Broadcast Address. In Mode 1, if SM2 = 1 then RI will not be activated unless a valid stop bit was received, and the received byte is a Given or Broadcast Address. In Mode 0, SM2 should be 0.
REN	Enables serial reception. Set by software to enable reception. Clear by software to disable reception.
TB8	The 9th data bit that will be transmitted in Modes 2 and 3. Set or clear by software as desired.
RB8	In modes 2 and 3, the 9th data bit that was received. In Mode 1, if SM2 = 0, RB8 is the stop bit that was received. In Mode 0, RB8 is not used.
TI	Transmit interrupt flag. Set by hardware at the end of the 8th bit time in Mode 0, or at the beginning of the stop bit in the other modes, in any serial transmission. Must be cleared by software.
RI	Receive interrupt flag. Set by hardware at the end of the 8th bit time in Mode 0, or halfway through the stop bit time in the other modes, in any serial reception (except see SM2). Must be cleared by software.

NOTE:
*SMOD0 is located at PCON6.
**f_{OSC} = oscillator frequency

SU00043

Figure 7. SCON: Serial Port Control Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

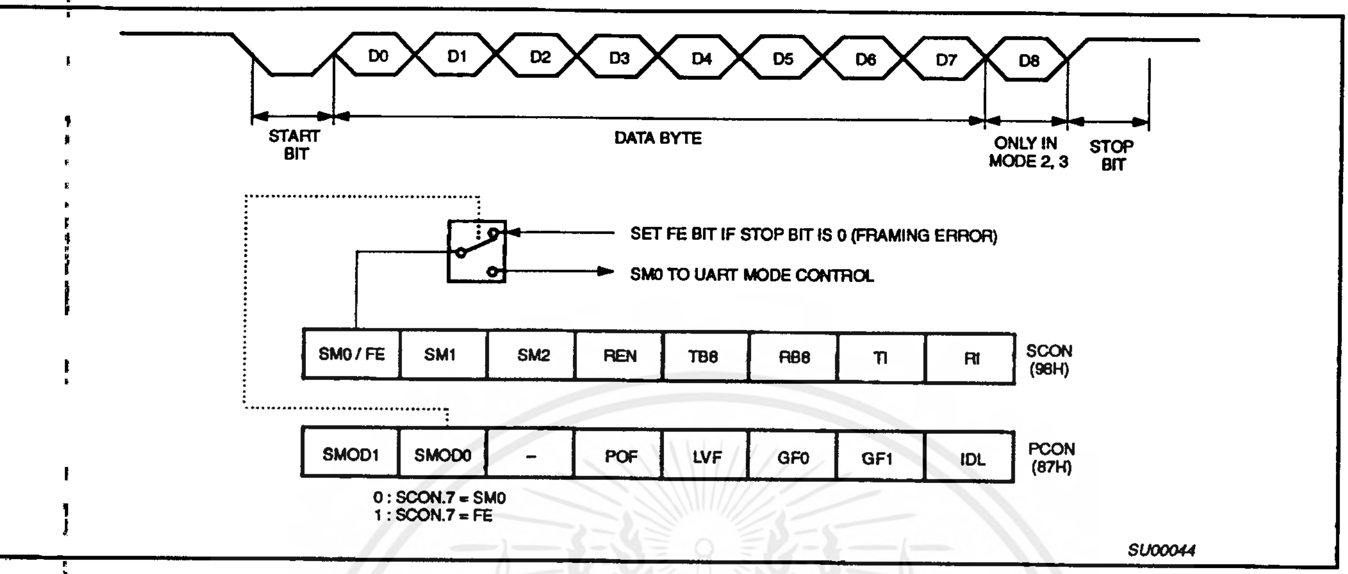


Figure 8. UART Framing Error Detection

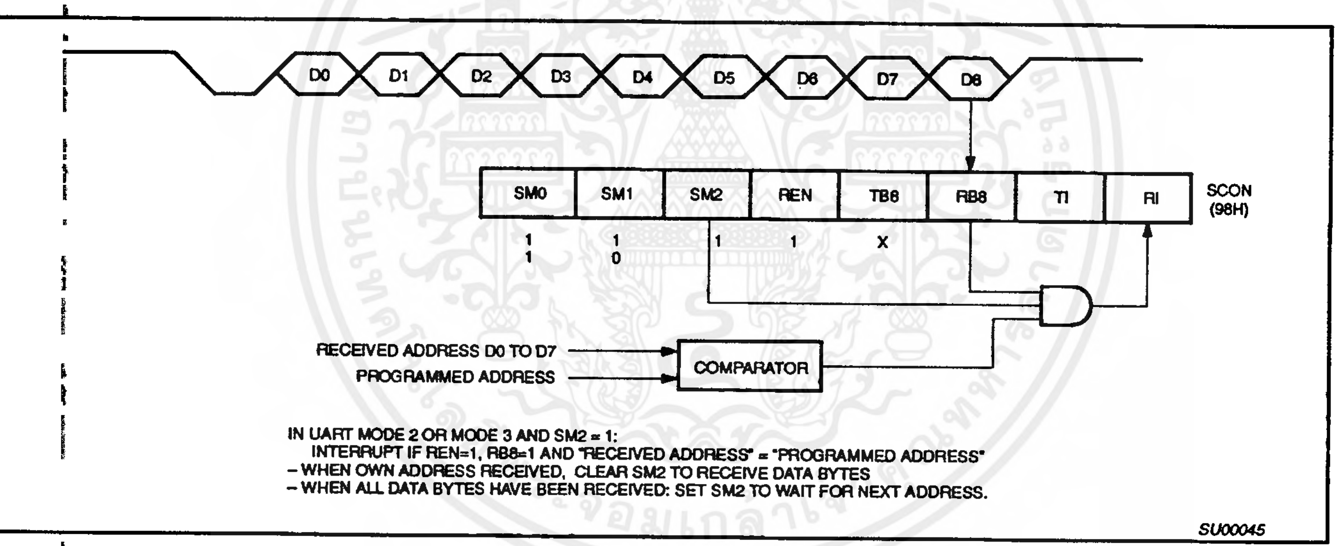


Figure 9. UART Multiprocessor Communication, Automatic Address Recognition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Interrupt Priority Structure

The 89C51 has a 6-source four-level interrupt structure. They are the IE, IP and IPH. (See Figures 10, 11, and 12.) The IPH (Interrupt Priority High) register that makes the four-level interrupt structure possible. The IPH is located at SFR address B7H. The structure of the IPH register and a description of its bits is shown in Figure 12.

The function of the IPH SFR is simple and when combined with the IP SFR determines the priority of each interrupt. The priority of each interrupt is determined as shown in the following table:

PRIORITY BITS		INTERRUPT PRIORITY LEVEL
IPH.x	IP.x	
0	0	Level 0 (lowest priority)
0	1	Level 1
1	0	Level 2
1	1	Level 3 (highest priority)

An interrupt will be serviced as long as an interrupt of equal or higher priority is not already being serviced. If an interrupt of equal or higher level priority is being serviced, the new interrupt will wait until it is finished before being serviced. If a lower priority level interrupt is being serviced, it will be stopped and the new interrupt serviced. When the new interrupt is finished, the lower priority level interrupt that was stopped will be completed.

Table 7. Interrupt Table

SOURCE	POLLING PRIORITY	REQUEST BITS	HARDWARE CLEAR?	VECTOR ADDRESS
X0	1	IE0	N (L)[1] Y (T)[2]	03H
T0	2	TP0	Y	0BH
X1	3	IE1	N (L) Y (T)	13H
T1	4	TF1	Y	1BH
SP	5	RI, TI	N	23H
T2	6	TF2, EXF2	N	2BH

NOTES:
L = Level activated
T = Transition activated

	7	6	5	4	3	2	1	0
IE (0A8H)	EA	—	ET2	ES	ET1	EX1	ET0	EX0

Enable Bit = 1 enables the interrupt.
Enable Bit = 0 disables it.

BIT	SYMBOL	FUNCTION
IE.7	EA	Global disable bit. If EA = 0, all interrupts are disabled. If EA = 1, each interrupt can be individually enabled or disabled by setting or clearing its enable bit.
IE.6	—	Not implemented. Reserved for future use.
IE.5	ET2	Timer 2 interrupt enable bit.
IE.4	ES	Serial Port interrupt enable bit.
IE.3	ET1	Timer 1 interrupt enable bit.
IE.2	EX1	External interrupt 1 enable bit.
IE.1	ET0	Timer 0 interrupt enable bit.
IE.0	EX0	External interrupt 0 enable bit.

SU00571

Figure 10. IE Registers

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IP (0B8H)

7	6	5	4	3	2	1	0
—	—	PT2	PS	PT1	PX1	PT0	PX0

Priority Bit = 1 assigns higher priority
Priority Bit = 0 assigns lower priority

BIT	SYMBOL	FUNCTION
IP.7	—	Not implemented, reserved for future use.
IP.6	—	Not implemented, reserved for future use.
IP.5	PT2	Timer 2 interrupt priority bit.
IP.4	PS	Serial Port interrupt priority bit.
IP.3	PT1	Timer 1 interrupt priority bit.
IP.2	PX1	External interrupt 1 priority bit.
IP.1	PT0	Timer 0 interrupt priority bit.
IP.0	PX0	External interrupt 0 priority bit.

SU00572

Figure 11. IP Registers

IPH (B7H)

7	6	5	4	3	2	1	0
—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H

Priority Bit = 1 assigns higher priority
Priority Bit = 0 assigns lower priority

BIT	SYMBOL	FUNCTION
IPH.7	—	Not implemented, reserved for future use.
IPH.6	—	Not implemented, reserved for future use.
IPH.5	PT2H	Timer 2 interrupt priority bit high.
IPH.4	PSH	Serial Port interrupt priority bit high.
IPH.3	PT1H	Timer 1 interrupt priority bit high.
IPH.2	PX1H	External interrupt 1 priority bit high.
IPH.1	PT0H	Timer 0 interrupt priority bit high.
IPH.0	PX0H	External interrupt 0 priority bit high.

SU01057

Figure 12. IPH Registers

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

educed EMI Mode

he AO bit (AUXR.0) in the AUXR register when set disables the
LE output.

educed EMI Mode

UXR (8EH)

7	6	5	4	3	2	1	0
–	–	–	–	–	–	–	AO

UXR.0 AO Turns off ALE output.

ual DPTR

e dual DPTR structure (see Figure 13) enables a way to specify e address of an external data memory location. There are two -bit DPTR registers that address the external memory, and a gle bit called DPS = AUXR1/bit0 that allows the program code to itch between them.

New Register Name: AUXR1#

SFR Address: A2H

Reset Value: xxx000x0B

UXR1 (A2H)

7	6	5	4	3	2	1	0
–	–	–	–	GF2	0	–	DPS

here:
DPS = AUXR1/bit0 = Switches between DPTR0 and DPTR1.

Select Reg	DPS
DPTR0	0
DPTR1	1

e DPS bit status should be saved by software when switching ween DPTR0 and DPTR1.

Note that bit 2 is not writable and is always read as a zero. This allows the DPS bit to be quickly toggled simply by executing an INC AUXR1 insstruction without affecting the GF2 bit.

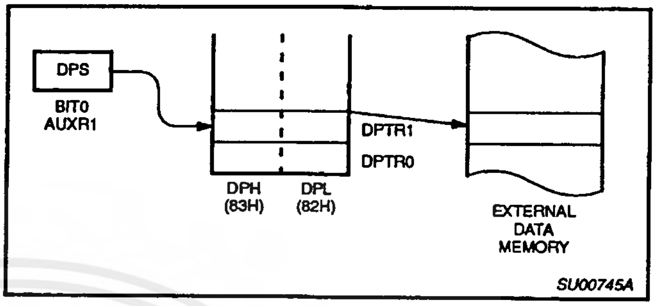


Figure 13.

DPTR Instructions

The instructions that refer to DPTR refer to the data pointer that is currently selected using the AUXR1/bit 0 register. The six instructions that use the DPTR are as follows:

INC DPTR	Increments the data pointer by 1
MOV DPTR, #data16	Loads the DPTR with a 16-bit constant
MOV A, @ A+DPTR	Move code byte relative to DPTR to ACC
MOVX A, @ DPTR	Move external RAM (16-bit address) to ACC
MOVX @ DPTR , A	Move ACC to external RAM (16-bit address)
JMP @ A + DPTR	Jump indirect relative to DPTR

The data pointer can be accessed on a byte-by-byte basis by specifying the low or high byte in an instruction which accesses the SFRs. See application note AN458 for more details.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS[1, 2, 3]

PARAMETER	RATING	UNIT
Operating temperature under bias	0 to +70 or –40 to +85	°C
Storage temperature range	–65 to +150	°C
Voltage on $\overline{EA}/V_{PP}$ pin to V_{SS}	0 to +13.0	V
Voltage on any other pin to V_{SS}	–0.5 to +6.5	V
Maximum I_{OL} per I/O pin	15	mA
Power dissipation (based on package heat transfer limitations, not device power consumption)	1.5	W

NOTES:
1. Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any conditions other than those described in the AC and DC Electrical Characteristics section of this specification is not implied.
2. This product includes circuitry specifically designed for the protection of its internal devices from the damaging effects of excessive static charge. Nonetheless, it is suggested that conventional precautions be taken to avoid applying greater than the rated maximum.
3. Parameters are valid over operating temperature range unless otherwise specified. All voltages are with respect to V_{SS} unless otherwise noted.

AC ELECTRICAL CHARACTERISTICS

T_{amb} = 0°C to +70°C or –40°C to +85°C

SYMBOL	PARAMETER		CLOCK FREQUENCY RANGE –f		UNIT
			MIN	MAX	
$1/t_{CLCL}$	Oscillator frequency	U (33MHz)	0	33	MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS

T_{amb} = 0°C to +70°C or –40°C to +85°C, 33MHz devices; 5V ±10%; V_{SS} = 0V

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS			UNIT
			MIN	TYP[1]	MAX	
V_{IL}	Input low voltage	4.5V < V_{CC} < 5.5V	–0.5		0.2V_{CC}–0.1	V
V_{IH}	Input high voltage (ports 0, 1, 2, 3, $\overline{EA}$)		0.2V_{CC}+0.9		V_{CC}+0.5	V
V_{IH1}	Input high voltage, XTAL1, RST		0.7V_{CC}		V_{CC}+0.5	V
V_{OL}	Output low voltage, ports 1, 2, 3 [8]	V_{CC} = 4.5V I_{OL} = 1.6mA[2]			0.4	V
V_{OL1}	Output low voltage, port 0, ALE, $\overline{PSEN}$ [7, 8]	V_{CC} = 4.5V I_{OL} = 3.2mA[2]			0.4	V
V_{OH}	Output high voltage, ports 1, 2, 3 [3]	V_{CC} = 4.5V I_{OH} = –30μA	V_{CC} – 0.7			V
V_{OH1}	Output high voltage (port 0 in external bus mode), ALE[9], $\overline{PSEN}$[3]	V_{CC} = 4.5V I_{OH} = –3.2mA	V_{CC} – 0.7			V
I_{IL}	Logical 0 input current, ports 1, 2, 3	V_{IN} = 0.4V	–1		–75	μA
I_{TL}	Logical 1-to-0 transition current, ports 1, 2, 3[6]	V_{IN} = 2.0V See note 4			–650	μA
I_{LI}	Input leakage current, port 0	0.45 < V_{IN} < V_{CC} – 0.3			±10	μA
I_{CC}	Power supply current (see Figure 21): Active mode (see Note 5) Idle mode (see Note 5) Power-down mode or clock stopped (see Figure 25 for conditions)	See note 5 T_{amb} = 0°C to 70°C T_{amb} = –40°C to +85°C		3	50 75	μA μA
R_{RST}	Internal reset pull-down resistor		40		225	kΩ
C_{IO}	Pin capacitance[10] (except $\overline{EA}$)				15	pF

NOTES:

1. Typical ratings are not guaranteed. The values listed are at room temperature, 5V.
2. Capacitive loading on ports 0 and 2 may cause spurious noise to be superimposed on the V_{OL}s of ALE and ports 1 and 3. The noise is due to external bus capacitance discharging into the port 0 and port 2 pins when these pins make 1-to-0 transitions during bus operations. In the worst cases (capacitive loading > 100pF), the noise pulse on the ALE pin may exceed 0.8V. In such cases, it may be desirable to qualify ALE with a Schmitt Trigger, or use an address latch with a Schmitt Trigger STROBE input. I_{OL} can exceed these conditions provided that no single output sinks more than 5mA and no more than two outputs exceed the test conditions.
3. Capacitive loading on ports 0 and 2 may cause the V_{OH} on ALE and $\overline{PSEN}$ to momentarily fall below the V_{CC}–0.7 specification when the address bits are stabilizing.
4. Pins of ports 1, 2 and 3 source a transition current when they are being externally driven from 1 to 0. The transition current reaches its maximum value when V_{IN} is approximately 2V.
5. See Figures 22 through 25 for I_{CC} test conditions.
   Active mode: $I_{CC(MAX)}$ = 0.9 × FREQ. + 20mA
   Idle mode: $I_{CC(MAX)}$ = 0.37 × FREQ. +1.0mA; See Figure 21.
6. This value applies to T_{amb} = 0°C to +70°C. For T_{amb} = –40°C to +85°C, I_{TL} = –750μA.
7. Load capacitance for port 0, ALE, and $\overline{PSEN}$ = 100pF, load capacitance for all other outputs = 80pF.
8. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
   Maximum I_{OL} per port pin: 15mA (*NOTE: This is 85°C specification.)
   Maximum I_{OL} per 8-bit port: 26mA
   Maximum total I_{OL} for all outputs: 71mA
   If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
9. ALE is tested to V_{OH1}, except when ALE is off then V_{OH} is the voltage specification.
10. Pin capacitance is characterized but not tested. Pin capacitance is less than 25pF. Pin capacitance of ceramic package is less than 15pF (except $\overline{EA}$ is 25pF).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C ELECTRICAL CHARACTERISTICS

mb = 0°C to +70°C or –40°C to +85°C, V_{CC} = 5V ±10%, V_{SS} = 0V[1, 2, 3]

SYMBOL	FIGURE	PARAMETER	VARIABLE CLOCK[4]		33MHz CLOCK		UNIT
			MIN	MAX	MIN	MAX	
LHLL	14	ALE pulse width	$2t_{CLCL}-40$		21		ns
AVLL	14	Address valid to ALE low	$t_{CLCL}-25$		5		ns
LLAX	14	Address hold after ALE low	$t_{CLCL}-25$				ns
LLIV	14	ALE low to valid instruction in		$4t_{CLCL}-65$		55	ns
LLPL	14	ALE low to $\overline{PSEN}$ low	$t_{CLCL}-25$		5		ns
PLPH	14	$\overline{PSEN}$ pulse width	$3t_{CLCL}-45$		45		ns
PLIV	14	$\overline{PSEN}$ low to valid instruction in		$3t_{CLCL}-60$		30	ns
PXIX	14	Input instruction hold after $\overline{PSEN}$	0		0		ns
PXIZ	14	Input instruction float after $\overline{PSEN}$		$t_{CLCL}-25$		5	ns
AVIV	14	Address to valid instruction in		$5t_{CLCL}-80$		70	ns
PLAZ	14	$\overline{PSEN}$ low to address float		10		10	ns
Data Memory							
RLRH	15, 16	$\overline{RD}$ pulse width	$6t_{CLCL}-100$		82		ns
WLWH	15, 16	$\overline{WR}$ pulse width	$6t_{CLCL}-100$		82		ns
RLDV	15, 16	$\overline{RD}$ low to valid data in		$5t_{CLCL}-90$		60	ns
RHDX	15, 16	Data hold after $\overline{RD}$	0		0		ns
RHDZ	15, 16	Data float after $\overline{RD}$		$2t_{CLCL}-28$		32	ns
LLDV	15, 16	ALE low to valid data in		$8t_{CLCL}-150$		90	ns
AVDV	15, 16	Address to valid data in		$9t_{CLCL}-165$		105	ns
LLWL	15, 16	ALE low to $\overline{RD}$ or $\overline{WR}$ low	$3t_{CLCL}-50$	$3t_{CLCL}+50$	40	140	ns
AVWL	15, 16	Address valid to $\overline{WR}$ low or $\overline{RD}$ low	$4t_{CLCL}-75$		45		ns
QVWX	15, 16	Data valid to $\overline{WR}$ transition	$t_{CLCL}-30$		0		ns
WHQX	15, 16	Data hold after $\overline{WR}$	$t_{CLCL}-25$		5		ns
QVWH	16	Data valid to $\overline{WR}$ high	$7t_{CLCL}-130$		80		ns
RLAZ	15, 16	$\overline{RD}$ low to address float		0		0	ns
WHLH	15, 16	$\overline{RD}$ or $\overline{WR}$ high to ALE high	$t_{CLCL}-25$	$t_{CLCL}+25$	5	55	ns
External Clock							
CHCX	18	High time	$0.38t_{CLCL}$	$t_{CLCL}-t_{CLCX}$			ns
CLCX	18	Low time	$0.38t_{CLCL}$	$t_{CLCL}-t_{CHCX}$			ns
CLCH	18	Rise time		5			ns
CHCL	18	Fall time		5			ns
Shift Register							
XLXL	17	Serial port clock cycle time	$12t_{CLCL}$		360		ns
QVXH	17	Output data setup to clock rising edge	$10t_{CLCL}-133$		167		ns
XHQX	17	Output data hold after clock rising edge	$2t_{CLCL}-80$				ns
XHDX	17	Input data hold after clock rising edge	0		0		ns
XHDV	17	Clock rising edge to input data valid		$10t_{CLCL}-133$		167	ns

TES:
Parameters are valid over operating temperature range unless otherwise specified.
Load capacitance for port 0, ALE, and $\overline{PSEN}$ = 100pF, load capacitance for all other outputs = 80pF.
Interfacing the 89C51 to devices with float times up to 45ns is permitted. This limited bus contention will not cause damage to Port 0 drivers.
Parts are guaranteed to operate down to 0Hz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPLANATION OF THE AC SYMBOLS

Each timing symbol has five characters. The first character is always 't' (= time). The other characters, depending on their positions, indicate the name of a signal or the logical status of that signal. The designations are:

A – Address
C – Clock
D – Input data
H – Logic level high
I – Instruction (program memory contents)
L – Logic level low, or ALE
P – $\overline{\text{PSEN}}$
Q – Output data
R – $\overline{\text{RD}}$ signal
t – Time
V – Valid
W – $\overline{\text{WR}}$ signal
X – No longer a valid logic level
Z – Float

Examples: t_{AVLL} = Time for address valid to ALE low.
t_{LLPL} = Time for ALE low to $\overline{\text{PSEN}}$ low.

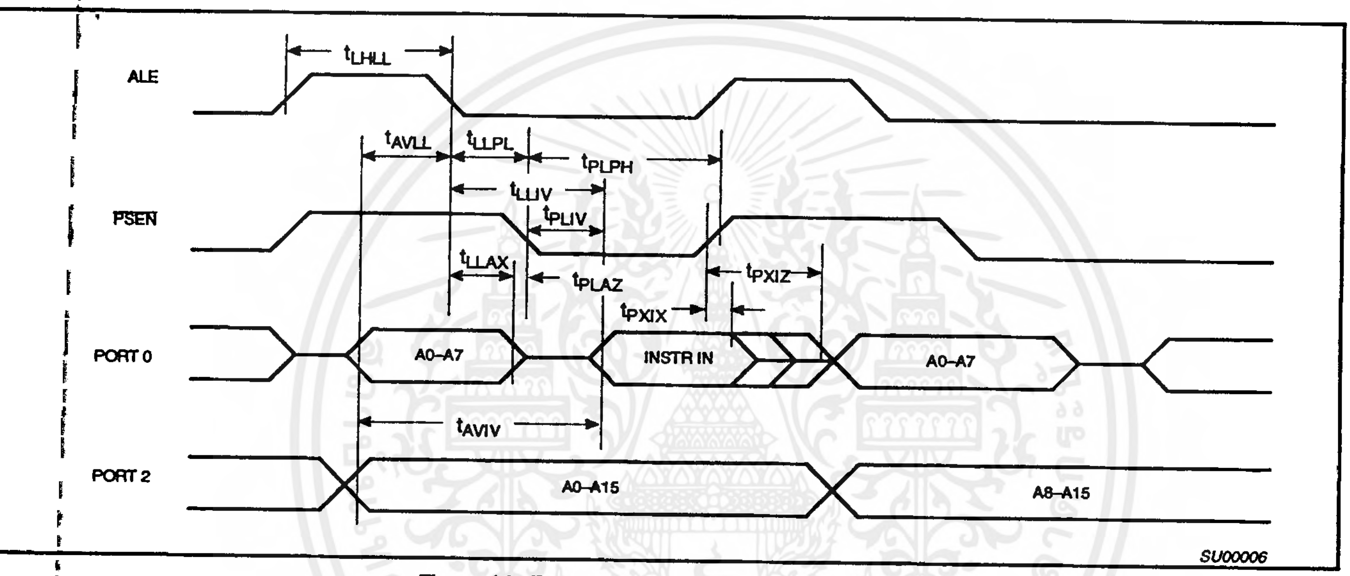


Figure 14. External Program Memory Read Cycle

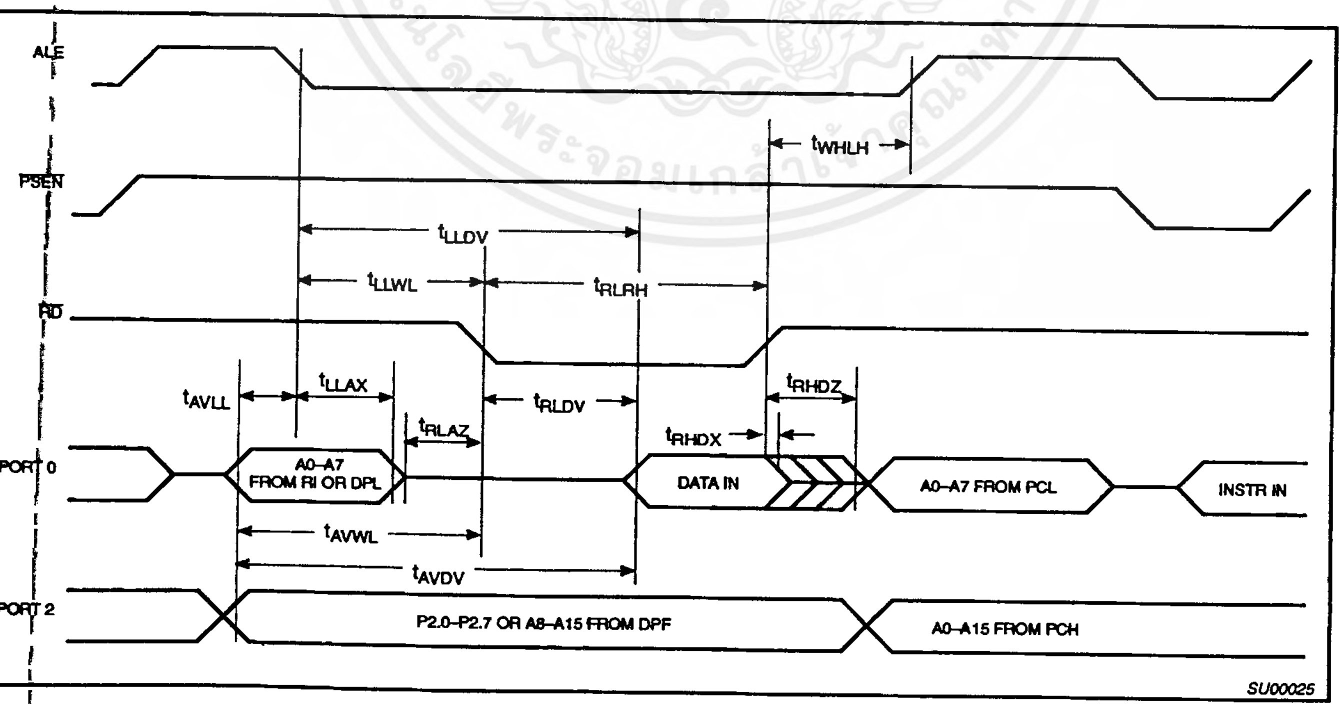


Figure 15. External Data Memory Read Cycle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

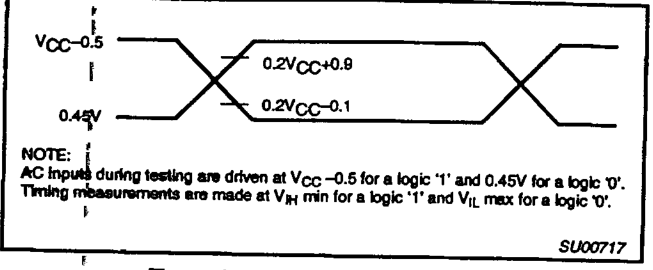


Figure 19. AC Testing Input/Output

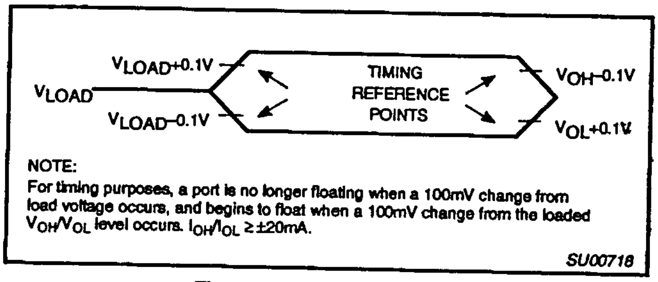


Figure 20. Float Waveform

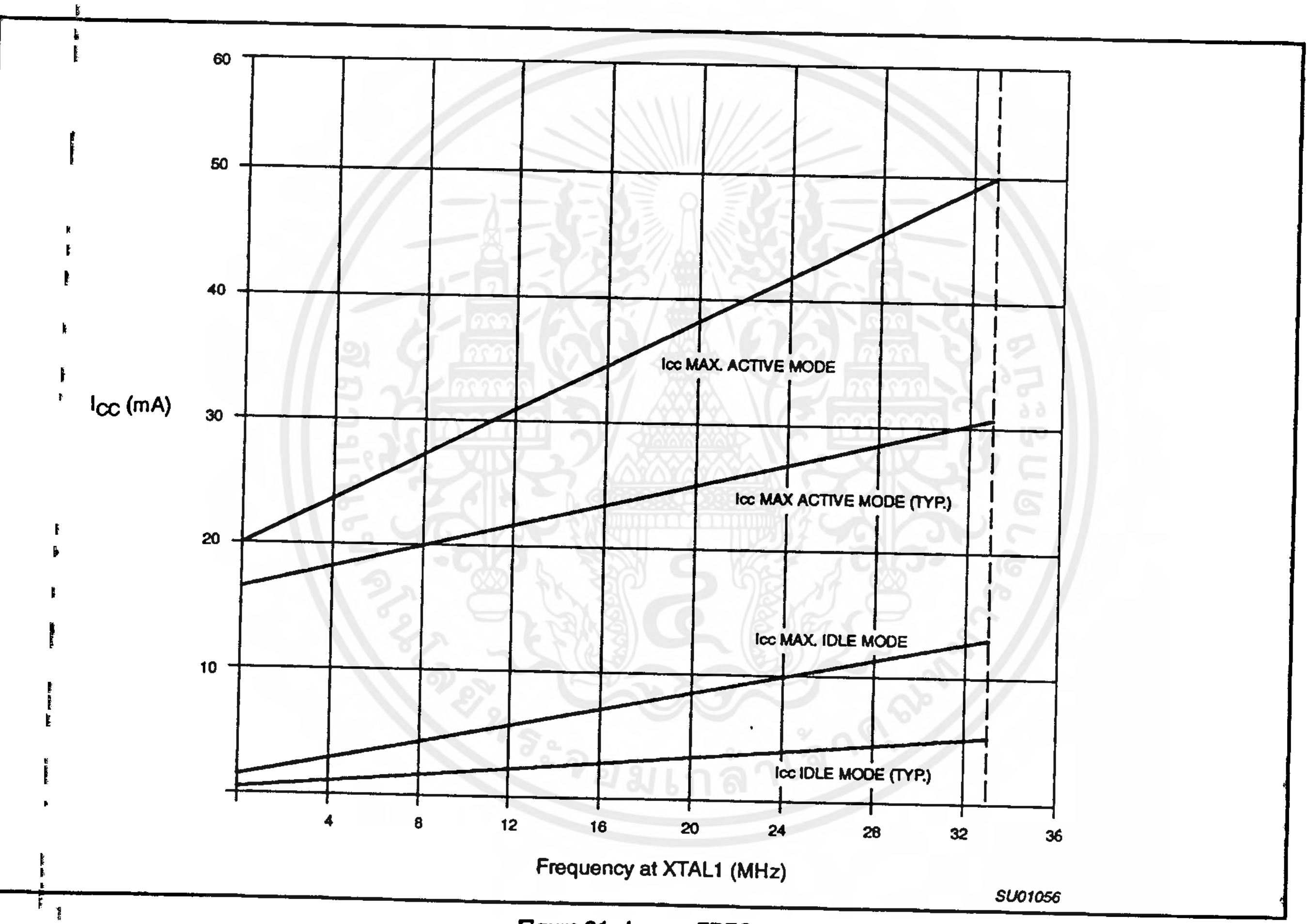


Figure 21. I_{CC} vs. FREQ
Valid only within frequency specifications of the device under test

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

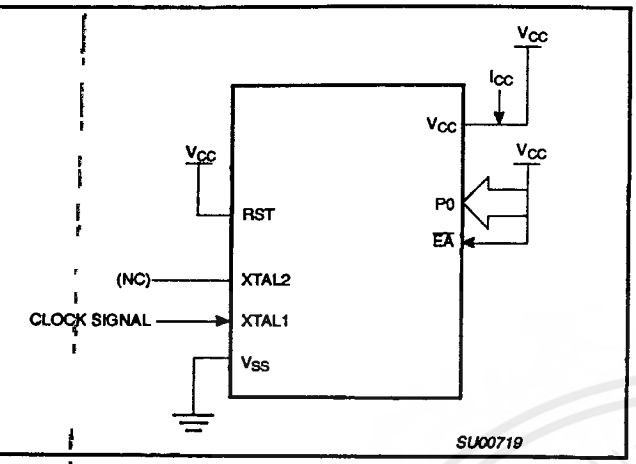


Figure 22. I_{CC} Test Condition, Active Mode
All other pins are disconnected

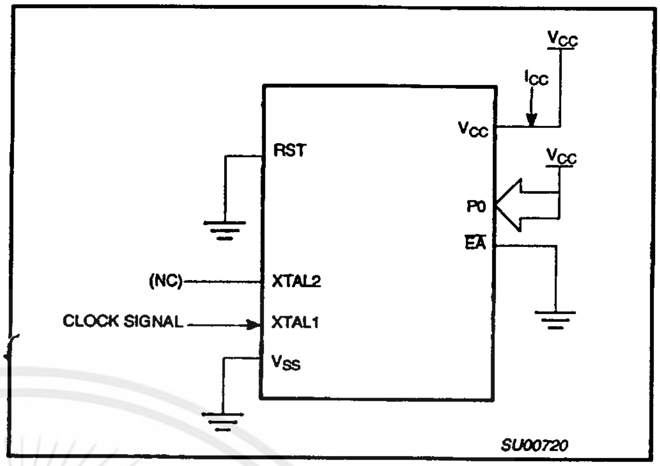


Figure 23. I_{CC} Test Condition, Idle Mode
All other pins are disconnected

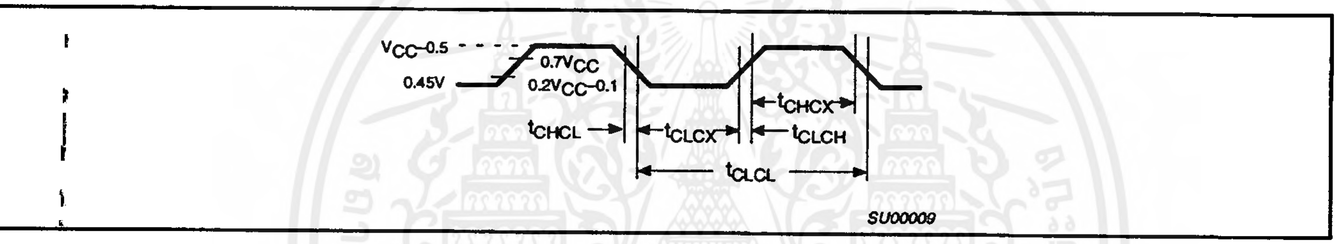


Figure 24. Clock Signal Waveform for I_{CC} Tests in Active and Idle Modes
$t_{CLCH} = t_{CHCL} = 5ns$

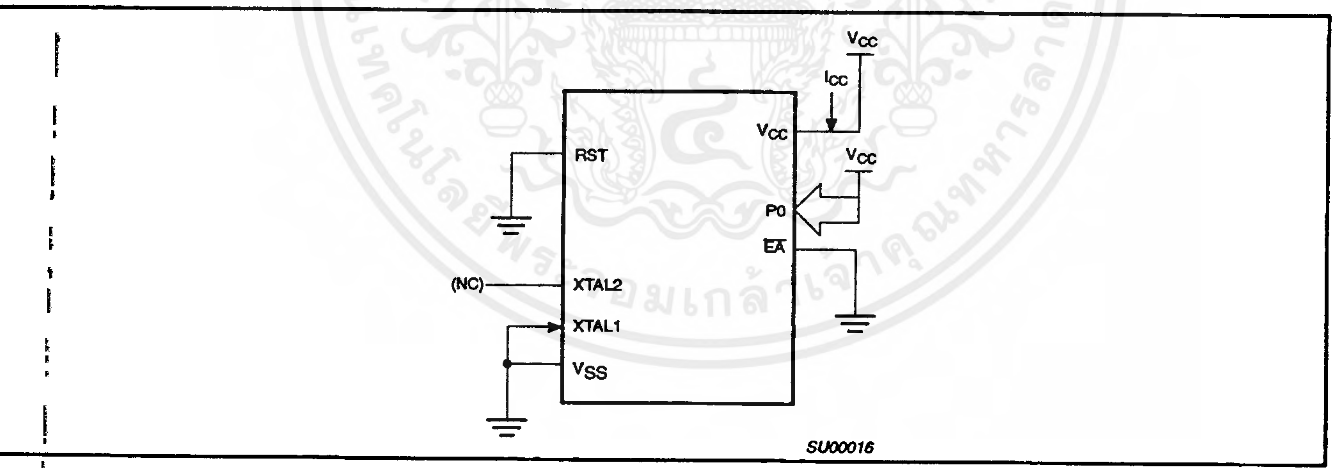
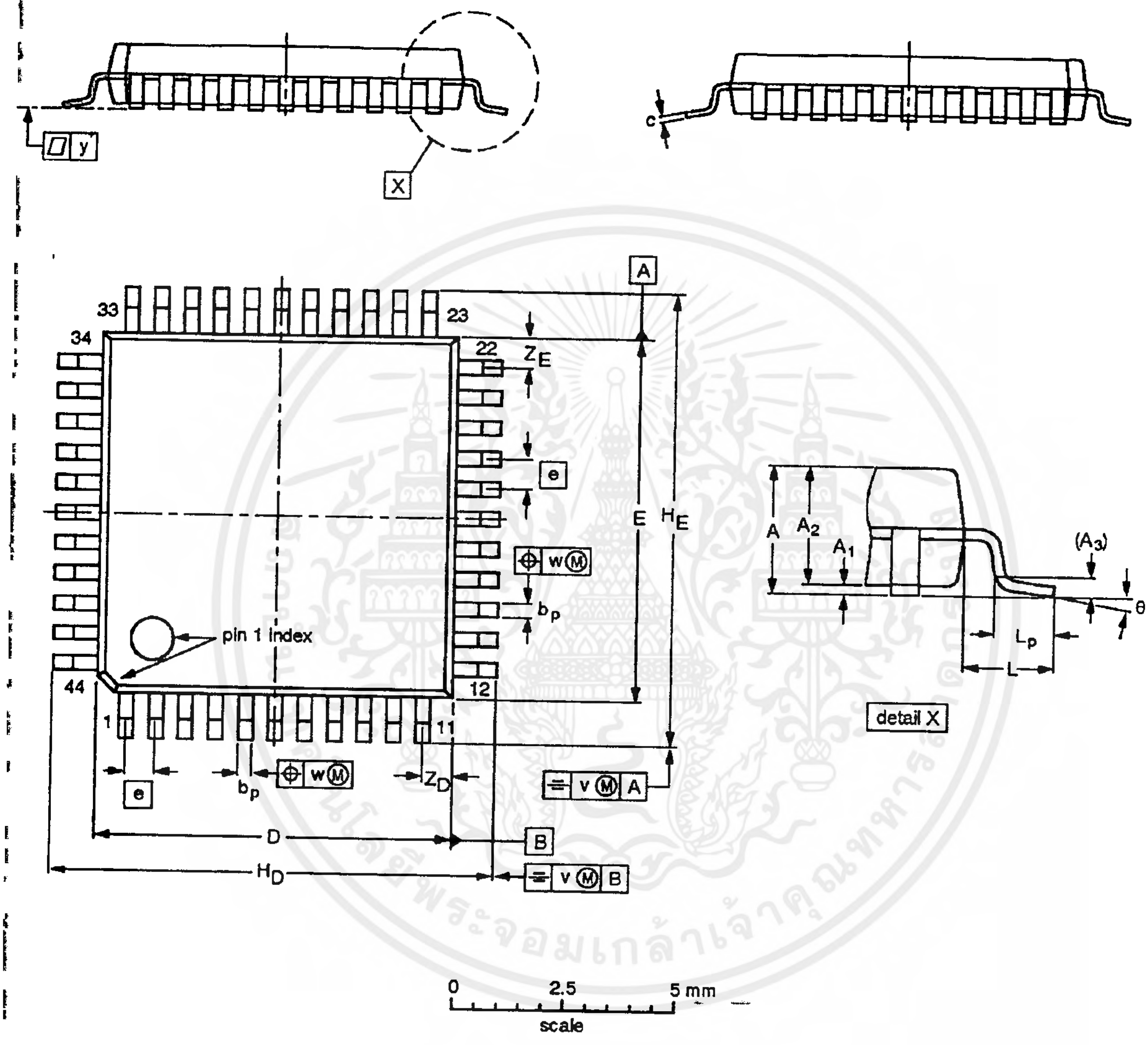


Figure 25. I_{CC} Test Condition, Power Down Mode
All other pins are disconnected. V_{CC} = 2V to 5.5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

QFP44: plastic quad flat package; 44 leads (lead length 1.3 mm); body 10 x 10 x 1.75 mm **SOT307-2**



DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A_1	A_2	A_3	b_p	c	D(1)	E(1)	e	H_D	H_E	L	L_p	v	w	y	Z_D(1)	Z_E(1)	θ
mm	2.10	0.25 0.05	1.85 1.65	0.25	0.40 0.20	0.25 0.14	10.1 9.9	10.1 9.9	0.8	12.9 12.3	12.9 12.3	1.3	0.95 0.55	0.15	0.15	0.1	1.2 0.8	1.2 0.8	10° 0°

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT307-2						~~95-02-04~~ 97-08-01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

80C51 8-bit microcontroller 4K/128 MTP Flash, high speed (33 MHz)

89C51

ata sheet status

ata sheet status	Product status	Definition [1]
bjective pecification	Development	This data sheet contains the design target or goal specifications for product development. Specification may change in any manner without notice.
reliminary pecification	Qualification	This data sheet contains preliminary data, and supplementary data will be published at a later date. Philips Semiconductors reserves the right to make chages at any time without notice in order to improve design and supply the best possible product.
roduct pecification	Production	This data sheet contains final specifications. Philips Semiconductors reserves the right to make changes at any time without notice in order to improve design and supply the best possible product.

] Please consult the most recently issued datasheet before initiating or completing a design.

efinitions

hort-form specification — The data in a short-form specification is extracted from a full data sheet with the same type number and title. For tailed information see the relevant data sheet or data handbook.

miting values definition — Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended riods may affect device reliability.

plication information — Applications that are described herein for any of these products are for illustrative purposes only. Philips emiconductors make no representation or warranty that such applications will be suitable for the specified use without further testing or odification.

isclaimers

e support — These products are not designed for use in life support appliances, devices or systems where malfunction of these products can asonably be expected to result in personal injury. Philips Semiconductors customers using or selling these products for use in such applications so at their own risk and agree to fully indemnify Philips Semiconductors for any damages resulting from such application.

ght to make changes — Philips Semiconductors reserves the right to make changes, without notice, in the products, including circuits, standard ls, and/or software, described or contained herein in order to improve design and/or performance. Philips Semiconductors assumes no sponsibility or liability for the use of any of these products, conveys no license or title under any patent, copyright, or mask work right to these oducts, and makes no representations or warranties that these products are free from patent, copyright, or mask work right infringement, unless nerwise specified.

ilips Semiconductors
1 East Arques Avenue
D. Box 3409
nnyvale, California 94088–3409
lephone 800-234-7381

© Copyright Philips Electronics North America Corporation 1998
All rights reserved. Printed in U.S.A.

print code

Date of release: 09-98

Document order number:

Let's make things better.

ilips
miconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการ... เท่านั้น ไม่อนุ...
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Security

he security feature protects against software piracy and prevents ne contents of the FLASH from being read. The Security Lock bits re located in FLASH. The 89C51 has 3 programmable security lock its that will provide different levels of protection for the on-chip code nd data (see Table 8).

able 8.

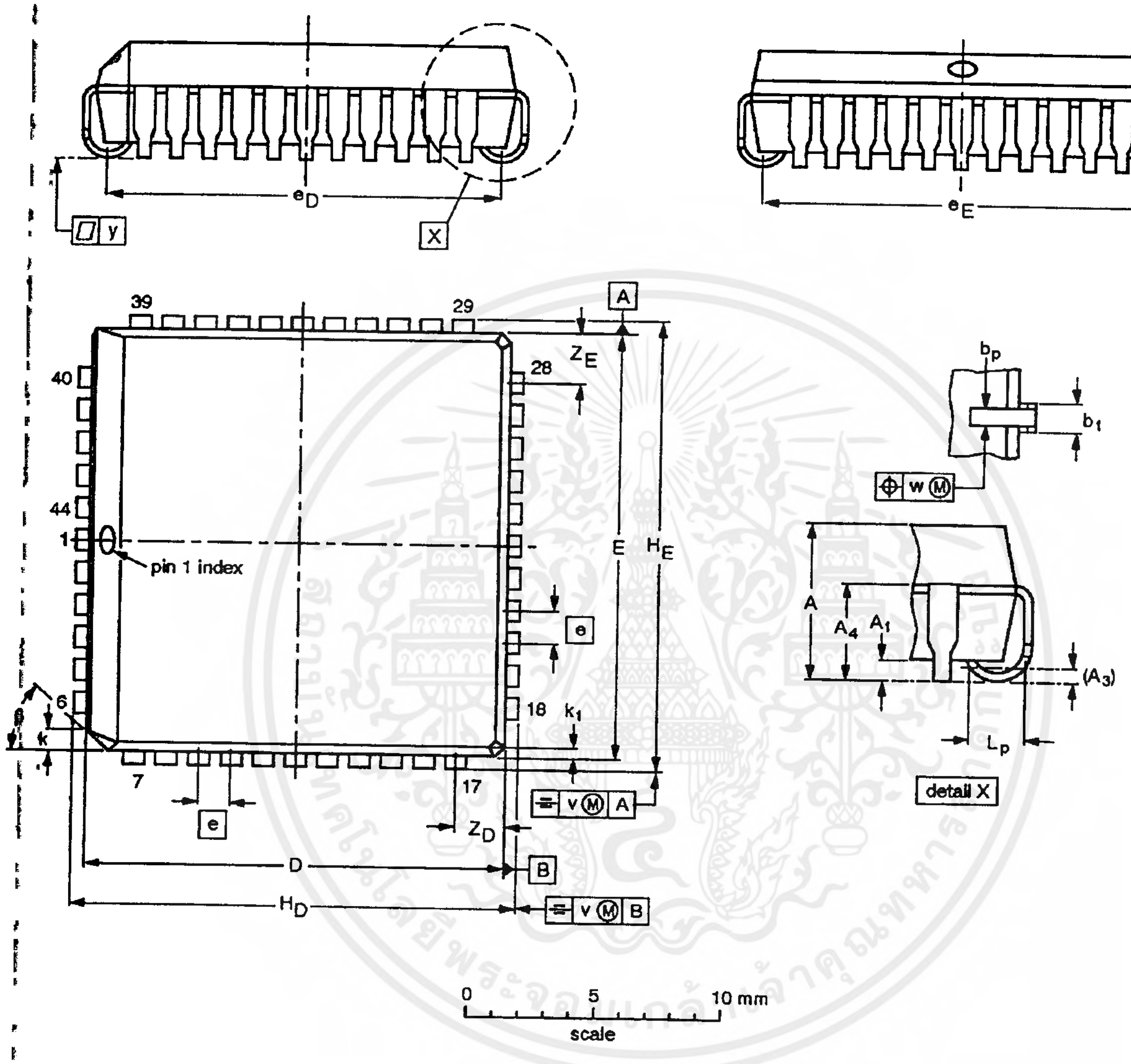
SECURITY LOCK BITS[1]				PROTECTION DESCRIPTION
Level	LB1	LB2	LB3	
1	0	0	0	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory.
2	1	0	0	Same as level 1
3	1	1	0	Same as level 1, plus program verification is disabled.
4	1	1	1	Same as level 3, plus external execution is disabled.

OTES:
Any other combination of the Lock bits is not defined.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PLCC44: plastic leaded chip carrier; 44 leads

SOT187-2



DIMENSIONS (millimetre dimensions are derived from the original inch dimensions)

UNIT	A	A_1 min.	A_3	A_4 max.	b_p	b_1	D(1)	E(1)	e	e_D	e_E	H_D	H_E	k	k_1 max.	L_p	v	w	y	Z_D(1) max.	Z_E(1) max.	β
mm	4.57 4.19	0.51	0.25	3.05	0.53 0.33	0.81 0.66	16.66 16.51	16.66 16.51	1.27	16.00 14.99	16.00 14.99	17.65 17.40	17.65 17.40	1.22 1.07	0.51	1.44 1.02	0.18	0.18	0.10	2.16	2.16	45°
inches	0.180 0.165	0.020	0.01	0.12	0.021 0.013	0.032 0.026	0.656 0.650	0.656 0.650	0.05	0.630 0.590	0.630 0.590	0.695 0.685	0.695 0.685	0.048 0.042	0.020	0.057 0.040	0.007	0.007	0.004	0.085	0.085	

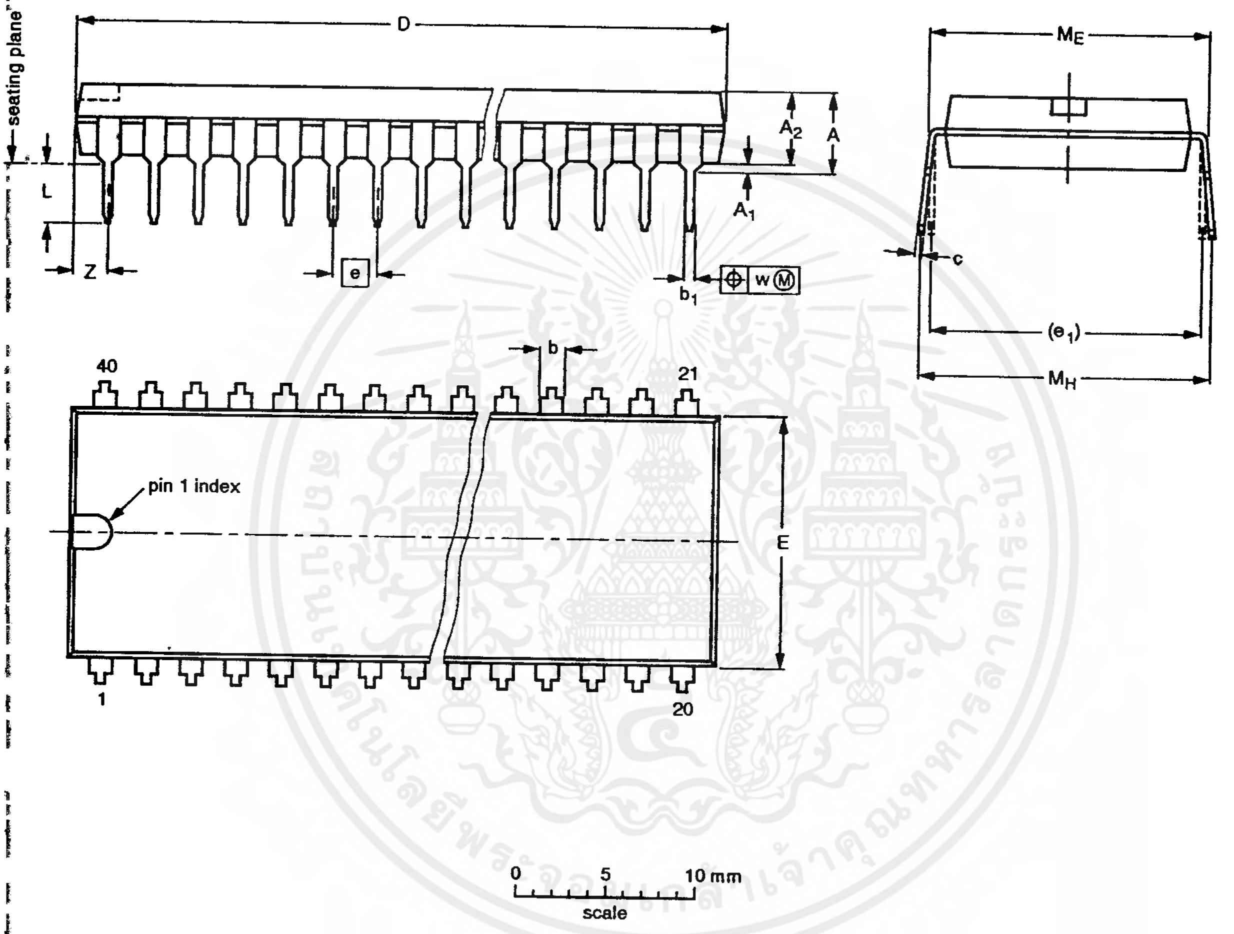
Note

1. Plastic or metal protrusions of 0.01 inches maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT187-2	112E10	MO-047AC				~~95-02-25~~ 97-12-16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIP40: plastic dual in-line package; 40 leads (600 mil) **SOT129-1**



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A_1 min.	A_2 max.	b	b_1	c	D [(1)]	E [(1)]	e	e_1	L	M_E	M_H	w	Z [(1)] max.
mm	4.7	0.51	4.0	1.70 1.14	0.53 0.38	0.36 0.23	52.50 51.50	14.1 13.7	2.54	15.24	3.60 3.05	15.80 15.24	17.42 15.90	0.254	2.25
inches	0.19	0.020	0.16	0.067 0.045	0.021 0.015	0.014 0.009	2.067 2.028	0.56 0.54	0.10	0.60	0.14 0.12	0.62 0.60	0.69 0.63	0.01	0.089

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT129-1	051G08	MO-015AJ				~~92-11-17~~ 95-01-14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. เจน สงสมพันธุ์,นิคม อนันต์ทิพย์,เทคโนโลยีโทรทัศน์,สถาบันอิเล็กทรอนิกส์กรุงเทพ ฯ, หน้าที่ 24 - 49
2. สมศักดิ์ เตชะเศรษฐ์ธนะ,ทฤษฎีและปฏิบัติ VCR ระบบดิจิตอล,ซีเอ็ด,หน้าที่ 1 – 29
3. จารุวรรณ ระวิภักตร์,รู้ลึก รู้จริง stye Borland Delphi,บริษัท เฟิสท์แปซิฟิก มีเดีย (ไทแลนด์) จำกัด
4. ธีรวัฒน์ ประกอบผล,การแระยุกต์ใช้งานคอนโทรลเลอร์, บริษัท ดวงกมลสมัย จำกัด
5. ไกรวุฒิ โรจน์ประเสริฐสุด,เข้าใจ/สร้าง/เล่น ไมโครโปรเซสเซอร์2, บริษัท ซีเอ็ดยูเคชั่น จำกัด
6. นางสาวนภาพันธ์ รักษ์ไชยวรรณ,นางสาวมลฤดี โชคสกุลวงษ์,นายวิบูญ ชุติมาชูทิศ,ระบบรับส่งภาพแบบดิจิตอล,คณะวิศวกรรมศาสตร์ สจล.,ปีการศึกษา 2539
7. นายกิตติ อาการส,นายสุชาติ แซ่อุ๊น,การพัฒนาระบบเก็บภาพลายนิ้วมือแบบดิจิตอล,คณะวิศวกรรมศาสตร์ สจล.,ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้