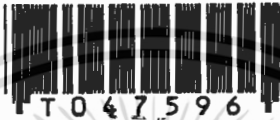


สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วิธีการมอดูเลทและดีมอดูเลทสัญญาณดิจิทัลในย่านความถี่วิทยุผ่าน
เครือข่ายโทรทัศนชนิดใช้สายนำสัญญาณแบบ BPSK/QPSK

BPSK/QPSK RADIO FREQUENCY DATA MODULATION AND
DEMODULATION FOR CABLE TELEVISION NETWORK



ทิษณู งามเรียรหนา

THIDSANU NGAMTHAINTHANA

ฉพ.
๓๕๑๖
๒๕๔๖

เลขหมู่.....
เลขทะเบียน 47596
วัน, เดือน, ปี 21 ส.ค. 2546

b.....
i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

**BPSK/QPSK RADIO FREQUENCY DATA MODULATION AND
DEMULATION FOR CABLE TELEVISION NETWORK**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIRMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2003

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งาน **ISBN 974-342-699-1** ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2003

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์ วิธีการมอดูเลทและคีมอดูเลทสัญญาณดิจิตอลในย่านความถี่วิทยุผ่านเครือข่าย
โทรทัศนชนิดใช้สายนำสัญญาณแบบ BPSK/QPSK

นักศึกษา นายพิษณุ งามเชิรธนา

รหัสประจำตัว 41061033

ปริญญา มหาบัณฑิต

สาขาวิชา วิศวกรรมไฟฟ้า

พ.ศ. 2546

อาจารย์ผู้ควบคุมวิทยานิพนธ์ รศ.ดร. ไกรสิน ส่งวัฒนา

บทคัดย่อ

วิทยานิพนธ์นี้จะนำเสนอการมอดูเลทและคีมอดูเลทย่านความถี่วิทยุ เพื่อนำไปใช้กับระบบการสื่อสารข้อมูลความเร็วสูง สำหรับเครือข่ายโทรทัศนชนิดใช้สายนำสัญญาณแบบ HFC โดยใช้หลักการมอดูเลทและคีมอดูเลทสัญญาณดิจิตอลแบบ QPSK ซึ่งใช้เป็นอุปกรณ์ภายใน Cable Modem และ Cable Modem Termination System

การมอดูเลทแบบนี้ประกอบด้วยส่วนประกอบสำคัญคือ ส่วนจัดเตรียมข้อมูลดิจิตอล ส่วนจัดเตรียมคลื่นพาห์ ส่วนคูณสัญญาณ และส่วนรวมสัญญาณ สำหรับกรณีการคีมอดูเลทมีส่วนประกอบที่สำคัญดังนี้คือ ส่วนขยายสัญญาณ QPSK ส่วนกำเนิดสัญญาณนาฬิกา ส่วนกู้สัญญาณคลื่นพาห์ ส่วนคูณสัญญาณ และส่วนจัดเตรียมข้อมูลดิจิตอล

ผลที่ได้จากการทดสอบชุดมอดูเลทและคีมอดูเลทสามารถทำงานในย่านความถี่ 10.24 MHz โดยมีการส่งข้อมูลที่มีความเร็ว 1.28 และ 2.56 Mbit ต่อวินาที มีค่า BER ประมาณ 0.017 ถึง 0.019 ค่า $\Delta(S/N)$ อยู่ในช่วง 2.78 ถึง 2.87 dB และค่า Jitter อยู่ในช่วง 0.012 ถึง 0.19 UI ซึ่งอัตราเร็วในการส่งข้อมูลนี้เป็นอัตราเร็วที่ใช้ในย่าน Upstream ของเครือข่าย Cable Television Network

Thesis Title BPSK/QPSK Radio Frequency Data Modulation and Demodulation for Cable Television Network

Student Mr. Thidsanu Ngamthianthana

Student ID. 41061033

Degree Master

Programme Electrical Engineering

Year 2003

Thesis Advisor Assoc.Prof.Dr. Kraisin Songwatana

ABSTRACT

This thesis presents radio frequency modulator and demodulator for high speed data communication on Hybrid Fiber Coaxial cable television network. Modulation and demodulation uses quadrature phase shift keying ,which uses for Cable Modem and Cable Modem Termination System.

Modulator consists of :digital signal processor, carrier signal processor, signal multiplier and signal summation. The demodulator consists of :amplifier QPSK, clock regenerator, carrier signal recovery generator, signal multiplier and digital processor.

The resultant modem operates at 10.24 MHz carrier frequency with data rate 1.28 and 2.56 Mbps. Test result of the modulator and demodulator shows BER is 0.017-0.19 , $\Delta(S/N)$ is 2.78-2.87 dB and Jitter is 0.012-0.019 UI which operates in the Upstream band of the Cable Television Network.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลงได้ด้วยความช่วยเหลืออย่างดียิ่งจากหลายๆฝ่าย ซึ่งผู้จัดทำขอขอบคุณทุกท่านที่ได้ให้ความช่วยเหลือ และคำแนะนำในเรื่องต่างๆ

ขอขอบพระคุณ รศ.ดร. ไกรสิน ส่วงวัฒนา อาจารย์ที่ปรึกษาวิทยานิพนธ์ ที่ได้กรุณาให้คำแนะนำและคำปรึกษาเกี่ยวกับระบบการสื่อสารข้อมูลผ่านเครือข่าย HFC รวมทั้งได้ทดสอบและแก้ไขระบบการมอดูเลทของวิทยานิพนธ์ฉบับนี้จนสำเร็จลุล่วงได้ด้วยดี

ขอขอบคุณศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ ที่ให้ทุนสนับสนุนการทำวิจัยครั้งนี้ และบริษัทเทเลคอมเอเชีย ในการให้ความสนับสนุนและความช่วยเหลือในการจัดทำวิทยานิพนธ์ครั้งนี้

ขอขอบคุณ คุณชวลิต ชันไพบูรณ์ คุณวุฒิกร จิตรวุฒิโชติ และเพื่อนๆ นักศึกษาทุกคนที่ให้ความช่วยเหลือและคำแนะนำต่างๆ ในการจัดทำและตรวจสอบข้อผิดพลาดของวิทยานิพนธ์ฉบับนี้จนสำเร็จสมบูรณ์และยังให้กำลังใจต่อผู้จัดทำตลอดมา

ขอกราบขอบพระคุณบิดา มารดา ผู้ให้โอกาสและให้กำลังใจเสมอมา

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้จัดทำขอบอบแด่ผู้มีพระคุณทุกท่าน

ทิษณู งามเรียรธนา

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญภาพ.....	VIII
บทที่ 1 บทนำ	
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	2
1.3 สมมติฐานของการศึกษา.....	2
1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย.....	2
1.5 ขอบเขตการวิจัย.....	2
1.6 ขั้นตอนการศึกษา.....	3
1.7 โครงประกอบวิทยานิพนธ์.....	3
บทที่ 2 ระบบการสื่อสารข้อมูลผ่านเครือข่ายโทรทัศนซ์นิกใช้สายนำสัญญาณ	
2.1 กล่าวนำ.....	4
2.2 ระบบเครือข่ายโทรทัศนซ์นิกใช้สายนำสัญญาณ.....	4
2.3 ระบบเครือข่ายโทรทัศนซ์นิกใช้สายนำสัญญาณแบบ HFC.....	5
2.4 ระบบการสื่อสารข้อมูลผ่านเครือข่ายโทรทัศนซ์นิกใช้สายนำสัญญาณแบบ HFC.....	6
บทที่ 3 ทฤษฎีระบบการมอดูเลตและดีมอดูเลตสัญญาณดิจิทัล	
3.1 กล่าวนำ.....	8
3.2 ทฤษฎีการมอดูเลตและดีมอดูเลตสัญญาณดิจิทัล.....	8
3.2.1 การมอดูเลตแบบเปลี่ยนเฟสสัญญาณคลื่นพาห์.....	11
3.2.2 การมอดูเลตและดีมอดูเลตแบบ BPSK (Binary Phase Shift Keying)...	12
3.2.3 การมอดูเลตและดีมอดูเลตแบบ QPSK (Quadriphase Shift Keying)..	14
3.2.4 แถบความถี่และประสิทธิภาพทางแถบความถี่ของ โมเดมแบบ QPSK..	18
3.3 การสังเคราะห์ความถี่.....	19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
3.3.1 ทฤษฎีเฟสล็อกคูล (Phase Lock Loop).....	19
3.3.2 ภาคตรวจจับเฟส.....	20
3.3.3 ภาคกรองรูป หรือภาคกรองสัญญาณความถี่ต่ำผ่าน.....	24
3.3.4 การทำงานของเฟสล็อกคูล.....	25
3.4 ทฤษฎีการคูณสัญญาณ.....	27
3.5 ทฤษฎีการตรวจจับความต่างเฟส.....	29
3.6 ทฤษฎีการกรองความถี่.....	31
3.7 ทฤษฎีการเลื่อนเฟส.....	35
3.8 ฮายไดอะแกรม(Eye Diagram)	37
3.9 ไทม์มิงจิตเตอร์(Timing Jitter).....	38
3.10 ความน่าจะเป็นของค่าผิดพลาดP(e)และอัตราบิตผิดพลาด(Bit error rate : BER).....	39
บทที่ 4 การออกแบบและการสร้างส่วนมอดูเลตและดีมอดูเลตสัญญาณดิจิทัล	
4.1 กล่าวนำ.....	41
4.2 การออกแบบและการสร้างส่วนมอดูเลตสัญญาณดิจิทัล.....	41
4.2.1 วงจรแยกสัญญาณดิจิทัล.....	42
4.2.2 วงจรแปลงระดับสัญญาณ.....	43
4.2.3 วงจรกรองความถี่ผ่านเฉพาะช่วง.....	43
4.2.4 วงจรกำเนิดสัญญาณคลื่นพาห์.....	44
4.2.5 วงจรเลื่อนเฟส.....	45
4.2.6 วงจรคูณสัญญาณ.....	45
4.2.7 วงจรดิฟเฟอเรนเชียล.....	46
4.2.8 วงจรรวมสัญญาณ.....	46
4.3 การออกแบบและการสร้างส่วนดีมอดูเลตสัญญาณดิจิทัล.....	49
4.3.1 วงจรกรองความถี่ผ่านเฉพาะช่วง.....	49
4.3.2 วงจรขยายสัญญาณ.....	50
4.3.3 วงจรกำเนิดสัญญาณนาฬิกา.....	50
4.3.4 วงจรกำเนิดสัญญาณคลื่นพาห์.....	51
4.3.5 วงจรเลื่อนเฟส.....	52

สารบัญ (ต่อ)

	หน้า
4.3.6 วงจรคิฟเฟอเรนชิเอเตอร์.....	52
4.3.7 วงจรคูณสัญญาณ.....	52
4.3.8 วงจรคิฟเฟอเรนเชียล.....	52
4.3.9 วงจรกรองความถี่ต่ำผ่าน.....	52
4.3.10 วงจรแปลงระดับแรงดัน.....	53
4.3.11 วงจรโมโนสเตเบิล.....	54
4.3.12 วงจรรวมสัญญาณดิจิตอล.....	55
4.4 การสร้างชุดมอดูเลตและดีมอดูเลตสัญญาณดิจิตอลแบบ QPSK.....	59
4.5 ลักษณะสัญญาณในแต่ละขั้นตอนของการมอดูเลตและดีมอดูเลตแบบ QPSK.....	63
บทที่ 5 ผลการทดลอง.....	68
5.1 กล่าวนำ.....	68
5.2 ผลการทดลอง.....	68
บทที่ 6 สรุปผลการวิจัยและข้อเสนอแนะ.....	81
6.1 สรุปผลการวิจัย.....	81
บรรณานุกรม.....	82
ภาคผนวก.....	83
บทความที่เกี่ยวข้องที่ได้รับการตีพิมพ์.....	84
ประวัติผู้เขียน.....	96

สารบัญตาราง

ตารางที่	หน้า
3.1 0.1-dB Chebyshev Pole Locations.....	34
5.1 ค่า $\Delta(S/N)$ และค่า Jitter ของสัญญาณ 1.28 Kbps, 2.56 Mbps และ 5.12 Mbps.....	77
5.2 แสดงค่า Bit error rate.....	79



สารบัญรูป

รูปที่	หน้า
2.1 แสดงระบบเครือข่ายเคเบิลทีวี.....	6
2.2 แสดงการจัดแบ่งความถี่ใช้งานในเครือข่าย.....	6
3.1 แสดงลักษณะการมอดูเลตสัญญาณแบบ AM, FM และ PM.....	9
3.2 แสดงลักษณะการมอดูเลตสัญญาณแบบ ASK, FSK และ PSK.....	10
3.3 แสดงรูปคลื่น PSK แบบ 2 ระดับ.....	11
3.4 แสดงบล็อกไดอะแกรมของการมอดูเลตแบบ BPSK	12
3.5 แสดงบล็อกไดอะแกรมของการดีมอดูเลตแบบ BPSK.....	13
3.6 แสดงบล็อกไดอะแกรมของการมอดูเลตแบบ QPSK.....	14
3.7 แสดง Timing Diagram ของข้อมูล.....	15
3.8 แสดงเวกเตอร์ไดอะแกรมของสถานะสัญญาณต่างๆ.....	16
3.9 แสดงบล็อกไดอะแกรมการดีมอดูเลตสัญญาณ QPSK.....	16
3.10 แสดงความหนาแน่นของกำลังด้านแถบความถี่.....	19
3.11 แสดงรูปแบบจำลองของเฟสล็อกคูลูป.....	20
3.12 แสดงลักษณะของวงจรตรวจจับเฟสแบบเฟส-ความถี่.....	21
3.13 แสดงการเปลี่ยนสถานะของภาคตรวจจับเฟสแบบเฟส-ความถี่.....	22
3.14 แสดงกราฟคุณสมบัติเข้าที่พูดของค่า V_c เหลือของภาคตรวจจับเฟสแบบเฟส-ความถี่.....	23
3.15 แสดงลักษณะสัญญาณของภาคตรวจจับเฟสแบบเฟส-ความถี่	24
3.16 แสดงวงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ.....	24
3.17 แสดงบล็อกไดอะแกรมของเฟสล็อกคูลูปในรูปแบบทางคณิตศาสตร์.....	25
3.18 แสดงวงจรคูณสัญญาณ.....	28
3.19 แสดงการจัดแบ่งจตุภาค.....	28
3.20 แสดงวงจรมอดูเลตสัญญาณ ที่สร้างโดยวงจรคูณสัญญาณ.....	29
3.21 แสดงวงจรตรวจจับความต่างเฟสสัญญาณ.....	30
3.22 แสดงวงจรตรวจจับความต่างเฟสที่สร้างโดยวงจรคูณสัญญาณ.....	30
3.23 แสดงวงจรกรองความถี่ผ่านเฉพาะช่วง.....	33
3.24 แสดงวงจรกรองความถี่ต่ำผ่าน.....	33
3.25 แสดงแรงดันอินพุตและเอาต์พุตวงจรเลื่อนเฟส กรณีมุมเป็น -90 องศา.....	35
3.26 แสดงวงจรเลื่อนเฟส.....	35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อ VIII และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.27 แสดงลักษณะรหัสแบบ NRZ	37
3.28 แสดงอายุโคอะแกรมในทางอุดมคติและทางปฏิบัติ.....	37
3.29 แสดงการเกิด Jitter.....	38
3.30 แสดงการเกิด Jitter ในลักษณะของอายุโคอะแกรม.....	38
3.31 แสดงกราฟ Error rate ของระบบ QPSK.....	40
4.1 แสดงบล็อกโคอะแกรมภาคส่ง.....	41
4.2 แสดงวงจรแยกสัญญาณดิจิทัล.....	42
4.3 แสดงวงจรแปลงระดับสัญญาณ.....	43
4.4 แสดงวงจรรองความถี่ผ่านเฉพาะช่วง.....	44
4.5 แสดงวงจรกำเนิดสัญญาณคลื่นพาห์.....	44
4.6 แสดงวงจรเลื่อนเฟส.....	45
4.7 แสดงวงจรคูณสัญญาณ.....	46
4.8 แสดงวงจรคิฟเฟอเรนเชียล.....	46
4.9 แสดงวงจรรวมสัญญาณ.....	47
4.10 แสดงวงจรมอดูเลตสัญญาณ QPSK.....	48
4.11 แสดงบล็อกโคอะแกรมภาครับ.....	49
4.12 แสดงวงจรรองช่วงความถี่ผ่านเฉพาะช่วง.....	50
4.13 แสดงวงจรขยายสัญญาณ.....	50
4.14 แสดงวงจรกำเนิดสัญญาณนาฬิกา.....	51
4.15 แสดงวงจรกำเนิดสัญญาณคลื่นพาห์.....	51
4.16 แสดงวงจรคิฟเฟอเรนเชียล.....	52
4.17 แสดงวงจรรองความถี่ต่ำผ่าน.....	53
4.18 แสดงวงจรแปลงระดับแรงดัน.....	54
4.19 แสดงวงจร โม โนสเตเบิล.....	54
4.20 แสดงวงจรรวมสัญญาณดิจิทัล.....	55
4.21 แสดงวงจรมอดูเลตสัญญาณ QPSK.....	57
4.22 แสดงวงจรมอดูเลตสัญญาณ QPSK (ต่อ).....	58
4.23 แสดงแผ่น PCB ของชุดมอดูเลตสัญญาณ QPSK.....	59

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.24 แสดงแผ่น PCB ของชุดคีมอคูเลตสัญญาณ QPSK	60
4.25 แสดงชุดมอคูเลตสัญญาณ QPSK	61
4.26 แสดงชุดคีมอคูเลตสัญญาณ QPSK.....	62
4.27 แสดงสัญญาณ NRZ(รูปบน)เปรียบเทียบกับสัญญาณบิตคู่(รูปกลาง)และบิตคี่(รูปล่าง).....	63
4.28 แสดงสัญญาณบิตคู่เปรียบเทียบกับสัญญาณบิตคู่ที่คูณด้วยคลื่นพาห์เฟสปกติ.....	63
4.29 แสดงสัญญาณบิตคี่เปรียบเทียบกับสัญญาณบิตคี่ที่คูณด้วยคลื่นพาห์ที่มีเฟสเลื่อน 90 องศา..	64
4.30 แสดงสัญญาณ NRZ เปรียบเทียบกับสัญญาณ QPSK	64
4.31 แสดงสัญญาณ QPSK ใน โดเมนความถี่.....	65
4.32 แสดงสัญญาณที่ได้จากการคูณสัญญาณ QPSK กับสัญญาณคลื่นพาห์ที่มีเฟสปกติ เปรียบเทียบกับสัญญาณบิตคู่.....	65
4.33 แสดงสัญญาณที่ได้จากการคูณสัญญาณ QPSK กับสัญญาณคลื่นพาห์ที่มีเฟส เลื่อน 90 องศา เปรียบเทียบกับสัญญาณบิตคี่.....	66
4.34 แสดงสัญญาณบิตคู่และบิตคี่เปรียบเทียบกับสัญญาณ NRZ.....	66
4.35 กราฟแสดงความสัมพันธ์ของ BER และ CNR จากการจำลองโดย โปรแกรม PSpice.....	67
5.1 กราฟรูปบนแสดงสัญญาณบิตคู่รูปกลางแสดงสัญญาณบิตคี่รูปล่างแสดงสัญญาณ NRZ.....	68
5.2 กราฟรูปบนแสดงสัญญาณบิตคู่ของภาคส่งที่เข้าคัพูดของวงจรเข้ารหัสของเกรย์ กราฟรูปล่างแสดงสัญญาณบิตคี่ของภาคส่งที่เข้าคัพูดของวงจรเข้ารหัสของเกรย์.....	69
5.3 กราฟรูปบนแสดงสัญญาณบิตคู่ของภาคส่งที่เข้าคัพูดของวงจรแปลงระดับสัญญาณ กราฟรูปล่างแสดงสัญญาณบิตคี่ของภาคส่งที่เข้าคัพูดของวงจรแปลงระดับสัญญาณ.....	69
5.4 กราฟรูปบนแสดงสัญญาณคลื่นพาห์แบบเฟสปกติ กราฟรูปล่างแสดงสัญญาณคลื่นพาห์แบบเฟสเลื่อน 90 องศา.....	70
5.5 กราฟรูปบนแสดงสัญญาณ BPSK ที่ได้จากการคูณบิตคู่กับคลื่นพาห์ที่มีเฟสปกติ กราฟรูปล่างแสดงสัญญาณบิตคู่ (500nS/DIV).....	70
5.6 กราฟรูปบนแสดงสัญญาณ BPSK ที่ได้จากการคูณบิตคี่กับคลื่นพาห์ที่เฟสเลื่อน 90 องศา กราฟรูปล่างแสดงสัญญาณบิตคี่ (500nS/DIV).....	71
5.7 กราฟรูปบนแสดงสัญญาณ QPSK และกราฟรูปล่างแสดงสัญญาณ NRZ (500nS/DIV).....	71
5.8 กราฟรูปบนแสดงสัญญาณคลื่นพาห์ และกราฟรูปล่างแสดงสัญญาณ QPSK.....	72
5.9 กราฟรูปบนแสดงคลื่นพาห์แบบเฟสปกติและรูปล่างแสดงคลื่นพาห์แบบเฟสเลื่อน 90 องศา..	72

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา X จะต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
5.10 กราฟรูปบนแสดงสัญญาณบิตคู่ กราฟรูปล่างแสดงสัญญาณบิตคี่ ที่ประกอบด้วย ส่วนของความถี่สูงและความถี่ต่ำ.....	73
5.11 กราฟรูปบนแสดงสัญญาณ NRZ รูปกลางแสดงสัญญาณบิตคู่ รูปล่างแสดงสัญญาณบิตคี่....	74
5.12 กราฟรูปบนแสดงสัญญาณ NRZ ที่คีมอคูเลตทางภาครับ กราฟรูปล่างแสดงสัญญาณ NRZ ที่มอคูเลตทางภาคส่ง.....	74
5.13 กราฟแสดงสัญญาณ QPSK ในโดเมนความถี่.....	75
5.14 แสดงบล็อกไดอะแกรมการทดสอบ Eye Diagram	75
5.15 แสดงฮายไดอะแกรมของสัญญาณ 1.28 Mbps (Jitter=18.182 nS,H=4.16V และ h=3.02V)...	76
5.16 แสดงฮายไดอะแกรมของสัญญาณ 2.56 Mbps (Jitter=14.546 nS,H=3.73V และ h=2.68V)...	76
5.17 แสดงฮายไดอะแกรมของสัญญาณ 5.12 Mbps (Jitter=12.727 nS,H=3.99V และ h=2.62V)...	77
5.18 แสดงบล็อกไดอะแกรมการทดสอบ BER.....	78
5.19 แสดงผลที่ได้จากเครื่อง Logic Analyzer	78
5.20 กราฟแสดงความสัมพันธ์ของ BER และ CNR ที่อัตราเร็วข้อมูล 1.28, 2.56 และ 5.12 Mbps..	79
5.21 กราฟแสดงความสัมพันธ์ระหว่าง BER และ CNR ที่อัตราเร็วข้อมูล 1.28 Mbps.....	80
5.22 กราฟแสดงความสัมพันธ์ระหว่าง BER และ CNR ที่อัตราเร็วข้อมูล 2.56 Mbps.....	80
5.23 กราฟแสดงความสัมพันธ์ระหว่าง BER และ CNR ที่อัตราเร็วข้อมูล 5.12 Mbps.....	80

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ระบบการสื่อสารข้อมูลโดยทั่วไปจะใช้สายโทรศัพท์เป็นสายนำสัญญาณ ซึ่งจะสามารถใช้ส่งสัญญาณที่ย่านความถี่ในช่วงของความถี่เสียงไปถึงประมาณ 4 kHz แต่สำหรับเครือข่ายโทรศัพท์ชนิดใช้สายนำสัญญาณแบบ Hybrid fiber Coaxial (HFC) สามารถส่งสัญญาณในช่วงความถี่ที่สูงกว่าการใช้สายโทรศัพท์ธรรมดาคือตั้งแต่ 5 ถึง 750 MHz ซึ่งสามารถนำไปพัฒนาการสื่อสารข้อมูลความเร็วสูงเพื่อให้บริการปฏิสัมพันธ์หลากหลาย เช่น ระบบวิดีโอตามต้องการ การเข้าระบบอินเทอร์เน็ต ระบบโทรศัพท์ และการประชุมสัมมนาทางโทรทัศน์ (Video conference) การพัฒนาจะช่วยให้ทั้งการแพร่สัญญาณและการให้บริการปฏิสัมพันธ์สามารถทำงานร่วมกันได้บนเครือข่ายเดียวกัน ซึ่งจะช่วยประหยัดเงินทุนที่ใช้ในการสร้างระบบเครือข่าย

เครือข่าย Hybrid Fiber Coaxial ประกอบด้วยเครือข่ายใยแก้วนำแสง และเครือข่ายโคแอกเซียล ส่วนของเครือข่ายใยแก้วนำแสงจะอยู่ในส่วนของอุปกรณ์คั่นทางผ่านสถานีย่อยถึงอุปกรณ์ Node ส่วนเครือข่ายโคแอกเซียลจะต่อจากอุปกรณ์ Node ไปยังบ้านของผู้ให้บริการเครือข่าย ในระบบเครือข่ายโทรศัพท์ชนิดใช้สายนำสัญญาณแบบ HFC มีย่านความถี่ตั้งแต่ 5 MHz ถึง 750 MHz ซึ่งแบ่งเป็น 2 ส่วน คือ ย่านสำหรับสัญญาณเส้นทางไปหน้าหรือ Downstream Band และย่านสำหรับสัญญาณย้อนกลับ (Upstream Band) ในย่าน Upstream นั้น จะมีความถี่อยู่ในช่วง 5 ถึง 42 MHz ส่วนย่าน Downstream จะมีความถี่อยู่ในช่วง 50 ถึง 750 MHz ซึ่งจะแบ่งออกเป็นช่วง 50 ถึง 550 MHz ใช้ส่งสัญญาณอนาล็อก (Analog signal) ซึ่งเป็นสัญญาณของระบบ Cable Television Network และในช่วง 550-750 MHz จะใช้ในการส่งสัญญาณอื่นๆ

ในระบบการสื่อสารข้อมูลผ่านเครือข่ายโทรศัพท์ชนิดใช้สายนำสัญญาณแบบ HFC ประกอบด้วยอุปกรณ์ที่สำคัญสองส่วนคือ Cable Modem และ Cable Modem Termination System อุปกรณ์ Cable Modem เป็นอุปกรณ์ปลายทาง ทำหน้าที่ส่งสัญญาณระหว่างเครื่องคอมพิวเตอร์ของผู้ให้บริการที่บ้านกับเครือข่าย CATV ส่วนอุปกรณ์ Cable Modem Termination System จะรับสัญญาณจาก Cable Modem ในย่านความถี่ Upstream และส่งข้อมูลนั้นไปยัง Cable Modem ชุดอื่นที่ย่านความถี่ Downstream รวมทั้งเป็นตัวเชื่อมต่อการสื่อสารต่างๆระหว่าง เครือข่าย HFC กับเครือข่ายอื่นๆ

วิทยานิพนธ์นี้เสนอการพัฒนาอุปกรณ์ Modem ที่ใช้ในเครือข่ายโทรทัศนซ์ชนิดใช้สายนำสัญญาณซึ่งประกอบไปด้วย อุปกรณ์ชุด Modulator ใน Cable Modem และ Demodulator ใน Cable Modem Termination System โดยใช้คลื่นพาห์ในการมอดูเลตสัญญาณที่ความถี่ 10.24 MHz และมีอัตราเร็วในการส่งข้อมูลเป็น 0.64, 1.28, 2.56 Mbit ต่อวินาที

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วิทยานิพนธ์นี้ต้องการศึกษาระบบการสื่อสารข้อมูลความเร็วสูงผ่านเครือข่ายโทรทัศนซ์ชนิดใช้สายนำสัญญาณแบบ HFC โดยการพัฒนาอุปกรณ์และทดลองการมอดูเลตและดีมอดูเลตสัญญาณดิจิทัลแบบ QPSK ในย่านความถี่ย้อนกลับ

1.3 สมมติฐานของการศึกษา

อุปกรณ์อิเล็กทรอนิกส์สามารถทำงานได้ที่ความถี่สูงเช่น AD834 (IC ฐานสัญญาณ) สามารถนำมาใช้สร้างชุดมอดูเลตและดีมอดูเลตสัญญาณแบบ QPSK เพื่อทดลองใช้ในเครือข่าย HFC ที่ย่านสำหรับสัญญาณป้อนกลับหรือ Upstream Band โดยไม่มีสัญญาณรบกวนในเครือข่าย

1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

วิทยานิพนธ์นี้ได้นำทฤษฎีการ Modulation/Demodulation สัญญาณแบบ BPSK (Binary Phase Shift Keying) และ QPSK (Quadrphase Shift Keying) มาพัฒนาอุปกรณ์ให้สามารถทำงานได้ที่ความถี่สูง ในระบบ BPSK ข้อมูลไบนารีลอจิก 0 และลอจิก 1 จะถูก Modulate ด้วยคลื่นพาห์ที่มีเฟสต่างกัน 180 องศา การมอดูเลตแบบ QPSK เฟสของคลื่นพาห์จะถูกเลื่อนไป 0, 90, 180, 270 องศา ตามการเปลี่ยนแปลงของข้อมูล 2 บิต ดังนั้นจะสามารถแทนข้อมูลได้ 4 สถานะ ซึ่งจะเป็นการเพิ่มประสิทธิภาพในการใช้แถบความถี่ เมื่อเปรียบเทียบกับการ Modulate แบบ BPSK

1.5 ขอบเขตการวิจัย

วิทยานิพนธ์นี้เสนอการสร้างอุปกรณ์มอดูเลตใน Cable Modem และอุปกรณ์ดีมอดูเลตใน Cable Modem Termination System แบบ QPSK ที่อัตราเร็วในการส่งข้อมูล 0.64, 1.28 และ 2.56 Mb/s ที่ใช้สำหรับเครือข่ายโทรทัศนซ์ชนิดใช้สายนำสัญญาณแบบ HFC ในย่านความถี่ Upstream band เท่านั้น

1.6 ขั้นตอนการศึกษา

ขั้นตอนการศึกษาย่านความถี่ที่แบ่งไว้ใช้ในการสื่อสารข้อมูลในระบบเครือข่าย HFC และรวมถึงการศึกษาระบบการมอดูเลตแบบ QPSK การออกแบบวงจรตามทฤษฎี การนำอุปกรณ์ที่มีคุณสมบัติสามารถนำมาใช้งาน ต่อจากนั้นนำอุปกรณ์ต่างๆมาทดลองประกอบตามวงจร แล้วทำการวัดสัญญาณต่างๆภายในวงจร เมื่อสัญญาณที่ได้มีลักษณะตามทฤษฎีและได้สัญญาณ QPSK ที่ถูกต้อง จึงนำอุปกรณ์ต่างๆมาประกอบลงบนแผ่น PCB ที่ได้ออกแบบลายทองแดงตามวงจร เพื่อทดสอบการรับและส่งสัญญาณ QPSK ต่อไป

1.7 โครงประกอบวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้แบ่งเป็น 6 บทดังนี้

- บทที่ 1 บทนำจะกล่าวถึงความเป็นมา และวัตถุประสงค์ของระบบการสื่อสารข้อมูลความเร็วสูงผ่านเครือข่ายโทรทัศนซ์นิกใช้สายนำสัญญาณแบบ HFC รวมทั้งสมมติฐาน ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย ขอบเขตการวิจัย ขั้นตอนการศึกษาและโครงประกอบวิทยานิพนธ์
- บทที่ 2 กล่าวถึงระบบการสื่อสารข้อมูลผ่านเครือข่ายโทรทัศนซ์นิกใช้สายนำสัญญาณแบบ HFC และสถาปัตยกรรมของเครือข่ายโทรทัศนซ์นิกใช้สายนำสัญญาณแบบ HFC
- บทที่ 3 อธิบายหลักการและทฤษฎีที่ใช้ในการออกแบบอุปกรณ์มอดูเลต และดีมอดูเลตสัญญาณดิจิทัลแบบ QPSK
- บทที่ 4 อธิบายรายละเอียดของวงจรอิเล็กทรอนิกส์ที่นำมาประกอบเป็นชุดมอดูเลตและดีมอดูเลต
- บทที่ 5 แสดงผลการทดลองที่ได้จากอุปกรณ์มอดูเลตและดีมอดูเลตสัญญาณดิจิทัลแบบ QPSK ที่สร้างจากการออกแบบวงจรในบทที่ 4
- บทที่ 6 กล่าวถึงผลสรุปต่างๆที่ได้จากการสร้างอุปกรณ์มอดูเลตและดีมอดูเลตแบบ QPSK

บทที่ 2

ระบบสื่อสารข้อมูลผ่านเครือข่ายโทรทัศนชนิดใช้สายนำสัญญาณ

2.1 กล่าวนำ

ระบบเครือข่ายโทรทัศนชนิดใช้สายนำสัญญาณแบบ HFC เป็นระบบเครือข่ายที่ได้มีการแบ่งย่านความถี่ไว้เพื่อใช้ในการสื่อสารสัญญาณโทรทัศนและสัญญาณข้อมูลสองทิศทาง โดยย่านความถี่ 5 ถึง 42 MHz ใช้สำหรับการสื่อสารข้อมูลจากบ้านของผู้ใช้บริการเครือข่าย CATV ส่งไปยังอุปกรณ์ต้นทาง ย่านความถี่ 50 ถึง 550 MHz ใช้เพื่อส่งกระจายสัญญาณอนาล็อกสำหรับระบบเคเบิลทีวีทั่วไปและ 550 ถึง 750 MHz ใช้ในการส่งกระจายสัญญาณดิจิทัล

การสื่อสารข้อมูลจะใช้อุปกรณ์ Cable Modem ที่ปลายทางและ Cable Modem Termination System ที่ต้นทางโดย Cable Modem มีหน้าที่ในการรับส่งสัญญาณเชื่อมต่อระหว่างเครื่องคอมพิวเตอร์ของผู้ใช้บริการระบบกับเครือข่าย HFC ส่วน Cable Modem Termination System มีหน้าที่นำข้อมูลที่รับมาได้ส่งกระจายต่อไปสู่ Cable Modem ชุดอื่นและเป็นส่วนที่ทำหน้าที่ในการเชื่อมต่อเครือข่าย HFC กับระบบการสื่อสารอื่นๆ

วิทยานิพนธ์บทนี้จะอธิบายถึงส่วนประกอบของระบบเครือข่าย HFC และระบบการสื่อสารข้อมูลผ่านเครือข่าย HFC

2.2 ระบบเครือข่ายโทรทัศนชนิดใช้สายนำสัญญาณ

ระบบเครือข่ายโทรทัศนชนิดใช้สายนำสัญญาณ[1] หรือระบบเครือข่ายเคเบิลทีวี (Community Antenna Television : CATV) โดยทั่วไปจะใช้สายโคแอกเซียลเป็นหลัก ในการกระจายสัญญาณโทรทัศน ระบบเครือข่ายเคเบิลทีวีประกอบด้วยอุปกรณ์ต้นทาง(Headend) ระบบรับส่งสัญญาณ (Transmission System) และอุปกรณ์รับสัญญาณ (Receiver)

อุปกรณ์ต้นทาง(Headend) มีหน้าที่ในการรวบรวมและปรับแต่งช่องรายการโทรทัศนต่างๆ และจัดแจงรายการให้อยู่ในความถี่ที่ถูกต้อง รายการโทรทัศนที่ใช้ออกอากาศ ได้แก่ การถ่ายทอดสัญญาณผ่านดาวเทียม และเทปโทรทัศนต่างๆ เนื่องจากอุปกรณ์ต้นทางเป็นอุปกรณ์หลักที่สำคัญของระบบเครือข่ายเคเบิลทีวี จึงต้องอยู่ในสภาพการทำงานที่สมบูรณ์ถูกต้องตลอดเวลา

ระบบรับส่งสัญญาณ(Transmission System) มีหน้าที่ในการรับและส่งสัญญาณจากอุปกรณ์ต้นทางไปยังอุปกรณ์ปลายทางของผู้ใช้บริการเครือข่าย CATV โดยมีสมมุติฐานในอัตราขยายคงที่และลักษณะการผิดเพี้ยนน้อยที่สุด

ในระบบ CATV อุปกรณ์ที่ใช้ส่งสัญญาณเป็นสาย Coaxial Cable มีค่าลดทอนสูงตามขนาดและความยาวของสาย ฉะนั้นจะต้องมีอุปกรณ์ขยายสัญญาณ (Amplifier) ตลอดทางโดยการเลือกใช้ขนาดของสายและชนิดของ Amplifier ขึ้นอยู่กับการออกแบบ [1]

อุปกรณ์รับสัญญาณ (Receiver) หรือ Set-top box หรือชุดรับสัญญาณโทรทัศน์มีหน้าที่แปลงสัญญาณรับจากระบบ CATV เป็นสัญญาณ Video เพื่อป้อนเข้าอุปกรณ์โทรทัศน์

2.3 ระบบเครือข่ายโทรทัศน์ชนิดใช้สายนำสัญญาณแบบ HFC

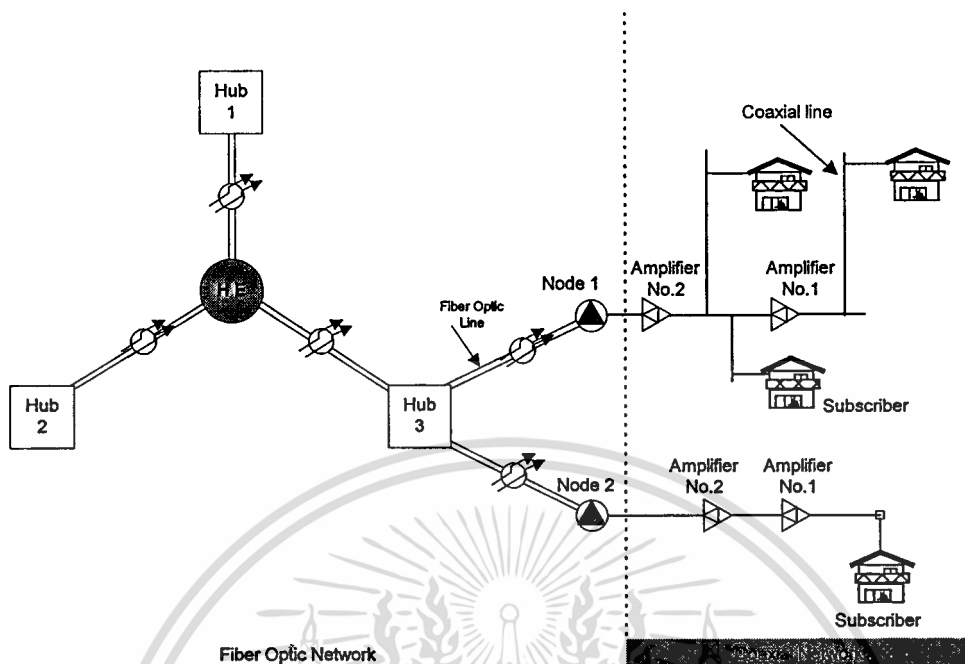
ระบบเครือข่าย HFC(Hybrid Fiber Coaxial)[2] คือระบบเครือข่ายโทรทัศน์ชนิดใช้สายนำสัญญาณ(CATV) ที่ใช้สายใยแก้วนำแสงร่วมกับสายโคแอกเซียล เนื่องจากคุณสมบัติของสายใยแก้วนำแสงที่มีการสูญเสียต่ำ และมีช่วงความถี่ใช้งานสูง สายใยแก้วนำแสงสามารถแทนที่สายโคแอกเซียล ในระบบ CATV ในช่วงจากสถานีต้นทางถึงศูนย์กระจายสัญญาณได้ดี

สถาปัตยกรรมของเครือข่าย Hybrid Fiber Coaxial(HFC) ประกอบด้วยสองส่วนหลักดังนี้

1) เครือข่ายใยแก้วนำแสงใช้ในการส่งสัญญาณภาพและเสียงคุณภาพสูง จากสถานีต้นทาง (Headend) ไปสู่สถานีย่อย(Hub)และกระจายสัญญาณสู่ Fiber Node ซึ่งทำการแปลงสัญญาณแสงให้เป็นสัญญาณไฟฟ้า และส่งเข้าสู่เครือข่ายโคแอกเซียลต่อไป

2) เครือข่ายโคแอกเซียล เริ่มจาก Fiber Node เป็นตัวนำสัญญาณไปยังบ้านของผู้ใช้บริการ เครือข่ายใช้สายชนิด Coaxial และ Amplifier ต่างๆ เพื่อปรับแต่งและขยายสัญญาณตามทางจนถึงบ้านผู้ให้บริการ

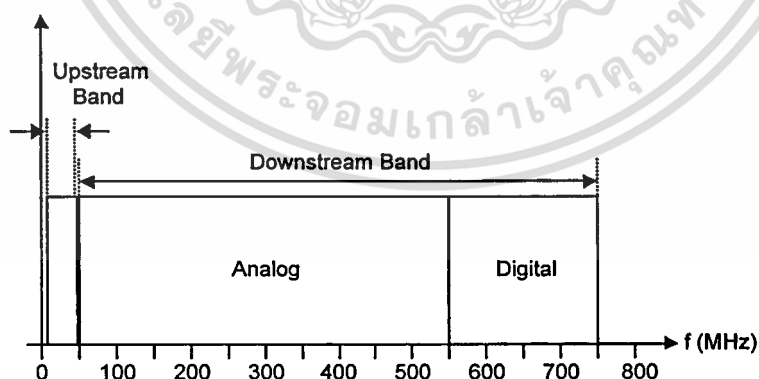
ในระบบเครือข่าย HFC มีการแบ่งความถี่ทางการเดินของสัญญาณออกเป็น 2 ส่วน คือ ย่านความถี่สัญญาณย้อนกลับ(Return Path) หรือ Upstream band และย่านความถี่สำหรับสัญญาณไปข้างหน้า (Forward Path) หรือ Downstream band โดยกำหนดให้ย่านความถี่ตั้งแต่ 5 ถึง 42 MHz เป็นย่าน Upstream band ส่วนย่านความถี่ตั้งแต่ 50 ถึง 750 MHz เป็นย่าน Downstream band ซึ่งมีการแบ่งช่องสัญญาณในย่าน Downstream band เป็น 2 ส่วน คือ ย่านความถี่ตั้งแต่ 50 ถึง 550 MHz ใช้ส่งสัญญาณรายการโทรทัศน์ต่างๆ สำหรับบริการ CATV ทั่วไป ส่วนย่านความถี่ที่เหลือคือตั้งแต่ 550 ถึง 750 MHz ใช้ในการส่งสัญญาณดิจิทัล



รูปที่ 2.1 แสดงระบบเครือข่าย Hybrid Fiber Coaxial

2.4 ระบบการสื่อสารข้อมูลบนเครือข่ายโทรทัศนชนิดใช้สายนำสัญญาณแบบ HFC

ในระบบการสื่อสารข้อมูลความเร็วสูงในย่านความถี่ Upstream Band สำหรับเครือข่ายโทรทัศนชนิดใช้สายนำสัญญาณแบบ HFC [1][2] จะประกอบด้วยอุปกรณ์ที่สำคัญสองส่วนคือ Cable Modem (CM) และ Cable Modem Termination System (CMTS)



รูปที่ 2.2 แสดงการจัดแบ่งความถี่ใช้งานในเครือข่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์ Cable Modem ใช้ในการรับส่งสัญญาณเชื่อมต่อระหว่างเครื่องคอมพิวเตอร์ของผู้ใช้บริการกับเครือข่าย HFC โดยทำหน้าที่แปลงสัญญาณดิจิทัลจากคอมพิวเตอร์ให้เป็นสัญญาณอนาล็อกแล้วจึงส่งไปตามสายส่งเข้าสู่เครือข่าย HFC โดยส่งสัญญาณในช่วงความถี่ Upstream ดังนั้นสัญญาณอนาล็อกที่ส่งจะอยู่ในช่วงความถี่ตั้งแต่ 5 MHz ถึง 42 MHz นอกจากนี้ Cable Modem ยังทำหน้าที่รับสัญญาณเข้ามาจากย่านความถี่ Downstream

สำหรับอุปกรณ์ Cable Modem Termination System (CMTS) จะติดตั้งอยู่ที่สถานีย่อย Hub เพื่อรับสัญญาณจาก Cable Modem ในย่านความถี่ Upstream และนำข้อมูลนั้นส่งกระจายต่อไปสู่ Cable Modem ชุดอื่น ในย่านความถี่ Downstream โดยที่ CMTS จะทำหน้าที่แปลงความถี่ในการเปลี่ยนข้อมูลที่ถูกรับมาในย่านความถี่ Upstream เป็นย่าน Downstream นอกจากนี้อุปกรณ์ Router ซึ่งเป็นส่วนหนึ่งของอุปกรณ์ CMTS ทำหน้าที่ควบคุมการไหลของข้อมูลภายในระบบเครือข่ายท้องถิ่นและระหว่างเครือข่ายท้องถิ่นอื่นๆ

ระบบการสื่อสารข้อมูลความเร็วสูงที่ใช้สำหรับเครือข่ายโทรทัศนิกใช้สายนำสัญญาณแบบ HFC ในช่วงความถี่ Upstream Band ตามมาตรฐานของ IEEE 802.14 และ DOCSIS ได้กำหนดวิธีการมอดูเลตเป็น 3 แบบ คือ BPSK QPSK และ 16QAM ที่ความเร็วในการมอดูเลต 5 ระดับคือ 160, 320, 640, 1,280 และ 2,560 Ksymbols ต่อวินาที ในช่วงความถี่ตั้งแต่ 5 ถึง 42 MHz

บทที่ 3

ทฤษฎีการมอดูเลตและดีมอดูเลตสัญญาณดิจิทัล

3.1 กล่าวนำ

อุปกรณ์มอดูเลตและดีมอดูเลตสัญญาณดิจิทัล ที่พัฒนาในวิทยานิพนธ์นี้ใช้การมอดูเลตและดีมอดูเลตแบบ QPSK ซึ่งจะอธิบายในหัวข้อ 3.2 ในส่วนการมอดูเลตจะใช้หลักการคูณสัญญาณข้อมูลกับสัญญาณคลื่นพาห์ และส่วนดีมอดูเลตจะใช้หลักการตรวจจับความต่างเฟส เพื่อนำสัญญาณข้อมูลเดิมที่ถูกมอดูเลตกลับคืนมา ทฤษฎีการคูณสัญญาณจะอธิบายในหัวข้อ 3.4 ทฤษฎีการตรวจจับความต่างเฟสจะอธิบายไว้ในหัวข้อ 3.5 และทฤษฎีการเลื่อนเฟสจะอธิบายไว้ในหัวข้อ 3.7

ในระบบการรับส่งสัญญาณ การซิงโครไนซ์(Synchronization) เป็นส่วนที่สำคัญ วิทยานิพนธ์ฉบับนี้จึงใช้วิธีการสังเคราะห์ความถี่แบบเฟสล็อกคูลูป ซึ่งจะกล่าวในหัวข้อ 3.3 ทฤษฎีวงจรรองความถี่จะอธิบายในหัวข้อที่ 3.6 คุณภาพของระบบการรับส่งสัญญาณอธิบายโดยอัยโคแกรม(Eye Diagram) ในหัวข้อ 3.8 อธิบาย Timing Jitter ในหัวข้อ 3.9 และอธิบายความน่าจะเป็นของค่าผิดพลาดและอัตราบิดเบือนผิดพลาดในหัวข้อ 3.10

3.2 ทฤษฎีการมอดูเลตและดีมอดูเลตสัญญาณดิจิทัล

การมอดูเลตคือการนำสัญญาณข้อมูลข่าวสารผสมเข้ากับคลื่นสัญญาณความถี่สูง ส่วนการดีมอดูเลตคือการแยกสัญญาณข้อมูลข่าวสารที่มอดูเลตบนคลื่นสัญญาณกลับคืนมา หลักการมอดูเลตใช้คลื่นไซน์ที่มีความถี่สูงมาเป็นพาหะหรือเรียกว่า คลื่นพาห์ มาทำการเปลี่ยนแปลงคุณสมบัติบางอย่างด้วยสัญญาณข้อมูลข่าวสาร

สมการทางคณิตศาสตร์ของคลื่น ไซน์ที่ใช้เป็นพาหะเขียนได้ดังนี้

$$v(t) = A \sin(\omega_c t + \theta) \quad ; \omega_c = 2\pi f_c \quad (3.1)$$

โดยที่ $v(t)$ คือ ค่าแรงดันของคลื่นพาห์ใดๆ มีหน่วยเป็น Volt

A คือ แอมพลิจูดสูงสุดของคลื่นพาห์ มีหน่วยเป็น V_{peak}

ω_c คือ ความถี่เชิงมุม มีหน่วยเป็น radian/second

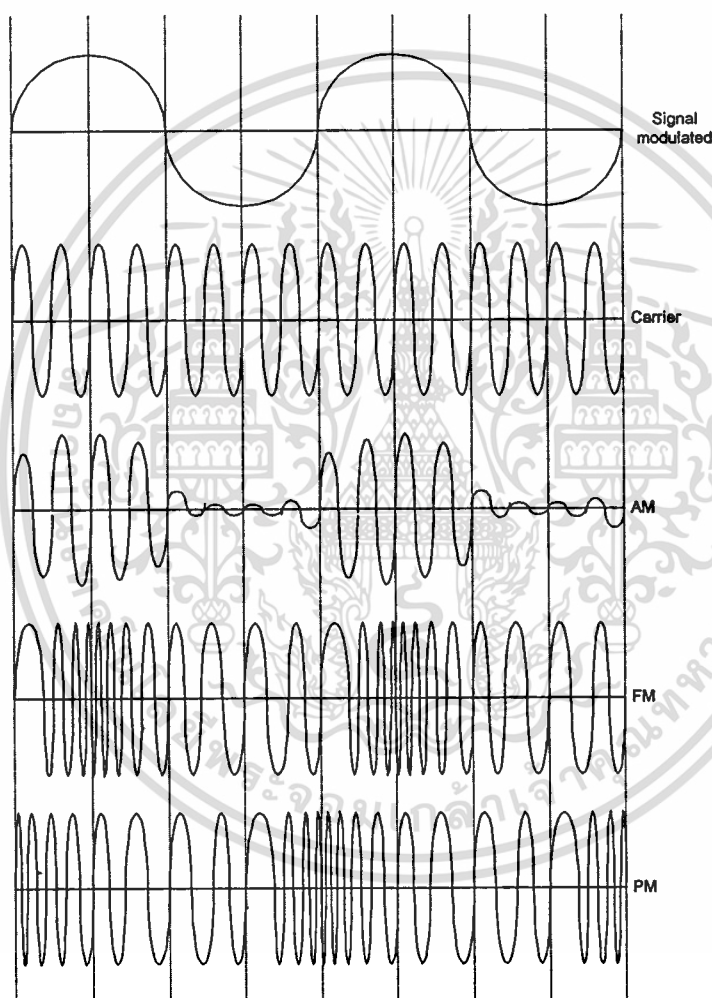
t คือ เวลา มีหน่วยเป็น second

θ คือ เฟส หรือ มุม มีหน่วยเป็น radian

f_c คือ ความถี่ มีหน่วยเป็น เฮิรตซ์ (Hertz)

จากสมการข้างต้น คุณสมบัติของคลื่นรูปไซน์ที่สามารถเปลี่ยนแปลงหรือมอดูเลตได้ คือ แอมพลิจูด (A) ความถี่เชิงมุม (ω_c) หรือความถี่ (f_c) และเฟส เพราะฉะนั้นการมอดูเลตจึงแบ่งออกได้เป็น 3 แบบ คือ

1. การมอดูเลตทางแอมพลิจูด (amplitude modulation ; AM)
2. การมอดูเลตทางความถี่ (frequency modulation ; FM)
3. การมอดูเลตทางเฟส (phase modulation ; PM)

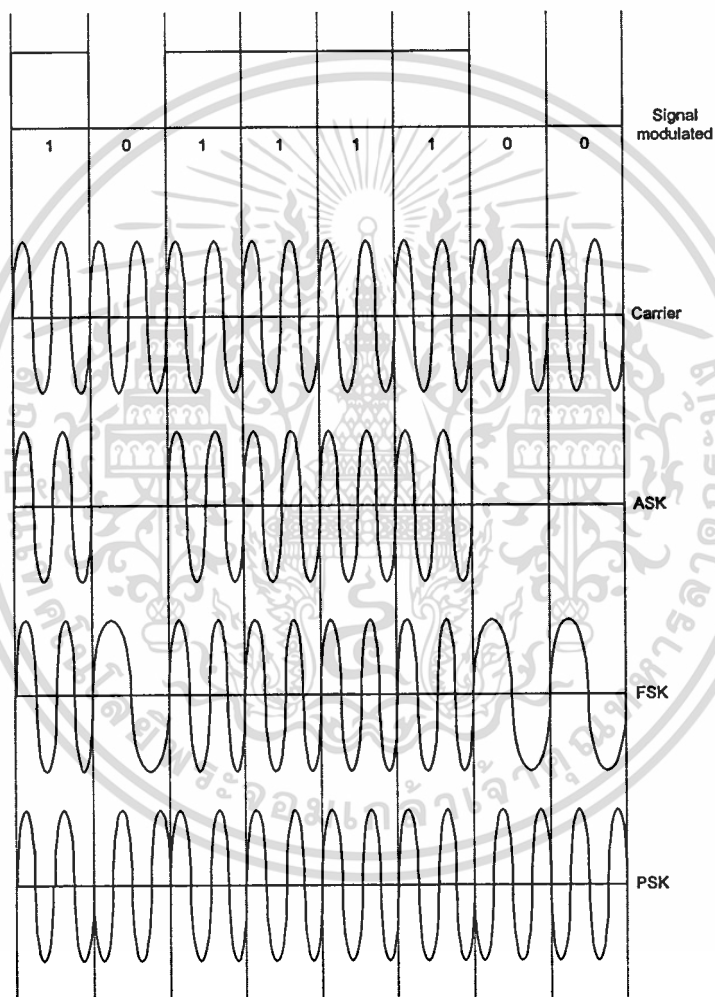


รูปที่ 3.1 แสดงลักษณะการมอดูเลตสัญญาณแบบ AM, FM และ PM

จากรูปที่ 3.1 เป็นการแสดงลักษณะการมอดูเลตของข้อมูลที่เป็นสัญญาณแบบอนาล็อก การสื่อสารในปัจจุบันนิยมใช้สัญญาณแบบดิจิทัล เนื่องจากมีความแน่นอนน่าเชื่อถือสูงกว่าแบบอนาล็อก นอกจากนี้แล้วการสื่อสารแบบดิจิทัลยังสามารถทำการเข้ารหัสก่อนทำการมอดูเลต แล้วจึงทำการถอด

รหัสหลังจากการติ่มอดูเลต ดังนั้นจึงทำให้ความผิดพลาดในการสื่อสารรับส่งข้อมูลลดลง ในการมอดูเลตระบบดิจิตอลจะใช้คุณสมบัติของคลื่นรูปไซน์ที่สามารถเปลี่ยนแปลงหรือมอดูเลตได้ทั้ง 3 แบบเช่นเดียวกับระบบการมอดูเลตแบบอนาลอก ดังนั้นระบบการมอดูเลตแบบดิจิตอลจึงมี 3 แบบ คือ

1. การเปลี่ยนขนาดตามสัญญาณดิจิตอล (Amplitude Shift Keying ; ASK)
2. การเปลี่ยนความถี่ตามสัญญาณดิจิตอล (Frequency Shift Keying ; FSK)
3. การเปลี่ยนเฟสตามสัญญาณดิจิตอล (Phase Shift Keying ; PSK)



รูปที่ 3.2 แสดงลักษณะการมอดูเลตสัญญาณแบบ ASK, FSK และ PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 การมอดูเลตแบบเปลี่ยนเฟสสัญญาณคลื่นพาห้

การมอดูเลตแบบเปลี่ยนเฟสคลื่นพาห้ (Phase Shift Keying)[3] คือ การนำสัญญาณดิจิทัลมาทำการเปลี่ยนเฟสสัญญาณคลื่นพาห้ กรณีที่สัญญาณดิจิทัล มี M ระดับ เฟสของคลื่นพาห้จะถูกแบ่งออกเป็น M ค่าเพื่อแทนสัญญาณในแต่ละระดับ สัญญาณที่ถูกมอดูเลตแล้วจะแสดงได้ดังสมการ 3.2

$$\text{เมื่อ} \quad s(t) = A \sum_k \cos(\omega_c t + \phi_k) p(t - kD) \quad (3.2)$$

$$\text{โดยที่} \quad \phi_k = \frac{\pi(2a_k + 1)}{M} ; a_k = 0, 1, 2, \dots, M-1 \quad (3.3)$$

$s(t)$ คือ สัญญาณที่ได้จากการมอดูเลต

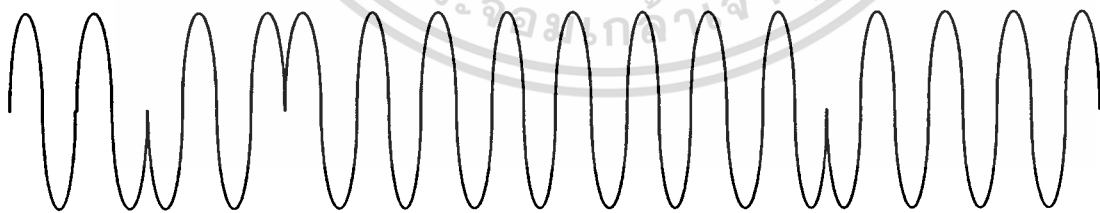
ϕ_k คือ เฟสของสัญญาณที่มอดูเลต (radian) ของบิต k

D คือ ความกว้างของพัลส์ (second)

M คือ ระดับสัญญาณ

k คือ เลขจำนวนเต็ม

$p(t - kD)$ คือสัญญาณพัลส์(Pulse signal)ที่มีค่าเป็นลอจิก 1 ซึ่งอยู่ในช่วง kD ถึง $(k+1)D$ และมีความกว้างของพัลส์เท่ากับ D สัญญาณ PSK จากสมการ 3.2 แสดงว่าเฟสของสัญญาณจะเปลี่ยนแปลงตามระดับของสัญญาณดิจิทัล และขนาดของคลื่นพาห้ไม่เปลี่ยนแปลง ในกรณีที่ เป็นสัญญาณแบบ 2 ระดับ ($M = 2$) เฟสของสัญญาณพัลส์ลอจิก 0 จะตรงข้ามกันกับลอจิก 1 รูปที่ 3.3 แสดงรูปคลื่นของสมการที่ M มีค่าเป็น 2



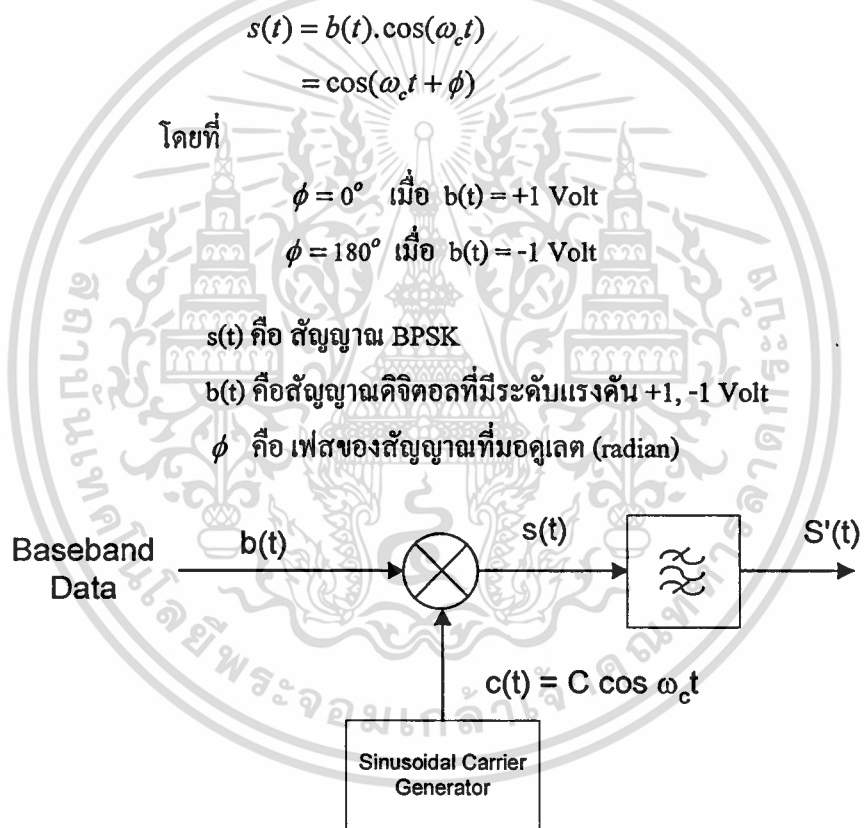
1 0 1 1 1 1 0 0

รูปที่ 3.3 แสดงรูปคลื่น PSK แบบ 2 ระดับ

3.2.2 การมอดูเลตและดีมอดูเลตแบบ BPSK (Binary Phase Shift Keying)

3.2.2.1 การมอดูเลตแบบ BPSK

การมอดูเลตแบบ BPSK จะนำสัญญาณคลื่นพาห้มาคูณกับสัญญาณดิจิทัลซึ่งจะต้องมีระดับแรงดันเป็นบวกและลบ เพื่อให้ได้เอาต์พุตจากวงจรคูณเป็นสัญญาณคลื่นพาห้ที่มีการเปลี่ยนแปลงเฟสตามสัญญาณดิจิทัล จากสมการ $s(t)$ เป็นเอาต์พุตที่ได้จากการคูณสัญญาณดิจิทัล $b(t)$ กับคลื่นพาห้ $\cos(\omega_c t)$ ซึ่งจะได้สมการเป็น $\cos(\omega_c t + \phi)$ โดยที่ $\phi = 0^\circ$ เมื่อ $b(t) = +1$ Volt และ $\phi = 180^\circ$ เมื่อ $b(t) = -1$ Volt จากรูป $S'(t)$ เป็นสัญญาณ $s(t)$ ที่ผ่านวงจร Band Pass Filter เพื่อให้ได้ลักษณะของสัญญาณ BPSK ที่ชัดเจน



รูปที่ 3.4 แสดงบล็อกไดอะแกรมการมอดูเลตแบบ BPSK

3.2.2.2 การดีมอดูเลตแบบ BPSK

การดีมอดูเลตสัญญาณ[5] โดยทั่วไปสามารถแบ่งได้เป็น 2 แบบ ดังนี้

1. อินโคฮีเรนท์ดีเทกชัน (Incoherent detection) คือการที่ภาครับไม่ต้องการสัญญาณอ้างอิงเพื่อดีเทกต์สัญญาณข้อมูล ระบบการดีเทกต์แบบนี้จะสามารถดีเทกต์ได้โดยตรงจากการเปลี่ยนแปลงที่

ประกอบอยู่ในสัญญาณที่สามารถรับเข้ามาได้ ตัวอย่างของการดีเทกต์แบบนี้ คือ การมอดูเลตแบบแอมพลิจูดมอดูเลชัน (Amplitude Modulation:AM)

2. โคฮีเรนต์ดีเทกชัน (Coherent detection) คือระบบดีมอดูเลตที่ต้องการสัญญาณอ้างอิง เพื่อใช้ในการเปรียบเทียบสัญญาณที่สามารถรับมาได้ด้วยสัญญาณอ้างอิง แล้วจึงทำการดีเทกต์สัญญาณข้อมูลในระบบการดีมอดูเลตสัญญาณ PSK จะเป็นระบบโคฮีเรนต์ดีเทกชัน ซึ่งใช้หลักการคูณสัญญาณที่รับเข้ามาด้วยคลื่นพาห้อ้างอิง

การดีมอดูเลตจะนำสัญญาณ BPSK มาคูณกับคลื่นพาห้ที่มีความถี่เท่ากัน สัญญาณที่ได้จากวงจรคูณจะประกอบด้วยส่วนของความถี่สูงและความถี่ต่ำ ส่วนความถี่สูงจะถูกกรองทิ้ง โดยวงจร Low Pass Filter เหลือเฉพาะความถี่ต่ำเท่านั้น เอาต์พุตที่ได้จะมีระดับแรงดัน +1 Volt เมื่อเฟสของ $\phi = 0^\circ$ และจะมีระดับแรงดัน -1 Volt เมื่อเฟสของ $\phi = 180^\circ$ ตามสมการ 3.5

$$\begin{aligned} m(t) &= s(t) \cdot \cos(\omega_c t) \\ &= \cos(\omega_c t + \phi) \cdot \cos(\omega_c t) \\ &= \cos(2\omega_c t + \phi) + \cos(\phi) \end{aligned} \quad (3.5)$$

เมื่อ $m(t)$ คือสัญญาณที่ได้จากวงจรคูณ

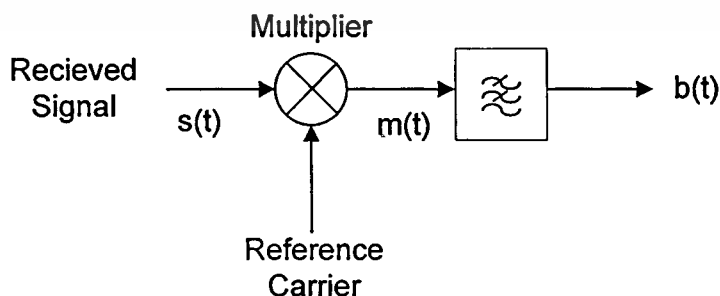
เมื่อนำสมการที่ 3.5 มาผ่านวงจรกรองความถี่ต่ำผ่านจะได้ค่า $b(t)$ ตามสมการ 3.6

$$b(t) = \cos(\phi) \quad (3.6)$$

โดยที่

$$b(t) = +1 \text{ Volt} \quad \text{เมื่อ } \phi = 0^\circ$$

$$b(t) = -1 \text{ Volt} \quad \text{เมื่อ } \phi = 180^\circ$$



รูปที่ 3.5 แสดงบล็อกไดอะแกรมการดีมอดูเลตแบบ BPSK

3.2.3 การมอดูเลตและดีมอดูเลตแบบ QPSK (Quadriphase Shift Keying)

3.2.3.1 การมอดูเลตแบบ QPSK

การมอดูเลตแบบ QPSK เป็นการนำสัญญาณ NRZ(Non-return-to-zero) มาแยกเป็นบิตคู่และบิตคี่โดยวงจร SIPO(Serial-in-parallel-out) และนำมาคูณกับสัญญาณคลื่นพาห้เช่นเดียวกับการมอดูเลตแบบ BPSK โดยบิตคู่จะคูณกับคลื่นพาห้เฟสปกติและบิตคี่จะคูณกับคลื่นพาห้ที่ถูกเลื่อนเฟสไป 90 องศา เมื่อนำสัญญาณจากวงจรคูณทั้งสองมารวมกันแล้วจึงได้เป็นสัญญาณ QPSK บล็อกไดอะแกรมของการมอดูเลตแบบ QPSK ได้ถูกแสดงในรูปที่ 3.6

จากสมการ 3.7 $s(t)$ เป็นสัญญาณ QPSK ที่ได้จากการนำสัญญาณบิตคู่ $b_i(t)$ มาคูณกับคลื่นพาห้ที่มีเฟสปกติ และมารวมกับสัญญาณบิตคี่ $b_q(t)$ ที่คูณกับคลื่นพาห้ที่ถูกเลื่อนเฟสไป 90 องศา

$$s(t) = b_i(t) \cdot \cos(\omega_c t) - b_q(t) \cdot \sin(\omega_c t) \tag{3.7}$$

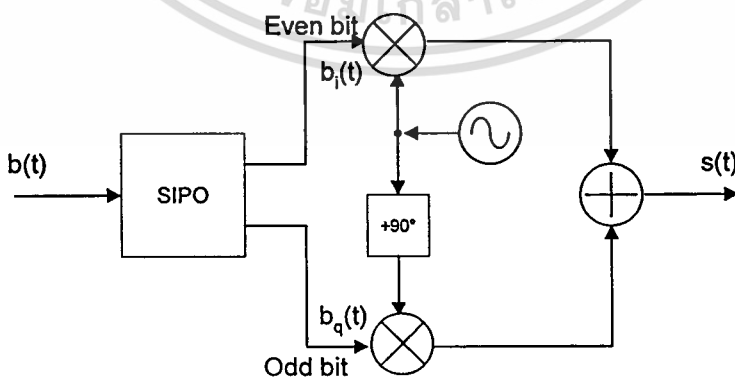
$$s(t) = A \cdot \sqrt{2} \cdot \cos(\omega_c t + \phi) \tag{3.8}$$

โดยที่

$$\phi = \tan^{-1} \left[\frac{b_q(t)}{b_i(t)} \right] \tag{3.9}$$

ϕ มีค่า 45,135,225 หรือ 315 องศา

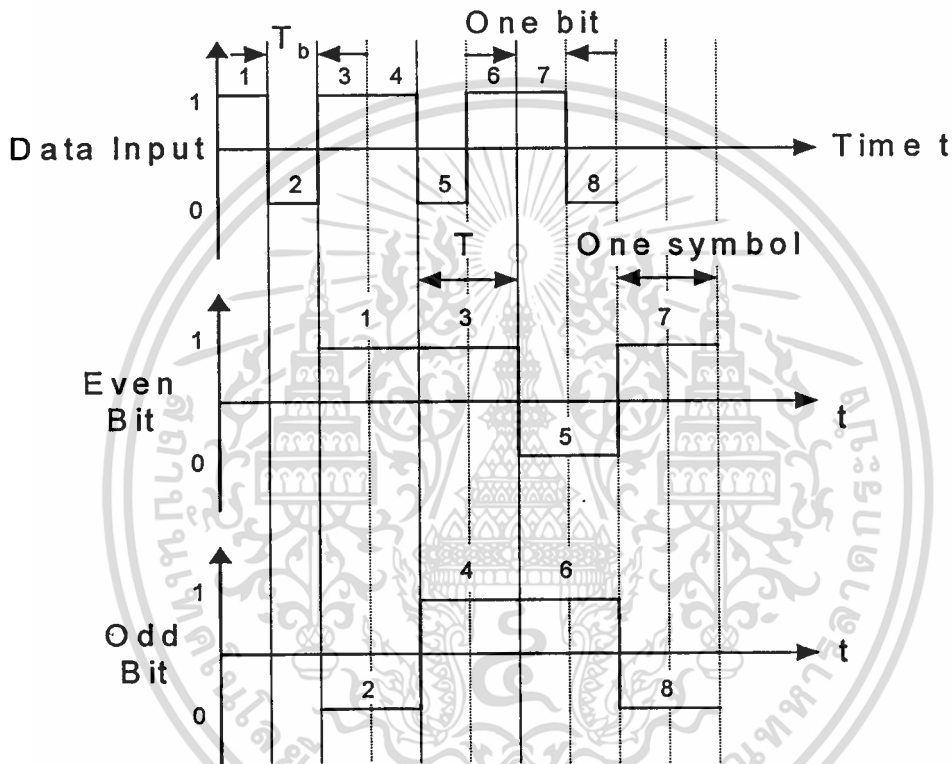
ค่า $\sqrt{2}$ ในสมการ 3.8 ได้จาก $\sqrt{b_i^2(t) + b_q^2(t)}$ ซึ่ง $b_i(t)$ และ $b_q(t)$ มีค่าเป็น ± 1 Volt แล้วแต่ค่าลอจิกของบิต



รูปที่ 3.6 บล็อกไดอะแกรมของการมอดูเลตแบบ QPSK

ในระบบการมอดูเลตแบบ QPSK [4] สัญญาณที่ถูกมอดูเลตจะมีสถานะของเฟสแตกต่างกัน 4 สถานะ โดยสถานะเหล่านี้จะเกิดจากการรวมของบิตที่ติดต่อกัน 2 บิต เป็นรูปแบบของไคบิต (Dibit) ซึ่งจะมีช่วงเวลาระหว่าง Dibit(T) เท่ากับ 2 เท่าของช่วงเวลาระหว่าง Bit(T_b) ดังรูปที่ 3.7

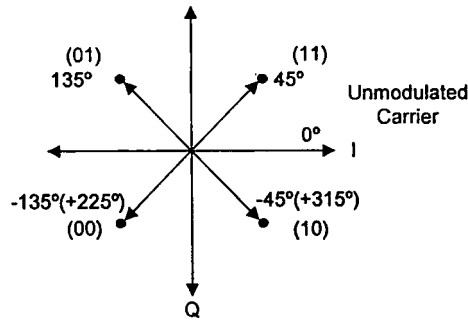
$$T = 2T_b \quad (3.10)$$



รูปที่ 3.7 แสดง Timing Diagram ของข้อมูล

สถานะสัญญาณทั้ง 4 สถานะมีดังนี้

$$\begin{aligned} S_{00}(t) &= A \cdot \cos(\omega_c t + 225) \\ S_{01}(t) &= A \cdot \cos(\omega_c t + 135) \\ S_{10}(t) &= A \cdot \cos(\omega_c t + 315) \\ S_{11}(t) &= A \cdot \cos(\omega_c t + 45) \end{aligned} \quad (3.11)$$

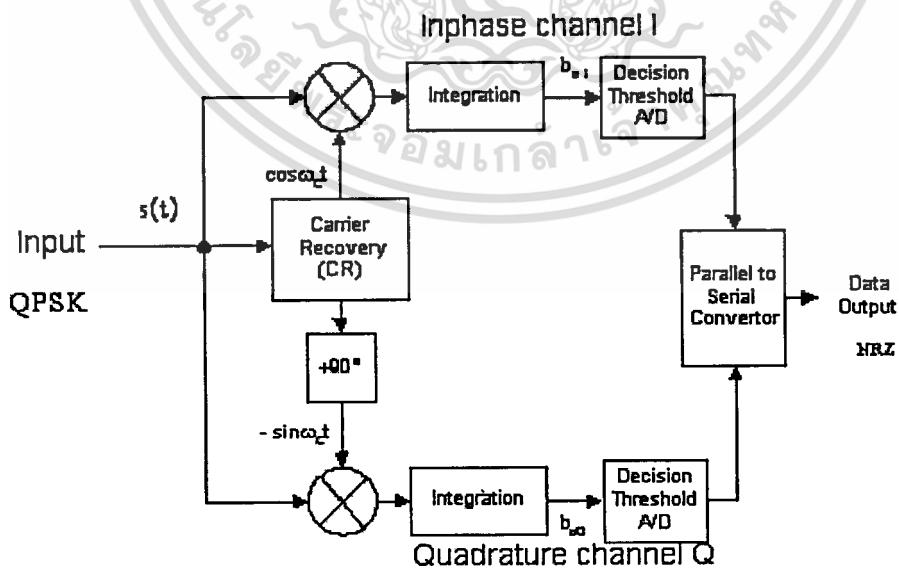


รูปที่ 3.8 แสดงเวกเตอร์โคออร์ดิเนตของสถานะสัญญาณต่างๆ

รูปที่ 3.8 แสดงเวกเตอร์โคออร์ดิเนตของแต่ละสถานะสัญญาณ ซึ่งมีตำแหน่งในเวกเตอร์ต่างกัน 90 องศา หรือเฟสต่างกัน 90 องศา นั่นเอง

3.2.3.2 การดีมอดูเลตแบบ QPSK

การดีมอดูเลตสัญญาณ QPSK ประกอบด้วยการคูณสัญญาณสองชุดกับสัญญาณคลื่นพาห์ และการกู้สัญญาณคลื่นพาห์ สัญญาณคลื่นพาห์ที่ถูกกู้คืนมาจะถูกส่งเข้าวงจรคูณ โดยตรงและอีกชุดถูกเลื่อนเฟส 90 องศา ก่อนจึงจะเข้าวงจรคูณกับสัญญาณ QPSK เอาต์พุตที่ได้จากวงจรคูณจะประกอบด้วยสัญญาณความถี่สูงและความถี่ต่ำ ส่วนสัญญาณความถี่สูงจะถูกกรองออกเหลือเฉพาะความถี่ต่ำเท่านั้น สัญญาณความถี่ต่ำที่ได้จะมีแรงดันเป็นบวกหรือลบ ส่วนระดับแรงดันลบจะถูกแปลงระดับแรงดันเป็นศูนย์ ก่อนเข้าวงจร PISO (Parallel-in-serial-out) เพื่อรวมสัญญาณดิจิทัลและส่งออกเป็นสัญญาณ NRZ ต่อไป ดังรูป 3.9



รูปที่ 3.9 แสดงบล็อกโคออร์ดิเนตการดีมอดูเลตสัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณบิตคู่จะถูกกู้ด้วยการคูณกับคลื่นพาห์ที่กู้คืนมา ซึ่งสามารถแสดงได้ดังนี้

$$\begin{aligned}
 b_{oI} &= \int_0^T \{ [b_i(t) \cdot \cos(\omega_c t) - b_q(t) \cdot \sin(\omega_c t)] \cos(\omega_c t) \} dt \\
 &= \int_0^T [b_i(t) \cdot \cos^2(\omega_c t) - b_q(t) \cdot \sin(\omega_c t) \cdot \cos(\omega_c t)] dt \\
 &= \int_0^T \left\{ b_i(t) \left[\frac{1 + \cos(2\omega_c t)}{2} \right] - b_q(t) \left[\frac{\sin(2\omega_c t)}{2} \right] \right\} dt \\
 &= \frac{1}{2} \int_0^T \{ b_i(t) + b_i(t) \cdot \cos(2\omega_c t) - b_q(t) \cdot \sin(2\omega_c t) \} dt \\
 &= \frac{1}{2} \int_0^T b_i(t) dt \\
 &= \frac{1}{2} b_i T \quad ; b_i = +1, -1 \text{ Voltage} \quad (3.12)
 \end{aligned}$$

• และกรณีของสัญญาณบิตคี่จะทำการคูณสัญญาณ QPSK กับสัญญาณคลื่นพาห์ที่ถูกเลื่อนเฟสไป 90 องศา

$$\begin{aligned}
 b_{oQ} &= \int_0^T \{ [b_q(t) \cdot \sin(\omega_c t) - b_i(t) \cdot \cos(\omega_c t)] \sin(\omega_c t) \} dt \\
 &= \int_0^T [b_q(t) \cdot \sin^2(\omega_c t) - b_i(t) \cdot \cos(\omega_c t) \cdot \sin(\omega_c t)] dt \\
 &= \int_0^T \left\{ b_q(t) \left[\frac{1 - \cos(2\omega_c t)}{2} \right] - b_i(t) \left[\frac{\sin(2\omega_c t)}{2} \right] \right\} dt \\
 &= \frac{1}{2} \int_0^T \{ b_q(t) - b_q(t) \cdot \cos(2\omega_c t) - b_i(t) \cdot \sin(2\omega_c t) \} dt \\
 &= \frac{1}{2} \int_0^T b_q(t) dt \\
 &= \frac{1}{2} b_q T \quad ; b_q = +1, -1 \text{ Voltage} \quad (3.13)
 \end{aligned}$$

เมื่อได้ทั้งสัญญาณบิตคู่และบิตคี่แล้วจึงนำสัญญาณทั้งสองไปแปลงข้อมูลจากแบบขนานเป็นแบบอนุกรม เพื่อให้ได้สัญญาณ NRZ

3.2.4 แแถบความถี่และประสิทธิภาพทางแถบความถี่ของโมเด็มแบบ QPSK [4]

แถบความถี่ของสัญญาณ QPSK สามารถสร้างได้จากหลักการวางซ้อน(Superposition)ของแถบความถี่ของสัญญาณ BPSK จำนวน 2 แถบความถี่ ดังนั้นรูปแบบกำลังของแถบความถี่จากสมการ 3.14 จะไม่มีการเปลี่ยนแปลง อย่างไรก็ตามจะสามารถสังเกตเห็นว่าสัญญาณเบสแบนด์ด้าน I และ Q แบบ NRZ จะมีค่า $f_s = f_b/2$ (f_s คือความถี่ของสัญญาณ และ f_b คือความถี่ของข้อมูล) ดังนั้นจะได้สมการของกำลังทางแถบความถี่ของสัญญาณ QPSK[4] ดังสมการที่ 3.15

$$S_{BPSK} = KA^2 T_b \left[\frac{\sin \pi(f - f_c)T_b}{\pi(f - f_c)T_b} \right]^2 \quad (3.14)$$

เมื่อ KA^2 คือกำลังของสัญญาณทั้งหมดที่นอร์มอลไลต์ด้วยค่าความต้านทาน 1 โอห์ม(ohm)

K คือค่าคงที่ประสิทธิภาพของการคูณ

$T_b = 1 / f_b$ คือ ช่วงเวลาระหว่างบิต

$$S_{QPSK}(f) = CA^2 T \left[\frac{\sin \pi(f - f_c)T}{\pi(f - f_c)T} \right]^2 \quad (3.15)$$

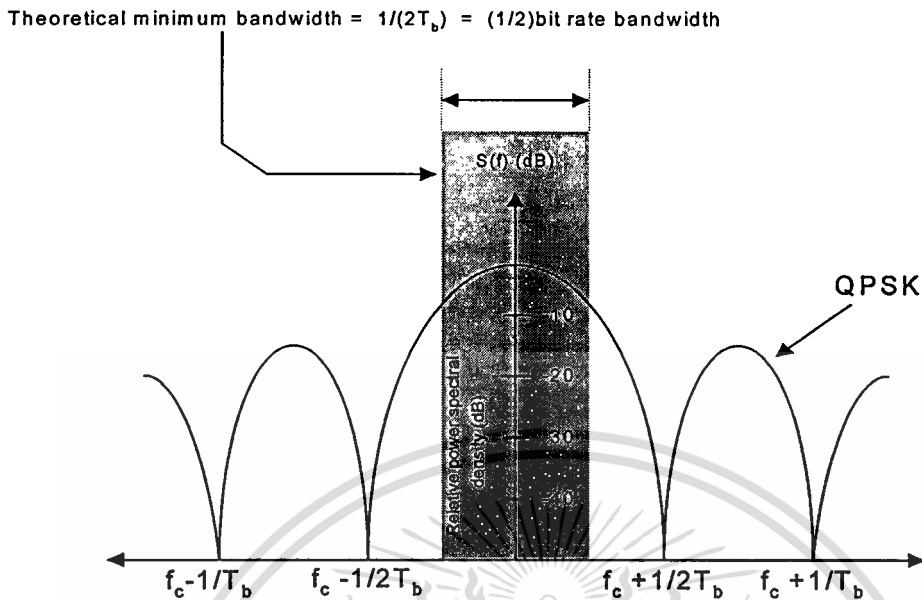
หรือ

$$S_{QPSK}(f) = CA^2 T_b \left[\frac{\sin 2\pi(f - f_c)T_b}{2\pi(f - f_c)T_b} \right]^2 \quad (3.16)$$

เมื่อ CA^2 คือกำลังของสัญญาณทั้งหมดที่นอร์มอลไลต์ด้วยค่าความต้านทาน 1 โอห์ม

C คือค่าคงที่ประสิทธิภาพของการคูณ

$T = 1 / f_s$ คือ ช่วงเวลาระหว่างสัญลักษณ์ของช่องสัญญาณ I และ Q



รูปที่ 3.10 แสดงความหนาแน่นของกำลังด้านแถบความถี่

3.3 การสังเคราะห์ความถี่

การสังเคราะห์ความถี่คือการผลิตสัญญาณความถี่ตามการออกแบบที่ต้องการ โดยการสังเคราะห์ความถี่สามารถแบ่งได้เป็น 2 วิธี คือ

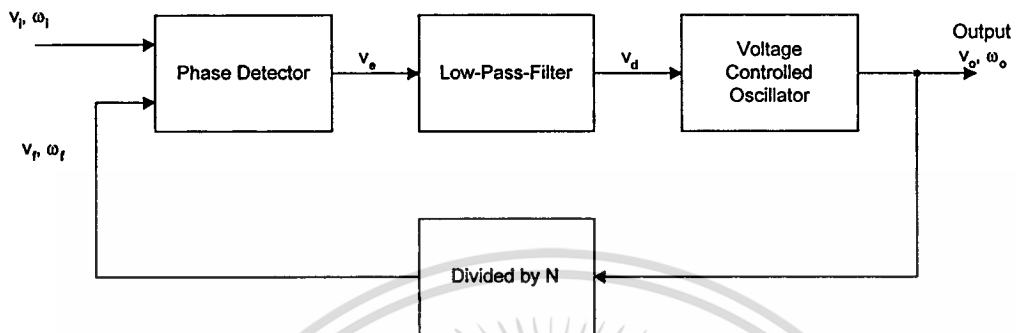
1. วิธีสังเคราะห์ความถี่โดยตรง (Direct Synthesis) คือการนำความถี่หลายค่ามาผสมกันเพื่อให้ได้ความถี่ที่ต้องการ วิธีนี้จะต้องใช้คริสตอลเป็นชุดควบคุมความถี่จำนวนหลายชุด
2. วิธีสังเคราะห์โดยอ้อม (Indirect Synthesis) คือนำหลักการเฟสล็อกคูลูปมาใช้ซึ่งจะอาศัยส่วนกำเนิดสัญญาณจากวงจรออสซิลเลเตอร์ (Oscillator circuit) ที่ควบคุมความถี่ได้ โดยปรับแรงดันของ Voltage Controlled Oscillator (VCO) สัญญาณจาก VCO จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิงแล้วนำผลลัพท์ความถี่คลาดเคลื่อนมาแปลงเป็นแรงดัน นำไปควบคุมการออสซิลเลตของ VCO อีกครั้งหนึ่ง

อุปกรณ์มอดูเลตและการดีมอดูเลตที่เสนอในวิทยานิพนธ์ฉบับนี้ จะใช้หลักการสังเคราะห์ความถี่แบบเฟสล็อกคูลูป เพื่อการซิงโครไนซ์ระหว่างภาครับและส่ง

3.3.1 ทฤษฎีเฟสล็อกคูลูป (Phase Lock Loop)

เฟสล็อกคูลูป [6] เป็นระบบที่ใช้การป้อนกลับของสัญญาณในการล็อกความถี่เอาต์พุต โดยเปรียบเทียบเฟสของสัญญาณอินพุต (Input signal) กับสัญญาณเอาต์พุต (Output signal) เฟสล็อกคูลูปสามารถนำ

ไปใช้สำหรับการกรองสัญญาณ การสังเคราะห์ความถี่ ระบบควบคุมความเร็วของมอเตอร์ หรือการแยกความถี่ เป็นต้น เฟสล็อกคัลสามารถใช้อุปกรณ์ได้ทั้งแบบอนาลอกและแบบดิจิทัล



รูปที่ 3.11 แสดงบล็อกไดอะแกรมของเฟสล็อกคัล

รูปที่ 3.11 แสดงบล็อกไดอะแกรมของเฟสล็อกคัล ซึ่งประกอบด้วย ภาคตรวจจับเฟส ภาคกรองสัญญาณความถี่ต่ำผ่าน ภาคกำเนิดความถี่ที่ถูกควบคุมด้วยแรงดัน และภาคหารความถี่ N ซึ่งเป็นส่วนป้อนกลับสัญญาณเอาต์พุตจากภาคกำเนิดความถี่ที่ถูกควบคุมด้วยแรงดันป้อนกลับมายังภาคตรวจจับเฟส

ภาคตรวจจับเฟสทำหน้าที่เปรียบเทียบความแตกต่างระหว่างเฟสของสัญญาณอินพุต V_i กับสัญญาณป้อนกลับ V_r เมื่อเกิดความแตกต่างทางเฟสของสัญญาณทั้งสอง (เนื่องจากความถี่ไม่ตรงกัน) จะทำให้เกิดสัญญาณแรงดันผิดพลาดออกมาส่งเข้าวงจรกรองสัญญาณความถี่ต่ำผ่าน สัญญาณแรงดันเอาต์พุตจากภาคกรองสัญญาณความถี่ต่ำผ่าน จะเป็นสัญญาณควบคุมภาคกำเนิดความถี่ที่ถูกควบคุมด้วยแรงดัน เพื่อควบคุมการเปลี่ยนแปลงความถี่ของสัญญาณ V_r ให้มีค่าความถี่เท่ากับสัญญาณอินพุต V_i โดยวงจรกำเนิดความถี่ที่ถูกควบคุมด้วยแรงดันจะผลิตความถี่เป็น N เท่าของความถี่สัญญาณอินพุต

3.3.2 ภาคตรวจจับเฟส

วงจรดิจิทัลถูกนำมาใช้ในส่วนตรวจจับเฟสซึ่งทำหน้าที่เปรียบเทียบความถี่ของสัญญาณพัลส์เอาต์พุตที่ได้จะเป็นพัลส์ที่มีขนาดความกว้างเปลี่ยนแปลงตามความแตกต่างของการเหลื่อมของอินพุตทั้งสอง วงจรตรวจจับเฟสที่ใช้ในการมอดูเลตคือแบบเฟส-ความถี่

ภาคตรวจจับเฟสแบบเฟส-ความถี่ สัญญาณเอาต์พุตไม่ได้ขึ้นอยู่กับค่าความผิดพลาดทางเฟส θ_c เท่านั้น แต่ยังขึ้นอยู่กับค่าความผิดพลาดทางความถี่ รูปที่ 3.12 แสดงลักษณะของวงจรตรวจจับเฟสแบบ

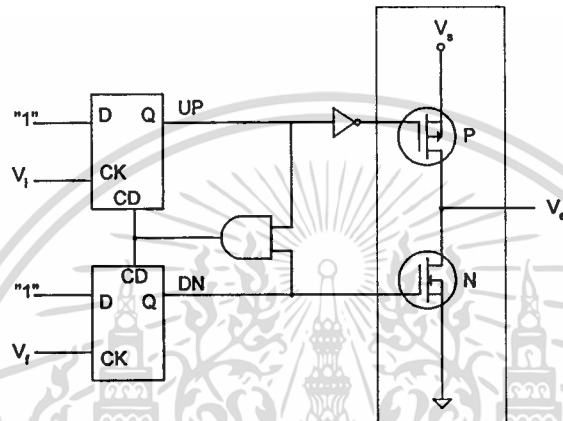
เฟสความถี่ ซึ่งประกอบด้วย D Flip-Flop จำนวน 2 ชุด ซึ่งมีเอาต์พุตคือ UP และ DN ภาคตรวจจับเฟสแบบนี้ สามารถตรวจจับสถานะได้ 4 สถานะ ดังนี้

UP=0,DN=0

UP=1,DN=0

UP=0,DN=1

UP=1,DN=1



รูปที่ 3.12 แสดงลักษณะของวงจรตรวจจับเฟสแบบเฟส-ความถี่

สถานะที่สี่ UP=1,DN=1 จะถูกกำจัดทิ้งไป โดย AND เกทที่ต่อดังรูปที่ 3.12 เนื่องจากเมื่อ Flip-Flop ทั้งสองชุดมีสถานะเป็น 1 เอาต์พุตของ AND เกทจะเป็น 1 ทำให้เกิดการรีเซต Flip-Flop ทั้งสอง ดังนั้นสถานะของวงจรจะเหลือเพียง 3 สถานะ โดยมีสถานะเป็น -1, 0 และ +1 ดังนี้

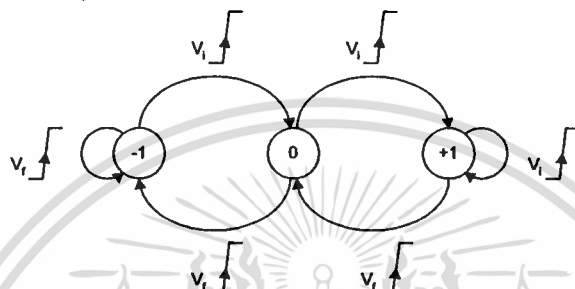
UP=0,DN=1 กำหนดให้เป็นสถานะ -1

UP=0,DN=0 กำหนดให้เป็นสถานะ 0

UP=1,DN=0 กำหนดให้เป็นสถานะ +1

สถานะของภาคตรวจจับเฟสแบบนี้ สามารถกำหนดได้จากพัลส์ขอบขาขึ้นของสัญญาณ V_i และ V_r ดังรูปที่ 3.13 เมื่อสัญญาณ V_i เป็นพัลส์ขอบขาขึ้น ภาคตรวจจับเฟสแบบเฟส-ความถี่จะเปลี่ยนแปลงโดยมีสถานะสูงขึ้น เว้นเสียแต่ว่า ได้อยู่ในสถานะ +1 อยู่แล้ว ในทำนองเดียวกัน เมื่อสัญญาณ V_r เป็นพัลส์ขอบขาขึ้น ภาคตรวจจับเฟสแบบเฟส-ความถี่จะเปลี่ยนแปลงโดยมีสถานะต่ำลง เว้นเสียแต่ว่า ได้อยู่ในสถานะ -1 อยู่แล้ว ดังนั้นเมื่อภาคตรวจจับเฟสมีสถานะเป็น +1 เอาต์พุต V_o จะเป็นค่าบวก เมื่อภาคตรวจจับเฟสมีสถานะเป็น -1 เอาต์พุต V_o จะเป็นค่าลบ และเมื่อภาคตรวจจับเฟสมีสถานะเป็น 0 เอาต์พุต V_o จะเป็นค่าศูนย์ ซึ่งจะเห็นว่าสัญญาณเอาต์พุต V_o มี 3 ระดับ แต่วงจรลอจิกทั่วไปจะให้เอาต์พุตเป็นสัญญาณไบนารี ดังนั้นสถานะที่ 3 ($V_o = 0$) สามารถแสดงได้ด้วยสถานะความต้านทานสูง (High

Impedance) วงจรภายในเส้นประในรูปที่ 3.12 แสดงการกำเนิดของสัญญาณ V_c เมื่อสัญญาณสถานะ UP เป็นสถานะสูง (UP=1) ที่แขนแนลมอสทรานซิสเตอร์จะนำกระแส ซึ่งทำให้ V_c มีค่าเท่ากับแรงดันบวกของแหล่งจ่าย V_s เมื่อสัญญาณ DN มีสถานะสูง (DN=1) แขนแนลมอสทรานซิสเตอร์จะนำกระแส ซึ่งทำให้ V_c มีค่าเท่ากับกราวด์(Ground) และเมื่อสัญญาณ UP และ DN เป็นสถานะสูงทั้งคู่ มอสทรานซิสเตอร์ทั้งสองตัวจะไม่นำกระแส ทำให้เอาต์พุต V_c เสมือนกับว่าไม่มี หรืออยู่ในสถานะลอย (Float) ซึ่งก็คือสถานะความต้านสูง



รูปที่ 3.13 แสดงการเปลี่ยนสถานะของภาคตรวจจับเฟสแบบเฟส-ความถี่

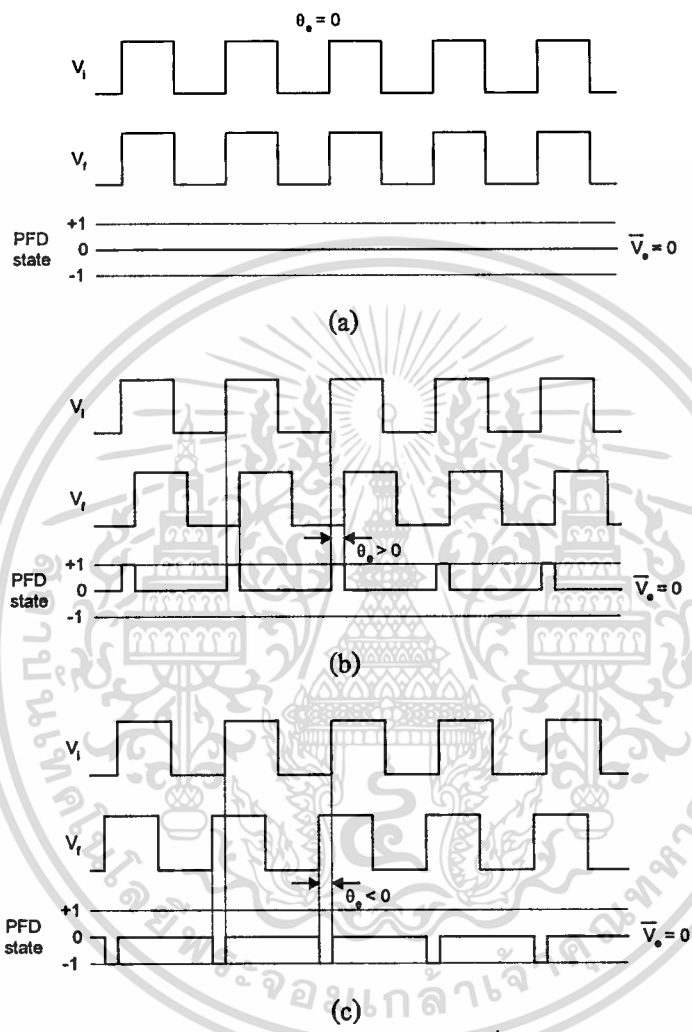
การทำงานของวงจรตรวจจับเฟสแบบเฟส-ความถี่ แสดงได้ดังรูป 3.14 ในกรณีที่ค่าความผิดพลาดทางเฟสมีค่าเป็นศูนย์ แสดงได้ดังรูป 3.14 (a) โดยกำหนดให้ในตอนเริ่มต้นภาคตรวจจับเฟสแบบเฟส-ความถี่มีสถานะเป็นศูนย์ เนื่องจากสัญญาณ V_i และ V_r มีเฟสเท่ากันพอดี ทำให้ขอบขาขึ้นของสัญญาณ V_i และ V_r เกิดขึ้นในเวลาเดียวกัน ดังนั้นภาคตรวจจับเฟสแบบเฟส-ความถี่จะคงสถานะเดิมคือสถานะศูนย์อยู่ตลอดไป รูปที่ 3.14 (b) แสดงกรณีที่สัญญาณ V_i นำหน้า V_r ทำให้ภาคตรวจจับเฟสแบบเฟส-ความถี่เกิดการเปลี่ยนแปลงสถานะอยู่ระหว่าง 0 กับ +1 เมื่อสังเกตจากรูปสัญญาณในรูปที่ 3.14 (b) ความผิดพลาดทางเฟส θ_e มีค่าเป็นบวก จะมีค่าสูงสุดที่ 360 องศา และรูปที่ 3.14 (c) แสดงกรณีที่สัญญาณ V_i ล้าหลัง V_r ทำให้ภาคตรวจจับเฟสแบบเฟส-ความถี่เกิดการเปลี่ยนแปลงสถานะอยู่ระหว่าง 0 กับ -1 ความผิดพลาดทางเฟส θ_e มีค่าเป็นลบ จะมีค่าสูงสุดที่ -360 องศา ถ้านำค่าเฉลี่ยของ V_c ไปเขียนกราฟเทียบกับความผิดพลาดทางเฟส θ_e จะได้รูปสัญญาณฟันเลื่อย ดังแสดงในรูปที่ 3.15 ซึ่งแสดงสัญญาณเอาต์พุตของภาคตรวจจับเฟสที่มีความผิดพลาดทางเฟส θ_e มากกว่า 2π และน้อยกว่า -2π เมื่อค่าความผิดพลาดทางเฟสมีค่าเกิน 2π สัญญาณเอาต์พุตของภาคตรวจจับเฟสก็จะกลับมาเริ่มต้นที่ค่าศูนย์ใหม่ ทำให้กราฟคุณสมบัติของภาคตรวจจับเฟสแบบเฟส-ความถี่มีคาบเวลาเท่ากับ 2π ซึ่งลักษณะนี้จะเป็นเช่นเดียวกันกับกรณีความผิดพลาดทางเฟส θ_e ที่มีค่าเกิน -2π ดังนั้นความผิดพลาดทางเฟส θ_e จึงถูกจำกัดอยู่ในช่วง $-2\pi < \theta_e < 2\pi$ ค่าเฉลี่ยของสัญญาณเอาต์พุต V_c คือ

$$\bar{V}_c = K_d \theta_e \quad (3.17)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

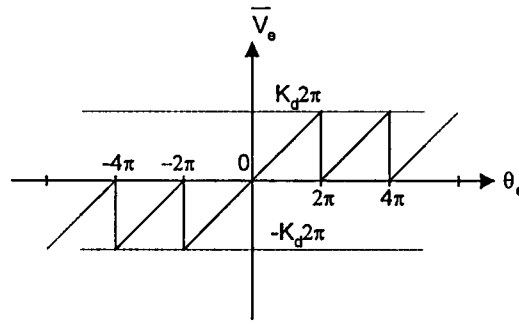
และค่าอัตราขยายของภาคตรวจจับเฟสแบบเฟส-ความถี่ สามารถคำนวณได้จาก

$$K_d = \frac{V_s}{4\pi} \tag{3.18}$$



รูปที่ 3.14 แสดงลักษณะสัญญาณของภาคตรวจจับเฟสแบบเฟส-ความถี่

- (a) กรณีค่าผิดพลาดทางเฟสเท่ากับศูนย์
- (b) กรณีค่าผิดพลาดทางเฟสมีค่าเป็นบวก
- (c) กรณีค่าผิดพลาดทางเฟสมีค่าเป็นลบ



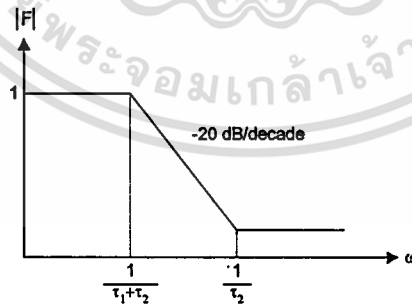
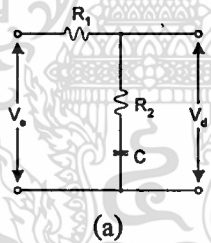
รูปที่ 3.15 แสดงกราฟคุณสมบัติเอาต์พุตของค่า V_o เฉลี่ยของภาคตรวจจับเฟสแบบเฟส-ความถี่

3.3.3 ภาคกรองรูป หรือภาคกรองสัญญาณความถี่ต่ำผ่าน

เฟสล็อกคูล์โดยทั่วไปจะใช้ส่วนกรองรูป ซึ่งแสดงดังรูป 3.16 เป็นวงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ ซึ่งมี 1 โพล และ 1 ซีโร ซึ่งมีฟังก์ชันถ่ายโอนดังนี้

$$F(s) = \frac{1 + s\tau_2}{1 + s(\tau_1 + \tau_2)} \tag{3.19}$$

เมื่อ $\tau_1 = R_1C$ และ $\tau_2 = R_2C$



รูปที่ 3.16 แสดงวงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ

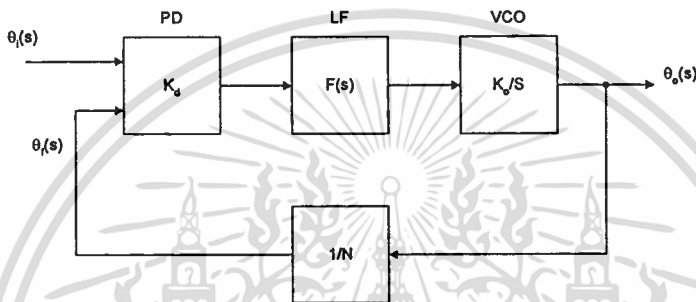
- (a) ลักษณะการต่อวงจร
- (b) ลักษณะการตอบสนองสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 การทำงานของเฟสล็อกคัล

การทำงานของเฟสล็อกคัล[6] สามารถศึกษาได้จากฟังก์ชันถ่ายโอนของภาคต่างๆดังแสดงในรูปที่ 3.17 เมื่ออยู่ในสภาวะลอคเราสามารถวิเคราะห์การทำงานของวงจรรูปของฟังก์ชันถ่ายโอนได้ดังนี้

$$H(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{K_o K_d F(s)}{s + \frac{K_o K_d F(s)}{N}} \quad (3.20)$$



รูปที่ 3.17 แสดงบล็อกไดอะแกรมของเฟสล็อกคัลในรูปแบบทางคณิตศาสตร์

โดยที่ N คือตัวหารความถี่ เมื่อนำฟังก์ชันถ่ายโอน $F(s)$ ของวงจรรูปแบบต่างๆ ที่แสดงไว้ในสมการ 3.19 แทนลงในสมการ 3.20 จะได้สมการฟังก์ชันถ่ายโอนของวงจรรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟดังนี้

$$H(s) = \frac{K_o K_d \frac{1 + s\tau_2}{N(\tau_1 + \tau_2)}}{s^2 + s \frac{1 + K_o K_d \tau_2}{N(\tau_1 + \tau_2)} + \frac{K_o K_d}{N(\tau_1 + \tau_2)}} \quad (3.21)$$

จากทฤษฎีของระบบควบคุมสามารถเขียนฟังก์ชันถ่ายโอนของเฟสล็อกคัล $H(s)$ ของส่วนหารในสมการ 3.21 ให้อยู่ในรูปแบบมาตรฐานคือ

$$s^2 + 2\zeta\omega_n s + \omega_n^2$$

เมื่อ ω_n คือความถี่ธรรมชาติ (Natural Frequency) และ ζ คือตัวประกอบการหน่วง (Damping Factor) ดังนั้นจากสมการ 3.21 สามารถจัดให้อยู่ในรูปแบบของค่าความถี่ธรรมชาติและค่าตัวประกอบการหน่วง สำหรับวงจรรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟได้ดังนี้

$$H(s) = \frac{s\omega_n \left(2\zeta - \frac{\omega_n}{K_o K_d} \right) + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (3.22)$$

$$\text{เมื่อ } \omega_n = \sqrt{\frac{K_o K_d}{N(\tau_1 + \tau_2)}} \text{ และ } \zeta = \frac{\omega_n}{2} \left(\tau_2 + \frac{N}{K_o K_d} \right)$$

3.3.4.1 ช่วงยึดเหนี่ยว (Hold Range)

ช่วงยึดเหนี่ยว $\Delta\omega_H$ คือช่วงความถี่ที่เฟสล็อกคูลสามารถรักษาเสถียรภาพของวงจรวีได้ ในสภาวะการทำงานปกติเฟสล็อกคูลจะไม่ทำงานในขอบเขตของช่วงยึดเหนี่ยว ดังนั้นการเข้าถึงช่วงเสถียรภาพของวงจรถ้าเป็นต้องกวาดความถี่ไปอย่างช้าๆ โดยการเพิ่มความถี่ขึ้นหรือลดความถี่ลง กรณีที่ความถี่อ้างอิงมีค่าเพิ่มขึ้นและอัตราขยายแรงดันไฟฟ้ากระแสตรงของวงจรถองรูปมีค่าจำกัด ค่าความผิดพลาดทางเฟสจะเพิ่มขึ้นตามสัดส่วน จนถึงค่าสูงสุดที่ภาคตรวจจับเฟสทำงานได้อย่างเป็นเชิงเส้น ซึ่งจะเข้าสู่ช่วงยึดเหนี่ยว กรณีภาคตรวจจับเฟสแบบเฟส-ความถี่จะได้ช่วงยึดเหนี่ยว สำหรับวงจรถองสัญญาณความถี่ต่ำผ่านทุกชนิด ดังนี้

$$\Delta\omega_H \rightarrow \infty \quad (3.23)$$

3.3.4.2 ช่วงล็อก (Lock Range)

ช่วงล็อก $\Delta\omega_L$ คือช่วงความถี่ที่เฟสล็อกคูลทำการชดเชยความถี่ระหว่างความถี่อ้างอิงกับความถี่เอาต์พุตของวงจรถ้าเกิดความถี่ที่ถูกควบคุมด้วยแรงดัน การเข้าสู่ช่วงล็อกจะเกิดขึ้นระหว่างความถี่อ้างอิงกับความถี่เอาต์พุตของวงจรถ้าเกิดความถี่ที่ถูกควบคุมด้วยแรงดันถูกปรับลดลงจากวงจรถองรูป N แล้ว ในกรณีของภาคตรวจจับเฟสแบบเฟส-ความถี่สามารถแสดงได้ดังนี้

$$\Delta\omega_L = 4\pi\zeta\omega_n \quad (3.24)$$

เมื่อเฟสล็อกคูลเข้าสู่ช่วงล็อกความถี่จะสามารถหาช่วงเวลาการเข้าสู่ช่วงล็อก T_L ได้ หรือบางครั้งเรียกว่า เวลาเข้าสู่สภาวะสงบ (Setting Time) ซึ่งมีค่าประมาณเท่ากับ

$$T_L \approx \frac{2\pi}{\omega_n} \quad (3.25)$$

3.3.4.3 ช่วงการดึงเข้า (Pull-in-range)

ช่วงการดึงเข้า $\Delta\omega_p$ คือช่วงที่เฟสล็อกคูลจะเข้าสู่สภาวะล็อกเสมอ กรณีภาคตรวจจับเฟสแบบเฟส-ความถี่จะได้ช่วงการดึงเข้า $\Delta\omega_p$ สำหรับวงจรถองสัญญาณความถี่ต่ำผ่านทุกชนิด ดังนี้

$$\Delta\omega_p \rightarrow \infty \quad (3.26)$$

และสามารถแสดงช่วงเวลการดึงเข้า T_p ของเฟสล็อกคูลป์ กรณีภาคตรวจจับเฟสแบบเฟส-ความถี่ สำหรับวงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ ได้ดังนี้

$$T_p = 2\tau_1 \ln \frac{K_o (V_s / 2)}{K_o (V_s / 2) - \Delta\omega} \quad (3.27)$$

3.3.4.4 ช่วงการดึงออก (Pull-out-range)

ช่วงการดึงออก $\Delta\omega_{po}$ คือขีดจำกัดของเฟสล็อกคูลป์ที่มีเสถียรภาพในการทำงาน เมื่อการตามรอยเกิดการสูญเสียภายในช่วงนี้ เฟสล็อกคูลป์จะกลับเข้าสู่สภาวะลื่นไถลอีกครั้ง สามารถแสดงช่วงการดึงออกในกรณีภาคตรวจจับเฟสแบบเฟส-ความถี่ สำหรับวงจรกรองสัญญาณความถี่ต่ำผ่านทุกชนิด ได้ดังนี้

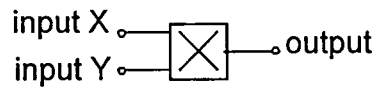
$$\Delta\omega_{po} = 11.55\omega_n (\zeta + 0.5) \quad (3.28)$$

3.4 ทฤษฎีการคูณสัญญาณ

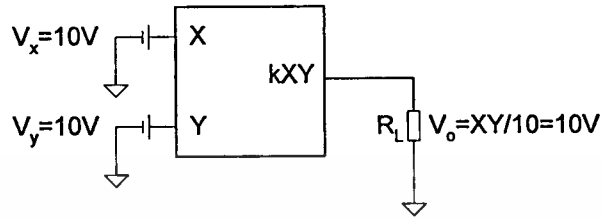
การมอดูเลตและดีมอดูเลตสัญญาณแบบ QPSK จะใช้วงจรคูณสัญญาณเพื่อมอดูเลตสัญญาณ โดยให้สัญญาณบิตคู่คูณกับสัญญาณคลื่นพาร์แบบอินเฟส(In-phase) และสัญญาณบิตคี่คูณกับสัญญาณคลื่นพาร์แบบควอดราเจอร์เฟส(Quadrature-phase) ส่วนการดีมอดูเลตจะใช้วงจรคูณสัญญาณในการคู่สัญญาณบิตคู่และบิตคี่

การคูณสัญญาณ[7] คือ การนำสัญญาณสองสัญญาณมาคูณกันตามสมการคณิตศาสตร์ การคูณสัญญาณ สามารถแสดงแบบจำลองได้ดังรูปที่ 3.18 ซึ่งจากรูปประกอบด้วยอินพุตสองอินพุตคือ X และ Y ซึ่งจะนำสัญญาณทั้งสองมาคูณกัน โดยที่แรงดันเอาต์พุตที่ได้จะมีค่าเท่ากับผลคูณของอินพุต X และ Y หากด้วยค่าคงที่ค่าหนึ่ง ซึ่งเรียกว่า สเกลแฟกเตอร์(Scale factor) โดยปกติจะกำหนดให้มีค่าเท่ากับ 1/10 เนื่องจากในการออกแบบสร้างวงจรคูณสัญญาณ จะออกแบบให้สามารถให้แหล่งจ่ายไฟเพียง 1 ชุด คือ ± 15 โวลต์ (Volt) และเพื่อให้ได้ผลดีที่สุด ค่าของแรงดันที่ใช้งานทางอินพุตทั้ง X และ Y ที่ไฟเลี้ยงขนาดนี้ควรมีค่าอยู่ในช่วง ± 10 โวลต์

เมื่อกำหนดให้ k มีค่าเท่ากับ 1/10 จะทำให้เอาต์พุตอยู่ในช่วง ± 10 โวลต์ เช่นกัน ซึ่งเป็นค่าที่เหมาะสมที่สุด



(a)

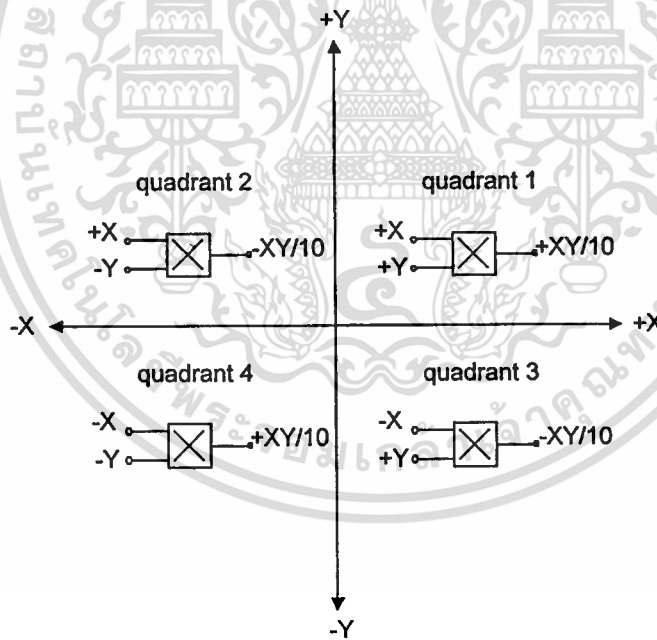


(b)

รูปที่ 3.18 แสดงวงจรคูณสัญญาณ

(a) สัญลักษณ์ของวงจรคูณสัญญาณ

(b) วงจรคูณสัญญาณที่มีการป้อนไฟ DC เข้ามาสองทาง



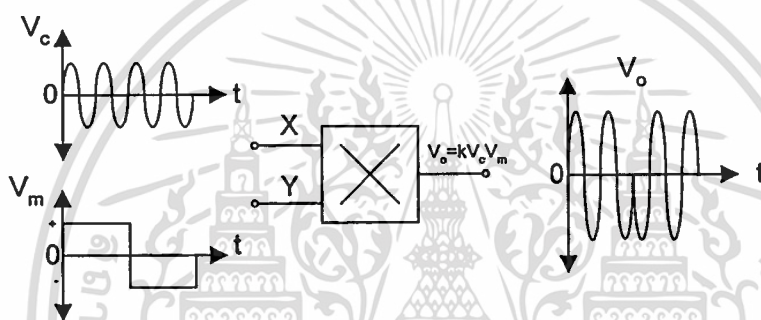
รูปที่ 3.19 แสดงการจัดแบ่งจตุภาค

การคูณสัญญาณสามารถแบ่งการคูณออกเป็นจตุภาค(Quadrant) การจัดแบ่งจตุภาคแสดงได้ดังรูปที่ 3.19 ซึ่งแรงดันอินพุตจะสามารถเกิดขึ้นได้ 4 ลักษณะ โดยกำหนดตามเครื่องหมายบวก ลบ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เมื่อ X และ Y เป็นบวกทั้งคู่ จะอยู่ในจุดภาคที่ 1
 X เป็นลบ Y เป็นบวก จะอยู่ในจุดภาคที่ 2
 X และ Y เป็นลบทั้งคู่ จะอยู่ในจุดภาคที่ 3
 X เป็นบวก Y เป็นลบ จะอยู่ในจุดภาคที่ 4

ในการนำวงจรคูณสัญญาณมาสร้างเป็นวงจรมอดูเลตสัญญาณ สามารถทำได้ดังรูปที่ 3.20 โดยกำหนดให้ V_c (สัญญาณคลื่นพาร์) เป็นอินพุต X , V_m (สัญญาณข้อมูล) เป็นอินพุต Y และ V_o คือสัญญาณที่ถูกมอดูเลตแล้ว ลักษณะของคลื่นพาร์ที่ได้จากการมอดูเลตจะมีเฟสเปลี่ยนแปลงตามระดับแรงดัน V_m โดยที่ V_o จะมีเฟสปกติ เมื่อ V_m มีระดับแรงดันเป็นบวก และจะมีเฟสเลื่อนไป 180 องศา (เนื่องจากการกลับขั้วของคลื่นพาร์) เมื่อ V_m มีระดับแรงดันลบ



รูปที่ 3.20 แสดงวงจรมอดูเลตสัญญาณ ที่สร้างโดยวงจรคูณสัญญาณ

3.5 ทฤษฎีการตรวจจับความต่างเฟส

เมื่อนำสัญญาณสองสัญญาณที่มีความถี่เท่ากันมาคูณกัน จะได้ความถี่เพิ่มขึ้นเป็นสองเท่าและได้แรงดันไฟ DC ขึ้นมาค่าหนึ่ง จากแรงดันไฟ DC ที่ได้นี้ จะสามารถนำมาใช้ในการตรวจจับความแตกต่างทางเฟสของสัญญาณสองสัญญาณใดๆ

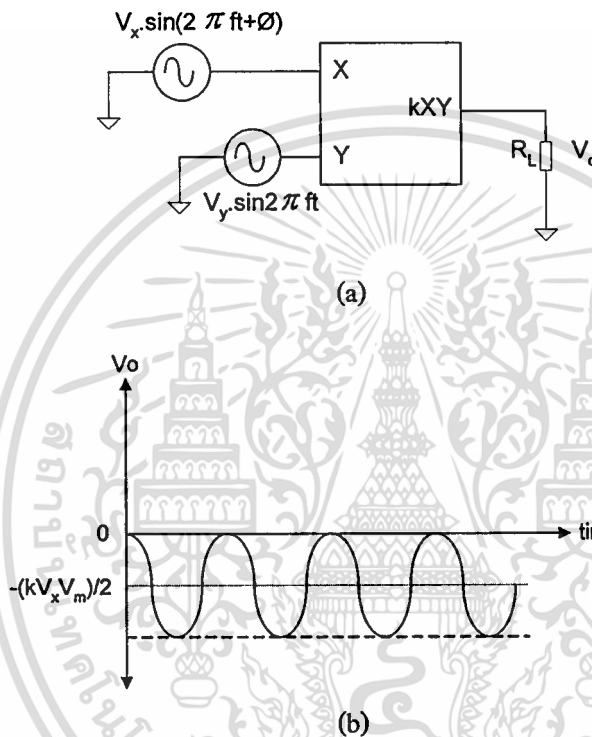
เมื่อเกิดมีความต่างเฟสระหว่างสัญญาณสองสัญญาณที่มาคูณกัน จะได้ค่าแรงดันเอาต์พุตในส่วนที่เป็นแรงดัน DC เปลี่ยนแปลงไป ตามค่าของเฟสที่ต่างกัน โดยในเทอมของแรงดัน DC (V_{oDC}) สามารถเขียนได้ดังนี้

$$V_{oDC} = \frac{kV_{xp}V_{yp}}{2} \cos \phi \quad (3.29)$$

เมื่อ V_{xp} และ V_{yp} เป็นค่าแรงดันยอดของสัญญาณสองสัญญาณที่ต่างเฟสกัน จากสมการ 3.29 สามารถเขียนใหม่ได้เป็น

$$\cos \phi = \frac{2V_{oDC}}{kV_{xp}V_{yp}} \quad (3.30)$$

เมื่อกำหนดให้ V_{xp} คูณกับ V_{yp} มีค่าเท่ากับ $2/k V_{oDC} = \cos \phi$ ซึ่งจะมีแรงดันอยู่ในช่วงระหว่าง 0 ถึง 1 โวลต์ ขนาดของแรงดันที่เปลี่ยนไป แสดงถึงเฟสที่มีการเปลี่ยนแปลง ดังรูปที่ 3.21

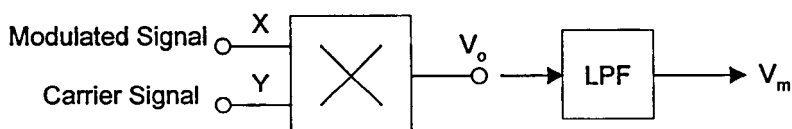


รูปที่ 3.21 แสดงวงจรตรวจจับความต่างเฟสสัญญาณ

(a) แสดงการป้อนสัญญาณที่มีมุมเฟสต่างกัน

(b) สัญญาณเอาต์พุตที่ได้กรณีเฟสต่างกัน 180 องศา

ฉะนั้นวงจรตรวจจับความต่างเฟสจึงใช้วงจรคูณสัญญาณร่วมกับวงจรกรองความถี่ดังรูปที่ 3.22



รูปที่ 3.22 แสดงวงจรตรวจจับความต่างเฟสที่สร้างโดยวงจรคูณสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 ทฤษฎีการกรองความถี่

อุปกรณ์มอดูเลตสัญญาณ QPSK จะใช้วงจรกรองความถี่แบบเฉพาะช่วงผ่านเป็นส่วนประกอบของวงจรกำเนิดสัญญาณคลื่นพาห์และวงจรกำเนิดสัญญาณคลื่นนำร่อง ส่วนอุปกรณ์ดีมอดูเลตจะใช้ทั้งวงจรกรองความถี่เฉพาะช่วงผ่าน และวงจรกรองความถี่ต่ำผ่าน โดยวงจรกรองความถี่เฉพาะช่วงผ่านจะเป็นส่วนประกอบของวงจรกำเนิดสัญญาณคลื่นพาห์ ส่วนวงจรกรองความถี่ต่ำผ่านจะใช้เพื่อกรองสัญญาณที่ได้จากวงจรตรวจจับความต่างเฟส

การกรองความถี่[7] คือ การกรองสัญญาณให้ความถี่เฉพาะที่ต้องการใช้ผ่านออกมาได้เท่านั้น ความถี่อื่นๆ ที่ไม่ต้องการจะถูกลดทอน วงจรกรองความถี่แบ่งเป็น 2 ลักษณะคือแบบพาสซีฟ(passive) และแบบแอคทีฟ(active) วงจรกรองความถี่แบบพาสซีฟประกอบด้วยอุปกรณ์ประเภทตัวต้านทาน ตัวเก็บประจุ และตัวเหนี่ยวนำเท่านั้น ส่วนวงจรกรองความถี่แบบแอคทีฟจะใช้อุปกรณ์ประเภททรานซิสเตอร์และออปแอมป์รวมอยู่ด้วย และเมื่อแบ่งวงจรกรองความถี่ตามหน้าที่การทำงานจะสามารถแบ่งได้เป็น 4 ชนิดคือ

1. วงจรกรองความถี่ต่ำผ่าน (Low-pass Filter)
2. วงจรกรองความถี่สูงผ่าน (High-pass Filter)
3. วงจรกรองความถี่ผ่านเฉพาะช่วง (Band-pass Filter)
4. วงจรกรองความถี่ที่ไม่ให้ความถี่ผ่านเฉพาะช่วง (Band-eliminate Filter)

วงจรกรองความถี่ผ่านเฉพาะช่วง (Band-pass Filter) สามารถแบ่งได้เป็น 2 ชนิด คือ

- wide band pass filter
- narrow band pass filter

โดยสามารถแบ่งได้จากค่า Quality factor(Q) ในกรณี wide band pass filter จะมีค่า Q น้อยกว่า 10 ส่วน narrow band pass filter จะมีค่า Q มากกว่า 10 ซึ่งสมการ Q แสดงได้ดังนี้

$$Q = f_o / BW$$

$$= f_o / (f_H - f_L) \quad (3.31)$$

เมื่อ	f_o	คือความถี่กลาง
	BW	คือแบนด์วิดท์ (Bandwidth)
	f_H	คือความถี่ด้านบนของแบนด์วิดท์
	f_L	คือความถี่ด้านล่างของแบนด์วิดท์

สำหรับ wide band pass filter สามารถหาความถี่กลางได้ดังสมการต่อไปนี้

$$f_o = \sqrt{f_H \cdot f_L} \quad (3.32)$$

วงจรรองความถี่ผ่านเฉพาะช่วงจะมีค่าแรงดันสูงสุด(V_{max})อยู่ที่ความถี่เรโซแนนซ์(ω_r) จุดที่เอาต์พุตมีค่าโวลเตจ(Voltage) เท่ากับ $0.707V_{max}$ ในช่วง pass band จะมีความถี่ที่สูงกว่า ω_r ซึ่งเรียกว่า high cutoff frequency (ω_H) และจุดที่เอาต์พุตมีค่าโวลเตจเท่ากับ $0.707V_{max}$ ในช่วง pass band ที่มีความถี่ที่ต่ำกว่า ω_r เรียกว่า low cutoff frequency (ω_L) ช่วงความถี่ระหว่าง ω_H และ ω_L เรียกว่า แบนด์วิดท์(BW)

$$BW = \omega_H - \omega_L \quad (3.33)$$

วงจรร narrow band pass filter จะมีค่าแบนด์วิดท์น้อยกว่า 0.1 เท่าของความถี่เรโซแนนซ์($BW < 0.1\omega_r$) และวงจรร wide band pass filter จะมีค่าแบนด์วิดท์มากกว่า 0.1 เท่าของความถี่เรโซแนนซ์($BW > 0.1\omega_r$) อัตราส่วนระหว่างความถี่เรโซแนนซ์(Resonant)กับแบนด์วิดท์ คือค่า Quality factor(Q) ดังสมการที่ 3.34

$$Q = \omega_r / BW \quad (3.34)$$

และสามารถเขียนใหม่ได้ดังนี้

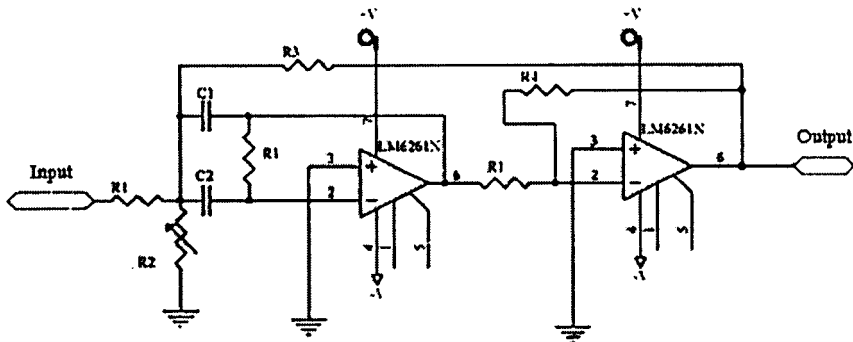
$$BW = \omega_r / Q \quad (3.35)$$

การออกแบบวงจรรองความถี่ผ่านเฉพาะช่วง ดังรูปที่ 3.23 เป็นวงจรรองความถี่แบบ Second-order band-pass positive-feedback สามารถคำนวณได้ตามสมการต่อไปนี้

กำหนดให้ $C_1 = C_2 = C$

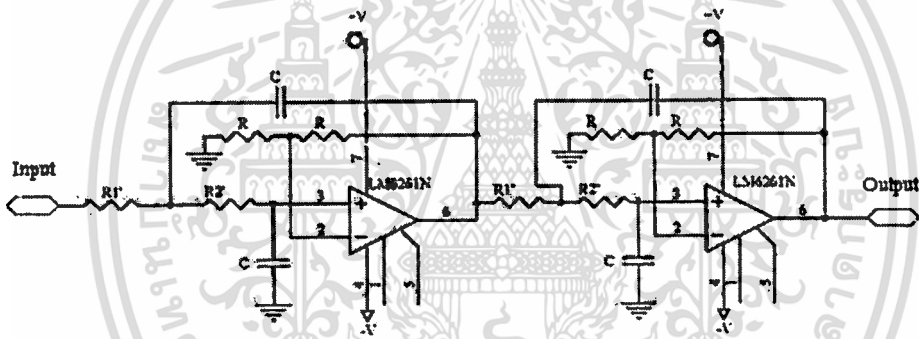
$$\begin{aligned} A_F &= R_4 / R_1^2 C \\ BW &= \frac{1}{R_1 C} \left(2 - \frac{R_4}{R_3} \right) \\ \omega_r^2 &= \frac{1}{R_1 C^2} \left(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3} \right) \end{aligned} \quad (3.36)$$

เมื่อ A_F คืออัตราขยายที่ความถี่กลาง



รูปที่ 3.23 แสดงวงจรกรองความถี่ผ่านเฉพาะช่วง

การออกแบบวงจรกรองความถี่ต่ำผ่าน จะต้องกำหนดค่า Forth-order ค่า Chebyshev-active และค่าความถี่ cutoff ต่อจากนั้นจึงเลือกค่า α และ β จากตารางที่ 3.1 แล้วจึงคำนวณหาค่าตัวต้านทาน



รูปที่ 3.24 แสดงวงจรกรองความถี่ต่ำผ่าน

$$\alpha' = \alpha 2\pi f_c$$

$$\beta' = \beta 2\pi f_c$$

$$R_1 = 1/2\alpha' C$$

$$R_2 = 2\alpha' / C(\alpha'^2 + \beta'^2)$$

(3.37)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

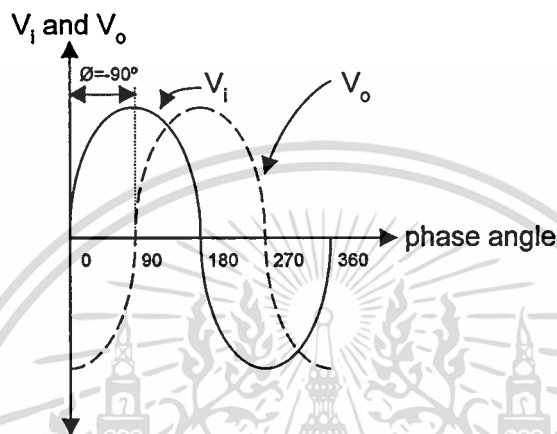
ตารางที่ 3.1 0.1-dB Chebyshev Pole Locations

Order	Real Part	Imaginary Part
n	$-\alpha$	$\pm j\beta$
2	0.6104	0.7106
3	0.3490 0.6979	0.8684
4	0.2177 0.5257	0.9254 0.3833
5	0.3842 0.1468 0.4749	0.5884 0.9521
6	0.3916 0.2867 0.1049	0.2590 0.7077 0.9667
7	0.3178 0.2200 0.0785 0.3528	0.4341 0.7823 0.9755
8	0.3053 0.2592 0.1732 0.06082	0.1952 0.5558 0.8319 0.9812
9	0.2622 0.2137 0.1395 0.04845 0.2790	0.3421 0.6430 0.8663 0.9852

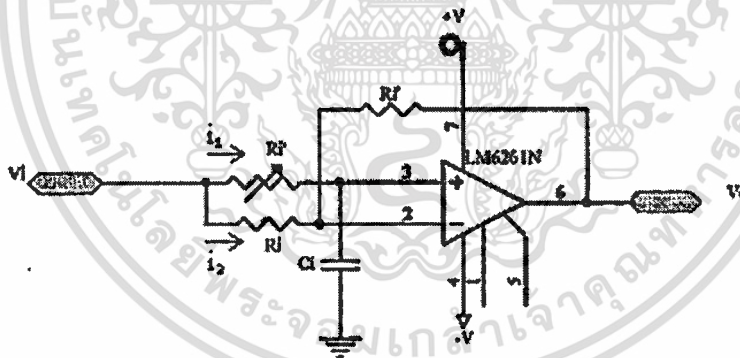
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 ทฤษฎีการเลื่อนเฟส

การเลื่อนเฟส(Phase shift) [7] คือการหน่วงเวลาของสัญญาณ เมื่อคลื่นรูปไซน์ที่มีความถี่เท่ากับ 10 MHz และค่าแรงดันขอดเท่ากับ 1 โวลต์ เป็นอินพุต(V_i) ให้กับวงจรเลื่อนเฟส ดังรูปที่ 3.25 จะได้แรงดันเอาต์พุต V_o ที่มีความถี่และขนาดเท่ากับ V_i เดิม แต่เฟสจะตามหลัง V_i



รูปที่ 3.25 แสดงแรงดันอินพุตและเอาต์พุตวงจรเลื่อนเฟส กรณีมุมเป็น -90 องศา



รูปที่ 3.26 แสดงวงจรเลื่อนเฟส

วงจรเลื่อนเฟสสร้างขึ้นได้ ตามรูปที่ 3.26 อุปกรณ์ที่ต้องใช้คือ ออปแอมป์ 1 ตัว ตัวต้านทาน 3 ตัว(R_i , R_f และ R_f) และตัวเก็บประจุ 1 ตัว(C_i) โดยตัวต้านทาน R_i และ R_f ทั้งสองจะต้องมีค่าเท่ากัน ซึ่งสามารถเลือกค่าความต้านทานใช้ได้ตั้งแต่ 10 ถึง 220 กิโลโอห์ม

สามารถเขียนความสัมพันธ์ระหว่างแรงดันอินพุต(V_i) และแรงดันเอาต์พุต (V_o) ดังนี้

$$V_i = i_1 \left(R_i + \frac{1}{j2\pi f C_i} \right) \quad (3.38)$$

$$V_o = V_i + i_2(R_i + R_f) \quad (3.39)$$

นำค่า V_i จากสมการที่ 3.38 แทนลงในสมการที่ 3.39 จะได้สมการ V_o ดังนี้

$$V_o = i_1 \left(R_i + \frac{1}{j2\pi f C_i} \right) + i_2(R_i + R_f) \quad (3.40)$$

ค่าของมุมเฟส ϕ ที่เปลี่ยนแปลงจะขึ้นอยู่กับ R_i , C_i และความถี่ f ของแรงดันอินพุตเท่านั้น ดังในสมการที่ 3.41

$$\phi = 2 \arctan(2\pi f R_i C_i) \quad (3.41)$$

เมื่อ ϕ เฟสของสัญญาณที่เปลี่ยนแปลงมีหน่วยเป็นองศา
 f ความถี่สัญญาณอินพุตมีหน่วยเป็นเฮิรตซ์
 R_i ตัวต้านทานปรับค่าได้ที่ต่อกับขา + มีหน่วยเป็นโอห์ม
 C_i ตัวเก็บประจุที่ต่อกับขา + มีหน่วยเป็นฟารัด (Farad)

จากสมการที่ 3.41 เมื่อกำหนดค่าของมุมเฟสที่ต้องการเลื่อน ในการหาค่าของ R_i ทำได้โดยกำหนดค่า C_i ขึ้นมา และหาค่า R_i ตามสมการที่ 3.41 ดังนี้

$$R_i = \frac{\tan(\phi/2)}{2\pi f C_i} \quad (3.42)$$

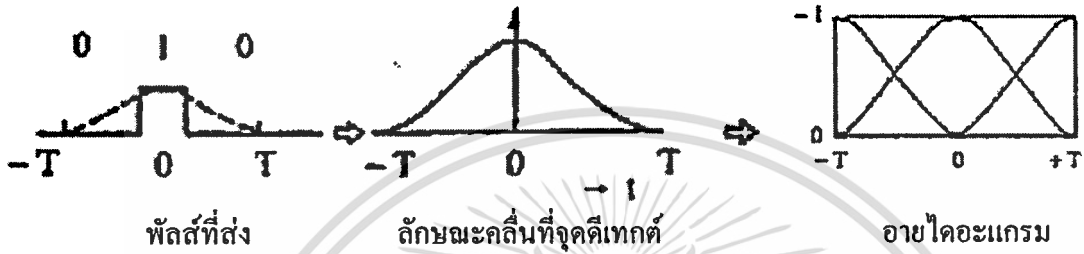
จากสมการที่ 3.42 เมื่อมุมเฟส ϕ เท่ากับ 90 องศา สามารถหาค่าอุปกรณ์ได้ โดยกำหนดค่าตัวเก็บประจุ และค่าความถี่ ที่ต้องการได้ดังนี้

$$R_i = \frac{1}{2\pi f C_i} \quad (3.43)$$

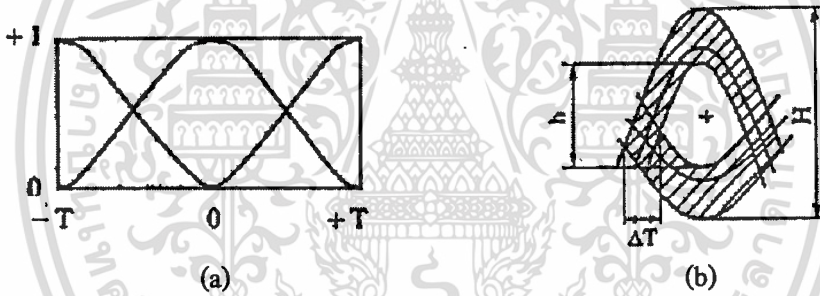
เมื่อกำหนดค่าความถี่ f เท่ากับ 10.24 MHz และค่าตัวเก็บประจุ C เท่ากับ 100 พิโกฟารัด แทนค่าในสมการ 3.43 จะได้ค่า R_i เท่ากับ 155 โอห์ม

3.8 ายไคอะแกรม (Eye Diagram) [8]

อายไคอะแกรมเป็นไคอะแกรมที่เกิดการนำสัญญาณสองสัญญาณมาเปรียบเทียบกัน ซึ่งโดยปกติแล้วจะนำอินพุตและเอาต์พุตมาเปรียบเทียบกัน โดยนำสัญญาณชุดหนึ่งต่อที่ CH1 ของ Oscilloscope และอีกชุดต่อที่ CH2 ส่วนช่อง External Trigger นำสัญญาณที่เป็นสัญญาณอินพุตเข้ามา Trig และแสดงผลออกมาที่จอแสดงผลเดียวกัน สัญญาณที่ได้จะมีลักษณะเป็นรูปดวงตา ดังรูปที่ 3.27



รูปที่ 3.27 แสดงลักษณะรหัสแบบ NRZ



รูปที่ 3.28 แสดงอายไคอะแกรมในทางอุดมคติและทางปฏิบัติ

- (a) อายไคอะแกรมในทางอุดมคติ
- (b) อายไคอะแกรมในทางปฏิบัติ

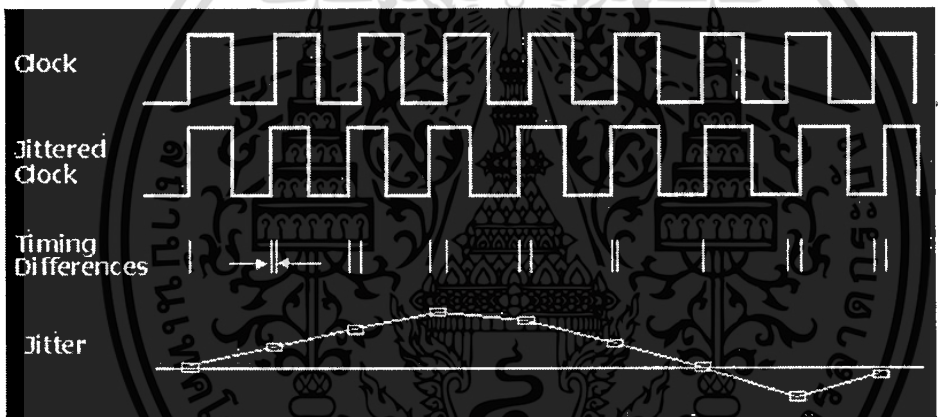
จากรูปที่ 3.28 ในกรณีที่อินพุตเท่ากับเอาต์พุตอายไคอะแกรมจะมีลักษณะที่ซ้อนกันพอดี แต่ในกรณีที่มิสัญญาณรบกวนเกิดขึ้น ทำให้อินพุตไม่เท่ากับเอาต์พุตจะเกิดการเหลื่อมกัน เกิดค่า H(ส่วนสูงขอบนอกของอายไคอะแกรม) และ h(ส่วนสูงขอบในของอายไคอะแกรม) ใช้คำนวณหาค่า $\Delta(S/N)$ เมื่อเปรียบเทียบส่วนสูงของลักษณะคลื่นในทางปฏิบัติกับทางอุดมคติแล้ว S/N จะมีคุณภาพลดลง

ลงเป็นปริมาณตามสมการ 3.44

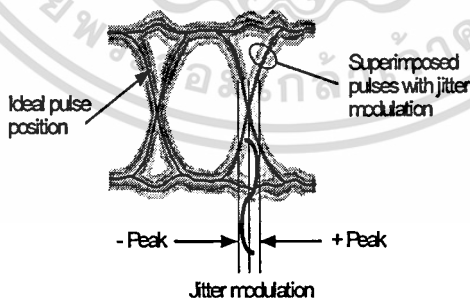
$$\Delta(S/N) = -20 \log(H/h) \tag{3.44}$$

3.9 ไทม์มิ่งจิตเตอร์ (Timing Jitter) [8]

ในการทำงานของวงจรีเล็กทรอนิกส์จะต้องใช้เวลาในการประมวลผลข้อมูล ซึ่งอุปกรณ์อิเล็กทรอนิกส์แต่ละแบบจะใช้เวลาในการทำงานไม่เท่ากัน รวมถึงระยะทางและสัญญาณรบกวน อุปกรณ์ส่งและอุปกรณ์รับจึงทำให้เกิดความแตกต่างของเวลา Jitter เกิดจากการ Delay ของสัญญาณดิจิทัลระหว่างอินพุตและเอาต์พุต ในกรณีอินพุตเท่ากับเอาต์พุตจะไม่มีค่า Jitter แต่ในกรณีที่สัญญาณรบกวนเกิดขึ้น จะทำให้อินพุตไม่เท่ากับเอาต์พุต เกิดค่า Jitter ได้ ค่า Jitter สามารถวัดได้จากอายุไดอะแกรม (รูปที่ 3.28 ข) โดย ΔT คือการหน่วงเวลาระหว่างอินพุตและเอาต์พุต จากรูป 3.29 แสดงค่า Jitter ที่เกิดจากความแตกต่างทางคาบเวลาของพัลส์ โดยในช่วงที่มีความแตกต่างของคาบเวลามาก ขนาดความสูงของกราฟก็จะเพิ่มขึ้น กราฟช่วงลบแสดงถึงสัญญาณเกิดการหน่วงเวลา ส่วนช่วงบวกหมายถึงเกิดการนำหน้าของสัญญาณจากสัญญาณรบกวน



รูปที่ 3.29 แสดงการเกิด Jitter



รูปที่ 3.30 แสดงการเกิด Jitter ในลักษณะของอายุไดอะแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบการวัดค่า Jitter ปกติจะเรียกเป็น UI (Unit Intervals) โดย Jitter 1 UI จะมีค่าสัมพันธ์กับอัตราความเร็วในการส่งข้อมูล ตัวอย่างเช่น ที่อัตราเร็วข้อมูล 2048 kbps 1 UI จะเท่ากับ 488 ns (1/2048kbps) รูปที่ 3.30 แสดง Jitter ที่ปรากฏบนสายโคอะกซ์

3.10 ความน่าจะเป็นของค่าผิดพลาด P(e) และอัตราบิตผิดพลาด(Bit error rate : BER)

ความน่าจะเป็นของค่าผิดพลาด(Probability of error:P(e)) และอัตราบิตผิดพลาด(Bit error rate:BER)[9] จะมีความหมายใกล้เคียงกัน โดย P(e) เป็นทฤษฎีทางคณิตศาสตร์ ที่คาดว่าจะเกิดบิตที่ผิดพลาด ส่วน BER เป็นการสังเกตบันทึกผลบิตผิดพลาดที่เกิดขึ้น โดยความน่าจะเป็นของค่าผิดพลาดหาโดยใช้ค่า CNR(Carrier to Noise Ratio) แทนในสมการ E_b/N_o และนำค่า E_b/N_o ไปแทนในสมการ P(e) สามารถแสดงกราฟ Error rate ของระบบ QPSK ในกราฟรูปที่ 3.31

$$\frac{E_b}{N_o} = \frac{C}{R} + \frac{B}{f_b} \quad (3.45)$$

โดยที่ $\frac{E_b}{N_o}$ คือ Energy per bit-to-noise power density ratio (dB)

$\frac{C}{R}$ คือ Carrier-to-noise power ratio (dB)

$\frac{B}{f_b}$ คือ Noise bandwidth-to-bit rate ratio (dB)

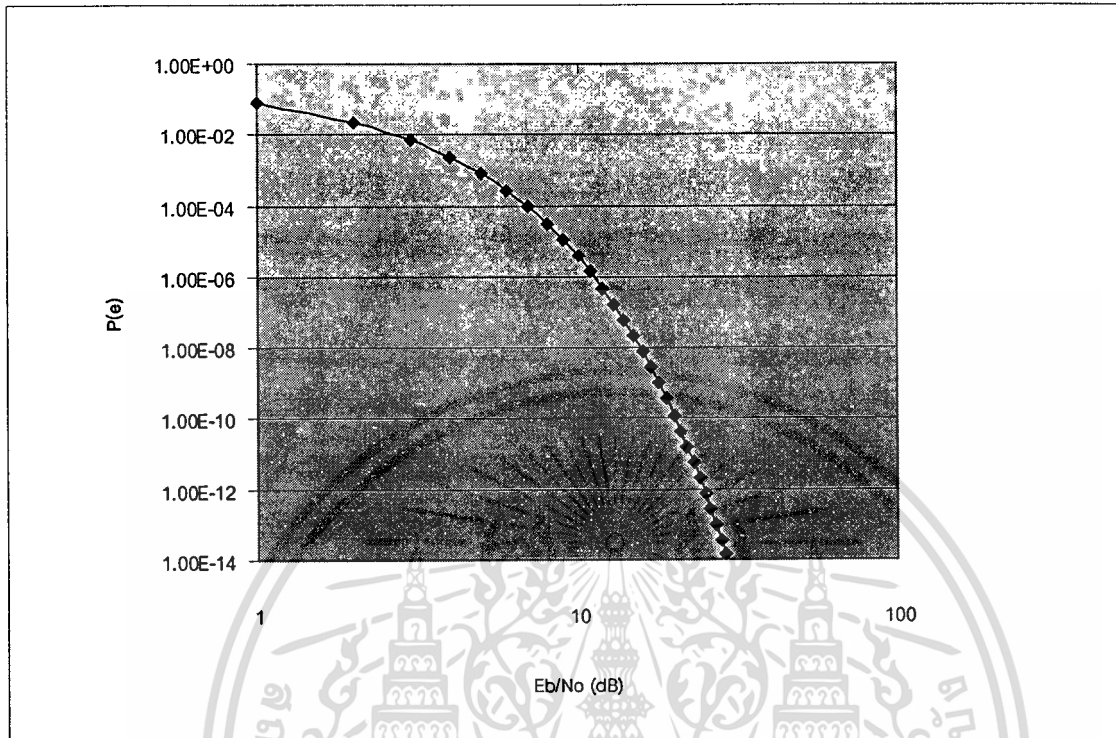
สมการความน่าจะเป็นของค่าผิดพลาด(Probability of error : P(e)) สามารถเขียนได้ดังนี้

$$P(e) = \frac{1}{2} \left[1 - \operatorname{erf} \left(\sqrt{\frac{E_b}{N_o}} \right) \right] \quad (3.46)$$

โดยที่ erf คือสมการ Error Function

$$\operatorname{erf} \left(\sqrt{\frac{E_b}{N_o}} \right) = \frac{2}{\sqrt{\pi}} \int_0^{\sqrt{(E_b/N_o)}} e^{-t^2} dt \quad (3.47)$$

รูปที่ 3.31 แสดงกราฟของค่าความน่าจะเป็นของค่าผิดพลาด(Probability of error : P(e)) เปรียบเทียบกับค่า Energy per bit-to-noise power density ratio กรณีที่ค่า $\frac{E_b}{N_o}$ มากขึ้นเป็นผลให้ค่าความน่าจะเป็นของค่าผิดพลาดลดลง



รูปที่ 3.31 แสดงกราฟ Error rate ของระบบ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

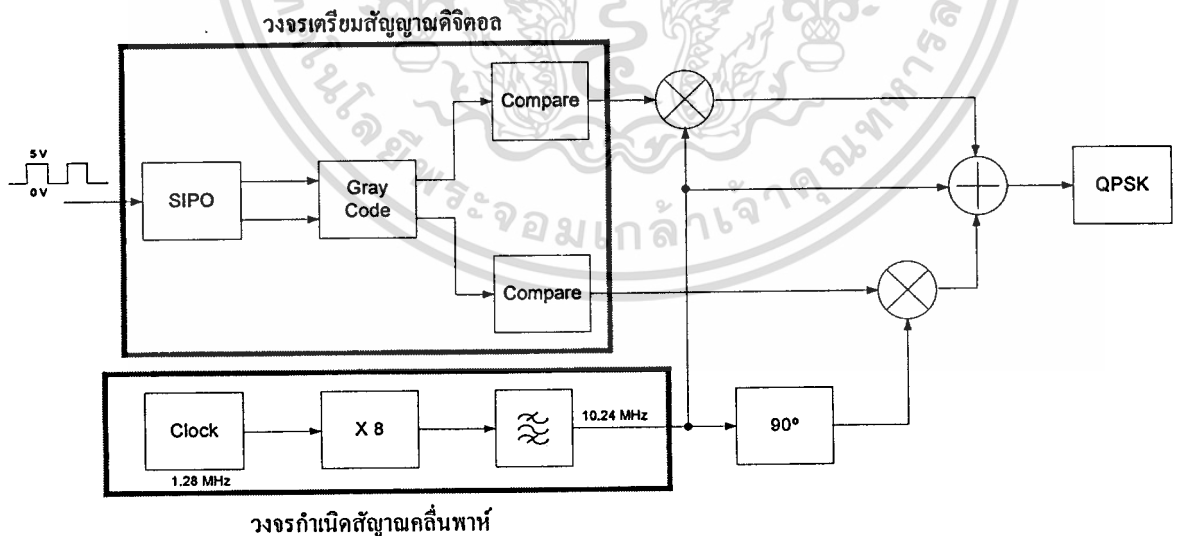
การออกแบบการสร้างส่วนมอดูเลตและดีมอดูเลต

4.1 กล่าวนำ

ทฤษฎีการสร้างอุปกรณ์มอดูเลตและดีมอดูเลตสัญญาณแบบ QPSK ที่ได้อธิบายไว้ในบทที่ 3 สามารถนำมาใช้สร้างวงจรมอดูเลต ซึ่งอธิบายในหัวข้อที่ 4.2 และการสร้างวงจรดีมอดูเลต จะอธิบายในหัวข้อที่ 4.3 ในการสร้างอุปกรณ์มอดูเลตและดีมอดูเลตสัญญาณ ที่เสนอในวิทยานิพนธ์ฉบับนี้ จะต้องใช้อุปกรณ์อิเล็กทรอนิกส์ที่สามารถทำงานได้ด้วยความเร็วสูง เพื่อให้ได้ชุดมอดูเลตและดีมอดูเลตที่สามารถส่งสัญญาณแบบ QPSK ที่ความถี่ 10.24 MHz ในหัวข้อ 4.4 จะแสดงการนำวงจรมอดูเลตและดีมอดูเลต ที่ได้อธิบายไว้ในหัวข้อ 4.2 และ 4.3 มาสร้างเป็นอุปกรณ์มอดูเลตและดีมอดูเลต ซึ่งสามารถใช้รับส่งสัญญาณข้อมูลดิจิทัลได้ หัวข้อที่ 4.5 จะเป็นการแสดงลักษณะสัญญาณในขั้นแต่ละขั้นตอนการมอดูเลตและดีมอดูเลต โดยใช้โปรแกรม PSpice

4.2 การออกแบบและการสร้างส่วนมอดูเลตสัญญาณดิจิทัล

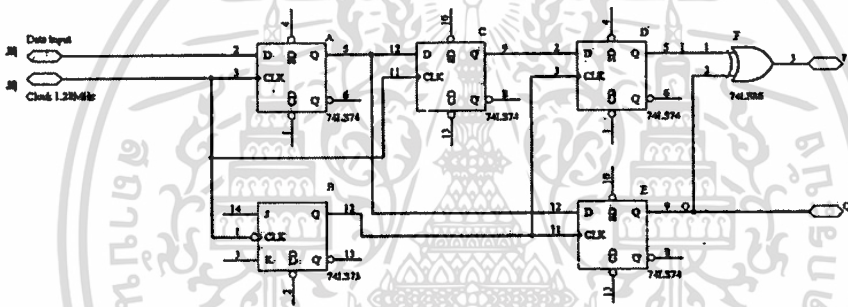
การส่งสัญญาณแบบ QPSK จะประกอบด้วยวงจรต่างๆ ดังนี้



รูปที่ 4.1 แสดงบล็อกไดอะแกรมภาคส่ง

บล็อกเตรียมสัญญาณดิจิทัลเพื่อเข้าวงจรคูณสัญญาณจะนำสัญญาณ NRZ (Non-Return-to-Zero) มาแยกเป็นบิตคู่และบิตคี่ โดยวงจร SIPO(Serial-in-parallel-out) และเข้ารหัสของเกรย์(Gray code) เพื่อให้ได้ระดับแรงดันเฉลี่ยใกล้เคียงกัน วงจรแปลงระดับแรงดันจะแปลงระดับแรงดัน 0 และ 5 volt ให้เป็น -5 และ $+5$ volt เพื่อนำไปคูณกับคลื่นพาห้จะได้คลื่นพาห้ที่เฟสเปลี่ยนตามชั่วแรงดันไฟฟ้า โดยสัญญาณคลื่นพาห้ได้จากการนำ Clock 1.28 MHz คูณ 8 ที่ส่วนกำเนิดคลื่นพาห้ เอาต์พุตที่ได้ส่วนหนึ่งเข้าวงจรคูณโดยตรง อีกส่วนถูกเข้าวงจรเลื่อนเฟส 90 องศา และนำคลื่นพาห้ทั้งสองที่ได้ส่งให้กับวงจรคูณ โดยบิตคู่จะคูณกับคลื่นพาห้ที่มีเฟสปกติ และบิตคี่จะคูณกับคลื่นพาห้ที่ถูกเฟสเลื่อนไป 90 องศา และนำสัญญาณที่ได้จากวงจรคูณทั้งสองมารวมกับคลื่นพาห้แล้วส่งเป็นสัญญาณ QPSK ให้ภาครับ

4.2.1 วงจรแยกสัญญาณดิจิทัล

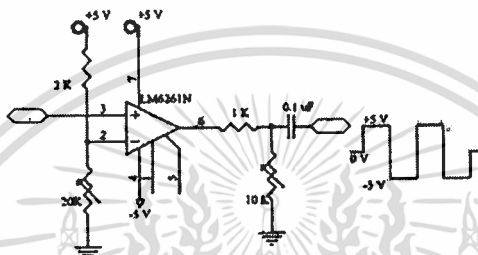


รูปที่ 4.2 แสดงวงจรแยกสัญญาณดิจิทัล

วงจรแยกสัญญาณดิจิทัล ทำหน้าที่แยกสัญญาณ NRZ ออกเป็นสัญญาณบิตคู่และบิตคี่โดยใช้วงจร Serial-in-parallel-out ข้อมูลทางอินพุตจะถูกป้อนเข้าที่ Input ขา 2 ของ Data Flip-Flop A เมื่อมีสัญญาณนาฬิกาเข้ามา 1 พัลส์ ข้อมูลบิตแรกจะถูกส่งไปให้กับอินพุตของ Data Flip-Flop C และ E เมื่อสัญญาณนาฬิกาอีกพัลส์หนึ่ง เข้ามา Data Flip-Flop C จะส่งข้อมูลบิตแรกออกมาทางขา 9 ให้กับขา 2 ของ Data Flip-Flop D และข้อมูลชุดที่สองก็จะถูกส่งมารอที่อินพุตของ Data Flip-Flop E ขณะนี้จะมีข้อมูลบิตที่หนึ่งและบิตที่สองอยู่ที่ขาอินพุตของ Data Flip-Flop ทั้งสอง เมื่อมีสัญญาณนาฬิกาซึ่งถูกหารสองโดย JK Flip-Flop เข้ามาทางขา CLK ของ Data Flip-Flop ทั้งสอง จะได้เอาต์พุตออกมาเป็นสัญญาณบิตคู่และบิตคี่ส่งเข้า EX-OR GATE เพื่อทำการเข้ารหัสของเกรย์ และส่งต่อไปให้วงจรแปลงระดับแรงดันต่อไป

4.2.2 วงจรแปลงระดับสัญญาณ

วงจรแปลงระดับสัญญาณ ทำหน้าที่เปลี่ยนระดับแรงดันของสัญญาณบิตคู่และบิตคี่จาก ลอจิก 0 ที่ระดับแรงดัน 0 โวลต์ เป็น -5 โวลต์ และจากลอจิก 1 ที่ระดับแรงดัน +5 โวลต์ เป็น +5 โวลต์ ทำงานโดยใช้ High Speed Op-Amp ต่อแบบเปิดลูป สัญญาณอินพุตที่เข้ามาทางขาอินอินเวอร์ตติ้ง(ขาบวก) จะถูกเปรียบเทียบกับแรงดันกับขาอินเวอร์ตติ้ง(ขาลบ) เมื่อแรงดันที่ขาบวกมีค่าเป็นบวกมากกว่าขาลบ สัญญาณเอาต์พุตจะเป็นแรงดันไฟบวก และถ้าแรงดันที่ขาบวกมีค่าเป็นบวกน้อยกว่าขาลบจะได้เอาต์พุตเป็นแรงดันไฟลบ

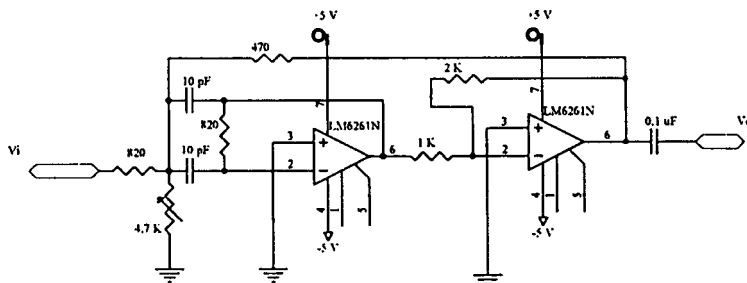


รูปที่ 4.3 แสดงวงจรแปลงระดับสัญญาณ

4.2.3 วงจรกรองความถี่ผ่านเฉพาะช่วง

วงจรกรองความถี่ผ่านเฉพาะช่วง ใช้เป็นส่วนประกอบของวงจรกำเนิดสัญญาณคลื่นพาห้วงจรกรองความถี่ผ่านเฉพาะช่วงที่แสดงดังรูปที่ 4.4 เป็นวงจรแบบ second-order band-pass positive feedback filter โดยมีอัตราขยาย 2 เท่า ความถี่กลาง f_o เท่ากับ 10 MHz ความถี่ด้านบนของแบนด์วิดท์ f_H เท่ากับ 15 MHz ความถี่ด้านล่างของแบนด์วิดท์ f_L เท่ากับ 5 MHz และค่า Q เท่ากับ 0.7

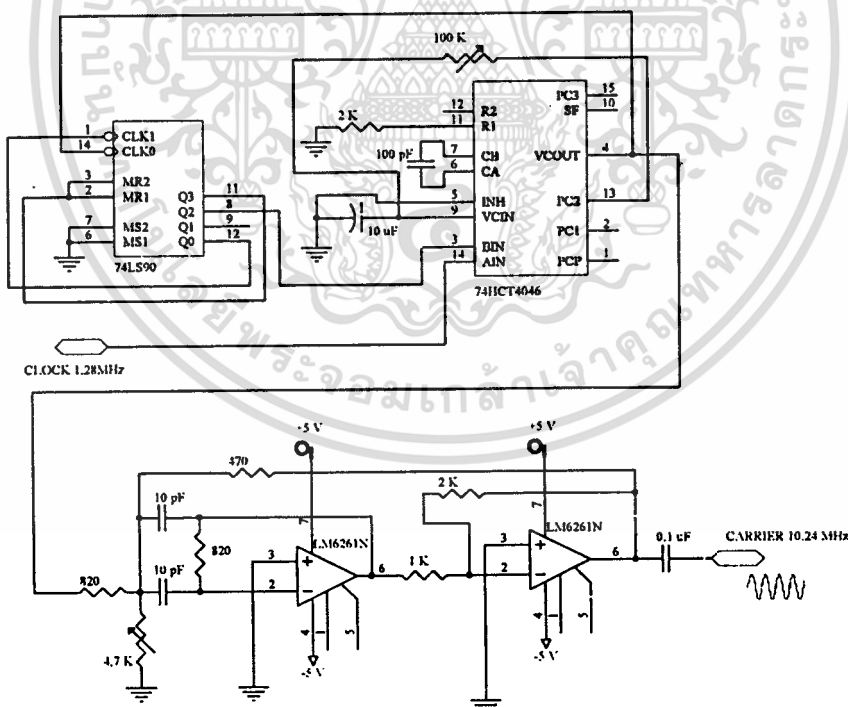
$$\begin{aligned}
 Q &= f_o / BW \\
 &= f_o / (f_H - f_L) \\
 &= \frac{\sqrt{f_H \cdot f_L}}{f_H - f_L} \\
 &= \frac{\sqrt{5 \times 10}}{15 - 5} = 0.7
 \end{aligned} \tag{4.1}$$



รูปที่ 4.4 แสดงวงจรกรองความถี่ผ่านเฉพาะช่วง

4.2.4 วงจรกำเนิดสัญญาณคลื่นพาร์

วงจรกำเนิดสัญญาณคลื่นพาร์ เป็นวงจรสร้างความถี่สัญญาณคลื่นพาร์ 10.24 MHz จากสัญญาณนาฬิกา 1.28 MHz เพื่อให้เกิดการซิงโครไนซ์ โดยใช้หลักการสังเคราะห์ความถี่ด้วยเฟสล็อกคัลป์ โดยทั่วไปวงจรเฟสล็อกคัลป์ประกอบด้วย วงจรเทียบเฟส วงจรกรองความถี่ต่ำผ่าน วงจรขยายและวงจรผลิตความถี่ที่ควบคุมโดยแรงดัน(Voltage Controlled Oscillator:VCO) ต่อเป็นวงรอบ(Loop) เช่นเดียวกับวงจรป้อนกลับทั่วไป เมื่อเพิ่มวงจรหาร N (N=8) เข้าไปตามรูป ก็จะได้วงจรสังเคราะห์ความถี่ทำการคูณความถี่ 1.28 MHz ด้วย 8 ก็จะได้ความถี่ 10.24 MHz

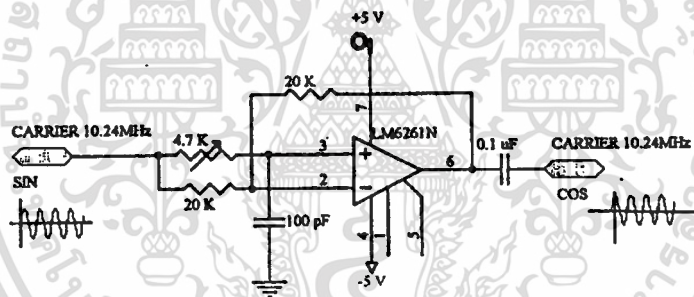


รูปที่ 4.5 แสดงวงจรกำเนิดสัญญาณคลื่นพาร์

ในส่วนของเฟสล็อกคัลป์ จะใช้ไอซีเบอร์ 74HCT4046(Phase-Lock-Loop) และใช้ไอซีเบอร์ 74LS90(Decade Counter) ทำหน้าที่เป็นส่วนหารความถี่ ซึ่งในวงจรนี้จะหารด้วย 8 เอาต์พุตที่ได้จาก วงจรเฟสล็อกคัลป์จะเป็นสัญญาณพัลส์สี่เหลี่ยม ดังนั้นจึงต้องนำไปผ่านวงจรกรองความถี่ผ่านเฉพาะช่วง เพื่อให้ได้สัญญาณคลื่นพาร์ตามต้องการ

4.2.5 วงจรเลื่อนเฟส

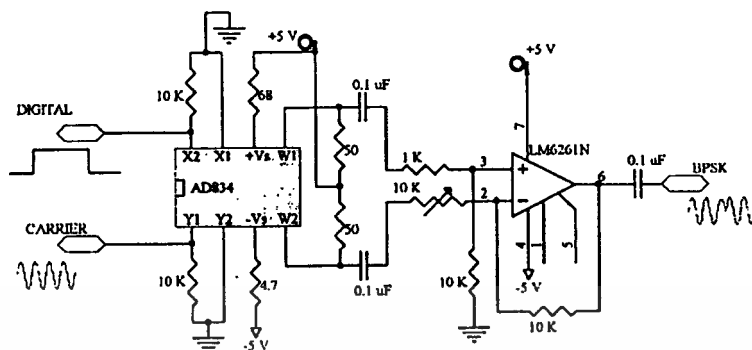
วงจรเลื่อนเฟสจะเป็นวงจรที่ทำให้ขนาดสัญญาณมีค่าคงที่ แต่เฟสเลื่อนตำแหน่งไป การสร้าง วงจรเลื่อนเฟสจากวงจรตัวต้านทานอินพุต(R_i) และตัวต้านทานป้อนกลับ(R_f) โดยทั่วไปจะกำหนดให้ เท่ากัน ซึ่งในที่นี้ใช้ค่า 20 กิโลโอห์ม ซึ่งเฟสของสัญญาณอินพุตจะถูกเลื่อนโดยการปรับตัวต้านทาน(R_i') 4.7 กิโลโอห์ม เอาต์พุตที่ออกจากวงจรนี้จะถูกเลื่อนเฟสไปจากอินพุตเดิม โดยขึ้นอยู่กับ ความถี่ของสัญญาณอินพุต ค่าความต้านทานอินพุต(R_i) และค่าความจุของตัวเก็บประจุทางอินพุต (C_i ซึ่งในที่นี้ใช้ค่า 100 พิโกฟารัด) ส่วนตัวเก็บประจุ 0.1 ไมโครฟารัด ทางด้านเอาต์พุต ทำหน้าที่ป้องกันไม่ให้มีแรงดันไฟฟ้ากระแสตรงออกมาทางเอาต์พุต



รูปที่ 4.6 แสดงวงจรเลื่อนเฟส

4.2.6 วงจรคูณสัญญาณ

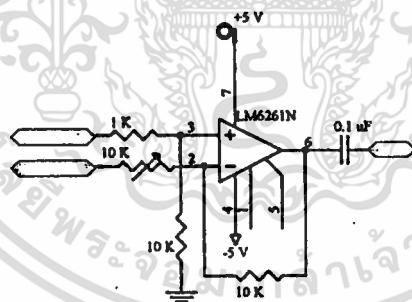
วงจรคูณสัญญาณ มีหน้าที่คูณสัญญาณบิตคู่และบิตคี่ด้วยคลื่นพาร์ วงจรคูณใช้ไอซีเบอร์ AD834 จำนวน 2 ชุค ซึ่งจะต้องต่อร่วมกับวงจรดิเฟอเรนเชียล โดยการนำสัญญาณเอาต์พุตของวงจร คูณสัญญาณขา W1 และ W2 มาต่อเข้ากับขาอินเวอร์ตติ้งและขานอนอินเวอร์ตติ้ง ตามลำดับ จึงจะได้ สัญญาณคลื่นพาร์ที่มีการเปลี่ยนแปลงเฟสตามสัญญาณข้อมูลดิจิทัล ที่มีขนาดแรงดันไฟฟ้าของ สัญญาณเพียงพอที่จะส่งต่อให้วงจรรวมสัญญาณสามารถทำงานได้ วงจรคูณจะมีจำนวน 2 ชุค โดยชุค แรกใช้สำหรับคูณสัญญาณบิตคู่กับสัญญาณคลื่นพาร์แบบอินเฟส อีกชุคหนึ่งใช้สำหรับคูณสัญญาณบิต คี่กับสัญญาณคลื่นพาร์แบบควอคราเจอร์เฟส ซึ่งสัญญาณทั้งสองมีลักษณะสอดคล้องกับสัญญาณ BPSK



รูปที่ 4.7 แสดงวงจรคูณสัญญาณ

4.2.7 วงจรคิฟเฟอเรนเชียล

วงจรคิฟเฟอเรนเชียลเป็นวงจรขยายแรงดันส่วนต่างระหว่างอินพุต + และ - ของออปแอมป์ โดยขยายสัญญาณที่ได้จากไอซีคูณสัญญาณ(AD834) ตัวต้านทานปรับค่าได้ 10 กิโลโอห์ม ที่ต่ออยู่กับขาอินเวอร์ตติ้งของออปแอมป์ใช้ปรับอัตราขยายให้มีค่าประมาณ 4 เท่า ตัวเก็บประจุค่า 0.1 ไมโครฟารัด มีหน้าที่ป้องกันไม่ให้สัญญาณไฟฟ้ากระแสตรงผ่านออกไปทางเอาต์พุต



รูปที่ 4.8 แสดงวงจรคิฟเฟอเรนเชียล

4.2.8 วงจรรวมสัญญาณ

วงจรรวมสัญญาณทำหน้าที่นำสัญญาณ I และ Q มารวมกันและรวมกับสัญญาณคลื่นพาห์ เอาต์พุตที่ได้จะเป็นสัญญาณ QPSK ตัวต้านทานแบบปรับค่าได้ 10 กิโลโอห์ม ที่ต่อกับขาอินเวอร์ตติ้งของออปแอมป์ใช้เพื่อปรับความแรงของสัญญาณคลื่นพาห์ ให้มีขนาดความแรงของสัญญาณเหมาะสม ส่วนตัวต้านทานแบบปรับค่าได้ที่ป้อนกลับจากเอาต์พุตมาต่อกับขาอินเวอร์ตติ้งของออปแอมป์ มีหน้าที่ในการปรับอัตราขยายของวงจรเพื่อขยายสัญญาณ QPSK โดยปรับอัตราขยายประมาณ 2 เท่า

$$V_o = (V_1 + V_2 + V_3) \left(\frac{R_f}{R_i + R_g} \right) \quad (4.2)$$

โดยที่ V_o คือสัญญาณ QPSK

V_1 คือสัญญาณ I

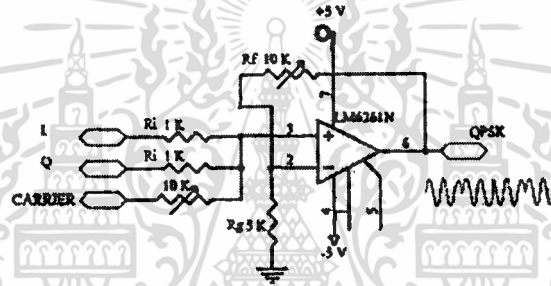
V_2 คือสัญญาณ Q

V_3 คือสัญญาณคลื่นพาห์

R_f คือตัวต้านทานป้อนกลับ

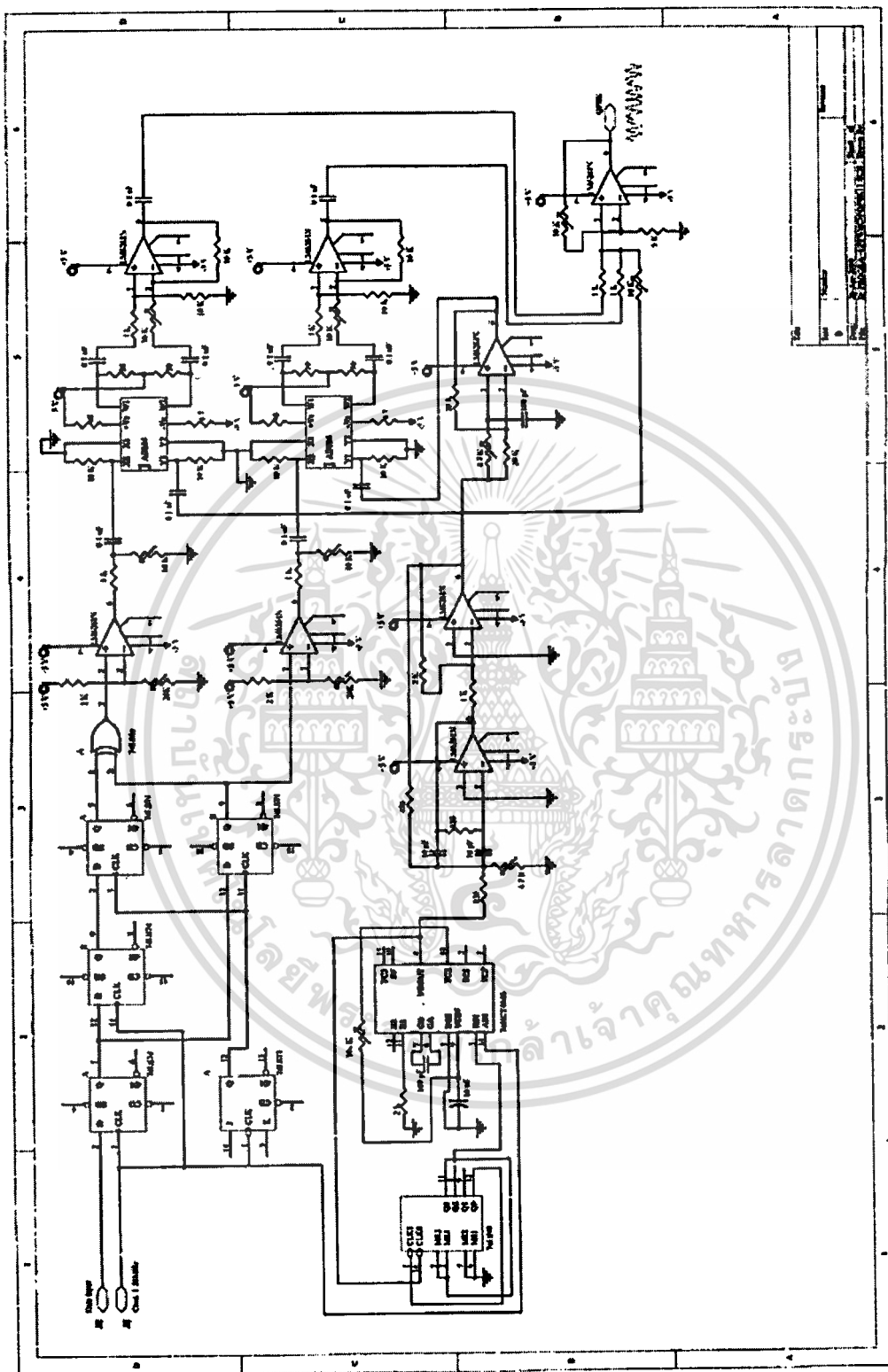
R_i คือตัวต้านทานอินพุต

R_g คือตัวต้านทานที่ต่อระหว่างขาอินเวอร์ตกับกราวด์



รูปที่ 4.9 แสดงวงจรรวมสัญญาณ

รูปที่ 4.10 แสดงวงจรมอดูเลตสัญญาณ QPSK ซึ่งประกอบด้วยวงจรแยกสัญญาณดิจิทัล โดยใช้ Data Flip-Flop และ JK Flip-Flop ทำการแปลงข้อมูลจากแบบอนุกรมให้เป็นแบบขนาน จะได้สัญญาณบิตคู่และบิตคี่ส่งต่อเข้า EX-OR GATE เพื่อเข้ารหัสของเกรย์ สัญญาณบิตคู่และบิตคี่ที่ได้จากการเข้ารหัสของเกรย์ ในกรณีของข้อมูลลอจิก 1 จะมีระดับแรงดัน +5 โวลต์ และที่ข้อมูลลอจิก 0 จะได้แรงดัน 0 โวลต์ ส่งเข้าวงจรปรับแรงดันจะทำการเปลี่ยนแปลงระดับแรงดันจากศูนย์โวลต์เป็น -5 โวลต์ และที่ +5 โวลต์ยังคงระดับแรงดันไว้ที่ +5 โวลต์ ต่อจากนั้นนำไปเข้าวงจรคูณสัญญาณ ซึ่งเป็นไอซีเบอร์ AD834 โดยสัญญาณบิตคู่จะต่อเข้ากับขา X2 ของวงจรคูณสัญญาณชุดบน และขา Y1 เป็นสัญญาณคลื่นพาห์ความถี่ 10.24 MHz ที่ได้จากวงจรสังเคราะห์ความถี่ ส่วนสัญญาณบิตคี่จะต่อเข้ากับขา X2 ของวงจรคูณสัญญาณชุดล่าง โดยมีขา Y1 เป็นสัญญาณคลื่นพาห์ที่ถูกเลื่อนเฟสไปแล้ว 90 องศา เอาต์พุตที่ได้จากวงจรคูณสัญญาณ จะนำเข้าสู่วงจรรวมสัญญาณ ซึ่งนำสัญญาณคลื่นพาห์ร่วมกับสัญญาณทั้งสอง ส่งเป็นสัญญาณ QPSK

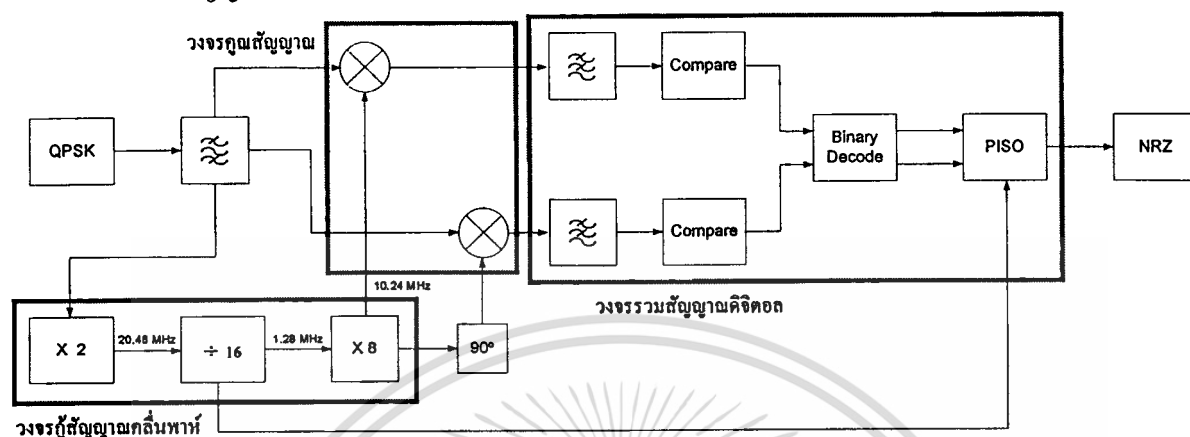


รูปที่ 4.10 แสดงวงจรมอดูเลตสัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การออกแบบและการสร้างส่วนดีมอดูเลตสัญญาณดิจิทัล

การรับสัญญาณ QPSK จะประกอบด้วยวงจรต่างๆ ดังนี้



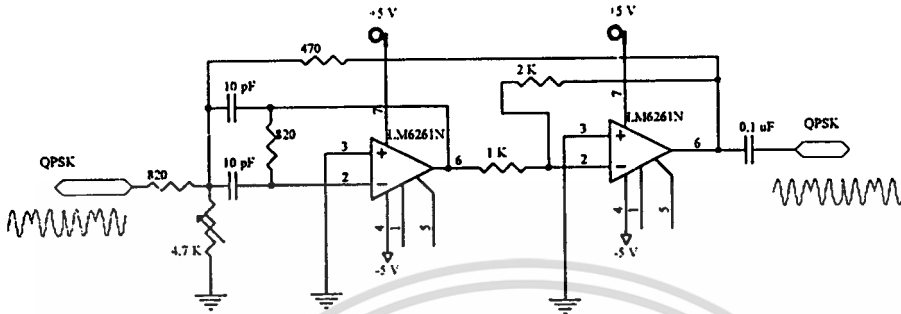
รูปที่ 4.11 แสดงบล็อกไดอะแกรมภาครับ

ภาครับ QPSK จะนำสัญญาณ QPSK ผ่านเข้าวงจรกรองความถี่ผ่านเฉพาะช่วง (Band-Pass Filter: BPF) และแยกเข้าวงจรคูณสัญญาณกับวงจรกู้สัญญาณคลื่นพาห์ วงจรกู้สัญญาณคลื่นพาห์จะทำการคูณสัญญาณ QPSK ด้วย 2 ได้ความถี่ 20.48 MHz และหารด้วย 16 จะได้ Clock ความถี่ 1.28 MHz ใช้สำหรับวงจรรวมสัญญาณดิจิทัล ต่อจากนั้นนำ Clock ที่ได้มาคูณด้วย 8 เอาต์พุตที่ได้เป็น Clock 10.24 MHz เมื่อนำ Clock มาผ่านวงจรกรองความถี่ผ่านเฉพาะช่วง จะได้คลื่นพาห์เพื่อส่งเข้าวงจรคูณสัญญาณสองชุด ชุดหนึ่งเข้าวงจรคูณสัญญาณโดยตรง อีกชุดถูกเลื่อนเฟส 90 องศา ก่อนเข้าวงจรคูณสัญญาณ เอาต์พุตที่ได้จากวงจรคูณประกอบด้วยความถี่สูงและความถี่ต่ำ ส่วนความถี่สูงจะถูกกรองทิ้งเหลือเฉพาะความถี่ต่ำเท่านั้น โดยวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter: LPF) สัญญาณความถี่ต่ำที่ได้จะมีระดับแรงดันเป็นบวกและลบ ต้องถูกแปลงระดับแรงดันเป็นบวกและศูนย์โดยวงจรแปลงระดับแรงดัน เพื่อให้อยู่ในระดับแรงดันที่วงจร PISO (Parallel-in-serial-out) สามารถทำงานได้ นำสัญญาณที่ถูกแปลงระดับแรงดันแล้วต่อเข้าวงจร PISO เพื่อรวมสัญญาณดิจิทัล และส่งออกเป็นสัญญาณ NRZ

4.3.1 วงจรกรองความถี่ผ่านเฉพาะช่วง

วงจรกรองความถี่ผ่านเฉพาะช่วง ประกอบด้วยกัน 4 ชุด แบ่งเป็น 2 ชุด สำหรับกรองความถี่ QPSK ที่รับได้ แล้วป้อนเข้าวงจรขยาย ส่วนอีก 2 ชุด ใช้สำหรับกรองความถี่ QPSK ที่รับได้ ให้ไปเข้าวงจรกำเนิดสัญญาณนาฬิกาและวงจรกำเนิดสัญญาณคลื่นพาห์ วงจรกรองความถี่ผ่านเฉพาะช่วงที่แสดงดังรูปที่ 4.12 เป็นวงจรกรองความถี่แบบ second-order band-pass positive feedback filter โดยมีอัตรา

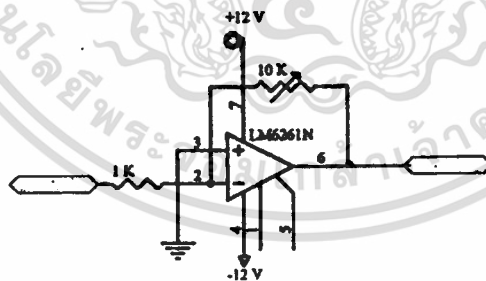
ขยาย 2 เท่า ความถี่กลาง f_o เท่ากับ 10 MHz ความถี่ด้านบนของแบนด์วิดท์ f_H เท่ากับ 15 MHz ความถี่ด้านล่างของแบนด์วิดท์ f_L เท่ากับ 5 MHz และค่า Q เท่ากับ 0.7



รูปที่ 4.12 แสดงวงจรกรองความถี่ผ่านเฉพาะช่วง

4.3.2 วงจรขยายสัญญาณ

วงจรขยายสัญญาณทำหน้าที่ขยายสัญญาณ QPSK ให้มีขนาดแรงดันเพิ่มจากระดับ +5 โวลต์ และ -5 โวลต์ เป็น +9 โวลต์ และ -9 โวลต์ ตามลำดับ เพื่อนำไปเข้าวงจรคูณสัญญาณทั้งสองชุด วงจรขยายสัญญาณที่แสดงในรูป 4.13 เป็นวงจรขยายแบบกลับเฟส ซึ่งอัตราขยายสัญญาณขึ้นอยู่กับตัวต้านทาน 1 กิโลโอห์ม และตัวต้านทานแบบปรับค่าได้ 10 กิโลโอห์ม ในการเปลี่ยนแปลงอัตราขยายสามารถทำได้โดยการปรับที่ตัวต้านทาน 10 กิโลโอห์ม

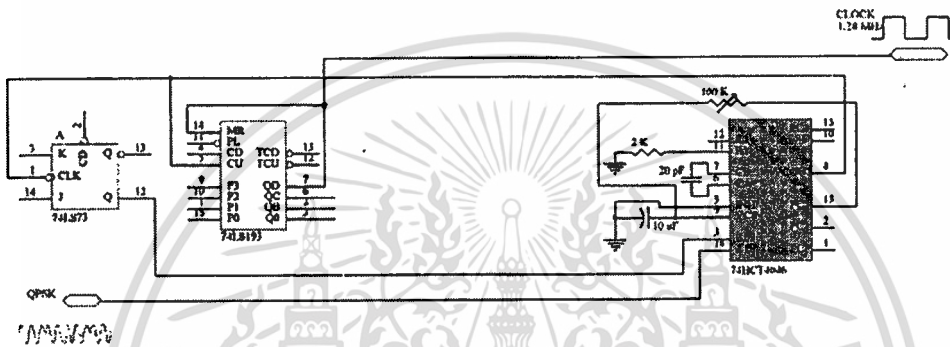


รูปที่ 4.13 แสดงวงจรขยายสัญญาณ

4.3.3 วงจรกำเนิดสัญญาณนาฬิกา

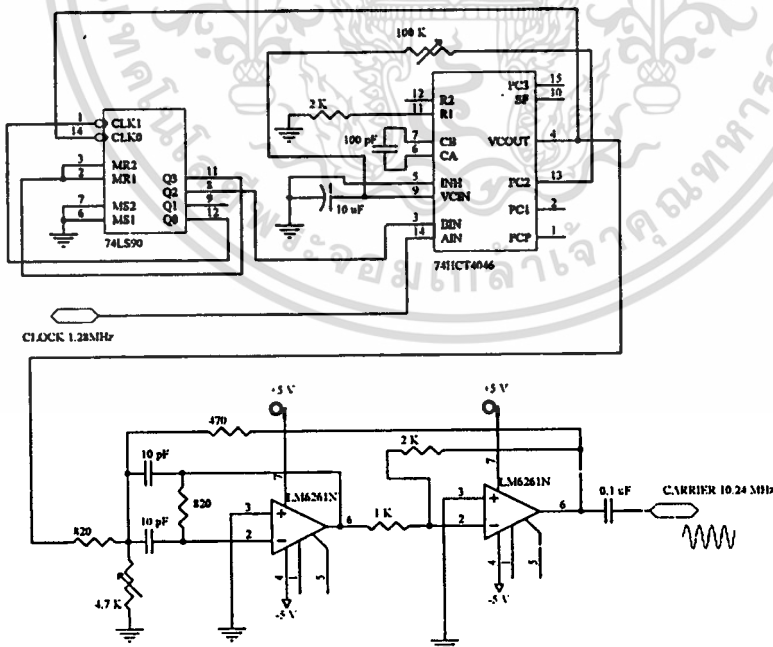
วงจรกำเนิดสัญญาณนาฬิกา จะทำหน้าที่สร้างสัญญาณนาฬิกา 1.28 MHz จากสัญญาณ QPSK ซึ่งประกอบด้วยสัญญาณคลื่นพาห้ความถี่ 10.24 MHz รวมอยู่ด้วย โดยใช้วงจรสังเคราะห์ความถี่ด้วยเฟสล็อกคูล์ แล้วนำสัญญาณนาฬิกา 1.28 MHz จากส่วนหารความถี่ (ไอซีเบอร์ 74LS193) ซึ่งในส่วน

ของวงจรเฟสล็อกคูลูป ใช้ไอซีเบอร์ 74HCT4046 และในส่วนหารความถี่ ใช้ไอซีเบอร์ 74LS193 ไอซีเบอร์ 74LS08 และไอซีเบอร์ 74LS73 ในส่วนของไอซี 74HCT4046 จะรับสัญญาณคลื่นพาท 10.24 MHz เข้ามา และทำการสังเคราะห์ความถี่ โดยใช้ส่วนคูณความถี่ด้วย 2 ซึ่งเป็นไอซีเบอร์ 74LS73 (JK Flip-Flop) คั้งนั้นจะได้เอาต์พุตจากการสังเคราะห์ความถี่เป็นสัญญาณ 20.48 MHz ต่อจากนั้นนำไปเข้า วงจรหาร 16 ซึ่งประกอบด้วยไอซีเบอร์ 74LS193(Synchronous up down Binary Counter) และ 74LS08(AND GATE) สัญญาณเอาต์พุตที่ได้จะเป็นสัญญาณนาฬิกาความถี่เท่ากับ 1.28 MHz



รูปที่ 4.14 แสดงวงจรกำเนิดสัญญาณนาฬิกา

4.3.4 วงจรกำเนิดสัญญาณคลื่นพาท



รูปที่ 4.15 แสดงวงจรกำเนิดสัญญาณคลื่นพาท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

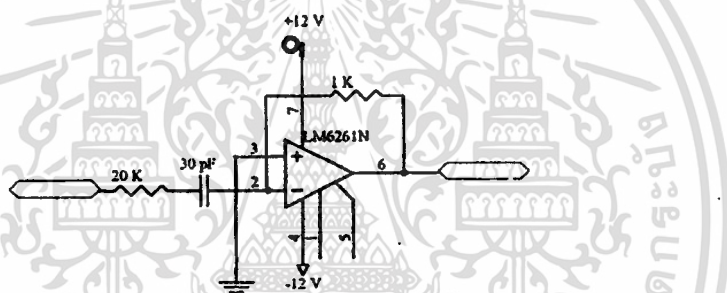
วงจรกำเนิดสัญญาณคลื่นพาห้ เป็นวงจรสร้างสัญญาณความถี่ 10.24MHz จากสัญญาณนาฬิกา 1.28MHz โดยใช้หลักการสังเคราะห์ความถี่ด้วยเฟสล็อกคูลิป โดยทำการคูณสัญญาณนาฬิกา 1.28 MHz ด้วย 8 ก็จะได้สัญญาณความถี่ 10.24 MHz เช่นเดียวกับภาคส่ง

4.3.5 วงจรเลื่อนเฟส

วงจรเลื่อนเฟสที่ภาครับ มีหน้าที่ปรับเฟสของสัญญาณคลื่นพาห้ให้ตรงกับเฟสของสัญญาณ QPSK โดยใช้วงจรเหมือนกับภาคส่งในหัวข้อที่ 4.2.5

4.3.6 วงจรดิฟเฟอเรนเชียลเฟอเรนชิเอเตอร์

วงจรดิฟเฟอเรนเชียลเฟอเรนชิเอเตอร์ทำหน้าที่ดิฟเฟอเรนเชียลสัญญาณคลื่นพาห้ที่ได้จากวงจรเลื่อนเฟสให้เป็นสัญญาณคลื่นพาห้ที่มีเฟสเลื่อนไป 90 องศา



รูปที่ 4.16 แสดงวงจรดิฟเฟอเรนชิเอเตอร์

4.3.7 วงจรคูณสัญญาณ

วงจรคูณสัญญาณที่ภาครับทำหน้าที่เป็นวงจรตรวจจับความต่างเฟสของสัญญาณ QPSK กับสัญญาณคลื่นพาห้ โดยใช้วงจรเหมือนกับภาคส่งในหัวข้อที่ 4.2.6

4.3.8 วงจรดิฟเฟอเรนเชียล

วงจรดิฟเฟอเรนเชียลทำหน้าที่ขยายสัญญาณที่ได้จากไอซีคูณสัญญาณเบอร์ AD834 โดยใช้วงจรเหมือนกับภาคส่งในหัวข้อที่ 4.2.7

4.3.9 วงจรกรองความถี่ต่ำผ่าน

ผลจากการคูณสัญญาณคลื่นพาห้แบบอินเฟสกับสัญญาณ QPSK และสัญญาณคลื่นพาห้แบบควอดราเจอร์เฟสกับสัญญาณ QPSK จะมีสัญญาณความถี่สูง และสัญญาณความถี่ต่ำ วงจรกรอง

ชุดนี้จะกรองเฉพาะสัญญาณความถี่ต่ำเท่านั้น ความถี่สูงจะไม่ออกมาทางด้านเอาต์พุตของวงจรนี้ ดังนั้นเอาต์พุตที่ได้จะเป็นสัญญาณข้อมูลบิตคู่และบิตคี่ (ความถี่ Cut-off (f_c) เท่ากับ 1 MHz)

กำหนดค่า α และ β จากตารางที่ 3.1 และค่า $C=330$ pF จากสมการ 3.37 จะได้

$$\text{ส่วนที่ 1 } \alpha=0.2177, \beta=0.9254, f_c=1 \text{ MHz}$$

$$\alpha' = \alpha 2\pi f_c = 0.2177 \times 2 \times 3.14 \times 1 \times 10^6 = 1.38 \times 10^6$$

$$\beta' = \beta 2\pi f_c = 0.9254 \times 2 \times 3.14 \times 1 \times 10^6 = 5.81 \times 10^6$$

$$R_1 = 1/2\alpha' C = 1/(2 \times 1.38 \times 10^6 \times 330 \times 10^{-12}) = 1098 \text{ โอห์ม}$$

$$\begin{aligned} R_2 &= 2\alpha' / C(\alpha'^2 + \beta'^2) \\ &= (2 \times 1.38 \times 10^6) / \{330 \times 10^{-12} [(1.38 \times 10^6)^2 + (5.81 \times 10^6)^2]\} \\ &= 234 \text{ โอห์ม} \end{aligned}$$

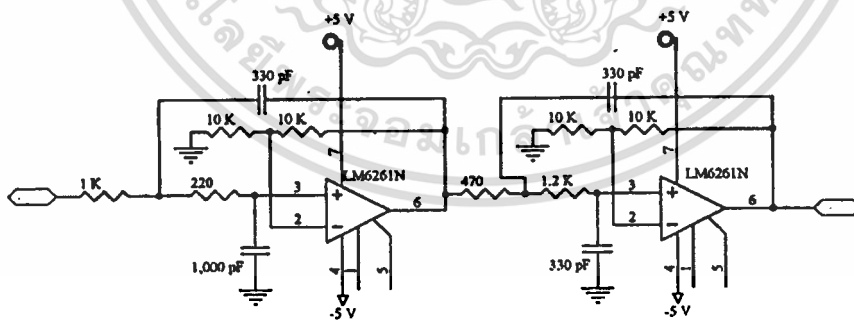
$$\text{ส่วนที่ 2 } \alpha=0.5257, \beta=0.3833, f_c=1 \text{ MHz}$$

$$\alpha' = \alpha 2\pi f_c = 0.5257 \times 2 \times 3.14 \times 1 \times 10^6 = 3.3 \times 10^6$$

$$\beta' = \beta 2\pi f_c = 0.3833 \times 2 \times 3.14 \times 1 \times 10^6 = 2.4 \times 10^6$$

$$R_1 = 1/2\alpha' C = 1/(2 \times 3.3 \times 10^6 \times 330 \times 10^{-12}) = 459 \text{ โอห์ม}$$

$$\begin{aligned} R_2 &= 2\alpha' / C(\alpha'^2 + \beta'^2) \\ &= (2 \times 3.3 \times 10^6) / \{330 \times 10^{-12} [(3.3 \times 10^6)^2 + (2.4 \times 10^6)^2]\} \\ &= 1201 \text{ โอห์ม} \end{aligned}$$



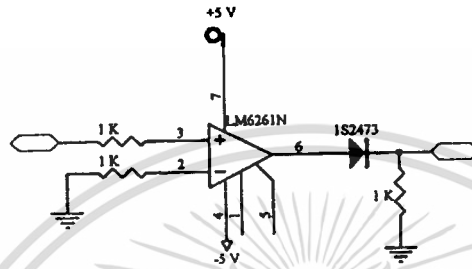
รูปที่ 4.17 แสดงวงจรกรองความถี่ต่ำผ่าน

4.3.10 วงจรแปลงระดับแรงดัน

วงจรแปลงระดับแรงดันทำหน้าที่แปลงระดับแรงดัน +5 โวลต์ และ -5 โวลต์ จากวงจรกรองความถี่ต่ำผ่านให้เป็น +5 โวลต์ และ 0 โวลต์ ตามลำดับ สัญญาณอินพุตที่เข้ามาทางขานอนอินเวอร์ต

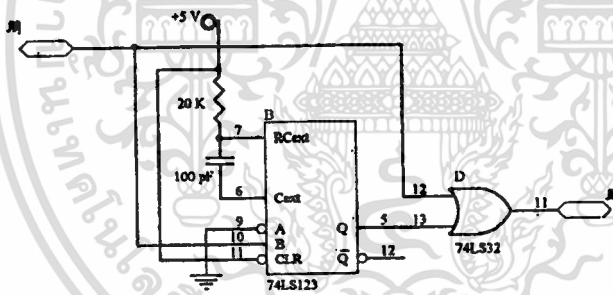
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะถูกเปรียบเทียบระดับแรงดันกับขาอินเวอร์ตติ้ง เมื่อสัญญาณอินพุตมีระดับแรงดันเป็นบวกมากกว่าขาอินเวอร์ตติ้ง เอาต์พุตที่ได้จะเป็นสัญญาณที่มีระดับแรงดันเป็นบวก ผ่านไดโอด 1S7423 และในกรณีสัญญาณอินพุตมีระดับแรงดันบวกน้อยกว่าขาอินเวอร์ตติ้ง เอาต์พุตที่ได้จะเป็นสัญญาณที่มีระดับแรงดันเป็นลบ ซึ่งจะไม่สามารถผ่านไดโอด 1S2473 ไปได้ แรงดันที่ตกคร่อมตัวต้านทาน 1 กิโลโอห์ม จึงมีค่าเป็นศูนย์



รูปที่ 4.18 แสดงวงจรแปลงระดับแรงดัน

4.3.11 วงจรโมนอสเตเบิล



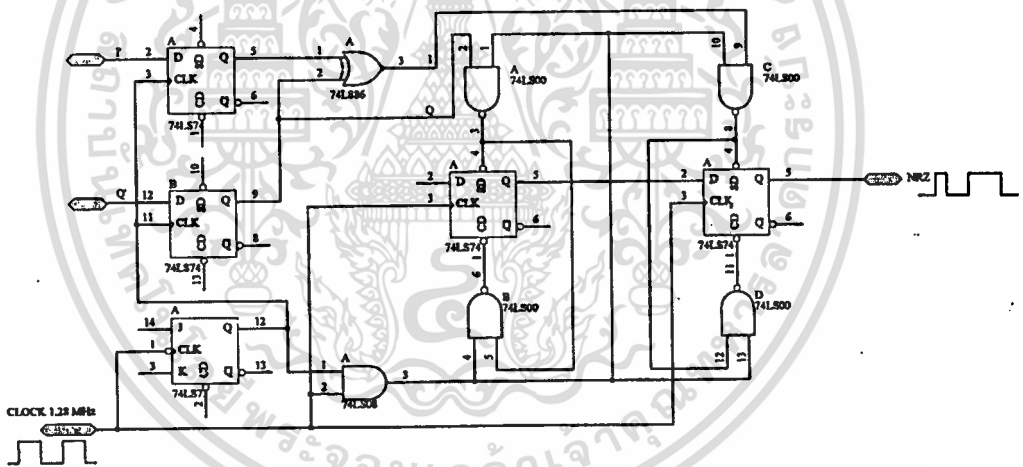
รูปที่ 4.19 แสดงวงจร โมนอสเตเบิล

วงจร โมนอสเตเบิลทำหน้าที่ปรับสัญญาณดิจิทัลที่เข้ามาทางอินพุตให้มีความแน่นอนขึ้น และมีลักษณะรูปคลื่นดีขึ้น โดยใช้ไอซีเบอร์ 72LS123 รับสัญญาณขอบขาขึ้นของพัลส์ สัญญาณที่ได้จากขา Q ของไอซี 74LS123 จะเป็นสัญญาณพัลส์ เมื่ออินพุตมีช่วงขอบขาขึ้นของพัลส์ 1 ช่วง จะได้สัญญาณพัลส์ออกมาทางเอาต์พุตหนึ่งพัลส์ ในส่วนนี้มีหน้าที่ป้องกันในกรณีที่พัลส์ซึ่งเข้ามาทางอินพุตมีจำนวนมากเกินไป ทำให้การตีมอดูเลตผิดพลาด สัญญาณอินพุตจะถูกนำมา OR กับพัลส์ที่ได้จากขา Q เพื่อให้เอาต์พุตจาก OR GATE เป็นลอจิก 1 (พัลส์บวก) ในกรณีที่สัญญาณอินพุตมีระดับแรงดันบวก แต่เอาต์พุตที่ขา Q ไม่มีพัลส์ออกมา(ลอจิก 0)

4.3.12 วงจรรวมสัญญาณดิจิทัล

วงจรรวมสัญญาณดิจิทัล ใช้หลักการของวงจร Parallel-in-serial-out ทำการรวมสัญญาณบิตคู่ และบิตคี่ที่เข้ามาแบบขนาน ให้ออกมาเป็นแบบอนุกรม เป็นสัญญาณ NRZ

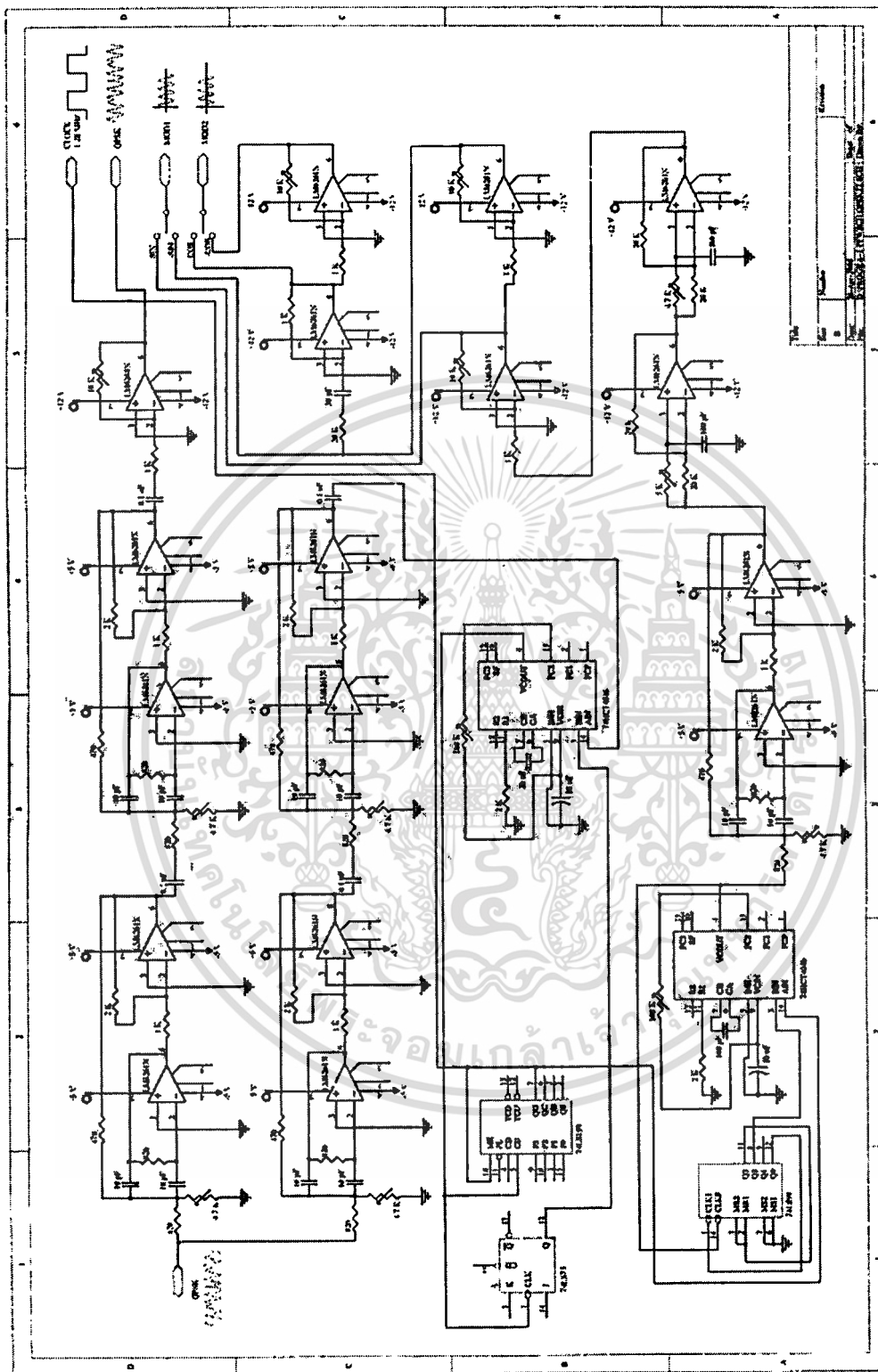
จากรูปที่ 4.20 สัญญาณข้อมูลบิตคู่และบิตคี่ที่ถูกเข้ารหัสของเกรย์ จะส่งผ่าน Data Flip-Flop เข้าไปสู่ส่วนถอดรหัสโดยใช้ ไอซีเบอร์ 74LS86 ซึ่งเป็น EX-OR GATE เอาต์พุตที่ได้จะเป็นสัญญาณข้อมูลบิตคู่และบิตคี่เพื่อนำไปใช้ในการสร้างสัญญาณ NRZ โดยวงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรม สัญญาณข้อมูลบิตคู่และบิตคี่จะถูกต่อเข้ากับไอซี 74LS00(NAND GATE) ดังรูป ในกรณีที่ข้อมูลเป็นลอจิก 1 NAND GATE จะมีเอาต์พุตเป็นลอจิก 0 ซึ่งทำให้เกิดการ Preset การทำงานของ Data Flip-Flop เอาต์พุตที่ขา Q ของ Data Flip-Flop จะเป็นลอจิก 1 เมื่ออินพุตของขา Preset(SD) เป็นลอจิก 0 จะส่งผลให้ NAND GATE ที่ต่ออยู่กับขา Clear(CD) เป็นลอจิก 1 ซึ่งไม่มีผลกับการ Clear สถานะของ Data Flip-Flop และในกรณีที่ข้อมูลอินพุตเป็นลอจิก 0 จะทำให้ที่ขา SD เป็นลอจิก 1 และที่ขา CD เป็นลอจิก 0 ทำให้เอาต์พุตของ Data Flip-Flop มีลอจิกเป็น 0



รูปที่ 4.20 แสดงวงจรรวมสัญญาณดิจิทัล

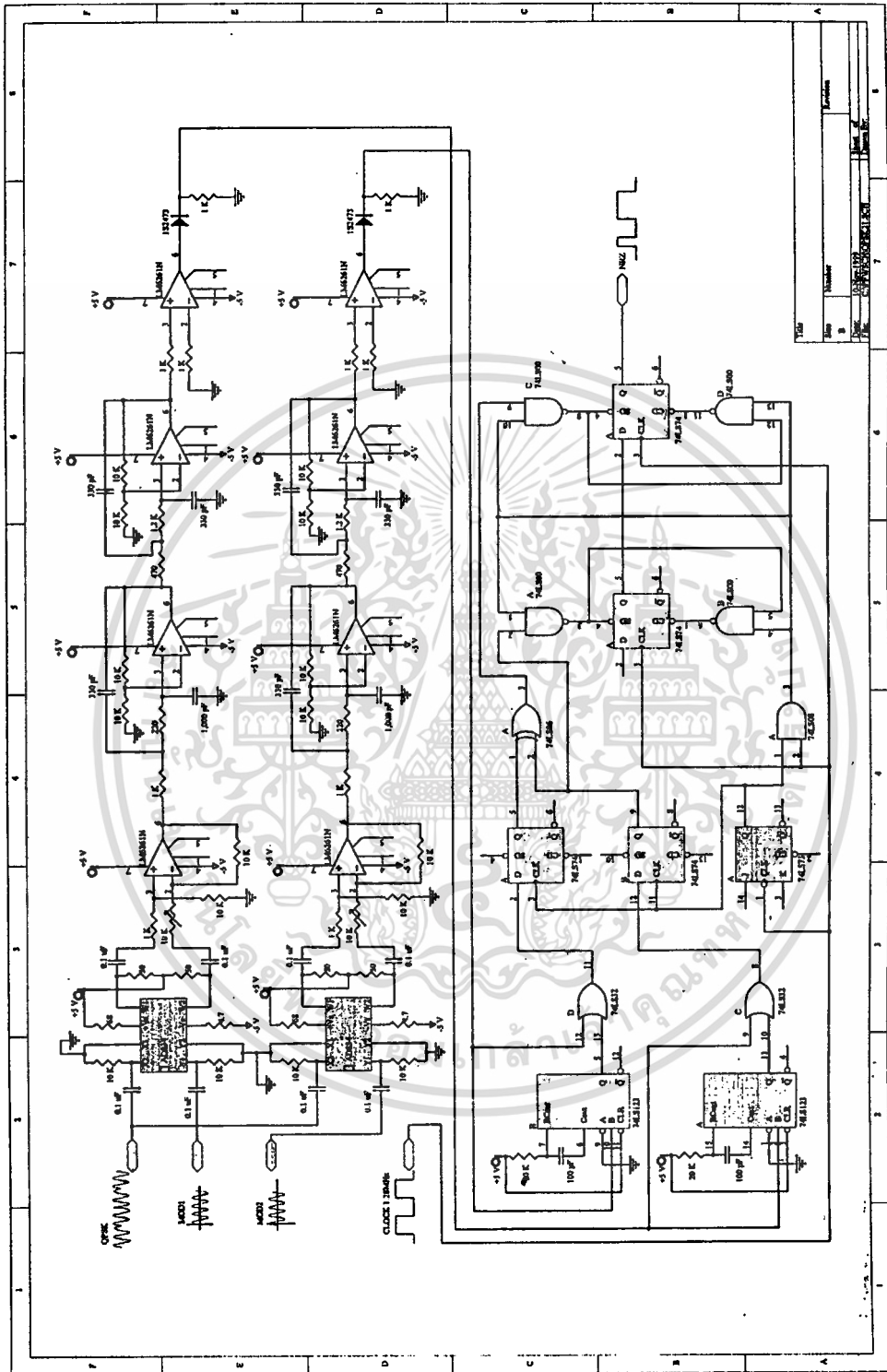
จากหลักการดังกล่าว เป็นการนำข้อมูลแบบขนานเข้าสู่ Data Flip-Flop แต่ละตัว และเมื่อมีสัญญาณนาฬิกาเข้ามาที่ขา CLK จะเป็นการส่งข้อมูลออกไปทางเอาต์พุตแบบอนุกรม ไอซีเบอร์ 74LS73(JK Flip-Flop) ทำหน้าที่หารความถี่ 1.28 MHz ด้วย 2 จะได้ความถี่ 0.64 MHz ซึ่งทั้งสัญญาณ 1.28 MHz และ 0.64 MHz ใช้ในการควบคุมจังหวะการทำงานของวงจรรวมสัญญาณดิจิทัล ไอซี 74LS08(AND GATE) ใช้เป็นส่วนส่งสัญญาณพัลส์ เพื่อควบคุมการ Preset และ Clear ของ Data Flip-Flop

ในส่วนภาครับทำหน้าที่ที่มอดูเลตข้อมูลจากสัญญาณ QPSK สามารถแสดงได้ดังรูปที่ 4.21 และ 4.22 สัญญาณ QPSK จะถูกส่งผ่านเข้าวงจรกรองความถี่เฉพาะช่วงผ่าน โดยแยกออกเป็น 2 ส่วน ส่วนแรกจะนำไปขยายให้เป็นสัญญาณ QPSK ที่มีขนาดความแรงประมาณ 2 เท่าของระดับแรงดันที่รับมาได้ เพื่อนำไปเข้าวงจรตรงจับความต่างเฟส และส่วนที่สองจะนำไปเข้าวงจรสังเคราะห์ความถี่ เพื่อใช้คู่สัญญาณนาฬิกา 1.28 MHz ซึ่งเป็นสัญญาณที่ได้จากเอาต์พุตของไอซีเบอร์ 74LS193 ที่ขา QD สัญญาณนาฬิกา 1.28 MHz นี้จะนำไปใช้เป็นสัญญาณควบคุมการทำงานของวงจรรวมสัญญาณดิจิทัล และนำไปเข้าวงจรสังเคราะห์ความถี่คลื่นพาห์ 10.24 MHz สัญญาณที่ได้จะถูกปรับเฟสสัญญาณให้เกิดการชิงโครไนซ์ระหว่างสัญญาณ QPSK กับสัญญาณคลื่นพาห์ แล้วนำไปขยายให้มีความแรงเพิ่มขึ้น สัญญาณที่ได้จากส่วนนี้จะป็นสัญญาณคลื่นพาห์ที่มีเฟสปกติ ต้องนำไปเข้าวงจรดิฟเฟอเรนเชียลเพื่อทำการดิฟเฟอเรนเชียลให้ได้สัญญาณคลื่นพาห์ที่ถูกเลื่อนเฟสไป 90 องศา ต่อจากนั้นนำสัญญาณ QPSK และสัญญาณคลื่นพาห์ป้อนเข้าสู่วงจรตรงจับความต่างเฟส ซึ่งมีจำนวน 2 ชุด ชุดที่หนึ่งนำสัญญาณ QPSK คู่กับคลื่นพาห์เฟสปกติ เอาต์พุตที่ได้จะเป็นสัญญาณข้อมูลบิตคู่ที่ประกอบด้วยสัญญาณความถี่สูง ชุดที่สองนำสัญญาณ QPSK คู่กับคลื่นพาห์ที่ถูกเลื่อนเฟสไป 90 องศา เอาต์พุตที่ได้จะเป็นสัญญาณข้อมูลบิตคู่ที่ประกอบด้วยสัญญาณความถี่สูง นำสัญญาณที่ได้ผ่านส่วนกรองความถี่ต่ำผ่านเพื่อกำจัดส่วนของสัญญาณความถี่สูงออกไป ให้เหลือเฉพาะสัญญาณบิตคู่และบิตคู่ซึ่งเป็นสัญญาณดิจิทัลที่มีระดับแรงดัน +5 โวลต์ ในกรณีลอจิก 1 และ -5 โวลต์ ในกรณีลอจิก 0 แล้วจึงนำเข้าวงจรแปลงระดับแรงดันให้ที่ลอจิก 1 มีแรงดัน +5 โวลต์ และลอจิก 0 มีแรงดัน 0 โวลต์ ส่งต่อให้กับวงจรโมโนสเตเบิล เพื่อควบคุมสัญญาณรูปคลื่นพัลส์ แล้วนำเข้าวงจรรวมสัญญาณบิตคู่และบิตคู่ เอาต์พุตที่ได้จะเป็นสัญญาณ NRZ ที่ภาคส่งมอดูเลตมากับคลื่นพาห์



รูปที่ 4.21 แสดงวงจรคิมอดูเลตสัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

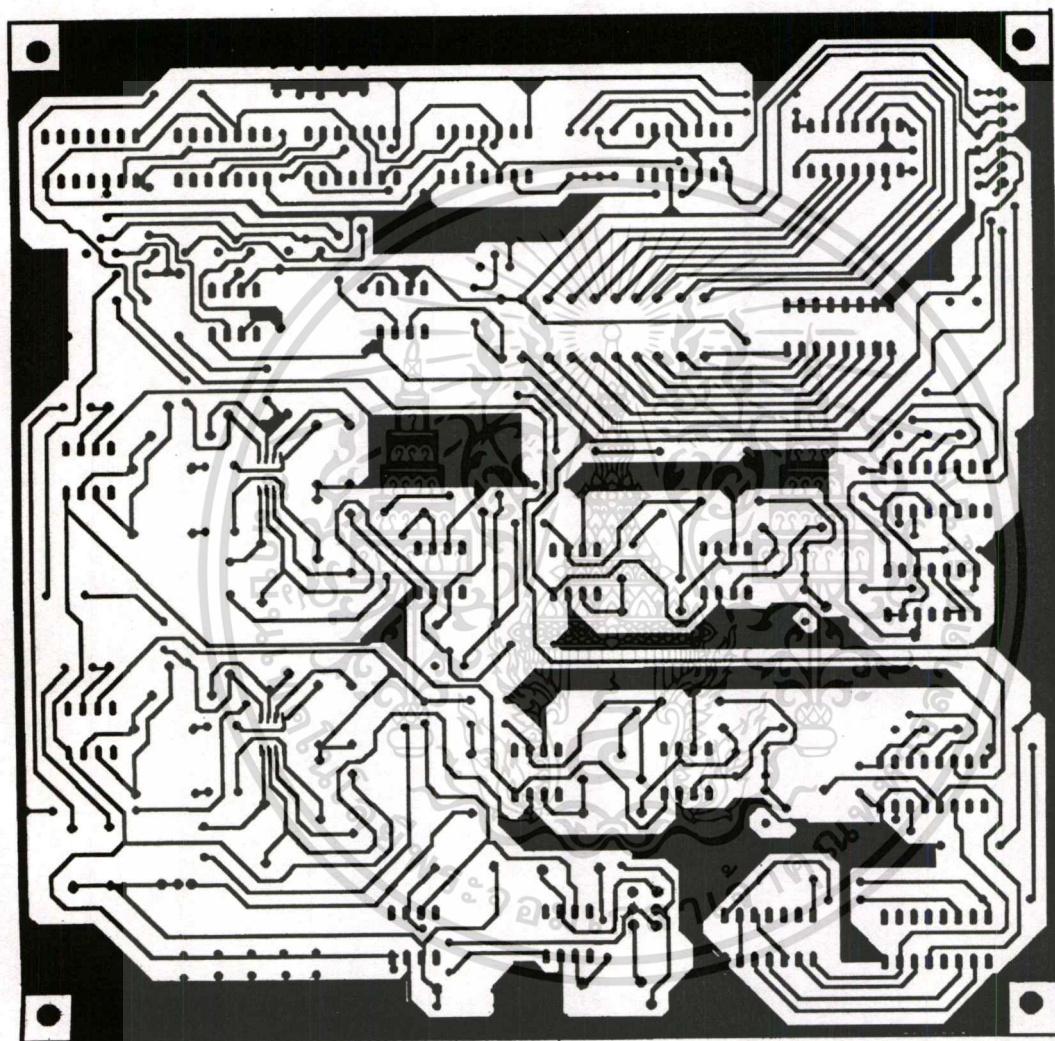


รูปที่ 4.22 แสดงวงจรคิโมดูเลตสัญญาณ QPSK (ต่อ)

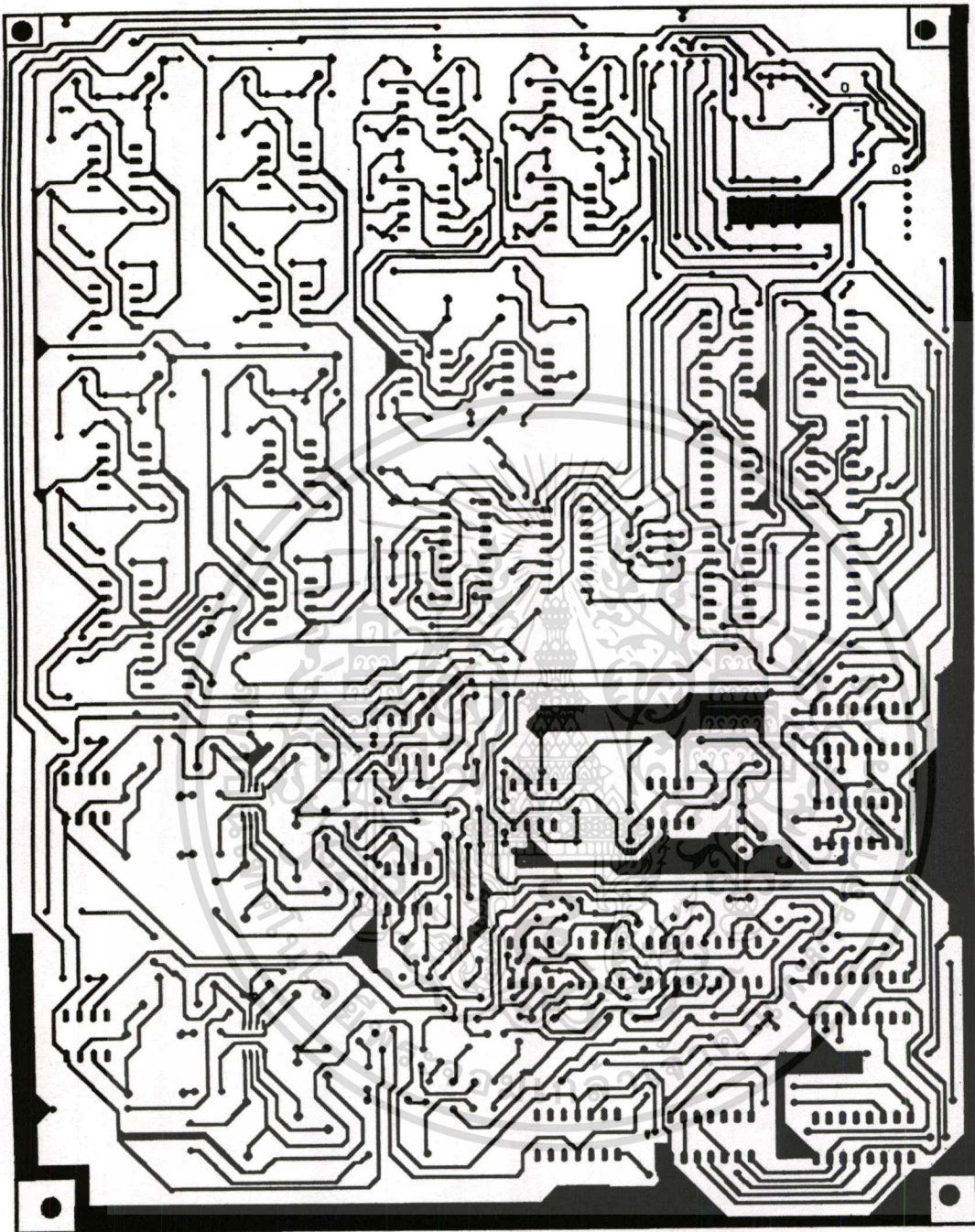
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การสร้างชุดมอดูเลตและดีมอดูเลตสัญญาณดิจิทัลแบบ QPSK

วงจรมอดูเลตและดีมอดูเลตสัญญาณแบบ QPSK ตามที่ได้แสดงในหัวข้อ 4.2 และ 4.3 ได้นำมาสร้างโดยนำอุปกรณ์ต่างๆ มาประกอบลงบนแผ่น PCB ดังรูปที่ 4.23 และ 4.24 ซึ่งเป็นลายทองแดง ออกแบบโดยใช้โปรแกรม Protel ตามวงจรในรูปที่ 4.10, 4.21 และ 4.22



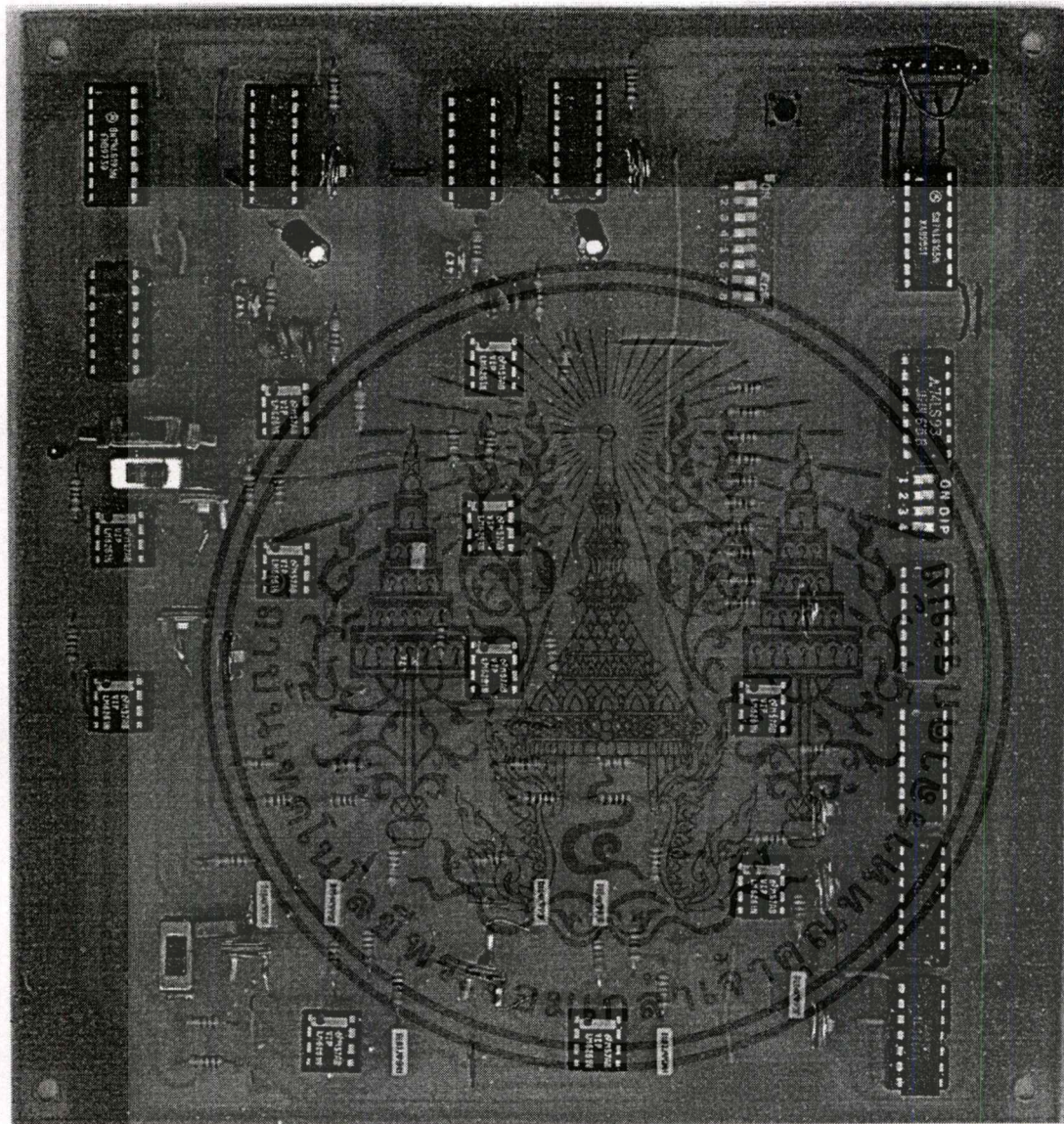
รูปที่ 4.23 แสดงแผ่น PCB ของชุดมอดูเลตสัญญาณ QPSK



รูปที่ 4.24 แสดงแผ่น PCB ของชุดคีมอคูเลตสัญญาณ QPSK

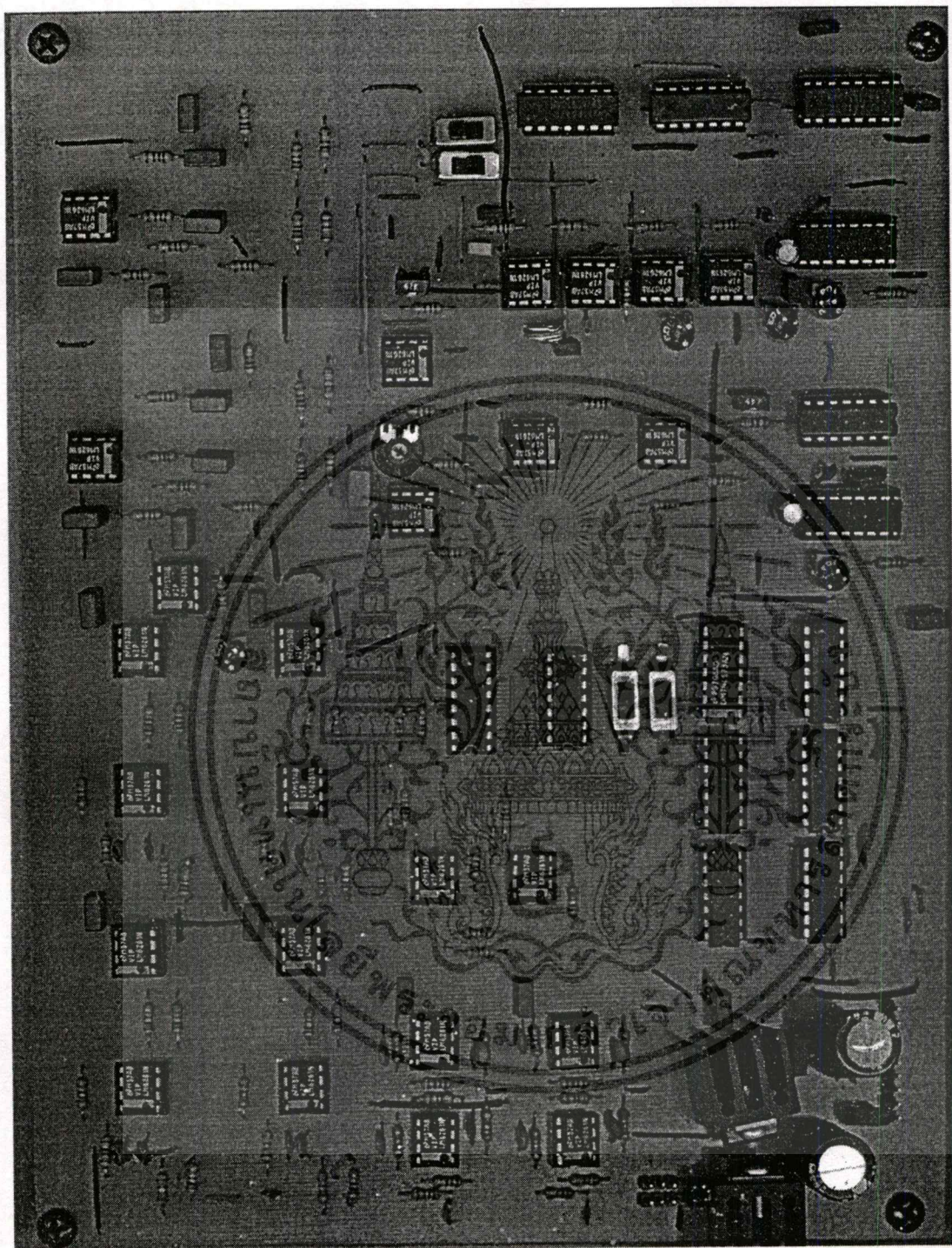
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อประกอบอุปกรณ์ต่างๆ ลงบนแผ่น PCB เสร็จเรียบร้อยแล้ว จะได้ชุดมอดูเลตและคีมอดูเลต สัญญาณแบบ QPSK ดังแสดงในรูปที่ 4.25 และ 4.26



รูปที่ 4.25 แสดงชุดมอดูเลตสัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



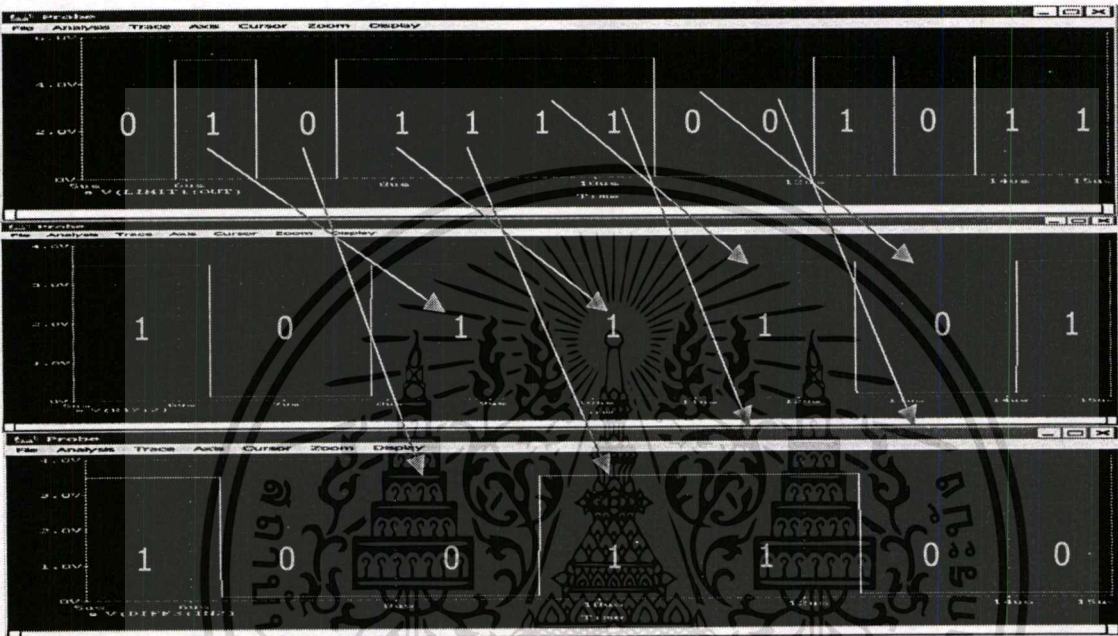
รูปที่ 4.26 แสดงชุดคีมอดูเกตสัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

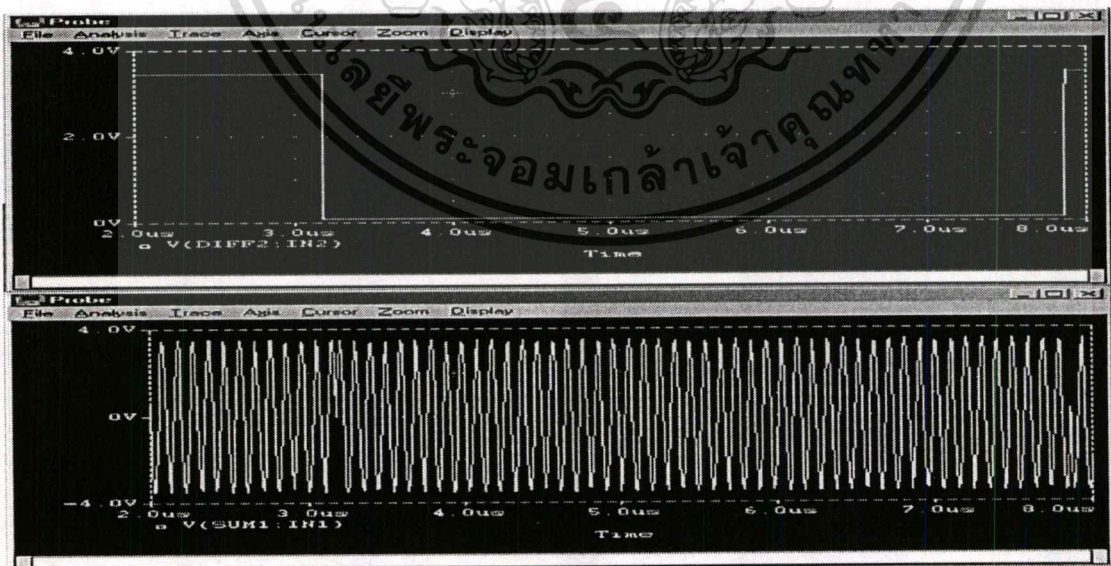
4.5 ลักษณะสัญญาณในแต่ละขั้นตอนของการมอดูเลตและดีมอดูเลตแบบ QPSK

4.5.1 ภาคส่ง Modulator

ลักษณะสัญญาณในแต่ละขั้นตอนของการมอดูเลตสามารถแสดงโดยใช้โปรแกรม PSpice จำลองการทำงานของวงจรอิเล็กทรอนิกส์ตามที่ได้อธิบายในหัวข้อ 4.2

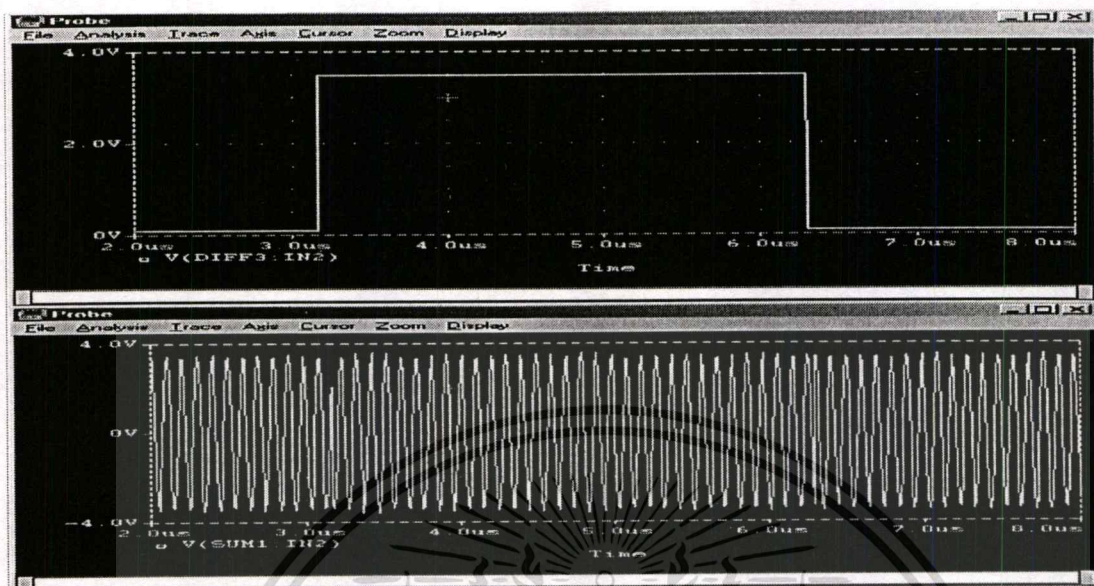


รูปที่ 4.27 แสดงสัญญาณ NRZ(รูปบน)เปรียบเทียบกับสัญญาณบิตคู่(รูปกลาง)และบิตค็อก(รูปล่าง)



รูปที่ 4.28 แสดงสัญญาณบิตคู่เปรียบเทียบกับสัญญาณบิตค็อกที่คูณด้วยคลื่นพาห์เฟสปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



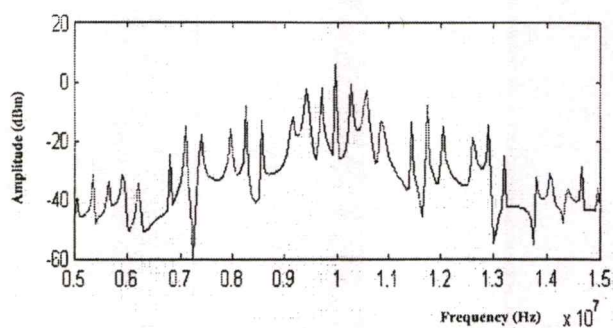
รูปที่ 4.29 แสดงสัญญาณบิตคู่ที่เปรียบเทียบกับสัญญาณบิตคู่ที่คูณด้วยคลื่นพาห่ที่มีเฟสเลื่อน 90 องศา

สัญญาณบิตคู่และบิตคู่ที่ได้จากรูป 4.27 จะต้องทำการแปลงระดับสัญญาณจากบวกและศูนย์ให้เป็นสัญญาณบวกลบ และเข้ารหัสของเกรย์ ก่อนที่จะนำไปคูณกับสัญญาณคลื่นพาห่ที่วางจรูณสัญญาณสัญญาณที่ได้จากรูป 4.28 และ 4.29 แสดงเฟสของสัญญาณคลื่นพาห่ที่เปลี่ยนตามการเปลี่ยนแปลงขั้วบวกและลบของสัญญาณบิตคู่และบิตคู่



รูปที่ 4.30 แสดงสัญญาณ NRZ เปรียบเทียบกับสัญญาณ QPSK

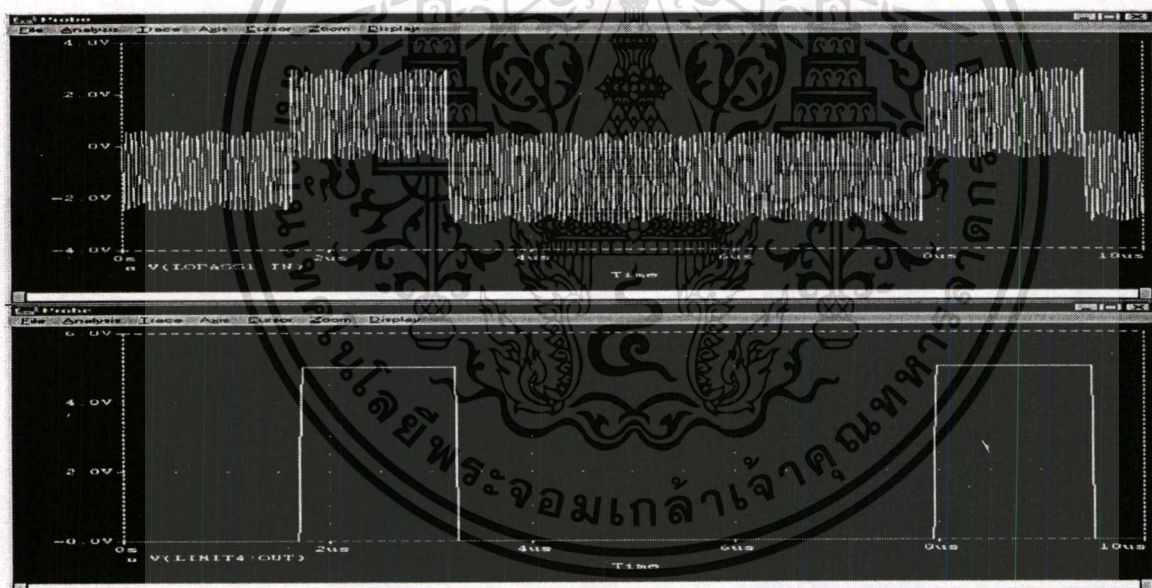
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.31 แสดงสัญญาณ QPSK ในโดเมนความถี่

รูปที่ 4.31 แสดงสัญญาณ QPSK ในโดเมนความถี่ จะได้ค่า CNR เท่ากับ 38 dB และแบนด์วิดท์ เท่ากับ 4.2 MHz

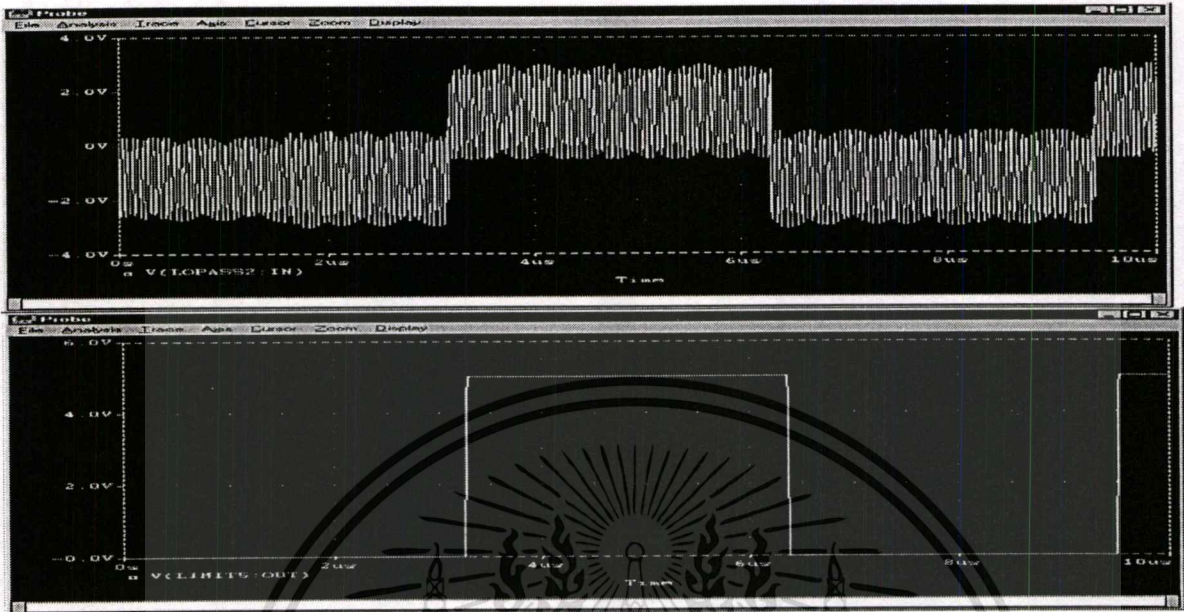
4.5.2 ภาครับ Demodulator



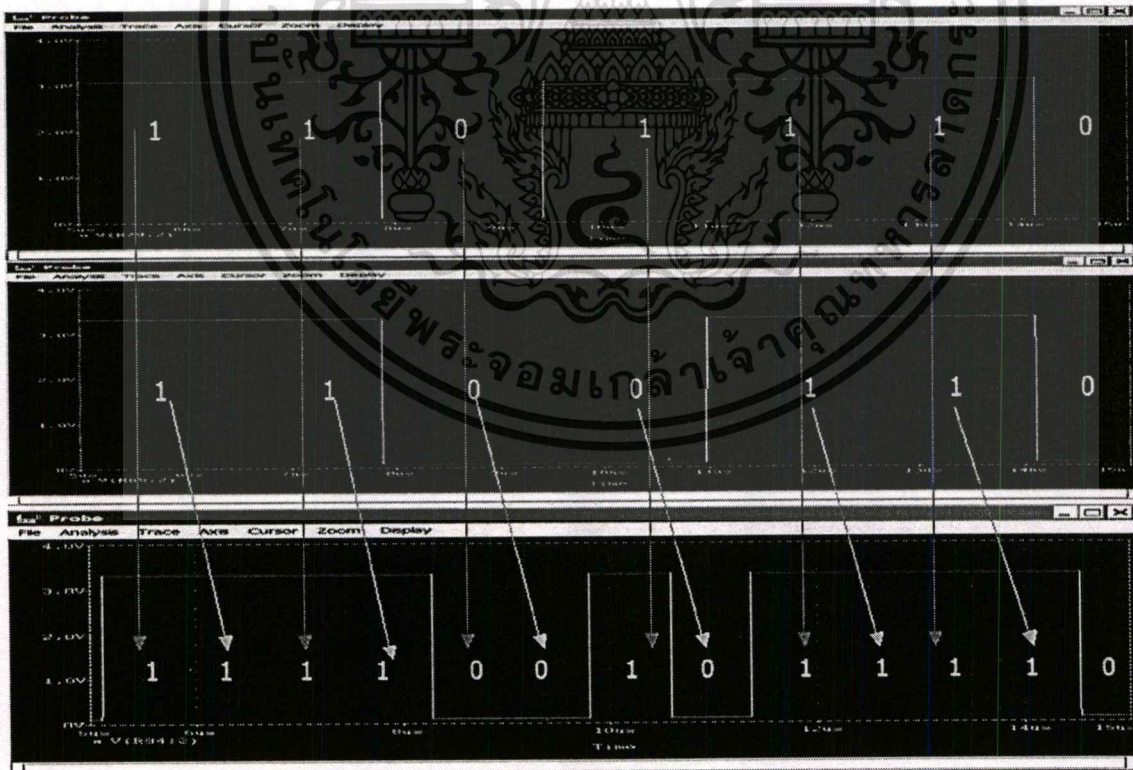
รูปที่ 4.32 แสดงสัญญาณที่ได้จากการคูณสัญญาณ QPSK กับสัญญาณคลื่นพาห่ที่มีเฟสปกติ เปรียบเทียบกับสัญญาณบิตคู่

รูปที่ 4.32 แสดงสัญญาณที่ได้จากการคูณสัญญาณ QPSK กับสัญญาณคลื่นพาห่ที่มีเฟสปกติ สัญญาณที่ได้จะประกอบด้วยคลื่นความถี่สองเท่าของคลื่นพาห่ และมีขนาดความสูงสอดคล้องกับสัญญาณบิตคู่ ตามสมการ
$$b_{of} = \frac{1}{2} \int_0^T \{b_i(t) + b_i(t) \cdot \cos(2\omega_c t) - b_q(t) \cdot \sin(2\omega_c t)\} dt$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.33 แสดงสัญญาณที่ได้จากการคูณสัญญาณ QPSK กับสัญญาณคลื่นพาห์ที่มีเฟสเลื่อน 90 องศา
เปรียบเทียบกับสัญญาณบิตคู่



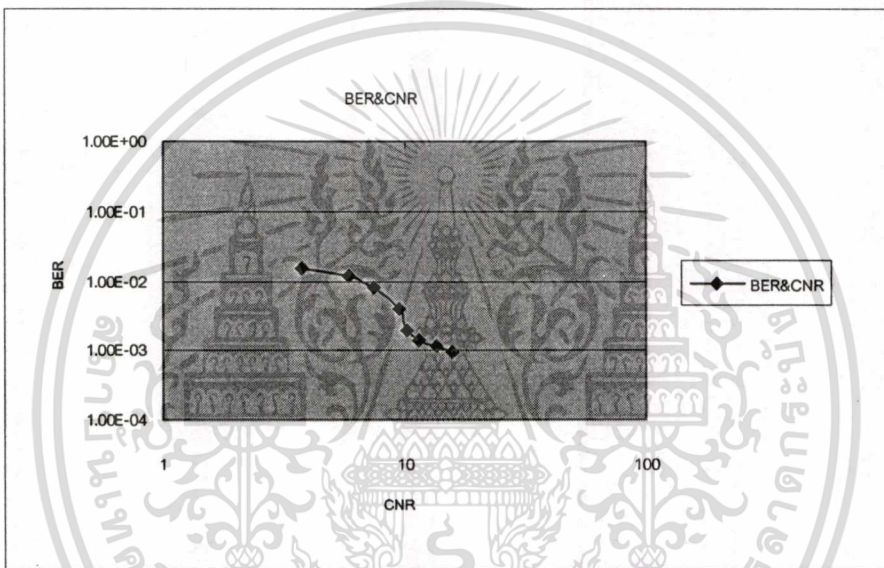
รูปที่ 4.34 แสดงสัญญาณบิตคู่และบิตเดี่ยวเปรียบเทียบกับสัญญาณ NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.33 แสดงสัญญาณที่ได้จากการคูณสัญญาณ QPSK กับสัญญาณคลื่นพาหุที่มีเฟสเลื่อน 90 องศา สัญญาณที่ได้จะประกอบด้วยคลื่นความถี่สองเท่าของคลื่นพาหุ และมีขนาดความสูงสอดคล้องกับสัญญาณบิตที่ ตามสมการ

$$b_{oQ} = \frac{1}{2} \int_0^T \{b_q(t) - b_q(t) \cdot \cos(2\omega_c t) - b_l(t) \cdot \sin(2\omega_c t)\} dt$$

สัญญาณทั้งสองที่ได้จากวงจรคูณนี้ เมื่อนำไปผ่านวงจรกรองความถี่ต่ำผ่าน วงจรแปลงระดับแรงดัน วงจรแปลงสัญญาณ Binary และนำมารวมกันที่วงจรรวมสัญญาณดิจิทัลจะได้สัญญาณดังรูป 4.34



รูปที่ 4.35 กราฟแสดงความสัมพันธ์ของ BER และ CNR จากการจำลองโดยโปรแกรม PSpice

รูปที่ 4.35 แสดงความสัมพันธ์ระหว่างค่า BER และ CNR ที่ได้จากการจากการจำลองโดยโปรแกรม PSpice ซึ่งแสดงให้เห็นว่าค่า Bit Error Rate จะเพิ่มขึ้นเมื่อค่า Carrier to Noise Ratio ลดลง ผลจากการจำลองลักษณะรูปคลื่นที่ได้ จะนำไปใช้ในการตรวจสอบการทำงานของวงจรที่สร้างขึ้นจริง

บทที่ 5

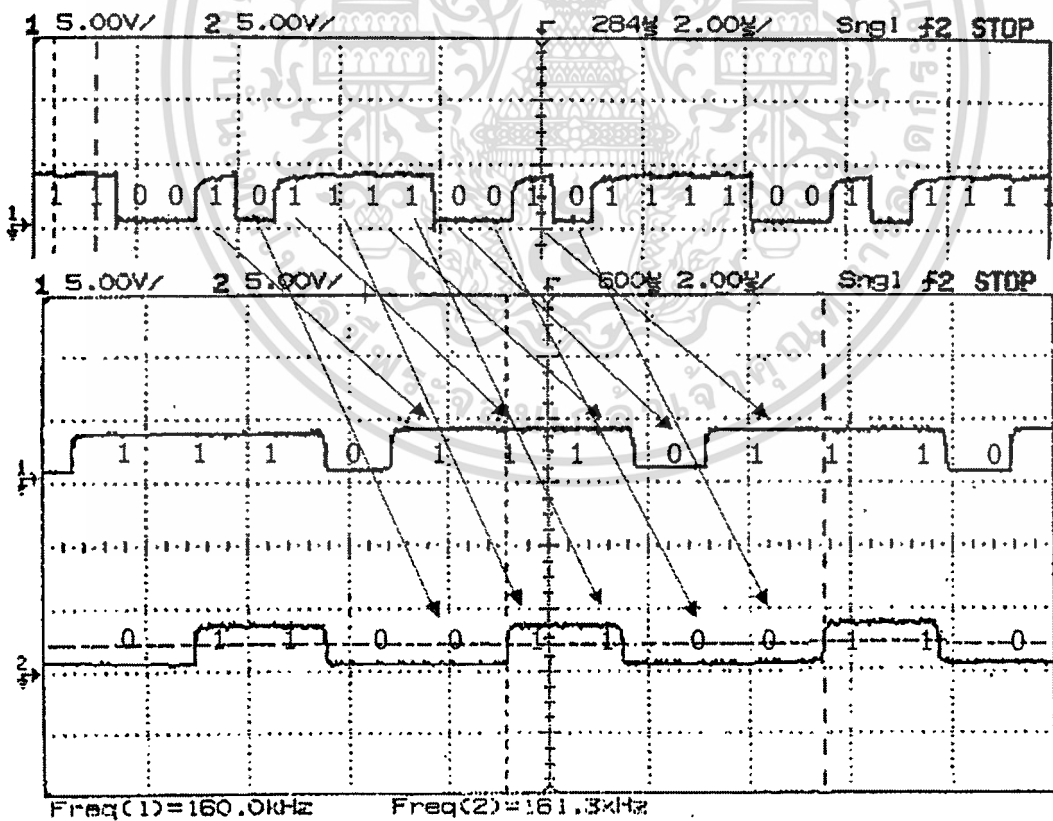
ผลการทดลอง

5.1 กล่าวนำ

เมื่อได้อุปกรณ์มอดูเลตและดีมอดูเลตสัญญาณแบบ QPSK ดังแสดงในบทที่ 4 สามารถนำมาทดสอบการทำงานของวงจรส่วนต่างๆ ซึ่งในบทที่ 5 นี้ จะแสดงผลการทดลองที่ใช้ Spectrum Analyzer, Logic Analyzer และ Oscilloscope วัดสัญญาณในส่วนต่างๆของวงจรในบทที่ 4

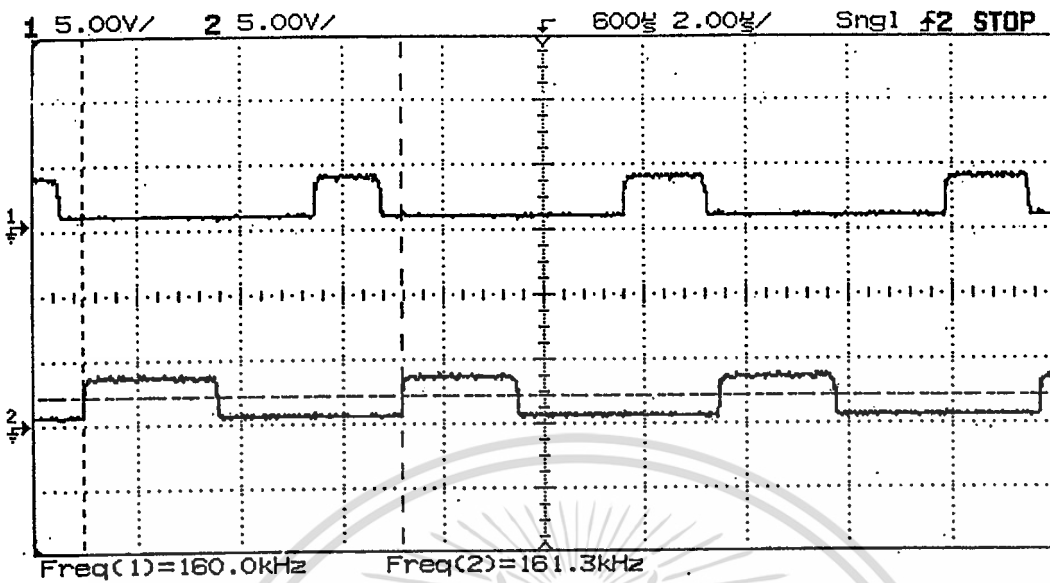
5.2 ผลการทดลอง

รูปที่ 5.1 แสดงสัญญาณ NRZ ที่ต่อเข้าอุปกรณ์มอดูเลต เมื่อผ่านวงจรแยกสัญญาณดิจิทัลจะได้สัญญาณออกเป็นบิตคู่และบิตคี่ ต่อจากนั้นนำบิตทั้งสองส่งเข้าวงจรเข้ารหัสของเกรย์ และวงจรแปลงระดับแรงดัน จะได้สัญญาณดังรูปที่ 5.3 ซึ่งมีระดับแรงดันเป็นบวกและลบเปรียบเทียบกับกรณีรูปที่ 5.2 จะมีเฉพาะแรงดันบวก

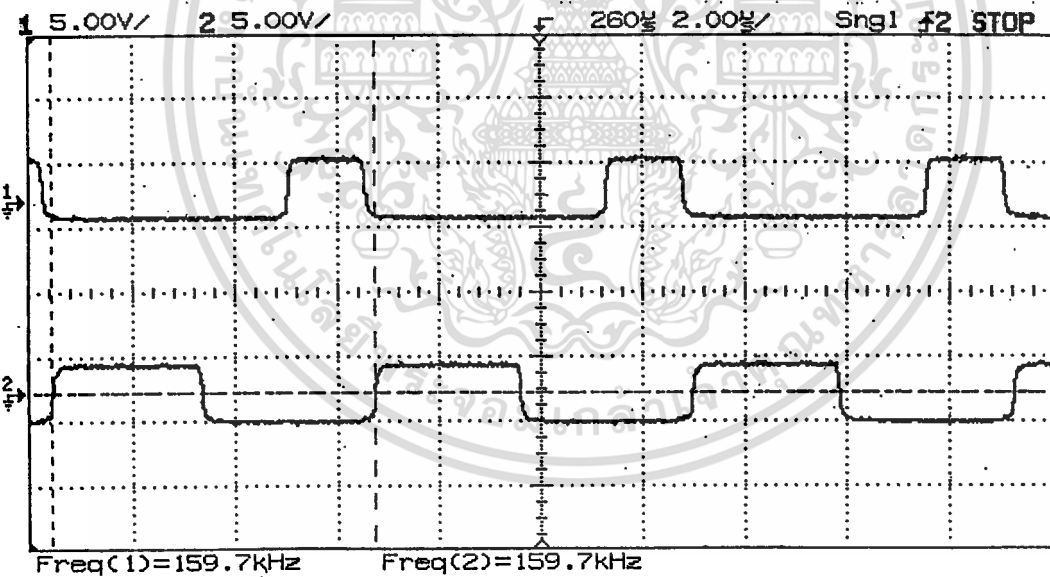


รูปที่ 5.1 กราฟรูปบนแสดงสัญญาณบิตคู่ รูปกลางแสดงสัญญาณบิตคี่ รูปล่างแสดงสัญญาณ NRZ

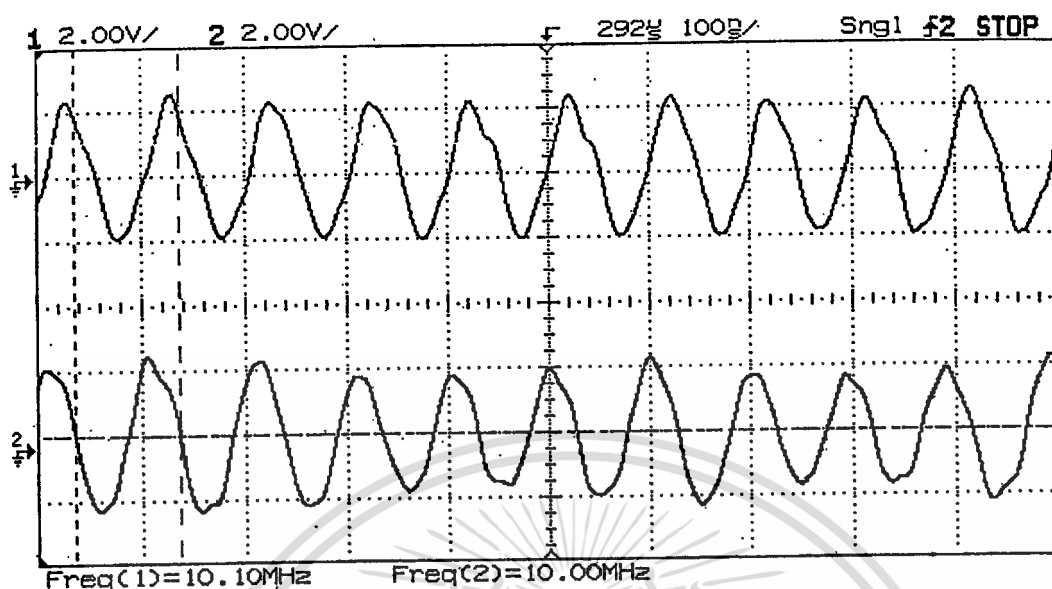
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 กราฟรูปบนแสดงสัญญาณบิตคู่ของภาคส่งที่เอาต์พุตของวงจรเข้ารหัสของเกรย์
กราฟรูปล่างแสดงสัญญาณบิตคี่ของภาคส่งที่เอาต์พุตของวงจรเข้ารหัสของเกรย์



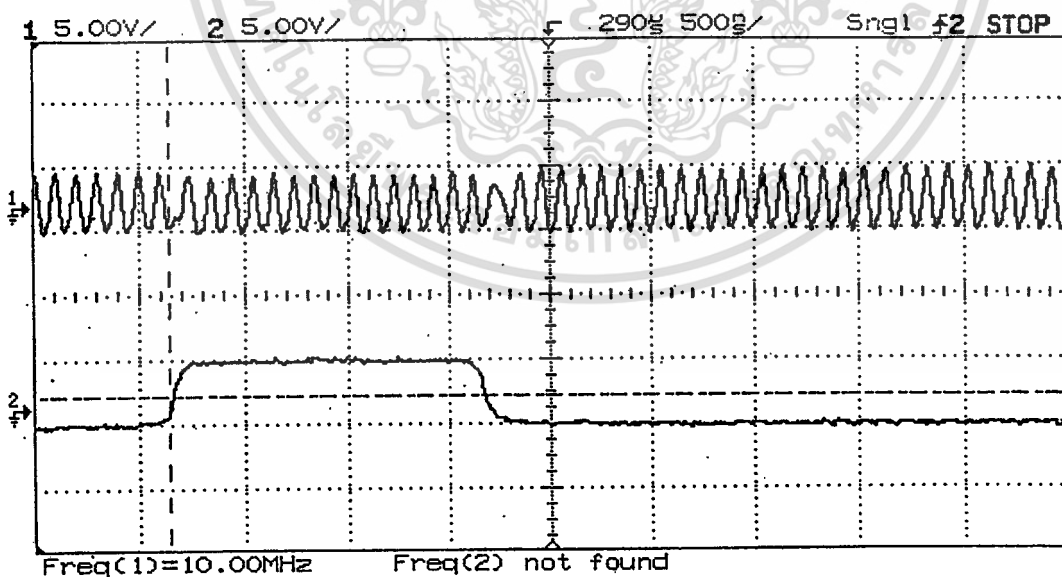
รูปที่ 5.3 กราฟรูปบนแสดงสัญญาณบิตคู่ของภาคส่งที่เอาต์พุตของวงจรแปลงระดับสัญญาณ
กราฟรูปล่างแสดงสัญญาณบิตคี่ของภาคส่งที่เอาต์พุตของวงจรแปลงระดับสัญญาณ



รูปที่ 5.4 กราฟรูปบนแสดงสัญญาณคลื่นพาห์แบบเฟสปกติ

กราฟรูปล่างแสดงสัญญาณคลื่นพาห์แบบเฟสถูกเลื่อน 90 องศา

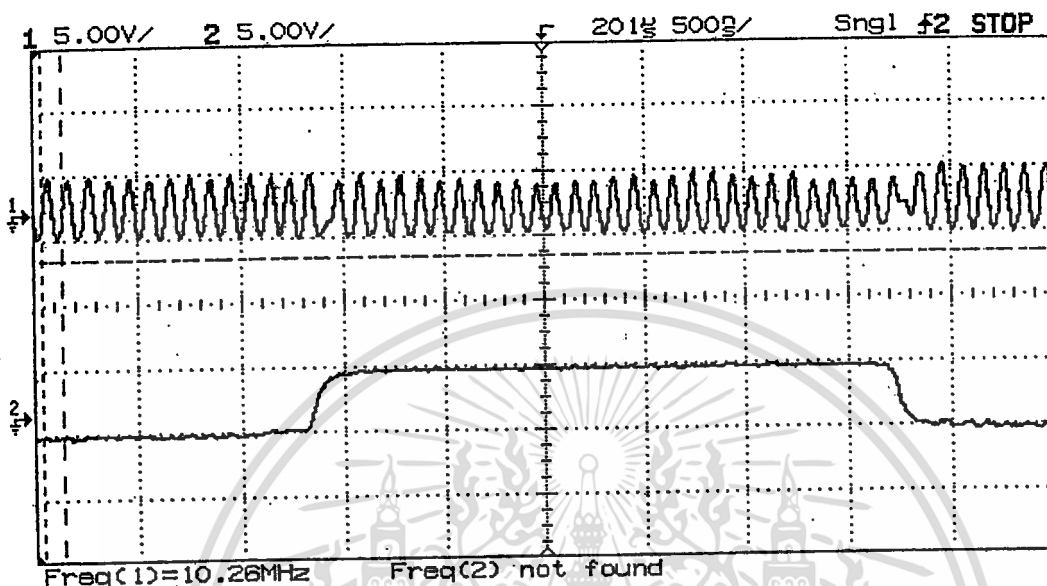
สัญญาณคลื่นพาห์แบบเฟสปกติที่แสดงในรูปที่ 5.4 เป็นสัญญาณที่ได้จากวงจรกำเนิดคลื่นพาห์ที่เอาต์พุตของวงจรกรองความถี่ผ่านเฉพาะช่วง ส่วนสัญญาณคลื่นพาห์แบบเฟสถูกเลื่อน 90 องศาได้จากวงจรเลื่อนเฟส



รูปที่ 5.5 กราฟรูปบนแสดงสัญญาณ BPSK ที่ได้จากการคูณบิตคู่กับคลื่นพาห์ที่มีเฟสปกติ

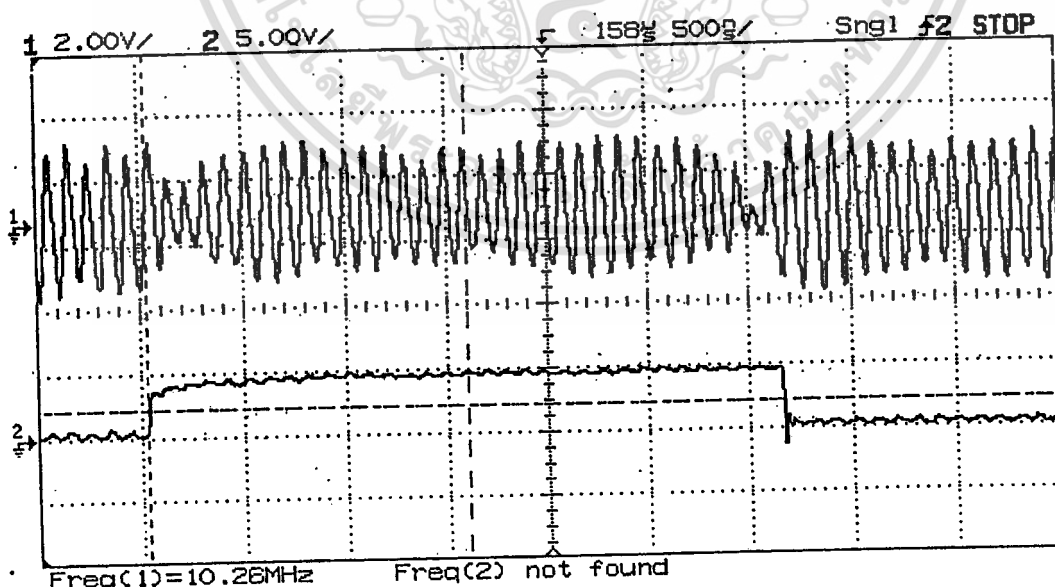
กราฟรูปล่างแสดงสัญญาณบิตคู่ (500ns/DIV)

รูปที่ 5.5 แสดงสัญญาณ BPSK ที่ได้จากการคูณบิตคู่กับคลื่นพาหะที่มีเฟสปกติวัดที่เอาต์พุตของวงจรเฟอเรนเซียล และสัญญาณบิตคู่วัดที่เอาต์พุตของวงจรแปลงระดับสัญญาณ



รูปที่ 5.6 กราฟรูปบนแสดงสัญญาณ BPSK ที่ได้จากการคูณบิตคู่กับคลื่นพาหะที่มีเฟสเลื่อน 90 องศา กราฟรูปล่างแสดงสัญญาณบิตคู่ (500ns/DIV)

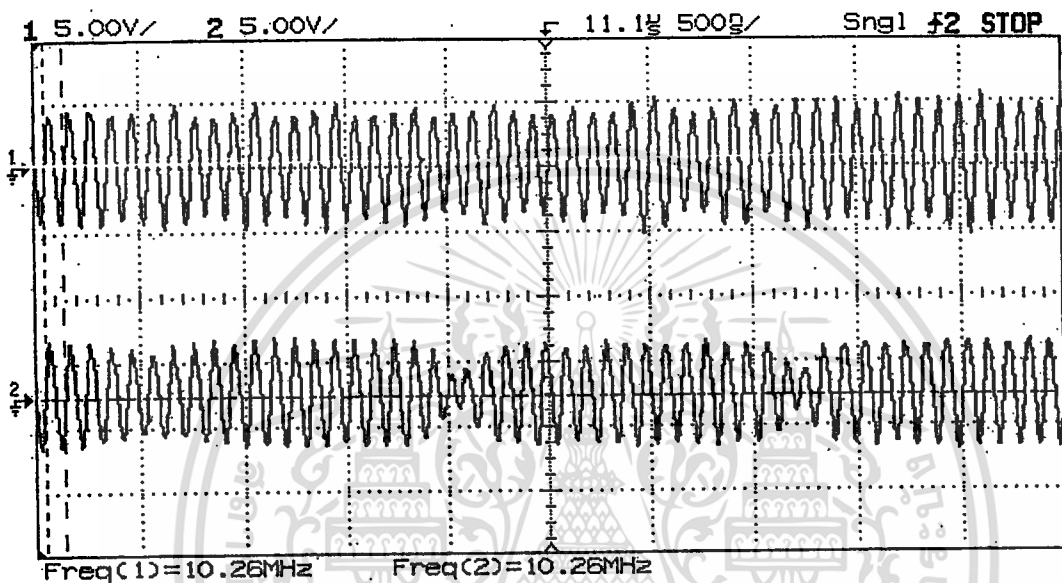
รูปที่ 5.6 แสดงสัญญาณ BPSK ที่ได้จากการคูณบิตคู่กับคลื่นพาหะที่มีเฟสเลื่อน 90 องศา วัดที่เอาต์พุตของวงจรเฟอเรนเซียล และสัญญาณบิตคู่วัดที่เอาต์พุตของวงจรแปลงระดับสัญญาณ



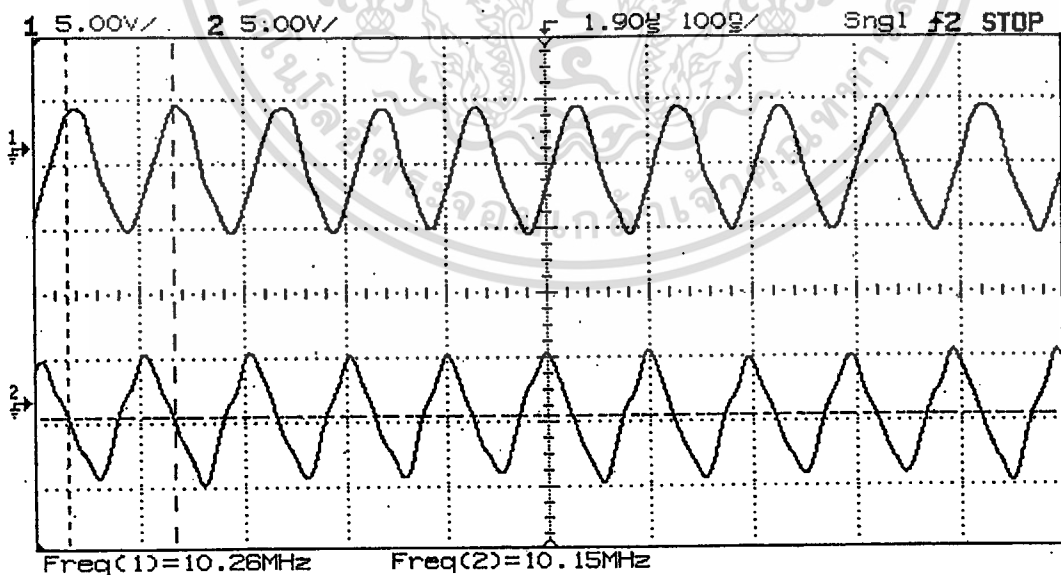
รูปที่ 5.7 กราฟรูปบนแสดงสัญญาณ QPSK และกราฟรูปล่างแสดงสัญญาณ NRZ (500ns/DIV)

รูปที่ 5.7 แสดงสัญญาณ QPSK ที่ได้จากวงจรรวมสัญญาณเปรียบเทียบกับสัญญาณ NRZ สัญญาณ QPSK ที่ภาคมอดูเลตสร้างขึ้นจะถูกส่งไปให้ภาครับ เพื่อทำการดีมอดูเลตสัญญาณ NRZ

ผลการทดลองในส่วนของการดีมอดูเลตสัญญาณ QPSK ที่ภาครับ แสดงดังรูปที่ 5.8 ซึ่งเป็นสัญญาณคลื่นพาห์ที่เอาต์พุตของวงจรเลื่อนเฟส และสัญญาณ QPSK ที่เอาต์พุตของวงจรขยายสัญญาณ

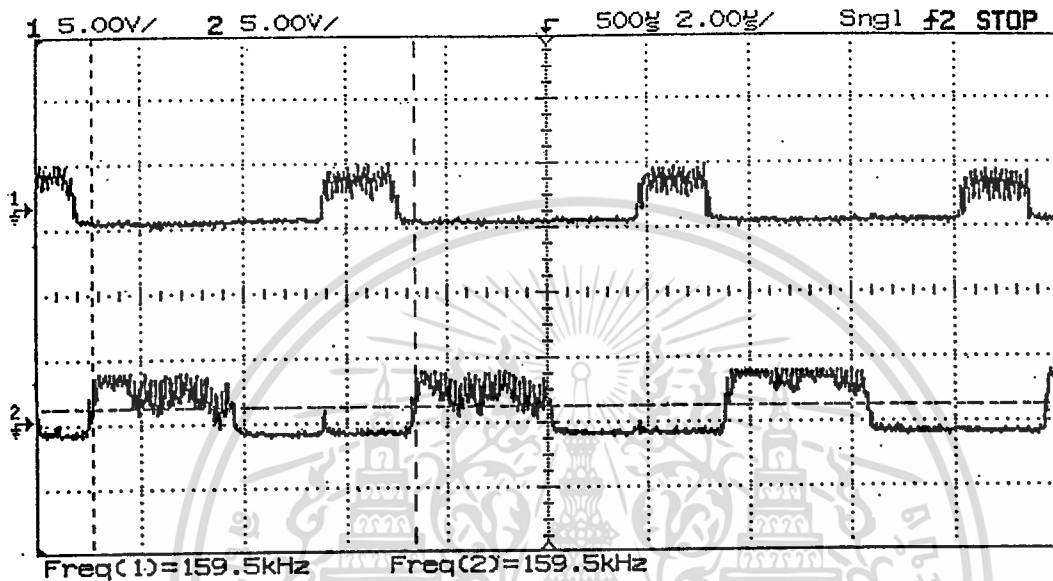


รูปที่ 5.8 กราฟรูปบนแสดงสัญญาณคลื่นพาห์ และกราฟรูปล่างแสดงสัญญาณ QPSK



รูปที่ 5.9 กราฟรูปบนแสดงคลื่นพาห์แบบเฟสปกติ และรูปล่างแสดงคลื่นพาห์แบบเฟสเลื่อน 90 องศา

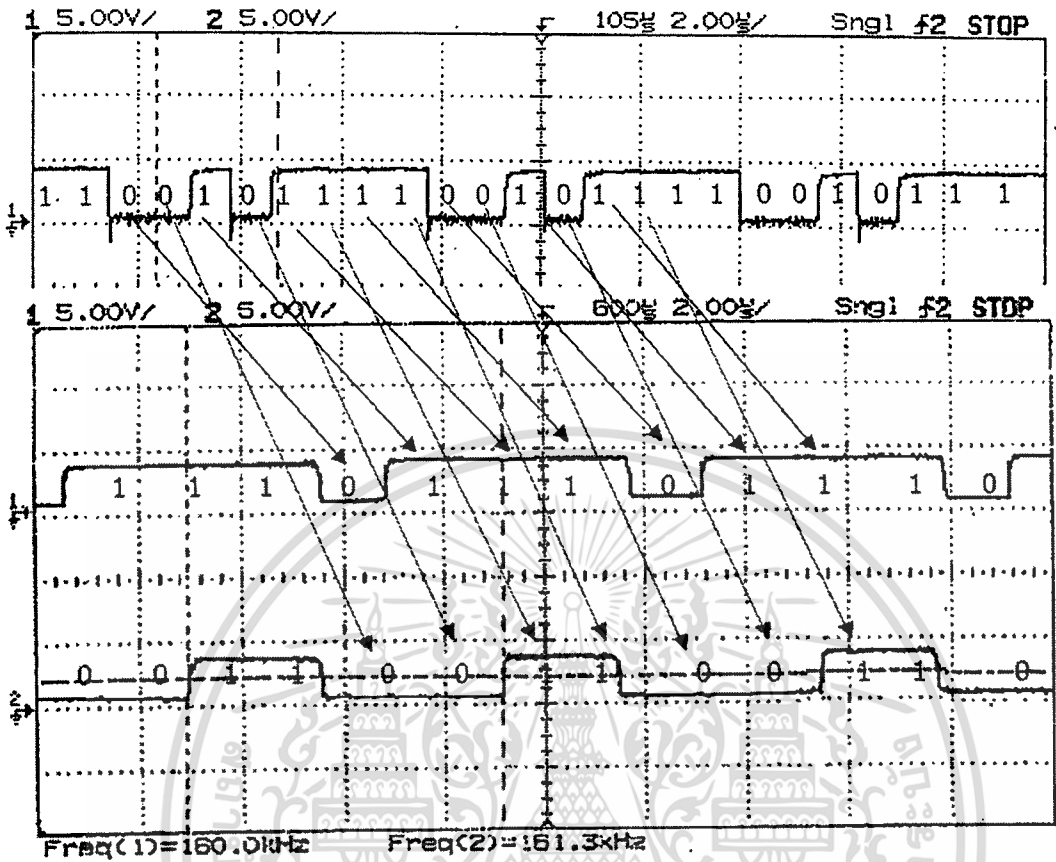
รูปที่ 5.9 แสดงสัญญาณคลื่นพาห์แบบเฟสปกติของภาครับที่อินพุตของวงจรมอดูเลชันสัญญาณชุดที่ 1 และสัญญาณคลื่นพาห์แบบเฟสเลื่อน 90 องศา ของภาครับที่อินพุตของวงจรมอดูเลชันสัญญาณชุดที่ 2 สัญญาณทั้งสองจะมีเฟสต่างกัน 90 องศา



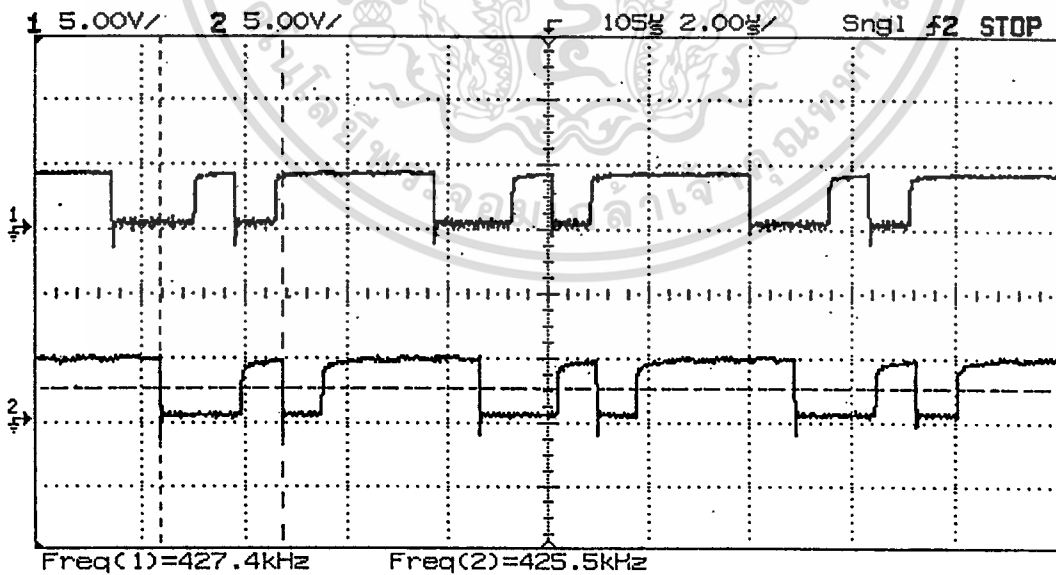
รูปที่ 5.10 กราฟรูปบนแสดงสัญญาณบิตคู่ กราฟรูปล่างแสดงสัญญาณบิตคู่ที่ประกอบด้วยส่วนของความถี่สูงและความถี่ต่ำ

รูปที่ 5.10 แสดงสัญญาณบิตคู่และบิตคู่ที่ได้จากการนำสัญญาณ QPSK คูณกับสัญญาณคลื่นพาห์ โดยวัดสัญญาณจากเอาต์พุตของวงจรมอดูเลชันเฟส ซึ่งจะเป็นสัญญาณที่ประกอบด้วยสัญญาณความถี่สูงและสัญญาณข้อมูลบิตคู่และบิตคู่

รูปที่ 5.11 แสดงการนำสัญญาณบิตคู่และบิตคู่ที่ได้จากการคูณสัญญาณ QPSK กับสัญญาณคลื่นพาห์มาผ่านวงจรมอดูเลชันความถี่ต่ำผ่าน วงจรแปลงระดับแรงดัน และวงจรมอดูเลชันไบนารี (Binary Decode) เมื่อเปรียบเทียบกับรูปที่ 5.10 จะเห็นว่าสัญญาณที่ได้จะไม่มีส่วนประกอบของสัญญาณความถี่สูง และไม่มีระดับแรงดันที่เป็นลบ รูปที่ 5.12 แสดงสัญญาณ NRZ ที่มอดูเลตทางภาครับเปรียบเทียบกับสัญญาณ NRZ ที่มอดูเลตทางภาคส่ง ซึ่งจะเกิดการ Delay ประมาณ 5 ไมโครวินาที

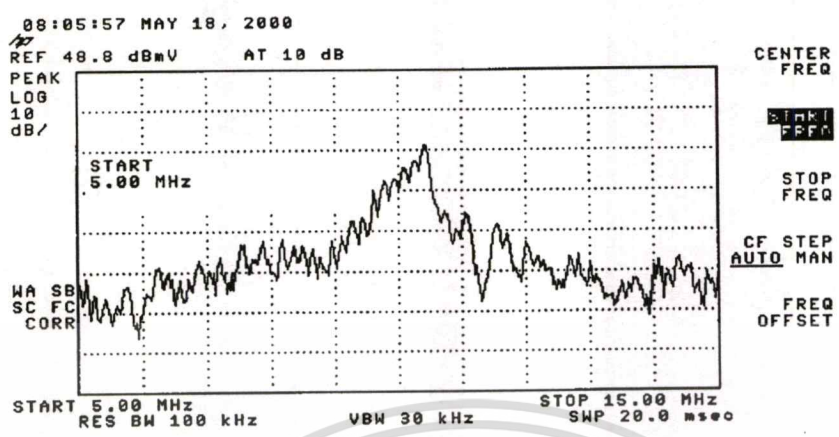


รูปที่ 5.11 กราฟรูปบนแสดงสัญญาณ NRZ รูปกลางแสดงสัญญาณบิตคู่ รูปล่างแสดงสัญญาณบิตคี่



รูปที่ 5.12 กราฟรูปบนแสดงสัญญาณ NRZ ที่คีมอดูเลตทางภาครับ
กราฟรูปล่างแสดงสัญญาณ NRZ ที่คีมอดูเลตทางภาคส่ง

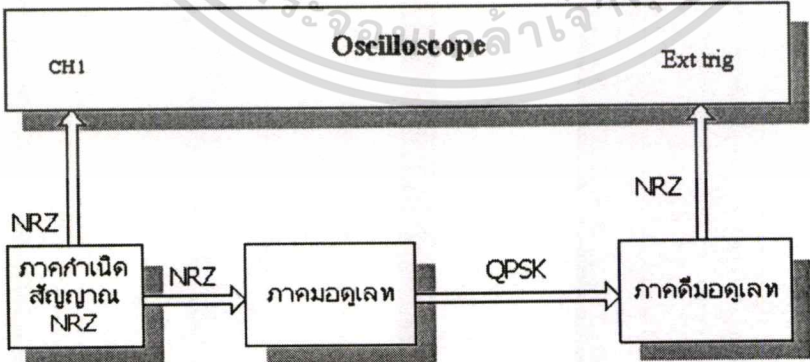
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



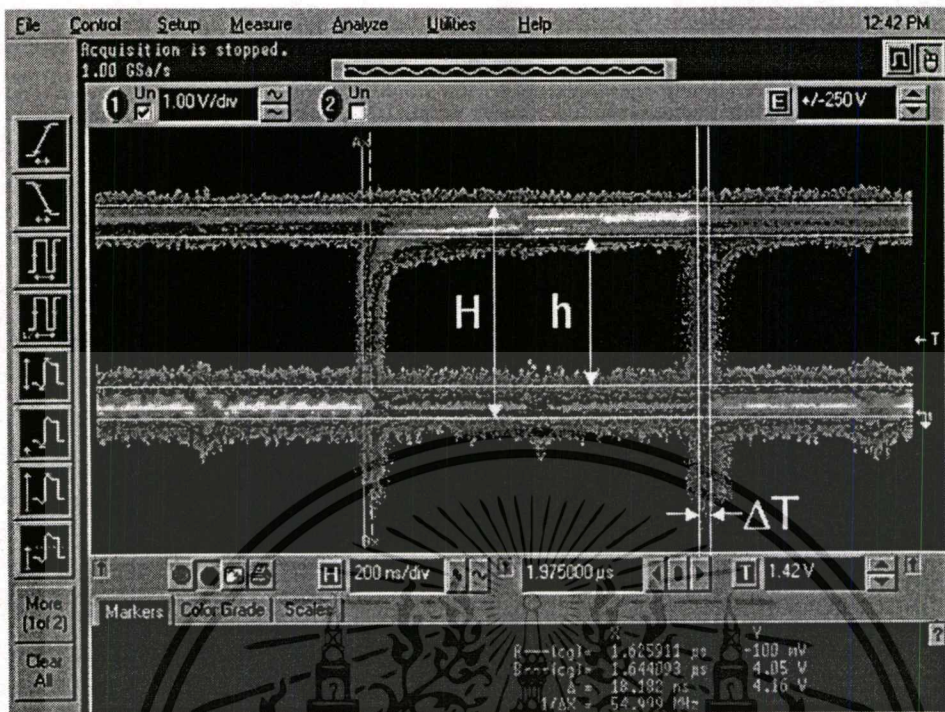
รูปที่ 5.13 กราฟแสดงสัญญาณ QPSK ในโดเมนความถี่

เมื่อนำสัญญาณ QPSK ที่ได้มาทดสอบโดยใช้ Spectrum Analyzer วัดที่เอาต์พุตของอุปกรณ์มอดูเลต ผลที่ได้แสดงดังรูปที่ 5.13 จะได้ค่า CNR เท่ากับ 23 dB และแบนด์วิดท์เท่ากับ 2.4 MHz

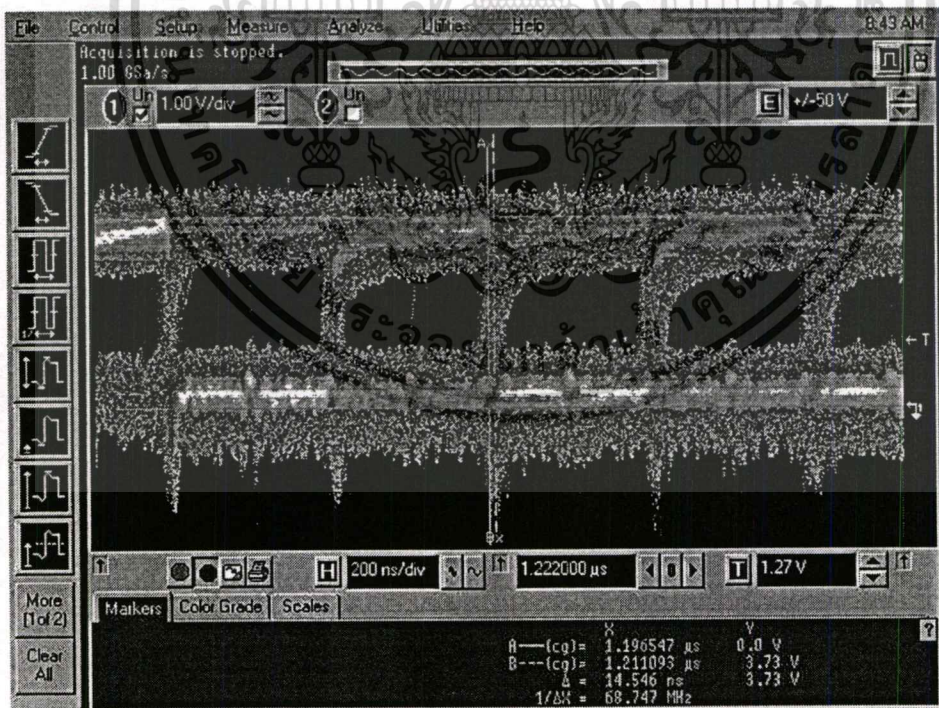
สัญญาณ NRZ จากเอาต์พุตของภาคคิมมอดูเลตและอินพุตของภาคมอดูเลต เมื่อนำสัญญาณ NRZ ทั้งสองมาทดสอบอายุโคอะแกรม ดังรูปที่ 5.14 โดยป้อนสัญญาณจากอินพุตของภาคมอดูเลตเข้า CH1 ของ Hewlett Packard Infinium Oscilloscope และป้อนสัญญาณจากเอาต์พุตของภาคคิมมอดูเลตเข้าทาง Ext Trig ผลที่ได้แสดงดังรูปที่ 5.15 ถึง 5.17 จะได้ อายุโคอะแกรม ที่สามารถคำนวณหาค่า $\Delta(S/N)$ จากค่า H และ h และค่า Jitter จากค่า ΔT ที่อัตราเร็วของสัญญาณ 1.28 Mbps, 2.56 Mbps และ 5.12 Mbps สามารถแสดงได้ดังตารางที่ 5.1



รูปที่ 5.14 แสดงบล็อกโคอะแกรมการทดสอบอายุโคอะแกรม

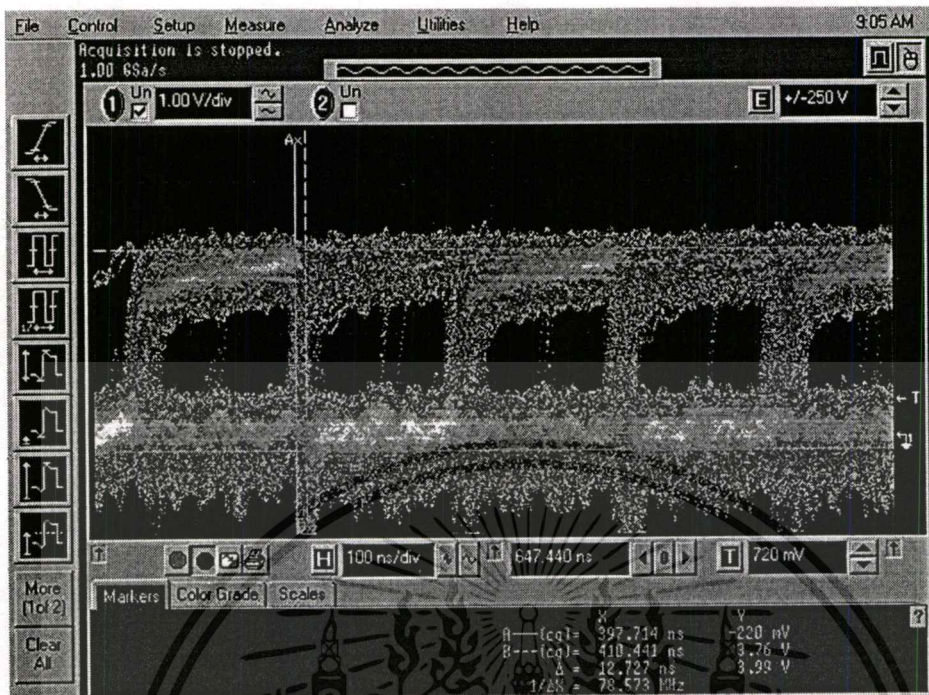


รูปที่ 5.15 แสดงายโคจรแอมของสัญญาณ 1.28 Mbps (Jitter=18.182 nS, H=4.16 V และ h=3.02 V)



รูปที่ 5.16 แสดงายโคจรแอมของสัญญาณ 2.56 Mbps (Jitter=14.546 nS, H=3.73 V และ h=2.68 V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



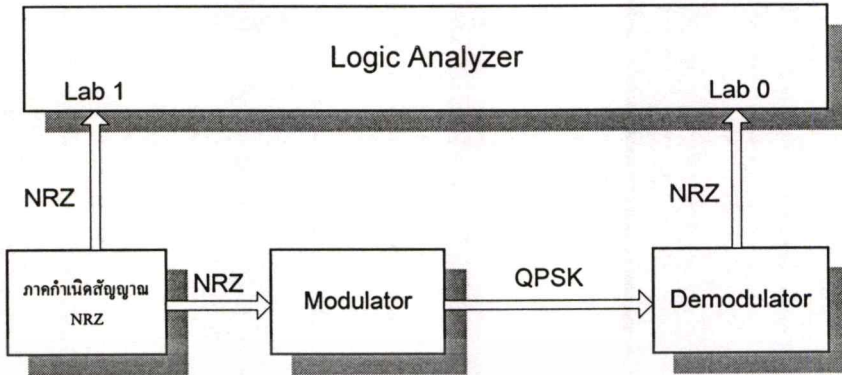
รูปที่ 5.17 แสดงอายไดอะแกรมของสัญญาณ 5.12 Mbps (Jitter=12.727 nS, H=3.99 V และ h=2.62 V)

ตารางที่ 5.1 แสดงค่า $\Delta(S/N)$ และค่า Jitter ของสัญญาณ 1.28 Mbps และ 2.56 Mbps

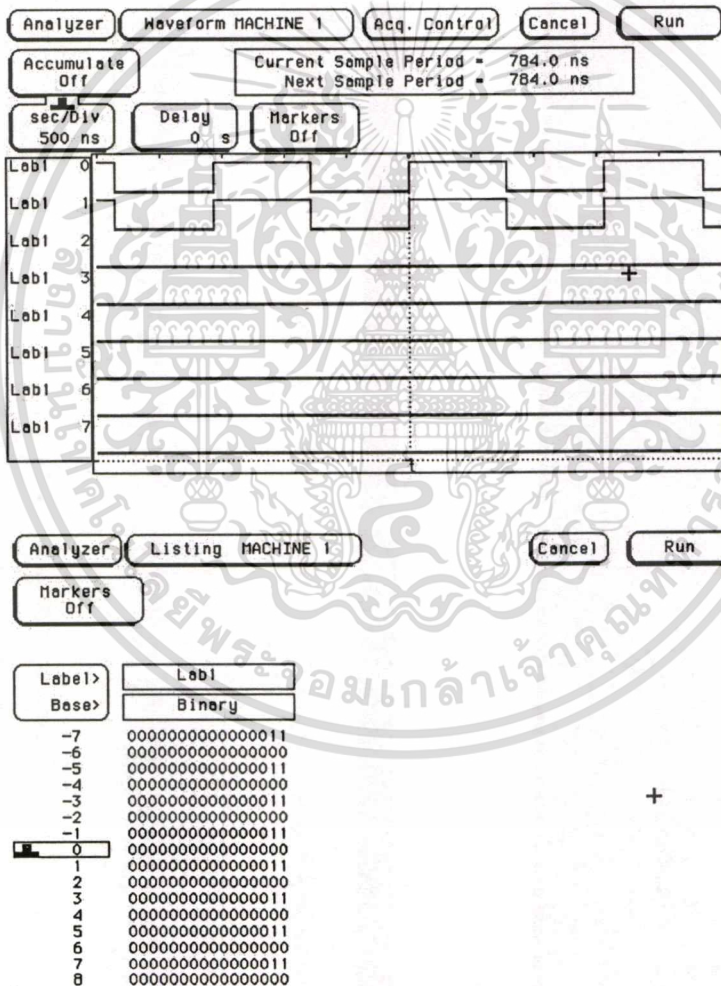
NRZ (Mbps)	$\Delta(S/N)$ (dB)	JITTER (UI)
1.28	2.78	0.012
2.56	2.87	0.019
5.12	3.65	0.033

จากรูปอายไดอะแกรมแสดงคุณสมบัติของชุดมอดูเลตและดีมอดูเลตสัญญาณแบบ QPSK ในกรณีที่อัตราเร็วข้อมูลเพิ่มขึ้น เป็นผลให้ค่า $\Delta(S/N)$ และค่า Jitter จะเพิ่มขึ้น ดังนั้นคุณภาพของการรับส่งสัญญาณจะลดลง

เมื่อนำเครื่อง Logic Analyzer ของบริษัท Hewlett Packard มาทดสอบเปรียบเทียบสัญญาณ NRZ ที่ได้จากภาคมอดูเลตและดีมอดูเลตโดยต่อดังรูปที่ 5.18



รูปที่ 5.18 แสดงบล็อกโคโอะแกรมการทดสอบ BER



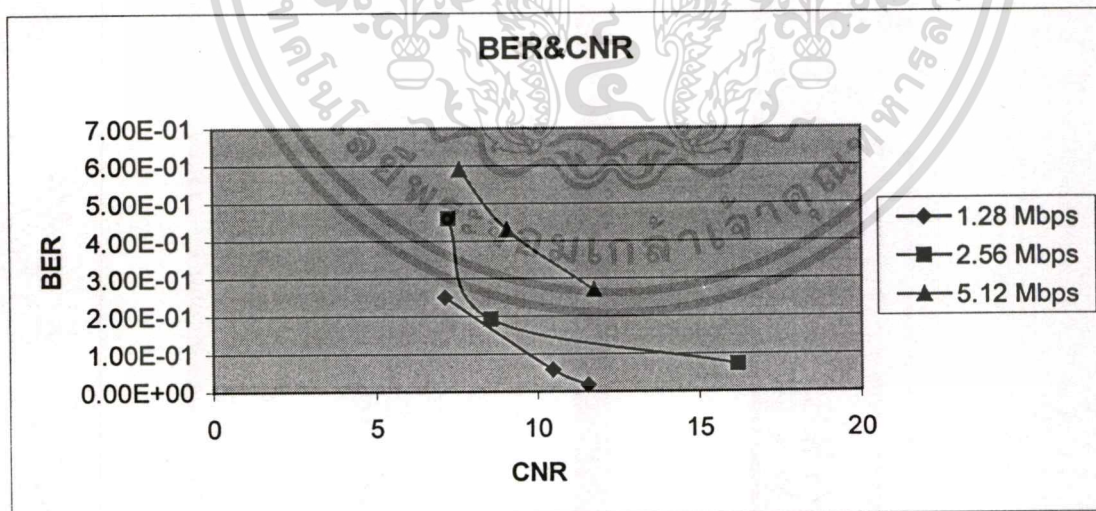
รูปที่ 5.19 แสดงผลที่ได้จากเครื่อง Logic Analyzer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

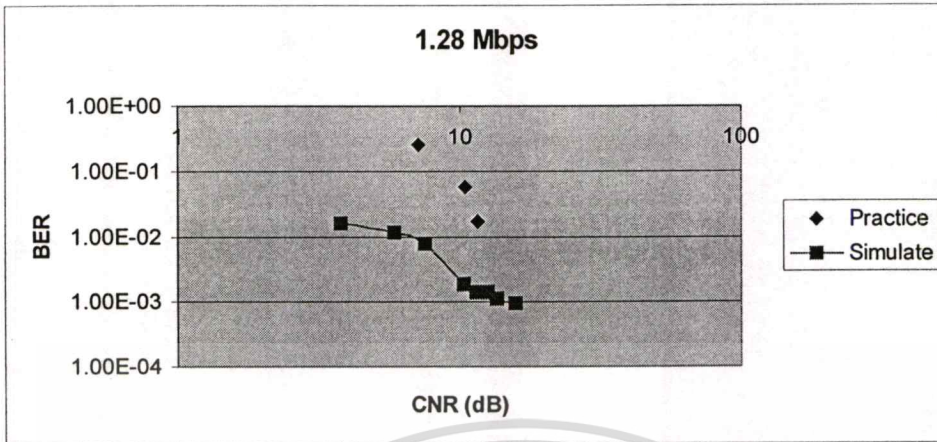
ผลการทดลองที่ได้แสดงดังรูปที่ 5.19 เมื่อนำมาเปรียบเทียบค่าบิตที่ไม่เหมือนกันระหว่าง Lab 0 และ 1 จะได้ค่า BER แสดงได้ดังตารางที่ 5.2 ซึ่งเป็นการเปรียบเทียบค่า BER ที่ได้จากอัตราส่งข้อมูล 1.28, 2.56 และ 5.12 Mbps และสามารถนำมาเขียนกราฟได้ดังรูปที่ 5.20 ถึง 5.23 รูปที่ 5.20 แสดงให้เห็นว่าเมื่อเพิ่มอัตราเร็วในการส่งข้อมูลจะทำให้เกิดบิตผิดพลาดมากขึ้น คุณภาพในการรับส่งข้อมูลจะลดลง รูปที่ 5.21 ถึง 5.23 แสดงการเปรียบเทียบค่า BER ที่ได้จากการทดลองกับการจำลองโดยโปรแกรม PSpice ซึ่งผลที่ได้จากการทดลองจะเกิดค่าบิตผิดพลาดมากกว่าผลที่ได้จากการการจำลอง

ตารางที่ 5.2 แสดงค่า Bit error rate

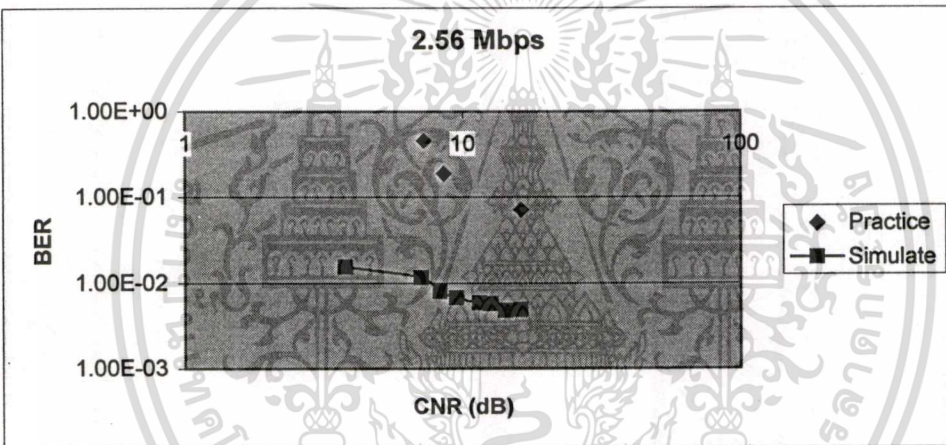
NRZ (Mbps)	BER (ค่าที่ได้จากการวัด)	CNR (dB)	BER (ค่าที่ได้จากการจำลอง)	CNR (dB)
1.28	0.017	11.56	0.00142	11.49
	0.058	10.46	0.0019	10.27
	0.25	7.12	0.0078	7.52
2.56	0.072	16.18	0.0049	16.05
	0.19	8.55	0.008	8.26
	0.46	7.23	0.0117	7.05
5.12	0.27	11.75	0.0059	11.00
	0.43	9.05	0.0078	8.81
	0.59	7.58	0.0097	7.60



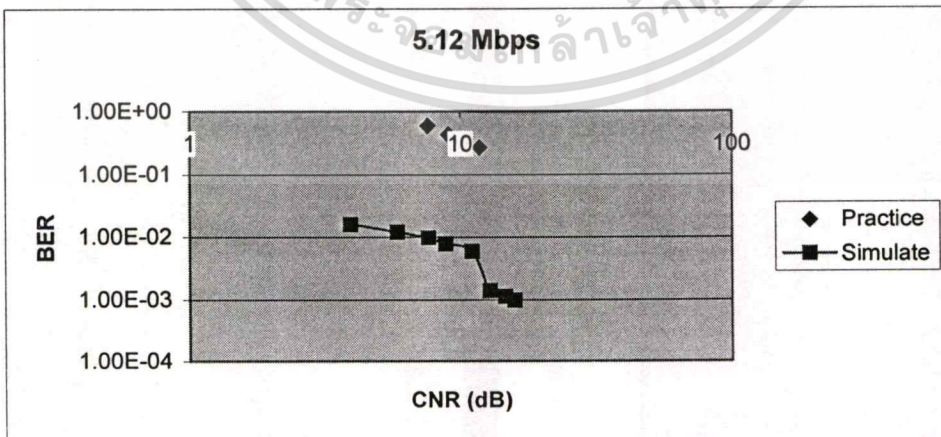
รูปที่ 5.20 กราฟแสดงความสัมพันธ์ของ BER และ CNR ที่อัตราเร็วข้อมูล 1.28, 2.56 และ 5.12 Mbps



รูปที่ 5.21 กราฟแสดงความสัมพันธ์ระหว่าง BER และ CNR ที่อัตราเร็วข้อมูล 1.28 Mbps



รูปที่ 5.22 กราฟแสดงความสัมพันธ์ระหว่าง BER และ CNR ที่อัตราเร็วข้อมูล 2.56 Mbps



รูปที่ 5.23 กราฟแสดงความสัมพันธ์ระหว่าง BER และ CNR ที่อัตราเร็วข้อมูล 5.12 Mbps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปผลการวิจัย และข้อเสนอแนะ

6.1 สรุปผลการวิจัย

ระบบการสื่อสารข้อมูลที่ใช้สำหรับเครือข่ายโทรทัศนชนิดใช้สายนำสัญญาณแบบ HFC ที่เสนอในวิทยานิพนธ์นี้เป็นการมอดูเลตและดีมอดูเลตสัญญาณดิจิทัลแบบ QPSK ซึ่งเป็นอุปกรณ์ภายใน Cable Modem และ Cable Modem Termination System

การสร้างชุดมอดูเลตและดีมอดูเลต ทำได้โดยการนำอุปกรณ์อิเล็กทรอนิกส์มาประกอบเป็นวงจรตามสมการคณิตศาสตร์ของการมอดูเลตแบบ QPSK โดยอุปกรณ์อิเล็กทรอนิกส์ที่ใช้จะต้องสามารถทำงานได้ที่ความถี่สูง อุปกรณ์ความเร็วสูงที่สำคัญคือ ไอซีเบอร์ LM6261 ซึ่งเป็น High speed Op-amp ใช้ในการสร้างวงจรแปลงระดับสัญญาณ วงจรกรองความถี่ วงจรเลื่อนเฟส วงจรคูณสัญญาณ วงจรดิฟเฟอเรนเชียล วงจรรวมสัญญาณ วงจรขยายสัญญาณ และวงจรดิฟเฟอเรนเชียล ส่วนการสังเคราะห์ความถี่จะใช้ไอซีเบอร์ 74HC4046 ประกอบเป็นวงจรกำเนิดสัญญาณคลื่นพาห้ วงจรกำเนิดสัญญาณนำร่อง และวงจรกำเนิดสัญญาณนาฬิกา ในส่วนของการคูณสัญญาณจะต้องใช้ไอซีคูณสัญญาณที่ความถี่สูงเบอร์ AD834 ซึ่งเป็นไอซี Four-quadrant analog multiplier ใช้ในการมอดูเลตสัญญาณบิตคู่และบิตคี่กับคลื่นพาห้ที่ภาคส่ง และใช้ในการตรวจความต่างเฟส เพื่อดีมอดูเลตสัญญาณ QPSK ที่ภาครับ

อุปกรณ์มอดูเลตและดีมอดูเลตสัญญาณแบบ QPSK ที่เสนอในวิทยานิพนธ์นี้สามารถรับและส่งสัญญาณได้ที่ความถี่คลื่นพาห้ที่ใช้ในการมอดูเลต 10.24 MHz ซึ่งอยู่ในย่านความถี่ Upstream band มีอัตราเร็วในการส่งข้อมูลเป็น 1.28 และ 2.56 Mbit ต่อวินาที ค่า BER ประมาณ 0.017 ถึง 0.19 ค่า $\Delta(S/N)$ อยู่ในช่วง 2.78-2.87 dB และค่า Jitter อยู่ในช่วง 0.012-0.019 UI โดยคุณภาพของการรับส่งสัญญาณจะลดลง เมื่อเพิ่มอัตราเร็วในการส่งข้อมูล

เอกสารอ้างอิง

- [1] Kraisin S., “Hybrid Fiber Coaxial Network for Interactive Multimedia Applications,” International Teletraffic seminar, pp. 26-0 to 26-10, 1995.
- [2] ขวลิต ชันไพบูลย์. 1999. “ความผิดพลาดของการสื่อสารโครงข่ายเคเบิลทีวีอันเนื่องมาจากสัญญาณรบกวนแบบอิมพัลส์บนเส้นทางกลับ.” วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.
- [3] บัณฑิต โรจน์อารยานนท์ 1993. หลักการไฟฟ้าสื่อสาร พิมพ์ครั้งที่ 3. กรุงเทพฯ : จุฬาลงกรณ์มหาวิทยาลัย.
- [4] Kamilo Feher, 1992. **Digital Communication**. Englewood Cliffs, NJ : Prentice-Hall.
- [5] W. Tomommasi. 1992. **Advanced Electronic Communication System**. Second Edition. Englewood Cliffs, NJ : Prentice-Hall.
- [6] R.E. Best, 1997. **Phase-Locked Loops**, 3rd ed, McGraw-Hill, Inc.
- [7] Robert F. Coughlin และ Frederick F. Driscoll, 2536. การใช้งานออปแอมป์และลิเนียร์ไอซี. แปลโดย วิโรจน์ อัสวรังสี และคณะ. กรุงเทพฯ : ซีเอ็ดยูเคชั่น.
- [8] ถวิล กิ่งทอง, 1996. เทคโนโลยีการส่งสัญญาณดิจิทัล พิมพ์ครั้งที่ 1. กรุงเทพฯ: สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.
- [9] Wayne Tomasi, 1998. **Electronic Communications Systems**. Third Edition. International (UK) Limited, London : Prentice-Hall.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทความที่ได้รับการตีพิมพ์

1. ทิษณู งามเชิรธนา ,ไกรสิน ส่งวัฒนา , “วิธีการมอดูเลตและคีมอดูเลตสัญญาณดิจิทัลในย่านความถี่วิทยุผ่านเครือข่ายโทรทัศนซ์นิกใช้สายนำสัญญาณแบบ BPSK/QPSK” , วิศวกรรมสาร มก., ฉบับที่ 49 ประจำเดือน เมษายน-กรกฎาคม 2546



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ที่ ทม 0407.01/๑๔๐

คณะวิศวกรรมศาสตร์
มหาวิทยาลัยเกษตรศาสตร์ วิทยาเขตบางเขน
ตู้ ป.ณ. 1032 ไปรษณีย์เกษตรศาสตร์
กรุงเทพมหานคร 10903

11 มีนาคม 2546

เรื่อง ตอบรับบทความทางวิชาการ

เรียน นายพิษณุ งามเจริญธนา

ตามที่ท่านได้ส่งบทความเรื่อง "วิธีการมอดูเลตและดีมอดูเลตสัญญาณดิจิทัลในย่านความถี่วิทยุผ่านเครือข่ายโทรทัศนชนิดใช้สายนำสัญญาณแบบ BPSK/QPSK" มาเพื่อลงตีพิมพ์ในวารสาร "วิศวกรรมสาร มก." ดังที่ทราบแล้วนั้น

ฝ่ายบรรณาธิการวารสาร "วิศวกรรมสาร มก." ได้รับพิจารณาบทความของท่านแล้วเห็นสมควรรับตีพิมพ์ บทความของท่าน โดยจะนำลงพิมพ์ในวารสาร "วิศวกรรมสาร มก." ฉบับที่ 49 ประจำเดือน เมษายน - กรกฎาคม 2546 ทั้งนี้ เมื่อวารสารแล้วเสร็จ คณะฯ จะจัดส่งวารสารฉบับดังกล่าวให้ท่านต่อไป

จึงเรียนมาเพื่อโปรดทราบ

ขอแสดงความนับถือ

สุจิตา เทพเฉลิม

(นางสาวสุจิตา เทพเฉลิม)

หัวหน้างานบริการวิชาการและวิจัย

ผู้ช่วยบรรณาธิการวารสารวิศวกรรมสาร มก.

คณะวิศวกรรมศาสตร์

โทร. 0-2942-8555 ต่อ 1126

โทรสาร 0-2579-2775

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการมอดูเลตและดีมอดูเลตสัญญาณดิจิทัลในย่านความถี่วิทยุผ่านเครือข่ายโทรทัศน์ชนิดใช้ สายนำสัญญาณแบบ BPSK/QPSK

BPSK/QPSK Radio Frequency Data Modulation and Demodulation for Cable Television Network

ทิษณุ นามเธียรธนา

ไกรสิน สงวัฒนา

ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้เสนอการมอดูเลตและดีมอดูเลตย่านความถี่วิทยุ เพื่อนำไปใช้กับระบบการสื่อสารข้อมูลความเร็วสูง สำหรับเครือข่ายโทรทัศน์ชนิดใช้สายนำสัญญาณแบบ HFC โดยใช้หลักการมอดูเลตและดีมอดูเลตสัญญาณดิจิทัลแบบ QPSK

ผลที่ได้จากการทดสอบชุดมอดูเลตและดีมอดูเลตจะได้ค่า $\Delta(S/N)$ อยู่ในช่วง 2.78 ถึง 2.87 dB ค่า Jitter อยู่ในช่วง 0.012 ถึง 0.019 UI และค่า BER ประมาณ 170×10^{-4} ถึง $1,929 \times 10^{-4}$ อุปกรณ์ Modem ที่สร้างขึ้นสามารถทำงานในย่านความถี่ 10 MHz โดยมีการส่งข้อมูลที่มีความเร็ว 1.28 และ 2.56 Mbit ต่อวินาที

Abstract

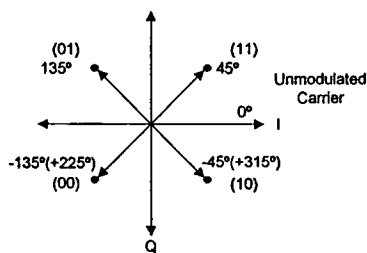
This paper presents a radio frequency modulator and demodulator for high speed data communication on Hybrid Fiber Coaxial cable television network. Modulation and demodulation use quadrature phase shift keying.

Test result of the modulator and demodulator shows $\Delta(S/N)$ is 2.78-2.87 dB, Jitter is 0.012-0.019 UI and BER 170×10^{-4} to $1,929 \times 10^{-4}$. The resultant modem operates at 10 MHz carrier frequency with data rate 1.28 and 2.56 Mbit/S.

1. บทนำ

ระบบการสื่อสารข้อมูลโดยทั่วไปจะใช้สายโทรศัพท์เป็นสายนำสัญญาณ ซึ่งจะสามารถใช้ส่งสัญญาณที่ย่านความถี่ในช่วงของความถี่เสียงไปถึงประมาณ 4 kHz แต่สำหรับเครือข่ายโทรทัศน์ชนิดใช้สายนำสัญญาณ(Cable Television network:CATV) สามารถส่งสัญญาณในช่วงความถี่ที่สูงกว่าการใช้สายโทรศัพท์ธรรมดา คือตั้งแต่ 5-750 MHz

เครือข่าย Hybrid Fiber Coaxial (HFC)[1] ประกอบด้วยเครือข่ายใยแก้วนำแสง และเครือข่ายโคแอกเซียล ในระบบเครือข่ายโทรทัศน์ชนิดใช้สายนำสัญญาณแบบ HFC มีย่านความถี่ตั้งแต่ 5 ถึง 750 เมกะเฮิรตซ์ เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 แสดงเวกเตอร์ไดอะแกรมในระบบ QPSK

สภาวะสัญญาณทั้ง 4 สภาวะมีดังนี้

$$S_{01}(t) = A \cos(2\pi f_c t + 135)$$

$$S_{00}(t) = A \cos(2\pi f_c t + 225)$$

$$S_{11}(t) = A \cos(2\pi f_c t + 45) \quad (1)$$

$$S_{10}(t) = A \cos(2\pi f_c t + 315)$$

การตีמודูเลตสัญญาณ QPSK ที่รับได้สามารถแสดงได้ดังนี้

$$y(t) = A\sqrt{2} \cos(2\pi f_c t + \theta_m) \quad (2)$$

เมื่อ $\theta_m = 45, 135, 225$ หรือ 315 องศา (ดูสมการที่ 1) หรือเขียนได้เป็น

$$y(t) = \pm A \cos(2\pi f_c t) \pm A \sin(2\pi f_c t) \quad (3)$$

เมื่อ $0 \leq t \leq T_s$

โดยที่ f_c คือ ความถี่คลื่นพาห้ (Hertz)

A คือแอมพลิจูดของคลื่นพาห้ (Volt)

T_s คือช่วงเวลาระหว่างสัญลักษณ์ (Second)

สัญญาณ QPSK ที่เข้ามาทางอินพุทของวงจรคูณสัญญาณเพื่อผู้สัญญาณ I จะถูกคูณด้วยคลื่นพาห้ที่ผู้ขึ้นมาได้ ซึ่งสามารถแสดงได้ดังนี้

$$b_{oi} = \int_0^{T_s} [A\sqrt{2} \cdot \cos(2\pi f_c t + \theta_m) \cos 2\pi f_c t] dt$$

$$= \pm \frac{1}{2} AT_s \quad (4)$$

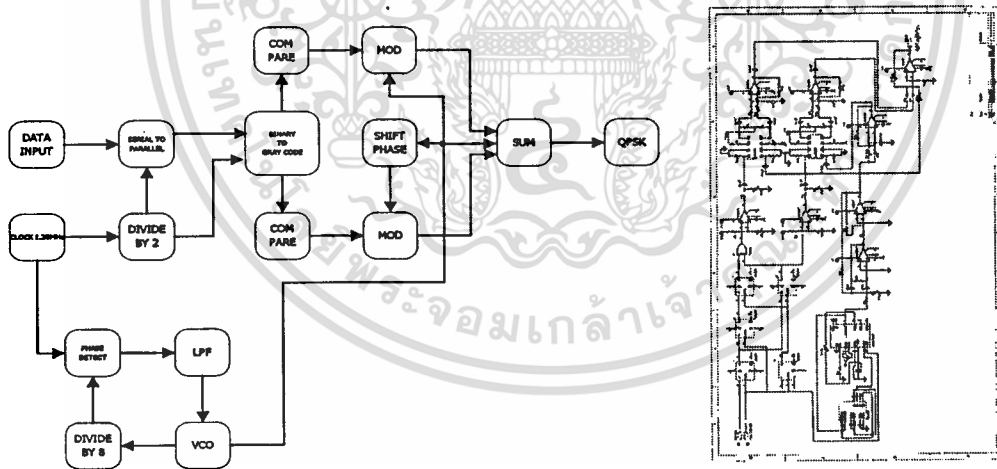
และกรณีของสัญญาณ Q จะใช้การคูณของสัญญาณ QPSK กับสัญญาณคลื่นพาห้ที่ถูกเลื่อนเฟสไป 90 องศา ดังนั้นจะได้

$$b_{oq} = \pm \frac{1}{2} AT_s \quad (5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. หลักการของระบบมอดูเลต

การมอดูเลตสัญญาณ QPSK จากรูปที่ 4 บล็อก Data Input เป็นสัญญาณ NRZ(Non-Return-to-Zero) คือสัญญาณข้อมูลดิจิทัลที่จะนำไปมอดูเลต โดยส่งต่อไปกับส่วนแปลงข้อมูลจากอนุกรมเป็นขนาน จากรูปในส่วนนี้คือบล็อก Serial-to-parallel แล้วจึงนำข้อมูลที่ได้ไปเข้ารหัสเกรย์โค้ดที่บล็อก binary-to-gray code ซึ่งจะได้สัญญาณ I และ Q ที่มีการเข้ารหัสเรียบร้อยแล้ว ต่อจากนั้นนำสัญญาณทั้งสอง ซึ่งเป็นสัญญาณที่มีระดับแรงดันเป็น 0 โวลท์ ที่ลอจิก 0 และเป็น +5 โวลท์ ที่ลอจิก 1 นำไปเข้าวงจรเปรียบเทียบระดับแรงดันเพื่อเปรียบเทียบแรงดัน โดยแปลงระดับแรงดันจาก 0 โวลท์ เป็น -5 โวลท์ และที่ +5 โวลท์ เป็น +5 โวลท์ คงเดิม เพื่อให้มีแรงดันไฟฟ้าเป็นบวกและลบ เมื่อนำไปเข้าวงจรคูณจะได้เฟสของคลื่นพาห์ที่เปลี่ยนแปลงไป 180 องศาในกรณีเป็นลบ และจะไม่เปลี่ยนแปลงเฟสกรณีเป็นบวก คลื่นพาห์ที่ใช้ในการคูณได้มาจากการนำ Clock 1.28 MHz ที่ใช้ควบคุมจังหวะการทำงานในการจัดเตรียมข้อมูลอินพุต โดยการนำ Clock 1.28 MHz ไปเข้าวงจรสังเคราะห์ความถี่แบบเฟสล็อกคัลคูลูป เอาท์พุทที่ได้จากวงจรเฟสล็อกคัลคูลูป จะเป็นสัญญาณที่มีความถี่ 10.24 MHz ซึ่งเท่ากับการคูณ Clock 1.28 MHz ด้วย 8 สัญญาณคลื่นพาห์ที่ใช้ในการคูณจะถูกแยกเป็น 2 ส่วน ส่วนแรกใช้เป็นคลื่นพาห์แบบอินเฟสส่งเข้าวงจรคูณชุดหนึ่ง เพื่อคูณกับสัญญาณ I และส่วนที่สองนำไปเข้าวงจรเลื่อนเฟส เพื่อเลื่อนเฟสไป 90 องศา ใช้เป็นสัญญาณคลื่นพาห์แบบควอดราเจอร์เฟสป้อนเข้าวงจรคูณอีกชุดหนึ่ง เพื่อคูณกับสัญญาณ Q เอาท์พุทที่ได้จากวงจรคูณทั้งสองชุดจะนำมารวมกับสัญญาณคลื่นพาห์ที่วงจรรวมสัญญาณส่งเป็นสัญญาณ QPSK



รูปที่ 4 แสดงบล็อกไดอะแกรมและวงจรของระบบมอดูเลต

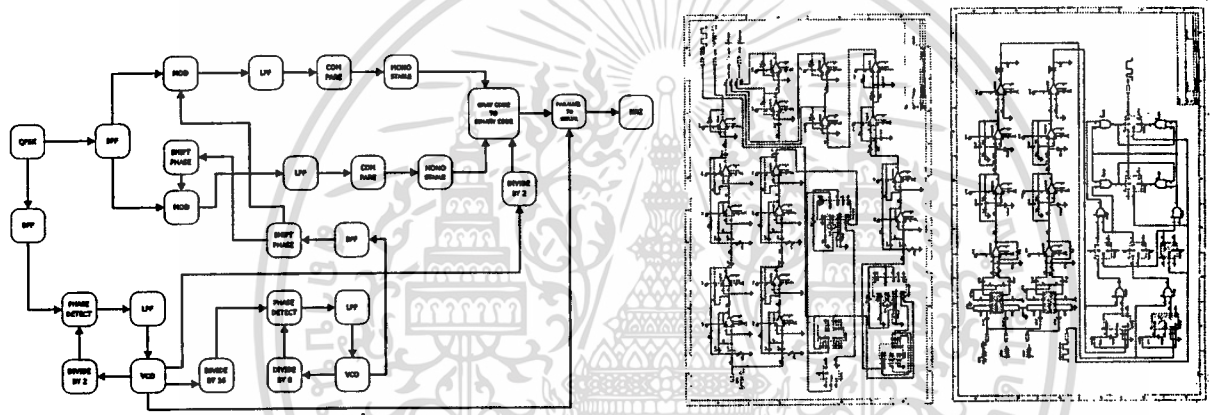
4. หลักการของระบบดีมอดูเลต

สัญญาณ QPSK ที่ส่งมาจากอุปกรณ์มอดูเลต เมื่อมาเข้าอุปกรณ์ดีมอดูเลตจะถูกกรองความถี่ในช่วงความถี่เฉพาะสัญญาณ QPSK ผ่านออกมาทางเอาท์พุท ของวงจรกรองความถี่ ซึ่งเป็นวงจรกรองความถี่ผ่านเฉพาะช่วง (Band-Pass Filter:BPF) โดยมีจำนวน 2 ชุด ชุดหนึ่งส่งให้กับวงจรเฟสล็อกคัลคูลูป เอาท์พุทที่ได้จากวงจรส่วนนี้จะมีค่าเป็นสองเท่าของสัญญาณคลื่นพาห์ 10.24 MHz คือเท่ากับ 20.48 MHz แล้วนำสัญญาณที่ได้ไปเข้าชุดหารความถี่ 16 จะได้ Clock 1.28 MHz ใช้ควบคุมจังหวะการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

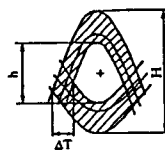
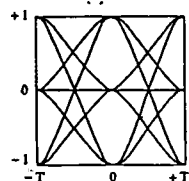
ของวงจรแปลงข้อมูลจากขนานเป็นอนุกรม Clock ที่ได้จะนำไปเข้าวงจรเฟสล็อกอีกชุดหนึ่ง เพื่อสร้างสัญญาณความถี่ 10.24 MHz ซึ่งเท่ากับการคูณ Clock 1.28 MHz ด้วย 8 สัญญาณความถี่ 10.24 MHz ที่ได้นี้ใช้เป็นสัญญาณคลื่นพาห้ป้อนให้กับวงจรคูณซึ่งจะผ่านวงจรกรองความถี่ผ่านเฉพาะช่วง(BPF)และวงจรเลื่อนเฟสเพื่อเลื่อนเฟสคลื่นพาห้ให้มีเฟสสอดคล้องกับสัญญาณ QPSK แล้วแยกออกเป็นคลื่นพาห้แบบอินเฟสและนำเข้าวงจรเลื่อนเฟส 90 องศา เพื่อใช้เป็นสัญญาณคลื่นพาห้แบบควอดราเจอร์เฟส นำสัญญาณคลื่นพาห้ทั้งสองเข้าวงจรคูณเพื่อคูณกับสัญญาณ QPSK (ได้มาจากวงจร BPF อีกชุดหนึ่ง) เข้าที่พู่ที่ได้จากการคูณ เมื่อผ่านวงจรกรองความถี่ต่ำผ่าน(Low-Pass Filter:LPF) จะได้เฉพาะสัญญาณ I และ Q แล้วจึงผ่านวงจรแปลงระดับแรงดัน ต่อจากนั้นจึงป้อนเข้าวงจรโมโนสเตเบิล แล้วนำสัญญาณ I และ Q ที่ได้ ป้อนเข้าสู่วงจรรวมสัญญาณดิจิตอล เพื่อแปลงข้อมูล I และ Q จากแบบขนานเป็นอนุกรม ซึ่งจะได้สัญญาณ NRZ ที่ทางด้านมอดูเลตส่งมา



รูปที่ 5 บล็อกไดอะแกรมและวงจรของระบบดิจิตอล

5. คำ Eye Diagram และ Timing Jitter [3]

อายุไดอะแกรมเป็นไดอะแกรมที่ใช้ประเมินค่าคุณภาพของการส่งแบบดิจิตอล ด้วยการสังเกตลักษณะคลื่นจากการวัด ไดอะแกรมนี้เป็นไดอะแกรมที่เกิดจากลักษณะคลื่นทุกคลื่นที่ปรากฏบนเครื่องวัด โดยที่คลื่นเหล่านั้นเป็นคลื่นที่อาจเกิดขึ้นได้ทุกกรณีในช่วงระหว่าง 2 บิต โดยมีจุดตีเทคเป็นจุดกึ่งกลาง ถ้าเขียนลักษณะคลื่นทุกกรณีที่จะเกิดขึ้นซ้อนกันอย่างอุดมคติแล้ว จะได้ตามรูปที่ 6 (ก) แต่ในทางปฏิบัตินั้นจะมีสัญญาณรบกวนเกิดขึ้น จึงทำให้ความกว้างและส่วนสูงของไดอะแกรมมีขนาดเล็กลงตามรูปที่ 6 (ข)



(ก) อายุไดอะแกรม

(ข) ลักษณะคลื่นที่แย่งลง

รูปที่ 6 อายุไดอะแกรม

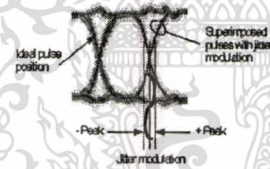
เมื่อเปรียบเทียบส่วนสูงของลักษณะคลื่นนี้กับคลื่นทางอุดมคติที่จุดดีเทคแล้ว ค่า Signal to Noise Ratio(S/N) จะแปรลงเป็นปริมาณตามสมการที่ 6 และสำหรับ Error Rate ก็ จะแปรลงด้วยปริมาณเดียวกันนี้

$$\Delta(S/N) = 20\log(H/h) \quad (6)$$

การทำงานของวงจรวอร์มอิเล็กทรอนิกส์จะต้องใช้เวลาในการประมวลผลข้อมูลซึ่งอุปกรณ์อิเล็กทรอนิกส์แต่ละแบบจะใช้เวลาในการทำงานไม่เท่ากัน ดังนั้นจึงเกิดความแตกต่างของเวลาของสัญญาณที่รับและส่งขึ้น ระยะทางและตัวกลางในการสื่อสารก็เป็นสาเหตุของการเกิดความแตกต่างของเวลา ค่า Jitter เกิดจากค่าความแตกต่างของคาบเวลาของสัญญาณในช่วงพัลส์ "1" และ "0" ไม่คงที่ จากรูปที่ 7 แสดงค่า Jitter ที่เกิดจากความแตกต่างทางคาบเวลาของพัลส์ ซึ่งจะได้กราฟ Jitter โดยในช่วงที่มีความแตกต่างของคาบเวลามาก ขนาดความสูงของกราฟก็จะเพิ่มขึ้น กราฟช่วงลบแสดงสัญญาณที่วัดเกิดการหน่วงเวลา ช่วงบวกหมายถึงเกิดการนำหน้าของสัญญาณขึ้น



รูปที่ 7 แสดงการเกิด Jitter



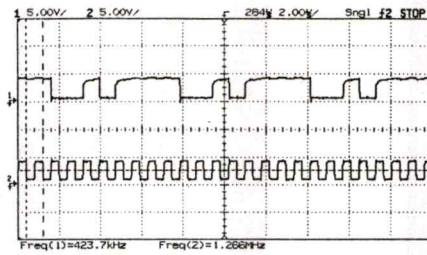
รูปที่ 8 แสดงการเกิด Jitter ในลักษณะของ Eye Diagram

ค่า Jitter ปกติจะเรียกเป็น UI (Unit Intervals) โดย Jitter 1 UI จะมีค่าสัมพันธ์กับอัตราความเร็วในการส่งข้อมูล เช่น ที่อัตราเร็วข้อมูล 2,048 kbps 1 UI จะเท่ากับ 488 ns รูปที่ 8 แสดง Jitter ที่เกิดบนสายโคอะกซ์

6. ผลการทดลอง

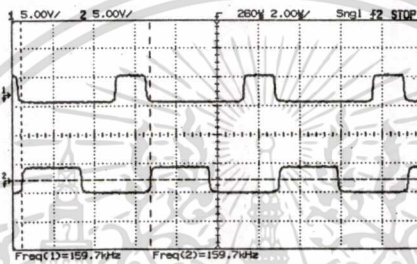
การทดสอบผลการมอดูเลตและการดีมอดูเลตแบบ QPSK จะสร้างสัญญาณ NRZ โดยใช้วงจรถ่าย Shift-register แบบ Parallel-in-serial-out เมื่อวัดสัญญาณต่างๆที่ชุดมอดูเลตและดีมอดูเลตจะได้สัญญาณดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



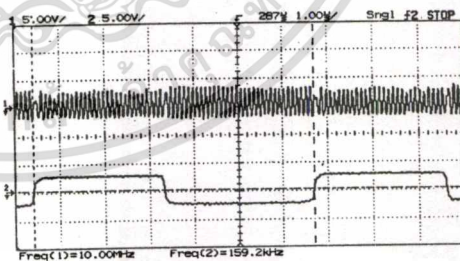
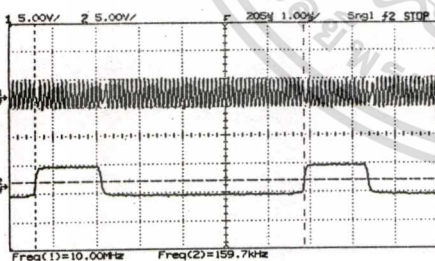
รูปที่ 9 CH1 แสดง NRZ , CH2 แสดง Clock 1.28 MHz

รูปที่ 9 กราฟ CH1 เป็นสัญญาณ NRZ ที่ได้จากเอาต์พุตของวงจรแปลงสัญญาณจากแบบขนานเป็นอนุกรม ส่วนกราฟ CH2 เป็นสัญญาณนาฬิกาที่ป้อนให้ขา CLK1 ของวงจร Shift-register



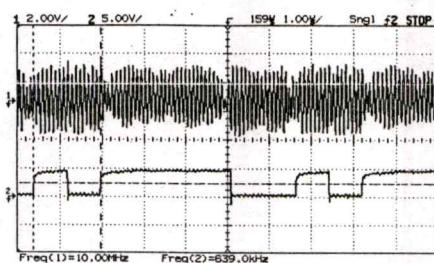
รูปที่ 10 กราฟ CH1 แสดงสัญญาณ I, CH2 คือสัญญาณ Q

รูปที่ 10 เป็นสัญญาณ I และ Q ที่ได้จากการแยกสัญญาณ NRZ โดยแปลงข้อมูลจากแบบอนุกรมเป็นแบบขนาน แล้วจึงทำการเปลี่ยนระดับแรงดัน ซึ่งจะได้สัญญาณดังรูปที่ 10 ซึ่งมีระดับแรงดันเป็นบวกและลบ เทียบกับกรณีรูปที่ 9 จะมีเฉพาะแรงดันบวก



รูปที่ 11 CH1 แสดงสัญญาณ BPSK, CH2 คือสัญญาณ I และ Q

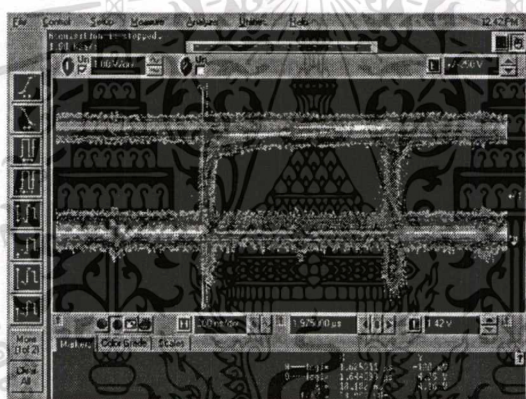
รูปที่ 11 กราฟ CH1 แสดงเฟสที่เปลี่ยนแปลงของสัญญาณคลื่นพาห์แบบอินเฟสที่ถูกมอดูเลตโดยสัญญาณดิจิทัล I ซึ่งสัญญาณคลื่นพาห์แบบอินเฟสจะเปลี่ยนแปลงเฟส ในช่วงที่สัญญาณ I เปลี่ยนระดับแรงดันจากลบเป็นบวก และจากบวกเป็นลบ สัญญาณ Q ก็เช่นเดียวกัน



รูปที่ 12 CH1 แสดงสัญญาณ QPSK, CH2 แสดง NRZ

เข้าที่พู่ทของวงจรรวมสัญญาณแสดงดังรูปที่ 12 ซึ่งเป็นสัญญาณ QPSK ที่ได้จากการรวมสัญญาณ I และ Q ที่ถูกคูณกับคลื่นพาห้

สัญญาณ NRZ จากเข้าที่พู่ทของภาคดีมอดูเลต และอินพุทของภาคมอดูเลต เมื่อนำสัญญาณ NRZ ทั้งสองมาทดสอบ Eye Diagram โดยป้อนสัญญาณจากอินพุทของภาคมอดูเลต CH1 ของ Hewlett packard Infinium Oscilloscope และป้อนสัญญาณจากเข้าที่พู่ทของภาคดีมอดูเลตเข้าทาง Ext. Trig. ผลที่ได้แสดงดังรูปที่ 13



รูปที่ 13 แสดง Eye Diagram ของสัญญาณ 1.28 Mbps

จาก Eye Diagram ที่แสดงดังรูปที่ 12 จะได้ค่า $\Delta(S/N)$ และค่า Jitter ที่ 1.28 Mbps ในกรณี 2.56 Mbps ก็ทำเช่นเดียวกัน ซึ่งจะได้ผลดังตารางที่ 1

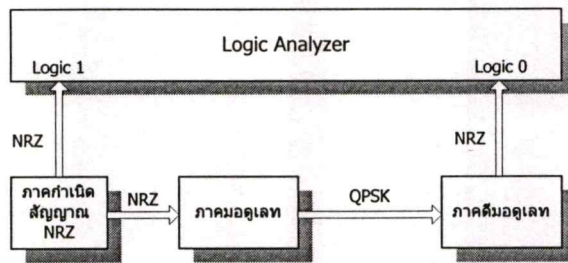
ตารางที่ 1 แสดงค่า $\Delta(S/N)$ และค่า Jitter

NRZ (Mbps)	$\Delta(S/N)$ (dB)	JITTER (UI*10 ⁻²)
1.28	2.781727753	1.2
2.56	2.871480756	1.9

จากรูป Eye Diagram แสดงคุณสมบัติของชุดมอดูเลตและดีมอดูเลตสัญญาณแบบ QPSK ในกรณีที่อัตราเร็วข้อมูลเพิ่มขึ้น เป็นผลให้ค่า $\Delta(S/N)$ และค่า Jitter จะเพิ่มขึ้น ดังนั้นคุณภาพของการรับส่งสัญญาณจะลดลง

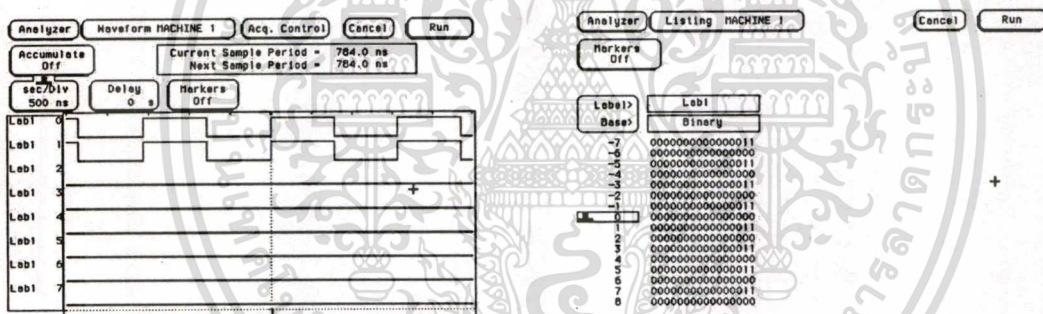
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำเครื่อง Logic Analyzer ของบริษัท Hewlett packard มาทดสอบเปรียบเทียบสัญญาณ NRZ ที่ได้จากภาคมอดูเลตและดีมอดูเลตโดยต่อดังรูปที่ 14

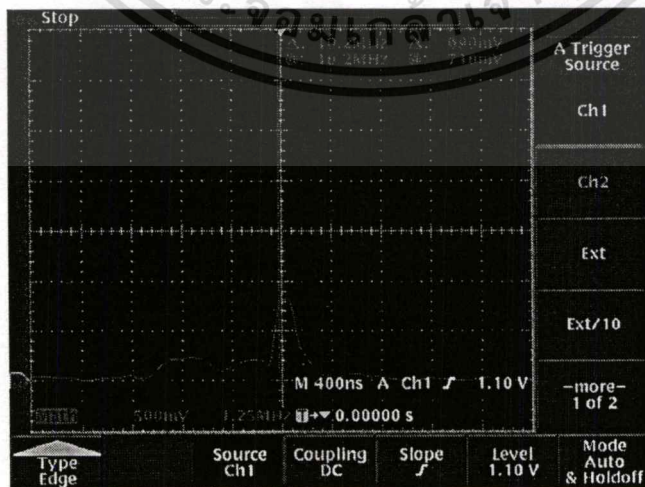


รูปที่ 14 แสดงบล็อกไดอะแกรมการทดสอบ BER

ผลการทดลองที่ได้แสดงดังรูปที่ 15 และ 16 เมื่อนำมาเปรียบเทียบค่าบิตที่ไม่เหมือนกันระหว่าง Logic 0 และ 1 จะได้ค่า BER แสดงได้ดังตารางที่ 2 ซึ่งเป็นการทดลองเปรียบเทียบค่า BER ที่ได้จากอัตราส่งข้อมูล 1.28 และ 2.56 Mbps หลักที่ 3 ของตารางที่ 2 แสดงการทดลองลดค่าสัญญาณส่ง ซึ่งจะทำให้เกิดบิตผิดพลาดมากขึ้น



รูปที่ 15 แสดงผลที่ได้จากเครื่อง Logic Analyzer



รูปที่ 16 แสดง Spectrum ของสัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2 แสดงค่า Bit error rate

NRZ (Mbps)	BER	CNR (dB)
1.28	170×10^{-4}	11.56
	580×10^{-4}	10.46
2.56	718×10^{-4}	16.18
	$1,929 \times 10^{-4}$	8.55

7. สรุปผลการวิจัย

ระบบการสื่อสารข้อมูลที่ใช้สำหรับเครือข่าย HFC ที่เสนอในบทความนี้เป็นารมอดูเลตและดีมอดูเลตแบบ QPSK ซึ่งในภาคมอดูเลตจะนำไปใช้เป็นอุปกรณ์ภายใน Cable Modem เพื่อส่งสัญญาณในย่านความถี่ Upstream ส่วนภาคดีมอดูเลตจะนำไปใช้เป็นอุปกรณ์ภายใน Cable Modem Termination System เพื่อดีมอดูเลตสัญญาณ และนำไปใช้ในระบบการประชุมสัมมนาทางโทรทัศน์ (Videoconference) ระบบวิดีโอตามต้องการ (Video on demand) และบริการสื่อสารข้อมูลความเร็วสูง โดยสามารถรับและส่งสัญญาณได้ที่ความถี่คลื่นพาห์ 10.24 MHz และมีอัตราเร็วในการส่งข้อมูลเป็น 1.28 และ 2.56 Mbps ค่า BER ประมาณ 170×10^{-4} ถึง $1,929 \times 10^{-4}$ ค่า $\Delta(S/N)$ อยู่ในช่วง 2.78- 2.87 dB และค่า Jitter อยู่ในช่วง 0.012-0.019 UI คุณภาพของการรับส่งสัญญาณจะลดลง เมื่อเพิ่มอัตราเร็วในการส่งข้อมูล

8. เอกสารอ้างอิง

- [1] Kraisin S., "Hybrid Fiber Coaxial Network for Interactive Multimedia Applications," International Teletraffic seminar, pp. 26-0 to 26-10, 1995.
- [2] Kamilo Feher, 1992. "Digital Communication". Englewood Cliffs, NJ : Prentice-Hall.
- [3] ถวิล กิ่งทอง, 2539. "เทคโนโลยีการส่งสัญญาณดิจิทัล", พิมพ์ครั้งที่ 1. กรุงเทพฯ: สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.
- [4] Wayne Tomasi, 1998. "Electronic Communications Systems". Third Edition. International (UK) Limited, London : Prentice-Hall.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นายทิษณู งามเชียรธนา เกิดเมื่อวันที่ 29 เมษายน 2518 ที่จังหวัดกรุงเทพฯ สำเร็จการศึกษา
 วิศวกรรมศาสตรบัณฑิต (วิศวกรรมโทรคมนาคม) จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณ
 ทหารลาดกระบัง ปีการศึกษา 2540 และประกาศนียบัตรวิชาชีพชั้นสูง (อิเล็กทรอนิกส์) จากสถาบัน
 เทคโนโลยีพระจอมเกล้าพระนครเหนือ ปีการศึกษา 2538



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้