สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ตัวควบคุมแบบดีเท็คเฟสและความถี่

PHASE - FREQUENCY DETECTOR CONTROLLER

T045742

โดย

นายอมร สุวรรณชัยสกุล

นายอังคารเดชา บุญมาสืบ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขหมู่.....
เลขทะเบียน 45742
วัน, เดือน, ปี 13 ก.พ. 2546

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เฟส-ฟรีเควนซีดีเท็คเตอร์คอนโทรลเลอร์
นักศึกษา	นายอมร สุวรรณชัยสกุล
	นายอังคารเดชา บุญมาสืบ
รหัสนักศึกษา	4101521
	4114532
ปริญญา	วิศวกรรมศาสตร์บัณฑิต
สาขาวิชา	วิศวกรรมระบบควบคุม
พ.ศ.	2545
อาจารย์ผู้ควบคุมปริญญานิพนธ์	ร.ศ.ดร. โยธิน เปรมปราณีรัชต์

บทคัดย่อ

ปริญญานิพนธ์เล่มนี้ ได้นำเสนอวิธีการศึกษาและออกแบบตัวควบคุมเฟสล็อคลูปโดยเลียนแบบการทำงานของ 3-สเตท เฟส-ฟรีเควนซีดีเท็คเตอร์ (Phase Frequency Detector Controller) ที่เกิดไซเคิ้ลสลิปในช่วง $\pm 2\pi$ เรเดียน โดยวงจรสามารถตรวจจับเฟสและความถี่แบบสามสเตท ซึ่งสามารถตรวจจับสัญญาณอินพุทที่ปรากฏเข้ามาพร้อมกันได้ และได้ทำการออกแบบเพื่อขยายสเตทการทำงานได้เป็น 6 สเตท ให้ได้ช่วงการทำงานถึง $\pm 5\pi$ เรเดียน ด้วยกระบวนการทางซอฟต์แวร์ ซึ่งสามารถทดสอบการทำงานโดยไมโครคอนโทรลเลอร์ MCS-51 พร้อมทั้งนำเสนอการประยุกต์ใช้งานในระบบเฟสล็อคลูปในการควบคุมความเร็วของมอเตอร์ไฟฟ้ากระแสตรง จะถูกเสนออยู่ในปริญญานิพนธ์เล่มนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Phase-frequency detector controller
Student	MR.Amorn SUWANCHAISAKUL
	MR Ungkrandecha BOONMASUAB
Degree	Bachelor degree of Engineering
Programe	Control Engineering
Thesis Advisor	Assoc. Prof. Dr. Yothin PREMPRANEERACH

Abstract

This thesis generally presents in the principal theories and design of Phase Locked Loop Controller by applying the 3-state phase frequency detection methods and attributes. Two phase inputs can be detected by this controller with is developed and extended capability to Six–State operation by software consequently it is can able to work in the range -5π to 5π and to test its operation and results by using microcontroller MCS–51. The application of phase locked loop for DC motor control had been included in this thesis.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2544

ภาควิชา วิศวกรรมศาสตร์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เฟส – ฟรีเควนซีดีเท็คเตอร์คอนโทรลเลอร์

ผู้จัดทำ

1. นายอมร สุวรรณชัยสกุล
2. นายอังคารเดชา บุญมาสืบ

..... อาจารย์ที่ปรึกษา

(รศ.ดร. โยธิน เปรมปราณีรัชต์)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์เล่มนี้สำเร็จลุล่วงได้ ด้วยคำแนะนำและคำปรึกษาจากท่าน รศ.ดร.โยธิน เปรมปราณีรัชต์ ผู้ทำปริญญานิพนธ์รู้สึกทราบซึ้งในความอนุเคราะห์จากท่าน และขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบคุณบิดามารดา ครอบครัว และเพื่อนๆ ของข้าพเจ้าที่คอยให้กำลังใจมาโดยตลอด คุณค่าและประโยชน์อันพึงมีจากปริญญานิพนธ์นี้ ขอมอบแด่ผู้มีพระคุณทุกท่าน

นายอมร สุวรรณชัยสกุล

นายอังคารเดชา บุญมาสืบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	V
สารบัญรูป	VI
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา	2
1.3 สมมติฐานของการศึกษา	2
1.4 ขอบเขตของการทดลอง	2
1.5 ขั้นตอนการศึกษา	2
บทที่ 2 เฟสล็อคลูป	4
2.1 บทนำ	4
2.2 เฟสคอมพาราเตอร์	5
2.2.1 เฟสคอมพาราเตอร์ 2- สเตท	4
2.2.2 เฟสฟรีเควนซีดีเทคเตอร์ 3- สเตท	6
2.3 วงจรกรองความถี่ต่ำผ่าน (Low-Pass Filter)	7
2.4 โวลท์เตจคอนโทรลออสซิเลเตอร์	8
บทที่ 3 วงจรตรวจจับเฟส	9
3.1 บทนำ	9
3.2 คุณสมบัติของวงจรตรวจจับเฟส	9
3.3 วงจรตรวจจับเฟสที่ให้คุณสมบัติเป็นรูปซายน์	11
3.4 วงจรวงจรตรวจจับเฟสที่ให้คุณสมบัติเป็นรูปสามเหลี่ยม	14
3.4.1 วงจรตรวจจับเฟสแบบเอ็กซคูลซีฟ – ออร์เกท	16
3.4.2 วงจรตรวจจับเฟสและความถี่แบบสาม – สเตท	19
บทที่4 หลักการ และการออกแบบวงจรตรวจจับเฟสและความถี่ด้วยไมโครคอนโทรลเลอร์ MCS – 51	23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 ไมโครคอนโทรลเลอร์ MCS – 51 กับการทำงาน 23
เป็นวงจรตรวจจับเฟสและความถี่
4.1.1 แมชชีนไซเคิ้ลของไมโครคอนโทรลเลอร์ 24
4.1.2 การเลือกรีจิสเตอร์ที่ใช้ควบคุมการงาน 25
4.1.3 รีจิสเตอร์ควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์ 26
4.1.4 รีจิสเตอร์เลือกโหมดการทำงานของไทม์เมอร์/เคาน์เตอร์ 28
4.2 การอินเทอร์รัปต์ในไมโครคอนโทรเลอร์ MCS-51 29
4.2.1 รีจีสเตอร์อีนาเบิลอินเทอรัปต์ หรือ IE 30
4.2.2 รีจีสเตอร์จัดลำดับความสำคัญการตอบสนอง 31
การร้องขอบริการอินเตอร์รัปต์
4.3 หลักการออกแบบวงจรตรวจจับเฟสและความถี่ 32
ด้วยไมโครคอนโทรลเลอร์
บทที่ 5 การประยุกต์ใช้งานระบบควบคุมแบบเฟสล็อคลูป 33
ระบบเฟสล็อคลูปสำหรับควบคุมความเร็วมอเตอร์
5.1 บทนำ 33
5.2 ส่วนประกอบหลักของการควบคุมความเร็ว 34
ของมอเตอร์ด้วยระบบเฟสล็อคลูป
5.2.1 คอนโทรเลอร์ (Phase Frequency Detector) 34
5.2.2 โลว์พาสฟิวเตอร์ (Low pass Filter) 34
5.2.3 สวิทชิ่งเซอร์โวแอมปลิไฟ 34
5.2.4. ไตร- สเตท สวิทซ์ (Tri – State Switch) 36
5.2.5. มอเตอร์และเอนโคเดอร์ 37
บทที่ 6 การขยายคุณสมบัติของวงจรตรวจจับเฟสและความถี่ 39
6.1 บทนำ 39
6.2 วงจรชิพต์รีจิสเตอร์แบบสองทิศทางกับการทำงาน
เป็นวงจรตรวจจับเฟส 40
6.3 การขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสและ
ความถี่ด้วยวงจรไซเคิ้ลสลิปดีเทคเตอร์ 42
6.4 การออกแบบและทดสอบวงจร 6- state PFD ด้วยโปรแกรม Pspice 45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7 การทดลองและผลการทดลอง 50

7.1 ขั้นตอนการทดลอง 50

7.2 ผลการทดลอง 52

บทที่ 8 สรุปผลและข้อเสนอแนะ 71

บรรณานุกรม 72

ภาคผนวก

- วงจร 3-สเตท เฟสดีเทคเตอร์ด้วยไมโครคอนโทรลเลอร์ MCS – 51
- วงจร6-สเตท เฟสดีเทคเตอร์ด้วยไมโครคอนโทรลเลอร์ MCS – 51
- วงจร 3-สเตท เฟสดีเทคเตอร์ด้วยไมโครคอนโทรลเลอร์ MCS – 51 ควบคุมความเร็วมอเตอร์
- โฟลชาร์ตโปรแกรม 3-สเตท เฟสดีเทคเตอร์ด้วยไมโครคอนโทรลเลอร์ MCS – 51
- โปรแกรม 3-สเตท เฟสดีเทคเตอร์ด้วยไมโครคอนโทรลเลอร์ MCS – 51
- โฟลชาร์ต โปรแกรม 6-สเตท เฟสดีเทคเตอร์ด้วยไมโครคอนโทรลเลอร์ MCS – 51
- โปรแกรม 6-สเตท เฟสดีเทคเตอร์ด้วยไมโครคอนโทรลเลอร์ MCS – 51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

3.1 แสดงตารางค่าความจริงของการคูณ 18

3.2 แสดงตารางค่าความจริงของเอ็กคลูซีฟ – ออร์ เกท 18

7.1 แสดงผลการเปรียบเทียบผลการตอบสนองของระบบ(เมื่อใช้ฟิวเตอร์1) 55

7.2 แสดงผลการเปรียบเทียบผลการตอบสนองของระบบ(เมื่อใช้ฟิวเตอร์2) 57

7.3 ตารางเปรียบเทียบประสิทธิภาพและผลตอบสนอง 66
ของวงจรตรวจจับความถี่แต่ละชนิด



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

		หน้า
2.1	บล็อคไดอะแกรมของระบบเฟสล็อคลูป	4
2.2	ส่วนประกอบของ 2-state PFD	5
2.3	แสดงถึงจังหวะในการเกิดพัลส์ ของอินพุท R และ V และค่าเฉลี่ยของเอาท์พุท Vd	5
2.4	แสดงส่วนคุณสมบัติความเป็นเชิงเส้นของ 2-state Phase detector ในช่วง -πถึง+π	6
2.5	แสดงส่วนประกอบของ 3-state PFD	6
2.6	แสดงถึงจังหวะในการเกิดพัลส์ ของ อินพุทV, R และ U และค่าเฉลี่ยของเอาท์พุท Vd	7
2.7	แสดงคุณสมบัติความเป็นเชิงเส้นของ 3 state phase detector ในช่วง -2π ถึง +2π	7
2.8	แสดงชนิดของวงจรกรองความถี่ผ่านชนิด Passive และ Active Filter	8
3.1	แสดงคุณสมบัติของเฟสดีเทคเตอร์และเส้นทางเดินราก	10
3.2	วงจรตรวจจับเฟสที่ให้คุณสมบัติเป็นคลื่นรูปซายน์	12
3.3	วงจรตรวจจับเฟสที่ให้คุณสมบัติเป็นรูปสามเหลี่ยม	15
3.4	วงจรตรวจจับเฟสแบบเอ็กซคูลซีฟ – ออร์เกท	16
3.5	กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสแบบเอ็กซคูลซีฟ – ออร์เกท	18
3.6	วงจรตรวจจับเฟสและความถี่แบบสาม – สเตท	20
3.7	คุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสามสเตท	21
4.1	โครงสร้างภายในของไมโครคอนโทรลเลอร์ MCS – 51 เบอร์ 89C2051	24
4.2	แมชชีนไซเคิ้ลของไมโครคอนโทรลเลอร์ MCS- 51	25
4.3	ตำแหน่งของหน่วยความจำข้อมูลภายในที่ใช้สำหรับรีจิสเตอร์ฟังก์ชันพิเศษ	26
4.4	รายละเอียดรีจิสเตอร์ควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์	26
4.5	รายละเอียดรีจิสเตอร์เลือกโหมดการทำงานของไทม์เมอร์/เคาน์เตอร์	28
4.6	รายละเอียดรีจิสเตอร์เอนาเบิลอินเทอรัปต์	30
4.7	รายละเอียดรีจิสเตอร์จัดลำดับความสำคัญการตอบสนองการร้องขอบริการอินเทอรัปต์	31
5.1	แสดงบล็อคไดอะแกรมของระบบควบคุมมอเตอร์ด้วยวิธีเฟสล็อคลูป	34
5.2	แสดงวงจรพัลซ์วิดมอดูเลชั่น	35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 วงจรแสดงการสร้างสัญญาณรูปสามเหลี่ยม 36
5.4 แสดงวงจรสวิชิ่งเซอร์โวแอมฟลิไฟ 36
5.5 แสดงไตร – สเตทสวิทซ์ 37
5.6 แสดงส่วนประกอบของมอเตอร์ไฟฟ้ากระแสตรงและออปติคอลเอนโคเดอร์ 38
6.1 แสดงบล็อคไดอะแกรมการขยายข่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่ 39
6.2 วงจรชิพตรีจิสเตอร์แบบสองทิศทาง 2- สถานะ ซึ่งให้ช่วง 41
คุณสมบัติของวงจรเท่ากับ $\pm 2\pi$ เรเดียนเช่นเดียวกับวงจร 3-state PFD
6.3 วงจร3-state PFD กับการเปลี่ยนสถานะของสเตทซึ่งถูกนำมาใช้ร่วม 42
การออกแบบเป็นวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 6- สเตท
6.4 วงจรไซเคิ้ลสลิปดีเทคเตอร์กับการสร้างสัญญาณควบคุมการสลิป 43
6.5 การออกแบบวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 6-state 45
6.6 สเตทไดอะแกรมของการทำงานเมื่อปรากฏการทำงานเมื่อมีขอบอินพุทเข้ามา 46
6.7 สัญญาณเอาท์พุทเมื่อวงจรทำงานเป็นตัวตรวจจับความถี่ที่ 47
fr >fvและ กราฟแสดงคุณสมบัติของวงจร 6-state PFD
6.8 วงจร 6-state PFD ที่ใช้การซิมมูเลทด้วยโปรแกรม PSPICE 49
7.1 แสดงชนิดของวงจร Filter แบบที่ 1 51
7.2 แสดงชนิดของวงจร Filter แบบที่ 2 51
7.3 แสดงชนิดของวงจร Filter สำหรับวงจรที่ใช้มอเตอร์แทน VCO 51
7.4 แสดงลักษณะการตจรวจจับสัญญาณของ MC4046 ที่ความถี่ต่างๆ 52
7.5 แสดงลักษณะการตจรวจจับสัญญาณของวงจรตรวจจับความถี่ที่ใช้ MCS-51 53
แบบ 3-state ที่ความถี่ต่างๆ
7.6 แสดงการเปรียบเทียบย่านความถี่ที่สามารถตรวจจับได้ (เมื่อใช้ Filter ชนิดที่1) 54
7.7 แสดงการเปรียบเทียบผลตอบสนองชั่วขณะของวงจรตรวจจับเฟสแบบไอซีสำเร็จรูป 55
7.8 แสดงการเปรียบเทียบย่านความถี่ที่สามารถตรวจจับได้ (เมื่อใช้ Filter ชนิดที่2) 56
7.9 แสดงการเปรียบเทียบผลตอบสนองชั่วขณะของวงจรตรวจจับเฟสแบบไอซีสำเร็จรูป 57
7.10 แสดงลักษณะการตจรวจจับสัญญาณของวงจรตรวจจับความถี่ที่ใช้ MCS-51 58
แบบ 6-state ที่ความถี่ต่างๆ โดยเปลี่ยนวงจร VCO เป็นมอเตอร์
7.11 แสดงการเปรียบเทียบย่านความถี่ที่สามารถตรวจจับได้ โดยใช้ Filter ดังรูปที่ 7.3 59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.12 (ก) แสดงผลตอบสนองชั่วขณะของระบบเมื่อใช้มอเตอร์แทน VCO 60
(ใช้ Filter ดังรูปที่ 7.3) โดยการสเตปความถี่ที่สัญญาณอ้างอิงจาก 1.6 kHz – 1.95 kHz
7.13 แสดงการผลของกำจัดสัญญาณรบกวนที่เข้ามาที่สัญญาณอินพุท 61
7.14 แสดงการผลของกำจัดสัญญาณรบกวนที่เข้ามาที่ VCOin 62
7.15 แสดงการเปรียบเทียบย่านความถี่ที่สามารถตรวจจับ 63
ได้เมื่อมีสัญญาณรบกวนเข้ามาที่ VCOin
7.16 แสดงลักษณะการตจรวจจับสัญญาณของวงจรตรวจจับความถี่ที่ใช้ MCS-51 64
แบบ 6-state ที่ความถี่ต่างๆ
7.17 แสดงสเตปของสัญญาณเอาท์พุทของวงจรตรวจจับสัญญาณความถี่ 65
ที่ใช้ MCS-51 แบบ 6-state
7.18 แสดงย่านความถี่ที่สามารถตรวจจับได้ ของวงจรตรวจจับสัญญาณความถี่ที่ใช้ 65
MCS-51 แบบ 6-state โดยการปรับค่าความถี่อ้างอิงระหว่าง 2,220 Hz – 565 Hz
7.19 แสดงผลตอบสนองชั่วขณะของระบบ เมื่อใช้วงจรตรวจจับสัญญาณความถี่ 66
ที่ใช้ MCS-51 แบบ 6-state โดยการสเตปความถี่ที่สัญญาณอ้างอิงจาก
1.6 kHz - 1.95 kHz
7.20 เปรียบเทียบผลจากการซิมมูเลทด้วยโปรแกรม Pspice ของวงจร 3-state PFD 67
และวงจร 6-state PFD ที่ทำงานเป็นตัวตรวจจับเฟสที่ค่าความถี่500Hzมีเฟสต่าง$\pi/2$
7.21 สัญญาณเอาท์พุทของวงจร 6-state PFD ที่ได้จากการซิมมูเลทด้วยค่าความต่างเฟส 68
เพิ่มขึ้น โดยความถี่ของการทดสอบเท่ากับ 500 Hz มีเฟสต่างเท่ากับ $\pi/2$
7.22 แสดงการเปรียบเทียบผลของการทำงานเป็นตัวตรวจจับความถี่ 69
ของวงจร 3-state PFDกับ 6-state PFD โดยการซิมมูเลท เมื่อ fr > fv

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

เนื่องจากในปัจจุบัน ความต้องการในการควบคุมมอเตอร์ที่มีความเที่ยงตรงสูงมีเพิ่มมากขึ้นไม่ว่าจะเป็น การควบคุมความเร็ว หรือการควบคุมตำแหน่งของมอเตอร์ ประกอบกับ IC ต่างๆ ก็ได้พัฒนารวมวงจรต่างๆ ไว้ด้วยกันเพื่อสะดวกต่อการใช้งาน วิธีหนึ่งในการควบคุมความเร็วของมอเตอร์ให้ถูกต้อง และรวดเร็ว คือ การใช้ระบบเฟสล็อกลูปมาควบคุม ซึ่งโดยปกติแล้วระบบเฟสล็อกลูปนี้ สามารถนำไปใช้งานได้หลายด้าน โดยเฉพาะในด้านการสื่อสาร และเนื่องจากระบบเฟสล็อกลูปให้คุณสมบัติการตอบสนองความเร็วดีเป็นเลิศ รวมทั้งการเปลี่ยนแปลงของพารามิเตอร์ต่างๆ มีผลกระทบต่อการทำงานของระบบน้อยมาก การควบคุมความเร็วความเร็วมอเตอร์ด้วยระบบเฟสล็อกลูปจึงได้รับความนิยมเป็นอย่างสูง

ส่วนประกอบหนึ่งที่สำคัญของระบบเฟสล็อกลูป คือ ส่วนของวงจรตรวจจับเฟส โดยจะทำหน้าที่ในการเปรียบเทียบเฟสระหว่างเฟสของสัญญาณอินพุทอ้างอิง กับเฟสของสัญญาณอินพุทที่ต้องการจะเปรียบเทียบ โดยมีแรงดันเอาท์พุทเป็นสัดส่วนกับค่าความต่างเฟส ซึ่งวงจรตรวจจับเฟสที่ใช้อยู่ในปัจจุบัน จะใช้แบบไอซี (IC) สำเร็จรูป (MC4046) และพบว่าวงจรตรวจจับเฟสที่ให้ช่วงคุณสมบัติของวงจรได้กว้างที่สุดก็คือการทำงานของวงจรตรวจจับเฟสและความถี่ แบบ 3 สเตท หรือ วงจร 3-state PFD ที่สามารถเป็นได้ทั้งตัวตรวจจับเฟสและตัวตรวจจับความถี่ ที่ให้คุณสมบัติของวงจรอยู่ในช่วง $\pm 2\pi$ เรเดียน โดยยังไม่มีวิธีการใดที่จะทำให้ช่วงคุณสมบัติของวงจรนี้ขยายต่อออกไปได้อีก

โครงงานนี้ได้นำเสนอการพัฒนาวงจรตรวจจับเฟสนี้โดยการใช้ไมโครคอนโทรลเลอร์ MCS-51 แทน ทำให้มีความยืดหยุ่น สามารถปรับปรุงเปลี่ยนแปลงได้ง่าย อีกทั้งยังสามารถขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสและตรวจจับความถี่ให้กว้างออกไป ด้วยการเพิ่มจำนวนสถานะของสเตทการทำงานให้สูงขึ้นจาก 3 สเตทเดิมซึ่งตัวตัวควบคุมเฟสและความถี่แบบ 3-state PFD ที่สร้างขึ้นด้วยไมโครคอนโทรลเลอร์ MCS- 51 ซึ่งจะถูกนำมาทดสอบผลการทำงานโดยจะเปรียบเทียบผลการทำงานกับวงจร 3-State PFD เบอร์ MC 4046 ซึ่งเป็นชิพสำเร็จรูปที่นิยมใช้ในงานของระบบเฟสล็อคลูป นอกจากนั้นแล้ว ด้วยกระบวนการทางซอฟต์แวร์สามารถที่จะขยายสถานะต่อออกไปได้อีกเพราะเป็นการควบคุมโดยซอฟต์แวร์ จึงสามารถสร้างตัวควบคุมเฟสและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ที่มีช่วงการตรวจจับเฟสกว้างถึง $\pm 5\pi$ เรเดียน โดย การทำงานและจะเปรียบเทียบกับผลจากการซิมมูเลทวงจร 6-state PFD ด้วยโปรแกรมเลียนแบบวงจร Pspice

1.2 ความมุ่งหมายและจุดประสงค์ของการทดลอง

1.2.1 ปรับปรุงวงจรตรวจจับเฟสและความถี่แบบ 3-state ให้มีประสิทธิภาพดีและยืดหยุ่นมากขึ้น

1.2.2 เพื่อให้วงจรสามารถตรวจจับสัญญาณอินพุทที่เกิดขึ้นพร้อมกันได้โดยไม่มีการสูญเสียสัญญาณอินพุทใดอินพุทหนึ่งไปซึ่งจะเป็นสาเหตุให้เกิดการทำงานผิดพลาดขึ้น

1.2.3 สามารถนำเอาไมโครคอนโทรเลอร์มาควบคุมการทำงานเป็นวงจรตรวจจับเฟสที่มีสถานะของสเตทและช่วงคุณสมบัติของวงจรที่กว้างขึ้น โดยยังสามารถขยายสถานะของแต่ละสเตทต่อออกไปได้อีกเพราะเป็นการควบคุมโดยซอฟต์แวร์

1.2.4 ประยุกต์การใช้งานของระบบควบคุมเฟสล็อคลูปโดยการนำไปควบคุมความเร็วของมอเตอร์ไฟฟ้ากระแสตรง

1.3 ขอบเขตของการวิจัย

นำเอาไมโครคอนโทรลเลอร์มาใช้งานโดยการควบคุมทางซอฟต์แวร์ เลียนแบบการทำงานของวงจร 3- state PFD และนำผลการทดสอบที่ได้ไปเปรียบเทียบกับวงจรตรวจจับเฟสและความถี่สำเร็จรูป เบอร์ 4046 ที่เป็นมาตรฐานในการตรวจสอบ รวมทั้งการปรับปรุงทางซอฟท์แวร์เพื่อขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสด้วยการเพิ่มสถานะของสเตทออกไปเป็น 6- state PFD และนำผลการทดสอบที่ได้เปรียบเทียบผลกับการซิมมูเลท (Simulate) ด้วย Program PSPICE

1.4 ขั้นตอนการศึกษา

1.4.1 ศึกษาการทำงาน และช่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่ของไอซีสำเร็จรูปเบอร์ MC4046

1.4.2 ออกแบบวงจรตรวจจับเฟสและความถี่ แบบ 3-state PFD ด้วยไมโครคอนโทรเลอร์ MCS–51 โดยเลียนแบบการทำงานของไอซีสำเร็จรูปเบอร์ MC4046

1.4.3 นำผลขอวงจรตรวจจับเฟสและความถี่ แบบ 3-state PFD ที่ได้รับการออกแบบด้วยไมโครคอนโทรลเลอร์ไปเปรียบเทียบกับผลของวงจรตรวจจับเฟสและความถี่ของไอซีเบอร์ MC4046 ที่เป็นไอซีสำเร็จรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4.4 ขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่ที่ออกแบบด้วยไมโครคอนโทรลเลอร์ด้วยกระบวนการทางซอฟต์แวร์เป็นแบบ 6-state PFD

1.4.5 ประยุกต์ใช้งานระบบเฟสล็อคลูปที่มีตัวตรวจจับเฟสและความถี่เป็นไมโครคอนโทรลเลอร์ในการการควบคุมความเร็วมอเตอร์ไฟฟ้ากระแสตรง

1.4.6 สรุปผลการทดลอง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
เฟสล็อคลูป

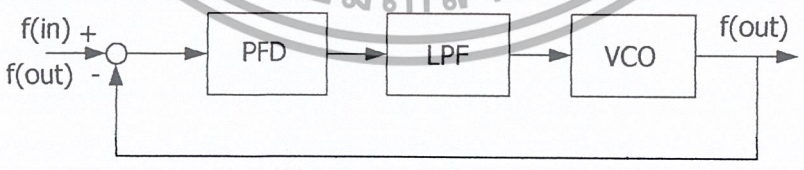
2.1 บทนำ

ระบบเฟสล็อคลูป (Phase locked loop) เป็นระบบควบคุมแบบป้อนกลับป้อนกลับแบบลบ (Nagative Feedback Control System) แบบหนึ่ง โดยได้มีการนำมาใช้งานอย่างกว้างขวางในวงจรการสื่อสารโทรคมนาคม โดยอาศัยหลักการการล็อคกันของความถี่ เมื่อความถี่ของสัญญาณคำสั่งและสัญญาณป้อนกลับมีค่าเท่ากันระบบจะทำการล็อค และจะทำการล็อคจนกว่าความถี่ของสัญญาณคำสั่งจะเปลี่ยนไปเป็นระบบควบคุมที่ให้ผลตอบสนองของสัญญาณคำสั่งที่รวดเร็ว สามารถกำจัดสัญญาณรบกวนได้ดี สำหรับการประยุกต์ใช้งานของระบบเฟสล็อคลูป ที่พบได้ทั่วไปเช่น ระบบควบคุมความเร็วของมอเตอร์ ตัวกรองติดตาม วงจรทางโทรคมนาคม

ส่วนประกอบที่สำคัญของ ระบบเฟสล็อคลูป ได้แก่

1. ตัวตรวจจับเฟสและความถี่ (Phase Comparator)
2. วงจรกรองความถี่ต่ำผ่าน (Low-Pass Filter)
3. แอมฟลิไฟเออ (Amplifier)
4. โวลท์เตจคอนโทรลออสซิเลเตอร์ (Voltage Control Oscillator: VCO)

หากจะมองแต่ละส่วนประกอบในรูปของ บล็อคไดอะแกรม (Block Diagram) จะได้ความสัมพันธ์กันดังรูป



รูปที่ 2.1 บล็อคไดอะแกรมของระบบเฟสล็อคลูป

การทำงานของระบบเฟสล็อคลูป จะเริ่มต้นที่เฟสดีเทคเตอร์ซึ่งเป็นส่วนที่ทำการเปรียบเทียบความถี่ของสัญญาณขาเข้า (f_{in})(โดยเราจะถือว่าเป็นความถี่อ้างอิง f_{ref}) กับความถี่ของสัญญาณเอาท์พุทโวลท์เตจคอนโทรลออสซิเลเตอร์ (f_{VCO}) ซึ่งจะได้เอาท์พุทอยู่ในรูปของ ค่าความแตกต่างทางเฟส ซึ่งจะถูกกรองและขยายสัญญาณ เป็นสัญญาณศักย์ไฟฟ้ากระแสตรง (DC) เพื่อนำไปทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

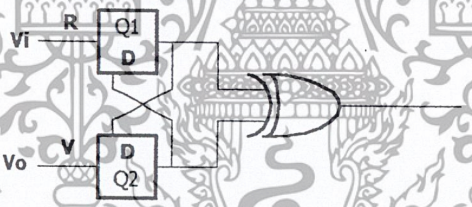
การควบคุมการผลิตความถี่ของโวลท์เตจคอนโทรลออสซิเลเตอร์ จนกระทั่งความถี่ของโวลท์เตจคอนโทรลออสซิเลเตอร์ทำการล็อค (Lock) กับสัญญาณขาเข้า นั่นคือ f_{VCO} เท่ากับ f_{in} ด้วยค่าความต่างทางเฟสคงที่ค่าหนึ่ง

2.2 เฟสคอมพาราเตอร์ (Phase Comparator)

เฟสคอมพาราเตอร์ ที่ใช้งานกันโดยทั่วไปจะมีอยู่ 2 แบบ คือ เฟสฟรีเควนซีดีเทคเตอร์ (Phase Detector)และ เฟส-ฟรีเควนซีดีเทคเตอร์ (Phase-Frequency Detector) โดยการทำงานจะกระทำโดยการเปรียบเทียบ เฟส จากสัญญาณบังคับ(Input Signal) และ สัญญาณ ป้อนกลับ (Feedback signal) สัญญาณเอาท์พุท ที่ได้จะออกมาในรูปของโวลท์เตจ สำหรับ เฟสดีเทคเตอร์ นั้น เอาท์พุทโวลท์เตจ ที่ได้จะเป็นสัดส่วนกับความต่างเฟส ของสัญญาณบังคับ และสัญญาณป้อนกลับ ส่วนในกรณีของ เฟส- ฟรีเควนซีดีเทคเตอร์ นั้น เอาท์พุทโวลท์เตจ ที่ได้จะเป็นฟังก์ชันของเฟสเออเรอร์ (Phase error) และ (Frequency error) ในรายละเอียดของเฟสดีเทคเตอร์ได้อธิบายไว้ในบทที่ 3

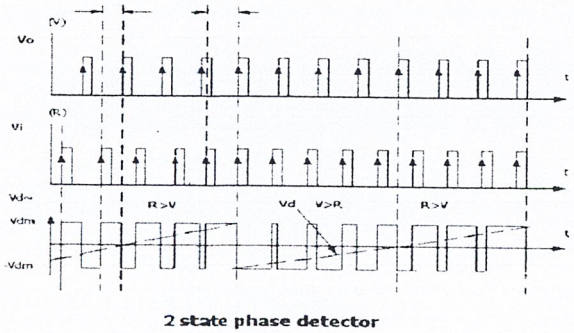
2.2.1 เฟสดีเทคเตอร์แบบ 2- สเตท (Phase Detector 2-State)

ส่วนประกอบของ เฟสคอมพาราเตอร์ แบบนี้ ประกอบด้วย เซ็ต – รีเซตฟลิปฟลอป(Set-Reset Flip-Flop)และ เอ็กซ์คูซีฟออร์ (Edge-triggered Exclusive-OR) ดังรูป



รูปที่ 2.2ส่วนประกอบของ 2-state PFD

เอาท์พุท (V_D) ของ เฟสดีเทคเตอร์แบบ 2- สเตทนี้ จะมีอยู่ 2 สเตทคือ $+V_D$ และ $-V_D$ ซึ่งค่าเฉลี่ยของ V_D ที่ได้จะแปรค่าไปตามความต่างเฟส ของสัญญาณ V_I และ V_O (Phase Error: θ_e) โดยถ้าสัญญาณ V_I มีเฟส นำ V_O ค่าเอาท์พุทโวลท์เตจจะเท่ากับ $+V_D$ และจะเท่ากับ $-V_D$ เมื่อ สัญญาณ V_I มีเฟส ตาม V_O ดังรูป

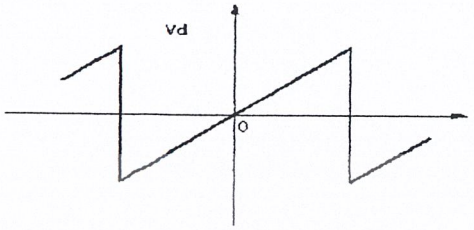


2 state phase detector

รูปที่2.3แสดงถึงจังหวะในการเกิดพัลส์ ของอินพุท R และ V และค่าเฉลี่ยของเอาท์พุท Vd

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

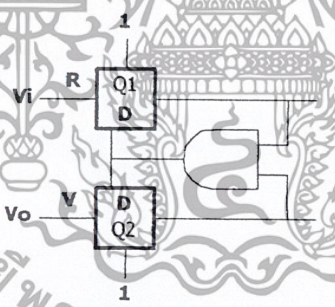
ค่า Vd ที่ได้ จะเป็นสัดส่วนโดยตรงกับ เฟสออเรอร์ โดยคุณสมบัติของเฟสดีเทคเตอร์ชนิดนี้จะให้ โวลท์เตจเอาท์พุท (Vd) แปรค่าไปตามเฟสออเรอร์ (θ_e) ซึ่งมีค่าเพิ่มขึ้นอย่างต่อเนื่องตลอด $-\pi$ ถึง $+\pi$



รูปที่ 2. 4 แสดงคุณสมบัติความเป็นเชิงเส้นของ 2 state phase detector ในช่วง $-\pi$ ถึง $+\pi$

2.2.2 เฟสฟรีเควนซีดีเทคเตอร์แบบ 3-สเตท (Phase-Frequency Detector 3-State)

ส่วนประกอบของ เฟสฟรีเควนซีดีเทคเตอร์ แบบ 3-สเตท นี้จะประกอบด้วย เซต-รีเซตฟลิปฟลอป(Set-Reset Flip-Flop), แอนเกท(AND Gate) และ ตัวตรวจจับขอบ(Edge-Triggered)ดังรูป



รูปที่ 2.5 แสดงส่วนประกอบของ 3-state PFD

ส่วนหลักการทำงานของ เฟสฟรีเควนซีดีเทคเตอร์ชนิดนี้ จะต่างจากเฟสดีเทคเตอร์ตรงที่สามารถตรวจจับสัญญาณ V_I และ V_O แล้วให้เอาท์พุทโวลท์เตจออกเป็น 3 สถานะ คือ $+V_D$ V_{D0} และ $-V_D$

โดยค่า เอาท์พุทโวลท์เตจ ในแต่ละสถานะ จะขึ้นอยู่กับความต่างเฟส ของสัญญาณ V_I และ V_O ซึ่งจะมีค่าเท่ากับ

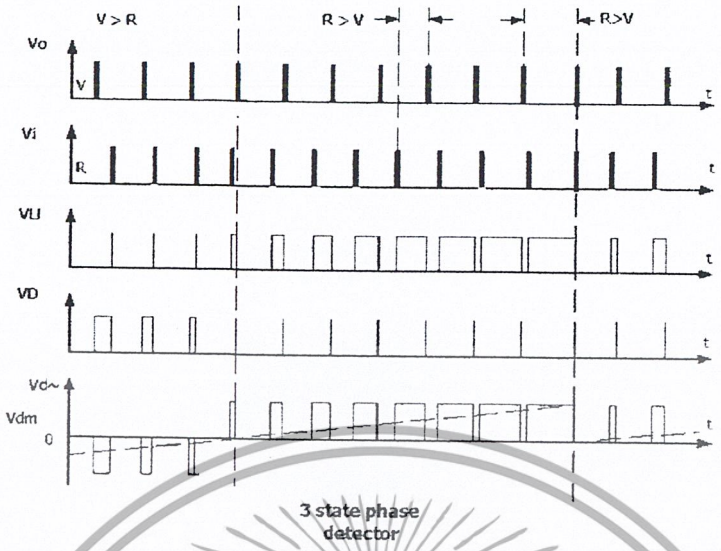
$+V_D$ เมื่อ สัญญาณ V_I มี เฟสนำ V_O

$-V_D$ เมื่อ สัญญาณ V_I มีเฟสตาม V_O

V_{D0} เมื่อ สัญญาณทั้งสองมีเฟสตรงกัน

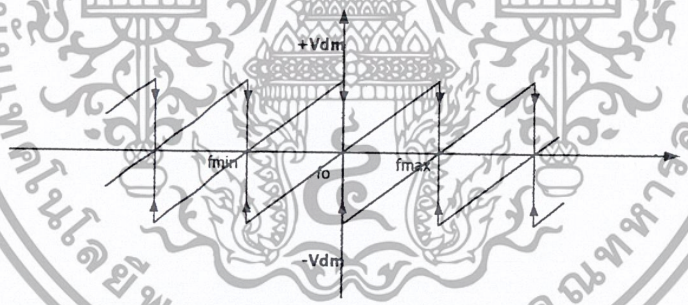
ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แสดงถึงขังหวะในการเกิดพัลส์ ของอินพุท V , R และ U และค่าเฉลี่ยของเอาท์พุท Vd

ค่า Vd ที่ได้ จะเป็นสัดส่วนโดยตรงกับ เฟสออเรอร์ โดยคุณสมบัติของ เฟสดีเทคเตอร์ ชนิดนี้จะให้ Vd แปรค่าไปตาม θe ซึ่งมีค่าเพิ่มขึ้นอย่างต่อเนื่องตลอด -2π ถึง $+2\pi$



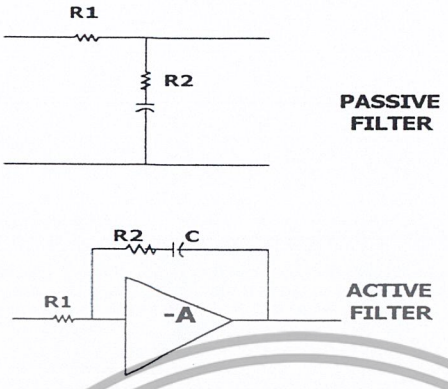
รูปที่ 2.7 แสดงคุณสมบัติความเป็นเชิงเส้นของ 3-สเตท เฟสดีเทคเตอร์ในช่วง -2π ถึง $+2\pi$

2.3 วงจรกรองความถี่ต่ำผ่าน (Low-Pass Filter)

จุดประสงค์ของการใส่วงจร กรองความถี่ต่ำผ่าน คือใช้สำหรับกรองเทอมที่มีความถี่สูงจากเอาท์พุทของเฟสคอมพาราเตอร์ ซึ่งสามารถออกแบบชนิดของวงจรกรองความถี่ต่ำได้หลายแบบ และแต่ละแบบจะให้เสถียรภาพของผลตอบสนองของระบบรวมต่างกัน

วงจรกรองความถี่ต่ำผ่าน ที่ใช้โดยทั่วไปจะมีทั้งแบบ พาสซีฟฟิวเตอร์ (Passive Filter) และแอคทีฟฟิวเตอร์(Active Filter) ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงชนิดของวงจรกรองความถี่ผ่านชนิดพาสซีฟและแอคทีฟฟิวเตอร์

เนื่องจาก วงจรกรองความถี่ต่ำ แต่ละแบบจะมี ทรานส์เฟอฟังก์ชั่น (Transfer Function) ต่างกัน หากเปลี่ยนชนิดของวงจรกรองความถี่ต่ำก็จะทำให้ ทรานส์เฟอฟังก์ชั่น ของระบบรวมต่างกันไปด้วย

2.4 โวลท์เตจคอนโทรลออสซิเลเตอร์ (Voltage Control Oscillator ,VCO)

เป็นส่วนที่ทำหน้าที่สร้างความถี่ออกมาโดยความถี่ที่ได้จะเป็นสัดส่วนกับ อินพุทโวลท์เตจที่ป้อนให้ ซึ่งได้จากเอาท์พุทโวลท์เตจ จากเฟสคอมพาราเตอร์ ที่ผ่านการกรองความถี่สูง จากวงจรกรองความถี่แล้ว โดยปกติแล้ว VCO ที่ใช้ในระบบเฟสล็อคลูปไม่จำเป็นต้องมีความสัมพันธ์กับโวลท์เตจที่ควบคุมแบบเชิงเส้นมากนักในกรณีทั่ว ๆ ไปแต่ถ้าไม่เป็นเชิงเส้นมากเกินไป แล้วค่าลูปเกนจะเปลี่ยนแปลงตามความถี่ของสัญญาณด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่3

ทฤษฎีของวงจรตรวจจับเฟส

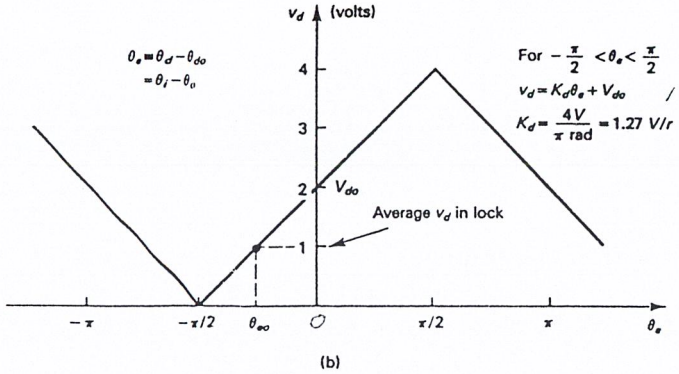
3.1 บทนำ

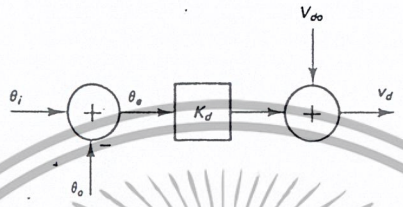
ในบทนี้จะนำเสนอทฤษฎีของวงจรตรวจจับเฟสชนิดต่าง ๆ เพื่อเป็นพื้นฐานในการออกแบบและการสร้างในบทต่อไป หน้าที่ของวงจรตรวจจับเฟสนั้นก็คือ การสร้างแรงดันเอาท์พุท (V_d) โดยสัมพันธ์กับค่าความต่างเฟส (Phase Differenec , θ_d) ระหว่างเฟสของสัญญาณอินพุทอ้างอิง (V_i) กับเฟสสัญญาณอินพุทที่ต้องการจะเปรียบเทียบ (V_d) ซึ่งหลักการของวงจรตรวจจับเฟสเกือบทั้งหมดจะมีลักษณะเหมือนกับเป็นฟังก์ชันการคูณทั้งที่เป็นแบบอนาล็อกและแบบดิจิตอล วงจรตรวจจับเฟสทั่วไปโดยทั่วไปมักจะถูกทำให้อยู่ในไอซีสำเร็จรูปอย่างเช่น MC 4046 , MC4044 ซึ่งเป็นวงจรตรวจจับเฟสและความถี่แบบ 3 สเตท (3 –State Phase Frequency Detector) ซึ่งวงจรตรวจจับเฟสที่อยู่ในไอซีสำเร็จรูปเบอร์ MC4046 จะถูกนำมาใช้อ้างอิงในปริญญานิพนธ์ฉบับนี้

3.2 คุณสมบัติของวงจรตรวจจับเฟส

ถ้า (θ_d) แทนค่าความต่างเฟสระหว่างเฟสของสัญญาณอินพุทอ้างอิง (θ_i) กับ สัญญาณอินพุทที่ต้องการจะเปรียบเทียบ (θ_o) วงจรตรวจจับเฟสจะสร้างแรงดันเอาท์พุทที่เป็นสัดส่วนกับค่าของ θ_d นี้ดังในรูปที่ (3.1) ซึ่งเป็นกราฟที่ใช้แสดงความสัมพันธ์ระหว่างค่าเฉลี่ย ($\overline{V_d}$) ของแรงดันเอาท์พุท V_d เทียบกับค่าความต่างเฟส θ_d โดยมีลักษณะเป็นช่วง ๆ ของเชิงเส้นและจะเกิดซ้ำกันในทุก ๆ 2 π เรเดียน ซึ่งในสภาวะที่ไม่มีสัญญาณอินพุทอ้างอิง V_i เข้ามาวงจรตรวจจับเฟสจะต้องแรงดันขึ้นมาค่าหนึ่งเรียกว่า แรงดันฟรี – รันนิ่ง (Free – running Voltage, V_{do}) ที่ค่าของความต่างเฟส θ_{do} ซึ่งในกรณีนี้ค่าแรงดันฟรี – รันนิ่งจะมีค่าเท่ากับ V_{do} = 2 โวลต์ และมีค่าความต่างเฟสเท่ากับ θ_d = -π/2 เรเดียน แต่เนื่องจากในการวิเคราะห์และบ่งบอกคุณสมบัติ ของวงจรตรวจจับเฟส(Phase Detector Characteristic)ที่ใช้กันอยู่ทั่วไปแล้วจะแสดงอยู่ในรูปค่าเฉลี่ย ($\overline{V_d}$) ของแรงดันเอาท์พุท V_d เทียบกับค่าความคลาดเคลื่อนเฟส(Phase Error, θ_e) ซึ่งได้จากการเลื่อนค่าความต่างเฟส θ_d ของ รูปที่ (3.1) ออกไปจนทำให้เกิดค่าความคลาดเคลื่อนเฟสเป็นศูนย์ที่ค่าแรงดันฟรี –รันนิ่งดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่3.1 แสดงคุณสมบัติของเฟสดีเทคเตอร์

(ก) ความสัมพันธ์ของเฟสดีเทคเตอร์

(ข)แสดงเส้นทางเดินของสัญญาณ

ค่าคุณสมบัติของ θ_e ได้ดังสมการที่ (3.1)

$$\theta_e = \theta_o - \theta_i \qquad (3.1)$$

ดังนั้นจึงนิยามค่าความคลาดเคลื่อนเฟส θ_e ได้จากสมการที่ (3.1) คือ ดังนั้นจากข้อกำหนดที่ใช้กันนี้จะสามารถหาค่าเฟสของสัญญาณอินพุทอ้างอิง (θ_i) และค่าเฟสของสัญญาณที่ต้องการเปรียบเทียบ (θ_o) ได้ดังสมการ

$$\theta_e = \theta_i - \theta_o \qquad (3.2)$$

เมื่อนำค่าเฉลี่ย $(\overline{V_d})$ ของแรงดันเอาท์พุท (V_d) มาพล็อตเทียบกับค่าความคลาดเคลื่อนเฟส θ_e ก็จะทำให้ได้กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟส (Phase Characteristic) ดังรูปที่ (3.1) ซึ่งมีนิยาม คือ ค่าแรงดันฟรีรันนิ่งนั้น ค่าความคลาดเคลื่อนเฟสจะเท่ากับศูนย์ ช่วงที่เป็นเชิงเส้นของ $-\pi/2 < \theta_e < \pi/2$ นั้นวงจรจะให้ค่าความชัน (K_d) ที่คงที่ ซึ่งสามารถหาค่าความชันได้จากอนุพันธ์ของแรงดันเฉลี่ยเอาท์พุท V_d เทียบกับค่าความคลาดเคลื่อนเฟส θ_e ดังสมการที่ (3.3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K_d \equiv \frac{d(\overline{V_d})}{d(\theta_e)} \qquad (3.3)$$

และในกรณีของรูปที่ (3.1) นี้จะให้ค่า K_d = 4 โวลต์ / π เรเดียน หรือ เท่ากับ 1.27 ดังนั้น จากกราฟคุณสมบัติของวงจรตรวจจับเฟสเมื่อนำมาเขียนให้อยู่ในรูปทั่วไปให้อยู่ในรูปสมการคณิตศาสตร์ ในช่วงที่เป็นเชิงเส้นจะได้

$$\overline{V_d} = K_d \theta_e + V_{do} \qquad (3.4)$$

โดยที่ $\overline{V_d}$ คือ ค่าเฉลี่ยของแรงดันเอาท์พุท มีหน่วยเป็นโวลต์

K_d คือ อัตราการขยายของวงจรตรวจจับเฟส มีหน่วยเป็น โวลท์ / เรเดียน

θ_e คือ ความคลาดเคลื่อนเฟส มีหน่วยเป็นเรเดียน

V_{do} คือ ค่าแรงดันฟรีรัน- นิ่งของวงจรตรวจจับเฟส มีหน่วยเป็นโวลต์

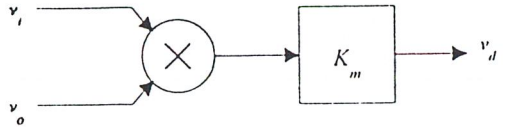
ซึ่งสามารถแทนสมการที่ 3.4 ได้ด้วยเส้นทางเดินของสัญญาณ (Signal Flow Graph) ดังในรูปที่ (3.1)

3.3 วงจรตรวจจับเฟสที่ให้คุณสมบัติของวงจรเป็นรูปซายน์

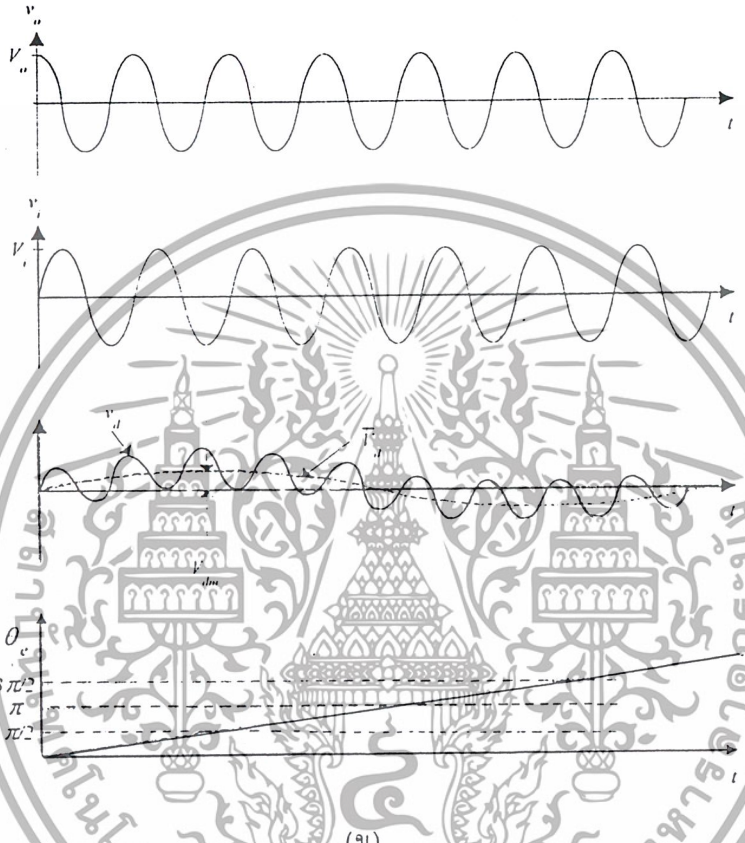
พื้นฐานของวงจรจับเฟสนั้นจะมีการทำงานเหมือนกับเป็นตัวคูณระหว่างสองสัญญาณอินพุท ตามเอาลักษณ์ทางตรีโกณมิติของสมการที่ (3.5) นั่นก็คือ

$$\sin(A)\cos(B) \equiv 0.5\sin(A-B) + 0.5\sin(A+B) \qquad (3.5)$$

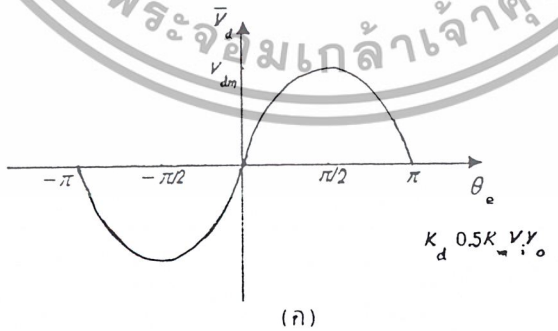
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)



(ค)

รูปที่ 3.2 วงจรตรวจจับเฟสที่ให้คุณสมบัติเป็นรูปคลื่นซายน์

(ก) เส้นทางเดินของสัญญาณ

(ข) สัญญาณเอาท์พุท V_d เมื่อ θ_e มีค่าค่อย ๆ เพิ่มขึ้นไปอย่างเชิงเส้นเทียบกับเวลา t

(ค) กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสแบบรูปคลื่นซายน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการถ้ากำหนดให้สองสัญญาณอินพุทที่จะถูกนำมาคูณมีค่าเป็น

$$V_i = V_i \sin(\omega_i t) \qquad (3.6\ \text{ก})$$

$$V_o = V_o \cos(\omega_i t - \theta_e) \qquad (3.6\ \text{ข})$$

ดังนั้นเอาท์พุทที่ได้หลังจากการคูณก็คือ

$$V_d = K_m V_i V_o \qquad (3.7)$$

โดยที่ K_m คือค่าสัมประสิทธิ์ของการคูณ ซึ่งสามารถแสดงได้เป็นเส้นทางของสัญญาณได้ดังรูปที่ 3.2 (ก) และเมื่อแทนค่าสมการที่ (3.5) , (3.6) และ (3.7) ก็จะทำให้ได้เอาท์พุทอยู่ในรูปฟังก์ชั่นทางตรีโกณมิติดังสมการที่ (3.8)

$$V_d = 0.5K_m V_i V_o \sin(\theta_e) + 0.5K_m V_i V_o \sin(2\omega_e t - \theta_e) \qquad (3.8)$$

สังเกตว่าทั้งสองเทอมของสมการที่ (3.8) นั้นมีค่าซายน์เป็นองค์ประกอบด้วยกันทั้งคู่และเนื่องจากเอาท์พุทของวงจรตรวจจับเฟสจะให้ค่าคงที่ ๆ ค่า θ_e ใด ๆ ตามสมการที่ (3.4) แต่ในเทอมที่สองของสมการที่ (3.8) ในจะแปรเปลี่ยนไปตามค่าความถี่ $2\omega_i$ ซึ่งในการประยุกต์ใช้งานของวงจรตรวจจับเฟสค่าความถี่นี้จะเป็นค่าที่สูงพอที่จะถูกตัดออกไปได้ด้วยวงจรกรองความถี่ ดังนั้นเทอมแรกของสมการที่ (3.8) จึงถูกพิจารณาว่าเป็นเอาท์พุท (V_d) ของวงจรตรวจจับเฟสซึ่งก็คือ

$$\overline{V_d} = 0.5K_m V_i V_o \sin(\theta_e) \qquad (3.9)$$

โดยค่า $\overline{V_d}$ คือค่าเฉลี่ยของแรงดันเอาท์พุท V_d ที่ผ่านวงจรกรองความถี่แล้ว และจากสมการที่ (3.9) สามารถเขียนให้อยู่ในรูปสมการทั่วไปดังสมการที่ (3.10) คือ

$$\overline{V}_d = V_{dm} \sin(\theta_e) \qquad (3.10)$$

ซึ่ง V_{dm} ก็คือค่าสูงสุดของแรงดันเฉลี่ย $\overline{V_d}$ ที่มีค่าเท่ากับ

$$V_{dm} = 0.5K_m V_i V_o \qquad (3.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 3.2 (ข) แสดงการพล็อตแรงดันเอาท์พุท V_d เมื่อค่า θ_e เพิ่มขึ้นอย่างเป็นเชิงเส้นเทียบกับเวลา ขณะที่รูปที่ 3.2 (ค) จะเป็นกราฟแสดงคุณสมบัติแบบซายน์นูโซดัลของวงจรตรวจจับเฟส (Sinusoidal Phase Detector Characteristic) ที่มีการทำงานเป็นเหมือนตัวคูณซึ่งได้จากสมการที่ (3.10) โดยที่ค่า θ_e มีค่าน้อย ๆ ซึ่งจะทำให้ค่าประมาณของ $\sin(\theta_e) \approx \theta_e$ ดังนั้น

$$\overline{V}_d \approx 0.5K_mV_iV_o\theta_e \qquad (3.12)$$

และเมื่อเปรียบเทียบสมการที่ (3.4) กับสมการที่ 3.12 ก็จะได้อัตราขยายของวงจรตรวจจับเฟส ที่ θ_e มีค่าน้อย ๆ ดังสมการที่ (3.13)

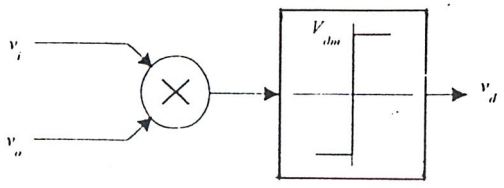
$$K_d = 0.5K_mV_iV_o \qquad (3.13)$$

จากสมการที่ (3.13) จะเห็นว่า แอมปลิจูดของสองสัญญาณอินพุทนั้นมีผลต่ออัตราขยายของวงจร ตัวอย่างของวงจรตรวจจับเฟสที่มีการทำงานเหมือนกับเป็นตัวคูณระหว่างสองสัญญาณและให้คุณสมบัติของวงจรนี้เป็นรูปซายน์นี้ได้แก่ วงจร Gilbert Multiplier และวงจร Double – Balanced Multiplier เป็นต้น

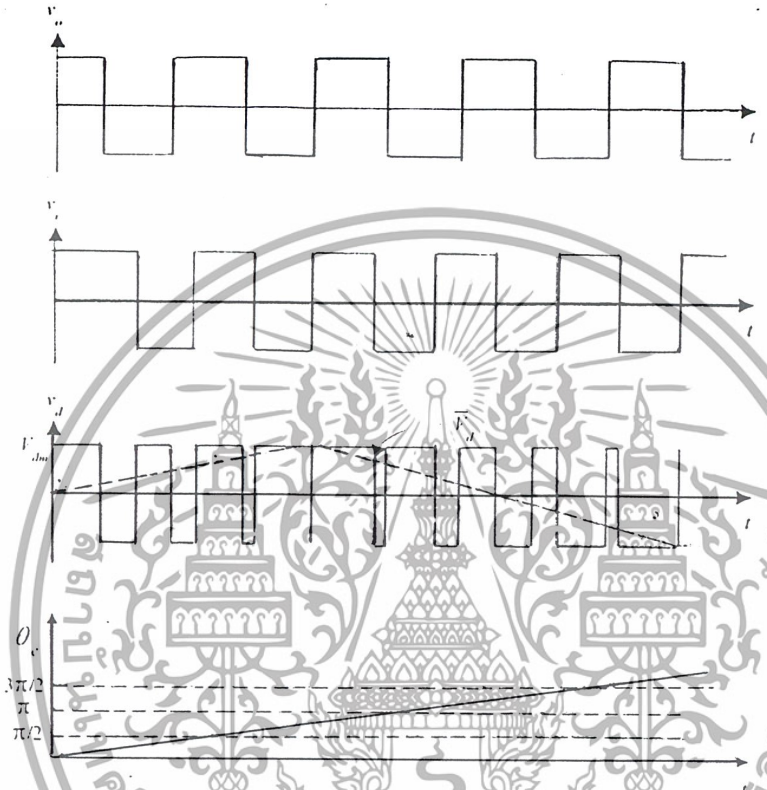
3.4 วงจรตรวจจับเฟสที่ให้คุณสมบัติของวงจรเป็นรูปสามเหลี่ยม

ในรูปที่3.3(ก)นั้นแสดงเส้นทางเดินสัญญาณแบบตัวคูณของวงจรตรวจจับเฟสที่ให้คุณสมบัติเป็นรูปสามเหลี่ยม (Triangular Phase Detector Characteristic) โดยเงื่อนไขของการเกิดโอเวอรไดร์ด้วยการตัดระดับสัญญาณที่เอาท์พุท ซึ่งจะเป็นเหตุให้แรงดันเอาท์พุท (V_d) มีค่าเท่ากับจุดอิ่มตัว (Saturate) มีค่า $\pm V_{dm}$ เมื่อปรากฏระดับสัญญาณอินพุทเข้ามา ดังนั้นวงจรตรวจจับเฟสที่ให้คุณสมบัติแบบนี้ขั้วของสัญญาณอินพุทจึงมีความสำคัญต่อการทำงานของวงจร ดังเช่นรูปที่ 3.3 (ข) ซึ่งสัญญาณ V_i และ V_o ถูกกำหนดให้เป็นสัญญาณรูปคลื่นสี่เหลี่ยมโดยผลจากเอาท์พุท V_d ที่ได้จะเป็นไปตามฟังก์ชันของการคูณและให้สัญญาณสี่เหลี่ยมที่มีค่าดิวตี้ไซเคิลของสัญญาณขึ้นอยู่กับค่าความต่างเฟสระหว่างสองสัญญาณอินพุท และเมื่อ θ_e มีค่าเพิ่มขึ้นไปอย่างเชิงเส้นเทียบกับเวลา ค่าเฉลี่ยของแรงดันเอาท์พุท V_d ที่ได้จากวงจรกรองความถี่ก็จะมีค่าเพิ่มขึ้นและลดลงในลักษณะที่เป็นเชิงเส้นเช่นเดียวกันดังได้เห็นได้จากแนวของเส้นประที่จะเกิดขึ้นในรูปที่ 3.3 (ข) คุณสมบัติที่เป็นรูปสามเหลี่ยมของวงจรจับเฟสนี้ได้แสดงไว้ในรูปที่ 3.3 (ค) ซึ่งในช่วงที่เป็นเชิงเส้นของ $-0.5\pi < \theta_e < 0.5\pi$ นั้นจะให้อัตราขยายของวงจรตรวจจับเฟสเท่ากับ

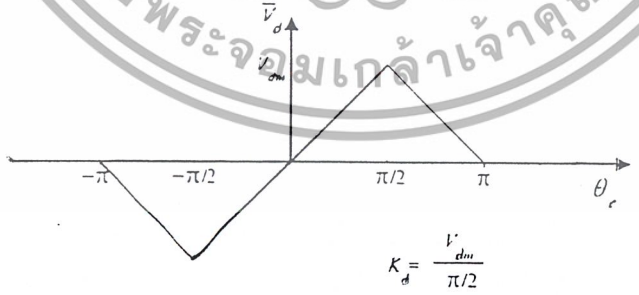
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)



(ค)

รูปที่ 3.3 วงจรตรวจจับเฟสที่ให้คุณสมบัติเป็นรูปสามเหลี่ยม

(ก) เส้นทางของสัญญาณ

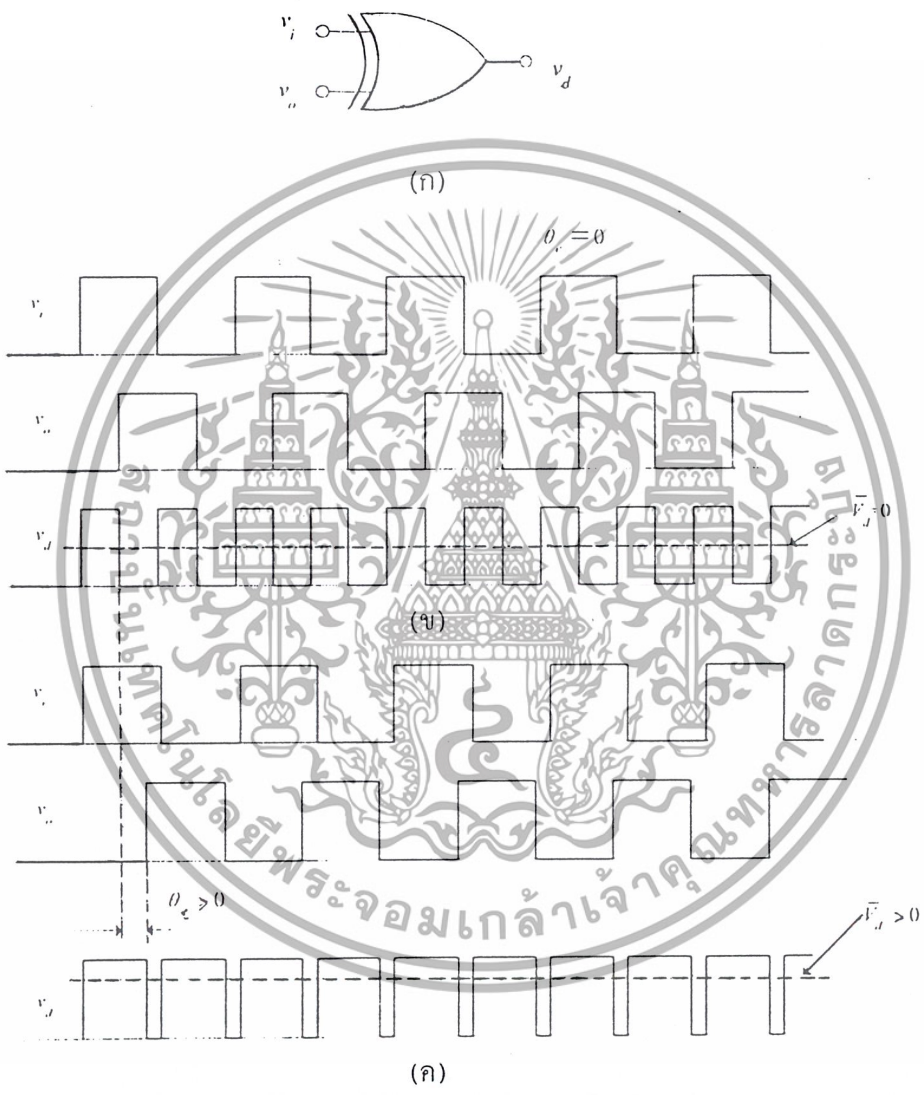
(ข) สัญญาณเอาท์พุท V_d เมื่อ θ_e มีค่าเพิ่มขึ้นไปอย่างเชิงเส้นเทียบกับเวลา t

(ค) กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสเป็นรูปสามเหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K_d = \frac{V_{dm}}{\pi/2} \tag{3.14}$$

3.4.1 วงจรตรวจจับเฟสแบบเอ็กซ์คลูซีฟ – ออร์เกท



รูปที่ 3.4 วงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกท

(ก) สัญลักษณ์เอ็กซ์คูลซีฟ- ออร์เกท ที่ใช้เป็นวงจรตรวจจับเฟส

(ข) รูปสัญญาณที่ค่าความคลาดเคลื่อนเฟสเท่ากับศูนย์

(ค) รูปสัญญาณที่ค่าความคลาดเคลื่อนเฟสเป็นบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

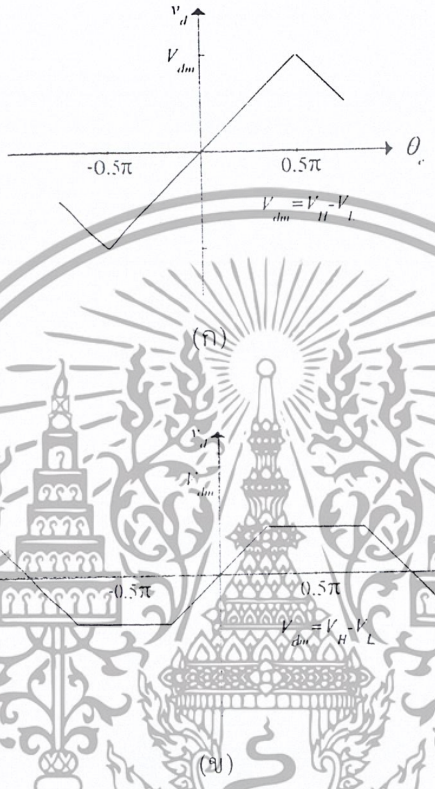
วงจรเอ็กซ์คูลซีฟ–ออร์เกทเป็นวงจรตรวจจับเฟสแบบดิจิตอลที่มีการทำงานเหมือนกับตัวคูณสัญญาณด้วยการโอเวอร์ไดร์แรงดันที่เอาท์พุท และยังให้คุณสมบัติของวงจรเป็นรูปสามเหลี่ยม โดยเอาท์พุทที่ได้จากการคูณจะเป็นค่าอิ่มตัวของแรงดันบวกซึ่งสอดคล้องกับค่าของลอจิกสูง หรือเป็นค่าอิ่มตัวของแรงดันลบที่สองคล้องกับลอจิกต่ำ สำหรับเงื่อนไขของการคูณนั้นสามารถสรุปได้ดังตารางที่ (3.1) โดยเอาท์พุท V_d จะให้ค่าแรงดันดิ่มตัวเป็นบวกเมื่อสัญญาณอินพุท V_i และ V_o ทั้งสองสัญญาณต่างก็มีค่าเป็นลบหรือเป็นบวกด้วยกันทั้งคู่ และเอาท์พุทจะให้ค่าแรงดันอิ่มตัวเป็นลบเมื่ออินพุทใดอินพุทหนึ่งเป็นบวกและอีกอินพุทหนึ่งเป็นลบ ดังนั้นการเปรียบเทียบตารางที่ (3.1) ซึ่งเป็นตารางค่าความจริงของการคูณกับตารางที่ (3.2) ซึ่งเป็นตารางค่าความจริงของวงจรเอ็กซ์คูลซีฟ-ออร์เกทที่มีสัญลักษณ์ดังในรูปที่3.4(ก)โดยการแทนแรงดันลอจิกสูง (V_H) ด้วยเครื่องหมาย (+) และแรงดันลอจิกต่ำ (V_L) ด้วยเครื่องหมาย (-) และวงจะเห็นว่าเอ็กซ์คูลซีฟ ออร์เกทสามารถถูกนำมาใช้เป็นวงวจรตรวจจับเฟสที่ทำงานเป็นเหมือนตัวคูณสัญญาณ (ลอจิก) แบบโอเวอรไดว์เช่นเดียวกับรูปที่ (3.3) ได้

ในรูปที่ (3.4)ได้แสดงให้เห็นถึงเอาท์พุทของวงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกทที่มีค่าความคลาดเคลื่อนเฟส θ_e ต่าง ๆ กัน โดยจะสมมติว่าสัญญาณอินพุท V_i และ V_o ที่เข้ามานั้นมีความสมมาตร กล่าวคือ มีดิวตี้ไซเคิ้ลเท่ากับ 50 เปอร์เซ็นต์ ซึ่งในรูปที่ 3.4 (ก) มีค่า θ_e เท่ากับศูนย์ คือ สัญญาณอินพุท V_i และ V_o มีเฟสต่างกันอยู่ $\pi/2$ จะทำให้สัญญาณเอาท์พุท V_d ที่ได้จะเป็นสัญญาณสี่เหลี่ยมที่มีค่าความถี่เป็นสองเท่าของสัญญาณอินพุทและให้ค่าดิวตี้ไซเคิ้ลเท่ากับ 50 เปอร์เซ็นต์ เนื่องจากความถี่สูงของสัญญาณเอาท์พุท V_d จะถูกกรองทิ้งไปด้วยวงจรกรองลูป ดังนั้นจึงพิจารณาเพียงค่าเฉลี่ย $(\overline{V_d})$ ของ V_d ตามเส้นประในรูปที่ 3.4 (ก) เท่านั้น ค่า $(\overline{V_d})$ นี้จะเป็นค่าที่คำนวณได้จากค่ากลาง(mean) ของระดับลอจิกสูง (V_H) และระดับลอจิกต่ำ (V_L) กล่าวคือ ถ้าวงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกทได้รับการจ่ายไฟจากแหล่งจ่ายไฟ 5 โวลต์ ค่า $(\overline{V_d})$ ที่ได้จะมีค่า 2.5 โวลต์เท่านั้น ซึ่งระดับแรงดันที่ค่านี้เรียกว่า จุดสงบนิ่ง (Quiescent Point) ของวงจรตรวจจับเฟสแบบเอ็กซ์คูลซีพ – ออร์เกทที่จะถูกกำหนดให้มีค่าเป็นศูนย์นับจากนี้ไป ด้วยเหตุนี้ถ้าสัญญาณอินพุท V_o ล้าหลังสัญญาณอินพุทอ้างอิง V_i (นับจากจุดสงบนิ่ง) ค่าของ θ_e ก็จะกลายเป็นบวก ดังในรูปที่ 3.4 (ข) ค่าดิวตี้ไซเคิ้ลของ V_d ที่ได้จึงมีค่ามากกว่า 50 เปอร์เซ็นต์และเป็นผลให้ $\overline{V_d}$ มีค่าเป็นบวกเพิ่มขึ้น ดังนั้นค่าV ๔จะมีค่าสูงสุดที่ค่าของความคลาดเคลื่อนเฟส θ_e เท่ากับ $\pi/2$ และมีค่าต่ำสุดสุด ที่ค่าของความคลาดเคลื่อนเฟส θ_e เท่ากับ - $\pi/2$ ในรูปที่ 3.5 (ก) แสดงกราฟคุณสมบัติของวงจรตรวจจับเฟสแบบเอ็กซ์คลูซีพออร์เกท ที่ได้จากการพล็อตค่าเฉลี่ยแรงดัน $\overline{V_d}$ เทียบกับค่าความคลาดเคลื่อนเฟส θ_e ซึ่งเป็นผลให้ได้รูปสามเหลี่ยม และภายในช่วงที่เป็นเชิงเส้นของ $-0.5\pi<\theta_e<0.5\pi$ ค่าเฉลี่ย $(\overline{V_d})$ จะเป็นสัดส่วนโดยตรงกับค่าของ θ_e ดังสมการที่ (3.15) คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

45742

$$\bar{V}_d = K_d \theta_e \qquad (3.15)$$



รูปที่ 3.5 กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ-ออร์เกท
(ก) เมื่อสัญญาณอินพุท V_i และ V_o มีความสมมาตร
(ข) เมื่อสัญญาณอินพุท V_i และ V_o ไม่มีความสมมาตร เป็นผลให้ V_{dm} มีค่าลดลง

ซึ่งในกรณีของวงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกทนี้ อัตราขยายของวงจรจะมีค่าคงที่ (K_d) และเมื่อแหล่งจ่ายที่ป้อนให้กับวงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกท คือ ระดับลอจิกแรงดันสูง V_H และต่ำ V_L ตามลำดับ ดังนั้นอัตราขยายของวงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกท (K_d) ในช่วงจะมีค่าเท่ากับ

$$K_d = \frac{V_{dm}}{0.5\pi} \qquad (3.16)$$

เมื่อ V_{dm} คือค่าสูงสุดของค่าเฉลี่ย $\overline{V_d}$ ซึ่งเท่ากับ $V_{dm} = v_H - V_L$ ดังนั้นจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K_d = \frac{V_H - V_L}{0.5\pi} \qquad (3.17)$$

ถ้าในกรณีที่สัญญาณอินพุท V_i และ V_o ที่เข้ามามีความไม่สมมาตร กล่าวคือค่าดิวตี้ไซเคิ้ลไม่เท่ากับ 50 เปอร์เซ็นต์ ค่าสูงสุดของแรงดันเฉลี่ย (V_{dm}) ที่ได้จะลดลง ดังกราฟแสดงคุณสมบัติของวงจรในรูปที่ 3.5 (ข)

ตารางที่ 3.1 แสดงตารางค่าความจริงของการคูณ

V_I	V_O	V_d
(-)	(-)	(+)
(-)	(+)	(-)
(+)	(-)	(-)
(+)	(+)	(+)

ตารางที่ 3.2 แสดงตารางค่าความจริงของเอ็กคลูซีฟ – ออร์เกท

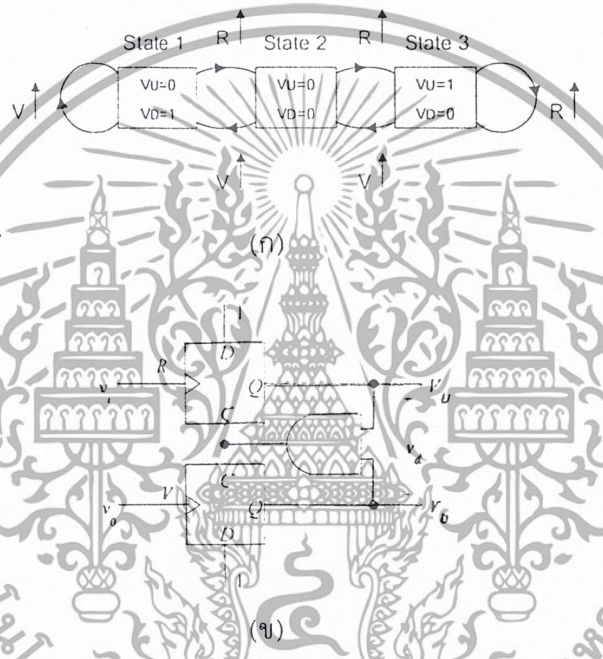
V_I	V_O	V_d
V_L	V_L	V_H
V_L	V_H	V_L
V_H	V_L	V_L
V_H	V_H	V_H

3.4.2 วงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็นสามสเตท

วงจรตรวจจับเฟสและความถี่แบบสามสเตท (3 - state PFD) เป็นวงจรตรวจจับเฟสแบบดิจิตอบอีกวงจรหนึ่งที่ให้กราฟคุณสมบัติของวงจรเป็นแบบรูปสามเหลี่ยม และเป็นวงจรที่มีความสำคัญต่อการนำมาใช้ขยายสภานะของสเตท เพื่อที่จะทำให้ได้มาซึ่งช่วงคุณสมบัติของวงจรตรวจจับเฟสที่กว้างขึ้นถึง วงจร 3 – state PFD ได้ถูกนำมาใช้งานอย่างกว้างขวางเพราะเนื่องจากมีช่วงคุณสมบัติของวงจรที่กว้างถึง $\pm 2\pi$ เรเดียน และสัญญาณเอาท์พุท (V_d) ที่ได้ไม่เพียงแต่จะขึ้นอยู่ค่าความคลาดเคลื่อนเฟส θ_e เท่านั้น แต่ยังขึ้นกับค่าความคลาดเคลื่อนทางความถี่ $(\Delta\omega = \omega_i - \omega_o)$ อีกด้วย การทำงานของวงจรนั้นจะถูกกระตุ้นจากขอบสัญญาณอินพุท V_i

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ V_o ที่เข้ามาทางขั้วอินพุท R และ V ตามลำดับและจะไปทำให้มีการเปลี่ยนสถานะของสเตทตามสเตทไดอะแกรมที่ถูกกำหนดไว้ดังในรูปที่ 3.6 ที่แสดงให้เห็นถึงโครงสร้างพื้นฐานและการทำงานของวงจร 3 – state PFD ในรูปที 3.6 (ข) นั้นจะเป็นสเตทไดอะแกรมของวงจรที่จะเปลี่ยนสถานะของสเตทไปตามขอบขาขึ้นสัญญาณที่เข้ามาทางขั้วอินพุท R และ V โดยที่ R ↑ จะทำให้วงจรมีการเปลี่ยนสถานะไปยังสเตทที่สูงขึ้น ขณะที่ V ↑ ทำให้มีกาลดสภานะของวงจรกลับมายังสเตทที่ต่ำกว่า สมมติว่าการ

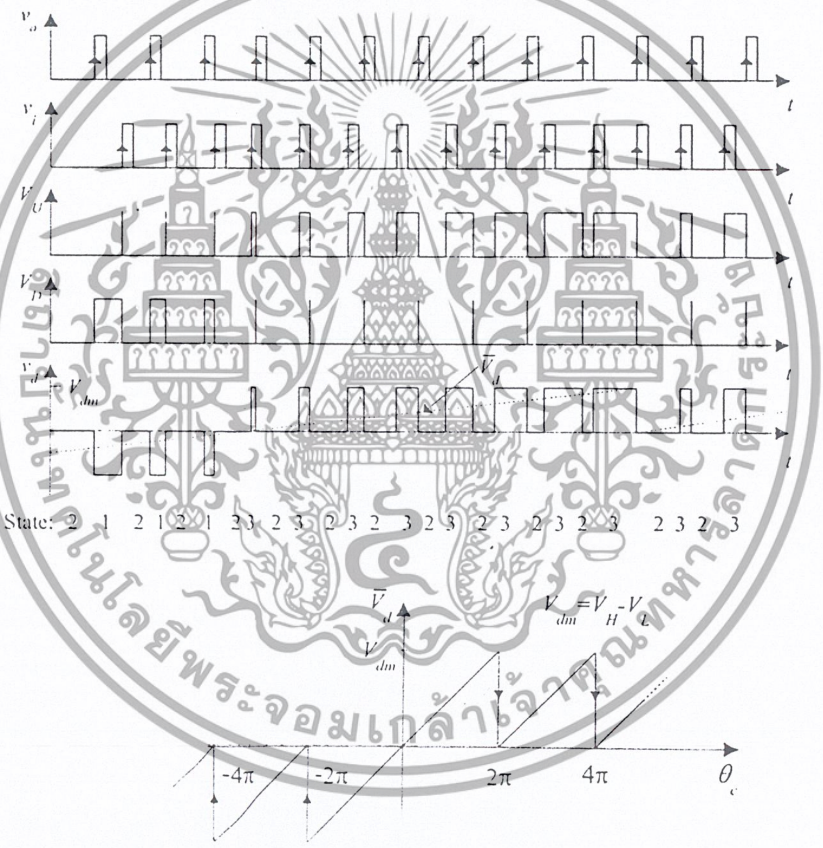


รูปที่ 3.6 วงจรตรวจจับเฟสและความถี่แบบสาม – สเตท
(ก) สเตทไดอะแกรมของวงจรที่มีการเปลี่ยนสถานะตามขอบขาขึ้นของสัญญาณอินพุท
(ข) โครงสร้างทางวงจรไฟฟ้า

ทำงานของวงจรนั้นเริ่มต้นอยู่ในสเตทที่ 1 ดังนั้น เมื่อปรากฏการสลับกันเข้ามาของขอบขาขึ้นสัญญาณพัลส์ที่ขั้วอินพุท R และ V จะทำให้วงจรหมุนเวียนเปลี่ยนสถานะสลับเปลี่ยนสถานะสลับสเตทไปมาระหว่างสเตทที่ 1 กับ สเตทที่ 2 แต่ถ้าเกิดมีช่วงที่สัญญาณอินพุท V ตกไปอยู่หลังสัญญาณอินพุท R และจะเป็นเช่นนั้นตลอดไป ดังไทม์มิ่งไดอะแกรมของรูปที่ 3.7 (ก) จนกระทั่งปรากฏขอบขาขึ้นของสัญญาณอินพุท R เข้ามาสองครั้งโดยปราศจากการแทรกของขอบขาขึ้นของสัญญาณอินพุท V วงจรก็จะเปลี่ยนสถานะของสเตทไปยังสเตทที่ 3 และจะหมุนเวียนเปลี่ยนสถานะระหว่างสเตทที่ 2 สลับกับ สเตทที่ 3 ก็จะเกิดขึ้นอีกครั้งตามพัลส์ของสัญญาณอินพุทที่ยัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คงผลัดกันเข้ามาอย่างต่อเนื่อง โครงสร้างพื้นฐานของวงจร 3 – state PFD นั้นจะแสดงอยู่ในรูปที่ 3.6 (ข) เป็นซึ่งประกอบด้วยคู่ของลอจิกเอาท์พุท V_D และ V_U โดยมีสัญญาณอินพุท Rและ V ต่ออยู่กับ D – Type ฟลิปฟลอปของแต่ละตัวและจะให้แรงดันเอาท์พุทที่ขา Q (V_i และ V_d) ในขณะที่มีการเปลี่ยนสถานะของสเตทตามรูปที่ 3.6(ก) สำหรับขาอินพุท C หรือ ขา Clear ของฟลิปฟลอปทั้งสองตัวนี้จะถูกต่อเข้ากับเอาท์พุทของ แอนด์ - แกท ซึ่งได้รับสัญญาณอินพุทมาจากขา Q ของฟลิปฟลอปเพื่อรีเซตให้วงจร 3–statePFD กลับไปยังสถานะของสเตทเริ่มต้นใหม่เมื่อฟลิปฟลอปทั้งสองอยู่ในสถาวะเซตขึ้นมาพร้อม ๆ กัน ด้วยเหตุนี้วงจรจึงสามารถตรวจจับสัญญาณอินพุทที่เข้าขึ้นพร้อมกันได้โดยไม่เกิดค่าผิดพลาดที่เอาท์พุท



รูปที่ 3.7 คุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสามสเตท

(ก) สัญญาณเอาท์พุท V_d ที่ได้จากการเปลี่ยนสถานะสเตท

(ข) กราฟแสดงคุณสมบัติของวงจร 3-state PFD

ในรูปที่ (3.7) เป็นกราฟแสดงคุณสมบัติของวงจร 3 – state PFD ระหว่างความคลาดเคลื่อนเฟส θ_e กับค่าเฉลี่ย ของแรงดันเอาท์พุท (V_d) ที่ให้ช่วงคุณสมบัติของวงจรไม่เกิน $\pm 2\pi$ เรเดียน จะเห็นว่าเมื่อความคลาดเคลื่อนเฟส θ_e มีค่าเกินช่วง 2π และ -2π เรเดียนไปแล้ววงจรจะให้ช่วงคุณสมบัติ กลับมาซ้ำไซเคิ้ลทุก ๆ -2π และ $+2\pi$ เรเดียนอีกครั้ง ทั้งนี้เนื่องมาจากเมื่อวงจรทำงานอยู่ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สถานะของสเตทที่ 3 ค่า จะยังคงมีค่าเพิ่มขึ้นไปเรื่อย ๆ (สัญญาณพัลส์ที่ขั้วอินพุท V ตามหลังสัญญาณพัลส์ที่ขั้วอินพุท R อย่างต่อเนื่อง) ดังนั้นการเปลี่ยนสถานะของสเตทก็จะสลับไปมาระหว่างสเตทที่ 2 กับ สเตทที่ 3 เท่านั้น ในทำนองเดียวกันนี้ก็จะเกิดขึ้นกับช่วงที่ θ_e ให้ค่าเป็นลบ คือเมื่อปรากฏสัญญาณพัลส์ที่ขั้วอินพุท V นำหน้าสัญญาณพัลส์ที่ขั้วอินพุท R และเป็นไปอย่างต่อเนื่อง วงจรก็มีการสลับสถานะไปมาระหว่างสเตที่ 1 และสเตทที่ 2 เพียงเท่านั้น สำหรับการทำงานเป็นวงจรตรวจจับความถี่ที่จะให้แรงดันเอาท์พุทขึ้นอยู่กับความคลาดเคลื่อนของความถี่นั้นซึ่งถ้าปรากฏว่าความถี่ของสัญญาณอินพุทอ้างอิง V_i สูงกว่าความถี่ของสัญญาณอินพุท $V_o(\varpi_i \geq \omega_o)$ ค่า θ_e จะมีค่าเพิ่มขึ้นเมื่อเทียบกับเวลาทำให้ค่าเฉลี่ย $\bar{V}_d$ ยังคงมีค่าเป็นบวกไปจนถึงค่าสูงสุด (V_{dm}) ค่า θ_e เท่ากับ 2π เรเดียนแต่ถ้าความถี่ของสัญญาณอินพุทอ้างอิง V_i ต่ำกว่าความถี่ของสัญญาณอินพุท $V_o(\omega_i \leq \omega_o)$ ที่ θ_e มีค่าลดลงไปเรื่อย ๆ และจะเป็นผลให้ค่าเฉลี่ย V_d มีค่าลบเพิ่มขึ้นจนถึงค่าลบต่ำสุด $(-V_{dm})$ ที่ θ_e เท่ากับ -2π เรเดียน

เมื่อวงจร 3 – state PFD อยู่ในสเตทที่ 3 จะทำให้เอาท์พุท V_d สูงสุด ซึ่งก็คือ $V_d = V_{dm} = V_H - V_L$ ดังนั้น จากกราฟแสดงช่วงคุณสมบัติในช่วงที่ 3.7 (ข) วงจร 3 – state PFD จะให้ค่าอัตราขยายของวงจรเท่ากับสมการที่ (3.18) ตามลำดับ (3.19)

$$K_d = \frac{V_{dm}}{2\pi} \tag{3.18}$$

เมื่อ V_{dm} คือค่าสูงสุดของค่าเฉลี่ยแรงดันเอาท์พุทที่มีค่าเท่ากับ $V_{dm} = V_H - V_L$ ดังนั้น

$$K_d = \frac{V_H - V_L}{2\pi} \tag{3.19}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
หลักการ และการออกแบบวงจรตรวจจับเฟสและความถี่ ด้วยไมโครคอนโทรลเลอร์ MCS – 51

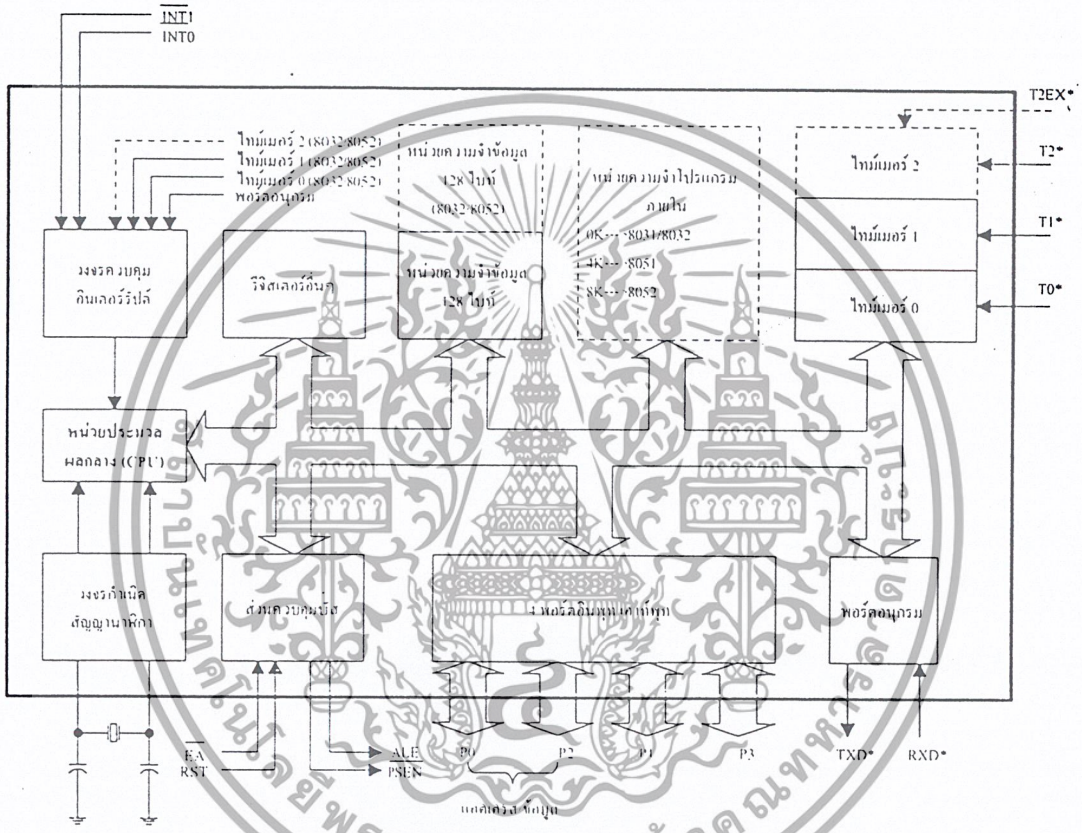
ในการออกแบบไมโครคอนโทรลเลอร์ MCS–51 ให้ทำงานเป็นวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 3- สเตท (3-state PFD) ซึ่งจะส่งผลให้สามารถขยายช่วงคุณสมบัติของวงจรได้กว้างขึ้น ก็คือ การควบคุมไมโครคอนโทรลเลอร์ MCS–51 ด้วยโปรแกรมตามสเตทไดอะแกรมของ วงจร 3-state PFD นั่นเองไมโครคอนโทรลเลอร์ MCS–51 นั้นมีความยืดหยุ่นที่ดีในการพัฒนาโปรแกรมทำได้ง่ายเพราะภาษาที่ใช้ในการเขียนโปรแกรมนั้นไม่ยุ่งยากซับซ้อนมากนักเมื่อเทียบกับโครงสร้างของภาษาในระดับเดียวกัน ซึ่งจากการได้นำใช้เป็นวงจรตรวจจับเฟส MCS–51 จะให้ผลการทำงานที่เป็นไปตามทฤษฎี ดังจะเห็นได้จากการทดลอง และการเลียนแบบวงจรด้วยโปรแกรม PSPICE สำหรับเนื้อหาในบทนี้จะกล่าวถึงการควบคุมรีจิสเตอร์ของไมโครคอนโทรลเลอร์ MCS–51 เบอร์ 89C2051 ที่ใช้ในการออกแบบเป็นวงจรตรวจจับเฟสและคามถี่ที่มีสถานะการทำงานเป็น 3-state เท่านั้น รวมไปถึงแนวความคิดของการออกแบบโปรแกรมให้สามารถตรวจจับสัญญาณอินพุทที่เข้ามาพร้อมกันได้ ด้วยเทคนิคของการจัดลำดับความสำคัญของการร้องขอบริการอินเตอร์รัปต์เมื่อมีสัญญาณอินพุทเกิดขึ้นพร้อมกัน ซึ่งองค์ประกอบพื้นฐานและการประยุกต์ใช้งานทางด้านอื่น ๆ ของไมโครคอนโทรลเลอร์ ตระกูลนี้นั้นสามรรถศึกษาข้อมูลเพิ่มเติมได้จากบริษัทผู้ผลิต หรือจากคู่มือการประยุกต์ใช้งานไมโครคอนโทรลเลอร์ MCS–51 ในส่วนของสัญญาณเอาท์พุทที่ได้หลังจากผ่านขบวนการเปรียบเทียบเฟสและความถี่ด้วยไมโครคอนโทรเลอร์นั้นจะส่งต่อไปยังชาร์ตปั๊ม ทำหน้าที่โฮลด์ (Hold) สัญญาณ และควบคุมเสถียรภาพของระบบจากนั้นทำการจ่ายแรงดันและป้อนให้กับวงจร กรองความถี่ต่ำเพื่อสร้างเป็นแรงดันไฟตรง สำหรับนำไปใช้เชื่อมต่อกับอุปกรณ์อื่น ๆ ได้อีกต่อไป

4.1 ไมโครคอนโทรลเลอร์ MCS–51 กับการทำงานเป็นวงจรตรวจจับเฟสและความถี่

ไมโครคอนโทรลเลอร์เป็นไมโครโปรเซสเซอร์ชนิดหนึ่งที่ได้รับการออกแบบมาเพื่อใช้งานกับระบบควบคุมขนาดเล็ก ดังนั้นภายในของไมโครคอนโทรลเลอร์จึงประกอบด้วยหน่วยการทำงานหลักๆ ของระบบคอมพิวเตอร์อย่างครบถ้วน เช่น หน่วยประมวลผลกลางหรือซีพียู หน่วยความจำสำหรับเก็บข้อมูลและโปรแกรมที่ควบคุมการทำงาน หน่วยติดต่อสื่อสารระหว่างอุปกรณ์ภายนอกหรืออินพุท/เอาท์พุทพอร์ต โดยการทำงานของไมโครคอนโทรเลอร์นั้นจะเป็นไปตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จังหวะของสัญญาณนาฬิกาที่กำหนด รูปที่ (4.1) แสดงให้เห็นถึงโครงสร้างภายในของไมโครคอนโทรลเลอร์ MCS–51 ซึ่งไมโครคอนโทรลเลอร์ ที่เลือกนำมาใช้ในการออกแบบเป็นวงจรตรวจจับเฟสและความถี่นี้ก็คือ MCS–51 เบอร์ 89C2051 เพราะเนื่องจากเป็นไมโครคอนโทรลเลอร์ขนาด 8 บิตที่หาใช้งานได้ง่าย มีความคล่องตัวสูง มีลักษณะหน่วยความจำแบบแฟลชเมมโมรี (Flash Memory) ซึ่งสามารถเขียนข้อมูลและลบได้นับพันครั้ง ที่สำคัญราคาไม่สูงมากนัก



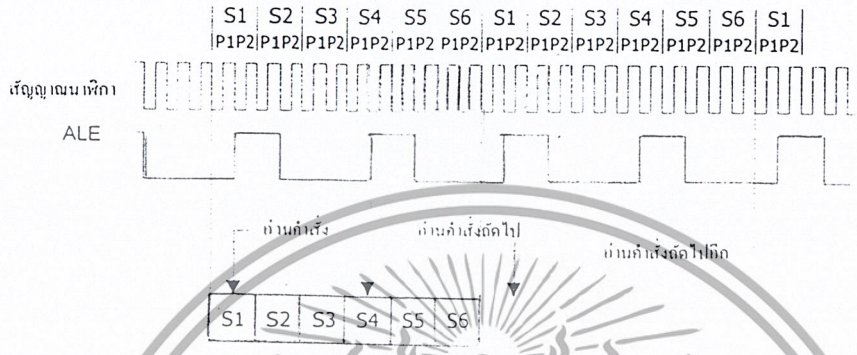
รูปที่ 4.1 โครงสร้างภายในของไมโครคอนโทรลเลอร์ MCS – 51 เบอร์ 89C2051

4.1.1 แมชชีนไซเคิ้ลของไมโครคอนโทรลเลอร์

ในการทำงานของไมโครคอนโทรลเลอร์นั้นจะอ้างอิงกับสัญญาณนาฬิกาที่สร้างมาจากวงจรออสซิลเลเตอร์ ทำให้การทำงานต่าง ๆ เป็นไปตามลำดับที่ผู้ผลิตได้ออกแบบไว้ ดังในรูปที่ (4.2) ที่แสดงถึงโครงสร้างของแมชชีนไซเคิ้ลใน MCS–51 ใช้ในการปฏิบัติคำสั่ง โดยคำสั่งแต่ละคำสั่งของ MCS–51 จะใช้เวลาทำงาน 1,2 หรือ 3 แมชชีนไซเคิ้ลแล้วแต่ว่าเป็นคำสั่งประเภทใด โดยที่ในหนึ่งแมชชีนไซเคิ้ลจะประกอบด้วย6 สเตท คือ S1 ,S2 , S3 , S4 , S5 และ S6 โดยในแต่ละสเตทจะใช้เวลา 2 คาบสัญญาณนาฬิกา ซึ่งเรียกคาบสัญญาณนาฬิกาแรกว่า เฟส 1 (P1) และคาบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนาฬิกาที่สองว่า เฟส 2 (P2) ดังนั้นใน 1 แมชชีนไซเคิ้ลจะใช้เวลาเท่ากับ 12 คาบสัญญาณนาฬิกาซึ่งหากใช้ความถี่เท่ากับ 12 เมกะเฮิรตซ์เป็นออสซิลเลเตอร์ให้กับ MCS–51 การปฏิบัติคำสั่งใน 1 แมชชีนไซเคิ้ลต้องใช้เวลาเท่ากับ 1 ไมโครวินาที



รูปที่ 4.2 แมชชีนไซเคิ้ลของไมโครคอนโทรลเลอร์ MCS - 51

4.1.2 การเลือกรีจิสเตอร์ที่ใช้ควบคุมการงาน

การควบคุมการทำงานของวงจรภายในไมโครคอนโทรลเลอร์นั้นจะกระทำผ่านรีจิสเตอร์ที่ถูกกำหนดหน้าที่ไว้แล้วดังนั้นหากต้องการใช้ MCS–51 ให้มีประสิทธิภาพจำเป็นต้องทราบหน้าที่การทำงานของรีจิสเตอร์แต่ละตัวให้ละเอียดเสียก่อน ซึ่งในหน่วยความจำสำหรับเก็บข้อมูลภายในทุกตัวของ MCS–51 ที่เริ่มต้นตั้งแต่ตำแหน่ง 80H จนถึง 0FFH ดังโครงสร้างรูปที่ (4.3) นั้นจะใช้เป็นตำแหน่งเฉพาะ (Special Function Register) เพื่อควบคุมและรายานการทำงานของวงจรภายในชิปซึ่งทำหน้าที่ต่างๆ กัน เช่น รีจิสเตอร์ใช้งานเฉพาะ TCON ใช้ควบคุมการทำงานของไทม์เมอร์ 0 และไทม์เมอร์ 1 รีจิสเตอร์ใช้งานเฉพาะ SCON ที่ใช้ควบคุมและรายงานการทำงานของพอร์ตสื่อสารอนุกรมเป็นต้น รีจิสเตอร์ใช้งานเฉพาะใน MCS-51 อาจแยกออกตามประเภทการใช้งานได้ดังนี้

- รีจิสเตอร์ใช้ควบคุมการทำงานของ MCS – 51 โดยรวมได้แก่ รีจิสเตอร์ PSW ,PCON
- รีจิสเตอร์ควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์ ได้แต่ รีจิสเตอร์ TCON ,TMOD
- รีจิสเตอร์ควบคุมการตอบสนองต่อสัญญาณอินเตอร์รัปต์ ได้แต่รีจิสเตอร์ IE ,IP
- รีจิสเตอร์ควบคุมการทำงานของพอร์ตสื่อสารอนุกรม ได้แก่ รีจิสเตอร์ SCON

สำหรับรีจิสเตอร์ที่ใช้ควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์ และรีจิสเตอร์ทีใช้ควบคุมการทำงานการตอบสนองต่อสัญญาณอินเตอร์รัปต์นั้นจะเป็นรีจิสเตอร์ที่ถูกนำมาใช้ในการออกแบบวงจรตรวจจับเฟสและความถี่นี้เท่านั้น โดยรีจิสเตอร์ที่ใช้ควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์จะทำหน้าที่คอยตรวจจับขอบขาลงของพัลส์สัญญาณอินพุทที่เข้ามาทาง T0 ที่เป็นสัญญาณอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อ้างอิงและ T1 ที่เป็นสัญญาณอิพุทที่ต้องการเปรียบเทียบเฟส ก่อนจะทำกระบวนการเปรียบเทียบเฟสและความถี่ด้วยรีจิสเตอร์ที่ใช้ควบคุมการตอบสนองต่อสัญญาณอินเตอร์รัปต์เพื่อสร้างสัญญาณเอาท์พุทลอจิกตามเงื่อนไขของสเตทไดอะแกรมของวงจร 3- state ต่อไป

แอดเดรส	บิต								
FFH									
F0H	B7	B6	B5	B4	B3	B2	B1	B0	รีจิสเตอร์ B
E0H	A7	A6	A5	A4	A3	A2	A1	A0	รีจิสเตอร์ ACC
D0H	D7	D6	D5	D4	D3	D2	-	D0	รีจิสเตอร์ PSW
B8H	-	-	-	D4	D3	D2	D1	D0	รีจิสเตอร์ IP
B0H	3.7	3.6	3.5	3.4	3.3	3.2	3.1	3.0	รีจิสเตอร์ P3
A8H	D7	-	-	D4	D3	D2	D1	D0	รีจิสเตอร์ IE
A0H	2.7	2.6	2.5	2.4	2.3	2.2	2.1	2.0	รีจิสเตอร์ P2
99H	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ SBUF
98H	S7	S6	S5	S4	S3	S2	S1	S0	รีจิสเตอร์ SCON
90H	1.7	1.6	1.5	1.4	1.3	1.2	1.1	1.0	รีจิสเตอร์ P1
8DH	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ TH1
8CH	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ TH0
8BH	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ TL1
8AH	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ TL0
89H	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ TMOD
88H	T7	T6	T5	T4	T3	T2	T1	T0	รีจิสเตอร์ TCON
87H	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ PCON
83H	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ DPH
82H	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ DPL
81H	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ SP
80H	0.7	0.6	0.5	0.4	0.3	0.2	0.1	0.0	รีจิสเตอร์ P0

รูปที่ 4.3 ตำแหน่งของหน่วยความจำข้อมูลภายในที่ใช้สำหรับรีจิสเตอร์ฟังก์ชั่นพิเศษ

4.1.3 รีจิสเตอร์ควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์ หรือ TCON (Timer /Counter Control Register)

บิต 7	บิต6	บิต5	บิต4	บิต3	บิต2	บิต1	บิต0
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

รูปที่ 4.4 รายละเอียดรีจิสเตอร์ควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์

เป็นรีจิสเตอร์ขนาด 8 บิตมีแอดเดรสอยู่ที่ 88H ในพื้นที่ของรีจิสเตอร์ SFR สามารถเข้าถึงข้อมูลในระดับบิต มีรายละเดียดการทำงานดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TF1 (Timer 1 overflow flag) : เซตด้วยกระบวนการทางฮาร์ดแวร์เมื่อค่าของรีจิสเตอร์ Timer 1 เกิดการนับเกินหรือเกิดโอเวอร์โฟลว การเคลียร์บิตนี้ทำได้ด้วยกระบวนการทางฮาร์ดแวร์ โดยบิตนี้จะเคลียร์เมื่อมีการอินเตอร์รัปต์เกิดขึ้น

TR1 (Timer 1 run control bit) : ใช้ในการเปิดปิดการทำงานของไทม์เมอร์ 1 (อีนาเบิล หรือดิสเอเบิล) การทำเซตและเคลียร์ด้วยกระบวนการทางซอฟต์แวร์ถ้าต้องการให้ไทเมอร์ 1 ทำงานต้องเซตบิตนี้ให้เป็น "1"

TF0 (Timer 0 overflow flag): เซตด้วยกระบวนการทางฮาร์ดแวร์เมื่อค่าของรีจิสเตอร์ Timer 0 เกิดการนับเกินหรือเกิดโอเวอร์โฟลวการเคลียร์บิตนี้ทำได้ด้วยกระบวนการทางฮาร์ดแวร์ เช่นเดียวกันโดยบิตนี้จะเคลียร์เมื่อมีการอินเตอร์รัปต์เกิดขึ้น

TR0 (Timer 0 run control bit): ใช้ในการเปิดปิดการทำงานของไทม์เมอร์ 0 (อีนาเบิล หรือดิสเอเบิล)ทำการเซตและเคลียร์ด้วยกระบวนการางซอฟต์แวร์ ถ้าต้องการให้ไทเมอร์ 0 ทำงาน ต้องเซตบิตนี้ให้เป็น "1"

IE1 (External Interrupt edge flag): บิตนี้จะใช้ในกระบวนการอินเตอร์รัปต์ สามารถเซตได้ด้วยกระบวนการทางฮาร์ดแวร์ เมื่อสามารถตรวจจับขอบขาของสัญญาณอินเตอร์รัปต์จากภายนอกที่ขาอินพุทอินเตอร์รัปต์ 1(INT1) ได้ และจะทำการเคลียร์เมื่อมีการบริการอินเตอร์รัปต์เกิดขึ้น

IT1 (Interrupt 1 Type control bit): บิตนี้จะใช้ในกระบวนการอินเตอร์รัปต์โดยใช้กระบวนการอินเตอร์รัปต์ โดยใช้การเลือกลักษณะของสัญญาณอินเตอร์รัปต์จากภายนอกที่ต้องการให้ทำการตอบสนองสำหรับขออินพุทอินเตอร์รัปต์ 1 (INT1) การเซตและเคลียร์ทำได้ด้วยกระบวนการซอฟต์แวร์

"0" เลือกขอบขาลงของสัญญาณ (falling dege)

"1" เลือกระดับลอจิกต่ำ (low level triggered)

IE0 (External Interrupt 0 edge flag): บิตนี้จะใช้ในกระบวนการอินเตอร์รัปต์ สามารถเซตได้ด้วยกระบวนการทางฮาร์ดแวร์ เมื่อสามารถตรวจจับขอบขาของสัญญาณอินเตอร์รัปต์จากภายนอกที่ขาอินพุทอินเตอร์รัปต์ 0 (INT0)ได้ และจะทำการเคลียร์เมื่อมีการบริการอินเตอร์รัปต์เกิดขึ้น

IT0 (Interrupt 0 type control bit) : บิตนี้จะใช้ในกระบวนการอินเตอร์รัปต์ โดยใช้ในการเลือกอินเตอร์รัปต์ 0 (INT0) การเซตและเคลียร์ทำได้ด้วยกระบวนการซอฟต์แวร์

"0" เลือกขอบขาลงของสัญญาณ (falling dege)

"1" เลือกระดับลอจิกต่ำ (low level triggered)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.4 รีจิสเตอร์เลือกโหมดการทำงานของไทม์เมอร์/เคาน์เตอร์ หรือ

TMOD (Timer/Counter Mode Control Register)

บิต 7	บิต6	บิต5	บิต4	บิต3	บิต2	บิต1	บิต0
GATE	C/T	M1	M0	GATE	C/T	M1	M0
ไทม์เมอร์ 1				ไทม์เมอร์ 0			

รูปที่ 4.5 รายละเอียดรีจิสเตอร์เลือกโหมดการทำงานของไทม์เมอร์/เคาน์เตอร์

เป็นรีจิสเตอร์ขนาด 8 บิต มีแอดเดรสอยู่ที่ 89H ในพื้นที่ของรีจิสเตอร์ SFR ไม่สามารถเข้าถึงได้ในระดับบิต แบ่งการทำงานออกเป็น 2 ส่วน คือ 4 บิตล่าง ใช้ในการเลือกโมดการทำงานของไทม์เมอร์ 0 และ 4 บิตบนใช้ในหารเลือกโหมดการทำงานของไทม์เมอร์ 1 ดังนั้นในการอธิบายการทำงานจะขออธิบายดังนี้

Gate ใช้เลือกลักษณะการควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์ โดยถ้ากำหนดให้เป็น

"0" ไทม์เมอร์/ เคาน์เตอร์ จะทำงานเมื่อบิต TRx ในรีจิสเตอร์ TCON เป็น "1" เรียกการควบคุมแบบนี้ว่า การควบคุมทางซอฟร์แวร์

"1" ไทม์เมอร์/ เคาน์เตอร์จะทำงานเมื่อบิต TRx ในรีจิสเตอร์ TCON เป็น "1" และสถานะลอจิกที่อินพุตอินเตอร์รัปต์ INT0 และ INT1 เป็น "1" เรียกการควบคุมแบบนี้ว่า การควบคุมทางฮาร์แวร์

C/T (Timer or Counter selector) : ใช้เลือกลักษณะการทำงานของไทม์เมอร์ / เคาน์เตอร์ โดยถ้ากำหนดให้เป็น

"0" เลือกการทำงานเป็น ไทม์เมอร์ โดยใช้สัญญาณอินพุทจากสัญญาณนาฬิกาภายในไมโครคอนโทรเลอร์

"1" เลือกให้ทำงานเป็นเคาน์เตอร์ โดยรับสัญญาณอินพุทจากภายนอกที่เข้ามาทางขา T0 หรือ T1

M1, M0 (Mode selector bit) : ใช้เลือกโหมดการทำงานของไทม์เมอร์ / เคาน์เตอร์ โดยจะเลือกโหมดการทำงานดังนี้

"00" เลือกให้ทำงานในโหมดไทม์เมอร์ / เคาน์เตอร์ 13 บิต

"01" เลือกให้ทำงานในโหมดไทม์เมอร์ / เคาน์เตอร์ 16 บิต

"10" เลือกให้ทำงานในโหมดไทม์เมอร์ / เคาน์เตอร์ 8 บิต แบบตั้งค่าอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"11" สำหรับไทม์เมอร์ 0 เลือกให้ทำงานในโหมดไทม์เมอร์ /เคาน์เตอร์ แยกส่วน

4.2 การอินเทอร์รัปต์ในไมโครคอนโทรเลอร์ MCS-51

การอินเทอร์รัปต์ เป็นชื่อเรียกกระบวนการที่เข้ามาขัดจังหวะการทำงานโดยปกติของไมโครคอนโทรลเลอร์ในไมโครคอนโทรลเลอร์ MCS-51 ในไมโครคอนโทรลเลอร์ MCS-51 สามารถตอบสนองการอินเตอร์รัปต์ที่เกิดขึ้นได้จาก 5 แหล่งกำเนิดสำหรับเบอร์ AT89c2051 ประกอบด้วย การรับสัญญาณอินเตอร์รัปต์จากภายนอกผ่านทางขา INT0 และขา INT1, สัญญาณอินเตอร์รัปต์จากไทม์เมอร์/เคาน์เตอร์ T0, T1 และสัญญาณอินเตอร์รัปต์จากพอร์ตอนุกรมภายในไมโครคอนโทรลเลอร์ในขณะที่ไมโครคอนโทรลเลอร์เบอร์ AT89C52 และในอนุกรม AT89SXX สามารถตอบสนองการอินเตอร์รัปต์ได้ 6 แหล่งกำเนิด โดยเพิ่มการรับสัญญาณอินเตอร์รัปต์จากไทม์เมอร์ / เคาน์เตอร์ 2 อีกหนึ่งแหล่งกำเนิด

การจัดการอินเตอร์รัปต์ในไมโครคอนโทรลเลอร์ MCS-51

เมื่อมีการอินเตอร์รัปต์ในไมโครคอนโทรลเลอร์ MCS-51 เกิดขึ้น และมีการอีนาเบิลตอบสนองการอินเตอร์รัปต์ไว้ กระบวนการหลังจากนั้นซีพียูจะทำการกระโดดไปยังแอดเดรสในหน่วยความจำที่กำหนดไว้ เรียกตำแหน่งแอดเดรสนี้ว่า แอดเดรสอินเตอร์รัปต์เวกเตอร์ (Interrupt vector address) ดังนั้นจะต้องมีการเขียนโปรแกรมย่อยการบริการอินเตอร์รัปต์ไว้ที่แอดเดรสอินเตอร์รัปต์เวกเตอร์นี้ โดยค่าของแอดเดรสอินเตอร์รัปต์เวกเตอร์จะแตกต่างกันไปในการอินเตอร์รัปต์แบบต่าง ๆ ดังมีรายละเอียดดังนี้

การอินเตอร์รัปต์ภายนอกที่ขา INT 0 มีค่าแอดเดรสอินเตอร์รัปต์เวกเตอร์อยู่ที่ 0003H
การอินเตอร์รัปต์จากไทม์เมอร์ 0 มีค่าแอดเดรสอินเตอร์รัปต์เวกเตอร์อยู่ที่ 000BH
การอินเตอร์รัปต์ภายนอกที่ขา INT1 มีค่าแอดเดรสอินเตอร์รัปแต์เวกเตอร์อยู่ที่ 0013H
การอินเตอร์รัปต์จากไทม์เมอร์ 1 มีค่าแอดเดรสอินเตอร์รัปต์เวกเตอร์อยู่ที่ 001BH
การอินเตอร์รัปต์จากพอร์ตอนุกรม มีค่าแอดเดรสอินเตอร์รัปต์เวกเตอร์อยู่ที่ 0023H
การอินเตอร์รัปต์จากไทม์เมอร์ 2 มีค่าแอดเดรสอินเตอร์รัปต์เวกเตอร์อยู่ที่ 002BH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอินเตอร์รัปต์ในไมโครคอนโทรลเลอร์ MCS- 51 มีรีจิสเตอร์ 2 ตัวที่เกี่ยวข้องดังนี้

4.2.1 รีจีสเตอร์อีนาเบิลอินเทอรัปต์ หรือ

IE (Interrupt Enable Register)

บิต 7	บิต6	บิต5	บิต4	บิต3	บิต2	บิต1	บิต0
EA	-	ET2	ES	ET1	EX1	ET0	EX0

รูปที่ 4.6 รายละเอียดรีจีสเตอร์อีนาเบิลอินเทอรัปต์

รีจีสเตอร์อีนาเบิลอินเทอรัปต์เป็นรีจีสเตอร์ขนาด 8 บิต มีตำแหน่งหน่วยความจำข้อมูลภายในอยู่ที่ A8H ของพื้นที่ ๆ ใช้เป็นรีจีสเตอร์ใช้งานเฉพาะดังรูปที่ 4.3 และสามารถเข้าถึงข้อมูลในระดับบิตได้ IE รีจิสเตอร์ใช้ในการเอนนาเบิลการตอบสนองการอินเตอร์รัปต์ในแบบต่าง ๆ ซึ่งมีรายละเอียดการทำงาน ดังนี้

EA (GlobalEnable/DisableInterrupt) : ใช้ในการอีนาเบิลและดิสเอเบิลการตอบสนองการอินเทอร์รัปต์ทั้งหมด

" 0 " ดิสเอเบิลการอินเทอร์รัปต์ คือ การกำหนดให้ไมโครคอนโทรลเลอร์ไม่ตอบสนองการอินเตอร์รัปต์ ไม่ว่าจะมาจากแหล่งกำเนิดใดก็ตาม

" 1 " อีนาเบิลการอินเตอร์รัปต์ คือ การกำหนดให้ไมโครคอนโทรลเลอร์สามารถตอบสนองการอินเตอร์รัปต์ จากแหล่งกำเนิดต่าง ๆ

ET2 (Timer 2 Interrupt Enable): ใช้ในการอีนาเบิลร้องขอการอินเตอร์รัปต์เนื่องมาจากการเกิดโอเวอร์โฟลวของไทม์เมอร์/เคาร์เตอร์ 2

ES (Serial Port Interrupt Enable Bit) : ใช้ในการอีนาเบิลร้องขอการอินเตอร์รัปต์เนื่องมาจากรับส่งข้อมูลทางพอร์ตอนุกรมภายในไมโครคอนโทรเลอร์ MCS-51 ซึ่งสามารถเซตและเคลียร์บิตด้วยกระบวนการทางซอฟต์แวร์

ET1 (Timer1 Interrupt Enable): ใช้ในการอีนาเบิลร้องขอการอินเตอร์รัปต์เนื่องมาจากการเกิดโอเวอร์โฟลวของรีจีสเตอร์ตัวนับในไทม์เมอร์/เคาน์เตอร์ 1 ซึ่งสามารถเซตและเคลียร์บิตด้วยกระบวนการทางซอฟต์แวร์

EX1 (External Interrupt 1 Enable Bit): ใช้ในการอีนาเบิลร้องขอการอินเตอร์รัปต์อันเนื่องมาจากสัญญาณภายนอกที่ป้อนเข้ามายังขา INT 1 ซึ่งสามารถเซตและเคลียร์บิทนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ET1 (Timer 0 Interrupt Enable): ใช้ในการอีนาเบิลร้องขอการอินเตอร์รัปต์อันเนื่องมาจากการเกิดโอเวอร์โฟลวของรีจิสเตอร์ตัวนับในไทม์เมอร์ / เคาน์เตอร์ 0 ซึ่งสามารถเซตและเคลียร์บิทได้ด้วยกระบวนการทางซอฟต์แวร์

EX0 (External Interrupt 0 Enable Bit): ใช้ในการอีนาเบิลร้องขอการอินเตอร์รัปต์อันเนื่องมาจากสัญญาณภายนอกที่ป้อนเข้ามายังขา INT 0 ซึ่งสามารถเซตและเคลียร์บิทนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

สำหรับบิท 6 ของรีจิสเตอร์ IE ไม่มีการใช้งาน ต้องกำหนดให้เป็น " 0 " เสมอ

4.2.2 รีจิสเตอร์จัดลำดับความสำคัญการตอบสนองการร้องขอบริการอินเตอร์รัปต์ หรือ IP (Interrupt Priority Register) :

บิต7	บิต6	บิต5	บิต4	บิต3	บิต2	บิต1	บิต0
-	-	PT2	PS	PT1	PX1	PT0	PX0

รูปที่ 4.7 รายละเอียดรีจิสเตอร์จัดลำดับความสำคัญการตอบสนองการร้องขอบริการอินเตอร์รัปต์

รีจิสเตอร์จัดลำดับความสำคัญการตอบสนองการร้องขอบริการอินเตอร์รัปต์เป็นรีจิสเตอร์ขนาด 8 บิต มีตำแหน่งหน่วยความจำข้อมูลภายในอยู่ที่ B8H ของพื้นที่ ๆ ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะดังรูปที่ 4.3 และสามารถเข้าถึงข้อมูลในระดับบิทได้ เป็นรีจิสเตอร์ที่ใช้ในการเลือกลำดับความสำคัญของการตอบสนองการร้องขอบริการอินเตอร์รัปต์ว่าต้องการให้ตอบสนองสัญญาณอินเตอร์รัปต์จากแหล่งใดเป็นลำดับก่อนหลัง ถ้าต้องการให้การอินเตอร์รัปต์จากแหล่งกำเนิดใดมีความสำคัญสูงสุด ให้กำหนดที่บิทนั้นเป็น " 1 " ซึ่งรายละเอียดของรีจิสเตอร์ IP มีดังนี้

PT2 (Timer 2 Interrupt Priority Bit) : ใช้ในการกำหนดความสำคัญของการอินเตอร์รัปต์อันเนื่องมาจากการเกิดโอเวอร์โฟลวของตัวนับใน ไทม์เมอร์/เคาน์เตอร์ 2 ซึ่งสามารถเซตและเคลียร์บิทนี้
ได้ด้วยกระบวนการทางซอฟต์แวร์

PS (Serial Port Interrupt Priority Bit) : ใช้ในการกำหนดความสำคัญของการอินเตอร์รัปต์อันเนื่องมาจากการรับส่งข้อมูลทางพอร์ตอนุกรมภายในไมโครคอนโทรลเลอร์ MCS - 51 ซึ่งสามารถเซตและเคลียร์บิทนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PT1 (Timer 1 Interrupt Priority Bit) : ใช้ในการกำหนดความสำคัญของการอินเตอร์รัปต์อันเนื่องมาจากการเกิดโอเวอร์โฟลวของตัวนับใน ไทม์เมอร์/เคาท์เตอร์ 1 ซึ่งจะสามารถเซตและเคลียบิตนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

PX1 (External Interrupt Bit) : ใช้ในการกำหนดความสำคัญของการอินเตอร์รัปต์อันเนื่องมาจากสัญญาณภายนอกที่ป้อนเข้ามายังขา INT1 ซึ่งสามารถเซตและเคลียร์บิทนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

PT0 (Timer 1 Interrupt Priority Bit): ใช้ในการกำหนดความสำคัญของการอินเตอร์รัปต์อันเนื่องมาจากการเกิดโอเวอร์โฟลวของตัวนับในไทม์เมอร์/เคาน์เตอร์ 0 ซึ่งสามารถเซตและเคลียร์บิทนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

PX0 (External Interrupt 0 Priority Bit) : ใช้ในการกำหนดความสำคัญของการอินเตอร์รัปต์อันเนื่องมาจากสัญญาณภายนอกที่ป้อนเข้ามายังขา INT0 สามารถเซตและเคลียร์บิตนี้ได้ด้วยกระบวนการทางซอฟตแวร์

สำหรับบิท 6 และ บิทที่ 7 ของรีจิสเตอร์ IP ไม่มีการใช้งาน ต้องกำหนดให้เป็น " 0 " เสมอ

หลักการออกแบบวงจรตรวจจับเฟสและความถี่ด้วยไมโครคอนโทรลเลอร์

จากหลักการทำงานพื้นฐานของวงจรตรวจจับเฟสและความถี่แบบ 3-state จะทำการตรวจจับที่ขอบขาขึ้นของสัญญาณอินพุท และขอบขาขึ้นของสัญญาณเอาท์พุท แสดงให้เห็นว่างวงจรตรวจจับเฟสและความถี่แบบ 3-state จะทำงานที่ขอบของสัญญาณเท่านั้น ดังนั้นจึงใช้หลักการเดียวกันนี้ในการออกแบบไมโครคอนโทรลเลอร์เป็นวงจรตรวจจับเฟสและความถี่ โดยจะป้อนสัญญาณอินพุทอ้างอิงและสัญญาณเอาท์พุทเข้ามาทางขาอินเตอร์รัปต์ (Interrupt) ภายนอก (INT0, INT1) จากนั้นจะนำสัญญาณทั้งสองที่เข้ามานั้นผ่านกระบวนการเปรียบเทียบเฟส โดยขบวนการทั้งหมดนี้จะถูกกระทำโดยโปรแกรมจำลองการทำงานของวงจรตรวจจับเฟสที่อยู่ในส่วนของโปรแกรมย่อยของบริการอินเตอร์รัปต์ ซึ่งจะทำงานเมื่อมีสัญญาณเข้ามาที่ขา INT0, INT1 แต่การตรวจจับสัญญาณของไมโครคอนโทรลเลอร์จะแตกต่างจากวงจรตรวจจับเฟสและความถี่แบบทั่วๆ ไปตรงที่ไมโครคอนโทรลเลอร์จะทำการตรวจจับที่ขอบขาลงของสัญญาณ แต่ผลการเปรียบเทียบเฟสและความถี่ที่ได้ยังคงเหมือนกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การประยุกต์ใช้งานระบบควบคุมแบบเฟสล็อคลูป
ระบบเฟสล็อคลูปสำหรับควบคุมความเร็วมอเตอร์

5.1 บทนำ

ในปัจจุบันระบบควบคุมความเร็วด้วยวิธีของเฟสล็อคลูป เป็นที่นิยมอย่างกว้างขวางเนื่องจากมีความเที่ยงตรงสูงและให้คุณสมบัติการเร็คกูเลทความเร็วได้ดี เป็นระบบที่มีความน่าเชื่อถือ มีประสิทธิภาพในการควบคุมสูงเป็นที่ยอมรับได้ อีกทั้งการเปลี่ยนแปลงของพารามิเตอร์มีผลกระทบต่อการทำงานของระบบน้อยมาก

โดยหลักการของเฟสล็อคลูป เมื่อระบบเกิดการล็อคความถี่ของสัญญาณบังคับและสัญญาณป้อนกลับจะมีค่าเท่ากัน ถ้าความถี่ของสัญญาณคำสั่งมีคงที่ ระบบก็จะมีความเร็วของมอเตอร์คงที่ด้วยและจะยังคงอยู่ในสภาวะเฟสล็อคจนกว่าจะมีการเปลี่ยนแปลงของสัญญาณบังคับในระบบให้ล็อคกันอยู่เสมอ สามารถประยุกต์ ใช้งานในระบบควบคุมความเร็วมอเตอร์ เช่น ระบบควบคุมความเร็วของการหมุนทางเดียว (Unidirectional) และระบบควบคุมความเร็วของการหมุนสองทิศทาง (Bidirectional)
อีกทั้งยังสามารถประยุกต์ใช้งาน ในระบบควบคุมความเร็วของการหมุนพร้อมๆ กัน (Synchronized-Speed) ของมอเตอร์หลายตัวในเวลาเดียวกัน อย่างเช่นในโรงงานอุตสาหกรรม

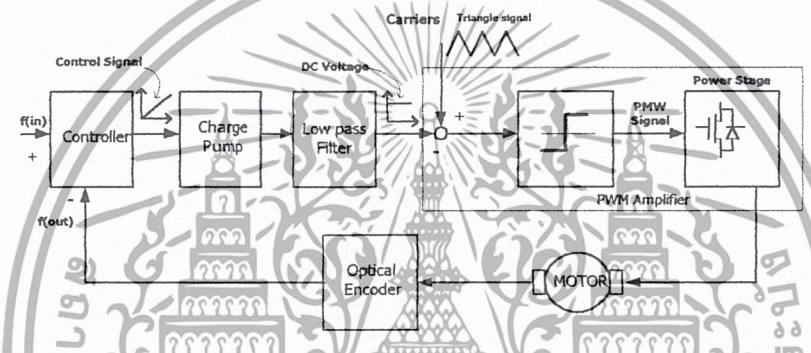
หลักการออกแบบระบบควบคุมความเร็วมอเตอร์ด้วยเฟสล็อคลูป

ระบบควบคุมความเร็วมอเตอร์ด้วยเทคนิคเฟสล็อคลูปนี้ เป็นระบบควบคุมป้อนกลับโดยจะมี ตัวควบคุม (Controller) หรือวงจรตรวจจับเฟสและความถี่ ทำการเปรียบเทียบสัญญาณความถี่อ้างอิงกับความถี่ป้อนกลับ ดังรูปที่ 5.1 โดยจะนำเอาท์พุทของวงจรตรวจจับเฟสและความถี่ซึ่งอยู่ในรูปของโวลท์เตจ (Voltage) ซึ่งเป็นสัดส่วนโดยตรงกับความแตกต่างเฟสระหว่างความถี่อ้างอิงกับความถี่ป้อนกลับไปผ่านวงจรกรองความถี่ต่ำผ่านซึ่งจะกำจัดเทอมความถี่สูงออกไป แล้วโวลท์เตจที่ได้จากวงจรกรองความถี่ต่ำนี้ไปผ่านวงจรพัลส์วิดท์โมดูเลชั่น (Pulse Width Modulation) เพื่อสร้างสัญญาณขับเคลื่อนมอเตอร์ โดยดิวตี้ไซเคิ้ล (Duty Cycle) ของสัญญาณดังกล่าวจะถูกควบคุมโดยโวลท์เตจที่ได้จากวงจร กรองความถี่ต่ำผ่าน

ในส่วนของการขับเคลื่อนมอเตอร์จะใช้หลักการของ สวิทชิ่งเซอร์โวแอมปลิไฟ (Switching Servo Amplifier:SSA) มาเป็นตัวขับเคลื่อน โดยจะใช้สัญญาณที่ได้จากวงจรพัลส์วิดท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โมดูเลชั่นมาป้อนที่ขา Gate ของ Power MOSFET เพื่อควบคุมความเร็วของมอเตอร์ไฟฟ้ากระแสตรง จากนั้นมอเตอร์จะส่งสัญญาณป้อนกลับในรูปของความถี่ซึ่งได้มาจาก ออปติคอลเอ็นโคดเดอร์ (Optical Encoder) โดยความถี่ที่ได้จากออปติคอลเอ็นโคดเดอร์จะเป็นสัดส่วนโดยตรงกับความเร็วของมอเตอร์ แล้วนำสัญญาณที่ได้จากออปติคอลเอ็นโคดเดอร์นี้ป้อนกลับเพื่อทำการเปรียบเทียบกับสัญญาณอ้างอิงที่วงจรตรวจจับเฟสและความถี่ เพื่อสร้างสัญญาณในการควบคุมระบบต่อไป และหากระบบทำการล็อคความถี่ของสัญญาณอ้างอิงกับความถี่ป้อนกลับแล้ว ความเร็วของมอเตอร์จะคงที่ จนกว่าจะมีการเปลี่ยนแปลงของสัญญาณอินพุทอ้างอิง



รูปที่ 5.1 แสดงบล็อคไดอะแกรมของระบบควบคุมมอเตอร์ด้วยวิธีเฟสล็อคลูป

5.2 ส่วนประกอบหลักของการควบคุมความเร็วของมอเตอร์ด้วยระบบเฟสล็อคลูป

5.2.1 คอนโทรเลอร์ (Phase Frequency Detector)

ทำการสร้างสัญญาณควบคุมจากสัญญาณความถี่อ้างอิงและสัญญาณป้อนกลับ โดยให้เอาท์พุทในรูปของโวลท์เตจโดยขึ้นกับค่าความแตกต่างเฟสของสัญญาณอ้างอิงและสัญญาณป้อนกลับ

5.2.2 โลว์พาสฟิวเตอร์ (Low pass Filter)

ทำการกรองเทอมความถี่สูงออกไป และสร้างสัญญาณศักดาไฟฟ้ากระแสตรงเพื่อนำไปสร้างสัญญาณขับเคลื่อนมอเตอร์

5.2.3 สวิทชิ่งเซอร์โวแอมปลิไฟ

ใช้เพิ่มระดับของสัญญาณเออร์เรอร์เพื่อใช้สำหรับขับมอเตอร์ โดยใช้เทคนิคของพัลส์วิดท์โมดูเลชั่น สร้างสัญญาณควบคุมสัญญาณ วงจรพาวเวอร์แอมฟลิไฟ ควบคุมมอเตอร์ต่อไป

1. พัลส์วิดท์โมดูเลชั่น

วงจรพัลซ์วิดท์โมดูเลชั่น(PWM)เป็นวงจรที่ให้เอาท์พุทอยู่ในรูปสัญญาณทางดิจิตอล โดยมีอินพุทเป็นระดับการเปลี่ยนแปลงของโวลท์เตจมาทำการควบคุมโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปรียบเทียบกับสัญญาณพาหะ โดยมีสัญญาณพาหะจะเป็นสัญญาณรูปคลื่นสามเหลี่ยมที่มีความถี่คงที่ ซึ่งระดับโวลท์เตจที่เปลี่ยนไปนี้สามารถที่จะปรับความกว้างของพัลส์ที่สัญญาณเอาท์พุทได้ ตามระดับโวลท์เตจอินพุท (Vc) เพื่อทำการควบคุมวงจรขับมอเตอร์



รูปที่ 5.2 แสดงวงจรพัลส์วิทมอดูเลชั่น

(ก) สัญญาณเอาท์พุทที่ได้ที่ดิวตี้ไซเคิ้ล 50 %

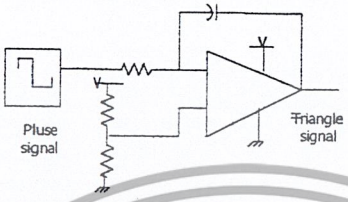
(ข) สัญญาณเอาท์พุทที่ได้ที่ดิวตี้ไซเคิ้ล 25 %

(ค) บล็อคไออะแกรมของวงจรพัลซ์วิดมอดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. วงจรสร้างคลื่นรูปสามเหลี่ยม

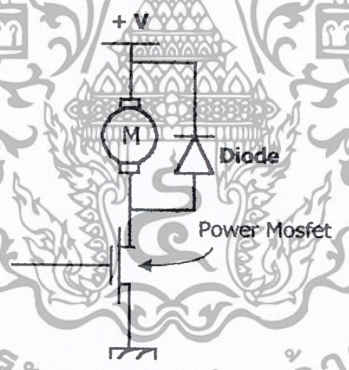
มีหน้าที่สร้างคลื่นพาหะที่มีลักษณะเป็นคลื่นรูปสามเหลี่ยมให้แก่วงจรเปรียบเทียบแรงดันเพื่อทำหน้าที่สร้างพัลซ์ควบคุมโดยใช้วงจรอินติเกรเตอร์ ทำการปรับค่าพารามิเตอร์ให้เหมาะสม



รูปที่ 5.3 วงจรแสดงการสร้างสัญญาณรูปสามเหลี่ยม

3. วงจรสวิทชิ่งเซอร์โวแอมพลิไฟ

มีหน้าที่ขยายสัญญาณอินพุทเพื่อไปขับมอเตอร์ไฟฟ้ากระแสตรง โดยใช้จากพัลซ์วิดท์โมดูเลชั่นสัญญาณสวิทชิ่งพาวเวอร์มอสเฟท

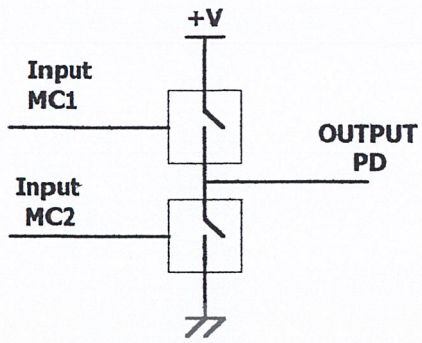


รูปที่ 5.4 แสดงวงจรสวิชิ่งเซอร์โวแอมพลิไฟ

5.2.4. ไตร- สเตท สวิทซ์ (Tri – State Switch)

ทำหน้าที่รับสัญญาณควบคุมจากไมโครคอนโทรลเลอร์ เพื่อทำการควบคุมการ on- off ของ switch tri-state ดังแสดงในที่รูป 5.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 แสดงไตร - สเตทสวิทซ์

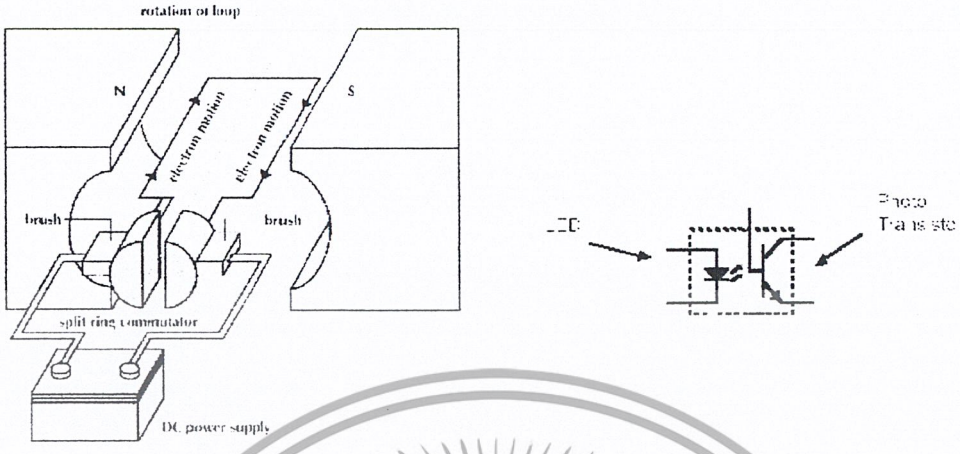
การทำงาน ไตรสเตทสวิทซ์ จะถูกควบคุมโดยสัญญาณควบคุมทางเอาท์พุทพอร์ตที่ออกมาจากไมโครคอนโทรลเลอร์ ในกรณีที่ระบบอยู่ในสภาวะสมดุล สัญญาณควบคุมจะมีค่าเป็น 0 ขา HIGH และ LOW จะเซตค่า 0 ออกมาทำให้ Switch S1 และ S2 OFF แต่ถ้าระบบหลุดจากสภาวะสมดุลสัญญาณควบคุมจะมีลักษณะเป็นพัลซ์ออกมาทางขา High หรือทางขา LOW ขาใดขาหนึ่ง ซึ่งถ้าออกทางขา HIGH จะทำให้สวิทซ์ 1 ON จะเกิดการถ่ายเทความต่างศักย์จาก 5 โวลท์ ให้แก่ ตัวเก็บประจุ ซึ่งอยู่ในวงจรกรองความถี่ ทำให้ได้ค่าความต่างศักย์ในตัวเก็บประจะสูงขึ้น แต่ถ้าสัญญาณควบคุมออกมาทางขา LOW จะทำให้ สวิทซ์ S2 ON จะเกิดการถ่ายเทความต่างศักย์จากตัวเก็บประจุลงกราวด์ ทำให้ความต่างศักย์ในตัวเก็บประจุลดลง

5.2.5. มอเตอร์และเอนโคเดอร์

เนื่องจากคุณสมบัติการส่งผ่านของโวลท์เตจคอนโทรลออสซิเลเตอร์และมอเตอร์ไฟฟ้ากระแสตรงนั้นมีความคล้ายคลึงกันคือ มีอินพุทเป็นระดับแรงดัน และให้เอาท์พุทอยู่ในรูปของความถี่ ดังนั้นในการประยุกต์ใช้งานระบบควบคุมด้วยวิธีของเฟสล็อคลูป จึงสามารถทำได้ในการควบคุมมอเตอร์ไฟฟ้ากระแสตรง

มอเตอร์ไฟฟ้ากระแสตรง เป็นอุปกรณ์ที่เปลี่ยนพลังงานไฟฟ้าออกมาให้อยู่ในรูปพลังงานกล โดยมีสัญญาณป้อนกลับในรูปของสัญญาณทางดิจิตอล (ความถี่) ที่มาจากออปติคอลเอนโคเดอร์โดยความถี่ของสัญญาณจะเป็นสัดส่วนโดยตรงกับความเร็วของมอเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) (ข)

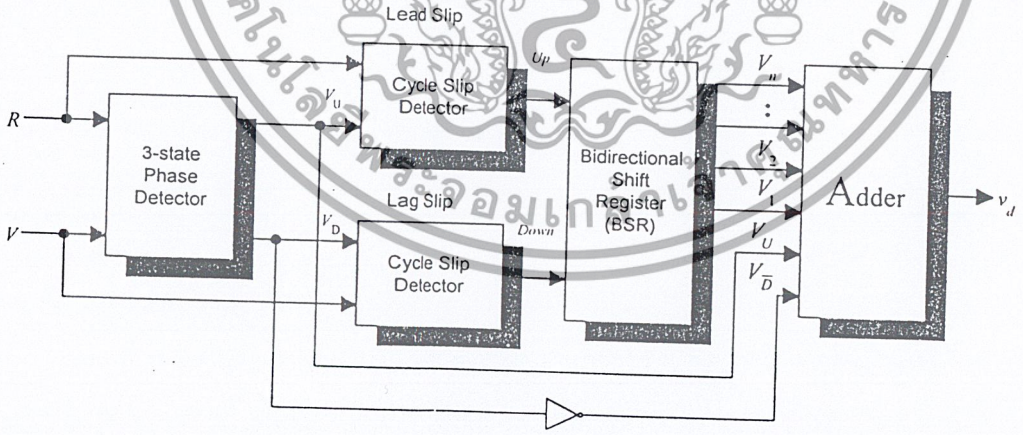
รูปที่ 5.6 (ก) แสดงส่วนประกอบภายในของมอเตอร์ไฟฟ้ากระแสตรง
(ข) แสดงการตรวจจับสัญญาณที่มีลักษณะเป็นสัดส่วนโดยตรงกับความเร็วด้วย
ออฟติคอลเอนโคเดอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
การขยายคุณสมบัติของวงจรตรวจจับเฟสและความถี่

6.1 บทนำ

ในบทนี้จะนำเสนอวิธีการขยายสถานะสเตทเพื่อนำไปสร้างตัวควบคุมที่มีความสามารถในการตรวจจับเฟสได้กว้างมากขึ้นโดยเนื้อหาจะเสนอหลักการในการขยายสถานะ เท่าที่ทราบกันดีว่าวงจร 3-state PFD ที่นิยมใช้กันอยู่นั้นจะให้ช่วงคุณสมบัติได้ไม่เกิน $\pm 2\pi$ เรเดียน ดังเห็นได้จากกราฟแสดงคุณสมบัติของวงจร (PD Characteristic) ซึ่งวงจรดังกล่าวยังสามารถทำหน้าที่เป็นวงจรตรวจจับเฟสและความถี่ได้ในเวลาเดียวกัน จึงทำให้วงจร 3-state PFD ถูกใช้งานได้อย่างกว้างขวาง โดยเฉพาะอย่างยิ่งในงานของคลาสซิคอลดิจิตอลเฟสล็อกลูป (DPLL) แต่ถึงอย่างไรก็ตามยังไม่มีวิธีใดที่จะขยายสถานะของสเตทและช่วงคุณสมบัติของวงจรนี้ให้กว้างออกไปมากกว่า $\pm 2\pi$ เรเดียนได้ สำหรับจุดประสงค์ของการนำเสนอเนื้อหาในบทนี้ก็เพื่อต้องการแสดงให้เห็นถึง วิธีการที่จะไปทำให้วงจรตรวจจับเฟสมีช่วงคุณสมบัติของวงจรกว้างขึ้นโดยที่ความถี่เอาท์พุทจะไม่ถูกลดทอนลง ซึ่งจากการขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสที่ใช้วิธีหารความถี่นั้น สัญญาณอินพุทจะถูก



รูปที่ 6.1 แสดงบล็อคไดอะแกรมการขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่

หารความถี่ด้วยค่าแฟคเตอร์ของตัวหาร จึงเป็นเหตุให้การตอบสนองต่อแรงดันที่เอาท์พุทของวงจรเกิดขึ้นช้าเพราะเนื่องจากเอาท์พุทที่ได้มีค่าความถี่ลดทอนลง นอกจากนี้วงจรจะสามารถตรวจจับสัญญาณอินพุทที่ปรากฏเข้ามาพร้อมกันได้โดยไม่มีการสูญเสียสัญญาณอินพุทหนึ่งอินพุทใดไป

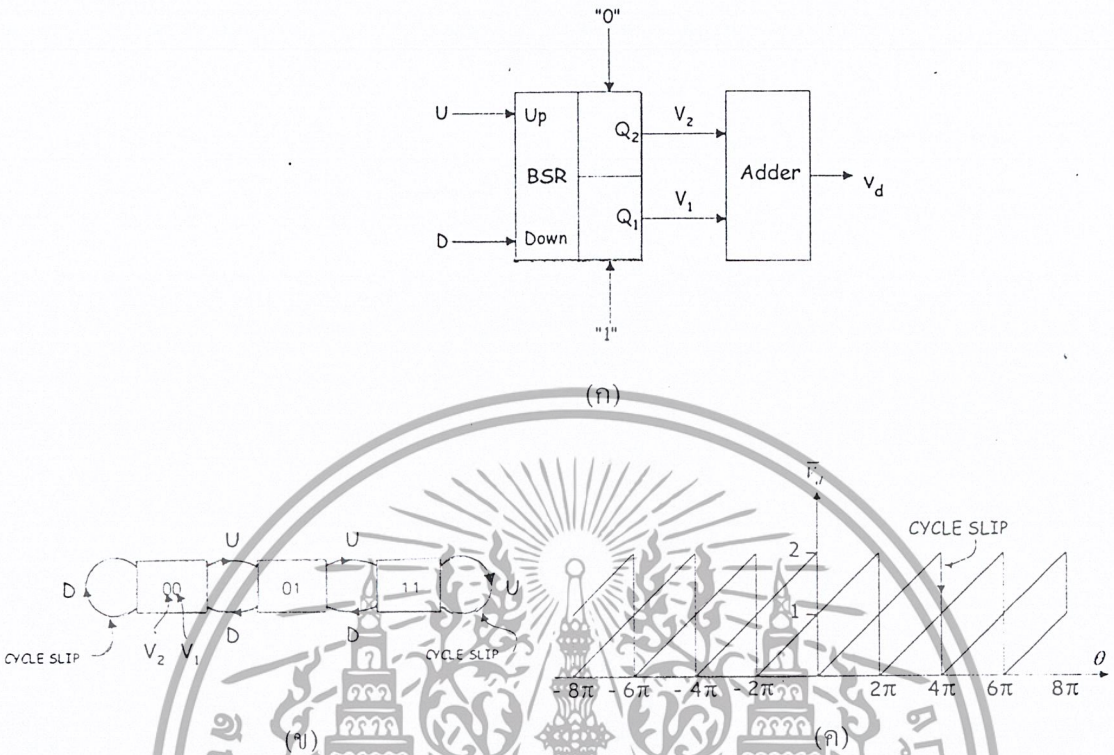
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จนเป็นเหตุให้เกิดการแสดงค่าผิดพลาดขึ้นที่เอาท์พุท และเพื่อให้ได้มาซึ่งจุดประสงค์ดังกล่าวจึงใช้วงจร 3-state PFD ที่มีความสามารถในการตรวจจับสัญญาณพัลส์อินพุทเมื่อปรากฏเข้ามาพร้อมๆ กันได้ โดยมีวงจรตรวจจับสัญญาณไซเคิ้ลสลิป (Cycle Slip Detectors) ที่คอยสร้างสัญญาณเพื่อไปกระตุ้นให้วงจรชิฟต์รีจิสเตอร์แบบสองทิศทาง (Bi-directonal Shift Register : BSR) แสดงค่าเอาท์พุทลอจิก (V_1 , V_2 และ V_3) เมื่อเกิดสัญญาณพัลส์ไซเคิ้ลสลิปที่ค่าความต่างเฟส (θ_d) เท่ากับ 2π เรเดียน ขึ้นในวงจร 3-state PFD จึงทำให้ช่วงคุณสมบัติของวงจรนั้นถูกขยายต่อออกไปจากเดิมได้อีก $\pm 2\pi$ เรเดียน ดังโครงสร้างการทำงานของวงจรดังรูปที่ 6.1

6.2 วงจรชิพต์รีจิสเตอร์สองทิศทางกับการทำงานเป็นวงจรตรวจจับเฟส

วงจร 3-state PFD นั้นจะให้ผลที่เหมือนกันกับการทำงานของวงจรชิพต์รีจิสเตอร์สองทิศทาง จำนวน 2 สถานะ ดังในรูปที่ 6.2 ซึ่งเอาท์พุท V_d จะได้จากการรวมเอาสัญญาณทางลอจิก V_1 และ V_2 เมื่อถูกกระตุ้นด้วยขอบของสัญญาณอินพุท U และ D ตามสเตทไดอะแกรมของรูปที่ 6.2 (ข) สัญญาณของอินพุท U แต่ละตัวจะเป็นสาเหตุทำให้ค่าเอาท์พุท V_1 และ V_2 มีค่าลอจิกเพิ่มขึ้นหนึ่ง ในขณะที่สัญญาณของอินพุท D จะทำให้ลอจิกหนึ่งใน $V_1 V_2$ ลดลง ซึ่งถ้าวงจรอยู่ในสถานะที่ให้เอาท์พุทของสเตท $V_1 V_2 = 11$ การกระตุ้นของไซเคิ้ลของขอบสัญญาณอินพุท U จะไม่ทำให้สถานะของสเตทเปลี่ยนแปลงไปอีก และเรียกไซเคิ้ลของสัญญาณอินพุทที่ไม่ทำให้เกิดการเปลี่ยนแปลงสเตทนี้ว่า "ไซเคิ้ลสลิป (Cycle Slip)" วงจรชิฟต์รีจิสเตอร์แบบสองทิศทางจำนวน 2 สถานะนี้จะให้ช่วงคุณสมบัติของวงจรได้ไม่เกินค่า $\pm 2\pi$ เรเดียน เช่นเดียวกับวงจร 3-state PFD ที่ขอบสัญญาณอินพุท U เข้ามามากกว่าสองไซเคิ้ลของขอบสัญญาณอินพุท D ดังในรูปที่ 6.2 (ค) โดยวงจรจะเริ่มต้นการทำงานจากสถานะของสเตทที่ให้เอาท์พุท $V_1 V_2 = 00$ แล้วเลื่อนขึ้นไปจนถึงสเตทที่ให้เอาท์พุท $V_1 V_2 = 11$ ทำให้เอาท์พุท (V_d) ที่วงจรบวกสัญญาณทางลอจิก (Adder) มีค่าเพิ่มมากขึ้นเป็นสอง (กำหนดให้ลอจิก "1" เป็นค่าของลอจิกสูง (V_H) มีค่าเท่ากับ 5 โวลท์ และลอจิกต่ำ "0" เป็นค่าของลอจิกต่ำ (V_L) มีค่าเท่ากับ 0 โวลท์) และจากการทำงานของวงจรชิฟต์รีจิสเตอร์แบบสองทิศทาง 2-สถานะนี้ ซึ่งให้ผลที่เหมือนกับวงจร 3-state PFD ดังนั้นการขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสโดยใช้วงจรชิฟต์รีจิสเตอรร์จำนวน n – สถานะ (n-state) จะทำให้ได้ช่วงคุณสมบัติของวงจรตรวจจับเฟสที่กว้างขึ้นถึง $\pm(n-1)\ \pi$ เรเดียน อย่างไรก็ตามวงจรดังกล่าวจะไม่สามารถตรวจจับสัญญาณอินพุท U และ D ที่เข้ามาพร้อมกันหรือใกล้กันมากๆ ได้ เพราะเนื่องจากการทำงานของวงจรชิฟต์รีจิสเตอร์นั้นจะไม่ส่งค่าลอจิกหนึ่ง (V_H) หรือ shift-up และลอจิกศูนย์ (V_L) หรือ Shift- down ในช่วงเวลาเดียวกันจึงเป็นเหตุให้ต้องสูญเสียสัญญาณอินพุทใดอินพุทหนึ่งไปและจะส่งผลให้เอาท์พุทเกิดค่าผิดพลาดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2 วงจรชิพตรีจิสเตอร์แบบสองทิศทาง 2- สถานะ ซึ่งให้ช่วงคุณสมบัติของวงจรเท่ากับ $\pm 2\pi$ เรเดียนเช่นเดียวกับวงจร 3-state PFD

(ก) โครงสร้างวงจรชิพตรีจิสเตอร์แบบสองทิศทาง 2 สถานะ

(ข) การเปลี่ยนสถานะของสเตท

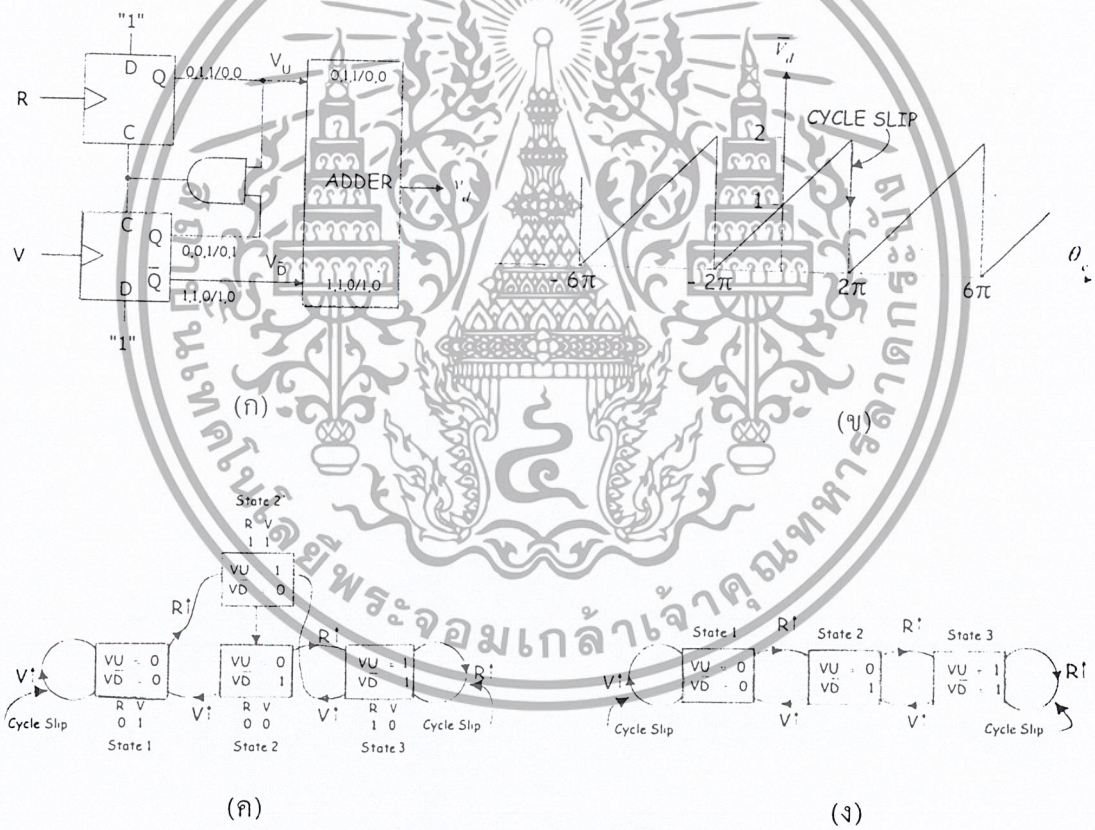
(ค) กราฟแสดงคุณสมบัติของวงจร

6.3 การขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่ด้วยวงจรไซเคิ้ลสลิปดีเทคเตอร์

ในรูปที่ 6.1 จะเป็นโครงสร้างของการขยายช่วงคุณสมบัติวงจรตรวจจับเฟสและความถี่ ที่นำมาใช้ในการออกแบบวงจร โดยที่การทำงานของแต่ละบล็อคนั้นสามารถอธิบายได้ดังนี้ วงจร 3-state PFD จะทำงานในส่วนของการเปรียบเทียบเฟสและความถี่ระหว่างสองสัญญาณอินพุทโดยจะให้แรงดันเอาท์พุท V_d เป็นฟังก์ชันกับค่าของความคลาดเคลื่อนเฟส θ_e และจากที่ได้กล่าวมาแล้วในบทที่ 3 ถึงการเปลี่ยนสถานะของวงจร 3-state PFD ซึ่งจะเกิดขึ้นเมื่อมีการเปลี่ยนแปลงระดับลอจิกจากศูนย์เป็นหนึ่งของสัญญาณที่เข้ามาทางขั้วอินพุท R และ V โดยที่ $R \uparrow$ จะทำให้เกิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การย้ายสถานะไปยังสเตทที่สูงขึ้น ขณะที่ V ↑ ทำให้เกิดการลดสถานะมายังสเตทที่ต่ำกว่า แต่ในทางเป็นจริงแล้ว วงจรตรวจจับเฟสและความถี่แบบ 3-สเตทนั้นจะมีสเตทการทำงานตามสเตทไดอะแกรมที่ถูกต้องแสดงไว้ในรูปที่ 6.2(ค) จะสังเกตว่าวงจรสามารถแก้ปัญหาสัญญาณอินพุทที่เข้ามาพร้อมกันได้ด้วยการคงที่อยู่ในสเตทที่ 2' ที่ให้คู่ลอจิกเอาท์พุท $V_U V_D = 10$ ซึ่งเป็นสภาวะของสเตทชั่วครู่ที่เกิดจากค่า Propagation Delay ของฟลิปฟลอปและลอจิกเกทที่มีค่าน้อยมาก และจะกลับคืนสู่สเตทที่ 2 ที่ให้เอาท์พุท $V_U V_D = 01$ อย่างรวดเร็ว เนื่องจากสเตทที่ 2' และสเตทที่ 2 ต่างก็ให้แรงดันเอาท์พุท $V_d = 1$ ทั้งคู่ ดังนั้นสเตททั้งสองจึงถูกรวมเป็นสถานะของกลุ่มเดียวกัน ด้วยเหตุนี้วงจร 3-state PFD จะมีสเตทเพียงแค่สามสเตท เพียงแค่สามสถานะเท่านั้นที่ให้ค่าเอาท์พุทสภาวะเสถียร



(ค) (ง)

รูปที่6.3 วงจร 3-state PFD กับการเปลี่ยนสถานะของสเตทซึ่งถูกนำมาใช้ร่วมในการออกแบบเป็นวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 6-state

(ก) โครงสร้างของวงจร 3-state PFD

(ข) PD Characteristic ระหว่างค่าเฉลี่ย V_d กับค่าความคลาดเคลื่อนเฟส θ_d

(ค) สเตทไดอะแกรมในการทำงานจริง ๆ ของวงจร 3-state PFD

(ง) สเตทการทำงานทั้งสามสเตทเมื่ออยู่ในสภาวะเสถียร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เอาท์พุทของวงจร 3- state PFD จะบ่งบอกถึงสถานะของสเตทการทำงานที่แตกต่างกัน ได้แต่ลีดส์สเตท (State 3) คือสถานะที่มีขอบขาขึ้นของสัญญาณอินพุท R เข้ามานำหน้าขอบขาขึ้นของสัญญาณอินพุท V เมื่อวงจรทำงานอยู่เซ็นเตอร์-สเตท (State 2) เป็นสถานะเริ่มต้นการทำงานของวงจรและ แล็ก-สเตท (State 1) คือ สถานะที่สัญญาณอินพุท R มีขอบขาขึ้นตามหลังสัญญาณอินพุท V เมื่ออยู่ในเซ็นเตอร์–สเตท ในรูปที่ 6.3 (ก) แสดงโครงสร้างของวงจร 3-state PFD ที่ได้จากการนำเอาลอจิกเอาท์พุท V_D และ V_U ของโครงสร้างพื้นฐานในรูปที่ 6.6 (ข) มาผ่านวงจรบวกสัญญาณ โดย D-Flip-Flops สองตัว จะทำหน้าที่รับสัญญาณอินพุทของแต่ละตัว และจะให้ค่าลอจิกเอาท์พุท (ที่ขา Q) เป็นหนึ่งทุกครั้งที่ฟลิปฟลอปถูกกระตุ้นจากขอบขาขึ้นของสัญญาณอินพุท ขณะเดียวกันวงจรจะสร้างสัญญาณเพื่อไปรีเซตฟลิปฟลอปให้กลับมาอยู่ในสภาวะ เซ็นเตอร์-สเตท (ผ่านมาสเตทที่ $2'$) ซึ่งเป็นสเตทเริ่มต้นเมื่อเอาท์พุทของปลิปฟลอปทั้งสองตัวนี้อยู่ในสถานะเซตขึ้นมาพร้อมๆ กัน คู่ลอจิกเอาท์พุท V_D และ V_U ของวงจร 3-state PFD นั้นจะแสดงค่าออกมาขา Q และ $\ddot{Q}$ ของฟลิปฟลอปตัวแรกและตัวที่สองตามลำดับ ในรูปที่ 4.3 (ข) เป็นกราฟแสดงคุณสมบัติของวงจร 3-state PFD ซึ่งจะให้ค่าอยู่ภายในช่วง $\pm 2\pi$ เรเดียนเท่านั้น



รูปที่6.4 วงจรไซเคิ้ลสลิปดีเทคเตอร์กับการสร้างสัญญาณควบคุมการสลิป

(ก) โครงสร้างของวงจรไซเคิ้ลสลิป

(ข) ไดอะแกรมทางเวลาของการตรวจจับสัญญาณไซเคิ้ลสลิป

ตำแหน่งของวงจรไซเคิ้ลสลิปดีเทคเตอร์ที่อยู่ในรูปที่ 6.1 นั้นจะทำหน้าที่คอยตรวจจับขอบขาขึ้นของสัญญาณอินพุท R ที่ไม่ได้เป็นสาเหตุทำให้วงจร 3-state PFD เปลี่ยนแปลงสเตทเป็นผลทำให้เกิดค่าความต่างเฟส (θ_d) เท่ากับ 2π เรเดียน ซึ่งก็คือสัญญาณไซเคิ้ลสลิปในรูปที่ 6.3 (ง) และ

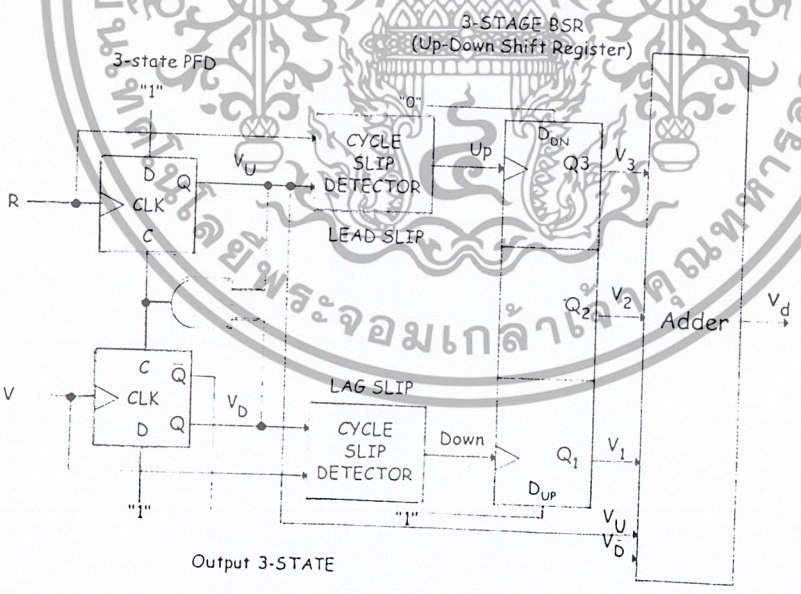
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการตรวจจับสัญญาณดังกล่าวส่งผลให้สถานะของสเตทรวมถึงช่วงคุณสมบัติของวงจร 3-state PFD จาก $\pm 2\pi$ เรเดียนนั้นถูกขยายต่อออกไป ด้วยเหตุนี้วงจรไซเคิ้ลสลิปดีเทคเตอร์จึงเป็นองค์ประกอบที่สำคัญในการขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่ จะสังเกตได้ว่าเมื่อมีขอบขาขึ้นของสัญญาณอินพุท R ที่ทำให้ 3-state PFD เปลี่ยนสถานะของสเตทจากสเตทที่ 1 ไปยังสเตทที่ 2 (ผ่านสเตทที่ 2′) หรือเปลี่ยนสถานะจากสเตทที่ 2 ไปยังสเตทที่ 3 นั้นจะเกิดขอบขาขึ้น (เปลี่ยน-จากลอจิกต่ำ ไปยังลอจิกสูง) ของเอาท์พุทลอจิก V_U ด้วย แต่เมื่อวงจรอยู่ในสเตทที่ 3 การปรากฏขอบขาขึ้นของสัญญาณอินพุท R (สัญญาณไซเคิ้ลสลิป) จะไม่เป็นสาเหตุทำให้มีการเปลี่ยนแปลงสถานะของสเตทอีกและจะไม่เกิดขอบขาขึ้นของเอาท์พุทลอจิก V_U เช่นกัน ดังนั้น “การสลิป” ก็คือการที่ขอบขาขึ้นของสัญญาณอินพุท R ไม่สอดคล้องกับการเกิดขอบขาขึ้นของเอาท์พุทลอจิก V_U ดังรูปที่ 6.4 (ข) วงจรไซเคิ้ลสลิปดีเทคเตอร์จะประกอบด้วยส่วนที่เป็นลีดส์-สลิปดีเทคเตอร์ ซึ่งจะสร้างสัญญาณ UP เมื่อไซเคิ้ลของขอบขาขึ้น R นำไซเคิ้ลของ V มากกว่าหนึ่งไซเคิ้ล และแล็ก-ไซเคิ้ลดีเทคเตอร์ สำหรับสร้างสัญญาณ Down เมื่อขอบขาขึ้น R ตามหลังไซเคิ้ลของของขาขึ้น V มากกว่า หนึ่งไซเคิ้ล โดยภายในวงจรไซเคิ้ลสลิปดีเทคเตอร์ทั้งสองตัวนั้นจะมีวงจรฐานเวลาดังในรูปที่ 6.4 (ก) ที่ถูกกำหนดให้เริ่มต้นการทำงานเมื่อปรากฏขอบขาขึ้นของสัญญาณอินพุท R หรือ V และจะสร้างสัญญาณไทม์-เอาท์ (x) ที่เป็นสัญญาณแซมเปิ้ลหลังจากถึงช่วงเวลาที่กำหนดไว้ (T) ซึ่งก็คือค่าเวลาการหน่วงของสัญญาณอินพุท หลักการทำงานของวงจรไซเคิ้ลสลิปดีเทคเตอร์นั้นก็คือ เมื่อปรากฏขอบขาขึ้นของเอาท์พุทลอจิก V_i หรือ (V_d) จากวงจร 3-state PFD จะทำให้อินพุทฟลิปฟลอปของไซเคิ้ลสลิปดีเทคเตอร์อยู่ในสถานะเซต ดังนั้นสัญญาณ Z ที่ขาเอาท์พุท Q ของฟลิปฟลอปตัวแรกจึงมีค่าเป็นลอจิกสูงและจะถูกรีเซตด้วยการแซมเปิ้ลของสัญญาณไทม์-เอาท์ ที่ค่าเวลาการหน่วง T โดยผลที่ได้จากการแซมเปิ้ลนี้จะแสดงออกมาที่ขาเอาท์พุทคอมพลีเม้นท์ของฟลิปฟลอปตัวสุดท้ายในวงจรไซเคิ้ลสลิปดีเทคเตอร์ที่จะทำงานพร้อมกับการเกิดสัญญาณไทม์-เอาท์ซึ่งถ้าพบว่าสัญญาณ Z ที่ขาดาต้า–อินพุท (ขา D) ของฟลิปฟลอป เป็นค่าลอจิกสูงอยู่สัญญาณ V ที่ขาเอาท์พุทคอมพลีเม้นท์ Q ของฟลิปฟลอปก็จะถูกเปลี่ยนสถานะจากค่าของลอจิกสูงนั้นให้กลายมาเป็นค่าของลอจิกต่ำเพระผลจากการรีเซตอินพุทฟลิปฟลอปด้วยสัญญาณไทม์-เอาท์นั่นเอง แต่ถ้าการแซมเปิ้ลสัญญาณ Z ด้วยสัญญาณไทม์-เอาท์ พบว่ามีค่าเป็นลอจิกต่ำอันเนื่องมาจากสัญญาณ Z ได้ถูกรีเซตไปก่อนหน้านี้แล้ว สัญญาณ V_S ที่ขาเอาท์พุทคอมพลีเม้นท์ Q ก็จะเปลี่ยนสถานะมาเป็นลอจิกสูงแทนซึ่งแสดงว่าไม่มีขอบขาขึ้นของเอาท์พุทลอจิก V_U (หรือ V_D) เกิดขึ้นพร้อมกันกับขอบขาขึ้นของสัญญาณที่ขั้วอินพุท R (หรือ V) และเกิดเป็นสัญญาณไซเคิ้ลสลิปในวงจร 3-state PFD ที่ค่าของความต่างเฟส θ_d เท่ากับ 2π เรเดียน วงจรก็จะสร้างสัญญาณพัลส์ UP (หรือ Down) ที่ขาเอาท์พุทของคอมพลีเม้นท์ Q ของฟลิปฟลอปตัวสุดท้ายขึ้นมาดังในรูปที่ 6.4 (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนสุดท้ายของโครงสร้างการขยายช่วงคุณสมบัติของวงตรตรวจจับเฟสและความถี่ที่แสดงในรูปที่ 6.1 นั้นจะเป็นวงจรชิฟต์รีจิสเตอร์สองทิศทาง (Shift UP/Shift Down) ดังที่ได้อธิบายเอาไว้ในหัวข้อ 6.2 จำนวนสถานะ (n-state) ของวงจรชิฟต์รีจิสเตอร์สองทิศทางนี้จะทำให้วงจรตรวจจับเฟสและความถี่ที่ได้มีช่วงคุณสมบัติของวงจร และสถานะของสเตทการทำงานเพิ่มขึ้นด้วย ดังนั้นการเพิ่มสถานะให้กับวงจรตรวจจับเฟสเพื่อขยายช่วงคุณสมบัติของวงจรจะถูกกระทำที่วงจรชิฟต์รีจิสเตอร์นี้เท่านั้น ซึ่งในที่นี้วงจรชิฟต์รีจิสเตอร์แบบสองทิศทางจะไม่ตอบสนองต่อสัญญาณอินพุทที่เข้ามาพร้อมกัน เพราะเนื่องจากไซเคิ้ลสลิปที่จะไปสร้างสัญญาณอินพุท UP และ Down ให้กับวงจรชิฟต์รีจิสเตอร์แบบ Shift-Up และ Shift-Down นั้นจะไม่เกิดขึ้นในช่วงเวลาเดียวกัน ด้วยเหตุนี้การสูญเสียสัญญาณอินพุทใดอินพุทหนึ่งเมื่อปรากฏเข้าพร้อมกัน ดังที่กล่าวไว้ในหัวข้อ 6.2 จะไม่เกิดขึ้น ในส่วนของวงจรบวกสัญญาณ (Adder) จะทำหน้าที่รวมสัญญาณจากเอาท์พุท 3-state PFD และเอาท์พุทของวงจรชิฟต์รีจิสเตอร์เข้าด้วยกัน โดยสัญญาณที่ได้ (V_D) จากการรวมนี้จะมีลักษณะเป็นสเต็ปแรงดันที่เกิดจากผลของการบวกสัญญาณลอจิกดังจะเห็นได้จากรูปที่ 6.7

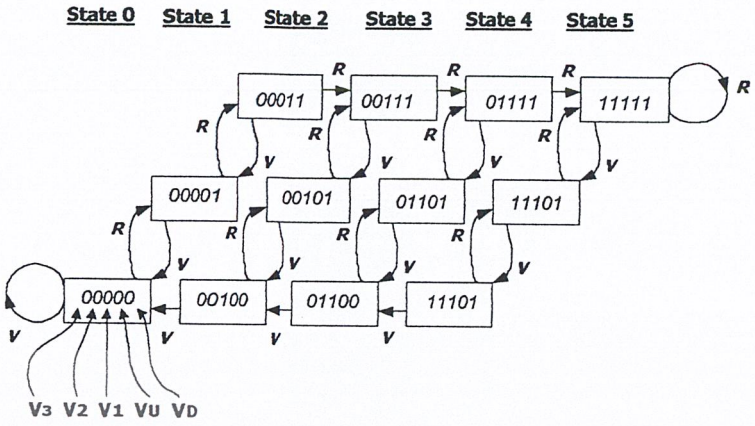
6.4 การออกแบบและทดสอบวงจร 6-state PFD ด้วย Pspice



(ก)

รูปที่ 6.5 แสดง Schematic ของวงจร 6-state PFD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

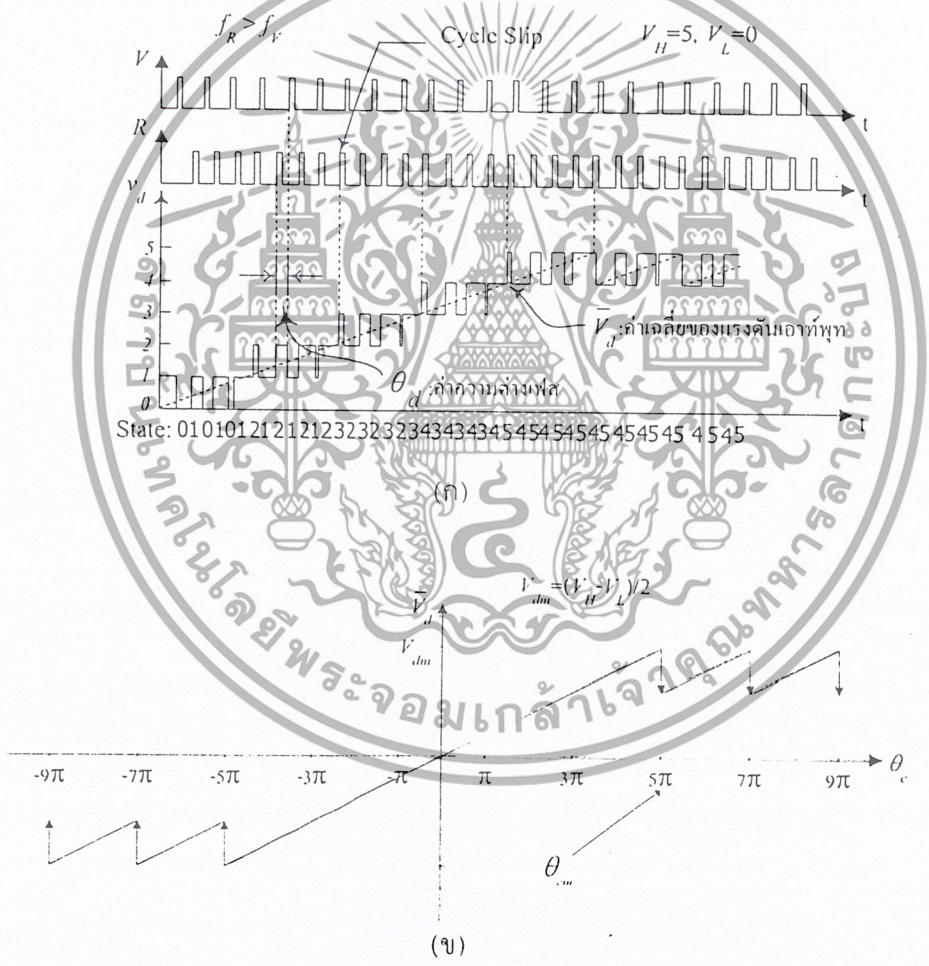


รูปที่ 6.6 แสดงสเตทไดอะแกรมของการทำงานเมื่อปรากฏสัญญาณอินพุทเข้ามา

เพื่อให้ช่วยให้เข้าใจถึงวิธีการที่นำเสนอในรูปที่ 6.5 เป็นการออกแบบวงจรตรวจจับเฟสและความถี่ที่มีลักษณะเป็น 6 สเตท ตามบล็อคไดอะแกรมของวงจรในรูปที่ 6.1 ซึ่งการเปลี่ยนแปลงสถานะของสเตทนั้นจะเป็นไปตามสเตทไดอะแกรมของรูปที่ 6.6 ที่แสดงให้เห็นว่าทุก ๆ สัญญาณอินพุทอ้างอิง R ที่เข้ามาจะให้วงจรเลื่อนไปข้างหน้าทีละหนึ่งสเตทและเป็นผลให้เอาท์พุท V_d มีจำนวนของลอจิก 1 เพิ่มขึ้น ทำนองเดียวกันสัญญาณอินพุท V ที่ต้องการจะเปรียบเทียบเฟสและความถี่กับสัญญาณที่อ้างอิงจะทำให้วงจรลดสถานะของสเตทมาหนึ่งสเตท เป็นผลให้เอาท์พุท V_d มีจำนวนของลอจิก "1" ลดลง โดยที่การเปลี่ยนสเตทไปตามแนวตั้งทั้งหมด จะขึ้นกับฟังก์ชันการทำงานของวงจร 3-state PFD ขณะที่การเปลี่ยนสเตทไปตามแนวนอนทั้งหมดจะเป็นผลจากการเกิดสัญญาณไซเคิ้ลสลิป และเมื่อนำสเตทต่างๆ ที่มีจำนวนของลอจิก "1" เท่ากัน มารวมเป็นสถานะของกลุ่มเดียวกัน เช่นใน state ที่ 2 ประกอบด้วย 000010 , 000101 , 001100 วงจรจะมีสถานะของการเปลี่ยนแปลงสเตทได้ทั้งหมด 6 สเตท สำหรับการทำงานของวงจรนั้นจะสามารถทำงานได้เป็นทั้งวงจรตรวจจับเฟสและตรวจจับความถี่ ซึ่งถ้าสัญญาณอินพุท R อ้างอิงที่เข้ามา มีความถี่ไม่เท่ากับสัญญาณ V ดังรูปที่ 6.7 (ก) วงจร 3-state จะทำหน้าที่เหมือนเป็นตัวเปรียบเทียบความถี่ซึ่งในกรณีนี้สัญญาณอินพุท R อ้างอิงที่เข้ามา มีความถี่สูงกว่า สัญญาณ อินพุท V จึงให้แรงดันเอาท์พุท V_d และค่าความต่างเฟส ระหว่างสองสัญญาณอินพุทมีค่าเพิ่มขึ้นไปเรื่อยๆ จนปรากฏขอบของสัญญาณอินพุทอ้างอิง R เข้ามาสองครั้งโดยไม่มีการแทรกของขอบขาขึ้นของสัญญาณอินพุท V ที่ เอาท์พุท V_u V_D = *11* ใน state ที่ 3 ของ 3-state PFD ซึ่งก็คือสัญญาณไซเคิ้ลสลิปทำให้ค่า θ_d มีค่าเท่ากับ 2π เรเดียน วงจรลีดส์–สลิปดีเทคเตอร์ ซึ่งคอยตรวจจับไซเคิ้ลของสัญญาณนี้ก็จะสร้างสัญญาณ Up ให้กับวงจรชิฟต์รีจิสเตอร์เพื่อส่งค่าลอจิก "1" (Shift Up) มายังสเตทด้านล่าง (D_{up}) ของวงจรตามการทำงานของไซเคิ้ลสลิปดีเทคเตอร์ดังที่ได้กล่าวมาแล้วในหัวข้อที่ 6.3 ทำให้จำนวนของลอจิก "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และสเต็ปของแรงดันเอาท์พุท V_d ที่วงจรบวกสัญญาณมีค่าเพิ่มขึ้น พร้อมๆ กับจำนวนของสถานะของสเตทที่สูงขึ้นมาอีกหนึ่งสเตท ในทำนองเดียวกันกับการเกิดสัญญาณไซเคิ้ลสลิปที่เอาท์พุท $V_u V_D$ = 00 ของวงจร 3-state PFD เมื่อความถี่ของอินพุท V มีมากกว่าอินพุทอ้างอิง R ก็จะเป็นสาเหตุให้วงจรแล็ก-สลิปดีเทคเตอร์ สร้างสัญญาณ Down และส่งค่าลอจิก "0" (Shift Down) เข้ามายัง State ด้านบน (D_{DN}) ของวงจรชิฟต์รีจิสเตอร์และเป็นผลให้มีการลดจำนวนลอจิก "1" และสถานะของสเตทลง ดังนั้นเมื่อความถี่ระหว่างสองสัญญาณอินพุทมีค่าไม่เท่ากันการทำงานของวงจรก็จะเปรียบเสมือนเป็นตัวตรวจจับความถี่ที่คอยตรวจจับสัญญาณไซเคิ้ลสลิปที่ปรากฏขึ้น เมื่อ



รูปที่ 6.7 สัญญาณเอาท์พุทเมื่อวงจรทำงานเป็นตัวตรวจจับความถี่ที่ $f_R > f_V$ และกราฟแสดงคุณสมบัติของวงจร 6- state PFD

(ก) สเต็ปแรงดันเอาท์พุท VD ที่เพิ่มขึ้นเมื่อเกิดไซเคิ้ลสลิปที่วงจร 3- state PFD

(ข) คุณสมบัติของวงจร 6-state PFD ที่ให้ค่าถึง $\pm 5\pi$ เรเดียน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความต่างเฟสมีค่าเท่ากับ 2π เรเดียน และจะเป็นผลให้วงจรมีสถานะของสเตทและช่วงคุณสมบัติของวงจรกว้างขึ้นได้ตามต้องการ

ในกรณีที่ความถี่ของสองอินพุท R และ V มีค่าเท่ากันแต่มีเฟสที่ต่างกัน การปรากฏสัญญาณไซเคิ้ลสลิปในวงจร 3-state PFD ก็จะไม่เกิดขึ้น ดังนั้นวงจรจึงทำหน้าที่เปรียบเสมือนเป็นตัวตรวจจับเฟสที่ให้แรงดันเอาท์พุท V_d ตามค่าความต่างเฟสอยู่ภายในช่วง $\pm 2\pi$ เรเดียนเท่านั้น รูปที่ 6.7 (ข) เป็นกราฟแสดงคุณสมบัติของวงจรเฟสดีเทคเตอร์ (PD Characteristic) ระหว่างค่าเฉลี่ย (V_d) ของแรงดันเอาท์พุท V_d กับค่าความคลาดเคลื่อนเฟส θ_e ซึ่งจะให้ช่วงคุณสมบัติของวงจรได้ถึง $\pm 5\pi$ เรเดียน จากการทำงานเป็นตัวตรวจจับความถี่ ($f_R > f_V$) ด้วยการตรวจจับสัญญาณไซเคิ้ลสลิปที่วงจร 3-state PFD โดยวงจรไซเคิ้ลสลิปดีเทคเตอร์ และจะเกิดขึ้นเมื่อค่าความต่างเฟส (θ_d) ระหว่างสองสัญญาณอินพุทมีค่าเท่ากับ 2π เรเดียน ซึ่งจากกราฟคุณสมบัติของวงจร 6-state PFD ทำให้ได้ค่าสูงสุดของความคลาดเคลื่อนเฟส θ_{em} ดังสมการที่ 6.1 คือ

$$\theta_{em} = (n-1)\pi \qquad (6.1)$$

จากสมการที่ 6.1 เมื่อ n คือ สถานะของสเตทซึ่งถ้า n>3 แล้ววงจรจะทำงานเป็นวงจรตรวจจับความถี่ (*Frequency Detector*) ดังนั้นวงจร 6-state PFD จะให้ค่าความคลาดเคลื่อนเฟสได้สูงสุดเท่ากับ 5π เรเดียน (n = 6) และมีช่วงคุณสมบัติของวงจรที่กว้างขึ้นถึง $\pm 5\pi$ เรเดียน เมื่อวงจรทำงานเป็นตัวตรวจจับความถี่ จากรูปที่ 6.7 (ข) ทำให้ได้อัตราขยาย (PD Gain) ของวงจร 6- state PFD ดังสมการที่ (6.2)

$$K_d = \frac{V_{dm}}{\theta_{em}} = \frac{V_H - V_L}{(n-1)2\pi} \qquad (6.2)$$

เมื่อ V_{dm} ค่าสูงสุดของค่าเฉลี่ย V_d ซึ่งมีค่าเท่ากับ $V_{dm} = (V_H - V_L) / 2$ ดังนั้นวงจร 6-state PFD จะให้อัตราขยาย $K_d = (V_H - V_L) / 10\pi$ จากกราฟแสดงคุณสมบัติของวงจร 6- state PFD ในรูปที่ 6.7 (ข) จะสังเกตว่าเมื่อ θ_e มีค่าเพิ่มมากขึ้นเกินช่วง 5π และลดลงเกินช่วง -5π เรเดียนไปแล้ววงจรจะให้ค่า อยู่ไม่เกินช่วง 2π และ -2π เรเดียน เพราะเนื่องจากช่วงนี้วงจรจะทำงานเหมือนกับวงจร 3-state PFD ที่จะมีการเปลี่ยนแปลงสถานะเพียงสองสเตทเท่านั้น ระหว่างState 6 สลับกับ State 5 และ State 2 สลับกับ state 1

สำหรับวงจรที่ใช้ในการทดสอบตามวิธีการที่ได้นำเสนอนี้จะแสดงในรูปที่ 6.8 ซึ่งเป็นการเลียนแบบวงจร 6-state PFD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.8 วงจร 6-state PFD ที่ใช้ในการซิมมูเลทด้วยโปรแกรม PSPICE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

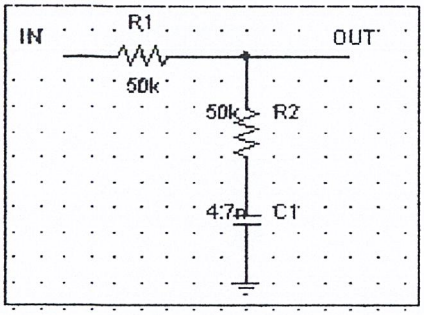
บทที่7
การทดลองและผลการทดลอง

ในส่วนของการทดลองนั้นจะเป็นการเปรียบเทียบประสิทธิภาพในการตรวจจับเฟสและความถี่ของวงจรตรวจจับเฟสแบบไอซีสำเร็จรูปเบอร์ MC4046 กับที่สร้างขึ้นจากไมโครคอนโทรลเลอร์ โดยจะทำการวัดที่สัญญาณอินพุทของ VCO เนื่องจากสัญญาณนี้อยู่ในรูปของ DC Voltage จึงทำให้สามารถเปรียบเทียบประสิทธิภาพของตัวตรวจจับเฟสและความถี่ของทั้งสองแบบในด้านความกว้างของย่านความถี่สามารถตรวจจับได้ และผลตอบสนองชั่วขณะของระบบโดยการเปลี่ยนสัญญาณอินพุทจากความถี่หนึ่งไปยังความถี่หนึ่ง (Step Input) รวมทั้งศึกษาผลของวงจรกรองความถี่และสัญญาณรบกวนที่เข้ามาในระบบ ซึ่งมีขั้นตอนการทดลองดังนี้

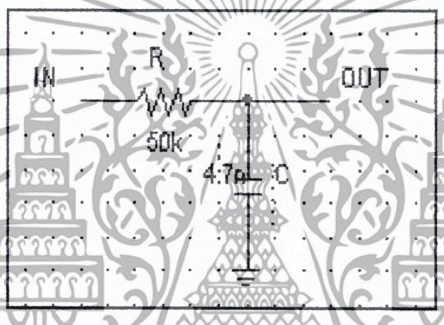
7.1 ขั้นตอนการทดลอง

1. ทดลองใช้วงจรกรองความถี่ชนิดที่ 1 (ดังรูปที่ 7.1) แล้วทำการเปรียบเทียบผลตอบสนองชั่วขณะของระบบเฟสล็อกลูปที่ใช้วงจรตรวจจับเฟสแบบไอซีสำเร็จรูป กับที่สร้างขึ้นจากไมโครคอนโทรลเลอร์ โดยวัดสัญญาณที่ VCOin
2. เปลี่ยนชนิดของวงจรกรองความถี่เป็นชนิดที่ 2 (ดังรูปที่ 7.2) แล้วทำการทดลองดังเช่นการทดลองข้อที่ 1
3. ทดลองและเปรียบเทียบย่านความถี่ที่สามารถตรวจจับได้ ของวงจรตรวจจับเฟสแบบไอซีสำเร็จรูปเบอร์ MC4046 กับที่สร้างขึ้นจากไมโครคอนโทรลเลอร์ โดยการปรับความถี่ที่สัญญาณความถี่อ้างอิงแล้วบันทึกย่านความถี่ที่สามารถล็อคได้
4. เปลี่ยนวงจร VCO เป็นมอเตอร์ และเอ็นโคดเดอร์ โดยใช้วงจรกรองความถี่ดังรูปที่ 7.3 แล้วทำการเปรียบเทียบผลตอบสนองชั่วขณะของระบบ และย่านความถี่ที่สามารถตรวจจับได้กับวงจร VCO เดิม
5. ทดลอง และเปรียบเทียบประสิทธิภาพในการกำจัดสัญญาณรบกวนที่เข้ามาทางสัญญาณอินพุท และ VCOin ของวงจรตรวจจับเฟสแบบไอซีสำเร็จรูป และแบบที่สร้างขึ้นจากไมโครคอนโทรลเลอร์
6. เปลี่ยนวงจรตรวจจับเฟสที่สร้างขึ้นจากไมโครคอนโทรลเลอร์เป็นแบบ 6-state แล้วทำการทดลองและเปรียบเทียบดูประสิทธิภาพ กับวงจรตรวจจับเฟสแบบ 3-state

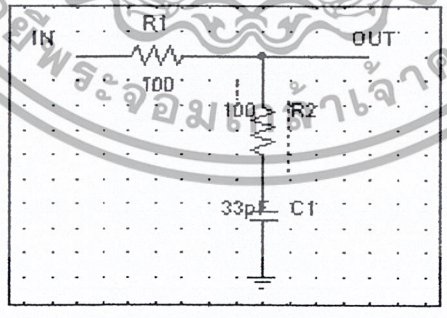
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.1 แสดงชนิดของวงจร Filter แบบที่ 1



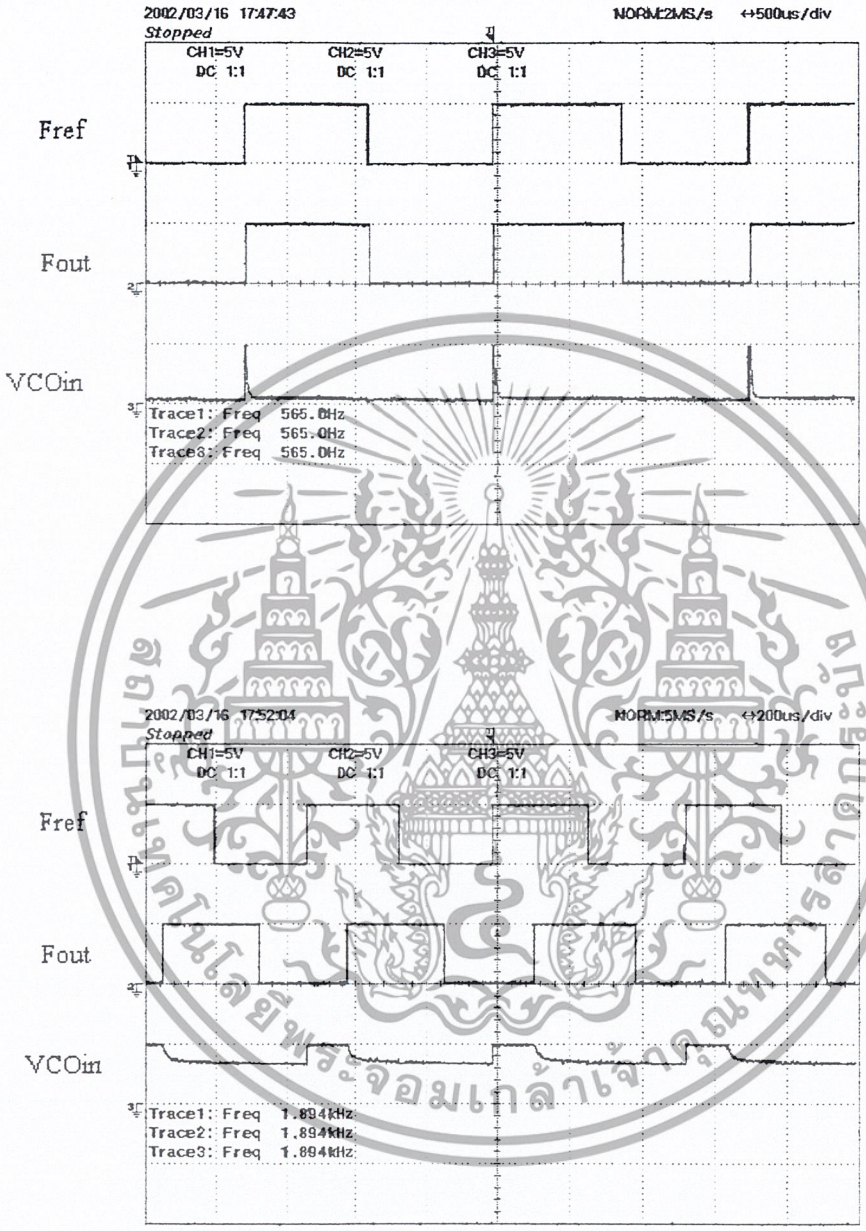
รูปที่ 7.2 แสดงชนิดของวงจร Filter แบบที่ 2



รูปที่ 7.3 แสดงชนิดของวงจร Filter สำหรับวงจรที่ใช้มอเตอร์แทน VCO

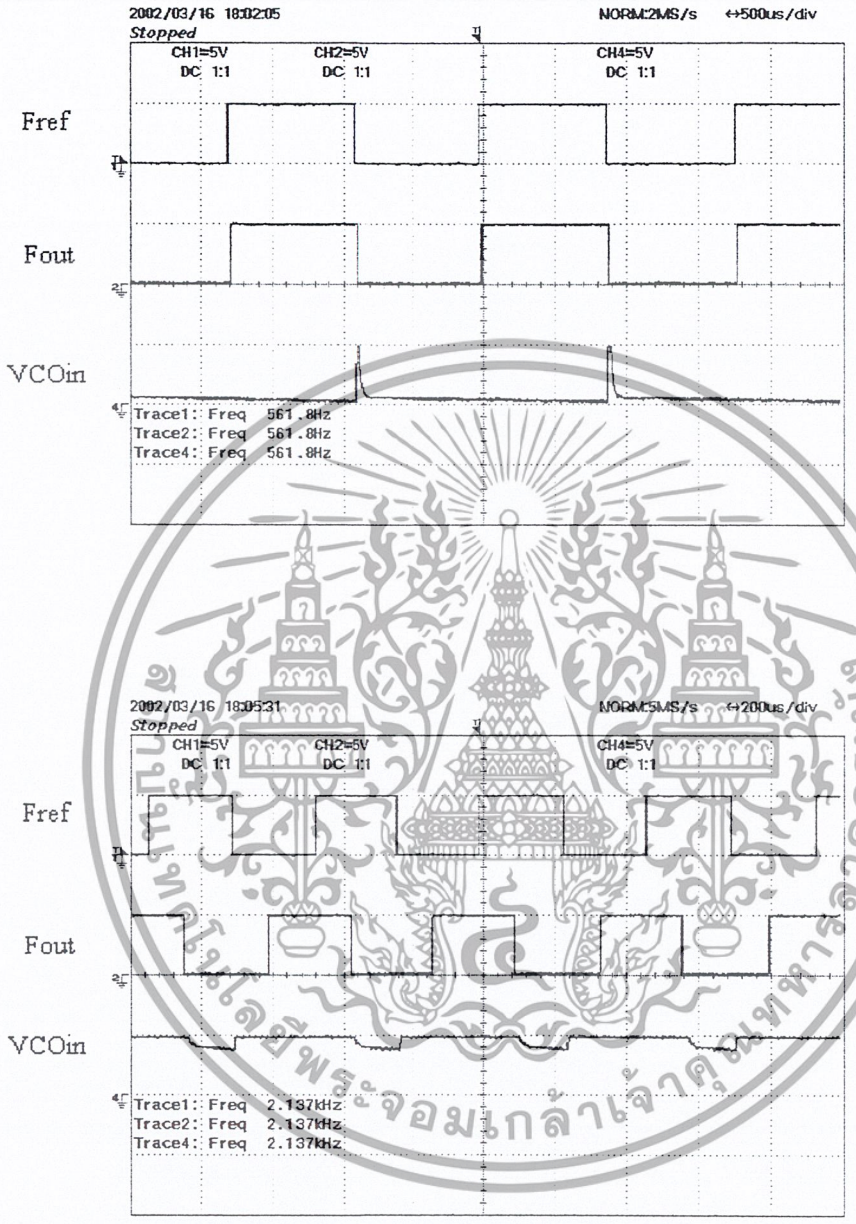
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2 ผลการทดลอง



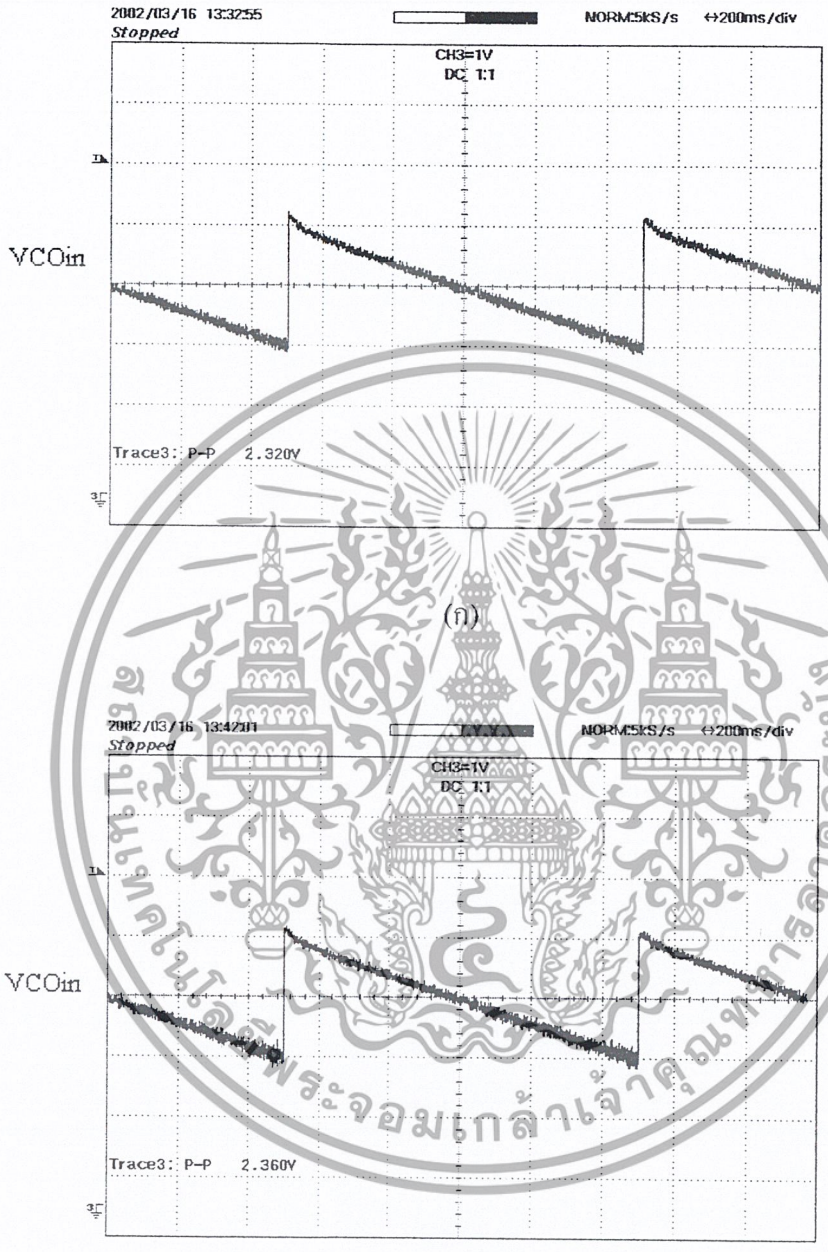
รูปที่ 7.4 แสดงลักษณะการตรวจจับสัญญาณของไอซีเบอร์ MC4046 ที่ความถี่ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



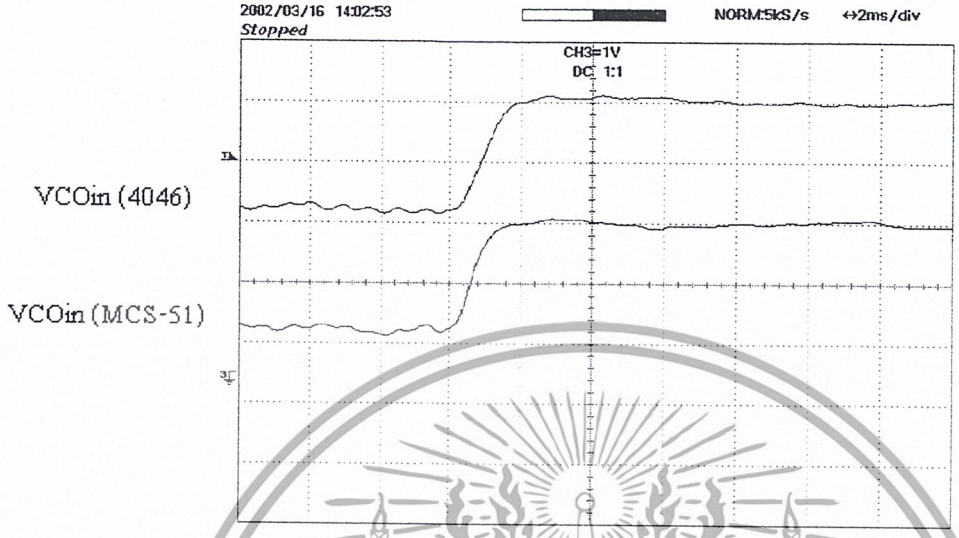
รูปที่ 7.5 แสดงลักษณะการตรวจจับสัญญาณของวงจรตรวจจับความถี่ที่ใช้ MCS-51 แบบ 3-state ที่ความถี่ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.6 แสดงการเปรียบเทียบย่านความถี่ที่สามารถตรวจจับได้ (เมื่อใช้ Filter ชนิดที่1)
โดยการปรับค่าความถี่ของสัญญาณอ้างอิงระหว่าง 2,220 Hz – 1,150 Hz
(ก) ย่านความถี่ที่สามารถตรวจจับได้ของ MC 4046
(ข) ย่านความถี่ที่สามารถตรวจจับได้ของไมโครคอนโทรลเลอร์แบบ 3-สเตท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

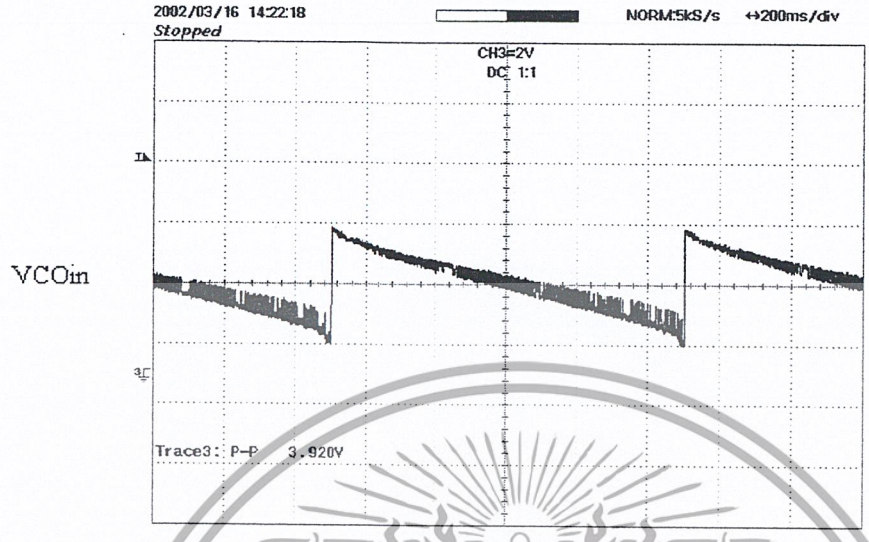


รูปที่ 7.7 แสดงการเปรียบเทียบผลตอบสนองชั่วขณะของวงจรตรวจจับเฟสแบบไอซีสำเร็จรูป MC4046 กับที่สร้างขึ้นจากไมโครคอนโทรลเลอร์ (เมื่อใช้ Filter ชนิดที่ 1) โดยการสเตปความถี่ที่สัญญาณอ้างอิงจาก 1.3kHz – 2.2 kHz

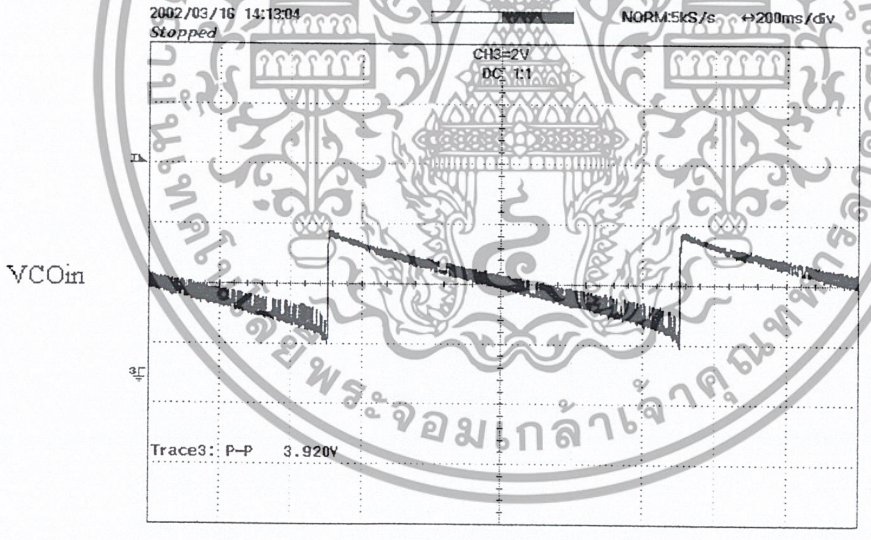
ตารางที่ 7.1 แสดงผลการเปรียบเทียบผลการตอบสนองของระบบ (เมื่อใช้ Filter ชนิดที่ 1)

PFD	ไอซีเบอร์ MC4046	MCS-51 แบบ 3 สเตท
Locked Range	2.22 kHz – 1.15 kHz	2.22 kHz – 1.15 kHz
Capture Range	2.22 kHz – 1.15 kHz	2.22 kHz – 1.15 kHz
Kd	0.185	0.188
Rise Time	1.2 ms	1 ms
Setting Time	8 ms	5.6 ms
Mp	6 %	6%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



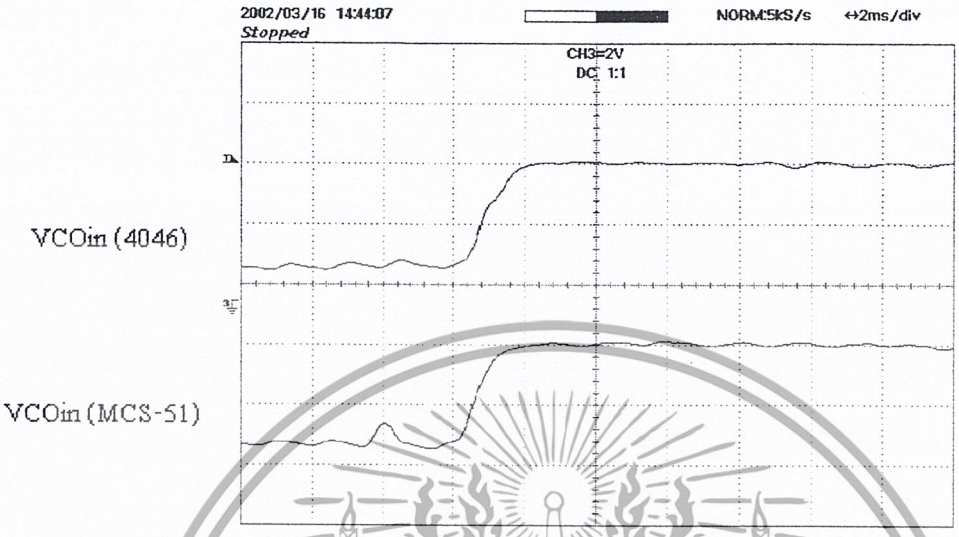
(ก)



(ข)

รูปที่ 7.8 แสดงการเปรียบเทียบย่านความถี่ที่สามารถตรวจจับได้ (เมื่อใช้ Filter ชนิดที่2)
โดยการปรับค่าความถี่ของสัญญาณอ้างอิงระหว่าง 2,220 Hz – 565 Hz
(ก) ย่านความถี่ที่สามารถตรวจจับได้ของ MC 4046
(ข) ย่านความถี่ที่สามารถตรวจจับได้ของไมโครคอนโทรลเลอร์แบบ 3-สเตท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

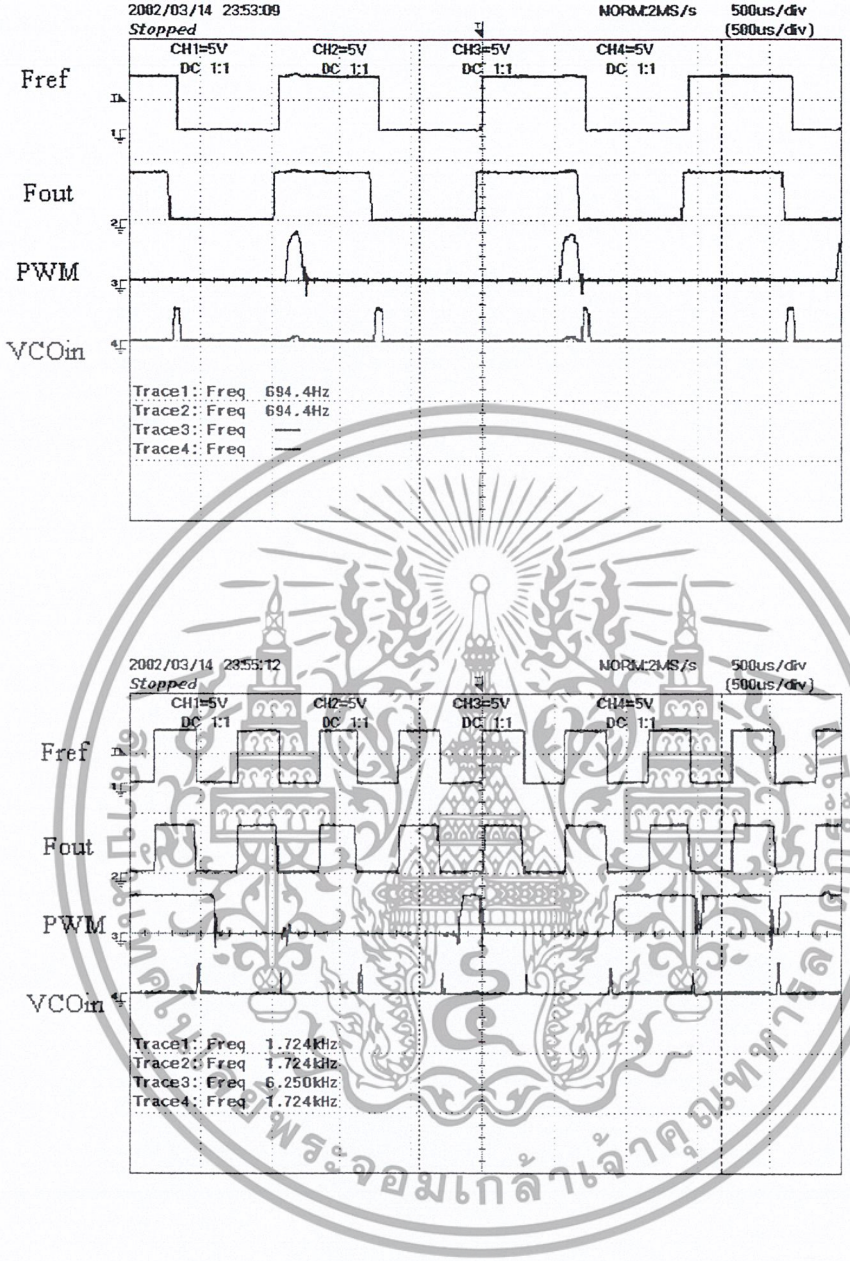


รูปที่ 7.9 แสดงการเปรียบเทียบผลตอบสนองชั่วขณะของวงจรตรวจจับเฟสแบบไอซีสำเร็จรูป MC4046 กับที่สร้างขึ้นจากไมโครคอนโทรลเลอร์ (ใช้ Filter ชนิดที่ 2) โดยการสเตปความถี่ที่สัญญาณอ้างอิงจาก 600Hz – 2.2 kHz

ตารางที่ 7.2 แสดงผลการเปรียบเทียบผลการตอบสองของระบบ (เมื่อใช้ Filter ชนิดที่ 2)

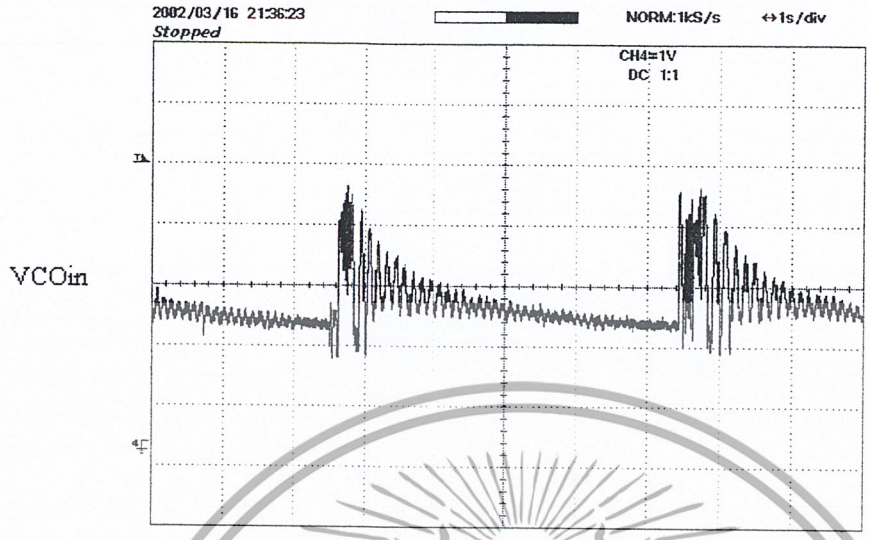
PFD	ไอซีเบอร์ MC4046	MCS-51 แบบ 3 สเตท
Locked Range	565 Hz – 2.22 kHz	565 Hz – 2.22 kHz
Capture Range	565 Hz – 2.22 kHz	565 Hz – 2.22 kHz
Kd	0.312	0.312
Rise Time	1.2 ms	1 ms
Setting Time	4.6 ms	3.6 ms
Mp	2.56 %	1.28 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

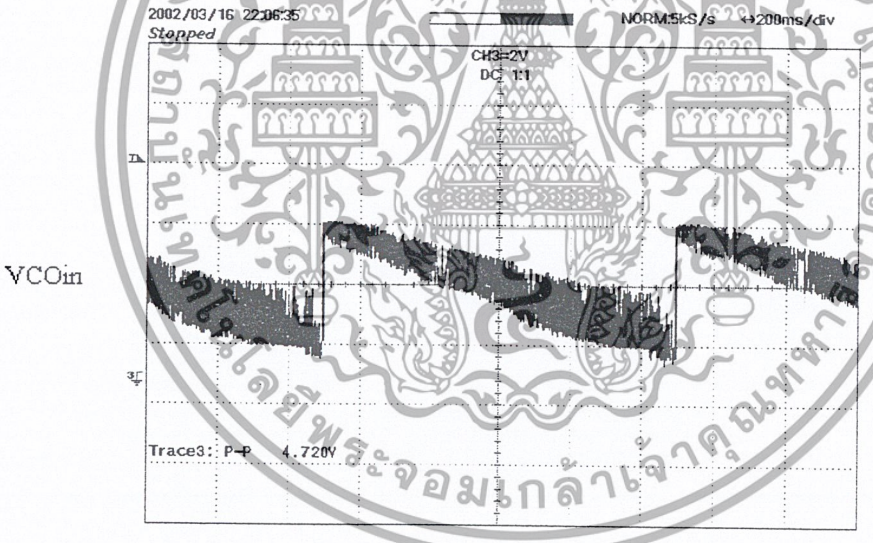


รูปที่ 7.10 แสดงลักษณะการตรวจจับสัญญาณของวงจรตรวจจับความถี่ที่ใช้ MCS-51 แบบ 3-state ที่ความถี่ต่างๆ เมื่อใช้มอเตอร์แทนวงจร VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



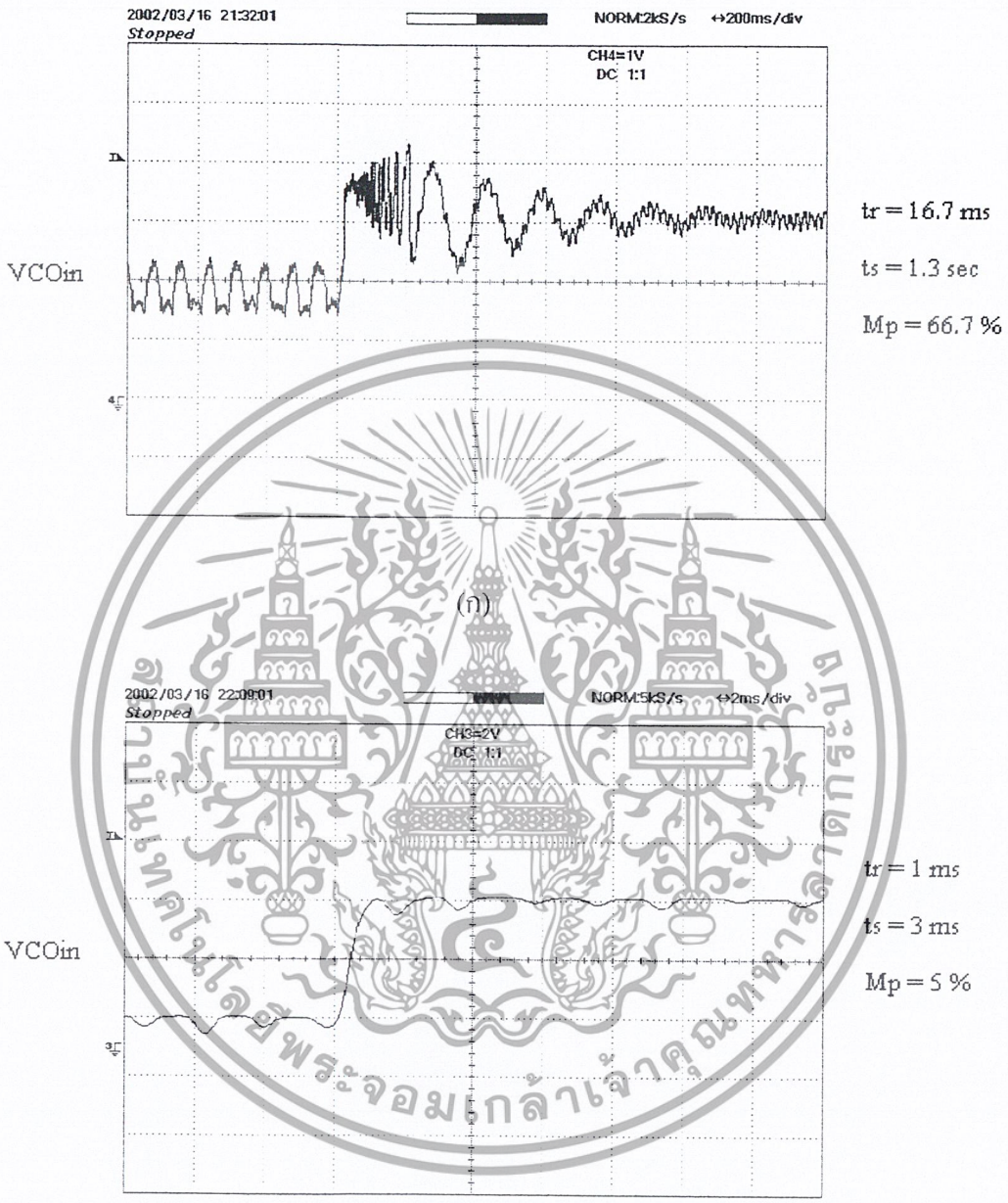
(ข)

รูปที่ 7.11 แสดงการเปรียบเทียบย่านความถี่ที่สามารถตรวจจับได้ โดยใช้ Filter ดังรูปที่ 7.3

(ก) เมื่อใช้มอเตอร์แทนวงจร VCO โดยการปรับค่าความถี่ของสัญญาณอ้างอิง ระหว่าง 1.95 kHz – 1.6 kHz

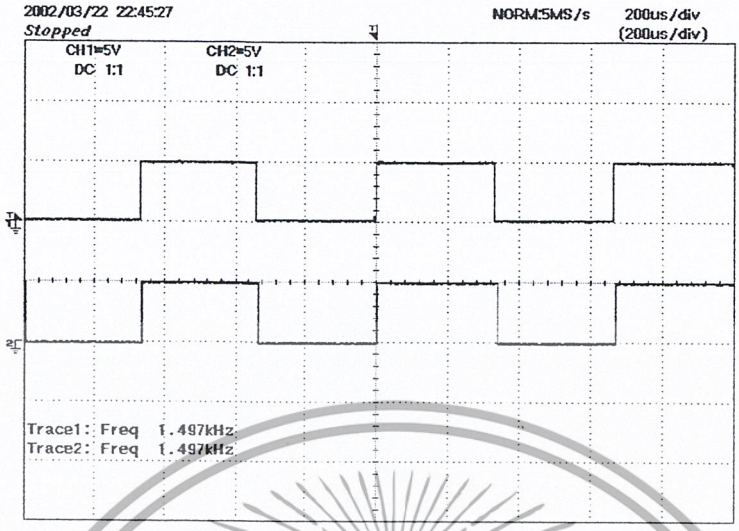
(ข) เมื่อใช้ VCO ตามเดิมโดยการปรับค่าความถี่ของสัญญาณอ้างอิง ระหว่าง 2,245 Hz – 570 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

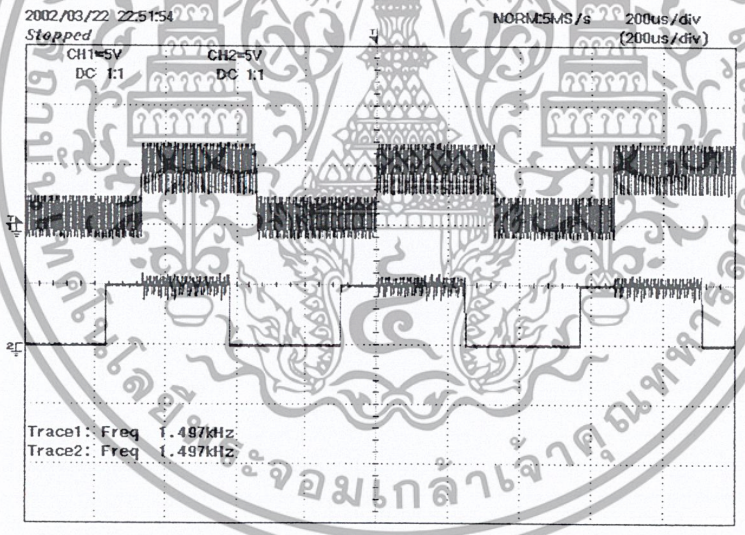


รูปที่ 7.12 (ก) แสดงผลตอบสนองชั่วขณะของระบบเมื่อใช้มอเตอร์แทน VCO (ใช้ Filter ดังรูปที่ 7.3) โดยการสเตปความถี่ที่สัญญาณอ้างอิงจาก 1.6 kHz – 1.95 kHz
(ข) แสดงผลตอบสนองชั่วขณะของระบบเมื่อใช้ VCO ตามเดิม (ใช้ Filter ดังรูปที่ 7.3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



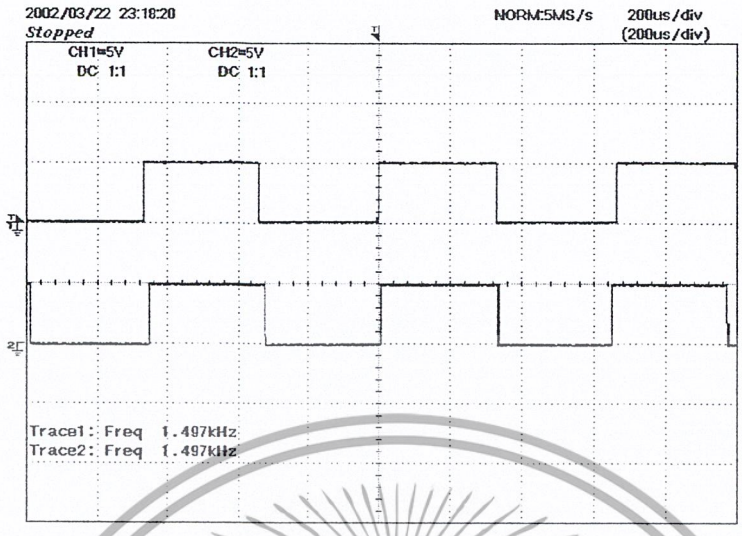
(ข)

รูปที่ 7.13 แสดงลักษณะการตรวจจับเฟสและความถี่ ของไอซีสำเร็จรูปเบอร์ MC4046 ที่ความถี่ 1.497 kHz

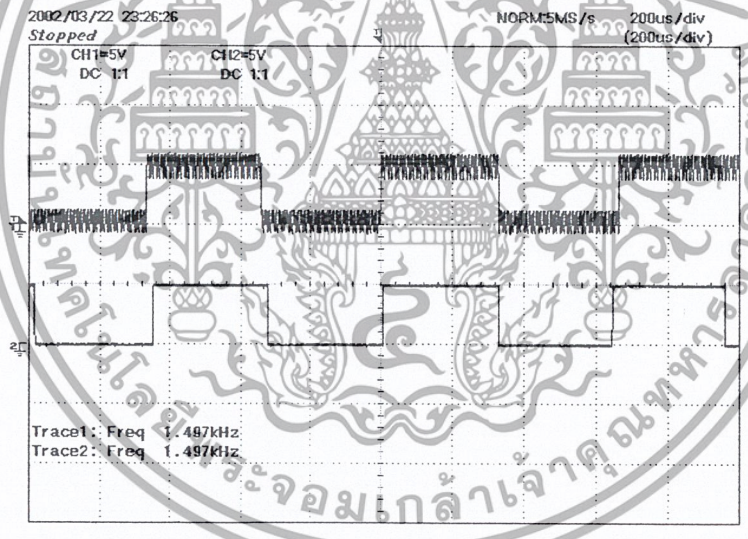
ก) เมื่อไม่มีสัญญาณรบกวน

ข) เมื่อมีสัญญาณรบกวนรูป Sin wave 100 kHz ขนาด 4.5 Vpp เข้ามากับความถี่อ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



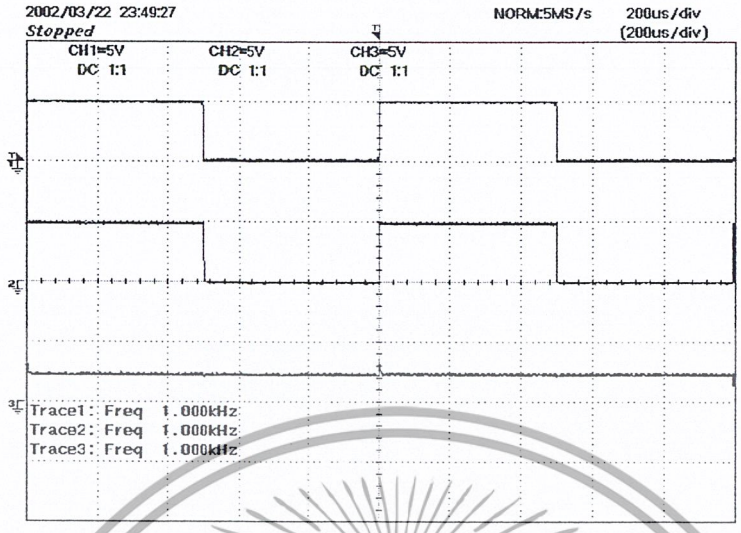
(ข)

รูปที่ 7.14 แสดงลักษณะการตรวจจับเฟสและความถี่ ของวงจรตรวจจับสัญญาณความถี่ ที่ใช้ MCS-51 แบบ 3-state ที่ความถี่ 1.497 kHz

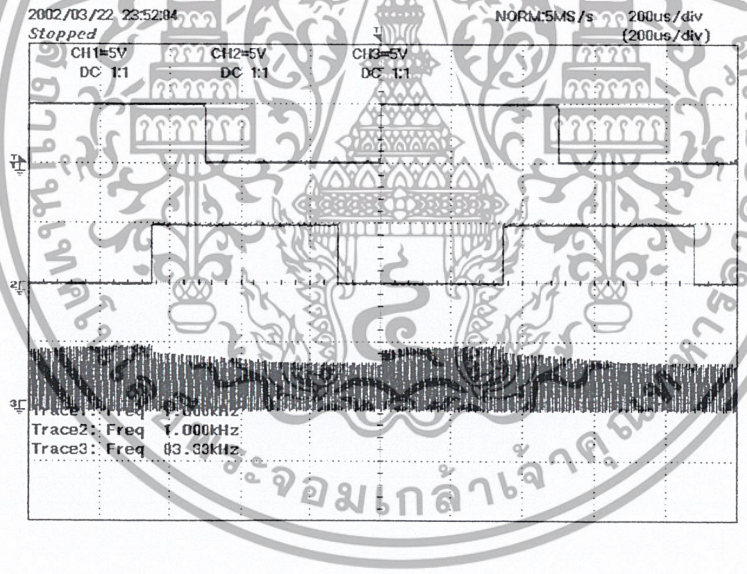
ก) เมื่อไม่มีสัญญาณรบกวน

ข) เมื่อมีสัญญาณรบกวนรูป Sin wave 100 kHz ขนาด 2.2 Vpp เข้ามากับความถี่อ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



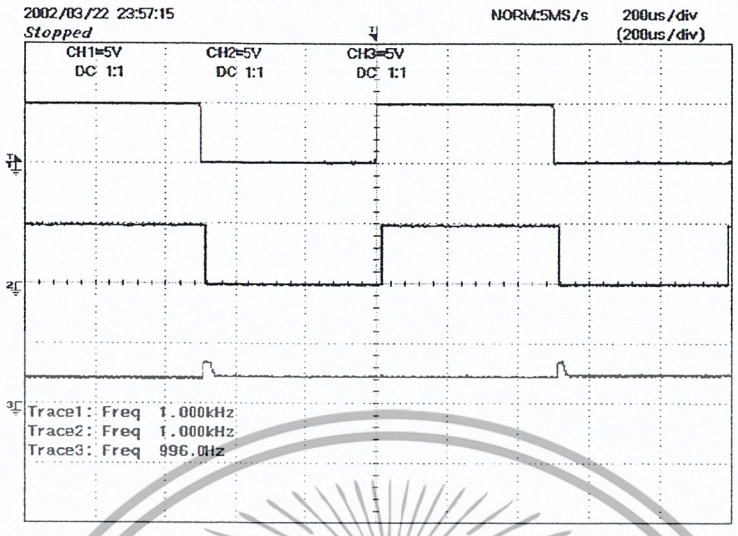
(ก)



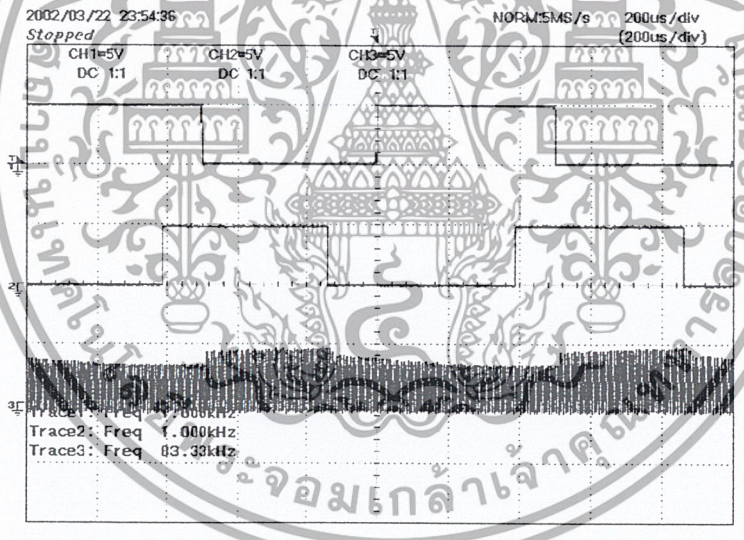
(ข)

รูปที่ 7.15 แสดงลักษณะการตรวจจับเฟสและความถี่ ของไอซีสำเร็จรูปเบอร์ MC4046
ที่ความถี่ 1 kHz
ก) เมื่อไม่มีสัญญาณรบกวน
ข) เมื่อมีสัญญาณรบกวนรูป Sin wave 100 kHz ขนาด 4.5 Vpp เข้ามาทาง VCOin

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



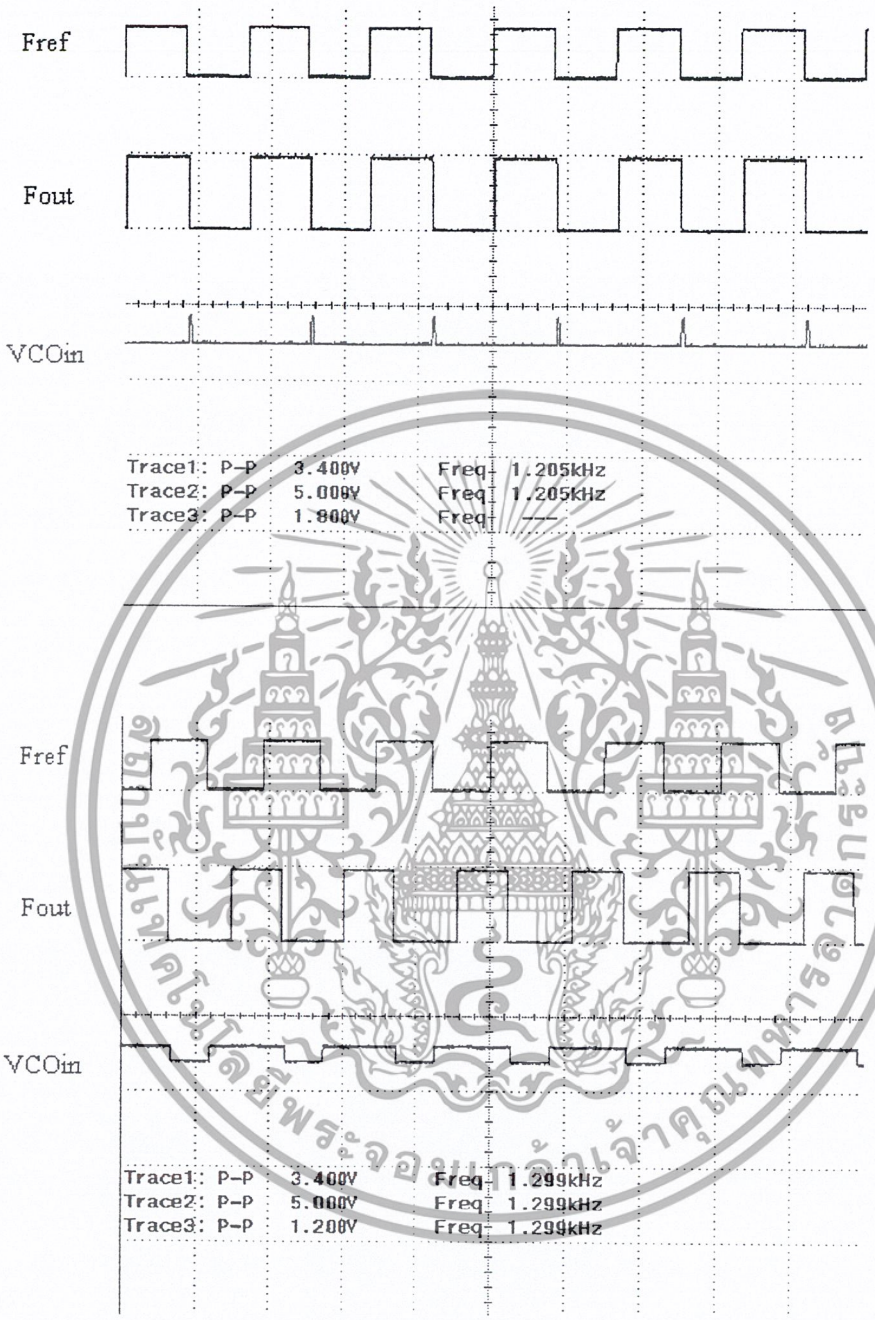
(ข)

รูปที่ 7.16 แสดงลักษณะการตรวจจับเฟสและความถี่ ของวงจรตรวจจับสัญญาณความถี่ ที่ใช้ MCS-51 แบบ 3-state ที่ความถี่ 1 kHz

ก) เมื่อไม่มีสัญญาณรบกวน

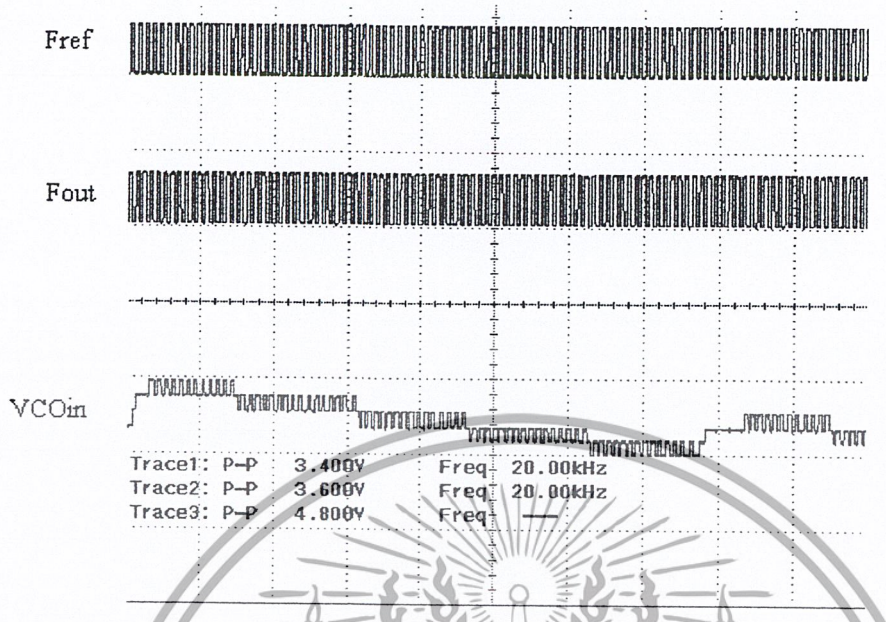
ข) เมื่อมีสัญญาณรบกวนรูป Sin wave 100 kHz ขนาด 4.5 Vpp เข้ามากับทาง VCOin

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

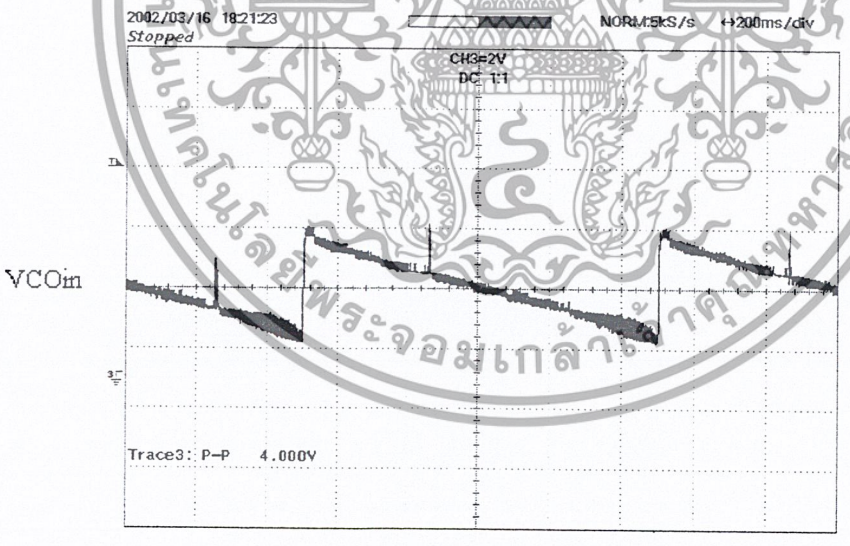


รูปที่ 7.17 แสดงลักษณะการตรวจจับสัญญาณของวงจรตรวจจับความถี่ที่ใช้ MCS-51 แบบ 6-state ที่ความถี่ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

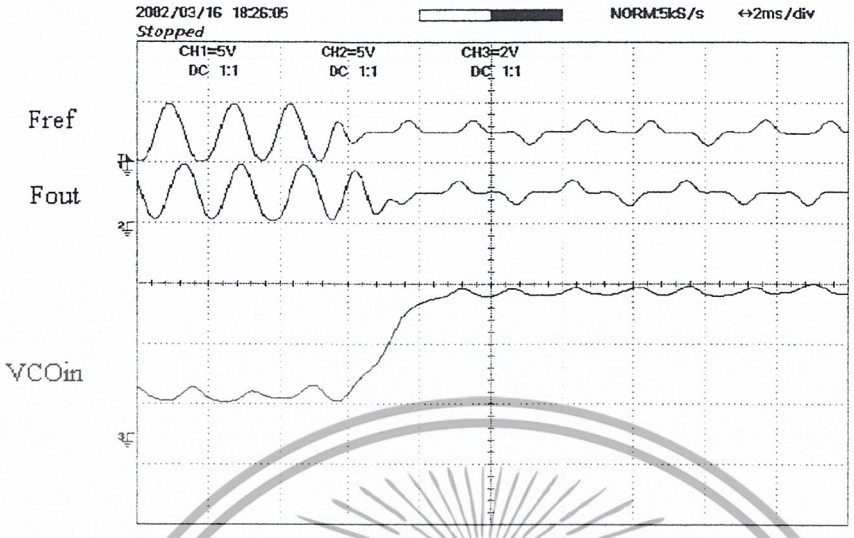


รูปที่ 7.18 แสดงสเตปของสัญญาณเอาท์พุทของวงจรตรวจจับสัญญาณความถี่ ที่ใช้ MCS-51 แบบ 6-state



รูปที่ 7.19 แสดงย่านความถี่ที่สามารถตรวจจับได้ ของวงจรตรวจจับสัญญาณความถี่ที่ใช้ MCS-51 แบบ 6-state โดยการปรับค่าความถี่อ้างอิงระหว่าง 2,220 Hz – 565 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

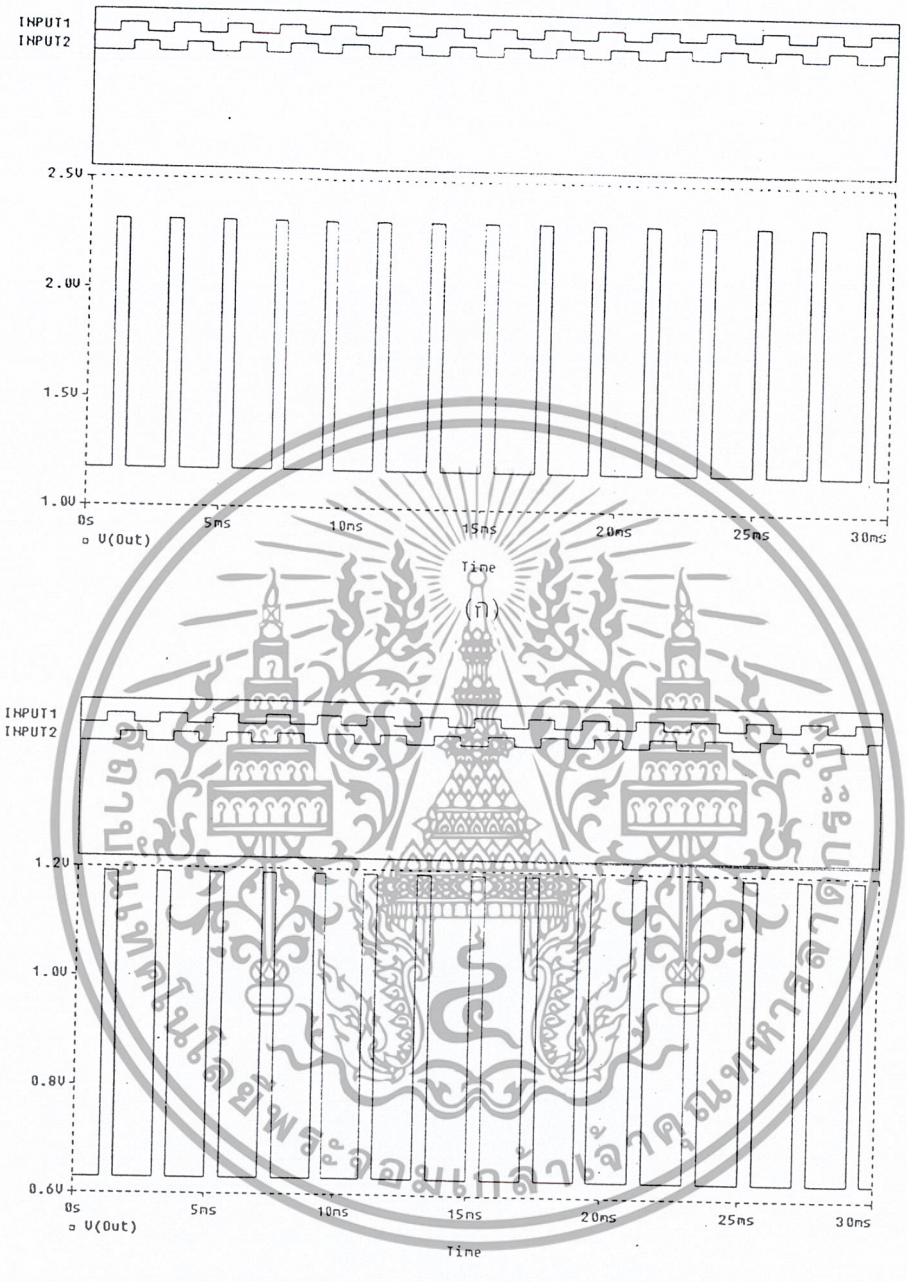


รูปที่ 7.20 แสดงผลตอบสนองชั่วขณะของระบบ เมื่อใช้วงจรตรวจจับสัญญาณความถี่ที่ใช้ MCS-51 แบบ 6-state โดยการสเตปความถี่ที่สัญญาณอ้างอิงจาก 1.6 kHz - 1.95 kHz

ตารางที่ 7.3 ตารางเปรียบเทียบประสิทธิภาพ และผลตอบสนองของวงจรตรวจจับความถี่แต่ละชนิด

	ไอซีเบอร์ MC4046	MCS-51 แบบ 3 สเตท	MCS-51 แบบ 6 สเตท
Locked Range	565 Hz – 2.22 kHz	565 Hz – 2.22 kHz	565 Hz – 2.22 kHz
Capture Range	565 Hz – 2.22 kHz	565 Hz – 2.22 kHz	565 Hz – 2.22 kHz
Kd	0.312	0.312	0.318
Phase Shift	4 π	4 π	10 π
Rise Time	1.2 ms	1 ms	2.2 ms
SettingTime	4.6 ms	3.6 ms	4 ms
Mp	2.56 %	1.28 %	3 %
Noise rejection	กำจัดได้ดี	กำจัดได้ดี	กำจัดได้ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

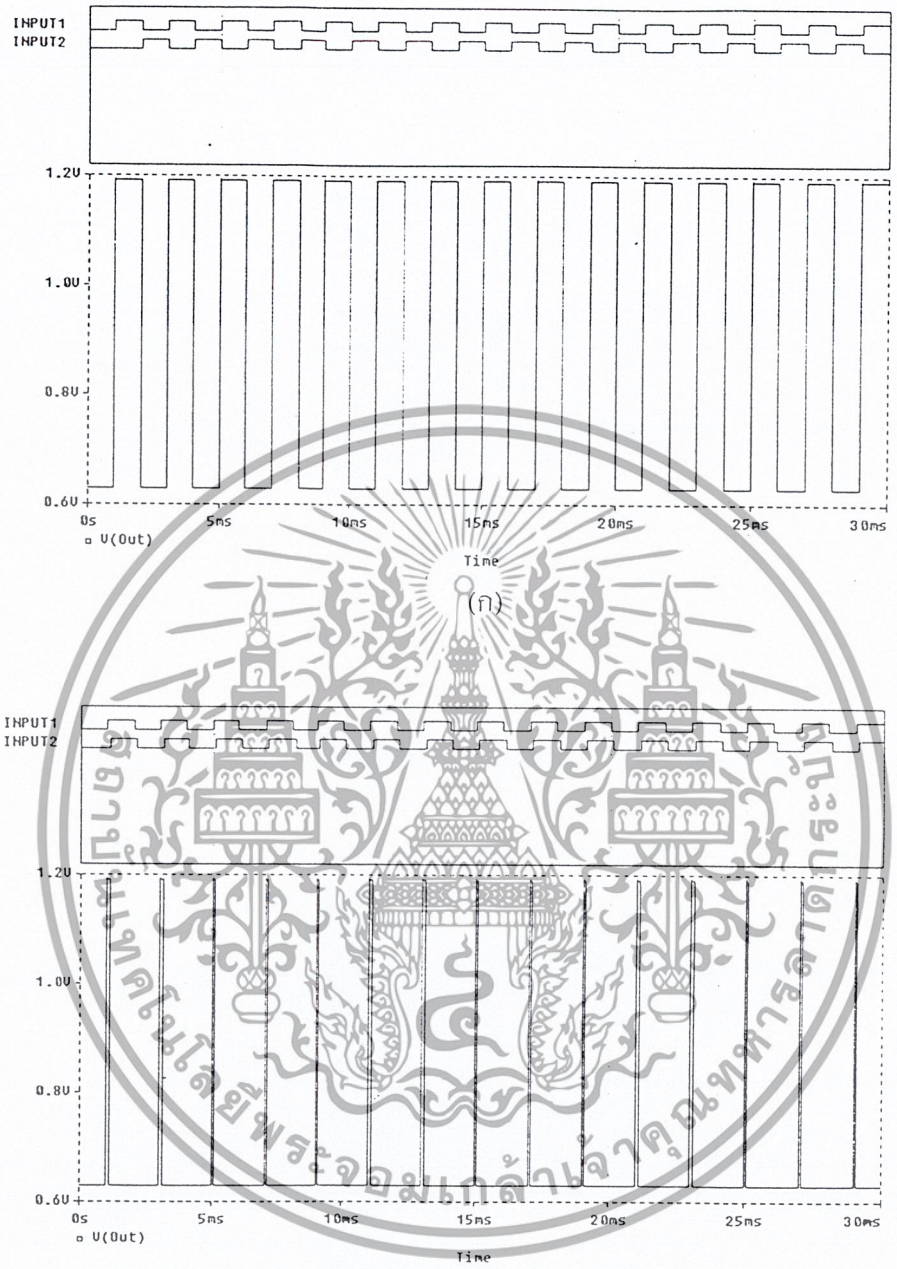


รูปที่ 7.21 เปรียบเทียบผลจากการซิมมูเลทด้วยโปรแกรม Pspice ของวงจร 3-state PFD และวงจร 6-state PFD ที่ทำงานเป็นตัวตรวจจับเฟสที่ค่าความถี่ 500Hz มีเฟสต่างกันอยู่ $\pi/2$

ก) แสดงผลจากการซิมมูเลทของวงจร 3-state PFD

ข) แสดงผลจากการซิมมูเลทของวงจร 6-state PFD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

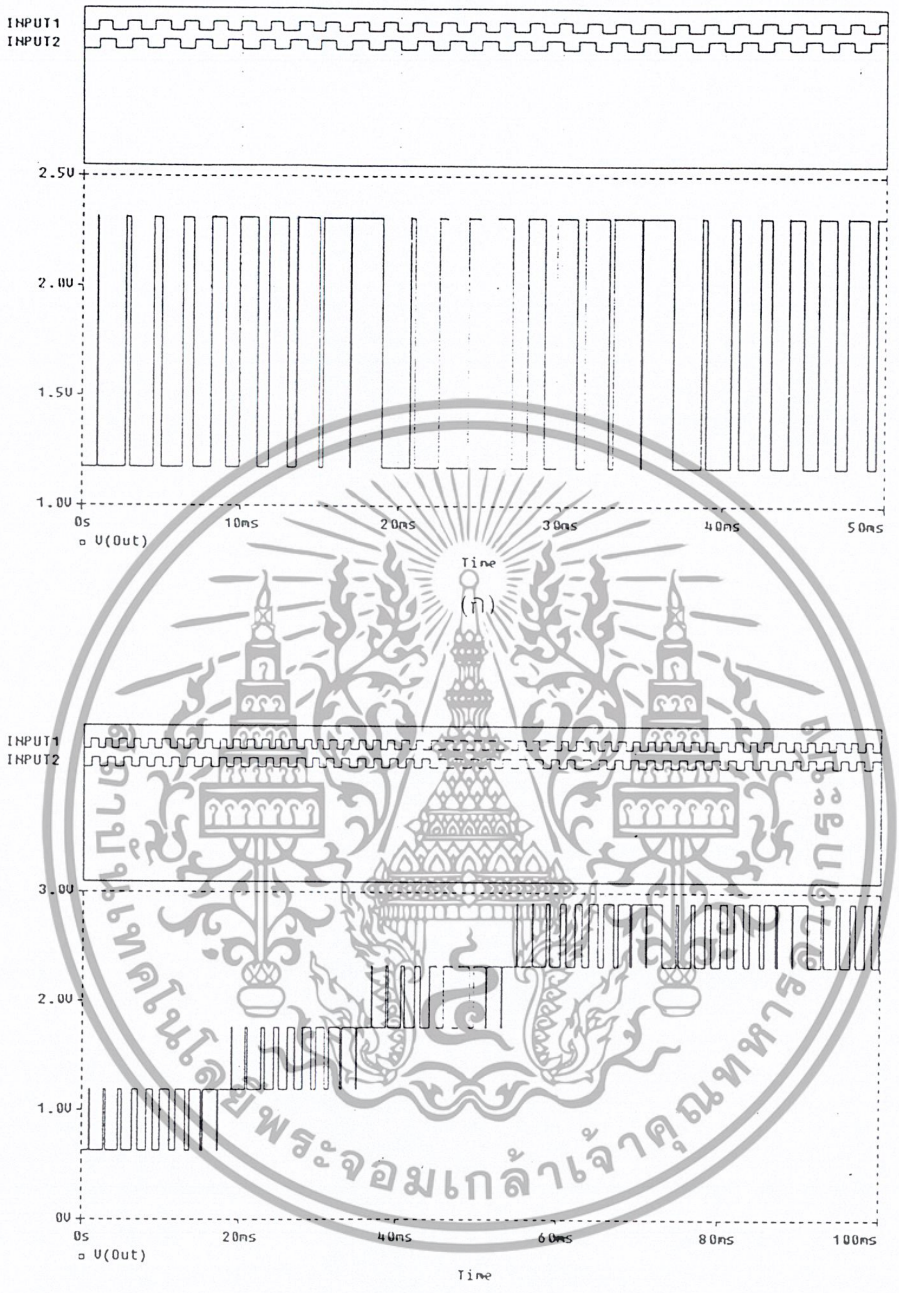


รูปที่ 7.22 สัญญาณเอาท์พุทของวงจร 6-state PFD ที่ได้จากการจากการซิมมูเลท เมื่อค่าของความต่างเฟสเพิ่มขึ้นโดยความถี่ของการทดสอบเท่ากับ 500Hz มีเฟสต่างกันอยู่ $\pi/2$

ก) แสดงผลของสัญญาณเอาท์พุทเมื่อค่าของความต่างเฟสเท่ากับ π เรเดียน

ข) แสดงผลของสัญญาณเอาท์พุทเมื่อค่าของความต่างเฟสเข้าใกล้ศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.23 แสดงการเปรียบเทียบผลของการทำงานเป็นตัวตรวจจับความถี่ของวงจร 3-state PFDกับวงจร 6-state PFD โดยการซิมมูเลท เมื่อความถี่ของสัญญาณอินพุทอ้างอิง (fr)มีค่าสูงกว่าความถี่ของสัญญาณป้อนกลับ (fv)

ก) ตรวจจับที่ความถี่ fr = 550 Hz, fv = 500Hz โดยวงจร 3-state PFD

ข) ตรวจจับที่ความถี่ fr = 550 Hz, fv = 500Hz โดยวงจร 6-state PFD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8
สรุปผล และข้อเสนอแนะ

สรุปผลการทดลอง

โครงงานนี้ได้นำเสนอการพัฒนาวงจรตรวจจับเฟสและความถี่แบบ 3-state ด้วยไมโครคอนโทรลเลอร์ตระกูล MCS-51 (89c2051) รวมทั้งการขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่ โดยเลียนแบบการทำงานของวงจรตรวจจับเฟสแบบ 3-state ทั่วๆ ไป ซึ่งยังสามารถที่จะตรวจจับสัญญาณพัลส์อินพุทของทั้งสัญญาณอ้างอิง และสัญญาณป้อนกลับที่เข้ามาพร้อมกันได้โดยไม่สูญเสียสัญญาณอินพุทใดอินพุทหนึ่งไปจนเป็นเหตุให้เกิดค่าความผิดพลาดขึ้นที่เอาท์พุท และจากผลการทดลองที่ได้ทำให้เราสรุปผลของการปรับปรุงวงจรตรวจจับเฟสและความถี่ โดยใช้ไมโครคอนโทรลเลอร์ได้ดังนี้

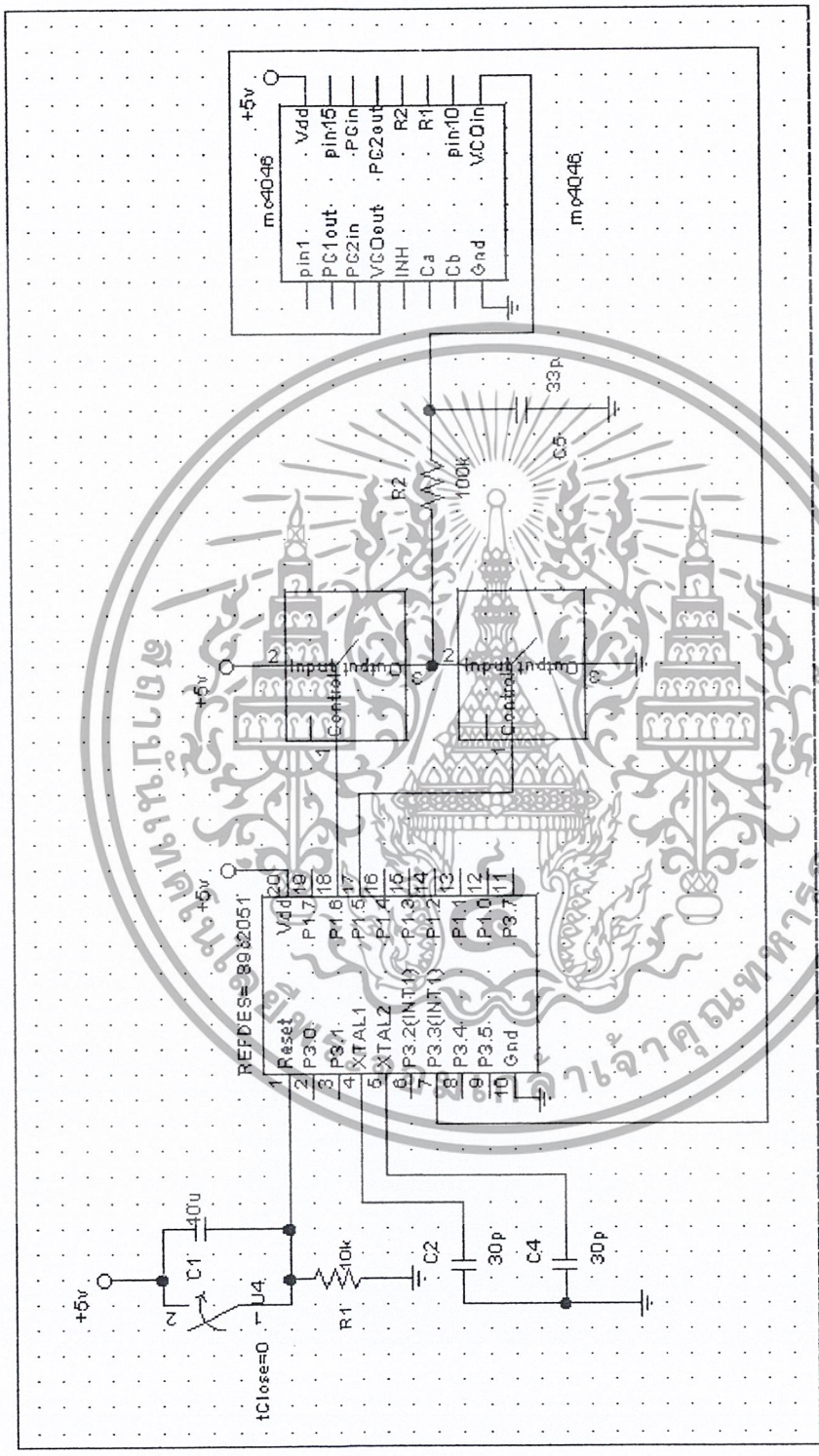
1. ประสิทธิภาพของการตรวจจับเฟสและความถี่ของตัวควบคุมที่สร้างขึ้นด้วยไมโครคอนโทรลเลอร์นั้น พบว่าผลที่ได้เป็นไปตามทฤษฎีของการตรวจจับสัญญาณเฟสและความถี่แบบ 3- สเตท
2. ประสิทธิภาพในการตอบสนองของระบบต่ออินพุทเมื่อพิจารณาที่ผลตอบสนองชั่วขณะเปรียบเทียบกับไอซี เบอร์ MC4046 การตรวจจับเฟสและความถี่ของตัวควบคุมที่สร้างขึ้นด้วยไมโครคอนโทรลเลอร์ จะให้ผลตอบสนองของระบบที่ดีกว่า
3. สามารถขยายสถานะของการตรวจจับสัญญาณเป็น 6-state โดยการปรับแก้ในส่วนของโปรแกรมซอฟท์แวร์ทำให้การตรวจจับเฟสและความถี่สามารถตรวจจับไซเคิ้ลสลิป ได้ถึง -5π ถึง $+5\pi$
4. การควบคุมความเร็วของมอเตอร์ไฟฟ้ากระแสตรงด้วยวิธีเฟสล็อคลูปด้วยตัวควบคุมสร้างด้วยไมโครคอนโทรลเลอร์สามารถควบคุมความเร็วได้ด้วยความเร็วที่จำกัด

ปัญหาที่พบในโครงงานนี้ คือการทำงานของไมโครคอนโทรลเลอร์จะมีข้อจำกัดในการตรวจจับสัญญาณเมื่อสัญญาณอินพุทที่เข้ามาทำการเปรียบเทียบไม่เป็นไปตามเงื่อนไขที่กำหนดหรือสัญญาณนั้นมีความถี่สูงช่วงความถี่ของไมโครคอนโทรลเลอร์ที่สามารถทำงานได้อย่างถูกต้องเนื่องจากจังหวะการทำงานของไมโครคอนโทรลเลอร์นั้นขึ้นกับสัญญาณนาฬิกาที่ป้อนเข้าที่ไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแสดงวงจรของระบบเฟสล็อคลูปที่ใช้ไมโครคอนโทรลเลอร์เป็นตัวตรวจจับเฟสและความถี่แบบ 3-state PFD

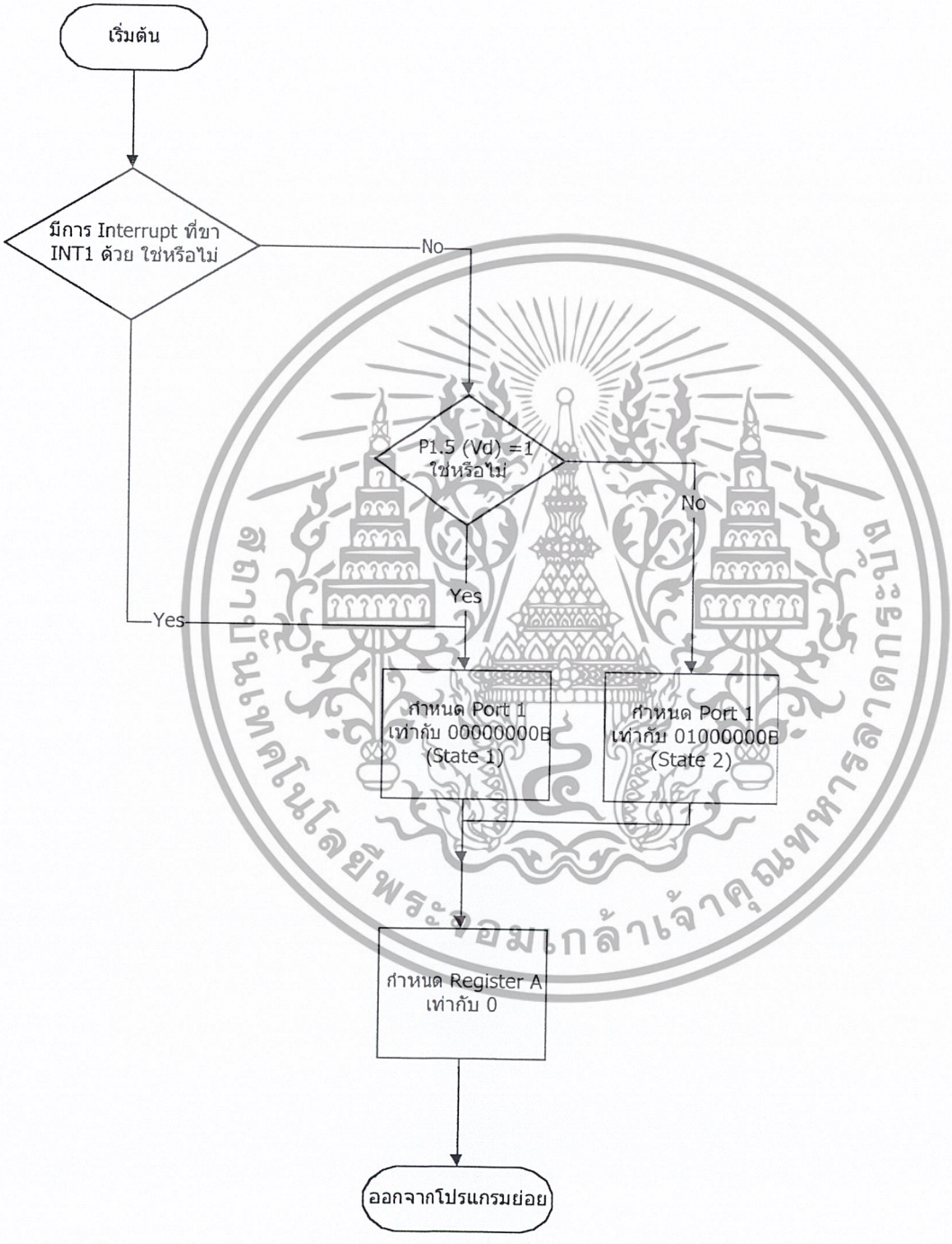
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมหลัก
ในวงจรตรวจจับเฟสแบบ 3-State



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมย่อย ADDV
ในวงจรตรวจจับเฟสแบบ 3-State



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Program 3-State Phase Detector with Charge Pump

```
        VD1   BIT   P1.5
        VD2   BIT   P1.6

        ORG   00H
        AJMP  START

        ORG   0003H
        AJMP  ADDV

        ORG   0013H
        LJMP  DECV

        ORG   0030H
START:  MOV   P1,#0             ; กำหนดค่าเริ่มต้น (Vu=0, Vd=0)
        MOV   A,#0              ; กำหนด รีจิสเตอร์ A = 0
MAIN:   MOV   IE,#10000101B
        MOV   IP,#00000101B
        SETB  IT1               ; กำหนดให้ตรวจจับสัญญาณ Interrupt1
        SETB  IT0               ; และ Interrupt 0 ที่ขอบขาลงของสัญญาณ
        AJMP  MAIN

ADDV:   JB    IE1,EQUAL
        JB    VD1,ADDV2
        MOV   P1,#01000000B     ; ---- STATE 2 ----
        MOV   A,#0              ; กำหนด รีจิสเตอร์ A = 0
        RETI
ADDV2:  MOV   P1,#0             ; ----STATE 1----
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV   A,#0                  ; กำหนด รีจิสเตอร์ A = 0
                RETI

DECV:           JNB   VD2,DECV2
                MOV   IP,#00000100B
                MOV   P1,#0                 ; ---- STATE 1 ----
                MOV   A,#02H                ; กำหนดรีจิสเตอร์ A.1 = 1 และ
                                            ; รีจิสเตอร์ A.0 = 0
                RETI
DECV2:          JB    ACC.0,BEFORE          ; ถ้าเฟสตรงกันให้กระโดดไปลูป BEFORE
DEC:            MOV   P1,#00100000B         ; ---- STATE 0 ----
                RETI

BEFORE: JB      ACC.1,DEC                   ; ถ้าสเตทก่อนหน้าเป็น สเตท 1
                                            ; จะกำหนดให้ Vu=0, Vd = 1 (State 0)
EQUAL:          MOV   P1,#0                 ; ---- STATE 1 ----
                SETB  ACC.0
                RETI

                END
```

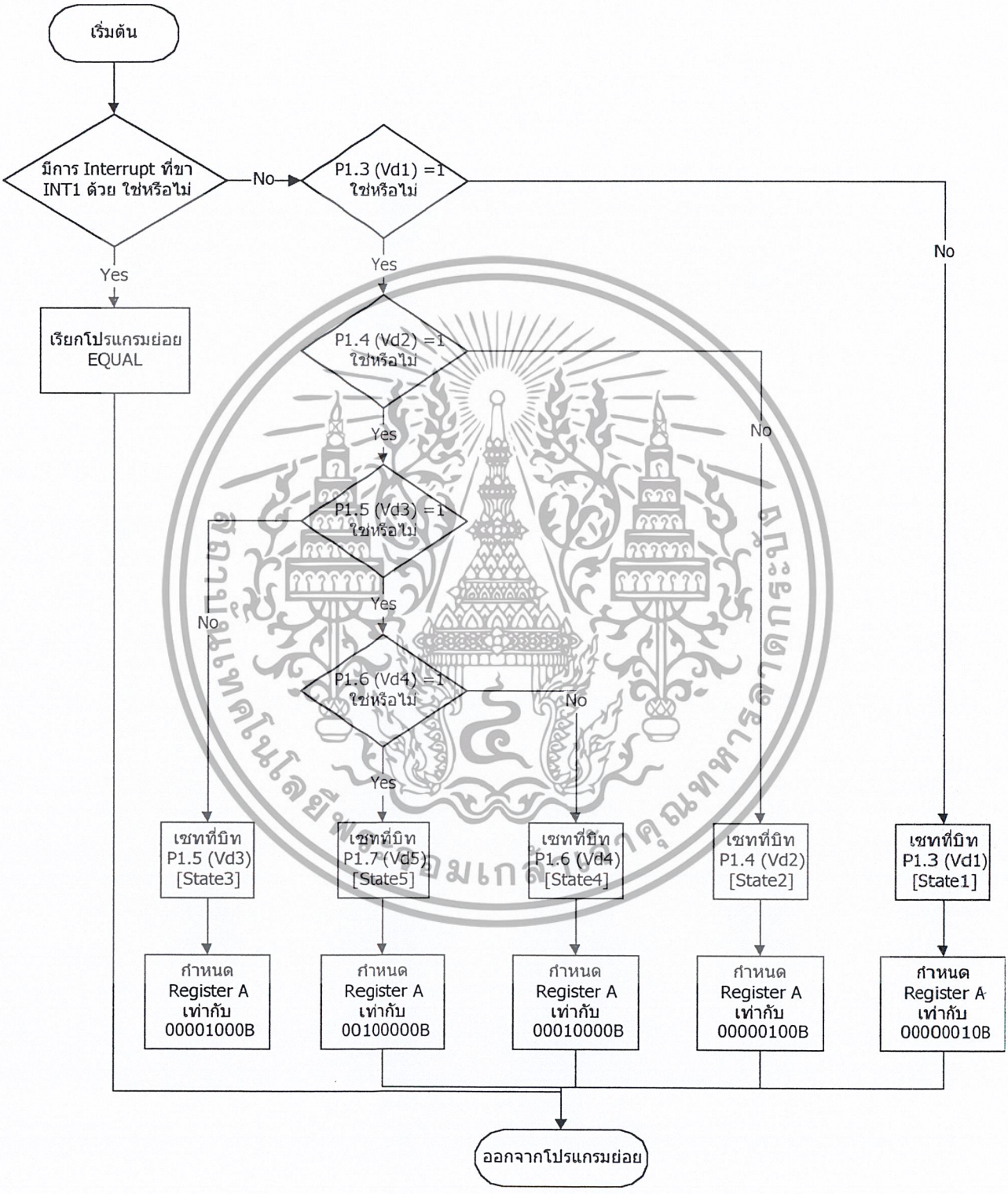
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมหลัก
ในวงจรตรวจจับเฟสแบบ 6-State



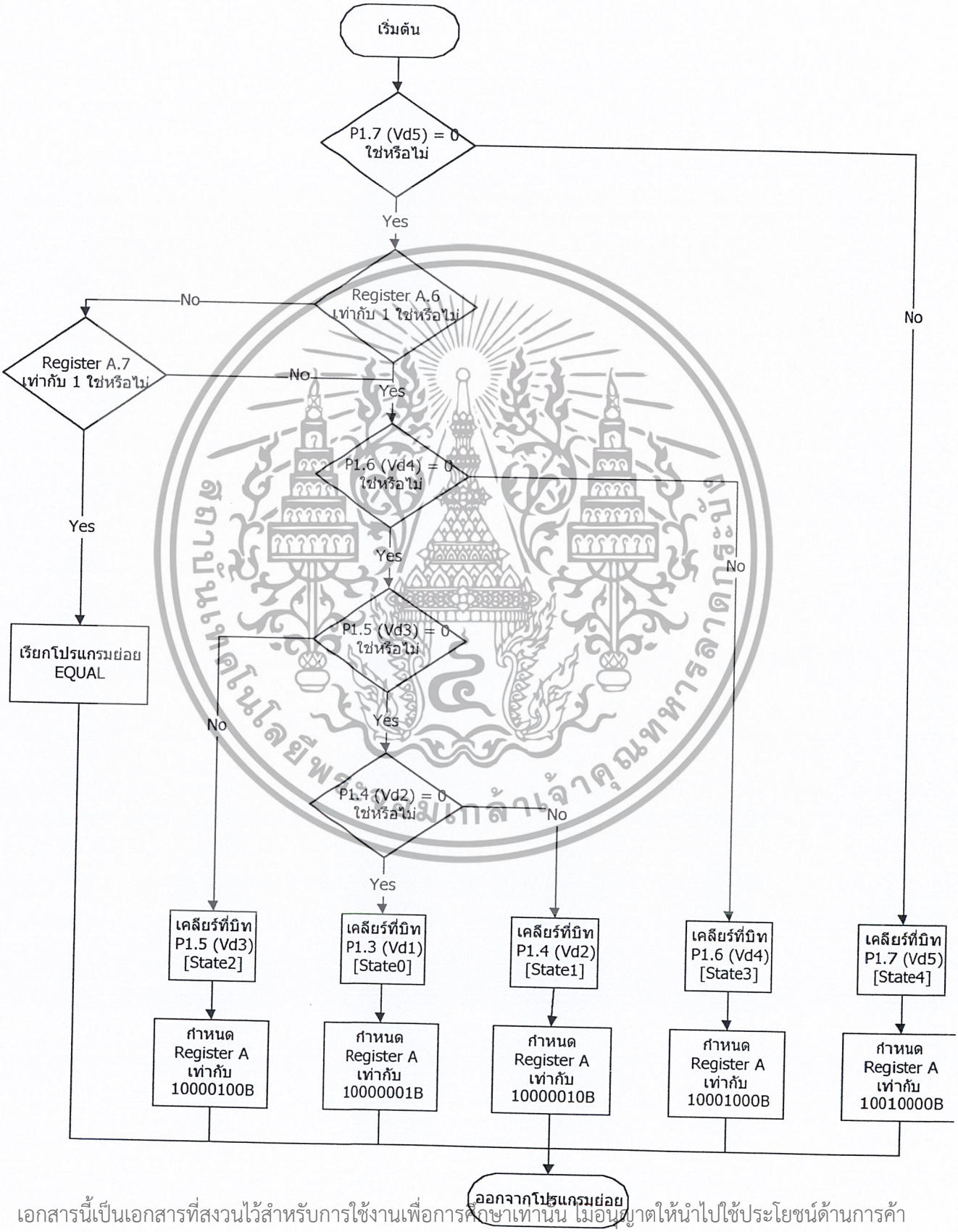
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมย่อย ADDV
ในวงจรตรวจจับเฟสแบบ 6-State



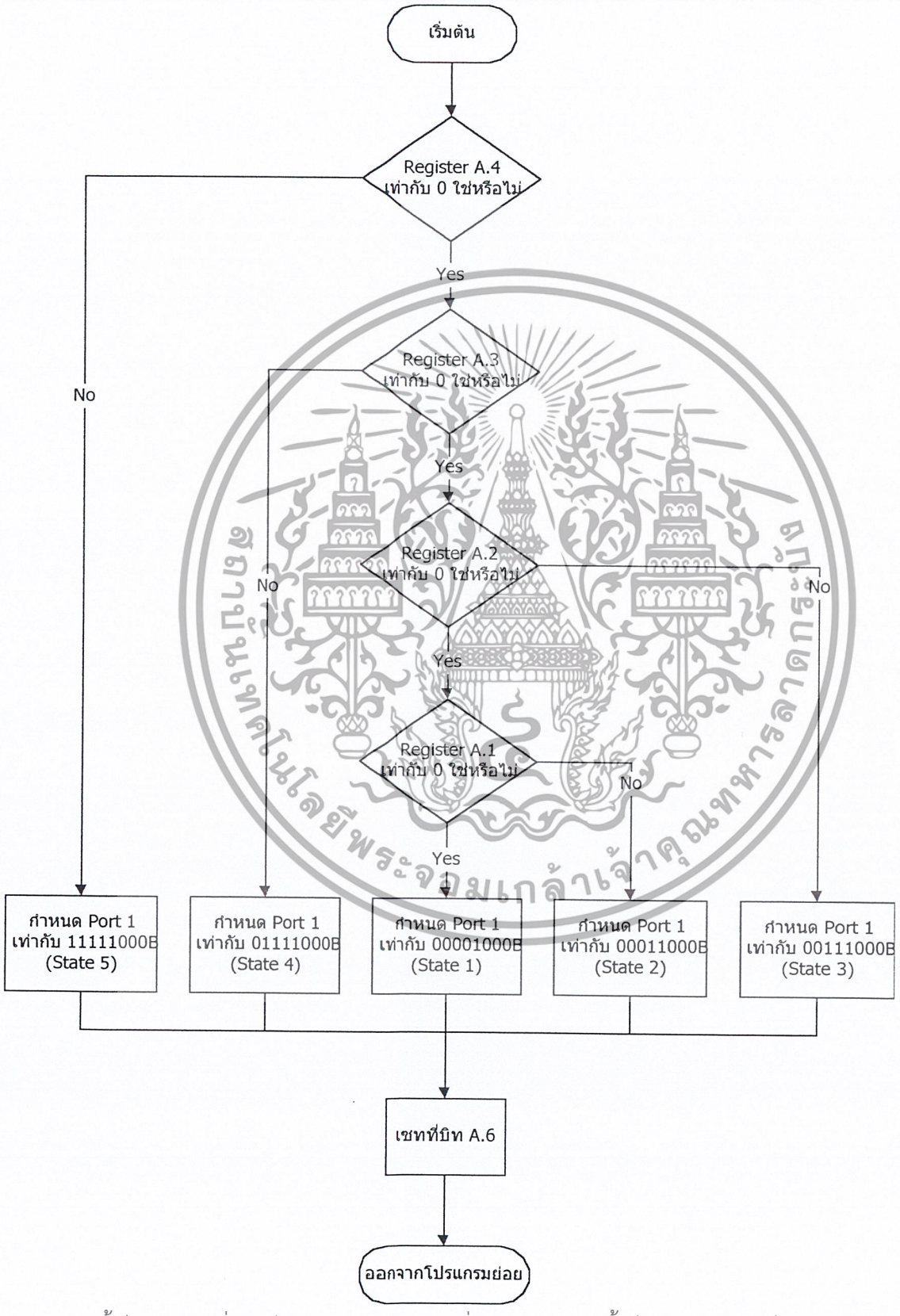
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมย่อย DECV
ในวงจรตรวจจับเฟสแบบ 6-State



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมย่อย EQUAL
ในวงจรตรวจจับเฟสแบบ 6-State



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6-State Phase Detector Program

```
        VD1   BIT   P1.3
        VD2   BIT   P1.4
        VD3   BIT   P1.5
        VD4   BIT   P1.6
        VD5   BIT   P1.7
        ORG   00H
        AJMP  START

        ORG   0003H
        AJMP  ADDV

        ORG   0013H
        LJMP  DECV

        ORG   0030H
START:  MOV   P1,#00011000B     ; กำหนดค่าเริ่มต้น ให้เริ่มที่ State 2
        MOV   A,#00000100B      ; กำหนด รีจิสเตอร์ A = 0
MAIN:   MOV   IE,#10000101B
        MOV   IP,#00000101B
        SETB  IT1               ; กำหนดให้ตรวจจับสัญญาณ Interrupt1 และ
        SETB  IT0               ; Interrupt 0 ที่ขอบขาลงของสัญญาณ
        AJMP  MAIN

ADDV:   JB    IE1,EQUAL
        JB    VD1,ADDV2
        SETB  VD1               ; ----STATE 1----
        MOV   A,#00000010B      ; กำหนดรีจิสเตอร์ A แสดงสถานะ State 1
        RETI
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ADDV2:    JB    VD2,ADDV3
          SETB  VD2                ; ----STATE 2----
          MOV   A,#00000100B       ; กำหนด รีจิสเตอร์ A = 0
          RETI
ADDV3:    JB    VD3,ADDV4
          SETB  VD3                ; ----STATE 3----
          MOV   A,#00001000B       ; กำหนดรีจิสเตอร์ A แสดงสถานะ State 3
          RETI
ADDV4:    JB    VD4,ADDV5
          SETB  VD4                ; ----STATE 4----
          MOV   A,#00010000B       ; กำหนดรีจิสเตอร์ A แสดงสถานะ State 4
          RETI
ADDV5:    SETB  VD5                ; ----STATE 5----
          MOV   A,#00100000B       ; กำหนดรีจิสเตอร์ A แสดงสถานะ State 5
          RETI

DECV:     MOV   IP,#00000100B
          JNB   VD5,DECV2
          CLR   VD5                ; ---- State 5 to 4 ----
          MOV   A,#10010000B       ; กำหนดรีจิสเตอร์ A แสดงสถานะ State 4
          RETI
DECV2:    JB    ACC.6,BEFORE
DEC:      JNB   VD4,DECV3
          CLR   VD4                ; ---- State 4 to 3 ----
          MOV   A,#10001000B       ; กำหนดรีจิสเตอร์ A แสดงสถานะ State 3
          RETI
DECV3:    JNB   VD3,DECV4
          CLR   VD3                ; ---- State 3 to 2 ----
          MOV   A,#10000100B       ; กำหนดรีจิสเตอร์ A แสดงสถานะ State 2
          RETI
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DECV4:      JNB   VD2,DECV5
            CLR   VD2                ; ---- State 2 to 1 ----
            MOV   A,#10000010B       ; กำหนดรีจิสเตอร์ A แสดงสถานะ State 1
            RETI
DECV5:      CLR   VD1                ; ----STATE 0----
            MOV   A,#10000001B       ; กำหนดรีจิสเตอร์ A แสดงสถานะ State 0
            RETI

BEFORE: JB  ACC.7,DEC                ; ตรวจเช็คสเตทก่อนหน้า เพื่อเลือกไปลูปต่างๆ
EQUAL:      JNB   ACC.4,TO_S4        ; จาก State4 จะเปลี่ยนเป็น State 5
            MOV   P1,#11111000B      ; ---- STATE 5 ----
            SETB  ACC.6
            RETI
TO_S4:      JNB   ACC.3,TO_S3        ; จาก State 3 จะเปลี่ยนเป็น State 4
            MOV   P1,#01111000B      ; ----STATE 4----
            SETB  ACC.6
            RETI
TO_S3:      JNB   ACC.2,TO_S2        ; จาก State2 จะเปลี่ยนเป็น State 3
            MOV   P1,#00111000B      ; ----STATE 3----
            SETB  ACC.6
            RETI
TO_S2:      JNB   ACC.1,TO_S1        ; จาก State 1 จะเปลี่ยนเป็น State 2
            MOV   P1,#00011000B      ; ----STATE 2----
            SETB  ACC.6
            RETI
TO_S1:      MOV   P1,#00001000B      ; ----STATE 1----
            SETB  ACC.6
            RETI

            END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. Howard M. Berlin "Design of Phase-locked loop Circuits, with Experiment" Indiana: E & L Instruments, Inc; 1981
2. Dana F. Griger, "Phase Lock Loop for DC motor Speed Control" New York: John Willey & Sons, Inc; 1981
3. นายธนา พรวศณุนุกูล "การขยายช่วงคุณสมบัติของวงจรตรวจจับเฟส" คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีเจ้าคุณทหารลาดกระบัง , 2544
4. นายชัยวัฒน์ ลิ้มพรจิตรวิไล,นายวรพจน์ กรแก้ววัฒนกุล "เรียนรู้และปฏิบัติการไมโครคอนโทรลเลอร์" บริษัท อินโนเวทีฟ เอ็กเพอริเมนต์ จำกัด , 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้