สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การควบคุมบัคคอนเวอร์เตอร์โดยบอร์ดประมวลผลสัญญาณดิจิตอล

Control of a Buck Converter Using Digital Signal Processing (DSP) Board

T045727

โดย

นายสุรชัย วรธรรมโกวิทย์

นายสุวิชา ทับดวง

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เลขหมู่.....
เลขทะเบียน 45727
วัน, เดือน, ปี 13 ก.พ. 2546

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควบคุมบัคคอนเวอร์เตอร์โดยบอร์ดประมวลผลสัญญาณดิจิตอล

Control of a Buck Converter Using Digital Signal Processing (DSP) Board

โดย

นายสุรชัย วรธรรมโกวิทย์

นายสุวิชา ทับดวง

อาจารย์ที่ปรึกษา

อาจารย์ชนินทร์ บุญลักษณานุสรณ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2544

ภาควิชาวิศวกรรมระบบควบคุม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การควบคุมบัคคอนเวอร์เตอร์โดยบอร์ดประมวลผลสัญญาณดิจิตอล

(Control of a Buck Converter Using Digital Signal Processing (DSP) Board)

ผู้จัดทำ

1. นายสุรชัย วรธรรมโกวิทย์ 42015288
2. นายสุวิชา ทับคาง 42015289

.....อาจารย์ที่ปรึกษา

(อาจารย์ชนินทร์ บุญลักษณานุสรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควบคุมบัคคอนเวอร์เตอร์โดยบอร์ดประมวลผลสัญญาณดิจิตอล

โดย
นายสุรชัย วรธรรมโกวิทย์
นายสุวิชา ทับดวง

อาจารย์ที่ปรึกษา
อาจารย์ชนินทร์ บุญลักษณานุสรณ์

ปีการศึกษา 2544

บทคัดย่อ

โดยทั่วไป การควบคุมป้อนกลับของสวิตชิ่งโหมดเพาเวอร์ซัพพลาย จะใช้วงจรอนาลอกที่ง่ายและมีราคาถูก แต่ตัวควบคุมแบบอนาลอกจะมีผลกระทบต่อสัญญาณรบกวน การใช้ตัวควบคุมแบบดิจิตอลสามารถแก้ปัญหาเหล่านี้แต่ราคาจะสูงขึ้น ดังนั้นสวิตชิ่งโหมดเพาเวอร์ซัพพลาย ที่ใช้ตัวควบคุมแบบดิจิตอลจะถูกใช้งานในผลิตภัณฑ์ระดับที่สูง เช่น ในดาวเทียม ปริญญานิพนธ์นี้จะนำเสนอระบบควบคุมแบบดิจิตอลมาใช้ในบัคคอนเวอร์เตอร์ โดยใช้บอร์ดดีเอสเคเป็นตัวควบคุมแบบ PI เพื่อรักษาระดับแรงดันเอาท์พุต ของบัคคอนเวอร์เตอร์ ในปริญญานิพนธ์นี้ได้แสดงวิธีการออกแบบเลือกค่า Proportional gain (Kp) และ Integral gain (Ki) ที่ต้องการ โดยใช้โปรแกรม MATLAB ช่วยในการคำนวณ และแสดงผลของการควบคุมในการรักษาระดับแรงดัน เมื่อผลของกระแสโหลดเปลี่ยนแปลง และแสดงผลตอบสนองชั่วขณะโดยใช้โปรแกรม MATLAB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Control of a Buck Converter Using Digital Signal Processing (DSP) Board

Mr. SURACHAI WORATUMGOVIT

Mr. SUWICHA TUBDUANG

Dr. CHANIN BOONRAKSANAKUN ADVISOR

2002

Abstract

Traditionally, the feedback control of a Switched Mode Power Supply (SMPS) employs an analogue circuit. Despite simplicity and being inexpensive, the performance of the analogue controller is greatly affected by noise and component drifts,degrading the power supply's reliability. A digital controller can alleviate the problems associated with its analogue counterpart,but at the expense of incresaing cost. Therefore, the digital controller is often employed in SMPS for high-end products such as satellites,where reliability supercedes the cost. This thesis presents the digital control of a buck converter. The PI control algorithm was implemented digitally on the DSK board to regulate the output voltage of a buck converter. In the thesis, the design procedure for selecting the proportional gain (Kp) and integral gain (Ki),with the aid of MATLAB, is described. It is shown that the digitally controlled prototype converter is well regulated against the specified input voltage and output current changes without the steady-state error, and exhibits the transient performance as closely predicted by MATLAB.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎี	3
2.1 สถาปัตยกรรม TMS320C3x	3
2.1.1 หน่วยประมวลผลกลาง (Central Processing Unit : CPU)	4
2.1.2 การจัดการหน่วยความจำของ TMS320C3x	8
2.1.3 การจัดการบัสภายใน	10
2.1.4 อุปกรณ์รอบนอก	11
2.2 โครงสร้างของ TMS320C3x DSP Starter Kit	28
2.2.1 โครงสร้างของ DSK	28
2.2.2 ภาพรวมของ DSK	29
2.3 วงจรเชื่อมต่อสัญญาณอนาลอก	30
บทที่ 3 หลักการทำงานของคอนเวอร์เตอร์	35
3.1 ทฤษฎีและหลักการของคอนเวอร์เตอร์	35
3.1.1 คอนเวอร์เตอร์	36
3.1.2 คอนเวอร์เตอร์ชนิด BUCK	37
3.2 หลักการควบคุมสำหรับสวิตชิ่งเพาเวอร์ซัพพลาย	38
3.2.1 การมอดูเลตความกว้างของพัลส์	38
3.3 มอสเฟตกำลัง (Power MOSFET)	40
3.4 ไดโอดกำลัง (Power Diode)	47
3.5 การออกแบบตัวเก็บประจุทางเอาท์พุท	49
บทที่ 4 การออกแบบระบบควบคุมดิจิตอลและบัคคอนเวอร์เตอร์	52
4.1 การออกแบบระบบควบคุมดิจิตอล	52
4.2 การทดลองเชื่อมต่อกับอุปกรณ์เชื่อมต่อสัญญาณอนาลอก	57
4.3 การออกแบบและเลือกอุปกรณ์ของบัคคอนเวอร์เตอร์	60
4.4 การออกแบบควบคุม Buck Converter ในโดเมนดิจิตอลโดยตรง	64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 ผลการทดลอง 76
บทที่ 6 บทวิจารณ์และสรุป 87
กิตติกรรมประกาศ
เอกสารอ้างอิง
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 1-1 แสดงบล็อกไดอะแกรมของการประมวลผลสัญญาณอนาลอก 2

รูปที่ 1-2 บล็อกไดอะแกรมแสดงการควบคุมบัคคอนเวอร์เตอร์ 2

รูปที่ 2-1 บล็อกไดอะแกรมของสถาปัตยกรรม TMS320C3x 3

รูปที่ 2-2 หน่วยประมวลผลกลาง 4

รูปที่ 2-3 การจัดการหน่วยความจำ 9

รูปที่ 2-4 การแทนข้อมูลของ TMS320C31 10

รูปที่ 2-5 แสดงอุปกรณ์ภายนอกกับบัสและสัญญาณที่เกี่ยวข้อง 12

รูปที่ 2-6 บล็อกไดอะแกรมของตัวจับเวลา 12

รูปที่ 2-7 ตำแหน่งการแทนข้อมูลของตัวจับเวลา 13

รูปที่ 2-8 รีจิสเตอร์ควบคุมส่วนกลางของตัวจับเวลา 14

รูปที่ 2-9 โหมดของตัวจับเวลาที่กำหนดโดย CLKSRC และ FUNC 17

รูปที่ 2-10ช่วงเวลาของตัวจับเวลา (Timer Timing) 18

รูปที่ 2-11ตำแหน่งของรีจิสเตอร์ของพอร์ตอนุกรม 27

รูปที่ 2-12ตัวควบคุมการเข้าถึงหน่วยความจำ 28

รูปที่ 2-13แสดงส่วนประกอบพื้นฐานของดีเอสเค 29

รูปที่ 2-14แสดงบล็อกไดอะแกรมของวงจรเชื่อมต่อสัญญาณอนาลอก 30

รูปที่ 2-15รูปแบบของบิตในการส่งข้อมูลของ DR หรือ DX 32

รูปที่ 2-16แสดงบิตควบคุม D0,D1 ของการส่งข้อมูลในแต่ละแบบ 32

รูปที่ 2-17แสดงบิตควบคุมการขยาย 34

รูปที่ 3-1 วงจรคอนเวอร์เตอร์ชนิดบัคและชุดควบคุม 37

รูปที่ 3-2 วิธีการมอดูเลตความกว้างของพัลส์แบบความถี่คงที่ 38

รูปที่ 3-3 (ก) t_{on} คงที่ t_{off} แปรเปลี่ยน 38

รูปที่ 3-3 (ข) t_{off} คงที่ t_{on} แปรเปลี่ยน 39

รูปที่ 3-3 (ค) แปรเปลี่ยนทั้ง t_{on} และ t_{off} 39

รูปที่ 3-4 แสดงลักษณะของกระแสและแรงดันตกคร่อมเพาเวอร์มอสเฟต 42

รูปที่ 3-5 แสดงตัวเก็บประจุแฝงที่ต่ออยู่ที่ขาต่างๆภายในตัวเพาเวอร์มอสเฟต 43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3-6 แสดงลักษณะแรงดันและกระแสที่ขาเกทขณะเพาเวอร์มอสเฟตถูกไบแอส 44
รูปที่ 3-7 แสดงตัวอย่างของแผนภูมิประจุที่เกท 45
รูปที่ 3-8 (ก)แสดงลักษณะการชาร์จประจุที่ขาเกทตามเวลาที่มีผลต่อการเริ่มนำกระแส 46
รูปที่ 3-8 (ข)ผลเมื่อเริ่มหยุดนำกระแสของเพาเวอร์มอสเฟต 46
รูปที่ 3-9 (ก)แสดงตัวอย่างค่าแรงดันตกคร่อมขณะนำกระแสของฟาสรีคัพเวอร์รี่ไดโอด 48
รูปที่ 3-9 (ข)แสดงตัวอย่างค่าแรงดันตกคร่อมขณะนำกระแสของ
อุลตร้าฟาสรีคัพเวอร์รี่ไดโอด 48
รูปที่ 3-10(ก)แสดงตัวอย่างแรงดันตกคร่อมขณะนำกระแสของชอตต์กี้ไดโอด 49
รูปที่ 3-10(ข)แสดงค่ากระแสรั่วไหลของชอตต์กี้ไดโอด 49
รูปที่ 4-1 แสดงแผนผังบล็อกของตัวควบคุม 52
รูปที่ 4-2 แผนผังบล็อกของตัวควบคุมดิจิตอล 53
รูปที่ 4-3 ระบบควบคุมพร้อมด้วยตัวควบคุมดิจิตอล PI 54
รูปที่ 4-4 การทำงานของตัวควบคุมดิจิตอล PI 56
รูปที่ 4-5 แสดงการเชื่อมต่อระหว่างอุปกรณ์เชื่อมต่อสัญญาณอนาลอก และ TMS320C31 58
รูปที่ 4-6 ระบบควบคุม Buck Converter ใน S-Plane 64
รูปที่ 4-7 ระบบควบคุม Buck Converter ใน Z-Plane 66
รูปที่ 4-8(ก) โบดพล็อตของบัคคอนเวอร์เตอร์ 67
รูปที่ 4-8(ข)โบดพล็อตของบัคคอนเวอร์เตอร์ ณ cross-over frequencyที่ 20000 (rad/sec) 67
รูปที่ 4-9 ผลตอบสนองทางความถี่ของ Buck Converter ที่มี PI-Controller 69
รูปที่ 4-10ระบบควบคุม Buck Converter กับ PI-Controller ที่ได้ออกแบบใน Z-Plane 70
รูปที่ 4-11แสดงทางเดินรากของระบบควบคุม Buck Converter และผลตอบสนอง
ต่อ Step Input ด้วย Bode ครั้งแรก 71
รูปที่ 4-12แสดงทางเดินรากของระบบควบคุม Buck Converter และผลตอบสนอง
ต่อ Step Input หลังจากการปรับแต่ง 72
รูปที่ 4-13 บัคคอนเวอร์เตอร์ที่มีตัวควบคุมเป็นแบบอนาลอก 73
รูปที่ 4-14 บัคคอนเวอร์เตอร์ที่มีตัวควบคุมเป็นแบบดิจิตอล 74
รูปที่ 4.15 แนวทางในการเขียนโปรแกรมควบคุม บัคคอนเวอร์เตอร์ 75
รูปที่ 5.1 แสดง duty cycle เมื่อมีอินพุตเข้ามา 7 V มี duty cycle = 12% 76
รูปที่ 5.2 แสดง duty cycle เมื่อมีอินพุตเข้ามา 6.6 V มี duty cycle = 20% 77

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.3 แสดง duty cycle เมื่อมีอินพุตเข้ามา 5.6 V มี duty cycle = 40% 77
รูปที่ 5.4 แสดง duty cycle เมื่อมีอินพุตเข้ามา 5 V มี duty cycle = 50% 78
รูปที่ 5.5 แสดง duty cycle เมื่อมีอินพุตเข้ามา 4.6 V มี duty cycle = 60% 78
รูปที่ 5-6 แรงดันเอาท์พุตของบัคคอนเวอร์เตอร์ 5.02 โวลท์ ที่โหลด 1 แอมป์ 79
รูปที่ 5-7 แรงดันเอาท์พุตของบัคคอนเวอร์เตอร์ 4.60 โวลท์ ที่โหลด 3 แอมป์ 80
รูปที่ 5-8 แรงดันเอาท์พุตของบัคคอนเวอร์เตอร์ 4.20 โวลท์ ที่โหลด 5 แอมป์ 80
รูปที่ 5-9 สัญญาณที่ขา TCLK 0(D0) = 6.25 MHz จาก DSP ส่งไปให้ Master Clock 81
รูปที่ 5-10 การร้องขอส่งข้อมูลแบบ Secondary 4 ค่า ในการควบคุมเพื่อกำหนดค่าเริ่มต้นให้แก่ AIC 81
รูปที่ 5-11 PWM ที่ได้จากขา XF1 (D6) จาก DSP เมื่อ AIC ได้รับค่าคำสั่งควบคุม 4 ค่า (PWM = 20 kHz แบบความถี่คงที่) 82
รูปที่ 5-12 PWM ที่ได้จากขา XF1 (D6) ส่งให้บัคคอนเวอร์เตอร์เพื่อควบคุมการนำกระแสของมอสเฟตทำให้เกิดสัญญาณแรงดันเอาท์พุตขึ้นมา 82
รูปที่ 5-13 ที่ Steady State V_0 (Avg(1)) ของบัคคอนเวอร์เตอร์ = 5V 83
รูปที่ 5-14 คาบเวลาที่ใช้ในการส่งข้อมูลอนุกรมจาก AIC ไป DSP มีค่าเท่า 10.2μsec 83
รูปที่ 5-15 คาบเวลาที่ใช้ในการคำนวณ PI-Controller แล้วเกิด PWM ขึ้นมา ใช้เวลาไป 1.96 μsec 84
รูปที่ 5-16 แบบจำลองการทำงานโดย Simulink 84
รูปที่ 5-17 ผลตอบสนองช่วงทรานเซียนต์จากการ Simulink 85
รูปที่ 5-18 สัญญาณเอาท์พุตของบัคคอนเวอร์เตอร์ในช่วงทรานเซียนต์ เมื่อกำหนด Gain=0.5 แZero=0.98 ของ PI-Controller ที่โหลด 1A 85
รูปที่ 5-19 สัญญาณเอาท์พุตของบัคคอนเวอร์เตอร์ในช่วงโหลดเปลี่ยนแปลงจาก 1 A เป็น 5 A 86
รูปที่ 5-20 สัญญาณเอาท์พุตของบัคคอนเวอร์เตอร์ในช่วงโหลดเปลี่ยนแปลงจาก 5 A เป็น 1 A 86

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2-1 บรรยายฟังก์ชันของแต่ละรีจิสเตอร์ 6

ตารางที่ 2-2 สรุปบิตของรีจิสเตอร์ควบคุมส่วนกลางของตัวจับเวลา 14

ตารางที่ 2-3 ผลลัพธ์ของการเขียนโดยระบุค่าของ GO และ $\overline{\text{HLD}}$ 19

ตารางที่ 2-4 แสดงบิตต่างๆ ของรีจิสเตอร์ควบคุมส่วนกลางของพอร์ตอนุกรม 20

ตารางที่ 2-5 แสดงบิตต่างๆ ของรีจิสเตอร์ควบคุมฝ่ายส่งของพอร์ตอนุกรม 23

ตารางที่ 2-6 แสดงบิตต่างๆ ของรีจิสเตอร์ควบคุมฝ่ายรับของพอร์ตอนุกรม 24

ตารางที่ 2-7 แสดงบิตต่างๆ ของรีจิสเตอร์ควบคุมตัวจับเวลาฝ่ายรับและฝ่ายส่งพอร์ตอนุกรม 25

ตารางที่ 2-8 แสดงรูปแบบการส่งแบบ Secondary 33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การประมวลผลสัญญาณดิจิตอล (Digital Signal Processing : DSP) เป็นการใช้ความรู้ทางคณิตศาสตร์แบบดิจิตอลมาจัดการสัญญาณต่างๆ ซึ่งมีบทบาทสำคัญในวงการอิเล็กทรอนิกส์ในปัจจุบันอย่างยิ่ง จนนำมาประยุกต์ใช้งานอย่างกว้างขวาง เนื่องจากกระบวนการทางดิจิตอลเป็นการออกแบบระบบซอฟแวร์จึงสามารถสร้างและประมวลผลสัญญาณต่างๆ เพื่อให้ได้ผลลัพธ์ตามต้องการได้ง่าย ในขณะที่การจัดการสัญญาณอนาลอกซึ่งโดยปกติเป็นทั้งขบวนการแบบเชิงเส้นและไม่เชิงเส้น จะมีอุปกรณ์ช่วยในการประมวลผลมากมาย เช่น ตัวต้านทาน ตัวเก็บประจุ ทรานซิสเตอร์ ออปแอมป์ และอุปกรณ์อิเล็กทรอนิกส์ต่าง นอกจากนี้อุปกรณ์ที่เกี่ยวกับการประมวลผลสัญญาณดิจิตอลมีราคาถูกลงและทำงานได้รวดเร็วขึ้น การประยุกต์ใช้งานที่พบเห็นได้มาก ได้แก่เรื่องต่างๆต่อไปนี้

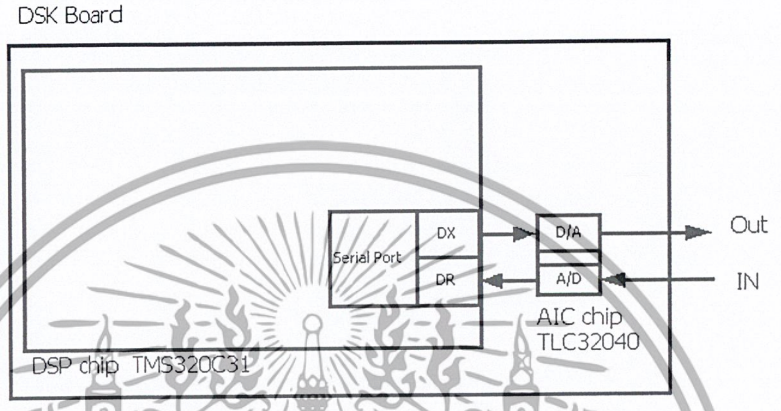
- การแปลงฟูเรียร์ทรานเฟอร์มแบบไม่ต่อเนื่องอย่างรวดเร็ว (Fast Fourier Transform : FFT)
- ฟิลเตอร์ อะแดปทีฟฟิลเตอร์ อีควอไลเซอร์ และตัวเลื่อนเฟส
- มิกเซอร์มอดูเลเตอร์และตัวเปรียบเทียบเฟส
- วงจรกำเนิดสัญญาณ ออสซิลเลเตอร์ปรับค่าได้และแหล่งสัญญาณรบกวน
- อุปกรณ์ไม่เชิงเส้น ลิมิเตอร์ คอมพาราเตอร์
- การควบคุมวงจรควบคุมต่างๆ เซอร์โว ฯลฯ
- วงจรประมวลผลสัญญาณภาพ เสียงพูด ฯลฯ

การประมวลผลสัญญาณในรูปแบบ DSP จะใช้ไมโครโปรเซสเซอร์ (Microprocessor) ที่มีความเร็วสูง ดังนั้นจึงประยุกต์ใช้งานได้ง่าย และเป็นการออกแบบระบบซอฟแวร์ (Software) ดังนั้นจึงมีการใช้งานไปทางด้านต่างๆ ที่เป็นผลิตภัณฑ์สำเร็จรูปต่างๆ เช่น โมเด็ม อุปกรณ์โทรศัพท์ วงจรสังเคราะห์เสียง วงจรควบคุมขบวนการผลิต เป็นต้น

ในโครงงานนี้จะใช้บอร์ดดีเอสเค (DSP Starter Kit) ซึ่งประกอบด้วยไมโครโปรเซสเซอร์ดีเอสพี TMS320C31 ซึ่งเป็นไมโครโปรเซสเซอร์ตระกูล TMS320 ของบริษัท TEXAS INSTRUMENT เป็น DSP รุ่นอิงดรรชนีขนาด 32 บิตแบบ CMOS สมรรถนะสูง สามารถทำงานด้วยความเร็วสูงถึง 40 นาโนวินาทีต่อไซเคิล (ns/cycle) ประมวลผลได้ด้วยความเร็วถึง 60 ล้านคำสั่งอิงดรรชนีต่อวินาที และ 30 ล้านคำสั่งต่อวินาที (million instructions per second : MIPS)

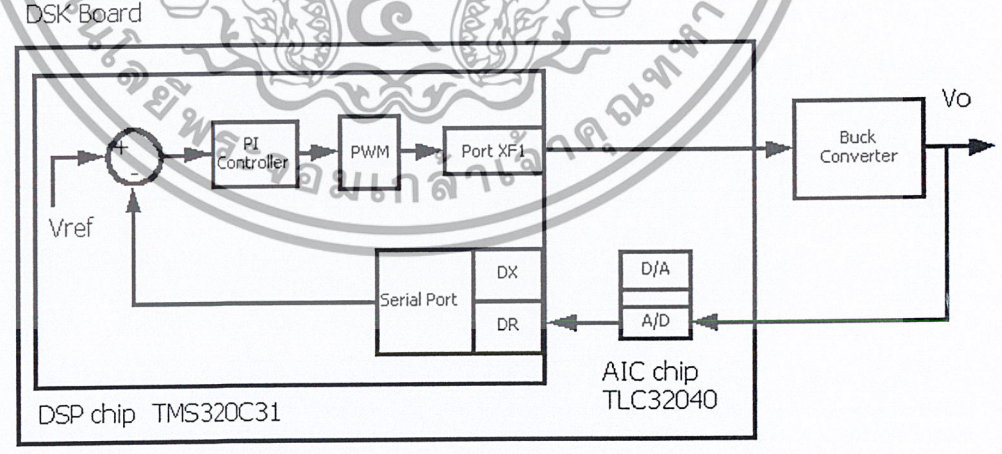
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประมวลสัญญาณอนาลอก จะต้องทำโดยผ่านตัวเชื่อมต่อสัญญาณอนาลอก (Analog interface circuit : AIC) รุ่น TLC32040 ซึ่งจะมีอยู่ในบอร์ดดีเอสเค และส่งไปประมวลผลที่ TMS320C31 โดยผ่านพอร์ตอนุกรมของ C'31 รูปแบบของการประมวลสัญญาณอนาลอกเขียนเป็นบล็อกไดอะแกรมได้ดังรูปที่ 1-1



รูปที่ 1-1 แสดงบล็อกไดอะแกรมของการประมวลสัญญาณอนาลอก

โครงงานนี้ใช้บอร์ดดีเอสเค ในการควบคุมบัคคอนเวอร์เตอร์ให้เอาท์พุตคงที่ โดยบอร์ดดีเอสเคจะผลิตสัญญาณพัลส์ออก Port XF1 ไปควบคุมบัคคอนเวอร์เตอร์ แสดงบล็อกไดอะแกรมได้ดังรูปที่ 1-2



รูปที่ 1-2 บล็อกไดอะแกรมแสดงการควบคุมบัคคอนเวอร์เตอร์

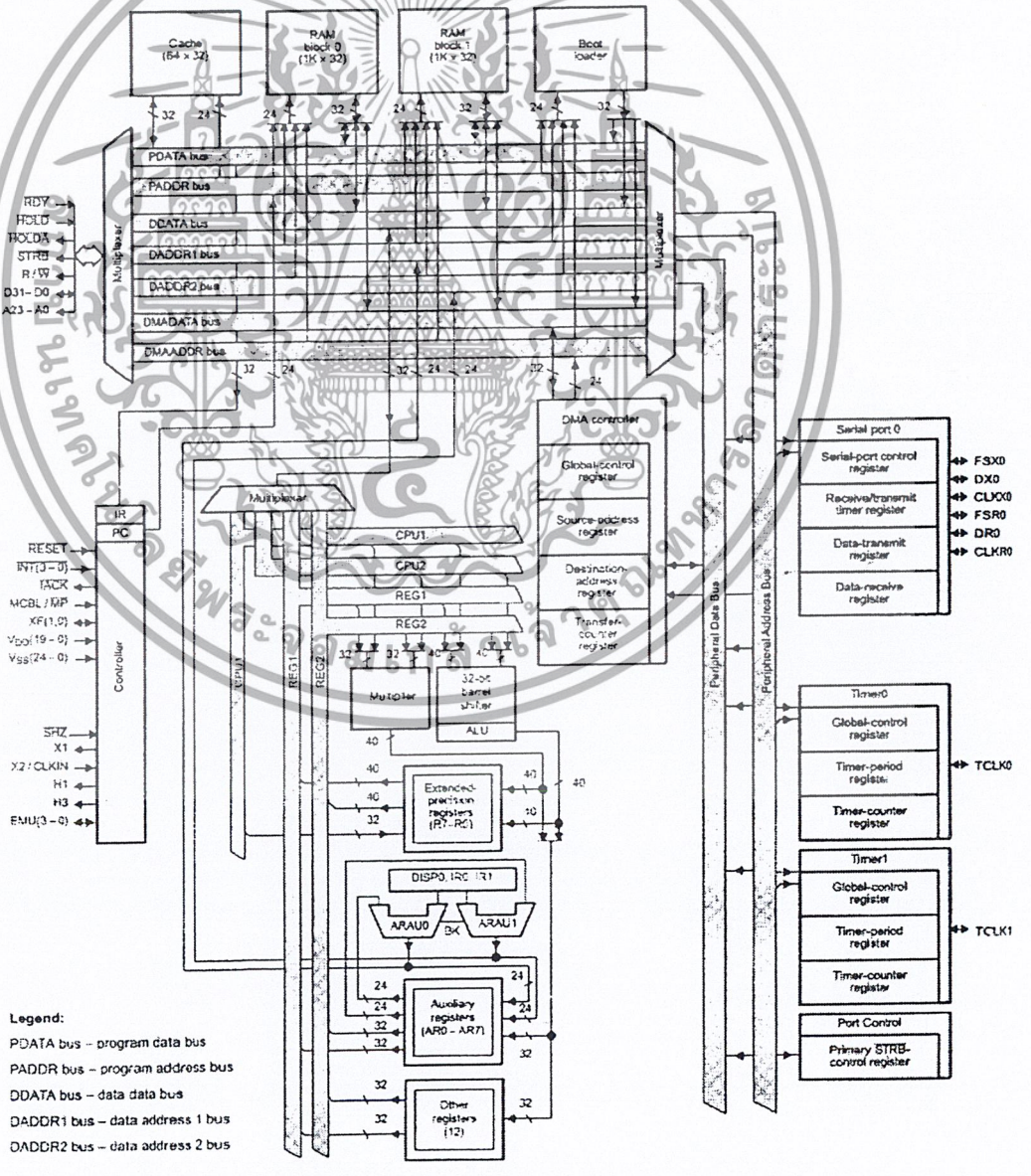
เอาท์พุตของบัคคอนเวอร์เตอร์จะเปลี่ยนแปลงตามโหลด เมื่อเอาท์พุตเปลี่ยนแปลงตัวควบคุม (Controller) จะทำการปรับความกว้างของพัลส์ (Duty Cycle) ทำให้เอาท์พุตที่ได้มีค่าคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี

2.1 สถาปัตยกรรม TMS320C3x

สถาปัตยกรรม TMS320C3x สามารถตอบสนองความต้องการพื้นฐานของขั้นตอนวิธีคำนวณที่ซับซ้อน และเน้นการแก้ปัญหาทั้งทางฮาร์ดแวร์และซอฟท์แวร์ หน่วยอิงดรรชนีมีพิสัยแบบพลวัต (dynamic range) ที่กว้างและเที่ยงตรง หน่วยความจำบนชิปขนาดใหญ่ ระบบแบบขนานดีกรีสูง และตัวควบคุมการเข้าถึงหน่วยความจำโดยตรง ทำให้ TMS320C3x มีสมรรถภาพสูง



รูปที่ 2-1 เป็นบล็อกไดอะแกรมของสถาปัตยกรรม TMS320C3x

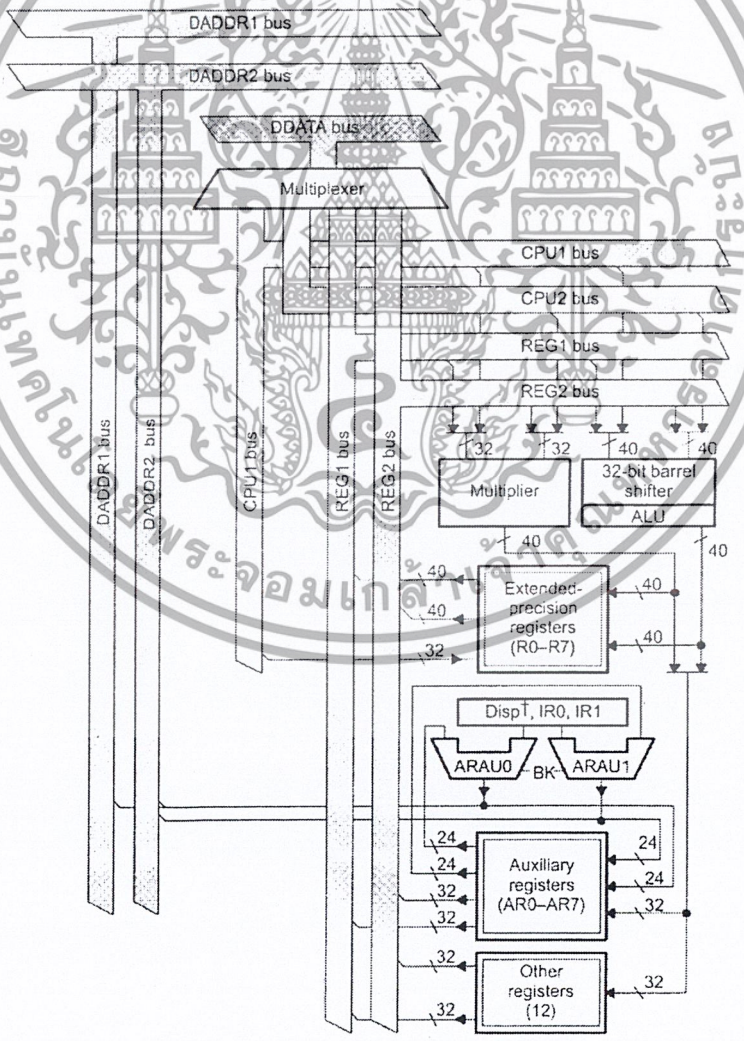
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1 หน่วยประมวลผลกลาง (Central Processing Unit : CPU)

ประกอบด้วยอุปกรณ์ต่างๆ ดังนี้

- ตัวคูณเลขอิงดรรชนี/จำนวนเต็ม (Floating-point/integer multiplier)
- หน่วยคำนวณและตรรก (Arithmetic logic unit : ALU) สำหรับไว้ดำเนินการเลขอิงดรรชนี, จำนวนเต็มและตรรก
- ตัวเลื่อนหรือหมุนเวิร์ดข้อมูล(barrel shifter) 32 บิต
- บัสภายใน (CPU1/CPU2 และREG1/REG2)
- หน่วยคำนวณรีจิสเตอร์ช่วย(Auxiliary register arithmetic units : ARAUs)
- แฟ้มรีจิสเตอร์ของหน่วยประมวลผลกลาง (CPU register file)

รูปที่ 2-2 แสดงอุปกรณ์ต่างๆ ของหน่วยประมวลผลกลาง โดยจะตามหลังด้วยคำอธิบาย



รูปที่ 2-2 หน่วยประมวลผลกลาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1.1 ตัวคูณ (Multiplier)

ตัวคูณจะทำการคูณแบบรอบเดียว โดยเป็นค่าจำนวนเต็ม 24 บิต และค่าอิงดรรชนี 32 บิต วิธีการคำนวณเลขอิงดรรชนีของ TMS320C3x จะให้ทำงานที่ความเร็วไม่อิงดรรชนี (fixed-point) ผ่านทางรอบคำสั่ง 50 นาโนวินาที และระบบแบบขนานดีกรีสูง

เมื่อตัวคูณทำการคูณเลขอิงดรรชนี,อินพุตจะเป็นเลขอิงดรรชนี 32 บิต และได้ผลลัพธ์เป็นเลขอิงดรรชนี 40 บิต

เมื่อตัวคูณทำการคูณเลขจำนวนเต็ม,อินพุตจะเป็นเลขจำนวนเต็ม 24 บิต และได้ผลลัพธ์เป็นเลขจำนวนเต็ม 32 บิต

2.1.1.2 หน่วยคำนวณและตรรก (ALU)

หน่วยคำนวณและตรรกะ แสดงการจัดการข้อมูลจำนวนเต็ม 32 บิต,ตรรก 32 บิต และอิงดรรชนี 40 บิต แบบรอบเดียว รวมทั้งการเปลี่ยนจำนวนเต็มและอิงดรรชนี แบบรอบเดียว ผลลัพธ์ของหน่วยคำนวณและตรรกจะยังคงเป็นเลขจำนวนเต็ม 32 บิตหรืออิงดรรชนี 40 บิตเสมอ ส่วนตัวเลื่อนหรือหมุนเวิร์ดข้อมูล จะใช้เพื่อเลื่อนหรือหมุนบิตจนถึง 32 บิตซ้ายหรือขวาภายในรอบเดียว

บัสภายใน, CPU1/CPU2 และREG1/REG2 บรรจุ 2 ตัวถูกดำเนินการ (operand) จากหน่วยความจำ และบรรจุ 2 ตัวถูกดำเนินการจากแฟ้มรีจิสเตอร์ ดังนั้นจึงสามารถคูณแบบขนาน และบวก/ลบเลขจำนวนเต็มหรือเลขอิงดรรชนี 4 ตัวได้ในรอบเดียว

2.1.1.3 หน่วยคำนวณรีจิสเตอร์ช่วย(ARAUs)

ARAU0 และ ARAU1 สามารถสร้าง 2 ตำแหน่งในรอบเดียว หน่วยคำนวณรีจิสเตอร์ช่วยทำงานแบบขนานด้วยตัวคูณและ ALU ซึ่งทั้ง 2 ตัวนี้สนับสนุนการเข้าถึงตำแหน่งด้วยการแทนที่ (addressing with displacements), รีจิสเตอร์ดรรชนี(index register : IR0และIR1) , การเข้าถึงตำแหน่งแบบวนรอบ (circular addressing) และการเข้าถึงตำแหน่งแบบกลับบิต (bit-reversed addressing)

2.1.1.4 แฟ้มรีจิสเตอร์ของหน่วยประมวลกลาง (CPU register file)

TMS320C3x จะจัดให้รีจิสเตอร์ 28 ตัวอยู่ในแฟ้มรีจิสเตอร์ที่มีทางเข้าออกหลายทางซึ่งติดกับหน่วยประมวลผลกลาง ส่วนตัวนับโปรแกรม (Program Counter : PC) จะไม่รวมอยู่ในรีจิสเตอร์ 28 ตัวข้างต้น รีจิสเตอร์ทั้งหมดนี้สามารถทำงานโดยตัวคูณ,หน่วยคำนวณและ ตรรก และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถใช้เป็นรีจิสเตอร์อเนกประสงค์ 32 บิต นอกจากนี้รีจิสเตอร์ยังมีฟังก์ชันพิเศษ เช่น รีจิสเตอร์เพิ่มเติม (extended-precision) 8 ตัวจะเหมาะสำหรับเก็บผลลัพธ์แบบอิงดรรชนี, รีจิสเตอร์ช่วย 8 ตัว จะสนับสนุนโหมดการเข้าถึงตำแหน่งโดยอ้อม (indirect addressing mode) ที่หลากหลายและสามารถใช้เป็นรีจิสเตอร์จำนวนเต็ม 32 บิตทั่วไป และรีจิสเตอร์แบบตรรกะ, รีจิสเตอร์ที่เหลือจะจัดให้แต่ละฟังก์ชันของระบบ เช่น การเข้าถึงตำแหน่ง, การจัดการสแตก (stack), สถานะของตัวประมวลผล, การอินเตอร์รัพต์และบล็อก(block) ที่ทำซ้ำ

ชื่อของรีจิสเตอร์และฟังก์ชันที่กำหนดจะอยู่ในตาราง 2-1 ตามตารางจะบรรยายฟังก์ชันของแต่ละรีจิสเตอร์หรือกลุ่มของรีจิสเตอร์ไว้อย่างย่อๆ

Register name	Assigned Function
R0-R7	Extended-precision register 0-7
AR0-AR7	Auxiliary register 0-7
DP	Data-page pointer
IR0	Index register
IR1	Index register
BK	Block size
SP	System stack pointer
ST	Status register
IE	CPU/DMA Interrupt enable
IF	CPU interrupt flags
IOF	I/O flags
RS	Repeat start address
RE	Repeat end address
RC	Repeat counter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R0-R7 รีจิสเตอร์เพิ่มเติม(extended-precision register) 0-7 มีความสามารถในการจัดเก็บและสนับสนุนการจัดการเลขจำนวนเต็ม 32 บิต และเลขอิงดรรชนี 40 บิต

AR0-AR7 รีจิสเตอร์ช่วย(auxillary register) 0-7 สามารถเข้าถึงได้โดยหน่วยประมวลผลกลาง และแก้ไขโดยหน่วยคำนวณรีจิสเตอร์ช่วย 2 ตัว โดยที่ฟังก์ชันพื้นฐานของรีจิสเตอร์ช่วยทำให้เกิดตำแหน่ง 24 บิต ซึ่งสามารถใช้เป็นตัวนับลูป(loop counter) หรือเป็นรีจิสเตอร์อเนกประสงค์ 32 บิต ซึ่งสามารถแก้ไขโดยตัวคูณและหน่วยเลขคณิตแบบตรรก

DP ตัวชี้เพจของข้อมูล(data page pointer) คือรีจิสเตอร์ 32 บิต โดยที่ 8 บิตล่างถูกใช้เป็นโหมดการเข้าถึงตำแหน่งโดยตรง (direct addressing mode) เสมือนเป็นตัวชี้ตำแหน่งเพจของข้อมูล เพจของข้อมูลมีความยาว 64K เวิร์ด (word) จากทั้งหมด 256 เพจ

IR0,IR1 รีจิสเตอร์ดรรชนี 32 บิต จะเก็บค่าให้กับหน่วยคำนวณรีจิสเตอร์ช่วย เพื่อคำนวณตำแหน่งที่ชี้

BK รีจิสเตอร์ขนาดบล็อก (block size register) 32 บิต ถูกใช้โดยหน่วยคำนวณรีจิสเตอร์ช่วยในการเข้าถึงตำแหน่งแบบวนรอบ (circular addressing) เพื่อระบุขนาดของบล็อกข้อมูล (data block)

SP ตัวชี้สแตกของระบบ(system stack pointer) คือ รีจิสเตอร์ 32 บิต ซึ่งเก็บตำแหน่งของสแตกบนสุด (top stack) ซึ่ง SP จะชี้อยู่ที่ตัวสุดท้ายที่ถูกพุช (push) ลงมา (การพุชนั้นก่อนพุชค่าของ SP จะถูกเพิ่มก่อนทุกครั้ง ส่วนการป๊อป(pop) จะทำการป๊อปก่อนจึงลดค่าใน SP ค่า SP เปลี่ยนแปลงตามการอินเทอร์รัพต์, แทร็ป(trap),เรียก(call),รีเทิร์น(return),คำสั่งพุชและคำสั่งป๊อป

ST รีจิสเตอร์สถานะ(status register) เก็บข้อมูลทั่วไปที่เกี่ยวข้องกับสถานะของหน่วยประมวลผลกลาง

IE รีจิสเตอร์อินเตอร์รัพต์หน่วยประมวลผลกลาง/การเข้าถึงหน่วยความจำโดยตรง (CPU/DMA interrupt enable register) เป็นรีจิสเตอร์ 32 บิต

บิตอินเตอร์รัพต์หน่วยประมวลผลกลาง (CPU interupt enable bit) คือ บิต 10-0

บิตอินเตอร์รัพต์การเข้าถึงหน่วยความจำโดยตรง (DMA interupt enable bit) คือ บิต 26-16

โดย 1 = ได้(enable) , 0=ไม่ได้ (disable)

IF รีจิสเตอร์อินเตอร์รัพต์แฟลกของหน่วยประมวลผลกลาง (CPU interrupt flag register) เป็นรีจิสเตอร์ 32 บิต โดย 1 =อินเตอร์รัพต์, 0=ไม่อินเตอร์รัพต์

IOF รีจิสเตอร์แฟลกของอินพุต/เอาต์พุต(I/O flag register) ควบคุมฟังก์ชันของขาภายนอกที่มีหน้าที่พิเศษ (XF0และXF1) โดยที่ขาเหล่านี้อาจถูกกำหนดเป็นอินพุตหรือเอาท์พุตก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RC ตัวนับการทำซ้ำ(repeat counter) เป็นรีจิสเตอร์ 32 บิต ใช้ระบุจำนวนครั้งที่บล็อกของรหัส(code) ที่ทำซ้ำ เมื่อบล็อกที่ทำซ้ำกำลังทำงาน

RS รีจิสเตอร์ตำแหน่งเริ่มต้นการทำซ้ำ (repeat start address register) 32 บิต เก็บตำแหน่งเริ่มต้นของบล็อกของหน่วยความจำโปรแกรมที่ทำซ้ำ

RE รีจิสเตอร์ตำแหน่งจบการทำซ้ำ (repeat end address register) 32 บิต เก็บตำแหน่งสุดท้ายของบล็อกที่ทำซ้ำ

PC ตัวนับโปรแกรม (program counter) เป็นรีจิสเตอร์ 32 บิต เก็บตำแหน่งของคำสั่ง ต่อไปที่จะนำมา (fetch) ถึงแม้ PC จะไม่ใช่ส่วนของแฟ้มรีจิสเตอร์ของหน่วยประมวลผลกลาง แต่ก็สามารถแก้ไขโดยคำสั่งที่แก้ไขสายงานโปรแกรม

2.1.2 การจัดหน่วยความจำของ TMS320C31

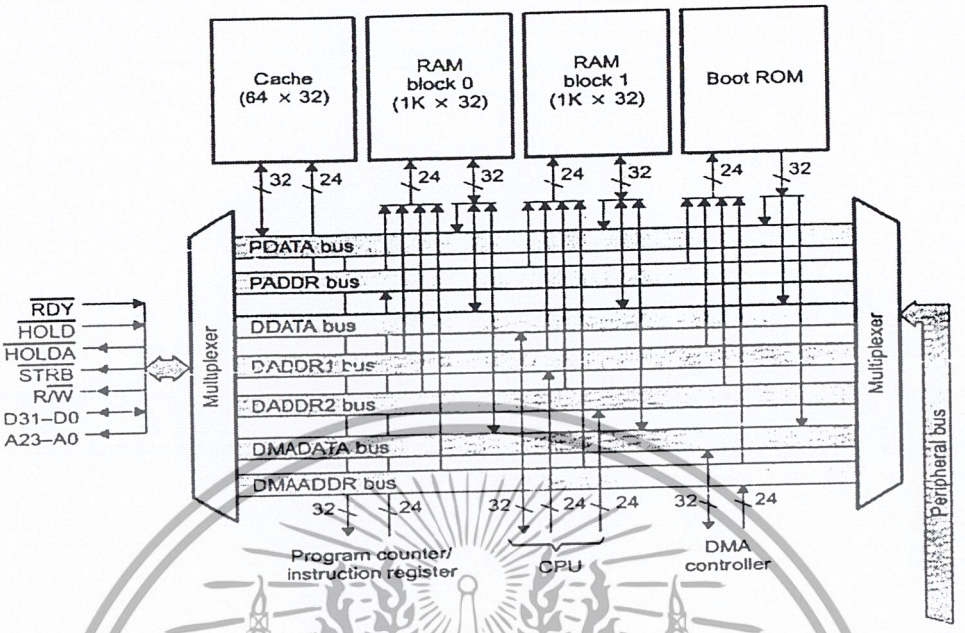
TMS320C3x มีพื้นที่ของหน่วยความจำทั้งหมดเป็น 16M (million) 32บิต เวิร์ด โดยบรรจุโปรแกรม ข้อมูล และเนื้อที่ของอินพุต/เอาท์พุตอยู่ภายใน ดังนั้นสามารถเก็บตาราง(table) สัมประสิทธิ์ (coefficient) รหัสของโปรแกรม (program code) หรือข้อมูล ไว้ได้ทั้งใน RAM หรือROM ก็ได้ ในกรณีนี้จะทำให้สามารถใช้หน่วยความจำได้มากที่สุด และ จัดพื้นที่หน่วยความจำได้ตามต้องการ

2.1.2.1 RAM,ROMและCache

รูปที่ 2-3 แสดงการจัดหน่วยความจำของ TMS320C3x โดยใน TMS320C31 มี RAM 2 ตัว แต่ละตัวมีขนาด 1K×32 บิต ไม่มี ROM และมี Cache ขนาด 64 × 32 บิต เพื่อเก็บคำสั่งที่ใช้บ่อยๆ(ทำงานได้ดีขึ้น)

TMS320C31 นี้มีการแยกหน่วยความจำข้อมูลกับหน่วยความจำโปรแกรมออกจากกันและทำงานโดยวิธีไปป์ไลน์(pipeline) จึงทำให้มีความเร็วสูงขึ้น การแยกบัสของโปรแกรม (program bus) บัสของข้อมูล (data bus) และบัสของการเข้าถึงหน่วยความจำโดยตรง (DMA bus) ทำให้สามารถไปนำโปรแกรมมา อ่านข้อมูล และทำการเข้าถึงหน่วยความจำโดยตรงได้พร้อมๆกัน เช่น ในขณะที่หน่วยประมวลผลกลางกำลังจัดการกับข้อมูลอยู่ใน RAM ตัวหนึ่งอยู่ ก็ยังสามารถไปนำโปรแกรมมาโดยเข้าถึงหน่วยความจำโดยตรงผ่าน RAM อีกตัวหนึ่งได้ภายในรอบเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-3 การจัดการหน่วยความจำ

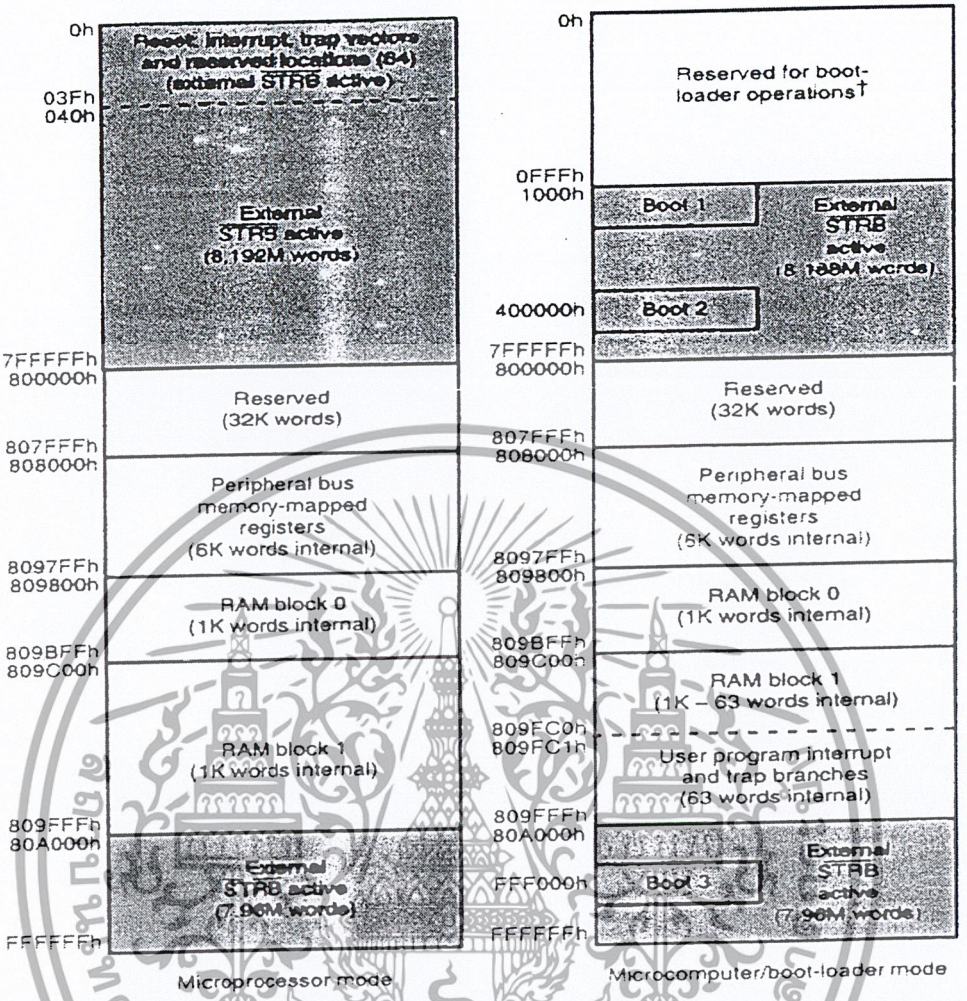
2.1.2.2 การแทนข้อมูล(Memory Map) ของ TMS320C31

การแทนข้อมูลขึ้นอยู่กับการตั้งค่าขา MCBL/$\overline{MP}$ ว่าอยู่ในโหมดใดของฟังก์ชั่นดังนี้

- โหมดไมโครโปรเซสเซอร์ (MC/$\overline{MP}$ หรือ MCBL/$\overline{MP}$=0)
- โหมดไมโครคอมพิวเตอร์(MC/$\overline{MP}$ หรือ MCBL/$\overline{MP}$=1)

การแทนข้อมูลที่ได้จะคล้ายๆกันดังรูปที่ 2-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-4 การแทนข้อมูลของ TMS320C31

2.1.3 การจัดการบัสภายใน

ส่วนใหญ่ TMS320C3x จะมีสมรรถภาพสูงเพราะบัสภายใน และการแยกแบบขนานของบัสของโปรแกรม (PADDR และPDATA) บัสของข้อมูล (DADR1,DADDR2 และ DDATA) และบัสของการเข้าถึงหน่วยความจำโดยตรง (DMAADR และ DMADATA) จะสามารถไปนำโปรแกรมมาแบบขนาน การเข้าถึงข้อมูล และการเข้าถึงหน่วยความจำโดยตรง โดยบัสหล่านี้จะต่อกับพื้นที่ทั้งหมด (หน่วยความจำบนชิป หน่วยความจำนอกชิป และอุปกรณ์ภายนอกชิป) รูปที่ 2-5 แสดงบัสภายในเหล่านี้ และการติดต่อกับบล็อกของหน่วยความจำบนชิปและนอกชิป

ตัวนับโปรแกรมต่ออยู่กับบัสตำแหน่งโปรแกรม 24 บิต (PADDR) ส่วนรีจิสเตอร์คำสั่ง (Instruction register : IR) ต่ออยู่กับบัสข้อมูลของโปรแกรม 32 บิต (PDATA) โดยที่บัสเหล่านี้สามารถไปนำเวิร์ดคำสั่งเดี่ยวมาได้ทุกๆรอบของเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บัสตำแหน่งของข้อมูล 24 บิต (DADDR1 และ DADDR2) และบัสของข้อมูล 32 บิต (DDATA) จะสนับสนุนการเข้าถึงหน่วยความจำของข้อมูลทั้ง 2 ในทุกรอบของเครื่อง บัส DDATA จะเก็บข้อมูลให้หน่วยประมวลผลกลางผ่านไป บัส CPU1 และ CPU2 จากนั้น บัส CPU1 และ CPU2 จะเก็บตัวถูกดำเนินการของหน่วยความจำข้อมูล 2 ตัวไปให้ตัวคูณ หน่วยคำนวณและตรรก และแฟ้มรีจิสเตอร์ทุกรอบเครื่อง เช่นเดียวกันกับบัสของรีจิสเตอร์ REG1 และ REG2 ก็จะเก็บข้อมูล 2 ค่าจากแฟ้มรีจิสเตอร์ไปให้ตัวคูณ และหน่วยคำนวณและตรรกทุกรอบของเครื่อง รูปที่ 2-5 แสดงบัสภายในไปยังส่วนของหน่วยประมวลผลกลาง

ตัวควบคุมการเข้าถึงหน่วยความจำโดยตรง (DMA controller) ถูกสนับสนุนโดยบัสของตำแหน่ง 24 บิต (DMAADDR) และบัสของข้อมูล 32 บิต (DMADATA) บัสเหล่านี้จะอนุญาตให้การเข้าถึงหน่วยความจำโดยตรงเป็นแบบขนาน โดยใช้บัสของข้อมูลและบัสของโปรแกรม

2.1.4 อุปกรณ์ภายนอก(Peripherals)

รีจิสเตอร์การแทนข้อมูลจะควบคุมอุปกรณ์ภายนอกของ TMS320C3x ทั้งหมด โดยใช้บัสของอุปกรณ์รอบนอกซึ่งเป็นบัสของข้อมูล 32 บิต และบัสของตำแหน่ง 24 บิต ที่จะยอมให้ติดต่อกับอุปกรณ์รอบนอกโดยตรง อุปกรณ์รอบนอกของ TMS320C31 ประกอบด้วย ตัวจับเวลา (timer) 2 ตัว และพอร์ตอนุกรม(serial port) 1ตัว รูปที่ 2-5 แสดงอุปกรณ์รอบนอกกับบัสและสัญญาณที่เกี่ยวข้อง

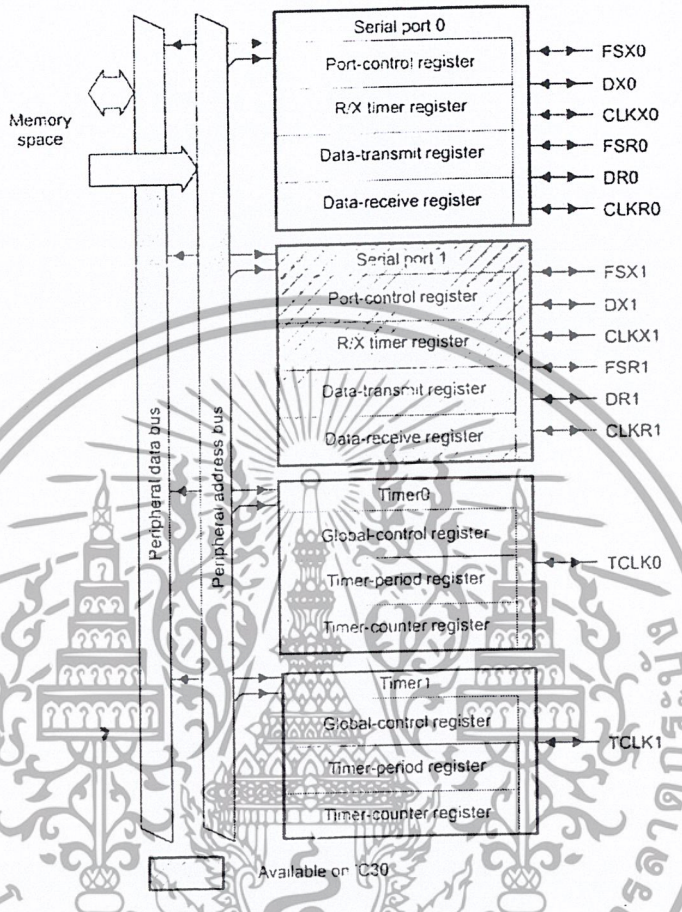
2.1.4.1 ตัวจับเวลา (timer)

ตัวจับเวลา 2 ตัวของ TMS320C3x เป็นตัวจับเวลาอเนกประสงค์ (general-purpose timer) / ตัวนับเหตุการณ์ (event-counter) 32 บิต ที่มีโหมดด้านสัญญาณ 2 ตัว และสัญญาณนาฬิกา (clocking) ภายในหรือภายนอก (ดูรูปที่ 2-6) สามารถใช้ตัวจับเวลาเพื่อส่งสัญญาณให้ TMS320C3x หรือโลกภายนอกเป็นช่วงๆ ตามที่กำหนดหรือนับเหตุการณ์ภายนอก

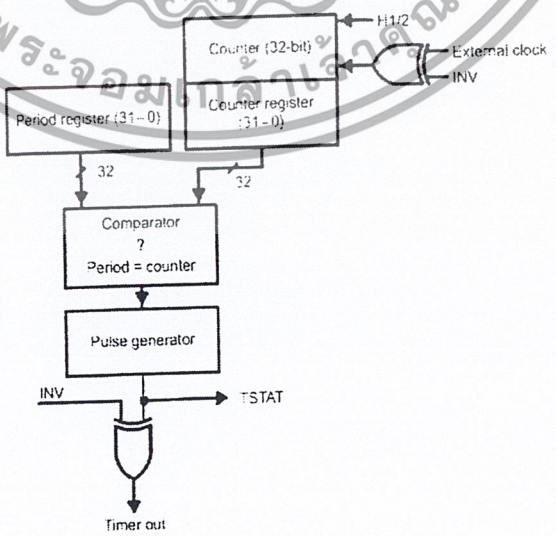
การใช้สัญญาณนาฬิกาภายในจะทำให้สามารถใช้ตัวจับเวลาเพื่อส่งสัญญาณให้ตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (A/D converter) ภายนอก ไปเริ่มต้นการเปลี่ยนแปลง หรือสามารถอินเตอร์รัพต์ตัวควบคุมการเข้าถึงหน่วยความจำโดยตรงของ TMS320C3x ให้เริ่มต้นส่งย้ายข้อมูล การอินเตอร์รัพต์ตัวจับเวลาเป็นการอินเตอร์รัพต์ภายในแบบหนึ่ง ส่วนการใช้สัญญาณนาฬิกาภายนอกจะทำให้ตัวจับเวลาสามารถนับเหตุการณ์ภายนอกและอินเตอร์รัพต์หน่วยประมวลผลกลางหลังจากระบุจำนวนเหตุการณ์ ตัวจับเวลาแต่ละตัวจะมีขาอินพุต/เอาท์พุต(I/O pin)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งสามารถใช้เสมือนเป็นสัญญาณนาฬิกาอินพุต (input clock) ให้ตัวจับเวลา สัญญาณนาฬิกาเอาท์พุต (output clock) หรือขา อินพุต/เอาท์พุตอเนกประสงค์ (general-purpose I/O pin)



รูปที่ 2-5 แสดงอุปกรณ์ภายนอกกับบัสและสัญญาณที่เกี่ยวข้อง



รูปที่ 2-6 บล็อกไดอะแกรมของตัวจับเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแทนที่ข้อมูลสำหรับตัวจับเวลา แสดงในรูปที่ 2-7

Register	peripheral address	
	Timer0	Timer1
Timer Global Control (ดู table 1)	808020h	808030h
Reserved	808021h	808031h
Reserved	808022h	808032h
Reserved	808023h	808033h
Timer Counter	808024h	808034h
Reserved	808025h	808035h
Reserved	808026h	808036h
Reserved	808027h	808037h
Timer Period	808028h	808038h
Reserved	808029h	808039h
Reserved	80802Ah	80803Ah
Reserved	80802Bh	80803Bh
Reserved	80802Ch	80803Ch
Reserved	80802Dh	80803Dh
Reserved	80802Eh	80803Eh
Reserved	80802Fh	80803Fh

รูปที่ 2-7 ตำแหน่งการแทนข้อมูลของตัวจับเวลา

ในแต่ละตัวจับเวลา จะมีรีจิสเตอร์การแทนข้อมูลดังนี้

- รีจิสเตอร์ควบคุมส่วนกลาง (Global-control register) กำหนดโหมดการทำงาน (operating mode) ของตัวจับเวลา ตรวจสอบสถานะของตัวจับเวลาและควบคุมฟังก์ชันต่างๆ ของขาอินพุต/เอาท์พุตของตัวจับเวลา
- รีจิสเตอร์คาบเวลา (Period register) ระบุความถี่ทางสัญญาณของตัวจับเวลา
- รีจิสเตอร์ตัวนับ (Counter register) เก็บค่าในปัจจุบันของตัวนับที่เพิ่มค่า (incrementing counter) ซึ่งสามารถเพิ่มค่าตัวจับเวลา โดยการนับขึ้นอย่างเดียว หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขอบขาลงของตัวนับสัญญาณนาฬิกาอินพุต (input clock counter) ถ้าตัวนับเป็น 0 จะสามารถทำให้เกิดการอินเตอร์รัพท์ภายในได้เมื่อค่าของมันเท่ากับรีจิสเตอร์คาบเวลา โดยตัวสร้างสัญญาณพัลส์ (pulse generator) จะสร้างสัญญาณนาฬิกาภายนอก 2 ตัว คือ สัญญาณพัลส์หรือสัญญาณนาฬิกา

2.1.4.1.1 รีจิสเตอร์ควบคุมส่วนกลางของตัวจับเวลา (Time Global-Control Register)

เป็นรีจิสเตอร์ 32 บิต บรรจุบิตควบคุมพอร์ตและทั้งหมด สำหรับตัวจับเวลา ตารางที่ 2-2 อธิบายบิตของรีจิสเตอร์ ชื่อ และฟังก์ชัน โดยบิต 3-0 เป็นบิตควบคุมพอร์ต; บิต 11-6 เป็นบิตควบคุมส่วนกลางของตัวนับเวลา รูปที่ 2-8 แสดงรีจิสเตอร์ 32 บิต จะสังเกตุว่าเมื่อตั้งใหม่ (reset) บิตทุกบิตจะถูกตั้งค่าเป็น 0 ยกเว้น DATIN ที่ถูกตั้งค่าด้วยค่าที่ได้จาก TCLK

รูปที่ 2-8 รีจิสเตอร์ควบคุมส่วนกลางของตัวจับเวลา

ตาราง 2-2 สรุปบิตของรีจิสเตอร์ควบคุมส่วนกลางของตัวจับเวลา

Bit	Name	Reset Value	Function
0	FUNC	0	FUNC ควบคุมฟังก์ชั่นของ TCLK ถ้า FUNC = 0 แล้ว TCLK จะถูกกำหนดคล้ายพอร์ตอินพุต /เอาท์พุตแบบดิจิตอลอเนกประสงค์ ถ้า FUNC =1 แล้ว TCLK จะถูกกำหนดคคล้ายขาตัวจับเวลา (ดูรูป 2-9 สำหรับอธิบายความสัมพันธ์ระหว่าง FUNC และ CLKSRC)
1	I/O	0	ถ้า FUNC=0 และ CLKSRC=0 แล้ว TCLK ถูก กำหนดคล้ายกับขาอินพุต/เอาท์พุตอเนกประสงค์ ในกรณีที่ I/O =0 แล้ว TCLK ถูกกำหนด คล้ายขาอินพุตอเนกประสงค์ ถ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

			I/O =1 แล้ว TCLK ภูกกำหนดเสมือนขาเอาท์พุต
2	DATOUT	0	DATOUT เป็นตัวกำหนด TCLK เมื่อ TMS320C3x อยู่ในโหมดพอร์ตนพุต/เอาท์พุต สามรถใช้ DATOUT เช่นเดียวกับอินพุตไปสู่ตัวจับเวลา
3	DATIN	X[1]	อินพุตข้อมูลบน TCLK หรือ DATOUT การเขียนไม่มีผลใดๆ
5-4	Reserved	0-0	สำรอง
6	GO	0	บิต GO ตังและเริ่มทำงานของตัวจับเวลา-ตัวนับใหม่เมื่อ GO=1 และตัวจับเวลาไม่ถูกคงค่า (hold) ไว้ ตัวนับจะถูกทำให้เป็น 0 และเริ่มเพิ่มค่าในขอบขาขึ้นถัดไปของสัญญาณนาฬิกาอินพุตของตัวจับเวลา โดนที่บิต GO นี้จะถูกทำให้ว่าง (clear) บนขอบขาขึ้นเดิม ถ้า GO=0 จะไม่มีผลต่อตัวจับเวลา
7	$\overline{\text{HLD}}$	0	ตัวนับจะคงค่าสัญญาณ เมื่อบิตนี้เป็น 0 โดยที่ตัวนับ จะไม่ทำงานและถูกคงค่าในสถานะปัจจุบัน ถ้าตัวจับเวลากำลังกำหนด TCLK แล้ว สถานะของ TCLK ถูกคงค่า ด้วยตัวนับภายในที่ถูกหารด้วย 2 ถูกคงค่าด้วย ดังนั้นตัวนับจะสามารถดำเนินต่อไปได้เมื่อ $\overline{\text{HLD}}$ ถูกตั้งค่าเป็น 1 สามารถอ่านและแก้ไข รีจิสเตอร์ของตัวจับเวลา ในขณะที่ตัวจับเวลากำลังถูกคงค่าได้ แต่ RESET มีลำดับความสำคัญ (priority) มากกว่า $\overline{\text{HLD}}$ ตารางที่ 2-3 แสดงผลของการเขียน GO และ $\overline{\text{HLD}}$
8	C/$\overline{\text{P}}$	0	ควบคุมโหมดสัญญาณนาฬิกา/สัญญาณพัลซ์ เมื่อ C/$\overline{\text{P}}$ =1 โหมดสัญญาณนาฬิกา จะถูกเลือกและสัญญาณแฟลกของ TSTAT และเอาท์พุต

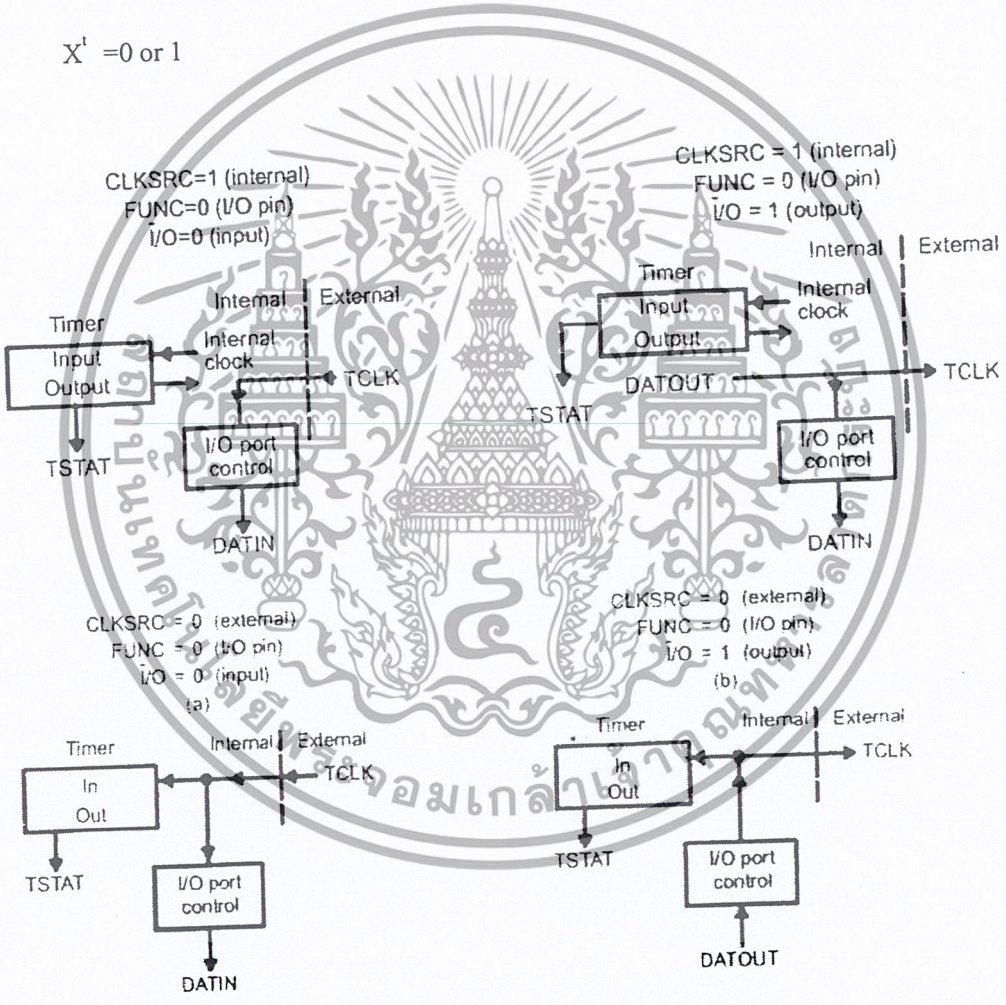
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

			ภายนอกจะมีค่ารอบการทำงาน (duty cycle) 50% เมื่อ $C/\overline{P}=0$ แฟลก สถานะและเอาท์พุต ภายนอกจะถูกกระตุ้น (active) สำหรับ 1 รอบ ของ H1 ระหว่างแต่ละคาบเวลาของตัวจับเวลา (ดูรูปที่)
9	CLKSRC	0	แหล่งกำเนิด (Source) เฉพาะของสัญญาณนาฬิกาของตัวจับเวลา เมื่อ CLKSRC=1 สัญญาณนาฬิกาภายใน เกี่ยวข้องกับความถี่ที่เท่ากับ 1.5 ของความถี่ของ H1 ถูกใช้ในการเพิ่มของตัวนับ โดยที่บิต INV ไม่มีผลกับแหล่งกำเนิดสัญญาณนาฬิกาภายใน เมื่อ CLKSRC =0 คุณสามารถใช้สัญญาณนาฬิกาภายนอก จากขา TCLK เพื่อเพิ่มตัวนับ สัญญาณนาฬิกาภายนอกจะถูกทำให้สอดคล้องกัน (synchronize) กับภายใน ดังนั้นการอนุญาตให้แหล่งกำเนิดสัญญาณนาฬิกาที่ไม่สอดคล้องกันจากภายนอกที่ซึ่ง ไม่เกินค่าสูงสุดที่กำหนด เป็นความถี่สัญญาณนาฬิกาภายนอกจะน้อยกว่า f(H1) / 2 (ดูรูปที่ สำหรับความสัมพันธ์ FUNC และ CLKSRC)
10	INV	0	บิตควบคุมอินเวอร์เตอร์ (Inverter) ถ้าสัญญาณนาฬิกาภายนอกถูกใช้และ INV=1 แล้วสัญญาณนาฬิกาภายนอกจะถูกเปลี่ยน (invert) เสมือนเป็นตัวนับ ถ้าเอาท์พุตของตัวกำเนิดสัญญาณพัลซ์ถูกกำหนดเส้นทางไปสู่ TCLK และ INV=1 แล้วเอาท์พุตจะถูกเปลี่ยนก่อนถูกส่งไป TCLK ถ้า INV= 0 แล้วจะไม่มีการเปลี่ยนแสดงบนอินพุตหรือเอาท์พุตของตัวจับเวลา โดยที่บิต INV จะมีผลเมื่อ TCLK ถูกใช้ในโหมดพอร์ตอินพุต/เอาท์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

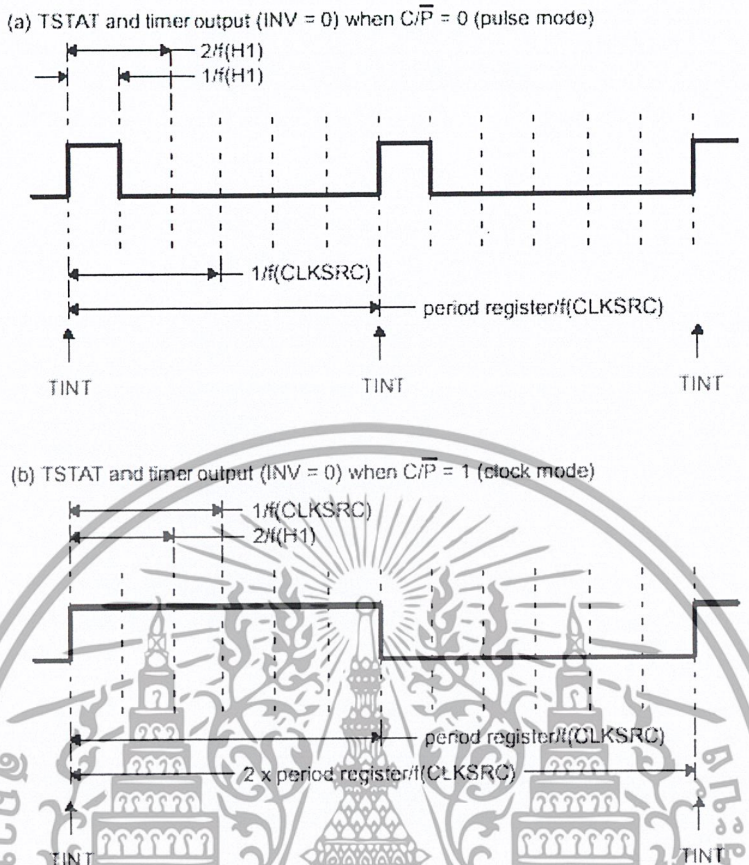
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

11	TSTAT	0	บิตแสดงสถานะของตัวจับเวลา โดยจะติดตามเอาท์พุตของขา TCLK ที่ไม่ถูกเปลี่ยน แฟลกนี้จะตั้งค่าอินเตอร์รัพท์ โดยการส่งผ่านจาก 0 เป็น 1 ในการเขียนไม่มีผล
31-12	Reserved	0-0	สำรอง



รูปที่ 2-9 โหมดของตัวจับเวลาที่กำหนดโดย CLKSRC และ FUNC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
45727



รูปที่ 2-10 ช่วงเวลาของตัวจับเวลา (Timer Timing)

อัตราของการส่งสัญญาณของตัวจับเวลากำหนดโดยความถี่ของสัญญาณนาฬิกาอินพุตของตัวจับเวลาและรีจิสเตอร์คาบเวลาของตัวจับเวลา ดังสมการข้างล่างโดยมีผลทั้งสัญญาณนาฬิกาของตัวจับเวลาภายในหรือภายนอกก็ได้

f(pulse mode) = f(timer clock) /period register

f(clock mode) = f(timer clock)/(2×period register)

ตารางที่ 2-3 แสดงผลลัพธ์ของการเขียนโดยใช้ระบุของค่าบิต GO และ $\overline{\text{HLD}}$ ใน รีจิสเตอร์ควบคุมส่วนกลาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง 2-3 ผลลัพธ์ของการเขียนโดยระบุค่าของ GO และ $\overline{HLD}$

GO	$\overline{HLD}$	RESULT
0	0	ทุกๆการทำงานของตัวจับเวลาจะถูกคงค่าไวและไม่มีการแสดงค่าตั้งใหม่
0	1	ตัวจับเวลา เกิดจากสภาวะก่อนการเขียน
1	0	ทุกๆ การทำงานของตัวจับเวลาจะถูกคงค่า รวมถึงการทำให้เป็น 0 ของตัวนับและบิต GO จะไม่ถูกทำให้ว่างจนกว่าตัวจับเวลาจะไม่ถูกคงค่าไว้
1	1	ตัวจับเวลาตั้งค่าใหม่และเริ่มการทำงาน

2.1.4.1.2 การอินเตอร์รัพต์ตัวจับเวลา (Timer interrupts)

การอินเตอร์รัพต์ตัวจับเวลา จะถูกสร้างเมื่อใดก็ตามที่บิต TSTAT ของรีจิสเตอร์ควบคุมตัวจับเวลาเปลี่ยนจาก 0 เป็น 1 โดยที่ความถี่ของการอินเตอร์รัพต์จะขึ้นอยู่กับว่าจะตั้งค่าให้ตัวจับเวลาอยู่ในโหมดใด

- ในโหมดสัญญาณพัลส์ ความถี่อินเตอร์รัพต์จะเป็นตามสมการ

  f(interrupt) = f(timer clock) / period register

  โดยที่ f(interrupt) = timer frequency

  f(timer clock) = interrupt frequency

- ในโหมดสัญญาณนาฬิกา ความถี่อินเตอร์รัพต์จะเป็นตามสมการ

  f(interrupt) = f(timer clock) /(2× period register)

  โดยที่ f(interrupt) = timer frequency

  f(timer clock) = interrupt frequency

2.1.4.2 พอร์ต์อนุกรม (Serial Port)

ใน TMS320C31 มีพอร์ตอนุกรม 1 ตัว สามารถส่งผ่านข้อมูลได้ทั้ง 8,16,24 และ 32 บิตต่อเวิร์ด เป็นการส่งแบบสองทิศทาง สัญญาณนาฬิกาสำหรับพอร์ตอนุกรมสามารถสร้างจากภายในคือ serial port timer และ period register หรือสามารถสร้างจากภายนอกก็ได้ สัญญาณนาฬิกาภายในจะได้มาจากการหารความถี่ของ f(H1) โหมดการส่งผ่านแบบต่อเนื่องสามารถทำได้โดยพอร์ตอนุกรมอนุญาตให้มีการส่งและรับเวิร์ดโดยไม่ต้องทำการซิงโครนัสใหม่

ในแต่ละตัวของพอร์ตอนุกรมมีรีจิสเตอร์แทนที่ข้อมูล ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.4.2.1 รีจิสเตอร์ควบคุมส่วนกลาง (Global Control Register) ใช้ในการควบคุมฟังก์ชันการทำงานของพอร์ตอนุกรมเป็นรีจิสเตอร์ขนาด 32 บิต

ตาราง 2-4 แสดงบิตต่างๆ ของรีจิสเตอร์ควบคุมส่วนกลางของพอร์ตอนุกรม

บิต	ชื่อ	การทำงาน
0	RRDY	ถ้า RRDY = 1 แสดงว่าบัฟเฟอร์ฝ่ายรับมีข้อมูลใหม่และพร้อมที่จะอ่าน โดยจะโหลดผ่านเข้าไปในรีจิสเตอร์รับข้อมูล(Data Receive Register) ขอบขาขึ้นของสัญญาณจะไปเซ็ท RINT ถ้า RRDY = 0 แสดงว่าบัฟเฟอร์ฝ่ายรับไม่มีข้อมูลใหม่เข้ามา จะเป็น 0 หลังจากที่บัฟเฟอร์ถูกอ่านแล้ว
1	XRDY	ถ้า XRDY = 1 แสดงว่าบัฟเฟอร์ฝ่ายส่งได้เขียนข้อมูลบิตสุดท้าย ลงในรีจิสเตอร์เลื่อนแล้ว และพร้อมที่จะเขียนข้อมูลใหม่ ขอบขาขึ้นจะเซท XINT ถ้า XRDY = 0 แสดงว่าบัฟเฟอร์ฝ่ายส่งยังไม่ได้เขียนข้อมูลบิตสุดท้ายลงในรีจิสเตอร์เลื่อน และยังไม่พร้อมสำหรับเวิร์ดใหม่
2	FSXOUT	ถ้า RSXOUT = 0 แล้วขา RSX เป็นขาอินพุต ถ้า RSXOUT = 1 แล้วขา RSX เป็นขาเอาท์พุต
3	XSREMPTY	ถ้า XSREMTY = 0 แล้วรีจิสเตอร์เลื่อนของฝ่ายส่งยังว่างอยู่ ถ้า XSREMTY = 1 แล้วรีจิสเตอร์เลื่อนของฝ่ายส่งไม่ว่าง
4	RSRFULL	ถ้า RSRFULL = 1 อาจทำให้ฝ่ายรับเกิดโอเวอร์รัน ในโหมดการทำงานต่อเนื่อง RSRFULL = 1 เมื่อทั้งรีจิสเตอร์เลื่อนของฝ่ายรับและรีจิสเตอร์ข้อมูลของฝ่ายรับเต็ม ในโหมดการทำงานไม่ต่อเนื่อง RSRFULL = 1 เมื่อทั้งรีจิสเตอร์เลื่อนของฝ่ายรับและรีจิสเตอร์ข้อมูลของฝ่ายรับเต็มและขา FSR ได้รับข้อมูลใหม่ เมื่อข้อมูลถูกอ่าน บิตนี้จะเซ็ตเป็น 0 ดังนั้นบิตนี้จะถูกรีเซตโดยระบบเท่านั้น
5	HS	ถ้า HS = 1 โหมดแฮนด์เช็คจะทำงาน ถ้า HS = 0 โหมดแฮนด์เช็คจะไม่ทำงาน
6	XCLKSRCE	ถ้า XCLKSRCE = 1 แล้วสัญญาณนาฬิกาฝ่ายส่งภายในถูกใช้ ถ้า XCLKSRCE = 0 แล้วสัญญาณนาฬิกาฝ่ายส่งภายนอกถูกใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต	ชื่อ	การทำงาน
7	RCLKSRCE	ถ้า RCLKSRCE = 1 แล้วสัญญาณนาฬิกาฝ่ายรับภายในถูกใช้ ถ้า RCLKSRCE = 0 แล้วสัญญาณนาฬิกาฝ่ายรับภายนอกถูกใช้
8	XVAREN	ถ้า XVAREN = 0 แล้วอัตราการส่งข้อมูลจะคงที่ โดยขา FSX จะทำงานในช่วง สุดท้ายของรอบสัญญาณนาฬิกาฝ่ายส่งและไม่ทำงานก่อนการส่งจะเริ่ม ถ้า XVAREN = 1 แล้วอัตราการส่งข้อมูลจะแปรค่าได้ โดยขา FSX จะทำงานตลอดเวลาที่มีการส่งข้อมูล
9	RVAREN	ถ้า RVAREN = 0 แล้วอัตราการรับข้อมูลจะคงที่ โดยขา FSR จะทำงานในช่วงสุดท้ายของรอบสัญญาณนาฬิกาฝ่ายรับและไม่ทำงานก่อนการรับจะเริ่ม ถ้า RVAREN = 1 แล้วอัตราการรับข้อมูลจะแปรค่าได้ โดยขา FSR จะทำงานตลอดเวลาที่มีการรับข้อมูล
10	XFSM	ถ้า XFSM = 0 การทำงานในโหมดต่อเนื่องโดยเวิร์ดแรกของบล็อกจะสร้างซิงโคนัสเพลาส์ ถ้า XFSM = 1 การทำงานในโหมดมาตรฐานโดยทุกๆเวิร์ดจะสร้างซิงโคนัสเพลาส์
11	RFSM	ถ้า RFSM = 0 การทำงานในโหมดต่อเนื่องโดยเวิร์ดแรกของบล็อกจะสร้างซิงโคนัสเพลาส์ ถ้า RFSM = 1 การทำงานในโหมดมาตรฐานโดยทุกๆเวิร์ดจะสร้างซิงโคนัสเพลาส์
12	CLKXP	ถ้า CLKXP = 0 แล้วสัญญาณนาฬิกาฝ่ายส่งจะแอ็คทีฟไฮท์ ถ้า CLKXP = 1 แล้วสัญญาณนาฬิกาฝ่ายส่งจะแอ็คทีฟโลว์
13	CLKRP	ถ้า CLKRP = 0 แล้วสัญญาณนาฬิกาฝ่ายส่งจะแอ็คทีฟไฮท์ ถ้า CLKRP = 1 แล้วสัญญาณนาฬิกาฝ่ายส่งจะแอ็คทีฟไฮท์
14	DXP	ถ้า DXP = 0 แล้ว DX จะแอ็คทีฟไฮท์ ถ้า DXP = 1 แล้ว DX จะแอ็คทีฟโลว์
15	DRP	ถ้า DRP = 0 แล้ว DR จะแอ็คทีฟไฮท์ ถ้า DRP = 1 แล้ว DX จะแอ็คทีฟโลว์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต	ชื่อ	การทำงาน
16	FSXP	ถ้า FSXP = 0 แล้ว FSX จะแอ๊คทีฟไฮท์ ถ้า FSXP = 1 แล้ว FSX จะแอ๊คทีฟโลว์
17	FSRP	ถ้า FSRP = 0 แล้ว FSR จะแอ๊คทีฟไฮท์ ถ้า FSRP = 1 แล้ว FSR จะแอ๊คทีฟโลว์
19-18	XLEN	เป็นตัวบอกความยาวของเวิร์ดที่จะส่ง 00 = 18 บิต 01 = 16 บิต 10 = 24 บิต 11 = 32 บิต
21-20	RLEN	เป็นตัวบอกความยาวของเวิร์ดที่จะรับ 00 = 18 บิต 01 = 16 บิต 10 = 24 บิต 11 = 32 บิต
22	XTINT	ถ้า XTINT = 0 แล้วการอินเทอร์รัพต์ของตัวจับเวลาฝ่ายส่งจะไม่ทำงาน ถ้า XTINT = 1 แล้วการอินเทอร์รัพต์ของตัวจับเวลาฝ่ายส่งจะทำงาน
23	XINT	ถ้า XINT = 0 แล้วการอินเทอร์รัพต์ของฝ่ายส่งจะไม่ทำงาน ถ้า XINT = 1 แล้วการอินเทอร์รัพต์ของฝ่ายส่งจะทำงาน
24	RTINT	ถ้า RTINT = 0 แล้วการอินเทอร์รัพต์ของตัวจับเวลาฝ่ายรับจะไม่ทำงาน ถ้า RTINT = 1 แล้วการอินเทอร์รัพต์ของตัวจับเวลาฝ่ายรับจะทำงาน
25	RINT	ถ้า RINT = 0 แล้วการอินเทอร์รัพต์ของฝ่ายรับจะไม่ทำงาน ถ้า RINT = 1 แล้วการอินเทอร์รัพต์ของฝ่ายรับจะทำงาน
26	XRESET	ถ้า XRESET = 0 แล้วฝ่ายส่งของพอร์ตอนุกรมจะรีเซ็ต ถ้าต้องการออกจากการรีเซ็ตให้บิตนี้เป็น 1
27	RRESET	ถ้า RRESET = 0 แล้วฝ่ายรับของพอร์ตอนุกรมจะรีเซ็ต ถ้าต้องการออกจากการรีเซ็ตให้บิตนี้เป็น 1
31-28	RESERVE	เป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.4.2.2 รีจิสเตอร์ควบคุมฝ่ายส่ง (FSX/DX/CLKX Port control) เป็นรีจิสเตอร์ขนาด 32 บิต ควบคุมการทำงานของพอร์ตอนุกรมในส่วนของ FSX,DXและCLKX

ตาราง 2-5 แสดงบิตต่างๆ ของรีจิสเตอร์ควบคุมฝ่ายส่งของพอร์ตอนุกรม

บิต	ชื่อ	การทำงาน
0	CLKXFUNC	ควบคุมการทำงานของ CLKX ถ้า CLKXFUNC = 0 แล้ว CLKX จะเป็นพอร์ตอินพุตเอาท์พุตอเนกประสงค์ ถ้า CLKXFUNC = 1 แล้ว CLKX จะเป็นขาพอร์ตอนุกรม
1	CLKXI/O	ถ้า CLKXI/O = 0 แล้ว CLKXจะเป็นพอร์ตอินพุตอเนกประสงค์ ถ้า CLKXI/O = 0 แล้วCLKXจะเป็นพอร์ตเอาท์พุตอเนกประสงค์
2	CLKXDATOUT	ข้อมูลที่ออกจากขา CLKX
3	CLKXDATIN	ข้อมูลที่ออกจากขา CLKX
4	DXFUNC	ควบคุมการทำงานของ DX ถ้า DXFUNC = 0 แล้ว DX จะเป็นพอร์ตอินพุตเอาท์พุตอเนกประสงค์ ถ้า DXFUNC = 1 แล้ว DX จะเป็นขาพอร์ตอนุกรม
5	DXI/O	ถ้า DXI/O = 0 แล้ว DXจะเป็นพอร์ตอินพุตอเนกประสงค์ ถ้า DXI/O = 1 แล้ว DXจะเป็นพอร์ตเอาท์พุตอเนกประสงค์
6	DXDATOUT	ข้อมูลที่ออกจากขา DX
7	DXDATIN	ข้อมูลที่เข้าจากขา DX
8	FSXFUNC	ควบคุมการทำงานของ FSX ถ้า FSXFUNC = 0 แล้ว FSX จะเป็นพอร์ตอินพุตเอาท์พุตอเนกประสงค์ ถ้า FSXFUNC = 1 แล้ว FSX จะเป็นขาพอร์ตอนุกรม
9	FSXI/O	ถ้า FSXI/O = 0 แล้ว FSXจะเป็นพอร์ตอินพุตอเนกประสงค์ ถ้า FSXI/O = 1 แล้ว FSXจะเป็นพอร์ตเอาท์พุตอเนกประสงค์
10	FSXDATOUT	ข้อมูลที่ออกจากขา FSX
11	FSXDATIN	ข้อมูลที่เข้าจากขา FSX
31-12	RESERVE	เป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.4.2.3 รีจิสเตอร์ควบคุมฝ่ายรับ (FSR/DR/CLKR Port control) เป็นรีจิสเตอร์ขนาด 32 บิต ควบคุมการทำงานของพอร์ตอนุกรมในส่วนของ FSR,DRและCLKR

ตาราง 2-6 แสดงบิตต่างๆ ของรีจิสเตอร์ควบคุมฝ่ายรับของพอร์ตอนุกรม

บิต	ชื่อ	การทำงาน
0	CLKRFUNC	ควบคุมการทำงานของ CLKR ถ้า CLKRFUNC = 0 แล้ว CLKR จะเป็นพอร์ตอินพุตเอาท์พุตอเนกประสงค์ ถ้า CLKRFUNC = 1 แล้ว CLKR จะเป็นขาพอร์ตอนุกรม
1	CLKRI/O	ถ้า CLKRI/O = 0 แล้ว CLKRจะเป็นพอร์ตอินพุตอเนกประสงค์ ถ้า CLKRI/O = 0 แล้วCLKRจะเป็นพอร์ตเอาท์พุตอเนกประสงค์
2	CLKRDATOUT	ข้อมูลที่ออกจากขา CLKR
3	CLKRDATIN	ข้อมูลที่ออกจากขา CLKR
4	DRFUNC	ควบคุมการทำงานของ DR ถ้า DRFUNC = 0 แล้ว DR จะเป็นพอร์ตอินพุตเอาท์พุตอเนกประสงค์ ถ้า DRFUNC = 1 แล้ว DR จะเป็นขาพอร์ตอนุกรม
5	DRI/O	ถ้า DRI/O = 0 แล้ว DRจะเป็นพอร์ตอินพุตอเนกประสงค์ ถ้า DRI/O = 1 แล้ว DRจะเป็นพอร์ตเอาท์พุตอเนกประสงค์
6	DRDATOUT	ข้อมูลที่ออกจากขา DR
7	DRDATIN	ข้อมูลที่เข้าจากขา DR
8	FSRFUNC	ควบคุมการทำงานของ FSR ถ้า FSRFUNC = 0 แล้ว FSR จะเป็นพอร์ตอินพุตเอาท์พุตอเนกประสงค์ ถ้า FSRFUNC = 1 แล้ว FSR จะเป็นขาพอร์ตอนุกรม
9	FSRI/O	ถ้า FSRI/O = 0 แล้ว FSRจะเป็นพอร์ตอินพุตอเนกประสงค์ ถ้า FSRI/O = 1 แล้ว FSRจะเป็นพอร์ตเอาท์พุตอเนกประสงค์
10	FSRDATOUT	ข้อมูลที่ออกจากขา FSR
11	FSRDATIN	ข้อมูลที่เข้าจากขา FSR
31-12	RESERVE	เป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.4.2.4 รีจิสเตอร์ควบคุมตัวจับเวลาของฝ่ายรับและส่ง (Receive/Transmit Timer Control Register) เป็นรีจิสเตอร์ขนาด 32 บิต ควบคุมการทำงานของตัวจับเวลา โดยบิต 5-0 จะควบคุมตัวจับเวลาของฝ่ายส่งและบิต 11-6 ควบคุมการทำงานของตัวจับเวลาของฝ่ายรับ

ตาราง 2-7 แสดงบิตต่างๆ ของรีจิสเตอร์ควบคุมตัวจับเวลาของฝ่ายรับและส่งพอร์ตอนุกรม

บิต	ชื่อ	การทำงาน
0	XGO	เป็นบิตรีเซ็ตและเริ่มการทำงานของตัวนับเวลาของฝ่ายส่ง ถ้า XGO = 1 และไม่คงค่าตัวจับเวลา แล้วตัวนับเวลาจะเป็น 0 แล้วเริ่มทำการนับตามขอบขาขึ้นของสัญญาณนาฬิกา แล้ว XGO จะเคลียร์
1	$\overline{\text{XHLD}}$	ถ้า $\overline{\text{XHLD}}$ = 0 แล้วตัวนับเวลาไม่ทำงานและคงคาปัจจุบันไว้ เมื่อออกจาก $\overline{\text{XHLD}}$ ตัวนับเวลาจะนับต่อไป
2	XC/P	ถ้า XC/P = 1 ฝ่ายส่งจะเป็นโหมดนาฬิกา การส่งสัญญาณของแฟลสถานะ และเอาท์พุตภายนอกจะเป็น 50% ของดิวตี้ไซเคิล (Duty cycle)
3	XCLKSRC	ถ้า CLKSRC = 1 แล้วความถี่สัญญาณนาฬิกาภายในจะเท่ากับครึ่งหนึ่งของ CLKOUT ที่ใช้ในการนับขึ้นของตัวนับเวลา ถ้า CLKSRC = 0 แล้วเราสามารถใช้สัญญาณนาฬิกาภายนอกจาก CLKX ในการเพิ่มค่าของตัวนับเวลา
4	RESERVE	เป็น 0
5	XTSTAT	บอกสถานะของตัวจับเวลาฝ่ายส่ง
6	RGO	เป็นบิตรีเซ็ตและเริ่มการทำงานของตัวนับเวลาของฝ่ายรับ ถ้า RGO = 1 และไม่คงค่าตัวจับเวลา แล้วตัวนับเวลาจะเป็น 0 แล้วเริ่มทำการนับตามขอบขาขึ้นของสัญญาณนาฬิกา แล้ว RGO จะเคลียร์
7	$\overline{\text{RHLD}}$	ถ้า $\overline{\text{RHLD}}$ = 0 แล้วตัวนับเวลาไม่ทำงานและคงค่าปัจจุบันเอาไว้ เมื่อออกจาก $\overline{\text{RHLD}}$ ตัวนับเวลาจะนับต่อไป
8	RC/P	ถ้า RC/P=1 ฝ่ายรับจะเป็นโหมดนาฬิกา การรับสัญญาณของแฟลกสถานะ และเอาท์พุตภายนอกจะเป็น 50 % ของดิวตี้ไซเคิล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต	ชื่อ	การทำงาน
9	RCLKSRC	ถ้า CLKSRC=1 แล้วความถี่สัญญาณนาฬิกาภายในจะเท่ากับครึ่งหนึ่งของ CLKOUT ที่ใช้ในการนับขึ้นของตัวนับเวลา ถ้า CLKSRC=0 แล้วเราสามารถใช้สัญญาณนาฬิกาภายนอกจาก CLKR ในการเพิ่มค่าของตัวนับเวลา
10	RESERVE	เป็น 0
11	RTSTAT	บอกสถานะของตัวจับเวลาฝ่ายรับ
31-12	RESERVE	เป็น 0

2.1.4.2.5 รีจิสเตอร์ตัวจับเวลา/ตัวนับเวลาของฝ่ายรับและฝ่ายส่ง (Receive/Transmit Timer-Counter Register) เป็นรีจิสเตอร์ขนาด 32 บิต โดยบิต 15-0 เป็นตัวจับเวลา/ตัวนับเวลาของฝ่ายส่ง และบิต 31-16 เป็นตัวจับเวลา/ตัวนับเวลาของฝ่ายรับ แต่ละตัวนับเวลาสามารถเคลียร์เป็น 0 ได้เมื่อทำการนับขึ้นไปจนเท่ากับค่าในรีจิสเตอร์คาบเวลา

2.14.2.6 รีจิสเตอร์คาบเวลาของฝ่ายรับและฝ่ายส่ง (Receive/Transmit Timer-Period Register) เป็นรีจิสเตอร์ขนาด 32 บิต โดยบิต 15-0 เป็นคาบเวลาฝ่ายส่ง และบิต 31-16 เป็นคาบเวลาของฝ่ายรับ แต่ละรีจิสเตอร์สามารถให้ค่าคาบที่ต่างกันได้

2.14.2.7 รีจิสเตอร์ข้อมูลฝ่ายส่ง (Data Transmit Register,DXR) เป็นรีจิสเตอร์ขนาด 32 บิต เมื่อข้อมูลใน DXR ถูกโหลดแล้วฝ่ายส่งจะทำการโหลดข้อมูลลงไปในรีจิสเตอร์เลื่อนของฝ่ายส่ง (XSR)และทำการเลื่อนข้อมูลออกไป เวิร์ดข้อมูลจะไม่ถูกโหลดเข้าไปในรีจิสเตอร์เลื่อนจนกว่ารีจิสเตอร์จะว่าง เมื่อข้อมูลในรีจิสเตอร์ข้อมูลฝ่ายส่งถูกโหลดเข้าไปในรีจิสเตอร์ของฝ่ายส่งแล้ว บิต XRDY จะเซ็ต เพื่อเป็นการบอกว่าพร้อมที่จะรับข้อมูลใหม่แล้ว การเลื่อนจะเป็นการเลื่อนไปทางซ้าย

2.14.2.8 รีจิสเตอร์ข้อมูลฝ่ายรับ (Data Receive Register,DRR) เป็นรีจิสเตอร์ขนาด 32 บิต เมื่อพอร์ตอนุกรมเป็นอินพุตฝ่ายรับจะเลื่อนบิตข้อมูลเข้าไปในรีจิสเตอร์เลื่อนของฝ่ายรับ เมื่อเข้าไปครบแล้วข้อมูลจะถูกโหลดเข้ามาในรีจิสเตอร์ข้อมูลฝ่ายรับ แล้วบิต RRDY จะเซ็ต ถ้ารีจิสเตอร์ข้อมูลฝ่ายรับยังไม่อ่านข้อมูล และรีจีสเตอร์เลื่อนของฝ่ายรับยังเต็มอยู่ ตัวรับจะไม่สนใจข้อมูลที่เข้ามาขณะนั้น นั่นคือ รีจิสเตอร์ข้อมูลของฝ่ายรับจะต้องอ่านข้อมูลก่อน เพื่อเป็นการอนุญาตให้ข้อมูลใหม่จากรีจิสเตอร์เลื่อนของฝ่ายรับส่งข้อมูลมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

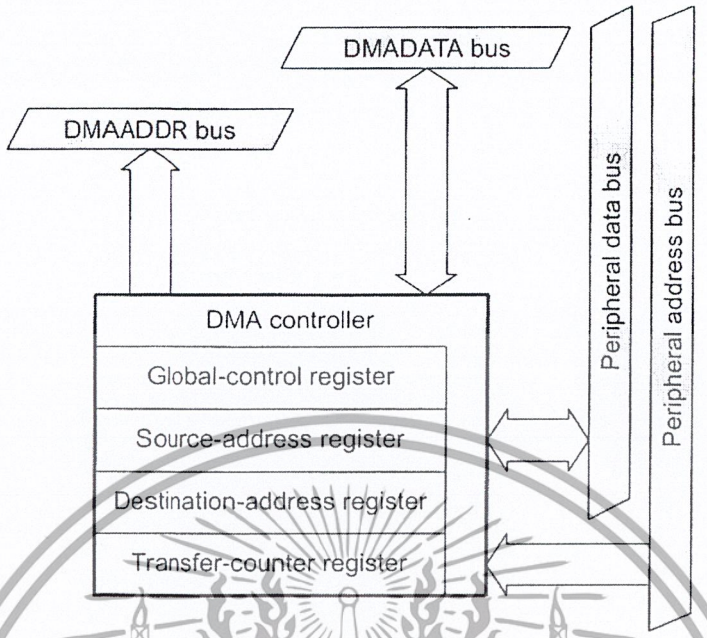
ตำแหน่งของรีจิสเตอร์ของพอร์ตอนุกรมดังรูปที่ 2-11

รีจิสเตอร์	ตำแหน่ง
รีจิสเตอร์ควบคุมส่วนกลาง	808040h
รีจิสเตอร์ควบคุมฝ่ายส่ง	808042h
รีจิสเตอร์ควบคุมฝ่ายรับ	808043h
รีจิสเตอร์ควบคุมตัวจับเวลาของฝ่ายรับและฝ่ายส่ง	808044h
รีจิสเตอร์ตัวจับเวลา/ตัวนับเวลาของฝ่ายรับและฝ่ายส่ง	808045h
รีจิสเตอร์คาบเวลาของฝ่ายรับและฝ่ายส่ง	808046h
รีจิสเตอร์ข้อมูลฝ่ายส่ง	808048h
รีจิสเตอร์ข้อมูลฝ่ายรับ	80804Ch

2.1.4.3 การเข้าถึงหน่วยความจำโดยตรง (Direct Memory Access : DMA)

ตัวควบคุมการเข้าถึงหน่วยความจำโดยตรงบนชิป สามารถอ่านหรือเขียนลงที่ตำแหน่งต่างๆ ในแผนที่หน่วยความจำ โดยไม่เข้าไปแทรกแซงการทำงานของหน่วยประมวลผลกลาง ดังนั้น TMS320C3x สามารถอินเตอร์เฟสกับหน่วยความจำภายนอกและอุปกรณ์ภายนอก โดยผ่านทางหน่วยประมวลผลหลักซึ่งข้อมูลนั้นจะไม่ถูกลดทอนลง ตัวควบคุมการเข้าถึงหน่วยความจำโดยตรง จะบรรจุตัวสร้างตำแหน่ง (address generator) ของตัวเอง รีจิสเตอร์ต้นกำเนิดและจุดหมายและตัวนับการส่งย้ายข้อมูล (transfer counter) บัสของตำแหน่งและบัสของข้อมูลของการเข้าถึงหน่วยความจำหน้าที่พิเศษ จะลดขนาดความขัดแย้งระหว่างหน่วยประมวลผลกลาง และตัวควบคุมการเข้าถึงหน่วยความจำให้น้อยลง การทำงานของการเข้าถึงหน่วยความจำประกอบด้วยบล็อกหรือเวิร์ดเดียว ส่งย้ายไปยังหรือไปยังหน่วยความจำ รูปที่ 2-12 แสดงตัวควบคุมการเข้าถึงหน่วยความจำกับบัสที่สัมพันธ์กัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-12 ตัวควบคุมการเข้าถึงหน่วยความจำ

2.2 โครงสร้างของ TMS320C3x ดีเอสเค (DSP Starter Kit : DSK)

2.2.1 โครงสร้างของดีเอสเค

- TMS320C31 ดีเอสพีอิงดรรชนี
- คำสั่งมีเวลาครบรอบ (cycle time) 40 นาโนวินาที , 50 ล้านคำสั่งอิงดรรชนีต่อวินาที (MFLOPS) , 25 ล้านคำสั่งต่อวินาที (MIPS)
- อินเตอร์เฟสพอร์ตเครื่องพิมพ์แบบขนาน (parallel printer port interface) ที่เป็นมาตรฐานหรือพัฒนาแล้ว เพื่อต่อกับเครื่องคอมพิวเตอร์แม่ (host PC^{TW}) และ TMS320C31 ติดต่อกับโปรแกรมของเครื่องคอมพิวเตอร์ได้
- รับข้อมูลอนาลอกโดยผ่านวงจรเชื่อมต่อสัญญาณอนาลอก (AIC) TLC32040
  - อัตราตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (ADC) และตัวแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (DAC) สามารถเปลี่ยนแปลงพิสัยแบบพลวัตได้ 14 บิต ใน 20000 ตัวอย่างต่อวินาที
  - มีฟิลเตอร์สร้างเอาท์พุตใหม่ และสามารถบายพาส (bypass) ได้ , ตัวเก็บประจุแบบสวิตช์ (switched-capacitor) ป้องกันสัญญาณรบกวนเป็นอินพุตฟิลเตอร์
- ใช้คอนเนคเตอร์ปลั๊กแบบ RCA มาตรฐาน สำหรับอนาลอกอินพุตและเอาท์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- คอนเนคเตอร์อีมูเลเตอร์ XDS510
- คอนเนคเตอร์เพิ่มเติมที่กำหนดขา TMS320C31 ทั้งหมดสำหรับใช้กับบอร์ดดีเอสเคตัวลูก

2.2.2 ภาพรวมของดีเอสเค

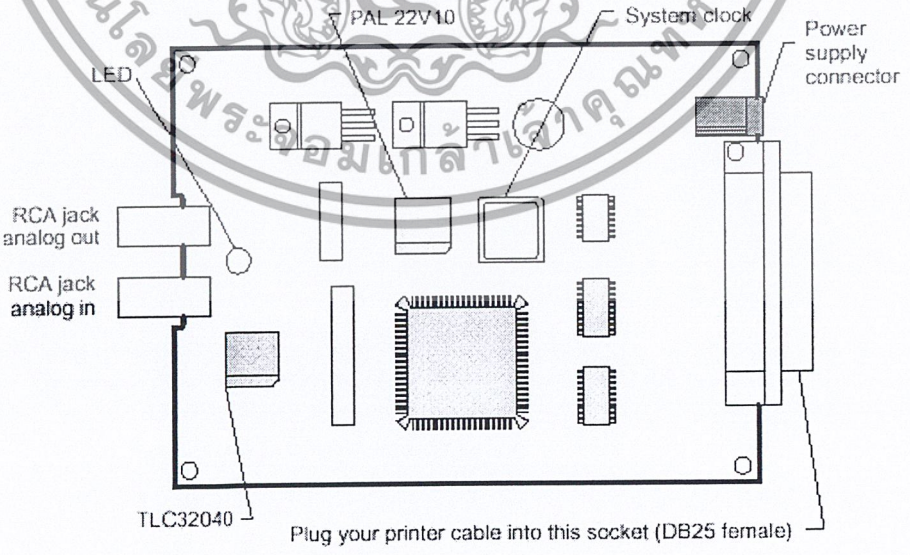
ส่วนประกอบพื้นฐานของดีเอสเคมีดังนี้

- DSP รุ่น TMS320C31
- วงจรเชื่อมต่อสัญญาณอนาลอก TLC32040
- คอนเนคเตอร์เพิ่มเติม
- สัญญาณนาฬิกาของระบบ (System clock)
- อินเตอร์เฟสพอร์ตของเครื่องพิมพ์แบบขนาน
- ไฟแสดงผลสามสี (Tri-color LED)

ส่วนประกอบพื้นฐานของดีเอสเคแสดงดังรูปที่ 2-13

เส้นทางสัญญาณทั้งหมดของ TMS320C3x จะไปยังคอนเนคเตอร์เพิ่มเติม โดยคอนเนคเตอร์เพิ่มเติมจะรวมทั้ง เฮดเดอร์ (header) 32 ขา 4 ตัว , บล็อกจัมเปอร์ (jumper block) 11ขา 1 ตัว และเฮดเดอร์ XDS510 12 ขา

วงจรเชื่อมต่อสัญญาณแบบอนาลอก TLC32040 ต่อกับพอร์ตอนุกรมของ TMS320C3x ใช้คอนเนคเตอร์ RCA 2 ตัว เป็นอนาลอกอินพุตและเอาท์พุตของบอร์ด



รูปที่ 2-13 แสดงส่วนประกอบพื้นฐานของดีเอสเค

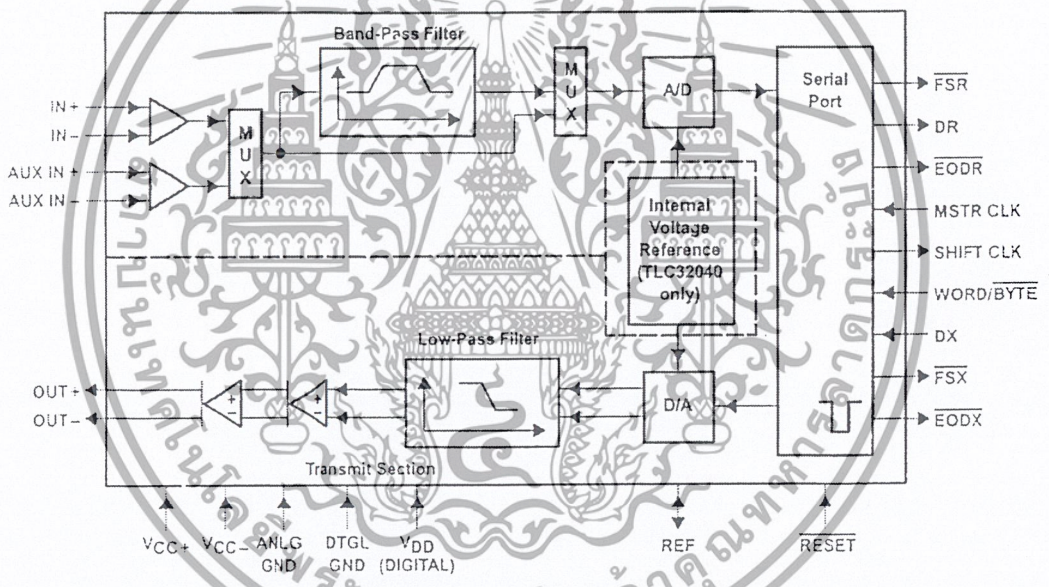
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 วงจรเชื่อมต่อสัญญาณอนาลอก

การใช้ดีเอสพีในการประยุกต์ใช้งานนั้นจะต้องมีส่วนประกอบที่สำคัญคือ ตัวที่เชื่อมต่อสัญญาณอนาลอกเพื่อจะติดต่อสัญญาณอินพุตอนาลอกและสัญญาณเอาท์พุตอนาลอก ด้านอินพุตจะมีฟิวเตอร์ที่มีความถี่มากกว่า ½ เท่าของความถี่ชักตัวอย่าง (Sampling frequency) ซึ่งตามทฤษฎีชักค่าตัวอย่างความถี่ที่ใช้ชักตัวอย่างต้องมีค่าอย่างน้อยมากกว่า 2 เท่าของความถี่สูงสุดในสัญญาณ

$$Fs > 2f$$

วงจรเชื่อมต่อสัญญาณอนาลอก (Analog interface circuit : AIC) ของ DSK คือ TLC32040 ซึ่งจะเชื่อมต่อกับพอร์ตอนุกรมของ TMS320C31 มีลักษณะดังรูปที่ 2-14



รูปที่ 2-14 แสดงบล็อกไดอะแกรมของวงจรเชื่อมต่อสัญญาณอนาลอก

ลักษณะและส่วนประกอบที่สำคัญดังนี้ คือ

- มี 2 อินพุต (IN+IN-,AUX IN+AUXIN-)

  IN สามารถต่อใช้งานได้โดยใช้งานผ่านตัวคอนเนคเตอร์ RCA บน DSK บอร์ด

  AUX สามารถต่อใช้งานผ่านขา 3 จาก JP3

  การเลือกใช้งานระหว่าง IN,AUX สามารถเลือกใช้ได้จากบิตควบคุมที่จะกล่าวถึงต่อไป

- มี 1 เอาท์พุต (OUT+,OUT-)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUT สามารถต่อใช้งานได้โดยใช้งานผ่านตัวคอนเนคเตอร์ RCA บน DSK บอร์ด เช่นเดียวกับ IN

- ตัวแปลงสัญญาณอนาลอกเป็นดิจิตอล และตัวแปลงสัญญาณดิจิตอลเป็นอนาลอก ขนาด 14 บิต
- ฟิวเตอร์อินพุตและฟิวเตอร์เอาท์พุต (Switched-capacity antialiasing input filter & reconstruction output filter)

ฟิวเตอร์อินพุตเป็นฟิวเตอร์ที่ทำให้ช่วงความถี่ผ่าน (bandpass filter) ที่จะทำให้ความถี่ผ่านในช่วง 300 Hz < f < 3.4 kHz สามารถเลือกใช้งานหรือไม่ก็ได้โดยผ่านการควบคุมด้วยบิตควบคุม นอกจากนี้ฟิวเตอร์อินพุตนี้ยังสามรถปรับความถี่สำหรับความถี่ cutoff หรือ bandwidth ที่ได้ออกแบบเอาไว้ โดยจะขึ้นอยู่กับความถี่ชักตัวอย่าง

ฟิวเตอร์เอาท์พุต เป็นฟิวเตอร์แบบความถี่ต่ำผ่าน (low-pass filter) โดยจะยอมให้ความถี่ต่ำกว่า 3.4 kHz ผ่าน โดยไม่สามารถปรับค่าต่างๆได้

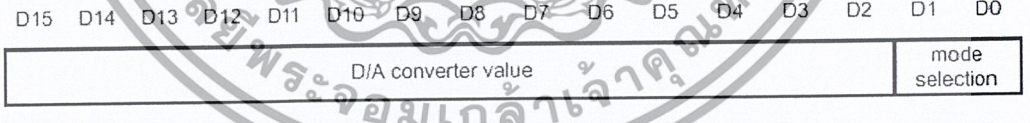
- ใช้เทคโนโลยี CMOS
- ความถี่ชักตัวอย่างสามารถโปรแกรมได้จนถึง 20 kHz
- ความถี่ Master Clock เป็นตัวที่กำหนดสัญญาณทุกอย่างในวงจรเชื่อมต่อสัญญาณอนาลอก Master Clock จะได้รับสัญญาณมาจากตัวจับเวลา 0 ของ TMS320C31
- Shift Clock เป็นสัญญาณที่ได้มาจากการหาร Master Clock ด้วย 4 ใช้สำหรับเป็นสัญญาณนาฬิกาของการส่งข้อมูลแบบอนุกรมของ วงจรเชื่อมต่อสัญญาณอนาลอก และ TMS320C31
- ขา DR เป็นขาที่ใช้ในการส่งข้อมูลจาก วงจรเชื่อมต่อสัญญาณอนาลอก ไปที่พอร์ตอนุกรมของ TMS320C31 โดยการส่งจะส่งเป็นจังหวะเดียวกับความถี่ Shift Clock
- ขา DX เป็นขาที่ใช้ในการรับข้อมูลจากพอร์ตอนุกรมของ TMS320C31 ไปที่ วงจรเชื่อมต่อสัญญาณอนาลอก โดยการส่งจะส่งเป็นจังหวะเดียวกับความถี่ Shift Clock
- ขา FSR สัญญาณของ FSR จะเป็นสถานะต่ำระหว่างการส่งข้อมูล เมื่อ FSR เป็นสถานะต่ำ TMS320C31 จะเริ่มการรับบิตจาก วงจรเชื่อมต่อสัญญาณอนาลอก ผ่าน DR ของวงจรเชื่อมต่อสัญญาณอนาลอก บิต MSB ของ DR จะถูกส่ง การที่ FSR จะเป็นสถานต่ำ FSR จะไม่เกิดขึ้นหลังจากการติดต่อแบบ Secondary

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขา FSX สัญญาณของ FSX จะเป็นสถานะต่ำเมื่อ พอร์ตอนุกรมของ TMS320C31 เริ่มการส่งบิตไปยัง วงจรเชื่อมต่อสัญญาณอนาลอก ผ่าน DX ของ วงจรเชื่อมต่อสัญญาณอนาลอก ในการติดต่อทั้งหมด FSX จะมีสถานะต่ำระหว่างการส่ง
- รีเซต ฟังก์ชันรีเซตใช้สำหรับการกำหนดค่าเริ่มต้นให้กับ TA,TA',TB,RA,RA',RB และรีจิสเตอร์ควบคุม ฟังก์ชันรีเซตนี้จะกำหนดค่าเริ่มต้นของการติดต่อแบบอนุกรมระหว่าง วงจรเชื่อมต่อสัญญาณอนาลอก และ DSP หลังจากมี negative-going pulse มาที่ขา RESET รีจิสเตอร์ของ วงจรเชื่อมต่อสัญญาณอนาลอก จะถูกกำหนดค่าทำให้สร้างอัตราการเปลี่ยนแปลงข้อมูลเท่ากับ 8kHz และมี Master Clock เท่ากับ 5.184 MHz รีเซตฟังก์ชันรีเซตใช้สำหรับการกำหนดค่าเริ่มต้นให้กับ TA,TA',TB, RA,RA',RB และรีจิสเตอร์ควบคุม ฟังก์ชันรีเวตนี้จะกำหนดค่าเริ่มต้นของการติดต่อแบบอนุกรมระหว่าง วงจรเชื่อมต่อสัญญาณอนาลอก และ DSP หลังจากมี negative-going pulse มาที่ขา RESET รีจิสเตอร์ของ วงจรเชื่อมต่อสัญญาณอนาลอก จะถูกกำหนดค่าทำให้สร้างอัตราการเปลี่ยนแปลงข้อมูลเท่ากับ 8 kHz และมี Master Clock เท่ากับ 5.184 kHz

การใช้งานและควบคุมวงจรเชื่อมต่อสัญญาณอนาลอก

การส่งข้อมูลเกิดขึ้นผ่าน DR และ DX ซึ่งเป็นรีจิสเตอร์อนุกรมของวงจรเชื่อมต่อสัญญาณอนาลอก ซึ่งการส่งข้อมูลแต่ละครั้งจะมีรูปแบบการส่งดังรูปที่ 2-15 คือ



รูปที่ 2-15 รูปแบบของบิตในการส่งข้อมูลของ DR หรือ DX

LSBs	Mode
00	Tx Counter A ← TA, Rx Counter A ← RA Tx Counter B ← TB, Rx Counter B ← RB
01	Tx Counter A← TA + TA', Rx Counter A ← RA + RA' Tx Counter B ←TB, Rx Counter B ← RB
10	Tx Counter A ←TA - TA', Rx Counter A ← RA + RA' Tx Counter B ←TB, Rx Counter B ← RB
11	Tx Counter A ← TA, Rx Counter A ← RA Tx Counter B ←TB, Rx Counter B ← RB

รูปที่ 2-16 แสดงบิตควบคุม D0,D1 ของการส่งข้อมูลในแต่ละแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2-16 D0 และ D1 ใช้สำหรับควบคุมฟังก์ชันการทำงานของการสื่อสาร โดยถ้า D0,D1 มีค่าเท่ากับ 0 (โหมดที่ 1) จะเป็นการส่งแบบปกติ แต่ถ้า มีค่าเท่ากับ 1 ทั้งสองตัว(โหมดที่ 4) ทำให้เกิดการรองขอการส่งแบบ secondary ซึ่งทำให้เกิดการส่งแบบ secondary ตามมาหลังจาก shift clock 4 ลูก ซึ่งการส่งแบบ secondary เป็นการส่งคำสั่งควบคุมเพื่อกำหนดค่าเริ่มต้นและควบคุมวงจรเชื่อมต่อสัญญาณอนาลอก โดยจะส่งหนึ่งครั้ง และจะกลับไปเป็นการส่งแบบปกติตามเดิม ส่วนในกรณีที่มีตัวใดตัวหนึ่งเป็น 0 และอีกตัวหนึ่งเป็น 1 จะทำให้เกิดการเปลี่ยนความถี่การชักตัวอย่างในคาบถัดไป ส่วนการส่งในโหมด 2 และ 3 ใช้เพื่อเป็นการเพิ่ม หรือลดความถี่ชักตัวอย่าง

การส่งแบบ secondary จะส่งรีจิสเตอร์ A ซึ่งประกอบด้วย TA,RA ,รีจิสเตอร์ B ซึ่งประกอบด้วย TB,RB รีจิสเตอร์ A' ,ซึ่งประกอบด้วย TA',RA' และบิตควบคุม ซึ่งจะควบคุมการทำงานของวงจรเชื่อมต่อสัญญาณอนาลอก ค่า TA,TB สามารถนำมาใช้ได้ดังนี้

- ออกแบบค่าความถี่ของฟิวเตอร์อินพุต (Switched-capacitor filter frequency) ได้โดยคิดจาก

SCF Clock Frequency = Master Clock Frequency / (2 x TA)

เพื่อให้ฟิวเตอร์อินพุตมีการทำงานตามคุณลักษณะของฟังก์ชันถ่ายโอน จะต้องมีความถี่ Switched-capacitor clock เท่ากับ 288 kHz ซึ่งจะมี bandwidth หรือความถี่ cut-off เท่ากับ 3600Hz

- ออกแบบค่าความถี่การชักตัวอย่าง (Sampling Frequency)

Sampling Frequency = Master Clock Frequency / (2 x TA x TB)

ส่วนค่า Shift Clock หาได้จาก

Shift Clock = Master Clock / 4

สำหรับค่า TA และ TB จะใช้ในส่วนของการแปลงสัญญาณอนาลอกเป็นดิจิตอล ส่วน RA และ RB จะใช้ในทำนองเดียวกัน ในส่วนของการแปลงสัญญาณดิจิตอลเป็นอนาลอก

รูปแบบการส่งของ Secondary communication คือ

ตารางที่ 2-8 แสดงรูปแบบการส่งแบบ secondary

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
รีจิสเตอร์ A	X	X	TA					X	X	RA					0	0
รีจิสเตอร์ A'		X	TA'					X	RA'						0	1
รีจิสเตอร์ B		X	TB					X	RB						1	1
รีจิสเตอร์ควบคุม	X	X	X	X	X	X	X	X	D7	D6	D5	D4	D3	D2	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-บิตควบคุมมีดังนี้คือ

D2 = 0/1 ใช้/ไม่ใช้ ฟิวเตอร์อินพุต

D3 = 0/1 ใช้/ไม่ใช้ ฟังก์ชันวนลูป

D4 = 0/1 ใช้/ไม่ใช้ AUX IN+ และ AUX IN-

D5 = 0/1 ซิงโครนัส หรือ อะซิงโครนัส การส่งและรับ

D6,D7 = 0/1 บิตควบคุมอัตราการขยายซึ่งจะมีค่าดังรูปที่ 2-17

INPUT CONFIGURATIONS	CONTROL REGISTER BITS		ANALOG INPUT†	A/D CONVERSION RESULT
	d6	d7		
Differential configuration Analog input = IN+ – IN– = AUX IN+ – AUX IN–	1	1	±6 V	Full scale
	0	0		
	1	0	±3 V	Full scale
	0	1	±1.5 V	Full scale
Single-ended configuration Analog input = IN+ – ANLG GND = AUX IN+ – ANLG GND	1	1	±3 V	Half scale
	0	0		
	1	0	±3 V	Full scale
	0	1	±1.5 V	Full scale

รูปที่ 2-17 แสดงบิตควบคุมการขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
หลักทำงานการของคอนเวอร์เตอร์

3.1 ทฤษฎีและหลักการของคอนเวอร์เตอร์

สวิตชิ่งเพาเวอร์ซัพพลายเป็นแหล่งจ่ายไฟตรงคงค่าแรงดันแบบหนึ่ง และสามารถเปลี่ยนแรงดันไฟจากระบบแรงดันไฟสลับที่ 110 โวลต์หรือ 220 โวลต์ ให้เป็นแรงดันไฟตรงคงค่าต่ำเพื่อใช้ในงานอิเล็กทรอนิกส์ได้เช่นเดียวกับแหล่งจ่ายไฟตรงแบบเชิงเส้น หรือที่เรียกว่าลิเนียร์เพาเวอร์ซัพพลาย (Linear Power Supply) เพาเวอร์ซัพพลายทั้งสองแบบจำเป็นต้องใช้หม้อแปลงในการลดทอนแรงดันที่ 220 โวลต์ ลงมาเป็นแรงดันไฟค่าต่ำเช่นเดียวกัน แต่มีข้อแตกต่างอยู่ที่ขนาดและน้ำหนักของหม้อแปลง โดยที่หม้อแปลงของลิเนียร์เพาเวอร์ซัพพลายจะมีขนาดใหญ่และมีน้ำหนักมากเมื่อเปรียบเทียบกับหม้อแปลงสวิตชิ่งเพาเวอร์ซัพพลาย การพัฒนาของลิเนียร์เพาเวอร์ซัพพลาย จึงมีข้อจำกัดอยู่ที่การใช้หม้อแปลงขนาดใหญ่และมีน้ำหนักมาก รวมถึงประสิทธิภาพที่ค่อนข้างต่ำ

ในขณะเดียวกันสวิตชิ่งเพาเวอร์ซัพพลายซึ่งมีขนาดของหม้อแปลงขนาดเล็ก และมีประสิทธิภาพสูง น้ำหนักเบา เริ่มเข้ามามีบทบาทเป็นอย่างมาก ในเครื่องใช้อิเล็กทรอนิกส์ที่มีขนาดเล็กซึ่งต้องการแหล่งจ่ายไฟที่ให้กำลังงานได้สูงและมีขนาดเล็กด้วย เช่นเครื่องคอมพิวเตอร์ เครื่องโทรสาร หรือเครื่องรับโทรทัศน์ เป็นต้น แนวโน้มในการนำสวิตชิ่งเพาเวอร์ซัพพลายมาใช้ในเครื่องใช้อิเล็กทรอนิกส์ทุกประเภทจึงเป็นไปได้สูง การศึกษาหลักการทำงานและการออกแบบสวิตชิ่งเพาเวอร์ซัพพลายจึงเป็นสิ่งที่จำเป็นที่ไม่อาจหลีกเลี่ยงได้สำหรับผู้ที่เกี่ยวข้องกับงานอิเล็กทรอนิกส์ทุกประเภท

สวิตชิ่งเพาเวอร์ซัพพลายมีองค์ประกอบที่ไม่ซับซ้อนจนเกินไปและจะมีองค์ประกอบพื้นฐานที่คล้ายคลึงกันสำหรับสวิตชิ่งเพาเวอร์ซัพพลายทั่วไป

หัวใจสำคัญของสวิตชิ่งเพาเวอร์ซัพพลายจะอยู่ที่คอนเวอร์เตอร์เนื่องจากจะเป็นตัวลดทอนแรงดันและคงค่าแรงดันที่เอาต์พุตด้วยส่วนองค์ประกอบต่างๆจะทำงานกันเป็นลำดับดังนี้

แรงดันไฟสลับ 220โวลต์ จะผ่านเข้ามาทางวงจร RFI ฟิลเตอร์ เพื่อกรองสัญญาณรบกวนและจะถูกเปลี่ยนเป็นแรงดันไฟตรงค่าสูงด้วยวงจรเรกติไฟเออร์ เพาเวอร์คอนเวอร์เตอร์โดยเพาเวอร์ทรานซิสเตอร์จะตัดต่อแรงดันออกเป็นช่วงๆ ด้วยความถี่สูงประมาณ 20-2000 กิโลเฮิรตซ์ จากนั้นจะผ่านเข้าไปยังหม้อแปลงสวิตชิ่งเพื่อลดทอนแรงดันให้มีค่าต่ำลง ที่เอาต์พุตของหม้อแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะมีวงจรเรียงกระแสและกรองแรงดันให้เรียบเสียก่อนจึงสามารถจ่ายกระแสโหลดได้ การคงค่าแรงดันจะทำได้โดยการป้อนกลับค่าแรงดันที่เอาต์พุตมายังวงจรควบคุม เพื่อควบคุมการทำงานของเพาเวอร์ทรานซิสเตอร์ให้มีช่วงเวลานำกระแสมากขึ้นหรือน้อยลง ตามการเปลี่ยนแปลงของแรงดันเอาต์พุตซึ่งจะมีผลทำให้แรงดันเอาต์พุตคงที่ได้

3.1.1 คอนเวอร์เตอร์

คอนเวอร์เตอร์นับเป็นส่วนสำคัญที่สุดในวงจรสวิตชิ่งเพาเวอร์ซัพพลาย มีหน้าที่ลดทอนแรงดันไฟตรงค่าสูงลงมาเป็นแรงดันไฟตรงค่าต่ำและสามารถคงค่าแรงดัน คอนเวอร์เตอร์มีหลายแบบขึ้นอยู่กับลักษณะการจัดวางวงจรภายใน โดยคอนเวอร์เตอร์แต่ละแบบจะมีข้อดีข้อเสียแตกต่างกันออกไป การจะเลือกใช้คอนเวอร์เตอร์แบบใดสำหรับสวิตชิ่งเพาเวอร์ซัพพลายนั้นมีข้อควรพิจารณาจากลักษณะพื้นฐานของคอนเวอร์เตอร์แต่ละแบบดังนี้คือ

1. ลักษณะแยกกันจากกันทางไฟฟ้าระหว่างอินพุตกับเอาต์พุตของคอนเวอร์เตอร์
2. ค่าแรงดันอินพุตที่จะนำมาใช้กับคอนเวอร์เตอร์
3. ค่ากระแสสูงสุดที่ไหลผ่านเพาเวอร์ทรานซิสเตอร์ในคอนเวอร์เตอร์ขณะทำงาน
4. ค่าแรงดันสูงสุดที่ตกคร่อมเพาเวอร์ทรานซิสเตอร์ในคอนเวอร์เตอร์ขณะทำงาน
5. การรักษาระดับแรงดันในกรณีที่คอนเวอร์เตอร์มีเอาต์พุตหลายค่าแรงดัน
6. การกำเนิดสัญญาณรบกวน RFI/EMI ของตัวคอนเวอร์เตอร์

จากข้อพิจารณาดังกล่าว จะทำให้ผู้ออกแบบทราบขีดจำกัดของคอนเวอร์เตอร์และประเมินราคาเพื่อตัดสินใจเลือกใช้ในคอนเวอร์เตอร์แบบใดได้ ปัจจุบันได้มีการพัฒนาคอนเวอร์เตอร์ในรูปแบบต่างๆขึ้นมามากมาย

คอนเวอร์เตอร์ที่นิยมใช้เป็นหลักในตลาดอุตสาหกรรมของสวิตชิ่งเพาเวอร์ซัพพลาย คือ

1. ฟลายแบคคอนเวอร์เตอร์ (Flyback Converter)
2. ฟอร์เวิร์ดคอนเวอร์เตอร์ (Forward Converter)
3. พุช-พูลคอนเวอร์เตอร์ (Push-Pull Converter)
4. ฮาล์ฟ-บริดจ์คอนเวอร์เตอร์ (Half-Bridge Converter)
5. ฟูล-บริดจ์คอนเวอร์เตอร์ (Full-Bridge Converter)

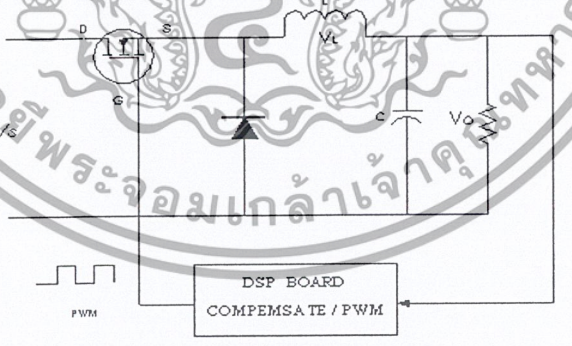
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 คอนเวอร์เตอร์ชนิด BUCK

รูปที่ 2-18 เป็นคอนเวอร์เตอร์ชนิดบัค ซึ่งก็คือ เรกกูเลเตอร์ที่ผลิตแรงดันเอาต์พุตเฉลี่ย (V_o) มีค่าต่ำกว่าแรงดันอินพุต (V_s) เสมอ เมื่อสวิตช์ปิดไดโอดทำงานในสภาวะป้อนกลับขดลวดมีกระแสไหลผ่านไปยังโหลดและสะสมพลังงานในรูปสนามแม่เหล็กไว้ จนวงจรป้อนกลับตรวจสอบว่าแรงดันขาออกถึงระดับที่ตั้งไว้ วงจรควบคุมจึงจะสั่งให้เปิดสวิตช์ เส้นแรงแม่เหล็กที่ขดลวดยุบตัวและยังคงรักษากระแสให้ไหลไปยังโหลดเช่นเดิม แต่จะกลับทิศทางกัน นำไปไบแอสให้ไดโอดนำกระแสทำให้การทำงานครบวงจร ในทางทฤษฎีเราถือว่าแรงดันเอาท์พุตเรียบมากดังนั้นแรงดันที่ตกคร่อมตัวเก็บประจุเอาท์พุตจึงเป็นค่าคงที่และจากสมการกระแสไหลผ่านตัวเก็บประจุ

$$i = C\frac{dv}{dt} \qquad (3.1)$$

จึงได้ว่าไม่มีกระแสไหลผ่านตัวเก็บประจุ เพราะฉะนั้นกระแสเฉลี่ยที่ไหลผ่านขดลวดก็เป็นกระแสเดียวกันกับกระแสเฉลี่ยที่ไหลผ่านโหลด ทำให้แรงดันเอาต์พุตน้อยกว่าอินพุตเสมอ



รูปที่ 3-1 วงจรคอนเวอร์เตอร์ชนิดบัคและชุดควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 หลักการควบคุมสำหรับสวิตชิ่งเพาเวอร์ซัพพลาย

เนื่องจากคอนเวอร์เตอร์เกือบทุกแบบ จะคงค่าแรงดันเอาท์พุตได้ด้วยการควบคุมช่วงเวลานำกระแส (t_{ON}) ของเพาเวอร์ทรานซิสเตอร์ ดังนั้นวงจรควบคุมการทำงานของคอนเวอร์เตอร์ โดยทั่วไปนิยมใช้เทคนิคพัลส์วิดท์มอดูเลชั่น (Pulse Width Modulation ; PWM) เป็นหลัก การใช้ PWM เมื่อควบคุมช่วงเวลานำกระแสของเพาเวอร์ทรานซิสเตอร์ในคอนเวอร์เตอร์ สามารถทำได้ในสองลักษณะการทำงานของวงจรควบคุมคือ ในโหมดควบคุมจากแรงดันและโหมดควบคุมจากกระแส

3.2.1 การมอดูเลตความกว้างของพัลส์ (Pulse Width Modulation ; PWM)

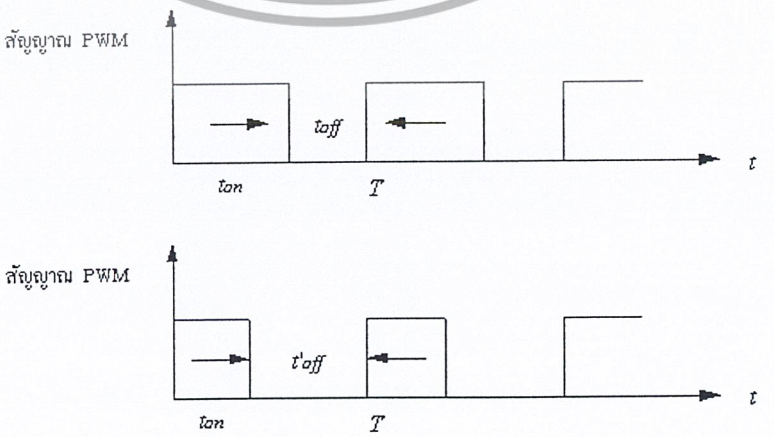
วิธีการมอดูเลตความกว้างของพัลส์

เทคนิคของการมอดูเลตความกว้างของพัลส์เปิดและปิด (on/off) เพื่อป้อนให้กับทรานซิสเตอร์ซึ่งทำหน้าที่เป็นสวิตช์เรียกว่า การมอดูเลตความกว้างพัลส์ (Pulse-Width Modulation) หรือเรียกสั้นๆว่า PWM ก็คือการเปลี่ยนรอบทำงาน (duty cycle, d) นิยามของ d

$$d = tonfs = \frac{ton}{ton + toff} \qquad (3.2)$$

ปกติการเปลี่ยนค่า d สามารถกระทำได้โดยการมอดูเลต t_{on} หรือ t_{off} หรือมอดูเลตทั้ง t_{on} และ t_{off} วิธีการมอดูเลตความกว้างของพัลส์มี 2 รูปแบบ

ก) ความถี่คงที่ (fixed frequency) โดยการเปลี่ยนแปลงทั้ง t_{on} และ t_{off} ในขณะที่ให้คาบเวลาสวิตช์คงที่ (ความถี่คงที่) ดังรูปที่ 3-2



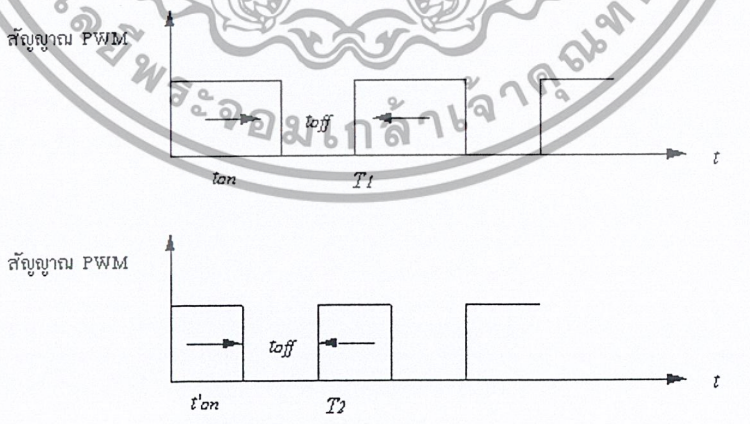
รูปที่ 3-2 วิธีการมอดูเลตความกว้างของพัลส์แบบความถี่คงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข) ความถี่เปลี่ยนแปลงได้ (variable frequency) สามารถกระทำได้โดย

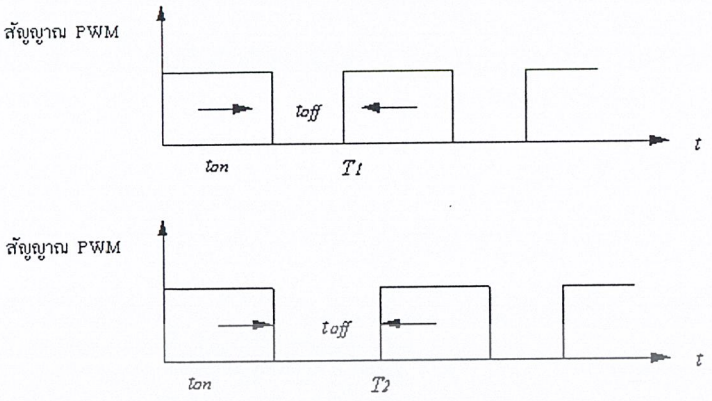
- กำหนดให้ t_{on} คงที่และแปรเปลี่ยน t_{off} ดังรูปที่ 3-3(ก)
- กำหนดให้ t_{off} คงที่และแปรเปลี่ยน t_{on} ดังรูปที่ 3-3(ข)
- แปรเปลี่ยนทั้ง t_{on} และ t_{off} ดังรูปที่ 3-3(ค)

รูปที่ 3-3(ก) t_{on}คงที่ แปรเปลี่ยน t_{off}



รูปที่ 3-3(ข) t_{off} คงที่ แปรเปลี่ยน t_{on}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-3(ค) แปรเปลี่ยนทั้ง t_{on} และ t_{off}

3.3 มอสเฟตกำลัง (Power MOSFET)

เป็นอุปกรณ์ประเภทใช้แรงดันในการควบคุม มอสเฟตเป็นอุปกรณ์ที่มี 3 ขั้วคือ ขั้วซอร์ส (Sourse : S) เดรน (Drian : D) และ เกท (Gate : G) แบ่งออกเป็น 2 ประเภทคือ มอสเฟตแบบดีพลีชัน (Depletion MOSFET) เรียกสั้นๆว่า ดีมอสเฟต และมอสเฟตแบบเอนฮานซ์เมนต์ (Enhancement MOSFET) หรือเรียกว่า อีมอสเฟต แต่ละประเภทยังแบ่งออกเป็น 2 แบบคือ แชนแนล n และแชนแนล p

เนื่องจากมอสเฟตกำลังมีความเร็วในการสวิตช์สูงมาก (เป็นนาโนวินาที) จึงเหมาะกับการแปลงผันที่มีความถี่สูงและมีกำลังไฟต่ำ

3.3.1 คุณลักษณะของมอสเฟต

มอสเฟตเป็นอุปกรณ์ประเภทใช้แรงดันในการควบคุมและมีอิมพีแดนซ์อินพุตสูงมาก ขั้วเกทจะดึงกระแสรั่วไหลต่ำมากแค่นาโนแอมแปร์และเราทราบว่า ทรานคอนดักแตนซ์ (Transconductance : g_m) ซึ่งเป็นอัตราส่วนของ I_D ต่อแรงดันเกท (V_G) เป็นตัวกำหนดคุณลักษณะการถ่ายโอนของมอสเฟต

3.3.2 เพาเวอร์มอสเฟต

เพาเวอร์มอสเฟต (MOSFET Power Transistor) สามารถทำงานได้ดีที่ความถี่สูง ตั้งแต่ 50 กิโลเฮิรตซ์ ไปจนถึงประมาณ 200 หรือ 400 กิโลเฮิรตซ์ เนื่องจากมันใช้เวลาในการเปลี่ยนสถานะค่อนข้างสั้น และการพัฒนาในปัจจุบันมีแนวโน้มจะทำให้เพาเวอร์มอสเฟตทำงานได้ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่สูงขึ้นไปอีก ซึ่งเป็นผลดีในการลดขนาดของคอนเวอร์เตอร์ ในส่วนของวงจรขับเพาเวอร์มอสเฟตนั้นสามารถทำได้ง่าย จึงทำให้เพาเวอร์มอสเฟตเข้ามาแทนที่ไบโพลาร์เพาเวอร์ทรานซิสเตอร์อย่างรวดเร็วในการผลิตสวิตชิ่งเพาเวอร์ซัพพลายในตลาดอุตสาหกรรมปัจจุบัน

โครงสร้างของเพาเวอร์มอสเฟตจะเป็นไปได้ทั้งลักษณะ n-Channel และ p-Channel อย่างไรก็ตาม จะกล่าวถึงเฉพาะเพาเวอร์มอสเฟตชนิด n-Channel เท่านั้น

3.3.3 กำลังงานสูญเสียในรูปความร้อนของเพาเวอร์มอสเฟต

กำลังงานสูญเสียในรูปความร้อนของเพาเวอร์มอสเฟตขณะทำงาน จะเป็นไปได้ 2 ลักษณะเช่นเดียวกับไบโพลาร์เพาเวอร์ทรานซิสเตอร์ คือ กำลังสูญเสียขณะเปลี่ยนสถานะและกำลังสูญเสียขณะนำกระแส แต่สำหรับเพาเวอร์มอสเฟตจะมีช่วงเวลาเริ่มนำกระแส และช่วงเวลาเริ่มหยุดนำกระแสสั้นกว่าไบโพลาร์เพาเวอร์ทรานซิสเตอร์มาก เพราะตามโครงสร้างของเพาเวอร์มอสเฟต จะไม่มีประจุสะสมเกิดขึ้นจึงไม่มีปัญหาในลักษณะเดียวกับไบโพลาร์เพาเวอร์ทรานซิสเตอร์ อย่างไรก็ตามเพาเวอร์มอสเฟตจะมีความต้านทานขณะนำกระแสค่อนข้างสูง การสูญเสียของเพาเวอร์มอสเฟตขณะนำกระแสจึงสูงกว่าไบโพลาร์เพาเวอร์ทรานซิสเตอร์ รูปที่ 2-21 แสดงลักษณะการตอบสนองของเพาเวอร์มอสเฟตเมื่อทำงานเป็นสวิตช์

ถึงแม้ว่าเวลาเริ่มนำกระแสและเริ่มหยุดนำกระแสของเพาเวอร์มอสเฟตจะค่อนข้างสั้น แต่โดยทั่วไปเพาเวอร์มอสเฟตมักถูกใช้งานที่ความถี่สูง การใช้งานที่ความถี่สูงกว่า 50 กิโลเฮิรตซ์ จำเป็นต้องนำกำลังงานสูญเสียขณะเปลี่ยนสถานะมาคิดด้วย และเนื่องจากช่วงเวลาเริ่มหยุดนำกระแสกับ ช่วงเวลาเริ่มนำกระแส ของเพาเวอร์มอสเฟตมีค่าใกล้เคียงกัน จึงต้องนำมาคิดทั้งสองช่วงเวลาด้วย โดย P_D มีค่าเท่ากับ

$$P_D = P_{SW(ON)} + P_{SW(OFF)} + P_C$$

$$P_{SW(on)} = \frac{0.5 I_{PK(on)} V_{in} t_r}{T}$$

$$P_{SW(off)} = \frac{0.5 I_{PK(off)} V_{in} t_r}{T}$$

$$P_C = I^2_{Drms} \times R_{DS(ON)}(T_j) \qquad (3.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $P_{SW(on)}$ คือ กำลังงานสูญเสียขณะเริ่มนำกระแสของเพาเวอร์มอสเฟต

$P_{SW(OFF)}$ คือ กำลังงานสูญเสียขณะเริ่มหยุดนำกระแสของเพาเวอร์มอสเฟต

P_c คือ กำลังงานสูญเสียขณะนำกระแสของเพาเวอร์มอสเฟต

$I_{PK(on)}$ คือ ค่ากระแสสูงสุดขณะเริ่มนำกระแส

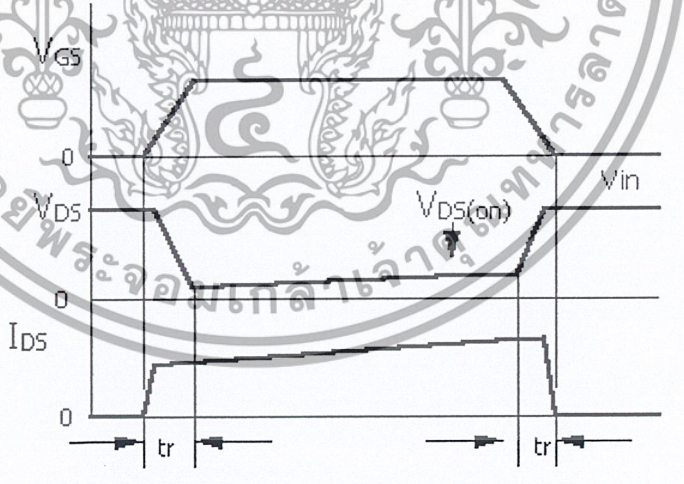
$I_{PK(on)}$ คือ ค่ากระแสสูงสุดขณะเริ่มหยุดนำกระแส

$I_{DS(on)}$ คือ ค่ากระแส rms ที่ไหลผ่านเพาเวอร์มอสเฟตขณะทำงาน

$R_{DS(on)}$ คือ ค่าความต้านทานระหว่างเดรนและซอร์สที่อุณหภูมิรอยต่อสูงสุดขณะทำงานของเพาเวอร์มอสเฟต

T_r คือ ช่วงเวลาเริ่มนำกระแสของเพาเวอร์มอสเฟต

T_f คือ ช่วงเวลาเริ่มหยุดนำกระแสของเพาเวอร์มอสเฟต



รูปที่ 3-4 แสดงลักษณะของกระแสและแรงดันตกคร่อมเพาเวอร์มอสเฟตเมื่อเริ่มนำกระแสและเริ่มหยุดนำกระแส ในส่วนที่แรงเงาจะเป็นส่วนที่จะเกิดกำลังงานสูญเสียในรูปความร้อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

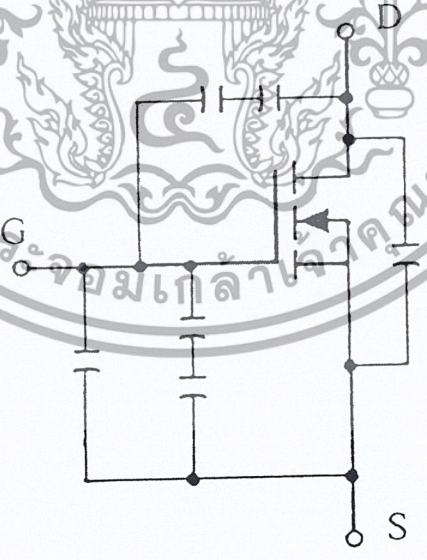
3.3.4 เงื่อนไขของวงจรขับเพาเวอร์มอสเฟต

การขับเพาเวอร์มอสเฟตให้นำกระแสนั้นแตกต่างจากการขับกระแสไบแอสในไบโพลาร์เพาเวอร์ทรานซิสเตอร์ เนื่องจากมีเงื่อนไขการไบแอสที่แตกต่างกัน สำหรับไบโพลาร์เพาเวอร์ทรานซิสเตอร์กระแสจะไหลผ่านคอลเล็กเตอร์และอีมิตเตอร์ได้ก็ต่อเมื่อ มีกระแสไบแอสไหลผ่านที่เบสและอีมิตเตอร์ แต่เพาเวอร์มอสเฟตจะมีกระแสไหลผ่านเดรนและซอร์สได้ก็ต่อเมื่อ แรงดันตกคร่อมที่ขาเกทและซอร์สมีค่าอย่างต่ำเท่ากับค่าแรงดันขีดเริ่ม (Threshold Voltage) ของมัน แต่ใช้กระแสต่ำ การขับเพาเวอร์มอสเฟตให้นำกระแสจึงทำได้ง่าย และยุ่งยากน้อยกว่าไบโพลาร์เพาเวอร์ทรานซิสเตอร์มาก

อย่างไรก็ตาม เพื่อให้เพาเวอร์มอสเฟตทำงานได้อย่างมีประสิทธิภาพสูงสุด จึงจำเป็นต้องศึกษาเงื่อนไขต่างๆ สำหรับการบังคับให้เพาเวอร์มอสเฟตนำกระแสเป็นอันดับแรกเสียก่อน

3.3.5 ค่าความจุไฟฟ้าด้านอินพุต (Input Capacitance)

เนื่องจากลักษณะโครงสร้างภายใน ตัวเพาเวอร์มอสเฟตจึงเหมือนกับมีตัวเก็บประจุต่ออยู่รอบๆขาต่างๆของมันดังรูปที่ 3-5



รูปที่ 3-5 แสดงตัวเก็บประจุแฝงที่ต่ออยู่ที่ขาต่างๆ ภายในตัวเพาเวอร์มอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวเก็บประจุเหล่านี้บังคับให้เพาเวอร์มอสเฟตต้องชาร์จประจุเข้าไปที่ตัวเก็บประจุเสียก่อน เพื่อให้แรงดันตกคร่อมที่ขาเกท V_{GS} มีค่าเพิ่มขึ้นจนถึงแรงดันขีดเริ่ม เพาเวอร์มอสเฟตจึงเริ่มนำกระแสในทางกลับกันการหยุดนำกระแสของเพาเวอร์มอสเฟต จะต้องทำให้ตัวเก็บประจุคายประจุออกไปจนแรงดันตกคร่อมที่ขาเกท V_{GS} มีค่าลดลงต่ำกว่าค่าแรงดันขีดเริ่ม เพาเวอร์มอสเฟตจึงหยุดนำกระแส

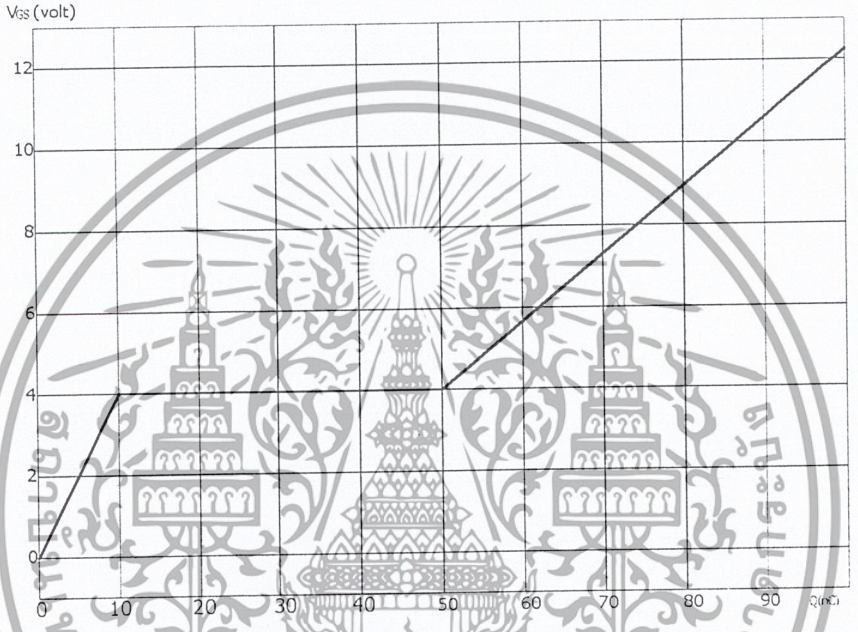
โดยทั่วไปแล้ว ค่าความจุของตัวเก็บประจุในตัวเพาเวอร์มอสเฟตนี้เอง จะเป็นตัวกำหนดความเร็วในการเปลี่ยนสถานะของมัน

รูปที่ 3-6 แสดงลักษณะแรงดันและกระแสที่ขาเกทขณะเพาเวอร์มอสเฟตถูกไบแอสให้นำกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.6 การกำหนดเวลาเปลี่ยนสถานะ

ปกติแล้วผู้ผลิตมักจะให้กราฟของแรงดัน V_{GS} ที่เพิ่มขึ้นในขณะที่ค่าประจุสะสมที่ขาเกทเพิ่มขึ้นหรือที่เรียกแผนภูมิประจุที่เกท ตามรูปที่ 3-7 กราฟนี้มีประโยชน์มากในการคำนวณค่ากระแสไบแอสเกทและเวลาในการเปลี่ยนสถานะของเพาเวอร์มอสเฟต



รูปที่ 3-7 แสดงตัวอย่างของแผนภูมิประจุที่เกท

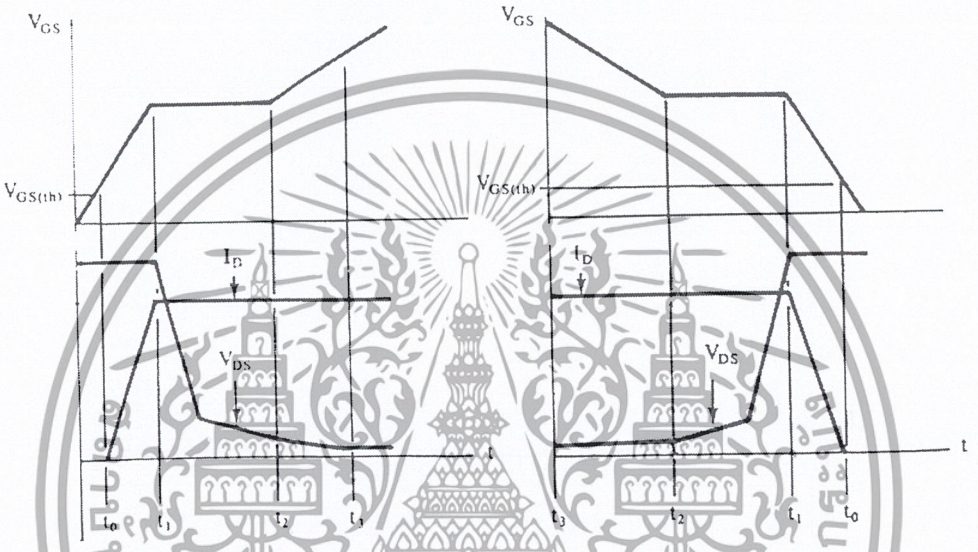
ลักษณะของกราฟจะแบ่งออกได้เป็น 3 ช่วง ตามผลของประจุที่เพิ่มขึ้นคือ

1. ช่วงเวลาหน่วงก่อนเริ่มนำกระแส (turn on delay) t_o
2. ช่วงเวลาเริ่มนำกระแส (rise time) $t_o \longrightarrow t_2$
3. ช่วงเวลาสะสมประจุส่วนเกิน (excess charge time) $t_2 \longrightarrow t_3$

เมื่อเพาเวอร์มอสเฟตเริ่มชาร์จประจุที่ขาเกท จนกระทั่งพ้นช่วงเวลาหน่วงก่อนเริ่มนำกระแสเมื่อแรงดันที่ขาเกทต่ำกว่า แรงดันขีดเริ่ม ($V_{GS(th)}$) จึงจะเริ่มมีกระแสไหลผ่านเดรนและซอร์สที่เวลา t_o ค่าของแรงดันจะยังไม่ลดลงจนกว่าจะผ่านเวลาเท่ากับ t_1 แรงดันตกคร่อมเดรนและซอร์ส V_{DS} จึงมีค่าลดลงอย่างรวดเร็วจากค่าแรงดันที่ประมาณ 90 เปอร์เซ็นต์ จนเหลือเพียง 10 เปอร์เซ็นต์ ของค่าแรงดันตกคร่อม V_{DS} สูงสุด เพาเวอร์มอสเฟตจะนำกระแสได้อย่างเต็มที่ในช่วงเวลาเริ่มนำกระแส t_1 ถึง t_2 นี้เอง และแรงดันตกคร่อมที่ขาเกท V_{GS} จะคงที่ จนกว่าเพาเวอร์มอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟตจะสามารถนำกระแสได้อย่างเต็มที่ ดังแสดงในรูปที่ 3-7 ในช่วงเวลาสะสมประจุส่วนเกิน ค่าความต้านทานระหว่างเดรนและซอร์สจะลดลงเรื่อยๆ หากปล่อยให้มีการสะสมประจุต่อไปในช่วงเวลา t_2 ถึง t_3 แต่ประจุสะสมที่เพิ่มขึ้นจะทำให้เกิดการหน่วงขณะเริ่มหยุดนำกระแส เนื่องจากเพาเวอร์มอสเฟตจะต้องใช้เวลามากในการคายประจุส่วนเกินนี้ทิ้งไป ดังนั้นการขับเพาเวอร์มอสเฟตที่ขาเกทด้วยแรงดันสูงเกินความจำเป็น จะทำให้ช่วงเวลาเริ่มหยุดนำกระแสเพิ่มขึ้นซึ่งเป็นผลเสีย



รูปที่ 3-8 แสดงลักษณะการชาร์จประจุที่ขาเกทตามเวลาที่มีผลต่อการเริ่มนำกระแส (ก) และผลเมื่อเริ่มหยุดนำกระแสเพาเวอร์มอสเฟต (ข)

เนื่องจากเพาเวอร์มอสเฟตไม่เกิดประจุสะสมขึ้นขณะนำกระแส การหยุดนำกระแสของเพาเวอร์มอสเฟตจึงทำได้ง่ายๆ ด้วยการคายประจุที่ขาเกททิ้งไปเช่นเดียวกับขณะเริ่มนำกระแสและถ้าขนาดกระแสเพื่อชาร์จประจุและคายประจุมีค่าเท่ากัน ช่วงเวลาเริ่มนำกระแสและช่วงเวลาเริ่มหยุดนำกระแสจะมีช่วงเวลาหน่วงเพิ่มขึ้น เนื่องจากต้องใช้เวลาส่วนหนึ่งในการคายประจุ ส่วนเกินทิ้งไป

จากกราฟในรูปที่ 3-6 ของเพาเวอร์มอสเฟตแต่ละเบอร์ จะนำมาหาค่าช่วงเวลาเริ่มนำกระแส t_r ได้จาก

$$t = \frac{Q_G}{I_G} \qquad (3.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ Q_G คือ ค่าประจุที่ได้จากกราฟเป็นคูลอมบ์

I_G คือ ค่ากระแสที่ใช้ชาร์จประจุที่ค่ากระแสคงที่เป็นแอมป์

หมายเหตุ กราฟแผนภูมิประจุที่เกท ดังรูปที่ 3-6 ปกติในการวัดผู้ผลิตจะกำหนดให้กระแสเกท I_G ไม่คงที่ จึงจำเป็นต้องใช้ข้อมูลที่นอกเหนือจากข้อมูลในแผนภูมิประจุเกท ซึ่งจะไม่ขอกล่าวในที่นี้ อย่างไรก็ตามถ้าสามารถออกแบบวงจรขับเพาเวอร์มอสเฟตให้จ่ายกระแสได้มากพอ การคำนวณที่ได้จากสมการ (2-3) ก็นับว่าได้ใกล้เคียง

จะเห็นได้ว่าการ ขับเพาเวอร์มอสเฟตให้นำกระแสได้นั้น จะต้องมีการชาร์จประจุและคายประจุที่ขาเกท วงจรขับเพาเวอร์มอสเฟตจะต้องมีลักษณะของการจ่ายและรับกระแส (Sourse and sink) ได้ที่ประมาณ 200 ถึง 400 มิลลิแอมป์ด้วย และต้องให้แรงดันตกคร่อมที่ขาเกท V_{GS} ค่ามากพอ เพื่อที่เพาเวอร์มอสเฟตจะทำงานได้อย่างเต็มที่ด้วย (ประมาณ 10 โวลต์)

3.4 ไดโอดกำลัง (Power Diode)

ไดโอดกำลัง เป็นไดโอดที่ออกแบบให้บริเวณรอยต่อมีช่วงกว้างมากกว่าไดโอดทั่วไปเพื่อนำไปใช้กับงานที่มีกำลังและกระแสไฟฟ้าสูง ไดโอดกำลังนี้ทนต่ออุณหภูมิได้

ไดโอดกำลังมี 2 ขั้ว คือ แอโนดซึ่งต่อกับสารกึ่งตัวนำชนิด P และคาโธดต่อกับสารกึ่งตัวนำชนิด n ซึ่งไดโอดกำลังแบ่งออกเป็น 3 ประเภทคือ

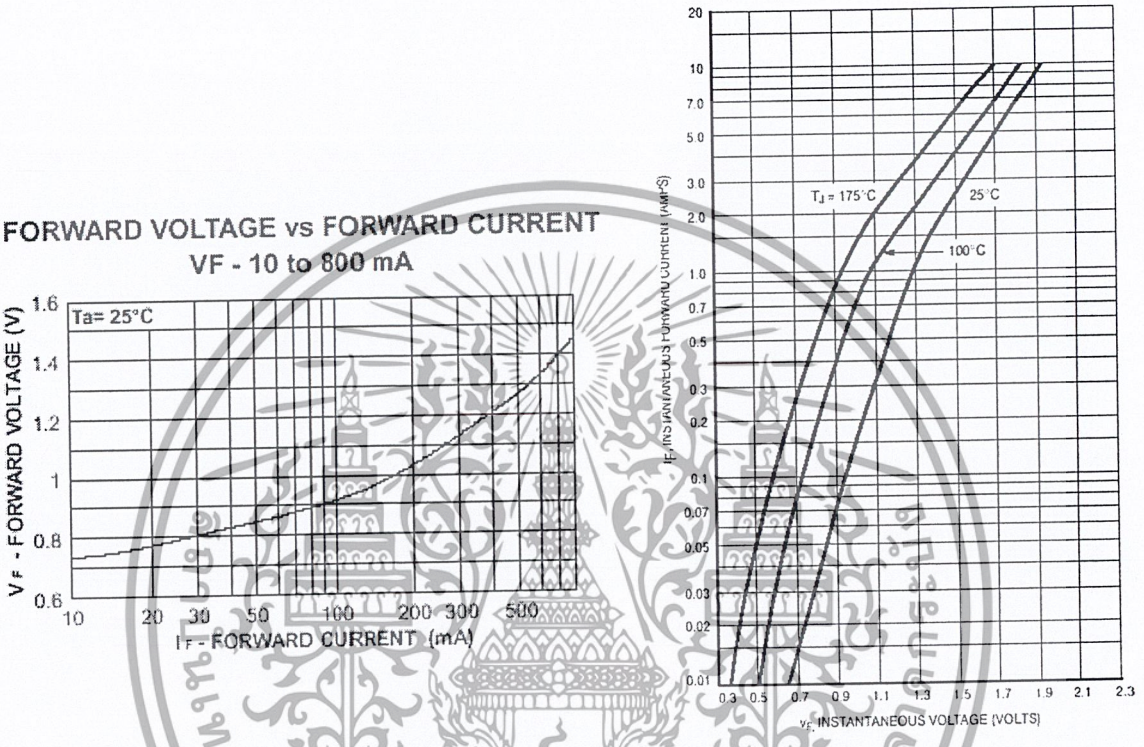
1. ฟาสต์-รีคัฟเวอรี่ไดโอด (Fast Recovery Diode)
2. อุตตราฟาสต์-รีคัฟเวอรี่ไดโอด (Ultra Fast Recovery Diode)
3. ชอตต์กี้ไอด (Schottky Diode)

3.4.1 ฟาสต์-รีคัฟเวอรี่และอุลตราฟาสต์-รีคัฟเวอรี่ไดโอด

ฟาสต์-รีคัฟเวอรี่ไดโอดมีช่วงเวลาคืนตัว t_{rr} ประมาณ 200 ถึง 750 นาโนวินาที ซึ่งสั้นกว่าซิลิกอนไดโอดมาก และฟาสต์-รีคัฟเวอรี่ไดโอดมีอัตราทนแรงดันไบแอสกลับได้สูงถึง 1,000 โวลต์ ส่วนอุลตราฟาสต์-รีคัฟเวอรี่ไดโอดจะมีช่วงเวลาคืนตัว t_{rr} ประมาณ 25 ถึง 100 นาโนวินาที และมีอัตราทนแรงดันไบแอสกลับได้สูงถึง 1,000 โวลต์เช่นเดียวกัน แรงดันตกคร่อมขณะนำกระแส V_F ของไดโอดทั้งสองชนิดมีค่าอยู่ในช่วงเดียวกันคือ ประมาณ 0.6 ถึง 1.5 โวลต์ ตัวอย่างค่าแรงดันตกคร่อมขณะนำกระแสของฟาสต์-รีคัฟเวอรี่และอุลตราฟาสต์-รีคัฟเวอรี่ แสดงไว้ในรูปที่ 3-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากแรงดันตกคร่อมขณะนำกระแสของฟาสต์-รีคัพเวอรี่ และอุลตราฟาสต์-รีคัพเวอรี่ ไดโอดมีค่าค่อนข้างสูง ไดโอดทั้งสองชนิดนี้จึงเหมาะกับคอนเวอร์เตอร์ที่มีค่าแรงดันเอาต์พุตที่มีค่าแรงตั้งแต่ 12 โวลต์ขึ้นไป



รูปที่ 3-9 (ก) แสดงตัวอย่างค่าแรงดันตกคร่อมขณะนำกระแสของฟาสรีคัพเวอร์รี่ไดโอด

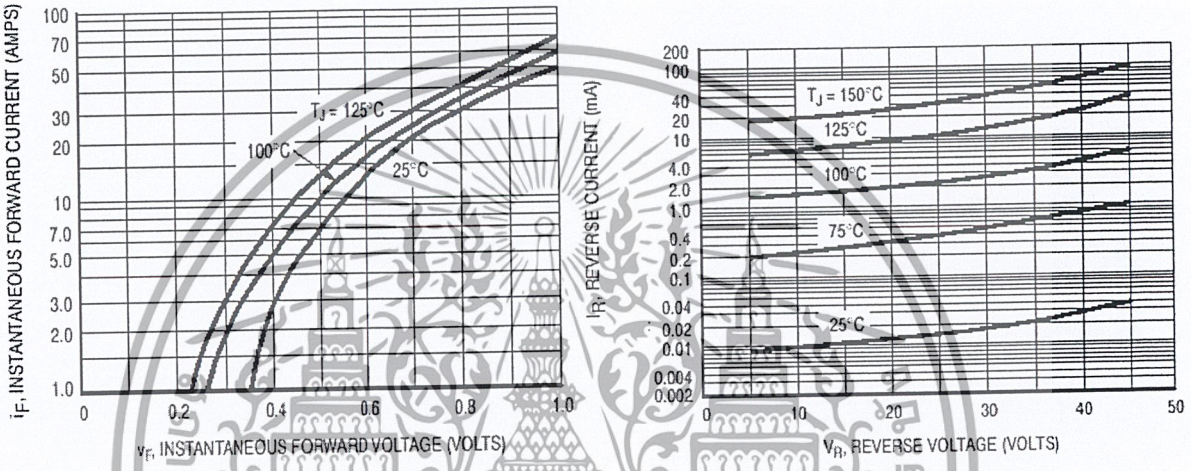
รูปที่ 3-9 (ข) แสดงตัวอย่างค่าแรงดันตกคร่อมขณะนำกระแสของอุลตร้าฟาสรีคัพเวอร์รี่ไดโอด

3.4.2 ชอตต์กี้ไดโอด

ชอตต์กี้ไดโอดมีค่าแรงดันคร่อมขณะนำกระแสค่อนข้างต่ำที่ประมาณ 0.5 โวลต์ (ดูรูปที่ 3-9 ประกอบ) จึงเหมาะสมกับคอนเวอร์เตอร์ที่มาค่าแรงดันเอาต์พุตต่ำ ๆ และกระแสสูง เช่น ที่ค่าแรงดันเอาต์พุตเท่ากับ 5 โวลต์ เนื่องจากลักษณะโครงสร้างภายในที่แตกต่างจากฟาสต์-รีคัพเวอรี่ และอุตราฟาสต์-รีคัพเวอรี่ไดโอด ชอตต์กี้ไดโอดจะไม่เกิดประจุสะสมขึ้นภายในตัวมันขณะนำกระแส ช่วงเวลาคืนตัว t_{rr} ของชอตต์กี้ไดโอดจึงมีค่าสั้นมาก โดยมีค่าน้อยกว่า 10 นาโนวินาที และอาจถือว่าชอตต์กี้ไดโอดไม่มีกำลังงานสูญเสียในช่วงนี้ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตาม ชอตต์กี้ไดโอดมีข้อเสียอยู่ 2 ประการคือ ชอตต์กี้ไดโอดที่ผลิตได้ในปัจจุบันมีอัตราทนแรงดันขณะไบแอสกลับได้สูงสุดที่ 100 โวลต์เท่านั้น และชอตต์กี้ไดโอดมีกระแสรั่วไหลสูง (ดูรูปที่ 3-9 ประกอบ) ทำให้มีกำลังงานสูญเสียขณะถูกไบแอสกลับค่อนข้างสูง และยังมีปัญหาที่เกิดขึ้นเมื่อนำชอตต์กี้ไดโอดมาใช้ในคอนเวอร์เตอร์อีกประการหนึ่งคือ ชอตต์กี้ไดโอดจะให้ทรานเซียนต์ขณะเริ่มหยุดนำกระแสสูง



(ก) (ข)

รูปที่ 3-10 (ก)แสดงตัวอย่างแรงดันตกคร่อมขณะนำกระแสของชอตต์กี้ไดโอด

รูปที่ 3-10 (ข)แสดงค่ากระแสรั่วไหลของชอตต์กี้ไดโอด

3.5 การออกแบบตัวเก็บประจุทางเอาท์พุต

ในการเลือกใช้ตัวเก็บประจุทางเอาท์พุตนั้น สิ่งที่ผู้ออกแบบจะต้องคำนึงถึงเป็นอย่างมากก็คือ อัตราทนกระแสขณะใช้งานสูงสุด ความถี่การสวิตชิ่ง และชนิดคอนเวอร์เตอร์ (Converter) ที่ใช้ปัจจุบันนิยมใช้ตัวเก็บประจุแบบอิเล็กโทรไลติก (ELECTROLYTIC CAPACITOR) ซึ่งมีค่าความต้านทานอนุกรมเสมือน (ESR) ต่ำ ซึ่งค่า ESR นี้ จะส่งผลโดยตรงกับการกระเพื่อมของแรงดันเอาท์พุต และอายุการใช้งานของตัวเก็บประจุด้วย ถ้าค่า ESR ของตัวเก็บประจุที่ใช้มีค่าสูง ๆ จะทำให้เกิดกำลังงานสูญเสียในตัวเก็บประจุสูงขึ้นตาม เป็นผลทำให้เกิดความร้อนและอายุการใช้งานสั้นลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัจจุบันตัวเก็บประจุมีขีดจำกัดอุณหภูมิสูงถึง 105 °C และค่า ESR ต่ำที่ความถี่สวิตชิ่งสูง ๆ ตั้งแต่ 20 kHz ขึ้นไป ยิ่งไปกว่านั้นผู้ผลิตบางรายยังรับประกันการทำงานของตัวเก็บประจุที่ตนผลิตนั้นสามารถทำงานได้ที่ความถี่สูงถึง 100 kHz ทีเดียว

ยังมีตัวเก็บประจุอีกชนิดหนึ่งที่จะกล่าวถึง คือ ตัวเก็บประจุชนิดฟิล์ม (FILM CAPACITOR) จากความก้าวหน้าทางเทคโนโลยีได้พัฒนาตัวเก็บประจุชนิดนี้ให้มีอัตราทนกระแสได้สูง และค่า ESR ต่ำกว่าตัวเก็บประจุแบบอิเล็กโทไลติก ผู้ผลิตบางรายจะบอกถึงอัตราทนกระแสของตัวเก็บประจุแบบฟิล์ม เช่น $2A/\mu F$ ที่ความถี่ 100 kHz หรือสูงกว่านั้น

ในการคำนวณหาค่าของตัวเก็บประจุทางเอาท์พุตนั้น สัญญาณกระแสที่ตัวเก็บประจุเอาท์พุต C_{out} สังเกตพบว่าทิศทางที่กระแสไหลผ่านตัวเก็บประจุมีค่าเป็นบวกเริ่มที่เวลา t_1 ซึ่งเป็นจุดกึ่งกลางของช่วงเวลาเปิดวงจร และสิ้นสุดที่เวลา t_2 ซึ่งก็เป็นกึ่งกลางของช่วงเวลาเปิดวงจร จากการเปลี่ยนแปลงของกระแสในลักษณะดังกล่าว จึงเป็นผลให้เกิดแรงดันกระเพื่อม (ΔV_0) มีค่าดังสมการข้างล่าง

$$V_{out} = \frac{1}{C_{out}} \int_{t_1}^{t_2} i dt \qquad (3.5)$$

กระแสเฉลี่ยระหว่างช่วงเวลา t_1 และ t_2 เท่ากับ $(\Delta I_{out}/2)/2$ หรือ $\Delta I_{out}/4$ ดังนั้นจากสมการ 2.4 จะได้

$$V_{out} = \frac{I_{out}}{4 C_{out}} \frac{T}{2}$$

$$= \frac{(\Delta I_{out})T}{8 C_{out}}$$

$$= \frac{\Delta I_{out}}{8 f C_{out}}$$

เมื่อ T คือ คาบเวลาทั้งหมดของ t_{on} และ t_{off} จัดรูปแบบของสมการใหม่ เพื่อค้นหาค่าตัวเก็บประจุเอาท์พุตต่ำสุดคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_{out} = \frac{\Delta I_{out}}{8f\Delta V_{out}} \qquad (3.6)$$

เมื่อ I_{out} เท่ากับ 0.25 I_L

I_L คือ กระแสเอาท์พุต

ΔV_{out} คือ แรงดันกระเพื่อมจากยอดถึงยอด (Peak to peak)

f คือ ความถี่ใช้งาน

เพื่อที่จะให้ค่าแรงดันกระเพื่อมมีค่าต่ำ อาจคำนวณหาค่า ESR ของตัวเก็บประจุได้จากสมการ

$$ESR_{max} = \frac{\Delta V_{out}}{\Delta I_{out}} \qquad (3.7)$$

แต่ยังมีอีกสิ่งหนึ่งที่จะต้องคำนึงอีกประการก็คือ การเลือกค่า LC ฟิวเตอร์ เพราะอาจส่งผลกระทบต่อการทำงานของแหล่งจ่ายไฟสวิตชิ่งโดยตรงอยู่ 2 ประการคือ ประการแรกการใช้ L และ C มาก จะทำให้ค่าอิมพีแดนซ์ (Impedance) ชั่วขณะของเอาท์พุตฟิลเตอร์มีค่าต่ำ ซึ่งหมายความว่าการตอบสนองต่อทรานเซียนต์ (Transientresponse) ของแหล่งจ่ายไฟตรงสวิตชิ่งเมื่อมีการเปลี่ยนแปลงโหลดดีขึ้นนั่นเอง

ในการพิจารณาการตอบสนองต่อทรานเซียนต์ของแหล่งจ่ายไฟตรงสวิตชิ่งนั้น องค์ประกอบที่สำคัญมิได้อยู่ที่ระยะเวลาที่แรงดันเอาท์พุตสามารถกลับคืนสู่ระดับปกติเดิมเมื่อเกิดการเปลี่ยนแปลงโหลดอย่างฉับพลัน แต่จะให้ความสำคัญว่าเมื่อการเปลี่ยนแปลงโหลดอย่างฉับพลันแล้วนั้น ระดับแรงดันเอาท์พุตจะมีการเปลี่ยนแปลงสูงสุดเท่าใด เพราะถ้าแรงดันเปลี่ยนแปลงมากเกินไป อาจจะทำให้การทำงานของอุปกรณ์ผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบระบบควบคุมดิจิตอลและบัคคอนเวอร์เตอร์

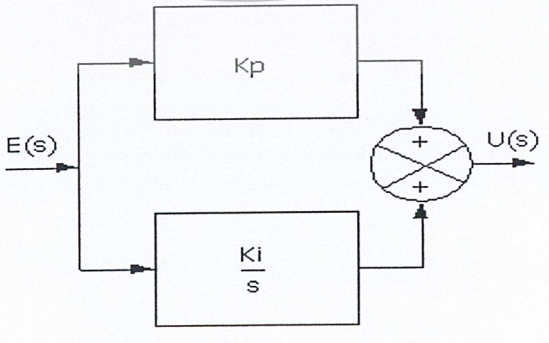
4.1 การออกแบบระบบควบคุมดิจิตอล

การออกแบบระบบควบคุมทางดิจิตอลกระทำได้ 2 วิธีด้วยกัน คือ วิธีแรก ทำการออกแบบในระบบเวลาต่อเนื่อง แล้วแปลงจากอนาลอกไปสู่โดเมนดิจิตอล และอีกวิธีหนึ่ง ทำการออกแบบระบบควบคุมในโดเมนดิจิตอลโดยตรงเลย สำหรับวิธีหลังนี้โดยทั่วๆไปแล้วจะอยู่ในรูปของ $Z = e^{st}$ อีกทั้งเทคนิคการออกแบบใน โดเมนความถี่ (S-Plane) ที่ใช้ในระบบเวลาต่อเนื่อง ก็นำมาใช้กับ Z-Plane ได้ยาก วิธีการแก้ไขก็คือต้องทำการแปลง Z-Plane ให้เป็น Plane ใหม่ เรียกว่า W-Plane ก็จะได้ความสะดวกสบายในการออกแบบกลับคืนมา อย่างไรก็ตาม W-transform ก็ยังทำให้เกิดการเพี้ยนทางความถี่ได้ จึงต้องอาศัยการทดสอบปรับแต่งพารามิเตอร์ในกระบวนการออกแบบอีกด้วย เพื่อให้ได้อัลกอริทึมควบคุมระบบ D(Z) ตามที่ต้องการ

ใช้เทคนิคการออกแบบของ Bode เราจึงแปลง Z-Plane ให้เป็น Plane ใหม่ เรียก W-Plane โดยอาศัยการแปลงไบลิเนียร์ $W=\frac{2(z-1)}{T(z+1)}$ ซึ่งเทคนิคนี้ทำให้การออกแบบระบบควบคุมทางดิจิตอลทำได้สะดวกเหมือนการออกแบบในระบบเวลาต่อเนื่องและสามารถนำอัลกอริทึมที่หาได้ไปใช้กับไมโครโปรเซสเซอร์ได้เลย

4.1.1 การออกแบบระบบควบคุมดิจิตอล

รูปที่ 4-1 แสดงแผนผังบล็อกของตัวควบคุมต่อเนื่อง Proportional และ Integral



รูปที่ 4-1 ตัวควบคุม PI ต่อเนื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานเฟอร์ฟังก์ชันของตัวควบคุม PI คือ

$$D(s) = Kp + \frac{Ki}{s} = \frac{Kps + Ki}{s} = \frac{U(Z)}{E(Z)}$$

ต่อไปจะนำหลักการของตัวควบคุม PI แบบต่อเนื่อง ขยายออกไปใช้กับแบบดิสครีตได้ ก่อนอื่นเราจะหาทรานสเฟอร์ฟังก์ชันของตัวควบคุม PI ดิสครีต ส่วน Proportional gain ยังคงใช้ Kp ส่วน Integration ใช้การประมาณแบบ trapezoidal ให้ u(t) เป็นอินทิกรัลของ e(t) ดังนั้นค่าของอินทิกัลที่ t= (K+1)T คือ

$$u[(k+1)T] = u[kT] + \int_{kT}^{(k+1)T} e(\tau)d\tau$$

$$= u[KT] + \frac{T}{2}\{e([k+1]T + e(kT)$$

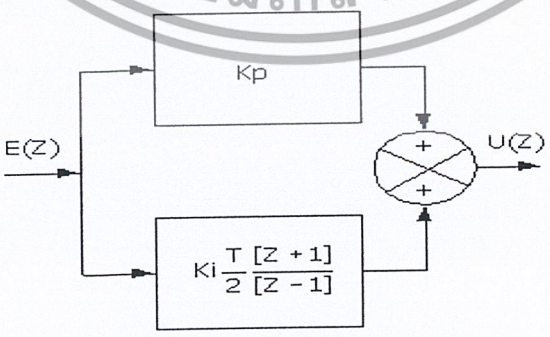
ดังนั้น $ZU(Z) = U(Z) + \frac{T}{2}[ZE(Z) + E(Z)]$

$$ZU(Z) - U(Z) = \frac{T}{2}[ZE(Z) + E(Z)]$$

$$[Z-1]U(Z) = \frac{T}{2}[Z+1]E(Z)$$

$$\frac{U(Z)}{E(Z)} = \frac{T}{2}\frac{[Z+1]}{[Z-1]}$$

จะได้แผนผังบล็อกของตัวควบคุม PI ดิจิตอล แสดงในรูปที่ 4-2

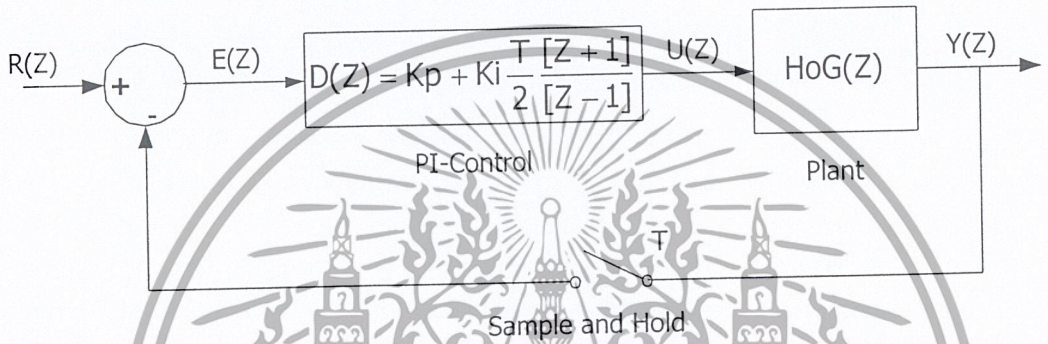


รูปที่ 4-2 แผนผังบล็อกของตัวควบคุมดิจิตอล PI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบตัวควบคุม PI ก็คือการหาค่า Kp , Ki ทำให้ระบบทำงานได้ตรงตามข้อกำหนด วิธี Bode plot จากระบบต่อเนื่องสามารถนำมาใช้กับการออกแบบ PI ดิสครีตได้ เพราะ PI ดิสครีต คือ กรณีเฉพาะของ phase Lag compensator ต่อไปนี้จะแสดงวิธีการออกแบบเพื่อให้ได้ ϕ_S = phase margin ที่กำหนด

พิจารณาระบบควบคุมดิจิตอลดังรูปที่ 4-3



รูปที่ 4-3 ระบบควบคุมพร้อมด้วยตัวควบคุมดิจิตอล PI

ทรานเฟอร์ฟังก์ชันของตัวควบคุม PI ในระนาบ W หาได้โดยแทน $W=\frac{2(z-1)}{T(z+1)}$ ลงใน D(Z) ได้

$$D(W) = \frac{U(W)}{E(W)} = Kp + \frac{Ki}{W}$$

$$D(j\nu) = Kp + \frac{Ki}{j\nu}$$

$$= Kp + \frac{Ki}{j\nu}\frac{j\nu}{j\nu}$$

ดังนั้น $$D(j\nu) = Kp - j\frac{Ki}{\nu} \quad (4.1)$$

จาก $a + jb = |r|(\cos\theta + j\sin\theta)$

ได้ $$= |D(j\nu)|(\cos\theta + j\sin\theta)$$

$$= |D(j\nu)|\cos\theta + j|D(j\nu)|\sin\theta \quad (4.2)$$

ปัญหาการออกแบบคือเลือก D(W) เพื่อให้ได้

$$D(j\nu)H_oG(j\nu) = 1\angle(180^o + \phi_S)$$

ϕ_S = phase margin ที่กำหนด ณ ความถี่ gain cross-over ν_S ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\angle D(j\nu_c) + \angle H_o G(j\nu_c) = 180^o + \phi_s$$

$$\text{หรือ } \angle D(j\nu_c) = \theta = 180^o + \phi_s - \angle H_o G(j\nu_c) \quad (4.3)$$

$$\text{และ } |D(j\nu_c)| = \frac{1}{|H_o G(j\nu_c)|}$$

จาก (4.1) และ (4.2)เปรียบเทียบสมการทั้งสองจะได้

$$Kp = \frac{\cos\theta}{|H_o G(j\nu_c)|} \quad (4.4)$$

$$Ki = -\nu_c \frac{\sin\theta}{|H_o G(j\nu_c)|} \quad (4.5)$$

สมการ (4.4) และ (4.5) เป็นสมการสำหรับออกแบบตัวควบคุมดิจิตอล PI ในระนาบ W เมื่อออกแบบหาค่า Kp,Ki เรียบร้อยแล้ว เราก็จะได้ตัวควบคุม PI ดังนี้

จาก $D(W) = Kp + \frac{Ki}{W}$

และเมื่อใช้ $W = \frac{2}{T}\frac{[Z-1]}{[Z+1]}$ จะได้ ทรานเฟอร์ฟังก์ชันของเครื่องควบคุมดิจิตอล PI

$$D(Z) = \frac{U(Z)}{E(Z)} = Kp + \frac{TKi}{2}\frac{[Z+1]}{[Z-1]}$$

และนำทรานเฟอร์ฟังก์ชันที่ได้ไป แก้เป็นสมการผลต่างดังนี้

$$\frac{U(Z)}{E(Z)} = \frac{2Kp[Z-1] + TKi[Z+1]}{2[Z-1]}$$

$$= \frac{2KpZ - 2Kp + TKiZ + TKi}{2[Z-1]}$$

$$= \frac{Z\left(Kp + \frac{TKi}{2}\right) + \left(\frac{TKi}{2} - Kp\right)}{[Z-1]} \quad (4.6)$$

$$ZU(Z) - U(Z) = \left\{Z\left(Kp + \frac{TKi}{2}\right) + \left(\frac{TKi}{2} - Kp\right)\right\}E(Z)$$

$$ZU(Z) = U(Z) + (Kp + \frac{TKi}{2})ZE(Z) + (\frac{TKi}{2} - Kp)E(Z)$$

$$U(Z) = Z^{-1}U(Z) + (Kp + \frac{TKi}{2})E(Z) + (\frac{TKi}{2} - Kp)E(Z)Z^{-1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก Z-transform กำหนดโดย

$$Z^{-1}\{F(Z)\} = f(n)$$

$$Z^{-1}\{Z^{-m}F(Z)\} = f(n-m)$$

จะได้ $u(n) = u(n-1) + (\frac{TKi}{2} - Kp)\,e(n-1) + (Kp + \frac{TKi}{2})\,e(n)$ (4.7)

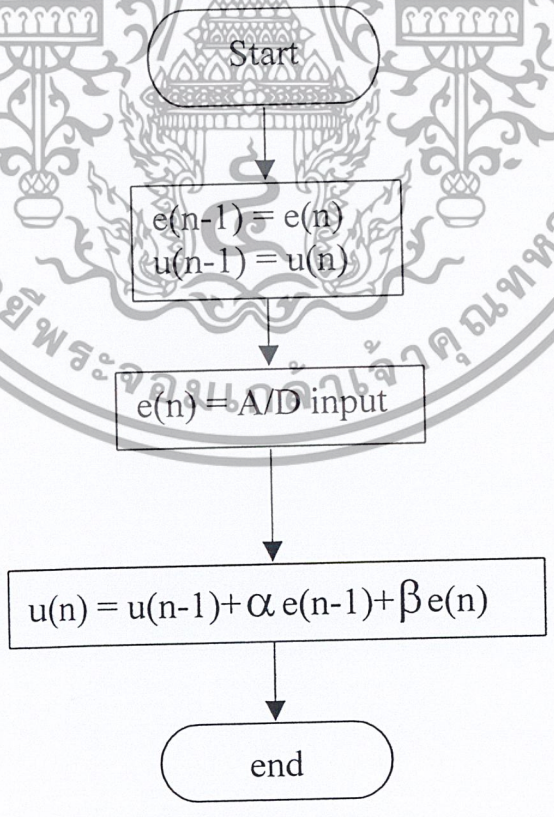
และกำหนด $\alpha = \left(\frac{TKi}{2} - Kp\right)$ (4.8)

$\beta = \left(Kp + \frac{TKi}{2}\right)$ (4.9)

นำสมการ (4.8),(4.9) ไปแทนในสมการ(4.7)จะได้

$u(n) = u(n-1) + \alpha e(n-1) + \beta e(n)$ (4.10)

สามารถนำสมการ(4.10)นี้ ไปใช้กับ ไมโครโปรเซสเซอร์ได้เลยตาม Flow chart ดังนี้



รูปที่ 4-4 การทำงานของเครื่องควบคุมดิจิตอล PI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ α , β ,e และ u เป็น ค่าตัวแปรที่ถูกเก็บไว้ในหน่วยความจำของเครื่องไมโครโปรเซสเซอร์โดย e และ u เป็นตัวแปรแบบอเรย์ดังนี้

กำหนดให้ e(n) = e[1] ตัวแปร e แบบอเรย์ช่องที่ 1 หมายถึงค่าปัจจุบัน

e(n-1)= e[2] ตัวแปร e แบบอเรย์ช่องที่ 2 หมายถึงค่าอดีตที่ผ่านมาแล้วใน1เวลา

และ

u(n) = u[1] ตัวแปร u แบบอเรย์ช่องที่ 1 หมายถึงค่าปัจจุบัน

u(n-1)= u[2] ตัวแปร u แบบอเรย์ช่องที่ 2 หมายถึงค่าอดีตที่ผ่านมาแล้วใน1เวลา

4.2 การทดลองเชื่อมต่อกับอุปกรณ์เชื่อมต่อสัญญาณอนาลอก

การเขียนโปรแกรมจะมีขั้นตอนต่างๆดังต่อไปนี้

4.2.1 กำหนดค่าความถี่การชักตัวอย่าง

ก่อนที่จะทำการกำหนดค่าเริ่มต้นของวงจรเชื่อมต่อสัญญาณอนาลอก จะต้องทำการกำหนดค่าความถี่ชักตัวอย่างก่อน ซึ่งการใช้อุปกรณ์เชื่อมต่อสัญญาณอนาลอกเบอร์ TLC32040 นี้จะสามารถแปลงค่าได้จนถึง 20 kHz การกำหนดความถี่การชักตัวอย่างสามารถกำหนดได้จากรีจิสเตอร์ A และรีจิสเตอร์ B ในส่วนการส่งและรับค่าเหล่านี้จะถูกนำไปใส่ไว้ในตัวนับ (Counter) ที่เหมาะสมเมื่อ ตัวนับ นั้นมีค่าเป็น 0 Tx ตัวนับ A และ B เป็นตัวกำหนดในการเปลี่ยนแปลงค่าในด้านการแปลงสัญญาณอนาลอกเป็นดิจิตอล

โดยในโปรแกรมหลัก (Main Program) จะใช้ค่าความถี่ชักตัวอย่างเท่ากับ 20 kHz ความถี่ Master Clock จากตัวจับเวลา 0 ของ TMS320C31 เท่ากับ 6.25 MHz จะได้ค่าต่างๆ ดังนี้

TA = MCLK/(2 x SCF) = 6.25 MHz/(2 x 640 kHz) = 4.88 $\approx$ 5 = $(00101)_b$

TB = MCLK/(2 x TA x Fs) = 6.25 MHz/(2 x 5 x20000) = 31.25 $\approx$ 31 = $(011111)_b$

นอกจากจะกำหนดค่ารีจิสเตอร์ A และ B แล้ว ยังต้องกำหนดค่า รีจิสเตอร์ควบคุมด้วย ซึ่งจะกำหนดตามบิตต่างๆ ที่ได้กล่าวไปในบททฤษฎีแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

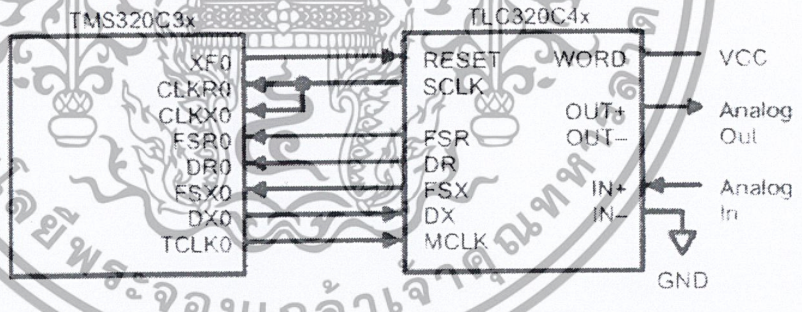
4.2.2 กำหนดค่าเริ่มต้นของตัวจับเวลา 0

เนื่องจากอุปกรณ์เชื่อมต่อสัญญาณอนาลอกมีการเชื่อมต่อกับตัวจับเวลา 0 เพื่อนำสัญญาณที่ขา TCLK0 จากตัวจับเวลา 0 มาเป็น Master Clock (ขา MCLK) ของวงจรเชื่อมต่อสัญญาณอนาลอก ตัวจับเวลา 0 จะส่งสัญญาณที่ขา TCLK 0 ทุกครั้งที่รีจิสเตอร์ Timer ตัวนับ มีค่าเท่ากับรีจิสเตอร์ Timer Peiod โดย Master Clock ของวงจรเชื่อมต่อสัญญาณอนาลอก จะมีค่าตั้งแต่ 75 kHz จนถึง 10.368 MHz สัญญาณ Master Clock ที่ใช้ในโปรแกรมหลัก จะใช้เท่ากับ 6.25 MHz จึงกำหนดค่าของ Timer Period Register 0 เท่ากับ 1 และกำหนดให้ตัวจับเวลา 0 ทำงานใน Clock mode ซึ่งจะมีเอาท์พุตออกมาเป็นคลื่นสี่เหลี่ยมที่มีความถี่เท่ากับ ½ เท่าของ Pulse mode โดยจะกำหนดค่าในรีจิสเตอร์ต่างๆ ดังนี้

รีจิสเตอร์ Timer Period 0 ตำแหน่ง 808028h กำหนดค่า 0x1

รีจิสเตอร์ Global Control Timer 0 ตำแหน่ง 808020h กำหนดค่า 0x3C1

4.2.3 ทำการรีเซตวงจรเชื่อมต่อสัญญาณอนาลอก



รูปที่ 4-5 แสดงการเชื่อมต่อระหว่างอุปกรณ์เชื่อมต่อสัญญาณอนาลอก และ TMS320C31

จากรูป ขา Reset ของอุปกรณ์เชื่อมต่อสัญญาณอนาลอก เชื่อมต่อกับขา XF0 ของ TMS320C31 ดังนั้นจึงสามารถรีเซตอุปกรณ์เชื่อมต่อสัญญาณอนาลอกได้โดยกำหนดค่ารีจิสเตอร์ IOF คือ กำหนด 2h ให้ IOF จะเป็นการรีเซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4 ค่าเริ่มต้นของพอร์ตอนุกรม

เนื่องจากวงจรเชื่อมต่อสัญญาณอนาลอกจะส่งข้อมูลเข้าและออก จึงต้องกำหนดให้ขา DX,FSX,CLKX และDR,FSR,CLKR ทั้งหมดเป็นขาสัญญาณในการส่งและรับข้อมูลของพอร์ตอนุกรมตามลำดับ โดยที่ CLKX และ CLKR จะรับสัญญาณมาจาก Shift Clock ของวงจรเชื่อมต่อสัญญาณอนาลอก กำหนดให้สามารถทำการอินเตอร์รัพต์ได้ทั้งทางรับและทางส่ง และกำหนดให้ข้อมูลในรีจิสเตอร์ ส่งข้อมูลของพอร์ตอนุกรมเป็น 0

ค่าต่างๆ ที่กำหนดให้กับรีจิสเตอร์ของพอร์ตอนุกรมในโปรแกรมหลักมีดังนี้

รีจิสเตอร์ FSX/FX/CLKX ตำแหน่ง 808042h กำหนดค่า 0x131

รีจิส์เตอร์ FSR/FR/CLKR ตำแหน่ง 808043h กำหนดค่า 0x131

รีจิสเตอร์ Global Control ของพอร์ตอนุกรมตำแหน่ง 808010h กำหนดค่า 0x0E970300

รีจิสเตอร์ส่งข้อมูลของพอร์ตอนุกรม ตำแหน่ง 808048h กำหนดค่า 0

การกำหนดค่ารีจิสเตอร์ Global Control ของพอร์ตอนุกรมทำให้พอร์ตอนุกรมมีลักษณะดังนี้

-กำหนดให้ FSX เป็นอินพุต

-กำหนดให้สัญญาณทั้งทางรับและส่งแปรค่าได้

-ส่งและรับข้อมูล 16 บิต

-กำหนดให้มีการอินเตอร์รัพต์ได้ทั้งการส่งและรับ

4.2.5 ทำการเอาวงจรเชื่อมต่อสัญญาณอนาลอกออกจากสถานะรีเซต

โดยการกำหนดค่า 6h ให้ IOF จะเป็นการทำให้อุปกรณ์เชื่อมต่อสัญญาณอนาลอกออกมาจากสถานะรีเซต

4.2.6 กำหนดค่าเริ่มต้นของวงจรเชื่อมต่อสัญญาณอนาลอก

การส่งข้อมูลในรีจิสเตอร์ควบคุมต่างๆ จะส่งแบบ Secondary ซึ่งโดยปกติการส่งข้อมูลของตัวเชื่อมต่อสัญญาณอนาลอกจะส่งข้อมูลจริงในบิตที่ 2-15 และใช้บิตที่ 0 และ 1 ในการควบคุม ถ้าบิตควบคุมเป็น 1 ทั้ง 2 ตัว จะรอของทำการส่งแบบ Secondary ซึ่งจะเกิดขึ้นหลังการส่ง Shift Clock 4 ลูก เมื่อเกิดการส่งแบบนี้ บิต 0 และ 1 ก็จะใช้ในการตรวจดูว่า ข้อมูลที่ส่งมาเป็นประเภทใด (รีจิสเตอร์ A,A',B หรือรีจิสเตอร์ควบคุม) หลังจากการส่งข้อมูลแบบปกติอีกครั้ง ในโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลัก จึงมีการวนลูปการส่งข้อมูลประเภทนี้อยู่ 4 ครั้ง เพื่อให้ได้การกำหนดค่าเริ่มต้นตัวเชื่อมต่อสัญญาณอนาลอกตามต้องการ

4.3 การออกแบบและเลือกอุปกรณ์ของบัคคอนเวอร์เตอร์

4.3.1 ออกแบบ L ของบัคคอนเวอร์เตอร์

- Specifications

-Output Voltage , V_o = 5V

-Output Current , I_O = 1-5A

-Switching Frequency , f_s = 20KHz

-Input Voltage , V_i = 15-20V

-B_m=0.2T , J=3A/mm^2 , K_c=1 , K_w=0.6

คำนวณค่า L ได้จากสมการที่ 1

$$L = \frac{Vo\ (1 - Dmin)}{\Delta I fs} \qquad (4.11)$$

ΔI คือกระแสริปเปิลใน L มีค่าเท่ากับ 10-25% ของ I_O ; กำหนดให้ ΔI = 10%ของ I_O = 0.5A

$$D_{min} = \frac{Vo}{Vgmag} \qquad (4.12)$$

$$D_{min} = 0.25$$

$$L = \frac{5V(1-0.25)}{0.5V \times 20KHz}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

L = 375 μH

เผื่อ 25% = 468.75μH เลือก 500μH

4.3.2 คำนวณหาขนาดของแกนเฟอร์ไรต์

$$E = \frac{1}{2} L I_m^2 \quad (4.13)$$

$$I_m = Io + \frac{\Delta I}{2} \quad (4.14)$$

$$I_m = 5 + \frac{0.5}{2}$$

$$I_m = 5.25 \text{ A}$$

$$E = \frac{1}{2} \times 500\mu H \times 5.25^2$$

$$E = 6.89 \times 10^{-3}$$

$$Ap = AwAc = \frac{2E}{KwKcJBm} \quad (4.15)$$

$$Ap = AwAc = \frac{2 \times 6.89}{0.6 \times 1 \times 0.2 \times 3}$$

$$Ap = 38281.25 \text{ mm}^4$$

เลือกขนาดของแกนเฟอร์ไรต์ EI 50/42 , A_P=39100mm^4 , A_c=230mm^2 ,A_w=170mm^2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.3 คำนวณจำนวนรอบของขดลวดทองแดง

$$N = \frac{L\,\mathrm{Im}}{AcBm} \qquad (4.16)$$

$$N = \frac{500\mu H \times 5.25A}{230 \times 0.2}$$

$$N = 57.06 \text{ รอบ} \quad \text{เลือก } 58 \text{ รอบ}$$

4.3.4 คำนวณหาขนาดลวดทองแดง

$$J = 3A/\mathrm{mm}^2$$

$$a = \frac{I}{J} \text{ , เมื่อ } I = I_o$$

$$a = \frac{5A}{3}$$

$$a = 1.6666\ \mathrm{mm}^2$$

เลือกขนาดของขดลวดเบอร์ AWG 15 , a=1.652mm^2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.5 ตรวจสอบขดลวดทองแดงสามารถพันได้หรือไม่

$$AwKw > aN$$

$$AwKw = 170 \times 0.6$$

$$AwKw = 102\,\text{mm}^2$$

$$aN = 1.652 \times 58$$

$$aN = 95.816\,\text{mm}^2$$

$AwKw > aN$ สามารถพันขดลวดทองแดงได้

4.3.6 คำนวณหาขนาด Airgap

$$\text{lg} = \frac{\mu oAcN^2}{L}, \quad \mu_0 = 4\pi \times 10^{-7} \qquad (4.17)$$

$$\text{lg} = \frac{4\pi \times 10^{-7} \times 58^2 \times 230 \times 10^{-6}}{500 \times 10^{-6}}$$

$$\text{lg} = 1.944 \times 10^{-3}\,\text{m} = 1.944\,\text{mm}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.7 คำนวณหาค่า C ของวงจรบัค

$$\frac{\Delta Vo}{V} = \frac{(1 - D\max)}{8LCf^2} \qquad (4.18)$$

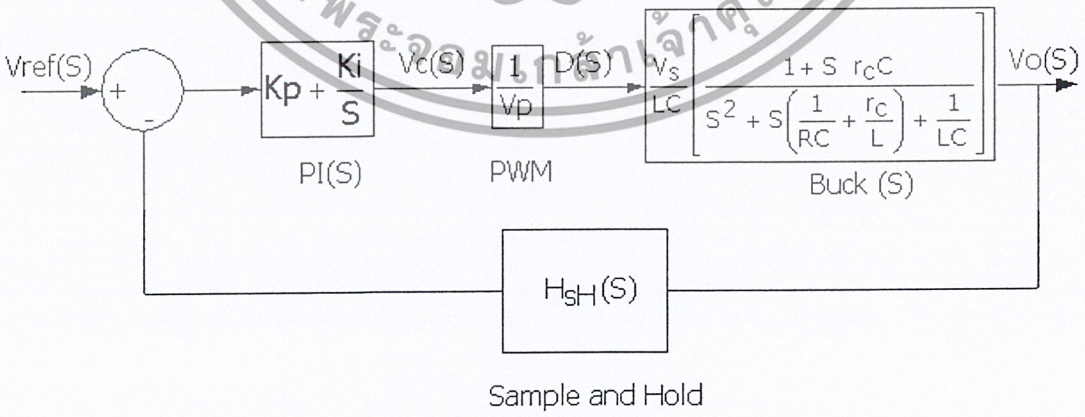
$$\frac{\Delta Vo}{Vo} = 0.5\% \text{ ของ } Vo$$

$$C = \frac{(1 - 0.33)}{8 \times 500\mu H \times 0.025 \times 20K^2}$$

$$C = 16.75 \times 10^{-6} F$$

4.4 การออกแบบควบคุม Buck Converter ในโดเมนดิจิตอลโดยตรง

วิธีการออกแบบในโดเมนดิจิตอลโดยตรง ขั้นตอนแรกจะใช้วิธี Bode plot เริ่มต้นในการออกแบบหาค่าพารามิเตอร์ของตัวควบคุมก่อน ด้วยวิธีการออกแบบใน Bode plot ใน s-domain สามารถนำแนวความคิดเรื่อง the gain-cross-over frequency และ gain/phase margins มาใช้ในโดเมนดิจิตอลโดยตรงได้ หลังจากนั้นก็จะใช้วิธี the root locus ในการปรับแต่งค่าพารามิเตอร์ของตัวควบคุมเพื่อให้ระบบทำงานได้เหมาะสมอีกที



รูปที่ 4-6 ระบบควบคุม Buck converter ใน S-Plane

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียด Buck converter

```
>>fs=20000;
>>Ts = 1/fs;
>>Vs=15;
>>Vo=5;
>>L=500*10^-6;
>>C=470*10^-6;
>>rc=0.281;
>>R=5;
```

รายละเอียด PWM

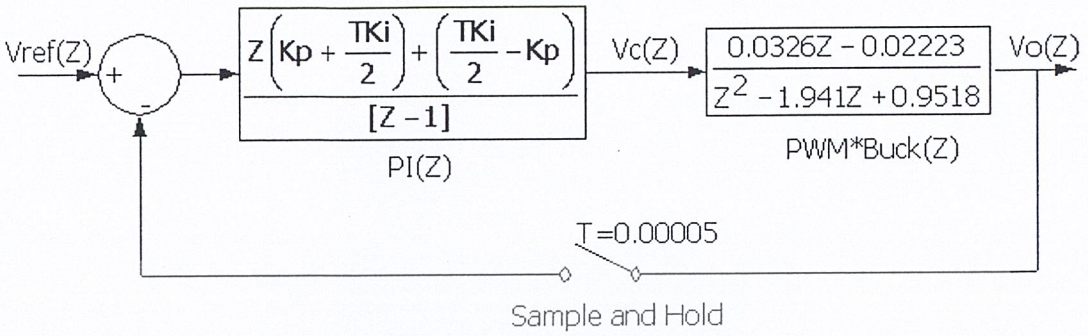
```
>>D=Vo/Vs;
>>Vp=Vo/D;
```

ส่วนรายละเอียด Sample and Hold จะไม่ขอกล่าวถึงในที่นี้เพราะวิธีการออกแบบในโดเมนดิจิตอลโดยตรง จะพิจารณาให้มีค่าเท่ากับ 1

จะรวม transfer function ของ PWM และ Buck converter ไปใช้ ในการออกแบบ แล้วทำการแปลงจาก S-Plane ไปสู่ระนาบ Z-Plane และก็แปลงไปสู่ระนาบ W-Plane อีกทีเพื่อที่จะนำ transfer function ที่ได้ไปออกแบบใน Bode Plot ดูผลตอบสนองทางความถี่ได้

```
>>num=(Vs/(Vp*L*C))*[(rc*C)  1];
>>den=[1  ((1/(R*C))+(rc/L))  (1/(L*C))];
>>Buck    = tf(num,den)
  Transfer function:
       562 s + 4.255e006
       -------------------------
       s^2 + 987.5 s + 4.255e006

>>BuckZ    = c2d(Buck,Ts,'zoh')
  Transfer function:
       0.0326 z - 0.02223
       ----------------------
       z^2 - 1.941 z + 0.9518
```

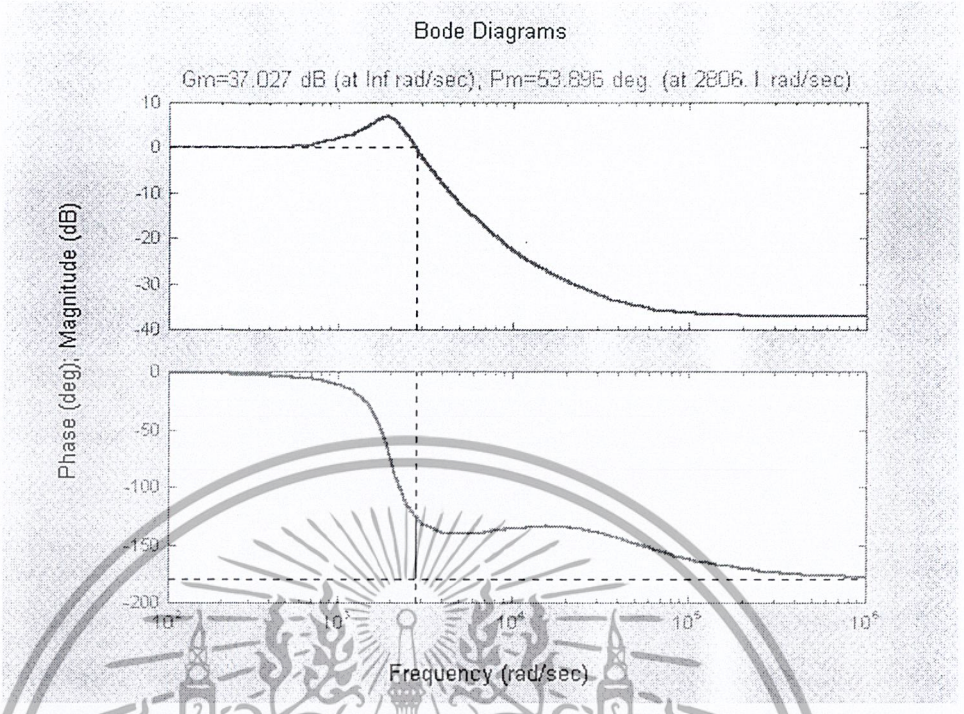
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



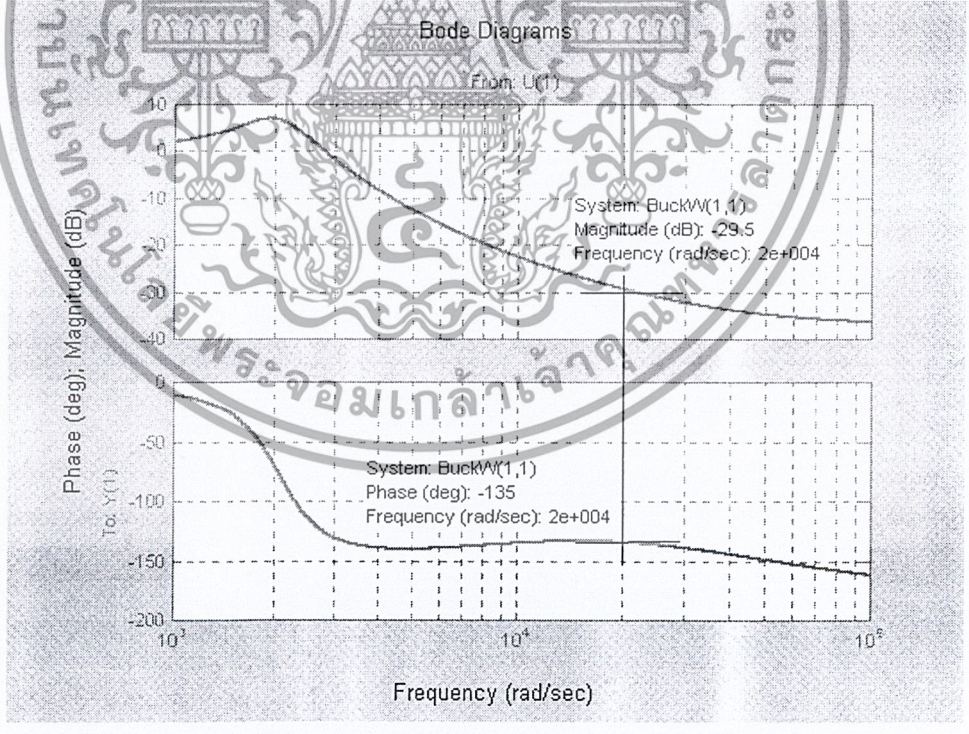
รูปที่ 4-7 ระบบควบคุม Buck converter ใน Z-Plane

```
>>BuckW = d2c(BuckZ,'tustin')
  Transfer function:
       -0.01408 w^2 + 456.7 w + 4.262e006
       ----------------------------------
       w^2 + 990 w + 4.262e006

>>W=logspace(2,4,10000);
>>Figure(1);bode(BuckW,W);
>>Figure(2);bode(BuckW,W);margin(BuckW);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4-8(ก) โบดพล็อตของบัคคอนเวอร์เตอร์ใน W-Plane มี Pm=53.896 deg, Gm=37.027 dB



รูปที่ 4-8(ข) โบดพล็อตของบัคคอนเวอร์เตอร์ มี Phase = -135 deg,Magnitude = -29.5 dB ณ gain-cross-over frequencyจะเลือกที่ 20000 (rad/sec)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับข้อกำหนดในการออกแบบควบคุม Buck Converter

1. Phase margin จะเลือกที่ 45^{o} [มาตรฐานของเสถียรภาพของระบบควบคุมโดยทั่วไป]

2. Gain-cross-over frequency จะเลือกที่ 20000 (rad/sec) [โดยกำหนดประมาณ $\frac{f_s}{4}-\frac{f_s}{10}$ (rad/sec)]

นำสมการที่ (4.3),(4.4),(4.5) มาใช้ในการคำนวณหาค่า Kp,Ki ของตัวPI-Controllerใน W-Plane

โดย ณ Gain-cross-over frequency=20000(rat/sec) ที่เลือกไว้จะทำให้ระบบ

มีขนาด = -29.5 dB

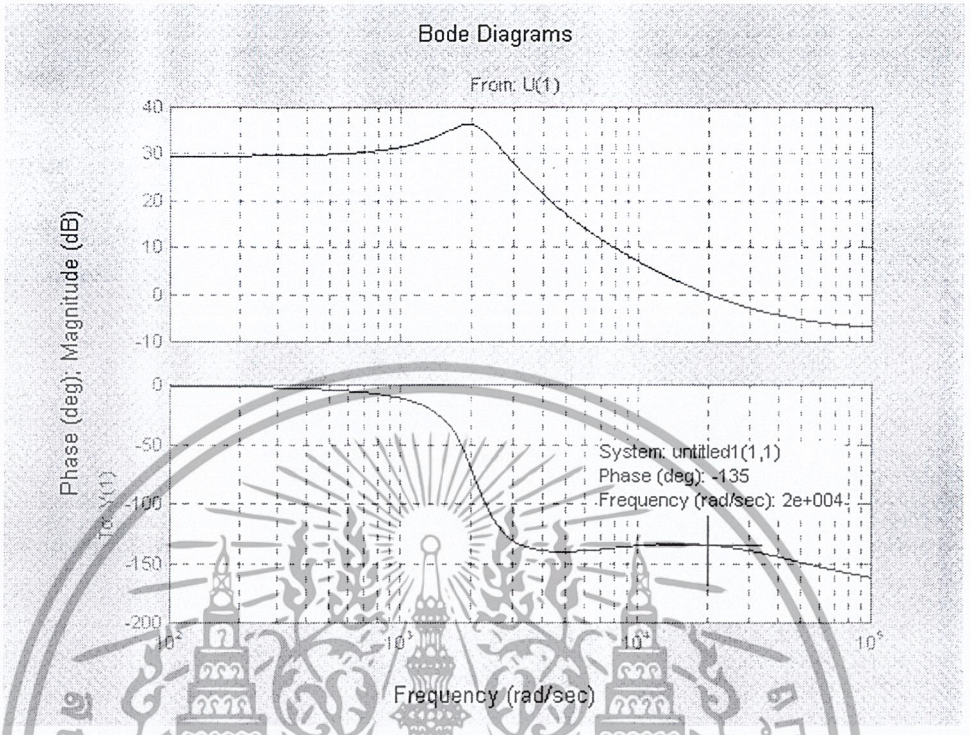
มีมุมเฟส = -135^{o}

```
>>phase_margin = 45
>>Gain=10^(-29.5/20);
>>Phase=-135;
>>Wgco=20000;
>>Kp=(cos((((180+phase_margin-Phase)-360)*pi)/180))/Gain)
>>Ki=(-sin((((180+phase_margin-Phase)-360)*pi)/180))/Gain)*Wgco
      Kp =  29.8538

      Ki =   0
>>numPIW=Kp*[1  (Ki/Kp)];
>>denPIW=[1  0];
>>PIW=tf(numPIW,denPIW);
  Tansfer function:

      29.85w
      ----------
          w
```

ดูผลตอบสนองทางความถี่ของระบบที่มี PI-ControllerรวมกับBuck Converter ใน W-Planeว่ามี Phase margin และ Gain-cross-over frequency เป็นไปตามที่กำหนดหรือไม่

```
>>figure(3);bode(PIW*BuckW,W);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4-9 ผลตอบสนองทางความถี่ของBuck Converterที่มี PI-controller

```
>> [MAR,PHE] = bode(PIW*BuckW,W);
>> [gm,pm,wp,wg] = margin(MAR,PHE);
        gain magin   =   2.5905  (dB)          at = 308434.3371   (rad/sec)
        phase magin = 45.4669  (deg)           at = 20310.7870    (rad/sec)
```

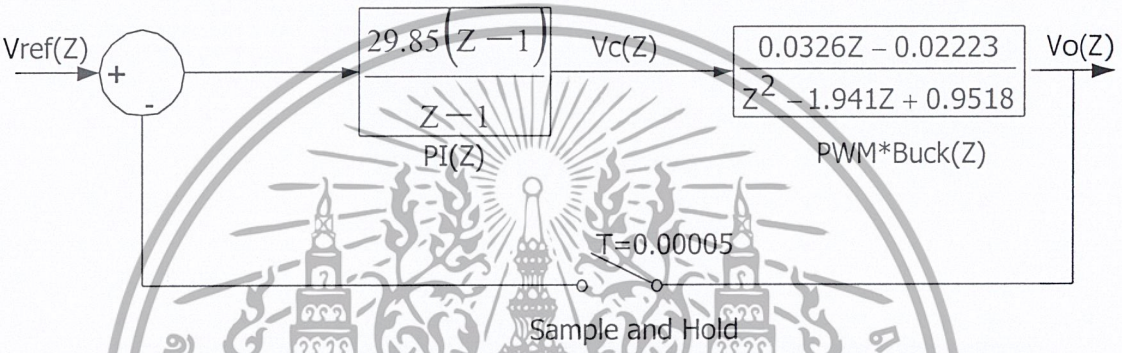
จากรูป 4-9 จะเห็นได้ว่า Phase margin = 45.4669 และ Gain-cross-over frequency = 20310.7870 (rad/sec) เป็นไปตามค่าที่ต้องการ ต่อไปเราสามารถปรับแต่งระบบควบคุมให้เป็นไปตามที่ต้องการอีกทีหนึ่งได้ดังที่จะกล่าวไปต่อไปนี้

ให้นำ PI-Controller ที่หามาได้ใน W-Plane เปลี่ยนไปเป็น Z-Plane โดยจะใช้ ใช้สมการ(4.6)หรือ function ที่มีมาให้ใน Matlab ก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
>>PIZ = c2d(PIW,Ts,'prewarp',0.0001)
   Transfer function:
```

$$\frac{29.85\,z - 29.85}{z - 1} \quad \text{or} \quad \frac{29.85\,(z-1)}{z-1}$$



รูปที่ 4-10 ระบบควบคุม Buck converter กับ PI-controllerที่ได้ออกแบบ ใน Z-Plant

หลังจากนั้นก็จะใช้วิธี the root locus ดูทางเดินรากและดูผลตอบสนองของระบบว่าเป็นที่ต้องการหรือไม่ถ้าไม่เป็นที่ต้องการก็ทำการปรับแต่งพารามิเตอร์ของตัวควบคุม Gain หรือ Zero เพื่อให้ระบบทำงานได้เหมาะสมอีกที โดยในที่นี้จะใช้ function ใน Matlab ที่จัดเตรียมไว้ให้แล้ว function นี้สามารถปรับแต่งค่า Gain ค่า Zero ของตัว PI-Controller พร้อมทั้งแสดงผลตอบสนองของระบบได้ทันที

```
>>rltool(BuckZ,PIZ);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

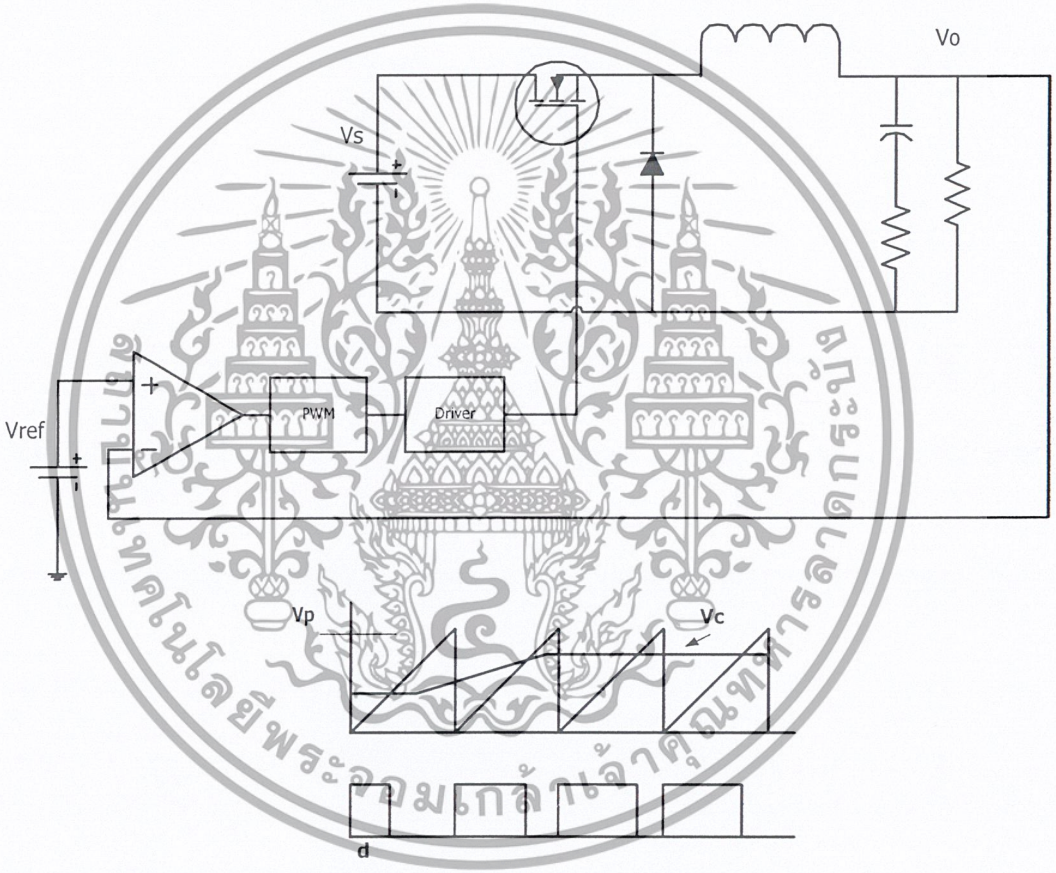
รูปที่ 4-11 แสดงทางเดินรากของระบบควบคุม Buck Converter และ ผลตอบสนองต่อ Step input ในการออกแบบด้วย Bode ครั้งแรก Gain=29.8538 และZero=1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4-12 แสดงทางเดินรากของระบบควบคุม Buck Converter และ ผลตอบสนองต่อ Step input หลังจากที่ผ่านการปรับแต่งค่า Gain=0.5 และ Zero=0.98 แล้ว

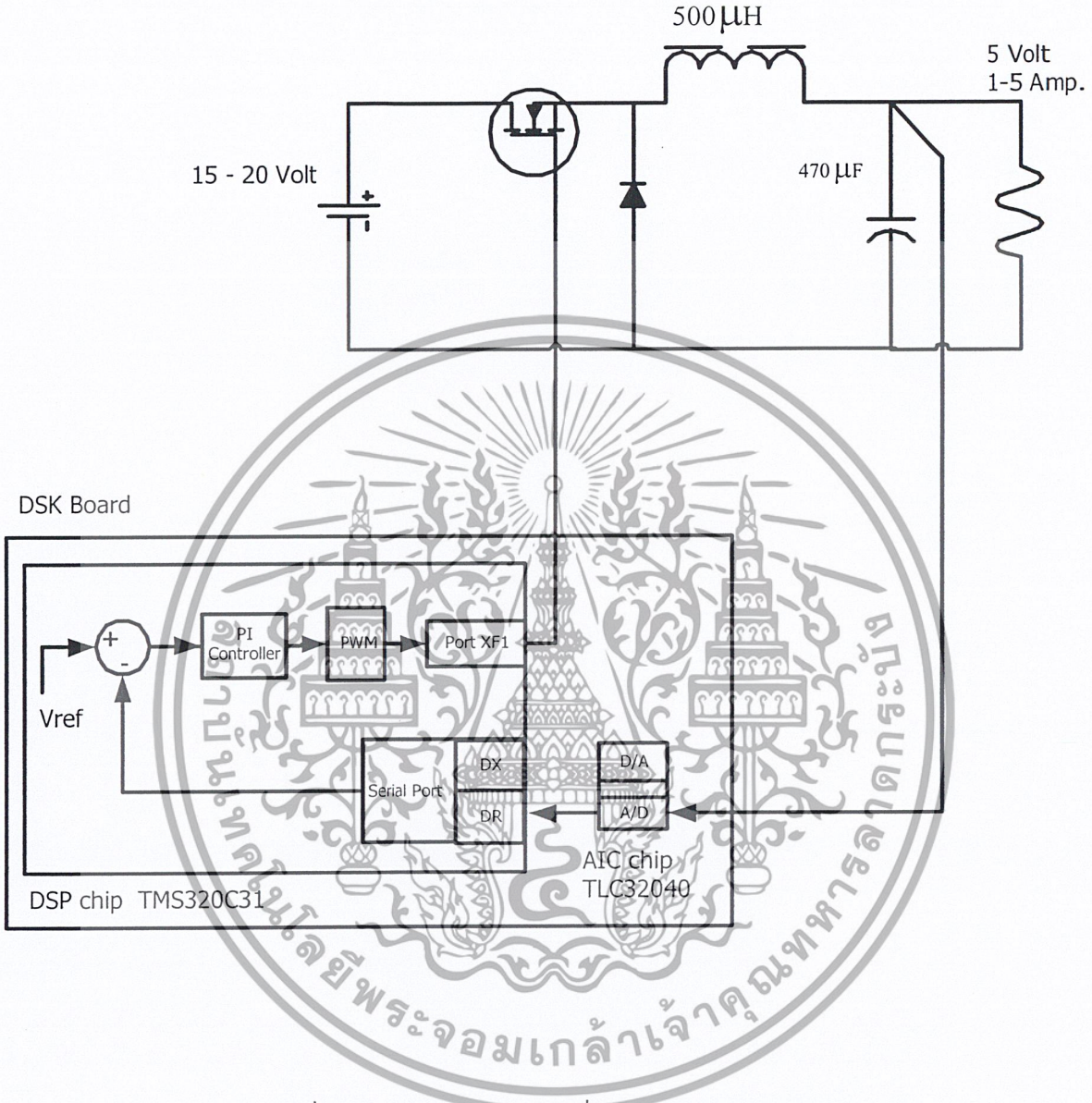
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4-12 เมื่อเราปรับค่า Gain และ Zero จนเป็นที่ต้องการแล้วต่อไปก็จะนำค่าทั้งสองนี้ไปใช้ใน Simulink ที่อยู่ในผลการทดลองที่5 ในบทที่5 จำลองการทำงานควบคุม บัคคอนเวอร์เตอร์ ทั้งหมด สามารถดูแนวโน้มของข้อมูลว่าเป็นอย่างไรได้ แล้วเปรียบเทียบผลที่ได้จาก Simulink กับ ผลที่ได้จากการทดลองจริง



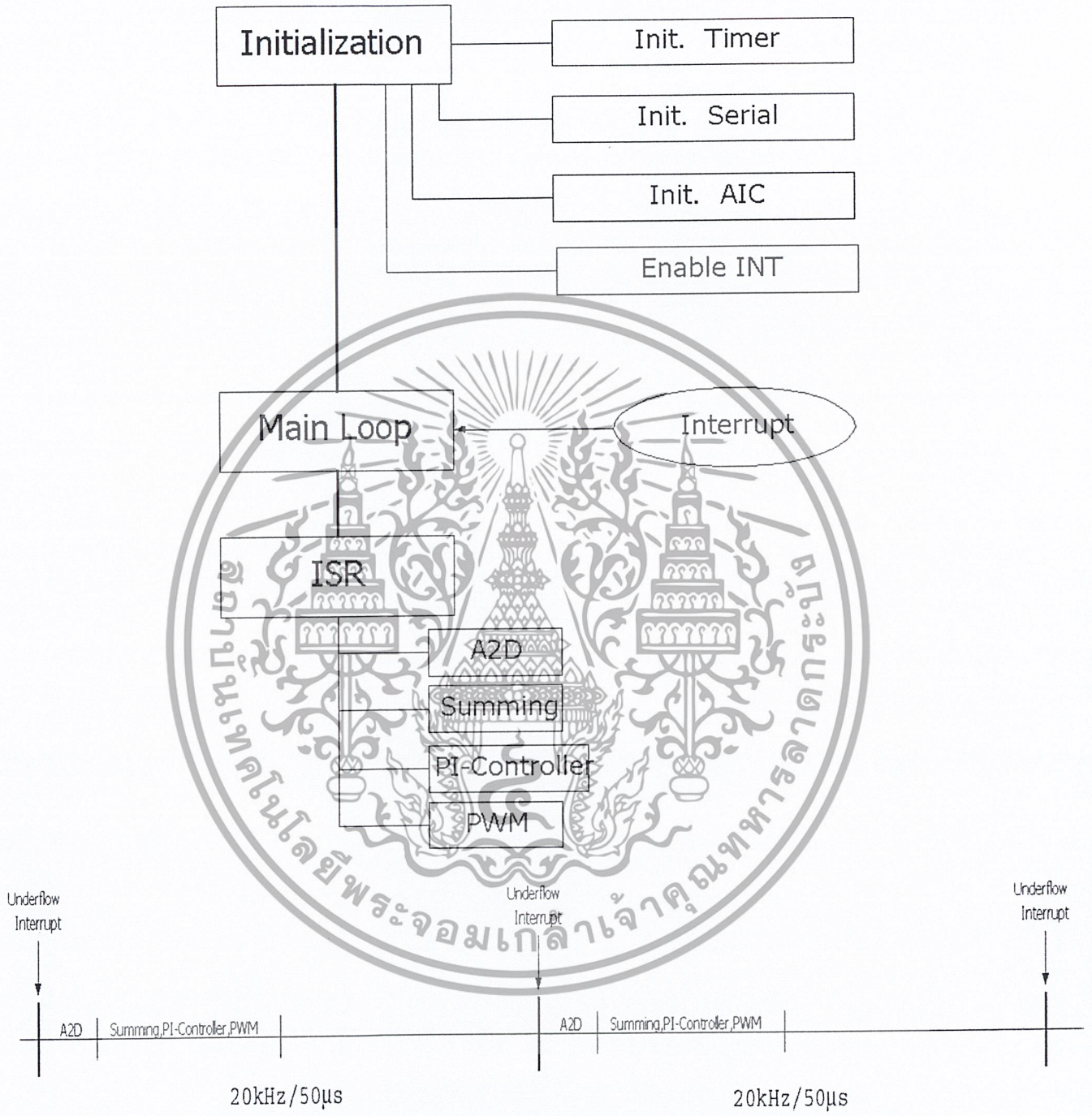
รูปที่ 4-13 บัคคอนเวอร์เตอร์ที่มีตัวควบคุมเป็นแบบอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4-14 บัคคอนเวอร์เตอร์ที่มีตัวควบคุมเป็นแบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



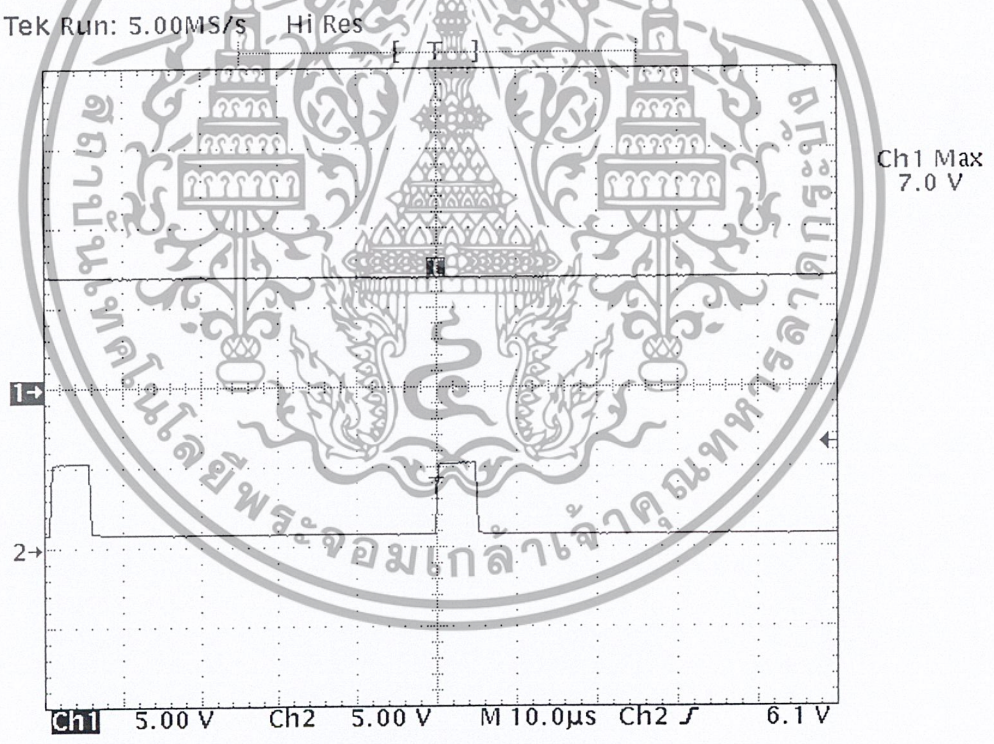
รูปที่ 4.15 แนวทางในการเขียนโปรแกรมควบคุม บัคคอนเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ผลการทดลอง

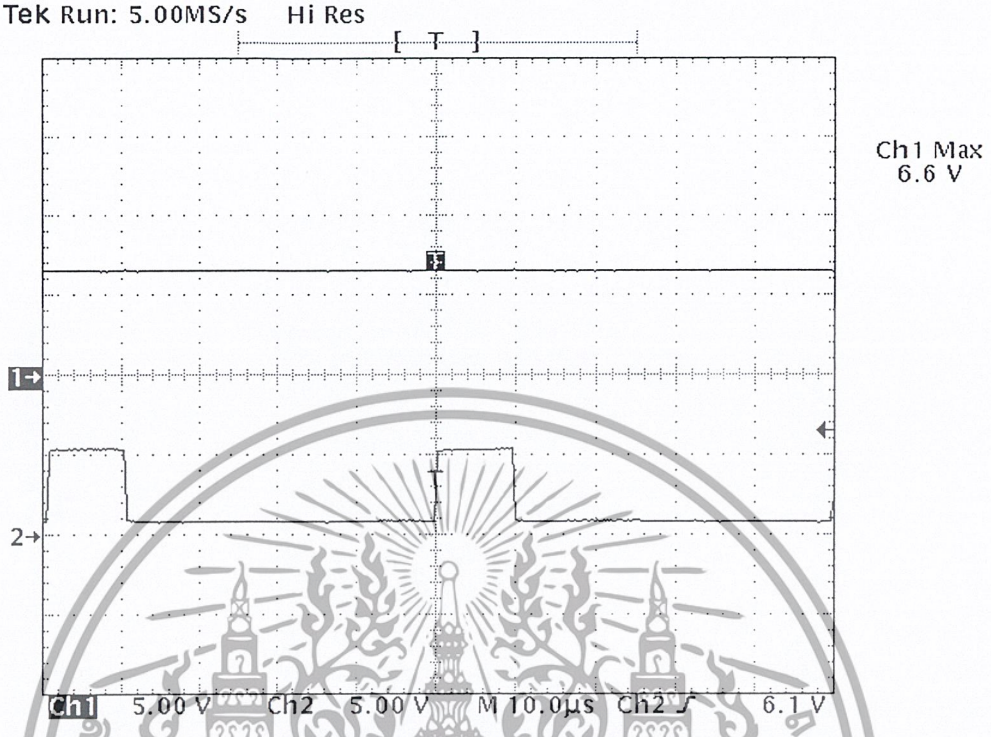
การทดลองที่ 1 ทดลองผลิตสัญญาณ PWM จาก บอร์ดดีเอสพี

โดยในการทดลองจะทำการรับสัญญาณไฟ DC จากแหล่งจ่ายไฟตรงมีค่า 3-7 V ป้อนเข้าทางอินพุตของSerial Port บอร์ด ดีเอสเอ โดยให้ V_{ref} มีค่า 5 V V_{ref} นี้อยู่ในรูปของโปรแกรม เมื่ออินพุตมีค่ามากขึ้น(จากแหล่งจ่ายไฟตรง) duty cycle ของพัลส์ จะน้อยลง และเมื่ออินพุตมีค่าน้อยลง duty cycle ของพัลส์จะเพิ่มมากขึ้น โดยมีผลการทดลองดังนี้

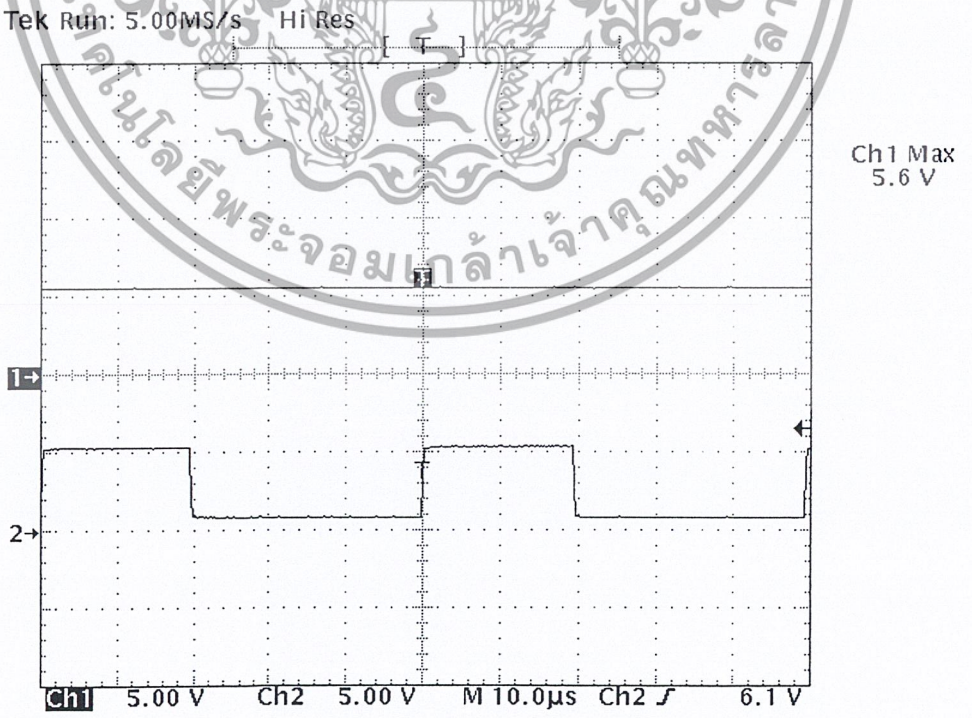


รูปที่ 5-1 แสดง duty cycle เมื่อมีอินพุตเข้ามา 7 V มี duty cycle = 12%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

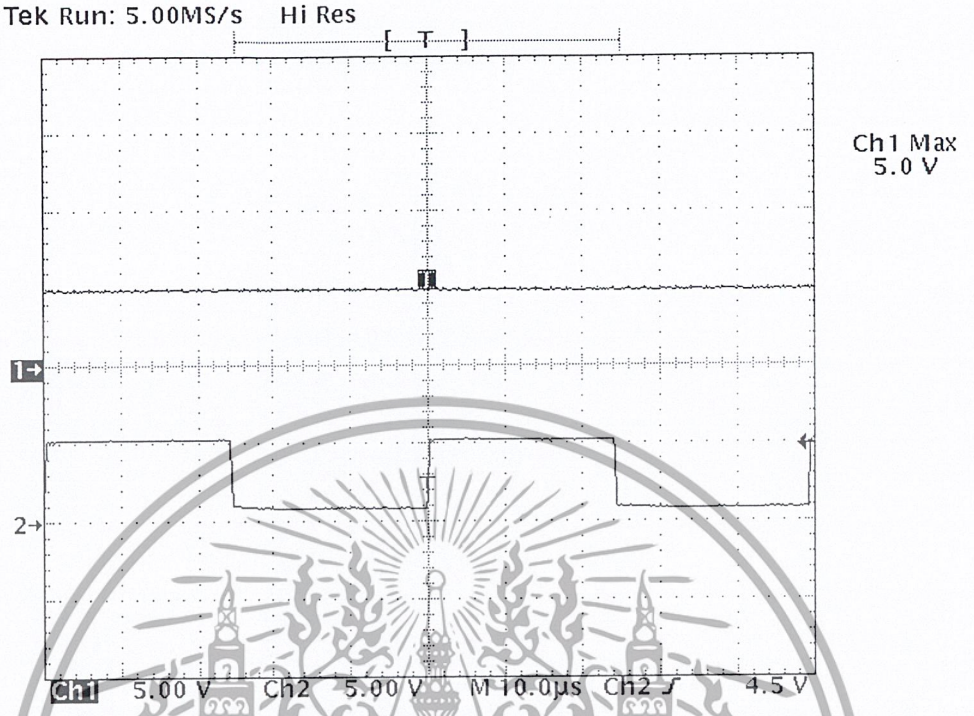


รูปที่ 5-2 แสดง duty cycle เมื่อมีอินพุตเข้ามา 6.6 V มี duty cycle = 20%

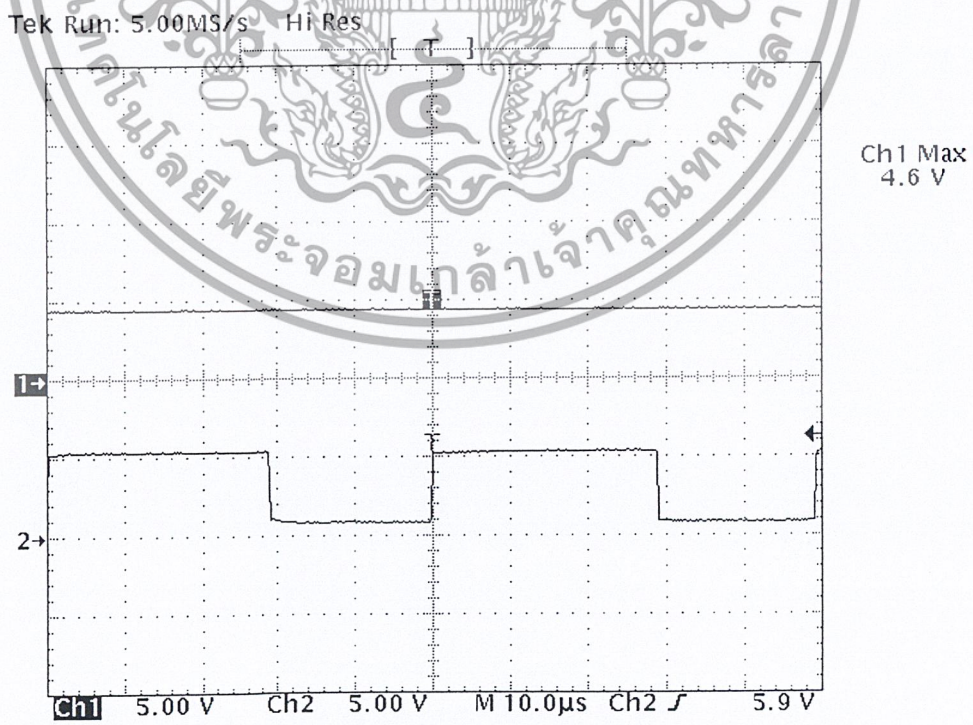


รูปที่ 5-3 แสดง duty cycle เมื่อมีอินพุตเข้ามา 5.6 V มี duty cycle = 40%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-4 แสดง duty cycle เมื่อมีอินพุตเข้ามา 5 *V* มี duty cycle = 50%

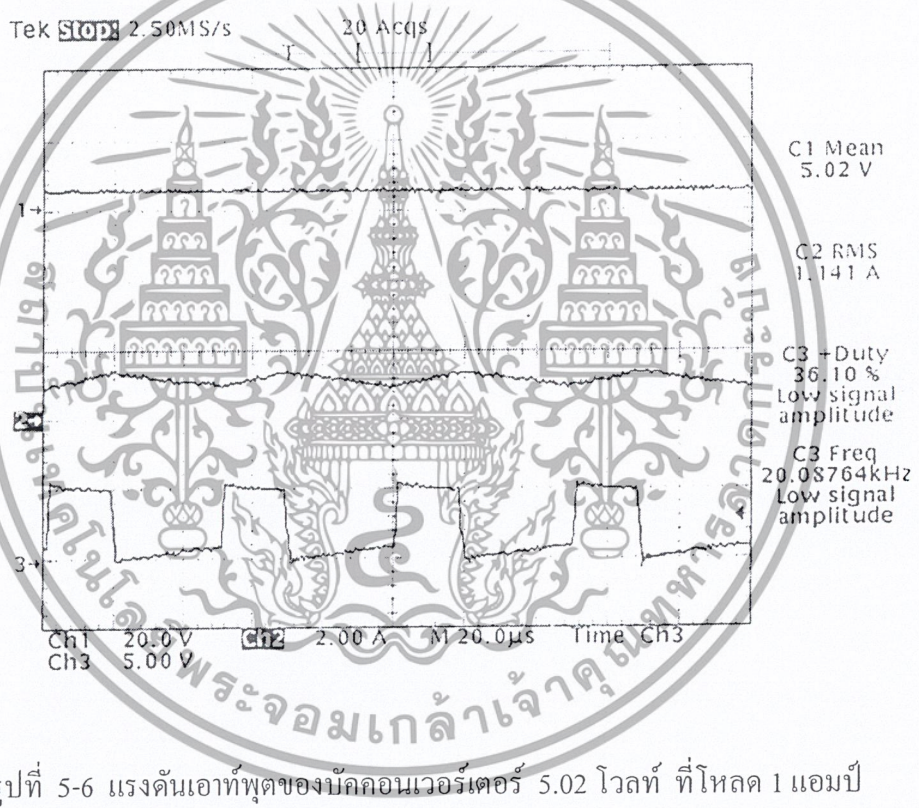


รูปที่ 5-5 แสดง duty cycle เมื่อมีอินพุตเข้ามา 4.6 *V* มี duty cycle = 60%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

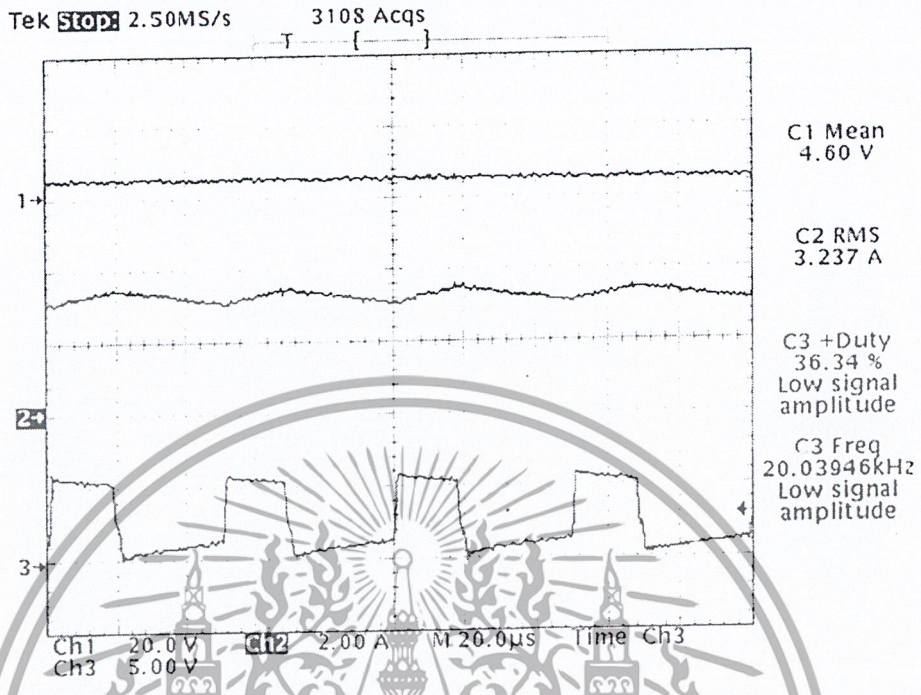
การทดลองที่ 2 ทดลองวงจรบัคคอนเวอร์เตอร์ขณะ Open loop

การทดลองนี้หลังจากที่ได้ออกแบบวงจรบัคคอนเวอร์เตอร์ และสามารถเขียนโปรแกรมผลิตสัญญาณ PWM แล้ว นำสัญญาณญ PWM ป้อนให้กับ เพาเวอร์มอสเฟตแล้ววัดแรงดันเอาท์พุตที่ได้

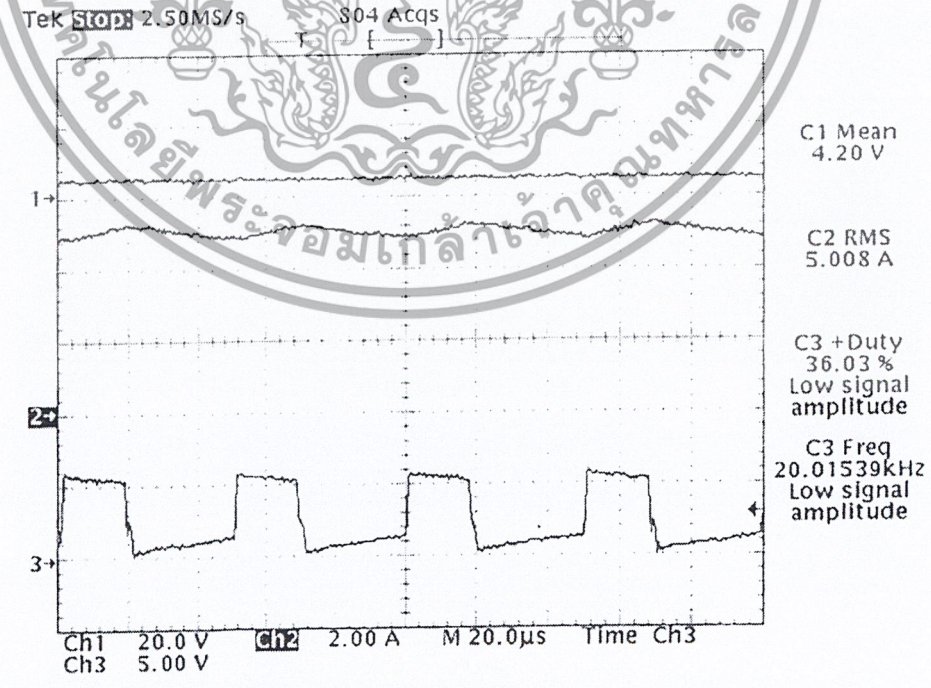


รูปที่ 5-6 แรงดันเอาท์พุตของบัคคอนเวอร์เตอร์ 5.02 โวลท์ ที่โหลด 1 แอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-7 แรงดันเอาท์พุตของบัคคอนเวอร์เตอร์ 4.60 โวลท์ ที่โหลด 3 แอมป์



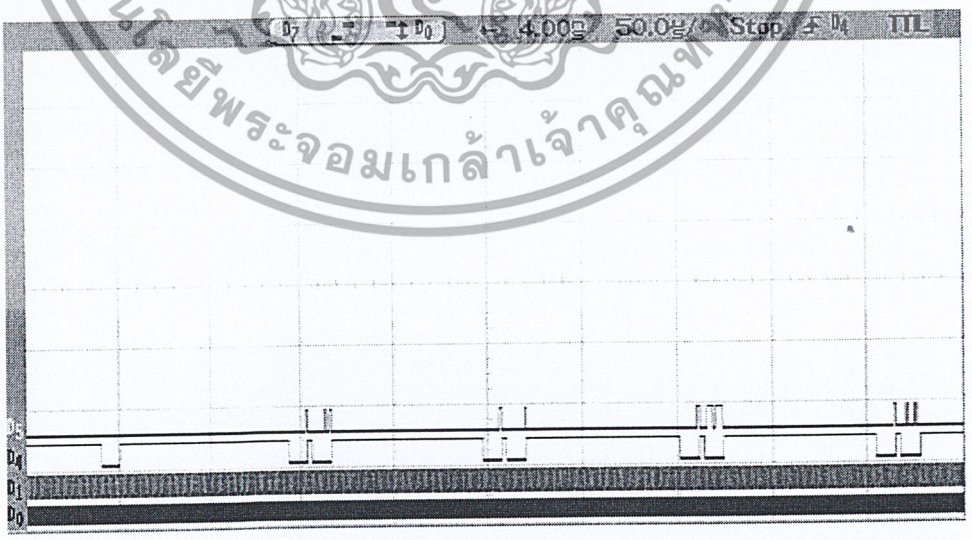
รูปที่ 5-8 แรงดันเอาท์พุตของบัคคอนเวอร์เตอร์ 4.20 โวลท์ ที่โหลด 5 แอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 3 การติดต่อวงจรเชื่อมต่อสัญญาณอนาลอก(Analog interface circuit : AIC)

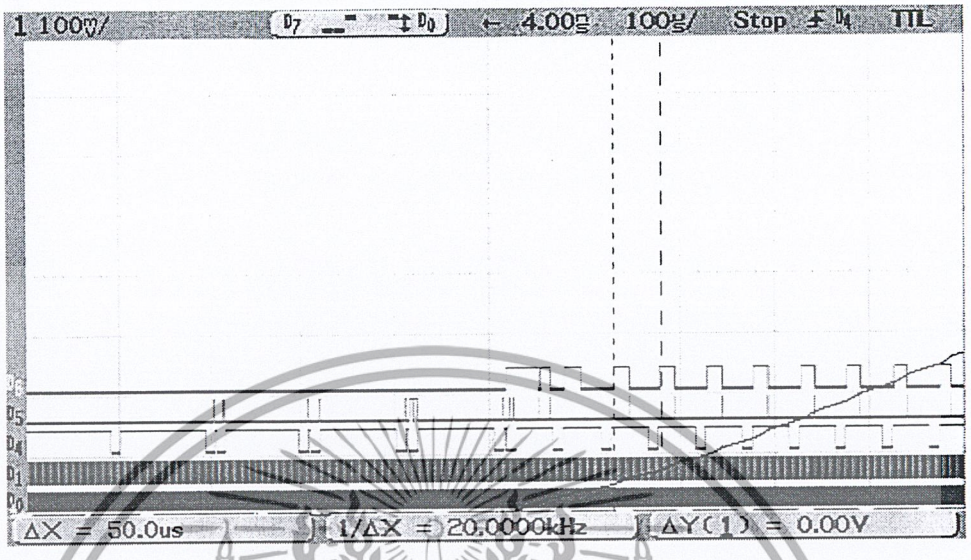
การทดลองนี้จะทำการวัดสัญญาณดิจิตอลที่ติดต่อกันระหว่าง DSP กับ AIC ในช่วงเริ่มต้นการทำงานควบคุมบัคคอนเวอร์เตอร์

รูปที่ 5-9 สัญญาณที่ขา TCLK 0(D0) = 6.25 MHz จาก DSP ส่งไปให้ Master Clock(ขา MCLK) ของ AIC และShift Clock(D1) = 1.562 MHz



รูปที่ 5-10 การร้องขอส่งข้อมูลแบบ Secondary 4 ค่า ในการควบคุมเพื่อกำหนดค่าเริ่มต้นให้แก่ AIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



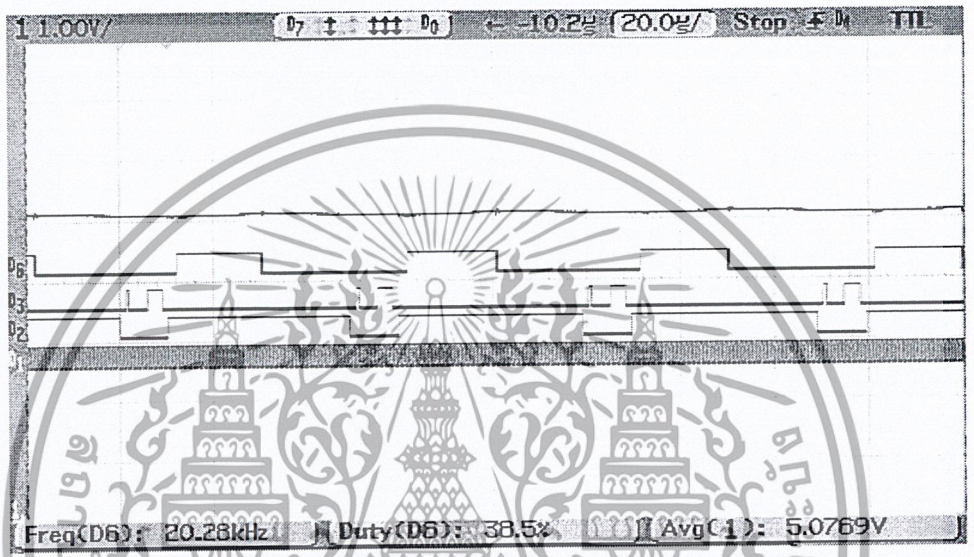
รูปที่ 5-11 PWM ที่ได้จากขา XF1 (D6) จาก DSP เมื่อ AIC ได้รับค่าคำสั่งควบคุม 4 ค่า (PWM = 20 kHz แบบความถี่คงที่)

รูปที่ 5-12 PWM ที่ได้จากขา XF1 (D6) ส่งให้บัคคอนเวอร์เตอร์เพื่อควบคุมการนำกระแสของมอสเฟตทำให้เกิดสัญญาณแรงดันเอาท์พุตขึ้นมา

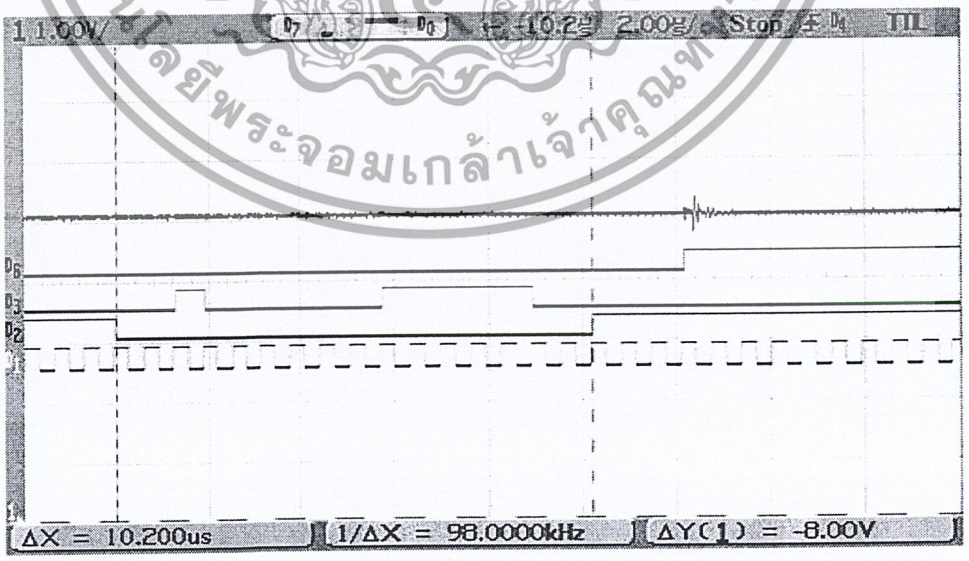
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 4 คาบเวลาในการทำงานควบคุมบัคคอนเวอร์เตอร์

จะเป็นการทดลองดูคาบเวลาการส่งข้อมูลแบบอนุกรมจาก AIC ไป DSP และดูคาบเวลาในการคำนวณ PI-Controller จนผลิตเป็น PWM คงที่ออกมา

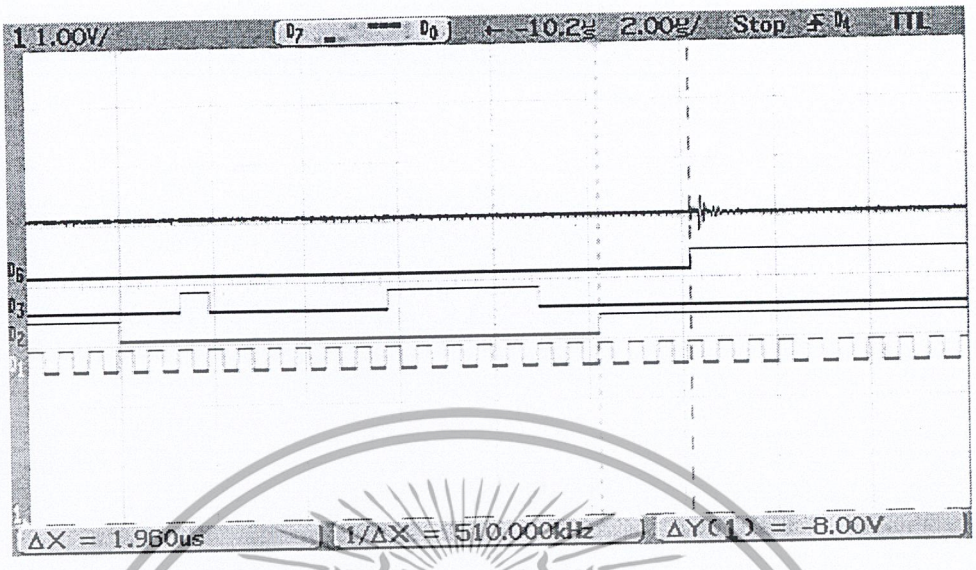


รูปที่ 5-13 ที่ Steady State V_0 (Avg(1)) ของบัคคอนเวอร์เตอร์ = 5V



รูปที่ 5-14 คาบเวลาที่ใช้ในการส่งข้อมูลอนุกรมจาก AIC ไป DSP มีค่าเท่า 10.2μsec

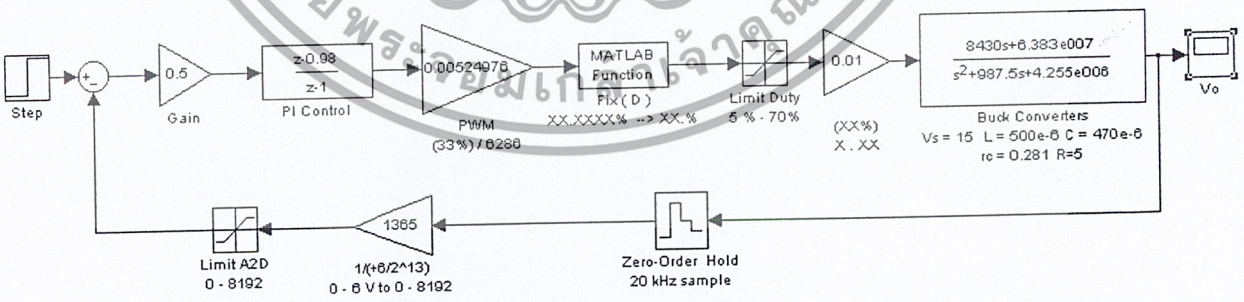
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-15 คาบเวลาที่ใช้ในการคำนวณ PI-Controller แล้วเกิด PWM ขึ้นมา ใช้เวลาไป 1.96 μsec

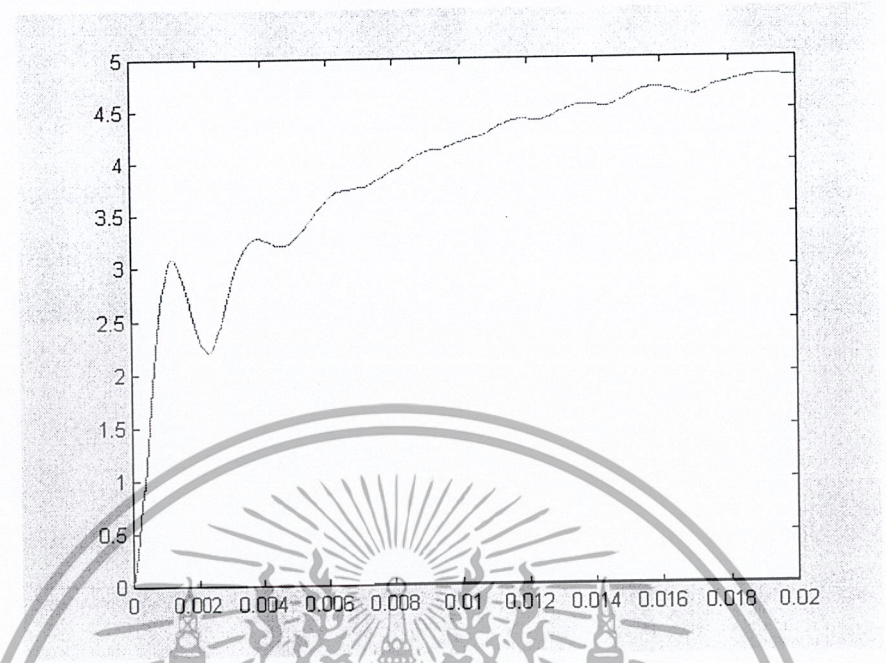
การทดลองที่ 5 ทดลองการทำงานโดย Simulink ที่ได้ออกแบบไว้

การทดลองนี้นำค่าที่ได้จากการคำนวณ มาทำการทดสอบโดยใช้ Simulink ของ Matlab เพื่อดูผลตอบสนองช่วงทรานเซียนต์



รูปที่ 5-16 แบบจำลองการทำงานโดย Simulink

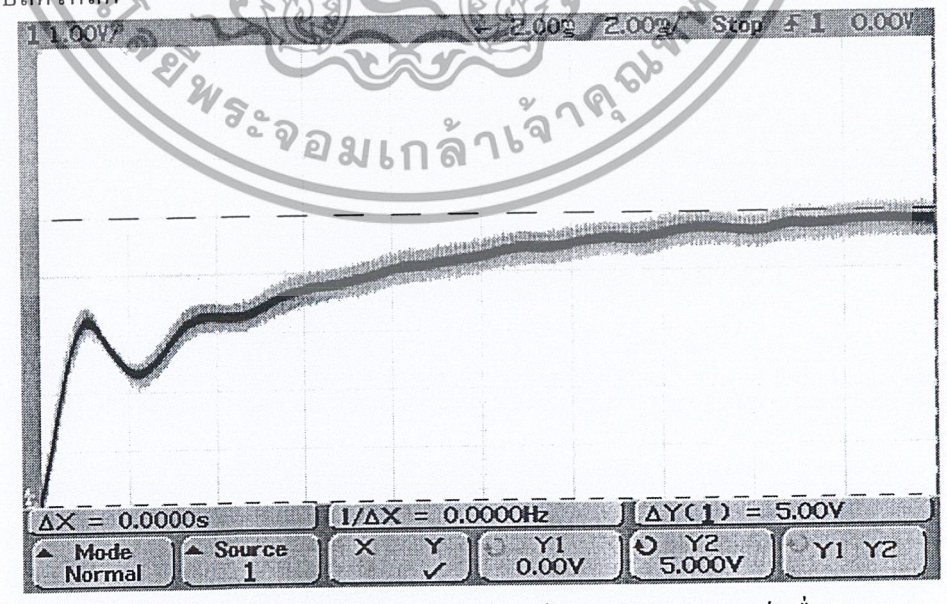
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-17 ผลตอบสนองช่วงทรานเซียนต์จากการ Simulink เมื่อกำหนด Gain=0.5 และZero=0.98 ของ PI-Controller ที่โหลด 1A

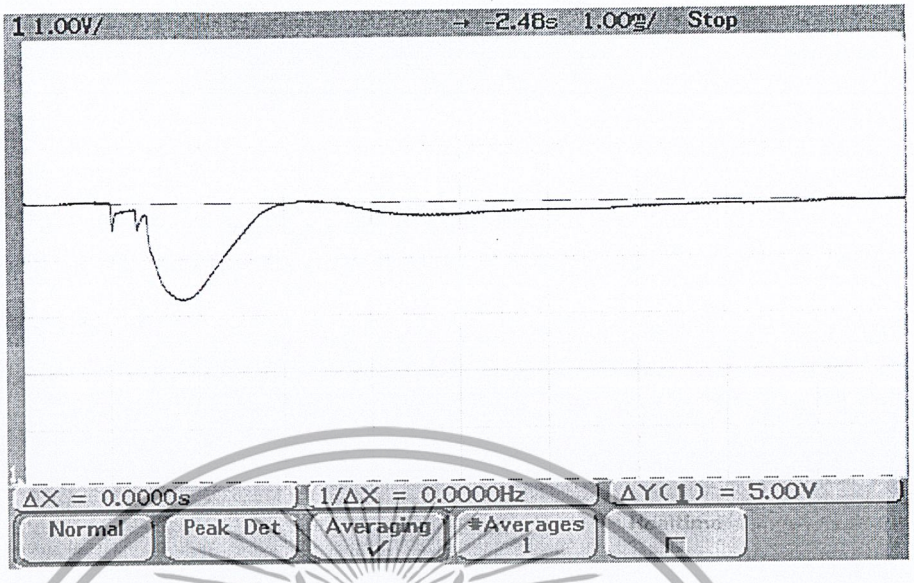
การทดลองที่ 6 แสดงผลการควบคุมในช่วงเริ่มต้นและเปลี่ยนแปลงโหลด

การทดลองนี้ดูผลตอบสนองของสัญญาณเอาท์พุตของบัคคอนเวอร์เตอร์และช่วงสเต็ปโหลดและปลดโหลด



รูปที่ 5-18 สัญญาณเอาท์พุตของบัคคอนเวอร์เตอร์ในช่วงทรานเซียนต์ เมื่อกำหนด Gain=0.5 และZero=0.98 ของ PI-Controller ที่โหลด 1A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-19 สัญญาณเอาท์พุตของบัคคอนเวอร์เตอร์ในช่วงโหลดเปลี่ยนแปลงจาก 1 A เป็น 5 A

รูปที่ 5-**20** สัญญาณเอาท์พุตของบัคคอนเวอร์เตอร์ในช่วงโหลดเปลี่ยนแปลงจาก 5 A เป็น 1 A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
บทวิจารณ์และสรุป

ผลการทดลอง

1. การทดลองที่ 1 ทดลองผลิตสัญญาณ PWM จาก บอร์ดดีเอสพี ผลที่ได้คือสามารถปรับDuty Cycle ของสัญญาณ PWM ได้ตามการเปลี่ยนแปลงของอินพุตที่เข้ามา
2. การทดลองที่ 2 เป็นการทดลองวงจรบัคคอนเวอร์เตอร์ โดยป้อนสัญญาณ PWM ให้ Duty Cycle พบว่าเมื่อเพิ่มโหลด (Load) แรงดันจะตกลง
3. การทดลองที่ 3 การติดต่อวงจรเชื่อมต่อสัญญาณอนาลอก เป็นการทดสอบดูว่า DSPมีการติดต่อกับ AIC ตามทฤษฎีจริงหรือไม่
4. การทดลองที่ 4 คาบเวลาในการทำงานควบคุมบัคคอนเวอร์เตอร์ จะเป็นการทดลองดูคาบเวลาการส่งข้อมูลแบบอนุกรมจาก AIC ไป DSP และดูคาบเวลาในการคำนวณ PI-Controller จนผลิตเป็น PWM คงที่ออกมา
5. การทดลองที่ 5 ใช้ Simulink จำลองการทำงานของบัคคอนเวอร์เตอร์ ผลที่ได้สามารถดูแนวโน้มของสัญญาณก่อนจะทดลองจริงได้
6. การทดลองที่ 6 เป็นการทดลองการเขียนโปรแกรมการควบคุม PI เพื่อควบคุมบัคคอนเวอร์เตอร์ ผลการทดลองสามารถรักษาระดับแรงดันที่ 5 โวลท์ คงที่แม้ว่าโหลดจะเปลี่ยนแปลง ลักษณะของกราฟที่ได้จะแตกต่างจากแบบจำลอง (Simulink) เนื่องจากแบบจำลองเป็นอุดมคติ

ปัญหาที่พบ

1. สัญญาณ PWM ที่สร้างได้นั้นมีความละเอียดต่ำอยู่ที่ 1% ทำให้ระดับแรงดันเปลี่ยนแปลงไปบ้างเล็กน้อย

แนวทางในการแก้ปัญหา

1. หาวิธีการเขียนโปรแกรมในการสร้างพัลส์ใหม่ให้ละเอียดขึ้น หรือ ใช้บอร์ดที่มี PWM ในตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. สุวัฒน์ ดั่น, “เทคนิคและการออกแบบสวิตชิ่งเพาเวอร์ซัพลาย”,เอนเทลไทย,2538
2. รศ.วิพันธ์ ปรีชาพานิช, “การวิเคราะห์ระบบควบคุมเวลาดิสครีต” ,คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง,2541
3. สุเธียร เกียรติสุนทร, “พื้นฐานวิศวกรรมระบบควบคุมในกระบวนการอุตสาหกรรม”,สมาคมส่งเสริมเทคโนโลยี (ไทย-ญี่ปุ่น),2539
4. Katsuhiko Okata, “Modern Control Engineering”, Prentice-Hall ,1997.
5. Katsuhiko Okata, “Discrete-time Control Systems”, Prentice-Hall ,1987.
6. Charles L.Phillips,Royce D.Harbor, “Feedback Control Systems”, Prentice-Hall ,1996.
7. Daniel W.Hart, “Introduction to Power Electronics”, Prentice-Hall ,1997.
8. L.Umanand,S.R.Bhat,“Design of Magnetic Components for Switched Mode Power Converters”, Wiley Eastern Limited,1992.
9. Rulph Chassaing, “Digital Signal Processing Laboratory Experiment Using C and the TMS320C31 DSK”, John Wiley & Sons,1999
10. TMS320C3x DSP Starter Kit User’s Guide, Texas Instruments,Inc.,Dallas,TX,1996
11. TMS320C3x User’s Guide, Texas Instruments,Inc.,Dallas,TX,1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณ ดร.ชนินทร์ บุญลักษณานุสรณ์ อาจารย์ที่ปรึกษาของกลุ่มข้าพเจ้า ที่เปิดโอกาสรับฟังความคิดเห็น ข้อเสนอแนะ พร้อมทั้งได้แนะนำชี้แนวทางให้บทความวิจัยทางด้าน Digital Controller Design for Switchmode Power supply เพื่อนำมาประยุกต์ใช้งานให้สอดคล้องกับสิ่งที่เรามีอยู่ และช่วงเวลาการทำปริญญานิพนธ์ก็ได้ว่ากล่าวตักเตือน,สั่งสอน จนทำให้กลุ่มของข้าพเจ้ามีความกระตือรือร้น ดิ้นรนและหาหนทางสำเร็จ...ให้ได้

ขอขอบคุณ อ.ถาวร เบญจนราสุทธิ์ ที่ให้คำแนะนำในเรื่อง Digital Controller Design ในเบื้องต้น ทำให้กลุ่มข้าพเจ้าสามารถนำมาใช้งานได้

ขอขอบคุณ อ.สว่าง เลิศธิรสุนทร ให้ข้อมูลเกี่ยวกับ DSP จากปริญญานิพนธ์ ที่อาจารย์รับเป็นที่ปรึกษา ทำให้มีการนำมาใช้และพัฒนาขึ้นจากเดิมโดยไม่ต้องเริ่มต้นใหม่

ขอขอบคุณ อ.เจริญ วงษ์ชุมเย็น , อ.วัจนพงศ์ เกษมศิริ และ อ. นเรศ มาลัย อาจารย์ประจำห้องปฏิบัติการทางด้านฮาร์ดแวร์ ภาควิชาวิศวกรรมคอมพิวเตอร์ ที่ให้คำปรึกษาทางด้านไมโครโปรเซสเซอร์ อำนวยความสะดวกให้ยืมเครื่องมือในการวัดค่าทางด้านดิจิตอล และชี้แนะในการทำงานทางด้านฮาร์ดแวร์มาโดยตลอด

ขอขอบคุณ พี่ เฉลิมเกียรติ เทพสำราญ R&D บริษัท เดลต้า ที่ช่วยสอนและแก้ปัญหาบัคคอนเวอร์เตอร์ ให้เป็นอย่างดี

ขอขอบคุณอาจารย์ทางภาควิชา ที่ช่วยประสานความรู้ทางด้านต่างๆ เรื่อยมา ทำให้เกิดความคิดหลากหลาย ไม่ว่าจะเป็นเรื่องเรียน,เรื่องการทำงาน และใช้ชีวิต

และสุดท้ายนี้ขอขอบพระคุณบิดา มารดาที่ยิ่งใหญ่ คอยสั่งสอนส่งเสียลูกให้ร่ำเรียนหนังสือมาตั้งแต่ยังเล็กจนถึงระดับปริญญาตรี ลูกจะไม่ลืมพระคุณอันล้ำค่านี้เลย

นายสุรชัย วรธรรมโกวิทย์

นายสุวิชา ทับดวง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ใช้ควบคุมการทำงานของบัคคอนเวอร์เตอร์

;Main.ASM

```
        .start      "intsect",0X809FC5      ;Starting address for interrupt
        .start      ".text",0X809800  ;starting address for text
        .start      ".data",0x809870        ;starting address for data
        .include    "aic&pi.asm"            ;Init and ISR routine
        .sect       "intsect"               ;section for interrupt vector
        BR      ISR;()                      ;XINT0 interrupt vector
                .data                       ;data section
AICSEC          .word   23h,1h,3E7Eh,0A14h ;Fs = 20 kHz
                .text                       ;start of code
                .entry  BEGIN               ;text section
BEGIN           LDP     AICSEC              ;init to data page 128
                CALL    AICSET;()           ;init AIC
                br      $                   ;Main LOOP


ISR;()
;{
                CALL    PWM;()
                RETI                        ;return from interrupt

;}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

;Aic&Pi.ASM

```
                .data                   ;assemble into data section
PBASE           .word   808000h         ;peripheral base address
C               .float  0.5,-0.5*0.98   ; β , α มาจากสมการ (2.16)และ(2.15)
E               .float  0,0             ;E(n), E(n-1)  หรือ  E[1] ,  E[2]
Vc              .float  0,0             ;Vc(n), Vc(n-1)  หรือ Vc[1] , Vc[2]
E_addr          .word   E
C_addr          .word   C
Vc_addr         .word   Vc
Min             .word   15              ;5%   Duty ON
Max             .word   210             ;70%  Duty ON
SETSP           .word   0E970300h       ;serial port set – up data
ATABLE          .word   AICSEC          ;SP0 AIC init table address


                .text                   ;assemble into text section
AICSET;()
;{                                      ;Initialization  Timer
        ldi     @PBASE,AR0              ;AR0 -> 80800h
        ldi     1,R0                    ;timer CLK=H1/2*(AIC master CLK)
        sti     R0,*+AR0(28h)           ;timer period reg(TCLK0 = 6.25 MHz)
        ldi     03C1h,R0                ;init timer global register
        sti     R0,*+AR0(20h)           ;TCLK0 6.25 MHz To MCLK

                                        ;Initialization Serial
        RPTS    99                      ;repeat next instr 100 times
        ldi     22h,IOF                 ;AIC reset = 0
        ldi     @ATABLE,AR1             ;AR1 -> AIC init data
        ldi     131h,R0                 ;X & R port control register data
        sti     R0,*+AR0(42h)           ;FSX/DX/CLKX=SP operational pins
        sti     R0,*+AR0(43h)           ;FSR/DR/CLKR =SP operational pins
        ldi     @SETSP,R0               ;RESET ->SP:16 bits,ext clks,std mode
        sti     R0,*+AR0(40h)           ;FSX=output&INT enable SP global reg
        ldi     0,R0                    ;R0 = 0
        sti     R0,*+AR0(48h)           ;clear serial port XMIT register
        OR      26h,IOF                 ;bring AIC out of reset
                                        ;Initialization  AIC
        ldi     03h,RC                  ;RC=3 to transmit 4 values
        rptb    secend                  ;repeat 4 data transmit of sec com
        CALL    TWAIT;()                ;wait for data transmit
        ldi     3h,R0                   ;value for secondary XMIT request
        sti     R0,*+AR0(48h)           ;secondary XMIT request to AIC
        CALL    TWAIT;()                ;wait for data transmit
        ldi     *AR1++(1),R0            ;AR1 => next AIC init data
secend  sti     R0,*+AR0(48h)           ;DTR= current AIC data
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ldi     0h,IF           ;clear IF register
        or      10h,IE          ;enable EXINT0 CPU interrupt
        or      2000h,ST        ;global interrupt enable
        RETS                    ;return form subroutine
;}

TWAIT;()                        ;TRANSMIT WAIT ROUTINE
;{
        PUSH    AR0
        PUSH    R0
        LDI     @PBASE,AR0
TW1     LDI     *+AR0(40h),R0   ;R0 = content of SP global control reg
        AND     02h,R0          ;see if transmit buffer is ready
        BZ      TW1             ;if not ready , try again
        POP     R0
        POP     AR0
        RETS
;}

;Interrupt service routine Program
PWM;()
;}
    ldi     @PBASE,AR5
    ldi     @Vc_addr,AR3
    ldi     @E_addr,AR2
    ldi     @C_addr,AR1

    ldf     *AR2,R1             ;E(n) → E(n-1) หรือ E[1] → E[2]
||  ldf     *AR3,R3             ;Vc(n) → Vc(n-1) หรือ Vc[1] → Vc[2]
    stf     R1,*+AR2(1)
    stf     R3,*+AR3(1)

    LDI     *+AR5(4Ch),R1       ;Vo (A/D input)
    sti     R1,*+AR5(48h)
    lsh     16,R1               ;left shift for sign extension
    ash     -18,R1              ;right shift keeping sign
    float   R1,R1
    ldi     2090,R4             ;Vref
    float   R4,R4
                                ;Summing_____________________
    subf3   R1,R4,R1            ;E(n) = Vref-Vout
    stf     R1,*AR2             ;E(n) → E[1] เก็บในอเรย์ช่องที่ 1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                ;PI Control_____________________________
        MPYF3   *AR1,*AR2,R0    ;β*E(n)    → R0
        MPYF3   *+AR1(1),*+AR2(1),R1  ;α*E(n-1) → R1
        ADDF3   R0,R1,R1        ;α*E(n-1) + β*E(n)
        ADDF3   *+AR3(1),R1,R1  ;Vc(n)=Vc(n-1) + α*E(n-1) + β*E(n)
        stf     R1,*AR3         ;Vc(n) → Vc[1] เก็บในอเรย์ช่องที่1
                                ;PWM_____________________________
        ldf     0.0177033492,R4 ;(1/Vp) = ( DutyON(%)/Vref ) = 37 / 2090
        MPYF3   R4,R1,R1        ;Duty = (1/Vp)*Vc
        fix     R1,R1           ;Duty  XX%


        MPYI    3,R1            ;Duty(%)  to  Duty count
        ldi     R1,AR0

        ldi     @Min,R0         ;Check Min and Max   of  Duty  count
        cmpi    R0,AR0
        BP      Go
        ldi     @Min,AR0
        br      Goo
Go      ldi     @Max,R0
        cmpi    R0,AR0
        BLT     Goo
        ldi     @Max,AR0
Goo     ldi     66h,IOF         ;Duty ON
ON      db      AR0,ON          ;Delay Duty ON
        ldi     26h,IOF         ;Duty OFF

        RETS
;}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมMatlab ที่ใช้ออกแบบระบบควบคุมบัคคอนเวอร์เตอร์

```
clear all
phase_magin=45;
p=1;
Vs=15;
Vo=5;
D=Vo/Vs;
Vp=Vo/D;
fs=20000;
Ts = 1/fs;
L=500*10^-6;
C=470*10^-6;
rc=0.281;
R=5;

num=(Vs/(Vp*L*C))*[(rc*C) 1];
den=[1 ((1/(R*C))+(rc/L)) (1/(L*C))];
Buck  = tf(num,den)
BuckZ  = c2d(Buck,Ts,'zoh')
BuckW = d2c(BuckZ,'tustin')
W=logspace(2.5,10000);
%figure(p);p=p+1;bode(Buck,BuckW,W);
%figure(p);p=p+1;bode(BuckW,W);margin(BuckW);

%Wgco  =input('\n Chose Wgco(rad/sec) ==>')
%GdB  =input('\nAt Wgco have Gdb ==>');Gain=10^(GdB/20)
%Phase =input('\nAt Wgco have Phase ==>')
Gain=10^(-29.5/20);
Phase=-135;
Wgco=20000;

Kp=(cos(((((180+phase_magin-Phase)-360)*pi)/180)))/Gain)
Ki=(-sin(((((180+phase_magin-Phase)-360)*pi)/180)))/Gain)*Wgco
numPIW=Kp*[1 (Ki/Kp)];
denPIW=[1 0];
PIW=tf(numPIW,denPIW)
[MAR,PHE]=bode(PIW*BuckW,W);
[gm,pm,wp,wg]=margin(MAR,PHE,W);
fprintf('\n\tgain magin=%2.4f(dB)\t\tat=%6.4f(rad/s)\n\tphase
magin=%2.4f(deg)\t\tat=%6.4f(rad/sec)\n',gm,wp,pm,wg);
%figure(p);p=p+1;bode(BuckW,PIW,(PIW*BuckW),W);grid on;
%figure(p);p=p+1;bode(PIW*BuckW,W);
PIZ = c2d(PIW,Ts,'prewarp',0.0001)
rltool(BuckZ,PIZ);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Simulation and Modeling of a DC-DC Converter Controlled by an 8-bit Microcontroller

R. R. Boudreaux, R. M. Nelms, and John Y. Hung
Department of Electrical Engineering
Auburn University, AL 36849

Abstract - Traditionally, analog control technologies have been employed to regulate the output voltage of dc-dc converters. The utilization of digital control techniques for this regulation function is currently under consideration. Critical issues in a digital control implementation include analog-to-digital conversion range, resolution and delay, calculation time, and numerical precision. Results from an investigation into the modeling and simulation of dc-dc converters controlled by an 8-bit microcontroller are described in this paper. Many of these critical issues have been modeled using Matlab(TM) and Simulink(TM) from The Mathworks Inc. Simulation results from this model are compared to experimental waveforms obtained from a buck converter controlled by a Microchip PIC16C74 8-bit microcontroller. Experimental results agree well with the simulation model. The buck converter is represented by its state-space averaged model in the simulation.

I. INTRODUCTION

Output voltage regulation for dc-dc converters has traditionally been accomplished using analog control concepts. Interest is beginning to develop in the application of digital control principles to this regulation function [1-8]. Digital control can provide several benefits over analog control methods such as less susceptibility to environmental or parameter variations, monitoring and self-diagnostics, and communication with a display or host computer. In addition, the complexity of a digital control system is contained mostly in software. Once working properly, software is more consistent and reliable than a complex analog system. Advanced control techniques are more easily implemented in a digital control system.

Even though some advantages can be gained with a digital control implementation, several issues must be carefully examined. These include analog-to-digital conversion (ADC) time and resolution, PWM frequency and resolution, computational or calculation delay time, word length, calculation precision, and sampling frequency limitations. The hardware selected for a particular implementation determines the degree of impact that each of these issues has on converter performance. For example, a digital signal processor (DSP) performs calculations faster and more accurately than a typical 8-bit microcontroller but at a system cost increase. Another example is related to ADC resolution. Many 8-bit microcontrollers have on-chip ADCs which only have 8 bit resolution. An 8-bit ADC can only measure a voltage to one part in 255 of its reference voltage. For a typical reference voltage of 5 volts, the voltage converted to a digital representation is quantized into steps of 19.61 mV.

Discussed in this paper are the results of an investigation into modeling and simulating dc-dc converters controlled by an 8-bit microcontroller using Matlab(TM) and Simulink(TM), a commercial simulation package from The Mathworks, Inc. Simulation permits evaluation of the impact of these issues on dc-dc converter performance and provides insight into the design and control of a dc-dc converter with an 8-bit microcontroller. It also allows an evaluation of different converter models such as state-space-averaging and discrete time in the design of the digital controller. The accuracy of the simulation results has been evaluated through comparison with experimental results from a laboratory prototype which consists of a buck converter controlled by a Microchip PIC16C74 8-bit microcontroller [9-10].

This paper is organized as follows. The next section contains a description of the buck converter testbed utilized as the laboratory prototype. The Simulink/Matlab model for the prototype is then presented and discussed. After comparing the simulated and actual converter waveforms, the effects of several issues related to the digital control implementation are investigated and discussed using the model.

II. BUCK CONVERTER TESTBED

The buck converter in the testbed operated with an input voltage of 20V and supplied an output voltage of 12V. Two different values of load resistance were utilized in all evaluations, 10Ω and 1Ω. The converter inductance and capacitance were 150μH and 1000μF, respectively, which yields a natural frequency of about 400 Hz. The equivalent series resistance for the inductor and capacitor are 38mΩ and 30mΩ, respectively.

The Microchip PIC16C74 microcontroller was operated at a clock frequency of 20 MHz. The switching frequency and resolution of the on-chip PWM module are software selectable from 5 MHz at 2 bits of resolution to 20 kHz at 10 bits of resolution. A 78 kHz PWM frequency (f_s) at 8 bits of resolution was implemented in the testbed. The conversion time of the on-chip ADC was fixed at 16 μs. The converter

This work was supported by the Center for the Commercial Development of Space Power and Advanced Electronics with funds from NASA grant NAGW-1192-CCDS-AL, Auburn University, and the Center's Industrial Partners.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0-7803-3704-2/97 $10.00 ©1997 IEEE

duty cycle was calculated using a proportional-integral-derivative (PID) controller. The continuous time transfer function for a PID controller is given in equation (1).

$$G(s) = K_{Pa} + \frac{K_{Ia}}{s} + K_{Da}s \qquad (1)$$

where K_{Pa} is the proportional gain, K_{Ia} is the integral gain, and K_{Da} is the derivative gain. This transfer function is converted to a difference equation for digital implementation using Euler's method [11] which yields

$$d(k) = K_{Pa}e(k) + K_{Ia}T\sum_j e(j) + \frac{K_{Da}}{T}\left[e(k) - e(k-1)\right] \qquad (2)$$

This equation can be rewritten as

$$d(k) = K_P e(k) + K_I \sum_j e(j) + K_D\left[e(k) - e(k-1)\right] \qquad (3)$$

where K_P is the digital proportional gain, K_I is the digital integral gain, and K_D is the digital derivative gain. The variable d(k) is the calculated duty cycle for the k^{th} sample of the output voltage and T is the sampling period. The error, e(k), is defined as the difference between the measured output voltage and the desired output voltage. In software, the error is calculated by

$$e(k) = \text{ref} - \text{ADC}(k) \qquad (4)$$

where ref is a numerical reference that corresponds to the ADC result at the desired output voltage.

The PID controller calculations take between 18 µs and 28 µs depending on program branches and gain selection. This PID implementation also included software to allow on-the-fly externally selectable controller gains. The code necessary to perform this function would not be necessary in a final design, which would reduce the maximum calculation time to about 24 µs. Based on the maximum controller calculation time and the ADC conversion time, a sampling frequency (1/T) of 20 kHz was selected for the digital controller.

The duty cycle calculated from (3) is passed to the on-chip PWM module of the PIC16C74. Since this module operates in a synchronous fashion, the duty cycle can only be updated at the beginning of a PWM switching cycle, even if the new value is available earlier. This introduces a variable delay which depends on the point in the switching cycle when the control calculations are completed. It can be as short as a single oscillator (not instruction) cycle or as long as the switching cycle, $1/f_s$ (12.8µs).

As stated earlier, the resolution of microcontroller on-chip ADCs is typically 8 bits or 256 discrete levels. The ADC is usually referenced to the microcontroller power supply, so its range is limited to 0 - 5 volts. The base resolution of the ADC is 5/255 or 19.61 mV between levels. Since the buck converter in the testbed has an output voltage of 12 volts, external circuitry must be utilized to bring the voltage measured by the ADC into its range. Two problems arise if a simple voltage divider is employed. First, a loss of resolution occurs since the 256 levels are spread over a wider voltage range. If a converter output voltage of 12V corresponds to 2.5V on the ADC, the output resolution is 24/255 or 94.13 mV between levels. The loss of resolution will increase steady-state errors and the magnitude of controller-induced oscillations (limit cycles). Second, a gain reduction is introduced into the system due to the voltage division. This gain reduction can be corrected in software, but resolution can only be restored in hardware. Fig. 1 describes the circuit utilized in the testbed to solve this problem. The voltage divider reduces the output voltage to a level compatible with the ADC. The op-amp U1B removes the offset and restores gain and resolution. This circuit offsets the 5V ADC range around a 12V operating point, with 12V corresponding to 2.5V on the ADC. As a result, the converter output voltage range of 9.5 - 14.5 volts is transformed to the 0 - 5 volt range for the ADC. If the converter output voltage is outside of this range, the ADC will only read its maximum or minimum value. If necessary, this "window" effect can be minimized by using multiple ADC channels on the microcontroller or a programmable gain op-amp. Using two ADC channels, one channel could measure a wide range at low resolution. Once the converter output voltage is within the 9.5 - 14.5 volt range, the second channel could be utilized to measure a small range at high resolution. Examination of Fig. 1 reveals that the circuit is inverting; however, this is easily accounted for in software by changing the sign of the calculated error. For many applications, this circuit does not require precision op-amps to obtain satisfactory performance.

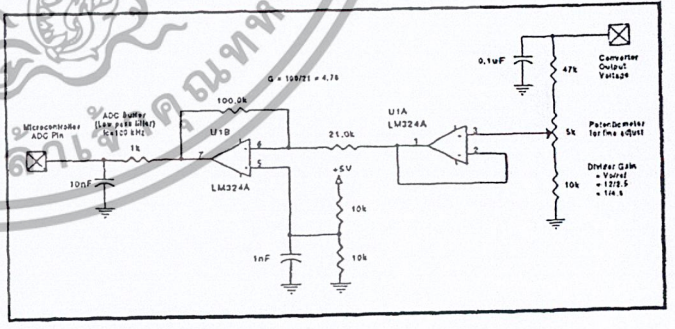


Fig. 1. Offset Circuit.

III. THE SIMULINK/MATLAB MODEL

The objective of this model is to include non-ideal effects such as analog-to-digital conversion range, time and delay, calculation delay, quantization, and numerical precision. The Simulink block diagram for the buck converter testbed described in the previous section is given in Fig. 2. Note that the buck converter is represented by a state-space-averaged model; other buck converter models could

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

asily be substituted into this diagram. The output voltage of ıe converter is labeled V_o in this figure. The effect of the ffset circuit is simulated by the first block in the feedback ath 'Sum1', which subtracts an offset voltage of 9.5V from ıe output voltage. Referring to Fig. 1, a low-pass filter is dded to the output of the offset circuit to remove noise and uffer the ADC input. This is modeled by the block 'ADC C filter' in Fig. 2. The next block in the feedback path nodels the ADC conversion delay, which is 16 µs for a Microchip PIC16C74 operating with a 20 MHz oscillator. A 0 kHz sampling frequency is implemented with a zero-order ıold block. The next three blocks in the feedback path onvert the 0 - 5 volt signal to an 8-bit representation in the ange of 0 - 255. The value out of these blocks is referred to s the "ADC result" and is compared to the binary epresentation of 128, which corresponds to the desired ıutput voltage of 12V. It is also possible to simulate a ›rogrammed soft start or reference change using the Software Ref Change' block.

The error signal e(k) is the input to the PID controller ınd is generated by the block 'Sum2'. Note the limiters in ›oth the proportional and integral paths of the controller vhich impose bounds on the intermediate numerical :alculations similar to that in the actual software. Multiple ›ytes are actually utilized in the PID calculations in the nicrocontroller to avoid intermediate numerical error. Iowever, the on-chip PWM module for the PIC16C74 only mplements an 8-bit representation for the duty cycle at the elected PWM frequency (78 kHz for the PIC16C74 with a 20 MHz oscillator). For this reason, the duty cycle, which is he output of the block 'Sum3', must be limited to be between) and 255. It is rounded up to the nearest integer and then converted to a number between 0 and 1. Calculation delay is hen modeled with a fixed 30 µs delay. Recall that the PID calculations require between 18 - 28 µs depending on the value of e(k) which determines the sequence in which the software commands are executed.

IV. COMPARISON TO EXPERIMENTAL RESULTS

The degree with which the model of Fig. 2 predicts converter behavior was evaluated by comparing the converter response from the simulation and the testbed. Fig. 4 is a plot of the actual output voltage and the output voltage predicted by the simulation. In this plot, the output voltage of the converter is changed between 10 V and 14 V by changing the software reference. This is accomplished in Fig. 2 with the block labeled 'Software Ref Change' and in the testbed through the software in the microcontroller. Note that the simulation and experimental results are closely matched. As can be seen in Fig. 4, the load is 1Ω and the gains for the digital PID controller are $K_P = 1/8$, $K_I = 1/64$, and $K_D = 2$.

Note in Fig. 4 that two different simulations are plotted with oscilloscope data from the testbed: one from the block diagram of Fig. 2 which is referred to as the non-ideal simulation and another from the block diagram of Fig. 3 which is referred to as the ideal simulation. Fig. 3 is a simplified version of Fig. 2. The feedback path is reduced to two components: the zero-order hold which simulates the 20 kHz sampling frequency and the block which provides the proper scale factor. As a result, the ideal simulation has infinite ADC resolution and discretization effects, but does not have quantization effects. The forward path is also simplified. The limiters in the PID controller have been removed. The most significant reduction is the elimination of the calculation delay. As can be seen in Fig. 4, the two simulations are very close even with the many simplifications.

Fig. 5 is another plot of the output voltage as it is changed from 10V - 14V through a reference change. The load remained at 1Ω for this experiment. However, the PID controller gains have been changed to $K_P = 1/4$, $K_I = 1/32$, and $K_D = 2$. Note that the response of the converter is underdamped for these gains. As expected, the non-ideal simulation is closer to the experimental results obtained from the testbed than the ideal simulation.

Examination of Figs. 4 and 5 alone could lead to the conclusion that the ideal simulation predicts approximately the same response as the non-ideal simulation with less model complexity. Figs. 6 and 7 contain startup transients for the converter. In both figures, the simulations predict a faster response than measured with the testbed. The non-ideal simulation response has a similar shape to the experimental response. The impact of removing the calculation delay and the offset circuit can be seen in the startup transients from the ideal simulation. When the output voltage is outside of the 9.5V - 14.5V range, the ADC saturates at its minimum or maximum value in the non-ideal simulation. For the ideal simulation, the actual voltage is converted by the ADC over the full range of output voltages. As a result, the effects of the offset circuit are more pronounced in the startup transient when the output voltage is out of range. This was also verified by the responses of Figs. 4 and 5 where the output voltage remains in range.

Another important result can be seen by comparing Figs. 4 - 7. Note that a better reference change response is obtained with the gains of Figs. 4 and 6. However, a faster startup transient is obtained with the gains of Figs. 5 and 7. This illustrates the potential advantage of using different gains depending on the operating condition of the converter. For example, one set of gains could be utilized during startup and another set for small perturbations around steady state. The ability to change gains based on converter operating condition would be very difficult with an analog controller; however, a digital controller could perform this function quite easily.

V. CONCLUSION

The topic of this paper has been the simulation and modeling of dc-dc converters controlled by an 8-bit microcontroller. A buck converter testbed was modeled and simulated using Simulink/Matlab. Numerous simulations have been performed with this model, and the results are

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

summarized as follows:

1) The offset circuit increases ADC resolution resulting in smaller steady-state error. If the output voltage is measured directly, it must first be scaled to a level between 0 and 5 volts. Assuming that the desired output voltage of 12V corresponds to 2.5V at the ADC pin, a loss of resolution occurs because the output voltage is effectively represented by 255 levels separated by 94.11 mV. This loss of resolution can produce oscillation if the actual output voltage is between two of the 255 levels. The offset circuit takes the range from 9.5V - 14.5V and translates it to the 0 - 5V level of the ADC to minimize the loss of resolution and reduce the magnitude of an oscillation induced by discretization in the digital controller. Controller-induced oscillations typically limit cycle around 1 or 2 levels. Reducing the resolution (by omitting the offset circuit) will increase the magnitude of these limit cycles. The offset circuit does introduce a nonlinearity into the system whenever the output voltage falls outside of the 9.5 - 14.5 V range. The response of the converter is not affected by the offset circuit if the output voltage falls within this range. In fact, simulation results from the non-ideal and the ideal simulation are nearly identical if the output voltage is in this range. This also indicates that the effect of the delays and quantization is very small.

2) Simulation results appear to be sensitive to the values used for the equivalent series resistance of the output capacitor and inductor in the buck converter. Neglecting these values reduces the damping in the model which increases overshoot and oscillations.

3) The simulation results are not as sensitive to the ADC conversion and calculation delays as they are to the offset circuit and equivalent series resistances. This results from the 20 kHz sampling frequency being much greater than the bandwidth of the system (400 Hz).

4) Quantization affects steady-state error, limit cycles, and controller-induced oscillations.

5) Simulation results comparable to the experimental results were achieved using only a state-space-averaged model for the buck converter. It may be possible to design digital controllers for dc-dc converters using familiar state-space-averaged models instead of more sophisticated models such as discrete-time models.

6) Simulation can be a useful tool in the analysis and design of dc-dc converters controlled by an 8-bit microcontroller. For small perturbations about the steady state, responses from the ideal and non-ideal simulations are almost the same. The most significant difference between the simulations occurs when the output voltage is outside of the range of the offset circuit. As a result, the non-ideal simulation should be utilized during a startup transient, a large load transient, or a large change in the input voltage, while the ideal simulation could be utilized for small perturbations.

7) Recall that the PID calculations require between 18 and 28 μs to determine the new value of the duty cycle. Considering the synchronous operation of the PWM module, the delay in updating the duty cycle may be between 0 and 12.8 μs. Therefore, a variable delay of 18 - 42.8 μs exists in the testbed between the calculation of e(k) and the update of the duty cycle. This variable delay is not modeled in the simulation and may be one reason for the difference between the non-ideal simulation and the experimental results.

REFERENCES

[1] R. Vinsant, J. DiFiore, and R. Clarke, "Digitally-controlled SMPS Extends Power System Capability," Power Conversion and Intelligent Motion, Vol. 20, No. 6, June 1994, pp. 30-37.

[2] J. DiFiore, R. Vinsant, and R. Clarke, "Digital Control Converts Power Supply into Intelligent Power System Peripheral," Ninth International High Frequency Power Conversion Conference, April 1994, pp. 2-6.

[3] S. Canter and R. Lenk, "A Low Cost Microprocessor Based Satellite Power Control Unit," Ninth International High Frequency Power Conversion Conference, April 1994, pp. 7-17.

[4] J. Paulakonis and J. Dunn, "Power Factor Corrected Microcontrolled UPS," Ninth International High Frequency Power Conversion Conference, April 1994, pp. 18-26.

[5] C. P. Henze and N. Mohan, "A Digitally Controlled AC to DC Power Conditioner That Draws Sinusoidal Input Current," IEEE Power Electronics Specialists Conference, June 1986, pp. 531-540.

[6] R. R. Boudreaux, R. M. Nelms, and John Y. Hung, "Digital Control of DC-DC Converters: Microcontroller Implementation Issues," Combined Proceedings of HFPC Power Conversion & Advanced Power Electronics Technology, Powersystems World'96, September, 1996, pp. 168-180.

[7] R. R. Boudreaux, R. M. Nelms, John Y. Hung, and L. C. Mathison, "Digital Control of a Buck Converter Using an 8 bit Microcontroller," Tenth International High Frequency Power Conversion Conference, May 1995, pp. 238-251.

[8] P. Kocybik and K. Bateson, "Digital Control of a ZVS Full-Bridge DC-DC Converter," Tenth Annual IEEE Applied Power Electronics Conference Proceedings, Vol. 2, 1995, pp 687-693.

[9] Microchip DataBook, Microchip Technology, Inc. Chandler, Arizona, 1994.

[10] Microchip Embedded Control Handbook, Update I Microchip Technology, Inc., Chandler, Arizona, 1995.

[11] C. L. Phillips and H. T. Nagle, *Digital Control Systen Analysis and Design*, Prentice-Hall, New Jersey, 1995.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

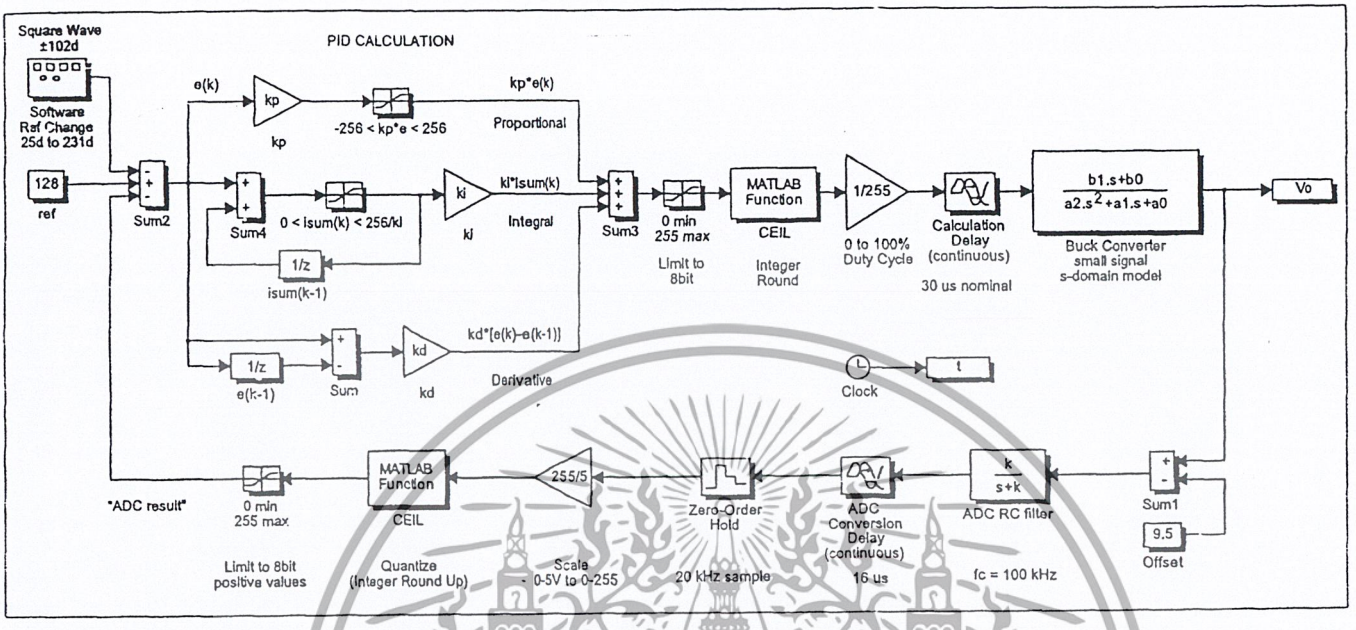


Fig. 2. Non-Ideal Simulation with Full Converter Model and Software Reference Change.

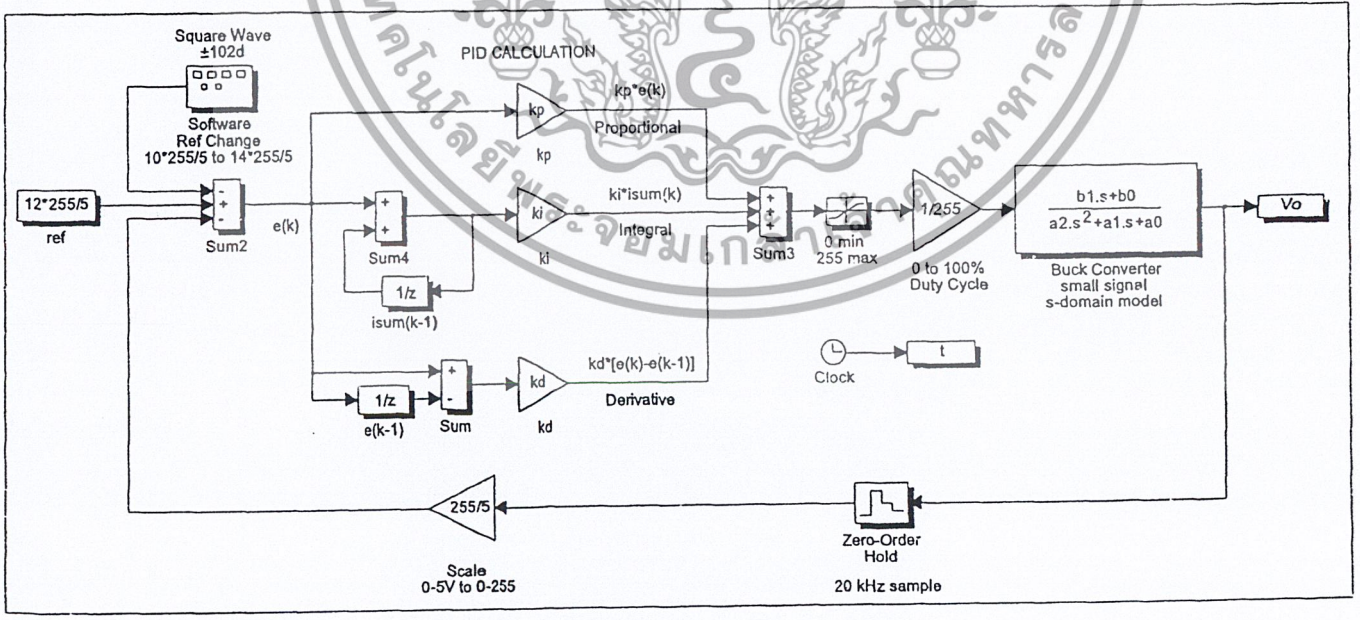


Fig. 3. Ideal Simulation with Full Converter Model and Software Reference Change.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

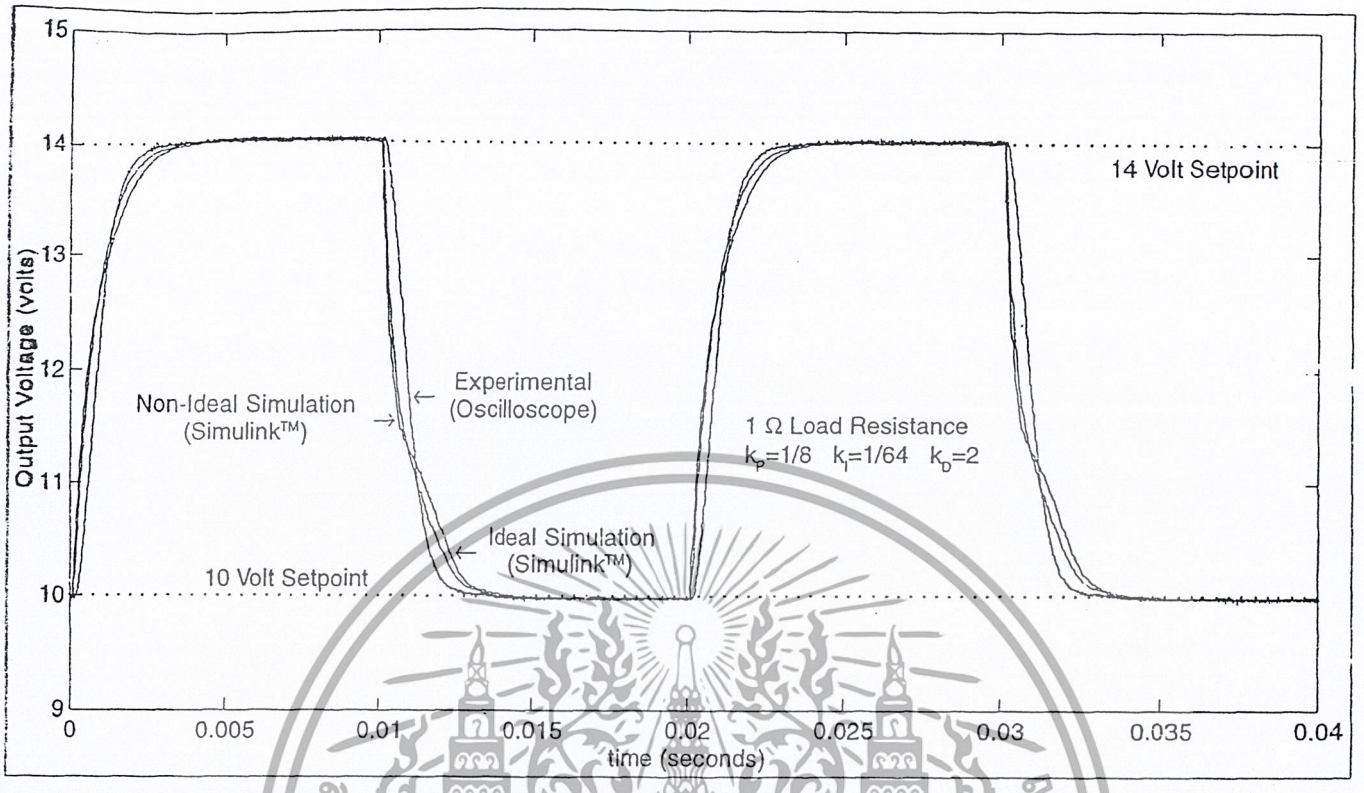


Fig. 4. Simulated and Actual Output Voltage During Software Reference Change.

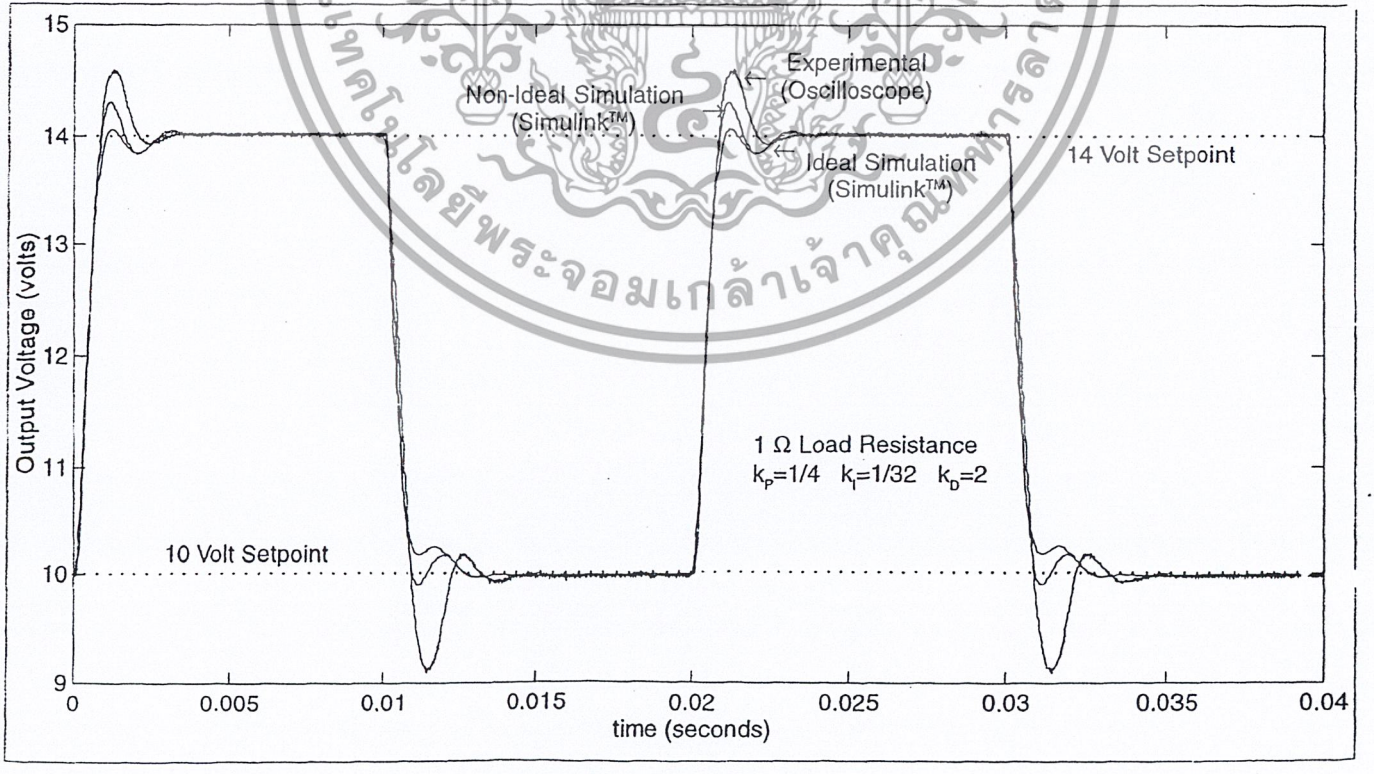


Fig. 5. Simulated and Actual Output Voltage During Software Reference Change.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

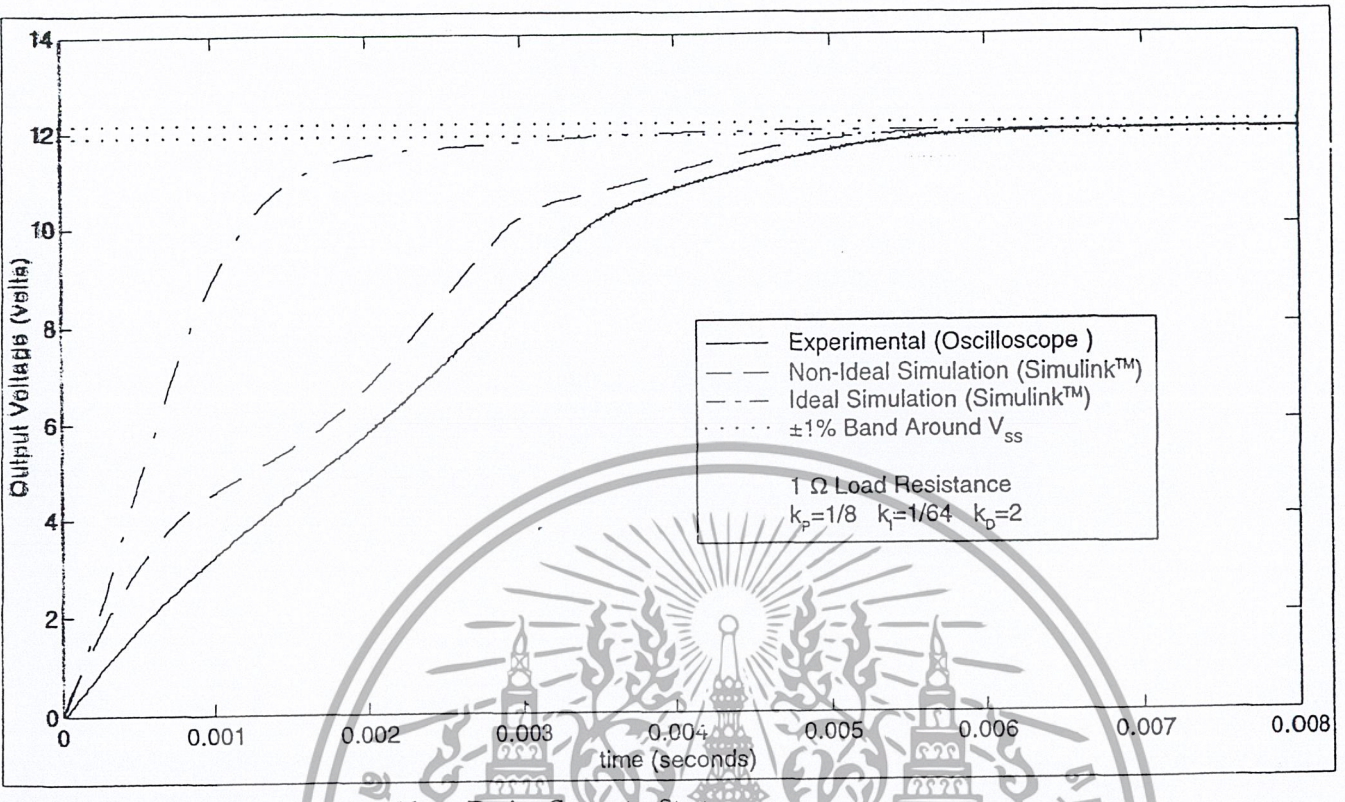


Fig. 6. Simulated and Actual Output Voltage During Converter Startup.

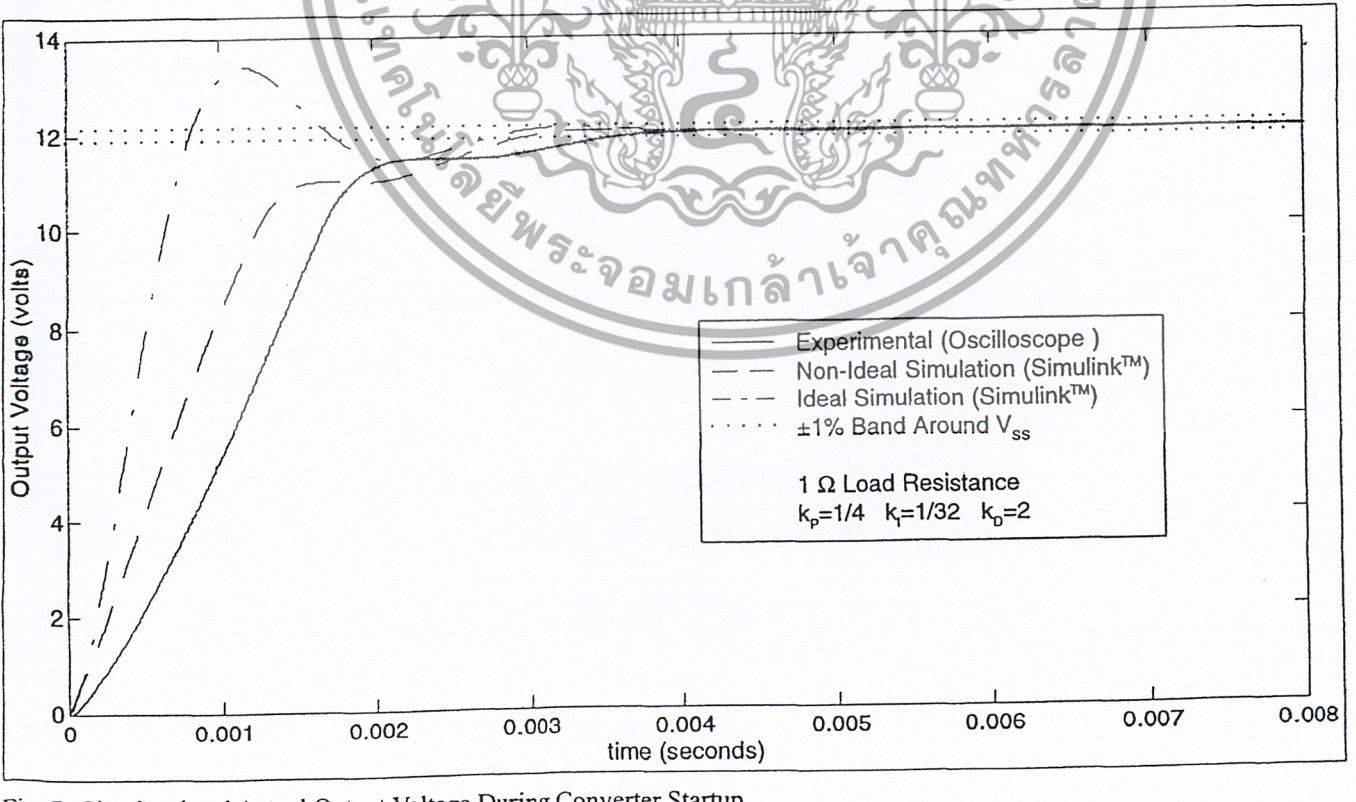


Fig. 7. Simulated and Actual Output Voltage During Converter Startup.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Digital Controller Design for Switchmode Power Converters

Y. Duan H. Jin

Department of Electrical and Computer Engineering
University of British Columbia
Vancouver, B.C.
Canada V6T 1Z4

Abstract - A thorough and systematic evaluation of different digital control design approaches is presented. The performance of the approaches is compared in terms of both the bandwidth and the phase margin of the control loop, as well as the output transient response subject to line and load step change. Furthermore, the difference of these design approaches under a lower sampling rate is studied. Best digital design approach for power converter applications is identified based on the comparison results.

I. INTRODUCTION

With the advance of microprocessors/DSP, digital control is increasingly used in various applications of switchmode power converter systems. Digital control offers a number of advantages over analog control: it is easier to implement computational functions and more flexible in modifying the code for other applications; and less sensitive to noise and environment variation. The disadvantages, however, include limited signal resolution due to finite word length of the processor and A/D converter, sampling time delay, and limited computation power and control loop bandwidth. Nevertheless, as the price/performance ratio of digital processors continues to decline, digital controllers are becoming a viable and competitive option, especially in high-end switching converter applications.

There are, in general, two approaches to design a digital controller: digital redesign approach and direct digital approach. In the digital redesign approach, the controller is designed in the continuous domain, and then discretized into the discrete form. In the direct digital approach, on the other hand, the system plant in the continuous domain is first transformed into the z-domain, and the controller design is carried out directly in the z-domain. Furthermore, there are several discretization methods and digital design methods, which can yield results of different performance.

The objective of this paper is to review and compare different digital controller design approaches, and identify the best approach for power converter applications. Similar efforts have been reported in the literatures [1-5]. In [1], redesign approaches are compared with the direct digital methods in terms of output voltage transients. In [2], the Energy Resemblance Index is introduced to compare three discretization methods, and in [3], the plant input mapping method is proposed for digital redesign. In [4], redesign approaches are compared with the digital PID and Deadbeat control. In addition, several direct digital controller methods are evaluated in [6]. These studies, with the exception of [4], however, do not provide a quantitative comparison of the performance in terms of the control loop bandwidth, load disturbance rejection among different discretization methods, and between the digital redesign and the direct digital approach. The work in [4] is focused on a single-loop system. But it is unclear how the controller performance will vary in a two-loop structure or under different sampling rates.

This paper provides a thorough and systematic evaluation of different digital control design approaches. The performance of each approach is compared in terms of both the bandwidth and the phase margin of the control loop, as well as the output transient response subject to load change. Furthermore, the difference of these design approaches under a lower sampling rate is studied. Such a result is useful since, for low-cost processors, the control sampling rate can be several times lower than the converter switching frequency due to limited computation power. Also, this paper proposes a direct digital controller design method for practicing engineers who are mostly familiar with the continuous domain design approach.

In this paper, an inverter system with the typical double control loop structure is used as the test case, and results under different operating conditions are provided.

II. DIGITAL CONTROL DESIGN APPROACHES

In this section, the basic concept of the digital redesign approach and the direct digital approach is discussed.

A. Digital Redesign Approach

In the digital redesign approach, an analog controller is first designed in the continuous domain. Fig. 1 shows a system in the s-domain.

In Fig. 1, $H(s)$ is the plant of the converter, $G_c(s)$ is the controller to be designed, $H_{sh}(s)$ represents the time delay due to the sampling and hold process of the digital control. The time delay can be expressed as $\frac{1-e^{-T_s s}}{s}$, where T_s is the sampling period. Often the sampling frequency is sufficiently large, and we can approximate the time delay term as: $\frac{1-e^{-T_s s}}{s} = \frac{1}{1+\frac{T_s}{2}s}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0-7803-5160-6/99/$10.00 © 1999 IEEE.

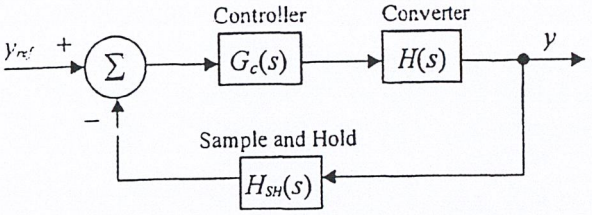


Fig. 1. A system with feedback control

After the time delay term is linearized, the standard design approaches such as the Bode plot approach can be used to design the controller $G_c(s)$.

Once $G_c(s)$ is designed, it can be discretized. Table I gives several commonly used discretization methods. For the step Invariant method, Z represents the z transformation.

TABLE I

DISCRETIZATION METHODS

Transformation Method	s-Domain	z-Domain
Backward Euler	s	$\frac{1-z^{-1}}{T_s}$
Bilinear	s	$\frac{2}{T_s}\frac{1-z^{-1}}{1+z^{-1}}$
Step Invariant	$G_c(s)$	$Z(\frac{1-e^{-T_s s}}{s}G_c(s))$
Pole-Zero Match	$s+a$	$1-z^{-1}e^{-aT_s}$
	$s+a\pm jb$	$1-2z^{-1}e^{-aT_s}\cos bT_s+z^{-2}e^{-2aT_s}$

The Backward Euler method is easy to apply, but it does not preserve the impulse and frequency response of the analog controller. The Bilinear Transformation method, also referred to as Tustin or Trapezoidal Rule, transforms the whole left-hand-side s-plane into the unit circle in the z-plane; hence there is no aliasing effect. The most attractive feature of this method is that it preserves both the gain and phase properties of the controller below 1/10 of the sampling frequency. The Step Invariant Transformation preserves the step response, but does not preserve the impulse and frequency response. The Pole/Zero Match Transformation preserves the pole-zero location, but is subject to aliasing if the frequencies of the zeros are greater than the Nyquist frequency.

B. Direct Digital Design Approach

With the direct digital approach, the digital controller is designed in the discrete-time domain using the step invariant model of a continuous time plant when zero-order hold is used. Once a discrete-time approximation of the plant is available, the controller is designed directly in the z-domain using methods such as discrete-time frequency response method, root-locus method, or deadbeat method.

The frequency response method is particularly convenient to practicing engineers who are familiar with the Bode plot design method in the s-domain, and can use the same concept such as the gain-cross-over frequency and gain/phase margins. The limitation of this technique, however, is that the sampling frequency must be at lease 10 times higher than the closed loop bandwidth.

The root locus method is a graphical method that solves an n^{th}-order polynomial. By adjusting the controller parameters, the poles/zeros of the system can be tuned to favorable positions. The tuning process, however, can be long especially if there are a number of undecided controller parameters.

The deadbeat control forces the output of the system to the expected value after a finite number of sampling intervals. This method is highly dependent on the accuracy of the plant function. Therefore, the advantage of the deadbeat controller is not obvious in most cases.

For the direct digital design approach, we propose to use the frequency response method first to obtain an initial design, then use the root locus to fine tune the controller. In this way, the advantages of both techniques are utilized, and an optimum controller can be designed quickly and conveniently.

III. DESIGN EXAMPLE

To illustrate the procedure of the digital controller design, we will use a simple single loop system, shown in Fig. 1 as an example. The system parameters are based on the inner current loop of the power converter system (Fig. 4) to be discussed in Section IV. The plant transfer function which is the function between the filter inductor current and the modulation wave, is derived as:

$$H(s)=\frac{120.19(1.32e^{-4}s+1)}{1.58e^{-7}s^2+1.24e^{-3}s+10.3} \quad (1)$$

With the sampling rate of 40kHz, we have the function for the sampling and hold time delay as:

$$H_{SH}(s)=\frac{1}{1+1.25e^{-5}s} \quad (2)$$

If we use the digital redesign approach, based on the Bode plot method, we can obtain an analog controller $G_c(s)$ with the control loop bandwidth of 6kHz and phase margin of 60°:

$$G_c(s)=\frac{6.6(1+2.67e^{-4}s)}{2.67e^{-4}s} \quad (3)$$

In this paper, the definition of bandwidth is the same as the gain-cross-over frequency.

Using the transformation methods listed in Table I, the digital controllers can be easily obtained. For the Backward

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Euler method, for example, we substitute s by $\frac{1-z^{-1}}{2.5e^{-5}}$ to have the digital controller as:

$$G_c(z)=\frac{7.227(z-0.914)}{z-1} \quad (4)$$

The digital controllers for other discretization can be obtained in a similar way.

If we use the direct digital design approach, on the other hand, the plant in (1) is first discretized into discrete-time domain using the step invariant transformation, as follows:

$$H(z)=\frac{2.480z-2.051}{z^2-1.786z+0.822} \quad (5)$$

We do not need to consider the sampling and hold in this approach, that is $H_{SH}(s)$=1. The discrete-time plant has already taken this delay into account.

First, we can obtain an initial direct digital controller using the frequency response method in the w-plane. Base on $w=\frac{2}{T}\frac{z-1}{z+1}$, the plant $H(z)$ is transformed to:

$$H(w)=\frac{-1.256w^2+9.096e^4w+7.615e^8}{w^2+7.88e^3w+6.526e^7} \quad (6)$$

A digital controller is designed in the w-plane with a control loop bandwidth of 6kHz and phase margin of 60°. That is:

$$G_c(w)=\frac{5.389(1+2.629e^{-4}w)}{2.629e^{-4}w} \quad (7)$$

The z-plane expression of this controller is:

$$G_c(z)=\frac{5.645(z-0.909)}{z-1} \quad (8)$$

Fig. 2 is the root locus plot of the system with the frequency response method.

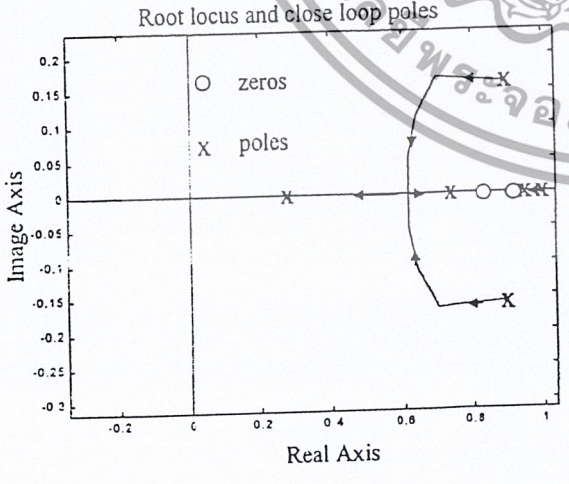


Fig. 2. Root locus and close loop poles of the system using the frequency response method

For the digital PI controller, the pole is always 1. Only the gain and the zero of the controller can be adjusted. Starting from the gain and the zero from the frequency response method, we adjust the gain and zero based on the root locus plot in z-plan to have the closed-loop pole closer to the desired place. Normally, the system is faster when the closed-loop poles are close to the origin, and more stable when the poles are on the positive real axis. From the root locus plot, it is easy to find the trend of the closed-loop poles, when changing the gain and the zero of the controller. In this case, increasing the gain and putting the zero of the controller more close to 1 will let two closed-loop poles closer to the zeros. Consequently, the effect of the two zero/pole pares become very small. The gain should not be very large, otherwise the third pole will be far away from the origin. After some iteration, we obtain the direct digital controller as:

$$G_c(z)=\frac{8.5(z-0.98)}{z-1} \quad (9)$$

The root locus plot of this controller is shown in Fig. 3.

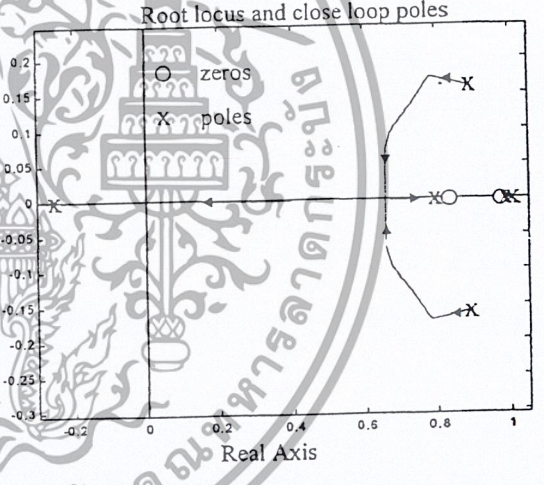


Fig. 3. Root locus and close loop poles of the system using the frequency response and root locus method

IV. Design Example and Simulation Result

To study the performance of various digital control design approaches, a sample double-loop switch-mode inverter system in Fig. 4 is used. A prototype of this system is currently being implemented. This particular system is selected since both the 2nd-order circuit and the two-loop control structure are typical of switchmode power converter systems. System parameters are: V_{dc}=215V, K_i=0.06, K_v=0.01, R_L=0.3Ω, L=1.2mH, and C=13.2μF. The load can be either a 10-Ω resister or a nonlinear load. The switching frequency is 40kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

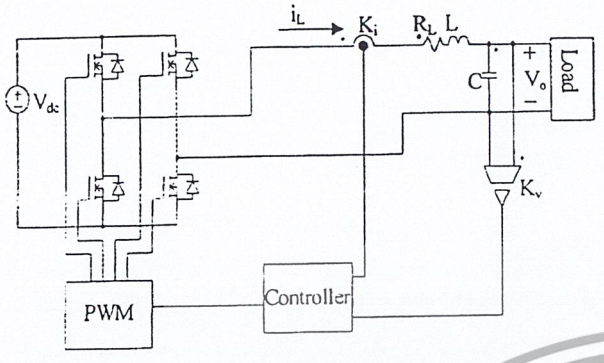


Fig. 4. A double loop inverter system

The transfer function block diagram of the system is shown in Fig. 5. In the diagram, $G_{ci}(s)$ is the current controller, and $G_{cv}(s)$ is the voltage controller, $H_i(s)$ and $H_v(s)$ are the transfer functions of the plant which are defined as $H_i(s)=i_L/v_m$ and $H_v(s)=v_o/i_L$, and v_m is the modulation wave.

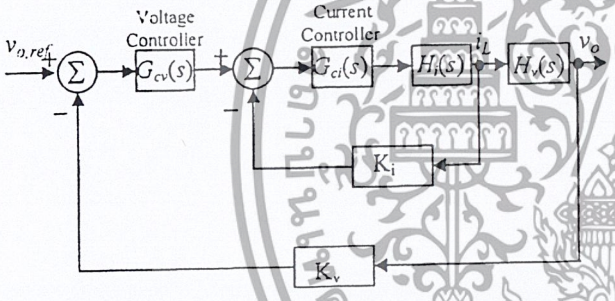


Fig. 5. Control block diagram of the inverter system in Fig. 4

The voltage and current controllers are designed with five design methods: direct digital design, digital redesign using Backward Euler, Bilinear, Step Invariant, and Pole/Zero Match discretization methods. Two sampling rates are used: 40kHz (the same as the switching frequency), and 10kHz. Controller design and frequency analysis are done in MATLAB, and the time-domain simulation is done in PSIM.

The performance is compared in terms of the following:

- Control loop bandwidth and phase margin
- Load step change (from 20% to 100%)
- Nonlinear load

A. Single Loop System

We first examine only the inner current loop. The plant transfer function of the inner loop is given in (1). The design process of the five digital controllers is discussed in the last section. The performance of the controllers is shown here.

Fig. 6 shows the average current waveforms under load change with a sampling rate of 40kHz. For comparison purpose, the average model of the converter is used. Table II compares the five design approaches.

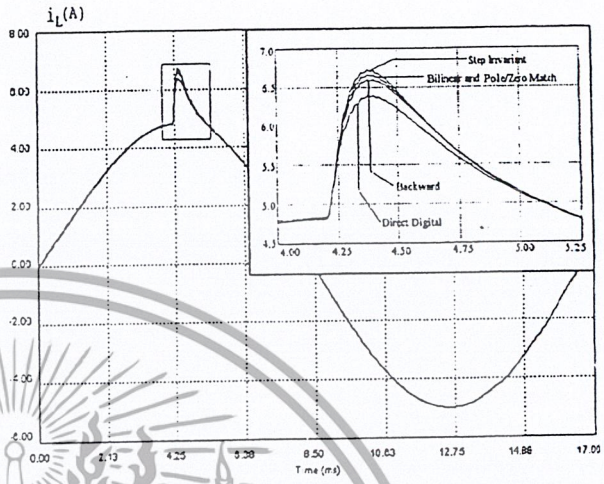


Fig. 6. Simulated average current waveform, with the enlargement, for load step change from 20% to 100% (sampling rate: 40kHz)

TABLE II

PERFORMANCE OF FIVE DESIGN APPROACHES FOR THE INNER CURRENT LOOP WITH A SAMPLING RATE OF 40KHZ

Design method	Overshoot	Bandwidth	Phase Margin
Direct Digital	28%	8.9 kHz	50°
Backward Euler	32%	7.2kHz	54°
Bilinear	33%	6.9 kHz	55°
Pole/Zero Match	33%	6.9 kHz	55°
Step Invariant	35%	6.6 kHz	56°

The waveforms in Fig. 6 and Table II show that the four digital redesign approaches are comparable in terms of the performance, that is, the overshoot under the load change and the control loop bandwidth. Among the four discretization methods, Backward Euler gives the largest bandwidth, followed by Bilinear and Pole/Zero Match. Step Invariant has the narrowest bandwidth, and gives slightly higher overshoot in load change response.

In comparison, the direct digital design approach shows a notable improvement over all the redesign approaches. It gives the highest bandwidth, 24% higher than the Backward Euler method, and 31% higher than the Bilinear transformation method. The overshoot to load change is also the lowest among all the approaches.

The bandwidth and phase margin in the tables are obtained in discrete time domain, with $G_c(z)H(z)$ representing the loop function of the whole system. The value is slightly higher than the 6-kHz bandwidth with the analog approach.

If the sampling rate is 10kHz, using Bode plot method, we can obtain an analog controller $G_{ci}(s) = \dfrac{2.66(1+19.81e^{-3}s)}{19.81e^{-3}s}$ with the control loop bandwidth of 2.5kHz and phase margin

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

of 60°. If we use the direct digital approach, we can find the controller as: $G_{ci}(z) = \frac{2.8(z-0.995)}{z-1}$.

Fig. 7 gives the simulated current waveforms under a load change from 20% to 100% when the sampling rate is reduced to 10kHz while the switching frequency of the converter is still 40kHz. Table II summarizes the values of the overshoot as well as the bandwidth and the phase margin.

Based on the result, the same conclusion can be drawn for the four redesign approaches and the direct digital design approach, but the relative difference is bigger. The bandwidth of the direct design approach, for example, is 33% higher than the Backward Euler method, and 48% higher than the Bilinear approach. This finding suggest that, at a lower sampling rate, it is more critical to select the right design approach that will give the best performance.

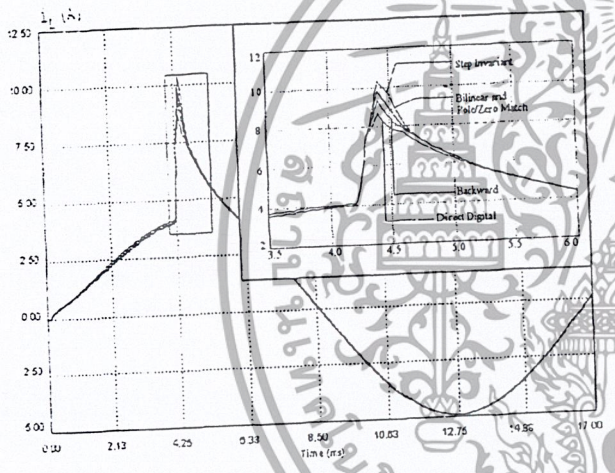


Fig. 7. Simulated average current waveform, with the enlargement for load step change from 20% to 100% (sampling rate: 10kHz)

TABLE III

PERFORMANCE OF THE FIVE DESIGN APPROACHES FOR THE INNER CURRENT LOOP WITH A SAMPLING RATE OF 10KHZ

Design method	Overshoot	Bandwidth	Phase Margin
Direct Digital	73%	3.5kHz	40°
Backward Euler	87%	2.6kHx	43°
Bilinear	97%	2.3kHz	48°
Pole/Zero Match	96%	2.3kHz	48°
Step Invariant	100%	2.0kHz	53°

B. Double-Loop System

The outer voltage loop is designed for the double-loop system shown in Fig. 4. The voltage controller in the s-domain for the digital redesign is: $G_{cv}(s) = \frac{1.29(1+1.13e^{-4}s)}{1.13e^{-4}s}$, with voltage bandwidth of 2.8kHz, and phase margin of 65°, when the sampling rate is 40kHz. The voltage controller from the direct digital design approach is $G_{cv}(z) = \frac{2.1(z-0.802)}{z-1}$.

Fig. 8 shows the simulated output voltage waveforms under a load step change from 20% to 100%. And the overshoot and bandwidth information is summarized in Table IV.

Again, the backward Euler transformation method has slightly larger bandwidth and better performance than the other three discretization methods, while the direct digital approach remains the best design approach. The improvement in the bandwidth of direct digital method is and 29% over the Backward Euler method, and 40% over the bilinear transformation methods.

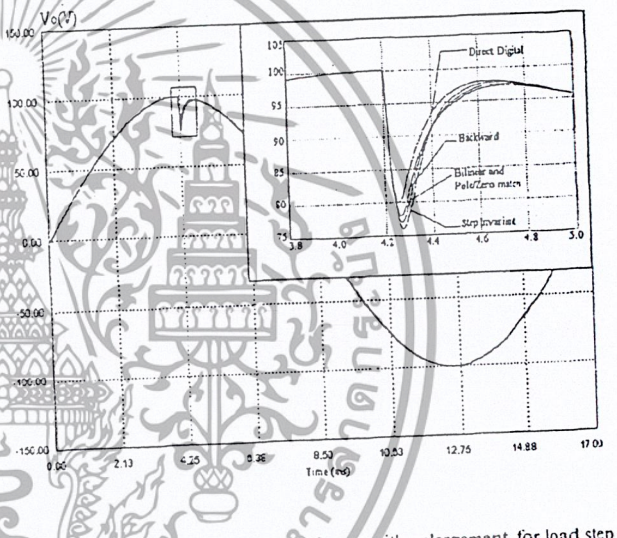


Fig. 8. Simulated output voltage waveforms, with enlargement, for load step change (sampling rate: 40kHz)

TABLE IV

PERFORMANCE OF THE FIVE DESIGN APPROACHES FOR THE DOUBLE LOOP SYSTEM WITH A SAMPLING RATE OF 40KHZ

Design method	Overshoot	Bandwidth	Phase Margin
Direct Digital	20%	3.9kHz	53°
Backward Euler	22%	3.0 kHz	67.5°
Bilinear	23%	2.8 kHz	66.5°
Pole/Zero match	23%	2.8 kHz	66.5°
Step Invariant	24%	2.5 kHz	65°

When the sampling rate is reduced to 10kHz, the controller need to be designed again based on this sampling rate. The voltage controller in the s-domain for the digital redesign is $G_{cv}(s) = \frac{0.352(1+6.647e^{-5}s)}{6.647e^{-5}s}$, with voltage bandwidth of 0.9kHz, and phase margin of 65°. The voltage controller from

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

the direct digital design approach is $G_{cd}(z) = \frac{1.28(z-0.275)}{z-1}$.

Fig. 9 shows the simulated output voltage waveforms under a load step change from 20% to 100%. And the overshoot and bandwidth information is summarized in Table V.

From Fig. 9 and Table V, the direct digital approach is still the best, followed by the backward Euler approach. The improvement in the bandwidth of the direct digital approach is 67% over the Backward Euler method, and 101% over bilinear transformation method.

This result reconfirms the conclusion that the difference among the different design approaches becomes more significant as the sampling rate drops, with the direct digital design approach far outperforms the other approaches.

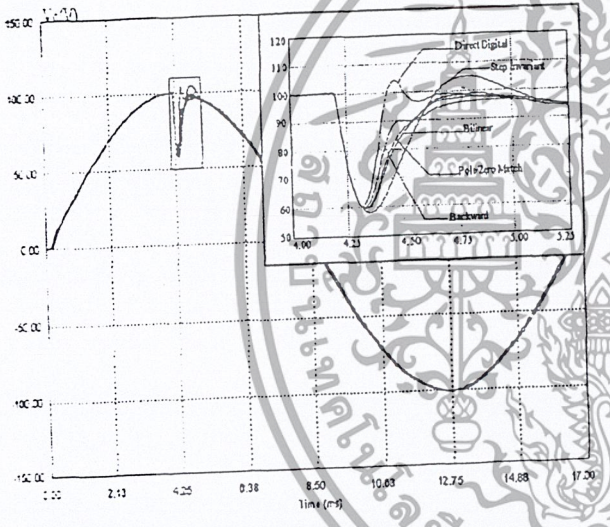


Fig. 9 Output voltage waveforms, with enlargement, for load step change (sampling rate: 10kHz)

TABLE V

PERFORMANCE OF THE FIVE DESIGN APPROACHES FOR THE DOUBLE-LOOP SYSTEM WITH A SAMPLING RATE OF 10KHZ

Design method	Overshoot	Bandwidth	Phase Margin
Direct Digital	39%	1.7kHz	59°
Backward Euler	40%	1.0 kHz	78°
Bilinear	41%	0.9 kHz	54°
Pole/Zero Match	41%	0.9 kHz	67°
Step Invariant	43%	0.8 kHz	70°

C. Nonlinear Load

When the load is nonlinear, the load voltage will be distorted. A fast control loop is essential to maintain a low voltage distortion. Fig. 10 shows the simulated output voltage and current waveforms under the nonlinear load with a sampling rate of 40kHz. The load consists of a diode bridge and parallel resistor and capacitor on the dc side.

Table VI compares the THD (total harmonics distortion) of the output voltage with five digital controllers on the total harmonic distortion.

From Table VI, direct digital approach has the lest THD in the output voltage waveform, especially when the sampling rate is relatively low. Backward Euler approach has lower THD than the other discretization methods, but the difference is minor.

TABLE VI

TOTAL HARMONIC DISTORTION COMPARISON OF THE FIVE DESIGN APPROACHES FOR THE DOUBLE LOOP SYSTEM WITH NONLINEAR LOAD

Design method	Sampling rate 40kHz	Sampling rate 10kHz
Direct Digital	5.58%	9.98%
Backward Euler	8.62%	13.40%
Bilinear	8.66%	14.69%
Step Invariant	8.95%	18.85%
Pole/Zero Match	8.81%	14.38%

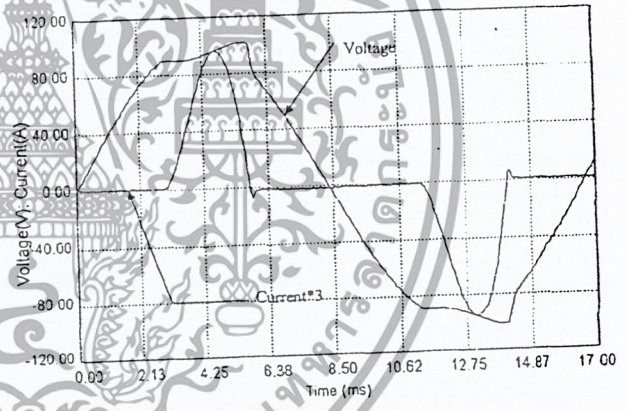


Fig. 10. Nonlinear load output voltage and current waveform of direct digital controller converter for sampling rate of 40kHz

From the comparison above, the most recommended design method to design controller for switchmode power converters is the direct digital approach. It has a much wider bandwidth while keeping the system stable. The advantage of this approach over other method is even greater when the system is multi-loop and the sampling rate is low.

Backward Euler is the recommended transformation method when discretizing the analog controller to digital controller for power converter control designs, especially when the system is multi-loop and the sampling rate is relatively low.

III. CONCLUSIONS

Five different digital controller design approaches for switchmode power converters are presented in this paper.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Comparison on these shows that the direct digital approach is the most recommended method, and backward Euler is the better discretization method when redesigning the digital controller from the analog one. Results also show that the difference in performance becomes greater at a lower sampling rate.

REFERENCES

[1] T.W. Martin and S.S. Ang, "Digital Control For Switching Converters", Proceedings of the IEEE International Symposium on Industrial Electronics, 1995, pp 480-484

[2] C.H. Wang and C.C. Hsu, "Performance Evaluation of Redesigned Digital Systems using Energy Resemblance Index", IEEE Decision and Control Conference, 1996, pp. 4311-4316

[3] T. Ieko, Y. Ochi, K. Kanai, and N. Hori, "PIM Digital Redesign Method and its application to the Design of a digital Flight Controller, Proceedings of the 34th SICE Annual Conference, International Session Papers, 1995, pp. 1469-1474

[4] C.K. Lau and M H. Pong, "Comparison of Three Approaches on DSP Based Digital Controlled 2-Wheeler Forward Converter", Proceedings of IEEE Industrial Technology Conference, 1994, pp. 161-168

[5] L.S. Su, "Digital Controller-Its Design Techniques", IEEE Instrumentation and Measurement Technology Conference, 1994, pp. 841-844

[6] A. Kawamura and T. Yokoyama, "Comparison of Five Different Approaches for Real Time Digital Feedback Control of PWM Inverters", Conference Record of the IEEE Industry Applications Society Annual Meeting, 1990, pp. 1005-1011

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9.2A, 100V, 0.270 Ohm, N-Channel Power MOSFET

This N-Channel enhancement mode silicon gate power field effect transistor is an advanced power MOSFET designed, tested, and guaranteed to withstand a specified level of energy in the breakdown avalanche mode of operation. All of these power MOSFETs are designed for applications such as switching regulators, switching convertors, motor drivers, relay drivers, and drivers for high power bipolar switching transistors requiring high speed and low gate drive power. These types can be operated directly from integrated circuits.

Formerly developmental type TA09594.

Features

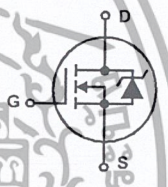
- 9.2A, 100V
- $r_{DS(ON)} = 0.270\Omega$
- SOA is Power Dissipation Limited
- Single Pulse Avalanche Energy Rated
- Nanosecond Switching Speeds
- Linear Transfer Characteristics
- High Input Impedance
- Related Literature
  - TB334 "Guidelines for Soldering Surface Mount Components to PC Boards"

Ordering Information

PART NUMBER	PACKAGE	BRAND
IRF520	TO-220AB	IRF520

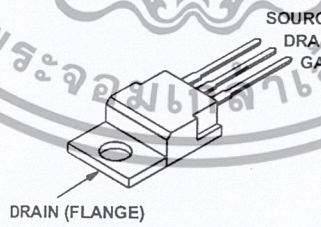
NOTE: When ordering, use the entire part number.

Symbol



Packaging

JEDEC TO-220AB



CAUTION: These devices are sensitive to electrostatic discharge; follow proper ESD Handling Procedures.
1-888-INTERSIL or 321-724-7143 | Copyright © Intersil Corporation 1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings $T_C = 25^oC$, Unless Otherwise Specified

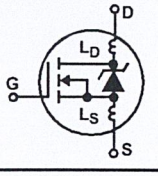
		IRF520	UNITS
Drain to Source Breakdown Voltage (Note 1)	V_{DS}	100	V
Drain to Gate Voltage (R_{GS} = 20kΩ) (Note 1)	V_{DGR}	100	V
Continuous Drain Current	I_D	9.2	A
$T_C = 100^oC$	I_D	6.5	A
Pulsed Drain Current (Note 3)	I_{DM}	37	A
Gate to Source Voltage	V_{GS}	±20	V
Maximum Power Dissipation	P_D	60	W
Dissipation Derating Factor		0.4	W/^{o}C
Single Pulse Avalanche Energy Rating (Note 4)	E_{AS}	36	mJ
Operating and Storage Temperature	T_J, T_{STG}	-55 to 175	^{o}C
Maximum Temperature for Soldering			
Leads at 0.063in (1.6mm) from Case for 10s	T_L	300	^{o}C
Package Body for 10s, See Techbrief 334	T_{pkg}	260	^{o}C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

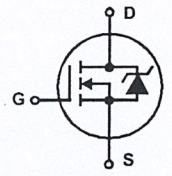
1. $T_J = 25^oC$ to 150^oC

Electrical Specifications $T_C = 25^oC$, Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS		MIN	TYP	MAX	UNITS
Drain to Source Breakdown Voltage	BV_{DSS}	I_D = 250μA, V_{GS} = 0V (Figure 10)		100	-	-	V
Gate to Threshold Voltage	$V_{GS(TH)}$	$V_{GS} = V_{DS}$, I_D = 250μA		2.0	-	4.0	V
Zero Gate Voltage Drain Current	I_{DSS}	V_{DS} = 95V, V_{GS} = 0V		-	-	250	μA
		V_{DS} = 0.8 x Rated BV_{DSS}, V_{GS} = 0V, $T_J = 150^oC$		-	-	1000	μA
On-State Drain Current (Note 2)	$I_{D(ON)}$	$V_{DS} > I_{D(ON)} \times r_{DS(ON)MAX}$, V_{GS} = 10V (Figure 7)		9.2	-	-	A
Gate to Source Leakage Current	I_{GSS}	V_{GS} = ±20V		-	-	±100	nA
Drain to Source On Resistance (Note 2)	$r_{DS(ON)}$	I_D = 5.6A, V_{GS} = 10V (Figure 8, 9)		-	0.25	0.27	Ω
Forward Transconductance (Note 2)	g_{fs}	$V_{DS} \geq 50V$, I_D = 5.6A (Figure 12)		2.7	4.1	-	S
Turn-On Delay Time	$t_{d(ON)}$	V_{DD} = 50V, $I_D \approx 9.2A$, R_G = 18Ω, R_L = 5.5Ω MOSFET Switching Times are Essentially Independent of Operating Temperature		-	9	13	ns
Rise Time	t_r			-	30	63	ns
Turn-Off Delay Time	$t_{d(OFF)}$			-	18	70	ns
Fall Time	t_f			-	20	59	ns
Total Gate Charge (Gate to Source + Gate to Drain)	$Q_{g(TOT)}$	V_{GS} = 10V, I_D = 9.2A, V_{DS} = 0.8 x Rated BV_{DSS}, $I_{g(REF)}$ = 1.5mA (Figure 14) Gate Charge is Essentially Independent of Operating Temperature		-	10	30	nC
Gate to Source Charge	Q_{gs}			-	2.5	-	nC
Gate to Drain "Miller" Charge	Q_{gd}			-	2.5	-	nC
Input Capacitance	C_{ISS}	V_{DS} = 25V, V_{GS} = 0V, f = 1MHz (Figure 11)		-	350	-	pF
Output Capacitance	C_{OSS}			-	130	-	pF
Reverse Transfer Capacitance	C_{RSS}			-	25	-	pF
Internal Drain Inductance	L_D	Measured From the Contact Screw On Tab To Center of Die	Modified MOSFET Symbol Showing the Internal Devices Inductances	-	3.5	-	nH
		Measured From the Drain Lead, 6mm (0.25in) From Package to Center of Die		-	4.5	-	nH
Internal Source Inductance	L_S	Measured From the Source Lead, 6mm (0.25in) From Header to Source Bonding Pad		-	7.5	-	nH
Thermal Resistance Junction to Case	$R_{\theta JC}$			-	-	2.5	^{o}C/W
Thermal Resistance Junction to Ambient	$R_{\theta JA}$	Free Air Operation		-	-	80	^{o}C/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Source to Drain Diode Specifications

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Continuous Source to Drain Current	I_{SD}	Modified MOSFET Symbol Showing the Integral Reverse P-N Junction Diode 	-	-	9.2	A
Pulse Source to Drain Current (Note 3)	I_{SDM}		-	-	37	A
Source to Drain Diode Voltage (Note 2)	V_{SD}	$T_J = 25^oC$, $I_{SD} = 9.2A$, $V_{GS} = 0V$ (Figure 13)	-	-	2.5	V
Reverse Recovery Time	t_{rr}	$T_J = 25^oC$, $I_{SD} = 9.2A$, $dI_{SD}/dt = 100A/\mu s$	5.5	100	240	ns
Reverse Recovered Charge	Q_{RR}	$T_J = 25^oC$, $I_{SD} = 9.2A$, $dI_{SD}/dt = 100A/\mu s$	0.17	0.5	1.1	µC

NOTES:

2. Pulse test: pulse width ≤ 300µs, duty cycle ≤ 2%.
3. Repetitive rating: pulse width limited by Max junction temperature. See Transient Thermal Impedance curve (Figure 3).
4. $V_{DD} = 25V$, starting $T_J = 25^oC$, L = 640mH, $R_G = 25\Omega$, peak $I_{AS} = 9.2A$.

Typical Performance Curves Unless Otherwise Specified

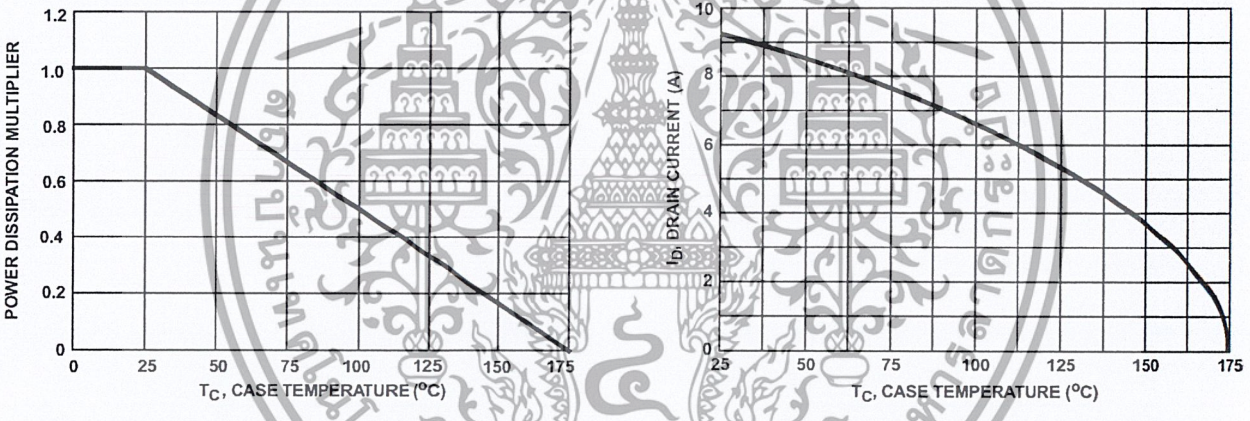


FIGURE 1. NORMALIZED POWER DISSIPATION vs CASE TEMPERATURE

FIGURE 2. MAXIMUM CONTINUOUS DRAIN CURRENT vs CASE TEMPERATURE

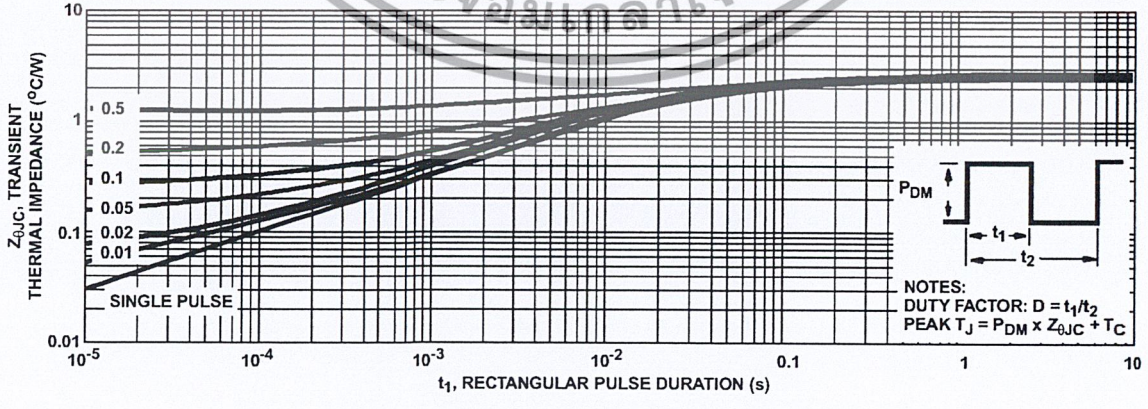


FIGURE 3. MAXIMUM TRANSIENT THERMAL IMPEDANCE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves Unless Otherwise Specified (Continued)

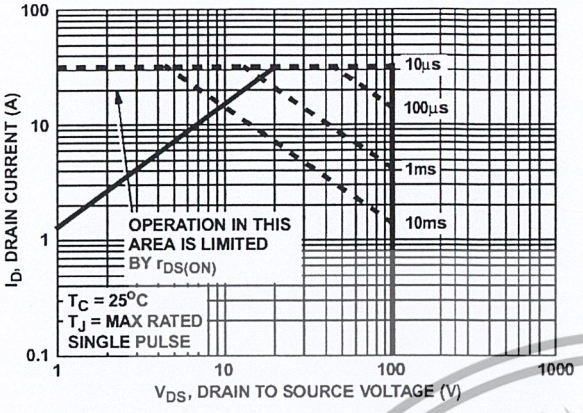


FIGURE 4. FORWARD BIAS SAFE OPERATING AREA

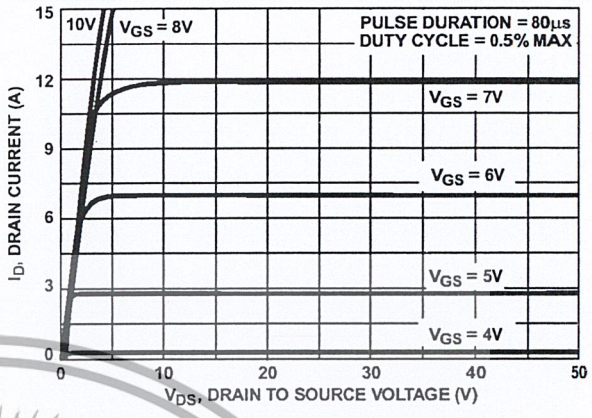


FIGURE 5. OUTPUT CHARACTERISTICS

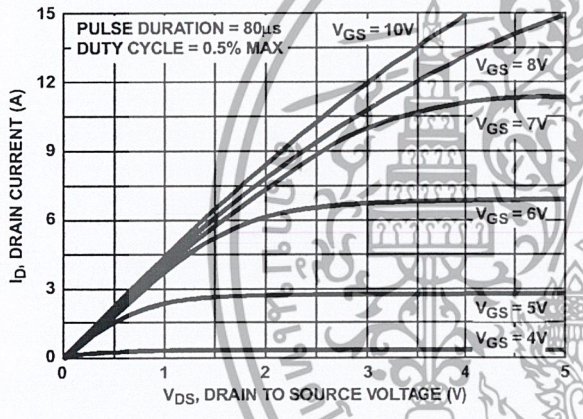


FIGURE 6. SATURATION CHARACTERISTICS

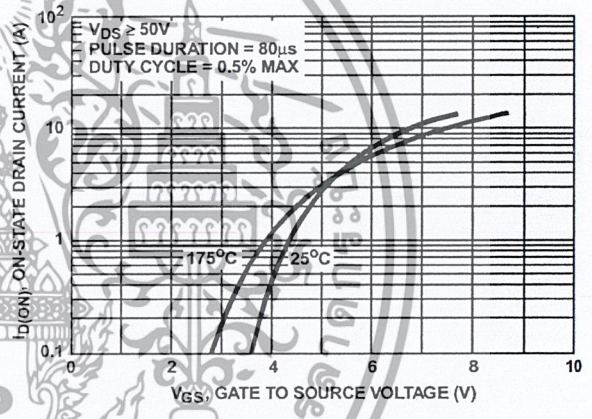


FIGURE 7. TRANSFER CHARACTERISTICS

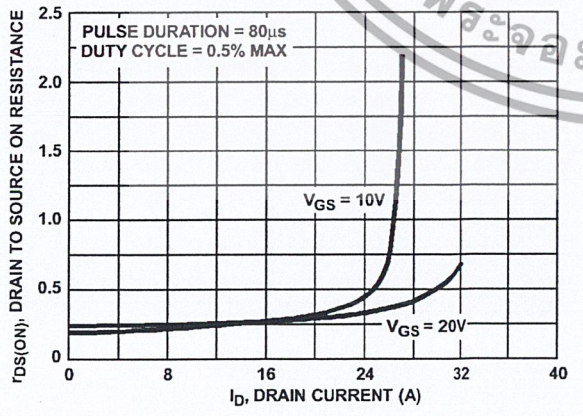


FIGURE 8. DRAIN TO SOURCE ON RESISTANCE vs GATE VOLTAGE AND DRAIN CURRENT

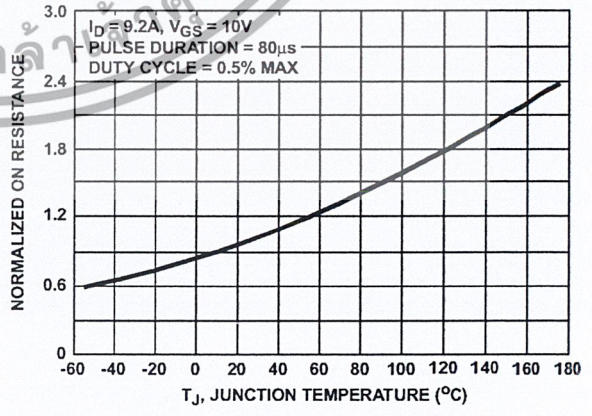


FIGURE 9. NORMALIZED DRAIN TO SOURCE ON RESISTANCE vs JUNCTION TEMPERATURE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves Unless Otherwise Specified (Continued)

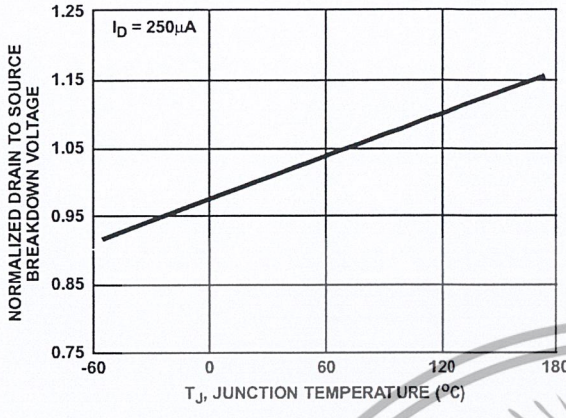


FIGURE 10. NORMALIZED DRAIN TO SOURCE BREAKDOWN VOLTAGE vs JUNCTION TEMPERATURE

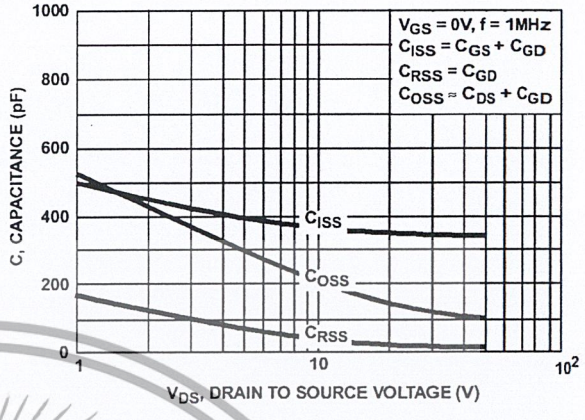


FIGURE 11. CAPACITANCE vs DRAIN TO SOURCE VOLTAGE

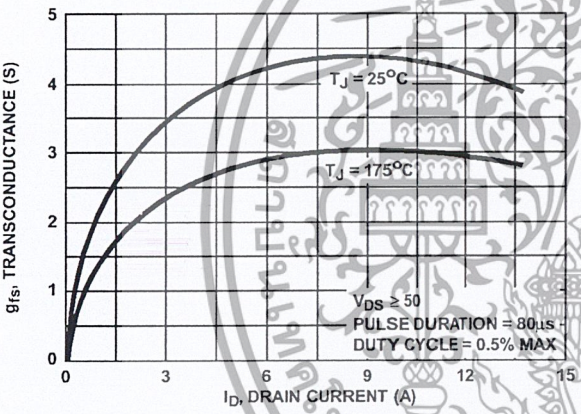


FIGURE 12. TRANSCONDUCTANCE vs DRAIN CURRENT

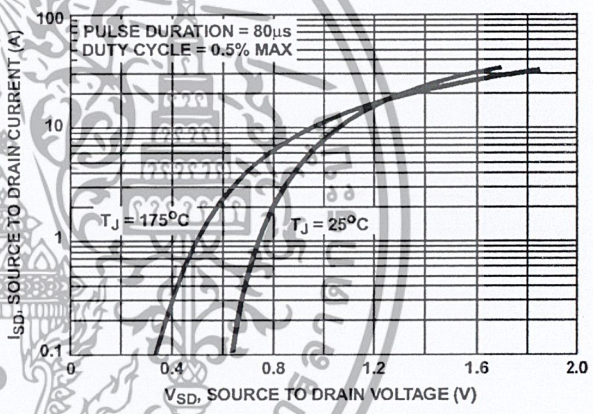


FIGURE 13. SOURCE TO DRAIN DIODE VOLTAGE

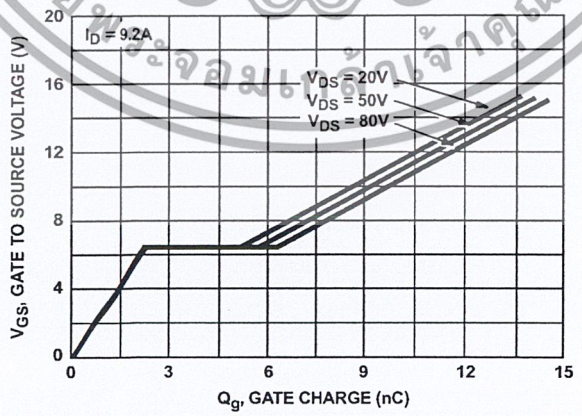


FIGURE 14. GATE TO SOURCE VOLTAGE vs GATE CHARGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits and Waveforms

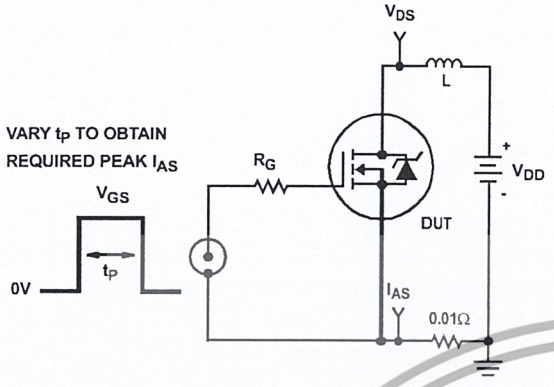


FIGURE 15. UNCLAMPED ENERGY TEST CIRCUIT

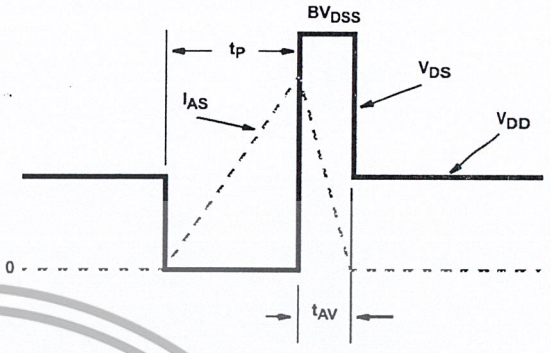


FIGURE 16. UNCLAMPED ENERGY WAVEFORMS

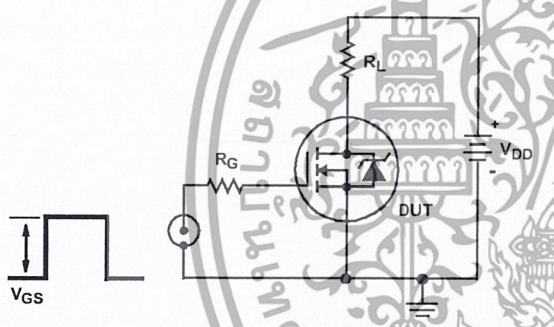


FIGURE 17. SWITCHING TIME TEST CIRCUIT

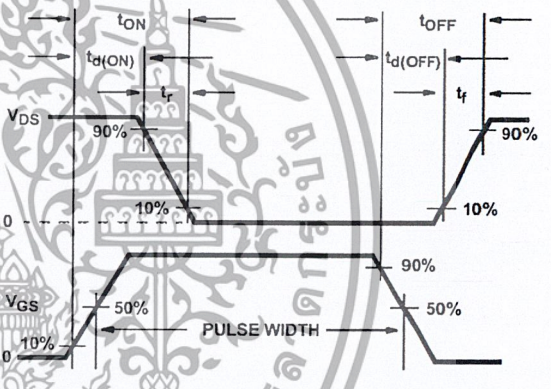


FIGURE 18. RESISTIVE SWITCHING WAVEFORMS

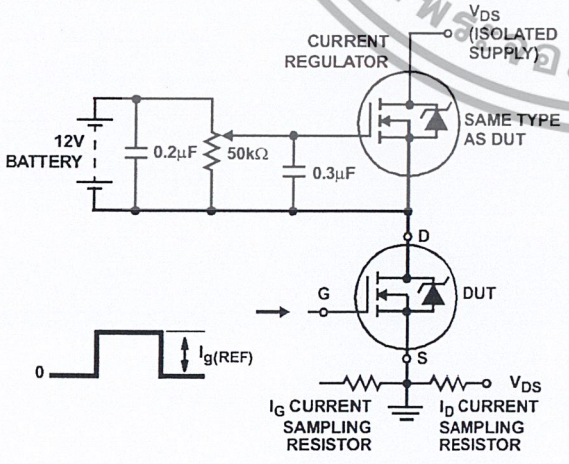


FIGURE 19. GATE CHARGE TEST CIRCUIT

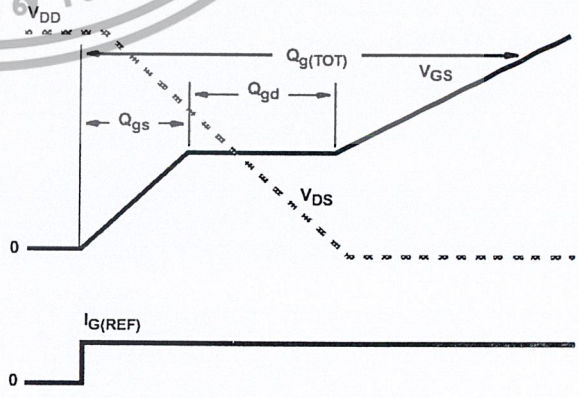


FIGURE 20. GATE CHARGE WAVEFORMS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

All Intersil semiconductor products are manufactured, assembled and tested under **ISO9000** quality systems certification.

Intersil semiconductor products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

For information regarding Intersil Corporation and its products, see web site **http://www.intersil.com**

Sales Office Headquarters

NORTH AMERICA
Intersil Corporation
P. O. Box 883, Mail Stop 53-204
Melbourne, FL 32902
TEL: (407) 724-7000
FAX: (407) 724-7240

EUROPE
Intersil SA
Mercure Center
100, Rue de la Fusee
1130 Brussels, Belgium
TEL: (32) 2.724.2111
FAX: (32) 2.724.22.05

ASIA
Intersil (Taiwan) Ltd.
7F-6, No. 101 Fu Hsing North Road
Taipei, Taiwan
Republic of China
TEL: (886) 2 2716 9310
FAX: (886) 2 2715 3029

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR TM

1N5820 - 1N5822

Features

- 3.0 ampere operation at T_A = 95°C with no thermal runaway.
- For use in low voltage, high frequency inverters free wheeling, and polarity protection applications.

DO-201AD
COLOR BAND DENOTES CATHODE

3.0 Ampere Schottky Barrier Rectifiers

Absolute Maximum Ratings*

T_A = 25°C unless otherwise noted

Symbol	Parameter	Value	Units
$I_{F(AV)}$	Average Rectified Current 3/8 " lead length @ T_A = 95°C	3.0	A
I_{FSM}	Non-repetitive Peak Forward Surge Current 8.3 ms single half-sine-wave Superimposed on rated load (JEDEC method)	80	A
P_D	Total Device Dissipation Derate above 25°C	3.6 36	W mW/°C
$R_{\theta JA}$	Thermal Resistance, Junction to Ambient	28	°C/W
T_{stg}	Storage Temperature Range	-65 to +125	°C
T_J	Operating Junction Temperature	-65 to +125	°C

*These ratings are limiting values above which the serviceability of any semiconductor device may be impaired.

Electrical Characteristics

T_A = 25°C unless otherwise noted

Symbol	Parameter		Device			Units
			1N5820	1N5821	1N5822	
V_{RRM}	Maximum Repetitive Reverse Voltage		20	30	40	V
V_{RMS}	Maximum RMS Voltage		14	21	28	V
V_R	DC Reverse Voltage (Rated V_R)		20	30	40	V
I_{RM}	Maximum Instantaneous Reverse Current @ rated V_R	T_A = 25°C T_A = 100°C	0.5 20			mA mA
V_{FM}	Maximum Instantaneous Forward Voltage @ 9.4 A	@ 3.0 A	475 850	500 900	525 950	mV mV
C	Typical Junction Capacitance V_R = 4.0 V, f = 1.0 MHz		190			pF

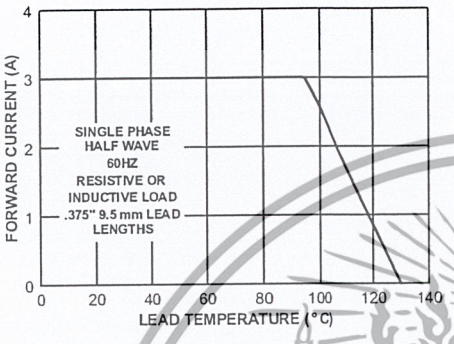
©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

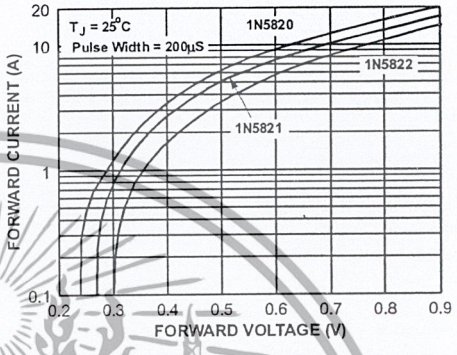
Schottky Barrier Rectifiers
(continued)

Typical Characteristics

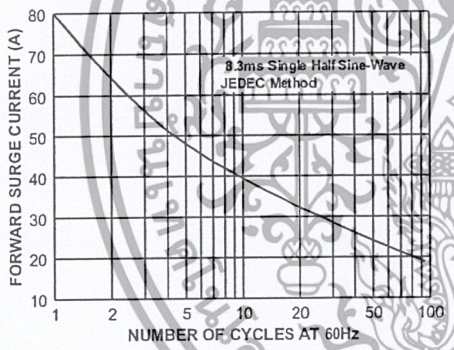
Forward Current Derating Curve



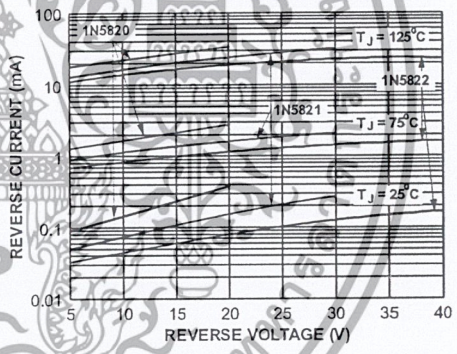
Forward Characteristics



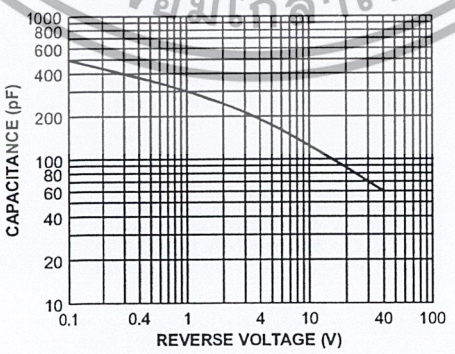
Non-Repetitive Surge Current



Reverse Characteristics



Junction Capacitance

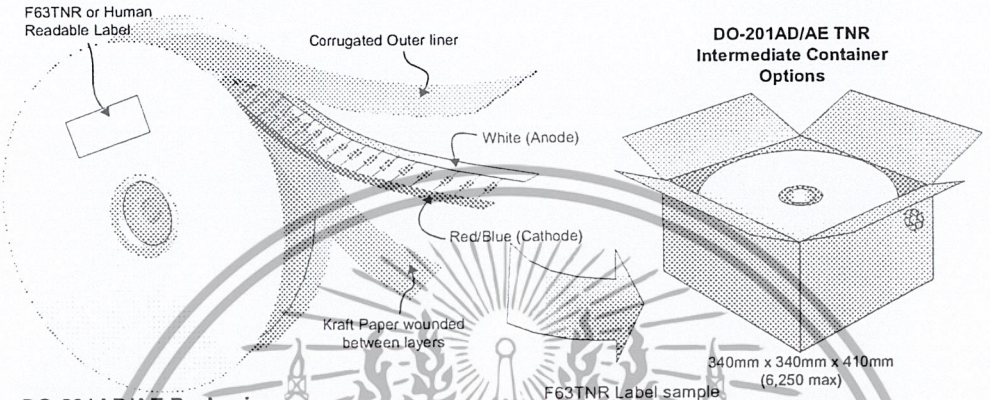


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DO-201AD/AE Tape and Reel Data

FAIRCHILD SEMICONDUCTOR TM

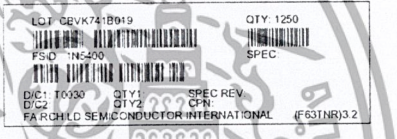
DO-201AD/AE Packaging Configuration: Figure 1.0



DO-201AD/AE Packaging Information Table : Figure 2.0

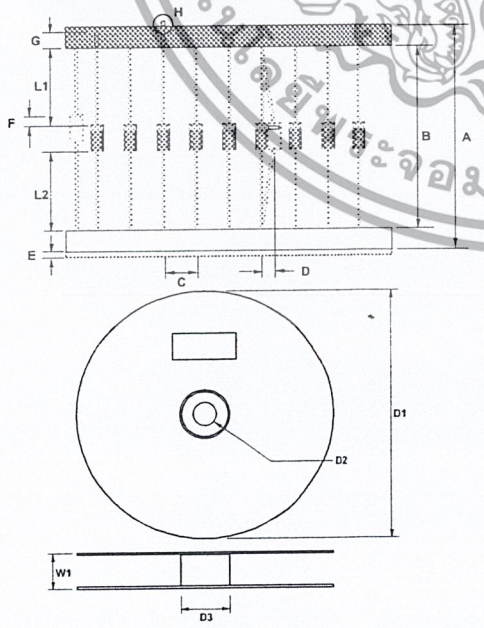
DO-201AD/AE Packaging Information	
Packaging Option	Under package code P3
Packaging type	TNR
Qty per Reel/Tube/Bag	1250
Reel Size (inch diameter)	13
Inside Tape Spacing (mm)	52
Int Box Dimension (mm)	340x340x410
Max qty per Box	6,250
Weight per unit (gm)	1.20 AD/1.10 AE
Weight per Reel (kg)	1.50 AD/1.20 AE
Note/Comments	

F63TNR Label sample



Human Readable Label sample

DO-201AD/AE Taping Dimension: Figure 5.0



TAPING DIMENSIONS

	INCH	MM	MILS	NOTES
A	2.520 +0.059/ -0.027	64.00 +1.69/ -0.69	2519 +66.5/ -27.0	Overall width
B	1.496 +0.059/ -0.039	38.00 +1.5 -1.0	1496 +59 -39	
C	2.047±0.027	52 ±0.69	2047±27	Inside Tape Spacing
D	0.200 ±0.0157	10.08 ±0.40	394 ±15.7	Component Pitch
E	0.047(max)	1.2(max)	47(max)	Component Misalignment
F	0.022(max)	0.55(max)	22(max)	Tape Mismatch
G	0.027(max)	±0.69	±27	Units in line w/ one another
H	0.126(min)	3.2(min)	126(min)	Lead amount between tapes
L1-L2	0	0	0	Lead amount beyond tapes
	±0.027	±0.69	±27	Delta between two leads

REEL DIMENSIONS

ITEM DESCRIPTION	SYMBOL	MINIMUM	MAXIMUM
Reel Diameter	D1	13.875	14.125
Arbor Hole Diameter (Standard)	D2	1.245	1.255
Core Diameter	D3	3.190	3.310
Flange to Flange Outer Width	W1		3.400

Note: All Dimensions are in inches

©2000 Fairchild Semiconductor International

August 2000, Rev. A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DO-201AD Package Dimensions

FAIRCHILD SEMICONDUCTOR™

DO-201AD (FS PKG Code P3)

©2000 Fairchild Semiconductor International

August 1999, Rev. A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRADEMARKS

The following are registered and unregistered trademarks Fairchild Semiconductor owns or is authorized to use and is not intended to be an exhaustive list of all such trademarks.

ACEx™
Bottomless™
CoolFET™
CROSSVOLT™
DOME™
E²CMOS™
EnSigna™
FACT™
FACT Quiet Series™
FAST ®
FASTr™
GlobalOptoisolator™
GTO™
HiSeC™
ISOPLANAR™
MICROWIRE™
OPTOLOGIC™
OPTOPLANAR™
PACMAN™
POP™
PowerTrench ®
QFET™
QS™
QT Optoelectronics™
Quiet Series™
SILENT SWITCHER ®
SMART START™
SuperSOT™-3
SuperSOT™-6
SuperSOT™-8
SyncFET™
TinyLogic™
UHC™
VCX™

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF FAIRCHILD SEMICONDUCTOR CORPORATION.
As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, or (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in significant injury to the user.

2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

PRODUCT STATUS DEFINITIONS

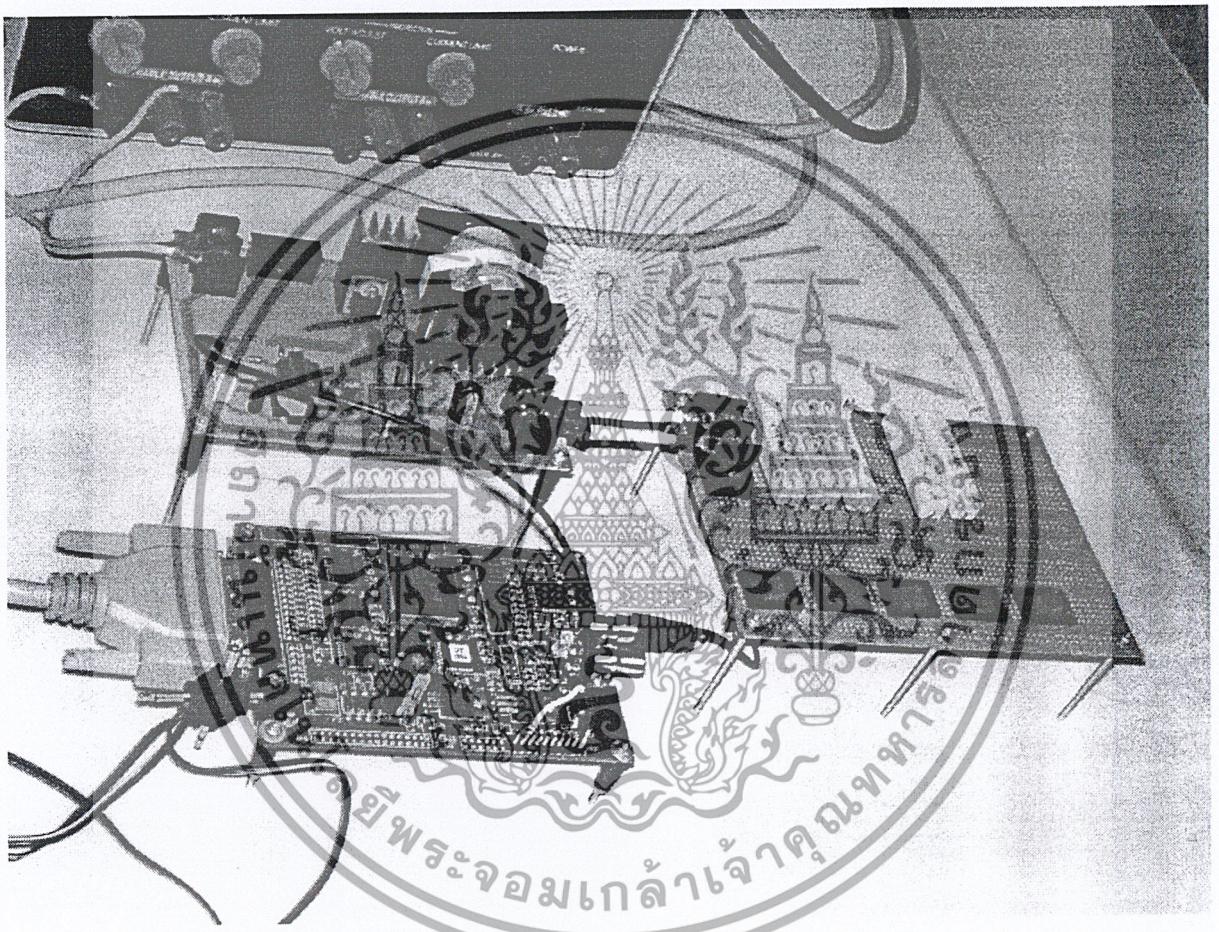
Definition of Terms

Datasheet Identification	Product Status	Definition
Advance Information	Formative or In Design	This datasheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	First Production	This datasheet contains preliminary data, and supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
No Identification Needed	Full Production	This datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
Obsolete	Not In Production	This datasheet contains specifications on a product that has been discontinued by Fairchild semiconductor. The datasheet is printed for reference information only.

Rev. G

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้