สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า

NETWORK ANALYZER

T045726

โดย

นางสาววันวิสาข์ จุมพิศ 42015276

นายสมบูรณ์ เพียรชนะ 42015286

เลขหมู่.....
เลขทะเบียน 45726
วัน, เดือน, ปี 13 ก.พ. 2546

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า

NETWORK ANALYZER

โดย

นางสาววันวิสาข์ จุมพิศ 42015276

นายสมบูรณ์ เพียรชนะ 42015286

อาจารย์ที่ปรึกษา

รศ. ดร.วันชัย ริ้วรุจา

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

b11975444

ปริญญานิพนธ์ปีการศึกษา 2544

ภาควิชาวิศวกรรมระบบควบคุม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า

NETWORK ANALYZER

ผู้จัดทำ

1. นางสาววันวิสาข์ จุมพิศ รหัส 42015276
2. นายสมบูรณ์ เพียรชนะ รหัส 42015286

.....อาจารย์ที่ปรึกษา

(รศ. ดร. วันชัย ริ้วรุจา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า

NETWORK ANALYZER

นางสาววันวิสาข์ จุมพิศ รหัส 42015276

นายสมบูรณ์ เพียรชนะ รหัส 42015286

โครงงานนี้ได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(รศ. ดร. วันชัย ริ้วรุจา)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า

นางสาววันวิสาข์ จุมพิศ
นายสมบูรณ์ เพียรชนะ
รศ. ดร.วันชัย ริ้วรุจา อาจารย์ที่ปรึกษา
ปีการศึกษา 2544

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นการออกแบบวงจร เพื่อการทดสอบคุณสมบัติผลตอบสนองทางความถี่ของระบบ โดยใช้ไมโครคอนโทรลเลอร์เป็นส่วนประมวลผล และควบคุมการทำงานของเครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า ซึ่งการวิเคราะห์นี้จะกระทำกับสัญญาณความถี่ทางด้านเอาท์พุทต่อสัญญาณความถี่ทางด้านอินพุท แล้วทำการหาค่าอัตราส่วนของขนาด และความต่างเฟสมาทำการวาดกราฟผลตอบสนองของระบบต่อความถี่ออกมา แล้วทำการพิจารณาผลการทดลองจากกราฟที่ได้ว่ามีการเปลี่ยนแปลงอย่างไร ซึ่งข้อมูลที่ได้สามารถนำมาวิเคราะห์คุณสมบัติของระบบได้ และการทดสอบนี้สามารถที่จะพัฒนาไปใช้กับระบบอื่นๆ ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NETWORK ANALYZER

Wanvisa Jumpit

Somboon Pieanshana

Assoc. Prof. Dr. Vanchai Rueruja Advisor

2001

Abstract

The purpose of this thesis is to present the network analyzer in frequency domain by using microcontroller. The proposed network analyzer calculate the ratio of amplitude and phase shift of output frequency versus input frequency. The results show graph of the transfer characterictics of network by the plot of magnitude and phase versus frequency. The proposed network analyzer can also adapt to use with other device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อ	I
Abstract	II
บทที่ 1 บทนำ	1
1.1 ความเป็นมาของโครงงาน	1
1.1.1 ประโยชน์ของการศึกษาวิธีตอบสนองทางความถี่	2
1.2 การพิจารณาวิธีตอบสนองทางความถี่	2
1.3 โบดไดอะแกรม	5
1.3.1 การพล็อตขนาดในหน่วยเดซิเบล(dB)	6
1.3.2 ส่วนประกอบพื้นฐานของค่า $G(j\omega)H(\omega)$	6
บทที่ 2 ทฤษฎีและหลักการ	10
2.1 หลักการทำงานเบื้องต้น	10
2.2 ส่วนกำเนิดสัญญาณความถี่	11
2.2.1 การทำงานของวงจรรวมเบอร์ XR 2206	11
2.3 ส่วนตรวจจับแรงดันยอด	13
2.4 ส่วนตรวจจับความต่างเฟส	15
2.4.1 วงจรเปลี่ยนสัญญาณไซน์เป็นสัญญาณสี่เหลี่ยม	15
2.4.2 วงจรตรวจจับความต่างเฟส	16
บทที่ 3 การคำนวณและการสร้างวงจรการทำงาน	19
3.1 วงจรกำเนิดสัญญาณความถี่	19
3.2 วงจรตรวจจับแรงดันยอด	21
3.3 วงจรที่ใช้ในการตรวจจับความต่างเฟส	22
3.3.1 วงจรเปลี่ยนสัญญาณไซน์เป็นสัญญาณสี่เหลี่ยม	22
3.3.2 วงจรตรวจจับความต่างเฟส	25
3.3.3 วิธีการตรวจจับความต่างเฟส	27
3.3.4 วงจรตรวจจับเฟสนำหน้าหรือล้าหลัง	29
3.4 ส่วนแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	31
3.5 ส่วนการใช้ไมโครคอนโทรลเลอร์ควบคุมรีเลย์	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

เรื่อง	หน้า
3.6 ส่วนประมวลผล	33
บทที่ 4 การทดลองและผลการทดลอง	35
4.1 การทดลองหาผลตอบสนองทางความถี่	35
4.1.1 ตัวอย่างความถี่ที่ใช้ในการกำหนดสัญญาณรูปคลื่นไซน์	35
4.1.2 ตัวอย่างสัญญาณรูปคลื่นไซน์	36
4.2 ผลการทดลองหาผลการตอบสนองทางความถี่	38
4.2.1 วงจรกรองความถี่ต่ำผ่านอันดับ 1	38
4.2.2 วงจรกรองความถี่สูงผ่านอันดับ 2	39
บทที่ 5 บทวิจารณ์และสรุป	40
5.1 สรุป	40
5.2 ปัญหาที่เกิดขึ้น	40
5.3 แนวทางการแก้ไขและพัฒนาต่อไป	42
ภาคผนวก ก (วงจร)	43
ภาคผนวก ข (โปรแกรม)	49
ภาคผนวก ค (ดาต้าชีท)	61
กิตติกรรมประกาศ	89
หนังสืออ้างอิง	90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตาราง	หน้า
ตารางที่ 3.1 แสดงตารางความจริงของ D Flip-Flop	30
ตารางที่ 4.1 แสดงค่าความถี่ที่กำเนิดจากวงจรกำเนิดสัญญาณความถี่	35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูป	หน้า
รูปที่ 1.1 ระบบเชิงเส้น	3
รูปที่ 2.1 แสดงผังการทำงานเบื้องต้น	10
รูปที่ 2.2 แสดงผังของส่วนกำเนิดสัญญาณความถี่	11
รูปที่ 2.3 แสดงผังการทำงานและขาต่างๆ ของวงจรรวมเบอร์ XR 2206	12
รูปที่ 2.4 แสดงผังการทำงานในส่วนวงจรตรวจจับแรงดันยอด	13
รูปที่ 2.5 แสดงวงจรตรวจจับแรงดันยอดชนิดบวก แล้วคงค่าแรงดันยอดนั้นไว้	14
รูปที่ 2.6 แสดงผังการทำงานของวงจรตรวจจับความต่างเฟส	15
รูปที่ 2.7 แสดงวงจรเปรียบเทียบแรงดัน	15
รูปที่ 2.8 ผังแสดงสถานะของวงจรตรวจจับความต่างเฟสแบบ 3 สถานะ	16
รูปที่ 2.9 แสดง Timing Digdram ของวงจรตรวจจับความต่างเฟสแบบ 3 สถานะ	17
รูปที่ 2.10 แสดงคุณสมบัติของวงจรตรวจจับความต่างเฟสแบบ 3 สถานะ	17
รูปที่ 2.11 แสดงวงจรตรวจจับความต่างเฟสแบบ 3 สถานะ	18
รูปที่ 3.1 แสดงผังของส่วนกำเนิดสัญญาณความถี่	19
รูปที่ 3.2 แสดงลักษณะการต่อวงจรรวมเบอร์ XR 2206 เพื่อใช้กำเนิดสัญญาณรูปคลื่นไซน์	20
รูปที่ 3.3 แสดงวงจร DAC ซึ่งเป็นตัวกำหนดค่ากระแสเพื่อใช้กำเนิดสัญญาณรูปคลื่นไซน์	20
รูปที่ 3.4 แสดงผังของวงจรตรวจจับแรงดันยอด	21
รูปที่ 3.5 แสดงวงจรที่ใช้ในการตรวจจับแรงดันยอด	22
รูปที่ 3.6 แสดงผังการทำงานของวงจรตรวจจับความต่างเฟส	22
รูปที่ 3.7 แสดงวงจรเปรียบเทียบแรงดันเบอร์ LM 311 ของบริษัทNational Semiconductor	23
รูปที่ 3.8 แสดงการไบอัสแรงดันเอาท์พุทของวงจรรวมเบอร์ LM 311	24
รูปที่ 3.9 แสดงวงจรที่ใช้ในการตรวจจับศูนย์	24
รูปที่ 3.10 แสดงวงจรตรวจจับความต่างเฟสแบบที่ 1	25
รูปที่ 3.11 แสดงวงจรตรวจจับความต่างเฟสแบบที่ 2	25
รูปที่ 3.12 ผังแสดงวงจรภายในของวงจรรวม CD 4046	26
รูปที่ 3.13 ผังแสดงสถานะการทำงานแบบ 3 สถานะ	26
รูปที่ 3.14 แสดงการทำงานของ Timer 2 ในโหมดแคปเจอร์	27
รูปที่ 3.15 แสดงการตรวจจับสัญญาณขอบขาลง	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูป	หน้า
รูปที่ 3.16 แสดงวงจรกรองความถี่ต่ำผ่าน	29
รูปที่ 3.17 แสดง D Flip-Flop	30
รูปที่ 3.18 แสดงเฟส A นำหน้าเฟส B	30
รูปที่ 3.19 แสดงเฟส A ล้าหลังเฟส B	30
รูปที่ 3.20 แสดงวงจรภายในของวงจรรวมเบอร์ 0809	31
รูปที่ 3.21 แสดงวงจรรวมแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลเบอร์ 0809	31
รูปที่ 3.22 แสดงชุดวงจรตัดต่อโดยใช้รีเลย์	32
รูปที่ 3.23 แสดงโปรแกรมการทำงาน	34
รูปที่ 4.1 แสดงรูปคลื่นสัญญาณไซน์ที่ความถี่ 370.4 Hz	36
รูปที่ 4.2 แสดงรูปคลื่นสัญญาณไซน์ที่ความถี่ 1.031 kHz	36
รูปที่ 4.3 แสดงรูปคลื่นสัญญาณไซน์ที่ความถี่ 9.524 kHz	37
รูปที่ 4.4 แสดงรูปคลื่นสัญญาณไซน์ที่ความถี่ 628.9 kHz	37
รูปที่ 4.5 แสดงวงจรกรองความถี่ต่ำผ่านอันดับ 1	38
รูปที่ 4.6 กราฟแสดงผลอัตราส่วนแรงดันเอาท์พุทต่อแรงดันอินพุทของวงจรกรองความถี่ต่ำผ่านอันดับ 1	38
รูปที่ 4.7 แสดงวงจรกรองความถี่สูงผ่านอันดับ 2	39
รูปที่ 4.6 กราฟแสดงผลอัตราส่วนแรงดันเอาท์พุทต่อแรงดันอินพุทของวงจรกรองความถี่สูงผ่านอันดับ 2	39
รูปที่ ก.1 แสดงวงจรกำเนิดสัญญาณรูปคลื่นไซน์	44
รูปที่ ก.2 แสดงวงจรตรวจจับแรงดันยอด	45
รูปที่ ก.3 แสดงวงจรตรวจจับความต่างเฟส	46
รูปที่ ก.4 แสดงวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	47
รูปที่ ก.5 แสดงวงจรกำเนิดสัญญาณนาฬิกา	48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การวิเคราะห์วงจร(Network Analysis) เป็นการวิเคราะห์ระบบ ซึ่งระบบแต่ละระบบจะมีคุณสมบัติแตกต่างกัน ในการวิเคราะห์ผลของระบบหรือวงจร สามารถทำได้หลายรูปแบบ โดยทั่วไปแล้วการวิเคราะห์ และวัดสมรรถนะของระบบหรือวงจร จะทำในโดเมนเวลา(Time Domain) แต่สำหรับระบบที่มีอันดับสูงๆ แล้ว การคำนวณจะยุ่งยากมาก บางครั้งเราจึงนิยมใช้วิธีทางกราฟในโดเมนความถี่(Frequency Domain) เพื่อวิเคราะห์ผลตอบสนองทางความถี่(Frequency Response) หรือวิเคราะห์ความแตกต่างระหว่างสัญญาณป้อนเข้าวงจรทดสอบ(Test Circuit) และสัญญาณภายหลังการทดสอบ เพื่อหาอัตราขยายและวิเคราะห์ผลของเฟสที่เลื่อนไป(Phase Shift) ซึ่งจะแสดงในรูปของโบดพล็อต(Bode Plot) , โพลาพล็อต(Polar Plot) และล็อกแมกนิจูดต่อเฟสพล็อต(Log Magnitude versus Phase Plot)

จากคุณสมบัติของ Network Analysis นี้เราสามารถนำไปใช้ในการวิเคราะห์หาคุณสมบัติต่างๆ ของระบบที่เราต้องการวิเคราะห์ได้ เมื่อเราทราบคุณสมบัติของระบบที่เราต้องการ เราก็สามารถที่จะควบคุม , แก้ไขระบบ หรือทำการชดเชยระบบเพื่อให้ระบบ หรือวงจรเป็นไปตามที่ต้องการ

1.1 ความเป็นมาของโครงงาน

การวิเคราะห์ และวัดสมรรถนะของระบบควบคุมโดยทั่วไปจะทำในโดเมนเวลา ซึ่งจะแบ่งเป็น 2 ส่วนคือ ผลตอบสนองชั่วขณะ(Transient Response) และผลตอบสนองที่สถานะคงตัว(Steady State Response) โดยจะต้องทราบรูปจำลองทางคณิตศาสตร์ และทรานเฟอร์ฟังก์ชั่น(Transfer Function) ของระบบ ซึ่งถ้าทราบลักษณะของสัญญาณอินพุท(input signal) ก็จะสามารถหาสัญญาณทางเอาท์พุท(output signal) ของระบบได้ โดยวิธีการลาปาซทรานส์ฟอร์มผกผัน(inverse laplace) หรือคอนโวลูชั่น(convolution) ในกรณีที่ไม่สามารถหาสมการลาปาซ(laplace) ของสัญญาณอินพุทได้ แต่สำหรับระบบควบคุมที่มีอันดับสูงๆ หรือไม่สามารถหาสมการลาปาซของระบบได้ จะทำให้ไม่สามารถหาผลตอบสนองเชิงเวลาของระบบได้โดยง่าย จึงนิยมใช้วิธีการทางโดเมนความถี่ ซึ่งก็คือการตอบสนองของระบบที่สถานะคงตัวต่อสัญญาณอินพุทที่เป็นสัญญาณไซน์(sinusoidal)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การตอบสนองทางความถี่(Frequency Response) หมายถึง ผลตอบสนองที่สถานะคงตัวของระบบต่ออินพุทที่เป็นสัญญาณไซน์ โดยการศึกษาผลตอบสนองความถี่นี้ เราจะทำการปรับค่าความถี่ของสัญญาณอินพุทในช่วงหนึ่งๆ แล้วศึกษาผลตอบสนองของระบบช่วงหนึ่งต่อความถี่นั้นๆ

1.1.1 ประโยชน์ของการศึกษาวิธีการตอบสนองทางความถี่

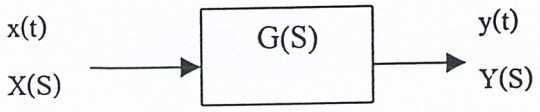
1. ในการตรวจสอบเสถียรภาพของระบบ ไม่จำเป็นต้องดูตำแหน่งโพล(ploe) ของระบบปิด(Closed-Loop Pole) หรือแก้สมการเพื่อหารากของสมการคุณลักษณะ (Characteristic equation)
2. สามารถตรวจสอบทางความถี่ของระบบได้ง่ายและถูกต้อง โดยการให้อินพุทเป็นสัญญาณไซน์จากเครื่องกำเนิดสัญญาณ(Signal Generator) แล้วตรวจวัดผลตอบสนองเชิงความถี่ได้
3. การหาทรานเฟอร์ฟังก์ชั่นของอุปกรณ์บางชนิดที่ซับซ้อน มักจะใช้วิธีการตรวจสอบโดยใช้ผลตอบสนองทางความถี่
4. วิธีตอบสนองทางความถี่สามารถใช้วิเคราะห์ฟังก์ชั่นที่ไม่ได้อยู่ในรูปอัตราส่วน เช่น ระบบจำพวกทรานพอร์ทแลก(Transport Lag) เป็นต้น
5. วิธีตอบสนองความถี่สามารถใช้กับระบบ(Plant) ที่มีลักษณะไม่แน่นอน (Uncertainly)
6. การออกแบบและวิเคราะห์ทางการตอบสนองทางความถี่สามารถใช้กับระบบที่ไม่เป็นเชิงเส้น(Non-Linear)ได้
7. สัญญาณไซน์ง่ายต่อการสร้าง

1.2 การพิจารณาวิธีการตอบสนองทางความถี่

คุณลักษณะการตอบสนองทางความถี่ของระบบ สามารถหาได้โดยการหาจากการทรานเฟอร์ฟังก์ชั่นของสัญญาณไซน์ ซึ่งเป็นการหาทรานเฟอร์ฟังก์ชั่นที่เราแทนค่า S ด้วย $j\omega$ โดย ω คือ ความถี่

การพิจารณาระบบเชิงเส้นที่เวลาเดียวกัน(Stable Linear Time-Invariant) ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 ระบบเชิงเส้น

เมื่อ x(t) เป็นสัญญาณแบบไซน์ เราจะได้สัญญาณเอาท์พุท y(t) ที่สถานะคงตัวเป็นสัญญาณแบบไซน์ด้วย และเป็นสัญญาณไซน์ที่มีความถี่เท่ากัน แต่อาจมีขนาด(Amplitude) และมุม(Phase) ต่างกัน

กำหนดให้สัญญาณอินพุทเป็น $x(t) = X\sin\omega t$ และให้ทรานเฟอร์ฟังก์ชั่นของระบบมีค่า G(S) ซึ่งเราสามารถทำให้อยู่ในรูปอัตราส่วนของโพลิโนเมียล(polynomial) เทอม S ได้ดังนี้

$$G(s) = \frac{P(s)}{Q(s)} = \frac{P(s)}{(s+s)(s+s)\ldots(s+s_n)}$$

และเราจะได้ค่าเอาท์พุทดังนี้

$$Y(s) = G(s)X(s) = \frac{P(s)}{Q(s)}X(s)$$

ผลตอบสนองที่สถานะคงตัวของสัญญาณอินพุท x(t) ซึ่งเป็นสัญญาณแบบไซน์จะไม่ขึ้นกับค่าสถานะเริ่มต้น(Initial Conditions) ในที่นี้เรากำหนดให้สถานะเริ่มต้นเป็นศูนย์ ดังนั้น

$$Y(s) = G(s)X(s) = G(s)\frac{\omega X}{s + \omega}$$

เมื่อ a และ b_i ,(i=1,2,…,n) เป็นค่าคงที่

$\bar{a}$ เป็นจำนวนเชิงซ้อน(complex conjugate) ของ a

และจะได้ลาปาซทรานส์ฟอร์มผกผันเป็น

$$y(t) = ae^{-j\omega t} + \bar{a}e^{-j\omega t} + b\,e^{-s\,t} + b\,e^{-s\,t} + \ldots + b_n e^{-s_n t} \quad (t \geq \ )$$

สำหรับระบบเสถียรจะได้ $-S_1, -S_2, \ldots, -S_n$ มีส่วนจริงเป็นลบ ดังนั้นจะมีค่าเข้าใกล้ศูนย์เมื่อ t เข้าสู่ค่าอนันต์ และที่สถานะคงตัวจะได้ค่าผลตอบสนองเอาท์พุท คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$y_{ss}(t) = ae^{-j\omega t} + \bar{a}e^{j\omega t}$$

ซึ่งค่าคงที่ a และ $\bar{a}$ หาได้โดยใช้ทฤษฎีเรซิดิว(Residuce)

$$a = G(s)\frac{\omega X}{s+\omega}(s + j\omega) = \frac{XG(-j\omega)}{-j}$$

$$\bar{a} = G(s)\frac{\omega X}{s+\omega}(s - j\omega) = \frac{XG(j\omega)}{j}$$

ค่าของ G(jω) สามารถเขียนให้อยู่ในรูป

$$G(j\omega) = |G(j\omega)|e^{j\phi}$$

โดย $|G(j\omega)|$ คือ ขนาดของ G(jω)

ϕ คือ มุมของ G(jω)

และ

$$\phi = \tan^{-1}\left[\frac{\{G(j\omega)\}}{\{G(j\omega)\}}\right]$$

ในทำนองเดียวกันเราหาค่า G(-jω) ได้จาก

$$G(-j\omega) = |G(-j\omega)|e^{-j\phi} = |G(j\omega)|e^{-j\phi}$$

แทนค่าของ a , $\bar{a}$, G(jω) , และ G(-jω) จะได้

$$y_{ss}(t) = X|G(j\omega)|\frac{e^{j(\omega t+\phi)} - e^{-j(\omega t+\phi)}}{j} = X|G(j\omega)| \quad (\omega t+\phi) = Y \quad (\omega t+\phi)$$

โดยที่ Y = X $|G(j\omega)|$

ระบบที่เป็นแบบเชิงเส้นคงตัวนี้ เมื่อได้รับสัญญาณอินพุทแบบสัญญาณไซน์ จะให้สัญญาณเอาท์พุทแบบสัญญาณไซน์ที่มีความถี่เดียวกัน แต่ขนาดและมุมอาจต่างออกไป โดยค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดของสัญญาณเอาท์พุทจะเท่ากับค่าขนาดสัญญาณอินพุทคูณด้วยขนาดของ G(jω) และค่ามุม ϕ จะเท่ากับมุมของ G(jω) และเราจะนิยามค่าทรานเฟอร์ฟังก์ชั่นของสัญญาณไซน์ ดังนี้

$$\frac{Y(j\omega)}{X(j\omega)} = G(j\omega)$$

โดยที่

$$|G(j\omega)| = \frac{|Y(j\omega)|}{|X(j\omega)|}$$

และมุมของ G(jω) จะเท่ากับมุมของ

$$\frac{Y(j\omega)}{X(j\omega)}$$

ถ้ามุมเป็น "บวก" เรียกว่า เฟสลีด(Phase Lead)

ถ้ามุมเป็น "ลบ" เรียกว่า เฟสแลก(Phase Lag)

การแทนค่าผลตอบสนองทางความถี่ของระบบที่มีทรานเฟอร์ฟังก์ชั่นอยู่ในรูปของสัญญาณไซน์ ที่เป็นฟังก์ชั่นเชิงซ้อนของความถี่ จะสามารถแทนในรูปของขนาด และมุมที่ขึ้นกับความถี่

วิธีการแทนทรานเฟอร์ฟังก์ชั่นสัญญาณไซน์มี 3 วิธี คือ

1. โบดไดอะแกรม(Bode Diagram)
2. โพลาพล็อต(Polar Plot)
3. ล็อกแมกนิจูดต่อเฟสพล็อต(Log-Magnitude VS Phase Plot)

โดยการแทนผลตอบสนองความถี่ที่เราสนใจ คือ โบดพล็อต

1.3 โบดไดอะแกรม

โบดไดอะแกรมจะประกอบด้วยกราฟ 2 ส่วน ซึ่งพล็อต(Plot) ลงบนกราฟล็อกการิทึม (Logarithmic) ได้แก่

1. กราฟล็อกการิทึมของขนาดของทรานเฟอร์ฟังก์ชั่นสัญญาณไซน์
2. กราฟของมุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3.1 การพล็อตขนาดในหน่วยเดซิเบล(dB)

รูปแบบมาตรฐานของการแทนค่าล็อกแมกนิจูดของ $G(j\omega)$ คือ $20\log|G(j\omega)|$ ซึ่งมีหน่วยเท่ากับเดซิเบล โดยการเขียนโบดไดอะแกรมนี้จะเขียนลงบนกระดาษกราฟเซมิล็อก(semi-log) ซึ่งมีฐานของล็อก(logarithm) เท่ากับสิบ และค่ามุมซึ่งพล็อตคู่กับขนาดนี้มีหน่วยเป็นดีกรี (Degree)

ประโยชน์ของการใช้สเกลล็อกการิทึม(Scale Logarithm) ในการพล็อตโบดไดอะแกรมคือ ล็อกของผลคูณของขนาดจะเท่ากับผลบวกของค่าล็อกแมดนิจูดในแต่ละเทอม ดังนั้นเราจึงได้ว่าการคูณกันของขนาดนั้นเมื่อแปลงเป็นขนาดของล็อกแล้วจะกลายเป็นผลบวกแทน

นอกจากนี้ การแทนด้วยล็อกการิทึมยังให้ประโยชน์ในการแสดงคุณลักษณะของทรานเฟอร์ฟังก์ชั่นที่ความถี่ต่ำ และความถี่สูงไว้ในรูปเดียวกันได้ (แต่ไม่สามารถแสดงผลตอบสนองทางความถี่ที่ความถี่ศูนย์ได้)

1.3.2 ส่วนประกอบพื้นฐานของค่า $G(j\omega)H(j\omega)$

ส่วนประกอบของกราฟ(Grape) ที่เรามักจะพบในทรานเฟอร์ฟังก์ชั่นสัญญาณไซน์ของ $G(j\omega)H(j\omega)$ ได้แก่

1. ขนาดของค่า K (Gain K)
2. ส่วนประกอบของการอินทิกรัลและการเดริเวทีฟ(Integral & Derivative Factor $(j\omega)^{\pm 1}$)
3. ตัวแปรอันดับหนึ่งของ $(1+j\omega T)$(First Order Factor $(1+j\omega T)^{6_1}$)
4. ตัวแปรควอทดราทิก (Quadratic Factor $\{1 + 2\zeta(j\omega/\omega_n) + (j\omega/\omega_n)^2\}^{6_1}$)

การหาโบดพล็อต สามารถทำได้โดยการพล็อตรูปกราฟของตัวแปรแต่ละตัวแปรที่อยู่ในสมการทรานเฟอร์ฟังก์ชั่นแยกกัน หลังจากนั้นจึงหากราฟรวมโดยนำค่าล็อกแมกนิจูดที่ได้จากแต่ละตัวแปรนั้นมาบวกกันบนกราฟล็อก

<u>ขนาดของค่า K</u> คือค่าคงที่ที่คูณอยู่ในทรานเฟอร์ฟังก์ชั่นในกรณีที่ขนาดมีค่ามากกว่า 1 จะได้ค่าเดซิเบลเป็นบวก และในกรณีที่ขนาดมีค่าน้อยกว่า 1 จะได้ค่าเดซิเบลเป็นลบ

รูปกราฟในโบดไดอะแกรมในส่วนตัวแปร K นี้จะได้เป็นเส้นตรงขนานกับแกนนอนที่มีขนาดเท่ากับ $20\log K$ dB และมีกราฟของมุมเป็นศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนประกอบของการอินทิกรัลและการเดริเวทีฟ

- ในกรณีของตัวแปรอินทิกรัล

  ขนาดของ $1/j\omega$ ในกราฟของล็อกแมกนิจูดคือ

$$20 \log \left| \frac{1}{j\omega} \right| = -20 \log \omega$$

  และมีค่ามุมเป็น

$$\phi = -90^\circ \quad \text{(คงที่)}$$

  ลักษณะของรูปกราฟล็อกแมกนิจูดจะเป็นเส้นตรงที่มีความชันเท่ากับ –20 dB/decade

- ในกรณีของตัวแปรเดริเวทีฟ

  ขนาดของ $j\omega$ ในกราฟล็อกแมกนิจูดจะเป็น

$$20 \log |j\omega| = 20 \log \omega$$

  และมีค่ามุมเป็น

$$\phi = 90^\circ \quad \text{(คงที่)}$$

  ลักษณะรูปกราฟจะเป็นเส้นตรงที่มีความชันคงที่ 20 dB/decade ผ่านจุด 0 dB ที่ $\omega = 1$

ตัวแปรอันดับหนึ่งของ $(1+j\omega T)^{+-1}$

- สำหรับพจน์ $1/(1+j\omega)$

  จะได้ค่าล็อกแมกนิจูดเป็น

$$20 \log \left| \frac{1}{1 + j\omega T} \right| = -20 \log \sqrt{1 + \omega^2 T^2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กรณีความถี่ต่ำ คือ $\omega << 1/T$ จะสามารถประมาณกราฟล็อกแมกนิจูดนี้ได้เป็น

$$-20 \log \sqrt{1 + \omega^2 T^2} \cong -20 \log 1 = 0$$

- กรณีความถี่สูง คือ $\omega >> 1/T$ จะได้

$$-20 \log \sqrt{1 + \omega^2 T^2} \cong -20 \log \omega T$$

ซึ่งเป็นกราฟเส้นตรงที่มีความชันเท่ากับ –20 dB/decade โดยเริ่มจากความถี่เชิงมุมที่ $\omega = 1/T$

เราจึงได้ข้อสรุปการแทนผลตอบสนองทางความถี่ของเทอม $1/(1+j\omega T)$ นี้โดยการประมาณผลตอบสนองด้วยเส้นตรงสองเส้น คือ

1. เส้นตรงที่ศูนย์เดซิเบล สำหรับความถี่ในช่วง $0 < \omega < 1/T$
2. เส้นตรงที่มีความชันเท่ากับ –20 dB/decade ในช่วงความถี่ $1/T < \omega < \infty$

เส้นตรงทั้งสองเส้นนี้ ทำหน้าที่เป็นเส้นสัมผัสโดยเส้นกราฟที่แท้จริงจะมีค่าต่ำกว่าเส้นสัมผัสที่ความถี่เชิงมุม $\omega = 1/T$ เท่ากับ 3 dB ซึ่งมาจาก

$$-20 \log \sqrt{1 + 1} + 20 \log 1 = -10 \log 2 = -3.03$$

มุมของตัวแปร $1/(1+j\omega)$ จะมีค่าเป็น

$$\phi = -\tan^{-1} \omega T$$

ที่ $\omega = 0$ จะมี $\phi = 0$ องศา

ที่ $\omega = 1/T$ จะมี $\phi = -\tan^{-1} 1 = -45$ องศา

ที่ $\omega = \infty$ จะมี $\phi = -\tan^{-1} \infty = -90$ องศา

และในทำนองเดียวกัน การหารูปกราฟของตัวแปร $1 + j\omega T$ ก็สามารถทำได้โดยการเปลี่ยนเครื่องหมายในกราฟล็อกแมกนิจูดและมุม ดังนี้

$$20 \log |1 + j\omega T| = -20 \log \left| \frac{1}{1 + j\omega T} \right|$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ

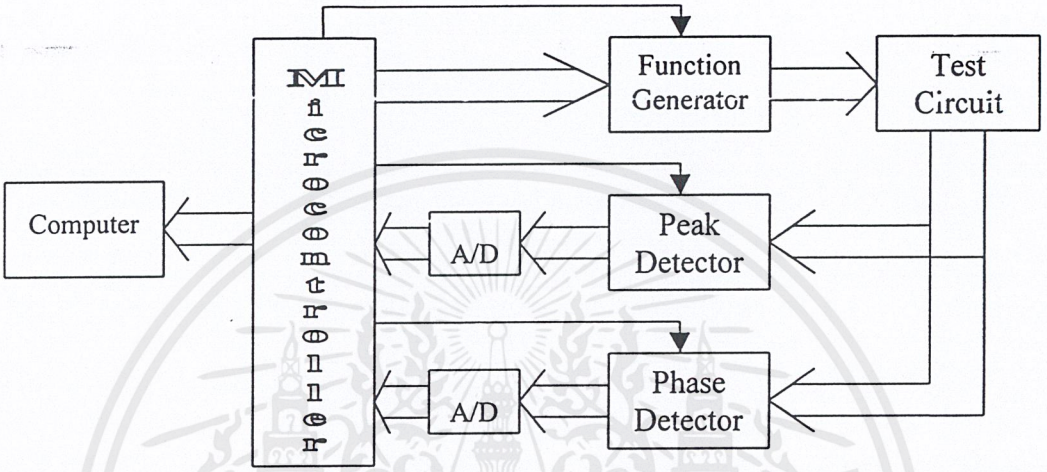
$$\phi = \angle(1 + j\omega T) = \tan^{-1} \omega T = \angle - \left(\frac{1}{1 + j\omega T} \right)$$

ความถี่เชิงมุมจะมีค่าเท่ากับ 1/T เช่นกัน แต่ความชันของเส้นสัมผัสด้านความถี่สูงจะเป็น 20 dB/decade แทนและมีมุมแปรค่าจากศูนย์องศาถึงเก้าสิบองศา เมื่อ ω เป็นศูนย์ถึงอินฟินิตี้(infinity)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 หลักการทำงานเบื้องต้น



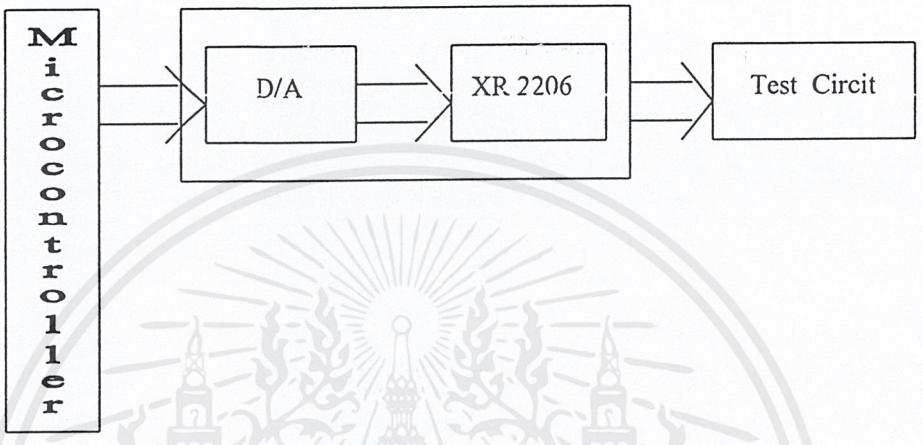
รูปที่ 2.1 แสดงผังการทำงานเบื้องต้น

จากรูปเมื่อระบบเริ่มทำงาน ไมโครคอนโทรลเลอร์(Microcontroller) จะทำการเคลียร์(Clear) ค่าต่างๆ ภายในระบบก่อน แล้วจึงทำการส่งค่าความถี่เริ่มแรกไปให้วงจรกำเนิดสัญญาณความถี่รูปคลื่นไซน์ในรูปของสัญญาณแบบบิต(Bit) โดยวงจรกำเนิดสัญญาณความถี่จะทำการกำเนิดความถี่ออกมาตามค่าของบิตที่ส่งมาจากไมโครคอนโทรลเลอร์ แล้วนำค่าสัญญาณความถี่ที่ได้ป้อนให้แก่ระบบที่จะทำการทดสอบ(Test Circuit) หลังจากนั้นจะทำการตรวจจับความต่างเฟสและตรวจวัดขนาดทางด้านอินพุท และเอาท์พุทของระบบที่ทดสอบ ด้วยวงจรตรวจจับความต่างเฟส(Phase Detector) และวงจรตรวจวัดแรงดันยอด(Peak Detector) ค่าที่ได้จากทั้งวงจรตรวจจับความต่างเฟสและวงจรตรวจวัดแรงดันยอดจะถูกแปลงเป็นสัญญาณดิจิตอล(Digital) เพื่อนำไปเข้าไมโครคอนโทรลเลอร์อีกที แล้วไมโครคอนโทรลเลอร์จะประมวลผลตามโปรแกรมที่ได้เขียนไว้และนำค่าที่ประมวลผลแล้วไปเก็บไว้ในหน่วยความจำก่อน หลังจากนั้นไมโครคอนโทรลเลอร์จะทำการเคลียร์ค่าให้มีค่าเป็นศูนย์ เพื่อทำการกำหนดค่าความถี่ใหม่ที่เพิ่มจากค่าเดิมส่งให้แก่วงจรกำเนิดสัญญาณความถี่ เพื่อกำเนิดความถี่แล้วป้อนให้แก่วงจรที่ต้องการทดสอบอีกครั้ง ซึ่งขบวนการทำงานจะเหมือนเดิม และจะทำงานลักษณะนี้ไปจนกว่าจะได้ค่าครบตามความถี่ที่กำหนดไว้ คือ ตั้งแต่ 1 เฮิร์ท(Hertz) ถึง 1 เมกกะเฮิร์ท เมื่อทำการประมวลผลครบแล้ว ค่าที่ถูกเก็บไว้ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำจะถูกนำออกไปแสดงผลทางหน้าจอมอนิเตอร์(Monitor) ของคอมพิวเตอร์ (Computer)

2.2 ส่วนกำเนิดสัญญาณความถี่(Function Generator)



รูปที่ 2.2 แสดงผังของส่วนกำเนิดสัญญาณความถี่

ส่วนกำเนิดสัญญาณความถี่นี้ใช้วงจรรวม XR 2206เป็นตัวกำเนิดสัญญาณความถี่ออกมา โดยวงจรรวมเบอร์ XR 2206 นี้เป็นโมโนลิคทิกฟังก์ชันเจอเนอเรเตอร์ มีความสามารถในการผลิตคลื่นรูปไซน์ , รูปคลื่นสี่เหลี่ยม,รูปคลื่นสามเหลี่ยมได้ โดยที่มีความถี่ตั้งแต่ 0.1 เฮิร์ท ไปจนถึง 1 เมกกะเฮิร์ท ซึ่งต้องต่อกับวงจรภายนอกอีกนิดหน่อย นอกจากนี้ยังสามารถนำวงจรรวมเบอร์ XR 2206 มาควบคุมขนาด และความถี่ และการเลื่อนเฟสได้

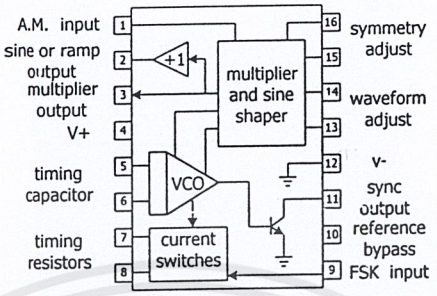
วงจรรวมเบอร์ XR 2206 สามารถที่จะใช้ไฟเลี้ยงตัวเดียวคือ ในช่วง 10 ถึง 26 โวลท์ (Voltage)ได้ หรืออาจจะใช้ไฟเลี้ยงคู่ได้ในช่วง 5 ถึง 13 โวลท์ ขณะที่ต้องผลิตสัญญาณคลื่นไซน์นั้น ค่า T.H.D. ของสัญญาณนั้นมีค่า 2.5 % เมื่อยังไม่มีการปรับแต่ง แต่ก็สามารถปรับให้เหลือเพียง 0.5 % ได้ โดยการควบคุมของวงจรที่นำมาต่อร่วม โดยที่สัญญาณเอาท์พุทรูปคลื่นไซน์นี้จะมีขนาดสูงสุด 2 โวลท์ และมีเอาท์พุทอิมพีแดนซ์(Output impedance) เท่ากับ 600 โอห์ม(ohm)

2.2.1 การทำงานของวงจรรวมเบอร์ XR 2206

รูปที่ 2.3 แสดงผังการทำงานแต่ละส่วนของวงจรรวมเบอร์ XR 2206 ซึ่งเป็นแพคเกจ(Package) ขนาด 16 ขา หัวใจสำคัญของส่วนนี้คือ ส่วนแรงดันควบคุมความถี่ (Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Control Oscillator) ซึ่งจากรูปจะเห็นว่ามีตัวเก็บประจุจัดเวลา(Timing Capacitor) ซึ่งมีค่าได้ในช่วง 1000pF ถึง 100uF ต่อที่ขา 5 และ 6 ซึ่งเป็นอินพุทของส่วนแรงดันควบคุมความถี่



รูปที่ 2.3 แสดงผังการทำงานและขาต่างๆ ของวงจรรวมเบอร์ XR 2206

สำหรับตัวต้านทานจัดเวลา(Timing Resistor) นั้นจะต่อกับขา 12 และขา 7 หรือขา 8 ซึ่งจะมีค่าระหว่าง 1 kΩ ถึง 2 MΩ ค่าของตัวต้านทานจัดเวลาและตัวเก็บประจุจัดเวลานั้นจะมีผลต่อความถี่ในการออสซิเลทซึ่งจะมีค่าเท่ากับ

$$f_o = \frac{1}{RC}$$

จะเห็นว่าเราสามารถที่จะเปลี่ยนค่า R หรือ C เพื่อให้ความถี่เปลี่ยนแปลงได้ แต่เพื่อที่จะให้เกิดการคงตัวของอุณหภูมิ(Temperature Stability) และความเพี้ยนของสัญญาณไซน์น้อยที่สุด ควรจะให้ค่าของตัวต้านทานจัดเวลามีค่าอยู่ระหว่าง 4 kΩ ถึง 200 kΩ

ในการเลือกตัวต้านทานจัดเวลาว่าจะต่อกับขา 7 หรือขา 8 นั้น เราพิจารณาโดยดูว่ามีการป้อนสัญญาณที่ขา FSK INPUT หรือไม่ ถ้าขา FSK INPUT นั้นเปิดวงจร หรือต่อกับสัญญาณแรงดันขนาดมากกว่า 2 โวลท์ จะต่อตัวต้านทานเข้าที่ขา 7 ในทางกลับกัน ถ้าขา FSK INPUT นี้ต่อกับแรงดันไฟฟ้าต่ำกว่า 1 โวลท์ ขา 8 จะต้องต่อตัวต้านทานด้วย

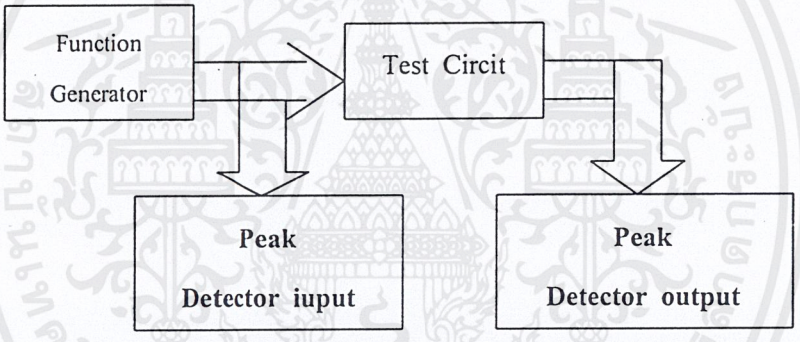
ส่วนของออสซิเลเตอร์นั้น ผลิตรูปคลื่นได้ 2 ชนิดคือ รูปคลื่นสามเหลี่ยม ซึ่งจะป้อนไปที่ส่วนคูณสัญญาณและแต่งสัญญาณเป็นรูปไซน์ (Multiplier and sine shaper block) อีกทีหนึ่ง และรูปคลื่นสี่เหลี่ยมซึ่งจะป้อนออกที่ขาเอาท์พุทที่ขา 11 โดยผ่านทรานซิสเตอร์ ซึ่งการผลิตรูปคลื่นนี้ก็ขึ้นอยู่กับตัวเก็บประจุจัดเวลา โดยตัวเก็บประจุนี้จะเริ่มต้นเก็บประจุ ซึ่งเป็นผลทำให้เกิดเป็นคลื่นรูปสามเหลี่ยมที่กำลังพุ่งขึ้น และอีกเอาท์พุทก็จะให้สัญญาณ hight ที่รูปคลื่นสี่เหลี่ยมจนกระทั่งแรงดันไฟฟ้านั้นถึงจุดหนึ่งที่เรียกว่า Firing voltage ที่จุดนี้จะทำให้สัญญาณคลื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสี่เหลี่ยมจะกลับกลายเป็น low และตัวเก็บประจุจัดเวลาจะเก็บประจุในทิศทางกลับกันกับตอนต้น เป็นผลทำให้สัญญาณรูปสามเหลี่ยมจะตกลง ซึ่งจะตกลงจนถึงจุด Firing voltage เช่นกัน จะทำให้คลื่นรูปสี่เหลี่ยมกลับกลายเป็นระดับ high และขบวนต่างๆ ก็จะกลับไปมาเช่นนี้เหมือนเดิม

ในกรณีที่เปิดวงจรที่ขา 13 และ 14 นั้นมีผลทำให้ที่เอาท์พุทขา 2 และ 3 จะให้รูปคลื่นสามเหลี่ยมออกมาแต่ถ้าต่อกับตัวต้านทานที่มีค่าสักสองสามร้อยโอห์มที่ขา 13 และ 14 จะทำให้ยอดของรูปคลื่นสามเหลี่ยมถูกตัดออก ทำให้เอาท์พุทที่ขา 2 และ 3 นั้นผลิตคลื่นรูปไซน์ออกมา ถ้ามีการปรับแต่งที่ถูกต้องและเหมาะสม จะทำให้คลื่นรูปไซน์ที่ได้มีความผิดเพี้ยนเพียง 0.5 % เท่านั้นเอง

2.3 ส่วนตรวจจับแรงดันยอด(Peak Detector)



รูปที่ 2.4 แสดงผังการทำงานวงจรตรวจจับแรงดันยอด

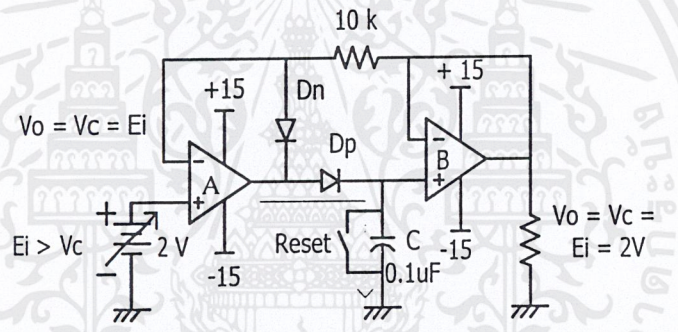
วงจรตรวจจับแรงดันยอด เป็นวงจรสำหรับใช้ตรวจวัดขนาดของสัญญาณรูปคลื่นไซน์ ทั้งทางด้านอินพุทและเอาท์พุทของระบบหรือโครงข่ายที่จะทดสอบว่ามีอัตราขยายเป็นเท่าไหร่ โดยวงจรจะทำการติดตามแรงดันตลอดเวลา แล้วทำการเก็บแรงดันสูงสุดที่เกิดขึ้นหรือแรงดันยอดเอาไว้ในตัวเก็บประจุ ถ้ามีแรงดันยอดที่สูงกว่าค่าที่เคยเก็บไว้แล้วตัวเก็บประจุก็จะทำการเก็บค่าใหม่เข้าไป และจะคายประจุก็ต่อเมื่อมีการเปิดใช้สวิตซ์กลธรรมดา หรือสวิตซ์อิเล็กทรอนิกส์ ดังนั้น วงจรชนิดนี้จึงอาจเรียกอีกชนิดหนึ่งว่า วงจรติดตามแล้วเก็บค่า หรือวงจรติดตามแรงดันยอด อนึ่งวงจรนี้ถ้าเรากลับขั้วไดโอด ก็จะได้เป็นวงจรติดตามแรงดันยอดลบ

วงจรในรูปที่ 2.5 ประกอบด้วยออปแอมป์ 2 ตัว ไดโอด 2 ตัว ตัวต้านทาน 1 ตัว ตัวเก็บประจุและสวิตช์รีเซ็ต ออปแอมป์ A จะเป็นวงจรฮาล์ฟเวฟเรกติไฟซึ่งจะทำการประจุกระแสให้กับตัวเก็บประจุก็ต่อเมื่อแรงดันอินพุท Ei มีค่ามากกว่า Vc ส่วนออปแอมป์ B จะเสมือนวงจร

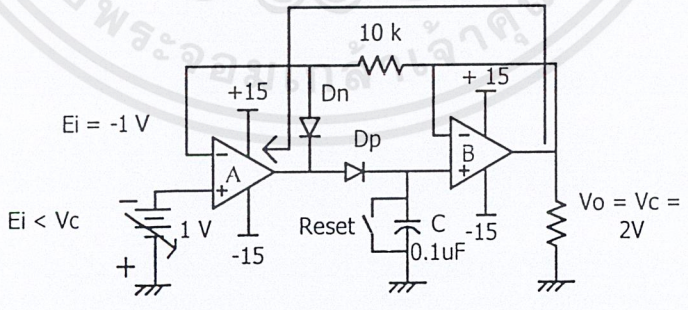
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บัฟเฟอร์ ซึ่งจะทำการสะท้อนแรงดันที่เกิดขึ้นที่ตัวเก็บประจุไปยังเอาท์พุทของมัน ดังนั้นแรงดันเอาท์พุทของวงจรนี้ก็จะเท่ากับ Vc เสมอ เนื่องจากความต้านทานอินพุทที่สูงมากของวงจรบัฟเฟอร์ ดังนั้นจะไม่มีการคายประจุขึ้นที่ตัวเก็บประจุ

จากรูปที่ 2.5(ก) เมื่อ Ei มีค่ามากกว่า Vc ประมาณ 0.6 โวลท์ ไดโอด Dp จะอนุญาตให้กระแสไหลผ่านไปประจุตัวเก็บประจุได้ค่าแรงดัน Vc นี้จะสะท้อนไปที่เอาท์พุทของออปแอป์ B ด้วยและเมื่อแรงดันอินพุทของวงจรมีค่าต่ำกว่า Vc ไดโอด Dp จะสกัดไม่ให้กระแสไหลผ่านย้อนตัวมัน กระแสก็จะไหลผ่านไดโอด Dn จากออปแอป์ B ไปยังออปแอมป์ A ดังรูปที่ 2.5(ข) สำหรับวงจรนี้ ข้อควรพิจารณาเพิ่มก็คือ เราควรใช้ไดโอดที่กระแสรั่วต่ำมาก และออปแอป์ B ควรจะมีอินพุทอิมพีแดนซ์สูงมาก ตัวเก็บประจุควรเป็นชนิดที่กระแสรั่วต่ำและมีค่าการดูดกลืนของไดอิเล็กตริกต่ำ



(ก) เมื่อ Ei มีค่ามากกว่า Vc ตัวเก็บประจุ C จะทำการประจุกระแสซึ่งไหลจาก Ei ผ่าน Dp

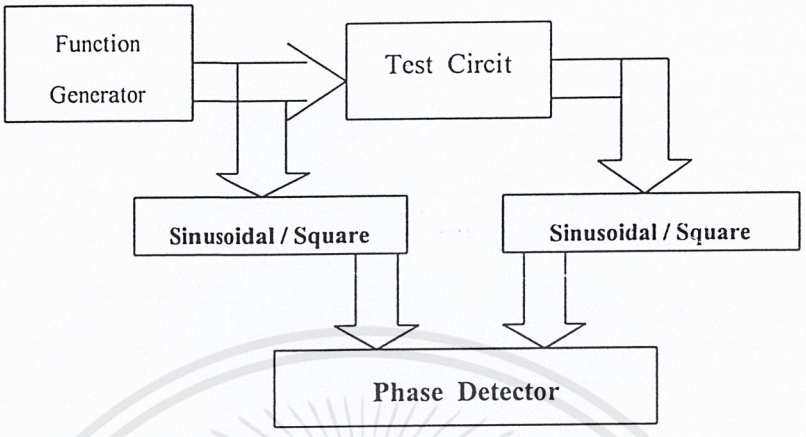


(ข) เมื่อ E_i มีค่าน้อยกว่า Vc ตัวเก็บบรรจุ C จะคงค่าแรงดันยอดเดิมเอาไว้

รูปที่ 2.5 แสดงวงจรตรวจจับแรงดันยอดชนิดบวก แล้วคงค่าแรงดันยอดนั้นไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

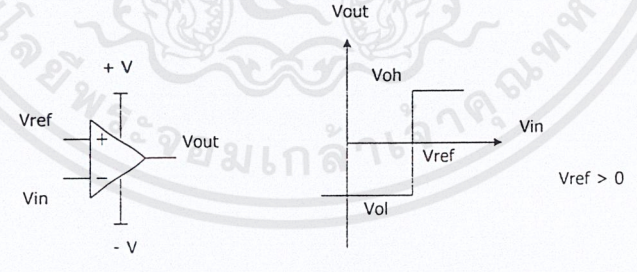
2.4 ส่วนตรวจจับความต่างเฟส(Phase Detector)



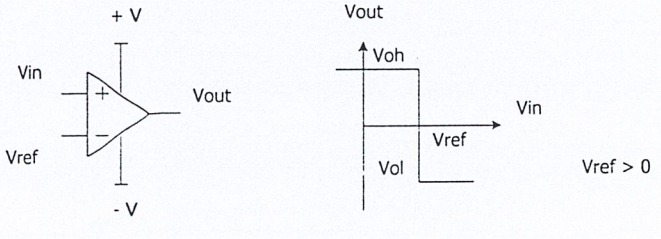
รูปที่ 2.6 แสดงผังการทำงานของวงจรตรวจจับความต่างเฟส

2.4.1 วงจรเปลี่ยนสัญญาณไซน์เป็นสัญญาณสี่เหลี่ยม

วงจรเปลี่ยนสัญญาณไซน์เป็นสัญญาณสี่เหลี่ยมหรือวงจรเปรียบเทียบแรงดัน (Voltage Comparator) จะทำการเปรียบเทียบแรงดันอินพุทที่ป้อนให้วงจร กับแรงดันอ้างอิงที่ตั้งไว้ แล้วทำให้เกิดแรงดันเอาท์พุทของวงจรเปลี่ยนแปลงอยู่สองสภาวะ คือ สภาวะสูง(high) กับสภาวะต่ำ(low) เท่านั้น วงจรเปรียบเทียบแรงดันและกราฟคุณสมบัติของวงจรแสดงได้ดังรูปที่ 2.7 ซึ่งการทำงานของวงจรมีความสัมพันธ์สรุปได้ดังนี้ คือ



(ก.)



(ข.)

รูปที่ 2.7 แสดงวงจรเปรียบเทียบแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.7(ก) $V_{out} = V_{OH}$ เมื่อ $V_{in} > V_{REF}$

รูปที่ 2.7(ข) $V_{out} = V_{OL}$ เมื่อ $V_{in} < V_{REF}$

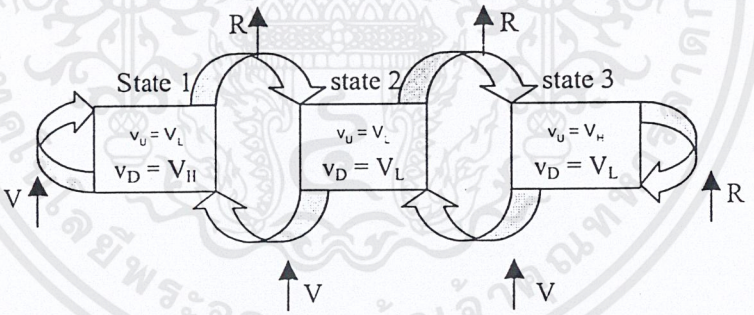
2.4.2 วงจรตรวจจับความต่างเฟส(Phase Detector)

เมื่อได้สัญญาณ TTL ที่ได้ออกมาจากวงจรตรวจจับศูนย์(Zero Crossing Detectors) ทั้งทางด้าน Input และ Output แล้ว สัญญาณทั้ง 2 จะเป็นสัญญาณที่มีความถี่ที่เท่ากัน แต่จะมีเฟสที่แตกต่างกัน เพื่อจะตรวจจับความต่างเฟสที่เกิดขึ้น จึงต้องมีวงจรตรวจจับความต่างเฟส(Phase Detector) ซึ่งจะมีอยู่ 2 แบบคือ

1.) Two State Phase Detector

2.) Three State Phase Detector

ในโครงงานนี้ ได้ใช้วงจรตรวจจับความต่างเฟสแบบ 3 สถานะ เนื่องจากมีข้อดีกว่าแบบ 2 สถานะหลายประการ เช่น สามารถตรวจวัดความต่างเฟสที่มีเฟสต่างกันได้เกิน 180 องศาได้ ในขณะที่แบบ 2 สถานะไม่สามารถทำได้ และสามารถแสดงค่าเอาท์พุทเป็น 0 เมื่อความต่างเฟสกันเป็น 0 ในขณะที่แบบ 2 สถานะแสดงค่าเอาท์พุทเป็น 0 เมื่อความต่างเฟสไม่ใช่ 0 เป็นต้น ผังแสดงสถานะของวงจรตรวจจับเฟสแบบ 3 state แสดงได้ดังรูป 2.8



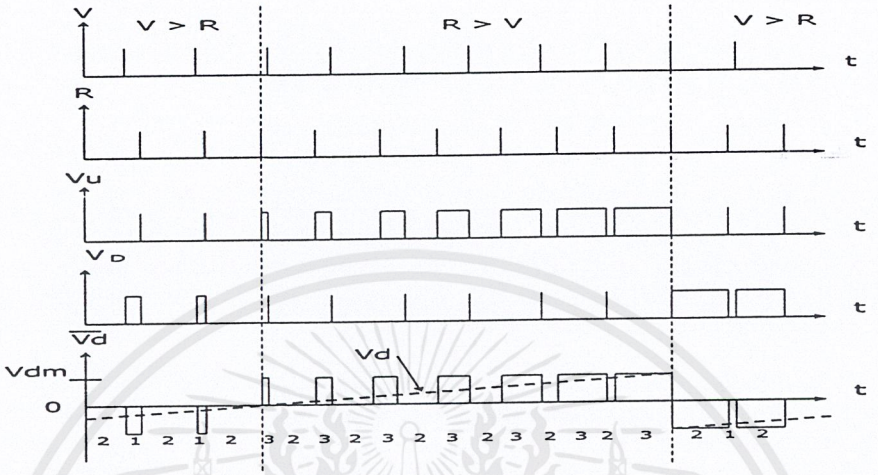
รูปที่ 2.8 ผังแสดงสถานะของวงจรตรวจจับความต่างเฟสแบบ 3 สถานะ

ในรูปที่ 2.8 แสดงถึงสถานะของเอาท์พุท Vd ซึ่งมีถึง 3 สถานะ และสถานะของเอาท์พุทแปรไปตามขอบขาขึ้นของอินพุท R และ V เมื่อขอบขาขึ้นของ R เข้ามา จะทำให้เอาท์พุทเปลี่ยนสถานะไปยังสถานะที่สูงขึ้น ($1 \rightarrow 2 \rightarrow 3$) ส่วนขอบขาขึ้นของ V จะทำให้เอาท์พุทเปลี่ยนสถานะไปยังสถานะที่ลดลง ($3 \rightarrow 2 \rightarrow 1$) สมมติว่าวงจรมีสถานะเริ่มต้นอยู่ที่สถานะ 1 ($V_U=V_L$ และ $V_D=V_H$) เมื่ออินพุท V นำหน้าอินพุท R อย่างต่อเนื่อง เอาท์พุทก็จะวนอยู่ระหว่างสถานะที่ 1 และที่ 2 ค่าเอาท์พุทเฉลี่ยมีค่าเป็น -Vd ตลอดช่วง 2π แต่เมื่ออินพุท R กลับมานำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

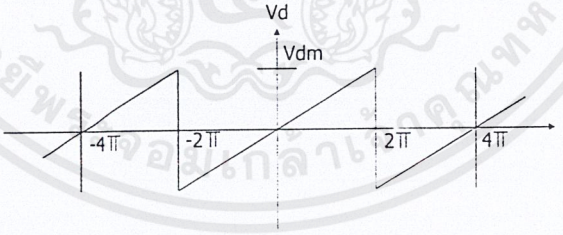
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

หน้าอินพุท V อย่างต่อเนื่อง เอาท์พุท Vd ก็มีสถานะวนอยู่ระหว่างสถานะที่ 2 และที่ 3 ทำให้ค่าเอาท์พุทเฉลี่ยมีค่าเป็น +Vd ตลอดช่วง 2π



รูปที่ 2.9 แสดง Timing Diagram ของวงจรตรวจจับความต่างเฟสแบบ 3 สถานะ

จาก Timing Diagram เรานำเอาค่าเอาท์พุทเฉลี่ย Vd มาพล๊อตกราฟต่อการเปลี่ยนแปลงของความต่างเฟสจะได้เป็นคุณสมบัติของวงจรตรวจจับความต่างเฟสแบบ 3 สถานะ ดังแสดงในรูป 2.10 .ซึ่งจะได้ค่าเอาท์พุทเฉลี่ยตลอดช่วง 4π



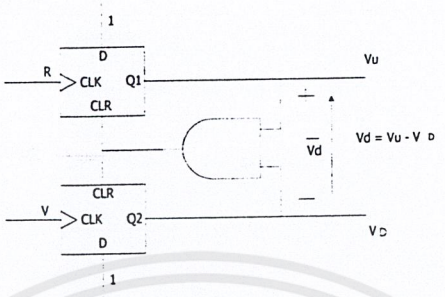
รูป 2.10 แสดงคุณสมบัติของวงจรตรวจจับความต่างเฟสแบบ 3 สถานะ

จากรูป ค่า Gain ของวงจรตรวจวัดความต่างเฟสแบบ 3 สถานะคือ

$$K_d = \frac{V_{dm}}{\pi} = \frac{(V_H - V_L)}{\pi}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
45726

วงจรตรวจวัดความต่างเฟสแบบ 3 สถานะได้แสดงในรูป 2.11 ซึ่งประกอบด้วย Edge-Triggered Set-Reset Flip-Flop และ AND-gate



รูปที่ 2.11 แสดงวงจรตรวจวัดความต่างเฟสแบบ 3 สถานะ

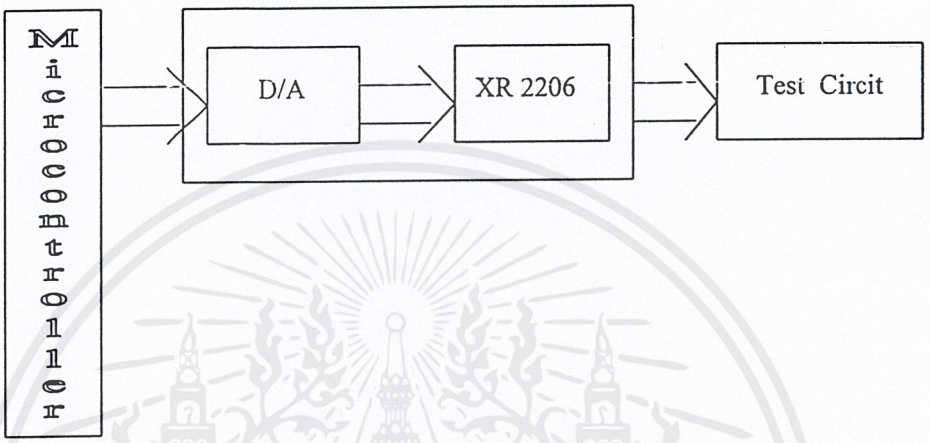
การทำงานของวงจรในรูปที่ 2.11 คือเมื่อขอบขาขึ้นของอินพุท R เข้ามาจะทำให้เอาท์พุท VU เป็น Hight และเมื่อขอบขาขึ้นของอินพุท V เข้าจะทำให้เอาท์พุท VD เป็น Hight และเมื่อขอบขาขึ้นของทั้งอินพุท R และ V เข้ามาพร้อมกัน เอาท์พุท VU และ VD ก็จะมีค่าเป็น Low ด้วยกันทั้งคู่ (เอาท์พุทจะอยู่ที่สถานะที่ 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวณและการสร้างวงจรการทำงาน

3.1 วงจรกำเนิดสัญญาณความถี่



รูปที่ 3.1 แสดงผังของส่วนกำเนิดสัญญาณความถี่

จากรูปที่ 3.1 วงจรกำเนิดสัญญาณความถี่นี้ใช้วงจรรวม(Integrated Circuit) เบอร์ XR2206 ซึ่งความถี่ในการออสซิเลทของ XR 2206 นี้แปรผันโดยตรงกับค่าของกระแสจัดเวลา (Timing current,I_T) ที่ขา 7 และขา 8 โดยสมการดังนี้

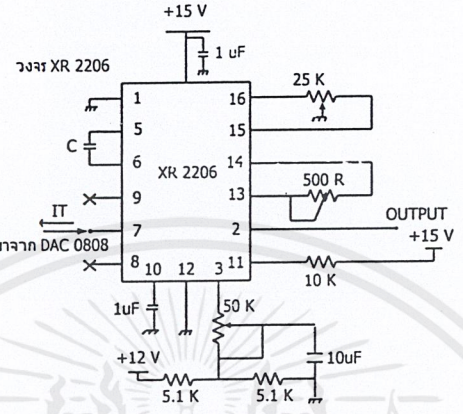
$$f = \frac{320 \times I_T(mA)}{C(uF)}$$

โดยที่ขา 7 และขา 8 นี้จะเป็นขาที่มีค่าอิมพิเดนซ์ต่ำและจะถูกป้อนไฟเลี้ยงไว้ 3 โวลท์ โดยเทียบจากแรงดันที่ขา 12 สำหรับความถี่นี้จะแปรผันโดยตรงกับกระแส I_T เมื่อค่ากระแสนี้อยู่ในช่วง 1 uA ถึง 3 mA ด้วยเหตุนี้เราจึงสามารถที่จะปรับความถี่ได้โดย

1) เปลี่ยนแปลงกระแสโดยการต่อความต้านทานเข้าที่ขา 12 กับขาจัดเวลา หรือ
2) โดยการเปลี่ยนแปลงแรงดันในช่วง 0 ถึง 3 โวลท์ระหว่างขา 12 กับขาจัดเวลา โดยใช้ตัวต้านทานจำกัดกระแส
3) รวมวิธีในข้อ 1) และ 2) เข้าด้วยกัน

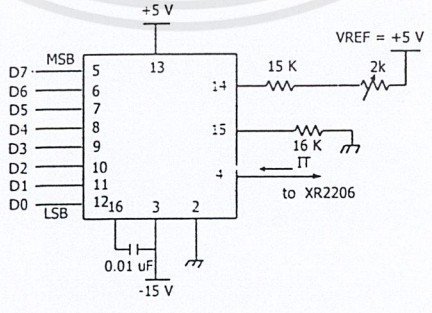
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับโครงงานนี้จะใช้วิธีการในข้อ 1) ร่วมกับสมการ f กล่าวคือ เราจะใช้วิธีการป้อนกระแสเข้าไปที่ขา 7 หรือขา 8 ของวงจรรวมเบอร์ XR 2206 เพื่อกำเนิดความถี่ร่วมกับค่าตัวเก็บประจุ(Capacitor,C) ที่ต่อเข้าที่ขา 5 และขา 6



รูปที่ 3.2 แสดงลักษณะการต่อวงจรรวมเบอร์ XR2206 เพื่อใช้กำเนิดสัญญาณรูปคลื่นไซน์

กระแสที่ขา 7 หรือ 8 จะมีลักษณะกระแสไหลออก ดังนั้น การกำหนดค่ากระแสจะถูกกำหนดด้วยวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก(DAC) ขนาด 8 บิต ซึ่งเอาท์พุทของวงจร DAC จะอยู่ในรูปของกระแสในลักษณะดึงเข้าพอดี และมีอินพุทที่กำหนดได้จากไมโครคอนโทรลเลอร์หรือคอมพิวเตอร์ก็ได้ นั่นก็หมายความว่า ถ้าเราต้องการความถี่เท่าไหร่เราก็กำหนดได้จากการป้อนลอจิกเข้าที่อินพุทของวงจร DAC ซึ่งเราจะได้กระแสออกมา กระแสดังกล่าวจะถูกป้อนเข้าวงจรรวมเบอร์ XR2206 อีกทีเพื่อเป็นตัวกำหนดความถี่อีกทีหนึ่ง วงจร DAC ได้แสดงไว้ดังรูปที่ 3.3



รูปที่ 3.3 แสดงวงจร DAC ซึ่งเป็นตัวกำหนดค่ากระแสเพื่อใช้กำเนิดสัญญาณความถี่รูปคลื่นไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป จะเห็นว่าวงจรรวม DAC จะกำหนดค่า Io ได้จากสมการ

$$Io = \frac{V_{ref}}{R_{ref}}\left(\frac{D_7}{2} + \frac{D_6}{2^2} + \frac{D_5}{2^3} + \frac{D_4}{2^4} + \frac{D_3}{2^5} + \frac{D_2}{2^6} + \frac{D_1}{2^7} + \frac{D_0}{2^8}\right)$$

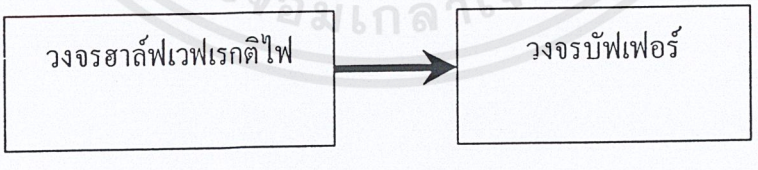
ในการใช้งานโครงงานนี้ เราจะใช้กระแสสูงสุดเพียง 300 uA เนื่องจากถ้าหากว่าใช้กระแสสูงเกินจะทำให้ต้องใช้ค่าตัวเก็บประจุ(Capacitor,C)ที่เป็นตัวกำหนดความถี่ตัวใหญ่เกินไป โดยดูได้จากสมการ Io ซึ่ง C ที่มีค่าใหญ่เกินไปจะเกิดการรั่วซึมของค่าไดอิเล็กตริกได้ง่าย และไวต่ออุณหภูมิที่เปลี่ยนไป ส่วนค่า Vref นั้นกำหนดให้เท่ากับ 5 V ดังนั้นค่า Rref ที่ใช้จึงมีค่าเท่ากับ (Vref / Io) จึงมีค่าประมาณ 16.666KΩ

จากสมการ f เมื่อเราต้องการใช้ความถี่ตั้งแต่ 1 Hz ถึง 1 MHz ซึ่งเป็นย่านที่กว้างเกินกว่าที่ค่า C ตัวเดียวจะกำหนดได้ ดังนั้นจำเป็นต้องใช้ C 3 ตัว เพื่อเป็นตัวกำหนดความถี่ในย่านดังกล่าว(เนื่องจากกระแสถูกทำให้มีค่าต่ำ) จากสมการ f เราสามารถกำหนดย่านความถี่และค่า C ที่ใช้กำหนดความถี่ได้ดังนี้

ความถี่ 1 Hz	96 Hz	ใช้ค่า C	1 uF
ความถี่ 75 Hz	19.2 KHz	ใช้ค่า C	5 nF
ความถี่ 7.5 KHz	1 MHz	ใช้ค่า C	50 pF

การจะเลือกใช้ค่า C ตัวไหนนั้น จะต้องใช้วงจร Multiplex แล้วให้ไมโครคอนโทรลเลอร์หรือคอมพิวเตอร์เป็นตัวเลือก ณ. ความถี่ที่จะใช้งานนั้น ๆ

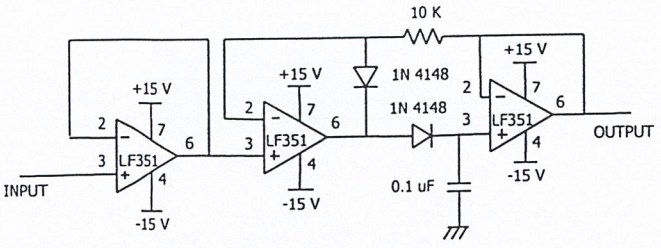
3.2 วงจรตรวจจับแรงดันยอด



รูปที่ 3.4 แสดงผังของวงจรตรวจจับแรงดันยอด

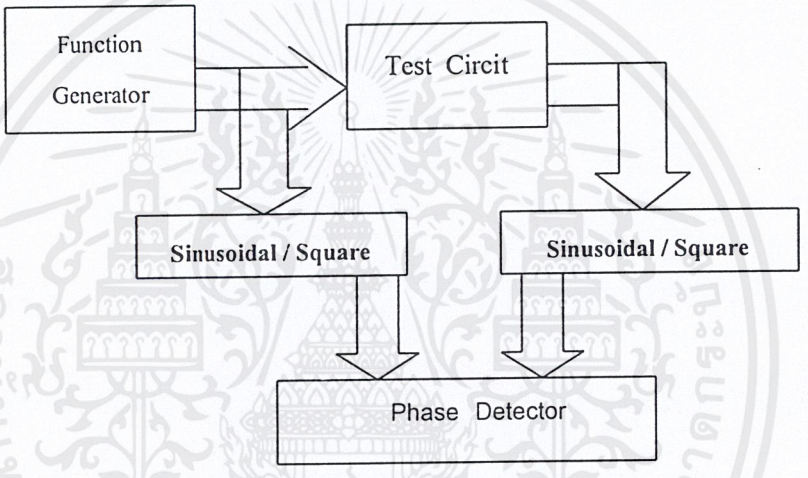
วงจรตรวจจับแรงดันยอดและหลักการทำงานของวงจรได้กล่าวไว้แล้วในหัวข้อ 2.3 ซึ่งวงจรประกอบด้วยส่วนวงจรเรียงกระแสแบบครึ่งคลื่น(Half-wave rectifier) และวงจรที่มีการทำงานในลักษณะแบบวงจรบัฟเฟอร์(Buffer) รูปที่ 3.5 แสดงวงจรที่ใช้ในการตรวจจับแรงดันยอดที่ใช้ในโครงงานนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงวงจรที่ใช้ในการตรวจจับแรงดันยอด

3.3 วงจรที่ใช้ในการตรวจจับความต่างเฟส

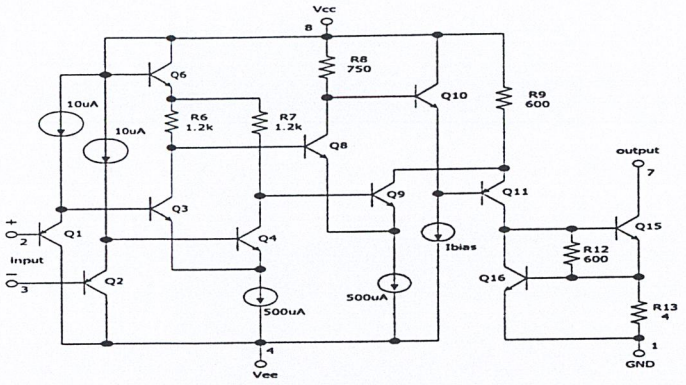


รูปที่ 3.6 แสดงผังการทำงานของวงจรตรวจจับความต่างเฟส

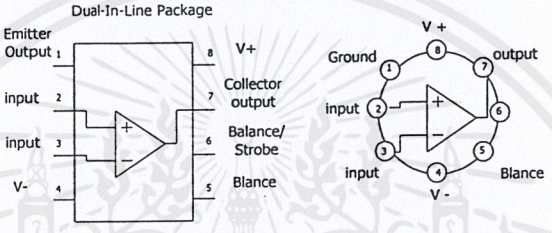
3.3 1 วงจรเปลี่ยนสัญญาณไซน์เป็นสัญญาณสี่เหลี่ยม

วงจรเปลี่ยนสัญญาณไซน์เป็นสัญญาณสี่เหลี่ยม หรือวงจรเปรียบเทียบแรงดัน โครงงานนี้ใช้วงจรรวมเปรียบเทียบแรงดันเบอร์ LM 311 ของบริษัท National Semiconductor ซึ่งการนำมาใช้งานอย่างแพร่หลายมากที่สุดเบอร์หนึ่ง โดยมีรายละเอียดภายในของวงจรและตัวถังวงจรรวมดังแสดงตามรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก.) วงจรภายใน



(ข.) การบรรจุลงในตัวถังไอซี แบบDIP และแบบกระป๋อง

รูปที่ 3.7 แสดงวงจรรวมเปรียบเทียบแรงดันเบอร์ LM 311 ของบริษัท National Semiconductor

การจัดวงจรไบอัสให้กับส่วนเอาท์พุทของวงจรรวมเปรียบเทียบแรงดันเบอร์ LM 311 ที่นิยมใช้กันกระทำได้ดังรูปที่ 3.8(ก) เมื่อ ($V^- < V^+$) เอาท์พุททรานซิสเตอร์ Q_{15} ทำงาน เกิดการนำกระแสขึ้น และเข้าสู่สภาวะอิ่มตัวซึ่งสามารถเขียนแทนด้วยวงจรสมมูลทางไฟฟ้าง่ายๆ ในรูปของแรงดันที่ตกคร่อมระหว่างขาคอลเลคเตอร์กับขาอีมิตเตอร์ $V_{CE(sat)}$ ของ Q_{15} ได้ดังรูปที่ 3.8(ข) หรือแรงดันเอาท์พุท(V_{out}) ของวงจรนี้มีค่าเท่ากับ

$$V_{out} = V_{EE(logic)} + V_{CE(sat)}$$

แต่ค่าของ $V_{CE(sat)}$ ของทรานซิสเตอร์โดยทั่วไปถือว่ามีค่าน้อยมาก (ประมาณ 0.2~0.3 V) ดังนั้นสมการดังกล่าวจึงประมาณได้ว่า

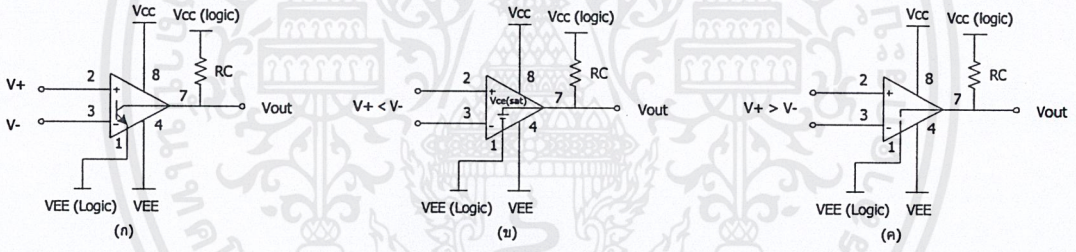
$$V_{out} \cong V_{OL} \cong V_{EE(logic)} \qquad \text{เมื่อ} \quad V^- < V^+$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับ (V+> V-) ทรานซิสเตอร์ Q15 จะหยุดนำกระแส ซึ่งเสมือนว่าขณะนี้เปิดวงจรระหว่างขาคอลเลคเตอร์กับขาอีมิตเตอร์ขึ้น ดังรูปที่ 3.8(ค) และเนื่องจากการไบอัสด้วย R_C ทำให้

$$V_{out} \cong V_{OH} \cong V_{CC(logic)} \quad \text{เมื่อ} \quad V_+ > V_-$$

จึงสามารถสรุปได้ว่า ระดับลอจิกทางด้านเอาท์พุทของวงจรนี้สามารถควบคุมได้โดยง่ายจากระดับแรงดัน $V_{CC(logic)}$ และ $V_{EE(logic)}$ จากภายนอก นอกจากนี้ LM 311 ยังสามารถต่อใช้งานกับแหล่งจ่ายไฟเลี้ยงชุดเดียว(single-polarity power supply) ได้ ดังนั้นถ้าสมมติให้ $V_{CC(logic)} = V_{CC} = +5$ V. และ $V_{EE(logic)} = V_{EE} = 0$ V. แล้วระดับลอจิกของแรงดันเอาท์พุทของวงจรจะอยู่ในช่วง +5V. และ 0 V. ซึ่งสามารถนำไปต่อใช้งานร่วมกับกลุ่มวงจรที่ใช้ระดับสัญญาณทีทีแอล(TTL) ตลอดจนวงจรจำพวก nMOS และ CMOS ได้อีกด้วย รูปที่ 3.9 แสดงวงจรเปรียบเทียบแรงดันหรือวงจรตรวจจับศูนย์ที่ใช้ในโครงงานนี้

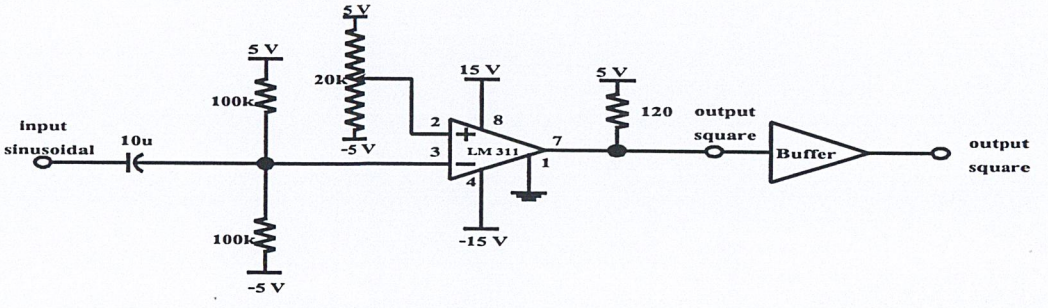


รูปที่ 3.8

(ก) แสดงการไบอัสแรงดันเอาท์พุทของ LM311

(ข) แสดงวงจรสมมูลทางด้านเอาท์พุทเมื่อสภาวะต่ำ(low)

(ค) แสดงวงจรสมมูลทางด้านเอาท์พุทเมื่อสภาวะสูง(high)

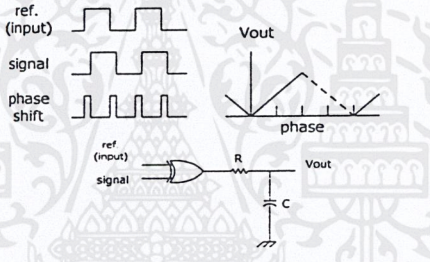


รูปที่ 3.9 แสดงวงจรที่ใช้ในการตรวจจับศูนย์

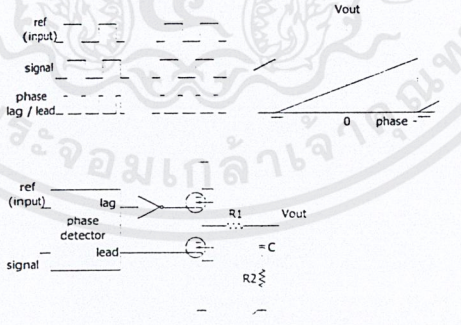
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 วงจรตรวจจับความต่างเฟส(Phase Detector)

วงจรตรวจจับความต่างเฟส(Phase Detector,PD) จะมีใช้กันสองแบบ โดยแบบที่ 1 จะถูกออกแบบมาเพื่อทำการตรวจจับคลื่นสี่เหลี่ยม(Square wave) ต่างๆ ทั้งทาง analog หรือทาง digital ในขณะที่แบบที่ 2 จะทำการตรวจจับการเปลี่ยนแปลงสถานะ หรือขอบของสัญญาณ ตัวอย่างของวงจรรวมที่มีวงจรตรวจจับความต่างเฟสแบบที่ 1 คือ 565 และวงจรตรวจจับความต่างเฟสแบบที่ 2 คือ TTL 4044 ส่วน CMOS 4046 จะมีวงจรตรวจจับความต่างเฟสทั้งสองแบบอยู่ในตัว วงจรตรวจจับความต่างเฟสแบบที่ 1 แบบง่ายๆ คือ exclusive-OR gate กับ วงจรกรองความถี่ต่ำ ดังแสดงไว้ในรูปที่ 3.10 ซึ่งความสัมพันธ์ระหว่างค่าความแตกต่างทางเฟสกับเอาท์พุทของวงจรที่มีสัญญาณขาเข้ามี duty cycle 50% ได้แสดงไว้ทางขวามือของรูป ส่วนวงจรตรวจจับความต่างเฟสแบบที่ 2 จะทำการตรวจจับขอบของสัญญาณที่เข้ามายังตัวมัน ดังแสดงไว้ในรูปที่ 3.11 ข้อดีของวงจรตรวจจับความต่างเฟสแบบที่ 2 นี้ คือการที่เอาท์พุทไม่ขึ้นกับ duty cycle ของสัญญาณอินพุท



รูปที่ 3.10 แสดงวงจรตรวจจับความต่างเฟสแบบที่ 1

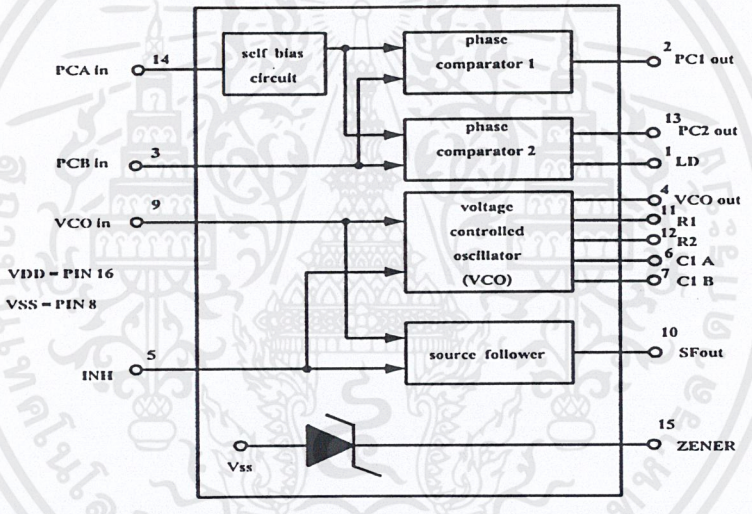


รูปที่ 3.11 แสดงวงจรตรวจจับความต่างเฟสแบบที่ 2

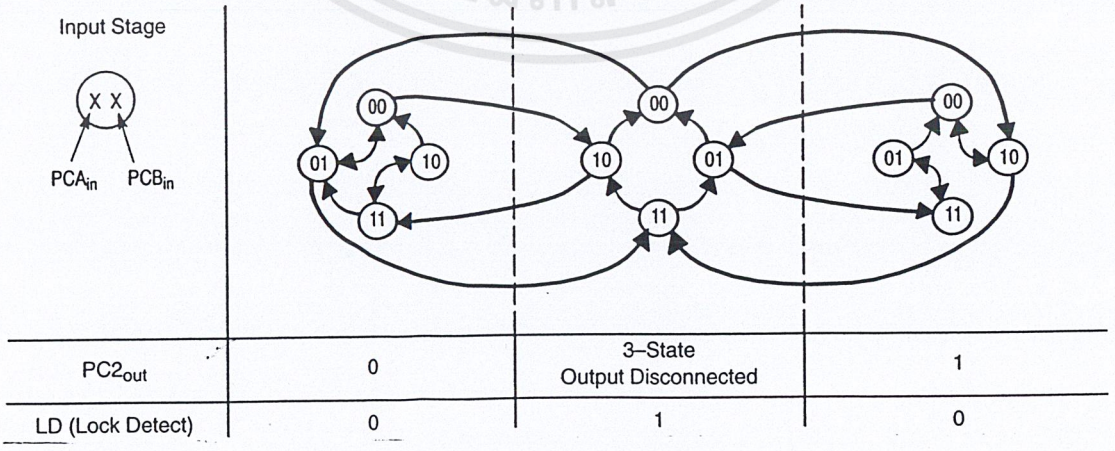
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในโครงงานนี้ เลือกใช้วงจรตรวจจับความต่างเฟสโดยใช้ไอซีเบอร์ CMOS 4046 โดยเลือกใช้วิธีตรวจจับความต่างเฟสแบบที่ 2 ที่เป็นแบบ 3 สถานะ โดยผังแสดงวงจรรวมภายในของวงจรรวมเบอร์ 4046 แสดงดังรูปที่ 3.12 และผังแสดงสถานะการทำงานแบบ 3 สถานะ แสดงดังรูปที่ 3.13 สัญญาณเอาท์พุตที่ได้จากขา PC2out จะเป็นสัญญาณที่มีลักษณะเป็นพัลซ์ (Pulse) ที่มีค่าดิวตี้ไซเคิล(Duty cycle)แปรค่าไปตามความต่างเฟสที่เกิดขึ้น การที่จะทราบว่าความต่างเฟสมีค่าเท่าไรนั้น ในโครงงานนี้ จะใช้ 2 วิธีคือ

1. ใช้เคาน์เตอร์(Counter) นับความต่างเฟส จะใช้ในกรณีที่ความถี่มีค่าต่ำ
2. ใช้วงจรกรองความถี่ต่ำผ่าน(Low pass filter) ค่าเอาท์พุตที่ได้จะออกมาเป็นค่าแรงดันไฟฟ้ากระแสตรงที่มีค่าตั้งแต่ 0 โวลท์ ถึง 5 โวลท์ ขึ้นอยู่กับค่าความต่างเฟสที่เกิดขึ้น



รูปที่ 3.12 ผังแสดงวงจรภายในของวงจรรวมเบอร์ CD 4046



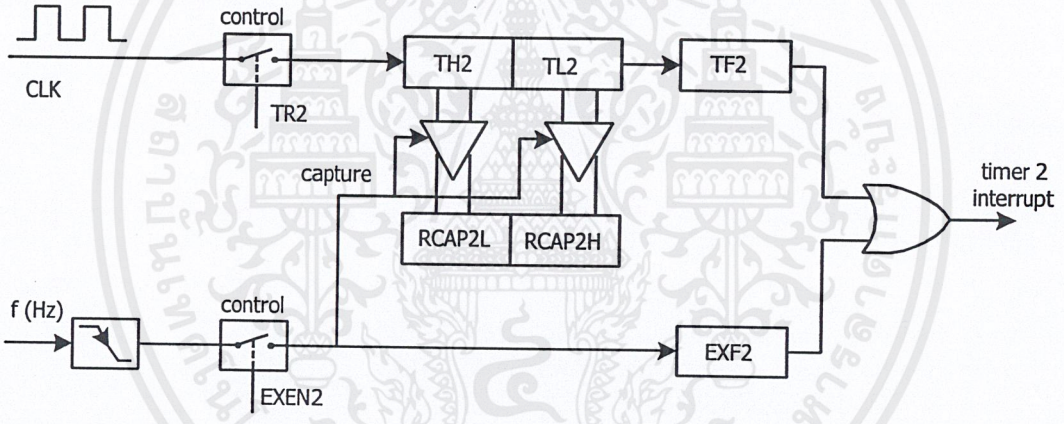
รูปที่ 3.13 ผังแสดงสถานะการทำงานแบบ 3 สถานะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 วิธีการตรวจจับความต่างเฟส

<u>กรณีที่สัญญาณความถี่ต่ำกว่า 1 kHz</u>

การตรวจจับความต่างเฟสจะใช้ไมโครคอนโทรลเลอร์เป็นตัวตรวจจับความต่างเฟส โดยใช้ตัวนับ(counter) ขนาด 16 บิตของ Timer 2 ในโหมดแคปเจอร์(Capture) จากภายนอก การทำงานของ Timer 2 ในโหมดแคปเจอร์ดังแสดงในรูปที่ 3.14 สัญญาณพัลซ์ที่ได้จากวงจรรวม 4046 จะเข้าที่ขา f(Hz) แต่การจะนับความต่างเฟสนั้น จะต้องมีสัญญาณนาฬิกาที่จะเป็นตัวอ้างอิง ถ้าเราใช้สัญญาณนาฬิกาภายในของไมโครคอนโทรลเลอร์ซึ่งจะมีค่าประมาณ 1 MHz มาตรวจจับความต่างเฟสที่เกิดขึ้น จะทำให้ไมโครคอนโทรลเลอร์เกิดโอเวอร์โฟล์ว(Overflow) กล่าวคือ ไมโครคอนโทรลเลอร์จะนับจนครบ 16 บิตแล้วทำการเคลียร์ค่าของรีจิสเตอร์(Register) TH2 และ TL2 ทั้ง ๆ ยังนับได้ไม่ครบ 360 องศา ดังนั้น จึงต้องใช้สัญญาณนาฬิกาจากภายนอก



รูปที่ 3.14 แสดงการทำงานของ Timer 2 ในโหมดแคปเจอร์

การที่เราจะนับความต่างเฟสได้ละเอียด 1 อาศาต่อ 1 สัญญาณนาฬิกา ได้ครบ 360 องศานั้น สัญญาณนาฬิกาจะต้องมีความถี่มากกว่าสัญญาณความถี่ที่เข้ามา 360 เท่า ตามสมการ

$$CLK = 360f$$

ซึ่งถ้าสัญญาณนาฬิกามากกว่า 360 เท่าก็จะทำให้ได้ค่าองศาที่มีความละเอียด แต่ถ้าสัญญาณนาฬิกามีจำนวนมากเกินไป จะทำให้ TF2 เกิด overflow ก่อนที่จะนับได้ครบ 360 องศา ค่าที่ได้จากตัวนับก็จะผิดพลาด หรือในกรณีที่ความถี่มีค่าต่ำเกินไป จะทำให้เกิดปัญหาเช่นเดียวกัน

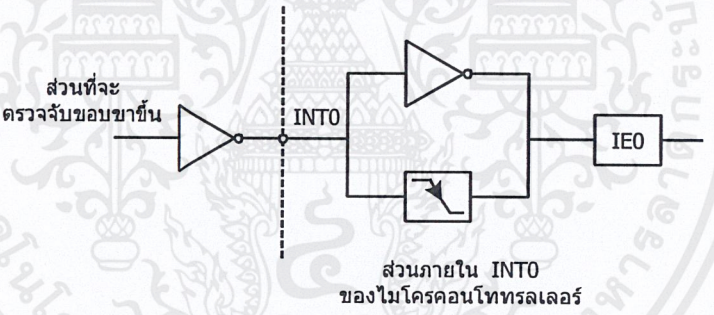
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจึงมีการกำหนดใช้สัญญาณนาฬิกา 2 ช่วง คือช่วงความถี่ 0-300 Hz จะใช้สัญญาณนาฬิกา 125 kHz และในช่วงความถี่ 300-700 Hz จะใช้สัญญาณนาฬิกา 250 kHz

พิจารณาช่วงความถี่ 1-300 Hz ซึ่งใช้สัญญาณนาฬิกา 125 kHz ความถี่สูงสุดที่ใช้ได้คือ $(125\text{ k}/360^\circ)$ ซึ่งเท่ากับ 347.2222 Hz ดังนั้นจำนวนองศาที่นับได้จะเท่ากับ

$$\text{จำนวนองศา} = (\text{ความถี่ขณะนั้น} / \text{ความถี่สูงสุดที่นับได้}) * \text{จำนวนสัญญาณนาฬิกาที่นับได้}$$

การตรวจจับความต่างเฟสจะใช้วิธีการเกิดอินเตอร์รัพที่ขอบขาขึ้น และขอบขาลงของสัญญาณความถี่ที่ต้องการนับ ซึ่งขอบขาขึ้นจะถูกตรวจจับโดยนำสัญญาณอินเตอร์รัพที่เกิดขึ้นไปเข้าขา INT0 ของไมโครคอนโทรลเลอร์ โดยผ่าน NOT Gate แล้วตรวจจับขอบขาลงตามรูปที่ 3.15 ส่วนการตรวจจับขอบขาลงนั้นจะอาศัยการเกิดอินเตอร์รัพ โดย EXF2 ของ Timer 2 แล้วนำค่าในรีจิสเตอร์(Register) RCAP2H และ RCAP2L ไปประมวลผล ส่วนการตรวจจับขอบขาขึ้น



รูปที่ 3.15 แสดงการตรวจจับสัญญาณขอบขาลง

เมื่อมีขอบขาขึ้นเกิดขึ้น จะทำให้เกิดการอินเตอร์รัพท์(Interrupt) โดย IE0 ก็ให้ไมโครคอนโทรลเลอร์ทำการเก็บค่า TH2 และ TL2 แล้วนำไปประมวลผล

$$\textit{ความต่างเฟส} = \frac{(RCAP2H)(RCAP2L)}{(TH2)(TL2)} * 360\textit{องศา}$$

<u>กรณีที่สัญญาณความถี่สูงกว่า 1 kHz</u>

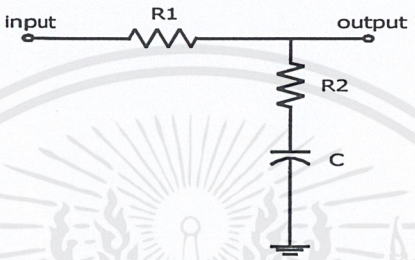
กรณีที่สัญญาณความถี่มีค่าสูงกว่า 1 kHz จะใช้วงจรกรองความถี่ต่ำ ซึ่งจะใช้ RC Filter เป็นวงจรกรอง โดยจะใช้วงจรดังรูปที่ 3.16 โดยสามารถคำนวณหาค่าความต้านทาน และตัวเก็บประจุของวงจรได้ตามสูตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_2C = \frac{6}{f_{max}} - \frac{1}{2\pi\Delta f}$$

$$(R1 + 3000)C = \frac{100\Delta f}{f_{max}^2} - R_2C$$

$$\Delta f = f_{max} - f_{min}$$



รูปที่ 3.16 แสดงวงจรกรองความถี่ต่ำผ่าน

ซึ่งเป็นสูตรที่ปรากฏที่ดาต้าชีทของวงจรรวมเบอร์ CD 4046 โดยค่าความถี่คัทออฟ (cut-off frequency) ต้องมีค่าต่ำกว่าค่าความถี่ที่ต่ำที่สุดที่จะทดสอบไม่น้อยกว่า 10 เท่า แต่ถ้าใช้ความถี่คัทออฟ 10 เท่าของความถี่ที่ใช้ทดสอบพอดี ค่าสัญญาณที่ปรากฏจะไม่เรียบ ดังนั้นวงจรกรองความถี่ที่ใช้ภายในโครงงานจึงใช้ความถี่คัทออฟที่มีค่า 100 เท่าของความถี่ที่ใช้ทดสอบ ส่วนความต่างเฟสที่ได้จากวงจรกรองความถี่ต่ำผ่าน จะออกมาในรูปแรงดันไฟฟ้ากระแสตรงโดย ถ้าแรงดันที่ได้มีค่า 0 โวลท์ ความต่างเฟสจะเท่ากับ 0 องศา และถ้าแรงดันที่ได้มีค่า 5 โวลท์ ความต่างเฟสจะเท่ากับ 180 องศา หรือเขียนเป็นสมการได้ว่า

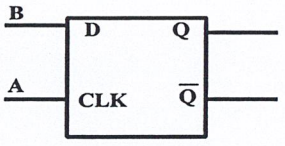
ความต่างเฟส=36*V

3.3.4 วงจรตรวจสอบเฟสนำหน้าหรือล้าหลัง

สิ่งสำคัญอีกประการหนึ่งของวงจรตรวจจับความต่างเฟสก็คือ วงจรตรวจสอบเฟสว่าตอนนี้เฟสนำหน้า หรือล้าหลังกับเฟสที่เราใช้อ้างอิง ในโครงงานนี้จะใช้ D Flip-Flop เป็นตัวตรวจเช็คสถานะ ดังแสดงในรูปที่ 3.17 และตารางความจริงของฟลิปฟลอปแสดงในตารางที่ 3.1 โดยสมมติว่าเฟสที่เราใช้อ้างอิงเป็นเฟส A เราก็จะให้เฟส A เป็นอินพุตของ D Flip-Flop เข้าที่ขา Clock และให้เฟส B เป็นอินพุตเข้าที่ขา D ของ D Flip-Flop เมื่อเฟส A นำหน้าเฟส B สัญญาณเอาท์พุต Q ที่ได้จาก D Flip-Flop จะออกมาเป็นสถานะ “0” แสดงดังรูปที่ 3.18 แต่ถ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

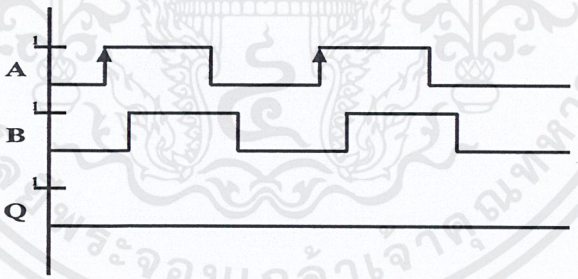
เฟส A ล้าหลังเฟส B สัญญาณเอาท์พุต Q ที่ได้จาก D Flip-Flop จะออกมาเป็นสถานะ “1” ดังแสดงในรูปที่ 3.19



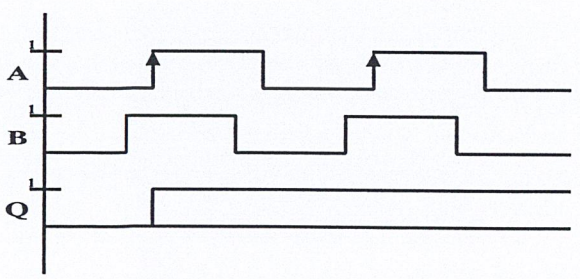
รูปที่ 3.17 แสดง D Flip-Flop

ตารางที่ 3.1 แสดงตารางความจริงของ D Flip-Flop

อินพุท		เอาท์พุท	
CLK	D	Q	$\overline{Q}$
ขอบขาขึ้น	H	H	L
ขอบขาขึ้น	L	L	H
L	X (don’t care)	Q	$\overline{Q}$



รูปที่ 3.18 แสดงเฟส A นำหน้าเฟส B

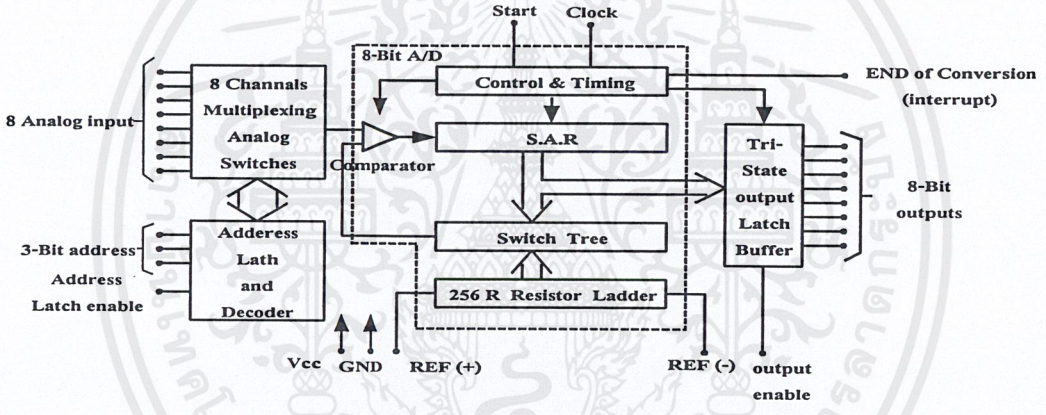


รูปที่ 3.19 แสดงเฟส A ล้าหลังเฟส B

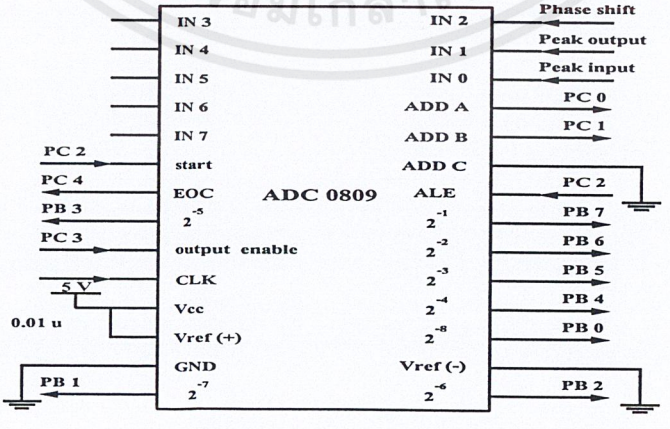
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 ส่วนแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

จากที่กล่าวมาในส่วนของการตรวจจับแรงดันยอด และส่วนของวงจรตรวจจับเฟส ค่าที่ได้ออกมาบางส่วน เป็นสัญญาณอนาลอก ซึ่งไมโครคอนโทรลเลอร์ไม่สามารถประมวลผลได้ ดังนั้น เราจำเป็นที่จะต้องทำการแปลงสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอลก่อน ในโครงงานนี้ใช้วงจรรวมเบอร์ 0809 ซึ่งมีส่วนของวงจรมัลติเพล็ก(Multiplex) เพื่อใช้เลือกสัญญาณอนาลอกได้ถึง 8 ช่องสัญญาณ แต่วงจรรวมเบอร์นี้ ไม่มีสัญญาณนาฬิกาอยู่ภายใน ดังนั้น จะต้องมีสัญญาณนาฬิกาเพื่อป้อนให้กับวงจรรวมด้วย โดยวงจรให้กำเนิดสัญญาณนาฬิกาแสดงไว้ในส่วนของภาคผนวก วงจรภายในของวงจรรวม 0809 แสดงดังรูปที่ 3.20 และวงจรรวมแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแสดงในรูปที่ 3.21



รูปที่ 3.20 แสดงวงจรภายในของวงจรรวมเบอร์ 0809

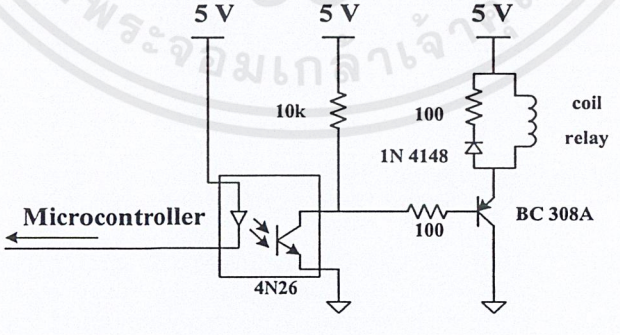


รูปที่ 3.21 แสดงวงจรรวมแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลเบอร์ 0809

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 ส่วนการใช้ไมโครคอนโทรลเลอร์ควบคุมรีเลย์

จากส่วนต่าง ๆ ที่ได้กล่าวมาแล้ว เราจะเห็นว่าจำเป็นที่จะต้องมีการตัดต่อวงจรเพื่อใช้เลือกการทำงานต่าง ๆ เช่น การเลือกค่า C เพื่อทำการคายประจุให้กับวงจรตรวจวัดแรงดันยอดเป็นต้น ในโครงงานนี้ เราจะใช้รีเลย์เพื่อตัดต่อวงจร สาเหตุที่ต้องใช้รีเลย์เพื่อตัดต่อวงจรแทนที่จะใช้อิเล็กทรอนิกส์สวิตช์ เนื่องจากอิเล็กทรอนิกส์สวิตช์ เมื่อทำงานจะมีค่าความต้านทานคงที่อยู่ค่าหนึ่ง ซึ่งในวงจร ถ้ามีค่าความต้านทานเกิดขึ้น จะทำให้ระบบไม่เป็นไปตามจุดประสงค์ เช่นในวงจรเลือกค่า C ในการกำเนิดสัญญาณรูปคลื่นไซน์ ถ้ามีความต้านทานเกิดขึ้น จะทำให้ระบบกลายเป็นวงจร RC จะทำให้ไม่ตรงกับจุดประสงค์ของโครงงานนี้ ในการใช้งานไมโครคอนโทรลเลอร์เพื่อควบคุมการทำงานของรีเลย์นั้น ไม่สามารถที่จะใช้แรงดันที่ออกมาจากไมโครคอนโทรลเลอร์ควบคุมรีเลย์ได้ เพราะไมโครคอนโทรลเลอร์ สามารถจ่ายกระแสได้น้อยมาก ประมาณ 300 ไมโครแอมป์ ดังนั้น จึงต้องมีการต่อวงจรขับกระแส ในโครงงานนี้ จะใช้ทรานซิสเตอร์เป็นตัวขับกระแส ซึ่งเป็นทรานซิสเตอร์ประเภท PNP แต่ถ้าต่อไมโครคอนโทรลเลอร์เข้ากับทรานซิสเตอร์โดยตรง จะเกิดปัญหาคือ ยังต้องใช้สัญญาณกราวน์ร่วมกับชุดควบคุมรีเลย์ เมื่อรีเลย์ทำงาน รีเลย์ซึ่งมีลักษณะเป็นขดลวด(coil) ก็จะกำเนิดสัญญาณรบกวนไมโครคอนโทรลเลอร์ ทำให้ไมโครคอนโทรลเลอร์ทำงานได้ไม่ดี และทำงานผิดพลาดหรือหยุดทำงานไปเลย ดังนั้น จึงจำเป็นต้องมีอุปกรณ์แยกกราวน์ของชุดควบคุมรีเลย์กับไมโครคอนโทรลเลอร์ออกจากกัน ในโครงงานนี้ จะใช้ออปโตทรานซิสเตอร์ (Opto transister) เบอร์ 4N26 เป็นตัวแยกกราวน์ วงจรควบคุมการทำงานของรีเลย์ทั้งหมดแสดงไว้ในรูปที่ 3.22



รูปที่ 3.22 แสดงชุดวงจรตัดต่อโดยใช้รีเลย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 ส่วนประมวลผล

ส่วนประมวลผลของโครงงานนี้ใช้ไมโครคอนโทรลเลอร์เบอร์ 89S8252 เป็นส่วนประมวลผล ซึ่งไมโครคอนโทรลเลอร์เบอร์นี้เป็นของบริษัท Atmal โดยการทำงานพื้นฐานตลอดจนคำสั่งต่างๆ คล้ายกับไมโครคอนโทรลเลอร์ตระกูล MCS51 แต่สิ่งที่เพิ่มเข้ามาที่โครงงานนี้นำมาใช้คือหน่วยความจำ(Memmory) ขนาด 8 kbyte และ EEPROM ภายในขนาด 2 kbyte ซึ่งสามารถใช้เก็บข้อมูลไว้ ก่อนที่จะส่งข้อมูลที่เก็บไว้นั้นไปแสดงผลที่หน้าจอมอนิเตอร์ของคอมพิวเตอร์โดยข้อมูลไม่สูญหายไปไหนขณะปิดเครื่อง การเข้าถึงหน่วยความจำ EEPROM ต้องกำหนดค่ารีจิสเตอร์ SFR ที่ตำแหน่ง 96H โดยภายในจะประกอบด้วย

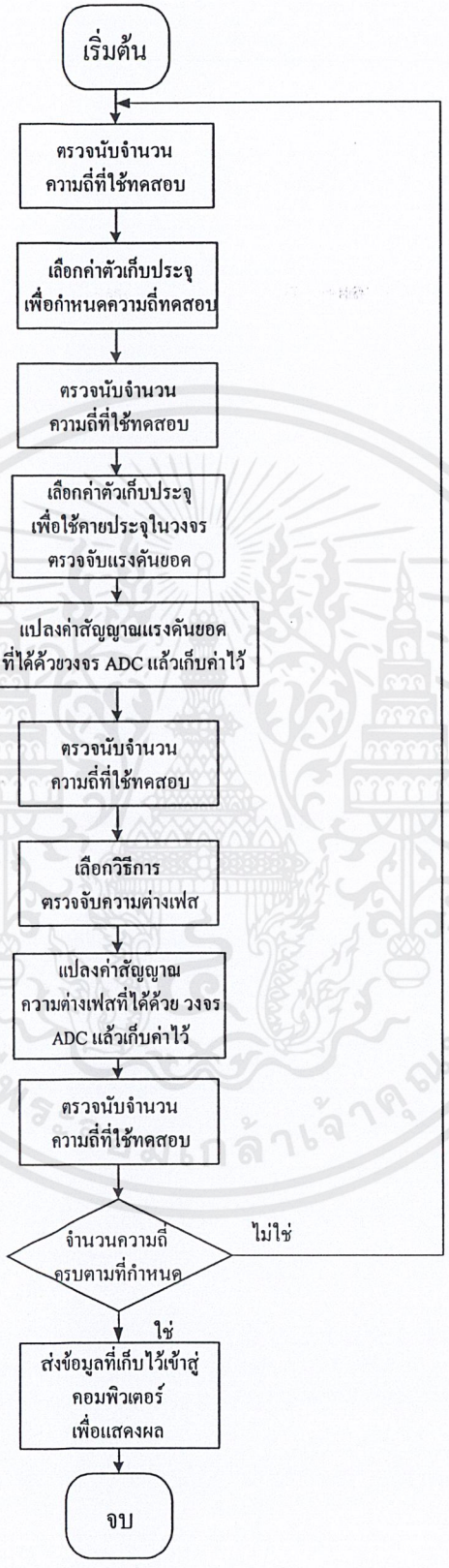
PS2	PS1	PS0	EEMWE	EEMEN	DPS	$\overline{\text{RDY/BSY}}$	WDTEN

โดยตัวกำหนดการอ่าน-เขียนข้อมูลลง EEPROM คือ

- EEMWE : EEPROM Data memory write enable ต้องตั้งค่าให้เป็น “1” ก่อนเขียนข้อมูลลงไป โดยใช้คำสั่ง “MOVEX” ร่วมกับคำสั่ง “DPTR”
- EEMEN : ถ้าตั้งค่าให้เท่ากับ “1” เมื่อใช้คำสั่ง “MOVEX” แล้วคำสั่ง “DPTR” จะหมายถึงการเข้าถึง “EEPROM” ภายใน
  ถ้าตั้งค่าให้เท่ากับ “0” เมื่อใช้คำสั่ง “MOVEX” แล้วคำสั่ง “DPTR” จะหมายถึงการเข้าถึง “EEPROM” ภายนอก
- DPS : เป็นการเลือกค่ารีจิสเตอร์ “DPTR” ซึ่งมี 2 แบงค์(bank)
  ถ้าตั้งค่าให้เท่ากับ “0” หมายถึง เลือกใช้งานแบงค์ “0”
  ถ้าตั้งค่าให้เท่ากับ “1” หมายถึง เลือกใช้งานแบงค์ “1”
- RDY/$\overline{\text{BSY}}$: การเข้าถึง “EEPROM” ต้องใช้เวลาเข้าถึง ดังนั้น
  ถ้าตั้งค่าให้เท่ากับ “0” แสดงว่าการ Executed ยังไม่เรียบร้อย
  ถ้าตั้งค่าให้เท่ากับ “1” แสดงว่าการ Executed เรียบร้อยแล้ว

โปรแกรมการควบคุมการทำงานดังแสดงในรูป 3.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.23 แสดงโปรแกรมการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 การทดลองหาผลตอบสนองทางความถี่

ทดลองป้อนค่าความถี่ให้กับวงจรทดสอบ แล้ววัดค่าสัญญาณที่ได้จากทางด้านเอาท์พุท และอินพุทของวงจรทดสอบมาหาอัตราส่วนของขนาด เพื่อนำค่าที่ได้ไปวาดกราฟแสดงผลตอบสนองทางความถี่

วงจรที่ใช้ในการทดลอง ใช้วงจรกรองความถี่ต่ำผ่านแบบพาสซีฟอันดับ 1 (low pass filter,LPF.) และวงจรกรองความถี่สูงผ่านแบบพาสซีฟอันดับ 2 (high pass filter,HPF)

4.1.1 ตัวอย่างความถี่ที่ใช้ในการกำเนิดสัญญาณรูปคลื่นไซน์

ตัวอย่างความถี่ที่ใช้ในการกำเนิดสัญญาณรูปคลื่นไซน์ที่ป้อนให้แก่วงจรทดสอบ จะแบ่งตามค่าของ ωT บนแกน X ของกราฟล็อกสเกล(Log scale) โดยแบ่งค่าของความถี่ออกเป็นช่วงๆ แต่ละช่วงจะมีระยะห่างเท่าๆ กัน ซึ่งตัวอย่างความถี่ที่ใช้ดังแสดงในตารางที่ 4.1

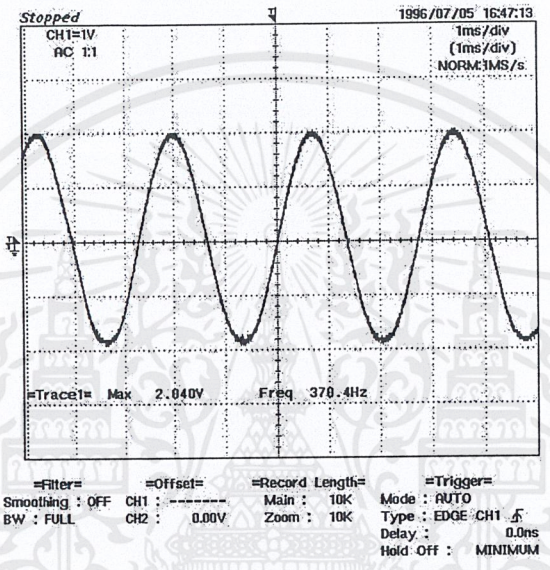
ตารางที่ 4.1 แสดงค่าความถี่ที่กำเนิดจากวงจรกำเนิดสัญญาณความถี่

C = 1 uF			C = 5 nF			C = 50 pF		
ωT	ความถี่ (Hz)		ωT	ความถี่ (Hz)		ωT	ความถี่ (Hz)	
	ทฤษฎี	ปฏิบัติ		ทฤษฎี	ปฏิบัติ		ทฤษฎี	ปฏิบัติ
6.3096	1.0042	0.971	1k	159.155	175.41	125.9k	20.036k	20.66k
10	1.5915	1.6	1.9953k	317.556	340.1	199.53k	31.756k	32.6k
15.8489	2.5224	2.703	3.9811k	633.607	649.4	316.23k	50.33k	49.1k
25.1189	3.9978	4.149	6.31k	1.0042k	1.059k	501.19k	79.766k	78.13k
50.1187	7.9766	8.065	10k	1.592k	1.613k	1M	159.15k	171.2k
100	15.9155	16.03	19.953k	3.1756k	3.125k	1.585M	252.24k	250k
199.526	31.7556	31.85	39.811k	6.3361k	6.25k	2.512M	399.78k	400k
398.107	63.3607	63.29	63.096k	10.042k	10k	3.981M	633.61k	632.9k
630.957	100.412	92.59	100k	15.916k	16.03k	6.31M	1.004M	925.9k

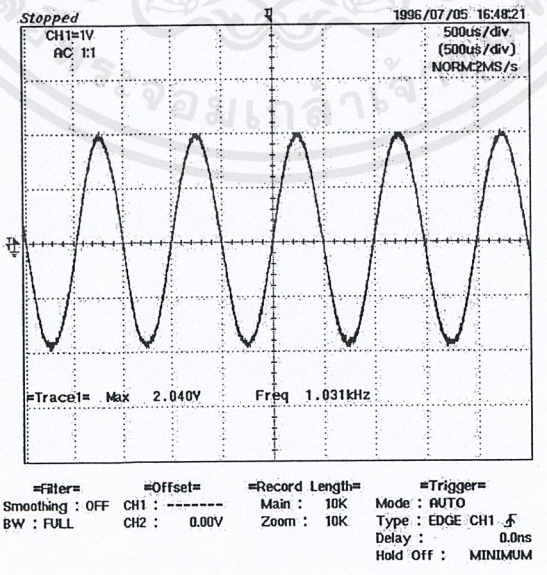
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 ตัวอย่างสัญญาณรูปคลื่นไซน์

จากวงจรกำเนิดสัญญาณความถี่รูปคลื่นไซน์ที่ได้จากวงจรรวมเบอร์ XR 2206 โดยการกำหนดความถี่จากไมโครคอนโทรลเลอร์ ผ่านทางวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก(DAC) สัญญาณรูปคลื่นไซน์ที่กำเนิดได้ที่ความถี่ต่างๆ โดยวัดจากดิจิตอลสตอเรจสโคปแสดงดังรูป

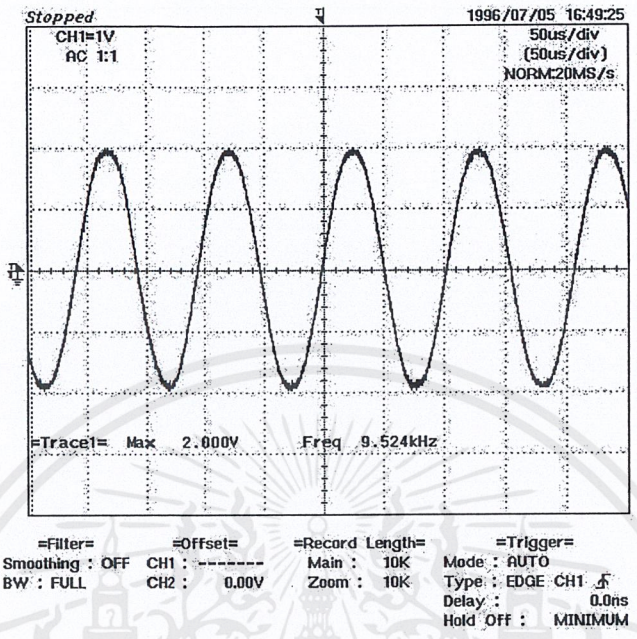


รูปที่ 4.1 แสดงรูปคลื่นสัญญาณไซน์ที่ความถี่ 370.4 Hz

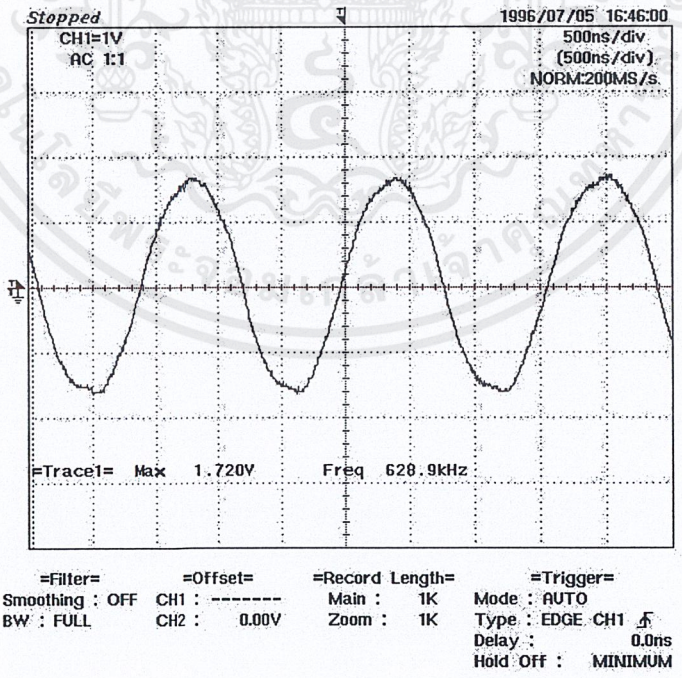


รูปที่ 4.2 แสดงรูปคลื่นสัญญาณไซน์ที่ความถี่ 1.031 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แสดงรูปคลื่นสัญญาณไซน์ที่ความถี่ 9.524 kHz



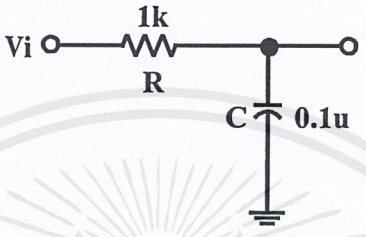
รูปที่ 4.4 แสดงรูปคลื่นสัญญาณไซน์ที่ความถี่ 628.9 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ผลการทดลองหาผลการตอบสนองทางความถี่

4.2.1 วงจรกรองความถี่ต่ำผ่านอันดับ 1

วงจรที่ใช้ในการทดสอบดังแสดงในรูปที่ 4.5 และกราฟแสดงผลอัตราส่วนของแรงดันเอาท์พุทต่อแรงดันอินพุทดังแสดงในรูปที่ 4.6

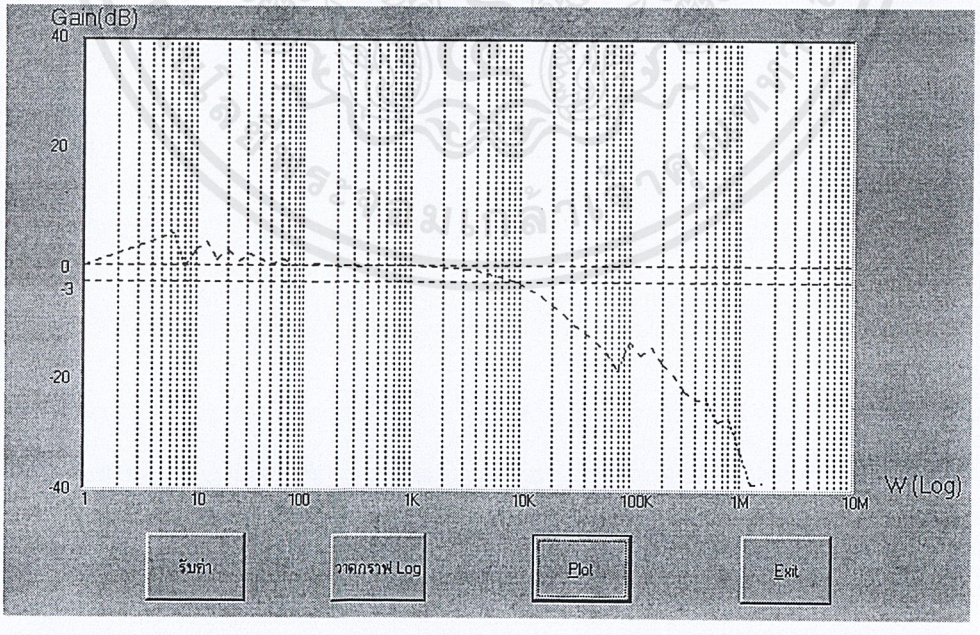


รูปที่ 4.5 แสดงวงจรกรองความถี่ต่ำผ่านอันดับ 1

ความถี่คัตออฟ (ω) = 1 / RC

= 1 / (1k * 0.1 uF)

= 10k rad / sec

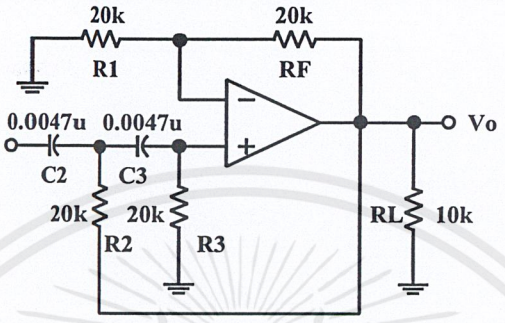


รูปที่ 4.6 กราฟแสดงอัตราส่วนแรงดันเอาท์พุทต่อแรงดันอินพุทของวงจรกรองความถี่ต่ำผ่านอันดับ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 วงจรกรองความถี่สูงผ่านอันดับ 2

วงจรที่ใช้ในการทดสอบดังแสดงในรูปที่ 4.7 และกราฟแสดงผลอัตราส่วนของแรงดันเอาท์พุทต่อแรงดันอินพุทดังแสดงในรูปที่ 4.8

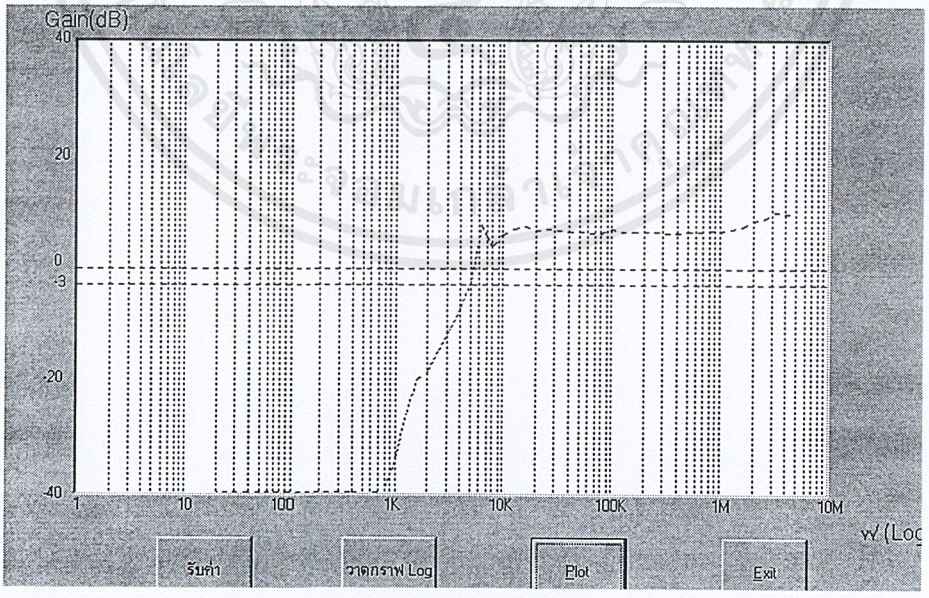


รูปที่ 4.7 แสดงวงจรกรองความถี่สูงผ่านอันดับ 2

$$\text{ความถี่คัตออฟ } (\omega) = 1 / \sqrt{(R2R3C2C3)} = 1 / RC$$

$$= 1 / (20k * 0.0047\ uF)$$

$$= 10.64k\ \text{rad / sec}$$



รูปที่ 4.8 กราฟแสดงอัตราส่วนแรงดันเอาท์พุทต่อแรงดันอินพุทของวงจรกรองความถี่สูงผ่านอันดับ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และสรุป

5.1 สรุป

เครื่องมือวิเคราะห์โครงข่าย เป็นเครื่องมือที่ใช้ทดสอบระบบ โดยระบบที่จะทดสอบ เราอาจจะไม่ทราบว่าข้างในระบบประกอบด้วยอุปกรณ์หรือส่วนประกอบอะไรบ้าง หรือถึงแม้จะทราบ แต่อาจจะหา Transfer Function ออกมาได้ยาก โดยเฉพาะในกรณีที่ระบบมีอันดับสูง ๆ หรือในกรณีที่ระบบประกอบด้วยอุปกรณ์ที่ไม่เป็นเชิงเส้น เครื่องมือวิเคราะห์โครงข่ายที่สร้างขึ้นมาจะทำการทดสอบระบบโดยวิธีทางโดเมนความถี่ กล่าวคือ จะป้อนสัญญาณรูปคลื่นไซน์เข้าไปยังระบบที่จะทดสอบแล้ววัดอัตราขยายและความต่างเฟสที่เกิดขึ้น เพื่อนำมาวาดกราฟในรูปแบบโบดพล็อต(Bode Plot) , โพลาพล็อต(Polar Plot) และล็อกแมกนิจูดต่อเฟสพล็อต(Log Magnitude versus Phase Plot) ซึ่งเมื่อได้กราฟออกมา จะทำให้เราทราบว่าระบบมีเสถียรภาพหรือไม่ หรือควรที่จะชดเชยระบบอย่างไรจึงจะเหมาะสม

5.2 ปัญหาที่เกิดขึ้น

การทดลองผลตอบสนองทางความถี่ โดยนำเครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้าที่สร้างขึ้นมาใช้ทดสอบกับวงจรทดสอบทั้งสองวงจร คือวงจรกรองความถี่ต่ำผ่านอันดับ 1 และวงจรกรองความถี่สูงผ่านอันดับ 1 ได้ผลการทดลองดังที่ได้แสดงไว้แล้วในบทที่ 4 ซึ่งผลการทดลองที่ได้มีความผิดพลาดเกิดขึ้นอันเนื่องมาจากการทำงานของวงจรแต่ละส่วน ดังนี้

1 ส่วนวงจรกำเนิดสัญญาณความถี่จากวงจรรวมเบอร์ XR 2206 พบว่าวงจรรวม XR 2206 ที่นำมาใช้ ไม่สามารถกำเนิดสัญญาณความถี่ที่เพิ่มขึ้นแบบเชิงเส้น(linear) ตลอดช่วงได้ และที่ความถี่ที่สูงขึ้นไปสัญญาณความถี่ที่กำเนิดได้มีการลดทอนของสัญญาณ โดยขนาดที่ได้มีค่าลดลง ซึ่งเป็นเหตุผลที่ทำให้เกิดความผิดพลาดขึ้นได้

2. ส่วนวงจรกำหนดค่ากระแส เพื่อใช้ในการกำเนิดสัญญาณความถี่ให้วงจรรวม XR 2206 หรือวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก(DAC)นั้น ค่าลอจิก(logic) ของกระแสที่ใช้ในการกำเนิดสัญญาณความถี่นั้นถูกกำหนดเป็นค่าตายตัวไว้ในส่วนโปรแกรมของไมโครคอนโทรลเลอร์ เพื่อใช้เป็นข้อมูลในการทดสอบ และวาดกราฟผลตอบสนองทางความถี่ ซึ่งไม่มีการเปลี่ยนแปลงค่าได้อีก ทำให้เกิดความผิดพลาดในการกำเนิดสัญญาณความถี่ได้ หากต้องการผลการทดลองที่มีความละเอียดมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ส่วนวงจรตรวจจับแรงดันยอด ค่าตัวเก็บประจุที่ใช้ในการเก็บประจุ และคายประจุนั้น ค่าตัวเก็บประจุที่ใช้ควรเป็นค่าที่เหมาะสมสำหรับเก็บ และคายประจุในแต่ละความถี่ที่ใช้ในการทดลอง เนื่องจากถ้าใช้ตัวเก็บประจุเพียงตัวเดียวในการเก็บ และคายประจุในย่านความถี่ทั้งหมดจะต้องใช้ตัวเก็บประจุที่มีค่ามากๆ แต่ตัวเก็บประจุที่มีค่ามากเวลาในการเก็บ และคายประจุจะต้องใช้เวลานานกว่าตัวเก็บประจุที่มีค่าน้อยกว่า ทำให้การทำงานของเครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้าช้าลง แต่ถ้าใช้ตัวเก็บประจุที่มีค่าน้อยก็จะทำให้ค่าแรงดันยอดที่ได้ไม่เรียบตามที่ต้องการ ซึ่งการเลือกค่าตัวเก็บประจุที่ใช้เก็บและคายประจุในวงจรตรวจจับแรงดันยอดไม่มีวิธี หรือสมการที่แน่นอนตายตัว จะต้องอาศัยการทดลองผิดลองถูกในการเลือกค่าตัวเก็บประจุมาใช้ภายในวงจร ซึ่งขณะที่ตัวเก็บประจุคายประจุนั้น ควรให้มีการคายประจุอย่างรวดเร็วภายในเวลาที่จำกัด เพื่อว่าการทำงานของเครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้าจะได้ทำงานได้อย่างรวดเร็ว ซึ่งค่าตัวเก็บประจุที่ใช้ภายในโครงงานอาจจะเลือกใช้ค่าที่ยังไม่เหมาะสมเท่าใดนัก ดังนั้นขณะที่ไมโครคอนโทรลเลอร์ทำงานเก็บข้อมูลเข้าไปประมวลผลนั้นอาจจะเก็บข้อมูลในขณะที่แรงดันที่เกิดขึ้นยังไม่ใช่แรงดันยอดที่แท้จริง จึงเกิดความผิดพลาดขึ้นได้
4. ส่วนวงจรตรวจจับความต่างเฟส จากวงจรรวม CD4046 นั้น ค่าสัญญาณที่ได้เกิดการแกว่งขึ้นในช่วงแคบๆ โดยเฉพาะที่ความถี่ต่ำๆ ทำให้ค่าสัญญาณที่แปลงได้จากวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล(ADC) เกิดความผิดพลาดขึ้น
5. ส่วนวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล เพื่อเก็บข้อมูลสัญญาณอนาลอกที่เกิดขึ้นแล้วแปลงเป็นสัญญาณดิจิตอล เพื่อเป็นข้อมูลให้แก่ไมโครคอนโทรลเลอร์ อาจมีความผิดพลาดเกิดขึ้น เนื่องจากความละเอียดในการแปลงสัญญาณมีค่าไม่เพียงพอ
6. ความผิดพลาดอันเนื่องจากสิ่งแวดล้อมโดยรอบ หรือสัญญาณรบกวน เนื่องจากการออกแบบลายทองแดงของวงจร
7. วงจรกำเนิดสัญญาณความถี่รูปคลื่นไซน์ไม่สามารถใช้อนาลอกสวิตช์ในการตัดต่อตัวเก็บประจุที่ใช้กำเนิดสัญญาณรูปคลื่นไซน์ในวงจรรวมเบอร์ XR 2206 ได้ เนื่องจากอนาลอกสวิตช์มีค่าความต้านทานภายใน ซึ่งจะทำให้ค่าอิมพีแดนซ์ในการกำเนิดสัญญาณรูปคลื่นไซน์มีค่าผิดเพี้ยนไป จึงใช้วงจรรีเลย์ในการตัดต่อค่าตัวเก็บประจุเพื่อกำเนิดสัญญาณรูปคลื่นไซน์แทน แต่การใช้วงจรรีเลย์ร่วมกับไมโครคอนโทรลเลอร์จะทำให้ไมโครคอนโทรลเลอร์ไม่สามารถทำงานได้ จึงต้องแยกแหล่งจ่ายไฟฟ้าออกเป็น 2 แหล่งจ่าย ทำให้ต้องใช้หม้อแปลง 2 ตัวภายในเครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 แนวทางแก้ไขและพัฒนาต่อไป

แนวทางแก้ไข และปรับปรุงคุณสมบัติของเครื่องวิเคราะห์โครงข่ายวงจรไฟฟ้ามีดังนี้

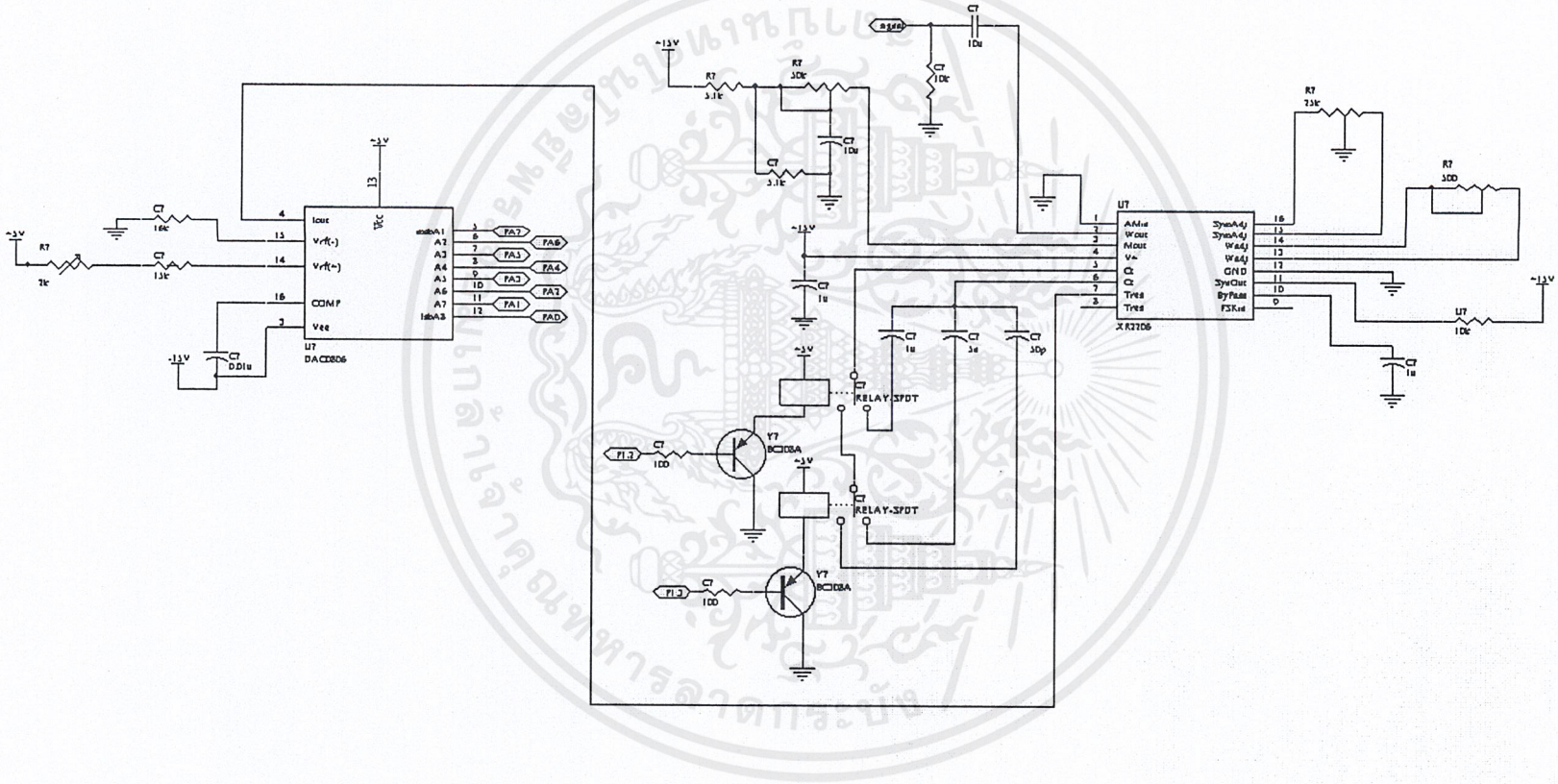
1. แก้ไขในส่วนของวงจรกำเนิดสัญญาณความถี่รูปคลื่นไซน์ให้มีเสถียรภาพมากขึ้น และสามารถกำเนิดความถี่ได้สูงขึ้น
2. ส่วนวงจรตรวจจับแรงดันยอด ให้เลือกใช้ค่าตัวเก็บประจุในการเก็บ และคายประจุในแต่ละความถี่ที่ใช้ในการทดสอบให้มีค่าที่เหมาะสม
3. ส่วนวงจรแปลงสัญญาณรูปคลื่นไซน์เป็นสัญญาณรูปสี่เหลี่ยม ให้เลือกใช้อัตราขยายหลายๆ ค่า เพื่อให้เหมาะสมกับแต่ละความถี่ เพื่อลดค่าความผิดพลาดทางเฟสที่เกิดขึ้น
4. ส่วนวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล และวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก ควรใช้วงจรที่มีความแม่นยำ และความละเอียดในการแปลงสูง เพื่อลดความผิดพลาดของข้อมูลในการแปลง
5. สร้างวงจรที่สามารถตรวจจับสัญญาณที่มีขนาดเล็กๆ ได้ ซึ่งจะทำให้ได้ข้อมูลที่มีความละเอียด และถูกต้องมากยิ่งขึ้น
6. พัฒนาการสร้าง ทดสอบ ประมวลผล และแสดงผลของความต่างเฟสที่เกิดขึ้นให้แสดงทางจอมอนิเตอร์ต่อไปได้
7. พัฒนารปแบบของการเขียนโปรแกรมให้มีความกระชับมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

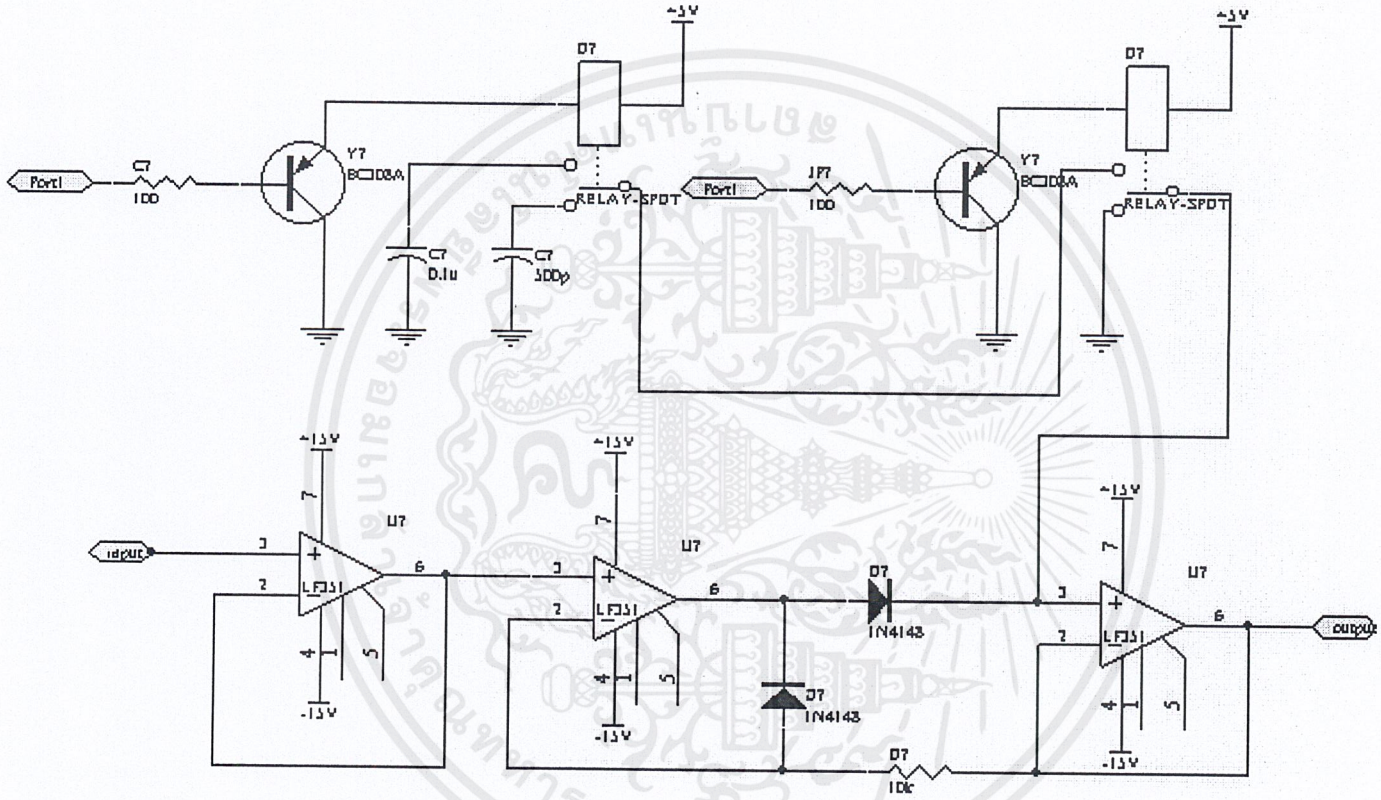
ภาคผนวก ก

(วงจร)

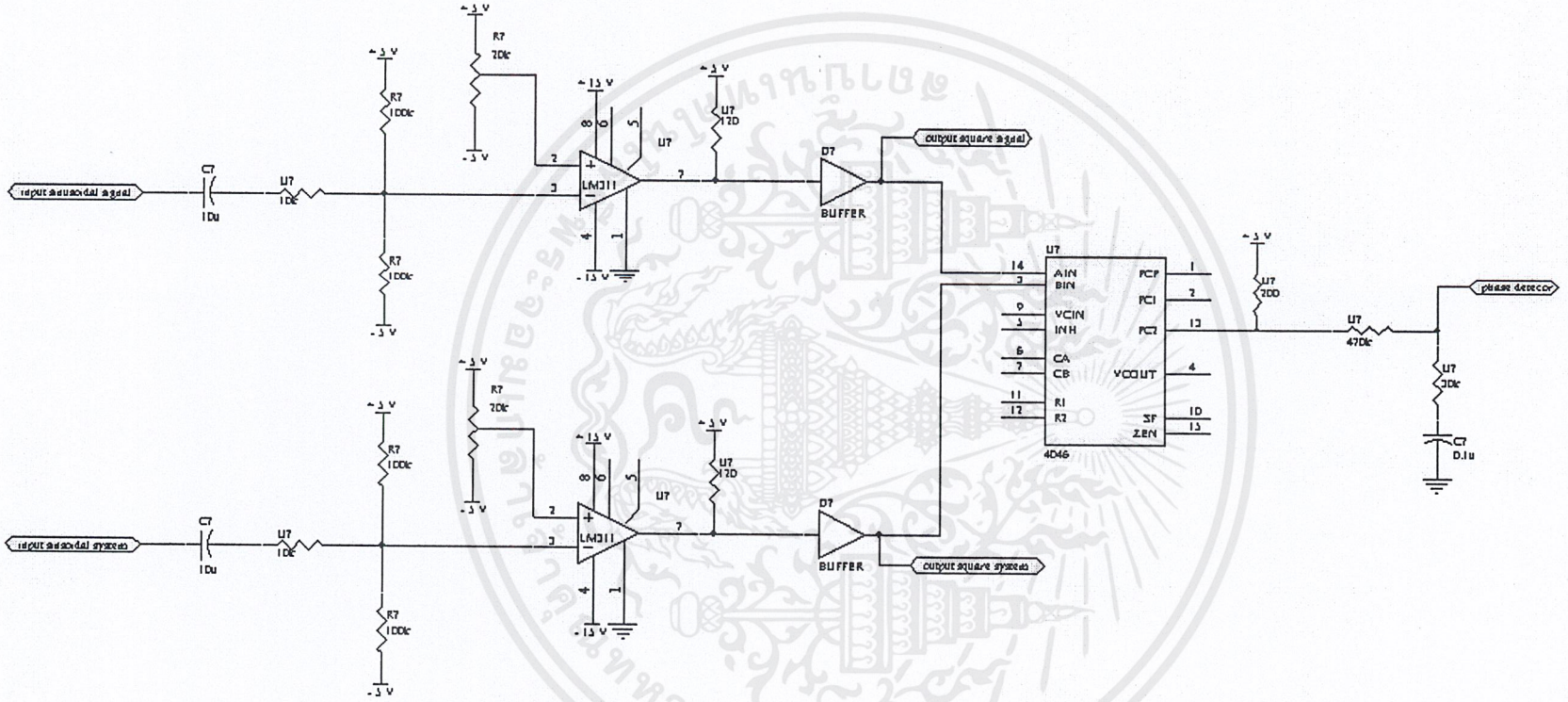
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



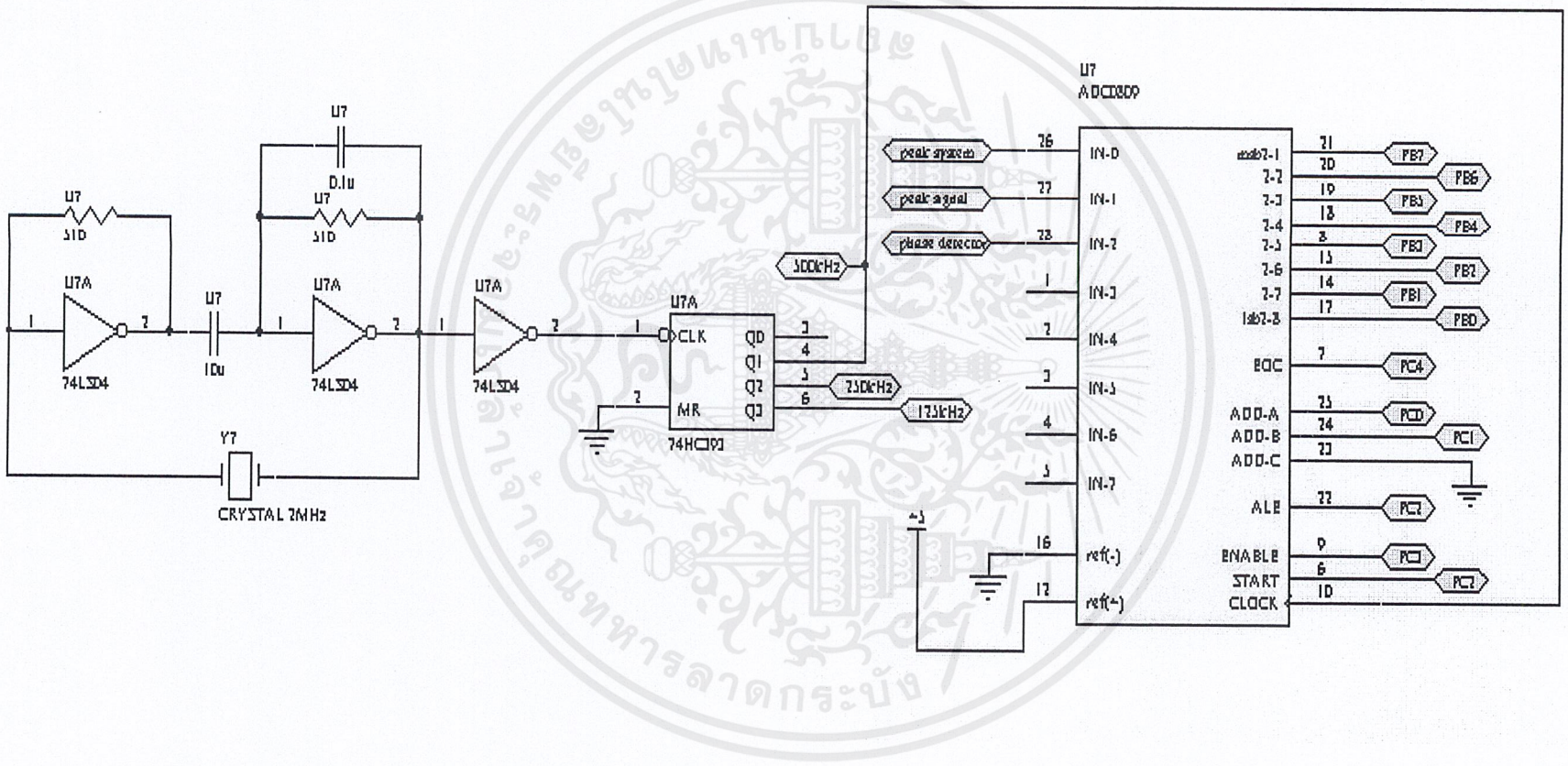
รูปที่ ก.1 แสดงวงจรกำเนิดสัญญาณรูปคลื่นไซน์



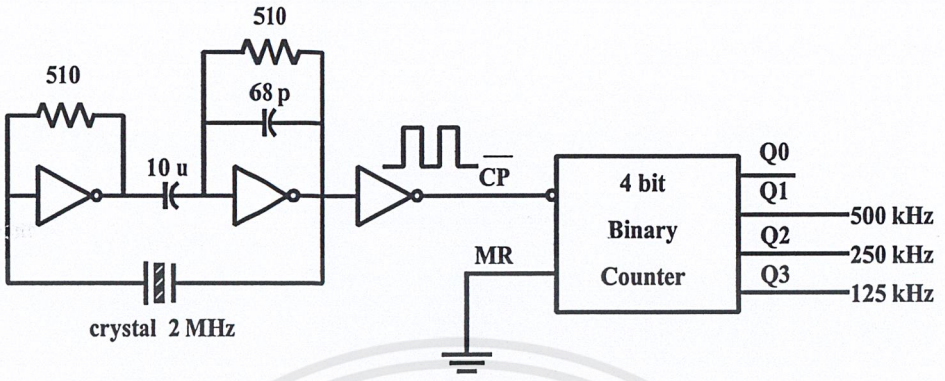
รูปที่ ก.2 แสดงวงจรตรวจจับแรงดันยอด



รูปที่ ก.3 แสดงวงจรตรวจจับความต่างเฟส



รูปที่ ก.4 แสดงวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล



รูปที่ ก.5 แสดงวงจรกำเนิดสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

(โปรแกรม)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมการทำงานของไมโครคอนโทรลเลอร์

```
                ORG     0000H
                JMP     INITIAL                 ;ข้ามส่วนตอบสนองการอินเตอร์รัพท์
        ;.....................................................................
                ORG     0003H
INTO_SERV:      SJMP    INITIAL
                RETI
        ;.....................................................................
                ORG     0023H
INT_SERIAL:     JNB     RI,END_RECEIVE
                CALL    SEND_DATA
                CLR     RI
END_RECEIVE: RETI
        ;.....................................................................
                ORG     0050H
INITIAL:        MOV     SP,#30H         ;กำหนดค่าเริ่มต้นให้ Stack Pointer
                MOV     P3,#0FFH        ;กำหนดให้ port 3 เป็น port ควบคุมเท่านั้น
                SETB    EA              ;ให้มีการตอบสนองการอินเตอร์รัพท์
                SETB    EX0             ;ให้มีการตอบสนองการอินเตอร์รัพท์จาก INTO
                CLR     EX1             ;ไม่ให้มีการตอบสนองการอินเตอร์รัพท์จาก INT1
                CLR     ET0             ;ไม่ให้มีการตอบสนองการอินเตอร์รัพท์จาก Timer0
                CLR     ET1             ;ไม่ให้มีการตอบสนองการอินเตอร์รัพท์จาก Timer1
                SETB    ET2             ;ให้มีการตอบสนองการอินเตอร์รัพท์จาก Timer2
                CLR     PSW.3           ;เลือกใช้งาน register bank 0
                CLR     PSW.4           ; "....."
                MOV     P2,#0F3H        ;ส่งค่า p2.0 p2.1 เพื่อเตรียมส่ง control word ให้ 8255
                MOV     R0,#00H         ;กำหนด address ไบต์ต่ำของการใช้คำสั่ง movx
                MOV     A,#10001010B    ;ให้ a->o/p b->i/p Cu->i/p CL->o/p
                MOVX    @R0,A           ;ส่งค่า control word
                MOV     R2,#00H         ;กำหนดค่าเริ่มต้นการนับความถี่
                MOV     R3,#00H         ;กำหนดค่าเริ่มต้นการนับการหน่วงเวลา
                MOV     R4,#00H         ;กำหนดค่าเริ่มต้นการนับสัญญาณอนาลอก
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV   R6,#00H        ;กำหนดค่าเริ่มต้นการนับตำแหน่งเก็บข้อมูลลงใน EEPROM
        MOV   R7,#00H        ;กำหนดค่าเริ่มต้นการนับตำแหน่งอ่านข้อมูลจาก EEPROM
;.....................................................................................
MAIN:         CALL  BEEP
        CALL  F_GEN          ;เรียกใช้โปรแกรมย่อยการกำหนดความถี่
        CALL  PEAK           ;เรียกใช้โปรแกรมตรวจจับขนาดของอินพุท
        CALL  PEAK           ;เรียกใช้โปรแกรมตรวจจับขนาดของเอาท์พุท
        MOV   R4,#00H        ;ทำการเริ่มต้นการนับสัญญาณอนาลอกอีกครั้ง
        INC   R2             ;เพิ่มค่าการนับความถี่ครั้งต่อไป
        CLR   C              ;เช็คว่าได้ความถี่เข้ามาครบตามกำหนดหรือไม่
        MOV   A,#60          ;เช็คว่าได้ความถี่เข้ามาครบตามกำหนดหรือไม่
        SUBB  A,R2           ;เช็คว่าได้ความถี่เข้ามาครบตามกำหนดหรือไม่
        JNC   MAIN           ;กลับไปรับค่าความถี่แล้วทำใหม่เมื่อได้ความถี่ยังไม่ครบ 60 ค่า
        CALL  BEEP
        CALL  BEEP
        CALL  BEEP
        CALL  BEEP
;.....จบ Main Program.....

;...../โปรแกรมย่อยการกำเนิดความถี่/.....
F_GEN:        CLR   C              ;ใช้ R2 เป็นตัวเช็คว่าควรใช้ความถี่เท่าไหร่
        MOV   A,R2           ;"....."
        SUBB  A,#22          ;"....."
        JC    F1
        CLR   C
        MOV   A,R2
        SUBB  A,#42
        JC    F2
        CLR   P1.2           ;เลือกใช้ C ความถี่สูงสุด
        CALL  L_DELAY
        CLR   P1.3
        CALL  L_DELAY
        SJMP  FIN1
F1:     SETB  P1.2           ;เลือกใช้ C ความถี่ต่ำ
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                CALL    L_DELAY
                SETB    P1.3
                CALL    L_DELAY
                SJMP    FIN1
F2:             CLR     P1.2            ;เลือกใช้ C ความถี่กลาง
                CALL    L_DELAY
                SETB    P1.3
                CALL    L_DELAY
FIN1:           MOV     A,R2            ;กำหนดค่าที่ใช้เปิดตาราง
                CALL    LOOKTABLE       ;เปิดตารางที่ใช้สำหรับกำหนดความถี่
                MOV     P2,#0F0H        ;ชี้ตำแหน่ง port A
                MOVX    @R0,A           ;ส่งค่าความถี่ออกทางพอร์ท a
                RET

        ;...../โปรแกรมย่อยตรวจจับขนาด/.....
PEAK:           CLR     P1.5            ;ลัดวงจร C ลงกราวน์
                CALL    L_DELAY         ;หน่วงเวลาให้ C ลัดวงจรจริง ๆ
P_1:            SETB    P1.5            ;เลือกใช้ C 0.1 uF ที่ความถี่ต่ำ
                CALL    L_DELAY
                SETB    P1.6            ;เลือกใช้ C 0.1 uF ที่ความถี่ต่ำ
                CALL    L_DELAY
FIN2:           CALL    ADC             ;แปลงข้อมูลอนาลอกของสัญญาณขนาดเก็บไว้ใน A
                CALL    DATA_WRITE      ;เก็บข้อมูลของ A ไว้ใน EEPROM
                RET

        ;...../โปรแกรมย่อยการแปลงอนาลอกเป็นดิจิตอล/.....
ADC:            MOV     A,#00000100B
                ORL     A,R7            ;กำหนดค่าที่จะส่งไปให้พอร์ท C
                MOV     P2,#0F2H                ;เลือกใช้พอร์ท C ให้ทำงานเป็นเอาท์พุท
                MOVX    @R0,A           ;ส่งค่าไปให้พอร์ท c (พร้อมทั้งเริ่มสตาร์ท)
                CALL    S_DELAY
                MOV     A,#00000000B    ;หยุดการสตาร์ท
                ORL     A,R7
                MOV     P2,#0F2H                ;เลือกใช้พอร์ท C ให้ทำงานเป็นเอาท์พุท
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOVX  @R0,A          ;หยุดการสตาร์ท เพื่อให้ EOC ทำงาน
READ:           MOV   P2,#0F2H               ;เลือกใช้พอร์ท  C
                MOVX  A,@R0          ;รับค่าจากพอร์ท c
                ANL   A,#00010000B   ;ต้องการดูเฉพาะค่าที่เป็นเอาท์พุทของพอร์ท C4
                JZ    READ           ;รอจนกว่าสัญญาณการแปลงจะเสร็จ( จนกว่า A ไม่เป็น  0)
                CALL  S_DELAY
                MOV   A,#00001000B   ;เซ็ตบิตที่ 4 (Output Enable)ให้ทำงาน
                ORL   A,R7
                MOV   P2,#0F2H               ;เลือกใช้พอร์ท  C
                MOVX  @R0,A          ;ส่งสัญญาณ o/p Enable ออกไป
                MOV   P2,#0F1H               ;เรียกใช้พอร์ท B ของ 8255
                MOVX  A,@R0          ;อ่านข้อมูลจากพอร์ท B  (A/D)
                PUSH  Acc
                MOV   A,#00000000B   ;รีเซ็ต  port c
                MOV   P2,#0F2H               ;เลือกใช้พอร์ท  C ให้ทำงานเป็นเอาท์พุท
                MOV   @R0,A          ;ส่งค่าไปรีเซ็ต  port c
                POP   Acc
                INC   R4
                RET

        ;.....โปรแกรมย่อยการเขียนข้อมูลลง  EEPROM.....
        ;input is Re.  A,R6
DATA_WRITE:     MOV   96H,#00011000B         ;เปิด  EEPROM
                MOV   DPH,#00H
                MOV   DPL,R6
                MOVX  @DPTR,A                        ;เขียนข้อมูลลง EEPROM
                CALL  WAIT           ;รอจนกว่าจะเขียนเสร็จ
                INC   R6             ;เพิ่มค่าตำแหน่งที่จะเก็บต่อไป
                MOV   96H,#00H       ;ปิด  EEPROM
                RET

        ;.....โปรแกรมย่อยการอ่านข้อมูลจาก  EEPROM.....
        ; input  is  Re.  R7
DATA_READ:      MOV   96H,#00001100B         ;เปิด  EEPROM
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     DPH,#00H
        MOV     DPL,R7
        MOVX    A,@DPTR                 ;อ่านข้อมูลจาก EEPROM
        CALL    WAIT                    ;รอจนกว่าจะอ่านเสร็จ
        MOV     96H,#00H                ;ปิด EEPROM
        INC     R7
        RET
;output is Re. A

;.....โปรแกรมย่อยการส่ง Seriel port.....
SEND_DATA:  MOV     TMOD,#20H
        MOV     TH1,#0FDH
        SETB    TR1
        MOV     SCON,#01000000B         ;SMO SM1 SM2 REN TB8 RB8 TI RI
        ANL     PCON,#01111111B         ;CLR SMOD
        CLR     ES
        CLR     TI
        CLR     ET1
;Program send data
;out data 120 bytes at 0000h in EEPROM to Seriel port
SEND1:      MOV     R7,#00H             ;ตำแหน่งไบต์แรกของการส่งอนุกรม
        JB      TI,$
SEND2:      CALL    DATA_READ           ;อ่านข้อมูลใน EEPROM เก็บไว้ใน A
        MOV     SBUF,A                  ;ส่งข้อมูลให้ sbuf
        INC     R7
        CLR     TI
        CJNE    R7,#120,SEND2
        RET

;.....โปรแกรมย่อยรอการทำงานของการอ่าน-เขียน EEPROM.....
WAIT:       MOV     A,96H
        ANL     A,#00000010B            ;เช็คว่าบิด RDY/BSY เป็น 1หรือไม่
        JZ      WAIT
        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;.....โปรแกรมย่อยการสร้างเสียงออด/.....
BEEP:   CLR   P3.5        ;ทำเสียงออด
        CALL  L_DELAY     ;ทำเสียงออด
        SETB  P3.5        ;ทำเสียงออด
        CLR   P3.5        ;ทำเสียงออด
        CALL  L_DELAY     ;ทำเสียงออด
        SETB  P3.5        ;ทำเสียงออด
        RET

;.....โปรแกรมย่อยหน่วงเวลาสั้น ๆ/.....
S_DELAY: MOV  R3,#20      ;หน่วงเวลาประมาณ 50 uS
DEL1:   NOP
        DJNZ  R3,DEL1
        RET

;.....โปรแกรมย่อยหน่วงเวลา/.....
L_DELAY: CLR  TF0
        MOV   R3,#5       ;หน่วงเวลา1S
DEL2:   MOV   8AH,#00H    ;กำหนดค่าเริ่มต้นให้ TL0
        MOV   8CH,#00H    ;กำหนดค่าเริ่มต้นให้ TH0
        MOV   TMOD,#01H   ;เซ็ต Timer0 Mode 1
        SETB  TR0         ;ให้ Timer0 ทำงานเริ่มนับ
        JNB   TF0,$       ;รอจนกว่า Timer0 จะนับได้ครบ(TF0)
        CLR   TR0         ;ให้ Timer0 หยุดนับ
        CLR   TF0         ;เคลียร์ค่า Overflow Flag ของ Timer0
        DJNZ  R3,DEL2     ;ให้วนจนกว่าค่า R3 จะลดเป็น 0
        RET

;.....โปรแกรมย่อยเปิดตาราง.....
LOOKTABLE: MOVC A,@A+PC
        RET
DATA:   DB    00000010B   ;1). f=0.971
        DB    00000011B   ;2). f=1.429
        DB    00000100B   ;3). f=1.6
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DB      00000101B       ;4). f=1.852
DB      00000110B       ;5). f=2.703
DB      00000111B       ;6). f=3.145
DB      00001001B       ;7). f=4.149
DB      00001011B       ;8). f=5.025
DB      00001111B       ;9). f=6.25
DB      00010010B       ;10). f=8.065
DB      00010110B       ;11). f=9.843
DB      00011100B       ;12). f=12.44
DB      00100100B       ;13). f=16.03
DB      00101101B       ;14). f=19.84
DB      00111001B       ;15). f=25.25
DB      01001000B       ;16). f=31.85
DB      01011011B       ;17). f=40.00
DB      01110011B       ;18). f=50.00
DB      10010011B       ;19). f=63.29
DB      10111101B       ;20). f=80.00
DB      11111111B       ;21). f=92.59
DB      11111111B       ;22). f=92.59

DB      00000010B       ;23). f=175.41
DB      00000011B       ;24). f=263.2
DB      00000100B       ;25). f=340.1
DB      00000101B       ;26). f=416.7
DB      00000110B       ;27). f=507.6
DB      00001000B       ;28). f=649.4
DB      00001010B       ;29). f=813.0
DB      00001101B       ;30). f=1.059k
DB      00010000B       ;31). f=1.276k
DB      00010100B       ;32). f=1.613k
DB      00011010B       ;33). f=2.066k
DB      00100001B       ;34). f=2.5k
DB      00101010B       ;35). f=3.125k
DB      00110111B       ;36). f=4.032k
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DB      01000110B       ;37). f=5.025k
DB      01011000B       ;38). f=6.25k
DB      01110000B       ;39). f=8.00k
DB      10001111B       ;40). f=10k
DB      10110101B       ;41). f=12.66k
DB      11100111B       ;42). f=16.03k

DB      00000101B       ;43). f=20.66K
DB      00000110B       ;44). f=25.13k
DB      00001000B       ;45). f=32.6k
DB      00001010B       ;46). f=42.08k
DB      00001100B       ;47). f=49.1k
DB      00001111B       ;48). f=62.52k
DB      00010011B       ;49). f=78.13k
DB      00011010B       ;50). f=106.4k
DB      00011101B       ;51). f=126.9k
DB      00100110B       ;52). f=171.2k
DB      00110000B       ;53). f=201.6k
DB      00111111B       ;54). f=250k
DB      01001111B       ;55). f=318.5k
DB      01100100B       ;56). f=400k
DB      01111110B       ;57). f=505.1k
DB      10100000B       ;58). f=632.9k
DB      11011100B       ;59). f=833.3k
DB      11111111B       ;60). f=925.9k

END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมแสดงผล

```
Option Explicit
   Option Base 1
   Dim DatC  As Integer
   Dim Arr(120) As Variant
   Public Buffer As Variant
   Dim send As Variant
   Peak(60) As Double
   Dim data As Variant

Private Sub cmdDrawLine_Click()
   Picture1.Scale (0, 40)-(70, -40)
   Dim i As Integer, X As Double
   Picture1.Line (0, 0)-(70, 0)
   For i = 2 To 10
      X = 10 * ((Log(i)) / (Log(10)))
      Picture1.Line (X, 120)-(X, -120)
      Picture1.Line ((X + 10), 40)-((X + 10), -40)
      Picture1.Line ((X + 20), 40)-((X + 20), -40)
      Picture1.Line ((X + 30), 40)-((X + 30), -40)
      Picture1.Line ((X + 40), 40)-((X + 40), -40)
      Picture1.Line ((X + 50), 40)-((X + 50), -40)
      Picture1.Line ((X + 60), 40)-((X + 60), -40)
      Picture1.Line ((X + 70), 40)-((X + 70), -40)
   Next i
  End Sub

Private Sub cmdExit_Click()
   End
End Sub
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Private Sub cmdPlot_Click()
   Dim i As Integer
   Dim X As Integer, Y As Double
   For i = 1 To 60
      Peak(i) = Arr(2 * i) / Arr(2 * i - 1)
   Next i
   X1 = 0
   Y1 = 0
   For i = 1 To 60
      X = i
      Y = 20 * (Log(Peak(i)) / Log(10))
      Picture1.PSet (X, Y)
      X1 = X
      Y1 = Y
   Next i
End Sub

Private Sub cmdReceive_Click()
   Dim i As Integer, send As Variant
   MSComm1.InputLen = 0
   MSComm1.InputMode = comInputModeBinary
   send = 49
   MSComm1.Output = send
   Do Until MSComm1.InBufferCount < 121
     DoEvents
   Loop
   Buffer = MSComm1.Input
   Arr = Buffer
   Form2.Show vbModeless
End Sub

Private Sub Form_Load()
   MSComm1.CommPort = 1
   MSComm1.Settings = "9600,n,8,1"
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    MSComm1.PortOpen = True
    MSComm1.RTSEnable = True
    MSComm1.InputLen = 0
    MSComm1.RThreshold = 1
    DatC = 1
End Sub

Private Sub MSComm1_OnComm()
    Dim a As Integer
    Dim b As Variant
    MSComm1.InputLen = 1
    If MSComm1.CommEvent = comEvReceive Then
      Arr(DatC) = MSComm1.Input
      'L1.Caption = L1.Caption + Arr(DatC)
      'T1.Text = T1.Text + "t"
      DatC = DatC + 1
End If
End Sub

Private Sub Picture1_Click()

End Sub
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

(ดาต้าชีท)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

Monolithic
Function Generator

EXAR ...the analog plus company™

June 1997-3

FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2206M	16 Lead 300 Mil CDIP	-55°C to +125°C
XR-2206P	16 Lead 300 Mil PDIP	–40°C to +85°C
XR-2206CP	16 Lead 300 Mil PDIP	0°C to +70°C
XR-2206D	16 Lead 300 Mil JEDEC SOIC	0°C to +70°C

TQM™

©1972

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ (510) 668-7017

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

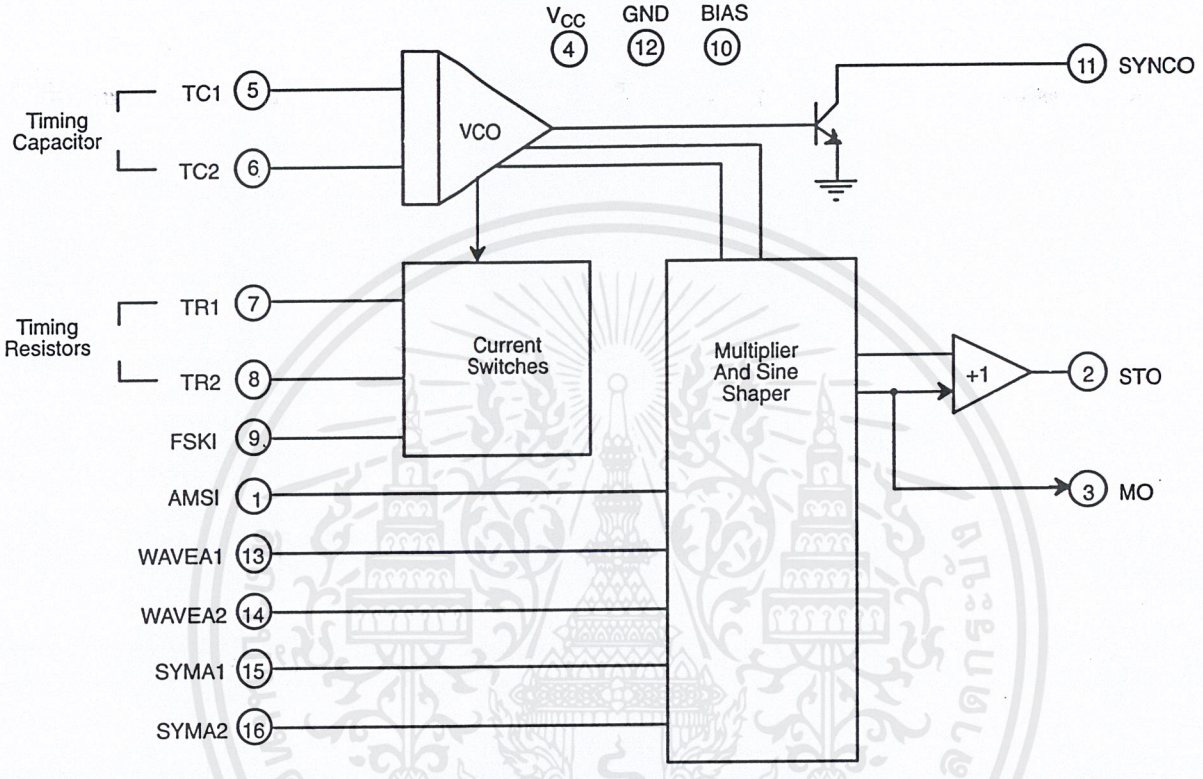
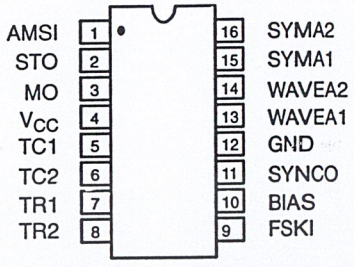
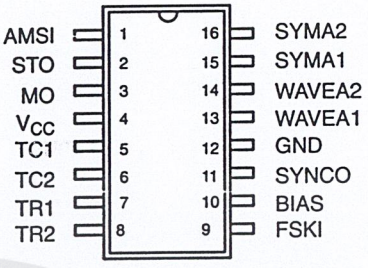


Figure 1. XR-2206 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



16 Lead PDIP, CDIP (0.300")



16 Lead SOIC (Jedec, 0.300")

PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	AMSI	I	**Amplitude Modulating Signal Input.**
2	STO	O	**Sine or Triangle Wave Output.**
3	MO	O	**Multiplier Output.**
4	V_{CC}		**Positive Power Supply.**
5	TC1	I	**Timing Capacitor Input.**
6	TC2	I	**Timing Capacitor Input.**
7	TR1	O	**Timing Resistor 1 Output.**
8	TR2	O	**Timing Resistor 2 Output.**
9	FSKI	I	**Frequency Shift Keying Input.**
10	BIAS	O	**Internal Voltage Reference.**
11	SYNCO	O	**Sync Output.** This output is a open collector and needs a pull up resistor to V_{CC}.
12	GND		**Ground pin.**
13	WAVEA1	I	**Wave Form Adjust Input 1.**
14	WAVEA2	I	**Wave Form Adjust Input 2.**
15	SYMA1	I	**Wave Symetry Adjust 1.**
16	SYMA2	I	**Wave Symetry Adjust 2.**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of *Figure 2* **Vcc = 12V, T_A = 25°C, C = 0.01µF, R_1 = 100kΩ, R_2 = 10kΩ, R_3 = 25kΩ**
Unless Otherwise Specified. S_1 open for triangle, closed for sine wave.

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
General Characteristics								
Single Supply Voltage	**10**		**26**	10		26	V	
Split-Supply Voltage	**±5**		**±13**	±5		±13	V	
Supply Current		12	**17**		14	20	mA	$R_1 \geq 10k\Omega$
Oscillator Section								
Max. Operating Frequency	**0.5**	1		0.5	1		MHz	C = 1000pF, R_1 = 1kΩ
Lowest Practical Frequency		0.01			0.01		Hz	C = 50µF, R_1 = 2MΩ
Frequency Accuracy		±1	**±4**		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability Frequency		±10	**±50**		±20		ppm/°C	0°C ≤ T_A ≤ 70°C $R_1 = R_2$ = 20kΩ
Sine Wave Amplitude Stability[2]		4800			4800		ppm/°C	
Supply Sensitivity		0.01	**0.1**		0.01		%/V	V_{LOW} = 10V, V_{HIGH} = 20V, $R_1 = R_2$ = 20kΩ
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ R_1 = 1kΩ f_L @ R_1 = 2MΩ
Sweep Linearity								
10:1 Sweep		2			2		%	f_L = 1kHz, f_H = 10kHz
1000:1 Sweep		8			8		%	f_L = 100Hz, f_H = 100kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	**0.001**		100	0.001		100	µF	*Figure 5*
Timing Resistors: R_1 & R_2	**1**		2000	1		2000	kΩ	
Triangle Sine Wave Output[1]								*Figure 3*
Triangle Amplitude		160			160		mV/kΩ	*Figure 2*, S_1 Open
Sine Wave Amplitude	**40**	60	80		60		mV/kΩ	*Figure 2*, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	R_1 = 30kΩ
With Adjustment		0.4	**1.0**		0.5	1.5	%	See *Figure 7* and *Figure 8*

Notes
[1] Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.
[2] For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		ns	C_L = 10pF
Fall Time		50			50		ns	C_L = 10pF
Saturation Voltage		0.2	**0.4**		0.2	0.6	V	I_L = 2mA
Leakage Current		0.1	**20**		0.1	100	µA	V_{CC} = 26V
FSK Keying Level (Pin 9)	0.8	1.4	**2.4**	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	**3.1**	**3.3**	2.5	3	3.5	V	Measured at Pin 10.

Notes
[1] Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.
[2] For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply 26V
Power Dissipation 750mW
Derate Above 25°C ..... 5mW/°C
Total Timing Current 6mA
Storage Temperature ..... -65°C to +150°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO produces an output frequency proportional to an input current, which is set by a resistor from the timing terminals to ground. With two timing pins, two discrete output frequencies can be independently produced for FSK generation applications by using the FSK input control pin. This input controls the current switches which select one of the timing resistor currents, and routes it to the VCO.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

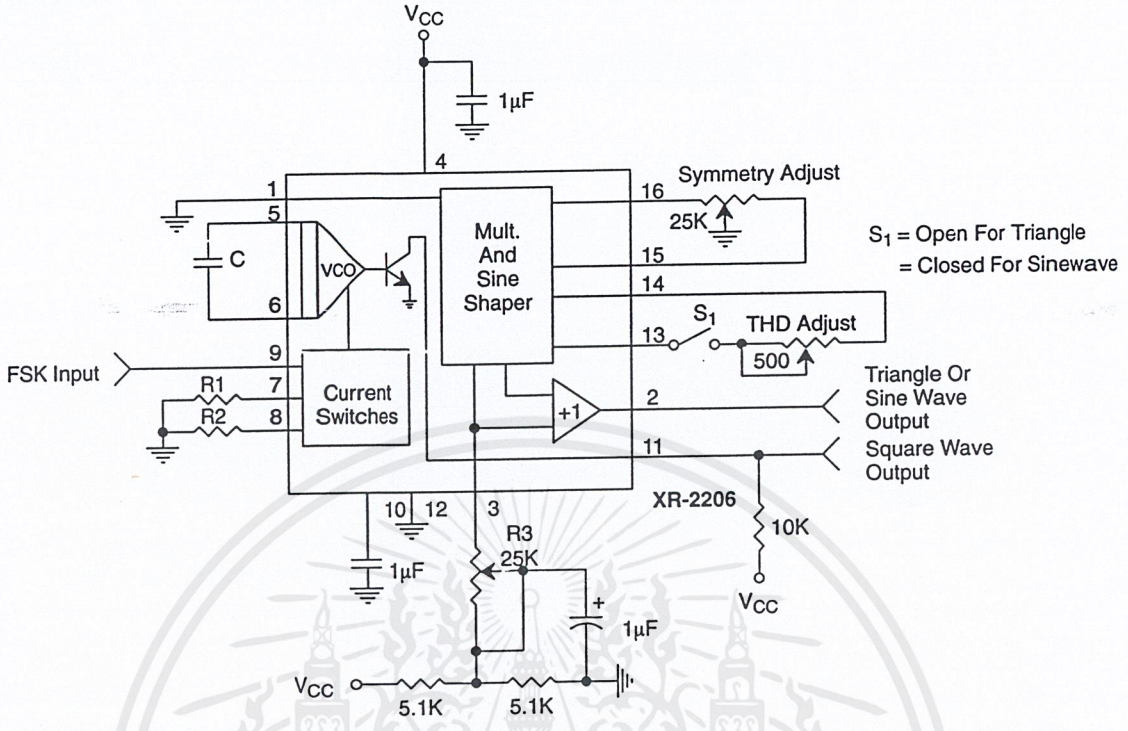


Figure 2. Basic Test Circuit

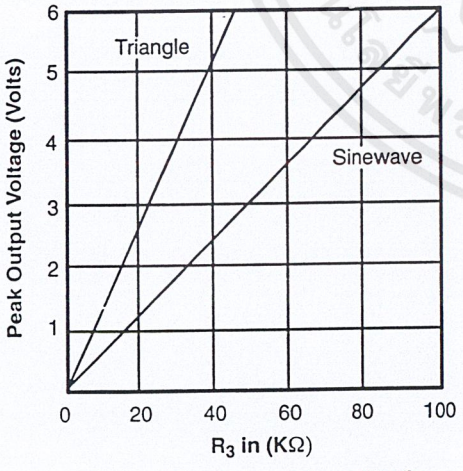


Figure 3. Output Amplitude as a Function of the Resistor, R3, at Pin 3

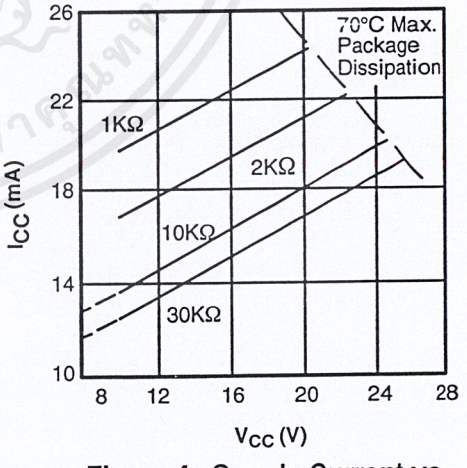


Figure 4. Supply Current vs Supply Voltage, Timing, R

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

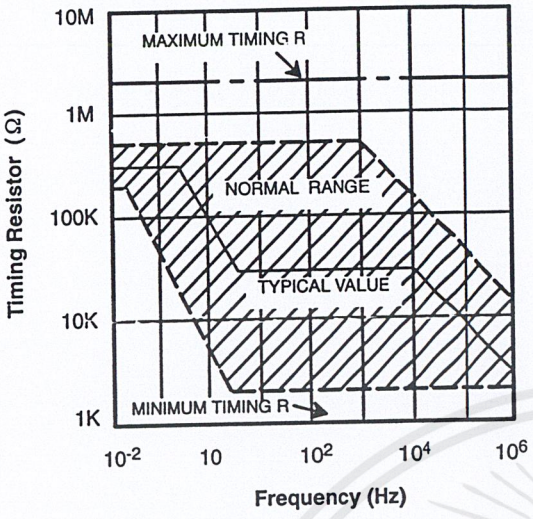


Figure 5. R versus Oscillation Frequency.

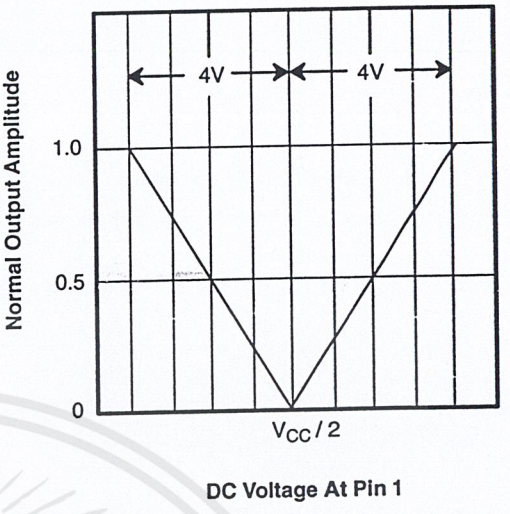


Figure 6. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1)

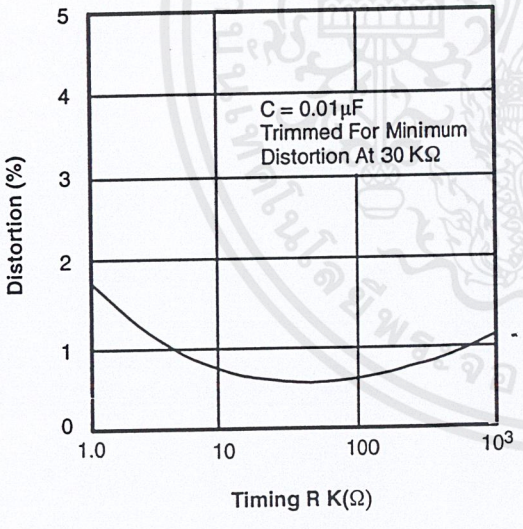


Figure 7. Trimmed Distortion versus Timing Resistor.

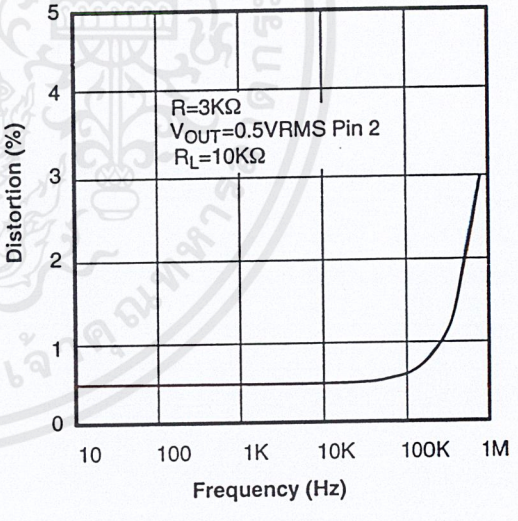


Figure 8. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

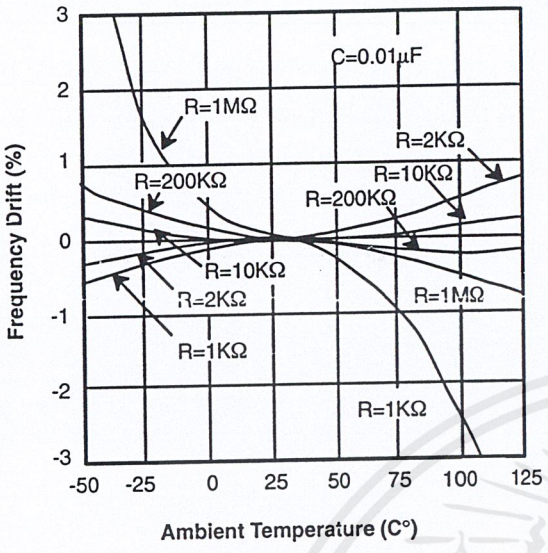


Figure 9. Frequency Drift versus Temperature.

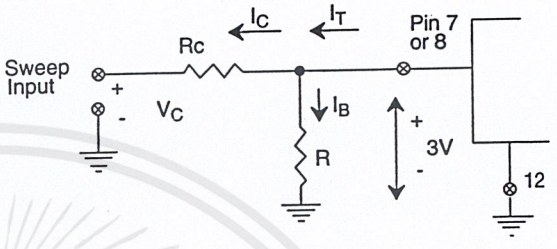


Figure 10. Circuit Connection for Frequency Sweep.

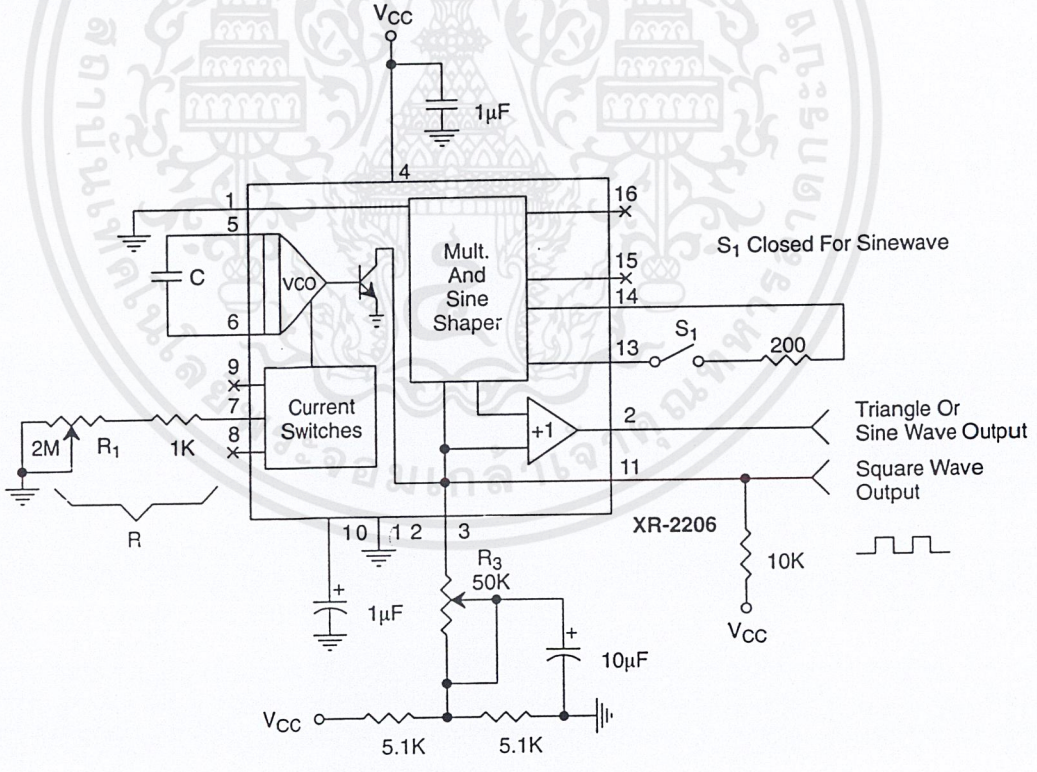


Figure 11. Circuit tor Sine Wave Generation without External Adjustment. (See *Figure 3* for Choice of R_3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

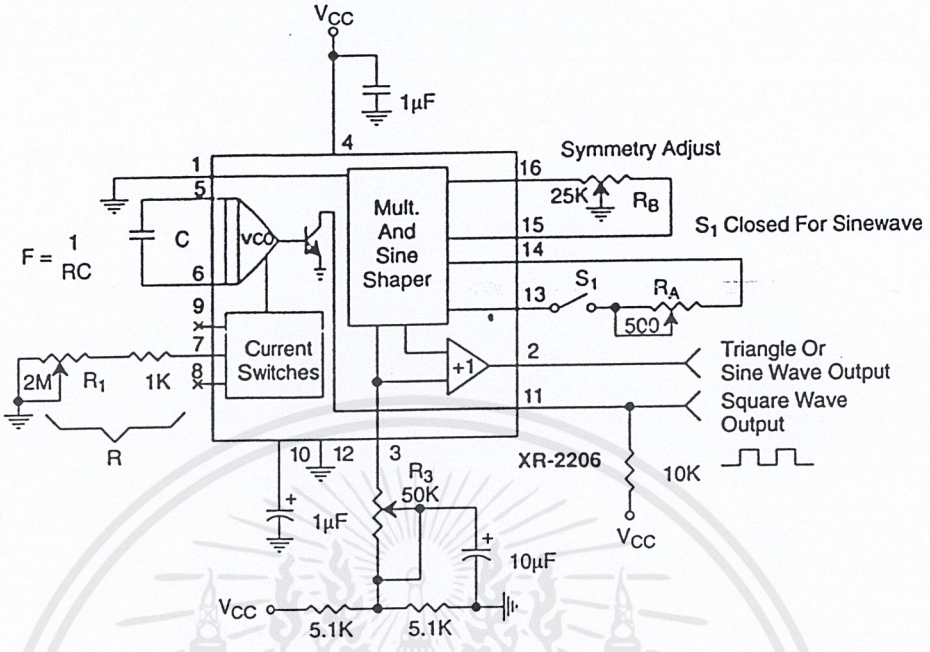


Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing - See *Figure 3*)

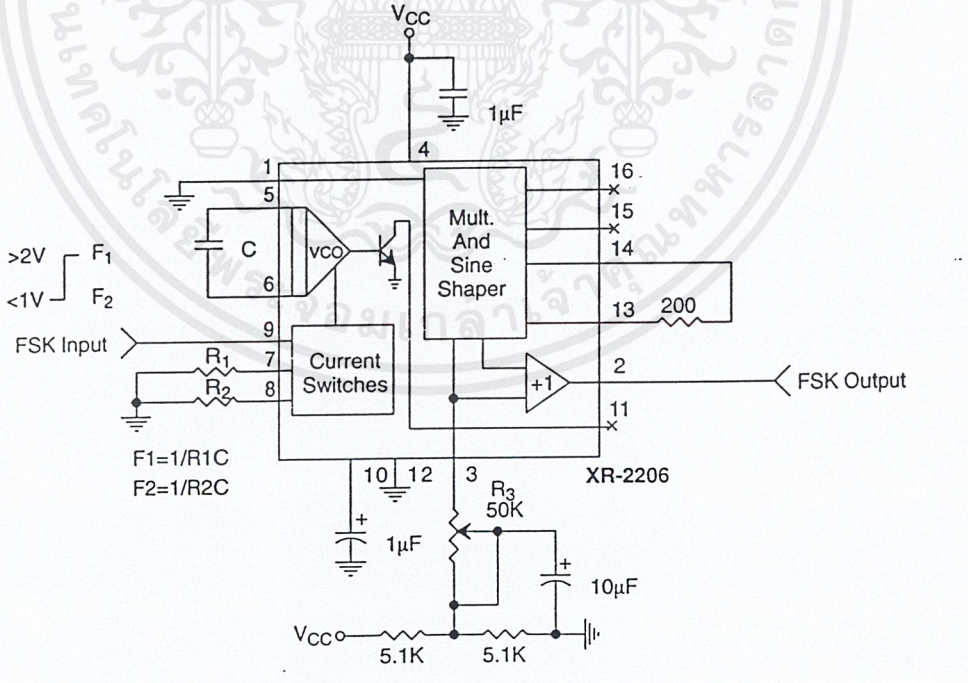


Figure 13. Sinusoidal FSK Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

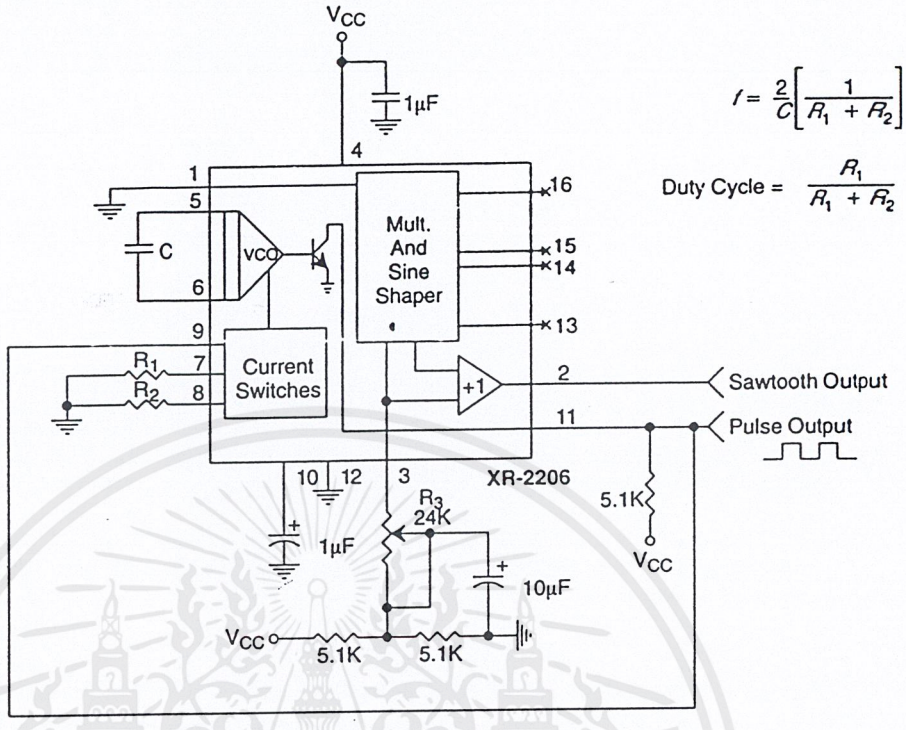


Figure 14. Circuit for Pulse and Ramp Generation.

Frequency-Shift Keying

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in *Figure 13.* Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$ 2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels. f_1 and f_2, as:

$f_1 = 1/R_1C$ and $f_2 = 1/R_2C$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In *Figure 11*, *Figure 12* and *Figure 13*, Pin 3 is biased midway between V+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment

Figure 11 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is < 2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of *Figure 11* can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to -0.5% by additional adjustments as shown in *Figure 12.* The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of *Figure 11* and *Figure 12* can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 13 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 14 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99% by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1kΩ to 2MΩ.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC}\ Hz$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in *Figure 5.* Temperature stability is optimum for 4kΩ < R < 200kΩ. Recommended values of C are from 1000pF to 100μF.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320 I_T(mA)}{C(\mu F)}\ Hz$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with IT, over a wide range of current values, from 1μA to 3mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in *Figure 10.* The frequency of oscillation is related to VC as:

$$f = \frac{1}{RC}\left(1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right)\right) Hz$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_C = -\frac{0.32}{R_C C}\ \ Hz/V$$

CAUTION: For safety operation of the circuit, I_T should be limited to ≤ 3mA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see *Figure 3*). For sine wave output, amplitude is approximately 60mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160mV peak per kΩ of R_3. Thus, for example, R_3 = 50kΩ would produce approximately 13V sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within 14 volts of $V_{CC}/2$ as shown in *Figure 6*. As this bias level approaches $V_{CC}/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55dB.

CAUTION: *AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of* V_{CC}.

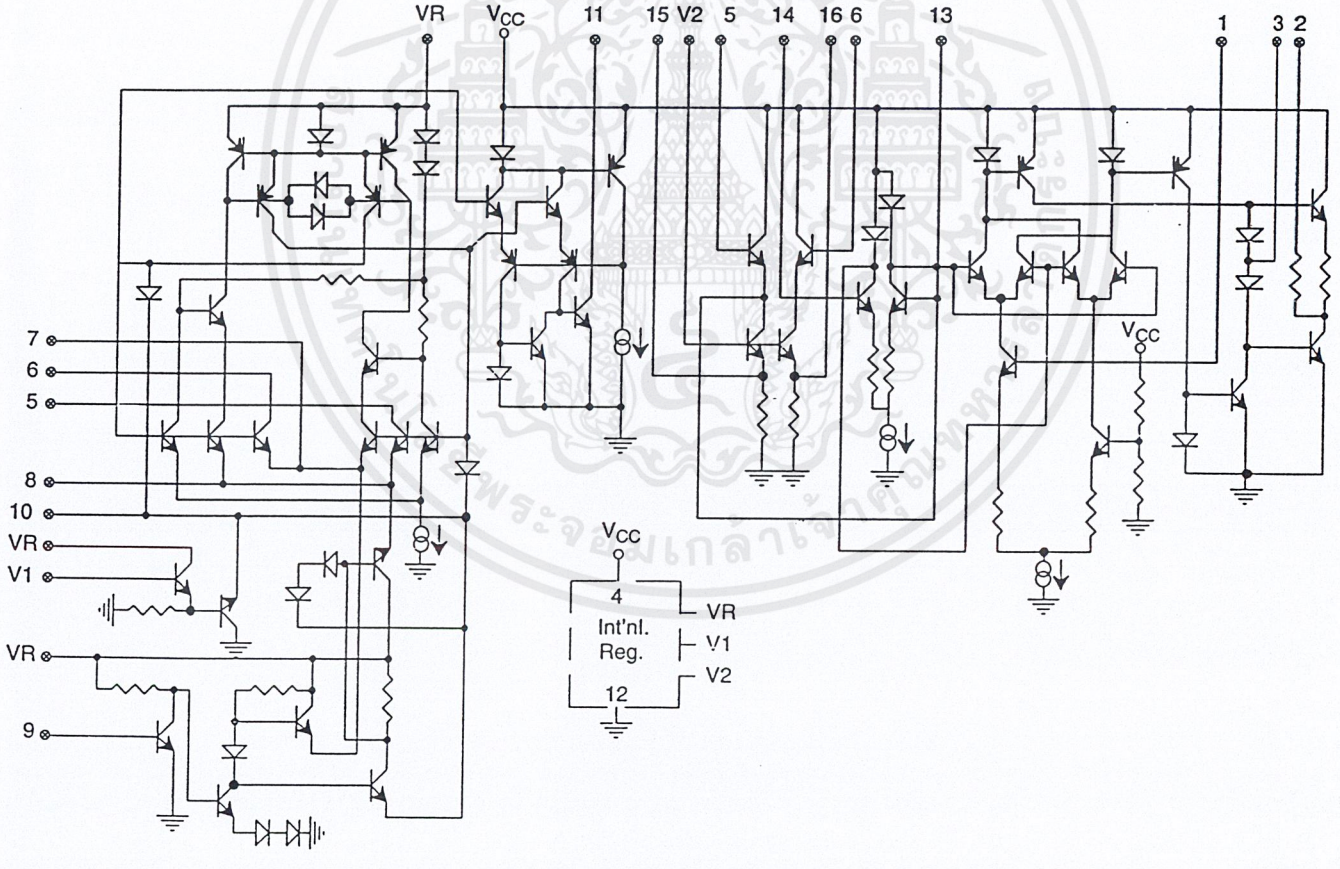


Figure 15. Equivalent Schematic Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14046B

Phase Locked Loop

The MC14046B phase locked loop contains two phase comparators, a voltage–controlled oscillator (VCO), source follower, and zener diode. The comparators have two common signal inputs, PCA_{in} and PCB_{in}. Input PCA_{in} can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self–bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal $PC1_{out}$, and maintains 90° phase shift at the center frequency between PCA_{in} and PCB_{in} signals (both at 50% duty cycle). Phase comparator 2 (with leading edge sensing logic) provides digital error signals, $PC2_{out}$ and LD, and maintains a 0° phase shift between PCA_{in} and PCB_{in} signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source–follower output SF_{out} with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage–to–frequency conversion and motor speed control.

- Buffered Outputs Compatible with MHTL and Low–Power TTL
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 to 18 V
- Pin–for–Pin Replacement for CD4046B
- Phase Comparator 1 is an Exclusive Or Gate and is Duty Cycle Limited
- Phase Comparator 2 switches on Rising Edges and is not Duty Cycle Limited

MAXIMUM RATINGS (Voltages Referenced to V_{SS}) (Note 2.)

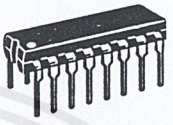
Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage Range	–0.5 to +18.0	V
V_{in}	Input Voltage Range (All Inputs)	–0.5 to V_{DD} + 0.5	V
I_{in}	DC Input Current, per Pin	±10	mA
P_D	Power Dissipation, per Package (Note 3.)	500	mW
T_A	Operating Temperature Range	–55 to +125	°C
T_{stg}	Storage Temperature Range	–65 to +150	°C

2. Maximum Ratings are those values beyond which damage to the device may occur.
3. Temperature Derating:
Plastic "P and D/DW" Packages: – 7.0 mW/°C From 65°C To 125°C

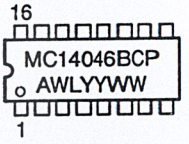
ON Semiconductor™

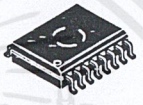
http://onsemi.com

MARKING DIAGRAMS

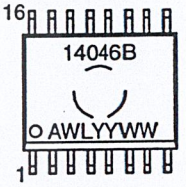


PDIP–16
P SUFFIX
CASE 648

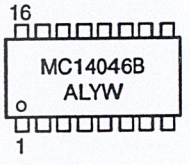




SO–16
DW SUFFIX
CASE 751G



EIAJ SO–16
F SUFFIX
CASE 966



A = Assembly Location
WL, L = Wafer Lot
YY, Y = Year
WW, W = Work Week

ORDERING INFORMATION

Device	Package	Shipping
MC14046BCP	PDIP–16	2000/Box
MC14046BDW	SO–16	2350/Box
MC14046BDWR2	SO–16	1000/Tape & Reel
MC14046BF	EIAJ SO–16	Refer to Note 1.
MC14046BFEL	EIAJ SO–16	Refer to Note 1.

1. For ordering information on the EIAJ version of the SOIC packages, please contact your local ON Semiconductor representative.

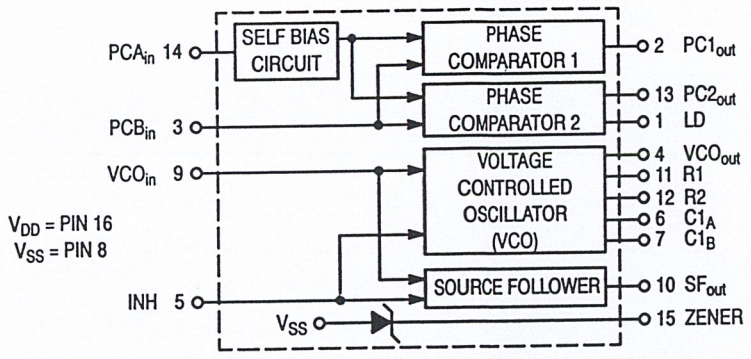
This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

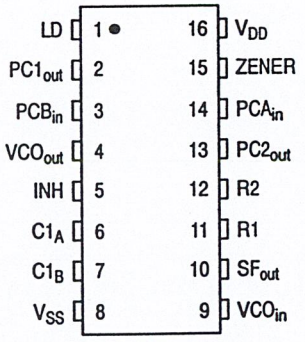
© Semiconductor Components Industries, LLC, 2001

เอกสารนี้จัดทำขึ้นสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM



PIN ASSIGNMENT



ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic		Symbol	V_{DD} Vdc	−55°C Min	−55°C Max	25°C Min	25°C Typ	25°C Max	125°C Min	125°C Max	Unit
Output Voltage V_{in} = V_{DD} or 0	"0" Level	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
			10	—	0.05	—	0	0.05	—	0.05	
			15	—	0.05	—	0	0.05	—	0.05	
V_{in} = 0 or V_{DD}	"1" Level	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
			10	9.95	—	9.95	10	—	9.95	—	
			15	14.95	—	14.95	15	—	14.95	—	
Input Voltage (4.)	"0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)			5.0	—	1.5	—	2.25	1.5	—	1.5	
(V_O = 9.0 or 1.0 Vdc)			10	—	3.0	—	4.50	3.0	—	3.0	
(V_O = 13.5 or 1.5 Vdc)			15	—	4.0	—	6.75	4.0	—	4.0	
(V_O = 0.5 or 4.5 Vdc)	"1" Level	V_{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
(V_O = 1.0 or 9.0 Vdc)			10	7.0	—	7.0	5.50	—	7.0	—	
(V_O = 1.5 or 13.5 Vdc)			15	11	—	11	8.25	—	11	—	
Output Drive Current		I_{OH}									mAdc
(V_{OH} = 2.5 Vdc)	Source		5.0	−1.2	—	−1.0	−1.7	—	−0.7	—	
(V_{OH} = 4.6 Vdc)			5.0	−0.25	—	−0.2	−0.36	—	−0.14	—	
(V_{OH} = 9.5 Vdc)			10	−0.62	—	−0.5	−0.9	—	−0.35	—	
(V_{OH} = 13.5 Vdc)			15	−1.8	—	−1.5	−3.5	—	−1.1	—	
(V_{OL} = 0.4 Vdc)	Sink	I_{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mAdc
(V_{OL} = 0.5 Vdc)			10	1.6	—	1.3	2.25	—	0.9	—	
(V_{OL} = 1.5 Vdc)			15	4.2	—	3.4	8.8	—	2.4	—	
Input Current		I_{in}	15	—	±0.1	—	±0.00001	±0.1	—	±1.0	µAdc
Input Capacitance		C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package) Inh = PCA_{in} = V_{DD}, Zener = VCO_{in} = 0 V, PCB_{in} = V_{DD} or 0 V, I_{out} = 0 µA		I_{DD}	5.0	—	5.0	—	0.005	5.0	—	150	µAdc
			10	—	10	—	0.010	10	—	300	
			15	—	20	—	0.015	20	—	600	
Total Supply Current (5.) (Inh = "0", f_o = 10 kHz, C_L = 50 pF, R1 = 1.0 MΩ, R2 = ∞ R_{SF} = ∞, and 50% Duty Cycle)		I_T	5.0	I_T = (1.46 µA/kHz) f + I_{DD}							mAdc
			10	I_T = (2.91 µA/kHz) f + I_{DD}							
			15	I_T = (4.37 µA/kHz) f + I_{DD}							

4. Noise immunity specified for worst–case input combination.
   Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
   2.0 Vdc min @ V_{DD} = 10 Vdc
   2.5 Vdc min @ V_{DD} = 15 Vdc

5. To Calculate Total Current in General:

$$I_T \approx 2.2 \times V_{DD}\left(\frac{VCO_{in} - 1.65}{R1} + \frac{V_{DD} - 1.35}{R2}\right)^{3/4} + 1.6 \times \left(\frac{VCO_{in} - 1.65}{R_{SF}}\right)^{3/4} + 1 \times 10^{-3} (C_L + 9) V_{DD} f +$$

$$1 \times 10^{-1} V_{DD}^2 \left(\frac{\text{100\% Duty Cycle of } PCA_{in}}{100}\right) + I_Q$$

where: I_T in µA, C_L in pF, VCO_{in}, V_{DD} in Vdc, f in kHz, and R1, R2, R_{SF} in MΩ, C_L on VCO_{out}.

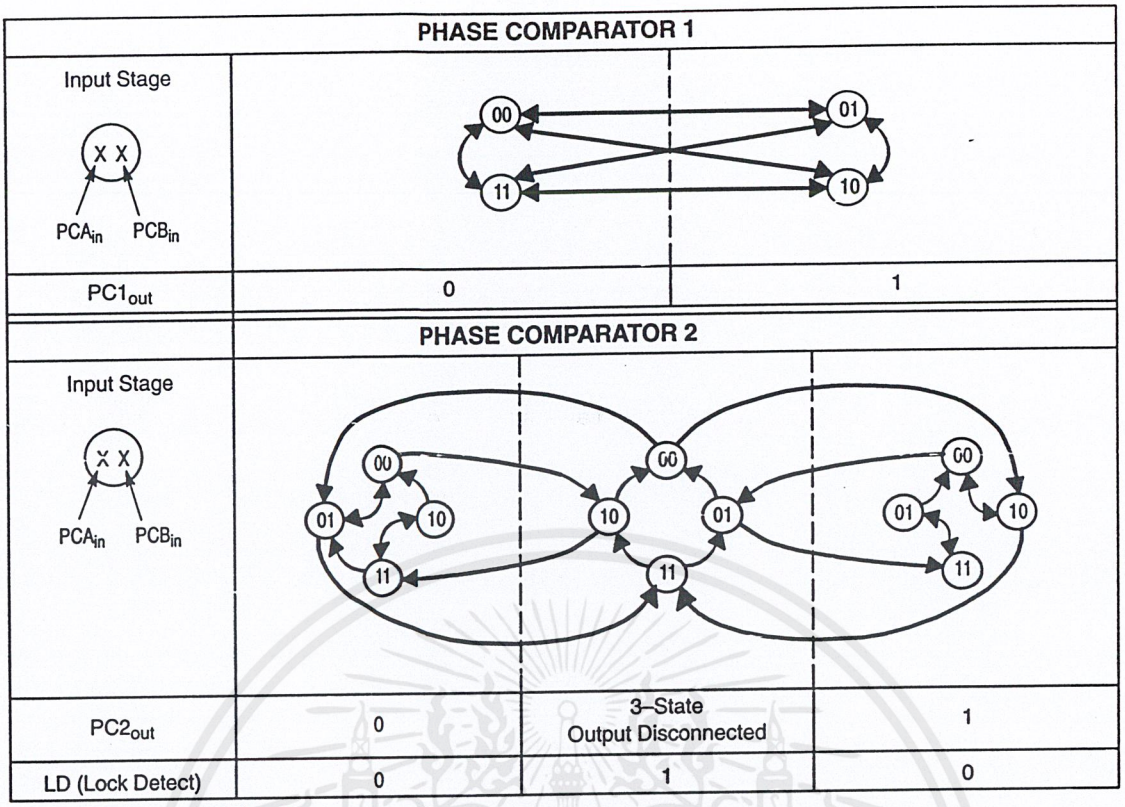
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS [6.] (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Minimum Device	Typical	Maximum Device	Units
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	—	180	350	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	—	90	150	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	—	65	110	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	—	100	175	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	—	50	75	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	—	37	55	
PHASE COMPARATORS 1 and 2						
Input Resistance — PCA_{in}	R_{in}	5.0	1.0	2.0	—	MΩ
		10	0.2	0.4	—	
		15	0.1	0.2	—	
— PCB_{in}	R_{in}	15	150	1500	—	MΩ
Minimum Input Sensitivity	V_{in}	5.0	—	200	300	mV p–p
AC Coupled — PCA_{in}		10	—	400	600	
C series = 1000 pF, f = 50 kHz		15	—	700	1050	
DC Coupled — PCA_{in}, PCB_{in}	—	5 to 15	See Noise Immunity			
VOLTAGE CONTROLLED OSCILLATOR (VCO)						
Maximum Frequency	f_{max}	5.0	0.5	0.7	—	MHz
(VCO_{in} = V_{DD}, C1 = 50 pF		10	1.0	1.4	—	
R1 = 5.0 kΩ, and R2 = ∞)		15	1.4	1.9	—	
Temperature — Frequency Stability	—	5.0	—	0.12	—	%/°C
(R2 = ∞)		10	—	0.04	—	
		15	—	0.015	—	
Linearity (R2 = ∞)	—					%
(VCO_{in} = 2.5 V ± 0.3 V, R1 > 10 kΩ)		5.0	—	1.0	—	
(VCO_{in} = 5.0 V ± 2.5 V, R1 > 400 kΩ)		10	—	1.0	—	
(VCO_{in} = 7.5 V ± 5.0 V, R1 ≥ 1000 kΩ)		15	—	1.0	—	
Output Duty Cycle	—	5 to 15	—	50	—	%
Input Resistance — VCO_{in}	R_{in}	15	150	1500	—	MΩ
SOURCE–FOLLOWER						
Offset Voltage	—	5.0	—	1.65	2.2	V
(VCO_{in} minus SF_{out}, RSF > 500 kΩ)		10	—	1.65	2.2	
		15	—	1.65	2.2	
Linearity	—					%
(VCO_{in} = 2.5 V ± 0.3 V, R_{SF} > 50 kΩ)		5.0	—	0.1	—	
(VCO_{in} = 5.0 V ± 2.5 V, R_{SF} > 50 kΩ)		10	—	0.6	—	
(VCO_{in} = 7.5 V ± 5.0 V, R_{SF} > 50 kΩ)		15	—	0.8	—	
ZENER DIODE						
Zener Voltage (I_Z = 50 μA)	V_Z	—	6.7	7.0	7.3	V
Dynamic Resistance (I_Z = 1.0 mA)	R_Z	—	—	100	—	Ω

6. The formula given is for the typical characteristics only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



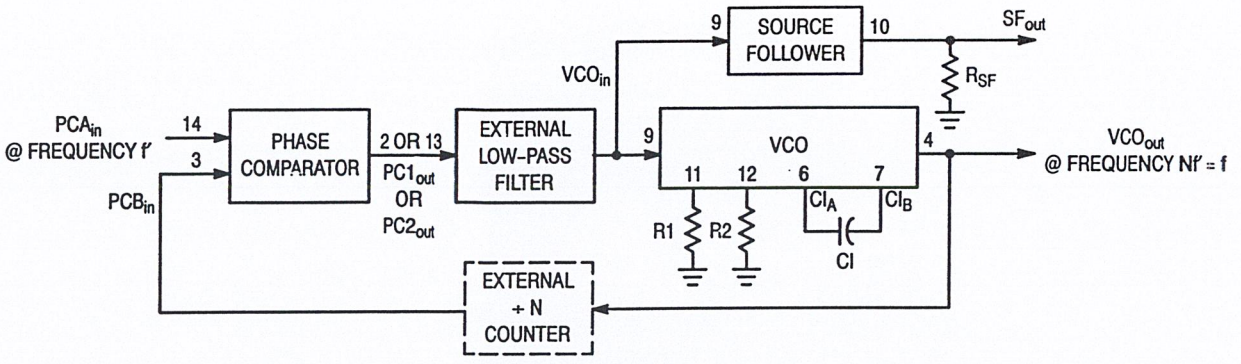
Refer to Waveforms in Figure 3.

Figure 1. Phase Comparators State Diagrams

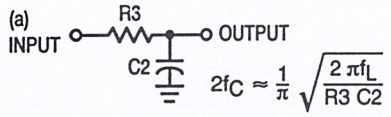
Characteristic	Using Phase Comparator 1	Using Phase Comparator 2
No signal on input PCA$_{in}$.	VCO in PLL system adjusts to center frequency (f_0).	VCO in PLL system adjusts to minimum frequency (f_{min}).
Phase angle between PCA$_{in}$ and PCB$_{in}$.	90° at center frequency (f_0), approaching 0° and 180° at ends of lock range ($2f_L$)	Always 0° in lock (positive rising edges).
Locks on harmonics of center frequency.	Yes	No
Signal input noise rejection.	High	Low
Lock frequency range ($2f_L$).	The frequency range of the input signal on which the loop will stay locked if it was initially in lock; $2f_L$ = full VCO frequency range = $f_{max} - f_{min}$.	
Capture frequency range ($2f_C$).	The frequency range of the input signal on which the loop will lock if it was initially out of lock.	
	Depends on low–pass filter characteristics (see Figure 3). $f_C \leq f_L$	$f_C = f_L$
Center frequency (f_0).	The frequency of VCO$_{out}$, when VCO$_{in}$ = 1/2 V_{DD}	
VCO output frequency (f). Note: These equations are intended to be a design guide. Since calculated component values may be in error by as much as a factor of 4, laboratory experimentation may be required for fixed designs. Part to part frequency variation with identical passive components is typically less than ± 20%.	$f_{min} = \frac{1}{R_2(C_1 + 32\ pF)}$ (V_{CO} input = V_{SS}) $f_{max} = \frac{1}{R_1(C_1 + 32\ pF)} + f_{min}$ (V_{CO} input = V_{DD}) Where: 10K ≤ R_1 ≤ 1 M 10K ≤ R_2 ≤ 1 M 100pF ≤ C_1 ≤ .01 μF	

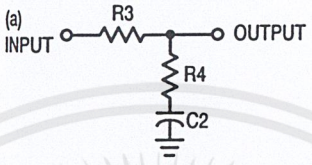
Figure 2. Design Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Typical Low–Pass Filters





Typically:

$$R_4 C_2 = \frac{6N}{f_{max}} - \frac{N}{2\pi\Delta f}$$

$$(R_3 + 3{,}000\Omega)\ C_2 = \frac{100N\Delta f}{f_{max}^2} - R_4 C_2$$

$$\Delta f = f_{max} - f_{min}$$

NOTE: Sometimes R3 is split into two series resistors each R3 ÷ 2. A capacitor C_C is then placed from the midpoint to ground. The value for C_C should be such that the corner frequency of this network does not significantly affect ω_n. In Figure B, the ratio of R3 to R4 sets the damping, R4 ≅ (0.1)(R3) for optimum results.

Definitions: N = Total division ratio in feedback loop

$K\phi = V_{DD}/\pi$ for Phase Comparator 1

$K\phi = V_{DD}/4\pi$ for Phase Comparator 2

$$K_{VCO} = \frac{2\pi\Delta f_{VCO}}{V_{DD} - 2\ V}$$

for a typical design $\omega_n \cong \frac{2\pi f_r}{10}$ (at phase detector input)

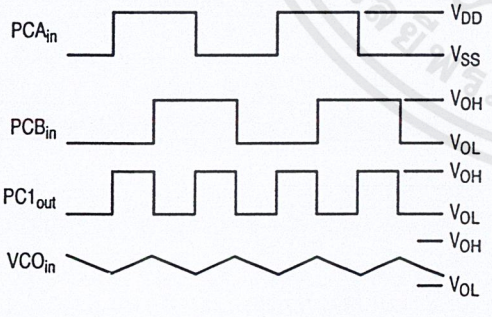
$\zeta \cong 0.707$

LOW–PASS FILTER

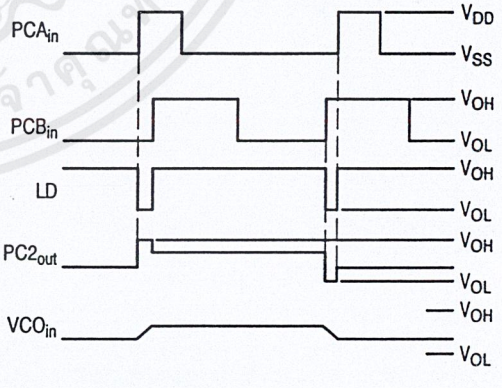
Filter A	Filter B
$\omega_n = \sqrt{\frac{K\phi K_{VCO}}{NR_3C_2}}$	$\omega_n = \sqrt{\frac{K\phi K_{VCO}}{NC_2(R_3 + R_4)}}$
$\zeta = \frac{N\omega_n}{2K\phi K_{VCO}}$	$\zeta = 0.5\ \omega_n\ (R_3C_2 + \frac{N}{K\phi K_{VCO}})$
$F(s) = \frac{1}{R_3C_2S + 1}$	$F(s) = \frac{R_3C_2S + 1}{S(R_3C_2 + R_4C_2) + 1}$

Waveforms

Phase Comparator 1



Phase Comparator 2



Note: for further information, see:

(1) F. Gardner, "Phase–Lock Techniques", John Wiley and Son, New York, 1966.
(2) G. S. Moschytz, "Miniature RC Filters Using Phase–Locked Loop", BSTJ, May, 1965.
(3) Garth Nash, "Phase–Lock Loop Design Fundamentals", AN–535, Motorola Inc.
(4) A. B. Przedpelski, "Phase–Locked Loop Design Articles", AR254, reprinted by Motorola Inc.

Figure 3. General Phase–Locked Loop Connections and Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

October 1999

National Semiconductor

ADC0808/ADC0809
8-Bit µP Compatible A/D Converters with 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

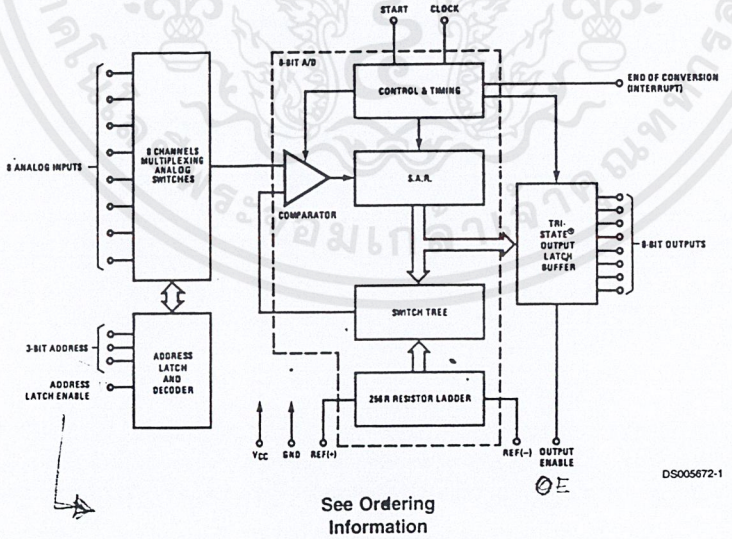
Features

- Easy interface to all microprocessors
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- No zero or full-scale adjust required
- 8-channel multiplexer with address logic
- 0V to 5V input range with single 5V power supply
- Outputs meet TTL voltage level specifications
- Standard hermetic or molded 28-pin DIP package
- 28-pin molded chip carrier package
- ADC0808 equivalent to MM74C949
- ADC0809 equivalent to MM74C949-1

Key Specifications

■ Resolution	8 Bits
■ Total Unadjusted Error	±½ LSB and ±1 LSB
■ Single Supply	5 V_{DC}
■ Low Power	15 mW
■ Conversion Time	100 µs

Block Diagram



See Ordering Information

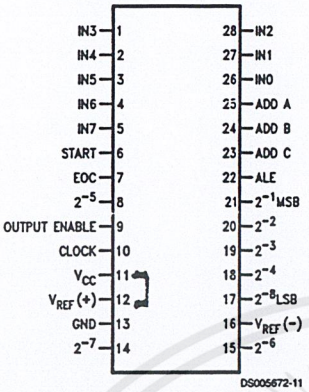
TRI-STATE® is a registered trademark of National Semiconductor Corp.

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams

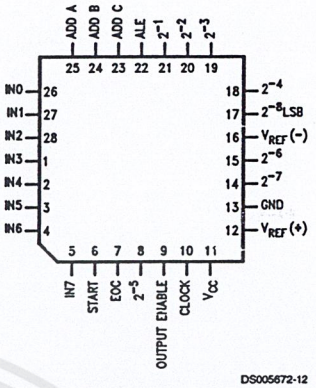
Dual-In-Line Package



DS005672-11

Order Number ADC0808CCN or ADC0809CCN
See NS Package J28A or N28A

Molded Chip Carrier Package



DS005672-12

Order Number ADC0808CCV or ADC0809CCV
See NS Package V28A

Ordering Information

TEMPERATURE RANGE		−40°C to +85°C			−55°C to +125°C
Error	±½ LSB Unadjusted	ADC0808CCN	ADC0808CCV	ADC0808CCJ	ADC0808CJ
	±1 LSB Unadjusted	ADC0809CCN	ADC0809CCV		
Package Outline		N28A Molded DIP	V28A Molded Chip Carrier	J28A Ceramic DIP	J28A Ceramic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 2, 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	−0.3V to (V_{CC}+0.3V)
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	−0.3V to +15V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A=25°C	875 mW
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Molded Chip Carrier Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
ESD Susceptibility (Note 8)	400V

Operating Conditions (Notes 1, 2)

Temperature Range (Note 1)	$T_{MIN} \le T_A \le T_{MAX}$
ADC0808CCN,ADC0809CCN	−40°C≤T_A≤+85°C
ADC0808CCV, ADC0809CCV	−40°C ≤ T_A ≤ +85°C
Range of V_{CC} (Note 1)	4.5 V_{DC} to 6.0 V_{DC}

Electrical Characteristics

Converter Specifications: V_{CC}=5 V_{DC}=V_{REF+}, $V_{REF(-)}$=GND, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK}=640 kHz unless otherwise stated.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	ADC0808					
	Total Unadjusted Error	25°C			±½	LSB
	(Note 5)	T_{MIN} to T_{MAX}			±¾	LSB
	ADC0809					
	Total Unadjusted Error	0°C to 70°C			±1	LSB
	(Note 5)	T_{MIN} to T_{MAX}			±1¼	LSB
	Input Resistance	From Ref(+) to Ref(−)	1.0	2.5		kΩ
	Analog Input Voltage Range	(Note 4) V(+) or V(−)	GND−0.10		V_{CC}+0.10	V_{DC}
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		V_{CC}	V_{CC}+0.1	V
$\frac{V_{REF(+)}+V_{REF(-)}}{2}$	Voltage, Center of Ladder		V_{CC}/2-0.1	V_{CC}/2	V_{CC}/2+0.1	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(−)	−0.1	0		V
I_{IN}	Comparator Input Current	f_c=640 kHz, (Note 6)	−2	±0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, 4.75≤V_{CC}≤5.25V, −40°C≤T_A≤+85°C unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER						
$I_{OFF(+)}$	OFF Channel Leakage Current	V_{CC}=5V, V_{IN}=5V,				
		T_A=25°C		10	200	nA
		T_{MIN} to T_{MAX}			1.0	μA
$I_{OFF(-)}$	OFF Channel Leakage Current	V_{CC}=5V, V_{IN}=0,				
		T_A=25°C	−200	−10		nA
		T_{MIN} to T_{MAX}	−1.0			μA
CONTROL INPUTS						
$V_{IN(1)}$	Logical "1" Input Voltage		V_{CC}−1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	V_{IN}=15V			1.0	μA
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	V_{IN}=0	−1.0			μA
I_{CC}	Supply Current	f_{CLK}=640 kHz		0.3	3.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, $4.75 \le V_{CC} \le 5.25V$, $-40^{\circ}C \le T_A \le +85^{\circ}C$ unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
DATA OUTPUTS AND EOC (INTERRUPT)						
$V_{OUT(1)}$	Logical "1" Output Voltage	V_{CC} = 4.75V I_{OUT} = −360µA I_{OUT} = −10µA		 2.4 4.5		 V(min) V(min)
$V_{OUT(0)}$	Logical "0" Output Voltage	I_O=1.6 mA			0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC	I_O=1.2 mA			0.45	V
I_{OUT}	TRI-STATE Output Current	V_O=5V V_O=0	 −3		3	µA µA

Electrical Characteristics

Timing Specifications $V_{CC}=V_{REF(+)}=5V$, $V_{REF(-)}=GND$, $t_r=t_f=20$ ns and $T_A=25^{\circ}C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	(*Figure 5*)		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	(*Figure 5*)		100	200	ns
t_s	Minimum Address Set-Up Time	(*Figure 5*)		25	50	ns
t_H	Minimum Address Hold Time	(*Figure 5*)		25	50	ns
t_D	Analog MUX Delay Time From ALE	R_S=0Ω (*Figure 5*)		1	2.5	µs
t_{H1}, t_{H0}	OE Control to Q Logic State	C_L=50 pF, R_L=10k (*Figure 8*)		125	250	ns
t_{1H}, t_{0H}	OE Control to Hi-Z	C_L=10 pF, R_L=10k (*Figure 8*)		125	250	ns
t_c	Conversion Time	f_c=640 kHz, (*Figure 5*) (Note 7)	90	100	116	µs
f_c	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	(*Figure 5*)	0		8+2 µS	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE Output Capacitance	At TRI-STATE Outputs		10	15	pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists, internally, from V_{CC} to GND and has a typical breakdown voltage of 7 V_{DC}.

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC}n supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute $0V_{DC}$ to $5V_{DC}$ input voltage range will therefore require a minimum supply voltage of 4.900 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See *Figure 3*. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See *Figure 13*.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence (*Figure 6*). See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

Note 8: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

Multiplexer. The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. *Table 1* shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE 1.

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach (*Figure 1*) was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached +½ LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed through a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

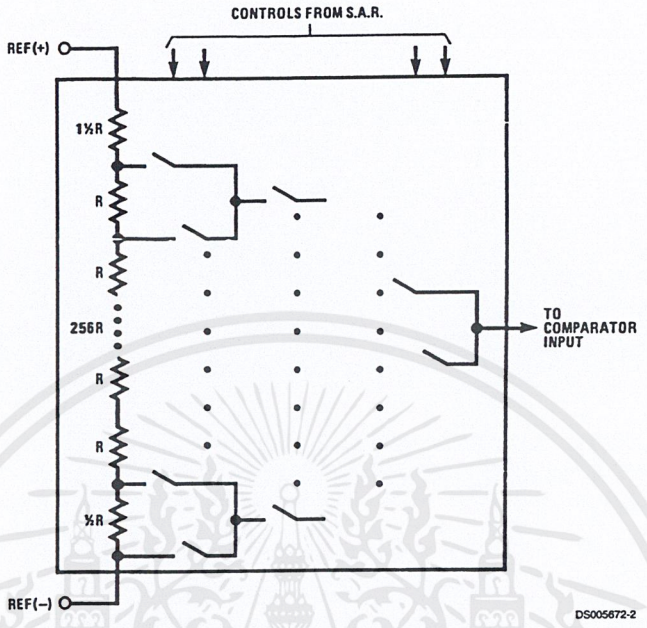


FIGURE 1. Resistor Ladder and Switch Tree

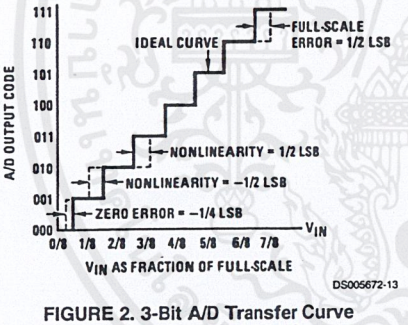


FIGURE 2. 3-Bit A/D Transfer Curve

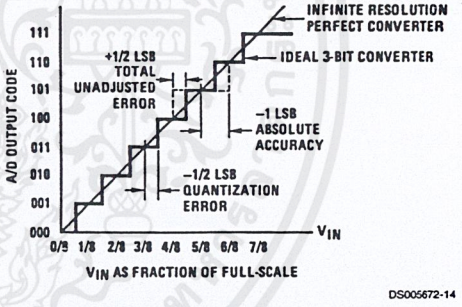


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

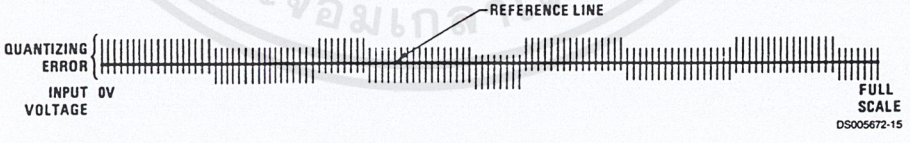


FIGURE 4. Typical Error Curve

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagram

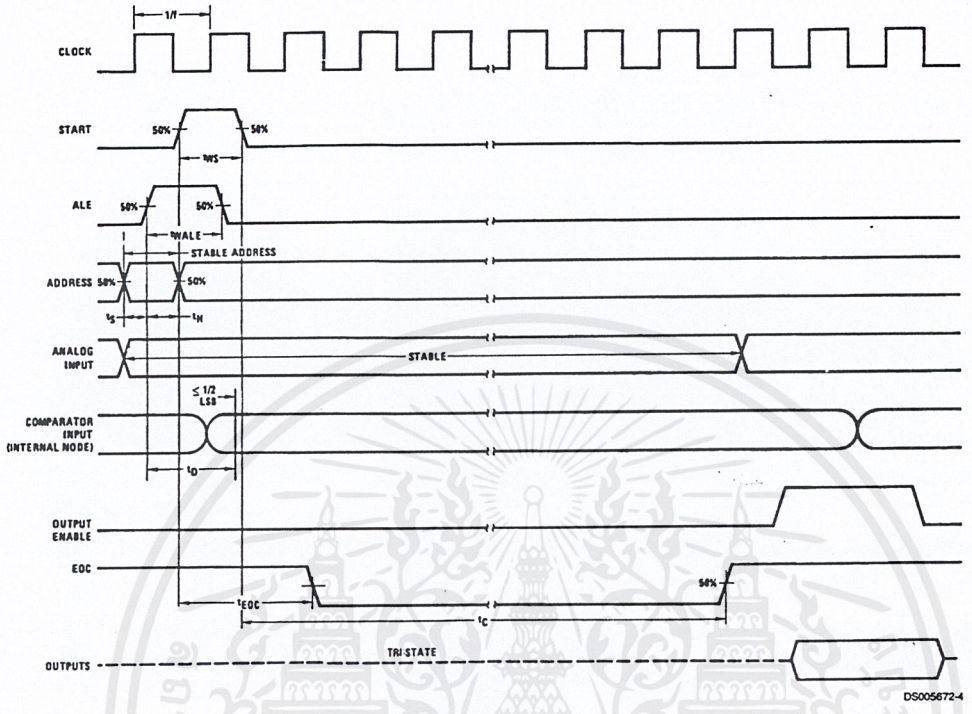


FIGURE 5.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

4.0 ANALOG COMPARATOR INPUTS

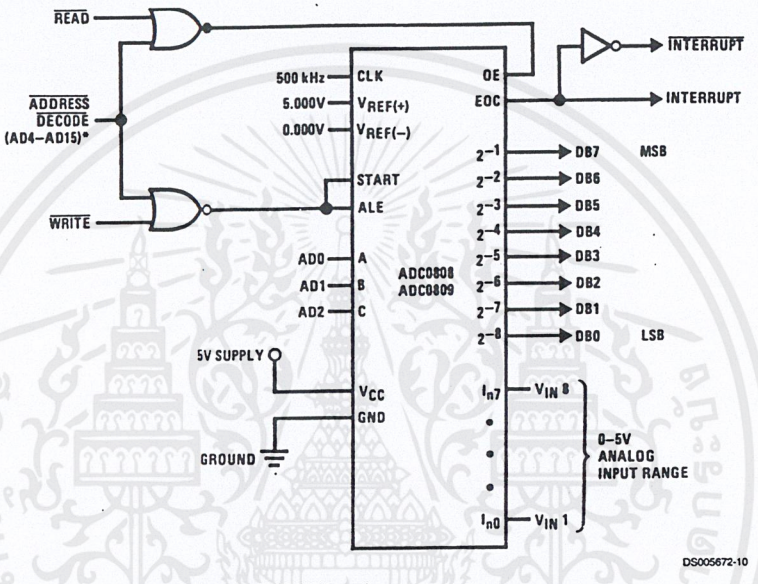
The dynamic comparator input current is caused by the periodic switching of on-chip stray capacitances. These are connected alternately to the output of the resistor ladder/switch tree network and to the comparator input as part of the operation of the chopper stabilized comparator.

The average value of the comparator input current varies directly with clock frequency and with V_{IN} as shown in *Figure 6*.

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator input current should not introduce converter errors, as the transient created by the capacitance discharge will die out before the comparator output is strobed.

If input filter capacitors are desired for noise reduction and signal conditioning they will tend to average out the dynamic comparator input current. It will then take on the characteristics of a DC bias current whose effect can be predicted conventionally.

Typical Application



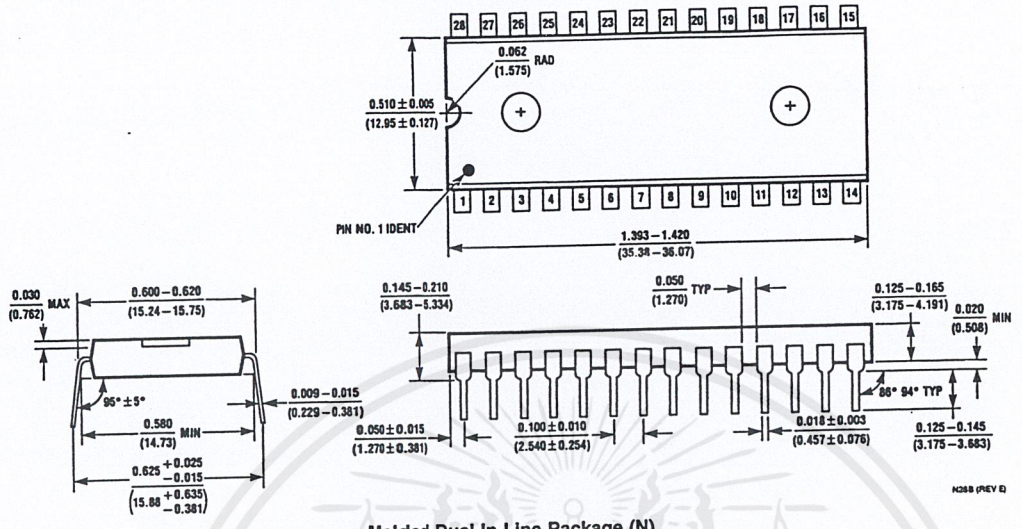
*Address latches needed for 8085 and SC/MP interfacing the ADC0808 to a microprocessor

TABLE 2. Microprocessor Interface Table

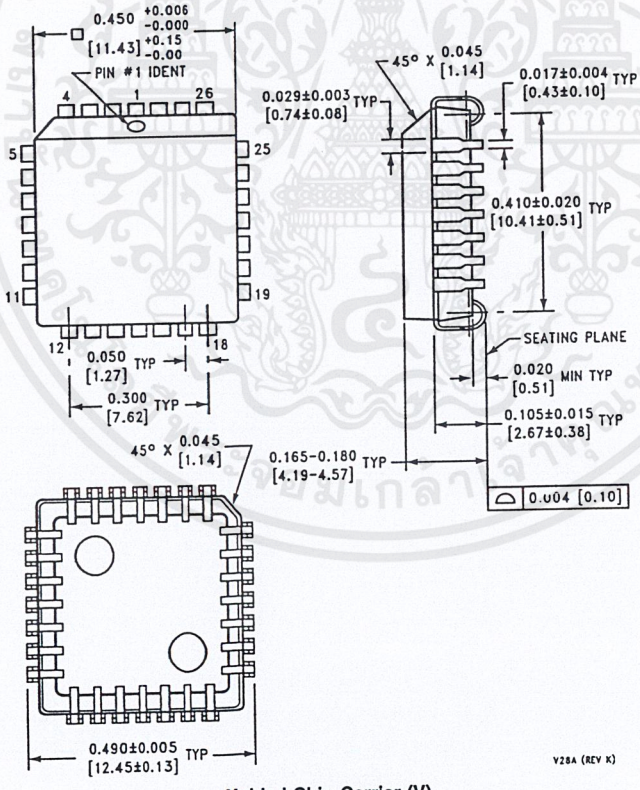
PROCESSOR	$\overline{\text{READ}}$	$\overline{\text{WRITE}}$	INTERRUPT (COMMENT)
8080	$\overline{\text{MEMR}}$	$\overline{\text{MEMW}}$	INTR (Thru RST Circuit)
8085	$\overline{\text{RD}}$	$\overline{\text{WR}}$	INTR (Thru RST Circuit)
Z-80	$\overline{\text{RD}}$	$\overline{\text{WR}}$	$\overline{\text{INT}}$ (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	VMA•φ2•R/W	VMA•φ•$\overline{\text{R/W}}$	$\overline{\text{IRQA}}$ or $\overline{\text{IRQB}}$ (Thru PIA)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



Molded Dual-In-Line Package (N)
Order Number ADC0808CCN or ADC0809CCN
NS Package Number N28B



Molded Chip Carrier (V)
Order Number ADC0808CCV or ADC0809CCV
NS Package Number V28A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com

www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จได้ด้วยดีจากความช่วยเหลือของอาจารย์และบุคคลหลายๆ ท่าน

ขอขอบคุณรศ. ดร. วันชัย ริ้วรุจา อาจารย์ที่ปรึกษาและอาจารย์ภาควิชาวิศวกรรมระบบควบคุมที่กรุณาให้คำปรึกษาชี้แนะแนวทางในการแก้ไขปัญหาต่างๆ อย่างทุ่มเท ตลอดจนความเอาใจใส่ดูแลเสมอมา

ขอขอบคุณภาควิชาวิศวกรรมระบบควบคุม อาจารย์และเจ้าหน้าที่ทุกท่านที่ช่วยอำนวยความสะดวกเอื้อเฟื้ออุปกรณ์ และให้คำปรึกษาที่ดี

ขอขอบคุณเพื่อนๆ ในภาคคอนโทรลทุกๆ คนที่คอยช่วยเหลืออย่างสม่ำเสมอ และกำลังใจอย่างเต็มเปี่ยม

ขอขอบคุณสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง สำหรับประสบการณ์ชีวิต ความรู้ และทุกสิ่งทุกอย่างตลอดระยะเวลา 3 ปี

ขอขอบคุณนายเสกสรรค์ อุคสาหวารัตน์ กรรมการผู้จัดการบริษัท คิงส์ เอ็นเนอร์ยี่ จำกัด และนายภานุภัทร พวงประทุมรุ่นพี่ที่คอยอำนวยความสะดวก และเอื้อเฟื้อเรื่องอุปกรณ์และคำปรึกษาที่ดี

ขอขอบคุณนายอธิษฐาน จันทร์สีทอง นักศึกษาภาควิศวกรรมไฟฟ้าที่เอื้อเฟื้อเครื่องคอมพิวเตอร์ในการพิมพ์ปริญญานิพนธ์

ขอขอบพระคุณบุญคุณอันยิ่งใหญ่ที่สุด คือ คุณพ่อ คุณแม่ และครอบครัวของพวกเราทั้งสองที่คอยห่วงใยและให้กำลังใจ ตลอดจนให้ความช่วยเหลือในทุกๆ เรื่อง แก่พวกเราเสมอมา ไม่เคยเปลี่ยนแปลง

นางสาววันวิสาข์ จุมพิศ

นายสมบูรณ์ เพียรชนะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. กฤษดา ใจเย็นและคณะ, "เรียนรู้และปฏิบัติการเชื่อมต่อคอมพิวเตอร์กับอุปกรณ์ภายนอกผ่านพอร์ตอนุกรม", บริษัทอินโนเวตีฟ เอ็กเพอริเมนต์ จำกัด, หน้า 1-34.

2.กิตติ ตรีเศรษฐ, "การวิเคราะห์ระบบควบคุมเชิงเส้นเล่ม 1-2" ,คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พิมพ์ครั้งที่ 6, 2539, หน้า 127-230.

3. ฉัททวุฒิ พืชผลและคณะ, "คู่มือเรียนVisual Basic 6", บริษัทโปรวิชั่น จำกัด, พิมพ์ครั้งที่ 5,2544.

4. อุดม จีปประดับ,"ไมโครคอนโทรลเลอร์ MCS-51", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ, พิมพ์ครั้งที่ 2, 2540 , 256 หน้า.

5. วิโรจน์ อัศวรังสีและคณะ, "การใช้งานออปแอมป์และลิเนียร์ไอซี", บริษัทซีเอ็ดยูเคชั่น จำกัด, 607 หน้า.

6. โกศล โอพารไพโรจน์, "การวิเคราะห์วงจรข่าย" สมาคมส่งเสริมเทคโนโลยี(ไทย-ญี่ปุ่น), พิมพ์ครั้งที่ 1, 2542, หน้า 467-497.

7. Katsuhiko Ogata, "Modern Control Engineering",Prentica-Hall India, 1998.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้