สำนักหอสมุดกลาง_พระจอมเกล้าลาดกระบัง

เฟส/ฟรีเควนซี่ ดีเทคเตอร์ คอนโทรลเลอร์
PHASE/FREQUENCY DETECTOR CONTROLLER



โดย
นาย เทิดศักดิ์ อินทโชติ
นาย วิทวรรธน์ รัตนพงศ์

เลขหมู่.....
เลขทะเบียน.....45710
วัน, เดือน, ปี.....13 ก.พ. 2546

.b.....
.i.....

ปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตร์บัณฑิต
ภาควิชาวิศวกรรมระบบควบคุม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2544

ภาควิชา วิศวกรรมระบบควบคุม

คณะ วิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เฟส/ฟรีเควนซี่ ดีเทคเตอร์ คอนโทรลเลอร์
PHASE/FREQUENCY DETECTOR CONTROLLER

ผู้จัดทำ เทิดศักดิ์ อินทโชติ 42015259
วิทวรรธน์ รัตนพงศ์ 42015278

อาจารย์ที่ปรึกษา

(รศ.ดร. โยธิน เปรมปราณีรัชต์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟส/ฟรีเควนซี่ ดีเทคเตอร์ คอนโทรลเลอร์

เทิดศักดิ์ อินทโชติ

วิทวรรธน์ รัตนพงศ์

รศ.ดร.โยธิน เปรมปราณีรัชต์ อาจารย์ที่ปรึกษา

ปีการศึกษา 2544

บทคัดย่อ

ปริญญานิพนธ์นี้เป็นการนำเสนอ การศึกษาการทำงานของดิจิตอลเฟสดีเทคเตอร์ การออกแบบและสร้างเฟสดีเทคเตอร์ด้วยไมโครคอนโทรลเลอร์(MCS-51) ในแบบไตรสเตท รวมทั้งวัดทดสอบการทำงาน เปรียบเทียบกับไอซี4046(IC CD4046) ซึ่งเป็นไอซีสำเร็จรูปและการซิมูลเลทด้วยโปรแกรมPSpice ซึ่งผลการทดสอบเป็นที่น่าพอใจ สามารถตรวจจับเฟสและความถี่ได้อย่างถูกต้อง ในส่วนของการศึกษาการทำงานของดิจิตอลเฟสดีเทคเตอร์ ได้ทำการเปรียบเทียบผลการทดสอบ ระหว่างดิจิตอลเฟสดีเทคเตอร์ แบบเอ็กซ์คูลซีฟออร์เกต(Exor) กับดิจิตอลเฟสดีเทคเตอร์แบบไตร-สเตท และในส่วนของการทดสอบการทำงานของดิจิตอลเฟสดีเทคเตอร์ในแบบการสังเคราะห์ความถี่ แบ่งได้เป็น ทดสอบโดยการป้อนสเตปความถี่ที่อินพุท แล้ววัดผลตอบสนองที่ตัวฟิลเตอร์ , วัดหาช่วงพิสัยในภาวะล็อค(Lock Range)และ พิสัยการเข้าสู่ภาวะล็อค(Capture Range) , วัดค่าแบนด์วิดท์ของระบบ และทดสอบการ รีเจคน้อยส์(Noise Rejection) ของเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase/Frequency Detector Controller

Terdsak Intachot

Vittawat Ratanapong

Associate Professor Dr.Yothin Prempraneerach Advisor

2001

Abstract

This Thesis is the study the behavior of the digital phase frequency detector , loop filter and design and implement the digital phase detector by microcontroller MCS-51.The design digital phase frequency detector by microtroller is compared with The commercial IC-4046 and the Pspice simulation of the basic tri-state phase detector. The experimental results shown that the microtroller gives the satisfactory improved the behavior of the speed response,capture and lock range and system bandwidth when compares with IC-4046.In otherwise the new digital phase frequency detector can achieved the good noise rejection characteristic.The additional experiments of the comperative behavior between exclusive or-gate and the tri-state phase detector is also presented. The detail of the experiments are conducted as follow ; testing the step response of the PLL system to the step input frequency and measuring the step response at the output of filter , measurement the lock range , capture range , and bandwidth and the final testing is the ability of noise rejection of the PLL.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สำเร็จลุล่วงได้ ด้วยคำแนะนำและคำปรึกษาจากท่าน รศดร.โยธิน เปรมปราณีรัชต์ ซึ่งท่านเป็นอาจารย์ที่ปรึกษา ผู้จัดทำรู้สึกซาบซึ่งในความอนุเคราะห์จากท่าน และขอกราบขอบพระคุณอย่างสูง

สุดท้ายขอขอบคุณบิดา มารดา ร่วมทั้งเพื่อนๆภาควิชาระบบควบคุมที่ให้กำลังใจมาโดยตลอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญตาราง	V
สารบัญรูป	VI
บทที่ 1 บทนำ	1
บทที่ 2 หลักการของเฟสล็อคลูป	2
บทที่ 3 เฟสดีเทคเตอร์	12
3.1 วงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ-ออร์เกท	12
3.2 วงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็นสามสเตท	15
3.3 Z-State Phase Detector	19
บทที่ 4 การออกแบบวงจร 3-state PFD ด้วยไมโครคอนโทรลเลอร์ 8051	21
4.1 ไมโครคอรโทรลเลอร์ MCS-51 กับการทำงานเป็นวงจรตรวจจับเฟสและความถี่	21
4.1.1 แมชชีนไซเคิ้ลของไมโครคอนโทรลเลอร์	23
4.1.2 การเลือกรีจิสเตอร์ที่ใช้ควบคุมการทำงาน	24
4.1.3 วงจรไทม์เมอร์/เคาน์เตอร์กับรีจิสเตอร์ที่ใช้ควบคุมการทำงาน	26
4.1.4 การกำหนดการใช้งานไทเมอร์ 0 และไทม์เมอร์ 1 ใน MCS-51	32
4.1.5 การร้องขอการอินเตอร์รัปต์กับรีจิสเตอร์ที่ใช้ควบคุมการทำงาน	35
4.2 การออกแบบวงจร 3-state PFD ด้วยไมโครคอนโทรลเลอร์ 8051	38
บทที่ 5 การทดสอบและผลการทดสอบ	42
5.1 การทดสอบดิจิตอลเฟสดีเทคเตอร์แบบต่างๆ	42
5.1.1 เฟสดีเทคเตอร์แบบ เอ็กคลูซีฟออร์เกต (Exor)	42
5.1.2 เฟสดีเทคเตอร์แบบ 3-STATE(ใช้ IC CD4046)	44
5.1.3 การทดสอบการทำงานโดยเทียบกับการซิมมูลเลทด้วยโปรแกรม Pspice	46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
5.1.4 วัดสัญญาณหลังจากผ่าน Analog Swicth	49
5.1.5 ทดสอบโดยการใส่วงจรหารความถี่ไปในระบบเฟสล็อกลูป	50
5.2 ทดสอบหาผลตอบสนองต่อสเตปความถี่อินพุท	51
5.2.1 ทำการเปลี่ยนตัวฟิลเตอร์และทำการทดสอบหาผลตอบสนองต่อสเตปความถี่อินพุท	52
5.3 การหาค่าแบนด์วิทด์ของระบบเฟสล็อกลูป	53
5.4 การวัดหาค่า Lock Range,Capture Range โดยใช้การ Sweepความถี่อินพุท	54
5.4.1 เฟสดีเทคเตอร์ที่ใช้ไมโครคอนโทรลเลอร์ MCS-51	55
5.4.2 เฟสดีเทคเตอร์ที่ใช้ IC CD4046	56
5.5 ทดสอบคุณสมบัติในการรีเจค น้อยส์(Noise Rejection) ในเฟสล็อคลูป	57
บทที่ 6 สรุปผลการทดลอง	58
บรรณานุกรม	59
ภาคผนวก ก ซอฟแวร์ภาษาแอสเซมบลี ของโปรแกรม	60
ภาคผนวก ข Data Sheet IC 4046	62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตาราง 3.1 แสดงตารางค่าความจริงของการคูณ 15

ตาราง 3.2 แสดงตารางค่าความจริงของเอ็กซ์คูลซีฟออร์เกท 15

ตาราง 4.1 แสดงโหมดการทำงานของไทม์เมอร์/เคาน์เตอร์ 31

ตาราง 4.2 แสดงค่าในรีจิสเตอร์TMODของไทม์เมอร์0 เป็นตัวนับสัญญาณนาฬิกา 34

ตาราง 4.3 แสดงค่าในรีจิสเตอร์TMODของไทม์เมอร์0 เป็นตัวนับสัญญาณภายนอก 34

ตาราง 4.4 แสดงค่าในรีจิสเตอร์TMODไทม์เมอร์1 เป็นตัวนับสัญญาณนาฬิกา 34

ตาราง 4.5 แสดงค่าในรีจิสเตอร์TMODไทม์เมอร์ 1 เป็นตัวนับสัญญาณภายนอก 35

ตาราง 5.1 เอาท์พุทของ EXOR และที่ฟิลเตอร์ 42

ตาราง 5.2 เอาท์พุทของ EXOR และที่ฟิลเตอร์ กรณี Duty Cycle $\neq$ 50 % 43

ตาราง 5.3 เอาท์พุทที่ฟิลเตอร์ของ 3-state PFD กรณีที่ V นำหน้า R 44

ตาราง 5.4 เอาท์พุทที่ฟิลเตอร์ของ 3-state PFD กรณีที่ R นำหน้า V 45

ตาราง 5.5 การเปลี่ยนแปลงโวลท์ต่อความถี่ของVCO 53

ตาราง 5.6 การเปลี่ยนแปลงเฟสออร์เรอร์(θe) ต่อโวลท์ที่ตัวเฟสดีเทคเตอร์ (Vd)
กรณีที่ใช้ IC CD4046 เป็นเฟสดีเทคเตอร์ 53

ตาราง 5.7 การเปลี่ยนแปลงเฟสออร์เรอร์(θe) ต่อโวลท์ที่ตัวเฟสดีเทคเตอร์ (Vd)
กรณีที่ใช้ ไมโครคอนโทรลเลอร์เป็นเฟสดีเทคเตอร์ 54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 2.1 ไดอะแกรมเบื้องต้นของ เฟสล็อคลูป 2
รูปที่ 2.2 PD Characteristic 3
รูปที่ 2.3 Shift PD characteristic 3
รูปที่ 2.4 model ของ PD 4
รูปที่ 2.5 VCO characteristic 4
รูปที่ 2.6 Shift VCO characteristic 5
รูปที่ 2.7 Model ของ VCO 5
รูปที่ 2.8 Linear model of PLL 6
รูปที่ 2.9 Ac model of PLL 7
รูปที่ 2.10 Frequency response of PLL 7
รูปที่ 2.11 Narrowed banwidth PLL 8
รูปที่ 2.12 Model เมื่อใส่ loop filter 9
รูปที่ 2.13 Response ของ loop filter 9
รูปที่ 2.14 Extened frequency range PLL 10
รูปที่ 2.15 Full linear model of PLL 11
รูปที่ 3.1 วงจรจับเฟสแบบเอ็กซ์คูลซีฟ-ออร์เกท 12
รูปที่ 3 2 กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสเอ็กซ์คูลซีฟ-ออร์เกท 14
รูปที่ 3.3 วงจรตรวจจับเฟสและความถี่แบบสาม-สเตท 16
รูปที่ 3.4 คุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท 17
รูปที่ 3.5 Z-State Phase detector 19
รูปที่ 4.1 โครงสร้างภายในของไมโครคอรโทรลเลอร์ MCS-51 เบอร์ 8031 22
รูปที่ 4.2 แมชชีนไซเคิ้ลของไมโครคอนโทรลเลอร์ MCS-51 24
รูปที่ 4.3 ตำแหน่งของหน่วยความจำข้อมูลภายในที่ใช้สำหรับรีจิสเตอร์ฟังก์ชั่นพิเศษ 25
รูปที่ 4.4 ไดอะแกรมควบคุมการทำงานของวงจรไทม์เมอร์/เคาน์เตอร์ 26
รูปที่ 4.5 รีจิสเตอร์ควบคุมการทำงานของไทม์เมอร์เคาร์เตอร์ หรือ TCON 27
รูปที่ 4.6 รีจิสเตอร์เลือกโหมดการทำงานของไทม์เมอร์เคาน์เตอร์ หรือ TMOD 29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

รูปที่ 4.7 โหมดการทำงานต่าง ๆ ของไทม์เมอร์/เคาน์เตอร์ 33
รูปที่ 4.8 รีจิสเตอร์อีนาเบิ้ลการอินเตอร์รัปต์ หรือIE 36
รูปที่ 4.9 รีจิสเตอร์จัดลำดับความสำคัญการตอบสนองกาอินเตอร์รัปต์ หรือIE 37
รูปที่ 4.10 การกำหนดอินพุทและเอาท์พุทให้วงจร 39
รูปที่ 5.1 วงจรเอ็กซ์คลูซีฟ 42
รูปที่ 5.2 สัญญาณที่ได้จากการตรวจจับเฟสของ EXOR (IC4046) 43
รูปที่ 5.3 สัญญาณที่ได้จากการตรวจจับเฟสของ EXOR(IC4046) Duty Cycleไม่เท่ากัน 43
รูปที่ 5.4 สัญญาณที่ได้จาก EXOR(IC4046) และ FILTER เมื่อความถี่
สัญญาณอินพุทไม่เท่ากัน 44
รูปที่ 5.5 สัญญาณที่ได้จากการตรวจจับเฟสของ 3- state PFD (R lead V) IC4046 44
รูปที่ 5.6 สัญญาณที่ได้จากการตรวจจับเฟสของ 3- state PFD (V lead R) IC4046 45
รูปที่ 5.7 วงจร 3-State PFD ที่ใช้ในการซิมมูลเลทด้วยโปรแกรม Pspice 46
รูปที่ 5.8 เปรียบเทียบผลจากการซิมูเลทด้วยโปรแกรมPSPICE ของวงจร
3-State PFD กับวงจร 3-State PFD ที่ใช้ไมโครคอนโทรลเลอร์ MCS-51 47
รูปที่ 5.9 เปรียบเทียบผลจากการซิมมูเลทด้วยโปรแกรมPSPICE ของวงจร
3-State PFD กับวงจร 3-State PFD ที่ใช้ไมโครคอนโทรลเลอร์ MCS-51 48
รูปที่ 5.10 วงจร 3-State PFD ที่ต่อกับอะนาลอกสวิทซ์ 49
รูปที่ 5.11 สัญญาณที่ออกมาจากอะนาลอกสวิทซ์ 49
รูปที่ 5.12 การใส่วงจรหารความถี่ไปในระบบเฟสล็อกลูป 50
รูปที่ 5.13 รูปสัญญาณระหว่างอินพุท-เอาท์พุทหลังจากใส่วงจรหารความถี่
ไปในระบบเฟสล็อกลูป 50
รูปที่ 5.14 การวัดหาผลตอบสนองต่อสเตปความถี่อินพุท 51
รูปที่ 5.15 ผลตอบสนองต่อสเตปความถี่อินพุทของเฟสดีเทคเตอร์
ที่ใช้ไมโครคอนโทรลเลอร์ 51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

รูปที่ 5.16 ผลตอบสนองต่อสเตปความถี่อินพุทของเฟสดีเทคเตอร์ที่ใช้ไอซีสำเร็จรูป(CD4046) 51
รูปที่ 5.17 ฟิลเตอร์ที่นำมาทดสอบทั้ง 2 แบบ 52
รูปที่ 5.18 ผลตอบสนองต่อสเตปความถี่อินพุทของฟิลเตอร์ แบบที่ 1 52
รูปที่ 5.19 ผลตอบสนองต่อสเตปความถี่อินพุทของฟิลเตอร์ แบบที่ 2 52
รูปที่ 5.20 การ Sweepค่าความถี่ให้เพิ่มขึ้น (ใช้ไมโครคอนโทรลเลอร์ MCS-51) 55
รูปที่ 5.21 การ Sweepค่าความถี่ให้ลดลง (ใช้ไมโครคอนโทรลเลอร์ MCS-51) 55
รูปที่ 5.22 เปรียบเทียบการSweepทั้งสองค่า (ใช้ไมโครคอนโทรลเลอร์ MCS-51) 55
รูปที่ 5.23 การ Sweepค่าความถี่ให้เพิ่มขึ้น (ใช้ IC 4046) 56
รูปที่ 5.24 การ Sweepค่าความถี่ให้ลดลง (ใช้ IC 4046) 56
รูปที่ 5.25 เปรียบเทียบการSweepทั้งสองค่า (ใช้ IC 4046) 56
รูปที่ 5.26 การรีเจค-น้อยส์(Noise Rejection)ของเฟสล็อคลูป 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

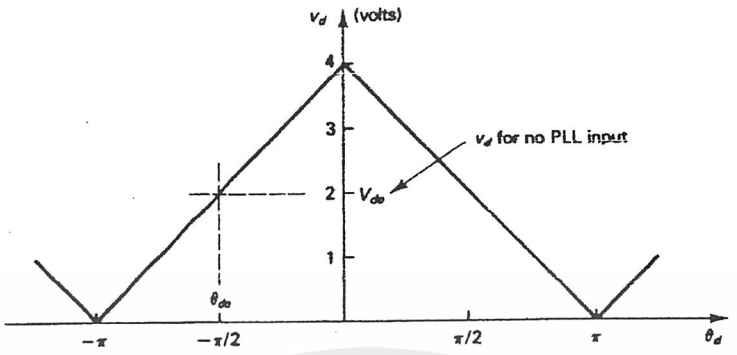
บทที่ 1
บทนำ

เฟสล็อคลูปสามารถนำไปใช้งานได้หลายอย่าง โดยเฉพาะในด้านการสื่อสาร เนื่องจากสามารถลดสัญญาณรบกวนได้ดี การใช้งานก็สะดวก ไม่ยุ่งยาก สร้างได้ง่ายโดยใช้โมโนลิทิกไอซี

ในระบบควบคุมสมัยใหม่นิยมใช้ระบบเฟสล็อคลูปในงานต่างๆ มากขึ้น โดยใช้การซิงโครไนซ์สัญญาณอ้างอิงกับสัญญาณป้อนกลับจากขบวนการ มาเปรียบเทียบความถี่และเฟส และแทร็คตามการเปลี่ยนแปลงนั้น เพื่อให้ได้เอาท์พุทออกมาใช้งานควบคุมตามต้องการ

การใช้งานระบบเฟสล็อคลูปในปัจจุบัน ยังต้องใช้เฟสดีเทกเตอร์ที่เป็นวงจรลำเร็จรูปอยู่ ในโครงงานนี้ได้ทำการพัฒนาโดยใช้ซอฟแวร์แทนตัวเฟสดีเทกเตอร์ ซึ่งมีความยืดหยุ่นในการใช้งานดีกว่าการใช้ไอซีสำเร็จรูป แต่ยังรักษาคุณภาพของความเที่ยงตรง และความเร็วในการแทร็คกิ้งของระบบเฟสล็อคเหมือนเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 PD characteristic

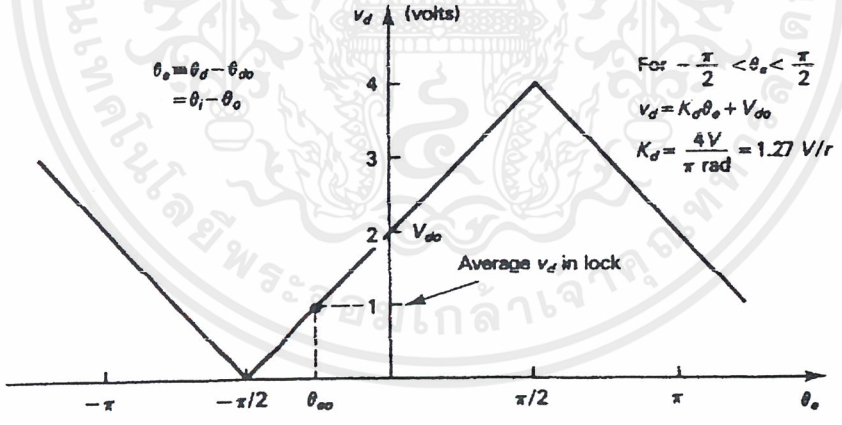
ถ้าไม่มีสัญญาณ V_i เฟสดีเทกเตอร์จะให้ free – running voltage (Vdo) ดังนั้น

$V_d = V_{do}$

$\theta_e = \theta_d - \theta_{do}$

$= \theta_i - \theta_o$

plot Vd กับ θ_e ดังรูป 2.3



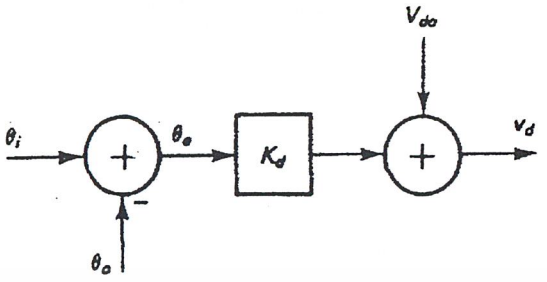
รูปที่ 2.3 Shift PD characteristic

$K_d = dV_d / d\theta_e$

$V_d = K_d\theta_e + V_{do}$

แสดงเป็น model ได้ดังรูป 2.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

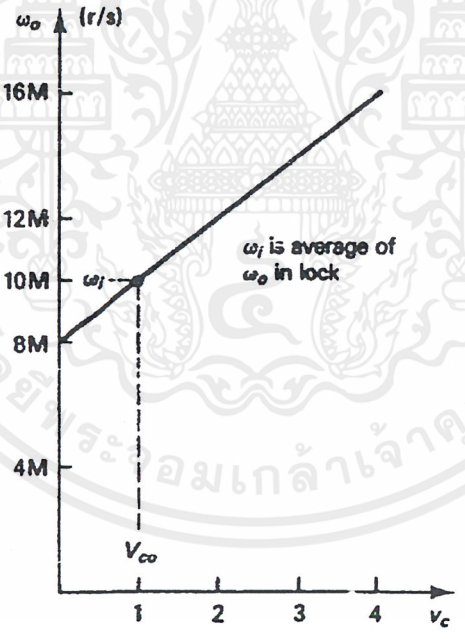


รูปที่ 2.4 model ของ PD

Kd คือ PD gain

Vdo คือ free – running detector voltage

VCO CHARACTERISTICS



รูปที่ 2.5 VCO characteristic

จากรูป 2.5 จะเห็นว่า ถ้าV แปรค่าตั้งแต่ 0-4 V. VCO จะอยู่ในช่วง 8-16 Mrad/s เมื่อ PLL ล็อก (W= W_i) และให้ W_i = 10 Mrad/s ซึ่งเท่ากับW จากรูป W = 10 Mrad/s จะได้ว่า V = 1 V. ซึ่งก็คือ static control voltage (V) จะเห็นว่าV ไม่เพียงแต่สัมพันธ์กับ VCO เท่านั้น ยังสัมพันธ์กับ W_i ที่ PLL ล็อก ไม่เหมือนกับV ที่สัมพันธ์กับPD เพียงอย่างเดียว

เมื่อ Vc=Vco=1 V.แสดงว่าPD ให้ Vd=1V.จากรูป 2.3 จะได้ θe = -0.79 radians

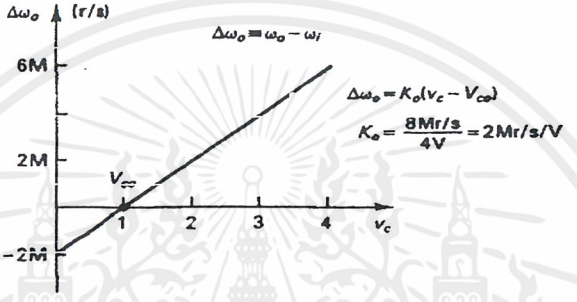
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

θ_eเฉลี่ย ในสภาวะล็อก เรียกว่าphase error θ_{eo} ซึ่งมีค่าใกล้เคียงศูนย์ และอยู่ในช่วง ¶/2 ถึง +¶/2 radians

ให้ output frequency deviation =ΔW_o

$$\Delta W_o = W_o - W_i$$

ในสภาวะล็อก ค่าเฉลี่ยของ W จะเท่ากับ W_i การ plot ค่าΔW_o กับ Vc จะ shift VCO characteristics ดังรูป 2.6



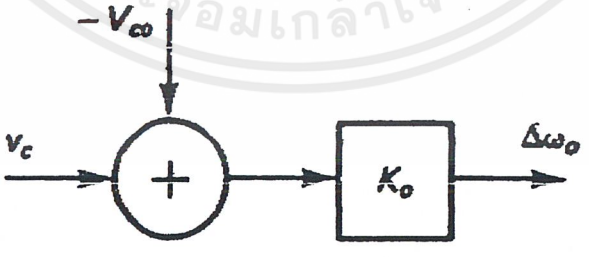
รูปที่ 2.6 Shift VCO characteristic

จะเห็นว่าเมื่อ $\Delta W_o = 0$, Vc = Vco slop ของ VCO characteristics จะเป็น VCO gain Ko

$$K_o = dW_o / dV_c = d\Delta W_o / dV_c$$

$$\Delta W_o = K_o(V_c - V_{co})$$

ได้ signal folw graph ดังรูป



รูปที่ 2.7 model ของ VCO

LINEAR MODEL OF PLL

ถ้าคิดว่าθ_e และ W_o อยู่ในช่วง linear

ให้ $V_i = \sin (w_i t + \theta_i)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$V_o = \sin(w_i t + \theta_o)$

เมื่อ W_o = constant

จะได้ $W_o = d(w_i t + \theta_o)/dt$

$= w_i t + d\theta_o/dt$

โดยที่ $\Delta W_o = W_o - W_i$

จะได้ $\Delta W_o = d\theta_o / dt$

หรือ $\theta_o = \int \Delta W_o \, dt$

เมื่อเรานำรูป signal flow graph มาต่อกันเป็น linear model ของ PLL จะได้ดังรูป

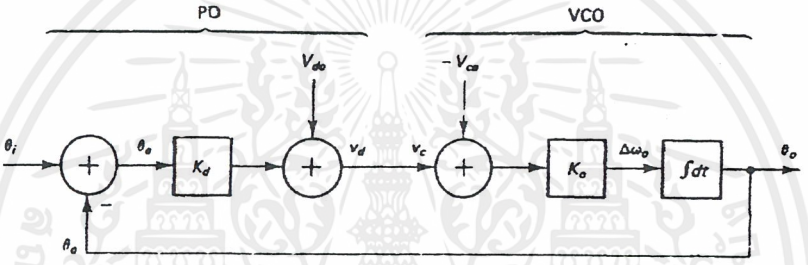


FIGURE 2–3 Linear model of PLL

รูปที่ 2.8 Linear model of PLL

STATIC PHASE ERROR

เมื่อ PLL อยู่ในสภาวะล็อก $W_o = W_i$ และ $\Delta W_o = 0$ static phase error θ_{eo} เป็นค่าเฉลี่ยของ จากรูป 2.8 จะได้ว่า

$\Delta W_o = K_o (K_d \theta_e + V_{do} - V_{co})$

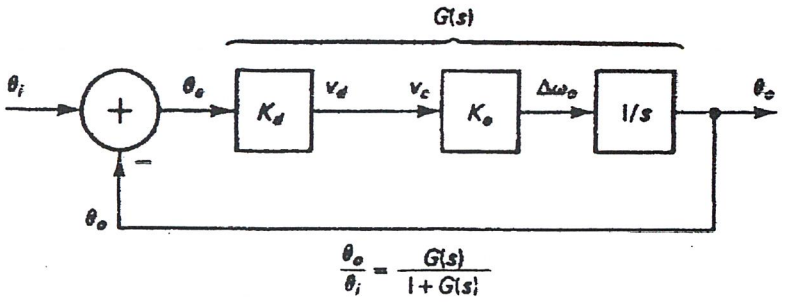
ในสภาวะล็อก $\Delta W_o = 0$ และ $\theta_e = \theta_{eo}$

$\theta_{eo} = (-V_{do} + V_{co}) K_d$

PLL BANDWIDTH

banwidth ของ PLL ขึ้นอยู่กับ θ_i และ θ_o หรืออาจกล่าวได้ว่าขึ้นอยู่กับ W_i และ W_o เนื่องจาก banwidth ต้องทำโดยสัญญาณ ac เราจึงกำจัดพารามิเตอร์ที่เป็น dc ใน linear model รูป 2.8 แล้วแปลงลาปลาซจะได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 ac model of PLL

จะเห็นว่า forward gain คือ G(s)

$G(s) = K_d K_o / s$

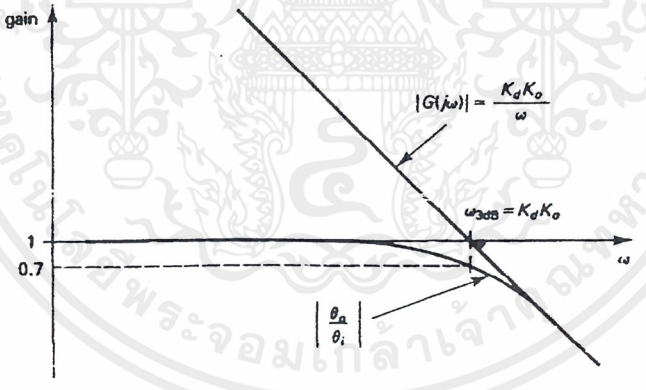
$\theta_o(s) / \theta_i(s) = G(s) / [1+G(s)]$

แทน $s = jw$

$\theta_o / \theta_i = G(jw) / [1+G(jw)]$

$|G(jw)| = K_d K_o / w$

plot graph log ได้ดังรูป



รูปที่ 2.10 Frequency response of PLL

จะเห็นได้ว่า ถ้า w มีค่าต่ำ ๆ $|G(jw)| > 1$, $|\theta_o / \theta_i| = 1$

ถ้า w มีค่าสูง ๆ $|G(jw)| < 1$, $|\theta_o / \theta_i| = G(jw)$

ดังนั้น bandwidth w จะเกิดขึ้นเมื่อ $|G(jw)| = 1$

$W_{3dB} = K_d K_o$

ถ้าเราต้องการลด bandwidth ทำโดยใส่ Ro และ R2 ระหว่าง PD และ VCO ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

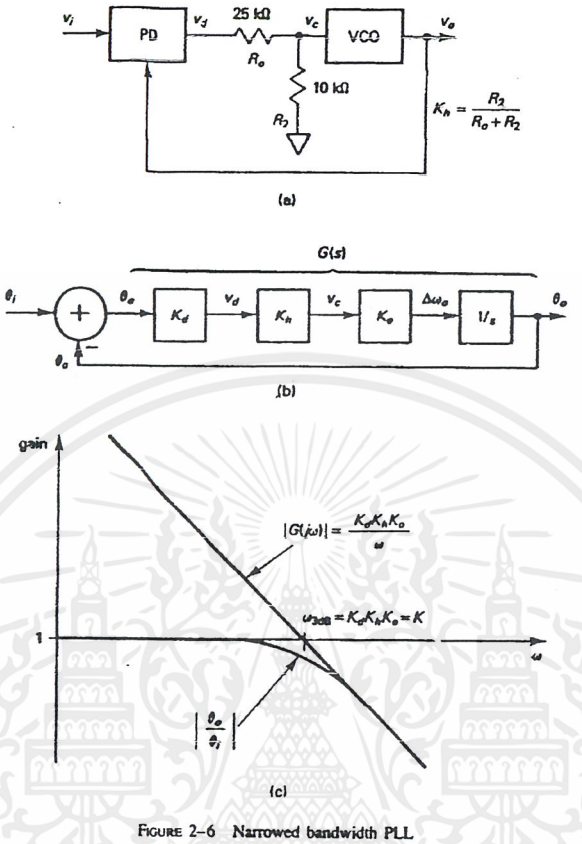


FIGURE 2–6 Narrowed bandwidth PLL

รูปที่ 2.11 Narrowed banwidth PLL

จะได้ Kh = R2 / (R0 + R2)

G(s) = Kd Kh Ko /s

และ bandwidth ถูกกำหนดโดยความถี่ที่ | G(jw) = 1|

W3dB = Kd Kh Ko

= K

= loop gain

K คือ ค่า 3 dB bandwidth ของ PLL ได้ transfer function เป็น $\theta o(s)/\theta_i(s) = K/(s+K)$

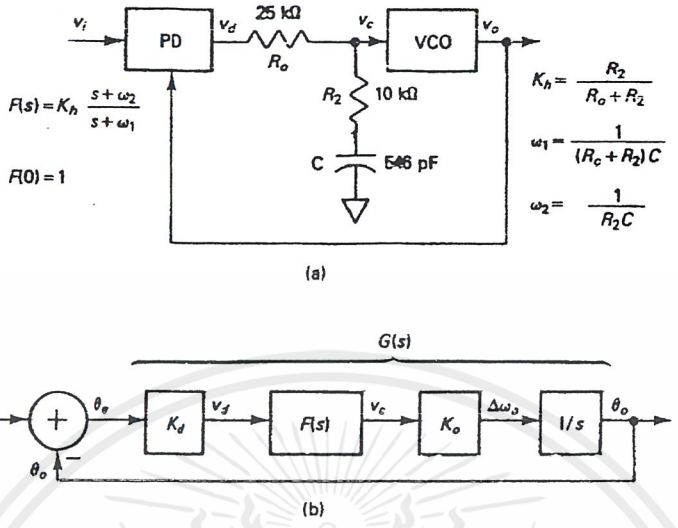
แสดงว่า ตามรูป 2.11 เป็น first order phase – locked loop

LOOP FILTER

การใส่ R หรือตัวลดทอน ในPLLทำให้ ac gain K ลดลง bandwidth ก็ลดลง เรียกว่า การใส่ loop filter ซึ่งจะทำงานที่ความถี่สูง และมี unity gain ที่ dc

การทำ loop filter อย่างง่าย ๆ คือ ใส่ capacitor ตามรูป 2.12 a

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 model เมื่อใส่ loop filter

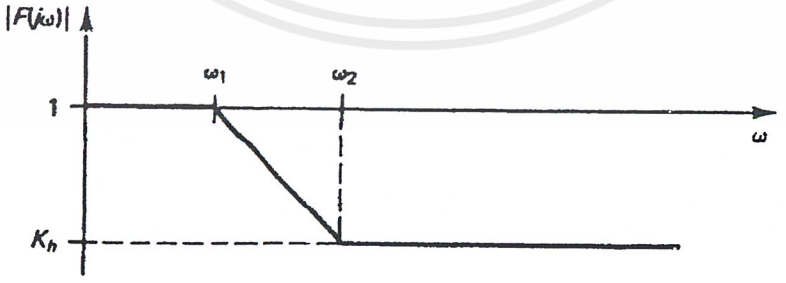
transfer function F(s) = Kh (s+W2) / (s+W1)

โดยที่ Kh = R2 / (R0 + R2)

W1 = 1 / (R0 + R2)C

W2 = 1 / R2C

frequency response | F (jw)| ของลูปฟิลเตอร์ plot ได้ดังรูป



รูปที่ 2.13 Response ของ loop filter

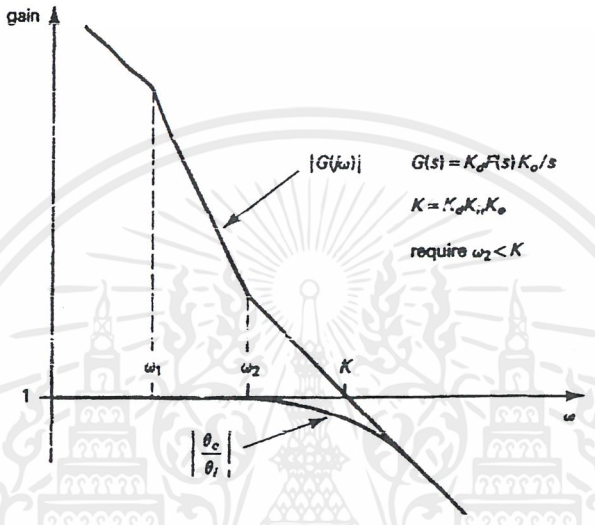
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ dc gain คือ F(0) = 1

จากรูป 2.12 จะได้

$$G(s) = K_d F(s) K_o / s$$

Frequency response ของ | G(jw) | plot ได้ดังรูป



รูปที่ 2.14 Extened frequency range PLL

ที่ความถี่สูง ๆ | F(jw)| = Kh และ | G(jw) | = 1 สำหรับ W = Kd Kh Ko

จะได้ bandwidth W3dB = Kd Kh Ko = K

แต่ | F(jw) | = Kh เมื่อ W > W2

ดังนั้น จะได้ว่า W2 < K

จากรูป 2.14 จะเห็นว่าถ้า W น้อยกว่า 4K จะมีผลน้อยมากใน response | $\theta o/\theta_i$|

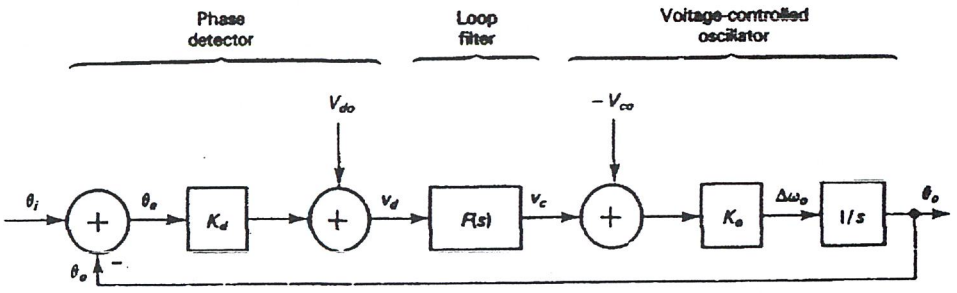
ดังนั้น PLL transfer function จะเป็น

$$\theta o(s)/\theta_i(s) = (Ks+Kw2) / [s + (k+w1)+Kw2]$$

STATIC PHASE ERROR WITH A LOOP – FILTER

จากรูป 2.8 ถ้าเราใส่ loop filter เข้าไป ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 Full linear model of PLL

จะได้ว่า $\Delta W_o = \theta_e K_d F(s) K_o + V_{do} F(s) K_o - V_{co} K_o$

หาค่าเฉลี่ย (คิด dc , s=0)

$$\Delta W_o = \theta_e K_d F(0) K_o + V_{do} F(0) K_o - V_{co} K_o$$

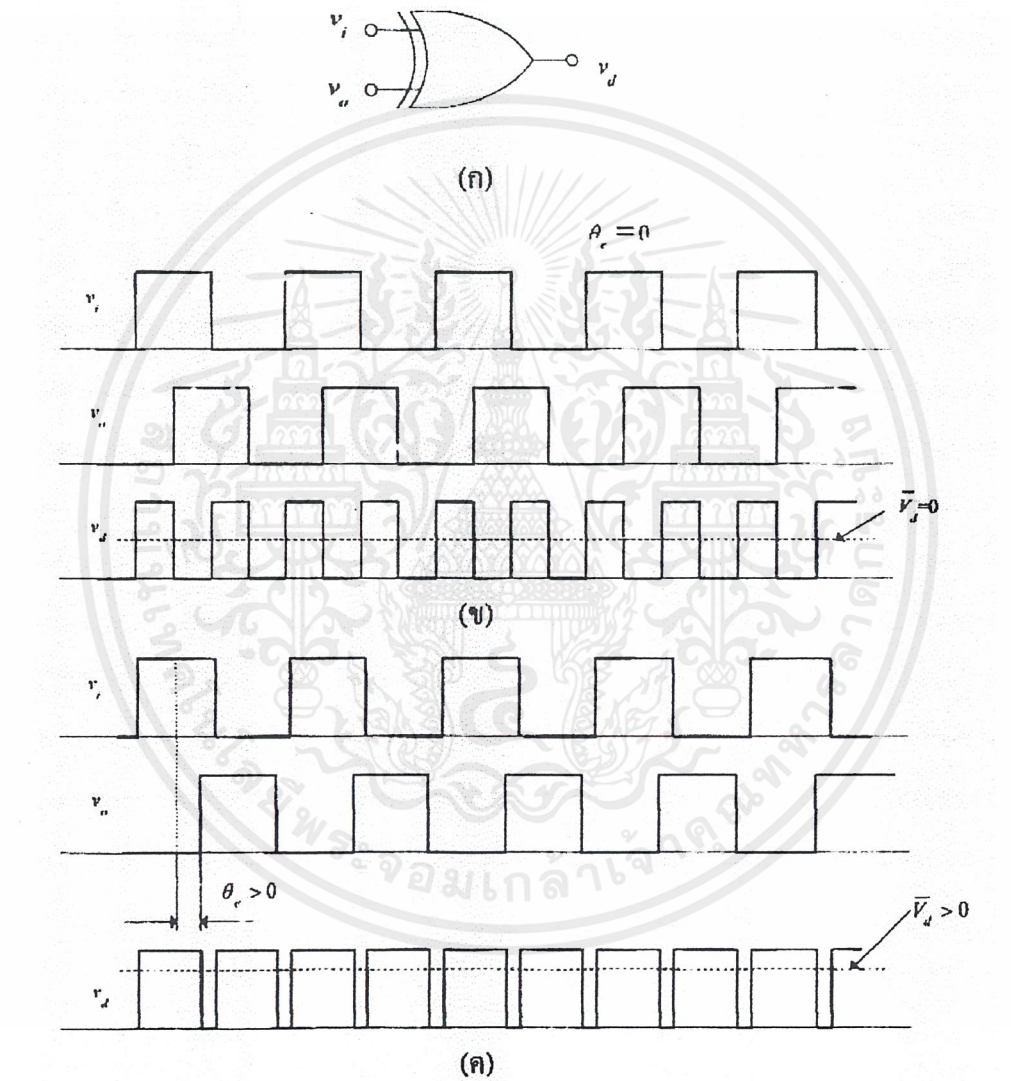
static phase error θ_{eo} จะถูกนิยามเป็น θ_e ได้เมื่อ PLL อยู่ในสภาวะล็อก ($\Delta W_o = 0$)

จะได้ $\theta_{eo} = (-V_{do} / K_d) + [V_{co}/K_d F(0)]$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
เฟสดีเทคเตอร์

3.1 วงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ-ออร์เกท



รูปที่ 3.1 วงจรจับเฟสแบบเอ็กซ์คูลซีฟ-ออร์เกท

(ก) สัญลักษณ์เอ็กซ์คูลซีฟ-ออร์เกท ที่ ใช้เป็นวงจรตรวจจับเฟส

(ข) รูปสัญญาณที่ค่าความคลาดเคลื่อนเฟสเท่ากับศูนย์

(ค) รูปสัญญาณที่ค่าความคลาดเคลื่อนเฟสเท่ากับบวก

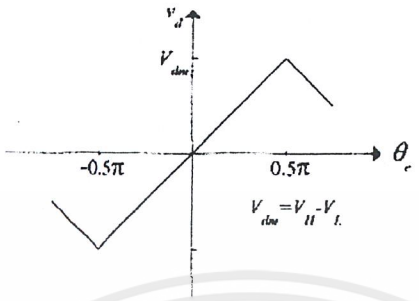
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร เอ็กซ์คูลซีฟ-ออร์เกทเป็นวงจรจับเฟสแบบดิจิตอลที่มีการทำงานเหมือนกับตัวคูณสัณณาณด้วยการโอเวอร์ไดร์แรงดันที่เอาท์พุท และยังให้คุณสมบัติของวงจรเป็นรูปสามเหลี่ยม โดยเอาท์พุทที่ได้จากการคูณจะเป็นค่าอิ่มตัวของแรงดันบวก ซึ่งสอดคล้องกับค่าของลอจิกสูง หรือเป็นค่าอิ่มตัวของแรงดันลบ ที่สอดคล้องกับค่าลอจิกต่ำ สำหรับเงื่อนไขของการคูนนั้น สามารถสรุปได้ดังตารางที่ 1 โดยเอาท์พุท V_d จะให้ค่าแรงดันอิ่มตัวเป็นบวก เมื่อสัญญาณอินพุท V_i และ V_o ทั้งสองสัญญาณต่างก็มีค่าเป็นลบหรือบวกด้วยกันทั้งคู่ และเอาท์พุท V_d จะให้ค่าแรงดันอิ่มตัวเป็นลบ เมื่ออินพุทใดอินพุทหนึ่งเป็นบวก และอีกกินพุทหนึ่งเป็นลบ ดังนั้นถ้าเปรียบเทียบตารางที่ 1 ซึ่งเป็นตารางค่าความจริงของการคูณกับตารางที่2 ซึ่งเป็นตารางค่าความจริงของวงจรเอ็กซ์คูลซีฟ-ออร์เกท ที่มีสัญลักษณ์ดังในรูปที่ 1 (ก) โดยการแทนแรงดันลอจิกสูง V_H ด้วยเครื่องหมาย (+) และแรงดันลอจิกต่ำ V_L ด้วยเครื่องหมาย (-)

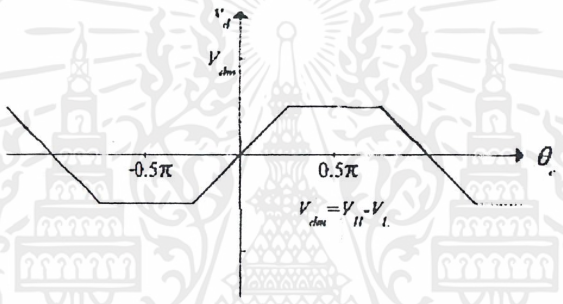
ในรูปที่ 3.1 ได้แสดงให้เห็นถึงเอาท์พุทของวงจรตรวจจับเฟสแบบ เอ็กซ์คูลซีฟ-ออร์เกทที่มีค่าความคลาดเคลื่อนเฟส (θ_c) ต่างๆกัน โดยจะสมมุติว่าสัญญาณอินพุท V_i กับ V_o ที่เข้ามานั้นมีความสมมาตร กล่าวคือมีดิวตี้ไซเคิ้ลเท่ากับ50 เปอร์เซ็นต์ ซึ่งอยู่ในรูปที่ 3.1 (ก) เมื่อค่า θ_c เท่ากับศูนย์ คือสัญญาณอินพุท V_i และ V_o มีต่างเฟสกันอยู่ $\pi/2$ จะทำให้สัญญาณเอาท์พุต V_d ที่ได้จะเป็นสัญญาณสี่เหลี่ยมที่มีค่าความถี่เป็นสองเท่าของสัญญาอินพุทและให้ค่าดิวตี้ไซเคิลเท่ากับ 50 เปอร์เซ็นต์ เนื่องจากความถี่สูงสัญญาณเอาท์พุท V_d จะถูกกรองทิ้งไปด้วยวงจรกรองลูป ดังนั้น จึงพิจารณาเพียงแค่ค่าเฉลี่ย $(\bar{v}_d)$ ของ V_d ตามเส้นประในรูปที่ 3.1 (ก) เท่านั้น ค่า $\bar{v}_d$ นี้จะเป็นค่าที่คำนวณได้จากค่ากลาง (mean) ของระดับลอจิกสูง (V_H) และระดับลอจิกต่ำ (V_L) กล่าวคือ ถ้าวงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ-ออร์เกท ได้รับการจ่ายไฟจากแหล่งจ่าย 5 โวลท์ ค่า $\bar{v}_d$ ที่ได้จะมีค่าโดยประมาณ 2.5 โวลท์เท่านั้น ซึ่งระดับแรงดันที่ค่านี้เรียกว่า จุดสงบนิ่ง (Quiescent Point) ของวงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ-ออร์เกท ที่จะถูกกำหนดให้มีค่าเป็นศูนย์นับจากนี้ไป ด้วยเหตุนี้ถ้าสัญญาณอินพุท V_o ล้าหลังสัญญาณอินพุทอ้างอิง V_i (นับจากจุดสงบนิ่ง) ค่าของ θ_c ก็จะกลายเป็นบวกดังในรูปที่ 3.1 (ข) ค่าดิวตี้ไซเคิ้ลของ V_d ที่ได้จะมีค่ามากกว่า 50 เปอร์เซ็นต์ และเป็นผลให้ $\bar{v}_d$ มีค่าเป็นบวกเพิ่มขึ้น ดังนั้นค่า $\bar{v}_d$ จะมีค่าสูงสุดที่ค่าของความคลาดเคลื่อนเฟส θ_c เท่ากับ $\pi/2$ และมีค่าต่ำสุดที่ค่าของความคลาดเคลื่อนเฟส θ_c เท่ากับ $-\pi/2$ ในรูปที่ 3.2 (ก) แสดงกราฟคุณสมบัติของวงจรตรวจจับเฟสแบบ เอ็กซ์คูลซีฟ-ออร์เกทที่ได้จากการพล็อตค่าเฉลี่ยแรงดัน $\bar{v}_d$ เทียบกับค่าความคลาดเคลื่อนเฟส θ_c ซึ่งจะให้ผลเป็นรูปสามเหลี่ยม และภายในช่วงที่เป็นเชิงเส้นของ $0.5\pi < \theta_c < 0.5\pi$ ค่าเฉลี่ย $\bar{v}_d$ จะเป็นสัดส่วนโดยตรงกับค่าของ θ_c ดังสมการที่ (3.1) คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\bar{v}_d = K_d \theta_c \qquad (3.1)$$



(ก)



(ข)

รูปที่ 3.2 กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสเอ็กซ์คูลซีฟ-ออร์เกท

(ก) เมื่อสัญญาณอินพุท V_i และ V_o มีความสมมาตร

(ข) เมื่อสัญญาณอินพุท V_i และ V_o ไม่มีความสมมาตร เป็นผลให้ V_{dm} มีการค่าลดลง

ซึ่งในกรณีของวงจรจับเฟสแบบเฟสเอ็กซ์คูลซีฟ-ออร์เกท นี้ อัตราขยายวงจร (K_d) จะมีค่าคงที่เมื่องแหล่งจ่ายที่ป้อนให้กับวงจรตรวจจับเฟสแบบเฟสเอ็กซ์คูลซีฟ-ออร์เกท คือ ระดับลอจิกแรงดันสูง V_H และต่ำ V_L ตามลำดับ ดังนั้นอัตราขยายของวงจรตรวจจับเฟสแบบเฟสเอ็กซ์คูลซีฟ-ออร์เกท (K_d) ในช่วง $0.5\pi < \theta_c < 0.5\pi$ จะมีค่าเท่ากับ

$$K_d = \frac{V_{dm}}{0.5\pi} \qquad (3.2)$$

เมื่อ V_{dm} คือค่าสูงสุดของค่าเฉลี่ย $\bar{v}_d$ ซึ่งเท่ากับ $V_{dm} = V_H - V_L$ ดังนั้นจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K_d = \frac{V_H - V_L}{0.5\pi} \qquad (3.3)$$

ถ้าในกรณีที่สัญญาณอินพุท V_i และ V_o ที่เข้ามามีความไม่สมมาตร กล่าวคือค่าดิวตี้ไซเคิ้ลไม่เท่ากับ 50 เปอร์เซ็นต์ ค่าสูงสุดของแรงดันเฉลี่ย (V_{dm}) ที่ได้จะลดลง ดังกราฟแสดงคุณสมบัติของวงจรในรูปที่ 3.2 (ข)

V_i	V_o	V_d
(-)	(-)	(+)
(-)	(+)	(-)
(+)	(-)	(-)
(+)	(+)	(+)

ตารางที่ 3.1 แสดงตารางค่าความจริงของการคูณ

V_i	V_o	V_d
V_L	V_L	V_L
V_L	V_H	V_H
V_H	V_L	V_H
V_H	V_H	V_L

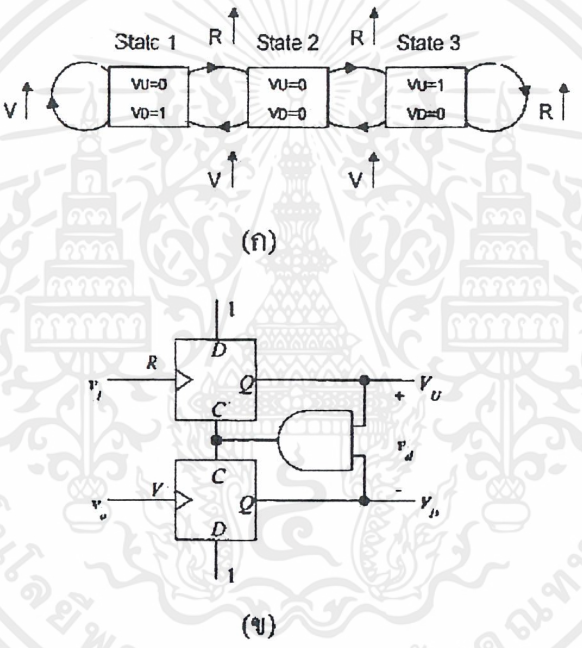
ตารางที่ 3.2 แสดงตารางค่าความจริงของเอ็กซ์คูลซีฟออร์เกท

3.2 วงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็นสามสเตท

วงจรตรวจจับเฟสและความถี่แบบสามสเตท (3-state PFD)[3] เป็นวงจรตรวจจับเฟสแบบอิจิตอลอีกวงจรหนึ่งที่ให้กราฟคุณสมบัติของวงจรเป็นแบบรูปสามเหลี่ยม และเป็นวงจรที่มีความสำคัญค่อการนำมาใช้ขยายสถานะของสเตท เพื่อที่จะทำให้ได้มาซึ่งช่วงคุณสมบัติของวงจรตรวจจับเฟสที่กว้างขึ้น วงจร 3-state PFD ได้ถูกนำมาใช้งานอย่างกว้างขวาง เพราะเนื่องจากมีช่วงคุณสมบัติของวงจรที่กว้างถึง $\pm 2\pi$ เรเดียน และสัญญาณเอาท์พุท (V_d) ที่ได้ไม่เพียงแต่จะขึ้นอยู่กับค่าความคลาดเคลื่อนของเฟส θ_e เท่านั้นแต่ยังขึ้นอยู่กับความคลาดเคลื่อนทางความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$(\Delta\omega = \omega_i - \omega_o)$ อีกด้วย การทำงานของวงจรนั้นจะถูกกระตุ้นจากขอบสัญญาณอินพุท V_i และ V_o ที่เข้ามาทางขั้วอินพุท R และ V ตามลำดับ และจะไปทำให้มีการเปลี่ยนสถานะของสเตทตามสเตทไดอะแกรมที่ถูก กำหนดไว้ดังรูปที่ 2.6 ที่แสดงให้เห็นถึงโครงสร้างพื้นฐานและการทำงานของวงจร 3-State PFD ในรูปที่ 3 (ก) นั้นจะเป็นสเตทไดอะแกรมของวงจรที่จะเปลี่ยนสถานะของสเตทไปตามขอบขาขึ้นของสัญญาณที่เข้ามาทางขั้วอืนพุท R และ V โดยที่ R↑ จะทำให้วงจรมีการเปลี่ยนสถานะไปยังสเตทที่สูงขึ้น ขณะที่ V↑ ทำให้มีการลดสถานะของวงจรกลับมายังสเตทที่ต่ำกว่า



รูปที่ 3.3 วงจรตรวจจับเฟสและความถี่แบบสาม-สเตท

(ก) สเตทไดอะแกรมของวงจรที่มีการเปลี่ยนแปลงสถานะตามขอบขาขึ้นของสัญญาณอินพุท

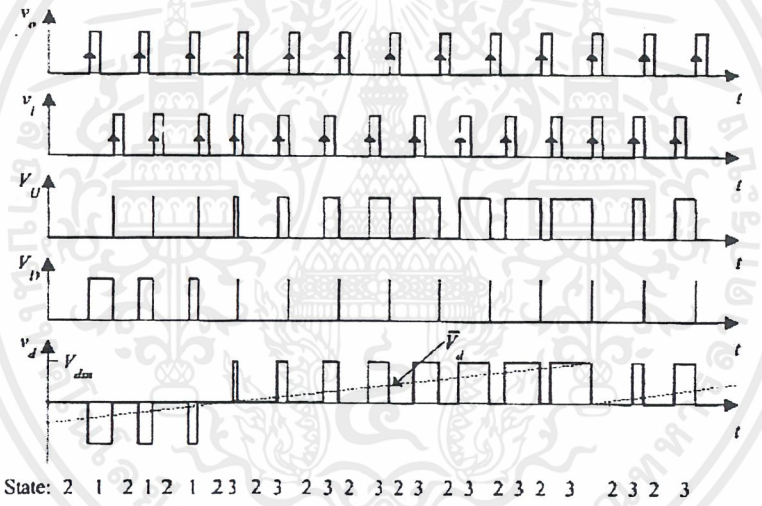
(ข) โครงสร้างทางวงจรไฟฟ้า

ทำงานของวงจรนั้นเริ่มต้นอยู่ในสเตทที่ 1 ดังนั้นเมื่อปรากฏการสลับกันเข้ามาของขอบขานั้น สัญญาณพัลส์ที่ขั้วอินพุท R และ V จะทำให้วงจรหมุนเวียนเปลี่ยนสถานะสลับสเตทไปมาระหว่างสเตทที่ 1 กับสเตทที่ 2 แต่ถ้าเกิดมีช่วงที่สัญญาณอินพุท V ไปตกอยู่หลังสัญญาณอินพุท R และจะเป็นเช่นนั้นตลอดไปดังไทม์มิ่งไดอะแกรมของรูปที่ 3.4 (ก) จนกระทั่งปรากฏขอบขาขึ้นของสัญญาณอินพุท R เข้ามาสองครั้งโดยปราศจากการแทรกของขอบขาขึ้นของสัญญาณอินพุท

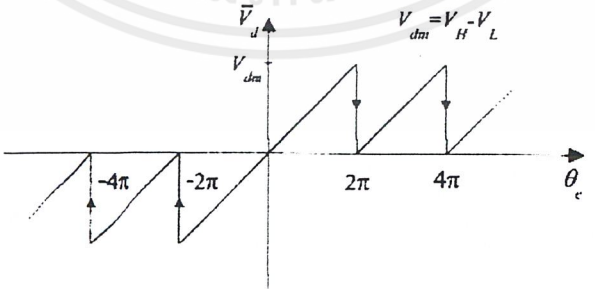
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

V วงจรก็จะเปลี่ยนสถานะของสเตทไปยังสเตทที่ 3 และการหมุนเวียนเปลี่ยนสถานะระหว่างสเตทที่ 2 สลับกับสเตทที่ 3 ก็จะเกิดขึ้นอีกครั้งตามพัลส์ ของสัญญาณอินพุทที่ยังคงผลัดกันเข้ามาอย่างต่อเนื่องโครงสร้างพื้นฐานของวงจร 3-state PFD นั้นจะแสดงอยู่ในรูปที่ 3.3 (ข) เป็นซึ่งประกอบด้วยคู่ของลอจิกเอาท์พุท V_D และV_U โดยมีสัญญาณอินพุท R และ V ต่ออยู่กับ D-Type ฟลิปฟลอบของแต่ละตัวและจะให้ค่าแรงดันเอาท์พุทที่ขา Q (V_U และ V_D) ในขณะที่มีการเปลี่ยนสถานะของสเตทตามรูปที่ 3.3 (ก) สำหรับขาอินพุท C หรือขาClear ของฟลิบฟลอปทั้งสองนั้นจะถูกต่อเข้ากับเอาท์พุทของ แอนด์-เกท ซึ่งไดรับสัญญาณอินพุทมาจากขา Q ของฟลิบฟลอบทั้งสองอยู่ในสภาวะเซตขึ้นมาพร้อมๆ กัน ด้วยเหตุนี้วงจรจึงสามารถตรวจจับสัญญาณอินพุทที่เข้าขึ้นพร้อมกันได้โดยไม่เกิดค่าผิดพลาดขึ้นที่เอาท์พุท



(ก)



(ข)

รูปที่ 3.4 คุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท

(ก) สัญญาณเอาท์พุท V_d ที่ได้จาการเปลี่ยนสถานะของสเตท

(ข) กราฟแสดงคุณสมบัติของวงจร 3-State PFD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

45710

ในรูปที่ 3.4 (ข) เป็นกราฟแสดงคุณสมบัติของวงจร 3-state PFD ระหว่างค่าความคลาดเคลื่อนเฟส θ_c กับค่าเฉลี่ย $(\bar{v}_d)$ ของแรงดันเอาท์พุท V_d ที่ให้ช่วงคุณสมบัติของวงจรไม่เกิน $\pm 2\pi$ เรเดียน จะเห็นว่า เมื่อความเคลื่อนเฟส θ_c มีค่าเกินช่วง 2π และ -2π เรเดียนไปแล้ววงจรจะให้ช่วงคุณสมบัติกลับมาซ้ำไซเคิ้ลทุกๆ 2π และ -2π เรเดียนอีกครั้ง ทั้งนี้เนื่องมาจากเมื่อวงจรทำงานอยู่ในสถานะของสเตทที่ 3 ค่า θ_c จะยังคงมีค่าเพิ่มขึ้นไปเรื่อยๆ(สัญญาณพัลส์ที่ขั้วอินพุท V ตามหลังสัญญาณพัลส์ที่ขั้วอินพุท R อย่างต่อเนื่อง) ดังนั้นการเปลี่ยนสถานะของสเตทก็จะสลับไปมาระหว่างสเตทที่ 2 กับสเตทที่ 3 เท่านั้น ในทำนองเดียนกันนี้ก็จะเกิดขึ้นกับช่วงที่ θ_c ให้ค่าเป็นลบ คือ เมื่อปรากฏสัญญาณพัลส์ที่ขั้วอินพุท V นำหน้าสัญญาณพัลส์ที่ขั้วอินพุท R จะเป็นไปอย่างต่อเนื่อง วงจรก็มีการสลับสถานะไปมาระหว่างสเตทที่ 1 กับ สเตทที่ 2 เพียงเท่านั้น สำหรับการทำงานเป็นวงจรจับความถี่ที่จะให้แรงดันเอาท์พุทขึ้นอยู่กับค่าความคลาดเคลื่อนของความถี่นั้น ซึ่งถ้าปรากฏว่าความถี่ของสัญญาณอินพุทอ้างอิง V_i สูงกว่าความถี่ของสัญญาณอินพุท $V_0(\varpi_i > \varpi_O)$ ค่า θ_c จะมีค่าเพิ่มขึ้นเมื่อเทียบกับเวลาทำให้ค่าเฉลี่ย $\bar{V}_d$ ยังคงมีค่าเป็นบวกไปจนถึงค่าสูงสุด (V_{dm}) ที่ค่า θ_c เท่ากับ 2π เรเดียน แต่ถ้าความถี่ ของสัญญาณอินพุทอ้างอิง V_i ต่ำหว่าความถี่ของสัญญาณอินพุท $V_0(\varpi_i < \varpi_O)$ θ_c มีค่าลดลงไปเรื่อยๆ และจะเป็นผลให้ค่าเฉลี่ย $\bar{V}_d$ มีค่าเป็นลบเพิ่มขึ้นจนถึงจค่าลบต่ำสุด $(-V_{dm})$ ที่ θ_c เท่ากับ -2π เรเดียน

เมื่อวงจร 3-State PFD อยู่ในสเตทที่ 3 จะให้ค่าเอาท์พุท V_d สูงสุด ซึ่งก็คือ $V_d = V_{dm} = (V_H - V_L)$ ดังนั้นจากกราฟแสดงช่วงคุณสมบัติในรูปที่ 3.4 (ข) วงจร 3-state PFD จะให้อัตราขยายของวงจรเท่ากับสมการที่ (3.4) และ (3.5) ตามลำดับ

$$K_d = V_d \qquad (3.4)$$

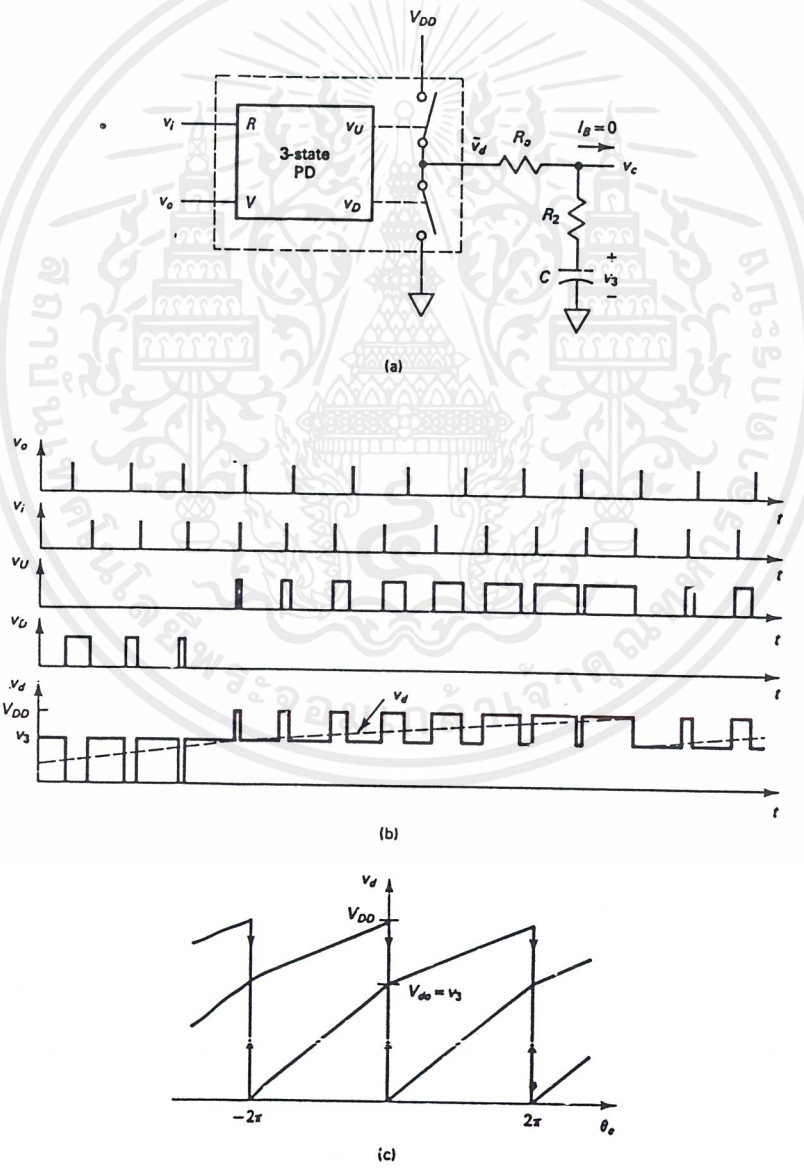
เมื่อ V_{dm} คือค่าสูงสุดของค่าเฉลี่ยแรงดันเอาท์พุทที่มีค่าเท่ากับ $V_{dm} = V_H - V_L$ ดังนั้น

$$K_d = \frac{V_H - V_L}{2\pi} \qquad (3.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 Z-State Phase Detector

ถ้าเราปรับปรุงให้ 3-State PFD ที่มีเอาท์พุท VD และ VU ไปขับสวิทช์ CMOS 2 ตัว ดังแสดในรูปที่ 3.5 (ก) วงจรนี้ออกแบบเพื่อใช้กับ Passive Filter ซึ่งยังผลเหมือนกับ Active Filter ที่มี offset ต่ำมาก เราเรียกเฟสดีเทคแบบนี้ว่าZ-State PD ซึ่งZมีความหมายว่า “High impedance State” เฟสดีเทคเตอร์ชนิดนี้ที่มีขายในท้องตลาดได้แก่ 74HC4046,CD4046



รูปที่ 3.5 Z-State Phase detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของ Z-State Phase detector

การทำงานของ Z-State Phase detector แบ่งออกได้เป็น 3 State คือ

State 1: VD = High,สวิทช์ต่อลงกราวน์

State 2: VD,VU = Low,สวิทช์ทั้ง 2 Open

State 3: VU = High,สวิทช์ต่ออยู่กับ VDD

ผลการทำงานดังกล่าว Z-State Phase detector จะให้คุณสมบัติของ Vd ต่อ θe ดังแสดงในรูปที่ 3.5(ค)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

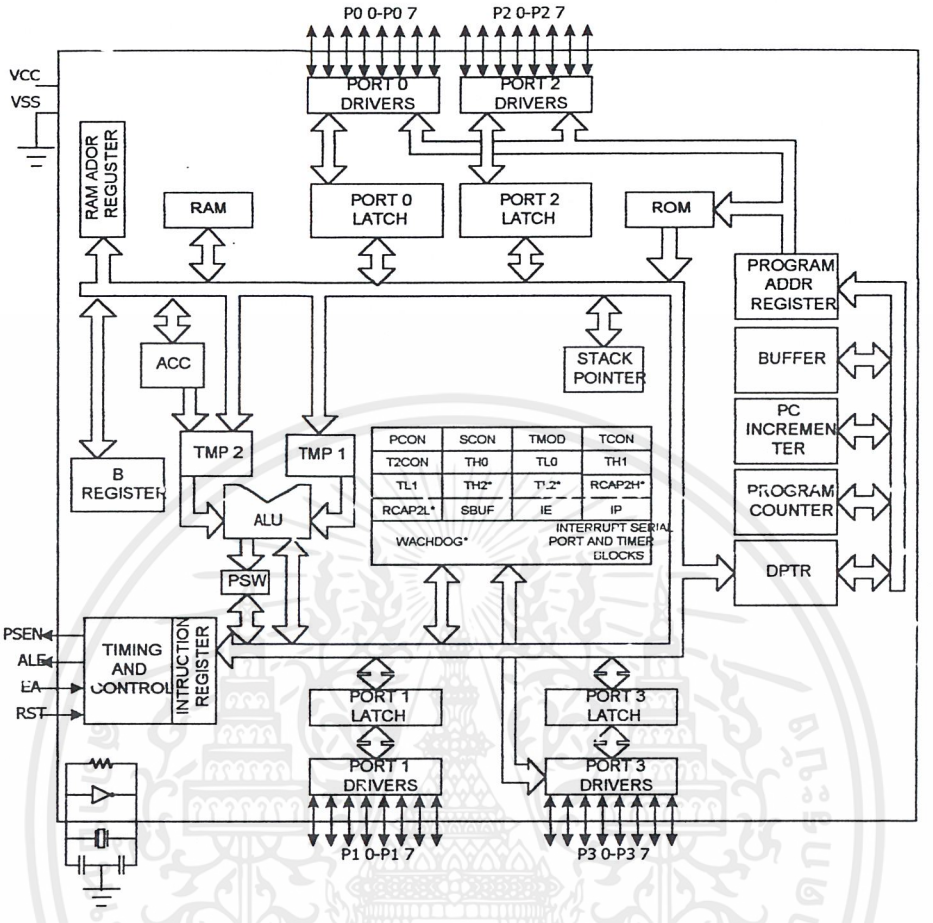
บทที่ 4
การออกแบบวงจร 3-state PFD ด้วยไมโครคอนโทรลเลอร์ 8051

การออกแบบไมโครคอนโทรลเลอร์ MCS –51 ให้ทำงานเป็นวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 3-สเตท (3-state PFD) คือการควบคุมไมโครคอนโทรลเลอร์ MCS – 51 ให้โปรแกรมการทำงานตามสเตทไดอะแกรมของวงจร 3 –state PFD นั่นเอง ไมโครคอนโทรลเลอร์ MSC-51 นั้นจะมีความยืดหยุ่นที่ดีการพัฒนาโปรแกรมทำได้ง่ายเพราะภาษาที่ใช้ในการเขียนคำสั่งไม่ยุ่งยากซับซ้อนมากนักเมื่อเทียบกับโครงสร้างของภาษาในระดับเดียวกัน ซึ่งจากการนำมาใช้เป็นวงจรตรวจจับเฟส MCS-51 จะให้ผลการทำงานที่เป็นไปตามแนวทฤษฎี ดังจะเห็นได้จากผลของการทดลองและจากการเลียนแบบวงจรด้วยโปรแกรม Pspice สำหรับเนื้อหาของบทนี้จะกล่าวถึงการควบคุมรีจิสเตอร์ของไมโครคอนโทรลเลอร์MCS-51เบอร์ 8031 ที่ใช้ในการออกแบบเป็นวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 3 สเตท รวมไปถึงแนวความคิดของการออกแบบโปรแกรมให้ 8031 สามารถตรวจจับสัญญาณอินพุทที่เข้ามาพร้อมกันได้ ด้วยเทคนิคของการจัดลำดับความสำคัญของการร้องขอบริการอินเตอร์รัปต์เมื่อมีสัญญาณอินพุทเกิดพร้อมกัน

4.1 ไมโครคอนโทรลเลอร์ MCS-51 กับการทำงานเป็นวงจรตรวจจับเฟสและความถี่

ไมโครคอนโทรลเลอร์เป็นไมโครโปรเซสเซอร์ประเภทหนึ่งที่ได้รับการออกแบบมาเพื่อใช้งานกับระบบควบคุมที่มีขนาดเล็ก ดังนั้น ภายในของไมโครคอนโทรลเลอร์หนึ่งตัวจึงประกอบด้วยหน่วยการทำงานหลัก ๆ ของระบบคอมพิวเตอร์อย่างครบถ้วน เช่น หน่วยประมวลผลกลางหรือซีพียู หน่วยความจำสำหรับเก็บข้อมูลและโปรแกรมที่ควบคุมการทำงาน หน่วยติดต่อสื่อสารกับอุปกรณ์ภายนอกหรืออินพุทเอาท์พุทพอร์ต โดยการทำงานของไมโครคอนโทรลเลอร์นั้นจะเป็นไปตามจังหวะของสัญญาณนาฬิกาที่กำหนด รูปที่ 4.1 แสดงให้เห็นถึงโครงสร้างภายในของไมโครคอนโทรลเลอร์ MCS-51 ซึ่งไมโครคอนโทรลเลอร์ที่เลือกนำมาใช้ในการออกแบบเป็นวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 โครงสร้างภายในของไมโครคอนโทรลเลอร์ MCS-51 เบอร์ 8031

ตรวจจับเฟสและความถี่นี้ก็คือ MCS-51 เบอร์ 8031 ที่เป็นของบริษัทอินเทล เพราะเนื่องจากเป็นไมโครคอนโทรลเลอร์ขนาด 8 บิทที่หาใช้งานได้ง่าย มีความคล่องตัวสูงเพียงต่อกับหน่วยความจำภายนอกที่เก็บโปรแกรมที่ผู้ใช้เขียนขึ้นก็สามารถนำไปควบคุมการทำงานของระบบได้ ที่สำคัญมีราคาไม่สูงมากนัก ในส่วนของทำงานเป็นวงจรตรวจจับเฟสและความถี่นั้นก็คือ การออกแบบให้ 8031 ทำงานเป็นตัวนับพัลส์สัญญาณอินพุท (Counter Mode) ที่ขอบขาลง ซึ่งเข้ามาทางขาไทม์เมอร์ T0 และ T1 ตามโครงสร้างของสเตทไดอะแกรมของวงจร 3-state PFD 8031 จะมีโปรแกรมจะลองการทำงานเป็นวงจร 3- state PFD โดยที่สัญญาณที่ขา T1นั้นจะเป็นสัญญาณอินพุทที่ต้องการจะเปรียบเทียบเฟสและความถี่กับสัญญาณที่ขา T0 ซึ่งเป็นสัญญาณอินพุทอ้างอิง สัญญาณอินพุทที่ถูกตรวจจับได้นั้นจะผ่านขบวนการเปรียบเทียบเฟส (Phase Comparator) คือ เมื่อสองสัญญาณอินพุทที่ขา T0 และ T1 มีค่าความถี่ไม่เท่ากันส่งผลให้มีการเพิ่มสถานะของสเตทสูงขึ้นหรือลดลงตามไดอะแกรมของ3-State PFD ซึ่งขบวนการทั้งหมดนี้จะถูกกระทำที่โปรแกรม

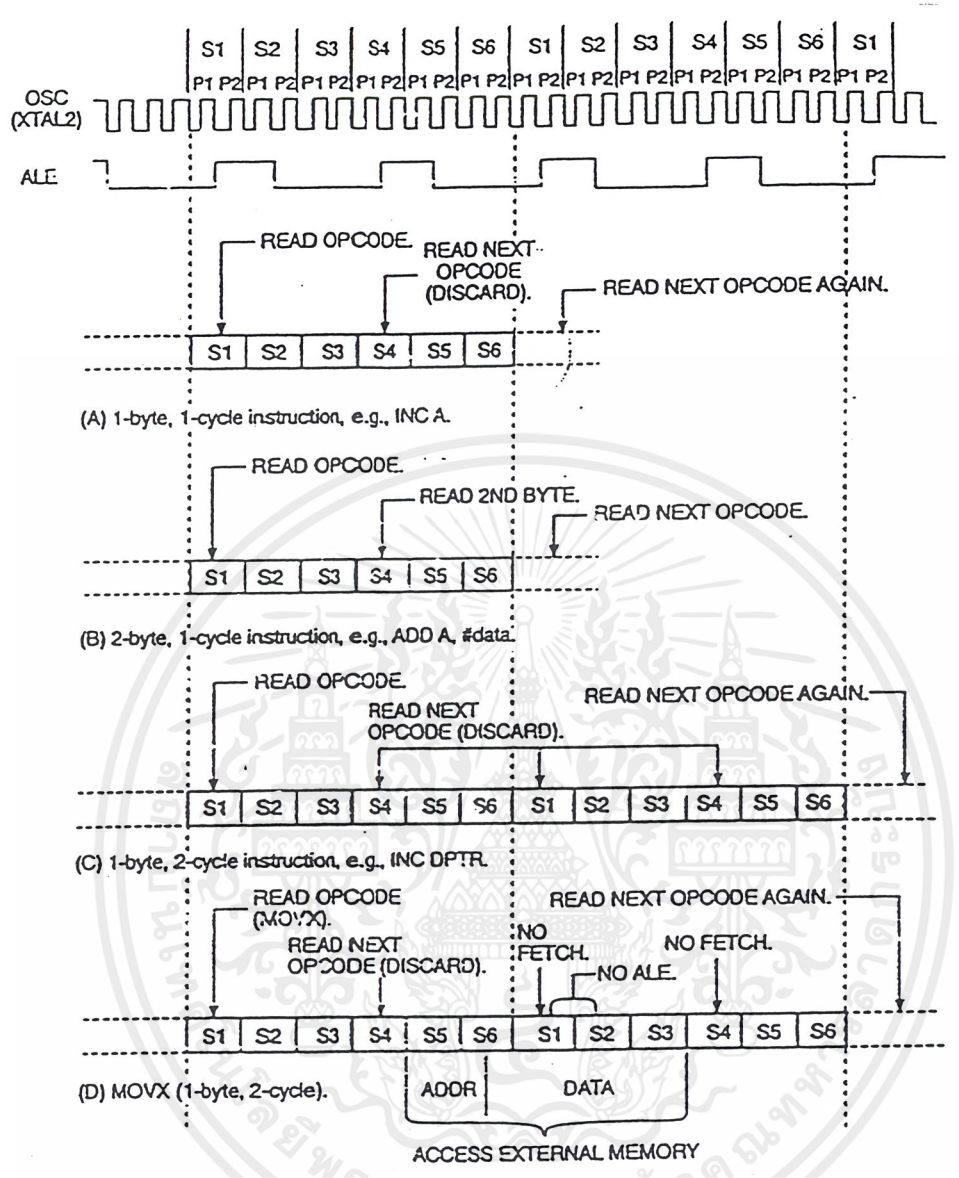
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำลองการทำงานดังกล่าวที่ถูกจัดให้อยู่ในโปรแกรมย่อยบริการอินเตอร์รัปต์และจะถูกร้องขออันเนื่องมาจากมีสัญญาณที่เข้ามาทางขาอินพุท T0 (อินเตอร์รัปต์จากสัญญาณอินพุทอ้างอิง) หรือทางขาอินพุท T1 (อินเตอร์รัปต์จากขาสัญญาณอินพุทที่ต้องการเปรียบเทียบเฟสและความถี่ ที่ 8031 สามารถตรวจจับได้

4.1.1 แมชชีนไซเคิ้ลของไมโครคอนโทรลเลอร์

ในการทำงานของไมโครคอนโทรลเลอร์นั้นจะอ้างอิงกับสัญญาณนาฬิกาที่สร้างมาจากวงจรออสซิเลเตอร์ ทำให้การทำงานต่าง ๆ เป็นไปตามลำดับที่ผู้ผลิตได้ออกแบบไว้ ดังในรูปที่ 4.2 ที่แสดงถึงโครงสร้างของแมชชีนไซเคิ้ลใน MSC-51 ใช้ในการปฏิบัติคำสั่ง คำสั่งแต่ละคำสั่งของ MSC-51 จะใช้เวลาทำงาน 1,2 หรือ3 แมชชีนไซเคิ้ลแล้วแต่ว่าเป็นคำสั่งประเภทใด โดยที่ในหนึ่งแมชชีนไซเคิ้ลน้ำนจะประกอบด้วย 6 สเตท คือ S1,S2,S3,S4,S5 และ S6 และในแต่ละสเตทจะใช้เวลา 2 คาบสัญญาณนาฬิกา ซึ่งเรียกคาบสัญญาณนาฬิกาแรกว่าเฟส1 (P1)และคาบสัญญาณนาฬิกาที่2 ว่าเฟส 2 (P2) ดังนั้นใน 1 แมชชีนไซเคิ้ลจะใช้เวลาเท่ากับ 12 คาบสัญญาณนาฬิกา ซึ่งหากใช้ความถี่12 เมกะเฮิรตซ์เป็นออสซิเลเตอร์ให้กับ MCS-51การปฏิบัติคำสั่งใน 1 แมชชีนไซเคิ้ลจะต้องใช้เวลาเท่ากับ 1 ไมโครวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แมชชีนไซเคิ้ลของไมโครคอนโทรลเลอร์ MCS-51

4.1.2 การเลือกรีจิสเตอร์ที่ใช้ควบคุมการทำงาน

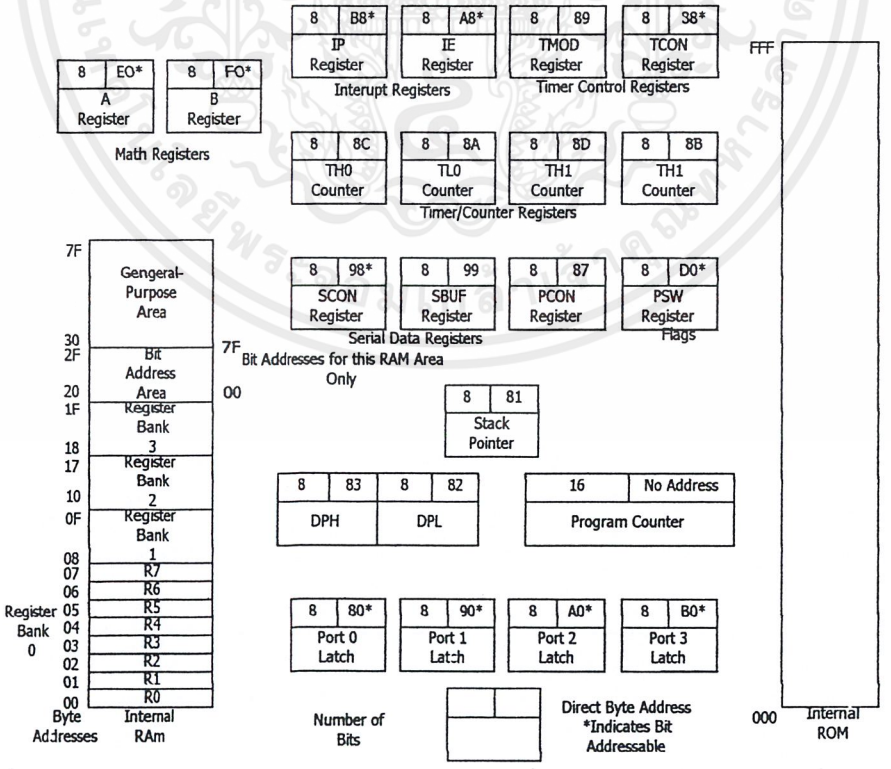
การควบคุมการทำงานของวงจรภายในไมโครคอนโทรลเลอร์นั้นจะกระทำผ่านรีจิสเตอร์ที่ถูกกำหนดหน้าที่ไว้แล้ว ดังนั้นหากต้องการใช้ MCS-51ให้มีประสิทธิภาพจำเป็นต้องทราบหน้าที่การทำงานของรีจิสเตอร์แต่ละตัวให้ละเอียดเสียก่อน ซึ่งในหน่วยความจำสำหรับเก็บข้อมูลภายในทุกตัวของ MCS-51 ที่เริ่มต้นตั้งแต่ตำแหน่ง80H จนถึง OFFH ดังโครงสร้างรูปที่ 4.3 นั้นจะใช้เป็นตำแหน่งของรีจิสเตอร์ใช้งานเฉพาะ(Special Function Register)เพื่อควบคุมและรายงานการทำงานของวงจรภายในชิปซึ่งทำหน้าที่ต่าง ๆ กัน เช่น รีจิสเตอร์ใช้งานเฉพาะTCON ใช้ควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของไทม์เมอร์ 0 และ ไทม์เมอร์ 1 รีจิสเตอร์ใช้งานเฉพาะSCON ใช้ควบคุมและรายงานการทำงานของพอร์ตสื่อสารอนุกรม เป็นต้นรีจิสเตอร์ใช้งานเฉพาะในMCS-51 อาจแยกออกตามประเภทการใช้งานได้ดังนี้

- รีจิสเตอร์ใช้ควบคุมการทำงานของ MCS-51โดยรวม ได้แก่ รีจิสเตอร์PSW.PCON
- รีจิสเตอร์ใช้ควบคุมการทำงานของไทม์เมอร์เคาน์เตอร์ ได้แก่ รีจิสเตอร์ TCON.TMOD
- รีจิสเตอร์ใช้ควบคุมการตอบสนองต่อสัญญาณอินเตอร์รัปต์ ได้แก่ รีจิสเตอร์E.IP
- รีจิสเตอร์ใช้ควบคุมการทำงานของพอร์ตสื่อสารอนุกรม ได้แก่ รีจิสเตอร์SCON

สำหรับรีจิสเตอรีที่ใช้ควบคุมการทำงานของไทม์เมอร์เคาน์เตอร์ และรีจิสเตอร์ที่ใช้ควบคุมการตอบสนองต่อสัญญาณอินเตอร์รัปต์นั้นจะเป็นรีจิสเตอร์ที่ถูกนำมาใช้ในการออกแบบวงจรตรวจจับเฟสและความถี่นี้เท่านั้น โดยรีจิสเตอร์ที่ใช้ควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์จะทำหน้าที่คอยตรวจจับขอบขาลงของพัลส์สัญญาณอินพุทที่เข้ามาทางขา T0 ที่เป็นสัญญาณอินพุทอ้างอิง และ T1 ที่เป็นสัญญาณอินพุทที่ต้องการเปรียบเทียบเฟส ก่อนจะทำขบวนการเปรียบเทียบเฟสและความถี่ด้วยรีจิสเตอร์ที่ใช้ควบคุมการตอบสนองต่อสัญญาณอินเตอร์รัปต์เพื่อสร้างสัญญาณเอาท์พุทลอจิกตามเงื่อนไขของสเตทไดอะแกรมของวงจร3-state PFDต่อไป

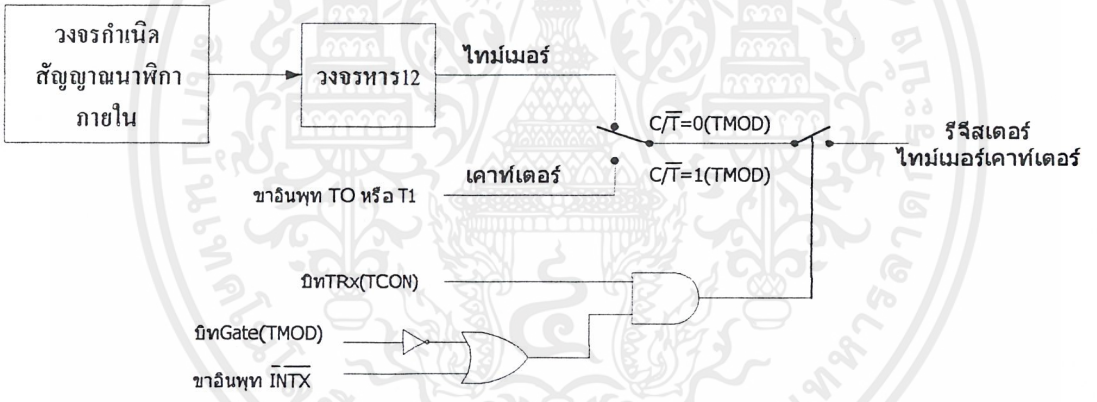


รูปที่ 4.3 ตำแหน่งของหน่วยความจำข้อมูลภายในที่ใช้สำหรับรีจิสเตอร์ฟังก์ชั่นพิเศษ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 วงจรไทม์เมอร์/เคาน์เตอร์กับรีจิสเตอร์ที่ใช้ควบคุมการทำงาน

วงจรไทม์เมอร์/เคาน์เตอร์เป็นอีกหนึ่งส่วนประกอบของไมโครคอนโทรลเลอร์ MCS-51 และมีความสำคัญของการนำมาใช้เพื่อออกแบบวงจรตรวจจับเฟสและความถี่ ซึ่งในไมโครคอนโทรลเลอร์ตระกูลMCS-51 นั้นจะมีรีจิสเตอร์ที่สามารถเลือกใช้งานเป็นไทม์เมอร์สำหรับนับจำนวนไซเคิ้ลของสัญญาณนาฬิกาภายใน MCS-51 ที่ผ่านวงจรหาร12 หรือเคาน์เตอร์สำหนับนับจำนวนพัสส์ที่เกิดขึ้นภายนอกทางขา T0 หรือT1 อย่างใดอย่างหนึ่ง โดยที่สัญญาณที่เข้ามาทางขา T0 หรือT1 อาจจะมาจากอุปกรณ์ประเภทเซ็นเซอร์ตรวจจับใด ๆ แต่สภาวะของสัญญาณนี้จะต้องมีระดับโวลท์เตจของสถานะลอจิก 0 หรือ1 เป็นแบบ TIL กล่าวคือที่ลอจิก 0 จะต้องมีโวลท์เตจไม่เกิน 0.6 โวลท์ และลอจิก 1 จะต้องมีโวลท์เตจมากกว่า 2.4 โวลท์ รีจิสเตอร์ที่ใช้เก็บค่าของการนับนี้จะมีอยู่ด้วยกันสองชุด แต่ละชุดมีขนาด 16 บิต โดยมีชื่อเรียกว่า ไทม์เมอร์0 (T0) และไทม์เมอร์ 1 (T1)



รูปที่ 4.4 ไดอะแกรมควบคุมการทำงานของวงจรไทม์เมอร์/เคาน์เตอร์

ตามลำดับ รีจิสเตอร์ที่ใช้เป็นไทม์เมอร์0 ประกอบขึ้นจากรีจิสเตอร์TL0 และ TH0ส่วนรีจิสเตอร์ที่ใช้เป็นไทม์เมอร์ 1 ประกอบขึ้นจากรีจิสเตอร์ TL1 และ TH1 ซึ่งทั้งรีจิสเตอร์T0 และ T1 นี้สามารถกำหนดให้ทำงานเป็นไทเมอร์หรือตัวนับเคาน์เตอร์ได้อย่างอิสระต่อกันด้วยการควบคุมผ่านบิท C/T ของรีจิสเตอร์ใช้งานเฉพาะTMOD ดังไดอะแกรมควบคุมการทำงานของวงจรไทม์เมอร์/เคาน์เตอร์ รูปที่ 4.4 ถ้าหากบิท C/T นี้มีค่าเป็น 0 หมายถึงเลือกให้ รีจิสเตอร์T0 หรือT1 ทำงานเป็นไทม์เมอร์คือนับสัญญาณนาฬิกาที่ถูกหารด้วยวงจรหารสิบสองภายใน MCS-51 ทำให้ค่าในรีจิสเตอร์ที่ใช้เป็นไทม์เมอร์นี้มีค่าเพิ่มขึ้นทุก ๆ แมชชีนไซเคิ้ล เนื่องจากใน1 แมชชีนไซเคิ้ลใด ๆ ของ MCS-51 ประกอบด้วย 12 ไซเคิ้ลสัญญาณนาฬิกา ดังนั้นอัตราเร็วในการนับ (Count Rate)จึงมาค่าเป็น 1/12 เท่าของความถี่สัญญาณนาฬิกาที่ใช้ ในขณะเดียวกันถ้าบิท C/T นี้ถูกกำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้มีค่าเป็น 1 จะหมายถึงการเลือกให้รีจิสเตอร์T0 หรือT1 นั้นทำงานเป็นเคาน์เตอร์ โดย MCS-51 จะคอยตรวจสอบสถานะของสัญญาณภายนอกที่ขา T0 หรือT1 ซึ่งการตรวจสอบจะเกิดขึ้นในระหว่างสเตท 5 เฟส 2 ของแต่ละแมชชีนไซเคิ้ล ถ้าพบว่าสัญญาณที่ ขา T0 หรือT1 มีสถานะเป็น 1 ที่สเตท 5 เฟส 2 ของแมชชีนไซเคิ้ลใด ๆ และที่ สเตท 5 เฟส 2 ของแมชชีนไซเคิ้ลถัดไป หากสัญญาณที่ขา T0 หรือT1 มีค่าเปลี่ยนไปเป็น 0 จะทำให้รีจิสเตอร์ที่ถูกเลือกใช้งานเป็นเคาน์เตอร์เพิ่มค่าขึ้นอีกหนึ่งค่าในช่วงสเตท3 เฟส 1 ของแมชีนไซเคิ้ลซึ่งถัดจากไซเคิ้ลที่ใการตรวจพบการเปลี่ยนสถานะของสัญญาณ ดังนั้น MCS-51 จำเป็นจะต้องใช้เวลา 2 แมชชีนไซเคิ้ลหรือ24 ไซเคิ้ลของสัญญาณนาฬิกาเพื่อตรวจสอบการเปลี่ยนสถานะสัญญาณจาก 1 เป็น 0 ที่ขา T0 หรือT1 จึงทำให้อัตราการนับสูงสุดของเคาน์เตอร์ใน MCS-51 ถูกจำกัดความถี่ของสัญญาณอินพุทไว้ที่ 1/24 เท่าของความถี่สัญญาณนาฬิกาที่ใช้โดยไม่ขึ้นอยู่กับค่าดิตี้ไซเคิ้ลของสัญญาณ แต่เพื่อให้แน่ใจว่าสถานะของสัญญาณจะถูกตรวจสอบเข้ามาอย่างน้อยหนึ่งครั้งก่อนที่จะเปลี่ยนระดับจึงควรให้สถานะสัญญาณคงค่า 0 หรือ1 ไว้อย่างน้อย 1 แมชชีนไซเคิ้ลเต็ม เมื่อการนับของรีจิสเตอร์TLx (x หมายถึง 0 หรือ1) และ THx ถึงค่าสูงสุดที่จะเก็บได้คือ FFFFH การนับครั้งต่อไปจะทำให้รีจิสเตอร์ TLx และ THx มีค่า 0000H และบิทบอกสถานะการเกิดโอเวอร์โฟลว (TFx)ในรีจิสเตอร์ใช้งานเฉพาะ TCON ซึ่งควบคุมการร้องขอโปรแกรมบริการอินเตอร์รัปต์ของไทม์เมอร์เคาน์เตอร์ เมื่อเกิดโอเวอร์โฟลวก็จะถูกเซตขึ้นเพื่อรอตอบรับการร้องของจาก MCS-51

รีจิสเตอร์ควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์ หรือ TCON (Timer/Counter Control Register)

บิท7	บิท6	บิท5	บิท4	บิท3	บิท2	บิท1	บิท0
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

รูปที่ 4.5 รีจิสเตอร์ควบคุมการทำงานของไทม์เมอร์เคาร์เตอร์ หรือ TCON

รีจิสเตอร์ควบคุมการทำงานของไทม์เมอร์หรือเคาน์เตอร์(TCON)เป็นรีจิสเตอร์ขนาด8 บิท มีตำแหน่งหน่วยความจำข้อมูลภายในคือ 88H ของพื้อนที่ ๆ ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะดังรูปที่ 4.3 และสามารถเข้าถึงข้อมูลได้ในระดับบิท ซึ่งแต่ละบิทมีคำอธิบายประกอบดังนี้

TF1 (Time 1 Overflow Flag):เป็นบิทที่แสดงสภาวะการเกิดโอเวอร์โฟลวของไทม์เมอร์ 1 ที่ถูกเซตด้วยขบวนการทางฮาร์ดแวร์ เมื่อค่าของรีจิสเตอร์ในไทม์เมอร์1 มีการนับเกินค่าสูงสุด และบิทนี้จะถูกเคลียร์โดย MCS-51 เองเมื่อซีพียูได้ย้ายไปทำงานที่โปรแกรมบริการอินเตอร์รัปต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TR1 (Timer 1 Run Control Bit): เป็นบิทที่ใช้ควบคุมการนับของไทม์เมอร์ 1 ที่ถูกเซตโดยโปรแกรมจากซอฟต์แวร์ดังนี้

"1" ไทม์เมอร์ 1 เริ่มทำงาน(นับสัญญาณ)

"0" ไทม์เมอร์ 1 หยุดทำงาน (หยุดนับสัญญาณนาฬิกาภายในหรือนับจำนวนพัลส์ภายนอก)

TF0 (Timer 0 Overflow Flag): เป็นบิทที่แสดงสภาวะการเกิดโอเวอร์โฟลวของไทม์เมอร์ 0 ที่ถูกเซตด้วยขบวนการทางฮาร์ดแวร์ เมื่อค่าของรีจิสเตอร์ในไทม์เมอร์0 มีการนับเกินค่าสูงสุด และบิทนี้จะถูกเคลียร์โดย MCS-51 เองเมื่อซีพียูได้ย้ายไปทำงานที่โปรแกรมบริการอินเตอร์รัปต์

TR0 (Timer 0 Run Control Bit)· เป็นบิทที่ใช้ควบคุมการนับของไทม์เมอร์ 0 ที่ถูกเซตโดยโปรแกรมจากซอฟต์แวร์ดังนี้

"1" ไทม์เมอร์ 0 เริ่มทำงาน(นับสัญญาณ)

"0" ไทม์เมอร์ 0 หยุดทำงาน (หยุดนับสัญญาณนาฬิกาภายในหรือนับจำนวนพัลส์ภายนอก)

IE1 (Extemal Interrupt 1 Edge Flag): บิทนี้จะใช้ในการร้องขอโปรแกรมบริการอินเตอร์รัปต์จากภายนอกเมื่อ MCS-51สามารถตรวจจับการเปลี่ยนสถานะของสัญญาณที่ขาอินพุทอินเตอร์รัปต์ INT1 ได้ ซึ่งจะถูกเซตด้วยกระบวนการทางฉาร์ดแวร์และจะทำการเคลียร์เมื่อมีการบริการอินเตอร์รัปต์เกิดขึ้น

IT1 (Interrupt 1 Type Control Bit): เป็นบิทที่จะใช้ในกระบวนการอินเตอร์รัปต์ โดยใช้ในการเลือกลักษณะของสัญญาณอินเตอร์รัปต์จากภายนอกที่ต้องการทำให้เกิดการตอบสนองของการร้องขอของสัญญาณที่ขาอินพุทอินเตอร์รัปต์ INT1 การเซตและเคลียร์จะทำได้ด้วยโปรกแกรมทางซอฟต์แวร์ดังนี้

"0" จะตรวจสอบการเปลี่ยนระดับของสัญญาณจาก 1 เป็น 0 ที่ขา INT1 เพื่อการร้องขออินเตอร์รัปต์

"1" จะตรวจสอบระดับลอจิกต่ำของสัญญาณที่ขาINT1 เพื่อการร้องขออินเตอร์รัปต์

IE0 (Extemal Interrupt 0 Edge Flag): บิทนี้จะใช้ในการร้องขอโปรแกรมบริการอินเตอร์รัปต์จากภายนอก เมื่อ MCS-51 สามารถตรวจจับการเปลี่ยนสถานะของสัญญาณที่ขาอินพุทอินเตอร์รัปต์ INT0 ได้ ซึ่งจะภูกเซตด้วยกระบวนการทางฮาร์แวร์ และจะทำการเคลียร์เมื่อมีการบริการอินเตอร์รัปต์เกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IT0 (Interrupt 0 Type Control Bit): เป็นบิทที่จะใช้ในการระบวนการอินเตอร์รัปต์ โดยใช้ในการเซลือกลักษณะของสัญญาณอินเตอร์รัปต์จากภายนอกที่ต้องการทำให้เกิดการตอบสนองของการร้องขอของสัญญาณที่ขาอินพุทอินเตอร์รัปต์ INT0 การเซตและเคลียร์จะทำได้ด้วยโปรแกรมทางซอฟต์แวร์ดังนี้

"0" จะตรวจสอบการเปลี่ยนระดับของสัญญาณจาก 1 เป็น 0 ที่ขา INT0 เพื่อการร้องขออินเตอร์รัปต์

"1" จะตรวจสอบระดับลอจิกต่ำของสัญญาณที่ขาINT0 เพื่อการร้องขออินเตอร์รัปต์

รีจิสเตอร์เลือกณหมดการทำงานของไทม์เมอร์/เคาน์เตอร์ หรือTMOD (Timer/Counter Mode Control Register)

บิท7	บิท6	บิท5	บิท4	บิท3	บิท2	บิท1	บิท0
GATE	C/T	M1	M0	GATE	C/T	M1	M0
ไทม์เมอร์ 1				ไทม์เมอร์ 0			

รูปที่ 4.6 รีจิสเตอร์เลือกโหมดการทำงานของไทม์เมอร์เคาน์เตอร์ หรือ TMOD

รีจิสเตอร์เลือกโหมดการทำงานของไทม์เมอร์หรือเคาน์เตอร์ (TMOD) นี้เป็นรีจิสเตอร์ขนาด 8 บิท มีตำแหน่งหน่วยความจำข้อมูลภายในอยู่ที่ 89 H ของพื้นที่ ๆ ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะดังรูปที่ 4.3 และไม่สามารถเข้าถึงข้อมูลในระดับบิทได้ โดยแบ่งการทำงานออกเป็น 2 ส่วน คือ 4 บิทล่างใช้ในการเลือกโหมดการทำงานของไทม์เมอร์ 0 และ 4 บิทบนใช้ในการเลือกโหมดการทำงานของไทม์เมอร์ 1 ดังรูปที่ 4.6 ซึ่งในแต่ละบิทจะมีคำอธิบายประกอบร่วมกับไดอะแกรมควบคุมการทำงานของวงจรไทม์เมอร์/เคาร์เตอร์ดังนี้

GATE : ใช้เลือกลักษณะการควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์ โดยถ้ากำหนดให้เป็น

"0" ไทม์เมอร์/เคาน์เตอร์จะทำงานเมื่อบิท TRx ในรีจิสเตอร์TCON เป็น "1" เรียกการควบคุมแบบนี้ว่า การควบคุมทางซอฟต์แวร์

"1" ไทม์เมอร์/เคาน์เตอร์จะทำงานเมื่อบิท TRx ในรีจิสเตอร์TCON เป็น "1" และสถานะลอจิกที่ขาอินพุทอินเตอร์รัปต์ INTx เป็น "1" เรียกควบคุมแบบนี้ว่าการควบคุมทางฮาร์แวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C/T (Counter or Timer Selector): ใช้เลือกลักษณะการทำงานของไทม์เมอร์หรือเคาน์เตอร์โดยถ้าบิทนี้ถูกกำหนดให้เป็น

"0" จะเลือกให้ทำงานเป็นไทม์เมอร์ ใช้นับแมชชีนไซเคิ้ลจากสัญญาณนาฬิกาภายใน

"1" จะเลือกให้ทำงานเป็นเคาน์เตอร์ ใช้รับสัญญาณอินพุทจากภายนอกที่เข้ามาทางขา T0 หรือ T1

M0 , M1 (Mode Selector Bit): เป็น 2 บิทที่ใช้ร่วมกันเพื่อเลือกโหมดการทำงานของไทม์เมอร์/เคาน์เตอร์ ดังตารางที่ 4.1 ซึ่งมีทั้งหมด 4 โหมดการทำงาน ได้แก่ โหมด 0 , โหมด 1 , โหมด 2 และ โหมด 3 โดยในแต่ละโหมดจะมีการทำงานที่แตกต่างกัน ดังนี้

1. การทำงานในโหมด 0 : ไทม์เมอร์/เคาร์เตอร์ 13 บิท

ในโหมดนี้เป็นการกำหนดให้ใช้งานรีจิสเตอร์TLx เพียง 5 บิท และ THx ครบ 8 บิท ดังรูปที่ 4.7(ก) โดยสัญญาณอินพุทสำหรับการนับจะเลือกจากสัญญาณนาฬิกาภายในหรือสัญญาณพัลส์ภายนอก ขึ้นอยู่กับการควบคุมของบิท C/T และ GATE ในรีจิสเตอร์ TMOD, บิท TRx ในรีจิสเตอร์TCON และสถานะของลอจิกที่ขาอินพุท INTx ตามไดอะแกรมการควบคุมไทม์เมอร์/เคาน์เตอร์ของรูปที่ 4.4 การทำงานของโหมดนี้ก็คือ เมื่อรีจิสเตอร์ TLx นับครบ 32 ค่า (5 บิท) ก็จะส่งสัญญาณไปยังรีจิสเตอร์THx ขนาด 8 บิทให้เพิ่มค่าขึ้นหนึ่งค่า ดังนั้นในโหมดนี้จะนับสัญญาณได้สูงสุดถึง 8192 ค่า หรือ 13 บิท และเมื่อมีการนับครบรอบทั้ง 13 บิท การเซตบิท TFx ในรีจิสเตอร์TCON เพื่อร้องขอบริการอินเตอร์รัปต์จากซีพียูก็จะเกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M1	M2	อธิบายโหมดการทำงาน
0	0	-โหมด 0: รีจิสเตอร์THx และ TLx เป็นตัวนับ 13 บิท ค่าจากนับ 8 บิทบนมาจา 8 บิทของ THx และอีก 5 บิทล่างมาจากค่า 5 บิทล่างของรีจิสเตอร์TLx โดยที่ 3 บิทบนของ TLxจะไม่ถูกนำมาใช้งาน
0	1	-โหมด 1: รีจิสเตอร์THx และ TLx เป็นตัวนับ 16 บิท ค่าจากการนับ 8 บิทบนอยู่ในรีจิสเตอร์THx และค่าจากการนับ 8 บิทล่างอยู่ในรีจิสเตอร์TLx
1	0	-โหมด 2: ในการนับของรีจิสเตอร์TLx ขนาด 8 บิท เมื่อนับถึงค่าสูงสุดคือFFH การนับครั้งต่อไป จะทำให้เกิดการโอเวอร์โฟลว ส่งผลให้มีการเซตบิท TFx ในรีจิสเตอร์TCON เพื่อร้องขอโปรแกรมบริการการอินเตอร์รัปต์จากMCS-51 แล้วก็จะทำการนำเอาข้อมูลจาก THx รีโหลดเข้าไปยังTLx เพื่อเป็นค่าเริ่มต้นในการนับครั้งต่อไป
1	1	-โหมด 3: รีจิสเตอร์TL0จะถูกนำมาใช้เป็นไทม์เมอร์/เคาน์เตอร์ขนาด 8 บิท ที่ควบคุมการทำงานได้จากบิท TR0 ในรีจิสเตอร์TCON ขณะที่รีจิสเตอร์TH0 จะถูกใช้งานเป็นไทม์เมอร์ 8 บิท ที่ควบคุมการทำงานด้วยบิท TR1 ในรีจิสเตอร์TCON เท่านั้น และโหมดนี้ไทม์เมอร์ 1 จะไม่ถูกนำมาใช้งาน (หยุดนับ)

ตารางที่ 4.1 แสดงโหมดการทำงานของไทม์เมอร์/เคาน์เตอร์

2. การทำงานในโหมด 1 : ไทม์เมอร์/เคาน์เตอร์ 16 บิท

ในโหมดนี้จะมีการทำงานที่เหมือนกันกับโหมด 0 ทุกประการ เว้นแต่ค่าในรีจิสเตอร์ที่ใช้เป็นไทม์เมอร์หรือเคาน์เตอร์จะถูกใช้งานครบทั้ง 16 บิท ทำให้ค่าของการนับในโหมดนี้ทำได้ถึง 65536 ค่า หรือนับได้ตั้งแต่0000H จนถึง FFFFH ของรีจิสเตอร์ที่ใช้งาน และเมื่อทำการนับครบรอบ ค่าของการนับก็จะเปลี่ยนจาก FFFFH เป็น 0000H การเซตบิท TFx ในรีจิสเตอร์TCON เพื่อร้องขอบริการอินเตอร์รัปต์จากซีพียูก็จะเกิดขึ้น ดังรูปที่ 4.7 (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. การทำงานในโหมด 2 : ไทม์เมอร์/เคาน์เตอร์ 8 บิทแบบตั้งค่าอัตโนมัติ

ในโหมดนี้จะแยกรีจิสเตอร์ไทม์เมอร์ที่ใช้งานออกเป็น2 ชุด ชุดละ 8 บิท ดังรูปที่ 4.7 (ค) โดยรีจิสเตอร์TLx ทำหน้าที่เป็นตัวนับค่า ส่วนรีจิสเตอร์THx จะใช้ในการเก็บค่าเริ่มต้นของการนับเมื่อเริ่มต้นการทำงานค่าของรีจิสเตอร์THx จะถูกส่งไปยังรีจิสเตอร์TLx ทำให้ในสภาวะเริ่มต้นการทำงานค่าของรีจิสเตอร์TLx และ THx มีค่าเท่ากัน แต่เมื่อรีจิสเตอร์ TLx นับถึงค่าสูงสุดคือ FFh และจะเริ่มต้นการนับรอบใหม่ จะทำให้มีการเซตบิท TFx พร้อม ๆ กับทำการรับค่าการนับเริ่มต้อนจากรีจิสเตอร์THx ใหม่ซึ่งเรียกว่า"รีโหลด' และถึงแม้ว่าจะมีการส่งค่าเริ่มต้นไปยังรีจิสเตอร์TLx แล้วก็ตาม ค่าของข้อมูลในรีจิสเตอร์ THx ก็ยังคงเป็นค่าเดิมไม่มีการเปลี่ยนแปลงจนกว่าจะมีการกำหนดค่าใหม่ให้กับรีจิสเตอร์ THx ด้วยโปรแกรมทางซอฟต์แวร์

4. การทำงานในโหมด 3

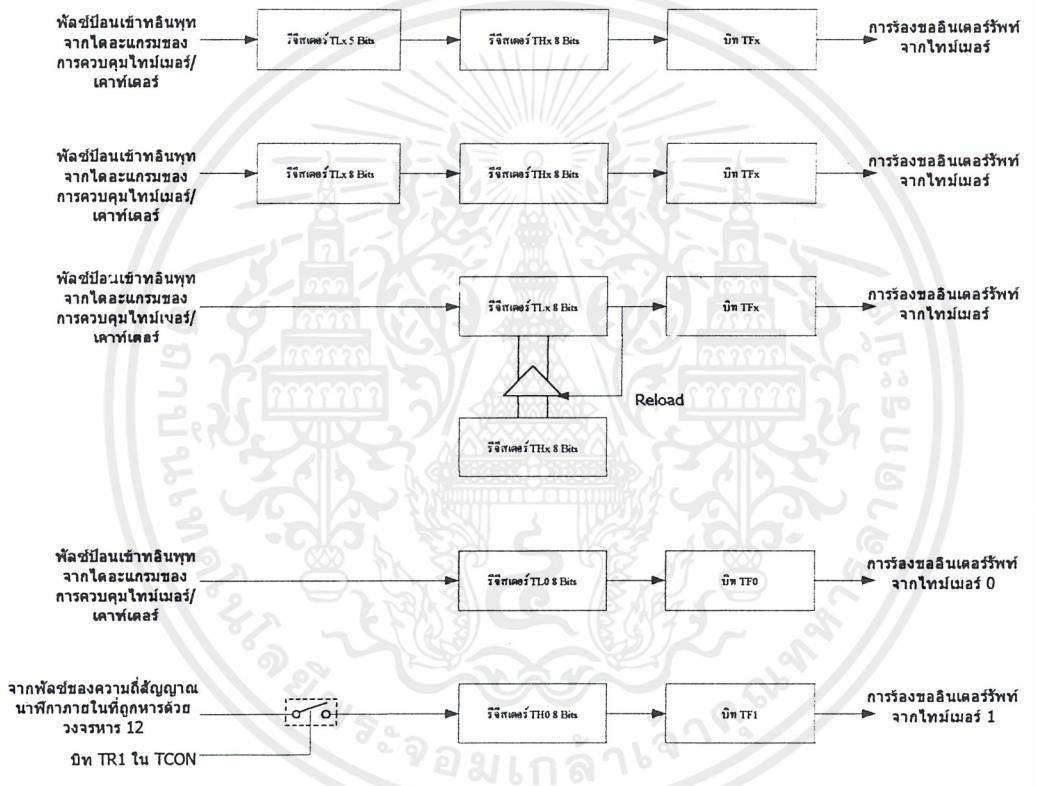
ในโหมดนี้เป็นโหมดเดียวที่การทำงานของไทม์เมอร์ 0 และไทม์เมอร์ 1 ไม่เหมือนกัน ซึ่งการทำงานของไทม์เมอร์ 1 ในโหมดนี้นั้นจะถูกสั่งให้หยุดนับค่าของการนัยก่อนหน้านี้ที่ถูกเก็บไว้ในรีจิสเตอร์ของไทม์เมอร์1 มีลักษณะการทำงานเหมือนกับการดิสเอเบิ้ลไทม์เมอร์ 1 ขณะที่ไทม์เมอร์ 0 ในโหมดนี้การทำงานของรีจิสเตอร์TL0 และ TH0 จะแยกอิสระจากกัน โดยที่รีจิสเตอร์TL0 สามารถเลือกการทำงานได้เหมือนกับไทม์เมอร์/เคาน์เตอร์ตามปกติ ส่วนรีจิสเตอร์TH0จะถูกบังคับให้ใช้งานเป็นไทม์เมอร์นับสัญญาณนาฬิกาภายในเพียงอย่างเดียวนั้น โดยสามารถควบคุมการทำงานได้จากบิท TR1 ดังรป 4.7 (ง) การแจ้งการนัยบเกินหรือโอเวอร์โฟลวของรีจิสเตอร์TL0 เพื่อร้องขอบริการอินเตอร์รัปต์จากไทม์เมอร์ 0 จะแจ้งผ่านบิท TF0 เช่นเดิม ในขณะที่การเกิดโอเวอร์โฟลวอันเนื่องมาจากการนับสัญญาณนาฬิกาภายในของรีจิสเตอร์TH0 จะไปควบคุมการร้องขออินเตอร์รัปต์ของไทม์เมอร์ 1 ได้โดยกระทำผ่านบิท TF1

4.1.4 การกำหนดการใช้งานไทเมอร์ 0 และไทม์เมอร์ 1 ใน MCS-51

การกำหนดการใช้งานไทม์เมอร์ 0 และไทม์เมอร์ 1 นั้นกรุทำโดยการโหลดค่าที่ต้องการไว้ในรีจิสเตอร์ใช้งานเฉพาะTMOD ดังนั้นตารางที่ 4.2 ถึง ตารางที่ 4.5 ซึ่งในแต่ละตารางจะสมมติว่าไทม์เมอร์ 0 หรือ ไทม์เมอร์1 ถูกใช้เพียงตัวเดียวเท่านั้น หากต้องการใช้งานไทม์เมอร์ 0 และไทม์เมอร์ 1 พร้อมกันให้นำค่าในตารางของไมม์เมอร์ 0 (ตารางที่ 4.2 และ 4.3) มาบวกกับค่าในตารางของไทม์เมอร์ 1 (ตารางที่ 4.4 และ 4.5)และหากใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไทม์เมอร์/เคาน์เตอร์ที่ควบคุมการทำงานจากโปรกแกรมจะต้องเซตบิท TRx ใช้จิสเตอร์ใช้งานเฉพาะTCON เพื่อให้ไทม์เมอร์เริ่มทำการนับ ตัวอย่างเช่นการใช้ไทม์เมอร์0 เป็นตัวนับสัญญาณนาฬิกาในโหมด 1 โดยควบคุมการทำงานจากฮาร์ดแวร์ภายนอก และไทม์เมอร์ 1 เป็น เคาน์เตอร์ในโหมด 2 โดยควบคุมการทำงานจากโปรแกรม ค่าที่ต้องโหลดไปไว้ในรีจิสเตอร์ใช้งานเฉพาะTMOD ก็คือ 69 H (09H จากตารางที่ 4.2 บวกกับ 60H ในตารางที่ 4.5)



รูปที่ 4.7 โหมดการทำงานต่าง ๆ ของไทม์เมอร์/เคาน์เตอร์

(ก) โหมด 0 ของไทม์เมอร์/เคาน์เตอร์เป็นแบบ 13 บิท

(ข) โหมด 1 ของไทม์เมอร์/เคาน์เตอร์เป็นแบบ 16 บิท

(ค) โหมด 2 ของไทม์เมอร์/เคาน์เตอร์ที่มีการรีโหลดค่าจาก THx ไปยัง TLx โดยอัตโนมัติ

(ง) โหมด 3 ของไทม์เมอร์/เคาน์เตอร์ที่ใช้ไทม์เมอร์ 0 เป็น ไทม์เมอร์หรือเคาน์เตอร์ขนาด 8 บิทและแยกอิสระจากกัน 2 ชุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โหมด	ฟังก์ชั่นของ ไทม์เมอร์ 0 เป็นตัว นับจากสัญญาณนาฬิกา	TMOD	
		ควบคุมจาก โปรแกรม	ควบคุมจากฮาร์ด แวร์ภายนอก
0	13-bit Timer	00H	08H
1	16-bit Timer	01H	09H
2	8-bit Auto-Reload	02H	0AH
3	Two 8-bit Timers	03H	0BH

ตารางที่ 4.2 แสดงค่าในรีจิสเตอร์TMODของไทม์เมอร์0 เป็นตัวนับสัญญาณนาฬิกา

โหมด	ฟังก์ชั่นของ ไทม์เมอร์ 0 เป็นตัว นับจากสัญญาณภายนอก	TMOD	
		ควบคุมจาก โปรแกรม	ควบคุมจากฮาร์ด แวร์ภายนอก
0	13-bit Timer	04H	0CH
1	16-bit Timer	05H	0DH
2	8-bit Auto-Reload	06H	0EH
3	One 8-bit Timers	07H	0FH

ตารางที่ 4.3 แสดงค่าในรีจิสเตอร์TMODของไทม์เมอร์0 เป็นตัวนับสัญญาณภายนอก

โหมด	ฟังก์ชั่นของ ไทม์เมอร์ 1 เป็นตัว นับจากสัญญาณนาฬิกา	TMOD	
		ควบคุมจาก โปรแกรม	ควบคุมจากฮาร์ด แวร์ภายนอก
0	13-bit Timer	00H	80H
1	16-bit Timer	10H	90H
2	8-bit Auto-Reload	20H	A0H
3	Does Not Run	30H	B0H

ตารางที่ 4.4 แสดงค่าในรีจิสเตอร์TMODไทม์เมอร์1 เป็นตัวนับสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โหมด	ฟังก์ชั่นของ ไทม์เมอร์ 1 เป็นตัว นับจากสัญญาณภายนอก	TMOD	
		ควบคุมจาก โปรแกรม	ควบคุมจากฮาร์ด แวร์ภายนอก
0	13-bit Timer	40H	C0H
1	16-bit Timer	50H	D0H
2	8-bit Auto-Reload	60H	E0H
3	Not Available	-	-

ตารางที่4.5 แสดงค่าในรีจิสเตอร์TMODไทม์เมอร์ 1 เป็นตัวนับสัญญาณภายนอก

4.1.5 การร้องขอการอินเตอร์รัปต์กับรีจิสเตอร์ที่ใช้ควบคุมการทำงาน

การออกแบบ MCS-51 ให้ทำงานเป็นวงจรตรวจจับเฟสและความถี่ที่มีสถานะเป็น 3-สเตท ซึ่งสามารถตอบสนองต่อสัญญาณอินพุท (T1,T0) ที่เข้ามาได้นั้น ปริญญานิพนธ์นี้ได้ใช้วิธีการร้องขอบริการอินเตอร์รัปต์ให้MSC-51 ทราบเมื่อมีสัญญาณอินพุทเข้ามาแล้วจึงทำกระบวนการเปรียบเทียบเฟสและแสดงผลที่ค่าเอาท์พุท(P0.0=VU,P0.1=VD) ซึ่งวิธีการนี้จะทำให้ไมโครคอนโทรลเลอร์สามารถตรวจจับพัลส์ของสัญญาณอินพุทได้ตลอดเวลา โดยอยู่ในย่านของความถี่การใช้งานที่กำหนด และยังสามารถตรวจจับสัญญาณอินพุทที่เกิดขึ้นพร้อมกันได้ด้วยเทคนิคของการจัดลำดับความสำคัญในการร้องขอบริการอินเตอร์รัปต์

การร้องขอบริการอินเตอร์รัปต์นั้นก็คือ สภาวะที่ไมโครคอนโทรลเลอร์MCS-51 กำลังทำงานอยู่แล้วถูกขัดจังหวะด้วยสัญญาณ (ฮาร์ดแวร์) หรือคำสั่งพิเศษ(ซอฟแวร์) ให้ MCS-51 ต้องละจากงานที่กำลังทำอยู่ไปตอบสนองโปรแกรมการร้องขอบริการอินเตอร์รัปต์นั้น ๆ และเมื่อเสร็จสิ้นการทำโปรแกรมการร้องขอบริการอินเตอร์รัปต์แล้วก็จะกลับมาทำงานเดิมได้ต่อไป MCD-51เบอร์ 8031 นี้จะมีแหล่งกำเนิดการร้องขอบริการอินเตอร์รัปต์ได้ทั้งหมด 6 แหล่งสัญญาณด้วยกันคือ

INT0 , INT1 - เป็น 2 ขาอินพุทที่รับสัญญาณอินเตอร์รัปต์จากภายนอก การอินเตอร์รัปต์จะเกิดขึ้นถ้าสัญญาณที่ขาดังกล่าวมีสภาวะลอจิกเป็น 0 หรือ เปลี่ยนจาก 1 เป็น 0 โดยเลือกด้วยการกำหนดในบิท IT0 หรือIT1 ในรีจิสเตอร์TCON

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TF0 , TF1 - เป็นบิทหนึ่งที่จะบอกการทำงานของไทม์เมอร์ 0 หรือไทม์เมอร์1 เมื่อเกิดโอเวอร์โฟลวจากการนับสัญญาณพัลส์ในรีจิสเตอร์ไทม์เมอร์และจะเกิดการอินเตอร์รัปต์ 8031 ได้ ซึ่งถูกนำมาใช้ในการออกแบบของวิทยานิพนธ์นี้

T1 , R1 - เป็น 2 บิทในรีจิสเตอร์SCON ซึ่งบิทนี้จะถูกเซตให้เป็น 1 โดยฮาร์ดแวร์เมื่อเสร็จสิ้นการส่งหรือรับข้อมูลและจะทำให้เกิดการอินเตอร์รัปต์ 8031 ได้ซึ่งการร้องขอบริการอินเตอร์รัปต์ในไมโครคอนโทรลเลอร์MCS-51 นั้นจะมีรีจิสเตอร์ที่เกี่ยวข้องอยู่สอบตัวดังรายละเอียดต่อไปนี้

รีจิสเตอร์อีนาเบิลการอินเตอร์รัปต์ หรือIE (Interrupt Enable Register)

บิท7	บิท6	บิท5	บิท4	บิท3	บิท2	บิท1	บิท0
ER	-	ET2	ES	ET1	EX1	ET0	EX0

รูปที่ 4.8 รีจิสเตอร์อีนาเบิ้ลการอินเตอร์รัปต์ หรือIE

รีจิสเตอร์อีนาเบิลการอินเตอร์รัปต์เป็นรีจิสเตอร์ขนาด8 บิท มีตำแหน่งหน่วยความจำข้อมูลภายในอยู่ที่ A8H ของพื้นที่ ๆ ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะดังรูปที่4.3 และสามารถเข้าถึงข้อมูลในระดับบิทได้ IE รีจิสเตอร์ใช้ในการอีนาเบิลการตอบสนองการอินเตอร์รัปต์ในแบบต่าง ๆ ซึ่งมีรายละเอียดการทำงานตามรูปที่ 4.9 ดังนี้

ER (Global Enable/Disable Interrupt): ใช้ในการอีนาเบิลและดิสเอเลิลการตอบสนองการอินเตอร์รัปต์ทั้งหมด

"0" ดิสเอเบิลการอินเตอร์รัปต์ คือ กำหนดให้ไมโครคอนโทรลเลอร์ไม่ตอบสนองการอินเตอร์รัปต์ไม่ว่าจะมาจาแหล่งกำเนิดใดก็ตาม

"1" อีนาเบิลการอินเตอร์รัปต์ คือ กำหนดให้ไมโครคอนโทรลเลอร์สามารถตอบสนองการอินเตอร์รัปต์จาแหล่งกำเนิดต่าง ๆ นั่นคือ ถ้าต้องการให้ไมโครคอนโทรลเลอร์ตอบสนองการอินเตอร์รัปต์ไม่ว่าจะแหล่งกำเนิดใดจะต้องเซตบิทนี้ก่อนเสมอ ซึ่งสามารถเซตและเคลียร์ได้ด้วยกระบวนการทางซอฟต์แวร์

ET2 (Timer 2 Interrupt Enable) : ใช้ในการอีนาเบิลร้องขอการอินเตอร์รัปต์อันเนื่องมาจากการเกิดโอเวอร์โฟลวของไทม์เมอร์/เคาน์เตอร์ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ES (Serial Port Interrupt Enable Bit) : ใช้ในการอีนาเบิลร้องขอการอินเตอร์รัปต์อันเนื่องมาจากการรับส่งข้อมูลทางพอร์ตอนุกรมภายในไมโครคอนโทรลเลอร์ MCS-51 ซึ่งสามารถเซตและเคลียร์บิทได้ด้วยกระบวนการทางซอฟต์แวร์

ET1(Timer 1 Interrupt Enable): ใช้ในการอีนาเบิลร้องขอการอินเตอร์รัปต์อันเนื่องมาจากการเกิดโอเวอร์โฟลวของรีจิสเตอร์ตัวนับในไทม์เมอร์เคาน์เตอร์ 1 ซึ่งสามารถเซตและเคลียร์บิทได้ด้วยกระบวนการทางซอฟต์แวร์

EX1 (External Interrupt 1 Enable Bit) : ใช้ในการอีนาเบิลร้องขอการอินเตอร์รัปต์อันเนื่องมาจากสัญญาณภายนอกที่ป้อนเข้ามายังขา INT1 ซึ่งสามารถเซตและเคลียร์บิทนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

ET0 (Timer 0 Interrupt Enable) : ใช้ในการอีนาเบิลร้องขอการอินเตอร์รัปต์อันเนื่องมาจากการเกิดโอเวอร์โฟลวของรีจิสเตอร์ตัวนับในไทม์เมอร์เคาน์เตอร์ 0 ซึ่งสามารถเซตและเคลียร์บิทได้ด้วยกระบวนการทางซอฟต์แวร์

EX0 (External Interrupt 0 Enable Bit): ใช้ในการอีนาเบิลร้องขอการอินเตอร์รัปต์อันเนื่องมาจากสัญญาณภายนอกที่ป้อนเข้ามายังขา INT0 ซึ่งสามารถเซตและเคลียร์บิทนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

สำหรับบิท 6 ของรีจิสเตอร์IE ไม่มีการใช้งาน ต้องกำหนดให้เป็น "0" เสมอ

รีจิสเตอร์จัดลำดับความสำคัญการตอบสนองการร้องขอบริการอินเตอร์รัปต์ หรือ IP (Interrupt Priority Register)

บิท7	บิท6	บิท5	บิท4	บิท3	บิท2	บิท1	บิท0
-	-	PT2	PS	PT1	PX1	PT0	PX0

รูปที่ 4.9 รีจิสเตอร์จัดลำดับความสำคัญการตอบสนองการอินเตอร์รัปต์ หรือIE

รีจิสเตอร์จัดลำดับความสำคัญการตอบสนองการร้องขอบริการอินเตอร์รัปต์เป็นรีจิสเตอร์ขนาด 8 บิท มีตำแหน่งหน่วยความจำข้อมูลภายในอยู่ที่ B8H ของพื้นที่ ๆ ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะดังรูปที่4.3 และสามารถเข้าถึงข้อมูลในระดับบิทได้ เป็นรีจิสเตอร์ที่ใช้ในการเลือกลำดับความสำคัญของการตอบสนองการร้องขอบริการอินเตอร์รัปต์ว่าต้องการให้ตอบสนองสัญญาณอินเตอร์รัปต์จากแหล่งกำเนิดใดเป็นลำดับก่อนหลัง ถ้าต้องการให้การอินเตอร์รัปต์จากแหล่งกำเนิดใดมีความสำคัญสูงสุด ให้กำหนดที่บิทนั้นเป็น "1" ซึ่งรายละเอียดของรีจิสเตอร์IP ในรูปที่ 4.10มีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PT2 (Timer 2 Interrupt Priority Bit): ใช้ในการกำหนดความสำคัญของการอินเตอร์รัปต์อันเนื่องมาจากการเกิดโอเวอร์โฟลวของตัวนับในไทม์เมอร์/เคาน์เตอร์ 2 ซึ่งสามารถเซตและเคลียร์บิทนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

PS (Serial Port Interrupt Priority Bit): ใช้ในการกำหนดความสำคัญของการอินเตอร์รัปต์อันเนื่องมาจากการรับส่งข้อมูลทางพอร์ตอนุกรมภายในไมโครคอนโทรลเลอร์ MCS-51ที่สามารถเซตและเคลียร์บิทได้ด้วยกระบวนการทางซอฟต์แวร์

PT1 (Timer 1 Interrupt Priority Bit): ใช้ในการกำหนดความสำคัญของการอินเตอร์รัปต์อันเนื่องมาจากการเกิดโอเวอร์โฟลวของตัวนับในไทม์เมอร์/เคาน์เตอร์ 1 ซึ่งสามารถเซตและเคลียร์บิทนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

PX1 (External Interrupt 1 Priority Bit) : ใช้ในการกำหนดความสำคัญของการอินเตอร์รัปต์อันเนื่องมาจากสัญญาณภายนอกที่ป้อนเข้ามายังขา INT1 ซึ่งสามารถเซตและเคลียร์บิทนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

PT0 (Timer 1 Interrupt Priority Bit): ใช้ในการกำหนดความสำคัญของการอินเตอร์รัปต์อันเนื่องมาจากการเกิดโอเวอร์โฟลวของตัวนับในไทม์เมอร์/เคาน์เตอร์ 0 ซึ่งสามารถเซตและเคลียร์บิทนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

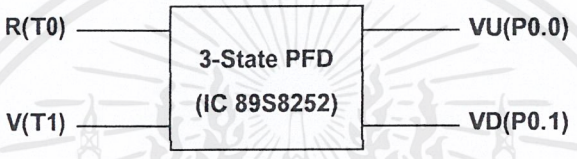
PX0 (External Interrupt 0 priority Bit) : ใช้ในการกำหนดความสำคัญของการอินเตอร์รัปต์อันเนื่องมาจากสัญญาณภายนอกที่ป้อนเข้ามายังขา INT0 ซึ่งสามารถเซตและเคลียร์บิทนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

สำหรับบิท 6 และบิท 7 ของรีจิสเตอร์IP นี้ไม่มีการใช้งาน ต้องกำหนดให้เป็น “0” เสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การออกแบบวงจร 3-state PFD ด้วยไมโครคอนโทรลเลอร์ 8051

การออกแบบวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 3-สเตทด้วยไมโครคอนโทรลเลอร์ในตอนแรกให้เรากำหนดอินพุทและเอาท์พุทให้กับ IC89S8252 ที่จะนำมาโปรแกรมดังรูปที่ 4.11 แล้วจึงเขียนโปรแกรมควบคุมให้ไอซี นั้นทำงานตามสเตทไดอะแกรมของวงจร 3-state PFD ตามทฤษฎีบทที่ 3 รูปที่ 3.3 ซึ่งวงจรจะเปลี่ยนสถานะไปทีละหนึ่งสเตทตามสัญญาณพัลส์ที่เข้ามาที่ขา T0กับT1

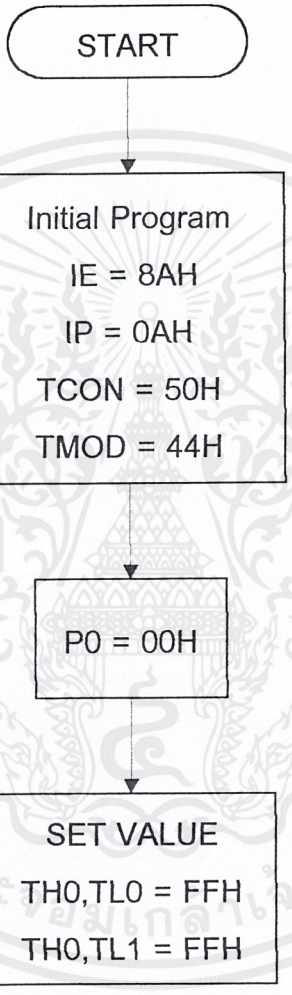


รูปที่ 4.10 การกำหนดอินพุทและเอาท์พุทให้วงจร

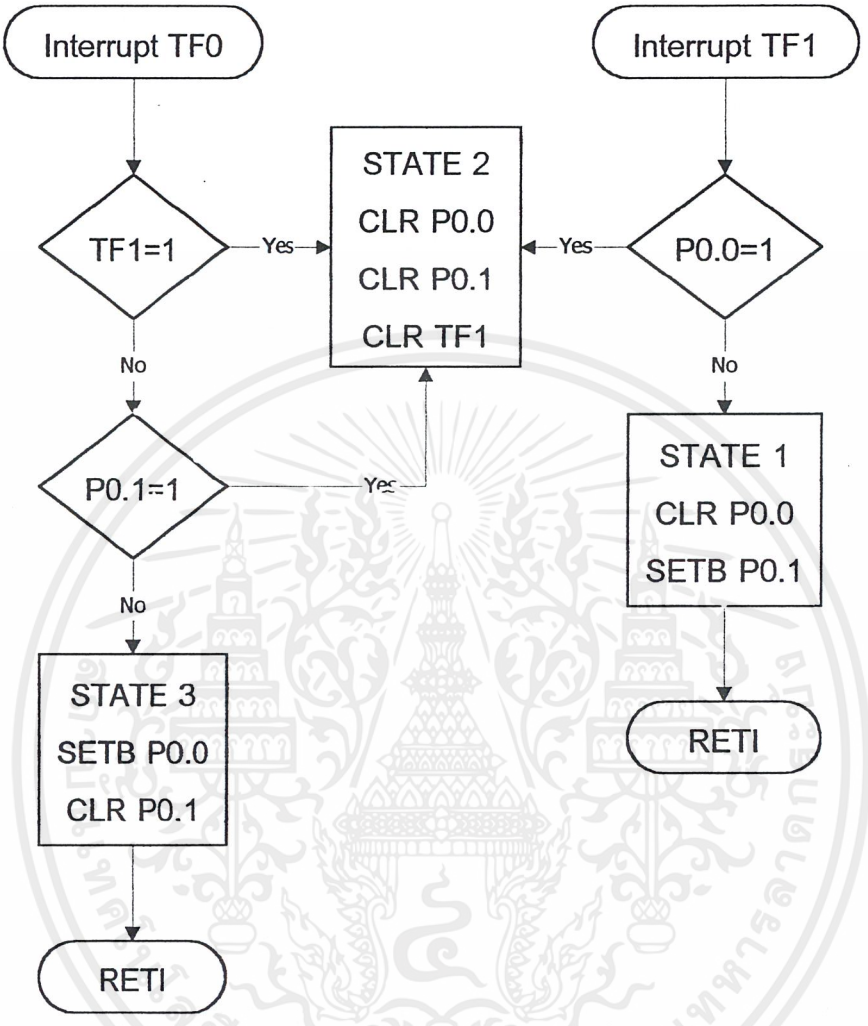
ซึ่งลักษณะการทำงานของโปรแกรมเป็นไปตาม Flow Chart

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FLOW CHART การทำงานของโปรแกรม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



หลักการในการเขียนโปรแกรมเราใช้ รูปที่ 10 เป็นการกำหนดการทำงานของโปรแกรมโดยจากการที่เรากำหนดให้ R=T0,V=T1,VU=P0.0 และ VD=P0.1 ซึ่งในโปรแกรมนี้เราใช้ขอบขาลงของสัญญาณพัลซ์ที่เข้ามาเป็นหลัก สมมุติเมื่อมี R(T0) เข้ามาทำให้ TF0 เกิดโอเวอร์โฟลว์จะทำให้มีการเปลี่ยนสเตจไปยังสเตจที่สูงขึ้นและจะมีการเช็คจากค่า VD(P0.1) เพื่อประกอบการตัดสินใจว่าจะมีการเปลี่ยนสเตจหรือไม่ ที่V(T1) ก็จะมีการทำงานคล้ายกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การทดสอบและผลการทดสอบ

5.1 การทดสอบดิจิตอลเฟสดีเทคเตอร์แบบต่างๆ

5.1.1 เฟสดีเทคเตอร์แบบ เอ็กคลูซีฟออร์เกต (Exor)



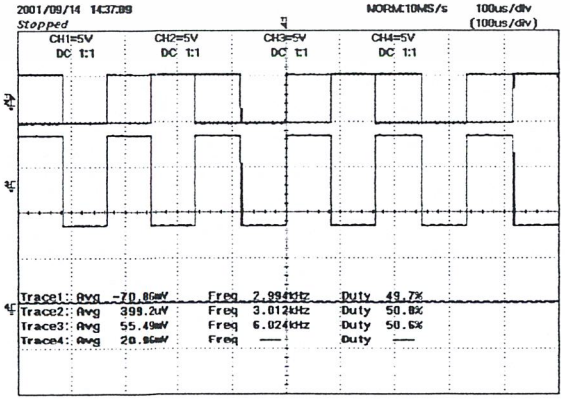
รูปที่ 5.1 วงจรเอ็กซ์คลูซีฟ

- วัดเทียบความต่างเฟสของอินพุท

กรณีที่ค่าอินพุททั้ง 2 ขามีค่า Duty Cycle = 50% และป้อนความถี่เท่ากันทั้ง 2 ขา (2 kHz) ปรับความต่างเฟสที่ขาอินพุท และวัดค่าโวลท์ที่ออกมาจากตัว Exor ที่ผ่านฟิลเตอร์(Vd)

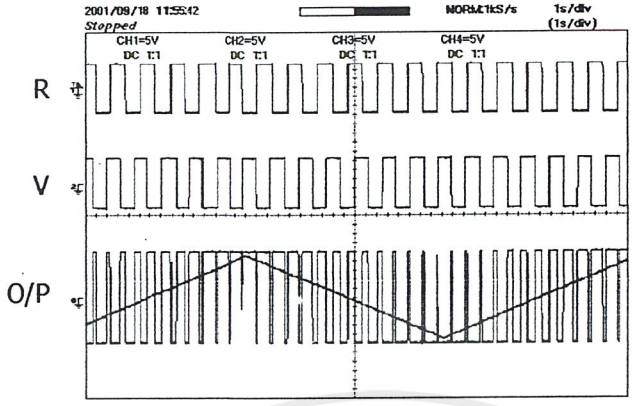
$\varnothing_e$	Vd	DutyCycle,Vd
0°	-4.907	0%
90°	0.05	50%
180°	4.889	100%

ตารางที่ 5.1 เอาท์พุทของ EXOR และที่ฟิลเตอร์



(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

รูปที่ 5.2 สัญญาณที่ได้จากการตรวจจับเฟสของ EXOR (IC4046)

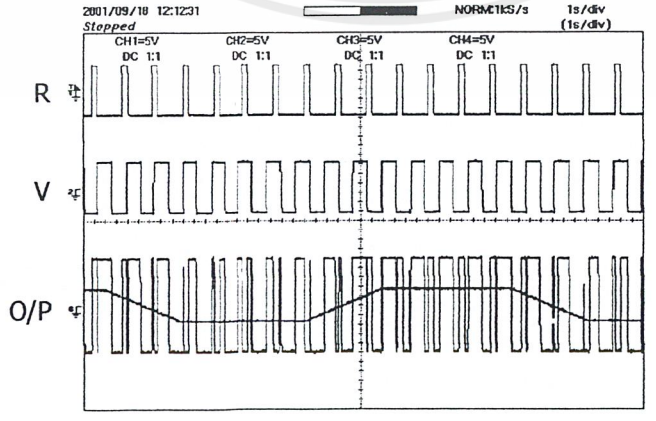
(ก) วัดที่ความต่างเฟส 90°

(ข) วัดการเปลี่ยนแปลงของความต่างเฟสเทียบกับเอาท์พุทจากฟิลเตอร์

- กรณีที่ Duty Cycle ≠ 50 %

$\varnothing_e$	Vd
0°	-2.793
180°	2.654

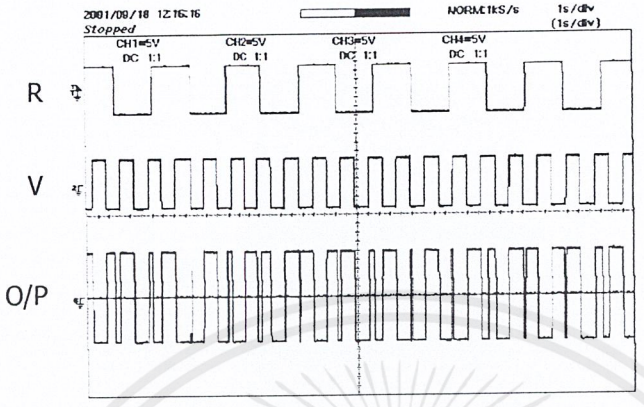
ตารางที่ 5.2 เอาท์พุทของ EXOR และที่ฟิลเตอร์ กรณี Duty Cycle ≠ 50 %



รูปที่ 5.3 สัญญาณที่ได้จากการตรวจจับเฟสของ EXOR(IC4046) Duty Cycleไม่เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กรณีที่ ความถี่สัญญาณอินพุทไม่เท่ากัน



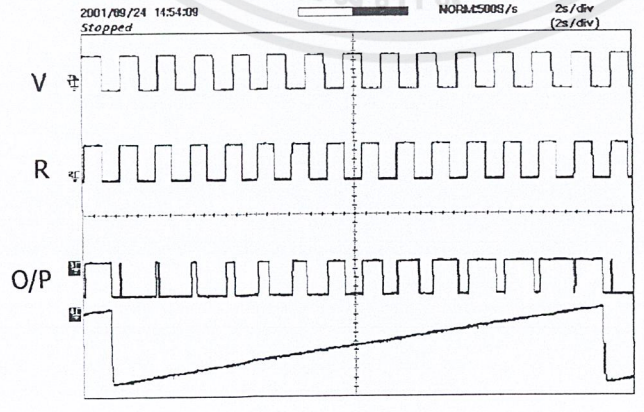
รูปที่ 5.4 สัญญาณที่ได้จาก EXOR(IC4046) และ FILTER เมื่อความถี่สัญญาณอินพุทไม่เท่ากัน

5.1.2 เฟสดีเทคเตอร์แบบ 3-STATE(ใช้ IC CD4046)

- กรณีที่ R นำหน้า V

∅e	Vd
0°	1.840
180°	4.025
360°	4.931

ตารางที่ 5.3 เอาท์พุทที่ฟิลเตอร์ของ 3-state PFD กรณีที่ R นำหน้า V



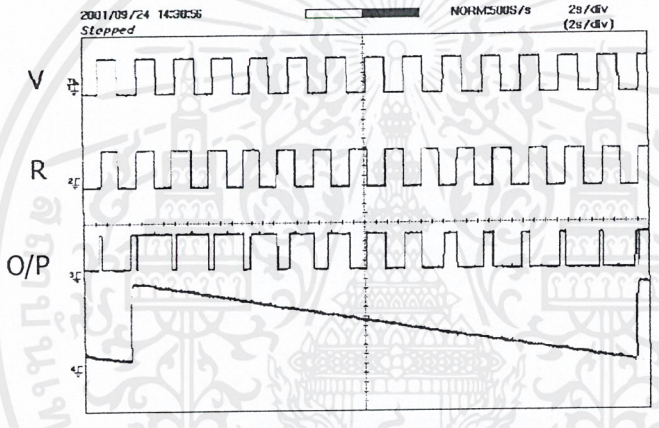
รูปที่ 5.5 สัญญาณที่ได้จากการตรวจจับเฟสของ 3- state PFD (R lead V) IC4046

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กรณีที่ V นำหน้า R

Øe	Vd
0°	-1.940
180°	-4.061
360°	-4.573

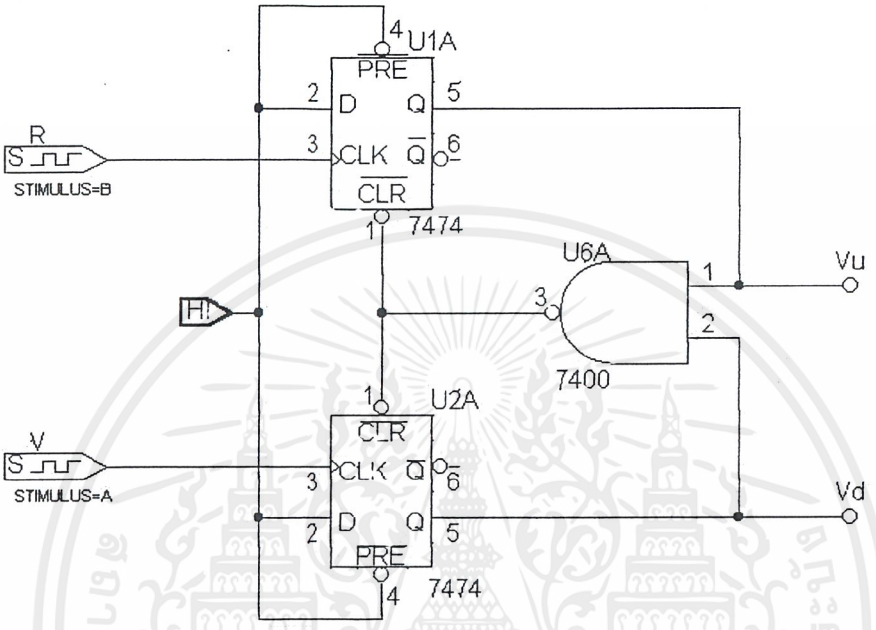
ตารางที่ 5.4 เอาท์พุทที่ฟิลเตอร์ของ 3-state PFD กรณีที่ V นำหน้า R



รูปที่ 5.6 สัญญาณที่ได้จากการตรวจจับเฟสของ 3- state PFD (V lead R) IC4046

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.3 การทดสอบการทำงานโดยเทียบกับการซิมมูลเลทด้วยโปรแกรม Pspice

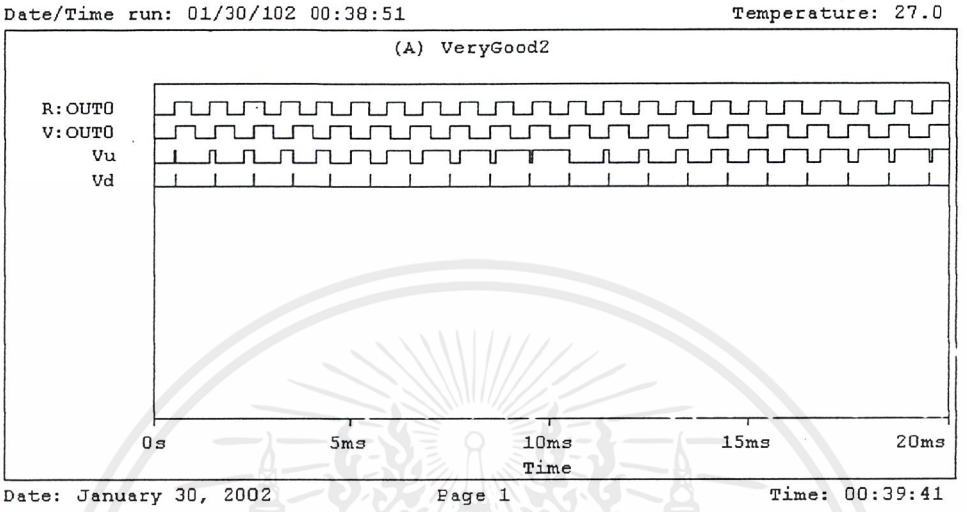


รูปที่ 5.7 วงจร 3-State PFD ที่ใช้ในการซิมมูลเลทด้วยโปรแกรม Pspice

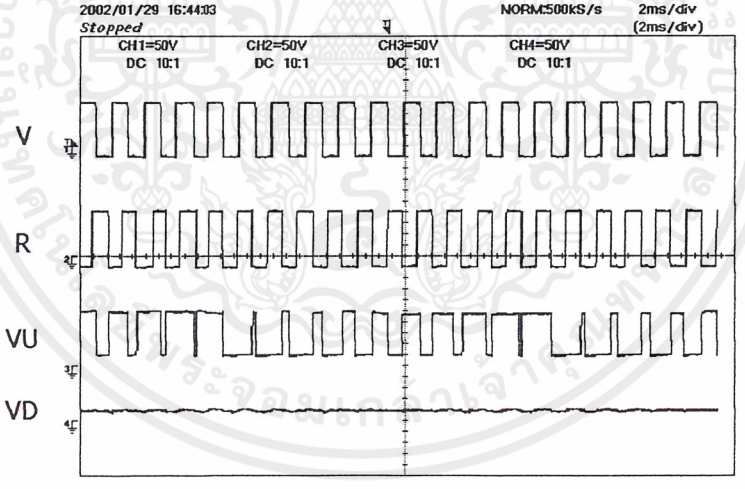
การทดสอบโดยการซิมมูลเลทวงจร 3-State PFD ด้วยโปรแกรม PSpice ดังในรูปที่ 5.1 แล้วนำผลการ ซิมมูลเลทมาเปรียบเทียบกับวงจร3-State PFD ด้วยไมโครโปรเซสเซอร์ โดยเรากำหนดให้สัญญาณอินพุท (R,V) มีค่าความถี่ที่ไม่เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- R=1kHZ ,V=900HZ (ที่ R > V)



(ก)



(ข)

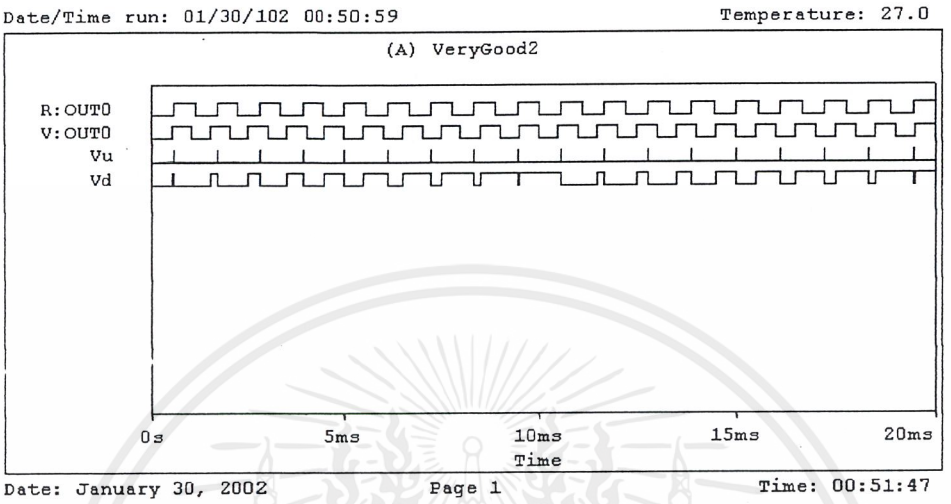
รูปที่ 5.8 เปรียบเทียบผลจากการซิมูเลทด้วยโปรแกรมPSPICE ของวงจร 3-State PFD กับวงจร 3-State PFD ที่ใช้ไมโครคอนโทรลเลอร์ MCS-51

(ก) ผลจากการซิมูเลทด้วยโปรแกรม PSPICE

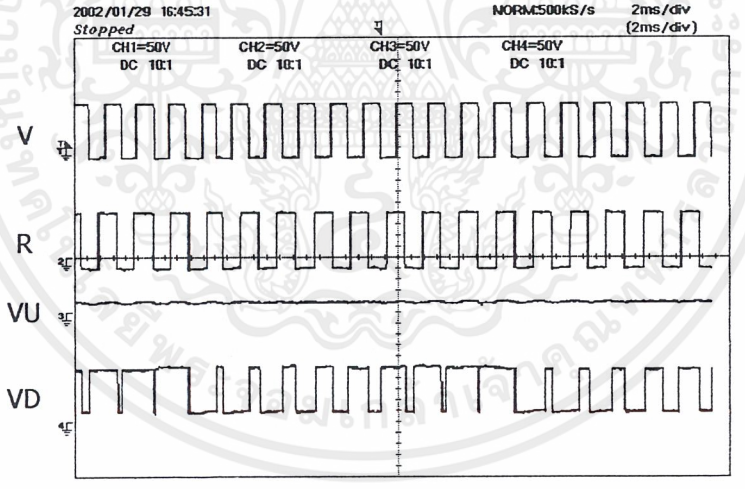
(ข) ผลจากวงจร 3-State PFD ที่ใช้ไมโครคอนโทรลเลอร์ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- R=1kHZ ,V=1.1kHZ (ที่ V > R)



(ก)



(ข)

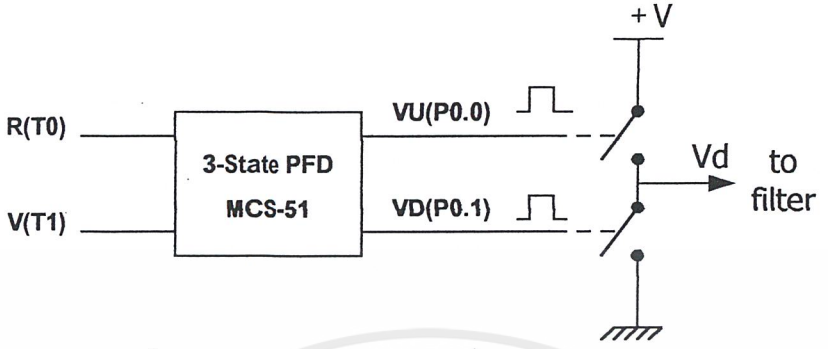
รูปที่ 5.9 เปรียบเทียบผลจากการซิมมูเลทด้วยโปรแกรมPSPICE ของวงจร 3-State PFD กับวงจร 3-State PFD ที่ใช้ไมโครคอนโทรลเลอร์ MCS-51

(ก) ผลจากการซิมูเลทด้วยโปรแกรม PSPICE

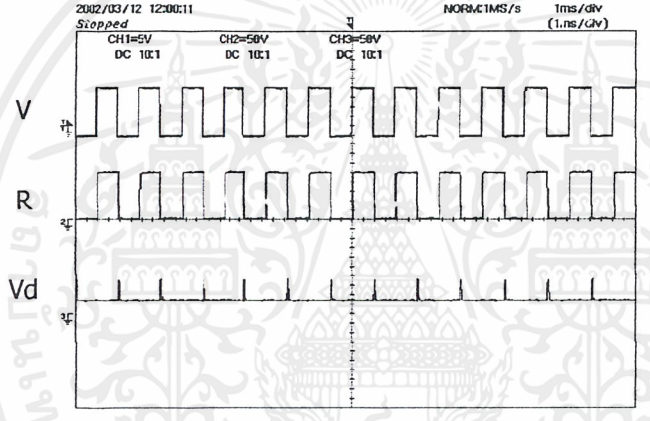
(ข) ผลจากวงจร 3-State PFD ที่ใช้ไมโครคอนโทรลเลอร์ MCS-51]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

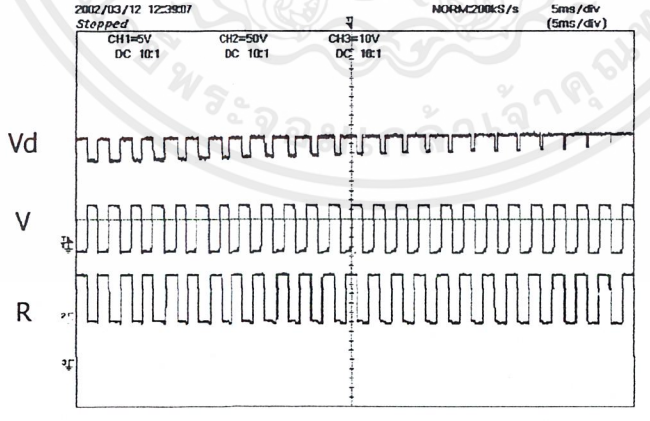
5.1.4 วัดสัญญาณหลังจากผ่าน Analog Swicth



รูปที่ 5.10 วงจร 3-State PFD ที่ต่อกับอะนาลอกสวิทช์



(ก)



(ข)

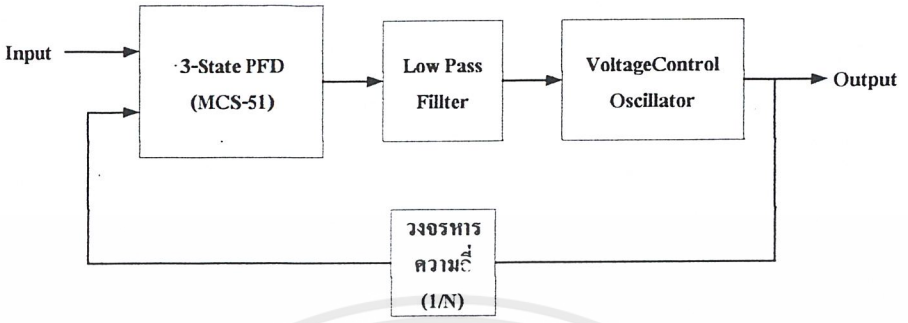
รูปที่ 5.11 สัญญาณที่ออกมาจากอะนาลอกสวิทช์

(ก) กรณีที่สัญญาณอินพุท(R,V) มีความถี่และเฟสเท่ากัน

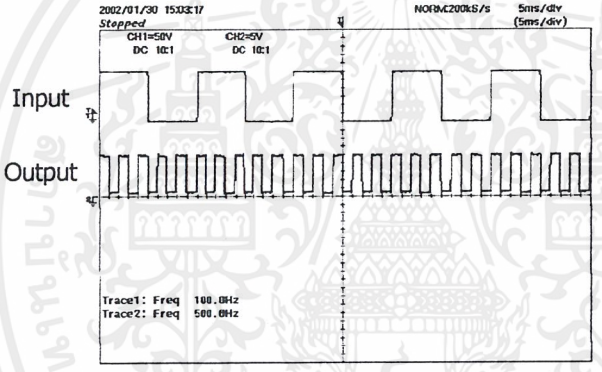
(ข) กรณีที่สัญญาณอินพุท(R,V) มีความถี่และเฟสไม่เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

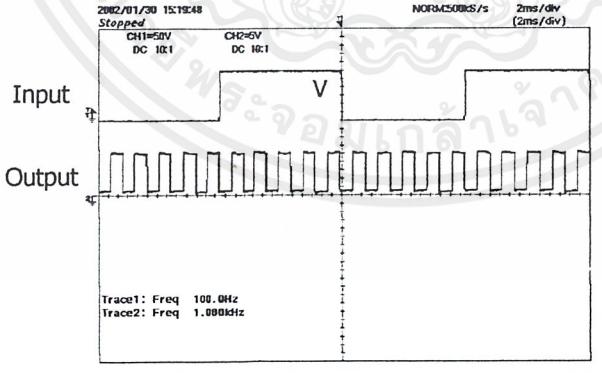
5.1.5 ทดสอบโดยการใส่วงจรหารความถี่ไปในระบบเฟสล็อกลูป



รูปที่ 5.12 การใส่วงจรหารความถี่ไปในระบบเฟสล็อกลูป



(ก)



(ข)

รูปที่ 5.13 รูปสัญญาณระหว่างอินพุท-เอาท์พุทหลังจากใส่วงจรหารความถี่ไปในระบบเฟสล็อกลูป

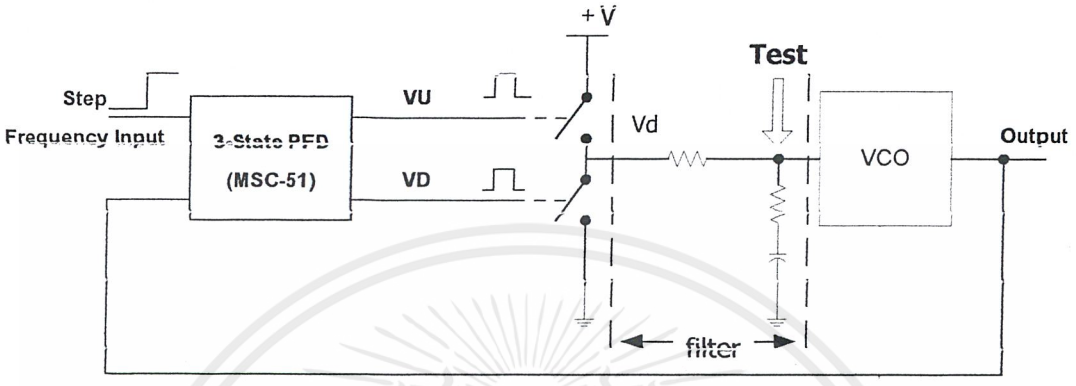
(ก) กรณีกำหนดให้ N=5

(ข) กรณีกำหนดให้ N=10

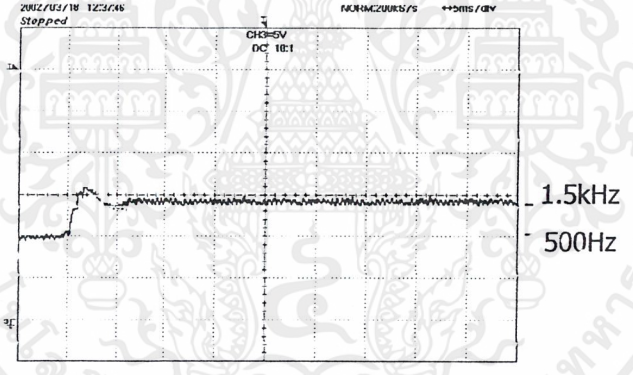
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 ทดสอบหาผลตอบสนองต่อสเตปความถี่อินพุท

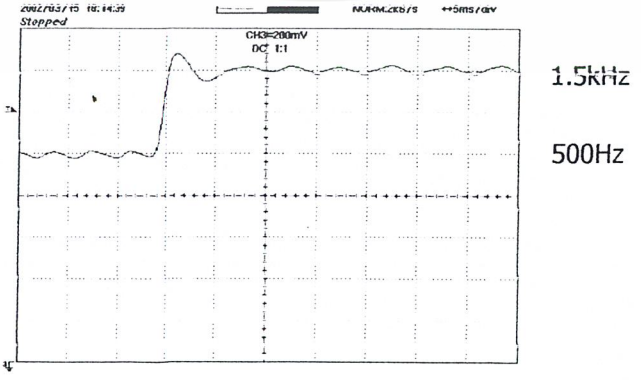
ทดสอบโดยการป้อนความถี่อินพุทแล้วสเตปความถี่ขึ้นไป แล้ววัดผลตอบสนองที่ฟิลเตอร์ ดังรูปที่ 5.12



รูปที่ 5.14 การวัดหาผลตอบสนองต่อสเตปความถี่อินพุท



รูปที่ 5.15 ผลตอบสนองต่อสเตปความถี่อินพุทของเฟสดีเทคเตอร์ ที่ใช้ไมโครคอนโทรลเลอร์



รูปที่ 5.16 ผลตอบสนองต่อสเตปความถี่อินพุทของเฟสดีเทคเตอร์ ที่ใช้ไอซีสำเร็จรูป(CD4046)

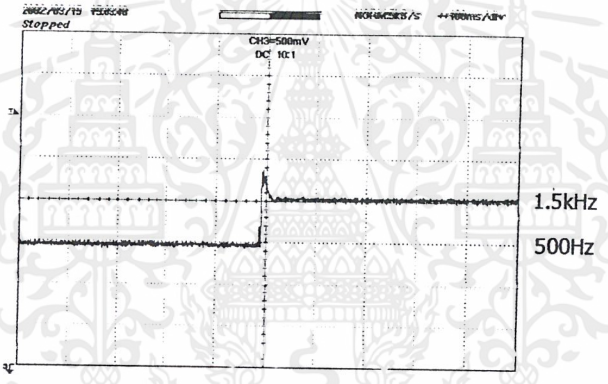
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.1 ทำการเปลี่ยนตัวฟิลเตอร์และทำการทดสอบหาผลตอบสนองต่อสเตปความถี่อินพุท

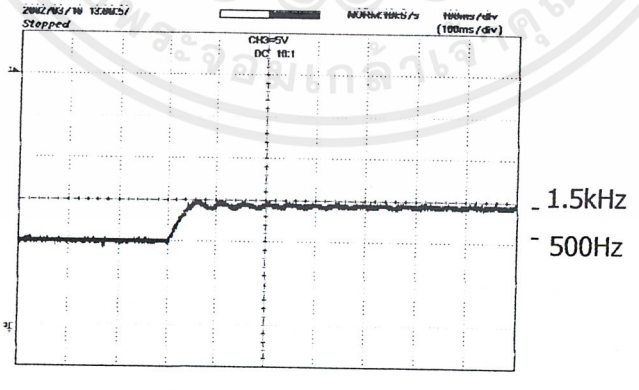
- แทนฟิลเตอร์ทั้ง 2 แบบไปในระบบเฟสล็อคลูป



รูปที่ 5.17 ฟิลเตอร์ที่นำมาทดสอบทั้ง 2 แบบ



รูปที่ 5.18 ผลตอบสนองต่อสเตปความถี่อินพุทของฟิลเตอร์ แบบที่ 1



รูปที่ 5.19 ผลตอบสนองต่อสเตปความถี่อินพุทของฟิลเตอร์ แบบที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 การหาค่าแบนด์วิทด์ของระบบเฟสล็อกลูป

จากทฤษฎีในบทที่ 2 เราได้

ω_{3dB}=Ko*Kd*Kh [rad/sec]

- วัดหาค่า Ko(Gain Vco)

Voltage Input (Volt)	Frequency (Hz)
0	0
1	565
2	2500
3	2632
4	2660
5	2717

ตารางที่ 5.5 การเปลี่ยนแปลงโวลท์ต่อความถี่ของVCO

จากตารางที่ 5.5 เราได้ Ko = 2717/5 = 543.4 rad/sec

- หาค่า Kd (Gian Phase Detector)
  - IC 4046

θe(°)	Vd (Volt)
0°	0
90°	1.282
180°	2.486
270°	3.784
360°	4.894

ตารางที่ 5.6 การเปลี่ยนแปลงเฟสออร์เรอร์(θe) ต่อโวลท์ที่ตัวเฟสดีเทคเตอร์ (Vd) กรณีที่ใช้ IC CD4046 เป็นเฟสดีเทคเตอร์

จากตารางที่ 5.6 เราได้ Kd1 = 4.894/2π = 0.778 V/rad

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- IC 89S8252 (IC Simulate)

$\theta_{e(°)}$	Vd (Volt)
0°	0
90°	1.284
180°	2.577
270°	3.770
360°	4.950

ตารางที่ 5.7 การเปลี่ยนแปลงเฟสออร์เรอร์(θe) ต่อโวลท์ที่ตัวเฟสดีเทคเตอร์ (Vd) กรณีที่ใช้ ไมโครคอนโทรลเลอร์เป็นเฟสดีเทคเตอร์

จากตารางที่ 5.7 เราได้ Kd2 = 4.95/2π = 0.789 V/rad

- กรณีที่ใช้ IC CD4046 เป็นเฟสดีเทคเตอร์ : ω_{3dB} = Ko*Kd1*Kh [rad/sec]
= (543.4)(0.778)(1)
= 422.76 [rad/sec]

- กรณีที่ใช้ ไมโครคอนโทรลเลอร์เป็นเฟสดีเทคเตอร์ : ω_{3dB} = Ko*Kd1*Kh [rad/sec]
= (543.4)(0.789)(1)
= 428.74 [rad/sec]

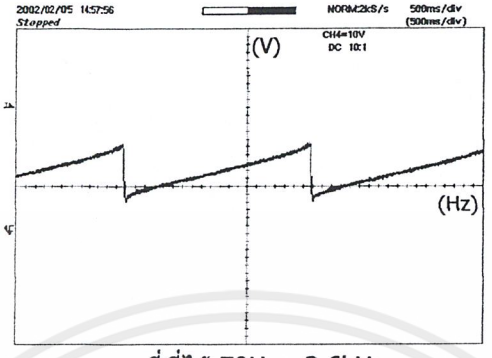
จากการทดลองจะเห็นว่าแบนด์วิทด์ของเฟสล็อกลูปที่ใช้ IC CD4046 เป็นเฟสดีเทคเตอร์จะมีค่าน้อยกว่าแบนด์วิทด์ของเฟสล็อกลูปที่ใช้ไมโครคอนโทรลเลอร์เป็นเฟสดีเทคเตอร์

5.4 การวัดหาค่า Lock Range,Capture Range โดยใช้การ Sweepความถี่อินพุท

ในการทดลองนี้เราใช้การ Sweepค่าความถี่ให้เพิ่มขึ้นหรือลดลงมาเป็นการหาค่า Lock Range,Capture Range โดยดูค่าความถี่ที่ได้จากการSweepค่าความถี่ (ค่าที่ได้คือค่าความถี่ที่เรากำหนดในการSweep) เทียบกับโวลท์ที่ตัวฟิลเตอร์ จากรูปที่ 5.12 ในรูปแบบทรานส์เซียล และนำผลที่ได้มาเปรียบเทียบกันระหว่างIC CD4046 กับเฟสดีเทคเตอร์ที่ใช้ไมโครคอนโทรลเลอร์ MCS-51

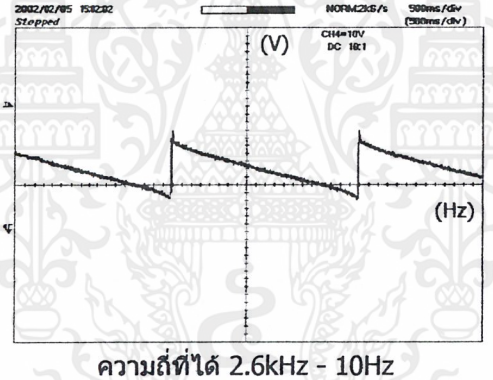
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.1 เฟสดีเทคเตอร์ที่ใช้ไมโครคอนโทรลเลอร์ MCS-51



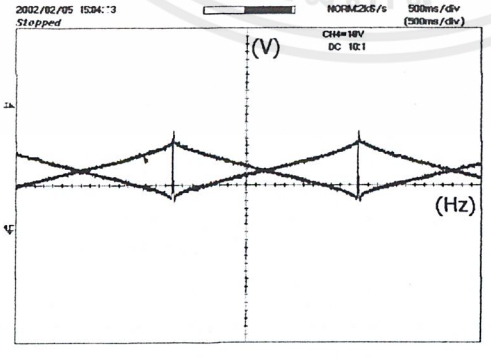
ความถี่ที่ได้ 70Hz - 2.6kHz

รูปที่ 5.20 การ Sweepค่าความถี่ให้เพิ่มขึ้น (ใช้ไมโครคอนโทรลเลอร์ MCS-51)



ความถี่ที่ได้ 2.6kHz - 10Hz

รูปที่ 5.21 การ Sweepค่าความถี่ให้ลดลง (ใช้ไมโครคอนโทรลเลอร์ MCS-51)



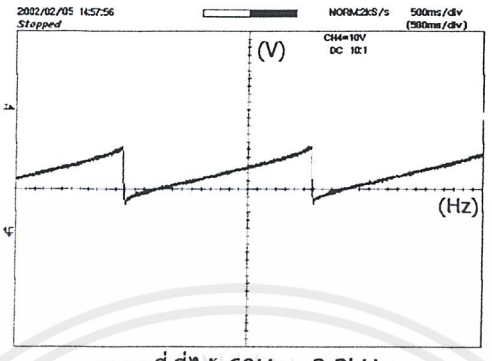
Lock range = 2590 Hz

Capture range = 2530 Hz

รูปที่ 5.22 เปรียบเทียบการSweepทั้งสองค่า (ใช้ไมโครคอนโทรลเลอร์ MCS-51)

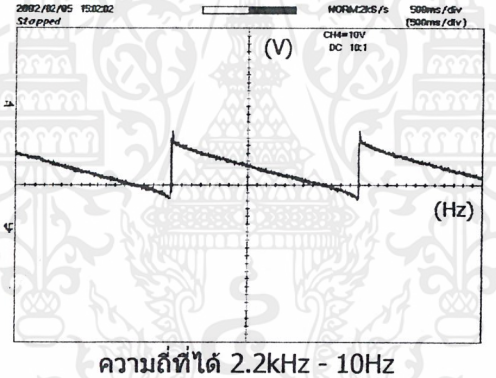
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.2 เฟสดีเทคเตอร์ที่ใช้ IC CD4046



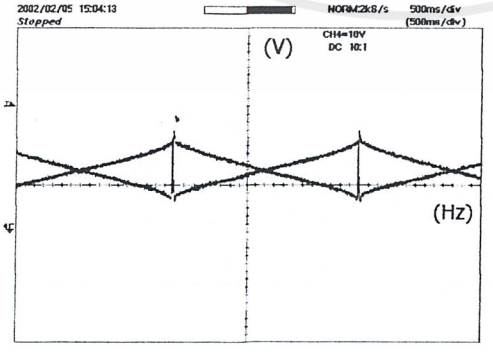
ความถี่ที่ได้ 60Hz - 2.2kHz

รูปที่ 5.23 การ Sweepค่าความถี่ให้เพิ่มขึ้น (ใช้ IC 4046)



ความถี่ที่ได้ 2.2kHz - 10Hz

รูปที่ 5.24 การ Sweepค่าความถี่ให้ลดลง (ใช้ IC 4046)



Lock range = 2190 Hz

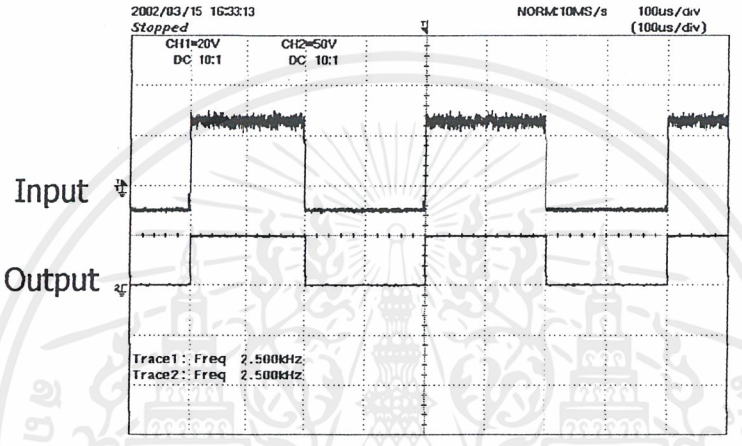
Capture range = 2140 Hz

รูปที่ 5.25 เปรียบเทียบการSweepทั้งสองค่า (ใช้ IC 4046)

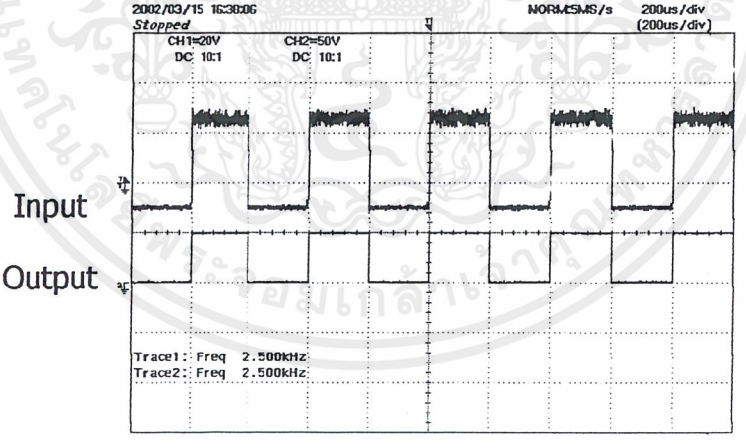
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 ทดสอบคุณสมบัติในการรีเจค น้อยส์(Noise Rejection) ในเฟสล็อคลูป

ทดสอบโดยการป้อนความถี่ที่เป็นพัลซ์ปนน้อยส์ให้เป็นอินพุทของระบบ แล้ววัดดูสัญญาณที่เอาท์พุทของระบบ ซึ่งในการทดสอบนี้ใช้เฟสดีเทคเตอร์ที่ใช้ไมโครคอนโทรลเลอร์มาเป็นตัวทดสอบ (น้อยส์ที่ป้อนเข้าไปต้องมีค่า 0-3.5 V ถ้าเกินนี้จะไม่ล็อก)



(ก)



(ข)

รูปที่ 5.26 การรีเจค-น้อยส์(Noise Rejection)ของเฟสล็อคลูป
(ก) การรีเจค-น้อยส์ของเฟส/ฟรีเควนซี่ ดีเทคเตอร์ ที่ใช้ MCS-51
(ข) การรีเจค-น้อยส์ของเฟส/ฟรีเควนซี่ ดีเทคเตอร์ ที่ใช้ไอซี4046

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปผลการทดลอง

การออกแบบวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ด้วยไมโครคอนโทรลเลอร์ MCS-51 ซึ่งจากการออกแบบในช่วงแรกจะเกิดปัญหาคือวงจรจะไม่สามารถตรวจจับสัญญาณที่เข้ามาพร้อมกันได้ ทำให้เกิดปัญหาในการล็อคกันของสัญญาณ คือวงจรจะไม่สามารถเปลี่ยนไปยังสเตทที่ 2 ได้ ในปริญญานิพนธ์นี้ได้แก้ปัญหาดังกล่าวโดย ใช้การร้องขอโปรแกรมบริการอินเตอร์รัพท์ที่มาจากการตรวจจับขอบขาลงของสัญญาณพัลซ์อินพุทที่เข้ามาทางขา T0 และ T1 รวมทั้งการใช้เทคนิคของการกำหนดลำดับความสำคัญของการร้องขอบริการอินเตอร์รัพท์ และตรวจสอบบิทของสัญญาณอินเตอร์รัพท์ที่เข้ามาร้องขอพร้อมกัน ทำให้ไมโครคอนโทรลเลอร์สามารถทำงานได้อย่างถูกต้อง

ในส่วนของการทดสอบการทำงานของ ไมโครคอนโทรลเลอร์ที่ถูกออกแบบให้เป็นวงจรสาม-สเตทเฟสดีเทคเตอร์นั้นได้ผลเป็นไปในทางเดียวกับทฤษฎี และเมื่อนำมาเปรียบเทียบกับผลจากการซิมูลเลทด้วยโปรแกรม Pspice ก็ให้ผลที่เหมือนกัน กล่าวคือวงจรจะเปลี่ยนสถานะอยู่ในช่วง สาม-สเตท และแรงดันที่ได้(Vd) เป็นสัดส่วนกับค่าความต่างเฟส(θe) โดยความต่างเฟสได้ในช่วง -2π ถึง $+2\pi$ เมื่อเราทดสอบโดยป้อนสเตปความถี่เข้าไป ผลที่ได้จากเฟสดีเทคเตอร์ที่ใช้ MSC-51 เทียบกับผลที่ได้จากไอซีสำเร็จรูปจะได้ผลตอบสนองใกล้เคียงกัน แต่เมื่อทดลองลองทำการเปลี่ยนตัวฟิลเตอร์ ตามรูปที่ 5.17 เห็นได้ว่าฟิลเตอร์ก็มีผลต่อสเตปอินพุทเหมือนกัน โดยในแบบที่ 1 เป็นแอคทีฟฟิลเตอร์จะให้ผลตอบสนองดีกว่าแบบที่ 2 และแบบที่ใช้ในตอนแรก (ดูจากรูปที่ 5.16,5.18และ5.19) จากการวัดหาค่าKd(เกนท์ของตัวเฟสดีเทคเตอร์)ซึ่งได้จากตารางที่ 5.6และ5.7 เราสามารถหาค่าแบนด์วิดท์ได้เลยจากสูตร ω_{3dB} = Ko*Kd*Kh จะได้ว่า เฟสดีเทคเตอร์ที่ใช้ MSC-51 มีแบนด์วิดท์กว้างกว่าเฟสดีเทคเตอร์ที่ใช้ไอซีสำเร็จรูปเล็กน้อย เนื่องจากมีค่า Kd มากกว่า(ค่าKdกับKh ใช้ค่าเดียวกัน) ซึ่งผลดังกล่าวก็มีผลทำให้ Lock Range ของเฟสดีเทคเตอร์ที่ใช้ MSC-51กว้างกว่าของไอซีสำเร็จรูป

และจากการทดลองวัดการรีเจค-น้อยส์ของเฟสล็อคลูปโดยที่เราป้อนสัญญาณพัลซ์ที่มีน้อยส์ปนมาด้วยระบบก็ยังสามารถล็อคความถี่ที่อินพุทได้อยู่ แต่ทั้งนี้ก็ขึ้นอยู่กับปริมาณของน้อยส์ที่ป้อนเข้าไปถ้ามีน้อยส์ที่ปนไปมีปริมาณมากๆ ระบบก็ไม่สามารถทำงานได้ ผลการทดลองระหว่างเฟส/ฟรีเควนซี่ ดีเทคเตอร์ ที่ใช้MCS-51จะเหมือนกับเฟส/ฟรีเควนซี่ ดีเทคเตอร์ที่ใช้IC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. Dan H. Wolaver , " Phase-Locked Loop Circuit Design " ,Prentice Hall : Englewood Cliffs , New Jersey , 1991.
2. Howard M. Berlin ,"Design of Phase-Locked Loop Circuits with Experiment" , Howard W. Sams & Co.,Inc., Indianapolis , 1978.
3. ผศ.สมยศ จุณณะปิยะ , " การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ ตระกูลMCS-51" ,ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยี พระจอมเกล้าเจ้าคุณทหารลาดกระบัง , ๒๕๓๗.
4. ฐิตินันท์ ตั้งมหาศุกร์, ปิยานี ริ้วเลิศศิริกุล " เฟสล็อคคอนโทรลเลอร์ " , วิทยานิพนธ์ปริญญาตรี, ภาควิชาวิศวกรรมระบบควบคุม สถาบันเทคโนโลยี พระจอมเกล้า เจ้าคุณทหารลาดกระบัง , ๒๕๓๖.
5. ธนา พรวิศณุกูล , " การขยายช่วงคุณสมบัติของวงจรตรวจจับเฟส " , วิทยานิพนธ์ปริญญาโท, ภาควิชาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยี พระจอมเกล้าเจ้าคุณทหารลาดกระบัง , ๒๕๔๔.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

```
; ************************************************************
; * โปรแกรม 3-State Phase Detector แบบ ใช้ interrupt *
; ************************************************************
        ORG 0000H
        LJMP BEGIN          ; SKIP INTERRUPT VECTOR
        ORG 000BH
        LJMP T0_COME        ; WHEN TF0 IS OVERFLOW
        ORG 001BH
        LJMP T1_COME        ; WHEN TF1 IS OVERFLOW

BEGIN:  MOV TMOD,#44H
        MOV IE,#8AH
        MOV IP,#0AH
        MOV TCON,#50H
        MOV P0,#00H
START:  MOV TL0,#0FFH
        MOV TH0,#0FFH
        MOV TL1,#0FFH
        MOV TH1,#0FFH
        SJMP START
T0_COME: JB TF1,STATE_2
        JNB P0.1,STATE_3
        JB P0.1,STATE_2
T1_COME: JNB P0.0,STATE_1
        JB P0.0,STATE_2
STATE_2: CLR P0.0       ;VU=0
        CLR P0.1        ;VD=0
        CLR P0.2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                CLR TF1
                RETI
STATE_3:        SETB P0.0       ;VU=1
                CLR P0.1        ;VD=0
                SETB P0.2
                RETI
STATE_1:        CLR P0.0        ;VU=0
                SETB P0.1       ;VD=1
                SETB P0.2
                RETI
                END
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

FAIRCHILD SEMICONDUCTOR TM

October 1987
Revised January 1999

CD4046BC
Micropower Phase-Locked Loop

General Description

The CD4046BC micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shifts at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitor and resistors connected to pin $C1_A$, $C1_B$, R1 and R2.

The source follower output of the VCO_{IN} (demodulator Out) is used with an external resistor of 10 kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation, if necessary.

Features

- Wide supply voltage range: 3.0V to 18V
- Low dynamic power consumption: 70 µW (typ.) at f_o = 10 kHz, V_{DD} = 5V
- VCO frequency: 1.3 MHz (typ.) at V_{DD} = 10V
- Low frequency drift: 0.06%/°C at V_{DD} = 10V with temperature
- High VCO linearity: 1% (typ.)

Applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

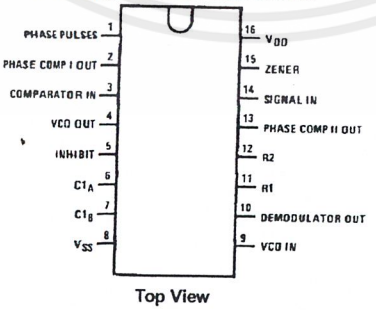
Ordering Code:

Order Number	Package Number	Package Description
CD4046BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow Body
CD4046BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram

Pin Assignments for SOIC and DIP



Top View

© 1999 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram

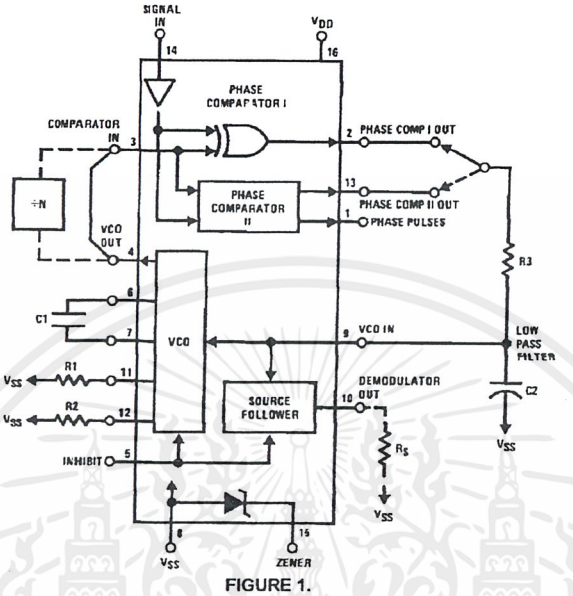


FIGURE 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

(Note 2)

DC Supply Voltage (V_{DD})	−0.5 to +18 V_{DC}
Input Voltage (V_{IN})	−0.5 to V_{DD} +0.5 V_{DC}
Storage Temperature Range (T_S)	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	3 to 15 V_{DC}
Input Voltage (V_{IN})	0 to V_{DD} V_{DC}
Operating Temperature Range (T_A)	−40°C to +85°C

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

DC Electrical Characteristics (Note 2)

Symbol	Parameter	Conditions	−40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	Pin 5 = V_{DD}, Pin 14 = V_{DD}, Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		20		0.005	20		150	µA
		V_{DD} = 10V		40		0.01	40		300	µA
		V_{DD} = 15V		80		0.015	80		600	µA
		Pin 5 = V_{DD}, Pin 14 = Open, Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		70		5	55		205	µA
		V_{DD} = 10V		530		20	410		710	µA
		V_{DD} = 15V		1500		50	1200		1800	µA
V_{OL}	LOW Level Output Voltage	V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	HIGH Level Output Voltage	V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	LOW Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
	Comparator and Signal In	V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.25	4.0		4.0	V
V_{IH}	HIGH Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
	Comparator and Signal In	V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	LOW Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.52		0.44	0.88		0.36		mA
	(Note 4)	V_{DD} = 10V, V_O = 0.5V	1.3		1.1	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	3.6		3.0	8.8		2.4		mA
I_{OH}	HIGH Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.52		−0.44	−0.88		−0.36		mA
	(Note 4)	V_{DD} = 10V, V_O = 9.5V	−1.3		−1.1	−2.25		−0.9		mA
		V_{DD} = 15V, V_O = 13.5V	−3.6		−3.0	−8.8		−2.4		mA
I_{IN}	Input Current	All Inputs Except Signal Input								
		V_{DD} = 15V, V_{IN} = 0V		−0.3		-10^{-5}	−0.3		−1.0	µA
		V_{DD} = 15V, V_{IN} = 15V		0.3		10^{-5}	0.3		1.0	µA
C_{IN}	Input Capacitance	Any Input (Note 3)					7.5			pF
P_T	Total Power Dissipation	f_o = 10 kHz, R1 = 1 MΩ, R2 = ∞, $C_{XO_{IN}} = C_{\Delta\Delta}/2$								
		V_{DD} = 5V				0.07				mW
		V_{DD} = 10V				0.6				mW
		V_{DD} = 15V				2.4				mW

Note 3: Capacitance is guaranteed by periodic testing.

Note 4: I_{OH} and I_{OL} are tested one output at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 5)

$T_A = 25°C$, $C_L = 50$ pF

Symbol	Parameter	Conditions	Min	Typ	Max	Units
VCO SECTION						
I_{DD}	Operating Current	f_o = 10 kHz, R1 = 1 MΩ, R2 = ∞, $C_{XO_{IN}} = C_{AA}/2$				
		V_{DD} = 5V		20		μA
		V_{DD} = 10V		90		μA
		V_{DD} = 15V		200		μA
f_{MAX}	Maximum Operating Frequency	C1 = 50 pF, R1 = 10 kΩ, R2 = ∞, $C_{XO_{IN}} = C_{AA}$				
		V_{DD} = 5V	0.4	0.8		MHz
		V_{DD} = 10V	0.6	1.2		MHz
		V_{DD} = 15V	1.0	1.6		MHz
	Linearity	VCO_{IN} = 2.5V ±0.3V, R1 ≥ 10 kΩ, V_{DD} = 5V		1		%
		VCO_{IN} = 5V ±2.5V, R1 ≥ 400 kΩ, V_{DD} = 10V		1		%
		VCO_{IN} = 7.5V ±5V, R1 ≥ 1 MΩ, V_{DD} = 15V		1		%
	Temperature-Frequency Stability	%/°C ∝ 1/f, C_{AA}				
	No Frequency Offset, $f_{MIN} = 0$	R2 = ∞				
		V_{DD} = 5V		0.12–0.24		%/°C
		V_{DD} = 10V		0.04–0.08		%/°C
		V_{DD} = 15V		0.015–0.03		%/°C
	Frequency Offset, $f_{MIN} \neq 0$	V_{DD} = 5V		0.06–0.12		%/°C
		V_{DD} = 10V		0.05–0.1		%/°C
		V_{DD} = 15V		0.03–0.06		%/°C
VCO_{IN}	Input Resistance	V_{DD} = 5V		10^6		MΩ
		V_{DD} = 10V		10^6		MΩ
		V_{DD} = 15V		10^6		MΩ
VCO	Output Duty Cycle	V_{DD} = 5V		50		%
		V_{DD} = 10V		50		%
		V_{DD} = 15V		50		%
t_{THL}	VCO Output Transition Time	V_{DD} = 5V		90	200	ns
t_{THL}		V_{DD} = 10V		50	100	ns
		V_{DD} = 15V		45	80	ns
PHASE COMPARATORS SECTION						
R_{IN}	Input Resistance					
	Signal Input	V_{DD} = 5V	1	3		MΩ
		V_{DD} = 10V	0.2	0.7		MΩ
		V_{DD} = 15V	0.1	0.3		MΩ
	Comparator Input	V_{DD} = 5V		10^6		MΩ
		V_{DD} = 10V		10^6		MΩ
		V_{DD} = 15V		10^6		MΩ
	AC-Coupled Signal Input Voltage Sensitivity	C_{SERIES} = 1000 pF, f = 50 kHz				
		V_{DD} = 5V		200	400	mV
		V_{DD} = 10V		400	800	mV
		V_{DD} = 15V		700	1400	mV

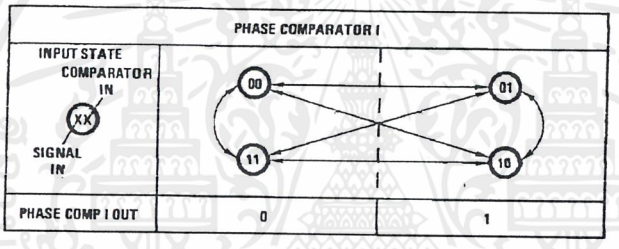
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
DEMODULATOR OUTPUT						
$VCO_{IN}-V_{DEM}$	Offset Voltage	RS ≥ 10 kΩ, V_{DD} = 5V		1.50	2.2	V
		RS ≥ 10 kΩ, V_{DD} = 10V		1.50	2.2	V
		RS ≥ 50 kΩ, V_{DD} = 15V		1.50	2.2	V
	Linearity	RS ≥ 50 kΩ				
		VCO_{IN} = 2.5V ±0.3V, V_{DD} = 5V		0.1		%
		VCO_{IN} = 5V ±2.5V, V_{DD} = 10V		0.6		%
		VCO_{IN} = 7.5V ±5V, V_{DD} = 15V		0.8		%
ZENER DIODE						
V_Z	Zener Diode Voltage	I_Z = 50 µA	6.3	7.0	7.7	V
R_Z	Zener Dynamic Resistance	I_Z = 1 mA		100		Ω

Note 5: AC Parameters are guaranteed by DC correlated testing.

Phase Comparator State Diagrams



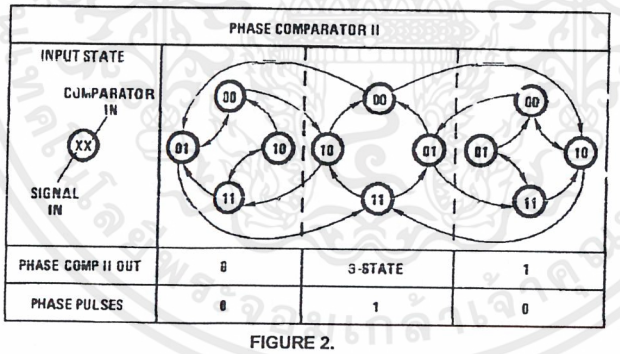


FIGURE 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Waveforms

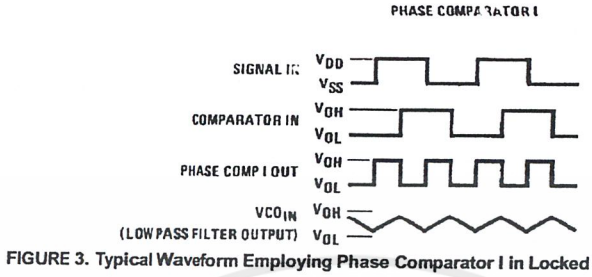


FIGURE 3. Typical Waveform Employing Phase Comparator I in Locked Condition

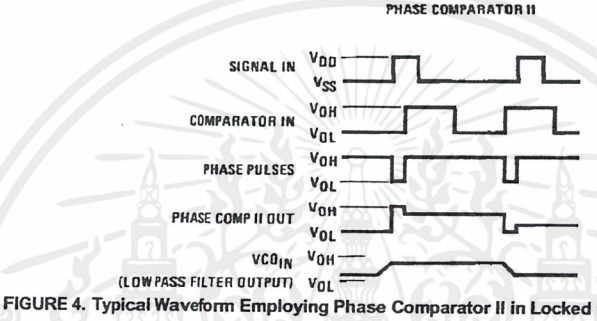


FIGURE 4. Typical Waveform Employing Phase Comparator II in Locked Condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

Typical Center Frequency vs C1
for R1 = 10 kΩ, 100 kΩ and 1 MΩ

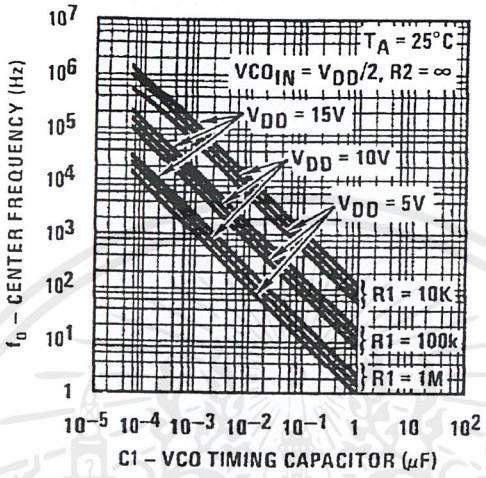


FIGURE 5.

Typical Frequency vs C1
for R2 = 10 kΩ, 100 kΩ and 1 MΩ

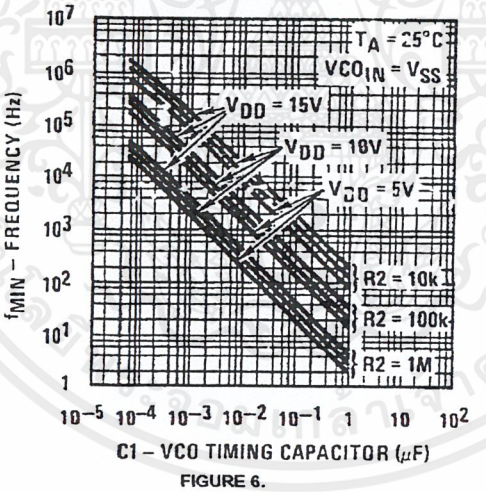


FIGURE 6.

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical f_{MAX}/f_{MIN} vs R2/R1

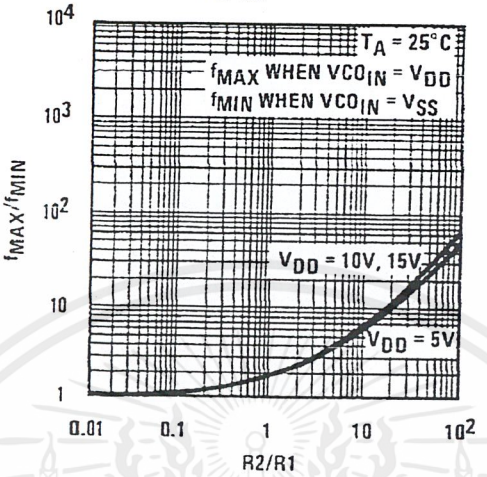


FIGURE 7.

Typical VCO Power Dissipation at Center Frequency vs R1

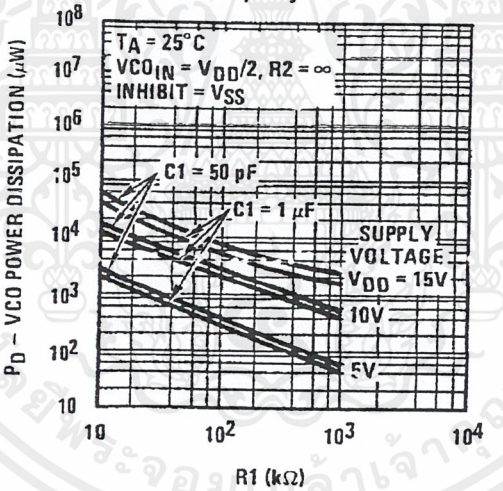


FIGURE 8.

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical VCO Power Dissipation at f_{MIN} vs R2

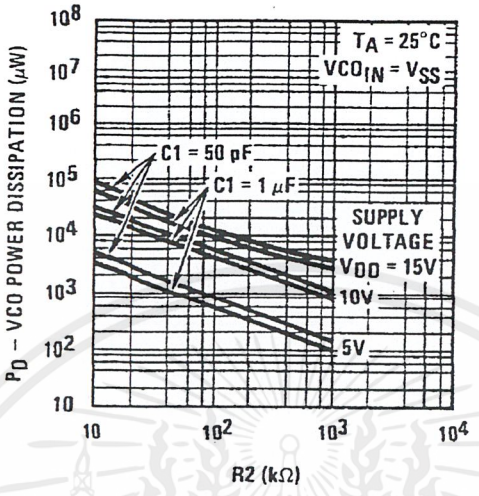


FIGURE 9.

Typical Source Follower Power Dissipation vs R_S

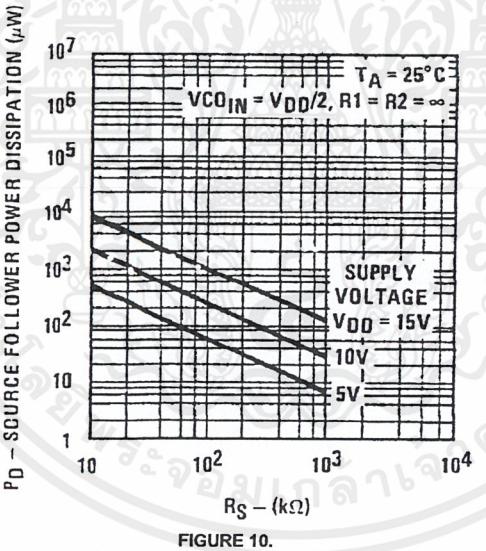


FIGURE 10.

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

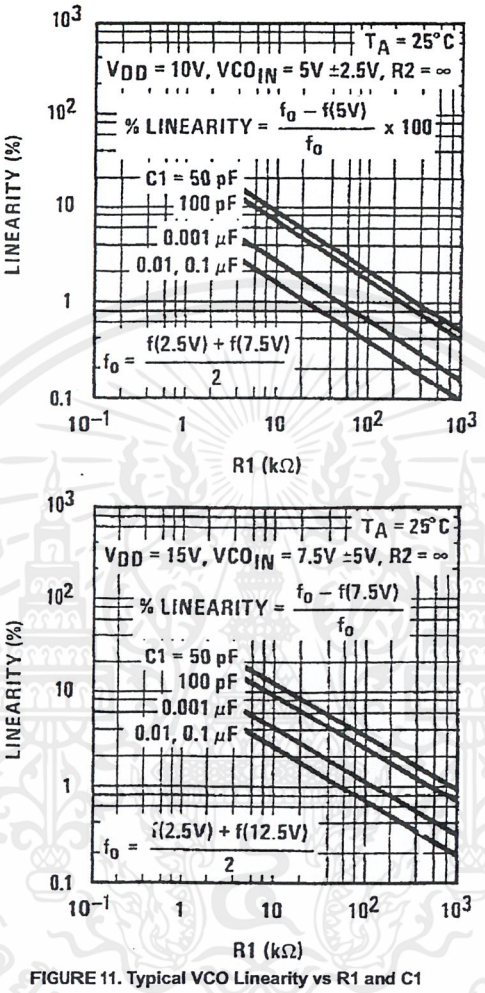


FIGURE 11. Typical VCO Linearity vs R1 and C1

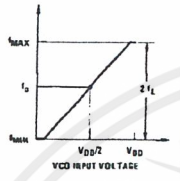
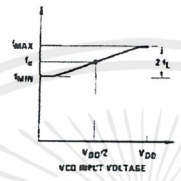
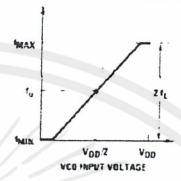
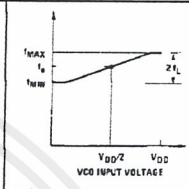
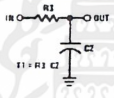
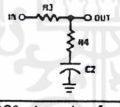
Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design Information

This information is a guide for approximating the value of external components for the CD4046B in a phase-locked-loop system. The selected external components must be within the following ranges: R1, R2 ≥ 10 kΩ, R_S ≥ 10 kΩ, C1 ≥ 50 pF.

In addition to the given design information, refer to Figure 5, Figure 6, Figure 7 for R1, R2 and C1 component selections.

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset R2 = ∞	VCO With Offset	VCO Without Offset R2 = ∞	VCO With Offset
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_o		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$		$2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{\tau 1}}$		
Loop Filter Component Selection		For $2f_C$, see Ref.	$f_C = f_L$	
Phase Angle Between Single and Comparator	90° at center frequency (f_o), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

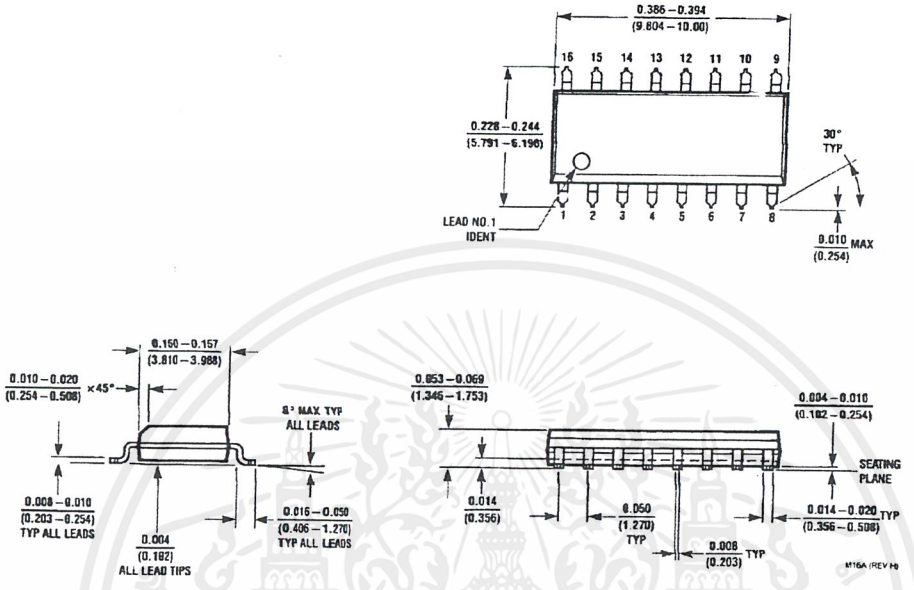
Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset R2 = ∞	VCO With Offset	VCO Without Offset R2 = ∞	VCO With Offset
VCO Component Selection	Given: f_o. Use f_o with Figure 5 to determine R1 and C1.	Given: f_o and f_L. Calculate f_{min} from the equation $f_{min} = f_o - f_L$. Use f_{min} with Figure 6 to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_o + f_L}{f_o - f_L}$. Use $\frac{f_{max}}{f_{min}}$ with Figure 7 to determine ratio R2/R1 to obtain R1.	Given: f_{max}. Calculate f_o from the equation $f_o = \frac{f_{max}}{2}$. Use f_o with Figure 5 to determine R1 and C1.	Given: f_{min} and f_{max}. Use f_{min} with Figure 6 to to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$ Use $\frac{f_{max}}{f_{min}}$ with Figure 7 to determine ratio R2/R1 to obtain R1.

References

G.S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.
Floyd Gardner, "Phaselock Techniques", John Wiley & Sons, 1966.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

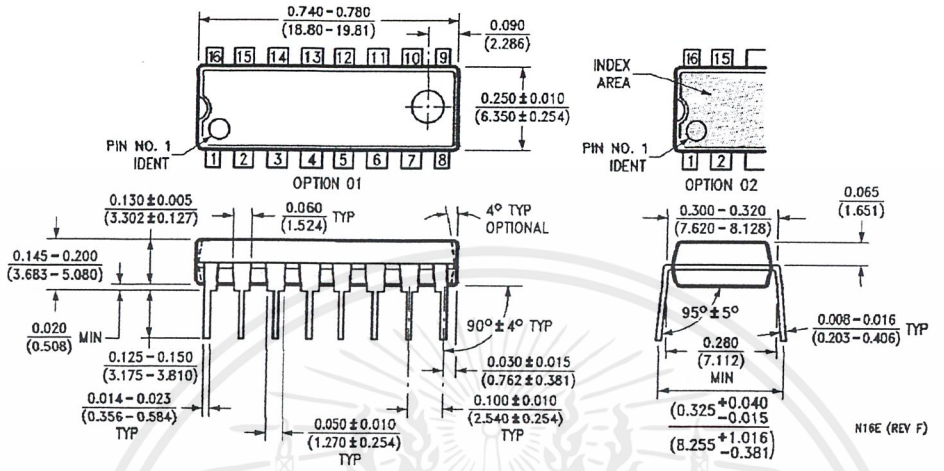
Physical Dimensions inches (millimeters) unless otherwise noted



16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow Body
Package Number M16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
Package Number N16E

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้