



ภาควิชาวิศวกรรม  
คณะครุศาสตร์อุตสาหกรรม  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ใบรับรองปริญญาโท

ชื่อหัวข้อ เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล  
Digital Characteristic Impedance of Transmission Line Meter

ชื่อนักศึกษา 1. นางสาวกัญชารัตน์ จวนรุ่ง รหัสประจำตัว 42035208  
2. นายกิตติพงษ์ ชวนานันท์ รหัสประจำตัว 42035210  
3. นายนิวัติ โชติกลาง รหัสประจำตัว 42035225  
4. นายมานัส เกี้ยวพันธุ์ รหัสประจำตัว 42035234

หลักสูตร ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชา วิศวกรรมโทรคมนาคม  
อาจารย์ที่ปรึกษา ผศ.วิสุทธิ อธิพรธรรม  
อาจารย์ที่ปรึกษาร่วม อาจารย์ปิยะ ศุภวาราสูวัฒน์

คณะกรรมการสอบปริญญาโท	ลายมือชื่อ
1. ผศ.วิสุทธิ อธิพรธรรม	
2. อาจารย์ปิยะ ศุภวาราสูวัฒน์	
3. อาจารย์โกศล ตราชู	
4. อาจารย์พงษ์เกียรติ เชนฐพิทักษ์สกุล	
5. อาจารย์อมรรักษ์ ชัยชนะ	

วัน/เดือน/ปีที่สอบ วันพุธที่ 18 เมษายน พ.ศ. 2544 เวลา 11.00 น.

สถานที่สอบ ห้อง ค.311 คณะครุศาสตร์อุตสาหกรรม สจล.



ภาควิชารับรองแล้ว  
ลงนาม..... .....  
ภาควิชาครุศาสตร์วิศวกรรม

(ผศ.วิสุทธิ อธิพรธรรม)

หัวหน้าภาควิชาครุศาสตร์วิศวกรรม

วันที่ ๕ เดือน พค. พ.ศ. ๒๕๔๔

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาานิพนธ์

เรื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

DIGITAL CHARACTERISTIC IMPEDANCE OF  
TRANSMISSION LINE METER



นางสาวกัญยรัตน์	จวนรุ่ง
นายกิตติพงษ์	ชวานันท์
นายนิวัติ	โชติกลาง
นายมานัส	เกี่ยวพันธุ์

ปริญญาานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตรบัณฑิต  
 สาขาวิชาวิศวกรรมโทรคมนาคม  
 ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม  
 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขหมู่.....  
 เลขทะเบียน 40193  
 วัน, เดือน, ปี 17 ส.ค. 2544

ปีการศึกษา 2543

b. 11092439  
 1.....

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ปริญญานิพนธ์

เรื่อง เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

Digital Characteristic Impedance of Transmission Line Meter

## วัตถุประสงค์

- 1) เพื่อศึกษาการทำงานของ เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล
- 2) เพื่อออกแบบ เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล
- 3) เพื่อสร้าง เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล
- 4) เพื่อทดสอบประสิทธิภาพในการทำงานของเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล
- 5) เพื่อนำไปใช้วัดค่าความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

## ประโยชน์ที่คาดว่าจะได้รับ

- 1) มีความรู้ในเรื่องสายนำสัญญาณแบบโคแอกเชียลและแบบคู่ขนาน และการทำงานของเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล
- 2) มีความรู้ในหลักการทำงานของวงจรภาคต่าง ๆ ของเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล
- 3) สามารถออกแบบเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล
- 4) สามารถตรวจสอบแก้ไข เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล
- 5) สามารถนำเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล ไปประยุกต์ใช้งานได้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อหัวข้อ	เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิตอล	
นักศึกษา	นางสาวกันยรัตน์	จวนรุ่ง
	นายกิตติพงษ์	ชวานันท์
	นายนิวัติ	โชติกลาง
	นายมานัส	เกี่ยวพันธุ์
อาจารย์ที่ปรึกษา	ผศ.วิสุทธิ	อชิพรธรรม
อาจารย์ที่ปรึกษาร่วม	อาจารย์ปิยะ	ศุภวราสุวัฒน์
หลักสูตร	ครุศาสตร์อุตสาหกรรมบัณฑิต	
สาขาวิชา	วิศวกรรมโทรคมนาคม	
ปีการศึกษา	2543	

### บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เสนอโครงการเรื่องเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิตอล โดยมีส่วนประกอบคือ วงจรวัดค่าเอสดับบลิวอาร์ วงจรคำนวณค่าเอสดับบลิวอาร์ และวงจรไมโครคอนโทรลเลอร์ เพื่อใช้ในการวัดค่าความต้านทานคุณลักษณะ ค่าวีเอสดับบลิวอาร์ ค่าเอสดับบลิวอาร์ ค่าสัมประสิทธิ์การสะท้อนกลับ และค่ากำลังงานสูญเสียจากการสะท้อนกลับ ซึ่งเป็นค่าพารามิเตอร์ของสายนำสัญญาณ โดยจะประกอบไปด้วยอินพุตหนึ่งอินพุต ซึ่งต่อมาจากเครื่องส่งวิทยุ และเอาต์พุตหนึ่งเอาต์พุต ซึ่งต่อไปยังสายนำสัญญาณ ซึ่งจากการทดลองพบว่าสามารถวัดค่าพารามิเตอร์ดังกล่าวได้จริงที่ความถี่ 145 เมกะเฮิร์ตซ์ โดยมีความผิดพลาดประมาณ  $\pm 5\%$

## II

<b>Thesis Title</b>	Digital Characteristic Impedance of Transmission Line Meter	
<b>Students</b>	Miss Kanyarat	Juanrung
	Mr. Kittipong	Chawananan
	Mr. Niwat	Choadklang
	Mr. Manus	Khewpun
<b>Advisor</b>	Assist. Prof. Wisuit	Atipornatum
<b>Co-Advisor</b>	Mr. Piya	Supavarasuwat
<b>Education Level</b>	Bachelor of Science in Industrial Education	
<b>Program in</b>	Telecommunication Engineering	
<b>Academic Year</b>	2000	

### ABSTRACT

This thesis present the project of Digital Characteristic Impedance of Transmission Line Meter. The project consists of SWR meter circuit SWR calculation value circuit and microcontroller circuit. It uses to mesure a Characteristic Impedance Voltage Standing Wave Ratio (VSWR) Standing Wave Ratio (SWR) voltage reflection coefficient and power mismatch loss which are the parameters of transmission line. It has one input which connects to radio transmitter and one output which connect to transmission line. It used easily from found that the measured parameter is frequency 145 MHz. It has error about  $\pm 5\%$ .

## กิตติกรรมประกาศ

ปริญญาบัตรฉบับนี้ถูกลงไปได้ด้วยดีเนื่องจากการให้ความร่วมมือของสมาชิกภายในกลุ่มทุกท่าน ขอขอบคุณอาจารย์ประจำภาควิชาครุศาสตร์วิศวกรรมทุกท่านที่ให้ความอนุเคราะห์เครื่องมือ และอุปกรณ์ รวมทั้งยังให้คำแนะนำ แนวความคิด ข้อเสนอแนะ แนวทางการแก้ปัญหา และความรู้ต่างๆ รวมทั้งห้องสมุดคณะครุศาสตร์อุตสาหกรรม ห้องสมุดคณะวิศวกรรมศาสตร์ และสำนักหอสมุดกลาง ซึ่งอำนวยความสะดวกในการค้นคว้าต่างๆ และที่ควรระลึกเป็นอย่างยิ่ง คือนุภาพริ่ผู้สนับสนุนด้านการศึกษามาโดยตลอด



## สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VII
สารบัญรูป	VIII
บทที่ 1 บทนำ	1
1.1 ความเป็นมา และความสำคัญของปริญญานิพนธ์	1
1.2 ชี้ดความสามารถของโครงการ	1
1.3 เนื้อหาโดยสังเขป	2
บทที่ 2 ทฤษฎี และหลักการ	3
2.1 กล่าวนำ	3
2.2 ทฤษฎีของสายนำสัญญาณ	3
2.2.1 ชนิดของสายนำสัญญาณ	3
2.2.2 คุณสมบัติเบื้องต้นของสายนำสัญญาณ หรือสายส่ง	6
2.2.3 สายแบบความยาวอนันต์	9
2.2.4 ความยาวคลื่น	9
2.2.5 ความยาวทางฟิสิกส์ และความยาวทางไฟฟ้า	11
2.2.6 ค่าคงที่ของสาย	11
2.2.7 สนามไฟฟ้า และสนามแม่เหล็ก	14
2.2.8 คุณลักษณะของสายนำสัญญาณ	14
2.2.9 การคำนวณ $Z_0$	18
2.2.10 สัมประสิทธิ์การสะท้อนกลับ	20
2.2.11 อัตราส่วนคลื่นนิ่ง	22
2.2.12 สายแมชชิง	24
2.2.13 การต่อปลายสายลักษณะต่างๆ	25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ (ต่อ)

เรื่อง	หน้า
2.2.14 การต่อปลายสายด้วยความต้านทาน	26
2.2.15 การรีโซแนนซ์	31
2.2.16 รีแอกทีฟเทอร์มินเนชัน	37
2.2.17 คอมเพล็กซ์เทอร์มินเนชัน	38
2.2.18 การสูญเสีย หรือการลดทอนในสาย	39
2.3 การใช้งานแอลซีดีโมดูล	40
2.3.1 การเชื่อมต่อแอลซีดีโมดูลเข้ากับไมโครคอนโทรลเลอร์	41
2.3.2 ชุดคำสั่งควบคุม และการแสดงข้อความ	43
2.3.3 หลักการพื้นฐานของแอลซีดีโมดูล	44
2.3.4 รายละเอียดของแต่ละคำสั่ง	44
2.4 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล	48
2.4.1 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบเฟลช	48
2.4.2 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลที่ใช้ในการอินทรีเกรต	50
2.4.3 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลที่ใช้วงจรมับ	54
2.4.4 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบการสุ่ม และการคงค่า	55
บทที่ 3 การออกแบบ การสร้าง และการทำงาน	57
3.1 หลักการทำงานของวงจรเหนี่ยวนำ	57
3.2 หลักการทำงานของวงจรภาคการะเทียม	58
3.3 หลักการทำงานของวงจรบัฟเฟอร์	58
3.4 หลักการทำงานของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล	59
บทที่ 4 การทดลอง และผลการทดลอง	63
4.1 การทดลองวัดค่าความต้านทานคุณลักษณะ ค่าวีเอสดับบลิวอาร์ ค่าเอสดับบลิวอาร์ ค่าสัมประสิทธิ์การสะท้อนกลับ และค่ากำลัง งานจากการสะท้อนของสายนำสัญญาณ	63
4.2 การเปรียบเทียบค่าอิมพีแดนซ์ที่วัดได้จากเครื่องวัดความต้านทานคุณลักษณะ ของสายนำสัญญาณแบบดิจิทัล กับเครื่อง Network Analyzer	75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ (ต่อ)

เรื่อง	หน้า
บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไข และการพัฒนา	77
5.1 บทสรุป	77
5.2 ปัญหา และแนวทางแก้ไข	77
5.3 แนวทางการพัฒนา	78
ภาคผนวก ก ส่วนประกอบของเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบ ดิจิทัล	79
ภาคผนวก ข วงจร และแผ่นวงจรพิมพ์	84
ภาคผนวก ค รายการอุปกรณ์	89
ภาคผนวก ง แผนผังการทำงาน และโปรแกรมของเครื่องวัดความต้านทานคุณลักษณะของ สายนำสัญญาณแบบดิจิทัล	92
ภาคผนวก จ รายละเอียดข้อมูล และคุณสมบัติของอุปกรณ์	103
ภาคผนวก ฉ คู่มือการใช้งานเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบ ดิจิทัล	145
บรรณานุกรม	149
ประวัติผู้แต่ง	150

## สารบัญตาราง

ตาราง	หน้า
ตารางที่ 2.1 ขาสัญญาณของแอลซีดี โมดูล	41
ตารางที่ 2.2 รายละเอียดของชุดคำสั่งควบคุม	43
ตารางที่ 2.3 ตำแหน่งของแอดเดรสของแอลซีดี โมดูล ขนาด 2 แถว ที่ใช้งานจริง	48
ตารางที่ 2.4 สัญญาณเอาต์พุตของวงจรเปรียบเทียบขนาน	49
ตารางที่ 4.1 ผลการทดลองของสายนำสัญญาณเบอร์ RG – 11 A/U	64
ตารางที่ 4.2 ผลการทดลองของสายนำสัญญาณเบอร์ RG – 58 A/U	68
ตารางที่ 4.3 ผลการทดลองของสายนำสัญญาณเบอร์ RG – 69 A/U	72
ตารางที่ 4.4 ผลการทดลองของการเปรียบเทียบค่าอิมพีแดนซ์ที่วัดได้จาก เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัลกับ เครื่อง Network Analyzer	75

## สารบัญรูป

รูป	หน้า
รูปที่ 2.1 ชนิดของสายนำสัญญาณ	4
รูปที่ 2.1 (ต่อ) ชนิดของสายนำสัญญาณ	5
รูปที่ 2.2 คุณสมบัติเบื้องต้นของสายนำสัญญาณ	6
รูปที่ 2.3 ลักษณะทางอิมพีแดนซ์ของสายนำสัญญาณแบบสายคู่ชีลด์	8
รูปที่ 2.4 ลักษณะทางอิมพีแดนซ์ของสายนำสัญญาณแบบสายโคแอกเชียล	9
รูปที่ 2.5 สายความยาวอนันต์	9
รูปที่ 2.6 ความยาวคลื่น และเฟสชาร์จ	10
รูปที่ 2.7 คลื่นจร	11
รูปที่ 2.8 วงจรสมมูลของสายนำสัญญาณ	13
รูปที่ 2.9 รีแอกทีฟคอมโพเนนซ์	13
รูปที่ 2.10 สนามไฟฟ้าและสนามแม่เหล็กของสายนำสัญญาณ	14
รูปที่ 2.11 ค่าความต้านทานของวงจรเท่ากับ 20 โอห์ม	15
รูปที่ 2.12 ผลรวมของอิมพีแดนซ์ที่ปลายสายเท่ากับ 16.67 โอห์ม แล้วเพิ่มขึ้นอีกตอน	15
รูปที่ 2.13 การเขียนความต้านทานขึ้นอีกหนึ่งตอนจะได้วงจรเป็นแบบอนุกรม - ขนาน	15
รูปที่ 2.14 อิมพีแดนซ์ที่ปลายสายเท่ากับ 16.25 โอห์ม แล้วเพิ่มขึ้นอีกตอน	15
รูปที่ 2.15 อิมพีแดนซ์ที่ปลายสายเท่ากับ 16.165 โอห์ม แล้วเพิ่มขึ้นอีกตอน	16
รูปที่ 2.16 กราฟแสดงความสัมพันธ์ของจำนวนที่เพิ่มขึ้นกับจำนวนอิมพีแดนซ์	16
รูปที่ 2.17 การวัดแรงดัน และกระแสของสายนำสัญญาณ	17
รูปที่ 2.18 การต่อโหลดด้วยความต้านทาน 500 โอห์ม	18
รูปที่ 2.19 วงจรเสมือนของสายความยาวอนันต์ โดยใช้ T - section	19
รูปที่ 2.20 วงจรเสมือนของสายความยาวอนันต์ ซึ่งมี $Z_0$ เป็น โหลดของสาย	20
รูปที่ 2.21 รูปแบบคลื่นนิ่ง	21
รูปที่ 2.22 สายแบบไม่เรโซแนนซ์ และแบบเรโซแนนซ์	24
รูปที่ 2.22 (ต่อ) สายแบบไม่เรโซแนนซ์ และแบบเรโซแนนซ์	25
รูปที่ 2.23 รูปแบบสัญญาณตกกระทบ และสะท้อนในสายนำสัญญาณ	28

## สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ 2.24 การนำเอาความต้านทาน 250 โอห์มมาต่อปลายสาย	28
รูปที่ 2.25 การนำเอาความต้านทาน 250 โอห์มมาต่อปลายสาย	30
รูปที่ 2.26 วงจรเรโซแนนซ์	31
รูปที่ 2.27 คลื่นนิ่งในสายนำสัญญาณแบบปลายปิด	32
รูปที่ 2.28 คลื่นนิ่งของกระแส และแรงดันที่สายนำสัญญาณแบบปลายเปิด	33
รูปที่ 2.29 คลื่นนิ่งของกระแส และแรงดันที่เคลื่อนที่ไปตามสาย	33
รูปที่ 2.30 แผนผังส่วนเส้นอิมพีแดนซ์	35
รูปที่ 2.31 การกลับกันของคลื่นควอเตอร์เวฟ	36
รูปที่ 2.31 (ต่อ) การกลับกันของคลื่นควอเตอร์เวฟ	37
รูปที่ 2.32 ส่วนหนึ่งเส้นของสายนำสัญญาณ	38
รูปที่ 2.33 คอมเพล็กซ์เทอร์มินเนชัน	39
รูปที่ 2.34 การต่อแบบฝั่งหน่วยความจำ	42
รูปที่ 2.35 การต่อแบบผ่านพอร์ต 8255	43
รูปที่ 2.36 การต่อวงจรเปรียบเทียบแบบขนาน หรือแบบเฟส	49
รูปที่ 2.37 แผนผังการทำงานของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบสโคปเดี่ยว	50
รูปที่ 2.38 ความชันของขั้นบันได	51
รูปที่ 2.39 แผนผังการทำงานของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบสโคปคู่	52
รูปที่ 2.40 แรงดันขาออกของวงจรอินทริเกรเตอร์เทียบกับเวลา	53
รูปที่ 2.41 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบเคลด้า - ชิกม่า	54
รูปที่ 2.42 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลที่สร้างขึ้นจากวงจรนับ ขึ้น/ลง และวงจรแปลงสัญญาณดิจิตอลเป็นแอนะล็อก	55
รูปที่ 2.43 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบประมาณค่า	56
รูปที่ 3.1 วงจรเหนี่ยวนำแรงดัน	57
รูปที่ 3.2 วงจรภาคการะเทียม	58
รูปที่ 3.3 วงจรบัฟเฟอร์	58
รูปที่ 3.4 สัญญาณแอนะล็อกจะถูกสุ่มในช่วงคลื่นเป็นระยะๆ	59

## สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ 3.5 ไอซีแปลงสัญญาณแอนะล็อกเป็นดิจิตอลเบอร์ ADC0801	61
รูปที่ 3.6 การต่อ ADC0801 ให้ใช้งานอย่างต่อเนื่อง	61
รูปที่ 3.7 การสุ่มสัญญาณอินพุตแอนะล็อกเร็วขึ้น ทำให้เอาต์พุตที่ถูกสร้างขึ้นใหม่ โดยตัวแปลงสัญญาณดิจิตอลเป็นแอนะล็อกสมบูรณ์มากขึ้น	62
รูปที่ 4.1 การทดลองวัดค่าความต้านทานคุณลักษณะของสายนำสัญญาณเบอร์ RG – 11 A/U	65
รูปที่ 4.2 การทดลองวัดค่าวีเอสดีบลิวอาร์ของสายนำสัญญาณเบอร์ RG – 11 A/U	65
รูปที่ 4.3 การทดลองวัดค่าเอสดีบลิวอาร์ของสายนำสัญญาณเบอร์ RG – 11 A/U	66
รูปที่ 4.4 การทดลองค่าสัมประสิทธิ์การสะท้อนกลับของสายนำสัญญาณเบอร์ RG – 11 A/U	66
รูปที่ 4.5 การทดลองวัดค่ากำลังงานสูญเสียจากการสะท้อนกลับวีเอสดีบลิวอาร์ของสายนำสัญญาณเบอร์ RG – 11 A/U	67
รูปที่ 4.6 การทดลองวัดค่าความต้านทานคุณลักษณะของสายนำสัญญาณเบอร์ RG – 58 A/U	69
รูปที่ 4.7 การทดลองวัดค่าวีเอสดีบลิวอาร์ของสายนำสัญญาณเบอร์ RG – 58 A/U	69
รูปที่ 4.8 การทดลองวัดค่าเอสดีบลิวอาร์ของสายนำสัญญาณเบอร์ RG – 58 A/U	70
รูปที่ 4.9 การทดลองวัดค่าสัมประสิทธิ์การสะท้อนกลับของสายนำสัญญาณเบอร์ RG – 58 A/U	70
รูปที่ 4.10 การทดลองวัดค่ากำลังงานสูญเสียจากการสะท้อนกลับของสายนำสัญญาณเบอร์ RG – 58 A/U	71
รูปที่ 4.11 การทดลองวัดค่าความต้านทานคุณลักษณะของสายนำสัญญาณเบอร์ RG – 92 A/U	73
รูปที่ 4.12 การทดลองวัดค่าวีเอสดีบลิวอาร์ของสายนำสัญญาณเบอร์ RG – 59 A/U	73
รูปที่ 4.13 การทดลองวัดค่าเอสดีบลิวอาร์ของสายนำสัญญาณเบอร์ RG – 11 A/U	74
รูปที่ 4.14 การทดลองวัดค่าสัมประสิทธิ์จากการสะท้อนกลับของสายนำสัญญาณเบอร์ RG – 58 A/U	74
รูปที่ 4.15 การทดลองวัดค่ากำลังงานสูญเสียเนื่องจากการสะท้อนกลับของสายนำสัญญาณเบอร์ RG – 59 A/U	75
รูปที่ 4.16 การทดลองเปรียบเทียบค่าอิมพีแดนซ์ที่วัดได้จากเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิตอล กับเครื่อง Network Analyzer	76

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมา และความสำคัญของปริญญานิพนธ์

เนื่องจากในปัจจุบันเป็นยุคของการติดต่อสื่อสาร เทคโนโลยีด้านการสื่อสารได้มีการพัฒนา และเจริญเติบโตขึ้นอย่างรวดเร็ว การติดต่อสื่อสารได้เข้ามามีบทบาทกับชีวิตประจำวันของเรา เป็นอย่างมากไม่ว่าจะเป็น โทรศัพท์ โทรศัพท์เคลื่อนที่ หรือวิทยุคิดตามตัว การสื่อสารแบบใช้สาย เป็นรูปแบบหนึ่งของการติดต่อสื่อสาร ซึ่งการสื่อสารแบบใช้สายนี้มีอุปกรณ์ที่สำคัญ คือ สายนำสัญญาณ (Transmission Line) โดยสายนำสัญญาณมีหลายประเภท เช่น สายนำสัญญาณแบบคู่ขนาน สายนำสัญญาณแบบโคแอกเชียล เป็นต้น ในสายนำสัญญาณแต่ละแบบนี้จะมีค่าพารามิเตอร์ต่างๆ ที่สำคัญอยู่หลายค่า เช่น ค่าความต้านทานคุณลักษณะ (Characteristic Impedance) ค่าวีเอสดีบี บิลิวอาร์ ค่าเอสดีบีบิลิวอาร์ ค่าสัมประสิทธิ์การสะท้อนกลับ ค่ากำลังสูญเสียจากการสะท้อนกลับ ค่ากำลังสูญเสีย และค่าความสูญเสียจากการมีสมัทซ์ เป็นต้น โดยการทราบค่าต่างๆ เหล่านี้จะทำให้สามารถนำสายนำสัญญาณนั้นๆ ไปใช้งานได้อย่างมีประสิทธิภาพสูงสุด และในการสร้างเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณนี้ยังสามารถนำไปเป็นเครื่องต้นแบบให้นักศึกษา และผู้สนใจได้นำไปศึกษาและใช้งานในการวัดความต้านทานคุณลักษณะของสายนำสัญญาณได้ แทนการนำเข้าเครื่องจากต่างประเทศ และยังเป็นเครื่องต้นแบบให้ผู้ทีสนใจนำทฤษฎีและหลักการ ไปประยุกต์และพัฒนาให้มีประสิทธิภาพดียิ่งขึ้น ด้วยเหตุผลดังกล่าวนี้กลุ่มผู้จัดทำจึงเห็นความสำคัญในการสร้างเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบคิจิตอล เพื่อให้เกิดความสะดวกในการนำไปใช้งานยิ่งขึ้น

### 1.2 ขีดความสามารถของโครงการ

- 1) วัดค่าความต้านทานคุณลักษณะของสายนำสัญญาณแบบ โคแอกเชียล ได้
- 2) วัดค่าวีเอสดีบีบิลิวอาร์ของสายนำสัญญาณแบบ โคแอกเชียล ได้
- 3) วัดค่าเอสดีบีบิลิวอาร์ของสายนำสัญญาณแบบ โคแอกเชียล ได้
- 4) วัดค่าสัมประสิทธิ์การสะท้อนกลับของสายนำสัญญาณแบบ โคแอกเชียล ได้
- 5) วัดค่าการสูญเสียจากการสะท้อนกลับของสายนำสัญญาณแบบ โคแอกเชียล ได้
- 6) ค่าที่วัดได้มีความผิดพลาดได้ไม่เกิน  $\pm 5\%$  โดยเทียบจากมาตรฐานของสาย และ /

#### หรือการคำนวณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 1.3 เนื้อหาโดยสังเขป

ในปฏิญญานิพนธ์ฉบับนี้ประกอบด้วยเนื้อหาในส่วนต่าง ๆ ดังนี้

บทที่ 2 ทฤษฎีและหลักการ กล่าวถึงองค์ประกอบที่สำคัญของปฏิญญานิพนธ์ ซึ่งประกอบไปด้วย คือ ทฤษฎีสายนำสัญญาณ ทฤษฎีการแปลงสัญญาณแอนะล็อกเป็นดิจิทัล และทฤษฎีของแอสซีดี

บทที่ 3 การออกแบบและการสร้าง กล่าวถึงการออกแบบและการสร้างวงจร ประกอบไปด้วย วงจรเหนี่ยวนำแรงดัน วงจรกำเนิดความถี่ วงจรแปลงแอนะล็อกเป็นดิจิทัล วงจรภาคขับแอสซีดี และวงจรประมวลผล

บทที่ 4 การทดลอง และผลการทดลอง มีเนื้อหาเกี่ยวกับการตรวจสอบความถูกต้องในการทำงานของวงจรภาคต่างๆ ผลที่ได้รับ และการทดลองเมื่อนำส่วนต่างๆ รวมเข้าด้วยกัน

บทที่ 5 บทสรุป ปัญหาและแนวทางแก้ไข และพัฒนา กล่าวถึงสมรรถภาพการทำงาน ความผิดพลาด และจุดบกพร่อง รวมถึงสาเหตุ และแนวทางแก้ไขปัญหา

ภาคผนวก ก ส่วนประกอบของ เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

ภาคผนวก ข วงจร และลายวงจรพิมพ์

ภาคผนวก ค รายการอุปกรณ์

ภาคผนวก ง แผนผังการทำงาน และ โปรแกรมของเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

ภาคผนวก จ รายละเอียดข้อมูล และคุณสมบัติของอุปกรณ์

ภาคผนวก ฉ คู่มือการใช้งาน เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

## บทที่ 2

### ทฤษฎี และหลักการ

#### 2.1 กล่าวนำ

ในบทนี้จะกล่าวถึงทฤษฎีพื้นฐานต่างๆ ที่นำมาประกอบในการจัดทำปริญญานิพนธ์ ซึ่งเนื้อหาต่างๆ จะกล่าวดังต่อไปนี้

#### 2.2 ทฤษฎีของสายนำสัญญาณ

พลังงานสามารถที่จะส่งโดยการแพร่กระจายในรูปของคลื่นแม่เหล็กไฟฟ้า ดังเช่นในการส่งวิทยุ หรือการส่งผ่านไปในตัวนำ ที่สามารถส่งผ่านพลังงานจากที่หนึ่งไปยังอีกที่หนึ่งได้เราเรียกว่า สายนำสัญญาณ หรือเรียกโดยย่อว่า สายส่ง

##### 2.2.1 ชนิดของสายนำสัญญาณ

รูปแบบพื้นฐานของสายนำสัญญาณมีดังนี้ คือ

1. สายคู่เบบตีเกลียว (Twisted Two Line) จะเป็นสายที่นิยมใช้ในการส่งถ่ายพลังงาน หรือสัญญาณจากแหล่งกำเนิดไปยัง โหลด (Load) ดังรูปที่ 2.1 (ก) ซึ่งมีทั้งไม่มีชีลด์ และชนิดอิมพีแดนซ์ต่ำ

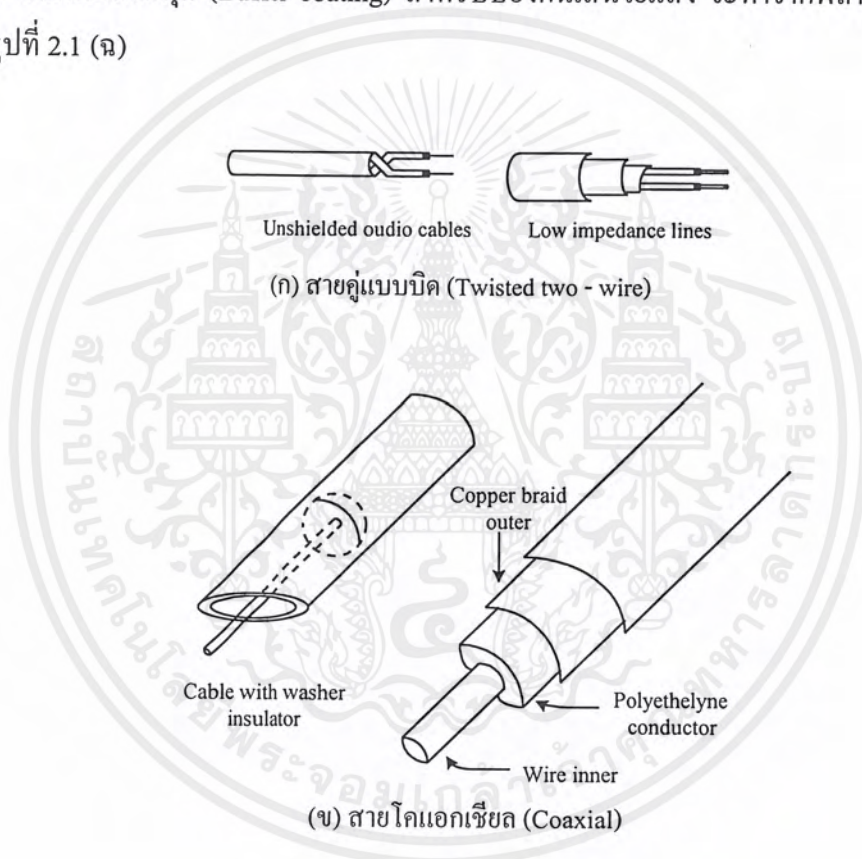
2. สายโคแอกเซียล (Coaxial) ประกอบด้วยลวดสายตัวนำภายในตรงแกนกลาง และตัวนำภายนอกเป็นรูปทรงกระบอก มีฉนวนคั่นกลาง ส่วนใหญ่จะใช้เครื่องส่งในย่านความถี่ VHF , UHF ข้อดีของสายโคแอกเซียล คือ ความสูญเสียของการกระจายพลังงานน้อย ความเข้มสนามไฟฟ้าจะมีอยู่ภายในช่องว่างระหว่างตัวนำเท่านั้น ดังรูปที่ 2.1 (ข)

3. สายคู่ขนาน (Parallel Spaced หรือ Open – wire Line) ประกอบด้วย ตัวนำสองอันวางขนานกัน ห่างกันด้วยระยะทางเท่ากันโดยตลอด โดยใช้ฉนวนวางคั่นเป็นช่วงๆ เท่ากันตลอด เรียกว่า Bar Insulated สายที่หุ้มฉนวนตลอดแนวขนานของตัวนำทั้งสอง ซึ่งเรียกว่า ทวินลีด (Twin Lead) หรือสายริบบิน (Ribbon) ดังรูปที่ 2.1 (ค)

4. สายคู่ชีลด์ (Two Wire Spaced and Shielded) ประกอบด้วยตัวนำสองตัวแยกออกจากกัน และจะถูกหุ้มด้วยทองแดงเป็นส่วนที่ชีลด์ ข้อดีคือ ตัวนำทั้งสองจะสมดุลย์กันเมื่อเทียบกับกราวด์ ค่าตัวเก็บประจุระหว่างตัวนำแต่ละตัวโดยมีฉนวนกันจะสม่ำเสมอตลอดความยาว ดังรูปที่ 2.1 (ง)

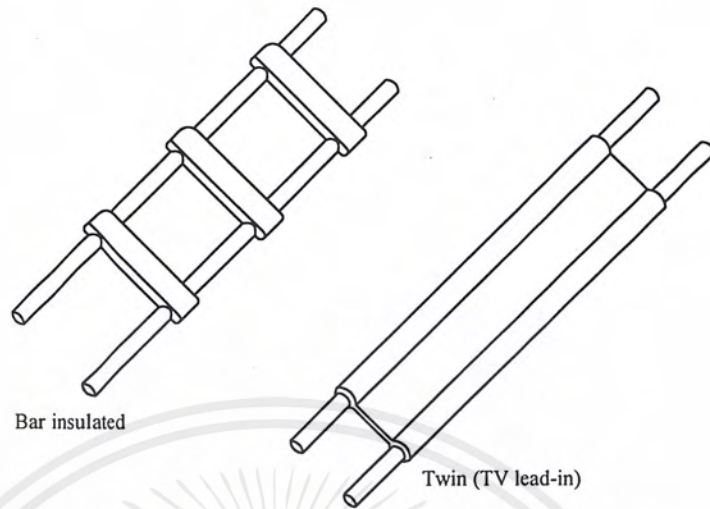
5. สายแบบท่อนำคลื่น (Waveguide) ประกอบด้วยแผ่นตัวนำ 2 แผ่น มาวางกันขวางบังคับให้คลื่นเดินทางอยู่ระหว่างแผ่นตัวนำทั้งสอง และคลื่นที่เคลื่อนที่ระหว่างแผ่นตัวนำนี้เรียกว่าคลื่นระนาบ (Plane wave) ดังรูปที่ 2.1 (จ)

6. สายใยแก้วนำแสง (Optical Fiber Cable) เป็นเส้นใยขนาดเล็กที่ทำหน้าที่เป็นตัวนำแสง ซึ่งสามารถแยกออกเป็น 3 ส่วน คือ แกนใน (Core) เป็นส่วนที่แสงเดินทางสร้างจากแก้วหรือพลาสติก และส่วนที่ทำหน้าที่หุ้มแกนใน (Clad หรือ Cladding) สร้างจากแก้วหรือพลาสติก ด้านนอกสุดจะเป็นเปลือกหุ้ม (Buffer coating) สำหรับป้องกันเส้นใยแสง จะทำจากพลาสติกหรือยางก็ได้ ดังรูปที่ 2.1 (ฉ)

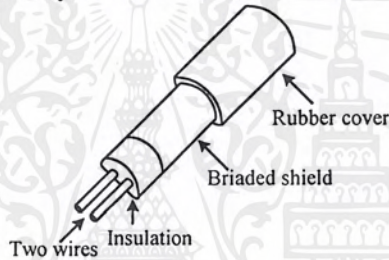


รูปที่ 2.1 ชนิดของสายนำสัญญาณ

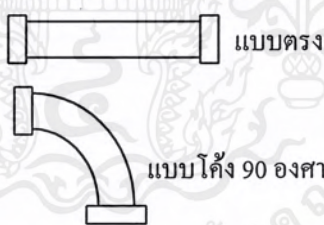
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



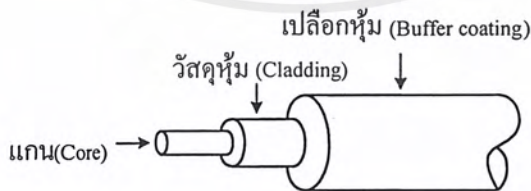
(ค) สายคู่ขนาน (Parallel spaced หรือ Open - wire line)



(ง) สายคู่ชีลด์ (Shielded spaced two - wire)



(จ) สายแบบท่อนำคลื่น (Waveguide)



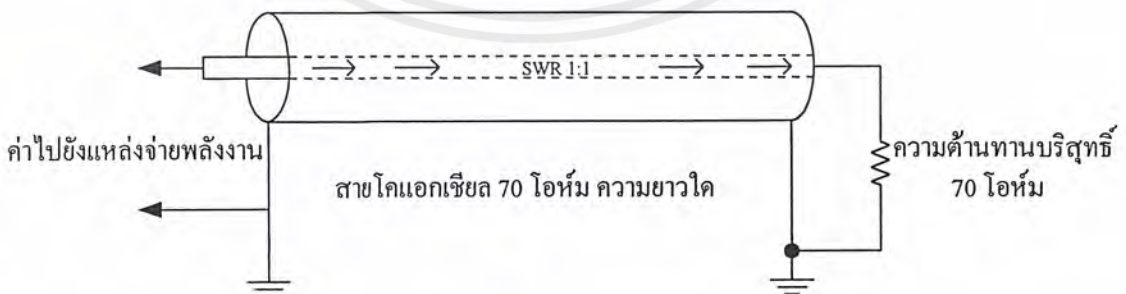
(ฉ) สายไฟเบอร์ออปติก (Fiber optical)

รูปที่ 2.1 (ต่อ) ชนิดของสายนำสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.2.2 คุณสมบัติเบื้องต้นของสายนำสัญญาณ หรือสายส่ง

คุณสมบัติที่สำคัญของสายนำสัญญาณอย่างหนึ่ง คือ ลักษณะทางอิมพีแดนซ์ของสาย (Characteristic Impedance) ถ้าสายอากาศแบบไดโพล  $\lambda/2$  มีอิมพีแดนซ์ที่ตรงจุดต่อระหว่างสายอากาศกับสายนำสัญญาณ 70 โอห์ม ดังนั้น สายนำสัญญาณต้องมีลักษณะทางอิมพีแดนซ์ของสายเท่ากับ 70 โอห์ม เพื่อให้ได้กำลังมากที่สุด ถ้านำเอาสายอากาศออกจากสายนำสัญญาณแล้วนำเอาความต้านทาน 70 โอห์ม ต่อแทนดังแสดงในรูปที่ 2.2 จะให้ผลแตกต่างกันเล็กน้อยระหว่างสายอากาศและความต้านทาน เพราะถ้าใช้สายอากาศจะรู้จักกันในเทอมพลังงานสูญเสียไปในความต้านทานการแผ่ (Radiation Resistance) ซึ่งไม่ได้สูญเสียไปจริงๆ แต่สูญหายไปในรูปแบบคลื่นแม่เหล็กไฟฟ้าที่กระจายออกรอบๆ ตัว แต่ถ้าใส่ความต้านทานกำลังของความถี่จะหายไปในรูปแบบความร้อน กำลังทั้งหมดสูญหายไปโดย (สายอากาศหรือความต้านทาน) ทั้งหมด จะไม่มีการสะท้อนกลับมายังต้นกำเนิดจะเรียกว่าสายนำสัญญาณนั้นถ่ายทอดพลังงานได้สูงสุด โดยไม่มีคลื่นสะท้อนหรือเรียกว่าสายนำสัญญาณนั้น แพลท (Flat) คือ อัตราส่วนของกระแสและแรงดันจะเท่ากันทุกตำแหน่งตามความยาวของสายนำสัญญาณจากเครื่องส่งหรือเครื่องรับไปยังสายอากาศ สมมติว่าไดโพลมีค่าอิมพีแดนซ์ตรงรอยต่อเข้ากับสายนำสัญญาณ (Feed Point Impedance) เท่ากับ 70 โอห์ม ต่อกับสายนำสัญญาณ 50 โอห์ม จะเกิดภาวะไม่สมดุลทางอิมพีแดนซ์ (Mismatch Impedance) ซึ่งอัตราส่วนของอิมพีแดนซ์เท่ากับ 70/50 หรือ 1.4 จะทำให้คลื่นส่วนหนึ่งสะท้อนกลับมายังต้นกำเนิดสัญญาณ เพราะว่ากำลังที่เคลื่อนที่ไปตามสายมี 2 ทิศทางคือ จากเครื่องรับไปยังสายอากาศ และจากสายอากาศไปยังเครื่องรับ ซึ่งกระแสทั้งสองจะรวมกันทางภาคต่อให้คลื่นนิ่ง (Standing Wave) บนสาย อัตราส่วนของแรงดันหรือกระแสที่มากที่สุดกับคลื่นนิ่งน้อยที่สุดจะเป็น SWR ซึ่งจะเป็นการบอกการไม่สมดุลทางอิมพีแดนซ์ (Mismatch) ของสายส่งและโหลด



รูปที่ 2.2 คุณสมบัติเบื้องต้นของสายนำสัญญาณ

$$Z_o = \sqrt{\frac{L}{C}} \quad (2.1)$$

จะเห็นว่าเป็นคุณสมบัตินี้ขึ้นอยู่กับชนิดของตัวนำ ซึ่งจะมีค่าความเหนี่ยวนำ ตัวเก็บประจุ ซึ่งไม่สะดวกในการหาเพื่อความสะดวกอาจหาค่า  $Z_o$  จากคุณสมบัติทางฟิสิกส์ได้คือ กรณีสายคู่ขนาน เมื่อ  $D$  เป็นระยะห่างระหว่างจุดศูนย์กลางของตัวนำทั้งสอง  $d$  เป็นเส้นผ่าศูนย์กลางของตัวนำทั้งสอง

$$Z_o = 138 \log_{10} \frac{D}{d} \quad (2.2)$$

ดังเช่นถ้า สายนำสัญญาณแบบขนานมีค่า  $D = 6$  นิ้ว และ  $d = 0.08$  นิ้ว ค่า  $Z_o$  จะเท่ากับ

$$Z_o = 276 \log_{10} \frac{2 \times 6}{0.08}$$

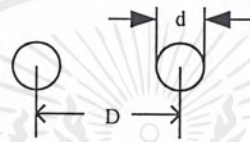
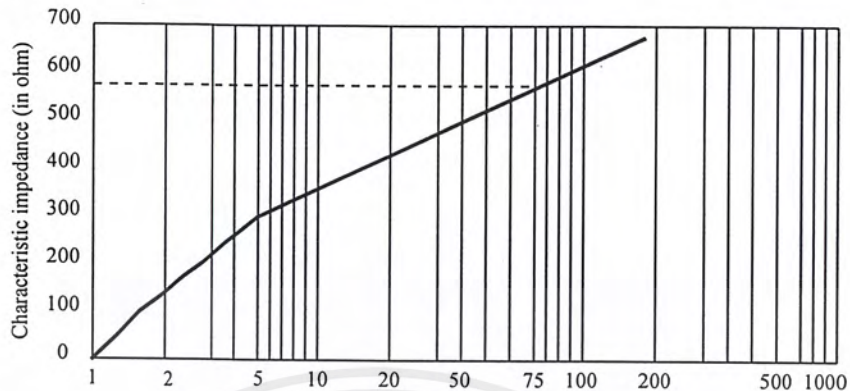
$$Z_o = 276 \log_{10} 150$$

$$Z_o = 276 \times 2.176$$

$$Z_o = 600 \Omega$$

อิมพีแดนซ์ของสายนำสัญญาณแบบขนานนั้นขึ้นอยู่กับอัตราส่วนของ  $D/d$  ซึ่งสามารถหาได้จากรูปที่ 2.3

สายนำสัญญาณแบบ โคแอกเชียลที่มีอากาศเป็นฉนวนมีตัวนำข้างในขนาดเล็กมากเป็นทองแดงยึดกับตัวนำนอกโดยฉนวนเป็นแผ่นยาวๆ ดังแสดงในรูปที่ 2.4 สายนำสัญญาณแบบนี้จะมีความสูญเสียน้อยกว่าแบบตัวนำ 2 ตัวขนานกันที่ความถี่มากกว่า 100 เมกะเฮิร์ตซ์ แต่ต้องมีเงื่อนไขว่าอากาศภายในตัวนำต้องแห้งอยู่เสมอ



รูปที่ 2.3 ลักษณะทางอิมพีแดนซ์ของสายนำสัญญาณแบบสายคู่ชีลด์

$$Z_o = 138 \log_{10} \frac{D}{d} \quad (2.3)$$

D เป็นเส้นผ่าศูนย์กลางกลางภายในของตัวนำตัวนอก

d เป็นเส้นผ่าศูนย์กลางกลางของตัวนำทั้งสอง

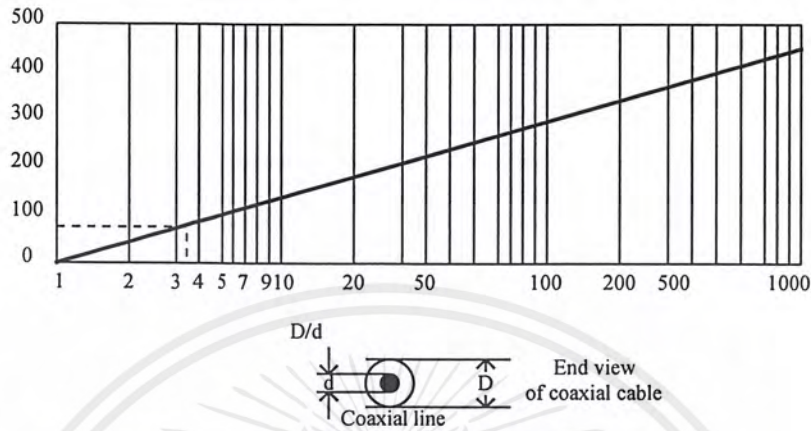
ดังเช่นถ้า เช่น สายโคแอกเชียลที่มีค่า  $d = 0.25$  นิ้ว ,  $D = 0.875$  นิ้ว ค่า  $Z_o$  จะเท่ากับ

$$Z_o = 138 \log_{10} \frac{0.875}{0.25} \quad \Omega$$

$$Z_o = 138 \log_{10} 103.5 \quad \Omega$$

$$Z_o = 75 \quad \Omega$$

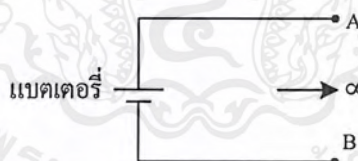
จากรูปที่ 2.4 เป็นที่ใช้หาค่าอิมพีแดนซ์ของสายโคแอกเชียลได้อย่างรวดเร็ว



รูปที่ 2.4 ลักษณะทางอิมพีแดนซ์ของสายนำสัญญาณแบบสายโคแอกเชียล

2.2.3 สายแบบความยาวอนันต์

ถ้าสายนำสัญญาณทำด้วยตัวนำสองเส้น แต่ละเส้นยาว 1 ไมล์ สายทั้งสองนี้ที่ถูกต่อเข้ากับแบตเตอรี่ ในการไหลของไฟฟ้าอาจต้องใช้เวลามากกว่าที่แรงดันจะไปปรากฏที่ปลายสุดของสาย คือ ระหว่าง A และ B ดังรูปที่ 2.5



รูปที่ 2.5 สายความยาวอนันต์

ถ้าสมมติว่าสายนี้เป็นสายที่ดีพร้อมตามทฤษฎี คือ ไม่มีการสูญเสียใดๆ เลย แรงดันซึ่งจะไปปรากฏระหว่างจุด A และ B (ภายหลังเวลาขณะหนึ่ง) ควรต้องเท่ากับแรงดันของแบตเตอรี่ มันจะต้องมีกระแสไหลจากแบตเตอรี่ไปตามสาย ในขณะที่แรงดันกำลังเดินทางไปตามสาย

ถ้าความยาวของสายถูกยืดออกไปเรื่อยๆ กระแสจำนวนเดียวกันนี้จะเริ่มไหลจากแหล่งกำเนิดไปตามสายความยาวอนันต์พร้อมๆ กับแรงดันซึ่งเดินทางไปไม่รู้จบด้วย เพราะเหตุที่คุณสมบัติแสดงออกให้เห็นโดยทฤษฎี

สายความยาวอนันต์จึงมีคุณสมบัติใกล้เคียงกับสายนำสัญญาณอย่างแท้จริง และโดยเหตุที่มันเป็นการง่ายแก่การวิเคราะห์สายความยาวอนันต์อันนี้มากกว่าจะวิเคราะห์สายนำสัญญาณตัวจริงที่มีความยาวค่าใดค่าหนึ่ง

### 2.2.4 ความยาวคลื่น

เมื่อใช้แหล่งกำเนิดแรงไฟกระแสสลับป้อนให้แก่สายยาวอนันต์แทนแบตเตอรี่ พลังงาน (ทั้งกระแส และแรงดัน) จะเดินทางไปตามสายโดยมีความเร็วช้ากว่า ความเร็วของแสงเล็กน้อย ระยะทางซึ่งพลังงานได้วิ่งไปในการหมุนไปครบ 1 รอบของเครื่องกำเนิดไฟฟ้านั้น (1 Cycle of A.C.) เราเรียกว่า 1 ความยาวคลื่น (Wave Length) ใช้สัญลักษณ์ด้วยตัวอักษรกรีก  $\lambda$

สูตรใช้หาความยาวคลื่น เป็นระยะทางนั้นหาได้จาก

ความเร็วแสง =  $3 \times 10^8$  เมตร / วินาที

ระยะทางวิ่งไปใน 1 วินาที =  $3 \times 10^8$  เมตร

ระยะเวลาใน 1 วินาที =  $\frac{1}{f}$  วินาที

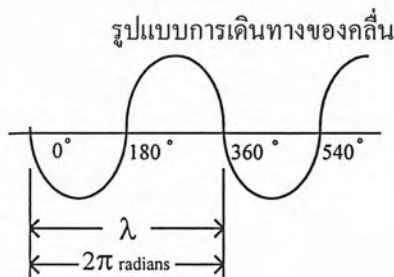
$f$  คือ ความถี่เป็น Hz

และระยะทางในเวลาสำหรับ 1 Cycle =  $\lambda$

$$\lambda = \frac{3 \times 10^8}{f} \text{ เมตร}$$

เพื่อความสะดวกยิ่งขึ้นสำหรับงานซึ่งมีความสูง อาจเขียนสูตรใหม่ได้ดังนี้

$$\lambda = \frac{300}{f(MHz)} \text{ เมตร}$$

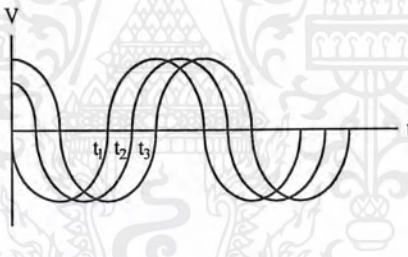


รูปที่ 2.6 ความยาวคลื่นและเฟสซาร์จ

### 2.2.5 ความยาวทางฟิสิกส์ และความยาวทางไฟฟ้า

ความถี่ของพลังงานที่สายนำสัญญาณกำลังดำเนินงานส่งถ่ายกำลังงานอยู่ จะเป็นตัวกำหนดว่า สายนำสัญญาณต่างๆ เหล่านี้มีความหมายทางไฟฟ้ามากน้อยเพียงใด เช่น สายนำสัญญาณของเครื่องเรดาร์ ที่ติดตั้งในเครื่องบินทิ้งระเบิด อาจมีความยาวทางไฟฟ้า (Electrical Length) ประมาณ 5 ฟุต ในทางกายภาพ แต่ในทางไฟฟ้าแล้วอาจมี 2-3 ช่วงคลื่นซึ่ง คือความยาวทางไฟฟ้ามากก็ได้ หรือสายที่มีความยาวทางกายภาพมากอาจเป็นสายที่มีความยาวทางไฟฟ้าน้อยก็ได้ ทั้งนี้ขึ้นอยู่กับความถี่ของพลังงาน

หนึ่งช่วงคลื่นวัดได้จากยอดคลื่นหนึ่งถึงอีกยอดคลื่นหนึ่ง หรือจะวัดจากเส้นศูนย์ก็ได้ ที่จุดหนึ่งจุดใดบนสายนี้ จะเห็นว่าที่การเปลี่ยนแปลงค่าของแรงดันครบรอบอย่างสมบูรณ์ คือจากค่ามากที่สุดทางบวกแล้วลงมาเป็นศูนย์กลับลงไปมากที่สุดทางลบ คลื่นธรรมดาตามสายเช่นนี้ คือ คลื่นจร (Travelling wave) ปริมาณของกระแสและค่าของแรงดัน ซึ่งวัดได้จากสายที่ยาวอนันต์ที่ไม่มีสูญเสียใดๆ จะมีค่าเท่ากัน ไปด้วยตลอดความยาวของสายนั้น



รูปที่ 2.7 คลื่นจร

### 2.2.6 ค่าคงที่ของสาย

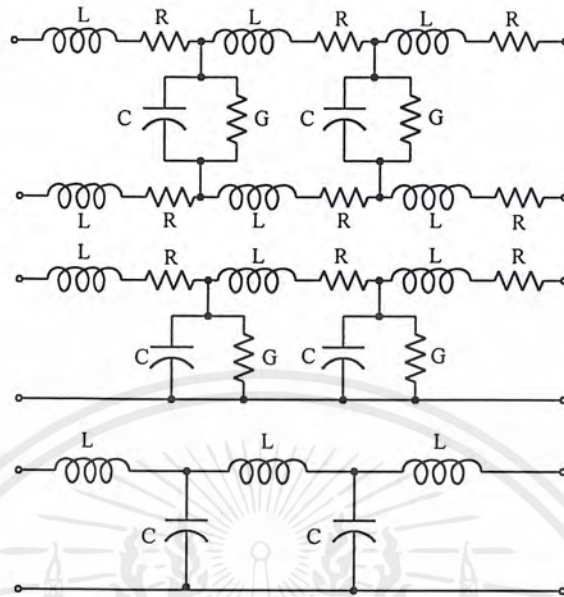
คุณสมบัติเฉพาะของตัวนำต่างๆ มีส่วนเข้ามาเกี่ยวข้องกับเรื่องสายนำสัญญาณ สายธรรมดา ก็เป็นสายลวดตัวนำไฟฟ้าอย่างง่ายๆ ไม่มีค่าคงที่ที่นอกจากความต้านทานเล็กน้อย แต่ถ้านำไปใช้กับคลื่นวิทยุความถี่สูงๆ แล้ว จะปรากฏมีค่าคงที่อื่นๆ หลายค่าแสดงออกมา

ตัวนำไฟฟ้าใดๆ ก็ตามที่มีกระแสไหลจะมีเส้นแรงแม่เหล็กสถิตอยู่รอบๆ ตัวนำนั้นๆ และถ้ากระแสมีการเปลี่ยนแปลงแล้ว ทำให้เส้นแรงแม่เหล็กเหล่านี้มีการเปลี่ยนแปลงด้วย และจากผลอันนี้จะทำให้เกิดแรงเคลื่อนแม่เหล็กไฟฟ้าย้อนกลับขึ้นเพื่อต้านทานการเปลี่ยนแปลงนี้ ข้อนี้ตรงกับคุณสมบัติของการเหนี่ยวนำ นั่นคือ อาจกล่าวได้ว่า สายลวดตรงๆ เส้นหนึ่งย่อมมีการเหนี่ยวนำ

ในสายนำสัญญาณนั้นมีความจำเป็นต้องใช้ลวดตัวนำสองเส้น เส้นหนึ่งสำหรับเป็นทางไป และอีกเส้นหนึ่งสำหรับเดินทางกลับของพลังงาน ตัวเก็บประจุประกอบด้วยตัวนำ 2 อัน วางแยกจากกันโดยมีฉนวนกั้น สายนำสัญญาณก็เข้าอยู่ในคำจำกัดความของตัวเก็บประจุนี้ คือ มีตัวนำ 2 ตัว แยกกันอยู่ต่างหากโดยมีอากาศเป็นฉนวนกั้น ดังนั้นสายนำสัญญาณจึงประกอบด้วย ตัวเก็บประจุ ตัวนำทั้งสองย่อมมีความต้านทานประกอบอยู่ด้วย จำนวนความต้านทานขึ้นอยู่กับชนิดของวัสดุ นั้นๆ รวมทั้งความยาวกับพื้นที่หน้าตัดของมัน นอกจากความต้านทานซึ่งต่ออนุกรมอยู่ ยังมีการต่อ ตัวเก็บประจุแบบอนุกรม อีกจำนวนหนึ่ง

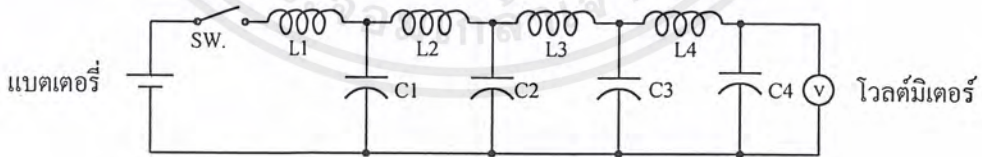
ดังนั้น สายนำสัญญาณจึงมีค่าคงที่ของสาย ซึ่งประกอบด้วย ตัวเหนี่ยวนำต่ออนุกรมกับ ตัวความต้านทานและอนุกรมกับตัวเก็บประจุนานกับตัวความต้านทานดังรูปที่ 2.8 (ก) เป็นวงจร จำลองของสายนำสัญญาณ ซึ่งมีความยาวอันหนึ่ง ตามวงจรนี้แสดงให้เห็นว่าเป็นวงจรจำลองของ สายนำสัญญาณเท่านั้น สำหรับในสายนำสัญญาณจริงๆ แล้ว ตัวค่าคงที่ต่างๆ เหล่านี้จะกระจายกัน ออกไปอยู่ตามความยาวของสาย แต่เพื่อความสะดวกในการศึกษา จึงจำเป็นต้องใช้วงจรสมมูลย์ โดยประมาณว่าสายนำสัญญาณเท่าที่มองเห็นเป็นเส้นตรงสองเส้น แท้จริงแล้วประกอบด้วยตัว ความต้านทาน ตัวเหนี่ยวนำ และตัวเก็บประจุ ในทางปฏิบัติแล้วพบว่า ถ้าทำให้วงจรแลมป์เล็กลง เท่าไรก็ยิ่งใกล้คุณสมบัติเป็นสายนำสัญญาณที่แท้จริงมากขึ้นเท่านั้น

ตามรูปที่ 2.8 (ก) อาจทำให้ง่ายขึ้น โดยรวมความเหนี่ยวนำ และ ความต้านทาน ของสายทั้งสองเส้นตรงข้ามเข้าด้วยกัน ทำให้สามารถรวมกันได้ เพราะว่าสายนำสัญญาณทั้งสองเส้นนี้ คือวงจรต่อกันแบบอนุกรม (โดยถือว่าการที่พลังงานจะผ่าน โหลดจำต้องผ่านความต้านทานทั้งสองนี้) รูปที่ 2.8 (ข) แสดงถึงการรวมเข้าด้วยกันแล้ว สายนำสัญญาณที่ใช้ในเรดาร์ โดยเฉพาะพวกสายความถี่วิทยุต่างๆ โดยปกติแล้วมีระยะสั้น ข้อนี้ทำให้มีผลคืออยู่หลายประการ โดยเฉพาะ ความต้านทาน ในทางอนุกรมมีค่าน้อยมาก และความต้านทานแบบขนาน (ความเหนี่ยวนำ = 1 / ความต้านทาน) มีค่าสูงมากเกือบเป็นอนันต์ จึงละเว้น ไม่ต้องคำนึงถึงเนื่องจากสายนำสัญญาณซึ่งประกอบด้วยรีแอกทีฟคอมโพเนนซ์ สิ่งเหล่านี้เป็นที่แสดงให้เห็นแล้วว่าพลังงานซึ่งจะผ่านสายนำสัญญาณไปได้ นั้น ต้องใช้เวลาไปจำนวนหนึ่ง คือต้องใช้เวลาในการให้กระแสไหลผ่านเข้าไปในขดลวดเหนี่ยวนำ ต้องเสียเวลาในการชาร์จตัวเก็บประจุ ถ้าแบตเตอรี่และเครื่องมือวัดแรงดันต่อเข้ากับปลายแต่ละข้างของสายนำสัญญาณ ก็สามารถแสดงให้เห็นได้ทั้งที่เวลาที่ต้องการสำหรับพลังงานในการเดินทางดังกล่าว



รูปที่ 2.8 วงจรสมมูลของสายนำสัญญาณ

เมื่อสวิตช์ในรูปปิด  $C_1$  จะทำการชาร์จ โดยมีกระแสไหลผ่าน  $L_1$  การชาร์จของ  $C_1$  สามารถจัดเวลาได้จนกว่า  $C_1$  จะเต็มเท่าแรงดันของแหล่งจ่าย ขณะที่  $C_1$  ทำการชาร์จนี้ แรงดันจะถูกจ่ายให้  $C_2$  ด้วย โดยมีกระแสไหลผ่าน  $L_2$  ดังนั้น  $C_2$  จะทำการชาร์จด้วย แต่เป็นเวลาลงหลังจาก  $C_1$  ดังนั้นจะเห็นว่าเวลาที่จำกัดแน่นอนอันหนึ่ง จะต้องใช้ไปก่อนที่จะ ตัวเก็บประจุตัวสุดท้ายจะชาร์จได้ และจะมีแรงดันไปแสดงที่เครื่องวัด



รูปที่ 2.9 รีแอกทีฟคอมโพเนนซ์

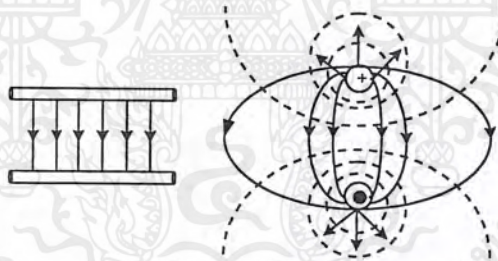
เนื่องจากสายนำสัญญาณได้แยกส่วนที่ประกอบกันขึ้นเป็นตัวเหนี่ยวนำ และตัวเก็บประจุ ดังนั้นความเร็วของไฟฟ้าที่วิ่งไปตามสายจึงช้าลงกว่าความเร็วของแสง สายนำสัญญาณของเครื่องเรดาร์บางชนิดส่งคลื่นออกไปด้วยอัตราความเร็วที่ช้ากว่าอัตราความเร็วเมื่อคลื่นวิ่งออกไปใน

อากาศถึง 20 % ในสายโทรศัพท์พลังงานยิ่งเดินทางช้ามาก ทั้งนี้เพราะว่าถูกโหดด้วย ตัวเหนียวน่า ที่นับว่าขนาดใหญ่มาก

### 2.2.7 สนามไฟฟ้า และสนามแม่เหล็ก

จากที่ได้ทราบมาจากเหตุผลเบื้องต้นแล้วว่า การถ่ายเทพลังงานให้เคลื่อนที่ไปตามสาย นั้น คือ การเคลื่อนที่ของอิเล็กตรอนนั่นเอง แต่ก็ยังมีปรากฏการณ์ธรรมชาติในการเคลื่อนที่ของ พลังงานเพิ่มเข้ามา ซึ่งจำเป็นต้องนำมาพิจารณาด้วย คือ เมื่อพลังงานเคลื่อนที่ไปจะมีสนาม แม่เหล็ก และสนามไฟฟ้า ซึ่งกำลังเคลื่อนที่ที่เกิดขึ้น สนามแม่เหล็กเกิดจากกระแส และสนามไฟฟ้า เกิดจากแรงดัน (ความต่างศักย์) เส้นแรงทั้งสองที่เกิดขึ้นจะอยู่ในลักษณะของการตั้งฉากซึ่งกันและ กันอยู่เสมอ ดังนั้น จึงอาจกล่าวได้ว่าพลังงานจะเคลื่อนที่ไปในรูปของการเคลื่อนที่ของสนามแม่ เหล็ก และการเคลื่อนที่ของสนามไฟฟ้า จากความรู้ด้านนี้อาจทำให้เข้าใจทฤษฎีของสายนำสัญญาณ ดียิ่งขึ้น

เมื่อมีกระแสไหลผ่าน ไปในเส้นลวด สนามแม่เหล็กจะเกิดขึ้นรอบๆ เส้นลวด สนามแม่ เหล็กของเส้นลวดทั้งสองแสดงดังรูปที่ 2.10

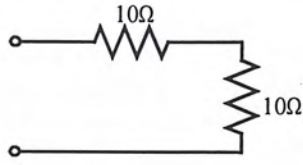


รูปที่ 2.10 สนามไฟฟ้า และสนามแม่เหล็กที่เกิดขึ้นในสายนำสัญญาณ

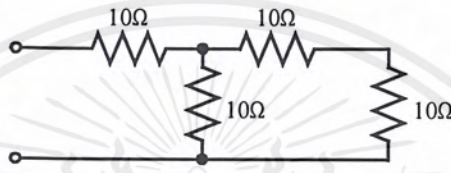
### 2.2.8 คุณลักษณะของสายนำสัญญาณ

สายนำสัญญาณ ถ้าปราศจากความต้านทานจะนับเป็นสายที่ไม่มี การสูญเสียเลย ข้อสำคัญ คือจะแสดงให้เห็นว่าถ้าสายนี้มีความยาวไม่รู้จบ กระแสจำนวนเดียวกันนี้ก็จะไหลเรื่อยๆ ไม่รู้จบ เช่นเดียวกัน พลังงานจะเดินทางออกไปไกลก็ยังมีสายให้ทำการชาร์จอยู่เรื่อยๆ ไป กระแสที่ไหล ออกจากแบตเตอรี่จะมีไม่มาก แต่การไหลของกระแสปรากฏอยู่เรื่อยไปตราบเท่าที่สายมีความยาว ไม่รู้จบ โดยไม่คำนึงถึงว่าสายจะยาวเท่าไร เราอาจคำนวณได้โดยง่าย การคำนวณเราใช้ค่าของความ ต้านทานมากกว่าจะใช้ค่าอิมพีแดนซ์ เพื่อให้การคำนวณง่าย

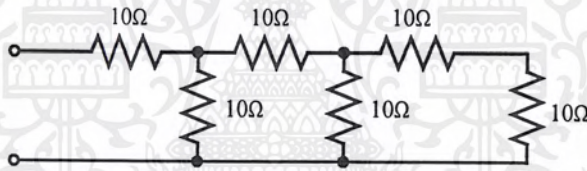
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



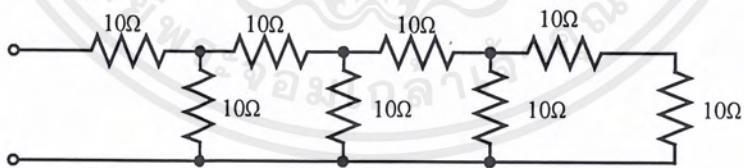
รูปที่ 2.11 ค่าความต้านทานของวงจรเท่ากับ 20 โอห์ม



รูปที่ 2.12 การเขียนความต้านทานขึ้นอีกหนึ่งตอนจะได้วงจรเป็นแบบอนุกรม-ขนาน

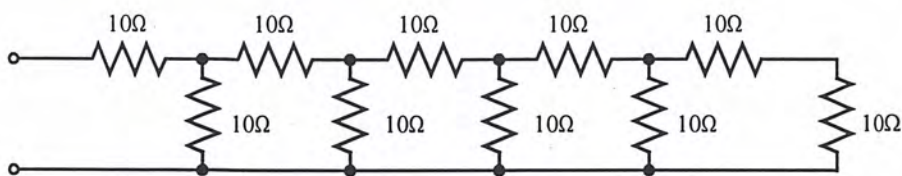


รูปที่ 2.13 ผลรวมของอิมพีแดนซ์รวมที่ปลายสายเท่ากับ 16.67 Ω แล้วเพิ่มขึ้นอีกหนึ่งตอน



รูปที่ 2.14 อิมพีแดนซ์รวมที่ปลายสาย 16.25 Ω แล้วเพิ่มเข้าอีกหนึ่งตอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 อิมพีแดนซ์รวมเท่ากับ  $16.165 \Omega$  แล้วเพิ่มอีกหนึ่งตอน

ถ้าทำกราฟแสดงจำนวนตอนที่เพิ่มขึ้นให้สัมพันธ์กับจำนวนอิมพีแดนซ์จะเห็นได้ว่าเมื่อเพิ่มตอนขึ้นไป ค่าอิมพีแดนซ์ยิ่งลดลงจนถึงจุดเล็กๆ จุดหนึ่ง ซึ่งค่านี้จะคงที่ตลอดไป แม้จะเพิ่มตอนของอิมพีแดนซ์ขึ้นอีกเท่าใดก็ตาม

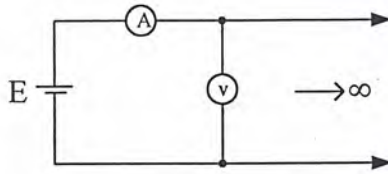


รูปที่ 2.16 กราฟแสดงความสัมพันธ์ของจำนวนที่เพิ่มขึ้นกับจำนวนอิมพีแดนซ์

ตามรูปที่ 2.16 แกนนอนเป็นจำนวนตอน แกนตั้งเป็นค่า อิมพีแดนซ์ ของวงจรวัดที่ขั้วต้นสาย ค่าอิมพีแดนซ์ที่ขั้วต้นสายของสายความยาวอนันต์นี้ขึ้นอยู่กับค่าคงที่ของสายไม่ใช่ขึ้นอยู่กับความยาวของสาย

เนื่องจากสายความยาวอนันต์นั้นเหมือนกับว่าค่าของอิมพีแดนซ์คงที่แน่นอน ดังนั้น จึงวัดได้ด้วยกฎของโอห์ม

ตามรูปที่ 2.17 แสดงเครื่องวัดกระแสและแรงดัน ซึ่งต่ออยู่กับสายเพื่อวัดแรงดันแบบเตอริของสายและกระแสที่ประจวบอยู่ในสาย



รูปที่ 2.17 การวัดแรงดัน และกระแสของสายนำสัญญาณ

สามารถหาค่าอิมพีแดนซ์ โดยแทนค่าที่อ่านได้ที่วัดลงในสมการ

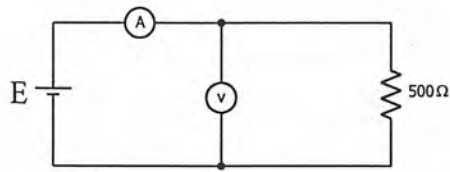
$$Z = \frac{E}{I} \tag{2.4}$$

ค่าอิมพีแดนซ์อันเนื่องมาจากค่าของค่าคงที่ของสายของวงจร เรียกกันว่า ค่าความต้านทานคุณลักษณะของสายนำสัญญาณ หรือเขียนย่อว่า  $Z_0$  นี้ คือ อิมพีแดนซ์ของวงจรที่มองเข้าทางเครื่องกำเนิดพลังงานหรือแบตเตอรี่

ดังแสดงรูปที่ 2.17 จะเป็นตัวกำหนดค่าของกระแสรั่วไหลจากเครื่องกำเนิด ซึ่งมีแรงดันเอาต์พุต และความต้านทานภายในคงที่

เพื่อให้เห็นจริงในการคำนวณ สมมติว่า  $Z_0$  ของ สายความยาวอนันต์ ตามรูปที่ 12 เป็น 500 โอห์ม ต่อไปสมมติว่าสายยาวอนันต์นี้ ถูกตัดออกเหลือ 100 ฟุต หรือมากกว่านั้น เส้นยาวที่ถูกตัดออกไปยังคงมีความยาวเป็นสายยาวอนันต์อยู่เช่นเดิม และอิมพีแดนซ์ก็ยังคงเป็น 500 โอห์ม ดังเดิม ดังนั้นตัวความต้านทานขนาด 500 โอห์มนั้นอาจนำมาใช้แทนสายยาวอนันต์นี้ได้

รูปที่ 2.18 แสดงการใช้ความต้านทานขนาด 500 โอห์ม ต่อเข้าที่ปลายสายสั้นๆ สายหนึ่ง โดยเครื่องวัดแรงดัน และเครื่องวัดกระแสยังต่ออยู่ตามปกติ จะไม่มีการเปลี่ยนแปลงค่าแรงดันและกระแสใดๆ เลย ปรากฏการณ์เช่นนี้ แสดงได้ว่าสายนี้เป็นสายที่มีความยาวเป็นสายยาวอนันต์เช่นเดียวกันนั้นหมายความว่า สายที่ถูกต่อที่ปลายสุดด้วยความต้านทาน ซึ่งมีค่าเท่ากับ  $Z_0$  แล้วตามความต้านทานนั้น ก็จะทำหน้าที่เป็นสายยาวอนันต์ นั่นเอง พลังงานซึ่งเคลื่อนที่ออกมาจากแหล่งกำเนิดไปยังโหลดจะถูกใช้ให้หมดไปโดยโหลด เมื่อความต้านทานนั้นเท่ากับ  $Z_0$  ของสายนำสัญญาณ



รูปที่ 2.18 การต่อโหมลต์ด้วยความต้านทาน 500 โอห์ม

ค่าความต้านทานคุณลักษณะนี้มีความสำคัญมาก เพราะว่ามันเป็นค่าของอิมพีแดนซ์ซึ่งโดยปกติเครื่องกำเนิดพลังงานจะต่ออยู่ และเพื่อให้มีการถ่ายทอดกำลังงานได้สูงสุดอิมพีแดนซ์ของสายจะต้องเท่ากับอิมพีแดนซ์ของเครื่องกำเนิดพลังงาน โหมลต์ซึ่งอาจต่อเข้ากับปลายของสายจะได้ผลดีขึ้นอยู่กับความต้านทานคุณลักษณะของสายนำสัญญาณ

### 2.2.9 การคำนวณค่า $Z_0$

วิธีคำนวณค่า  $Z_0$  ของสายนั้นมีอยู่หลายวิธี วิธีหนึ่ง คือ ใช้การทดลองกับสายโดยใช้ตัวความต้านทานขนาดต่างๆ เป็นโหมลต์ อีกประการหนึ่ง ถ้าเรารู้ค่าของตัวเหนี่ยวนำ และตัวเก็บประจุที่ปรากฏในแต่ละหน่วย ความยาวใดความยาวหนึ่ง อาจเข้าสู่สูตรเพื่อหา  $Z_0$  ได้จากสมการ (2.1)

ความยาวของสายไม่สำคัญ เพราะถ้าสายยิ่งยาว ค่าของตัวเหนี่ยวนำ และตัวเก็บประจุ ก็จะสูงขึ้นอัตราส่วนก็ยังคงเท่ากันทุกๆ ระยะตามสูตรที่ 2.5 ใช้เพียงส่วนเหนี่ยวนำต่อแบบอันดับ ส่วนหนึ่ง และ ตัวเก็บประจุต่อแบบขนาน ส่วนหนึ่งเท่ากันที่นำมาใช้คำนวณ ส่วนความต้านทานต่อแบบอนุกรมที่มีค่าน้อยเกือบเป็นศูนย์ และความเหนี่ยวนำต่อแบบขนานซึ่งเป็นค่าส่วนกลับของความต้านทานก็นับว่ามีค่าสูงมาก (ตัวความต้านทานมีค่าต่ำ) เกือบเป็น  $\infty$  จึงตัดทิ้งได้

ดังนั้น ความต้านทานคุณลักษณะของสายนำสัญญาณซึ่งมีตัวเก็บประจุ 0.01 ไมโครฟารัด และมีความเหนี่ยวนำ ค่าเท่ากับ 0.003 เฮนรี่ ต่อไมล์

$$Z_0 = \sqrt{\frac{L}{C}}$$

$$Z_0 = \sqrt{\frac{0.003}{0.01 \times 10^{-6}}}$$

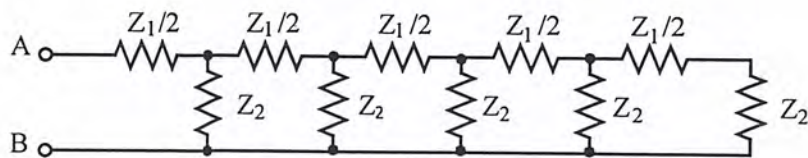
$$Z_o = \sqrt{\frac{30 \times 10^{-4}}{1 \times 10^{-8}}}$$

$$Z_o = \sqrt{30 \times 10^4}$$

$$Z_o = 5.48 \times 10^2$$

$$Z_o = 548 \ \Omega$$

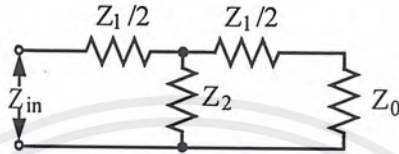
ในการหาค่าความต้านทานคุณลักษณะของสายนำสัญญาณจะพิจารณาวงจรจำลองของสายนำสัญญาณอันมีความยาวไม่รู้จบสองสามส่วน อิมพีแดนซ์ที่ต่อกันเป็นอันดับต่อหนึ่งส่วนกำหนดให้เท่ากับ  $Z_1$  (ซึ่งเท่ากับ  $R + j\omega L$ ) และ อิมพีแดนซ์ที่ต่อในทางขนานต่อหนึ่งส่วนกำหนดให้เท่ากับ  $Z_2$  (ซึ่งเท่ากับ  $\frac{-1}{G + j\omega C}$ ) วงจรจำลองแสดงในรูปที่ 2.19 เมื่อมองเข้าทางขั้ว A และ B อาจพบว่าอิมพีแดนซ์รวมทั้งหมดเท่ากับ  $\frac{Z_1}{2} + Z_2$  ต่อขนานกับ  $Z_1 + Z_2$   $Z_2$  ดังกล่าวนี้ต่อขนานกับ  $\frac{Z_1}{2} + Z_2$  และ  $Z_2$  ที่ว่านี้ขนานกับ  $Z_1 + Z_2$  ต่อไปอีก ต่อไปเช่นนี้เรื่อยๆ ตลอดไปจนถึงจุดปลายของสายนำสัญญาณไม่รู้จบ ถ้าจะมองเข้าอีกทางหนึ่ง คือ อิมพีแดนซ์ที่ปรากฏก็คงที่เท่ากับ  $\frac{Z_1}{2} + Z_2$  และ  $Z_2$  ดังกล่าวก็ถูกขนานกับ  $Z_1 + Z_2$  ไปจนถึงจุดไม่รู้จบอีกความต้านทานคุณลักษณะของสายนำสัญญาณนี้เท่ากับอิมพีแดนซ์ที่วัดได้ระหว่างจุด A และ B (วัดในทางคำนวณ) ซึ่งเท่ากับอิมพีแดนซ์ ณ จุดใดจุดหนึ่ง ตลอดสายนำสัญญาณไม่รู้จบนี้ที่พบเมื่อมองเข้าไป ณ จุดใดจุดหนึ่งตลอดสายนำสัญญาณไม่รู้จบนี้ อิมพีแดนซ์ที่เมื่อมองจากจุดเหล่านี้มีเท่ากันหมด ดังนั้นอิมพีแดนซ์ค่าหนึ่งซึ่งเท่ากันสามารถนำมาแทนได้ ณ จุดใดๆ ทุกจุด ระหว่าง T-Section



รูปที่ 2.19 วงจรเสมือนของสายความยาวอนันต์ โดยใช้ T-Section

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.19 แสดงวงจรเสมือนของสายความยาวอนันต์ โดยใช้ T-Section และจะแทนอิมพีแดนซ์จากจุดนั้นซึ่งหมายถึงอิมพีแดนซ์ที่คำนวณแล้วไปจนกระทั่งถึงปลายของสายนำสัญญาณความยาวอนันต์ เพื่อที่จะได้ค่าของ  $Z_0$  ในเทอมของอิมพีแดนซ์ค่าอื่นในสายนำสัญญาณใช้วงจรดังแสดงดังรูปที่ 2.20



รูปที่ 2.20 วงจรเสมือนของสายความยาวอนันต์ ซึ่งมี  $Z_0$  เป็นโหลดของสาย

### 2.2.10 สัมประสิทธิ์การสะท้อนกลับ

ตัวร่วมซึ่งจะเป็นตัวกำหนดความสัมพันธ์ กับแรงดันตกกระทบ ( $E_i$ ) กับ แรงดันสะท้อนกลับ ( $E_r$ ) เรียกว่า การสะท้อน (Reflection)

สัมประสิทธิ์ คือสัญลักษณ์ของสัมประสิทธิ์การสะท้อนกลับได้แก่ อักษรกรีกอ่านว่า Kappa และมีรูปร่าง K หรือใช้  $\Gamma$  คือ ตัวร่วมซึ่งเมื่อนำไปคูณกับ  $E_i$  แล้วจะใช้ค่าของ Reflection Voltage นั่นคือ

$$E_r = \Gamma E_i \tag{2.4}$$

$$\frac{E_r}{E_i} = \Gamma \tag{2.5}$$

ประยุกต์กับสมการที่ (2.5) นี้เข้ากับปลายสายนำสัญญาณปลายปิด  $Z_L = 0$

$$\Gamma = \frac{Z_L - Z_0}{Z_L + Z_0} \tag{2.6}$$

$$= -1$$

ดังนั้น  $E_r = -1E_i$  และ  $E = E_r + E_i = E_i - E_i = 0$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่าที่ปลายสายนำสัญญาณปลายปิดมีค่าแรงดันเป็นศูนย์  
 ประยุกต์สูตรนี้เข้ากับสายนำสัญญาณปลายเปิด  $Z_L = \infty$

$$\Gamma = \frac{Z_L - Z_0}{Z_L + Z_0}$$

$$\Gamma = \frac{\infty - Z_0}{\infty + Z_0}$$

$$\Gamma = \frac{\infty}{\infty}$$

$$\Gamma = 1$$

โดยวิธีแคลคูลัสสามารถแสดงให้เห็นได้ว่า  $\Gamma$  เท่ากับ 1 นั้นหมายความว่า แรงดันที่สะท้อน  
 กลับมาที่ปลายของสายนำสัญญาณปลายเปิดอยู่ในเฟสเดียวกันกับ  $E_i$

เมื่อสายนำสัญญาณที่ปราศจากการสูญเสียใดๆ ถูกต่อที่ปลายด้วยความต้านทานมีค่าเท่ากับ  
 $Z_0$  ของสายนำสัญญาณเส้นนั้น

$$\Gamma = \frac{Z_L - Z_0}{Z_L + Z_0}$$

$$\Gamma = 0$$

เห็นได้ว่าเมื่อ โหลดที่ปลายสายมีค่าเท่ากับความต้านทานคุณลักษณะของสายนำสัญญาณ  
 แล้วก็จะไม่มีคลื่นสะท้อนย้อนกลับจากปลายสายนั้นเลย



รูปที่ 2.21 รูปแบบคลื่นนิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.2.11 อัตราส่วนคลื่นนิ่ง

เมื่อต่อสายนำสัญญาณที่มีความยาวเหมาะสมเข้ากับโหลด คือ ต่อตรงจุดต่อของสายอากาศ จะต้องคำนึงเป็นอันดับแรกคือ อิมพีแดนซ์ของสายนำสัญญาณกับสายอากาศซึ่งจะมีผลในแง่ของการเคลื่อนที่ของคลื่นประสิทธิผล หรือบางครั้งก็รับสัญญาณไม่ได้เลย

ค่าเอสดับบลิวาร์เป็นอัตราส่วนของแรงดัน หรือกระแสที่มีค่ามากที่สุดกับแรงดันหรือกระแสน้อยที่สุดในสายเรียกว่าอัตราส่วนแรงดันสแตนด์เวฟ วีเอสดับบลิวาร์ หรือ เอสดับบลิวาร์ ซึ่งจะมีค่าเท่ากับทั้งสองอัตราส่วนของแรงดันและกระแส เอสดับบลิวาร์ เป็นอัตราที่กำหนดว่าสายนำสัญญาณนั้นแมทช์กันหรือไม่กับสายอากาศ ถ้าพุดในแง่ทางฟิสิกส์โดยให้โหลด คือ สายอากาศประกอบด้วยความต้านทานล้วน อาจพุดได้ว่า  $SWR = R / Z_0$  หรือ  $Z_0 / R_L$  โดยจะเลือกตัวที่มีค่ามากกว่าเป็นพิเศษ เอสดับบลิวาร์ จะมีค่ามากกว่า 1 เสมอ ถ้าเอาปลายสายนำสัญญาณมาปล่อยเปิดไว้ เอสดับบลิวาร์ จะเป็นอนันต์

ถ้าสายนำสัญญาณถูกต่อปลายด้วยโหลดที่มีความต้านทาน หรือเป็นสายอากาศที่มีความต้านทานการแผ่ (Radiation Resistant) ที่มีค่าเท่ากับ  $Z_0$  ของสายนำสัญญาณ พลังงานที่ได้ในสายนำสัญญาณทั้งหมดสูญเสียไปในโหลดจะทำให้สายนำสัญญาณเกิดภาวะไม่เรโซแนนซ์จะได้อัตราส่วนของแรงดัน (กระแส) ที่จุดต่างๆ บนสายเท่ากันตลอดเรียกว่าสายอากาศและสายนำสัญญาณแมทช์กันพอดีแต่ถ้าค่าตัวต้านทานการแผ่ของสายอากาศไม่เท่ากับ  $Z_0$  ของสายนำสัญญาณจะเกิดภาวะเรโซแนนซ์ บางส่วนของกำลังที่ใส่ในสายจะสะท้อนกลับจากปลายของสายนำสัญญาณ ถึงแม้ว่าสายนำสัญญาณจะถูกต่อปลายด้วยโหลดที่มีความต้านทานเท่ากับ  $Z_0$  ของสายนำสัญญาณก็ยังมีบางกรณีที่เอสดับบลิวาร์มากกว่า 1 คือ กรณีที่โหลดมีค่าไม่เป็นความต้านทานอย่างเดียว แต่จะมีค่ารีแอคแตนซ์ที่ความถี่ของการใช้งานของสายนำสัญญาณ ถ้าสายอากาศเป็นโหลด อาจจะกล่าวได้ว่า สายอากาศไม่เรโซแนนซ์ที่ความถี่ของการใช้งาน ความถี่เรโซแนนซ์ของสายอากาศเป็นความต้านทานปกติค่าเอสดับบลิวาร์มีค่าต่ำ(แต่ในทางปฏิบัติค่าเอสดับบลิวาร์ไม่ควรเกิน 1.5) คือ

- 1) สายอากาศต้องเรโซแนนซ์ที่ความถี่ใช้งานของเครื่องส่ง
- 2) สายอากาศจะต้องต่อโดยตรง (หรือต่อกับ แมทซ์ซิ่ง) กับโหลดที่มีค่าอิมพีแดนซ์เท่ากัน

ในรูปที่ 2.22 แสดงรูปคลื่น 2 ลูก ที่มีแอมพลิจูดและความถี่เดียวกันเคลื่อนที่ไปในสายซึ่งจะมีส่วนของคลื่นที่เสริมกัน และหักล้างกันซึ่งมีผลทำให้คลื่น 2 ลูกคลื่นจรรวมกันเป็นคลื่นนิ่ง (สังเกตจุดสูงสุดและจุดแรงดันเป็นศูนย์) ซึ่งจะเลื่อนไปตามเวลา โดยผลต่างระหว่าง (คลื่นจร และคลื่นนิ่ง) จุดที่เป็นศูนย์ เรียกว่า Node และตำแหน่งที่มีแอมพลิจูดสูงสุด เรียกว่า Antinode

อัตราส่วนระหว่างแอมพลิจูดของรูป กับแอมพลิจูดของโนดในสายนำสัญญาณกำลังใดๆ เรานิยมเรียกว่า “Standing Wave Ratio” ซึ่งมีสัญลักษณ์ “ $\rho$ ” อาจแสดงสมการของ  $\rho$  ได้ดังนี้

$$VSWR = \rho = \frac{E_{\max}}{E_{\min}} \quad (2.7)$$

อัตราส่วนนี้อาจจะแสดงได้ดีในเทอมของสัมประสิทธิ์การสะท้อนกลับได้ดังนี้

และ

$$E_{\max} = |E_i| + |E_r|$$

นั่นคือ

$$|E_r| = \Gamma + |E_i|$$

และ

$$E_{\max} = |E_i| + \Gamma |E_i|$$

$$E_{\min} = |E_i| - |E_i|$$

ดังนั้น

$$E_{\min} = |E_i| - \Gamma |E_i|$$

หรือ

$$\rho = \frac{E_{\max}}{E_{\min}} = \frac{|E_i| + \Gamma |E_i|}{|E_i| - \Gamma |E_i|}$$

$$\rho = \frac{|E_i|(1 + \Gamma)}{|E_i|(1 - \Gamma)} \quad (2.8)$$

$$\rho = \frac{E_{\max}}{E_{\min}} = \frac{Z_o}{Z_L} \quad \text{เมื่อ } Z_L < Z_o$$

$$\rho = \frac{E_{\max}}{E_{\min}} = \frac{Z_o}{Z_L} \quad \text{เมื่อ } Z_L > Z_o$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการนี้ สามารถแทนด้วยค่าของสัมประสิทธิ์การสะท้อนกลับในทอมวีเอสดับบลิวอาร์ ดังนี้อัตราส่วนคลื่นนิ่งจะเป็นปฏิภาคโดยตรงกับความผิดพลาดระหว่างโหลดกับ  $Z_0$  ของสายนำสัญญาณเมื่อโหลดเป็นความต้านทานบริสุทธิ์

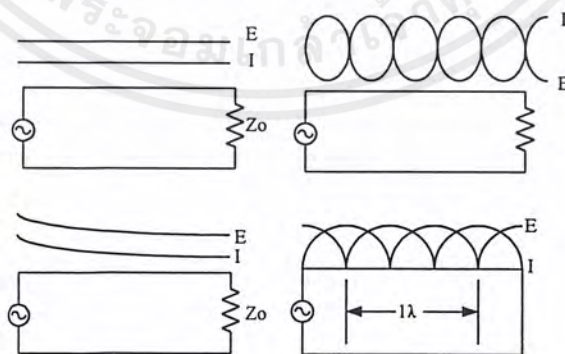
## 2.2.12 สายแมชซิ่ง

### 1. สายแบบไม่เรโซแนนซ์

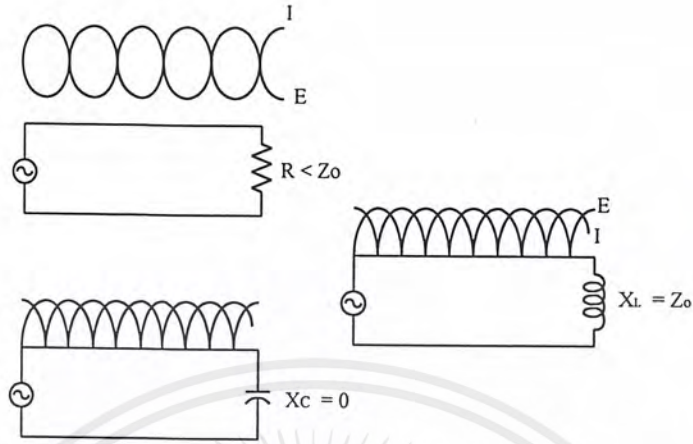
กระแส และแรงดัน ณ ทุกจุดบนสายยาวอนันต์จะอยู่เฟสเดียวกัน เนื่องจาก Inductive Reactance ที่ถูกลบล้างให้หมดไปโดยผลเนื่องจาก Capacitive Reactance ผลที่ได้ คือ ความต้านทานคุณลักษณะ ( $Z_0$ ) กลายเป็น Resistive Impedance คือ เป็นความต้านทานนั่นเองอิมพีแดนซ์ที่เครื่องกำเนิดพลังงานต่ออยู่ คือ ความต้านทานคุณลักษณะ ( $Z_0$ ) ของสายทั้งกระแสและแรงดันเคลื่อนที่ไปในรูปแบบของคลื่นที่เคลื่อนที่โดยนำเอาพลังงานจากแหล่งกำเนิดไปยังปลายสาย สายนำสัญญาณที่มีธรรมชาติเช่นนี้เรียกว่า สายแบบไม่เรโซแนนซ์ และเป็นชนิดเดียวที่ใช้มากที่สุดในการเป็นสายนำสัญญาณ เพื่อให้ถ่ายทอดกำลังงานจากที่หนึ่งไปยังอีกที่หนึ่ง

### 2. สายแบบเรโซแนนซ์

ดังที่ได้กล่าวมาแล้วว่าเมื่อสายนำสัญญาณที่ต่อปลายด้วยความต้านทานเท่ากับ  $Z_0$  พลังงานทั้งหมดที่ได้รับจึงถูกนำไปใช้กับโหลดทั้งหมด แต่ถ้าโหลดมีการเปลี่ยนแปลงค่าอิมพีแดนซ์ไป ความต้านทานคุณลักษณะของสายก็มิได้เปลี่ยนไปด้วย  $Z_0$  ของสายยาวอนันต์ก็ยังคงเท่ากับ  $\sqrt{\frac{L}{C}}$  หรือว่าโหลดที่มาต่อเข้าด้วยจะเป็นชนิดใดก็ตามตัว  $Z_0$  ความต้านทานคุณลักษณะของสายก็ยังคงเท่ากับ  $\sqrt{\frac{L}{C}}$



รูปที่ 2.22 สายแบบไม่เรโซแนนซ์ และแบบเรโซแนนซ์



รูปที่ 2.22 (ต่อ) สายแบบไม่เรโซแนนซ์ และแบบเรโซแนนซ์

### 2.2.13 การต่อปลายสายลักษณะต่างๆ

การวัดคลื่นหนึ่งเป็นสิ่งที่สำคัญของพื้นฐานของการศึกษา วิชาสายนำสัญญาณ ซึ่งจะใช้ในการออกแบบ ทดสอบ และในการทำงานต่างๆ ซึ่งส่วนใหญ่จะเกิดขึ้นจากการตรวจสอบหรือปรับค่าของตัวที่ต่อปลายสายชนิดของตัวต่อปลายสาย สามารถแบ่งออกได้ดังนี้

1) ค่าลักษณะของอิมพีแดนซ์ของสาย หรือ  $Z_0$  เท่ากับค่าความต้านทานที่ปลายสาย ดังนั้นค่าของคลื่นหนึ่งจะเป็นศูนย์

2) วงจรปลายเปิด

3) วงจรปลายปิด

4) ค่าความต้านทานที่มีค่ามากกว่า หรือน้อยกว่า  $Z_0$

5) ค่ารีแอกแตนซ์ ( $X_L$  หรือ  $X_C$ ) มีค่ามากกว่าหรือน้อยกว่า  $Z_0$

ลักษณะคลื่นหนึ่งของกระแส และ แรงดัน นั้นวัดได้จากภายใต้สภาวะของการต่อปลายสาย

1) ต่อปลายสายด้วยค่า  $Z_0$  ซึ่งจะมีค่าคงที่อ่านได้จากมิเตอร์ไฟฟ้ากระแสสลับเคลื่อนไปตามสาย แต่ถ้าเป็นสายที่มีการสูญเสีย มิเตอร์ที่วัดขนาดของกระแสและแรงดัน จะลาดเอียงมาขังปลายด้านรับ

2) เป็นแบบวงจรสายปลายเปิด ซึ่งแรงดันจะมีค่าสูงสุดที่จุดปลายสาย ส่วนกระแสจะมีค่าต่ำสุด ถ้าสายนี้เป็นความยาวทางไฟฟ้า ระยะห่างระหว่างจุดสูงสุดกับสูงสุด หรือต่ำสุดกับต่ำสุดจะมีค่าเป็นครึ่งความยาวคลื่น

3) เป็นแบบวงจรสายปิด ซึ่งจะมีลักษณะที่ตรงกันข้ามกับแบบปลายเปิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4) เป็นแบบต่อด้วยความต้านทาน ซึ่งมีค่ามากกว่า  $Z_0$  นั้น จะทำให้เกิดการสะท้อนกลับ แต่ถ้าต่อด้วยความต้านทานที่มีค่าน้อยกว่า  $Z_0$  ซึ่งใกล้เคียงกับสภาพของปลายปิดนั้น  $Z$  จะมีค่าสูงกว่า  $Z_0$  ซึ่งจะมีผลให้สายมีค่าใกล้เคียงสภาพของปลายเปิด ซึ่งคลื่นนิ่งของแรงดันจะมากที่สุดที่ปลายสาย และกระแสจะต่ำสุด แต่ไม่ถึงกับมีค่าเป็นศูนย์

สามารถที่จะคำนวณหาค่าแรงดันสะท้อนกลับได้จากสูตร

	$E_r$	=	$E_i (Z - Z_0)$
เมื่อ	$E_i$	=	แรงดันตกกระทบ
	$E_r$	=	แรงดันสะท้อนกลับ
	$Z$	=	การต่อปลายสาย
	$Z_0$	=	ค่าความต้านทานคุณลักษณะของสายนำสัญญาณ

5) เป็นแบบต่อด้วยค่ารีแอคแตนซ์ ( $X_L$  หรือ  $X_C$ ) ทั้งกระแสและแรงดันต่างเลื่อนเฟสไปในเฟสเดียวกันขึ้นอยู่กับมารวมถึงจุดปลายของสาย ในบางกรณีกำลังงานไม่ได้ถูกดูดกลืน ซึ่งมีแต่ส่วนประกอบของเฟส (ไม่มีส่วนความต้านทาน) ซึ่งจะหาขนาดของรีแอคแตนซ์โดยเปรียบเทียบกับ  $Z_0$

#### 2.2.14 การต่อปลายสายด้วยความต้านทาน

สายนำสัญญาณทั้งแบบปลายปิดและปลายเปิดจะไม่มี การดูดกลืนพลังงานใดๆ เลย แต่ถ้าเป็นสายที่ปลายต่อไว้ด้วยความต้านทานซึ่งสามารถวัดค่าได้ พลังงานจะถูกใช้ไปในตัวความต้านทานนั้นอยู่ในรูปของความร้อน เมื่อสายนำสัญญาณถูกทำให้ลัดวงจรที่ปลายทางด้านรับ พลังงานจะมีการสูญเสียไปบริเวณที่ลัดวงจร กำลังงานในสายทั้งหมดจะสะท้อนย้อนกลับทำให้เกิดคลื่นนิ่งขึ้นในสายแบบปลายเปิดเช่นเดียวกันจะไม่มี การสูญเสียพลังงาน เนื่องจากเป็นปลายเปิดกำลังงานทั้งหมดจะสะท้อนกลับทำให้เกิดคลื่นนิ่ง

เมื่อสายนำสัญญาณถูกต่ออยู่กับตัวความต้านทานซึ่งมีค่าเท่ากับค่าความต้านทานคุณลักษณะของสาย กำลังงานทั้งหมดจากเครื่องกำเนิดจะถูกดูดกลืนหมดโดยโหลดไม่มีการสะท้อนกลับเลย ทั้งกระแสและแรงดันมีเพียงคลื่นจรที่ออกมาจากเครื่องกำเนิดพลังงานเท่านั้น และคลื่นนี้ทั้งกระแสและแรงดันจะมีเฟสเดียวกัน

ถ้าสายนำสัญญาณถูกต่อด้วยความต้านทานที่มีค่าเท่ากับเท่าใดก็ตาม แต่ไม่เท่ากับ  $Z_0$  ของสาย ตัวความต้านทานนี้จะใช้พลังงานไม่หมดพลังงานส่วนที่ไม่ได้ใช้จะสะท้อนย้อนกลับเข้าหาเครื่องกำเนิดอันเป็นผลทำให้เกิดคลื่นนิ่งขึ้น แต่เนื่องจากคลื่นที่สะท้อนกลับนั้นมีขนาดน้อยกว่าคลื่นที่ส่งเข้าไป ดังนั้นคลื่นนิ่งจะมีขนาดไม่เท่ากับสายนำสัญญาณชนิดปลายปิด หรือปลายเปิด

และโนคก็ไม่ได้ถึงศูนย์ สัมประสิทธิ์ของการสะท้อนจะเป็นตัวกำหนดความสัมพันธ์ระหว่างคลื่นที่ส่งเข้าไปและคลื่นที่สะท้อนกลับนั่นเอง

อัตราส่วนระหว่างแอมพลิจูดของคลื่นนิ่งที่ลูปกับแอมพลิจูดที่โนค (ทั้งกระแส และแรงดัน) เรียกว่า “Standing Wave Ratio” ใช้ตัวย่อว่า “SWR” บางที่ใช้ตัวย่อว่า “ρ” เป็นภาษากรีกแทน และมีสมการดังนี้

$$SWR = \frac{E_{\max}}{E_{\min}} \quad (2.10)$$

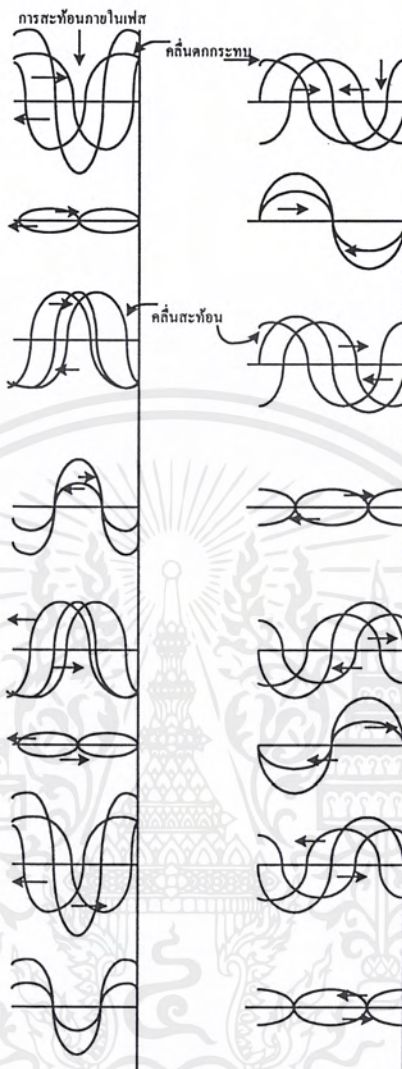
$$= \frac{I_{\max}}{I_{\min}} \quad (2.11)$$

เมื่อสายนำสัญญาณเป็นแบบปลายเปิดและปลายปิด แอมพลิจูดของโนคอยู่ที่ศูนย์ ดังนั้น ค่าเอสดับบลิวาร์จะมีค่าเป็นอนันต์ ( $\infty$ ) เมื่อสายนำสัญญาณถูกต้องอยู่กับโหลดซึ่งเป็นความต้านทานธรรมดา เอสดับบลิวาร์จะมีค่าจำกัดอยู่อันหนึ่งเสมอ ซึ่งค่านี้ขึ้นอยู่กับความสัมพันธ์ระหว่าง  $Z_0$  กับความต้านทานที่ใช้เป็นโหลด แต่เมื่อโหลดมีค่าเท่ากับ  $Z_0$  ของสายนำสัญญาณ พลังงานทั้งหมดจะถูกใช้ไปในโหลดจนหมด และไม่มีคลื่นสะท้อนกลับ นั่นคือเป็นผลทำให้ไม่มีคลื่นนิ่ง ซึ่งเรียกสายนี้ว่า เฟลชไลน์ หรือ สายแบบไม่เรโซแนนซ์ สายนำสัญญาณที่มีความยาวเท่ากับ  $\infty$  ถือได้ว่าเป็น เฟลชไลน์ ด้วย

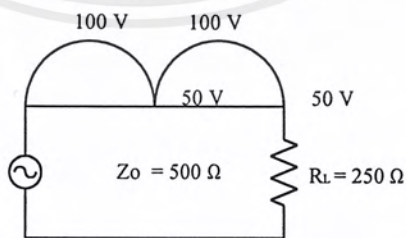
ถ้าสายซึ่งต่อปลายด้วยความต้านทานซึ่งมีค่ามากกว่า  $Z_0$  ค่าของเอสดับบลิวาร์จะเหมือนกับอัตราส่วนระหว่าง  $R_L$  ต่อ  $Z_0$

ถ้าความต้านทาน  $R_L$  มีค่ามากแล้วตำแหน่งของคลื่นนิ่ง จะเหมือนสายนำสัญญาณแบบปลายเปิด แต่ถ้าความต้านทานมีค่าลดลง ตำแหน่งของคลื่นนิ่ง ก็ยังคงอยู่เช่นเดิม แต่ค่าเอสดับบลิวาร์จะมีค่าเปลี่ยนไป จนในที่สุด  $R_L$  มีค่าเป็น  $Z_0$  ค่าเอสดับบลิวาร์ก็จะเป็นศูนย์ทันที

แต่ถ้าความต้านทาน  $R_L$  มีค่าน้อยมาก ตำแหน่งของค่าเอสดับบลิวาร์ ในสายจะเหมือนกับตำแหน่งที่เมื่อปลายสายของสายนำสัญญาณแบบปลายปิด ถ้าค่าความต้านทานค่อย ๆ เพิ่มขึ้นจนเท่ากับค่าของ  $Z_0$  ของสายแล้ว อัตราส่วนของค่าเอสดับบลิวาร์ ก็จะใกล้เข้ามาหาศูนย์ สำหรับตำแหน่งของ ค่าเอสดับบลิวาร์จะไม่เปลี่ยนแปลงเช่นเดียวกัน เมื่อ  $R_L$  มีค่าเท่ากับ  $Z_0$  ของสายที่มีเอสดับบลิวาร์ มีค่าเท่ากับศูนย์ ปราศจากค่าเอสดับบลิวาร์



รูปที่ 2.23 รูปแบบสัญญาณตกกระทบ และสะท้อนในสายนำสัญญาณ



รูปที่ 2.24 การนำความต้านทาน 250 โอห์ม มาต่อปลายสาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้ารู้ความต้านทานที่นำมาต่อปลายสายค่าของเอสดับบลิวอาร์ก็สามารถหาได้ง่ายเช่นกัน ถ้าความต้านทานที่ใช้เป็น  $250 \Omega$  ต่อกับสายซึ่งมี  $Z_0$  เท่ากับ  $500 \Omega$  ดังนั้น ค่าเอสดับบลิวอาร์จะเท่ากับ

$$SWR = \frac{R_L}{Z_0}$$

$$SWR = \frac{500}{250}$$

$$SWR = \frac{100}{50}$$

$$SWR = 2$$

คลื่นนิ่งของแรงดันในสายดังแสดงดังรูปที่ 2.25 ความต้านทานที่ใช้เป็น  $1000 \Omega$  ส่วน  $Z_0$  ในสายเท่ากับ  $500 \Omega$

$$SWR = \frac{R_L}{Z_0}$$

$$SWR = \frac{1000}{500}$$

$$SWR = \frac{100}{50}$$

$$SWR = 2$$

จะเห็นว่าค่าเอสดับบลิวอาร์จะมีค่าเท่ากันแต่ตำแหน่งเอสดับบลิวอาร์แตกต่างกันออกไป ทั้งนี้เนื่องจาก  $R_L$  มีค่ามากกว่า  $Z_0$  ซึ่งทำให้ตำแหน่งคลื่นนิ่งเหมือนกับสายชนิดปลายเปิด

ถ้า  $R_L$  เป็น  $400 \Omega$  แต่  $Z_0 = 500 \Omega$

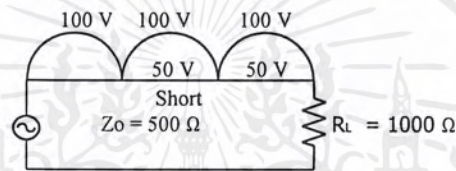
$$SWR = \frac{Z_0}{R_L}$$

$$SWR = \frac{500}{400}$$

$$SWR = \frac{5}{4}$$

$$SWR = 1\frac{1}{4}$$

จะเห็นว่าถ้า  $R_L$  มีค่าใกล้เคียงเท่ากับ  $Z_0$  มากเท่าใด เอสดับลิวอาร์ก็ยังมีค่าน้อยลง



รูปที่ 2.25 การนำความต้านทาน 1000 โอห์ม มาต่อปลายสาย

ดังนั้น เครื่องกำเนิดพลังงานจ่ายกำลังให้แก่ความต้านทาน 250  $\Omega$  หรือจะพูดอีกนัยหนึ่ง ได้โดยมีความหมายกัน คือ เครื่องกำเนิดพลังงานมองเห็นอิมพีแดนซ์ ขนาด 250  $\Omega$  ถ้าสายถูกตัดออกเสีย  $\lambda/4$  (ซึ่งคงเหลือ  $\lambda$  พอดี) โหลดของเครื่องกำเนิดไฟฟ้าก็จะมีค่าเท่ากับ

$$R = \frac{100}{0.1} = 1000 \Omega$$

หมายความว่าเมื่อมีคลื่นนิ่งปรากฏขึ้นในสายนำสัญญาณ อิมพีแดนซ์ที่มองเข้าไปทางเครื่องกำเนิดพลังงาน ที่ความถี่ใดๆ ขึ้นอยู่กับความยาวทางไฟฟ้าของสายนำสัญญาณเช่นเดียวกันกับอิมพีแดนซ์ของสายนำสัญญาณกับอิมพีแดนซ์ของโหลด

ในการที่จะถ่ายทอดกำลังงานจากเครื่องกำเนิดไปตามสายให้ได้มากที่สุดนั้นอิมพีแดนซ์ของทั้งโหลด และของสายจะต้องเท่ากัน เมื่อมีคลื่นนิ่ง เกิดขึ้น (นั่นหมายความว่า Load Impedance ไม่เท่ากับ  $Z_0$ ) ตามทฤษฎีนี้สามารถทำการสมดุลกันระหว่าง อิมพีแดนซ์ ของสายนำสัญญาณกับอิมพีแดนซ์ของเครื่องกำเนิดให้เท่ากันได้ โดยจะต้องเลือกใช้ความยาวของสายนำสัญญาณอย่างเหมาะสม ความยาวของสายเท่านั้นที่จะกำหนดประสิทธิภาพของการแมชชิง การเปลี่ยนความถี่ไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แม้เพียงเล็กน้อยจะทำให้มีการเปลี่ยนความยาวทางไฟฟ้าไปด้วย และจะเป็นเหตุให้เกิดมีอิมพีแดนซ์ไม่เท่ากัน

เมื่อสายนำสัญญาณถูกต่อที่ปลายด้วยความต้านทาน  $Z_0$  แล้วปัญหาอันยากยิ่งในการสมมูลย์ดังกล่าวจะไม่เกิดขึ้น ข้อสำคัญคือค่าอิมพีแดนซ์ของเครื่องกำเนิดกำลังจะต้องเท่ากับอิมพีแดนซ์ของสายนำสัญญาณในกรณีของการถ่ายทอดกำลังสูงสุด เพราะว่าอิมพีแดนซ์ของสายนั้นเท่ากันหมดทั้งสายไม่ว่าสายจะมีความยาวเท่าใด ซึ่งแสดงให้เห็นว่าไม่ต้องคำนึงถึงความยาวของสายส่งแต่อย่างใด

### 2.2.15 การเรโซแนนซ์



(ก) วงจรเรโซแนนซ์แบบขนาน (ข) วงจรเรโซแนนซ์แบบอนุกรม

#### รูปที่ 2.26 วงจรเรโซแนนซ์

วงจรเรโซแนนซ์แบบขนานมีคุณลักษณะดังต่อไปนี้

1) ณ จุดที่เรโซแนนซ์จะปรากฏว่าอิมพีแดนซ์ที่ปรากฏต่อแหล่งกำเนิดมีค่าความต้านทานสูงมาก วงจรที่ปราศจากการสูญเสียจะมีอิมพีแดนซ์เป็นอนันต์ และ ณ จุดที่ไม่ได้อยู่ในภาวะเรโซแนนซ์ อิมพีแดนซ์จะลดลงอย่างรวดเร็ว

2) ถ้าวงจรเรโซแนนซ์ถูกปรับความถี่ สูงกว่า ความถี่เรโซแนนซ์ กระแสไหลผ่านตัวเก็บประจุจะมีจำนวนมากกว่าที่ไหลผ่านในตัวเหนี่ยวนำเพราะเหตุว่า  $X_C$  จะลดลงเมื่อความถี่สูงขึ้น และ  $X_L$  จะเพิ่มขึ้นเมื่อความถี่สูงขึ้น

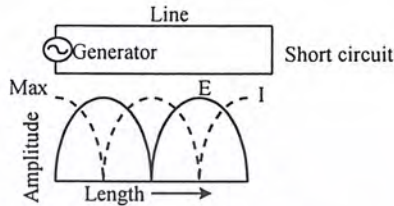
3) ถ้าวงจรเรโซแนนซ์ถูกปรับความถี่ต่ำกว่า ความถี่เรโซแนนซ์ กระแสไหลผ่านตัวเหนี่ยวนำจะมีจำนวนมากกว่าที่ไหลผ่านในตัวเก็บประจุ เพราะเหตุว่า  $X_C$  จะเพิ่มขึ้น เมื่อความถี่ต่ำลง และ  $X_L$  จะลดลงเมื่อความถี่ต่ำลง

วงจรเรโซแนนซ์แบบอนุกรม มีคุณลักษณะดังต่อไปนี้

1) ณ จุดที่เรโซแนนซ์จะปรากฏว่าอิมพีแดนซ์ที่ปรากฏต่อแหล่งกำเนิดมี ค่าความต้านทานต่ำมาก วงจรที่ปราศจากการสูญเสียจะมีอิมพีแดนซ์เป็นศูนย์ และ ณ จุดที่ไม่ได้อยู่ในภาวะ เรโซแนนซ์ อิมพีแดนซ์จะสูงขึ้นอย่างรวดเร็ว

2) ถ้าวงจรเรโซแนนซ์ถูกปรับความถี่ สูงกว่าความถี่เรโซแนนซ์แล้ว  $X_C$  จะมีค่าน้อยกว่า  $X_L$

3) ถ้าวงจรเรโซแนนซ์ถูกปรับความถี่ต่ำกว่าความถี่เรโซแนนซ์แล้วจะทำให้  $X_L$  มีค่าน้อยกว่า  $X_C$



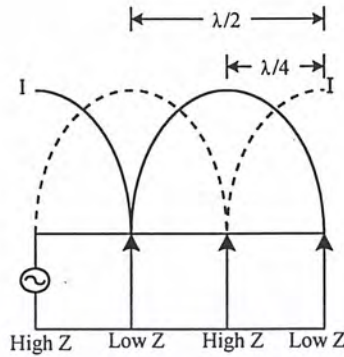
รูปที่ 2.27 คลื่นนิ่งในสายนำสัญญาณแบบปลายปิด

ตามรูปที่ 2.27 แสดงให้เห็นคลื่นนิ่งในสายนำสัญญาณปลายปิด ซึ่งมีความยาว  $\lambda/4$  โดยเป็นสายซึ่งถูกตัดวงจร ที่ปลายจะมีกระแสเป็นศูนย์ ณ ที่จุดอยู่ห่างจากปลาย  $\lambda/4$  ตามกรณีนี้ และกระแสที่เครื่องกำเนิด จึงเป็นศูนย์ และอิมพีแดนซ์ที่มองเข้าทางเครื่องกำเนิดจะพบว่ามีค่าสูงสุด

$$Z = \frac{E}{I} = \frac{E}{0} = \infty \quad (2.12)$$

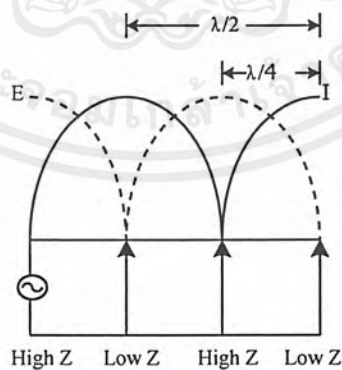
สายนำสัญญาณปลายเปิด  $\lambda/4$  นี้มีคุณลักษณะเช่นเดียวกันกับวงจรเรโซแนนซ์แบบขนาน เป็นการยากที่จะตรวจให้ว่าเป็นวงจรที่ประกอบด้วยตัวเหนี่ยวนำ กับ ตัวเก็บประจุ หรือเป็นสายนำสัญญาณปลายปิด  $\lambda/4$  วิธีเดียวกันนั้น คือ ต้องใช้เครื่องมือเข้าช่วย คือ ต่อวงจรขนานแอลซีเข้ากับเครื่องกำเนิดสัญญาณ แล้วต่อกับสายปลายเปิดอีกครั้งหนึ่ง ผลที่เกิดขึ้นทั้งสองครั้งพบว่าเหมือนกันทุกประการ โดยเฉพาะเมื่อเปลี่ยนค่าความถี่ของเครื่องกำเนิดสัญญาณสูงขึ้นและต่ำลง เมื่อเครื่องกำเนิดมีความถี่ต่ำกว่าจุดเรโซแนนซ์ของวงจรกระแสจะนำหน้าแรงดัน ณ จุดเรโซแนนซ์ กระแสจะเป็นศูนย์ หรือไม่กี่อาจมีกระแสเล็กน้อยซึ่งจะต้องมีเฟสเดียวกันกับแรงดัน ถ้าทำให้เครื่องกำเนิด

สัญญาณมีความถี่มากกว่าจุดเรโซแนนซ์ของวงจร กระแสจะมีปริมาณสูงขึ้น และเป็นกระแสที่ล่าหลังแรงดันด้วย



รูปที่ 2.28 คลื่นนิ่งของกระแส และแรงดันที่สายนำสัญญาณปลายเปิด

รูปที่ 2.28 แสดงให้เห็นถึงคลื่นนิ่งของกระแสและแรงดันในสายนำสัญญาณปลายเปิดที่ยาว  $\lambda/4$  ดังกล่าวแล้ว ณ ที่ซึ่งห่างจากปลายของสายนำสัญญาณปลายเปิด  $\lambda/4$  กระแสจะสูงสุดและแรงดันที่ต่ำสุดหมายความว่าที่เครื่องกำเนิดจะมีค่าสูงสุดของกระแสและแรงดันเป็นศูนย์ปรากฏอยู่ อิมพีแดนซ์ที่เข้าไปทางเครื่องกำเนิดจะทำกับ  $\frac{E}{I} = Zero$  นั่นคือ วงจรปลายเปิด ถ้าความถี่ของเครื่องกำเนิด ค่อยๆ เปลี่ยนแปลงไปทั้งสองทาง คือ ทั้งสูงขึ้นและต่ำลง เครื่องกำเนิดจะมีอยู่ ณ จุดซึ่งจะมีแรงดันเป็นศูนย์และกระแสสูงสุดอีกต่อไป และอิมพีแดนซ์ที่มีปฏิกิริยาต่อเครื่องกำเนิดจะสูงขึ้นอีกด้วย ณ ความถี่ต่ำกว่าจุดเรโซแนนซ์ กระแสจะนำหน้าแรงดันดังนั้นสายนำสัญญาณปลายเปิด  $\lambda/4$  จะมีวงจรจำลองทางไฟฟ้าเป็นวงจรเรโซแนนซ์แบบอนุกรม



รูปที่ 2.29 คลื่นนิ่งของกระแส และแรงดันที่เคลื่อนที่ไปตามสาย

จากรูป 2.29 แสดงให้เห็นได้ว่าการเคลื่อนที่ของกระแส และแรงดันไปตามสายจากเครื่องกำเนิดไปยังปลายสาย ค่าของกระแสค่อยๆ สูงขึ้น แต่ค่าของแรงดันจะค่อยๆ ลดลง นั่นคือ

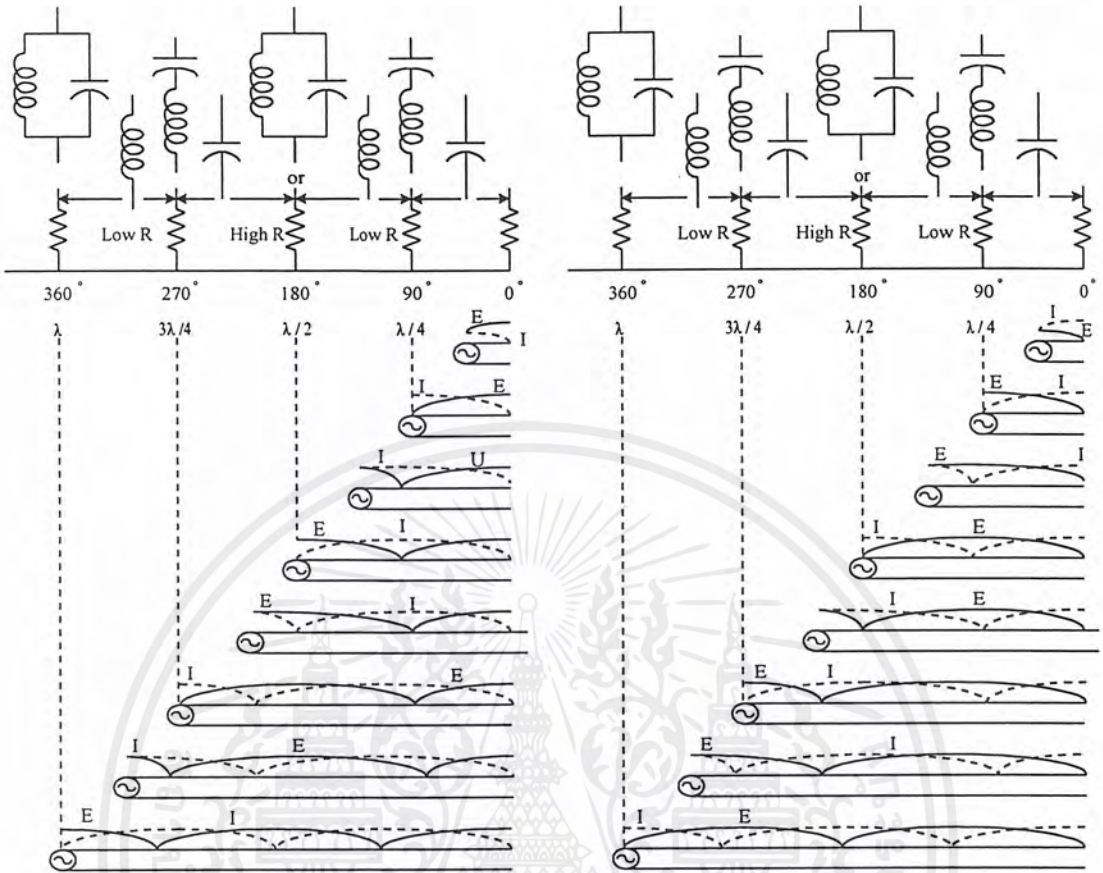
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันนำกระแสอยู่ 90 องศา และนี่ก็คือคุณลักษณะของวงจรซึ่งประกอบด้วยความเหนี่ยวนำ เรียกว่า วงจรเหนี่ยวนำ ซึ่งหมายความว่าสายนำสัญญาณปลายปิดซึ่งมีความยาวน้อยกว่า  $\lambda/4$  จะมีกิริยาเช่นเดียวกับความเหนี่ยวนำ โดยเหตุที่ อิมพีแดนซ์ลดลงเมื่อสายนำสัญญาณมีความยาวต่างกัน ความยาวแต่ละส่วนต่างๆ ของสายนำสัญญาณสามารถใช้แทนด้วยตัวเหนี่ยวนำขนาดต่างๆ กัน ซึ่งส่วนหนึ่งของสายนำสัญญาณปลายปิดที่มีความยาว  $\lambda/8$  จะมี  $X_L$  เท่ากับ ความต้านทานคุณลักษณะ  $Z_0$  ของสายนำสัญญาณ

จากรูปที่ 2.29 อาจแสดงให้เห็นได้เช่นเดียวกันว่านับจากเครื่องกำเนิดสัญญาณไปยังปลายสายนำสัญญาณ กระแสลดลง และแรงดันสูงขึ้น กระแสนำหน้าแรงดันอยู่ 90 องศา คุณลักษณะเช่นนี้เป็นคุณสมบัติของวงจรเหนี่ยวนำ ของสายนำสัญญาณปลายเปิดซึ่งมีความยาวน้อยกว่า  $\lambda/4$  ใช้แทนโดย ค่าเก็บประจุ นับจากเครื่องกำเนิดไปยังปลายสายอิมพีแดนซ์จะค่อยๆ สูงขึ้น ดังนั้นอิมพีแดนซ์ที่ปลายทั้งหมดทุกๆ จุดระหว่างจุด  $\lambda/4$  จากปลายและจุดปลายสามารถใช้ค่าของ  $X_C$  ขนาดต่างๆ กัน ทดแทนได้ส่วนหนึ่งของสายนำสัญญาณปลายเปิดซึ่งมีความยาว  $\lambda/4$  จะมีค่า  $X_C$  ประมาณเท่ากับ  $Z_0$  ของสายนำสัญญาณนั้น

ตามรูป 2.30 (ก) เป็นการแสดงคลื่นนิ่งที่ปรากฏในสายนำสัญญาณปลายปิด กระแสและแรงดันที่ส่งไปถูกกำหนดโดยเครื่องกำเนิด (คือความถี่) และ  $Z_0$  ของสายนำสัญญาณ ส่วนกระแสและแรงดันที่สะท้อนกลับจะถูกกำหนดโดยอิมพีแดนซ์ที่นำมาต่อยังปลายโหลด ผลรวมของแรงดันและกระแสทั้งสอง ทำให้เกิดคลื่นนิ่งของแรงดัน และกระแสดังกล่าว ซึ่งปรากฏเป็นคลื่นนิ่งในสาย ณ จุดใดๆ ในสายนำสัญญาณ อิมพีแดนซ์ที่ปรากฏแต่ละจุดขึ้นอยู่กับปริมาณของกระแส และจำนวนของแรงดัน ถ้าเป็นสายนำสัญญาณปลายปิดอิมพีแดนซ์ที่ปลายของสายจะเป็นศูนย์

ตามรูป 2.30 (ข) ณ ที่จุดซึ่งอยู่ห่างจากปลายสาย  $\lambda/4$  และกระแสจะมีปริมาณต่ำสุด และแรงดันสูงสุดนี้ ชี้ให้เห็นว่าอิมพีแดนซ์ที่ปรากฏ ณ จุดนี้มีค่าเป็นอนันต์  $\infty$  ที่จุดซึ่งอยู่ห่างจากปลายสาย  $\lambda/4$  ก็คงมีอยู่ในภาวะเดียวกันกับจุด 0 องศา  $\lambda/4$  กล่าวคือ อิมพีแดนซ์ที่ปรากฏจะมีค่าเป็นศูนย์ในการพิจารณาสายจากจุด 0 องศา ไปยังจุด 90 องศา กระแสจะค่อยๆ ลดลงในขณะที่ความถี่ของแรงดันก็ค่อยๆ สูงขึ้น ดังนั้น ปรากฏการณ์ของอิมพีแดนซ์ก็จะเพิ่มขึ้น และแรงดันต่ำลงเรื่อยๆ ดังนั้น ค่าปรากฏการณ์ของอิมพีแดนซ์จึงลดลงจากอนันต์ลงจนถึงศูนย์ คือ จากช่วง  $\lambda/4$  ถึง  $\lambda/4$



รูปที่ 2.30 แผนผังส่วนเส้นอิมพีแดนซ์

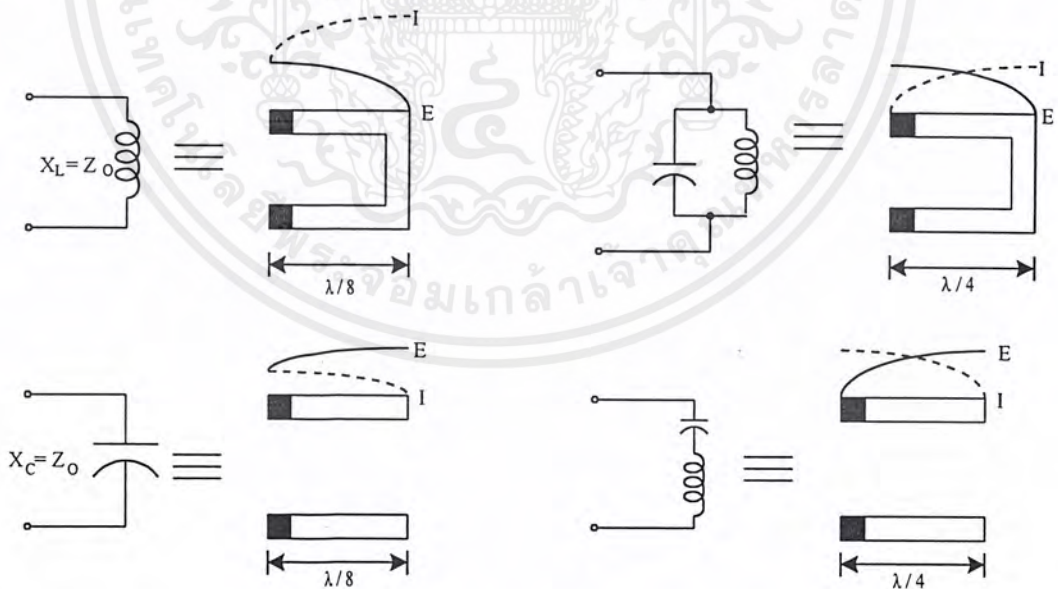
ที่ทุกๆ  $\lambda/4$  สายนำสัญญาณจะมีภาวะการผันกลับกันตลอดทั้งค่าของอิมพีแดนซ์ที่ปรากฏ จะมีค่าเท่ากันทุกๆ จุดคร่อมสายอีกด้วย ถ้านำเข้าไปต่อเข้ากับจุดใดจุดหนึ่งตามสายนำสัญญาณที่เป็นสายแบบเรโซแนนซ์อิมพีแดนซ์ที่เกิดขึ้นจะกระทำต่อเครื่องกำเนิด ภายหลังที่ได้เกิดมีการสะท้อนกลับของพลังงานแล้ว ก็คือค่าอิมพีแดนซ์ที่ปรากฏการณ์ของสายนำสัญญาณ ณ จุดนั้นนั่นเอง คลื่นนิ่งที่พบในสายนำสัญญาณเปิดแสดงให้เห็นดังรูปที่ 2.30 ในทำนองเดียวกันกับปลายปิด กระแส และแรงดันที่ส่งไปกำหนดโดยเครื่องกำเนิด และ  $Z_0$  ของสายผลรวมของคลื่นของแรงดัน และกระแสที่ตกกระทบกับคลื่นของแรงดัน และกระแสที่สะท้อนกลับทำให้เกิดคลื่นนิ่งของกระแส และแรงดัน ซึ่งปรากฏอยู่ในสายนำสัญญาณ

ที่ปลายของสายนำสัญญาณแบบปลายเปิดอิมพีแดนซ์จึงมีค่าเป็นอนันต์ที่  $\lambda/2$  จากปลายสายเข้ามา อิมพีแดนซ์จะเป็นอนันต์อีกครั้งแต่  $\lambda/4$  จากปลายของสายกระแสสูงสุด และแรงดันเป็นศูนย์ ดังนั้น ณ จุดนี้อิมพีแดนซ์จึงเป็นศูนย์

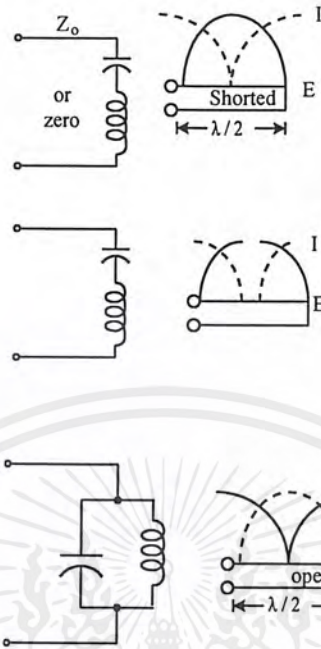
จากการเปรียบเทียบอิมพีแดนซ์ที่ปรากฏ ที่จุดต่างๆ ของสายนำสัญญาณปลายเปิดกับปลายปิดพบว่าในบางจุดของสายจะมีภาวะเหมือนกัน แต่อย่างไรก็ตามภาวะการณที่เหมือนกันของทั้งสองสายนี้ต้องเป็นจุดที่อยู่ห่างกัน  $\lambda/4$  เครื่องกำเนิดจะพบอิมพีแดนซ์ซึ่งมีค่าจุดเดียวกับกับเรโซแนนซ์แบบขนาน แต่ถ้าสายนำสัญญาณเป็นสายปลายเปิดเครื่องกำเนิดจะเท่ากับว่าได้ต่ออยู่ ณ จุดซึ่งห่างจากปลายเปิดนี้  $\lambda/2$  จึงจะได้รับอิมพีแดนซ์เป็นเรโซแนนซ์แบบขนาน ถ้าเครื่องกำเนิดถูกต่อ ณ จุดซึ่งห่างจากปลายสาย  $\lambda/4$  ของสายนำสัญญาณปลายเปิดอิมพีแดนซ์ที่เครื่องกำเนิดจะมีค่าเท่ากับจุดเดียวกับวงจรเรโซแนนซ์แบบอนุกรม ถ้าจะให้เครื่องกำเนิดกับอิมพีแดนซ์เป็นเช่นนี้ในสายนำสัญญาณแบบปลายเปิดจึงต้องต่อเครื่องกำเนิดนี้เข้าไปที่จุดซึ่งห่างจากปลายสาย  $\lambda/2$

ส่วนความยาวของสายนำสัญญาณทั้งปลายเปิดและปลายปิดจะนำไปใช้เป็นวงจรเรโซแนนซ์หรือเป็นวงจรรีเอกแตนซ์ได้ จากรูปที่ 2.30 เป็นรูปแสดงโดยรวมวงจรจำลองของสายนำสัญญาณซึ่งเป็นเรโซแนนซ์ด้วยควมยาวต่างๆ กัน

จากวงจรจำลองตามรูปที่ 2.31 นี้ สามารถทำจริงได้ในสายนำสัญญาณไม่ว่าจะมีความยาวเท่าใด เพราะคุณสมบัติประจำตัวของแต่ละส่วนความยาวของสายไม่มีวันเปลี่ยนแปลงเกินกว่าช่วง  $\lambda/2$  ตัวอย่าง สายนำสัญญาณเส้นหนึ่งยาว  $\lambda/8$  จะมีปฏิกิริยาเช่นเดียวกับสายนำสัญญาณยาว  $5\lambda/8$



รูปที่ 2.31 การกลับกันของคลื่นควอเตอร์เวฟ



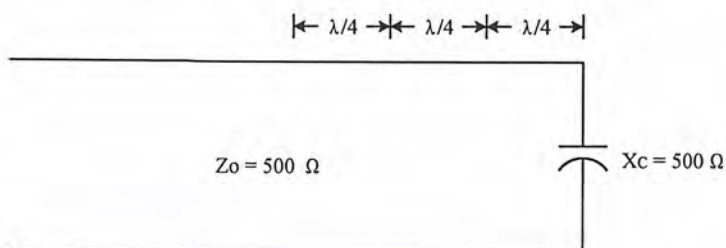
รูปที่ 2.31 (ต่อ) การกลับกันของคลื่นควอเตอร์เวฟ

### 2.2.16 รีแอกทีฟเทอร์มินันซ์

เมื่อต่อโหลดเข้าปลายสายของสายนำสัญญาณเป็นตัวความต้านทานธรรมดา กำลังงานทั้งหมดหรือบางส่วนที่ได้รับจากเครื่องกำเนิดจะถูกดูดกลืนไปในโหลดทั้งแรงดัน และกระแสที่ส่งไป บางส่วนอาจจะสะท้อนย้อนกลับเข้าหาเครื่องกำเนิด หรืออาจไม่มีเลย ทั้งนี้แล้วแต่ความสัมพันธ์ระหว่างขนาดของโหลดกับความต้านทานคุณลักษณะของสายนำสัญญาณ ความต้านทานที่เป็นความต้านทานบริสุทธิ์จะมีความสามารถในการดูดกลืนกำลังงานได้ดี ส่วนรีแอกแตนซ์สามารถเก็บสะสมพลังงานเข้าไว้ได้ตลอดเวลา  $1/4$  รอบคลื่น และส่งพลังงานนั้นกลับคืนให้แก่วงจรอีก  $1/4$  รอบคลื่น ต่อมา ถ้าตัวเหนี่ยวนำ หรือเก็บประจุต่อเข้ากับสายไฟฟ้า 100 โวลต์ จะไม่ทำให้เข็มของเครื่องวัด Watt hour หมุนไปเลย ถึงแม้บางครั้งจะมีกระแสไหลบ้างในตัวเหนี่ยวนำ และตัวเก็บประจุ ก็เนื่องมาจากการสูญเสียจากความต้านทานบางส่วนของลวดตัวนำที่นำมาใช้พันเป็นตัวเหนี่ยวนำ หรือไม่ก็เกิดความสูญเสียจากความต้านทานของไดอิเล็กตริกของตัวเก็บประจุ

เมื่อต่อความต้านทานเข้าที่ปลายสายนำสัญญาณพลังงานที่ส่งไป (กระแส และแรงดัน) ค่าเอสดีบีบลิวาร์ของสายนำสัญญาณนี้จะมีค่าเป็นอนันต์ ความแตกต่างระหว่างสายนำสัญญาณที่ถูกต่อด้วยตัวความต้านทานกับสายนำสัญญาณปลายเปิดหรือปลายปิดจะอยู่ที่ความต้านทานสามารถ

จะเก็บพลังงานไว้ได้ส่วนหนึ่งของรอบคลื่น ดังนั้นจึงทำให้เกิดการสะท้อนกลับเกิดสะท้อนกลับซ้ำกว่ากำหนดเป็นผลให้เกิดค่าแอสตัมบลิวาร์ขึ้นในสายที่ผิดตำแหน่ง



รูปที่ 2.32 ส่วนหนึ่งเส้นของสายนำสัญญาณ

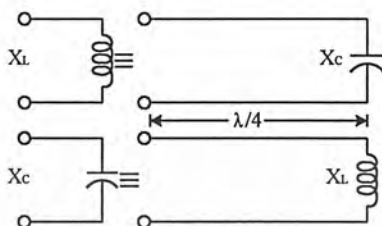
### 2.2.17 คอมเพล็กซ์เทอร์มินเนชัน

โหลดที่ปลายของสายนำสัญญาณ โดยปกติแล้ว ได้แก่ อุปกรณ์ชิ้นส่วนที่มีความต้านทานแต่บ่อยครั้งที่มีความต้านทานแฝงด้วย คือ เมื่อปรากฏว่าเกิดมีความต้านทานขึ้นจะทำให้โนดของคลื่นนิ่งเกิดเลื่อนที่ผิดพลาดไปจากตำแหน่งเดิมเมื่อเปรียบเทียบกับโนด เมื่อปลายของสายนำสัญญาณเป็นความต้านทานธรรมดา สมมติว่าสายนำสัญญาณเส้นหนึ่งมี  $Z_0$  เท่ากับ 500 โอห์มที่ต่อด้วยตัวความต้านทานซึ่งทำด้วยคาร์บอนมีค่า 500 โอห์ม สาเหตุเนื่องจากโครงสร้างของตัวต้านทานทำให้ดูเหมือนว่ามีความจุอยู่ซึ่งจะทำให้เกิดมี  $X_C$  ขึ้นในทางทฤษฎีวิเคราะห์วงจรปรากฏว่าต่อขนานอยู่กับความต้านทานยังผลให้อิมพีแดนซ์ของโหลดมีค่าต่ำกว่า 500 โอห์ม คลื่นนิ่งที่เกิดขึ้นไม่ใช่เป็นเพราะอิมพีแดนซ์มีค่าต่ำกว่า  $Z_0$  ของสายนำสัญญาณแต่เพียงอย่างเดียว แต่เป็นเพราะตัวความต้านทานโหลดที่มีความต้านทานต่ำกว่า  $Z_0$  จะทำให้คลื่นนิ่งที่เกิดขึ้นมีแรงดันที่โนดปรากฏที่โหลดภายใต้สภาวะดังกล่าว

ในการต่อ  $X_C$  ด้วยค่าที่ได้สัดส่วนเหมาะสมขนานเข้าไปกับโหลดสามารถจะทำลายปรากฏการณ์ของ  $X_C$  ได้ และจะทำให้โหลดปรากฏตัวเองเป็นความต้านทานบริสุทธิ์ 500 โอห์มพอดี

สมมติว่าความต้านทานประกอบด้วย ตัวเหนี่ยวนำที่ต่อแบบอันดับในกรณีที่ใช้เส้นลวดพันทำเป็นความต้านทานซึ่งเรียกว่า “Wire Wound Resister” โดยจะทำให้อิมพีแดนซ์รวมมีค่ามากกว่า 500 โอห์ม โหลดซึ่งมีความต้านทานที่มีค่ามากกว่า  $Z_0$  จะทำให้เกิดแรงดันที่โนดปรากฏที่จุดห่างจากปลายสายนำสัญญาณเป็นระยะทาง  $\lambda/4$  เมื่อตกอยู่ภายใต้ภาวะเช่นนี้ คือ มีค่าความต้านทานขนาดพอเหมาะอยู่ค่าหนึ่ง และรวมทั้งมี  $X_L$  ต่ออยู่อีกจำนวนหนึ่ง จึงทำโนดจุดแรกนี้เกิดเลื่อนไป  $\lambda/4$  จากปลายเข้าไปหาแหล่งกำเนิด ปรากฏการณ์ของ  $X_L$  สามารถที่จะกำจัดให้หมดสิ้นไป กลาย

เป็นค่าความต้านทานบริสุทธิ์โดยการใส่  $X_L$  ที่มีค่าเหมาะสมเข้าไปจึงจะเป็นการต่อแบบขนานหรืออันดับโวลต์ก็ได้



รูปที่ 2.33 คอมเพล็กซ์เทอร์มินัล

### 2.2.18 ความสูญเสียในสาย

เมื่อสายนำสัญญาณนำไฟฟ้ากระแสตรง หรือกระแสสลับที่มีความถี่ต่ำๆ กำลังงานจะสูญเสียไปในสายนำสัญญาณส่วนหนึ่งเนื่องมาจากความต้านทานภายในของสายนำสัญญาณ โดยความถี่ของกำลังงานที่ต้องการถ่ายทอดสูงขึ้นจะต้องคำนึงถึงการสูญเสียที่จะมีเพิ่มขึ้นอีกจากสาเหตุของการสูญเสียเนื่องมาจากผลกระทบจากพื้นผิว

ผลกระทบจากพื้นผิว คือ การที่ไฟฟ้ากระแสสลับของความถี่สูงๆ จะไหลอยู่ใกล้พื้นผิวของตัวนำ ทั้งนี้จะไหลผ่าน ไปเพียงบนพื้นที่ความหนาแน่นๆ ของพื้นที่ผิวของตัวนำนั้น จากเหตุผลนี้ทำให้เกิดผลกระทบจากพื้นผิว ความต้านทานของตัวนำ ด้วยเหตุนี้จึงทำให้เสมือนว่าเป็นการลดพื้นที่หน้าตัดของตัวนำลงไป ดังนั้นสามารถแก้ไขได้ด้วยการเพิ่มขึ้นของตัวนำให้ใหญ่ขึ้นตรงกลางตัวนำ อาจทำให้กลมได้ เพื่อเป็นการลดน้ำหนัก และปริมาณของวัสดุลงไป โดยยังคงทำงานได้ดี

การสูญเสียกำลังงานอีกอย่างหนึ่งในสายนำสัญญาณ คือ การสูญเสียจากสารไดอิเล็กตริก ซึ่งการสูญเสียจากสารไดอิเล็กตริก เกิดขึ้นระหว่างตัวนำทั้งสองของสารไดอิเล็กตริก (ฉนวนไฟฟ้า) ที่เป็นอากาศ ซึ่งโดยทั่วไปใช้ในความถี่สูงๆ เช่น สายนำสัญญาณของเรดาร์นั้นจะไม่ปรากฏการสูญเสียเลย แต่อย่างไรก็ตามสารไดอิเล็กตริกที่เป็นของแข็งมักจะนิยมใช้กันในสายนำสัญญาณในย่านความถี่ต่ำ ถ้าเอาความถี่สูงๆ ป้อนเข้าไปจะเกิดความร้อนเนื่องจากกระแสรั่วไหล แต่ ณ ความถี่ต่ำๆ ย่อมมีความร้อนเกิดขึ้นเมื่อใดก็ตามที่มีความร้อนเกิดขึ้นที่สารไดอิเล็กตริก ซึ่งหมายความว่า กำลังงานบางส่วนได้ถูกใช้หมดไปโดยสารไดอิเล็กตริก และกำลังงานนั้นก็สูญเสียไปเช่นเดียวกัน

เมื่อกระแสไหลผ่านเส้นลวดที่ไม่มีชีลด์ ย่อมมีทั้งสนามแม่เหล็ก และสนามไฟฟ้าเกิดขึ้นรอบๆ เส้นลวด สนามแม่เหล็ก และสนามไฟฟ้าทั้งสองจะทำให้เกิดการแพร่กระจายออกไปจากสาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อากาศ โดยเฉพาะในรูปแบบของพลังงานของสนามแม่เหล็ก กำลังงานบางส่วนต้องสูญเสียไปในสายเนื่องจากการแพร่กระจาย ถ้าสายไม่มีการชิลด์ คือ แทนที่จะแพร่กระจายที่สายอากาศ แต่จะแพร่กระจายที่สายส่ง การแพร่กระจายของสนามต่างๆ ในอากาศอาจไปเหนี่ยวนำทำให้เกิดแรงดันและกระแสชักนำขึ้นกับวัตถุที่เป็นโลหะ หรือวงจรส่วนต่างๆ ที่อยู่ใกล้เคียง กำลังงานที่ถูกชักนำให้เกิดขึ้นย่อมมาจากสายนำสัญญาณ และเป็นส่วนที่ทำให้เกิดการสูญเสียเพิ่มขึ้น

สรุปได้ว่า สายนำสัญญาณย่อมต้องมีการสูญเสียกำลังงานไปบ้าง แต่การสูญเสียดังกล่าวมาแล้วข้างต้นนั้นสำหรับสายบางชนิดอาจไม่มีเลยก็ได้

### 2.3 การใช้งานแอลซีดีโมดูล

การใช้งานแอลซีดีสำหรับการแสดงผลในเครื่องมือเครื่องใช้ต่างๆ ที่เป็นที่นิยมเนื่องจากความเหมาะสมหลายๆ ด้าน เช่น การใช้กระแสดำ สามารถแสดงผลเป็นตัวอักษรและตัวเลข หรือแสดงเป็นกราฟฟิค เป็นต้น แต่จะมีปัญหาในด้านวงจร คือ มีระบบการทำงานที่ซับซ้อน และหาอุปกรณ์ได้ค่อนข้างยากแต่ในปัจจุบันบริษัทผู้ผลิตแอลซีดีออกมาเป็นแบบ โมดูล คือ มีทั้งตัวแอลซีดีและส่วนควบคุมมาให้ครบเรียกว่าแอลซีดีโมดูลทำให้สามารถใช้งานได้ง่ายมากขึ้น

แอลซีดีโมดูลมีอยู่หลายชนิดหลายรุ่น และมีคุณสมบัติแตกต่างกันออกไป ซึ่งแบ่งออกได้เป็น 2 กลุ่มหลัก คือ

1. แบบคอตเมตริกซ์จะแสดงผลเป็นตัวอักษรขนาด 5x8 จุด และมีจำนวนตัวอักษร และบรรทัดแตกต่างกันในแต่ละรุ่น
2. แบบกราฟฟิคจะแสดงผลในแบบ Bit Map ก็คือสร้างเป็นภาพใดๆ ก็ได้ตามต้องการการใช้งาน โดยทั่วไปมักจะใช้แบบคอตเมตริกซ์ เนื่องมาจากจะราคาถูกกว่า และเพียงพอต่อการใช้งานส่วนใหญ่ คุณสมบัติของแอลซีดีโมดูลแบบคอตเมตริกซ์สามารถสรุปได้เป็นข้อๆ ดังนี้
  - 1) มีให้เลือกหลายรุ่นตามความต้องการใช้งาน โดยมีจำนวนตัวอักษรและบรรทัด แตกต่างกันไป
  - 2) ตัวอักษรแสดงด้วยคอตเมตริกซ์ ขนาด 5x8 จุด
  - 3) สามารถต่อเข้ากับระบบการใช้งานได้ 2 แบบ คือ แบบผังหน่วยความจำ และแบบผ่านพอร์ต 8255 ซึ่งจะใช้ขาสัญญาณทั้งหมด 14 เส้น
  - 4) การใช้งานง่าย และสะดวก ระบบเพียงแค่ส่งข้อมูลให้กับแอลซีดีโมดูลเท่านั้นข้อความก็จะปรากฏบนแผงแสดงผล และจะค้างไว้ตลอดทำให้ไม่ต้องเสียเวลาระบบ
  - 5) มีคำสั่งพิเศษสำหรับอำนวยความสะดวกมากมาย เช่น Clear Display Home Cursor On Off Blank Character และอื่นๆ อีก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 6) สามารถแสดงผลเป็นตัวอักษรภาษาอังกฤษ และตัวเลขได้ 160 ตัว และสัญลักษณ์พิเศษได้อีก 32 ตัว รวมทั้งสามารถกำหนดตัวอักษรที่ออกแบบเองได้อีก 8 ตัว
- 7) ใช้กระแสน้อย และมีน้ำหนักเบา ทำงานได้ด้วยไฟเลี้ยงเพียง 5 โวลต์ เท่านั้น

ตารางที่ 2.1 ขาสัญญาณของแอลซีดีโมดูล

ขา	สัญลักษณ์	ระดับ	หน้าที่
1	Vss	-	0 V GND.
2	Vcc	-	+5 V Power Supply
3	Vcc	-	+V For Liquid Crytral Drive
4	RS	H / L	Register Select H:Data Input L:Instruction Input
5	R / W	H / L	H:Data Read L:Data Write
6	E	H	Enable signal (L->H)
7	DB 0	H / L	Data Bus Bit 1
8	DB 1	H / L	Data Bus Bit 2
9	DB 2	H / L	Data Bus Bit 3
10	DB 3	H / L	Data Bus Bit 4
11	DB 4	H / L	Data Bus Bit 5
12	DB 5	H / L	Data Bus Bit 6
13	DB 6	H / L	Data Bus Bit 7
14	DB 7	H / L	Data Bus Bit 8

### 2.3.1 การเชื่อมต่อแอลซีดีโมดูลเข้ากับระบบไมโครคอนโทรลเลอร์

แอลซีดีโมดูลจะต่อเข้ากับระบบไมโครคอนโทรลเลอร์ได้ 2 แบบ คือ แบบฝั่งหน่วยความจำ และแบบผ่านพอร์ต 8255 ซึ่งทั้งสองแบบมีข้อดีข้อเสียแตกต่างกัน โดยแต่ละแบบมีหลักการดังนี้

#### 1) การต่อแบบฝั่งหน่วยความจำ

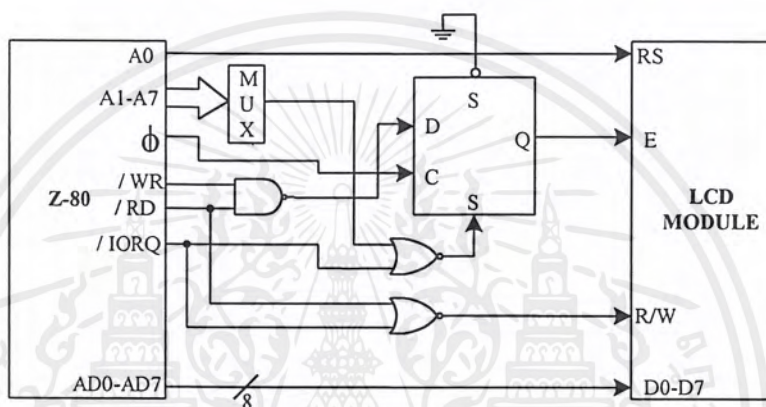
1.1) สามารถต่อเข้ากับชิพเบอร์ทั่วไปได้ เช่น 8051 หรือ Z80 โดยทั่วไปจะทำให้ระบบไมโครคอนโทรลเลอร์มองเห็นแอลซีดีโมดูลในลักษณะของหน่วยความจำได้ทันที

1.2) ผู้ใช้สามารถเขียน และอ่านข้อมูลได้จากแอสซีดีโมดูลได้ ทำให้มองเสมือนว่าเป็น Memory Buffer ไปในตัว

1.3) เนื่องจากสามารถอ่านข้อมูลกลับได้ จึงทำให้สามารถตรวจสอบเฟล็กสถานะในขณะที่แอสซีดีโมดูลกำลังทำงานได้

1.4) ใช้พื้นที่หน่วยความจำไปส่วนหนึ่ง และต้องมีการถอดรหัส ทีละเอียด

1.5) การจัดหาสัญญาณจะต้องเป็นไปตามแบบของชิพ



รูปที่ 2.34 การต่อแบบฝั่งหน่วยความจำ

## 2) การต่อแบบผ่านพอร์ต 8255 หรือการต่อแบบพอร์ตอินพุต / เอาต์พุต

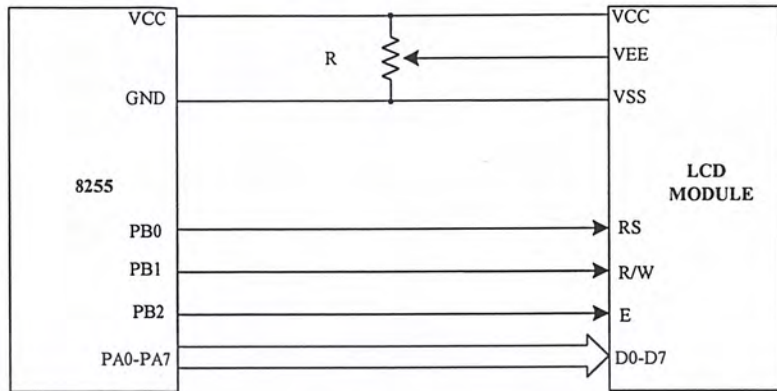
2.1) สามารถต่อเข้ากับพอร์ตอินพุต หรือเอาต์พุตใดๆ ก็ได้โดยใช้สายสัญญาณจำนวน 11 เส้น และใช้โปรแกรมเป็นตัวสร้างสัญญาณขึ้นมาให้ตรงกับค่าของแอสซีดีโมดูล

2.2) ผู้ใช้จะเขียนข้อมูลให้แอสซีดีโมดูลได้อย่างเดียว ซึ่งผู้ใช้ควรกำหนดตำแหน่งหน่วยความจำ ส่วนหนึ่งให้เสมือนบัฟเฟอร์ให้กับแอสซีดีโมดูล

2.3) เนื่องจากไม่สามารถอ่านข้อมูลกลับได้จึงต้องใช้การหน่วงเวลาของระบบเพื่อรอให้แอสซีดีโมดูลกระทำกระบวนการต่าง ๆ

2.4) ไม่เปลืองส่วนของหน่วยความจำ ในการใช้งาน

2.5) การจัดหาสัญญาณกระทำได้อย่างอิสระ



รูปที่ 2.35 การ ต่อแบบผ่านพอร์ต 8255

2.3.2 ชุดคำสั่งควบคุม และการแสดงข้อความ

ตารางที่ 2.2 รายละเอียดของชุดคำสั่งควบคุม

Instruction	R	R/ W	Data Bit								Exe. Time	
			7	6	5	4	3	2	1	0		
Clear Display	0	0	0	0	0	0	0	0	0	0	1	1640
Cursor At Home	0	0	0	0	0	0	0	0	0	1	*	1640
Entry Mode Set	0	0	0	0	0	0	0	0	1	I/D	S	40
Display On/Off	0	0	0	0	0	0	1	D	C	B		40
Display Shift	0	0	0	0	0	1	S/C	R/L	*	*		40
Funtion Set	0	0	0	0	1	DL	N	F	*	*		40
Set CGRAM Add.	0	0	0	1	CGRAM Address						40	
Set DDRAM Add.	0	0	1	DDRAM Address						40		
Busy,Add. Read	0	1	BF	Address						00		
CGRAM,DDRAM WR	0	0	Write Data						40			
CGRAM,DDRAM WR	1	1	Read Data						40			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาสัญญาณ  $V_{EE}$  มีไว้สำหรับกำหนดความเข้มของตัวอักษร โดยถ้าต่อกับกราวด์จะมีความเข้มสูงสุด แต่ถ้าต่อกับ  $V_{CC}$  จะมีความเข้มต่ำสุด ปกติแอลซีดีรุ่นธรรมดาอาจต่อกับกราวด์ไว้เลยก็ได้ ไม่ต้องใส่ VR ให้สิ้นเปลือง แต่ถ้าเป็นรุ่น STN (มุมมองกว้าง) ให้ใช้ความต้านทานค่า  $2\text{ k}\Omega$  ต่อลงกราวด์อีกทีเพื่อให้มีความเข้มที่เหมาะสม การเขียนหรืออ่านข้อมูลกับแอลซีดีโมดูล คือการกำหนดคุณสมบัติต่างๆ ในการใช้งานของแอลซีดีตามชุดคำสั่งควบคุม และรวมไปถึงการเขียนข้อมูลที่เป็นข้อความ เพื่อให้ปรากฏบนแผงแสดงผลด้วย โดยมีรายละเอียดดังตารางที่ 2.2

### 2.3.3 หลักการพื้นฐานของแอลซีดีโมดูล

1) การเขียนข้อมูลให้กับแอลซีดีโมดูลจะแบ่งเป็น 2 ลักษณะ คือ คำสั่ง และ ข้อมูล โดยกำหนดด้วยขาสัญญาณ RS คือ ถ้า  $RS = 0$  จะหมายถึงส่งสัญญาณควบคุม หรืออ่านค่าจากแฟล็กสถานะ สภาพการทำงานของแอลซีดีโมดูล และถ้า RS มีค่าเท่ากับ 1 จะหมายถึงการเขียนหรือการอ่านข้อมูลกับแอลซีดีโมดูล

2) หลักในการเขียนข้อมูลต่างๆ ให้กับแอลซีดีโมดูลนี้ คือ เมื่อมีการเขียนข้อมูลไปแล้ว แอลซีดีโมดูลจะต้องใช้เวลาในการทำงานชั่วขณะหนึ่งซึ่งระบบไมโครคอนโทรลเลอร์สามารถตรวจสอบได้จาก Busy Flag (BF) และถ้าเรียบร้อยแล้วจึงจะสามารถเขียนข้อมูลลำดับต่อไปได้ ในกรณีที่ต่อวงจรแบบพอร์ตอินพุต/เอาต์พุต คือ ไม่สามารถอ่านข้อมูลย้อนกลับได้ระบบไมโครคอนโทรลเลอร์จำเป็นต้องใช้วิธีการหน่วงเวลาแทน

3) การเขียนข้อมูลให้กับแอลซีดีโมดูลนี้สามารถทำได้ทั้งแบบ 8 บิต และ 4 บิต โดยแบบ 4 บิต จะใช้สายสัญญาณข้อมูลเพียง 4 เส้น คือ DB4 – DB7 การเขียนข้อมูลจะกระทำเหมือน 8 บิต แต่ต้องเขียน 2 ครั้ง คือ DB4 – DB7 ก่อนแล้วตามด้วย DB0 – DB3 และจะต้องกำหนดคุณสมบัติตามค่า DL ในคำสั่ง Function Set ด้วย

4) DDRAM (Display Data RAM) คือ หน่วยความจำภายในตัวแอลซีดีโมดูลที่เป็นบัพเฟอร์ของข้อมูล โดยถ้าเขียนรหัส ACSII ใดๆ ลงในหน่วยความจำนี้จะปรากฏที่แผงแสดงผลทันที

5) CGRAM (Character Generator RAM) คือ หน่วยความจำภายในตัวแอลซีดีโมดูลใช้เก็บภาพอักษรที่ผู้ใช้สามารถสร้างได้เอง โดยจะอ้างตำแหน่งหน่วยความจำได้ทั้งหมด 64 ไบต์ คือ 8 ตัวอักษร และ 8 แถว

### 2.3.4 รายละเอียดของแต่ละคำสั่ง

#### 1) Clear Display

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการ Clear Display จะทำการเขียนตัวอักษรว่างลงไปใน DDRAM ทั้งหมด และกำหนดค่าตำแหน่งหน่วยความจำ DDRAM ให้เป็น 0 พร้อมทั้งเลื่อนเคอร์เซอร์กลับไปยังตำแหน่งซ้ายบนสุดของจอภาพ

### 2) Cursor At Home

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	1	*

สำหรับค่าตำแหน่งหน่วยความจำ DDRAM ให้เป็น 0 พร้อมทั้งเลื่อนเคอร์เซอร์กลับไปยังที่อยู่ตำแหน่งซ้ายบนสุดของจอภาพ โดยข้อมูลใน DDRAM ไม่มีการเปลี่ยนแปลง

### 3) Entry Mode Set

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	1	I/D	S

I/D = 0 กำหนดทิศทางของเคอร์เซอร์ และ DDRAM ให้เป็นแบบ Decrement I/D = 1

กำหนดทิศทางของเคอร์เซอร์ และ DDRAM ให้เป็นแบบ Increment

S = 0 เมื่อเขียนข้อมูลแล้ว ตัวเคอร์เซอร์ จะถูกเลื่อนไปในทิศทางของค่า I/D

S = 1 เมื่อเขียนข้อมูลแล้ว ตัวเคอร์เซอร์ จะอยู่กับที่ และตัวอักษรจะไปในทิศทางของค่า I/D

การกำหนด I/D และ S นี้ให้กำหนดก่อนการเขียนข้อมูลใน DDRAM และเมื่อกำหนดแล้ว จะไม่ต้องใช้คำสั่ง Clear Display อีก

### 4) Display On/Off

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	1	D	C	B

D = 0

กำหนดให้ Off Display

- D = 1      กำหนดให้ On Display  
 C = 0      กำหนดให้ Off Cursor  
 C = 1      กำหนดให้ On Cursor โดยเคอร์เซอร์จะเป็นเส้นขีดได้ตัวอักษร  
 B = 0      กำหนดให้ไม่มีการกระพริบที่ตำแหน่งเคอร์เซอร์  
 B = 1      กำหนดให้มีการกระพริบที่ตำแหน่งเคอร์เซอร์ (เป็นรูปสี่เหลี่ยม)

### 5) Display Shift

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	1	S/C	R/L	*	*

- S/C = 0      กำหนดให้เลื่อนเคอร์เซอร์ตามทิศทาง R/L ไป 1 ตำแหน่ง  
 S/C = 1      กำหนดให้เลื่อนข้อความบนแผงแสดงตามทิศทาง R/L ไป 1 คอลัมน์  
 R/L = 0      กำหนดให้มีทิศทางไปทางซ้าย  
 R/L = 1      กำหนดให้มีทิศทางไปทางขวา

### 6) Function Set

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	1	DL	N	F	*	*

- DL = 0      กำหนดให้การติดต่อกับแอลซีดี โมดูลเป็นแบบ 4 บิต  
 DL = 1      กำหนดให้การติดต่อกับแอลซีดี โมดูลเป็นแบบ 8 บิต  
 N = 0      กำหนดจำนวนบรรทัดแบบ 1/16 Duty  
 F = 0      กำหนดให้ตัวอักษรเป็นแบบ 5 x 7 จุด  
 F = 1      กำหนดตัวอักษรเป็นแบบ 5 x 10 จุด

### 7) Set CGRAM Address

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	1	CGRAM Address						

สำหรับการกำหนดตำแหน่งของ CGRAM เมื่อได้ทำการกำหนดไว้แล้วการอ่านและเขียนข้อมูลที่จะเป็นไปตามตำแหน่งที่กำหนดทันที

#### 8) Set DDRAM Addresss

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	1	DGRAM Address						

การกำหนดตำแหน่งของ DDRAM เมื่อได้ทำการกำหนดไว้แล้วการอ่านและเขียนข้อมูลที่จะเป็นไปตามตำแหน่งที่กำหนดทันที

#### 9) Busy Flag and Address Read

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	1	DGRAM Address						

สำหรับการอ่านค่า Busy Flag ซึ่งบอกถึงความพร้อมของแอลซีดีโมดูลในการรับข้อมูล ถ้า BF = 0 หมายความว่าพร้อมที่จะรับข้อมูลต่อไปได้ ถ้า BF = 1 หมายความว่ายังไม่พร้อมนอกจากนี้ยังเป็นการอ่านค่าตำแหน่งของ CGRAM หรือ DDRAM ด้วย

#### 10) Write Data to CGRAM or DDRAM

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	0	Data							

การเขียนข้อมูลลงบนหน่วยความจำ CGRAM หรือ DDRAM โดยเมื่อทำการเขียนแล้วตำแหน่งจะถูกเพิ่มหรือลดลงโดยอัตโนมัติตามที่กำหนดจากค่า I/D ในคำสั่ง Entry Mode Set และการเขียนจะเป็น CGRAM หรือ DDRAM ขึ้นกับว่าก่อนหน้าคำสั่งนี้มีการกำหนดตำแหน่งที่ใด

#### 11) Read Data to CGRAM or DDRAM

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	1	Data							

การอ่านข้อมูลลงบนหน่วยความจำ CGRAM หรือ DDRAM โดยเมื่อทำการเขียนแล้ว ตำแหน่งจะถูกเพิ่มหรือลดลงโดยอัตโนมัติตามที่กำหนดจากค่า I/D ในคำสั่ง Entry Mode Set และการเขียนจะเป็น CGRAM หรือ DDRAM ขึ้นกับว่าก่อนหน้าคำสั่งนี้มีการกำหนดตำแหน่ง ที่ใด

ตารางที่ 2.3 ตำแหน่งของหน่วยความจำของแอลซีดี ขนาด 2 แถวที่ใช้งานจริง

00H	01H	02H	03H	04H	05H	06H	07H	08H	09H	0AH	0BH	0CH	0DH	0EH	0FH
40H	41H	42H	43H	44H	45H	46H	47H	48H	49H	4AH	4BH	4CH	4DH	4EH	4FH

## 2.4 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล

การทำงานของไอซีตัวเดียวจำเป็นต้องอาศัยสัญญาณดิจิทัลในการควบคุมการทำงานและประมวลผลเมื่อมีความจำเป็นต้องใช้งาน ไอซีตัวเดียรร่วมกับสัญญาณแอนะล็อก ต้องอาศัยกระบวนการเปลี่ยนแปลงสัญญาณแอนะล็อกเป็นดิจิทัลหรือวงจรดีทิวเอเข้ามาช่วย โดยวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลที่ใช้งานกันอยู่ทั่วไปดังต่อไปนี้

### 2.4.1 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบแฟลช

วงจรเอชดีแบบนี้ใช้หลักการง่าย ๆ อีกทั้งยังเป็นวิธีที่เร็วที่สุด คือ ใช้วงจรเปรียบเทียบที่ต่อขนานกันในรูปแบบที่ 2.36 ประกอบด้วยออปแอมป์ต่อเป็นวงจรเปรียบเทียบ และตัวต้านทานที่เอาต์พุตไว้เพื่อแบ่งแรงดันที่ขาอินพุตแบบกลับเฟสให้มีขนาดต่างๆ โดยจากหลักการของวงจรเปรียบเทียบทั่วๆ ไป เมื่อแรงดันอินพุตแบบไม่กลับเฟส มีค่าแรงดันสูงกว่าที่ขาอินพุตแบบกลับเฟส เอาต์พุตจะได้แรงดันค่าสูงสุดดังตารางที่ 2.4 ซึ่งผลในตารางที่ 2.4 นั้นเป็นการเปรียบเทียบค่าระดับสัญญาณที่ได้โดยมีการกำหนดค่าอินพุตให้มีค่าเป็นแรงดันขนาดคงที่ตามขนาดของค่าอินพุตของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบวงจรขนาน

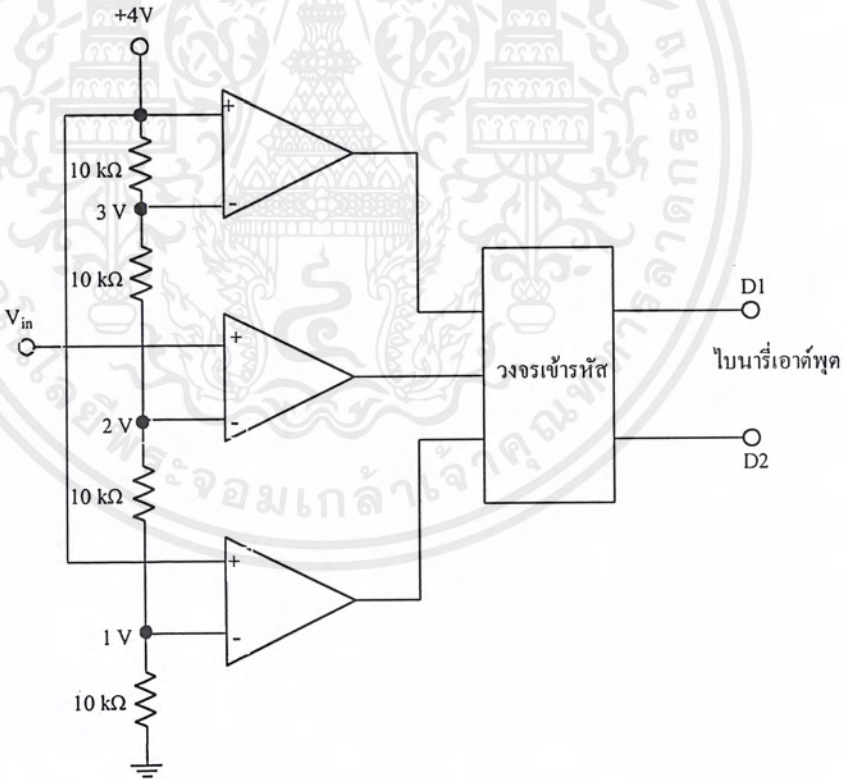
เมื่อต้องการวงจรที่มีความละเอียดสูงขึ้น จำเป็นต้องใช้วงจรเปรียบเทียบเพิ่มขึ้น เช่น ถ้าต้องการความละเอียด 3 บิต ต้องใช้วงจรเปรียบเทียบ 7 ตัว ความละเอียด 4 บิต ต้องใช้วงจรเปรียบเทียบ 15 ตัว (16 ระดับ) เป็นต้นโดยหาวงจรเปรียบเทียบได้จาก 2 ถึง 1 เมื่อ N แทนจำนวนบิต หรือความละเอียดที่ต้องการ

จะเห็นได้ว่าที่ความละเอียด 8 บิตนี้ ต้องใช้วงจรเปรียบเทียบมากถึง 255 ตัว ซึ่งเป็นข้อเสียของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบนี้ ข้อเสียอีกประการหนึ่ง คือ เอาต์พุตที่ไม่ได้เป็นเลขฐานสองต้องมีการเพิ่มเติมไปทำการเข้ารหัส ข้อดีของวงจรเอชดีแบบนี้ คือ ความเร็ว

สูงมาก บางครั้งจึงเรียกวงจรลักษณะนี้ว่า แฟลชจะทำให้วงจรชนิดนี้ใช้เวลาในการแปลงได้เร็วในระดับนาโนวินาที

ตารางที่ 2.4 สัญญาณเอาต์พุตของวงจรเปรียบเทียบขนาน

แรงดันอินพุต $V_{in}$ (โวลต์)	เอาต์พุตของวงจรเปรียบเทียบ			เอาต์พุตเลขฐานสอง	
	A1	A2	A3	D1	D2
0-1	0	0	0	0	0
1-2	1	0	0	0	1
2-3	1	1	0	1	0
3-4	1	1	1	1	1



รูปที่ 2.36 การต่อวงจรเปรียบเทียบแบบขนาน หรือแบบแฟลช

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

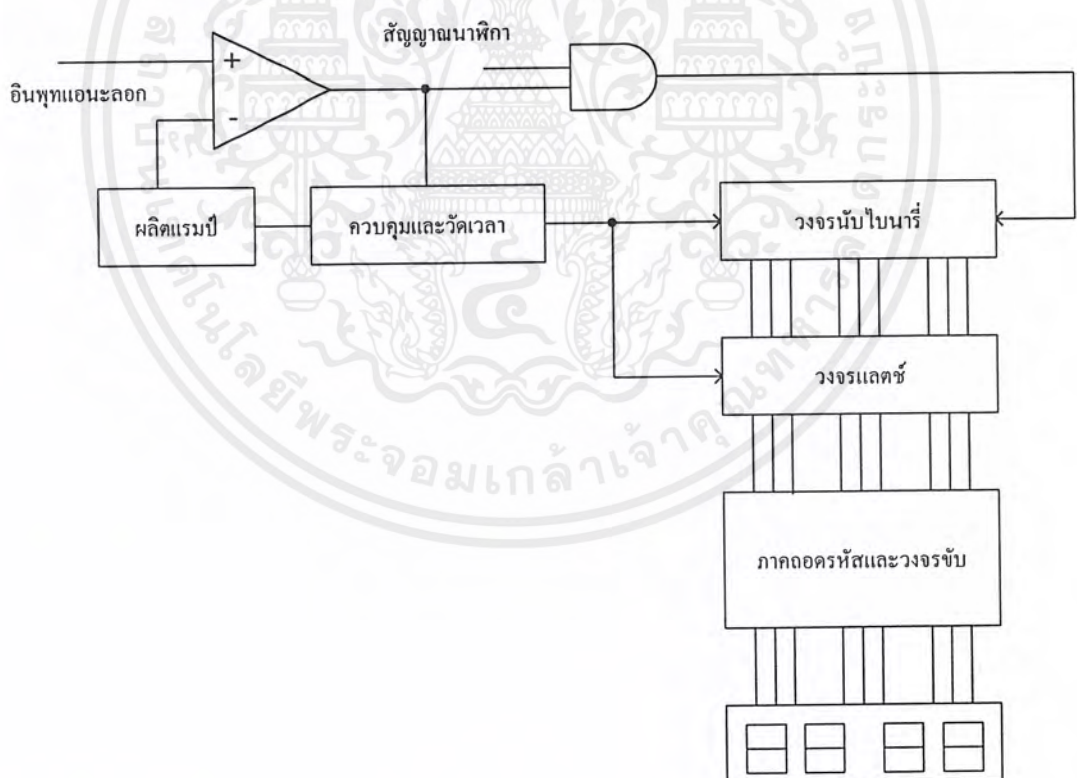
### 2.4.2 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลที่ใช้ในการอินทรีเกรต

วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลที่ใช้เทคนิคการอินทรีเกรตสัญญาณมี 4 แบบ คือ

- 1) วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบสโคปหรือแบบแรมป์เดียว

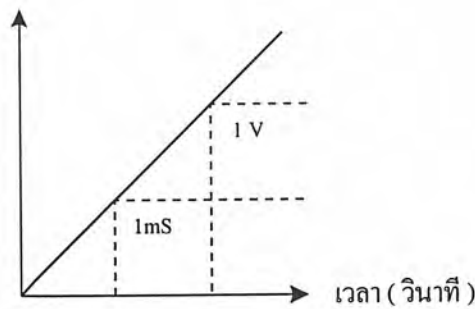
วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบนี้แสดงได้ดังรูปที่ 2.37 ประกอบด้วยวงจรกำเนิดสัญญาณขั้นบันได วงจรเปรียบเทียบ และวงจรรนับ BCD หรือนับเลขฐานสอง

เมื่อเริ่มทำการเปลี่ยนสัญญาณ สัญญาณขั้นบันได และวงจรรนับจะถูกปรับให้มีค่าเป็นศูนย์ แรงดันแอนะล็อกถูกป้อนไปยังวงจรเปรียบเทียบทางเข้าแบบไม่กลับเฟส เมื่อแรงดันขาเข้าที่ขา นั้นเป็นบวกมากกว่าที่แรงดันขาเข้าแบบกลับเฟส วงจรเปรียบเทียบให้ระดับขาออกเป็นระดับ 1 ทำให้ ไอซีแอนค้เกตปล่อยสัญญาณนาฬิกาไปยังวงจรรนับได้ และทำให้สัญญาณขั้นบันไดมีแรงดันเป็นบวกมากขึ้นเรื่อยๆ จนมากกว่าระดับแรงดันขาเข้า ระดับแรงดันขาออกจากวงจรเปรียบเทียบจะตกเป็นระดับที่ 0 บิต แอนค้เกตไม่มีสัญญาณผ่านมาในวงจรรนับ วงจรรนับจะหยุดนับ และเก็บค่าไว้ที่ วงจรแลตซ์ จากนั้นจึงทำการปรับวงจรรนับและวงจรรกำเนิดสัญญาณขั้นบันได



รูปที่ 2.37 แผนผังการทำงานของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบสโคปเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.38 ความชันของสัญญาณขั้นบันได

วงจรในลักษณะนี้มักนำไปใช้งานในการเปลี่ยนเวลาเป็นขนาดของสัญญาณ หรืออาจใช้ในดิจิตอลโวลต์มิเตอร์แต่ไม่ใช่กับงานที่ต้องการความถูกต้องสูงหรือการใช้งานที่ต้องการความละเอียดมากในการใช้งานเนื่องจากการเปลี่ยนแปลงในแหล่งกำเนิดสัญญาณขั้นบันไดขึ้นกับอุณหภูมิ และผลตอบสนองต่อสัญญาณขาเข้า ทำให้ไม่มีความดันคงที่ ดังนั้น จึงเป็นการปรับปรุงพัฒนาให้วงจรมีเสถียรภาพเพิ่มขึ้น สามารถใช้ในวงจรที่ต้องการความถูกต้องสูงได้ สามารถขจัดขบวนการสูญเสียเนื่องจากการเปลี่ยนแปลงอุณหภูมิที่เกิดขึ้นให้ดีขึ้นจึงกลายเป็นวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลที่ใช้การอินทรีเกรตแบบสโคปคู่ที่มีการทำงานที่ไม่ยุ่งยาก และมีการทำให้ประสิทธิภาพสูงสุดในการทำงาน ซึ่งเป็นวงจรที่มีลักษณะเหมาะสมในการใช้งาน การออกแบบไม่มีความยุ่งยาก ผลกระทบทางอุณหภูมิมีน้อยกว่าวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบอื่นๆ มาก

## 2) วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบสโคปคู่

รูปที่ 2.39 แสดงผังการทำงานของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลสโคปคู่ วงจรส่วนใหญ่คล้ายกับแบบสโคปเดี่ยว ซึ่งมีสวิตช์ที่ขาเข้าเพิ่มเติม เพื่อทำการเลือกกระหว่างค่าแรงดันขาเข้ากับแรงดันอ้างอิง ซึ่งวงจรเปรียบเทียบกับขาเข้ากับอินพุตกลับเฟสกันแบบสโคปเดี่ยว

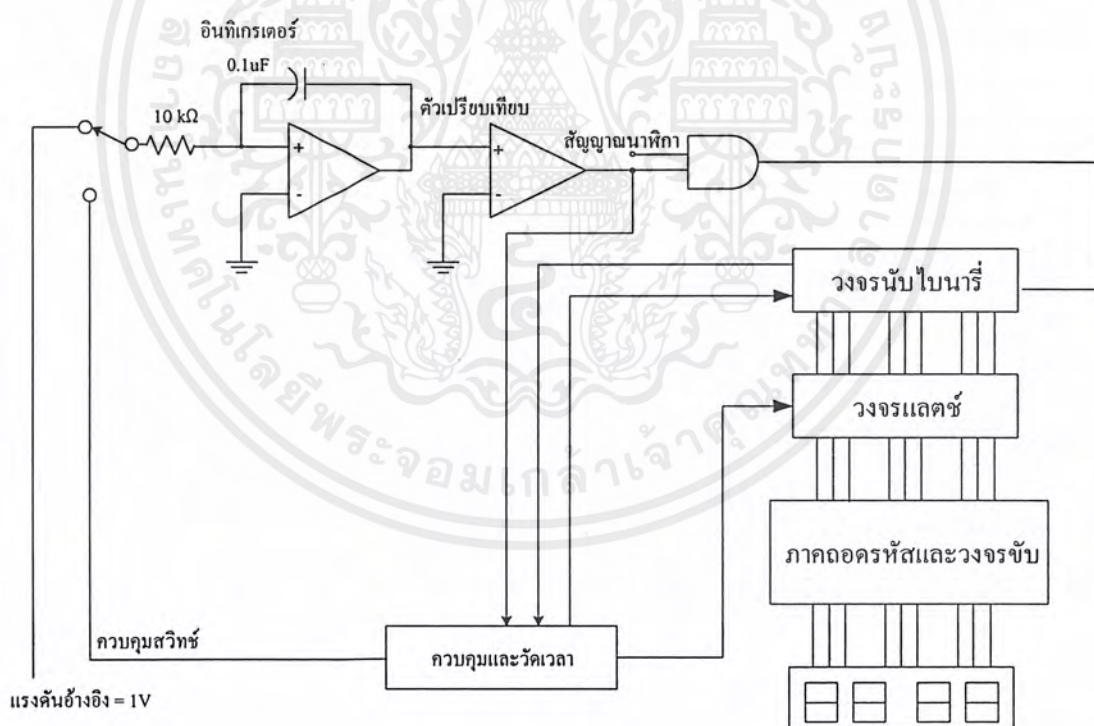
ส่วนแรกของวงจร คือ วงจรกำเนิดสัญญาณขั้นบันได หรือวงจรอินทรีเกรต ที่แรงดันระดับขาเข้าแบบกลับของออปแอมป์ที่มีสภาพเป็นกราวด์เสมือน ถ้ามีแรงดันขาเข้ามีค่า 2 โวลต์ จะได้กระแสไหลผ่านตัวต้านทาน 10 กิโลโอห์ม เท่ากับ 0.2 มิลลิแอมป์ ไปยังจุดรวม เนื่องจากค่าความต้านทานอินพุตของออปแอมป์นั้นสูงมาก กระแสที่ไหลจึงเกิดขึ้นผ่านตัวเก็บประจุ

ขณะที่ตัวเก็บประจุทำการเก็บประจุแรงดันที่ขาเข้าของออปแอมป์จะยังเป็นลบมากขึ้นเรื่อยๆ เพื่อรักษาระดับกระแสให้คงที่ แรงดันที่ตกคร่อมตัวเก็บประจุจึงได้เป็นสัญญาณขั้นบันไดที่มีลักษณะเป็นเชิงเส้น

ถ้าแรงดันอินพุตเป็นบวก วงจรอินทรีเกรตจะให้แรงดันขาออกเป็นสัญญาณขึ้นบันไดทางลบ ดังแสดงไว้ในช่วง  $t_1$  ดังรูปที่ 2.39 หากแรงดันขาเข้าเป็นลบ ทำให้แรงดันขาออกได้แรมป์ทางบวก

จากวงจรในรูปที่ 2.39 เมื่อสวิตช์ต่อกับสัญญาณอินพุตจะทำให้มีแรงดันบวกจากขาเข้าป้อนเข้าสู่วงจรมินิอินทรีเกรต ได้แรงดันขาออกเป็นสัญญาณขึ้นบันไดทางลบ วงจรเปรียบเทียบจะได้แรงดันลบจากวงจรมินิอินทรีเกรตอร์ แล้วให้แรงดันออกเป็นบวก ทำการเปิดแอนด์เกต ให้สัญญาณนาฬิกาเข้าสู่วงจรมินิอินทรีเกรตอร์ วงจรมินิอินทรีเกรตอร์จะนับไปยังค่าที่กำหนดไว้คงที่  $t_1$  แล้วทำการสวิตช์ต่อเข้ากับแรงดันอ้างอิง ในช่วงที่วงจรมินิอินทรีเกรตอร์นับด้วยค่าคงที่นั้น

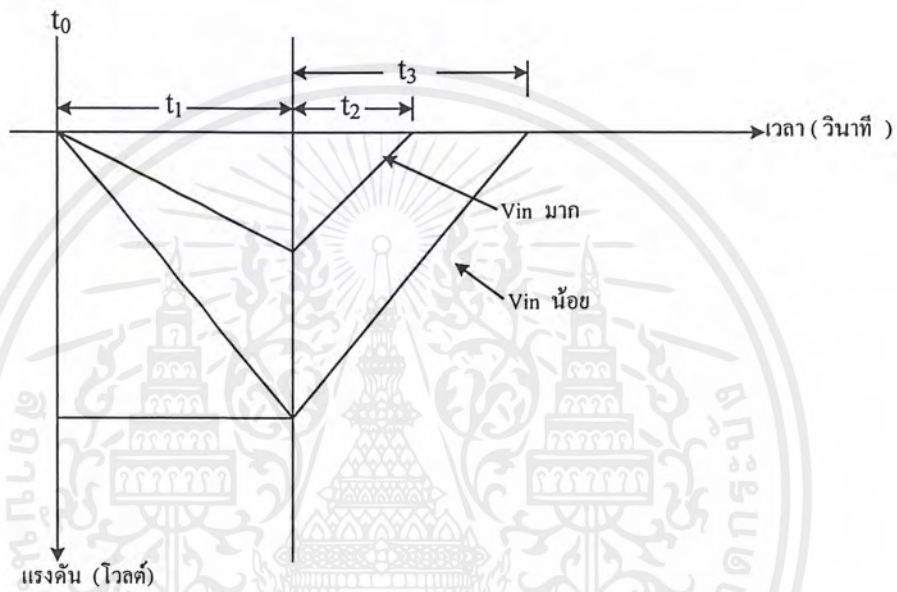
วงจรมินิอินทรีเกรตอร์จะให้สัญญาณขึ้นบันไดทางลบ ที่มีค่าได้สูงสุดตามแต่ระดับขาเข้า เมื่อทำการสวิตช์ขาเข้าของวงจรมินิอินทรีเกรตอร์ทำให้ได้แรงดันอ้างอิงค่าลบ แรงดันของวงจรมินิอินทรีเกรตอร์จึงได้เป็นสัญญาณขึ้นบันไดทางบวก คือ ช่วง  $t_2$  ในรูปที่ 2.40 พร้อมกับปรับค่าของวงจรมินิอินทรีเกรตอร์ลงเป็นศูนย์เพื่อเริ่มนับใหม่



รูปที่ 2.39 แผนผังการทำงานของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบสโคปคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแรงดันขาออกของวงจรอินทรีเกรเตอร์เพิ่มขึ้นจนถึง แรงดันศูนย์อีกครั้งแรงดันขาออกของวงจรเปรียบเทียบกับจะเป็นลบ หรือเป็นศูนย์วงจรควบคุมจัดการเปลี่ยนแปลงอันนี้ ได้ส่งสัญญาณสโตรบให้วงจรนับเก็บค่าที่ได้ไว้ที่วงจรเก็บค่าจากนั้นจึงปรับให้เป็นศูนย์แล้วทำการสวิตช์ให้แก่ค่าอินพุตของวงจรอินทรีเกรเตอร์ต่อกับแรงดันอินพุต ซึ่งเป็นการเริ่มเปลี่ยนสัญญาณอีกรอบหนึ่งจำนวนที่นับได้ที่เก็บค่าจะเป็นสัดส่วนโดยตรงกับแรงดันขาเข้า  $V_{in}$



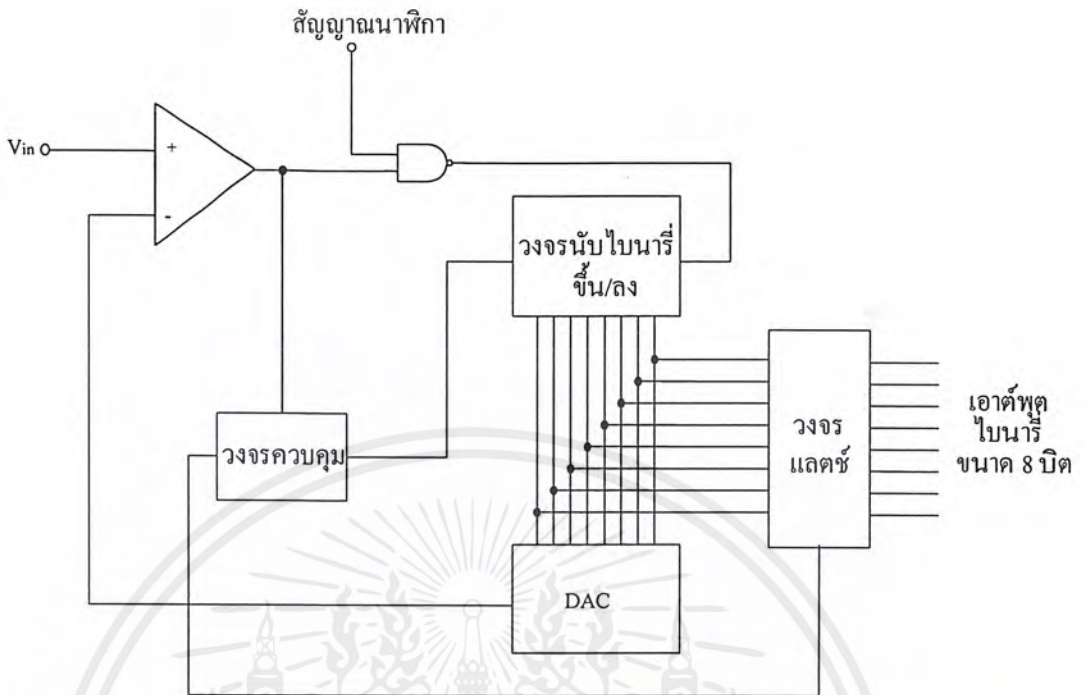
รูปที่ 2.40 แรงดันขาออกของวงจรอินทรีเกรเตอร์เทียบกับเวลา

ข้อดีของวงจรแปลงสัญญาณแบบสโตบคือ คือ ความถูกต้องสูง ราคาถูก เสถียรภาพทางด้านอุณหภูมิ ข้อเสีย คือ ความเร็วต่ำ ในการเปลี่ยนแปลงสัญญาณ 1 ครั้ง อาจใช้เวลาถึง 100 มิลลิวินาที ในขณะที่แบบเฟลซใช้เวลาประมาณ 30 มิลลิวินาที

### 3) วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบประจุมวล

วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบประจุมวล ใช้วงจรสำคัญคล้ายกับแบบสโตบ แต่แทนที่จะใช้ขาเข้าสวิตช์ไปมาระหว่างแรงดันที่ไม่รู้ค่ากับแรงดันอ้างอิง จะทำการแทรกพัลส์ของกระแสอ้างอิงมาโดยตรงที่จุดรวมของวงจรอินทรีเกรเตอร์ในช่วงเวลาที่คงที่ โดยที่จำนวนของพัลส์จะเป็นสัดส่วนโดยตรงกับแรงดันอินพุตที่ไม่รู้ค่า ประโยชน์ของเทคนิคนี้ คือ ค่าแรงดันตกคร่อมตัวเก็บประจุของวงจรอินทรีเกรเตอร์จะมีค่าใกล้เคียงศูนย์โวลต์ ดังนั้น ทำให้ไม่เกิดการผิด





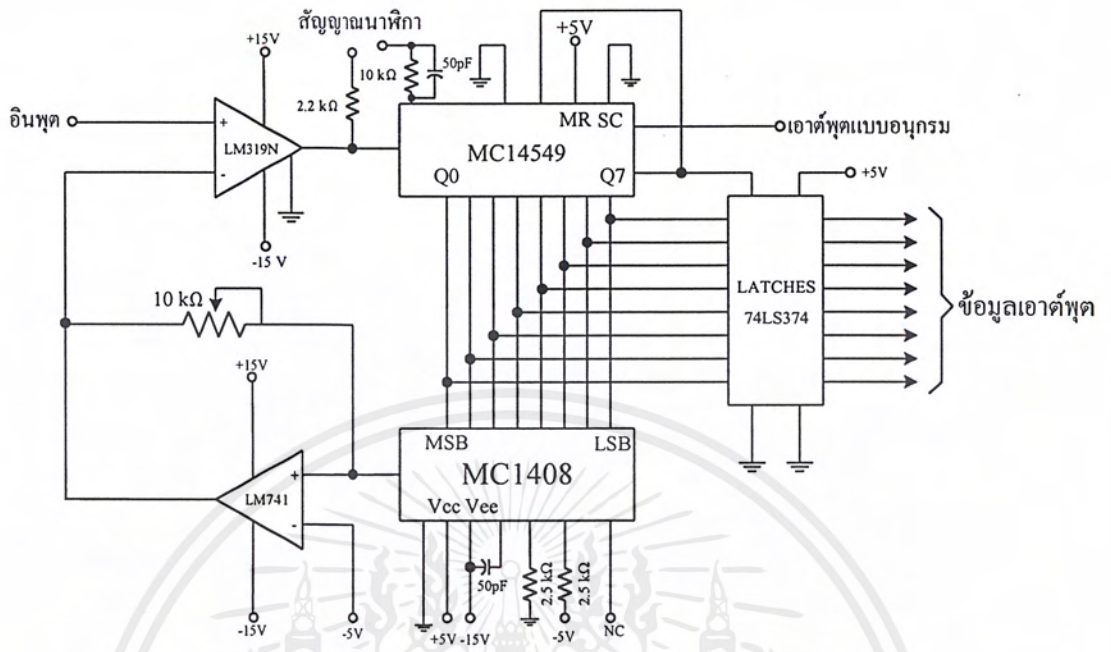
รูปที่ 2.42 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลที่สร้างขึ้นจากวงจรถวบคุม และ วงจรแปลงสัญญาณดิจิตอลเป็นแอนะล็อก

## 2) วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบการปรับค่า

วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบนี้ มีข้อได้เปรียบทางด้านความละเอียด เพราะมีความละเอียดเป็น  $n$  บิต สามารถกำหนดได้จากสัญญาณนาฬิกา  $n$  ลูก เช่น วงจรแปลงขนาด 8 บิต ต้องการพัลส์นาฬิกา 8 ลูก ในขณะที่แบบใช้วงจรถวบคุมต้องการพัลส์ถึง 256 ลูก วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบประมาณค่าแสดงดังรูปที่ 2.42

### 2.4.4 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบการสุ่ม และการคงค่า

วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลต้องการเวลาในการแปลงสัญญาณหรือที่เรียกว่า Conversion Time เพื่อเปลี่ยนสัญญาณแอนะล็อกเป็นดิจิตอลที่เหมาะสม ถ้าสัญญาณแอนะล็อกมีการเปลี่ยนแปลงในระหว่างช่วงเวลาการแปลงเอาต์พุตของค่าวงจรเปลี่ยนสัญญาณ อาจเกิดความผิดพลาด จึงต้องป้องกันด้วยการสุ่ม และค่าคงสัญญาณ เพื่อให้จับค่าของสัญญาณแอนะล็อกที่จุดเริ่มของการเปลี่ยนสัญญาณแล้วเก็บไว้ ตัวเก็บประจุระหว่างช่วงเวลาการแปลงหลังจากการเปลี่ยนสัญญาณเสร็จสิ้นจึงจับค่าสัญญาณแอนะล็อกค่าใหม่มาเก็บไว้อีกครั้ง เป็นเช่นนี้เรื่อยไป



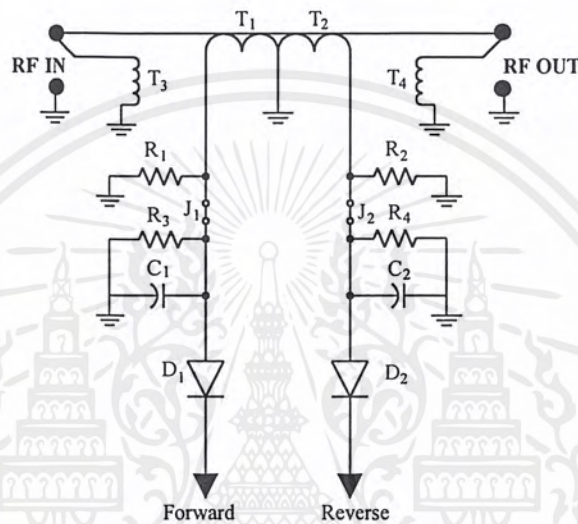
รูปที่ 2.43 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบประมาณค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3

## การออกแบบ การสร้าง และการทำงาน

### 3.1 หลักการทำงานของวงจรเหนี่ยวนำแรงดัน

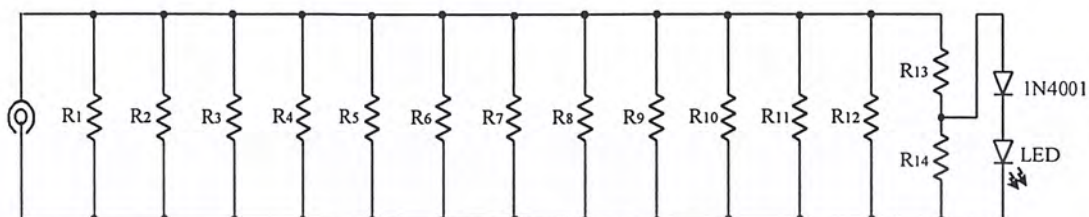


รูปที่ 3.1 วงจรเหนี่ยวนำแรงดัน

จากรูปที่ 3.1 เป็นการทำงานของวงจรเหนี่ยวนำแรงดันจะใช้ขดลวดเป็นตัวเหนี่ยวนำ สัญญาณที่ส่งผ่านสายนำสัญญาณ โดยจะได้เป็นแรงดันไฟฟ้ากระแสสลับ จากนั้นนำค่าแรงดันทั้งสองผ่านไดโอดเพื่อแปลงเป็นแรงดันไฟฟ้ากระแสตรง คือ แสดงค่าแรงดันฟอร์เวิร์ด และค่าแรงดันรีเวิร์ด

อธิบายการทำงานของวงจร ได้ดังนี้ คือ เมื่อปล่อยสัญญาณคลื่นไซน์ 145 เมกะเฮิร์ตซ์ เข้ามาทาง RF IN ขดลวด  $T_3$  และ  $T_4$  จะเป็นตัวเหนี่ยวนำทำหน้าที่เหนี่ยวนำ หรือสุมคลื่นไซน์ 145 เมกะเฮิร์ตซ์ เข้ามาทาง RF IN ขดลวด  $T_3$  และ  $T_4$  จะเป็นตัวเหนี่ยวนำสัญญาณรอบวงค่าความถี่อื่นลงกราวด์ ส่วน  $T_1$  และ  $T_2$  จะทำหน้าที่เหนี่ยวนำหรือสุมคลื่นไปตามสายนำสัญญาณ  $R_1$  และ  $R_2$  จะทำหน้าที่แปลงพลังงานจากคลื่นวิทยุให้เกิดเป็นแรงดัน  $R_3$   $C_1$  และ  $R_4$   $C_2$  จะทำหน้าที่เป็นวงจรเรโซแนนซ์

### 3.2 หลักการทำงานของวงจรถอดการระเทียม

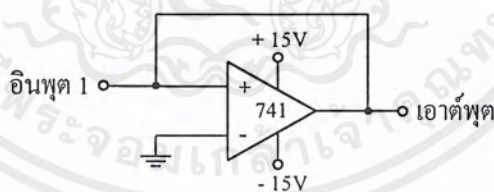


รูปที่ 3.2 วงจรถอดการระเทียม

วงจรถอดการระเทียมจะประกอบไปด้วย  $R_1-R_{12}$  ค่า 470 โอห์ม 1% 2 วัตต์ ต่อขนานกัน 12 ตัว และ  $R_{13}, R_{14}$  ต่ออนุกรมกัน เพื่อทำหน้าที่แบ่งแรงดัน ไดโอด D1 จะทำหน้าที่แปลงไฟฟ้ากระแสสลับให้เป็นกระแสตรง และไดโอดเปล่งแสงจะเป็นตัวแสดงผลคลื่นวิทยุที่เดินทางมาถึง

เมื่อคลื่นวิทยุเดินทางเข้าไปที่ภาคการระเทียม  $R_1-R_{12}$  จะรับคลื่นที่เข้ามาแล้วแปลงให้คลื่นสูญเสียไปในตัวมันในรูปแบบความร้อน

### 3.3 หลักการทำงานของวงจรับัพเฟอร์



รูปที่ 3.3 วงจรับัพเฟอร์

บัฟเฟอร์เป็นวงจรที่ทำให้อิมพีแดนซ์ของวงจรวอก และลบแรงดันเท่ากับเอสดับบลิวอาร์ที่วัดได้จะทำให้ไม่เกิดการโหลดแรงดันเอสดับบลิวอาร์ที่วัดได้ เพื่อไม่ให้แรงดันที่ได้เปลี่ยนไปและบัฟเฟอร์ที่วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลก็มีการทำงานเช่นเดียวกัน

### 3.4 หลักการทำงานของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล

การแปลงสัญญาณแอนะล็อกเป็นดิจิทัล ถ้าสัญญาณถูกแปลงเป็นจำนวนทางดิจิทัล โดยการสุ่ม ดังรูปที่ 3.3 ถ้ามีอินพุต 8 เส้น แต่ละเส้นจะแสดงสถานะเป็น 1 หรือ 0 จะมีความแตกต่างทางรหัสไบนารีทั้งหมด  $2^8$  หรือ 256 รหัส

#### 1) ค่าความละเอียด และความเที่ยงตรง

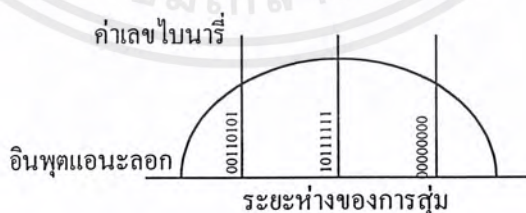
ค่าความละเอียดของตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัล จะเป็นระยะห่างที่น้อยที่สุดของค่าแรงดันเอาต์พุตที่เพิ่มขึ้น ซึ่งถูกกำหนดโดยตัวแปลงสัญญาณนั้น ระยะห่างยิ่งน้อย ค่าความละเอียดยิ่งสูงขึ้น โดยค่าความละเอียดแปรผันตรงกับจำนวนของบิตเอาต์พุต ถ้าตัวแปลงสัญญาณมีความแตกต่างทางรหัสเอาต์พุต 256 ระดับ ระดับสัญญาณอินพุตถูกแทนเป็นไบนารีจาก 00000000 ถึง 11111111 ถ้าอินพุตเริ่มต้นจาก 0 – 5 โวลต์ ค่าความละเอียดจะเท่ากับ

$$\frac{5}{256} = 0.0195$$

ถ้าไบนารีเป็น 00000001 จะแทน 0.0195 โวลต์ ในทำนองเดียวกันถ้าเอาต์พุตไบนารีเป็น 00000010 จะแทน 0.039 โวลต์ ถ้าต้องการทราบค่าไบนารีของ 0.34 จะมีค่าเท่ากับ

$$\frac{0.042}{0.0195} = 156$$

เมื่อทำการเปลี่ยนเป็นรหัสไบนารีมีค่าเท่ากับ 10011100



รูปที่ 3.4 สัญญาณแอนะล็อกจะถูกสุ่มในช่วงคลื่นเป็นระยะๆ

## 2) ไอซีแปลงรหัสสัญญาณแอนะล็อกเป็นดิจิทัล ADC0801

ADC0801 เป็นไอซีแปลงรหัสสัญญาณแอนะล็อกเป็นดิจิทัลขนาด 8 บิต ซึ่งตำแหน่งขาต่าง ๆ ของ ADC0801 แสดงดังรูปที่ 3.8 สัญญาณนาฬิกาที่ใช้ในวงจรนี้ทำได้ 2 ทาง คือ ใช้สัญญาณนาฬิกาจากภายนอกค่า 100 ถึง 800 กิโลเฮิร์ตซ์ ป้อนเข้าขา 4 อีกวิธีหนึ่ง คือ ใช้สัญญาณนาฬิกาจากภายในจากขา 19 โดยสามารถกำหนดสัญญาณนาฬิกาได้จาก RC ภายนอกโดยค่าความถี่หาได้จากสมการ

$$f = \frac{1}{1.1RC} \quad (3.1)$$

$f$  = ความถี่เอาต์พุตที่ได้ หน่วยเป็นเฮิร์ตซ์

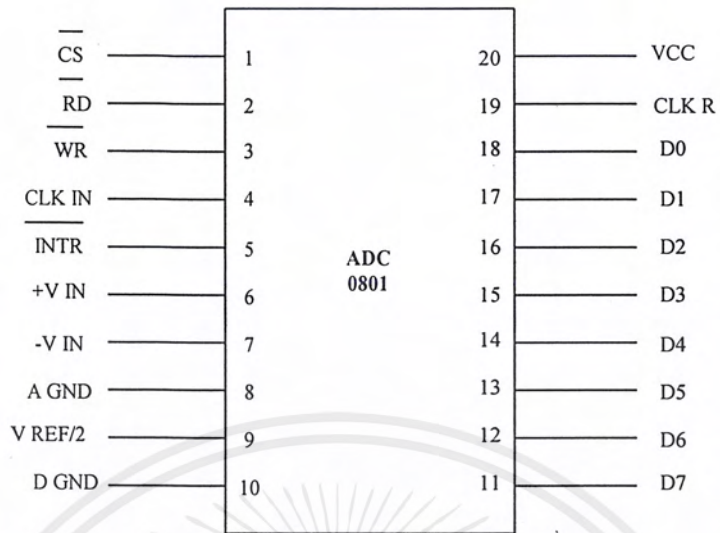
$R$  = ค่าความต้านทาน หน่วยเป็น โอห์ม

$C$  = ค่าตัวเก็บประจุ หน่วยเป็นฟารัด

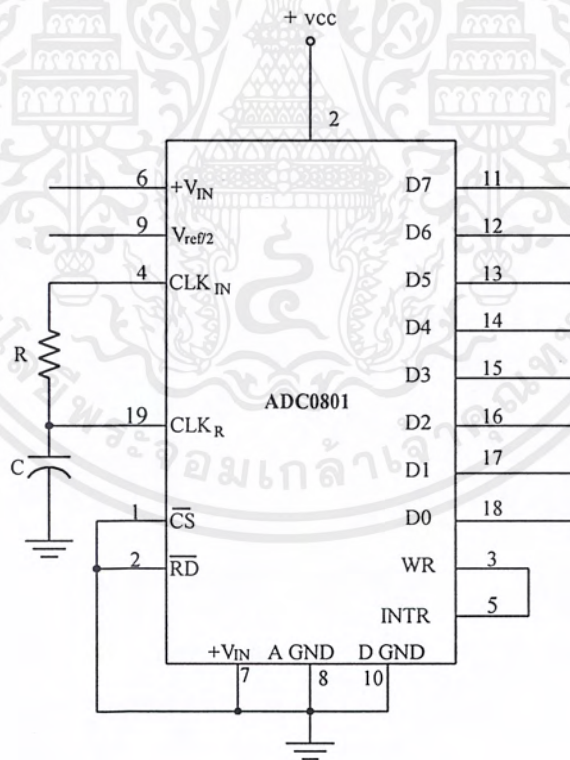
ความถี่สัญญาณนาฬิกามีค่ามากมีผลทำให้สัญญาณดิจิทัลทางเอาต์พุตใกล้เคียงกับสัญญาณแอนะล็อกทางอินพุตมากขึ้นด้วยดังแสดงในดังรูปที่ 3.4

ขา 5 ของไอซี ADC0801 เป็นขา  $\overline{INTR}$  หรือบางทีเรียกว่า ขา EOC จะให้เอาต์พุตเป็นต่ำเมื่อการแปลงเสร็จสิ้นสมบูรณ์ การกำหนดแรงดันอ้างอิงสามารถกำหนดได้ที่ขา 9 ถ้าต้องการแรงดันอ้างอิงที่ 3 โวลต์ จะต้องป้อนแรงดัน 1.5 โวลต์ ที่ขา 9

การให้ไอซีสามารถทำงานอย่างต่อเนื่องนั้น ขา  $\overline{CS}$  ขา  $\overline{RD}$  จะต้องต่อลงกราวด์ ส่วนขา  $\overline{WR}$  จะต้องต่อเข้าขา  $\overline{INTR}$  ดังแสดงดังรูปที่ 3.4 การต่อแบบนี้ทำให้เมื่อ  $\overline{INTR}$  อยู่ในสถานะต่ำ ขา  $\overline{WR}$  เป็นต่ำด้วย ทำให้ถูกรีเซต และเมื่อ  $\overline{INTR}$  กลับมาอยู่ในสถานะ HIGH อีกครั้ง ขา  $\overline{WR}$  จะกลายเป็น HIGH ไปด้วย การแปลงสัญญาณจะเริ่มต้นอีกครั้ง บางครั้งขบวนการเปลี่ยนสัญญาณอาจจะไม่ทำงาน ตอนเริ่มก็ได้ จึงต้องป้อนพัลส์ลบเข้ามาทาง  $\overline{WR}$  เพื่อให้ไอซีเริ่มทำงาน

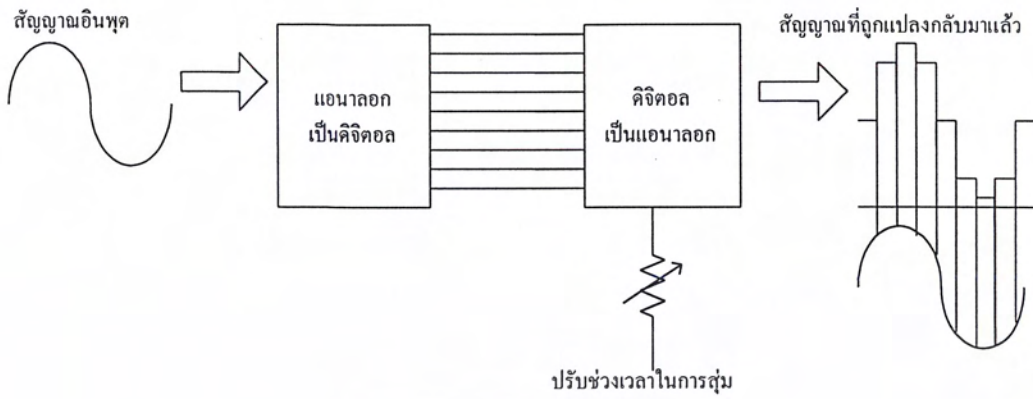


รูปที่ 3.5 ไอซีแปลงสัญญาณแอนะล็อกเป็นดิจิทัลเบอร์ ADC0801



รูปที่ 3.6 การต่อ ADC0801 ให้ใช้งานอย่างต่อเนื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 การสุ่มสัญญาณแอนะล็อกเร็วขึ้นทำให้เอาต์พุตที่ถูกสร้างใหม่โดยตัวแปลงสัญญาณดิจิตอลเป็นแอนะล็อกสมบูรณ์ขึ้น



## บทที่ 4

### การทดลอง และผลการทดลอง

ในการทดลองที่จัดทำขึ้นนี้ จัดทำขึ้นเพื่อทดสอบประสิทธิภาพของเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล โดยจะต้องใช้อุปกรณ์ประกอบการทดลองต่างๆ ดังนี้ คือ เครื่องส่งวิทยุ สายนำสัญญาณแบบโคแอกเชียล โดยแบ่งการทดลองออกเป็น 3 การทดลอง โดยในแต่ละการทดลองจะได้ค่าต่างๆ ดังต่อไปนี้ การวัดค่าความต้านทานคุณลักษณะของสายนำสัญญาณ การวัดค่าวีเอสดีบลิวอาร์ของสายนำสัญญาณ การวัดค่าเอสดีบลิวอาร์ของสายนำสัญญาณ การวัดค่าสัมประสิทธิ์การสะท้อนกลับของสายนำสัญญาณ และการวัดค่ากำลังงานสูญเสียจากการสะท้อนกลับของสายนำสัญญาณ

#### 4.1 การทดลองวัดค่าความต้านทานคุณลักษณะ ค่าวีเอสดีบลิวอาร์ ค่าเอสดีบลิวอาร์ ค่าสัมประสิทธิ์การสะท้อนกลับ และค่ากำลังงานจากการสะท้อนกลับของสายนำสัญญาณ

##### 4.1.1 สายนำสัญญาณเบอร์ RG – 11 A/U (75 Ω)

##### ลำดับขั้นตอนการทดลอง

1) ประกอบเครื่องส่งวิทยุสื่อสารเข้ากับ เครื่องวัดต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล โดยใช้สายนำสัญญาณ RG – 11 ต่อระหว่างเครื่องส่งวิทยุ และเครื่องวัดค่าความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัลที่จุด RF IN

2) นำสายนำสัญญาณ เบอร์ RG – 11 A/U ต่อระหว่างจุด RF OUT และจุดTransmission Line Test

3) เปิดสวิตช์เครื่องส่งวิทยุ

4) เปิดสวิตช์เครื่องวัดต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

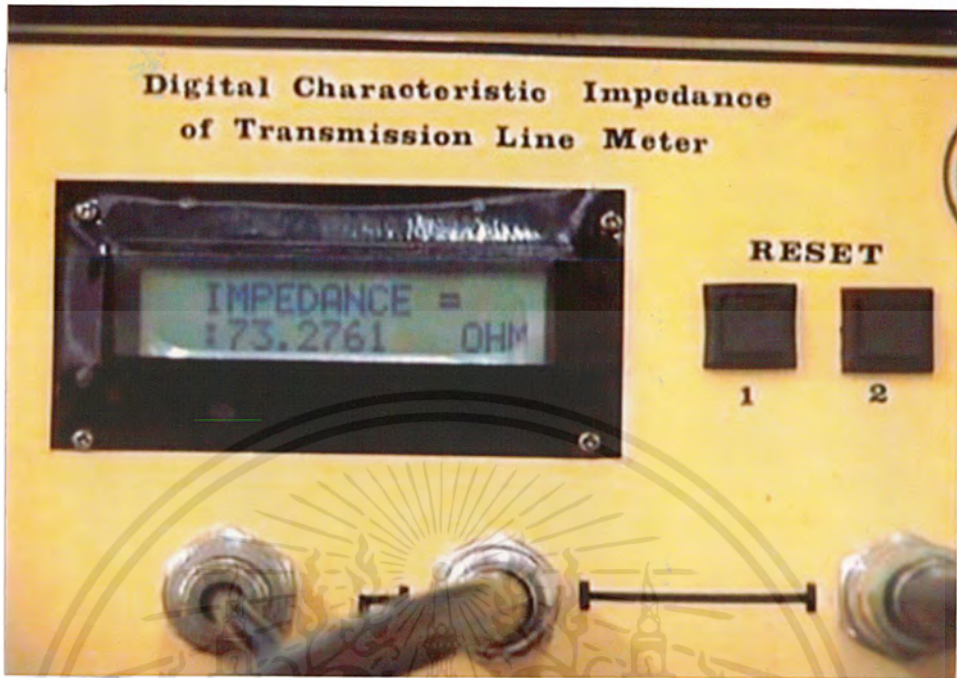
5) กดสวิตช์ Reset เครื่องวัดต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

## ผลการทดลอง

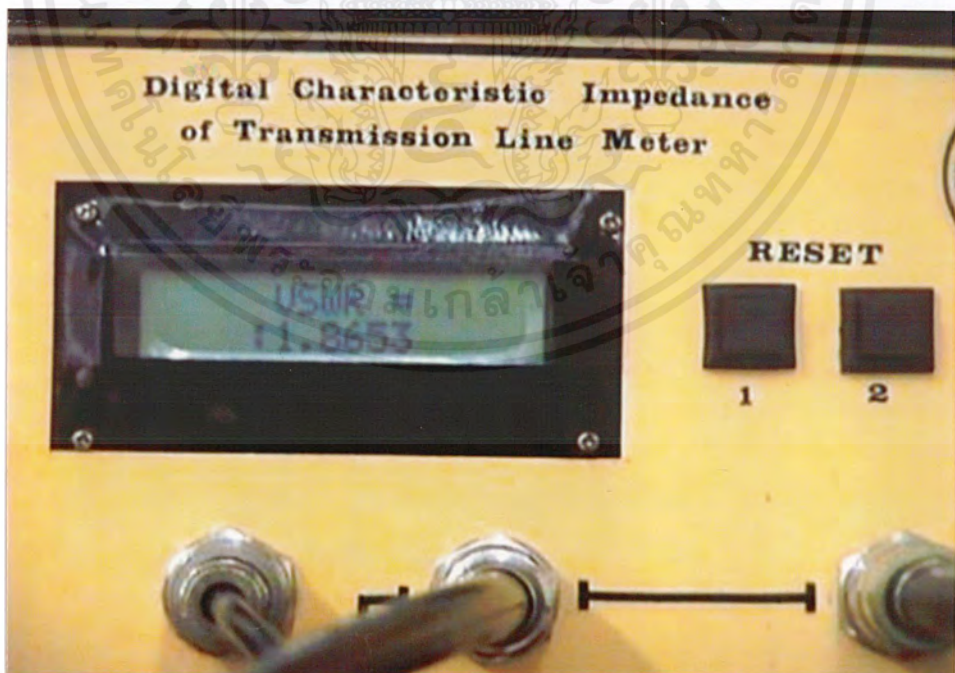
ตารางที่ 4.1 ผลทดลองของสายนำสัญญาณเบอร์ RG – 11 A/U

ครั้งที่	$Z_0$	VSWR	SWR	$P_{\text{mismatch}}$	$P_{\text{return}}$
1	73.2716	1.5591	2.4149	0.2123	13.2409
2	73.2716	1.8653	2.4149	0.4155	10.3998
3	73.2716	1.8653	2.4149	0.4155	10.3998
4	73.2716	1.8653	2.5580	0.4155	9.2664
5	73.2716	1.8653	2.4149	0.4155	10.3998
6	63.4359	1.5664	2.4149	0.4155	10.3998
7	73.2716	1.8653	2.4149	0.2172	10.3998
8	73.2716	1.2686	2.4149	0.4155	10.3998
9	73.2716	1.8653	2.4149	0.4155	13.8929
10	73.2716	1.8653	2.4149	0.4155	13.8929
11	77.963	1.8653	2.4149	0.4155	10.3998
12	73.2716	1.8653	2.4149	0.4155	10.3998
13	73.2716	1.8653	2.8280	0.4155	10.3998
14	73.2716	1.5060	2.4149	0.1811	10.3998
15	73.2716	1.8653	2.4149	0.4155	10.3998
16	73.2716	1.8653	2.4149	0.4155	10.3998
17	75.4392	1.8653	2.4149	0.4155	10.3998
18	73.2716	1.8653	2.4149	0.0616	9.2664
19	73.2716	1.2686	2.4149	0.4155	10.3998
20	73.2716	1.8653	2.8579	0.4155	10.3998

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

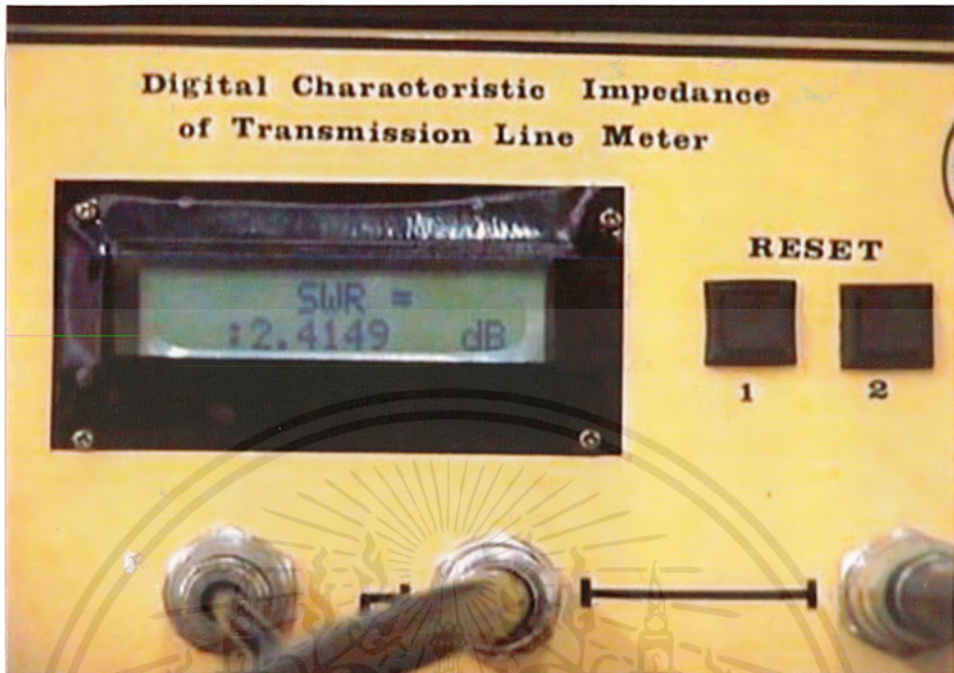


รูปที่ 4.1 ค่าอิมพีแดนซ์ของสายนำสัญญาณเบอร์ RG – 11 A/U

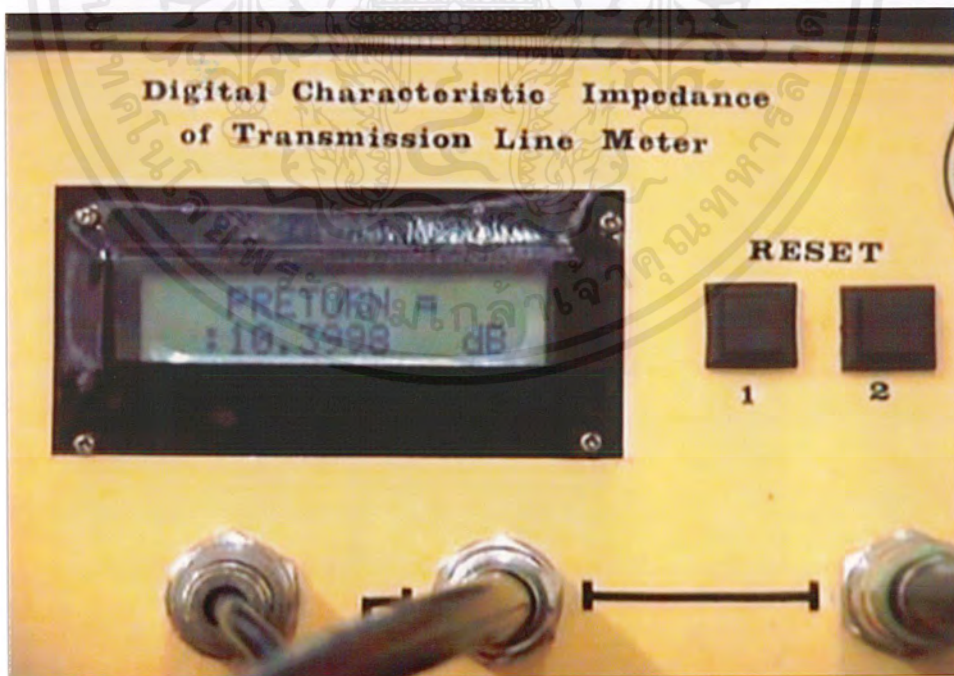


รูปที่ 4.2 ค่าวีเอสดีบีบลิวอาร์ของสายนำสัญญาณเบอร์ RG – 11 A/U

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

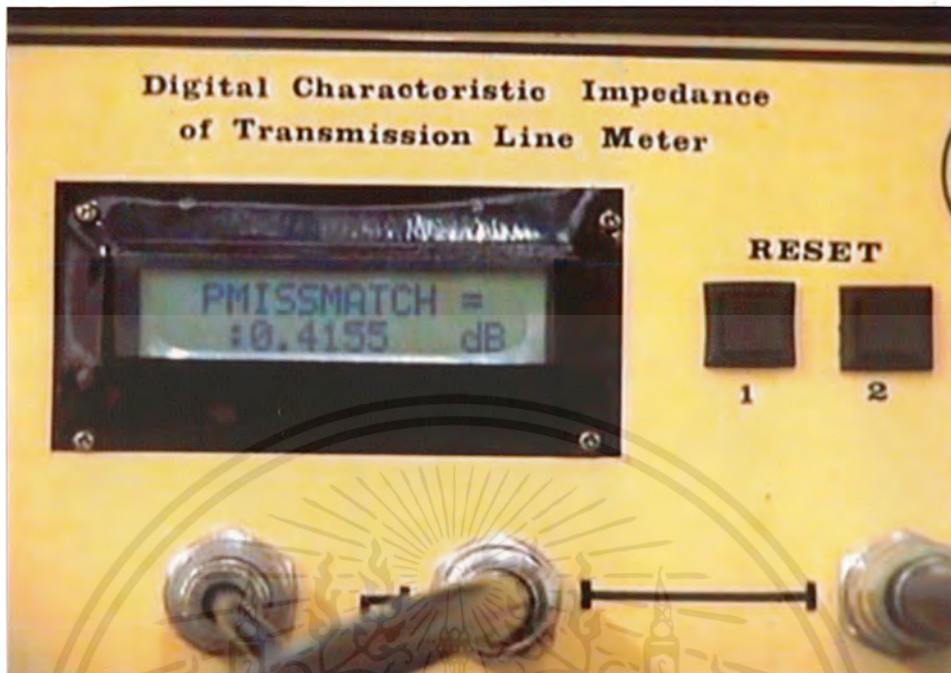


รูปที่ 4.3 ค่าเอสดับบลิวอาร์ของสายนำสัญญาณเบอร์ RG – 11 A/U



รูปที่ 4.4 ค่าสัมประสิทธิ์การสะท้อนกลับของสายนำสัญญาณเบอร์ RG – 11 A/U

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 ค่ากำลังงานสูญเสียจากการสะท้อนกลับของสายนำสัญญาณเบอร์ RG – 11 A/U

#### 4.1.2 สายนำสัญญาณเบอร์ RG – 58 A/U (50 Ω)

##### ลำดับขั้นการทดลอง

1) ประกอบเครื่องส่งวิทยุสื่อสารเข้ากับ เครื่องวัดต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล โดยใช้สายนำสัญญาณ RG – 11 ต่อระหว่างเครื่องส่งวิทยุ และเครื่องวัดค่าความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัลที่จุด RF IN

2) นำสายนำสัญญาณ เบอร์ RG – 58 A/U ต่อระหว่างจุด RF OUT และจุด Transmission Line Test

3) เปิดสวิตช์เครื่องส่งวิทยุ

4) เปิดสวิตช์เครื่องวัดต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

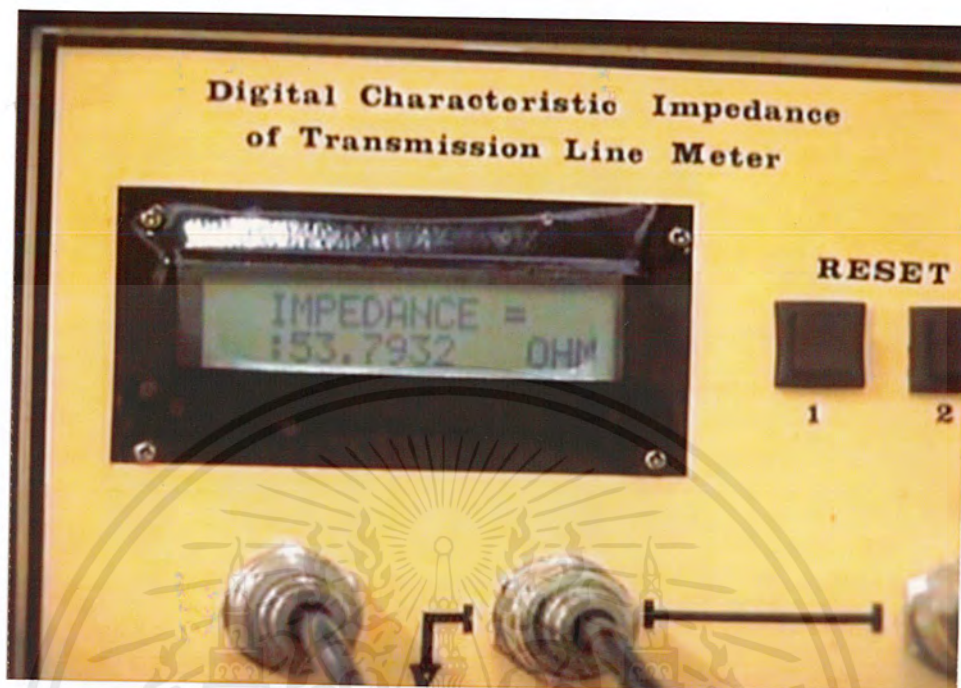
5) กดสวิตช์ Reset เครื่องวัดต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

## ผลการทดลอง

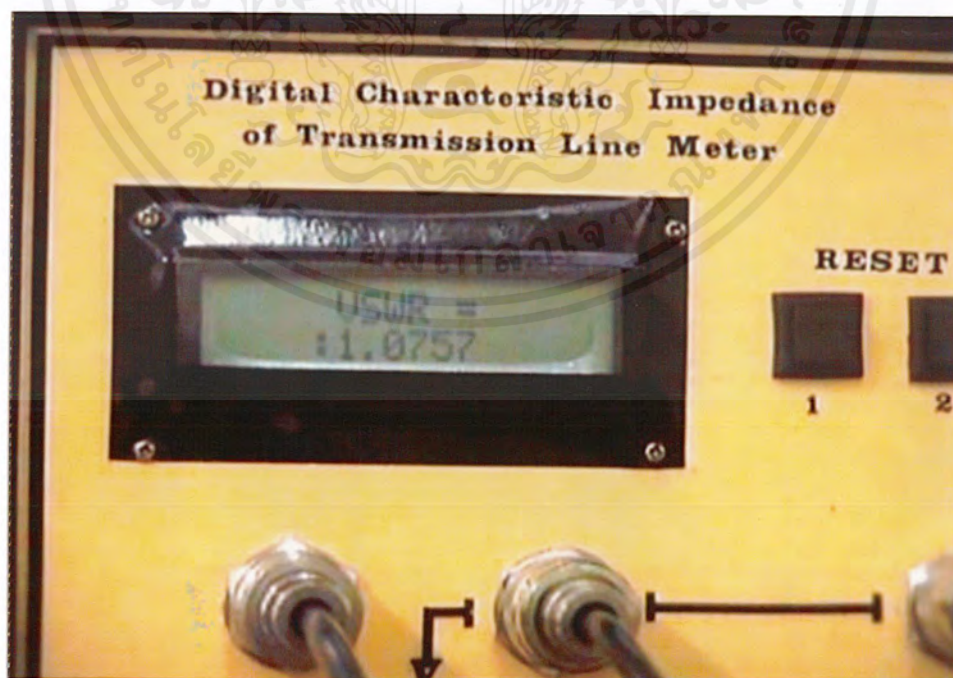
ตารางที่ 4.2 ผลทดลองของสายนำสัญญาณเบอร์ RG – 58 A/U

ครั้งที่	$Z_o$	VSWR	SWR	$P_{\text{mismatch}}$	$P_{\text{return}}$
1	53.7932	1.0757	1.6343	0.0130	28.7541
2	53.7932	1.0757	1.6343	0.0060	28.7541
3	53.7932	1.0757	1.6343	0.0060	28.7541
4	53.7932	1.0757	1.6343	0.0060	28.7541
5	53.7932	1.0757	1.3648	0.0060	28.7541
6	53.7932	1.0757	1.6343	0.0060	28.7541
7	47.4528	1.0757	1.6343	0.0060	28.7541
8	53.7932	1.0757	1.6343	0.0173	35.4422
9	53.7932	1.0757	1.6343	0.0060	28.7541
10	53.7932	1.0343	1.3648	0.0060	28.7541
11	53.7932	1.0757	1.6343	0.0060	28.7541
12	53.7932	1.0757	1.6343	0.0060	28.7541
13	53.7932	1.0343	1.6343	0.0060	28.7541
14	53.7932	1.0757	1.6343	0.0060	28.7541
15	53.7932	1.0757	1.6343	0.0060	28.7541
16	53.7932	1.0757	1.6343	0.0060	28.7541
17	51.7239	1.0757	1.3648	0.0060	33.5556
18	53.7932	1.0757	1.6343	0.0060	28.7541
19	53.7932	1.0757	1.6343	0.0060	28.7541
20	53.7932	1.0757	1.6343	0.0060	28.7541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

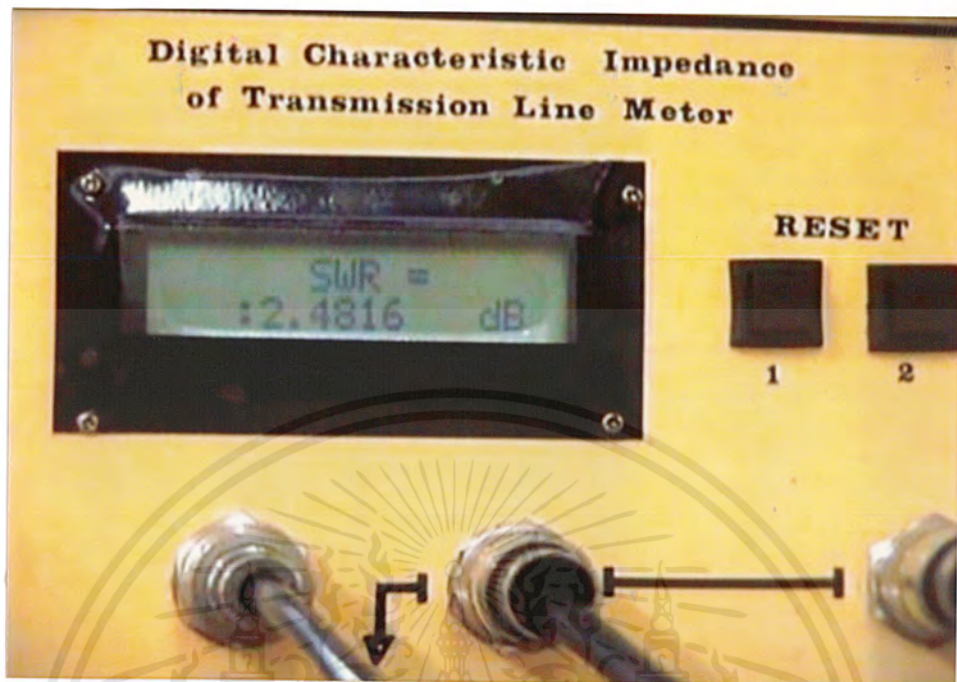


รูปที่ 4.6 การทดลองวัดค่าอิมพีแดนซ์ของสายนำสัญญาณเบอร์ RG-58 A/U

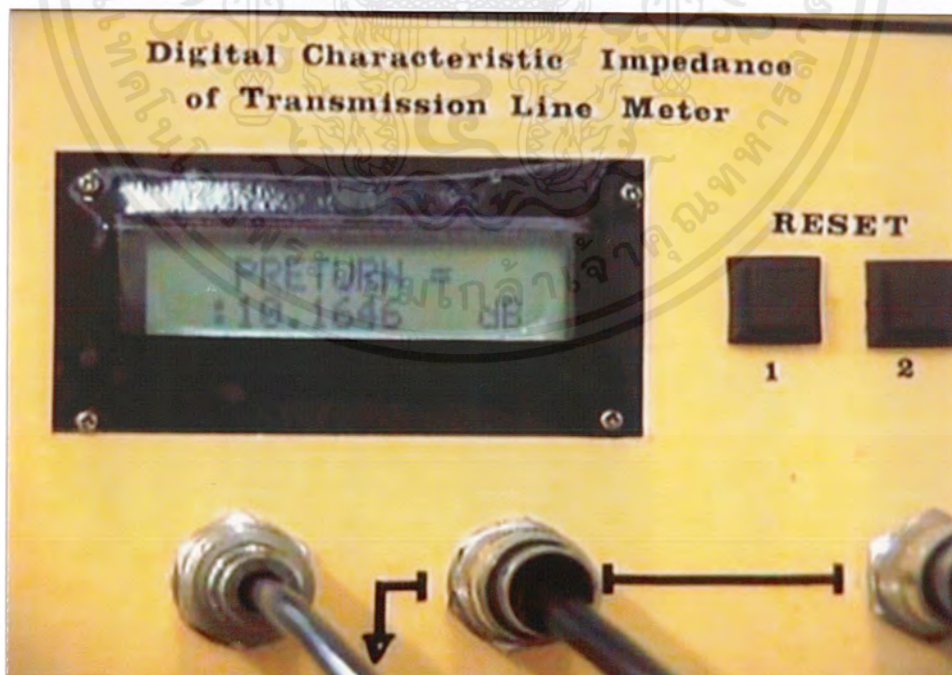


รูปที่ 4.7 การทดลองวัดค่าวีเอสดีบีบลิวาร์ของสายนำสัญญาณเบอร์ RG-58 A/U

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

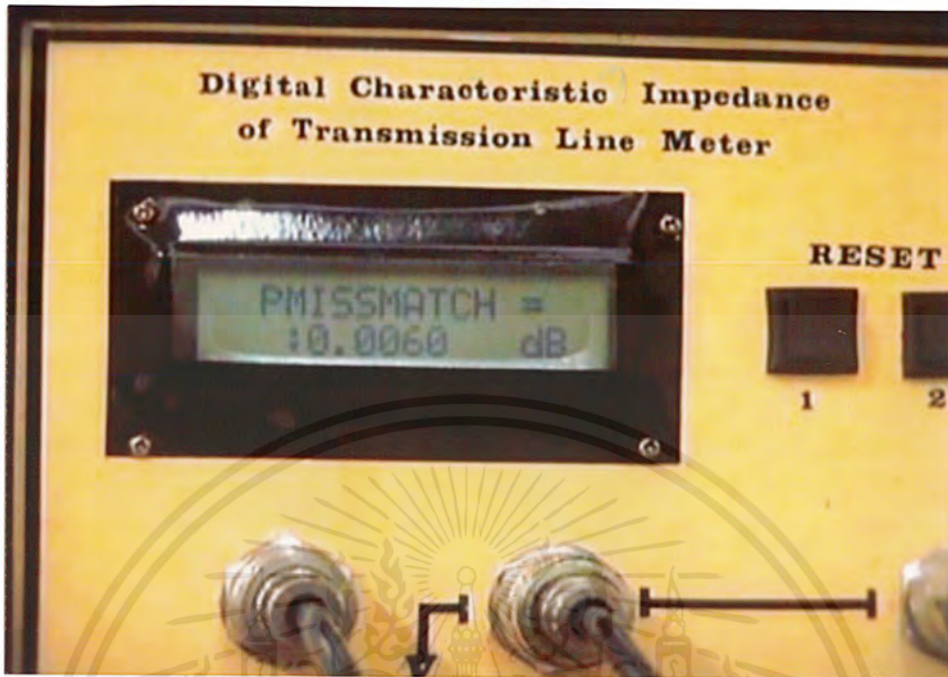


รูปที่ 4.8 การทดลองวัดค่าเอสดับบลิวอาร์ของสายนำสัญญาณเบอร์ RG-58 A/U



รูปที่ 4.9 การทดลองวัดค่าสัมประสิทธิ์การสะท้อนกลับของสายนำสัญญาณเบอร์ RG-58 A/U

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 การทดลองวัดค่าการสูญเสียจากการสะท้อนกลับของสายนำสัญญาณเบอร์ RG – 58 A/U

#### 4.1.3 สายนำสัญญาณเบอร์ RG – 69 A/U (92 $\Omega$ )

##### ลำดับขั้นการทดลอง

1) ประกอบเครื่องส่งวิทยุสื่อสารเข้ากับ เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล โดยใช้สายนำสัญญาณ RG – 11 ต่อระหว่างเครื่องส่งวิทยุ และเครื่องวัดค่าความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัลที่จุด RF IN

2) นำสายนำสัญญาณ เบอร์ RG – 69 A/U ต่อระหว่างจุด RF OUT และจุด Transmission

##### Line Test

3) เปิดสวิทช์เครื่องส่งวิทยุ

4) เปิดสวิทช์เครื่องวัดต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

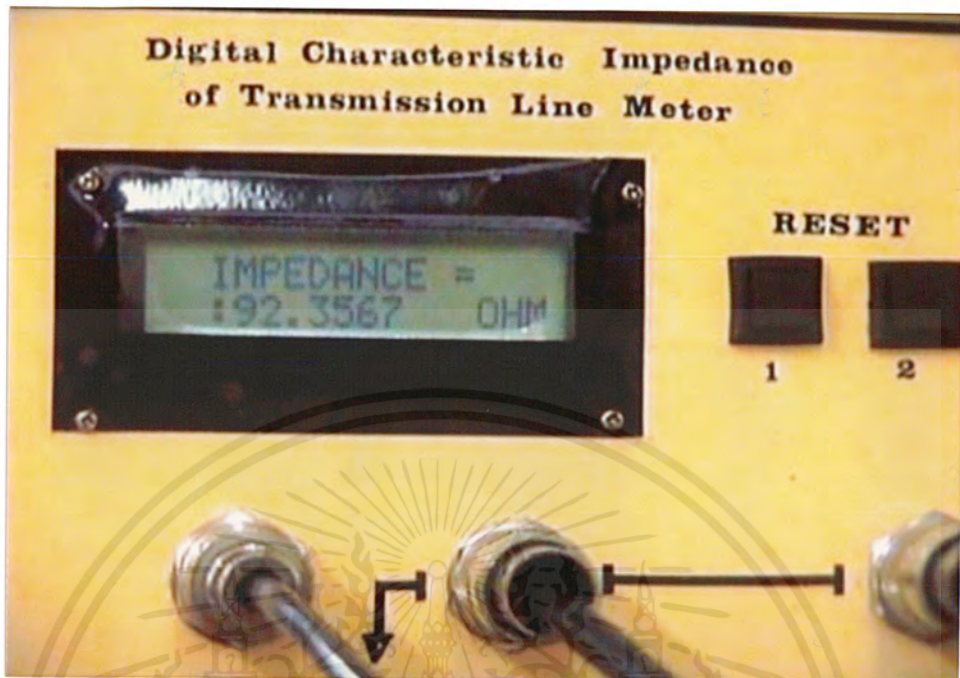
5) กดสวิทช์ Reset เครื่องวัดต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

## ผลการทดลอง

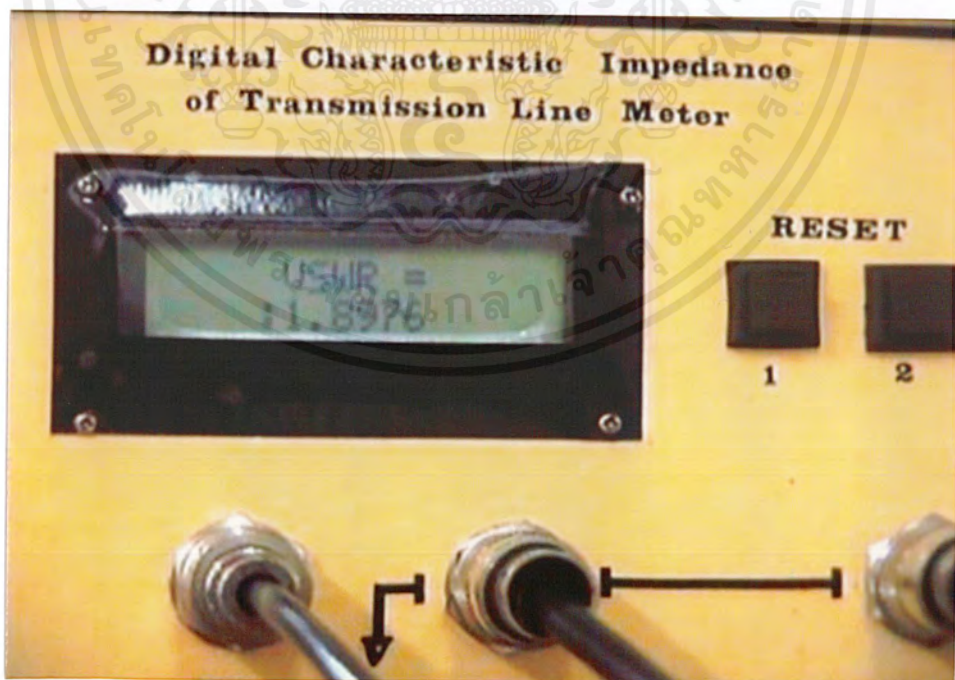
ตารางที่ 4.3 ผลทดลองของสายนำสัญญาณเบอร์ RG – 69 A/U

ครั้งที่	$Z_0$	VSWR	SWR	$P_{\text{mismatch}}$	$P_{\text{return}}$
1	84.7438	1.2202	2.4816	0.4659	10.0807
2	92.3567	1.9124	2.4816	0.4659	10.1646
3	92.3567	1.9124	2.4816	0.2306	10.1646
4	92.3567	1.2202	2.4816	0.4659	10.1646
5	92.3567	1.2202	2.4816	0.4659	10.1646
6	92.3567	1.2202	2.4816	0.4659	10.1646
7	92.3567	1.2202	2.4816	0.4659	10.1646
8	92.3567	1.2202	2.4816	0.2407	10.1646
9	92.3567	1.2202	2.4816	0.2407	10.1646
10	92.3567	1.2202	2.4816	0.4659	11.7713
11	92.3567	1.2202	2.5813	0.4659	10.1646
12	92.3567	1.2404	2.4816	0.4659	10.1646
13	92.3567	1.2202	2.6315	0.2987	10.1646
14	92.2301	1.2202	2.4816	0.4659	10.1646
15	92.3567	1.2202	2.4816	0.4659	10.1646
16	95.6378	1.2303	2.4816	0.4485	10.1646
17	92.3567	1.2202	2.4816	0.4659	10.1646
18	92.3567	1.6946	2.2405	0.4659	11.7713
19	92.3567	1.2202	2.4816	0.4659	10.2305
20	92.3567	1.2202	2.4816	0.4659	10.1646

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

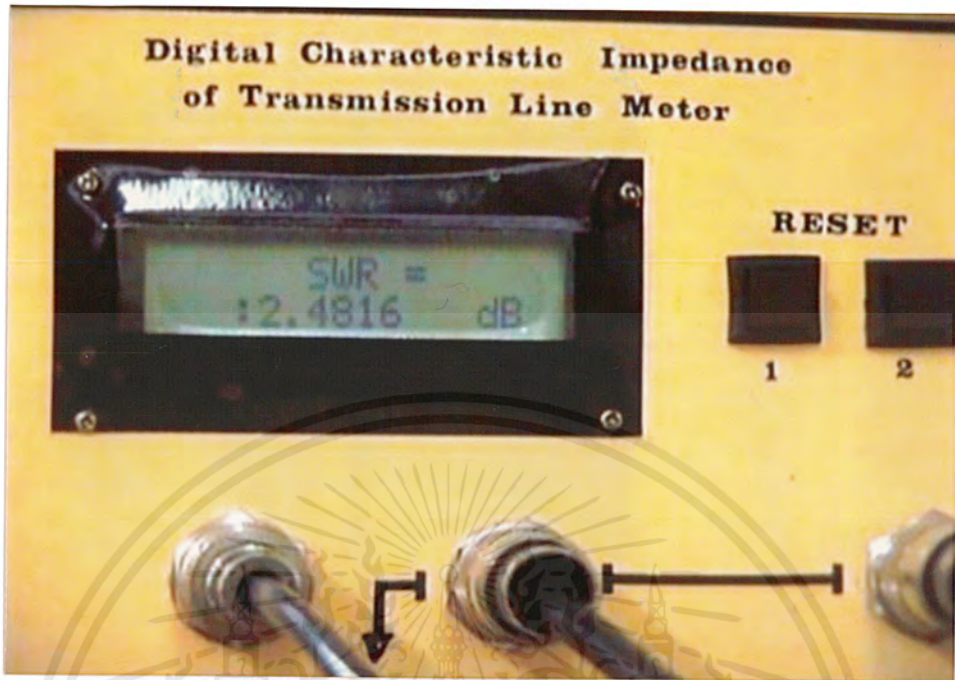


รูปที่ 4.11 การทดลองวัดค่าอิมพีแดนซ์ของสายนำสัญญาณเบอร์ RG – 69 A/U

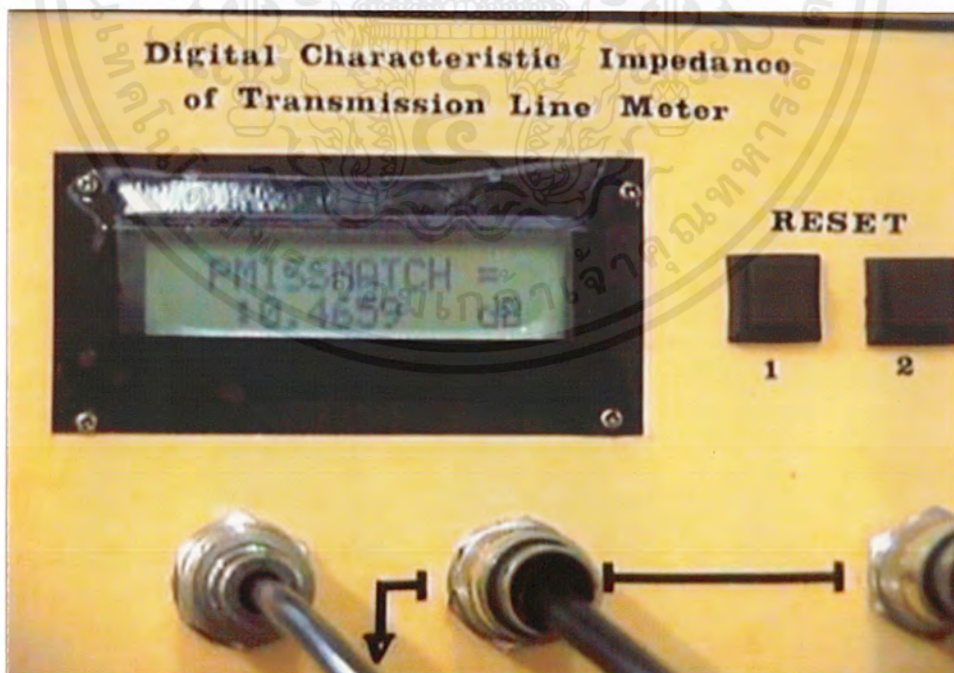


รูปที่ 4.12 การทดลองวัดค่าวีเอสดีบิลิวอาร์ของสายนำสัญญาณเบอร์ RG – 69 A/U

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

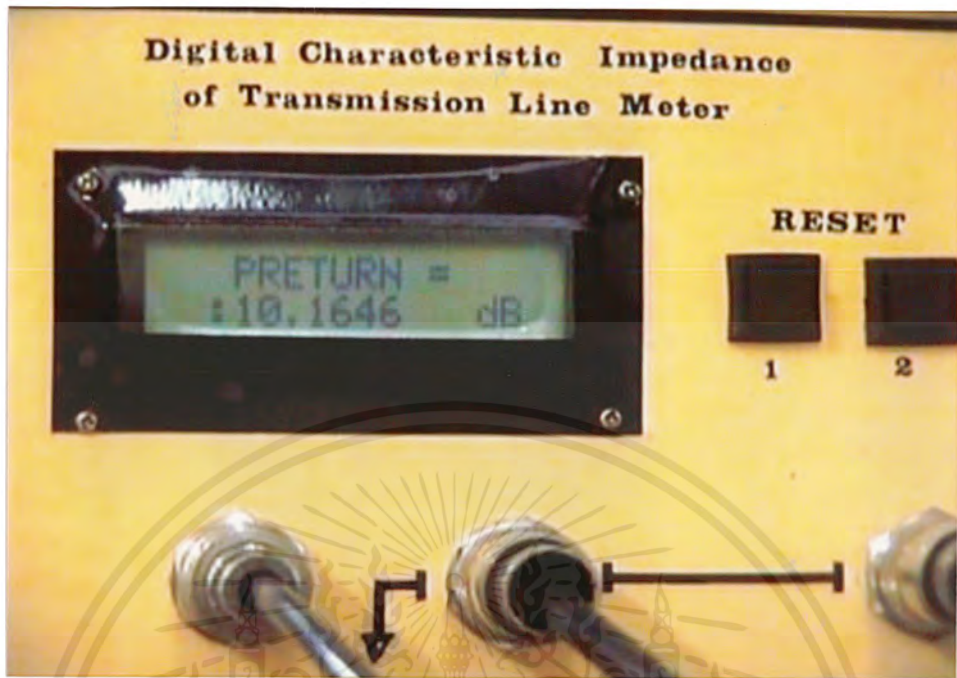


รูปที่ 4.13 การทดลองวัดค่าเอสดับบิลวาร์ของสายนำสัญญาณเบอร์ RG – 69 A/U



รูปที่ 4.14 การทดลองวัดค่าสัมประสิทธิ์การสะท้อนกลับของสายนำสัญญาณเบอร์ RG – 69 A/U

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



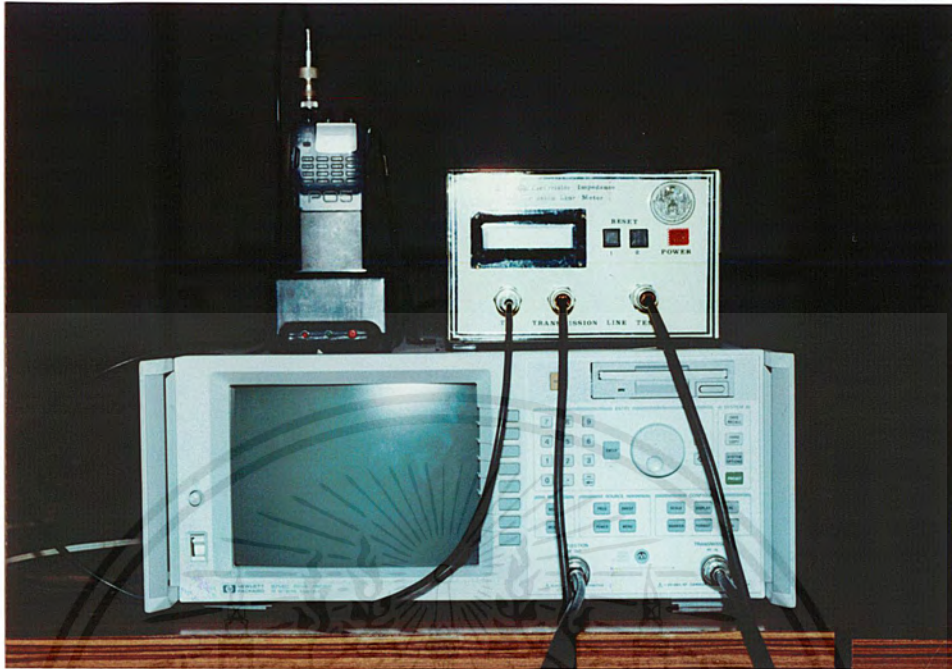
รูปที่ 4.15 การทดลองวัดค่าการสูญเสียการสะท้อนกลับของสายนำสัญญาณเบอร์ RG – 69 A/U

#### 4.2 การเปรียบเทียบค่าอิมพีแดนซ์ที่วัดได้จากเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล กับเครื่อง Network Analyzer

ตารางที่ 4.4 ผลการทดลองของการเปรียบเทียบ ค่าอิมพีแดนซ์ที่วัดได้จาก เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล กับเครื่อง Network Analyzer

สายนำสัญญาณเบอร์	ค่า $Z_0$ ที่วัดได้จากเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล	ค่า $Z_0$ ที่วัดได้จากเครื่อง Network Analyzer ยี่ห้อ Hewlett Packard รุ่น 8714C
สาย RG – 11 A/U(75 $\Omega$ )	73.2716 $\Omega$	73.52 $\Omega$
สาย RG – 58 A/U(50 $\Omega$ )	53.7932 $\Omega$	58.33 $\Omega$
สาย RG – 92 A/U(92 $\Omega$ )	92.3567 $\Omega$	97.41 $\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 การทดลองเปรียบเทียบค่าอิมพีแดนซ์ที่วัดได้จากเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัลกับ เครื่อง Network Analyzer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

### บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา

#### 5.1 บทสรุป

ปริญญานิพนธ์เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัลนี้ นำเอาหลักการพื้นฐานในการหาค่าเอสดับบลิวอาร์ ซึ่งจะได้จากการนำค่าแรงดันฟอร์เวิร์ด และค่าแรงดันรีเวิร์ด ที่ได้จากชุดเหนี่ยวนำมาทำการคำนวณโดยใช้ไมโครคอนโทรลเลอร์ AT89S8252 ซึ่งจะได้ค่าความต้านทานคุณลักษณะ ค่าวีเอสดับบลิวอาร์ ค่าเอสดับบลิวอาร์ ค่าสัมประสิทธิ์การสะท้อนกลับ และค่ากำลังงานสูญเสียจากการสะท้อนกลับของสายนำสัญญาณ ซึ่งจะแสดงผลค่าพารามิเตอร์ต่าง ๆ ออกมาทางจอแอลซีดี 2 บรรทัด

ส่วนที่สำคัญของเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัลนี้ คือชุดเหนี่ยวนำจะสร้างค่าแรงดันฟอร์เวิร์ด และแรงดันรีเวิร์ดเป็นแรงดันไฟฟ้ากระแสตรงผ่านวงจรบัฟเฟอร์เพื่อเข้าสู่วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลขนาด 8 บิต จากนั้นเข้าสู่การประมวลผล โดยใช้ไมโครคอนโทรลเลอร์ AT89S8252 ในการประมวลผลทางคณิตศาสตร์ค่าพารามิเตอร์ต่าง ๆ จะได้จากการประมวลผลโดยการเขียนโปรแกรมภาษาแอสเซมบลีลงไป ในไมโครคอนโทรลเลอร์ AT89S8252 จากนั้นก็จะแสดงผลค่าพารามิเตอร์ต่าง ๆ ออกมาทางจอแอลซีดี

จากการทำงานของวงจรต่างๆ เหล่านี้จะทำให้เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล สามารถวัดค่าความต้านทานคุณลักษณะ ค่าวีเอสดับบลิวอาร์ ค่าเอสดับบลิวอาร์ ค่าสัมประสิทธิ์การสะท้อนกลับ และค่ากำลังงานสูญเสียจากการสะท้อนกลับของสายนำสัญญาณ

#### 5.2 ปัญหา และแนวทางแก้ไข

1) ไม่สามารถทำการหาเครื่องที่จะนำมาใช้เทียบค่าพารามิเตอร์ต่าง ๆ ที่วัด ได้จากเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

**แนวทางแก้ไข** นำค่าพารามิเตอร์ที่วัดได้จากเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัลเทียบกับค่าที่กำหนดมาจากค่ามาตรฐานของสายแต่ละเบอร์

2) การเลือกใช้ไอซีแปลงสัญญาณแอนะล็อกเป็นดิจิทัลที่มีความละเอียดสูง

**แนวทางแก้ไข** ใช้ไอซีที่ใช้กับเครื่องวัดแบบดิจิทัล เพราะมีความละเอียดสูง


3)ในการวัดสายนำสัญญาณต้องทำการควบคุมไม่ให้คลื่นเกิดการแพร่กระจายบริเวณรอยต่อ

แนวทางแก้ไข ต้องทำการใช้คอนเนคเตอร์ในการเชื่อมต่อสาย

### 5.3 แนวทางการพัฒนา

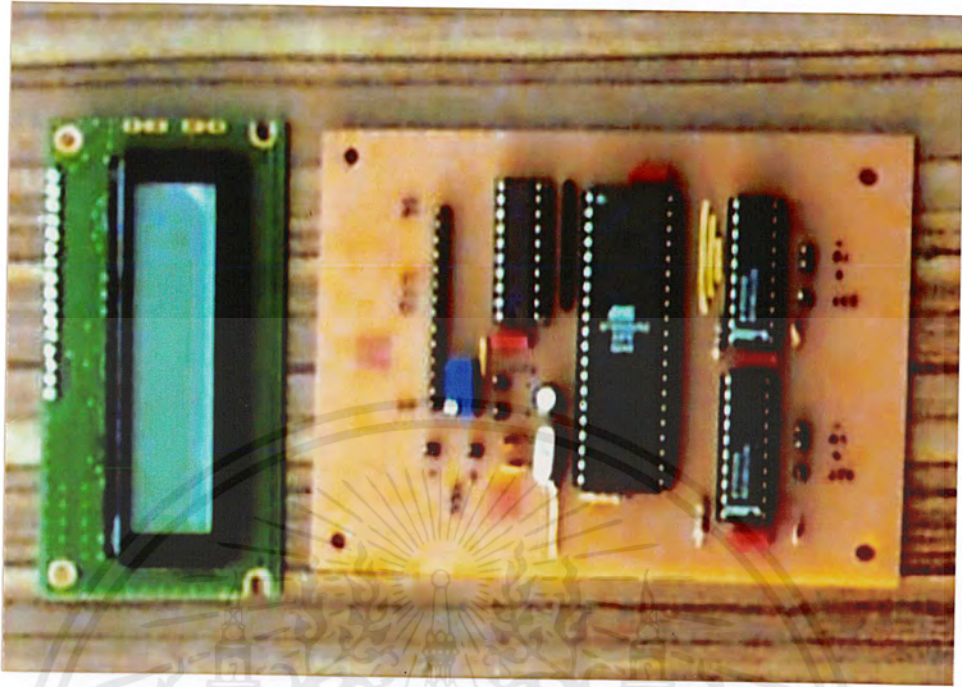
- 1) การพัฒนาขนาดเครื่องให้เล็กลง
- 2) การพัฒนาให้เครื่องสามารถแสดงผลออกมาเป็นภาษาไทยได้
- 3) การพัฒนาทำให้เครื่องสามารถวัดค่าอิมพีแดนซ์ของลำโพง และขดลวดได้



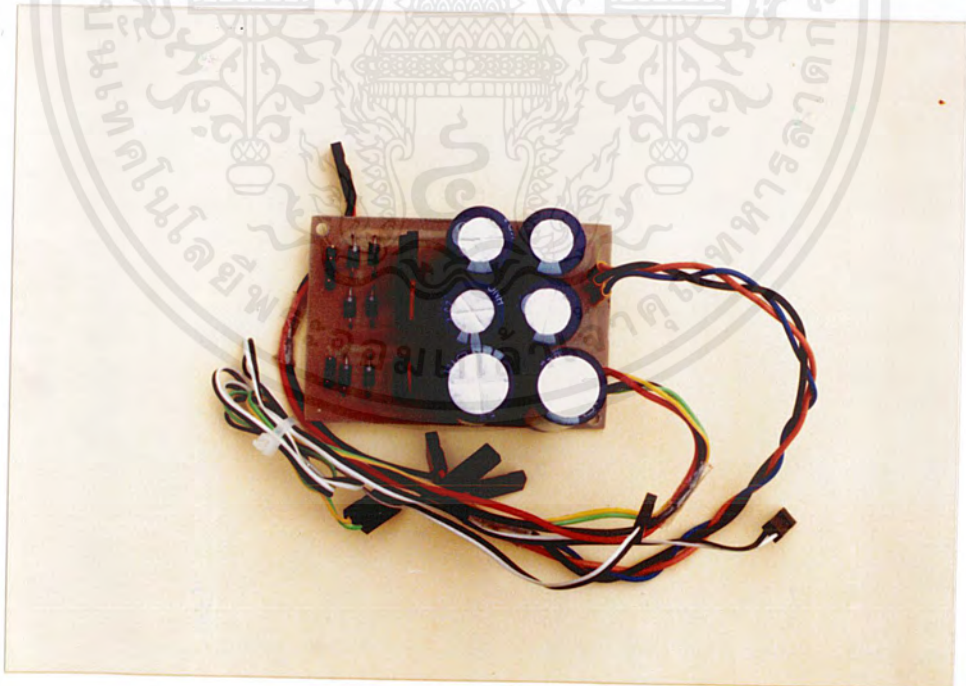


**ภาคผนวก ก**  
**ส่วนประกอบของเครื่องวัดความต้านทานคุณลักษณะ**  
**ของสายนำสัญญาณแบบดิจิทัล**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

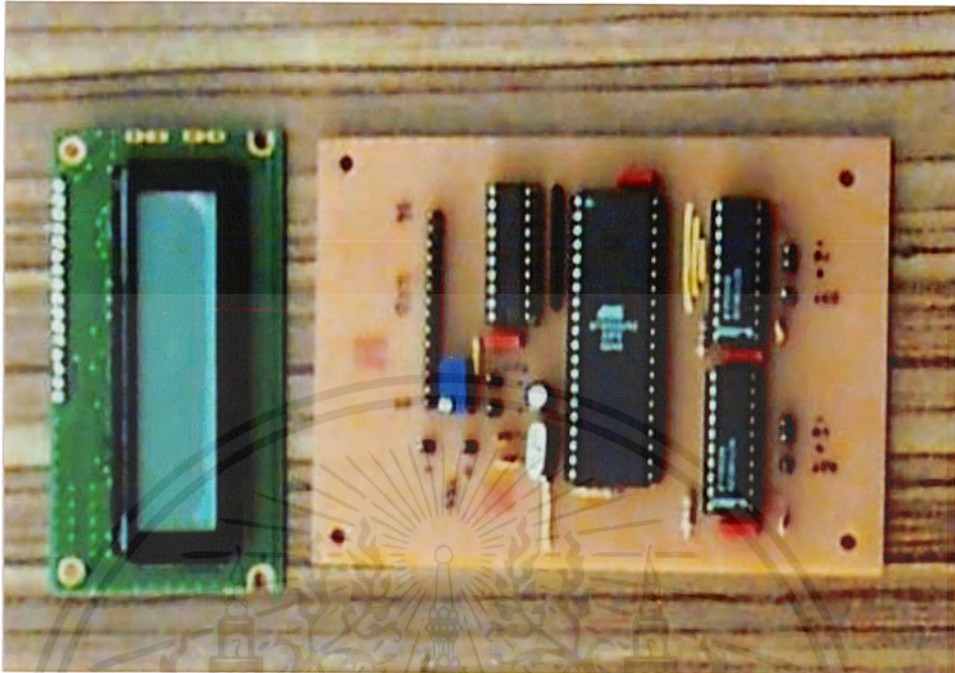


รูปที่ ก.1 แผงวงจรภาคแปลงสัญญาณแอนะล็อกเป็นดิจิทัล



รูปที่ ก.2 แผงวงจรภาคจ่ายไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

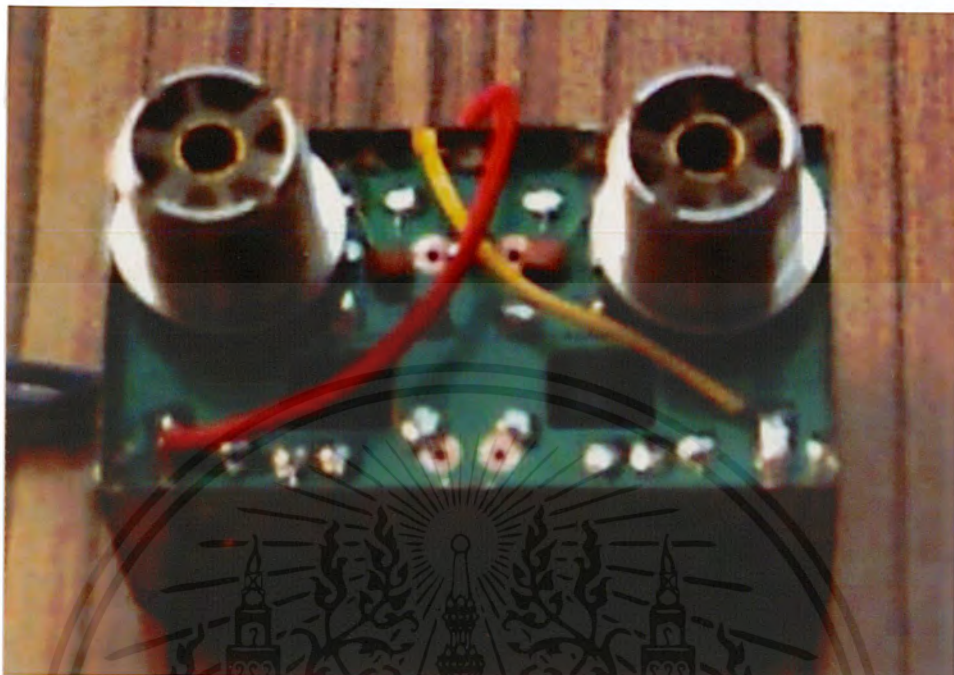


รูปที่ ก.3 แผงวงจรภาคไมโครคอนโทรลเลอร์ AT89S8252

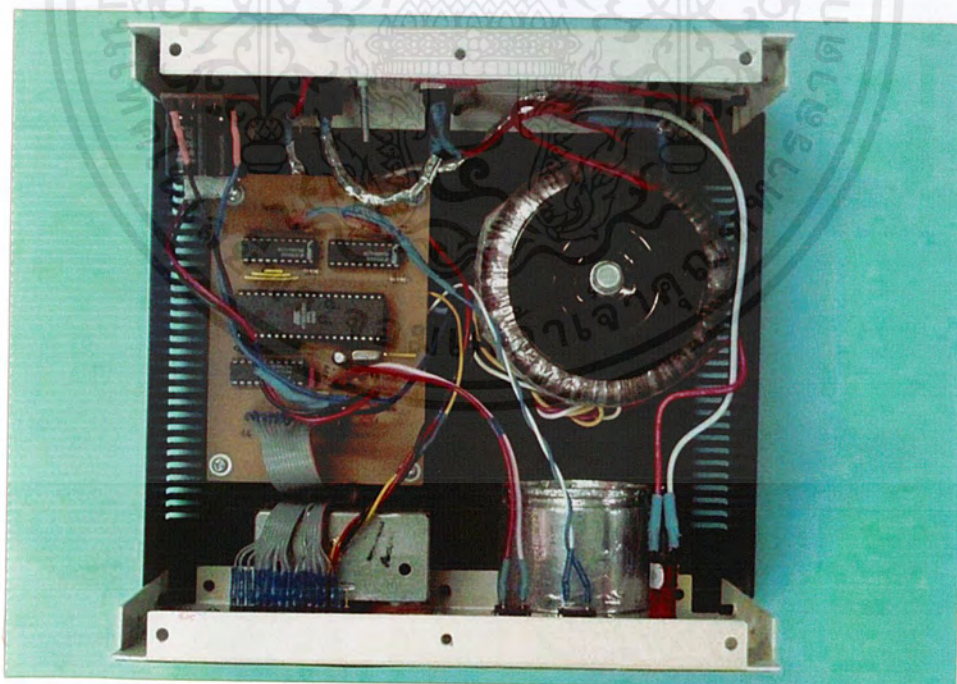


รูปที่ ก.4 แผงวงจรภาคการะเทียม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.6 แผงวงจรภาคเหนี่ยวนำแรงดัน

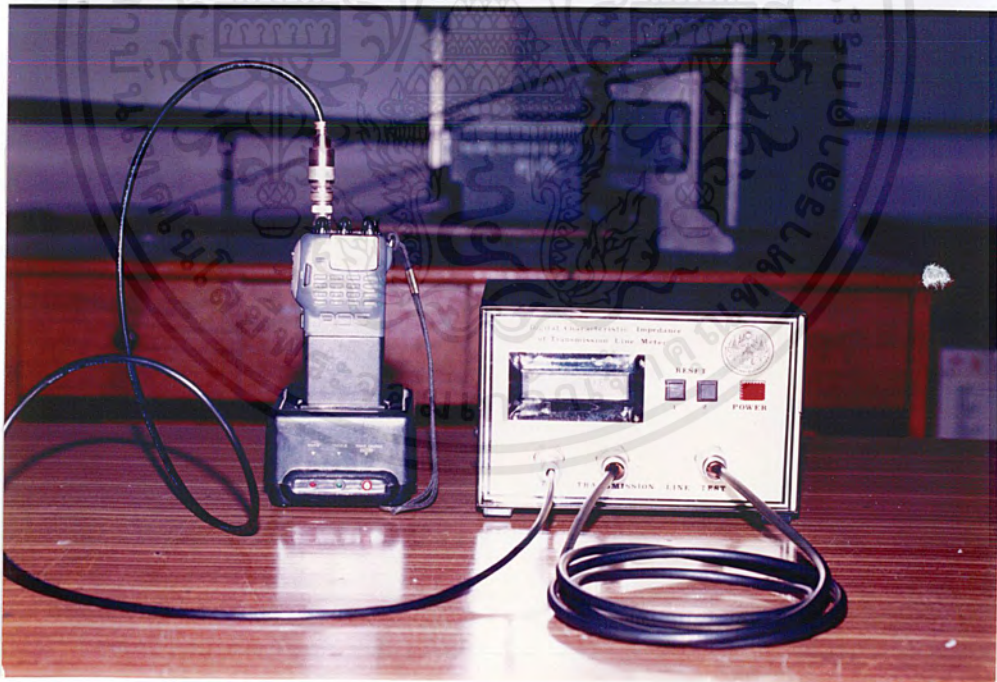


รูปที่ ก.7 การติดตั้งแผงวงจรลงกล่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.8 เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล



รูปที่ ก.9 การต่อใช้งาน

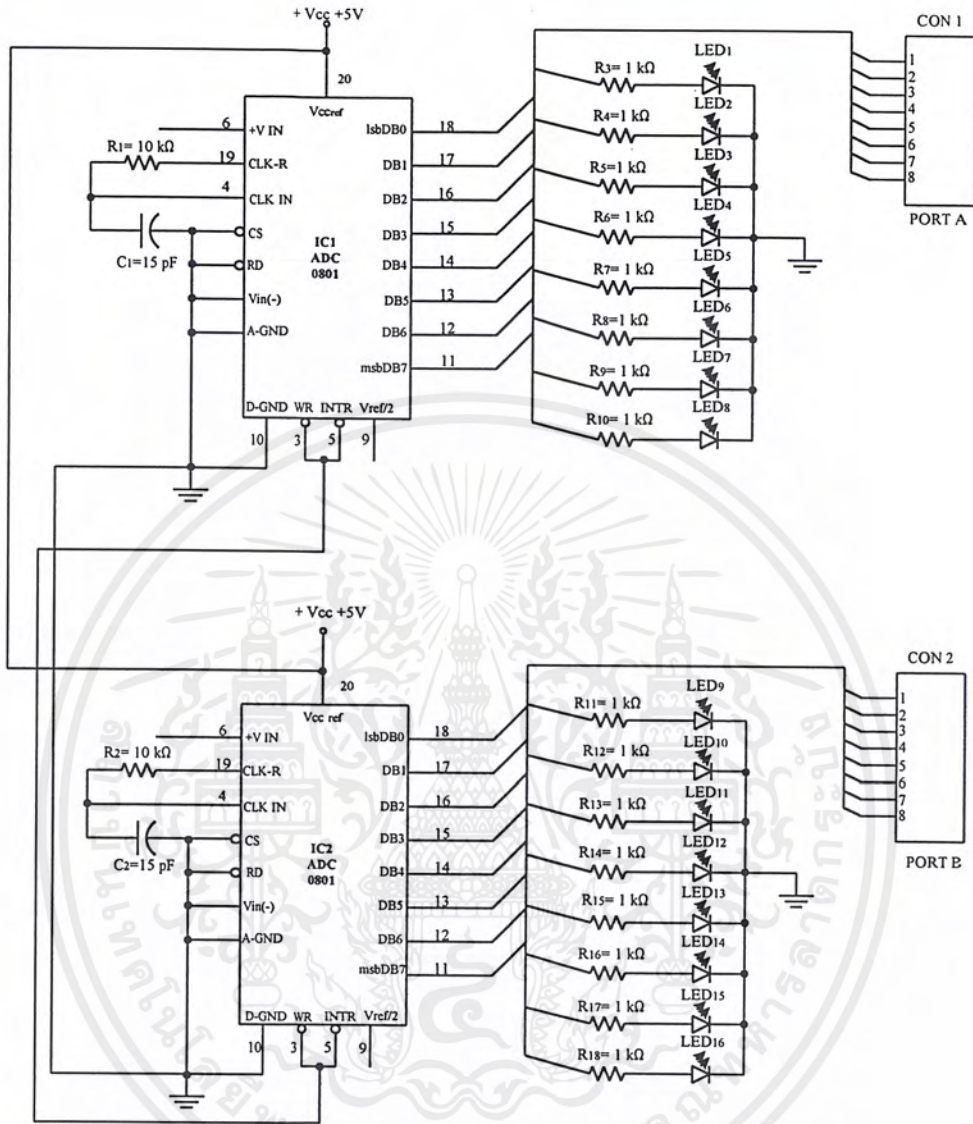
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ข

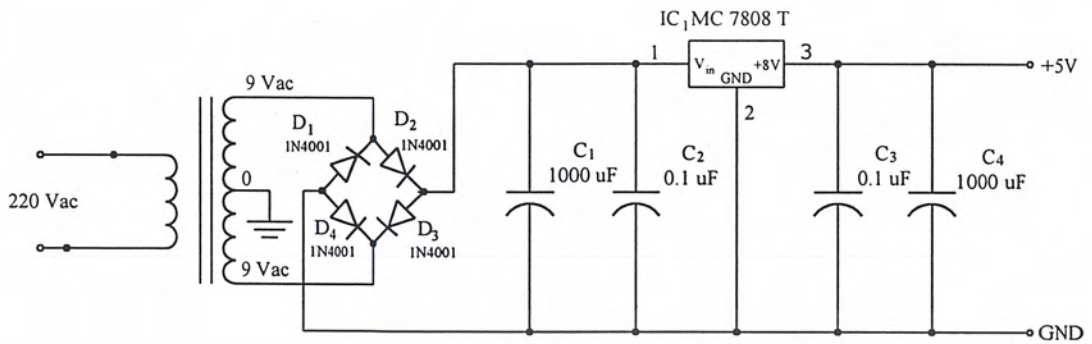
วงจร และลายวงจรมพม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

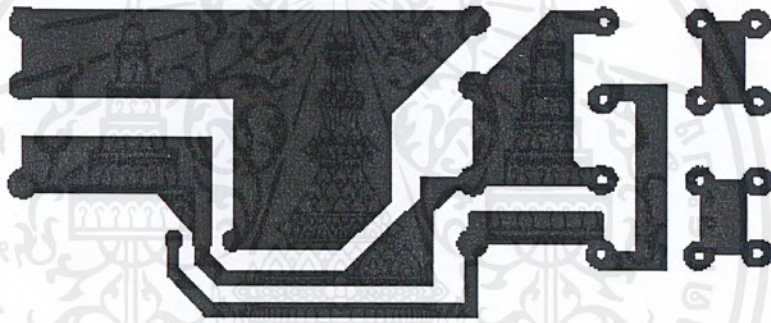


รูปที่ ข.1 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

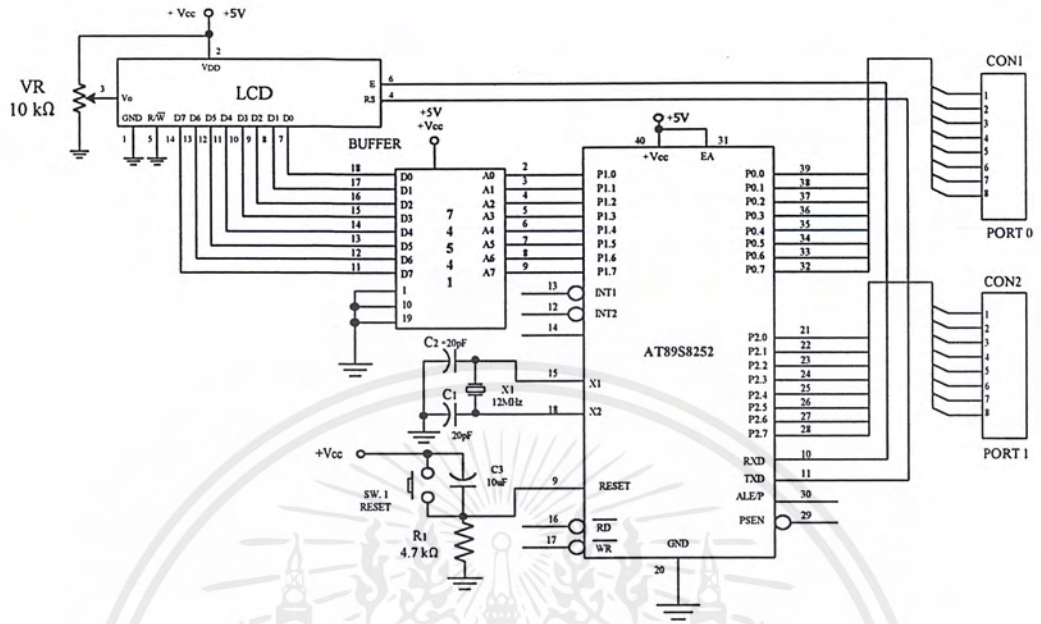


รูปที่ ข.2 วงจรภาคจ่ายไฟ

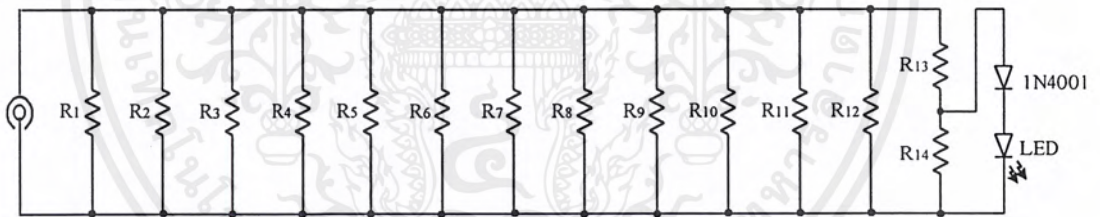


รูปที่ ข.3 แผ่นวงจรพิมพ์วงจรภาคจ่ายไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

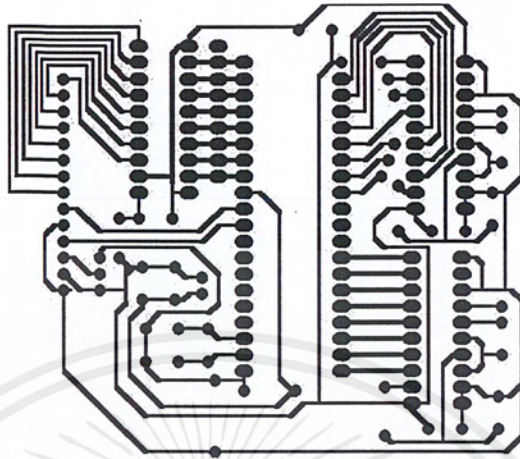


รูปที่ ข.4 วงจรไมโครคอนโทรลเลอร์ AT89S8252



รูปที่ ข.5 วงจรภาคการะเทียม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.6 แผ่วงจรพิมพ์วงจรไมโครคอนโทรลเลอร์ AT89S8252





ภาคผนวก ค  
รายการอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## รายการอุปกรณ์

ตารางที่ ค.1 รายการอุปกรณ์ภาคไมโครคอนโทรลเลอร์ AT89S8252

รายการอุปกรณ์	จำนวน
ไอซี AT89S8252	1 ตัว
ไอซี HC541	1 ตัว
ตัวเก็บประจุ 20 พิโกฟารัด	2 ตัว
ตัวเก็บประจุ 0.1 ไมโครฟารัด	2 ตัว
ตัวเก็บประจุ 4.7 ไมโครฟารัด	1 ตัว
ตัวความต้านทาน 10 กิโลโอห์ม	2 ตัว
ตัวต้านทานปรับค่าได้ 10 กิโลโอห์ม	1 ตัว
ไมโครสวิทช์	1 ตัว
คริสตอล 12 เมกะเฮิร์ตซ์	1 ตัว
แอลซีดีโมดูล 16 แถว 2 บรรทัด	1 ตัว
สวิทช์กดติดปล่อยดับ	1 ตัว

ตารางที่ ค.2 รายการอุปกรณ์ภาคแปลงสัญญาณแอนะล็อกเป็นดิจิทัล

รายการอุปกรณ์	จำนวน
ไอซี ADC0801	2 ตัว
ตัวเก็บประจุ 15 พิโกฟารัด	2 ตัว
ตัวเก็บประจุ 0.1 ไมโครฟารัด	2 ตัว
ตัวความต้านทาน 10 กิโลโอห์ม	2 ตัว
ตัวต้านทานปรับค่าได้ 10 กิโลโอห์ม	2 ตัว
สวิทช์กดติดปล่อยดับ	1 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ค.3 รายการอุปกรณ์ภาคจ่ายไฟ

รายการอุปกรณ์	จำนวน
ไอซี 7805	1 ตัว
หม้อแปลง 12 โวลต์ 2 แอมป์	1 ตัว
ตัวเก็บประจุ 1000 ไมโครฟารัด	2 ตัว
ตัวเก็บประจุ 0.1 ไมโครฟารัด	2 ตัว
ไดโอด 1N4001	4 ตัว
ฟิวส์ 2 แอมป์ 250 โวลต์	1 ตัว
สวิตช์ AC 250 โวลต์ 10 แอมป์	1 ตัว

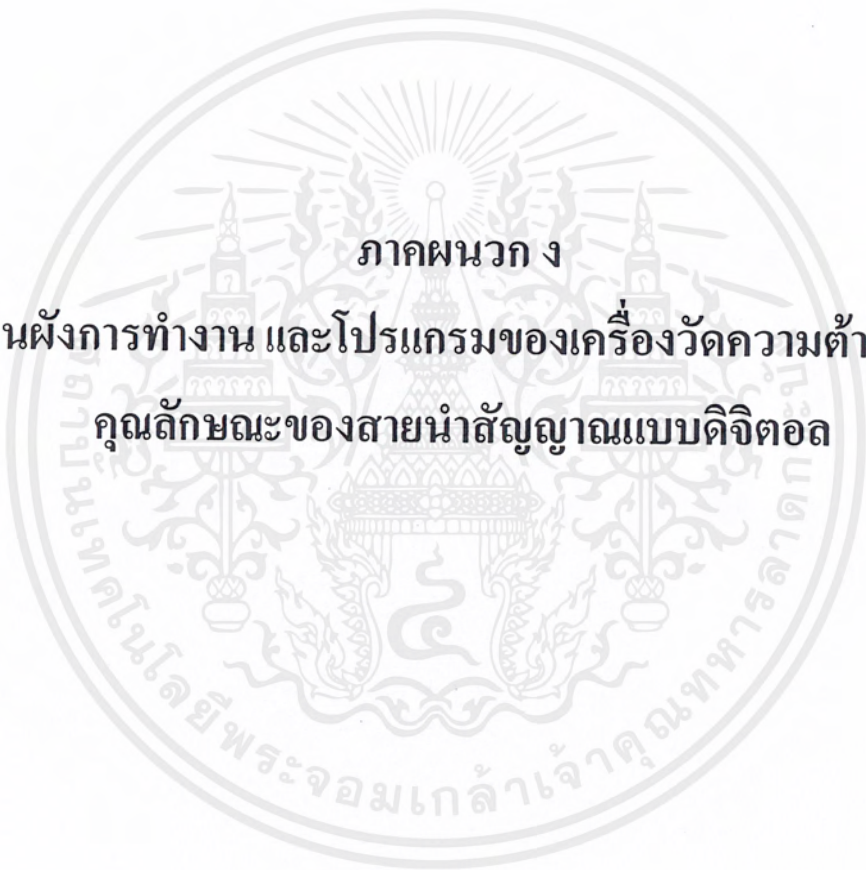
ตารางที่ ค.4 รายการอุปกรณ์ภาคการระเหิม

รายการอุปกรณ์	จำนวน
ตัวความต้านทาน 470 โอห์ม	12 ตัว
ตัวต้านทานปรับค่าได้ 2.2 กิโลโอห์ม	2 ตัว
ไดโอด 1N4001	1 ตัว
ไดโอดเปล่งแสง	1 ตัว

ตารางที่ ค.5 รายการอุปกรณ์ภาคเหนี่ยวนำแรงดัน

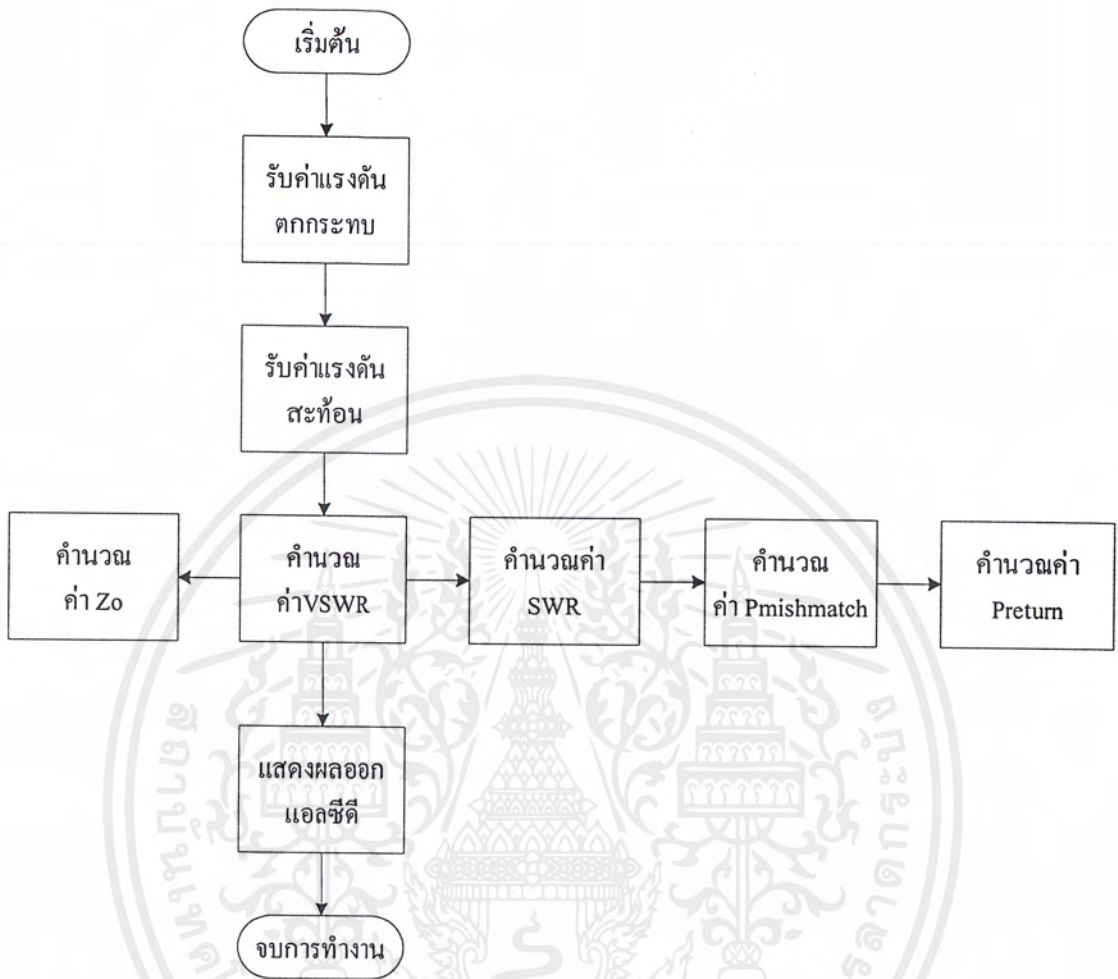
รายการอุปกรณ์	จำนวน
สายนำสัญญาณเบอร์ RG 58 A/U	1 เส้น
ตัวความต้านทาน 53 กิโลโอห์ม	2 ตัว
ตัวความต้านทาน 22 กิโลโอห์ม	2 ตัว
ตัวเก็บประจุ 0.1 ไมโครฟารัด	2 ตัว
ไดโอด 1N4148	2 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ง  
แผนผังการทำงาน และโปรแกรมของเครื่องวัดความต้านทาน  
คุณลักษณะของสายนำสัญญาณแบบดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ง.1 แผนผังการทำงานของเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## โปรแกรมของเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

	LCD_RS	BIT	P3.0
	LCD_EN	BIT	P3.1
	LCD_ADDR	EQU	030H
	CD_DATA	EQU	031H
	ORG		0000H
	LCALL		DELAY_1S
MAIN:	LCALL		INIT_LCD
	MOV		20H, #00H
	MOV		22H, #00H
	CLR		P0
	CLR		P2
	CLR		C
	MOV		20H, P0
	MOV		22H, P2
	MOV		R2, 20H
	MOV		A, 22H
	ADDC		A, R2
	CLR		C
	CJNE		A, #17H, E1
	LCALL		G0
E1:	CJNE		A, #19H, E2
	LCALL		G1
E2:	CJNE		A, #1BH, E3
	LCALL		G2
E3:	CJNE		A, #1DH, E4
	LCALL		G3
E4:	CJNE		A, #36H, E5
	LCALL		G4
E5:	CJNE		A, #38H, E6
	LCALL		G5
E6:	CJNE		A, #3AH, E7
	LCALL		G6
E7:	CJNE		A, #1FH, E8
	LCALL		G7
E8:	CJNE		A, #3EH, E9
	LCALL		G8
E9:	CJNE		A, #48H, E10
	LCALL		G9
E10:	CJNE		A, #3CH, E11
	LCALL		G10
E11:	CJNE		A, #41H, E12
	LCALL		G11
E12:	CJNE		A, #43H, E13
	LCALL		G12
E13:	CJNE		A, #45H, E14
LCALL	G13E14:		
	CJNE		A, #40H, E15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

E15:      CJNE      A, #44H, E16
          LCALL     G15
E16:      CJNE      A, #46H, E17
          LCALL     G16
E17:      CJNE      A, #4CH, E18
          LCALL     G17
E18:      CJNE      A, #4EH, E19
          LCALL     G18
E19:      CJNE      A, #042H, E20
          LCALL     G19
E20:      CJNE      A, #00H, ABC
          LCALL     G20
ABC:      LJMP      MAIN

G0:       MOV       LCD_ADDR, #000H
          ACALL     SET_ADDR_LCD
          MOV       DPTR, #T
          ACALL     WR_LINE_LCD
          MOV       LCD_ADDR, #040H
          ACALL     SET_ADDR_LCD
          MOV       DPTR, #G0Z
          ACALL     WR_LINE_LCD
          LCALL     DELAY_1S
          CLR       P0
          CLR       P2
          LJMP      MAIN
G1:       MOV       LCD_ADDR, #000H
          ACALL     SET_ADDR_LCD
          MOV       DPTR, #T
          ACALL     WR_LINE_LCD
          MOV       LCD_ADDR, #040H
          ACALL     SET_ADDR_LCD
          MOV       DPTR, #G1Z
          ACALL     WR_LINE_LCD
          LCALL     DELAY_1S
          CLR       P0
          CLR       P2
          LJMP      MAIN
G2:       MOV       LCD_ADDR, #000H
          ACALL     SET_ADDR_LCD
          MOV       DPTR, #T
          ACALL     WR_LINE_LCD
          MOV       LCD_ADDR, #040H
          ACALL     SET_ADDR_LCD
          MOV       DPTR, #G2Z
          ACALL     WR_LINE_LCD
          LCALL     DELAY_1S
G7:       MOV       LCD_ADDR, #000H
          ACALL     SET_ADDR_LCD

```

```

          CLR          P0
          CLR          P2
          LJMP         MAIN
G3:      MOV          LCD_ADDR, #000H
          ACALL        SET_ADDR_LCD
          MOV          DPTR, #T
          ACALL        WR_LINE_LCD
          MOV          LCD_ADDR, #040H
          ACALL        SET_ADDR_LCD
          MOV          DPTR, #G3Z
          ACALL        WR_LINE_LCD
          LCALL        DELAY_1S
          CLR          P0
          CLR          P2
          LJMP         MAIN
G4:      MOV          LCD_ADDR, #000H
          ACALL        SET_ADDR_LCD
          MOV          DPTR, #T
          ACALL        WR_LINE_LCD
          MOV          LCD_ADDR, #040H
          ACALL        SET_ADDR_LCD
          MOV          DPTR, #G4Z
          ACALL        WR_LINE_LCD
          LCALL        DELAY_1S
          CLR          P0
          CLR          P2
          LJMP         MAIN
G5:      MOV          LCD_ADDR, #000H
          ACALL        SET_ADDR_LCD
          MOV          DPTR, #T
          ACALL        WR_LINE_LCD
          MOV          LCD_ADDR, #040H
          ACALL        SET_ADDR_LCD
          MOV          DPTR, #G5Z
          ACALL        WR_LINE_LCD
          LCALL        DELAY_1S
          CLR          P0
          CLR          P2
          LJMP         MAIN
G6:      MOV          LCD_ADDR, #000H
          ACALL        SET_ADDR_LCD
          MOV          DPTR, #T
          ACALL        WR_LINE_LCD
          MOV          LCD_ADDR, #040H
          ACALL        SET_ADDR_LCD
          MOV          DPTR, #G6Z
          ACALL        WR_LINE_LCD
          LCALL        DELAY_1S
          CLR          P0
          CLR          P2
          LJMP         MAIN
          MOV          DPTR, #T

```

```

MOV          DPTR, #T
ACALL       WR_LINE_LCD
MOV         LCD_ADDR, #040H
ACALL       SET_ADDR_LCD
MOV         DPTR, #G7Z
ACALL       WR_LINE_LCD
LCALL      DELAY_1S
CLR         P0
CLR         P2
LJMP       MAIN
G8:         MOV         LCD_ADDR, #000H
ACALL       SET_ADDR_LCD
MOV         DPTR, #T
ACALL       WR_LINE_LCD
MOV         LCD_ADDR, #040H
ACALL       SET_ADDR_LCD
MOV         DPTR, #G8Z
ACALL       WR_LINE_LCD
LCALL      DELAY_1S
CLR         P0
CLR         P2
LJMP       MAIN
G9:         MOV         LCD_ADDR, #000H
ACALL       SET_ADDR_LCD
MOV         DPTR, #T
ACALL       WR_LINE_LCD
MOV         LCD_ADDR, #040H
ACALL       SET_ADDR_LCD
MOV         DPTR, #G9Z
ACALL       WR_LINE_LCD
LCALL      DELAY_1S
CLR         P0
CLR         P2
LJMP       MAIN
G10:        MOV         LCD_ADDR, #000H
ACALL       SET_ADDR_LCD
MOV         DPTR, #T
ACALL       WR_LINE_LCD
MOV         LCD_ADDR, #040H
ACALL       SET_ADDR_LCD
MOV         DPTR, #G10Z
ACALL       WR_LINE_LCD
LCALL      DELAY_1S
CLR         P0
CLR         P2
LJMP       MAIN
G11:        MOV         LCD_ADDR, #000H
ACALL       SET_ADDR_LCD
MOV         DPTR, #T
ACALL       WR_LINE_LCD
MOV         LCD_ADDR, #040H
ACALL       SET_ADDR_LCD
MOV         DPTR, #G11Z

```

```

ACALL      SET_ADDR_LCD
           MOV      DPTR, #G11Z
           ACALL   WR_LINE_LCD
           LCALL   DELAY_1S
           CLR     P0
           CLR     P2
           LJMP    MAIN
G12:      MOV      LCD_ADDR, #000H
           ACALL   SET_ADDR_LCD
           MOV      DPTR, #T
           ACALL   WR_LINE_LCD
           MOV      LCD_ADDR, #040H
           ACALL   SET_ADDR_LCD
           MOV      DPTR, #G12Z
           ACALL   WR_LINE_LCD
           LCALL   DELAY_1S
           CLR     P0
           CLR     P2
           LJMP    MAIN
G13:      MOV      LCD_ADDR, #000H
           ACALL   SET_ADDR_LCD
           MOV      DPTR, #T
           ACALL   WR_LINE_LCD
           MOV      LCD_ADDR, #040H
           ACALL   SET_ADDR_LCD
           MOV      DPTR, #G13Z
           ACALL   WR_LINE_LCD
           LCALL   DELAY_1S
           CLR     P0
           CLR     P2
           LJMP    MAIN
G14:      MOV      LCD_ADDR, #000H
           ACALL   SET_ADDR_LCD
           MOV      DPTR, #T
           ACALL   WR_LINE_LCD
           MOV      LCD_ADDR, #040H
           ACALL   SET_ADDR_LCD
           MOV      DPTR, #G14Z
           ACALL   WR_LINE_LCD
           LCALL   DELAY_1S
           CLR     P0
           CLR     P2
           LJMP    MAIN
G15:      MOV      LCD_ADDR, #000H
           ACALL   SET_ADDR_LCD
           MOV      DPTR, #T
           ACALL   WR_LINE_LCD
           MOV      LCD_ADDR, #040HACALL
           SET_ADDR_LCD
           MOV      DPTR, #G15Z
           ACALL   WR_LINE_LCD

```

```

LJMP      MAIN
CLR       P2
LJMP      MAIN
LCALL     DELAY_1S
CLR       P0
CLR       P2
LJMP      MAIN
G16:     MOV       LCD_ADDR, #000H
        ACALL     SET_ADDR_LCD
        MOV       DPTR, #T
        ACALL     WR_LINE_LCD
        MOV       LCD_ADDR, #040H
        ACALL     SET_ADDR_LCD
        MOV       DPTR, #G16Z
        ACALL     WR_LINE_LCD
        LCALL     DELAY_1S
        CLR       P0
        CLR       P2
LJMP      MAIN
G17:     MOV       LCD_ADDR, #000H
        ACALL     SET_ADDR_LCD
        MOV       DPTR, #T
        ACALL     WR_LINE_LCD
        MOV       LCD_ADDR, #040H
        ACALL     SET_ADDR_LCD
        MOV       DPTR, #G17Z
        ACALL     WR_LINE_LCD
        LCALL     DELAY_1S
        CLR       P0
        CLR       P2
LJMP      MAIN
G18:     MOV       LCD_ADDR, #000H
        ACALL     SET_ADDR_LCD
        MOV       DPTR, #T
        ACALL     WR_LINE_LCD
        MOV       LCD_ADDR, #040H
        ACALL     SET_ADDR_LCD
        MOV       DPTR, #G18Z
        ACALL     WR_LINE_LCD
        LCALL     DELAY_1S
        CLR       P0
        CLR       P2
LJMP      MAIN
G19:     MOV       LCD_ADDR, #000H
        ACALL     SET_ADDR_LCD
        MOV       DPTR, #T
        ACALL     WR_LINE_LCD
        MOV       LCD_ADDR, #040H
        ACALL     SET_ADDR_LCD
        MOV       DPTR, #G19Z
        LJMP      MAIN

```

```
G20:      MOV          LCD_ADDR,#000H
          ACALL      SET_ADDR_LCD
          MOV        DPTR,#T
          ACALL      WR_LINE_LCD
          MOV        LCD_ADDR,#040H
          ACALL      SET_ADDR_LCD
          MOV        DPTR,#G20Z
          ACALL      WR_LINE_LCD
          LCALL      DELAY_1S
          CLR        P0
          CLR        P2
          LJMP       MAIN
```

```
;-----
;          LCD          Initialize
;-----
```

```
INIT_LCD: ACALL      DELAY_100MS
          CLR        LCD_RS
          MOV        P1,#00111000B
          ACALL      LCD_CLK
          ACALL      DELAY_10MS
          MOV        P1,#00111000B
          ACALL      LCD_CLK
          ACALL      LCD_OFF
          ACALL      LCD_CLR
          MOV        P1,#00000110B
          ACALL      LCD_CLK
          ACALL      LCD_HOME
```

```
;-----
;          LCD          Clear Display
;-----
```

```
LCD_CLR:  CLR        LCD_RS
          MOV        P1,#00000001B
          ACALL      LCD_CLK
          RET
```

```
;-----
;          LCD          Return      Home
;-----
```

```
LCD_HOME: CLR        LCD_RS
          MOV        P1,#00000010B
          ACALL      LCD_CLK
```

```
;-----
;          LCD          Display      Off
;-----
```

```
LCD_OFF:  CLR        LCD_RS
          MOV        P1,#00001000B
          ACALL      LCD_CLK
          RET
```

```
;-----
;          LCD          Clk
;-----
```

```

; LCD Display On
LCD_ON: CLR LCD_RS
        MOV P1,#00001100B
        ACALL LCD_CLK
        RET
;-----
; Set LCD Address
; I/P LCD_ADDR
;-----
SET_ADDR_LCD: CLR LCD_RS
              MOV A, LCD_ADDR
              SETB ACC.7
              MOV P1,A
              ACALL LCD_CLK
              RET
;-----
; Write Character to Show LCD
; I/P LCD_DATA
;-----
WR_CHAR_LCD: SETB LCD_RS
             MOV P1,LCD_DATA
             ACALL LCD_CLK
             ACALL LCD_ON
             RET
;-----
; Write Line of 16 Character from ROM
; I/P DPTR : Locate ROM Address
;-----
WR_LINE_LCD: MOV R5,#0
WR_LINE_LCD_1: SETB LCD_RS
              CLR A
              MOVC A,@A+DPTR
              MOV P1,A
              ACALL LCD_CLK
              INC DPTR
              INC R5
              CJNE R5,#16,WR_LINE_LCD_1
              ACALL LCD_ON
              RET
;-----
; Dummy Delay time LCD_DELAY, 10M, 100M, 1S
;-----
LCD_DELAY: MOV R7,#002
LCD_DELAY_1: MOV R6,#0FFH
LCD_DELAY_2: NOP
            NOP
            DJNZ R6, LCD_DELAY_2
            DJNZ R7, LCD_DELAY_1
            RET
            ACALL LCD_ON

```

```

RET
-----
;      Dummy Delay time LCD_DELAY, 10M, 100M, 1S
-----
LCD_DELAY:      MOV    R7,#002
LCD_DELAY_1:    MOV    R6,#0FFH

LCD_DELAY_2:    NOP
                NOP
                DJNZ  R6,   LCD_DELAY_2
                DJNZ  R7,   LCD_DELAY_1
                RET

DELAY_10MS:     MOV    R7,#010
DELAY_10MS_1:   MOV    R6,#0FFH
DELAY_10MS_2:   NOP
                NOP
                DJNZ  R6,DELAY_10MS_2
                DJNZ  R7,DELAY_10MS_1
                RET

DELAY_100MS:    MOV    R7,#100
DELAY_100MS_1:  MOV    R6,#0FFH
DELAY_100MS_2:  NOP
                NOP
                DJNZ  R6,DELAY_100MS_2
                DJNZ  R7,DELAY_100MS_1
                RET

DELAY_1S:       MOV    R5,#100
DELAY_1S_1:     ACALL  DELAY_10MS
                DJNZ  R5,DELAY_1S_1
                RET

T:              DB    ' IMPEDANCE ='
G0Z:            DB    ': 47.4928  OHM'
G1Z:            DB    ': 48.5134  OHM'
G2Z:            DB    ': 49.7342  OHM'
G3Z:            DB    ': 50.4937  OHM'
G4Z:            DB    ': 51.7239  OHM'
G5Z:            DB    ': 52.3497  OHM'
G6Z:            DB    ': 53.7932  OHM'
G7Z:            DB    ': 63.4359  OHM'
G8Z:            DB    ': 64.3145  OHM'
G9Z:            DB    ': 84.7438  OHM'
G10Z:           DB    ': 75.4392  OHM'
G11Z:           DB    ': 76.5214  OHM'
G12Z:           DB    ': 77.9635  OHM'
G13Z:           DB    ': 78.3246  OHM'
G14Z:           DB    ': 83.9763  OHM'
G15Z:           DB    ': 92.4378  OHM'
G16Z:           DB    ': 92.4378  OHM'
G17Z:           DB    ': 94.9742  OHM'
G18Z:           DB    ': 95.6378  OHM'
G19Z:           DB    ': 93.2761  OHM'
G20Z:           DB    ' PLEASE WAIT '
                END

```

## รูปที่ ง.2 โปรแกรมของเครื่องวัดความต้านทานของสายนำสัญญาณแบบดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก จ

รายละเอียดข้อมูล และคุณสมบัติของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Features

- Compatible with MCS-51™ Products
- 8K Bytes of In-System Reprogrammable Downloadable Flash Memory
  - SPI Serial Interface for Program Downloading
  - Endurance: 1,000 Write/Erase Cycles
- 2K Bytes EEPROM
  - Endurance: 100,000 Write/Erase Cycles
- 4.0V to 6V Operating Range
- Fully Static Operation: 0 Hz to 24 MHz
- Three-Level Program Memory Lock
- 256 x 8-bit Internal RAM
- 32 Programmable I/O Lines
- Three 16-bit Timer/Counters
- Nine Interrupt Sources
- Programmable UART Serial Channel
- SPI Serial Interface
- Low Power Idle and Power Down Modes
- Interrupt Recovery From Power Down
- Programmable Watchdog Timer
- Dual Data Pointer
- Power Off Flag

## Description

The AT89S8252 is a low-power, high-performance CMOS 8-bit microcomputer with 8K bytes of Downloadable Flash programmable and erasable read only memory and 2K bytes of EEPROM. The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard 80C51 instruction set and pinout. The on-chip Downloadable Flash allows the program memory to be reprogrammed in-system through an SPI serial interface or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Downloadable Flash on a monolithic chip, the Atmel AT89S8252 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

The AT89S8252 provides the following standard features: 8K bytes of Downloadable Flash, 2K bytes of EEPROM, 256 bytes of RAM, 32 I/O lines, programmable watchdog timer, two Data Pointers, three 16-bit timer/counters, a six-vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator, and clock circuitry. In addition, the AT89S8252 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port, and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator, disabling all other chip functions until the next interrupt or hardware reset.

The Downloadable Flash can be changed a single byte at a time and is accessible through the SPI serial interface. Holding RESET active forces the SPI bus into a serial programming interface and allows the program memory to be written to or read from, unless Lock Bit 2 has been activated.



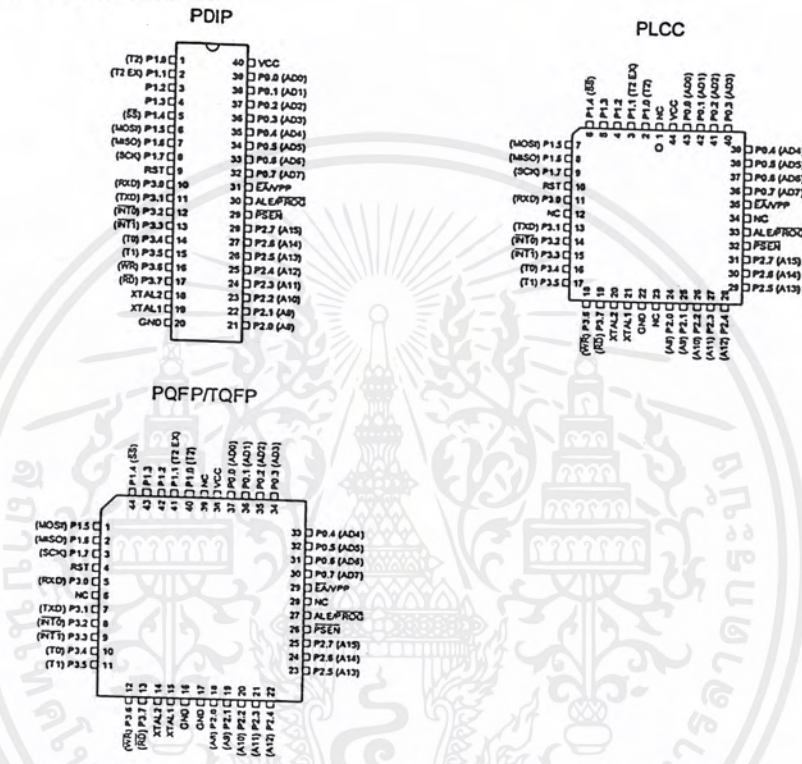
**8-Bit  
Microcontroller  
with 8K Bytes  
Flash**

**AT89S8252**





Pin Configurations



Pin Description

V<sub>cc</sub>  
Supply voltage.

GND  
Ground.

Port 0  
Port 0 is an 8-bit open drain bidirectional I/O port. As an output port, each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 can also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode, P0 has internal pullups.

Port 0 also receives the code bytes during Flash programming and outputs the code bytes during program verification. External pullups are required during program verification.

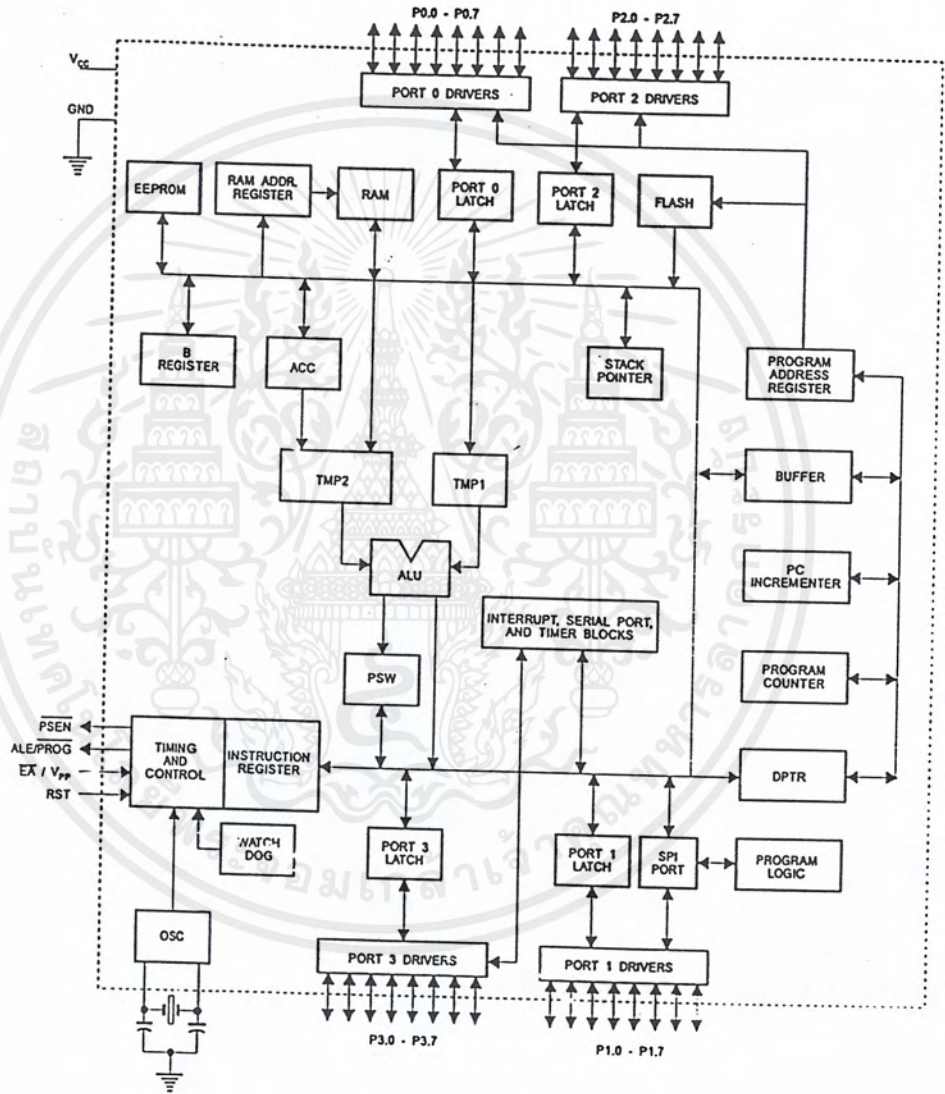
Port 1

Port 1 is an 8-bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I<sub>IL</sub>) because of the internal pullups.

Some Port 1 pins provide additional functions. P1.0 and P1.1 can be configured to be the timer/counter 2 external count input (P1.0/T2) and the timer/counter 2 trigger input (P1.1/T2EX), respectively.

AT89S8252

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Furthermore, P1.4, P1.5, P1.6, and P1.7 can be configured as the SPI slave port select, data Input/output and shift clock Input/output pins as shown in the following table.

Port Pin	Alternate Functions
P1.0	T2 (external count Input to Timer/Counter 2), clock-out
P1.1	T2EX (Timer/Counter 2 capture/reload trigger and direction control)
P1.4	$\overline{SS}$ (Slave port select input)
P1.5	MOSI (Master data output, slave data input pin for SPI channel)
P1.6	MISO (Master data input, slave data output pin for SPI channel)
P1.7	SCK (Master clock output, slave clock input pin for SPI channel)

Port 1 also receives the low-order address bytes during Flash programming and verification.

#### Port 2

Port 2 is an 8-bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current ( $I_{IL}$ ) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application, Port 2 uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

#### Port 3

Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current ( $I_{IL}$ ) because of the pullups.

Port 3 also serves the functions of various special features of the AT89S8252, as shown in the following table.

Port 3 also receives some control signals for Flash programming and verification.

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (external data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

#### RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

#### ALE/ $\overline{PROG}$

Address Latch Enable is an output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ( $\overline{PROG}$ ) during Flash programming.

In normal operation, ALE is emitted at a constant rate of 1/6 the oscillator frequency and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external data memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

#### $\overline{PSEN}$

Program Store Enable is the read strobe to external program memory.

When the AT89S8252 is executing code from external program memory,  $\overline{PSEN}$  is activated twice each machine cycle, except that two  $\overline{PSEN}$  activations are skipped during each access to external data memory.

#### $\overline{EA}/V_{PP}$

External Access Enable.  $\overline{EA}$  must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed,  $\overline{EA}$  will be internally latched on reset.

$\overline{EA}$  should be strapped to  $V_{CC}$  for internal program executions. This pin also receives the 12-volt programming enable voltage ( $V_{PP}$ ) during Flash programming when 12-volt programming is selected.

## AT89S8252

**AT89S8252**

**XTAL1**  
Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

**XTAL2**  
Output from the inverting oscillator amplifier.

**Special Function Registers**

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in Table 1.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

Table 1. AT89S8252 SFR Map and Reset Values

0F8H									0FFH
0F0H	B 00000000								0F7H
0E8H									0EFH
0E0H	ACC 00000000								0E7H
0D8H									0DFH
0D0H	PSW 00000000					SPCR 000001XX			0D7H
0C8H	T2CON 00000000	T2MOD XXXXXX00	RCAP2L 00000000	RCAP2H 00000000	TL2 00000000	TH2 00000000			0CFH
0C0H									0C7H
0B8H	IP XX000000								0BFH
0B0H	P3 11111111								0B7H
0A8H	IE 0X000000		SPSR 00XXXXXX						0AFH
0A0H	P2 11111111								0A7H
98H	SCON 00000000	SBUF XXXXXXXX							9FH
90H	P1 11111111						WMCON 00000010		97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000			8FH
80H	P0 11111111	SP 00000111	DP0L 00000000	DP0H 00000000	DP1L 00000000	DP1H 00000000	SPDR XXXXXXXX	PCON 0XX00000	87H





User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

Timer 2 Registers Control and status bits are contained in registers T2CON (shown in Table 2) and T2MOD (shown in Table 9) for Timer 2. The register pair (RCAP2H, RCAP2L) are the Capture/Reload registers for Timer 2 in 16 bit capture mode or 16-bit auto-reload mode.

Watchdog and Memory Control Register The WMCON register contains control bits for the Watchdog Timer (shown in Table 3). The EEMEN and EEMWE bits are used to select the 2K bytes on-chip EEPROM, and to enable byte-write. The DPS bit selects one of two DPTR registers available.

SPI Registers Control and status bits for the Serial Peripheral Interface are contained in registers SPCR (shown in Table 4) and SPSR (shown in Table 5). The SPI data bits are contained in the SPDR register. Writing the SPI data register during serial data transfer sets the Write Collision bit, WCOL, in the SPSR register. The SPDR is double buffered for writing and the values in SPDR are not changed by Reset.

Interrupt Registers The global interrupt enable bit and the individual interrupt enable bits are in the IE register. In addition, the individual interrupt enable bit for the SPI is in the SPCR register. Two priorities can be set for each of the six interrupt sources in the IP register.

Table 2. T2CON—Timer/Counter 2 Control Register

T2CON Address = 0C8H		Reset Value = 0000 000B						
Bit Addressable								
Bit	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2
	7	6	5	4	3	2	1	0
Symbol	Function							
TF2	Timer 2 overflow flag set by a Timer 2 overflow and must be cleared by software. TF2 will not be set when either RCLK = 1 or TCLK = 1.							
EXF2	Timer 2 external flag set when either a capture or reload is caused by a negative transition on T2EX and EXEN2 = 1. When Timer 2 interrupt is enabled, EXF2 = 1 will cause the CPU to vector to the Timer 2 interrupt routine. EXF2 must be cleared by software. EXF2 does not cause an interrupt in up/down counter mode (DCEN = 1).							
RCLK	Receive clock enable. When set, causes the serial port to use Timer 2 overflow pulses for its receive clock in serial port Modes 1 and 3. RCLK = 0 causes Timer 1 overflows to be used for the receive clock.							
TCLK	Transmit clock enable. When set, causes the serial port to use Timer 2 overflow pulses for its transmit clock in serial port Modes 1 and 3. TCLK = 0 causes Timer 1 overflows to be used for the transmit clock.							
EXEN2	Timer 2 external enable. When set, allows a capture or reload to occur as a result of a negative transition on T2EX if Timer 2 is not being used to clock the serial port. EXEN2 = 0 causes Timer 2 to ignore events at T2EX.							
TR2	Start/Stop control for Timer 2. TR2 = 1 starts the timer.							
C/T2	Timer or counter select for Timer 2. C/T2 = 0 for timer function. C/T2 = 1 for external event counter (falling edge triggered).							
CP/RL2	Capture/Reload select. CP/RL2 = 1 causes captures to occur on negative transitions at T2EX if EXEN2 = 1. CP/RL2 = 0 causes automatic reloads to occur when Timer 2 overflows or negative transitions occur at T2EX when EXEN2 = 1. When either RCLK or TCLK = 1, this bit is ignored and the timer is forced to auto-reload on Timer 2 overflow.							

AT89S8252

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AT89S8252

**Dual Data Pointer Registers** To facilitate accessing both internal EEPROM and external data memory, two banks of 16 bit Data Pointer Registers are provided: DP0 at SFR address locations 82H-83H and DP1 at 84H-85H. Bit DPS = 0 in SFR WMCON selects DP0 and DPS = 1 selects DP1. The user should always initialize the DPS bit to the

appropriate value before accessing the respective Data Pointer Register.

**Power Off Flag** The Power Off Flag (POF) is located at bit\_4 (PCON.4) in the PCON SFR. POF is set to "1" during power up. It can be set and reset under software control and is not affected by RESET.

Table 3. WMCON—Watchdog and Memory Control Register

WMCON Address = 96H		Reset Value = 0000 0010B						
Bit	PS2	PS1	PS0	EEMWE	EEMEN	DPS	WDRST	WDTEN
	7	6	5	4	3	2	1	0
Symbol	Function							
PS2 PS1 PS0	Prescaler Bits for the Watchdog Timer. When all three bits are set to "0", the watchdog timer has a nominal period of 16 ms. When all three bits are set to "1", the nominal period is 2048 ms.							
EEMWE	EEPROM Data Memory Write Enable Bit. Set this bit to "1" before initiating byte write to on-chip EEPROM with the MOVX instruction. User software should set this bit to "0" after EEPROM write is completed.							
EEMEN	Internal EEPROM Access Enable. When EEMEN = 1, the MOVX instruction with DPTR will access on-chip EEPROM instead of external data memory. When EEMEN = 0, MOVX with DPTR accesses external data memory.							
DPS	Data Pointer Register Select. DPS = 0 selects the first bank of Data Pointer Register, DP0, and DPS = 1 selects the second bank, DP1							
WDRST RDY/BSY	Watchdog Timer Reset and EEPROM Ready/Busy Flag. Each time this bit is set to "1" by user software, a pulse is generated to reset the watchdog timer. The WDRST bit is then automatically reset to "0" in the next instruction cycle. The WDRST bit is Write-Only. This bit also serves as the RDY/BSY flag in a Read-Only mode during EEPROM write. RDY/BSY = 1 means that the EEPROM is ready to be programmed. While programming operations are being executed, the RDY/BSY bit equals "0" and is automatically reset to "1" when programming is completed.							
WDTEN	Watchdog Timer Enable Bit. WDTEN = 1 enables the watchdog timer and WDTEN = 0 disables the watchdog timer.							



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Table 4. SPCR—SPI Control Register

SPCR Address = D5H								Reset Value = 0000 01XXB	
Bit	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	
	7	6	5	4	3	2	1	0	
Symbol	Function								
SPIE	SPI Interrupt Enable. This bit, in conjunction with the ES bit in the IE register, enables SPI interrupts: SPIE = 1 and ES = 1 enable SPI interrupts. SPIE = 0 disables SPI interrupts.								
SPE	SPI Enable. SPI = 1 enables the SPI channel and connects $\overline{SS}$ , MOSI, MISO and SCK to pins P1.4, P1.5, P1.6, and P1.7. SPI = 0 disables the SPI channel.								
DORD	Data Order. DORD = 1 selects LSB first data transmission. DORD = 0 selects MSB first data transmission.								
MSTR	Master/Slave Select. MSTR = 1 selects Master SPI mode. MSTR = 0 selects Slave SPI mode.								
CPOL	Clock Polarity. When CPOL = 1, SCK is high when idle. When CPOL = 0, SCK of the master device is low when not transmitting. Please refer to figure on SPI Clock Phase and Polarity Control.								
CPHA	Clock Phase. The CPHA bit together with the CPOL bit controls the clock and data relationship between master and slave. Please refer to figure on SPI Clock Phase and Polarity Control.								
SPR0 SPR1	SPI Clock Rate Select. These two bits control the SCK rate of the device configured as master. SPR1 and SPR0 have no effect on the slave. The relationship between SCK and the oscillator frequency, $F_{osc}$ , is as follows:								
	SPR1	SPR0	SCK = $F_{osc}$ , divided by						
	0	0	4						
	0	1	16						
	1	0	64						
	1	1	128						

Table 5. SPSR—SPI Status Register

SPSR Address = AAH								Reset Value = 00XX X'XXB	
Bit	SPIF	WCOL	—	—	—	—	—	—	—
	7	6	5	4	3	2	1	0	
Symbol	Function								
SPIF	SPI Interrupt Flag. When a serial transfer is complete, the SPIF bit is set and an interrupt is generated if SPIE = 1 and ES = 1. The SPIF bit is cleared by reading the SPI status register with SPIF and WCOL bits set, and then accessing the SPI data register.								
WCOL	Write Collision Flag. The WCOL bit is set if the SPI data register is written during a data transfer. During data transfer, the result of reading the SPDR register may be incorrect, and writing to it has no effect. The WCOL bit (and the SPIF bit) are cleared by reading the SPI status register with SPIF and WCOL set, and then accessing the SPI data register.								

AT89S8252

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AT89S8252

Table 6. SPDR—SPI Data Register

SPDR Address = 86H								Reset Value = unchanged
Bit	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
	7	6	5	4	3	2	1	0

## Data Memory—EEPROM and RAM

The AT89S8252 implements 2K bytes of on-chip EEPROM for data storage and 256 bytes of RAM. The upper 128 bytes of RAM occupy a parallel space to the Special Function Registers. That means the upper 128 bytes have the same addresses as the SFR space but are physically separate from SFR space.

When an instruction accesses an internal location above address 7FH, the address mode used in the instruction specifies whether the CPU accesses the upper 128 bytes of RAM or the SFR space. Instructions that use direct addressing access SFR space.

For example, the following direct addressing instruction accesses the SFR at location 0A0H (which is P2).

```
MOV 0A0H, #data
```

Instructions that use indirect addressing access the upper 128 bytes of RAM. For example, the following indirect addressing instruction, where R0 contains 0A0H, accesses the data byte at address 0A0H, rather than P2 (whose address is 0A0H).

```
MOV @R0, #data
```

Note that stack operations are examples of indirect addressing, so the upper 128 bytes of data RAM are available as stack space.

The on-chip EEPROM data memory is selected by setting the EEMEN bit in the WMCON register at SFR address location 96H. The EEPROM address range is from 000H to 7FFH. The MOVX instructions are used to access the EEPROM. To access off-chip data memory with the MOVX instructions, the EEMEN bit needs to be set to "0".

The EEMWE bit in the WMCON register needs to be set to "1" before any byte location in the EEPROM can be written. User software should reset EEMWE bit to "0" if no further EEPROM write is required. EEPROM write cycles in the serial programming mode are self-timed and typically take 2.5 ms. The progress of EEPROM write can be monitored by reading the RDY/BSY bit (read-only) in SFR WMCON. RDY/BSY = 0 means programming is still in progress and RDY/BSY = 1 means EEPROM write cycle is completed and another write cycle can be initiated.

In addition, during EEPROM programming, an attempted read from the EEPROM will fetch the byte being written with the MSB complemented. Once the write cycle is completed, true data are valid at all bit locations.

## Programmable Watchdog Timer

The programmable Watchdog Timer (WDT) operates from an independent oscillator. The prescaler bits, PS0, PS1 and PS2 in SFR WMCON are used to set the period of the Watchdog Timer from 16 ms to 2048 ms. The available timer periods are shown in the following table and the actual timer periods (at  $V_{CC} = 5V$ ) are within  $\pm 30\%$  of the nominal.

The WDT is disabled by Power-on Reset and during Power Down. It is enabled by setting the WDEN bit in SFR WMCON (address = 96H). The WDT is reset by setting the WDTRST bit in WMCON. When the WDT times out without being reset or disabled, an internal RST pulse is generated to reset the CPU.

Table 7. Watchdog Timer Period Selection

WDT Prescaler Bits			Period (nominal)
PS2	PS1	PS0	
0	0	0	16 ms
0	0	1	32 ms
0	1	0	64 ms
0	1	1	128 ms
1	0	0	256 ms
1	0	1	512 ms
1	1	0	1024 ms
1	1	1	2048 ms





**Timer 0 and 1**

Timer 0 and Timer 1 in the AT89S8252 operate the same way as Timer 0 and Timer 1 in the AT89C51, AT89C52 and AT89C55. For further information, see the October 1995 Microcontroller Data Book, page 2-45, section titled, "Timer/Counters."

**Timer 2**

Timer 2 is a 16 bit Timer/Counter that can operate as either a timer or an event counter. The type of operation is selected by bit  $C/\overline{T}2$  in the SFR T2CON (shown in Table 2). Timer 2 has three operating modes: capture, auto-reload (up or down counting), and baud rate generator. The modes are selected by bits in T2CON, as shown in Table 8. Timer 2 consists of two 8-bit registers, TH2 and TL2. In the Timer function, the TL2 register is incremented every machine cycle. Since a machine cycle consists of 12 oscillator periods, the count rate is  $1/12$  of the oscillator frequency.

In the Counter function, the register is incremented in response to a 1-to-0 transition at its corresponding external input pin, T2. In this function, the external input is sampled during S5P2 of every machine cycle. When the samples show a high in one cycle and a low in the next cycle, the count is incremented. The new count value appears in the register during S3P1 of the cycle following the one in which the transition was detected. Since two machine cycles (24 oscillator periods) are required to recognize a 1-to-0 transition, the maximum count rate is  $1/24$  of the oscillator frequency. To ensure that a given level is sampled at least once before it changes, the level should be held for at least one full machine cycle.

Table 8. Timer 2 Operating Modes

RCLK + TCLK	CP/ $\overline{RL}2$	TR2	MODE
0	0	1	16-bit Auto-Reload
0	1	1	16-bit Capture
1	X	1	Baud Rate Generator
X	X	0	(Off)

**Capture Mode**

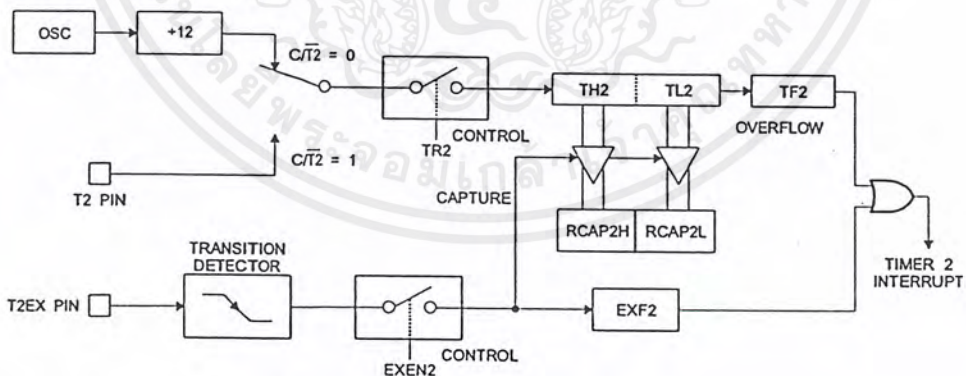
In the capture mode, two options are selected by bit EXEN2 in T2CON. If EXEN2 = 0, Timer 2 is a 16 bit timer or counter which upon overflow sets bit TF2 in T2CON. This bit can then be used to generate an interrupt. If EXEN2 = 1, Timer 2 performs the same operation, but a 1-to-0 transition at external input T2EX also causes the current value in TH2 and TL2 to be captured into RCAP2H and RCAP2L, respectively. In addition, the transition at T2EX causes bit EXF2 in T2CON to be set. The EXF2 bit, like TF2, can generate an interrupt. The capture mode is illustrated in Figure 1.

**Auto-Reload (Up or Down Counter)**

Timer 2 can be programmed to count up or down when configured in its 16 bit auto-reload mode. This feature is invoked by the DCEN (Down Counter Enable) bit located in the SFR T2MOD (see Table 9). Upon reset, the DCEN bit is set to 0 so that timer 2 will default to count up. When DCEN is set, Timer 2 can count up or down, depending on the value of the T2EX pin.

Figure 2 shows Timer 2 automatically counting up when DCEN = 0. In this mode, two options are selected by bit EXEN2 in T2CON. If EXEN2 = 0, Timer 2 counts up to

Figure 1. Timer 2 in Capture Mode



**AT89S8252**

AT89S8252

0FFFFH and then sets the TF2 bit upon overflow. The overflow also causes the timer registers to be reloaded with the 16 bit value in RCAP2H and RCAP2L. The values in RCAP2H and RCAP2L are preset by software. If EXEN2 = 1, a 16 bit reload can be triggered either by an overflow or by a 1-to-0 transition at external input T2EX. This transition also sets the EXF2 bit. Both the TF2 and EXF2 bits can generate an interrupt if enabled.

Setting the DCEN bit enables Timer 2 to count up or down, as shown in Figure 3. In this mode, the T2EX pin controls the direction of the count. A logic 1 at T2EX makes Timer 2 count up. The timer will overflow at 0FFFFH and set the TF2 bit. This overflow also causes the 16 bit value in

RCAP2H and RCAP2L to be reloaded into the timer registers, TH2 and TL2, respectively.

A logic 0 at T2EX makes Timer 2 count down. The timer underflows when TH2 and TL2 equal the values stored in RCAP2H and RCAP2L. The underflow sets the TF2 bit and causes 0FFFFH to be reloaded into the timer registers.

The EXF2 bit toggles whenever Timer 2 overflows or underflows and can be used as a 17th bit of resolution. In this operating mode, EXF2 does not flag an interrupt.

Figure 2. Timer 2 In Auto Reload Mode (DCEN = 0)

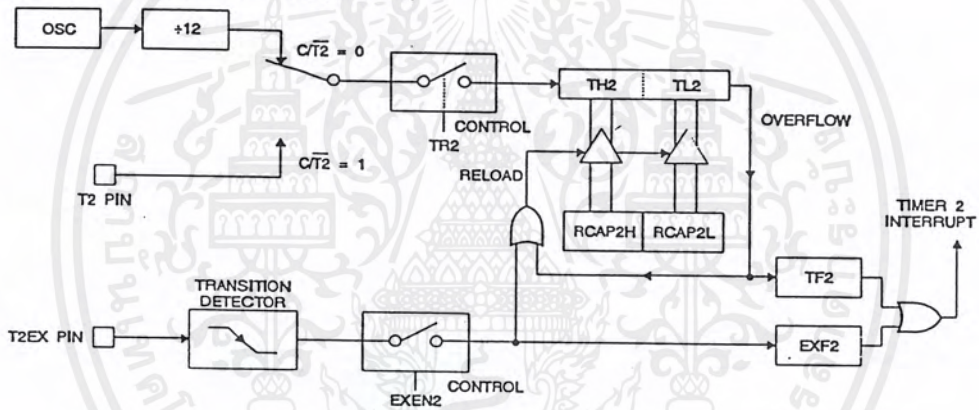


Table 9. T2MOD—Timer 2 Mode Control Register

T2MOD Address = 0C9H							Reset Value = XXXX XX00B	
Not Bit Addressable								
Bit	7	6	5	4	3	2	T2OE	DCEN
Symbol	Function							
—	Not implemented, reserved for future use.							
T2OE	Timer 2 Output Enable bit.							
DCEN	When set, this bit allows Timer 2 to be configured as an up/down counter.							





Figure 3. Timer 2 Auto Reload Mode (DCEN = 1)

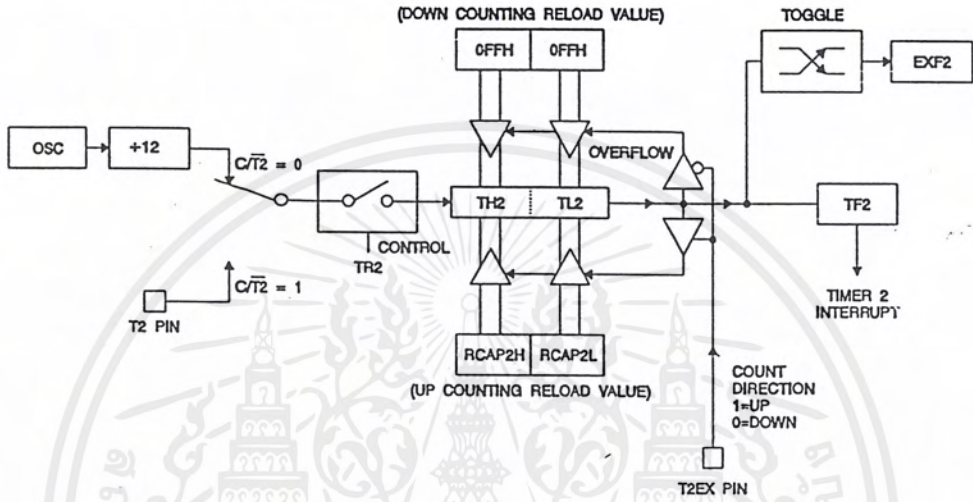
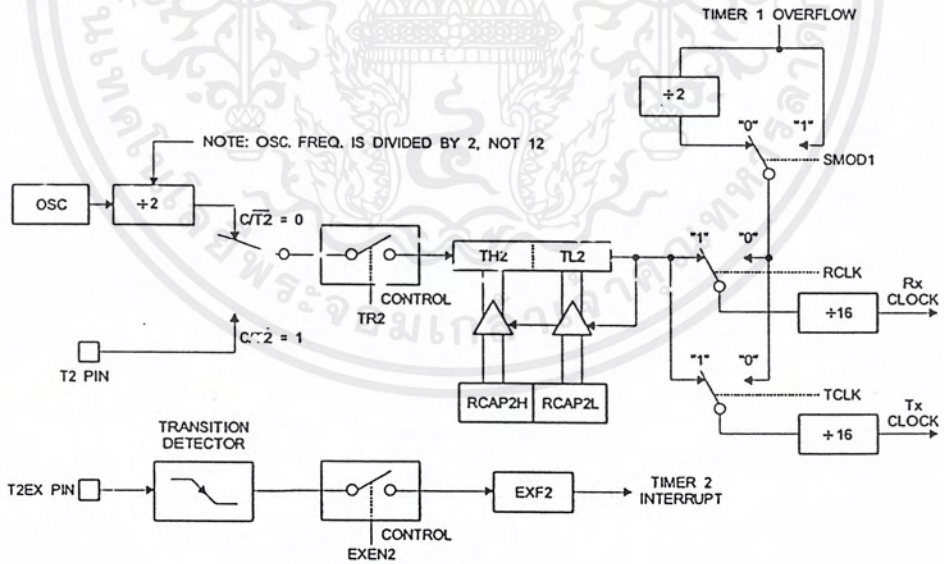


Figure 4. Timer 2 in Baud Rate Generator Mode



AT89S8252

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Baud Rate Generator**

Timer 2 is selected as the baud rate generator by setting TCLK and/or RCLK in T2CON (Table 2). Note that the baud rates for transmit and receive can be different if Timer 2 is used for the receiver or transmitter and Timer 1 is used for the other function. Setting RCLK and/or TCLK puts Timer 2 into its baud rate generator mode, as shown in Figure 4.

The baud rate generator mode is similar to the auto-reload mode, in that a rollover in TH2 causes the Timer 2 registers to be reloaded with the 16 bit value in registers RCAP2H and RCAP2L, which are preset by software.

The baud rates in Modes 1 and 3 are determined by Timer 2's overflow rate according to the following equation.

$$\text{Modes 1 and 3 Baud Rates} = \frac{\text{Timer 2 Overflow Rate}}{16}$$

The Timer can be configured for either timer or counter operation. In most applications, it is configured for timer operation (CP/T2 = 0). The timer operation is different for Timer 2 when it is used as a baud rate generator. Normally, as a timer, it increments every machine cycle (at 1/12 the oscillator frequency). As a baud rate generator, however, it increments every state time (at 1/2 the oscillator frequency). The baud rate formula is given below.

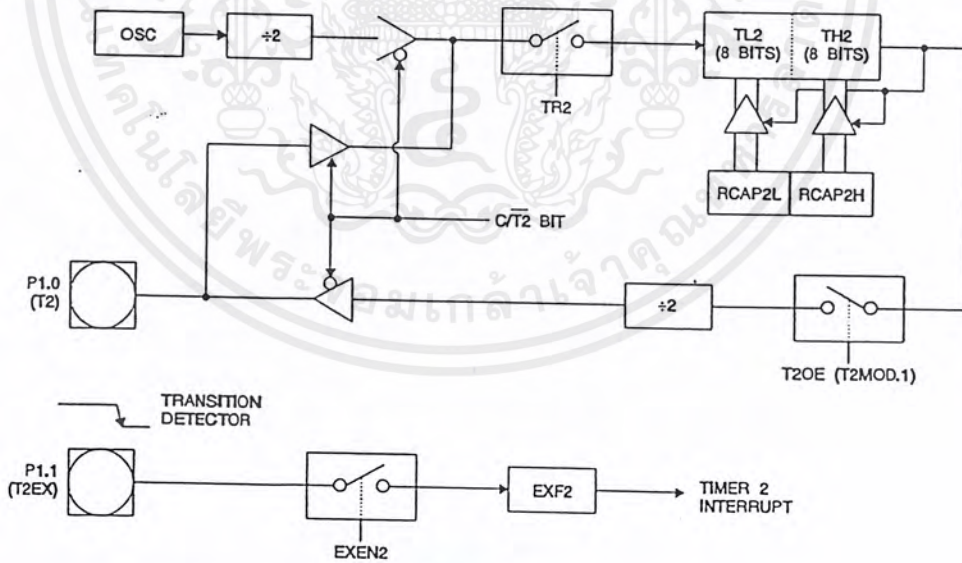
$$\frac{\text{Modes 1 and 3}}{\text{Baud Rate}} = \frac{\text{Oscillator Frequency}}{32 \times [65536 - (\text{RCAP2H}, \text{RCAP2L})]}$$

where (RCAP2H, RCAP2L) is the content of RCAP2H and RCAP2L taken as a 16 bit unsigned Integer.

Timer 2 as a baud rate generator is shown in Figure 4. This figure is valid only if RCLK or TCLK = 1 in T2CON. Note that a rollover in TH2 does not set TF2 and will not generate an interrupt. Note too, that if EXEN2 is set, a 1-to-0 transition in T2EX will set EXF2 but will not cause a reload from (RCAP2H, RCAP2L) to (TH2, TL2). Thus when Timer 2 is in use as a baud rate generator, T2EX can be used as an extra external interrupt.

Note that when Timer 2 is running (TR2 = 1) as a timer in the baud rate generator mode, TH2 or TL2 should not be read from or written to. Under these conditions, the Timer is incremented every state time, and the results of a read or write may not be accurate. The RCAP2 registers may be read but should not be written to, because a write might overlap a reload and cause write and/or reload errors. The timer should be turned off (clear TR2) before accessing the Timer 2 or RCAP2 registers.

Figure 5. Timer 2 in Clock-Out Mode





**Programmable Clock Out**

A 50% duty cycle clock can be programmed to come out on P1.0, as shown in Figure 5. This pin, besides being a regular I/O pin, has two alternate functions. It can be programmed to input the external clock for Timer/Counter 2 or to output a 50% duty cycle clock ranging from 61 Hz to 4 MHz at a 16 MHz operating frequency.

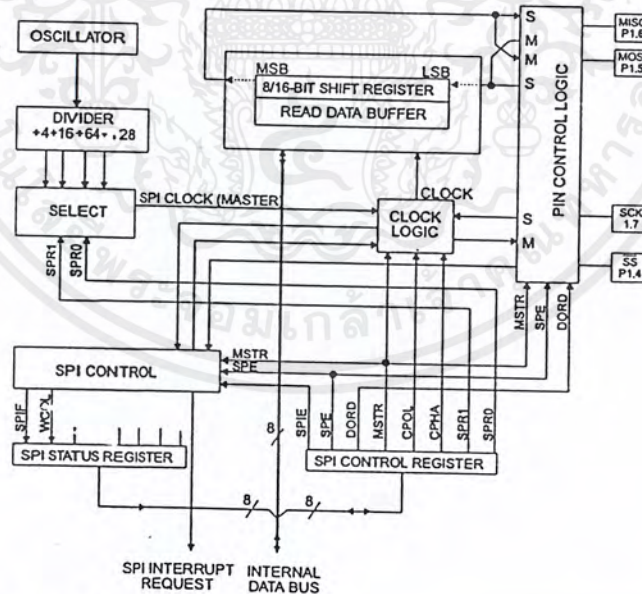
To configure the Timer/Counter 2 as a clock generator, bit C/T2 (T2CON.1) must be cleared and bit T2OE (T2MOD.1) must be set. Bit TR2 (T2CON.2) starts and stops the timer.

The clock-out frequency depends on the oscillator frequency and the reload value of Timer 2 capture registers (RCAP2H, RCAP2L), as shown in the following equation.

$$\text{Clock Out Frequency} = \frac{\text{Oscillator Frequency}}{4 \times [65536 - (\text{RCAP2H}, \text{RCAP2L})]}$$

In the clock-out mode, Timer 2 rollovers will not generate an interrupt. This behavior is similar to when Timer 2 is used as a baud-rate generator. It is possible to use Timer 2 as a baud-rate generator and a clock generator simultaneously. Note, however, that the baud-rate and clock-out frequencies cannot be determined independently from one another since they both use RCAP2H and RCAP2L.

Figure 6. SPI Block Diagram



**AT89S8252**

**UART**

The UART in the AT89S8252 operates the same way as the UART in the AT89C51, AT89C52 and AT89C55. For further information, see the October 1995 Microcontroller Data Book, page 2-49, section titled, "Serial Interface."

**Serial Peripheral Interface**

The serial peripheral interface (SPI) allows high-speed synchronous data transfer between the AT89S8252 and peripheral devices or between several AT89S8252 devices. The AT89S8252 SPI features include the following:

- Full-Duplex, 3-Wire Synchronous Data Transfer
- Master or Slave Operation
- 1.5-MHz Bit Frequency (max.)
- LSB First or MSB First Data Transfer
- Four Programmable Bit Rates
- End of Transmission Interrupt Flag
- Write Collision Flag Protection
- Wakeup from Idle Mode (Slave Mode Only)

**AT89S8252**

The Interconnection between master and slave CPUs with SPI is shown in the following figure. The SCK pin is the clock output in the master mode but is the clock input in the slave mode. Writing to the SPI data register of the master CPU starts the SPI clock generator, and the data written shifts out of the MOSI pin and into the MOSI pin of the slave CPU. After shifting one byte, the SPI clock generator stops, setting the end of transmission flag (SPIF). If both the SPI Interrupt enable bit (SPIE) and the serial port interrupt enable bit (ES) are set, an interrupt is requested.

The Slave Select Input,  $\overline{SS}/P1.4$ , is set low to select an individual SPI device as a slave. When  $\overline{SS}/P1.4$  is set high, the SPI port is deactivated and the MOSI/P1.5 pin can be used as an Input.

There are four combinations of SCK phase and polarity with respect to serial data, which are determined by control bits CPHA and CPOL. The SPI data transfer formats are shown in Figures 8 and 9.

Figure 7. SPI Master-Slave Interconnection

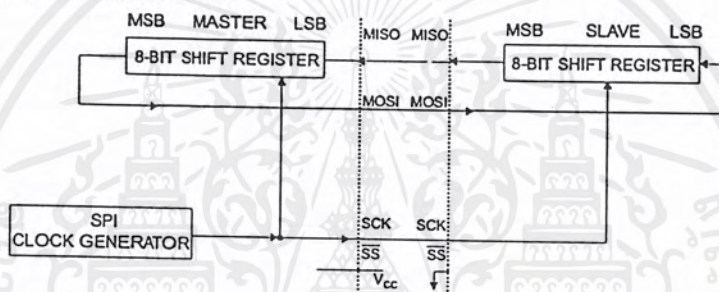
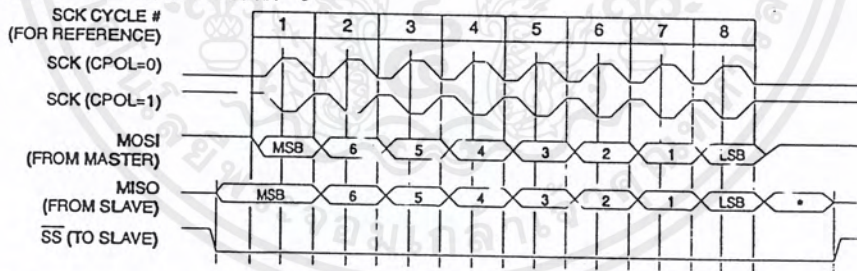


Figure 8. SPI transfer Format with CPHA = 0

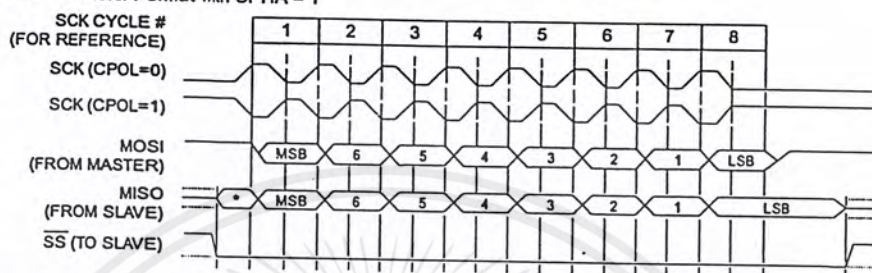


\*Not defined but normally MSB of character just received





Figure 9. SPI Transfer Format with CPHA = 1



\*Not defined but normally LSB of previously transmitted character

### Interrupts

The AT89S8252 has a total of six interrupt vectors: two external interrupts (INT0 and INT1), three timer interrupts (Timers 0, 1, and 2), and the serial port interrupt. These interrupts are all shown in Figure 10.

Each of these interrupt sources can be individually enabled or disabled by setting or clearing a bit in Special Function Register IE. IE also contains a global disable bit, EA, which disables all interrupts at once.

Note that Table 10 shows that bit position IE.6 is unimplemented. In the AT89C51, bit position IE.5 is also unimplemented. User software should not write 1s to these bit positions, since they may be used in future AT89 products.

Timer 2 interrupt is generated by the logical OR of bits TF2 and EXF2 in register T2CON. Neither of these flags is cleared by hardware when the service routine is vectored to. In fact, the service routine may have to determine whether it was TF2 or EXF2 that generated the interrupt, and that bit will have to be cleared in software.

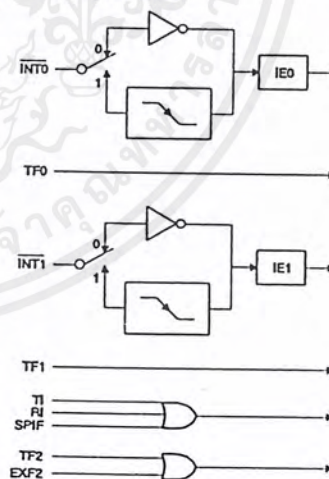
The Timer 0 and Timer 1 flags, TF0 and TF1, are set at SSP2 of the cycle in which the timers overflow. The values are then polled by the circuitry in the next cycle. However, the Timer 2 flag, TF2, is set at S2P2 and is polled in the same cycle in which the timer overflows.

Table 10. Interrupt Enable (IE) Register

Symbol	Position	Function
EA	IE.7	Disables all interrupts. If EA = 0, no interrupt is acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.
—	IE.6	Reserved.
ET2	IE.5	Timer 2 interrupt enable bit.
ES	IE.4	SPI and UART interrupt enable bit.
ET1	IE.3	Timer 1 interrupt enable bit.
EX1	IE.2	External interrupt 1 enable bit.
ET0	IE.1	Timer 0 interrupt enable bit.
EX0	IE.0	External interrupt 0 enable bit.

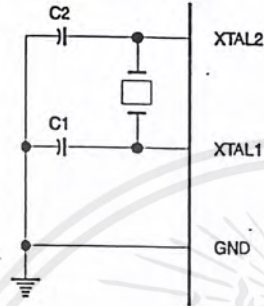
User software should never write 1s to unimplemented bits, because they may be used in future AT89 products.

Figure 10. Interrupt Sources



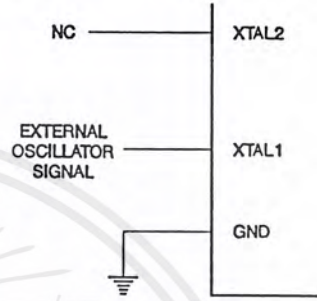
## AT89S8252

Figure 11. Oscillator Connections



Note: Note: C1, C2 = 30 pF ± 10 pF for Crystals  
= 40 pF ± 10 pF for Ceramic Resonators

Figure 12. External Clock Drive Configuration



**Oscillator Characteristics**

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier that can be configured for use as an on-chip oscillator, as shown in Figure 11. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven, as shown in Figure 12. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

**Idle Mode**

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

Note that when idle mode is terminated by a hardware reset, the device normally resumes program execution from where it left off, up to two machine cycles before the

internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when idle mode is terminated by a reset, the instruction following the one that invokes idle mode should not write to a port pin or to external memory.

**Power Down Mode**

In the power down mode, the oscillator is stopped and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. Exit from power down can be initiated either by a hardware reset or by an enabled external interrupt. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V<sub>CC</sub> is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

To exit power down via an interrupt, the external interrupt must be enabled as level sensitive before entering power down. The Interrupt service routine starts at 16 ms (nominal) after the enabled interrupt pin is activated.

**Status of External Pins During Idle and Power Down Modes**

Mode	Program Memory	ALE	PSEN	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power Down	Internal	0	0	Data	Data	Data	Data
Power Down	External	0	0	Float	Data	Data	Data





## Program Memory Lock Bits

The AT89S8252 has three lock bits that can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the following table.

When lock bit 1 is programmed, the logic level at the  $\overline{EA}$  pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random

value and holds that value until reset is activated. The latched value of  $\overline{EA}$  must agree with the current logic level at that pin in order for the device to function properly.

Once programmed, the lock bits can only be unprogrammed with the Chip Erase operations in either the parallel or serial modes.

## Lock Bit Protection Modes<sup>(1)(2)</sup>

	Program Lock Bits			Protection Type
	LB1	LB2	LB3	
1	U	U	U	No Internal memory lock feature.
2	P	U	U	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory. $\overline{EA}$ is sampled and latched on reset and further programming of the Flash memory (parallel or serial mode) is disabled.
3	P	P	U	Same as Mode 2, but parallel or serial verify are also disabled.
4	P	P	P	Same as Mode 3, but external execution is also disabled.

- Notes: 1. U = Unprogrammed  
2. P = Programmed

## Programming the Flash and EEPROM

Atmel's AT89S8252 Flash Microcontroller offers 8K bytes of in-system reprogrammable Flash Code memory and 2K bytes of EEPROM Data memory.

The AT89S8252 is normally shipped with the on-chip Flash Code and EEPROM Data memory arrays in the erased state (i.e. contents = FFH) and ready to be programmed. This device supports a High-Voltage (12V) Parallel programming mode and a Low-Voltage (5V) Serial programming mode. The serial programming mode provides a convenient way to download the AT89S8252 inside the user's system. The parallel programming mode is compatible with conventional third party Flash or EPROM programmers.

The Code and Data memory arrays are mapped via separate address spaces in the serial programming mode. In the parallel programming mode, the two arrays occupy one contiguous address space: 0000H to 1FFFH for the Code array and 2000H to 27FFH for the Data array.

The Code and Data memory arrays on the AT89S8252 are programmed byte-by-byte in either programming mode. An auto-erase cycle is provided with the self-timed programming operation in the serial programming mode. There is no need to perform the Chip Erase operation to reprogram any memory location in the serial programming mode unless any of the lock bits have been programmed.

In the parallel programming mode, there is no auto-erase cycle. To reprogram any non-blank byte, the user needs to use the Chip Erase operation first to erase both arrays.

## Parallel Programming Algorithm

To program and verify the AT89S8252 in the parallel programming mode, the following sequence is recommended:

- Power-up sequence:  
Apply power between  $V_{CC}$  and GND pins.  
Set RST pin to "H".  
Apply a 3 MHz to 24 MHz clock to XTAL1 pin and wait for at least 10 milliseconds.
- Set  $\overline{PSEN}$  pin to "L"  
ALE pin to "H"  
 $\overline{EA}$  pin to "H" and all other pins to "H".
- Apply the appropriate combination of "H" or "L" logic levels to pins P2.6, P2.7, P3.6, P3.7 to select one of the programming operations shown in the Flash Programming Modes table.
- Apply the desired byte address to pins P1.0 to P1.7 and P2.0 to P2.5.  
Apply data to pins P0.0 to P0.7 for Write Code operation.
- Raise  $\overline{EAV}_{pp}$  to 12V to enable Flash programming, erase or verification.
- Pulse ALE/ $\overline{PROG}$  once to program a byte in the Code memory array, the Data memory array or the lock bits. The byte-write cycle is self-timed and typically takes 1.5 ms.
- To verify the byte just programmed, bring pin P2.7 to "L" and read the programmed data at pins P0.0 to P0.7.

## AT89S8252

8. Repeat steps 3 through 7 changing the address and data for the entire 2K or 8K bytes array or until the end of the object file is reached.
9. Power-off sequence:  
Set XTAL1 to "L".  
Set RST and  $\overline{EA}$  pins to "L".  
Turn  $V_{CC}$  power off.

In the parallel programming mode, there is no auto-erase cycle and to reprogram any non-blank byte, the user needs to use the Chip Erase operation first to erase both arrays.

#### DATA Polling

The AT89S8252 features  $\overline{DATA}$  Polling to indicate the end of a write cycle. During a write cycle in the parallel or serial programming mode, an attempted read of the last byte written will result in the complement of the written datum on P0.7 (parallel mode), and on the MSB of the serial output byte on MISO (serial mode). Once the write cycle has been completed, true data are valid on all outputs, and the next cycle may begin.  $\overline{DATA}$  Polling may begin any time after a write cycle has been initiated.

#### Ready/Busy

The progress of byte programming in the parallel programming mode can also be monitored by the RDY/BSY output signal. Pin P3.4 is pulled Low after ALE goes High during programming to indicate BUSY. P3.4 is pulled High again when programming is done to indicate READY.

#### Program Verify

If lock bits LB1 and LB2 have not been programmed, the programmed Code or Data byte can be read back via the address and data lines for verification. The state of the lock bits can also be verified directly in the parallel programming mode. In the serial programming mode, the state of the lock bits can only be verified indirectly by observing that the lock bit features are enabled.

#### Chip Erase

Both Flash and EEPROM arrays are erased electrically at the same time. In the parallel programming mode, chip erase is initiated by using the proper combination of control signals and by holding ALE/PROG low for 10 ms. The Code and Data arrays are written with all "1"s in the Chip Erase operation.

In the serial programming mode, a chip erase operation is initiated by issuing the Chip Erase instruction. In this mode, chip erase is self-timed and takes about 16 ms.

During chip erase, a serial read from any address location will return 00H at the data outputs.

#### Serial Programming Fuse

A programmable fuse is available to disable Serial Programming if the user needs maximum system security. The Serial Programming Fuse can only be programmed or erased in the Parallel Programming Mode.

*The AT89S8252 is shipped with the Serial Programming Mode enabled.*

**Reading the Signature Bytes:** The signature bytes are read by the same procedure as a normal verification of locations 030H and 031H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows:

(030H) = 1EH indicates manufactured by Atmel  
(031H) = 72H indicates 89S8252

#### Programming Interface

Every code byte in the Flash and EEPROM arrays can be written, and the entire array can be erased, by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

#### Serial Downloading

Both the Code and Data memory arrays can be programmed using the serial SPI bus while RST is pulled to  $V_{CC}$ . The serial interface consists of pins SCK, MOSI (input) and MISO (output). After RST is set high, the Programming Enable instruction needs to be executed first before program/erase operations can be executed.

An auto-erase cycle is built into the self-timed programming operation (in the serial mode ONLY) and there is no need to first execute the Chip Erase instruction unless any of the lock bits have been programmed. The Chip Erase operation turns the content of every memory location in both the Code and Data arrays into FFH.

The Code and Data memory arrays have separate address spaces:

0000H to 1FFFH for Code memory and 000H to 7FFH for Data memory.

Either an external system clock is supplied at pin XTAL1 or a crystal needs to be connected across pins XTAL1 and XTAL2. The maximum serial clock (SCK) frequency should be less than 1/40 of the crystal frequency. With a 24 MHz oscillator clock, the maximum SCK frequency is 600 kHz.





### Serial Programming Algorithm

To program and verify the AT89S8252 in the serial programming mode, the following sequence is recommended:

1. Power-up sequence:  
Apply power between  $V_{CC}$  and GND pins.  
Set RST pin to "H".  
If a crystal is not connected across pins XTAL1 and XTAL2, apply a 3 MHz to 24 MHz clock to XTAL1 pin and wait for at least 10 milliseconds.
2. Enable serial programming by sending the Programming Enable serial instruction to pin MOSI/P1.5. The frequency of the shift clock supplied at pin SCK/P1.7 needs to be less than the CPU clock at XTAL1 divided by 40.
3. The Code or Data array is programmed one byte at a time by supplying the address and data together with the appropriate Write instruction. The selected memory location is first automatically erased before new data is

written. The write cycle is self-timed and typically takes less than 2.5 ms at 5V.

4. Any memory location can be verified by using the Read Instruction which returns the content at the selected address at serial output MISO/P1.6.
5. At the end of a programming session, RST can be set low to commence normal operation.

Power-off sequence (if needed):

Set XTAL1 to "L" (if a crystal is not used).

Set RST to "L".

Turn  $V_{CC}$  power off.

### Serial Programming Instruction

The Instruction Set for Serial Programming follows a 3-byte protocol and is shown in the following table:

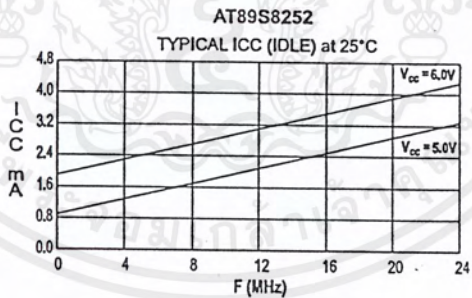
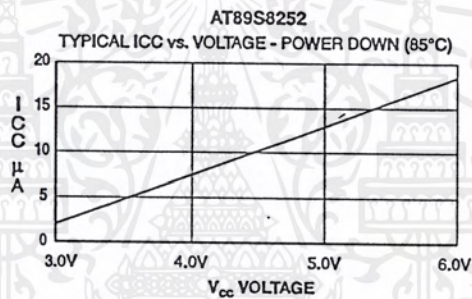
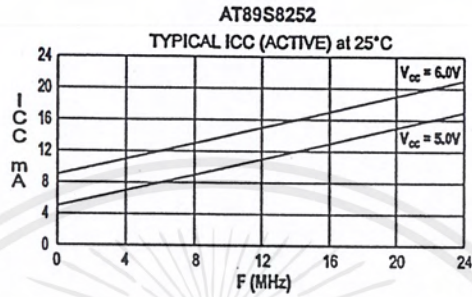
### Instruction Set

Instruction	Input Format			Operation
	Byte 1	Byte 2	Byte 3	
Programming Enable	1010 1100	0101 0011	xxxx xxxx	Enable serial programming interface after RST goes high.
Chip Erase	1010 1100	xxxx x100	xxxx xxxx	Chip erase both 8K & 2K memory arrays.
Read Code Memory	aaaa a001	low addr	xxxx xxxx	Read data from Code memory array at the selected address. The 5 MSBs of the first byte are the high order address bits. The low order address bits are in the second byte. Data are available at pin MISO during the third byte.
Write Code Memory	aaaa a010	low addr	data in	Write data to Code memory location at selected address. The address bits are the 5 MSBs of the first byte together with the second byte.
Read Data Memory	00aa a101	low addr	xxxx xxxx	Read data from Data memory array at selected address. Data are available at pin MISO during the third byte.
Write Data Memory	00aa a110	low addr	data in	Write data to Data memory location at selected address.
Write Lock Bits	1010 1100	LB1 LB2 LB3 x111	xxxx xxxx	Write lock bits. Set LB1, LB2 or LB3 = "0" to program lock bits.

- Notes:
1. DATA polling is used to indicate the end of a write cycle which typically takes less than 2.5 ms at 5V.
  2. "aaaaa" = high order address.
  3. "x" = don't care.

## AT89S8252

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



- Notes: 1. XTAL1 tied to GND for I<sub>cc</sub> (power down)  
2. Lock bits programmed

AT89S8252

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

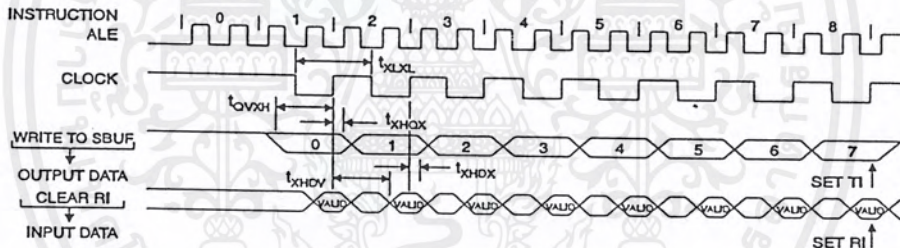
**AT89S8252**

**Serial Port Timing: Shift Register Mode Test Conditions**

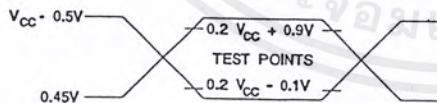
The values in this table are valid for  $V_{CC} = 4.0V$  to  $6V$  and Load Capacitance =  $80\text{ pF}$ .

Symbol	Parameter	Variable Oscillator		Units
		Min	Max	
$t_{CLXL}$	Serial Port Clock Cycle Time	$12t_{CLCL}$		$\mu s$
$t_{QVXH}$	Output Data Setup to Clock Rising Edge	$10t_{CLCL} - 133$		ns
$t_{XHDX}$	Output Data Hold After Clock Rising Edge	$2t_{CLCL} - 117$		ns
$t_{XHDX}$	Input Data Hold After Clock Rising Edge	0		ns
$t_{XHDX}$	Clock Rising Edge to Input Data Valid		$10t_{CLCL} - 133$	ns

**Shift Register Mode Timing Waveforms**

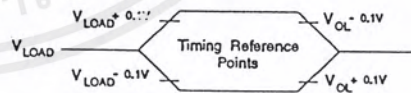


**AC Testing Input/Output Waveforms<sup>(1)</sup>**



Notes: 1. AC Inputs during testing are driven at  $V_{CC} - 0.5V$  for a logic 1 and  $0.45V$  for a logic 0. Timing measurements are made at  $V_{IH\ min.}$  for a logic 1 and  $V_{IL\ max.}$  for a logic 0.

**Float Waveforms<sup>(1)</sup>**








Notes: 1. For timing purposes, a port pin is no longer floating when a  $100\text{ mV}$  change from load voltage occurs. A port pin begins to float when a  $100\text{ mV}$  change from the loaded  $V_{OH}/V_{OL}$  level occurs.



## AT89S8252

### Flash and EEPROM Parallel Programming Modes

Mode	RST	PSEN	ALE/PROG	$\overline{EA}/V_{PP}$	P2.6	P2.7	P3.6	P3.7	Data I/O P0.7:0	Address P2.5:0 P1.7:0
Serial Prog. Modes	H	$h^{(1)}$	$h^{(1)}$	x						
Chip Erase	H	L	 (2)	12V	H	L	L	L	X	X
Write (10K bytes) Memory	H	L		12V	L	H	H	H	DIN	ADDR
Read (10K bytes) Memory	H	L	H	12V	L	L	H	H	DOUT	ADDR
Write Lock Bits:	H	L		12V	H	L	H	L	DIN	X
BK - 1									P0.7 = 0	X
BK - 2									P0.6 = 0	X
BK - 3									P0.5 = 0	X
Read Lock Bits:	H	L	H	12V	H	H	L	L	DOUT	X
BK - 1									@P0.2	X
BK - 2									@P0.1	X
BK - 3									@P0.0	X
Read Atmel Code	H	L	H	12V	L	L	L	L	DOUT	30H
Read Device Code	H	L	H	12V	L	L	L	L	DOUT	31H
Serial Prog. Enable	H	L	 (2)	12V	L	H	L	H	P0.0 = 0	X
Serial Prog. Disable	H	L	 (2)	12V	L	H	L	H	P0.0 = 1	X
Read Serial Prog. Fuse	H	L	H	12V	H	H	L	H	@P0.0	X

- Notes:
1. "h" = weakly pulled "High" internally.
  2. Chip Erase and Serial Programming Fuse require a 10-ms  $\overline{PROG}$  pulse. Chip Erase needs to be performed first before reprogramming any byte with a content other than FFH.
  3. P3.4 is pulled Low during programming to indicate RDY/BSY.
  4. "X" = don't care



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Figure 14. Programming the Flash/EEPROM Memory

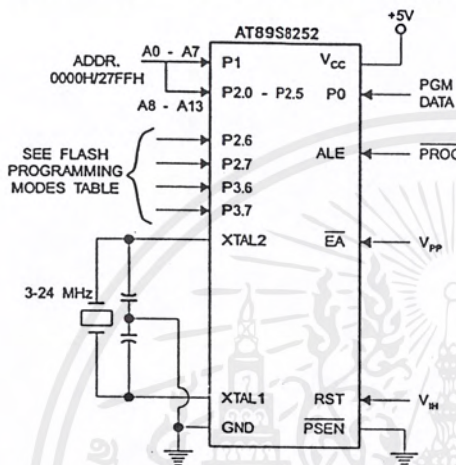


Figure 15. Flash/EEPROM Serial Downloading

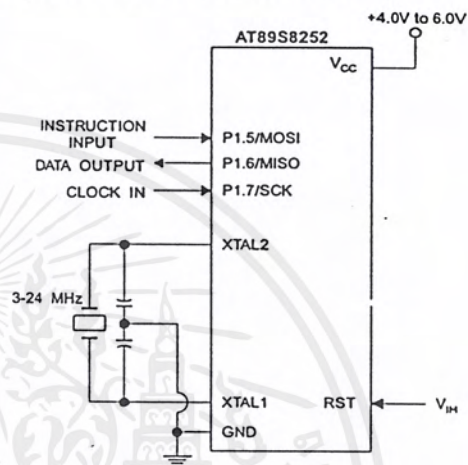
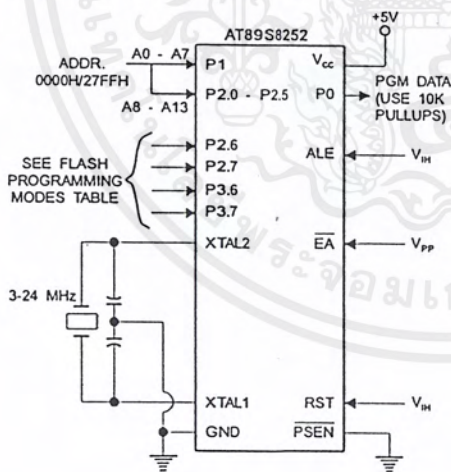


Figure 16. Verifying the Flash/EEPROM Memory



**AT89S8252**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

---

**AT89S8252**
**Flash Programming and Verification Characteristics-Parallel Mode**
 $T_A = 0^\circ\text{C to } 70^\circ\text{C}, V_{CC} = 5.0\text{V} \pm 10\%$ 

Symbol	Parameter	Min	Max	Units
$V_{PP}$	Programming Enable Voltage	11.5	12.5	V
$I_{PP}$	Programming Enable Current		1.0	mA
$1/t_{CLCL}$	Oscillator Frequency	3	24	MHz
$t_{AVGL}$	Address Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
$t_{GHAX}$	Address Hold After $\overline{PROG}$	$48t_{CLCL}$		
$t_{DVGL}$	Data Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
$t_{GHDX}$	Data Hold After $\overline{PROG}$	$48t_{CLCL}$		
$t_{ENSH}$	P2.7 (ENABLE) High to $V_{PP}$	$48t_{CLCL}$		
$t_{SHGL}$	$V_{PP}$ Setup to $\overline{PROG}$ Low	10		$\mu\text{s}$
$t_{GLGH}$	$\overline{PROG}$ Width	1	110	$\mu\text{s}$
$t_{AVQV}$	Address to Data Valid		$48t_{CLCL}$	
$t_{ELQV}$	ENABLE Low to Data Valid		$48t_{CLCL}$	
$t_{EHQZ}$	Data Float After ENABLE	0	$48t_{CLCL}$	
$t_{GHBL}$	$\overline{PROG}$ High to $\overline{BUSY}$ Low		1.0	$\mu\text{s}$
$t_{WC}$	Byte Write Cycle Time		2.0	ms

---

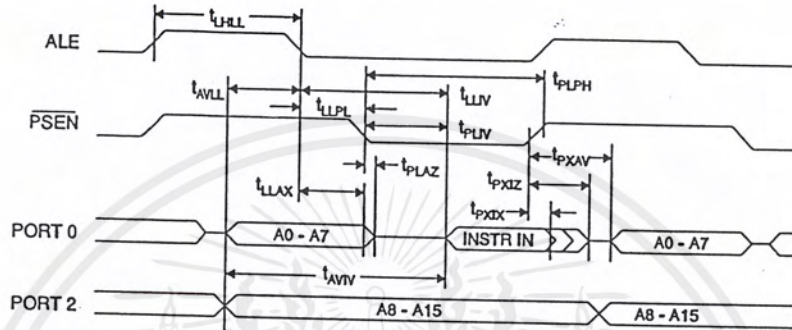
**ATMEL**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

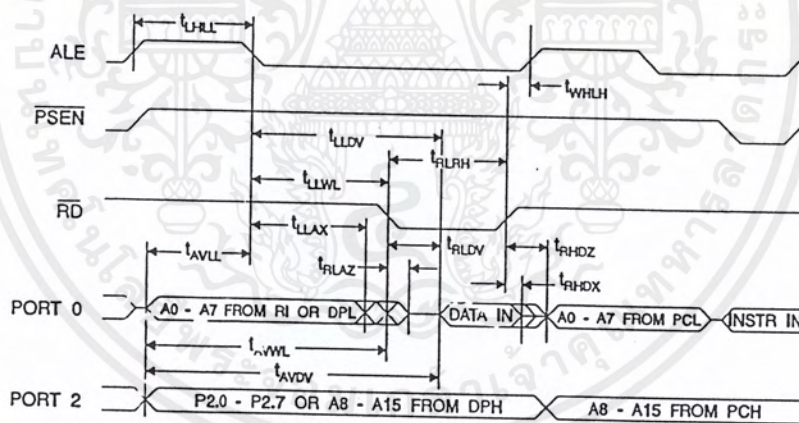


AT89S8252

External Program Memory Read Cycle



External Data Memory Read Cycle



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**AT89S8252**

**Absolute Maximum Ratings\***

Operating Temperature .....	-55°C to +125°C
Storage Temperature .....	-65°C to +150°C
Voltage on Any Pin with Respect to Ground .....	-1.0V to +7.0V
Maximum Operating Voltage .....	6.6V
DC Output Current .....	15.0 mA

**\*NOTICE:** Stresses beyond those listed under \*Absolute Maximum Ratings\* may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

**DC Characteristics**

The values shown in this table are valid for  $T_A = -40^\circ\text{C}$  to  $85^\circ\text{C}$  and  $V_{CC} = 5.0\text{V} \pm 20\%$ , unless otherwise noted.

Symbol	Parameter	Condition	Min	Max	Units
$V_{IL}$	Input Low Voltage	(Except $\bar{E}A$ )	-0.5	$0.2 V_{CC} - 0.1$	V
$V_{IL1}$	Input Low Voltage ( $\bar{E}A$ )		-0.5	$0.2 V_{CC} - 0.3$	V
$V_{IH}$	Input High Voltage	(Except XTAL1, RST)	$0.2 V_{CC} + 0.9$	$V_{CC} + 0.5$	V
$V_{IH1}$	Input High Voltage	(XTAL1, RST)	$0.7 V_{CC}$	$V_{CC} + 0.5$	V
$V_{OL}$	Output Low Voltage <sup>(1)</sup> (Ports 1,2,3)	$I_{OL} = 1.6 \text{ mA}$		0.5	V
$V_{OL1}$	Output Low Voltage <sup>(1)</sup> (Port 0, ALE, PSEN)	$I_{OL} = 3.2 \text{ mA}$		0.5	V
$V_{OH}$	Output High Voltage (Ports 1,2,3, ALE, PSEN)	$I_{OH} = -60 \mu\text{A}, V_{CC} = 5\text{V} \pm 10\%$	2.4		V
		$I_{OH} = -25 \mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -10 \mu\text{A}$	$0.9 V_{CC}$		V
$V_{OH1}$	Output High Voltage (Port 0 in External Bus Mode)	$I_{OH} = -800 \mu\text{A}, V_{CC} = 5\text{V} \pm 10\%$	2.4		V
		$I_{OH} = -300 \mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -80 \mu\text{A}$	$0.9 V_{CC}$		V
$I_{iL}$	Logical 0 Input Current (Ports 1,2,3)	$V_{IN} = 0.45\text{V}$		-50	$\mu\text{A}$
$I_{TL}$	Logical 1 to 0 Transition Current (Ports 1,2,3)	$V_{IN} = 2\text{V}, V_{CC} = 5\text{V} \pm 10\%$		-650	$\mu\text{A}$
$I_{L1}$	Input Leakage Current (Port 0, $\bar{E}A$ )	$0.45 < V_{IN} < V_{CC}$		$\pm 10$	$\mu\text{A}$
RRST	Reset Pulldown Resistor		50	300	$\text{K}\Omega$
$C_{iO}$	Pin Capacitance	Test Freq. = 1 MHz, $T_A = 25^\circ\text{C}$		10	pF
$I_{CC}$	Power Supply Current	Active Mode, 12 MHz		25	mA
		Idle Mode, 12 MHz		6.5	mA
	Power Down Mode <sup>(2)</sup>	$V_{CC} = 6\text{V}$		100	$\mu\text{A}$
		$V_{CC} = 3\text{V}$		40	$\mu\text{A}$

Notes: 1. Under steady state (non-transient) conditions,  $I_{OL}$  must be externally limited as follows:  
 Maximum  $I_{OL}$  per port pin: 10 mA  
 Maximum  $I_{OL}$  per 8-bit port:  
 Port 0: 26 mA  
 Ports 1, 2, 3: 15 mA

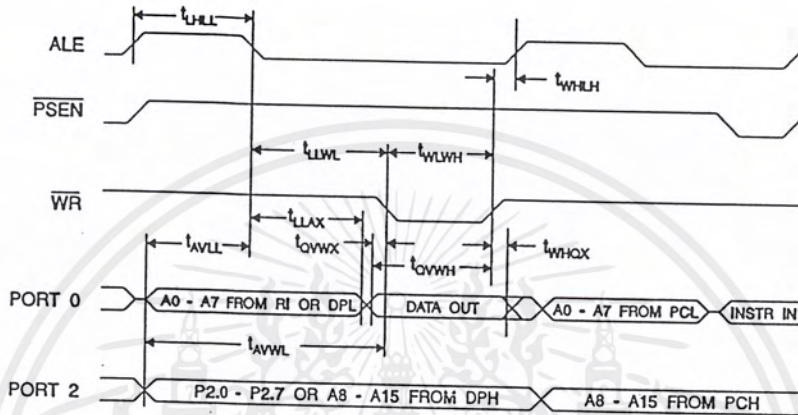
Maximum total  $I_{OL}$  for all output pins: 71 mA  
 If  $I_{OL}$  exceeds the test condition,  $V_{OL}$  may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.

2. Minimum  $V_{CC}$  for Power Down is 2V

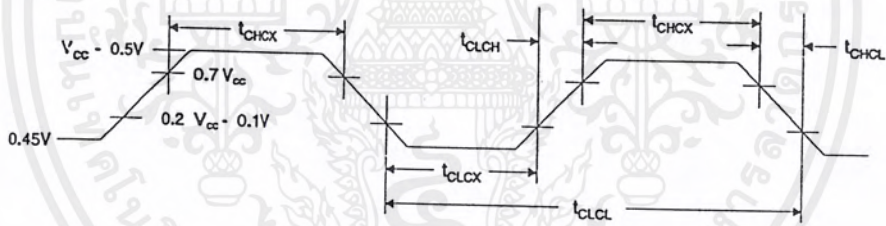




External Data Memory Write Cycle



External Clock Drive Waveforms



External Clock Drive

Symbol	Parameter	$V_{cc} = 4.0V$ to $6.0V$		Units
		Min	Max	
$1/t_{CLCL}$	Oscillator Frequency	0	24	MHz
$t_{CLCL}$	Clock Period	41.6		ns
$t_{CHCX}$	High Time	15		ns
$t_{CLCX}$	Low Time	15		ns
$t_{CLCH}$	Rise Time		20	ns
$t_{CHCL}$	Fall Time		20	ns

AT89S8252

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## AC Characteristics

Under operating conditions, load capacitance for Port 0, ALE/ $\overline{\text{PROG}}$ , and  $\overline{\text{PSEN}}$  = 100 pF; load capacitance for all other outputs = 80 pF.

## External Program and Data Memory Characteristics

Symbol	Parameter	Variable Oscillator		Units
		Min	Max	
$1/t_{\text{CLCL}}$	Oscillator Frequency	0	24	MHz
$t_{\text{HLL}}$	ALE Pulse Width	$2t_{\text{CLCL}} - 40$		ns
$t_{\text{AVLL}}$	Address Valid to ALE Low	$t_{\text{CLCL}} - 13$		ns
$t_{\text{LAX}}$	Address Hold After ALE Low	$t_{\text{CLCL}} - 20$		ns
$t_{\text{LLIV}}$	ALE Low to Valid Instruction In		$4t_{\text{CLCL}} - 65$	ns
$t_{\text{LPL}}$	ALE Low to $\overline{\text{PSEN}}$ Low	$t_{\text{CLCL}} - 13$		ns
$t_{\text{PLPH}}$	$\overline{\text{PSEN}}$ Pulse Width	$3t_{\text{CLCL}} - 20$		ns
$t_{\text{PLIV}}$	$\overline{\text{PSEN}}$ Low to Valid Instruction In		$3t_{\text{CLCL}} - 45$	ns
$t_{\text{PXIX}}$	Input Instruction Hold After $\overline{\text{PSEN}}$	0		ns
$t_{\text{PXIZ}}$	Input Instruction Float After $\overline{\text{PSEN}}$		$t_{\text{CLCL}} - 10$	ns
$t_{\text{PXAV}}$	$\overline{\text{PSEN}}$ to Address Valid	$t_{\text{CLCL}} - 8$		ns
$t_{\text{AVIV}}$	Address to Valid Instruction In		$5t_{\text{CLCL}} - 55$	ns
$t_{\text{FLAZ}}$	$\overline{\text{PSEN}}$ Low to Address Float		10	ns
$t_{\text{RLRH}}$	$\overline{\text{RD}}$ Pulse Width	$6t_{\text{CLCL}} - 100$		ns
$t_{\text{WLWH}}$	$\overline{\text{WR}}$ Pulse Width	$6t_{\text{CLCL}} - 100$		ns
$t_{\text{RLDV}}$	$\overline{\text{RD}}$ Low to Valid Data In		$5t_{\text{CLCL}} - 90$	ns
$t_{\text{RHDX}}$	Data Hold After $\overline{\text{RD}}$	0		ns
$t_{\text{RHDX}}$	Data Float After $\overline{\text{RD}}$		$2t_{\text{CLCL}} - 28$	ns
$t_{\text{LLDV}}$	ALE Low to Valid Data In		$8t_{\text{CLCL}} - 150$	ns
$t_{\text{AVDV}}$	Address to Valid Data In		$9t_{\text{CLCL}} - 165$	ns
$t_{\text{LLWL}}$	ALE Low to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Low	$3t_{\text{CLCL}} - 50$	$3t_{\text{CLCL}} + 50$	ns
$t_{\text{AVWL}}$	Address to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Low	$4t_{\text{CLCL}} - 75$		ns
$t_{\text{QVWX}}$	Data Valid to $\overline{\text{WR}}$ Transition	$t_{\text{CLCL}} - 20$		ns
$t_{\text{QVWH}}$	Data Valid to $\overline{\text{WR}}$ High	$7t_{\text{CLCL}} - 120$		ns
$t_{\text{VHOX}}$	Data Hold After $\overline{\text{WR}}$	$t_{\text{CLCL}} - 20$		ns
$t_{\text{RLAZ}}$	$\overline{\text{RD}}$ Low to Address Float		0	ns
$t_{\text{VHLH}}$	$\overline{\text{RD}}$ or $\overline{\text{WR}}$ High to ALE High	$t_{\text{CLCL}} - 20$	$t_{\text{CLCL}} + 25$	ns

AT89S8252

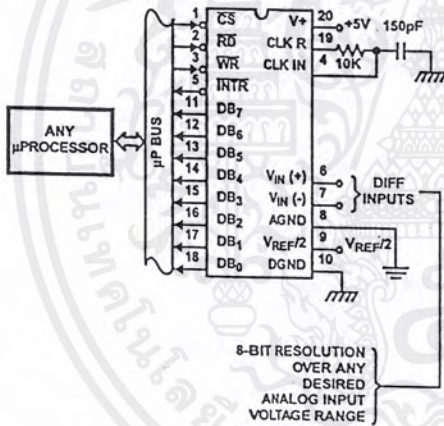
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**8-Bit, Microprocessor-Compatible, A/D Converters**

The ADC0802 family are CMOS 8-Bit, successive-approximation A/D converters which use a modified potentiometric ladder and are designed to operate with the 8080A control bus via three-state outputs. These converters appear to the processor as memory locations or I/O ports, and hence no interfacing logic is required.

The differential analog voltage input has good common-mode-rejection and permits offsetting the analog zero-input-voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

**Typical Application Schematic**



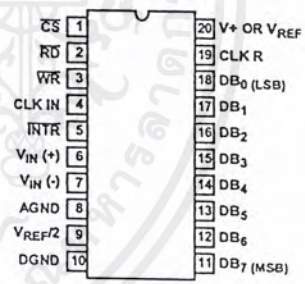
8-BIT RESOLUTION OVER ANY DESIRED ANALOG INPUT VOLTAGE RANGE

**Features**

- 80C48 and 80C80/85 Bus Compatible - No Interfacing Logic Required
- Conversion Time ..... <100µs
- Easy Interface to Most Microprocessors
- Will Operate in a "Stand Alone" Mode
- Differential Analog Voltage Inputs
- Works with Bandgap Voltage References
- TTL Compatible Inputs and Outputs
- On-Chip Clock Generator
- Analog Voltage Input Range (Single + 5V Supply) ..... 0V to 5V
- No Zero-Adjust Required

**Pinout**

ADC0802, ADC0803, ADC0804 (PDIP) TOP VIEW



**Ordering Information**

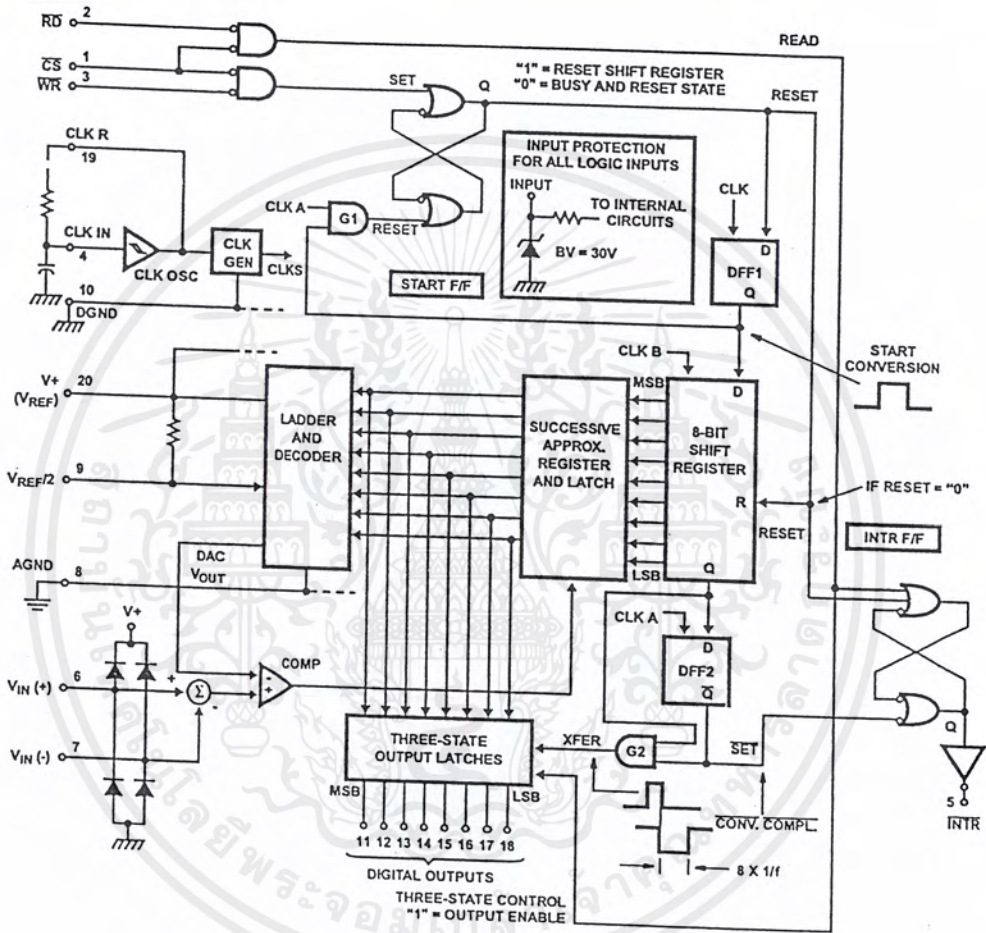
PART NUMBER	ERROR	EXTERNAL CONDITIONS	TEMP. RANGE (°C)	PACKAGE	PKG. NO
ADC0802LCN	±1/2 LSB	V <sub>REF/2</sub> = 2.500V <sub>DC</sub> (No Adjustments)	0 to 70	20 Ld PDIP	E20.3
ADC0803LCN	±1/2 LSB	V <sub>REF/2</sub> Adjusted for Correct Full Scale Reading	0 to 70	20 Ld PDIP	E20.3
ADC0804LCN	±1 LSB	V <sub>REF/2</sub> = 2.500V <sub>DC</sub> (No Adjustments)	0 to 70	20 Ld PDIP	E20.3

CAUTION: These devices are sensitive to electrostatic discharge. Follow proper IC Handling Procedures. 1-888-INTERSIL or 321-724-7143 Intersil and Design is a trademark of Intersil Americas Inc. Copyright © Intersil Americas Inc. 2001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC0802, ADC0803, ADC0804

Functional Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ADC0802, ADC0803, ADC0804

## Absolute Maximum Ratings

Supply Voltage ..... 6.5V  
 Voltage at Any Input ..... -0.3V to (V<sup>+</sup> + 0.3V)

## Operating Conditions

Temperature Range ..... 0°C to 70°C

## Thermal Information

Thermal Resistance (Typical, Note 1)  $\theta_{JA}$  (°C/W)  
 PDIP Package ..... 80  
 Maximum Junction Temperature  
 Plastic Package ..... 150°C  
 Maximum Storage Temperature Range ..... -65°C to 150°C  
 Maximum Lead Temperature (Soldering, 10s) ..... 300°C

**CAUTION:** Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

## NOTE:

1.  $\theta_{JA}$  is measured with the component mounted on a low effective thermal conductivity test board in free air. See Tech Brief TB379 for details.

## Electrical Specifications (Notes 2, 8)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
<b>CONVERTER SPECIFICATIONS V<sup>+</sup> = 5V, T<sub>A</sub> = 25°C and f<sub>CLK</sub> = 640kHz, Unless Otherwise Specified</b>					
Total Unadjusted Error					
ADC0802	V <sub>REF/2</sub> = 2.500V	-	-	±1/2	LSB
ADC0803	V <sub>REF/2</sub> Adjusted for Correct Full Scale Reading	-	-	±1/2	LSB
ADC0804	V <sub>REF/2</sub> = 2.500V	-	-	±1	LSB
V <sub>REF/2</sub> Input Resistance	Input Resistance at Pin 9	1.0	1.3	-	kΩ
Analog Input Voltage Range	(Note 3)	GND-0.05	-	(V <sup>+</sup> ) + 0.05	V
DC Common-Mode Rejection	Over Analog Input Voltage Range	-	±1/16	±1/8	LSB
Power Supply Sensitivity	V <sup>+</sup> = 5V ±10% Over Allowed Input Voltage Range	-	±1/16	±1/8	LSB
<b>CONVERTER SPECIFICATIONS V<sup>+</sup> = 5V, 0°C to 70°C and f<sub>CLK</sub> = 640kHz, Unless Otherwise Specified</b>					
Total Unadjusted Error					
ADC0802	V <sub>REF/2</sub> = 2.500V	-	-	±1/2	LSB
ADC0803	V <sub>REF/2</sub> Adjusted for Correct Full Scale Reading	-	-	±1/2	LSB
ADC0804	V <sub>REF/2</sub> = 2.500V	-	-	±1	LSB
V <sub>REF/2</sub> Input Resistance	Input Resistance at Pin 9	1.0	1.3	-	kΩ
Analog Input Voltage Range	(Note 3)	GND-0.05	-	(V <sup>+</sup> ) + 0.05	V
DC Common-Mode Rejection	Over Analog Input Voltage Range	-	±1/8	±1/4	LSB
Power Supply Sensitivity	V <sup>+</sup> = 5V ±10% Over Allowed Input Voltage Range	-	±1/16	±1/8	LSB
<b>AC TIMING SPECIFICATIONS V<sup>+</sup> = 5V, and T<sub>A</sub> = 25°C, Unless Otherwise Specified</b>					
Clock Frequency, f <sub>CLK</sub>	V <sup>+</sup> = 6V (Note 4)	100	640	1260	kHz
	V <sup>+</sup> = 5V	100	640	800	kHz
Clock Periods per Conversion (Note 5), t <sub>CONV</sub>		62	-	73	Clocks/Conv
Conversion Rate in Free-Running Mode, CR	INTR tied to WR with CS = 0V, f <sub>CLK</sub> = 640kHz	-	-	8888	Conv/s
Width of WR Input (Start Pulse Width), t <sub>W(WR)</sub>	CS = 0V (Note 6)	100	-	-	ns
Access Time (Delay from Falling Edge of RD to Output Data Valid), t <sub>ACC</sub>	C <sub>L</sub> = 100pF (Use Bus Driver IC for Larger C <sub>L</sub> )	-	135	200	ns
Three-State Control (Delay from Rising Edge of RD to Hi-Z State), t <sub>1H</sub> , t <sub>0H</sub>	C <sub>L</sub> = 10pF, R <sub>L</sub> = 10K (See Three-State Test Circuits)	-	125	250	ns
Delay from Falling Edge of WR to Reset of INTR, t <sub>WI</sub> , t <sub>RI</sub>		-	300	450	ns
Input Capacitance of Logic Control Inputs, C <sub>IN</sub>		-	5	-	pF
Three-State Output Capacitance (Data Buffers), C <sub>OUT</sub>		-	5	-	pF



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC0802, ADC0803, ADC0804

Electrical Specifications (Notes 2, 8) (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC DIGITAL LEVELS AND DC SPECIFICATIONS</b> $V_+ = 5V$ , and $T_{MIN}$ to $T_{MAX}$ . Unless Otherwise Specified					
<b>CONTROL INPUTS (Note 7)</b>					
Logic "1" Input Voltage (Except Pin 4 CLK IN), $V_{INH}$	$V_+ = 5.25V$	2.0	-	$V_+$	V
Logic "0" Input Voltage (Except Pin 4 CLK IN), $V_{INL}$	$V_+ = 4.75V$	-	-	0.8	V
CLK IN (Pin 4) Positive Going Threshold Voltage, $V^+_{CLK}$		2.7	3.1	3.5	V
CLK IN (Pin 4) Negative Going Threshold Voltage, $V^-_{CLK}$		1.5	1.8	2.1	V
CLK IN (Pin 4) Hysteresis, $V_H$		0.6	1.3	2.0	V
Logic "1" Input Current (All Inputs), $I_{INH1}$	$V_{IN} = 5V$	-	0.005	1	$\mu A$
Logic "0" Input Current (All Inputs), $I_{INL0}$	$V_{IN} = 0V$	-1	-0.005	-	$\mu A$
Supply Current (Includes Ladder Current), $I_{CC}$	$f_{CLK} = 640kHz$ , $T_A = 25^\circ C$ and $\overline{CS} = HI$	-	1.3	2.5	$mA$
<b>DATA OUTPUTS AND INTR</b>					
Logic "0" Output Voltage, $V_{OL}$	$I_O = 1.6mA$ , $V_+ = 4.75V$	-	-	0.4	V
Logic "1" Output Voltage, $V_{OH}$	$I_O = -360\mu A$ , $V_+ = 4.75V$	2.4	-	-	V
Three-State Disabled Output Leakage (All Data Buffers), $I_{LO}$	$V_{OUT} = 0V$	-3	-	-	$\mu A$
	$V_{OUT} = 5V$	-	-	3	$\mu A$
Output Short Circuit Current, $I_{SOURCE}$	$V_{OUT}$ Short to GND, $T_A = 25^\circ C$	4.5	6	-	$mA$
Output Short Circuit Current, $I_{SINK}$	$V_{OUT}$ Short to $V_+$ , $T_A = 25^\circ C$	9.0	16	-	$mA$

NOTES:

- All voltages are measured with respect to GND, unless otherwise specified. The separate AGND point should always be wired to the DGND, being careful to avoid ground loops.
- For  $V_{IN(-)} \geq V_{IN(+)}$  the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see Block Diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the  $V_+$  supply. Be careful, during testing at low  $V_+$  levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct - especially at elevated temperatures, and cause errors for analog inputs near full scale. As long as the analog  $V_{IN}$  does not exceed the supply voltage by more than 50mV, the output code will be correct. To achieve an absolute 0V to 5V input voltage range will therefore require a minimum supply voltage of 4.950V over temperature variations, initial tolerance and loading.
- With  $V_+ = 6V$ , the digital logic interfaces are no longer TTL compatible.
- With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process.
- The  $\overline{CS}$  input is assumed to bracket the  $\overline{WR}$  strobe input so that timing is dependent on the  $\overline{WR}$  pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the  $\overline{WR}$  pulse (see Timing Diagrams).
- CLK IN (pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately.
- None of these A/Ds requires a zero adjust. However, if an all zero code is desired for an analog input other than 0V, or if a narrow full scale span exists (for example: 0.5V to 4V full scale) the  $V_{IN(-)}$  input can be adjusted to achieve this. See the Zero Error description in this data sheet.

Timing Waveforms

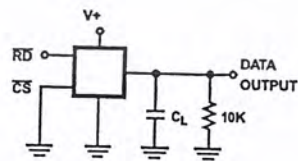


FIGURE 1A.  $t_{1H}$

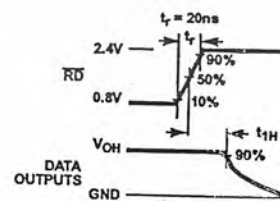


FIGURE 1B.  $t_{1H}$ ,  $C_L = 10pF$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC0802, ADC0803, ADC0804

Timing Waveforms (Continued)

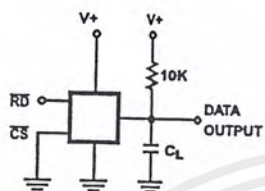


FIGURE 1C.  $t_{0H}$

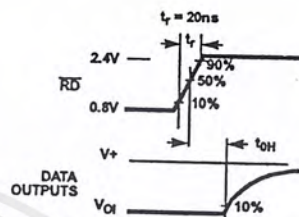


FIGURE 1D.  $t_{0H}$ ,  $C_L = 10\text{pF}$

FIGURE 1. THREE-STATE CIRCUITS AND WAVEFORMS

Typical Performance Curves

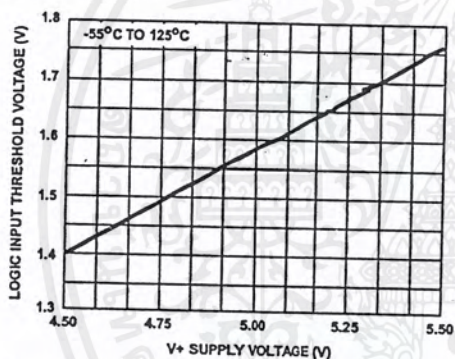


FIGURE 2. LOGIC INPUT THRESHOLD VOLTAGE vs SUPPLY VOLTAGE

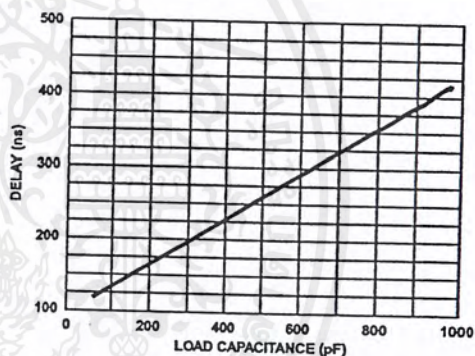


FIGURE 3. DELAY FROM FALLING EDGE OF  $\overline{RD}$  TO OUTPUT DATA VALID vs LOAD CAPACITANCE

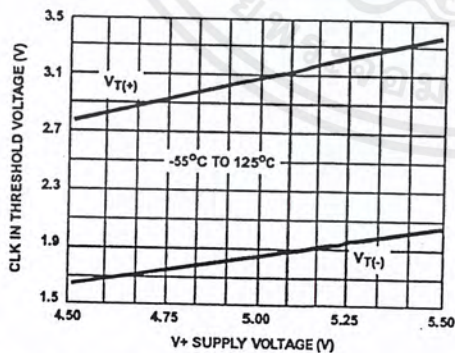


FIGURE 4. CLK IN SCHMITT TRIP LEVELS vs SUPPLY VOLTAGE

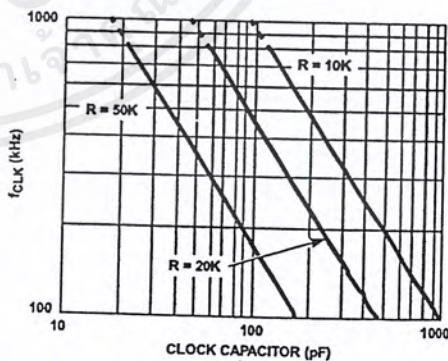


FIGURE 5.  $f_{CLK}$  vs CLOCK CAPACITOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC0802, ADC0803, ADC0804

Typical Performance Curves (Continued)

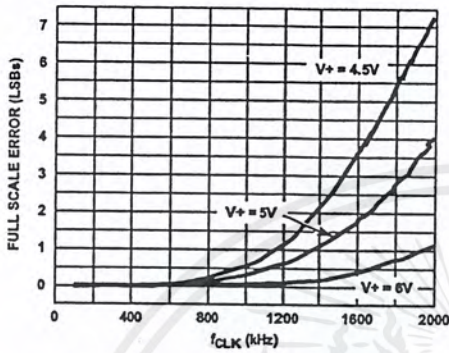


FIGURE 6. FULL SCALE ERROR vs  $f_{CLK}$

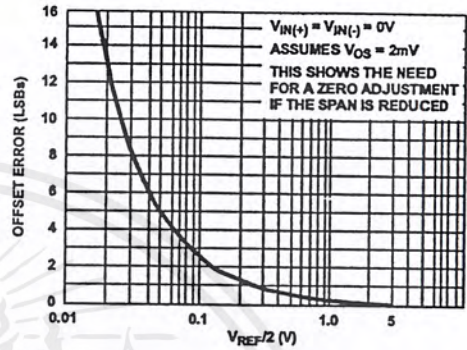


FIGURE 7. EFFECT OF UNADJUSTED OFFSET ERROR

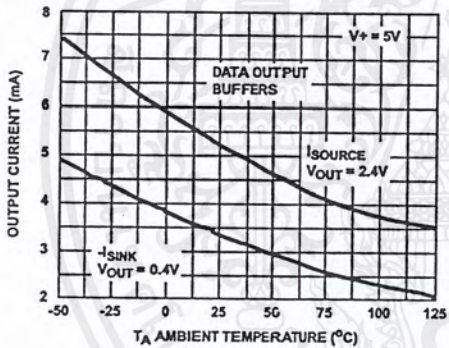


FIGURE 8. OUTPUT CURRENT vs TEMPERATURE

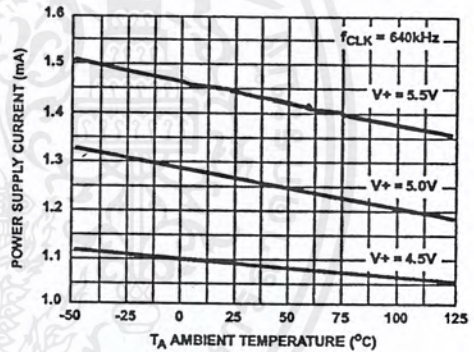


FIGURE 9. POWER SUPPLY CURRENT vs TEMPERATURE

Timing Diagrams

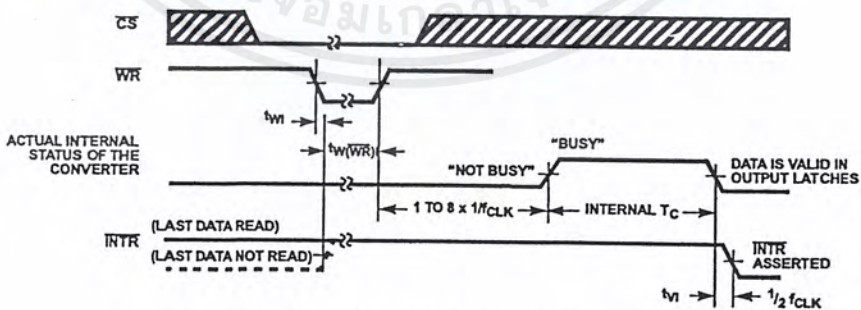


FIGURE 10A. START CONVERSION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC0802, ADC0803, ADC0804

Timing Diagrams (Continued)

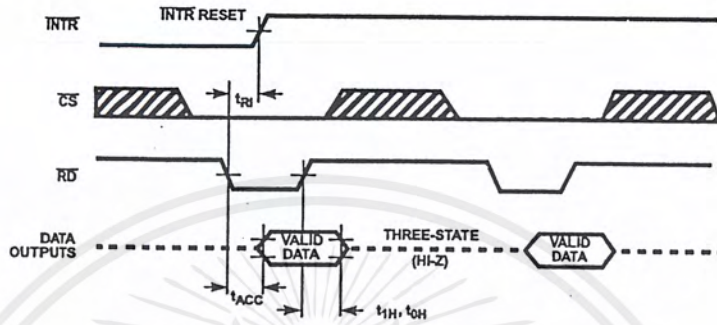


FIGURE 10B. OUTPUT ENABLE AND RESET INTR

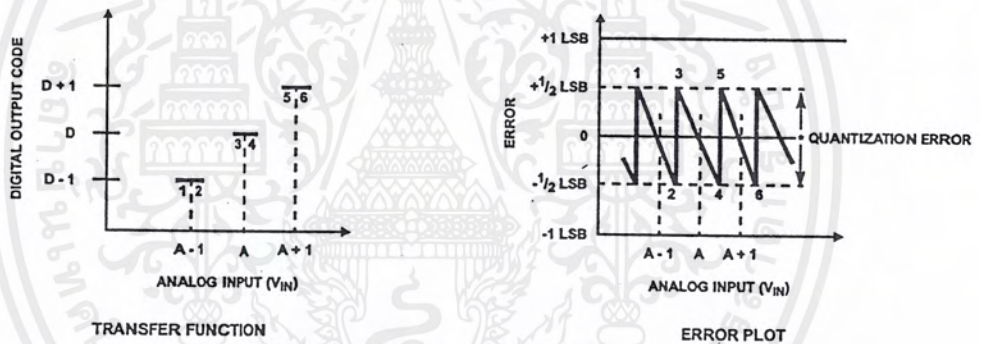


FIGURE 11A. ACCURACY =  $\pm 0$  LSB; PERFECT A/D

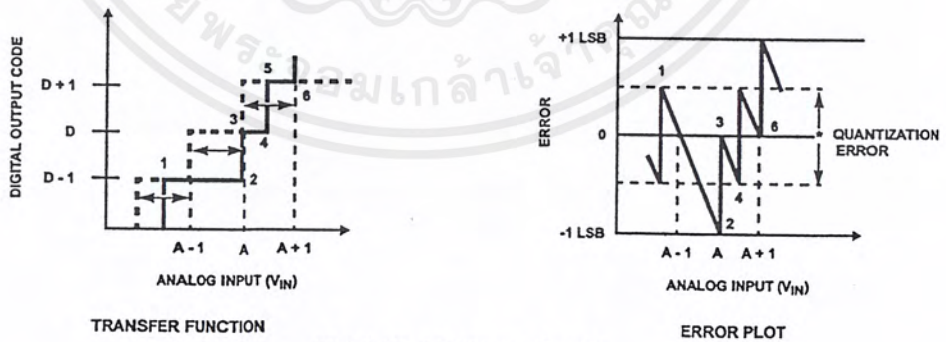
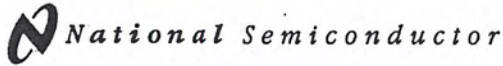


FIGURE 11B. ACCURACY =  $\pm 1/2$  LSB

FIGURE 11. CLARIFYING THE ERROR SPECS OF AN A/D CONVERTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



February 1988

## MM54HC540/MM74HC540 Inverting Octal TRI-STATE® Buffer MM54HC541/MM74HC541 Octal TRI-STATE Buffer

### General Description

These TRI-STATE buffers utilize advanced silicon-gate CMOS technology. They possess high drive current outputs which enable high speed operation even when driving large bus capacitances. These circuits achieve speeds comparable to low power Schottky devices, while retaining the advantage of CMOS circuitry, i.e., high noise immunity, and low power consumption. Both devices have a fanout of 15 LS-TTL equivalent inputs.

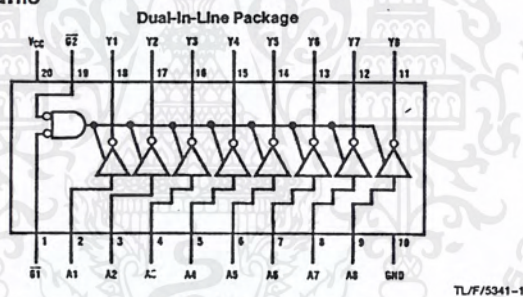
The MM54HC540/MM74HC540 is an inverting buffer and the MM54HC541/MM74HC541 is a non-inverting buffer. The TRI-STATE control gate operates as a two-input NOR such that if either  $\overline{G1}$  or  $\overline{G2}$  are high, all eight outputs are in the high-impedance state.

In order to enhance PC board layout, the 'HC540 and 'HC541 offers a pinout having inputs and outputs on opposite sides of the package. All inputs are protected from damage due to static discharge by diodes to  $V_{CC}$  and ground.

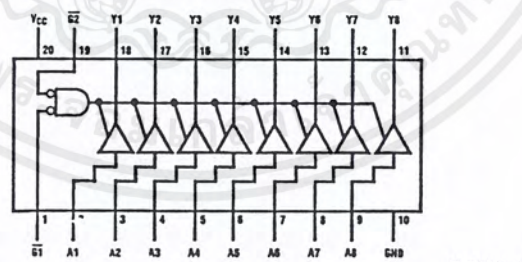
### Features

- Typical propagation delay: 12 ns
- TRI-STATE outputs for connection to system buses
- Wide power supply range: 2–6V
- Low quiescent current: 80  $\mu$ A maximum (74HC Series)
- Output current: 6 mA

### Connection Diagrams



Top View  
Order Number MM54HC540 or MM74HC540

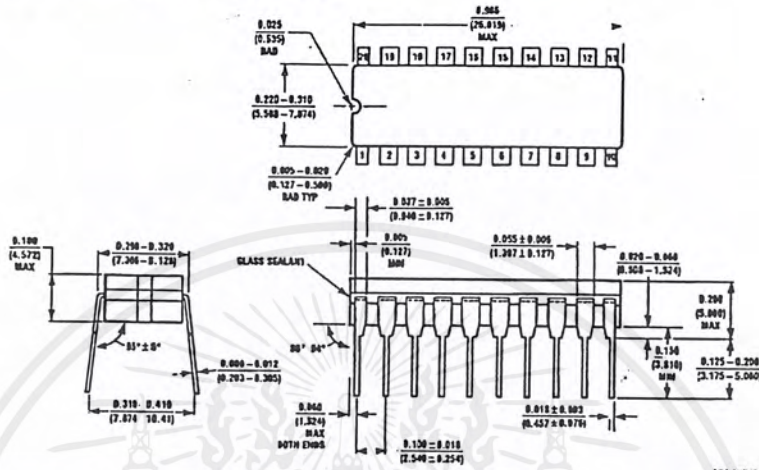


Top View  
Order Number MM54HC541 or MM74HC541

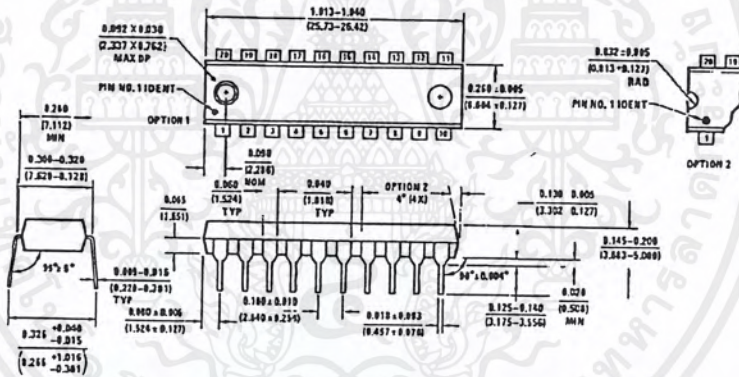
TRI-STATE® is a registered trademark of National Semiconductor Corporation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)



Order Number MM54HC540J or MM54HC541J  
See NS Package J20A



Order Number MM74HC540J, N or MM74HC541J, N  
See NS Package N20A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



National Semiconductor Corporation  
1111 West Bardin Road  
Arlington, TX 76017  
Tel: 1(800) 272-9959  
Fax: 1(800) 737-7018

National Semiconductor Europe  
Fax: (+49) 0-180-530 85 88  
Email: crfwge@tevm2nsc.com  
Deutsch Tel: (+49) 0-180-530 85 85  
English Tel: (+49) 0-180-532 78 32  
Français Tel: (+49) 0-180-532 93 58  
Italiano Tel: (+49) 0-180-534 18 80

National Semiconductor Hong Kong Ltd.  
13th Floor, Straight Block,  
Ocean Centre, 5 Canton Rd.  
Tsimshatsui, Kowloon  
Hong Kong  
Tel: (852) 2737-1600  
Fax: (852) 2736-8960

National Semiconductor Japan Ltd.  
Tel: 81-043-299-2309  
Fax: 81-043-299-2408

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Absolute Maximum Ratings** (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ( $V_{CC}$ )	-0.5 to +7.0V
DC Input Voltage ( $V_{IN}$ )	-1.5 to $V_{CC}+1.5V$
DC Output Voltage ( $V_{OUT}$ )	-0.5 to $V_{CC}+0.5V$
Clamp Diode Current ( $I_{CD}$ )	$\pm 20$ mA
DC Output Current, per pin ( $I_{OUT}$ )	$\pm 35$ mA
DC $V_{CC}$ or GND Current, per pin ( $I_{CC}$ )	$\pm 70$ mA
Storage Temperature Range ( $T_{STG}$ )	-65°C to +150°C
Power Dissipation ( $P_D$ ) (Note 3)	600 mW
S.O. Package only	500 mW
Lead Temp. ( $T_L$ ) (Soldering 10 seconds)	260°C

**Operating Conditions**

	Min	Max	Units
Supply Voltage ( $V_{CC}$ )	2	6	V
DC Input or Output Voltage ( $V_{IN}$ , $V_{OUT}$ )	0	$V_{CC}$	V
Operating Temp. Range ( $T_A$ )			
MM74HC	-40	+85	°C
MM54HC	-55	+125	°C
Input Rise or Fall Times ( $t_r$ , $t_f$ )			
$V_{CC}=2.0V$		1000	ns
$V_{CC}=4.5V$		500	ns
$V_{CC}=6.0V$		400	ns

**DC Electrical Characteristics** (Note 4)

Symbol	Parameter	Conditions	$V_{CC}$	$T_A=25^\circ C$		74HC	54HC	Units
				Typ	Guaranteed Limits			
$V_{IH}$	Minimum High Level Input Voltage		2.0V	1.5	1.5	1.5	V	
			4.5V	3.15	3.15	3.15	V	
			6.0V	4.2	4.2	4.2	V	
$V_{IL}$	Maximum Low Level Input Voltage**		2.0V	0.5	0.5	0.5	V	
			4.5V	1.35	1.35	1.35	V	
			6.0V	1.8	1.8	1.8	V	
$V_{OH}$	Minimum High Level Output Voltage	$V_{IN}=V_{IH}$ or $V_{IL}$ $ I_{OUT}  \leq 20 \mu A$	2.0V	2.0	1.9	1.9	V	
			4.5V	4.5	4.4	4.4	V	
			6.0V	6.0	5.9	5.9	V	
		$V_{IN}=V_{IH}$ or $V_{IL}$ $ I_{OUT}  \leq 6.0$ mA $ I_{OUT}  \leq 7.8$ mA	4.5V	4.2	3.98	3.84	3.7	V
			6.0V	5.7	5.48	5.34	5.2	V
$V_{OL}$	Maximum Low Level Output Voltage	$V_{IN}=V_{IH}$ or $V_{IL}$ $ I_{OUT}  \leq 20 \mu A$	2.0V	0	0.1	0.1	0.1	V
			4.5V	0	0.1	0.1	0.1	V
			6.0V	0	0.1	0.1	0.1	V
		$V_{IN}=V_{IH}$ or $V_{IL}$ $ I_{OUT}  \leq 6.0$ mA $ I_{OUT}  \leq 7.8$ mA	4.5V	0.2	0.26	0.33	0.4	V
			6.0V	0.2	0.26	0.33	0.4	V
$I_{IN}$	Maximum Input Current	$V_{IN}=V_{CC}$ or GND	6.0V	$\pm 0.1$	$\pm 1.0$	$\pm 1.0$	$\mu A$	
$I_{OZ}$	Maximum TRI-STATE Output Leakage Current	$V_{IN}=V_{IH}$ or $V_{IL}$ , $\bar{G}=V_{IH}$ $V_{OUT}=V_{CC}$ or GND	6.0V	$\pm 0.5$	$\pm 5$	$\pm 10$	$\mu A$	
$I_{CC}$	Maximum Quiescent Supply Current	$V_{IN}=V_{CC}$ or GND $I_{OUT}=0 \mu A$	6.0V	8.0	80	160	$\mu A$	

Note 1: Absolute Maximum Ratings are those values beyond which damage to the device may occur.

Note 2: Unless otherwise specified all voltages are referenced to ground.

Note 3: Power Dissipation temperature derating — plastic "N" package: -12 mW/°C from 65°C to 85°C; ceramic "J" package: -12 mW/°C from 100°C to 125°C.

Note 4: For a power supply of 5V  $\pm 10\%$  the worst case output voltages ( $V_{OH}$  and  $V_{OL}$ ) occur for HC at 4.5V. Thus the 4.5V values should be used when designing with this supply. Worst case  $V_{IH}$  and  $V_{IL}$  occur at  $V_{CC}=5.5V$  and 4.5V respectively. (The  $V_{IH}$  value at 5.5V is 3.85V.) The worst case leakage current ( $I_{IN}$ ,  $I_{OZ}$ , and  $I_{CC}$ ) occur for CMOS at the higher voltage and so the 6.0V values should be used.

\*\* $V_{IL}$  limits are currently tested at 20% of  $V_{CC}$ . The above  $V_{IL}$  specification (30% of  $V_{CC}$ ) will be implemented no later than Q1, CY89.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**AC Electrical Characteristics**  $V_{CC}=5V$ ,  $T_A=25^\circ C$ ,  $t_r=t_f=6\text{ ns}$ 

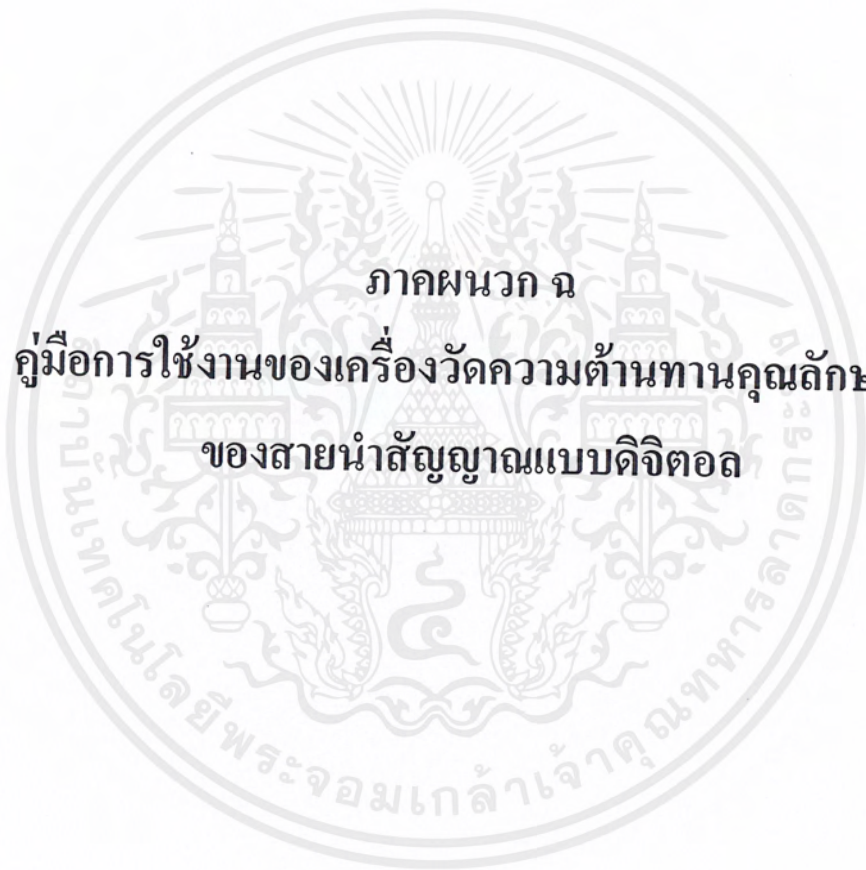
Symbol	Parameter	Conditions	Typ	Guaranteed Limit	Units
$t_{PHL}$ , $t_{PLH}$	Maximum Propagation Delay (540)	$C_L = 45\text{ pF}$	12	18	ns
$t_{PHL}$ , $t_{PLH}$	Maximum Propagation Delay (541)	$C_L = 45\text{ pF}$	14	20	ns
$t_{PZH}$ , $t_{PZL}$	Maximum Output Enable Time	$R_L = 1\text{ k}\Omega$ $C_L = 45\text{ pF}$	17	28	ns
$t_{PHZ}$ , $t_{PLZ}$	Maximum Output Disable Time	$R_L = 1\text{ k}\Omega$ $C_L = 5\text{ pF}$	15	25	ns

**AC Electrical Characteristics**  $V_{CC}=2.0V\text{ to }6.0V$ ,  $C_L=50\text{ pF}$ ,  $t_r=t_f=6\text{ ns}$  (unless otherwise specified)

Symbol	Parameter	Conditions	$V_{CC}$	$T_A=25^\circ C$		74HC	54HC	Units
						$T_A=-40\text{ to }85^\circ C$	$T_A=-55\text{ to }125^\circ C$	
				Typ	Guaranteed Limits			
$t_{PHL}$ , $t_{PLH}$	Maximum Propagation Delay (540)	$C_L = 50\text{ pF}$	2.0V	55	100	126	149	ns
			2.0V	83	150	190	224	ns
		$C_L = 150\text{ pF}$	4.5V	12	20	25	30	ns
			4.5V	22	30	38	45	ns
		6.0V	11	17	21	25	ns	
$t_{PHL}$ , $t_{PLH}$	Maximum Propagation Delay (541)	$C_L = 50\text{ pF}$	2.0V	58	115	145	171	ns
			2.0V	83	165	208	246	ns
		$C_L = 150\text{ pF}$	4.5V	14	23	29	34	ns
			4.5V	17	33	42	49	ns
		6.0V	11	20	25	29	ns	
$t_{PZH}$ , $t_{PZL}$	Maximum Output Enable Time	$R_L = 1\text{ k}\Omega$	2.0V	75	150	189	224	ns
			2.0V	100	200	252	298	ns
		$C_L = 50\text{ pF}$	4.5V	15	30	38	45	ns
			4.5V	30	40	50	60	ns
		6.0V	13	26	32	38	ns	
$t_{PHZ}$ , $t_{PLZ}$	Maximum Output Disable Time	$R_L = 1\text{ k}\Omega$	2.0V	75	150	189	224	ns
			4.5V	15	30	38	45	ns
		$C_L = 50\text{ pF}$	6.0V	13	26	32	38	ns
			6.0V	17	34	43	51	ns
		$t_{rHL}$ , $t_{rLH}$	Maximum Output Rise and Fall Time	$C_L = 50\text{ pF}$	2.0V	25	60	75
4.5V	7				12	15	18	ns
6.0V	6				10	13	15	ns
$C_{PD}$	Power Dissipation Capacitance (Note 5)	$\bar{G}=V_{IH}$ $\bar{G}=V_{IL}$		10 50				pF pF
$C_{IN}$	Maximum Input Capacitance			5	10	10	10	pF
$C_{OUT}$	Maximum Output Capacitance			15	20	20	20	pF

Note:  $C_{PD}$  determines the no load dynamic power consumption,  $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$ , and the no load dynamic current consumption,  $I_S = C_{PD} V_{CC} f + I_{CC}$ .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ฉ  
คู่มือการใช้งานของเครื่องวัดความต้านทานคุณลักษณะ  
ของสายนำสัญญาณแบบดีจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## คู่มือการใช้งาน

เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

Digital Characteristic Impedance of Transmission Line Meter



รูปที่ ฉ.1 ด้านหน้าของเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล



รูปที่ ฉ.2 ด้านหลังของเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ ฉ.1 แสดงส่วนประกอบต่างๆ ของเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิตอล ซึ่งมีส่วนประกอบต่างๆ ดังต่อไปนี้

- 1) จอแสดงผลแบบผลึกเหลวขนาด 16 ตัวอักษร 2 บรรทัด
- 2) หลอดไฟสีแดง แสดงสถานะการทำงานของเครื่อง
- 3) ปุ่มกด Reset 1 Reset 2
- 4) ขั้วต่อเครื่องส่งวิทยุ (Tx)
- 5) ขั้วต่อวัดสายนำสัญญาณ (Transmission Line Test)
- 6) ขั้วต่อสายไฟ 220 โวลต์ 50 เฮิร์ตซ์
- 7) สายไฟ 220 โวลต์ 50 เฮิร์ตซ์
- 8) สวิตช์ เปิด - ปิด เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิตอล
- 9) ครอบอกฟิวส์ 220 โวลต์ 3 แอมป์

#### หน้าที่ของส่วนประกอบแต่ละส่วน

1) จอแสดงผลแบบผลึกเหลวเป็นส่วนแสดงผลของ เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิตอลโดยแสดงค่าต่างๆ ดังนี้คือ ค่าความต้านทานคุณลักษณะ ค่าวีเอสดีบีบลิวอาร์ ค่าเอสดีบีบลิวอาร์ ค่าสัมประสิทธิ์การสะท้อนกลับ และค่ากำลังงานสูญเสียจากการสะท้อนกลับของสายนำสัญญาณ

2) หลอดไฟสีแดงขณะที่เปล่งแสงแสดงว่า เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิตอล อยู่สถานะปกติ และกำลังทำงานอยู่

3) ปุ่มกด Reset 1 Reset 2 เป็นส่วนที่ใช้ในการควบคุมการทำงานของเครื่อง

4) ขั้วต่อเครื่องส่งวิทยุ (Tx) เป็นส่วนที่ใช้สำหรับต่อเครื่องส่งวิทยุในย่านความถี่ 144 - 146 เมกะเฮิร์ตซ์ กำลังส่งไม่เกิน 50 วัตต์

5) ขั้วต่อสายนำสัญญาณ (Transmission Line Test) เป็นส่วนที่ใช้ต่อสายนำสัญญาณที่นำมาทดสอบ

6) สายไฟกระแสสลับ 220 โวลต์ 50 เฮิร์ตซ์ ใช้สำหรับต่อไฟฟ้ากระแสสลับ 220 โวลต์ 50 เฮิร์ตซ์ เพื่อให้เครื่องทำงาน

7) สวิตช์ เปิด - ปิด เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิตอลจะใช้สำหรับ เปิด - ปิด เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิตอล

8) ครอบอกฟิวส์ 220 โวลต์ 5 แอมป์ เป็นส่วนที่ป้องกันเครื่องไม่ให้เกิดความเสียหายเนื่องจากกระแสไฟฟ้าเกิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ขั้นตอนการใช้งานของเครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัล

- 1) ต่อสายนำสัญญาณที่ต้องการทดสอบเข้ากับขั้วต่อ Transmission Line Test
- 2) ต่อเครื่องส่งวิทยุในย่านความถี่ 144 – 146 เมกะเฮิร์ตซ์ เข้าที่ขั้วต่อเครื่องส่งวิทยุ
- 3) เสียบปลั๊กไฟของ เครื่องวัดความต้านทานคุณลักษณะของสายนำสัญญาณแบบดิจิทัลเข้ากับเต้ารับไฟ แรงดัน 220 โวลต์ 50 เฮิร์ตซ์
- 4) ตรวจสอบความเรียบร้อยของสายต่างๆ ที่ต่อตามข้อที่ 1 และ 2 อีกครั้ง
- 5) เปิดสวิตช์ของเครื่องให้อยู่ในตำแหน่ง เปิด หลอดไฟสีแดงจะเปล่งแสงว่า รีเซต แสดงว่าเครื่องพร้อมที่จะทำงานแล้ว
- 6) กดสวิตช์ Reset 1 Reset 2
- 7) เปิดเครื่องวิทยุที่นำมาต่อเข้ากับเครื่อง ปรับความถี่ไปยังช่องที่ไม่มีการใช้งาน
- 8) ที่หน้าจอเครื่องจะแสดง PRESS PTT KEY
- 9) ในขณะนี้หน้าจอพร้อมที่จะใช้งาน ให้กดคีย์ส่งเครื่องของเครื่องส่งวิทยุค้างไว้จนกว่าค่าตัวเลขจะขึ้น (ประมาณ 2 วินาที)
- 10) จากนั้น เครื่องจะแสดงค่าต่างๆ ที่วัดได้ดังนี้ ค่าความต้านทานคุณลักษณะ (Zo) ค่าวีเอสดับบลิวอาร์ (VSWR) ค่าเอสดับบลิวอาร์ (SWR) ค่าสัมประสิทธิ์การสะท้อนกลับ (Pmismatch) และค่ากำลังงานสูญเสียจากการสะท้อนกลับของสายนำสัญญาณ (Preturn)
- 11) เมื่อเลิกการใช้งานแล้วให้ปิดสวิตช์เครื่องส่ง ถอดปลั๊กไฟ และถอดสายต่อเข้ากับขั้วต่อออกทั้งหมด

### หมายเหตุ

ปุ่มรีเซต 1 จะเป็นสวิตช์ รีเซต ภาคไมโครคอนโทรลเลอร์

ปุ่มรีเซต 2 จะเป็นสวิตช์ รีเซต ภาคแปลงสัญญาณแอนะล็อกเป็นดิจิทัล

## บรรณานุกรม

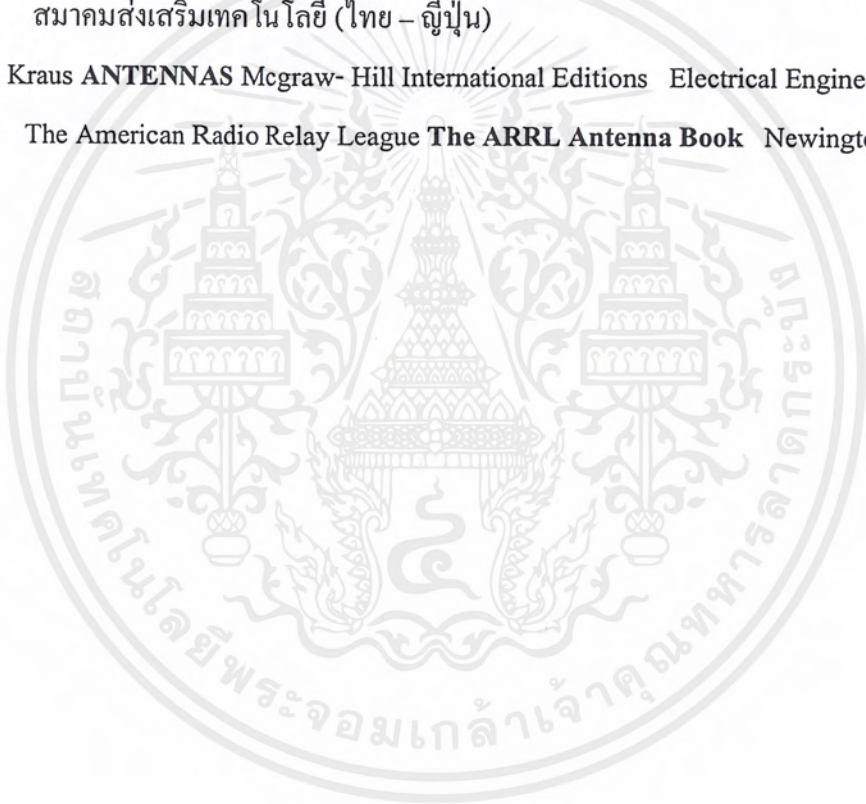
พิชัย ภัคดีพานิชเจริญ. ทฤษฎีและการใช้งานความถี่ย่านไมโครเวฟ. กรุงเทพฯ : สำนักพิมพ์ฟิสิกส์  
เซ็นเตอร์

สุนทร วิฑูรสุรพจน์. การใช้งานไมโครคอนโทรลเลอร์ตระกูลMCS – 8051 . กรุงเทพฯ : บริษัทซีเอ็ด  
ยูเคชั่น จำกัด (มหาชน). 2537

เอก ไชยสวัสดิ์. การวัดและเครื่องวัดไฟฟ้า กรุงเทพฯ โครงการสนับสนุนเทคนิคอุตสาหกรรม  
สมาคมส่งเสริมเทคโนโลยี (ไทย – ญี่ปุ่น)

John D. Kraus ANTENNAS McGraw- Hill International Editions Electrical Engineering Series

The American Radio Relay League The ARRL Antenna Book Newington , CT USA



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ประวัติผู้แต่ง



ชื่อผู้ทำปริญญาบัตร	นางสาวกันยารัตน์ จวนรุ่ง
วันเดือนปีเกิด	28 กุมภาพันธ์ 2522
สถานที่เกิด	สิงห์บุรี
ภูมิลำเนาเดิม	145/25 หมู่บ้านนิชดา ต.ปากเกร็ด อ.ปากเกร็ด จ.นนทบุรี 11120
ที่อยู่ปัจจุบัน	145/25 หมู่บ้านนิชดา ต.ปากเกร็ด อ.ปากเกร็ด จ.นนทบุรี 11120
เบอร์โทรศัพท์	5830213
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนชลประทานวิทยา
มัธยมศึกษาตอนต้น	โรงเรียนชลประทานวิทยา
ประกาศนียบัตรวิชาชีพ (ปวช.)	-
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	สถาบันเทคโนโลยีราชมงคล วิทยาเขตนนทบุรี
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับรางวัล	-
คติพจน์	สายน้ำไม่ไหลย้อนกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ประวัติผู้แต่ง



ชื่อผู้ทำปริญญาโท	นายกิตติพงษ์ ชวนานันท์
วันเดือนปีเกิด	8 กันยายน 2521
สถานที่เกิด	กำแพงเพชร
ภูมิลำเนาเดิม	165/13 ต.กาญจนวานิช อ.หาดใหญ่ จ.สงขลา
ที่อยู่ปัจจุบัน	วิทยาลัยการอาชีพตะกั่วป่า ต.ตะกั่วป่า อ.ตะกั่วป่า จ.พังงา 82110
เบอร์โทรศัพท์	(074) 446628, (01) 4792424
<b>ประวัติการศึกษา</b>	
ประถมศึกษา	โรงเรียนอนุบาลกำแพงเพชร
มัธยมศึกษาตอนต้น	โรงเรียนครุศึกษา
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคหาดใหญ่
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคหาดใหญ่
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับรางวัล	-
คติพจน์	คิดก่อนพูด แต่ไม่พูดทุกคำที่คิด คิดก่อนทำ แต่ไม่ทำทุกอย่างที่คิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ประวัติผู้แต่ง



ชื่อผู้ทำปริญญาบัตร	นายนิวัติ โชติกลาง
วันเดือนปีเกิด	10 พฤษภาคม 2521
สถานที่เกิด	นครราชสีมา
ภูมิลำเนาเดิม	231 หมู่ 8 ต.หนองสูงเหนือ อ.เฉลิมพระเกียรติ จ.นครราชสีมา 30000
ที่อยู่ปัจจุบัน	231 หมู่ 8 ต.หนองสูงเหนือ อ.เฉลิมพระเกียรติ จ.นครราชสีมา 30000
เบอร์โทรศัพท์	(044) 207053
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนมารีย์วิทยา
มัธยมศึกษาตอนต้น	โรงเรียนบุญวัฒนา
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคนครราชสีมา
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคนครราชสีมา
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับรางวัล	-
คติพจน์	นกไม่มีขน คนไม่มีความรู้ ย่อมสู้ที่สูงไม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ประวัติผู้แต่ง



ชื่อผู้ทำปริญญาบัตร	นายมานัส เกียวพันธุ์
วันเดือนปีเกิด	23 พฤศจิกายน 2521
สถานที่เกิด	นครสวรรค์
ภูมิลำเนาเดิม	60/1 หมู่ 1 ต.ป่าแดง อ.เมือง จ.แพร่ 54000
ที่อยู่ปัจจุบัน	หอพักพูน เลขที่ 111/51 หมู่ 3 แขวงลาดกระบัง เขตลาดกระบัง กรุงเทพฯ 10520
เบอร์โทรศัพท์	7392512 ต่อ 215
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนบ้านหนองแวง
มัธยมศึกษาตอนต้น	โรงเรียนเมืองแพร่
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคแพร่
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคแพร่
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับรางวัล	-
คติพจน์	ชีวิตไม่ได้โรยด้วยกลีบกุหลาบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้