สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

มิเตอร์วัดค่าเอนกประสงค์

MULTI FUNCTION ENERGY METERS

T045853

นายกิตติศักดิ์ อ่อนตา
นายเกริก โสพงษ์
นายพิศาล บัณฑุตระกูล

ว.ม.
ก679ม
2544

เลขหมู่.....
เลขทะเบียน 45853
วัน, เดือน, ปี 19 ก.พ. 2546

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมการวัดคุม
ภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MULTI FUNCTION ENERGY METERS

KITISAK ONTA

KRIRK SOPONG

PISAL BUNTUTRAKOOL

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE OF

BACHELOR OF ENGINEERING INSTRUMENTATION ENGINEERING

DEPARTMENT OF INSTRUMENTATION ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2001

ภาควิชาวิศวกรรมการวัดคุม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองปริญญานิพนธ์

หัวข้อปริญญานิพนธ์ มิเตอร์วัดค่าเอนกประสงค์

MULTI FUNCTION ENERGY METERS

นักศึกษาผู้จัดทำ

นายกิตติศักดิ์	อ่อนตา	รหัสประจำตัว	42015423
นายเกริก	โสพงษ์	รหัสประจำตัว	42015424
นายพิศาล	บัณฑุตระกูล	รหัสประจำตัว	42015444

ปริญญา วิศวกรรมศาสตรบัณฑิต

สาขาวิชา วิศวกรรมการวัดคุม

ปีการศึกษา 2544

อาจารย์ผู้ควบคุมปริญญานิพนธ์	ลายมือชื่อ
ผศ.วิริยะ กองรัตน์	

วัน/เดือน/ปี ที่สอบ วันพุธที่ 27 มีนาคม 2545

สถานที่สอบ ณ ห้องสอบปริญญานิพนธ์ ภาควิชาวิศวกรรมการวัดคุม

ภาควิชารับรองแล้ว

(ผศ. ประสิทธิ์ จุลเสรีวงศ์)

หัวหน้าภาควิชาวิศวกรรมการวัดคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	มิเตอร์วัดค่าเอนกประสงค์	
	MULTI FUNCTION ENERGY METERS	
นักศึกษาผู้จัดทำ	นายกิตติศักดิ์	อ่อนตา
	นายเกริก	โสพงษ์
	นายพิศาล	บัณฑุตระกูล
อาจารย์ที่ปรึกษา	ผศ.วิริยะ	กองรัตน์
ปีการศึกษา	2544	

บทคัดย่อ

ในปริญญานิพนธ์ฉบับนี้เรียบเรียงขึ้นจากผลงานที่ได้พัฒนาขึ้นเป็นเครื่องวัด ค่าพลังงานทางไฟฟ้า โดยการนำสัญญาณแรงดันไฟฟ้า และกระแสไฟฟ้าผ่านวงจรขยาย (Amplifier) และวงจรเรียงกระแสเต็มคลื่นสัญญาณขนาดเล็ก (Rectifier) และทำการแบ่งระดับแรงดันให้อยู่ในช่วง 0–4.096 โวลต์ เพื่อส่งเข้าวงจรแปลงสัญญาณอนาลอก (Analog) ไปเป็นสัญญาณดิจิตอลขนาด 10 บิต (bit) เพื่อนำเข้าไปส่วนไมโครโปรเซสเซอร์ (microprocessor) เพื่อประมวลผลแล้วแสดงที่ LCD และสัญญาณแรงดันไฟฟ้า และกระแสไฟฟ้า ส่วนหนึ่งจะผ่านวงจรซีโรครอสชิงดีเทกเตอร์ (Zero-crossing detector) เพื่อแปลงสัญญาณให้เป็นสัญญาณดิจิตอล (digital) และนำสัญญาณดังกล่าวไปผ่านวงจรปรับระดับแรงดันไฟฟ้า เพื่อปรับระดับแรงดันไฟฟ้าให้อยู่ในช่วง 0-5 โวลต์ แล้วจึงส่งผ่านวงจรเฟสคอมพาราเตอร์ (phase comparator) เพื่อหาค่าความแตกต่างของเฟส แล้วใช้ คาปาซิสเตอร์ เพื่อปรับระดับแรงดัน และทำการแบ่งระดับแรงดันให้อยู่ในช่วง 0–4.096 โวลต์ เพื่อส่งเข้าวงจรแปลงสัญญาณอนาลอก (Analog) ไปเป็นสัญญาณดิจิตอลขนาด 10 บิต (bit) เพื่อนำเข้าไปส่วนไมโครโปรเซสเซอร์ (microprocessor) เพื่อประมวลผล จะได้ค่าเพาเวอร์แฟกเตอร์ และนำไปประมวลผลต่อจะได้ค่าปริมาณทางไฟฟ้าต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	MULTI FUNCTION ENERGY METERS
Authors	Mr.kitisak onta
	Mr.krirk sopong
	Mr.pisal buntutrakool
Thesis Advisor	Asst.prof.viriya kongrat
YEAR	2001

ABSTRACT

This thesis is develop to Multi Function Energy Meters. Amplifier and Rectifier change Voltage AC to Voltage DC and adjust voltage level interval 0-4.096 volt. And then signal is converted by analog to digital converter to 10 bit data. Microprocessor computes data from analog to digital converter. The other input Voltage/current signal is converted to digital by zero-crossing detector converts voltage level in order to adjust voltage level interval 0-5 volt and passes signal through Phase Comparator and adjust voltage level interval 0-4.096 volt. And then signal is converted by analog to digital converter to 10 bit data. Microprocessor computes data from analog to digital converter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้ สำเร็จลุล่วงไปได้ดีเพราะได้รับความเมตตาจาก ผศ.วิริยะ กองรัตน์ ที่ได้ให้คำแนะนำแก่ผู้วิจัยตลอดมาอีกทั้งยังเอื้อเฟื้ออุปกรณ์และเครื่องมือต่างๆ ในการทำปริญญา-นิพนธ์นี้ ผู้วิจัยรู้สึกซาบซึ้งและขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบพระคุณอาจารย์ภาควิชาวิศวกรรมการวัดคุมทุกท่านที่ให้คำแนะนำอันเป็นประโยชน์ต่อการทำและที่สำคัญขอกราบขอบพระคุณ คุณค่าและประโยชน์อันพึงมีจากปริญญา-นิพนธ์ ผู้วิจัยขอมอบแก่ผู้มีพระคุณทุกท่าน

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....I

บทคัดย่อภาษาอังกฤษ.....II

กิตติกรรมประกาศ.....III

สารบัญ.....IV

สารบัญตาราง.....VI

สารบัญภาพ.....VII

บทที่ 1 บทนำ.....1

1.1 ความเป็นมาและเหตุจูงใจของการวิจัย.....1

1.2 วัตถุประสงค์ของปริญญานิพนธ์.....1

1.3 ขอบเขตของปริญญานิพนธ์.....1

1.4 ขั้นตอนการศึกษา.....1

บทที่ 2 ทฤษฎี.....2

2.1 ชุดแปลงสัญญาณ.....2

2.2 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล.....3

2.3 หม้อแปลงกระแส.....6

2.4 หม้อแปลงแรงดัน.....8

2.5 วงจรเรียงกระแสเต็มคลื่นสัญญาณขนาดเล็ก.....9

บทที่ 3 โครงสร้างสถาปัตยกรรม MCS – 51.....12

3.1 สัญญาณนาฬิกาของ MCS – 51.....17

3.2 การจัดวางหน่วยความจำ.....18

บทที่ 4 การอินเตอร์รัปต์.....21

4.1 แหล่งกำเนิดการอินเตอร์รัปต์.....22

4.2 การเขียนโปรแกรมโดยการใช้การอินเตอร์รัปต์.....26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญต่อ

หน้า

บทที่ 5 ไทเมอร์และเคาร์เตอร์.....28

5.1 การควบคุมไทเมอร์.....29

บทที่ 6 แนวทางการใช้งาน LCD module.....34

6.1 การต่อเข้ากับระบบไมโครโปรเซสเซอร์.....35

6.2 รายละเอียด.....38

6.3 การอ่านข้อมูลและการเขียนข้อมูลกับ DDRAM/CGRAM.....42

บทที่ 7 การทดลอง.....43

เอกสารอ้างอิง.....49

ภาคผนวก.....50

ภาคผนวก ก.....51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

3.1 ตารางรายละเอียดของตระกูล MCS – 51.....13

4.1 รายละเอียดของ IE.....22

4.2 รายละเอียดของ IP.....23

5.1 รีจีสเตอร์ T0.....29

5.2 รีจีสเตอร์ TCON.....29

5.3 รีจีสเตอร์ TMOD.....31

5.4 โหมด M0,M1.....32

6.1 แสดงขาสัญญาณของ LCD module.....35

6.2 แสดงรายละเอียดของชุดคำสั่ง.....37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

ภาพที่ หน้า

2.1 บล็อกไดอะแกรม.....2
2.2 การต่อ MAX192.....4
2.3 การวัดค่าแรงดันและกระแส.....5
2.4 การต่อหม้อแปลงกระแส.....6
2.5 วงจรสมมูลย์ของหม้อแปลงกระแส.....7
2.6 การต่อหม้อแปลงแรงดัน.....8
2.7 วงจรสมมูลย์ของหม้อแปลงแรงดัน.....8
2.8 วงจรขยายสัญญาณกลับเฟส.....9
2.9 วงจรเรียงกระแสเต็มคลื่นสัญญาณขนาดเล็ก.....10
3.1 บล็อกไดอะแกรมของ MCS-51.....14
3.2 วงจรสร้างสัญญาณนาฬิกา.....17
3.3 วงจรสร้างสัญญาณนาฬิกาแบบใช้ TTL.....17
4.1 กระทำโปรแกรมเมื่อมีการอินเตอร์รัปต์.....21
4.2 โครงสร้าง.....25
4.3 ตำแหน่งเริ่มต้นของการอินเตอร์รัปต์.....27
5.1 ไทเมอร์ขนาด 3 บิต.....28
5.2 อินเตอร์รัปต์ที่ขอบขาลง.....30
5.3 อินเตอร์รัปต์ที่ลอจิก 0.....31
5.4 แผนผังของการควบคุมไทเมอร์/เคาน์เตอร์.....33
7.1 อินพุตและเอาต์พุตของวงจรขยาย.....43
7.2 อินพุตและเอาต์พุตของวงจรเรียงกระแส.....44
7.3 อินพุตของวงจรซีโรครอสซิงดีเทกเตอร์.....45
7.4 เอาต์พุตของวงจรซีโรครอสซิงดีเทกเตอร์.....46
7.5 เอาต์พุตของวงจรปรับระดับแรงดัน.....47
7.6 เอาต์พุตของวงจรเปรียบเทียบเฟส.....48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและเหตุจูงใจของการวิจัย

เนื่องจากไฟฟ้ามีความสำคัญทางอุตสาหกรรมเป็นอย่างสูง ดังนั้นในการใช้ไฟฟ้าจึงต้องมีความระมัดระวังในการใช้งาน เพื่อให้ใช้ไฟฟ้าได้อย่างถูกต้องตามวัตถุประสงค์ และมีประสิทธิภาพสูงสุด ซึ่งการจะใช้งานได้อย่างมีประสิทธิภาพและอย่างถูกต้องนั้นเราจะต้องทราบค่าตัวแปรทางไฟฟ้าต่างๆ เพื่อที่จะนำมาวิเคราะห์ ดังนั้นจึงต้องมีเครื่องวัดค่าปริมาณทางไฟฟ้า เพื่อใช้วัดค่าต่างๆ ที่ต้องการทราบ

1.2 วัตถุประสงค์ของปริญญานิพนธ์

เพื่อศึกษาและทดลองอุปกรณ์วงรอิเล็กทรอนิกส์และไมโครคอนโทรลเลอร์, ตัวแปรพลังงานไฟฟ้า, ค่าแรงดัน, ค่ากระแส, การวัดและวิเคราะห์

1.3 ขอบเขตของปริญญานิพนธ์

1.3.1 ศึกษาพลังงานไฟฟ้า V, I, P, Q, S, PF 1 PHASE, 3 PHASE

1.3.2 วงจรตรวจจับ V, I, PF

1.3.3 ศึกษาไมโครคอนโทรลเลอร์เพื่อนำมาคำนวณให้ได้ค่าพลังงานในรูปแบบต่างๆ

1.3.4 สร้างและออกแบบมิเตอร์วัดพลังงาน

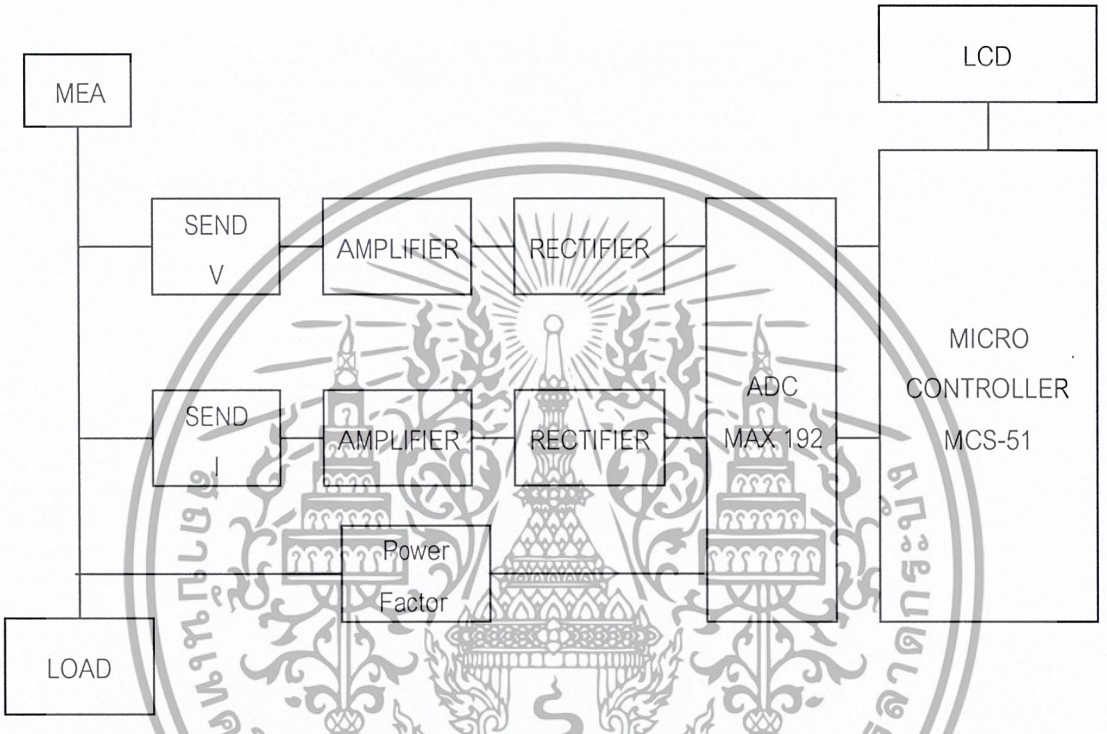
1.4 ขั้นตอนการศึกษา

ศึกษาค้นคว้าการวัดค่าแรงดันไฟฟ้าและกระแสไฟฟ้าในระบบไฟฟ้า 1 phase และศึกษาการวัดค่าความต่างเฟสของสัญญาณแรงดันไฟฟ้าและสัญญาณกระแสไฟฟ้าคือค่า เพาเวอร์แฟคเตอร์ (PF) นำค่าสัญญาณแรงดันไฟฟ้า สัญญาณกระแสไฟฟ้าและค่าเพาเวอร์แฟคเตอร์มาทำการประยุกต์วัดค่าตัวแปรพลังงานไฟฟ้าต่างๆ และนำสิ่งที่ศึกษาในการวัดค่าปริมาณไฟฟ้าต่างๆ ในระบบ 1 เฟส มาใช้วัดกับระบบไฟฟ้า 3 เฟส โดยทำการศึกษาและนำไมโครคอนโทรลเลอร์มาใช้ในการประมวลผลและแสดงผลที่ LCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี

บล็อกไดอะแกรม



ภาพที่ 2.1

2.1 ชุดแปลงสัญญาณ

สัญญาณแรงดันไฟฟ้า

จากรูป 2.1 จะมีวงจรชุดแปลงสัญญาณแรงดันไฟฟ้าโดยใช้ Potential Transformer (PT) รับค่าแรงดันไฟฟ้า แล้วแปลงเป็นสัญญาณแรงดันไฟฟ้าขนาดเล็กที่เป็นรูปคลื่นไซน์เพื่อต่อเข้าวงจรขยายสัญญาณเพื่อปรับอัตราการขยายให้เหมาะสมโดยการปรับ VR1 และ VR2 เป็นการปรับหยาบและปรับละเอียด ก็จะได้สัญญาณที่ออกจากเอาต์พุตเพื่อนำสัญญาณนี้ไปเข้าวงจรเรียงกระแสโดยใช้ไอซีเบอร์ TL082 จะได้รูปคลื่น full-wave rectifier เพื่อส่งเข้าวงจร ADC ที่ใช้ไอซีเบอร์ MAX 192 เพื่อแปลงเป็นแรงดันไฟฟ้ารูปคลื่น full-wave rectifier ที่เป็นสัญญาณอนาลอกแปลงเป็นสัญญาณดิจิตอล เพื่อส่งเข้าชุดไมโครคอนโทรลเลอร์เพื่อนำไปประมวลผลและคำนวณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณกระแสไฟฟ้า

จากรูป 2.1 จะมีวงจรชุดแปลงสัญญาณกระแสไฟฟ้า โดยใช้หม้อแปลงกระแสรับค่ากระแสไฟฟ้า แล้วนำมาต่อเข้ากับตัวต้านทาน แล้วจึงนำแรงดันที่ตกคร่อมตัวต้านทานนี้ไปทำการขยายโดยใช้วงจรขยายกลับขั้ว ซึ่งสามารถปรับค่าอัตราการขยายได้โดยการปรับที่ VR3 และ VR4 ซึ่งสามารถทำการปรับหยาบและละเอียดได้ เมื่อได้สัญญาณที่มีขนาดที่เหมาะสมแล้ว สัญญาณที่ได้จะถูกนำไปผ่านวงจรต่าง ๆ เช่นเดียวกับสัญญาณแรงดันไฟฟ้า

2.2 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล จะใช้วงจรรวมสำเร็จรูปเบอร์ MAX192 ซึ่งมีความละเอียดในการแปลง 10 bit พร้อมทั้งมีวงจร Sampling/Hold อยู่ภายใน โดยมีการสื่อสารกับอุปกรณ์ประมวลผลเป็นแบบอนุกรม โดยการควบคุมการทำงานจะใช้สัญญาณที่เกี่ยวข้อง 4 สัญญาณ ทำให้ใช้สายสัญญาณจำนวน 4 เส้น ในการเชื่อมโยงระหว่าง MAX 192 และ MCS-51 ดังภาพที่ 2.1 ซึ่งหน้าที่ของสัญญาณทั้ง 4 มีดังนี้

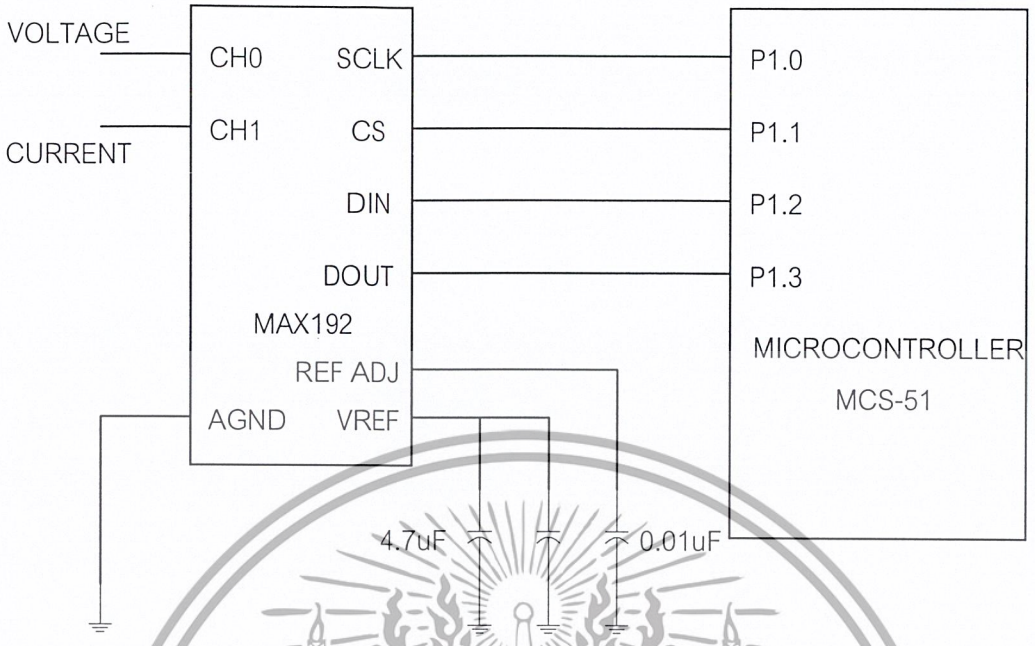
CS : เป็นสัญญาณที่จะเลือกว่าจะทำการแปลงสัญญาณหรือไม่

CLOCK: เป็นสัญญาณนาฬิกาที่ MAX192 ต้องใช้ในการทำงาน ซึ่ง CLOCK ที่ได้จะมาจากการให้ลอจิกสูงหรือต่ำจากพอร์ตของไมโครคอนโทรลเลอร์

DIN : เป็นสัญญาณที่ไมโครคอนโทรลเลอร์ป้อนให้กับ MAX192 เพื่อทำการกำหนดสภาวะการทำงาน เช่น จะทำการแปลงสัญญาณที่ช่องใด

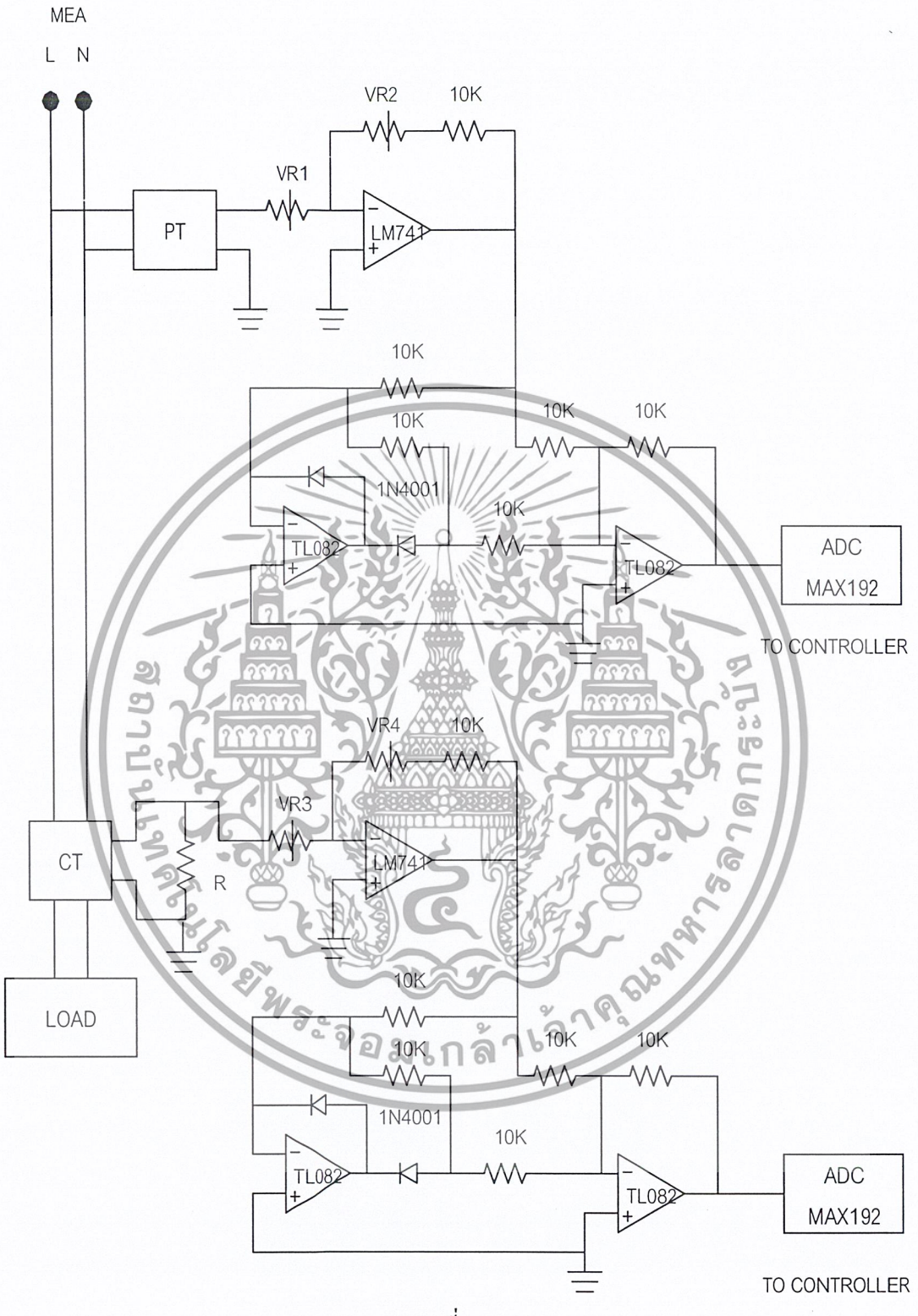
DOUT : เป็นข้อมูลที่ได้รับการแปลงสัญญาณ โดยไมโครคอนโทรลเลอร์สามารถรับไปประมวลผลได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

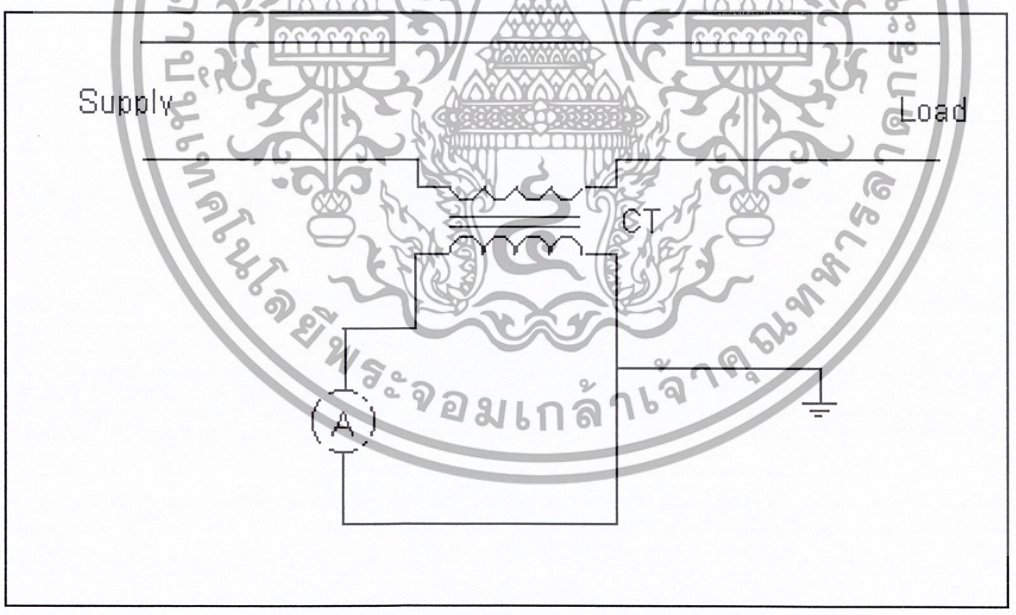
2.3 หม้อแปลงกระแส

ภาพที่ 2.4 แสดงการต่อใช้งานของหม้อแปลงกระแส กระแสโหลดที่ต้องการวัดจะไหลผ่านขดปฐมภูมิ ซึ่งอาจจะเป็นลวดตัวนำเส้นเดียว ถือว่าเป็นหนึ่งรอบทางปฐมภูมิ ขดลวดทุติยภูมิจะมีจำนวนรอบมากกว่าและจะต่อกับมาตรวัดกระแส ขดลวดของรีเลย์หรือขดกระแสของวัตต์มิเตอร์ การทำงานของหม้อแปลงกระแสจะขึ้นอยู่กับสมดุลของค่าแอมแปร์-รอบที่สร้างขึ้น โดยขดปฐมภูมิ ถ้าหม้อแปลงเป็นอุดมคติ คือ ไม่มีกระแสแม่เหล็ก (Magnetizing Current) หรือความสูญเสียในแกนจะได้

$$I_p/I_s = n_{ct}$$

เมื่อ n_{ct} คือ อัตราส่วนจำนวนรอบของหม้อแปลงโดย

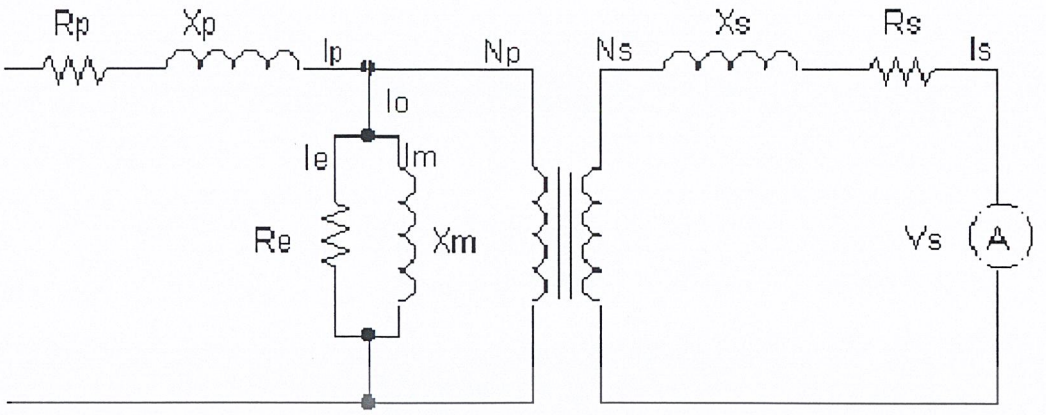
$$n_{ct} = n_s/n_p$$



ภาพที่ 2.4 การต่อหม้อแปลงกระแส

สำหรับวงจรสมมูลย์ของหม้อแปลงกระแส แสดงดังภาพที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.5 วงจรสมมูลย์ของหม้อแปลงกระแส

กระแสทุติยภูมิจะสัมพันธ์กับกระแสปฐมภูมิ โดยอัตราส่วนรอบผกผัน (โดยประมาณ) ในการสร้างจะต้องทำให้กระแสแม่เหล็กความสูญเสียในแกนและเส้นแรงรั่วซึมน้อยที่สุด เพื่อจะแน่ใจว่าอัตราส่วนกระแสปฐมภูมิมีต่อทุติยภูมิจริงๆ จะเข้าใกล้อัตราส่วนรอบผกผัน

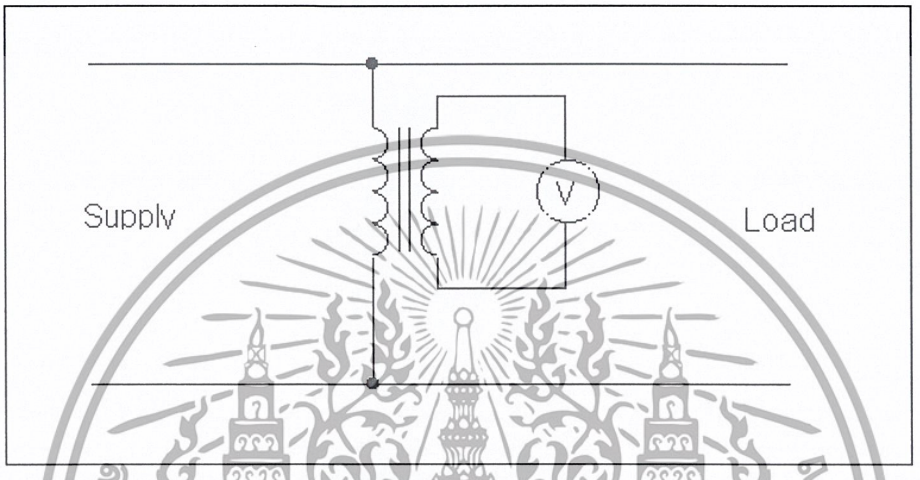
ความผิดพลาดมุมเฟสคือ มุมเฟสระหว่างเวกเตอร์ของกระแสปฐมภูมิกับเวกเตอร์ของกระแสทุติยภูมิที่กลับเฟส

ข้อควรระวังในการใช้หม้อแปลงกระแสก็คือ จะต้องไม่เปิดวงจรทุติยภูมิของหม้อแปลงกระแสขณะที่มีกระแสไหลทางด้านปฐมภูมิ จำนวนแอมแปร์-รอบจะถูกทำให้คงที่โดยกระแสปฐมภูมิและจะไม่ลดลงเมื่อทางทุติยภูมิเปิดวงจร การเปิดวงจรทางด้านทุติยภูมิจะลดแอมแปร์-รอบทางด้านทุติยภูมิเป็นศูนย์ซึ่งจะไม่มีแรงเคลื่อนแม่เหล็กกลับไปต่อต้านแรงเคลื่อนแม่เหล็กจากแอมแปร์-รอบปฐมภูมิ จะกระทำต่อจำนวนรอบทางทุติยภูมิที่มีค่ามาก ทำให้แรงดันที่ถูกเหนียวนำในขดทุติยภูมิจะมีค่าสูง ซึ่งอาจเป็นอันตรายต่อผู้เปิดวงจรหรือทำความเสียหายต่อฉนวนของหม้อแปลง นอกจากนั้นจะเกิดความร้อนเนื่องจากความสูญเสียในแกนขณะที่มันอิ่มตัว อาจมากพอที่จะทำลายหม้อแปลงได้

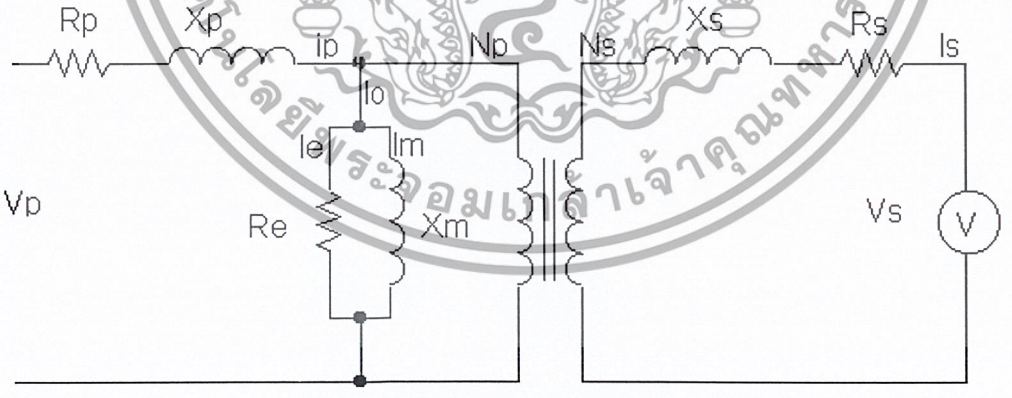
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 หม้อแปลงแรงดัน

ในการวัดจะใช้หม้อแปลงแรงดันทำการลดระดับแรงดันทางปฐมภูมิลงมาให้แรงดันด้านทุติยภูมิ มีค่าแรงดันอยู่ในระดับที่สามารถนำไปประมวลผลได้ ภาพที่ 2.6 แสดงลักษณะการต่อส่วนวงจรสมมูลย์สำหรับหม้อแปลงแรงดันจะมีลักษณะดังภาพที่ 2.7



ภาพที่ 2.6 การต่อหม้อแปลงแรงดัน



ภาพที่ 2.7 วงจรสมมูลย์ของหม้อแปลงแรงดัน

$$V_p/V_s = n_{vt}$$

เมื่อ n_{vt} เป็นอัตราส่วนรอบของหม้อแปลงที่กำหนดโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$n_{vt} = n_p/n_s$$

สำหรับหม้อแปลงแรงดันในอุดมคติอัตราส่วนของเวกเตอร์ v_p และ v_s จะต้องเท่ากับอัตราส่วนจำนวนรอบและเวกเตอร์ v_s กับ v_p ที่กลับทิศจะต้องทับกัน แต่ในทางปฏิบัติความผิดพลาดของหม้อแปลงแรงดันคือ

1. ความผิดพลาดแรงดันหรืออัตราส่วน (Voltage or Ratio Error)
2. การเปลี่ยนตำแหน่งเฟส (Phase Displacement) คือการเปลี่ยนตำแหน่งของเฟสระหว่างแรงดันปฐมภูมิและทุติยภูมิ

วงจรขยายสัญญาณกลับเฟส

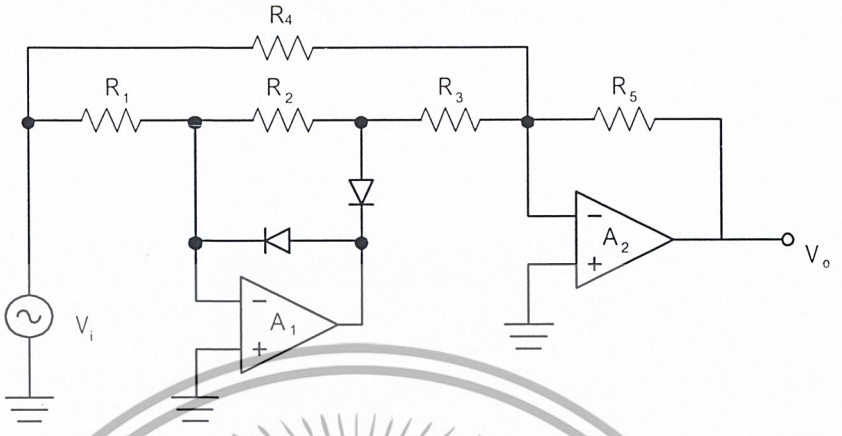
วงจรขยายสัญญาณกลับเฟสมีตัวต้านทาน R_F ต่อแรงดันออก V_O ป้อนกลับแบบลบมายังขั้วเข้ากลับเฟส เนื่องจากกระแสขาเข้า $i_i = 0$ ดังนั้น

ภาพที่ 2.8 วงจรขยายสัญญาณกลับเฟส

นั่นคืออัตราขยายรอบปิดคือ อัตราส่วนของความต้านทานที่ใช้ป้อนกลับหารด้วยความต้านทานทางด้านเข้า ความหมายของเครื่องหมายลบ คือ สัญญาณออกจะกลับวัฏภาคกับสัญญาณเข้า 180 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 วงจรเรียงกระแสเต็มคลื่นสัญญาณขนาดเล็ก



ภาพที่ 2.9 วงจรเรียงกระแสเต็มคลื่นสัญญาณขนาดเล็ก

วงจรเรียงกระแสเต็มคลื่นจะใช้กับสัญญาณอินพุตที่เป็นไฟฟ้ากระแสสลับแล้วทำการกลับสัญญาณบางช่วงและทำการส่งผ่านทั้งส่วนที่ได้รับการกลับสัญญาณและไม่ได้กลับสัญญาณออกไปยังเอาต์พุต ซึ่งเราจะได้เอาต์พุตตามลักษณะการจัดวงจรได้เป็น 2 แบบ การทำงานของวงจรเรียง-กระแสเต็มคลื่นสัญญาณบวก สามารถแสดงได้เป็น

$$V_o = |V_i|$$

และการเรียงกระแสแบบลบก็จะเป็น

$$V_o = -|V_i|$$

การต่อไดโอดแบบบริดจ์จะเป็นพื้นฐานของวงจรเรียงกระแสเต็มคลื่น อย่างไรก็ตามมันไม่สามารถ ที่จะทำการเรียงกระแสสัญญาณขนาดเล็กได้ ซึ่งมีสาเหตุเดียวกับวงจรเรียงกระแสครึ่งคลื่น สำหรับการทำงานกับสัญญาณขนาดเล็กเราต้องนำออปแอมป์เข้ามาช่วย

วิธีการหนึ่งในการวิเคราะห์ค่าสัมบูรณ์ของสัญญาณคือการรวมสัญญาณของตัวมันเองกับสัญญาณที่ได้จากการกลับขั้วโดยวงจรเรียงกระแสครึ่งคลื่น ½ วงจรที่ใช้งานจริงแสดงดังภาพที่ 2.9 โดยที่ A_1 จะเป็นวงจรเรียงกระแสครึ่งคลื่นและ A_2 เป็นการรวมของอัตราส่วน 1:2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาวงจรเรียงกระแสครึ่งคลื่นที่มีเอาต์พุตเป็น V_{hw} จะพบว่าตลอดช่วงที่เป็นช่วงลบของ V_I เราจะได้ $V_{hw} = 0$ ขณะที่ตลอดช่วงบวก $V_{hw} = -(R_2/R_1)\, V_I$ โดยวงจรขยายแบบบวกจะทำให้ได้ $V_o = (-R_5/R_4)V_I - (R_5/R_3)V_{hw}$ แทนค่า V_{hw} จะได้

$V_o = - A_n V_I$ สำหรับ V_I น้อยกว่า 0V

$V_o = A_p V_I$ สำหรับ V_I มากกว่า 0V

เมื่อ

$$A_n = \frac{R_5}{R_4}$$

และเราต้องการทั้งสองส่วนของรูปคลื่นอินพุตในการทำการขยายโดยมีอัตราการขยายเดียวกัน นั่นคือ $A_p = A_n = A$ สำหรับ $V_o = - AV_I$ สำหรับ V_I น้อยกว่า 0V และ $V_o = AV_I$ สำหรับ V_I มากกว่า 0V นั่นคือ

$$V_o = A|V_i|$$

วิธีการจะให้ได้ผลตามต้องการจะ ได้

$$R_1 = R_2 = R_4 = RR_3 = R/2 \qquad R_5 = AR$$

จากเงื่อนไขนี้วงจรจะให้การทำงานแบบวงจรขยายค่าสัมบูรณ์ที่มีอัตราขยาย $A = R_5/RA$ สามารถเปลี่ยนแปลงตามค่าของ R_5 ตามต้องการ สำหรับอัตราขยายเท่ากับ 1 R_5 จะมีค่าเท่ากับ R

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
โครงสร้างสถาปัตยกรรม MCS-51

ตระกูล MCS-51 ได้ถูกออกแบบมาเพื่อใช้ในอุตสาหกรรมมาตราฐานขนาน 8 บิต ไมโครคอนโทรลเลอร์ และให้มีความสามารถในการงานควบคุมประยุกต์ใช้งานในเรื่อง Sequential Real time Control, Close Loop Control และ Data Control และมีส่วนคล้ายกับ MCS-48 แต่จะทำงานได้เร็วกว่าเป็น 2 ถึง 5 เท่า รวมทั้งอุปกรณ์ที่เพิ่มขึ้นตามลักษณะหลักทั่ว ๆ ไปดังต่อไปนี้

1. ใช้ HMOS และ CHMOS เทคโนโลยีในการสร้างและทำงานด้วยแหล่งจ่ายไฟขนาด 5 V เพียงแหล่งเดียว
2. ซีพียูมีขนาด 8 บิต
3. มีวงจรออสซิลเลเตอร์ และวงจรนาฬิกาบนชิป
4. ชุดแบงก์ (BANK) รีจิสเตอร์มี 4 ชุด แต่ละชุดมีรีจิสเตอร์ 8 ตัว ทำงานเช่นเดียวกับ MCS-48
5. มีตัวจับเวลา/ตัวนับ ขนาด 16 บิต 2 ชุด และสำหรับเบอร์ 8032/8052 มี 3 ชุด
6. มีพอร์ต I/O แบบขนาน 2 ทิศทางจำนวน 4 พอร์ต พอร์ตละ 8 บิต รวมทั้งหมดเป็น 32 เส้น แต่เหลือเพียง 16 เส้น สำหรับเบอร์ 8031 อีก 16 เส้น จะใช้ในการเข้าถึงแอดเดรสและข้อมูล
7. พอร์ตแบบอนุกรมสามารถที่จะโปรแกรมการรับส่งแบบ Full Duplex ที่มีความเร็วสูง
8. 1 machine cycle จะกินเวลา 1 ไมโครวินาที ด้วยการใช้คริสทัล 12 MHz
9. แอดเดรสข้อมูลภายนอกได้ 64 กิโลไบต์
10. แอดเดรสโปรแกรมภายนอกได้ 64 กิโลไบต์
11. สามารถกำหนดเลขที่อยู่ข้อมูลขนานไบต์หรือบิตได้โดยตรง
12. มีซอฟต์แวร์บิตแฟลกสำหรับผู้ใช้ที่จะกำหนดเองได้ถึง 128 ตำแหน่งบิต
13. โครงสร้างอินเตอร์รัพต์จะติดตั้งได้ถึง 5 แหล่ง และ 6 แหล่ง สำหรับ 8032/8052 พร้อมด้วยการจัดไพรโอริตี้ (Priority) ได้ 2 ระดับ
14. ตัวโปรเซสเซอร์สามารถใช้งานแบบบูลีน (Boolean) ได้ สำหรับการใช้งานกับกระบวนการงานควบคุม
15. มีคำสั่งคูณ และหารทางฮาร์ดแวร์ที่ทำได้ภายใน 4 ไมโครวินาที
16. ตัวเลขทางคณิตศาสตร์ ใช้ได้ทั้งระบบไบนารีและเดซิมัล
17. การใช้พื้นที่สแตกสำหรับโปรแกรมย่อยต่าง ๆ ทำได้กว้างกว่า MCS-48
18. ชุดคำสั่งของ MCS-51 มีความสามารถสูงกว่าคำสั่งของ MCS-48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

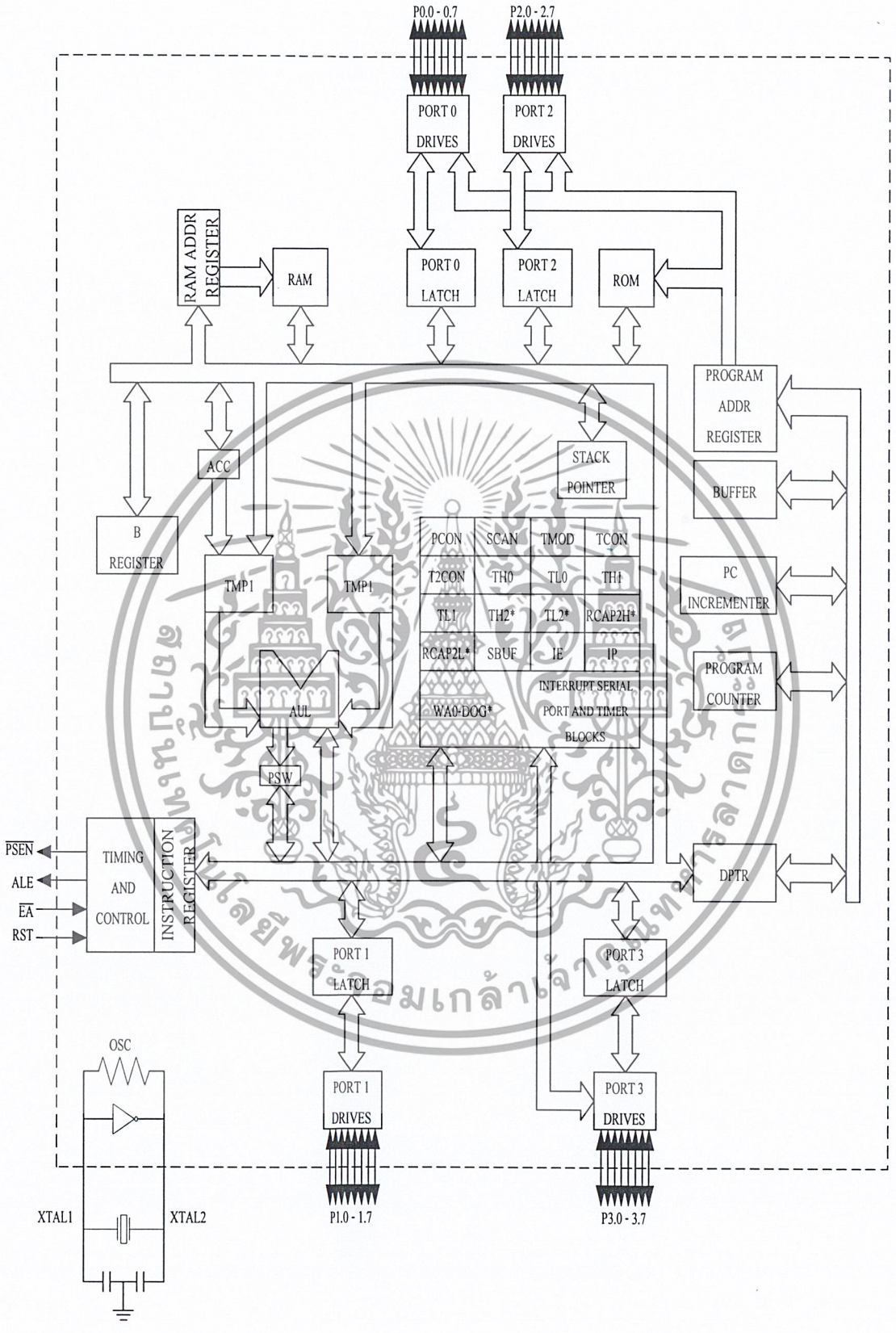
ตระกูล MCS-51 จะมีทั้งแบบ ROM ในตัว หรือไม่มี ROM หรือมี EPROM บนชิปเดียวกัน และจะมีตำแหน่งขาที่เหมือนกันตารางที่ 3.1 แสดงถึงตารางรายละเอียดของเบอร์ต่าง ๆ ในตระกูล MCS-51 ที่มีจำหน่ายในท้องตลาด

ตารางที่ 3.1 ตารางรายละเอียดของตระกูล MCS-51

เบอร์	หน่วยความจำภายใน		ตัวจับเวลา/ ตัวนับจำนวน	อินเตอร์รัพต์
	โปรแกรม	ข้อมูล		
8052 AH	8K X 8 ROM	256 X 8 RAM	3 X 16 BIT	6
8051 AH	4K X 8 ROM	128 X 8 RAM	2 X 16 BIT	5
8051	4K X 8 ROM	128 X 8 RAM	2 X 16 BIT	5
8032 AH	NO RAM	256 X 8 RAM	3 X 16 BIT	6
8031 AH	NO RAM	128 X 8 RAM	2 X 16 BIT	5
8031	NO RAM	128 X 8 RAM	2 X 16 BIT	5
8751 H	4K X 8 EPROM	128 X 8 RAM	2 X 16 BIT	5
8752 H	8K X 8 EPROM	256 X 8 RAM	3 X 16 BIT	6

8751 H อยู่ในกลุ่มรุ่นเดียวกับ 8051 H ที่เราสามารถโปรแกรมได้ด้วยระบบไฟสามารถลบโปรแกรมออกได้ด้วยแสงอุลตร้าไวโอเลต นอกเหนือจากไอซีที่แสดงในตารางข้างบนที่ใช้เทคโนโลยี HMOS แล้วยังมีตระกูลอื่นที่ใช้เทคโนโลยี CHMOS ที่ประหยัดพลังงานได้มากกว่า 4 เท่าของ HMOS ที่มีจำหน่ายขณะนี้คือ เบอร์ 80C51, 80C31 และ 87C51 การจัดขาลักษณะภายนอกของ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.1 บล็อกไดอะแกรมของ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างภายในของ MCS-51 จะเป็นดังภาพที่ 3.1 ซึ่งประกอบไปด้วยส่วนสำคัญหลักๆ ดังนี้

- ซีพียู ขนาด 8 บิต ประกอบด้วยรีจีสเตอร์ A acumulator และรีจีสเตอร์ B
- โปรแกรมเคาน์เตอร์ (PC) และดาต้าพอยน์เตอร์ (data pointer ; DPTA) ขนาด 16 บิต
- โปรแกรมสเตตัสเวิร์ด (program status word; PSW) ขนาด 8 บิต
- สแต็กพอยน์เตอร์ (stack pointer; SP) ขนาด 8 บิต
- หน่วยความจำรอม (ROM) หรืออีพรอม (EPROM เฉพาะ 8751) ขนาด 0 กิโลไบต์ (8031) ถึง 4 กิโลไบต์ (8051)
- หน่วยความจำแรมภายในขนาด 128 ไบต์ ประกอบด้วย

1. รีจีสเตอร์แบงก์ 4 แบงก์ แต่ละแบงก์ประกอบด้วยรีจีสเตอร์ขนาด 8 บิต จำนวน 8 รีจีสเตอร์ (R0-R7)
2. หน่วยความจำ จำนวน 16 ไบต์ ที่สามารถอ้างแอดเดรสเพื่อควบคุมการทำงานในระดับบิตได้
3. มีหน่วยความจำสำหรับใช้งานทั่วไป 80 ไบต์

- ขารับสัญญาณอินพุต/เอาต์พุต 32 ขา แบ่งออกเป็นกลุ่มๆ ละ 8 บิต ได้ 4 กลุ่มคือ P0, P1, P2, P3
- พอร์ตอนุกรมที่ใช้รับส่งสัญญาณแบบฟูลดูเพลกซ์ (full duplex) เรียกว่า SBUF
- รีจีสเตอร์ควบคุม ได้แก่ TCON, TMOD, SCON, PCON, IP และ IE
- สามารถทำการอินเทอร์รัปต์ได้ทั้งภายในและภายนอก การอินเตอร์รัปต์ภายในได้มาจากแหล่งกำเนิดการอินเตอร์รัปต์สามแหล่ง การอินเตอร์รัปต์ภายนอกได้มาจากแหล่งกำเนิดการอินเตอร์รัปต์จากภายนอกสองแหล่ง

การใช้งานของขาต่างๆ พอกล่าวคร่าวๆ ในขั้นต้นได้ดังนี้

พอร์ต 0 (ขา 32~39) เป็นพอร์ตที่ใช้งานสองหน้าที่ด้วยกัน หน้าที่แรกใช้เป็นอินพุต/เอาต์พุตพอร์ต ส่วนอีกหน้าที่หนึ่งนั้นใช้ควบคุมหน่วยความจำภายนอก เมื่อต้องการขยายระบบให้ใหญ่ขึ้นโดยจะให้สัญญาณที่มัลติเพลกซ์ระหว่างบัสแอดเดรสกับบัสข้อมูลออกมา (AD7~AD0)

พอร์ต 1 (ขา 1~8) ใช้เป็นอินพุต/เอาต์พุตอย่างเดียว ใช้สัญลักษณ์เรียงกันเป็น P1.0, P1.1 จนถึง P1.7 พอร์ตนี้ใช้เชื่อมต่อกับอุปกรณ์ภายนอกหน้าที่เดียวเท่านั้น ยกเว้น 8032/8052 ที่ใช้ P1.0 และ P1.1 เป็นอินพุต/เอาต์พุต หรืออินพุตภายนอกของไทเมอร์ชุดที่สาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ต 2 (ขา 21~28) เป็นพอร์ตที่ใช้งานสองหน้าที่ด้วยกัน หน้าที่แรกเป็นอินพุต/เอาต์พุต หน้าที่ที่สองใช้ควบคุมหน่วยความจำภายนอก โดยให้สัญญาณแอดเดรสไบต์สูง (A15~A8) ออกมา

พอร์ต 3 (ขา 10~17) เป็นพอร์ตที่ใช้งานสองหน้าที่ด้วยกัน หน้าที่แรกเป็นอินพุต/เอาต์พุต หน้าที่ที่สองแยกออกได้หลายฟังชั่นดังนี้

P3.0	RXD	รับข้อมูลสำหรับพอร์ตอนุกรมย่อย
P3.1	TXD	ส่งข้อมูลสำหรับพอร์ตอนุกรม
P3.2	INT0	อินเตอร์รัปต์ภายนอกหมายเลข 0
P3.3	INT1	อินเตอร์รัปต์ภายนอกหมายเลย 1
P3.4	T0	ไทเมอร์/เคาน์เตอร์ 0 (อินพุตจากภายนอก)
P3.5	T1	ไทเมอร์/เคาน์เตอร์ 1 (อินพุตจากภายนอก)
P3.6	WR	สัญญาณเขียนใช้อ่านต่อกับหน่วยความจำภายนอก
P3.7	RD	สัญญาณอ่านใช้อ่านต่อกับหน่วยความจำภายนอก

PSEN (program store enable) (ขา 29) เป็นสัญญาณเอาต์พุตใช้เป็นสัญญาณควบคุมการอีนาเบิล (enable) หน่วยความจำที่ใช้เก็บรหัสที่ต่ออยู่ภายนอก [external program (code) memory] โดยทั่วไปจะต่อกับขาเอาต์พุตอีนาเบิล (output enable; OE) ของอีพรอม PSEN จะใช้พัลส์ต่ำในขณะที่อยู่ในขั้นตอนเฟตช์คำสั่งจากอีพรอม ข้อมูลจะถูกวางลงในบัสข้อมูลและถูกเก็บไว้ในรีจิสเตอร์คำสั่งภายในตัว 8051 เพื่อรอรับการถอดรหัสต่อไป เมื่อทำการรันโปรแกรมจากรอมภายในตัว(8051/8052) PSEN จะมีระดับสัญญาณเป็น 1 ตลอด

ALE (address latch enable) (ขา 30) เป็นสัญญาณเอาต์พุตใช้เป็นสัญญาณควบคุมการแลตช์ (latch) สัญญาณแอดเดรสที่ออกมาจากพอร์ต 0 เมื่อพอร์ต 0 ถูกใช้งานในหน้าที่ที่สอง (เป็นสัญญาณแอดเดรสและข้อมูลมัลติเพลกซ์ออกมา) ความถี่ของ ALE จะมีค่าเป็น 1/6 เท่าของความถี่ที่เกิดขึ้นภายในชิป เช่น ถ้าใช้คริสตอลความถี่ 12 เมกกะเฮิรตซ์ ALE จะมีความถี่เป็น 2 เมกกะเฮิรตซ์ ยกเว้นการทำคำสั่ง MOVX

EA (external access) (ขา 31) ขา EA เป็นขาอินพุตเพื่อใช้ต่อกับ VCC หรือกราวด์ ถ้าต่อกับ VCC 8051/8052 จะรันโปรแกรมจากรอมภายในก่อนในช่วงหน่วยความจำ 4K/8K แรก จากนั้นจึงออกมารันที่หน่วยความจำภายนอก ถ้าต่อกับกราวด์ 8051/8052 จะรับโปรแกรมจากหน่วยความจำภายนอกทั้งหมด ถ้าใช้ 8031/8032 ขา EA จะต้องต่อลงกราวด์ เนื่องจากตัวมันไม่มีหน่วยความจำรอมภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

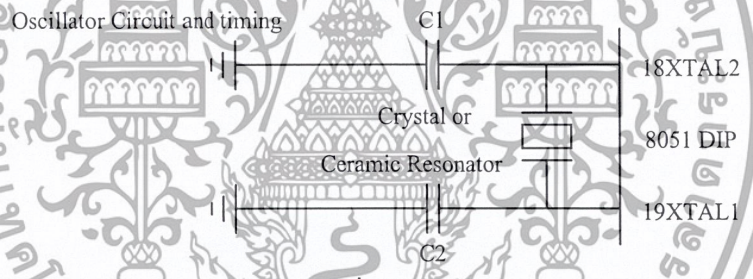
RST (reset) (ขา 9) เป็นขาอินพุตที่ใช้รีเซ็ต 8051 เมื่อสัญญาณที่ขา RST เป็นลอจิก 1 (อย่างน้อย 2 วงรอบแมชชีน) ทำให้ 8051 ทำการรีเซ็ตระบบภายในของมันทั้งหมด

ออสซิลเลเตอร์อินพุต (Oscillator input) (ขา 18~19) เนื่องจาก 8051 ในวงจรออสซิลเลเตอร์อยู่ภายในโดยเชื่อมต่อกับขาคริสตอลผ่านทางขา 18 และ 19 ในตระกูล MCS-51 สามารถใช้คริสตอลที่มีความถี่สูงถึง 12 เมกกะเฮิรตซ์บางเบอร์ เช่น 80C31 BH-1 สามารถใช้คริสตอลที่มีความถี่สูงถึง 16 เมกกะเฮิรตซ์

แหล่งจ่ายไฟ (ขา 40 และ 20) 8051 ใช้แหล่งจ่ายไฟแหล่งเดียวขนาด +5 โวลต์ โดย VCC ต่อกับขา 40 และกราวด์ต่อกับขา 20 จากนี้จะแยกกล่าวออกเป็นส่วนๆ ดังนี้

3.1 สัญญาณนาฬิกาของ MCS-51

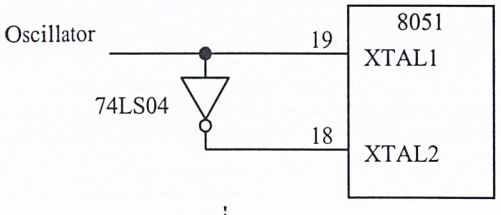
เนื่องจาก MCS-51 มีวงจรสร้างสัญญาณนาฬิกาอยู่ภายใน เพื่อทำหน้าที่สร้างสัญญาณนาฬิกาให้กับระบบ ทำให้ระบบทำงานสอดคล้องกันทั้งหมด ผู้ใช้เพียงแต่ต่อคริสตอลและตัวเก็บประจุเข้าไป ดังภาพที่ 3.2



ภาพที่ 3.2

ทางโรงงานผู้ผลิตได้ออกแบบให้ MCS-51 ทำงานได้ในช่วงความถี่ 1~16 เมกกะเฮิรตซ์ ถ้าใช้ความถี่สูงกว่านี้หรือต่ำ จะทำให้ไมโครคอนโทรลเลอร์ทำงานผิดพลาด

ถ้าผู้ใช้ไม่ได้คริสตอลดังกล่าวข้างต้น แต่จะใช้ TTL ออสซิลเลเตอร์ หรือ ออสซิลเลเตอร์จากแหล่งอื่นต้องทำการดัดแปลงเล็กน้อยดังรูป



ภาพที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
45853

3.2 การจัดวางหน่วยความจำ

ไมโครโปรเซสเซอร์ส่วนมากมีการจัดวางหน่วยความจำแบบ Von Neuman ซึ่งใช้เนื้อที่ในหน่วยความจำร่วมกัน ระหว่างข้อมูลและโปรแกรม การใช้ในลักษณะนี้ก็เป็นเหตุผลที่ดี เพราะว่าโปรแกรมมักจะถูกเก็บในแผ่นดิสก์ เมื่อใช้งานจึงโหลดลงไปในแรมของระบบแล้วรัน แต่ในกรณีของไมโครคอนโทรลเลอร์ ตัวไม่ได้ถูกใช้งานเป็นเพียงแค่ ซีพียูในระบบคอมพิวเตอร์เหมือนกับไมโครโปรเซสเซอร์อื่นๆ แต่เป็นจุดศูนย์กลางของการควบคุมทั้งหมดในงานหนึ่งๆ การใช้หน่วยความจำจะไม่มากโปรแกรมควบคุมถูกเก็บไว้ในรอมด้วยเหตุนี้ 8051 จึงมีการจัดวางหน่วยความจำแบบ Harward ซึ่งแยกหน่วยความจำออกมาเป็นส่วนของโปรแกรม (เก็บรหัสคำสั่งและส่วนของข้อมูล) หน่วยความจำที่ใช้เก็บรหัส (code memory) หรือใช้เก็บข้อมูล (data memory) ใช้ภายในตัวหรือขยายออกมาใช้ภายนอกชิปได้ 8051 สามารถขยายหน่วยความจำที่ใช้เก็บรหัสได้สูงสุด 64 กิโลไบต์ และขยายหน่วยความจำที่ใช้เก็บข้อมูลได้สูงสุด 64 กิโลไบต์

หน่วยความจำภายในของ MCS-51 ประกอบด้วยหน่วยความจำรอม (8051/8052) (หรืออีพรอม ในกรณีของ 8751/8752) และหน่วยความจำแรม หน่วยความจำแรมภายในถูกนำมาใช้หลายหน้าที่ได้แก่ ใช้เก็บข้อมูลทั่วไป (ไบต์) เก็บข้อมูลในลักษณะของบิต ทำเป็นรีจีสเตอร์ที่ทำหน้าที่พิเศษมีข้อควรจำอยู่สองประการ คือ

1.รีจีสเตอร์และอินพุต/เอาต์พุตพอร์ต ใช้การแมปในลักษณะเดียวกับหน่วยความจำ (memory-mapped) ดังนั้นการเรียกใช้งานอาจใช้การเรียกเช่นเดียวกับตำแหน่งแอดเดรสของหน่วยความจำก็ได้

การใช้งานทั้ง 3 ส่วนแยกออกเป็น

1.รีจีสเตอร์แบงก์ แรมในจำนวน 32 ไบต์ จากแอดเดรส 00H ถึง 1FH ถูกนำมาเป็นรีจีสเตอร์สำหรับใช้งาน โดยแยกออกเป็น 4 แบงก์ๆ ละ 8 รีจีสเตอร์ รีจีสเตอร์แต่และแบงก์มีหมายเลขกำกับเป็นแบงก์ 0 ถึง แบงก์ 3 และรีจีสเตอร์ภายในแต่ละแบงก์จะถูกกำหนดชื่อไว้เหมือนกันหมด คือ R0-R7 ดังนั้น รีจีสเตอร์แต่ละตัวจะอ้างตำแหน่งแอดเดรสโดยใช้ชื่อ (เมื่อแบงก์ใดแบงก์หนึ่งถูกเลือกใช้) หรืออ้างเป็นตำแหน่งแอดเดรสของหน่วยความจำแรมเลยก็ได้ เช่น ถ้าต้องการอ้างถึงรีจีสเตอร์ R0 ของแบงก์ 3 ลองดูจากคำสั่งเคลื่อนย้ายข้อมูลจากรีจีสเตอร์ R0 มาไว้ยังแอคคิวมูเลเตอร์โดยสมมติว่า แบงก์ 3 ถูกเลือกใช้งานอยู่ในขณะนี้

MOV A, R0

คำสั่งนี้จะใช้ชื่อกำหนดลงไปตรงๆ ผลที่ได้จะเป็นเช่นเดียวกับคำสั่งต่อไปนี้

MOV A, 18H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับคำสั่งที่สองเป็นการอ้างตำแหน่งแอดเดรสสองหน่วยความจำโดยตรง ข้อดีของแบบแรกก็คือ ไม่ต้องจำตำแหน่งแอดเดรส ส่วนข้อดีของแบบที่สองคือไม่ต้องสนใจว่าแบงก์ใดถูกเลือกใช้งานในขณะนี้

การเลือกให้รีจีสเตอร์แบงก์ใดทำงาน สามารถกำหนดโดยการเซ็ต หรือเคลียร์บิต RS0 และ RS1 ในรีจีสเตอร์ PSW และรีจีสเตอร์แบงก์ใดที่ไม่ถูกเลือกใช้งานสามารถใช้เป็นหน่วยความจำแรมแบบปกติได้ หลังจากทำการรีเซ็ตไมโครคอนโทรลเลอร์รีจีสเตอร์แบงก์ 0 จะถูกเลือกใช้งาน

2.หน่วยความจำแรมที่สามารถอ้างอิงแอดเดรสแบบบิต หน่วยความจำแรมที่เหนือจากรีจีสเตอร์แบงก์ขึ้นไป 16 ไบต์ คือตั้งแต่แอดเดรส 20H ถึง 2FH (หนึ่งตำแหน่งแอดเดรส คือ หนึ่งไบต์) สามารถอ้างตำแหน่งได้สองแบบ คือ แบบแรกอ้างแบบไบต์ คือแอดเดรส 20H แบบที่สองอ้างแบบบิต จะได้ทั้งหมด 128 ตำแหน่งคือ แอดเดรส 00H ถึง 7FH (8 บิตX 16ไบต์= 128 บิต)

การอ้างแอดเดรสแบบบิตอาศัยแนวความคิดจากความคล่องตัว และประสิทธิภาพการใช้งานของไมโครคอนโทรลเลอร์ โดยสามารถเซ็ตหรือเคลียร์บิตใดบิตหนึ่ง หรือทำการแอนด์ออร์บิตใดบิตหนึ่งได้ภายในหนึ่งคำสั่ง ยิ่งไปกว่านั้นอินพุต/เอาต์พุตพอร์ตของ 8051 สามารถอ้างเป็นแอดเดรสแบบบิตได้จึงทำให้การเขียนซอฟต์แวร์ทำได้ง่ายขึ้น การควบคุมและตรวจสอบทำได้อย่างรวดเร็ว

ตำแหน่งแอดเดรสที่กล่าวมาข้างต้นจะอ้างแบบไบต์หรือแบบบิตก็ได้แล้วแต่คำสั่งที่ใช้ เช่น ต้องการเซ็ตบิตที่ตำแหน่งแอดเดรสที่อ้างแบบบิต 67H ให้เป็น 1 คำสั่งที่ใช้จะเป็นดังนี้

SETB 67H

แต่ตำแหน่งแอดเดรสที่อ้างอิงแบบบิต 67H ก็คือบิตที่ 7 ของตำแหน่งแอดเดรสที่อ้างอิงแบบไบต์ที่ 2CH โดยการใช้คำสั่งที่ผ่านมาจะไม่มีผลกระทบต่อบิตข้างเคียงในตำแหน่งนี้ ถ้าใช้คำสั่งแบบไมโครโปรเซสเซอร์ทั่วๆ ไปจะเขียนได้ดังนี้

```
MOV   A, 2CH          ;อ่านข้อมูลทั่วไปไบต์จากแอดเดรสที่ 2CH
ORL   A, #10000000B   ;เซ็ตบิตที่ 7 ให้เป็น 1
MOV   2CH,A           ;เก็บกลับเข้าแอดเดรสที่ 2CH ตามเดิม
```

และนี่คือข้อดีของไมโครคอนโทรลเลอร์อีกประการหนึ่ง

3.หน่วยความจำแรมที่ใช้งานทั่วไป ส่วนนี้จะอยู่เหนือบริเวณหน่วยความจำแรมที่อ้างอิงแอดเดรสแบบบิตขึ้นไป โดยเริ่มตั้งแต่แอดเดรส 30H จนกระทั่งถึง 7FH รวมทั้งสิ้น 80 ไบต์

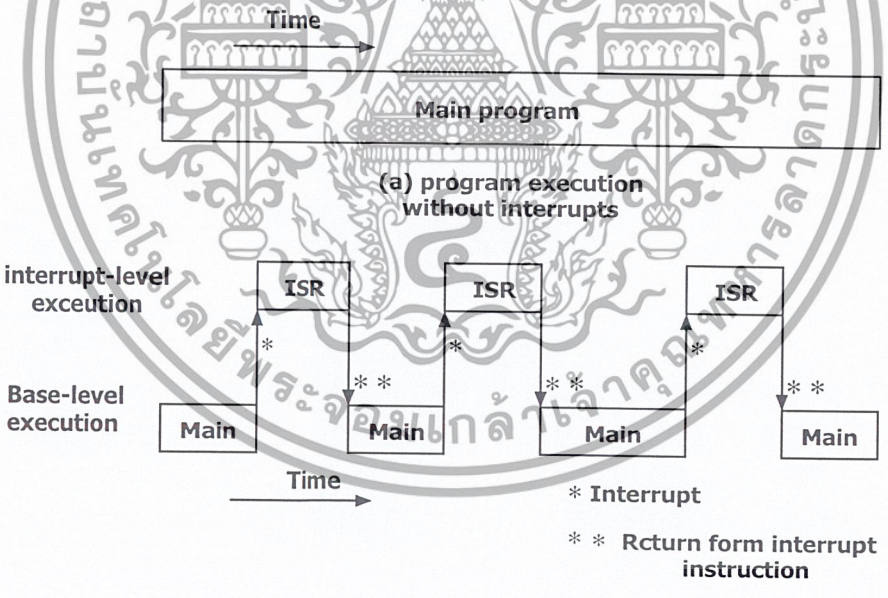
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตำแหน่งแอดเดรสเหล่านี้ ถูกอ้างอิงได้เฉพาะแบบไบต์เท่านั้น การอ้างอิงจะใช้แบบกำหนดแอดเดรสโดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การอินเตอร์รัปต์

การอินเตอร์รัปต์เกิดจากเหตุการณ์ที่เกิดขึ้นเป็นไปตามข้อกำหนดที่จัดตั้งไว้ก่อนล่วงหน้า ทำให้โปรแกรมที่กำลังรันอยู่ถูกละทิ้งไว้ชั่วคราว เพื่อไปทำโปรแกรมอื่นที่เกี่ยวข้องกับเหตุการณ์นั้นๆ เมื่อเสร็จสิ้นแล้วจึงกลับมารันโปรแกรมเดิมโปรแกรมที่ถูกกระทำเมื่อเกิดอินเตอร์รัปต์ขึ้นเรียกว่า โปรแกรมให้บริการอินเตอร์รัปต์ (interrupt service routine; ISR) ISR จะถูกกระทำก็ต่อเมื่อเกิดอินเตอร์รัปต์ขึ้น โดยทั่วไปจะเป็นการจัดการเกี่ยวกับอุปกรณ์ที่เกี่ยวข้องกับการอินพุต/เอาต์พุต เมื่ออินเตอร์รัปต์เกิดขึ้นโปรแกรมหลักจะถูกหยุดกระทำไว้ชั่วคราวแล้วกระโดดไปยัง ISR กระทำ ISR ISR จะถูกกระทำเสร็จสิ้นก็ต่อเมื่อทำคำสั่งกลับจากการอินเตอร์รัปต์จากนั้นโปรแกรมหลักจะถูกกระทำต่อไป โดยทั่วไปเมื่ออ้างอิงถึงโปรแกรมหลักจะถือว่าเป็นการกระทำโปรแกรมในระดับพื้นฐาน ส่วน ISR ถือว่าเป็นการกระทำโปรแกรมในระดับอินเตอร์รัปต์ดังภาพที่ 4.1



ภาพที่ 4.1 กระทำโปรแกรมเมื่อมีการอินเตอร์รัปต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างของการอินเตอร์รัปต์อย่างหนึ่งที่พบโดยทั่วๆไปคือ การป้อนข้อมูลผ่านปุ่มทางของเตาอบไมโครเวฟ โปรแกรมหลักจะทำหน้าที่ควบคุมการจ่ายพลังงานในรูปไมโครเวฟออกจากแหล่งจ่ายพลังงานเมื่อใช้งานในขณะที่กำลังใช้งานเพื่อทำให้อาหารสุกระบบจะต้องตอบโต้กับการป้อนข้อมูลที่ฝาปิดด้านหน้า เช่น การติดตั้งเวลาให้สั้นหรือยาวเมื่อใช้งานเมื่อผู้ใช้กดปุ่มจะเกิดการอินเตอร์รัปต์ขึ้นโปรแกรมหลักจะถูกขัดจังหวะชั่วคราว โดยจะกระโดดไปทำงานที่โปรแกรมบริการเพื่ออ่านรหัสจากปุ่มและทำการปรับตั้งค่าใหม่ตามข้อมูลที่ป้อนเข้าไปเมื่อเสร็จสิ้นเรียบร้อยแล้วมักกลับมาทำงานในโปรแกรมหลักต่อไป

ในทางปฏิบัติโปรแกรมคอมพิวเตอร์จะแยกแยะข้อกำหนดในการตัดสินใจได้เพียง 2 วิธีเท่านั้นคือ วิธีแรกใช้คำสั่งทางซอฟต์แวร์ทำการทดสอบค่าแฟล็กต่างๆ ถ้าตรงตามข้อกำหนดก็จะกระโดดไปยังโปรแกรมที่กำหนดไว้ วิธีที่ 2 ใช้สัญญาณทางฮาร์ดแวร์เข้ามากระตุ้นเพื่อให้กระโดดไปยังโปรแกรมที่ต้องการเช่น การกดปุ่มดังตัวอย่างที่ยกมาข้างต้น ซึ่งก็คือการอินเตอร์รัปต์นั่นเอง ข้อแตกต่างระหว่างวิธีทั้งสองคือ การใช้เทคนิคทางซอฟต์แวร์จะต้องเสียเวลาไปส่วนหนึ่งในการคอยเฝ้าวนตรวจสอบข้อกำหนดต่างๆอยู่ตลอดเวลาส่วนการใช้เทคนิคการอินเตอร์รัปต์จะเสียเวลาเฉพาะเมื่อเกิดเหตุการณ์ที่กำหนดขึ้นเท่านั้นฉะนั้นเวลาที่เหลือจึงใช้ไปทำงานอื่นๆได้อีก

4.1 แหล่งกำเนิดการอินเตอร์รัปต์ของ MCS-51

MCS-51 ยอมให้เกิดการอินเตอร์รัปต์ได้ทั้งหมด 5 แหล่งด้วยกัน 3 แหล่งจะมาจากภายในตัว MCS-51 เองได้แก่ การอินเตอร์รัปต์ที่เกิดจากไทเมอร์แฟล็ก 0 ไทเมอร์แฟล็ก 1 และพอร์ตอนุกรม (RIหรือTI) การอินเตอร์รัปต์อีก 2 แหล่งเกิดจากภายนอกตัว MCS-51 โดยมีสัญญาณจากภายนอกมากระตุ้นที่ขา INTO และ INT1 การอินเตอร์รัปต์ไพออริตี้รีจิสเตอร์ (IP) และรีจิสเตอร์ควบคุมไทเมอร์ (TCON) ซึ่งได้กล่าวมาแล้วข้างต้น

รายละเอียดของ (IE) และ (IP) จะเป็นดังนี้

ตารางที่ 4.1

	7	6	5	4	3	2	1	0	Bit
IE	EA	-	ET2	ES	ET1	EX1	ET0	EX0	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต	สัญลักษณ์	รายละเอียด
7	EA	บิตแสดงการยอมให้มีการอินเตอร์รัปต์ เมื่อเซ็ตให้เป็น 1 แสดงว่าต้องการให้มีการอินเตอร์รัปต์เกิดขึ้นและเคลียร์ให้เป็น 0 เมื่อไม่ต้องการให้มีการอินเตอร์รัปต์
6	-	ไม่ใช้งาน
5	ES2	สงวนไว้ใช้งานภายหน้า
4	ES	ยอมให้มีการอินเตอร์รัปต์เนื่องจากพอตร์อนุกรมเซ็ตให้เป็น 1 เมื่อต้องการให้มีการอินเตอร์รัปต์จากพอร์ตอนุกรมเกิดขึ้นและเคลียร์เป็น 0 เมื่อไม่ต้องการให้มีการอินเตอร์รัปต์
3	ET	ยอมให้มีการอินเตอร์รัปต์เนื่องจากไทเมอร์ 1 เกิดโอเวอร์โฟลว์เซ็ตให้เป็น 1 เมื่อต้องการให้มีการอินเตอร์รัปต์จากไทเมอร์ 1 และเคลียร์เป็น 0 เมื่อไม่ต้องการให้มีการอินเตอร์รัปต์
2	EX1	ยอมให้มีการอินเตอร์รัปต์จากภายนอกผ่านขา INT1 โดยเซ็ตเป็น 1 เมื่อต้องการให้อินเตอร์รัปต์และเคลียร์เป็น 0 เมื่อไม่ต้องการให้มีการอินเตอร์รัปต์
1	ET0	ยอมให้มีการอินเตอร์รัปต์เนื่องจากไทเมอร์เกิดโอเวอร์โฟลว์ข้อกำหนดเป็นเช่นเดียวกับET1
0	EX0	ยอมให้มีการอินเตอร์รัปต์จากภายนอกผ่านขา INT0 โดยมีข้อกำหนดเช่นเดียวกับ EX1

รีจีสเตอร์นี้สามารถอ้างอิงแบบบิตแอดเดรสได้จากIE.0ถึงIE.7

ตารางที่ 4.2

	7	6	5	4	3	2	1	0	Bit
IP	-	-	PT2	PS	PT1	PX1	PT0	PX0	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต	สัญลักษณ์	รายละเอียด
7	-	ไม่ใช้งาน
6	-	ไม่ใช้งาน
5	PT2	สงวนไว้ใช้งานภายหน้า
4	PS	ลำดับของความสำคัญของการอินเตอร์รัปต์จากพอร์ตอนุกรม
3	PT1	ลำดับของความสำคัญของการอินเตอร์รัปต์จากไทเมอร์1
2	PX1	ลำดับของความสำคัญของการอินเตอร์รัปต์จากภายนอก INT1
1	PT0	ลำดับของความสำคัญของการอินเตอร์รัปต์จากไทเมอร์0
0	PX0	ลำดับของความสำคัญของการอินเตอร์รัปต์จากภายนอก INT0

ลำดับความสำคัญอาจเป็น 1 ซึ่งหมายถึงสูงสุดหรืออาจเป็น 0 ซึ่งหมายถึงต่ำสุดก็ได้ ขณะเดียวกันรีจีสเตอร์ IP สามารถอ้างอิงเป็นแบบแอดเดรสบิตได้เช่นเดียวกันคือ IP.0 ถึง IP.7 การอินเตอร์รัปต์จากภายนอกที่ขา INT0 และ INT1 จะใช้รีจีสเตอร์ TCON เข้ามาช่วยกำหนดรูปแบบของสัญญาณที่จะเข้ามากระตุ้น (IE0, IE1) เช่น การกำหนดการอินเตอร์รัปต์เนื่องจาก INT0

- ให้เกิดอินเตอร์รัปต์ที่ INT0 เซ็ตบิต EX0 ในรีจีสเตอร์ IE ให้เป็น1
- ให้เกิดอินเตอร์รัปต์ที่บริเวณใดของสัญญาณที่เข้ามากระตุ้น
- ที่ระดับสัญญาณต่ำเป็น 0 เคลียร์ IT0 ในรีจีสเตอร์ TCON ให้เป็น 0
- ที่บริเวณขอบของสัญญาณเซ็ต IT0 ในรีจีสเตอร์ TCON ให้เป็น 1
- IE0 ในรีจีสเตอร์ TCON จะถูกเซ็ตเป็น1 เมื่อตรวจพบขอบสัญญาณขาลงที่ขา INT0

ในกรณีที่เลือกให้เกิดอินเตอร์รัปต์ที่ระดับสัญญาณต่ำ (low level) จะต้องทำให้สัญญาณนี้กลับเป็นระดับสัญญาณสูงก่อนที่จะทำคำสั่ง RETI มิฉะนั้นจะเกิดการอินเตอร์รัปต์ซ้อนขึ้นตลอดไปจนกว่าสัญญาณจะกลับเป็นระดับสัญญาณสูง (high level)

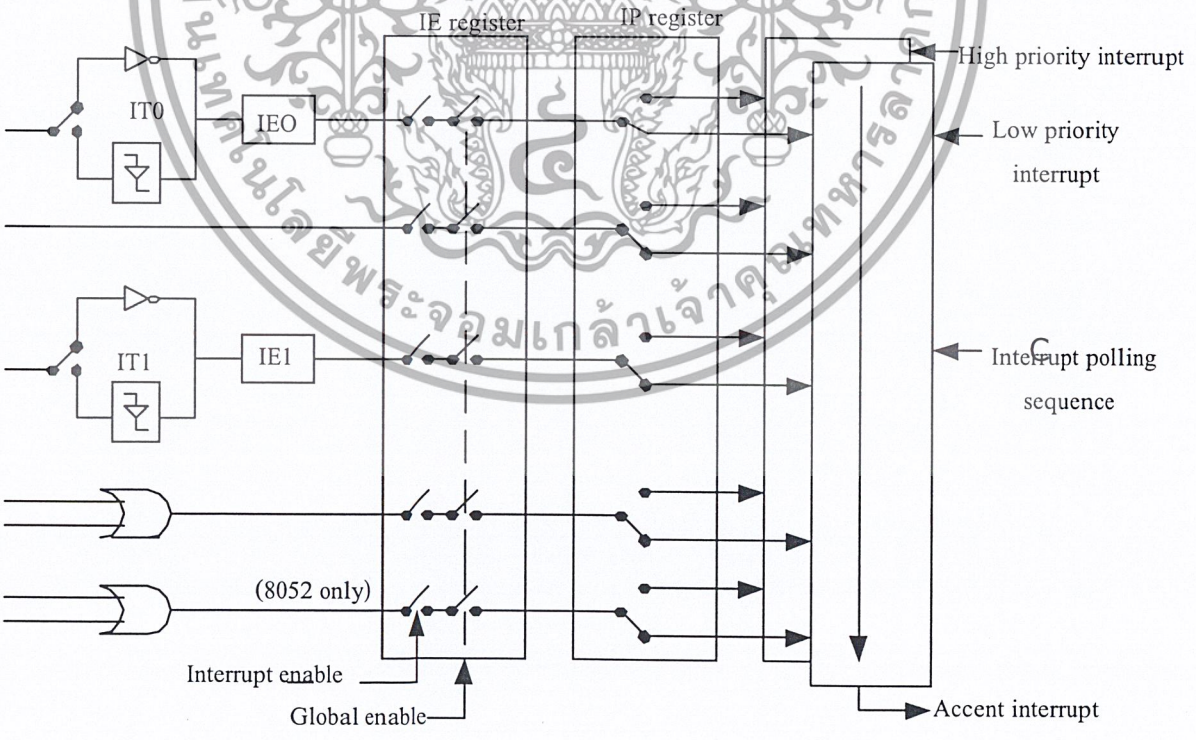
ตำแหน่งของการอินเตอร์รัปต์ ตำแหน่งแอดเดรสที่โปรแกรมเรียก (call) เมื่อเกิดการอินเตอร์รัปต์จะถูกกำหนดไว้แน่นอนดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอินเตอร์รัปต์ที่เกิดจาก	ตำแหน่งแอดแดรส
IE0	0003H
TF0	000BH
IE1	0013H
TF1	001BH
Serial	0023H

ลำดับความสำคัญของการอินเตอร์รัปต์ ในกรณีที่เกิดการอินเตอร์รัปต์ขึ้นพร้อมกันและมีการกำหนดความสำคัญไว้เป็น 1 เหมือนกัน (หมายถึงผู้ใช้กำหนดลำดับความสำคัญไว้เท่ากัน) 8051 จะเข้าจัดลำดับความสำคัญใหม่เรียงกันไว้ดังนี้

1. IE0 (สูงสุด)
2. TF0
3. IE1
4. TF1
5. Serial (ต่ำสุด)



ภาพที่ 4.2โครงสร้างจะเป็นดังแสดงไว้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ถ้าต้องการให้ลำดับสูงสุดก็ทำได้โดยเซ็ตบิต PS ใน IP รีจีสเตอร์ให้เป็น 1 เพียงบิตเดียวนอกจากนั้นให้เป็น 0 หมดก็จะได้ผลตามต้องการ เมื่อทำการรีเซ็ต 8051 ค่าที่อยู่ภายในรีจีสเตอร์ต่างๆดังนี้

รีจีสเตอร์	ค่าฐานสิบหก
PC	0000
DPTR	0000
A	00
B	00
SP	07
PSW	00
P0-3	FF
IP	XXX0000ฐานสอง
IE	0XX0000ฐานสอง
TCON	00
TMOD	00
TH0	00
TL0	00
TH1	00
SCON	00
SBUF	XX
PCON	0XXXXXXXฐานสอง

หน่วยความจำแรมที่มีข้อมูลบรรจุอยู่จะไม่เปลี่ยนแปลงรีจีสเตอร์แบงก์จะถูกเลือกเป็นแบงก์ 0 และทุกบิตในรีจีสเตอร์ PSW จะถูกเคลียร์เป็น 0 ทั้งหมด

4.2 การเขียนโปรแกรมโดยการใช้การอินเตอร์รัปต์

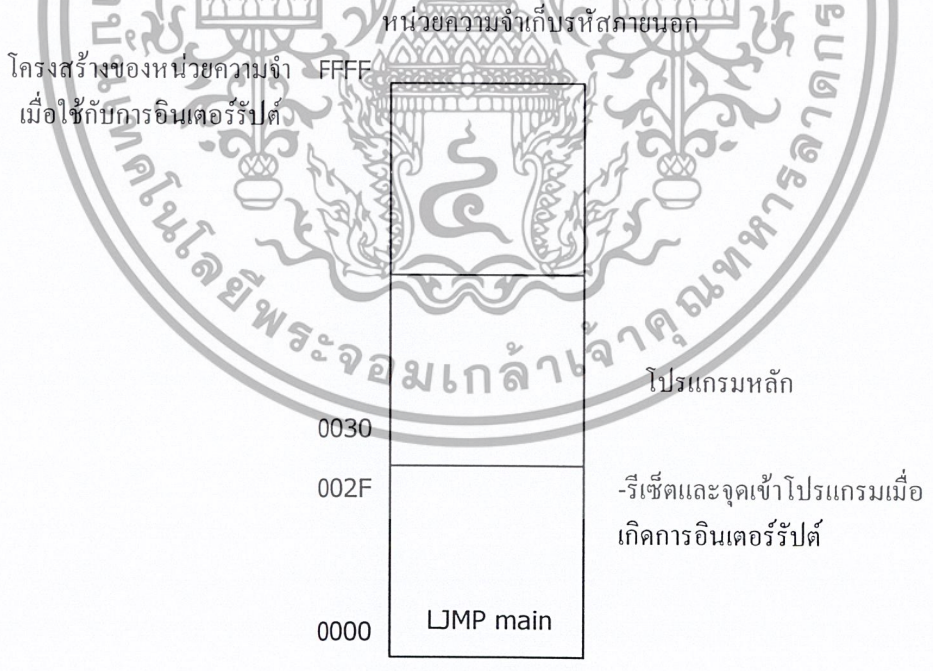
จากตัวอย่างที่ผ่านมาไม่ได้ใช้การอินเตอร์รัปต์มาใช้งาน แต่ใช้การวนรอบเพื่อทดสอบแฟล็กโอเวอร์โฟลว์ของไทเมอร์ (TF0 หรือ TF1) หรือแฟล็กการรับและส่ง (T1 หรือ R2) ของพอร์ตอนุกรมปัญหาจะเกิดขึ้นก็ต่อเมื่อซีพียูต้องใช้เวลาอย่างมากมายไปกับการรอคอยจนกระทั่งไม่สามารถตอบโต้กับเหตุการณ์อื่นๆที่เกิดขึ้นในช่วงเวลานี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างต่อไปนี้จะเป็นการใช้อินเตอร์รัปต์โปรแกรมแต่ละโปรแกรมจะเริ่มที่แอดแดรสเริ่มต้น 0000H โดยถือว่าโปรแกรมจะรันหลังจากทำการรีเซ็ตองค์ประกอบของโปรแกรมที่มีการอินเตอร์รัปต์จะเป็นดังนี้

```
        ORG 0000H          ;เมื่อรีเซ็ตจะเริ่มรันทันที
        LJMP MAIN          ;กระโดดข้ามตำแหน่งการเกิดอินเตอร์รัปต์
          :
          :
          :
        ORG0030H           ;
MAIN:     :                ;โปรแกรมหลักกระโดดมารันต่อที่นี่ 0
          :
```

คำสั่งแรกเป็นการกระโดดอย่างไม่มีเงื่อนไขมายังแอดแดรส 0030H เพื่อข้ามตำแหน่งเริ่มต้นของการอินเตอร์รัปต์ต่างๆดังรูป 4.3

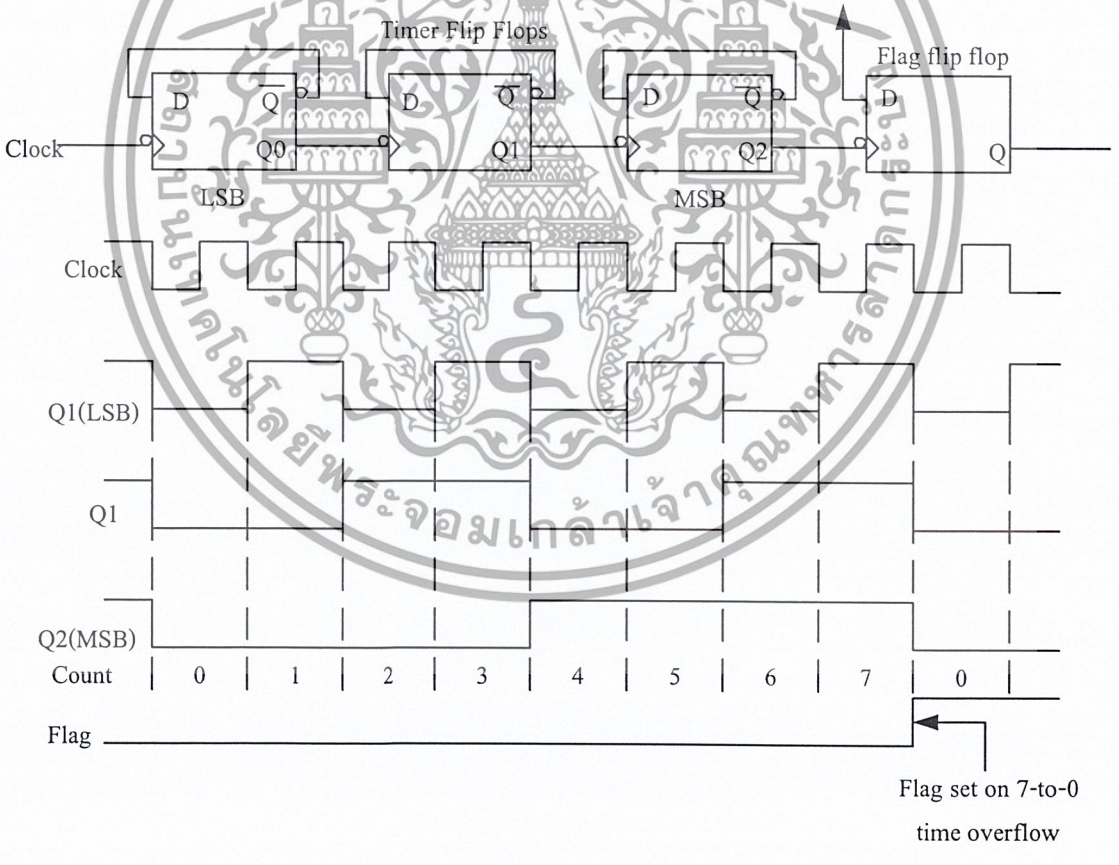


ภาพที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่5
ไทเมอร์และเคาน์เตอร์

ไทเมอร์คือ การต่ออนุกรมกันของฟลิปฟลอปซึ่งทำหน้าที่หารสอง โดยสัญญาณนาฬิกาจากแหล่งกำเนิดป้อนเป็นอินพุตของฟลิปฟลอปตัวแรก ฟลิปฟลอปตัวแรกจะทำหน้าที่หารสัญญาณนาฬิกาด้วยสองเอาต์พุตที่ได้จากฟลิปฟลอปตัวแรกจะถูกป้อนเป็นสัญญาณอินพุตของฟลิปฟลอปตัวที่สอง ฟลิปฟลอปตัวที่สองจะทำการหารสองและป้อนเอาต์พุตไปยังตัวที่สามเป็นเช่นนี้เรื่อยๆไป ดังนั้นถ้ามีฟลิปฟลอป n ตัว สัญญาณนาฬิกาจากแหล่งกำเนิดก็จะถูกหารด้วย 2 เอาต์พุตของฟลิปฟลอปตัวสุดท้ายจะถูกป้อนเข้าเป็นอินพุตของฟลิปฟลอป อีกตัวหนึ่งเรียกฟลิปฟลอปตัวนี้ว่า โอเวอร์โฟลว์ฟลิปฟลอปหรือโอเวอร์โฟลว์แฟล็ก ซึ่งสามารถตรวจสอบได้โดยใช้ซอฟต์แวร์หรือกระตุ้นให้เกิดการอินเตอร์รัปต์ก็ได้ลองดูจากตัวอย่างง่ายๆของไทเมอร์ขนาด 3บิต



ภาพที่ 5.1 ไทเมอร์ขนาด 3บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากแผนผังของเวลา ภาพที่ 5.1 แฟล็กจะเปลี่ยนสภาวะจากลอจิก 0 เป็นลอจิก 1 เมื่อสัญญาณนาฬิกา (clock) ผ่านไป 8 พัลส์ ($2^3 = 8$) ดังนั้นไทเมอร์ฟลิปฟลอปจึงถือเสมือนว่านับ (count) จำนวนพัลส์ของนาฬิกา ไทเมอร์ขนาด 16 บิตจะนับจาก 0000H จนถึง FFFFH และแฟล็กโอเวอร์โฟลว์เซ็ตเมื่อการนับเปลี่ยนจาก FFFFH เป็น 0000H

5.1 การควบคุมไทเมอร์

8051 มีไทเมอร์/เคาน์เตอร์ขนาด 16 บิตสองตัวคือ T0 และ T1 เคาน์เตอร์จะถูกแบ่งเป็นรีจีสเตอร์ 8 บิตสองตัว TH0 และ TL0 และรีจีสเตอร์ T1 ซึ่งมีขนาด 16 บิตก็เช่นกันจะประกอบด้วยรีจีสเตอร์ขนาด 8 บิตสองตัวคือ TH1 และ TL1 ดังตาราง 5.1

ตารางที่ 5.1

การควบคุมการทำงานจะสั่งผ่านรีจีสเตอร์ TCON (timer control special function register) และ TMOD (timer mode special function register) โดยมีรายละเอียดดังนี้

ตารางที่ 5.2 รีจีสเตอร์ TCON

7	6	5	4	3	2	1	0	Bit
TF1	TR1	TF0	TR0	IE1	IL1	IE0	IT0	

TF1 หมายถึงโอเวอร์โฟลว์แฟล็กของไทเมอร์ 1 มีค่าเป็น 1 เมื่อเกิดโอเวอร์โฟลว์ขึ้น (หมายถึงนับจนครบค่าสูงสุดคือ ทุกบิตในไทเมอร์ 1 เป็น 1 ทั้งหมดแล้ววนรอบกลับมาเป็น 0 ทั้งหมดใหม่อีกครั้งหนึ่ง) TF1 จะถูกเคลียร์เป็น 0 เมื่อโปรเซสเซอร์กลับจากการทำงานในโปรแกรมบริการอินเตอร์รัปต์ (interrupt service routine) หรือใช้ซอฟต์แวร์สั่งการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TR1 หมายถึงบิตที่ใช้บังคับให้ไทเมอร์ 1 ทำงานหรือหยุดทำงาน ถ้า TR1 เป็นลอจิก 1 ไทเมอร์จะทำงาน ถ้าลอจิก 0 ไทเมอร์ 1 หยุดทำงาน (หยุดทำงาน หมายถึง หยุดนับพัลส์แต่ไม่ใช่รีเซ็ตค่าในไทเมอร์ 1 ให้เป็น 0000 ใหม่)

TF0 หมายถึงโอเวอร์โฟลว์แฟล็กของไทเมอร์ 0 (การทำงานต่างๆเป็นเช่นเดียวกับ TF1)

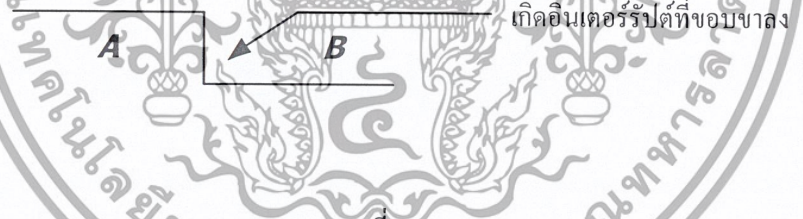
TR0 หมายถึงบิตที่ใช้บังคับให้ไทเมอร์ 0 ทำงานหรือหยุดทำงานเช่นเดียวกับ TR1

IE1 หมายถึงการยอมให้อินเตอร์รัปต์จากภายนอก โดยผ่านทางพอร์ต 3 ขา 3.3 (INT1) บิตนี้ถูกเซ็ตเป็น 1 เมื่อสัญญาณภายนอกเข้ามากระตุ้นที่ขา 3.3 โดยทำการอินเตอร์รัปต์ เมื่อสัญญาณเปลี่ยนสภาวะจากลอจิก 1 มาเป็นลอจิก 0 (ขอบลบของพัลส์) ตำแหน่งเริ่มต้นของโปรแกรมบริการอินเตอร์รัปต์อยู่ที่แอดเดรส 0013H เมื่อทำคำสั่ง (Reture RETI form interrupt) IE1 ถูกเคลียร์โดยอัตโนมัติจะเห็นได้ว่าบิตนี้ไม่มีส่วนเกี่ยวข้องใดๆกับไทเมอร์/เคาน์เตอร์

IT1 หมายถึงการควบคุมสัญญาณที่เข้ามากระตุ้นที่ขา 3.3 ของพอร์ต 3 ว่าให้เป็นการกระตุ้นแบบใดจึงจะเกิดการอินเตอร์รัปต์ขึ้น ถ้า IT1=0 เป็นการกระตุ้นโดยลอจิก 0 (สัญญาณเป็น 0)

ข้อแตกต่างที่น่าจดจำก็คือ

ถ้า IT=1

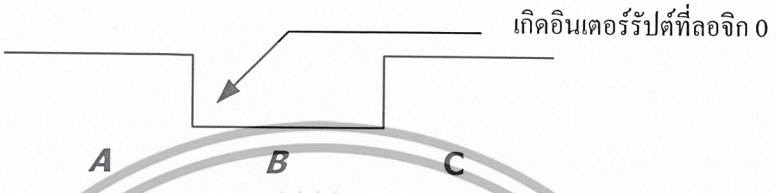


ภาพที่ 5.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเกิดการอินเตอร์รัปต์ขึ้นไปแล้วไปกระทำโปรแกรมบริการอินเตอร์รัปต์จนเสร็จสิ้น สมมุติกลับมาที่เวลา B ซึ่งสัญญาณยังเป็นลอจิก 0 อยู่ ในลักษณะนี้จะไม่เกิดอะไรขึ้น แต่ถ้าให้ IT = 0 ซึ่งเป็นการกระตุ้นที่ลอจิก 0

ถ้า IT = 0



ภาพที่ 5.3

เมื่อกลับมาจากการทำโปรแกรมบริการอินเตอร์รัปต์ที่ตำแหน่ง B ไมโครโปรเซสเซอร์จะพบเป็นลอจิก 0 ผลที่ได้ก็คืออินเตอร์รัปต์ขึ้นอีกครั้งหนึ่งในประเด็นนี้จะทำให้เกิดการอินเตอร์รัปต์ซ้ำซ้อนขึ้นโดยไม่ต้องการเราต้องระวัง วิธีการแก้ไขคือ ก่อนที่จะกระทำคำสั่ง RETI ให้ตรวจสอบก่อนว่าสัญญาณกลับมาเป็นลอจิก 1 หรือยัง ถ้าเป็น ลอจิก 1 แล้ว (หลังจากตำแหน่ง C) จึงค่อยกระทำคำสั่ง RETI

IEO หมายถึงการยอมให้อินเตอร์รัปต์จากภายนอก โดยผ่านทางพอร์ต 3 ขา 3.2 (INT0) การอินเตอร์รัปต์ที่ขานี้ สัญญาณต้องเป็นการกระตุ้นแบบขอบลงหรือสามารถโปรแกรมได้เช่นเดียวกับ IE1 ตำแหน่งแอดเดรสเริ่มต้นของโปรแกรมบริการ อินเตอร์รัปต์อยู่ที่แอดเดรส 0003H

ITO หมายถึงการควบคุมสัญญาณที่เข้ามาอินเตอร์รัปต์ IEO เช่นเดียวกับ IT1

ตารางที่ 5.3 รีจีสเตอร์ TMOD

Gate	C/T	M1	M0	Gate	C/T	M1	M0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

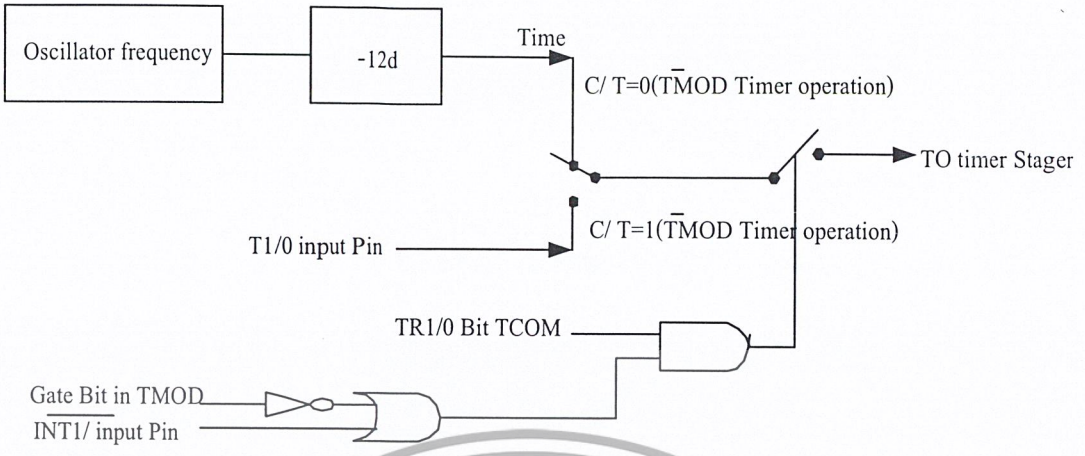
บิต	สัญลักษณ์	รายละเอียด
7/3	gate	การอีนาเบิลออร์เกตเพื่อควบคุมไทเมอร์ 1 หรือ 0 ทำงานหรือหยุดทำงาน ถ้าเป็นลอจิก 1 ไทเมอร์จะทำงานถ้า TR 1/0 ใน TCON รีจีสเตอร์ ถูกเซ็ตเป็น 1 และสัญญาณที่ต่ออยู่กับขา INT 1/0 เป็นลอจิก 1
6/2	C/T	ถ้าเป็นลอจิก 1 เป็นการเลือกให้ไทเมอร์ 1 หรือ 0 ทำงานในลักษณะของเคาน์เตอร์ทำการนับพัลส์จากภายนอกที่ป้อนเข้ามาโดยผ่านทางขา 3.5 (T1) หรือ 3.4 (T0) ถ้าเป็นลอจิก 0 เป็นการเลือกให้ ไทเมอร์ 1 หรือ 0 ทำงานในลักษณะของไทเมอร์โดยการนับพัลส์ที่ได้จากภายในตัว 8051
5/1	M1	บิตที่ใช้ควบคุมให้ไทเมอร์/เคาน์เตอร์ทำงานในโหมดใด บิตที่ 1
4/0	M0	ใช้ควบคุมให้ไทเมอร์/เคาน์เตอร์ทำงานในโหมดใด บิตที่ 0 โดยมีรายละเอียดดังตารางที่ 7.5 ต่อไปนี้

ตารางที่ 5.4

M1	M0	โหมด
0	0	0
0	1	1
1	0	2
1	1	3

การควบคุมไทเมอร์/เคาน์เตอร์ ทำงานเป็นไทเมอร์หรือเคาน์เตอร์มีโครงสร้างภายในเป็นดังภาพที่ 5.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 5.4 แผนผังของการควบคุมไทเมอร์/เคาน์เตอร์

จากภาพที่ 5.4 เมื่อเลือกให้ C/T เป็น 1 ไทเมอร์/เคาน์เตอร์ จะทำงานในโหมดของไทเมอร์ โดยการรับสัญญาณพัล์สจากภายในตัวที่ได้จากการหารความถี่จากคริสตอลด้วย 12 เมื่อเลือกให้ C/T เป็น 1 ไทเมอร์เคาน์เตอร์จะทำงานในโหมดของเคาน์เตอร์สวิตซ์ จะต่อเข้ากับสัญญาณพัล์สจากภายนอกที่เข้ามาทางอินพุต T1/0 โดยมีสวิตซ์อีกตัวหนึ่งทำหน้าที่ต่อสัญญาณที่เลือกแล้วไปยังส่วนของ Timer stage จะเห็นว่าสัญญาณที่ควบคุมแอนด์เกตซึ่งต้องเซ็ตเป็น 1 ก็คือ TR1/0 ในรีจีสเตอร์ TCON ถ้าเป็น 0 แอนด์เกตจะไม่ยอมให้สัญญาณจากออร์เกตผ่านไปได้เลย การที่แอนด์เกตจะเป็นลอจิก 1 เพื่อบังคับให้สวิตซ์อยู่ในสภาวะปิดเอาต์พุตของออร์เกตจะต้องเป็น 1 ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
แนวทางการใช้งาน LCD module

ปัจจุบัน LCD เป็นที่นิยมกันอย่างมาก สำหรับการแสดงผลในเครื่องมือ เครื่องใช้ต่างๆ ทั้งนี้เนื่องจากความเหมาะสมด้วยประการทั้งปวง ทั้งในด้านการกินกระแสต่ำสามารถแสดงผลเป็นตัวอักษร ตัวเลข หรือแสดงเป็นกราฟฟิก (Graphic) ได้ (เฉพาะรุ่น) จะติดปัญหาก็คือด้านวงจร ซึ่งมีระบบการทำงานที่ซับซ้อนและหาอุปกรณ์ได้ค่อนข้างยาก แต่ขณะนี้ผู้ผลิต LCD จะทำรุ่นที่เป็น LCD module ออกมาก็คือเป็น module ที่มีตัว LCD และวงจรควบคุมมาให้พร้อม เรียกว่า LCM ซึ่งทำให้ผู้ใช้สามารถต่อเข้ากับระบบไมโครโปรเซสเซอร์ (microprocessor) ได้ง่ายและสำหรับการเขียนโปรแกรม รวมทั้งมีการจำหน่ายกันอย่างกว้างขวาง และมีราคาที่เหมาะสม ทำให้ผู้ใช้งานด้านไมโครโปรเซสเซอร์หันมาใช้แผงแสดงด้วย LCD module กันมากขึ้น

LCD module มีอยู่มากมายหลายรุ่น และมีคุณสมบัติแตกต่างกันไป ซึ่งแบ่งได้เป็น 2 กลุ่ม คือ แบบดอทเมตริกซ์ (dot matrix) และกราฟฟิก โดยแบบดอทเมตริกซ์จะแสดงผลเป็นตัวอักษรขนาด 5x8 dot และมีตัวอักษรและบรรทัดแตกต่างกันไปในแต่ละรุ่น ส่วนแบบกราฟฟิกจะสามารถแสดงผลในแบบบิตแมพ (bitmap) คือสร้างภาพใดๆก็ได้ตามต้องการ แนวทางในการใช้งานของทั้ง 2 แบบจะมีลักษณะใกล้เคียง การใช้งานโดยทั่วไปมักจะใช้แบบดอทเมตริกซ์มากกว่า เนื่องจากมีราคาถูก และเพียงพอต่องานส่วนใหญ่ ดังนั้นจะกล่าวถึงการใช้งานกับดอทเมตริกซ์เท่านั้น คุณสมบัติของดอทเมตริกซ์ LCD module สามารถสรุปเป็นข้อๆได้ดังนี้

1. มีให้เลือกหลายรุ่นตามการใช้งาน โดยมีจำนวนตัวอักษรและบรรทัดแตกต่างไป
2. ตัวอักษรแสดงด้วยดอทเมตริกซ์ 5x8 dot
3. สามารถต่อเข้ากับระบบไมโครโปรเซอร์ได้ 2 ลักษณะ คือแบบเมมโมรีแมพ (memmory map) (20-pin LCD bus) และแบบต่อผ่าน 8255 พอร์ต (port) (26-pin 8255 bus) โดยกรณี 26-pin8255bus จะใช้แผ่น PCB (DMCAD) เป็นตัวอะเดปเตอร์ (adepter) ทำให้เป็น 8255 bus อีกที
4. การใช้งานง่ายและสะดวก ระบบไมโครโปรเซสเซอร์เพียงส่งข้อมูลให้กับ LCD moudule เท่านั้น ข้อความก็จะปรากฏบนแผงแสดง และจะคงค้างไว้ตลอด ทำให้ไม่ต้องเสียเวลาหลักของระบบไมโครโปรเซอร์
5. มีคำสั่งพิเศษสำหรับอำนวยความสะดวกมากมาย เช่น clear display, home cursor, on off cursor, blink character และอื่นๆอีก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. สามารถแสดงผลเป็นตัวอักษรภาษาอังกฤษและตัวเลขได้ 160 ตัว และสัญลักษณ์พิเศษอีก 32 ตัว รวมทั้งกำหนดอักษรที่ออกแบบเองได้อีก 8 ตัว
7. กินกระแสน้อย และมีน้ำหนักเบา รวมทั้งทำงานได้ด้วยไฟเลี้ยงระดับ 5 โวลต์เท่านั้น

ตารางที่ 6.1 แสดงขาสัญญาณของ LCD module

ขา	สัญลักษณ์	ระดับ	หน้าที่
1	V_{ss}		0 V.GND
2	V_{cc}		+ 5 V.power supply
3	V_{cc}		+ V for liquid cystral drive
4	RS	H/L	register select H: data input L: instruction input
5	R/W	H/L	H: data read L: data write
6	E	H	Enable signal (LH)
7	DB0	H/L	Data but bit 0
8	DB1	H/L	Data but bit 1
9	DB2	H/L	Data but bit 2
10	DB3	H/L	Data but bit 3
11	DB4	H/L	Data but bit 4
12	DB5	H/L	Data but bit 5
13	DB6	H/L	Data but bit 6
14	DB7	H/L	Data but bit 7

6.1 การต่อเข้ากับระบบไมโครโปรเซสเซอร์

LCD module จะต่อเข้ากับระบบไมโครโปรเซสเซอร์ได้ 2 ลักษณะคือ แบบเมมโมรีแมพ โดยผ่าน LCD bus ขนาด 20 pin และแบบ I/O port โดยผ่าน 8255 busขนาด 26 pin โดยแต่ละแบบจะมีหลักการดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การต่อแบบเมมโมรีแมพ

1. สามารถต่อเข้ากับชิพ (chip) เบอร์ทั่วๆไปได้เช่น 8051 หรือ Z80 โดยจะทำให้ระบบไมโครโปรเซสเซอร์มองเห็น LCD module ในลักษณะของหน่วยความจำ (memory) ได้ทันที
2. ผู้ใช้สามารถเขียนและอ่านข้อมูลจาก LCD module ได้ทำให้มองเสมือนว่าเป็นเมมโมรีบัฟเฟอร์ (memory buffer) ไปในตัว
3. เนื่องจากสามารถอ่านข้อมูลกลับได้ จึงทำให้สามารถตรวจสอบแฟลก (flag) ความพร้อมขณะในที่ LCD module กำลังทำงานได้
4. ใช้ได้กับบอร์ด (board) ที่มี LCD bus มาให้พร้อมทำนั้น
5. ทำให้กินพื้นที่ของหน่วยความจำไปส่วนหนึ่ง และจะต้องมีรหัสการเข้า (decode) ละเอียดพอควร
6. การจัดขาสัญญาณจะต้องเป็นไปตามชิพของแต่ละเบอร์

การต่อแบบ I/O port

1. สามารถต่อเข้ากับ I/O port ใดๆ ก็ได้ โดยใช้สัญญาณจำนวน 11 เส้น และใช้โปรแกรมเป็นตัวสร้างสัญญาณขึ้นมาให้ตรงกับข้อกำหนดของ LCD module
2. ผู้ใช้จะเขียนข้อมูลให้ LCD module ได้อย่างเดียว ซึ่งผู้ใช้ควรกำหนดหน่วยความจำส่วนหนึ่งให้เป็นเสมือนบัฟเฟอร์ให้กับ LCD module อีกที
3. เนื่องจากไม่สามารถอ่านข้อมูลกลับได้ จึงต้องใช้การหน่วงเวลาของไมโครโปรเซส-เซอร์เอง เพื่อรอให้ LCD module กระทำกระบวนการต่างๆ
4. ใช้ได้กับพอร์ตทั่วๆ ไปที่มีพอร์ต
5. ไม่เปลืองส่วนของหน่วยความจำในการทำงาน
6. การจัดขาสัญญาณกระทำได้อย่างอิสระ

ชุดควบคุมคำสั่งและข้อความ

การเขียนหรืออ่านข้อมูลของ LCD module ก็คือการกำหนดคุณสมบัติต่างๆ ในการใช้งาน LCD ตามชุดคำสั่งควบคุม และรวมถึงการเขียนข้อมูลที่เป็นข้อความ เพื่อให้ปรากฏบนแผงแสดงด้วย โดยมีรายละเอียดตามตารางที่ 6.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.2 แสดงรายละเอียดของชุดคำสั่ง

INSTRUCTION	RS	R/W	DATA BIT								EXE TIME (μs)
			7	6	5	4	3	2	1	0	
CREAR DISPLAY	0	0	0	0	0	0	0	0	0	1	1640
CURSOR AT HOME	0	0	0	0	0	0	0	0	1	*	1640
ENTRY MODE SET	0	0	0	0	0	0	0	1	I/D	S	40
DISPLAY ON/OFF	0	0	0	0	0	0	1	D	C	B	40
DISPLAY SHIFT	0	0	0	0	0	1	S/C	R/L	*	*	40
FUNCTION SET	0	0	0	0	1	DL	N	F	*	*	40
SET CGRAM ADD.	0	0	0	1	CGRAM ADDRESS						40
SET DDRAM ADD.	0	0	1	DDRAM ADDRESS							40
BUSY.ADD READ	0	1	BF	ADDRESS							
CGRAM.DDRAM WR	1	0	WRITE DATA								40
CGRAM.DDRAM RD	1	1	READ DATA								40

ความเข้าใจพื้นฐาน

1. การเขียนข้อมูลให้กับ LCD module แบ่งเป็น 2 ลักษณะคือคำสั่งควบคุม (instruction) และข้อมูล (data) โดยจะกำหนดโดยสัญญาณ RS คือถ้า RS จะหมายถึงส่งกำลังควบคุมหรืออ่านค่าแฟลกสภาพการทำงานของ LCD module และถ้า RS =1 จะหมายถึงการเขียนหรืออ่านข้อมูลกับ LCD module

2. หลักการในการเขียนข้อมูลให้ LCD module นี้คือ เมื่อมีการเขียนข้อมูลไปแล้วตัว LCD module จะต้องใช้เวลาในการทำงานชั่วขณะหนึ่ง (ตามค่า execute time ในตาราง) ซึ่งระบบไมโครโปรเซสเซอร์สามารถตรวจสอบได้จากบิวซี่แฟลก(busy flag:BF) และถ้าเรียบร้อยแล้ว จึงจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เขียนข้อมูลอันต่อไปได้ ในการที่การต่อวงจรเป็นแบบอินพุต/เอาต์พุตพอร์ตคือไม่สามารถอ่านข้อมูลย้อนกลับได้ ระบบไมโครโปรเซสเซอร์ก็จะต้องหน่วงเวลาแทน

3. การเขียนข้อมูลให้กับ LCD module นี้ สามารถทำได้แบบ 8 บิตและ 4 บิต โดยกรณี 4 บิต จะใช้สายส่งสัญญาณเพียง 4 เส้นคือ DB4-DB7 (ใชสำหรับไมโครโปรเซสเซอร์แบบ 4 บิต หรือเพื่อการประหยัดสาย) การเขียนข้อมูลจะกระทำเหมือนกับ 8 บิต เพียงแต่ให้เขียน 2 ครั้งคือ DB4-DB7 ก่อนแล้วตามด้วย DB0-DB3 และจะต้องกำหนดคุณสมบัติตามค่า DL ในชุดคำสั่ง (function set) ด้วย

4. DDRAM (display data RAM) คือหน่วยความจำภายในตัว LCD module ที่เป็นบัฟเฟอร์ของข้อมูล โดยการเขียนรหัสแอสกี (ASCII) ใดๆ ลงไปในหน่วยความจำนี้ ก็จะปรากฏเป็นตัวอักษรที่แผงแสดงทันที

5. CGRAM (character generator RAM) คือหน่วยความจำภายในตัว LCD module สำหรับเก็บภาพตัวอักษรที่ผู้ใช้สามารถสร้างได้เอง (8 ตัว) โดยจะอ้างแอดเดรส (address) ได้ทั้งหมด 64 ไบต์ (byte) คือ 8 ตัวอักษร คูณกับ 8 row

5.2 รายละเอียดของแต่ละคำสั่ง

1. clear display

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	1

สำหรับการ clear display โดยจะทำการเขียนตัวอักษรสเปซ (space) ลงใน DDRAM แอดเดรสทั้งหมดให้เป็น 0 พร้อมทั้งเคอร์เซอร์ (cursor) จะกลับไปยังตำแหน่งบนสุดของจอภาพ

2. cursor at home

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	1	*

สำหรับการกำหนดค่า DDRAM แอดเดรสให้เป็น 0 พร้อมทั้งเคอร์เซอร์จะไปอยู่ที่ตำแหน่งซ้ายบนสุดบนจอภาพ โดยข้อมูลใน DDRAM ไม่มีการเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. entry mode set

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	I/D	S

I/D = 0 กำหนดทิศทางของเคอร์เซอร์ และ DDRAM ให้เป็นแบบลดทีละ 1 (decrement)

I/D= 1 กำหนดทิศทางของเคอร์เซอร์ และ DDRAM ให้เป็นแบบเพิ่มทีละ 1 (increment)

S = 0 เมื่อเขียนข้อมูลแล้ว ตัวเคอร์เซอร์จะถูกเลื่อนไปทิศทางตามค่า I/D

S = 1 เมื่อเขียนข้อมูลแล้ว ตัวเคอร์เซอร์จะอยู่กับที่ และตัวอักษรจะถูกดันไปทิศทางตามค่า I/D

การกำหนดค่า I/D และ S นี้ ให้กำหนดก่อนการเขียนข้อมูลใน DDRAM และเมื่อกำหนดแล้วจะต้องไม่ใช้คำสั่ง clear display อีก

4. display on/off

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	1	D	C	B

D= 0 กำหนดให้ off display

D=1 กำหนดให้ on display

C= 0 กำหนดให้ off เคอร์เซอร์

C= 1 กำหนดให้ on เคอร์เซอร์ โดยเคอร์เซอร์จะเป็นเส้นขีดใต้ตัวอักษร

B= 0 กำหนดให้ไม่มีการกระพริบที่ตำแหน่งเคอร์เซอร์

B= 1 กำหนดให้มีการกระพริบที่ตำแหน่งเคอร์เซอร์ (กระพริบเป็นรูปสี่เหลี่ยม)

5. display shift

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	1	1	S/C	R/L	*	*

S/C= 0 กำหนดให้เลื่อนเคอร์เซอร์ตามทิศทาง R/L ไป 1 columm (เลื่อนทุกบรรทัด)

S/C= 1 กำหนดให้เลื่อนข้อความแผงแสดงตามทิศทาง R/L ไป 1 columm (เลื่อนทุกบรรทัด)

R/L= 0 กำหนดให้มีทิศทางไปทางซ้าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R/L= 1 กำหนดให้มีทิศทางไปทางขวา

6. function set

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	1	DL	N	F	*	*

DL= กำหนดให้มีการติดต่อกับ LCD module เป็นแบบ 4 บิต

DL= กำหนดให้มีการติดต่อกับ LCD module เป็นแบบ 8 บิตจะสังเกตเห็นว่าการกำหนดค่า DL นี้ สามารถกระทำได้ที่ DB4-DB7 ซึ่งถ้ามีการกำหนดให้เป็นแบบ 4 บิต ตั้งแต่แรก หลังจากจ่ายไฟเลี้ยงก็จะทำให้ LCD module มีการรับข้อมูลแบบ 4 บิต

N= 0 กำหนดจำนวนบรรทัดแบบ 1/8 ดิวตี้ (duty) และ 1/11 ดิวตี้

D= 1 กำหนดจำนวนบรรทัดแบบ 1/16 ดิวตี้

F= 0 กำหนดให้เป็นตัวอักษรแบบ 5x7 dots

F= 1 กำหนดให้เป็นตัวอักษรแบบ 5x10 dots (กรณีที่ LCD module เป็นแบบ 5x7 dots อยู่แล้วก็จะไม่มีผลอะไร)

7. Set CGRAM address

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	1	CGRAM ADDRESS					

สำหรับการกำหนดแอดเดรสของ CGRAM เมื่อได้กำหนดไว้แล้ว การอ่านและการเขียนข้อมูลที่ต่อจากนี้ จะเป็นตามแอดเดรสที่กำหนดทันที

8. Set DDRAM address

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	1	DDRAM ADDRESS						

สำหรับการกำหนดแอดเดรสของ DDRAM เมื่อได้ทำการกำหนดไว้แล้ว การอ่านและการเขียนข้อมูลที่ต่อจากนี้ จะเป็นไปตามแอดเดรสที่กำหนดทันที ตำแหน่งของแอดเดรสของแต่ละรุ่นจะมีความแตกต่างกันบ้าง เพราะจำนวนต่อบรรทัดไม่เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. busy flag and address read

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	1	BF	ADDRESS						

สำหรับการอ่านค่าบิวตี้แฟลก ซึ่งบอกถึงความพร้อมของ LCD module ในการรับข้อมูล ถ้า BF= 0 หมายถึงว่าพร้อมที่จะรับข้อมูลต่อไปได้ แต่ถ้า BF=1 หมายถึงว่ายังไม่พร้อม นอกจากนี้ยังเป็นค่าแอดเดรสของ CGRAM หรือ DDRAM อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 การอ่านข้อมูลและการเขียนข้อมูลกับ DDRAM/CGRAM

1. write data to DDRAM or CGRAM

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	0	DATA							

สำหรับการเขียนข้อมูลลงหน่วยความจำ DDRAM หรือ CGRAM โดยเมื่อทำการเขียนแล้ว แอดเดรสจะถูกเพิ่มหรือลดโดยอัตโนมัติ ตามที่กำหนดจากค่า I/D ในคำสั่ง entry mode set และการเขียนจะเป็น DDRAM หรือ CGRAM ก็ขึ้นอยู่กับก่อนว่าคำสั่งหน้านี้ มีการกำหนดแอดเดรสที่ใด

2. read data form DDRAM or CGRAM

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	1	DATA							

สำหรับการเขียนลงหน่วยความจำ DDRAM หรือ CGRAM โดยเมื่อทำการเขียนแล้ว แอดเดรสจะถูกเพิ่มหรือลดโดยอัตโนมัติ ตามที่กำหนดจากค่า I/D ในคำสั่ง entry mode set และการเขียนจะเป็น DDRAM หรือ CGRAM ก็ขึ้นอยู่กับก่อนว่าคำสั่งหน้านี้ มีการกำหนดแอดเดรสที่ใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

การทดลอง

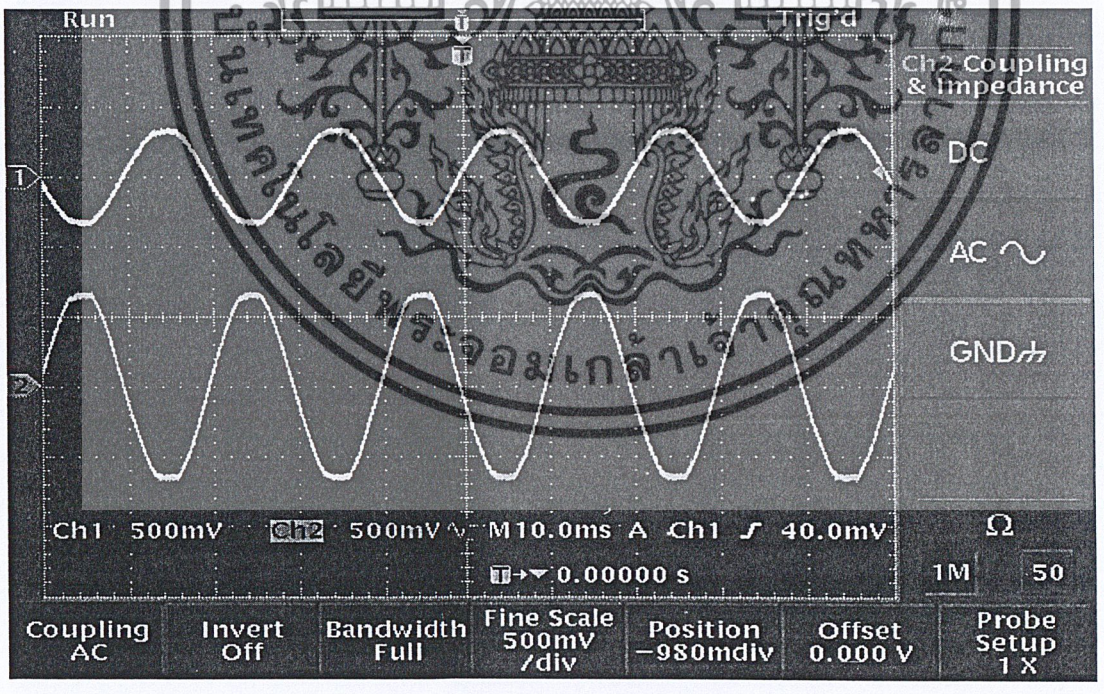
ทำการทดลองที่ละเฟสใช้โหลด 3 แบบ และวัดค่าได้ดังนี้

ชนิดอุปกรณ์	V	I	PF	VA	VAR	W
กะทะไฟฟ้า	225	3.29	1	726	0	726
พัดลม	225	0.22	0.945	49	13	36
กะติกน้ำ	227	3.12	1	703	0	703

ทำการทดลองใช้โหลดเป็นพัดลมไฟฟ้าเบอร์3

Ch 1: อินพุตก่อนเข้าวงจรขยาย

Ch 2: เอาต์พุตหลังวงจรขยาย

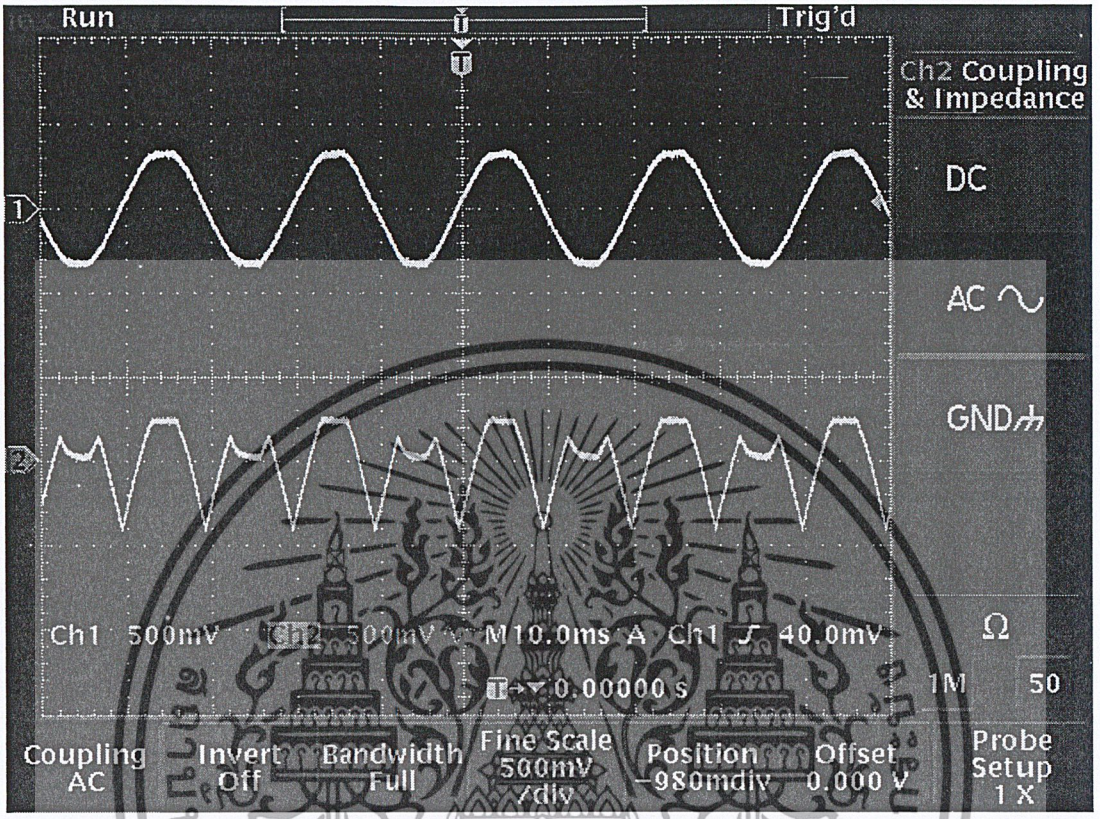


ภาพที่ 7.1 อินพุตและเอาต์พุตของวงจรขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ch 1: อินพุตก่อนเข้าวงจรขยาย

Ch 2: เอาต์พุตหลังวงจรเรียงกระแส

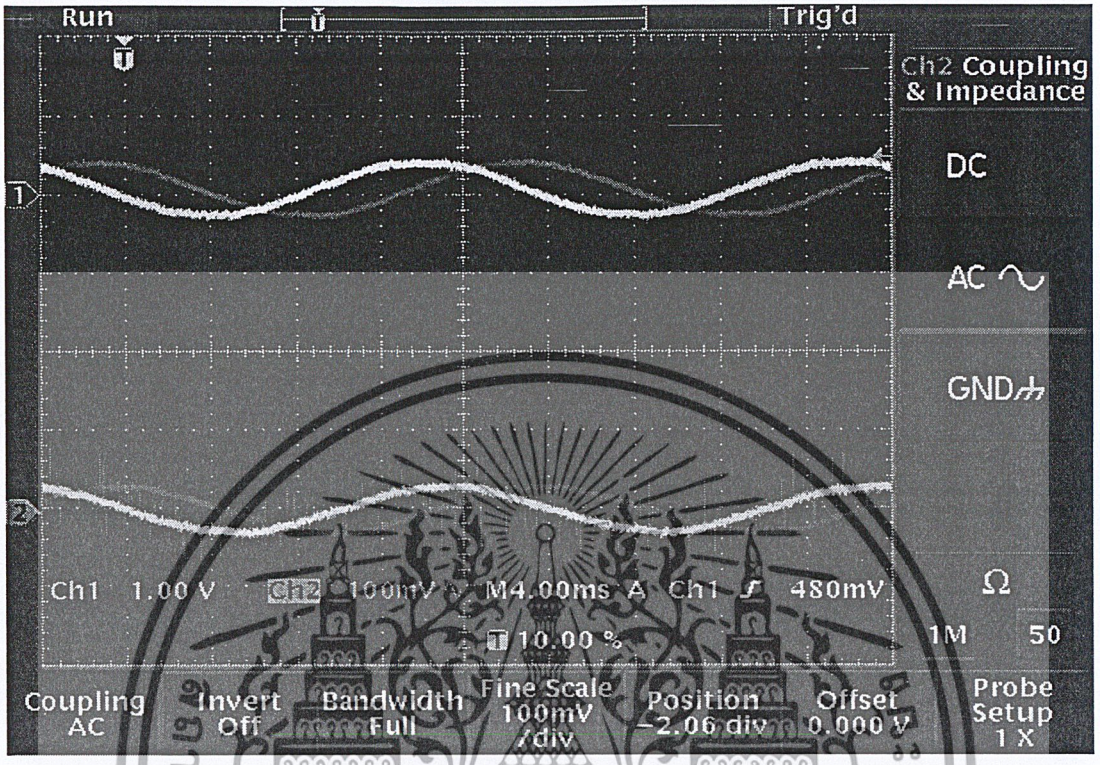


ภาพที่ 7.2 อินพุตและเอาต์พุตของวงจรเรียงกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ch 1: อินพุตแรงดันก่อนเข้าวงจรซีโรครอสซิงดีเทกเตอร์

Ch 2: อินพุตกระแสก่อนเข้าวงจรซีโรครอสซิงดีเทกเตอร์

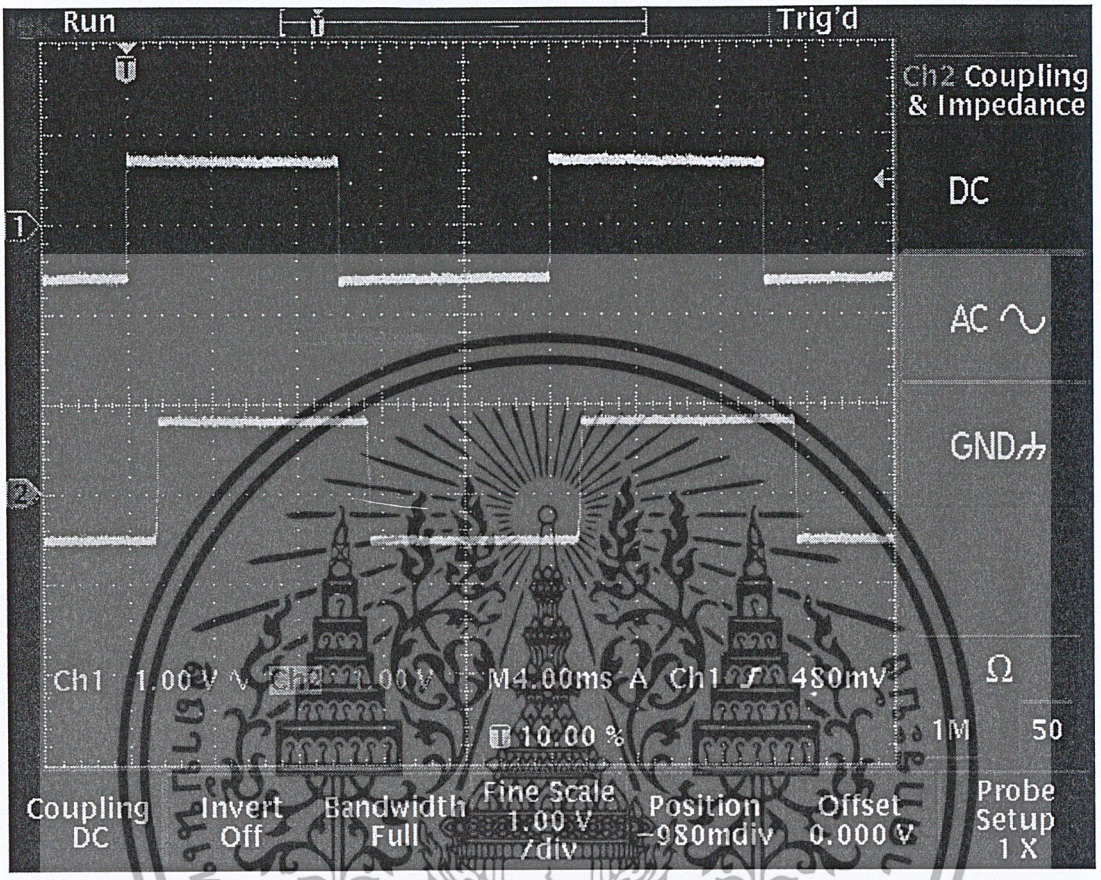


ภาพที่ 7.3 อินพุตของวงจรซีโรครอสซิงดีเทกเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ch 1: เอาต์พุตแรงดันก่อนเข้าวงจรซีโรครอสซิงดีเทกเตอร์

Ch 2: เอาต์พุตกระแสก่อนเข้าวงจรซีโรครอสซิงดีเทกเตอร์

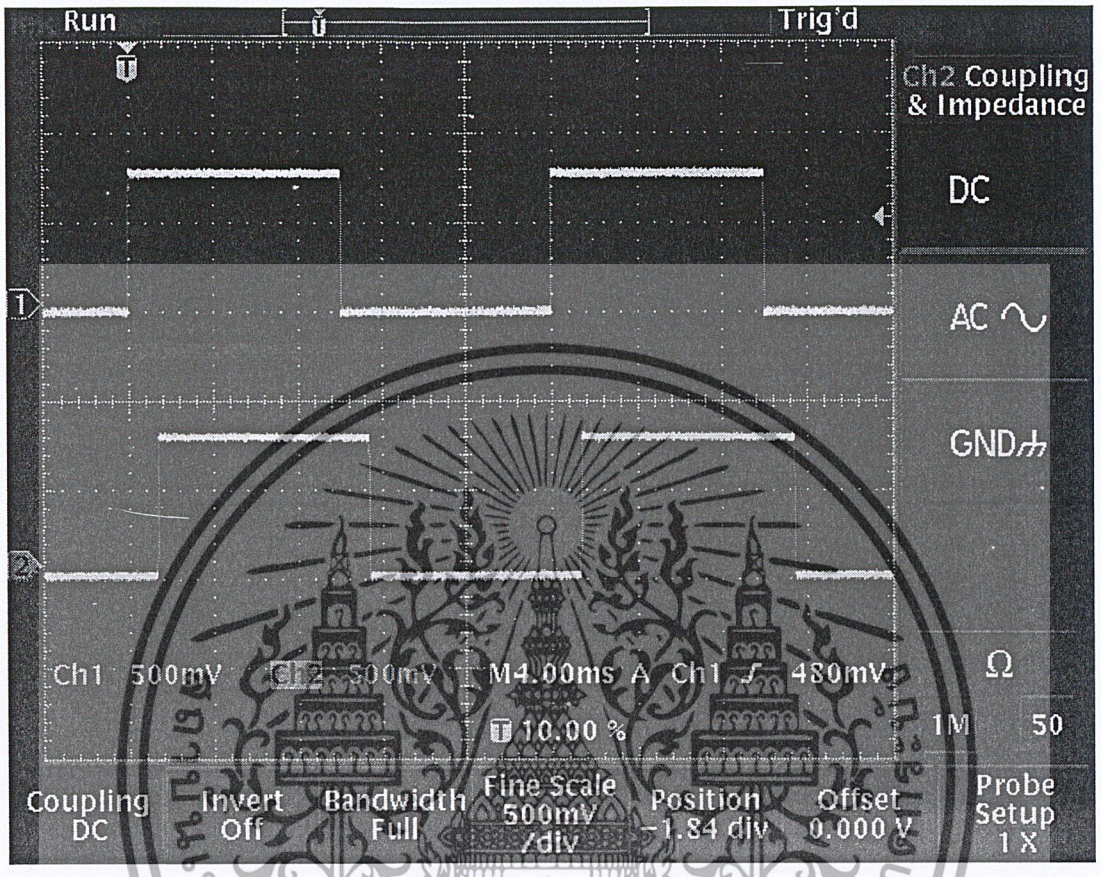


ภาพที่ 7.4 เอาต์พุตของวงจรซีโรครอสซิงดีเทกเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ch 1: เอาต์พุตแรงดันก่อนเข้าวงจรปรับระดับแรงดัน

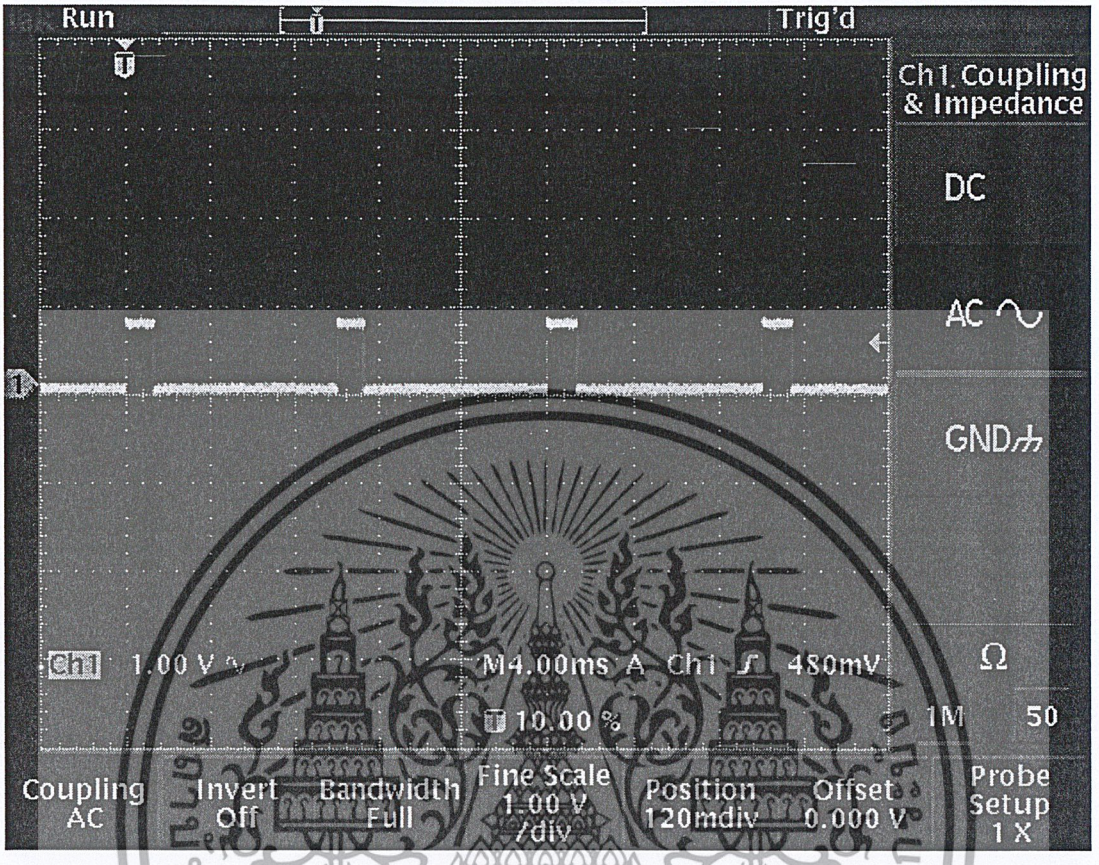
Ch 2: เอาต์พุตกระแสก่อนเข้าวงจรปรับระดับแรงดัน



ภาพที่ 7.5 เอาต์พุตของวงจรปรับระดับแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ch 1: เอาต์พุตแรงดันก่อนเข้าวงจรเปรียบเทียบเฟส



ภาพที่ 7.6 เอาต์พุตของวงจรเปรียบเทียบเฟส

จากการทดลองไม่สามารถหา watt meter มาสอบเทียบได้จึงไม่สามรถหาค่าความเที่ยงตรงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. วันสุระ ศรีใสดี. **ไมโครคอนโทรลเลอร์ภาคปฏิบัติ** กรุงเทพมหานคร :บริษัท สำนักพิมพ์ดวง จำกัด, 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19-0247; Rev. 1; 4/97

MAXIM

Low-Power, 8-Channel, Serial 10-Bit ADC

MAX192

General Description

The MAX192 is a low-cost, 10-bit data-acquisition system that combines an 8-channel multiplexer, high-bandwidth track/hold, and serial interface with high conversion speed and ultra-low power consumption. The device operates with a single +5V supply. The analog inputs are software configurable for single-ended and differential (unipolar/bipolar) operation.

The 4-wire serial interface connects directly to SPI™, QSPI™, and Microwire™ devices, without using external logic. A serial strobe output allows direct connection to TMS320 family digital signal processors. The MAX192 uses either the internal clock or an external serial-interface clock to perform successive approximation A/D conversions. The serial interface can operate beyond 4MHz when the internal clock is used. The MAX192 has an internal 4.096V reference with a drift of ±30ppm typical. A reference-buffer amplifier simplifies gain trim and two sub-LSBs reduce quantization errors.

The MAX192 provides a hardwired $\overline{SHDN}$ pin and two software-selectable power-down modes. Accessing the serial interface automatically powers up the device, and the quick turn-on time allows the MAX192 to be shut down between conversions. By powering down between conversions, supply current can be cut to under 10µA at reduced sampling rates.

The MAX192 is available in 20-pin DIP and SO packages, and in a shrink-small-outline package (SSOP) that occupies 30% less area than an 8-pin DIP. The data format provides hardware and software compatibility with the MAX186/MAX188. For anti-aliasing filters, consult the data sheets for the MAX291–MAX297.

Applications

Automotive
Pen-Entry Systems
Consumer Electronics
Portable Data Logging
Robotics
Battery-Powered Instruments, Battery Management
Medical Instruments

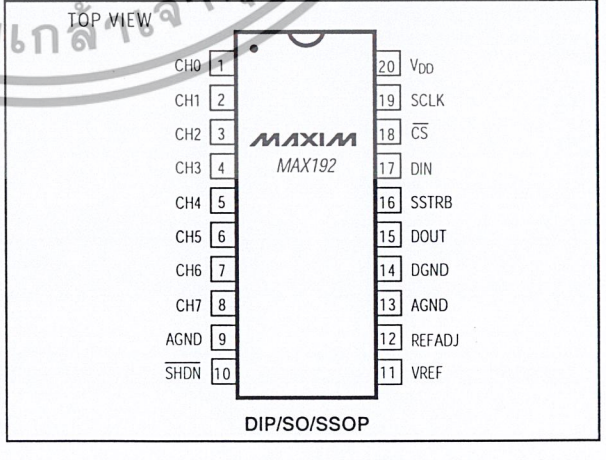
Features

- ♦ 8-Channel Single-Ended or 4-Channel Differential Inputs
- ♦ Single +5V Operation
- ♦ Low Power: 1.5mA (operating)
  2µA (power-down)
- ♦ Internal Track/Hold, 133kHz Sampling Rate
- ♦ Internal 4.096V Reference
- ♦ 4-Wire Serial Interface is Compatible with SPI, QSPI, Microwire, and TMS320
- ♦ 20-Pin DIP, SO, SSOP Packages
- ♦ Pin-Compatible 12-Bit Upgrade (MAX186/MAX188)

Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX192ACPP	0°C to +70°C	20 Plastic DIP	±1/2
MAX192BCPP	0°C to +70°C	20 Plastic DIP	±1
MAX192ACWP	0°C to +70°C	20 Wide SO	±1/2
MAX192BCWP	0°C to +70°C	20 Wide SO	±1
MAX192ACAP	0°C to +70°C	20 SSOP	±1/2
MAX192BCAP	0°C to +70°C	20 SSOP	±1
MAX192AEPP	-40°C to +85°C	20 Plastic DIP	±1/2
MAX192BEPP	-40°C to +85°C	20 Plastic DIP	±1
MAX192AEWP	-40°C to +85°C	20 Wide SO	±1/2
MAX192BEWP	-40°C to +85°C	20 Wide SO	±1
MAX192AEAP	-40°C to +85°C	20 SSOP	±1/2
MAX192BEAP	-40°C to +85°C	20 SSOP	±1
MAX192AMJP	-55°C to +125°C	20 CERDIP	±1/2
MAX192BMJP	-55°C to +125°C	20 CERDIP	±1

Pin Configuration



See last page for Typical Operating Circuit.

SPI and QSPI are trademarks of Motorola Corp.
Microwire is a trademark of National Semiconductor Corp.

For free samples & the latest literature: http://www.maxim-ic.com, or phone 1-800-998-8800.
For small orders, phone 408-737-7600 ext. 3468.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low-Power, 8-Channel, Serial 10-Bit ADC

ABSOLUTE MAXIMUM RATINGS

V_{DD} to AGND ..... -0.3V to +6V
AGND to DGND ..... -0.3V to +0.3V
CH0–CH7 to AGND, DGND ..... -0.3V to (V_{DD} + 0.3V)
CH0–CH7 Total Input Current ..... ±20mA
VREF to AGND ..... -0.3V to (V_{DD} + 0.3V)
REFADJ to AGND ..... -0.3V to (V_{DD} + 0.3V)
Digital Inputs to DGND ..... -0.3V to (V_{DD} + 0.3V)
Digital Outputs to DGND ..... -0.3V to (V_{DD} + 0.3V)
Digital Output Sink Current 25mA

Continuous Power Dissipation (T_A = +70°C)
Plastic DIP (derate 11.11mW/°C above +70°C) 889mW
SO (derate 10.00mW/°C above +70°C) 800mW
SSOP (derate 8.00mW/°C above +70°C) 640mW
CERDIP (derate 11.11mW/°C above +70°C) 889mW
Operating Temperature Ranges
MAX192_C_P ..... 0°C to +70°C
MAX192_E_P ..... -40°C to +85°C
MAX192_MJP ..... -55°C to +125°C
Storage Temperature Range ..... -60°C to +150°C
Lead Temperature (soldering, 10sec) ..... +300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 5V ±5%, f_{CLK} = 2.0MHz, external clock (50% duty cycle), 15 clocks/conversion cycle (133ksps), 4.7µF capacitor at VREF pin, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 1)						
Resolution			10			Bits
Relative Accuracy (Note 2)		MAX192A			±1/2	LSB
		MAX192B			±1	
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB
Offset Error					±2	LSB
Gain Error		External reference, 4.096V			±2	LSB
Gain Temperature Coefficient		External reference, 4.096V		±0.8		ppm/°C
Channel-to-Channel Offset Matching				±0.1		LSB
DYNAMIC SPECIFICATIONS (10kHz sine-wave input, 4.096Vp-p, 133ksps, 2.0MHz external clock)						
Signal-to-Noise + Distortion Ratio	SINAD			66		dB
Total Harmonic Distortion (up to the 5th harmonic)	THD			-70		dB
Spurious-Free Dynamic Range	SFDR			70		dB
Channel-to-Channel Crosstalk		65kHz, V_{IN} = 4.096Vp-p (Note 3)		-75		dB
Small-Signal Bandwidth		-3dB rolloff		4.5		MHz
Full-Power Bandwidth				800		kHz
CONVERSION RATE						
Conversion Time (Note 4)	t_{CONV}	Internal clock	5.5		10	µs
		External clock, 2MHz, 12 clocks/conversion	6			
Track/Hold Acquisition Time	t_{AZ}				1.5	µs
Aperture Delay				10		ns
Aperture Jitter				<50		ps
Internal Clock Frequency				1.7		MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 5V ±5%, f_{CLK} = 2.0MHz, external clock (50% duty cycle), 15 clocks/conversion cycle (133ksps), 4.7µF capacitor at VREF pin, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
External Clock Frequency		External compensation, 4.7µF	0.1		2.0	MHz
		Internal compensation (Note 5)	0.1		0.4	
		Used for data transfer only		10		
ANALOG INPUT						
Analog Input Voltage (Note 6)		Common-mode range (any input)	0		V_{DD}	V
		Single-ended range (unipolar only)	0		V_{REF}	
		Differential range, Unipolar	0		V_{REF}	
		Differential range, Bipolar	$\frac{-V_{REF}}{2}$		$\frac{+V_{REF}}{2}$	
Multiplexer Leakage Current		On/off leakage current, V_{IN} = 0V, 5V		±0.01	±1	µA
Input Capacitance		(Note 5)		16		pF
INTERNAL REFERENCE (reference buffer enabled)						
VREF Output Voltage		T_A = +25°C (Note 7)	4.066	4.096	4.126	V
VREF Short-Circuit Current					30	mA
VREF Tempco				±30		ppm/°C
Load Regulation (Note 8)		0mA to 0.5mA output load		2.5		mV
Capacitive Bypass at VREF		Internal compensation	0			µF
		External compensation	4.7			
Capacitive Bypass at REFADJ		Internal compensation	0.01			µF
		External compensation	0.01			
REFADJ Adjustment Range				±1.5		%
EXTERNAL REFERENCE AT VREF (buffer disabled, VREF = 4.096V)						
Input Voltage Range			2.5		V_{DD} + 50mV	V
Input Current				200	350	µA
Input Resistance			12	20		kΩ
Shutdown VREF Input Current				1.5	10	µA
Buffer Disable Threshold REFADJ			V_{DD} - 50mV			V
EXTERNAL REFERENCE AT REFADJ						
Capacitive Bypass at VREF		Internal compensation mode	0			µF
		External compensation mode	4.7			
Reference-Buffer Gain				1.678		V/V
REFADJ Input Current					±50	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low-Power, 8-Channel, Serial 10-Bit ADC

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 5V ±5%, f_{CLK} = 2.0MHz, external clock (50% duty cycle), 15 clocks/conversion cycle (133ksps), 4.7µF capacitor at VREF pin, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS (DIN, SCLK, $\overline{CS}$, $\overline{SHDN}$)						
DIN, SCLK, $\overline{CS}$ Input High Voltage	V_{INH}		2.4			V
DIN, SCLK, $\overline{CS}$ Input Low Voltage	V_{INL}				0.8	V
DIN, SCLK, $\overline{CS}$ Input Hysteresis	V_{HYST}			0.15		V
DIN, SCLK, $\overline{CS}$ Input Leakage	I_{IN}	V_{IN} = 0V or V_{DD}			±1	µA
DIN, SCLK, $\overline{CS}$ Input Capacitance	C_{IN}	(Note 5)			15	pF
$\overline{SHDN}$ Input High Voltage	V_{INH}		V_{DD} - 0.5			V
$\overline{SHDN}$ Input Low Voltage	V_{INL}				0.5	V
$\overline{SHDN}$ Input Current, High	I_{INH}	$\overline{SHDN}$ = V_{DD}			4.0	µA
$\overline{SHDN}$ Input Current, Low	I_{INL}	$\overline{SHDN}$ = 0V	-4.0			µA
$\overline{SHDN}$ Input Mid Voltage	V_{IM}		1.5		V_{DD} - 1.5	V
$\overline{SHDN}$ Voltage, Floating	V_{FLT}	$\overline{SHDN}$ = open		2.75		V
$\overline{SHDN}$ Max Allowed Leakage, Mid Input		$\overline{SHDN}$ = open	-100		100	nA
DIGITAL OUTPUTS (DOUT, SSTRB)						
Output Voltage Low	V_{OL}	I_{SINK} = 5mA			0.4	V
		I_{SINK} = 16mA		0.3		
Output Voltage High	V_{OH}	I_{SOURCE} = 1mA	4			V
Three-State Leakage Current	I_L	$\overline{CS}$ = 5V			±10	µA
Three-State Leakage Capacitance	C_{OUT}	$\overline{CS}$ = 5V (Note 5)			15	pF
POWER REQUIREMENTS						
Positive Supply Voltage	V_{DD}			5 ±5%		V
Positive Supply Current	I_{DD}	Operating mode		1.5	2.5	mA
		Fast power-down		30	70	µA
		Full power-down		2	10	
Positive Supply Rejection (Note 9)	PSR	V_{DD} = 5V ±5%; external reference, 4.096V; full-scale input		±0.06	±0.5	mV

Note 1: Tested at V_{DD} = 5.0V; single-ended, unipolar.
Note 2: Relative accuracy is the deviation of the analog value at any code from its theoretical value after the full-scale range has been calibrated.
Note 3: Grounded on-channel; sine wave applied to all off channels.
Note 4: Conversion time defined as the number of clock cycles times the clock period; clock has 50% duty cycle.
Note 5: Guaranteed by design. Not subject to production testing.
Note 6: The common-mode range for the analog inputs is from AGND to V_{DD}.
Note 7: Sample tested to 0.1% AQL.
Note 8: External load should not change during conversion for specified accuracy.
Note 9: Measured at V_{SUPPLY} + 5% and V_{SUPPLY} - 5% only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING CHARACTERISTICS

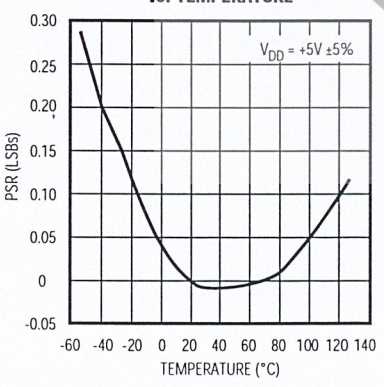
(V_{DD} = 5V ±5%, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Acquisition Time	t_{AZ}		1.5			µs
DIN to SCLK Setup	t_{DS}		100			ns
DIN to SCLK Hold	t_{DH}				0	ns
SCLK Fall to Output Data Valid	t_{DO}	C_{LOAD} = 100pF	20		150	ns
$\overline{CS}$ Fall to Output Enable	t_{DV}	C_{LOAD} = 100pF			100	ns
$\overline{CS}$ Rise to Output Disable	t_{TR}	C_{LOAD} = 100pF			100	ns
$\overline{CS}$ to SCLK Rise Setup	t_{CSS}		100			ns
$\overline{CS}$ to SCLK Rise Hold	t_{CSH}		0			ns
SCLK Pulse Width High	t_{CH}		200			ns
SCLK Pulse Width Low	t_{CL}		200			ns
SCLK Fall to SSTRB	t_{SSTRB}	C_{LOAD} = 100pF			200	ns
$\overline{CS}$ Fall to SSTRB Output Enable (Note 5)	t_{SDV}	External clock mode only, C_{LOAD} = 100pF			200	ns
$\overline{CS}$ Rise to SSTRB Output Disable (Note 5)	t_{STR}	External clock mode only, C_{LOAD} = 100pF			200	ns
SSTRB Rise to SCLK Rise (Note 5)	t_{SCK}	Internal clock mode only	0			ns

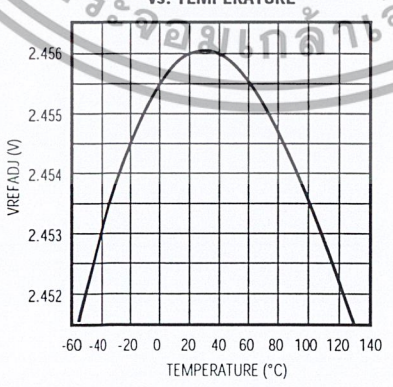
Note 5: Guaranteed by design. Not subject to production testing.

Typical Operating Characteristics

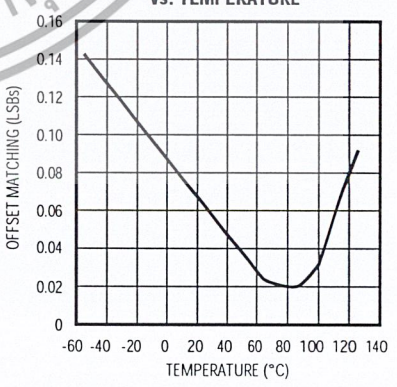
POWER-SUPPLY REJECTION vs. TEMPERATURE



INTERNAL REFERENCE VOLTAGE vs. TEMPERATURE



CHANNEL-TO-CHANNEL OFFSET MATCHING vs. TEMPERATURE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low-Power, 8-Channel, Serial 10-Bit ADCs

Pin Description

PIN	NAME	FUNCTION
1–8	CH0–CH7	Sampling Analog Inputs
9, 13	AGND	Analog Ground. Also IN- Input for single-enabled conversions. Connect both AGND pins to analog ground.
10	$\overline{SHDN}$	Three-Level Shutdown Input. Pulling SHDN low shuts the MAX192 down to 10µA (max) supply current, otherwise the MAX192 is fully operational. Pulling SHDN high puts the reference-buffer amplifier in internal compensation mode. Letting SHDN float puts the reference-buffer amplifier in external compensation mode.
11	VREF	Reference Voltage for analog-to-digital conversion. Also, Output of the Reference Buffer Amplifier. Add a 4.7µF capacitor to ground when using external compensation mode. Also functions as an input when used with a precision external reference.
12	REFADJ	Reference-Buffer Amplifier Input. To disable the reference-buffer amplifier, tie REFADJ to V_{DD}.
14	DGND	Digital Ground
15	DOUT	Serial Data Output. Data is clocked out at the falling edge of SCLK. High impedance when $\overline{CS}$ is high.
16	SSTRB	Serial Strobe Output. In internal clock mode, SSTRB goes low when the MAX192 begins the A/D conversion and goes high when the conversion is done. In external clock mode, SSTRB pulses high for one clock period before the MSB decision. SSTRB is high impedance when $\overline{CS}$ is high (external mode).
17	DIN	Serial Data Input. Data is clocked in at the rising edge of SCLK.
18	$\overline{CS}$	Active-Low Chip Select. Data will not be clocked into DIN unless $\overline{CS}$ is low. When $\overline{CS}$ is high, DOUT is high impedance.
19	SCLK	Serial Clock Input. Clocks data in and out of serial interface. In external clock mode, SCLK also sets the conversion speed. (Duty cycle must be 40% to 60% in external clock mode.)
20	V_{DD}	Positive Supply Voltage, +5V ±5%

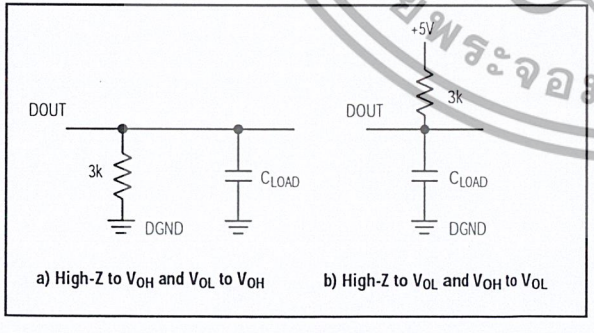


Figure 1. Load Circuits for Enable Time

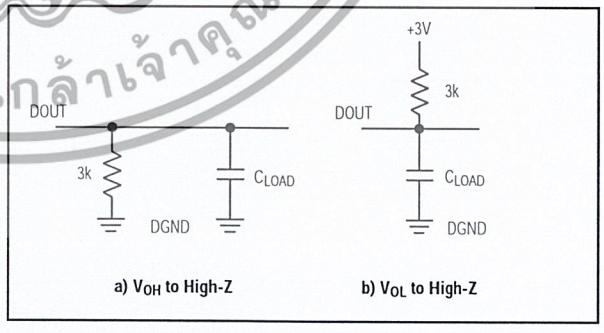


Figure 2. Load Circuits for Disabled Time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

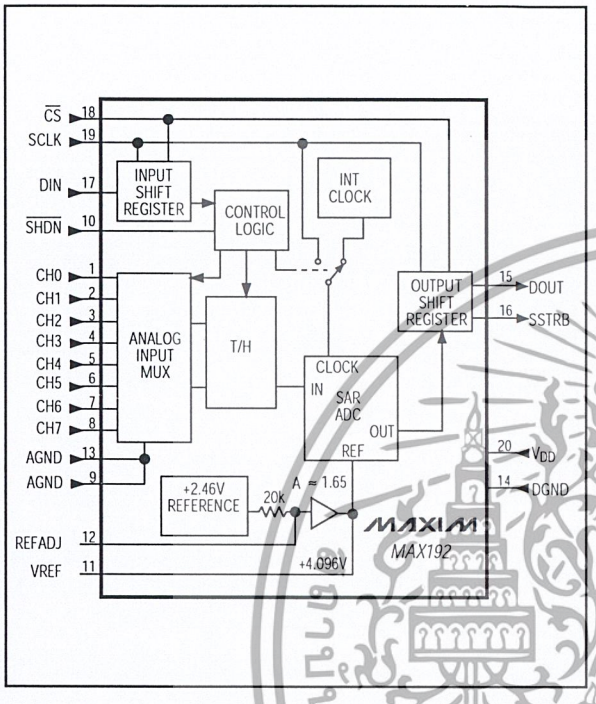


Figure 3. Block Diagram

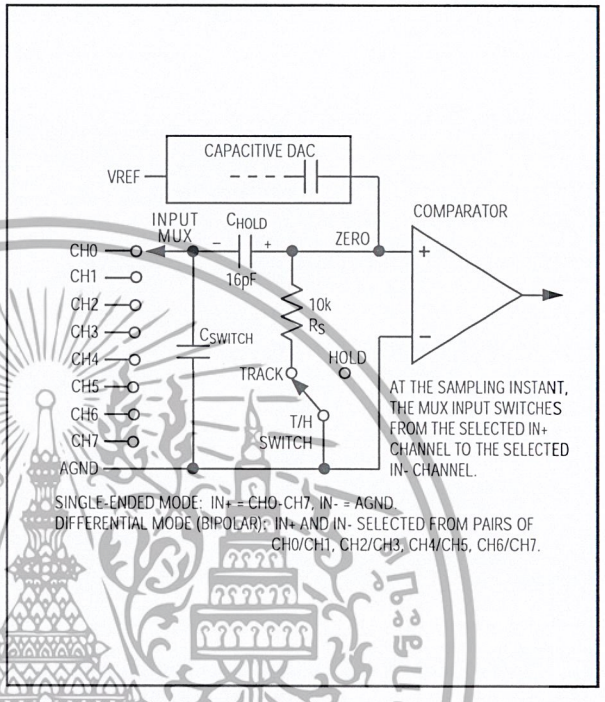


Figure 4. Equivalent Input Circuit

Detailed Description

The MAX192 uses a successive-approximation conversion technique and input track/hold (T/H) circuitry to convert an analog signal to a 10-bit digital output. A flexible serial interface provides easy interface to microprocessors. No external hold capacitors are required. Figure 3 shows the block diagram for the MAX192.

Pseudo-Differential Input

The sampling architecture of the ADC's analog comparator is illustrated in the Equivalent Input Circuit (Figure 4). In single-ended mode, IN+ is internally switched to CH0–CH7 and IN- is switched to AGND. In differential mode, IN+ and IN- are selected from pairs of CH0/CH1, CH2/CH3, CH4/CH5, and CH6/CH7. Refer to Tables 1 and 2 to configure the channels.

In differential mode, IN- and IN+ are internally switched to either one of the analog inputs. This configuration is pseudo-differential to the effect that only the signal at IN+ is sampled. The return side (IN-) must remain stable within ±0.5LSB (±0.1LSB for best results) with respect to AGND during a conversion. Accomplish this by connecting a 0.1µF capacitor from AIN- (the selected analog input, respectively) to AGND.

During the acquisition interval, the channel selected as the positive input (IN+) charges capacitor C_{HOLD}. The acquisition interval spans three SCLK cycles and ends on the falling SCLK edge after the last bit of the input control word has been entered. At the end of the acquisition interval, the T/H switch opens, retaining charge on C_{HOLD} as a sample of the signal at IN+.

The conversion interval begins with the input multiplexer switching C_{HOLD} from the positive input (IN+) to the negative input (IN-). In single-ended mode, IN- is simply AGND. This unbalances node ZERO at the input of the comparator. The capacitive DAC adjusts during the remainder of the conversion cycle to restore its node ZERO to 0V within the limits of its resolution. This action is equivalent to transferring a charge of 16pF x (V_{IN+} - V_{IN-}) from C_{HOLD} to the binary-weighted capacitive DAC, which in turn forms a digital representation of the analog input signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low-Power, 8-Channel, Serial 10-Bit ADC

Track/Hold

The T/H enters its tracking mode on the falling clock edge after the fifth bit of the 8-bit control word has been shifted in. The T/H enters its hold mode on the falling clock edge after the eighth bit of the control word has been shifted in. If the converter is set up for single-ended inputs, IN- is connected to AGND, and the converter samples the "+" input. If the converter is set up for differential inputs, IN- connects to the "-" input, and the difference of |IN+ - IN-| is sampled. At the end of the conversion, the positive input connects back to IN+, and C_{HOLD} charges to the input signal.

The time required for the T/H to acquire an input signal is a function of how quickly its input capacitance is charged. If the input signal's source impedance is high, the acquisition time lengthens and more time must be allowed between conversions. Acquisition time is calculated by:

$$t_{AZ} = 9 (R_S + R_{IN}) 16pF$$

where R_{IN} = 5kΩ, R_S = the source impedance of the input signal, and tAZ is never less than 1.5µs. Note that source impedances below 5kW do not significantly affect the AC performance of the ADC. Higher source impedances can be used if an input capacitor is connected to the analog inputs, as shown in Figure 5. Note that the input capacitor forms an RC filter with the input source impedance, limiting the ADC's signal bandwidth.

Input Bandwidth

The ADC's input tracking circuitry has a 4.5MHz small-signal bandwidth, so it is possible to digitize high-speed transient events and measure periodic signals with bandwidths exceeding the ADC's sampling rate by using undersampling techniques. To avoid high-frequency signals being aliased into the frequency band of interest, anti-alias filtering is recommended. See the data sheets for the MAX291–MAX297 filters.

Analog Input Range and Input Protection

Internal protection diodes, which clamp the analog input to V_{DD} and AGND, allow the channel input pins to swing from AGND - 0.3V to V_{DD} + 0.3V without damage. However, for accurate conversions near full scale, the inputs must not exceed V_{DD} by more than 50mV, or be lower than AGND by 50mV.

If the analog input exceeds 50mV beyond the supplies, do not forward bias the protection diodes of off channels over 2mA.

The MAX192 can be configured for differential (unipolar or bipolar) or single-ended (unipolar only) inputs, as selected by bits 2 and 3 of the control byte (Table 3).

In the single-ended mode, set the UNI/BIP bit to unipolar. In this mode, analog inputs are internally referenced to AGND, with a full-scale input range from 0V to V_{REF}.

In differential mode, both unipolar and bipolar settings can be used. Choosing unipolar mode sets the differential input range at 0V to V_{REF}. The output code is invalid (code zero) when a negative differential input voltage is applied. Bipolar mode sets the differential input range to ±V_{REF} / 2. Note that in this differential mode, the common-mode input range includes both supply rails. Refer to Tables 4a and 4b for input voltage ranges.

Quick Look

To evaluate the analog performance of the MAX192 quickly, use Figure 5's circuit. The MAX192 requires a control byte to be written to DIN before each conversion. Tying DIN to +5V feeds in control bytes of

Table 1. Channel Selection in Single-Ended Mode (SGL/$\overline{DIF}$ = 1)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	AGND
0	0	0	+								–
1	0	0		+							–
0	0	1			+						–
1	0	1				+					–
0	1	0					+				–
1	1	0						+			–
0	1	1							+		–
1	1	1								+	–

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. Channel Selection in Differential Mode (SGL/$\overline{DIF}$ = 0)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
0	0	0	+	–						
0	0	1			+	–				
0	1	0					+	–		
0	1	1							+	–
1	0	0	–	+						
1	0	1			–	+				
1	1	0					–	+		
1	1	1							–	+

Table 3. Control-Byte Format

Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)
START	SEL2	SEL1	SEL0	UNI/$\overline{BIP}$	SGL/$\overline{DIF}$	PD1	PD0

Bit	Name	Description
7(MSB)	START	The first logic "1" bit after $\overline{CS}$ goes low defines the beginning of the control byte.
6 5 4	SEL2 SEL1 SEL0	These three bits select which of the eight channels are used for the conversion. See Tables 1 and 2.
3	UNI/$\overline{BIP}$	**1** = unipolar, **0** = bipolar. Selects unipolar or bipolar conversion mode. In unipolar mode, an analog input signal from 0V to VREF can be converted; in differential bipolar mode, the differential signal can range from -VREF / 2 to +VREF / 2. Select differential operation if bipolar mode is used.
2	SGL/$\overline{DIF}$	**1** = single ended, **0** = differential. Selects single-ended or differential conversions. In single-ended mode, input signal voltages are referred to AGND. In differential mode, the voltage difference between two channels is measured. Select unipolar operation if single-ended mode is used. See Tables 1 and 2.
1 0(LSB)	PD1 PD0	Selects clock and power-down modes. PD1 PD0 Mode **0** **0** Full power-down (I_Q = 2µA) **0** **1** Fast power-down (I_Q = 30µA) **1** **0** Internal clock mode **1** **1** External clock mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low-Power, 8-Channel, Serial 10-Bit ADC

Table 4a. Unipolar Full Scale and Zero Scale

REFERENCE		ZERO SCALE	FULL SCALE
Internal Reference		0V	+4.096V
External Reference	at REFADJ	0V	V_{REFADJ} (1.678)
	at VREF	0V	V_{REF}

Table 4b. Differential Bipolar Full Scale, Zero Scale, and Negative Full Scale

REFERENCE		NEGATIVE FULL SCALE	ZERO SCALE	FULL SCALE
Internal Reference		-4.096V / 2	0V	+4.096V / 2
External Reference	at REFADJ	$-1/2V_{REFADJ}$ (1.678)	0V	$+1/2V_{REFADJ}$ (1.678)
	0.at VREF	$-1/2V_{REF}$	0V	$+1/2V_{REF}$

$FF (HEX), which trigger single-ended conversions on CH7 in external clock mode without powering down between conversions. In external clock mode, the SSTRB output pulses high for one clock period before the most significant bit of the conversion result comes out of DOUT. Varying the analog input to CH7 should alter the sequence of bits from DOUT. A total of 15 clock cycles is required per conversion. All transitions of the SSTRB and DOUT outputs occur on the falling edge of SCLK.

How to Start a Conversion

A conversion is started on the MAX192 by clocking a control byte into DIN. Each rising edge on SCLK, with $\overline{CS}$ low, clocks a bit from DIN into the MAX192's internal shift register. After $\overline{CS}$ falls, the first arriving logic "1" bit defines the MSB of the control byte. Until this first "start" bit arrives, any number of logic "0" bits can be clocked into DIN with no effect. Table 3 shows the control-byte format.

The MAX192 is compatible with Microwire, SPI, and QSPI devices. For SPI, select the correct clock polarity and sampling edge in the SPI control registers: set CPOL = 0 and CPHA = 0. Microwire and SPI both transmit a byte and receive a byte at the same time. Using the *Typical Operating Circuit*, the simplest software interface requires only three 8-bit transfers to perform a conversion (one 8-bit transfer to configure the ADC, and two more 8-bit transfers to clock out the 12-bit conversion result).

Example: Simple Software Interface

Make sure the CPU's serial interface runs in master mode so the CPU generates the serial clock. Choose a clock frequency from 100kHz to 2MHz.

1) Set up the control byte for external clock mode, call it TB1. TB1 should be of the format: 1XXXXX11 binary, where the Xs denote the particular channel and conversion-mode selected.
2) Use a general-purpose I/O line on the CPU to pull $\overline{CS}$ on the MAX192 low.
3) Transmit TB1 and simultaneously receive a byte and call it RB1. Ignore RB1.
4) Transmit a byte of all zeros ($00 HEX) and simultaneously receive byte RB2.
5) Transmit a byte of all zeros ($00 HEX) and simultaneously receive byte RB3.
6) Pull $\overline{CS}$ on the MAX192 high.

Figure 6 shows the timing for this sequence. Bytes RB2 and RB3 will contain the result of the conversion padded with one leading zero, two sub-LSB bits, and three trailing zeros. The total conversion time is a function of the serial clock frequency and the amount of dead time between 8-bit transfers. Make sure that the total conversion time does not exceed 120µs, to avoid excessive T/H droop.

Digital Output

In unipolar input mode, the output is straight binary (Figure 15). For bipolar inputs in differential mode, the output is twos-complement (Figure 16). Data is clocked out at the falling edge of SCLK in MSB-first format.

Internal and External Clock Modes

The MAX192 may use either an external serial clock or the internal clock to perform the successive-approximation conversion. In both clock modes, the external clock shifts data in and out of the MAX192. The T/H acquires the input signal as the last three bits of the control byte are clocked into DIN. Bits PD1 and PD0 of the control byte program the clock mode. Figures 7 through 10 show the timing characteristics common to both modes.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

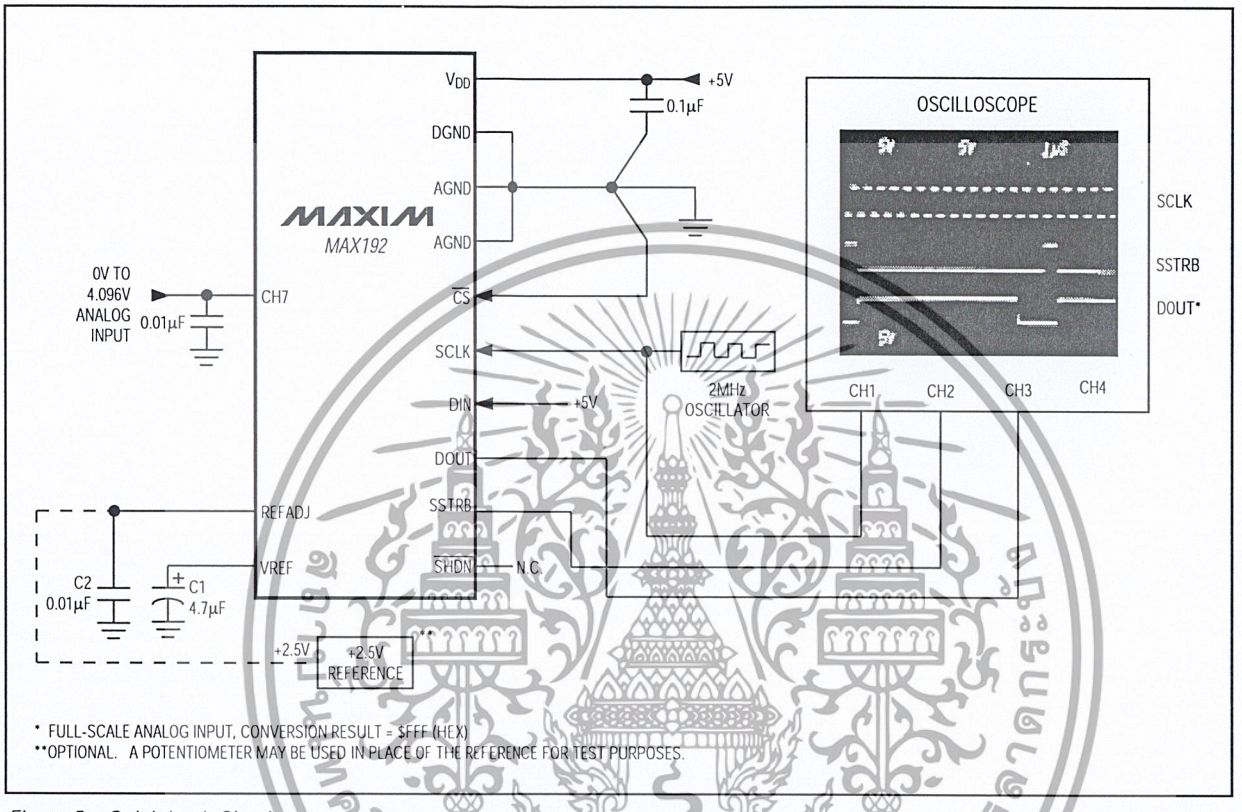


Figure 5. Quick-Look Circuit

External Clock

In external clock mode, the external clock not only shifts data in and out, it also drives the analog-to-digital conversion steps. SSTRB pulses high for one clock period after the last bit of the control byte. Successive-approximation bit decisions are made and appear at DOUT on each of the next 12 SCLK falling edges (see Figure 6). The first 10 bits are the true data bits, and the last two are sub-LSB bits.

$\overline{SS}$TRB and DOUT go into a high-impedance state when $\overline{CS}$ goes high; after the next $\overline{CS}$ falling edge, SSTRB will output a logic low. Figure 8 shows the SSTRB timing in external clock mode.

The conversion must complete in some minimum time, or else droop on the sample-and-hold capacitors may degrade conversion results. Use internal clock mode if the clock period exceeds 10µs, or if serial-clock interruptions could cause the conversion interval to exceed 120µs.

Internal Clock

In internal clock mode, the MAX192 generates its own conversion clock internally. This frees the microprocessor from the burden of running the SAR conversion clock, and allows the conversion results to be read back at the processor's convenience, at any clock rate from zero to typically 10MHz. SSTRB goes low at the start of the conversion and then goes high when the conversion is complete. SSTRB will be low for a maximum of 10µs, during which time SCLK should remain low for best noise performance. An internal register stores data when the conversion is in progress. SCLK clocks the data out at this register at any time after the conversion is complete. After SSTRB goes high, the next falling clock edge will produce the MSB of the conversion at DOUT, followed by the remaining bits in MSB-first format (Figure 9). $\overline{CS}$ does not need to be held low once a conversion is started.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low-Power, 8-Channel, Serial 10-Bit ADC

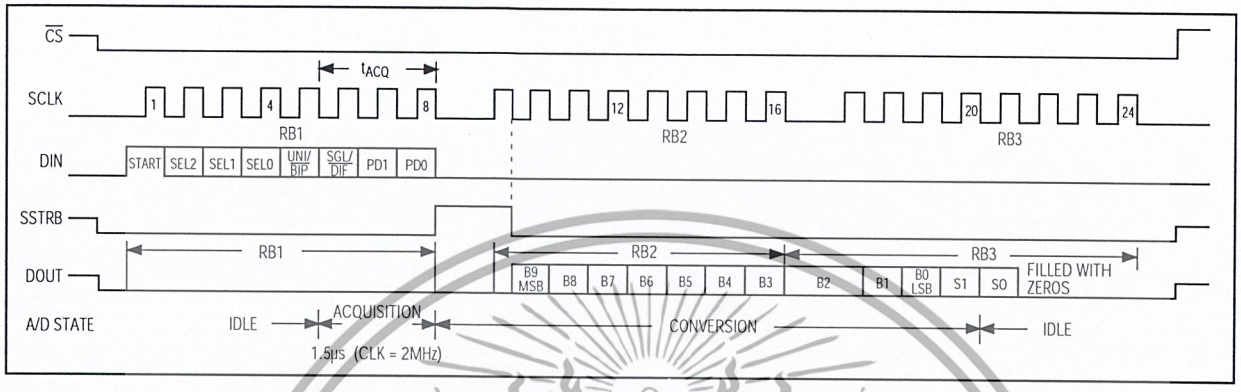


Figure 6. 24-Bit External Clock Mode Conversion Timing (SPI, QSPI and Microwire Compatible)

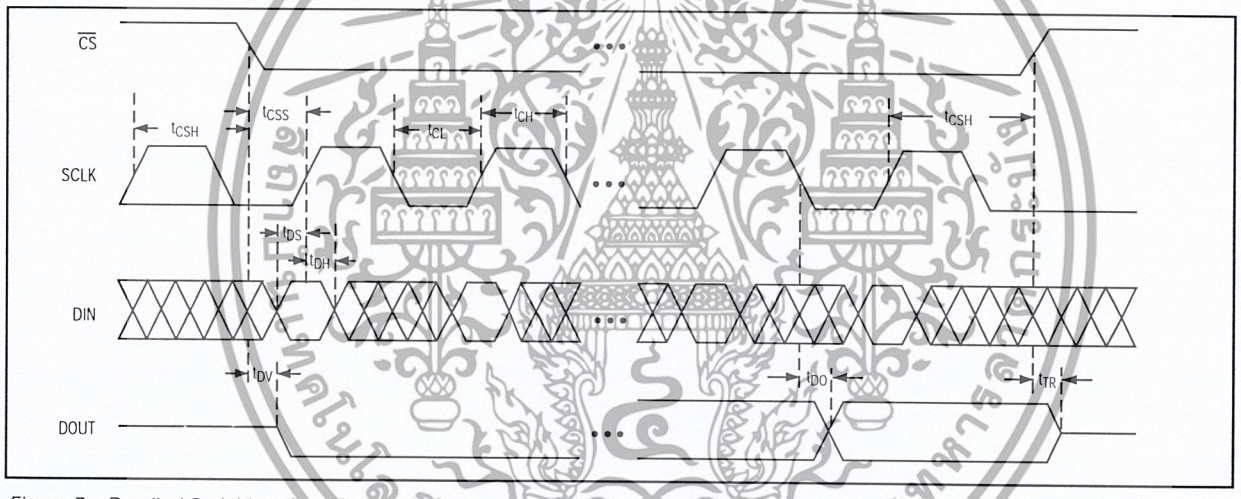


Figure 7. Detailed Serial-Interface Timing

Pulling $\overline{CS}$ high prevents data from being clocked into the MAX192 and three-states DOUT, but it does not adversely affect an internal clock-mode conversion already in progress. When internal clock mode is selected, SSTRB does not go into a high-impedance state when $\overline{CS}$ goes high.

Figure 10 shows the SSTRB timing in internal clock mode. In internal clock mode, data can be shifted in and out of the MAX192 at clock rates exceeding 4.0MHz, provided that the minimum acquisition time, t_{AZ}, is kept above 1.5µs.

Data Framing

The falling edge of $\overline{CS}$ does **not** start a conversion on the MAX192. The first logic high clocked into DIN is interpreted as a start bit and defines the first bit of the control byte. A conversion starts on the falling edge of SCLK, after the eighth bit of the control byte (the PD0 bit) is clocked into DIN. The start bit is defined as:

The first high bit clocked into DIN with $\overline{CS}$ low anytime the converter is idle, e.g. after V_{DD} is applied.

OR

The first high bit clocked into DIN after bit 3 of a conversion in progress is clocked onto the DOUT pin.

If a falling edge on $\overline{CS}$ forces a start bit before bit 3 (B3) becomes available, then the current conversion will be terminated and a new one started. Thus, the fastest the MAX192 can run is 15 clocks per conversion. Figure 11a shows the serial-interface timing necessary to perform a conversion every 15 SCLK cycles in external clock mode. If $\overline{CS}$ is low and SCLK is continuous, guarantee a start bit by first clocking in 16 zeros.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

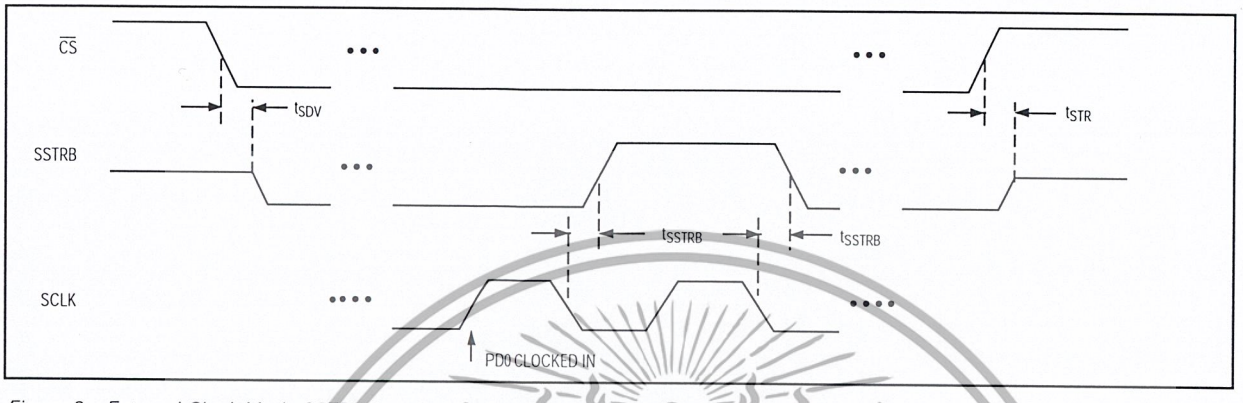


Figure 8. External Clock Mode SSTRB Detailed Timing

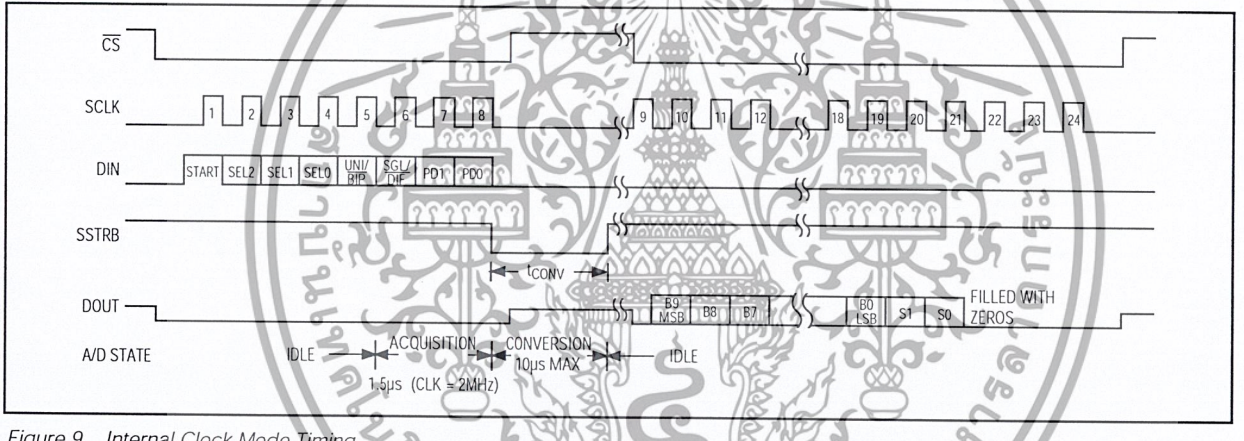


Figure 9. Internal Clock Mode Timing

Most microcontrollers require that conversions occur in multiples of 8 SCLK clocks; 16 clocks per conversion will typically be the fastest that a microcontroller can drive the MAX192. Figure 11b shows the serial-interface timing necessary to perform a conversion every 16 SCLK cycles in external clock mode.

Applications Information

Power-On Reset

When power is first applied and if $\overline{SHDN}$ is not pulled low, internal power-on reset circuitry will activate the MAX192 in internal clock mode, ready to convert with SSTRB = high. After the power supplies have been stabilized, the internal reset time is 100µs and no conversions should be performed during this phase. SSTRB is high on power-up and, if $\overline{CS}$ is low, the first logical 1 on DIN will be interpreted as a start bit. Until a conversion takes place, DOUT will shift out zeros.

Reference-Buffer Compensation

In addition to its shutdown function, the $\overline{SHDN}$ pin also selects internal or external compensation. The compensation affects both power-up time and maximum conversion speed. Compensated or not, the minimum clock rate is 100kHz due to droop on the sample-and-hold.

To select external compensation, float $\overline{SHDN}$. See the *Typical Operating Circuit*, which uses a 4.7µF capacitor at VREF. A value of 4.7µF or greater ensures stability and allows operation of the converter at the full clock speed of 2MHz. External compensation increases power-up time (see the *Choosing Power-Down Mode* section, and Table 5).

Internal compensation requires no external capacitor at VREF, and is selected by pulling $\overline{SHDN}$ high. Internal compensation allows for shortest power-up times, but is only available using an external clock and reduces the maximum clock rate to 400kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low-Power, 8-Channel, Serial 10-Bit ADC

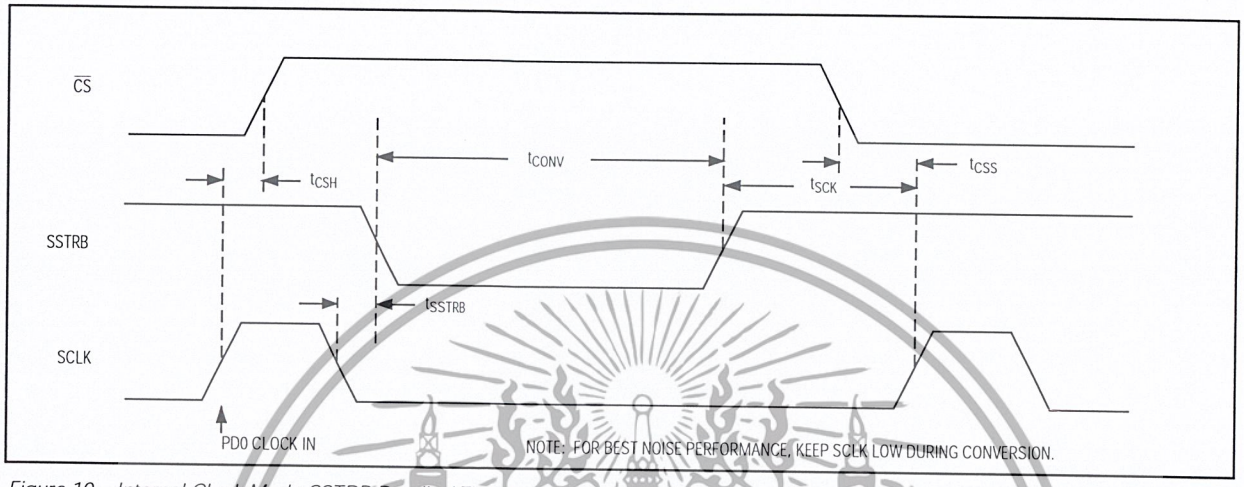


Figure 10. Internal Clock Mode SSTRB Detailed Timing

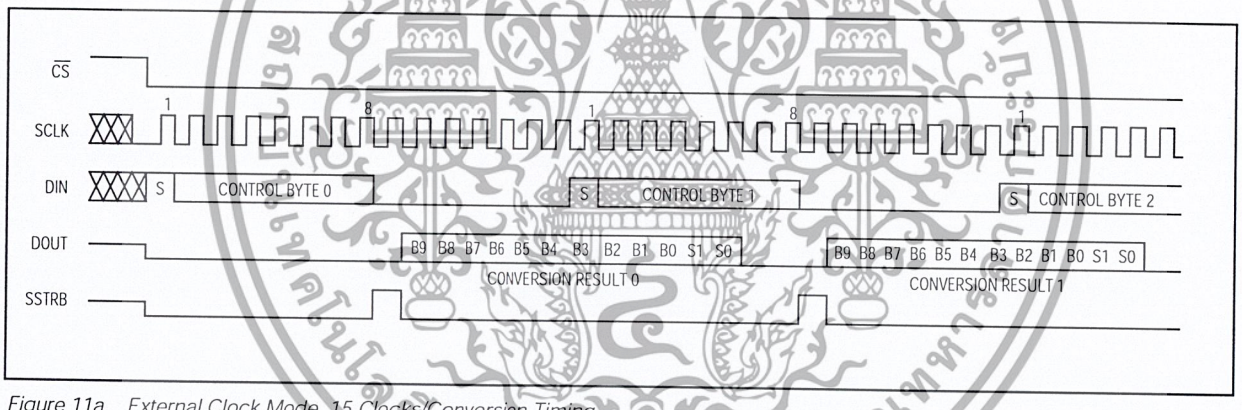


Figure 11a. External Clock Mode, 15 Clocks/Conversion Timing

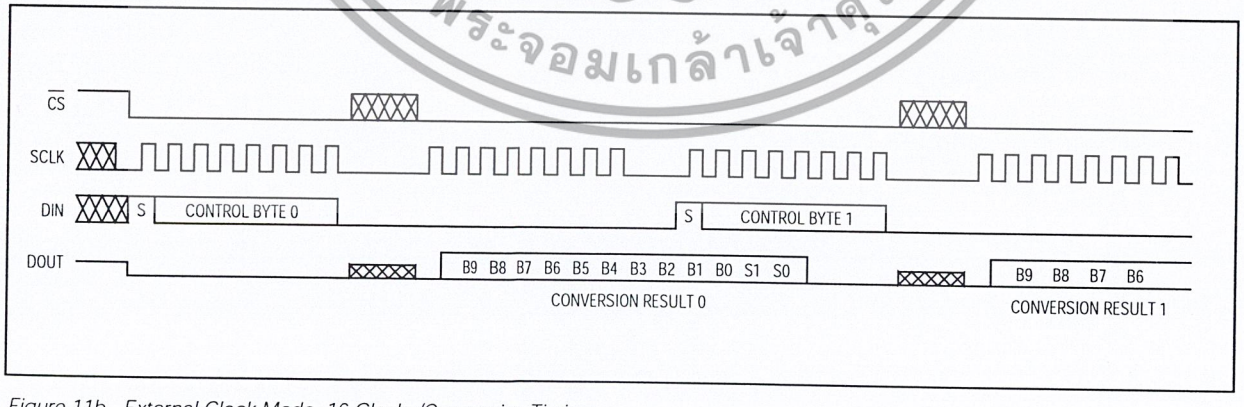


Figure 11b. External Clock Mode, 16 Clocks/Conversion Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

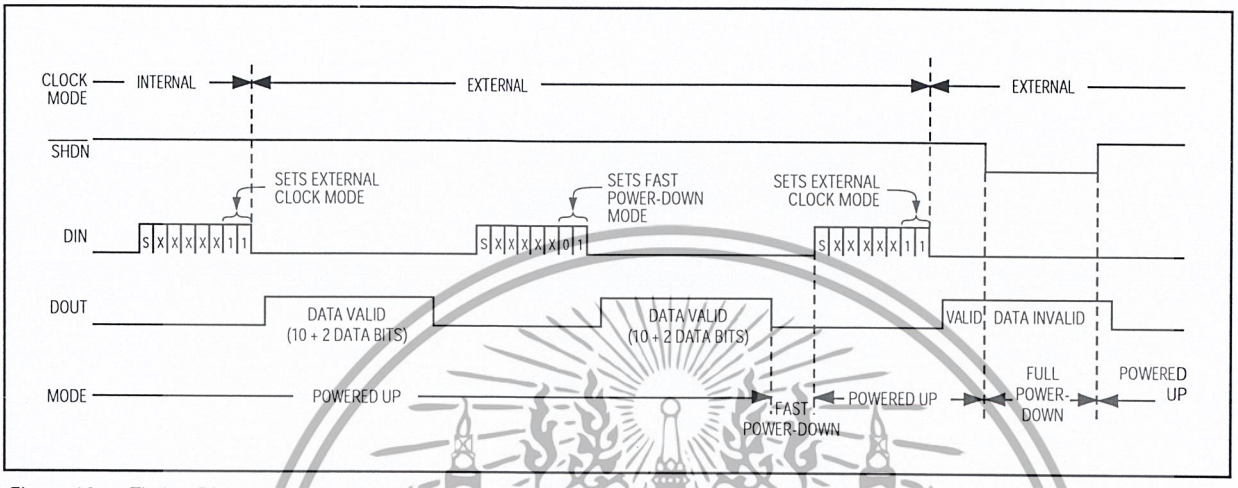


Figure 12a. Timing Diagram Power-Down Modes, External Clock

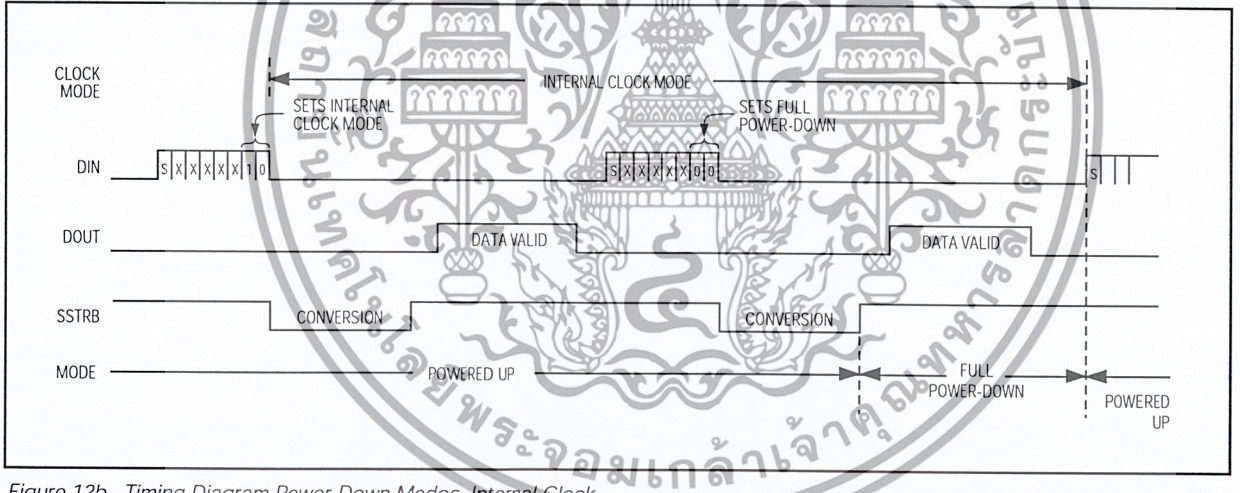


Figure 12b. Timing Diagram Power-Down Modes, Internal Clock

Power-Down

Choosing Power-Down Mode

You can save power by placing the converter in a low-current shutdown state between conversions. Select full power-down or fast power-down mode via bits 1 and 0 of the DIN control byte with $\overline{SHDN}$ either high or floating (see Tables 3 and 6). Pull $\overline{SHDN}$ low at any time to shut down the converter completely. $\overline{SHDN}$ overrides bits 1 and 0 of DIN word (see Table 7).

Full power-down mode turns off all chip functions that draw quiescent current, typically reducing I_{DD} to 2µA.

Fast power-down mode turns off all circuitry except the bandgap reference. With the fast power-down mode, the supply current is 30µA. Power-up time can be shortened to 5µs in internal compensation mode.

In both software shutdown modes, the serial interface remains operational, however, the ADC will not convert. Table 5 illustrates how the choice of reference-buffer compensation and power-down mode affects both power-up delay and maximum sample rate.

In external compensation mode, the power-up time is 20ms with a 4.7µF compensation capacitor when the capacitor is fully discharged. In fast power-down, you can eliminate start-up time by using low-leakage capaci-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low-Power, 8-Channel, Serial 10-Bit ADC

Table 5. Worst-Case Power-Up Delay Times

Reference Buffer	Reference-Buffer Compensation Mode	VREF Capacitor (µF)	Power-Down Mode	Power-Up Delay (sec)	Maximum Sampling Rate (ksps)
Enabled	Internal		Fast	5µ	26
Enabled	Internal		Full	300µ	26
Enabled	External	4.7	Fast	See Figure 14c	133
Enabled	External	4.7	Full	See Figure 14c	133
Disabled			Fast	2µ	133
Disabled			Full	2µ	133

Table 6. Software Shutdown and Clock Mode

PD1	PD0	Device Mode
1	1	External Clock Mode
1	0	Internal Clock Mode
0	1	Fast Power-Down Mode
0	0	Full Power-Down Mode

Table 7. Hard-Wired Shutdown and Compensation Mode

SHDN State	Device Mode	Reference-Buffer Compensation
1	Enabled	Internal Compensation
Floating	Enabled	External Compensation
0	Full Power-Down	N/A

tors that will not discharge more than 1/2LSB while shut down. In shutdown, the capacitor has to supply the current into the reference (1.5µA typ) and the transient currents at power-up.

Figures 12a and 12b illustrate the various power-down sequences in both external and internal clock modes.

Software Power-Down

Software power-down is activated using bits PD1 and PD0 of the control byte. As shown in Table 6, PD1 and PD0 also specify the clock mode. When software shutdown is asserted, the ADC will continue to operate in the last specified clock mode until the conversion is complete. Then the ADC powers down into a low quiescent-current state. In internal clock mode, the interface remains active and conversion results may be clocked out while the MAX192 has already entered a software power-down.

The first logical 1 on DIN will be interpreted as a start bit, and powers up the MAX192. Following the start bit, the data input word or control byte also determines clock and power-down modes. For example, if the DIN word contains PD1 = 1, then the chip will remain powered up. If PD1 = 0, a power-down will resume after one conversion.

Hardware Power-Down

The SHDN pin places the converter into the full power-down mode. Unlike with the software shutdown modes, conversion is not completed. It stops coincidentally with SHDN being brought low. There is no power-up delay if an external reference is used and is not shut down. The SHDN pin also selects internal or external reference compensation (see Table 7).

Power-Down Sequencing

The MAX192 auto power-down modes can save considerable power when operating at less than maximum sample rates. The following discussion illustrates the various power-down sequences.

Lowest Power at up to 500 Conversions/Channel/Second

The following examples illustrate two different power-down sequences. Other combinations of clock rates, compensation modes, and power-down modes may give lowest power consumption in other applications.

Figure 14a depicts the MAX192 power consumption for one or eight channel conversions utilizing full power-down mode and internal reference compensation. A 0.01µF bypass capacitor at REFADJ forms an

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

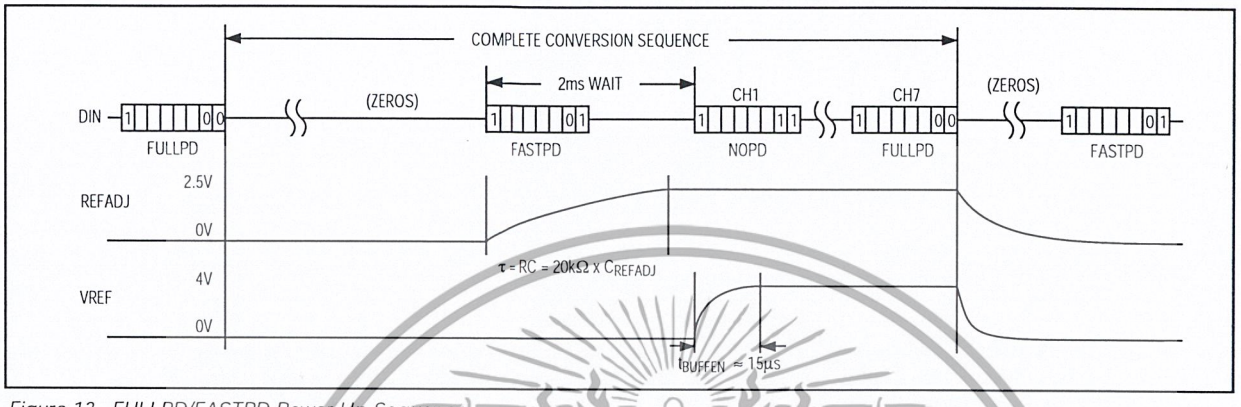


Figure 13. FULLPD/FASTPD Power-Up Sequence

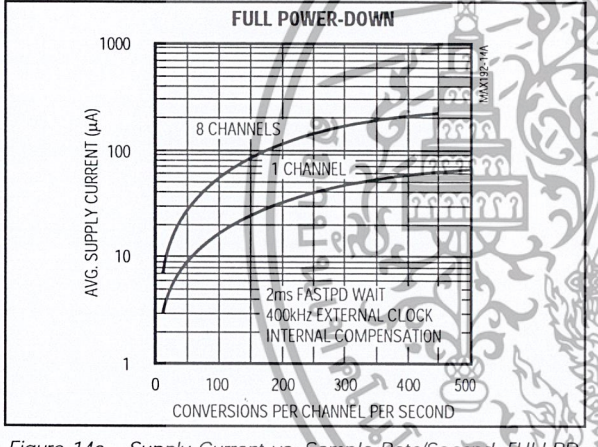


Figure 14a. Supply Current vs. Sample Rate/Second, FULLPD, 400kHz Clock

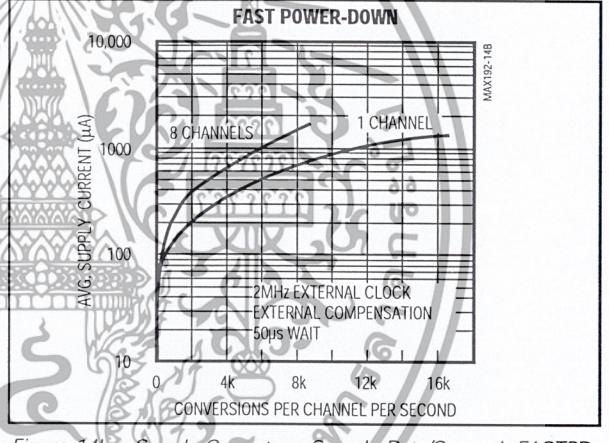


Figure 14b. Supply Current vs. Sample Rate/Second, FASTPD, 2MHz Clock

RC filter with the internal 20kΩ reference resistor with a 0.2ms time constant. To achieve full 10-bit accuracy, 10 time constants or 2ms are required after power-up. Waiting 2ms in FASTPD mode instead of full power-up will reduce the power consumption by a factor of 10 or more. This is achieved by using the sequence shown in Figure 13.

Lowest Power at Higher Throughputs

Figure 14b shows the power consumption with external-reference compensation in fast power-down, with one and eight channels converted. The external 4.7µF compensation requires a 50µs wait after power-up, accomplished by 75 idle clocks after a dummy conversion. This circuit combines fast multi-channel conversion with lowest power consumption possible. Full power-down mode may provide increased power savings in applications where the

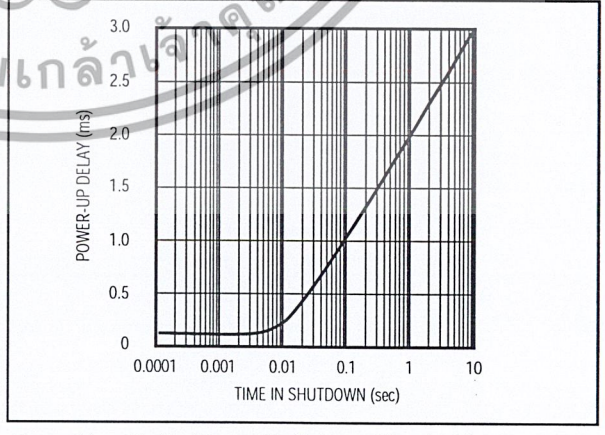


Figure 14c. Typical Power-Up Delay vs. Time in Shutdown

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low-Power, 8-Channel, Serial 10-Bit ADC

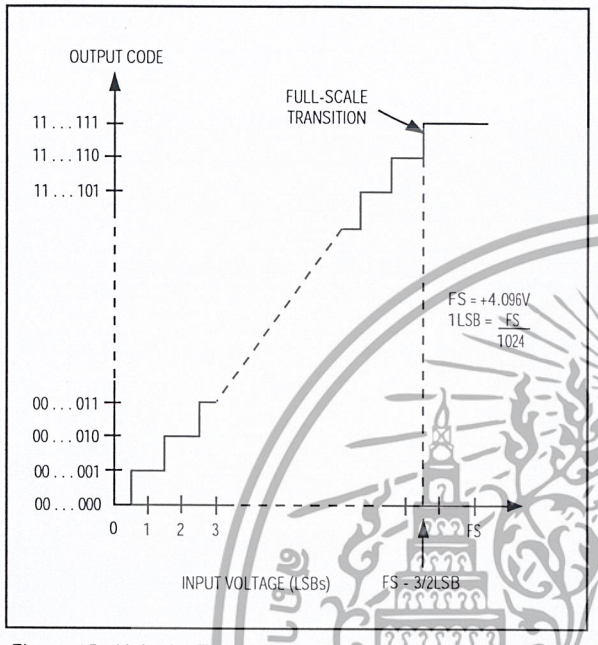


Figure 15. Unipolar Transfer Function, 4.096V = Full Scale

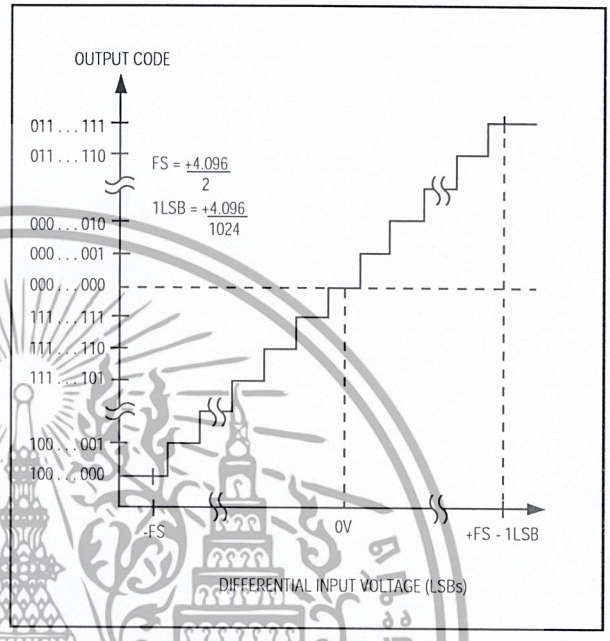


Figure 16. Differential Bipolar Transfer Function, ±4.096V / 2 = Full Scale

MAX192 is inactive for long periods of time, but where intermittent bursts of high-speed conversions are required.

External and Internal References

The MAX192 can be used with an internal or external reference. Diode D1 shown in the *Typical Operating Circuit* ensures correct start-up. Any standard signal diode can be used. An external reference can either be connected directly at the VREF terminal or at the REFADJ pin.

The MAX192's internally trimmed 2.46V reference is buffered with a gain of 1.678 to scale an external 2.5V reference at REFADJ to 4.096V at VREF.

Internal Reference

The full-scale range of the MAX192 with internal reference is 4.096V with unipolar inputs, and ±2.048V with differential bipolar inputs. The internal reference voltage is adjustable to ±1.5% with the Reference-Adjust Circuit of Figure 17.

External Reference

An external reference can be placed at either the input (REFADJ) or the output (VREF) of the internal buffer amplifier. The REFADJ input impedance is typically 20kΩ. At VREF, the input impedance is a minimum of 12kΩ for DC currents. During conversion, an external reference at VREF must be able to deliver up to 350µA DC load current and have an output impedance of 10Ω or less. If the reference has higher output impedance or is noisy, bypass it close to the VREF pin with a 4.7µF capacitor.

Using the buffered REFADJ input avoids external buffering of the reference. To use the direct VREF input, disable the internal buffer by tying REFADJ to V_{DD}.

Transfer Function and Gain Adjust

Figure 15 depicts the nominal, unipolar input/output (I/O) transfer function, and Figure 16 shows the differential bipolar input/output transfer function. Code transitions occur halfway between successive integer LSB values. Output coding is binary with 1LSB = 4.00mV (4.096V / 1024) for unipolar operation and 1LSB = 4.00mV [(4.096V / 2 - -4.096V / 2)/1024] for bipolar operation.

Figure 17, the Reference-Adjust Circuit, shows how to adjust the ADC gain in applications that use the internal reference. The circuit provides ±1.5% (±15LSBs) of gain adjustment range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

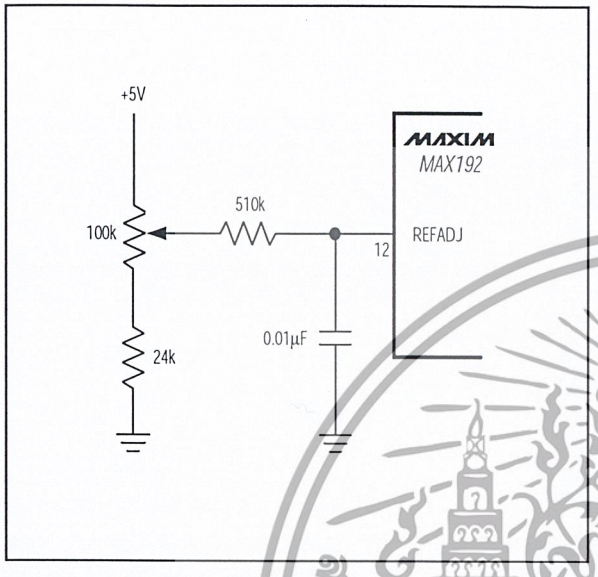


Figure 17. Reference-Adjust Circuit

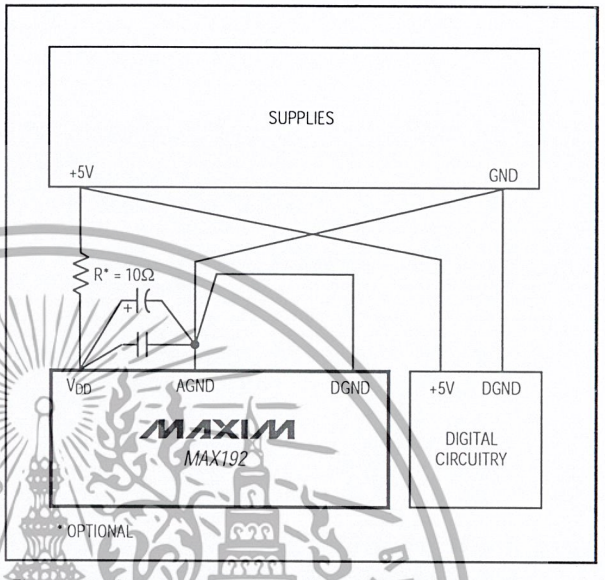


Figure 18. Power-Supply Grounding Connection

Layout, Grounding, Bypassing

For best performance, use printed circuit boards. Wire-wrap boards are not recommended. Board layout should ensure that digital and analog signal lines are separated from each other. Do not run analog and digital (especially clock) lines parallel to one another, or digital lines underneath the ADC package.

Figure 18 shows the recommended system ground connections. A single-point analog ground ("star" ground point) should be established at AGND, separate from the logic ground. All other analog grounds and DGND should be connected to this ground. No other digital system ground should be connected to this single-point analog ground. The ground return to the power supply for this ground should be low impedance and as short as possible for noise-free operation.

High-frequency noise in the V_{DD} power supply may affect the high-speed comparator in the ADC. Bypass these supplies to the single-point analog ground with 0.1µF and 4.7µF bypass capacitors close to the MAX192. Minimize capacitor lead lengths for best supply-noise rejection. If the +5V power supply is very noisy, a 10Ω resistor can be connected as a lowpass filter, as shown in Figure 18.

High-Speed Digital Interfacing

The MAX192 can interface with QSPI at high throughput rates using the circuit in Figure 19. This QSPI circuit can be programmed to do a conversion on each of the eight channels. The result is stored in memory without taxing the CPU since QSPI incorporates its own micro-sequencer.

Figure 20 details the code that sets up QSPI for autonomous operation. In external clock mode, the MAX192 performs a single-ended, unipolar conversion on each of the eight analog input channels. Figure 21 shows the timing associated with the assembly code of Figure 20. The first byte clocked into the MAX192 is the control byte, which triggers the first conversion on CH0. The last two bytes clocked into the MAX192 are all zero, and clock out the results of the CH7 conversion.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low-Power, 8-Channel, Serial 10-Bit ADC

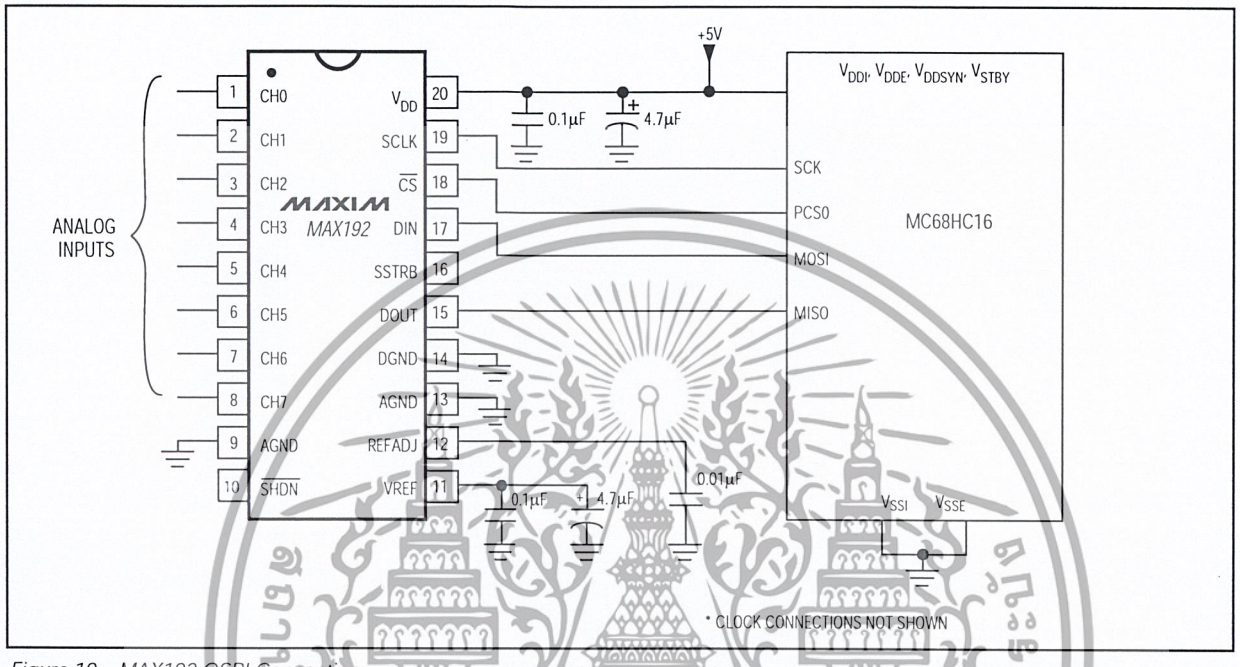


Figure 19. MAX192 QSPI Connection

TMS320 to MAX192 Interface

Figure 22 shows an application circuit to interface the MAX192 to the TMS320 in external clock mode. The timing diagram for this interface circuit is shown in Figure 23.

Use the following steps to initiate a conversion in the MAX192 and to read the results:

1) The TMS320 should be configured with CLKX (transmit clock) as an active-high output clock and CLKR (TMS320 receive clock) as an active-high input clock. CLKX and CLKR of the TMS320 are tied together with the SCLK input of the MAX192.
2) The MAX192 $\overline{CS}$ is driven low by the XF_ I/O port of the TMS320 to enable data to be clocked into DIN of the MAX192.
3) An 8-bit word (1XXXXX11) should be written to the MAX192 to initiate a conversion and place the device into external clock mode. Refer to Table 3 to select the proper XXXXX bit values for your specific application.
4) The SSTRB output of the MAX192 is monitored via the FSR input of the TMS320. A falling edge on the SSTRB output indicates that the conversion is in progress and data is ready to be received from the MAX192.
5) The TMS320 reads in one data bit on each of the next 16 rising edges of SCLK. These data bits represent the 10-bit conversion result and two sub-LSBs, followed by four trailing bits, which should be ignored.
6) Pull $\overline{CS}$ high to disable the MAX192 until the next conversion is initiated.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* Description :
*       This is a shell program for using a stand-alone 68HC16 without any external memory. The internal 1K RAM
*       is put into bank $0F to maintain 68HC11 code compatibility. This program was written with software
*       provided in the Motorola 68HC16 Evaluation Kit.
*
* Roger J.A. Chen, Applications Engineer
* MAXIM Integrated Products
* November 20, 1992
*
*****************************************************************************************************************

    INCLUDE     'EQUATES.ASM'   ;Equates for common reg addrs
    INCLUDE     'ORG00000.ASM'  ;initialize reset vector
    INCLUDE     'ORG00008.ASM'  ;initialize interrupt vectors
    ORG     $0200               ;start program after interrupt vectors
    INCLUDE 'INITSYS.ASM'       ;set EK=F,XK=0,YK=0,ZK=0
                                ;set sys clock at 16.78 MHz, COP off
    INCLUDE 'INITRAM.ASM'       ;turn on internal SRAM at $10000
                                ;set stack (SK=1, SP=03FE)
MAIN:
    JSR     INITQSPI
MAINLOOP:
    JSR     READ192
WAIT:
    LDAA    SPSR
    ANDA    #$80
    BEQ     WAIT                ;wait for QSPI to finish
    BRA MAINLOOP
ENDPROGRAM:

INITQSPI:

;This routine sets up the QSPI microsequencer to operate on its own.
;The sequencer will read all eight channels of a MAX192 each time
;it is triggered. The A/D converter results will be left in the
;receive data RAM. Each 16 bit receive data RAM location will
;have a leading zero, 10 + 2 bits of conversion result and three zeros.
;
;Receive RAM Bits 15 14 13 12 11 10 09 08 07 06 05 04 03 02 01 00
;A/D Result       0  MSB                                LSB 0  0  0
***** Initialize the QSPI Registers  ******
    PSHA
    PSHB
    LDAA    #%01111000
    STAA    QPDR            ;idle state for PCS0-3 = high
    LDAA    #%01111011
    STAA    QPAR            ;assign port D to be QSPI
    LDAA    #%01111110
    STAA    QDDR            ;only MISO is an input
    LDD     #$8008
    STD     SPCR0           ;master mode,16 bits/transfer,
                            ;CPOL=CPHA=0,1MHz Ser Clock
    LDD     #$0000
    STD     SPCR1           ;set delay between PCS0 and SCK,
                            ;set delay between transfers
```

Figure 20. MAX192 Assembly-Code Listing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low-Power, 8-Channel, Serial 10-Bit ADC

```
    LDD   #$0800
    STD   SPCR2              ;set ENDQP to $8 for 9 transfers
***** Initialize QSPI Command RAM *****

    LDAA  #$80         ;CONT=1,BITSE=0,DT=0,DSCK=0,PCS0=ACTIVE
    STAA  $FD40         ;store first byte in COMMAND RAM
    LDAA  #$C0         ;CONT=1,BITSE=1,DT=0,DSCK=0,PCS0=ACTIVE
    STAA  $FD41
    STAA  $FD42
    STAA  $FD43
    STAA  $FD44
    STAA  $FD45
    STAA  $FD46
    STAA  $FD47
    LDAA  #$40         ;CONT=0,BITSE=1,DT=0,DSCK=0,PCS0=ACTIVE
    STAA  $FD48
***** Initialize QSPI Transmit RAM *****

    LDD   #$008F
                       STD   $FD20
    LDD   #$00CF
                       STD   $FD22
    LDD   #$009F
                       STD   $FD24
    LDD   #$00DF
                       STD   $FD26
    LDD   #$00AF
                       STD   $FD28
    LDD   #$00EF
                       STD   $FD2A
    LDD   #$00BF
                       STD   $FD2C
    LDD   #$00FF
                       STD   $FD2E
    LDD   #$0000
                       STD   $FD30
    PULB
    PULA
    RTS

READ192:
;This routine triggers the QSPI microsequencer to autonomously
;trigger conversions on all 8 channels of the MAX192. Each
;conversion result is stored in the receive data RAM.
    PSHA
    LDAA  #$80
    ORAA  SPCR1
    STAA  SPCR1        ;just set SPE
    PULA
    RTS

***** Interrupts/Exceptions *****

BDM: BGND              ;exception vectors point here
                       ;and put the user in background debug mode
```

Figure 20. MAX192 Assembly-Code Listing (continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

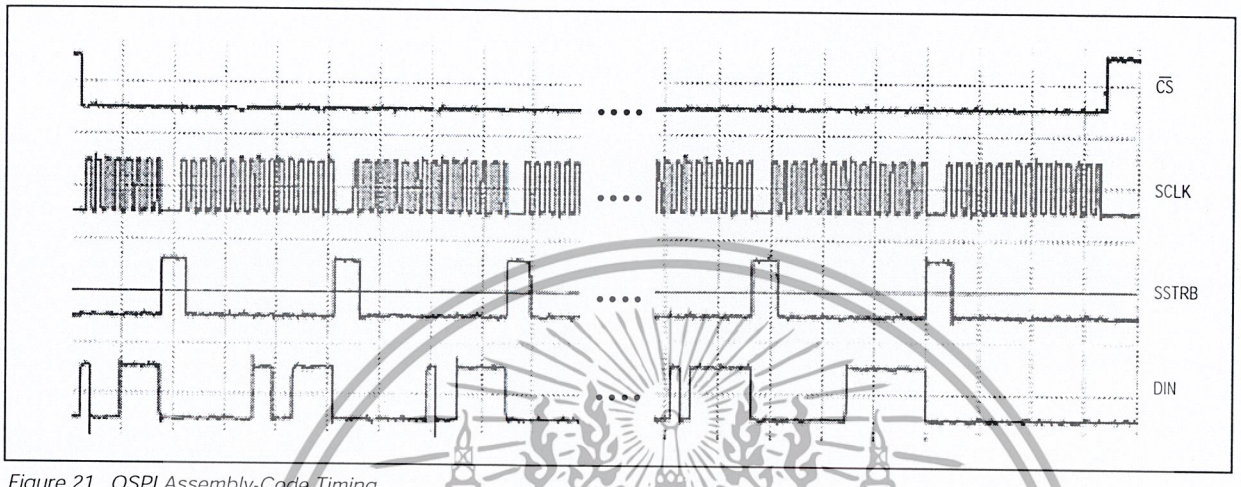


Figure 21. QSPI Assembly-Code Timing

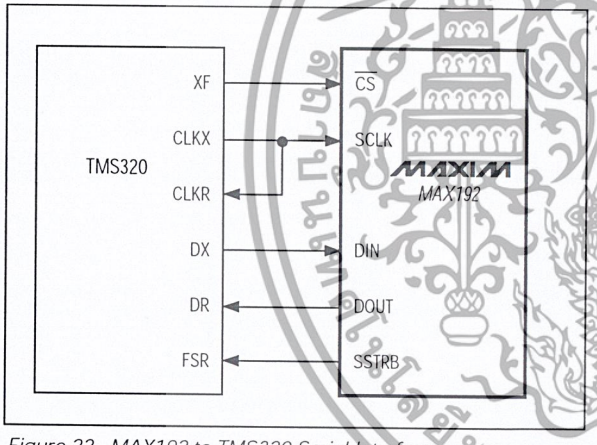


Figure 22. MAX192 to TMS320 Serial Interface

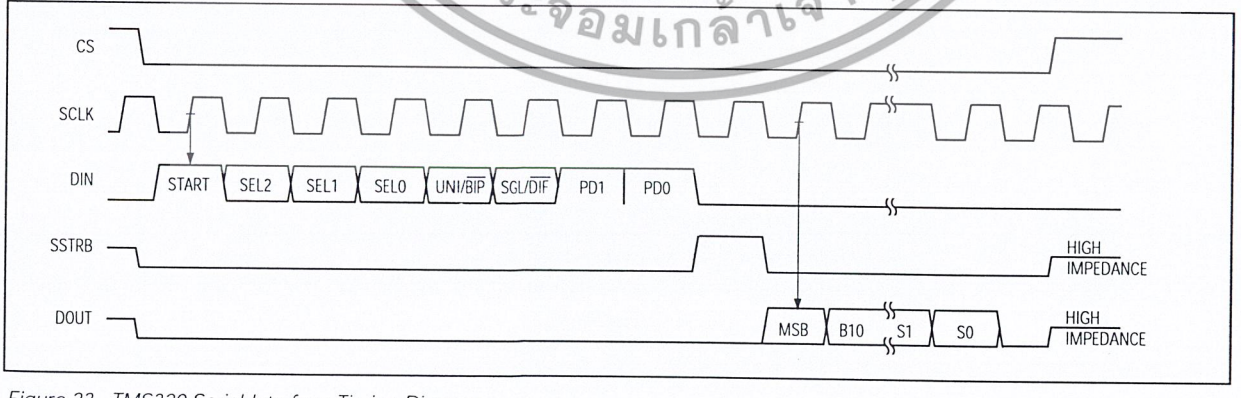
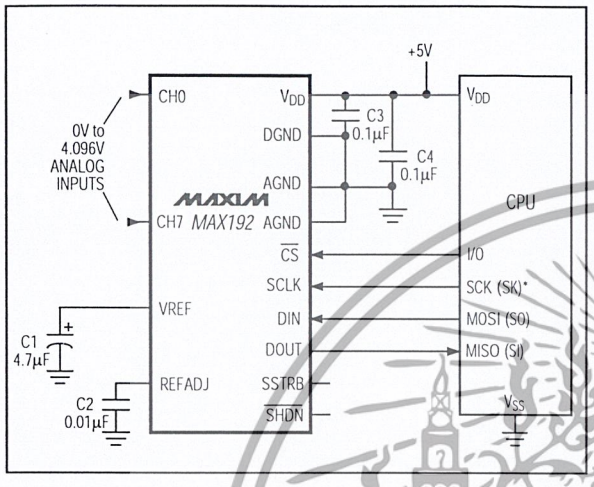


Figure 23. TMS320 Serial-Interface Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low-Power, 8-Channel, Serial 10-Bit ADC

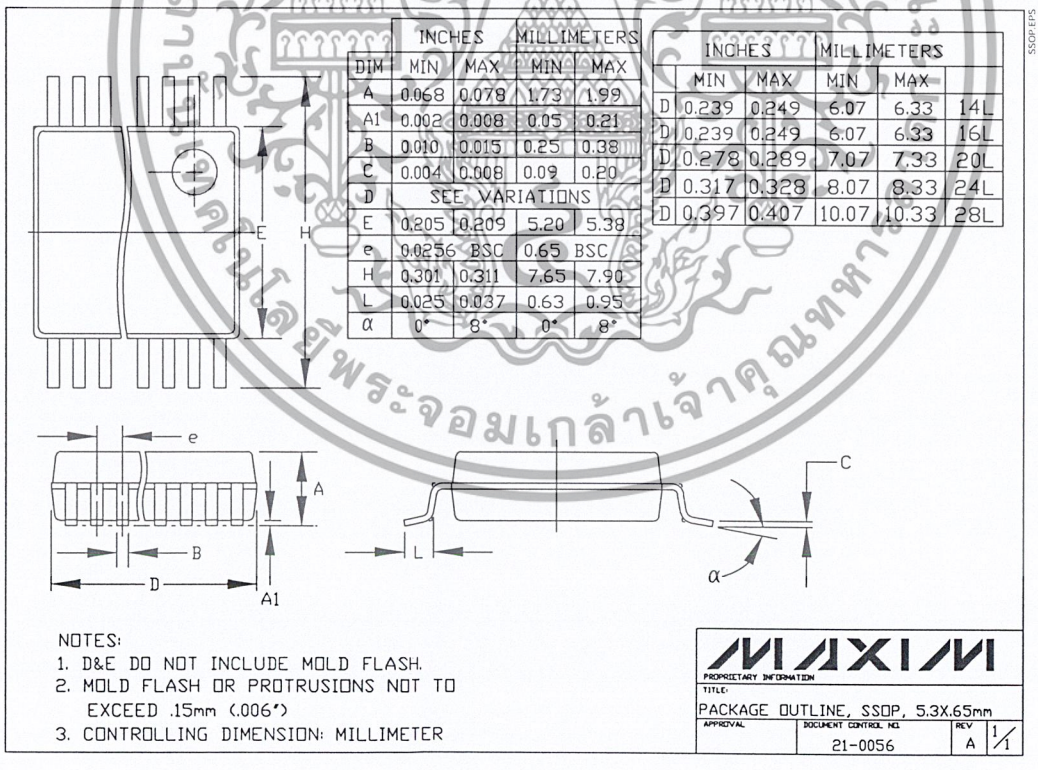
Typical Operating Circuit



Chip Information

TRANSISTOR COUNT: 2278

Package Information



DIM	INCHES MIN	INCHES MAX	MILLIMETERS MIN	MILLIMETERS MAX
A	0.068	0.078	1.73	1.99
A1	0.002	0.008	0.05	0.21
B	0.010	0.015	0.25	0.38
C	0.004	0.008	0.09	0.20
D	SEE VARIATIONS			
E	0.205	0.209	5.20	5.38
e	0.0256 BSC		0.65 BSC	
H	0.301	0.311	7.65	7.90
L	0.025	0.037	0.63	0.95
α	0°	8°	0°	8°

	INCHES MIN	INCHES MAX	MILLIMETERS MIN	MILLIMETERS MAX	
D	0.239	0.249	6.07	6.33	14L
D	0.239	0.249	6.07	6.33	16L
D	0.278	0.289	7.07	7.33	20L
D	0.317	0.328	8.07	8.33	24L
D	0.397	0.407	10.07	10.33	28L

NOTES:
1. D&E DO NOT INCLUDE MOLD FLASH.
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm (.006")
3. CONTROLLING DIMENSION: MILLIMETER

MAXIM
PROPRIETARY INFORMATION
TITLE: PACKAGE OUTLINE, SSOP, 5.3X.65mm
APPROVAL | DOCUMENT CONTROL NO. 21-0056 | REV A | 1/1

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

© 1997 Maxim Integrated Products Printed USA MAXIM is a registered trademark of Maxim Integrated Products.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้