สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การศึกษาอุปกรณ์ควบคุมระยะไกลโดยใช้สัญญาณวิทยุ

นายปิยพัฒน์ รังสิกรรพุม
นายพิสิฐ กฤษณโสภา
นายวิภาคย์ ตังคณิตานนท์
นางสาววิมลทิพย์ สุขเลิศ

โครงงานพิเศษนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต
ภาควิชาฟิสิกส์ประยุกต์
คณะวิทยาศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2541

เลขหมู่.....
เลขทะเบียน.....36703.....
วัน, เดือน, ปี.....23 ส.ค. 2543.....

The study of Remote Control Device using Radio Frequency

Mr. Piyapat Rungsigunphum

Mr. Pisit Kritsanasopa

Mr. Wiphak Tangkanitanon

Miss Wimontip Sooklert

A Special Project Submitted in Partial Fulfillment of the

Requirement for the Degree of Bachelor of Science

Department of Applied Physics

Faculty of Science

King Mongkut's Institute of Technology Ladkrabang

1998

หัวข้อโครงงานพิเศษ	การศึกษาอุปกรณ์ควบคุมระยะไกลโดยใช้สัญญาณวิทยุ	
โดย	นายปิยพัฒน์	รังสิกรรพุม
	นายพิสิฐ	กฤษณโสภา
	นายวิภาคย์	ดังคณิตานนท์
	นางสาววิมลทิพย์	สุขเลิศ
ภาควิชา	ฟิสิกส์ประยุกต์	
อาจารย์ที่ปรึกษา	ดร. รัชภาคย์	จิตต์อารี

ภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
อนุมัติให้นับโครงงานพิเศษนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต

---------- หัวหน้าภาควิชาฟิสิกส์ประยุกต์
(รศ. สุรพล รักวิจัย)

---------- ประธานกรรมการ
(ดร. รัชภาคย์ จิตต์อารี)

---------- กรรมการ
(ดร. จิติ หนูแก้ว)

---------- กรรมการ
(รศ.ดร. ปรีชา ยุพาพิน)

---------- กรรมการ
(ผศ. อนุพงศ์ สรงประภา)

ลิขสิทธิ์ของภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

หัวข้อโครงงานพิเศษ	การศึกษาอุปกรณ์ควบคุมระยะไกลโดยใช้สัญญาณวิทยุ
โดย	นายปิยพัฒน์ รังสิกรรพุม
	นายพิสิฐ กฤษณโสภา
	นายวิภาคย์ ตังคณิตานนท์
	นางสาววิมลทิพย์ สุขเลิศ
อาจารย์ที่ปรึกษา	ดร.รัชภาคย์ จิตต์อารี
ภาควิชา	ฟิสิกส์ประยุกต์
ปีการศึกษา	2541

บทคัดย่อ

โครงงานพิเศษนี้เป็นการศึกษาอุปกรณ์ควบคุมระยะไกลโดยใช้สัญญาณวิทยุ ซึ่งในที่นี้เป็นการมุ่งเน้นศึกษาเกี่ยวกับเทคนิคการมอดูเลชั่นแบบฟรีเควนซี่ชิพคีย์อิง และ ฟรีเควนซี่มอดูเลชั่น รวมถึงได้ศึกษาเครื่องมอดูเลชั่น และ ดีมอดูเลชั่น ของทั้งสองวิธีนี้ด้วย โดยสัญญาณที่นำไปมอดูเลทอยู่ในรูปของสัญญาณดิจิตอลอนุกรม

จากเทคนิคดังกล่าวสามารถนำมาใช้ร่วมกับเครื่องคอมพิวเตอร์ หรือ ไมโครคอนโทรลเลอร์เพื่อการสื่อสารถึงกันได้โดยไม่ต้องใช้สายเชื่อมต่อ ซึ่งการนำเทคนิคนี้มาประยุกต์ใช้ในระบบการควบคุมอุปกรณ์ต่างๆ ส่งผลให้เกิดความคล่องตัวในการควบคุมมากยิ่งขึ้นอีกทั้งการศึกษาเรื่องนี้ยังเป็นพื้นฐานไปสู่การศึกษาและพัฒนาระบบการสื่อสารข้อมูลดิจิตอลแบบไร้สายต่อไปในอนาคต

Special Project Title	The study of Remote Control Device using Radio Frequency
Name	Mr. Piyapat Rungsigunphum
	Mr. Pisit Kritsanasopa
	Mr. Wiphak Tangkanitanon
	Miss Wimontip Sooklert
Special Project Adviser	Dr. Ruchaphak Jitaree
Department	Applied Physics
Academic Year	1998

ABSTRACT

This special project is the study of a remote control device using radio frequency. The technique used for transmission is based on the frequency shift keying and frequency modulation. A modulator and demodulator are built in order to send coded serial digital signals.

An application of the system made is also proposed and tested. This is the communication between computers. This application implies that the system is flexible effective for a system control over a long distance. In addition, This project can be considered as a fundamental study of the wireless digital communication system.

กิตติกรรมประกาศ

ในการจัดทำโครงงานพิเศษเรื่องการศึกษาอุปกรณ์ควบคุมระยะไกลโดยใช้สัญญาณวิทยุนี้สำเร็จลุล่วงได้ด้วยดี ก็ด้วยความอนุเคราะห์จากบุคคลหลาย ๆ ท่านในด้านต่าง ๆ คณะผู้จัดทำขอขอบพระคุณ คุณพ่อ คุณแม่ ที่ให้การสนับสนุนการศึกษามาโดยตลอด และอาจารย์ผู้แนะนำให้คำปรึกษาเพื่อให้โครงงานพิเศษนี้สำเร็จลุล่วงไปได้ด้วยดี ดังมีรายนามต่อไปนี้

ดร. รัชภาคย์ จิตต์อารี	อาจารย์ที่ปรึกษาโครงงานพิเศษ
ผศ. อนุพงศ์ สรงประภา	กรุณาให้คำปรึกษา
รศ. สุวรรณ คูสำราญ	กรุณาให้คำปรึกษา

สุดท้ายนี้ขอขอบพระคุณ อาจารย์ประจำภาควิชาฟิสิกส์ทุกๆท่าน ที่ช่วยประสาทวิชาความรู้แก่ข้าพเจ้า และเพื่อนๆในภาควิชาฟิสิกส์ประยุกต์ทุกๆคน ที่คอยให้กำลังใจเสมอมา

นายปิยพัฒน์	รังสิกรรพุม
นายพิสิฐ	กฤษณโสภา
นายวิภาคย์	ตังคณิตานนท์
นางสาววิมลทิพย์	สุขเลิศ

สารบัญ

เรื่อง	หน้า
บทคัดย่อปัญหาพิเศษภาษาไทย	ก
บทคัดย่อปัญหาพิเศษภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญรูป	ง
บทที่ 1 การสื่อสาร	
1.1 พื้นฐานการสื่อสาร	1
1.2 ความรู้พื้นฐานการสื่อสารไร้สาย	2
1.3 แถบคลื่นแม่เหล็กไฟฟ้า	2
1.4 ระบบคลื่นพาหะที่เป็นคลื่นวิทยุ	4
1.5 การมอดูเลชั่น	5
1.6 การมอดูเลชั่นทางแอมปลิจูด	5
1.7 การมอดูเลชั่นทางมุม	8
1.7.1 การมอดูเลชั่นทางความถี่	
1.7.2 การมอดูเลชั่นทางเฟส	
1.7.3 ความถี่ข้างเคียงและดัชนีการมอดูเลชั่น	
1.8 เครื่องส่งสัญญาณคลื่นวิทยุ	12
1.9 เครื่องรับสัญญาณ	14
บทที่ 2 ระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป	
2.1 ระบบเฟสล็อคลูป	16
2.1.1 ผลของเฟสล็อคลูปและอัตราขยายลูปที่มีต่อคุณสมบัติการทำงาน	
2.1.2 กระบวนการแคปเจอร์สัญญาณอินพุท	
2.1.3 คุณสมบัติการแทร็คตามสัญญาณอินพุท	
2.1.4 พิสัยการล็อค	
2.1.5 พิสัยแคปเจอร์	
2.2 วงจรหาแบบพรีสเกลเลอร์	32
2.3 วงจรมิกเซอร์	34

สารบัญ(ต่อ)

เรื่อง	หน้า
บทที่ 3 AT89C2051	
3.1 ไมโครคอมพิวเตอร์ชิปเดี่ยว AT89C2051	35
3.1.1 สถาปัตยกรรมของ AT89C2051	
3.2 การสื่อสารข้อมูลอนุกรม	38
3.2.1 จังหวะเวลาการสื่อสารข้อมูลอนุกรม	
3.2.2 รูปแบบของข้อมูลอนุกรม	
3.2.3 การจัดการข้อมูลอนุกรมของ 8051	
3.2.4 การอินเตอร์รัปต์ของการสื่อสารอนุกรม	
3.2.5 กระบวนการรับและส่งข้อมูลอนุกรมของ 8051	
3.3 การเชื่อมต่อแบบมาตรฐาน RS-232	42
บทที่ 4 ผลการทดลอง	44
เอกสารอ้างอิง	55

สารบัญรูป

หน้า

รูปที่ 1.1 ส่วนประกอบของระบบสื่อสาร 1
รูปที่ 1.2 แสดงกราฟรูปสัญญาณซายน์ที่ 1 รอบ 2
รูปที่ 1.3 แสดงสัญญาณข้อมูล สัญญาณพาหะ และสัญญาณผลลัพธ์ที่ได้จากการมอดูเลต 5
รูปที่ 1.4 สัญญาณแอมปลิจูดมอดูเลชั่นในแกนความถี่ 7
รูปที่ 1.5 แสดงสัญญาณพาหะ สัญญาณข้อมูลและสัญญาณ FM และ PM 8
รูปที่ 1.6 สัญญาณซายน์ปกติ สัญญาณซายน์ที่มีเฟสนำ 90 องศา และสัญญาณซายน์ที่มีเฟสตาม 90 องศา 9
รูปที่ 1.7 แสดงแถบความถี่ของสัญญาณ FM 10
รูปที่ 2.1 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป 15
รูปที่ 2.2 แสดงบล็อคไดอะแกรมของวงจรเฟสล็อคลูป 16
รูปที่ 2.3ก ผลต่างเฟสเมื่อเฟสเท่ากัน 17
รูปที่ 2.3ข เมื่อเฟสของอินพุทไม่เท่ากัน 17
รูปที่ 2.4 แสดงบล็อคไดอะแกรมของระบบ PLL ในลักษณะระบบป้อนกลับที่เป็นลิเนียร์ 22
รูปที่ 2.5 แสดงเออร์เรอร์โวลท์เตจชั่วขณะในระหว่างเวลากระบวนการแคปเจอร์ 25
รูปที่ 2.6 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจ 27
(ก) เมื่อความถี่อินพุทเพิ่มขึ้นอย่างช้า ๆ
(ข) เมื่อความถี่อินพุทลดลง
รูปที่ 2.7 แสดงถึงคุณสมบัติรวมในการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูป 27
รูปที่ 2.8 ระบบเฟสล็อคลูป 29
รูปที่ 2.9 พิสัยการล็อคของระบบเฟสล็อคลูป 30
รูปที่ 2.10 แสดงคุณสมบัติเอาท์พุทของเฟสดีเท็คเตอร์กับเฟสเออร์เรอร์ 30
รูปที่ 2.11 แสดงพิสัยแคปเจอร์ของระบบเฟสล็อคลูป 32
รูปที่ 2.12 แสดงวงจรสังเคราะห์ความถี่ที่ใช้วงจรหารแบบพรีสเกลเลอร์ 33
รูปที่ 2.13 แสดงตัวอย่างมิกเซอร์ 34
(ก) มิกเซอร์ภาคเครื่องส่ง
(ข) มิกเซอร์ภาคเครื่องรับ
รูปที่ 3.1 สถาปัตยกรรมของไมโครคอมพิวเตอร์ชิปเดี่ยว AT98C2051 36
รูปที่ 3.2 แสดงขาสัญญาณต่าง ๆ ของชิป AT98C2051 37
รูปที่ 3.3ก ข้อมูลแบบอนุกรมถูกส่งเป็นลำดับจนครบจำนวนทั้ง 8 บิต 38
รูปที่ 3.3ข ข้อมูลแบบขนานในหนึ่งไบท์จะถูกส่งพร้อมกันในลักษณะแบบขนาน 38

สารบัญรูป(ต่อ)

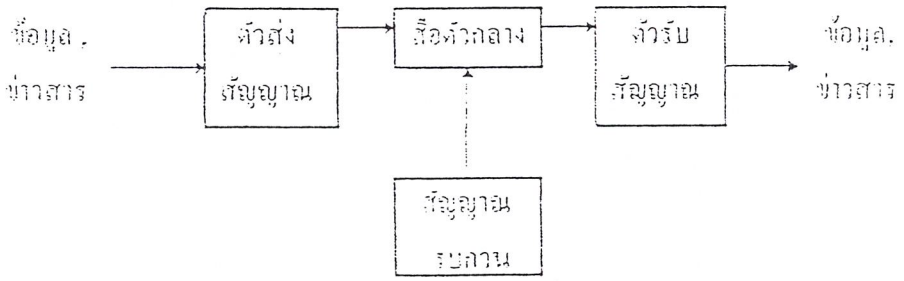
หน้า

รูปที่ 3.4ก ข้อมูลแบบขนานในหนึ่งไบท์จะถูกส่งออกมาแบบอนุกรม 39
รูปที่ 3.4ข รูปแบบสัญญาณข้อมูลในรูป 4.4ก เป็นการส่งข้อมูลด้วยอัตราเร็ว 2400 บิต/วินาที 39
รูปที่ 3.5 แผนภาพสัญญาณเวลาของข้อมูลแบบอนุกรมจำนวน 8 บิต 40
รูปที่ 3.6 การทำงานของวงจรส่วนการรับและส่งข้อมูลอนุกรมของ 8051 41
รูปที่ 3.7 รีจิสเตอร์ควบคุมการทำงานและบอกสถานะการสื่อสารของข้อมูลอนุกรม SCON 41
รูปที่ 3.8 แผนภาพแสดงการเปลี่ยนแปลงสัญญาณ TTL ไปเป็นสัญญาณ RS-232 และการเปลี่ยนแปลงสัญญาณ RS-232 ไปเป็นสัญญาณ TTL 43
รูปที่ 3.9 ไอซีเบอร์ MAX-232 ซึ่งเป็นวงจรเชื่อมต่อแบบ RS-232 ใช้ไฟเลี้ยง +5V 43
รูปที่ 4.1 แพทเทอร์นของสายอากาศไดโพลที่มีการแจกแจงรูปแบบกระแสเป็นแบบ44 ไซนูซอยดอล ($l = \frac{\lambda}{4}, \frac{\lambda}{2}, \frac{3\lambda}{4}, \lambda$)
รูปที่ 4.2 แพทเทอร์นของสายอากาศโมโพลยาว $\frac{1}{4}\lambda$ เหนือแผ่นกราวด์เพลนรูปกลมที่มี เส้นผ่านศูนย์กลางยาว 6λ จะเห็นว่า ลำคลื่นหลักพุ่งเฉียงขึ้นจากระดับพื้นราบ 44
รูปที่ 4.3 เครื่องมอดูเลตสัญญาณด้วยความถี่พาหะ 24 เมกะเฮิรทซ์ 46
รูปที่ 4.4 เครื่องดีมอดูเลตสัญญาณความถี่พาหะ 24 เมกะเฮิรทซ์ พร้อมแผง LED แสดงผล 24 ดวง 46
รูปที่ 4.5 แสดงวงจรภายในเครื่องมอดูเลต 47
รูปที่ 4.6 แสดงวงจรภายในเครื่องดีมอดูเลต 47

บทที่ 1
การสื่อสาร

1.1 พื้นฐานการสื่อสาร

คำว่าการสื่อสารคือ พฤติกรรมขั้นตอน และเทคโนโลยีต่างๆ ที่สามารถทำให้ส่งหรือแปลความหมายของข้อมูลข่าวสารได้ เป็นกระบวนการในการแลกเปลี่ยนข้อมูลข่าวสารกัน เช่นการสื่อสารระหว่าง บุคคลเพื่อถ่ายทอดความคิดความรู้สึกไปยังอีกคนหนึ่ง แต่การสื่อสารของคนก็มีขีดจำกัดทางด้านภาษาที่แตกต่างกัน หรืออุปสรรค์ด้านระยะทางที่ห่างไกลกันมากระหว่างผู้ส่งสารและผู้รับสาร ดังนั้นมนุษย์จึงได้คิดค้น และพัฒนาการวิธีการและเทคนิคใหม่ๆ ขึ้นมาเพื่อลดขีดจำกัดในด้านต่างๆ ของการสื่อสาร ดังเช่นการพัฒนาการของการสื่อสารไร้สาย สำหรับคำว่าไร้สายนั้นแสดงให้ทราบว่าสื่อตัวกลางที่นำพาสัญญาณให้กับระบบสื่อสารนั้นไม่จำเป็นต้องใช้สาย แต่มีการใช้เทคนิคและวิธีการเข้ามาช่วย ในการพาข้อมูลข่าวสารผ่านตัวกลางที่ไม่สามารถมองเห็นได้ ก่อนที่จะเริ่มกล่าวต่อไป ในรายละเอียดของระบบสื่อสารไร้สาย ขอให้พิจารณาถึงองค์ประกอบของระบบสื่อสารไร้สาย ซึ่งมีลักษณะเช่นเดียวกับองค์ประกอบ โดยทั่วไปของการสื่อสารทุกประเภท



รูปที่ 1.1 ส่วนประกอบของระบบสื่อสาร

จากรูปที่ 1.1 ระบบสื่อสารไม่ว่าจะในรูปแบบใดจะมีส่วนประกอบพื้นฐาน ที่0เหมือนกันอยู่ 4 อย่างดังนี้

1. **ตัวส่งสัญญาณ (Transmitter)** ตัวส่งสัญญาณคือวงจรอิเล็กทรอนิกส์ ที่ถูกออกแบบมาเพื่อที่จะแปลงข้อมูลข่าวสารหรือเสียงพูดให้เป็นสัญญาณรูปแบบที่สามารถส่งออกไปในตัวกลางหรือช่องสัญญาณได้แก่ อุปกรณ์ที่ใช้ในการส่งสัญญาณคลื่นไมโครเวฟ เครื่องส่งวิทยุกระจายเสียง เป็นต้น

2. **สื่อตัวกลางหรือช่องสื่อสาร (Communication Channel)** เป็นตัวกลางที่ให้สัญญาณอิเล็กทรอนิกส์สามารถส่งจากผู้ส่ง ณ สถานที่หนึ่งส่งไปยังผู้รับในอีกที่หนึ่งได้ ตัวกลางในที่นี้ได้แก่คลื่นวิทยุ และในตัวกลางนี้มีส่วนทำให้สัญญาณที่ถูกส่งลดทอนไปได้ส่วนหนึ่ง

3. **สัญญาณรบกวน (Noise)** เป็นสัญญาณของพลังงานรูปแบบต่างๆ ที่มีลักษณะไม่แน่นอน เข้ามาในระบบสื่อสาร มีผลรบกวนสัญญาณข้อมูลที่ถูกส่งมาในช่องสื่อสาร บางครั้งสัญญาณรบกวนอาจเกิดขึ้นในวงจรของตัวรับสัญญาณก็ได้สำหรับระบบสื่อสารไร้สายนั้นสัญญาณรบกวนมีอยู่ทั่วไปในอากาศ เช่น สัญญาณจากปรากฏการณ์ฟ้าแลบ

4. **ตัวรับสัญญาณ (Receiver)** เป็นวงจรอิเล็กทรอนิกส์ที่ถูกออกแบบให้รับสัญญาณที่ถูกส่งออกมาทางช่องสื่อสาร และทำการแปลงสัญญาณให้กลับไปอยู่ในรูปแบบที่ผู้รับปลายทางสามารถเข้าใจได้เช่น ตัวรับสัญญาณคาวเทียม

การติดต่อสื่อสารระหว่างจุดสองจุดโดยไม่ต้องใช้สายนั้นสามารถทำได้หลายวิธี หากมองย้อนไปในอดีตของชนพื้นเมืองในซีกโลกต่างๆ ที่อาศัยอยู่ในป่าก็มีการติดต่อสื่อสารกัน โดยอาจใช้กลองส่งสัญญาณติดต่อถึงกัน หากต้องการติดต่อกันเป็นที่ระยะไกลมากก็ต้องก็ต้องมีการทวนสัญญาณกลองเป็นช่วงเพื่อทวนข้อความไปให้กับอีกที่หนึ่งที่ไกลเกินกว่าที่เสียงของกลองตัวแรกจะไปถึง ในยามกลางคืนอาจมีการส่งเป็นสัญญาณแสงไฟที่มีการกระพริบเป็นจังหวะต่างๆ กัน ทำให้สามารถสื่อสารผ่านระยะทางที่ห่างไกลกันได้ดีเช่นกัน สิ่งเหล่านี้คือจุดเริ่มต้นที่เห็นได้ชัดของการสื่อสารไร้สายซึ่งมีมานาน

ในปัจจุบัน มนุษย์ได้สัมผัสกับระบบสื่อสารไร้สายอยู่หลายรูปแบบ เช่นวิทยุกระจายเสียง ซึ่งเป็นการส่งข้อมูลและข่าวสารในรูปของเสียงจากผู้ส่งที่อยู่ที่สถานีไปยังผู้รับหลายๆ จุดที่อยู่ห่างไกล และมีเครื่องรับวิทยุ หรือจะอยู่ในรูปแบบของข้อมูลข่าวสารและรายการทางภาพและเสียงดังเช่น สถานีโทรทัศน์

1.2 ความรู้พื้นฐานการสื่อสารไร้สาย

การทำความเข้าใจระบบสื่อสารไร้สายที่จะทราบว่าสิ่งใดเป็นองค์ประกอบเบื้องต้นบ้างความคิดในครั้งแรกนั้นคงสงสัยว่าในเมื่อไม่มีสาย สิ่งใดบ้างที่เป็นตัวกลางสำหรับระบบ หากพิจารณาย้อนไปในอดีตของวิธีการสื่อสารที่มนุษย์เคยใช้มา จะพบว่ามีรูปแบบการใช้พาหะในการสื่อสารเป็นหลักใหญ่ๆ อยู่ 2 รูปแบบนั่นคือ

1. ระบบที่ใช้คลื่นวิทยุเป็นพาหะ (Radio Carrier) ได้แก่ ระบบโทรศัพท์เคลื่อนที่ ระบบวิทยุติดตามตัว ระบบสื่อสารผ่านดาวเทียม ระบบวิทยุกระจายเสียง และระบบคลื่นไมโครเวฟ

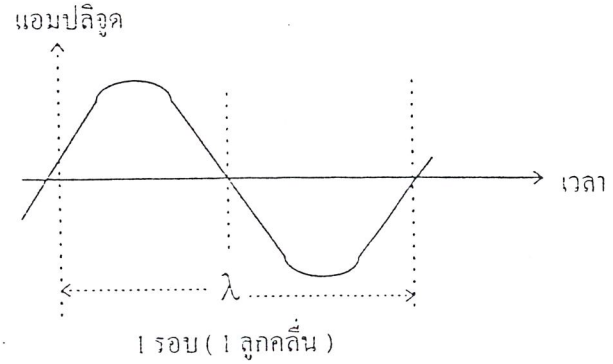
2. ระบบที่ใช้คลื่นแสงเป็นพาหะ (Light Carrier) ได้แก่ ระบบสื่อสารข้อมูลผ่านแสงอินฟาเรดที่นำไปประยุกต์ใช้เช่นระบบโลคอลแอเรียเน็ตเวอร์ก (LAN) ระบบสื่อสารผ่านแสงเลเซอร์อินฟราเรด

1.3 แถบคลื่นแม่เหล็กไฟฟ้า (Electromagnetic Spectrum)

เนื่องจากสื่อตัวกลางทั้งสองแบบมีคุณสมบัติเป็นคลื่นแม่เหล็กไฟฟ้า จะขออธิบายถึงการจัดเรียงความถี่ต่างๆ ของคลื่นแม่เหล็กไฟฟ้าที่ใช้ในระบบสื่อสาร ซึ่งเสมือนแผนที่แสดงการจัดสรรการใช้ความถี่ที่เป็นทรัพยากรสำคัญมาก เพราะคลื่นวิทยุและคลื่นแสงรวมอยู่ในแถบความถี่ดังกล่าวด้วย

ความถี่ (Frequency) หมายถึง จำนวนรอบของการเปลี่ยนแปลงของสัญญาณใดๆ ในช่วงเวลาหนึ่ง โดยหน่วยของการวัดความถี่นั้นมีค่าเป็นเฮิรตซ์ (Hertz)

ส่วนประกอบของสัญญาณความถี่ก็จะมีระดับของสัญญาณหรือที่เรียกว่าแอมปลิจูด และความยาวของคลื่นที่เรียกว่าแลมด้า



รูปที่ 1.2 แสดงกราฟรูปสัญญาณซายน์ที่ 1 รอบ

แถบคลื่นแม่เหล็กไฟฟ้าแบ่งออกเป็นแถบย่อยๆ ดังนี้

1. ช่วงความถี่ต่ำสุด (Extremely Low Frequencies)

ELF_S เป็นช่วงความถี่ 30Hz-300Hz มีความยาวคลื่น $10^7 - 10^6$ m คลื่นแม่เหล็กไฟฟ้าในช่วงนี้เป็นสัญญาณเสียงความถี่ต่ำสุดที่มนุษย์สามารถได้ยิน และเป็นช่วงของความถี่ไฟบ้านที่50Hzและ60 Hz

2. ช่วงความถี่เสียง (Voice Low Frequencies)

VF_S เป็นช่วงความถี่ 300Hz-3000Hz มีความยาวคลื่น $10^6 - 10^5$ m คลื่นช่วงนี้เป็นช่วงสัญญาณเสียงพูดปกติของมนุษย์

3. ช่วงความถี่ต่ำมาก (Very Low Frequencies)

VLF_S เป็นช่วงความถี่ 3kHz-30kHz มีความยาวคลื่น $10^5 - 10^4$ m เป็นช่วงที่สัญญาณเสียงของเครื่องดนตรีและคลื่นสื่อสารของทางทหารใช้

4. ช่วงความถี่ต่ำ (Low Frequencies)

LF_S เป็นช่วงความถี่ 30kHz-300kHz มีความยาวคลื่น $10^4 - 10^3$ m เป็นช่วงสัญญาณที่ใช้ในการนำร่องของระบบการบินและการเดินเรือ

5. ช่วงความถี่กลาง (Medium Frequencies)

MF_S เป็นช่วงความถี่ 300kHz-3000kHz มีความยาวคลื่น $10^3 - 10^2$ m ใช้สำหรับคลื่นวิทยุกระจายเสียงในระบบ AM (Amplitude Modulation: 535-1605 kHz) และยังใช้สำหรับการสื่อสารในระบบการบินและการเดินเรือ

6. ช่วงความถี่สูง (High Frequencies)

HF_S เป็นช่วงความถี่ 3MHz-30MHz มีความยาวคลื่น $10^2 - 10^1$ m ความถี่สูงหรือที่เรียกว่า คลื่นสั้นนั้นใช้ในการกระจายเสียงคลื่นวิทยุคลื่นสั้น เช่น สถานีวิทยุ Voice of America ใช้ในการสื่อสารคลื่นวิทยุแบบสองทิศทาง ใช้ในวิทยุสื่อสารของทหารและวิทยุสมัครเล่น

7. ช่วงความถี่สูงมาก (Very High Frequencies)

VHF_S เป็นช่วงความถี่ 30MHz-300MHz มีความยาวคลื่น $10^1 - 1$ m เป็นช่วงความถี่ที่มีความหนาแน่นของการใช้งานมาก ได้แก่ วิทยุกระจายเสียงในระบบ FM (Frequency Modulation: 88-108 MHz) มีสถานีโทรทัศน์ช่อง 2 ถึงช่อง 13 มีบางช่วงความถี่สำหรับวิทยุสมัครเล่นและนอกจากนั้นยังมีการใช้งานการสื่อสารของการบินและการเดินเรือ

8. ช่วงความถี่อุลตร้าไฮ (Ultrahigh Frequencies)

UHF_S เป็นช่วงความถี่ 300MHz-3000MHz มีความยาวคลื่น $1 - 10^{-1}$ m เป็นช่วงความถี่ที่มีการใช้งานมากอีกช่วงหนึ่งเช่นกัน มีสถานีโทรทัศน์ตั้งแต่ช่อง 14 ถึง ช่อง 83 และถูกใช้งานอย่างมากในระบบสื่อสารเคลื่อนที่ บริการทางด้านระบบโทรศัพท์ระบบเซลูล่าร์ มีช่องความถี่สำหรับทหาร ระบบนำร่อง (Navigation) และระบบเรดาร์ (Radar) สำหรับความถี่สูงกว่า 1000 MHz หรือ 1 GHz ขึ้นไปจะถูกเรียกว่าคลื่นไมโครเวฟ (Microwave)

9. ช่วงความถี่ซูปเปอร์ไฮ (Superhigh Frequencies)

SHF_S เป็นช่วงความถี่ 3GHz-30GHz มีความยาวคลื่น $10^{-1} - 10^{-2}$ m คือ ย่านความถี่ไมโครเวฟ ซึ่งถูกใช้งานอย่างมากในระบบสื่อสารของดาวเทียมและระบบเรดาร์

10. ช่วงความถี่สูงสุด (Extremely High Frequencies)

EHF_S เป็นช่วงความถี่ 30GHz-300 GHz มีความยาวคลื่น $10^{-2} - 10^{-3}$ m ใช้สำหรับระบบสื่อสารดาวเทียม และระบบเรดาร์พิเศษ เนื่องจากอุปกรณ์สื่อสารที่ใช้ในย่านความถี่นี้มีความซับซ้อนมากจึงยังมีการใช้งานในย่านนี้น้อย และสำหรับสัญญาณความถี่ที่อยู่เหนือขึ้นไปจากนี้จะถูกเรียกว่า มิลลิมิเตอร์เวฟ (Millimeter Wave)

11. ช่วงความถี่อินฟราเรด (Infrared)

มีความยาวคลื่น 0.7-100 ไมครอน สำหรับสัญญาณแม่เหล็กไฟฟ้าที่มีความถี่สูงกว่า 300 GHz จะไม่นับเป็นคลื่นวิทยุ แต่จะมีการตั้งชื่อให้แต่ละความถี่ ช่วงความถี่อินฟราเรดนี้อยู่ระหว่างคลื่นวิทยุที่สูงที่สุดและคลื่นแสงที่ตามองเห็นได้ ความยาวคลื่นอินฟราเรดมักจะแพร่กระจายออกมาพร้อมกับความร้อน นั่นคือวัตถุใดที่กำเนิดความร้อนก็จะมีการแพร่กระจายสัญญาณอินฟราเรด สัญญาณอินฟราเรดสามารถสร้างขึ้นได้ด้วย LED (Light Emitting Diode) ชนิดพิเศษ การใช้งานอินฟราเรดก็เช่นในงานดาราศาสตร์สำหรับการตรวจจับดาวหรือวัตถุในอวกาศ ใช้ในระบบควบคุมระยะไกล (Remote Control) เช่นของโทรทัศน์ นอกจากนี้อินฟราเรดยังมีคุณสมบัติเช่นเดียวกับแสง โดยสามารถถูกควบคุมด้วยเลนส์และกระจกได้

12. ช่วงความถี่ที่มองเห็นได้ (Visible Spectrum)

มีความยาวคลื่น 4000-8000 อังสตรอม เหนือความถี่ของอินฟราเรด เป็นแถบของคลื่นที่มนุษย์สามารถมองเห็นได้ นั่นคือแสงมีหน่วยของการวัดความยาวของคลื่นเป็นอังสตรอม (Angstrom) โดยหนึ่งอังสตรอมมีค่าเท่ากับหนึ่งส่วนหมื่นของไมครอน ช่วงของคลื่นแสงสีแดงจะอยู่ที่ 8000 อังสตรอม ส่วนคลื่นแสงสีม่วงจะอยู่ที่ 4000 อังสตรอม แสงถูกใช้ในการสื่อสารหลายอย่าง เพราะสามารถมอดดูเลตและส่งสัญญาณเข้าไปในสายใยแก้วนำแสง (Fiber Optics) ได้ แสงมีประโยชน์สูงที่สุด เนื่องจากความถี่มีค่าสูงทำให้สามารถบรรจุข้อมูลจำนวนมากลงไปได้ แสงสามารถส่องออกไปในอากาศได้โดยการเพิ่มความเข้มของแสงและทำให้ลำแสงของแสงมีขนาดเล็กลง ซึ่งเรียกว่าเลเซอร์ (Laser) ทำให้มีการประยุกต์ใช้แสงเลเซอร์ในการมอดดูเลตสัญญาณเสียง ภาพ และข้อมูลลงไปได้

สำหรับคลื่นแม่เหล็กไฟฟ้าในความถี่ที่สูงกว่านี้ เช่น เอ็กซ์เรย์ (x-rays) , แกมม่าเรย์ (Gamma Rays) , และคอสมิกเรย์ (Cosmic Rays) ไม่ได้มีการนำมาประยุกต์ใช้ในระบบสื่อสารจึงไม่ขอกล่าวถึง

ในสภาวะปกติคลื่นวิทยุจะเดินทางจากจุดหนึ่งถึงจุดหนึ่ง โดยความเร็วเท่ากับแสงคือมีความเร็วเท่ากับแสง ซึ่งความสัมพันธ์ระหว่างความถี่ ความยาวคลื่น ความยาวคลื่นและความเร็วหาได้ จากสูตร

λ = v/f

λ = ความยาวคลื่น (เมตร)

v = ความเร็วของคลื่นวิทยุ (เมตร/วินาที)

f = ความถี่ (เฮิรตซ์)

1.4 ระบบคลื่นพาหะที่เป็นคลื่นวิทยุ (Radio Carrier)

การสื่อสารด้วยคลื่นวิทยุอาจเรียกได้ว่าเป็นการพัฒนาให้มนุษย์สามารถส่งข้อมูลหรือเสียงไปได้ไกลโดยไม่ต้องพึ่งสาย โดยธรรมชาติของคลื่นวิทยุนั้นเป็นคลื่นแม่เหล็กไฟฟ้า ขั้นตอนคือมีการแพร่กระจายพลังงานคลื่นจากสายอากาศด้านผู้ส่ง ซึ่งคลื่นสามารถเดินทางได้เร็วเท่าความเร็วของแสง นั่นคือ 186,000 ไมล์ต่อวินาที หรือ 300,000,000 เมตรต่อวินาที เมื่อคลื่นเดินทางมาถึงสายอากาศด้านผู้รับจะเกิดค่าความต่างศักย์ไฟฟ้าจำนวนน้อยๆ ค่าหนึ่ง ซึ่งหากมีการขยายและแปลงสัญญาณที่มีการส่งมาก็จะได้สัญญาณเดิมกลับมา ส่วนข้อมูลข่าวสารหรือเสียงของมนุษย์นั้นมีวิธีการ

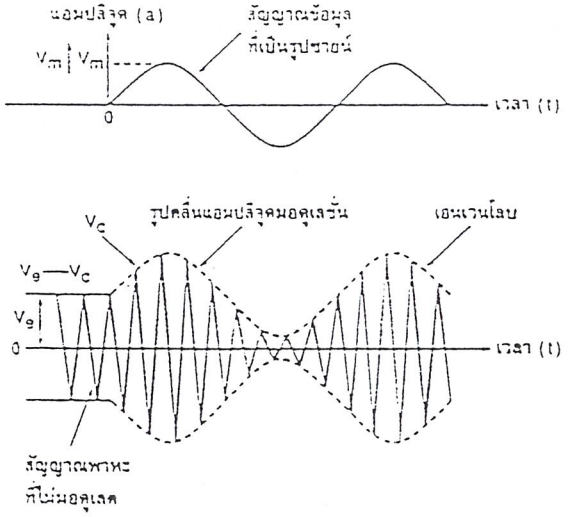
ก็คือ นำเสียงพูดรวมเข้าไปกับสัญญาณคลื่นวิทยุที่เป็นสื่ออีกช่วงความถี่หนึ่ง เราเรียกขั้นตอนดังกล่าวว่ามอดดูเลต (Modulation)

1.5 การมอดูเลชั่น (Modulation Technique)

จากความต้องการติดต่อสื่อสารระยะไกล สัญญาณเสียงพูดของมนุษย์ซึ่งอยู่ในช่วงความถี่ต่ำมีความยาวคลื่นมาก หากต้องการส่งเสียงพูดออกไปในอากาศก็จะเป็นที่ต้องใช้เสาอากาศที่มีขนาดสูงมาก ซึ่งไม่เหมาะสมและอาจมีสัญญาณรบกวนได้ง่าย จึงมีการคิดค้นเทคนิคที่จะทำให้เปลี่ยนความถี่ของเสียงพูดให้ไปอยู่ในอีกช่วงความถี่หนึ่งบนแถบความถี่ซึ่งเหมาะสำหรับการส่งออกอากาศ การมอดูเลชั่นเป็นเทคนิคที่สำคัญเป็นวิธีการเปลี่ยนรูปแบบของสัญญาณหนึ่ง (ในที่นี้คือสัญญาณพาหะ Carrier) ให้เป็นไปตามรูปแบบของสัญญาณอีกชุดหนึ่งเป็นข้อมูลหรือเสียงพูดที่ต้องการส่ง สัญญาณข้อมูลหรือเสียงพูดจะถูกเรียกว่ามอดูเลติ้งซิกแนล (Modulating signal) ส่วนสัญญาณจะถูกเรียกว่าแคเรียร์ (Carrier) หรือมอดูเลตเวฟ (Modulated wave)

1.6 การมอดูเลชั่นทางแอมปลิจูด (Amplitude Modulation)

แอมปลิจูดมอดูเลชั่น เป็นวิธีการที่คิดค้นได้ก่อนในบรรดาเทคนิคการมอดูเลตอื่นๆ เป็นการนำสัญญาณ 2 ชุดมาผสมกัน โดยสัญญาณแรกเป็นข้อมูลหรือเสียงที่ต้องการส่ง สัญญาณที่สองเป็นสัญญาณพาหะแอมปลิจูดมอดูเลชั่นเป็นการนำสัญญาณข้อมูลมาปรับเปลี่ยนขนาดแอมปลิจูดของสัญญาณพาหะ โดยที่ความถี่ของสัญญาณพาหะไม่มีการเปลี่ยนแปลง ในที่นี้สมมุติว่าสัญญาณข้อมูลที่ต้องการนำมามอดูเลตมีความถี่ค่าหนึ่งคือ f_s และสัญญาณข้อมูลที่เป็นพาหะมีความถี่อีกค่าหนึ่งคือ f_c ผลลัพธ์จากการมอดูเลชั่นจะเป็นดังรูปที่ 1.3



รูปที่ 1.3 แสดงสัญญาณข้อมูล สัญญาณพาหะ และสัญญาณผลลัพธ์ที่ได้จากการมอดูเลต

จากรูปที่ 1.3 เส้นประซึ่งเกิดจากการต่อของแอมปลิจูดสัญญาณผลลัพธ์ จะมีชื่อเรียกว่าเอนเวนโลป (Envelope) ซึ่งมีลักษณะเช่นเดียวกับคลื่นของ f_s

ลักษณะของสัญญาณที่ได้รับจากการทำแอมปลิจูดมอดูเลชั่น สัญญาณรูปซายน์นั้นโดยปกติจะสามารถอธิบายได้ด้วยรูปสมการดังนี้ $v = V\sin(2\pi\pi f)$ เมื่อกำหนดให้

V_S = แอมปลิจูดสูงสุดของสัญญาณรูปซายน์ความถี่ f_S เป็นความต่างศักย์มีหน่วยเป็นโวลต์

V_C = แอมปลิจูดของสัญญาณรูปซายน์ความถี่ f_C เป็นความต่างศักย์มีหน่วยเป็นโวลต์

V_S = แอมปลิจูดสูงสุดของสัญญาณรูปซายน์ความถี่ f_S เป็นความต่างศักย์มีหน่วยเป็นโวลต์

V_S = แอมปลิจูดสูงสุดของสัญญาณรูปซายน์ความถี่ f_C เป็นความต่างศักย์มีหน่วยเป็นโวลต์

t = เป็นเวลาใดๆ มีหน่วยเป็นวินาที

จะได้ว่าสัญญาณ

$$v_S = V_S \sin(2f_S \pi t) \tag{1.1}$$

$$v_C = V_C \sin(2f_C \pi t) \tag{1.2}$$

ข้อสังเกต ค่าของแอมปลิจูดสูงสุดของความถี่สัญญาณข้อมูลไม่ความที่จะมากกว่าแอมปลิจูดสูงสุดของความถี่สัญญาณพาหะ (Carrier) มิฉะนั้นจะเกิดการผิดเพี้ยนของสัญญาณข้อมูลได้ หลังจากการทำมอดูเลชั่นหากค่าแอมปลิจูดของสัญญาณข้อมูลสูงกว่าของสัญญาณพาหะมากๆ จะเรียกได้ว่าเกิดการโอเวอร์มอดูเลชั่น (Overmodulation) และความสัมพันธ์ของค่าความต่างศักย์ของสัญญาณทั้งสองนั้นมีการกำหนดขึ้นเรียกว่าดัชนีการมอดูเลต (Modulation Index) บางครั้งก็มีชื่อเรียกดังนี้ Modulation Factor , Modulation Coefficient , Degree of Modulation ซึ่งเป็นอัตราส่วนระหว่างค่าความต่างศักย์ของสัญญาณข้อมูลกับความต่างศักย์ของสัญญาณพาหะดังสมการข้างล่างนี้

$$m = \frac{V_S}{V_C} \tag{1.3}$$

ค่าของดัชนีการมอดูเลชั่น (Modulation Index) จะอยู่ในช่วง $0 < m < 1$ เพราะหาก m มากกว่า 1 ก็จะเกิดการโอเวอร์มอดูเลชั่น (Overmodulation) ขึ้น และนิยมคูณ 100 เข้าไปเพื่อแสดงค่าเป็นเปอร์เซ็นต์การมอดูเลชั่น

จากรูปคลื่นผลลัพธ์ทำให้พอสรุปได้ว่าค่าความต่างศักย์ที่เวลาใดๆ ของสัญญาณเกิดจากผลรวมของค่าแอมปลิจูดสูงสุดของสัญญาณพาหะกับค่าแอมปลิจูดที่เวลาใดของสัญญาณข้อมูล จะได้ค่าตามสมการข้างล่างนี้

$$v_1 = V_C + V_S \tag{1.4}$$

$$v_1 = V_C + V_S \sin(2f_S \pi t) \tag{1.5}$$

ค่าของ V_1 เป็นค่าของแอมปลิจูดของสัญญาณผลลัพธ์ตามที่เรียกว่าเอนเวนโลป (Envelope) ดังนั้นสมการที่แสดงถึงรูปคลื่นผลลัพธ์คือ

$$v_2 = v_1 \sin(2f_C \pi t) \tag{1.6}$$

$$v_2 = [V_C + V_S \sin(2f_S \pi t)] \sin(2f_C t) \tag{1.7}$$

$$= V_C \sin(2f_C \pi t) + V_S \sin(2f_S \pi t) \sin(2f_C \pi t) \tag{1.8}$$

หากพิจารณาจากสมการจะได้ว่า สัญญาณพาหะ + (สัญญาณข้อมูล × สัญญาณพาหะ)

นั่นคือ ส่วนแรกจะเป็นสัญญาณพาหะ และส่วนที่สองจะเป็นผลคูณของสัญญาณพาหะและสัญญาณข้อมูล ดังนั้นวงจรที่จะนำมาใช้สร้างแอมปลิจูดมอดูเลชั่นจะต้องเป็นวงจรคูณสัญญาณ มีชื่อเรียกว่าวงจรสำหรับทำ AM ว่ามอดูเลเตอร์ (Modulator) และจากสูตรตรีโกณมิติมิติที่ผลคูณของซายน์

$$\sin A \sin B = \cos \frac{1}{2}(A - B) - \cos \frac{1}{2}(A + B) \tag{1.9}$$

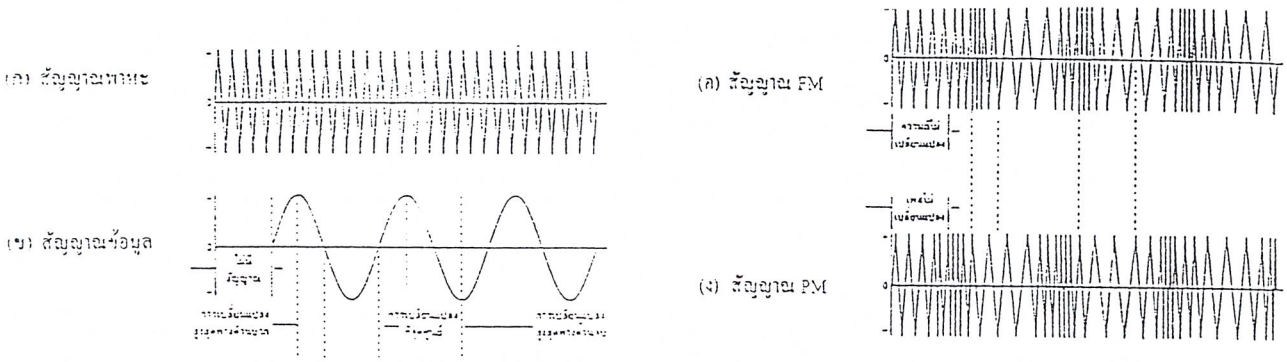
$$V_2 = V_C \sin(2f_C \pi t) + \frac{1}{2} V_S \cos 2f\pi d(f_C - f_S) - \frac{1}{2} V_S \cos 2t(f_C + f_S) \tag{1.10}$$

จากสมการข้างต้นชี้ให้เห็นว่าผลที่ได้จากการกระทำ Amplitude Modulation จะได้สัญญาณที่ความถี่ใกล้เคียงกับสัญญาณพาหะ (Carrier) ออกมาด้วย เป็นสัญญาณที่ความถี่ต่ำและสูงกว่าสัญญาณพาหะ เรียกว่าไซด์แบนด์หรือไซด์ฟรีเควนซี่ (Sidebands of Side Frequency)

$$f_{USB} = \text{Upper Sidebands Frequency} = f_C + f_S$$

$$f_{LSB} = \text{Lower Sidebands Frequency} = f_C - f_S$$

จากการวัดด้วยออสซิลโลสโคป (Oscilloscope) สัญญาณที่ได้จะไม่สามารถแยกได้ว่ามีความถี่ข้างเคียงเกิดขึ้นด้วย แต่ถ้าใช้เครื่องมือสเปกตรัมอะนาไลเซอร์ (Spectrum Analyzer) วิเคราะห์สัญญาณของแอมปลิจูดมอดูเลชั่น (Amplitude Modulation) จะได้รูปกราฟของฟรีเควนซี่โดเมน (Frequency Domain) ดังรูปที่ 1.4



รูปที่ 1.4 สัญญาณแอมปลิจูดมอดูเลชั่นในแกนความถี่

จากรูปที่ 1.4 ทำให้ทราบว่าสัญญาณที่ได้จากการมอดูเลตจะมีความถี่ใกล้เคียงเกิดขึ้นด้วยทั้งด้านบนและด้านล่างของความถี่พาหะ (Carrier) และจะได้ว่า AM ใช้ความกว้างของแถบสัญญาณหรือที่เรียกว่า Bandwidth เป็นจำนวนสองเท่าของความถี่สูงสุดของสัญญาณข้อมูล ถ้าหากสัญญาณข้อมูลมีความถี่ $f_S = 5$ kHz จะได้ว่าต้องใช้แบนด์วิธ เท่ากับ 10 kHz สำหรับสัญญาณ AM

เมื่อพิจารณากำลัง (Power) ที่ส่งออกอากาศ จะประกอบกำลังของคลื่นพาหะบวกกับกำลังของคลื่นความถี่ข้างเคียงทั้งสองด้าน (Sidebands) เนื่องจากกำลังส่งของความถี่ข้างเคียงมีค่าขึ้นอยู่กับค่าของดัชนีมอดูเลชั่น (m: Modulation Index) และค่าของกำลังส่งของ Sidebands มีค่าดังนี้

$$P_{(LSB)} = P_{(USB)} = \frac{P_C(m)^2}{4} \qquad (1.11)$$

เมื่อ P_C = ค่ากำลังส่งของสัญญาณพาหะ (Carrier)

$P_{(LSB)}$ = ค่ากำลังส่งของสัญญาณด้านที่ต่ำกว่าสัญญาณพาหะ

$P_{(USB)}$ = ค่ากำลังส่งของสัญญาณด้านที่สูงกว่าสัญญาณพาหะ

จากสมการของกำลังข้างต้นทำให้ทราบว่ายิ่งเปอร์เซ็นต์มอดูเลชั่นยิ่งสูงมากเท่าใด กำลังส่งของสัญญาณข้างเคียงก็จะยิ่งสูงมากขึ้น ทำให้การรับและการส่งสัญญาณดีขึ้น

แม้ว่า AM จะมีความง่ายและได้ผลดีวิธีหนึ่ง แต่ก็เป็นการส่งสัญญาณที่ไม่ค่อยมีประสิทธิภาพหากพิจารณาจากกำลังส่งทั้งหมด เมื่อ P_t = กำลังส่งสัญญาณทั้งหมด

$$P_t = P_C + P_{(LSB)} + P_{(USB)} \qquad (1.12)$$

$$P_t = P_C + \frac{P_C(m)^2}{4} + \frac{P_C(m)^2}{4} \qquad (1.13)$$

ที่ m = 1 หรือ 100% มอดูเลชั่นจะได้สัญญาณ Sidebands ที่มีกำลังสูงสุด

$$P_t = P_C + \frac{P_C}{2} \qquad (1.14)$$

หากกำลังส่งของสัญญาณพาหะ (Carrier) เป็น 100 Watt กำลังส่งของสัญญาณไซด์แบนด์จะมีค่า 50 Watt จากผลรวมทั้งหมด 150 Watt ซึ่งเป็นสัญญาณข้อมูลเพียง 50 Watt มีการสูญเสียไปกับกำลังส่งของสัญญาณพาหะถึง 2 ใน 3 ของพลังงานทั้งหมด โดยที่ไม่มีข้อมูลใดๆ อยู่ในสัญญาณนี้เลยด้วยสาเหตุข้างต้นจึงมีการลดหรือเอาสัญญาณพาหะออกไป ซึ่งเรียกว่าการซับเพรสชั่น (Suppression) ทำให้สัญญาณที่ได้มีเฉพาะสัญญาณไซด์แบนด์ สัญญาณ AM ที่มีการเอาสัญญาณพาหะออก เรียกว่าดับเบิ้ลไซด์แบนด์ซับเพรสแคร์เรียร์ (Double Sidebands Suppressed : DSSC หรือ DSB) จะทำให้กำลังถูกใส่ลงในสัญญาณ Sidebands ได้มากขึ้น

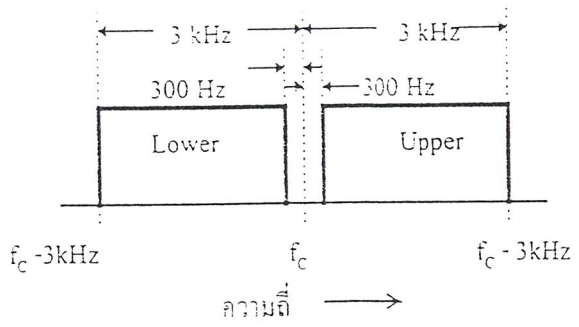
และหากพิจารณาต่อไปอีกจะพบว่าสัญญาณข้อมูลนั้นมีอยู่ซ้ำกันทั้งความถี่ด้านบน (Upper Sidebands) และความถี่ด้านล่าง (Lower Sidebands) จึงมีการคิดค้นให้ส่งสัญญาณเพียงสัญญาณข้างเดียงด้านเดียว ซึ่งเรียกว่าซิงเกิลไซด์แบนด์ซับเพรสแคร์เรียร์ (Single Sideband Suppressed Carrier SSSC หรือ SSB) เมื่อมีการใช้สัญญาณเพียงข้างเดียวทำให้สามารถประหยัดการครอบครองแถบความถี่ (Spectrum) ไปได้ครึ่งหนึ่ง จากเดิมที่สัญญาณ AM ต้องการใช้

ทั้ง DSB และ SSB มีประสิทธิภาพที่มากว่าในแง่ของกำลังส่งที่ใช้ เนื่องจากมีการประยัดกำลังส่งของสัญญาณพาหะ ทำให้สามารถนำกำลังส่งไปใส่เพิ่มในไซด์แบนด์ได้

สิ่งที่เกี่ยวข้องกับการมอดูเลชั่นทางความถี่อีกเรื่องหนึ่งคือ ฟรีเควนซี่คอนเวอร์ชั่น (Frequency Conversion) เป็นการแปลงสัญญาณข้อมูลหรือเสียงพูดไปยังความถี่ที่สูงหรือต่ำกว่า ในขณะที่ยังคงรักษาข้อมูลเบื้องต้น เป็นเพียงการเลื่อนความถี่ไปเท่านั้น ในการแปลงความถี่ให้สูงขึ้นนั้นมีการใช้งานในการส่งสัญญาณออกอากาศ ส่วนในการแปลงความถี่ให้ต่ำลงนั้นมักมีใช้ในเครื่องรับวิทยุ เพื่อทำให้สามารถเลือกช่องสัญญาณ (Selectivity) ได้สะดวกขึ้น และเพิ่มค่ากำลังขยาย (Gain) ได้ดีขึ้น ซึ่งฟรีเควนซี่คอนเวอร์ชั่นก็เป็นรูปแบบหนึ่งของแอมปลิจูดมอดูเลชั่น และกระทำได้โดยใช้วงจรที่เรียกว่ามิกเซอร์เรียกว่า เฮตเทอโรไดนิ่ง (Heterodyning)

1.7 การมอดดูเลชั่นทางมุม (Angle Modulation)

การมอดดูเลชั่นทางมุมจะแบ่งได้เป็นอีกสองวิธีคือ การมอดูเลชั่นทางความถี่ (Frequency Modulation) และการมอดูเลชั่นทางเฟส (Phase Modulation)



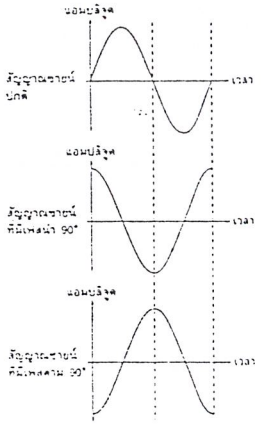
รูปที่ 1.5 แสดงสัญญาณพาหะ สัญญาณข้อมูลและสัญญาณ FM และ PM

1.7.1 การมอดูเลชั่นทางความถี่ (Frequency Modulation)

เป็นการเปลี่ยนความถี่ของสัญญาณพาหะตามการเปลี่ยนแปลงของสัญญาณข้อมูล โดยที่ค่าแอมปลิจูดของสัญญาณยังคงที่ การเปลี่ยนความถี่ของสัญญาณพาหะ จะมีความสัมพันธ์กับค่าแอมปลิจูดของสัญญาณข้อมูล เช่น เมื่อสัญญาณข้อมูลมีแอมปลิจูดสูงสัญญาณพาหะก็จะมีความถี่สดูงขึ้นด้วย ขณะที่ไม่มีสัญญาณข้อมูล เข้ามาทำการมอดูเลต สัญญาณพาหะจะมีค่าความถี่กลางอยู่ค่าหนึ่งซึ่งเรียกว่าเซนเตอร์ฟรีเควนซี่ (Center Frequency) เมื่อมีสัญญาณข้อมูลเข้ามาก็จะทำให้เกิดความถี่เปลี่ยนแปลงสูงขึ้นถูกเรียกค่าความถี่เบี่ยงเบน (Frequency Deviation) ค่าสูงสุดของความถี่เบี่ยงเบนจะเกิดขึ้นเมื่อสัญญาณข้อมูลมีแอมปลิจูดสูงสุด ความถี่ของสัญญาณข้อมูลจะเป็นตัวกำหนดให้ทราบถึงจำนวนครั้งในหนึ่งวินาทีที่เกิดการเบี่ยงเบนของความถี่ขึ้นไปสูงและต่ำกว่าค่าความถี่กลาง และอัตราดังกล่าวถูกเรียกว่าอัตราความถี่เบี่ยงเบน (Frequency Deviation Rate) ความถี่ของสัญญาณข้อมูลจะมีผลต่ออัตราการเบี่ยงเบนทางความถี่ดังกล่าว แต่จะไม่มีผลต่อปริมาณของความถี่เบี่ยงเบนไปจากค่าความถี่กลางซึ่งขึ้นอยู่กับแอมปลิจูดของสัญญาณข้อมูลเท่านั้น

1.7.2 การมอดูเลชั่นทางเฟส (Phase Modulation)

เป็นการเปลี่ยนแปลงปริมาณของการเลื่อนเฟส (Phase shift) ของความถี่คงที่ของสัญญาณพาหะตามสัญญาณข้อมูล การเลื่อนเฟสหมายถึงการเวลาที่แตกต่างกันระหว่างคลื่นซายน์สองลูกที่มีความถี่เดียวกัน คลื่นลูกหนึ่งที่มีเฟสนำ (Leading) หมายความว่าเป็นสัญญาณที่เวลาก่อนหน้าสัญญาณอีกลูกหนึ่ง หรือการที่มีเฟสตาม (Lagging) จะหมายความว่าเป็นสัญญาณที่เกิดที่เวลาหลังจากสัญญาณอีกลูกหนึ่ง ดังรูปที่ 1.6



รูปที่ 1.6 สัญญาณซายน์ปกติ สัญญาณซายน์ที่มีเฟสนำ 90 องศา และสัญญาณซายน์ที่มีเฟสตาม 90 องศา

สำหรับการมอดูเลตทางเฟสนั้น การเปลี่ยนแปลงทางเฟสของสัญญาณพาหะจะขึ้นอยู่กับแอมปลิจูดของสัญญาณข้อมูล โดยการเปลี่ยนแปลงทางบวกของสัญญาณข้อมูลอาจจะทำให้เกิดการเลื่อนเฟสตาม ส่วนสัญญาณทางลบอาจจะทำให้เกิดการเลื่อนเฟสนำ เมื่อสัญญาณเพิ่มขึ้นทางบวก (โดยไม่เกี่ยวข้องกับปริมาณของแอมปลิจูด) ปริมาณของเฟสตามก็จะเพิ่มขึ้นพร้อมกับแอมปลิจูดของสัญญาณข้อมูลสัญญาณพาหะก็จะถูกทำให้หน่วงเวลาไป เป็นผลให้สัญญาณที่ออกมานั้นเป็นสัญญาณพาหะที่ความถี่คงที่ซึ่งถูกยืดออก หรืออาจกล่าวได้ว่าความถี่ตำลงเมื่อสัญญาณข้อมูลลดลงทางลบ เฟสก็จะเปลี่ยนเป็นเฟสนำในช่วงนี้สัญญาณพาหะจะถูกเร่งความเร็วขึ้น นั่นคือความถี่ของพาหะก็จะสูงขึ้นจากปริมาณการเลื่อนเฟสมีการเปลี่ยนแปลง ซึ่งเป็นผลทำให้เกิดการเปลี่ยนแปลงทางความถี่ของสัญญาณพาหะ เกิดเป็น

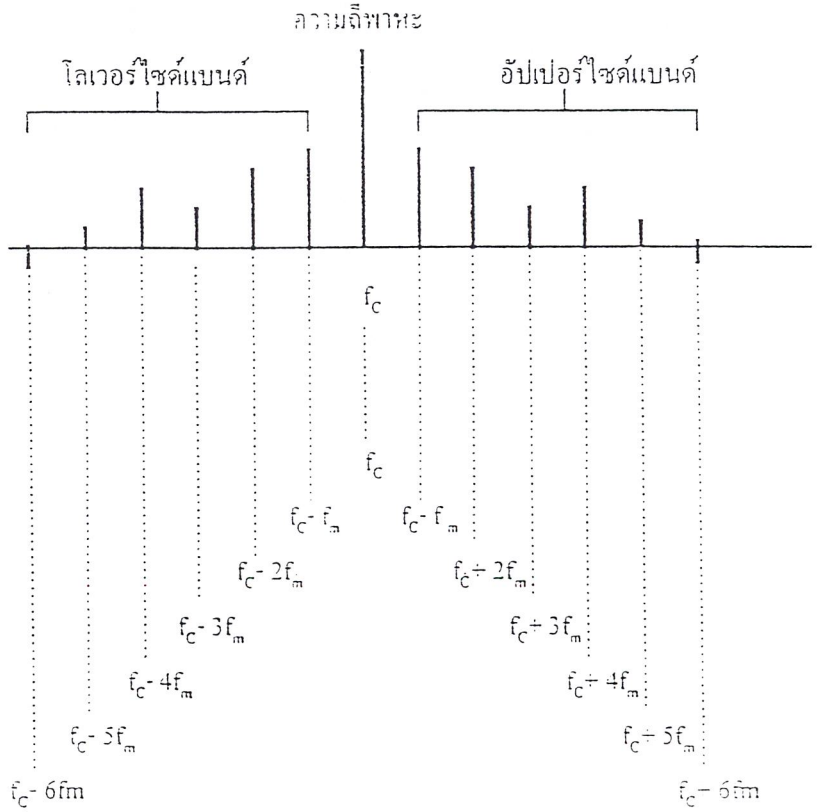
การมอดูเลตทางความถี่โดยอ้อม (Indirect FM) ที่ได้จากการมอดูเลตทางเฟส (FM) แต่การมอดูเลตทางความถี่จะเกิดเมื่อการเลื่อนเฟสมีการเปลี่ยนแปลงอยู่เท่านั้น หากไม่มีการเปลี่ยนแปลงทางเฟสการเปลี่ยนแปลงความถี่ก็จะไม่เกิดขึ้น หากพิจารณาสัญญาณข้อมูลขณะที่มีการเปลี่ยนแปลงเพิ่มหรือลดแอมปลิจูด การเปลี่ยนแปลงความถี่จะเกิดขึ้นจากตัวมอดูเลตทางเฟสหรือตัวเลื่อนเฟส และหากสัญญาณข้อมูลไม่มีการเปลี่ยนแปลงแอมปลิจูด สัญญาณพาหะจะไม่มีความถี่เปลี่ยนแปลง จะเป็นสัญญาณความถี่เดิมที่ถูกเลื่อนเฟสไปค่าหนึ่งเท่านั้น

จากการมอดูเลตทางเฟสค่าเบี่ยงเบนความถี่มากที่สุดจะปรากฏในช่วงที่สัญญาณข้อมูลมีการเปลี่ยนแปลงในอัตราสูงสุด เช่น ณ จุดที่สัญญาณข้อมูลรูปซายน์มีการเปลี่ยนแปลงค่าความต่างศักย์จากบวกไปหาลบหรือจากลบไปหาบวก หรือจุดที่สัญญาณตัดกับแกนเวลาและมีค่าความต่างศักย์เป็นศูนย์นั่นเอง แต่สำหรับการมอดูเลตทางความถี่ค่าเบี่ยงความถี่มากที่สุดจะเกิดในช่วงที่แอมปลิจูดของสัญญาณข้อมูลมีค่าสูงสุดทั้งทางบวกและทางลบ ถึงแม้ว่าตัวมอดูเลตทางเฟสจะสร้างสัญญาณมอดูเลตทางความถี่ (FM) แต่ค่าเบี่ยงเบนความถี่จะปรากฏที่คนละช่วงเวลากัน นั่นคือความแตกต่างของการมอดูเลตทั้งสองแบบ

ในการมอดูเลตทางเฟส (PM) ค่าของเฟสนำและเฟสตามที่มากที่สุดจะปรากฏที่แอมปลิจูดสูงสุดของสัญญาณข้อมูล และค่าเบี่ยงเบนความถี่ที่สัญญาณขาออกของวงจรเลื่อนเฟสจะขึ้นอยู่กับอัตราการเปลี่ยนแปลงของสัญญาณข้อมูล ยิ่งอัตราการเปลี่ยนแปลงของสัญญาณมีค่าสูงมากค่าเบี่ยงเบนความถี่จะยิ่งมาก ทำให้พอจะสรุปได้ว่าในการมอดูเลตทางเฟสนั้นการเบี่ยงความถี่ของสัญญาณพาหะจะขึ้นอยู่กับปัจจัยสองอย่างคือ ความถี่และแอมปลิจูดของสัญญาณข้อมูล ในขณะที่การมอดูเลชั่นทางความถี่ (FM) จะมีค่าเบี่ยงเบนความถี่ขึ้นอยู่กับแอมปลิจูดของสัญญาณข้อมูลเพียงอย่างเดียว

1.7.3 ความถี่ข้างเคียงและดัชนีการมอดูเลชั่น

ผลจากการมอดูเลตไม่ว่าด้วยวิธีการใดจะทำให้เกิดความถี่ข้างเคียงขึ้น ในการมอดูเลตทางความถี่และทางเฟสก็เกิดความถี่ข้างเคียงที่เป็นความถี่ ของผลรวมและผลต่างของสัญญาณพาหะและสัญญาณข้อมูลขึ้น เช่นกัน ตามทฤษฎีแล้วจะเกิดคู่ของความถี่ข้างเคียงขึ้นเป็นจำนวนอนันต์คู่ทั้งทางด้านบนและด้านล่างของความถี่กลาง ทำให้สัญญาณที่ถูกมอดูเลตทางความถี่และเฟสมีการใช้งานแถบความถี่ (Spectrum) มากกว่าสัญญาณที่มอดูเลตทางแอมปลิจูด ดังรูปที่ 1.7



รูปที่ 1.7 แสดงแถบความถี่ของสัญญาณ FM

จากรูปจะเห็นว่าแถบความถี่ของสัญญาณมอดูเลตทางความถี่โดยทั่วไป ที่สัญญาณพาหะถูกมอดูเลตด้วยสัญญาณรูปซายน์ที่ความถี่เดียว จะเห็นว่าความถี่ข้างเคียงจะเว้นระยะห่างจากสัญญาณความถี่พาหะและความถี่ข้างเคียงด้วยกันเป็นระยะเท่าๆ กัน เท่ากับความถี่สัญญาณข้อมูล และแอมปลิจูดของสัญญาณข้างเคียงไม่เท่ากัน หากสมมติว่าสัญญาณความถี่ข้างเคียงต่างๆ เป็นสัญญาณรูปซายน์ที่มีความถี่และแอมปลิจูดเฉพาะตัว เมื่อนำมารวมกันจะได้ผลลัพธ์เป็นสัญญาณที่ถูกมอดูเลตทางความถี่นั่นเอง

ลักษณะต่างๆ ของจำนวนความถี่ข้างเคียง ขนาดแอมปลิจูดของความถี่ข้างเคียง และระยะห่างระหว่างความถี่จะขึ้นอยู่กับค่าเบี่ยงเบนความถี่ (Frequency Deviation) และความถี่ของสัญญาณข้อมูล แม้ว่าสัญญาณมอดูเลชั่นทางความถี่จะมีความถี่ข้างเคียงจำนวนอนันต์ แต่ความถี่ข้างเคียงที่มีแอมปลิจูดสูงเพียงพอเท่านั้นจึงจะถือว่าเป็นสัญญาณที่มีข้อมูลอยู่ โดยปกติสัญญาณที่มีแอมปลิจูดต่ำกว่า 1% ของสัญญาณพาหะที่ยังไม่ถูกมอดูเลตจะถือว่าไม่มีความสำคัญ

จากความสัมพันธ์ข้างต้น ทำให้เกิดอัตราส่วนระหว่างค่าเบี่ยงเบนความถี่กับความถี่ของสัญญาณข้อมูล ซึ่งเรียกว่าดัชนีการมอดูเลต (Modulation Index : m)

$$m = \frac{f_d}{f_m} \tag{1.15}$$

เมื่อ f_d = ค่าความถี่เบี่ยงเบน

f_m = ค่าความถี่ของสัญญาณข้อมูล

ดัชนีมอดูเลชั่น	พาหะ	ไซด์แบนด์ (เป็นคู่)															
		1st	2d	3d	4th	5th	6th	7th	8th	9th	10th	11th	12th	13th	14th	15th	16th
0.00	1.00	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0.25	0.98	0.12	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0.50	0.94	0.24	0.03	-	-	-	-	-	-	-	-	-	-	-	-	-	-
1.00	0.77	0.44	0.11	0.02	-	-	-	-	-	-	-	-	-	-	-	-	-
1.50	0.51	0.56	0.23	0.06	0.01	-	-	-	-	-	-	-	-	-	-	-	-
2.00	0.22	0.58	0.35	0.13	0.03	-	-	-	-	-	-	-	-	-	-	-	-
2.50	-0.05	0.50	0.45	0.22	0.07	0.02	-	-	-	-	-	-	-	-	-	-	-
3.00	-0.26	0.34	0.49	0.31	0.13	0.04	0.01	-	-	-	-	-	-	-	-	-	-
4.00	-0.40	-0.07	0.36	0.43	0.28	0.13	0.05	0.02	-	-	-	-	-	-	-	-	-
5.00	-0.18	-0.33	0.05	0.36	0.39	0.26	0.13	0.05	0.02	-	-	-	-	-	-	-	-
6.00	0.15	-0.28	-0.24	0.11	0.36	0.25	0.25	0.13	0.06	0.02	-	-	-	-	-	-	-
7.00	0.30	0.00	-0.30	-0.17	0.16	0.34	0.34	0.23	0.13	0.06	0.02	-	-	-	-	-	-
8.00	0.17	0.23	-0.11	-0.29	-0.10	0.34	0.34	0.32	0.22	0.13	0.06	0.03	-	-	-	-	-
9.00	-0.09	0.24	0.14	-0.18	-0.27	0.20	0.28	0.33	0.30	0.21	0.12	0.06	0.03	0.01	-	-	-
10.00	-0.25	0.04	0.25	0.06	-0.22	-0.01	-0.01	0.22	0.31	0.29	0.20	0.12	0.06	0.03	0.01	-	-
12.00	-0.05	-0.22	-0.08	0.20	0.18	-0.07	-0.24	-0.17	0.05	0.23	0.30	0.27	0.20	0.12	0.07	0.03	0.01
15.00	-0.01	0.21	0.04	0.19	-0.12	0.13	0.21	0.03	-0.17	-0.22	-0.09	0.10	0.24	0.28	0.25	0.18	0.12

ตารางที่ 1 แสดงแอมปลิจูดของสัญญาณพาหะและสัญญาณไซด์แบนด์ตามค่าดัชนีการมอดูเลชั่นคำนวณตามฟังก์ชั่นเบสเซลล์

ค่าเบี่ยงเบนความถี่และค่าความถี่ของสัญญาณข้อมูลมักจะใช้ค่ามากที่สุด เพื่อนำมาคำนวณดัชนีการมอดูเลตและนอกจากนั้นค่าดัชนีดังกล่าวก็ถูกเรียกว่าอัตราการเบี่ยงเบนด้วย

สัญญาณที่ถูกมอดูเลตทางความถี่ (FM) จะใช้แถบความถี่กว้างเท่าใดนั้นก็ขึ้นอยู่กับดัชนีการมอดูเลตหากค่าดัชนีการมอดูเลตมากก็จะใช้แถบความถี่กว้างมาก ดังนั้นสามารถประหยัดแถบความถี่ได้ด้วยการกำจัดค่าของดัชนีการมอดูเลต ความกว้างของแถบความถี่สามารถหาได้จากค่าดัชนีการมอดูเลตและผลจากตารางที่ 1 ดังสมการดังนี้

แถบความกว้างของความถี่ (Bandwidth) = $2f_m$ × จำนวนของความถี่ข้างเคียงที่สำคัญ เมื่อ f_m = ความถี่ของสัญญาณข้อมูล

1.8 เครื่องส่งสัญญาณคลื่นวิทยุ (Radio Transmitters)

จุดเริ่มต้นของการส่งคลื่นวิทยุนั้นประกอบด้วยการสร้างสัญญาณที่เป็นสื่อหรือพาหะที่เรียกว่าแคร์เรียร์เจเนอร์เรชั่น (Carrier Generation) นำสัญญาณมามอดูเลตกับสัญญาณข้อมูลหรือเสียง แล้วจึงทำการขยายสัญญาณเพื่อส่งออกไปยังสายอากาศหรือตัวนำคลื่นเป็นสัญญาณความถี่วิทยุ (RF) ขอยกตัวอย่างเช่น เครื่องส่งสัญญาณรหัสมอร์สหรือเครื่องส่งสัญญาณแบบคลื่นต่อเนื่อง (CW, Continuous Wave) ที่ให้สัญญาณแบบสั้นและยาวที่เรียกว่าดอตส์แอนด์เดชส์ (Dots and Dashs) โดยมีวงจรสร้างสัญญาณพาหะก็คือออสซิลเลเตอร์ ซึ่งต่อเชื่อมเข้ากับวงจรขยายเพื่อเพิ่มกำลังส่งออกไปกับสายอากาศ ส่วนที่สร้างสัญญาณข้อมูลเพียงต่อสัญญาณที่ได้จากออสซิเลเตอร์เข้ากับสวิตช์แบบกดติดปล่อยดับ ที่ต่อสัญญาณลงกราวด์ จากตัวอย่างดังกล่าวทำให้พอที่จะมองภาพของส่วนประกอบของเครื่องส่งสัญญาณได้ดังนี้

1) **วงจรสร้างสัญญาณพาหะ (Carrier Generator)** โดยส่วนมากจะเป็นวงจรคริสตอลออสซิเลเตอร์ (Crystal Oscillator) ซึ่งจะให้สัญญาณความถี่ที่ต้องการได้เที่ยงตรงและมีเสถียรภาพดี โดยส่วนมากมักมีการต่อวงจรขยายแบบบัฟเฟอร์เข้าไปเพื่อแยกวงจรออสซิเลเตอร์ออกจากโหลด เป็นการป้องกันการเปลี่ยนความถี่เนื่องจากค่าโหลดของวงจรออกซิเลเตอร์มีการเปลี่ยนแปลงไป

2) **วงจรมอดูเลตสัญญาณ (Modulator)** ทำการแปลงคุณสมบัติของสัญญาณพาหะให้มีลักษณะตามการเปลี่ยนแปลงของข้อมูลหรือเสียงพูดที่ต้องการส่ง จากตัวอย่างข้างต้นก็เหมือนกับสวิตช์ที่ต่อลงกราวด์ หรือจะเป็นวงจรมอดูเลตในวิธีการต่างๆ เช่นแอมปลิจูดมอดูเลชั่น (AM) หรือฟรีเควนซี่มอดูเลชั่น (FM) ดังที่ได้กล่าวในหัวข้อที่ผ่านมา

3) **วงจรขยาย (Amplifier)** เป็นการขยายสัญญาณในรูปแบบต่างๆ ในขั้นตอนที่ต่างกัน ตัวอย่างเช่นวงจรขยายภาคสุดท้ายก่อนที่จะออกไปที่สายอากาศ สำหรับวงจรขยายมีการจัดออกเป็นหลายแบบมีการเรียกเป็นคลาส (Class) ตามวิธีการไบอัสวงจรขยาย ดังต่อไปนี้

3.1) วงจรขยายคลาสเอ (Class A) เป็นวงขยายที่ต่อทรานซิสเตอร์แบบที่มีการไบอัสให้วงจรทรานซิสเตอร์มีกระแสไหลผ่านขาคอเลคเตอร์ (Collector) หรือที่เรียกว่ากระแสเดรน (Drain Current) ตลอดเวลา เป็นวงจรขยายแบบเชิงเส้น (Linear Amplifier) เนื่องจากสัญญาณที่ได้ในขาออกเป็นสัดส่วนโดยตรงกับสัญญาณขาเข้า แต่วงจรคลาสเอ ก็เป็นวงจรขยายที่ไม่ค่อยมีประสิทธิภาพ เนื่องจากวงจรมีการขยายสัญญาณ โดยทำงานตลอดลูกคลื่นสัญญาณซายน์ขาเข้า หรือที่เรียกว่าครบ 360 องศา ดังนั้นวงจรขยายคลาสเอ จึงไม่เหมาะที่จะเป็นวงจรขยายกำลัง (Power Amplifier) เพราะโดยปกติมักใช้ในวงจรขยายชั้นต้นที่มีสัญญาณความต่างศักย์ต่ำหรือวงจรขยายกำลังต่ำ (Low-Power Amplifier) ตัวอย่างเช่นวงจรขยาย แบบบัฟเฟอร์ (Buffer Amplifier)

3.2) วงจรขยายคลาสบี (Class B) เป็นวงจรขยายที่ต่อทรานซิสเตอร์แบบที่มีการไบอัสให้ทรานซิสเตอร์อยู่ในช่องคัตออฟ (Cutoff) เป็นภาวะที่ไม่มีกระแสไหล โดยปกติเมื่อไม่มีสัญญาณขาเข้า ก็จะไม่มีกระแสไหลที่กระแสไหลที่ขาคอลเลคเตอร์ ตัวทรานซิสเตอร์จะทำงานนำกระแสเพียงช่วงครึ่งลูกของสัญญาณซายน์ที่ต้องการขยายสัญญาณเต็มลูกคลื่นจึงมีการต่อวงจรแบบที่เรียกว่าพุชแอนด์พูล (Push and Pull) โดยใช้วงจรขยายคลาสบี สองชุดทำงานทั้งในช่วงสัญญาณบวกและสัญญาณลบสลับต่อเนื่องกันไป วงจรขยายคลาสบี มีประสิทธิภาพดีกว่าวงจรขยายคลาสเอ เนื่องจากการไหลของกระแสไฟจะเกิดเพียงช่วงหนึ่งของสัญญาณเท่านั้น ซึ่งเหมาะสำหรับวงจรขยายกำลัง (Power Amplifier) แต่สัญญาณที่ได้ก็ยังมีความเพี้ยน ผิดรูปแบบ (Distortion) ไป ดังนั้นจึงมีการต่อวงจรขยายแบบพุชแอนด์พูลเพื่อลดความเพี้ยนของสัญญาณด้วย

3.3 วงจรขยายคลาสเอบี (Class AB) เป็นวงจรขยายที่มีการไบอัสทรานซิสเตอร์ให้อยู่ในช่วงที่เกือบจะคัตออฟ (Cutoff) จึงมีกระแสไหลที่ขาคอลเลคเตอร์เพียงเล็กน้อย ทำให้เมื่อมีสัญญาณขาเข้ามาถึงก็จะทำงานในช่วงของสัญญาณที่มากกว่า 180 องศา แต่ไม่ถึง 360 องศา ของลูกคลื่นซายน์และก็มักมีการต่อใช้ในรูปแบบของวงจรขยายแบบพุชแอนด์พูลเช่นเดียวกับคลาสบี ซึ่งทำให้มีความเพี้ยน (Distortion) ของสัญญาณน้อยกว่าในคลาส เอบี นั่นคือมีความเป็นเชิงเส้นมากกว่า แต่ก็ยังมีประสิทธิภาพน้อยกว่าในแบบคลาสบี

วงจรขยายในแบบคลาสเอ คลาสบี คลาสเอบี เป็นวงจรขยายเชิงเส้นที่มักใช้ในการขยายสัญญาณคลื่นวิทยุที่มีการเปลี่ยนแปลงแอมปลิจูด เช่นวงจรขยาย AM แบบกำลังต่ำหรือแบบซิงเกิลไซด์แบนด์ (SSB, Single Sideband) วงจรขยายแบบไม่เชิงเส้นเช่นวงจรขยายคลาสซี (Class C) ที่เป็นวงจรซึ่งใช้มากในเครื่องส่งแบบ AM และ FM สำหรับการขยายกำลัง (Power Amplifier) ในรูปของวงจรขับ (Driver) , วงจรคูณความถี่ (Frequency) และวงจรขยายภาคสุดท้าย (Final Amplifier)

3.4 วงจรขยายคลาสซี (Class C) เป็นวงจรทรานซิสเตอร์ที่ถูกไบอัสที่ทำให้มีการนำสัญญาณเพียงส่วนที่น้อยกว่า 180 องศา ของลูกคลื่นซายน์ขาเข้า วิธีการไบอัสทรานซิสเตอร์สำหรับคลาสซีมีอยู่ด้วยกัน 3 วิธีคือ ไบอัสด้วยสัญญาณ (Single Bias) , ไบอัสด้วยวงจรภายนอก (External Bias) , ไบอัสด้วยตนเอง (Self Bias) และปกติมีมุมช่วงทำงานของวงจรอยู่ในช่วง 90 ถึง 150 องศา นั่นหมายถึงมีเพียงสัญญาณเพียงพัลส์เล็กๆ เท่านั้นออกมาที่ขาออก ดังนั้นการทำให้มีสัญญาณขยายเต็มลูกคลื่นจะต้องมีการนำวงจรจูนเรโซแนนซ์ (Resonant Tuned Circuit) มาต่อเข้าที่ขาออกเพื่อที่จะได้สัญญาณลูกคลื่นซายน์เต็มลูกคลื่น ตัวอย่างเช่นการทำงานของวงจรจูนแบบคู่ขนาน (Parallel Tuned Circuit) ที่จะทำให้กำเนิดสัญญาณความถี่ที่ความถี่เรโซแนนซ์ เมื่อใดก็ตามที่ได้รับสัญญาณพัลส์จากวงจรภายนอก วงจรจูนแบบคู่ขนานประกอบไปด้วยคาปาซิเตอร์และตัวนำ เมื่อได้รับสัญญาณพัลส์ก็จะเกิดการถ่ายทอดพลังงานระหว่าคาร์ปาซิเตอร์และตัวนำ ซึ่งเรียกปรากฏการณ์ฟลายวีล (Fly Wheel Effect) ซึ่งจะสร้างสัญญาณลูกคลื่นซายน์ที่ความถี่เรโซแนนซ์ ขณะเดียวกันก็สามารถใช้เป็นวงจรจูนความถี่ก็ได้ โดยการต่อเข้ากับวงจรเรโซแนนซ์ที่สร้างความถี่ที่เป็นจำนวนเต็มเท่าของสัญญาณความถี่ขาเข้า และที่เหนือกว่าคลาสอื่นๆ ก็คือคลาสซีมีการขยายสัญญาณขาเข้าเพียงช่วงสั้นๆ เท่านั้น ดังนั้นจึงมีประสิทธิภาพที่ดีที่สุดในบรรดาวงจรขยาย ทั้งหมด

4) **วงจรอิมพีแดนซ์แมตชิ่ง (Impedance Matching Circuit)** เป็นวงจรที่ใช้สำหรับเชื่อมต่อระหว่างวงจรขยายภาคความถี่วิทยุ (RF Amplifier) ในแต่ละภาคเพื่อให้ได้กำลังส่งที่มากที่สุด การที่จะทำให้มีการถ่ายพลังงานมากที่สุดจากวงจรขยายชุดหนึ่งจะต้องมีค่าของอิมพีแดนซ์ของวงจรแรกเท่ากับค่าอิมพีแดนซ์ขาเข้าของวงจรถัดไป วงจรอิมพีแดนซ์แมตชิ่ง โดยทั่วไปจะเป็นวงจรของตัวนำและตัวเก็บประจุ LC (Inductors and Capacitors) ที่มีรูปแบบการต่อต่างๆ กัน เช่น โครงข่ายรูป L และโครงข่ายรูป T หรืออาจจะเป็นหม้อแปลงรูปโดนัทที่เป็นแกนผงเหล็กเรียกว่าทอรอยด์ (Toroid)

5) **วงจรกระบวนการเสียง (Speech Processing Circuit)** เป็นวงจรอีกส่วนหนึ่งซึ่งทำหน้าที่เกี่ยวกับเสียงในระบบของเครื่องส่ง เช่น ในเครื่องส่งอาจมีวงจรที่ใช้สำหรับป้องกันการมอดูเลชั่นมากเกินไป (Over Modulation) หรือตัวอย่างของวงจรกระบวนการเสียง เช่น วงจรจำกัดขนาดของเสียง (voice Clipper) ซึ่งได้ใช้ไดโอดในการลดแอมปลิจูดของสัญญาณในการมอดูเลตสัญญาณเสียง

1.9 เครื่องรับสัญญาณ (Communications Receivers)

หน้าที่ของเครื่องรับสัญญาณ คือทำการเลือกช่องสัญญาณที่ต้องการออกมาจากสัญญาณอื่นๆ ที่ถูกส่งออกมาในอากาศ และขยายสัญญาณกลับไปเป็นสัญญาณข้อมูลที่ส่งมาได้ โดยปกติเครื่องรับจะมีปัจจัย 2 ประการที่ต้องคำนึงถึงดังนี้

1) **ค่าซีเล็กติวิตี้ (Selectivity)** หมายถึงความสามารถในการรับสัญญาณโดยเลือกเอาเฉพาะช่องสัญญาณที่ต้องการเข้ามาเท่านั้น หากค่าเครื่องรับสัญญาณมีค่าซีเล็กติวิตี้ (Selectivity) ที่ดีก็จะสามารถรับสัญญาณช่องที่ต้องการและกำจัดสัญญาณช่องข้างเคียงออกไปได้

2) **ค่าเซนซิติวิตี้ (Sensitivity)** หมายถึงความสามารถในการรับสัญญาณที่ต้องการที่มีขนาดเล็กหรือสัญญาณอ่อนแล้วนำมาขยายให้ได้สัญญาณที่มีความแรงมากขึ้น โดยปกติค่าเซนซิติวิตี้จะแสดงถึงการขยายสัญญาณอ่อนแล้วนำมาขยายให้ได้สัญญาณที่มีความแรงมากขึ้น โดยปกติค่าเซนซิติวิตี้จะแสดงถึงการขยายสัญญาณด้วย นั่นคือยิ่งมีกำลังขยายมากเซนซิติวิตี้ก็จะยิ่งดีขึ้น และจะแสดงอยู่ในรูปของค่าแรงดันของสัญญาณขาเข้าที่มีจนาดเล็กที่สุดซึ่งจะสามารถขยายสัญญาณได้มากกว่า 10 เท่าของสัญญาณรบกวน

บทที่ 2
ระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป

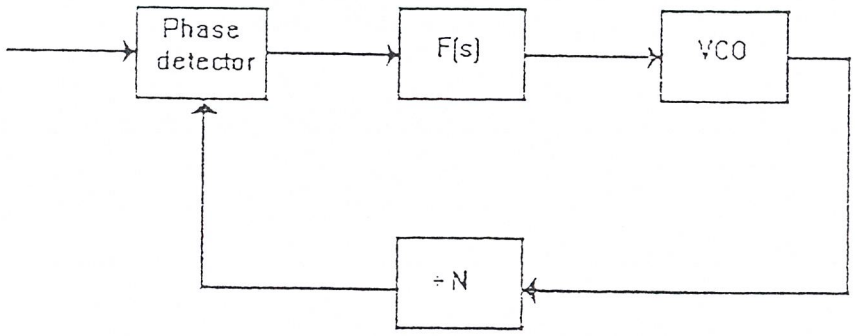
เฟสล็อคลูปซินธิไซเซอร์ (Phase lock loop synthesizer) เป็นวงจรสังเคราะห์ความถี่ชนิดโปรแกรมได้ ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะ และให้มีความถี่ตามที่เรากำหนดโดยการประยุกต์ใช้งานของเฟสล็อคลูป ซึ่งเป็นระบบป้อนกลับที่มีการเปลี่ยนความถี่และเฟสของวงจรของออสซิเลเตอร์ตามสัญญาณอินพุทที่ป้อนเข้ามา บล็อคไดอะแกรมเบื้องต้นของเฟสล็อคลูปซินธิไซเซอร์ แสดงดังรูปที่ 2.1 ประกอบด้วยส่วนสำคัญ 4 ส่วน ดังนี้

ส่วนเปรียบเทียบเฟส (Phase Detector: PD)

ลูปฟิลเตอร์ (Loop Filter: LF)

วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (Voltage Control Osccillator: VCO)

วงจรหารความถี่ที่สามารถโปรแกรมได้ (Programmable Divider)



รูปที่ 2.1 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป

สามารถอธิบายการทำงานคล่าว ๆ ได้ดังนี้ ขณะที่ยังไม่มีสัญญาณเข้าไปในระบบ แรงดันควบคุม (control voltage) $V_c(t)$ จะเท่ากับศูนย์ VCO จะทำงานโดยตั้งความถี่ไว้ที่ f_0 ซึ่งเรียกว่า ความถี่ฟรีรันนิ่ง ถ้ามีสัญญาณเข้าไปในระบบ เฟสดีเท็คเตอร์จะทำการเปรียบเทียบเฟสและความถี่ของสัญญาณอินพุท f_r กับความถี่ของ VCO ถ้าเกิดความแตกต่างของสัญญาณทั้งสองเนื่องจากความถี่ไม่ตรงกันจะเกิดแรงดันคลาดเคลื่อนออกมา $V_E(t)$ แรงดันคลาดเคลื่อนนนี้จะถูกกรองผ่านวงจรลูปฟิลเตอร์ ขยายแล้วป้อนให้กับ VCO ในการนี้แรงดันควบคุม $V_C(t)$ จะไปบังคับความถี่ของ VCO ให้เปลี่ยนไปในทิศทางที่จะลดความถี่ที่แตกต่างระหว่างความถี่ f_0 กับความถี่ f_1 ถ้าความถี่ f_1 ใกล้เคียงกับ f_0 จากการป้อนกลับของเฟสล็อคลูปซึ่งสัญญาณที่ป้อนกลับไปยังลูปฟิลเตอร์จะเป็นความถี่เอาท์พุทของ VCO ที่ถูกหารโดย N จะทำให้ VCO ซิงโครนัสหรือล็อคกับสัญญาณอินพุทที่ป้อนเข้ามา ขณะที่ทำการล็อคนั้นความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณอินพุทพอดี

ในสภาวะล็อคความถี่จะได้ว่า

$$f_r = f_d \tag{2.1}$$

และความถี่ที่ได้จากวงจรหาร

$$f_d = f_v/N \tag{2.2}$$

ดังนั้นความถี่ที่เอาท์พุทจะได้เป็น

$$f_o = Nf_i \qquad (2.3)$$

แต่ในสภาวะล็อคความถี่ เฟสของสัญญาณทั้งสองจะยังคงต่างกันอยู่ซึ่งมีความจำเป็นต่อการผลิตแรงดันคลาดเคลื่อน $V_E(t)$ ที่จะคอยปรับความถี่ VCO จากค่าความถี่ฟรีรันนิ่งให้เท่ากับความถี่ที่เข้ามา ดังนั้นเฟสล็อคลูปจะยังคงรักษาสภาพการล็อคอยู่ การที่ระบบสามารถที่จะปรับตัวได้เองทำให้เฟสล็อคลูปสามารถติดตามการล็อคกับระบบซึ่งจะขึ้นอยู่กับแรงดันคลาดเคลื่อน

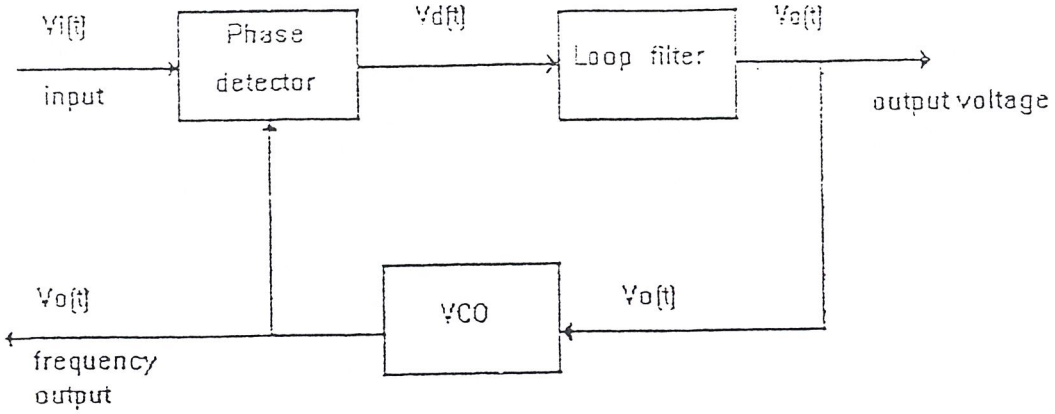
ช่วงของความถี่ซึ่งเฟสล็อคลูปสามารถทำการล็อคอย่างแท้จริงกับสัญญาณอินพุทเรียกว่า ช่วงแคปเจอร์ จะขึ้นอยู่กับขอบแบนด์ของมิเตอร์และอัตราขยายลูปปิดของระบบทั้งหมด

เฟสล็อคลูปที่มีการหารความถี่ชนิดโปรแกรมได้ภายในลูปเป็นวิธีที่เหมาะสำหรับการสังเคราะห์ความถี่ที่มีค่ามากจากความถี่อ้างอิงความถี่เดียว

คุณสมบัติที่ต้องการของวงจรสังเคราะห์ความถี่จะต้องผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่กำหนด ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงที่แน่นอนแล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนแปลงได้ทีละขั้น ซึ่งเรียกว่ารีโซลูชั่น (resolution)

2.1 ระบบเฟสล็อคลูป

ระบบเฟสล็อคลูปเบื้องต้นแสดงดังรูปที่ 2.2

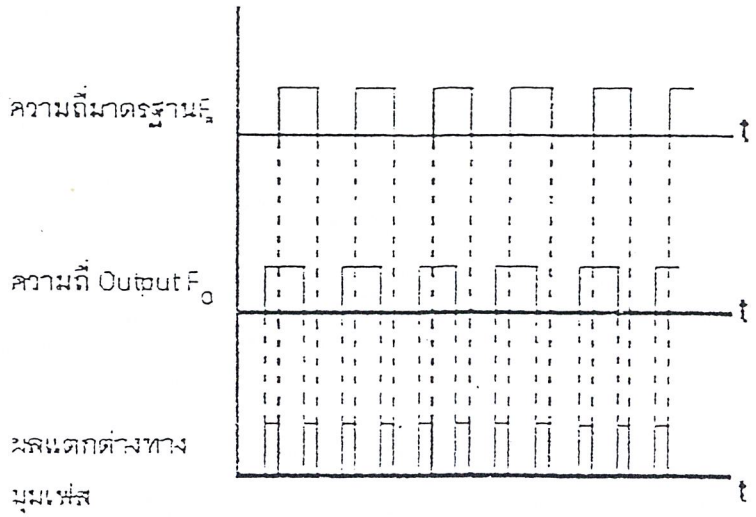


รูปที่ 2.2 แสดงบล็อคไดอะแกรมของวงจรเฟสล็อคลูป

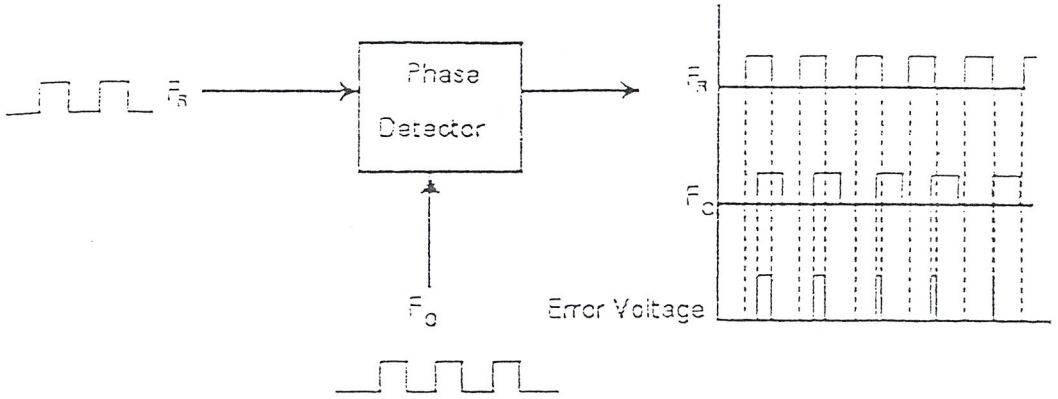
แต่ละส่วนมีผลต่อคุณสมบัติและการทำงานของระบบ หน้าที่ของแต่ละส่วนจะอธิบายได้ดังนี้

1.เฟสดีเทคเตอร์ เฟสดีเทคเตอร์ทำหน้าที่เปรียบเทียบเฟสของอินพุทซึ่งจะมีสองผลของเฟสที่ต่างกันเรียกว่าเฟสเออร์เรอร์ เฟสเออร์เรอร์นี้จะมีค่าน้อยที่สุดเป็นศูนย์ และจะมีค่ามากที่สุดเป็น $\pi / 2$ เฟสดีเทคเตอร์จะทำการเปลี่ยนเฟสเออร์เรอร์นี้ให้กลายเป็นระดับโวลท์แตจด้วยค่าคอนเวอร์ชั่นเกน K_d (volt/radian) ลักษณะการเปรียบเทียบเฟสของอินพุททั้งสองของเฟสดีเทคเตอร์จะได้แสดงดังรูปที่ 2.3ก

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.3ก ผลต่างเฟสเมื่อเฟสเท่ากัน



รูปที่ 2.3ข เมื่อเฟสของอินพุทไม่เท่ากัน

2. **ลูปฟิลเตอร์** ทำหน้าที่กรองสัญญาณความถี่สูงที่ออกมาจากเฟสดีเทคเตอร์ เนื่องจากเฟสดีเทคเตอร์ให้เอาท์พุทเป็นสัยญาณดีซีที่มีเอซีโวลท์เตจร่วมมาด้วย สัญญาณความถี่ที่ได้เกิดจากความต่างเฟส ยิ่งต่างเฟสมากความถี่ยิ่งสูง ดังนั้นลูปฟิลเตอร์จึงช่วยกรองเอาสัญญาณความถี่สูงซึ่งแสดงว่ามีความต่างเฟสมากออกทำให้ระบบสามารถแคปเจอร์สัญญาณได้ในช่วงหนึ่งและช่วยให้ระบบรักษาการล็อคไว้ได้ อีกด้วย

3. **วีซีโอ** จะทำหน้าที่ผลิตสัญญาณความถี่โดยการควบคุมระดับโวลทท์เตจอินพุทด้วยคอนเวอร์ชั่นเกนเท่ากับบ K_o (radian/volt) ระดับโวลท์เตจนี้จะได้จากเอาท์พุทของลูปฟิลเตอร์ ความถี่ที่ล็อคมาจากลูปฟิลเตอร์จะมีผลทำให้เอาท์พุทของวีซีโอเปลี่ยนความถี่ด้วยเช่นกัน

การทำงานของระบบเฟสล็อคลูปสามารถอธิบายอย่างคร่าว ๆ ได้ดังนี้ เฟสดีเทคเตอร์จะเปรียบเทียบเฟสของสัญญาณอินพุท $V_i(t)$ กับความถี่เอาท์พุทของ VCO และทำให้ได้เออร์เรอร์โวลท์เตจ $V_d(t)$ สัญญาณเออร์เรอร์โวลท์เตจนี้จะถูกกรองด้วยลูปฟิลเตอร์และถูกป้อนไปยังคอนโทรลอินพุทของ VCO ในรูปของแรงดันควบคุมเพื่อควบคุมความถี่ของ VCO

36703

ตามปกติเมื่อไม่มีสัญญาณอินพุทป้อนให้กับระบบเฟสล็อคลูปเออร์เรอร์โวลท์เตจที่ผ่านลูปฟิลเตอร์ $V_0(t)$ ในฟิดแบ็คลูปจะมีค่าเป็นศูนย์ VCO จะทำงานที่ความถี่ศูนย์กลาง $\omega_0 = 2\pi f_0$ ซึ่งเราเรียกว่า ความถี่ฟรีรันนิ่งของ VCO

ถ้ามีสัญญาณอินพุทเป็นเอซีป้อนให้กับระบบเฟสล็อคลูปและสัญญาณดังกล่าวมีความถี่อินพุท $\omega_1 = 2\pi f_0$ ใกล้เคียงกับความถี่ฟรีรันนิ่งพอเพียง การฟิดแบ็คของเฟสล็อคลูปจะทำให้ได้เออร์เรอร์โวลท์เตจไปขับ VCO ให้มีความถี่ซิงโครนัสกับความถี่อินพุทเมื่อความถี่ของ VCO ซิงโครนัส กับความถี่อินพุทแสดงว่าระบบเฟสล็อคลูปมีความถี่เอาท์พุทล็อคลูปมีความถี่เอาท์พุทล็อคกับความถี่ของสัญญาณอินพุท

การทำงานของระบบเฟสล็อคลูปสามารถแบ่งได้เป็น 3 ลักษณะตามคุณสมบัติของลูปดังนี้

ก. เมื่อระบบไม่อยู่ในสภาวะล็อค $(\omega_1 \neq \omega_0)$

จากระบบเฟสล็อคลูปในรูปที่ 2.1 เราสมมติสัญญาณ V_I และ V_O เป็นสัญญาณรูปคลื่นซายน์มีค่าเป็น

$$V_i(t) = E_1 \sin(\omega_1 t + \theta_1) \tag{2.4}$$

$$V_0(t) = E_0 \sin(\omega_0 t + \theta_0) \tag{2.5}$$

เมื่อ ω_1 เป็นความถี่เชิงมุมของสัญญาณอินพุท

ω_s เป็นความถี่เชิงมุมศูนย์กลางของ VCO

θ_1 และ ϕ_s เป็นค่าเฟสคงที่ซึ่งขึ้นอยู่กับช่วงเวลาที่กำหนด

ถ้าเฟสดีเทคเตอร์มีคุณสมบัติเป็นอนาลอกมัลติพลายเออร์ เราจะได้สัญญาณเอาท์พุทของเฟสดีเทคเตอร์ (V_d)เป็น

$$V_d(t) = K_d \cos[(\omega_1 - \omega_s)t + \theta_1 - \phi_s] \tag{2.6}$$

เนื่องจาก V_I และ V_0 ไม่ซิงโครนัสกกัน

ดังนั้นสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ V_d จะเป็นสัญญาณรูปคลื่นซายน์ที่มีแอมปลิจูดสูงสุดเท่ากับ K_d และมีความถี่เชิงมุมเท่ากับความถี่เชิงมุมระหว่างสัญญาณ V_I และ V_0 คือ ω_1 และ ω_0 มีค่าแตกต่างกันมาก ดังนั้นโวลท์เตจ V_d จะไม่สามารถผ่านลูปฟิลเตอร์ได้ ทำให้ได้ค่า $V_c = 0$ และการฟิดแบ็คของลูปจะไม่มีผลอะไรคือไม่เกิดการเปลี่ยนแปลงใด ๆ ภายในลูป เอาท์พุทโวลท์เตจของ VCO จะมีค่าอยู่ที่ความถี่ฟรีรันนิ่ง ดังนั้น ω_0 และ ϕ_0 จะมีค่าเป็นอิสระอย่างสมบูรณ์ต่อ ω_1 และ θ_1 พูดได้ว่าลูปไม่อยู่ในสภาวะล็อค แต่ถ้า $\omega_1 - \omega_0 = \pm\Delta\omega$ มีค่าน้อยกว่าแบนด์วิดธ์ของลูปซึ่งกำหนดได้โดยพารามิเตอร์ของลูปและการฟิดแบ็คจะมีผลขับให้ระบบเข้าสู่สภาวะล็อคได้

ข. เมื่อระบบเข้าสู่สภาวะล็อค $(\omega_1 = \omega_0)$

ในกรณีที่สัญญาณเอาท์พุท VCO มีความถี่ซิงโครนัสกับสัญญาณอินพุท V_I สัญญาณเอาท์พุท V_0 จะมีค่าเป็น

$$V_0(t) = E_0 \sin(\omega_1 t + \Psi_0) \tag{2.7}$$

นอกจากนั้นค่าของเฟสของสัญญาณเอาท์พุท VCO จะเป็นลิเนียร์ฟังก์ชั่นกับเวลา ซึ่งมีค่าเป็น

$$\phi_0 = (\omega_i - \omega_0)t + \psi_0 \tag{2.8}$$

และสัญญาณเอาท์พุทของเฟสดีเทคเตอร์หรือสัญญาณเออร์เรอร์จะกลายเป็นสัญญาณดีซี มีค่าเท่ากับ

$$V_d = K_d \cos(\theta_i - \psi_0) \tag{2.9}$$

ลูปฟิลเตอร์จะยอมให้สัญญาณดีซี V_d ผ่านได้และมีค่าเท่ากับ

$$V_c = V_d = K_d \cos(\theta_i - \psi_0) \tag{2.10}$$

VCO จะเป็นฟรีเควนซีโมดูเลทเตดออสซิลเลเตอร์ ความถี่เชิงมุมที่เปลี่ยนแปลงอย่างทันทีทันใดของ VCO ω_{inst} จะเป็นลิเนียร์ฟังก์ชั่นกับสัญญาณคอนโทรลอินพุท V_c โดยรอบความถี่เชิงมุมศูนย์กลาง

$$\omega_{inst} = d/dt(\omega_0 t + \phi_0) = \omega_0 + K_0 V_C \quad (2.11)$$

$$d/dt(\phi_0) = K_0 V_0 \quad (2.12)$$

เมื่อ K_0 เป็นคอนเวอร์ชั่นคอนสแตนท์ซึ่งแสดงถึงความไวในการโมดูเลชั่นของ VCO

แทนค่าสมการ (2.8) และ (2.9) ลงในสมการที่ (2.12) จะได้

$$\omega_i - \omega_0 = K_d K_0 \cos(\theta_i - \psi_0) \quad (2.13)$$

$$\psi_0 = \theta_i - \cos^{-1}(\omega_i - \omega_0/K_d K_0) \quad (2.14)$$

ดังนั้นสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ V_d สามารถเขียนได้เป็น

$$V_d = \omega_i - \omega_0/K_0 \quad (2.15)$$

ส่วนประกอบดีซีของเฟสดีเทคเตอร์เอาท์พุท V_d จะผ่านโลว์พาสฟิลเตอร์ไปเป็นคอนโทรลโวลท์เตจให้กับอินพุทของ VCO

$$V_c = V_d = \omega_i - \omega_0/K_0 \quad (2.16)$$

จากสมการ (2.16) จะเห็นได้ว่า สัญญาณดีซี V_c จะไปทำให้ความถี่เชิงมุมของ VCO มีค่าเปลี่ยนไปจากศูนย์กลางของ VCO ω_0 ไปเท่ากับความถี่เชิงมุมของสัญญาณอินพุท ω_i นั่นคือ

$$\omega_{inst} = \omega_0 + K_0 V_C = \omega_0 + \omega_i - \omega_0 = \omega_i \quad (2.17)$$

ถ้าความแตกต่างของความถี่เชิงมุมเริ่ม ต้น $(\omega_i - \omega_0)$ มีค่าน้อยกว่าผลคูณของ $K_d K_0$ อย่างมากสมการ (2.14) จะมีค่าเป็น

$$\theta_i - \psi \cong \cos^{-1} 0 = \frac{\pi}{2} \quad (2.18)$$

จากสมการ (2.18) หมายความว่าถ้าความถี่ออฟเซทระหว่างสัญญาณอินพุทและสัญญาณ VCO จะมีค่าน้อยเมื่อลูปไม่อยู่ในสภาวะล็อคและสัญญาณ VCO จะมีเฟสต่างกับสัญญาณอินพุท 90^0 เมื่อลูปอยู่ในสภาวะล็อคหรือเฟสควอดดราเจอร์จะสอดคล้องกับ $\omega_i = \omega_0$ ด้วยเหตุผลนี้จึงแทนค่า ψ_0 ด้วยค่าเฟสเอาท์พุท θ_0 ดังนั้น

$$\theta_0 = \psi_0 - \frac{\pi}{2} \quad (2.19)$$

เอาท์พุทโวลท์เตจของเฟสดีเทคเตอร์เขียนใหม่เป็น

$$\begin{aligned} V_d &= K_d \cos(\theta_i - \psi_0) \\ &= K_d \cos[(\theta_i - \theta_0) - \pi/2] \\ V_d &= K_d \sin(\theta_i - \theta_0) \end{aligned} \quad (2.20)$$

และจากสมการ (2.18) และ (2.19) จะได้ค่าเฟสเออร์เรอร์เป็น

$$\theta_i - \theta_0 = \sin^{-1}\omega_i - \omega_0/K_d K_0 \quad (2.21)$$

เมื่อผลต่างของเฟส $(\theta_i - \theta_0)$ มีค่าน้อยพอเพียงจะได้ว่า

$$V_d \cong K_d(\theta_i - \theta_0) \cong K_d \theta_\theta \quad (2.22)$$

เมื่อ $\theta_\theta = \theta_i - \theta_0$ แต่เนื่องจากคุณสมบัติของเฟสดีเทคเตอร์แบบนี้เมื่อลูปเข้าสู่การล็อคสัญญาณของวีซีโอจะมีเฟสต่างไปจากสัญญาณอินพุท 90^0 คือ $(\theta_i - (\theta_0 + \pi/2))$ เป็นลักษณะของเฟสควอดดราเจอร์ดังนั้นเฟสดีเทคเตอร์จะให้เอาท์พุทโวลท์เตจที่เป็นสัดส่วนกับความต่างเฟสระหว่างสัญญาณอินพุท V_I กับสัญญาณเอาท์พุทของวีซีโอ V_0 ในลักษณะของควอดดราเจอร์ คือ

$$\begin{aligned} V_d &= K_d[\theta_i - (\theta_0 + \pi/2)] \\ &= K_d[(\theta_i - \theta_0) - \pi/2] \\ &= K_d(\theta_\theta - \pi/2) \end{aligned} \quad (2.23)$$

ถ้าสัญญาณเฟสเซ็นซิทีฟ V_d นี้จะผ่านลูปฟิลเตอร์ไปป้อนให้กับคอนโทรลอินพุทของวีซีโอ เพื่อแก้ไขให้ความถี่ของวีซีโอเปลี่ยนจาก ω_0 ไปเป็น ω_i และดำรงการล็อคให้คงอยู่ได้

$$V_d = V_C = \omega_i - \omega_0/K_0 \quad (2.24)$$

$$\omega_i = \omega_0 + K_0 V_C \quad (2.25)$$

จากสมการ (2.20) และ (2.21) จะหาค่าของเฟสเออร์เรอร์ θ_θ ได้เป็น

$$\theta_\theta = \pi/2 + (\omega_i - \omega_0/K_d K_0) \quad (2.26)$$

จากสมการ (2.23) จะสังเกตได้ว่าเมื่อ $\omega_i = \omega_0$ โวลท์เตจเอาท์พุทของวีซีโอ จะมีเฟสควอดดราเจอร์คือมีเฟสต่างไปจากเฟสของสัญญาณอินพุทโวลท์เตจ 90^0 เมื่อ ω_i เคลื่อนที่ไปทางด้านที่สูงกว่า ω_0 มุมของเฟสจะเพิ่มขึ้นจาก 90^0 ไปสู่ค่าสูงสุด 180^0 ที่อยู่เหนือสุดของพิกัดการล็อค และถ้า ω_i เคลื่อนไปทางด้านต่ำกว่า ω_0 มุมของเฟสจะลดลงจาก 90^0ไปสู่ค่า 0^0 ที่ล่างสุดของพิกัดการล็อค

ค การทำงานของระบบในลักษณะไดนามิก $(\theta_i(t)) = \Delta\omega t$

ถ้าความถี่ของสัญญาณอินพุทเปลี่ยนแปลงไปอย่างช้า ๆ ระบบเฟสล็อคลูปยังสามารถอยู่ในสภาวะล็อคได้และเปลี่ยนแปลงตามสัญญาณอินพุทโดยจะเพิ่มค่าของเฟสเออร์เรอร์ θ_θ ระหว่างวีซีโอและสัญญาณอินพุทให้มากขึ้นตามเวลา จากนั้น θ_θ ที่เพิ่มขึ้นจะถูกเปลี่ยนไปเป็นดีซีเออร์เรอร์โวลท์เตจ V_d ด้วยเฟสดีเทคเตอร์ เออร์เรอร์โวลท์เตจนี้จะไปขับให้ความถี่ของ VCO เลื่อนไปเท่ากับความถี่ของสัญญาณอินพุท ขณะที่ระบบเฟสล็อคลูปเปลี่ยนแปลงตามสัญญาณอินพุท ลูปเออร์เรอร์โวลท์เตจ V_dจะมีค่าเป็นสัดส่วนโดยตรงกับผลต่างระหว่างความถี่สัญญาณอินพุท ω_i กับความถี่ฟรีรันนิ่ง ω_0 ของ VCO

การพิจารณาเรื่องการแทรคคิ่งของระบบเฟสล็อคลูปก็คือการพิจารณาถึงเฟสเออร์เรอร์ θ_θ ของระบบ ระบบที่มีการแทรคคิ่งที่ดีจะต้องมีเฟสเออร์เรอร์น้อย

สมมติว่าระบบเฟสล็อคลูปมีเฟสอินพุทเปลี่ยนแปลงไปในลักษณะสเตป หมายความว่า $\Delta\omega$ เท่ากับผลต่างระหว่างความถี่อินพุทกับความถี่ฟรีรันนิ่งของ VCO $(\Delta\omega = \omega_i - \omega_0)$

ลูปจะต้องการคอลโทรลโวลท์เตจเพื่อไปขับ VCO ให้มีความถี่เลื่อนไปเท่ากับ

$\Delta\omega$ ดังนั้น V_C จะต้องมีค่าเป็น

$$R_C = \Delta\omega/K_0 \quad (2.28)$$

เมื่อลูปเข้าสู่สภาวะคงที่ V_C=V_dF(0) เมื่อ F(0) คืออัตราขยายต่อสัญญาณดีซีของลูปฟิลเตอร์ สัญญาณ V_C จะทำให้ลูปเข้าสู่สภาวะล็อคดังเดิม เฟสดีเทคเตอร์เอาท์พุทจะให้เฟสเออร์เรอร์จะต้องเป็น

$$\theta_\theta = V_d/K_d \quad (2.29)$$

ดังนั้นเพื่อให้ได้คอนโทรลโวลท์เตจ V_C ตามที่ต้องการ เฟสเออร์เรอร์จะต้องมีค่าเป็น

$$\theta_\theta = \Delta\omega/K_0 K_d F(0) \quad (2.30)$$

เมื่อเฟสเออร์เรอร์มีค่าเพิ่มขึ้นตามสมการ (2.30) ลูปสามารถปรับตัวเองให้ความถี่เอาท์พุทของระบบการแทรคตามการเปลี่ยนแปลงของความถี่ของสัญญาณอินพุทหรือเฟสอินพุทที่เปลี่ยนไปตามเวลาและล็อคได้กับสัญญาณอินพุทเหมือนดังเดิม

พิกัดความถี่ตลอดช่วงที่ระบบเฟสล็อคลูปสามารถดำรงการล็อคไว้ได้กับสัญญาณอินพุทเราเรียกว่า "พิสัยการล็อคของระบบ"

สมมติว่าเราให้ ω_i เบี่ยงเบนไปจากความถี่ศูนย์กลาง ω_0 ของ VCO เพื่อ $|\omega_i - \omega_0|$ มากกว่าค่าอัตราขยายลูป $K(\theta_\phi - \theta_0)$ จะมีค่าม่สอดคล้องหรือไม่เป็นจริงตามสมการ (3.21) สภาวะสมดุลของการซิงโครนัสจะไม่สามารถดำรงอยู่ต่อไปได้และลูปจะหลุดออกไปจากการล็อคกับความถี่ของสัญญาณ อินพุท ความถี่ของ VCO จะกลับไปมีค่าเป็นความถี่ศูนย์กลาง ω_0 และ V_d ก็จะกลับมาอยู่ในลักษณะของสัญญาณเอซี

สำหรับเฟสดีเทคเตอร์แบบมีคุณสมบัติการเปลี่ยนแปลงความถี่ไปเป็นโวลท์เตจเป็นลักษณะรูปคลื่นซายน์ ขีดจำกัดการแทรคตามความถี่สัญญาณอินพุทของลูปจะอยู่ในพิสัยจาก $\omega_0 - K$ ถึง $\omega_0 + K$ เมื่อ ω_0 เท่ากับความถี่เชิงมุมศูนย์กลางของ VCO และ K เท่ากับอัตราการขยายลูป ($K=K_dK_o$)

เอาท์พุทโวลท์เตจของเฟสล็อคลูปจะนำไปประยุกต์ใช้งานเกี่ยวกับฟรีเควนซี่ดิสคริมิเตอร์ (frequency discriminator) ส่วนความถี่เอาท์พุทจะนำไปใช้งานเกี่ยวกับการประมวลผลสภาวะของสัญญาณฟรีเควนซีซินเทซีสหรือการคืนรูปของสัญญาณนาฬิกา

ในการนำเอาเอาท์พุทโวลเตจของเฟสล็อคลูปมาใช้งานเมื่อลูปอยู่ในสภาวะล็อคกับความถี่อินพุท เออร์เรอร์โวลท์เตจ $V_d(t)$ ทำได้จากเฟสดีเทคเตอร์จะมีค่าเป็นสัดส่วนกับความต่างของความถี่ระหว่างสัญญาณอินพุท ω_i และความถี่ฟรีรันนิ่งของ VCO และเออร์เรอร์โวลท์เตจนนี้จะผ่านโลว์พาสฟิลเตอร์และถูกป้อนไปเป็นคอนโทรลโวลท์เตจให้กับอินพุทของ VCO เพื่อที่จะเปลี่ยนความถี่ของ VCO จาก ω_0 ไปเป็น ω_i ให้การล็อคคงอยู่ ถ้าความถี่ของอินพุทเปลี่ยนไปอย่างกรณีของสัญญาณ FM เออร์เรอร์โวลท์เตจจะเปลี่ยนไปเป็นสัดส่วนกับความถี่อินพุทที่เปลี่ยนแปลง เพื่อดำรงการล็อคให้คงอยู่ดังนั้นเอาท์พุตโวลท์เตจจะเปรียบเสมือนฟรีเควนซีดิสคริมิเตอร์คือ สามารถแปลงการเปลี่ยนแปลงของความถี่อินพุทให้เป็นการเปลี่ยนแปลงของโวลท์เตจ

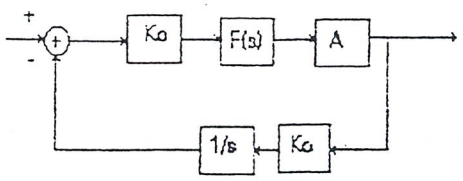
การนำเอาความถี่เอาท์พุทของเฟสล็อคลูปมาใช้งานเมื่อลูปอยู่ในสภาวะล็อคกับสัญญาณอินพุท เอาท์พุทของ VCO จะให้ลูกคลื่นที่เปลี่ยนแปลงเป็นคาบเวลาด้วยความถี่ที่แน่นอนและเท่ากับสัญญาณอินพุท ยกเว้นเฟสจะมีความต่างกัน θ_θ และด้วยความต่างเฟสนี้จะทำให้เกิดเออร์เรอร์โวลท์เตจเพื่อรักษาให้เฟสล็อคลูปอยู่ในสภาวะล็อค ถ้าสัญญาณอินพุทประกอบด้วยคอมโพเนนท์ความถี่ต่าง ๆ มากมาย ซึ่งได้แก่ น้อยส์ (noise) หรือสัญญาณรบกวนอื่น ๆ เราสามารถทำให้ระบบเฟสล็อคลูปคอมโพเนนท์ความถี่จำเพาะที่กำหนดของสัญญาณอินพุทดังนั้นเอาท์พุทของ VCO จะให้กำเนิดความถี่จำเพาะนั้นใหม่ ขณะเดียวกันก็จะลดทอนหรือจำกัดความถี่ที่ไม่ต้องการอื่น ๆ นอกจากนั้นเอาท์พุทของ VCO สามารถใช้สำหรับให้กำเนิดใหม่หรือแยกเอาสัญญาณความถี่ที่ต้องการออกจากสัญญาณที่ไม่ต้องการ คุณสมบัตินี้ของเฟสล็อคลูปทำให้ระบบเฟสล็อคลูปเป็นระบบที่น่าสนใจสำหรับการให้กำเนิดสัญญาณใหม่หรือแยกเอาสัญญาณต่ำ ๆ ที่ปนอยู่ในนอยส์ออกมาใหม่ได้

เมื่อระบบเฟสล็อคลูปอยู่ในสภาวะล็อค ลักษณะนอนลิเนียร์ของการแคปเจอร์ซึ่งจะเกิดขึ้นชั่วขณะก็จะหายไปแทนที่ด้วยความสัมพันธ์ที่เป็นลิเนียร์เกิดขึ้นระหว่างเอาท์พุทของเฟสดีเทคเตอร์และผลต่างของเฟสระหว่างสัญญาณอินพุทและเอาท์พุทของ VCO ภายใต้สภาวะที่เราสามารถวิเคราะห์ระบบเฟสล็อคลูปได้ในลักษณะระบบป้อนกลับที่เป็นลิเนียร์โดยใช้เทคนิคการวิเคราะห์ระบบป้อนกลับแบบทั่วไปด้วยลาปลาซทรานส์ฟอร์มและสมการดิฟเฟอเรนเชียล

$$\theta_c(s)/\theta_r(s) = B(s) = \text{forward gain} / 1 + \text{open loop gain} \qquad (2.31)$$

θ_c คือ เฟสของ VCO

θ_r คือ เฟสของสัญญาณอ้างอิง



รูปที่ 2.4 แสดงบล็อคไดอะแกรมของระบบ PLL ในลักษณะระบบป้อนกลับที่เป็นลิเนียร์

รูปที่ 2.4 แสดงบล็อคไดอะแกรมของระบบเฟสล็อคลูปที่เป็นระบบป้อนกลับลิเนียร์ในโดเมนคอมเพล็กซ์ฟรีเควนซีเมื่อ $s = 6 + j\omega$ คือตัวแปรตามความถี่เชิงซ้อน เฟสดีเทคเตอร์จะให้เอาท์พุทโวลท์เตจเป็นสัดส่วนกับผลต่างของเฟส θ_θ ระหว่างสัญญาณอินพุทและเอาท์พุท VCO ที่มีคอนเวอร์ชั่นเกน K_d และมีหน่วยเป็น (โวลท์/เรเดียน) ทรานส์เฟอร์ฟังก์ชั่นของลูปฟิลเตอร์เท่ากับ F(s) และของแอมปลิฟลายเออร์เท่ากับ A สมมติ F(s)จะมีอัตราขยายเป็นหนึ่งที่ความถี่ดีซี อัตราขยายโวลท์เตจไปเป็นความถี่ของ VCO มีค่าเท่ากับ K_0 และมีหน่วยเป็น (เรเดียน/วินาที/โวลท์)

เอาท์พุทของเฟสดีเทคเตอร์เป็นสัดส่วนกับผลต่างของเฟสระหว่างสัญญาณอินพุท

$$V_\theta = K_d(\theta_r - \theta_i) \tag{2.32}$$

เมื่อ θ_i คือเฟสของ VCO ที่ถูกหาร

สมมติให้ VCO เป็นอุปกรณ์ที่มีลักษณะเป็นลิเนียร์ มีความถี่เอาท์พุทแตกต่างจากความถี่ฟรีรันนิ่งโดยการเพิ่มขึ้นของความถี่

$$2\pi f\delta = K_0 V_0 \tag{2.33}$$

เมื่อ V_0 คือโวลท์เตจเอาท์พุทของโลว์พาสฟิลเตอร์

ดังนั้นความถี่ก็เป็นเวลาที่เบี่ยงเบนของเฟสจากขั้นตอนของ VCO สามารถอธิบายได้ว่า

$$2\pi f\delta = d/dt(\theta_0) = K_0 V_0 \tag{2.34}$$

ซึ่งจากสมการนี้สมมติระบบเฟสล็อคลูปสามารถแทนได้ในลักษณะของเส้นตรง ฟังก์ชั่นที่สัมพันธ์กับ $\theta_c(s)$ และ $\theta_r(s)$ คือ

$$B(s) = \theta_0(s)/\theta_r(s) = [K_d K_0 F(s)/s]/1 + K_d K_0 F(s)/Ns \tag{2.35}$$

จะได้ฟอร์เวิร์ดเกนเท่ากับ $G(s) = K_d K_0 F(s)/S$ (2.36)

และโอเพนลูปเกนเท่ากับ $G(s)H(s) = K_d K_0 F(s)/Ns$ (2.37)

2.1.1ผลของลูปฟิลเตอร์และอัตราขยายลูปที่มีต่อคุณสมบัติการทำงานของระบบเฟสล็อคลูป

ฟังก์ชั่นของลูปฟิลเตอร์ F(s) มีผลต่อคุณสมบัติการทำงานของระบบเฟสล็อคลูปอย่างมาก เมื่อระบบเฟสล็อคลูปอยู่ในสภาวะล็อค หน้าที่ของลูปฟิลเตอร์ร่วมกับอัตราการขยายลูป $K_d K_0 A$ จะเป็นตัวกำหนดที่ผลตอบสนองชั่วขณะและคุณสมบัติของผลตอบสนองทางความถี่ของระบบ เมื่อระบบเฟสล็อคลูปไม่อยู่ในสภาวะล็อค ลูปฟิลเตอร์จะมีผลเด่นชัดในการควบคุมคุณสมบัติของการแคปเจอร์ของลูป

ก ลูปลำดับที่หนึ่ง

การทำงานของเฟสล็อคลูปในกรณีง่ายที่สุดก็คือลูปฟิลเตอร์ไม่ได้ต่ออยู่ในลูปกระทำโดยการตั้งให้ F(s)=1.0 ระบบเฟสล็อคลูปแบบนี้เรียกว่า "ลูปลำดับที่หนึ่ง" เนื่องจากทรานส์เฟอร์ฟังก์ชั่นจะลดลงเหลือโพลเดียวของโลว์พาสฟิลเตอร์

$$V_0/\Delta\omega_i = 1/K_0 * 1/(1 + s/K_d K_0 A) \quad (2.38)$$

$$\Delta\omega_i = d/dt(\theta_i) \quad (2.39)$$

$\Delta\omega_i$ คือการเบี่ยงเบนไปของความถี่ของสัญญาณอินพุท

ระบบจะมีลักษณะเหมือนกับโลว์พาสฟิลเตอร์แบบโพลเดียวที่มีคอนเวอร์ชั่นเกนที่ความถี่ต่ำเท่ากับ $1/K_0$ และมีแบนวิดธ์ –3dB เท่ากับ $K_d K_0 A$ นอกจากนั้นที่ดีซีหรือความถี่ต่ำ ๆ เมื่อ $S \rightarrow 0$ และ $F(s) \cong 1.0$ จะได้ว่า

$$V_c/\Delta\omega_i\big|_{s=0} = 1/K_0 \quad (2.40)$$

สมการ (2.14) แสดงถึงคุณสมบัติการเปลี่ยนแปลงความถี่ไปเป็นโวลท์เตจที่เป็นลิเนียร์

ผลตอบสนองของระบบเฟสล็อคลูปในสภาวะล็อคต่อการเปลี่ยนแปลงของความถี่อินพุทจะด้รับอิทธิพลจากพารามิเตอร์สองตัวคือ ทรานส์เฟอร์ฟังก์ชั่นของลูปฟิลเตอร์ F(s) และแฟคเตอร์ของอัตราขยายลูป $K_d K_0 A$

ลูปลำดับที่หนึ่งจะมีขีดจำกัดในการใช้งานเนื่องจากลูปลำดับที่หนึ่งจะมีการเลือกเฟ้นและคุณสมบัติการกำจัดสัญญาณรบกวนไม่ดี สาเหตุจากในระบบไม่มีลูปฟิลเตอร์ เมื่อไม่มีลูปฟิลเตอร์คอมโพเนนท์ความถี่สูงที่ออกมาจากเฟสดีเทคเตอร์จะปรากฏโดยตรงที่เอาท์พุท เอาท์พุท V_0 นี้จะประกอบด้วยคอมโพเนนท์เนื่องจากนอยส์หรือสัญญาณที่ไม่ต้องการที่เอาท์พุทมีความถี่ใกล้เคียงกับความถี่สัญญาณที่ต้องการ ดังนั้นคุณสมบัติการเลือกเฟ้นของระบบเฟสล็อคลูปจะเลวลง

การทำงานของเฟสล็อคลูปที่ไม่มีฟิลเตอร์จะมีข้อเสียคือ ถ้าหากสัญญาณอินพุทมีสัญญาณรบกวนที่อยู่นอกแบนด์รวมเข้ามาด้วยจะมีผลทำให้ความถี่เอาท์พุทเปลี่ยนแปลงตามไปด้วย ดังนั้นลูปฟิลเตอร์มีความจำเป็นอย่างมากในกรณีที่สัญญาณรบกวนที่อินพุทเพื่อจำกัดเอาท์พุทสัญญาณรบกวนออกไป

ข. ลูปลำดับที่สอง

ในการประยุกต์ใช้งานทั่ว ๆ ไประบบเฟสล็อคลูปจะใช้โลว์พาสฟิลเตอร์แบบมีโพลเดียวและระบบเฟสล็อคลูปจะอธิบายได้ทรานส์เฟอร์ฟังก์ชั่นที่มีสองโพล ซึ่งเรียกกันทั่ว ๆ ไปว่า "ลูปลำดับที่สอง" โครงสร้างของโลว์พาสฟิลเตอร์ที่ใช้กับทั่วไปเป็นฟิลเตอร์แบบโพลเดียว ซึ่งมีทรานส์เฟอร์ฟังก์ชั่นเป็น

$$F(s) = 1/(1 + s/\omega_1) \quad (2.41)$$

เมื่อ $\omega_1 = 1/R_1 C_1$ เป็นแบนด์ของโลว์พาสฟิลเตอร์

เนื่องจากฟิลเตอร์จะทำให้เกิดเฟสล้าหลังไป 90^0 ที่ความถี่สูง ซึ่งหมายถึง "แล็กฟิลเตอร์" จะได้ทรานส์เฟอร์ฟังก์ชั่นเป็น

$$V_0(s)/\Delta s_i(s) = 1/K_0\left[1/\left(1 + s/K_L + s^2/\omega_1 K_L\right)\right] \quad (2.42)$$

ค่ารากหรือโพลของระบบเฟสล็อคลูปจะได้ว่า

$$S_1, S_2 = \omega_1/2\left[1 \pm \sqrt{1 - \left(4K_L/\omega_1\right)}\right]$$

$$K_L = K_d K_0 A \quad (2.43)$$

เมื่อเพิ่มค่าของ K_L โพลจะกลายเป็นค่าเชิงซ้อนคู่เสมือนและระบบจะเป็นอันเดอร์แดมพ์จากสมการ (2.42) จะเขียนในเทอมใหม่ได้เป็น

$$V_0/\Delta\omega_1 = 1/k_0\left[1/s^2/\omega_n^2 + \left(2\xi/\omega_n\right)s + 1\right] \quad (2.44)$$

เมื่อ $$\omega_n = \sqrt{K_L \omega_1} \quad (2.45)$$

และ $$\xi = (1/2)\sqrt{\omega_1 / K_L} \quad (2.46)$$

จะสังเกตได้ว่าหากแบนด์วิทด์ของลูปฟิลเตอร์ ω_1 ลดลงหรือ K_L เพิ่มขึ้นค่าแดมปิ้งของลูปจะลดลง ผลตอบสนองทางความถี่ของลูปจะเป็นพีคและผลตอบสนองต่อสเตปของลูปในช่วงเริ่มต้นชั่วขณะจะเกิดการออสซิเลท

ค่าพีคในผลตอบสนองทางความถี่จะเป็นสาเหตุให้เกิดความผิดเพี้ยนในสัญญาณเอาท์พุทที่ถูกดีมอดูเลทมาเอฟเอ็ม และเป็นสาเหตุให้เกิดการแกว่งไกวหรือให้ผลตอบสนองที่เลว เมื่อลูปมีการรบกวนเกิดขึ้นชั่วขณะ การออกแบบระบบเฟสล็อคลูปให้มีคุณสมบัติการทำงานให้ดีที่สุดควรกำหนดให้โครงสร้างโพลของโลว์พาสฟิลเตอร์มีค่าแฟลตมากที่สุด แดมปิ้งแฟคเตอร์ควรมีค่าเท่ากับ $1/\sqrt{2}$ จะได้ ω_1 ที่เหมาะสมเป็น

$$\omega_1 = 2K_L \quad (2.47)$$

และความถี่ที่ –3 dBแบนด์วิทด์ของลูปจะได้เป็น

$$\omega - 3\text{dB} = \omega_n = \sqrt{K_L \omega_1} = \sqrt{2}K_L \quad (2.48)$$

วงจรเฟสล็อคลูปที่ใช้ในระบบสื่อสารทั่วไป จะต้องการให้มีพิสัยการล็อคกว้าง เพื่อที่จะได้สามารถติดตามการเปลี่ยนแปลงความถี่ของสัญญาณอินพุทได้ช่วงกว้าง นอกนั้นก็ต้องการให้ระบบมีแบนด์วิทธ์ของลูปแคบ ๆ เพื่อกำจัดสัญญาณที่อยู่นอกแบนด์

2.1.2 กระบวนการแคปเจอร์สัญญาณอินพุท

คุณสมบัติที่สำคัญในการทำงานของระบบเฟสล็อคลูปคือ การะบวนการแคปเจอร์ เป็นกระบวนการที่จะทำให้ระบบได้มาซึ่งการล็อคกับสัญญาณอินพุทโดยที่ลูปจะเริ่มต้นจากสภาวะฟรีรันนิ่ง กระบวนการแคปเจอร์นี้เป็นกระบวนการที่ค่อนข้างยุ่งยากและมีลักษณะเป็นนอนลิเนียร์ซึ่งเราจะได้อธิบายถึงคุณสมบัติของกระบวนการนี้ต่อไป

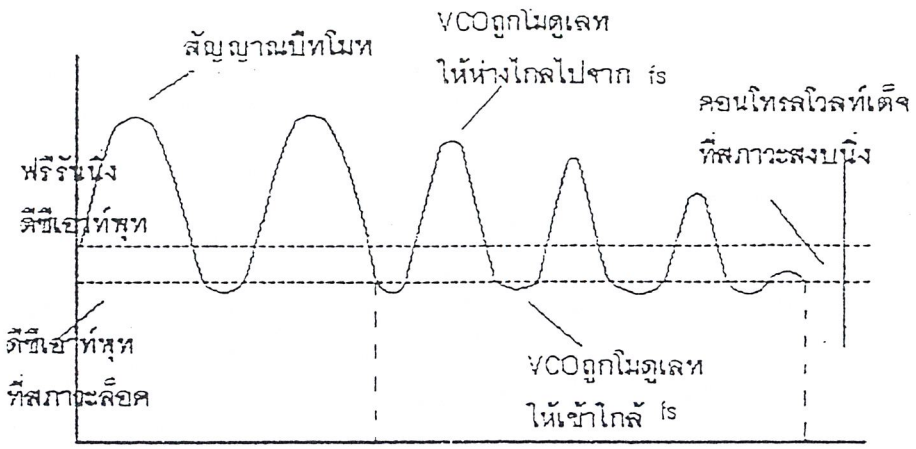
ขั้นแรกสมมติว่าฟิดแบ็คลูปของระบบเฟสล็อคลูปถูกตัดขาดระหว่างลูปฟิลเตอร์เอาท์พุทและคอนโทรลอินพุทของ VCO ซึ่งจะทำให้ V_d มีค่าเป็นศูนย์และ VCO จะออสซิลเลทอย่างต่อเนื่องที่ความถี่ฟรีรันนิ่ง ω_0 ต่อจากนั้นสมมติว่าสัญญาณอินพุทถูกป้อนให้ลูปด้วยความถี่ ω_i ซึ่งเป็นความถี่ที่ใกล้เคียงกับ ω_0 แต่ไม่เท่ากับ ω_0 ในกรณีนี้เฟสดีเทคเตอร์มีฟังก์ชั่นเหมือนกับมัลติพลายเออร์หรือมิกเซอร์ ดังนั้นเอาท์พุทโวลท์เตจที่ได้จากเฟสดีเทคเตอร์จะเป็นคอมโปเนนท์ของสองความถี่มีผลบวกของความถี่

$$\omega_{sum} = \omega_0 + \omega_i \quad (2.49)$$

และผลต่างของความถี่

$$\Delta\omega = |\omega_0 - \omega_i| \quad (2.50)$$

ตามปกติแบนด์วิดท์ของโลว์พาสฟิลเตอร์จะแคบมากพอที่จะกรองเอาคอมโปเนนท์ผลบวกของความถี่ออกไปได้อย่างสมบูรณ์ ถ้า ω_i มีค่าใกล้เคียงกับค่า ω_0 ดังนั้นผลต่างของความถี่ $(\omega_i - \omega_0)$ จะมีค่าน้อยมาก และมีค่าอยู่ในพาสแบนด์ของโลว์พาสลูปฟิลเตอร์ในลักษณะของบิทโนทลูกคลื่นซายน์ ลูกคลื่นนี้อยู่ทางด้านซ้ายมือของรูปที่ 2.5 ซึ่งแสดงว่า $\omega_0 \rangle \omega_i$



รูปที่ 2.5 แสดงเออร์เรอร์โวลท์เตจชั่วขณะในระหว่างเวลากระบวนการแคปเจอร์

ต่อไปสมมติว่าลูปถูกต่อให้ครบลูปอย่างทันทีทันใดโดยการต่อโลว์พาสฟิลเตอร์เอาท์พุทกับขั้วคอนโทรลของ VCO ซึ่งจะทำให้ความถี่ของ VCO ถูกโมดูเลทด้วย บีทโนทหรือผลต่างของสัญญาณเมื่อเกิดการโมดูเลชั่นดังกล่าว ความถี่บีทโนท $\Delta\omega$ จะกลายเป็นฟังก์ชั่นที่แปรไปตามเวลาคือ $\Delta\omega$ จะแปรค่าสลับกันไประหว่างมีค่าเข้าใกล้ความถี่อินพุทและมีค่าห่างไกลไปจากความถี่อินพุท และโวลท์เตจนี้จะมีค่าความถี่ที่เปลี่ยนสลับกันไปคือความถี่จะลดลงในช่วงครึ่งไซเคิลลบและความถี่จะเพิ่มขึ้นในช่วงไซเคิลบวก ดังนั้นภายใต้สภาวะนี้บีทโนทจะมีลักษณะไม่สมมาตรและดูเหมือนกับอนุกรมของยอดแหลมดังแสดงในรูปที่ 2.5 เราจะสังเกตได้ว่าส่วนของบีทโนที่โมดูเลทให้ VCO มีความถี่ห่างไกลไปจากสัญญาณอินพุทจะมีลักษณะเป็นยอดแหลมมากกว่า เนื่องจากความไม่สมมาตรนี้ ลูกคลื่นของบีทโนทจะประกอบดีซีโวลท์เตจซึ่งจะไปขับให้ความถี่ของ VCO มีค่าเข้าสู่สัญญาณอินพุท เมื่อ VCO มีแนวโน้มเข้าสู่ ω_i ความถี่ของบีทโนทจะลดลงอย่างรวดเร็วความไม่สมมาตรก็จะเพิ่มขึ้นและในที่สุดก็จะลู่เข้าสู่ค่าดีซีที่มีค่าคงที่อย่างรวดเร็วในชั่วเวลาขณะหนึ่งลูปก็จะเข้าสู่สภาวะล็อคเมื่อความถี่ของ VCO เท่ากับ ω_i อย่างแน่นอน ระบบก็จะเข้าสู่การล็อคผลต่างของความถี่ $\Delta\omega$ จะมีค่าเท่ากับศูนย์และคงเหลือแต่ดีซีโวลท์เตจที่เอาท์พุทของลูปฟิลเตอร์ ดีซีโวลท์เตจนี้เกิดขึ้นจากผลต่างของเฟส θ_0 ระหว่างเอาท์พุทของ VCO และสัญญาณอินพุท สมมติว่าลูปฟิลเตอร์มีอัตราขยายดีซีเป็นหนึ่งและเฟสดีเท็คเตอร์มีคอนเวอร์ชั่นเกน K_d (โวลท์/เรเดียน) เออร์เรอร์โวลท์เตจที่สถานะคงที่นี้จะมีค่าเป็น เครื่องหมายลบในสมการ (เนื่องมาจากเราได้สมมติไว้ในตัวอย่างของรูปที่ 2.5 ว่า $\omega_0 \rangle \omega_i$ ซึ่งจะทำให้ได้โวลท์เตจลบที่ขั้วคอนโทรลอินพุทของ VCO เพื่อไปเลื่อน ω_0 ให้เท่ากับ ω_i เวลาทั้งหมดที่ใช้ไปเพื่อให้ระบบเฟสล็อคลูปเกิดการล็อคเราเรียกว่า "พูลอินไทม์" จะขึ้นอยู่กับเฟสเริ่มต้นและผลต่างของความถี่ระหว่างสองสัญญาณ และยังขึ้นอยู่กับอัตราขยายลูป และคุณสมบัติของลูปฟิลเตอร์

จุดประสงค์หลักของลูปฟิลเตอร์ คือการกรองเอาคอมโปเน้นท์ต่าง ๆ ซึ่งเป็นสัญญาณที่ไม่ต้องการและมีความถี่ห่างไกลจากความถี่ฟรีรันนิ่งของ VCO คุณลักษณะดังกล่าวนี้แสดงถึงคุณสมบัติการกำจัดสัญญาณรบกวนของระบบเฟสล็อคลูป หรือพูดอีกอย่างหนึ่งระบบเฟสล็อคลูปจะมีคุณสมบัติในการแคปเจอร์เฉพาะสัญญาณที่มีความถี่ใกล้เคียงกับความถี่ฟรีรันนิ่งของ VCO ซึ่งหมายความว่าผลต่างของความถี่ $\Delta\omega$ จะต้องมีค่าโดยประมาณอยู่ภายในแบนด์วิดท์ของลูปฟิลเตอร์

ฟังก์ชั่นที่สำคัญอีกอันหนึ่งของโลว์พาสฟิลเตอร์คือมันจะเป็นตัวเก็บความจำได้ในช่วงสั้น ๆ ของระบบเฟสล็อคลูปเพื่อช่วยให้ระบบสามารถแคปเจอร์สัญญาณได้ใหม่อย่างรวดเร็วถ้าระบบหลุดออกไปจากการล็อคในช่วงเวลาสั้น ๆ เนื่องจากการรบกวนในชั่วขณะหนึ่งได้ว่าโลว์พาสฟิลเตอร์จะบังคับให้เออร์เรอร์โวลท์เตจ $V_c(-t)$ เปลี่ยนแปลงไปตามเวลาอย่างช้า ๆ และในกรณีนี้ถ้าระบบเฟสล็อคลูปหลุดไปจากการล็อคลูปเพียงชั่วขณะเนื่องจากน้อยส์หรือสัญญาณ

รบกวนความถี่ของ VCO จะไม่เปลี่ยนแปลงไปมากนักในช่วงเวลาสั้น ๆ ดังกล่าว ดังนั้นในสภาวะนี้จะช่วยให้ระบบสามารถแคปเจอร์สัญญาณอินพุทได้ไหม่อย่างรวดเร็วทันทีทันใดเมื่อเวลาได้ผ่านไปชั่วขณะแล้ว

สรุปได้ว่าโลว์พาสลูปฟิลเตอร์จะทำหน้าที่ลดทอนคอมโปเน้นท์ความถี่สูงของเออร์เรอร์โวลท์เตจในระบบเฟสล็อคลูป โลว์พาสฟิลเตอร์ก่อให้เกิดผลที่สำคัญต่อการแคปเจอร์และคุณสมบัติการตอบสนองชั่วขณะของระบบ การลดแบนด์วิดท์ของฟิลเตอร์จะมีผลเกิดขึ้นต่อการทำงานของระบบดังต่อไปนี้

(1) กระบวนการแคปเจอร์จะช้าลงไปและพูลอินไทม์จะเพิ่มขึ้น

(2) พิสัยการแคปเจอร์จะลดลง

(3) ทันทีทีลูปเกิดการล็อค คุณสมบัติของเฟสล็อคลูปเกี่ยวกับการกำจัดสัญญาณรบกวนจะเกิดผล คือเออร์เรอร์โวลท์เตจที่เกิดจากความถี่ของสัญญาณรบกวนจะถูกลดทอนไปโดยโลว์พาสฟิลเตอร์

(4) ผลตอบสนองชั่วขณะของระบบเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่อินพุทอย่างทันทีทันใดภายในพิสัยการแคปเจอร์จะได้เป็นลักษณะอันเดอร์แด้มป์(Underdamped)

2.1.3 คุณสมบัติการแทร็คตามสัญญาณอินพุท

ทันทีที่ระบบเฟสล็อคลูปล็อคกับสัญญาณอินพุทระบบสามารถจะแทร็คตามการเปลี่ยนแปลงอย่างช้า ๆ ของสัญญาณอินพุทได้ด้วยการเพิ่มเฟสเออร์เรอร์ θ_e ระหว่าง VCO และสัญญาณอินพุท จากนั้นเฟสเออร์เรอร์ที่เพิ่มขึ้นนี้จะถูกแปลงไปเป็นดีซีเออร์เรอร์โวลท์เตจ V_d ด้วยเฟสดีเท็คเตอร์ เออร์เรอร์โวลท์เตจนี้จะไปรักษาให้ความถี่ของ VCO เคลื่อนไปเท่ากับความถี่ของสัญญาณอินพุท ขณะที่ระบบเฟสล็อคลูปแทร็คตามสัญญาณอินพุท ลูปเออร์เรอร์โวลท์เตจ V_d จะมีค่าเป็นสัดส่วนโดยตรงกับผลต่างระหว่างความถี่สัญญาณอินพุท ω_i กับความถี่ฟรีรันนิ่ง ω_0 ของ VCO หรือพูดอย่างหนึ่งได้ว่าขณะที่ระบบเฟสล็อคลูปแทร็คตามสัญญาณอินพุท เอาท์พุทโวลท์เตจของลูปจะมีฟังก์ชั่นเหมือนกับการแปลงความถี่เป็นโวลท์เตจ

พิสัยการแทร็คตามสัญญาณอินพุทของระบบเฟสล็อคลูปจะกำหนดได้ด้วยการพิจารณาว่า โวลท์เตจเออร์เรอร์ที่เกิดขึ้นในลูปได้สูงสุดเท่าไร สมมติว่าในลูปไม่แอมปลิไฟเออร์ ปริมาณของเออร์เรอร์โวลท์เตจจะมีค่าสูงสุด $(V_d)_{max}$ เมื่อผลต่างของเฟส θ_e มีค่าอยู่ที่ค่าจำกัดสูงสุด $\pm\pi/2$

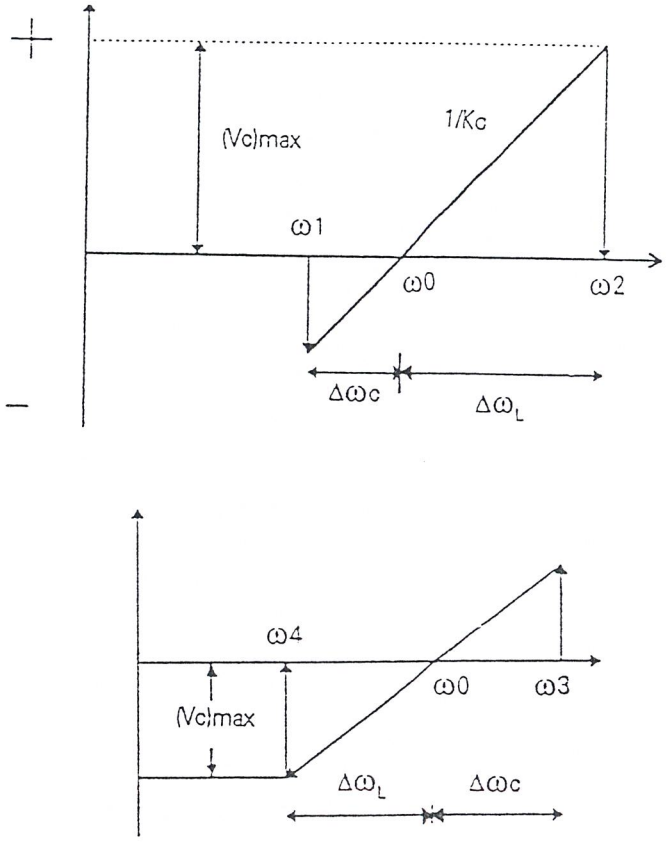
รูปที่ 2.6 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูป สมมติว่าอินพุทเป็นสัญญาณลูกคลื่นซายน์ซึ่งความถี่ของมันจะกวาดไปอย่างช้า ๆ ได้ในช่วงพิสัยความถี่ที่กว้าง ขั้นแรกความถี่อินพุทจะกวาดไปจากความถี่ต่ำผ่านพิสัยแคปเจอร์และพิสัยการล็อคของระบบเฟสล็อคลูปไปยังความถี่สูงและจากนั้นกวาดไปยังความถี่ต่ำ ส่วนสเกลทางด้านแกนตั้งเป็นค่าของเออร์เรอร์โวลท์เตจที่ผ่านลูปฟิลเตอร์แล้ว V_c และสมมติว่า VCO จะเพิ่มขึ้นเป็นสัดส่วนที่ลิเนียร์กับการเพิ่มขึ้นของคอนโทรลโวลท์เตจ

คุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูปแสดงได้ในรูปที่ 2.6(ก) เมื่อความถี่อินพุทเพิ่มขึ้นอย่างช้า ๆ (ข) เมื่อความถี่อินพุทลดลงอย่างช้า ๆ ความกว้างของความถี่ระหว่าง ω_1, ω_3 เท่ากับพิสัยแคปเจอร์ และความกว้างของความถี่ระหว่าง ω_2, ω_4 เท่ากับพิสัยการแทร็คตามสัญญาณอินพุทของระบบนั่นคือ

$$\omega_3 - \omega_1 = 2\Delta\omega_C \tag{3.51}$$

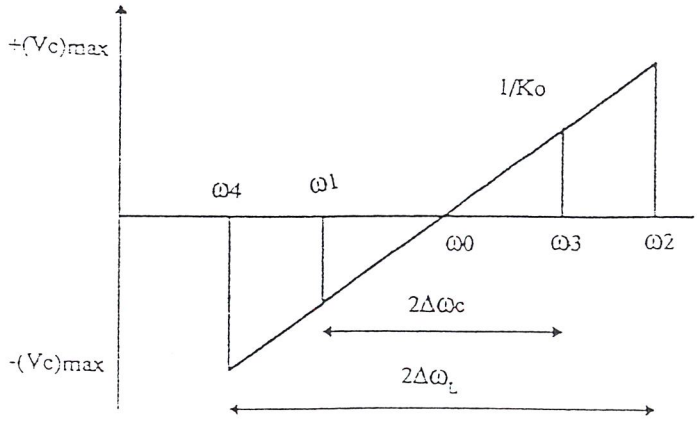
และ

$$\omega_2 - \omega_4 = 2\Delta\omega_L \tag{3.52}$$



รูปที่ 2.6 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจ
(ก) เมื่อความถี่อินพุทเพิ่มขึ้นอย่างช้า ๆ
(ข) เมื่อความถี่อินพุทลดลง

ในรูปที่ 2.7 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูปที่ผสมผสานกันระหว่างคุณสมบัติของพิสัยแคปเจอร์และพิสัยการล็อคที่แสดงในรูปที่ 2.6 จากรูปที่ 2.7 คุณสมบัติการตอบสนองของระบบเฟสล็อคลูปเบื้องต้นสามารถสรุปได้ดังต่อไปนี้



รูปที่ 2.7 แสดงถึงคุณสมบัติรวมในการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูป

(1) ระบบเฟสล็อคลูปแสดงคุณสมบัติการเลือกเฟ้นความถี่และการแปลงความถี่ไปเป็นโวลท์เตจซึ่งมีความถี่ศูนย์กลางอยู่ที่ความถี่ฟรีรันนิ่ง ω_0 ของ VCO

(2) ระบบสามารถจะแคปเจอร์ (ได้มาซึ่งการล็อค) กับสัญญาณที่มีความถี่อยู่ภายในพิสัยแคปเจอร์เท่านั้น $2\Delta\omega_c$ และมีศูนย์กลางอยู่ที่ ω_0

(3) ทันทีที่ระบบเกิดการล็อคมันจะสามารถแทร็คตามสัญญาณอินพุทได้ตลอดช่วงพิสัยการล็อค $2\Delta\omega_L$ และมีศูนย์กลางอยู่ที่ ω_0

(4) สโลปของคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจจะเท่ากับส่วนกลับของอัตราขยายการแปลงโวลท์เตจไปเป็นความถี่ของ VCO

รูปที่ 2.6 และ 2.7 ยังแสดงถึงพารามิเตอร์ที่สำคัญบางอย่างในการออกแบบระบบเฟสล็อคลูป พิสัยการล็อค = $(v_d)_{max}$ K_0 ดังนั้นเราสามารถจะเพิ่ม $(v_d)_{max}$ ได้ด้วยการเพิ่มแอมปลิไฟเออร์เข้าไปในลูปของเฟสล็อคลูปเบื้องต้นเพื่อเพิ่มอัตราขยายโวลท์เตจในลูปป้อนกลับพิสัยการล็อคจะเพิ่มขึ้นเป็น = $A(v_d)_{max}$ K_0 เมื่อ A คืออัตราขยายโวลท์เตจของแอมปลิไฟเออร์เมื่อระบบเฟสล็อคลูปอยู่ในสภาวะล็อค V_d จะมีค่าเป็นดีซีโวลท์เตจ ดังนั้นลูปฟิลเตอร์จะไม่มีผลกระทบต่อพิสัยการล็อค

ความถี่ฟรีรันนิ่ง ω_0 ของ VCO จะเป็นตัวกำหนดความถี่ศูนย์กลางของพิสัยแคปเจอร์และพิสัยการล็อค ดังนั้นความเที่ยงตรงและเสถียรภาพของความถี่ฟรีรันนิ่ง ω_0 ของ VCO มีความสำคัญอย่างยิ่ง เนื่องจากเรามักจะออกแบบให้พิสัยแคปเจอร์และพิสัยการล็อคมีช่วงแคบมาก ๆ ดังนั้นความต้องการเกี่ยวกับความเที่ยงตรงและเสถียรภาพของพิสัยทั้งสองดังกล่าวจึงกลายเป็นปัญหาขึ้นมา

คุณสมบัติการคอนโทรล VCO มีความสำคัญอย่างยิ่งดังแสดงในรูปที่ 2.7 ต่อ:

(ก) คุณสมบัติการแปลง F-V ของระบบ PLL

(ข) สโลปของโวลท์เตจเอาท์พุทของระบบ PLL ($1/K_0$)

(ค) ความเป็นลิเนียร์ของคุณสมบัติการแปลง F-V ของระบบ PLL

ดังนั้นเราสามารถสรุปได้ว่า: ดีซีลูปแกน

คุณสมบัติของลูปฟิลเตอร์

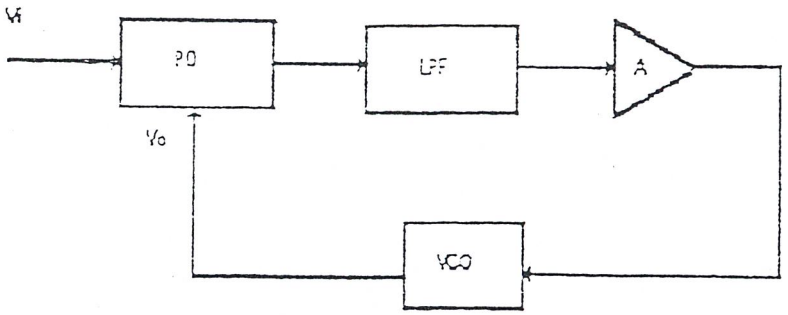
เสถียรภาพของ VCO

คุณสมบัติของคอนโทรล VCO

ค่าเหล่านี้จะเป็นพารามิเตอร์พื้นฐานในการออกแบบวงจรโมโนลิทิคเฟสล็อคลูป PLL

2.1.4 พิสัยการล็อค

วงจรเฟสล็อคลูปในการใช้งานจริง ๆ มักจะเพิ่มแอมปลิไฟเออร์เข้าในลูปของวงจรเฟสล็อคลูปเบื้องต้นเพื่อเพิ่มอัตราขยายโวลท์เตจในลูปป้อนกลับและเป็นการเพิ่มพิสัยการล็อคให้กับระบบด้วยวงจรเฟสล็อคลูปดังกล่าวแสดงได้รูปที่ 2.8



รูปที่ 2.8 ระบบเฟสล็อคลูป

เมื่อระบบเฟสล็อคลูปเข้าสู่สภาวะล็อคกับความถี่อินพุท ω_i เราจะได้ว่า

$$\omega = \omega_i = \omega_0 + \omega_0 V_c \tag{2.53}$$

และ
$$V_C = (\omega_i - \omega_0)/k_0 = K_d A(\theta_\theta - \pi/2) \tag{2.54}$$

เมื่อ A คืออัตราขยายโวลท์เตจของแอมปลิไฟเออร์จากสมการ (2.55) เราจะได้ว่า

$$\phi - \pi/2 = (\omega_i - \omega_0)/K_0 K_d A \tag{2.55}$$

ดังนั้นเมื่อระบบล็อคอยู่กับสัญญาณอินพุท ความต่างเฟสระหว่างสัญญาณอินพุทโวลท์เตจกับเอาท์พุทโวลท์เตจของ VCO จะมีค่าเท่ากับ θ_e และเราจะหาความต่างเฟสได้เป็น

$$\theta_\theta = \pi/2 + (\omega_1 - \omega_0)/K_0 K_d A \tag{2.56}$$

และความถี่ของสัญญาณทั้งสองจะซิงโครนัสกันอย่างเที่ยงตรง

เอาท์พุทโวลท์เตจที่ได้จากเฟสดีเท็คเตอร์จะมีค่าแมกนิจูดสูงสุดเมื่อ $\phi = \pi$ และ 0 เรเดียน คือ

$$V_{C(max)} = \pm K_d(\pi/2) \tag{2.57}$$

ในเวลาเดียวกันเราจะได้คอนโทรลโวลท์เตจที่มีค่าสูงสุดสอดคล้องกับค่า $V_{c(max)}$ เพื่อไปขับ VCO จะมีค่าเท่ากับ

$$V_{C(max)} = \pm(\pi/2)K_d A \tag{2.58}$$

ความถี่ของ VCO สวิงได้สูงสุดเท่ากับ

$$= \pm K_0 K_d(\pi/2)A \tag{2.59}$$

ดังนั้นพิสัยสูงสุดของความถี่สัญญาณอินพุทที่ระบบเฟสล็อคลูปสามารถดำรงรักษาการล็อคได้ตลอดพิสัยสูงสุดนี้จะมีค่าเท่ากับ

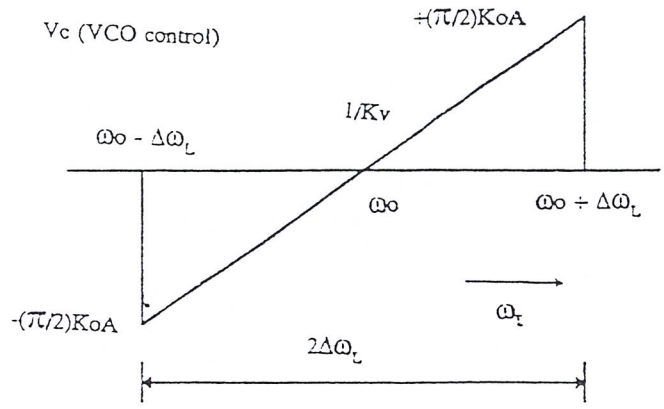
$$\omega_1 = \omega_0 \pm K_0 K_d(\pi/2)A \tag{2.60}$$

เมื่อ $2\Delta\omega_L$ จะเท่ากับพิสัยการล็อคและได้เป็น

$$\text{พิสัยการล็อค} = 2\Delta\omega_L = K_d K_o A\pi \tag{2.61}$$

เราจะสังเกตได้ว่าพิสัยการล็อคจะมีตำแหน่งที่สมมาตรกันเมื่อถือเอาฟรีรันนิ่งฟรีเควนซี ω_0 ของ VCO เป็นหลักศูนย์กลาง

ในรูปที่ 2.9 แสดงถึงกราฟของคอนโทรลโวลท์เตจ V_c ของ VCO ต่อความถี่ของสัญญาณอินพุท ω_1 ความถี่ที่อยู่นอกพิสัยการล็อคของระบบความถี่ของ VCO ไม่สามารถจะซิงโครนัสกับความถี่อินพุทได้ ผลของความต่างเฟสจะมีค่าเท่ากับ



รูปที่ 2.9 พิสัยการล็อคของระบบเฟสล็อคลูป

$$\theta_\theta = (\omega_1 t + \theta_1) - (\omega_0 t + \theta_0) \quad (2.62)$$

$$= (\omega_1 - \omega_0) + (\theta_1 - \theta_0) \quad (2.63)$$

และความต่างเฟสนี้จะเปลี่ยนแปลงอย่างรวดเร็วต่อเวลา อัตราการเปลี่ยนแปลงของ θ_c ต่อเวลาจะเท่ากับ

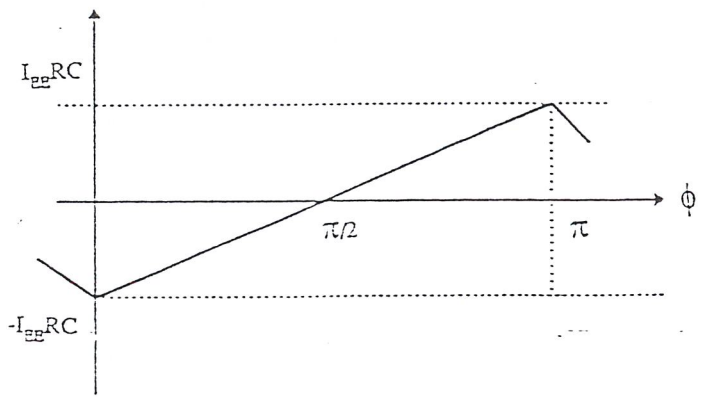
$$d\theta_\theta / dt = \omega_1 - \omega_0 \quad (2.64)$$

ดังนั้นเอาท์พุทโวลท์เตจของเฟสดีเท็คเตอร์จะเปลี่ยนค่าไปอย่างรวดเร็วต่อเวลาและจะถูกลดทอนแมกนิจูดลบอย่างมากด้วยโลว์พาสฟิลเตอร์ ซึ่งจะยังผลให้เหลือโวลท์เตจที่มีแมกนิจูดเพียงเล็กน้อยที่จะไปขับ VCO และความถี่ของ VCO จะกลับคืนไปยังค่าฟรีรันนิ่งเควนซี ω_0 เดิม ดังนั้นเราเห็นได้ว่าช่วงความถี่ที่อยู่นอกเหนือพิสัยการล็อคของระบบคอนโทรลโวลท์เตจของ VCO จะลดลงเป็นศูนย์

เมื่อ VCO ล็อคกับสัญญาณอินพุท เราจะได้ว่า

$$\theta_\theta = (\pi/2) - [(\omega_1 - \omega_0)/K_d K_o A] \quad (2.65)$$

เราจะสังเกตได้ว่าเมื่อ $\omega_i = \omega_0$ โวลท์เตจของ VCO จะมีเฟสควอดคราเจอร์ (phase quadrature) คือมีเฟสต่างไปจากเฟสของสัญญาณอินพุทโวลท์เตจ 90^0 เมื่อ ω_i เคลื่อนไปทางด้านสูงกว่า ω_0 มุมของเฟสจะเพิ่มขึ้นจาก 90^0 ไปสู่ค่า 0 องศาที่ล่างสุดของพิสัยการล็อค ดังแสดงในรูปที่ 2.10



รูปที่ 2.10 แสดงคุณสมบัติเอาท์พุทของเฟสดีเท็คเตอร์กับเฟสเออร์เรอร์

2.1.5 พิสัยแคปเจอร์

การวิเคราะห์ถึงพิสัยการล็อคจะต้องอยู่บนหลักการที่ว่าระบบเฟสล็อคลูป (PLL) จะมีสภาวะเดิมล็อคอยู่กับสัญญาณอินพุทแล้ว ในตอนนี้เราจะได้สังเกตถึงสถานะของลูปที่มีสภาวะเดิมไม่ล็อคกับสัญญาณอินพุทเพื่อกำหนดช่วงความถี่ซึ่งระบบเฟสล็อคลูปสามารถล็อคกับสัญญาณอินพุทในช่วงความถี่ดังกล่าว ความถี่ช่วงนี้เราเรียกว่า "พิสัยแคปเจอร์" หรือ "พิสัยแอคควิซิชั่น"

เมื่อระบบเฟสล็อคลูป (PLL) มีสภาวะเดิมระบบไม่ล็อคกับสัญญาณอินพุท ความถี่ของ VCO จะอยู่ที่ฟรีรันนิ่งฟรีเควนซี ω_0 มุมของความต่างเฟสระหว่างสัญญาณอินพุทและโวลท์เตจของ VCO จะเท่ากับ

$$\begin{aligned}\theta_\theta &= (\omega_1 t - \theta_1) - (\omega_0 t - \theta_0) \\ &= (\omega_1 - \omega_0)t + \Delta\theta \end{aligned} \tag{2.66}$$

และค่าของ θ_θ จะไม่คงที่ แต่เปลี่ยนแปลงต่อเวลาด้วยอัตราความเร็ว $d\theta_\theta/dt = \omega_1 - \omega_0$ ดังนั้นเอาท์พุทโวลท์เตจของเฟสดีเท็คเตอร์จะไม่มีส่วนของดีซีคอมโปเน้นท์ แต่จะให้เอซีโวลท์เตจกับลูกคลื่นที่มีพีคแอมปลิจูด $K_d(\pi/2)$และความถี่พื้นฐาน $(\omega_i - \omega_0)$

ถ้าโลว์พาสฟิลเตอร์เป็นวงจร RC โลว์พาสฟิลเตอร์ง่าย ๆ และมีทรานสเฟอร์ฟังก์ชั่นเป็น

$$F(j\omega) = 1/(1 + j\omega t) = 1/[1 + j(\omega/\omega_1)] \tag{2.67}$$

เมื่อ $\tau = RC$ และ $\omega_1 = 1/RC$ ดังนั้นจุดจำกัดความถี่ $f_1 = 1/2\pi RC$ ที่สภาวะ $(\omega/\omega_1)^2 >> 1$ ทรานเฟอร์ฟังก์ชั่นของลูปฟิลเตอร์จะมีค่าประมาณ

$$F(j\omega) = \omega_1 / j\omega \tag{2.68}$$

และ $$|F(j\omega)| = \omega_1 / \omega \tag{2.69}$$

เทอมความถี่พื้นฐานที่เป็นอินพุทให้กับโลว์พาสฟิลเตอร์โดยมาจากเฟสดีเท็คเตอร์จะเป็นค่าผลต่างของความถี่ $\Delta\omega = \omega_i - \omega_0$ ถ้า $\Delta\omega > 3\omega_1$

ทรานเฟอร์ฟังก์ชั่นของ LPF จะมีค่าโดยประมาณเป็น

$$|F(\Delta\omega)| \cong \omega_1 / \Delta\omega = \omega_1 / (\omega_1 - \omega_0) \tag{2.70}$$

เราจะได้คอนโทรลโวลท์เตจไว้สำหรับขับ VCO จะมีค่าเป็น

$$V_c = V_d |F(\Delta\omega)| \tag{2.71}$$

และ $$V_{c(max)} = \pm K_d(\pi/2)(\omega_1/\Delta\omega)A \tag{2.72}$$

ด้วยเหตุผล $$V_{c(max)} = K_0 V_{c(max)} \cong \pm K_0 K_d(\pi/2)A(\omega_1/\Delta\omega) \tag{2.73}$$

เพื่อที่จะจับ (Acquisition) ความถี่สัญญาณอินพุทให้ได้เราจะต้องให้ $\omega = \omega_i$ ดังนั้นพิสัยสูงสุดของความถี่สัญญาณอินพุทที่ระบบ PLL สามารถจับหรือยึดสัญญาณความถี่ดังกล่าวได้ตลอดช่วงมีค่าเท่ากับ

$$(\omega_1 - \omega_0)_{max} = \pm K_d K_0(\pi/2)A(\omega_1/\Delta\omega_c) \tag{2.75}$$

เมื่อ $\Delta\omega_c = (\omega_i - \omega_0)_{max}$ ดังนั้นจากสมการ (2.75) เราจะได้ว่า

$$(\Delta\omega_c)^2 \cong K_d K_0(\pi/2)A\omega_1 \tag{2.76}$$

เนื่องจาก $$\Delta\omega_L = K_0 K_d(\pi/2)A \tag{2.77}$$

ดังนั้น $$(\Delta\omega_c)^2 \cong \omega_1 \Delta\omega_L \tag{2.78}$$

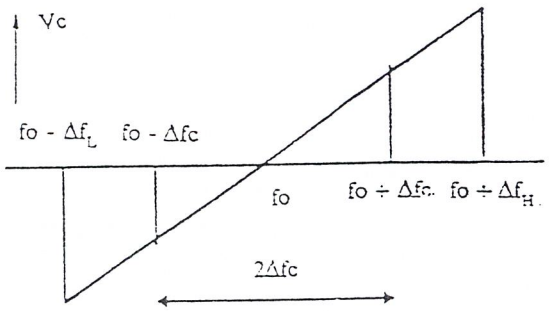
และ $$\Delta\omega_c \cong \pm\sqrt{(\omega_1 \Delta\omega_L)} \tag{2.79}$$

ดังนั้นระบบ PLL สามารถจะแคปเจอร์สัญญาณอินพุทได้ตลอดพิสัยความถี่นี้พิสัยแคปเจอร์มีค่าเป็น

$$\text{พิสัยแคปเจอร์} = 2\Delta\omega_c \cong 2\sqrt{(\omega_1 \Delta\omega_L)} \qquad (2.80)$$

ในกรณีทั่วไป $\Delta\omega_L >> \omega_1$ เราจะสังเกตได้ว่าพิสัยแคปเจอร์จะมีค่าตำแหน่งที่สมมาตรกันเมื่อยึดฟรีรันนิ่งฟรีเควนซีของ VCO เป็นหลักศูนย์กลาง

ในรูปที่ 2.11 แสดงถึงกราฟของคอนโทรลโวลท์เตจของ VCO, V_c ต่อความถี่ของสัญญาณอินพุท พร้อมทั้งแสดงถึงพิสัยแคปเจอร์และพิสัยการล็อค



รูปที่ 2.11 แสดงพิสัยแคปเจอร์ของระบบเฟสล็อคลูป

ในระบบเฟสล็อคลูปต้องการพิสัยแคปเจอร์ที่มีความกว้างมากบนจุดยืนของความสามารถในการล็อคกับสัญญาณอินพุท อย่างไรก็ตามพิสัยแคปเจอร์ที่มีความกว้างมาก ๆ จะทำให้ระบบ PLL อ่อนแอต่อสัญญาณรบกวนด้วยสัญญาณที่ไม่ต้องการและน้อยส์สำหรับระบบ PLL ที่สามารถกำจัดสัญญาณรบกวนและน้อยส์ได้สูงสุดจะต้องมีพิสัยแคปเจอร์แคบ ในกรณีทั่วไประบบ PLL จะเลือกพิสัยแคปเจอร์ที่เหมาะสมเพื่อให้ได้คุณสมบัติที่ดีทั้งสองอย่างคือกำจัดสัญญาณรบกวนได้ดีและสามารถล็อคกับสัญญาณอินพุทได้ในช่วงความถี่กว้าง

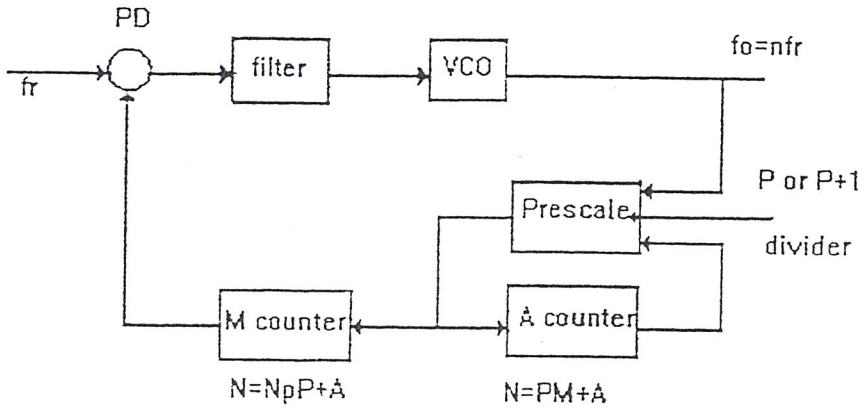
แต่ในบางกรณีที่ระบบ PLL ไม่สามารถเลือกพิสัยแคปเจอร์ที่เหมาะสมได้ เราจะต้องตั้งแบนด์วิดท์ของโลว์พาสฟิลเตอร์ให้มีค่ามากไว้ก่อนในตอนแรกเพื่อให้ลูปสามารถเริ่มต้นแคปเจอร์สัญญาณอินพุทได้เมื่อลูปสามารถแคปเจอร์สัญญาณอินพุทได้แล้วและระบบ PLL ก็จะล็อคกับสัญญาณรบกวนและน้อยส์ลักษณะเด่นของระบบ PLL คือลูปสามารถจะดำรงรักษาการล็อคกับสัญญาณอินพุทได้แม้ว่าสัญญาณอินพุทจะอยู่ในสภาวะที่มีน้อยส์รบกวนมาก คือมีอัตราส่วนของซิกแนลต่อน้อยส์น้อยกว่าหนึ่งก็ตาม ระบบ PLL มักนิยมใช้งานประเภทที่สัญญาณอินพุทมีระดับต่ำ เช่น ระบบสื่อสารของดาวเทียมเป็นต้น

2.2 วงจรหารแบบพรีสเกลเลอร์ (Prescaler divider)

วงจรหารแบบพรีสเกลเลอร์หรือวงจรหารแบบโมดูลัส เป็นวิธีที่ทำให้ระบบสังเคราะห์ความถี่ผลิตความถี่สูงได้ โดยจะมีการหารล่วงหน้าก่อน หมายถึงมีการทำงานในลักษณะที่หารได้สองครั้งด้วยค่าสองค่าสลับกันซึ่งตัวเลขทั้งสองจะมีค่าต่างกันอยู่หนึ่ง เช่น 10 หรือ 11 เรียกว่า 10/11 พรีสเกลเลอร์ สังเกตว่าตัวหารทั้งคู่ต่างกันอยู่หนึ่ง

ในตัวอย่างต่อไปนี้เราจะใช้ 10/11 พรีสเกลเลอร์ ดังแสดงในรูป 2.12 เอาท์พุทของพรีสเกลเลอร์จะป้อนให้กับวงจรนับสองตัว ตัวหนึ่งเป็นตัวนับหลัก อีกตัวหนึ่งเป็นตัวนับเสริม

ตัวนับเสริมจะเป็นตัวบังคับให้พรีสเกลเลอร์หารด้วยตัวหารใด คือหารด้วย 10 หรือ 11 เช่นสมมติว่าป้อนข้อมูล (ความถี่) หรือพรีเซตตัวเลขให้ตัวนับเสริม และในขณะนี้จะใช้ 11 เป็นตัวหาร เมื่อตัวนับเสริมหยุดนับจึงจะส่งคำสั่งไปบังคับให้พรีสเกลเลอร์เปลี่ยนเป็นหารด้วย 10 ตัวนับหลักก็เช่นเดียวกันจะค่อย ๆ นับถอยหลังไปเรื่อย ๆ เมื่อตัวนับหลักและตัวนับเสริมนับถึงศูนย์ ทั้งคู่จะถูกพรีเซตด้วยตัวเลขข้อมูล เนื่องจากตัวนับเสริมจะต้องนับถึงศูนย์ก่อน ดังนั้นตัวเลขที่พรีเซตให้แก่ตัวนับเสริมจะต้องน้อยกว่าค่าตัวเลขที่พรีเซตให้กับตัวนับหลัก



รูปที่ 2.12 แสดงวงจรสังเคราะห์ความถี่ที่ใช้วงจรหารแบบพรีสเกลเลอร์

สมมติให้ตัวเลขที่พรีเซตให้กับตัวนับหลักเป็น M และตัวนับเสริมเป็น A เริ่มแรกใช้พรีสเกลเลอร์อยู่ในสภาวะหาร 11 ไปจนตัวนับเสริมจะนับลงเป็นศูนย์ นั่นคือเวลาที่ใช้ในการนับของตัวนับเสริมคิดเป็นจำนวนไซเคิลของ VCO ที่ผ่านไปเท่ากับ 11 คูณด้วย A ไซเคิล หลังจากนั้นพรีสเกลเลอร์จะถูกบังคับให้เปลี่ยนตัวหารเป็น 10 โดยตัวนับเสริม ในขณะนี้ตัวนับหลักผ่าน A ไปแล้ว พร้อมกับตัวนับเสริมยังเหลืออยู่อีก (M-A) ไซเคิลก่อนที่จะนับเป็นศูนย์ นั่นคือจะต้องใช้เวลาในการนับตัวนับหลักเป็นต่อไปอีกคิดเป็นจำนวนไซเคิลที่ผ่านไปของ VCO เท่ากับ 10 คูณด้วย (M-A)

สังเกตว่าผลของตัวเลข M มีผลต่อความถี่ Fsynth มากกว่าตัวเลข A อยู่ 10 เท่า นอกจากนี้ตัวหาร (10M+A) ก็ไม่สามารถหาได้ครบทุกค่าตัวเลขเนื่องจากมีจำกัดตรงที่ M จะต้องมากกว่าหรือเท่ากับ A ในที่นี้ตัวหาร (10M+A) จะหารได้ครบทุกค่าถ้าเกิน 90 แต่ถ้าต้องหารน้อยกว่า 90 จะหารได้ไม่ครบทุกตัว

สมการที่ยกตัวอย่างข้างต้นใช้พรีสเกลเลอร์แบบ 10/11 ในกรณีที่ใช้พรีสเกลเลอร์ชนิดหารสองโมดูลัสเป็นแบบ P และ N ตัวหารจะกลายเป็นดังนี้

ตัวการของระบบสังเคราะห์ความถี่ $= PM+A$ (2.81)

ตัวหารต่ำสุด $= P(P-1)$ (2.82)

ตัวหารสูงสุด $= P_{max} - A_{mas}$ (2.83)

ถ้าตัวหารของพรีสเกลเลอร์มีค่ามาก ตัวหารต่ำสุดก็จะยิ่งมากขึ้นไปอีกซึ่งเหมาะกับระบบสังเคราะห์ความถี่ที่ผลิตความถี่สูง ๆ และช่วงห่างระหว่างช่องแคบ

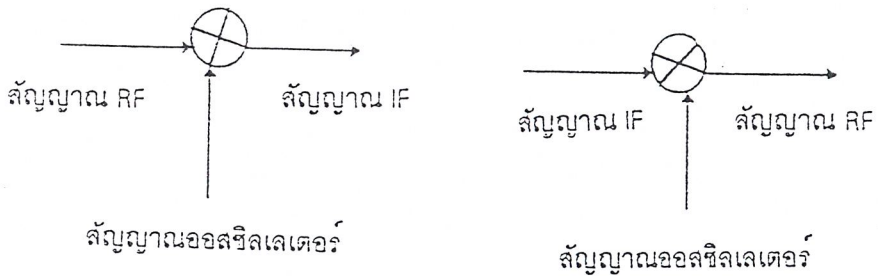
เหตุผลสำคัญในการใช้พรีสเกลเลอร์ก็เพื่อลดทอนความถี่ลงและใช้กับวงจรหาร N ตระกูล TTL หรือ CMOS ได้ถ้าใช้พรีสเกลเลอร์แบบ 256/257 ก็จะสามารถสังเคราะห์ความถี่ไปถึงย่าน UHF ได้ ข้อดีอีกอย่างหนึ่งของพรีสเกล

เลอร์ชนิดหารสองโมดูลัสคือ การให้กำเนิดความถี่ที่ไม่ตรงกับความถี่ที่แสดงเช่นในภาวะรับโลคอลออสซิลเลเตอร์จะผลิตความถี่แตกต่างจากความถี่ที่ใช้งานอยู่เท่ากับความถี่ IF ของเครื่องรับ อีกตัวอย่างหนึ่งเช่นในกรณีของการเลื่อนความถี่ภาคส่งสำหรับรีพีเตอร์เป็นต้น ลักษณะเด่นของระบบสังเคราะห์ความถี่นี้ก็คือ สามารถทำงานที่ความถี่สูงได้โดยอาศัยเทคนิคทางดิจิตอลมาช่วย

2.3 วงจรมิกเซอร์

แบ่งออกเป็น 2 ประเภท คือประเภทแอกตีฟ (Active) ใช้ทรานซิสเตอร์หรือไอซีรวมทั้งอุปกรณ์อื่น ๆ ที่ให้อัตราการขยาย (ในการผสมคลื่น) และประเภทพาสซีฟ (Passive) ใช้ไดโอด ซึ่งไม่มีการขยายสัญญาณ

นอกจากนี้เราอาจแบ่งวงจรมิกเซอร์ได้เป็น 2 ประเภท คือแบบสมดุลหรือบาลานซ์กับแบบไม่สมดุลหรืออันบาลานซ์ วงจรมิกเซอร์แบบสมดุลนี้ เราต่อวงให้ขั้วอินพุทหรือเอาท์พุทของมิกเซอร์ไม่เกิดปฏิกิริยาซึ่งกันและกัน (สัญญาณไม่เล็ดลอดระหว่างขั้ว) คุณสมบัตินี้เราเรียกว่า การแยกระหว่างขั้วหรือไอโซเลชั่น (Isolation) คงจำได้ว่าขั้วอินพุทของวงจรมิกเซอร์มี 2 ขั้วคือ สัญญาณ RF (หรือ IF) กับสัญญาณออสซิลเลเตอร์ และมีขั้วเอาท์พุท 1 ขั้ว คือสัญญาณ IF (หรือ RF) ดูรูปที่ 2.13 ลองพิจารณาในกรณีของภาครับจะเห็นว่าการแยกระหว่างขั้ว RF และขั้วออสซิลเลเตอร์จะช่วยมิให้สัญญาณออสซิลเลเตอร์ย้อนกลับออกสู่ภายนอกออกสู่สายอากาศแแผ่กระจายคลื่นออกไปได้ และการแยกระหว่างขั้ว RF กับขั้ว IF จะช่วยมิให้สัญญาณที่มีความพอดีตรงกับความถี่ IF เล็ดลอดเข้าไปสู่วงจรขยาย IF ในกรณีของภาคส่งก็พิจารณาทำนองเดียวกัน



รูปที่ 2.13 แสดงตัวอย่างมิกเซอร์
(ก) มิกเซอร์ภาคเครื่องส่ง
(ข) มิกเซอร์ภาคเครื่องรับ

บทที่ 3

3.1 ไมโครคอมพิวเตอร์ชิปเดี่ยว AT98C2051

AT98C2051 เป็นชิปไมโครคอมพิวเตอร์ขนาดจิ๋วผลิตโดยบริษัท ATMEL ชุดคำสั่งและสถาปัตยกรรมภายในจะเหมือนกับไมโครคอมพิวเตอร์ตระกูล MCS-51 ผลิตโดยบริษัทอินเทลมีหน่วยความจำเป็น EPROM หรือเรียกว่า Flash memory ขนาด 2KB สามารถเขียนและลบใหม่ได้ไม่น้อยกว่า 1000 ครั้ง โปรแกรมที่บันทึกไว้ในชิปสามารถเก็บไว้ได้นานถึง 10 ปี ซึ่งเป็นระยะเวลาที่ใกล้เคียงกับชิป 8751ของตระกูล MCS-51 ซึ่งหน่วยความจำเป็นแบบ PROM จะใช้แสง UV ในการล้างข้อมูลจุดเด่นของชิป AT98C2051 มีดังต่อไปนี้

1.สามารถใช้แทนไมโครคอมพิวเตอร์ตระกูล MCS-51

2.หน่วยความจำโปรแกรมเป็น Flash memory ขนาด 2 KB

3.ใช้ไฟฟ้าได้ตั้งแต่ 2.7 V – 6 V

4.ออสซิเลเตอร์สามารถป้อนได้ตั้งแต่ 0 Hz - 24 MHz

5.สามารถล็อคโปรแกรมได้สองระดับ

6.หน่วยความจำข้อมูลบนชิปขนาด 128 ไบท์

7.มีอินพุท/เอาท์พุทพอร์ท 15 บิต

8.มีตัวนับและตัวตั้งเวลาขนาด 16 บิต 2 ตัว

9.แหล่งอินเทอร์รัพท์มี 5 แหล่ง

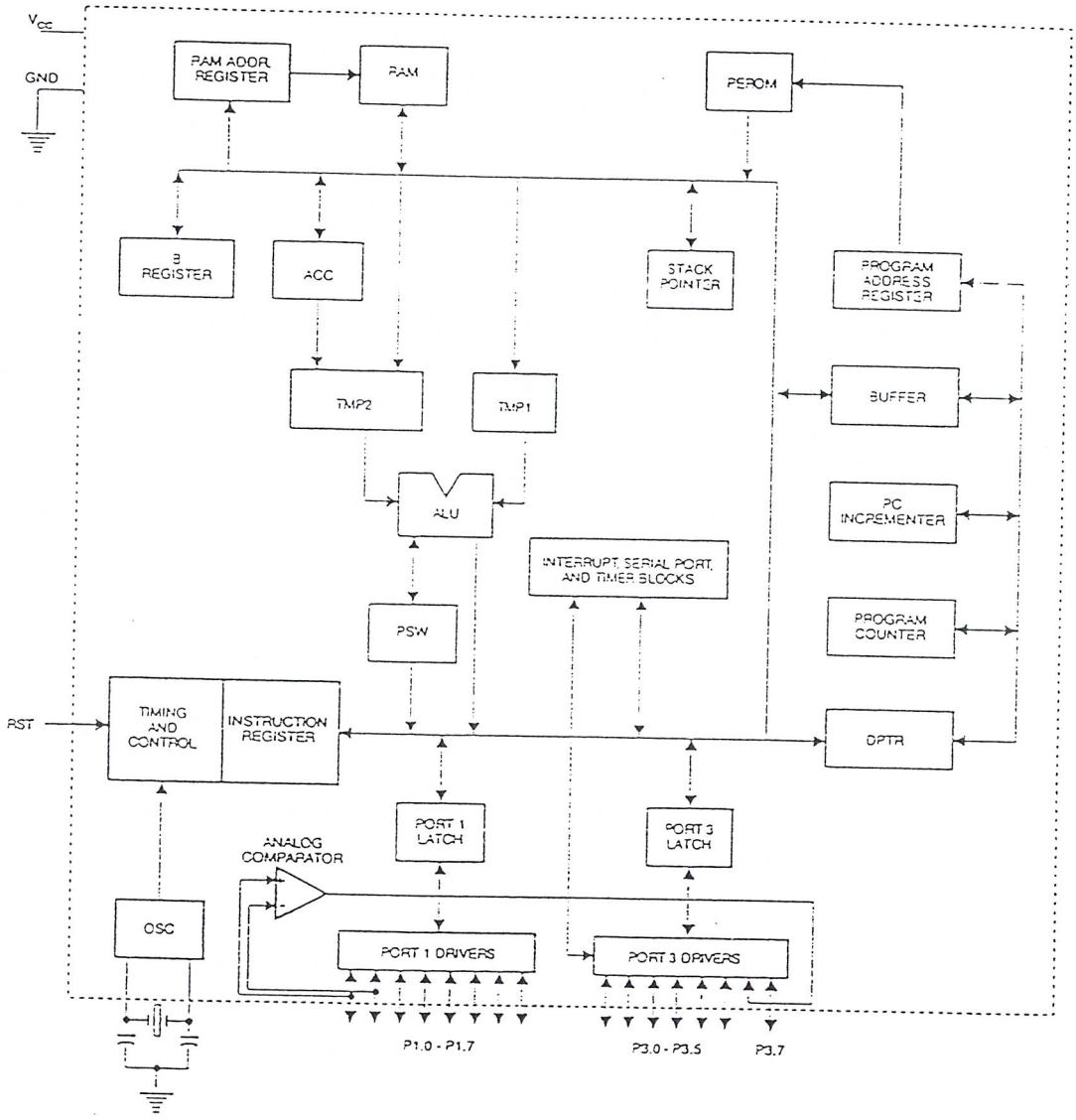
10.พอร์ทอนุกรมแบบ UART โปรแกรมความเร็วในการส่งข้อมูลได้

11.เอาท์พุทพอร์ทสามารถขับ LED ได้โดยตรง ด้วยกระแส sink 20 mA

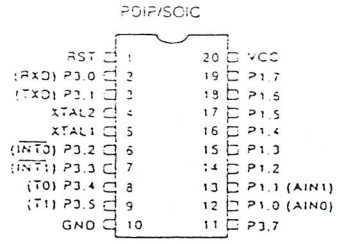
12.มีอนาลอกคอมพาราเตอร์บนชิป

13.มีโหมด idle และ Power down

3.1.1 สถาปัตยกรรมของ AT98C2051



รูปที่ 3.1 สถาปัตยกรรมของไมโครคอมพิวเตอร์ชิปเดี่ยว AT98C2051



รูปที่ 3.2 แสดงขาสัญญาณต่าง ๆ ของชิป AT98C2051

V_{cc} ขา 20 เป็นขาที่ต้องป้อนไฟเลี้ยง +5 โวลท์เข้าไปเพื่อให้วงจรทำงานได้ GND ขา 10 เป็นขาที่ต้องต่อลงกราวด์

พอร์ท1 เป็นพอร์ทขนาด 8 บิตที่สามารถทำหน้าที่เป็นทั้งอินพุทและเอาท์พุท โดยที่ขา P1.2 ถึง P1.7 จะมีตัวต้านทานต่อพูลอัพไว้ภายใน ส่วนP1.0 และ P1.1 นั้นเวลาใช้งานจริงต้องทำการต่อพูลอัพภายนอกด้วยขา P1.0 และ P1.1 สามารถรับสัญญาณอินพุททที่เป็นบวกและสัญญาณอินพุทที่เป็นลบ เข้าตามลำดับเพื่อที่จะนำสัญญาณทั้งสองนี้ไปเข้าตัวอนาลอกคอมพาราเตอร์ เอาท์พุทของพอร์ท 1 รับกระแสซิงค์ได้ 20 มิลลิแอมป์ ขับ LED ได้โดยตรงเมื่อเราทำการส่งข้อมูลไปยังพอร์ท 1 มันก็สามารถทำหน้าที่เป็นอินพุทได้โดยการใช้คำสั่งในการอ่านข้อมูลดังกล่าวเข้าไป ในขณะที่ทำโปรแกรมชิปเราสามารถใช้พอร์ท 1 เป็นเอาท์พุทเพื่อส่งข้อมูลออกไปโปรแกรมชิป และใช้เป็นอินพุทเมื่อทำการอ่านข้อมูลเข้ามาตรวจสอบ

พอร์ท3 เป็นพอร์ทที่สามารถเป็นทั้งอินพุทและเอาท์พุทที่มีขนาด 7 บิตคือ P3.0 ถึง P3.5 และ P3.7 ซึ่งทุกขาสัญญาณดังกล่าวจะมีพูลอัพอยู่ภายใน P3.6 จะต่ออยู่กับเอาท์พุทของอนาลอกคอมพาราเตอร์ และขา P3.6 ไม่มีการต่อใช้งานกับอุปกรณ์ภายนอกเมื่อเราทำการเขียนข้อมูลไปยังพอร์ท 3 ก็สามารถทำหน้าที่เป็นอินพุทได้ทันทีเพราะว่าพอร์ทนี้มีพูลอัพอยู่ภายในแล้ว ส่วนใหญ่แล้วขาสัญญาณของพอร์ท 3 นี้จะทำหน้าที่เป็นขาสัญญาณพิเศษอื่น

ขา P3.0	RXD	เป็นอินพุทของพอร์ทอนุกรม
ขา P3.1	TXD	เป็นเอาท์พุทของพอร์ทอนุกรม
ขา P3.2	INT0	อินเทอร์รับศูนย์ จากภายนอก
ขา P3.3	INT1	อินเทอร์รับหนึ่ง จากภายนอก
ขา P3.4	T0	อินเทอร์รับไทม์เมอร์ศูนย์
ขา P3.5	T1	อินเทอร์รับไทม์เมอร์หนึ่ง

ในขณะที่ทำการโปรแกรมข้อมูลลงชิปเราจะใช้ขาสัญญาณของพอร์ท 3 เป็นตัวสร้างสัญญาณในการโปรแกรม

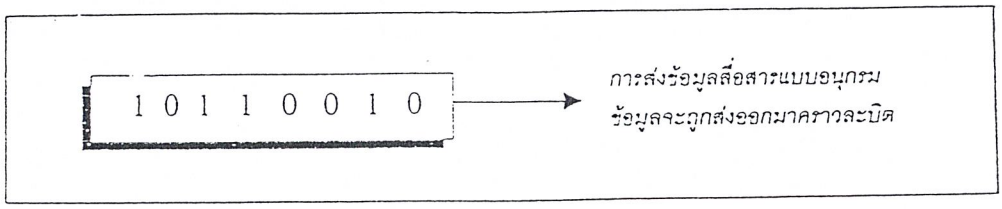
รีเซต เมื่อเกิดการรีเซตขาสัญญาณจะมีสถานะสัญญาณเป็นลอจิก 1 ระหว่างที่ขารีเซตเป็นลอจิก 1 นาน 2 แมชชีนไซเคิลจะทำให้ออสซิลเลเตอร์ทำการรีเซตอุปกรณ์ให้เริ่มทำงานที่ตำแหน่งเริ่มต้นใหม่

XTAL1 เป็นขาอินพุทของวงจรขยายแบบป้อนกลับเฟสและเป็นอินพุทของสัญญาณนาฬิกาที่ควบคุมการทำงานของระบบ

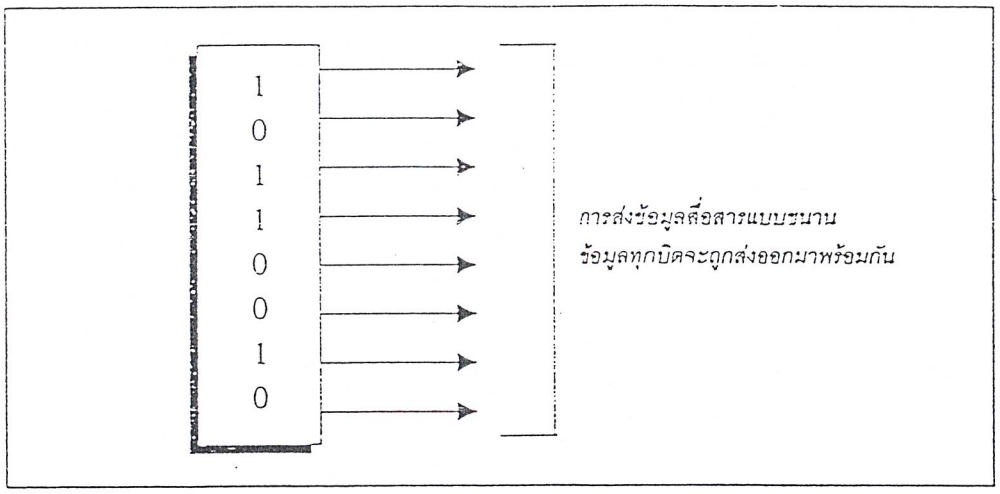
XTAL2 เป็นขาอินพุทของวงจรขยายกลับเฟสสัญญาณที่ประกอบเป็นวงจรออสซิลเลเตอร์

3.2 การสื่อสารข้อมูลอนุกรม

การสื่อสารข้อมูลอนุกรมเป็นการรับหรือส่งข้อมูลในลักษณะของบิตหรือกลุ่มของบิตคราวละหนึ่งบิตเป็นลำดับไปเรื่อยจนสิ้นสุดการสื่อสารแบบนี้จะมีข้อแตกต่างจากการสื่อสารแบบขนานเป็นอย่างมากเนื่องจากข้อมูลมีการโอนย้ายมาพร้อมกันจึงมีความจำเป็นต้องใช้จำนวนเส้นสัญญาณมากขึ้นตามจำนวนบิตของข้อมูลด้วยในขณะที่การสื่อสารแบบอนุกรมนั้นต้องการเส้นสัญญาณเพียงสามเส้นเท่านั้น ดังนั้นการสื่อสารแบบขนานจึงไม่เหมาะสมในการสื่อสารกับอุปกรณ์ภายนอกเป็นระยะทางไกล ๆ เพราะจะทำให้สิ้นเปลืองค่าใช้จ่ายมากลองพิจารณาเปรียบเทียบการสื่อสารทั้งสองประเภทได้จากรูปที่ 3.3ก และ 3.3ข



รูปที่ 3.3ก ข้อมูลแบบอนุกรมถูกส่งเป็นลำดับจนครบจำนวนทั้ง 8 บิต



รูปที่ 3.3ข ข้อมูลแบบขนานในหนึ่งไบท์จะถูกส่งพร้อมกันในลักษณะแบบขนาน

3.2.1 จังหวะเวลาการสื่อสารข้อมูลอนุกรม

เนื่องจากการสื่อสารแบบอนุกรมเป็นการรับ/ส่งข้อมูลในลักษณะกลุ่มของบิตข้อมูล ดังนั้นจึงต้องให้ความสนใจในการพิจารณาถึงเรื่องของอัตราความเร็วในการรับ/ส่งบิตเหล่านี้เป็นอันดับแรกโดยทั่วไปมักจะระบุกันในหน่วยของจำนวนบิตของข้อมูลภายในเวลาหนึ่งวินาทีเรียกว่า Baud Rate จากรูปที่ 3.4 แสดงให้เห็นลักษณะของรูปแบบสัญญาณข้อมูลอนุกรมที่ปรากฏในสายส่งสัญญาณข้อมูลทั้ง 8 บิตนี้ หากว่าถูกส่งออกมาด้วย Baud Rate 2400 จะใช้เวลาในการส่งข้อมูลหนึ่งบิตเท่ากับ 1/2400 หรือ 416 ไมโครวินาที และเวลาในการส่งข้อมูลทั้ง 8 บิตมีค่าเท่ากับ 8x416 หรือ 3.328 ไมโครวินาที

3.2.2รูปแบบของข้อมูลอนุกรม

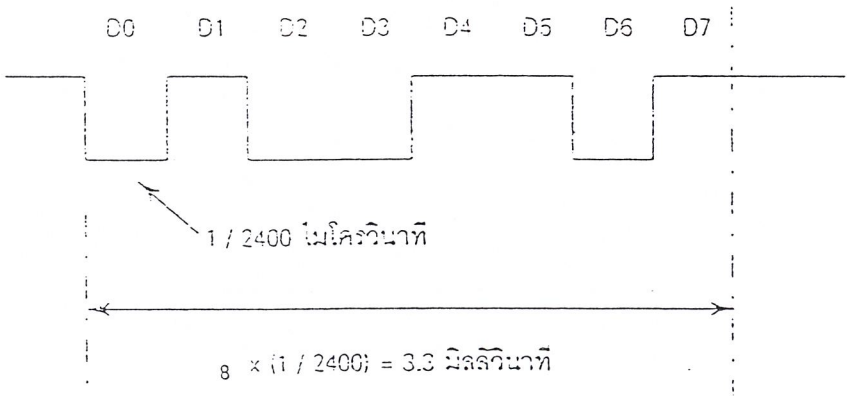
วิธีการที่จะให้ข้อมูลสื่อสารอนุกรมมีความถูกต้องมากยิ่งขึ้นจะใช้การเพิ่มเติมบิตข้อมูลบางอย่างร่วมไปกับข้อมูลจริงได้แก่

1) บิตเริ่มต้น (start bit) บิตเริ่มต้นมีหน้าที่สำหรับบ่งบอกให้วงจรฮาร์ดแวร์ทางด้านรับ ทราบถึงตำแหน่งจุดเริ่มต้นของบิตข้อมูลกลุ่มใหม่เพื่อที่จะทำการปรับปรุงจังหวะของสัญญาณการรับข้อมูลให้ตรงกัน ดังนั้นบิตเริ่มต้นจึงถูกเพิ่มเข้าไปก่อนมีการส่งข้อมูลจริงตามปกติ แล้วค่าของบิตเริ่มต้นมักจะเป็นระดับลอจิกที่ตรงกันข้ามกับระดับลอจิกของสภาวะของสายสื่อสารขณะที่ไม่มีการส่งข้อมูลตัวอย่างเช่น หากสภาวะของสายเมื่อไม่มีข้อมูลจะเป็นลอจิกสูงบิตเริ่มต้นก็จะเป็นลอจิกต่ำเป็นต้น

2) บิตแสดงสภาวะความเป็นเลขคู่หรือเลขคี่ (Parity Bit) บิตนี้มีหน้าที่เพื่อตรวจสอบความถูกต้องของข้อมูลโดยทั่วไปมักเรียกว่า บิตพาริตี้ และจะนำไปแทรกต่อท้ายบิตข้อมูลค่าของบิตนี้จะขึ้นอยู่กับจำนวนค่าของบิตข้อมูลที่เป็น 1 ซึ่งจะเป็นได้สองลักษณะคือพาริตี้คู่หรือพาริตี้คี่ ตัวอย่างเช่นระบบที่ติดต่อกันโดยระบุว่าจะใช้พาริตี้คู่ทางด้านส่งจะนำค่าข้อมูลที่จะส่งมาพิจารณาหากจำนวนบิตที่มีค่าเป็น 1 เป็นเลขจำนวนคู่อยู่แล้วค่าของบิตพาริตี้จะมีค่าเป็นศูนย์ แต่หากว่าจำนวนของบิตที่มีค่าเป็น 1 เป็นเลขจำนวนคี่ค่าพาริตี้บิต จะมีค่าเป็นหนึ่งการพิจารณาทางด้านรับเป็นการตรวจสอบจำนวนบิตที่มีค่าเป็น 1 ของข้อมูลที่ได้รับมาทั้งหมดรวมทั้งพาริตี้บิต ถ้ามีค่าเป็นเลขจำนวนคู่แสดงว่าข้อมูลที่รับมานี้ถูกต้องแต่หากไม่เป็นเลขจำนวนคู่แสดงว่าเกิดความผิดพลาดของข้อมูลเกิดขึ้นเป็นต้น

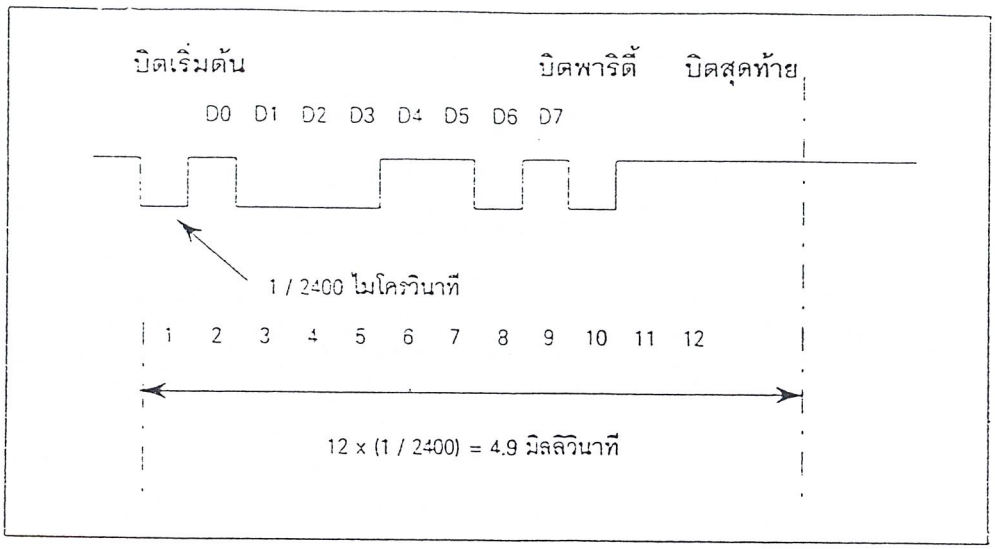
D7	D6	D5	D4	D3	D2	D1	D0
1	0	1	1	0	0	1	0

รูปที่ 3.4ก ข้อมูลแบบขนานในหนึ่งไบท์จะถูกส่งออกมาแบบอนุกรม



รูปที่ 3.4ข รูปแบบสัญญาณข้อมูลในรูป 4.4ก เป็นการส่งข้อมูลด้วยอัตราเร็ว 2400 บิต/วินาที

3) บิตสุดท้าย (Stop Bit) บิตสุดท้ายเป็นบิตที่เพิ่มเติมขึ้น เพื่อระบุถึงขอบเขตการสิ้นสุดของกลุ่มบิตข้อมูลบิตสุดท้ายนี้อาจจะมีจำนวนมากกว่า 1 บิตได้คือ 1 บิตและ 2 บิต ดังนั้นกรณีของการส่งข้อมูล 8 บิตพร้อมบิตที่เพิ่มเติมเข้าไปษโดยสมบูรณ์คือบิตเริ่มต้นบิตพาริตี้และบิตสุดท้าย รวมทั้งสิ้น 12 บิตตามแผนภาพสัญญาณเวลาในรูปที่ 3.4 หากข้อมูลถูกส่งออกไปอัตราเร็ว 2400 เวลาโดยรวมในการส่งข้อมูลหนึ่งไบท์จะมีค่าเป็น 12x416 ไมโครวินาที หรือ 4.99 มิลลิวินาที

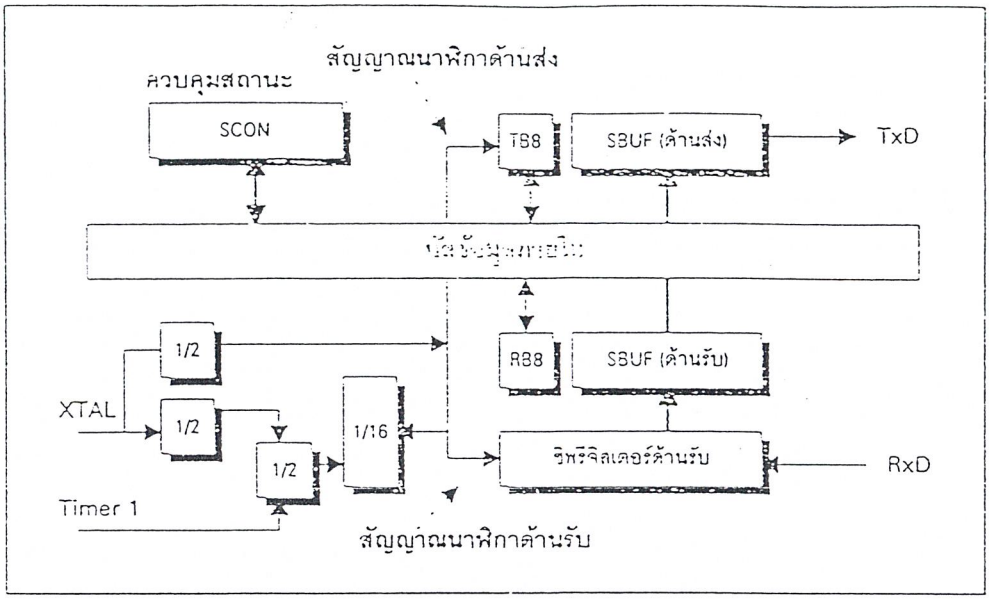


รูปที่ 3.5 แผนภาพสัญญาณเวลาของข้อมูลแบบอนุกรมจำนวน 8 บิต

3.2.3 การจัดการข้อมูลอนุกรมของ 8051

พอร์ทอนุกรมของ 8051 มีโครงสร้างการทำงานในแบบที่เรียกว่าฟลูดูเพล็กซึ่งหมายถึง ความสามารถในการรับและส่งข้อมูลได้ในเวลาเดียวกันจากรูปที่ 3.6 แสดงให้เห็นถึงแผนภาพการทำงานอย่างง่ายของวงจรส่วนจัดการข้อมูลอนุกรมของ 8051 โดยทางด้านวงจรของตัวส่งประกอบด้วยรีจิสเตอร์ SBUP ทำหน้าที่เก็บข้อมูลที่จะส่งออกการใช้คำสั่งเขียนหรือโอนย้ายข้อมูลมายังรีจิสเตอร์นี้จะเป็นการส่งข้อมูลนั้นออกไปยังพอร์ทอนุกรมทางขาสัญญาณ TxD (พอร์ท 3.1) โดยอัตโนมัติส่วนวงจรด้านตัวรับประกอบด้วยรีจิสเตอร์ SBUP เช่นกันแต่ทำหน้าที่เก็บข้อมูลที่มาจากส่วนของวงจรเลื่อนบิตหรือชิปรีจิสเตอร์ของวงจร การจัดข้อมูลอนุกรมภายในสัญญาณข้อมูลอนุกรมที่รับเข้าจะผ่านทางขาสัญญาณ RxD (พอร์ท 3.0) พอร์ทอนุกรมของ 8051 สามารถโปรแกรมให้ทำหน้าที่ในรูปแบบต่าง ๆ กันสี่แบบโดยการกำหนดค่าบิต SM0 และ SM1 ซึ่งอยู่ภายในรีจิสเตอร์ควบคุมและบอกสถานะ SCON ดังแสดงในรูปที่ 3.7 โหมดการทำงานทั้ง 4 แบบของพอร์ทอนุกรมมีดังนี้

1) โหมด0 เป็นการขยายพอร์ทอินพุท/เอาท์พุทโดยการทำงานร่วมกับไอซีรีจิสเตอร์ภายนอกประเภท TTL และ CMOS
2) โหมด1 สำหรับการเชื่อมต่ออนุกรมแบบ UART โดยการใช้กลุ่มข้อมูลแบบ 10 บิตสามารถเปลี่ยนแปลงอัตราความเร็วในการส่งข้อมูลได้
3) โหมด2 ใช้สำหรับการเชื่อมต่ออนุกรมแบบ UART โดยการใช้กลุ่มข้อมูลแบบ 11 บิตและกำหนดอัตราความเร็วในการส่งข้อมูลคงที่
4) โหมด3 ใช้สำหรับการเชื่อมต่ออนุกรมแบบ UART โดยการใช้กลุ่มข้อมูลแบบ 11 บิตและสามารถเปลี่ยนแปลงอัตราความเร็วในการส่งข้อมูลได้



รูปที่ 3.6 การทำงานของวงจรส่วนการรับและส่งข้อมูลอนุกรมของ 8051

นอกจากนี้โหมด 2 และ 3 ยังมีการดำเนินการแบบพิเศษออกไปโดยสามารถนำมาใช้ประโยชน์ในการสื่อสารข้อมูลแบบที่มีไมโครโปรเซสเซอร์หลายตัวทำงานร่วมกันได้ซึ่งจะได้อธิบายรายละเอียดเป็นลำดับไปจากแผนภาพในรูปที่ 3.6 ชีพรีจิสเตอร์ภายในตัวส่งจะทำหน้าที่ในการเลื่อนบิตข้อมูลออกไปภายนอก โดยไม่มีการบัฟเฟอร์และเมื่อใดที่มีการเขียนข้อมูลให้กับรีจิสเตอร์ SBUF แสดงว่ามีความต้องการที่จะส่งข้อมูลนี้ออกไปแบบอนุกรมสำหรับชิปรีจิสเตอร์ทางด้านรับจะทำการเลื่อนบิตข้อมูลที่รับเข้ามาเก็บไว้เมื่อบิตของข้อมูลที่รับมาครบถ้วนตามจำนวนที่กำหนดไว้ตามลักษณะโหมดการทำงานต่าง ๆ แล้วจะถูกย้ายไปเก็บยังรีจิสเตอร์ SBUF ต่อไปอย่างไรก็ตามการย้ายข้อมูลนี้จะเกิดเมื่อรีจิสเตอร์ SBUF นั้นไม่มีข้อมูลที่จะทำการส่งหรือได้ส่งข้อมูลออกไปเสร็จสิ้นแล้ว

ชื่อบิต	ตำแหน่ง	ความหมาย
SM0	SCON.7	บิตเลือกโหมดการทำงาน
SM1	SCON.6	บิตเลือกโหมดการทำงาน
SM2	SCON.5	แฟล็กกำหนดการทำงานแบบมัลติโปรเซสเซอร์
REN	SCON.4	แฟล็กยอมให้มีการรับข้อมูล
TB8	SCON.3	ค่าของบิตที่ 9 สำหรับการส่งข้อมูลออก
RB8	SCON.2	ค่าของบิตที่ 9 ของข้อมูลที่รับเข้า
TI	SCON.1	แฟล็กแสดงการอินเตอร์รัปต์ภายหลังการส่งข้อมูล
RI	SCON.0	แฟล็กแสดงการอินเตอร์รัปต์เมื่อมีข้อมูลรับเข้า

รูปที่ 3.7 รีจิสเตอร์ควบคุมการทำงานและบอกสถานะการสื่อสารของข้อมูลอนุกรม SCON

3.2.4 การอินเตอร์รัปต์ของการสื่อสารอนุกรม

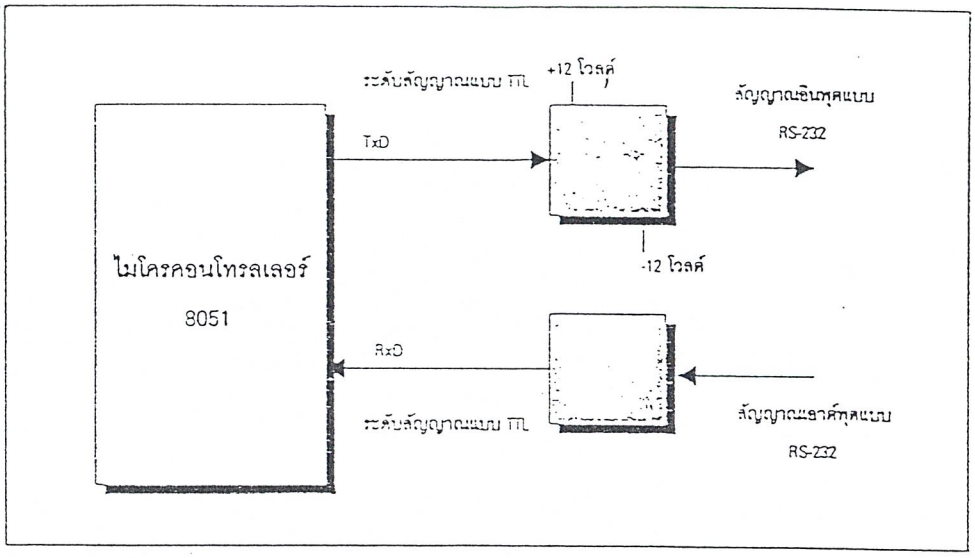
เนื่องจากการส่งหรือรับข้อมูลอนุกรมในการส่งข้อมูลไบท์หนึ่ง ๆ ค่อนข้างจะใช้เวลานานหลายมิลลิวินาที ดังนั้นเพื่อให้การจัดการเกี่ยวกับการสื่อสารแบบนี้เป็นไปอย่างมีประสิทธิภาพ 8051 จึงได้กำหนดให้บิตหรือแฟล็กสถานะที่เกี่ยวข้องทั้งหมดจัดรวมอยู่ภายในรีจิสเตอร์ SCON เท่านั้นเช่นแฟล็ก TI จะมีค่าเป็น 1 เมื่อข้อมูลได้ทำการส่งออกไปภายนอกเสร็จสิ้นแล้วและตัวใดตัวหนึ่งนี้มีค่าเป็น 1 จะมีผลทำให้เกิดการอินเทอร์รัปต์ขึ้น ดังนั้นภายในโปรแกรมจะต้องทำการตรวจสอบจากสภาวะของแฟล็กเหล่านี้เอง ว่ามีการอินเทอร์รัปต์ขึ้นด้วยสาเหตุใดจากนั้นจึงค่อยทำการกำหนดค่า 0 ให้กับแฟล็กนั้นลักษณะดังกล่าวนี้จะมีความแตกต่างไปจากการอินเตอร์รัปต์จากสัญญาณอื่น ๆ เช่นวงจรนับ/จับเวลาเป็นต้น ซึ่งจะมีการกำหนดค่า 0 ให้กับแฟล็กสถานะที่เกี่ยวข้องโดยอัตโนมัติภายหลังจากที่ได้เข้าไปทำงานยังส่วนของโปรแกรมย่อยบริการอินเตอร์รัปต์

3.2.5 กระบวนการรับและส่งข้อมูลอนุกรมของ 8051

การส่งข้อมูลออกทางพอร์ทอนุกรมของ 8051 จะเริ่มต้นขึ้นภายหลังเมื่อมีการเขียนข้อมูลลงในรีจิสเตอร์ SBUF ข้อมูลนี้จะถูกจัดการด้วยวิธีการทางด้านฮาร์ดแวร์ในการเลื่อนบิตและส่งสัญญาณออกไปภายนอกโดยอัตโนมัติเมื่อข้อมูลเหล่านี้ได้ส่งออกครบถ้วนแล้วจึงทำการกำหนดค่าของแฟล็ก TI ให้เป็น 1 เพื่อแจ้งให้ทราบว่าขณะนี้รีจิสเตอร์ SBUF ว่างและพร้อมที่จะส่งข้อมูลไบท์ต่อไปแล้วในกรณีที่ผู้ใช้เขียนข้อมูลใหม่ลงในรีจิสเตอร์ SBUF โดยไม่รอให้แฟล็ก TI มีค่าเป็น 1 ก่อนจะมีผลทำให้ข้อมูลที่ส่งออกไปผิดพลาดได้สำหรับการรับข้อมูลจากพอร์ทอนุกรมจะต้องเริ่มต้นโดยการกำหนดค่าบิต REN ให้มีค่าเป็น 1 ก่อนหลังจากนั้นเมื่อมีบิตของข้อมูลถูกส่งเข้ามาจากภายนอกระบบฮาร์ดแวร์ของ 8051 จึงจะทำการเลื่อนบิตเหล่านี้เข้ามาโดยอัตโนมัติและเมื่อบิตสุดท้ายถูกเลื่อนเข้ามาเรียบร้อยแล้วข้อมูลนั้นจะถูกย้ายมาเก็บไว้ยังรีจิสเตอร์ SBUF และทำการกำหนดให้แฟล็ก RI ให้มีค่าเป็น 1 ซึ่งมีผลทำให้เกิดการอินเทอร์รัปต์โปรแกรมขึ้น

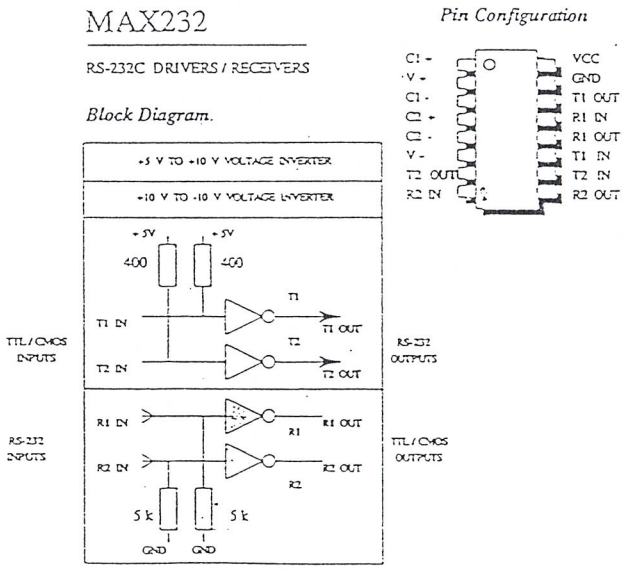
3.3 การเชื่อมต่อแบบมาตรฐาน RS-232

ในการเชื่อมต่อแบบอนุกรมเข้ากับอุปกรณ์คอมพิวเตอร์ต่าง ๆ เช่นคอมพิวเตอร์ เทเลกซ์หรือโทรพิมพ์ เป็นต้น มักจะกำหนดใช้การเชื่อมต่อตามมาตรฐาน RS-232 ทั้งนี้เพื่อให้มีการใช้งานเส้นสัญญาณหรือรูปแบบของตัวเชื่อมต่อที่สอดคล้องกันจะได้ลดปัญหาการเข้ากันไม่ได้ระหว่างสัญญาณของอุปกรณ์ที่มาเชื่อมต่อกันทั้งสองด้านให้น้อยลงเนื่องจากระดับโวลท์เตจที่ใช้และการแทนความหมายของระดับลอจิกตามมาตราฐานนี้แตกต่างไปจากที่ใช้งานกันในระบบดิจิตอลทั่วไปโดยระดับของสัญญาณของ RS-232 เป็นแบบไบโพลาซ์ระดับโวลท์เตจทางด้านลบช่วง –3V ถึง –20 V จะแทนค่าลอจิก 1 และโวลท์เตจทางด้านบวกช่วง +3V ถึง +20V จะแทนค่าลอจิก 0 ดังนั้นจะเห็นได้ว่ามีความจำเป็นที่จะต้องเพิ่มอุปกรณ์หรือวงจรพิเศษเข้าไปเพื่อเปลี่ยนระดับโวลท์เตจจากระบบ 0V ถึง 5V จากขาสัญญาณของ 8051 เป็นระดับโวลท์เตจที่สูงกว่าค่า +3V หรือต่ำกว่า –3V ดังในรูปที่ 4.11 ซึ่งแสดงให้เห็นว่าระดับสัญญาณแบบ TTL จากขาสัญญาณ TxD และ RxD ของ 8051จะต้องถูกปรับเปลี่ยนไปเป็นระดับสัญญาณ RS-232 ก่อนที่จะทำการส่งออกไปในสายสัญญาณต่อไป



รูปที่ 3.8 แผนภาพแสดงการเปลี่ยนแปลงสัญญาณ TTL ไปเป็นสัญญาณ RS-232 และการเปลี่ยนแปลงสัญญาณ RS-232 ไปเป็นสัญญาณ TTL

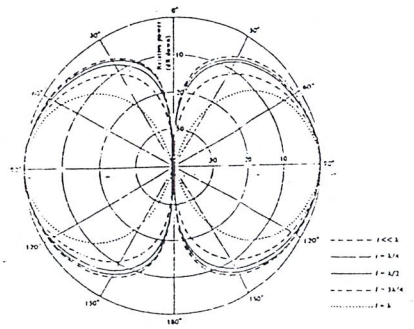
ในการใช้งานเราจะใช้ไอซีวงจรรวมที่ประกอบด้วยวงจรรับและส่งแบบ RS-232 อยู่ภายในตัวและต้องการไฟเลี้ยงขนาด +5V เท่านั้นทั้งนี้เนื่องจากมีวงจรเปลี่ยนระดับโวลท์อยู่ภายในตัวไอซีโดยครบถ้วนดังรูปที่ 3.12 ทำให้การสร้างวงจรรับ/ส่งข้อมูลตามมาตรฐาน RS-232 กระทำได้ง่ายและสะดวกมากยิ่งขึ้น



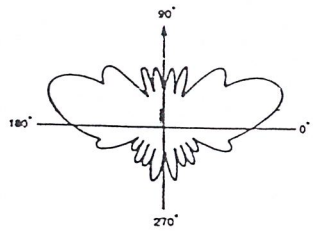
รูปที่ 3.9 ไอซีเบอร์ MAX-232 ซึ่งเป็นวงจรเชื่อมต่อแบบ RS-232 ใช้ไฟเลี้ยง +5V

บทที่ 4
ผลการทดลอง

โดยปกติ เสาอากาศที่ใช้ในการรับส่งสัญญาณจะมี 2 แบบ คือ ไดโพล และ โมโนโพล รูปแบบการกระจายคลื่นตามทฤษฎีของสายอากาศที่เป็นเส้นตรงทั้งไดโพลและโมโนโพลทั้งสองแบบจะมีลักษณะดังนี้ คือ



รูปที่ 4.1 แพทเทอร์นของสายอากาศไดโพลที่มีการแจกแจงรูปแบบกระแสเป็นแบบไซนูซอยดอล ($l = \frac{\lambda}{4}, \frac{\lambda}{2}, \frac{3\lambda}{4}, \lambda$)



รูปที่ 4.2 แพทเทอร์นของสายอากาศโมโพลยาว $\frac{1}{4}\lambda$ เหนือแผ่นกราวด์เพลนรูปกลมที่มีเส้นผ่านศูนย์กลางยาว 6λ จะเห็นว่า ลำคลื่นหลักพุ่งเฉียงขึ้นจากระดับพื้นราบ

ซึ่งเสาอากาศทั้งหมดที่ใช้ในการทดลองครั้งนี้เป็นแบบโมโนโพลที่มีกราวด์เพลน โดยมีความยาวของสายอากาศเป็น ¼ ของความยาวคลื่น ซึ่งความถี่ในการทดลอง คือ 24 เมกะเฮิรทซ์ ทำให้ได้ความยาวคลื่นเป็น 12.5 เมตร สายอากาศก็จะยาวเป็น 3.125 เมตร

จากการทดลองสามารถแยกผลการทดลองออกได้เป็น 2 กรณีใหญ่ๆ คือ A และ B ดังนี้

<u>กรณี A</u>

เป็นการทดลองโดยเสาส่ง-รับตั้งฉากกับพื้นดิน ซึ่งสามารถแยกผลการทดลองออกได้เป็นอีก 2 กรณีย่อย คือ

1) ตัวส่ง-ตัวรับอยู่สูงกว่าพื้นดิน 5 เมตร

2) ตัวส่ง-ตัวรับอยู่ระดับพื้นดิน

1.ตัวส่ง-ตัวรับอยู่สูงกว่าพื้นดิน 5 เมตร

จากการทดลองจะเห็นว่า การตั้งเสาในลักษณะนี้จะสามารถรับ-ส่งคลื่นได้ไกลที่สุด (35 เมตร) อาจเนื่องมาจากเสาตั้งอยู่สูงจากพื้นดิน เป็นการลดตัวแปรอื่นๆ เช่น พื้นดินซึ่งอาจจะกีดขวางหรือมีผลในการลดประสิทธิภาพการกระจายของคลื่นลง ทำให้การตั้งเสาในลักษณะนี้มีผลทำให้คลื่นสามารถกระจายได้ดี

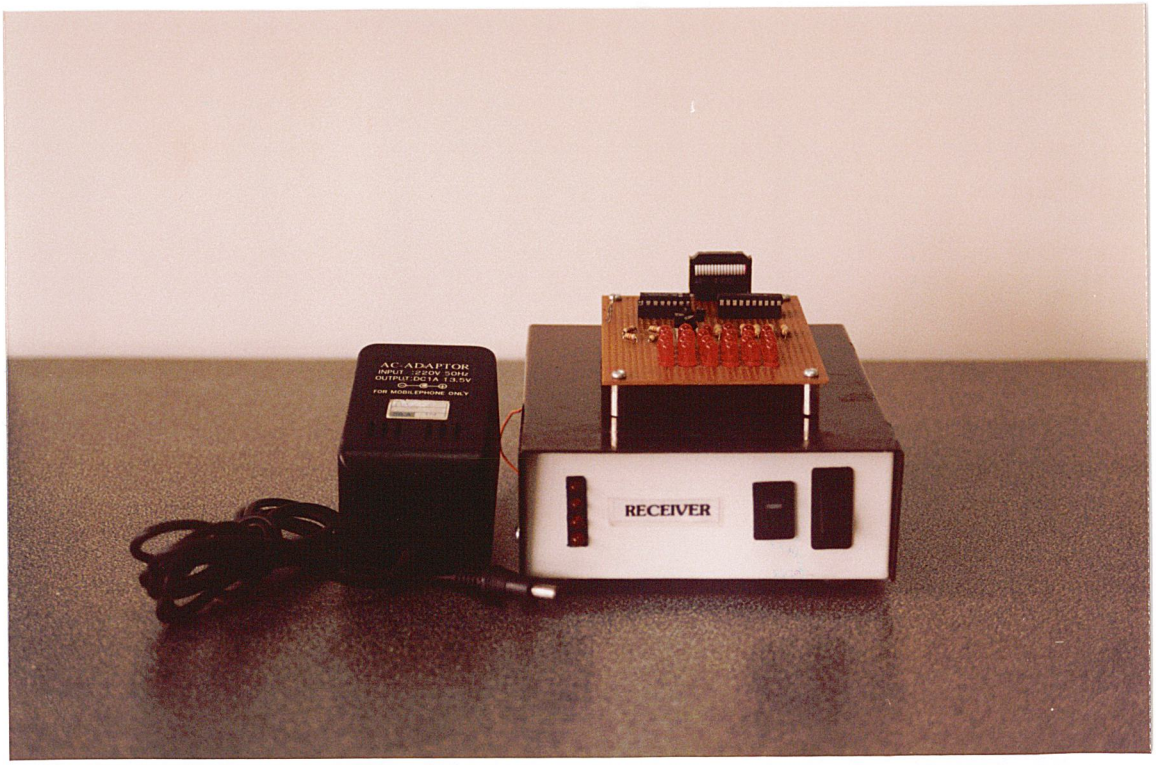
2. ตัวส่ง-ตัวรับอยู่ระดับพื้นดิน

จากการทดลอง การตั้งเสาในลักษณะดังกล่าวนี้ คลื่นสัญญาณจะสามารถเดินทางได้ระยะค่อนข้างใกล้ (4 เมตร) ซึ่งอาจมีสาเหตุมาจากการที่เสาตั้งอยู่ในระดับพื้นดิน ซึ่งอาจทำให้การกระจายของคลื่นเป็นไปอย่างไม่สมบูรณ์เนื่องจากอยู่ใกล้พื้นดินทำให้เกิดตัวแปรที่มีผลต่อการกระจายของคลื่นเมื่อเทียบกับแบบที่ 1. ซึ่งมีตัวแปรน้อยกว่า

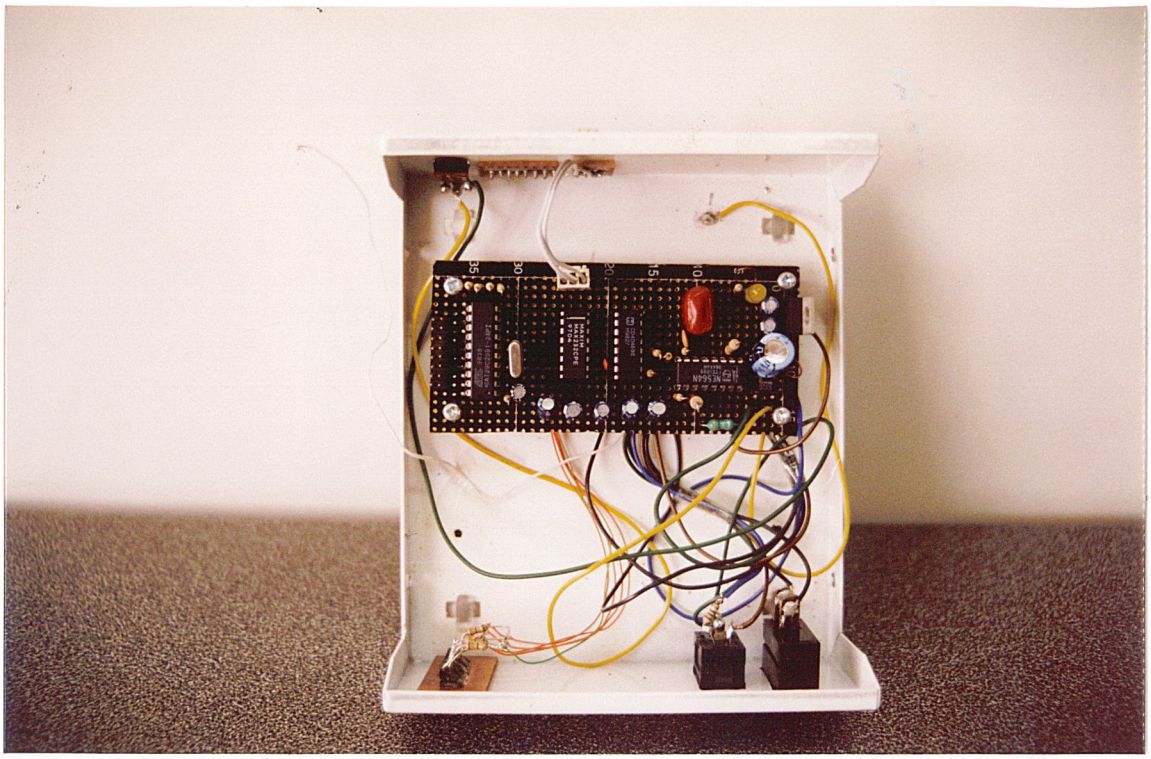
<u>กรณี B</u>

ในกรณี B นี้จะตั้งเสาในแนวนอนขนานกับแนวระนาบ ซึ่งโดยทางทฤษฎีแล้วการตั้งเสาส่ง-รับในลักษณะนี้จะไม่สามารถส่ง-รับคลื่นใดๆได้เลย แต่จากผลการทดลองในครั้งนี้ปรากฏว่า เสาอากาศสามารถส่ง-รับคลื่นได้ (27 เมตร) ซึ่งผลการทดลองค่อนข้างขัดแย้งกับทฤษฎีที่ควรจะเป็น สาเหตุที่เป็นเช่นนี้อาจเนื่องมาจาก รูปแบบการกระจายของสนามแม่เหล็กไฟฟ้าในกรณีนี้เป็นแบบ “สนามระยะใกล้” (Near field) ซึ่งรูปแบบการกระจายของสนามไฟฟ้าในระยะใกล้นี้จะไม่เหมือนกับรูปแบบการกระจายของสนามไฟฟ้าในระยะไกล หากพิจารณาตามลักษณะสนามระยะใกล้นี้แล้ว อาจจะทำให้เกิดการกระจายของคลื่นตามผลการทดลองได้

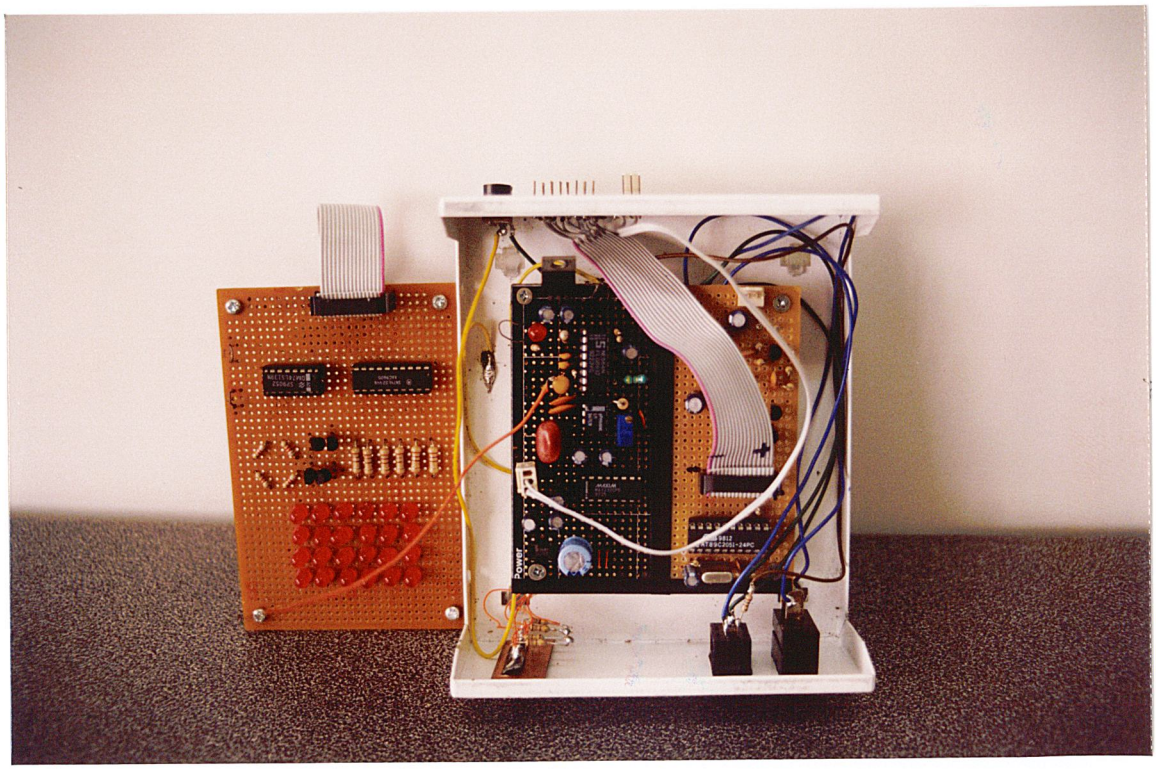
รูปที่ 4.3 เครื่องมอดูเลตสัญญาณด้วยความถี่พาหะ 24 เมกะเฮิรทซ์



รูปที่ 4.4 เครื่องดีมอดูเลตสัญญาณความถี่พาหะ 24 เมกะเฮิรทซ์ พร้อมแผง LED แสดงผล 24 ดวง



รูปที่ 4.5 แสดงวงจรภายในเครื่องมอดูเลต



รูปที่ 4.6 แสดงวงจรภายในเครื่องดีมอดูเลต

8051 Cross-Assembler (1.3) (C) 1987, 1989 Binary Technology

```
0000                1                       org     0000h
0000 0201C7         2                       jmp     main
000B                3                       org     000bh
000B 020100         4                       jmp     led
0100                5                       org     100h
                    6
0100 C28C           7                   led: clr    tr0
0102 C28D           8                       clr     tf0
0104 D841           9                       djnz    r0,bypass
0106 B9000B         10                      cjne    r1,#00h,int2
0109 C2B2           11                      clr     p3.2
010B D2B3           12                      setb    p3.3
010D D2B4           13                      setb    p3.4
010F D2B5           14                      setb    p3.5
0111 09             15                      inc     r1
0112 8031           16                      sjmp    int7
                    17
0114 B90107         18                  int2: cjne  r1,#01h,int3
0117 D2B2           19                      setb    p3.2
0119 C2B3           20                      clr     p3.3
011B 09             21                      inc     r1
011C 8027           22                      sjmp    int7
                    23
011E B90207         24                  int3: cjne  r1,#02h,int4
0121 C2B4           25                      clr     p3.4
0123 D2B3           26                      setb    p3.3
0125 09             27                      inc     r1
0126 801D           28                      sjmp    int7
                    29
0128 B90307         30                  int4: cjne  r1,#03h,int5
012B D2B4           31                      setb    p3.4
012D C2B5           32                      clr     p3.5
```

```
012F 09        33              inc     r1
0130 8013      34              sjmp    int7
               35
0132 B90407    36      int5:   cjne    r1,#04h,int6
0135 D2B5      37              setb    p3.5
0137 C2B4      38              clr     p3.4
0139 09        39              inc     r1
013A 8009      40              sjmp    int7
               41
013C B90506    42      int6:   cjne    r1,#05h,int7
013F D2B4      43              setb    p3.4
0141 C2B3      44              clr     p3.3
0143 7900      45              mov     r1,#00h
0145 7801      46      int7:   mov     r0,#01h         ;delay for led
0147 758C10    47      bypass: mov     th0,#10h
014A D28C      48              setb    tr0
014C 32        49              reti
               50
014D 7FA0      51      delay:  mov     r7,#0a0h
014F 7E50      52      delay1: mov     r6,#050h
0151 7D01      53      delay2: mov     r5,#01
0153 DDFE      54              djnz    r5,$
0155 DEFA      55              djnz    r6,delay2
0157 DFF6      56              djnz    r7,delay1
0159 22        57              ret
               58
015A 7598D2    59      initial: mov    scon,#11010010b;9-bitmode 3
015D 758921    60              mov     tmod,#21h   ;t1 8-bit t0 16-bit
0160 75A882    61              mov     ie,#82h     ;int from to
0163 758DE8    62              mov     th1,#0e8h   ;baud 1200
0166 758C10    63              mov     th0,#010h
0169 D28E      64              setb    tr1
016B D28C      65              setb    tr0
016D 7900      66              mov     r1,#00h     ;set for select led
016F 7801      67              mov     r0,#01h     ;delay time for led
0171 22        68              ret
```

```
                    69
0172 3099FD         70          send:  jnb   ti,send
0175 C299           71                 clr   ti
0177 A2D0           72                 mov   c,p   ;move parity to c
0179 929B           73                 mov   tb8,c ;for even parity
017B F599           74                 mov   sbuf,a
017D 22             75                 ret
                    76
017E 7A06           77           run:  mov   r2,#06h
0180 74FE           78                 mov   a,#11111110b
0182 3172           79       run_lef:  call  send
0184 314D           80                 call  delay
0186 23             81                 rl    a
0187 DAF9           82                 djnz  r2,run_lef
0189 749F           83                 mov   a,#10011111b
018B 3172           84                 call  send
018D 314D           85                 call  delay
018F 745F           86                 mov   a,#01011111b
0191 3172           87                 call  send
0193 314D           88                 call  delay
0195 741F           89                 mov   a,#00011111b
0197 3172           90                 call  send
0199 314D           91                 call  delay
019B 742F           92                 mov   a,#00101111b
019D 3172           93                 call  send
019F 314D           94                 call  delay
01A1 7437           95                 mov   a,#00110111b
01A3 3172           96                 call  send
01A5 314D           97                 call  delay
01A7 743B           98                 mov   a,#00111011b
01A9 3172           99                 call  send
01AB 314D          100                 call  delay
01AD 743D          101                 mov   a,#00111101b
01AF 3172          102                 call  send
01B1 314D          103                 call  delay
01B3 743E          104                 mov   a,#00111110b
```

```
01B5 3172   105            call   send
01B7 314D   106            call   delay
01B9 747E   107            mov    a,#01111110b
01BB 3172   108            call   send
01BD 314D   109            call   delay
01BF 74BE   110            mov    a,#10111110b
01C1 3172   111            call   send
01C3 314D   112            call   delay
01C5 80B7   113            jmp    run
            114
01C7 315A   115     main:  call   initial
01C9 317E   116            call   run
0000=       117            end
```

```
bypass = 0147    delay = 014D    delay1 = 014F    delay2 = 0151    initial = 015A
int2 = 0114      int3 = 011E     int4 = 0128      int5 = 0132      int6 = 013C
int7 = 0145      led = 0100      main = 01C7      run = 017E       run_lef = 0182
send = 0172
```

8051 Cross-Assembler (1.3) (C) 1987, 1989 Binary Technology

```
0000                1                       org     0000h
0000 02014D         2                       jmp     initial
000B                3                       org     000bh
000B 020100         4                       jmp     led
0100                5                       org     100h
                    6
0100 C28C           7               led:    clr     tr0
0102 C28D           8                       clr     tf0
0104 D841           9                       djnz    r0,bypass
0106 B9000B         10                      cjne    r1,#00h,int2
0109 C2B2           11                      clr     p3.2
010B D2B3           12                      setb    p3.3
010D D2B4           13                      setb    p3.4
010F D2B5           14                      setb    p3.5
0111 09             15                      inc     r1
0112 8031           16                      sjmp    int7
                    17
0114 B90107         18              int2:   cjne    r1,#01h,int3
0117 D2B2           19                      setb    p3.2
0119 C2B3           20                      clr     p3.3
011B 09             21                      inc     r1
011C 8027           22                      sjmp    int7
                    23
011E B90207         24              int3:   cjne    r1,#02h,int4
0121 C2B4           25                      clr     p3.4
0123 D2B3           26                      setb    p3.3
0125 09             27                      inc     r1
0126 801D           28                      sjmp    int7
                    29
0128 B90307         30              int4:   cjne    r1,#03h,int5
012B D2B4           31                      setb    p3.4
012D C2B5           32                      clr     p3.5
```

```
012F 09          33                inc     r1
0130 8013        34                sjmp    int7
                 35
0132 B90407      36        int5:   cjne    r1,#04h,int6
0135 D2B5        37                setb    p3.5
0137 C2B4        38                clr     p3.4
0139 09          39                inc     r1
013A 8009        40                sjmp    int7
                 41
013C B90506      42        int6:   cjne    r1,#05h,int7
013F D2B4        43                setb    p3.4
0141 C2B3        44                clr     p3.3
0143 7900        45                mov     r1,#00h
0145 7801        46        int7:   mov     r0,#01h       ;delay for led
0147 758C10      47        bypass: mov     th0,#010h
014A D28C        48                setb    tr0
014C 32          49                reti
                 50
014D 7598D2      51        initial:  mov   scon,#11010010b ;9-bit
mode 3
0150 758921      52                mov     tmod,#21h  ;t1 8-bit t0 16-bit
0153 75A882      53                mov     ie,#82h       ;int from t0
0156 758DE8      54                mov     th1,#0e8h     ;baud 1200
0159 758C10      55                mov     th0,#010h
015C D28E        56                setb    tr1
015E D28C        57                setb    tr0
0160 7900        58                mov     r1,#00h       ;set for select
led
0162 7801        59                mov     r0,#01h       ;delay time for
led
0164 3098FD      60        receive:  jnb   ri,$
0167 C298        61                clr     ri
0169 E599        62                mov     a,sbuf
016B A2D0        63                mov     c,p
016D 752000      64                mov     20h,#00h
0170 9200        65                mov     00h,c
```

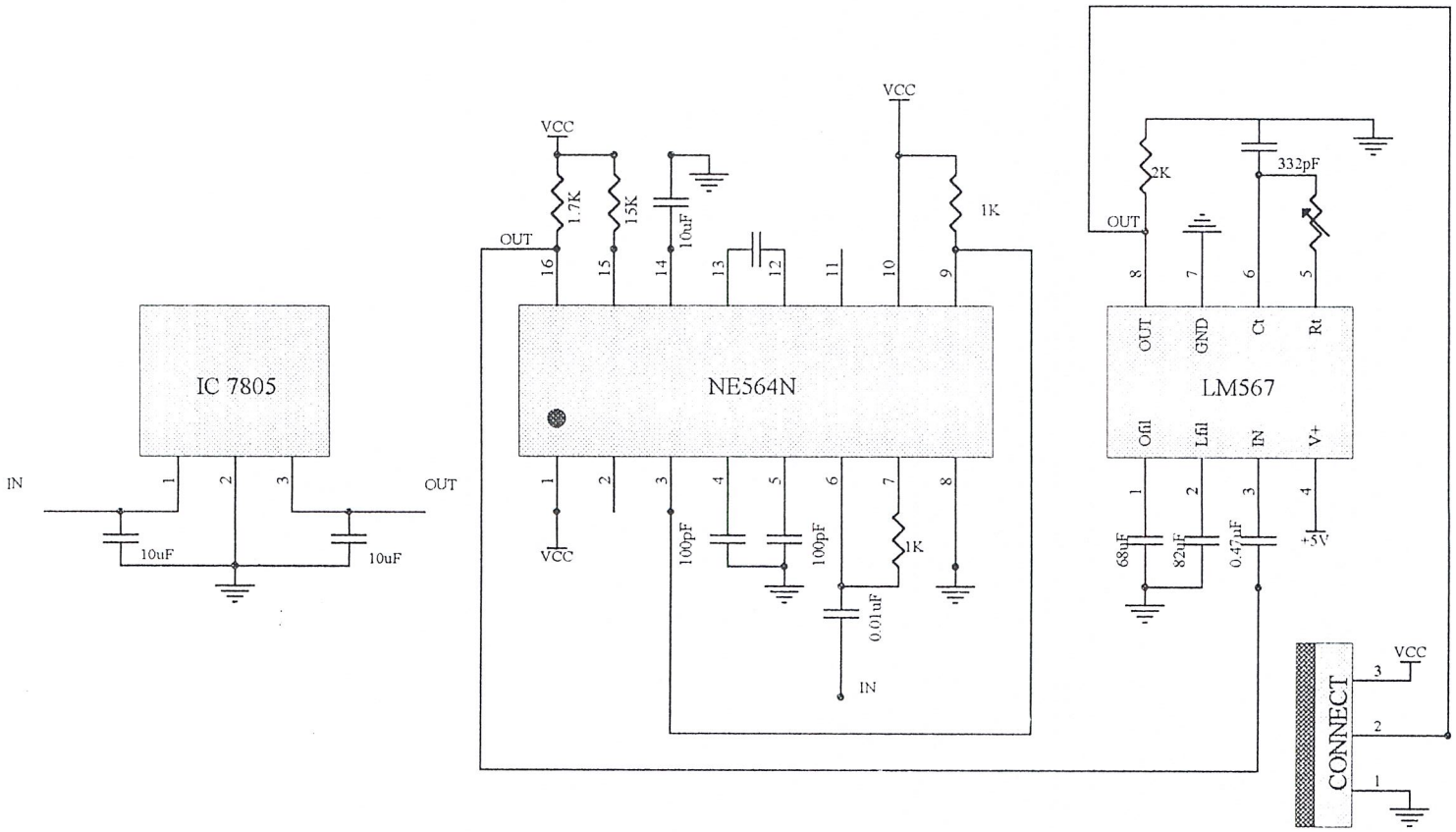
```
0172 7400        66                mov   a,#00h
0174 A29A        67                mov   c.rb8
0176 92E0        68                mov   acc.0,c
  0178 6520      69                xrl   a,20h
  017A B400E7    70                cjne  a,#00h,receive
  017D E599      71                mov   a,sbuf
  017F F590      72                mov   p1,a
  0181 80E1      73                jmp   receive
  0000=          74                end
```

bypass = 0147 initial = 014D int2 = 0114 int3 = 011E int4 = 0128

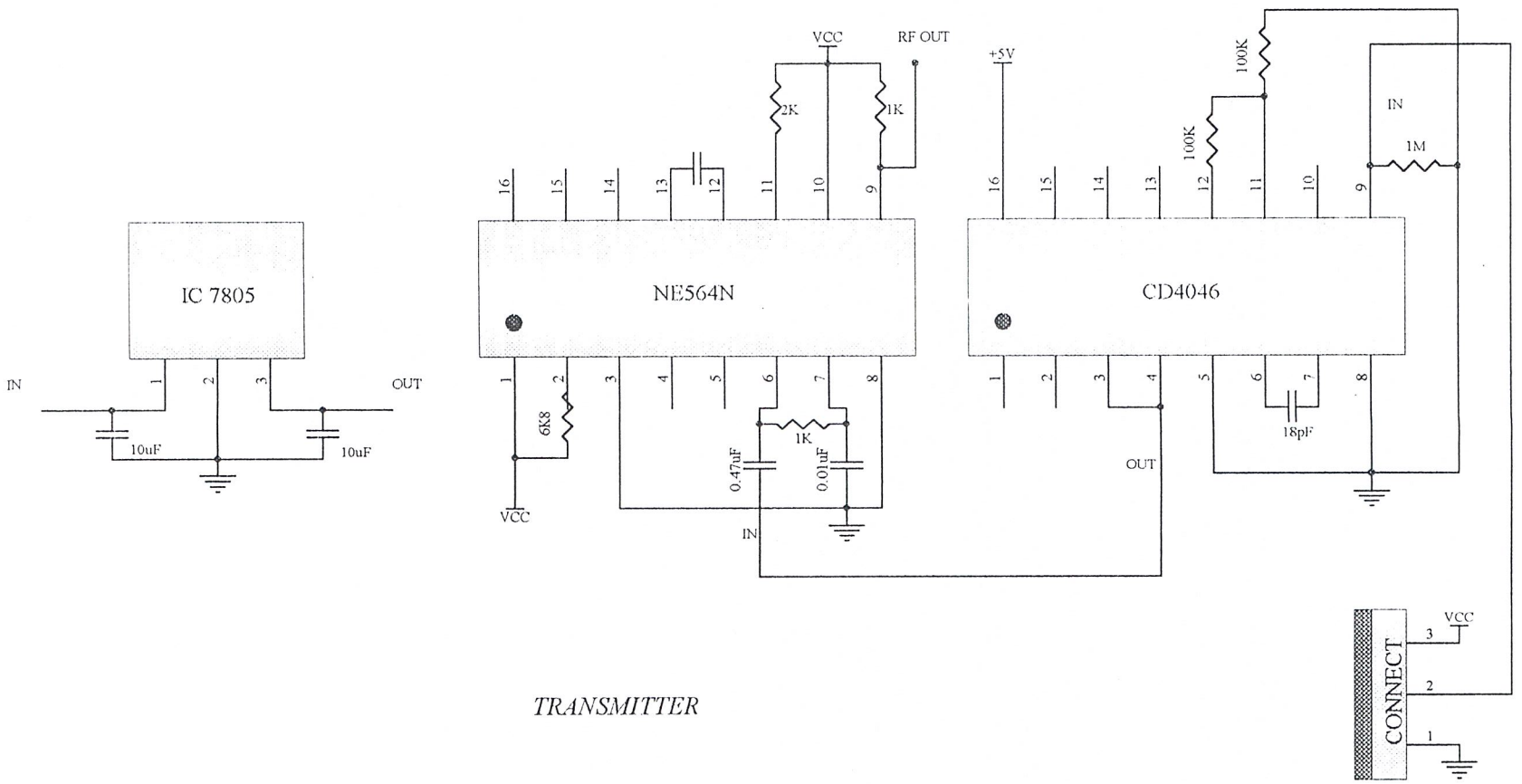
int5 = 0132 int6 = 013C int7 = 0145 led = 0100 receive = 0164

เอกสารอ้างอิง

1. Roland E. Best , Phase-locked loops : theory,design, and applications , 2nd edition , New York : McGraw-Hill, c1984
2. John Griffiths , Radio wave propagation and antennas : an introduction , Englewood Cliffs, NJ : Prentice-Hall International, c1987
3. M.G. Scroggie, S.W. Amos , Foundations of wireless and electronics , 10th edition , London : Newnes Technical Books, c1984
4. Kamilo Feher , Wireless digital communications : modulation and spread spectrum applications , Upper Saddle River , NJ : Prentice-Hall PRT, c1995
5. บัณฑิต โรจน์อารยานนท์ , หลักการไฟฟ้าสื่อสาร = Principles of communication systems ,พิมพ์ครั้งที่ 5, กรุงเทพฯ : สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย, 2538
6. ร.ต.อ.สุชาติ กังวารจิตต์ , หลักการทำงานเครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร , กรุงเทพฯ : ซีเอ็ดยูเคชั่น , 2532
7. โมไนย ไกรฤกษ์ , ทฤษฎีสายอากาศ = Antenna Theory , กรุงเทพฯ , ฟิสิกส์เซ็นเตอร์


IC 7805
IN
OUT
10uF
10uF
NE564N
VCC
1.7K
15K
10uF
1K
100pF
100pF
1K
0.01uF
IN
LM567
OUT
GND
Ct
Rt
Ofil
Lfil
IN
V+
2K
332pF
68uF
82uF
0.47uF
+5V
CONNECT

RECEIVER



TRANSMITTER

Phase-locked loop NE/SE564

DESCRIPTION

The NE/SE564 is a versatile, high guaranteed frequency phase-locked loop designed for operation up to 50MHz. As shown in the Block Diagram, the NE/SE564 consists of a VCO, limiter, phase comparator, and post detection processor.

FEATURES

- Operation with single 5V supply
- TTL-compatible inputs and outputs
- Guaranteed operation to 50MHz
- External loop gain control
- Reduced carrier feedthrough
- No elaborate filtering needed in FSK applications
- Can be used as a modulator
- Variable loop gain (externally controlled)

APPLICATIONS

- High speed modems
- FSK receivers and transmitters
- Frequency Synthesizers

PIN CONFIGURATIONS

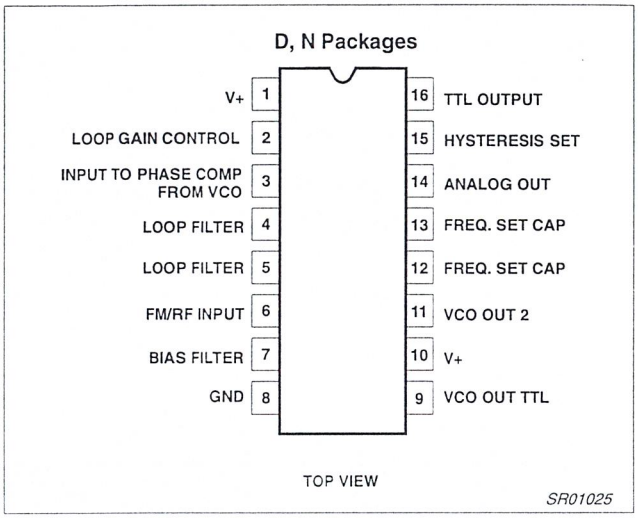


Figure 1. Pin Configuration

- Signal generators
- Various satcom/TV systems
- pin configuration

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
16-Pin Plastic Small Outline (SO) Package	0 to +70°C	NE564D	SOT109-1
16-Pin Plastic Dual In-Line Package (DIP)	0 to +70°C	NE564N	SOT38-4
16-Pin Plastic Dual In-Line Package (DIP)	-55 to +125°C	SE564N	SOT38-4

BLOCK DIAGRAM

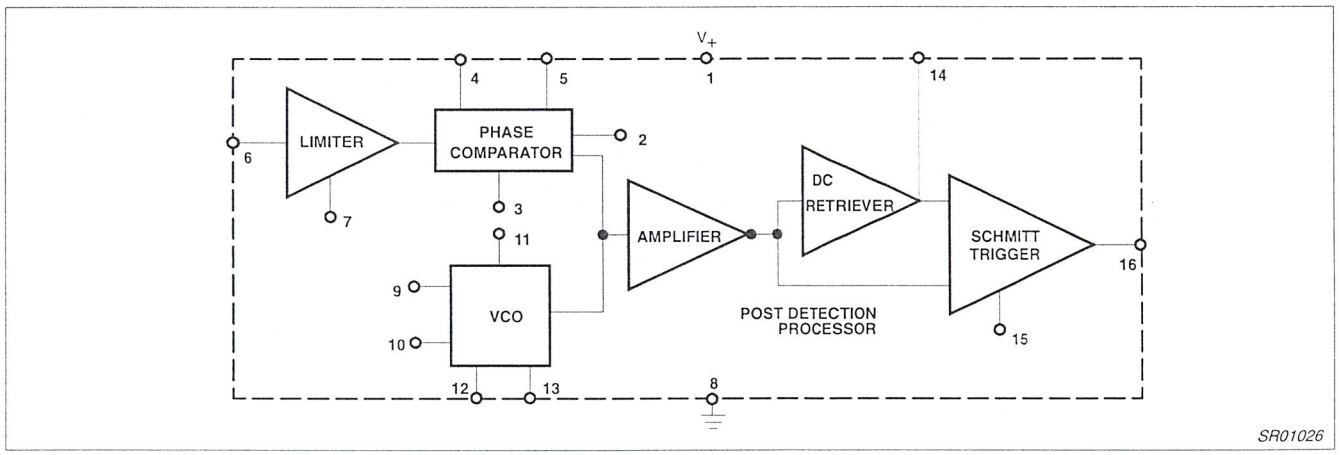


Figure 2. Block Diagram

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNITS
V+	Supply voltage Pin 1 Pin 10	 14 6	 V V
I_{OUT}	Sink Max (Pin 9) and sourcing (Pin 11)	11	mA
I_{BIAS}	Bias current adjust pin (sinking)	1	mA
P_D	Power dissipation	600	mW
T_A	Operating ambient temperature NE SE	 0 to +70 -55 to +125	 °C °C
T_{STG}	Storage temperature range	-65 to +150	°C

NOTE:
Operation above 5V will require heatsinking of the case.

DC AND AC ELECTRICAL CHARACTERISTICS

V_{CC} = 5V; T_A = 0 to 25°C; f_O = 5MHz, I_2 = 400µA; unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS SE564			LIMITS NE564			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
	Maximum VCO frequency	C_1 = 0 (stray)	50	65		45	60		MHz
	Lock range	Input ≥ 200mV$_{RMS}$ T_A = 25°C T_A = 125°C T_A = -55°C T_A = 0°C T_A = 70°C	 40 20 50	 70 30 80		 40	 70 70 40		% of f_O
	Capture range	Input ≥ 200mV$_{RMS}$, R_2 = 27Ω	20	30		20	30		% of f_O
	VCO frequency drift with temperature	f_O = 5MHz, T_A = -55°C to +125°C T_A = 0 to +70°C = 0 to +70°C f_O = 5MHz, T_A = -55°C to +125°C T_A = 0 to +70°C		 500 300	 1500 800		 600 500		PPM/°C
	VCO free-running frequency	C_1 = 91pF R_C = 100Ω "Internal"	4	5	6	3.5	5	6.5	MHz
	VCO frequency change with supply voltage	V_{CC} = 4.5V to 5.5V		3	8		3	8	% of f_O
	Demodulated output voltage	Modulation frequency: 1kHz f_O = 5MHz, input deviation: 2%T = 25°C 1%T = 25°C 1%T = 0°C 1%T = -55°C 1%T = 70°C 1%T = 125°C	 16 8 6 12	 28 14 10 16		 16 8 	 28 14 13 15		 mV$_{RMS}$ mV$_{RMS}$ mV$_{RMS}$ mV$_{RMS}$ mV$_{RMS}$ mV$_{RMS}$
	Distortion	Deviation: 1% to 8%		1			1		%
S/N	Signal-to-noise ratio	Std. condition, 1% to 10% dev.		40			40		dB
	AM rejection	Std. condition, 30% AM		35			35		dB
	Demodulated output at operating voltage	Modulation frequency: 1kHz f_O = 5MHz, input deviation: 1% V_{CC} = 4.5V V_{CC} = 5.5V	 7 8	 12 14		 7 8	 12 14		 mV$_{RMS}$ mV$_{RMS}$
I_{CC}	Supply current	V_{CC} = 5V I_1, I_{10}		45	60		45	60	mA
	Output "1" output leakage current "0" output voltage	 V_{OUT} = 5V, Pins 16, 9 I_{OUT} = 2mA, Pins 16, 9 I_{OUT} = 6mA, Pins 16, 9		 1 0.3 0.4	 20 0.6 0.8		 1 0.3 0.4	 20 0.6 0.8	 µA V V

TYPICAL PERFORMANCE CHARACTERISTICS

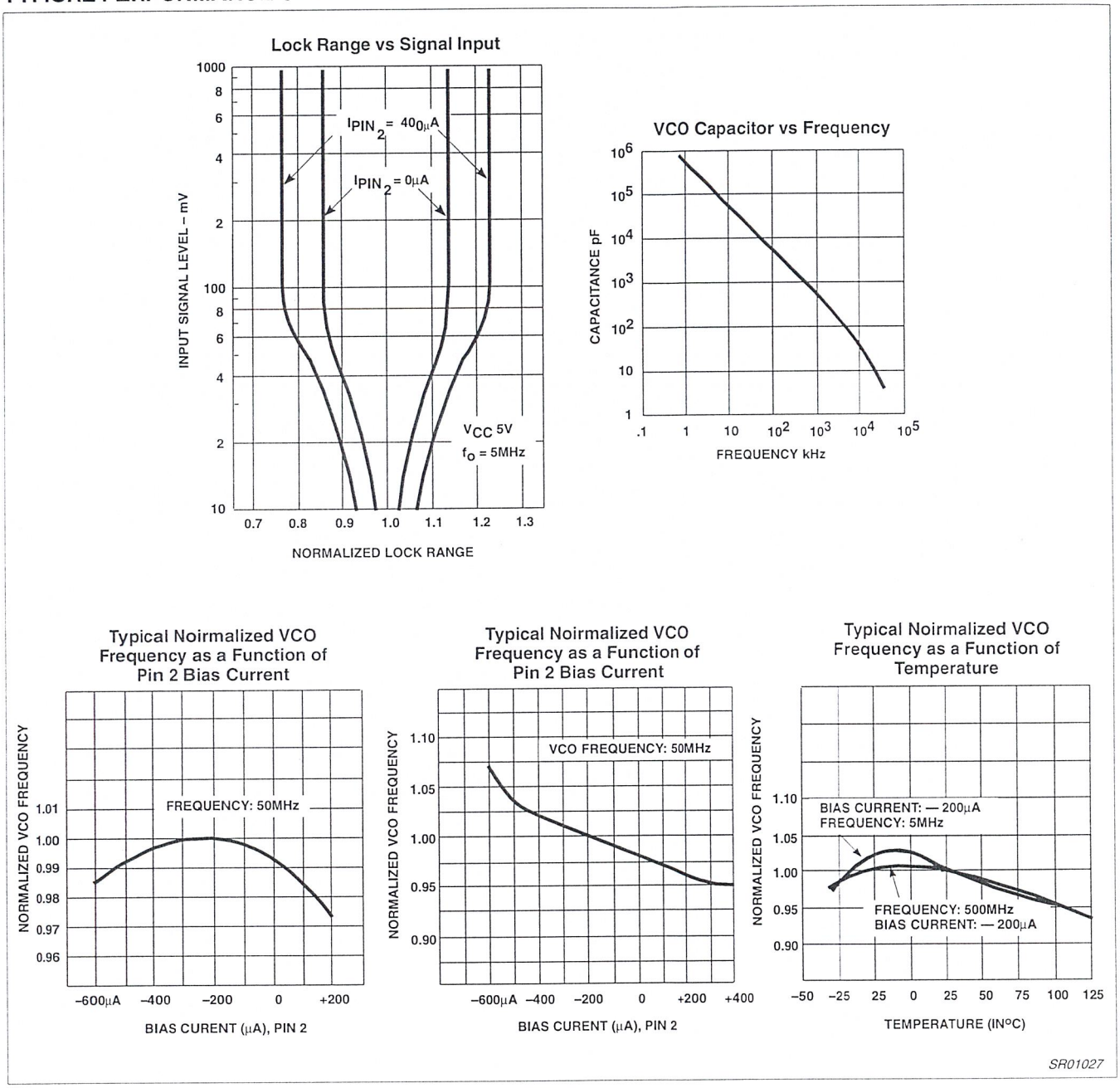
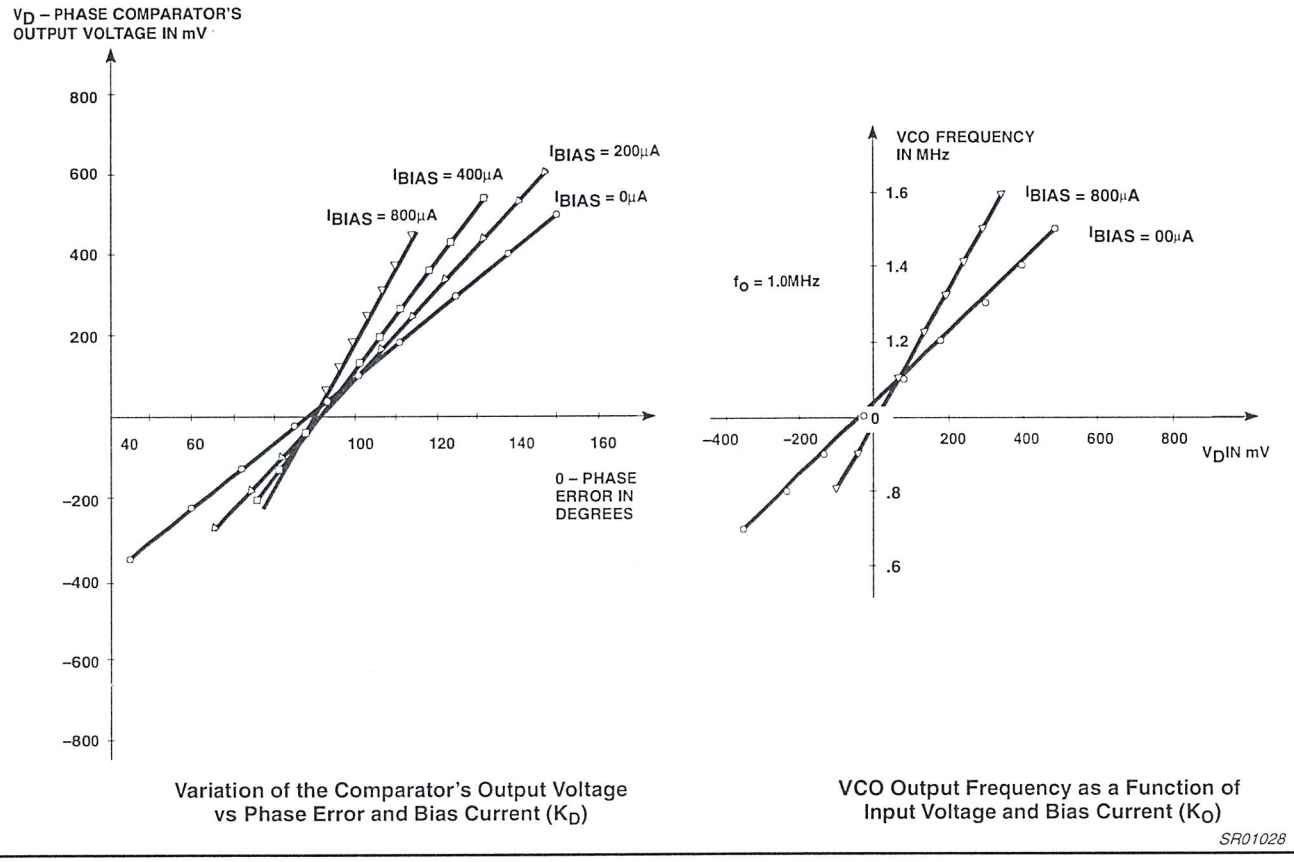


Figure 3. Typical Performance Characteristics

TYPICAL PERFORMANCE CHARACTERISTICS (Continued)



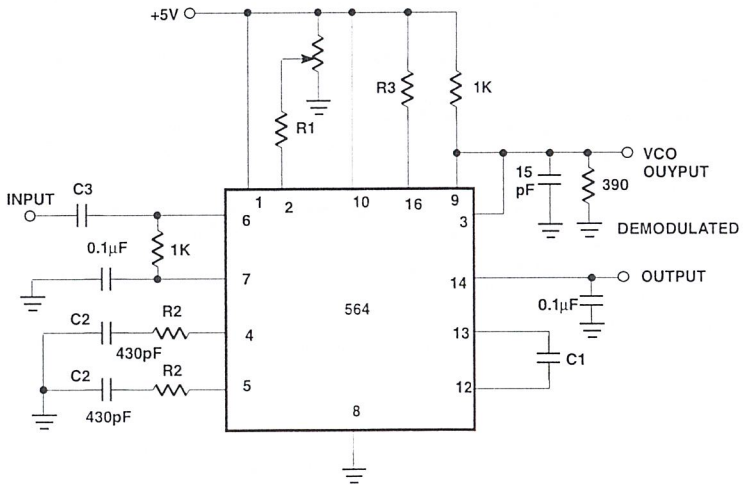
Variation of the Comparator's Output Voltage vs Phase Error and Bias Current (K_D)

VCO Output Frequency as a Function of Input Voltage and Bias Current (K_O)

SR01028

Figure 4. Typical Performance Characteristics (cont.)

TEST CIRCUIT



SR01029

Figure 5. Test Circuit

FUNCTIONAL DESCRIPTION

(Figure 6)

The NE564 is a monolithic phase-locked loop with a post detection processor. The use of Schottky clamped transistors and optimized device geometries extends the frequency of operation to greater than 50MHz.

In addition to the classical PLL applications, the NE564 can be used as a modulator with a controllable frequency deviation.

The output of the PLL can be written as shown in the following equation:

$$V_O = \frac{(f_{IN} - f_O)}{K_{VCO}} \quad (1)$$

K_{VCO} = conversion gain of the VCO

f_{IN} = frequency of the input signal

f_O = free-running frequency of the VCO

The process of recovering FSK signals involves the conversion of the PLL output into logic compatible signals. For high data rates, a considerable amount of carrier will be present at the output of the PLL due to the wideband nature of the loop filter. To avoid the use of complicated filters, a comparator with hysteresis or Schmitt trigger is required. With the conversion gain of the VCO fixed, the output voltage as given by Equation 1 varies according to the frequency deviation of f_{IN} from f_O. Since this differs from system to system, it is necessary that the hysteresis of the Schmitt trigger be capable of being changed, so that it can be optimized for a particular system. This is accomplished in the 564 by varying the voltage at Pin 15 which results in a change of the hysteresis of the Schmitt trigger.

For FSK signals, an important factor to be considered is the drift in the free-running frequency of the VCO itself. If this changes due to temperature, according to Equation 1 it will lead to a change in the DC levels of the PLL output, and consequently to errors in the digital output signal. This is especially true for narrowband signals where the deviation in f_{IN} itself may be less than the change in f_O due to temperature. This effect can be eliminated if the DC or average value of the signal is retrieved and used as the reference to the comparator. In this manner, variations in the DC levels of the PLL output do not affect the FSK output.

VCO Section

Due to its inherent high-frequency performance, an emitter-coupled oscillator is used in the VCO. In the circuit, shown in the equivalent schematic, transistors Q21 and Q23 with current sources Q25 - Q26 form the basic oscillator. The approximate free-running frequency of the oscillator is shown in the following equation:

$$f_O \cong \frac{1}{22\,R_C\,(C_1 + C_S)} \quad (2)$$

$R_C = R_{19} = R_{20} = 100\Omega$ (INTERNAL)

C_1 = external frequency setting capacitor

C_S = stray capacitance

Variation of V_D (phase detector output voltage) changes the frequency of the oscillator. As indicated by Equation 2, the frequency of the oscillator has a negative temperature coefficient due to the monolithic resistor. To compensate for this, a current I_R with negative temperature coefficient is introduced to achieve a low frequency drift with temperature.

Phase Comparator Section

The phase detection processor consists of a doubled-balanced modulator with a limiter amplifier to improve AM rejection. Schottky-clamped vertical PNPs are used to obtain TTL level inputs. The loop gain can be varied by changing the current in Q_4 and Q_{15} which effectively changes the gain of the differential amplifiers. This can be accomplished by introducing a current at Pin 2.

Post Detection Processor Section

The post detection processor consists of a unity gain transconductance amplifier and comparator. The amplifier can be used as a DC retriever for demodulation of FSK signals, and as a post detection filter for linear FM demodulation. The comparator has adjustable hysteresis so that phase jitter in the output signal can be eliminated.

As shown in the equivalent schematic, the DC retriever is formed by the transconductance amplifier Q_{42} - Q_{43} together with an external capacitor which is connected at the amplifier output (Pin 14). This forms an integrator whose output voltage is shown in the following equation:

$$V_O = \frac{g_M}{C_2} \int V_{IN} dt \quad (3)$$

g_M = transconductance of the amplifier

C_2 = capacitor at the output (Pin 14)

V_{IN} = signal voltage at amplifier input

With proper selection of C_2, the integrator time constant can be varied so that the output voltage is the DC or average value of the input signal for use in FSK, or as a post detection filter in linear demodulation.

The comparator with hysteresis is made up of Q_{49} - Q_{50} with positive feedback being provided by Q_{47} - Q_{48}. The hysteresis is varied by changing the current in Q_{52} with a resulting variation in the loop gain of the comparator. This method of hysteresis control, which is a DC control, provides symmetric variation around the nominal value.

Design Formula

The free-running frequency of the VCO is shown by the following equation:

$$f_O \cong \frac{1}{22\,R_C\,(C_1 + C_S)} \quad (4)$$

$R_C = 100\Omega$

C_1 = external cap in farads

C_S = stray capacitance

The loop filter diagram shown is explained by the following equation:

$$f_S = \frac{1}{1 + sRC_3} \text{ (First Order)} \quad (5)$$

$R = R_{12} = R_{13} = 1.3k\Omega$ (Internal)*

By adding capacitors to Pins 4 and 5, a pole is added to the loop transfer at

$$\omega = \frac{1}{RC_3}$$

NOTE:
*Refer to Figure 6.

EQUIVALENT SCHEMATIC

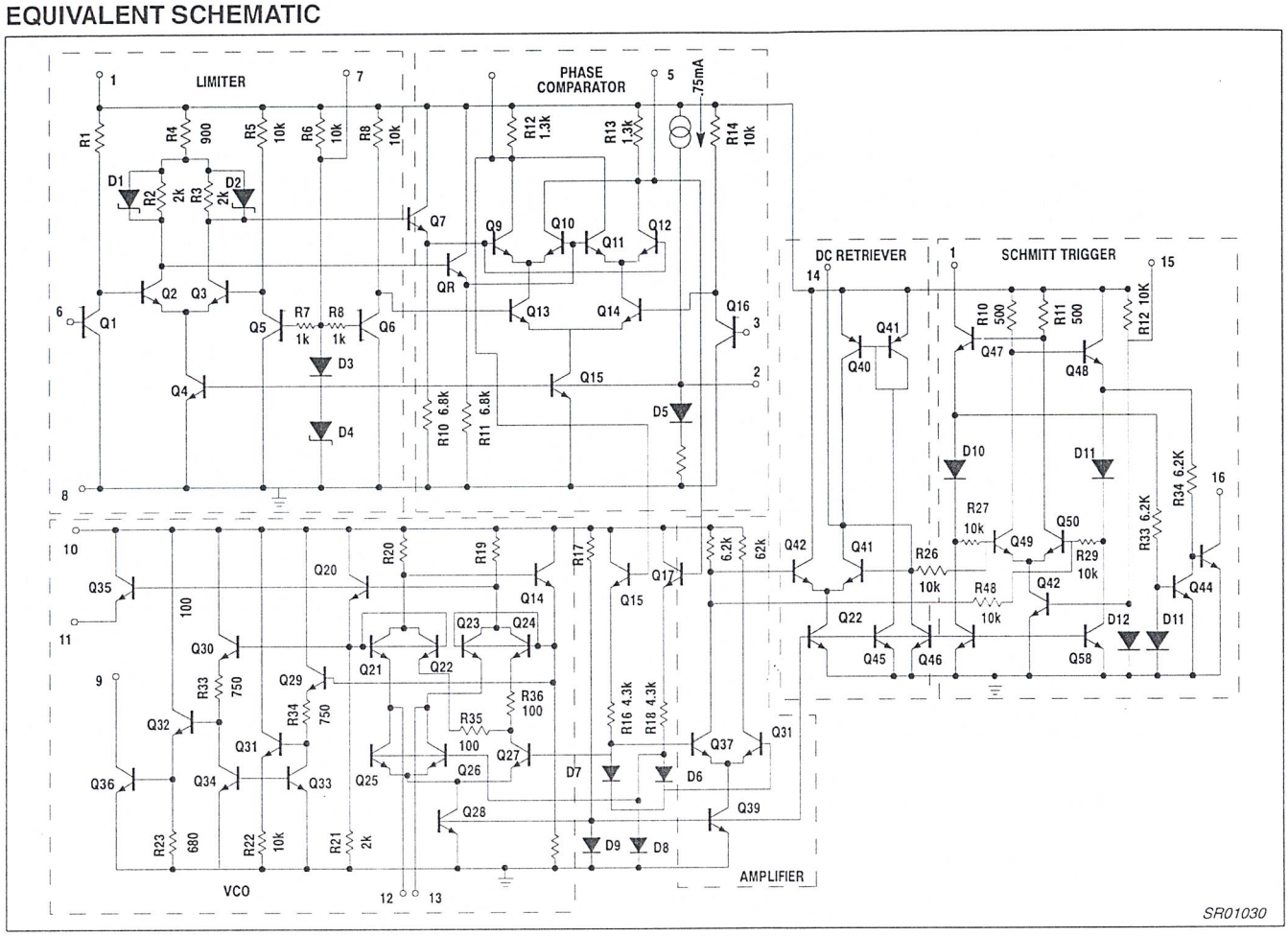


Figure 6. Equivalent Schematic

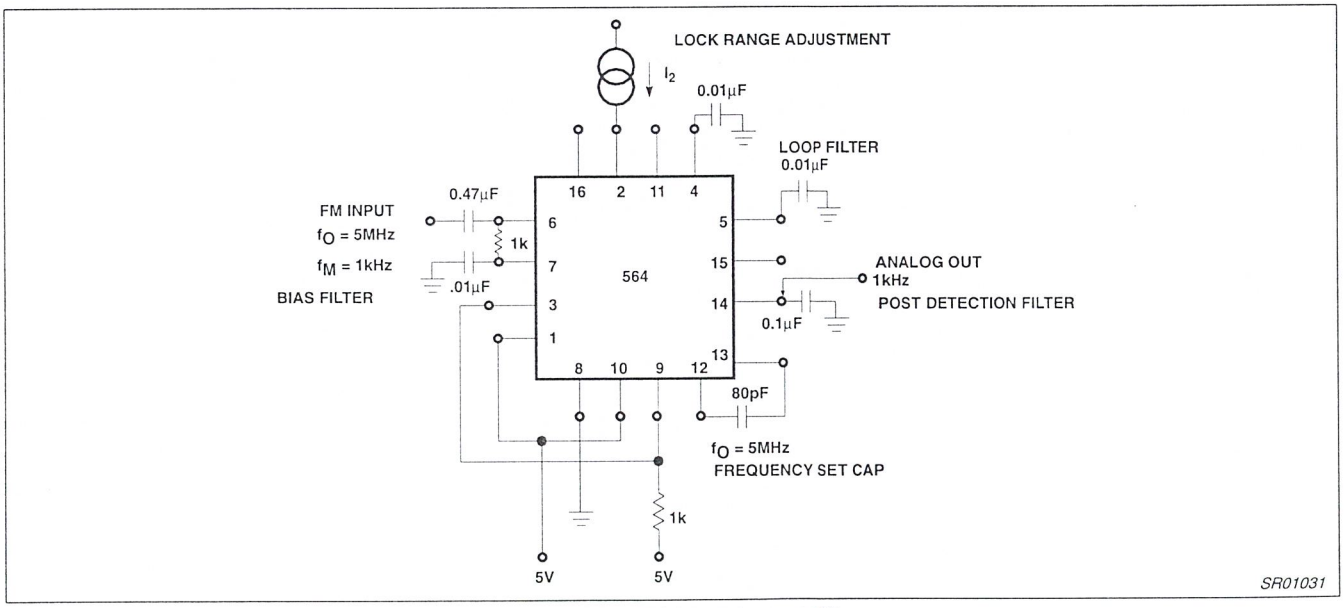


Figure 7. FM Demodulator at 5V

APPLICATIONS

FM Demodulator

The NE564 can be used as an FM demodulator. The connections for operation at 5V and 12V are shown in Figures 7 and 8, respectively. The input signal is AC coupled with the output signal being extracted at Pin 14. Loop filtering is provided by the capacitors at Pins 4 and 5 with additional filtering being provided by the capacitor at Pin 14. Since the conversion gain of the VCO is not very high, to obtain sufficient demodulated output signal the frequency deviation in the input signal should be 1% or higher.

Modulation Techniques

The NE564 phase-locked loop can be modulated at either the loop filter ports (Pins 4 and 5) or the input port (Pin 6) as shown in Figure 9. The approximate modulation frequency can be determined from the frequency conversion gain curve shown in Figure 10. This curve will be appropriate for signals injected into Pins 4 and 5 as shown in Figure 9.

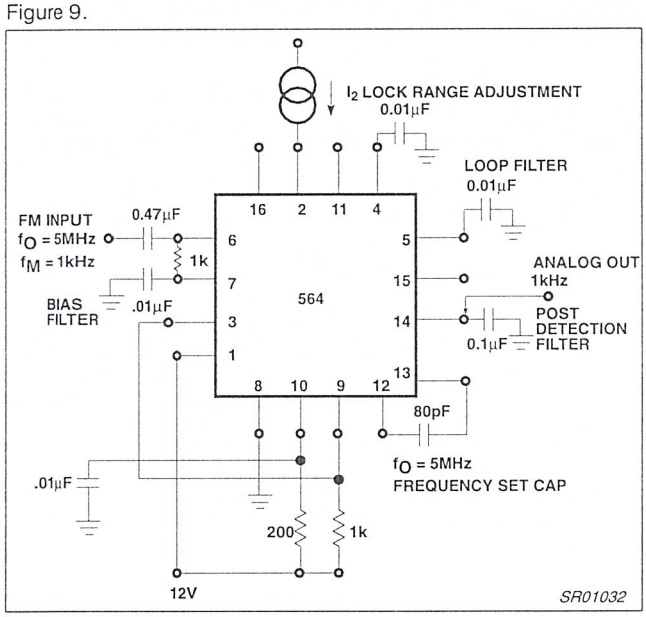


Figure 8. FM Demodulator at 12V

FSK Demodulation

The 564 PLL is particularly attractive for FSK demodulation since it contains an internal voltage comparator and VCO which have TTL compatible inputs and outputs, and it can operate from a single 5V power supply. Demodulated DC voltages associated with the mark and space frequencies are recovered with a single external capacitor in a DC retriever without utilizing extensive filtering networks. An internal comparator, acting as a Schmitt trigger with an adjustable hysteresis, shapes the demodulated voltages into compatible TTL output levels. The high-frequency design of the 564 enables it to demodulate FSK at high data rates in excess of 1.0M baud.

Figure 10 shows a high-frequency FSK decoder designed for input frequency deviations of ±1.0MHz centered around a free-running frequency of 10.8MHz. the value of the timing capacitance required was estimated from Figure 8 to be approximately 40pF. A trimmer capacitor was added to fine tune f_O' 10.8MHz.

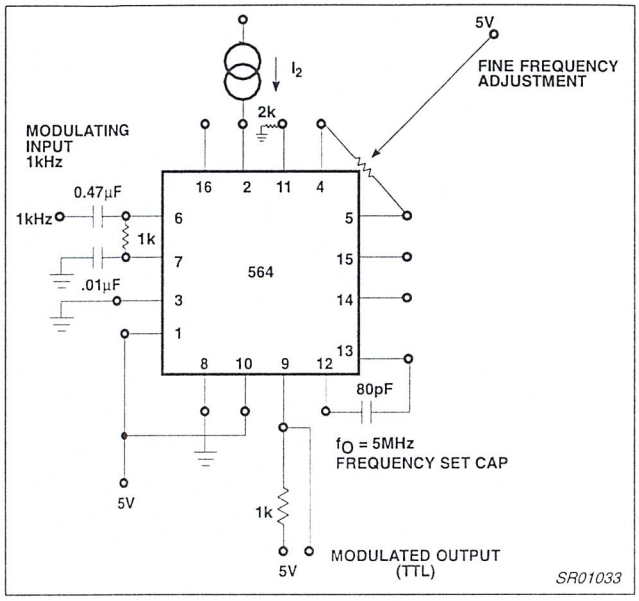


Figure 9. Modulator

The lock range graph indicates that the +1.0MHz frequency deviations will be within the lock range for input signal levels greater than approximately 50mV with zero Pin 2 bias current. (While strictly this figure is appropriate only for 50MHz, it can be used as a guide for lock range estimates at other f_O' frequencies).

The hysteresis was adjusted experimentally via the 10kΩ potentiometer and 2kΩ bias arrangement to give the waveshape shown in Figure 12 for 20k, 500k, 2M baud rates with square wave FSK modulation. Note the magnitude and phase relationships of the phase comparators' output voltages with respect to each other and to the FSK output. The high-frequency sum components of the input and VCO frequency also are viable as noise on the phase comparator's outputs.

OUTLINE OF SETUP PROCEDURE

1. Determine operating frequency of the VCO: IF÷ N in feedback loop, then
   $f_O = N \times f_{IN}$.
2. Calculate value of the VCO frequency set capacitor:

$$C_O \cong \frac{1}{2200\ f_O}$$

3. Set I_2 (current sinking into Pin 2) for ≅ 100µA. After operation is obtained, this value may be adjusted for best dynamic behavior, and replace with fixed resistor value of $R_2 = \frac{V_{CC} - 1.3V}{I_{B_2}}$.
4. Check VCO output frequency with digital counter at Pin 9 of device (loop open, VCO to ϕ det.). Adjust C_O trim or frequency adj. Pins 4 - 5 for exact center frequency, if needed.
5. Close loop and inject input signal to Pin 6. Monitor Pins 3 and 6 with two-channel scope. Lock should occur with $\Delta\phi_{3-6}$ equal to 90° (phase error).

6. If pulsed burst or ramp frequency is used for input signal, special loop filter design may be required in place of simple single capacitor filter on Pins 4 and 5. (See PLL application section)
7. The input signal to Pin 6 and the VCO feedback signal to Pin 3 must have a duty cycle of 50% for proper operation of the phase detector. Due to the nature of a balanced mixer if signals are not 50% in duty cycle, DC offsets will occur in the loop which tend to create an artificial or biased VCO.
8. For multiplier circuits where phase jitter is a problem, loop filter capacitors may be increased to a value of 10 - 50μF on Pins 4, 5. Also, careful supply decoupling may be necessary. This includes the counter chain V_{CC} lines.

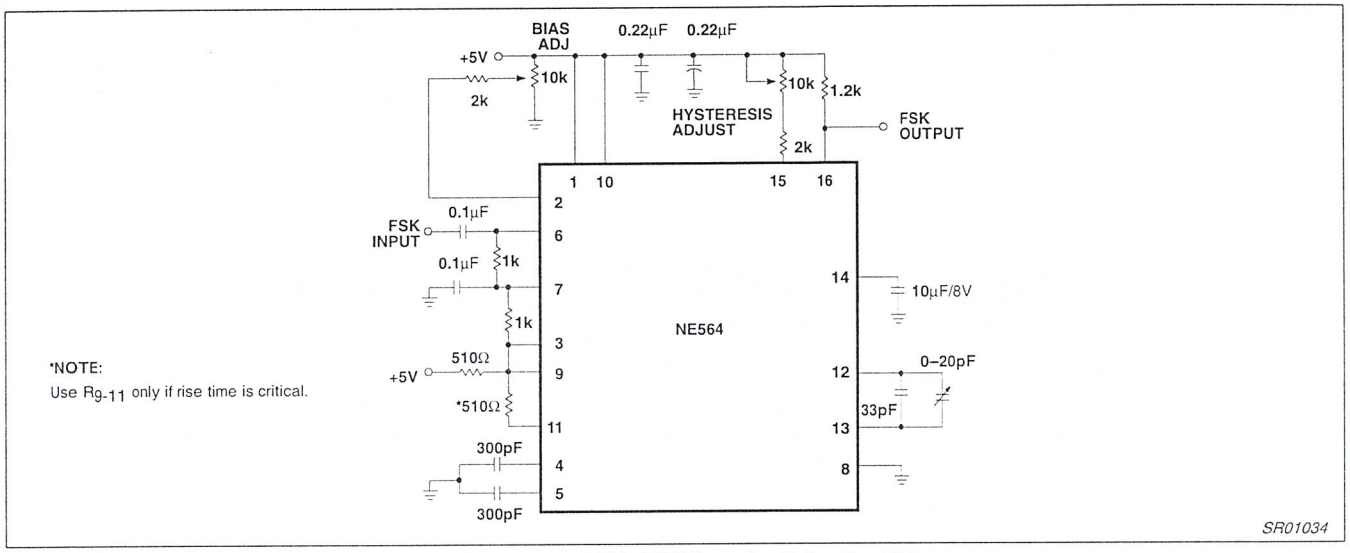
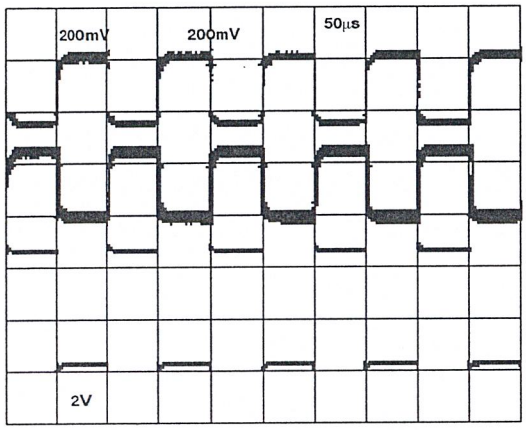
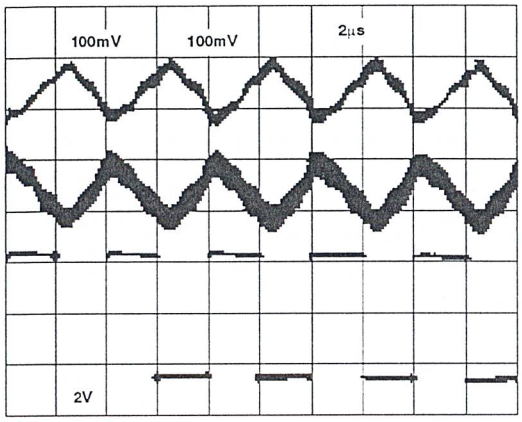


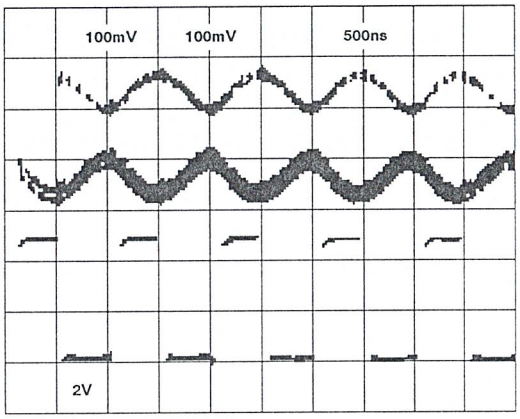
Figure 10. 10.8MHz FSK Decoder Using the 564



a. Data Rate = 20k Baud



b. Data Rate = 500k Baud

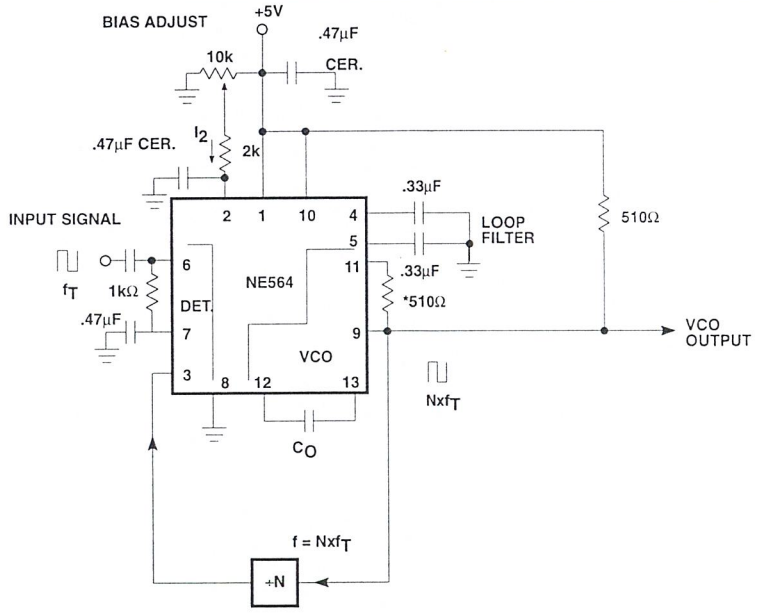


c. Data Rate = 2.0m Baud

NOTES:
1. Top trace = Pin 4
2. Center trace = Pin 5
3. Bottom trace = Pin 16

SR01035

Figure 11. Phase Comparator (Pins 4 and 5) and FSK (Pin 16) Outputs



*NOTE:
Use $R_{9\text{-}11}$ only if rise time is critical.

Figure 12. NE564 Phase-Locked Frequency Multiplier

National Semiconductor

November 1995

CD4046BM/CD4046BC Micropower Phase-Locked Loop

General Description

The CD4046B micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shifts at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitor and resistors connected to pin $C1_A$, $C1_B$, R1 and R2.

The source follower output of the VCO_{IN} (demodulator Out) is used with an external resistor of 10 kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation, if necessary.

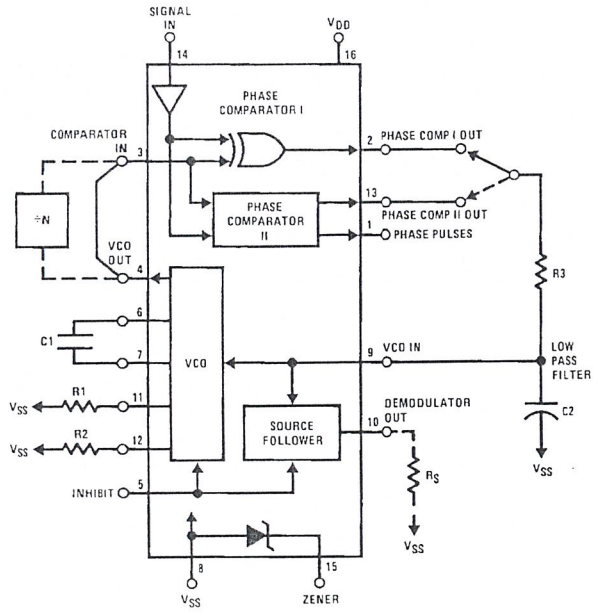
Features

■ Wide supply voltage range	3.0V to 18V
■ Low dynamic power consumption	70 μW (typ.) at f_o = 10 kHz, V_{DD} = 5V
■ VCO frequency	1.3 MHz (typ.) at V_{DD} = 10V
■ Low frequency drift with temperature	0.06%/°C at V_{DD} = 10V
■ High VCO linearity	1% (typ.)

Applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

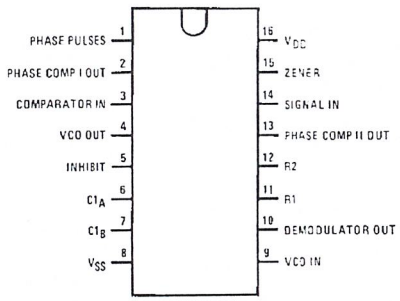
Block & Connection Diagrams



TL/F/5968–1

FIGURE 1

Dual-In-Line Package



TL/F/5968–2

Top View

Order Number CD4046B

© 1995 National Semiconductor Corporation TL/F/5968

RRD-B30M115/Printed in U. S. A.

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

DC Supply Voltage (V_{DD})	-0.5 to $+18$ V_{DC}
Input Voltage (V_{IN})	-0.5 to $V_{DD}+0.5$ V_{DC}
Storage Temperature Range (T_S)	$-65°C$ to $+150°C$
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L) (Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	3 to 15 V_{DC}
Input Voltage (V_{IN})	0 to V_{DD} V_{DC}
Operating Temperature Range (T_A)	
CD4046BM	$-55°C$ to $+125°C$
CD4046BC	$-40°C$ to $+85°C$

DC Electrical Characteristics CD4046BM (Note 2)

Symbol	Parameter	Conditions	−55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	Pin 5 = V_{DD}, Pin 14 = V_{DD}, Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		5		0.005	5		150	μA
		V_{DD} = 10V		10		0.01	10		300	μA
		V_{DD} = 15V		20		0.015	20		600	μA
		Pin 5 = V_{DD}, Pin 14 = Open, Pin 3, 2 = V_{SS}								
		V_{DD} = 5V		45		5	35		185	μA
		V_{DD} = 10V		450		20	350		650	μA
		V_{DD} = 15V		1200		50	900		1500	μA
V_{OL}	Low Level Output Voltage	V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.25	4.0		4.0	V
V_{IH}	High Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	Low Level Output Current (Note 4)	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4		mA
I_{OH}	High Level Output Current (Note 4)	V_{DD} = 5V, V_O = 4.6V	−0.64		−0.51	−0.88		−0.36		mA
		V_{DD} = 10V, V_O = 9.5V	−1.6		−1.3	−2.25		−0.9		mA
		V_{DD} = 15V, V_O = 13.5V	−4.2		−3.4	−8.8		−2.4		mA
I_{IN}	Input Current	All Inputs Except Signal Input								
		V_{DD} = 14V, V_{IN} = 0V		−0.1		-10^{-5}	−0.1		−1.0	μA
		V_{DD} = 15V, V_{IN} = 15V		0.1		10^{-5}	0.1		1.0	μA
C_{IN}	Input Capacitance	Any Input (Note 3)							7.5	pF
P_T	Total Power Dissipation	f_o = 10 kHz, R1 = 1 MΩ R2 = ∞, VCO_{IN} = $V_{DD}/2$								
		V_{DD} = 5V				0.07				mW
		V_{DD} = 10V				0.6				mW
		V_{DD} = 15V				2.4				mW

DC Electrical Characteristics CD4046BC (Note 2)

Symbol	Parameter	Conditions	−40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	Pin 5 = V_{DD}, Pin 14 = V_{DD}, Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		20		0.005	20		150	μA
		V_{DD} = 10V		40		0.01	40		300	μA
		V_{DD} = 15V		80		0.015	80		600	μA
		Pin 5 = V_{DD}, Pin 14 = Open, Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		70		5	55		205	μA
		V_{DD} = 10V		530		20	410		710	μA
		V_{DD} = 15V		1500		50	1200		1800	μA
V_{OL}	Low Level Output Voltage	V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.25	4.0		4.0	V
V_{IH}	High Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	Low Level Output Current (Note 4)	V_{DD} = 5V, V_O = 0.4V	0.52		0.44	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.3		1.1	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	3.6		3.0	8.8		2.4		mA
I_{OH}	High Level Output Current (Note 4)	V_{DD} = 5V, V_O = 4.6V	−0.52		−0.44	−0.88		−0.36		mA
		V_{DD} = 10V, V_O = 9.5V	−1.3		−1.1	−2.25		−0.9		mA
		V_{DD} = 15V, V_O = 13.5V	−3.6		−3.0	−8.8		−2.4		mA
I_{IN}	Input Current	All Inputs Except Signal Input								
		V_{DD} = 15V, V_{IN} = 0V		−0.3		-10^{-5}	−0.3		−1.0	μA
		V_{DD} = 15V, V_{IN} = 15V		0.3		10^{-5}	0.3		1.0	μA
C_{IN}	Input Capacitance	Any Input (Note 3)					7.5			pF
P_T	Total Power Dissipation	f_o = 10 kHz, R1 = 1 MΩ, R2 = ∞, VCO_{IN} = $V_{DD}/2$								
		V_{DD} = 5V				0.07				mW
		V_{DD} = 10V				0.6				mW
		V_{DD} = 15V				2.4				mW

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

Note 3: Capacitance is guaranteed by periodic testing.

Note 4: I_{OH} and I_{OL} are tested one output at a time.

AC Electrical Characteristics* CD4046BM/CD4046BC T_A = 25°C, C_L = 50 pF

Symbol	Parameter	Conditions	Min	Typ	Max	Units
VCO SECTION						
I_{DD}	Operating Current	f_o = 10 kHz, R1 = 1 MΩ, R2 = ∞, VCO_{IN} = $V_{DD}/2$				
		V_{DD} = 5V		20		μA
		V_{DD} = 10V		90		μA
		V_{DD} = 15V		200		μA
f_{MAX}	Maximum Operating Frequency	C1 = 50 pF, R1 = 10 kΩ, R2 = ∞, VCO_{IN} = V_{DD}				
		V_{DD} = 5V	0.4	0.8		MHz
		V_{DD} = 10V	0.6	1.2		MHz
		V_{DD} = 15V	1.0	1.6		MHz
	Linearity	VCO_{IN} = 2.5V ±0.3V, R1 ≥ 10 kΩ, V_{DD} = 5V		1		%
		VCO_{IN} = 5V ±2.5V, R1 ≥ 400 kΩ, V_{DD} = 10V		1		%
		VCO_{IN} = 7.5V ±5V, R1 ≥ 1 MΩ, V_{DD} = 15V		1		%
	Temperature-Frequency Stability No Frequency Offset, f_{MIN} = 0	%/°C ∝ 1/f. V_{DD} R2 = ∞				
		V_{DD} = 5V		0.12–0.24		%/°C
		V_{DD} = 10V		0.04–0.08		%/°C
		V_{DD} = 15V		0.015–0.03		%/°C
	Frequency Offset, $f_{MIN} \neq 0$	V_{DD} = 5V		0.06–0.12		%/°C
		V_{DD} = 10V		0.05–0.1		%/°C
		V_{DD} = 15V		0.03–0.06		%/°C
VCO_{IN}	Input Resistance	V_{DD} = 5V		10^6		MΩ
		V_{DD} = 10V		10^6		MΩ
		V_{DD} = 15V		10^6		MΩ
VCO	Output Duty Cycle	V_{DD} = 5V		50		%
		V_{DD} = 10V		50		%
		V_{DD} = 15V		50		%
t_{THL}	VCO Output Transition Time	V_{DD} = 5V		90	200	ns
t_{THL}		V_{DD} = 10V		50	100	ns
		V_{DD} = 15V		45	80	ns

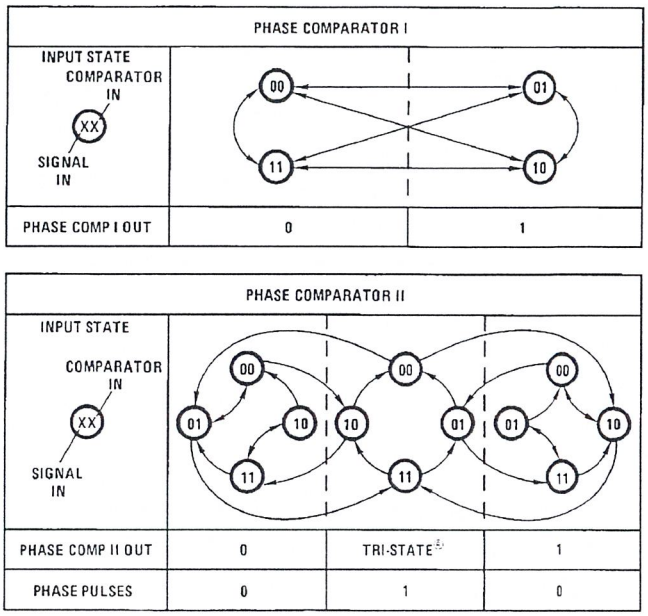
*AC Parameters are guaranteed by DC correlated testing.

AC Electrical Characteristics* CD4046BM/CD4046BC T_A = 25°C, C_L = 50 pF (Continued)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
PHASE COMPARATORS SECTION						
R_{IN}	Input Resistance					
	Signal Input	V_{DD} = 5V	1	3		MΩ
		V_{DD} = 10V	0.2	0.7		MΩ
		V_{DD} = 15V	0.1	0.3		MΩ
	Comparator Input	V_{DD} = 5V		10^6		MΩ
		V_{DD} = 10V		10^6		MΩ
		V_{DD} = 15V		10^6		MΩ
	AC-Coupled Signal Input Voltage Sensitivity	C_{SERIES} = 1000 pF f = 50 kHz				
		V_{DD} = 5V		200	400	mV
		V_{DD} = 10V		400	800	mV
		V_{DD} = 15V		700	1400	mV
DEMODULATOR OUTPUT						
VCO_{IN} − V_{DEM}	Offset Voltage	RS ≥ 10 kΩ, V_{DD} = 5V		1.50	2.2	V
		RS ≥ 10 kΩ, V_{DD} = 10V		1.50	2.2	V
		RS ≥ 50 kΩ, V_{DD} = 15V		1.50	2.2	V
	Linearity	RS ≥ 50 kΩ				
		VCO_{IN} = 2.5V ±0.3V, V_{DD} = 5V		0.1		%
		VCO_{IN} = 5V ±2.5V, V_{DD} = 10V		0.6		%
		VCO_{IN} = 7.5V ±5V, V_{DD} = 15V		0.8		%
ZENER DIODE						
V_Z	Zener Diode Voltage	I_Z = 50 μA	6.3	7.0	7.7	V
R_Z	Zener Dynamic Resistance	I_Z = 1 mA		100		Ω

*AC Parameters are guaranteed by DC correlated testing.

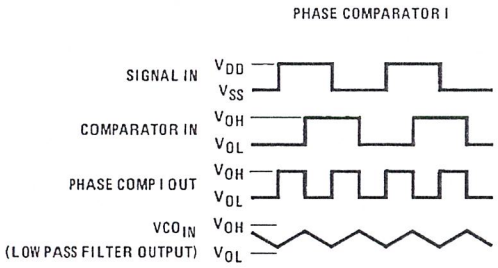
Phase Comparator State Diagrams



TL/F/5968–3

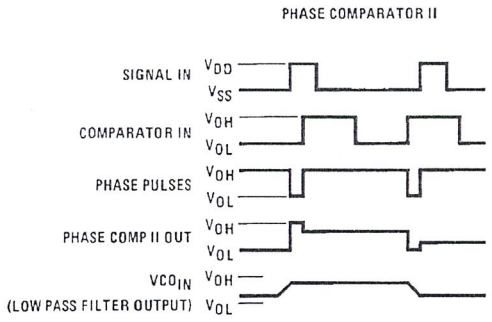
FIGURE 2

Typical Waveforms



TL/F/5968–4

FIGURE 3. Typical Waveform Employing Phase Comparator I in Locked Condition

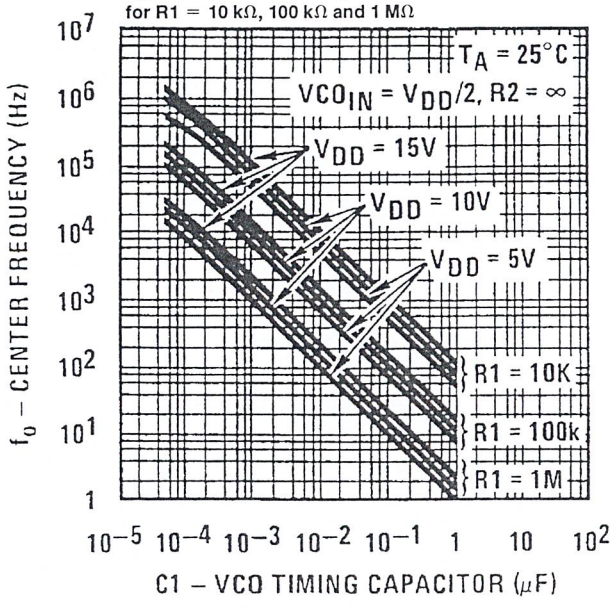


TL/F/5968–5

FIGURE 4. Typical Waveform Employing Phase Comparator II in Locked Condition

Typical Performance Characteristics

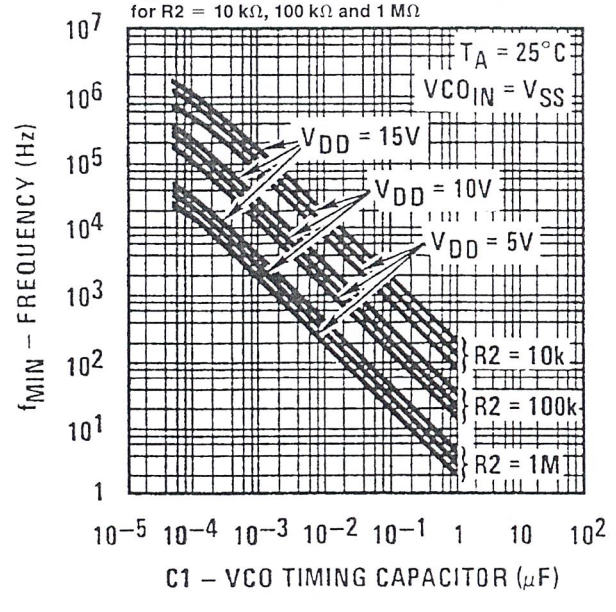
Typical Center Frequency vs C1
for R1 = 10 kΩ, 100 kΩ and 1 MΩ



TL/F/5968–6

FIGURE 5a

Typical Frequency vs C1
for R2 = 10 kΩ, 100 kΩ and 1 MΩ

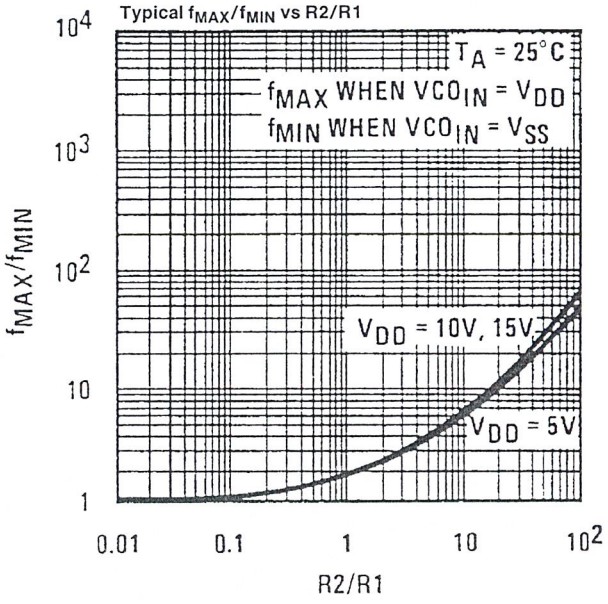


TL/F/5968–13

FIGURE 5b

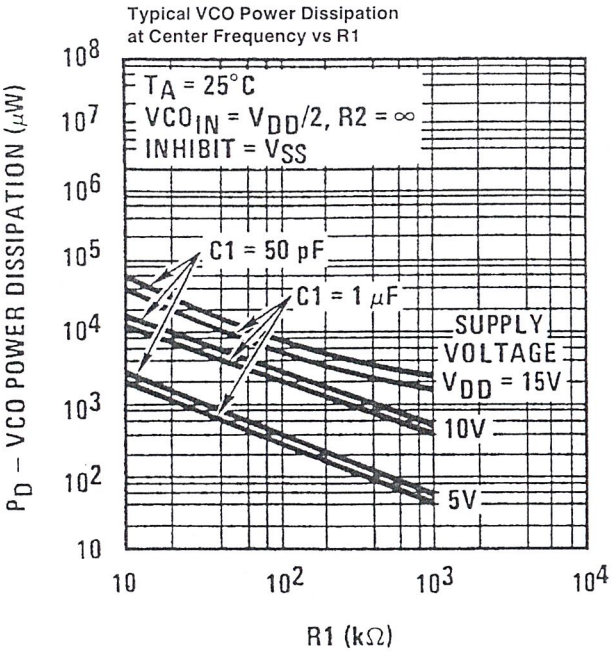
Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

Typical Performance Characteristics (Continued)



TL/F/5968–14

FIGURE 5C

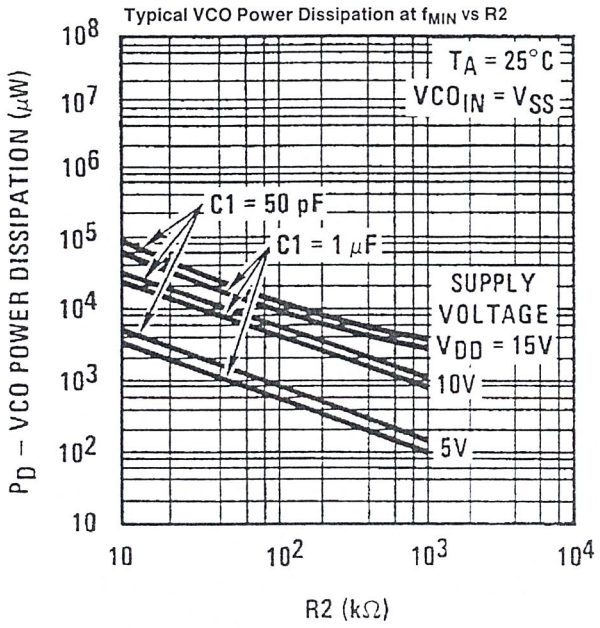


TL/F/5968–15

FIGURE 6a

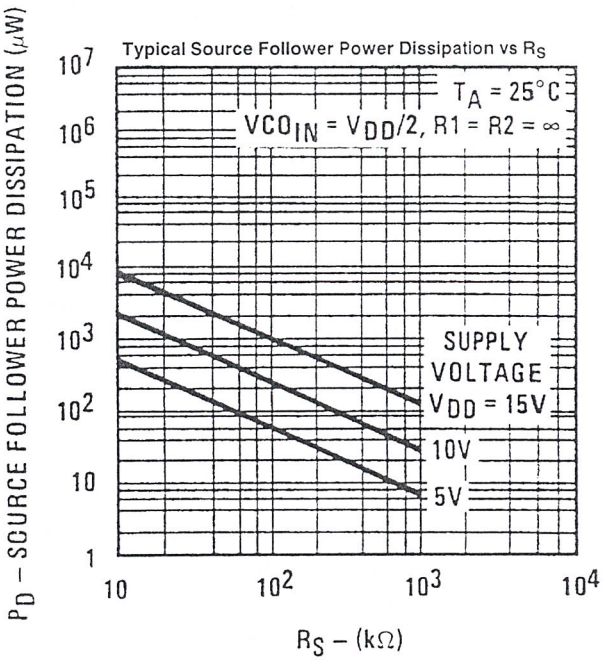
Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

Typical Performance Characteristics (Continued)



TL/F/5968–16

FIGURE 6b

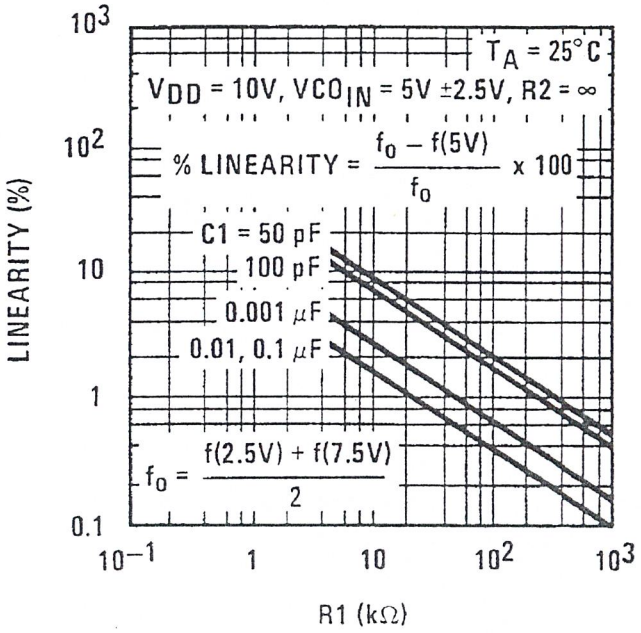


TL/F/5968–17

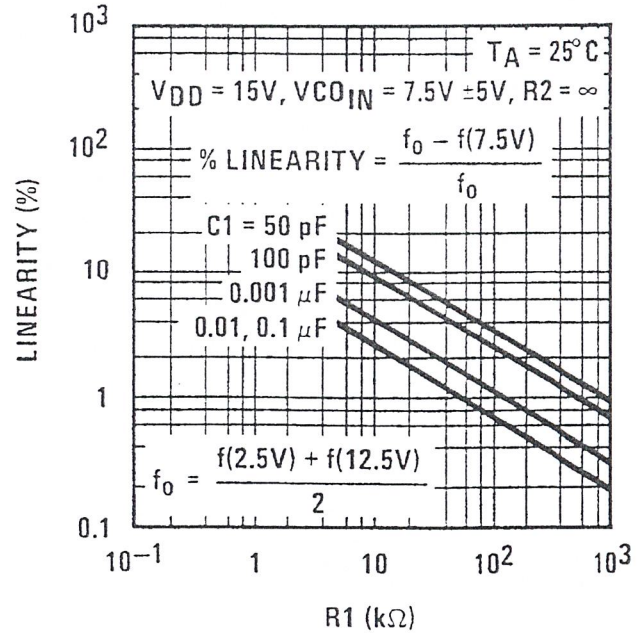
FIGURE 6c

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

Typical Performance Characteristics (Continued)



TL/F/5968–18



TL/F/5968–19

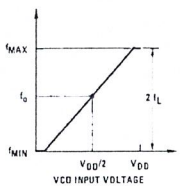
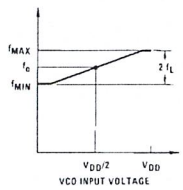
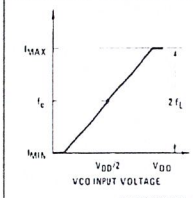
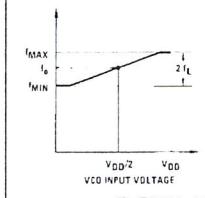
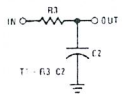
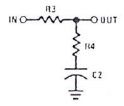
FIGURE 7. Typical VCO Linearity vs R1 and C1

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_0) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

Design Information

This information is a guide for approximating the value of external components for the CD4046B in a phase-locked-loop system. The selected external components must be within the following ranges: R1, R2 $\geq$ 10 kΩ, $R_S \geq$ 10 kΩ, C1 $\geq$ 50 pF.

In addition to the given design information, refer to *Figure 5* for R1, R2 and C1 component selections.

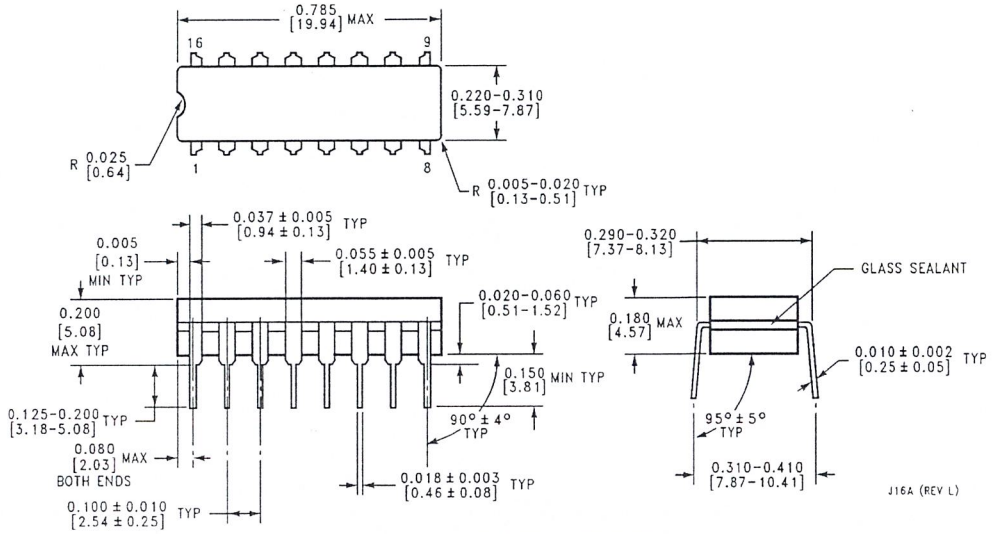
Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset R2 = ∞	VCO With Offset	VCO Without Offset R2 = ∞	VCO With Offset
VCO Frequency	 TL/F/5968–7	 TL/F/5968–8	 TL/F/5968–9	 TL/F/5968–10
For No Signal Input	VCO in PLL system will adjust to center frequency, f_o		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 TL/F/5968–11 $2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{\tau 1}}$		$f_C = f_L$	
Loop Filter Component Selection	 TL/F/5968–12 For $2f_C$, see Ref.			
Phase Angle Between Single and Comparator	90° at center frequency (f_o), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	Given: f_o. Use f_o with *Figure 5a* to determine R1 and C1.	Given: f_o and f_L. Calculate f_{min} from the equation $f_{min} = f_o - f_L$. Use f_{min} with *Figure 5b* to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_o + f_L}{f_o - f_L}$. Use $\frac{f_{max}}{f_{min}}$ with *Figure 5c* to determine ratio R2/R1 to obtain R1.	Given: f_{max}. Calculate f_o from the equation $f_o = \frac{f_{max}}{2}$. Use f_o with *Figure 5a* to determine R1 and C1.	Given: f_{min} and f_{max}. Use f_{min} with *Figure 5b* to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$. Use $\frac{f_{max}}{f_{min}}$ with *Figure 5c* to determine ratio R2/R1 to obtain R1.

References

G.S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

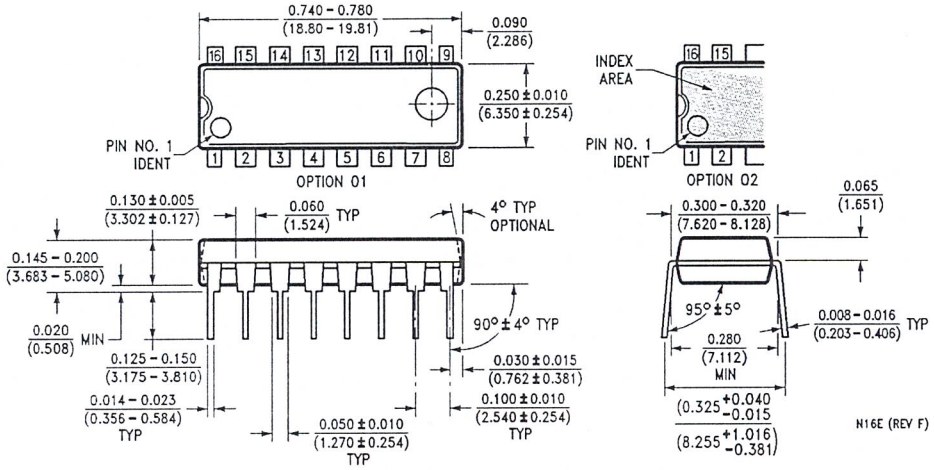
Floyd Gardner, "Phaselock Techniques", John Wiley & Sons, 1966.

Physical Dimensions inches (millimeters)



Order Number CD4046BMJ or CD4046BCJ
NS Package Number J16A

Physical Dimensions inches (millimeters) (Continued)



Order Number CD4046BMN or CD4046BCN
NS Package Number N16E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

National Semiconductor

February 1995

LM567/LM567C Tone Decoder

General Description

The LM567 and LM567C are general purpose tone decoders designed to provide a saturated transistor switch to ground when an input signal is present within the passband. The circuit consists of an I and Q detector driven by a voltage controlled oscillator which determines the center frequency of the decoder. External components are used to independently set center frequency, bandwidth and output delay.

Features

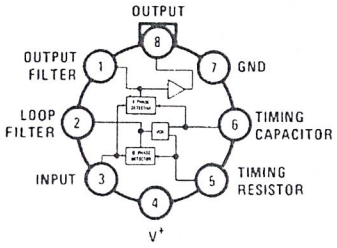
- 20 to 1 frequency range with an external resistor
- Logic compatible output with 100 mA current sinking capability
- Bandwidth adjustable from 0 to 14%
- High rejection of out of band signals and noise
- Immunity to false signals
- Highly stable center frequency
- Center frequency adjustable from 0.01 Hz to 500 kHz

Applications

- Touch tone decoding
- Precision oscillator
- Frequency monitoring and control
- Wide band FSK demodulation
- Ultrasonic controls
- Carrier current remote controls
- Communications paging decoders

Connection Diagrams

Metal Can Package

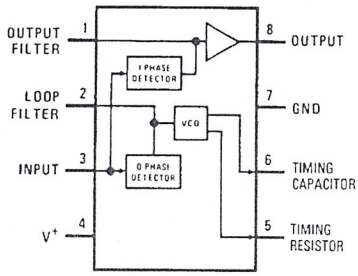


TL/H/6975–1

Top View

Order Number LM567H or LM567CH
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/6975–2

Top View

Order Number LM567CM
See NS Package Number M08A

Order Number LM567CN
See NS Package Number N08E

©1995 National Semiconductor Corporation TL/H/6975

RRD-B30M115/Printed in U. S. A.

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage Pin	9V
Power Dissipation (Note 1)	1100 mW
V_8	15V
V_3	−10V
V_3	V_4 + 0.5V
Storage Temperature Range	−65°C to +150°C
Operating Temperature Range	
LM567H	−55°C to +125°C
LM567CH, LM567CM, LM567CN	0°C to +70°C

Soldering Information

Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

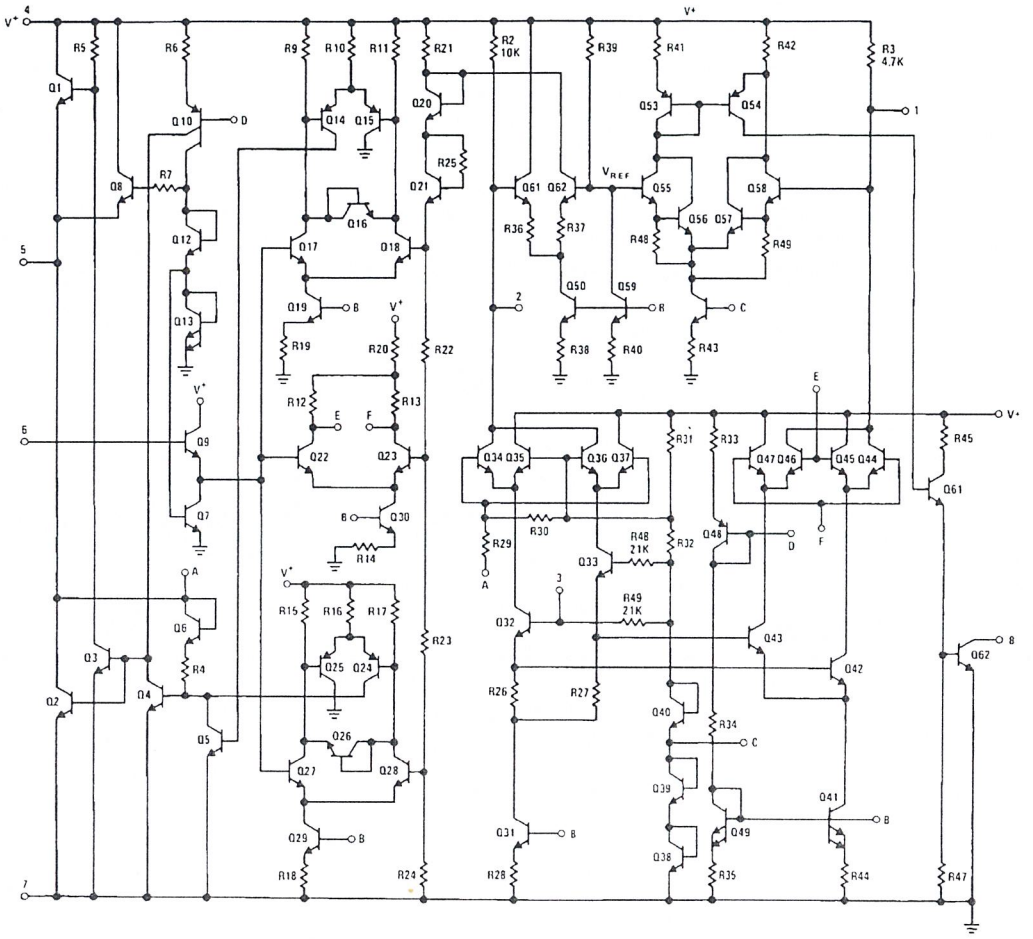
Electrical Characteristics AC Test Circuit, T_A = 25°C, V^+ = 5V

Parameters	Conditions	LM567			LM567C/LM567CM			Units
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range		4.75	5.0	9.0	4.75	5.0	9.0	V
Power Supply Current Quiescent	R_L = 20k		6	8		7	10	mA
Power Supply Current Activated	R_L = 20k		11	13		12	15	mA
Input Resistance		18	20		15	20		kΩ
Smallest Detectable Input Voltage	I_L = 100 mA, $f_i = f_o$		20	25		20	25	mVrms
Largest No Output Input Voltage	I_C = 100 mA, $f_i = f_o$	10	15		10	15		mVrms
Largest Simultaneous Outband Signal to Inband Signal Ratio			6			6		dB
Minimum Input Signal to Wideband Noise Ratio	B_n = 140 kHz		−6			−6		dB
Largest Detection Bandwidth		12	14	16	10	14	18	% of f_o
Largest Detection Bandwidth Skew			1	2		2	3	% of f_o
Largest Detection Bandwidth Variation with Temperature			±0.1			±0.1		%/°C
Largest Detection Bandwidth Variation with Supply Voltage	4.75 − 6.75V		±1	±2		±1	±5	%V
Highest Center Frequency		100	500		100	500		kHz
Center Frequency Stability (4.75–5.75V)	$0 < T_A < 70$ $-55 < T_A < +125$		35 ± 60 35 ± 140			35 ±60 35 ± 140		ppm/°C ppm/°C
Center Frequency Shift with Supply Voltage	4.75V − 6.75V 4.75V − 9V		0.5	1.0 2.0		0.4	2.0 2.0	%/V %/V
Fastest ON-OFF Cycling Rate			f_o/20			f_o/20		
Output Leakage Current	V_8 = 15V		0.01	25		0.01	25	μA
Output Saturation Voltage	e_i = 25 mV, I_8 = 30 mA e_i = 25 mV, I_8 = 100 mA		0.2 0.6	0.4 1.0		0.2 0.6	0.4 1.0	V
Output Fall Time			30			30		ns
Output Rise Time			150			150		ns

Note 1: The maximum junction temperature of the LM567 and LM567C is 150°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient or 45°C/W, junction to case. For the DIP the device must be derated based on a thermal resistance of 110°C/W, junction to ambient. For the Small Outline package, the device must be derated based on a thermal resistance of 160°C/W, junction to ambient.

Note 2: Refer to RETS567X drawing for specifications of military LM567H version.

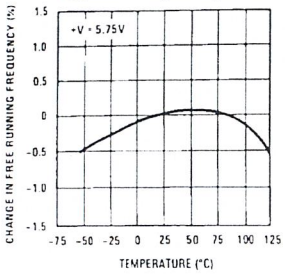
Schematic Diagram



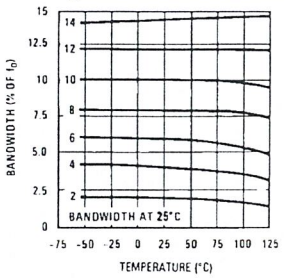
TL/H/6975-3

Typical Performance Characteristics

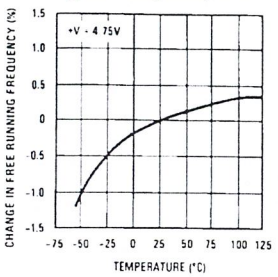
Typical Frequency Drift



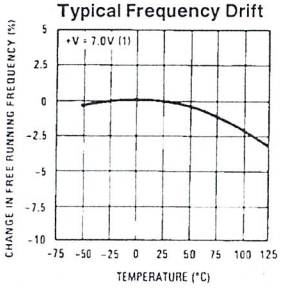
Typical Bandwidth Variation



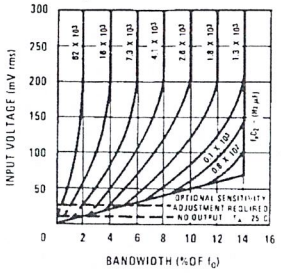
Typical Frequency Drift



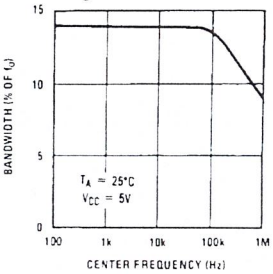
Typical Frequency Drift



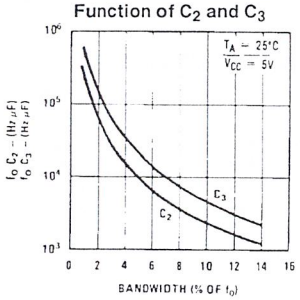
Bandwidth vs Input Signal Amplitude



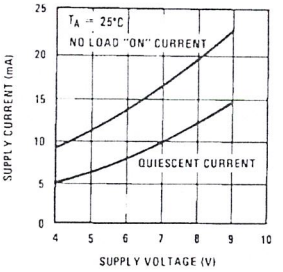
Largest Detection Bandwidth



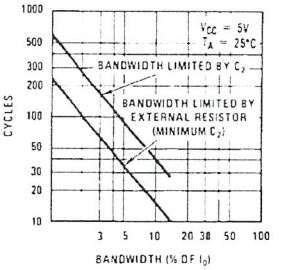
Detection Bandwidth as a Function of C_2 and C_3



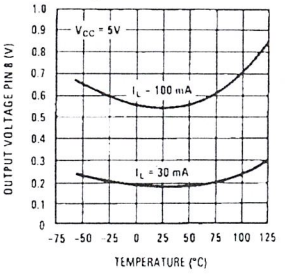
Typical Supply Current vs Supply Voltage



Greatest Number of Cycles Before Output



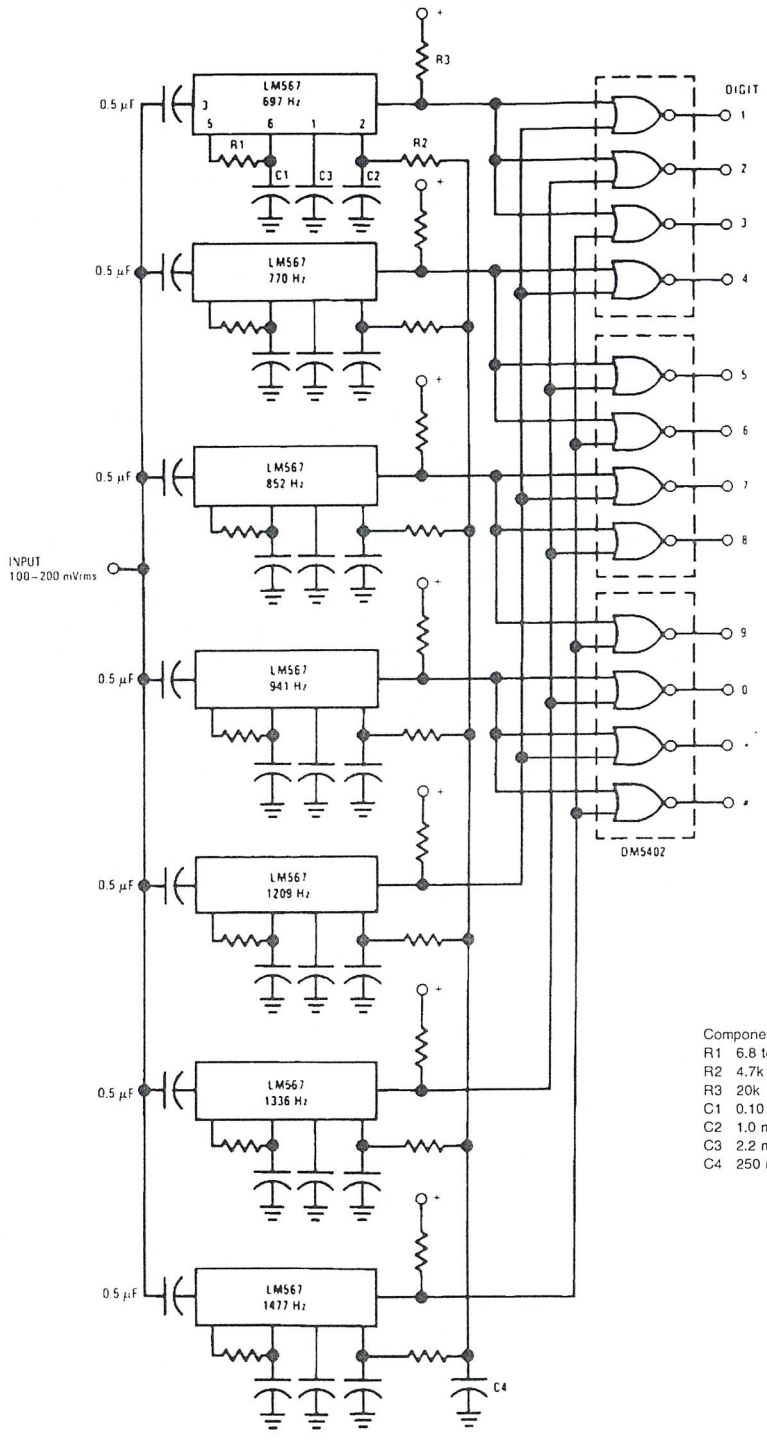
Typical Output Voltage vs Temperature



TL/H/6975–4

Typical Applications

Touch-Tone Decoder

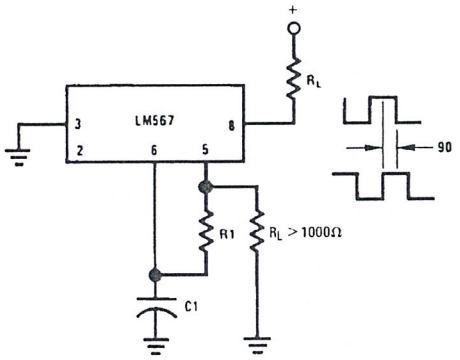


Component values (typ)
R1 6.8 to 15k
R2 4.7k
R3 20k
C1 0.10 mfd
C2 1.0 mfd 6V
C3 2.2 mfd 6V
C4 250 mfd 6V

TL/H/6975–5

Typical Applications (Continued)

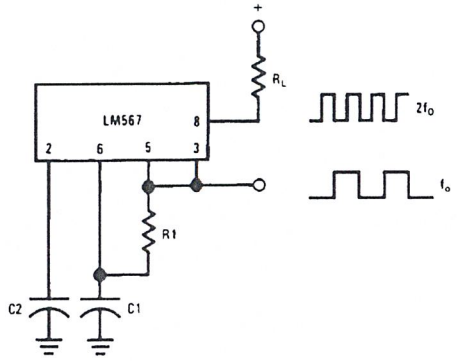
Oscillator with Quadrature Output



TL/H/6975-6

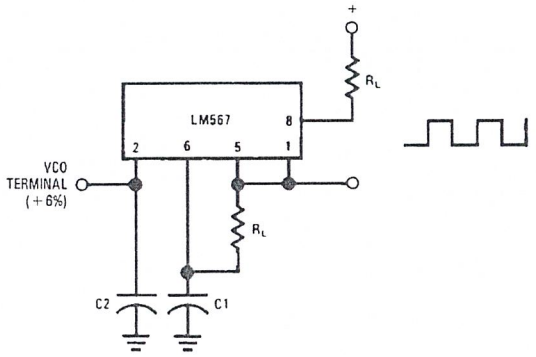
Connect Pin 3 to 2.8V to Invert Output

Oscillator with Double Frequency Output



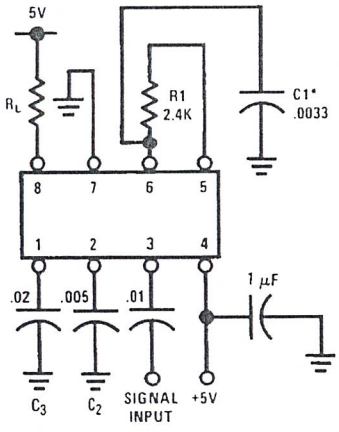
TL/H/6975-7

Precision Oscillator Drive 100 mA Loads



TL/H/6975-8

AC Test Circuit



TL/H/6975-9

f_i = 100 kHz + 5V

*Note: Adjust for f_o = 100 kHz.

Applications Information

The center frequency of the tone decoder is equal to the free running frequency of the VCO. This is given by

$$f_o \cong \frac{1}{1.1\, R_1 C_1}$$

The bandwidth of the filter may be found from the approximation

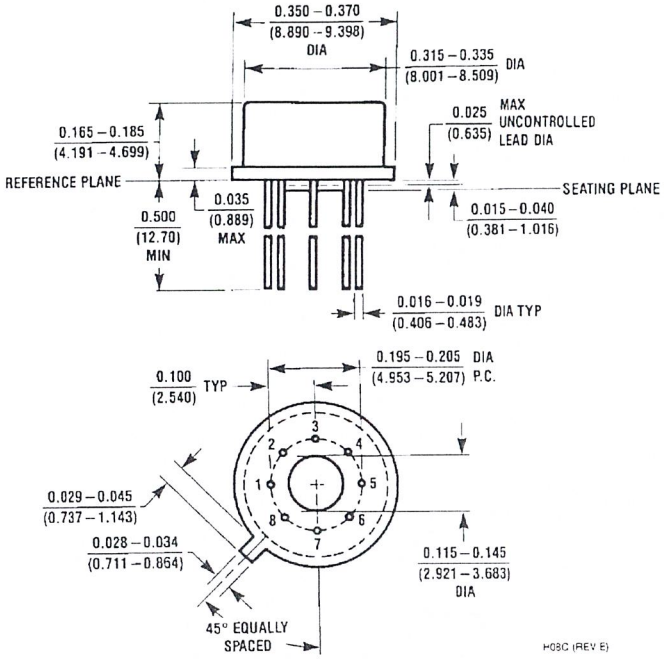
$$BW = 1070 \sqrt{\frac{V_i}{f_o C_2}} \text{ in \% of } f_o$$

Where:

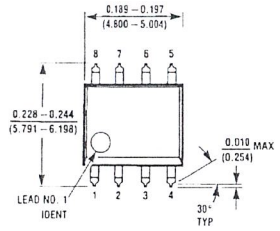
V_i = Input voltage (volts rms), $V_i \leq 200$ mV

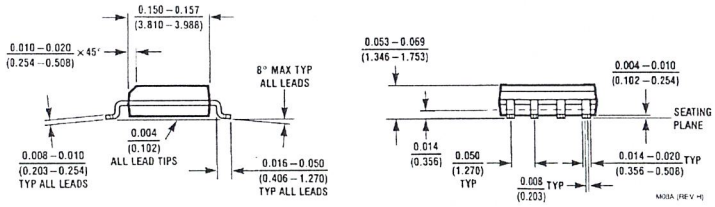
C_2 = Capacitance at Pin 2 (μF)

Physical Dimensions inches (millimeters)



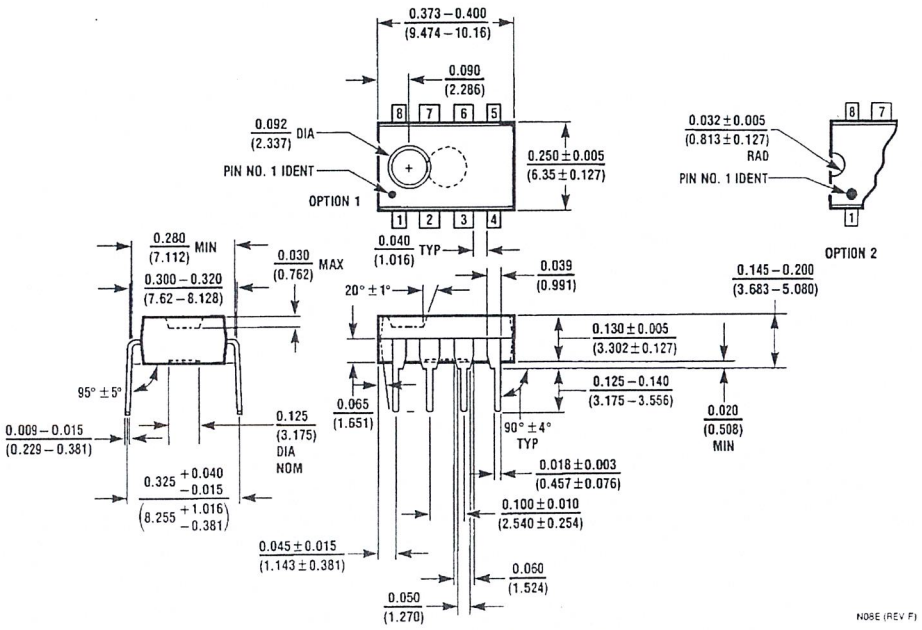
Metal Can Package (H)
Order Number LM567H or LM567CH
NS Package Number H08C





Small Outline Package (M)
Order Number LM567CM
NS Package Number M08A

Physical Dimensions inches (millimeters) (Continued)



Molded Dual-In-Line Package (N)
Order Number LM567CN
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

Features

- Compatible with MCS-51™ Products
- 2K Bytes of Reprogrammable Flash Memory
  - Endurance: 1,000 Write/Erase Cycles
- 2.7V to 6V Operating Range
- Fully Static Operation: 0 Hz to 24 MHz
- Two-Level Program Memory Lock
- 128 x 8-Bit Internal RAM
- 15 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial UART Channel
- Direct LED Drive Outputs
- On-Chip Analog Comparator
- Low Power Idle and Power Down Modes

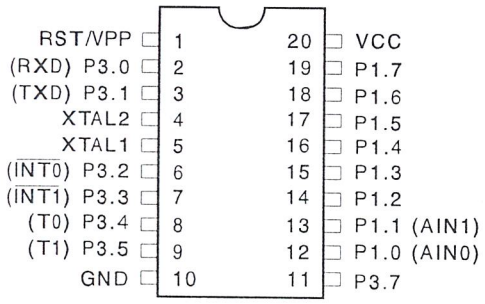
Description

The AT89C2051 is a low-voltage, high-performance CMOS 8-bit microcomputer with 2K Bytes of Flash programmable and erasable read only memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard MCS-51™ instruction set. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C2051 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

The AT89C2051 provides the following standard features: 2K Bytes of Flash, 128 bytes of RAM, 15 I/O lines, two 16-bit timer/counters, a five vector two-level interrupt architecture, a full duplex serial port, a precision analog comparator, on-chip oscillator and clock circuitry. In addition, the AT89C2051 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Configuration

PDIP/SOIC

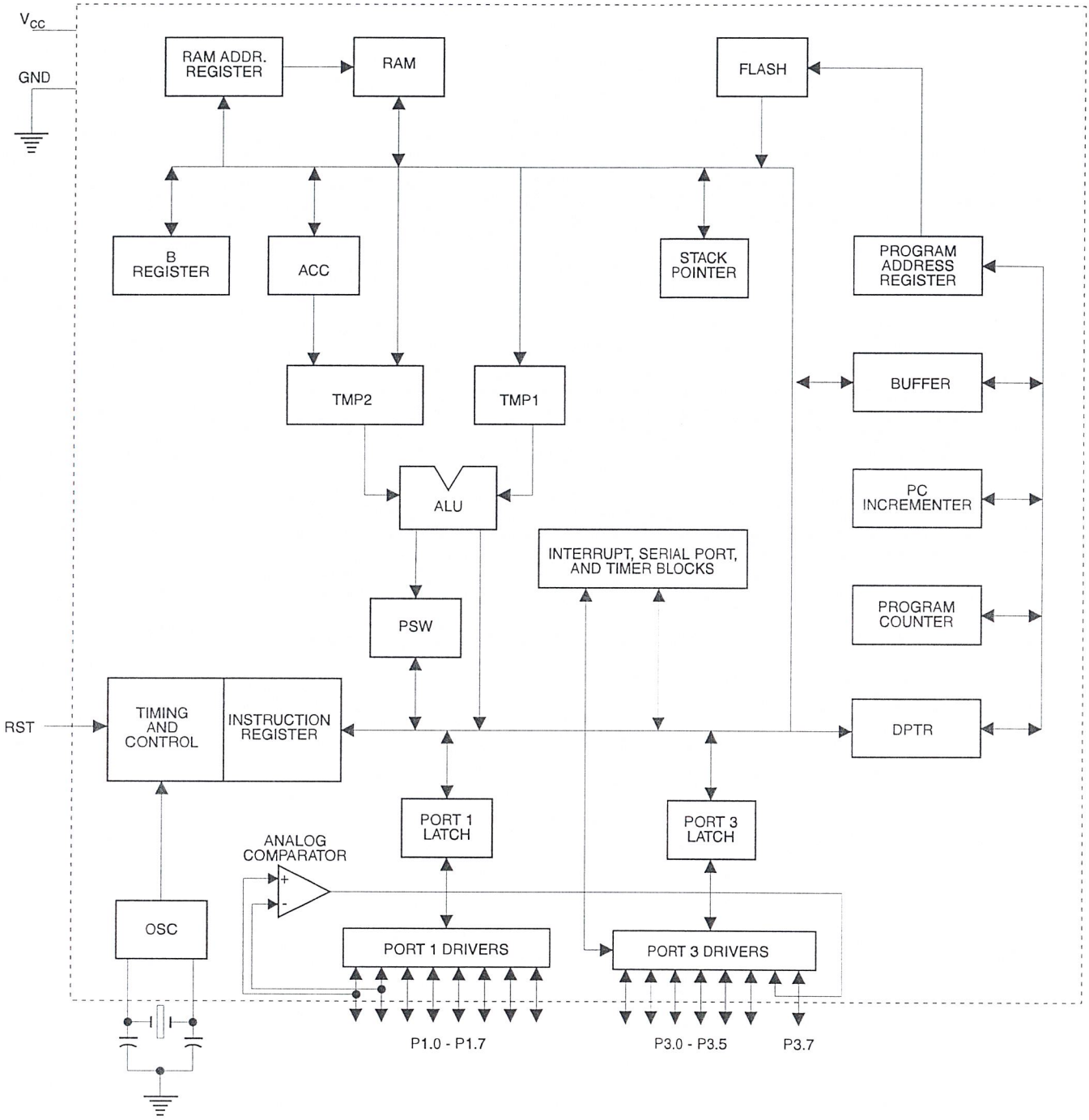


8-Bit Microcontroller with 2K Bytes Flash

AT89C2051

0368D-B–12/97

Block Diagram



Pin Description

V_{CC}
Supply voltage.

GND
Ground.

Port 1
Port 1 is an 8-bit bidirectional I/O port. Port pins P1.2 to P1.7 provide internal pullups. P1.0 and P1.1 require external pullups. P1.0 and P1.1 also serve as the positive input (AIN0) and the negative input (AIN1), respectively, of the on-chip precision analog comparator. The Port 1 output buffers can sink 20 mA and can drive LED displays directly. When 1s are written to Port 1 pins, they can be used as inputs. When pins P1.2 to P1.7 are used as inputs and are externally pulled low, they will source current (I_{IL}) because of the internal pullups.

Port 1 also receives code data during Flash programming and verification.

Port 3
Port 3 pins P3.0 to P3.5, P3.7 are seven bidirectional I/O pins with internal pullups. P3.6 is hard-wired as an input to the output of the on-chip comparator and is not accessible as a general purpose I/O pin. The Port 3 output buffers can sink 20 mA. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C2051 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)

Port 3 also receives some control signals for Flash programming and verification.

RST
Reset input. All I/O pins are reset to 1s as soon as RST goes high. Holding the RST pin high for two machine cycles while the oscillator is running resets the device.

Each machine cycle takes 12 oscillator or clock cycles.

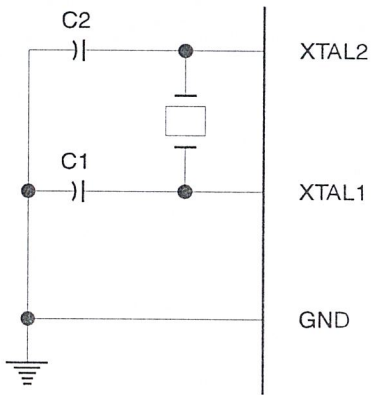
XTAL1
Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2
Output from the inverting oscillator amplifier.

Oscillator Characteristics

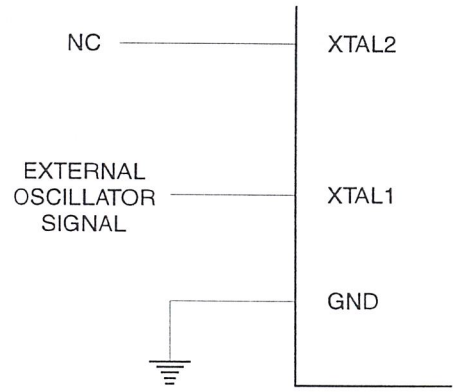
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Figure 1. Oscillator Connections



Note: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration



Special Function Registers

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in the table below.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

Table 1. AT89C2051 SFR Map and Reset Values

0F8H									0FFH
0F0H	B 00000000								0F7H
0E8H									0EFH
0E0H	ACC 00000000								0E7H
0D8H									0DFH
0D0H	PSW 00000000								0D7H
0C8H									0CFH
0C0H									0C7H
0B8H	IP XXX00000								0BFH
0B0H	P3 11111111								0B7H
0A8H	IE 0XX00000								0AFH
0A0H									0A7H
98H	SCON 00000000	SBUF XXXXXXXX							9FH
90H	P1 11111111								97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000			8FH
80H		SP 00000111	DPL 00000000	DPH 00000000				PCON 0XXX0000	87H

Restrictions on Certain Instructions

The AT89C2051 and is an economical and cost-effective member of Atmel's growing family of microcontrollers. It contains 2K bytes of flash program memory. It is fully compatible with the MCS-51 architecture, and can be programmed using the MCS-51 instruction set. However, there are a few considerations one must keep in mind when utilizing certain instructions to program this device.

All the instructions related to jumping or branching should be restricted such that the destination address falls within the physical program memory space of the device, which is 2K for the AT89C2051. This should be the responsibility of the software programmer. For example, LJMP 7E0H would be a valid instruction for the AT89C2051 (with 2K of memory), whereas LJMP 900H would not.

1. Branching instructions:

LCALL, LJMP, ACALL, AJMP, SJMP, JMP @A+DPTR

These unconditional branching instructions will execute correctly as long as the programmer keeps in mind that the destination branching address must fall within the physical boundaries of the program memory size (locations 00H to 7FFH for the 89C2051). Violating the physical space limits may cause unknown program behavior.

CJNE [...], DJNZ [...], JB, JNB, JC, JNC, JBC, JZ, JNZ With these conditional branching instructions the same rule above applies. Again, violating the memory boundaries may cause erratic execution.

For applications involving interrupts the normal interrupt service routine address locations of the 80C51 family architecture have been preserved.

2. MOVX-related instructions, Data Memory:

The AT89C2051 contains 128 bytes of internal data memory. Thus, in the AT89C2051 the stack depth is limited to 128 bytes, the amount of available RAM. External DATA memory access is not supported in this device, nor is external PROGRAM memory execution. Therefore, no MOVX [...] instructions should be included in the program.

A typical 80C51 assembler will still assemble instructions, even if they are written in violation of the restrictions mentioned above. It is the responsibility of the controller user to know the physical features and limitations of the device being used and adjust the instructions used correspondingly.

Program Memory Lock Bits

On the chip are two lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

Lock Bit Protection Modes[1]

Program Lock Bits			
	LB1	LB2	Protection Type
1	U	U	No program lock features.
2	P	U	Further programming of the Flash is disabled.
3	P	P	Same as mode 2, also verify is disabled.

Note: 1. The Lock Bits can only be erased with the Chip Erase operation.

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

P1.0 and P1.1 should be set to '0' if no external pullups are used, or set to '1' if external pullups are used.

It should be noted that when idle is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Power Down Mode

In the power down mode the oscillator is stopped, and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. The only exit from power down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

P1.0 and P1.1 should be set to '0' if no external pullups are used, or set to '1' if external pullups are used.

Programming The Flash

The AT89C2051 is shipped with the 2K bytes of on-chip PEROM code memory array in the erased state (i.e., contents = FFH) and ready to be programmed. The code memory array is programmed one byte at a time. *Once the array is programmed, to re-program any non-blank byte, the entire memory array needs to be erased electrically.*

Internal Address Counter: The AT89C2051 contains an internal PEROM address counter which is always reset to 000H on the rising edge of RST and is advanced by applying a positive going pulse to pin XTAL1.

Programming Algorithm: To program the AT89C2051, the following sequence is recommended.

1. Power-up sequence:
   Apply power between V_{CC} and GND pins
   Set RST and XTAL1 to GND
2. Set pin RST to 'H'
   Set pin P3.2 to 'H'
3. Apply the appropriate combination of 'H' or 'L' logic levels to pins P3.3, P3.4, P3.5, P3.7 to select one of the programming operations shown in the PEROM Programming Modes table.

To Program and Verify the Array:

4. Apply data for Code byte at location 000H to P1.0 to P1.7.
5. Raise RST to 12V to enable programming.
6. Pulse P3.2 once to program a byte in the PEROM array or the lock bits. The byte-write cycle is self-timed and typically takes 1.2 ms.
7. To verify the programmed data, lower RST from 12V to logic 'H' level and set pins P3.3 to P3.7 to the appropiate levels. Output data can be read at the port P1 pins.
8. To program a byte at the next address location, pulse XTAL1 pin once to advance the internal address counter. Apply new data to the port P1 pins.
9. Repeat steps 5 through 8, changing data and advancing the address counter for the entire 2K bytes array or until the end of the object file is reached.
10. Power-off sequence:
    set XTAL1 to 'L'
    set RST to 'L'
    Turn V_{CC} power off

Data Polling: The AT89C2051 features Data Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written data on P1.7. Once the write cycle has been completed, true data is valid on all outputs, and the next cycle may begin. Data Polling may begin any time after a write cycle has been initiated.

Ready/Busy: The Progress of byte programming can also be monitored by the RDY/BSY output signal. Pin P3.1 is pulled low after P3.2 goes High during programming to indicate BUSY. P3.1 is pulled High again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed code data can be read back via the data lines for verification:

1. Reset the internal address counter to 000H by bringing RST from 'L' to 'H'.
2. Apply the appropriate control signals for Read Code data and read the output data at the port P1 pins.
3. Pulse pin XTAL1 once to advance the internal address counter.
4. Read the next code data byte at the port P1 pins.
5. Repeat steps 3 and 4 until the entire array is read.

The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire PEROM array (2K bytes) and the two Lock Bits are erased electrically by using the proper combination of control signals and by holding P3.2 low for 10 ms. The code array is written with all "1"s in the Chip Erase operation and must be executed before any non-blank memory byte can be re-programmed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 000H, 001H, and 002H, except that P3.5 and P3.7 must be pulled to a logic low. The values returned are as follows.

(000H) = 1EH indicates manufactured by Atmel
(001H) = 21H indicates 89C2051

Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Flash Programming Modes

Mode		RST/VPP	P3.2/$\overline{PROG}$	P3.3	P3.4	P3.5	P3.7
Write Code Data(1)(3)		12V		L	H	H	H
Read Code Data(1)		H	H	L	L	H	H
Write Lock	Bit - 1	12V		H	H	H	H
	Bit - 2	12V		H	H	L	L
Chip Erase		12V	(2)	H	L	L	L
Read Signature Byte		H	H	L	L	L	L

Notes:
1. The internal PEROM address counter is reset to 000H on the rising edge of RST and is advanced by a positive pulse at XTAL 1 pin.
2. Chip Erase requires a 10-ms $\overline{PROG}$ pulse.
3. P3.1 is pulled Low during programming to indicate RDY/$\overline{BSY}$.

Figure 3. Programming the Flash Memory

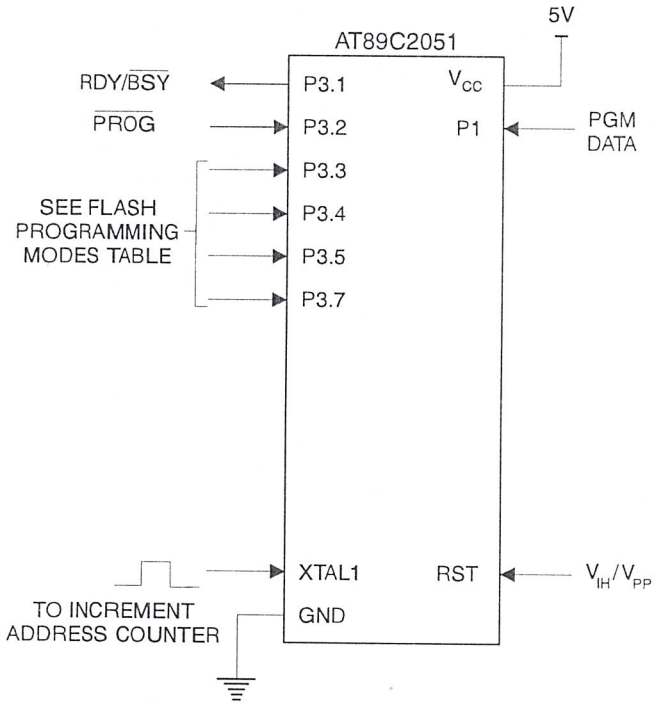
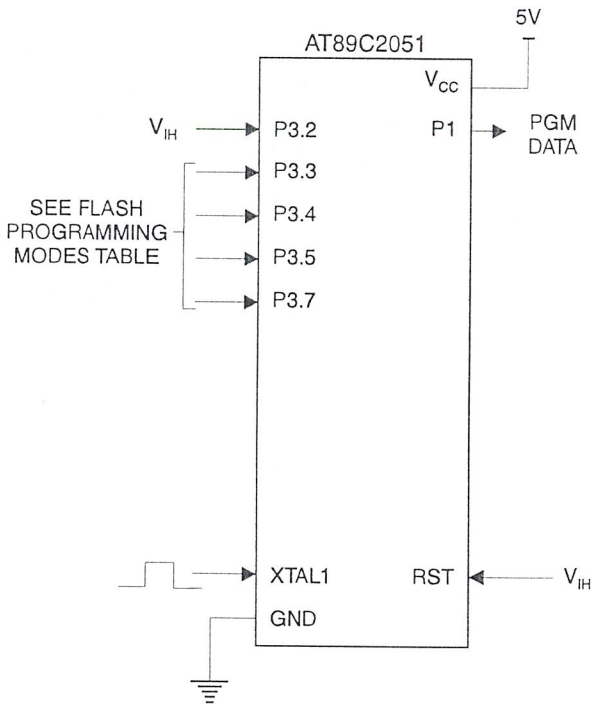


Figure 4. Verifying the Flash Memory



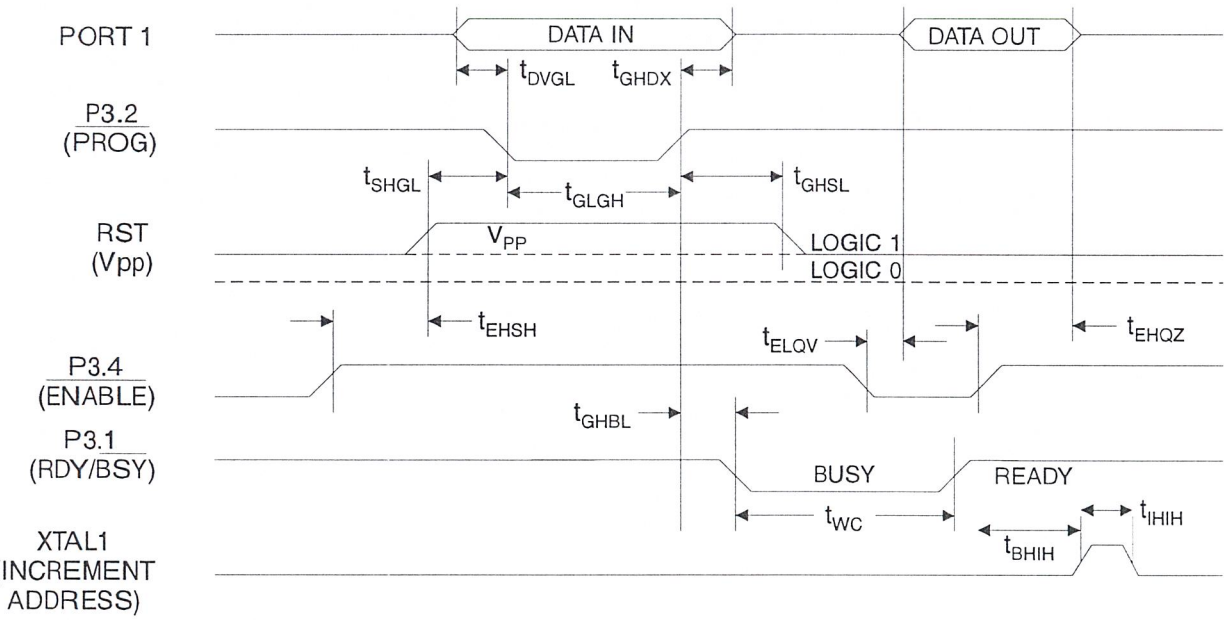
Flash Programming and Verification Characteristics

T_A = 0°C to 70°C, V_{CC} = 5.0 ± 10%

Symbol	Parameter	Min	Max	Units
V_{PP}	Programming Enable Voltage	11.5	12.5	V
I_{PP}	Programming Enable Current		250	µA
t_{DVGL}	Data Setup to $\overline{PROG}$ Low	1.0		µs
t_{GHDX}	Data Hold After $\overline{PROG}$	1.0		µs
t_{EHSH}	P3.4 ($\overline{ENABLE}$) High to V_{PP}	1.0		µs
t_{SHGL}	V_{PP} Setup to $\overline{PROG}$ Low	10		µs
t_{GHSL}	V_{PP} Hold After $\overline{PROG}$	10		µs
t_{GLGH}	$\overline{PROG}$ Width	1	110	µs
t_{ELQV}	$\overline{ENABLE}$ Low to Data Valid		1.0	µs
t_{EHQZ}	Data Float After $\overline{ENABLE}$	0	1.0	µs
t_{GHBL}	$\overline{PROG}$ High to $\overline{BUSY}$ Low		50	ns
t_{WC}	Byte Write Cycle Time		2.0	ms
t_{BHIH}	RDY/$\overline{BSY}$\ to Increment Clock Delay	1.0		µs
t_{IHIL}	Increment Clock High	200		ns

Note: 1. Only used in 12-volt programming mode.

Flash Programming and Verification Waveforms



Absolute Maximum Ratings*

Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0V to +7.0V
Maximum Operating Voltage	6.6V
DC Output Current	25.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

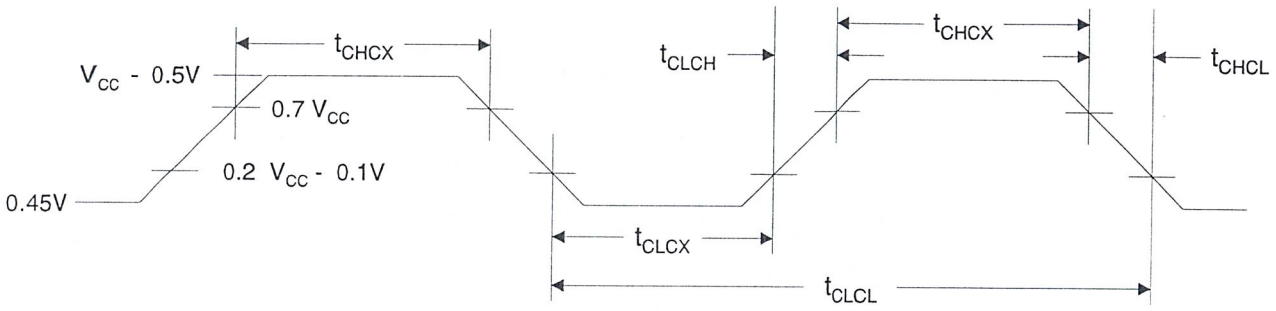
DC Characteristics

T_A = -40°C to 85°C, V_{CC} = 2.0V to 6.0V (unless otherwise noted)

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low Voltage		-0.5	0.2 V_{CC} - 0.1	V
V_{IH}	Input High Voltage	(Except XTAL1, RST)	0.2 V_{CC} + 0.9	V_{CC} + 0.5	V
V_{IH1}	Input High Voltage	(XTAL1, RST)	0.7 V_{CC}	V_{CC} + 0.5	V
V_{OL}	Output Low Voltage(1) (Ports 1, 3)	I_{OL} = 20 mA, V_{CC} = 5V I_{OL} = 10 mA, V_{CC} = 2.7V		0.5	V
V_{OH}	Output High Voltage (Ports 1, 3)	I_{OH} = -80 µA, V_{CC} = 5V ± 10%	2.4		V
		I_{OH} = -30 µA	0.75 V_{CC}		V
		I_{OH} = -12 µA	0.9 V_{CC}		V
I_{IL}	Logical 0 Input Current (Ports 1, 3)	V_{IN} = 0.45V		-50	µA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1, 3)	V_{IN} = 2V, V_{CC} = 5V ± 10%		-750	µA
I_{LI}	Input Leakage Current (Port P1.0, P1.1)	0 < V_{IN} < V_{CC}		±10	µA
V_{OS}	Comparator Input Offset Voltage	V_{CC} = 5V		20	mV
V_{CM}	Comparator Input Common Mode Voltage		0	V_{CC}	V
RRST	Reset Pulldown Resistor		50	300	KΩ
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, T_A = 25°C		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz, V_{CC} = 6V/3V		15/5.5	mA
		Idle Mode, 12 MHz, V_{CC} = 6V/3V P1.0 & P1.1 = 0V or V_{CC}		5/1	mA
	Power Down Mode(2)	V_{CC} = 6V P1.0 & P1.1 = 0V or V_{CC}		100	µA
		V_{CC} = 3V P1.0 & P1.1 = 0V or V_{CC}		20	µA

Notes:
1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
   Maximum I_{OL} per port pin: 20 mA
   Maximum total I_{OL} for all output pins: 80 mA
   If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
2. Minimum V_{CC} for Power Down is 2V.

External Clock Drive Waveforms



External Clock Drive

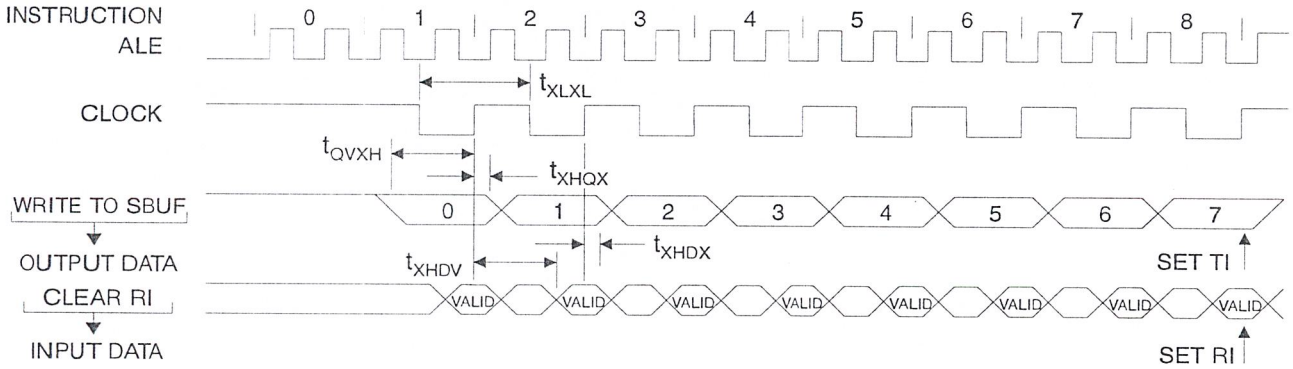
Symbol	Parameter	V_{CC} = 2.7V to 6.0V		V_{CC} = 4.0V to 6.0V		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency	0	12	0	24	MHz
t_{CLCL}	Clock Period	83.3		41.6		ns
t_{CHCX}	High Time	30		15		ns
t_{CLCX}	Low Time	30		15		ns
t_{CLCH}	Rise Time		20		20	ns
t_{CHCL}	Fall Time		20		20	ns

Serial Port Timing: Shift Register Mode Test Conditions

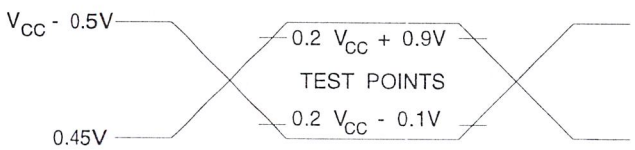
(V_{CC} = 5.0V ± 20%; Load Capacitance = 80 pF)

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		µs
t_{QVXH}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}$-133		ns
t_{XHQX}	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}$-117		ns
t_{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t_{XHDV}	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}$-133	ns

Shift Register Mode Timing Waveforms

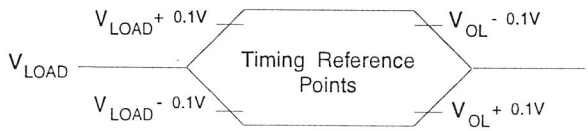


AC Testing Input/Output Waveforms(1)



Note: 1. AC Inputs during testing are driven at V_{CC} - 0.5V for a logic 1 and 0.45V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

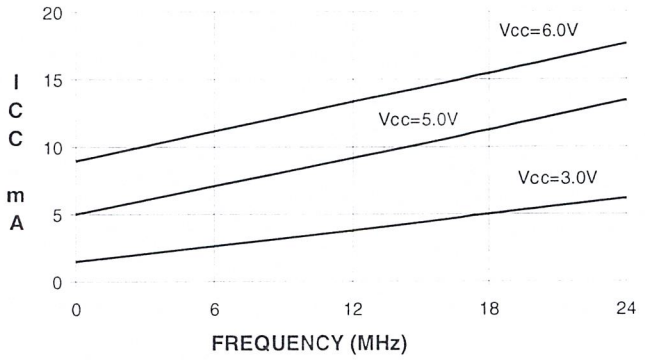
Float Waveforms(1)



Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when 100 mV change frothe loaded V_{OH}/V_{OL} level occurs.

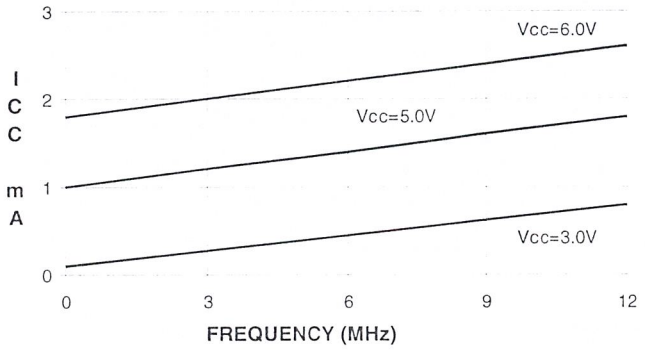
AT89C2051

TYPICAL ICC - ACTIVE (85°C)



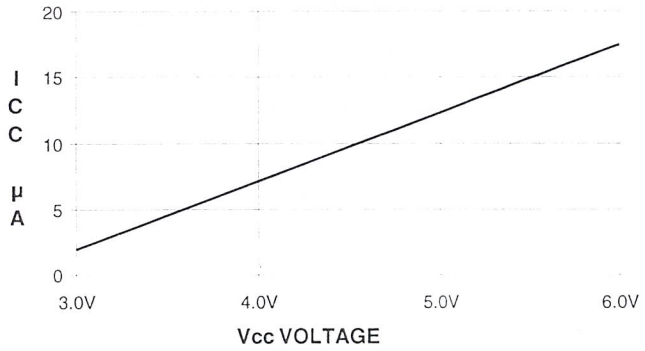
AT89C2051

TYPICAL ICC - IDLE (85°C)



AT89C2051

TYPICAL ICC vs. VOLTAGE- POWER DOWN (85°C)



Notes:
1. XTAL1 tied to GND for I_{CC} (power down)
2. P.1.0 and P1.1 = V_{CC} or GND
3. Lock bits programmed

Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	2.7V to 6.0V	AT89C2051-12PC AT89C2051-12SC	20P3 20S	Commercial (0°C to 70°C)
		AT89C2051-12PI AT89C2051-12SI	20P3 20S	Industrial (-40°C to 85°C)
		AT89C2051-12PA AT89C2051-12SA	20P3 20S	Automotive (-40°C to 105°C)
24	4.0V to 6.0V	AT89C2051-24PC AT89C2051-24SC	20P3 20S	Commercial (0°C to 70°C)
		AT89C2051-24PI AT89C2051-24SI	20P3 20S	Industrial (-40°C to 85°C)

Package Type	
20P3	20 Lead, 0.300" Wide, Plastic Dual In-line Package (PDIP)
20S	20 Lead, 0.300" Wide, Plastic Gull Wing Small Outline (SOIC)