เครื่องรับ-ส่งสัญญาณ 8PSK

8-PSK TRANSMITTER AND RECEIVER

T032618

โดย

นางสาวจันทร์จีรา บุญศิริ

นางสาวจารุวรรณ ไม่รู้จบ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เลขหมู่.....
เลขทะเบียน 32618
วัน, เดือน, ปี 18 พ.ค. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับ-ส่งสัญญาณ 8PSK

8-PSK TRANSMITTER AND RECEIVER

โดย

นางสาวจันทร์จีรา บุญศิริ 38014063

นางสาวจารุวรรณ ไม่รู้จบ 38014065

อาจารย์ที่ปรึกษา

รศ.ดร.กอบชัย เดชหาญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2541

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องรับ-ส่งสัญญาณ 8PSK**

8-PSK Transmitter and Receiver

ผู้จัดทำ

1.นางสาวจันทร์จีรา บุญศิริ 38014063

2.นางสาวจารุวรรณ ไม่รู้จบ 38014065

..... อาจารย์ที่ปรึกษา

(รศ.ดร.กอบชัย เดชหาญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับ-ส่งสัญญาณ 8PSK

8PSK Receiver and Transmitter

โดย นางสาวจันทร์จีรา บุญศิริ 38014063
นางสาวจารุวรรรณ ไม่รู้จบ 38014065

อาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

โครงงานนี้เป็นการนำเสนอการทดลองการส่งสัญญาณดิจิตอลความเร็ว 9600 bps โดยใช้หลักการของการมอดูเลทแบบ 8PSK ซึ่งเป็นรูปแบบหนึ่งในการส่งสัญญาณดิจิตอล ข้อมูลดิจิตอลนั้นจะถูกบรรจุอยู่ในเฟสของสัญญาณพาหะ ในโครงงานนี้จะใช้วงจรผลิตสัญญาณพาหะ 76.8 kHz และสัญญาณไพล็อทโทน 48 kHz ที่อ้างอิงจากสัญญาณนาฬิกา 9600 bps และใช้วงจรแยกสัญญาณดิจิตอล แล้วนำสัญญาณดิจิตอลไปแปลงเป็นสัญญาณ PAM ก่อนจะเข้าวงจรบาลานซ์มอดูเลเตอร์ ดังนั้นที่วงจรบาลานซ์มอดูเลเตอร์จะมีการเปลี่ยนแปลงที่เอาพุทหนึ่งครั้งเมื่อมีข้อมูลอินพุทเข้ามาทุกๆ 3 บิท ซึ่งสามารถแสดงให้เห็นว่า 8PSK มีประสิทธิภาพในการใช้แบนด์วิธมากกว่า BPSK สำหรับที่บิทเรทเท่ากัน

ABSTRACT

This project proposes a digital transmission system which is transmitted by using the 8PSK. A 8PSK is a form of digital modulation which the digital information is contained phase of the transmitted carrier. This project uses the carrier signal frequency and the pilot tone signal frequency at 76.8 kHz and 48 kHz, respectively. All of the system is controlled by clock at 9600 bps. By using 2 to4 level converter to convert the digital signal to be the PAM signal is carriered out before passing the signal to the balanced modulator. The output signal is changed every 3 bit input data. The results show that 8PSK has more bandwidth efficiency than BPSK, at the same bit rate.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีหรือหลักการ	3
2.1 ภาคส่งของระบบ 8PSK	4
2.1.1 การพิจารณาแถบความถี่ของ 8PSK	5
2.1.2 ประสิทธิภาพของแถบความถี่	7
2.2 ภาครับของระบบ 8PSK	9
2.3 แอคทีฟฟิลเตอร์	9
2.4 เฟสล็อคลูป	12
2.4.1 การสังเคราะห์ความถี่ด้วยเฟสล็อคลูป	14
บทที่ 3 การคำนวณและการสร้าง	15
3.1 การออกแบบวงจรทางด้านภาคส่ง	15
3.1.1 วงจรแยกสัญญาณดิจิตอล	16
3.1.2 วงจรแปลงสัญญาณ 2 บิท เป็น 4 ระดับ	17
3.1.3 วงจรกำเนิดสัญญาณพาหะ 76.8 kHz	18
3.1.4 วงจรกำเนิดสัญญาณไพล็อทโทน 48 kHz	20
3.1.5 วงจรกรองช่วงความถี่	21
3.1.6 วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา	22
3.1.7 วงจรบาลานซ์มอดูเลเตอร์	23
3.1.8 วงจรรวมสัญญาณมอดูเลท	24
3.1.9 วงจรกำเนิดสัญญาณข้อมูลความเร็ว 9600 bps	25
3.2 การออกแบบวงจรทางด้านภาครับ	26
3.2.1 วงจรกู้สัญญาณนาฬิกา	27
3.2.2 วงจรกู้สัญญาณพาหะ	29
3.2.3 วงจรบาลานซ์ดีมอดูเลเตอร์	30
3.2.4 วงจรแปลงสัญญาณ 4 ระดับไปเป็น 2 บิท	31
3.2.5 วงจรรวมสัญญาณดิจิตอล	33
บทที่ 4 การทดลองและผลการทดลอง	41
บทที่ 5 บทวิจารณ์และบทสรุป	53
ภาคผนวก	
หนังสืออ้างอิง	
กิตติกรรมประกาศ	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 1.1 บล็อคไดอะแกรมของระบบการสื่อสารอิเลคทรอนิคส์	1
รูปที่ 2.1 แสดงบล็อคไดอะแกรมของเครื่องส่ง 8PSK มอดูเลเตอร์	3
รูปที่ 2.2 แสดงระดับของ PAM	3
รูปที่ 2.3 แสดงเฟสเซอร์ไดอะแกรมและคอนสตีลเลชั่นไดอะแกรมของ 8PSK	4
รูปที่ 2.4 แสดงความสัมพันธ์ของเฟสเอาต์พุตเทียบกับเวลาสำหรับ 8PSK มอดูเลเตอร์	5
รูปที่ 2.5 แสดงการพิจารราแถบความถี่ของ 8PSK มอดูเลเตอร์	6
รูปที่ 2.6 แสดงบล็อคไดอะแกรมเครื่องรับ 8PSK	9
รูปที่ 2.7 แสดงการตอบสนองความถี่ของวงจรฟิลเตอร์แบบต่างๆ	11
รูปที่ 2.8 แสดงบล็อคไดอะแกรมของเฟสล็อคลูป (PLL)	13
รูปที่ 2.9 แสดง โครงสร้างเฟสล็อคลูปสำหรับการสังเคราะห์ความถี่	14
รูปที่ 3.1 แสดงรูปบล็อคไดอะแกรมที่ใช้ในการออกแบบวงจรภาคส่ง	15
รูปที่ 3.2 วงจรแยกสัญญาณดิจิตอล	16
รูปที่ 3.3 วงจรแยกสัญญาณ 2 บิท ไปเป็น 4 ระดับ	18
รูปที่ 3.4 วงจรกำเนิดสัญญาณพาหะ 76.8 kHz	19
รูปที่ 3.5 วงจรกำเนิดสัญญาณไพล็อทโทน 48 kHz	20
รูปที่ 3.6 วงจร Positive Feedback Band Pass Filter	21
รูปที่ 3.7 วงจร All- Pass Filter ชนิด Vo ล้าหลัง Vin	22
รูปที่ 3.8 วงจรบาลานซ์มอดูเลเตอร์	23
รูปที่ 3.9 วงจรรวมสัญญาณ	24
รูปที่ 3.10 วงจรกำเนิดสัญญาณข้อมูลความเร็ว 9600 bps	25
รูปที่ 3.11 บล็อคไดอะแกรมของ 8PSK ดีมอดดูเลเตอร์	26
รูปที่ 3.12 วงจรกรองความถี่ช่วง 75.2-78.4 kHz	27
รูปที่ 3.13 วงจรกู้สัญญาณนาฬิกา	28
รูปที่ 3.14 วงจรกู้สัญญาณพาหะ	29
รูปที่ 3.15 วงจรบาลานซ์ดีมอดูเลเตอร์	30
รูปที่ 3.16 วงจรขยายสัญญาณ 4 ระดับ	32
รูปที่ 3.17 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท	33
รูปที่ 3.18 วงจรรวมสัญญาณดิจิตอล	34
รูปที่ 3.19 วงจรรวมภาคส่งส่วนที่ 1	35
รูปที่ 3.20 วงจรรวมภาคส่งส่วนที่ 2	36
รูปที่ 3.21 วงจรรวมภาคส่งส่วนที่ 3	37
รูปที่ 3.22 วงจรรวมภาครับส่วนที่ 1	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.23 วงจรรวมภาครับส่วนที่ 2 39
รูปที่ 3.24 วงจรรวมภาครับส่วนที่ 3 40
รูปที่ 4.1 แสดงสัญญาณที่ได้จากวงจรกำเนิดสัญญาณ รหัส 1110010101 เทียบกับ clock 9.6 kHz 41
รูปที่ 4.2 แสดงสัญญาณที่ออกจากวงจรแยกบิท (บิท I :CH1 , C:CH2) 42
รูปที่ 4.3 แสดงสัญญาณที่ออกจากวงจรแยกบิท(บิท Q:CH1 , บิท $\overline{C}$:CH2) 42
รูปที่ 4.4 แสดงผลจากวงจรแปลงสัญญาณ2บิทเป็น4ระดับ(CH1:ด้านI , CH2:ด้านQ) 43
รูปที่ 4.5 แสดงสัญญาณพาหะ 76.8 kHz ที่สร้างจากสัญญาณsquare 76.8 kHz 43
รูปที่ 4.6 แสดงสัญญาณนำร่อง 48 kHz ที่สร้างจากสัญญาณsquare 48 kHz 44
รูปที่ 4.7 แสดงสัญญาณพาหะ sine 76.8 kHz (CH1)และ cosine 76.8 kHz (CH2) 44
รูปที่ 4.8 แสดงสัญญาณพาหะ sine 76.8 kHz (CH1)และ cosine 76.8 kHz (CH2)
โดยใช้ X-Y oscilloscope 45
รูปที่ 4.9 แสดงสัญญาณที่ออกจากวงจรบาลานซ์มอดูเลเตอร์เทียบกับสัญญาณ 4 ระดับทางด้าน I 45
รูปที่ 4.10 แสดงสัญญาณที่ออกจากวงจรบาลานซ์มอดูเลเตอร์เทียบกับสัญญาณ 4 ระดับทางด้าน Q 46
รูปที่ 4.11 แสดงสัญญาณ 8PSK ที่รวมสัญญาณนำร่อง 48 kHz 46
รูปที่ 4.12 แสดงสัญญาณนาฬิกา (Clock) ด้านรับเทียบกับด้านส่ง 47
รูปที่ 4.13 แสดงสัญญาณ carrier sine ภาครับที่กู้ออกมาได้
เทียบกับสัญญาณcarrier 76.8 kHz ทางภาคส่ง 47
รูปที่ 4.14 แสดงสัญญาณ carrier 76.8 kHz ทางภาครับ
(CH1:sine 76.8 kHz , CH2: cosine 76.8 kHz) 48
รูปที่ 4.15 (CH1:sine 76.8 kHz , CH2: cosine 76.8 kHz) ใช้ X-Y oscilloscope 48
รูปที่ 4.16 แสดงสัญญาณเอาต์พุตที่ออกจากวงจรแปลง 4 ระดับไปเป็น 2 ระดับบิท I เทียบกับบิท C 49
รูปที่ 4.17 แสดงสัญญาณเอาต์พุตที่ออกจากวงจรแปลง 4 ระดับไปเป็น 2 ระดับบิท Q เทียบกับบิท C 49
รูปที่ 4.18 แสดงสัญญาณเอาต์พุตที่ดีเทคได้ ซึ่งได้จากวงจรรวมบิท 50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1แสดงตารางความจริงของ I และ Q ที่เปลี่ยนแปลงได้ทั้ง 4 ระดับ	3
ตารางที่ 2.2 ตารางค่าแถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลตแบบต่าง	7
ตารางที่ 2.3 ตารางสรุปข้อแตกต่างของ FSK, PSK และ QAM	8
ตารางที่ 3.1 การแปลงรหัสจากไบนารี่โค้ดเป็นเกรย์โค้ด	17
ตารางที่ 3.2 แสดงระดับการแปลงสัญญาณ	17
ตารางที่ 3.3 แสดงการขยายสัญญาณก่อนทำวงจรตรวจระดับสัญญาณ	31
ตารางที่ 3.4 แสดงการตรวจจับระดับสัญญาณและแปลงสัญญาณเป็นรหัสเกรย์โค้ด	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

ช่วงเวลาหลายปีที่ผ่านมาระบบการสื่อสารอิเลคทรอนิคส์ (Electronic Communication)ได้รับความสนใจในด้านการเปลี่ยนแปลงเทคโนโลยีที่พัฒนาขึ้นเรื่อยๆจากระบบการสื่อสารที่เทคนิคการมอดูเลทแบบอนาลอก (Analog Communication System) เช่น แอมปลิจูดมอดูเลชั่น(AM) , ฟรีเควนซีมอดูเลชั่น(FM) และเฟสมอดูเลชั่น(PM) จะเปลี่ยนไปใช้ระบบการสื่อสารแบบดิจิตอลมากขึ้น ระบบการสื่อสารแบบดิจิตอล (Digital Communication System) จะได้รับประโยชน์มากกว่าระบบอนาลอก ทั้งในด้านขบวนการการมัลติเพล็กซ์ และการกำจัดสัญญาณรบกวนโดยแท้จริงแล้วระบบการสื่อสารอิเลคทรอนิคส์ คือ การส่ง การรับ และขบวนการข่าวสารโดยใช้วงจรอิเลคทรอนิคส์

รูปที่ 1.1 บล็อคไดอะแกรมของระบบการสื่อสารอิเลคทรอนิคส์

จากรูปที่1.1 ระบบการสื่อสารแบบดิจิตอลประกอบด้วย 3 ส่วนคือ แหล่งกำเนิด, ปลายทาง และสื่อกลาง ข่าวสารที่ถูกส่งไปในระบบการสื่อสารจากแหล่งกำเนิดนั้นไม่เหมาะที่จะส่งในรูปต้นกำเนิดเดิม แต่จะต้องแปลงให้เหมาะสมก่อนที่จะส่ง ตัวอย่างเช่นในระบบการสื่อสารแบบดิจิตอล ข่าวสารที่เป็นอนาลอกจะถูกแปลงให้อยู่ในรูปดิจิตอลก่อนที่จะทำการส่ง

ในระบบการสื่อสารแบบดิจิตอลนั้นจะให้ความความถูกต้องแม่นยำ มีคุณภาพและปริมาณการใช้งานเพิ่มขึ้นมากกว่าระบบการสื่อสารอนาลอก ทั้งในระบบการส่งสัญญาณหรือข้อมูลต่างๆ เช่น ระบบโทรศัพท์ , ระบบการสื่อสารผ่านดาวเทียมภาคพื้นดินหรือ ระบบการสื่อสารดาวเทียมอวกาศ (Aeronuatical or Land Mobile Satellite System) เป็นต้น จึงจำเป็นต้องใช้เทคนิคการมอดูเลทสัญญาณดิจิตอลที่ละเอียดซับซ้อน ทำให้ต้องมีการศึกษาและค้นคว้าเทคนิคในการมอดูเลทแบบต่างๆ เพื่อพัฒนาให้ทันกับความต้องการของตลาดการสื่อสารที่เป็นอยู่

รูปแบบการมอดูเลทสัญญาณดิจิตอลนั้นมีหลายรูปแบบเช่น FSK, PSK, BPSK, QPSK, 8PSK, QAM, 8QAM, 16QAM ฯลฯ แต่ในการส่งสัญญาณดิจิตอลนั้นหากเป็นสัญญาณที่มีอัตราเร็วสูงๆ จะมีผลทำให้ขนาดของแบนด์วิธที่กว้างขึ้น ไม่เป็นการประหยัดในการเข้าใช้ช่องสัญญาณ จึงต้องมีเทคนิคในการลดแบนด์วิธของสัญญาณ ดังนั้นในโครงงานนี้จึงนำเสนอการสัญญาณดิจิตอล 9600 bps โดยใช้วิธีการส่งสัญญาณแบบ 8PSK ซึ่งการเปลี่ยนแปลงของคลื่นพาหะจะมีการเปลี่ยนแปลงทางเฟสอย่างเดียว มี 8 ตำแหน่งภายใน 1 คาบเวลา ซึ่งทำให้สามารถลดแบนด์วิธลงได้ 3 เท่าของการส่งสัญญาณแบบ PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

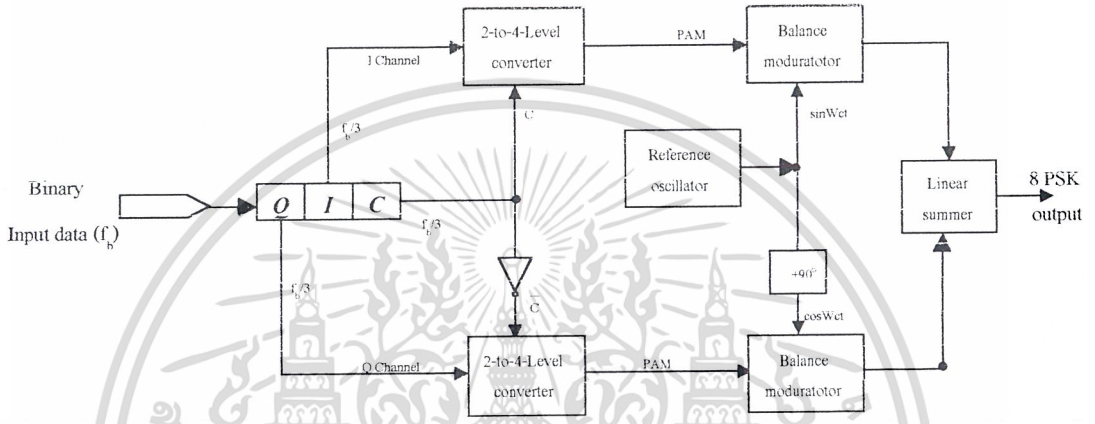
จะทำให้การใช้ช่องสัญญาณมีประสิทธิภาพมากยิ่งขึ้น เพราะสามารถลดขนาดแบนด์วิธของสัญญาณได้ หรือกล่าวอีกนัยหนึ่งคือ สามารถเพิ่มบิทเรทของสัญญาณข้อมูลได้ ในขณะที่มีแบนด์วิธเท่าเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

การมอดูเลทแบบแปดพีเอสเค
(Eight-Phase PSK: 8PSK)

8 PSK เป็นเทคนิคการเข้ารหัสแบบ M-ary เมื่อ M=8 การมอดูเลทแบบ 8 PSK มีเอาต์พุตเฟส เท่ากับ 8 เข้ารหัสที่แตกต่างกัน 8 เฟส ข้อมูลที่เข้ามาจะถูกแบ่งเป็นกลุ่มๆละ 3 bit เรียกว่า ไตรบิท (2^3=8)

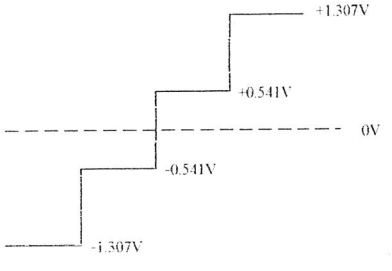


รูปที่ 2.1 แสดงบล็อคไดอะแกรมของเครื่องส่ง 8 PSK มอดูเลเตอร์

I	C	Output
0	0	-0.541V
0	1	-1.307V
1	0	0.541V
1	1	1.307V

Q	$\overline{C}$	Output
0	0	-0.541V
0	1	-1.307V
1	0	0.541V
1	1	1.307V

ตารางที่ 2.1 แสดงตารางความจริงของ I และ Q ที่เปลี่ยนแปลงได้ทั้ง 4 ระดับ



รูปที่ 2.2 แสดงระดับของสัญญาณของ PAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

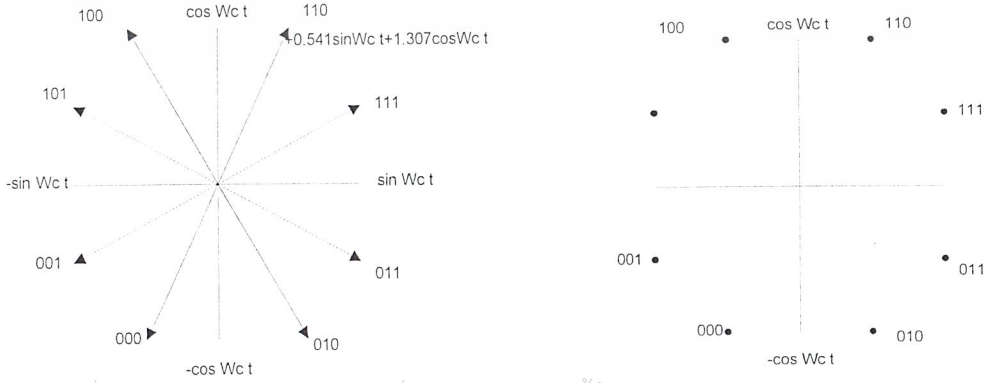
2.1 ภาคส่งของระบบ 8-PSK

สัญญาณข้อมูลที่เป็นอนุกรมจะถูกแยกเป็นสัญญาณขนาน 3 ช่อง (I หรือ in phase channel, Q หรือ in quadrature channel และ C หรือ control channel) ซึ่งมีบิทเรทของแต่ละช่องสัญญาณคือ $f_b/3$ บิทในช่อง I และ C จะเข้าไปใน I-channel เข้าสู่วงจรแปลง 2 ลอจิก ไปเป็น 4 ระดับ (2-to- 4 level converter) บิท Q และ $\bar{C}$ จะเข้าไปใน Q-channel เข้าสู่วงจรแปลง 2 ลอจิกไปเป็น 4 ระดับ วงจรแปลง 2 ลอจิกไปเป็น 4 ระดับ คือ digital- to –analog converter (DACs) ที่มี 2 บิท อินพุต 4 เอาต์พุตโวลเตจ

บิท I หรือ บิท Q จะเป็นตัวกำหนดขั้วของเอาต์พุต(ลอจิก 1 = +V และ ลอจิก 0 = -V) ในขณะที่ บิท C หรือ $\bar{C}$ จะกำหนดขนาด (ลอจิก 1 = 1.307V และ ลอจิก 0 = 0.541V)

จากตารางค่าความจริงของวงจรแปลง 2 ลอจิกเป็น 4 ระดับ เพราะว่าบิท C และ $\bar{C}$ ไม่สามารถที่จะมีสถานะลอจิกเดียวกันได้ สัญญาณเอาต์พุตจาก I และ Q 2-to-4 level converter จะไม่มีขนาดเดียวกัน ถึงแม้ว่าทั้งสองจะมีขั้วเดียวกัน เอาต์พุตของวงจร 2-to-4 level converter คือ สัญญาณ PAM (Pulse Amplitude Modulated) เมื่อ M= 4

Binary input			8-PSK output
Q	I	C	Phase
0	0	0	-112.5°
0	0	1	-157.5°
0	1	0	-67.5°
0	1	1	-22.5°
1	0	0	$+112.5^{\circ}$
1	0	1	$+157.5^{\circ}$
1	1	0	$+67.5^{\circ}$
1	1	1	$+22.5^{\circ}$



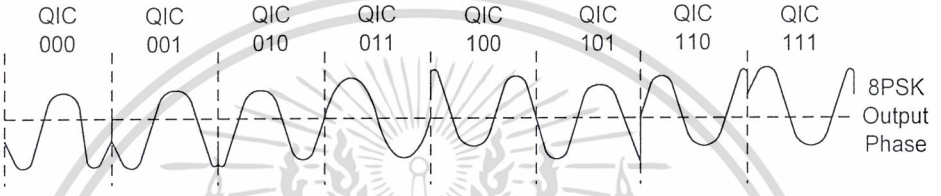
รูปที่ 2.3 แสดงเฟสเซอร์ไดอะแกรม และคอนสตีเลชั่นไดอะแกรมของ 8PSK

(Phasor diagram and Constellation diagram of 8PSK)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะเห็นว่ามุมแต่ละมุมระหว่างเฟสที่ใกล้กันจะต่างกัน 45° ดังนั้นสัญญาณ 8PSK สามารถมีการเลื่อนเฟสได้สูงสุด $\pm 22.5^{\circ}$ ในระหว่างการส่งสัญญาณซึ่งยังคงรักษาข้อมูลได้อย่างครบถ้วน ดังนั้นระดับของ PAM คือ 1.307 และ 0.541 เป็นค่าที่สัมพันธ์กัน ซึ่งอัตราส่วนคือ 0.541/1.307 และมีค่าอาคแทนเจนท์(arctangent) เท่ากับ 22.5° ตัวอย่างเช่นถ้าค่าเพิ่มเป็น 2 เท่าคือ 2.614 และ 1.082 ผลคือมุมเฟสจะไม่เปลี่ยน แม้ว่าค่าขนาดของเฟสเซอร์จะเพิ่มขึ้น(ต้องเพิ่มขึ้นอย่างเหมาะสม)

รหัสไตรบิทระหว่าง 2 เฟสที่อยู่ติดกันจะสามารถเปลี่ยนได้เพียงบิทเดียวเท่านั้น ซึ่งเรียกว่า Gray code หรือบางครั้งเรียกว่า maximum distance code รหัสนี้จะช่วยลดความผิดพลาดที่เกิดจากการส่งข้อมูล

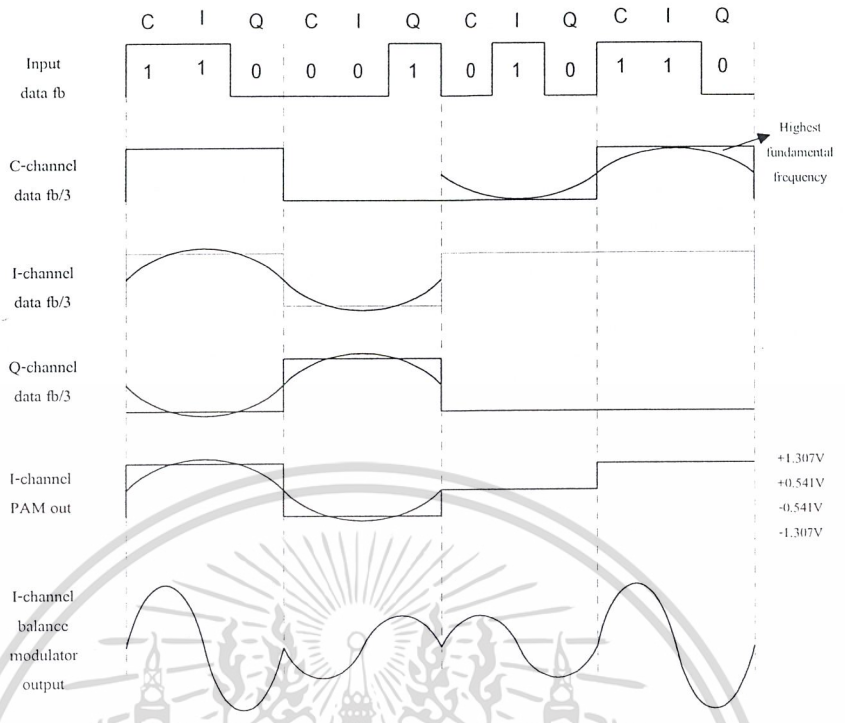


รูปที่ 2.4 แสดงความสัมพันธ์ของเฟสเอาต์พุตเทียบกับเวลาสำหรับ 8PSK มอดูเลเตอร์

2.1.1 การพิจารณาแถบความถี่ของ 8PSK

เพราะว่าข้อมูลถูกแบ่งส่งออกเป็น 3 ช่องสัญญาณ บิทเรทในช่องสัญญาณ I ,Q หรือ C จะเท่ากับ 1/3 ของอัตราการส่งข้อมูลไบนารี่($f_b/3$) เพราะว่าบิท I,Q หรือ C จะต้องเป็นเอาต์พุตที่ออกมาพร้อมกันในขณะที่ขนานกันอยู่ วงจร 2-to-4 level converter จะทำให้เห็นการเปลี่ยนแปลงของเอาต์พุตที่บิทเรทเท่ากับ $f_b/3$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



+1.307	-0.541	+0.541	+1.307
$\sin\omega_c t$	$\sin\omega_c t$	$\sin\omega_c t$	$\sin\omega_c t$

รูปที่ 2.5 แสดงการพิจารณาแถบความถี่ของ 8PSK มอดูเลเตอร์

จากรูปแสดงความสัมพันธ์ระหว่างข้อมูลอินพุตไบนารี่, ข้อมูลในช่องสัญญาณ I , Q และC และสัญญาณ PAM บนช่องสัญญาณ I และ Q จะเห็นว่าความถี่มูลฐานสูงสุด(highest fundamental frequency) ในช่อง I , Q หรือ C เท่ากับ 1/6 ของบิทเรทของสัญญาณอินพุตไบนารี่ ดังนั้นความถี่มูลฐานสูงสุดในแต่ละสัญญาณ PAM จะเท่ากับ 1/6 ของสัญญาณอินพุตไบนารี่

สำหรับเครื่องมอดูเลท 8PSK จะมีการเปลี่ยนแปลงเฟสที่เอาต์พุตทุกๆ 3 บิทของข้อมูลอินพุตที่เข้ามา ดังนั้นอัตราเร็ว (baud) ของ 8PSK เท่ากับ $f_b/3$ ซึ่งเป็นค่าแบนด์วิธต่ำสุด นอกจากนั้นบาลานซ์มอดูเลเตอร์จะทำการมอดูเลต ซึ่งเอาต์พุตได้มาจากสัญญาณพาหะกับสัญญาณ PAM แสดงในรูปสมการทางคณิตศาสตร์ได้ดังนี้

เมื่อ $\omega_c t = 2\Pi \frac{f_b}{6} t$ *and* $\omega_c t = 2\Pi f_c t$

↓ ↓

modulating signal carrier

และ $x = \pm 1.307$ *or* ± 0.541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น

$$0 = \left(x \sin 2\Pi \frac{f_b}{6} t \right) \left(\sin 2\Pi f_c t \right)$$

$$= \frac{x}{2} \cos 2\Pi \left(f_c - \frac{f_b}{6} \right) t - \frac{x}{2} \cos 2\Pi \left(f_c + \frac{f_b}{6} \right) t$$

สเปคตรัมความถี่ของสัญญาณเอาต์พุตอยู่ในช่วง $f_c+f_b/6$ และ $f_c-f_b/6$ และค่าแบนด์วิธต่ำสุด(f_N) คือ $\left(f_c + \frac{f_b}{6} \right) - \left(f_c - \frac{f_b}{6} \right) = \frac{2 f_b}{6} = \frac{f_b}{3}$

2.1.2 ประสิทธิภาพของแถบความถี่ (Bandwidth Efficiency)

ประสิทธิภาพของแถบความถี่ (หรือความหนาแน่นของข้อมูล) ถูกใช้เปรียบเทียบการทำงานของเทคนิคการมอดูเลทกับแบบอื่นๆ สิ่งที่สำคัญคือ อัตราส่วนของบิทเรทในการส่งกับแถบความถี่ที่น้อยที่สุดที่ต้องการ สำหรับการมอดูเลทที่ต้องการความละเอียด ประสิทธิภาพของแถบความถี่มักจะถูกจัดให้เป็น 1 Hz เพื่อทำให้สามารถแยกจำนวนบิทที่สามารถส่งผ่านอุปกรณ์สำหรับแถบความถี่แต่ละเฮิรตซ์ได้ เราสามารถเขียนสมการประสิทธิภาพแถบความถี่ได้เป็น

ประสิทธิภาพแถบความถี่ = อัตราเร็วในการส่ง(bps) / แถบความถี่ที่น้อยที่สุด(Hz)

= บิท/ไซเคิล

การหาประสิทธิภาพแถบความถี่สำหรับการมอดูเลทแบบ BPSK , QPSK , 8PSKและ 16QAM จากตารางเป็นการแสดงแถบความถี่ที่น้อยที่สุดที่ใช้ส่งสัญญาณที่มีอัตราการส่ง 10 Mbps ด้วยการมอดูเลทในรูปแบบต่างๆ ดังแสดงได้ในตารางที่ 2.2

Modulation Technique	Minimum Bandwidth (MHz)
BPSK	10
QPSK	5
8PSK	3.33
16QAM	2.5

ตารางที่ 2.2 แสดงค่าแถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลทแบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

แทนค่าลงในสมการ จะได้ค่าประสิทะภาพแถบความถี่ดังนี้

$$BPSK : BWefficiecy = \frac{10Mbps}{10MHz} = \frac{1bps}{Hz} = \frac{1bit}{cycle}$$

$$QPSK : BWefficiecy = \frac{10Mbps}{5MHz} = \frac{2bps}{Hz} = \frac{2bit}{cycle}$$

$$8PSK : BWefficiecy = \frac{10Mbps}{3.33MHz} = \frac{3bps}{Hz} = \frac{3bit}{cycle}$$

ผลที่ได้แสดงให้เห็นว่า BPSK มีประสิทธิภาพต่ำสุด และ 16QAM มีประสิทธิภาพสูงสุด และ 8PSK ต้องการเพียง 1/3 ของแถบความถี่ที่ใช้ใน BPSK ในอัตราบิทเรทอินพุตที่เท่ากัน และสามารถสรุปข้อแตกต่างของ FSK , PSK และ QAM ได้ในตารางที่ 2.3

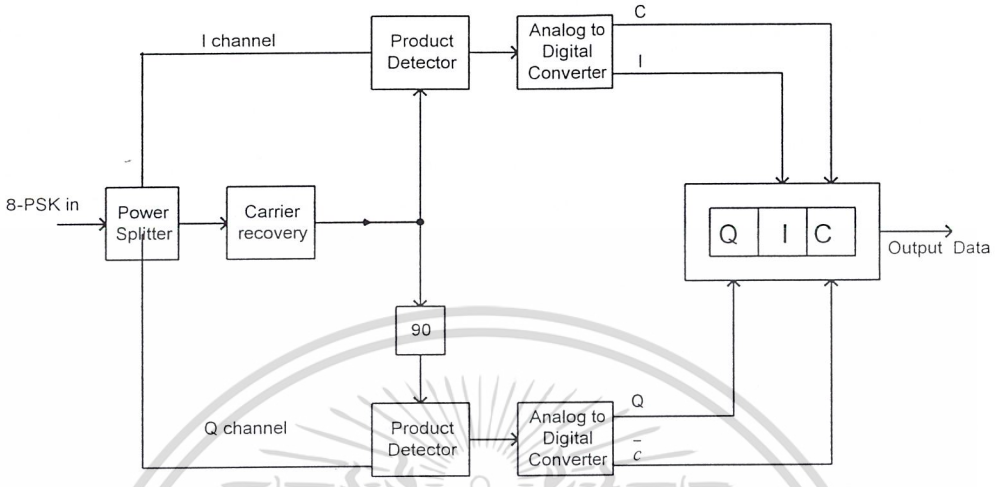
Modulation	Encoding	Bandwidth	Baud	Bandwidth efficiency (bps/Hz)
FSK	Single bit	$\geq f_b$	f_b	≤ 1
BPSK	Single bit	f_b	f_b	1
QPSK	Dibit	$f_b/2$	$f_b/2$	2
8PSK	Tribit	$f_b/3$	$f_b/3$	3
8QAM	Tribit	$f_b/3$	$f_b/3$	3
16PSK	Quadbit	$f_b/4$	$f_b/4$	4
16QAM	Quadbit	$f_b/4$	$f_b/4$	4

ตารางที่ 2.3 สรุปข้อแตกต่างของ FSK , PSK และ QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ภาครับของระบบ 8-PSK

หลักการของการดีมอดูเลทสัญญาณ 8PSK ดังรูปที่ 2.6 โดยวิธี coherent detection โดยการใช้คลื่นพาหะอ้างอิง



รูปที่ 2.6 แสดงบล็อคไดอะแกรมเครื่องรับ 8PSK

จากรูปแสดงบล็อคไดอะแกรมของเครื่องรับ 8-PSK เพาเวอร์สปริทเตอร์(Power splitter)นำสัญญาณอินพุต 8-PSK ส่งตรงไปยังโพรดัคดีเทคเตอร์(Product detector)ของช่อง I และ Q และ วงจรกู้สัญญาณพาหะ(Carrier recovery) วงจรกู้สัญญาณพาหะจะสร้างสัญญาณอ้างอิงที่เหมือนกับสัญญาณต้นกำเนิดขึ้นมาใหม่ สัญญาณ 8-PSK ที่เข้ามาจะถูกผสมกับสัญญาณพาหะที่สร้างใหม่ดังกล่าวในส่วนของโพรดัคดีเทคเตอร์ทางด้าน I และสัญญาณพาหะที่เลื่อนเฟสไป 90 องศา (quadrature carrier) ในโพรดัคดีเทคเตอร์ทางด้าน Q เอาต์พุตของโพรดัคดีเทคเตอร์คือสัญญาณ PAM 4 ระดับ (4-level PAM) ที่ป้อนให้กับวงจร 4-to-2-level analog to digital converter คือบิท I และ C เช่นเดียวกับเอาต์พุตจากช่องสัญญาณ Q ที่ออกจาก 4-to-2-level converter คือบิท Q และ C วงจรขนานเป็นอนุกรม จะรวมบิทคู่ I/C และ Q/C ให้เป็นบิทสัญญาณอนุกรม I,Q และ C ที่เป็นเอาต์พุตข้อมูลต่อเนื่อง

2.3 แอกทีฟฟิลเตอร์(Active Filter)

แอกทีฟฟิลเตอร์เป็นวงจรที่ทำหน้ากรองความถี่สัญญาณประกอบด้วย ทรานซิสเตอร์ หรือ ไอซี หรือ วงจรเลือกความถี่ (Frequency Selective) จำพวกรีซิสเตอร์ (Resister) กับ คาปาซิเตอร์ (Capacitor) วงจรให้ผ่านได้เฉพาะสัญญาณในช่วงความถี่ที่กำหนด ขณะเดียวกันจะขวางกั้น (Block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าวมิให้ปรากฏที่เอาต์พุต โดยทั่วไปแล้วฟิลเตอร์แบ่งออกเป็นหลายรูปแบบ ดังนี้

1. ฟิลเตอร์ (Filter) ชนิดอนาลอก (Analog) หรือดิจิตอล (Digital)
2. ฟิลเตอร์ประเภทแอคทีฟ (Active) หรือ แพสซีฟ (Passive)
3. ฟิลเตอร์ย่านความถี่เสียง (Audio Frequency) หรือย่านความถี่วิทยุ (Radio Frequency)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟิลเตอร์แบบอนาลอกออกแบบมาเพื่อใช้กับสัญญาณอนาลอก ส่วนฟิลเตอร์แบบดิจิตอลใช้งานกับสัญญาณดิจิตอล โดยอาศัยเทคนิคทางอนาลอกเข้าช่วย ถ้าคำนึงถึงชิ้นส่วนที่นำมาประกอบกันเป็นวงจรฟิลเตอร์แบ่งออกเป็น แพสซีฟ และ แอคทีฟ ชิ้นส่วนวงจรที่ใช้ในฟิลเตอร์แบบแพสซีฟ ได้แก่ รีซิสเตอร์ คาปาซิเตอร์ และ อินดักเตอร์ (Inductor) ส่วนวงจรกรองความถี่แบบแอคทีฟประกอบด้วยตัวขยายสัญญาณจำพวกทรานซิสเตอร์ หรือ ไอซี ในรูปออปแอมป์ และรีซิสเตอร์ และคาปาซิเตอร์ ทำงานร่วมกัน รีซิสเตอร์ คาปาซิเตอร์ และ อินดักเตอร์ ถือได้ว่าเป็นชิ้นส่วนประเภทแพสซีฟ การเลือกใช้ชิ้นส่วนชนิดใดนั้นขึ้นอยู่กับย่านความถี่สัญญาณที่ต้องการให้วงจรฟิลเตอร์ทำงาน ตัวอย่างเช่น วงจรฟิลเตอร์แบบ RC (RC filter) ใช้กับย่านความถี่เสียง หรือในย่านความถี่ต่ำ ในขณะที่วงจรฟิลเตอร์แบบ LC (LC filter) จะใช้ในย่านความถี่วิทยุ หรือย่านความถี่สูง

ข้อดีของแอคทีฟฟิลเตอน์ที่เหนือกว่าแพสซีฟฟิลเตอร์

1. การปรับอัตราขยายและปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดอัตราขยายขอออปแอมป์ชดเชยกับอัตราการลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราการขยาย ของวงจรทั้งหมดด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยายออปแอมป์ และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า RC เท่านั้น
2. ไม่มีปัญหาโหลดดิ้ง (Loading) จากการที่ออปแอมป์มีคุณสมบัติของอินพุตอิมพีแดนซ์สูงและเอาต์พุตอิมพีแดนซ์ต่ำวงจรแอคทีฟฟิลเตอร์อาศัยออปแอมป์จึงไม่เกิดปัญหาการโหลดดิ้งกับเอาต์พุต และอินพุตของวงจร ณ จุดที่นำแอคทีฟฟิลเตอร์เข้าไปต่อร่วม
3. ราคาถูกกว่า เนื่องจากแอคทีฟฟิลเตอร์มีราคาถูกกว่าแพสซีฟฟิลเตอร์ เพราะไม่ต้องอาศัยอินดักเตอร์ที่มีราคาแพง และใช้ออปแอมป์ซึ่งปัจจุบันราคาถูก

เราแบ่งแอคทีฟฟิลเตอร์ตามลักษณะการทำงานออกเป็น 5 ชนิด

ก. โลพาสฟิลเตอร์ (Low Pass Filter : LPF)

ข. ไฮพาสฟิลเตอร์ (High Pass Filter : HPF)

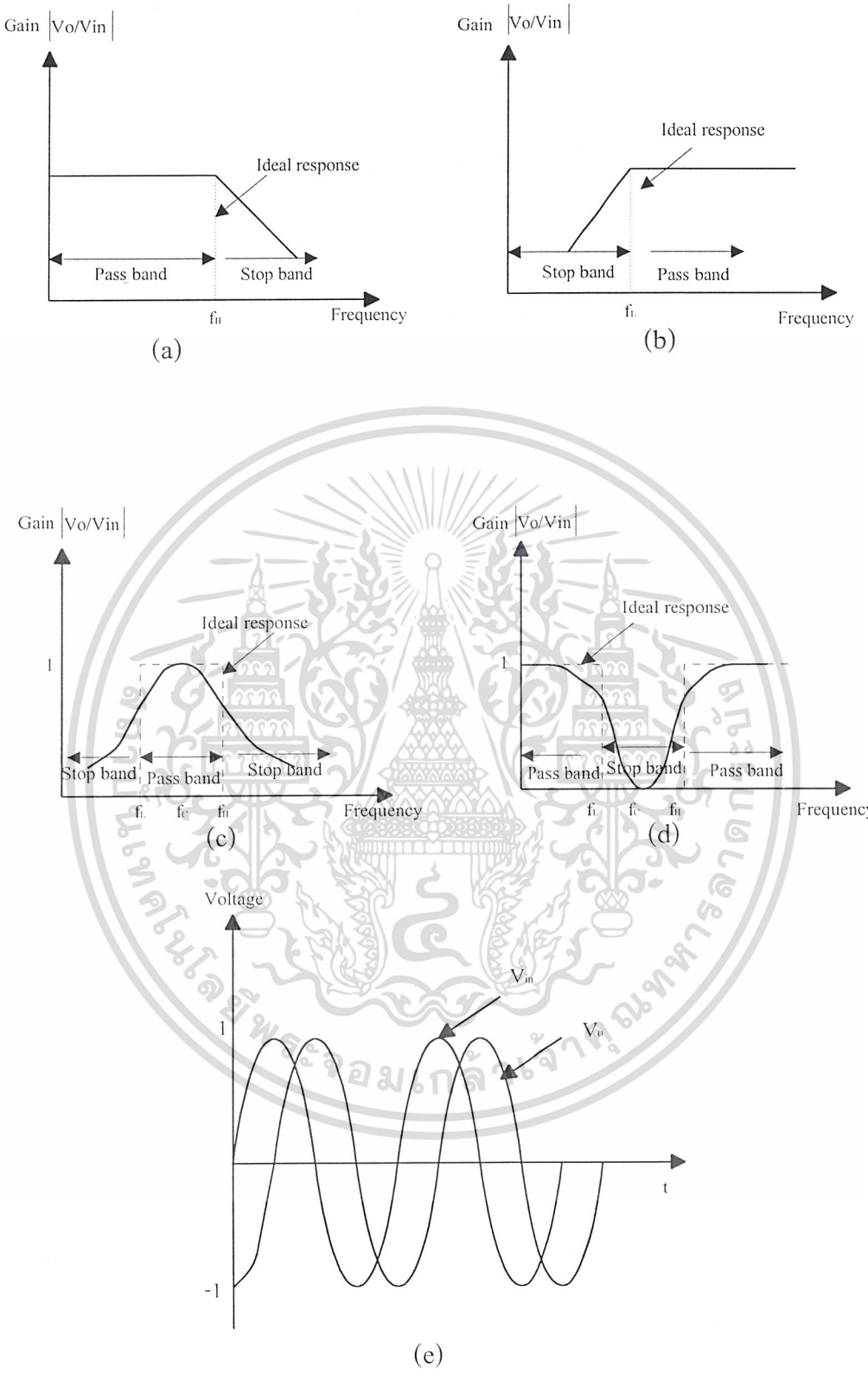
ค. แบนด์พาสฟิลเตอร์ (Band Pass Filter : BPF)

ง. แบนด์รีเจคท์ หรือ แบนด์สต๊อปฟิลเตอร์ (Band Reject or Band Stop Filter :BSF)

จ. ออลพาสฟิลเตอร์ (All Pass Filter)

การตอบสนองความถี่ (Frequency Response) ของฟิลเตอร์ทั้ง 5 ชนิด แสดงดังในรูปที่ 2.8 เส้นประ แสดงถึงการตอบสนอง (Response) ที่เป็นอุดมคติในทางทฤษฎี ส่วนการตอบสนองในทางปฏิบัติแสดงด้วยเส้นทึบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดงกราฟการตอบสนองความถี่ของวงจรฟิลเตอร์แบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.7(a) แสดงการตอบสนองความถี่ของโลพาสฟิลเตอร์ มีขนาดเกน (gain) คงที่ จากความถี่ 0 Hz ถึงความถี่ไฮคัทออฟ (High cutoff Frequency :f_H) ค่าของแบนด์วิธจึงเท่ากับ f_H ที่ f_H หรือตำแหน่งความถี่ไฮคัทออฟนั้นค่าเกนจะลดลง 3 เดซิเบล (dB) และที่ความถี่มากกว่า f_H นั่นคือ ที่ $f > f_H$ อัตราการขยายหรือเกนของวงจรก็จะลดลงทุกขณะอย่างต่อเนื่อง ตามความถี่สัญญาณอินพุตที่เพิ่มขึ้น ช่วงของความถี่ระหว่าง 0- f_H เราเรียกว่า พาสแบนด์ (Pass Band) ส่วนช่วงความถี่ที่สูงกว่า f_H ขึ้นไป ซึ่งเกิดการลดทอนของสัญญาณลงทุกขณะ เราเรียกว่า สต๊อปแบนด์ (Stop Band) จากการตอบสนองที่เป็นอุดมคติในเส้นประ แสดงให้เห็นว่าฟิลเตอร์เป็นอุดมคติ จะมีการลดทอนเป็นศูนย์ตลอดช่วงพาสแบนด์ และมีการลดทอนเป็นอนันต์ในช่วงสต๊อปแบนด์

รูปที่ 2.7(b) แสดงการตอบสนองความถี่ของไฮพาสฟิลเตอร์ เมื่อ f เป็นความถี่ใดๆ และ f_L เป็นความถี่โลคัทออฟ (Low cutoff Frequency :f_L) แล้วช่วงสต๊อปแบนด์จะอยู่ความถี่ $0 < f < f_L$ และช่วงพาสแบนด์อยู่ที่ $f > f_{LH}$

รูปที่ 2.7(c) แสดงการตอบสนองความถี่ของแบนด์พาสฟิลเตอร์ ช่วงพาสแบนด์อยู่ระหว่างสองความถี่คัทออฟ ได้แก่ ไฮคัทออฟฟรีเควนซี f_H และ โลคัทออฟฟรีเควนซี f_L ซึ่งเป็นตำแหน่งเกนลดลง 3 dB และช่วงสต๊อปแบนด์มีช่วงที่ $0 < f < f_L$ กับ $f > f_H$ โดยที่ $f > f_H$ เป็นค่าแบนด์วิธของแบนด์พาสฟิลเตอร์เท่ากับ $f_H - f_L$ และเซ็นเตอร์ฟรีเควนซี (Center Frequency) อยู่ที่ความถี่ f_c ปรากฏที่ตำแหน่งกึ่งกลางช่วงพาสแบนด์เกน (Pass Band Gain) พอดี

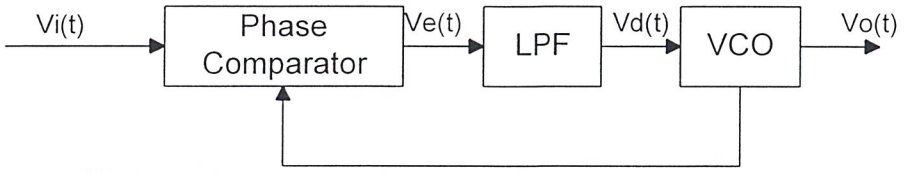
รูปที่ 2.7(d) แสดงการตอบสนองความถี่ของแบนด์รีเจคฟิลเตอร์ มีกราฟคุณลักษณะตรงข้ามกับแบนด์พาสฟิลเตอร์ กล่าวคือ ช่วงสต๊อปแบนด์อยู่ระหว่างความถี่คัทออฟสองจุด คือ f_H กับ f_L และช่วงพาสแบนด์อยู่ระหว่างอยู่ระหว่างความถี่ $f > f_H$ และ $0 < f < f_L$ อาจเรียกรีเจคฟิลเตอร์ว่า แบนด์สต๊อปฟิลเตอร์หรือแบนด์อลิมิเนชั่นฟิลเตอร์ (Band Elimination Filter) ก็ได้ ค่าแบนด์วิธของสต๊อปแบนด์เท่ากับ $f_H - f_L$ และตำแหน่งกึ่งกลางของช่วงสต๊อปแบนด์เป็นความถี่เซ็นเตอร์ฟรีเควนซี หรือ f_c

รูปที่ 2.7(e) แสดงเฟสชิป (Phase Shift) ระหว่างอินพุตโวลเตจ (V_{in}) กับเอาต์พุตโวลเตจ (V_o) ของออลพาสฟิลเตอร์ มีคุณสมบัติในการให้สัญญาณทุกความถี่ผ่านได้เท่าๆกัน กล่าวคือ ให้ V_o เท่ากับ V_{in} ในทุกความถี่ โดยปรากฏเฟสชิปขึ้นระหว่าง V_o กับ V_{in} ในบางความถี่ แต่ค่าความถี่สูงสุดซึ่ง V_o กับ V_{in} ยังคงมีขนาดเท่ากัน ขึ้นอยู่กับคุณสมบัติยูนิตี้เกนแบนด์วิธ (Unity Gain Bandwidth) ของออปแอมป์ที่ความถี่นี้เฟสชิปเกิดขึ้นระหว่าง V_o กับ V_{in} จะมีค่าสูงสุด

2.4 เฟสล็อกลูป (Phase-Lock Loop :PLL)

วงจรเฟสล็อคลูปประกอบด้วยฟังก์ชันบล็อคต่างๆคือ ส่วนที่เป็นเฟสดีเทคเตอร์ ,ส่วนวงจรกรองสัญญาณความถี่ต่ำผ่านและวงจรโวลเตจคอนโทรลออสซิลเลเตอร์ (VCO) เราจะอธิบายหลักการพื้นฐานของเฟสล็อคลูปโดยเริ่มพิจารณาจากวงจรลิเนียร์เฟสล็อคลูป แสดงบล็อคไดอะแกรมดังรูปที่ 2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงบล็อคไดอะแกรมของวงจรเฟสล็อคลูป

■ Lock range

จากคำจำกัดความของ lock range คือ ความแตกต่างระหว่างความถี่อ้างอิงและความถี่ของ VCO ซึ่งเป็นสาเหตุให้ดิจิตอลเฟสล็อคลูปอยู่ในสภาวะล็อค คือมีความถี่ตรงกันระหว่างความถี่อ้างอิงและสัญญาณเอาต์พุต เราสมมติว่าดิจิตอลเฟสล็อคลูปยังไม่เข้าสู่สภาวะล็อคในตอนเริ่มต้น และ VCO จะออสซิเลตที่ความถี่กลางของมัน $N\omega_0$ ความถี่อ้างอิงมีความแตกต่างจาก ω_0 เป็นค่า $\Delta\omega$ คือ $\omega_1 = \omega_0 + \Delta\omega$

■ Pull-in range

สมมติว่า ลิเนียร์เฟสล็อคลูปยังไม่อยู่ในสภาวะล็อค ความถี่ของสัญญาณอ้างอิงเป็น $\omega_1 = \omega_0 + \Delta\omega$ วงจร VCO ออสซิเลตที่ความถี่กลาง ω_0 ดังนั้นสัญญาณเอาท์ u_d ของวงจรเฟสดีเทคเตอร์ที่มีความถี่ $\Delta\omega$ ซึ่งเป็นสัญญาณไฟสลับ สมมติว่า $\Delta\omega$ มีค่ามากจนกระบวนการล็อคอินไม่เกิดขึ้น และสมมติว่าใช้วงจรกรองสัญญาณแบบ passive lag สัญญาณ u_d จะถูกลดทอนโดยลูปฟิลเตอร์ สัญญาณเอาต์พุต u_f จะเป็นสัญญาณไฟสลับและจะไปมอดูเลตแบบ FM ที่ VCO ในช่วงครึ่งไซเคิลบวกของ u_f ความถี่ของสัญญาณเอาต์พุต ω_2 จะเพิ่มขึ้น และจะลดลงในครึ่งไซเคิลลบ เนื่องจากค่าพีคของความถี่เอาต์พุต ω_2 จะไม่เท่ากับความถี่ ω_1 เลย เราก็จะคิดได้ว่าลิเนียร์เฟสล็อคลูปจะไม่เข้าสู่สภาวะล็อค

เราจะเห็นว่าค่า $\Delta\omega$ ระหว่างความถี่อ้างอิง ω_1 และความถี่เอาต์พุต ω_2 ไม่เป็นค่าคงที่ ซึ่งจะแปรผันโดยความถี่ที่ทำการมอดจากสัญญาณเอาต์พุตของ VCO ถ้าความถี่ $\omega_2(t)$ ถูกมอดในทิศทางบวก ค่า $\Delta\omega$ จะน้อยลงและเข้าสู่ค่าที่น้อยที่สุด $\Delta\omega_{min}$ ถ้า $\omega_2(t)$ ถูกมอดในทิศทางลบ $\Delta\omega$ จะมีค่าเพิ่มขึ้นจนเข้าถึงค่าสูงสุด $\Delta\omega_{max}$ เพราะว่าค่า $\Delta\omega(t)$ จะมีค่าไม่คงที่ ค่าที่ได้จากการมอดกับ VCO จะเป็นดังนี้ คือ ระยะเวลาของครึ่งไซเคิลที่ $\omega_2(t)$ ถูกมอดในทิศทางบวกจะยาวนานกว่าครึ่งไซเคิลซึ่ง $\omega_2(t)$ ถูกมอดในทางลบ ดังนั้นค่าความถี่เฉลี่ย ω_2 ของ VCO จะมีค่าสูงกว่าที่ไม่มีการมอด ความถี่ของ VCO ก็จะถูกดึงเข้าสู่ทิศทางที่ใกล้กับสัญญาณอ้างอิง

ความไม่สมมาตรของสัญญาณ $\omega_2(t)$ จะขึ้นอยู่กับค่าเฉลี่ยของ $\Delta\omega$ การไม่สมมาตรจะมีมากขึ้นถ้า $\Delta\omega$ มีค่าลดลง ถ้าค่าเฉลี่ยของ $\omega_2(t)$ ดึงไปในทิศทางที่เข้าใกล้ ω_1 (ซึ่งสมมติว่ามากกว่า ω_2) การไม่สมมาตรของสัญญาณ $\omega_2(t)$ จะมีมากขึ้น ซึ่งจะทำให้ ω_2 ถูกดึงไปในทิศทางบวกมากขึ้น กระบวน

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

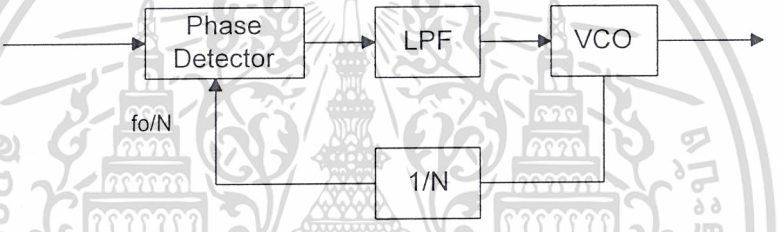
การนี้จะเกิดขึ้นใหม่เรื่อยๆภายใต้เงื่อนไขที่แน่นอน ดังนั้นความถี่เอาต์พุต ω_2 ก็จะดึงเข้าถึงความถี่อ้างอิง ω_1 ได้ในที่สุด ปรากฏการนี้เราจะเรียกว่า pull-in process

■ Pull-out range

ค่า pull-out range จะเป็นขนาดของช่วงความถี่ที่เราใช้สัญญาณอินพุตอ้างอิง ซึ่งจะทำให้เฟสล็อคลูปเสียการแทร็คกิ้งไป

2.3.1 การสังเคราะห์ความถี่ด้วยเฟสล็อคลูป

การสังเคราะห์ความถี่ด้วยเฟสล็อคลูปเป็นการสร้างความถี่ขึ้นใหม่ด้วยสัญญาณความถี่ที่มาตรฐาน โดยโครงสร้างสำหรับการสังเคราะห์ความถี่แสดงได้ดังรูปที่ 2.9



รูปที่ 2.9 แสดงโครงสร้างเฟสล็อคลูปสำหรับการสังเคราะห์ความถี่

จากรูปที่ 2.9 ส่วนที่เพิ่มมาจากโครงสร้างเฟสล็อคลูปที่ได้กล่าวแล้วคือ วงจรหาร N (1/N) โดยถ้า f_r เป็นสัญญาณอ้างอิงที่มีความถี่คงที่แล้ว ความถี่เอาต์พุตของ VCO จะเท่ากับขนาดของความถี่อ้างอิง (frequency referrence : f_r) คูณกับจำนวนหาร N ซึ่งเขียนได้คือ

$$f_o = f_r * N$$

หรือกล่าวได้ว่าความถี่เอาต์พุต (f_o) จะเป็นจำนวนเท่าของความถี่อ้างอิง ความถี่ที่ป้อนกลับจากวงจร VCO ที่นำมาเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์ (PD) หารด้วยจำนวน N ให้เท่ากับความถี่อ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

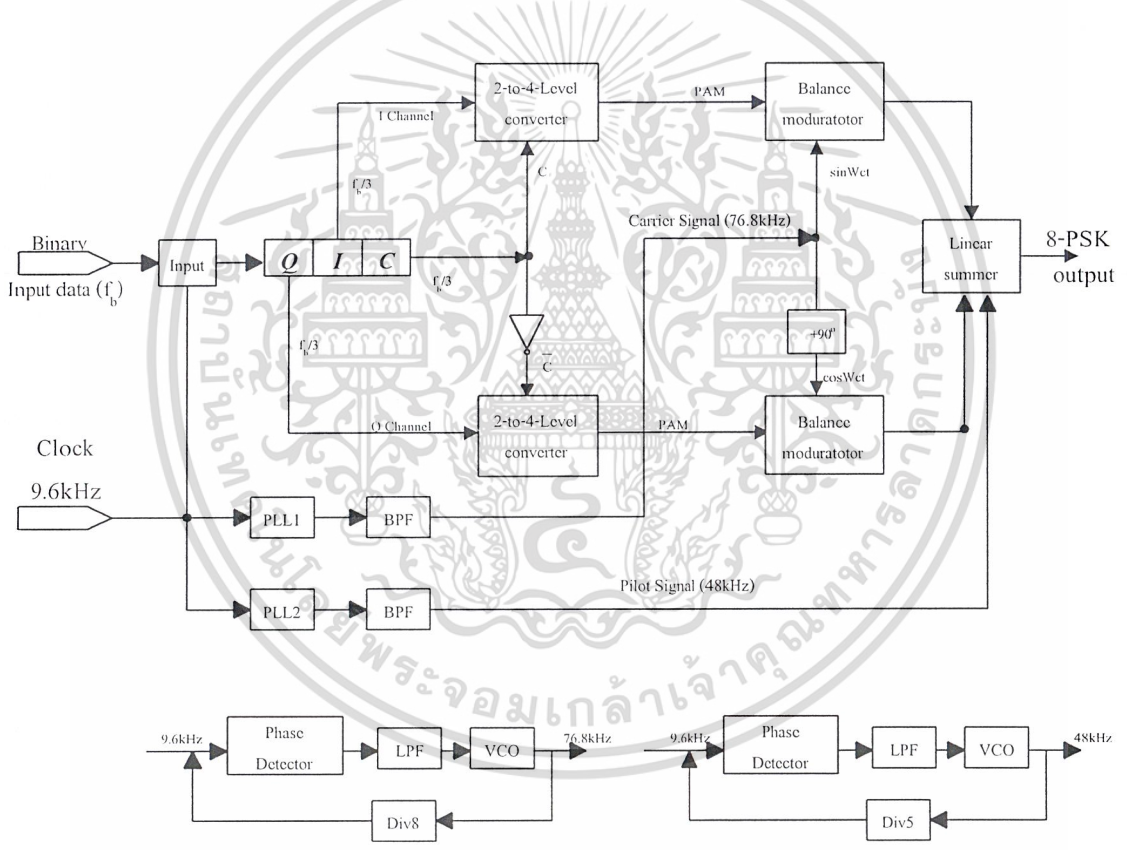
บทที่ 3
การคำนวณและการสร้าง

3.1 การออกแบบวงจรทางด้านภาคส่ง

ในการออกแบบทางด้านภาคส่งนั้นเราต้องเพิ่มเติมบางส่วนเพื่อความสะดวกทางการ synchronized เราต้องสร้างสัญญาณนำร่อง (Pilot Signal) และสัญญาณพาหะโดยใช้ สัญญาณนาฬิกา 9.6 kHz ใช้หลักการของเฟสล็อคลูปให้ได้ความถี่คงที่ แล้วทำการส่งไปยังภาครับต่อไป

ในส่วนของวงจรกำเนิดสัญญาณเรานำสัญญาณนาฬิกา 9.6 kHz มาทำเป็นพาหะ 76.8 kHz และทำเป็นสัญญาณนำร่อง 48 kHz

ส่วนรายละเอียดแต่ละบล็อกไดอะแกรมมีการออกแบบดังต่อไปนี้



a) PLL1 a) PLL2

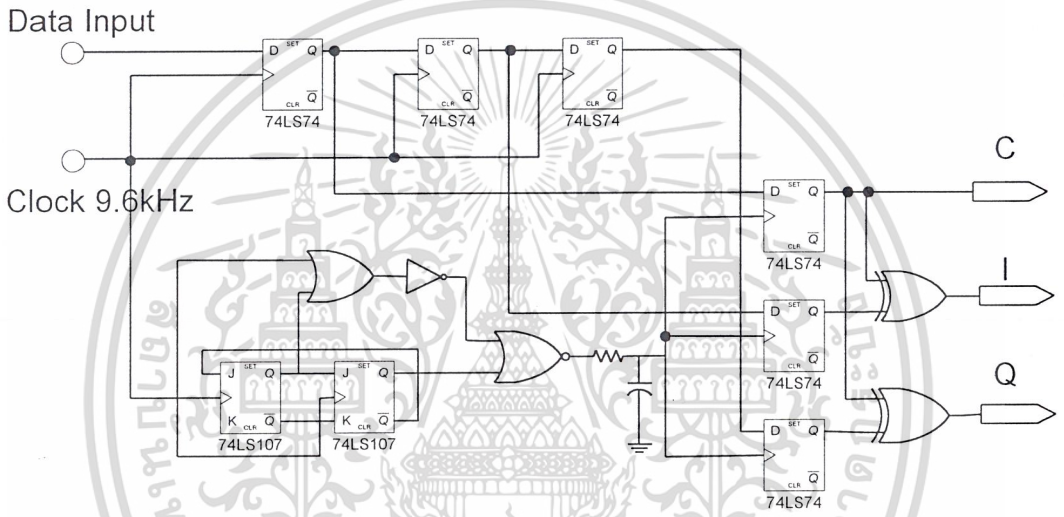
รูปที่ 3.1 แสดงรูปบล็อคไดอะแกรมที่ใช้ในการออกแบบวงจรภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 วงจรแยกสัญญาณดิจิตอล

เป็นวงจรที่ทำหน้าที่แบ่งข้อมูลดิจิตอลอินพุตออกเป็น 2 ชุดๆละ 2 บิท คือ ชุดที่ 1 มีบิท I, C และชุดที่ 2 มีบิท Q , $\bar{C}$ พร้อมทั้งใช้วงจรหน่วงเวลา 3 บิทเพื่อควบคุมให้อินพุตเข้ามาครบ 3 บิทเสียก่อน แล้วจึงทำการแยกสัญญาณ

จากรูปที่ 3.2 นั้นจะใช้ D ฟลิปฟลอป และ JK ฟลิปฟลอบ ทำงานร่วมกัน และที่เป็นส่วนสำคัญของวงจรส่วนนี้ก็คือ วงจรหน่วงเวลา 3 บิท หรือวงจรหาร 3 นั่นเอง ซึ่งจะช่วยควบคุมจังหวะการรับส่งข้อมูลให้เหมาะสมกัน แนวทางของวงจรนี้อาศัยหลักการทำงานของวงจรเปลี่ยนสัญญาณข้อมูลจากแบบอนุกรมเป็นแบบขนาน (Serial to Parallel) นั่นเอง



รูปที่ 3.2 วงจรแยกสัญญาณดิจิตอล

ข้อมูลที่ออกมาจากวงจรส่วนนี้ มีอยู่ 3 ส่วนคือ บิทบน (Inphase channel) บิทล่าง (Quadrature channel) บิทกลาง (Control channel) ข้อมูลที่ได้ออกมาจะมี 3 บิท และจะมีการเปลี่ยนแปลงครั้งละ 3 บิท และจะมีการเปลี่ยนแปลงครั้งละ 3 บิทพร้อมๆกัน จึงควรออกแบบเพื่อเปลี่ยนแปลงสัญญาณไบนารี่ดังกล่าวให้เป็น Gray Code เสียก่อน ทั้งนี้เพื่อช่วยลดอัตราความผิดพลาดของข้อมูลได้ เพราะว่าบิทข้างเคียงของ Gray Code จะต่างกันเพียง 1 บิทเท่านั้น ดังตารางที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

Binary Code	Gray Code
000	000
001	001
010	011
011	010
100	110
101	111
110	101
111	100

ตารางที่ 3.1 การแปลงรหัสจาก Binary Code ไปเป็น Gray Code

3.1.2 วงจรแปลง 2 บิทไปเป็น 4 ระดับ

ด้วยสาเหตุที่ว่าโครงงานนี้เป็นการมอดูเลทสัญญาณดิจิตอลกับสัญญาณพาหะที่วงจรบาลานซ์มอดูเลเตอร์ และสัญญาณดิจิตอลที่จะนำไปมอดูเลท จะต้องเป็นสัญญาณเส้นเดียว แต่สัญญาณที่เราแยกออกมาเป็นสัญญาณ 2 เส้น (2 บิท) จึงต้องมีการแปลงสัญญาณจาก 2 เส้น ให้เป็นสัญญาณเส้นเดียว ซึ่งมีหลายระดับเสียก่อน ในที่นี้ความเปลี่ยนแปลงอันเกิดจากสัญญาณ 2 บิท มีโอกาสเป็นไปได้ $2^2 = 4$ ระดับและจากข้อกำหนดของไอซีเบอร์ MC 1496 ที่กำหนดให้ระดับของสัญญาณอินพุตที่จะนำไปมอดูเลทนั้นมีขนาดไม่เกิน 300 mV_{p-p} จึงได้ทำการกำหนดระดับการแปลงสัญญาณให้เป็นไปดังตารางที่ 3.2

I	C	Output
0	0	-0.541V
0	1	-1.307V
1	0	0.541V
1	1	1.307V

Q	$\bar{C}$	Output
0	0	-0.541V
0	1	-1.307V
1	0	0.541V
1	1	1.307V

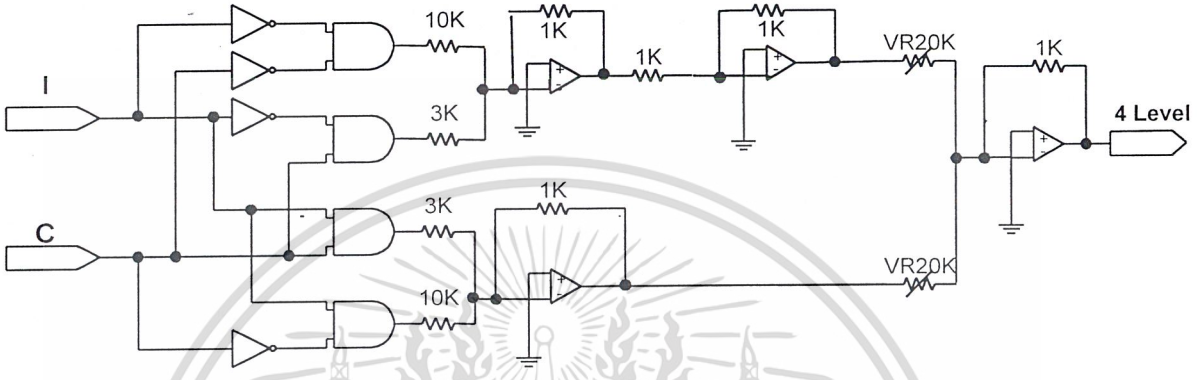
ตารางที่ 3.2 แสดงระดับการแปลงสัญญาณ

ในส่วนของอุปกรณ์ที่ใช้ในวงจรส่วนนี้จะอาศัย NOT Gate และ AND Gate ให้ทำหน้าที่แปลงสัญญาณ 2 บิท ให้เป็น 4 เอาต์พุตแล้วออปแอมป์ จะทำหน้าที่แปลงทั้ง 4 เอาต์พุต ให้เป็น 4 ระดับ ดังข้อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

32618

กำหนดในตารางที่ 3.2 ดังนั้นจึงได้ทำการออกแบบวงจรแปลงสัญญาณดิจิตอล 2 บิท ไปเป็น 4 ระดับ เพื่อจะนำไปมอดูเลทกับสัญญาณพาหะ ดังรูปที่ 3.3



รูปที่ 3.3 วงจรแปลงสัญญาณ 2 บิท ไปเป็น 4 ระดับ

3.1.3 วงจรกำเนิดสัญญาณพาหะ 76.8 kHz

วงจรในส่วนนี้จะทำหน้าที่กำเนิดสัญญาณไซน์ (sine wave) ความถี่ 76.8 kHz เพื่อใช้เป็นสัญญาณพาหะและนำไปคูณกับสัญญาณหลายระดับที่วงจรบาลานซ์มอดูเลเตอร์ เนื่องจากระบบการส่งสัญญาณดิจิตอลนี้ มีหัวใจสำคัญคือการซิงโครไนซ์เซชั่น (synchronization) ที่ทำให้จังหวะการทำงานของอุปกรณ์อิเล็กทรอนิกส์ในทั้งภาคส่งและภาครับมีความสัมพันธ์กันอย่างแม่นยำ ดังนั้นจึงอาศัยสัญญาณนาฬิกาที่ได้จากข้อมูลที่ทำการส่ง ในโครงงานนี้ต้องการส่งข้อมูลความเร็ว 9.6 kbps จึงมีสัญญาณนาฬิกา 9.6 kbps มาใช้อ้างอิงกับสัญญาณพาหะที่มีความถี่ 76.8 kHz โดยใช้วงจรเฟสล็อคลูป (Phase Lock Loop) ช่วยล็อคสัญญาณนาฬิกาและคูณความถี่ให้สูงขึ้น แต่เนื่องจากเราไม่สามารถคูณความถี่ 9.6 kbps ให้เป็น 76.8 kbps ได้โดยตรง จึงอาศัยสัญญาณนาฬิกาของวงจรหารความถี่ซึ่งอยู่ในวงจรแยกสัญญาณดิจิตอล ซึ่งจะมีความถี่ 76.8 kbps และได้เลือกใช้ความถี่สัญญาณนาฬิกา 9.6 kbps ไปคูณกับ 8 ซึ่งก็จะได้ความถี่ 9.6*8 = 76.8 kbps พอดี

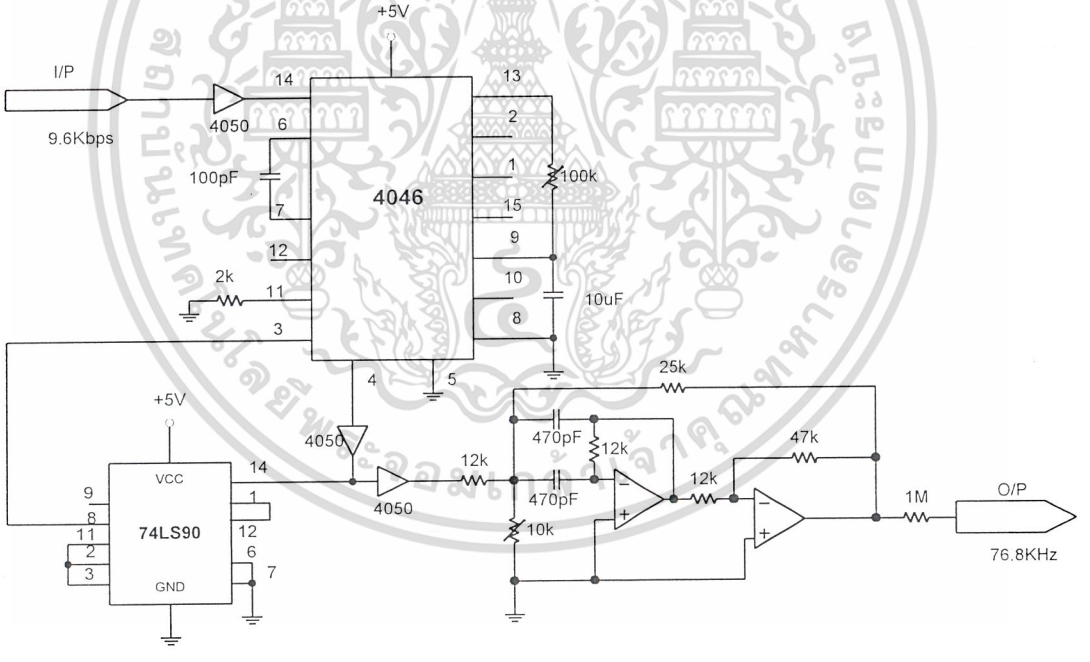
วงจรในส่วนนี้จะใช้ไอซีเฟสล็อคลูปเบอร์ 4046 เพราะมีอุปกรณ์ประกอบภายนอกไม่ยุ่งยาก แต่ช่วงการล็อคความถี่จะกว้างมาก ถึงอย่างไรก็ถือว่าไม่ใช่วัตถุประสงค์หลักในการทำโครงงานครั้งนี้เพียงแต่ต้องการทำเป็นวงจรคูณความถี่เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของวงจรหารความถี่ลดลง 8 เท่า นั้นก็เลือกใช้ไอซี 74LS90 เพราะสะดวกในการต่อวงจร และมีความเชื่อถือได้พอสมควร อนึ่งสัญญาณที่ได้จากวงจรในส่วนนี้ ควรเป็นสัญญาณนาฬิกาที่สมบูรณ์แบบ จึงได้นำไอซีเบอร์ 4050 มาประกอบร่วมด้วย เพราะจะช่วยทำให้เป็นสัญญาณที่สวยงามมากยิ่งขึ้น

เมื่อสัญญาณนาฬิกาผ่านวงจรเฟสล็อคลูปแล้ว ก็ยังคงเป็นสัญญาณรูปสี่เหลี่ยมอยู่ ซึ่งไม่สามารถนำไปเป็นสัญญาณพาหะได้ เพราะสัญญาณรูปสี่เหลี่ยมนั้นจะประกอบไปด้วยฮาโมนิกมากมายไม่เหมาะสมในการนำไปมอดูเลท ดังนั้นจึงได้ใช้วงจรกรองช่วงความถี่ (Band Pass Filter) เพื่อทำการกรองเอาความถี่ฮาร์โมนิกที่ 1 ซึ่งเป็นสัญญาณไซน์เวฟ ที่มีความถี่เท่ากับสัญญาณสี่เหลี่ยม หรืออาจจะกล่าวง่ายๆว่า เป็นการกรองเอาสัญญาณไซน์เวฟออกจากสัญญาณรูปสี่เหลี่ยม (square wave) นั่นเอง

ดังนั้นเราจะได้ความถี่สัญญาณนาฬิกา 76.8 kbps จากการนำสัญญาณนาฬิกาความถี่ 9.6 kbps ผ่านวงจรเฟสล็อคลูป และภายในวงจรเฟสล็อคลูปนั้นมีวงจรหาร 8 ประกอบอยู่ด้วย ดังแสดงให้เห็นวงจรทั้งหมด ในรูปที่ 3.4



รูปที่ 3.4 วงจรกำเนิดสัญญาณพาหะ 76.8 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

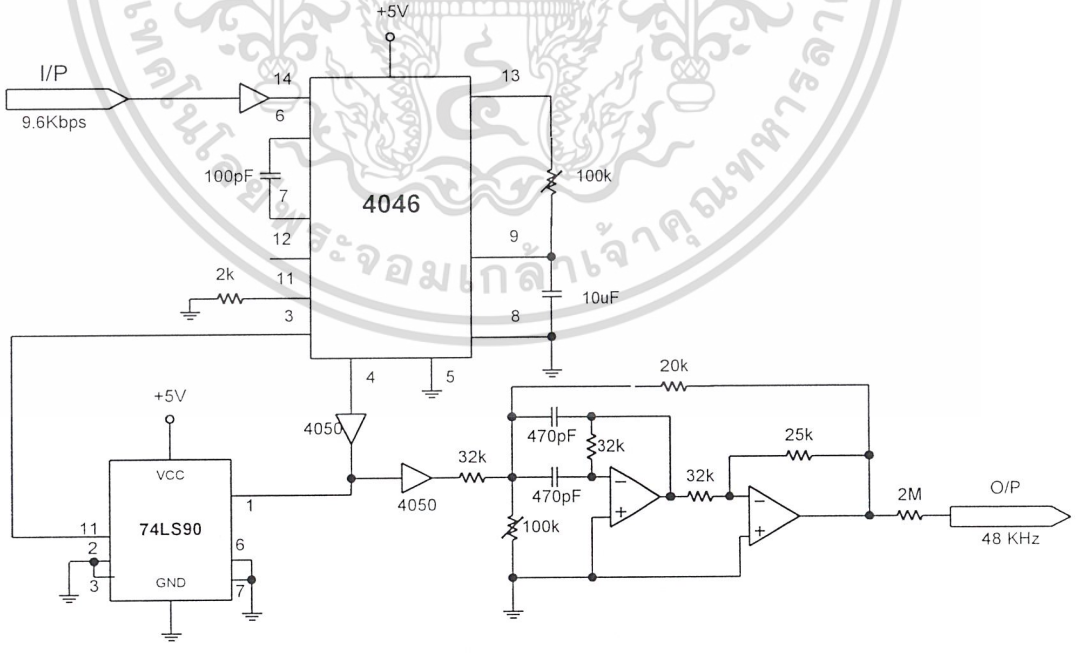
3.1.4 วงจรกำเนิดสัญญาณไพล็อทโทน 48 kHz

สัญญาณไพล็อทโทนในที่นี้คือ สัญญาณไซน์เวฟ ที่มีความถี่ใกล้เคียงกันกับสัญญาณพาหะและมีความสัมพันธ์กันกับสัญญาณนาฬิกา เพราะอาศัยสัญญาณนาฬิกาคูณความถี่ขึ้นมา ใช้หลักการและวิธีการเหมือนกันกับวงจรกำเนิดสัญญาณพาหะนั่นเอง โดยในโครงงานนี้จะเลือกกำเนิดที่ความถี่ 48 kHz ซึ่งจะอยู่ทางด้านที่มีความถี่ต่ำกว่า (Lower Side Band) ของสเปคตรัม การมอดูเลทในโครงงานนี้ สาเหตุที่เลือกแบบวงจรคูณความถี่ คือจะได้ใช้วงจรหาร 5 ภายในวงจรเฟสล็อคลูป ในส่วนนี้ได้เลย และที่ความถี่ 48 kHz นี้เป็นช่วงที่สเปคตรัมอยู่ในตำแหน่งของนัลที่ 2 (Second-null) พอดี จึงทำให้สามารถหลีกเลี่ยงสัญญาณรบกวนอันอาจจะเกิดจากการมอดูเลทแบบ 8 PSK นี้ได้ในระดับหนึ่ง

ถ้าหากพิจารณาอีกแง่หนึ่งจะพบว่าเป็นการใช้ช่วงความถี่ที่ไม่ค่อยมีประสิทธิภาพเท่าใดนัก เพราะแทนที่จะวางสัญญาณไพล็อทโทนไว้ตรงนัลแรก (First null) เพื่อเป็นการใช้ช่วงความถี่ที่แคบลงมาอีก แต่จุดประสงค์ในโครงงานนี้ก็เพื่อที่จะศึกษาหลักการ ความเป็นไปได้ และความน่าจะเป็นของความผิดพลาดของการมอดูเลทแบบ 8 PSK ซึ่งเมื่อเทียบกับการมอดูเลทแบบ BPSK จะได้เป็นแนวทางในการศึกษาพัฒนาระบบการส่งสัญญาณดิจิตอลต่อไป

สำหรับวงจรที่ใช้ก็จะเหมือนกันกับวงจรกำเนิดสัญญาณพาหะ 76.8 kHz เกือบทุกอย่างแตกต่างกันเพียงตรงวงจรหารความถี่เท่านั้น คือเปลี่ยนจากวงจรหาร 8 มาเป็นวงจรหาร 5 เท่านั้นเอง รวมไปถึงวงจรกรองช่วงความถี่ผ่านที่ใช้ ก็เปลี่ยนความถี่ศูนย์กลางจากเดิมที่ 76.8 kHz ให้กลายมาเป็น 48 kHz แทน

รายละเอียดของวงจรกำเนิดสัญญาณไพล็อทโทน แสดงได้ดังรูปที่ 3.5



รูปที่ 3.5 วงจรกำเนิดสัญญาณไพล็อทโทน 48 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.5 วงจรกรองช่วงความถี่

วงจรกรองช่วงความถี่นี้ จะทำหน้าที่คัดเลือกสัญญาณในช่วงความถี่ที่ต้องการให้สามารถผ่านวงจรออกไปได้ โดยที่ไม่ถูกลดทอน หน้าที่ของวงจรกรองช่วงความถี่นี้จะทำหน้าที่กรองเอาสัญญาณไซน์เวฟออกจากสัญญาณรูปสี่เหลี่ยม ภายในส่วนของวงจรกำเนิดสัญญาณพาหะและวงจรกำเนิดสัญญาณไพล็อททโทนและยังช่วยกำจัดสัญญาณรบกวน ที่เกิดจากวงจรข้างเคียงก่อนจะส่งออกไปยังภาครับอีกด้วย

วงจรกรองช่วงความถี่ แบ่งเป็น 2 อย่าง คือ narrow band filter และ wide band filter โดย วงจร narrow band filter จะมีค่าแบนด์วิธมากกว่า 0.1 เท่าของความถี่รีโซแนนซ์ ($B < 0.1w_r$) และวงจร wide band filter จะมีค่าแบนด์วิธน้อยกว่า 0.1 เท่าของความถี่รีโซแนนซ์ อัตราส่วนระหว่างความถี่รีโซแนนซ์กับแบนด์วิธเราเรียกว่า quality factor : Q

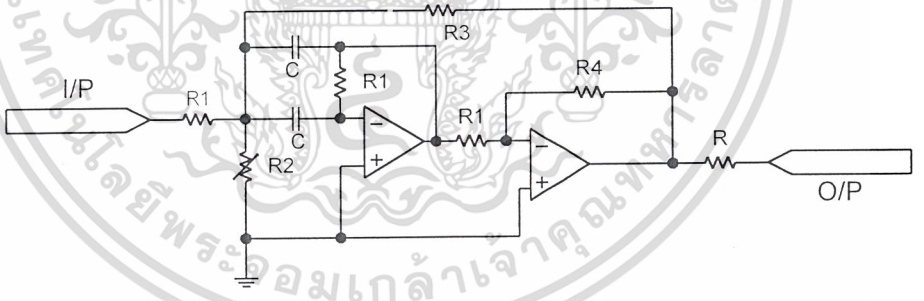
$$B = \frac{Wr}{Q}$$

$$Q = \frac{Wr}{B}$$

หรือ

นั่นคือค่า Q ของวงจร narrow band filter จะมีค่ามากกว่า 10 และค่า Q ของวงจร wide band filter จะมีค่าน้อยกว่า10

สำหรับวงจรกรองความถี่ย่านผ่านเราใช้วงจร Positive Feedback Filter แสดงดังรูป 3.6



รูปที่ 3.6 วงจร Positive Feedback Band-Pass Filter

การออกแบบเราจะกำหนดความถี่ที่ต้องการ กำหนดค่า Q หรือ BW และแกนที่ต้องการ ขั้นตอนในการออกแบบมีดังนี้

1) เลือกค่าคาปาซิเตอร์ และหาค่า K parameter จากกราฟที่ 1 (ในภาคผนวก)
2) ใช้ค่า K ที่หาได้จากข้อ 1) มาหาค่าความต้านทานจากกราฟที่ 2 (ในภาคผนวก) ซึ่งค่าความต้านทานนี้จะขึ้นอยู่กับค่า Q, BW และแกนที่เรากำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) เลือกค่าความต้านทานให้ตรงตามกราฟที่ได้และทำการสร้างวงจร

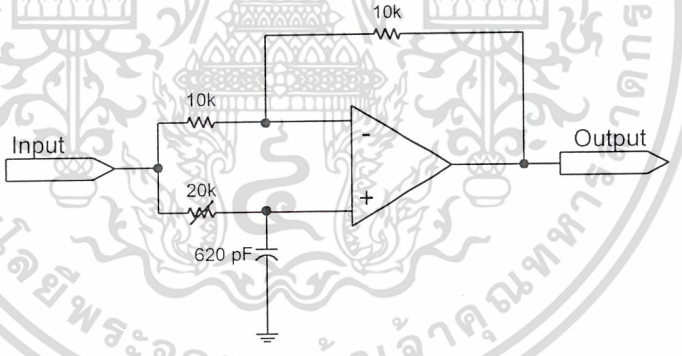
จากการออกแบบ

- ที่ความถี่ 76.8 kHz เราจะใช้ค่า Q=20, G=10 เลือกค่า C=470pF ดังนั้นจะได้ค่า K=2.8 จะได้ค่า R_1=12k, R_2=5k, R_3=25k, R_4=47k
- ที่ความถี่ 48 kHz เราจะใช้ค่า Q=40, G=10 เลือกค่า C=470pF ดังนั้นจะได้ค่า K=4 จะได้ค่า R_1=32k, R_2=10k, R_3=38k, R_4=27k

3.1.6 วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา

จากการที่ทำการแยกสัญญาณดิจิตอลออกเป็น 2 ส่วนคือ บิทบนและบิทล่าง เราจึงมีวงจรบาลานซ์มอดูเลเตอร์ 2 วงจร และมีสัญญาณพาหะ 2 ชุด เพื่อที่จะเป็นตัวพาหะนำสัญญาณดิจิตอลออกไปด้วยเช่นกัน ในโครงงานนี้จะเลือกใช้สัญญาณพาหะที่มีความถี่ตรงกัน แต่มีความต่างเฟสกัน 90 องศา โดยใช้สัญญาณ พาหะไซน์เวฟที่ได้จากวงจรกำเนิดสัญญาณพาหะโดยตรง ไปมอดูเลทกับสัญญาณ 4 ระดับ ที่ทางด้านบิทบน และใช้สัญญาณพาหะโคไซน์เวฟ (cosine wave) ที่ได้จากวงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา ไปมอดูเลทกับสัญญาณ 4 ระดับที่อยู่ทางด้านบิทล่าง

ดังนั้นจึงทำการออกแบบ วงจรเลื่อนเฟสโดยอาศัยหลักการของวงจร All-Pass Filter ชนิด V_o ล้าหลัง V_{in} ดังมีรายละเอียดดังต่อไปนี้



รูปที่ 3.7 วงจร All-Pass Filter ชนิด V_o ล้าหลัง V_{in}

จากรูป จะได้ว่า

$V_o / V_{in} = 1+2\pi R_2C_2 / 1+2\pi R_2C_2$

$= 1$

$\theta = -2\tan^{-1}(2 R_2C_2)$

เมื่อ V_o / V_{in} = อัตราขยายของวงจร

θ = ความแตกต่างทางเฟสระหว่าง V_o และ V_{in}

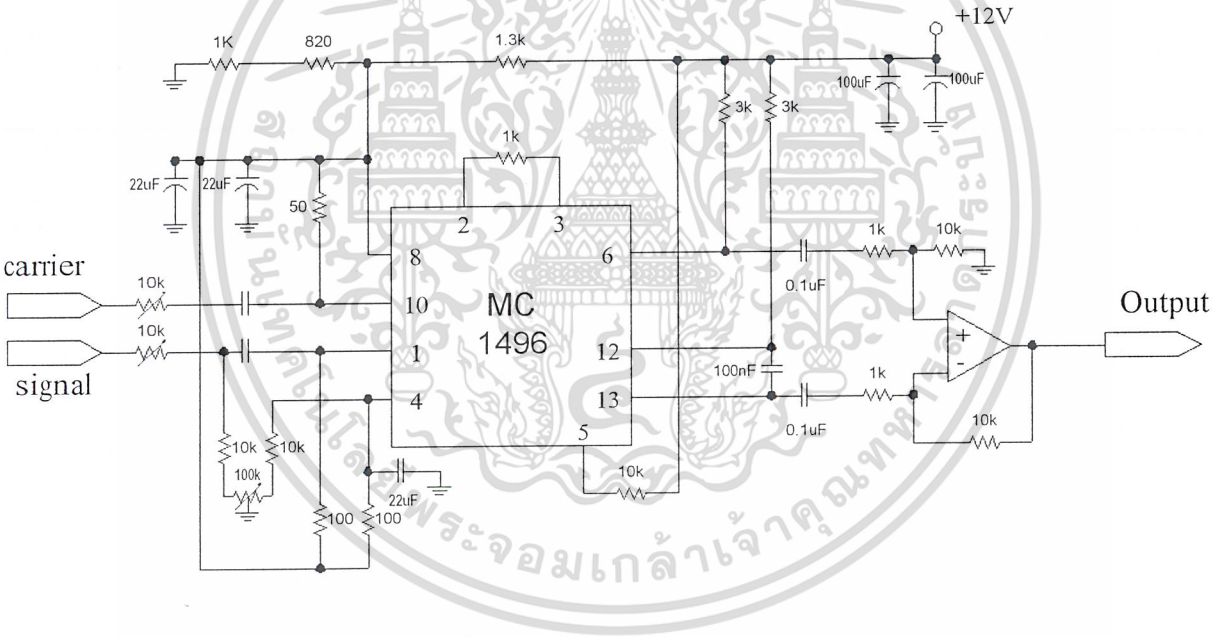
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.7 วงจรบาลานซ์มอดูเลเตอร์

วงจรนี้นับว่าเป็นส่วนสำคัญยิ่งของวงจร เพราะจะทำหน้าที่คูณสัญญาณพาหะ กับสัญญาณ 4 ระดับ ซึ่งจะมี 2 ส่วน เหมือนกันกับสัญญาณ 4 ระดับที่แยกออกจากกัน โดยวงจรแยกสัญญาณดิจิตอลกล่าวคือจะมีทั้งบิทบน และบิทล่าง

วงจรบาลานซ์มอดูเลเตอร์ทางด้านบิทบน ก็จะทำหน้าที่คูณสัญญาณ 4 ระดับที่มาจากวงจรแยกสัญญาณดิจิตอลทางด้านบิทบน กับสัญญาณพาหะที่ได้รับมาจากวงจรกำเนิดสัญญาณพาหะโดยตรง ส่วนวงจรบาลานซ์มอดูเลเตอร์ทางด้านบิทล่าง ก็จะทำหน้าที่คูณสัญญาณ 4 ระดับ ที่ได้มาจากวงจรแยกสัญญาณดิจิตอลทางด้านบิทล่าง กับสัญญาณพาหะที่ได้มาจากวงจรกำเนิดสัญญาณพาหะ แล้วผ่านวงจรเลื่อนเฟส 90 องศา

ทั้งนี้รายละเอียดของวงจรบาลานซ์มอดูเลเตอร์ทั้งวงจรจะเหมือนกันทุกประการดังแสดงไว้ในรูปที่ 3.8



รูปที่ 3.8 วงจรบาลานซ์มอดูเลเตอร์

ข้อควรคำนึงในวงจรส่วนนี้คือ ข้อกำหนดของไอซีเบอร์ MC 1496 ที่ได้ระบุไว้ว่าขนาดของสัญญาณที่จะนำมามอดูเลทควรมีค่าประมาณ 400 mV_{p-p} และขนาดของสัญญาณพาหะควรมีค่าประมาณ 100 mV_{rms} ดังนั้นสัญญาณทั้งสองก่อนที่จะเข้าไปคูณกัน ต้องผ่านตัวต้านทานปรับค่าได้เสียก่อน เพื่อจะได้ควบคุมระดับสัญญาณทั้งสองให้เป็นไปตามข้อกำหนดดังกล่าว

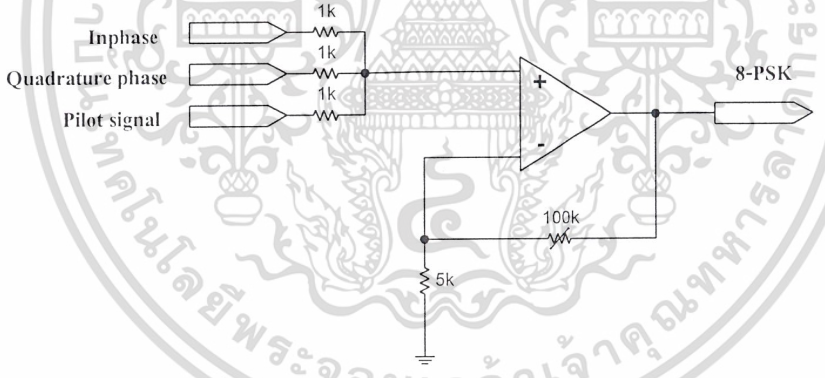
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไอซีเบอร์ MC 1496 นี้เป็นวงจรมอดูเลเตอร์ที่ใช้กับสัญญาณขนาดเล็ก (small signal) จึงเกิดการรบกวนค่อนข้างง่าย จนต้องใช้ตัวเหนี่ยวนำ (L) ต่อร่วมไปในวงจรด้วย เพื่อกำจัดสัญญาณรบกวนความถี่สูงขึ้นภายในวงจรบาลานซ์มอดูเลเตอร์เอง

สัญญาณที่ได้จากวงจรบาลานซ์มอดูเลเตอร์นั้นมีขนาดเล็กมาก จึงต้องผ่านวงจรขยายความแตกต่าง (Differential Amplifier) โดยอาศัยสัญญาณที่ออกจากขา 6 และขา 12 (สัญญาณที่ขา 6 และขา 12 จะกลับเฟสกันอยู่) ป้อนเข้าที่ขา 2 และ ขา 3 ของออปแอมป์ตามลำดับ และสามารถกำหนดอัตราขยายจากอัตราส่วนตัวต้านทานทำนองเดียวกันกับวงจรขยายสัญญาณแบบกลับเฟส (Inverting Amplifier)

3.1.8 วงจรรวมสัญญาณมอดูเลท

เมื่อได้ทำการมอดูเลทสัญญาณทั้งสองส่วนแล้ว ก็ต้องนำมารวมกันแล้วส่งออกไปพร้อมๆกัน ซึ่งสัญญาณที่ต้องการส่งไปนั้นจะประกอบด้วยสัญญาณจากวงจรบาลานซ์มอดูเลเตอร์ ทางด้านบิทบนสัญญาณจากวงจรบาลานซ์มอดูเลเตอร์ ทางด้านสัญญาณไพล็อทโทน และทั้งสามสัญญาณจะต้องถูกส่งออกไปพร้อมกันด้วยวงจรขยายรวมสัญญาณ (Summing Amplifier) โดยสัญญาณดังกล่าวจะถูกส่งไปตามสายโคแอกเชียล ดังจะได้แสดงวงจรรวมสัญญาณในรูปที่ 3.9

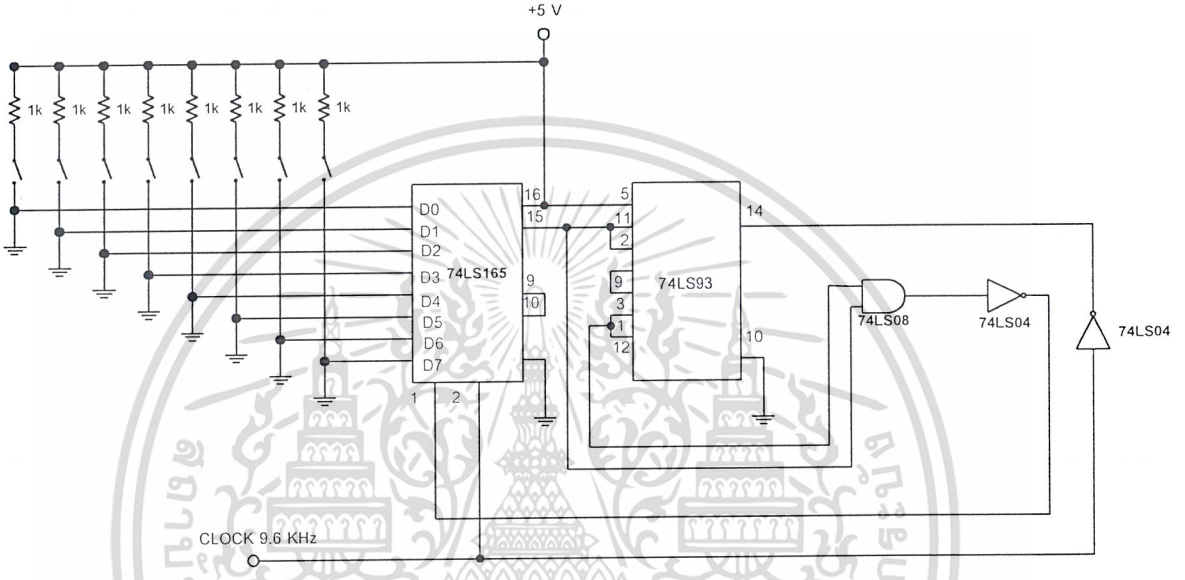


รูปที่ 3.9 วงจรรวมสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.9 วงจรกำเนิดสัญญาณข้อมูลความเร็ว 9600 bps

จากการออกแบบทางด้านส่งเพื่อการทดลองทดสอบการทำงานของวงจรนั้นต้องสร้างชุดกำเนิดสัญญาณข้อมูลความเร็ว 9600 bps ขึ้นมาโดยมีวงจรดังรูปที่ 3.10

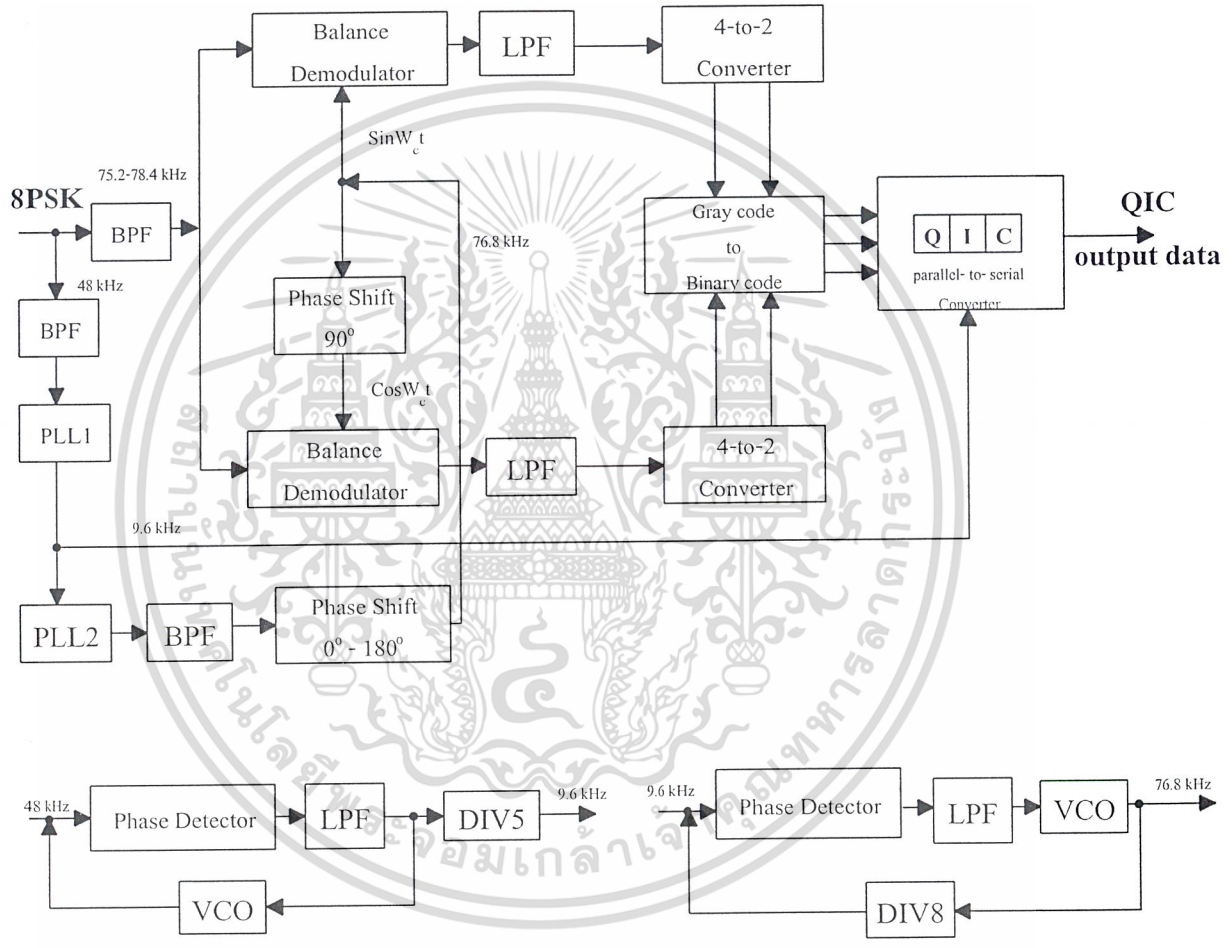


รูปที่ 3.10 วงจรกำเนิดสัญญาณข้อมูลความเร็ว 9600 bps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบและทดลองวงจรทางด้านภาครับ

ในการออกแบบและทดลองวงจรทางด้านภาครับนั้น ต้องมีการเพิ่มเติมบางส่วนจากทฤษฎี เพื่อให้สอดคล้องกับสัญญาณที่ส่งมาจากด้านภาคส่ง ซึ่งสัญญาณที่ส่งมามีความถี่ของสัญญาณนำร่อง 48 kHz ร่วมกับสัญญาณเข้ารหัส ดังนั้นต้องมีวงจรกรองสัญญาณ 2 ส่วนคือ วงจรกรองความถี่ช่วง 75.2-78.4 kHz และวงจรกรองความถี่ 48 kHz ดังแสดงในรูป



a) PLL1 b) PLL2

รูปที่ 3.11 แสดงบล็อคไดอะแกรมของ 8-PSK ดีมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนำร่อง 48 kHz ได้นำมาใช้ในการกู้สัญญาณพาหะ sine wave 76.8 kHz ผ่านวงจรเลื่อนเฟส 90 องศา นำมาทำการดีเทคเตอร์สัญญาณที่เข้ารหัส ผ่านวงจรกรองความถี่ต่ำผ่าน แล้วนำสัญญาณมาเข้ารหัส Gray Code to Binary Code จากนั้นทำการเลื่อนสัญญาณข้อมูลแบบขนานเป็นอนุกรม ก็จะได้สัญญาณเอาต์พุตออกมา

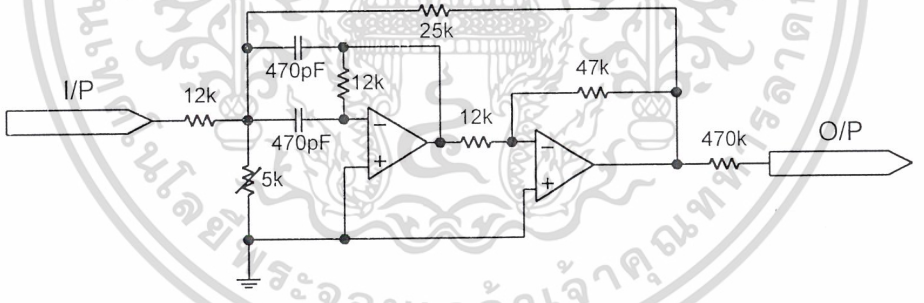
ส่วนของสัญญาณนาฬิกาได้มาจากการเอาสัญญาณนำร่องมาผ่านวงจรเฟสล็อคลูปได้สัญญาณนาฬิกา 9.6 kHz ใช้ในการเลื่อนข้อมูลออกทางเอาต์พุต

วงจรกรองช่วงความถี่ช่วง 75.2 – 78.4 kHz

สัญญาณที่เข้ารหัสถูกส่งมาตามสายโคแอกเชียล ทางภาครับต้องทำการกรองสัญญาณช่วงความถี่ที่ภาครับต้องการเท่านั้น พร้อมทั้งกำจัดสัญญาณรบกวนได้อีกทางหนึ่งด้วย

ในการออกแบบเราใช้วงจรกรองช่วงความถี่ผ่านแบบป้อนกลับทางบวก เลือกค่า Q = 20 และค่าคาปาซิเตอร์เท่ากับ 470 pF ทำการเลือกค่าความต้านทานดังรายละเอียดการออกแบบแสดงไว้ในส่วนวงจรกรองช่วงความถี่ผ่านเหมือนทางด้านภาคส่ง

เรานำวงจรกรองช่วงความถี่ผ่านต่อแบบ Cascade เพื่อจะได้ช่วงความถี่ที่ต้องการมีความคมขึ้น ดังวงจรรูปที่ 3.12



รูปที่ 3.12 วงจรกรองความถี่ช่วง 75.2 –78.4 kHz

3.2.1 วงจรกู้สัญญาณนาฬิกา

สัญญาณ 8PSK จะถูกส่งมาตามสายโคแอกเชียลเข้ามายังภาครับ ดังนั้นจำเป็นต้องมีวงจรกรองช่วงความถี่ (Band Pass Filter) ในการตรวจรับสัญญาณมอดูเลทในขั้นต้น เพื่อทำหน้าที่คัดเลือกสัญญาณที่สามารถเข้าสู้ภาครับได้ให้อยู่ได้ในเฉพาะช่วงความถี่ที่ต้องการเท่านั้น อีกทั้งยังเป็นการกำจัดสัญญาณรบกวนได้อีกทางหนึ่งด้วย ในที่นี้จะมีวงจรกรองช่วงความถี่ผ่านอยู่ 2 วงจร จะใช้กรองความถี่ของสัญญาณมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

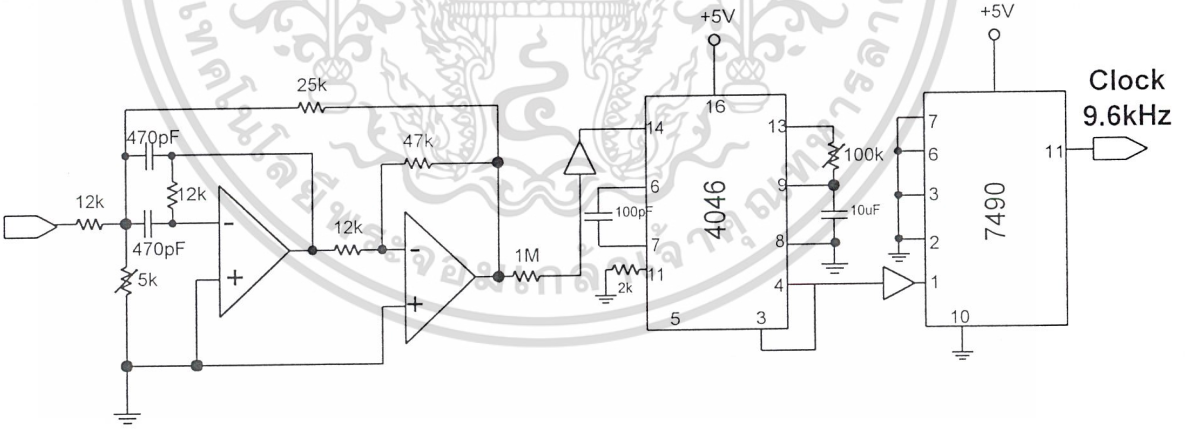
ช่วง 76.8 kHz และใช้กรองความถี่ของสัญญาณไพล็อททโทน 48 kHz ลักษณะรายละเอียดการออกแบบและทดลองวงจรจะคล้ายกับวงจรกรองช่วงความถี่ผ่านของวงจรภาคส่ง

เมื่อสัญญาณไพล็อททโทน 48 kHz ผ่านวงจรกรองช่วงความถี่แล้วจะถูกส่งต่อไปยังวงจรกู้สัญญาณนาฬิกาเพื่อทำการแปลงสัญญาณรูปไซน์เวฟให้เป็นสัญญาณรูปสแควร์เวฟ จากนั้นก็จะผ่านวงจรหาร 5 เพื่อทำให้สัญญาณรูปสแควร์เวฟ 48 kHz มีความถี่ลดลงเหลือ 9.6 kHz ซึ่งจะมีค่าเท่ากับสัญญาณนาฬิกา 9.6 kHz ที่ภาคส่งพอดี

เนื่องจากการที่ทางด้านภาคส่งนั้น สัญญาณไพล็อททโทนได้มาจากการอ้างอิงสัญญาณนาฬิกาโดยใช้วงจรเฟสล็อคลูปทำการล็อคสัญญาณเอาไว้ แล้วคูณความถี่ให้สูงขึ้น หลังจากนั้นใช้วงจรกรองช่วงความถี่ช่วยทำให้สัญญาณรูปสแควร์เวฟกลายเป็นสัญญาณไซน์เวฟ และที่ภาครับนั้นเมื่อรับสัญญาณไพล็อททโทนได้แล้วจะใช้วงจรเฟสล็อคลูปล็อคสัญญาณเอาไว้พร้อมกับแปลงสัญญาณไซน์เวฟให้เป็นสัญญาณรูปสแควร์เวฟ จากนั้นก็ใช้วงจรหารความถี่เพื่อให้ความถี่ลดลงเหลือ 9.6 kHz จากนั้นจึงนำสัญญาณที่ได้นี้ไปเข้าวงจรเฟสล็อคลูปเพื่อให้ได้สัญญาณนาฬิกาคือ 9.6 kHz

ดังนั้นจะเห็นได้ว่าการสร้างสัญญาณไพล็อคโทนของทางภาคส่งและสัญญาณนาฬิกาของทางภาครับนั้นจะอาศัยการอ้างอิงและเปรียบเทียบกับสัญญาณที่มีอยู่แล้วในวงจร อีกทั้งยังเป็นสัญญาณตัวเดียวกันอีกด้วย รวมทั้งการใช้วงจรเฟสล็อคลูปซึ่งมีการผลิตความถี่และวงจรเปรียบเทียบเฟสสัญญาณอยู่ภายใน จึงเป็นการทำให้เกิดการซิงค์โครไนซ์ (Synchronization) กันระหว่างภาคส่งและภาครับ

วงจรกู้สัญญาณนาฬิกา (Clock Recovery) แสดงได้ดังในรูปที่ 3.13

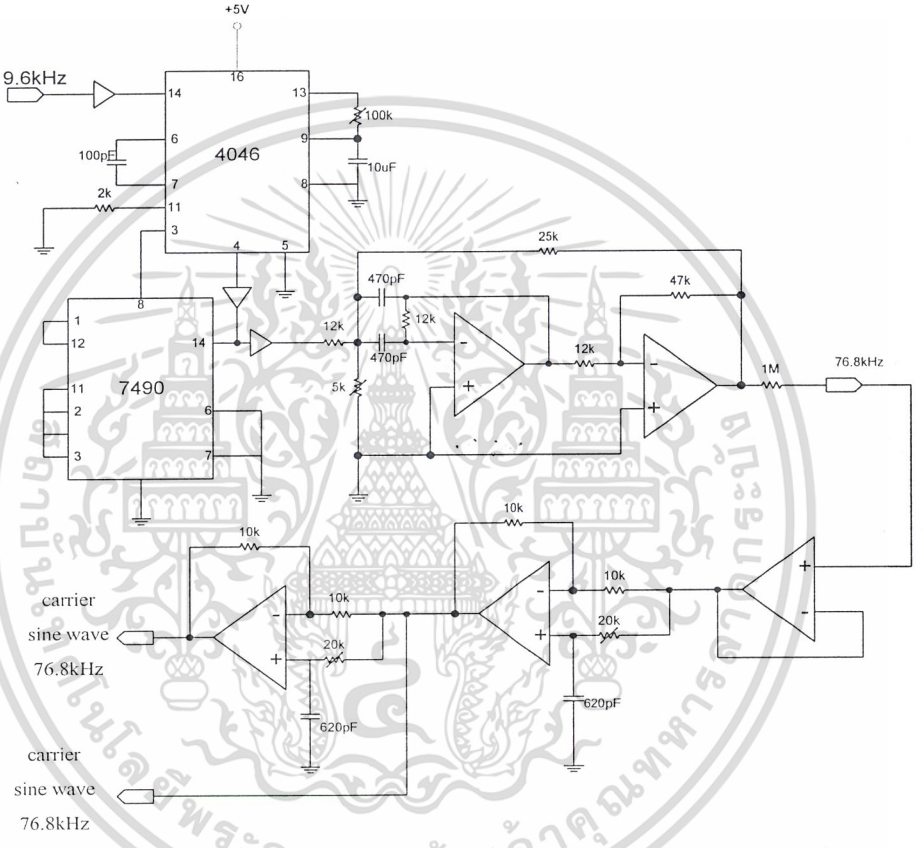


รูปที่ 3.13 แสดงวงจรกู้สัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 วงจรกู้สัญญาณพาหะ

วงจรกู้สัญญาณพาหะ (Carrier Recovery) นั้นก็จะใช้หลักการและวิธีการเหมือนกันทุกประการกับวงจรกำเนิดสัญญาณพาหะของทางด้านภาคส่ง กล่าวคือจะอาศัยสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณนาฬิกามาใช้เป็นสัญญาณอ้างอิง แล้วคูณความถี่ให้สูงขึ้นโดยใช้วงจรเฟสล็อคลูป จากนั้นก็จะผ่านวงจรกรองช่วงความถี่ทำการคัดเลือกเฉพาะสัญญาณไซน์เวฟเพื่อนำไปเป็นสัญญาณพาหะ สำหรับใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ต่อไป ดังจะแสดงวงจรกู้สัญญาณพาหะในรูปที่ 3.14



รูปที่ 3.14 แสดงวงจรกู้สัญญาณพาหะ

เนื่องจากสัญญาณมอดูเลทที่รับได้นั้นจะประกอบไปด้วยสัญญาณดิจิตอลที่ถูกแบ่งออกเป็น 2 ส่วน และสัญญาณข้อมูล 2 บิทที่ถูกแยกออกมานั้นจะกลายเป็นสัญญาณ 4 ระดับแล้วมอดูเลทกับสัญญาณพาหะโดยวงจรบาลานซ์มอดูเลเตอร์ และนำมารวมกันระหว่างสัญญาณมอดูเลททางด้านอินเฟสที่ใช้สัญญาณไซน์เวฟเป็นสัญญาณพาหะ และสัญญาณมอดูเลททางด้านควอดราเจอร์เฟสที่ใช้สัญญาณโคไซน์เป็นสัญญาณพาหะ ในทำนองเดียวกัน ณ ที่ภาครับนี้สัญญาณพาหะก็ต้องมี 2 ชุดด้วย โดยจะใช้สัญญาณไซน์เวฟที่ได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

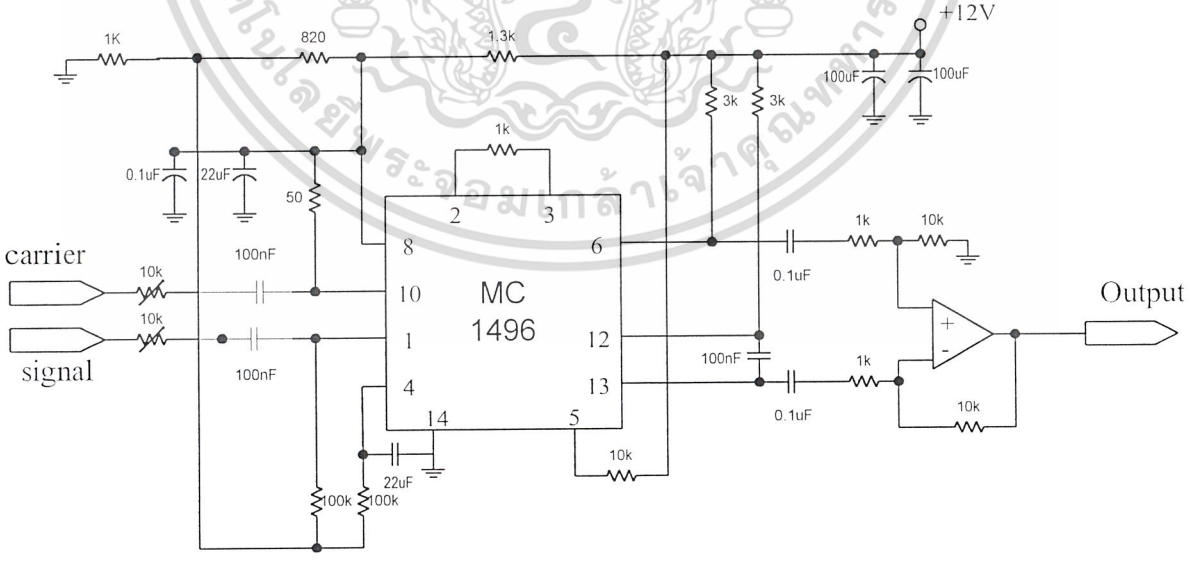
วงจรกู้สัญญาณพาหะเพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ของทางด้านอินเฟสและจะใช้สัญญาณโคไซน์ที่ได้มาจากวงจรกู้สัญญาณพาหะแล้วผ่านวงจรเลื่อนเฟส 90 องศา เพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ของด้านควอดราเจอร์เฟส

สำหรับวงจรเลื่อนเฟสสัญญาณ 90 องศานั้น ก็จะใช้วงจรกรองผ่านทุกความถี่ (All-Pass Filter) ชนิด V_0 ล้าหลัง V_{in} เหมือนกันทุกประการกับทางด้านภาคส่ง ทั้งนี้เพื่อเป็นการสอดคล้องกับทางด้านภาคส่งนั่นเอง

3.2.3 วงจรบาลานซ์ดีมอดูเลเตอร์

วงจรบาลานซ์ดีมอดูเลเตอร์ (Balance Demodulator) ที่ภาครับนี้จะเป็นวงจรที่มีลักษณะคล้ายกับวงจรบาลานซ์มอดูเลเตอร์ (Balance Modulator) ที่ใช้ในภาคส่ง มีข้อแตกต่างกันอยู่เล็กน้อยเท่านั้น ดังจะแสดงในรูปที่ 3.15 และด้วยเหตุที่ว่าข้อมูลที่ส่งมา 2 ส่วน ดังนั้นในภาครับนี้ก็จะต้องมีวงจรบาลานซ์ดีมอดูเลเตอร์ 2 วงจร เพื่อที่จะทำหน้าที่แยกวงจรสัญญาณ 4 ระดับที่ถูกมอดูเลทมากับสัญญาณพาหะ ทั้งทางด้านอินเฟสและทางด้านควอดราเจอร์เฟส โดยอาศัยสัญญาณพาหะจากวงจรกู้สัญญาณโดยตรงคือไซน์เวฟคูณเข้ากับสัญญาณมอดูเลทที่วงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านอินเฟส และสัญญาณพาหะจากวงจรเลื่อนเฟส 90 องศาคือ สัญญาณรูปโคไซน์คูณเข้ากับสัญญาณมอดูเลทที่วงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านควอดราเจอร์เฟส

ลักษณะและรายละเอียดของวงจรบาลานซ์ดีมอดูเลเตอร์ทั้ง 2 วงจรจะเหมือนกันทุกประการจึงแสดงไว้เพียงวงจรเดียว ดังรูปที่ 3.15



รูปที่ 3.15 แสดงวงจรบาลานซ์ดีมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเอาต์พุตของวงจรบาลานซ์ดีมอดูเลเตอร์ทั้ง 2 วงจรนั้นจะประกอบไปด้วยสัญญาณที่เกิดจากการคูณกันระหว่างสัญญาณมอดูเลทกับสัญญาณพาหะ และผลที่ได้จะมีทั้งสัญญาณความถี่สูงและสัญญาณความถี่ต่ำ ดังนั้นจึงต้องใช้วงจรกรองความถี่ต่ำเพื่อทำหน้าที่ตัดสัญญาณความถี่สูงทิ้งไปเหลือเพียงสัญญาณ 4 ระดับในส่วนของความถี่ต่ำเท่านั้น

3.2.4 วงจรแปลงสัญญาณ 4 ระดับไปเป็น 2 บิท

เมื่อสัญญาณผ่านวงจรบาลานซ์ดีมอดูเลเตอร์ทางภาครับแล้ว จะมีสัญญาณความถี่ต่ำ และเมื่อผ่านขบวนการตัดสินระดับและจัดรูปพัลซ์แล้วจะเป็นสัญญาณ 4 ระดับเหมือนกับสัญญาณก่อนเข้าวงจรบาลานซ์ดีมอดูเลเตอร์ของทางด้านภาคส่ง ดังนั้นเราจำเป็นต้องเปลี่ยนสัญญาณ 4 ระดับดังกล่าวให้เป็นสัญญาณดิจิตอล 2 บิท เพื่อที่จะนำไปรวมกันเป็นข้อมูลดิจิตอลส่งออกต่อไป

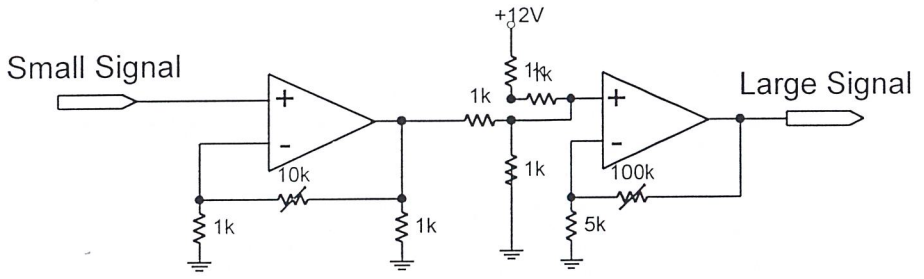
เพื่อความสะดวกในการตรวจจับระดับ จึงได้ทำการออกแบบวงจรขยายสัญญาณ 4 ระดับ ซึ่งมีขนาดเล็กไม่ถึง 1 V_{p-p} ให้เป็นสัญญาณขนาดใหญ่ 8 V_{p-p} ดังจะได้สรุปการขยายสัญญาณ 4 ระดับ และแสดงไว้ในตารางที่ 3.3

อินพุท 4 ระดับ (สัญญาณขนาดเล็ก)	เอาต์พุต 4 ระดับ (สัญญาณขนาดใหญ่)
+150 mV	9V
+50 mV	7V
-50 mV	5V
+150 mV	3V

ตารางที่ 3.3 แสดงการขยายสัญญาณก่อนเข้าวงจรตรวจระดับสัญญาณ

ในส่วนของวงจรขยายสัญญาณดังกล่าวนี้ได้ทำการออกแบบและทดลองวงจรแสดงไว้ในรูปที่ 3.16 โดยอาศัยวงจรวงจรขยายออปแอมป์แบบไม่กลับขั้ว (non-inverting) ใช้ตัวต้านทานแบ่งแรงดันจาก 12 โวลท์ให้ได้ 6 โวลท์เข้าที่ขา 3 ของออปแอมป์ เพื่อใช้เป็นระดับอ้างอิงในการขยายสัญญาณ ส่วน R_f ของวงจรนี้จะใช้ V_R =10k เพื่อใช้ปรับอัตราขยายของ วงจรให้เป็นไปตามข้อกำหนดที่ได้ทำการออกแบบไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 แสดงวงจรขยายสัญญาณ 4 ระดับ

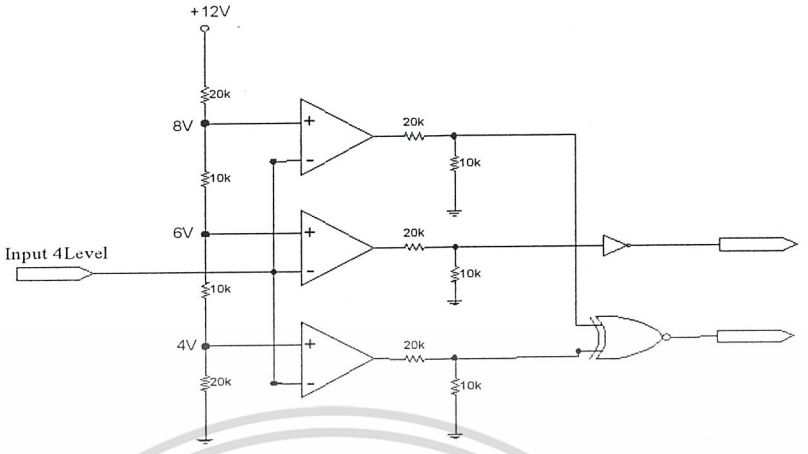
เมื่อระดับของสัญญาณมีขนาดใหญ่เพียงพอกับการตรวจจับระดับและมีความสามารถในการป้องกันความผิดพลาดของสัญญาณแล้วจะถูกส่งไปเข้าวงจรแปลงระดับให้เป็น 2 บิท โดยจะใช้วงจรเปรียบเทียบแรงดัน ซึ่งอาศัยออปแอมป์ทำหน้าที่ตรวจจับระดับสัญญาณ ทำการตั้งจุดการทำงานของ ออปแอมป์ไว้ที่ระดับต่างๆกัน ดังนี้คือ 4 โวลท์. 6 โวลท์ และ 8 โวลท์ เมื่อสัญญาณเข้ามาออปแอมป์แต่ละตัวจะตรวจสอบเปรียบเทียบความต่างศักย์ระหว่างขากลับขั้วและขาไม่กลับขั้ว แล้วให้เอาต์พุตตามลักษณะสมบัติของตัวมัน และที่ขาเอาต์พุตแต่ละตัวจะใช้ตัวต้านทานแบ่งแรงดันเพื่อที่ต้องการเพียง 5 โวลท์ในขณะที่สัญญาณเข้ามาต่ำกว่าระดับที่ตั้งไว้ และ 0 โวลท์ในขณะที่สัญญาณเข้ามาสูงกว่าระดับที่ตั้งไว้ของออปแอมป์ทุกตัว ทั้งนี้เพื่อให้สอดคล้องกับอินพุทที่ EX-OR Gate (ไฟเลี้ยงของออปแอมป์จะป้อน +12 โวลท์ เข้าที่ขา 7 และขา 4 ลงกราวน์ ดังนั้นเอาต์พุตของออปแอมป์จะไม่มีโอกาสเป็นไฟลบ)

ดังนั้นเอาต์พุตจากวงจรที่ได้จาก EX-OR Gate แล้วจะเป็นสัญญาณดิจิตอลที่เป็น Gray Code ดังตารางที่ 3.4

สัญญาณอินพุท	เอาต์พุตจากเกร์โค้ด
9V	1 1
7V	1 0
5V	0 0
3V	0 1

ตารางที่ 3.4 แสดงการตรวจจับระดับสัญญาณแล้วแปลงสัญญาณเป็นรหัสเกรย์โค้ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 แสดงวงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท

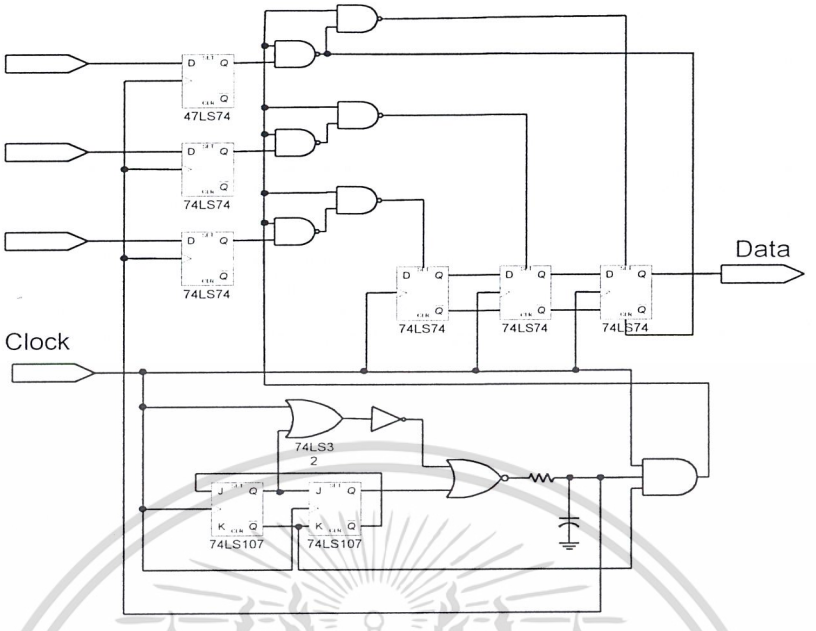
3.2.5 วงจรรวมสัญญาณดิจิตอล

เป็นวงจรที่มีลักษณะและหน้าที่การทำงานตรงกันข้ามกับวงจรแยกสัญญาณดิจิตอลของทางด้านภาคส่ง เพื่อทำหน้าที่รวมสัญญาณดิจิตอลทั้งด้านอินเฟสและด้านควอดราเจอร์เฟส (บิทบนและบิทล่าง) จากสัญญาณดิจิตอลแบบขนานไปเป็นสัญญาณดิจิตอลแบบอนุกรม โดยอาศัยการควบคุมจังหวะการทำงานของฟลิปฟลอปจากสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณนาฬิกา

สัญญาณดิจิตอลที่ได้มาจากภาคส่งในส่วนของวงจรแยกสัญญาณดิจิตอลนั้นจะเป็นรหัสเกรย์โค้ด จึงต้องทำการแปลงสัญญาณให้เป็นรหัสไบนารี่ โดยอาศัยหลักการทำงานของ EX-OR Gate เหมือนกันกับทางด้านภาคส่ง

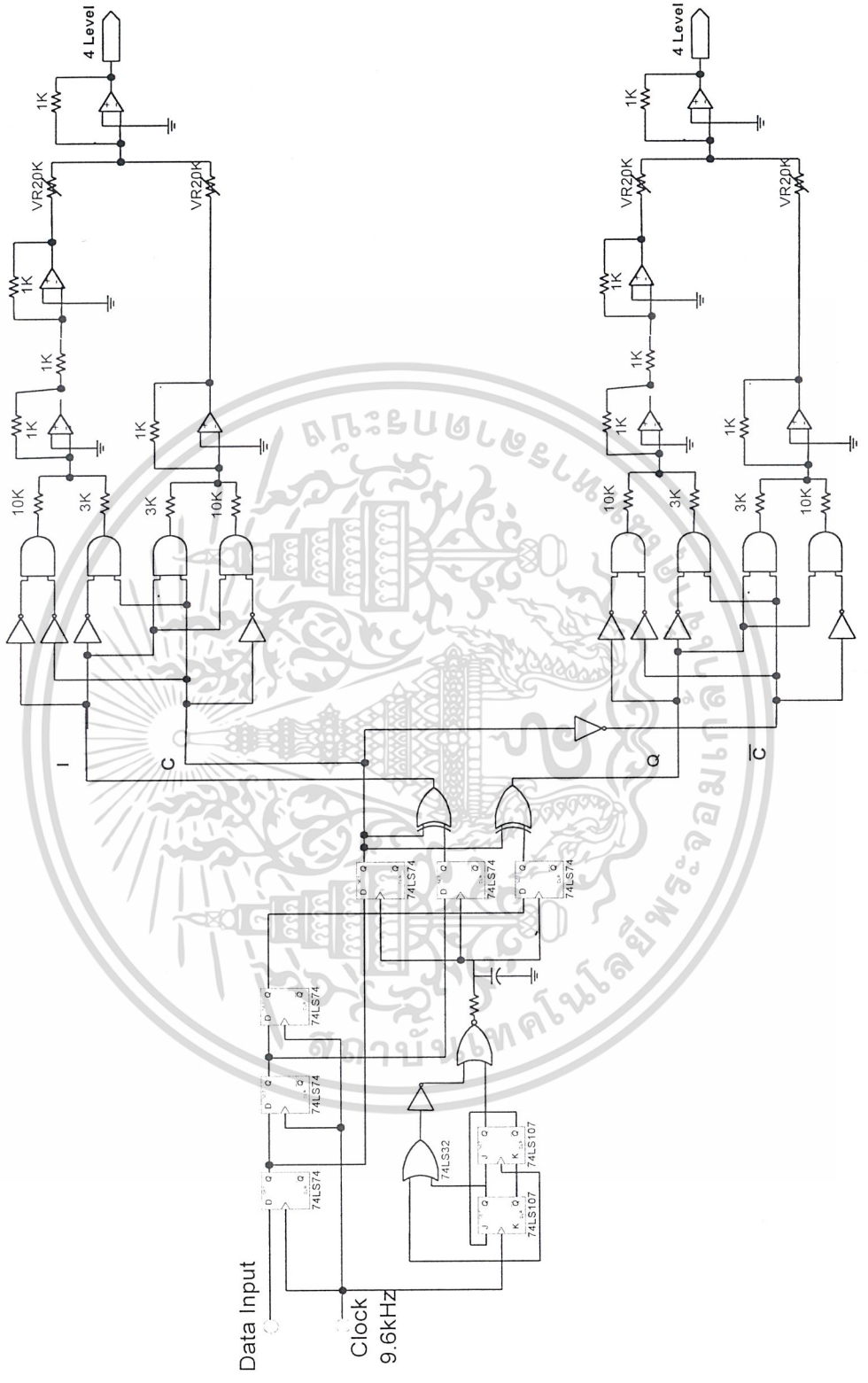
วงจรหาร 3 หรือวงจรหน่วงเวลา 3 บิท ก็จะเข้ามามีบทบาทอีกเช่นเดิม แต่จะทำหน้าที่พิเศษในการบังคับ D ฟลิปฟลอปชุดแรกให้มีจังหวะพอดีกับความต้องการรับข้อมูลของ D ฟลิปฟลอปชุดที่ 2 เพราะว่าข้อมูลจาก D ฟลิปฟลอปชุดแรกจะถูกส่งไปบังคับให้ D ฟลิปฟลอปชุดที่ 2 มีเอาต์พุตเหมือนกันกับข้อมูลที่ได้รับมาโดยผ่านการควบคุมที่ขา SET และขา RESET ของ D ฟลิปฟลอปชุดที่ 2แต่ละตัว เมื่อ D ฟลิปฟลอปชุดที่ 2 รับข้อมูลไปแล้วนั้นควรจะใช้เวลาเพียงสัญญาณนาฬิกาพัลซ์ลูกเดียวเท่านั้น จึงใช้ NAND Gate แบบ 3 อินพุทเข้ามาช่วยในการบังคับให้ D ฟลิปฟลอปชุดแรกส่งข้อมูลเฉพาะสัญญาณนาฬิกาลูกแรกเท่านั้น (พัลซ์ควบคุม D ฟลิปฟลอปชุดแรกจะมี 3 ลูก) ซึ่งหลักการดังกล่าวนี้ก็เป็นหลักการของวงจรแปลงข้อมูลแบบขนานไปเป็นอนุกรมนั่นเอง วงจรที่ได้ทำการออกแบบและทดลองแสดงได้ดังรูปที่ 3.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



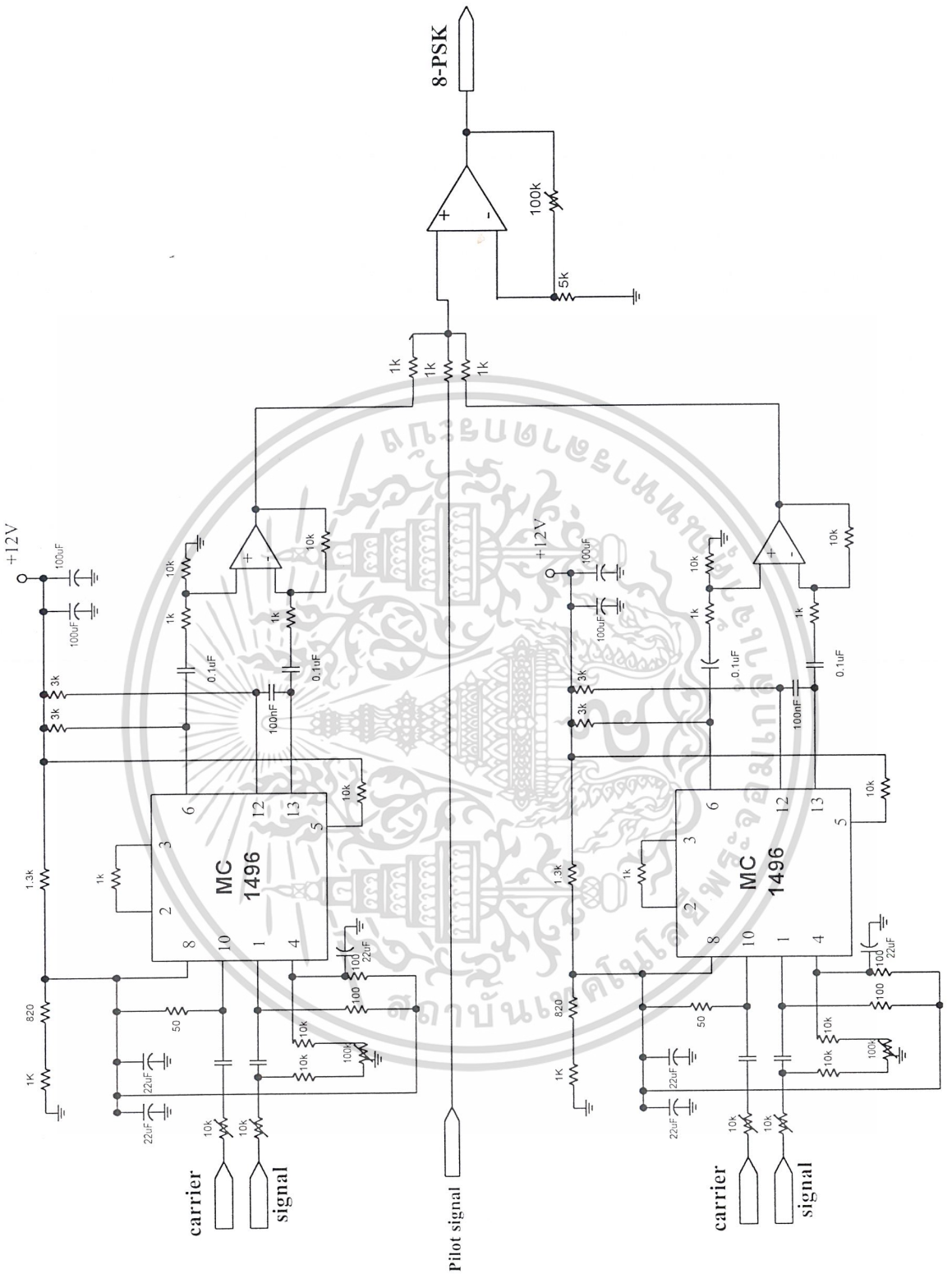
รูปที่ 3.18 แสดงวงจรรวมสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

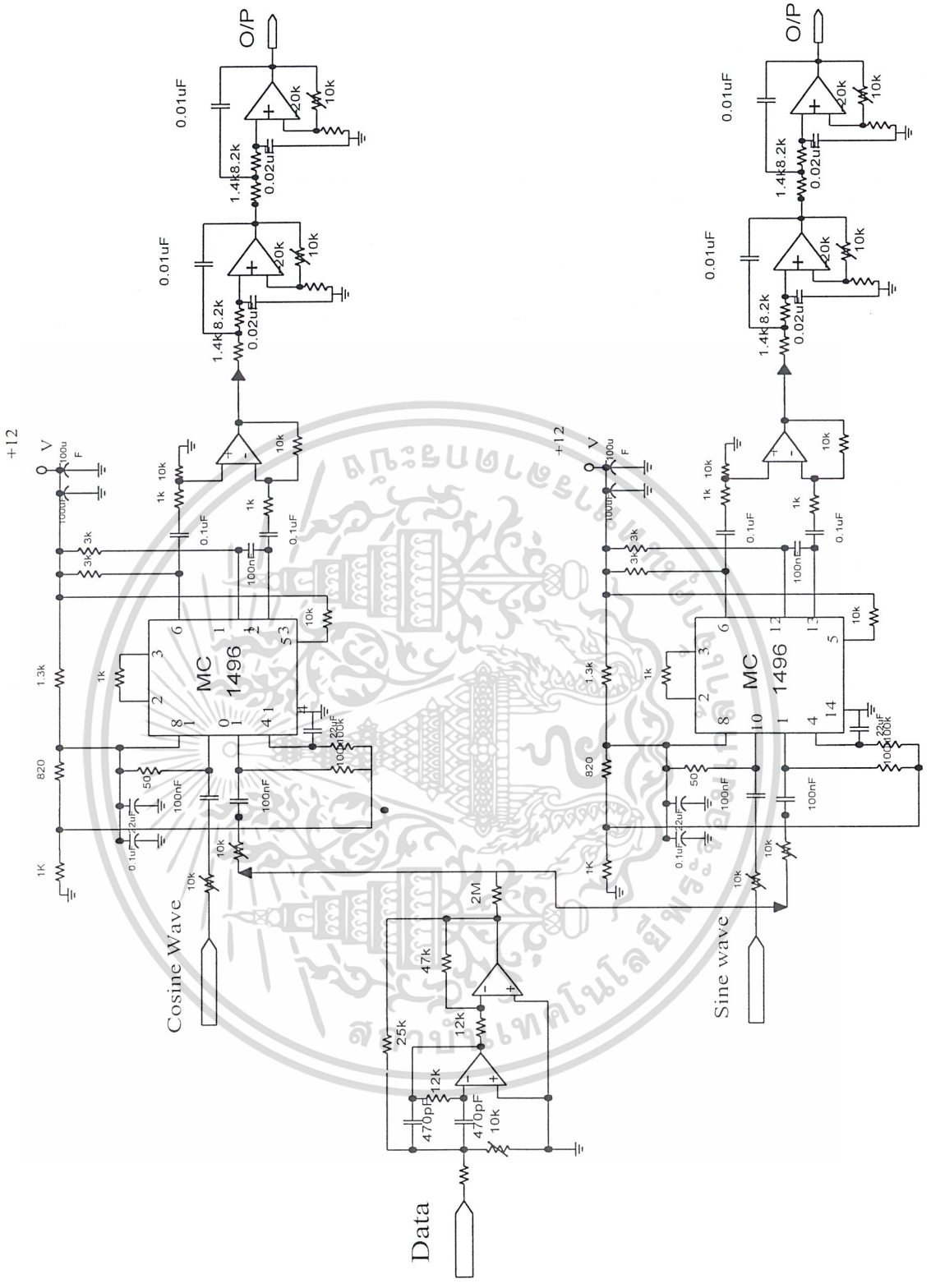


รูปที่ 3.19 แสดงวงจรรวมภาคส่งส่วนที่ 1

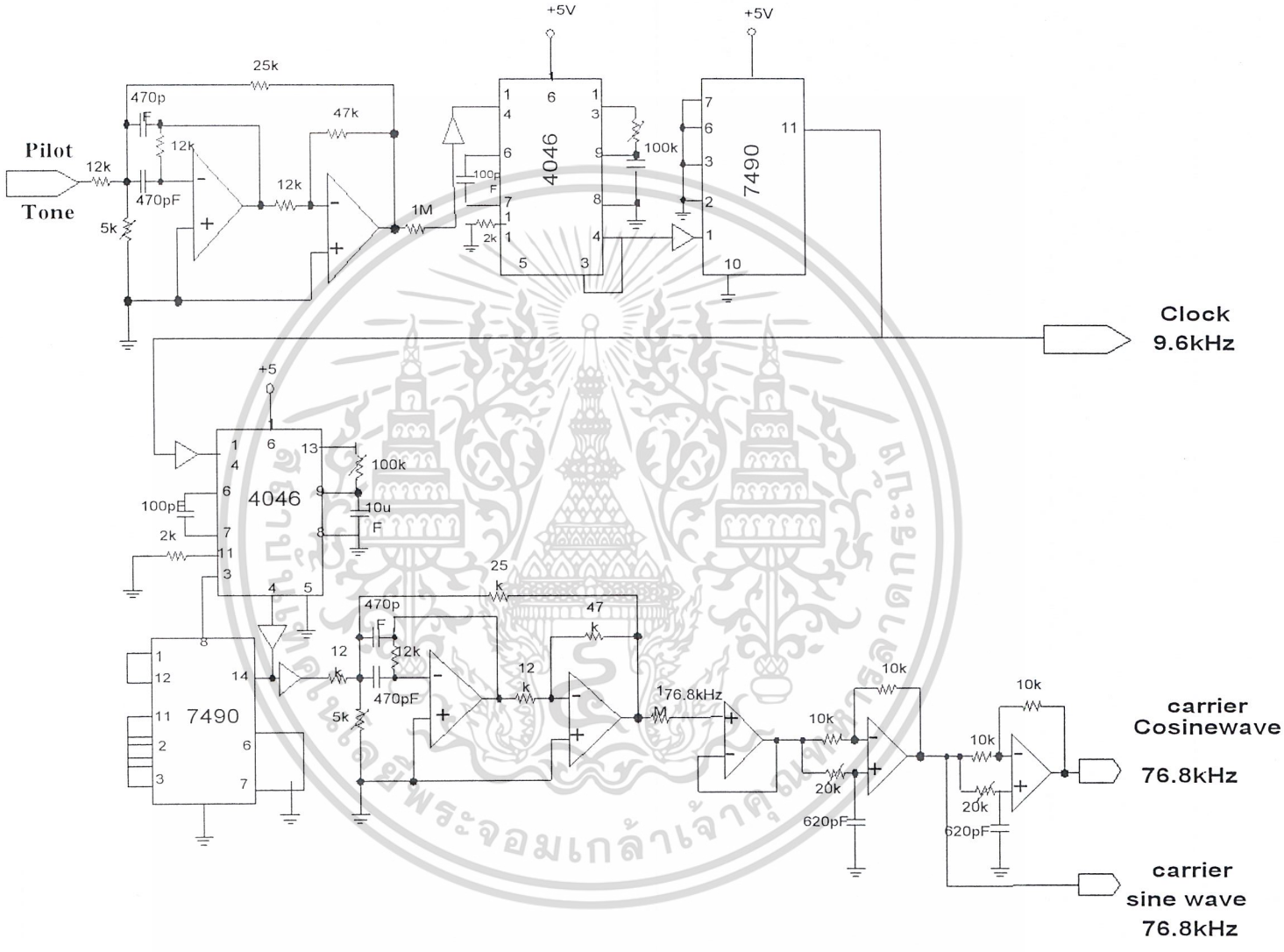
รูปที่ 3.20 แสดงวงจรสัญญาณนาฬิกา, ตัวนับ, ตัวแบ่งความถี่ 2



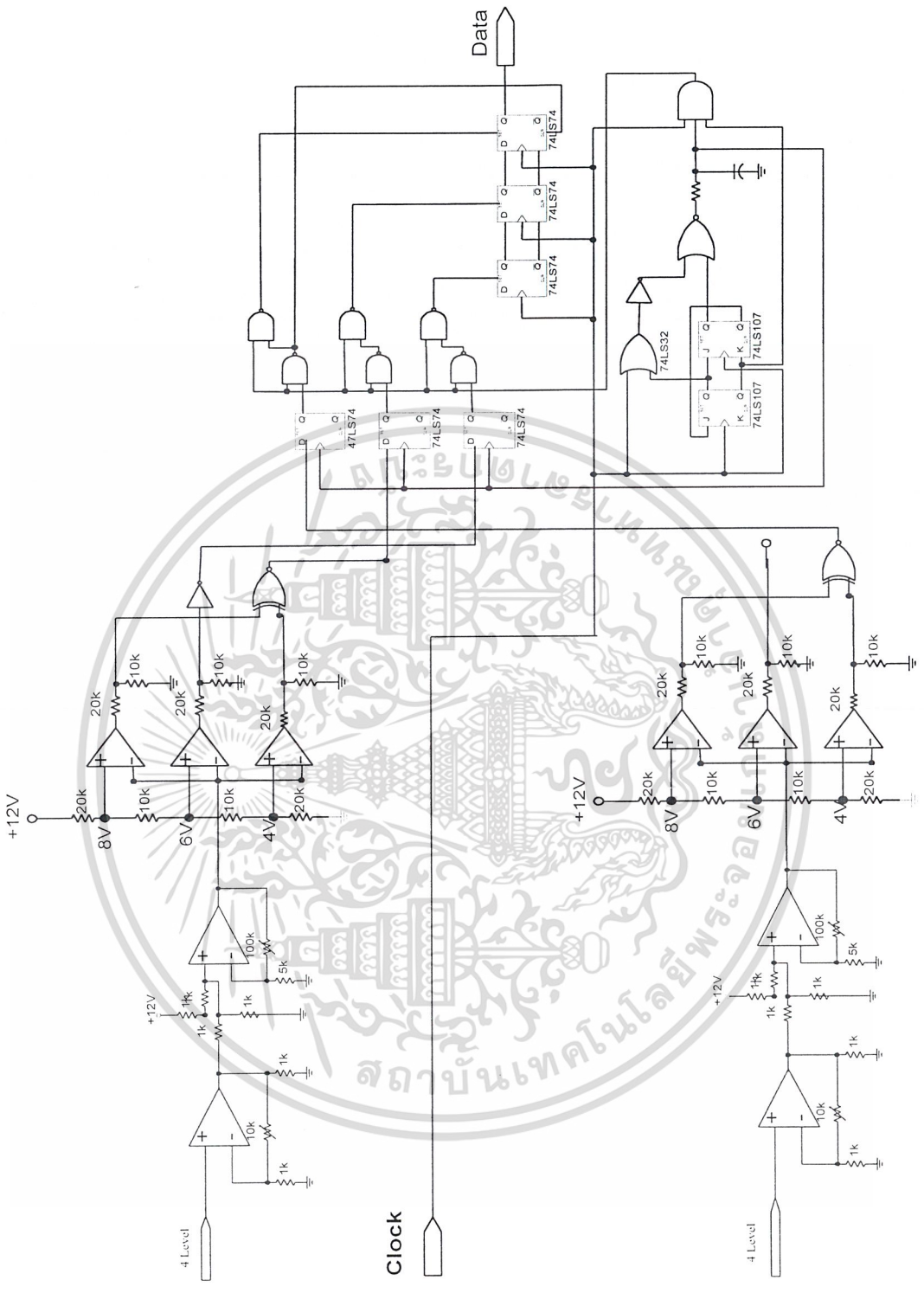
รูปที่ 3.21 แสดงวงจรรวมภาคส่งส่วนที่ 3



รูปที่ 3.22 แสดงวงจรภาครับส่วนที่ 1



รูปที่ 3.23 แสดงวงจรภาครับส่วนที่ 2



รูปที่ 3.24 แสดงวงจรภาครับส่วนที่ 3

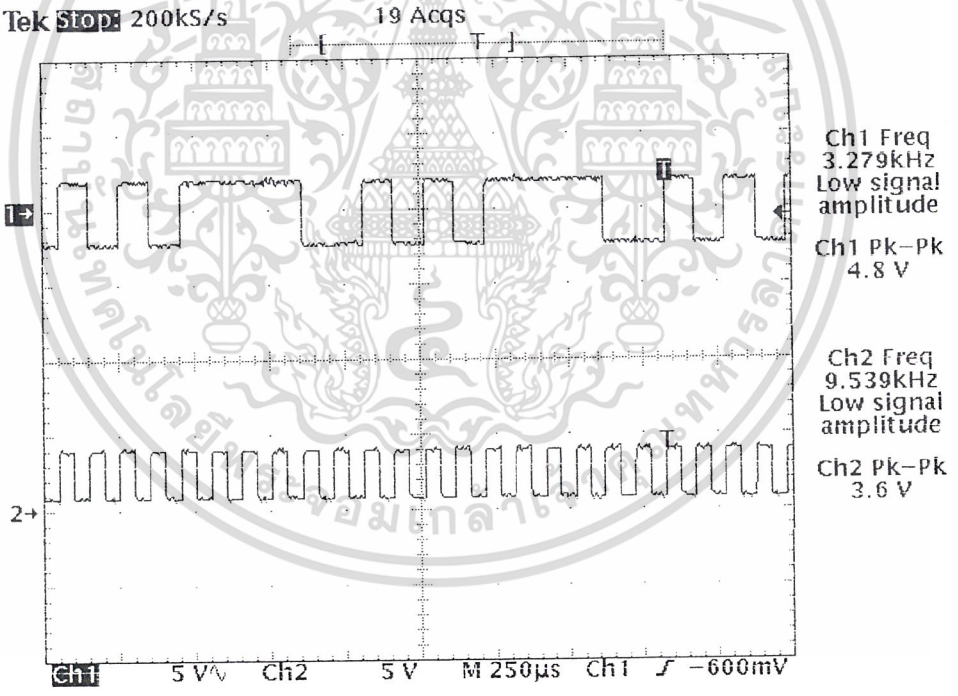
บทที่ 4

การทดลองและผลการทดลอง

4.1 จุดประสงค์การทดลอง

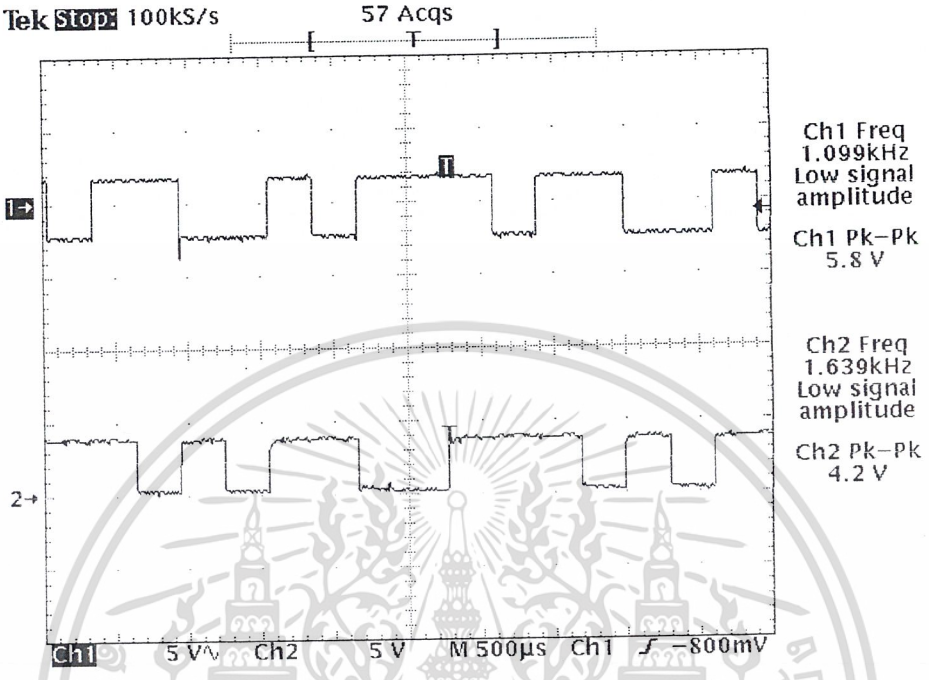
1. เพื่อศึกษารูปแบบการส่งสัญญาณดิจิตอลเพื่อเป็นพื้นฐานในการศึกษารูปแบบอื่นๆต่อไป
2. เพื่อนำเสนอการส่งสัญญาณดิจิตอล อัตราความเร็ว 9.6 kbps โดยส่งสัญญาณแบบ 8-PSK ซึ่งสามารถลดแบนด์วิธลงได้ถึง 2 เท่าของการส่งสัญญาณแบบ PSK ทำให้การใช้ช่องสัญญาณมีประสิทธิภาพมากขึ้น

4.2 ผลการทดลองทางด้านภาคส่ง

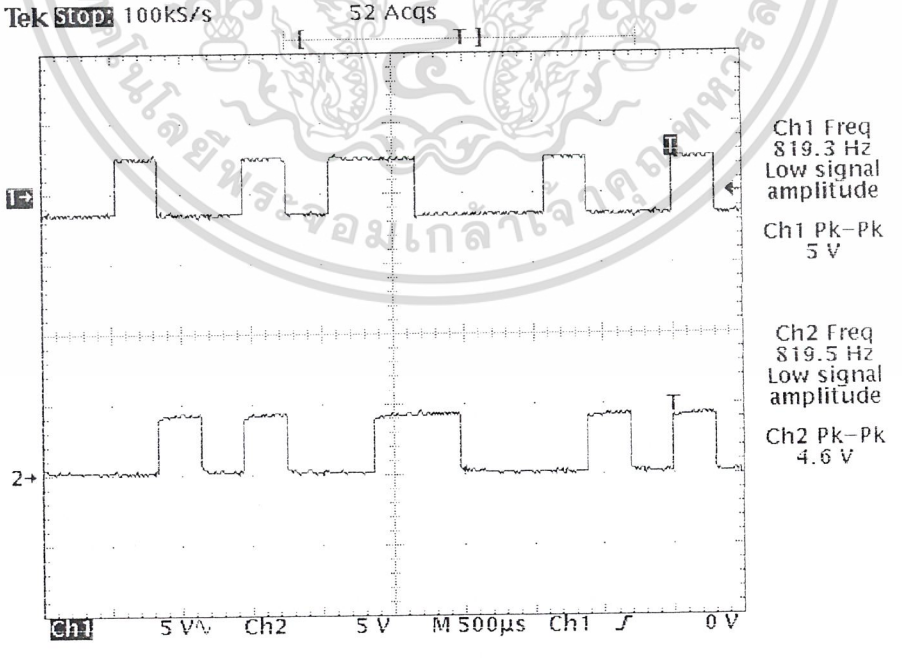


รูปที่ 4.1 แสดงสัญญาณที่ได้จากวงจรกำเนิดสัญญาณ รหัส 1110010101 เทียบกับ clock 9.6 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

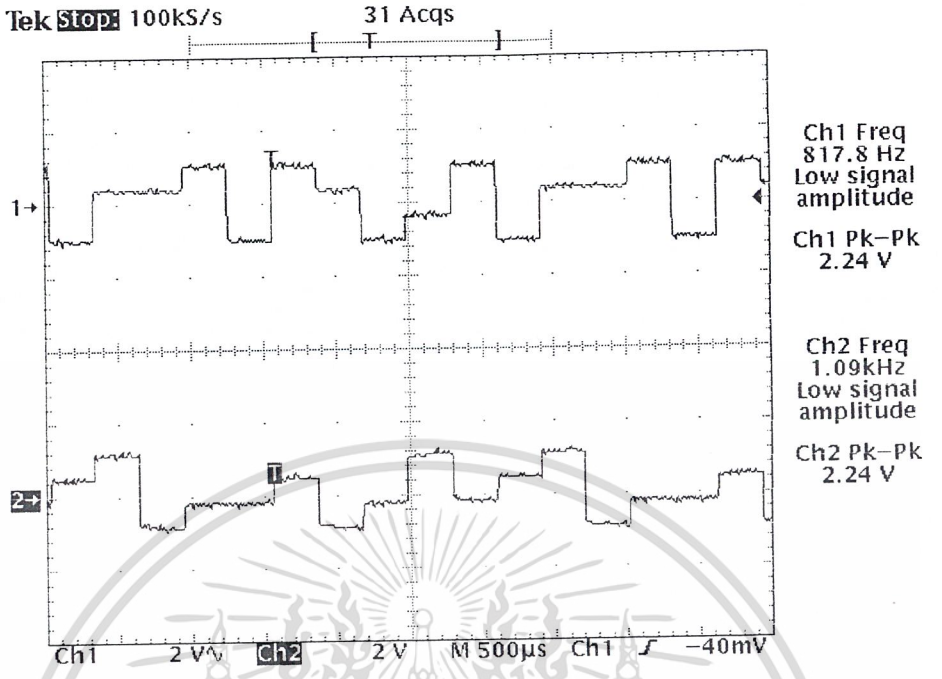


รูปที่ 4.2 แสดงสัญญาณที่ออกจากวงจรแยกบิท(บิท I:CH1 , C:CH2)

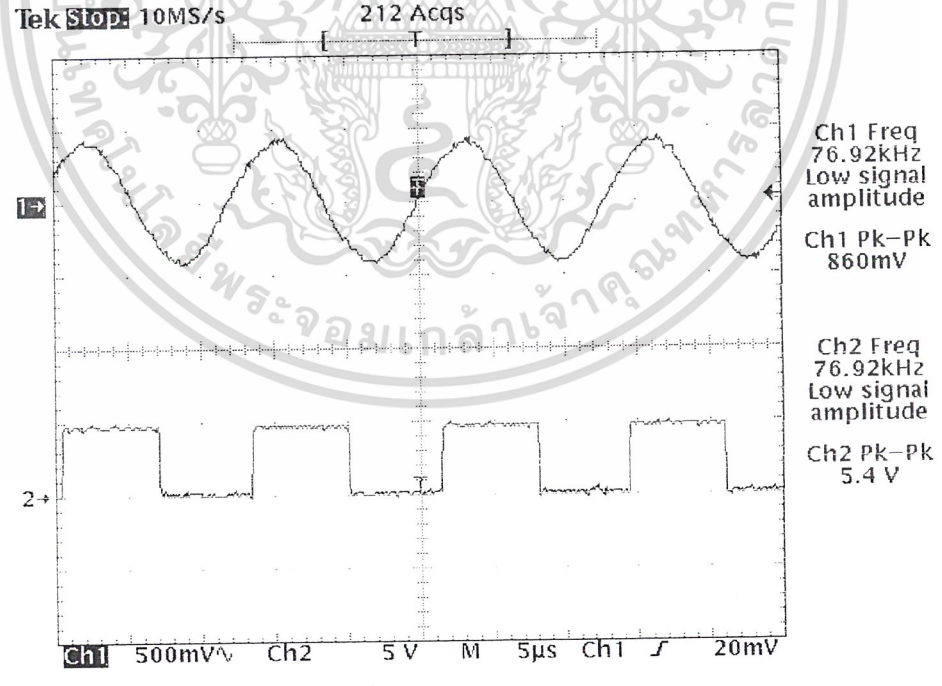


รูปที่ 4.3 แสดงสัญญาณที่ออกจากวงจรแยกบิท(บิท Q:CH1 , บิท $\overline{C}$:CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

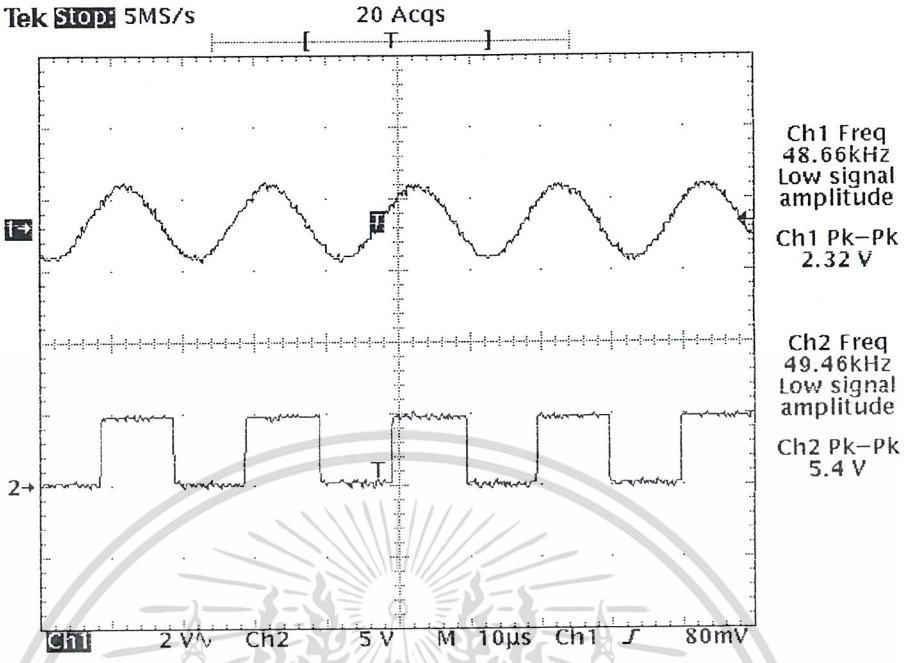


รูปที่ 4.4 แสดงผลจากวงจรแปลงสัญญาณ2บิทเป็น4ระดับ(CH1:ด้านI , CH2:ด้านQ)

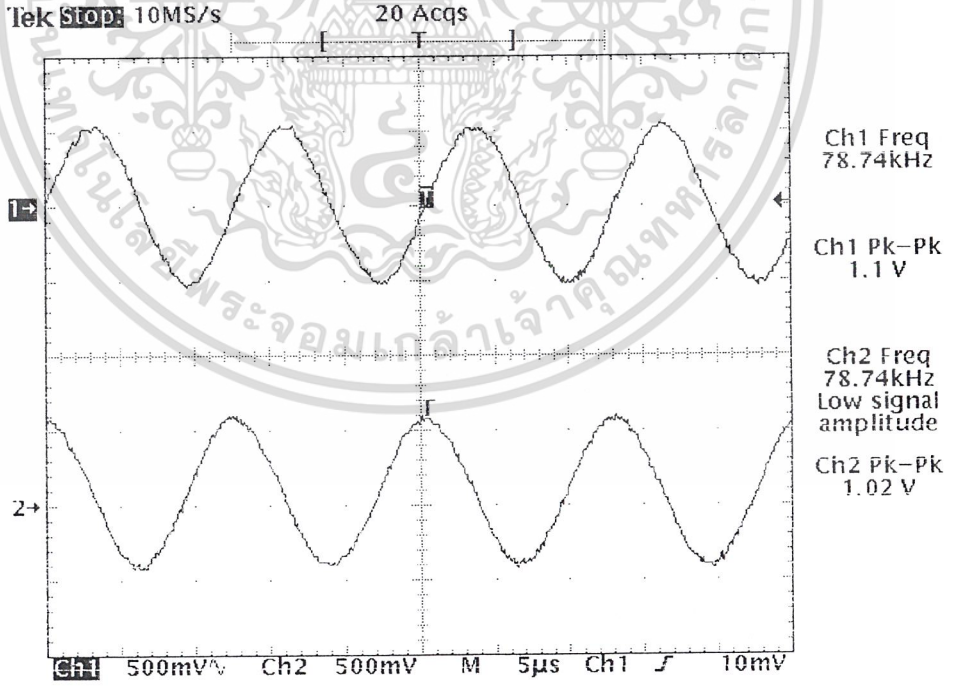


รูปที่ 4.5 แสดงสัญญาณพาหะ 76.8 kHz ที่สร้างจากสัญญาณsquare 76.8 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

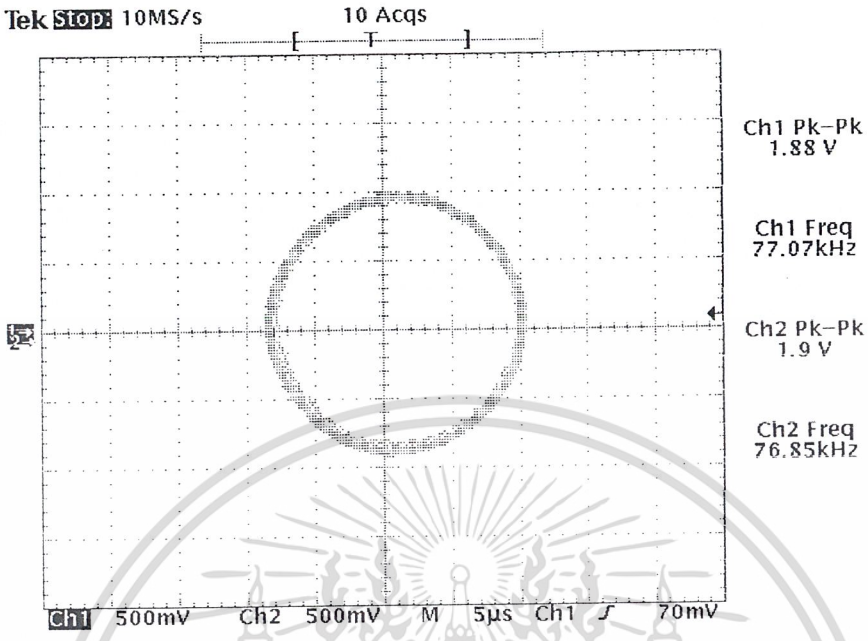


รูปที่ 4.6 แสดงสัญญาณนำร่อง 48 kHz ที่สร้างจากสัญญาณsquare 48 kHz

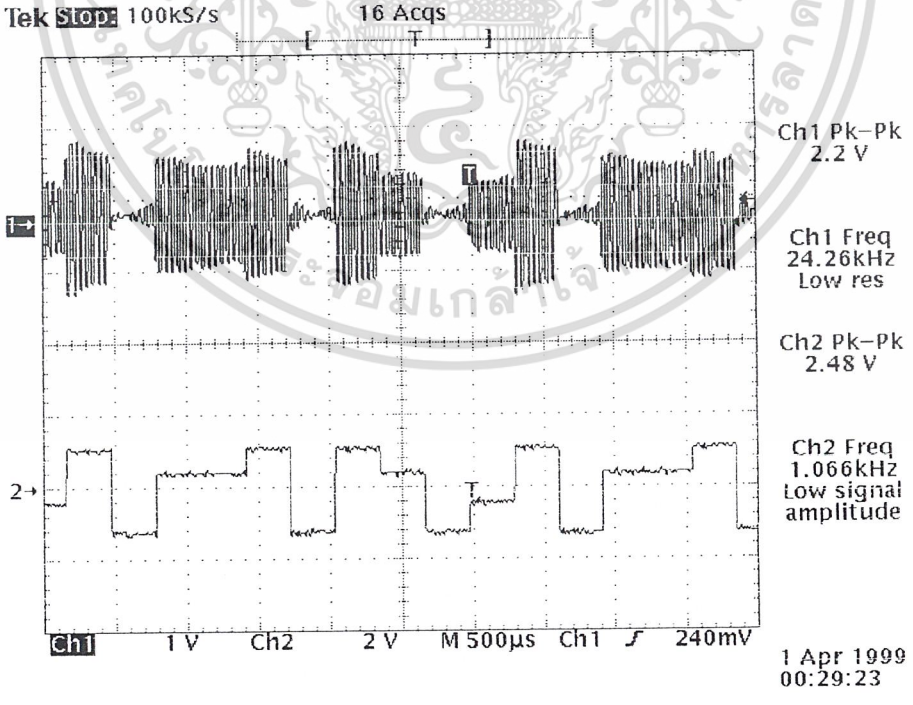


รูปที่ 4.7 แสดงสัญญาณพาหะ sine 76.8 kHz (CH1)และ cosine 76.8 kHz (CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

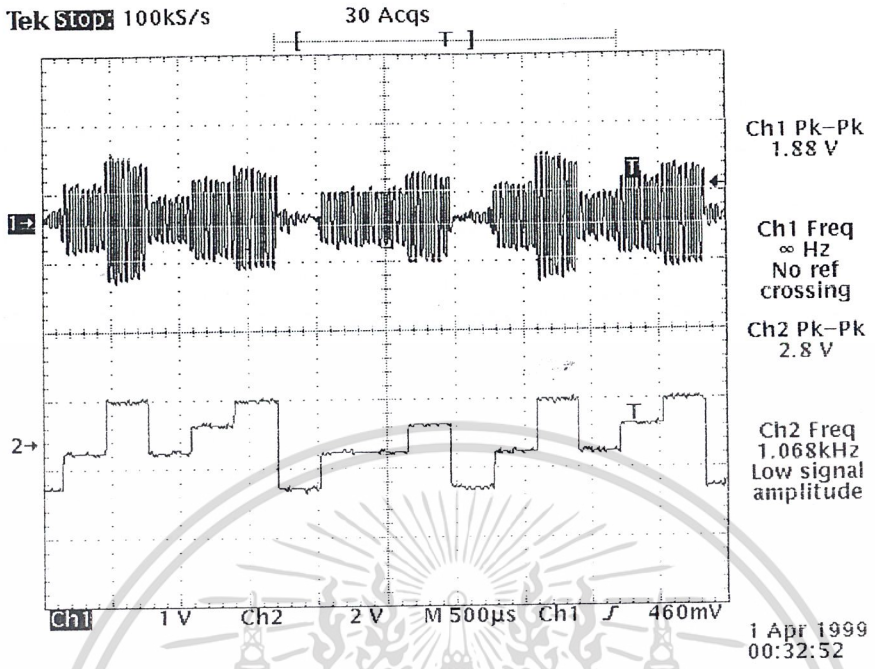


รูปที่ 4.8 แสดงสัญญาณพาหะ sine 76.8 kHz (CH1)และ cosine 76.8 kHz (CH2)
โดยใช้ X-Y oscilloscope

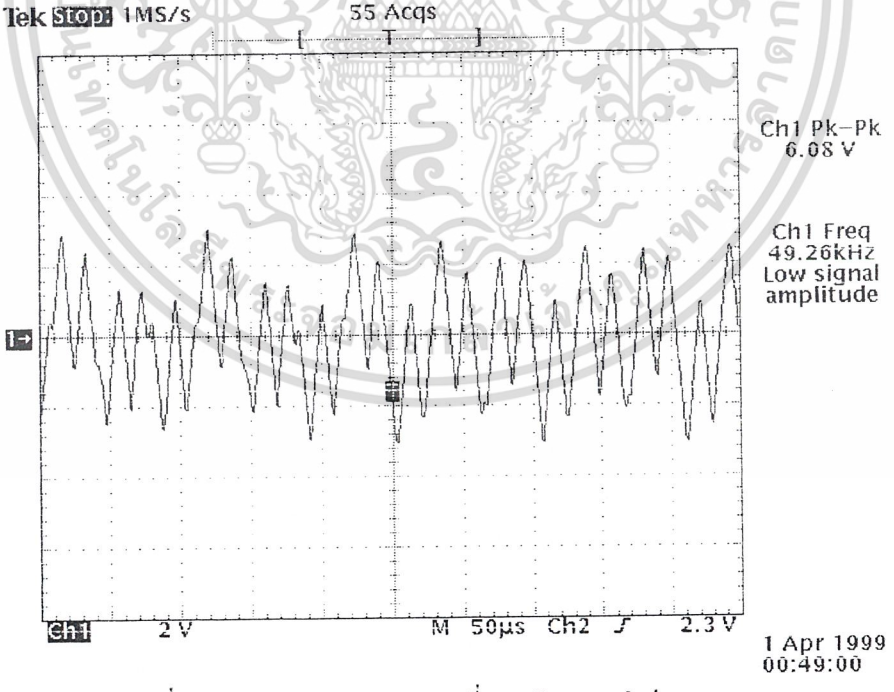


รูปที่ 4.9แสดงสัญญาณที่ออกจากวงจรบาลานซ์มอดูเลเตอร์เทียบกับสัญญาณ 4 ระดับทางด้าน I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

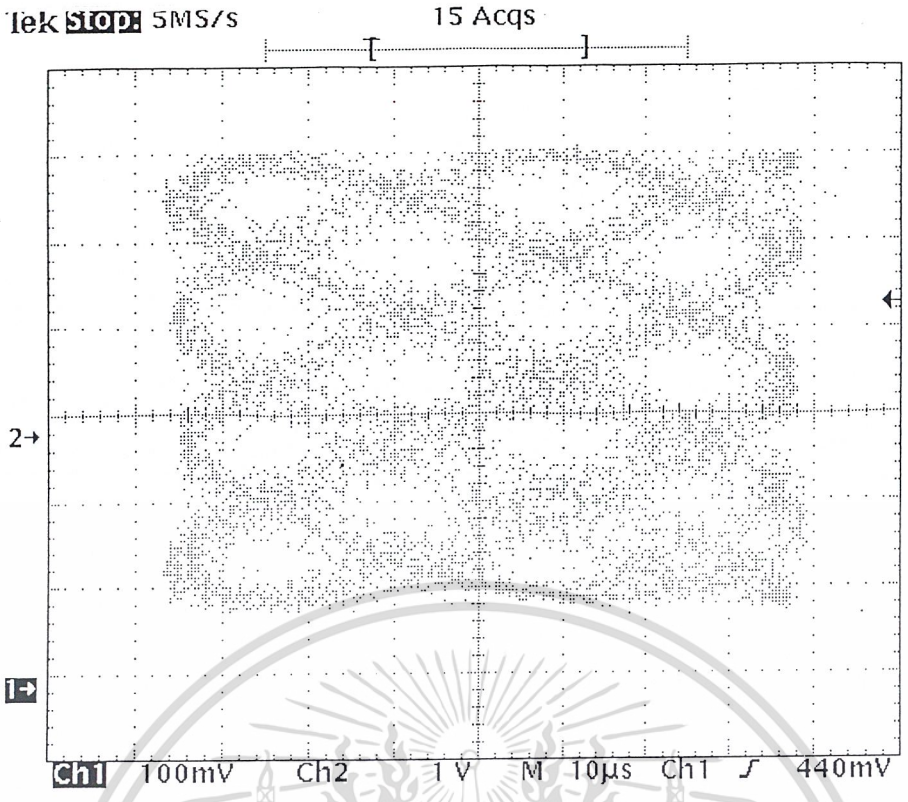


รูปที่ 4.10 แสดงสัญญาณที่ออกจากวงจรบาลานซ์มอดูเลเตอร์เทียบกับสัญญาณ 4 ระดับทางด้าน Q

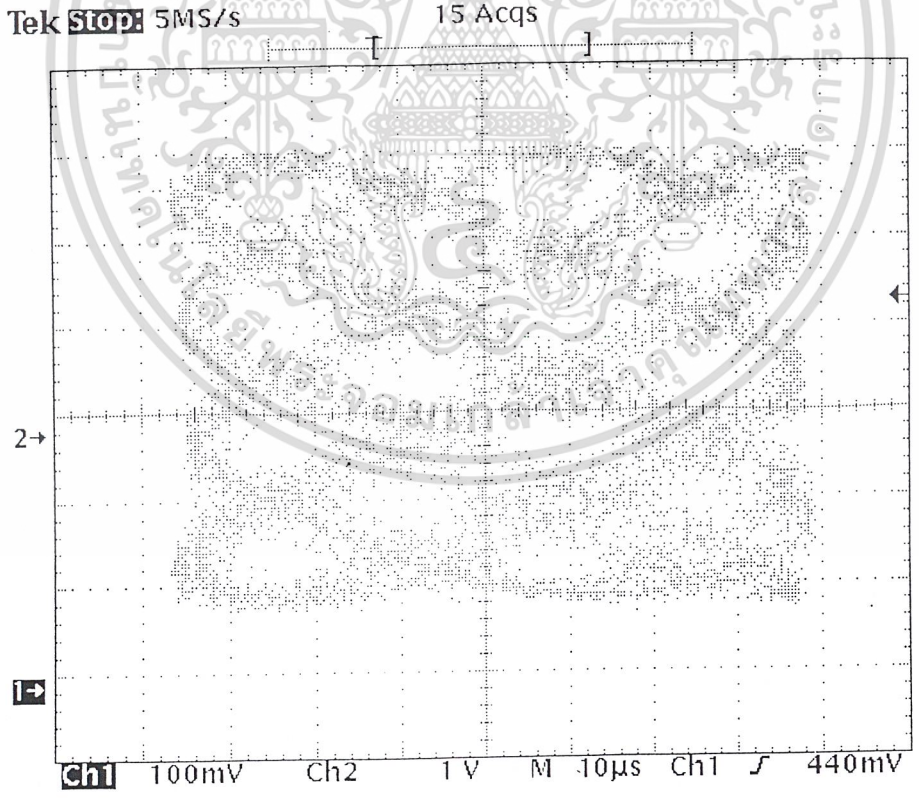


รูปที่ 4.11 แสดงสัญญาณ 8PSK ที่รวมสัญญาณนำร่อง 48 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

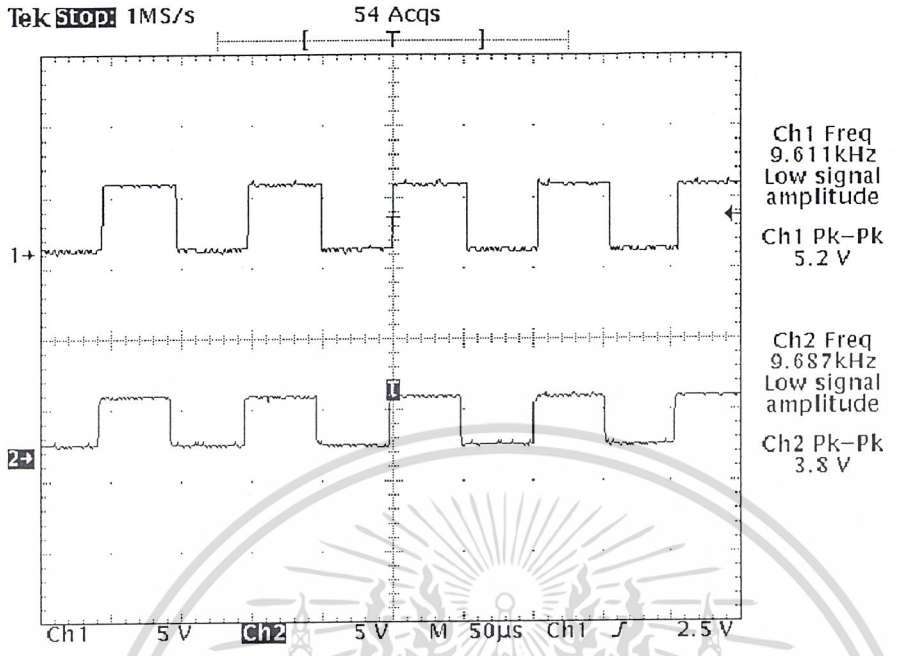


รูปที่ 4.12 แสดงเฟสเซอร์ไดอะแกรมของสัญญาณ 8PSK ทางด้านภาคส่ง

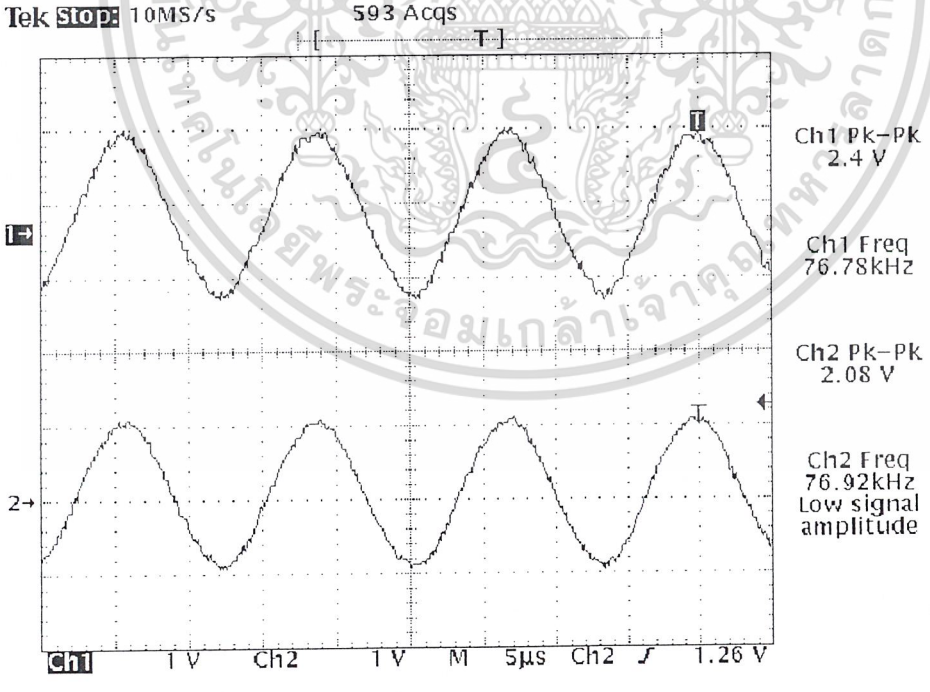


รูปที่ 4.13 แสดงเฟสเซอร์ไดอะแกรมของสัญญาณ 8PSK ที่รับได้ทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

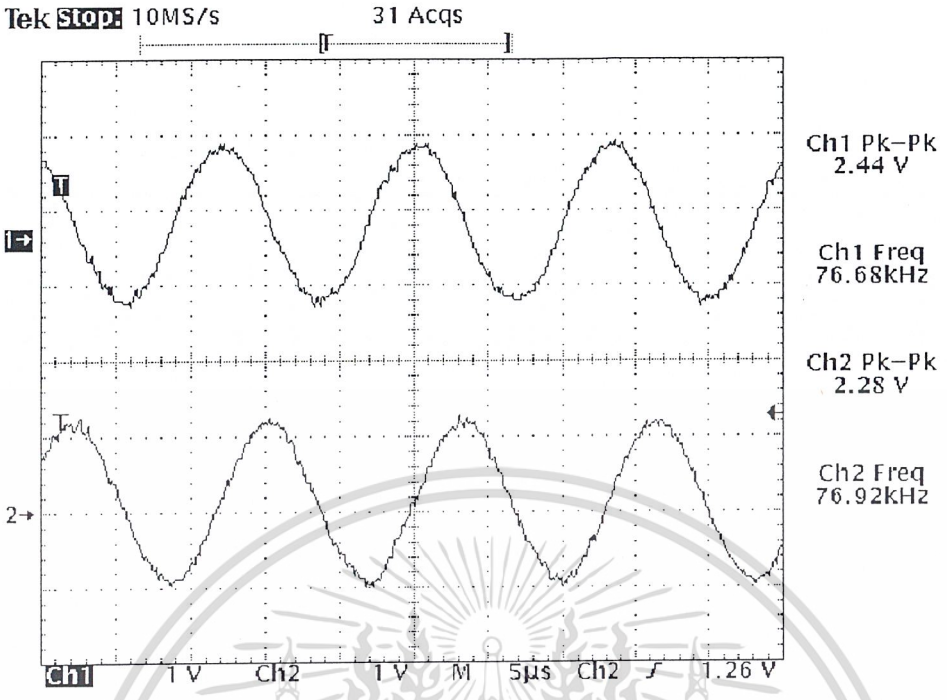


รูปที่ 4.14 แสดงสัญญาณนาฬิกา (Clock) ด้านรับเทียบกับด้านส่ง

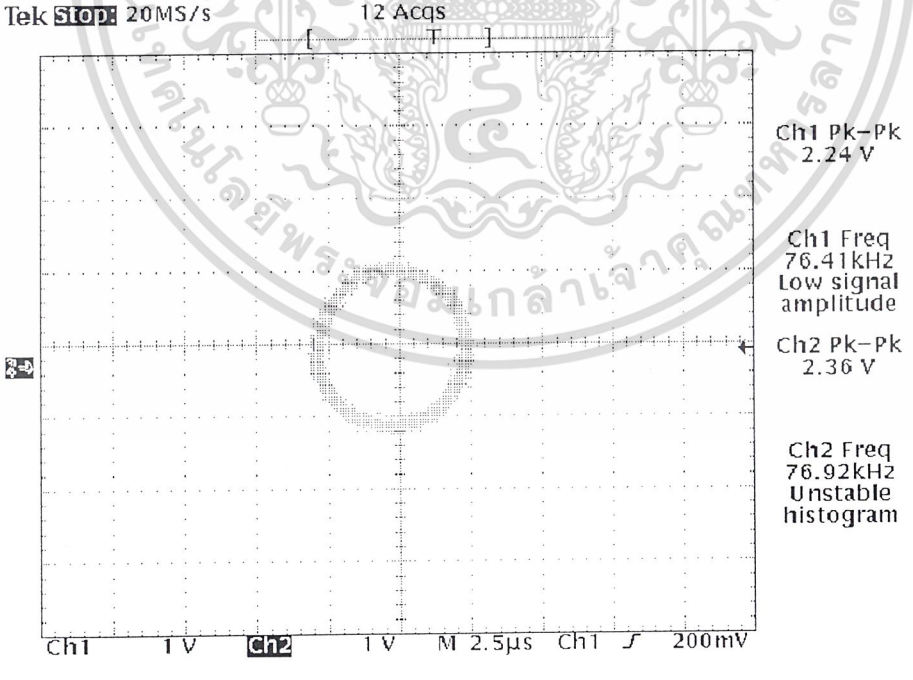


รูปที่ 4.15 แสดงสัญญาณ carrier sine ภาครับที่กู้ออกมาได้เทียบกับสัญญาณcarrier 76.8 kHz ทางภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

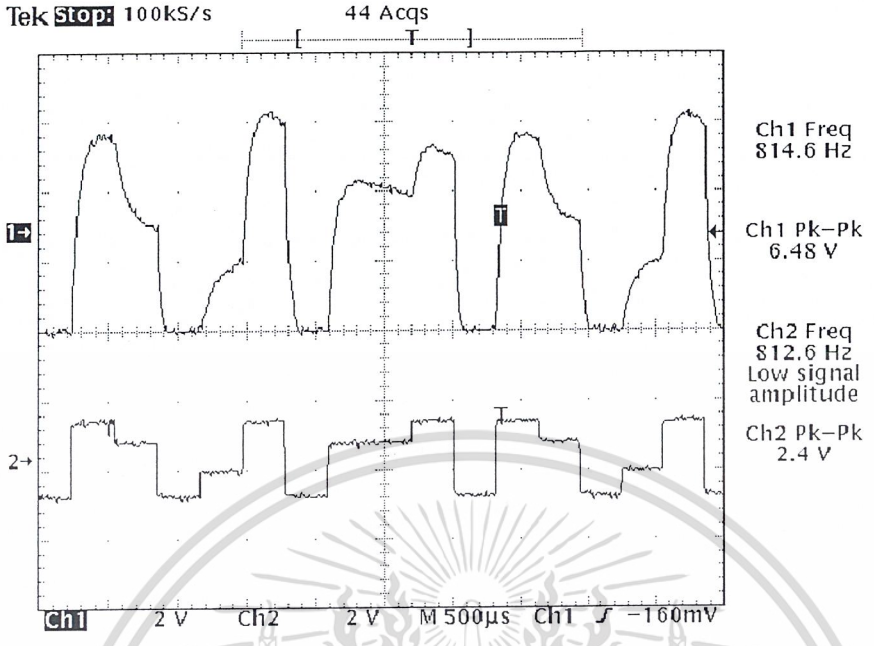


รูปที่ 4.16 แสดงสัญญาณ carrier 76.8 kHz ทางภาครับ (CH1:sine 76.8 kHz , CH2: cosine 76.8 kHz)

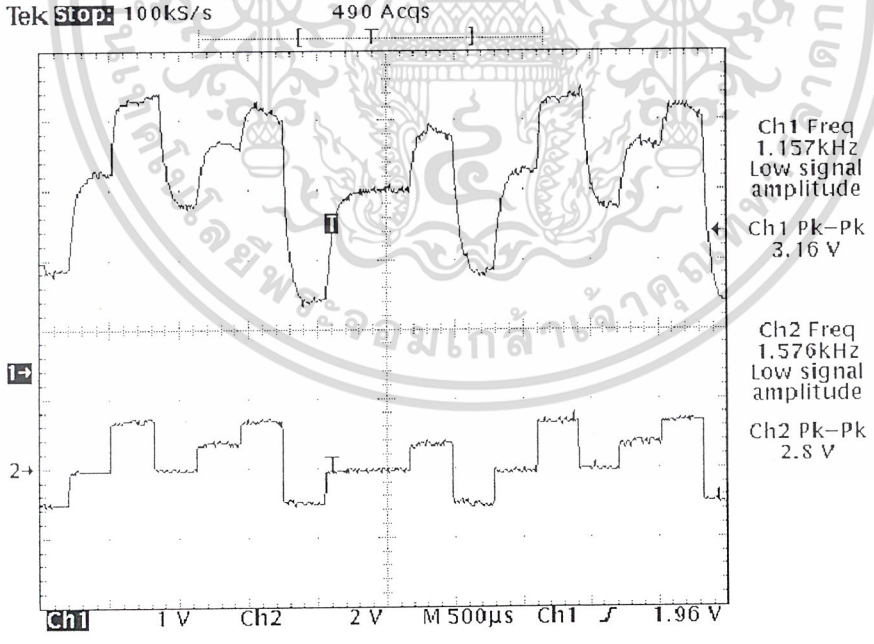


รูปที่ 4.17 (CH1:sine 76.8 kHz , CH2: cosine 76.8 kHz) ใช้ X-Y oscilloscope

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

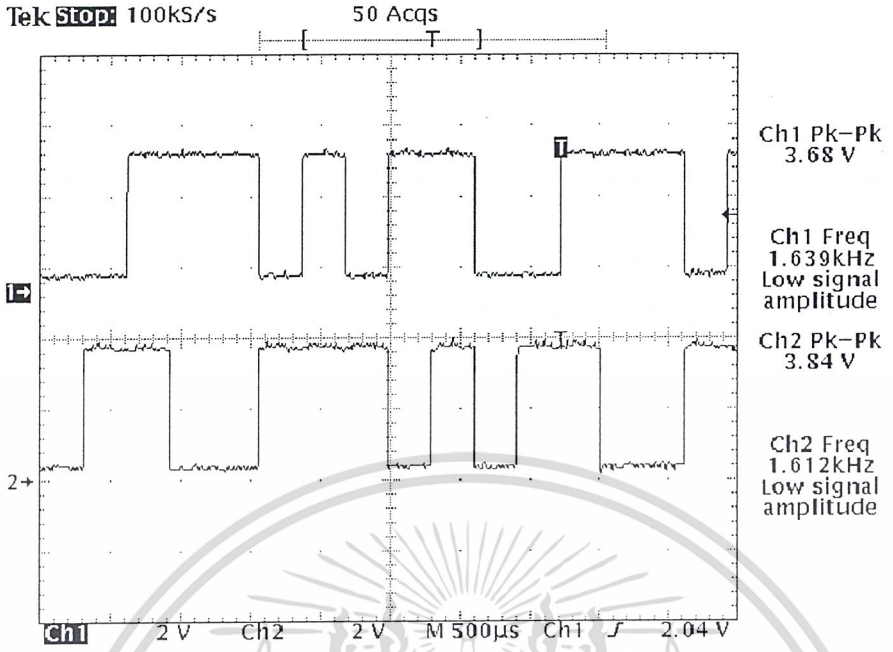


รูปที่ 4.18 แสดงสัญญาณที่ออกจากวงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านช่องสัญญาณ I เทียบกับสัญญาณ 4 ระดับทางด้านภาคส่ง

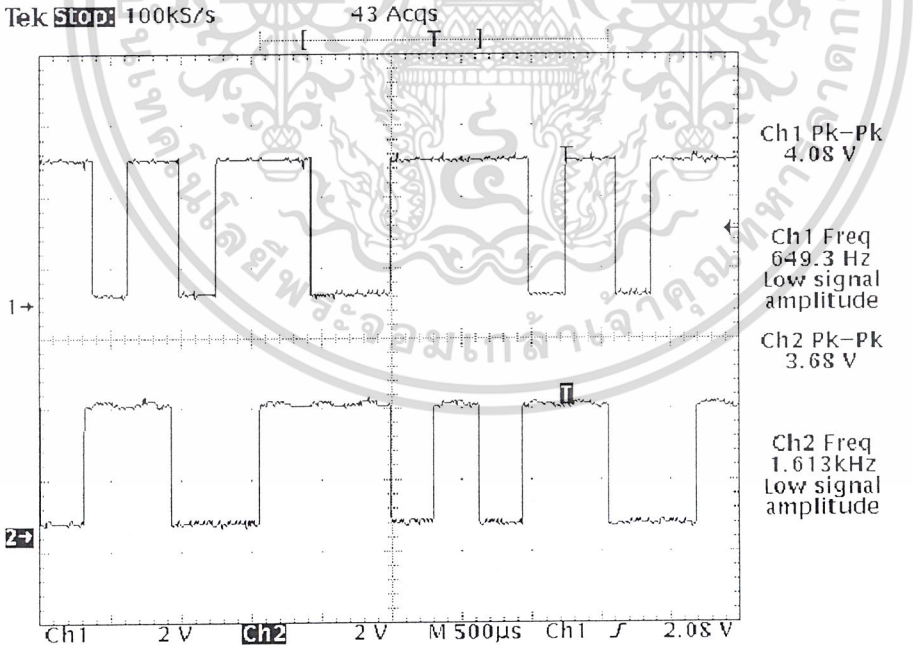


รูปที่ 4.19 แสดงสัญญาณที่ออกจากวงจรบาลานซ์ดีมอดูเลเตอร์ทางด้านช่องสัญญาณ Q เทียบกับสัญญาณ 4 ระดับทางด้านภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

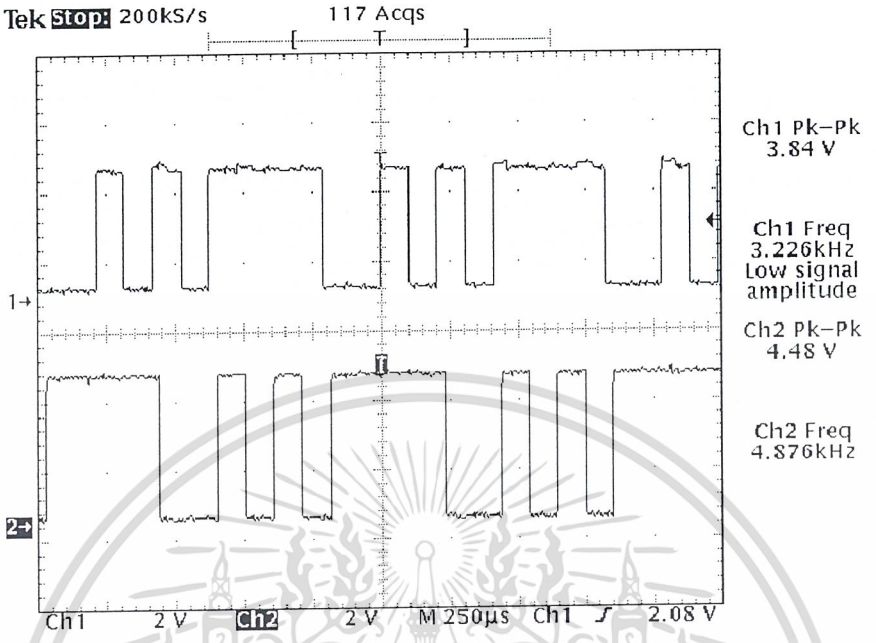


รูปที่ 4.20 แสดงสัญญาณเอาต์พุตที่ออกจากวงจรแปลง 4 ระดับไปเป็น 2 ระดับบิท I เทียบกับบิท C



รูปที่ 4.21 แสดงสัญญาณเอาต์พุตที่ออกจากวงจรแปลง 4 ระดับไปเป็น 2 ระดับบิท Q เทียบกับบิท C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.22 แสดงสัญญาณเอาต์พุตที่ดีเทคได้ ซึ่งได้จากวงจรรวมบิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

โครงงานนี้เป็นการศึกษาการมอดูเลทสัญญาณแบบ 8 PSK ซึ่งใช้ในการส่งข้อมูลแบบดิจิตอล ขอบเขตของโครงงานมี 2 ส่วนใหญ่ๆ คือ ทางภาคส่งและภาครับ ซึ่งได้ทำการออกแบบวงจรภาคต่างๆ ตามทฤษฎีโดยอาศัยวงจรพื้นฐาน บางวงจรนำมาจากคู่มือการใช้งานไอซี และบางวงจรออกแบบเองมาประกอบรวมกันเป็นวงจรในแต่ละภาค

ในการทดลองวงจรในแต่ละภาคอาจมีปัญหารบ้างดังสรุปเป็นข้อเสนอแนะได้ดังนี้

ภาคส่ง

วงจรกำเนิดสัญญาณข้อมูล

เราได้สร้างชุดกำเนิดสัญญาณข้อมูลความเร็ว 9600 bps เพื่อใช้ในการทดสอบโดยใช้ไอซี 74LS165 ซึ่งทำงานเป็นวงจร Parallel - load 8 bit Shift Register ต่อวงจรให้ทางด้านเอาต์พุต ป้อนกลับเป็นสัญญาณอนุกรมทางด้านอินพุท จึงทำให้ข้อมูลที่โหลดเข้ามาไหลวนเข้าสู่วงจรนี้สามารถปรับเปลี่ยนรูปแบบได้เพื่อให้แน่ใจได้ว่าวงจร 8 PSK มอดูเลชั่นนั้นทำงานได้ถูกต้อง ในขั้นตอนแรกนั้นตั้งรูปแบบของข้อมูลก่อนจากนั้นจึงโหลด ข้อมูลให้มาไหลวนในวงจร

วงจรแปลงอนุกรมเป็นขนาน

ในการออกแบบใช้ D Flip-Flop เบอร์ 74LS74 ทำงานเป็นวงจร Shift Register และมีวงจรหน่วงสัญญาณนาฬิกาเป็น 3 เท่า ข้อมูลถูกแยกเป็นสามช่องคือ Q I และ C และถูกแปลงเป็นเกรย์โค้ด (Gray Code) เพื่อลดความผิดพลาดของข้อมูลโดยใช้ Exclusive OR Gate ผลการทดลองในภาคนี้ไม่มีข้อผิดพลาดตามหลักการทางทฤษฎี

วงจรแปลงสองบิทเป็นสี่ระดับ

สัญญาณสามช่อง (I Q และ C Channel) จะถูกแบ่งออกเป็นสองด้านคือด้าน I (ประกอบด้วยบิท I และ C) และ ด้าน Q (ประกอบด้วยบิท Q และ C) ทำการแปลงสัญญาณทั้งสองด้านจากสัญญาณขนานสองบิทเป็นสัญญาณอนุกรม 4 ระดับโดยอาศัย NOT Gate และ AND Gate แปลงสัญญาณจากสองบิทเป็น 4 ระดับ และปรับค่าระดับโวลเตจโดยใช้ Op-Amp ให้ได้ค่าแรงดันแต่ละระดับสัญญาณตามทฤษฎี ซึ่งในการทดลองเราจะปรับให้ได้ค่าใกล้เคียงที่สุด

วงจรกำเนิดสัญญาณพาหะ

ใช้วงจรเฟสล็อคลูป ทำหน้าที่สังเคราะห์ความถี่ 76.8 kHz จากสัญญาณนาฬิกา 9.6 kHz สัญญาณที่ออกจากเฟสล็อคลูปเป็นสัญญาณรูปสี่เหลี่ยม ไม่เหมาะสมที่จะนำมามอดูเลท ต้องนำสัญญาณนี้ผ่านวงจรกรองความถี่ช่วงผ่าน สัญญาณที่ออกมาจะเป็นสัญญาณรูปไซน์ วงจรในส่วนนี้ใช้เวลาทดลองอยู่นานพอสมควร เนื่องจากการสร้างวงจรกรองความถี่ช่วงผ่านให้สามารถกรองความถี่ฮาร์โมนิคแรกเท่านั้น ที่คำนวณกับการต่อจริงไม่เหมือนกันต้องมีการเปลี่ยนค่า R และ C ไปเรื่อยๆจนได้ผลน่าพอใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกำเนิดสัญญาณนำร่อง

ใช้วงจรเฟสล็อคลูปเช่นเดียวกัน วงจรออกแบบคล้ายวงจรกำเนิดสัญญาณพาหะ ต่างกันตรงวงจรหารความถี่ โดยใช้เฟสล็อคลูปร่วมกับวงจรหาร 5 ก็จะได้สัญญาณนำร่อง 48 kHz ผ่านวงจรกรองความถี่ช่วงผ่านได้สัญญาณรูปไซน์

ทั้งวงจรกำเนิดสัญญาณพาหะและวงจรกำเนิดสัญญาณนำร่อง จะมีปัญหาในการป้อนสัญญาณทั้งสองเข้าไปในวงจรรวม ควรต่อบัฟเฟอร์ก่อนป้อนสัญญาณพาหะและสัญญาณนำร่องเข้าสู่วงจรรวม

วงจรเลื่อนเฟส 90 องศา

เพื่อให้ได้สัญญาณพาหะที่มีการเลื่อนเฟสไป 90 องศา จะใช้วงจรเลื่อนเฟส 90 องศา ปรับเลื่อนเฟสนำโดยการปรับตัวต้านทานปรับค่าได้ และในการทดลองใช้ X-Y oscilloscope ให้ได้รูปวงกลมพอดี จึงทำให้เฟสต่างกัน 90 องศา รูปสัญญาณที่ออกมาจากวงจรเลื่อนเฟส 90 องศามีการผิดเพี้ยนไปเพียงเล็กน้อยเท่านั้นพอที่จะยอมรับได้

วงจรบาลานซ์มอดูเลเตอร์

ใช้วงจรในคู่มือไอซี 1496 โดยก่อนที่จะนำสัญญาณทั้งสองเข้าไอซี 1496 เราต้องทำการปรับระดับแรงดันให้ได้ตามข้อกำหนดของไอซีเบอร์นี้เสียก่อน(สัญญาณพาหะมีค่าแรงดันไม่เกิน 100 mV_{rms} และ สัญญาณ 4 ระดับ มีค่าแรงดันไม่เกิน 400 mV_{p-p}) โดยใช้ความต้านทานปรับค่าได้ต่ออนุกรมเข้าไปที่ขาอินพุททั้งสอง

สัญญาณเอาต์พุตที่ได้จากการมอดูเลทนั้นจะถูกนำมาเข้าวงจรขยายความแตกต่างอีกครั้ง เพื่อให้มีระดับโวลเตจของสัญญาณสูงขึ้น วงจรนี้เป็นการทำงานในลักษณะของสัญญาณขนาดเล็กคือเป็นมิลลิโวลท์ สัญญาณรบกวนจะเกิดขึ้นได้ง่าย

วงจรรวมสัญญาณ

ใช้วงจรขยายผลรวมสัญญาณ รวมสัญญาณจากเอาต์พุตของวงจรมอดูเลเตอร์ทั้งสอง และสัญญาณนำร่อง เอาต์พุตที่ได้จะเป็นผลรวมของสัญญาณทั้งสาม

โครงงานนี้ประกอบด้วยส่วนย่อยๆหลายส่วน และการทดลองในแต่ละส่วนก็มิได้ผ่านไปอย่างง่ายดาย เนื่องจากมีปัญหาเกิดขึ้นมากมายโดยแต่ละส่วนก็จะมีปัญหาแตกต่างกันออกไป ดังนั้นจะต้องมีเวลาให้กับ โครงงานอย่างมาก

ภาครับ

วงจรกรองความถี่ช่วงผ่านวงจรกรองความถี่ช่วงผ่านแบ่งเป็นสองชุดคือ ชุดแรกกรองความถี่ช่วง 75.2-78.4 kHz ใช้วงจร Positive Feedback Band Pass Filter สองชุดต่อแคสเคดกัน เพื่อให้ความสามารถในการกรองเอาสัญญาณออกได้ดีขึ้น วงจรนี้ยังไม่สามารถตัดสัญญาณนำร่องออกได้ทั้งหมดแต่ใช้งานได้ ถ้าจะให้วงจรมีประสิทธิภาพดียิ่งขึ้น ต้องออกแบบวงจรกรองความถี่นี้ใหม่ แต่ในโครงงานนี้ใช้วงจรนี้เพื่อความสะดวกในการออกแบบเพียงครั้งเดียวใช้ได้หลายวงจร ผลการทดลองเป็นที่น่าพอใจ ส่วนวงจรกรองความถี่ 48 kHz นั้นใช้วงจรลักษณะเดียวกัน เพียงแต่ปรับตัวต้านทานให้ความถี่ช่วงผ่านเปลี่ยนไปเป็น 48 kHz วงจรนี้สำคัญเป็นอย่างมากต้องให้มีประสิทธิภาพสูงสุด เนื่องจากจะนำไปแปลงเป็นความถี่พาหะและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนาฬิกา จากการทดลองนี้ต้องทดลองอยู่นานพอสมควรจึงจะทำให้สามารถกรองความถี่ได้อย่างถูกต้อง เนื่องจากความถี่ของสัญญาณพาหะจะเข้ามากวน ข้องเสนอแนะสำหรับวงจรกรองความถี่ช่วงผ่านทั้งสองชุด ควรใช้วงจรกรองต่อแคสเคดกันมากกว่าสองชุดจะทำให้สัญญาณออกมาได้ดียิ่งขึ้น

วงจรกู้สัญญาณนาฬิกา

วงจรในโครงงานนี้ ใช้เพื่อทำงานเป็นวงจรทวีคูณความถี่โดยวงจรใช้เหมือนกับทางด้านภาคส่งเพียงปรับเปลี่ยนวงจรหารความถี่เพียงเล็กน้อย เทคนิคของวงจรนี้ต้องป้องกันสัญญาณรบกวนที่จะเข้ามาด้วยมิเช่นนั้นแล้วจะทำให้เกิดการเลื่อนเฟสไปมาจะส่งผลต่อภาคต่อไปทำงานได้ไม่ถูกต้อง

วงจรกู้สัญญาณพาหะ

ในส่วนนี้จะนำเอาสัญญาณนาฬิกาจากวงจรเฟสล็อคลูป ชุดแรกทวีคูณให้ได้ความถี่ 76.8 kHz จากนั้นผ่านวงจรกรองความถี่ช่วงผ่าน เพื่อทำให้ได้สัญญาณรูปไซน์ หากการกู้ไม่เกิดการผิดพลาดแล้ว ในส่วนนี้จะไม่เกิดการผิดพลาดด้วยแต่ก็ไม่ควรลืมการป้องกันสัญญาณรบกวนด้วยเพื่อความมีเสถียรภาพของสัญญาณพาหะ ป้องกันการเลื่อนเฟสอันจะมีผลทำให้การดีมอดูเลต ผิดพลาดได้

วงจรเลื่อนเฟส 90 องศา

วงจรนี้เหมือนภาคส่งทุกประการ

วงจรบาลานซ์ดีมอดูเลเตอร์

เนื่องจากวงจรคล้ายกับทางด้านส่งมากในการทดสอบวงจรนั้น ทำเป็นวงจรมอดูเลเตอร์ให้ถูกต้องก่อนแล้วจึงมาทดลองทำการดีมอดูเลต โดยจะตรวจค่อนข้างยากว่าถูกหรือผิด จากการทดลองมีปัญหามากในการดีมอดูเลตให้ถูกต้อง เพราะเกิดการเลื่อนเฟสของสัญญาณพาหะเนื่องจากสัญญาณรบกวนจากภายนอกด้วย

วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท

วงจรนี้ถ้าหากวงจรกรองความถี่ต่ำที่มีประสิทธิภาพดีแล้ว วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท ก็จะไม่เกิดปัญหาอะไร ผลการทดลองเป็นที่น่าพอใจเป็นอย่างยิ่ง ข้อสำคัญสัญญาณ 4 ระดับที่ป้อนต้องทำการขยายค่าแอมปลิจูดให้มีค่าประมาณ 6 V_{p-p} แล้วทำการปรับระดับของสัญญาณให้มีค่าแต่ละระดับการออกแบบในบทที่ 3
จะทำให้วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต ทำงานได้ดียิ่งขึ้น

วงจรรวมสัญญาณดิจิตอล

ถ้าหากเฟสของสัญญาณที่จะนำมารวมถูกต้องทั้งทางด้าน I และ Q แล้ว ก็จะไม่เกิดปัญหา แต่ถ้าหากไม่ถูกต้องแล้วจะทำให้ข้อมูลทางด้านเอาท์พุตเกิดการผิดพลาดไปจากเดิมผลการทดลองเป็นที่น่าพอใจ

โดยรวมๆ แล้ววงจรที่ออกแบบมานั้นอาจเกิดปัญหาเล็กๆน้อยๆที่ทำให้เสียเวลาในการทำงานส่วนใหญ่แล้วเกิดจากการกวนซึ่งกันและกันของวงจรส่วนของภาคกำเนิดสัญญาณพาหะและสัญญาณนำร่อง หากต้องการปรับปรุงให้เครื่องมีประสิทธิภาพมากขึ้นต้องใช้เวลาในการศึกษาเพิ่มเติมมากเลยทีเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

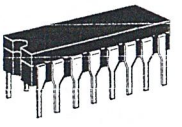
MC14046B

Phase Locked Loop

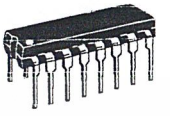
The MC14046B phase locked loop contains two phase comparators, a voltage–controlled oscillator (VCO), source follower, and zener diode. The comparators have two common signal inputs, PCA_{in} and PCB_{in}. Input PCA_{in} can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self–bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal $PC1_{out}$, and maintains 90° phase shift at the center frequency between PCA_{in} and PCB_{in} signals (both at 50% duty cycle). Phase comparator 2 (with leading edge sensing logic) provides digital error signals, $PC2_{out}$ and LD, and maintains a 0° phase shift between PCA_{in} and PCB_{in} signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source–follower output SF_{out} with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage–to–frequency conversion and motor speed control.

- Buffered Outputs Compatible with MHTL and Low–Power TTL
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 to 18 V
- Pin–for–Pin Replacement for CD4046B
- Phase Comparator 1 is an Exclusive Or Gate and is Duty Cycle Limited
- Phase Comparator 2 switches on Rising Edges and is not Duty Cycle Limited



L SUFFIX
CERAMIC
CASE 620



P SUFFIX
PLASTIC
CASE 648

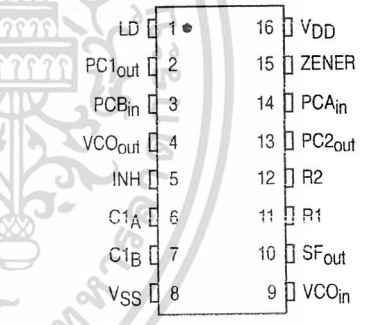
DW SUFFIX
SOIC
CASE 751G

ORDERING INFORMATION

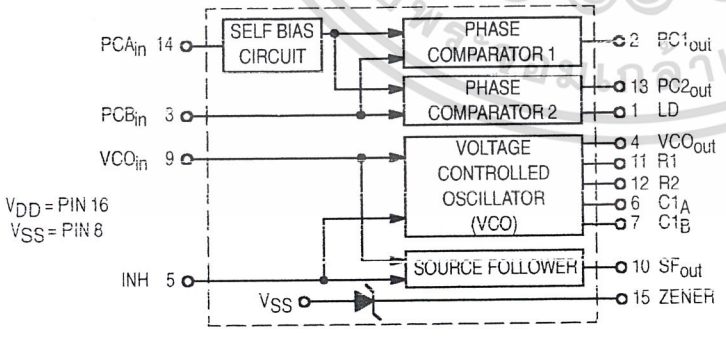
MC14XXXBCP	Plastic
MC14XXXBCL	Ceramic
MC14XXXBDW	SOIC

T_A = – 55° to 125°C for all packages.

PIN ASSIGNMENT



BLOCK DIAGRAM



© Motorola, Inc. 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	– 0.5 to + 18	Vdc
Input Voltage, All Inputs	V_{in}	– 0.5 to V_{DD} + 0.5	Vdc
DC Input Current, per Pin	I_{in}	± 10	mAdc
Power Dissipation, per Package†	P_D	500	mW
Operating Temperature Range	T_A	– 55 to + 125	°C
Storage Temperature Range	T_{stg}	– 65 to + 150	°C

* Maximum Ratings are those values beyond which damage to the device may occur.

†Temperature Derating:
Plastic "P and D/DW" Packages: – 7.0 mW/ °C From 65 °C To 125 °C
Ceramic "L" Packages: – 12 mW/ °C From 100 °C To 125 °C

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	– 55°C Min	– 55°C Max	25°C Min	25°C Typ	25°C Max	125°C Min	125°C Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage # "0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)		5.0	—	1.5	—	2.25	1.5	—	1.5	
(V_O = 9.0 or 1.0 Vdc)		10	—	3.0	—	4.50	3.0	—	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	—	4.0	—	6.75	4.0	—	4.0	
(V_O = 0.5 or 4.5 Vdc) "1" Level	V_{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
(V_O = 1.0 or 9.0 Vdc)		10	7.0	—	7.0	5.50	—	7.0	—	
(V_O = 1.5 or 13.5 Vdc)		15	11	—	11	8.25	—	11	—	
Output Drive Current	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	– 1.2	—	– 1.0	– 1.7	—	– 0.7	—	
(V_{OH} = 4.6 Vdc)		5.0	– 0.25	—	– 0.2	– 0.36	—	– 0.14	—	
(V_{OH} = 9.5 Vdc)		10	– 0.62	—	– 0.5	– 0.9	—	– 0.35	—	
(V_{OH} = 13.5 Vdc)		15	– 1.8	—	– 1.5	– 3.5	—	– 1.1	—	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	—	1.3	2.25	—	0.9	—	
(V_{OL} = 1.5 Vdc)		15	4.2	—	3.4	8.8	—	2.4	—	
Input Current	I_{in}	15	—	± 0.1	—	±0.00001	± 0.1	—	± 1.0	µAdc
Input Capacitance	C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current	I_{DD}	5.0	—	5.0	—	0.005	5.0	—	150	µAdc
(Per Package) Inh = PCA_{in} = V_{DD},		10	—	10	—	0.010	10	—	300	
Zener = VCO_{in} = 0 V, PCB_{in} = V_{DD}		15	—	20	—	0.015	20	—	600	
or 0 V, I_{out} = 0 µA										
Total Supply Current†	I_T	5.0	I_T = (1.46 µA/kHz) f + I_{DD}							mAdc
(Inh = "0", f_O = 10 kHz, C_L = 50 pF,		10	I_T = (2.91 µA/kHz) f + I_{DD}							
R1 = 1.0 MΩ, R2 = ∞ R_{SF} = ∞,		15	I_T = (4.37 µA/kHz) f + I_{DD}							
and 50% Duty Cycle)										

#Noise immunity specified for worst–case input combination.
Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
2.0 Vdc min @ V_{DD} = 10 Vdc
2.5 Vdc min @ V_{DD} = 15 Vdc

†To Calculate Total Current in General:

$$I_T \approx 2.2 \times V_{DD}\left(\frac{VCO_{in} - 1.65}{R1} + \frac{V_{DD} - 1.35}{R2}\right)^{3/4} + 1.6 \times \left(\frac{VCO_{in} - 1.65}{R_{SF}}\right)^{3/4} + 1 \times 10^{-3}\,(C_L + 9)\,V_{DD}\,f +$$

$$1 \times 10^{-1}\,V_{DD}^2\left(\frac{100\%\ \text{Duty Cycle of PCA}_{in}}{100}\right) + I_Q$$

where: I_T in µA, C_L in pF, VCO_{in}, V_{DD} in Vdc, f in kHz, and R1, R2, R_{SF} in MΩ, C_L on VCO_{out}.

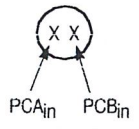
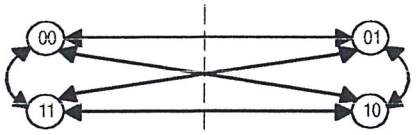
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์

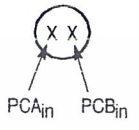
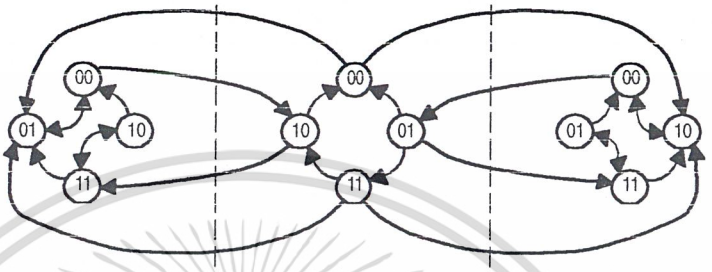
ELECTRICAL CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Minimum Device	Typical	Maximum Device	Units
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	—	180	350	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	—	90	150	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	—	65	110	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	—	100	175	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	—	50	75	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	—	37	55	
PHASE COMPARATORS 1 and 2						
Input Resistance — PCA_{in}	R_{in}	5.0	1.0	2.0	—	MΩ
		10	0.2	0.4	—	
		15	0.1	0.2	—	
— PCB_{in}	R_{in}	15	150	1500	—	MΩ
Minimum Input Sensitivity	V_{in}	5.0	—	200	300	mV p–p
AC Coupled — PCA_{in}		10	—	400	600	
C series = 1000 pF, f = 50 kHz		15	—	700	1050	
DC Coupled — PCA_{in}, PCB_{in}	—	5 to 15	See Noise Immunity			
VOLTAGE CONTROLLED OSCILLATOR (VCO)						
Maximum Frequency	f_{max}	5.0	0.5	0.7	—	MHz
(VCO_{in} = V_{DD}, C1 = 50 pF		10	1.0	1.4	—	
R1 = 5.0 kΩ, and R2 = ∞)		15	1.4	1.9	—	
Temperature — Frequency Stability	—	5.0	—	0.12	—	%/°C
(R2 = ∞)		10	—	0.04	—	
		15	—	0.015	—	
Linearity (R2 = ∞)	—					%
(VCO_{in} = 2.5 V ± 0.3 V, R1 > 10 kΩ)		5.0	—	1.0	—	
(VCO_{in} = 5.0 V ± 2.5 V, R1 > 400 kΩ)		10	—	1.0	—	
(VCO_{in} = 7.5 V ± 5.0 V, R1 ≥ 1000 kΩ)		15	—	1.0	—	
Output Duty Cycle	—	5 to 15	—	50	—	%
Input Resistance — VCO_{in}	R_{in}	15	150	1500	—	MΩ
SOURCE–FOLLOWER						
Offset Voltage	—	5.0	—	1.65	2.2	V
(VCO_{in} minus SF_{out}, RSF > 500 kΩ)		10	—	1.65	2.2	
		15	—	1.65	2.2	
Linearity	—					%
(VCO_{in} = 2.5 V ± 0.3 V, R_{SF} > 50 kΩ)		5.0	—	0.1	—	
(VCO_{in} = 5.0 V ± 2.5 V, R_{SF} > 50 kΩ)		10	—	0.6	—	
(VCO_{in} = 7.5 V ± 5.0 V, R_{SF} > 50 kΩ)		15	—	0.8	—	
ZENER DIODE						
Zener Voltage (I_Z = 50 μA)	V_Z	—	6.7	7.0	7.3	V
Dynamic Resistance (I_Z = 1.0 mA)	R_Z	—	—	100	—	Ω

* The formula given is for the typical characteristics only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE COMPARATOR 1		
Input Stage 		
$PC1_{out}$	0	1

PHASE COMPARATOR 2			
Input Stage 			
$PC2_{out}$	0	3–State Output Disconnected	1
LD (Lock Detect)	0	1	0

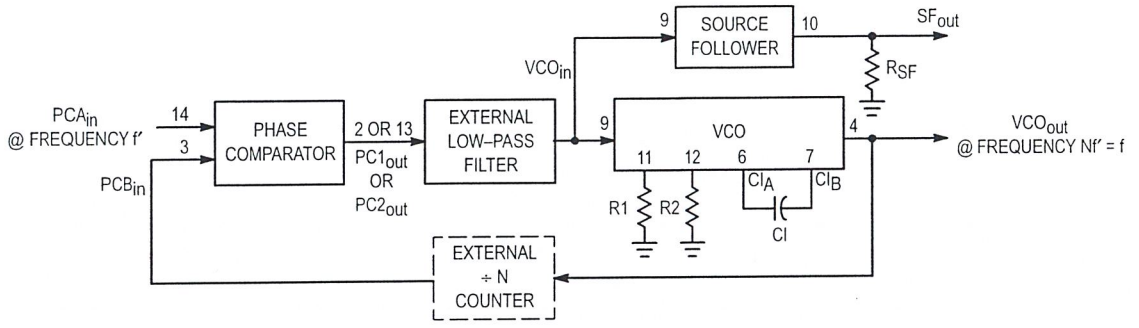
Refer to Waveforms in Figure 3.

Figure 1. Phase Comparators State Diagrams

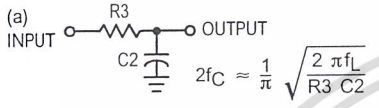
Characteristic	Using Phase Comparator 1	Using Phase Comparator 2
No signal on input PCA_{in}.	VCO in PLL system adjusts to center frequency (f_0).	VCO in PLL system adjusts to minimum frequency (f_{min}).
Phase angle between PCA_{in} and PCB_{in}.	90° at center frequency (f_0), approaching 0° and 180° at ends of lock range ($2f_L$)	Always 0° in lock (positive rising edges).
Locks on harmonics of center frequency.	Yes	No
Signal input noise rejection.	High	Low
Lock frequency range ($2f_L$).	The frequency range of the input signal on which the loop will stay locked if it was initially in lock; $2f_L$ = full VCO frequency range = $f_{max} - f_{min}$.	
Capture frequency range ($2f_C$).	The frequency range of the input signal on which the loop will lock if it was initially out of lock.	
	Depends on low–pass filter characteristics (see Figure 3). $f_C \leq f_L$	$f_C = f_L$
Center frequency (f_0).	The frequency of VCO_{out}, when VCO_{in} = 1/2 V_{DD}	
VCO output frequency (f). Note: These equations are intended to be a design guide. Since calculated component values may be in error by as much as a factor of 4, laboratory experimentation may be required for fixed designs. Part to part frequency variation with identical passive components is typically less than ± 20%.	$f_{min} = \frac{1}{R_2(C_1 + 32\ pF)}$ (V_{CO} input = V_{SS}) $f_{max} = \frac{1}{R_1(C_1 + 32\ pF)} + f_{min}$ (V_{CO} input = V_{DD}) Where: $10K \leq R_1 \leq 1\ M$ $10K \leq R_2 \leq 1\ M$ $100pF \leq C_1 \leq .01\ \mu F$	

Figure 2. Design Information

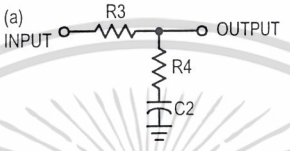
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Typical Low–Pass Filters



$$2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{R3\ C2}}$$



Typically:

$$R_4\ C_2 = \frac{6N}{f_{max}} - \frac{N}{2\pi\Delta f}$$

$$(R_3 + 3{,}000\Omega)\ C_2 = \frac{100N\Delta f}{f_{max}^2} - R_4\ C_2$$

$$\Delta f = f_{max} - f_{min}$$

NOTE: Sometimes R3 is split into two series resistors each R3 ÷2. A capacitor C $_C$ is then placed from the midpoint to ground. The value for C$_C$ should be such that the corner frequency of this network does not significantly affect ω_n. In Figure B, the ratio of R3 to R4 sets the damping, R4 ≅ (0.1)(R3) for optimum results.

Definitions: N = Total division ratio in feedback loop

$K\phi = V_{DD}/\pi$ for Phase Comparator 1

$K\phi = V_{DD}/4\pi$ for Phase Comparator 2

$$K_{VCO} = \frac{2\pi\Delta f_{VCO}}{V_{DD} - 2\ V}$$

for a typical design $\omega_n \cong \frac{2\pi f_r}{10}$ (at phase detector input)

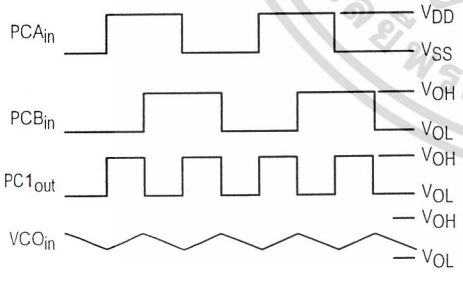
$\zeta \cong 0.707$

LOW–PASS FILTER

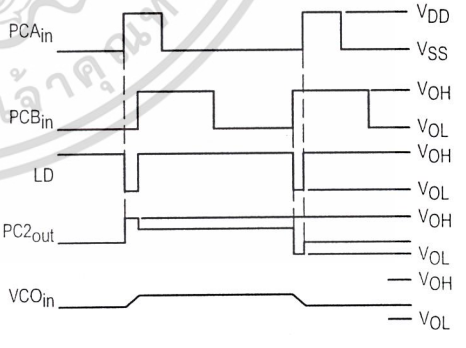
Filter A	Filter B
$\omega_n = \sqrt{\frac{K\phi KVCO}{NR_3C_2}}$	$\omega_n = \sqrt{\frac{K\phi KVCO}{NC_2(R_3 + R_4)}}$
$\zeta = \frac{N\omega_n}{2K\phi KVCO}$	$\zeta = 0.5\ \omega_n\ (R_3C_2 + \frac{N}{K\phi KVCO})$
$F(s) = \frac{1}{R_3C_2S + 1}$	$F(s) = \frac{R_3C_2S + 1}{S(R_3C_2 + R_4C_2) + 1}$

Waveforms

Phase Comparator 1



Phase Comparator 2



Note: for further information, see:

(1) F. Gardner, "Phase–Lock Techniques", John Wiley and Son, New York, 1966.
(2) G. S. Moschytz, "Miniature RC Filters Using Phase–Locked Loop", BSTJ, May, 1965.
(3) Garth Nash, "Phase–Lock Loop Design Fundamentals", AN–535, Motorola Inc.
(4) A. B. Przedpelski, "Phase–Locked Loop Design Articles", AR254, reprinted by Motorola Inc.

Figure 3. General Phase–Locked Loop Connections and Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Order this document by MC1496/D

MOTOROLA

MC1496, B

Balanced Modulators/ Demodulators

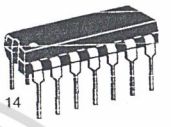
These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
  –50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

This device contains 8 active transistors.

BALANCED MODULATORS/DEMODULATORS

SEMICONDUCTOR TECHNICAL DATA



D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

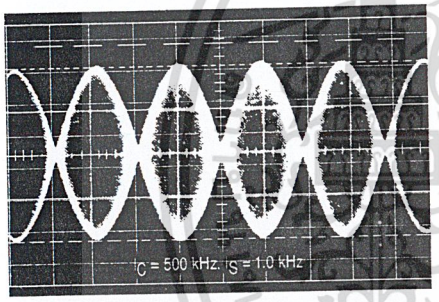


Figure 1. Suppressed Carrier Output Waveform

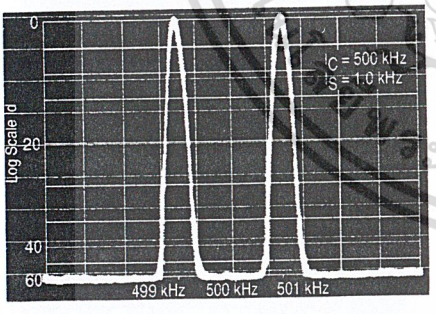


Figure 2. Suppressed Carrier Spectrum

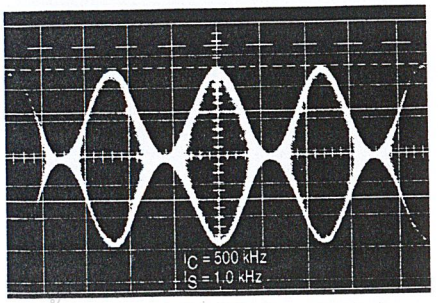
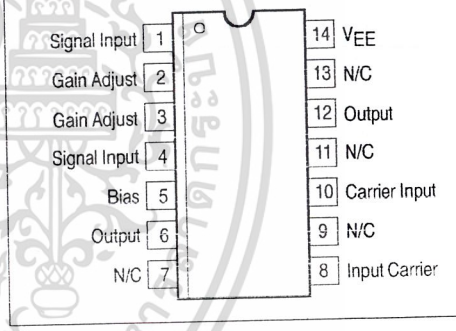


Figure 3. Amplitude Modulation Output Waveform

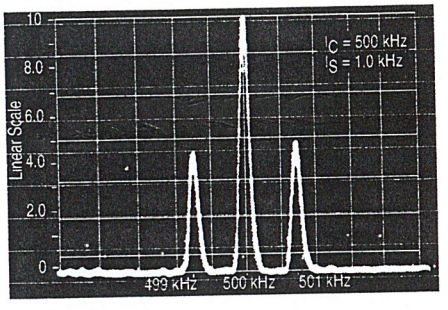
PIN CONNECTIONS



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC1496D	T_A = 0°C to +70°C	SO–14
MC1496P		Plastic DIP
MC1496BP	T_A = –40°C to +125°C	Plastic DIP

Figure 4. Amplitude–Modulation Spectrum



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
© Motorola, Inc. 1996

Rev 4

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

amplifier. If the carrier signal is modulated, a 300 mVrms input level is recommended.

Doubly Balanced Mixer

The MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mVrms.

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1496 will function as a phase detector. High–level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Figure 26. Balanced Modulator (12 Vdc Single Supply)

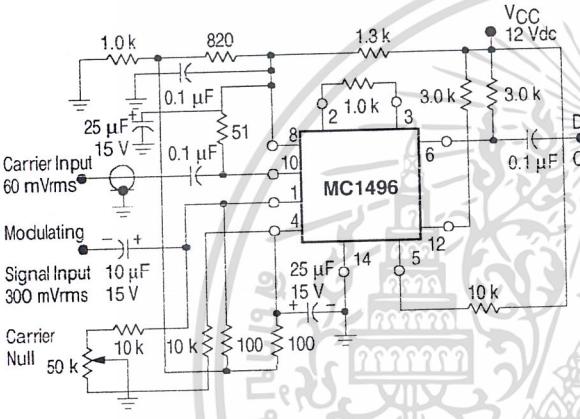


Figure 27. Balanced Modulator–Demodulator

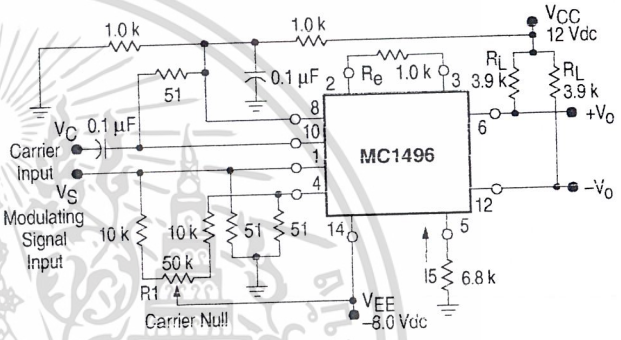


Figure 28. AM Modulator Circuit

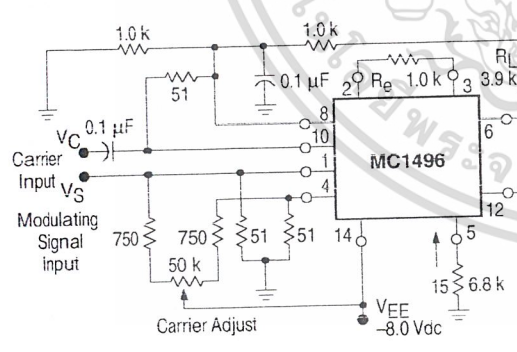
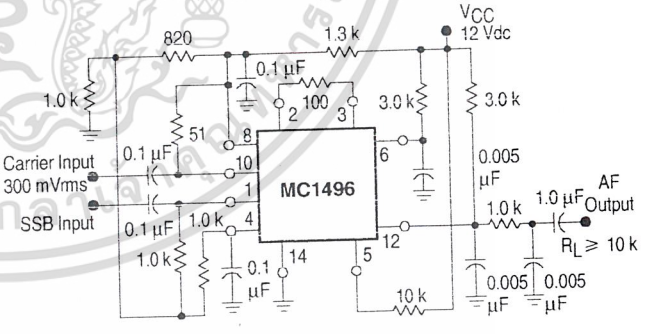


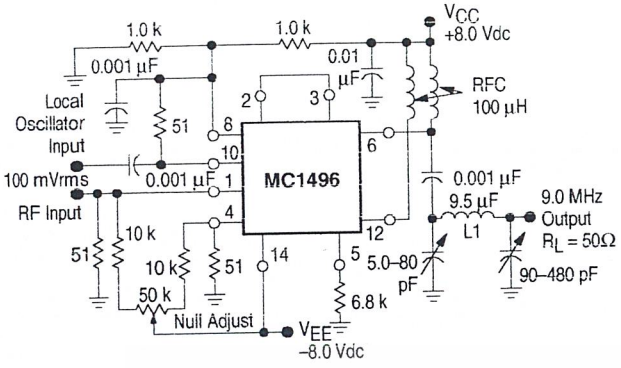
Figure 29. Product Detector (12 Vdc Single Supply)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ห้ามมิให้ทำซ้ำ ดัดแปลง หรือเผยแพร่ต่อสาธารณะ ไม่ว่ากรณีใดๆ ทั้งสิ้น โดยไม่ได้รับอนุญาตเป็นลายลักษณ์อักษรจากเจ้าของลิขสิทธิ์ ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 30. Doubly Balanced Mixer (Broadband Inputs, 9.0 MHz Tuned Output)



L1 = 44 Turns AWG No. 28 Enameled Wire, Wound on Micrometals Type 44–6 Toroid Core.

Figure 31. Low–Frequency Doubler

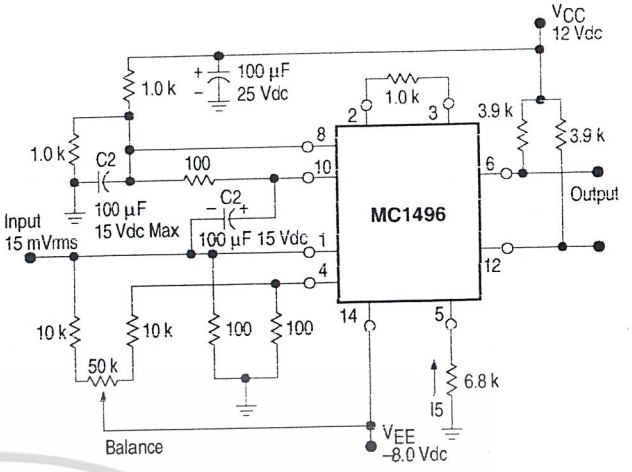
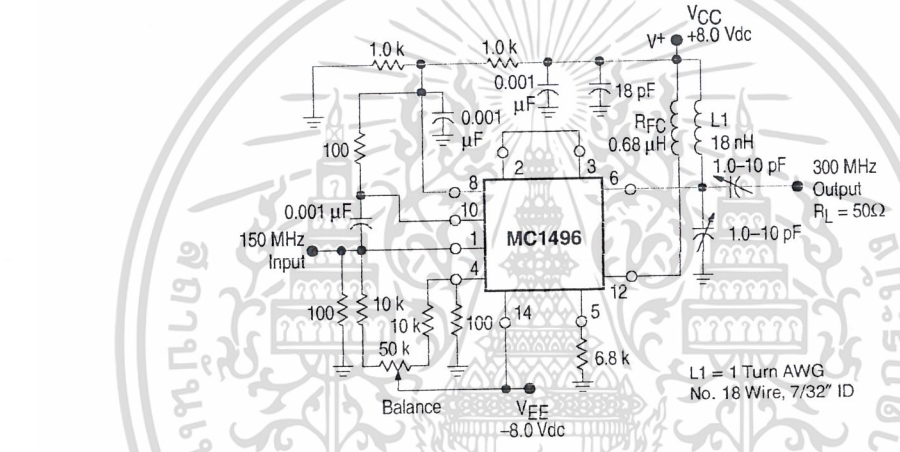
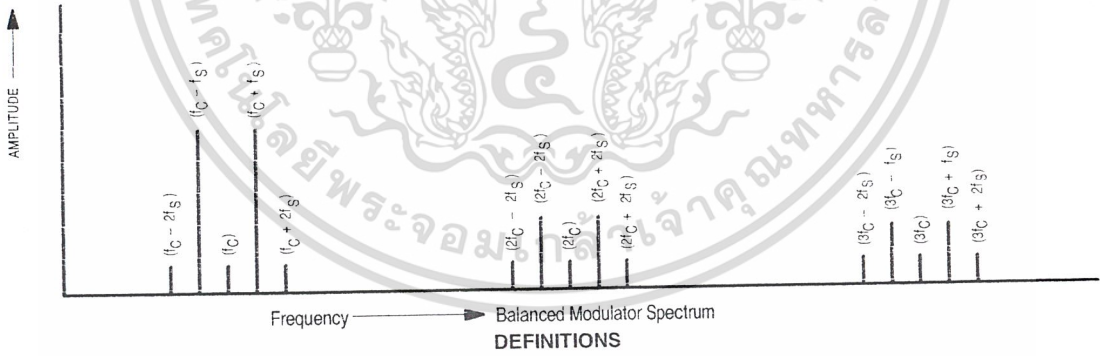


Figure 32. 150 to 300 MHz Doubler

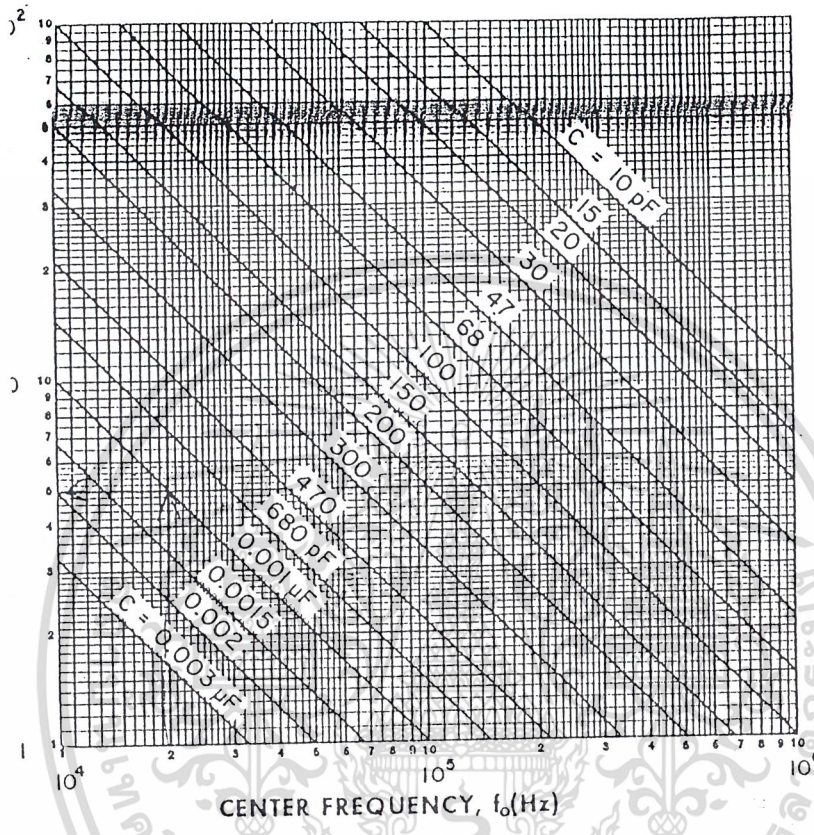




DEFINITIONS

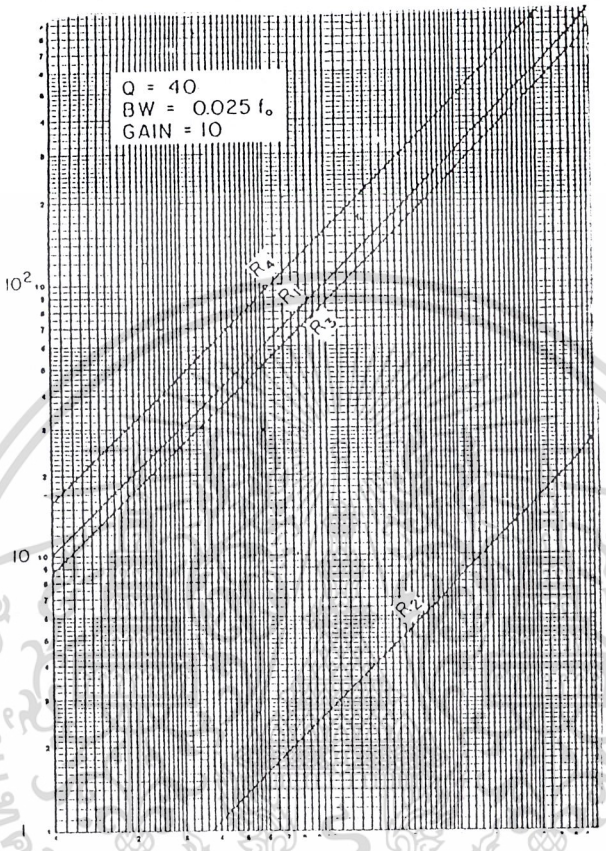
f_C	Carrier Fundamental
f_S	Modulating Signal
$f_C \pm f_S$	Fundamental Carrier Sidebands
$f_C \pm nf_S$	Fundamental Carrier Sideband Harmonics
nf_C	Carrier Harmonics
$nf_C \pm nf_S$	Carrier Harmonic Sidebands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



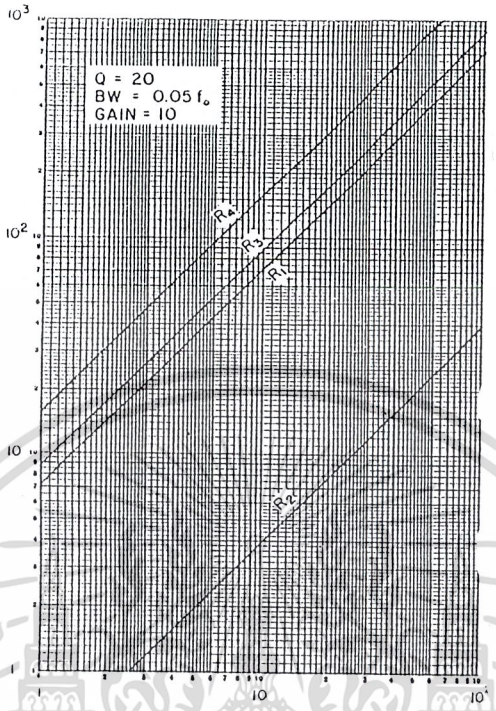
กราฟที่ 1 แสดงความสัมพันธ์ระหว่างความถี่กับค่า K- Parameter ที่ตัวเก็บประจุค่าต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) ความถี่ 48 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b) ความถี่ 48 kHz

กราฟที่ 2 แสดงความสัมพันธ์ระหว่างค่า K- Parameter กับตัวเก็บประจุที่ค่าความต้านทานต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Wayne Tomasi, "Adbanced Electronic Communications Systems , second edition", Prentice Hall , Eagle Wood Cliffs , N.J., 1992
2. J, Hilbum and D.E. Johnson, " Manual Active filter Design, "McGraw Hill , 1973
3. Roland E. Bast, " Phase-Locked Loop Design, Simulation and Application ", McGraw Hill
4. Ramakant A. Gayakwad, "Op-Amps and Linear Integrated Circuit,second edition" Prantice Hall, Internation,1988

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

รายงานฉบับนี้สามารถสำเร็จลุล่วงไปได้ด้วยดี ก็ด้วยความอนุเคราะห์จากอาจารย์ทุกท่านที่เคยอบรม สั่งสอน ทำให้ผู้จัดทำสามารถนำวิชาความรู้ที่ได้รับการสั่งสอนมาประยุกต์ใช้ โดยเฉพาะอย่างยิ่ง อาจารย์ กอบชัย เดชหาญ ที่คอยให้ความช่วยเหลือ คำแนะนำ คำปรึกษา ชี้แนะแนวทางในการปฏิบัติงานต่าง ๆ เป็นอย่างดี รวมถึงพี่ๆ เพื่อนๆ ที่คอยให้ความช่วยเหลือในด้านต่าง ๆ

จึงขอขอบคุณมา ณ ที่นี้ด้วย

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้