ดิจิตอล ออสซิลโลสโคป
DIGITAL OSCILLOSCOPE

โดย

นายคิตติพล เอื้อวิโรจนังกูร

นายอภินัย วรรณไพโรจน์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

ปริญญานิพนธ์ปีการศึกษา 2541

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ดิจิตอล ออสซิลโลสโคป

DIGITAL OSCILLOSCOPE

ผู้จัดทำ

1. นาย กิตติพล เอื้อวิโรจน์นังกูร 38014027
2. นาย อภินัย วรรณไพโรจน์ 38014621

อาจารย์ที่ปรึกษา

(ผศ. เกรียงไกร วงศ์โรจนภรณ์)

อาจารย์ที่ปรึกษา

(รศ. ดร. สุวิพล สิทธิชีวภาค)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิตอล ออสซิลโลสโคป

DIGITAL OSCILLOSCOPE

โดย นาย กิตติพล เอื้อวิโรจน์นังกูร 38014027
นาย อภินัย วรรณไพโรจน์ 38014621

อาจารย์ที่ปรึกษา ผศ. เกรียงไกร วงศ์โรภรณ์
รศ.ดร. สุวิพล สิทธิชีวภาค

บทคัดย่อ

ในด้านวิศวกรรมไฟฟ้าการสื่อสาร อุปกรณ์ที่ทำหน้าที่ตรวจสอบการทำงานและรูปร่างของสัญญานมีความสำคัญอย่างมากในการปฏิบัติงาน แต่อุปกรณ์เหล่านี้มีราคาสูง หาซื้อยากทำให้หาใช้อุปกรณ์เหล่านี้ลำบาก ดังนั้น ในการทดลองนี้จึงนำเสนอการสร้างวงจรที่ทำหน้าที่ตรวจสอบหรือดูรูปสัญญานอย่างคร่าวๆ วงจรนี้อาจไม่สามารถปฏิบัติงานได้เท่าเทียมอุปกรณ์จริง แต่ก็สามารถใช้งานได้ในระดับหนึ่ง ทั้งนี้เพื่อให้นักศึกษาสามารถมีไว้ในครอบครอง รวมถึงทำให้ลดการพึ่งพาเทคโนโลยีของต่างชาติโดยตรงลง ผลที่ได้อาจอาจไม่ได้ดีเท่าอุปกรณ์ที่วางขายในท้องตลาด แต่ก็เป็นวิธีหนึ่งที่ทำให้นักศึกษาได้คิดและสร้างอุปกรณ์นี้เพื่อใช้งานได้

ABSTRACT

In Telecommunication Engineering field , devices that check and display figure of signals are very important. But they are very expensive and hard to find. In this experimental, we would like to introduce the devices that can design and construct circuit. These devices can check the process any the figure of signals. This circuit may not be as efficient as the high technology devices. But due to the low cost of this experimental , we can create the circuit that we can use this device instead of expensive devices. Even the result may not be good as the devices available in market , it can be use practically.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎี หรือ หลักการ 3

ดิจิตอลออสซิลโลสโคป 3

- วงจรเปลี่ยนอนาลอกเป็นดิจิตอล (ADC) 4
- หน่วยความจำ (Memory) 6
- วงจรเปลี่ยนดิจิตอลเป็นอนาลอก (DAC) 8
- การสุ่มตัวอย่าง ณ เวลาจริง (Real –Time sampling) 10
- แบนด์วิดท์การเก็บภาพที่เป็นประโยชน์ (Useful Storage Bandwidth) 11
- ไรซ์ไทม์ที่เป็นประโยชน์ (Useful Rise Time) 14
- การประมวลผลสัญญาน (Signal Processing) 16
- การใช้การ (Application) 17

วงจรขยายสัญญานแบบกลับขั้ว (Inverting Amplifier) 22

วงจรเปรียบเทียบ (Comparator) 25

RS232 27

บทที่ 3 การคำณวนและการสร้าง 31

3.1 การออกแบบและการสร้างวงจรขยายหรือลดทอนสัญญาน 31

3.2 การออกแบบและการสร้างวงจรคริสตอลออสซิลเลเตอร์และวงจรหารความถี่ 32

3.3 การออกแบบและการสร้างวงจรเปรียบเทียบสัญญาน 34

3.4 การออกแบบและการสร้างวงจรแปลงสัญญานอนาลอกเป็นดิจิตอล 35

3.5 การออกแบบและการสร้างวงจรส่วนประมวลผลและแสดงผล 36

3.6 การออกแบบและการสร้างวงจรส่วนเชื่อมต่อระหว่างไมโครคอนโทลเลอร์กับพอร์ตอนุกรมของคอมพิวเตอร์และการแสดงผลผ่านจอคอมพิวเตอร์ 43

3.7 การคำนวนและการสร้างวงจรส่วนแสดงผลความถี่ 48

บทที่ 4 การทดลองและผลการทดลอง 54

4.1 ผลการทดลองส่วนวงจรขยายหรือลดทอนสัญญาน 54

4.2 ผลการทดลองส่วนวงจรคริสตอลออสซิลเลเตอร์และวงจรหารความถี่ 59

4.3 ผลการทดลองส่วนวงจรเปรียบเทียบสัญญาน 66

4.4 ผลการทดลองส่วนวงจรสัญญานอนาลอกเป็นดิจิตอล 69

4.5 ผลการทดลองส่วนวงจรส่วนประมวลผลและแสดงผล 72

4.6 ผลการทดลองส่วนของการแสดงผลผ่านทางจอคอมพิวเตอร์ 75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

4.7 ผลการทดลองในการแสดงผลความถี่ 77
4.8 ภาพถ่ายแสดงชิ้นงานของดิจิตอลออสซิลโลสโคป 78
บทที่ 5 บทวิจารณ์และบทสรุป 79
หนังสืออ้างอิง
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

บทที่ 1 บทนำ

รูปที่ 1.1 แสดงบล๊อกไดอะแกรมการทำงานรวมของดิจิตอลออสซิลโลสโคป 1

บทที่ 2 ทฤษฎีหรือหลักการ 2

รูปที่ 2.1 บล๊อกไดอะแกรมของดิจิตอลสตอเรจออสซิลโลสโคป 3

รูปที่ 2.2 Frash converter 3

รูปที่ 2.3 Scan converter 5

รูปที่ 2.4 เซลความจำและวงจรติดต่อกับภายนอก 6

รูปที่ 2.5 วงจรเปลี่ยนดิจิตอลเป็นอนาลอก 7

รูปที่ 2.6 เทคนิคการสุ่มตัวอย่างแบบดิจิตอล 9

รูปที่ 2.7 Analog writing speed 10

รูปที่ 2.8 ลิเนียร์อินเทอร์โพเลเตอร์ 12

รูปที่ 2.9 ความผิดพลาดที่เกิดจากไซน์เวฟอินเทอร์โพเลเตอร์ 13

รูปที่ 2.10 ไซน์ อินเทอร์โพเลเตอร์ที่ปรับปรุงแล้ว 13

รูปที่ 2.11 ค่าไรไทม์จากการสุ่มตัวอย่าง 14

รูปที่ 2.12 สัญญานรบกวนในคลื่นรูปไซน์ 15

รูปที่ 2.13 ผลถ่วงการถ่วงดุลย์น้ำหนัก 16

รูปที่ 2.14 ไดอะแกรมของ A/D converter 17

รูปที่ 2.15 ตารางค่าความจริงสำหรับ การแปลงสัญญานอนาลอกเป็นดิจิตอล 18

รูปที่ 2.16 ไดอะแกรมของ counter-ramp-type A/D converter 20

รูปที่ 2.17 วงจรขยายแบบกลับขั้ว 21

รูปที่ 2.18 รูปสัญญานอินพุทและเอาท์พุทของวงจรขยายแบบกลับขั้ว 22

รูปที่ 2.19 แรงดันออฟเซต 23

รูปที่ 2.20 วงจรกำจัดออฟเซต 24

รูปที่ 2.21 วงจรเปรียบเทียบ 24

รูปที่ 2.22 ตัวอย่างวงจรเปรียบเทียบ 25

บทที่ 3 การคำนวณและการสร้าง 26

รูปที่ 3.1.1 แสดงวงจรขยายสัญญาณแบบกลับเฟส 31

รูปที่ 3.2.1 แสดงวงจรคริสตอลออสซิลเลเตอร์ความถี่ 10 MHz 31

รูปที่ 3.3.1 แสดงวงจรเปรียบเทียบสัญญาณ (Comparator Circuit) 33

รูปที่ 3.4.1 แสดงวงจรเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอลด้วย IC CA3318CE 34

35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.5.1 แสดงวงจรการเชื่อมต่อระหว่างไมโครโปรเซสเซอร์กับหน้าจอ LCD 36
รูปที่ 3.5.2 แสดงรายละเอียดวงจรส่วนควบคุมการทำงานรวม 37
รูปที่ 3.5.3 โฟลชาร์ตแสดงการทำงานของโปรแกรมภายในไมโครคอนโทลเลอร์ 38
รูปที่ 3.6.1 แสดงวงจรการเชื่อมต่อระหว่างไมโครคอนโทลเลอร์กับ IC ICL232 43
รูปที่ 3.6.2 โฟลชาร์ตโปรแกรมการรับข้อมูลผ่านพอร์ตอนุกรมและแสดงผลทางจอคอมพิวเตอร์ 44
รูปที่ 3.7.1 แสดงวงจรส่วนแสดงผลความถี่ 48
CIRCUIT PART 1 49
CIRCUIT PART 2 50
CIRCUIT PART 3 51
CIRCUIT PART 4 52
CIRCUIT PART 5 53
บทที่ 4 การทดลองและผลการทดลอง 54
รูปที่ 4.1.1 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณโดยใช้ออปแอมป์เบอร์LF351
โดยที่ R1 : สัญญาณอินพุทจากเครื่องกำเนิดสัญญาณขนาด 2.16 Vp-p
Ch1 :สัญญาณเอาท์พุทจาการลดทอนระดับสัญญาณ โดยที่มีขนาด 1.12 Vp-p 54
รูปที่ 4.1.2 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณโดยใช้ออปแอมป์เบอร์LF351
โดยที่ R1 : สัญญาณอินพุทจากเครื่องกำเนิดสัญญาณขนาด 2.16 Vp-p
Ch1 :สัญญาณเอาท์พุทจาการขยายระดับสัญญาณ โดยที่มีขนาด 2.76 Vp-p 55
รูปที่ 4.1.3 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณโดยใช้ออปแอมป์เบอร์LF351
โดยที่ R1 : สัญญาณอินพุทจากเครื่องกำเนิดสัญญาณขนาด 1.08 Vp-p
Ch1 :สัญญาณเอาท์พุทจาการขยายระดับสัญญาณ โดยที่มีขนาด 18.2 Vp-p 55
รูปที่ 4.1.4 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณโดยใช้ออปแอมป์เบอร์LF351
โดยที่ R1 : สัญญาณอินพุทจากเครื่องกำเนิดสัญญาณขนาด 600 mVp-p
Ch1 :สัญญาณเอาท์พุทจาการขยายระดับสัญญาณ โดยที่มีขนาด 17.6 Vp-p 56
รูปที่ 4.1.5 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณโดยใช้ออปแอมป์เบอร์LF351
โดยที่ R1 : สัญญาณอินพุทจากเครื่องกำเนิดสัญญาณขนาด 328 mVp-p
Ch1 :สัญญาณเอาท์พุทจาการขยายระดับสัญญาณ โดยที่มีขนาด 10.6 Vp-p 56
รูปที่ 4.1.6 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณโดยใช้ออปแอมป์เบอร์LF351
โดยที่ R1 : สัญญาณอินพุทจากเครื่องกำเนิดสัญญาณขนาด 216 mVp-p
Ch1 :สัญญาณเอาท์พุทจาการขยายระดับสัญญาณ โดยที่มีขนาด 7.04 Vp-p 57
รูปที่ 4.1.7 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณโดยใช้ออปแอมป์เบอร์LF351

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

โดยที่ R1 : สัญญาณอินพุทจากเครื่องกำเนิดสัญญาณขนาด 216 mVp-p
Ch1 :สัญญาณเอาท์พุทจาการขยายระดับสัญญาณ โดยที่มีขนาด 7.56 Vp-p 57
รูปที่ 4.1.8 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณ โดยใช้ออปแอมป์เบอร์LF351
โดยที่ R1 : สัญญาณอินพุทจากเครื่องกำเนิดสัญญาณขนาด 2.16 Vp-p
Ch1 :สัญญาณเอาท์พุทจาการขยายระดับสัญญาณ โดยที่มีขนาด 5.2 Vp-p 58

รูปที่ 4.1.9 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณ โดยใช้ออปแอมป์เบอร์LF351
โดยที่ R1 : สัญญาณอินพุทจากเครื่องกำเนิดสัญญาณขนาด 1.08 Vp-p
Ch1 :สัญญาณเอาท์พุทจาการขยายระดับสัญญาณ โดยที่มีขนาด 18 Vp-p 58
รูปที่ 4.2.1 แสดงผลวงจรคริสตอลออสซิลเลเตอร์ ความถี่ 10 MHz 59
รูปที่ 4.2.2 แสดงผลวงจรการหาร (÷2) จาก IC เบอร์ 74HC162
โดยที่ R1 : สัญญาณอินพุทจากคริสตอลออสซิลเลเตอร์ 10 MHz
Ch1 : สัญญาณเอาท์พุทจากวงจร (÷2) 5 MHz 60
รูปที่ 4.2.3 แสดงผลวงจรการหาร (÷10) จาก IC เบอร์ 74HC162
โดยที่ R1 : สัญญาณอินพุทจากคริสตอลออสซิลเลเตอร์ 10 MHz
Ch1 : สัญญาณเอาท์พุทจากวงจร (÷10) 1 MHz 60
รูปที่ 4.2.4 แสดงผลวงจรการหาร (÷2) จาก IC เบอร์ 74HC162
โดยที่ R1 : สัญญาณอินพุทจากคริสตอลออสซิลเลเตอร์ 1 MHz
Ch1 : สัญญาณเอาท์พุทจากวงจร (÷2) 500 kHz 61
รูปที่ 4.2.5 แสดงผลวงจรการหาร (÷10) จาก IC เบอร์ 74HC162
โดยที่ R1 : สัญญาณอินพุทจากคริสตอลออสซิลเลเตอร์ 1 MHz
Ch1 : สัญญาณเอาท์พุทจากวงจร (÷10) 100 kHz 61
รูปที่ 4.2.6 แสดงผลวงจรการหาร (÷2) จาก IC เบอร์ 74HC162
โดยที่ R1 : สัญญาณอินพุทจากคริสตอลออสซิลเลเตอร์ 100 kHz
Ch1 : สัญญาณเอาท์พุทจากวงจร (÷2) 50 kHz 62
รูปที่ 4.2.7 แสดงผลวงจรการหาร (÷10) จาก IC เบอร์ 74HC162
โดยที่ R1 : สัญญาณอินพุทจากคริสตอลออสซิลเลเตอร์ 100 kHz
Ch1 : สัญญาณเอาท์พุทจากวงจร (÷10) 10 kHz 62
รูปที่ 4.2.8แสดงผลวงจรการหาร (÷2) จาก IC เบอร์ 74HC162
โดยที่ R1 : สัญญาณอินพุทจากคริสตอลออสซิลเลเตอร์ 10 kHz
Ch1 : สัญญาณเอาท์พุทจากวงจร (÷2) 5 kHz 63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.2.9 แสดงผลวงจรการหาร (÷10) จาก IC เบอร์ 74HC162
โดยที่ R1 : สัญญาณอินพุทจากคริสตอลออสซิลเลเตอร์ 10 kHz
Ch1 : สัญญาณเอาท์พุทจากวงจร (÷10) 1 kHz 63
รูปที่ 4.2.10 แสดงผลวงจรการหาร (÷2) จาก IC เบอร์ 74HC162
โดยที่ R1 : สัญญาณอินพุทจากคริสตอลออสซิลเลเตอร์ 1 kHz
Ch1 : สัญญาณเอาท์พุทจากวงจร (÷2) 500 Hz 64
รูปที่ 4.2.11 แสดงผลวงจรการหาร (÷10) จาก IC เบอร์ 74HC162
โดยที่ R1 : สัญญาณอินพุทจากคริสตอลออสซิลเลเตอร์ 1 kHz
Ch1 : สัญญาณเอาท์พุทจากวงจร (÷10) 100 Hz 64
รูปที่ 4.2.12 แสดงผลวงจรการหาร (÷2) จาก IC เบอร์ 74HC162
โดยที่ R1 : สัญญาณอินพุทจากคริสตอลออสซิลเลเตอร์ 100 Hz
Ch1 : สัญญาณเอาท์พุทจากวงจร (÷2) 50 Hz 65
รูปที่ 4.2.13 แสดงผลวงจรการหาร (÷10) จาก IC เบอร์ 74HC162
โดยที่ R1 : สัญญาณอินพุทจากคริสตอลออสซิลเลเตอร์ 100 Hz
Ch1 : สัญญาณเอาท์พุทจากวงจร (÷10) 10 Hz 65
รูปที่ 4.3.1 แสดงผลที่ได้จากวงจรเปรียบเทียบระดับสัญญาณ เมื่อระดับแรงดันอ้างอิง อยู่ที่ 0 โวลต์
โดยที่ R1 : สัญญาณอินพุทรูป sine จากเครื่องกำเนิดสัญญาณ
Ch1 : สัญญาณเอาท์พุท 66
รูปที่ 4.3.2 แสดงผลที่ได้จากวงจรเปรียบเทียบระดับสัญญาณ เมื่อระดับแรงดันอ้างอิง อยู่ที่ –1.6 โวลต์
โดยที่ R1 : สัญญาณอินพุทรูป sine จากเครื่องกำเนิดสัญญาณ
Ch1 : สัญญาณเอาท์พุท 67
รูปที่ 4.3.3 แสดงผลที่ได้จากวงจรเปรียบเทียบระดับสัญญาณ เมื่อระดับแรงดันอ้างอิง อยู่ที่ 2.2 โวลต์
โดยที่ R1 : สัญญาณอินพุทรูป sine จากเครื่องกำเนิดสัญญาณ
Ch1 : สัญญาณเอาท์พุท 67
รูปที่ 4.3.4 แสดงผลที่ได้จากวงจรเปรียบเทียบระดับสัญญาณ เมื่อระดับแรงดันอ้างอิง อยู่ที่ 0 โวลต์
โดยที่ R1 : สัญญาณอินพุทรูปสามเหลี่ยมจากเครื่องกำเนิดสัญญาณ
Ch1 : สัญญาณเอาท์พุท 68

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.3.5 แสดงผลที่ได้จากวงจรเปรียบเทียบระดับสัญญาณ เมื่อระดับแรงดันอ้างอิงอยู่ที่ –1.8 โวลต์
โดยที่ R1 : สัญญาณอินพุทรูปสามเหลี่ยมจากเครื่องกำเนิดสัญญาณ
Ch1 : สัญญาณเอาท์พุท 68
รูปที่ 4.4.1 กราฟแสดงผลการแปลงสัญญาณอนาลอกเป็นดิจิตอล 71
รูปที่ 4.5.1 แสดงผลที่ได้เมื่อป้อนสัญญาณรูป sine จากเครื่องกำเนิดสัญญาณ 72
รูปที่ 4.5.2 แสดงผลที่ได้เมื่อป้อนสัญญาณรูปสามเหลี่ยมจากเครื่องกำเนิดสัญญาณ 73
รูปที่ 4.5.3 แสดงผลที่ได้เมื่อป้อนสัญญาณรูปสี่เหลี่ยมจากเครื่องกำเนิดสัญญาณ 73
รูปที่ 4.5.4 แสดงผลที่ได้เมื่อป้อนสัญญาณ FM (Frequency Modulator) จากเครื่องกำเนิดสัญญาณ 74
รูปที่ 4.5.5 แสดงผลที่ได้เมื่อป้อนสัญญาณ AM (Amplitude Modulator) จากเครื่องกำเนิดสัญญาณ 74
รูปที่ 4.6.1 แสดงหน้าจอการแสดงผลโดยทำการป้อนสัญญาณรูปไซน์ 75
รูปที่ 4.6.2 แสดงหน้าจอการแสดงผลโดยทำการป้อนสัญญาณรูปสามเหลี่ยม 76
รูปที่ 4.6.3 แสดงหน้าจอการแสดงผลโดยทำการป้อนสัญญาณรูปสี่เหลี่ยม 76
รูปที่ 4.7.1 แสดงผลความถี่ของสัญญาณรูปไซน์ความถี่ 500 kHz 77
รูปที่ 4.7.2 แสดงผลความถี่ของสัญญาณรูปไซน์ความถี่ 5 MHz 77
รูปที่ 4.8.1 ภาพถ่ายแสดงชิ้นงาน 78

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ 2.1 การกำหนดขาของ RS 232 สำหรับคอนเน็กเตอร์อนุกรม 9 ขา 29

ตารางที่ 3.1 ผลจากการคำนวนอัตราการขยาย 32

ตารางที่ 3.2 แสดงผลจากวงจรหารความถี่ 33

ตารางที่ 4.1 แสดงผลการแปลงสัญญาณอนาลอกเป็นดิจิตอล 8 บิต (256 ระดับ) 69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

จากอดีตจนถึงปัจจุบัน มีการพัฒนาอุปกรณ์ ทดลอง และแสดงผลของสัญญาณอย่างต่อเนื่อง ทำให้เครื่องมือหรืออุปกรณ์ในปัจจุบันมีศักยภาพสูงขึ้นเรื่อยๆตามลำดับ ตัวอย่างหนึ่งก็คือ ออสซิลโลสโคป

ออสซิลโลสโคป ก็เป็นอุปกรณ์ทดลองและแสดงผลของสัญญาณที่ใช้กันอย่างแพร่หลาย และมีศักยภาพสูง ในอดีต ยุคแรกๆของออสซิลโลสโคปเป็นแบบอนาลอก กล่าวคือ จะแสดงผลของสัญญาณ โดยการนำสัญญาณที่ได้มาควบคุมตำแหน่งการแสดงผล บนหน้าจอ CRT โดยตรง ในปัจจุบัน ระบบดิจิตอลเข้ามามีบทบาทมากขึ้น ออสซิลโลสโคปจึงพัฒนาเอาระบบดิจิตอลมาใช้งานทำให้การทำงานของดิจิตอลออสซิลโลสโคปมีศักยภาพสูง มีฟังก์ชั่นการทำงานมากขึ้น ไม่ว่าจะเป็นการเชื่อมต่อผ่านคอมพิวเตอร์ การบันทึกข้อมูลลงแผ่นดิสก์ และความแม่นยำแน่นอนในการแสดงผลสูง รวมทั้งการประมวลผลสัญญาณทำได้ง่ายกว่า

ในโปรเจคนี้จะทำการสร้างดิจิตอลออสซิลโลสโคป การทำงานอย่างคร่าวๆถูกแสดงในบล็อคไดอแกรม รูปที่1.1 ถูกแบ่งออกเป็นสามส่วนใหญ่ๆ

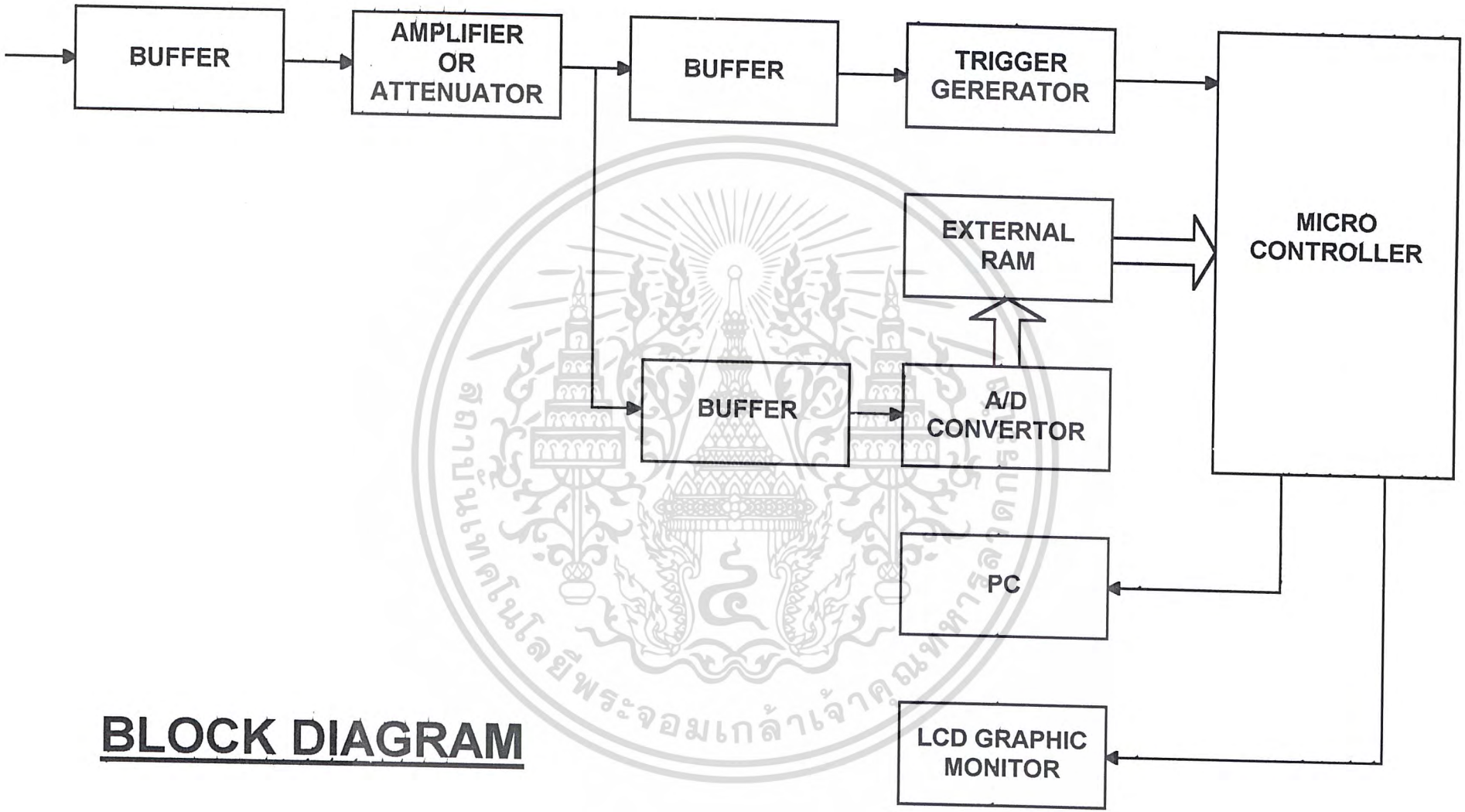
ส่วนแรก คือ ส่วนรับสัญญาณแล้วทำการขยายหรือลดทอนระดับแรงดันสัญญาณ (Amplifier or Attenuator)

ส่วนที่สอง คือ ส่วนสร้างสัญญาณทริก (Trigger Generator)

ส่วนที่สาม คือ ส่วนที่ทำการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Conversion)

ส่วนสุดท้าย คือ ส่วนที่เป็นการประมวลผลและแสดงผลของสัญญาณ (Display)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



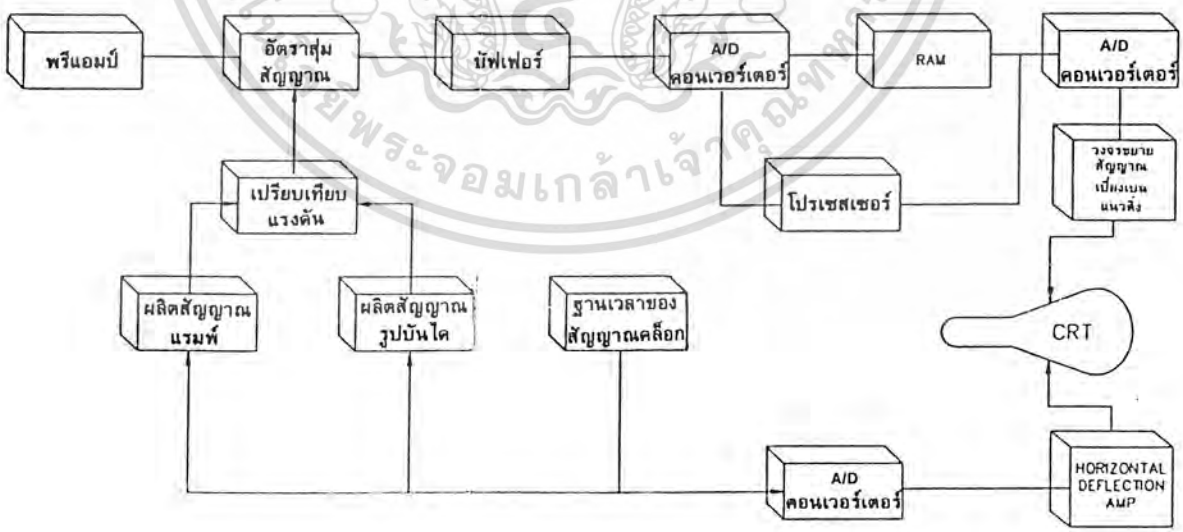
รูปที่ 1.1 แสดงบล๊อกไดอแกรม การทำงานรวมของดิจิตอลออสซิลโลสโคป

บทที่2
ทฤษฎีหรือหลักการ

ดิจิตอลสตอเรจออสซิลโลสโคป (Digital Storage Oscilloscopes)

ความแตกต่างพื้นฐานระหว่างสตอเรจออสซิลโลสโคปแบบแอนะลอกและแบบดิจิตอล ดังรูปแบบของการเก็บภาพ แอนะลอกออสซิลโลสโคปใช้กลไกในการเก็บรูปคลื่น ส่วนดิจิตอลออสซิลโลสโคปจะสุ่มตัวอย่างรูปคลื่นอินพุทมาเปลี่ยนเป็นข้อมูลไบนารี (binary data) ซึ่งสามารถเก็บลงบนหน่วยความจำที่เป็นสารกึ่งตัวนำ เพื่อที่จะเรียกใช้งานบนจอภาพได้

การเก็บภาพแบบดิจิตอลต้องใช้หลักการแปลงเป็นเชิงตัวเลข (digitizing) และการสร้างสัญญาณอินพุทใหม่ การแปลงเป็นเชิงตัวเลขประกอบด้วยการสุ่มตัวอย่าง และการควอนไตซ์ (quantizing) เราได้กล่าวถึงเทคนิคการสุ่มตัวอย่างมาแล้วในตอนต้นของบทนี้ สัญญานอินพุทจะถูกสุ่มตัวอย่างแบบแอนะลอก จากนั้นมันจะถูกเปลี่ยนเป็นตัวอย่างทางดิจิตอล โดยใช้วงจรเปลี่ยนแอนะลอกเป็นดิจิตอล (analog-to-digital converter : ADC) ข้อมูลที่มีการแปลงเชิงตัวเลขนี้จะถูกเก็บลงบนหน่วยความจำที่เป็นสารกึ่งตัวนำ ส่วนการแสดงผลออกมาทางจอภาพนั้นข้อมูลจะถูกเปลี่ยนเป็นสัญญาณแอนะลอกโดยใช้วงจรเปลี่ยนดิจิตอลเป็นแอนะลอก (digital-to-analog converter : DAC) สัญญาณแอนะลอกที่ถูกสร้างขึ้นมาใหม่นี้จะถูกทำให้ซิงโครไนซ์ (synchronize) กับวงจรเบี่ยงเบนแนวนอนและแสดงผลออกมาบนจอภาพเป็นจุดต่อเนื่อง



รูปที่ 2.1 บล็อกไดอะแกรมของดิจิตอลสตอเรจออสซิลโลสโคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บล็อกไดอะแกรมของการสุ่มตัวอย่างแบบดิจิตอลและออสซิลโลโสคปแบบดิจิตอลได้แสดงในรูปที่ 2.1 หัวใจการทำงานของดิจิตอลสตอเรจออสซิลโลสโคปนี้อยู่ที่นาฬิกาฐานเวลา (clock timebase) นาฬิกาฐานเวลาจะกำเนิดสัญญาณพัลส์ที่มีความถี่เหมาะสมในการสุ่มตัวอย่าง เพื่อขับวงจรกำเนิดสัญญาณแรมพ์ (ramp generator), วงจรกำเนิดสัญญาณขั้นบนได และการกวดแนวนอน (horizontal sweep) นาฬิกาฐานเวลานี้จะกำหนดจุดเวลาเพื่อเป็นจุดอ้างอิงค่าควอนไตซ์ของสัญญาณอินพุท

การเดินทางของสัญญาณฐานเวลาครึ่งหนึ่งจะเปิดแซมปลิ้งเกทในเวลาสั้น ๆ ให้มีการสุ่มตัวอย่าง อัตราการเดินของสัญญาณฐานเวลาเรียกว่า อัตราการแปลงเชิงตัวเลข (digitizing rate) มีหน่วยเป็น MS/s (mega-samples per second) หรือจุดต่อวินาที

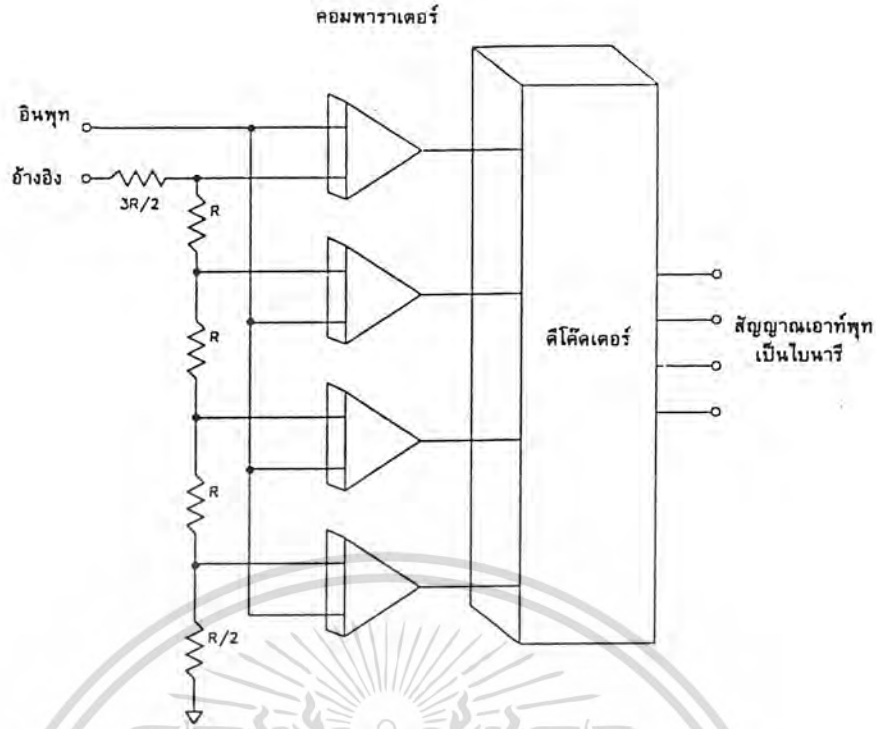
วงจรเปลี่ยนแอนะลอกเป็นดิจิตอล (ANALOG-TO-DIGITAL CONVERTER : ADC)

แรงดันของตัวอย่างที่สุ่ม (sample voltage) จะถูกบัฟเฟอร์และเปลี่ยนเป็นรูปดิจิตอลโดยใช้วงจร ADC วิธีใช้เปลี่ยนแรงระดับต่าง ๆ ของรูปคลื่นเป็นเชิงตัวเลขมีหลายวิธี แต่วิธีที่นิยมที่สุดมี 3 วิธี คือใช้

- successive approximation converters
- flash converters
- scan conversion

Successive approximation converters จะเปรียบเทียบแรงดันอินพุทกับเอาท์พุทของวงจร DAC บิทที่มีค่าสูงสุด (most significant bit : MSB) จะถูกเซ็ทเป็นสถานะสูง แต่ค่าสัญญาณอินพุทต่ำกว่าเอาท์พุทของวงจร DAC แล้ว บิทที่มีค่าสูงสุดจะถูกเซ็ทเป็นสถานต่ำ จากนั้นวงจรก็จะเปรียบเทียบค่าในบิทต่าง ๆ ต่อไป ขบวนการนี้ใช้เวลานานต้องใช้สัญญาณพัลส์อย่างน้อย 1 ลูก ต่อการควอนไตซ์ 1 บิท ดังนั้นวงจรแบบนี้ไม่นิยมใช้ในออสซิลโลสโคปเท่าไรนัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



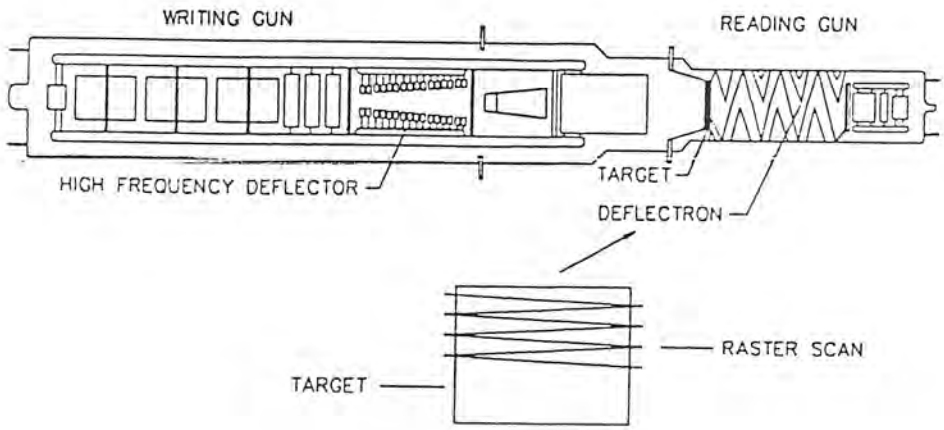
รูปที่ 2.2 Flash converter

Flash converters หรืออีกนัยหนึ่งเป็นวงจรเปลี่ยนแอนะลอกอินพุทเป็นเลขไบนารี โดยใช้สัญญาณพัลส์เพียง 1 ลูก ในขณะที่ successive approximation converter ใช้สัญญาณพัลส์ 8 ลูก เพื่อสร้างเลข 7 บิท

การเปลี่ยนแอนะลอกเป็นดิจิตอลของวงจร flash converters ทำได้โดยสร้างตัวเปรียบเทียบแรงดันแบบขนาน สัญญาณอินพุทของตัวเปรียบเทียบแรงดันแบบขนานจะถูกต่อเข้ากับชุดตัวหารตัวต้านทานถ่วงน้ำหนัก (weighted resistor divider) ซึ่งวัดค่าทางแอนะลอกออกมา ตัวเปรียบเทียบแรงดันนี้จะทำงานหรือไม่นั้นขึ้นอยู่กับขนาดของแรงดันอินพุท จำนวนของตัวเปรียบเทียบแรงดันที่ทำงานจะแปลผันตรงกับขนาดของแรงดันอินพุท ซึ่งชุดถอดระหัสดิจิตอลจะเปลี่ยนจำนวนของตัวเปรียบเทียบแรกงดันที่ทำงานเป็นเลขไบนารีเพื่อใช้ในขบวนการอื่นๆ ต่อไป เราจะกล่าวถึง flash converters อย่างละเอียดในบทที่ 7

Scan converters เป็นกลไกที่เปลี่ยนข้อมูลแอนะลอกเป็นข้อมูลดิจิตอล และยังเกี่ยวข้องถึงการเก็บข้อมูลลงบนจอ รวมทั้งการอื่นข้อมูลจากจอภาพโดยใช้ลำแสงสแกนภาพ scan converters ประกอบด้วยจอภาพที่มีปลาย 2 ด้าน (double ended CRT) ลำแสงที่ใช้เขียนจอภาพ (write beam) ก็เหมือนกับที่ใช้ในออสซิลโลสโคปทั่วๆ ไป แตกต่างกันตรงที่ว่าลำแสงแบบนี้ใช้กับเป้าที่เล็กกว่าปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 Scan converter

จากนั้นเป้าจะถูกอ่านอย่างช้า ๆ ด้วยลำแสงซึ่งจะสแกนภาพบนเป้า ด้วยวิธีนี้การสุ่มตัวอย่างสามารถทำได้ในแบนด์วิดท์ของคลื่นที่สูงถึง 500 MHz เนื่องจากประสิทธิภาพที่สูงนี้เอง ทำให้ Scan converters ถูกติดตั้งในสตอเรจออสซิลโลสโคปที่มีราคาแพงเท่านั้น

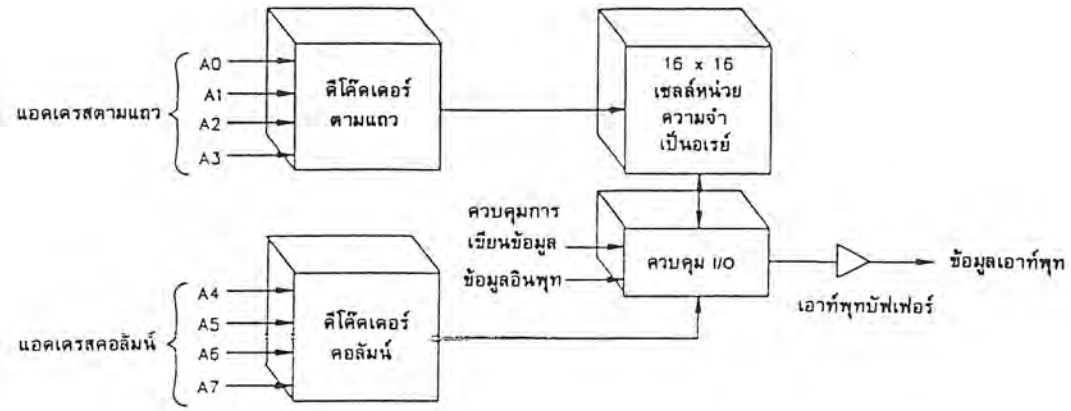
หน่วยความจำ (MEMORY)

เมื่อสัญญาณอินพุทถูกสุ่มตัวอย่างและแปลงเชิงตัวเลข ตัวเลขไบนารีก็จะถูกเก็บลงในหน่วยความจำ หน่วยความจำถูกแบ่งออกเป็น 2 ประเภทคือ ประเภทสนามแม่เหล็ก หน่วยความจำประเภทสารกึ่งตัวนำได้แก่ RAM (random access memory) ส่วนหน่วยความจำประเภทสนามแม่เหล็กได้แก่ เทปคาสเซ็ท และแผ่นดิสก์ เป็นต้น

หน่วยความจำ RAM มีความเร็วมากกว่าแบบสนามแม่เหล็กด้วยเวลาการเข้าถึงข้อมูลเพียง 100 นาโนวินาที หรือน้อยกว่านั้น RAM ประกอบด้วยบล็อกของฟังก์ชัน 2 บล็อก ได้แก่ พื้นที่ในเซลล์ความจำและวงจรติดต่อกับภายนอก (peripheral interface circuitry)

วิธีการออกแบบใช้งานเซลล์ความจำแบบแยกส่วนนั้นมีหลายแบบ แต่ที่พบตามปกติได้แก่ เซลล์แบบสเตติกฟลิปฟลอป (static flip-flop cell) และเซลล์ไดนามิก (dynamic cell)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 เซลล์ความจำและวงจรติดต่อกับภายนอก

เซลล์ความจำแบบสเตติก (static memory cell) เป็นไบสเตเบิลมับติไวเบรเตอร์ที่ประกอบด้วยฟลิปฟลอปทรานซิสเตอร์ 2 ตัว การทำงานของทรานซิสเตอร์ด้านซ้านหรือด้านขวาด้านใดด้านหนึ่งจะเกิดสัญญาณ 0 หรือ 1 ซึ่งจะถูกเก็บลงในเซลล์ ข้อมูลที่ได้นี้จะคงอยู่จนกระทั่งมีกระแสจากภายนอกมาชาร์จหรือจนกระทั่งไฟเลี้ยงทรานซิสเตอร์หมดไปเซลล์แบบนี้เรียกว่า "สเตติก" เพราะว่ามันจะเก็บข้อมูลได้เฉพาะเมื่อมีไฟเลี้ยงเท่านั้น

เซลล์ความจำแบบไดนามิก (dynamic memory cell) ประกอบด้วยทรานซิสเตอร์ตัวเดียว กระแสที่ไหลเข้าเบสของทรานซิสเตอร์จะสร้างประจุตรงบริเวณเบสของทรานซิสเตอร์ เรียกว่าสถานะเปิด (on) คือ 1 ในขณะที่สถานปิด (off) คือ 0 เซลล์ไดนามิกซึ่งเป็นทรานซิสเตอร์ตัวเดียวนี้มีข้อดีมากกว่าเซลล์สเตติกที่เป็นทรานซิสเตอร์ 2 ตัว เพราะเมื่อมีองค์ประกอบของส่วนตาง ๆ น้อยกว่าดังนั้นจึงใช้พลังงานย้อยกว่า เซลล์ไดนามิกไม่สามารถรักษาสถานะเปิดได้ตลอดไปมันจึงต้องการการรีเฟรซ (refresh) คำว่า "ไดนามิก" แสดงถึงการเปลี่ยนสถานะตลอดเวลาเมื่อเวลาเปลี่ยนไปทรานซิสเตอร์สามารถรักษาประจุที่เบสได้เพียงไม่กี่มิลลิวินาทีก่อนที่มันจะหายไป ถ้าหากประจุไหลโดยไม่ได้ถูกทำให้เต็มใหม่อีกครั้ง ข้อมูลก็จะสูญหายไปด้วย การทำให้เต็มใหม่หรือการรีเฟรซนี้ต้องอาศัยวงจรรีเฟรซที่ต้องสร้างมาพร้อม ๆ กับไดนามิก RAM

รูปที่ 2.4 แสดงให้เห็นว่า RAM จะถูกกำหนดเป็นตำแหน่ง (address) ผ่านทางจุดสายตำแหน่งการเลือกใช้ RAM ก็จะกำหนดตำแหน่งเป็นแถวและคอลัมน์ ถ้าข้อมูลถูกเขียนลงบนพื้นที่ความจำ หน่วยควบคุมข้อมูลอินพุทจะเปิดหรือปิดตำแหน่งของเซลล์ความจำโดยใช้สถานะ 0 หรือ 1 สำหรับการอ่านหน่วยความจำนั้นเซลล์ความจำจะถูกควบคุมโดยวงจรควบคุมอินพุทเอาท์พุทเพื่อบอกตำแหน่งการอ่าน

การรีเฟรซเซลล์ไดนามิกโดยมั่วไปทำได้โดยการชาร์จเซลล์ความจำทุกครั้งในแถวที่มีการอ่าน ดังนั้น RAM จึงต้องใช้เวลาในการถูกอ่านอย่างน้อย 2 มิลลิวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำประเภทสนามแม่เหล็กมักเป็นอุปกรณ์ภายนอกที่ต่อเข้ากับระบบ เช่น ฟลอปปี้ดิสก์ (floppy disk) ฮาร์ดดิสก์ (hard disk), เทปแม่เหล็ก เป็นต้น ตัวกลางแม่เหล็กเหล่านี้มักใช้เป็นตัวบรรจุข้อมูลขนาดใหญ่ที่ต่อเข้ากับ GPIB หรือ RS-232 โดยผ่านทางตัวควบคุม

ความจำและความยาวเรคคอร์ด (MEMORY AND RECORD LENGTH)

ความจำที่ถูกเก็บไว้จะแบ่งออกเป็นเรคคอร์ด (record) เรคคอร์ดอยู่ในรูปแบบของคลื่น เช่นอุปกรณ์หน่วยความจำชนิดหนึ่งมีความสามารถในการเก็บจุดต่าง ๆ ได้ 1024 จุดในหนึ่งรูปคลื่น ค่าที่ว่านี้คือความยาวเรคคอร์ด (record length) นั่นเอง

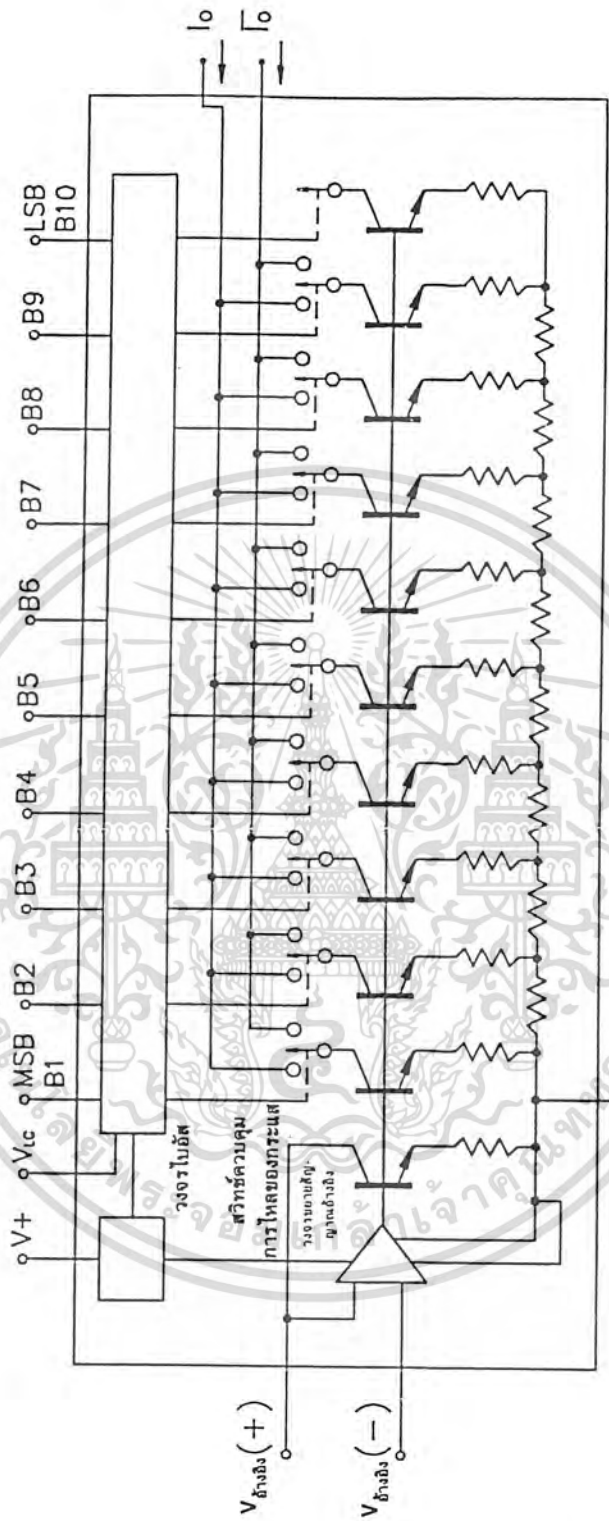
ในปัจจุบันนี้เทคโนโลยีทันสมัยทำให้หน่วยความจำในดิจิตอลออสซิลโลสโคปมีมากขึ้น แต่การขยายพื้นที่หน่วยความจำให้มากขึ้นนี้ต้องคำนึงถึงองค์ประกอบต่าง ๆ หลายอย่าง เช่น ความสามารถในการรีเฟรชหน่วยความจำความเร็วในการเขียนหรืออ่านหน่วยความจำ เป็นต้น

วงจรเปลี่ยนดิจิตอลเป็นแอนะลอก (DIGITAL-TO-ANALOG CONVERTER)

ในการแสดงข้อมูลที่ผ่านการแปลงเชิงตัวเลขแล้ว หรือข้อมูลจากหน่วยความจำในเวลาจริง (real time) สัญญาณดิจิตอลจะถูกเปลี่ยนเป็นแรงดันแอนะลอกเพื่อแสดงบนจอภาพ วงจรเปลี่ยนดิจิตอลเป็นแอนะลอกเมื่อถูกใช้ในการสร้างข้อมูลดิจิตอลขึ้นมาใหม่ไม่จำเป็นต้องมีคุณสมบัติเหมือนวงจรแอนะลอกเป็นดิจิตอล ซึ่งมีอัตราการเปลี่ยนที่ช้ากว่า จุดประสงค์หลักของวงจรเปลี่ยนดิจิตอลเป็นแอนะลอกก็คือ เปลี่ยนข้อมูลที่ถูกควอนไตซ์แล้วให้เป็นแรงดันแอนะลอก

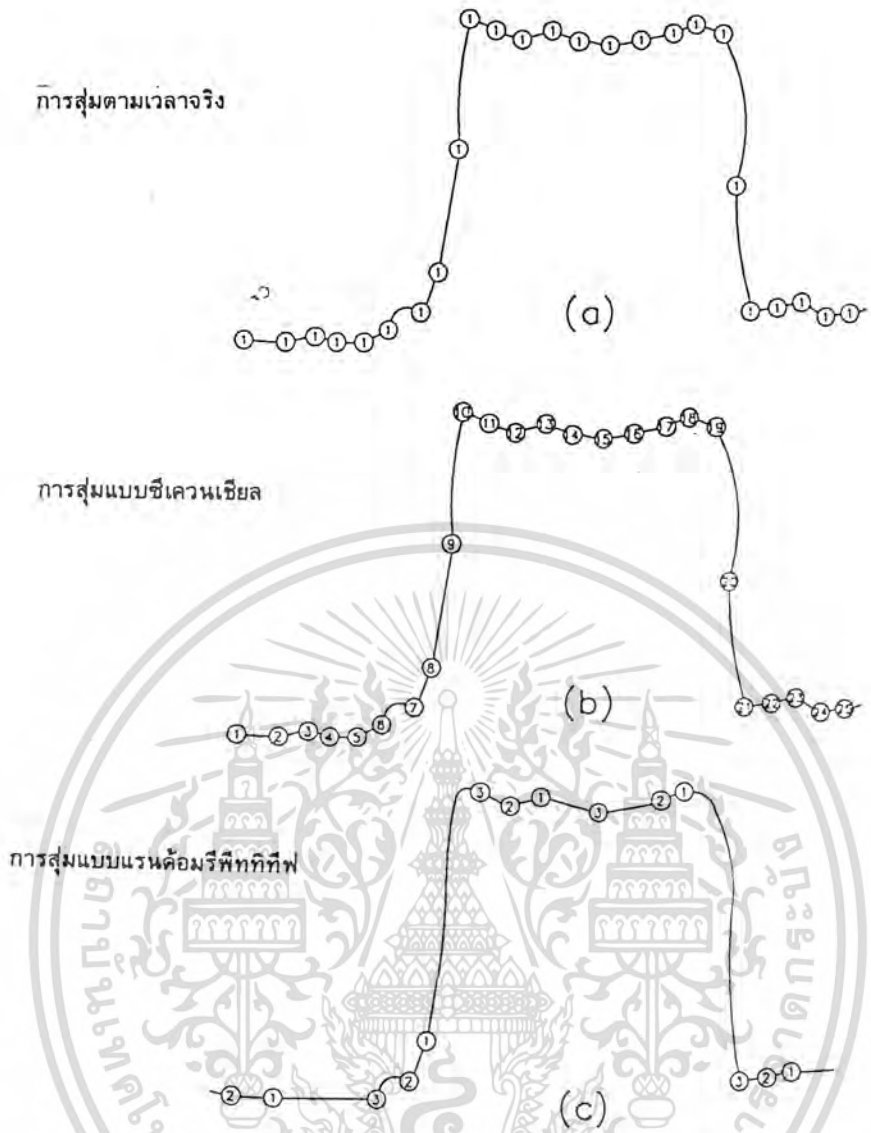
วงจรเปลี่ยนดิจิตอลเป็นแอนะลอกส่วนมากใช้วงจรอินพุทขนาน ดังนั้นมันจึงรับรหัสไบนารี (binary code) อินพุทแบบขนาน และแสดงแรงดันแอนะลอกของรหัสนั้น ๆ ออกมา รหัสอินพุทจะถูกเปลี่ยนเป็นแรงดันแอนะลอกโดยใช้สวิทซ์ไบนารีถ่วงน้ำหนัก (binary weight switch) ซึ่งจะทำงานพร้อมกับข้อมูลไบนารีอินพุท ในรูปที่ 2.5 แสดงตัวอย่างของวงจรเปลี่ยนดิจิตอลเป็นแอนะลอกชนิดหนึ่งใช้ในสตอเรจดิจิตอลออสซิลโลสโคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 วงจรเปลี่ยนดิจิตอลเป็นแอนะลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 เทคนิคการสุ่มตัวอย่างแบบดิจิตอล

การสุ่มตัวอย่าง ณ เวลาจริง (REAL-TIME SAMPLING)

เหตุผลที่เราต้องการเก็บภาพต่าง ๆ ของรูปคลื่นคือ เพื่อต้องการแสดงเหตุการณ์ที่เกิดขึ้น ณ เวลาใดเวลาหนึ่ง แต่โชคไม่ดีที่เทคนิคการสุ่มตัวอย่างต้องใช้ไซเคิลหลายไซเคิลในการสร้างรูปคลื่น ดังนั้นเพื่อที่จะจับภาพเหตุการณ์ ณ เวลาใด ๆ เพื่อใช้ในขบวนการดิจิตอล เราจึงต้องใช้เทคนิคการสุ่มตัวอย่างที่เรียกว่า ณ เวลาจริง (real-time sampling)

การสุ่มตัวอย่าง ณ เวลาจริงพื้นสัญญาณอินพุทจะถูกสุ่มตัวอย่างและแปลงเชิงตัวเลขระหว่างไซเคิลแรกดังแสดงในรูปที่ 2.6 ตัวเลขที่ผ่านไปจะแสดงในวงกลมเล็ก เทคนิคนี้จะใช้อัตราการสุ่มตัวอย่างน้อยสูงกว่า 10 เท่าของความถี่สูงสุดของสัญญาณอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สตอเรจดิจิตอลออสซิลโลสโคปสามารถใช้ในการแสดงคลื่นรูปไซน์ สัญญาณพัลส์และสภาวะชั่วครู่ของรูปคลื่น ในออสซิลโลสโคปแบบแอนะลอกนั้นคุณภาพของรูปคลื่นที่แสดงออกมาขึ้นอยู่กับจำนวนครั้งการสุ่มตัวอย่างในหนึ่งไซเคิล ถ้าจำนวนการสุ่มตัวอย่างมากคุณภาพของเส้นคลื่นที่แสดงออกมาจะดี อัตราส่วนของอัตราการสุ่มตัวอย่างต่ออัตราการแสดงผลก็คือ แบนด์วิทด์ของออสซิลโลสโคปนั่นเอง

ในจอภาพที่เก็บภาพได้แบบแอนะลอก (analog storage CRT) แบนด์วิดท์จะถูกเรียกเป็นความเร็วในการเขียน (write speed) หมายถึงจำนวนรวมของประจุที่สามารถจับบนเป้า ซึ่งจะเป็นจะเป็นตัวกำหนดขีดจำกัดสูงสุดในการเก็บภาพ แต่แบนด์วิดท์นี้ไม่ใช้การตอลสนองความถี่ของแอมปลิฟลายเออร์ในออสซิลโลสโคป ความเร็วในการเขียนนี้มีความสัมพันธ์กับความถี่อินพุทที่อสซิลโลสโคปสามารถเก็บไว้ได้ ดังแสดงในรูปที่ 2.7

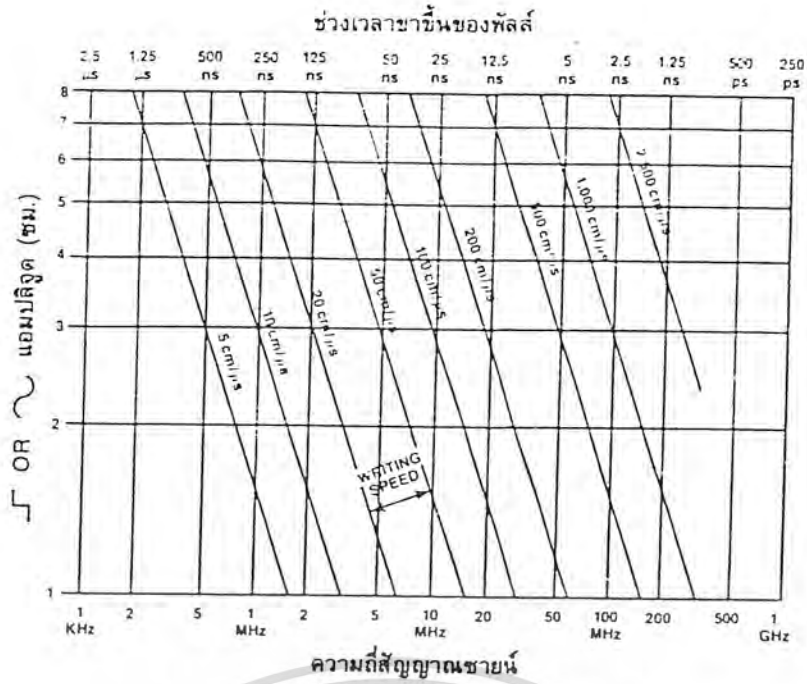
แบนด์วิดท์การเก็บภาพที่เป็นประโยชน์ (USEFUL STORAGE BANDWIDTH)

เพราะว่าดิจิตอลสตอเรจออสซิลโลสโคปจะเก็บรูปคลื่นโดยใช้วิธีการอิเล็กทรอนิกส์ ไม่ใช้วิธีทางกล (mechanical method) แบนด์วิดท์ของการเก็บภาพที่เป็นประโยชน์นี้จึงขึ้นอยู่กับอัตราการแปลงเชิงตัวเลข และชนิดของรูปคลื่นสำหรับรูปไซน์ โดยแบนด์วิดท์ของการเก็บภาพที่เป็นประโยชน์หรือ USB จะเท่ากับ

$$\text{USB(MHz)} = \frac{\text{อัตราการแปลงเชิงตัวเลขสูงสุด (MHz)}}{25}$$

ตัวหารที่เป็นเลข 25 นี้เป็นจำนวนจุดบนรูปคลื่น พึงระลึกเสมอว่าจำนวนของการสุ่มตัวอย่างต่อหนึ่งไซเคิลมีความสำคัญต่อการเปลี่ยนแปลงจุดบนเส้น (trace) ถ้าหากว่าเส้นเล็กจะทำให้จุดข้อมูลบนจอภาพใกล้กันมาก เป็นการลดการหลอกตาของเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 Analog writing speed

เพื่อให้เกิดผลแสดงบนจอภาพที่มีคุณภาพดีแต่ใช้การสุ่มตัวอย่างน้อย ดิจิตอลออสซิลโลสโคปจึงมีอุปกรณ์สำหรับลากเส้นระหว่างจุดบนจอภาพ การกระทำนี้อาศัยหลักการอินเทอร์โพเลชั่น (Interpolation) วงจรอินเทอร์โพเลชั่นที่ลากเส้นตรงจากจุดหนึ่งไปยังอีกจุดหนึ่งซึ่งเรียกว่า ลิเนียร์หรือพัลส์อินเทอร์โพเลเตอร์ (linear or pulse interpolation) วิธีนี้จะลดการหลอกตาของเส้นคลื่น โดยมันจะรวมเวกเตอร์ของเส้นตรงเพื่อแสดงผลออกมาดังรูปที่2.8

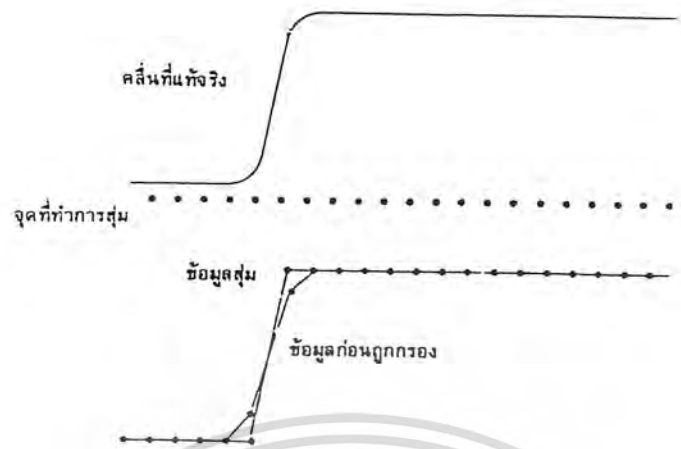
ดิจิตอลสตอเรจออสโลสโคปบางเครื่องมีวงจรสร้างเวกเตอร์สำหรับลากเส้นระหว่างจุดข้อมูลบนจอภาพการอินเทอร์โพเลชั่นที่ถูกใช้ในการแสดงรูปคลื่นไซน์ได้ถูกออกแบบให้มีการกำจัดการหลอกตา และใช้การสุ่มตัวอย่างเพียง 10 ตัวอย่างต่อหนึ่งไซเคิล วงจรพัลส์อินเทอร์โพเลเตอร์จะสร้างกลิตซ์ (glitch) ให้สามารถมองเห็นได้ชัดเจนขึ้นโดยการเชื่อมต่อจุดข้อมูลต่าง ๆ เข้าด้วยกัน นอกจากนั้นมันยังสามารถป้องกันการแตกกลุ่มของจุดข้อมูลที่อาจเกิดขึ้นได้

แบนด์วิดท์สำหรับการเก็บภาพแบบดิจิตอลของวงจาลิเนียร์อินเทอร์โพเลเตอร์คือ

$$\text{USB} = \frac{\text{อัตราการสุ่มตัวอย่างสุ่มสูงสุด(MHz)}}{10}$$

ถ้าหากเวกเตอร์บนจอภาพนั้นสั้น ความถูกต้องในการแสดงผลรูปคลื่นไซน์ก็จะสูง แต่ถ้าหากเวกเตอร์นั้นบาง การแสดงผลรูปคลื่นกับสัญญาณอินพุทอาจไม่คล้องจองกัน การใช้ลิเนียร์อินเทอร์โพเลชั่นของการสุ่มตัวอย่างน้อย ๆ จะทำให้รูปทรงของคลื่นเสียไป

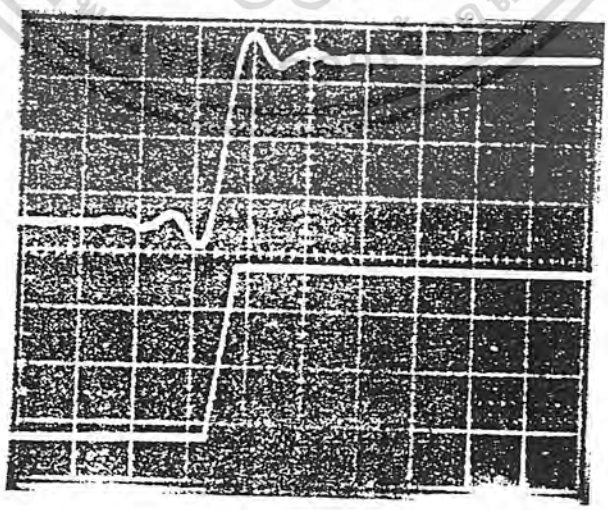
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 ลิเนียร์อินเทอร์โพเลเตอร์

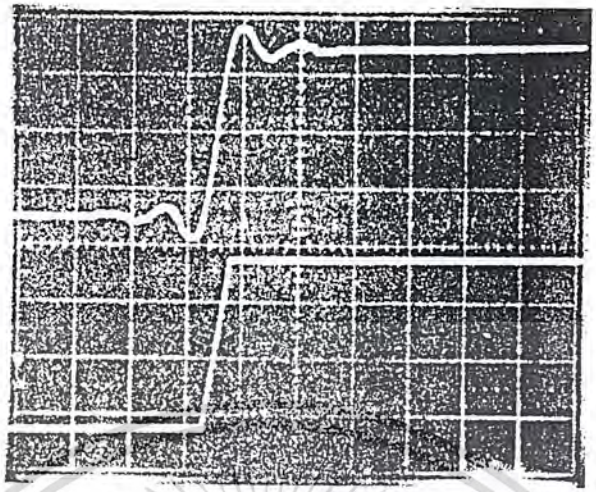
ไซน์เวฟอินเทอร์โพเลเตอร์ (sine-wave interpolator) หรืออีกนัยหนึ่งคือการทำให้เกิดฟังก์ชันรูปไซน์ขึ้นระหว่างจุด ซึ่งจะทำให้ความต่อเนื่องระหว่างจุดได้ดีกว่าการใช้เวกเตอร์ วงจรไซน์เวฟอินเทอร์โพเลเตอร์จะไม่ทำให้เกิดความผิดพลาดในการแสดงผล ถ้าหากว่าสัญญาณอินพุทเป็นคลื่นรูปไซน์เช่นเดียวกัน การทำไซน์เวฟอินเทอร์โพเลชั่นเราจะสุ่มตัวอย่างเพียง 2.5 ตัวอย่างต่อหนึ่งไซเคิล ดังนั้นเมื่อใช้วิธีนี้สมการ USB จะเท่ากับ

$$USB = \frac{\text{อัตราการสุ่มตัวอย่างสูงสุด (MHz)}}{2.5}$$



รูปที่ 2.9 ความผิดพลาดที่เกิดจากไซน์เวฟอินเทอร์โพเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 ไซน์อินเทอร์โพเลชั่นที่ปรับปรุงแล้ว

การใช้ไซน์เวฟอินเทอร์โพเลเตอร์ยังอาจทำให้เกิดข้อผิดพลาดคือ จะเกิด preshooting และ overshooting ดังแสดงในรูปที่ 2.9วิธีแก้ปัญหานี้คือใช้ดิจิตอลฟิลเตอร์ต่อเข้ากับวงจรไซน์เวฟอินเทอร์โพเลเตอร์เพื่อทำให้รูปคลื่นที่แสดงออกมามีความคล้ายรูปคลื่นจริงมากที่สุด

ไรซ์ไทม์ที่เป็นประโยชน์ (USEFUL RISE TIME)

หนึ่งพารามิเตอร์ที่สำคัญที่สุดในการตรวจสอบสัญญาณพัลส์คือไรซ์ไทม์ และการแสดงภาพที่สมบูรณ์ต้องใช้การสุ่มตัวอย่างประมาณ 10 ตัวอย่าง เพื่อแสดงลักษณะขอบขาขึ้นของสัญญาณ เนื่องจากคาบเวลาอัตราการสุ่มตัวอย่างเท่ากับ 1/อัตราการสุ่มตัวอย่าง ดังนั้น ไรซ์ไทม์ที่น้อยที่สุดที่พิจารณาจึงเท่ากับ

$$t_r(\min) = \frac{10}{Sampling\ Rate}$$

$$t_r(\min) = \frac{10}{50\ MHz} = 200\ nano\ \sec$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้พัลส์อินเทอร์โพเลเตอร์จะทำให้เกิดข้อผิดพลาดในการสร้างรูปคลื่นใหม่เพื่อแสดงออกมาเป็นเอาท์พุท ดังในรูปที่ 6-19 จะเห็นได้ว่าถ้าหากเราใช้ตัวอย่างการสุ่ม 1-6 ตัวอย่าง (อัตราการสุ่มตัวอย่างที่น้อยที่สุดเท่ากับที่จะทำได้) จะเกิดการสร้างคลื่นเอาท์พุทที่คลาดเคลื่อนไปจากความจริง โดยรูปคลื่นเอาท์พุทที่ถูกสร้างขึ้นมาจะมีไรซ์ไทม์ที่เป็นประโยชน์ (useful rise time : Ut_r) ซึ่งหาได้จากสูตร

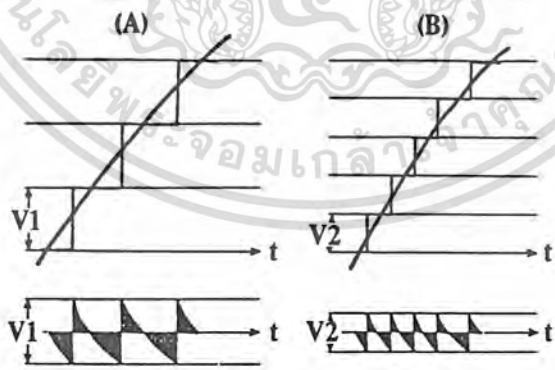
UT_r(min) = ช่วงเวลาที่น้อยที่สุดระหว่างตัวอย่าง x 1.6

เช่นถ้าหากเราต้องการคำนวณหาไรซ์ไทม์ที่เป็นประโยชน์ของดิจิตอลซิลโลสโคปที่มีอัตราการแปลงเชิงตัวเลขสูงที่สุด 10 MHz ดังนั้น

UT_r = 0.1 มิลลิวินาที x 1.6

= 160 ไมโครวินาที

นอกจากความผิดพลาดในการแสดงผลเอาท์พุทที่เกิดจากช่วงเวลาระหว่างตัวอย่างแล้ว ความผิดพลาดหรือความเพี้ยนของคลื่นเอาท์พุทยังเกิดจาก preshooting และ overshooting ดังที่ได้กล่าวมาแล้ว



รูปที่ 2.11 ค่าไรซ์ไทม์จากการสุ่มตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พึงระลึกเสมอว่าเราไม่สามารถใช้ค่าไรซ์ไทม์ของคลื่นเอาท์พุทกลับไปคำนวนหาไรซ์ไทม์ของคลื่นอินพุทได้

การประมวลผลสัญญาณ (Signal Processing)

การประมวนผลสัญญาณเป็นลักษณะข้อหนึ่งที่ปรากฏอยู่ในดิจิตอลสตอเรจออสซิลโลสโคป การประมวลผลประกอบด้วย การเปลี่ยนข้อมูลดิบไปเป็นค่าเฉลี่ย (average value), แรงดัน rms (rms voltage), ความถี่ และอื่น ๆ

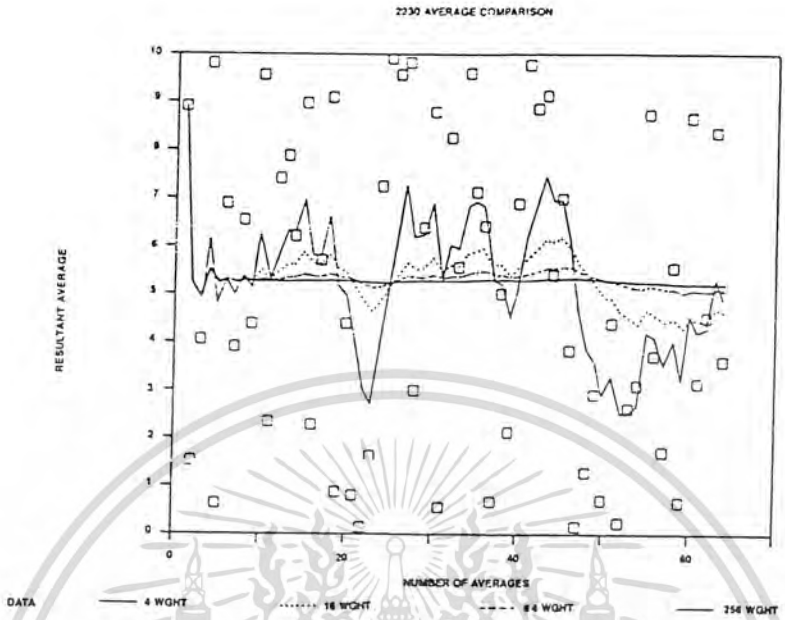
การเฉลี่ยค่าสัญญาณนับเป็นลักษณะที่ดีที่สุดข้อหนึ่งของดิจิตอลออสซิลโลสโคป เพราะการเฉลี่ยค่าสัญญาณจะกำจัดความเพี้ยนและสัญญาณรบกวนต่าง ๆ บนรูปคลื่น ดังแสดงในรูปที่ 2.12

รูปที่ 2.12 สัญญาณรบกวนในคลื่นรูปไซน์

การทำค่าเฉลี่ยสัญญาณของดิจิตอลออสซิลโลสโคปจะทำทุก ๆ ช่วงเวลาที่มีการสุ่มตัวอย่าง ช่วงเวลาในที่นี้อาจจะนานหรือเร็วขึ้นอยู่กับความละเอียดของออสซิลโลสโคปแต่ละเครื่อง เช่น ขนาดของหน่วยความจำ ความยาวเรคคอร์ด ถ้าหากขนาดของหน่วยความจำมีมาก การหาค่าเฉลี่ยของสัญญาณจะทำได้รวดเร็ว วิธีทำค่าเฉลี่ยสัญญาณที่นิยมคือการถ่วงดุลย์น้ำหนัก (weighting balance) ดังแสดงในรูปที่ 2.13 เป็นผลของการถ่วงดุลย์น้ำหนัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.13 ผลถ่วงของการถ่วงดุลย์น้ำหนัก

นอกจากความสามารถในการค่าเฉลี่ย หาแรงดัน rms และการแปลงความถี่ต่าง ๆ แล้ว ดิจิตอลออสซิลโลสโคปยังมีความสามารถในการกระทำการทางคณิตศาสตร์ระหว่างคลื่น 2 คลื่นได้ เช่น การรวมคลื่น 2 คลื่นเข้าด้วยกัน การลบคลื่น 2 คลื่นออกจากกัน รวมทั้งยังมีความสามารถในการย้ายแกนแสดงผลเอาท์พุทจากแกน x ไปเป็นแกน y หรือจากแกน y ไปเป็นแกน x ก็ได้ โดยฟังก์ชันควบคุมต่าง ๆจะอยู่บนหน้าปัดของดิจิตอลออสซิลโลสโคปเครื่องนั้น ๆ

การใช้การ (Applications)

เมื่อเปรียบเทียบกันระหว่างแอนะลอกออสซิลโลสโคปกับดิจิตอลออสซิลโลสโคปจะพบว่าดิจิตอลออสซิลโลสโคปมีความสามารถเหนือกว่าในหลายด้าน ดิจิตอลออสซิลโลสโคปบางเครื่องนั้นสามารถโปรแกรมการทำงานเข้าไปได้และสามารถควบคุมพารามิเตอร์ต่าง ๆ ภายในซอฟต์แวร์ที่ป้อนเข้าไป ตามปกติดิจิตอลออสซิลโลสโคปจะมีอินพุทแชนแนล (input channel) เท่ากับหรือมากกว่า 2 แชนแนลขึ้นไป ในบางเครื่องนั้นยังสามารถต่อเชื่อมกับระบบคอมพิวเตอร์เพื่อช่วงการประมวลผลที่ต้องใช้หน่วยความจำจำนวนมากก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

32573

โรลล์โหมด (ROLL MODE)

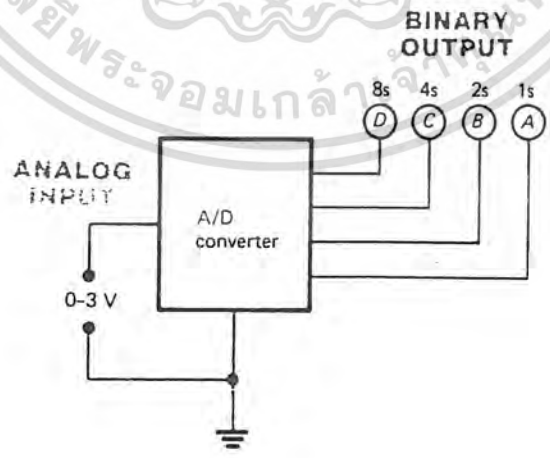
ในดิจิตอลออสซิลโลสโคปจะมีโหมดการทำงานอยู่โหมดหนึ่งเรียกว่า โรลล์โหมด (roll mode) ในโหมดการทำงานนี้ข้อมูลใหม่ ๆ จะถูกแสดงบนจอภาพตลอดเวลาโดยเลื่อนจากทางขวาไปทางซ้าย คล้ายกับการเลื่อนของเครื่องบันทึกแถบกระดาษ

พรีทริกเกอร์ (PRE-TRIGGER)

ตามปกติดิจิตอลออสซิลโลสโคปจะเปลี่ยนแรงดันอินพุทเป็นรหัสไบนารี เพื่อผ่านการประมวลผลแล้วแสดงออกมาเป็นคลื่นเอาท์พุท ถ้าหากเราต้องการทราบความเป็นไปในช่วยการก่อนแสดงเอาท์พุท เราจะใช้ฟังก์ชั่นพรีทริกเกอร์เพื่อเรียกสัญญาณนั้นออกมาดูได้

ต่อไปนี้เป็นรายระเอียดการทำงานของอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

ตัวอย่างของอุปกรณ์ที่แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (A/D converter) คือ encoder ชนิดพิเศษ โดยแสดงได้ดังรูปที่ 2.14 ส่วนอินพุทมีค่าความต่างศักย์เข้ามาทางอินพุทเดียว และสามารถเปลี่ยนความต่างศักย์ได้ จากรูปที่ 2.14 ความต่างศักย์อินพุทจะเปลี่ยนค่าในช่วย 0 – 3 โวลต์ สัญญาณเอาท์พุทของ A/D converter จะเป็นเลขฐานสองขนาด 4 บิท



รูปที่ 2.14 ไดอะแกรมของ A/D converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางความจริงที่ 2.15แถวที่ 1 แสดงอินพุทของ A/D converter เท่ากับ 0 V เอาพุทคือเลขฐานสอง 0000 แถวที่ 2 แสดงอินพุตของ A/D converter เป็น 0.2 V และเอาท์พุทที่สองคือ 0001 สังเกตได้ว่าเมื่อเพิ่มค่าความต่างศักย์ทีละ 0.2 V เอาต์พุทที่ได้จะเป็นเลขฐานสองที่เพิ่มค่าทีละหนึ่ง และสุดท้ายในแถวที่ 16 แสดงอินพุตสูงสุด 3 V จะได้เอาต์พุทเลขฐานสองเป็น 1111 เห็นได้ว่าตารางความจริงของ A/D converter (ตารางที่ 2.15) มีค่าอินพุตและเอาท์พุทสลับกันกับตารางความจริงของ D/A converter

ตารางความจริงของ A/D converter จะดูไม่ซับซ้อนเท่าไร แต่วงจรอิเล็กทรอนิกส์ ซึ่งสร้างจากข้อมูลตามตารางความจริงนั้นมีความซับซ้อนมากกว่า ในรูปที่ 13.8 แสดง A/D converter ชนิดหนึ่งมีตัวเปรียบเทียบความต่างศักย์ (voltage comparator), AND เกต ตัวนับแบบ BCD และ D/A converter ซึ่งเราได้เรียนรู้มาแล้ว ยกเว้นตัวเปรียบเทียบความต่างศักย์ ซึ่งจะได้กล่าวต่อไป

ความต่างศักย์อินพุตแบบอนาลอกจะถูกป้อนเข้าตัวเปรียบเทียบความต่างศักย์ ทางด้านซ้ายมือของรูปที่ 2.16 ตัวเปรียบเทียบความต่างศักย์จะเปรียบเทียบค่านี้ (อินพุต A) กับความต่างศักย์จาก D/A converter (อินพุท B) โดยถ้าค่าที่อินพุท A มีค่ามากว่าที่อินพุท B จะมีสัญญาณไปกระตุ้นขา CLK ของตัวนับแบบ BCD (BCD counter) ให้ทกการนับจนกระทั่งความต่างศักย์ย้อยกลับจาก D/A converter มีค่ามากกว่าค่าความต่างศักย์อินพุตแบบอนาลอก (อินพุต B มากกว่า อินพุต A) ตัวเปรียบเทียบจะส่งสัญญาณไปหยุดการนับ สมมติว่าความต่างศักย์อินพุทแบบอนาลอกมีค่า 2 V วงจรนับจะนับเพิ่มไปเรื่อย ๆ จนกระทั่ง ถึง 1010 แล้วจึงหยุดนับ ซึ่งสอดคล้องกับตารางที่ 2.15 หลังจากวงจรนับหยุดนับแล้ว จะรีเซ็ตค่าให้เป็นเลขฐานสอง 0000 และจะเริ่มนับอีกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	Analog Input	Binary Output			
		8s	4s	2s	1s
	Volts	*D*	*C*	*B*	*A*
Row 1	0	0	0	0	0
Row 2	0.2	0	0	0	1
Row 3	0.4	0	0	1	0
Row 4	0.6	0	0	1	1
Row 5	0.8	0	1	0	0
Row 6	1.0	0	1	0	1
Row 7	1.2	0	1	1	0
Row 8	1.4	0	1	1	1
Row 9	1.6	1	0	0	0
Row 10	1.8	1	0	0	1
Row 11	2.0	1	0	1	0
Row 12	2.2	1	0	1	1
Row 13	2.4	1	1	0	0
Row 14	2.6	1	1	0	1
Row 15	2.8	1	1	1	0
Row 16	3.0	1	1	1	1

ตารางที่2.15 ตารางค่าความจริง สำหรับ การแปลงสัญญานอนาลอกเป็นดิจิตอล

พิจารณาในรายละเอียดของ A/D converter ในรูปที่ 2.16 สมมติว่าที่จุด x ซึ่งเป็นเอาท์พุท ของตัวเปรียบเทียบความต่างศักย์มีค่าเป็น 1 ที่ BCD counter มีค่าเป็น 0000 และสัญญาณที่อินพุท คือ 0.55 V ค่า 1 ที่จุด X จะกระตุ้น AND เกตให้ป้อนสัญญาณเวลาเข้าที่ขา CLK ของส่วนอินพุต ของ BCD counter วงจรนับจะนับเพิ่มขึ้นเป็น 0001 ซึ่งจะแสดงค่าเลขฐานสองขึ้นที่ด้านบนของรูป ที่ 2.16ในขณะเดียวกันค่า 0001 ก็จะถูกป้อนกลับไปที่ D/A converter ด้วย จากตารางที่ 13.1 เลข ฐานสอง 0001 ทำให้เกิดความต่างศักย์ 0.2 V ที่เอาท์พุทของ D/A converter ความต่างศักย์ 0.2 V จะถูกป้อนกลับไปที่อินพุท B ของตัวเปรียบเทียบความต่างศักย์ ซึ่งจะเปรียบเทียบค่าความต่างศักย์ ของอินพุททั้งสอง โดยในขณะที่อินพุต A มีค่ามากกว่า อินพุท B (0.55 V > 0.2 V) ดังนั้นส่วย output ของตัวเปรียบเทียบแรกงดันจึงเป็น 1 ซึ่งจะไปกระตุ้น AND เกตให้ป้อนสัญญาณนาฬิกาเข้า ที่วงจรนับอีกครั้ง วงจรนับจะนับเพิ่มขึ้นอีก 1 ครั้งทำให้ได้ค่า 0010 แสดงค่าทางด้านบนขวาของ

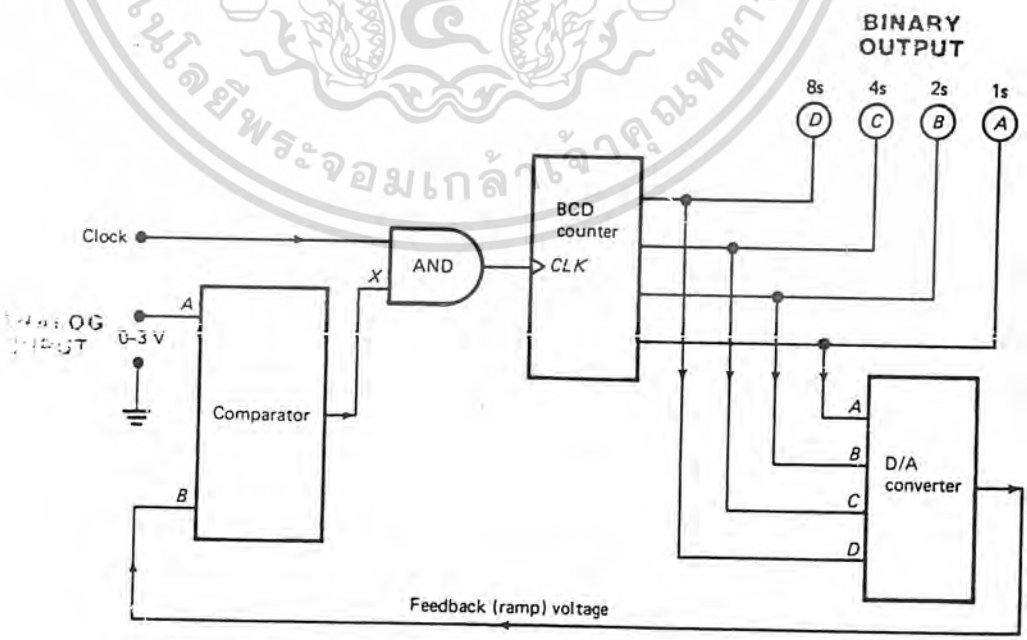
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปและป้อนกลับเข้า A/D converter ในขณะเดียวกัน จากตารางที่ 13.1 input 0010 ทำให้ได้สัญญาณ output 0.4 V ป้อนเข้าไปที่ input B ของตัวเปรียบเทียบอีกครั้งหนึ่ง ในขณะนี้ input A ยังคงมีค่ามากกว่า input B (0.55 V > 0.4 V) ทำให้ output ของตัวเปรียบเทียบมีความต่างศักย์มีค่าเป็น 1ตัวAND เกตจะถูกกระตุ้นทำให้สัญญาณนาฬิกาเข้าสู่วงจรนับอีก วงจนนับจะเพิ่มเป็น 0011 ซึ่งค่านี้จะถูกป้อนกลับไปที่ D/A converter จาตารางที่ 13.1 สัญญาณ input 0011 ทำให้ได้ค่าเอาท์พุท 0.6 V ป้อนเข้าไปที่ input B ของตัวเปรียบเทียบแรงดันอีกครั้งหนึ่ง ตัวเปรียบเทียบค่าจะเปรียบเทียบค่าซึ่งได้จาก output ของตัวเปรียบเทียบเป็นศูนย์ (input B มากกว่า input A) ไม่สามารถไปกระตุ้น AND เกตได้ จึงไม่มีสัญญาณนาฬิกาเข้าสู่วงจรนับอีก วงจรนับจะหยุดนับที่เลขฐานสอง 0011 ดังนั้นเลขฐานสอง 0011 จึงมีค่าเท่ากับ 0.55 V ซึ่งสอดคล้องกับแถวที่ 4

ถ้าความต่างศักย์ input คือ 1.2 V ค่า output เลขฐานสองจะเป็น 0110 ดังตารางความจริงที่ 13.3 โดยวงจรนับจะนับเลขฐานสอง 0000 จนกระทั่ง 0110 แล้วจึงหยุด

จะเห็นได้ว่าต้องใช้เวลาในการแปลงสัญญาณจาอนาลอกเป็นสัญญาณดิจิตอลพอสมควร แต่อย่างไรก็ตาม โดยส่วนใหญ่สัญญาณนาฬิกาจะเร็วมาก จนกระทั่งไม่เป็นปัญหาต่อการใช้งาน

สาเหตุที่ต้องศึกษาเกี่ยวกับวงจร D/A converter ก่อนวงจร A/D converter เนื่องจาก วงจร A/D converter ชนิด counter-ramp นี้มีความซับซ้อนในการทำงานและต้องใช้วงจร D/A converter ในการทำงานด้วยคำว่า ramp มาจากการที่ converter มีการทำงานเป็นขั้นตอนตามความต่างศักย์ที่เพิ่มมาจาก D/A converter ซึ่งจะถูกป้อนเข้าที่ตัวเปรียบเทียบความต่างศักย์ เมื่อวาดกราฟความต่างศักย์ที่เข้าสู่ตัวเปรียบเทียบที่อินพุท B จะได้กราฟรูปฟันปลา (sawtooth waveform) หรือ ramp นั่นเอง

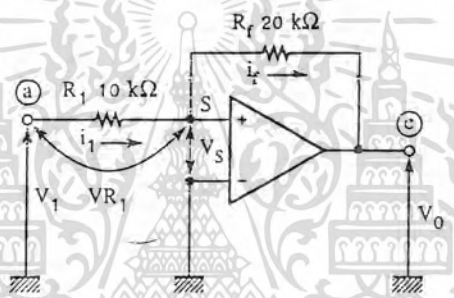


รูปที่ 2.16 ไดอะแกรมของ counter-ramp-type A/D converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรขยายแบบกลับขั้ว (Inverting amplifier)

ในรูปที่ 2.17 เป็นวงจรขยายแบบกลับขั้ว (inverting amplifier) ซึ่งกราวด์อินพุต (+) และจ่ายสัญญาณอินพุต V_1 ให้กับขาอินพุต (-) จะทำให้ได้สัญญาณที่มีเฟสต่างไปจากอินพุต 180 องศา ถูกขยายออกมาได้แก่ V_0 ที่เอาต์พุต



รูปที่ 2.17 วงจรขยายแบบกลับขั้ว

พิจารณาดูความสัมพันธ์ระหว่าง V_1 กับ V_0 สมมติว่าความต่างศักย์ระหว่างอินพุต (+) กับ (-) เป็น V_s ถ้าป้อนแรงดัน 1 V ให้ a แรงดัน V_{R1} ที่ตกคร่อม R_1 และกระแส i_1 ที่ไหลผ่าน R_1 จะได้

$$V_{R1} = 1\,[V] - V_s$$

$$i_1 = \frac{1\,[V] - V_s\,[V]}{10\,[k\Omega]}$$

ที่จุดนี้จะไม่มีกระแสไหลเข้าไปที่อินพุต (-) เนื่องจากอินพุตอิมพีแดนซ์มีค่าสูงมาก ดังนั้น i_1 จึงไหลไปยัง C

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_f = \frac{V_s\ [V] - V_0\ [V]}{20\ [k\Omega]},\ i_1 = i_f$$

ถ้าแอมปลิจูดเป็น A

$$\frac{1\ [V] - V_s\ [V]}{10\ [k\Omega]} = \frac{V_s - V_o}{20\ [k\Omega]} \quad \text{..... (1)}$$

$V_o = A_{vs}$, $V_s = \frac{V_o}{A}$

V_s จะกลายเป็นศูนย์เนื่องจาก A มีค่าเป็นอนันต์ปรากฏการณ์นี้เป็นการ "กราวด์ทางจินตนาการ" เนื่องจากจะปรากฏเช่น ถ้าขั้วอินพุตถูกกราวด์สำหรับแรงดัน

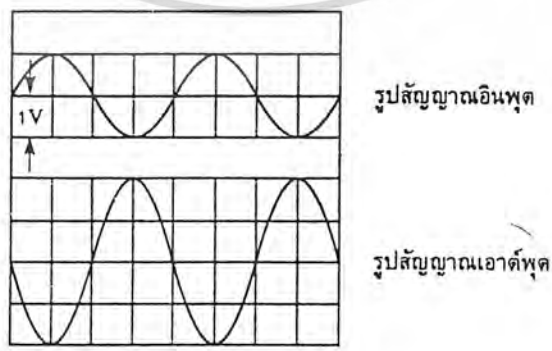
เนื่องจากอินพุตอิมพีแดนซ์เป็นอนันต์ อิมพีแดนซ์สามารถถูกเปลี่ยนโดยการเติมอินพุตรีซิสเตอร์ลงไประหว่างขาอินพุตกับกราวด์

เมื่อใช้ 0 แทน V_s ในสูตรที่ (1)

$$\frac{1\ [V]}{10\ [k\Omega]} = \frac{-V_o}{20\ [k\Omega]}$$

$$\therefore\ V_o = \frac{-20\ [k\Omega]}{10\ [k\Omega]} \times 1\ [V] = -2\ [V]$$

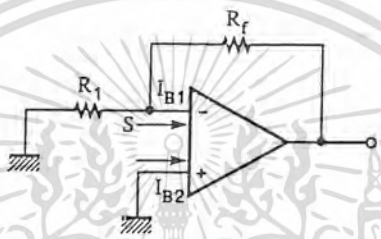
ดังนั้น V_1 จึงถูกขยายแบบกลับเฟสได้เป็น -2 ปรากฏออกทางด้านเอาต์พุต อัตราการขยายของวงจรถูกกำหนดด้วยอัตราส่วนของความต้านทาน R_f/R_1 อัตราการขยายจะได้เป็น 2 รูปที่ 2.18 แสดงให้เห็นรูปคลื่นสัญญาณรูปไซน์ที่เข้ามาทางอินพุตและสัญญาณที่ถูกขยายออกทางเอาต์พุต



รูปที่ 2.18 รูปสัญญาณอินพุตและเอาต์พุตของวงจรขยายแบบกลับขั้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

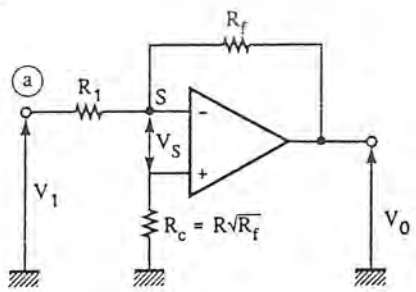
ในรูปที่ 2.17 ชั่วขณะที่ V_1 ป้อนเข้าจุด a จะมีแรงดันที่ต่ำกว่า V_s ปรากฏที่ด้านอินพุต (-) คือที่จุด S ถึงแม้ว่า V_s ที่ปรากฏจะมีขนาดเล็กเนื่องจากขาอินพุตทั้งสอง เปรียบเสมือนลัดวงจรถึงกันอยู่ทางจินตนาการ V_s จะถูกขยายได้เป็นแรงเคลื่อนขนาดใหญ่ปรากฏขึ้นทางเอาต์พุต เนื่องจากอัตราการขยายของออปแอมป์จะเป็นอนันต์ ทำให้ได้ขนาดแรงดันเอาต์พุตใหญ่ขึ้น แต่มีการป้อนกลับทางลบไปที่จุด S โดยผ่านทาง R_f เพื่อกำจัดสัญญาณอินพุตและเพื่อรักษาความสมดุลให้กับวงจร V_s จะลดต่ำลงทำให้เอาต์พุตลดต่ำ ทำให้แรงดันป้อนกลับลดต่ำลง ทำให้ V_s สูงขึ้นอีก การทำงานเป็นวงกลมจะเกิดขึ้นซ้ำแล้วซ้ำอีก จนกระทั่งแรงดันเอาต์พุตมีขนาดคงที่ที่จุดที่แน่นอน



รูปที่ 2.19 แรงดันออฟเซต

ในรูปที่ 2.19 ไบแอสกระแสตรง I_{B1} และ I_{B2} ปกติจะไหลอยู่ถึงแม้ว่าจะไม่มีสัญญาณป้อนเข้ามาทางอินพุต

อุณหภูมิจะมีผลกระทบต่อกระแสและเอาต์พุตของออปแอมป์ ดังนั้นเพื่อป้องกันกระแสไม่ให้ไหลและเพื่อให้ออปแอมป์ทำงานตรงตามจินตนาการมากขึ้น จึงเติมตัวต้านทานเพื่อการชดเชย R_c ลงไประหว่างขาอินพุต (+) กับกราวด์ดังแสดงในรูปที่ 2.20

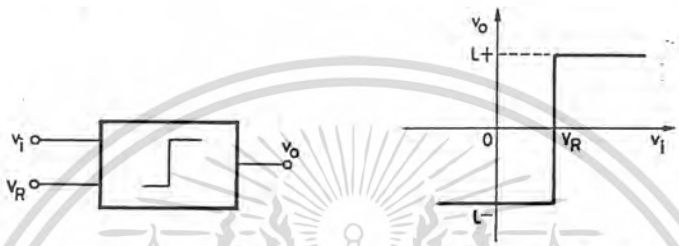


รูปที่ 2.20 วงจรกำจัดออฟเซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเปรียบเทียบ (Comparator)

วงจรเปรียบเทียบ (comparator) มีสัญญาณเข้าสองสัญญาณ สัญญาณหนึ่งเรียกว่า v_i อีกสัญญาณหนึ่งมักเป็นแรงดันอ้างอิงคงตัว V_R (ดูรูปที่ 2.21(ก)) ส่วนแรงดันออกจะขึ้นกับแรงดันขาเข้า v_i เมื่อเทียบกับ V_R ดังแสดงในรูปที่ 2.21(ข)



(ก) แผนภาพบล็อก (ข) ลักษณะอุดมคติ

รูปที่ 2.21 วงจรเปรียบเทียบ

เราจะสรุปความสัมพันธ์ระหว่าง v_o และ v_i ได้ดังนี้

$v_i > V_R \qquad v_o = L^+$

$v_i = V_R \qquad v_o = O$

$v_i < V_R \qquad v_o = L^-$

โดยที่ L^+ และ L^- คือระดับของแรงดันออกที่ใช้บอกผลของการเปรียบเทียบ

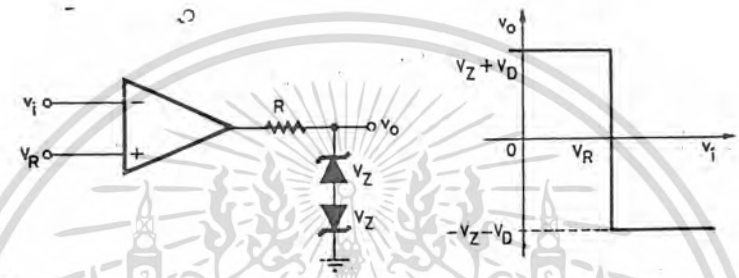
วงจรเปรียบเทียบทำหน้าที่จัดสัณฐานรูปคลื่นจนแทบไม่เหลือเค้าเดิม เช่น แรงดัน v_i ที่แปรผันกับเวลาอย่างช้า ๆ จะเปลี่ยนมาเป็นแรงดัน v_o ที่เปลี่ยนระดับอย่างฉับพลันทุกครั้งที่ v_i แปรมาถึงค่า V_R

วงจรขยายผลต่างซึ่งเราได้ศึกษาในบทที่ 12 สามารถนำมาใช้เป็นวงจรเปรียบเทียบได้ดีพอสมควร สังเกตจากลักษณะของวงจรเชื่อมโยงผ่านอิมิตเตอร์ในรูปที่ 12.27 ได้ว่า แรงดันขาออกจะเปลี่ยนระดับโดยสมบูรณ์ เมื่อแรงดันขาเข้าเปลี่ยนแปลงไปประมาณ $8V_T$ หรือ 200 มิลลิโวลต์ ถ้ามีการขยายโดยวงจรขยายภาคสองอีก ช่วงไวงานของแรงดันขาเข้าจะลดลงไปอีก เช่น เหลือประมาณ 2 มิลลิโวลต์ กล่าวอีกนัยหนึ่งถ้าใช้ออปแอมป์เป็นวงจรเปรียบเทียบ ลักษณะการเปรียบเทียบจะต่างกับลักษณะอุดมคติในรูปที่ 2.21(ข) เพียงเล็กน้อย กล่าวคือความลาดที่จุด $v_i =$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

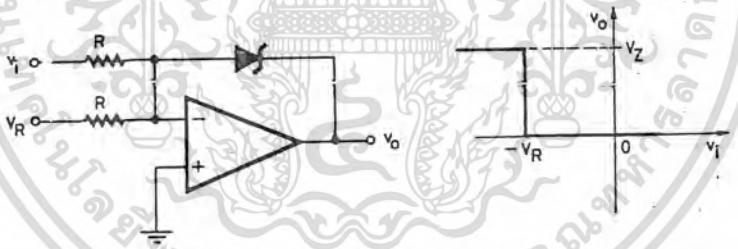
V_R จะมีค่าสูง เช่น 10 โวลต์/มิลลิโวลต์ แทนที่จะเป็นอนันต์หรือคลาดเคลื่อนในการเปรียบเทียบจะมีประมาณ ±1 มิลลิโวลต์ เป็นต้น

ได้มีการผลิตวงจรประมวล โดยมุ่งหวังให้ใช้เป็นวงจรเปรียบเทียบโดยเฉพาะ (บางครั้งอาจใช้เป็นวงจรกันชน buffer ก็ได้) ตัวอย่างเช่น วงจรประมวลหมายเลข μA 710, μA 760, LM111, LM160, HA2111 ระดับของแรงดันออกของวงจรประมวลเหล่านี้จะขึ้นอยู่กับแหล่งจ่ายไฟตรง ถ้าต้องการให้ได้ระดับคงตัวเราอาจใช้ไดโอดซีเนอร์ต่ออยู่ที่ขั้วออก (ดูรูปที่ 2.22(ก)) หรือต่ออยู่ในวงจรป้อนกลับ (ดูรูปที่ 2.22(ข)) และรูปที่ 2.22(ค) ก็ได้ แต่ข้อเสียประการหนึ่งของการใช้ไดโอดซีเนอร์ก็คือ ผลตอบชั่วครู่ (transient) จะไม่ดีนัก

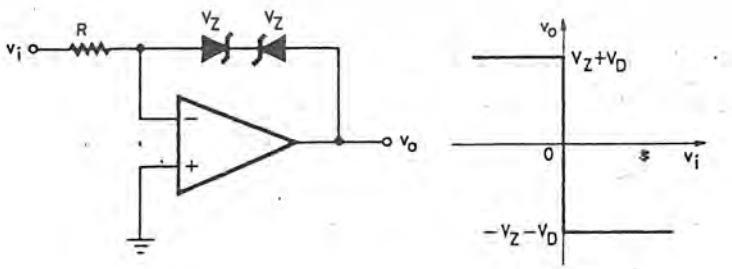


(ก) วงจรเปรียบเทียบที่ใช้ไดโอดซีเนอร์เพื่อกำหนดระดับแรงดันที่ขั้วออก

(V_D คือ แรงดันไบแอสตรงของไดโอด)



(ข) วงจรเปรียบเทียบที่ใช้ไดโอดซีเนอร์ในวงจรป้อนกลับ



(ค) วงจรเปรียบเทียบที่ใช้ไดโอดซีเนอร์ในวงจรป้อนกลับ และให้ระดับแรงดันบวกและลบที่ขั้วออก รูป2.22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RS-232

การส่งข้อมูลแบบทีละไบต์ หรือก็คือ การส่งแบบขนานนั่นเอง วิธีนี้เป็นวิธีที่เร็ว แต่ถูกรบกวนได้ง่ายจากสัญญาณรบกวนต่างๆ และมีราคาแพงเนื่องจากใช้ปริมาณสายส่งมาก จึงเป็นเหตุให้วิธีนี้ไม่เป็นที่นิยมในการส่งข้อมูลในระยะทางไกลๆ

การส่งข้อมูลแบบทีละบิต หรือการส่งแบบอนุกรม มีความเร็วในการรับส่งช้ากว่าการส่งแบบขนาน แต่มีข้อดีคือ มีผลกระทบจากสัญญาณรบกวนเพียงเล็กน้อย และประหยัดกว่าการส่งแบบขนานมาก เหมาะสำหรับการส่งข้อมูลเป็นระยะเวลาทางไกลๆ เนื่องจากใช้สายส่งเพียงสองสามเส้น

การอินเตอร์เฟซ เป็นกระบวนการแลกเปลี่ยนข้อมูล กับอุปกรณ์ภายนอกที่มีความแน่นอน ระบบการอินเตอร์เฟซแบบอนุกรมในไมโครคอมพิวเตอร์ทั่วไปคือ ระบบEIA RS-232 ในยุคแรกๆ การอินเตอร์เฟซ RS-232 ถูกออกแบบสำหรับเชื่อมต่อเทอร์มินัล(DTE: Data Terminal Equipment) กับโมเด็ม (DCE : Data communication Equipment) RS-232 จึงเหมาะสมที่สุดสำหรับคู่อุปกรณ์ดังกล่าว แต่อาจจะไม่เหมาะกับการอินเตอร์เฟซของอุปกรณ์บางชนิด

การแฮนด์เชค เป็นกระบวนการ ที่อุปกรณ์หนึ่งใช้ตรวจสอบสถานะของอีกอุปกรณ์หนึ่งที่ต่อเข้าด้วยกัน และตอบสนองสถานะนั้นอย่างเหมาะสมและถูกจังหวะเวลา

คุณสมบัติเบื้องต้นของ RS-232 มีดังต่อไปนี้

- ข้อมูล รับส่งข้อมูลระหว่างอุปกรณ์ทางคอนเน็กเตอร์ ขา 2 และ 3
- การแฮนด์เชคทางซอฟต์แวร์ เป็นการผนวกอักษรควบคุมการรับส่งข้อมูลเข้าไปกับชุดข้อมูลที่ต้องการส่ง
- การแฮนด์เชคทางฮาร์ดแวร์ เป็นการผ่านสัญญาณควบคุม ไปตามสายเคเบิลที่เชื่อมต่อระหว่างอุปกรณ์ทั้งสอง โดยจะต่อขาเอาต์พุตเข้ากับขาอินพุต
- แม้ว่าชื่อสัญญาณ และหมายเลขประจำขาของคอนเน็กเตอร์ สำหรับการอินเตอร์เฟซของ DTE และ DCE จะเหมือนกัน แต่จะทำหน้าที่ตรงข้ามกัน โดยเมื่อมีด้านหนึ่งเป็นอินพุต อีกด้านที่ต่อกับขานั้นก็จะเป็นเอาต์พุต

1. หน้าที่การทำงานของแต่ละขา

คำจำกัดความของแต่ละขาบนคอนเน็กเตอร์ นิยามตามหน้าที่ของด้าน DTE เป็นหลัก

ขา 1 PROTECTIVE GROUND เรารู้จักกันทั่วไป ในชื่อกราวด์ของอุปกรณ์ (chassis ground) ถ้าปลั๊กไฟของอุปกรณ์ด้านหนึ่งไม่มีขากราวด์(มีเพียง 2 ขา) ขา 1 ของด้านอุปกรณ์นั้นจะต้องต่อไปหาขา 1 ของอีกอุปกรณ์หนึ่งที่มีการต่อสายกราวด์ เพื่อป้องกันอันตรายไฟฟ้าดูด ในกรณีที่ตัวจ่ายกำลังไฟฟ้าเสียซึ่งทำได้ง่ายมาก เพียงเลือกใช้สายเคเบิลอินเตอร์เฟซที่มีสายต่อกับขา 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าที่ของขานี้ มักจะมีผู้เข้าใจสับสนกับหน้าที่ของขา 7(COMMON RETURN) ตามปกติในระบบไฟฟ้ากระแสสลับจะมีสายไฟสายหนึ่งสำหรับส่งกระแสกลับลงพื้นดินหรือกราวด์ ซึ่งในทางปฏิบัตินั้น เส้นทางเดินของกระแสในสายกราวด์กลับไปยังพื้นดินเป็นระยะทางไกล ทำให้มีความต้านทานไฟฟ้าเกิดขึ้นระหว่างอุปกรณ์กับพื้นดิน และหากเราต่ออุปกรณ์ 2 ตัว ซึ่งต่อกับระบบไฟฟ้าคนละระบบกันเข้าด้วยกัน(เช่น ในอาคารขนาดใหญ่) กราวด์ของอุปกรณ์ทั้งคู่อาจมีทางเดินไฟฟ้าที่ต่างกัน ทำให้เกิดความแตกต่างของระดับแรงดันที่กราวด์ของอุปกรณ์ได้ ซึ่งอาจเป็นสาเหตุทำให้การอินเตอร์เฟซทำงานผิดพลาด แต่เราสามารถแก้ไขได้โดยการต่อกราวด์ของทั้งสองอุปกรณ์เข้าด้วยกันโดยตรงผ่านทางขา 1 และแต่ละอุปกรณ์

อย่างไรก็ตาม ปัญหาดังกล่าวข้างต้น มักไม่ค่อยพบเห็นเท่าใดนัก ในทางกลับกัน การต่อเชื่อมคอนเน็กเตอร์ขา 1 ในการอินเตอร์เฟซมักทำให้เกิดปัญหามากกว่า นั่นคือมันอาจทำให้เกิดกระแสไหลวนในกราวด์(ground loop) ผ่านทางสายเคเบิลที่เชื่อมระหว่างอุปกรณ์ ปัญหากระแสไหลวนในกราวด์ มักทำให้การอินเตอร์เฟซมีการทำงานที่ไม่คงเส้นคงวา มีอาการแปลกๆไม่แน่นอน และอาการจะขึ้นอยู่กับรูปแบบการต่ออุปกรณ์เข้าด้วยกันหรือการตั้งค่าสวิตช์บนอุปกรณ์ ถ้าอุปกรณ์มีอาการที่ขึ้นกับลักษณะดังกล่าว สิ่งที่คุณควรตรวจเป็นอันดับแรกคือ ดูว่าสายเคเบิลที่ใช้มีสายสำหรับขา 1 อยู่หรือไม่ และคุณอาจแก้ปัญหาแปลกๆนี้ได้ด้วยการตัดสายของขา 1 ออกไป

ตามมาตรฐานการอินเตอร์เฟซ RS-232 ขา 1 จะมีหรือไม่ก็ได้

ขา 2 TRANSMITTED DATA ส่งข้อมูลจาก DATA ไป DCE

ขา 3 RECEIVED DATA ส่งข้อมูลจาก DCE ไป DTE

ขา 4 REQUEST TO SEND เอาต์พุต อเนกประสงค์สามารถนำไปประยุกต์ใช้ได้หลากหลาย ในโมเด็มแบบ half duplex ใช้สัญญาณนี้แสดงความต้องการส่งข้อมูล

ขา 5 CLEAR TO SEND อินพุต อเนกประสงค์ นำไปใช้งานได้หลากหลาย ในโมเด็มแบบ half duplex สัญญาณนี้ใช้อนุญาตให้ส่งข้อมูลได้

ขา 6 DATA SET READY อินพุต อเนกประสงค์ที่ใช้แจ้งDTE ว่าอุปกรณ์ DCE มีไฟเลี้ยงและพร้อมที่จะทำงาน

ขา 7 COMMON จุดอ้างอิงแรงดันสำหรับทุกสัญญาณ ในกระบวนการอินเตอร์เฟซ (ต้องมี)

ขา 8 DATA CARRIER DETECT สำหรับโมเด็มจะส่งสัญญาณ DCD เมื่อมันรับรู้การติดต่อกับโมเด็มที่อยู่ห่างออกไป สำหรับ DTE สัญญาณ DCD จะถูกนำไปใช้ในการยกเลิกการรับข้อมูล

ขา 20 DATA TERMINAL READY เอาต์พุตอเนกประสงค์ โดยทั่วไปใช้เป็นสัญญาณบอก DCE ว่าอุปกรณ์ DTE ที่มันอินเตอร์เฟซด้วยมีไฟเลี้ยงและพร้อมที่จะทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

นอกจาก 9 ขาที่กล่าวถึงข้างต้น ยังมีขาอื่นๆ อีกที่ใช้ในการอินเตอร์เฟซกับไมโครคอมพิวเตอร์ แต่สัญญาณสำคัญต่างๆ ที่มีการนำไปใช้เป็นประจำก็มีมักมาจาก 9 ขานี้เท่านั้น เรามักเรียกกลุ่มของคอนเน็กเตอร์ขา 2,3,4,5,6,7,8,20 ว่า "กลุ่ม BIG EIGHT" ส่วนขาสัญญาณอื่นๆ มีไว้สำหรับเป็นทางเลือกที่ผู้ผลิตแต่ละรายจะนำไปประยุกต์ใช้ได้ตามความต้องการ

2. DB-9 ของ IBM PC/AT

ในสมัยที่ IBM PC Model AT ออกมาใหม่ๆ เครื่องรุ่นนี้ได้รับการต้อนรับเป็นอย่างดีเนื่องจากความสามารถและความเร็วของมัน แต่มันก็ได้ก่อให้เกิดฝันร้ายกับนักอินเตอร์เฟซทั้งหลายทั้งนี้เพราะว่าแม้ Asynchronous Communications Adapter (ซึ่งเป็นพอร์ตอนุกรมของเครื่อง) ของเครื่อง AT สามารถทำงานได้เหมือนกับ PC รุ่น XT ทุกประการ แต่ส่วนที่แตกต่างของมันก็คือมันใช้คอนเน็กเตอร์ DB-9 ดังนั้นผู้ที่เปลี่ยนเครื่องจากรุ่น PC / XT ไปเป็นรุ่น AT จึงพบว่าสายเคเบิล DB-25 ของเขาใช้ไม่ได้อีกต่อไป ซึ่งจุดนี้ทำให้ผู้ขาย IBM สามารถขายหัวต่อ (adapter) ได้ดีอยู่พักใหญ่ ตารางที่ 2.1 แสดงการกำหนดขา RS-232 ของคอนเน็กเตอร์ DB-9 ของเครื่อง AT

ขา	ฟังก์ชัน
1	Received Line Signal Detect
2	Received Data
3	Transmit Data
4	Data Terminal Ready
5	Signal Ground
6	Data Set Ready
7	Request to send
8	Clear to Send
9	Ring indicator

ตารางที่2.1 การกำหนดขา RS232สำหรับคอนเน็กเตอร์อนุกรม 9 ขา

3. จุดอ่อนของ EIA RS-232C พอสรุปได้ 3 ประการ

1. ใช้ระดับแรงดันไฟเลี้ยง -15 โวลต์นอกเหนือ -5 โวลต์ ซึ่งใช้ในวงจรลอจิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ค่าตัวเก็บประจุของอุปกรณ์รับสัญญาณ RS-232 รวมทั้งตัวเก็บประจุสเตย์ (Stay capacitance) ในสายจะต้องไม่มากกว่า 2500 pf สายที่รวมกันหลายๆ สายส่วนมากจะมีตัวเก็บประจุสเตย์ ประมาณ 40 -50 pf ต่อ 1 ฟุต ดังนั้นสายนี้จะต่อได้ยาวสุด 50 ฟุต ก่อนที่ค่าตัวเก็บประจุสเตย์จะมากกว่า 2500 pf ถ้าหากตัวเก็บประจุสเตย์มากกว่าที่กำหนดนี้ ช่วงเวลาการเปลี่ยนแปลงระดับของสัญญาณจะมากกว่า 4 เปอร์เซ็นต์ ตามที่ยอมให้ได้ในมาตรฐาน RS 232C เมื่อเป็นเช่นนี้จะทำให้ ฝ่ายรับตีความสัญญาณผิดไปจากความเป็นจริง มาร์กบิต(MARK bit) จะยาวกว่าสเปซบิต (SPACE BIT) หรือ สเปซบิตยาวกว่ามาร์กบิต ขึ้นอยู่กับวงจรการตรวจสอบการผิดเพี้ยนแบบนี้เรียกว่า "Bias distortion"

3. ปัญหาที่ 3 เป็นปัญหาทางสัญญาณไฟฟ้าที่ EIA ไม่แก้เอาไว้ สำหรับวงจรที่ใช้ IC ก็คือปัญหาเรื่องกราวด์ที่แตกต่างกันตามมาตรฐาน EIA สัญญาณที่ส่งออกเทียบกับกราวด์ของเครื่องส่งเท่านั้น ถ้าหากเครื่องรับกับเครื่องส่งมีระดับแรงดันกราวด์ แตกต่างกัน สมมติว่า 2 โวลต์ กระแสที่ไหลในเส้นที่เป็นกราวด์ (ขา 7) ก็จะเกิดขึ้นสมมติความต้านทานของสายเป็น 0 ความต่างศักย์ที่เกิดจากกระแสเท่าเดิม ระดับของ สัญญาณที่ฝ่ายส่งและฝ่ายรับมองเห็นก็จะแตกต่างกัน สมมติว่าระดับของแรงดันกราวด์ต่างกัน 2 โวลต์ ฝ่ายส่งใส่แรงดันเข้าไป 5 โวลต์ ฝ่ายรับจะมองเห็นแค่ 3 โวลต์เท่านั้น ในทางกลับกันถ้าฝ่ายส่งใส่แรงดัน -5 โวลต์ ฝ่ายรับจะมองเห็นเป็น -7 โวลต์

ความต่างศักย์ของกราวด์จะคงที่ 2 โวลต์ ไม่ว่าฝ่ายส่งจะใส่แรงดันเข้าไปเท่าไรก็ตาม ผลของกราวน์ที่แตกต่างกันนี้อาจจะเกิดมาจากสถานีรับและสถานีส่งมีระบบไฟฟ้ามีกราวด์แตกต่างกันก็ได้

เนื่องจากตระหนักถึงปัญหาเหล่านี้ E1A ได้ออกมาตรฐานออกมาใหม่ 2 มาตรฐานคือ RS 422 และ RS423

ใน RS 422 แก้ปัญหา RS 432 โดยการส่งสัญญาณแบบแรงดันบาลานซ์ (Balance voltage)

RS 423 ถ้าการแก้ปัญหาอีกวิธีหนึ่งโดยกาส่งสัญญาณแบบแรงดันไม่บาลานซ์ (Unbalance voltage)

ในเครื่อง IBM PC หากใช้อะแดปเตอร์สื่อสารข้อมูลแบบอะซิงโครนัส มีหนทางให้เลือกในการเชื่อมต่อกับอุปกรณ์อื่น 2 แบบ คือ แบบแรงดันตามกฎเกณฑ์ของ RS 232C (แต่แรงดันแค่ 0 ถึง 5 โวลต์) และแบบกระแสวนรอบ เพื่อขยายระยะทางของการสื่อสารให้มากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

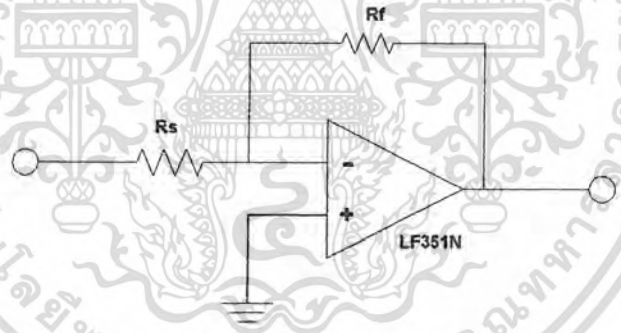
บทที่ 3
การคำนวนและการสร้าง

ในการออกแบบวงจรต่าง ๆ ภายในบทนี้ จะนำเอาทฤษฎีในบทที่แล้วมาทำการออกแบบและสร้างวงจรในส่วนต่าง ๆ ดังนี้

3.1 การออกแบบและการสร้างวงจรขยายหรือลดทอนสัญญาณ (Amplifier or Attenuator Circuit)

วงจรส่วนขยายและลดทอนสัญญาณ จะถูกใช้ในการปรับขนาดสัญญาณให้มีความเหมาะสม ที่ใช้ในวงจร กล่าวคือ เมื่อระดับสัญญาณอินพุท มีขนาดสูงเกินก็จะทำการลดทอนขนาดสัญญาณ ในทางกลับกัน ถ้าขนาดสัญญาณมีขนาดต่ำเกินไปก็จะทำการขยายระดับสัญญาณ

ในการออกแบบวงจรจะใช้ออปแอมป์ เบอร์ LF351N ทำการต่อแบบ อินเวอร์ตติงแอมป์ (Inverting Amplifier) โดยที่สามารถกำหนดอัตราการขยาย (Gain) ได้จากค่าความต้านทาน



$$GAIN = \frac{V_o}{V_i} = \frac{-R_f}{R_S}$$

รูปที่ 3.1.1 แสดงวงจรขยายสัญญาณจากแบบกลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 ผลจากการคำณวนอัตราการขยาย

CHANNEL	Rf	Rs	Gain(อัตราการขยาย)
CH 1	20 K	40 K	0.5
CH 2	20 K	16 K	1.25
CH 3	20 K	8 K	2.5
CH 4	20 K	1 K	20
CH 5	20 K	400	50
CH 6	20 K	200	100
CH 7	20 K	100	200
CH 8	20 K	40	500

จากการคำณวนข้างต้นสามารถออกแบบวงจรให้มีอัตราการขยายได้หลายค่าและสามารถเลือกอัตราการขยายได้ตามต้องการตามวงจรดังรูป **CIRCUIT PART1**

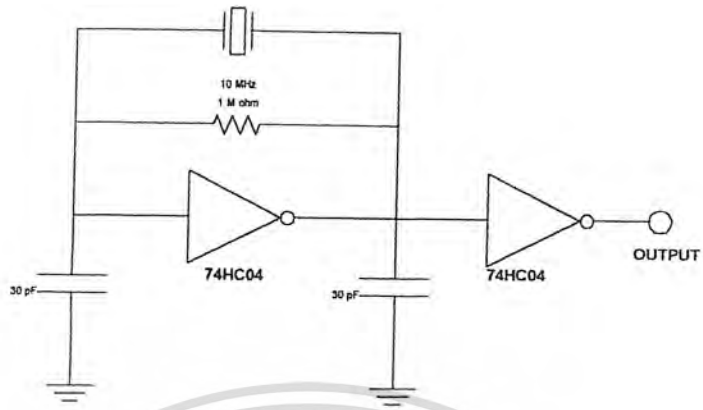
3.2 การออกแบบและการสร้างวงจรคริสตอลออสซิลเลเตอร์ และวงจรหารความถี่ (Crystal Oscillator and Divider Circuit)

วงจรส่วน คริสตอลออสซิลเลเตอร์ และ วงจรหารความถี่ จะถูกใช้ในการกำเนิดสัญญาณนาฬิกา (Clock Pulse) เพื่อใช้ในการ แซมปลิ้ง และเป็นสัญญาณนาฬิกาที่ใช้ภายในวงจร

ตอนที่ 1

การออกแบบวงจรจะใช้คริสตอลขนาด 10 MHz และ IC TTL 74HC04 ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2.1 แสดงวงจรคริสตอลออสซิลเลเตอร์ ความถี่ 10 MHz

ตอนที่ 2

ในวงจรหารความถี่ จะใช้ความถี่ที่กำหนดได้จากวงจรคริสตอลออสซิลเลเตอร์ทำการหารความถี่ลงโดยใช้ IC เบอร์ 74HC162

ตารางที่ 3.2 แสดงผลจากวงจรหารความถี่

CHANNEL	ความถี่ขาเข้า(Hz)	ความถี่เอ้าท์พุท (หาร 2)	ความถี่เอ้าท์พุท (หาร 10)
CH 1	10 MHz	-	-
CH 2	10 MHz	5 MHz	-
CH 3	10 MHz	-	1 MHz
CH 4	1 MHz	500 KHz	-
CH 5	1 MHz	-	100 KHz
CH 6	100 KHz	50 KHz	-
CH 7	100 KHz	-	10 KHz
CH 8	10 KHz	5 KHz	-
CH 9	10 KHz	-	1 KHz
CH 10	1 KHz	500 Hz	-

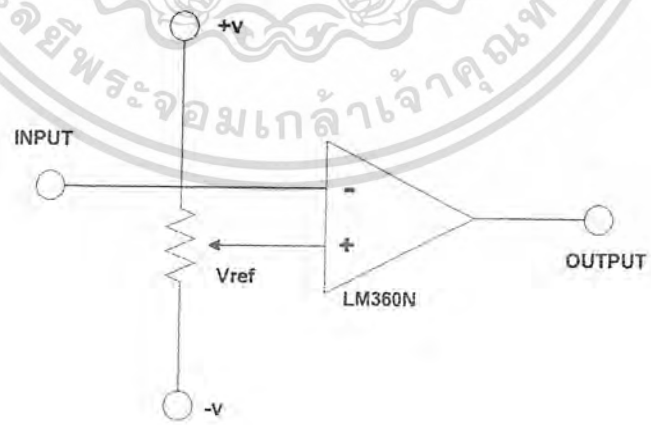
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CH 11	1 KHz	-	100 Hz
CH 12	100 Hz	50 Hz	-
CH 13	100 Hz	-	10 Hz

ในวงจรคริสตอลออสเลเตอร์ และวงจรหารความถี่ จะสามารถทำการออกแบบให้ความถี่ที่กำเนิดความต้องการ และสามารถเลือกใช้ความถี่แต่ละ Channel ตามวงจรในรูปที่

3.3 การออกแบบและการสร้างวงจรเปรียบเทียบสัญญาณ

วงจรเปรียบเทียบระดับสัญญาณจะให้เอ้าท์พุทตามแรงดันอ้างอิง ซึ่งสัญญาณที่ได้จะถูกใช้ในการซิงโครไนซ์ เพื่อการรับค่า แสดงผล และแปลงสัญญานอนาลอกเป็นสัญญานดิจิตอล การออกแบบวงจรเปรียบเทียบสัญญาณ จะใช้IC เบอร์ LC360N ทำการต่อวงจรดังรูป **CIRCUIT PART2**



รูปที่ 3.3.1 แสดงวงจรเปรียบเทียบสัญญาณ (Comparator Circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การออกแบบและการสร้างวงจรแปลงสัญญานอนาลอกเป็นสัญญาณดิจิตอล

(Analog to Digital Convertion Circuit)

ในการออกแบบวงจรจะใช้ IC เบอร์CA3318CE เป็น IC สำเร็จรูปสำหรับการแปลงสัญญาณอนาลอก เป็นสัญญาณดิจิตอล ขนาด 8 บิท ใช้เวลาในการแปลง (Convertion time) น้อยที่สุด 67 นาโนวินาที (67 ns)

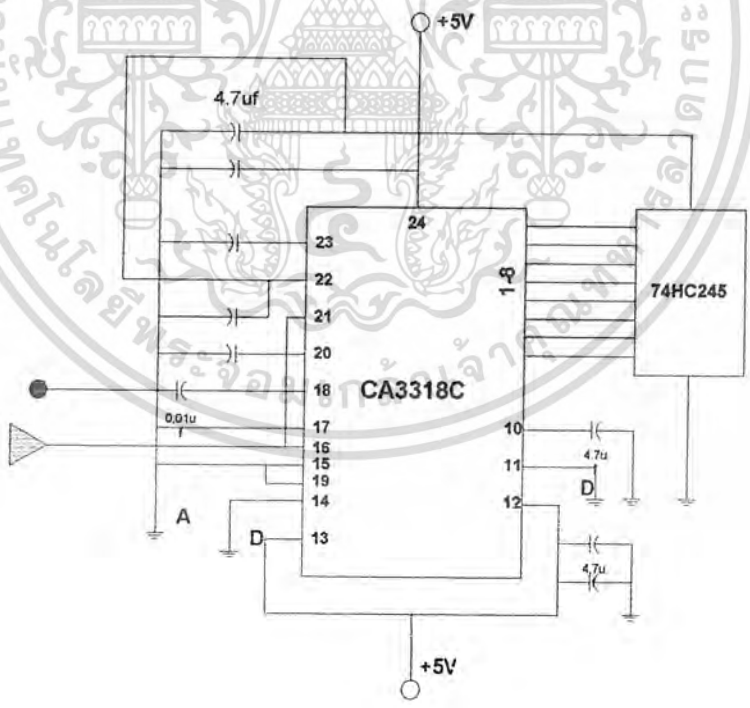
การคำนวนการเปลี่ยนแปลงของระดับแรงดัน ต่อ การเปลี่ยนแปลงระดับการควอนไตซิ่ง (Quantizing Interval) สามารถคำนวนได้จาก

$$V_{TAP}(N) = [(2N-1)/512]Vref$$

เมื่อ Vtap คือ โวลต์เตจอ้างอิงของแต่ละ tap ที่จุด N

Vref คือ โวลต์เตจที่ตกคร่อมระหว่าง Vref- to Vref+

N คือ หมายเลข tap (1 ถึง 256)



รูปที่ 3.4.1 แสดงวงจร การแปลงสัญญานอนาลอก เป็น ดิจิตอล ด้วยIC CA3318CE

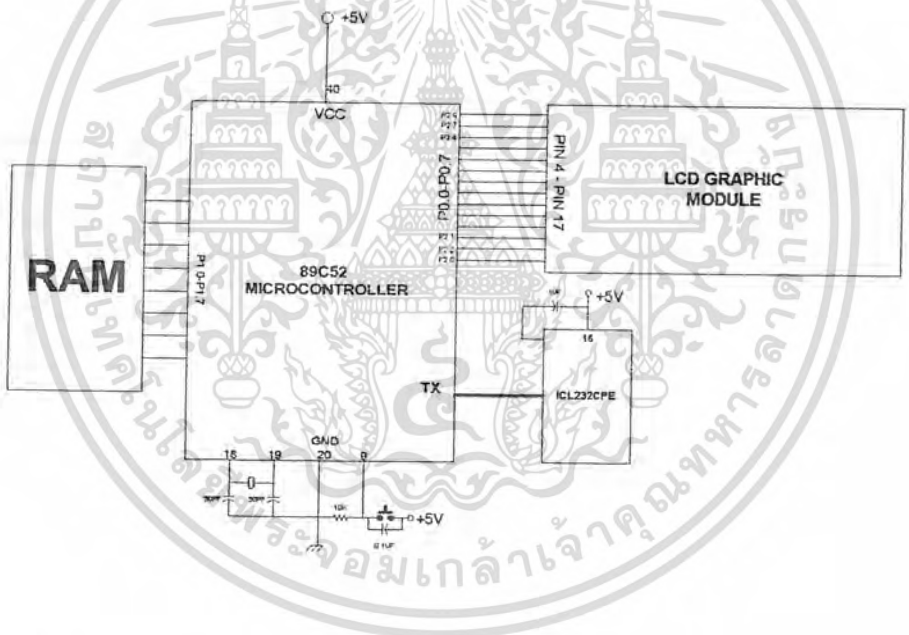
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 การออกแบบและการสร้างวงจรส่วนประมวลผลและแสดงผล
(PROCESSING AND DISPLAYING)

ในการออกแบบจะใช้ไมโครโปรเซสเซอร์ตระกูล 8051 โดยที่การทำงานของไมโครโปรเซสเซอร์จะถูกกำหนดโดยโปรแกรมและจะสามารถแบ่งหน้าที่การทำงานได้ 2 โหมดการทำงาน

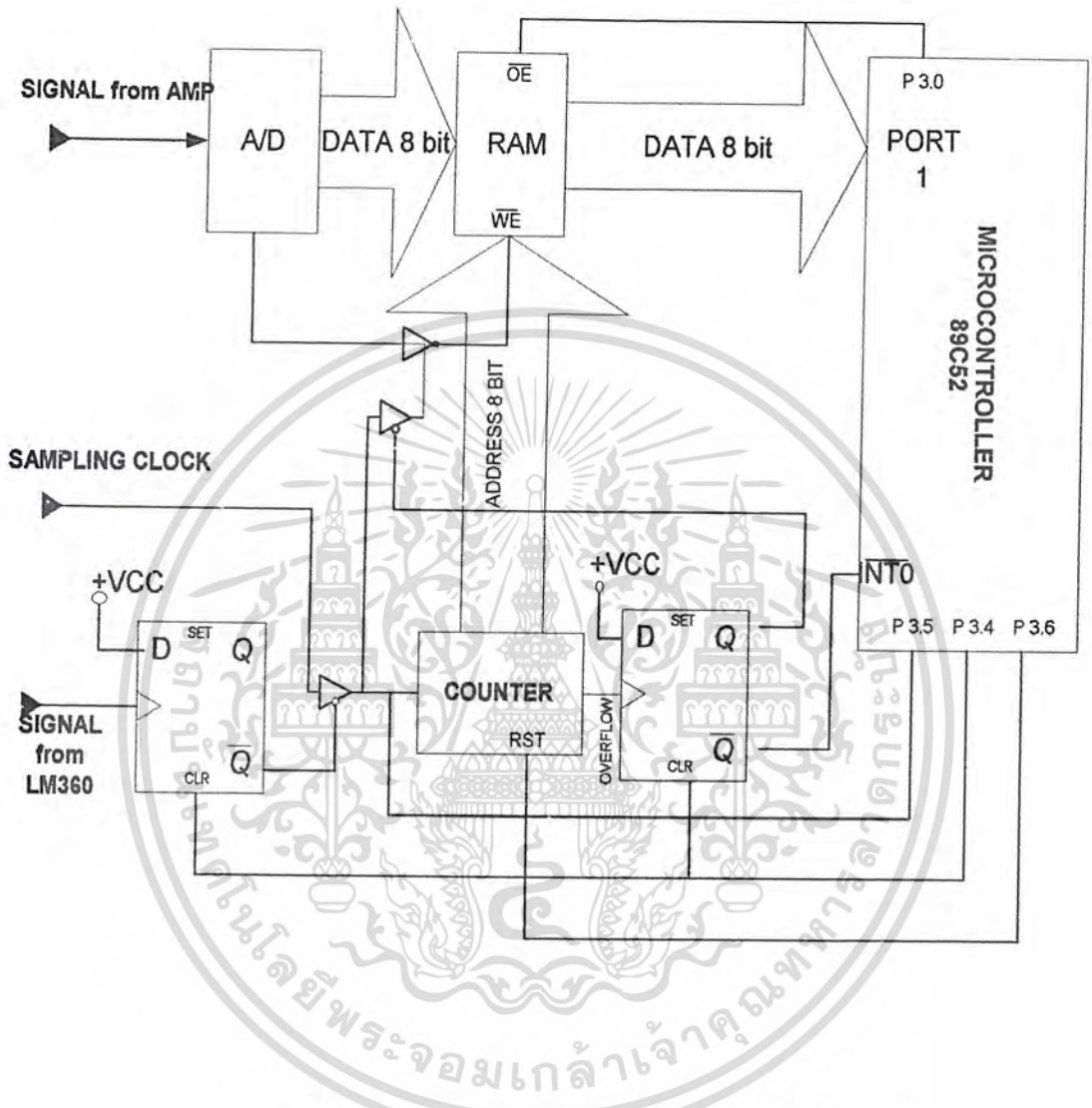
โหมดที่1 ไมโครโปรเซสเซอร์จะทำงานรับค่าที่เป็นข้อมูล 8 บิทจากวงจรแปลงสัญญาณอนาลอคเป็นดิจิตอลมาเก็บไว้ในหน่วยความจำภายในคำนวนและถูกแสดงผลผ่านทางหน้าจอ LCD

โหมดที่2 ไมโครโปรเซสเซอร์จะทำงานรับค่าข้อมูล 8 บิทจากวงจรแปลงสัญญาณอนาลอคเป็นดิจิตอลจากนั้นทำการส่งข้อมูลผ่านพอร์ตการสื่อสารข้อมูลอนุกรมจากนั้นคอมพิวเตอร์จะทำการรับข้อมูลและทำการแสดงผลผ่านหน้าจอคอมพิวเตอร์



รูปที่ 3.5.1 แสดงวงจรการเชื่อมต่อ ระหว่างไมโครโปรเซสเซอร์กับหน้าจอ LCD

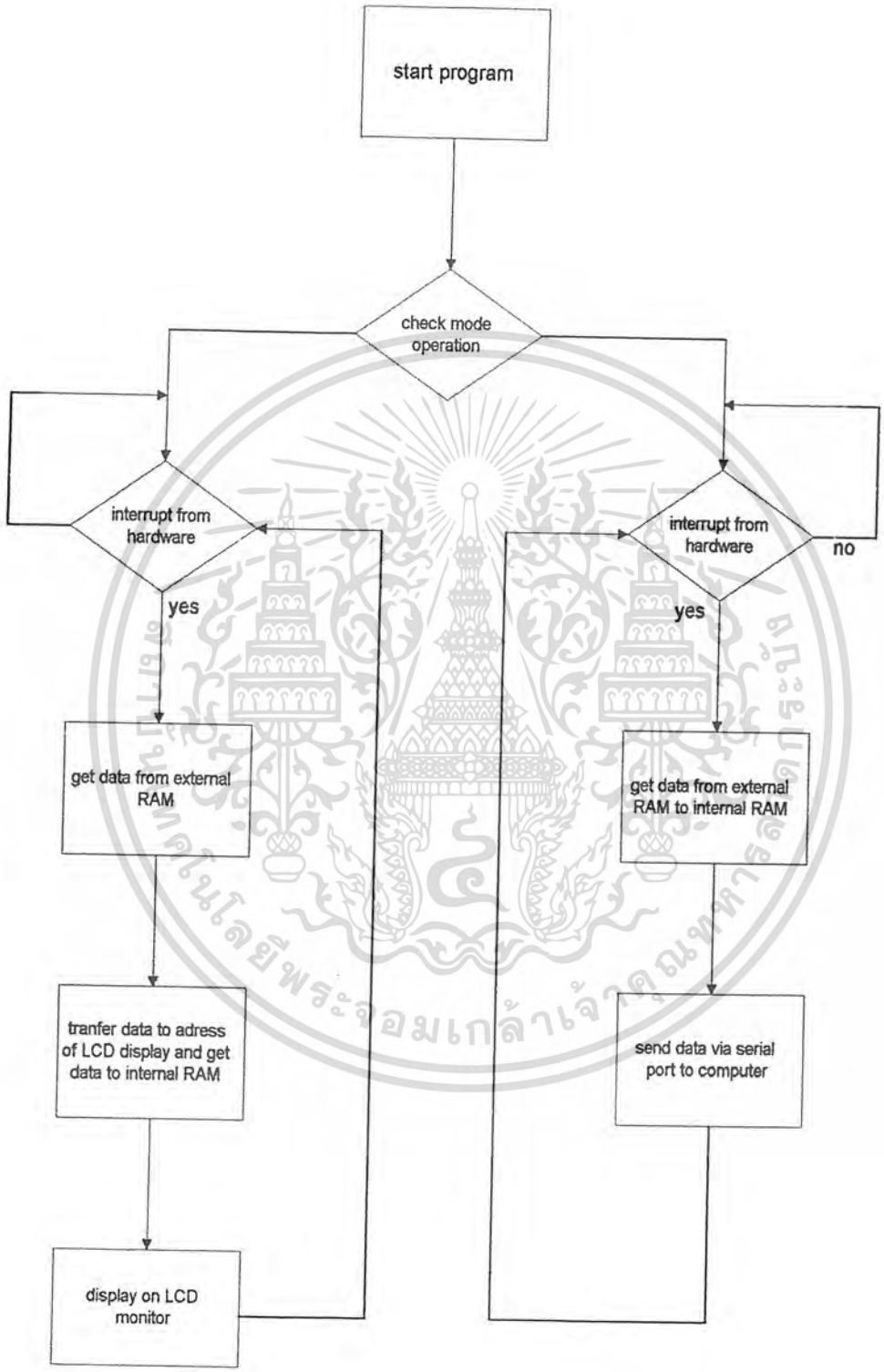
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5.2 แสดงรายละเอียดวงจรส่วนควบคุมการทำงานรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FLOWCHART ของโปรแกรมถูกแสดงไว้ดังรูป 3.5.3



รูปที่ 3.5.3 โฟลชาร์ตแสดงการทำงานของโปรแกรมภายในไมโครคอนโทลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบโปรแกรม ASSEMBLY สำหรับไมโครคอนโทรลเลอร์ 8051

```
;PROGRAM:   VVT3.ASM
;COMPILER:  SXA51
;CREATEBY: KITTIPOL A.
;*********DIPLAY ON LCD MONITOR & PC********

        ORG 0000H
        JMP START
        ORG 0003H
        JMP DUI
        ORG 0090H

;***********SUB DELAY TIME****************

 DELAY: MOV R7,#0FFH
      DJNZ R7,$
      RET

DELAY1:  MOV R7,#0FFH
DELAY11: MOV R6,#0FFH
       DJNZ R6,$
       DJNZ R7,DELAY11
       RET

;************INSTRUCTION SET**************

LCDSET: CLR P2.5
      CLR P2.7
      CLR P2.6
      MOV P0,A
      SETB P2.5
      RET
;************WRITE DATA TO LCD*************

 LCDWR: MOV A,R2
      CLR P2.5
      CLR P2.7
      SETB P2.6
      MOV P0,A
      SETB P2.5
      RET

;*************ENABLE SEG1 DISPLAY*************

   SEG1:  SETB P2.1
        MOV A,R3       ;DISPLAY ON
        LCALL LCDSET
        RET

;-----------------------------------------------

    ADD1: MOV A,R5                ;SET Y ADDRESS
        LCALL LCDSET

        MOV A,R1                 ;SET X ADDRESS
        LCALL LCDSET
        RET
 ;*************ENABLE SEG2 DISPLAY************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
   SEG2: SETB P2.2
         MOV A,R3          ;DISPLAY ON
         LCALL LCDSET
         RET

;-----------------------------------------------

   ADD2: MOV A,R5                    ;SET Y ADDRESS
         LCALL LCDSET

         MOV A,R1                  ;SET X ADDRESS
         LCALL LCDSET
         RET

;**********SUB FOR CALCULATE X ADDRESS*******

   XCAL: MOV B,#08H
         DIV AB
         ADD A,#10111000B
         MOV R1,A
         LCALL DCAL
         RET

;**********SUB FOR CALCULATE DATA***********

   DCAL: MOV A,B
         CJNE A,#00H,DCAL1
         MOV R2,#00000001B
         RET

  DCAL1: CJNE A,#01H,DCAL2
         MOV R2,#00000010B
         RET

  DCAL2: CJNE A,#02H,DCAL3
         MOV R2,#00000100B
         RET

  DCAL3: CJNE A,#03H,DCAL4
         MOV R2,#00001000B
         RET

  DCAL4: CJNE A,#04H,DCAL5
         MOV R2,#00010000B
         RET

  DCAL5: CJNE A,#05H,DCAL6
         MOV R2,#00100000B
         RET

  DCAL6: CJNE A,#06H,DCAL7
         MOV R2,#01000000B
         RET

  DCAL7: CJNE A,#07H,XCAL
         MOV R2,#10000000B
         RET

;*************SUB FOR CLEAR SCREEN SEG1********
 CLEAR1: MOV R5,#01000000B
         MOV R1,#10111000B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
          MOV R2,#00H
          MOV R3,#00111111B
          MOV R4,#40H
          LCALL SEG1
     CLS1:  LCALL ADD1
     CLS11: LCALL LCDWR
          DJNZ R4,CLS11
          INC R1
          CJNE R1,#11000000B,CLS1
          RET

 ;*************SUB FOR CLEAR SCREEN SEG2*********
   CLEAR2: MOV R5,#01000000B
          MOV R1,#10111000B
          MOV R2,#00H
          MOV R3,#00111111B
          MOV R4,#40H
          LCALL SEG2
     CLS2:  LCALL ADD2
     CLS22: LCALL LCDWR
          DJNZ R4,CLS22
          INC R1
          CJNE R1,#11000000B,CLS2
          RET
;*********************RUBKA*********************

    RUBKA: MOV R0,#0FFH

   RUBKA1: MOV A,P1
          MOV B,#04H
          DIV AB
          MOV @R0,A
          DEC R0
          CJNE R0,#7EH,RUBKA1
          RET

 ;*************DUI DUI DUI*********************

  DUI:   SETB P3.4
       CALL CLEAR1
       CALL CLEAR2
       CLR P2.2
       MOV R0,#0FFH
       CLR P3.6
       SETB P3.6

DUI1:   CLR P3.0
       MOV A,P1
       MOV B,#04H
       DIV AB
       MOV @R0,A
       SETB P3.0
       CLR P3.5
       SETB P3.5
       DEC R0
       CJNE R0,#7FH,DUI1
       MOV R0,#0FFH

       MOV A,P2
       ANL A,#00011000B
       CJNE A,#00011000B,SERIAL
```

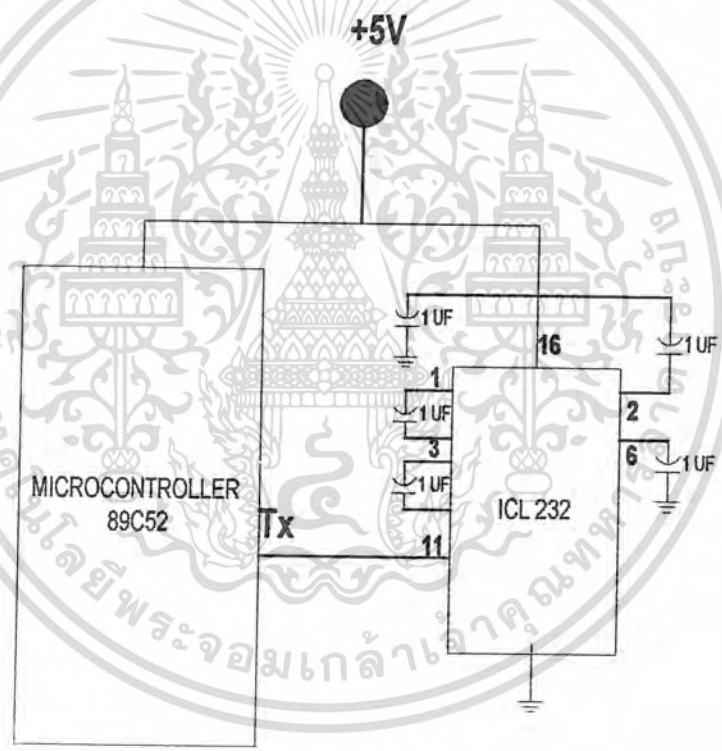
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 LOOP:  MOV A,@R0
        LCALL XCAL
        LCALL ADD1
        LCALL LCDWR
        DEC R0
        INC R5
        CJNE R5,#10000000B,LOOP
        CLR P2.1

        MOV R5,#01000000B
        LCALL SEG2

LOOP1: MOV A,@R0
        LCALL XCAL
        LCALL ADD1
        LCALL LCDWR
        DEC R0
        INC R5
        CJNE R5,#10000000B,LOOP1
        CLR P2.2

        CLR P3.6
        SETB P3.6
        CLR P3.4
        RETI

;*************DIPLAY ON PC*****************
 SERIAL: MOV PCON,#00H
        MOV SCON,#40H
        MOV TMOD,#20H
        MOV TH1,#0E8H  ;BAUD =1200
        MOV R0,#0FFH
        SETB TR1
SERIAL1: MOV SBUF,@R0
   WAIT: JNB TI,WAIT
        CLR TI
        DEC R0
        CJNE R0,#07EH,SERIAL1
        RETI

;***************START PROGRAM****************
;R5==>Y ADDRESS    #01XXXXXXB
;R1==>X ADDRESS    #10111XXXB
;R2==>  DATA
;R3==>  DISPLAY    ON=#00111111    OFF=00111110

 START: SETB P2.0
       MOV P1,#0FFH
       SETB P3.0
       SETB P3.5
       CLR P3.6
       SETB P3.6
       CLR IT0
            MOV IE,#10000001B        ;#100100001
       CLR P3.4
       SJMP $
       END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

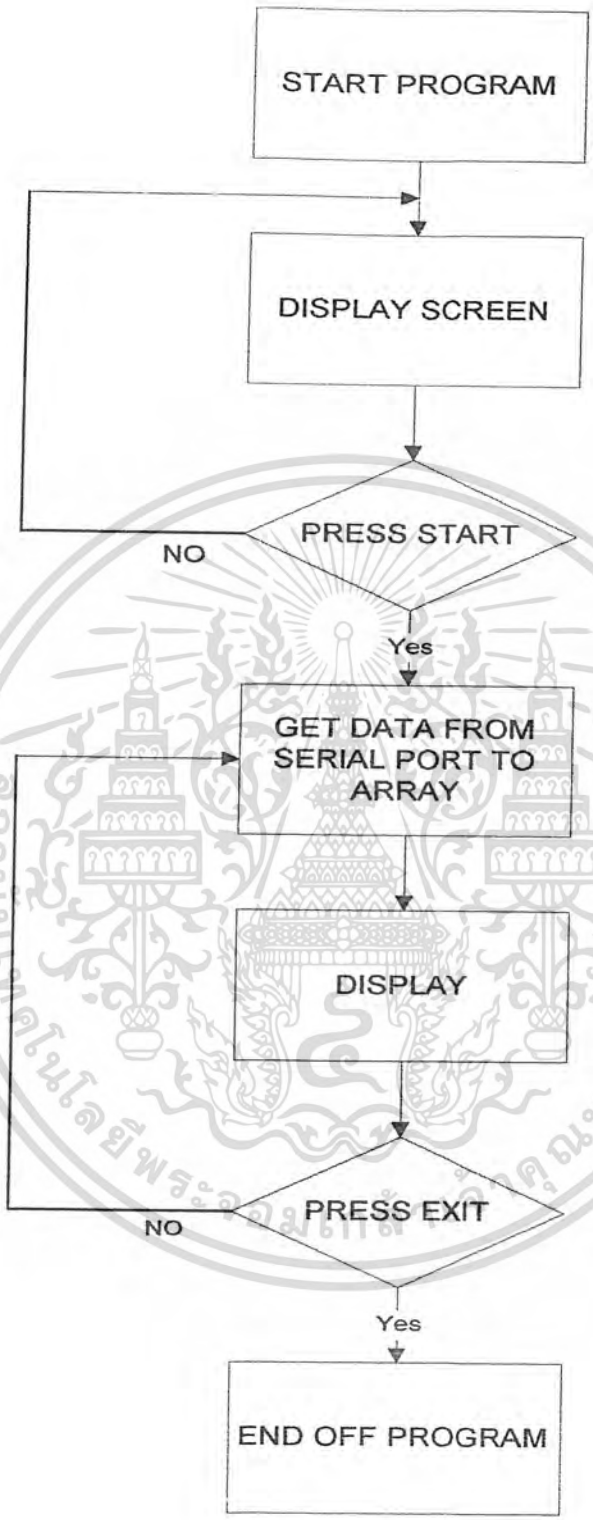
3.6 การออกแบบและการสร้างวงจรส่วนเชื่อมต่อระหว่างไมโครคอนโทรลเลอร์กับพอร์ตอนุกรมของคอมพิวเตอร์ และการแสดงผลผ่านจอคอมพิวเตอร์

การเชื่อมต่อระหว่างไมโครคอนโทรลเลอร์ตระกูล 8051 ใช้การรับส่งข้อมูลอนุกรมในโหมด1 ปีนการสื่อสารข้อมูลอนุกรมจำนวน 10 บิต ประกอบด้วยบิตเริ่มต้น 1 บิต ข้อมูลจำนวน 8 บิต และบิตสุดท้าย 1 บิต โดยข้อมูลจะส่งออกทาง TxD และรับข้อมูลเข้าทางขาสัญญาณ RxD สัญญาณที่ถูกส่งออกและรับเข้าจะถูกแปลงขนาดแรงดันให้มีขนาด ± 9V ผ่านทาง IC (ICL232) โดยการต่อวงจรดังรูป



รูปที่ 3.6.1 แสดงวงจ รการเชื่อมต่อระหว่างไมโครคอนโทรลเลอร์กับ IC ICL232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6.2 โฟรชาร์ตโปรแกรมการรับข้อมูลผ่านพอร์ตอนุกรมและแสดงผลทางจอคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างโปรแกรมที่ใช้งาน

```
unit Unit3;

interface

uses
  Windows, Messages, SysUtils, Classes, Graphics, Controls, Forms,
Dialogs,

  StdCtrls, checklst, ExtCtrls, Buttons, ExtDlgs;

type
  TForm1 = class(TForm)
    Panel1: TPanel;
    Panel2: TPanel;
    Image1: TImage;
    BitBtn1: TBitBtn;
    Button1: TButton;
    Label1: TLabel;
    CheckListBox1: TCheckListBox;
    OpenPictureDialog1: TOpenPictureDialog;
    Label2: TLabel;
    procedure Button1Click(Sender: TObject);
  private
    { Private declarations }
  public
    { Public declarations }
  end;

var
  Form1: TForm1;

implementation

{$R *.DFM}

procedure TForm1.Button1Click(Sender: TObject);

Var       i=integer;
          A=Array[0..128];

begin

initial( );

     i=0;
     while    i<=128 Do

     Begin

          A[i]=Reciever( );
          i=i+1;

     End;

     i=0;
     x=0;
     while i<=128 Do
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                Begin

                    gotoxy(x,140-A[i]);
                    lindto(x+3,140-A[i+1]);

                End

procedure  Tform. Button2click(Sende:TObject);

           Begin

               Exitprogram;

            End

function initial( );

         Begin

              _DX=0;
              _AH=251;

         geninterrupt(0x14);
         End

function recieve( );

         Begin

              _DX=0;
              _AX=2;

         geninterrupt(0x14)

         return(_AL);

          End
end;

end.

Procedure Tform1.Create(Sender:TObject);

Var l=interger

Begin

     For l=:0 to 3 do;

            with TtabSheet Create(self) do

            Begin

                Pagecontrol:=Pagecontrol1;

                Caption:='Tab' + lnttostr(l);

            End
```

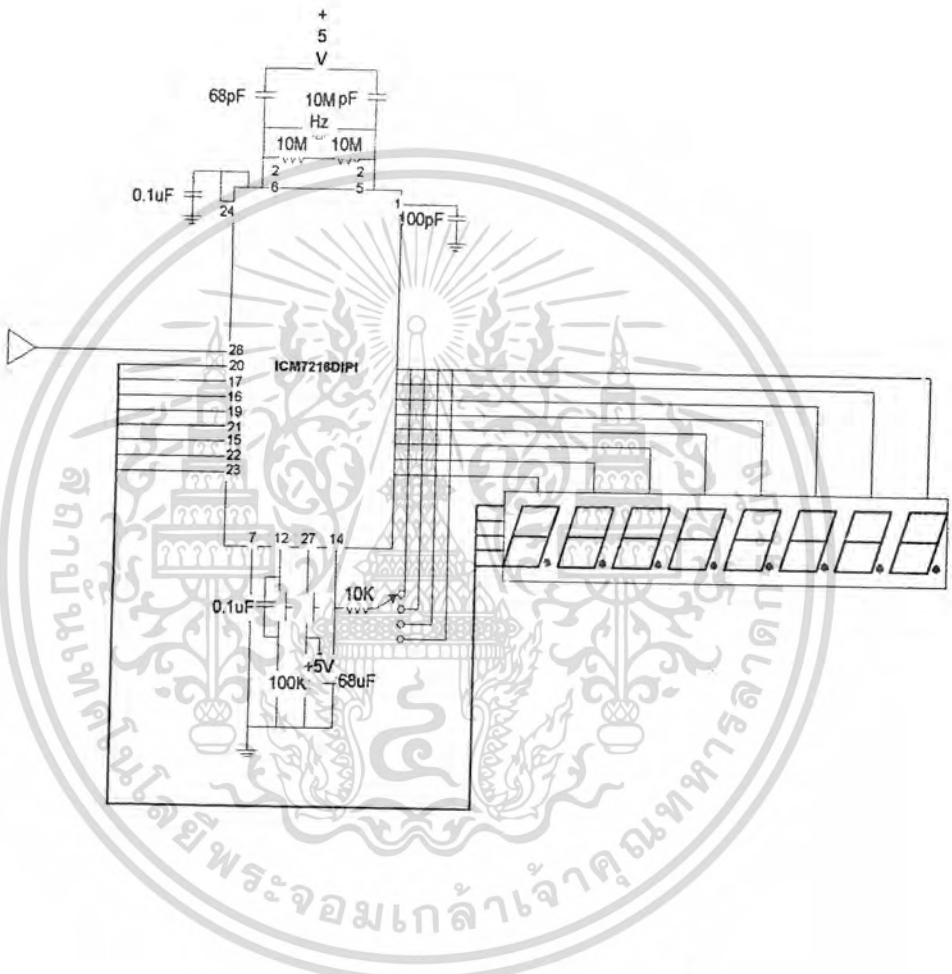
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 procedure hander_Err;

 var x,y : Real

Begin
    x:=0

    try
       y:=1/x;
      showmessae(floattostr(y));

      except
         on EzeroDevide do
              messagedig('error on deviding by zero',mtwarning,
[mbOKK],0);

         on EOverflow do
             messageDig(,Error on date overflow',mtWarning,[mbOK],0);

       else
             messageDig(,Error on date overflow',mtWarning,[mbOK],0)

   end;
   end;

End;

end.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

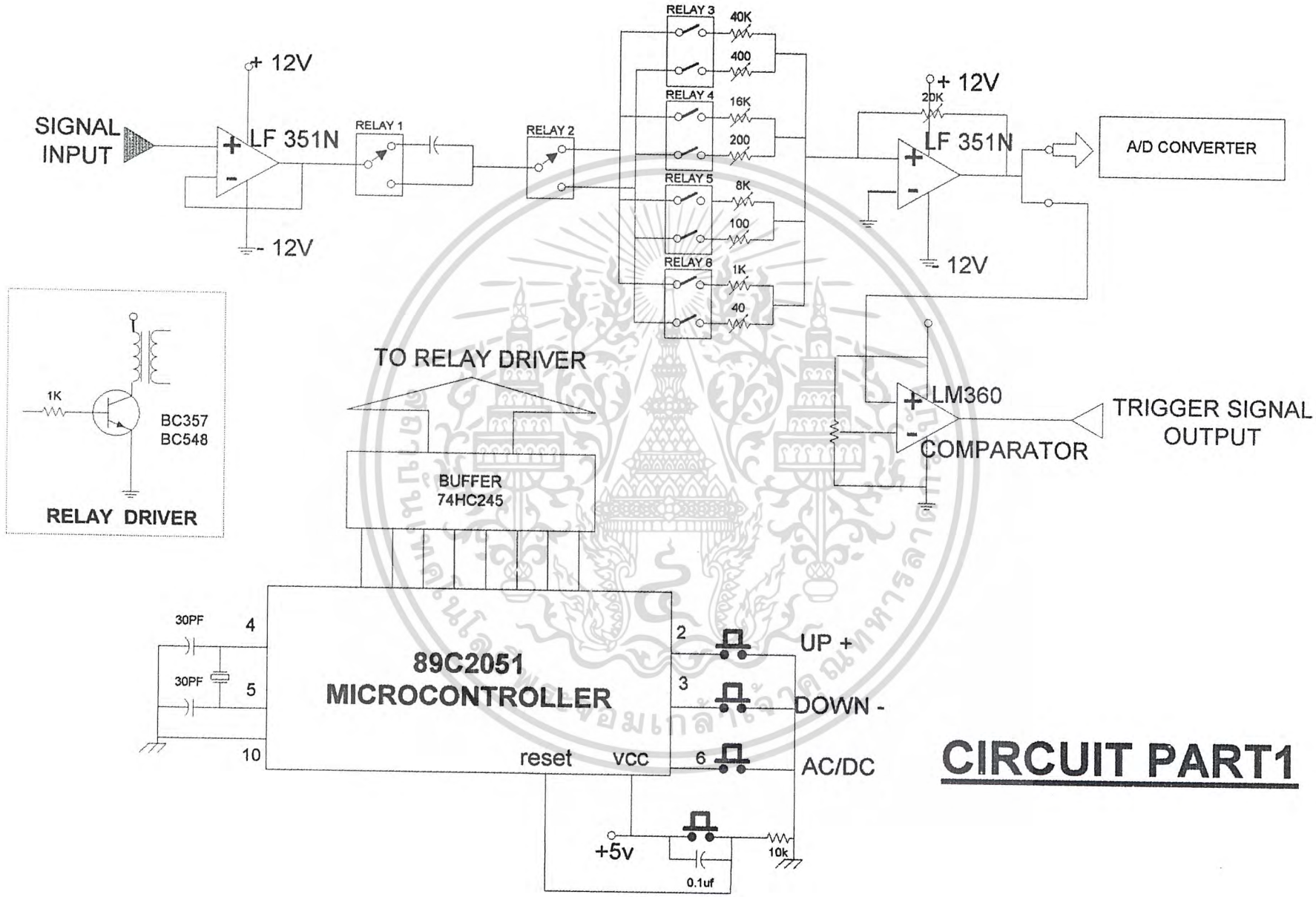
3.7 การคำนวนและการสร้างวงจรส่วนแสดงผลความถี่

ในการสร้างจะใช้ IC สำเร็จรูป ICM7216DIPI ใช้ในการออกแบบวงจรดังรูป 3.7.1 สามารถแสดงผลความถี่ได้สูงสุด 10 MHz โดยที่ ICM7216 มีฟังก์ชันการแสดงผลค้างไว้โดยมีสวิตช์เลือกและสามารถปรับเกตไทม์

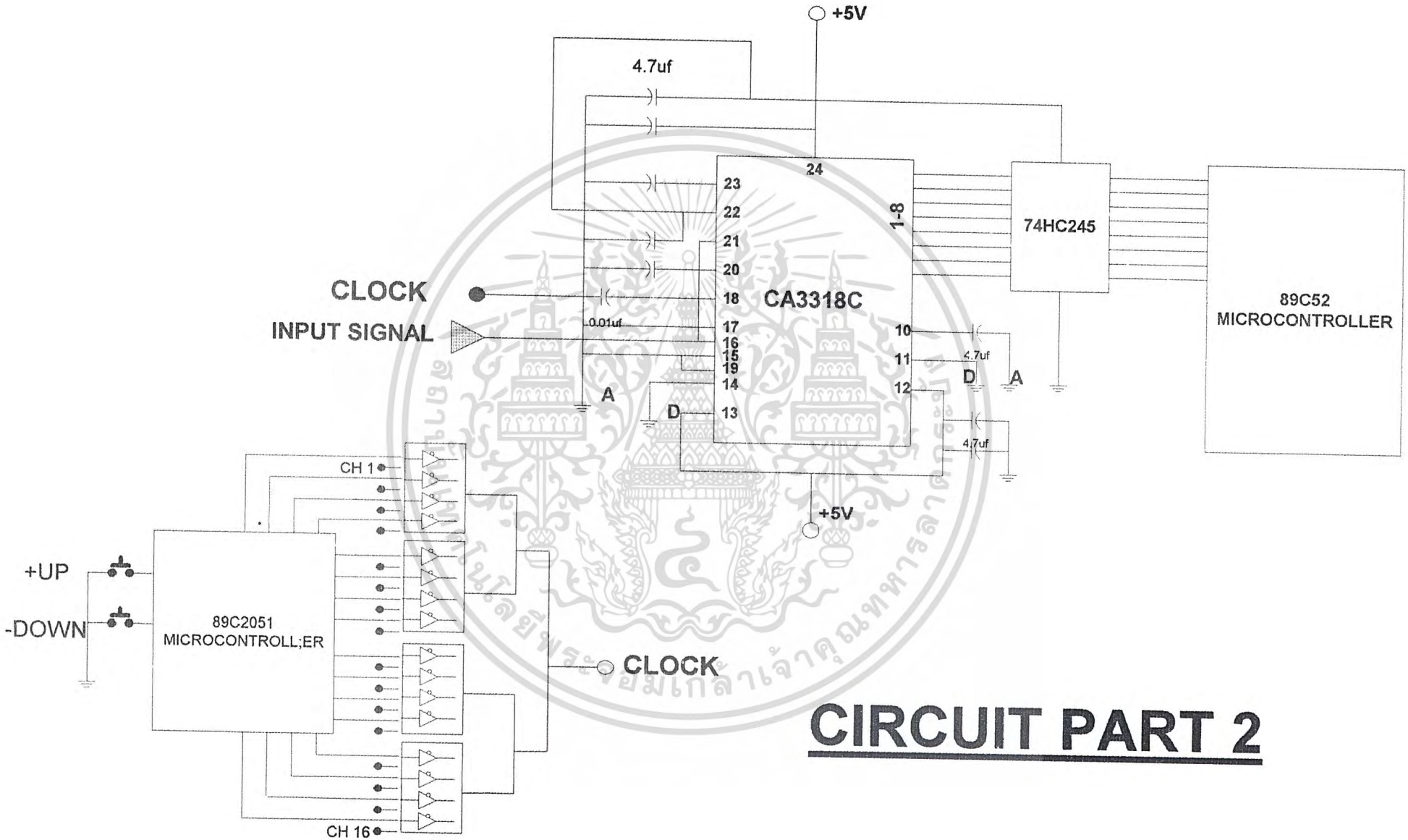


รูปที่ 3.7.1 แสดงวงจรส่วนแสดงผลความถี่

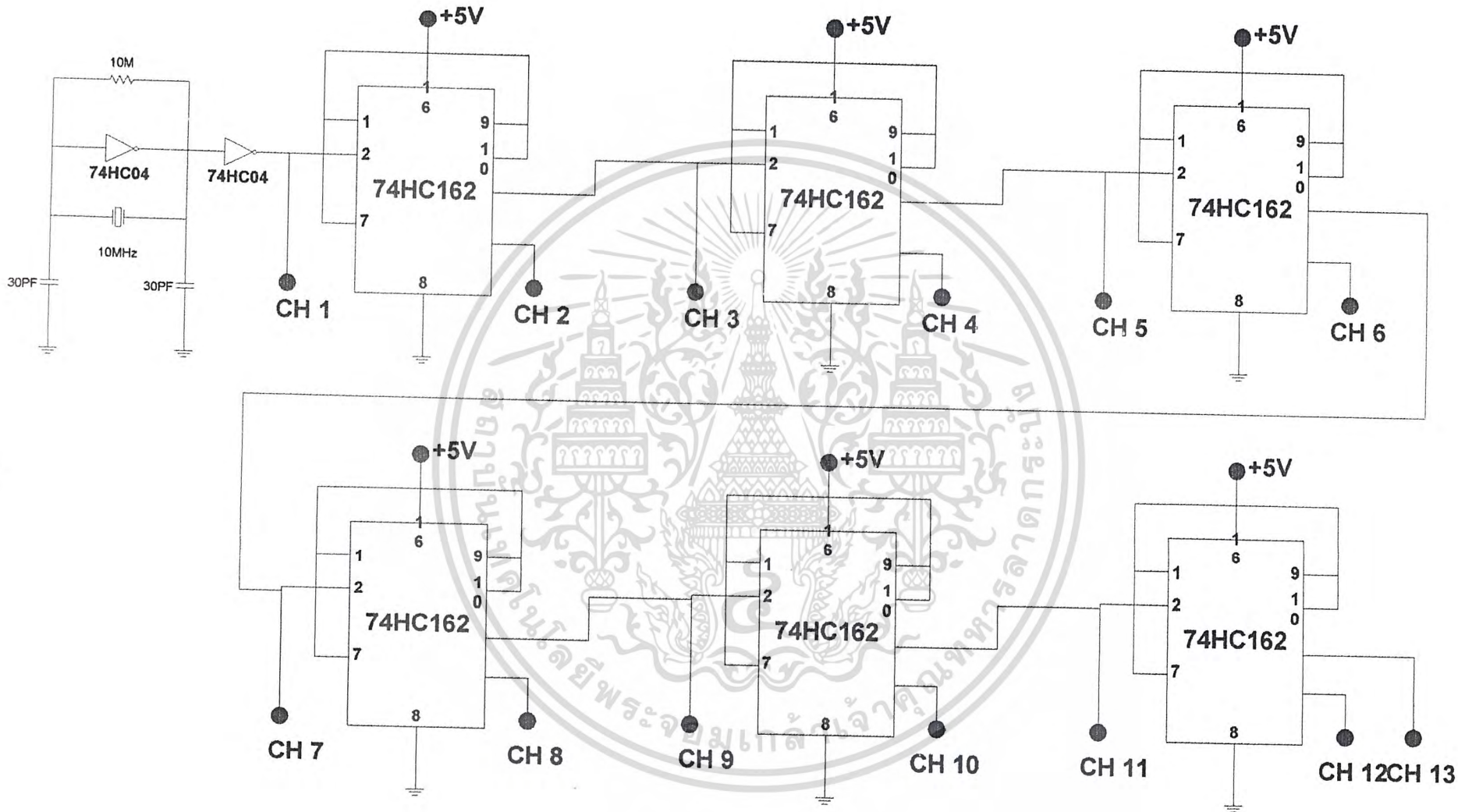
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



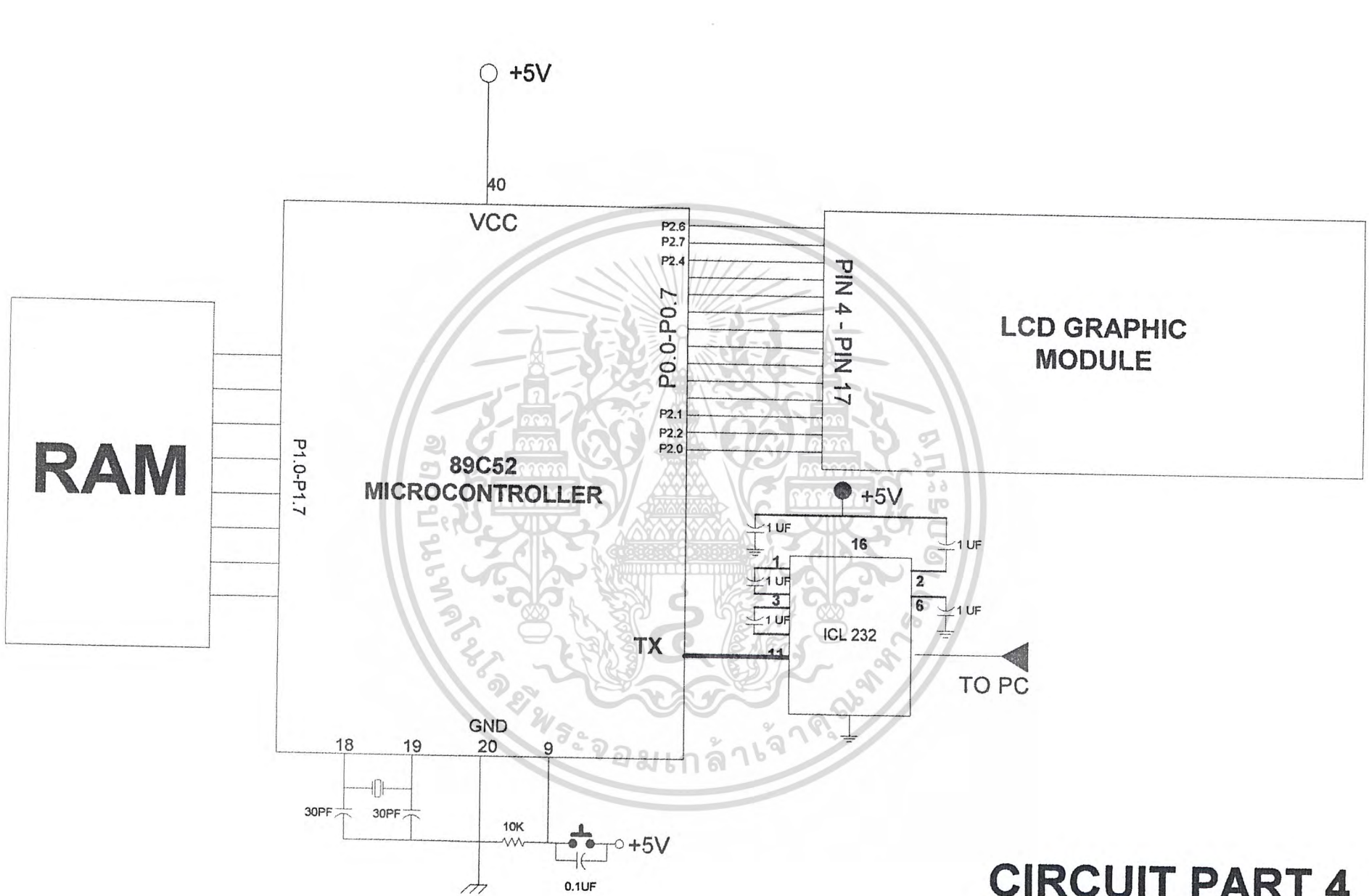
CIRCUIT PART1



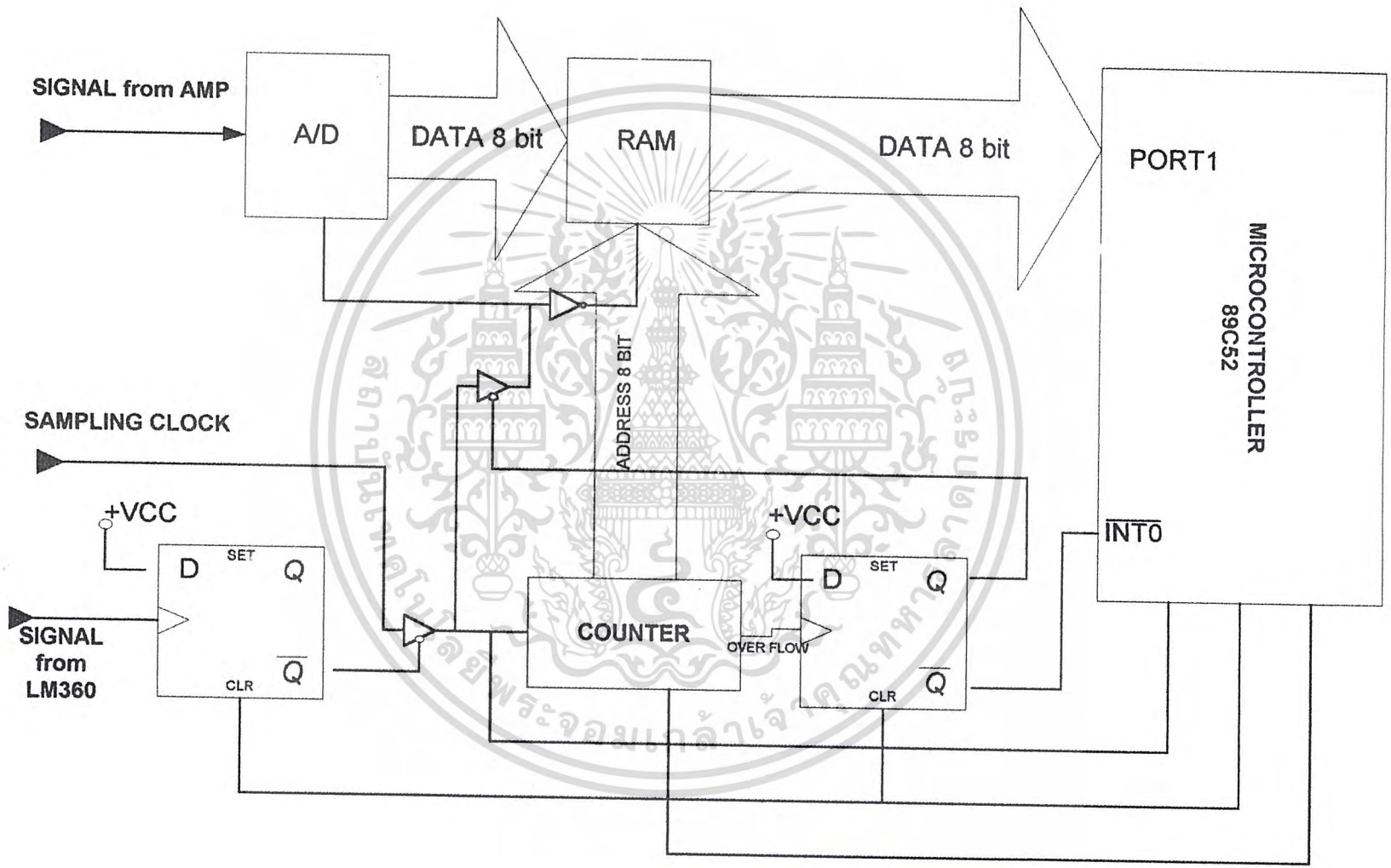
CIRCUIT PART 2



CIRCUIT PART3



CIRCUIT PART 4



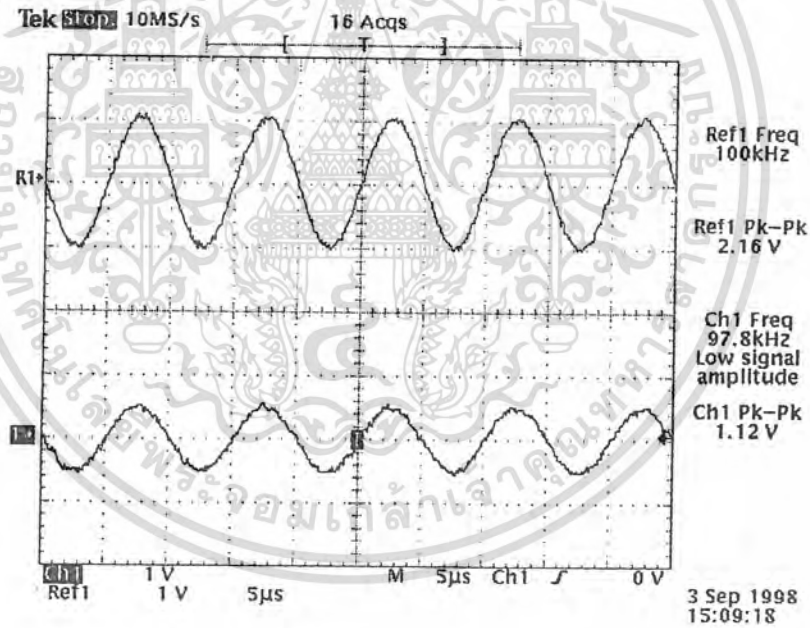
CIRCUIT PART 5

บทที่ 4
การทดลองและผลการทดลอง

จากในบทที่แล้ว ได้ทำการคำณวนและออกแบบวงจรซึ่งจะได้ผลตามทฤษฎีออกมาในบทนี้ จะแสดงให้เห็นว่า ผลตอบสนองในทางปฏิบัติจะตรงตามที่คำณวนได้ตามทฤษฎีหรือไม่ และวงจรที่ทำการออกแบบและสร้างขึ้นสามารถให้ทำงานได้จริงหรือไม่ โดยมีผลการทดลองในแต่ละส่วนดังนี้

4.1). <u>ผลการทดลองในส่วนขยาย หรือ ลดทอนสัญญาณ (Amplifier or Atenuator)</u>

ในการออกแบบวงจรใช้ออปแอมป์ เบอร์ LF 351 N ทำการต่อวงจรแบบอินเวอร์ติงแอมป์ (Inverting Amplifier) โดยสามารถกำหนดค่า อัตราการขยาย (Gain) ได้โดยปรับค่าความต้านทาน (Resistance) ได้ผลดังต่อไปนี้

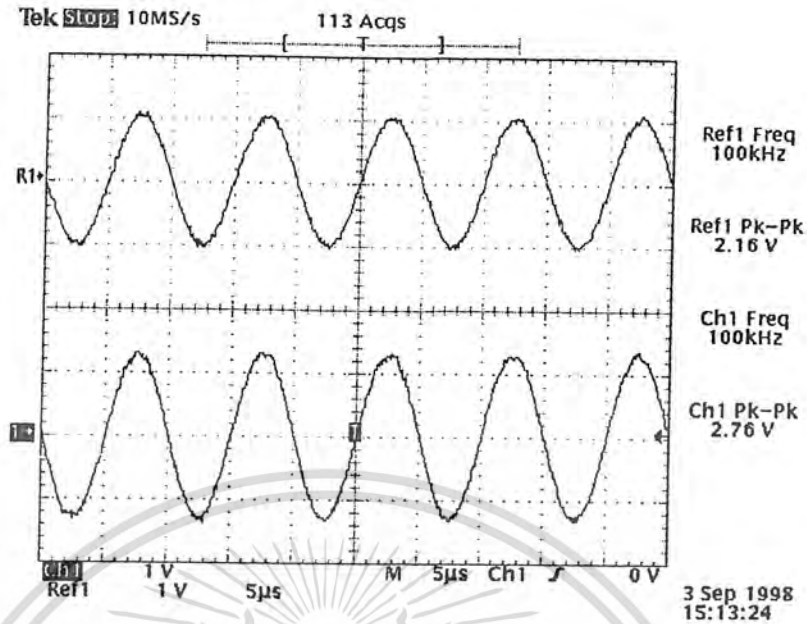


รูปที่4.1.1 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณ โดยใช้ออปแอมป์ เบอร์ LF351N

โดยที่ R1 : สัญญาณที่อินพุตจากเครื่องกำเนิดสัญญาณ ขนาด 2.16 Vp-p

Ch1 : สัญญาณเอ้าพุตที่ได้จากการลดทอนระดับสัญญาณ โดยที่มีขนาด 1.12 Vp-p

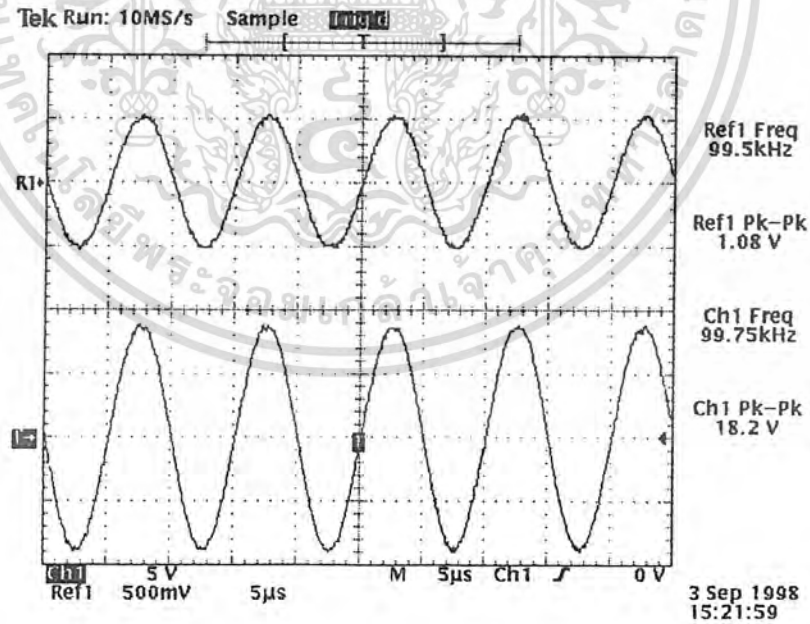
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.1.2 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณ โดยใช้ออปแอมป์ เบอร์ LF351N

โดยที่ R1 : สัญญาณที่อินพุตจากเครื่องกำเนิดสัญญาณ ขนาด 2.16 Vp-p

Ch1 : สัญญาณเอ้าพุตที่ได้จากการขยายระดับสัญญาณ โดยที่มีขนาด 2.76 Vp-p

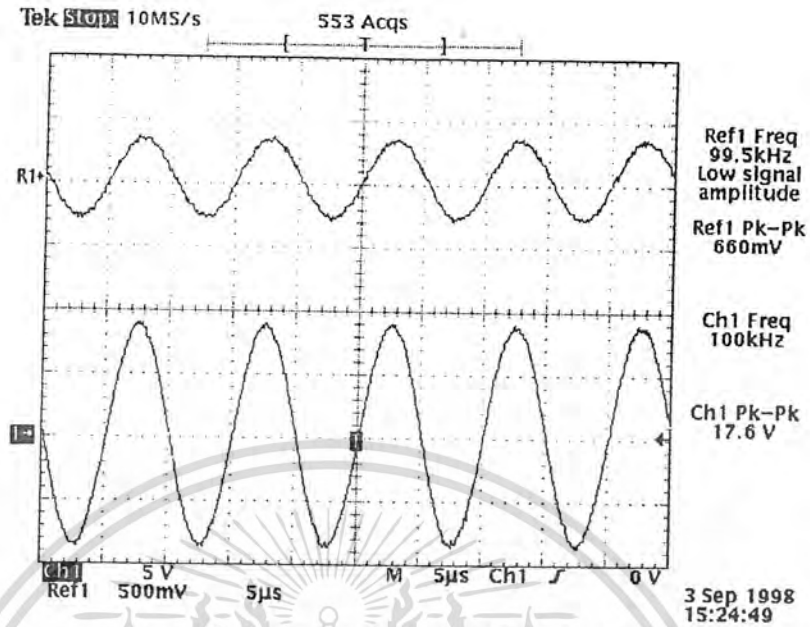


รูปที่4.1.3 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณ โดยใช้ออปแอมป์ เบอร์ LF351N

โดยที่ R1 : สัญญาณที่อินพุตจากเครื่องกำเนิดสัญญาณ ขนาด 1.08 Vp-p

Ch1 : สัญญาณเอ้าพุตที่ได้จากการขยายระดับสัญญาณ โดยที่มีขนาด 18.2 Vp-p

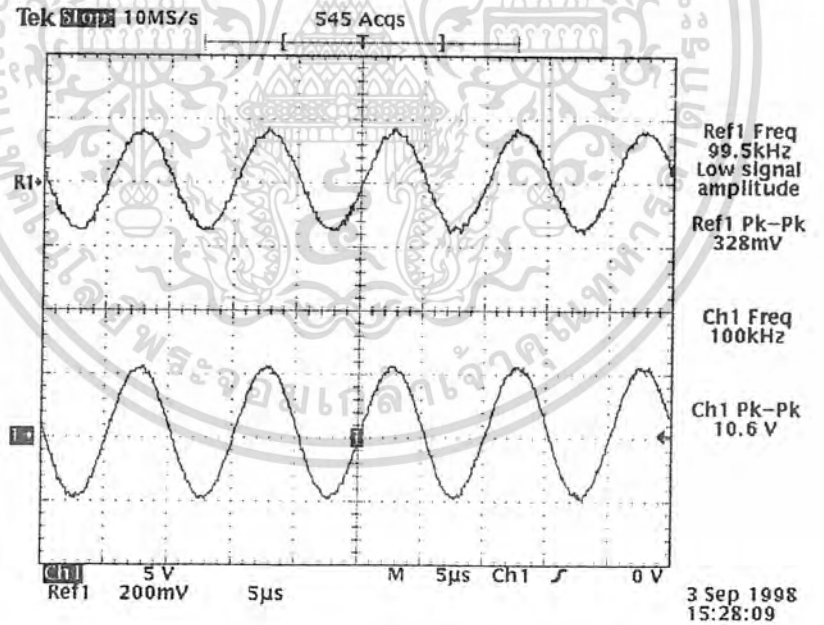
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.1.4 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณ โดยใช้ออปแอมป์ เบอร์ LF351N

โดยที่ R1 : สัญญาณที่อินพุตจากเครื่องกำเนิดสัญญาณ ขนาด 660mVp-p

Ch1 : สัญญาณเอ้าพุตที่ได้จากการขยายระดับสัญญาณ โดยที่มีขนาด 17.6 Vp-p

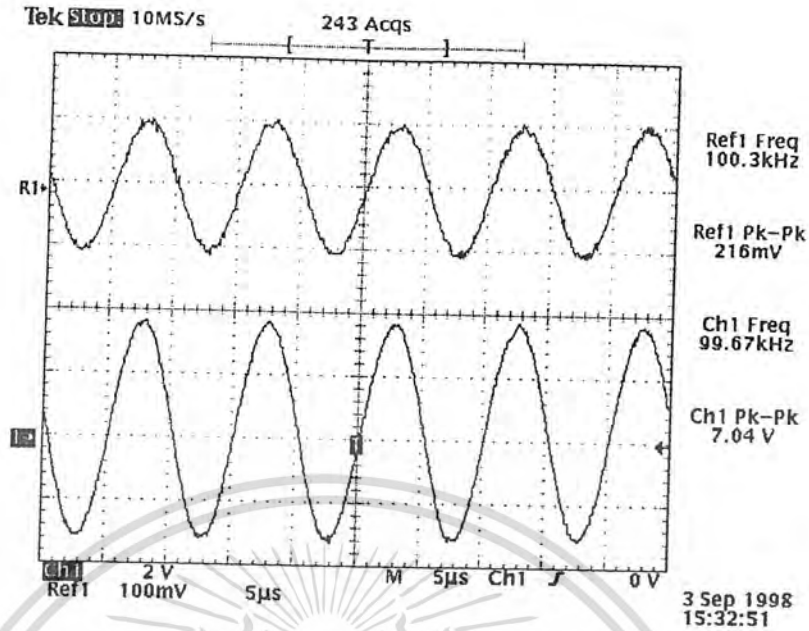


รูปที่ 4.1.5 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณ โดยใช้ออปแอมป์ เบอร์ LF351N

โดยที่ R1 : สัญญาณที่อินพุตจากเครื่องกำเนิดสัญญาณ ขนาด 328 mVp-p

Ch1 : สัญญาณเอ้าพุตที่ได้จากการขยายระดับสัญญาณ โดยที่มีขนาด 10.6 Vp-p

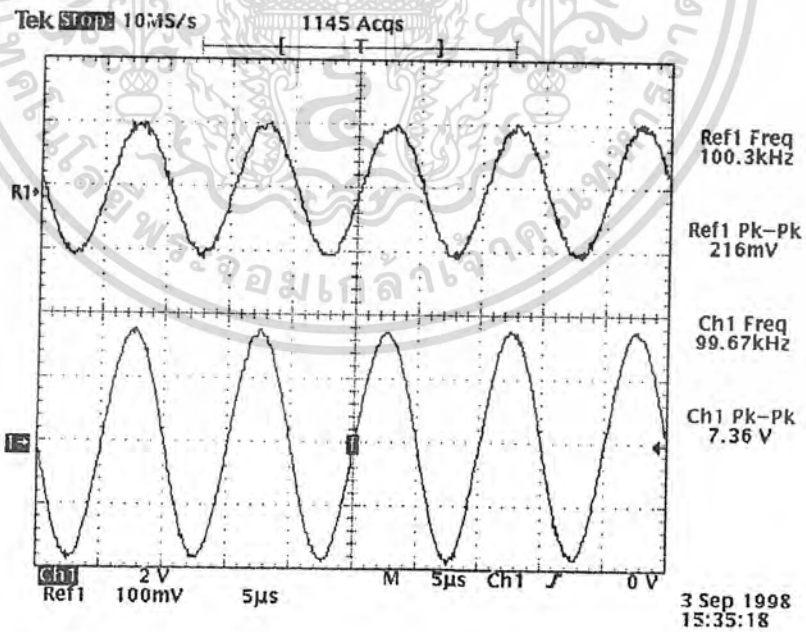
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.1.6 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณ โดยใช้ออปแอมป์ เบอร์ LF351N

โดยที่ R1 : สัญญาณที่อินพุตจากเครื่องกำเนิดสัญญาณ ขนาด 216 mVp-p

Ch1 : สัญญาณเอ้าพุตที่ได้จากการขยายระดับสัญญาณ โดยที่มีขนาด 7.04 Vp-p

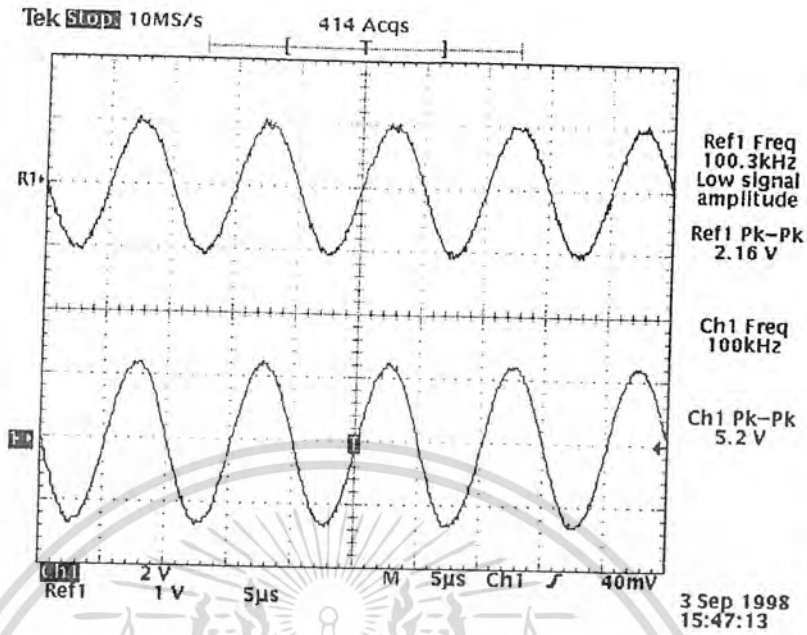


รูปที่4.1.7 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณ โดยใช้ออปแอมป์ เบอร์ LF351N

โดยที่ R1 : สัญญาณที่อินพุตจากเครื่องกำเนิดสัญญาณ ขนาด 216 mVp-p

Ch1 : สัญญาณเอ้าพุตที่ได้จากการขยายระดับสัญญาณ โดยที่มีขนาด 7.36 Vp-p

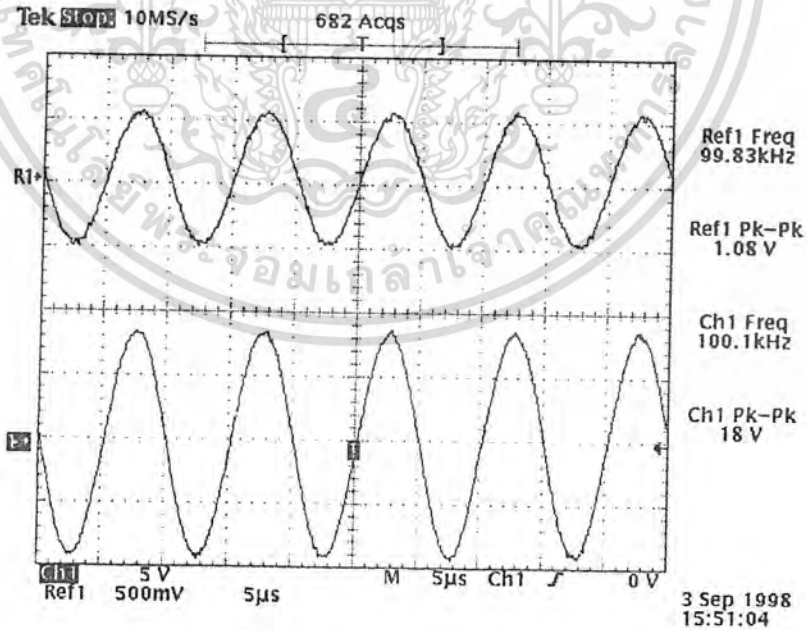
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้



รูปที่4.1.8 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณ โดยใช้ออปแอมป์ เบอร์ LF351N

โดยที่ R1 : สัญญาณที่อินพุตจากเครื่องกำเนิดสัญญาณ ขนาด 2.16 Vp-p

Ch1 : สัญญาณเอ้าพุตที่ได้จากการขยายระดับสัญญาณ โดยที่มีขนาด 5.2 Vp-p



รูปที่4.1.9 แสดงผลวงจรขยายหรือลดทอนระดับสัญญาณ โดยใช้ออปแอมป์ เบอร์ LF351N

โดยที่ R1 : สัญญาณที่อินพุตจากเครื่องกำเนิดสัญญาณ ขนาด 1.08 Vp-p

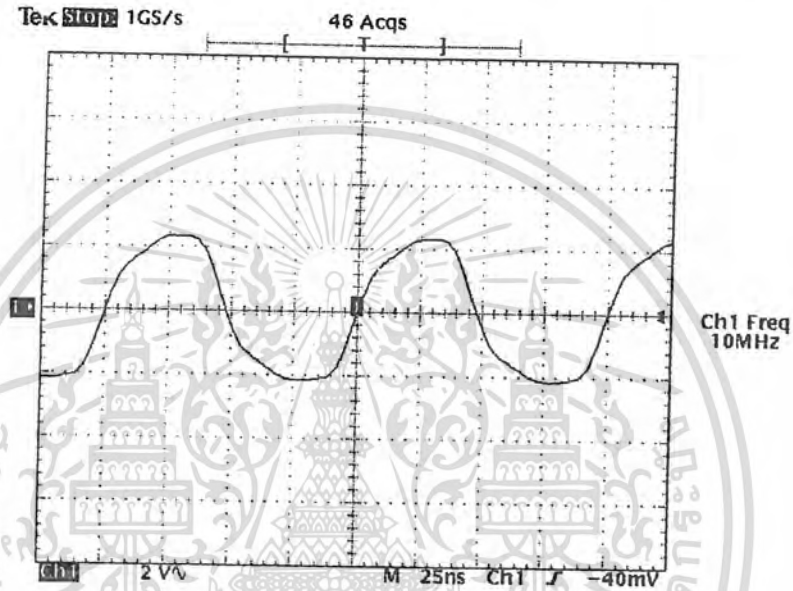
Ch1 : สัญญาณเอ้าพุตที่ได้จากการขยายระดับสัญญาณ โดยที่มีขนาด 18 Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2). ผลการทดลองในส่วนของวงจรคริสตอลออสซิลเลเตอร์ (Crystal Oscillator)

ในการออกแบบวงจรใช้คริสตอลความถี่ 10 MHz กำเนิดความถี่ขึ้นมาค่าหนึ่ง จากนั้นทำการ ความถี่ลงโดยใช้ IC ITL เบอร์74 HC162 ทำให้ได้สัญญาณที่มีความถี่แตกต่างกัน ตั้งแต่ 10 MHz-50MHz โดยได้ผลการทดลองดังแสดงในรูป

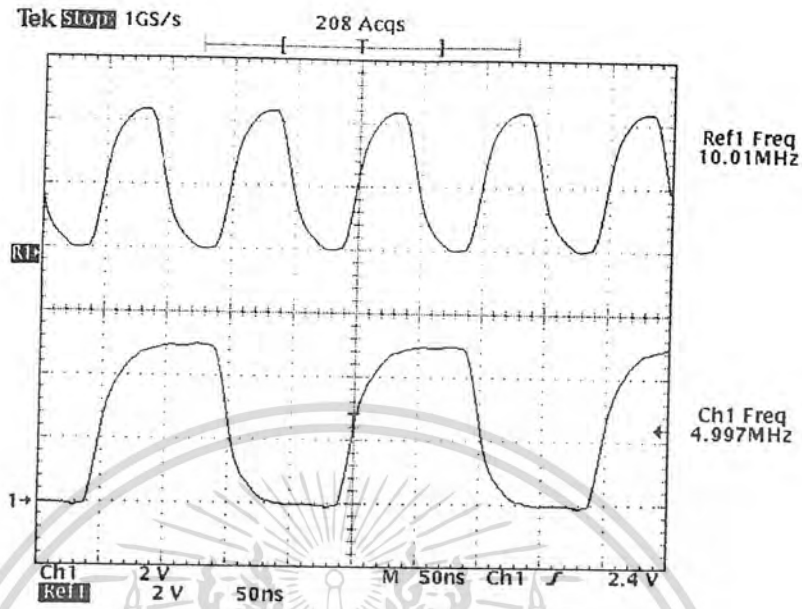
2.1 ผลการทดลองของวงจรคริสตอลออสซิลเลเตอร์ (Crystal Oscillator)



รูปที่ 4.2.1 แสดงผลวงจรคริสตอลออสซิลเลเตอร์ ความถี่ 10 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

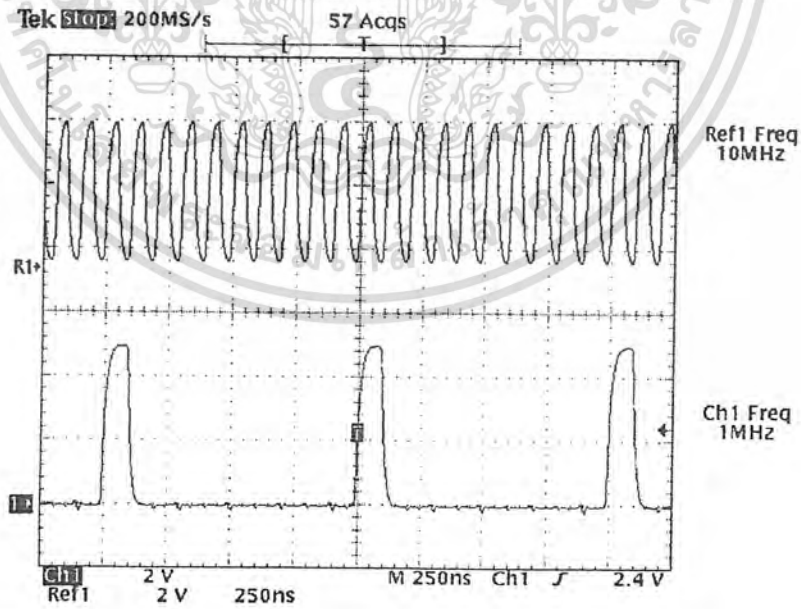
2.2 ผลการทดลองของวงจรหารความถี่



รูปที่ 4.2.2 แสดงผลวงจรการหาร(÷2) จาก IC เบอร์ 74HC162

โดยที่ R1 : สัญญาณอินพุทจากคริสตอลออสซิลเลเตอร์ 10MHz

Ch1: สัญญาณเอาท์พุทจากวงจรหาร(÷2) 5 MHz.

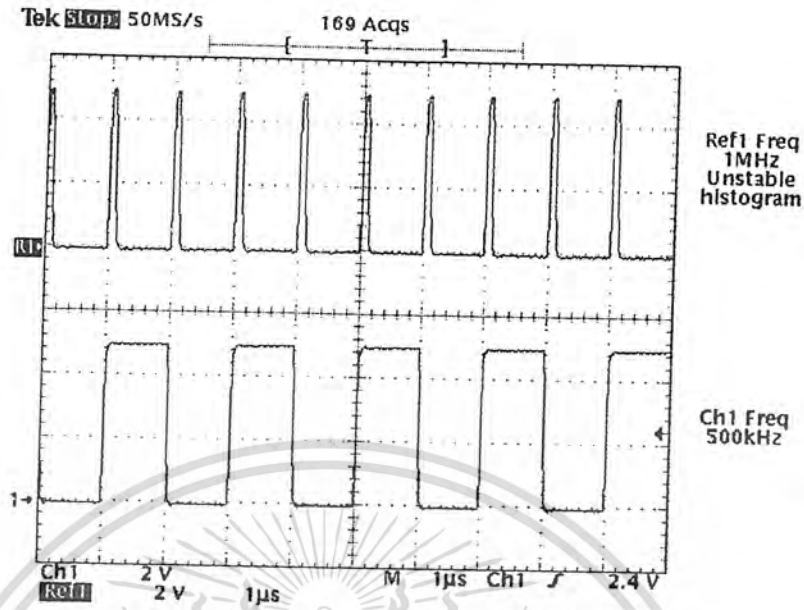


รูปที่ 4.2.3 แสดงผลวงจรการหาร(÷10) จาก IC เบอร์ 74HC162

โดยที่ R1 : สัญญาณอินพุทจากคริสตอลออสซิลเลเตอร์ 10MHz

Ch1: สัญญาณเอาท์พุทจากวงจรหาร(÷10) 1 MHz.

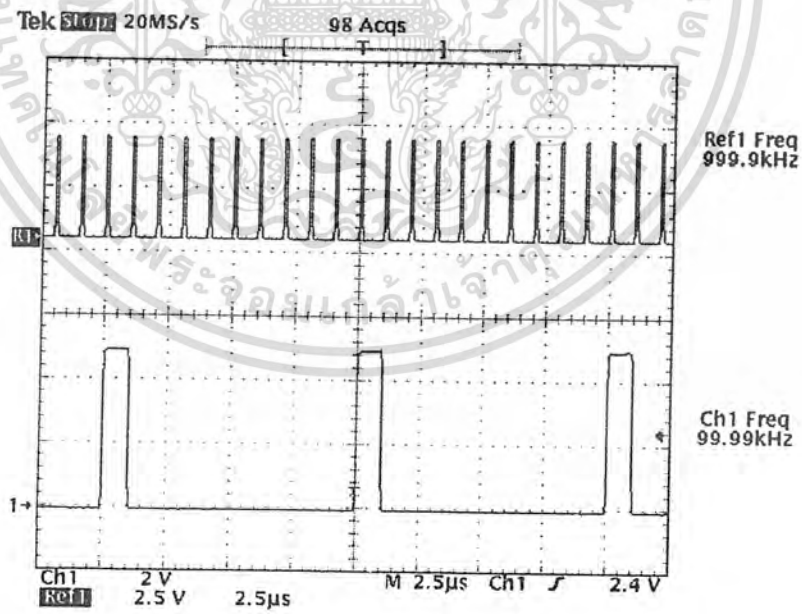
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.4 แสดงผลวงจรการหาร(÷2) จาก IC เบอร์ 74HC162

โดยที่ R1 : สัญญาณอินพุทจากเอ้าท์พุทของวงจรหารความถี่ขนาด 1MHz

Ch1: สัญญาณเอาท์พุทจากวงจรหาร(÷2) 500 KHz.

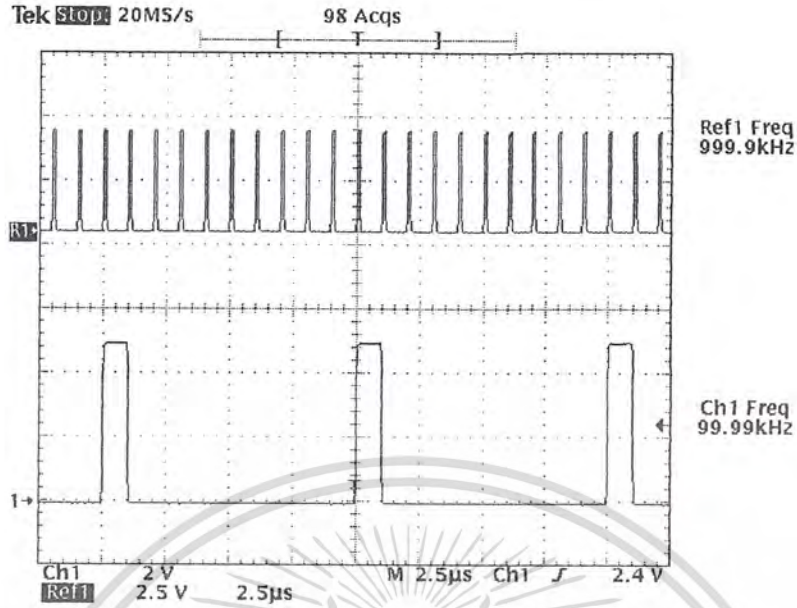


รูปที่ 4.2.5 แสดงผลวงจรการหาร(÷10) จาก IC เบอร์ 74HC162

โดยที่ R1 : สัญญาณอินพุทจากเอ้าท์พุทของวงจรหารความถี่ขนาด 1MHz

Ch1: สัญญาณเอาท์พุทจากวงจรหาร(÷10) 100 KHz.

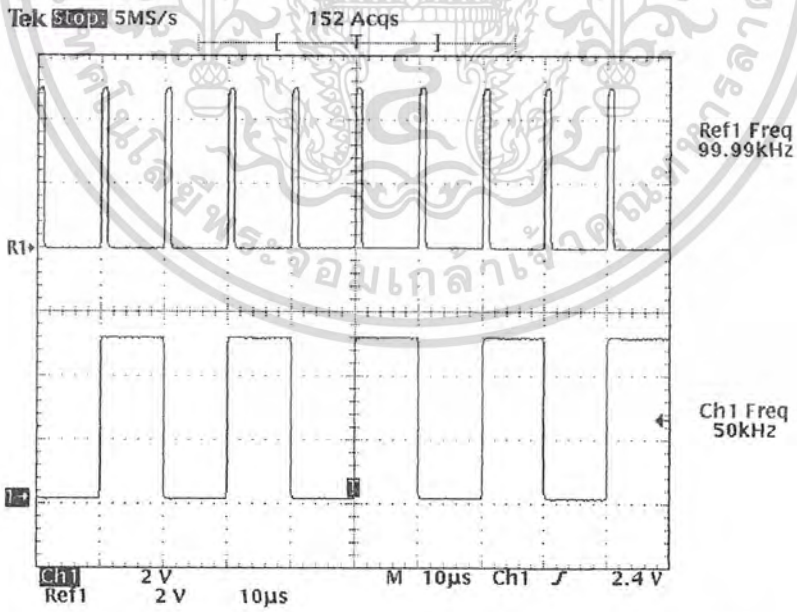
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.5 แสดงผลวงจรการหาร(÷10) จาก IC เบอร์ 74HC162

โดยที่ R1 : สัญญาณอินพุทจากเอ้าท์พุทของวงจรหารความถี่ขนาด 1MHz

Ch1: สัญญาณเอาท์พุทจากวงจรหาร(÷10) 100 kHz.

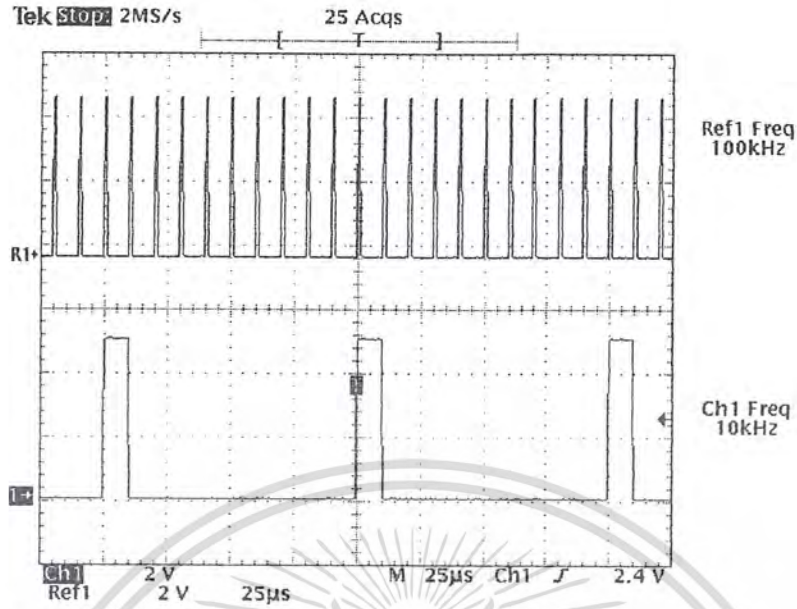


รูปที่ 4.2.6 แสดงผลวงจรการหาร(÷2) จาก IC เบอร์ 74HC162

โดยที่ R1 : สัญญาณอินพุทจากเอ้าท์พุทของวงจรหารความถี่ขนาด 100 kHz

Ch1: สัญญาณเอาท์พุทจากวงจรหาร(÷2) 50 kHz.

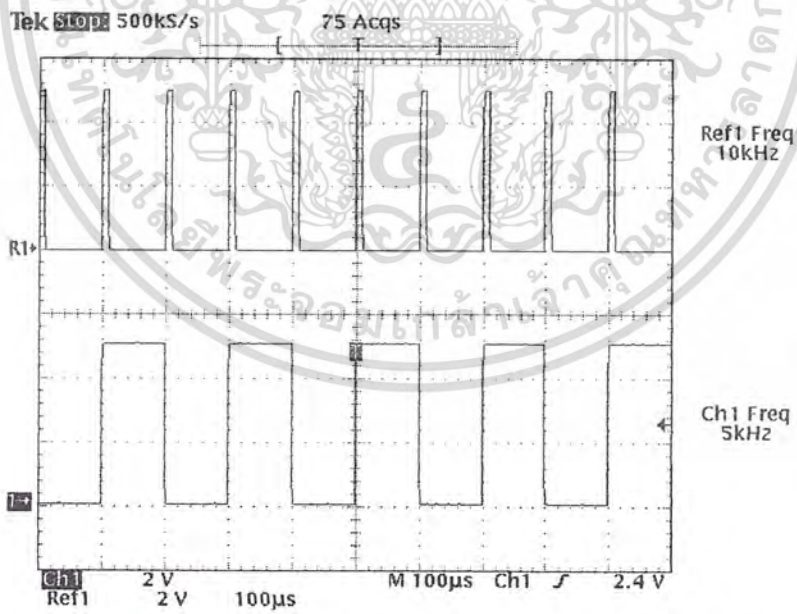
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.7 แสดงผลวงจรการหาร(÷10) จาก IC เบอร์ 74HC162

โดยที่ R1 : สัญญาณอินพุทจากเอ้าท์พุทของวงจรหารความถี่ขนาด 100 KHz

Ch1: สัญญาณเอาท์พุทจากวงจรหาร(÷10) 10 KHz.

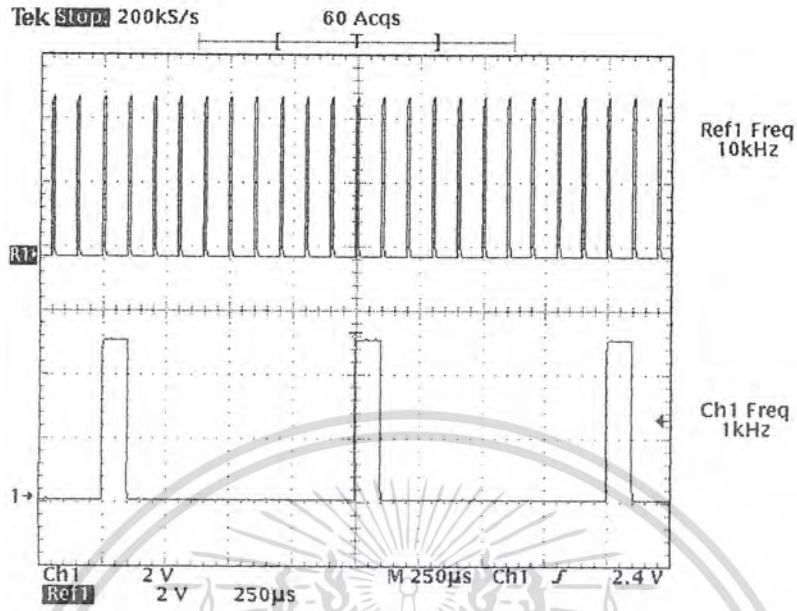


รูปที่ 4.2.8 แสดงผลวงจรการหาร(÷10) จาก IC เบอร์ 74HC162

โดยที่ R1 : สัญญาณอินพุทจากเอ้าท์พุทของวงจรหารความถี่ขนาด 10 kHz

Ch1: สัญญาณเอาท์พุทจากวงจรหาร(÷10) 5 kHz.

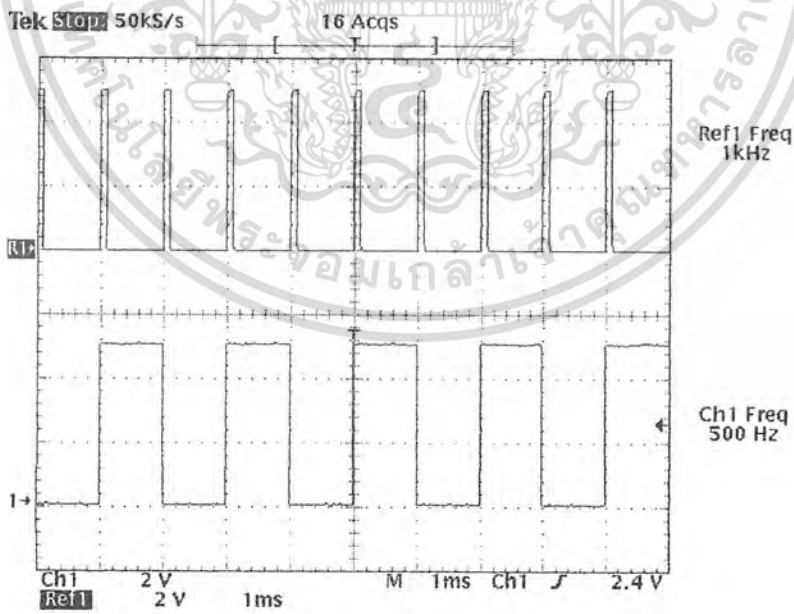
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.9 แสดงผลวงจรการหาร(÷10) จาก IC เบอร์ 74HC162

โดยที่ R1 : สัญญาณอินพุทจากเอ้าท์พุทของวงจรหารความถี่ขนาด 10 kHz

Ch1: สัญญาณเอาท์พุทจากวงจรหาร(÷10) 1 kHz.

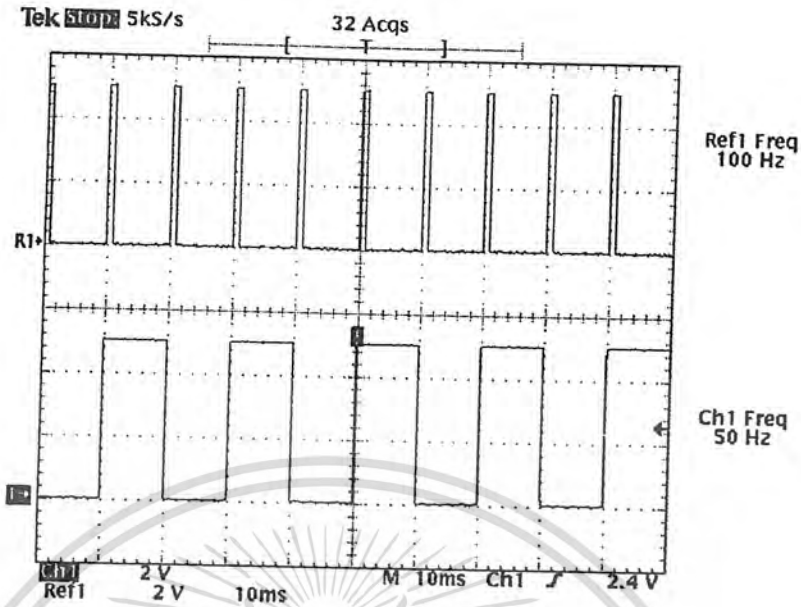


รูปที่ 4.2.10 แสดงผลวงจรการหาร(÷2) จาก IC เบอร์ 74HC162

โดยที่ R1 : สัญญาณอินพุทจากเอ้าท์พุทของวงจรหารความถี่ขนาด 1 kHz

Ch1: สัญญาณเอาท์พุทจากวงจรหาร(÷2) 500 Hz.

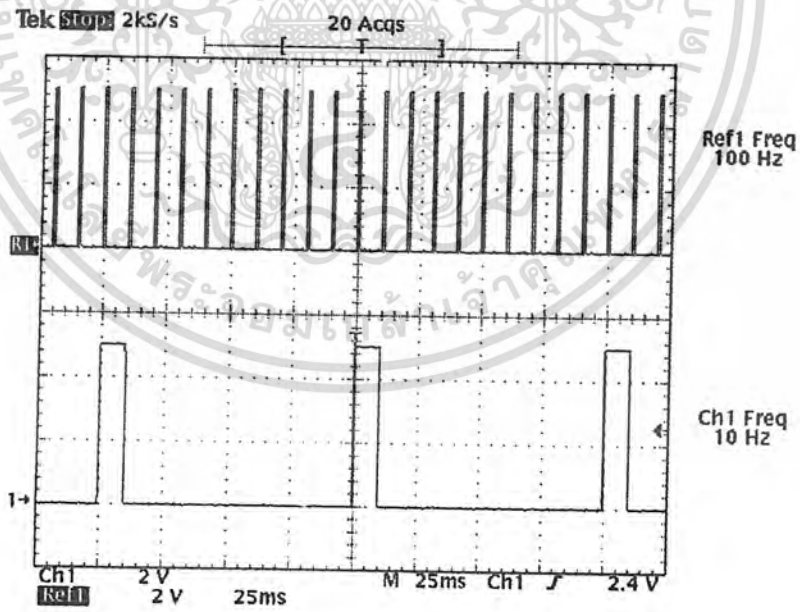
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.12 แสดงผลวงจรการหาร(÷2) จาก IC เบอร์ 74HC162

โดยที่ R1 : สัญญาณอินพุทจากเอ้าท์พุทของวงจรหารความถี่ขนาด 100 Hz

Ch1: สัญญาณเอาท์พุทจากวงจรหาร(÷2) 50 Hz.



รูปที่ 4.2.13 แสดงผลวงจรการหาร(÷10) จาก IC เบอร์ 74HC162

โดยที่ R1 : สัญญาณอินพุทจากเอ้าท์พุทของวงจรหารความถี่ขนาด 100 Hz

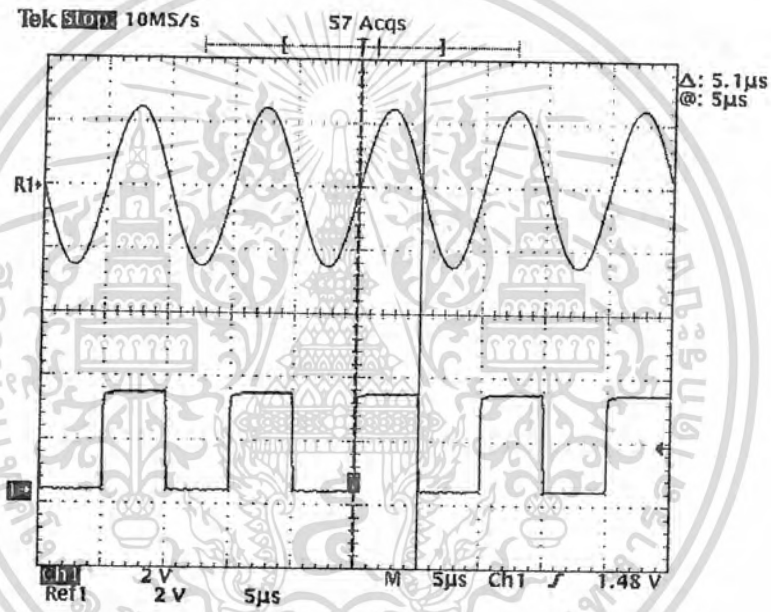
Ch1: สัญญาณเอาท์พุทจากวงจรหาร(÷10) 10 Hz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3) ผลการทดลองส่วนของวงจรเปรียบเทียบระดับสัญญานเพื่อสร้างสัญญานทริก (Comparator For Trigger Generator)

ในวงจรเปรียบเทียบระดับสัญญาน ใช้ IC เบอร์ LM 360N (High speed comparator) เป็นตัวเปรียบระดับสัญญาน โดยจะสามารถปรับระดับอ้างอิงจากค่าความต้านทาน

ผลการทดลอง

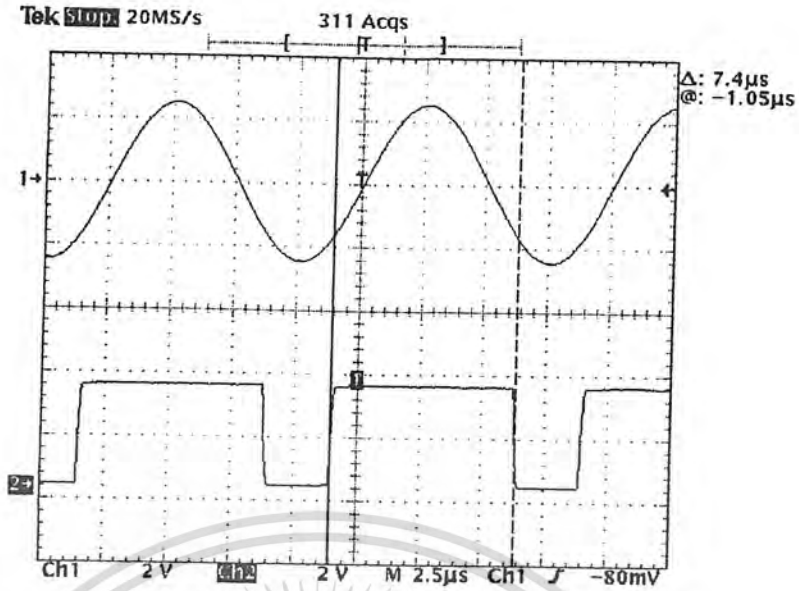


รูปที่ 4.3.1 แสดงผลที่ได้จากวงจรเปรียบเทียบระดับสัญญาน เมื่อระดับแรงดันอ้างอิงอยู่ที่ 0 โวลต์

โดยที่ R1 : สัญญานอินพุท รูป SINE จากเครื่องกำเนิดสัญญาน (Function Generator)

Ch1 : สัญญานเอาท์พุท

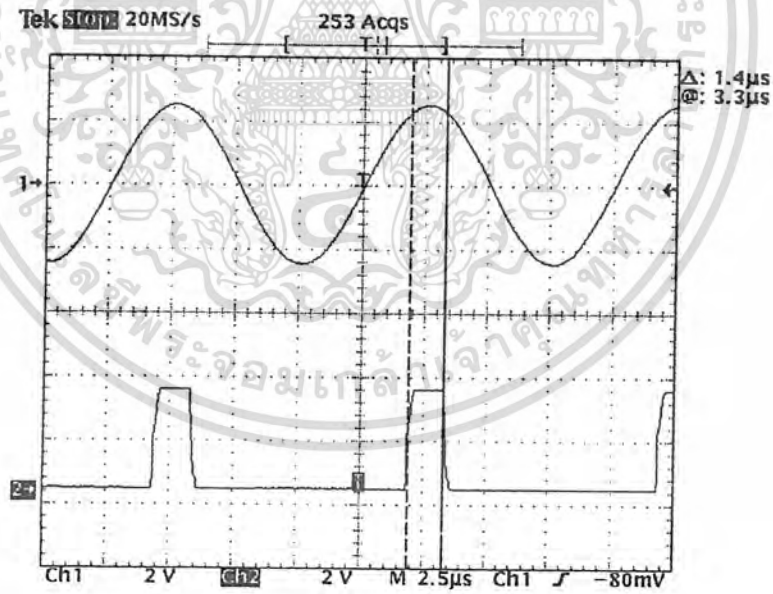
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3.2แสดงผลที่ได้จากวงจรเปรียบเทียบระดับสัญญาน เมื่อระดับแรงดันอ้างอิงอยู่ที่ -1.6 โวลต์

โดยที่ R1 : สัญญานอินพุท รูป SINE จากเครื่องกำเนิดสัญญาน (Function Generator)

Ch1 : สัญญานเอ้าท์พุท

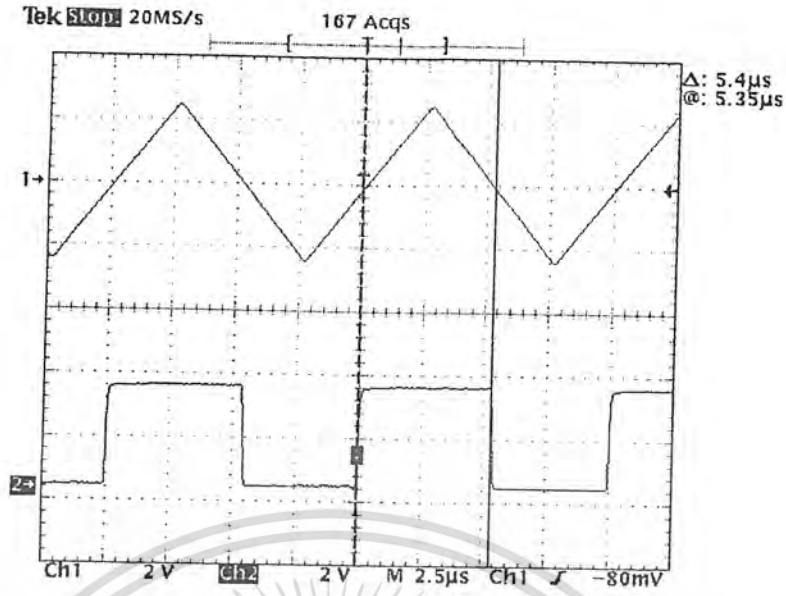


รูปที่ 4.3.3แสดงผลที่ได้จากวงจรเปรียบเทียบระดับสัญญานเมื่อระดับแรงดันอ้างอิงอยู่ที่ 2.2 โวลต์

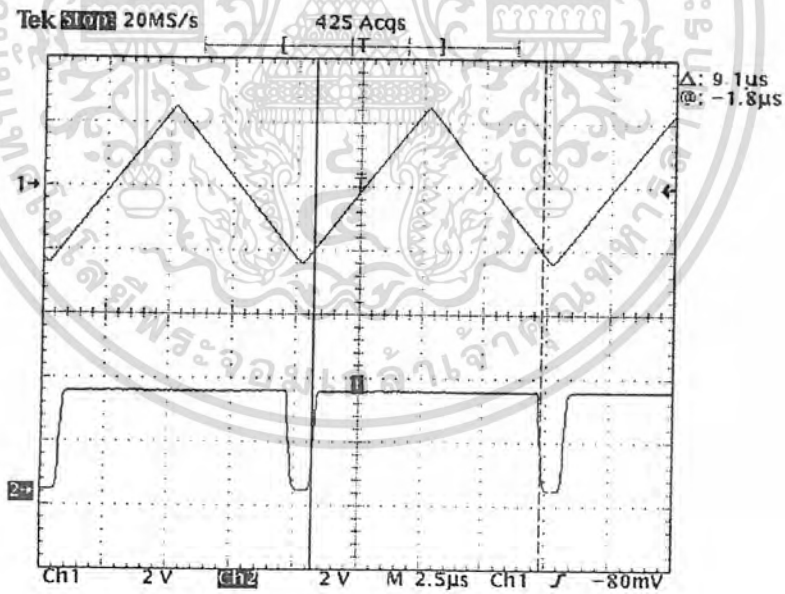
โดยที่ R1 : สัญญานอินพุท รูป SINE จากเครื่องกำเนิดสัญญาน (Function Generator)

Ch1 : สัญญานเอ้าท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3.4แสดงผลที่ได้จากวงจรเปรียบเทียบระดับสัญญานเมื่อระดับแรงดันอ้างอิงอยู่ที่ 0 โวลต์
โดยที่ R1 : สัญญานอินพุท รูปสามเหลี่ยม จากเครื่องกำเนิดสัญญาน (Function Generator)
Ch1 : สัญญานเอ้าท์พุท



รูปที่ 4.3.5แสดงผลที่ได้จากวงจรเปรียบเทียบระดับสัญญาน เมื่อระดับแรงดันอ้างอิงอยู่ที่ –1.8 โวลต์
โดยที่ R1 : สัญญานอินพุท รูปสามเหลี่ยม จากเครื่องกำเนิดสัญญาน (Function Generator)
Ch1 : สัญญานเอ้าท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4). ผลการทดลองส่วน การแปลงสัญญานอนาลอก เป็น สัญญานดิจิตอล (A/D Conversion)

ในส่วนของวงจรการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลใช้ IC เบอร์ CA3318CE ทำการป้อนระดับสัญญาณต่างๆ โดยทำการบันทึกผลการทดลองดังต่อไปนี้

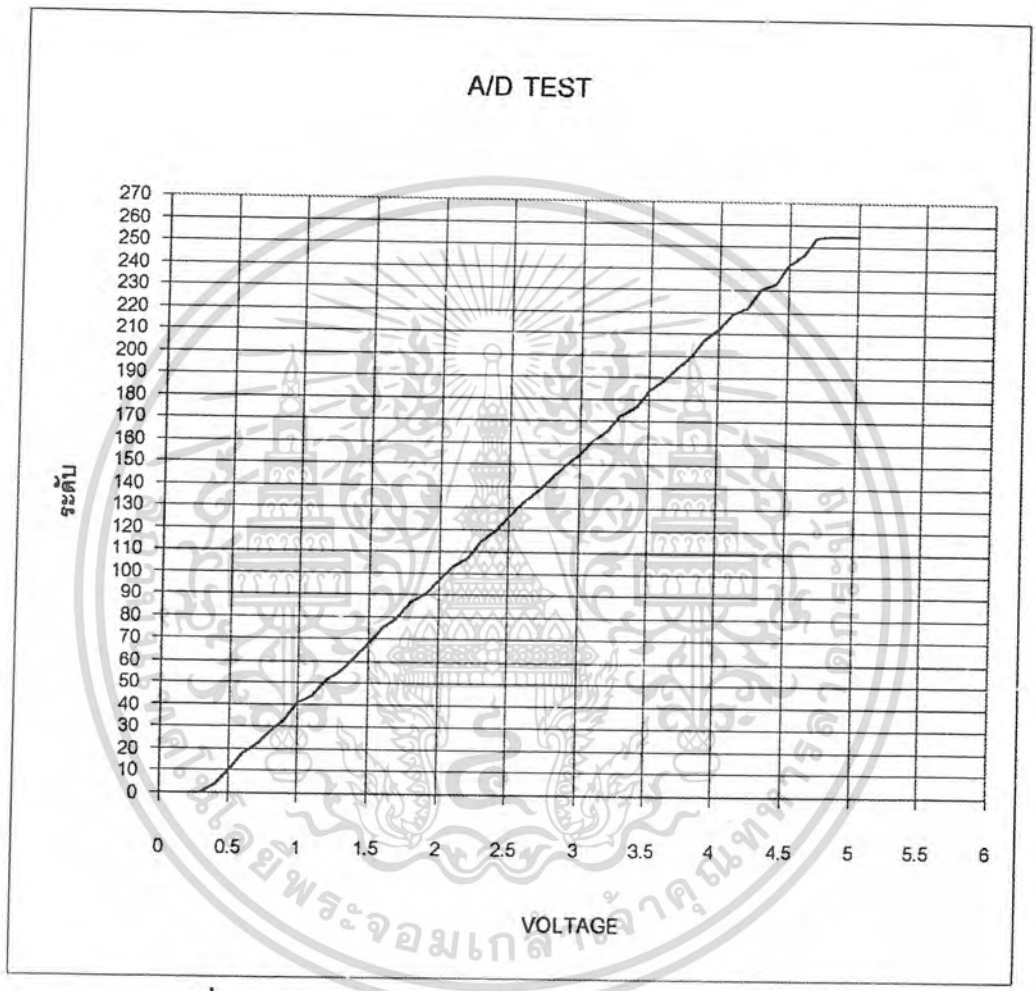
ตารางที่ 4.1 แสดงผลการแปลงสัญญานอนาลอกเป็นดิจิตอล 8-บิท (256 ระดับ)

INPUT VOLTAGE(VOLT)	OUTPUT LEVEL
0	0
0.1	0
0.2	0
0.3	0
0.4	4
0.5	10
0.6	18
0.7	22
0.8	28
0.9	33
1	41
1.1	44
1.2	52
1.3	56
1.4	62
1.5	68
1.6	75
1.7	79
1.8	87
1.9	91
2	97
2.1	103
2.2	107

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3	115
2.4	119
2.5	126
2.6	132
2.7	138
2.8	144
2.9	150
3	155
3.1	161
3.2	165
3.3	172
3.4	176
3.5	184
3.6	188
3.7	194
3.8	200
3.9	207
4	212
4.1	219
4.2	222
4.3	231
4.4	233
4.5	242
4.6	246
4.7	254
4.8	255
4.9	255
5	255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4.1 กราฟแสดงผลการแปลงสัญญาณอนาลอกเป็นดิจิตอล

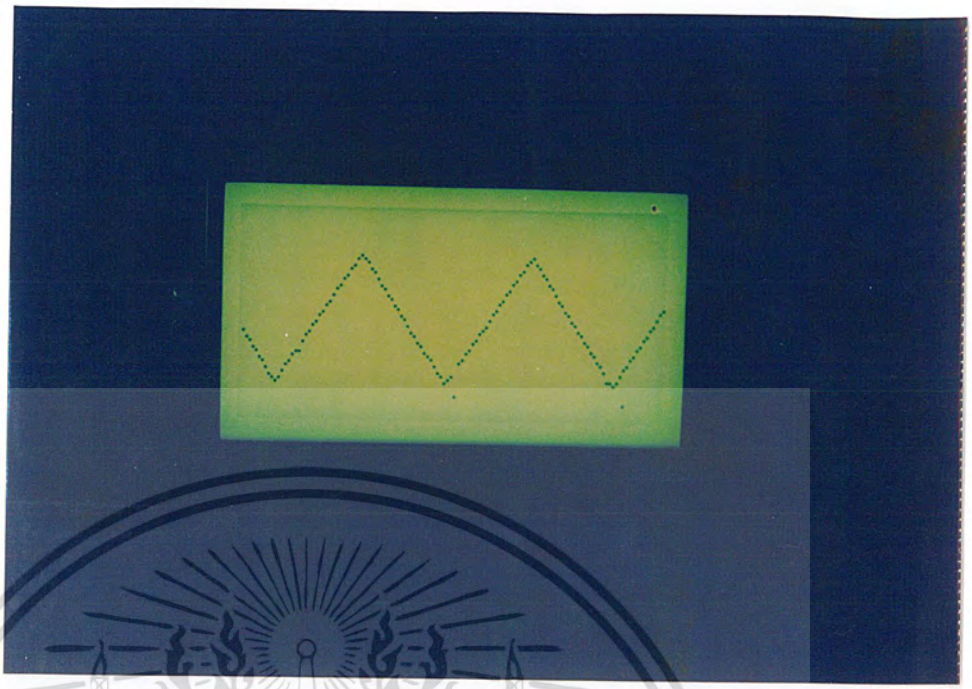
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5) ผลการทดลองในส่วนของการประมวลผลและการประมวลผล

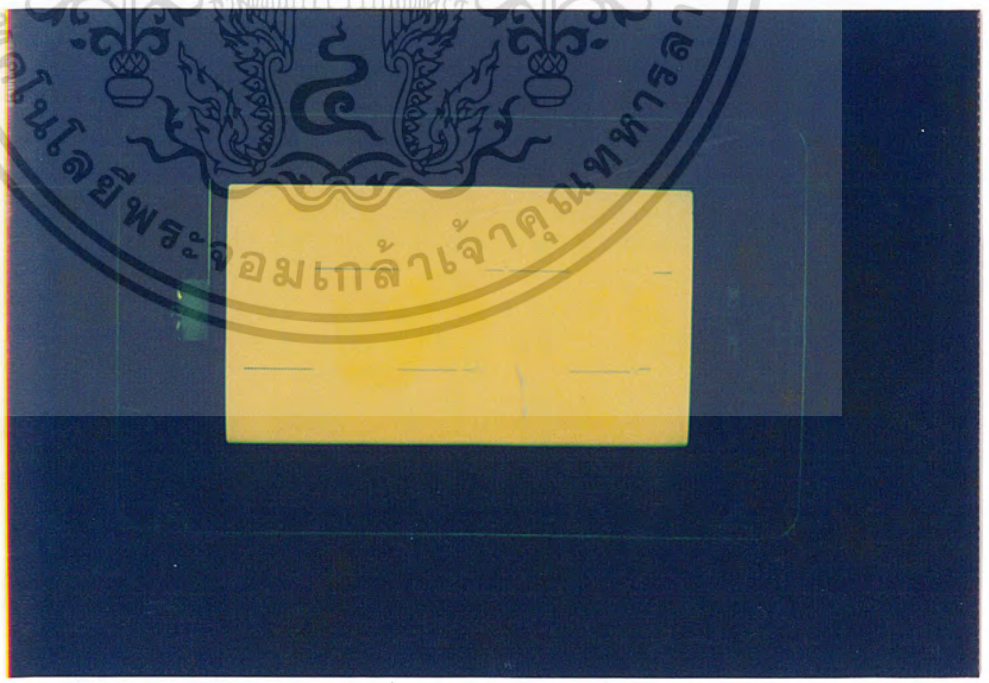
ในการประมวลผลและแสดงผลจะใช้ไมโครคอนโทรลเลอร์ ตระกูล 8051 ทำการเขียนโปรแกรมควบคุมและแสดงผลบนจอ LCD Monitor ได้ผลการทดลองดังรูป

รูปที่ 4.5.1 แสดงผลที่ได้เมื่อป้อนสัญญาณรูป SINE จากเครื่องกำเนิดสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

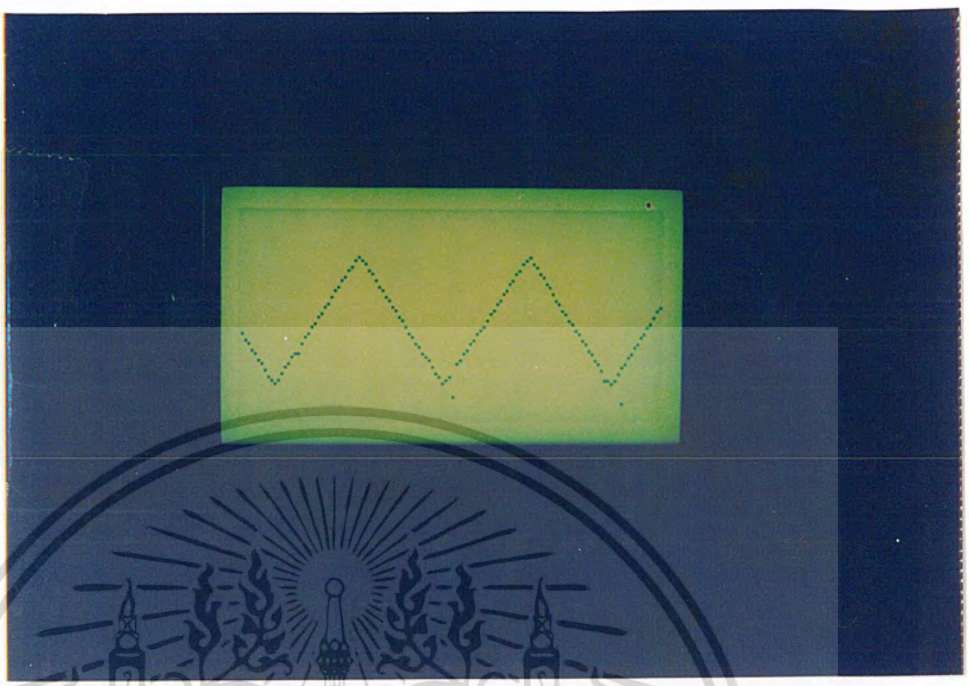


รูปที่ 4.5.2 แสดงผลเมื่อป้อนสัญญาณรูปสามเหลี่ยมจากเครื่องกำเนิดสัญญาณ



รูปที่ 4.5.3 แสดงผลเมื่อป้อนสัญญาณรูปสี่เหลี่ยมจากเครื่องกำเนิดสัญญาณ

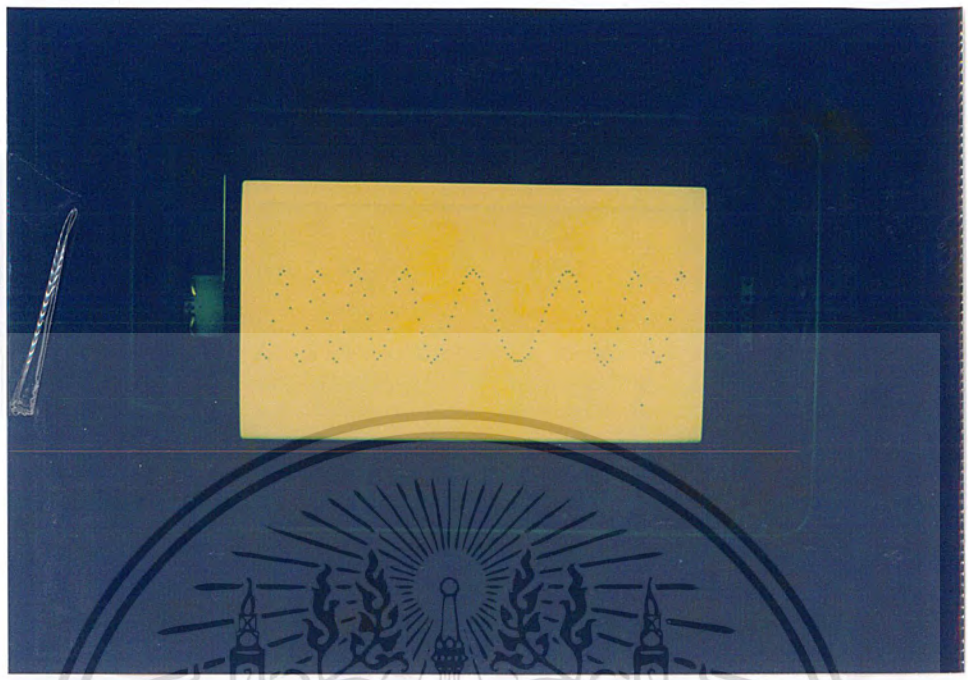
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



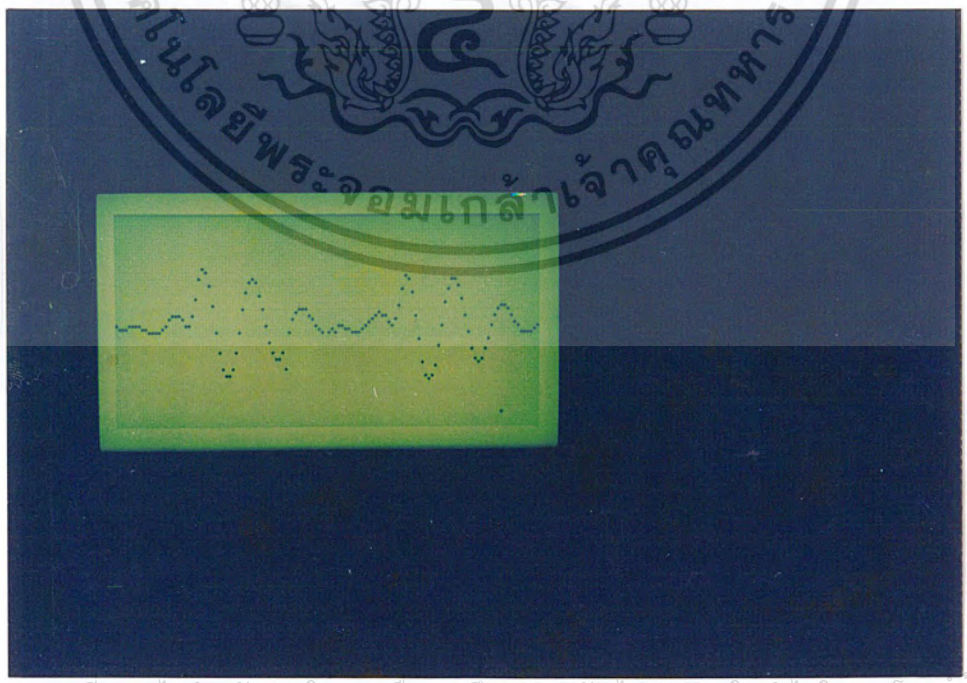
รูปที่ 4.5.2 แสดงผลเมื่อป้อนสัญญาณรูปสามเหลี่ยมจากเครื่องกำเนิดสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.5.3 แสดงผลเมื่อป้อนสัญญาณรูปสี่เหลี่ยมจากเครื่องกำเนิดสัญญาณ



รูปที่ 4.5.4 แสดงผลเมื่อป้อนสัญญาณ FM (frequency modulator)จากเครื่องกำเนิดสัญญาณ

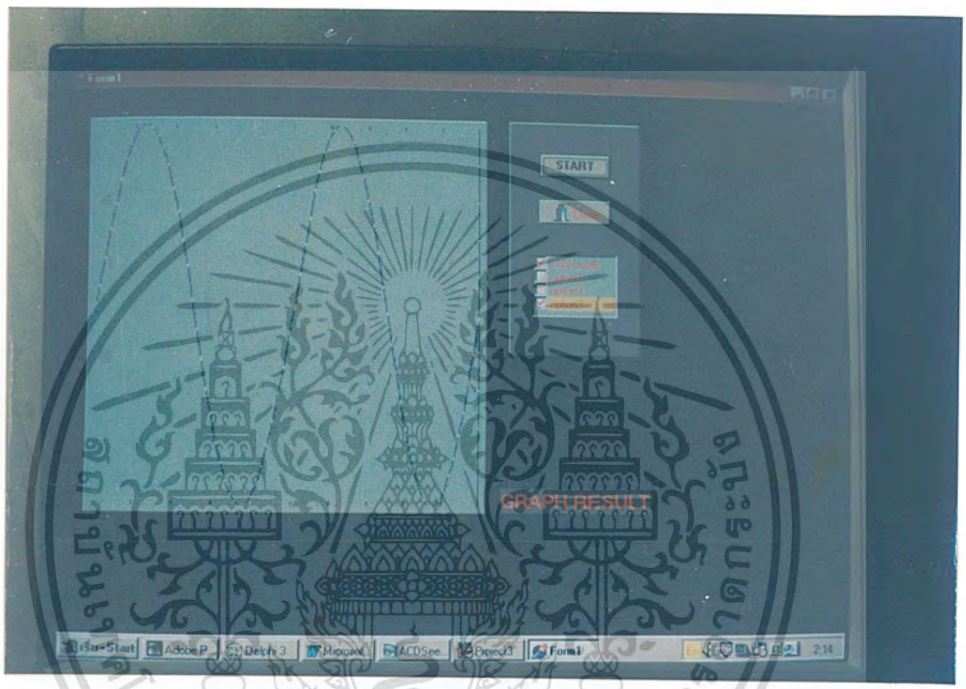


รูปที่ 4.5.5 แสดงผลเมื่อป้อนสัญญาณ AM (amplitude modulator)จากเครื่องกำเนิดสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

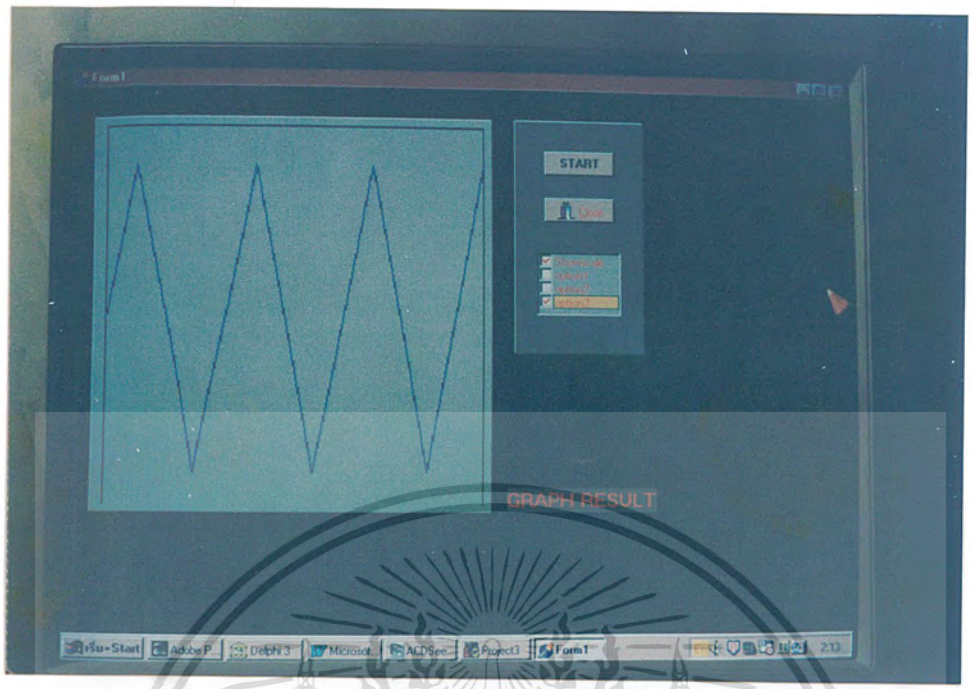
4.6) ผลการทดลองในส่วนของการแสดงผลผ่านทางจอคอมพิวเตอร์

จะใช้โปรแกรมภาษา Delphi เขียนทำการควบคุมการทำงาน ให้ผลการทดลองดังนี้



รูปที่ 4.6.1 แสดงหน้าจอการแสดงผลโดยทำการป้อนสัญญาณรูปไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6.2 แสดงหน้าจอการแสดงผลโดยทำการป้อนสัญญาณรูปสามเหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

รูปที่ 4.6.3 แสดงหน้าจอการแสดงผลโดยทำการป้อนสัญญาณรูปสี่เหลี่ยม

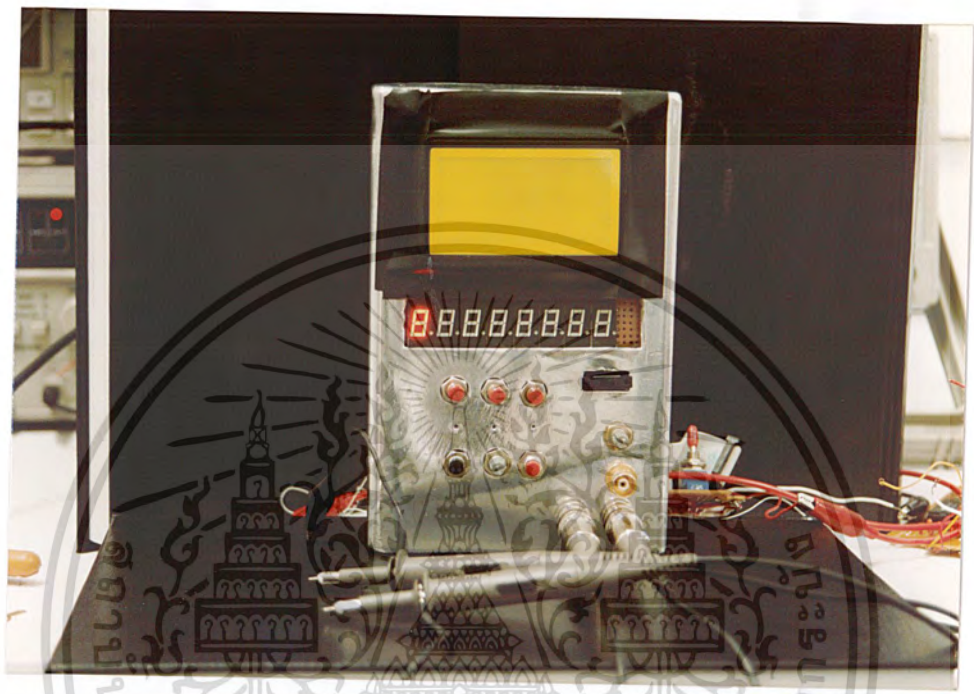
4.7) ผลการทดลองในการแสดงผลความถี่

4.7.1 แสดงผลความถี่สัญญาณรูปไซน์ความถี่ 1.2 MHz

4.7.2 แสดงผลความถี่สัญญาณรูปไซน์ความถี่ 1.4 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8) ภาพถ่ายแสดงชิ้นงานของดิจิตอลออสซิลโลสโคป



รูปที่ 4.8.1 ภาพถ่ายแสดงชิ้นงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

ดิจิตอลออสซิลโลสโคปนี้ได้มีการนำส่วนประกอบต่างๆของวงจรที่ได้ทำการสร้างและทดลองไว้ในเทอมที่แล้วมาทำการประกอบกันเป็นดิจิตอลออสซิลโลสโคปที่สามารถใช้งานได้ แต่ก็มีขอบเขตของการใช้งานได้ไม่เท่ากับดิจิตอลออสซิลโลสโคปที่มีขายตามท้องตลาดทั่วไป เนื่องจากข้อจำกัดของอุปกรณ์อิเล็กโทรนิคบางตัวไม่สามารถรองรับการใช้งานที่เทียบเท่าสินค้าในท้องตลาดได้ โดยได้พยายามออกแบบวงจรในส่วนที่ยุ่งยากและซับซ้อนให้มีการทำงานที่ง่ายและเข้าใจได้มากขึ้น แต่ในส่วนที่ยุ่งยากมากเกินไปก็ไม่สามารถเลียนแบบการทำงานในส่วนนั้นได้

ผลงานนี้ได้เริ่มจากการแนวคิดที่ว่าอยากจะทราบการทำงานของดิจิตอลออสซิลโลสโคปที่ได้ใช้งานอยู่เป็นประจำ จึงได้เริ่มทำการศึกษาและออกแบบส่วนต่างๆที่ต้องใช้งาน จากนั้นได้ทำการสร้างและทดลองจนได้ผลที่น่าพอใจ จึงได้นำส่วนประกอบต่างๆเหล่านั้นมากอบกันเป็นดิจิตอลออสซิลโลสโคปที่นำเสนอในครั้งนี้

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

(1) ELECTRONIC COMMUNICATION SYSTEMS FUNDAMENTAL THROUGH ADVANCED , WAYNE TOMASI, PRENTICE-HALL INTERNATIONAL ,INC ISBN:O-13-889759-X , THIRD EDITION

(2) INTRODUCTION TO COMMUNICATION SYSTEM , FERREL G.STREMLER , ADDISON-WESLEY PUBLISHING COMPANY , 2nd EDITION

(3) ELECTRONIC COMMUNICATION SYSTEM ACOMPLETE COURSE , WILLIAM SCHWEBER , PRENTICE HALL , 2nd EDITION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS SEMICONDUCTOR

CA3318

CMOS Video Speed, 8-Bit, Flash A/D Converter

August 1997

Features

- CMOS Low Power with SOS Speed (Typ)..... 150mW
- Parallel Conversion Technique
- 15MHz Sampling Rate (Conversion Time).....67ns
- 8-Bit Latched Three-State Output with Overflow Bit
- Accuracy (Typ)..... ±1 LSB
- Single Supply Voltage..... 4V to 7.5V
- 2 Units in Series Allow 9-Bit Output
- 2 Units in Parallel Allow 30MHz Sampling Rate

Applications

- TV Video Digitizing (Industrial/Security/Broadcast)
- High Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- General-Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- µP Data Acquisition Systems

Description

The CA3318 is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low power consumption and high speed digitization.

The CA3318 operates over a wide full scale input voltage range of 4V up to 7.5V with maximum power consumption depending upon the clock frequency selected. When operated from a 5V supply at a clock frequency of 15MHz, the typical power consumption of the CA3318 is 150mW.

The intrinsic high conversion rate makes the CA3318 ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3318s in series to increase the resolution of the conversion system. A series connection of two CA3318s may be used to produce a 9-bit high speed converter. Operation of two CA3318s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

256 paralleled auto balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3318.

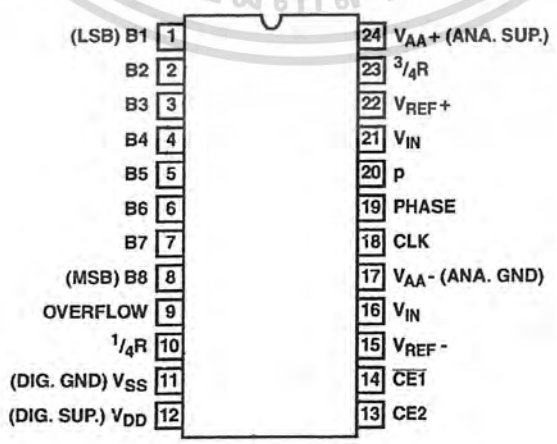
255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

PART NUMBER	LINEARITY (INL, DNL)	SAMPLING RATE	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3318CE	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld PDIP	E24.6
CA3318CM	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld SOIC	M24.3
CA3318CD	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld SBDIP	D24.6

Pinout

CA3318
(PDIP, SBDIP, SOIC)
TOP VIEW



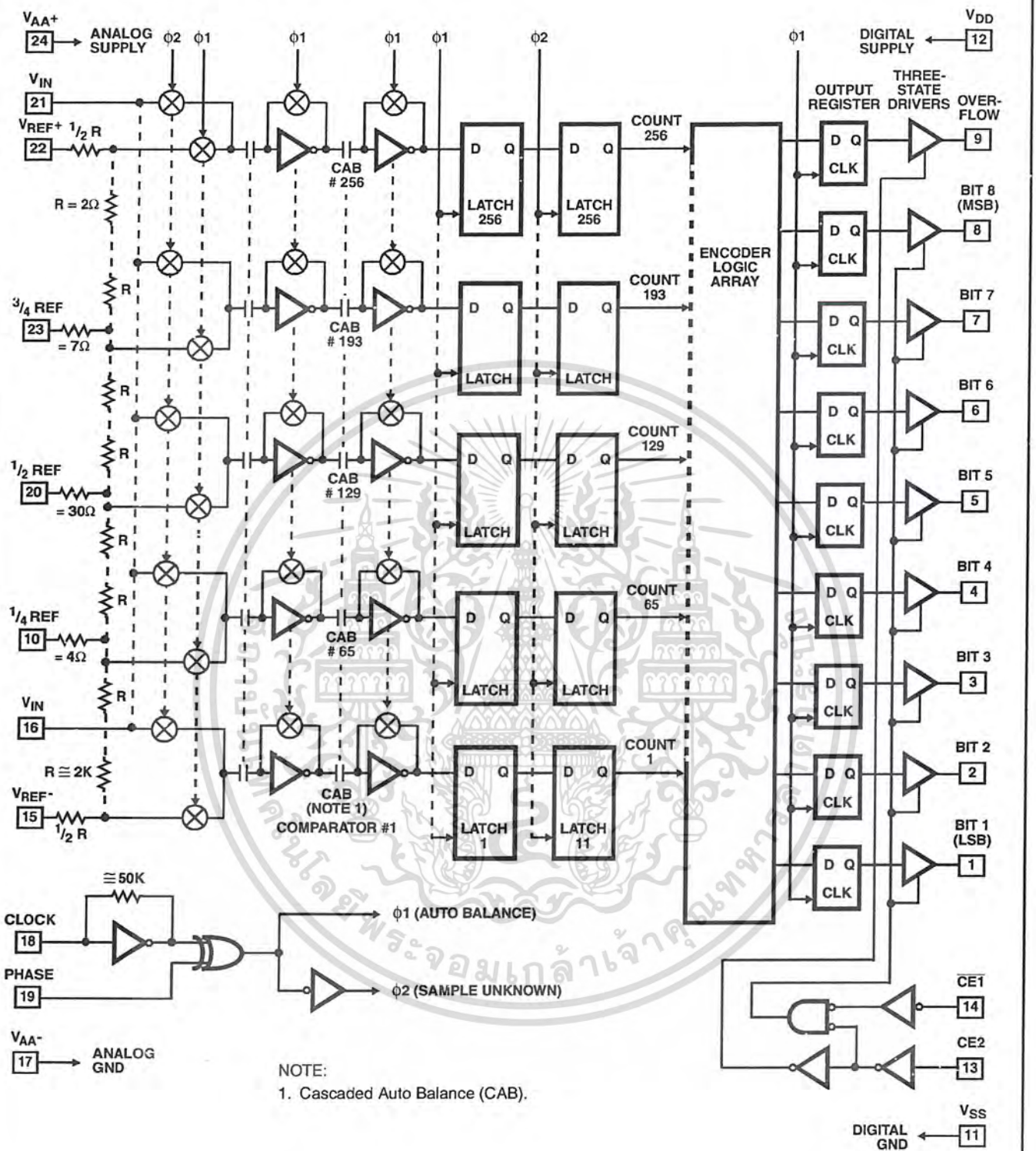
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.

Copyright © Harris Corporation 1997

File Number 3103.1

Functional Block Diagram



NOTE:

1. Cascaded Auto Balance (CAB).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply Voltage Range (V_{DD} or V_{AA}+) ..... -0.5V to +8V
(Referenced to V_{SS} or V_{AA}- Terminal, Whichever is More Negative)
Input Voltage Range
CE2 and $\overline{CE1}$ ..... V_{AA}- -0.5V to V_{DD} + 0.5V
Clock, Phase, V_{REF}-, $^1/_2$ Ref..... V_{AA}- -0.5V to V_{AA}+ + 0.5V
Clock, Phase, V_{REF}-, $^1/_4$ Ref..... V_{SS}- -0.5V to V_{DD} + 0.5V
V_{IN}, $^3/_4$ REF, V_{REF}+ ..... V_{AA}- -0.5V to V_{AA}- + 7.5V
Output Voltage Range,..... V_{SS} - 0.5V to V_{DD} + 0.5V
Bits 1-8, Overflow (Outputs Off)
DC Input Current ..... ±20mA
Clock, Phase, $\overline{CE1}$, CE2, V_{IN}, Bits 1-8, Overflow

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
SBDIP Package	60	22
PDIP Package	60	N/A
SOIC Package	75	N/A

Maximum Junction Temperature
Ceramic Package ..... 175°C
Plastic Packages ..... 150°C
Maximum Storage Temperature Range ..... -65°C to 150°C
Maximum Lead Temperature (Soldering 10s)..... 265°C
(SOIC - Lead Tips Only)

Operating Conditions

Operating Voltage Range (V_{DD} or V_{AA}+)... 4V (Min) to 7.5V (Max)
Recommended V_{AA}+ Operating Range..... V_{DD} ±1V
Recommended V_{AA}- Operating Range ..... V_{SS} ±1V
Operating Temperature Range (T_A) ..... -40°C to 85°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

At 25°C, V_{AA}+ = V_{DD} = 5V, V_{REF}+ = 6.4V, V_{REF}- = V_{AA}- = V_{SS}, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM PERFORMANCE					
Resolution		8	-	-	Bits
Integral Linearity Error		-	-	±1.5	LSB
Differential Linearity Error		-	-	+1, -0.8	LSB
Offset Error, Unadjusted	V_{IN} = V_{REF}- + $^1/_2$ LSB	-0.5	4.5	6.4	LSB
Gain Error Unadjusted	V_{IN} = V_{REF}+ - $^1/_2$ LSB	-1.5	0	1.5	LSB
DYNAMIC CHARACTERISTICS					
Maximum Input Bandwidth	(Note 1) CA3318	2.5	5.0	-	MHz
Maximum Conversion Speed	CLK = Square Wave	15	17	-	MSPS
Signal to Noise Ratio (SNR) $=\frac{\text{RMS Signal}}{\text{RMS Noise}}$	f_S = 15MHz, f_{IN} = 100kHz	-	47	-	dB
	f_S = 15MHz, f_{IN} = 4MHz	-	43	-	dB
Signal to Noise Ratio (SINAD) $=\frac{\text{RMS Signal}}{\text{RMS Noise+Distortion}}$	f_S = 15MHz, f_{IN} = 100kHz	-	45	-	dB
	f_S = 15MHz, f_{IN} = 4MHz	-	35	-	dB
Total Harmonic Distortion, THD	f_S = 15MHz, f_{IN} = 100kHz	-	-46	-	dBc
	f_S = 15MHz, f_{IN} = 4MHz	-	-36	-	dBc
Effective Number of Bits (ENOB)	f_S = 15MHz, f_{IN} = 100kHz	-	7.2	-	Bits
	f_S = 15MHz, f_{IN} = 4MHz	-	5.5	-	Bits
Differential Gain Error	Unadjusted	-	2	-	%
Differential Phase Error	Unadjusted	-	1	-	%
ANALOG INPUTS					
Full Scale Range, V_{IN} and (V_{REF}+) - (V_{REF}-)	Notes 2, 4	4	-	7	V
Input Capacitance, V_{IN}		-	30	-	pF
Input Current, V_{IN}, (See Text)	V_{IN} = 5V, V_{REF}+ = 5V	-	-	3.5	mA
REFERENCE INPUTS					
Ladder Impedance		270	500	800	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications At 25°C, $V_{AA}+ = V_{DD} = 5V$, $V_{REF}+ = 6.4V$, $V_{REF}- = V_{AA}- = V_{SS}$, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified **(Continued)**

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS					
Low Level Input Voltage, V_{OL}					
$\overline{CE1}$, CE2	Note 4	-	-	$0.2V_{DD}$	V
Phase, CLK	Note 4	-	-	$0.2V_{AA}$	V
High Level Input Voltage, V_{IN}					
$\overline{CE1}$, CE2	Note 4	$0.7V_{DD}$	-	-	V
Phase, CLK	Note 4	$0.7V_{AA}$	-	-	V
Input Leakage Current, I_I (Except CLK Input)	Note 3	-	±0.2	±5	µA
Input Capacitance, C_I		-	3	-	pF
DIGITAL OUTPUTS					
Output Low (Sink) Current	$V_O = 0.4V$	4	10	-	mA
Output High (Source) Current	$V_O = 4.5V$	-4	-6	-	mA
Three-State Output Off-State Leakage Current, I_{OZ}		-	±0.2	±5	µA
Output Capacitance, C_O		-	4	-	pF
TIMING CHARACTERISTICS					
Auto Balance Time (ϕ1)		33	-	∞	ns
Sample Time (ϕ2)	Note 4	25	-	500	ns
Aperture Delay		-	15	-	ns
Aperture Jitter		-	100	-	ps
Data Valid Time, t_D	Note 4	-	50	65	ns
Data Hold Time, t_H	Note 4	25	40	-	ns
Output Enable Time, t_{EN}		-	18	-	ns
Output Disable Time, t_{DIS}		-	18	-	ns
POWER SUPPLY CHARACTERISTICS					
Device Current ($I_{DD} + I_A$) (Excludes I_{REF})	Continuous Conversion (Note 4)	-	30	60	mA
	Auto Balance (ϕ1)	-	30	60	mA

NOTES:

1. A full scale sine wave input of greater than $f_{CLOCK}/2$ or the specified input bandwidth (whichever is less) may cause an erroneous code. The -3dB bandwidth for frequency response purposes is greater than 30MHz.
2. V_{IN} (Full Scale) or $V_{REF}+$ should not exceed $V_{AA}+ + 1.5V$ for accuracy.
3. The clock input is a CMOS inverter with a 50kΩ feedback resistor and may be AC coupled with $1V_{P-P}$ minimum source.
4. Parameter not tested, but guaranteed by design or characterization.

Timing Waveforms

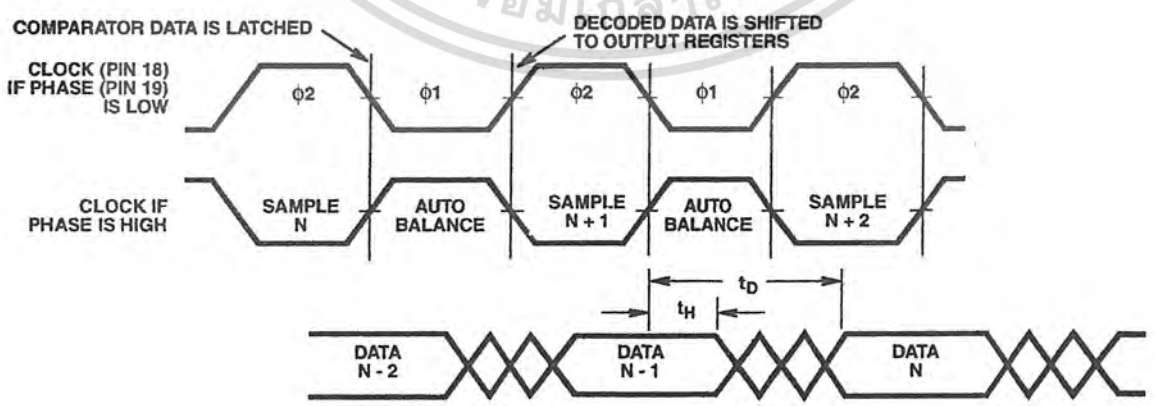


FIGURE 1. INPUT TO OUTPUT TIMING DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveforms (Continued)

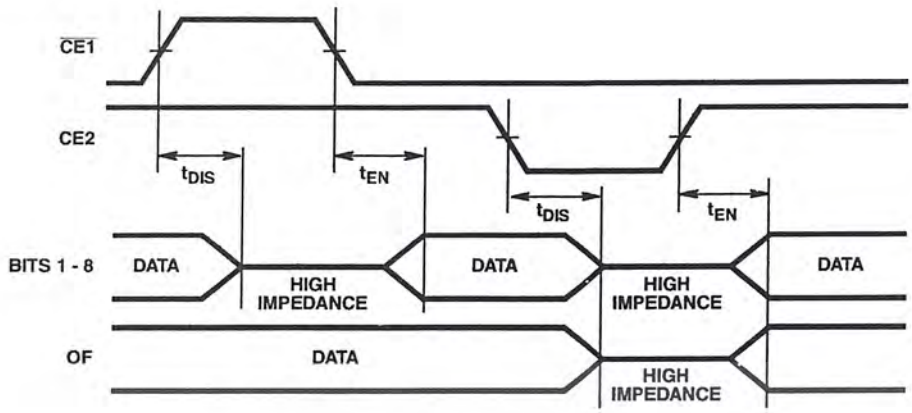


FIGURE 2. OUTPUT ENABLE TIMING DIAGRAM

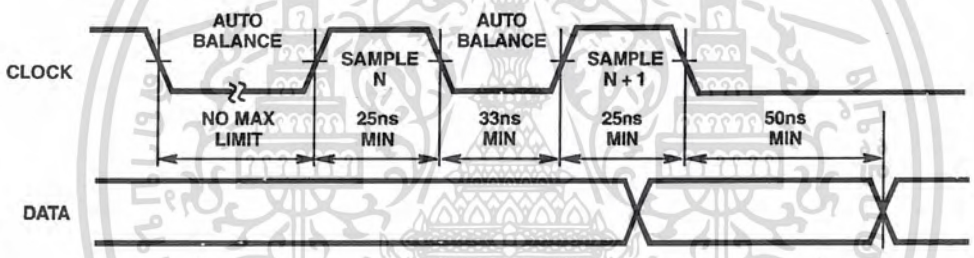


FIGURE 3A. STANDBY IN INDEFINITE AUTO BALANCE (SHOWN WITH PHASE = LOW)

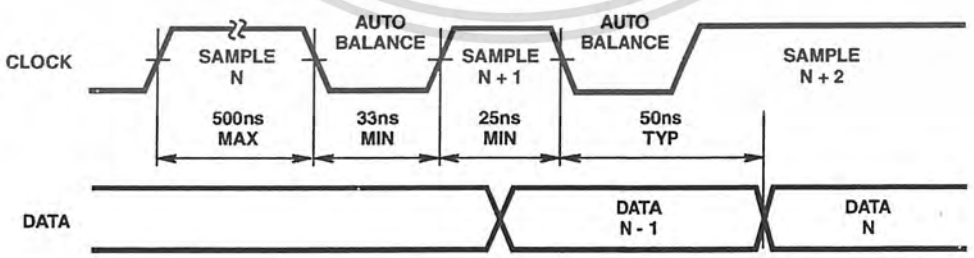


FIGURE 3B. STANDBY IN SAMPLE (SHOWN WITH PHASE = LOW)

FIGURE 3. PULSE MODE OPERATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

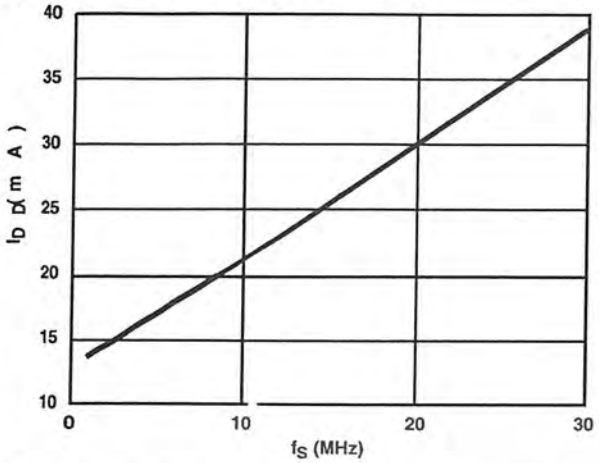


FIGURE 4. DEVICE CURRENT vs SAMPLE FREQUENCY

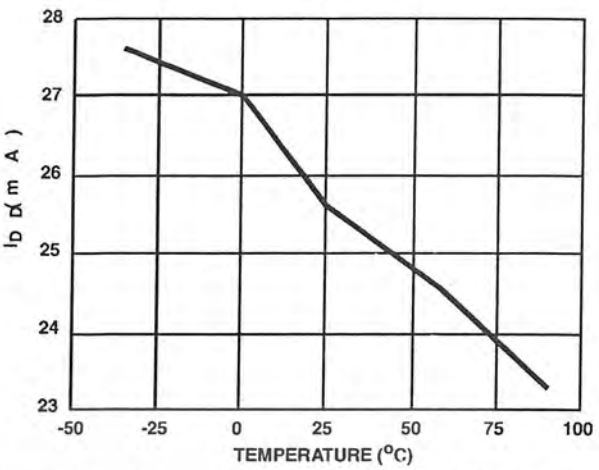


FIGURE 5. DEVICE CURRENT vs TEMPERATURE

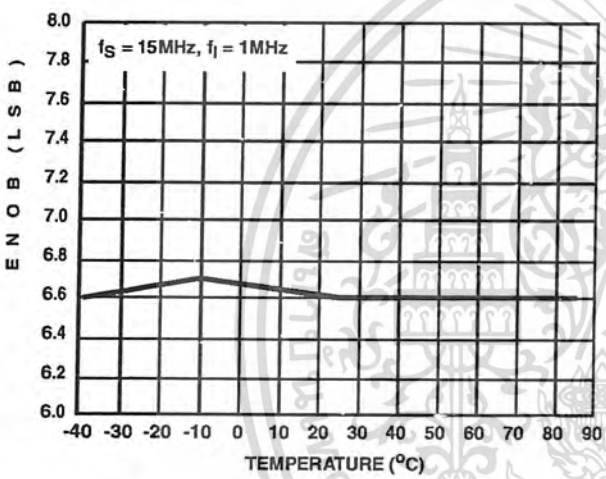


FIGURE 6. ENOB vs TEMPERATURE

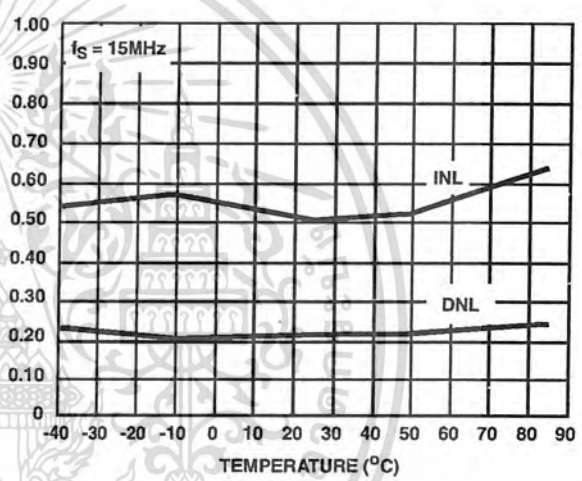


FIGURE 7. NON-LINEARITY vs TEMPERATURE

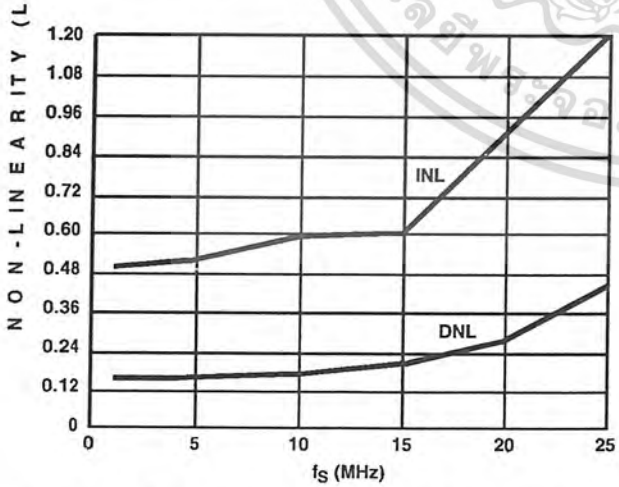


FIGURE 8. NON-LINEARITY vs SAMPLE FREQUENCY

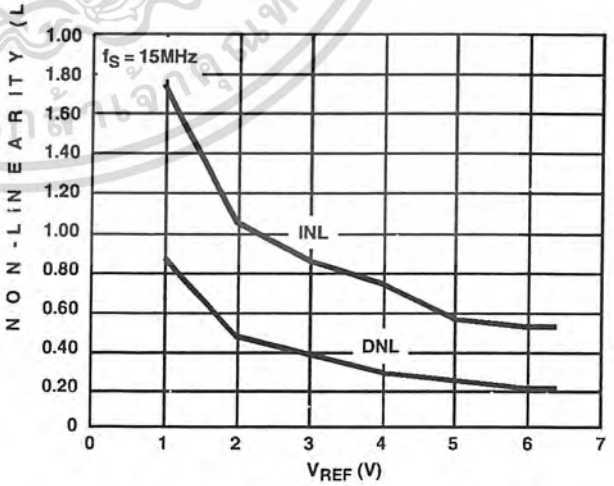


FIGURE 9. NON-LINEARITY vs REFERENCE VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

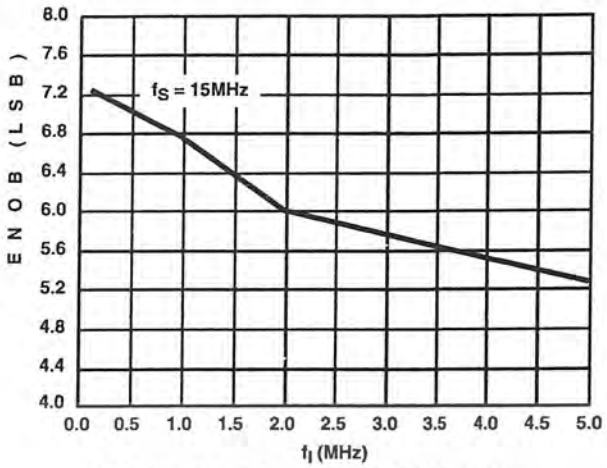


FIGURE 10. ENOB vs INPUT FREQUENCY

Pin Descriptions

PIN	NAME	DESCRIPTION	
1	B1	Bit 1 (LSB)	Output Data Bits (High = True)
2	B2	Bit 2	
3	B3	Bit 3	
4	B4	Bit 4	
5	B5	Bit 5	
6	B6	Bit 6	
7	B7	Bit 7	
8	B8	Bit 8 (MSB)	
9	OF	Overflow	
10	$^1/_4$ R	Reference Ladder $^1/_4$ Point	
11	V_{SS}	Digital Ground	
12	V_{DD}	Digital Power Supply, +5V	
13	CE2	Three-State Output Enable Input, Active Low, See Truth Table.	
14	$\overline{CE1}$	Three-State Output Enable Input Active High. See Truth Table.	
15	V_{REF}-	Reference Voltage Negative Input	
16	V_{IN}	Analog Signal Input	
17	V_{AA}-	Analog Ground	
18	CLK	Clock Input	
19	PHASE	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).	
20	$^1/_2$ R	Reference Ladder Midpoint	
21	V_{IN}	Analog Signal Input	
22	V_{REF}+	Reference Voltage Positive Input	
23	$^3/_4$ R	Reference Ladder $^3/_4$ Point	
24	V_{AA}+	Analog Power Supply, +5V	

CHIP ENABLE TRUTH TABLE

$\overline{CE1}$	CE2	B1 - B8	OF
0	1	Valid	Valid
1	1	Three-State	Valid
X	0	Three-State	Three-State

X = Don't Care

Theory of Operation

A sequential parallel technique is used by the CA3318 converter to obtain its high speed operation. The sequence consists of the "Auto-Balance" phase, ϕ1, and the "Sample Unknown" phase, ϕ2. (Refer to the circuit diagram.) Each conversion takes one clock cycle (see Note). With the phase control (pin 19) high, the "Auto-Balance" (ϕ1) occurs during the high period of the clock cycle, and the "Sample Unknown" (ϕ2) occurs during the low period of the clock cycle.

NOTE: The device requires only a single phase clock The terminology of ϕ1 and ϕ2 refers to the high and low periods of the same clock.

During the "Auto-Balance" phase, a transmission switch is used to connect each of the first set of 256 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(N/256)\,V_{REF}] - (1/512)\,V_{REF}]$$
$$= [(2N - 1)/512]\,V_{REF},$$

Where:

V_{TAP} (n) = reference ladder tap voltage at point n,

V_{REF} = voltage across V_{REF}- to V_{REF}+,

N = tap number (1 through 256).

The other side of these capacitors are connected to single-stage amplifiers whose outputs are shorted to their inputs by switches. This balances the amplifiers at their intrinsic trip points, which is approximately (V_{AA}+ - V_{AA}-)/2. The first set of capacitors now charges to their associated tap voltages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

At the same time a second set of commutating capacitors and amplifiers is also auto-balanced. The balancing of the second-stage amplifier at its intrinsic trip point removes any tracking differences between the first and second amplifier stages. The cascaded auto-balance (CAB) technique, used here, increases comparator sensitivity and temperature tracking.

In the "Sample Unknown" phase, all ladder tap switches and comparator shorting switches are opened. At the same time V_{IN} is switched to the first set of commutating capacitors. Since the other end of the capacitors are now looking into an effectively open circuit, any input voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators that had tap voltages greater than V_{IN} will go to a "high" state at their outputs. All comparators that had tap voltages lower than V_{IN} will go to a "low" state.

The status of all these comparator amplifiers is AC coupled through the second-stage comparator and stored at the end of this phase ($\phi 2$) by a latching amplifier stage. The latch feeds a second latching stage, triggered at the end of $\phi 1$. This delay allows comparators extra settling time. The status of the comparators is decoded by a 256 to 9-bit decoder array, and the results are clocked into a storage register at the end of the next $\phi 2$.

A 3-stage buffer is used at the output of the 9 storage registers which are controlled by two chip-enable signals. $\overline{CE1}$ will independently disable B1 through B6 when it is in a high state. CE2 will independently disable B1 through B8 and the OF buffers when it is in the low state.

To facilitate usage of this device, a phase control input is provided which can effectively complement the clock as it enters the chip.

Continuous-Clock Operation

One complete conversion cycle can be traced through the CA3318 via the following steps. (Refer to timing diagram.) With the phase control in a "low" state, the rising edge of the clock input will start a "sample" phase. During this entire "high" state of the clock, the comparators will track the input voltage and the first-stage latches will track the comparator outputs. At the falling edge of the clock, all 256 comparator outputs are captured by the 256 latches. This ends the "sample" phase and starts the "auto-balance" phase for the comparators. During this "low" state of the clock, the output of the latches settles and is captured by a second row of latches when the clock returns high. The second-stage latch output propagates through the decode array, and a 9-bit code appears at the D inputs of the output registers. On the next falling edge of the clock, this 9-bit code is shifted into the output registers and appears with time delay t_D as valid data at the output of the three-state drivers. This also marks the end of the next "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse-Mode Operation

The CA3318 needs two of the same polarity clock edges to complete a conversion cycle: If, for instance, a negative going clock edge ends sample "N", then data "N" will appear after the next negative going edge. Because of this requirement, and because there is a maximum sample time of 500ns (due to capacitor droop), most pulse or intermittent sample applications will require double clock pulsing.

If an indefinite standby state is desired, standby should be in auto-balance, and the operation would be as in Figure 3A.

If the standby state is known to last less than 500ns and lowest average power is desired, then operation could be as in Figure 3B.

Increased Accuracy

In most cases the accuracy of the CA3318 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, five adjustments can be made to obtain better accuracy, i.e., offset trim; gain trim; and $^1/_4$, $^1/_2$ and $^3/_4$ point trim.

Offset Trim

In general, offset correction can be done in the preamp circuitry by introducing a DC shift to V_{IN} or by the offset trim of the op amp. When this is not possible the V_{REF}- input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is $^1/_2$ LSB. The equation is as follows:

$$V_{IN} \text{ (0 to 1 transition)} = {}^1/_2 \text{ LSB} = {}^1/_2 (V_{REF}/256)$$
$$= V_{REF}/512.$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50Ω pot connected between V_{REF}- and ground will accomplish the adjustment. Set V_{IN} to 1/2 LSB and trim the pot until the 0-to-1 transition occurs.

If V_{IN} for the first transition is greater than the theoretical, then the 50Ω pot should be connected between V_{REF}- and a negative voltage of about 2 LSBs. The trim procedure is as stated previously.

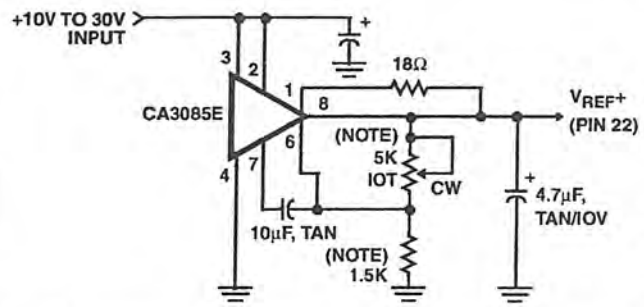
Gain Trim

In general, the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 255 to overflow transition. That voltage is $^1/_3$ LSB less than V_{REF}+ and is calculated as follows:

$$V_{IN} \text{ (255 to 256 transition)} = V_{REF} - V_{REF}/512$$
$$= V_{REF}(511/512).$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 255 to overflow transition. Now adjust V_{REF}+ until that transition occurs on the outputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

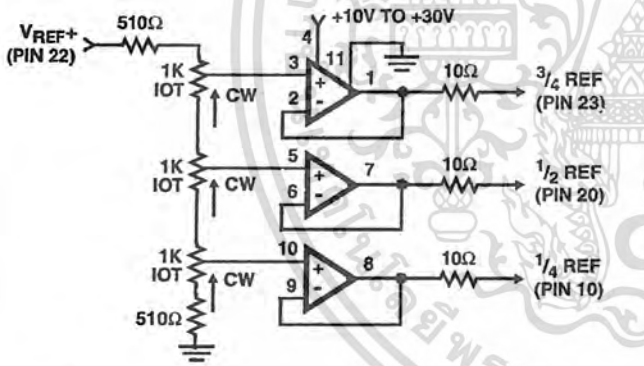


NOTE: Bypass V_{REF}+ to analog GND near A/D with 0.1µF ceramic cap. Parts noted should have low temperature drift.

FIGURE 11. TYPICAL VOLTAGE REFERENCE SOURCE FOR DRIVING V_{REF}+ INPUT

$^1/_4$ Point Trims

The $^1/_4$, $^1/_2$ and $^3/_4$ points on the reference ladder are brought out for linearity adjusting or if the user wishes to create a nonlinear transfer function. The $^1/_4$ points can be driven by the reference drivers shown (Figure 12) or by 2-K pots connected between V_{REF}+ and V_{REF}-. The $^1/_2$ (mid-) point should be set first by applying an input of 257/512 x (V_{REF}) and adjusting for an output changing from 128 to 129. Similarly the $^1/_4$ and $^3/_4$ points can be set with inputs of 129/512 and 385/512 x (V_{REF}) and adjusting for counts of 192 to 193 and 64 to 65. (Note that the points are actually $^1/_4$, $^1/_2$ and $^3/_4$ of full scale +1 LSB.)



NOTES:

1. All Op Amps = $^3/_4$ CA324E.
2. Bypass all reference points to analog ground near A/D with 0.1µF ceramic caps.
3. Adjust V_{REF}+ first, then $^1/_3$, $^3/_4$ and $^1/_4$ points.

FIGURE 12. TYPICAL $^1/_4$ POINT DRIVERS FOR ADJUSTING LINEARITY (USE FOR MAXIMUM LINEARITY)

9-Bit Resolution

To obtain 9-bit resolution, two CA3318s can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, three-state outputs, and chip-enable controls - all of which are available on the CA3318.

The first step for connecting a 9-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the ninth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the CE1 control of the lower A/D converter and the CE2 control of the upper A/D converter. The three-state outputs of the two devices (bits 1 through 8) are now connected in parallel to complete the circuitry. The complete circuit for a 9-bit A/D converter is shown in Figure 13.

Grounding/Bypassing

The analog and digital supply grounds of a system should be kept separate and only connected at the A/D. This keeps digital ground noise out of the analog data to be converted. Reference drivers, input amps, reference taps, and the V_{AA} supply should be bypassed at the A/D to the analog side of the ground. See Figure 15 for a block diagram of this concept. All capacitors shown should be low impedance 0.1µF ceramics and should be mounted as close to the A/D as possible. If V_{AA}+ is derived from V_{DD}, a small (10Ω resistor or inductor and additional filtering (4.7µF tantalum) may be used to keep digital noise out of the analog system.

Input Loading

The CA3318 outputs a current pulse to the V_{IN} terminal at the start of every sample period. This is due to capacitor charging and switch feedthrough and varies with input voltage and sampling rate. The signal source must be capable of recovering from the pulse before the end of the sample period to guarantee a valid signal for the A/D to convert. Suitable high speed amplifiers include the HA-5033, HA-2542; and CA3450. Figure 16 is an example of an amplifier which recovers fast enough for sampling at 15MHz.

Output Loading

The CMOS digital output stage, although capable of driving large loads, will reflect these loads into the local ground. It is recommended that a local QMOS buffer such as CD74HC541 E be used to isolate capacitive loads.

Definitions

Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signal-to-Noise + Distortion Ratio (SINAD)

SINAD is the measured RMS signal to RMS sum of all other spectral components below the Nyquist frequency excluding DC.

Effective Number of Bits (ENOB)

The effective number of bits (ENOB) is derived from the SINAD data. ENOB is calculated from:

$$ENOB = (SINAD - 1.76 + V_{CORR})/6.02,$$

where: $V_{CORR} = 0.5dB$.

Total Harmonic Distortion (THD)

THD is the ratio of the RMS sum of the first 5 harmonic components to the RMS value of the measured input signal.

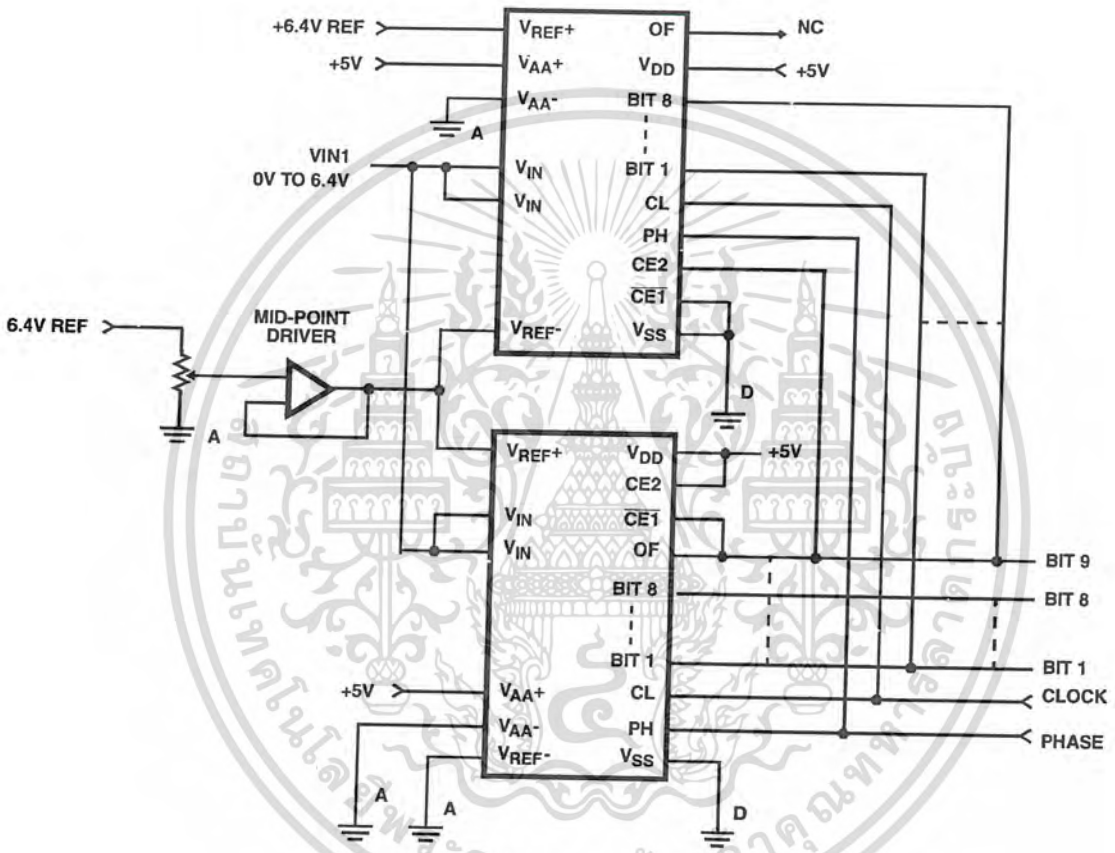


FIGURE 13. USING TWO CA3318s FOR 9-BIT RESOLUTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

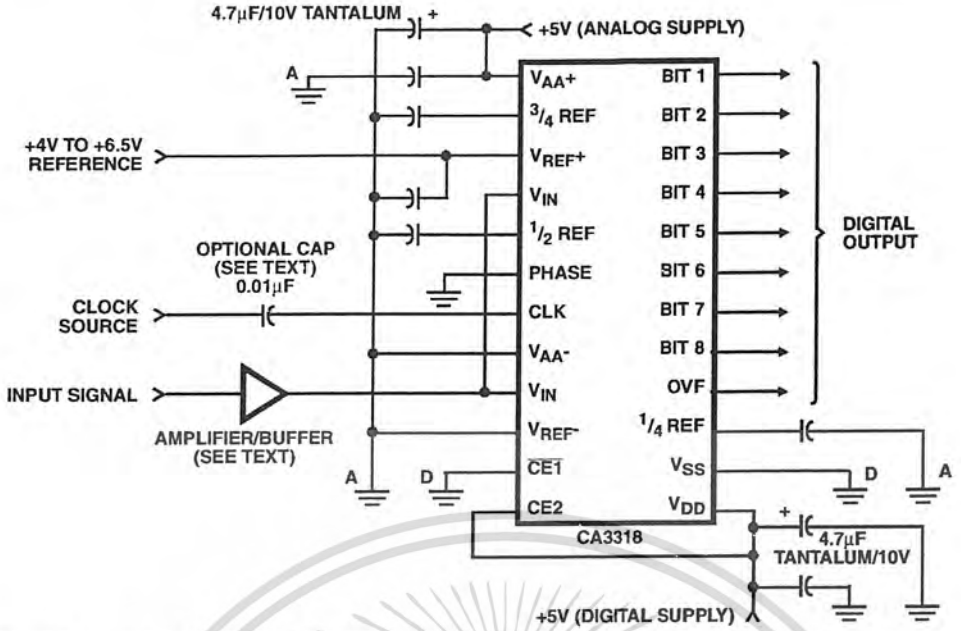


FIGURE 14. TYPICAL CIRCUIT CONFIGURATION FOR THE CA3318 WITH NO LINEARITY ADJUST

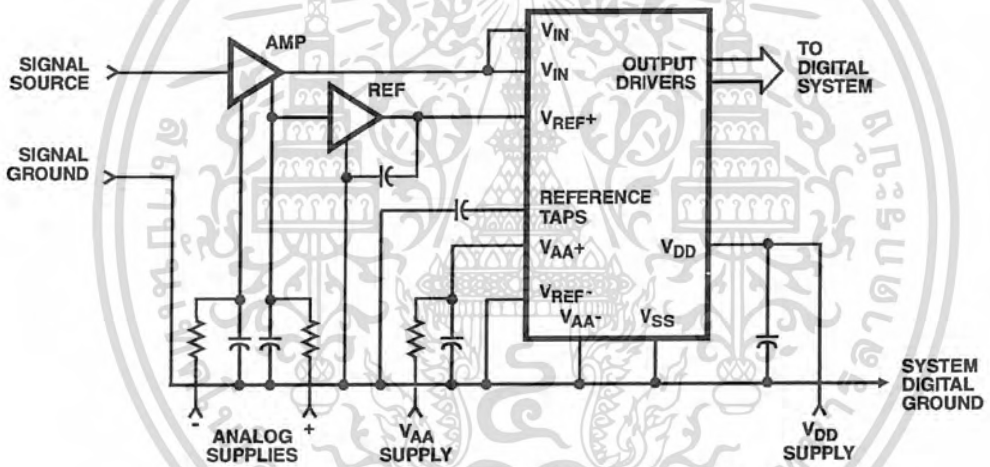
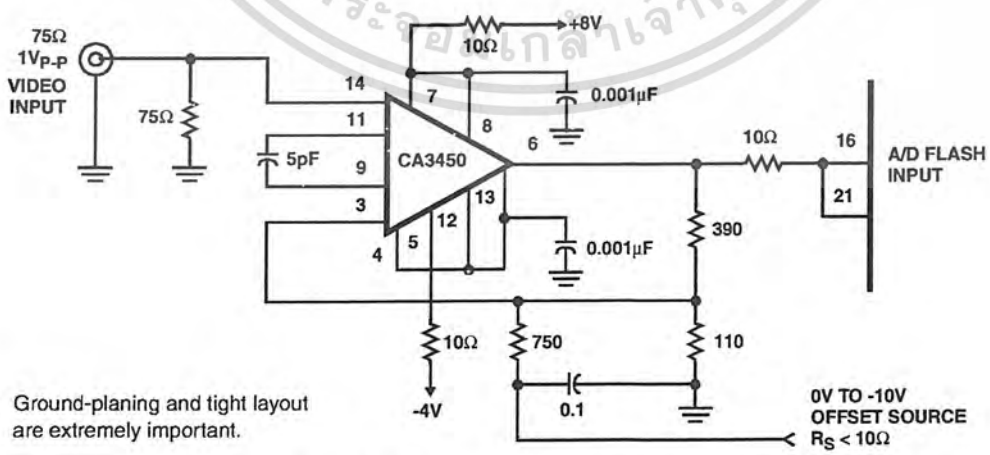


FIGURE 15. TYPICAL SYSTEM GROUNDING/BYPASSING



NOTE: Ground-planing and tight layout are extremely important.

FIGURE 16. TYPICAL HIGH BANDWIDTH AMPLIFIER FOR DRIVING THE CA3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1. OUTPUT CODE TABLE

CODE DESCRIPTION	(NOTE 1) INPUT VOLTAGE		BINARY OUTPUT CODE									DECIMAL COUNT
	V_{REF} 6.40V (V)	V_{REF} 5.12V (V)	OF	MSB B8	B7	B6	B5	B4	B3	B2	LSB B1	
Zero	0.00	0.00	0	0	0	0	0	0	0	0	0	0
1 LSB	0.025	0.02	0	0	0	0	0	0	0	0	1	1
2 LSB	0.05	0.04	0	0	0	0	0	0	0	1	0	2
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
$^1/_4$ Full Scale	1.60	1.28	0	0	1	0	0	0	0	0	0	64
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
$^1/_2$ Full Scale - 1 LSB	3.175	2.54	0	0	1	1	1	1	1	1	1	127
$^1/_2$ Full Scale	3.20	2.56	0	1	0	0	0	0	0	0	0	128
$^1/_2$ Full Scale + 1 LSB	3.225	2.58	0	1	0	0	0	0	0	0	1	129
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
$^3/_4$ Full Scale	4.80	3.84	0	1	1	0	0	0	0	0	0	192
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
Full Scale - 1 LSB	6.35	5.08	0	1	1	1	1	1	1	1	0	254
Full Scale	6.375	5.10	0	1	1	1	1	1	1	1	1	255
Over Flow	6.40	5.12	1	1	1	1	1	1	1	1	1	511

NOTE: 1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

Reducing Power

Most power is consumed while in the auto-balance state. When operating at lower than 15MHz clock speed, power can be reduced by stretching the sample ($\phi 2$) time. The constraints are a minimum balance time ($\phi 1$) of 33ns, and a maximum sample time of 500ns. Longer sample times cause droop in the auto-balance capacitors. Power can also be reduced in the reference string by switching the reference on only during auto-balance.

Clock Input

The Clock and Phase inputs feed buffers referenced to $V_{AA}+$ and $V_{AA}-$. Phase should be tied to one of these two potentials, while the clock (if DC coupled) should be driven at least from 0.2 to 0.7 x ($V_{AA}+ - V_{AA}-$). The clock may also be AC coupled with at least a $1V_{P-P}$ swing. This allows TTL drive levels or 5V QMOS levels when $V_{AA}+$ is greater than 5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS SEMICONDUCTOR

ICL232

August 1997

+5V Powered, Dual RS-232 Transmitter/Receiver

Features

- Meets All RS-232C and V.28 Specifications
- Requires Only Single +5V Power Supply
- Onboard Voltage Doubler/Inverter
- Low Power Consumption
- 2 Drivers
  - ±9V Output Swing for +5V Input
  - 300Ω Power-off Source Impedance
  - Output Current Limiting
  - TTL/CMOS Compatible
  - 30V/μs Maximum Slew Rate
- 2 Receivers
  - ±30V Input Voltage Range
  - 3kΩ to 7kΩ Input Impedance
  - 0.5V Hysteresis to Improve Noise Rejection
- All Critical Parameters are Guaranteed Over the Entire Commercial, Industrial and Military Temperature Ranges

Applications

- Any System Requiring RS-232 Communications Port
  - Computer - Portable and Mainframe
  - Peripheral - Printers and Terminals
  - Portable Instrumentation
  - Modems
- Dataloggers

Description

The ICL232 is a dual RS-232 transmitter/receiver interface circuit that meets all EIA RS-232C and V.28 specifications. It requires a single +5V power supply, and features two onboard charge pump voltage converters which generate +10V and -10V supplies from the 5V supply.

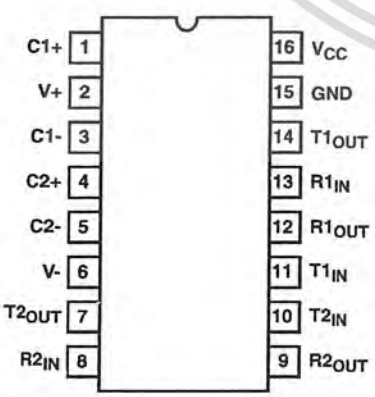
The drivers feature true TTL/CMOS input compatibility, slew-rate-limited output, and 300Ω power-off source impedance. The receivers can handle up to +30V, and have a 3kΩ to 7kΩ input impedance. The receivers also have hysteresis to improve noise rejection.

Ordering Information

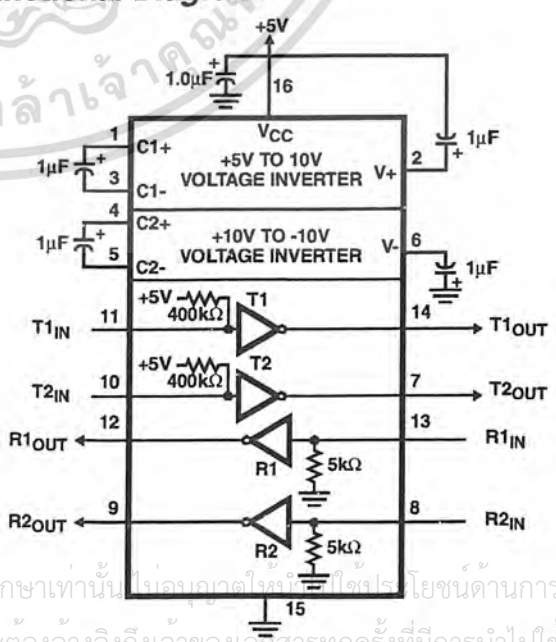
PART NUMBER	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
ICL232CPE	0 to 70	16 Ld PDIP	E16.3
ICL232CBE	0 to 70	16 Ld SOIC	M16.3
ICL232IPE	-40 to 85	16 Ld PDIP	E16.3
ICL232IJE	-40 to 85	16 Ld CERDIP	F16.3
ICL232IBE	-40 to 85	16 Ld SOIC	M16.3
ICL232MJE	-55 to 125	16 Ld CERDIP	F16.3

Pinout

ICL232 (PDIP, CERDIP, SOIC)
TOP VIEW



Functional Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.

Copyright © Harris Corporation 1997

File Number 3020.5

Absolute Maximum Ratings

V_{CC} to Ground . . . . . (GND -0.3V) < V_{CC} < 6V
V+ to Ground . . . . . (V_{CC} -0.3V) < V+ < 12V
V- to Ground . . . . . -12V < V- < (GND +0.3V)
Input Voltages
$T1_{IN}$, $T2_{IN}$ . . . . . (V- -0.3V) < V_{IN} < (V+ +0.3V)
$R1_{IN}$, $R2_{IN}$ . . . . . ±30V
Output Voltages
$T1_{OUT}$, $T2_{OUT}$ . . . . . (V- -0.3V) < V_{TXOUT} < (V+ +0.3V)
$R1_{OUT}$, $R2_{OUT}$ . . . . . (GND -0.3V) < V_{RXOUT} < (V_{CC} +0.3V)
Short Circuit Duration
$T1_{OUT}$, $T2_{OUT}$ . . . . . Continuous
$R1_{OUT}$, $R2_{OUT}$ . . . . . Continuous

Operating Conditions

Temperature Ranges
ICL232C . . . . . 0°C to 70°C
ICL232I . . . . . -40°C to 85°C
ICL232M . . . . . -55°C to 125°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
CERDIP Package	80	18
PDIP Package	100	N/A
SOIC Package	100	N/A

Maximum Junction Temperature
Plastic Packages . . . . . 150°C
Ceramic Package . . . . . 175°C
Maximum Storage Temperature Range . . . . . -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) . . . . . 300°C

NOTE:

1. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

Test Conditions: V_{CC} = +5V ±10%, T_A = Operating Temperature Range. Test Circuit as in Figure 8 Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Transmitter Output Voltage Swing, T_{OUT}	$T1_{OUT}$ and $T2_{OUT}$ Loaded with 3kΩ to Ground	±5	±9	±10	V
Power Supply Current, I_{CC}	Outputs Unloaded, T_A = 25°C	-	5	10	mA
T_{IN}, Input Logic Low, V_{IL}		-	-	0.8	V
T_{IN}, Input Logic High, V_{IH}		2.0	-	-	V
Logic Pullup Current, I_P	$T1_{IN}$, $T2_{IN}$ = 0V	-	15	200	µA
RS-232 Input Voltage Range, V_{IN}		-30	-	+30	V
Receiver Input Impedance, R_{IN}	V_{IN} = ±3V	3.0	5.0	7.0	kΩ
Receiver Input Low Threshold, V_{IN} (H-L)	V_{CC} = 5V, T_A = 25°C	0.8	1.2	-	V
Receiver Input High Threshold, V_{IN} (L-H)	V_{CC} = 5V, T_A = 25°C	-	1.7	2.4	V
Receiver Input Hysteresis, V_{HYST}		0.2	0.5	1.0	V
TTL/CMOS Receiver Output Voltage Low, V_{OL}	I_{OUT} = 3.2mA	-	0.1	0.4	V
TTL/CMOS Receiver Output Voltage High, V_{OH}	I_{OUT} = -1.0mA	3.5	4.6	-	V
Propagation Delay, t_{PD}	RS-232 to TTL	-	0.5	-	µs
Instantaneous Slew Rate, SR	C_L = 10pF, R_L = 3kΩ, T_A = 25°C (Notes 2, 3)	-	-	30	V/µs
Transition Region Slew Rate, SR_T	R_L = 3kΩ, C_L = 2500pF Measured from +3V to -3V or -3V to +3V	-	3	-	V/µs
Output Resistance, R_{OUT}	V_{CC} = V+ = V- = 0V, V_{OUT} = ±2V	300	-	-	Ω
RS-232 Output Short Circuit Current, I_{SC}	$T1_{OUT}$ or $T2_{OUT}$ Shorted to GND	-	±10	-	mA

NOTES:

2. Guaranteed by design.
3. See Figure 4 for definition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits

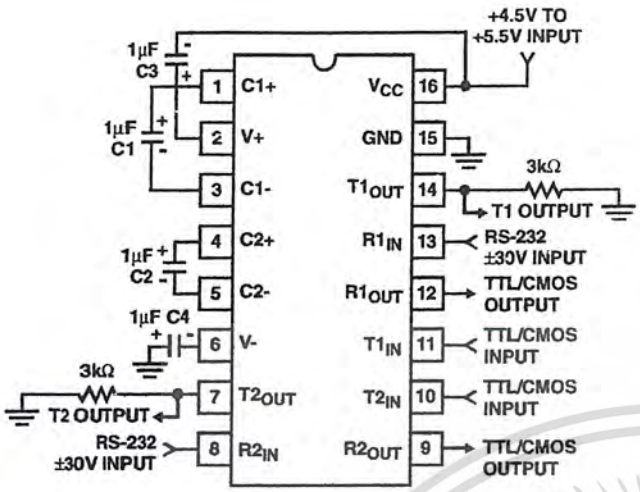


FIGURE 1. GENERAL TEST CIRCUIT

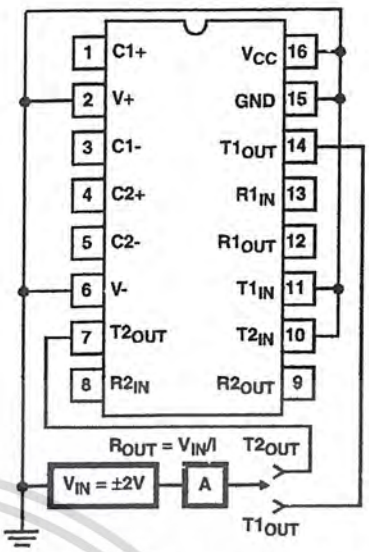


FIGURE 2. POWER-OFF SOURCE RESISTANCE CONFIGURATION

Typical Performance Curves

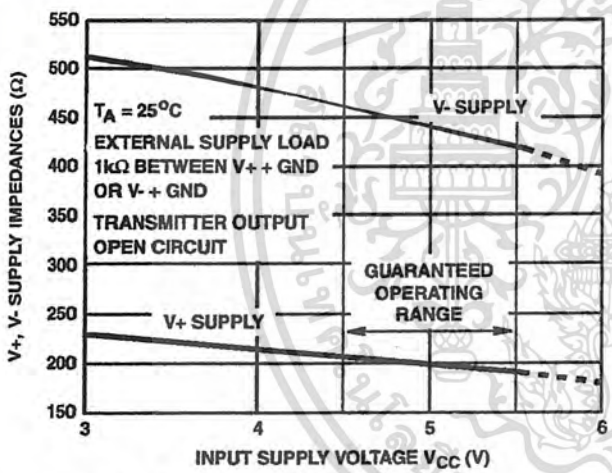


FIGURE 3. V+, V- OUTPUT IMPEDANCES vs V_{CC}

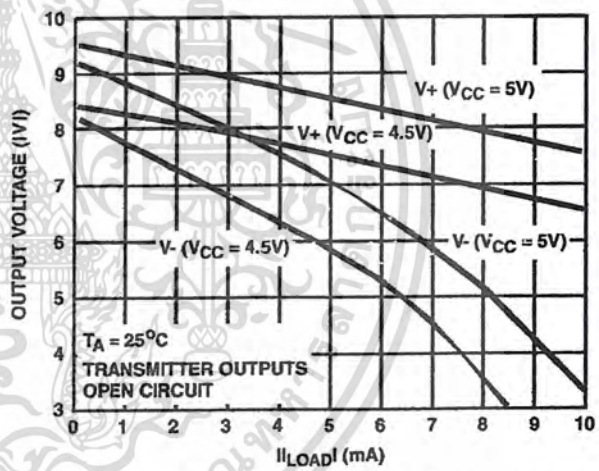


FIGURE 4. V+, V- OUTPUT VOLTAGES vs LOAD CURRENT

Pin Descriptions

PDIP, CERDIP	SOIC	PIN NAME	DESCRIPTION
1	1	C1+	External capacitor "+" for internal voltage doubler.
2	2	V+	Internally generated +10V (typical) supply.
3	3	C1-	External capacitor "-" for internal voltage doubler.
4	4	C2+	External capacitor "+" internal voltage inverter.
5	5	C2-	External capacitor "-" internal voltage inverter.
6	6	V-	Internally generated -10V (typical) supply.
7	7	$T2_{OUT}$	RS-232 Transmitter 2 output ±10V (typical).
8	8	$R2_{IN}$	RS-232 Receiver 2 input, with internal 5K pulldown resistor to GND.
9	9	R2out	Receiver 2 TTL/CMOS output.
10	10	$T2_{IN}$	Transmitter 2 TTL/CMOS input, with internal 400K pullup resistor to V_{CC}.
11	11	$T1_{IN}$	Transmitter 1 TTL/CMOS input, with internal 400K pullup resistor to V_{CC}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Descriptions (Continued)

PDIP, CERDIP	SOIC	PIN NAME	DESCRIPTION
12	12	$R1_{OUT}$	Receiver 1 TTL/CMOS output.
13	13	$R1_{IN}$	RS-232 Receiver 1 input, with internal 5K pulldown resistor to GND.
14	14	$T1_{OUT}$	RS-232 Transmitter 1 output ±10V (typical).
15	15	GND	Supply Ground.
16	16	V_{CC}	Positive Power Supply +5V ±10%

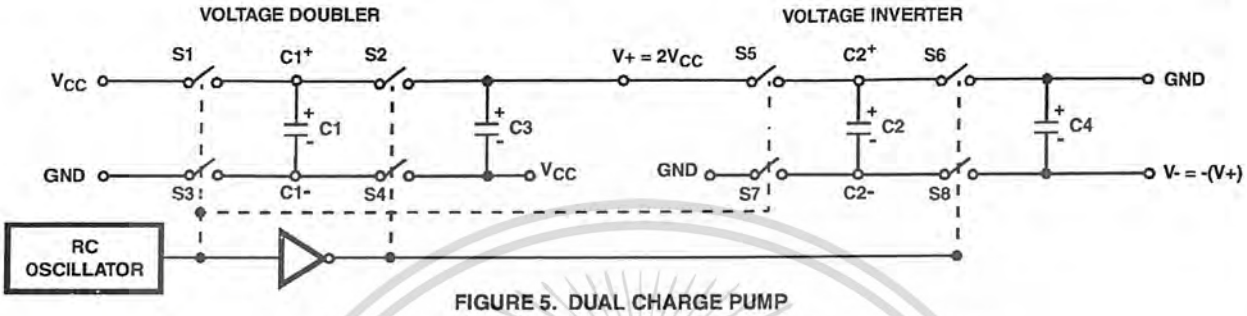


FIGURE 5. DUAL CHARGE PUMP

Detailed Description

The ICL232 is a dual RS-232 transmitter/receiver powered by a single +5V power supply which meets all EIA RS232C specifications and features low power consumption. The functional diagram illustrates the major elements of the ICL232. The circuit is divided into three sections: a voltage doubler/inverter, dual transmitters, and dual receivers Voltage Converter.

An equivalent circuit of the dual charge pump is illustrated in Figure 5.

The voltage quadrupler contains two charge pumps which use two phases of an internally generated clock to generate +10V and -10V. The nominal clock frequency is 16kHz. During phase one of the clock, capacitor C1 is charged to V_{CC}. During phase two, the voltage on C1 is added to V_{CC}, producing a signal across C2 equal to twice V_{CC}. At the same time, C3 is also charged to $2V_{CC}$, and then during phase one, it is inverted with respect to ground to produce a signal across C4 equal to $-2V_{CC}$. The voltage converter accepts input voltages up to 5.5V. The output impedance of the doubler (V+) is approximately 200Ω, and the output impedance of the inverter (V-) is approximately 450Ω. Typical graphs are presented which show the voltage converters output vs input voltage and output voltages vs load characteristics. The test circuit (Figure 3) uses 1µF capacitors for C1-C4, however, the value is not critical. Increasing the values of C1 and C2 will lower the output impedance of the voltage doubler and inverter, and increasing the values of the reservoir capacitors, C3 and C4, lowers the ripple on the V+ and V- supplies.

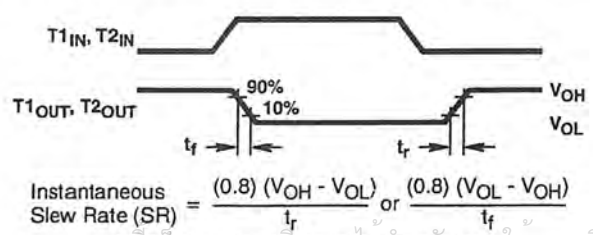


FIGURE 6. SLEW RATE DEFINITION

Transmitters

The transmitters are TTL/CMOS compatible inverters which translate the inputs to RS-232 outputs. The input logic threshold is about 26% of V_{CC}, or 1.3V for V_{CC} = 5V. A logic 1 at the input results in a voltage of between -5V and V- at the output, and a logic 0 results in a voltage between +5V and (V+ - 0.6V). Each transmitter input has an internal 400kΩ pullup resistor so any unused input can be left unconnected and its output remains in its low state. The output voltage swing meets the RS-232C specification of ±5V minimum with the worst case conditions of: both transmitters driving 3kΩ minimum load impedance, V_{CC} = 4.5V, and maximum allowable operating temperature. The transmitters have an internally limited output slew rate which is less than 30V/µs. The outputs are short circuit protected and can be shorted to ground indefinitely. The powered down output impedance is a minimum of 300Ω with ±2V applied to the outputs and V_{CC} = 0V.

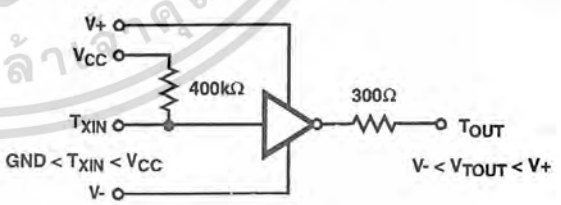


FIGURE 7. TRANSMITTER

Receivers

The receiver inputs accept up to ±30V while presenting the required 3kΩ to 7kΩ input impedance even it the power is off (V_{CC} = 0V). The receivers have a typical input threshold of 1.3V which is within the ±3V limits, known as the transition region, of the RS-232 specification. The receiver output is 0V to V_{CC}. The output will be low whenever the input is greater than 2.4V and high whenever the input is floating or driven between +0.8V and -30V. The receivers feature 0.5V hysteresis to improve noise rejection.

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

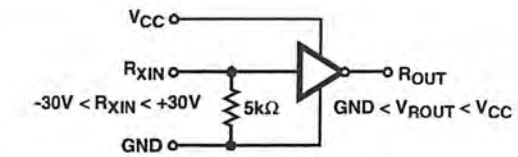
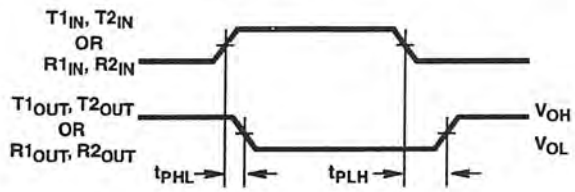


FIGURE 8. RECEIVER



$$\text{Average Propagation Delay} = \frac{t_{PHL} + t_{PLH}}{2}$$

FIGURE 9. PROPAGATION DELAY DEFINITION

Applications

The ICL232 may be used for all RS-232 data terminal and communication links. It is particularly useful in applications where ±12V power supplies are not available for conventional RS-232 interface circuits. The applications presented represent typical interface configurations.

A simple duplex RS-232 port with CTS/RTS handshaking is illustrated in Figure 10. Fixed output signals such as DTR (data terminal ready) and DSRS (data signaling rate select) is generated by driving them through a 5kΩ resistor connected to V+.

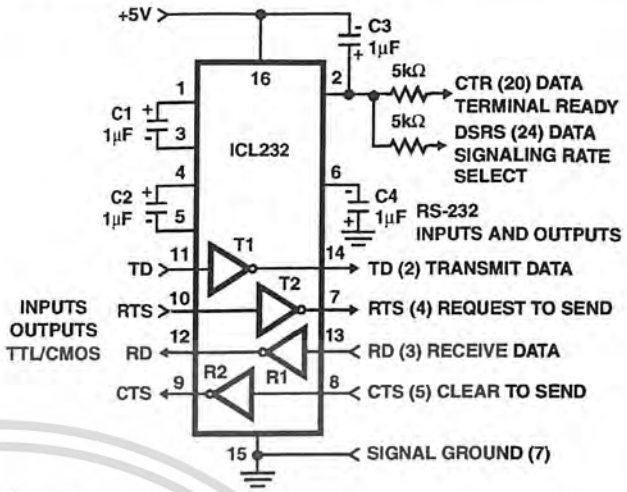


FIGURE 10. SIMPLE DUPLEX RS-232 PORT WITH CTS/RTS HANDSHAKING

In applications requiring four RS-232 inputs and outputs (Figure 11), note that each circuit requires two charge pump capacitors (C1 and C2) but can share common reservoir capacitors (C3 and C4). The benefit of sharing common reservoir capacitors is the elimination of two capacitors and the reduction of the charge pump source impedance which effectively increases the output swing of the transmitters.

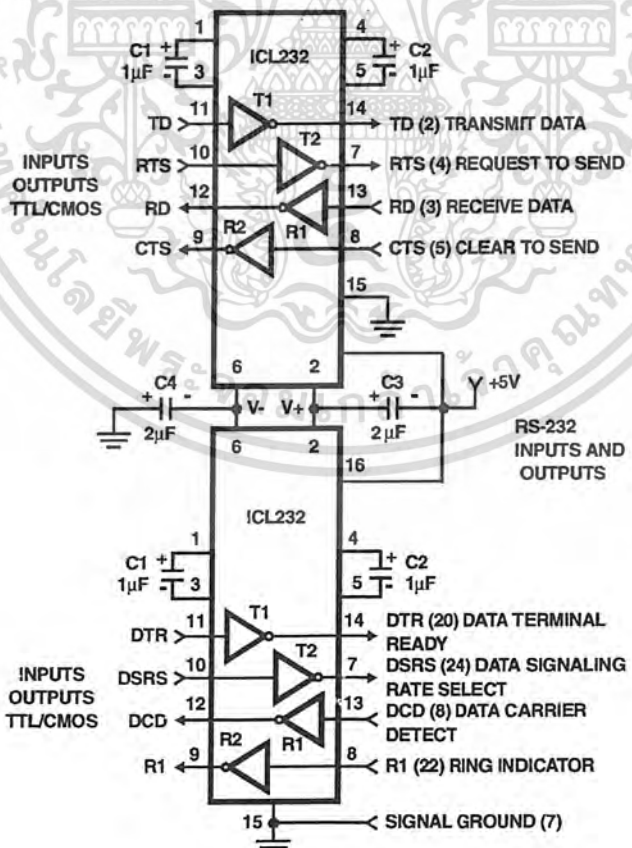
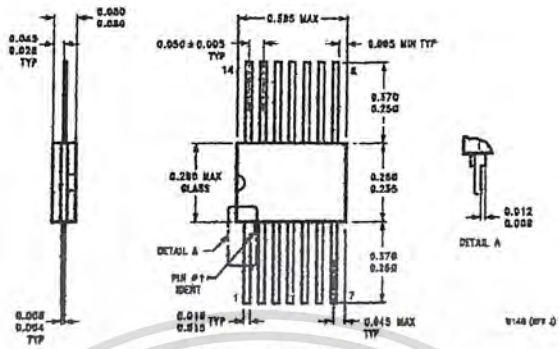


FIGURE 11. COMBINING TWO ICL232s FOR 4 PAIRS OF RS-232 INPUTS AND OUTPUTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



14-Lead Ceramic Flat Package (W)
Order Number 5408FMQB or DM5408W
Package Number W14B

ธนาบัณฑิตโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

Fairchild Semiconductor Corporation
Americas
Customer Response Center
Tel: 1-888-522-5372

Fairchild Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 8 141-35-0
English Tel: +44 (0) 1 793-85-68-56
Italy Tel: +39 (0) 2 57 5631

Fairchild Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: +852 2737-7200
Fax: +852 2314-0061

National Semiconductor Japan Ltd.
Tel: 81-3-5620-6175
Fax: 81-3-5620-6179

www.fairchildsemi.com

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM628128B Series

1 M SRAM (128-kword × 8-bit)

HITACHI

ADE-203-243E (Z)
Rev. 5.0
Nov. 1997

Description

The Hitachi HM628128B is a CMOS static RAM organized 131,072-word × 8-bit. It realizes higher density, higher performance and low power consumption by employing 0.8 µm Hi-CMOS shrink process technology. It offers low power standby power dissipation, therefore, it is suitable for battery backup systems. The device, packaged in a 525 mil SOP or a 8 mm × 20 mm TSOP or a 600 mil plastic DIP is available.

Features

- Single 5 V supply: 5.0 V ± 10%
- Access time: 70/75/85 ns (max)
- Power dissipation
  - — Active: 50 mW/MHz (typ)
  - — Standby: 10 µW (typ) (L/L-SL version)
- Completely static memory
  - — No clock or timing strobe required
- Equal access and cycle times
- Common data input and output
  - — Three state output
- Directly TTL compatible all inputs and outputs
- Capability of battery backup operation (L/L-SL version)
  - — 2 chip selection for battery backup

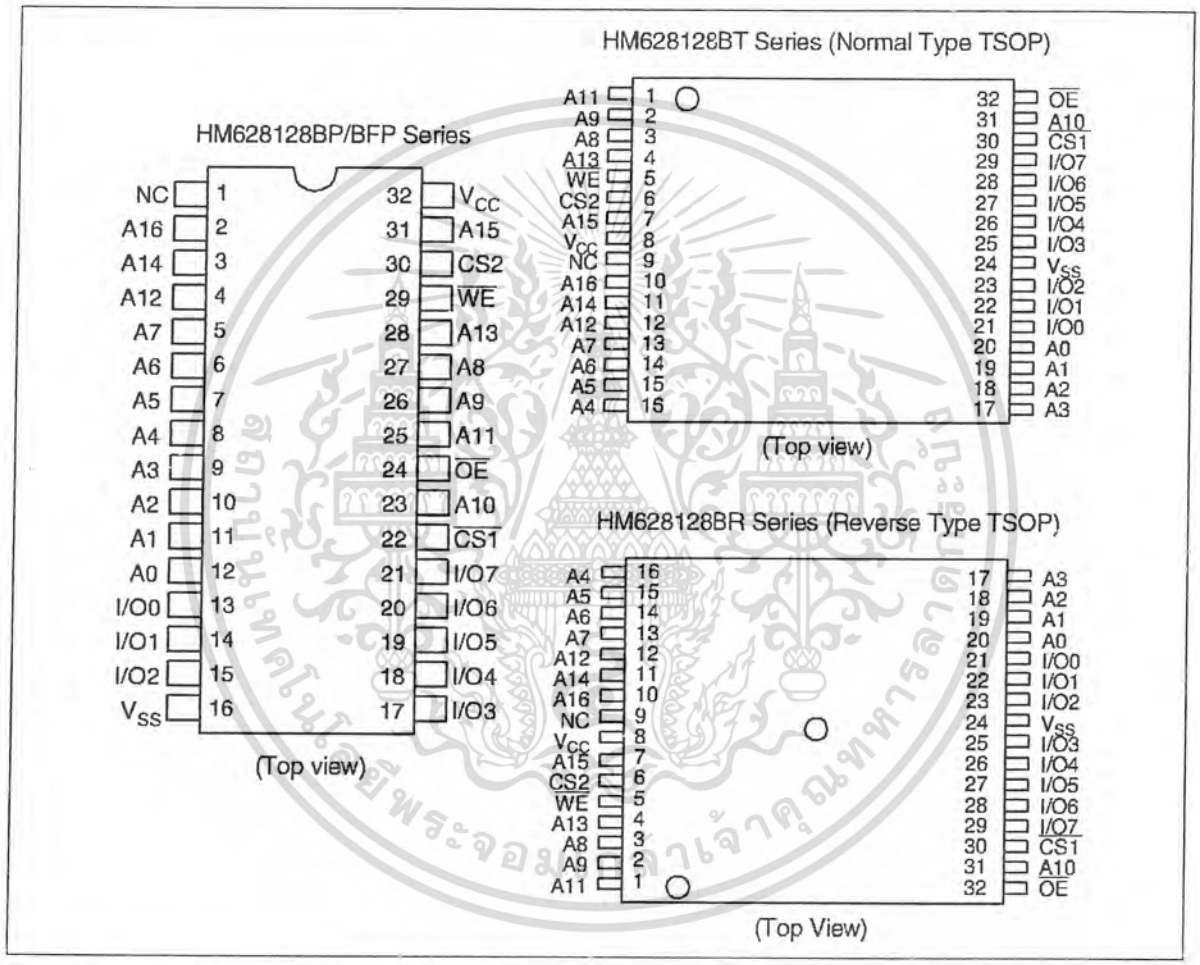
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Type No.	Access time	Data retention current	Package
HM628128BLP-7	70 ns	50 µA	600-mil 32-pin plastic DIP (DP-32)
HM628128BLP-8	85 ns	50 µA	
HM628128BLP-7SL	70 ns	15 µA	
HM628128BLP-8SL	85 ns	15 µA	
HM628128BLFP-7	70 ns	50 µA	525-mil 32-pin plastic SOP (FP-32D)
HM628128BLFP-75	75 ns	50 µA	
HM628128BLFP-8	85 ns	50 µA	
HM628128BLFP-7SL	70 ns	15 µA	
HM628128BLFP-75SL	75 ns	15 µA	
HM628128BLFP-8SL	85 ns	15 µA	
HM628128BLT-7	70 ns	50 µA	Normal-bend type 32-pin plastic 8 mm × 20 mm TSOP (TFP-32D)
HM628128BLT-75	75 ns	50 µA	
HM628128BLT-8	85 ns	50 µA	
HM628128BLT-7SL	70 ns	15 µA	
HM628128BLT-75SL	75 ns	15 µA	
HM628128BLT-8SL	85 ns	15 µA	
HM628128BLR-7	70 ns	50 µA	Reverse-bend type 32-pin plastic 8 mm × 20 mm TSOP (TFP-32DR)
HM628128BLR-8	85 ns	50 µA	
HM628128BLR-7SL	70 ns	15 µA	
HM628128BLR-8SL	85 ns	15 µA	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Arrangement

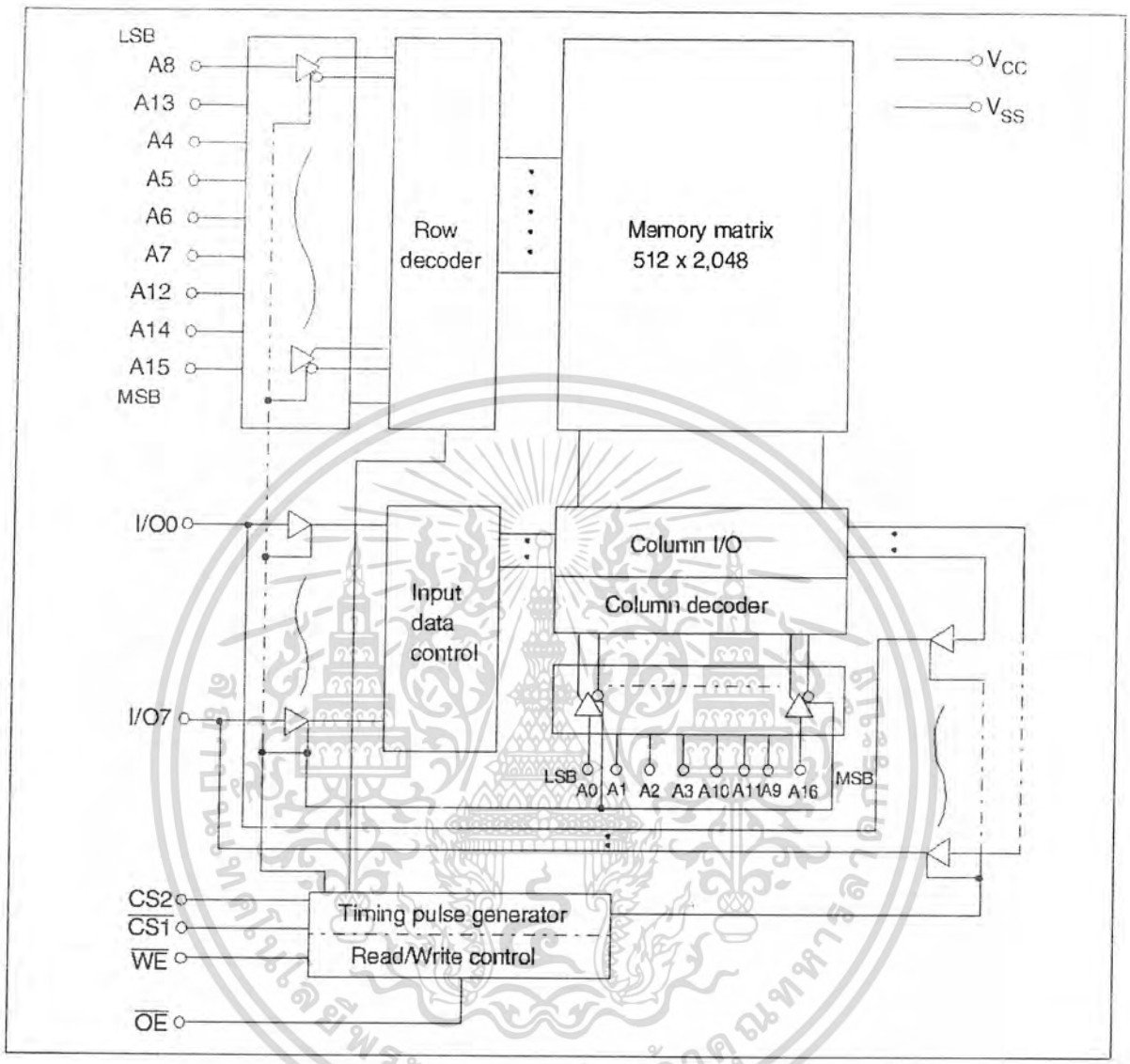


Pin Description

Pin name	Function
A0 to A16	Address input
I/O0 to I/O7	Data input/output
$\overline{CS1}$	Chip select 1
CS2	Chip select 2
$\overline{WE}$	Write enable
$\overline{OE}$	Output enable
NC	No connection
V_{CC}	Power supply
V_{SS}	Ground

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM628128B Series

DC Characteristics (Ta = 0 to +70°C, V_{CC} = 5 V ± 10%, V_{SS} = 0 V)

Parameter	Symbol	Min	Typ*1	Max	Unit	Test conditions
Input leakage current	$\|I_{LI}\|$	—	—	1	µA	Vin = V_{SS} to V_{CC}
Output leakage current	$\|I_{LO}\|$	—	—	1	µA	$\overline{CS1}$ = V_{IH} or CS2 = V_{IL} or $\overline{OE}$ = V_{IH} or $\overline{WE}$ = V_{IL}, $V_{I/O}$ = V_{SS} to V_{CC}
Operating current	I_{CC}	—	15	25	mA	$\overline{CS1}$ = V_{IL}, CS2 = V_{IH}, Others = V_{IH}/V_{IL}, $I_{I/O}$ = 0 mA
Average operating current	I_{CC1}	—	35	70	mA	Min cycle, duty = 100%, $\overline{CS1}$ = V_{IL}, CS2 = V_{IH}, Others = V_{IH}/V_{IL}, $I_{I/O}$ = 0 mA
	I_{CC2}	—	10	20	mA	Cycle time = 1 µs, duty = 100%, $I_{I/O}$ = 0 mA, $\overline{CS1}$ ≤ 0.2 V, CS2 ≥ V_{CC} − 0.2 V, Others = V_{IH}/V_{IL} V_{IH} ≥ V_{CC} − 0.2 V, V_{IL} ≤ 0.2 V
Standby current	I_{SB}	—	1	2	mA	CS2 = V_{IL} or $\overline{CS1}$ = V_{IH}, CS2 = V_{IH}
	I_{SB1}	—	2*2	100*2	µA	0 V ≤ Vin ≤ V_{CC} (1) 0 V ≤ CS2 ≤ 0.2 V or (2) $\overline{CS1}$ ≥ V_{CC} − 0.2 V, CS2 ≥ V_{CC} − 0.2 V
	I_{SB1}	—	2*3	50*3	µA	
Output high voltage	V_{OL}	—	—	0.4	V	I_{OL} = 2.1 mA
Output low voltage	V_{OH}	2.4	—	—	V	I_{OH} = −1.0 mA

Notes: 1. Typical values are at V_{CC} = 5.0 V, Ta = +25°C and not guaranteed.
2. This characteristic is guaranteed only for L version.
3. This characteristic is guaranteed only for L-SL version.

Capacitance (Ta = 25°C, f = 1.0 MHz)

Parameter	Symbol	Min	Typ	Max	Unit	Test conditions
Input capacitance*1	Cin	—	—	8	pF	Vin = 0 V
Input/output capacitance*1	$C_{I/O}$	—	—	10	pF	$V_{I/O}$ = 0 V

Note: 1. This parameter is sampled and not 100% tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Function Table

$\overline{WE}$	$\overline{CS1}$	CS2	$\overline{OE}$	Mode	V_{CC} current	I/O pin	Ref. cycle
×	H	×	×	Standby	I_{SB}, I_{SB1}	High-Z	—
×	×	L	×	Standby	I_{SB}, I_{SB1}	High-Z	—
H	L	H	H	Output disable	I_{CC}	High-Z	—
H	L	H	L	Read	I_{CC}	Dout	Read cycle
L	L	H	H	Write	I_{CC}	Din	Write cycle (1)
L	L	H	L	Write	I_{CC}	Din	Write cycle (2)

Note: ×: H or L

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Supply voltage relative to V_{SS}	V_{CC}	−0.5 to + 7.0	V
Voltage on any pin relative to V_{SS}	V_T	−0.5*1 to V_{CC} + 0.3*2	V
Power dissipation	P_T	1.0	W
Operating temperature range	Topr	0 to +70	°C
Storage temperature range	Tstg	−55 to +125	°C
Storage temperature under bias	Tbias	−10 to 85	°C

Notes: 1. V_T min: −3.0 V for pulse half-width ≤ 30 ns
2. Maximum voltage is 7.0 V

Recommended DC Operating Conditions (Ta = 0 to +70°C)

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input high voltage	V_{IH}	2.2	—	V_{CC} + 0.3	V
Input low voltage	V_{IL}	−0.3 *1	—	0.8	V

Note: 1. V_{IL} min: −3.0 V for pulse half-width ≤ 30 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics (Ta = 0 to +70°C, V_{CC} = 5.0 V ±10%)

Test Conditions

- Input pulse levels: 0.8 V to 2.4 V
- Input rise and fall time: 5 ns
- Input and output timing reference levels: 1.5 V
- Output load: 1 TTL Gate and C_L (100 pF) (Including scope and jig)

Read Cycle

		HM628128B							
		-7		-75		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Read cycle time	t_{RC}	70	—	75	—	85	—	ns	
Address access time	t_{AA}	—	70	—	75	—	85	ns	
Chip selection to output valid	t_{CO1}	—	70	—	75	—	85	ns	
	t_{CO2}	—	70	—	75	—	85	ns	
Output enable to output valid	t_{OE}	—	35	—	35	—	45	ns	
Chip selection to output in low-Z	t_{LZ1}	10	—	10	—	10	—	ns	2, 3
	t_{LZ2}	10	—	10	—	10	—	ns	
Output enable to output in low-Z	t_{OLZ}	5	—	5	—	5	—	ns	2, 3
Chip deselection to output in high-Z	t_{HZ1}	0	25	0	25	0	30	ns	1, 2, 3
	t_{HZ2}	0	25	0	25	0	30	ns	
Output disable to output in high-Z	t_{OHZ}	0	25	0	25	0	30	ns	1, 2, 3
Output hold from address change	t_{OH}	10	—	10	—	10	—	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM628128B Series

Write Cycle

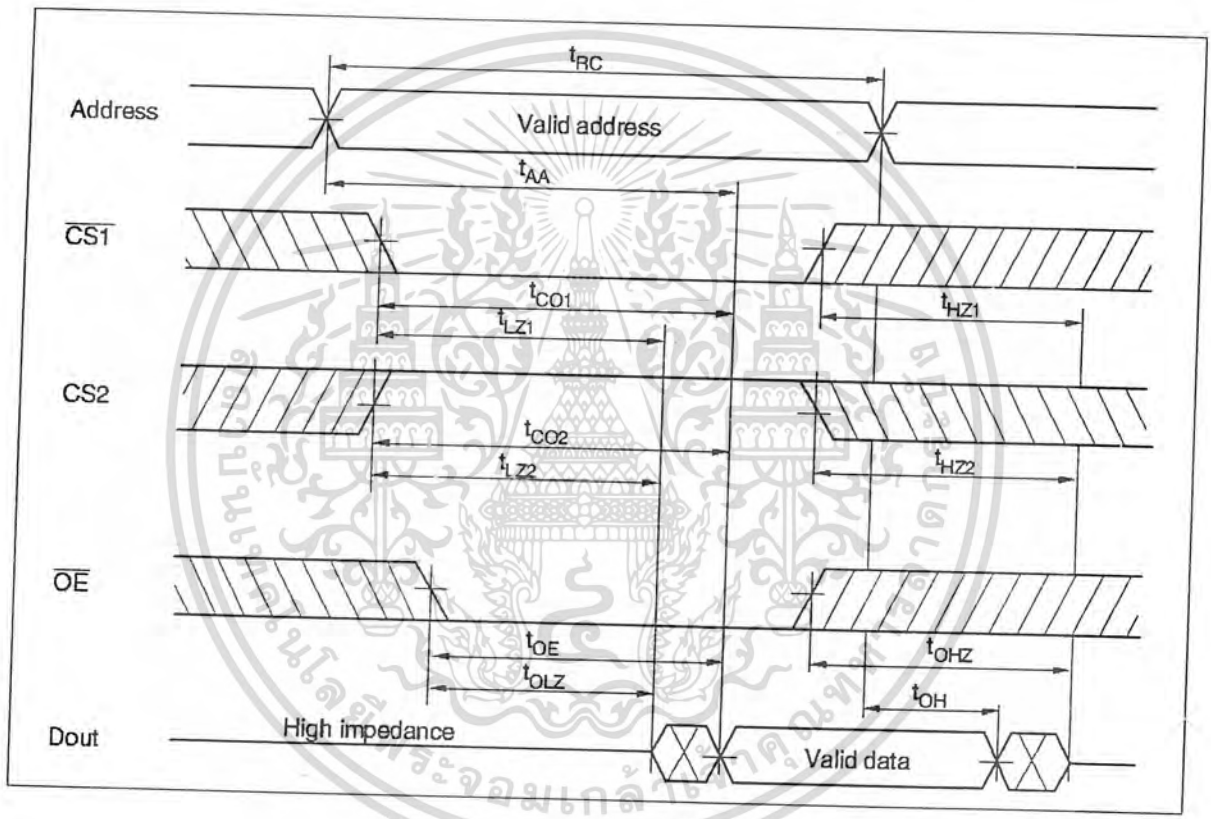
Parameter	Symbol	HM628128B -7 Min	-7 Max	-75 Min	-75 Max	-8 Min	-8 Max	Unit	Notes
Write cycle time	t_{WC}	70	—	75	—	85	—	ns	
Chip selection to end of write	t_{CW}	60	—	60	—	75	—	ns	5
Address setup time	t_{AS}	0	—	0	—	0	—	ns	6
Address valid to end of write	t_{AW}	60	—	60	—	75	—	ns	
Write pulse width	t_{WP}	50	—	50	—	55	—	ns	4, 13
Write recovery time	t_{WR}	0	—	0	—	0	—	ns	7
Write to output in high-Z	t_{WHZ}	0	25	0	25	0	30	ns	1, 2, 8
Data to write time overlap	t_{DW}	30	—	30	—	35	—	ns	
Data hold from write time	t_{DH}	0	—	0	—	0	—	ns	
Output active from end of write	t_{OW}	5	—	5	—	5	—	ns	2
Output disable to output in High-Z	t_{OHZ}	0	25	0	25	0	30	ns	1, 2, 8

Notes:
1. t_{HZ}, t_{OHZ} and t_{WHZ} are defined as the time at which the outputs achieve the open circuit conditions and are not referred to output voltage levels.
2. This parameter is sampled and not 100% tested.
3. At any given temperature and voltage condition, t_{HZ} max is less than t_{LZ} min both for a given device and from device to device.
4. A write occurs during the overlap of a low $\overline{CS1}$, a high CS2, and a low $\overline{WE}$. A write begins at the latest transition among $\overline{CS1}$ going low, CS2 going high, and $\overline{WE}$ going low. A write ends at the earliest transition among $\overline{CS1}$ going high, CS2 going low, and $\overline{WE}$ going high. t_{WP} is measured from the beginning of write to the end of write.
5. t_{CW} is measured from the later of $\overline{CS1}$ going low or CS2 going high to the end of write.
6. t_{AS} is measured from the address valid to the beginning of write.
7. t_{WR} is measured from the earliest of $\overline{CS1}$ or $\overline{WE}$ going high or CS2 going low to the end of write cycle.
8. During this period, I/O pins are in the output state; therefore, the input signals of the opposite phase to the outputs must not be applied.
9. If $\overline{CS1}$ goes low simultaneously with $\overline{WE}$ going low or after $\overline{WE}$ going low, the outputs remain in a high impedance state.
10. Dout is the same phase of the latest written data in this write cycle.
11. Dout is the read data of next address.
12. If $\overline{CS1}$ is low and CS2 high during this period, I/O pins are in the output state. Therefore, the input signals of the opposite phase to the outputs must not be applied to them.
13. In the write cycle with $\overline{OE}$ low fixed, t_{WP} must satisfy the following equation to avoid a problem of data bus contention.
    $t_{WP} \geq t_{DW}$ min + t_{WHZ} max

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

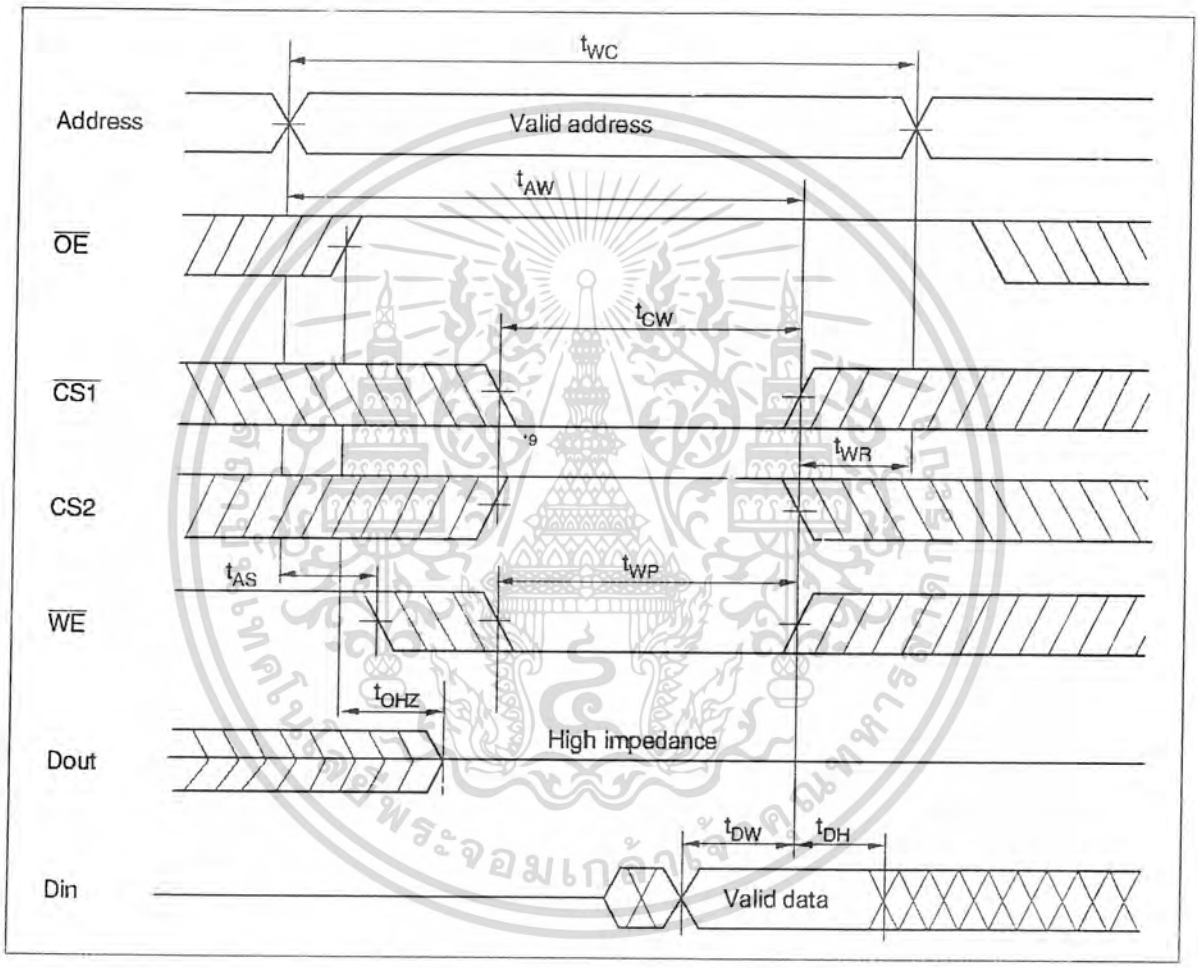
Timing Waveform

Read Timing Waveform ($\overline{WE}$ = V_{IH})



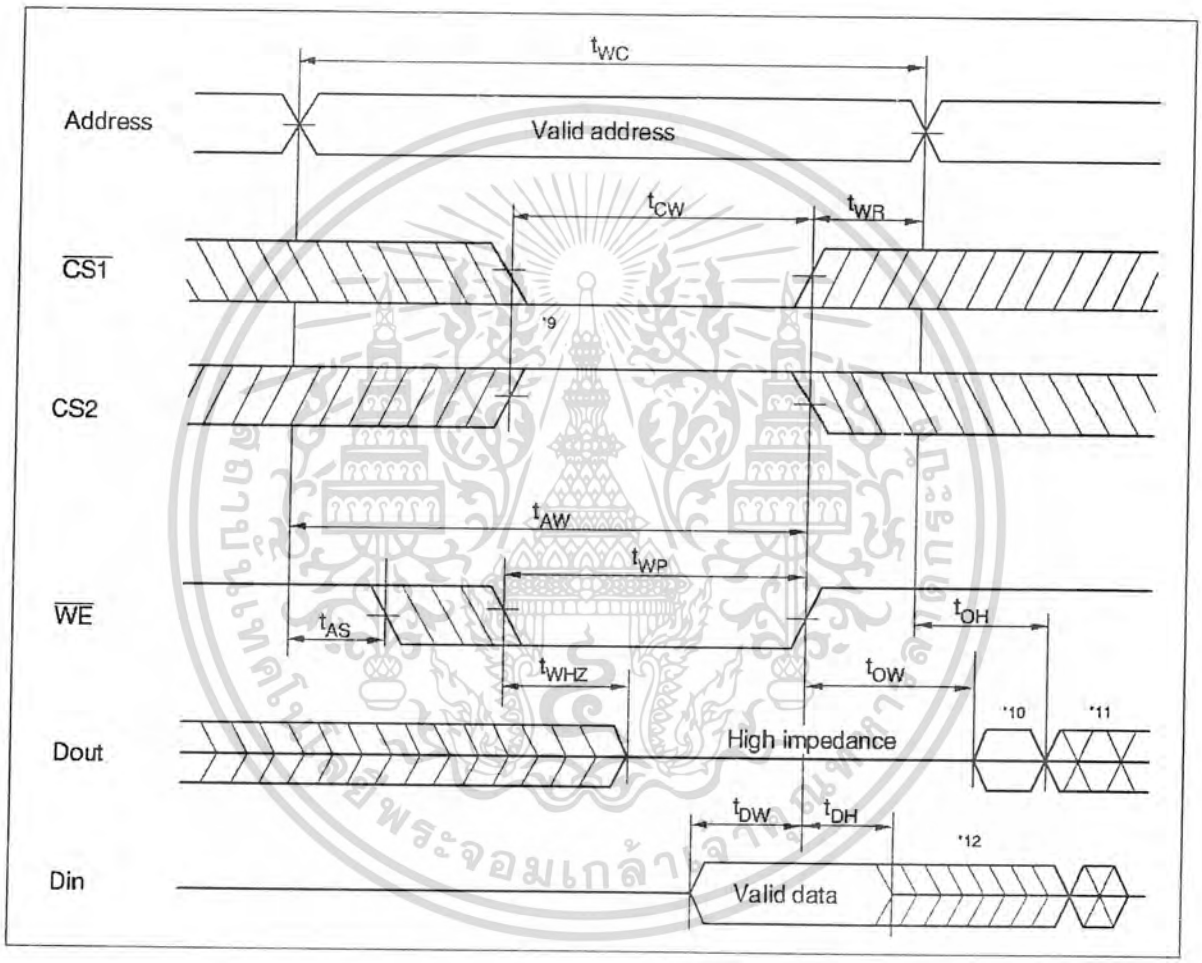
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Timing Waveform (1) ($\overline{OE}$ Clock)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Timing Waveform (2) ($\overline{OE}$ Low Fixed)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

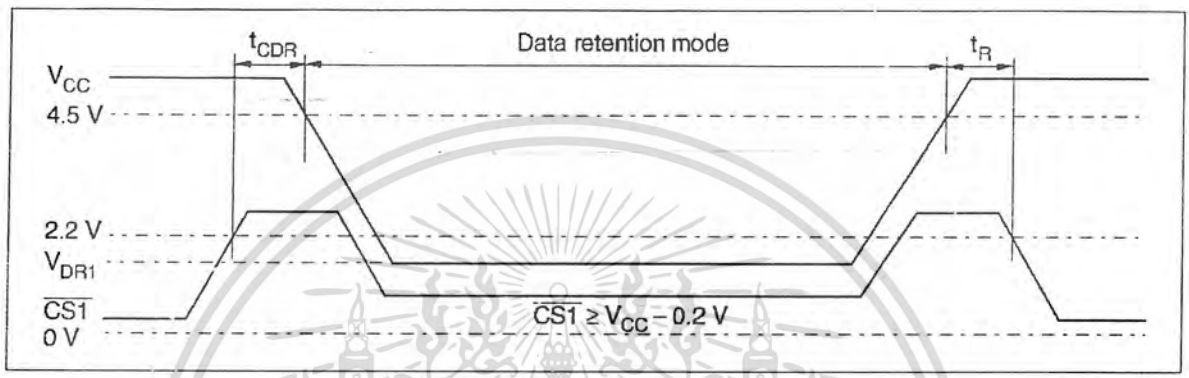
Low V_{CC} Data Retention Characteristics (Ta = 0 to +70°C)

Parameter	Symbol	Min	Typ*4	Max	Unit	Test conditions*3
V_{CC} for data retention	V_{DR}	2.0	—	—	V	0V ≤ Vin ≤ V_{CC} (1) 0 V ≤ CS2 ≤ 0.2 V or (2) CS2 ≥ V_{CC} − 0.2 V $\overline{CS1}$ ≥ V_{CC} − 0.2 V
Data retention current	I_{CCDR}	—	1	50*1	µA	V_{CC} = 3.0 V, 0V ≤ Vin ≤ V_{CC} (1) 0 V ≤ CS2 ≤ 0.2 V or (2) CS2 ≥ V_{CC} − 0.2 V, $\overline{CS1}$ ≥ V_{CC} − 0.2 V
	I_{CCDR}	—	1	15*2	µA	
Chip deselect to data retention time	t_{CDR}	0	—	—	ns	See retention waveform
Operation recovery time	t_R	5	—	—	ms	

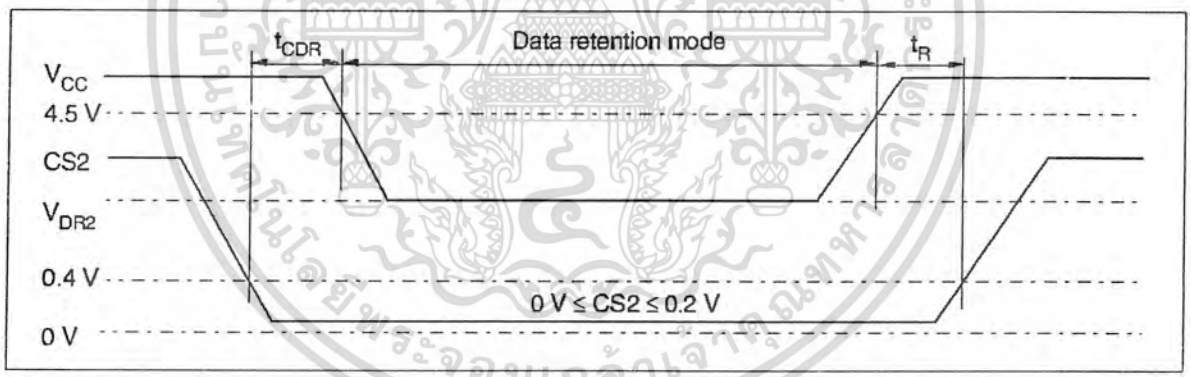
Notes: 1. This characteristic is guaranteed only for L version, 20 µA max. at Ta = 0 to 40°C.
2. This characteristic is guaranteed only for L-SL version, 3 µA max. at Ta = 0 to 40°C.
3. CS2 controls address buffer, $\overline{WE}$ buffer, $\overline{CS1}$ buffer, $\overline{OE}$ buffer, and Din buffer. If CS2 controls data retention mode, Vin levels (address, $\overline{WE}$, $\overline{OE}$, $\overline{CS1}$, I/O) can be in the high impedance state. If $\overline{CS1}$ controls data retention mode, CS2 must be CS2 ≥ V_{CC} − 0.2 V or 0 V ≤ CS2 ≤ 0.2 V. The other input levels (address, $\overline{WE}$, $\overline{OE}$, I/O) can be in the high impedance state.
4. Typical values are at V_{CC} = 3.0 V, Ta = +25°C and not guaranteed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low V_{CC} Data Retention Timing Waveform (1) ($\overline{CS1}$ Controlled)



Low V_{CC} Data Retention Timing Waveform (2) (CS2 Controlled)

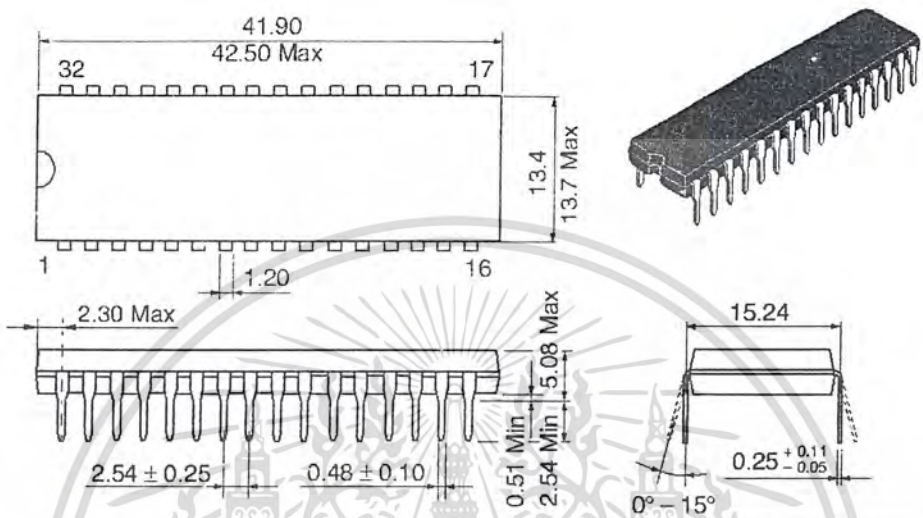


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions

HM628128BLP Series (DP-32)

Unit: mm

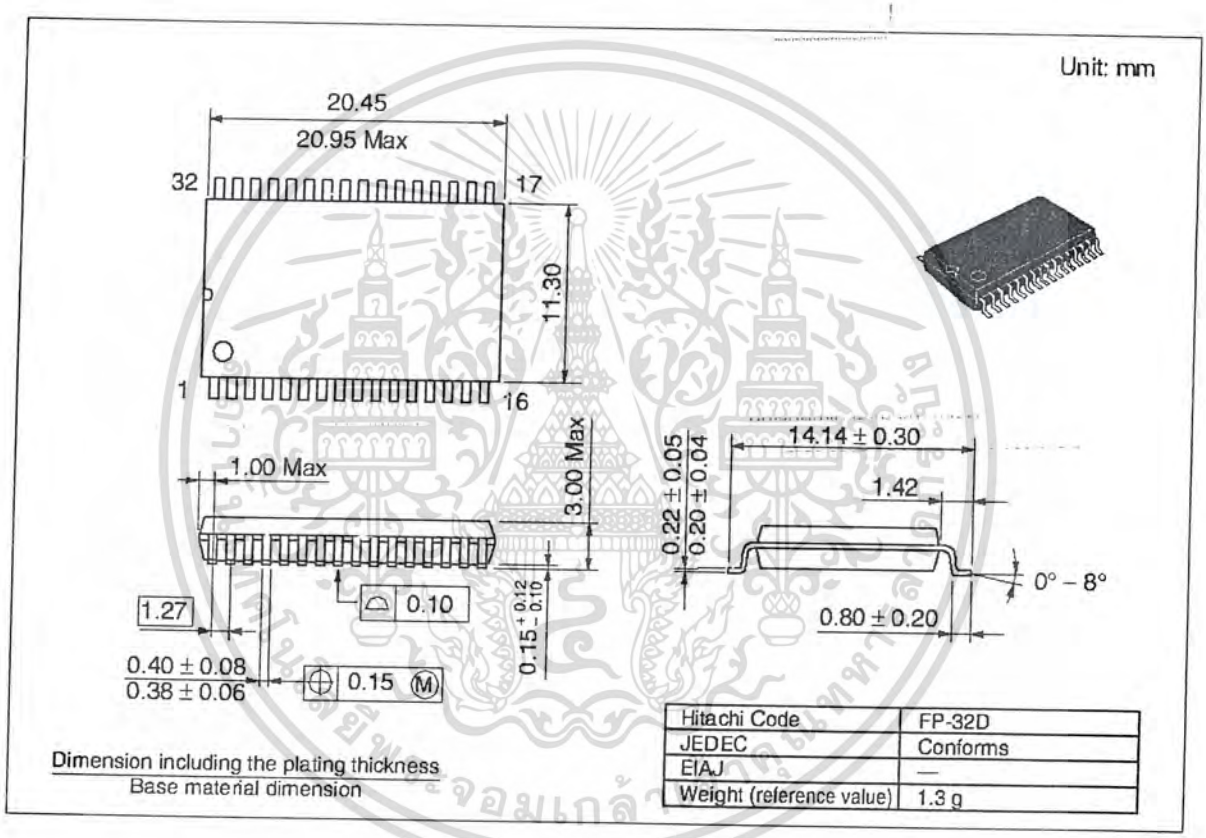


Hitachi Code	DP-32
JEDEC	—
EIAJ	Conforms
Weight (reference value)	5.1 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions (cont.)

HM628128BLFP Series (FP-32D)

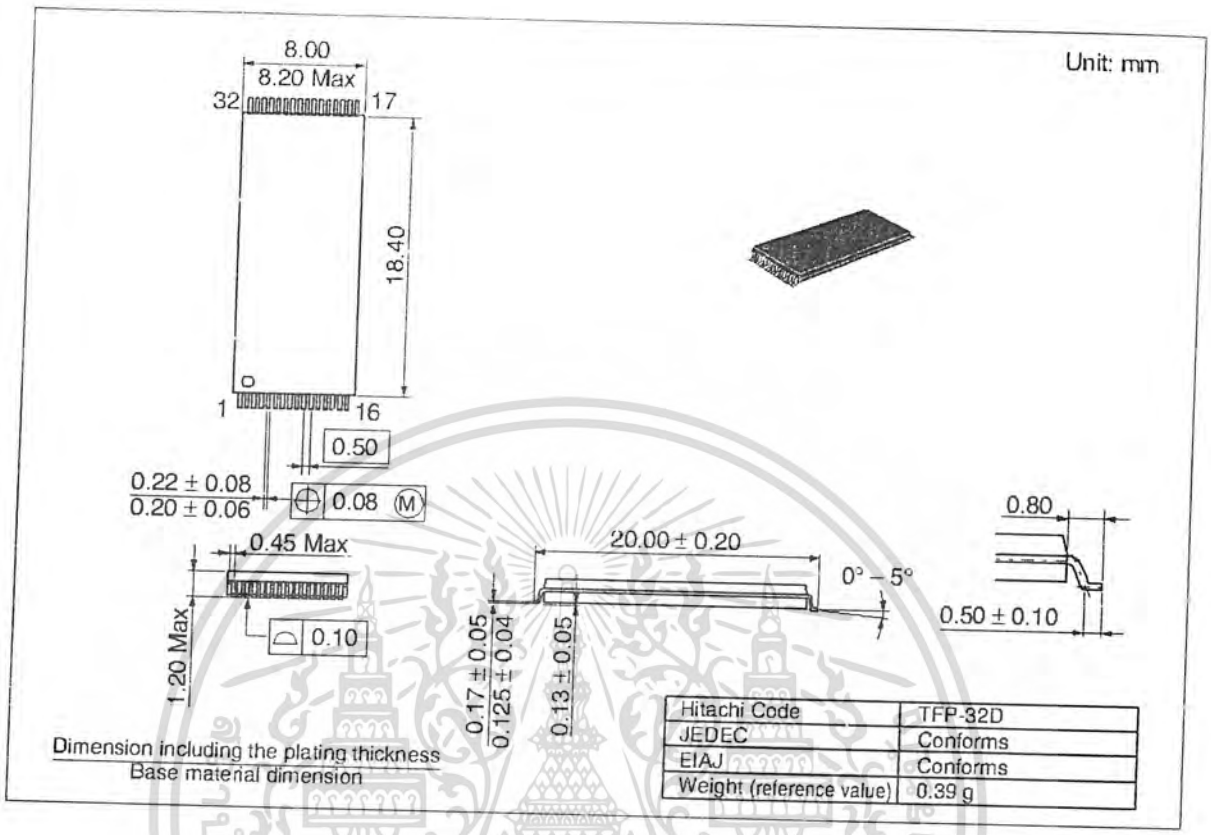


Hitachi Code	FP-32D
JEDEC	Conforms
EIAJ	—
Weight (reference value)	1.3 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions (cont.)

HM628128BLT Series (TFP-32D)

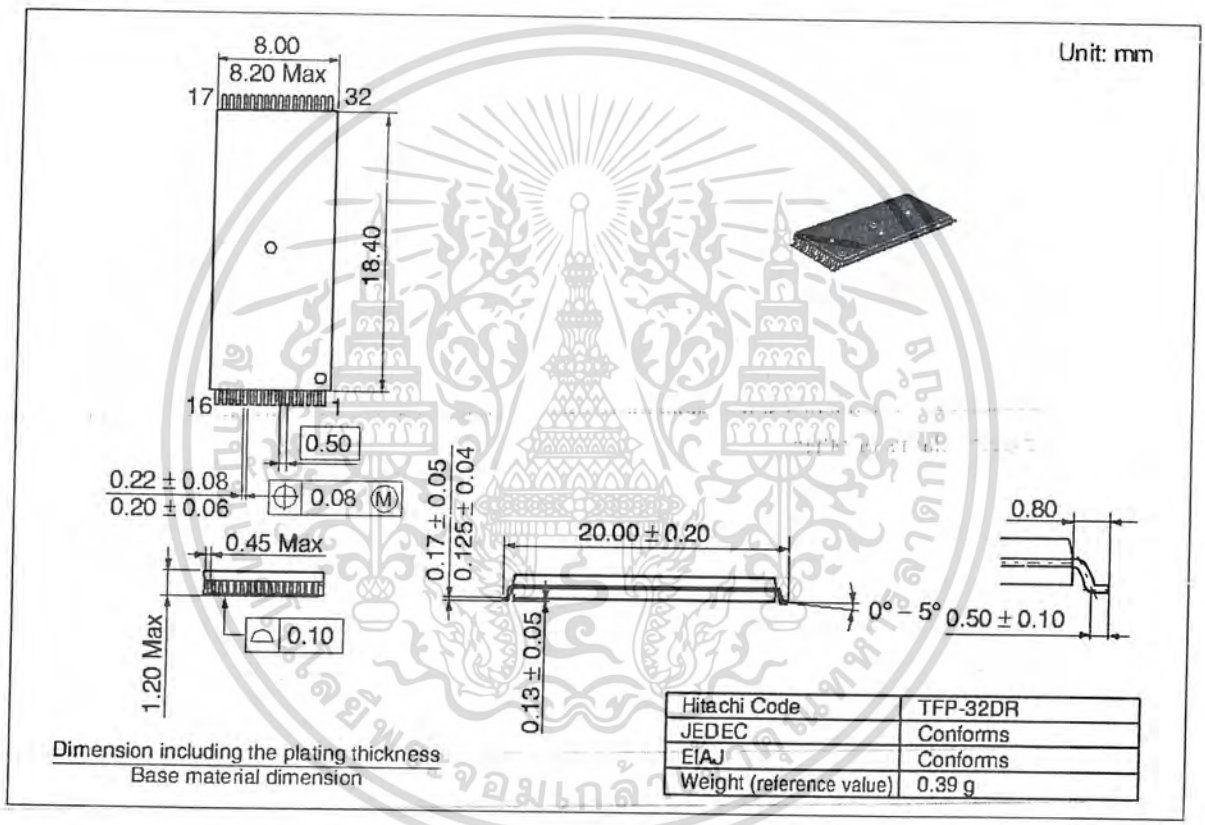


Hitachi Code	TFP-32D
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	0.39 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions (cont.)

HM628128BLR Series (TFP-32DR)



Hitachi Code	TFP-32DR
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	0.39 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When using this document, keep the following in mind:

1. This document may, wholly or partially, be subject to change without notice.
2. All rights are reserved: No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without Hitachi's permission.
3. Hitachi will not be held responsible for any damage to the user that may result from accidents or any other reasons during operation of the user's unit according to this document.
4. Circuitry and other examples described herein are meant merely to indicate the characteristics and performance of Hitachi's semiconductor products. Hitachi assumes no responsibility for any intellectual property claims or other problems that may result from applications based on the examples described herein.
5. No license is granted by implication or otherwise under any patents or other rights of any third party or Hitachi, Ltd.
6. MEDICAL APPLICATIONS: Hitachi's products are not authorized for use in MEDICAL APPLICATIONS without the written consent of the appropriate officer of Hitachi's sales company. Such use includes, but is not limited to, use in life support systems. Buyers of Hitachi's products are requested to notify the relevant Hitachi sales offices when planning to use the products in MEDICAL APPLICATIONS.

HITACHI

Hitachi, Ltd.
Semiconductor & IC Div.
Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100, Japan
Tel: Tokyo (03) 3270-2111
Fax: (03) 3270-5109

For further information write to:

Hitachi America, Ltd.
Semiconductor & IC Div.
2000 Sierra Point Parkway
Brisbane, CA. 94005-1835
U S A
Tel: 415-589-8300
Fax: 415-583-4207

Hitachi Europe GmbH
Continental Europe
Dornacher Straße 3
D-85622 Feldkirchen
München
Tel: 089-9 91 80-0
Fax: 089-9 29 30-00

Hitachi Europe Ltd.
Electronic Components Div.
Northern Europe Headquarters
Whitebrook Park
Lower Cookham Road
Maidenhead
Berkshire SL6 8YA
United Kingdom
Tel: 01628-585000
Fax: 01628-585160

Hitachi Asia Pte. Ltd.
16 Collyer Quay #20-00
Hitachi Tower
Singapore 049318
Tel: 535-2100
Fax: 535-1533

Hitachi Asia (Hong Kong) Ltd.
Unit 706, North Tower,
World Finance Centre,
Harbour City, Canton Road
Tsim Sha Tsui, Kowloon
Hong Kong
Tel: 27359218
Fax: 27306071

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Copyright © Hitachi, Ltd. 1997. All rights reserved. Printed in Japan.

Revision Record

Rev.	Date	Contents of Modification	Drawn by	Approved by
0.0	Oct. 5, 1994	Initial issue	M. Higuchi	K. Yoshizaki
1.0	Dec. 20, 1994	DC Characteristics I_{CC} max: 15 mA to 25 mA I_{CC2} typ: 5 mA to 10 mA I_{CC2} max: 10 mA to 20 mA	M. Higuchi	K. Yoshizaki
2.0	Mar. 20, 1995	Low Vcc Data Retention Characteristics Addition of note 3: typical values at V_{CC} = 3.0 V, Ta = +25°C and not guaranteed	M. Higuchi	K. Yoshizaki
3.0	Aug. 10, 1996	Change of format Addition of HM628128B-10/10SL Series AC Characteristics Change order of note.	M. Higuchi	K. Yoshizaki
4.0	Jul. 1, 1997	Addition of HM628128B-75 Series DC Characteristics V_{OH} Test condition: −0.1 mA to −1.0 mA	M. Higuchi	K. Imato
5.0	Nov. 1997	Change of Subtitle		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

March 1998

FAIRCHILD
SEMICONDUCTOR TM

74F160A • 74F162A
Synchronous Presettable BCD Decade Counter

General Description

The 'F160A and 'F162A are high-speed synchronous decade counters operating in the BCD (8421) sequence. They are synchronously presettable for applications in programmable dividers. There are two types of Count Enable inputs plus a Terminal Count output for versatility in forming synchronous multistage counters. The 'F160A has an asynchronous Master Reset input that overrides all other inputs and forces the outputs LOW. The 'F162A has a Synchronous Reset input that overrides counting and parallel loading and allows all outputs to be simultaneously reset on the rising edge of the clock. The 'F160A and 'F162A are high speed versions of the 'F160 and 'F162.

Features

- Synchronous counting and loading
- High-speed synchronous expansion
- Typical count rate of 120 MHz
- Guaranteed 4000V minimum ESD protection

Ordering Code:

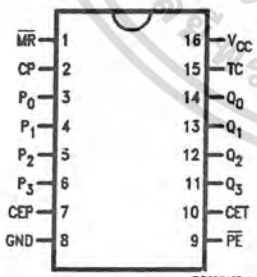
Commercial	Military	Package Number	Package Description
74F160APC		N16E	16-Lead (0.300" Wide) Molded Dual-in-Line
	54F160ADM (Note 2)	J16A	16-Lead Ceramic Dual-in-Line
74F160ASC (Note 1)		M16A	16-Lead (0.150" Wide) Molded Small Outline, JEDEC
74F160ASJ (Note 1)		M16D	16-Lead (0.300" Wide) Molded Small Outline, EIAJ
	54F160AFM (Note 2)	W16A	16-Lead Cerpack
	54F160ALM (Note 2)	E20A	20-Lead Ceramic Leadless Chip Carrier, Type C
74F162APC		N16E	16-Lead (0.300" Wide) Molded Dual-in-Line
74F162ASC (Note 1)		M16A	16-Lead (0.150" Wide) Molded Small Outline, JEDEC
74F162ASJ (Note 1)		M16D	16-Lead (0.300" Wide) Molded Small Outline, EIAJ

Note 1: Devices also available in 13" reel. Use suffix = SCX and SJX.

Note 2: Military grade device with environmental and burn-in processing. Use suffix = DMQB, FMQB and LMQB.

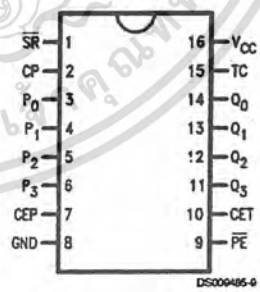
Connection Diagrams

Pin Assignment for DIP, SOIC and Flatpak



DS009485-1

'F162A



DS009485-9

© 1998 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Symbols

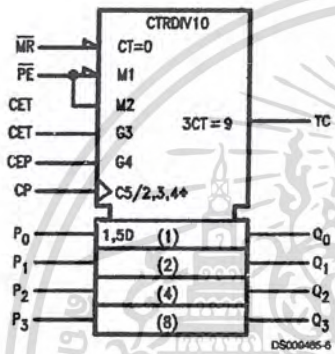
'F160A

'F162A

DS009485-3

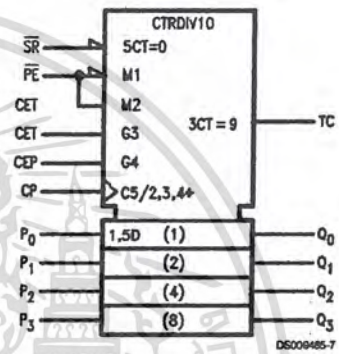
DS009485-8

IEEE/IEC
'F160A



DS009485-6

'F162A



DS009485-7

Unit Loading/Fan Out

Pin Names	Description	54F/74F	
		U.L. HIGH/LOW	Input I_{IH}/I_{IL} Output I_{OH}/I_{OL}
CEP	Count Enable Parallel Input	1.0/1.0	20 µA/−0.6 mA
CET	Count Enable Trickle Input	1.0/2.0	20 µA/−1.2 mA
CP	Clock Pulse Input (Active Rising Edge)	1.0/1.0	20 µA/−0.6 mA
$\overline{MR}$ ('F160A)	Asynchronous Master Reset Input (Active LOW)	1.0/1.0	20 µA/−0.6 mA
$\overline{SR}$ ('F162A)	Synchronous Reset Input (Active LOW)	1.0/2.0	20 µA/−1.2 mA
P_0–P_3	Parallel Data Inputs	1.0/1.0	20 µA/−0.6 mA
$\overline{PE}$	Parallel Enable Input (Active LOW)	1.0/2.0	20 µA/−1.2 mA
Q_0–Q_3	Flip-Flop Outputs	50/33.3	−1 mA/20 mA
TC	Terminal Count Output	50/33.3	−1 mA/20 mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The 'F160A and 'F162A count modulo-10 in the BCD (8421) sequence. From state 9 (HLLH) they increment to state 0 (LLLL). The clock inputs of all flip-flops are driven in parallel through a clock buffer. Thus all changes of the Q outputs (except due to Master Reset of the ('F160A) occur as a result of, and synchronous with, the LOW-to-HIGH transition of the CP input signal. The circuits have four fundamental modes of operation, in order of precedence: asynchronous reset ('F160A), synchronous reset ('F162A), parallel load, count-up and hold. Five control inputs—Master Reset ($\overline{MR}$, 'F160A), Synchronous Reset ($\overline{SR}$, 'F162A), Parallel Enable ($\overline{PE}$), Count Enable Parallel (CEP) and Count Enable Trickle (CET)—determine the mode of operation, as shown in the Mode Select Table. A LOW signal on $\overline{MR}$ overrides all other inputs and asynchronously forces all outputs LOW. A LOW signal on $\overline{SR}$ overrides counting and parallel loading and allows all outputs to go LOW on the next rising edge of CP. A LOW signal on $\overline{PE}$ overrides counting and allows information on the Parallel Data (P_n) inputs to be loaded into the flip-flops on the next rising edge of CP. With $\overline{PE}$ and $\overline{MR}$ ('F160A) or $\overline{SR}$ ('F162A) HIGH, CEP and CET permit counting when both are HIGH. Conversely, a LOW signal on either CEP or CET inhibits counting.

The 'F160A and 'F162A use D-type edge-triggered flip-flops and changing the $\overline{SR}$, $\overline{PE}$, CEP and CET inputs when the CP is in either state does not cause errors, provided that the recommended setup and hold times, with respect to the rising edge of CP, are observed.

The Terminal Count (TC) output is HIGH when CET is HIGH and counter is in state 9. To implement synchronous multistage counters, the TC outputs can be used with the CEP and CET inputs in two different ways. Please refer to the 'F568 data sheet. The TC output is subject to decoding spikes due to internal race conditions and is therefore not recommended for use as a clock or asynchronous reset for flip-flops, counters or registers. In the 'F160A and 'F162A decade counters, the TC output is fully decoded and can only be HIGH in state 9. If a decade counter is preset to an illegal state, or assumes an illegal state when power is applied, it will return to the normal sequence within two counts, as shown in the State Diagram.

Logic Equations:

$$\text{Count Enable} = \text{CEP} \times \text{CET} \times \overline{\text{PE}}$$

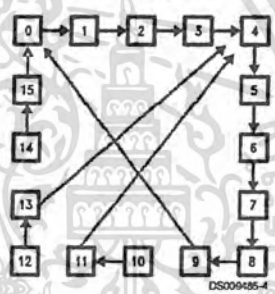
$$\text{TC} = Q_0 \times \overline{Q}_1 \times \overline{Q}_2 \times Q_3 \times \text{CET}$$

Mode Select Table

*$\overline{SR}$	$\overline{PE}$	CET	CEP	Action on the Rising Clock Edge (↗)
L	X	X	X	Reset (Clear)
H	L	X	X	Load ($P_n \rightarrow Q_n$)
H	H	H	H	Count (Increment)
H	H	L	X	No Change (Hold)
H	H	X	L	No Change (Hold)

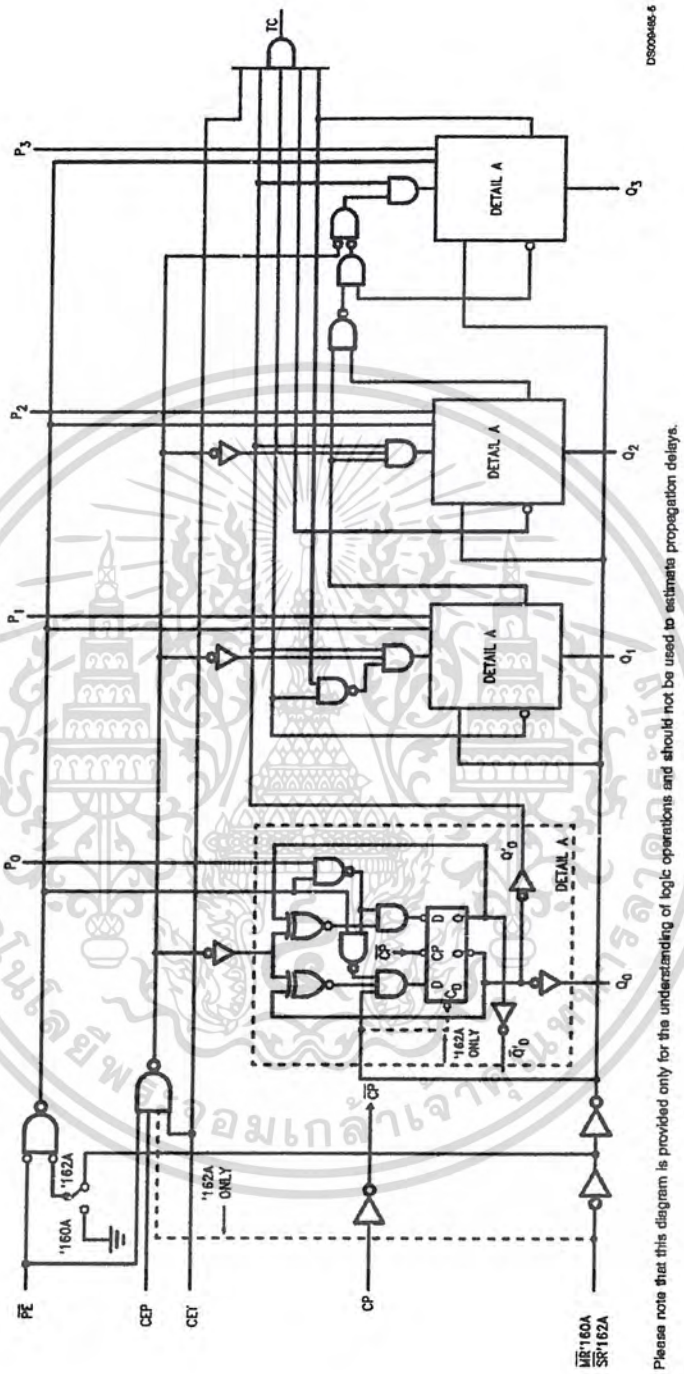
*For 'F162A only
H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

State Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 3)

Storage Temperature	−65°C to +150°C
Ambient Temperature under Bias	−55°C to +125°C
Junction Temperature under Bias	−55°C to +175°C
Plastic	−55°C to +150°C
V_{CC} Pin Potential to Ground Pin	−0.5V to +7.0V
Input Voltage (Note 4)	−0.5V to +7.0V
Input Current (Note 4)	−30 mA to +5.0 mA
Voltage Applied to Output in HIGH State (with V_{CC} = 0V)	
Standard Output	−0.5V to V_{CC}
3-STATE Output	−0.5V to +5.5V
Current Applied to Output in LOW State (Max)	twice the rated I_{OL} (mA)
ESD Last Passing Voltage (Min)	4000V

Recommended Operating Conditions

Free Air Ambient Temperature	
Military	−55°C to +125°C
Commercial	0°C to +70°C
Supply Voltage	
Military	+4.5V to +5.5V
Commercial	+4.5V to +5.5V

Note 3: Absolute maximum ratings are values beyond which the device may be damaged or have its useful life impaired. Functional operation under these conditions is not implied.

Note 4: Either voltage limit or current limit is sufficient to protect inputs.

DC Electrical Characteristics

Symbol	Parameter		54F/74F Min	54F/74F Typ	54F/74F Max	Units	V_{CC}	Conditions
V_{IH}	Input HIGH Voltage		2.0			V		Recognized as a HIGH Signal
V_{IL}	Input LOW Voltage				0.8	V		Recognized as a LOW Signal
V_{CD}	Input Clamp Diode Voltage				−1.2	V	Min	I_{IN} = −18 mA
V_{OH}	Output HIGH Voltage	54F 10% V_{CC}	2.5					I_{OH} = −1 mA
		74F 10% V_{CC}	2.5			V	Min	I_{OH} = −1 mA
		74F 5% V_{CC}	2.7					I_{OH} = −1 mA
V_{OL}	Output LOW Voltage	54F 10% V_{CC}			0.5	V	Min	I_{OL} = 20 mA
		74F 10% V_{CC}			0.5			I_{OL} = 20 mA
I_{IH}	Input HIGH Current	54F			20.0	µA	Max	V_{IN} = 2.7V
		74F			5.0			
I_{BVI}	Input HIGH Current Breakdown Test	54F			100	µA	Max	V_{IN} = 7.0V
		74F			7.0			
I_{CEX}	Output HIGH Leakage Current	54F			250	µA	Max	V_{OUT} = V_{CC}
		74F			50			
V_{ID}	Input Leakage Test	74F	4.75			V	0.0	I_{ID} = 1.9 µA All Other Pins Grounded
I_{OD}	Output Leakage Circuit Current	74F			3.75	µA	0.0	V_{IOD} = 150 mV All Other Pins Grounded
I_{IL}	Input LOW Current				−0.6	mA	Max	V_{IN} = 0.5V (CP, CEP, P_n, $\overline{MR}$ ('F160A))
					−1.2	mA	Max	V_{IN} = 0.5V (CET, $\overline{SR}$ ('F162A), $\overline{PE}$)
I_{OS}	Output Short-Circuit Current		−60		−150	mA	Max	V_{OUT} = 0V
I_{CC}	Power Supply Current			37	55	mA	Max	V_O = HIGH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics

Symbol	Parameter	74F $T_A = +25°C$ $V_{CC} = +5.0V$ $C_L = 50$ pF			54F T_A, V_{CC} = Mil $C_L = 50$ pF		74F T_A, V_{CC} = Com $C_L = 50$ pF		Units
		Min	Typ	Max	Min	Max	Min	Max	
f_{max}	Maximum Count Frequency	90	120		75		80		MHz
t_{PLH}	Propagation Delay, Count	3.5	5.5	7.5	3.5	9.0	3.5	8.5	ns
t_{PHL}	CP to Q_n ($\overline{PE}$ Input HIGH)	3.5	7.5	10.0	3.5	11.5	3.5	11.0	
t_{PLH}	Propagation Delay, Load	4.0	6.0	8.5	4.0	10.0	4.0	9.5	ns
t_{PHL}	CP to Q_n ($\overline{PE}$ Input LOW)	4.0	6.0	8.5	4.0	10.0	4.0	9.5	
t_{PLH}	Propagation Delay	5.0	10.0	14.0	5.0	16.5	5.0	15.0	ns
t_{PHL}	CP to TC	5.0	10.0	14.0	5.0	15.5	5.0	15.0	
t_{PLH}	Propagation Delay	2.5	4.5	7.5	2.5	9.0	2.5	8.5	ns
t_{PHL}	CET to TC	2.5	4.5	7.5	2.5	9.0	2.5	8.5	
t_{PHL}	Propagation Delay $\overline{MR}$ to Q_n ('F160A)	5.5	9.0	12.0	5.5	14.0	5.5	13.0	ns
t_{PHL}	Propagation Delay $\overline{MR}$ to TC ('F160A)	4.5	8.0	10.5	4.5	12.5	4.5	11.5	ns

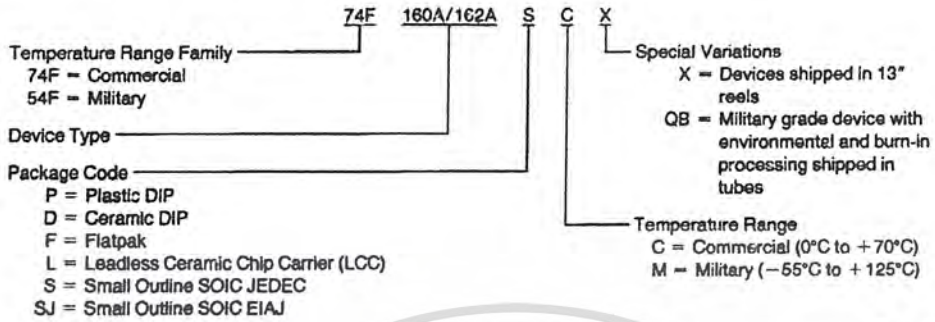
AC Operating Requirements

Symbol	Parameter	74F $T_A = +25°C$ $V_{CC} = +5.0V$		54F T_A, V_{CC} = Mil		74F T_A, V_{CC} = Com		Units
		Min	Max	Min	Max	Min	Max	
$t_s(H)$	Setup Time, HIGH or LOW	4.0		5.5		4.0		ns
$t_s(L)$	P_n to CP ('F160A)	5.0		5.5		5.0		
$t_s(H)$	Setup Time, HIGH or LOW	5.0				5.0		ns
$t_s(L)$	P_n to CP ('F162A)	5.0				5.0		
$t_h(H)$	Hold Time, HIGH or LOW	2.0		2.5		2.0		
$t_h(L)$	P_n to CP	2.0		2.5		2.0		
$t_s(H)$	Setup Time, HIGH or LOW	11.0		13.5		11.5		ns
$t_s(L)$	$\overline{PE}$ or $\overline{SR}$ to CP	8.5		10.5		9.5		
$t_h(H)$	Hold Time, HIGH or LOW	2.0		2.0		2.0		
$t_h(L)$	$\overline{PE}$ or $\overline{SR}$ to CP	0		0		0		
$t_s(H)$	Setup Time, HIGH or LOW	11.0		13.0		11.5		ns
$t_s(L)$	CEP or CET to CP	5.0		6.0		5.0		
$t_h(H)$	Hold Time, HIGH or LOW	0		0		0		
$t_h(L)$	CEP or CET to CP	0		0		0		
$t_w(H)$	Clock Pulse Width (Load)	5.0		5.0		5.0		ns
$t_w(L)$	HIGH or LOW	5.0		5.0		5.0		
$t_w(H)$	Clock Pulse Width (Count)	4.0		5.0		4.0		ns
$t_w(L)$	HIGH or LOW	6.0		8.0		7.0		
$t_w(L)$	$\overline{MR}$ Pulse Width, LOW ('F160A)	5.0		5.0		5.0		
t_{rec}	Recovery Time $\overline{MR}$ to CP ('F160A)	6.0		6.0		6.0		ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

The device number is used to form part of a simplified purchasing code where the package type and temperature range are defined as follows:

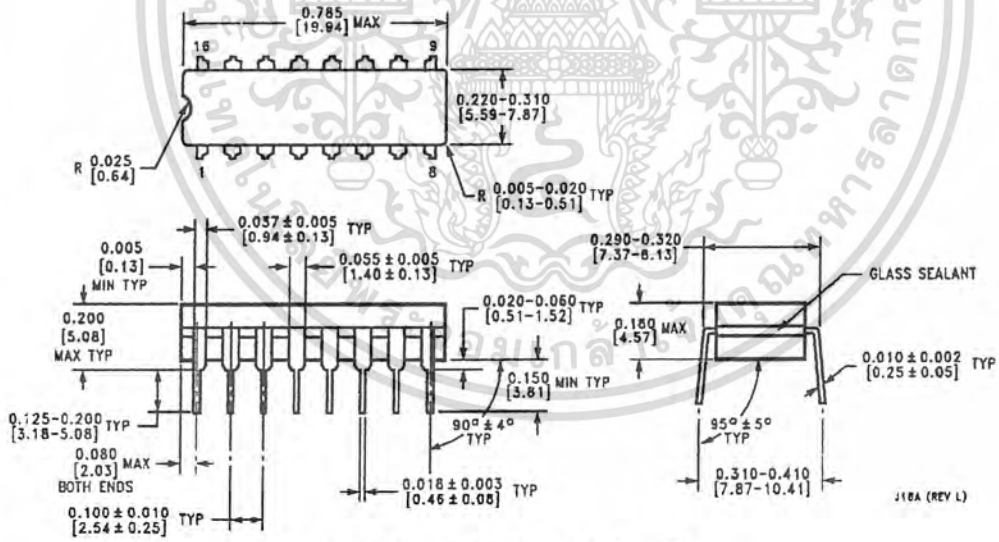


DS009485-12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted

20-Lead Ceramic Leadless Chip Carrier (L)
Package Number E20A



16 Lead Ceramic Dual-In-Line Package (D)
Package Number J16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

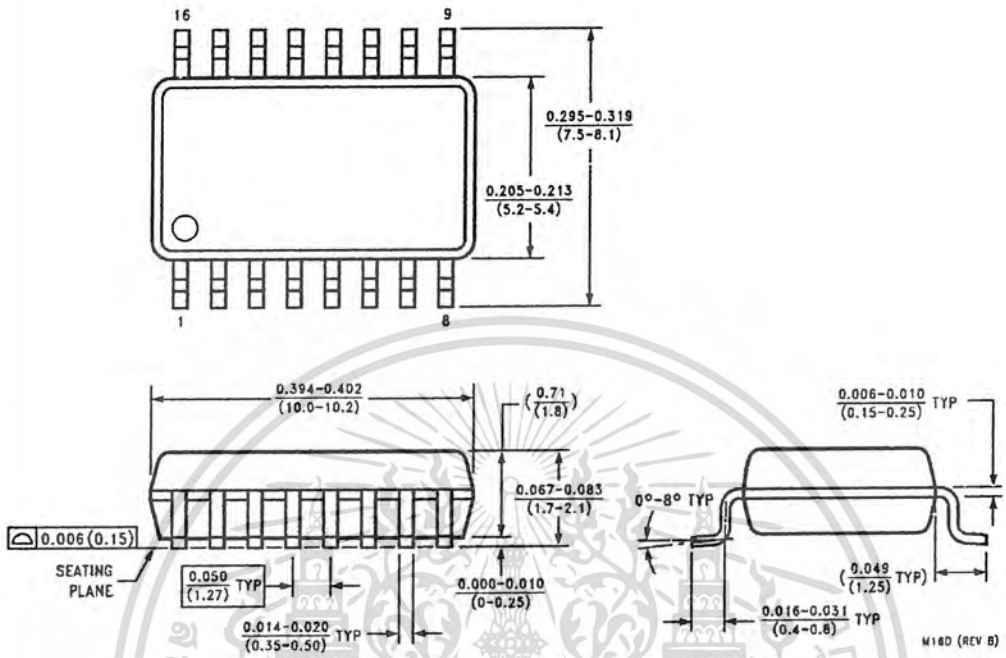
Physical Dimensions inches (millimeters) unless otherwise noted (Continued)

16-Lead (0.150" Wide) Molded Small Outline Package, JEDEC (S)
Package Number M16A

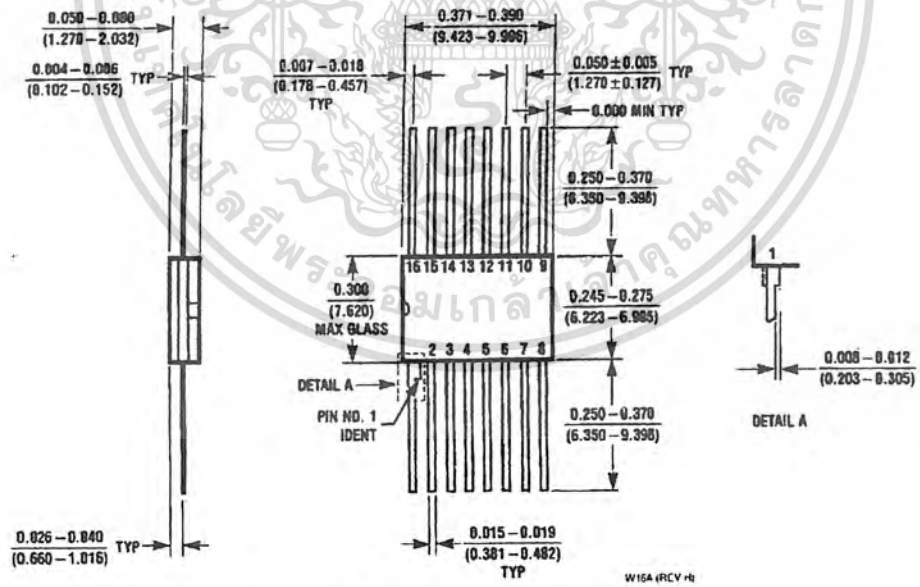
16-Lead (0.300" Wide) Molded Dual-In-Line Package (P)
Package Number N16E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



16-Lead (0.300" Wide) Molded Small Outline Package, EIAJ (SJ)
Package Number M16D



16 Lead Ceramic Flatpak (F)
Package Number W16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

Fairchild Semiconductor Corporation
Americas
Customer Response Center
Tel: 1-888-522-5372

Fairchild Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: eurooe.support@nsc.com
Deutsch Tel: +49 (0) 8 141-35-0
English Tel: +44 (0) 1 793-85-68-56
Italy Tel: +39 (0) 2 57 5631

Fairchild Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: +852 2737-7200
Fax: +852 2314-0061

National Semiconductor Japan Ltd.
Tel: 81-3-5620-6175
Fax: 81-3-5620-6179

www.fairchildsemi.com

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

December 1994

LM160/LM360 High Speed Differential Comparator

General Description

The LM160/LM360 is a very high speed differential input, complementary TTL output voltage comparator with improved characteristics over the μA760/μA760C, for which it is a pin-for-pin replacement. The device has been optimized for greater speed, input impedance and fan-out, and lower input offset voltage. Typically delay varies only 3 ns for overdrive variations of 5 mV to 400 mV.

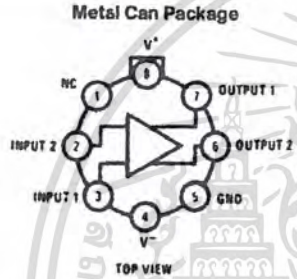
Complementary outputs having minimum skew are provided. Applications involve high speed analog to digital convertors and zero-crossing detectors in disk file systems.

Features

- Guaranteed high speed — 20 ns max
- Tight delay matching on both outputs
- Complementary TTL outputs
- High input impedance
- Low speed variation with overdrive variation
- Fan-out of 4
- Low input offset voltage
- Series 74 TTL compatible

Connection Diagrams

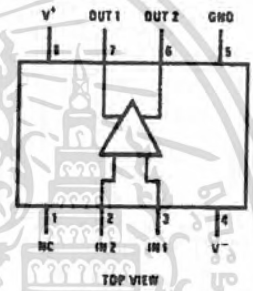
Metal Can Package



TL/H/5707–4

Order Number LM160H/883* or LM360H
See NS Package Number H08C

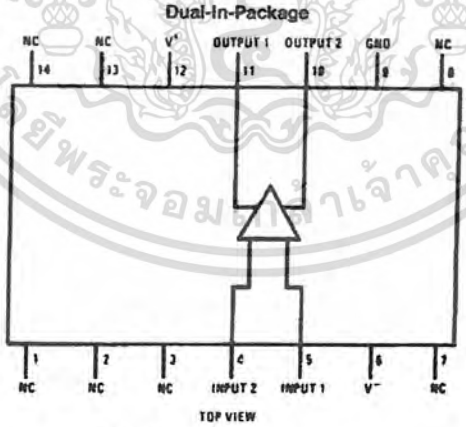
Dual-In-Line Package



TL/H/5707–5

Order Number LM160J/883*, LM360M or LM360N
See NS Package Number J08A, M08A or N08E

Dual-In-Package



TL/H/5707–6

Order Number LM160J-14/883*
See NS Package Number J14A

*Also available in SMD # 5962-8767401

©1995 National Semiconductor Corporation

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 5)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

(Note 7)

Positive Supply Voltage	+8V
Negative Supply Voltage	−8V
Peak Output Current	20 mA
Differential Input Voltage	±5V
Input Voltage	$V^+ \geq V_{IN} \geq V^-$
ESD Tolerance (Note 8)	1600V

Operating Temperature Range	
LM160	−55°C to +125°C
LM360	0°C to +70°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 sec.)	260°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 seconds)	260°C
Small Outline Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics ($T_{MIN} \leq T_A \leq T_{MAX}$)

Parameter	Conditions	Min	Typ	Max	Units
Operating Conditions					
Supply Voltage V_{CC}^+		4.5	5	6.5	V
Supply Voltage V_{CC}^-		−4.5	−5	−6.5	V
Input Offset Voltage	$R_S \leq 200\Omega$		2	5	mV
Input Offset Current			0.5	3	μA
Input Bias Current			5	20	μA
Output Resistance (Either Output)	$V_{OUT} = V_{OH}$		100		Ω
Response Time	$T_A = 25°C$, $V_S = \pm 5V$ (Notes 1, 6)		13	25	ns
	$T_A = 25°C$, $V_S = \pm 5V$ (Notes 2, 6)		12	20	ns
	$T_A = 25°C$, $V_S = \pm 5V$ (Notes 3, 6)		14		ns
Response Time Difference between Outputs					
(t_{pd} of $+V_{IN1}$) − (t_{pd} of $-V_{IN2}$)	$T_A = 25°C$ (Notes 1, 6)		2		ns
(t_{pd} of $+V_{IN2}$) − (t_{pd} of $-V_{IN1}$)	$T_A = 25°C$ (Notes 1, 6)		2		ns
(t_{pd} of $+V_{IN1}$) − (t_{pd} of $+V_{IN2}$)	$T_A = 25°C$ (Notes 1, 6)		2		ns
(t_{pd} of $-V_{IN1}$) − (t_{pd} of $-V_{IN2}$)	$T_A = 25°C$ (Notes 1, 6)		2		ns
Input Resistance	f = 1 MHz		17		kΩ
Input Capacitance	f = 1 MHz		3		pF
Average Temperature Coefficient of Input Offset Voltage	$R_S = 50\Omega$		8		μV/°C
Average Temperature Coefficient of Input Offset Current			7		nA/°C
Common Mode Input Voltage Range	$V_S = \pm 6.5V$	±4	±4.5		V
Differential Input Voltage Range		±5			V
Output High Voltage (Either Output)	$I_{OUT} = -320\ \mu A$, $V_S = \pm 4.5V$	2.4	3		V
Output Low Voltage (Either Output)	$I_{SINK} = 6.4$ mA		0.25	0.4	V
Positive Supply Current	$V_S = \pm 6.5V$		18	32	mA
Negative Supply Current	$V_S = \pm 6.5V$		−9	−16	mA

Note 1: Response time measured from the 50% point of a 30 mVp-p 10 MHz sinusoidal input to the 50% point of the output.

Note 2: Response time measured from the 50% point of a 2 Vp-p 10 MHz sinusoidal input to the 50% point of the output.

Note 3: Response time measured from the start of a 100 mV input step with 5 mV overdrive to the time when the output crosses the logic threshold.

Note 4: Typical thermal impedances are as follows:

Cavity DIP (J):	θ_{JA}	135°C/W	Header (H)	θ_{JA}	165°C/W	(Still Air)
Molded DIP (N):	θ_{JA}	130°C/W			67°C/W	(400 LF/min Air Flow)
				θ_{JC}	25°C/W	

Note 5: The device may be damaged if used beyond the maximum ratings.

Note 6: Measurements are made in AC Test Circuit, Fanout = 1

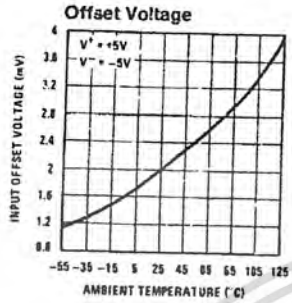
Note 7: Refer to RETS 160X for LM160H, LM160J-14 and LM160J military specifications.

Note 8: Human body model, 1.5 kΩ in series with 100 pF.

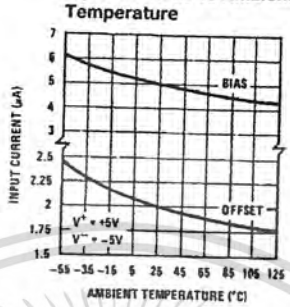
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

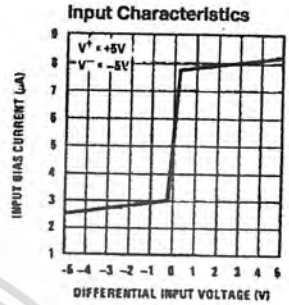
Offset Voltage



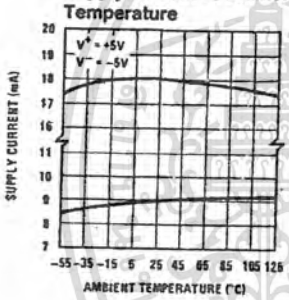
Input Currents vs Ambient Temperature



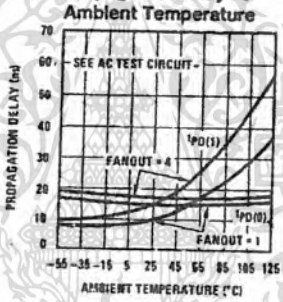
Input Characteristics



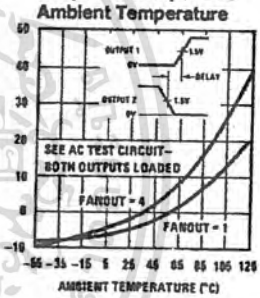
Supply Current vs Ambient Temperature



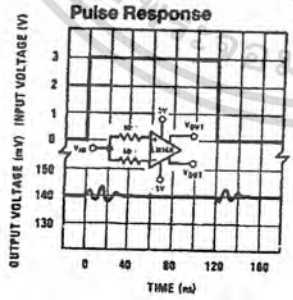
Propagation Delay vs Ambient Temperature



Delay of Output 1 With Respect to Output 2 vs Ambient Temperature

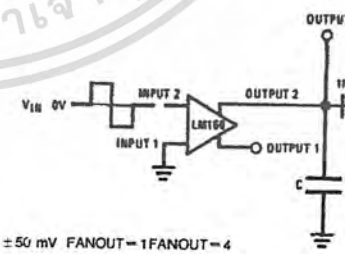


Common-Mode Pulse Response



TL/H/5707–2

AC Test Circuit

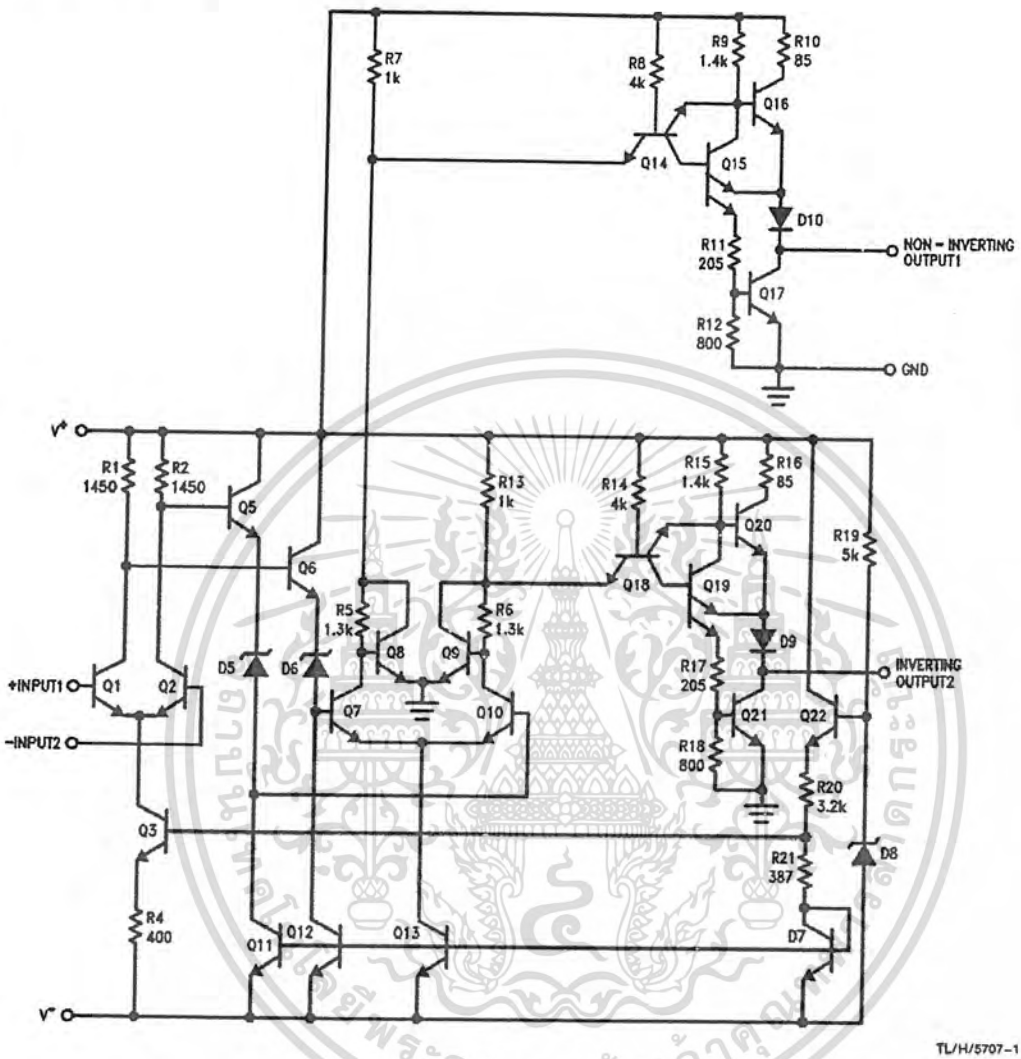


V_{IN} = ±50 mV FANOUT = 1 FANOUT = 4
V^+ = +5V R = 2.4k R = 630Ω
V^- = −5V C = 15 pF C = 30 pF

TL/H/5707–3

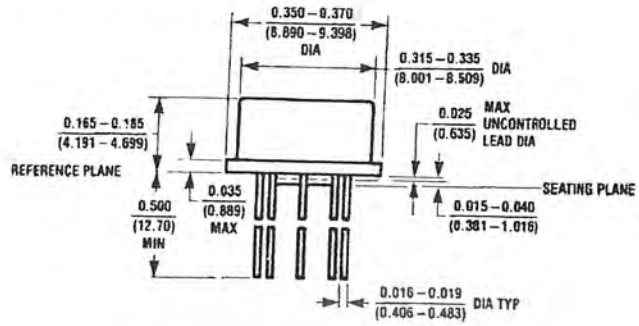
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

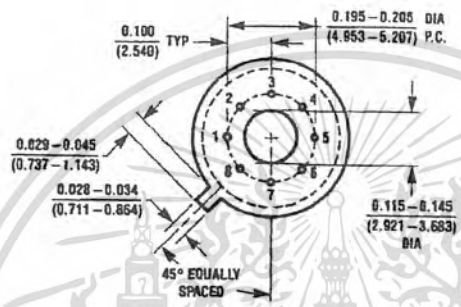
Schematic Diagram



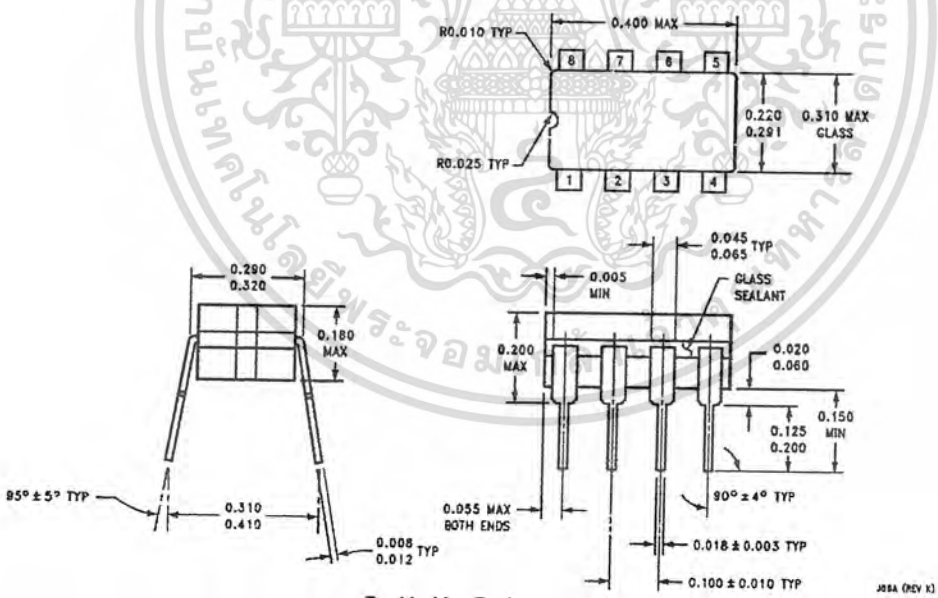
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)





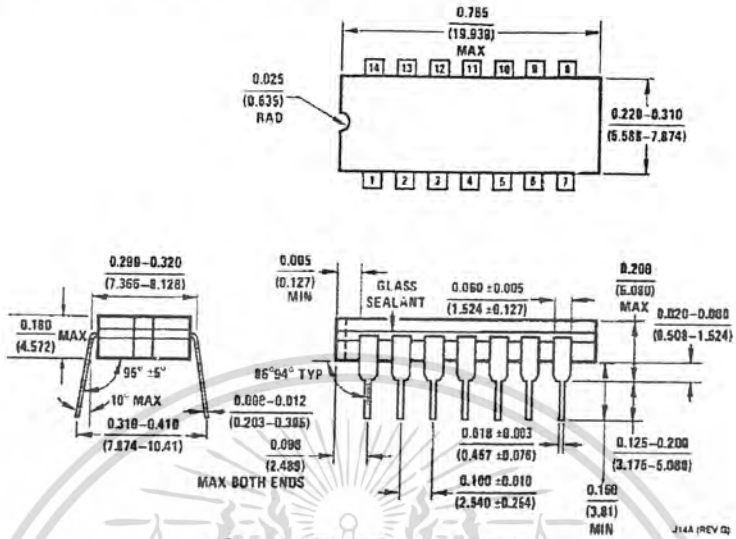
Metal Can Package (H)
Order Number LM160H/883 or LM360H
NS Package Number H08C



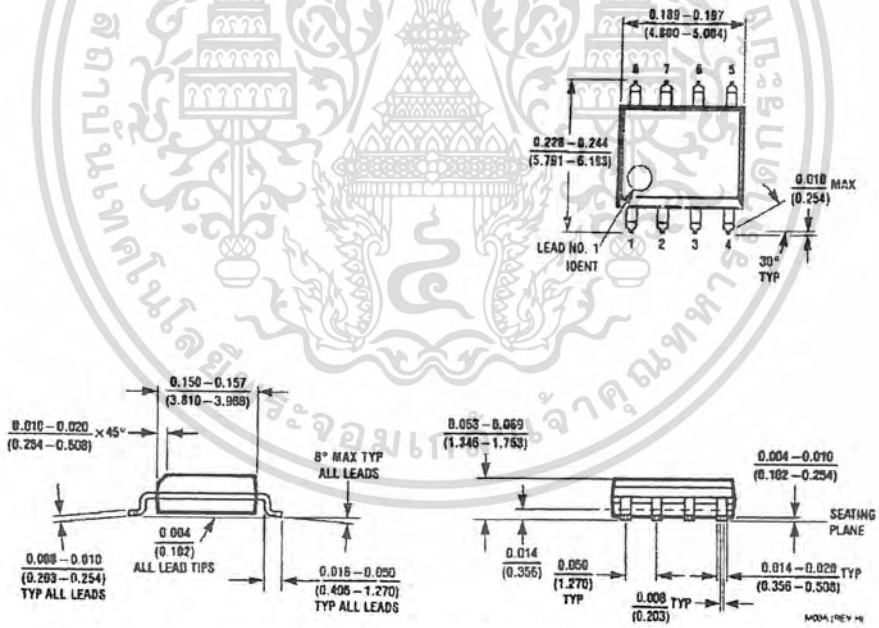
Dual In-Line Package (J)
Order Number LM160J/883
NS Package Number J08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



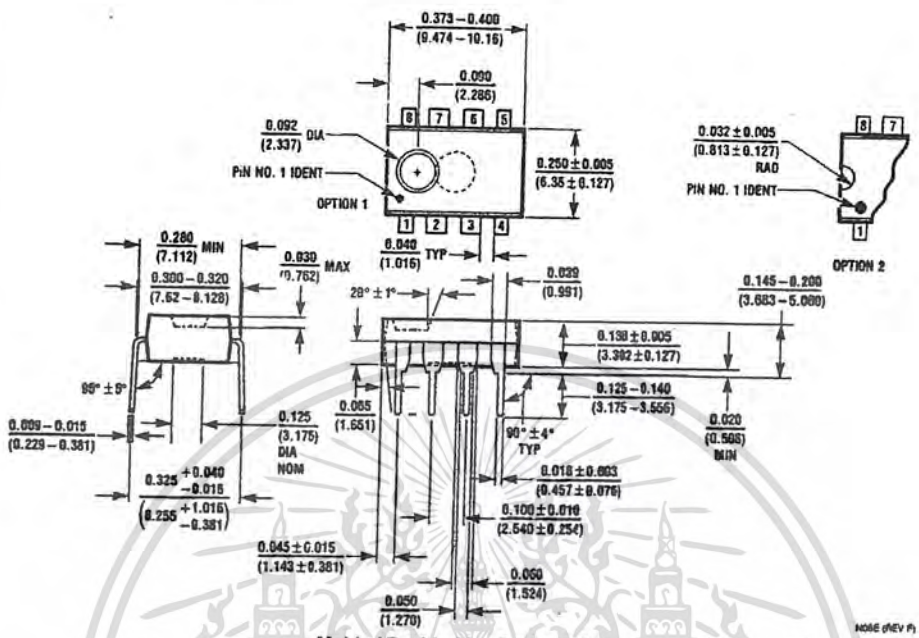
Ceramic Dual-In-Line Package (J)
Order Number LM160J-14/883
NS Package Number J14A



Molded Dual-In-Line Package (M)
Order Number LM360M
NS Package Number M08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



Molded Dual-In-Line Package (N)
Order Number LM360N
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้