สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบบริการข้อมูลอัตโนมัติโดยใช้ PC

AUTOMATIC DATA SERVICE SYSTEM BASED ON PC

โดย

นาย ชินวัฒน์ อินทรฤทธิ์

นาย อนุวัตร์ สมบุญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เลขหมู่.....
เลขทะเบียน 32574
วัน, เดือน, ปี 18 พ.ค. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบบริการข้อมูลอัตโนมัติโดยใช้ PC

AUTOMATIC DATA SERVICE SYSTEM BASED ON PC

โดย

นาย ชินวัฒน์ อินทรฤทธิ์

นาย อนุวัตร์ สมบุญ

อาจารย์ที่ปรึกษา

รศ.ดร. กอบชัย เดชหาญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2541

ภาควิชา วิศวกรรมโทรคมนาคม

คณะ วิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **ระบบบริการข้อมูลอัตโนมัติโดยใช้ PC**

AUTOMATIC DATA SERVICE SYSTEM BASED ON PC

ผู้จัดทำ

1. นาย ชินวัฒน์ อินทรฤทธิ์ 39013005
2. นาย อนุวัตร์ สมบุญ 39013037

_____ อาจารย์ที่ปรึกษา

(รศ.ดร. กอบชัย เดชหาญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบบริการข้อมูลอัตโนมัติโดยใช้ PC

AUTOMATIC DATA SERVICE SYSTEM BASED ON PC

โดย นาย ชินวัฒน์ อินทรฤทธิ์ 39013005
นาย อนุวัตร์ สมบุญ 39013037

อาจารย์ที่ปรึกษา รศ.ดร. กอบชัย เดชหาญ

บทคัดย่อ

ในปัจจุบันเทคโนโลยีสื่อสารทางด้านระบบโทรศัพท์และไมโครคอมพิวเตอร์มีวิวัฒนาการก้าวหน้าเป็นไปอย่างรวดเร็ว ได้มีการนำเอาเทคโนโลยีใหม่ ๆ มาพัฒนาเข้าสู่ระบบสื่อสารทางข้อมูล เช่น การรับ-ส่งจดหมายทางอิเล็กทรอนิกส์ เพื่อที่จะตอบสนองความต้องการข่าวสาร ของมนุษย์ตลอดเวลา ซึ่งในโครงงานนี้เป็นโครงงานระบบบริการข้อมูลอัตโนมัติ (Automatic Data Service System Based on PC) จะเป็นการสอบถามข้อมูลอัตราค่าใช้บริการโทรศัพท์ระหว่างประเทศโดยใช้ไมโครคอมพิวเตอร์ทำหน้าที่เป็นฐานข้อมูล โครงงานนี้ ผู้จัดทำได้ดำเนินการออกแบบโปรแกรมขึ้นมาเองทั้งหมดโปรแกรมพัฒนาขึ้นโดยใช้ภาษาแอสแซมบลี สำหรับ MCS-51 และใช้ Visual Basic สำหรับ ไมโครคอมพิวเตอร์ ซึ่งเป็นการพัฒนาและประยุกต์นำเอาระบบโทรศัพท์ใช้งานร่วมกับไมโครคอมพิวเตอร์

ABSTACT

Now the communication technology concern about the phone system and the microcomputer, they have been developed. The new technology develops the data communication system such as e-mail and etc. Automatic Data Service System Based on PC is a project that is able to ask for the data of international phone service rate by using the micro-controller MCS-51 family. This family controls all operating system and uses the Micro-computer as Data Base. This project presents that process for designing all program. They are developed by using assembly Language for MCS-51 and Visual Basic for micro-computer that is used to develop and supply to bring the phone system incorporating with the micro-computer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	
	1.1 ความเป็นมาของโครงงาน	1
	1.2 หน้าที่ภาคต่าง ๆ ของโครงงาน	1
	1.3 ขอบเขตของโครงงาน	4
	1.4 วัตถุประสงค์ของโครงงาน	4
บทที่ 2	ทฤษฎีและหลักการ	
	2.1 ระบบโทรศัพท์	5
	2.2 มาตรฐานสัญญาณโทรศัพท์	5
	2.3 ระบบการส่งสัญญาณแบบความถี่คู่	6
	2.4 ไมโครคอนโทรเลอร์ MCS-51	8
	2.5 การติดต่อสื่อสารผ่านพอร์ทอนุกรม	29
บทที่ 3	การออกแบบโครงงาน	
	3.1 บทนำ	37
	3.2 ภาควงจรควบคุมระบบ	37
	3.3 ภาควงจรควบคุมสาย	38
	3.4 ภาคของวงจรตรวจจับสัญญาณกระดิ่งโทรศัพท์	38
	3.5 ภาควงจรตรวจจับสัญญาณไม่ว่าง	38
	3.6 ภาควงจรแสดงสถานะสาย	39
	3.7 ภาควงจรถอดรหัสสัญญาณโทรศัพท์	39
	3.8 ภาคของวงจรขยายสัญญาณเสียง	40
	3.9 การออกแบบซอฟต์แวร์	46
	3.10 การออกแบบซอฟต์แวร์ของภาคควบคุมระบบ	48
	3.11 การออกแบบซอฟต์แวร์ของภาคบันทึกฐานข้อมูล	52
บทที่ 4	ผลการทดลองของโครงงาน	
	4.1 การตรวจจับสัญญาณกระดิ่งโทรศัพท์	54
	4.2 ภาคแสดงสถานะสาย	54
	4.3 ภาคควบคุมสาย	54
	4.4 สัญญาณไม่ว่าง	57
	4.5 ภาครับสัญญาณ DTMF	57
บทที่ 5	สรุปผลของโครงงานและแนวทางแก้ไข	60
	ภาคผนวก	
	เอกสารอ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
1.1.1 แสดงบล็อกไดอะแกรมหน้าที่ภาคต่าง ๆ ของระบบ	2
2.2.1 แสดงมาตราฐานของสัญญาณโทรศัพท์	5
2.3.1 แสดงหมายเลขและค่าความถี่ DTMF	6
2.4.1 แสดงบล็อกไดอะแกรมโครสร้างของ MCS-8051	8
2.4.2 แสดงแผนภูมิหน่วยความจำของ MCS-8051	10
2.4.3 แสดงสถาปัตยกรรมภายในของ MCS-8051	12
2.4.4 แสดงไดอะแกรมของขา MCS-51	13
2.4.5 โครงสร้างของพอร์ท 0	14
2.4.6 โครงสร้างของพอร์ท 1	15
2.4.7 โครงสร้างของพอร์ท 2	16
2.4.8 โครงสร้างของพอร์ท 3	17
2.4.9 แสดงค่ารีจิสเตอร์เมื่อเกิดการรีเซ็ท MCS-8051	18
2.4.10 วงจรออสซิลเลเตอร์ภายใน MCS-51	20
2.4.11 รูป MCS-51 ที่ทำงานโดยสัญญาณภายนอก	20
2.4.12 แสดงสถานะการทำงานของ MCS-8051	22
2.4.13 Timing diagram ของการอ่านโปรแกรมจากหน่วยความจำภายนอก	24
2.4.14วงจรที่มีProgramMemoryอยู่ภายนอกMCS-8051	25
2.4.15 Timing diagram การอ่านข้อมูลจากหน่วยความจำของ MCS-8051	26
2.4.16 Timing diagram ของการเขียนข้อมูลไปยังหน่วยความจำของ MCS-8051	27
2.4.17 วงจรที่มีหน่วยความจำสำหรับข้อมูลที่อยู่ภายนอกของ MCS-8051	27
2.4.18 แสดงบล็อกไดอะแกรมตามเวลาของการรีเซ็ท	28
2.5.1 คอนเน็คเตอร์พอร์ทอนุกรม	30
2.5.2 การเชื่อมต่อสายของนัลโมเด็ม	31
2.5.3 รูปคลื่นของการส่งสัญญาณแบบอนุกรมด้วยระดับแรงดันของ TTI/CMOS	35
2.5.4 คลื่นของสัญญาณที่รับส่ง-ผ่านพอร์ท RS-232	35
2.5.5 ลักษณะขาและวงจรภายในของชิฟ RS-232	36
3.2.1 แสดงบล็อกไดอะแกรมของฮาร์ดแวร์ทั้งหมดของระบบ	41
3.4.1 แสดงวงจรภาค Line Control , Ringing Detector , Line Status	42
3.5.1 แสดงวงจรภาค Busy Detector	43
3.7.1 แสดงวงจรภาค DTMF Receiver	44
3.8.1 แสดงวงจรภาค Audio.Amp & Matching	45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.9.1 แสดงสัญญาณการติดต่อทั้งหมดของระบบ	46
3.10.1แสดงขั้นตอนการทำงานของระบบควบคุม MCS-8051	48
3.10.2แสดงการทำงานของโปรแกรม VISUAL BASIC VERSION 5	50
4.1.1 (ก) แสดงสัญญาณกระดิ่ง (Ringing) จากสายโทรศัพท์	55
4.1.1 (ข) แสดงสัญญาณเอาต์พุตของไอซีเบอร์ MC34017 ที่ขา 2	55
4.1.1 (ค) แสดงเปรียบเทียบสัญญาณเอาต์พุต ที่วัดได้จากไอซี MC14093	56
4.2.1 แสดงสัญญาณที่วัดได้ภาค Ringing Detector ภาค Line Status	56
4.4.1 แสดงสัญญาณ Busy Tone จากสายโทรศัพท์	57
4.5.1 แสดงสัญญาณที่ขา STD,Q1-Q4จากการกดหมายเลข 0-9 , * , #	58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
2.3.1แสดงค่าถอดรหัสที่ได้จากความถี่ต่าง ๆ	7
2.5.1 ตำแหน่งขาสัญญาณของพอร์ทอนุกรม	30
2.5.2 หน้าที่ของขา สัญญาณแต่ละเส้น	30
2.5.3 ตำแหน่งมาตราฐานของพอร์ทอนุกรม	32
2.5.4 รีจิสเตอร์ของพอร์ทอนุกรม	32
2.5.5 แสดงอัตราบอดและค่าที่ใช้ในการหาร	32
2.5.6 Interrupt Enable Register	33
2.5.7 Interrupt Identification Register	33
2.5.8 FIFO Control Register	33
2.5.9 Modem Control Register (MCR)	34
2.5.10 Line Control Register	34
2.5.11 Line Status Register	34
2.5.12 Modem Status Register	35
3.10.1 แสดงความหมายของสัญญาณต่างๆของระบบ	51
3.11.1 การจัดเก็บไฟล์ที่เป็นเสียง	53

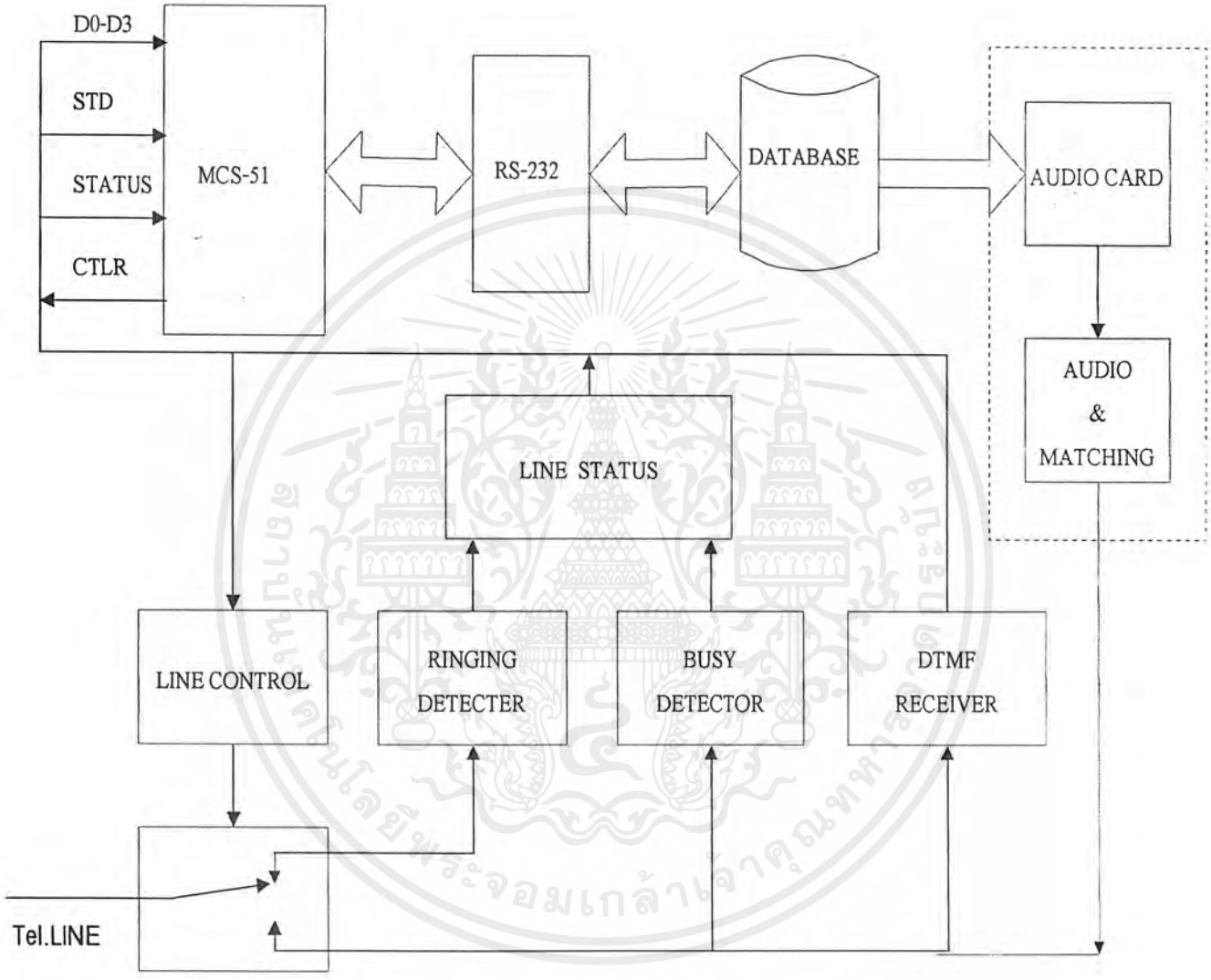
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาของโครงงาน

ในช่วงทศวรรษที่ผ่านมาวิวัฒนาการเทคโนโลยีทางด้านระบบสื่อสารโทรคมนาคมและคอมพิวเตอร์เจริญก้าวหน้าขึ้นอย่างรวดเร็วมีการนำเอาเทคโนโลยีใหม่ๆมาพัฒนาและประยุกต์ใช้เพิ่มขึ้นเป็นจำนวนมาก เพื่อตอบสนองความต้องการอันไร้ขีดจำกัดของมนุษย์ ในยุคข่าวสารข้อมูล (Information Age) การพัฒนาเทคโนโลยีโทรคมนาคมและระบบคอมพิวเตอร์ได้ผลักดันให้เกิดระบบและเครือข่ายสื่อสารโทรคมนาคมและคอมพิวเตอร์รูปแบบใหม่ๆขึ้นมากมายหลายหลาก ซึ่งได้เข้ามามีบทบาทสำคัญต่อเศรษฐกิจและสังคมมนุษย์ การพัฒนารูปแบบใหม่ๆ ของการให้บริการโทรคมนาคมไม่ว่าจะบริการตามสายหรือบริการไร้สาย เช่น บริการโทรศัพท์หรืออินเตอร์เน็ต (INTERNET) ต่างก็เกิดขึ้นเพื่อรองรับการแสวงหาข่าวสารข้อมูลของมนุษย์ให้รวดเร็วทันใจและมีประสิทธิภาพที่สุด ด้วยคุณภาพที่ดีขึ้นและค่าใช้จ่ายต่ำลงกว่าเดิม อย่างไรก็ตามดังที่ได้กล่าวมาแล้วข้างต้นในปัจจุบันเทคโนโลยีสื่อสารโทรคมนาคมทางด้านการบริการโทรศัพท์นับว่ามีความสำคัญสำหรับการติดต่อข่าวสารและจะทวีความสำคัญยิ่งในอนาคต และความก้าวหน้าทางอิเล็กทรอนิกส์ส่งผลให้เกิดการพัฒนาเทคโนโลยีด้านคอมพิวเตอร์ปัจจุบันคอมพิวเตอร์ได้ถูกนำมาใช้ในกิจการโทรคมนาคมซึ่งทำหน้าที่เสมือนสมองของระบบทำหน้าที่ควบคุมสั่งงานจดจำ ดูแลการทำงานของระบบ เพื่อให้บริการเป็นไปอย่างราบรื่นและคล่องตัว การพัฒนาซอฟต์แวร์ (Software) ต่างๆขึ้นมาให้ระบบชุดใช้คอมพิวเตอร์เป็นมันสมองนี้สามารถให้บริการพิเศษต่างๆมากมาย จึงได้นำเอาอุปกรณ์อิเล็กทรอนิกส์เข้ามาใช้วิวัฒนาการเกี่ยวกับการติดต่อข่าวสารพัฒนาเข้าสู่การรับ-ส่งข้อมูลและในปัจจุบันการเดินทางสัญจรและระยะทางในการติดต่อธุรกิจต่างๆของคนในสังคมมีปัญหาเนื่องจากความแออัดคับคั่งของการจราจรมาก ทำให้เกิดการสูญเสียค่าใช้จ่ายด้านต่างๆและเวลามาก ด้วยเหตุนี้จึงทำให้เกิดแนวความคิดซึ่งเป็นที่มาของโครงงานนี้คือ ระบบบริการข้อมูลอัตโนมัติ (Voice Response System) โดยใช้ไมโครคอนโทรลเลอร์ตระกูล MCS_51 เป็นตัวควบคุมการทำงานของระบบทั้งหมดและไมโครคอมพิวเตอร์ เป็นตัวเก็บบันทึกฐานข้อมูล สามารถใช้โทรศัพท์ชนิดกดปุ่ม (Dual Tone Multifrequency) ติดต่อสอบถามได้ทันทีที่ศูนย์ข้อมูล (Database Center) ตามหมายเลขที่โครงงานกำหนดไว้ โดยระบบนี้เป็นระบบอัตโนมัติให้บริการได้ตลอดเวลา ด้วยบริการดังกล่าว จะทำให้เกิดความรวดเร็วสะดวกสบาย ประหยัดค่าใช้จ่ายและช่วยลดปัญหาความคับคั่งของการจลาจรด้วย โดยที่ผู้ใช้บริการไม่ต้องเสียเวลาเดินทางมาติดต่อสอบถามด้วยตัวเอง ซึ่งการพัฒนาและประยุกต์นำเอาระบบโทรศัพท์ร่วมกับระบบคอมพิวเตอร์ มาใช้ในการติดต่อสื่อสารข้อมูล จึงมีบทบาทสำคัญอย่างยิ่งในชีวิตประจำวัน อีกวิธีหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1.1แสดงบล็อกไดอะแกรมหน้าที่ต่าง ๆของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 หน้าที่ภาคต่าง ๆ ของโครงงาน

โครงงานนี้ การออกแบบโครงสร้างและระบบการทำงาน สามารถอธิบายหน้าที่ภาคต่างๆ ของโครงงานเป็นบล็อกไดอะแกรม (Block Diagram) ดังรูปที่ 1.1.1

- ภาคควบคุมระบบ (Control System)

ทำหน้าที่ควบคุมสภาวะการทำงาน การจัดการสัญญาณอินพุต-เอาต์พุตของระบบทั้งหมด โดยใช้ไมโครคอนโทรลเลอร์ตระกูล MCS_51 โดยส่งสัญญาณทางพอรท์อนุกรมไปยังภาคบันทึกเก็บฐานข้อมูล(Database)

- ภาคควบคุมสาย (Line Control)

ทำหน้าที่รับสัญญาณจากภาคควบคุมระบบมาทำการควบคุมการทำงานของรีเลย์(Relay)เพื่อเป็นสวิทช์ตัดต่อระหว่างภาคตรวจจับสัญญาณกระดิ่งโทรศัพท์ (Ringing Detector) กับภาคอื่นๆของโครงงาน

- ภาคตรวจจับสัญญาณกระดิ่งโทรศัพท์ (Ringing Detector)

ทำหน้าที่ตรวจจับสัญญาณกระดิ่งโทรศัพท์ เมื่อมีผู้ใช้บริการเรียกเข้ามายังเบอร์ของโครงงานที่ได้กำหนดไว้แล้วส่งสัญญาณให้ภาคแสดงสถานะสาย (Line Status) ไปให้ไมโครคอนโทรลเลอร์รับทราบว่าจะมีการเริ่มต้นทำงานของระบบ

- ภาคตรวจจับสัญญาณไม่ว่าง (Busy Detector)

ทำหน้าที่คอยตรวจจับสัญญาณโทรศัพท์เมื่อมีการวางหูแล้ว ส่งให้ภาคแสดงสถานะสาย (LineStatus)ไปแจ้งให้ไมโครคอนโทรลเลอร์รับทราบว่ามีการวางสายแล้วเพื่อต้องการให้รีเลย์ (Relay) กลับสู่สภาวะปกติ

- ภาคถอดรหัสสัญญาณ DTMF (DTMF Receiver)

เพื่อทำหน้าที่ถอดรหัสสัญญาณDTMFที่รับมาจากคู่สายโทรศัพท์ที่ผู้ใช้บริการกดหมายเลขโทรศัพท์เข้ามาแล้วแปลงเป็นรหัส BCD (Binary Code Decimal) ส่งให้ภาคควบคุมระบบ (MCS_51) รับทราบรหัสคำสั่ง

- ภาคเก็บบันทึกฐานข้อมูล (Database)

ทำหน้าที่เป็นฐานเก็บข้อมูลต่างๆที่ต้องการบนเครื่องไมโครคอมพิวเตอร์โดยใช้ฮาร์ดดิส (Harddisk) เป็นตัวเก็บบันทึกแฟ้มข้อมูล (File Data)

- ภาคขยายสัญญาณเสียงและภาคสมดุลย์ (Audio Amp. & Matching)

ทำหน้าที่เพื่อขยายสัญญาณอะนาลอกซึ่งเป็นสัญญาณเสียงให้มีกำลังเพิ่มขึ้นเพื่อส่งผ่าน Transformer Matching สู่สายโทรศัพท์ไปยังผู้ใช้บริการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 ขอบเขตของโครงงาน

โครงงานนี้ การออกแบบโครงสร้างสามารถแบ่งได้เป็น 2 ส่วนใหญ่ ๆ

1. การออกแบบโครงสร้างทางฮาร์ดแวร์ (Hardware)

ในการจัดทำโครงงานนี้ ได้ดำเนินการออกแบบวงจร และทดลองผลการทำงานของวงจรภาคต่างๆ ให้ทำงานตามจุดประสงค์ที่ได้กำหนดไว้เรียบร้อยแล้วทุกภาคดังนี้คือภาคLine Control , ภาค Line Status, ภาค Ringing Defector, ภาค Busy Defector, ภาค DTMF Receiver ซึ่งผลการทดลองจะกล่าวถึงในบทที่ 4 ภาค Control System จะเป็นการเขียนโปรแกรมด้วยภาษาแอสแซมบลี เพื่อทดสอบผล จะกล่าวถึงในบทที่ 3 ภาคบันทึกเก็บฐานข้อมูล (database) จะประกอบด้วยเครื่องไมโครคอมพิวเตอร์ จะทำการเขียนโปรแกรมด้วยภาษา Visual Basic version 5.0 จะกล่าวถึงในบทที่ 3 ภาค Audio Amp & Matching จะเป็น Audio Card เป็นการ์ดซิพไอซี สำเร็จรูป ซึ่งมีขายตามท้องตลาดทั่วไป จะทำการติดตั้งบนสล๊อตเครื่องไมโครคอมพิวเตอร์

2. การออกแบบโครงสร้างทางซอฟ์ตแวร์(Software)

การจัดทำโครงสร้างทางซอฟ์ตแวร์ จะดำเนินการเขียนโปรแกรมด้วยภาษาแอสเซมบลีสำหรับไมโครคอนโทรลเลอร์ตระกูลMCS_51เพื่อทำหน้าที่ควบคุมระบบการทำงานทั้งหมดและการเขียนโปรแกรมด้วยภาษา Visual Basic Version 5.0 สำหรับไมโครคอมพิวเตอร์ เพื่อทำหน้าที่ควบคุม การจัดการระบบแฟ้มข้อมูลการบันทึกเสียงพูดบนฐานข้อมูลซึ่งการดำเนินงานในโครงงานวิศวกรรมนี้ จะนำมาเสนอในบทที่ 3 ต่อไป

1.4 วัตถุประสงค์ของโครงงาน

ประสงค์ของโครงงานนี้คือเพื่อศึกษาหาความรู้และประสพการณ์ทางด้านทฤษฎีและขั้นตอนการปฏิบัติงานการทำงานของไมโครคอนโทรลเลอร์การเขียนโปรแกรมด้วยภาษาแอสเซมบลีสำหรับควบคุมไมโครคอนโทรลเลอร์ตระกูล MCS_51และการเขียนโปรแกรมด้วยภาษา Visual Basic Version 5.0 สำหรับไมโครคอมพิวเตอร์ การออกแบบวงจรควบคุมสัญญาณต่างๆให้สามารถทำงานร่วมกันได้ นำความรู้ที่ได้รับจากการศึกษาในห้องเรียนนำมาปฏิบัติงานจริงและยังสามารถนำโครงงานนี้ไปประยุกต์ใช้ประโยชน์ในหน่วยงาน หรือองค์กรต่างๆ ได้จริงเช่น ใช้ในการสอบถามคะแนนผลการสอบของนักศึกษาข้อมูลการจราจรหรือข้อมูลอัตราค่าใช้บริการโทรศัพท์ระหว่างประเทศและข้อมูลอื่นๆตามต้องการโดยการเก็บบันทึกเป็นแฟ้มข้อมูล (Data File Record) บนฐานข้อมูล (Database)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2
ทฤษฎีที่เกี่ยวข้องกับโครงงาน

2.1 ระบบโทรศัพท์

ในการศึกษาข้อมูลทางทฤษฎีของบทนี้นั้น ผู้ที่จะทำการศึกษาจะต้องเข้าใจการทำงานระบบมาตราฐานสัญญาณ โทรศัพท์ การถอดรหัสความถี่ของโทรศัพท์ชนิดกดปุ่ม (Dual Tone Multi Frequency) ให้เป็นตัวเลข BCD ขนาด4บิต โดยใช้ร่วมกับคริสตอล 3.579 MHzเพื่อส่งสัญญาณให้ไมโครคอนโทรลเลอร์รับทราบข้อมูลที่สั่งจากปุ่มหน้าปัดโทรศัพท์

2.2 มาตราฐานสัญญาณโทรศัพท์

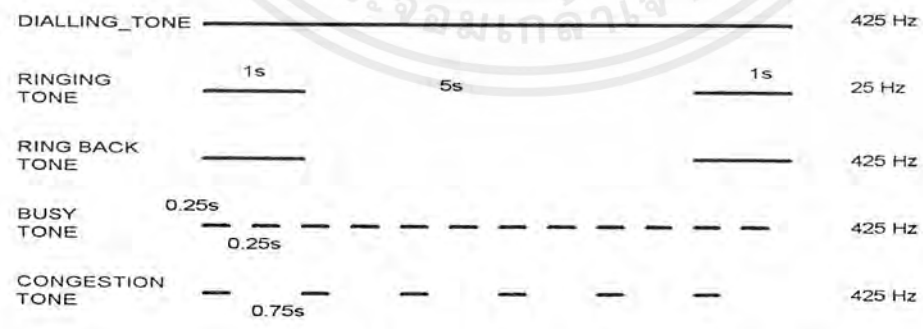
การใช้งานโทรศัพท์จำเป็นอย่างมากที่จะต้องกำหนดมาตราฐานสัญญาณโทรศัพท์เพื่อความไม่สับสนในการใช้งาน เพื่อบอกสภาวะการใช้งานของเครื่องโทรศัพท์สัญญาณต่างๆ ได้แก่

1. สัญญาณแมวกรน (Dial Tone) เป็นสัญญาณความถี่ 425 Hz ทำการส่งต่อเนื่องกันไปใช้บอกฝ่ายเรียกเริ่มทำการหมุนหรือกดเลขหมายเพื่อการเรียกออกได้

2. สัญญาณสายไม่ว่าง (Busy Tone)เป็นสัญญาณความถี่ 425 Hz ทำการส่ง 0.25 วินาทีหยุด 0.25 วินาที สลับกันไปเพื่อบอกให้รู้ว่าฝ่ายรับคู่สายไม่ว่าง จะต้องทำการวางหูก่อนแล้วจึงยกหูขึ้นมาเพื่อรอสัญญาณแมวกรนใหม่

3. สัญญาณเรียกกลับ (Ringing Back Tone) เป็นสัญญาณความถี่ 425 Hz ทำการส่ง 1 วินาที และหยุด 5 วินาทีสลับกัน เพื่อบอกให้ฝ่ายเรียกรู้ว่าเรียกคู่สายได้แล้วเพียงแต่รอฝ่ายรับมารับสายเท่านั้น

4. สัญญาณกระดิ่ง (Ringing Tone) เป็นสัญญาณความถี่ประมาณ 25 Hz ทำการส่ง 1 วินาที และหยุด 5 วินาที สลับกันไปเช่นเดียวกับสัญญาณเรียกกลับแต่จะมีระดับสัญญาณไฟแรงสูงกว่า เพื่อบอกให้ฝ่ายรับทราบว่ามีการเรียกเข้ามาเพื่อทำการยกหูแล้วสนทนาติดต่อกันต่อไป

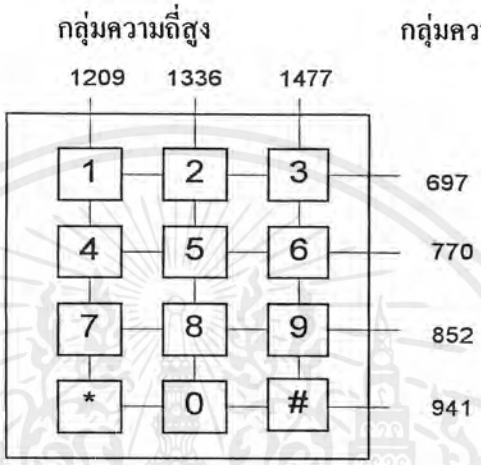


รูปที่ 2.2.1 แสดงมาตรฐานของสัญญาณ โทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ระบบการส่งสัญญาณแบบความถี่คู่ (Dual Tone Multi Frequency)

เป็นระบบการส่งสัญญาณแบบหนึ่ง ซึ่งนิยมใช้กันมากในปัจจุบัน ระบบนี้มีชื่อย่อเรียกว่า DTMF ซึ่งมีหลักการทำงานดังนี้ คือโดยนำสัญญาณความถี่ 2 ความถี่มามอดดูเลตกันใช้แทนหมายเลขตามที่กำหนด ความถี่ที่ใช้จะอยู่ในย่านความถี่ของเสียงพูด (0-4 กิโลเฮิร์ต) โดยการกำหนดให้ความถี่ทางแนวนอนเป็นความถี่ด้านสูงกว่าซึ่งจะแสดงไว้ในรูปที่ 2.3.1 ตัวอย่าง เช่น หมายเลข 2 จะใช้แทนด้วยความถี่ 697 Hz และ 1336 Hz มอดดูเลตกันออกมาแทนหมายเลข 2 จะใช้แทนหมายเลข 2



รูปที่ 2.3.1 แสดงหมายเลขและค่าความถี่ DTMF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของการถอดรหัสภาค DTMF

ในการออกแบบวงจรถอดรหัส DTMF เลือกใช้ไอซีสำเร็จรูปเบอร์ MT8870 เป็นไอซี DTMF detector ที่มีใช้กันอย่างแพร่หลาย และมีการต่อใช้งานที่ไม่ยุ่งยากซับซ้อนสำหรับวงจรถอดรหัส DTMF นั้น เมื่อผู้เรียกกดรหัสหมายเลขเข้ามา หลังจากได้รับการตอบรับเรียบร้อยแล้ว สัญญาณความถี่สองความถี่ที่ผสมกันมาจะเข้าสู่วงจรถอดรหัส DTMF(MT 8870) เมื่อถอดรหัสแล้วจะได้เอาต์พุตออกมาเป็นรหัสไบนารี่ 4 บิต แล้วส่งไปยังส่วนควบคุมระบบเพื่อส่งควบคุมภาคอื่นต่อไป

Digit	Toe	INH	ESt	Q4	Q3	Q2	Q1
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
*	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0

TABLE - FUNCTIONAL DECODE TABLE

L = LOGIC LOW H = LOGIC _ HIGH

Z = HIGH _ IMPEDANC X = DON'T _ CARE

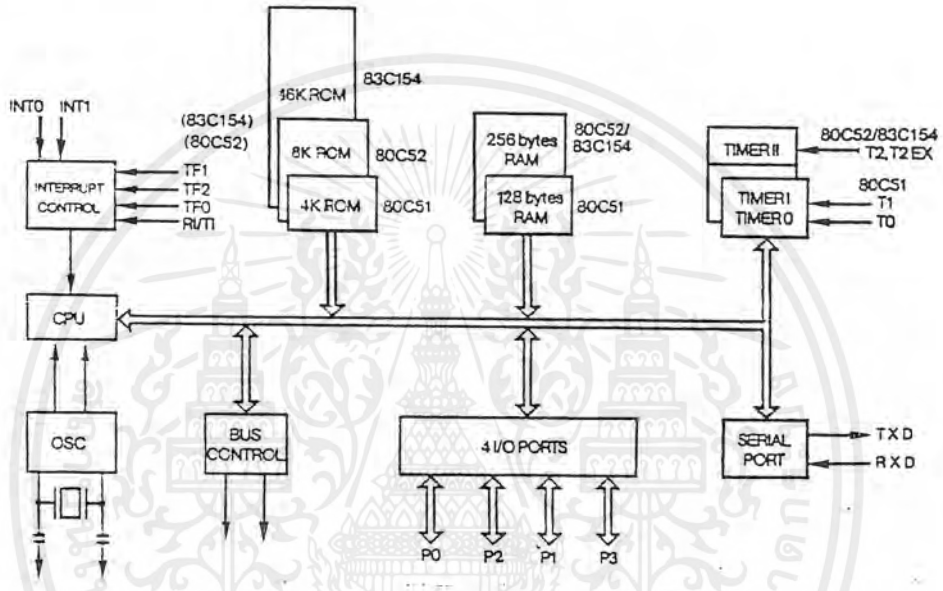
ตารางที่ 2.3.1 แสดงค่าถอดรหัสได้จากความถี่ต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ส่วนของไมโครคอนโทรเลอร์ (MCS-8051)

- โครงสร้างของ 8051

ภายใน 8051 จะประกอบขึ้นด้วย GATE ต่างๆ เช่น AND,OR,NOT ซึ่ง GATE เหล่านี้จะถูกนำมาออกแบบให้มีหน้าที่การทำงานต่างๆเช่นวงจรถอดรหัสคำสั่ง (Instruction Decoder) วงจรสร้างสัญญาณนาฬิกา (Clock Signal Generator) โครงสร้างภายในของ 8051 จะประกอบด้วยส่วนย่อยๆ ดังไดอะแกรมในรูป 2.4.1



รูปที่ 2.4.1 ไดอะแกรมโครงสร้างของ 8051

ไดอะแกรมในรูปที่ 2.4.1 เป็นโครงสร้างใหญ่ ของ 8051 เนื่องจากลักษณะของ 8051 เป็นคอมพิวเตอร์ประกอบด้วย 3 ส่วนหลักๆ คือ

ส่วนที่ 1 คือ CPU (Central Processing Unit) หรือตัวประมวลผล ส่วนนี้จะมีวงจรที่ทำหน้าที่สร้างสัญญาณควบคุมในการติดต่อกับส่วนอื่นๆ เรียกว่าวงจรควบคุม (Control Unit) สัญญาณที่สร้างจากวงจรควบคุมได้แก่สัญญาณสำหรับการติดต่อกับหน่วยความจำ อุปกรณ์รับข้อมูลเข้าหรือส่งออกจากตัว 8051 ซึ่งส่วนควบคุมด้วยการขัดจังหวะ (Interrupt Control) ส่วนควบคุมบัส (Bus Control) ก็เป็นส่วนหนึ่งของวงจรควบคุมด้วยการสร้างสัญญาณควบคุมจากส่วน CPU นี้จะทำการสร้างสัญญาณโดยการถอดรหัสคำสั่ง (Instruction) ตามที่มีการกำหนดไว้และสัญญาณที่สร้างขึ้นมาจะอ้างอิงกับสัญญาณนาฬิกาจากวงจรออสซิลเลเตอร์เพื่อให้ทุกๆ ส่วนในวงจรทำงานประสานกัน (Synchronize) อย่างถูกต้องใน CPU นี้ยังประกอบด้วยส่วนย่อยอีกส่วนที่เรียกว่าส่วนประมวลผล (Arithmetic Logic Unit) ส่วนนี้จะทำหน้าที่ประมวลผล เช่น การบวก, การลบ, การคูณ หรือหารข้อมูลแล้วผลลัพธ์ไปเก็บไว้ในรีจีสเตอร์หรือหน่วยความจำที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่ 2 คือหน่วยความจำ (Memory) มีไว้สำหรับจดจำข้อมูล ถ้าจะให้เห็นภาพพจน์ของหน่วยความจำได้ดีก็คือ หน่วยความจำเปรียบเหมือนกล่องเก็บเอกสารจำนวนมากที่จำมาต่อเรียงไว้ แต่ละกล่องก็มีเอกสาร 1 แผ่นถ้าต้องการเอกสารจากกล่องใด หรือเอาเอกสารไปเก็บที่กล่องใด จะต้องรู้หมายเลขของกล่องข้อมูลเสียก่อนซึ่งถ้าเป็นหน่วยความจำแล้วหมายเลขของกล่องก็คือตำแหน่งของหน่วยความจำหรือ แอดเดรส (Address) นั่นเองการเอาข้อมูลไปเก็บในหน่วยความจำเรียกกว่าการเขียน (Write) ข้อมูลและการเอาข้อมูลออกจากหน่วยความจำจะเรียกว่าการอ่าน(Read)ข้อมูลซึ่งแต่ละตำแหน่งของหน่วยความจำจะเก็บข้อมูลได้เพียงค่าเดียวเท่านั้น ในไมโครโปรเซสเซอร์ทั่วไปรวมทั้ง 8051 นั้นข้อมูลในแต่ละตำแหน่งของหน่วยความจำจะมีค่าได้เพียง 8 หลักของเลขฐาน 2 (8 บิทเท่ากับ 1 ไบท์) ดังนั้นแต่ละตำแหน่งของหน่วยความจำจะเก็บข้อมูลมีค่าได้ระหว่าง 0 ถึง 225 (00000000 ถึง 11111111ในเลขฐาน 2) แต่จำนวนตำแหน่งที่จะเก็บข้อมูลได้ขึ้นกับไมโครโปรเซสเซอร์แต่ละเบอร์ การติดต่อกับหน่วยความจำจะต้องมีสัญญาณ 3 กลุ่ม คือ

1. แอดเดรสหรือ ค่าตำแหน่งที่ต้องการติดต่อกับหน่วยความจำ ใน 8051 จะติดต่อกับหน่วยความจำประเภท Program Memory หรือ Data Memory ได้สูงสุดชนิดละ 65536 ตำแหน่ง ดังนั้นการอ้างอิงแต่ละตำแหน่งของหน่วยความจำจะต้องใช้เส้นแสดงตำแหน่งในเลขฐาน 2 ทั้งหมด 16 เส้น (2 ^16 เท่ากับ 64×1024=65536)

2. ข้อมูลที่จะอ่านหรือเขียนกับหน่วยความจำ เพื่อบอกกับหน่วยความจำว่าต้องการอ่านหรือเขียนข้อมูล

3. สัญญาณควบคุมที่จะส่งไปยังหน่วยความจำ เพื่อบอกหน่วยความจำว่าต้องการอ่านหรือเขียนข้อมูลสัญญาณเหล่านี้จะถูกวงจรควบคุมภายใน 8051 สร้างมาจากวงจรถอดรหัสของคำสั่งที่ 8051 อ่านจากหน่วยความจำ Program Memory เข้าไปทำงานนั้นเอง ในรูปที่ 2.4.1 หน่วยความจำได้แก่ 4k ROM และ 128 Byte RAM ซึ่งขนาดหน่วยความจำนี้มีขนาดต่างๆกันตามเบอร์ของไมโครคอนโทรเลอร์ ส่วนที่ 3 อุปกรณ์อินพุท-เอ้าท์พุท (Input/Output Device) เป็นส่วนที่จะใช้ส่งข้อมูลหรือออกจาก 8051 ทำให้ 8051 ติดต่อกับภายนอกได้ ดังในไดอะแกรมรูปที่ 2.4.1 อุปกรณ์อินพุทและเอ้าท์พุท ได้แก่ 4 I/O Port,Time 0 Timer 1, Serial Port การทำงานของแต่ละส่วน มีดังนี้

1. 4 I/O Port คำว่าพอร์ทหมายถึงจุดที่จะติดต่อกับส่วนที่อยู่ภายนอก 4 I/O Port ของ 8051 เป็นที่ใช้สำหรับรับ-ส่งข้อมูลซึ่งเป็นสัญญาณดิจิตอลเข้าหรือออกจากตัว MCS-51 พอร์ท มีทั้งหมด 4 พอร์ท โดยแต่ละพอร์ทจะรับ-ส่ง ข้อมูลได้ 8 บิท พอร์ท PO,P1,P2 และ P3 บางพอร์ทจะใช้ทำงานมากกว่า 1 อย่างก็ได้ เช่น พอร์ท PO และ P2 จะใช้สำหรับการส่งค่าตำแหน่ง (Address) ของหน่วยความจำที่ต้องการติดต่อและพอร์ท PO จะใช้รับส่งข้อมูลเมื่อติดต่อกับหน่วยความได้ด้วยแต่สิ่งเหล่านี้ไม่ได้เกิดขึ้นที่เวลาเดียวกัน แต่จะใช้วิธีทำงานตามลำดับโดยควบคุมจากสัญญาณควบคุม (Control) ที่ถอดรหัสมาจากแต่ละคำสั่งที่ให้คอมพิวเตอร์ทำงานนั้นเอง และสัญญาณทั้งหมดจะอ้างอิงกับจากสัญญาณนาฬิกา

2. Timer 0 และ Timer 1 เป็นวงจรนับที่สามารถกำหนดให้ทำการกำหนดให้ทำการนับจำนวนไซเคิลของสัญญาณที่ต่อจากภายนอก 8051 หรือจำนวนไซเคิลของสัญญาณนาฬิกาภายใน 8051 ก็ได้ค่าจากการนับจะถูกอ่านหรือตั้งค่าเริ่มต้นของการนับได้โดย CPU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

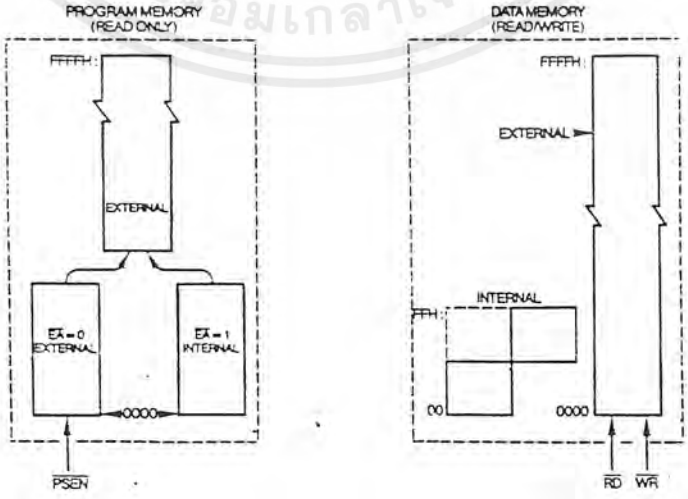
3. Serial Port หรือพอร์ทอนุกรม CPU จะอ่านและเขียนข้อมูลกับ Serial Port เป็นแบบ 8 บิทแต่ข้อมูลจะถูกส่งออกจาก 8051 เรียงไปทีละบิทออกจากขา TXD และในการรับข้อมูลเข้า ก็รับเข้ามาทีละบิททางขา RXD แล้วจัดเรียงใหม่ เป็น 8 บิทเพื่อให้ CPU อ่านไปใช้งานต่อไป

8051 มีพอร์ทให้ใช้งานได้หลายแบบทำให้สะดวกแก่การนำไปใช้งานต่างๆ มากมาย การจะนำพอร์ทเหล่านี้ไปใช้งานได้จะต้องเขียนโปรแกรมขึ้นมาควบคุมที่จะได้กล่าวต่อไป

- การจัดการหน่วยความจำของ 8051

หน่วยความจำของ 8051 แบ่งออกไว้เป็น 2 แบบตามลักษณะของการใช้งานคือ

1. Program Memory เป็นหน่วยความจำที่ใช้เก็บคำสั่งในรูปรหัสภาษาเครื่อง (Machine Language) ซึ่งต้องการให้ 8051 ทำงาน เมื่อ 8051 ทำงานก็จะอ่านข้อมูลที่เก็บในหน่วยความจำประเภทนี้เข้าไปถอดรหัสแล้วสร้างสัญญาณควบคุมส่วนอื่นๆ ตามการทำงานของแต่ละคำสั่งนั้น หน่วยความจำแบบนี้จะต้องเป็นแบบ Read Only Memory (ROM) แล้ผู้ใช้ต้องเขียนข้อมูลในแต่ละตำแหน่งของหน่วยความจำเป็นรหัสภาษาเครื่องของ 8051 ตามลำดับการทำงานที่ต้องการ (หน่วยความจำแบบ ROM เป็นแบบ Non volatile ซึ่งเมื่อเปิดไฟแล้วข้อมูลก็ไม่มีการสูญหาย) การเขียนข้อมูลลงไปบน ROM จะต้องใช้เครื่องมือพิเศษ ในระหว่างการทำงานของ 8051 ผู้ใช้จะไม่สามารถใช้คำสั่งทำการเขียนข้อมูลลงในหน่วยความจำแบบนี้ได้ จำนวนตำแหน่งสูงสุดของหน่วยความจำแบบนี้ที่ 8051 จะใช้งานได้คือ 65536 ตำแหน่ง ค่าของตำแหน่ง (Address) จะเขียนเป็นเลขฐาน 16 ตั้งแต่ 0000H ถึง FFFFH หน่วยความจำตำแหน่ง 0000H ถึง 0FFFH จำนวน 4 กิโลไบท์ นั้นผู้ใช้จะเลือกได้ว่าเป็นตำแหน่งของ ROM ที่อยู่ภายในหรือภายนอก 8051 (ไมโครคอนโทรลเลอร์เบอร์อื่นๆ เช่น 8052 จะมีขนาดของ ROM ส่วนนี้ได้ ถึง 8 กิโลไบท์ ตำแหน่ง 0000H ถึง 1FFFH) ถ้าต้องการให้ 8051 ทำงานตามคำสั่งที่เก็บไว้ใน ROM ภายใน 8051 ก็ให้ป้อนสัญญาณสภาวะลอจิก High (1) เข้าที่ขา EA ของ 8051 แต่ถ้าต้องการให้ทำงานในโปรแกรมที่เก็บไว้ใน ROM ภายนอก 8051 ก็ให้ต่อลอจิก Low (0) เข้าที่ขา EA ของ 8051 ส่วนหน่วยความจำที่ตำแหน่ง 1FFFH ถึง FFFFH จะต้องต่ออยู่ภายนอก 8051 เสมอดังแสดงในแผนภูมิหน่วยความจำ (Memory Map) ในรูปที่ 2.4.2



รูปที่ 2.4.2 แผนภูมิหน่วยความจำของ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Internal Memory หมายถึงหน่วยความจำนั้นอยู่ภายใน 8051 ส่วน External Memory หมายถึงหน่วยความจำนั้นอยู่ภายนอก 8051

ไมโครคอนโทรลเลอร์เบอร์ 8031 , 8051 และ 8751 นั้น โดยโครงสร้างและรหัสคำสั่งจะเหมือนกันทุกประการแตกต่างกันที่

-8051 จะไม่มี ROM ขนาด 4 กิโลไบท์อยู่ภายใน ผู้ใช้จะต้องเลือกการใช้งาน Program Memory อยู่ภายนอกวงจรรวมทั้งหมด 64 กิโลไบท์

-8051 จะมี ROM ขนาด 4 กิโลไบท์อยู่ภายใน ถ้าต้องการเก็บคำสั่งควบคุมการทำงานไว้ในหน่วยความจำส่วนนี้ จะต้องส่งโปรแกรมคำสั่งไปให้โรงงานผู้ผลิตทำการเขียนใส่ใน ROM ให้ตั้งแต่ในขั้นตอนของการผลิตวงจรรวม ผู้ใช้ไม่สามารถแก้ไขโปรแกรมได้เอง ถ้าจะนำมาใช้งานโดยเก็บโปรแกรมไว้ในหน่วยความจำช่วง 4 กิโลไบท์แรกอยู่ภายนอกก็สามารถทำได้โดยการต่อ ROM ไว้ภายนอก แล้วต่อขา EA ของ 8051 ไว้กับสัญญาณที่มีสภาวะลอจิกเป็น 0

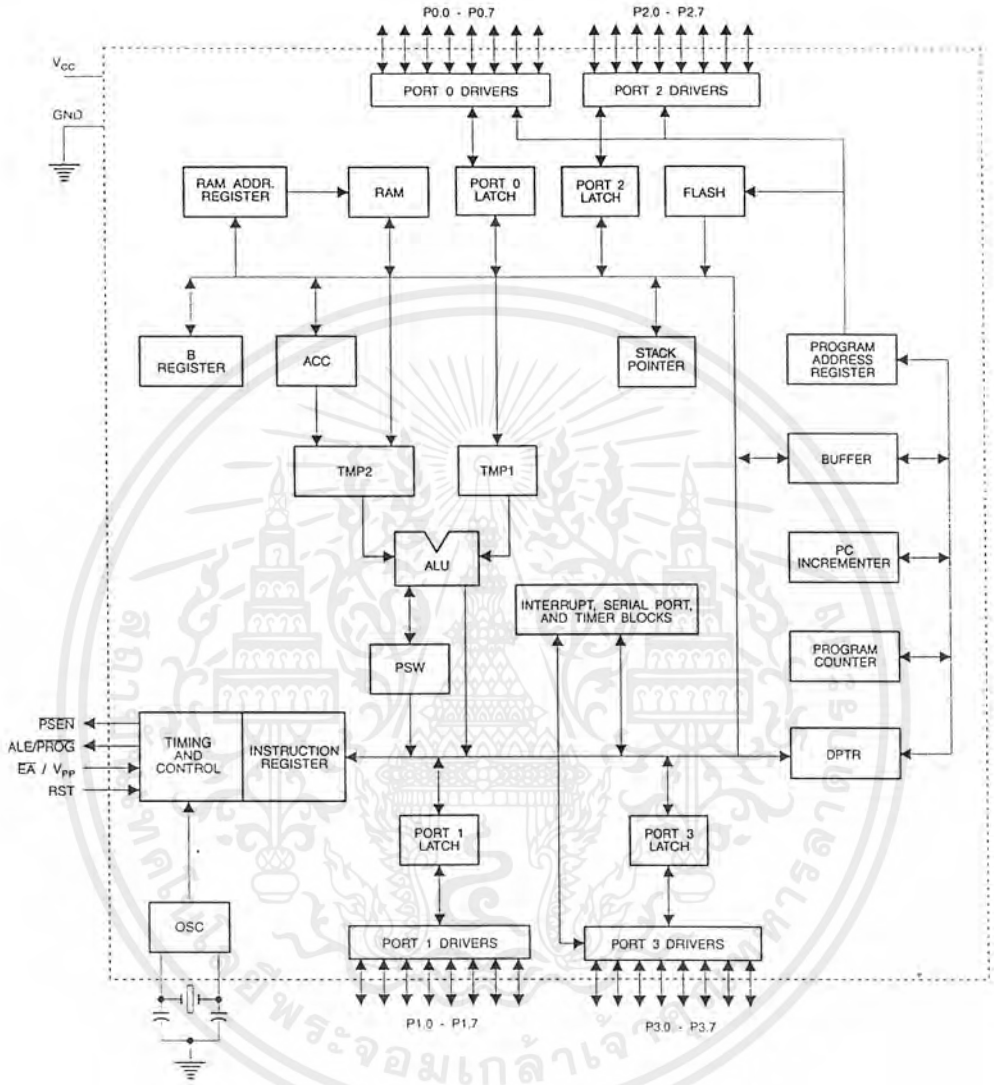
- 8751 จะมีหน่วยความจำขนาด 4 กิโลไบท์เป็นแบบ EPROM (Erasable Program Read Only Memory) อยู่ภายในวงจรรวมเอาไว้ ใช้เก็บโปรแกรมคำสั่งที่จะให้ 8751 ทำงาน ผู้ใช้สามารถเขียนคำสั่งลงไปใน EPROM ออกด้วยการฉายแสงอุลตร้าไวโอเลต (Ultraviolet) ผ่านกระจกใสบนวงจรรวมเข้าไปยังวงจรภายใน ตามเวลาที่กำหนดในคู่มือเฉพาะ (Data sheet) ของ 8751 จากนั้นก็ใช้เครื่องโปรแกรม EPROM เขียนโปรแกรมลงไปใหม่ 8751 นี้จะสะดวกมากสำหรับการพัฒนาโปรแกรม

2. Data Memory เป็นหน่วยความจำที่ 8051 จะใช้สำหรับพัก, เก็บข้อมูล แล้วเรียกมาใช้ใหม่ในระหว่างการทำงานของ 8051 การอ่านหรือเขียนข้อมูลหน่วยความจำจะกระทำโดยคำสั่งที่เก็บไว้ใน Program Memory หน่วยความจำแบบนี้เป็นประเภท Random Access Memory (RAM) ถ้ามีไฟเลี้ยงอยู่ข้อมูลที่เก็บไว้จะไม่สูญหาย แต่ถ้าปิดเครื่องหรือไม่จ่ายไฟให้แก่ RAM แล้ว ข้อมูลใน RAM ก็จะสูญหายไป การสูญหายของข้อมูลไม่ได้หมายความว่าไม่มีอะไรอยู่เลยแต่เป็นการที่มีข้อมูลใหม่ซึ่งไม่ใช่ข้อมูลที่เก็บไว้เดิมเข้ามาอยู่แทนที่ เช่นเดิมที เก็บข้อมูล 18H ไว้ที่ตำแหน่ง 1900H เมื่อปิดไฟแล้วเปิดใหม่ ข้อมูลที่ตำแหน่ง 1900H จะไม่ใช่ 18H อาจเป็นค่าอะไรก็ได้ ซึ่งเรียกการเกิดลักษณะแบบนี้ว่าข้อมูลสูญหายไป หน่วยความจำแบบ Data Memory ของ 8051 จะมีอยู่ 2 ชุด ชุดหนึ่งอยู่ภายใน 8051 จำนวน 128 ไบท์ที่ตำแหน่ง 00H ถึง 7FH (เบอร์ 8052 จะมี 256 ไบท์อยู่ที่ตำแหน่ง 00H ถึง FFH) และอีกชุดหนึ่งจะต้องต่ออยู่ภายนอกของวงจรรวม 8051 มีได้สูงสุด 65536 ไบท์ (64 กิโลไบท์) อยู่ที่ตำแหน่ง 80H ถึง FFH นั้นไม่ได้มีอยู่ทุกตำแหน่ง จะมีเฉพาะในบางตำแหน่งซึ่งเรียกหน่วยความจำบางตำแหน่งนี้ว่า Special Function Register (SFR) เพราะจะใช้หน่วยความจำเหล่านี้สำหรับงานพิเศษเท่านั้น แต่ละตำแหน่งของหน่วยความจำแบบ SFR นี้อาจเป็น RAM หรือวงจรนับ (Counter) วงจรตั้งเวลา (Timer) ก็ได้เช่น เป็น Timer 0, Timer 1 ดังนั้นใน 8051 จึงไม่ถือว่า SFR เป็น Data Memory ถ้าเป็น 8052 ซึ่งมี Data Memory ขนาด 256 ไบท์ จะใช้บางตำแหน่งของหน่วยความจำช่วงตำแหน่ง 80 H ถึง FFH เป็น SFR ส่วนตำแหน่งอื่นที่เหลือก็เป็น RAM เหมือนกับหน่วยความจำช่วง 00H ถึง 7FH นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

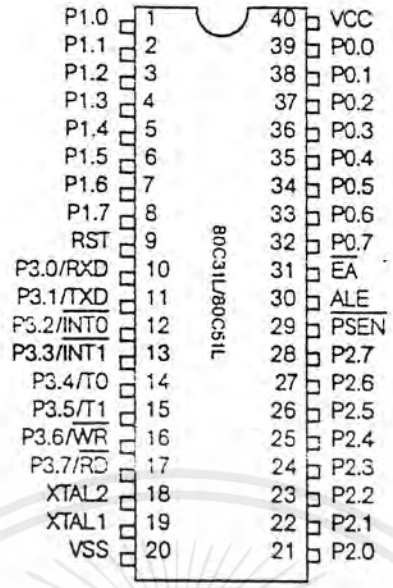
- สถาปัตยกรรมของ 8051

ในรูปที่ 2.4.3เป็นสถาปัตยกรรมภายในของ 8051 ซึ่งจะอธิบายถึงส่วนย่อยๆ ของภายใน 8051 เพียงชิพเดียว และสัญญาณจากภายในจะต่อออกสู่ภายนอกทางขา (Pin) ของ 8051 ที่มีอยู่ 40 ขา



รูปที่ 2.4.3 สถาปัตยกรรมภายในของ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4.4 ไดอะแกรมขาของ 8051 แบบ DIP

8051 ไมโครคอนโทรลเลอร์ที่บรรจุอยู่ในวงจรรวมแบบ Dual inline package (DIP) ซึ่งแต่ละข้างของ 8051 มีอยู่ข้างละ 20 ขารวมทั้งหมด 40 ขานั้นจะใช้งานต่างๆ กันดังนี้คือ

Vcc

ขา 40 เป็นขาที่ต้องป้อนไฟเลี้ยง + 5 โวลท์เข้าไปเพื่อให้วงจรรวมทำงานได้ ระดับโวลเตจของลอจิก 0 และ 1 ของ 8051 จึงต่อเข้ากับอุปกรณ์ลอจิกแบบ TTL ได้โดยตรง

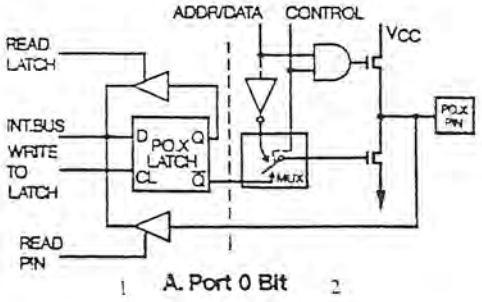
Vss

ขา 20 เป็นขาที่ต้องต่อกับกราวด์ (Ground) ของแหล่งจ่ายไฟ การต่ออุปกรณ์ทั้งหมดจะต้องมีกราวด์ของอุปกรณ์ต่อเข้าด้วยกัน

Port 0

เป็นพอร์ทขนานขนาด 8 บิท อยู่ที่ขา 39 ถึง 32 เริ่มจากบิท 0 ถึงบิท 7 ตามลำดับดังรูปที่ 2.4.4 แต่ละขาจะเขียนว่า PO.O,PO.1,……..,PO7 นั้น PO.7 หมายถึงบิท 7 ของพอร์ท 0 ซึ่งเป็นบิทที่มีนัยสำคัญสูงสุด (Most Significant) และ PO.O คือบิท 0 ของพอร์ท 0 เป็นบิทที่มีนัยสำคัญต่ำสุด (Least Sinificant) พอร์ท 0 นี้ใช้ได้ทั้งการรับ-ส่ง ตำแหน่งและข้อมูลกับหน่วยความจำหรือใช้เป็นพอร์ทรับ-ส่งข้อมูลก็ได้ ข้อมูลที่ส่งออกทางพอร์ท 0 จะถูก Latch ไว้ที่ขาของพอร์ท โครงสร้างแต่ละบิทของพอร์ท 0 เป็น แบบ Open Drain Bidirection ดังรูปที่ 2.4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4.5 โครงสร้างของพอร์ท 0

ในรูปที่ 2.4.5 เมื่อเปรียบเทียบกับรูปที่ 2.4.3 ส่วนที่ 1 ของรูป 2.4.5 ก็คือ Port 0 Lacth ในรูปที่ 2.4.3 และส่วนที่ 2 ของรูป 2.4.5 ก็คือ Port 0 Driver ของรูปที่ 2.4.3 นั่นเอง

จากโครงสร้างในรูปที่ 2.4.5 เมื่อมีคำสั่งการเขียนข้อมูลมายังพอร์ท 0 ข้อมูลจาก Internal Data Bus จะถูก Latch ไว้ที่ D-FF โดยสัญญาณ "Write to Lacth" ที่ถูกสร้างมาจากส่วน Timing and Control และในการอ่านข้อมูลจากพอร์ท 0 จะอ่านได้ 2 แบบคือการอ่านข้อมูลที่ส่งไปเก็บไว้ที่พอร์ทก็จะมีสัญญาณ Read Latch มาเพื่ออ่านข้อมูลจาก D-FF กลับเข้าไปยัง Internal Data Bus การอ่านข้อมูลอีกแบบก็คือการอ่านสภาวะของสัญญาณที่เข้ามาทางพอร์ท 0 ก็จะมีสัญญาณ Read pin มาควบคุมการอ่าน พอร์ท 0 จะใช้งานหลายอย่างดังนี้

1.ใช้สำหรับส่งค่าตำแหน่งหน่วยความจำภายนอกที่ต้องการติดต่อด้วยตำแหน่งหน่วยความจำสูงสุดที่จะติดต่อได้ก็คือ 64 kbyte จึงมีค่าตำแหน่งหน่วยความจำ 16 บิทของเลขฐาน 2 ค่าตำแหน่งหน่วยความจำ 8 บิทล่างจะถูกส่งไปทางพอร์ท 0 และ 8 บิทบนจะส่งออกไปทางพอร์ท 2

2. ใช้รับ-ส่งข้อมูลกับ Data Memory หรือใช้รับข้อมูลจาก Program Memory

3.ใช้รับ-ส่งข้อมูลผ่านทางพอร์ทโดยตรง ในกรณีที่ยังไม่มีหน่วยความจำของ Program Memory หรือ Data memory ภายนอก

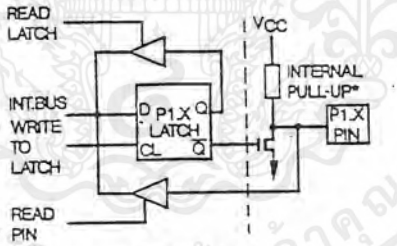
วงจรภายในส่วน Timing and control จะเป็นตัวสร้างสัญญาณมาควบคุมวงจรในรูปที่ 2.4.5 เพื่อให้การทำงานแต่ละอย่างข้างต้น เมื่อแต่ละบิทของพอร์ 0 ทำงานตามข้อมูล 1 และ2 ข้างต้น วงจร Timing and Control จะทำให้สภาวะลอจิกของขา Control เป็น 1 ซึ่งทำให้สวิทซ์ MUX อยู่ในตำแหน่งข้างบน เมื่อพอร์ท 0 จะส่งข้อมูลซึ่งเป็นค่าตำแหน่งหน่วยความจำหรือข้อมูลที่จะเขียนออกไปยังหน่วยความจำภายนอกก็จะส่งค่าดังกล่าวมายัง ADDR/DATA ถ้าข้อมูลที่ส่งมาเป็น 1 จะทำให้สัญญาณออกจาก AND GATE เป็น 1 และสัญญาณที่ออกจาก Inverter เป็น0 ดังนั้น ON (สภาวะ ON ของ FET คือความต้านทานระหว่างขา D กับ S มีค่าต่ำมากเสมือนกับเป็นวงจรปิด) ส่วน FET ตัวล่าง OFF (สภาวะ OFF ของ FET คือความต้านทานระหว่างขา D กับขา S มีค่าสูงมากเสมือนเป็นวงจรเปิด) สภาวะลอจิกที่ขา PO.X PIN จะเป็น 1 แต่ถ้าข้อมูลที่ส่งออกมากยัง ADDK/DATA เป็น 0 ก็จะทำให้สัญญาณจาก AND GATE เป็น 0 และสัญญาณที่ออกจาก Inverter เป็น 1 ดังนั้น FET ตัวบนจะ OFF ส่วน FET ตัวล่างจะ ON ทำให้สภาวะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลอจิกที่ขา PO.X PIN เป็น 0 เมื่อ 8051 ต้องการใช้พอร์ท 0 สำหรับการอ่านข้อมูลจากหน่วยความจำภายนอก หรือใช้ทำในข้อ 3 ข้างบน ก็จะทำได้โดยวงจร Timing and Controlทำให้สภาวะลอจิกของสัญญาณ Control ในรูปเป็น 0 ทำให้เอาท์พุทจาก AND GATE เป็น 0 FET ตัวบนจะ OFF และ สวิทช์ MUX จะอยู่ในตำแหน่งข้างล่าง ดังนั้น FET ตัวล่างจะมายัง D-FF ก็จะมีสัญญาณ Write to latch มายัง D-FF ด้วย ถ้าข้อมูลที่เขียนมาเป็น 1 ก็จะทำให้ขา Q มีสภาวะลอจิกเป็น 0 ทำให้ FET ทั้ง 2 ตัว OFF ดังนั้นขา POX จะอยู่ในสถาวะอิมพีแดนซ์สูง (High Impedance) เพราะ FET ทั้ง 2 ตัว OFF แต่ถ้าข้อมูลที่เขียนมายัง D-FF เป็น 0 จะทำให้ FET ตัวล่าง ON แต่ตัวบน OFF ทำให้สภาวะลอจิกที่ขา PO.X เป็น 1 ดังนั้น PORT 0 เมื่อให้ทำงานเป็นพอร์ทส่งข้อมูล (ไม่ใช่ส่งตำแหน่งหน่วยความจำ) จะไม่สามารถแสดงสภาวะลอจิก 1 ได้จึงต้องต่อตัวต้านทาน Pull Up ไว้ภายนอก ระหว่างขา PO.X กับไฟเลี้ยงวงจร ถ้าจะใช้พอร์ท 0 สำหรับส่งข้อมูลเข้าจะต้องเขียน 1 มาเก็บไว้ยัง D-FF ทำให้ Q เป็น 0 และ Q เป็น 1 ซึ่งทำให้ FET ตัวล่าง ON สัญญาณที่ต่อเข้ามาที่ขา PO.X ไม่ว่าจะมีสภาวะลอจิกใดจะถูกดึงลงกราวด์ ดังนั้น เมื่ออ่านข้อมูลเข้าไปก็จะพบว่าเป็น 0 เสมอ ในการอ่านข้อมูลจากหน่วยความจำภายนอกนั้นวงจร Timing and Control ก็จะเขียนข้อมูลมายัง D-FF ให้เป็น 1 และสัญญาณ Control ให้มีลอจิกเป็น 0 ก่อนจะอ่านข้อมูลเข้าไปด้วย

Port 1

เป็นพอร์ทขนาด 8 บิท ในรูปที่ 2.4.4 คือขา P1.0 ถึง P1.7 (ขา 1-8) P1.0 หมายถึง บิท 0 ของพอร์ท 1 ซึ่งเป็นบิท Least Singificant Bit และบิท P1.7 หมายถึงบิทที่ 7 ของพอร์ท 1 ซึ่งเป็นบิท Most Singificant bit โครงสร้างของพอร์ท 1 แต่ละบิทมีดังรูปที่ 2.4.6



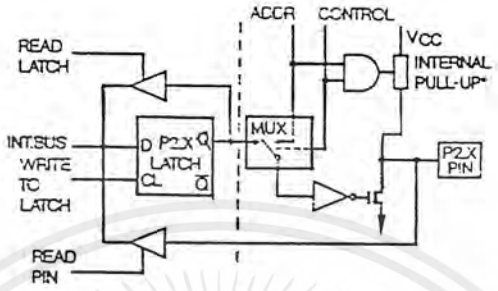
รูปที่ 2.4.6 โครงสร้างของพอร์ท 1

ส่วนที่ 1 คือ Port Latch ในรูปที่ 2.4.3 ซึ่งจะมีการทำงานเหมือนส่วนที่ 1 ของพอร์ท 0 ในรูปที่ 2.4.5 ส่วนที่ 2 คือ Port 1 Driver ในรูปที่ 2.4.3 Port 1 Driver นี้จะมีตัวต้านทานต่ออยู่เป็น Internal Pull Up พอร์ท 1 นี้จะใช้ทำหน้าที่เป็นตัว รับ-ส่งข้อมูลที่ส่งออกมาทางพอร์ท 1 จะถูก Latch ไว้แล้วส่งออกไปทางแต่ละขา ก่อนที่จะอ่านข้อมูลเข้าไปทางพอร์ท 1 จะต้องเขียน 1 ไปยังทุกบิทของพอรท์ 1 เสียก่อนเพื่อให้ FET อยู่ในสภาวะ on ดังนั้นถ้าสัญญาณภายนอกส่งเข้ามาที่ขานี้ก็จะถูกลัดวงจรลงกราวด์ โดยไม่สนใจว่าสภาวะลอจิกของสัญญาณที่เข้ามาจะเป็นอะไร ข้อมูลที่อ่านเข้าไปจึงจะเป็น 0 เสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Port 2

พอร์ทขนานขนาด 8 บิท คือขา P2.0 ถึง P2.7 (บิท 0 ถึงบิท 7 ของพอร์ท 2) ในรูปที่ 2.4.4 โครงสร้างของพอร์ท 2 แต่ละบิทจะมีดังรูปที่ 2.4.7



รูปที่ 2.4.7 โครงสร้างของพอร์ท 2

ลักษณะโครงสร้างจะเหมือนกับ Port 0 แตกต่างกันที่ใน Port 2 นั้นภาค Driver จะใช้งานเพียง 2 ลักษณะคือ

1. ใช้ส่งค่าตำแหน่งหน่วยความจำภายนอกที่ต้องการติดต่อ ค่าตำแหน่งนี้เป็น 8 บิทบน
2. ใช้เป็นพอร์ทรับและส่งข้อมูลกับภายนอก

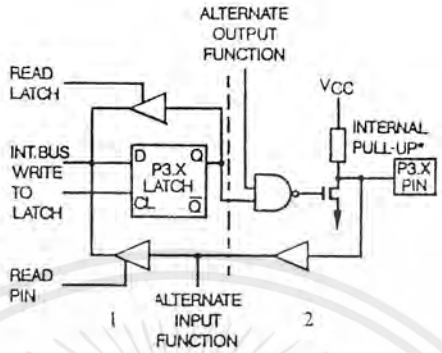
ดังนั้นภาค Driver ของพอร์ท 2 จึงแตกต่างจาก Driver ของพอร์ท 0 โดยที่ในพอร์ท 2 นั้นจะมีเฉพาะ ADDR (ตำแหน่งหน่วยความจำ) เข้ามาที่ MUX (Multiplexer) เท่านั้น นอกนั้นแล้วการทำงานและจะเหมือนกันและที่เอาท์พุทของพอร์ท 2 จะมี Internal pull-up ซึ่งเป็นตัวต้านทานและจำทำให้เอาท์พุทของพอร์ท 2 แสดงสถานะลอจิกเป็น 1 ได้ ถ้า FET อยู่ในสภาวะ OFF บางครั้งเรียกว่า "Quasi-bidirection" เมื่อใช้เป็นพอร์ทอินพุทก็สามารถทำได้โดยการต่อสัญญาณภายนอกเข้าโดยตรง ถ้าสัญญาณภายนอกเป็น 0 ก็จะมีกระแสไหลออกจากพอร์ท (Source Current) ในการที่จะใช้พอร์ทนี้เป็นพอร์ทรับข้อมูลเข้า จะต้องเขียน 1 ไปยังแต่ละบิทของพอร์ทเสียก่อน ดังได้อธิบายในเรื่อง Port 0 และ Port 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

Port 3

คือขา P3.0 ถึง P3.7 หรือขา 10-17 ตามลำดับในรูปที่ 2.4.4 พอร์ทนี้มีโครงสร้างดังรูปที่ 2.4.8



รูปที่ 2.4.8 โครงสร้างของพอร์ท 3

ส่วนที่ 1 ในรูปที่ 2.4.8 เป็นส่วน Latch ข้อมูลที่เขียนมายังพอร์ท 3 ทาง Internal Bus เหมือนกับพอร์ทอื่นๆ และพอร์ท 3 จะมี Internal pull up อยู่ทุกบิท แต่พอร์ท 3 นี้แต่ละบิทจะใช้ในการทำงานอื่นได้ โดยใช้คำสั่งควบคุมการทำงาน ในส่วนที่ 2 จะมีสัญญาณ Alternative Output Function ที่สร้างมาจากส่วน Timing and Control สัญญาณ Alternative Output Function เป็นสัญญาณที่ส่งออกในกรณีที่ใช้พอร์ท 3 ทำงานในฟังก์ชั่นอื่น และจุด Alternative Input Function เป็นจุดที่จะเอาสัญญาณไปเข้ากับส่วนอื่นตามการทำงานของบิทนั้น แต่ละบิทของพอร์ท 3 จะมีฟังก์ชั่นอื่นดังนี้

P3.0/RXD (Serial Input Port) เป็นขาที่ใช้รับข้อมูลแบบอนุกรม

P3.1/TXD (Serial Output Port) เป็นขาที่ใช้ส่งข้อมูลแบบอนุกรม

P3.2/INTO (External Interrupt) ใช้รับสัญญาณขัดจังหวะจากภายนอก

P3.3/INT1 (External Interrupt) ใช้รับสัญญาณขัดจังหวะจากภายนอก

P3.4/TO (Timer/Counter 0 External Input) ขารับสัญญาณเข้าไปยังวงจร Timer/Counter 0 ที่ทำหน้าที่นับจำนวนไซเคิลของสัญญาณ TO นี้หรือสัญญาณนาฬิกาก็ได้

P3.5/T1 (Timer/Counter 1 External Input) ขารับสัญญาณเขาไปยัง Timer/Counter 1 ซึ่งมีการทำงานเหมือนกับ TO

P3.6/WR (External Data Memory Write Strobe) ขาสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับข้อมูลภายนอก 8051

P3.7/RD (External Data Memory Read Strobe) ขาสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับข้อมูลภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
32574

RST

ขารีเซ็ทขานี้จะใช้ทำการรีเซ็ทการทำงานของ 8051 ที่ขา RST ภายใน 8051 จะมีตัวต้านทานต่อระหว่างขานี้กับกราวด์ (Ground) ถ้าป้อนสัญญาณที่มีสภาวะลอจิก 1 เข้าไปที่ขานี้จะเป็นการรีเซ็ทการทำงานของ 8051 ดังนั้นจึงสามารถต่อตัวเก็บประจุ (Capacitor) ภายนอกระหว่างขา RET กับไฟเลี้ยง +5 โวลท์ เพื่อให้เกิดการรีเซ็ทเมื่อเริ่มป้อนไฟเลี้ยงให้กับ 8051 ซึ่งเรียกว่า Power On Reset การรีเซ็ทจะทำให้ค่าในรีจิสเตอร์ต่างๆ เปลี่ยนไปเป็นค่าหนึ่งดังในตารางรูปที่ 2.4.9

REGISTER	CONTENT
PC	0000H
ACC	00H
B	00H
PSW	00H
SP	00H
DPTR	0000H
P0-P3	0FFH
IP	00H
IE	0X000000B
TMOD	00H
TCON	00H
T2CON	00H
THO	00H
TLO	00H
TH1	00H
TL1	00H
TH2	00H
TL2	00H
RCAP2H	00H
RCAP2L	00H
SCON	00H
SBUF	indeterminate
IOCON	00H

รูปที่ 2.4.9 ค่าของรีจิสเตอร์เมื่อเกิดการรีเซ็ท 8051

ในรูปที่ 2.4.9 ช่องทางขวาเป็นค่าของรีจิสเตอร์ที่อยู่ทางซ้ายเมื่อสิ้นสุดการรีเซ็ท ในรีจิสเตอร์ SBUF เมื่อสิ้นสุดการรีเซ็ทจะมีค่าที่ไม่แน่นอน และพอร์ทจะอยู่ในสภาวะลอจิก 1 ทุกบิทตลอดเวลาที่สัญญาณของขา RST เป็น HIGH อยู่

เมื่อสัญญาณที่ขา RST กลับเป็น 0 ก็จะออกจากการรีเซ็ท 8051 จะเริ่มทำงานจากคำสั่งที่อยู่ใน Program memory ตำแหน่ง 0000H เพราะค่าของรีจิสเตอร์ PC (Program Counter) ซึ่งใช้ชี้ตำแหน่งโปรแกรมที่จะทำงานถูกเปลี่ยนให้เป็น0000Hดังนั้นผู้ใช้จะต้องเขียนโปรแกรมมาเก็บไว้ที่ตำแหน่ง 0000H นี้เรียกว่ามอนิเตอร์โปรแกรม (Monitor program) ที่คอยรับการกดแป้นพิมพ์ (Keyboard) และแสดงผลทางตัวแสดงผล (Display) แบบ 7 Segment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ALE

Address Latch Enable ขานี้จะส่งสัญญาณที่มีความถี่ 1/6 เท่าของสัญญาณนาฬิกาจากออสซิลเลเตอร์ สัญญาณนี้จะส่งออกมาตลอดเวลายกเว้นบางครั้งของการติดต่อกับหน่วยความจำสำหรับข้อมูลภายนอก 8051 สัญญาณนี้จะใช้บอกกับอุปกรณ์ภายนอก 8051 ว่าขณะนี้สัญญาณนี้ Active (เป็นลอจิก 1) จะมีการส่งข้อมูลที่เป็น 8 บิทล่างของตำแหน่งหน่วยความจำภายนอก 8051 ที่ต้องการติดต่อออกไปทางพอร์ท 0 อุปกรณ์ภายนอกจะใช้สัญญาณนี้ในการ Latch ข้อมูลไว้เพราะพอร์ท 0 จะส่งค่าตำแหน่งหน่วยความจำออกมาเพียงชั่วขณะเท่านั้น ซึ่งในเวลาต่อมาพอร์ท 0 จะใช้รับ-ส่งข้อมูลกับหน่วยความจำภายนอก สัญญาณ ALE จะสามารถต่อเข้ากับอุปกรณ์ TTL ชนิด LS ได้ถึง 8 อินพุท

PSEN

Program Store Enable เป็นขาที่ 29 ในรูปที่ 2.4.4 ขานี้ปกติจะให้ลอจิก 1 แต่จะส่งลอจิก 0 เมื่อต้องการอ่านคำสั่ง (Fetch Instruction) ที่จะนำไปทำงานมาจากหน่วยความจำสำหรับโปรแกรมภายนอก 8051 ในกรณีที่อ่านคำสั่งซึ่งเก็บอยู่ในหน่วยความสำหรับโปรแกรมภายใน 8051 แล้วสัญญาณนี้จะไม่เปลี่ยนลอจิกเป็น 0 ขา PSEN นี้สามารถต่อไปยังขาอินพุทของ TTL ชนิด LS ได้ถึง 8 อินพุท

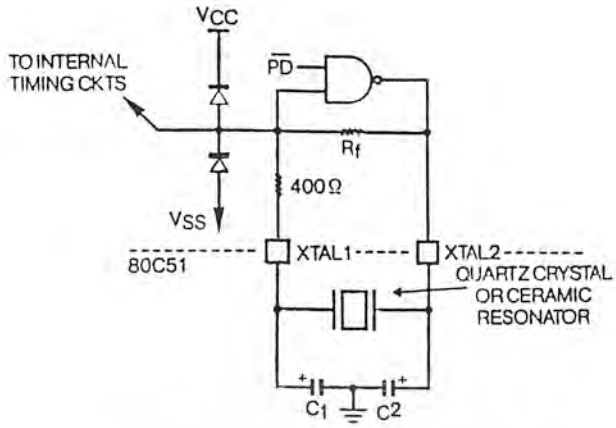
EA

External Access ขา 31 ของรูป 2.4.4 ขานี้ เป็นขาอินพุทที่ต่อเข้าไปยังวงจร Timing and Control เพื่อควบคุมการสร้างสัญญาณ PSEN ถ้าป้อนสัญญาณลอจิก 0 เข้าไปที่ขา EA นี้แสดงว่าโปรแกรมในตำแหน่ง 0000H ถึง 0FFFH ที่ต้องการให้ทำงานถูกเก็บไว้ภายนอก 8051 จะต้องสร้างสัญญาณ PSEN ออกไปยังภายนอก เพื่อทำการ FETCH คำสั่งเข้ามาทำงานแต่ถ้าสัญญาณที่ป้อนให้ขา EA เป็น 1 หมายความว่าโปรแกรมในตำแหน่ง 0000H ถึง 0FFFH ถูกเก็บไว้ภายใน 8051 การทำงานในตำแหน่งหน่วยความจำช่วงนี้จะอ่านคำสั่งต่างๆ จาก ROM ภายใน 8051

XTAL 1

ขาที่ 19 ของรูปที่ 2.4.4 ขานี้จะต่อเข้ากับขาของ Inverting Amplifier (วงจรขยายแบบป้อนกลับเฟสสัญญาณ) ที่ประกอบเป็นวงจรออสซิลเลเตอร์ ในรูปที่ 2.4.10 จะเห็นวงจรภายในของออสซิลเลเตอร์ NAND gate จะทำหน้าที่เป็นวงจรขยายแบบกลับเฟสของสัญญาณที่จะควบคุมให้มีการออสซิลเลตหรือไม่ก็ขึ้นอยู่กับสัญญาณ PD ซึ่งต่อมาจากบิท PS ของรีจิสเตอร์ PCON ถ้าต้องการใช้สัญญาณนาฬิกา (Clock Signal) จากภายนอกมาเป็นสัญญาณนาฬิกา ควบคุมการทำงานของ 8051 ก็ให้ป้อนสัญญาณเข้ามาที่จุดนี้แต่ถ้าต้องการใช้วงจรออสซิลเลเตอร์ภายในก็ให้ต่อCrystal หรือเซรามิคเรโซเนเตอร์ดังรูปที่ 2.4.10 คาปาซิเตอร์ในวงจรควรมีค่าประมาณ 20 PF

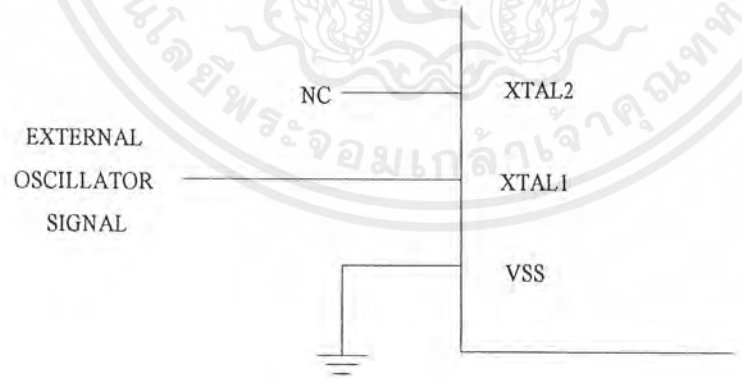
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4.10 วงจรออสซิลเลเตอร์ภายใน 8051

XTAL 2

ขาที่ 18 ของรูปที่ 2.4.4 ขานี้เป็นจุดเอาท์พุทของวงจรขยายแบบกลับเฟสสัญญาณ ที่ประกอบเป็นวงจรออสซิลเลเตอร์ (อินพุทคือขา XTAL 1) ถ้าจะให้สัญญาณนาฬิกาที่สร้างมาจากภายนอกมาเป็นสัญญาณนาฬิกาของ 8051 แล้ว ให้ปล่อยขานี้ลอยไว้แล้วป้อนสัญญาณนาฬิกาจากภายนอกเข้ามาที่ขา XTAL 1 ดังรูปที่ 2.4.11



รูปที่ 2.4.11 8051 ที่ทำงานโดยสัญญาณที่มาจากภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

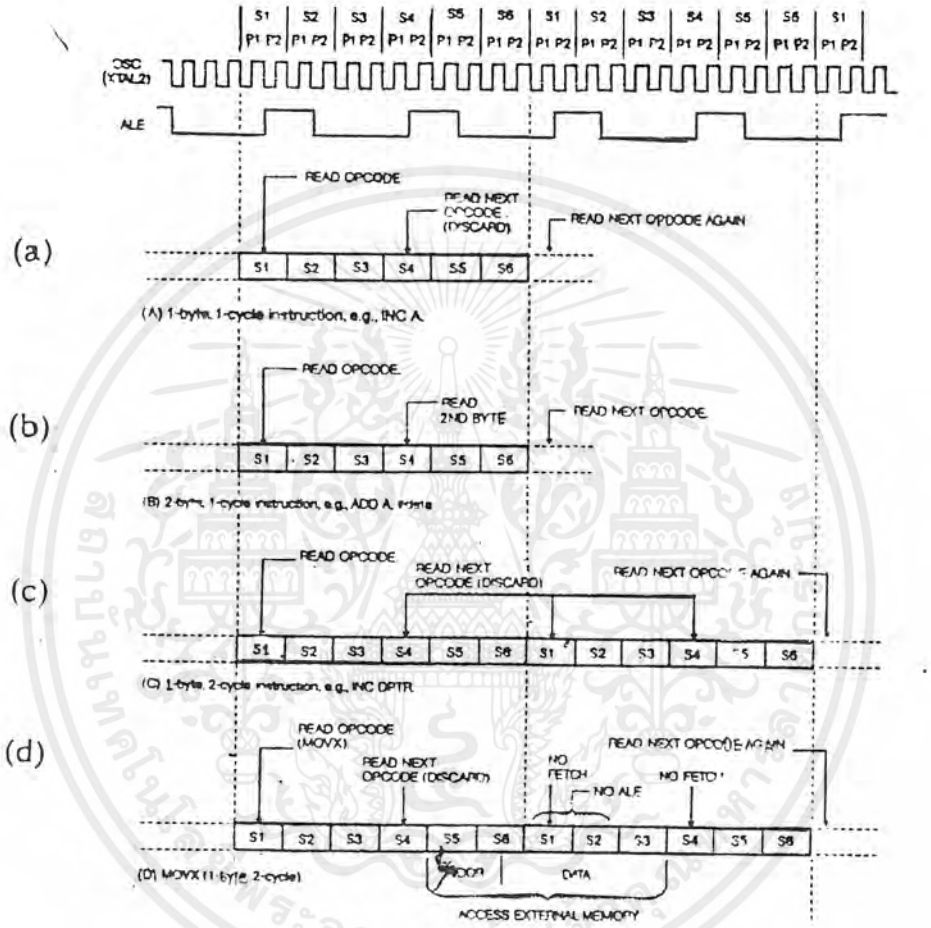
- การทำงานของ 8051

คอมพิวเตอร์จะทำงานด้วยวงจรที่เรียกว่าฮาร์ดแวร์ (Hardware) ประกอบขึ้นมาเพียงอย่างเดียว ไม่ได้จะต้องมีโปรแกรมหรือคำสั่งที่จัดเรียงกันไว้ให้คอมพิวเตอร์ทำงานตามลำดับใน 8051 ก็เช่นกัน ผู้ใช้จะต้อง เขียนโปรแกรมเป็นภาษาเครื่อง ซึ่งอยู่ในรูปของเลขฐาน 2 เก็บไว้ในหน่วยความจำประเภท Program Memory แต่ละคำสั่งของ 8051 อาจประกอบด้วย 1, 2 หรือ 3 ไบท์แล้วแต่ว่าจะเป็นคำสั่งให้ทำงานอะไร คอมพิวเตอร์ก็จะเหมือนกับคนที่จะต้องทำงานตามคำสั่ง เมื่อรับคำสั่งแล้วก็จะไปทำตามคำสั่งนั้นเสร็จสิ้นแล้วก็กลับมารับคำสั่งต่อไป

จากรูปที่ 2.4.3 เมื่อเริ่มป้อนไฟเลี้ยงให้กับ 8051 ซึ่งมีวงจร Power on reset ต่ออยู่จะมีการรีเซ็ทเกิดขึ้น การทำงานภายใน 8051 จะเริ่มจากบล็อก Program Counter ซึ่งเป็นวงจรนับ (Counter Circuit) ชนิดหนึ่งส่งค่าตำแหน่งหน่วยความจำสำหรับโปรแกรมลงไปบนบัส (Bus) หมายเลข 1 บัสนี้มีขนาด 16 บิท ค่าตำแหน่งหน่วยความจำนี้จะถูกส่งไปเก็บไว้ที่ Program ADDR Register ที่เป็นวงจร Latch ข้อมูลซึ่งเป็นค่าตำแหน่งหน่วยความจำ จะปรากฏที่บนบัส 16 บิทหมายเลข 2 ถ้าเป็นค่าตำแหน่งหน่วยความจำแรกจากรีเซ็ท ค่าตำแหน่งหน่วยความจำจะเป็น 0000H หน่วยความจำสำหรับโปรแกรมจะเลือกได้ว่าเป็น ROM ภายในให้ส่งข้อมูลที่เป็นคำสั่งจากตำแหน่งที่ถูกชี้ด้วยค่าตำแหน่งที่ส่งมาทางบัสหมายเลข 2 ข้อมูลจาก ROM จะถูกส่งลงไปยังบัสหมายเลข 3 ที่เรียกว่า Internal Data แล้วนำไปเก็บไว้ที่ Instruction Register (เป็นวงจร Latch) เพื่อส่งต่อไปให้กับวงจร Timing and Control ทำการถอดรหัสแล้วควบคุมการทำงานส่วนอื่นๆ ต่อไปแล้วแต่ว่าเป็นคำสั่งให้ทำอะไร ในกรณีที่เลือก ROM ภายนอก 8051โดยป้อนสัญญาณลอจิก 1 เข้าไปที่ขา EA จะทำให้วงจร Timing and Control ส่งสัญญาณไปยังพอร์ท 0 และพอร์ท 2 เพื่อส่งค่าตำแหน่งหน่วยความจำบนบัสหมายเลข 2 ออกไปชี้หน่วยความจำภายนอก จากนั้นจะอ่านข้อมูลที่เป็นคำสั่งกลับเข้ามาทางพอร์ท 0 ไปยัง Internal Data Bus แล้วไปเก็บที่ Instruction Register เพื่อทำงานต่อไปเหมือนกับตอนอ่านคำสั่งจาก ROM ภายในการทำงานในช่วงส่งค่าตำแหน่งหน่วยความจำไปยังหน่วยความจำแล้วอ่านข้อมูลที่เป็นคำสั่งกลับเข้ามาเก็บไว้ใน Instruction Register เรียกว่าเป็นช่วงของการ Fetch (Fetch Cycle) ช่วงต่อไปจะเป็นช่วงของการทำงานตามคำสั่งเรียกว่า Execute Cycle เช่นถ้าเป็นคำสั่งให้บวกข้อมูลในรีจิสเตอร์ Accumulator กับข้อมูลจากหน่วยความจำ Data Memory ภายใน RAM ตำแหน่ง 23H ลงไปยัง Internal Data Bus แล้วนำข้อมูลไปเก็บไว้ที่ RAM ADDR Register เพื่อใช้ชี้ตำแหน่งหน่วยความจำ RAM จากนั้น Timing and Control จะสั่งให้ RAM ส่งให้ RAM ส่งข้อมูลไปเก็บไว้ที่ TMP1 (วงจร Latch) ขณะเดียวกันวงจร Timing and Control ก็จะส่งสัญญาณไปยัง ACC ให้ส่งข้อมูลมายัง TMP2 (วงจร Latch) วงจร ALU ซึ่งโครงสร้างเป็นวงจรทำการคำนวณทางคณิตศาสตร์ (บวก, ลบ, คูณ, หาร) และยังสามารถทำงานทางลอจิก (AND, OR, NOT, XOR) จะทำการบวกเลขจาก TMP1 และ TMP2 เข้าด้วยกันผลลัพธ์ที่ได้จะส่งผ่าน Internal data Bus กลับไปเก็บยัง ACC PSW (Program Status Word) ซึ่งจะทำหน้าที่เก็บสถานะผลลัพธ์ของการทำงานใน ALU เช่น ผลลัพธ์การบวกมีค่าเกิน 8 บิท ก็จะทำให้บิทหนึ่งใน PSW ถูก SET เป็น 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานที่กล่าวมาข้างต้นจะขึ้นกับสัญญาณควบคุมที่สร้างมาจากวงจร Timing and Control และสัญญาณที่สร้างขึ้นนี้จะอ้างอิงกับสัญญาณนาฬิกาที่สร้างมาจากวงจร Oscillator ทำให้การทำงานต่างๆ เป็นไปตามลำดับที่ผู้ผลิตได้ออกแบบไว้ ดังในรูปที่ 2.4.12



รูปที่ 2.4.12 ลำดับสถานะการทำงานใน MCS-51

คำสั่งแต่ละคำสั่งของ 8051 จะใช้เวลาทำงาน 1, 2 หรือ 3 ไซเคิลของเครื่อง (Machine Cycle) แล้วแต่ว่าเป็นคำสั่งประเภทใด 1 ไซเคิลของเครื่องจะใช้เวลา 12 ไซเคิลของสัญญาณนาฬิกา ดังนั้นแต่ละคำสั่งของ 8051 จะใช้เวลาการทำงาน 12, 24 หรือ 36 ไซเคิลของสัญญาณนาฬิกานั่นเอง แต่ละไซเคิลของเครื่องจะถูกแบ่งออกเป็น 6 State หรือ S1, S2, S3, S4, S5 และ S6 แต่ละ State จะประกอบด้วย 2 ไซเคิลของสัญญาณนาฬิกา ในไซเคิลแรกจะเรียกว่าเฟส 1 (P1) และไซเคิลที่ 2 เรียกเฟส 2(P2) ในแต่ละเฟสจะนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตั้งแต่ขอบขาลงของสัญญาณนาฬิกาถึงขอบขาลงของสัญญานาฬิกาที่อยู่ถัดไปดังในรูปที่2.4.12 เมื่อ 8051 ทำงานเสร็จ 1 ไซเคิลของเครื่องก็จะเริ่มทำงาน State 1 Phase 1 (S1P1) ของไซเคิลต่อไป ใน 1 ไซเคิลของเครื่องวงจร Timing and Control จะสร้างสัญญาณ ALE ออกมา 2 ไซเคิลเพื่อ Fetch คำสั่งเข้าไป 2 ครั้งเสมอ ที่บริเวณขอบขาขึ้นของสัญญาณ ALE คำสั่งใดจะมีกี่ไบท์หรือใช้เวลาทำงานกี่ไซเคิลจะดูได้จากตารางชุดคำสั่ง 8051 ที่จะกล่าวต่อไป

คำสั่งประเภท 1 ไบท์ 1 ไซเคิลของเครื่องได้แก่คำสั่ง INC A จะมีการอ่านคำสั่งจากหน่วยความจำสำหรับโปรแกรม 2 ครั้ง ที่เวลาประมาณขอบขาขึ้นของสัญญาณ ALE เมื่อคำสั่งแรกถูกอ่านเข้าไปที่เวลาขอบขาขึ้นของสัญญาณ ALE แรก แล้วนำไปเก็บที่ Instruction Register เพื่อให้วงจร Timing and Control ถอดรหัส แล้วเข้าอยู่การ Execute ขณะเดียวกันก็จะเริ่มต้นการ Fetch คำสั่งที่อยู่ในหน่วยความจำตำแหน่งถัดไปเข้ามาและคำสั่งที่2จะถูกอ่านเข้ามาที่เวลาขอบขาขึ้นของสัญญาณ ALE ถัดไป วงจร Timing and Control เมื่อถอดรหัสคำสั่งแรกก็จะทราบว่าการทำงานคำสั่งนี้ให้สิ้นสุดจะใช้คำสั่ง เพียง 1 ไบท์ ดังนั้นคำสั่งที่ถูกอ่านมาไบท์ที่ 2 จะไม่ถูกนำมาทำงาน เพียงแต่อ่านข้ามแล้วทิ้งไป (Discard) ดังในรูปที่ 2.4.12a

คำสั่งประเภท 2 ไบท์ และใช้เวลา 1 ไซเคิลของเครื่องได้แก่คำสั่ง ADD A, #data ในหนึ่งไซเคิลของเครื่องนี้จะมีการอ่านคำสั่งเข้ามา 2 ไบท์ เหมือนกับคำสั่งประเภท 1 ไบท์ 1 ไซเคิลของเครื่อง แตกต่างกันที่ไบท์ที่ 2 จะถูกนำมาใช้งานด้วยไม่ได้ถูกทิ้งไปดังใน รูปที่ 2.4.12b

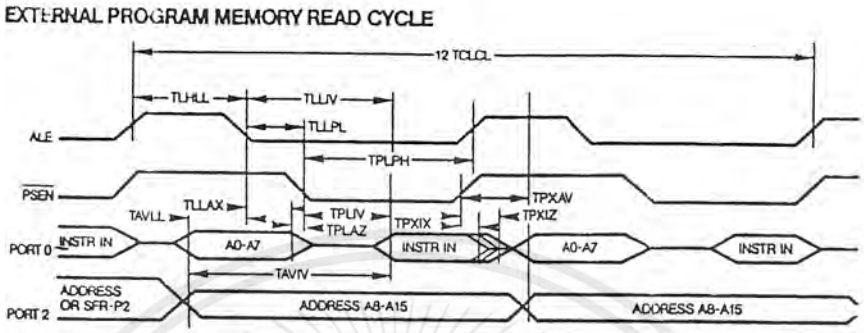
ตัวอย่างของคำสั่ง ADD A, #33H จะเขียนเป็นภาษาเครื่องได้ 2 ไบท์ คือ 24 33 เมื่ออ่านคำสั่งไบท์แรกคือ 24 เข้าไปไว้ที่ Instruction Register แล้ว Timing and Control จะถอดรหัสพบว่าเป็นคำบวกเลข ก็จะส่งสัญญาณไปยัง Accumulator ให้เอาข้อมูลไปไว้ที่ TMP1 เมื่อคำสั่งที่ 2 ถูกอ่านเข้ามาที่ Instruction Register แล้ว Timing and Control จะสั่งให้เอาข้อมูลไบท์ที่ 2 ส่งลงไปยัง Internal Data Bus ไปเก็บยัง TMP1 จากนั้นวงจร ALU จะนำเอาข้อมูล TMP1 และ TMP2 มาบวกกันผลลัพธ์ที่ได้จะส่งออกจาก ALU ไปยัง Internal Data Bus แล้วไปเก็บไว้ที่ Accumulator

คำสั่งประเภท 1, 2 หรือ 3 ไบท์ ที่ใช้เวลาทำงาน 2 ไซเคิลของเครื่องเช่น คำสั่ง INC DPTR จะมีการอ่านคำสั่งเข้าไป 4 ครั้งทุกๆ ขอบขาขึ้นของสัญญาณ ALE ที่มี 2 ครั้งต่อ 1 ไซเคิลของเครื่อง ถ้าเป็นคำสั่งประเภท 1, 2 หรือ 3 ไบท์ วงจร Timing and Control จะเอาคำสั่ง 1, 2 หรือ 3 ไบท์แรกเท่านั้นไปทำงาน ส่วนคำสั่งที่เหลือทิ้งไปดังในรูปที่ 2.4.12c คำสั่งที่ 1 ไบท์ เวลาทำงาน 2 ไซเคิลของเครื่องที่กล่าวมาแล้วจะไม่รวมถึงคำสั่ง MOVX ซึ่งใช้ในการอ่านหรือเขียนข้อมูลกับหน่วยความจำ Data Memory ภายนอก การทำงานของคำสั่งนี้จะมีการ Fetch คำสั่งเข้าไป 2 ไบท์ในไซเคิลของเครื่องแรก ในไซเคิลของเครื่องที่ 2 จะไม่มีการ Fetch คำสั่งเข้าไป แต่จะเป็นช่วงเวลาของการอ่านหรือเขียนข้อมูลกับ Data Memory ภายนอกสัญญาณ ALE ซึ่งปกติจะเปลี่ยนเป็น 1 ที่ S1P2 ก็จะไม่เปลี่ยนเป็น 1 ในไซเคิลของเครื่องที่ 2 โดยจะเป็น 0 อยู่ จนกว่าจะถึงเวลา S4P2 ของไซเคิลของเครื่องที่ 2 สัญญาณ ALE จะเปลี่ยนเป็น 1 เพื่อทำการอ่านหรือเขียนข้อมูลกับ Data Memory ภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ไดอะแกรมเวลาของการติดต่อกับหน่วยความจำ

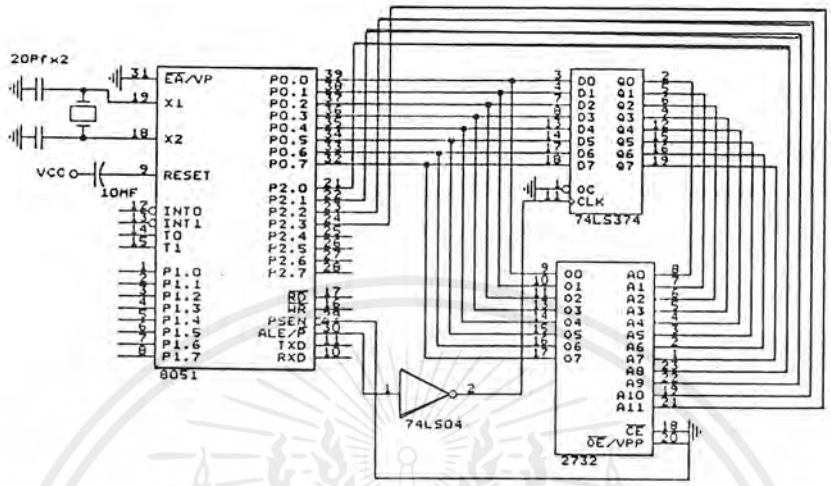
การอ่านข้อมูลจากหน่วยความจำสำหรับโปรแกรมภายนอก 8051 นั้น ลำดับสัญญาณตามเวลา (Timing Diagram) ของสัญญาณที่ทำการอ่านคำสั่งมีดังรูปที่ 2.4.13



รูปที่ 2.4.13 Timing Diagram ของการอ่านโปรแกรมจากหน่วยความจำภายนอก

การอ่านคำสั่ง (Fetch) จาก Program area ภายนอกจะเริ่มจาก 8051 ส่งสัญญาณลอจิก 1 ออกมาทางขา ALE ขณะนี้สัญญาณที่ขา PSEN จะเป็น 1 จากนั้น Port 0 จะส่งค่าตำแหน่งหน่วยความจำ 8 บิทล่าง และพอร์ท 2 จะส่งตำแหน่งหน่วยความจำ 8 บิท บนออกมาแล้วสัญญาณ ALE จะกลับเป็น 0 อุปกรณ์ภายนอกจะสามารถใช้ขอบขาลงสัญญาณ ALE เพื่อ Latch ตำแหน่งหน่วยความจำที่พอร์ท 0 ไว้ จากนั้นพอร์ท 0 ก็จะยกเลิกการส่งค่าตำแหน่งหน่วยความจำเข้าสู่สภาวะ High Impedance และสัญญาณ PSEN จะเป็น 0 เพื่อเตรียมรับคำสั่งที่ส่งออกจากหน่วยความจำภายนอกเข้าไปยัง 8051 เพื่อทำงานต่อไป เมื่อคำสั่งถูกอ่านเข้าไปเก็บใน Instruction Register (ดูรูป 2.4.3) แล้วสัญญาณ PSEN จะกลับเป็น 1 พร้อมกับสัญญาณ ALE ก็จะกลับเป็น High เพื่อการอ่านคำสั่งต่อไปทำงาน ข้อมูลในพอร์ท 2 จะคงที่ตลอดเวลา ตั้งแต่สัญญาณ ALE เป็น 1 จนกระทั่งสัญญาณ ALE เปลี่ยนเป็น 0 และกลับเป็น 1 อีกครั้งหนึ่งจากนั้นจะเริ่มลำดับการ Fetch ข้อมูลไบท์ที่ 2 จากหน่วยความจำสำหรับโปรแกรม ซึ่งจะมีการเปลี่ยนแปลงของสัญญาณตามเวลาเหมือนกับการ Fetch ไบท์แรกนั่นเอง จาก Timing Diagram ดังกล่าวจะออกแบบวงจรที่มี Program Memory อยู่ภายนอก 8051 ได้ดังตัวอย่างในรูปที่ 2.4.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



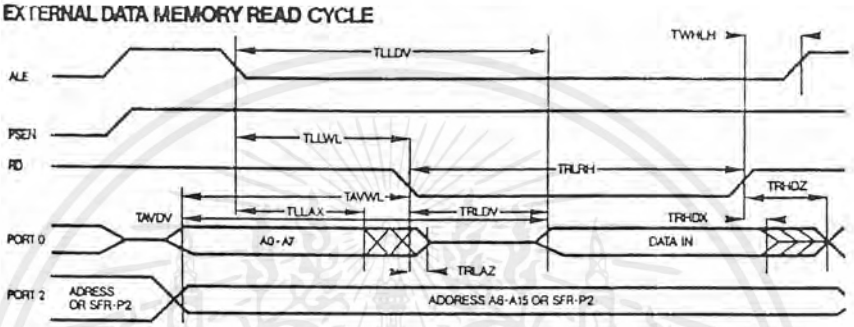
รูปที่ 2.4.14 วงจรที่มี Program Memory อยู่ภายนอก 8051

74LS374 ในรูปที่ 2.4.14 จะทำหน้าที่ Latch ตำแหน่งในหน่วยความจำ 8 บิทล่างที่เวลาขอบขาลงของสัญญาณ ALE ซึ่งสัญญาณ ALE จะถูกกลับให้ตรงข้ามโดย inverter 74LS04 ก่อนที่จะป้อนให้กับขา CK ของ 74LS374 และที่ขอบขาขึ้นของสัญญาณที่ออกจาก 74LS04 จะ Latch ตำแหน่งหน่วยความจำข้อมูลที่ออกจาก 74LS374 จะเป็นค่า 8 บิทล่างของตำแหน่งหน่วยความจำที่ต้องการติดต่อ ในวงจรได้ต่อค่าตำแหน่งหน่วยความจำ 8 บิทเข้ากับ A0 ถึง A7 ของ EPROM และข้อมูลจากพอร์ท 2 บิท P2.3 จะต่อเข้ากับ A8-A11 ของ EPROM โดยตรงเพราะค่าตำแหน่งหน่วยความจำ 8 บิทบนที่ออกจากพอร์ท 2 จะคงที่ตลอดเวลา ขา PSEN ของ 8051 จะถูกต่อเข้ากับขา OE ของ EPROM 2716 ดังนั้นเมื่อสัญญาณ PSEN จะมีสภาวะลอจิกเป็น 0 ก็จะส่งคำสั่งที่เก็บใน EPROM ณ ตำแหน่งที่ชี้โดยข้อมูลที่ขา A0 ถึง A11 ออกมายังพอร์ท 0 และถูก 8051 เก็บไปทำงานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอ่าน-เขียนข้อมูลกับหน่วยความจำสำหรับข้อมูลภายนอก

การอ่าน-เขียนข้อมูลกับ Data Memory ภายใน 8051 นั้นจะมีสัญญาณสร้างมาจากส่วน Timing and Control โดยที่ผู้ใช้ไม่จำเป็นจะต้องทำความเข้าใจ แต่การอ่าน-เขียนข้อมูลกับ Data Memory ภายนอก อันเนื่องมาจากคำสั่ง MOVX นั้น เมื่อคำสั่งดังกล่าวถูกอ่านเข้ามายัง Instruction Register แล้ว Timing and Control จะทำการถอดรหัสแล้วสร้างสัญญาณควบคุมดังนี้ การอ่านข้อมูลจาก External Data Memory จะมีไดอะแกรมสัญญาณตามเวลาดังรูปที่ 2.4.15

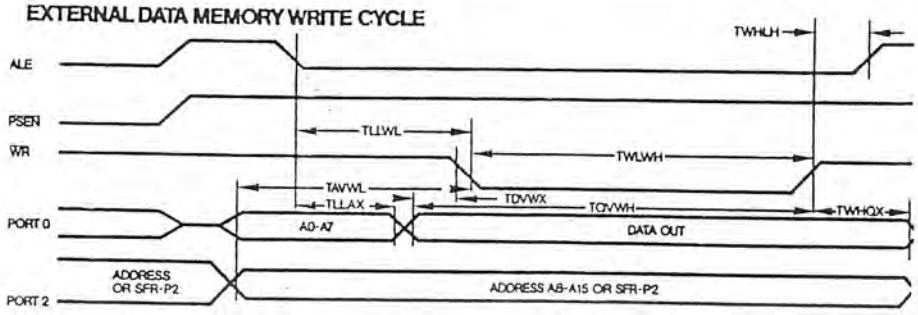


รูปที่ 2.4.15 Timing Diagram ของการอ่านข้อมูลจากหน่วยความจำสำหรับข้อมูล ภายนอก 8051

การทำงานจะเริ่มจากการส่งค่าตำแหน่งหน่วยความจำภายนอก 8 บิทล่างทางพอร์ท 0 และ8บิทบนออกทางพอร์ท 2 เมื่อส่งค่าตำแหน่งแล้ว สัญญาณ ALE ซึ่งเดิมมีลอจิกเป็น 1 จะกลับมาเป็น 0 เพื่อให้อุปกรณ์ภายนอกสามารถ Latch ตำแหน่งหน่วยความจำไว้เหมือนกับในการอ่านข้อมูลจากหน่วยความจำสำหรับโปรแกรมภายนอก 8051 เพื่อส่งไปยังหน่วยความจำแม้ว่าข้อมูลบนพอร์ท 0 จะเปลี่ยนแปลงไปก็จะยังมีค่าตำแหน่งหน่วยความจำส่งไปยังหน่วยความจำส่งไปยังหน่วยความจำในระหว่างการติดต่อกับ Data Memory นี้สัญญาณ PSEN จะเป็น 1 ตลอดเพราะสัญญาณ PSEN จะ Active (เป็น 0) ก็ต่อเมื่อเป็นการติดต่อกับหน่วยความจำสำหรับโปรแกรมภายนอก 8051 เท่านั้น 8051 จะส่งสัญญาณลอจิก 0 ออกมาทางขา RD (P3.7) เพื่อบอกกับหน่วยความจำภายนอกว่าต้องการอ่านข้อมูลเข้าไปเมื่อ 8051 ส่งสัญญาณ RD เป็นลอจิก 0 จะทำให้พอร์ท 0 เข้าสู่สถานะ High Impedance พร้อมที่จะให้หน่วยความจำภายนอกส่งข้อมูลมาบนพอร์ท 0 ข้อมูลบนพอร์ท 0 ซึ่งส่งมาจากหน่วยความจำภายนอกจะถูกอ่านเข้าไปเก็บที่เวลาขอบขาขึ้นของสัญญาณ RD จากนั้นสัญญาณ ALE ก็จะกลับเป็น 1 เพื่อเริ่มการทำงานในคำสั่งต่อไปในระหว่างการอ่านข้อมูลจากหน่วยความจำสำหรับข้อมูลภายนอกนี้พอร์ท 2 จะส่งค่าตำแหน่งหน่วยความจำ 8 บิทบนออกมาตลอดเวลา

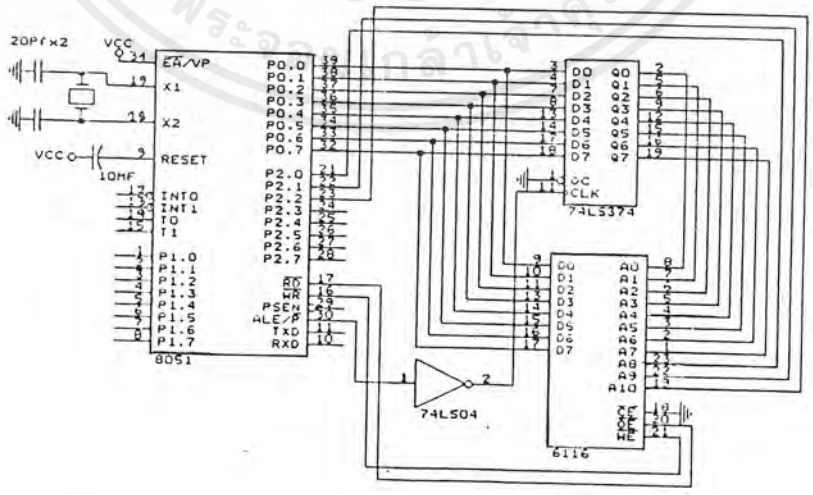
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเขียนข้อมูลไปยังหน่วยความจำสำหรับข้อมูลภายนอก 8051 จะมีไดอะแกรมสัญญาณตามเวลาดังรูปที่ 2.4.16



รูปที่ 2.4.16 Timing Diagram ของการเขียนข้อมูลไปยังหน่วยความจำสำหรับข้อมูลภายนอก 8051

เมื่อ 8051 ส่งค่าตำแหน่งหน่วยความจำ 8 บิทล่างไปทางพอร์ท 0 และ 8 บิทบนลงไปทางพอร์ท 2 แล้วสัญญาณ ALE จะกลับเป็น 0 อุปกรณ์ภายนอกจะสามารถใช้สัญญาณนี้ในการ Latch ค่าตำแหน่งหน่วยความจำบนพอร์ท 0 เหมือนกับในการอ่านข้อมูลจากหน่วยความจำสำหรับข้อมูลภายนอก เมื่อสัญญาณ ALE เป็น 0 แล้ว 8051 จะส่งข้อมูลที่ต้องการเขียนไปยังพอร์ท 0 แล้วจะให้สัญญาณ WR เปลี่ยนสถาวะลอจิกเป็น 0 ขณะนี้หน่วยความจำภายนอกจะต้องเขียนข้อมูลไปเก็บยังตำแหน่งที่กำหนด จากนั้นสัญญาณ WR จะกลับเป็น 1 เพื่อเป็นการบอกสิ้นสุดการเขียนข้อมูลแล้ว สัญญาณ ALE ก็จะกลับเป็น 1 เพื่อ Fetch คำสั่งต่อไปมาทำงานหน่วยความจำสำหรับข้อมูลภายนอกที่สามารถอ่านและเขียนข้อมูลได้ จะสามารถเขียนเป็นวงจรได้ดังรูปที่ 2.4.17



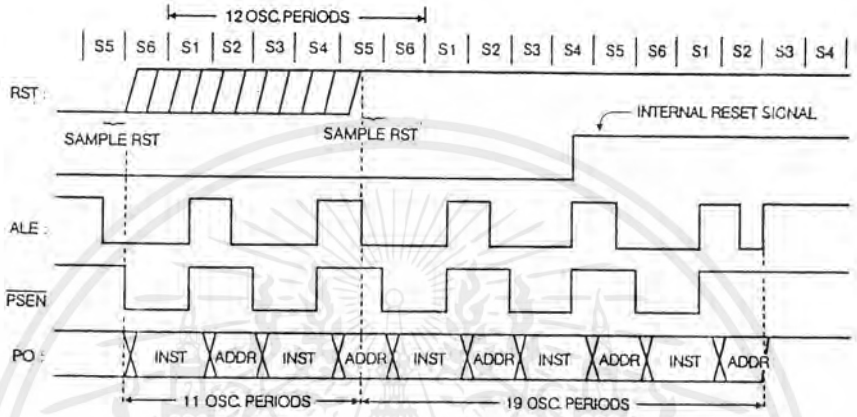
รูปที่ 2.17 วงจรที่มีหน่วยความจำสำหรับข้อมูลที่อยู่ภายนอก 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

74LS374 ในรูปจะใช้สำหรับLatch ค่าตำแหน่งหน่วยความจำ 8 บิทล่างไว้ แม้ว่าข้อมูลบน พอร์ท 2 จะเปลี่ยนไป สัญญาณ RD และ WR จะอ่านหรือเขียนข้อมูลจากหน่วยความจำภายนอก 6116 เป็นหน่วยความจำแบบ RAM ที่สามารถจะอ่านและเขียนข้อมูลได้

- การรีเซ็ท

เมื่อป้อนสัญญาณที่มีสภาวะลอจิก 1 เข้าไปทางขา RST จะไม่ได้เกิดการรีเซ็ท ขึ้นทันทีทันใด แต่ลำดับการเกิดรีเซ็ทจะแสดงได้ดังไดอะแกรมตามเวลาในรูปที่ 2.4.18



รูปที่ 2.4.18 ไดอะแกรมตามเวลาของการรีเซ็ท

ในรูป 2.4.18 เป็น Timing Diagram ของการรีเซ็ท สภาวะลอจิกของสัญญาณที่ขา RST จะถูกอ่านเข้ามาที่เวลา S5P2 (เฟส 2 State 5) ของทุกๆ ไซเคิลของเครื่อง ในกรณีที่เป็นคำสั่งซึ่งมีการทำงานเสร็จสิ้นใน 2 ไซเคิลของเครื่องก็จะตรวจสอบเฉพาะสัญญาณที่อ่านเข้ามาในไซเคิลที่ 2 ของการทำงานดังนั้นในการรีเซ็ทจะต้องป้อนสัญญาณที่มีสภาวะลอจิก1เข้าไปที่ขานี้เป็นเวลาอย่างน้อย 2 ไซเคิลของเครื่อง หรือ 24 ไซเคิลของสัญญาณนาฬิกาที่สร้างจากวงจรออสซิลเลเตอร์ภายใน 8051 เพื่อให้แน่ใจว่าสัญญาณนาฬิกาที่สร้างจากวงจรออสซิลเลเตอร์ภายใน 8051 ออสซิลเลเตอร์จึงจะต้องทำงานอยู่ด้วย เมื่อ 8051 สุ่มข้อมูลที่ขา RST แล้วตรวจพบว่าเป็นสภาวะลอจิก 1 ก็จะสร้างสัญญาณรีเซ็ทขึ้นภายใน ที่เวลา S2P4 ของไซเคิลเครื่องถัดไป ข้อมูลที่แต่ละพอร์ทส่งออกมาจะยังคงปรากฏที่พอร์ทจนกว่าจะเกิดการรีเซ็ทขึ้นซึ่งต้องใช้เวลา19ไซเคิลของสัญญาณจากออสซิลเลเตอร์นับตั้งแต่เวลา S5P2 คำสั่งเข้าไปทำงานได้อยู่สภาวะของสัญญาณลอจิกที่ขา RST จะถูกอ่านเข้าไปตรวจสอบที่เวลา S5P2 ของทุกๆ ไซเคิลของเครื่อง ดังนั้นถึงแม้ว่าสัญญาณที่ขา RST จะมีลอจิกเป็น 1 มาก่อนก็จะยังไม่เกิดการตรวจสอบสัญญาณรีเซ็ท ดังในรูปที่ 2.19 สัญญาณที่ขา RST อาจเป็น 1 มาตั้งแต่ State ที่ 6 ก็จะไม่เกิดอะไรขึ้นจนกระทั่ง 1 ไซเคิลของออสซิลเลเตอร์ต่อมาซึ่งเป็นเวลา S5P2 จึงจะเกิดการตรวจสอบสัญญาณที่ขา RST ถ้าคำสั่งนั้นมีการทำงานมากกว่า 1 ไซเคิลของเครื่อง 8051 ก็จะต้องทำงานในคำสั่งนั้นให้เสร็จสิ้นเสียก่อนจึงจะเริ่มการรีเซ็ทได้ โดย 8051 จะดูสภาวะของสัญญาณที่ขา RST ของ S5P2 ในไซเคิลของเครื่องสุดท้ายเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การติดต่อสื่อสารผ่านพอร์ทอนุกรม

การติดต่อสื่อสารผ่านพอร์ทอนุกรมนั้นมีข้อยุ่งยากมากกว่าการใช้พอร์ทขนานสำหรับอุปกรณ์ทั่ว ๆ ไปแล้วจะต้องการข้อมูลในการประมวลผลแบบขนาน ดังนั้นจึงเพิ่มอุปกรณ์ที่ทำหน้าในการแปลงข้อมูลแบบอนุกรมมาเป็นข้อมูลแบบขนาน อุปกรณ์นี้คือUART และซอฟแวร์ที่ใช้ควบคุมการทำงานก็จะยุ่งยากกว่าการควบคุมผ่านพอร์ทมาตราฐานแบบขนาน แต่การสื่อสาร โดยใช้พอร์ทอนุกรมนั้น ก็มีข้อดีอยู่ไม่น้อยเช่นกันอาทิเช่น

1.การติดต่อสื่อสารผ่านพอร์ทอนุกรมสามารถใช้สายได้ยาวกว่าการติดต่อสื่อสารผ่านพอร์ทขนาน โดยที่พอร์ตอนุกรมจะใช้แรงดันในช่วง - 3 ถึง - 25 V แทนลอจิก 0 และใช้แรงดันในช่วง + 3 ถึง + 25 V แทนลอจิก 1 ในขณะที่พอร์ทขนานจะใช้แรงดัน 0 V แทนลอจิก 0 และ +5 V แทนลอจิก 1 ดังนั้นจะเห็นว่า ช่วงการสวิงแรงดันของพอร์ทอนุกรมจะมีค่าประมาณ 50 V ส่วนพอร์ทขนานจะมีช่วงสวิง 5 V เท่านั้น ซึ่งจะเห็นได้อย่างชัดเจนว่า หากมีการสูญเสียในสายแล้วการสื่อสารผ่านพอร์ทอนุกรมจะสามารถส่งข้อมูลไปได้ไกลกว่าอย่างแน่นอน

2.การใช้จำนวนสายน้อยกว่าการส่งข้อมูลแบบขนานในกรณีที่อุปกรณ์อยู่ห่างจากเครื่องคอมพิวเตอร์มาก ๆ ย่อมจะสะดวกและประหยัดกว่า หากจะเดินสายเพียง 3 เส้น ซึ่งเป็นลักษณะโครงสร้างของนัลโมเด็ม(Null modem) เมื่อเทียบกับการเดินสายจำนวน 19 หรือ 25 เส้น ในการพอร์ทขนาน

3. ปัจจุบันอุปกรณ์ที่ใช้แสงอินฟาเรด (Infrared) ได้รับความนิยมมากขึ้น ซึ่งจะเห็นได้จากอุปกรณ์ประเภทสมุดบันทึกอิเล็กทรอนิกส์ เครื่องคอมพิวเตอร์แบบโน้ตบุค ฯลฯ จะมีการติดต่อสื่อสารโดยใช้อินฟาเรดร่วมอยู่ด้วยและแน่นอนว่าการใช้อินฟาเรดก็จะต้องใช้การติดต่อสื่อสารผ่านพอร์ทอนุกรม เนื่องจากความไม่สะดวกอย่างยิ่งในการที่จะส่งข้อมูลแบบขนานด้วยอินฟาเรด

ลักษณะทางฮาร์ดแวร์

อุปกรณ์ที่ใช้สื่อสารแบบอนุกรมสามารถแยกออกได้เป็น2ประเภทคือDCE (Data communication Equipment)อุปกรณ์เหล่านี้ได้แก่ โมด็ม TA อะแดปเตอร์ , พล็อตเตอร์ ฯลฯ และ DTE (Data Terminal Equipment) ซึ่งก็คือ คอมพิวเตอร์นั้นเอง ข้อกำหนดทางไฟฟ้าของพอร์ตอนุกรมได้ถูกำหนดเป็นมาตราฐานโดย EIA (Electronic Industry association) หรือ

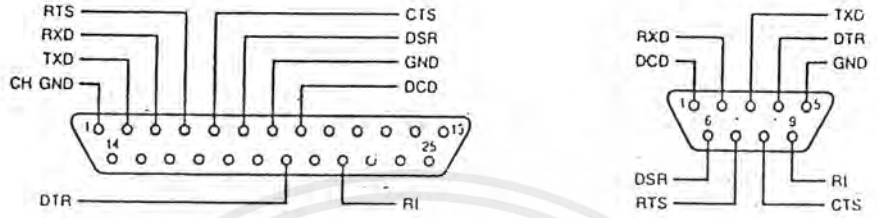
RS-232 ซึ่งประกอบไปด้วยสิ่งต่าง ๆ เหล่านี้

1. ช่วงไม่มีข้อมูล(space) หรือลอจิก 0 ต้องมีแรงดันอยู่ในช่วง -3 และ -25 V
2. ช่วงข้อมูล(mark) หรือลอจิก 1 ต้องมีแรงดันอยู่ในช่วง + 3 และ +25 V
3. แรงดันในช่วง -3 ถึง +3 V ไม่มีการนิยามไว้
4. แรงดันในขณะเปิดวงจรต้องมีค่าไม่เกิน 25 V
5. กระแสขณะช็อตวงจรมีค่าไม่เกิน 500 mA

ข้อมูลเหล่านี้ยังไม่ใช้ข้อกำหนดที่ครอบคลุมมาตราฐานของ RS-232 ทั้งหมด มาตราฐานของ RS-232 นั้นนอกจากจะมีคุณสมบัติดังที่ได้กล่าวมาแล้ว ยังจะต้องประกอบด้วยค่าคาปาซิแตนซ์ของสายอัตราบอดสูงสุด ฯลฯ ซึ่งรายละเอียดต่าง ๆ ให้ดูจากมาตราฐานของ EIARS-232-C ตามมาตราฐานของ RS-232 กำหนดอัตราบอดไว้สูงสุดที่ 20,000 BPS ซึ่งค่อนข้างจะช้าเกินไปสำหรับมาตราฐานในปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในช่วงหลังได้มีการกำหนดมาตราฐาน RS-232 ขึ้นและยังคงใช้กันอยู่ในปัจจุบัน พอร์ทอนุกรมนี้จะมีอยู่ด้วยกัน 2 ขนาดคือคอนเน็คเตอร์แบบ D-type ตัวผู้ขนาด 25 Pin รูปที่2.5.1(ก) และคอนเน็คเตอร์แบบ D-type ตัวผู้เช่นกันขนาน 9 Pin รูปที่2.5.1(ข) ซึ่งคอนเน็คเตอร์ทั้ง 2 แบบนี้จะติดอยู่ที่ด้านหลังของเครื่องคอมพิวเตอร์



รูปที่ 2.5.1 (ก) คอนเน็คเตอร์แบบ DB-25 (ข) คอนเน็คเตอร์แบบ DB - 9

ตารางที่ 2.5.1 ตำแหน่งขาสัญญาณของพอร์ทอนุกรม

D-type 25 Pin NO	D-type 25 Pin NO	Abbreviation	Full Name
Pin 2	Pin 3	TD	Transmit Data
Pin 3	Pin 2	RD	Receive Data
Pin 4	Pin 7	RTS	Request to Send
Pin 5	Pin 8	CTS	Clear to Send
Pin 6	Pin 6	DSR	Data Set Ready
Pin 7	Pin 5	SG	Signal Ground
Pin 8	Pin 1	CD	Carrier Detect
Pin 20	Pin 4	DTR	Data Terminal Ready
Pin 22	Pin 9	RI	Ring Indicator

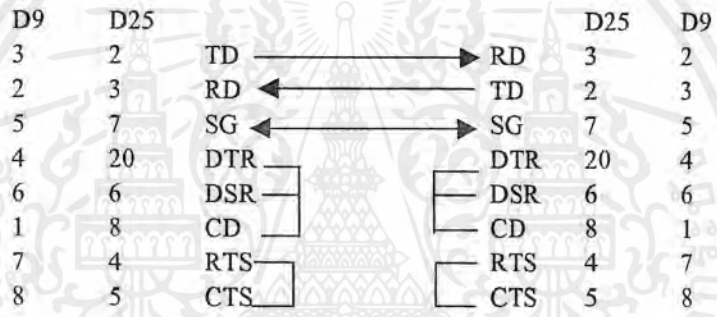
ตารางที่ 2.5.2 หน้าที่ของขา สัญญาณแต่ละเส้น

Abbreviation	Full Name	Function
TD	Transmit Data	-Serial Data Output(TXD
RD	Receive Data	-Serial Data Input(RXD
CTS	Clear to Send	-This line indication that the Modem is ready to exchange data
DCD	Data Carrier Detect	-When the modem detect a Carrier from the modem at the other end of the phone line this line becomes active
DSR	Data Set Ready	-This tell the UART that the modem is ready to establish link
DTR	Data Terminal Ready	-This is the opposite to DSR This tell the Modem that the UART is ready to link
RTS	Request to Sent	-This line inform the MODEM that the UART is ready to exchange data
RI	Ring Indicator	-Goes active when modem detect ringing signal from the PSTN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นัลโมเด็ม (Null Modem)

นัลโมเด็มใช้เพื่อเชื่อมต่อ DTE 2 เครื่องเข้าด้วยกัน ซึ่งสามารถนำไปใช้เล่นเกมส์ผ่านเครือข่ายหรือใช้ในการส่งผ่านข้อมมูลระหว่างเครื่องคอมพิวเตอร์ด้วยโปรโตคอลแบบ Zmodem หรือ Xmodem รูปที่ 2.5.2 แสดงการเชื่อมต่อสายของนัลโมเด็มลักษณะการต่อสายของนัลโมเด็มนั้นจะใช้สายเพียง 3 เส้น (TD,RDและ SG) โดยที่สาย TD ของคอมพิวเตอร์เครื่องหนึ่งจะต่อไปยังสาย RD ของคอมพิวเตอร์อีกเครื่องหนึ่ง และในทางกลับกันสาย RD ของคอมพิวเตอร์เครื่องหนึ่งจะต่อกลับไปยังสาย TD ของคอมพิวเตอร์อีกเครื่องหนึ่ง ส่วนสาย SD ของคอมพิวเตอร์ทั้งสองเครื่องจะถูกต่อเข้าด้วยกัน การทำ loop back นั้นจะนำสัญญาณ DTR ป้อนเข้ากับขา DSRและ CD ของคอมพิวเตอร์ทั้งสองเครื่องเนื่องจากเมื่อสัญญาณ DTRแอกทีฟจะทำให้ DSR และ CD แอกทีฟทันทีทำให้คอมพิวเตอร์เข้าใจว่าโมเด็มพร้อมที่จะทำงานแล้ว ส่วนการต่อสาย RTS ต่อเข้ากับ CTS ของคอมพิวเตอร์ทั้งสองเครื่องนั้นเพื่ต้องการให้คอมพิวเตอร์ติดต่อสื่อสารกันด้วยความเร็วที่เท่า



รูปที่ 2.5.2 การเชื่อมต่อสายของนัลโมเด็ม

UART (8250 and Compatibles)

UART นั้นหมายถึง Universal asynchronous Receiver/Transmitter ในชุดของ 8250 จะประกอบด้วย 16450,16550,16650และ 16750 เบอร์ของ UART เหล่านี้พบมากในคอมพิวเตอร์ทั่ว ๆไประดับแรงดันสำหรับ UART จะเป็นระดับ TTL ดังนั้นจึงต้องอาศัย RS-232 Level Converters เพื่อเปลี่ยนระดับแรงดันของ RS-232 ให้กลับมาเป็นระดับแรงดันของ RS232ให้กลับมาเป็นระดับแรงดันของ TTL (0-5V)

รีจิสเตอร์ของพอร์ทอนุกรม

ตำแหน่งพอร์ตและ IRQ ของพอร์ทอนุกรมนั้นมีลักษณะและการกำหนดและการอ่านตำแหน่งจาก BIOS คล้าย ๆ กับของพอร์ทขนาน ในตารางที่ 2.5.3 เป็นการแสดงตำแหน่งมาตราฐานของพอร์ทอนุกรมและ IRO ที่ใช้สำหรับตำแหน่งของพอร์ทแต่ละเบอร์ ส่วนตารางที่ 2.5.4 แสดงรีจิสเตอร์ทั้งหมดของ UART สำหรับเครื่องคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Name	Address	IRQ
Com 1	3F8	4
Com 2	2F8	3
Com 3	3E8	4
Com 4	2E8	3

ตารางที่ 2.5.3 ตำแหน่งมาตราฐานของพอร์ทอนุกรม

* สำหรับตำแหน่งที่เก็บไว้ใน BIOS คือ 0000: 0400h โดยแต่ละตำแหน่งจะใช้พื้นที่ในการเก็บ 2 ไบต์

ตารางที่ 2.5.4 รีจิสเตอร์ของพอร์ทอนุกรม

Base Address	DLAB	Read/Write	Abr.	Register Name
+0	=0	Write	-	Transmitter Holding Buffer
	=0	Read	-	Receive Buffer
	=1	Read/Write	-	Divisor Latch Low Byte
+1	=0	Read/Write	IER	Interrupt I Enable Register
	=1	Read/Write	-	Divisor Latch High Byte
+2	-	Read	IIR	Interrupt Identification Register
	-	Write	FCR	FIFO Control Register
+3	-	Read/Write	LCR	Line Control Register
+4	-	Read/Write	MCR	Modem Control Register
+5	-	Read	LSR	Line Status Register
+6	-	Read	MSR	Modem Status Register
+7	-	Read/Write	-	Scratch Register

DLAB

ในตารางที่ 2.5.4 จะสังเกตเห็นว่ามีคอลัมม์ DLAB ซึ่งเมื่อมีการเปลี่ยนแปลง ค่าจาก 0 เป็นหนึ่ง จะทำให้ชื่อรีจิสเตอร์เปลี่ยนตามไปด้วยนั้น เนื่องจาก UART มีรีจิสเตอร์ทั้งหมด 12 ตัว แต่มีพอร์ทเพียง 8 พอร์ต เท่านั้น DLAB หมายถึง Divisor Latch Access Bit เมื่อกำหนดให้ DLAB มีค่าเป็น 1 ผ่านทาง Control Register จะทำให้สามารถกำหนดความเร็วในการติดต่อสื่อสารได้สำหรับการกำหนดค่าความเร็วในการติดต่อสื่อสารนั้นสามารถกำหนดค่าได้ตามตารางที่ 2.5.5 ส่วนรายละเอียดของรีจิสเตอร์แต่ละตัวนั้นได้แสดงในตารางต่อไป

ตารางที่ 2.5.5 แสดงอัตราบอดและค่าที่ใช้ในการหาร

Speed(BPS)	Divisor(Dec)	Divisor Latch Low Byte	Divisor Latch High Byte
50	2304	09h	00h
300	384	01h	80h
600	192	00h	C0h
2400	48	00h	30h
4800	24	00h	18h
9600	12	00h	0Ch
19200	6	00h	06h
38400	3	00h	03h
57600	2	00h	02h
115200	1	00h	01h

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Interrupt Enable Register (IER)

ตารางที่ 2.5.6 Interrupt Enable Register

Bit	Note
Bit 7	Reserved
Bit 6	Reserved
Bit 5	Enable Low Power Mode(16750)
Bit 4	Enable Sleep Mode (16750)
Bit 3	Enable Modem Status Interrupt
Bit 2	Enable Receive Line Status Interrupt
Bit 1	Enable Transmitter Holding Register Empty Interrupt
Bit 0	Enable Receive Data Available Interrupt

Interrupt Identification Register

ตารางที่ 2.5.7 Interrupt Identification Register

Bit	Note		
Bit 6 and Bit 7	Bit 6	Bit 7	
	0	0	No FIFO
	0	1	FIFO Enable but Unstable
	1	1	FIFO Enable
Bit 5	64 Byte FIFO Enable(16750 only)		
Bit 4	Reserved		
Bit 3	0	Reserved	
	1	16550 Time-out Interrupt Pending	
Bit 1 And Bit 2	Bit 2	Bit 1	
	0	0	Modem Interrupt
	0	1	Transmitter Holding Register Interrupt
	1	0	Received Data Available Interrupt
	1	1	Received Line Status Interrupt
Bit 0	0	Interrupt Pending	
	1	No interrupt Pending	

First In/First Out Control Register (FCR)

ตารางที่ 2.5.8 FIFO Control Register

Bit	Note		
Bit6 And Bit 7	Bit 7	Bit 6	Interrupt Trigger Level
	0	0	1 Byte
	0	1	4 Byte
	1	0	8 Byte
	1	1	14 Byte
Bit 5	Enable 64 Byte FIFO (16750 only)		
Bit 4	Reserved		
Bit 3	DMA Mode Select Chang Status of RXRDY & TXRDX Pins from Mode 1 to Mode 0		
Bit 2	Clear Transmit FIFO		
Bit 1	Clear Receive FIFO		
Bit 0	Enable FIFO		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Modem Control Register (MCR)

ตารางที่ 2.5.9 Modem Control Register (MCR)

Bit	Notes
Bit 7	Reserved
Bit 6	Reserved
Bit 5	Auto flow Control Enable (16750 only)
Bit 4	Loop Back Mode
Bit 3	Aux. Output 2
Bit 2	Aux. Output 1
Bit 1	Force Request to Send
Bit 0	Force Data Terminal Ready

Line Control Register (LCR)

ตารางที่ 2.5.10 Line Control Register

Bit	Notes			
Bit 7	1	Divisor Latch Access Bit		
	0	Access to Receive buffer. Transmitter Buffer & Interrupt Enable Register		
Bit 6	Set Break Enable			
Bit 3,4 & 5	Bit 5	Bit 4	Bit 3	Parity Select
	X	x	0	No parity
	0	0	1	Odd Parity
	0	1	1	Even Parity
	1	0	1	High Parity (Sticky)
	1	1	1	Low Parity (Sticky)
Bit 2	Length of Stop Bit			
	0	One Stop bit		
	1	2 Stop bits for words of Length 6,7,8 or 1,5 Stop Bits for Word Lengths of 5 Bits		
Bit 1,0	Bit 1	Bit 0	Word Length	
	0	0	5 Bit	
	0	1	6 Bit	
	1	0	7 Bit	
	1	1	8 Bit	

Line Status Register (LSR)

ตารางที่ 2.5.11 Line Status Register

Bit	Notes
Bit 7	Error in Received FIFO
Bit 6	Empty Data Holding Registers
Bit 5	Empty Transmitter Holding Register
Bit 4	Break Interrupt
Bit 3	Framing Error
Bit 2	Parity Error
Bit 1	Overrun Error
Bit 0	Data Ready

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Modem Status Register (MSR)

ตารางที่ 2.5.12 Modem Status Register

Bit	Notes
Bit 7	Carrier Detect
Bit 6	Ring Indicator
Bit 5	Data Set Ready
Bit 4	Clear to Send
Bit 3	Delta Data Carrier
Bit 2	Trailing End Ring Indicator
Bit 1	Delta Data Set Ready
Bit 0	Delta Clear to Send

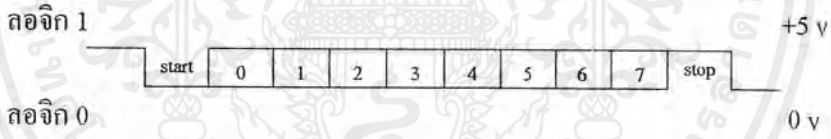
Scratch Register

สำหรับรีจิสเตอร์ตัวนี้ไม่ได้นำมาใช้สำหรับการสื่อสาร แต่จะใช้เป็นตัวเก็บข้อมูล UART ที่ใช้ก็มี 8250/8250B หรือ 8250A/16450 ซึ่งปัจจุบันไม่นิยมใช้แล้ว โดยเฉพาะ 8250/8250B นั้นไม้ได้ออกแบบมาสำหรับเครื่อง AT และไม่สามาคกำหนดความเร็วของบัสได้

อุปกรณ์ที่ใช้ในการติดต่อสื่อสารผ่าน RS-232

RS-232 Waveforms

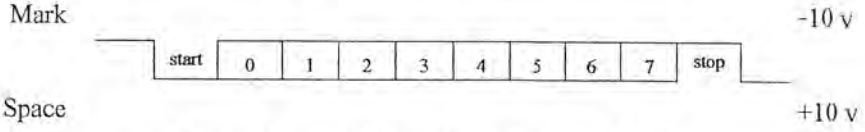
จากในตอนต้นเราได้ทำความรู้จักกับการสื่อสารโดยใช้RS-232 มาแล้ว ซึ่งทำให้เราทราบว่าการสื่อสารโดยใช้RS-232นั้นเป็นการสื่อสารแบบอะซิงโครนัส(Asynchronous)นั้นคือในการสื่อสารไม่จำเป็นต้องมีการส่งสัญญาณนาฬิกา (clock) ไปกับข้อมูลด้วยซึ่งแต่ละเวิร์ดของข้อมูลจะใช้บิตเริ่มต้น (start bit) ในการซิงโครนัสข้อมูล โดยอาศัยสัญญาณนาฬิกาที่แต่ละด้านของการส่งข้อมูล



รูปที่ 2.5.3 รูปคลื่นของการส่งสัญญาณแบบอนุกรมด้วยระดับแรงดันของ TTI/CMOS

ไดอะแกรมในรูปข้างบนแสดงรูปคลื่นจาก UART เมื่อใช้รูปแบบของการส่งแบบ 8NI ซึ่ง 8NI นี้หมายถึง ประกอบด้วยข้อมูล 8 บิต, ไม่มีพาริตี้และ 1 บิตหยุด (stop) การส่งข้อมูลจะส่งบิตที่มีนัยสำคัญน้อยที่สุด(LSB)ก่อนส่วนที่มีนัยสำคัญมากที่สุด(MSB) จะอยู่ลำดับสุดท้าย

ในรูปที่ 2.5.4 แสดงรูปคลื่นของการรับและส่งข้อมูลผ่านพอร์ท RS-232 ซึ่งระดับของแรงดันจะแตกต่างจากในรูปที่ 2.5.3 แต่มีลักษณะข้อมูลเหมือนกัน



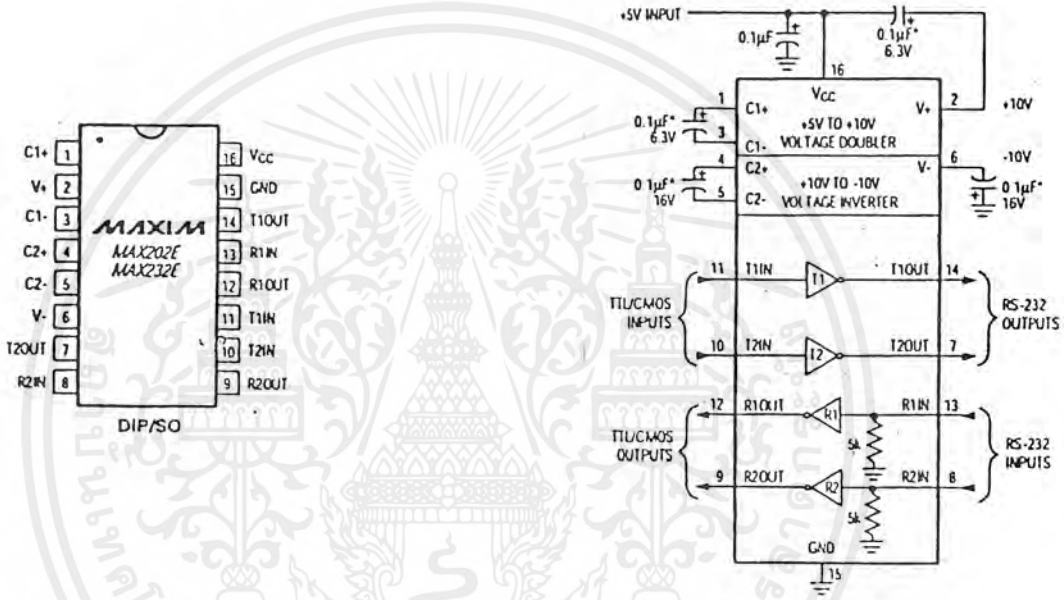
รูปที่ 2.5.4 คลื่นของสัญญาณที่รับส่ง-ผ่านพอร์ท RS-232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RS- 232 Level Converters

อุปกรณ์ดิจิตอลโดยส่วนใหญ่จะต้อการระดับแรงดัน TTL และ CMOS ดังนั้นขั้นตอนแรกในการต่ออุปกรณ์เหล่านี้เข้ากับ RS-232 จึงต้องแปลงระดับแรงดันของ RS-232 ไปเป็นระดับแรงดัน ซึ่งสามารถทำได้โดยใช้ RS-232 Lever Converters

ในรูปที่ 2 .5.5 แสดงลักษณะขาและวงจรภายในของชิฟ MAX ซึ่งจะสร้างระดับแรงดัน +10V และ -10V จากแหล่งจ่าย +5V ในไอซีนี้จะประกอบด้วยตัวรับและตัวส่งอย่างละ 2 ชุด



รูปที่ 2.5.5 ลักษณะขาและวงจรภายในของชิฟ RS-232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบโครงงาน

3.1 บทนำ

การออกแบบโครงงานสามารถแยกโครงสร้างออกเป็น 2 ส่วนใหญ่ๆ คือ การออกแบบโครงสร้างส่วนของฮาร์ดแวร์(Hardware)และการออกแบบโครงสร้างส่วนของซอฟต์แวร์ (Software)ในที่นี้จะกล่าวถึงการออกแบบโครงสร้างและการทำงานของระบบส่วนของฮาร์ดแวร์และส่วนของซอฟต์แวร์ (Software)

ในการออกแบบโครงสร้างส่วนของฮาร์ดแวร์สามารถแบ่งออกได้เป็นส่วนๆดังนี้และสามารถแสดงเป็นบล็อกไดอะแกรม (Block Diagram) ดังรูปที่ 3.2.1

ภาควงจรควบคุมระบบ (Control System)

ภาควงจรควบคุมสาย (Line Control)

ภาควงจรตรวจจับสัญญาณกระดิ่งโทรศัพท์ (Ringing Detector)

ภาควงจรตรวจจับสัญญาณไม่ว่าง (Busy Detector)

ภาควงจรแสดงสถานะสาย (Line Status)

ภาควงจรถอดรหัสสัญญาณโทรศัพท์ (DTMF Receiver)

ภาควงจรขยายสัญญาณเสียงและวงจรสมดุลย์ (Audio Amp. & Matching)

3.2 การออกแบบฮาร์ดแวร์ภาคของวงจรควบคุมระบบ (Control System)

จุดประสงค์ เพื่อทำหน้าที่เป็นภาคควบคุมสภาวะการทำงานของระบบทั้งหมดของโครงงาน จัดการการทำงานให้มีความสัมพันธ์กันกับวงจรอื่น ๆ ของระบบ

การออกแบบ ใช้ไมโครคอนโทรลเลอร์ ไอซีเบอร์ AT89C51 ทำหน้าที่เป็นตัวควบคุมระบบการทำงาน โดยใช้คริสตอล ออสซิลเลเตอร์ (Crystal Oscillator)ที่ความถี่ 12 MHz กำหนดให้ พอร์ต 1 ที่ขา 1-4 (P1.0- P1.3) รับสัญญาณ D0-D3,ขา15(P1.4) รับสัญญาณ STD จากภาค DTMF RECEIVER, ขา16 (P1.5) ส่งสัญญาณ CTRL มาควบคุมภาค Line Control ,ขา17(P1.6) รับสัญญาณแสดงสภาวะลอจิก Low เป็นสัญญาณ Busy หรือลอจิก High เป็นสัญญาณ Ringing จากภาคLine Status กำหนดการส่งข้อมูลทางพอร์ตอนุกรม(Serial Port) ที่ขา10 (RXD) และขา11(TXD) ผ่านไอซีเบอร์ MAX 232 มายังพอร์ทอนุกรม (COM1) ที่ภาคบันทึกฐานข้อมูล (Data base) วงจรแสดงดังรูปที่ 3.2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การออกแบบฮาร์ดแวร์ภาคของควบคุมสาย (Line Control)

จุดประสงค์ เพื่อทำหน้าที่ตัดต่อสัญญาณสายโทรศัพท์ตามสภาวะสัญญาณยกหูและวางหูตามที่ไมโครคอนโทรลเลอร์ MCS_51 สั่ง

การออกแบบ ใช้ทรานซิสเตอร์เบอร์ BC517 และรีเลย์ + 5V และ Diode เบอร์ 1N4148 ต่อเป็นไบแอสกลับ (Reverse Bias) เพื่อป้องกันกระแสย้อนกลับ

ในสภาวะยกหูไมโครคอนโทรลเลอร์MCS_51จะส่งสัญญาณเป็นสภาวะลอจิกสูง(Logic High) มาที่ขาเบส (Base) จะทำให้ทรานซิสเตอร์ทำงานมีกระแส Ic ไหลผ่านรีเลย์จะทำการต่อวงจร

ในสภาวะวางหู ไมโครคอนโทรลเลอร์ MCS_51 จะส่งสัญญาณเป็นสภาวะลอจิกต่ำ (Logic Low) มาที่ขาเบส (Base) ของทรานซิสเตอร์ทำให้ไม่มีกระแส Ib ไหล ทรานซิสเตอร์จึงไม่ทำงาน (OFF) จึงทำให้ไม่มีกระแส Ic ไหลผ่านรีเลย์จะทำการตัดวงจรอยู่ในสภาวะปกติ (Normal Open)

3.4 ภาคของวงจรตรวจจับสัญญารกระดิ่งโทรศัพท์ (Ringing Detector)

จุดประสงค์ เพื่อทำหน้าที่ตรวจจับสัญญาณเรียกเข้า (Ringing) จากสายโทรศัพท์เข้ามาที่ตัวโครงงานประจำอยู่ แล้วให้ได้สัญญาณเอาต์พุตมีสภาวะลอจิกสูง (Logic High) ส่งผ่านภาคแสดงสถานะสาย (Line Status) ไปยังภาคควบคุมระบบ (MCS_51) รับทราบ

การออกแบบ โดยใช้ไอซีเบอร์ MC34017-1P ทำหน้าที่ตรวจจับสัญญาณเรียกเข้า (Ringing) ซึ่งเป็นสัญญาณกระแสสลับ มีความถี่ประมาณ 25 Hz โดย R3,C2 ที่ต่ออยู่กับขา 6 จะเป็นตัวกำหนดความถี่ศูนย์กลาง fo (Frequency Oscillator) ให้ R4 จะเป็นตัวกำหนดขนาดสัญญาณเรียกเข้า สัญญาณเรียกเข้าจะถูกเรคติไฟ (Rectified) โดยไดโอดบริจด์ (Diode Bridge) ซึ่งอยู่ภายในตัวไอซีแล้วมี สัญญาณ ตกคร่อม R4เมื่อเทียบกับกราวด์จะถูกกรองโดยC4จะได้สัญญาณเอาต์พุตปรากฏที่ขา2ส่งต่อไปที่โฟโตทรานซิสเตอร์ (Photo Transister) ทำหน้าที่เชื่อมต่อสัญญาณโดยทางแสงและแยกกราวด์ออกจากกัน สัญญาณผ่านวงจรกรองความถี่ต่ำ (Lowpass Filter) คือ C5,R7 แต่สัญญาณที่ได้ยังมีสัญญาณรบกวนซึ่งสามารถกำจัดได้โดยใช้วงจรชมิตต์ทริกเกอร์(Schmitt Trigger) คือไอซีเบอร์ MC14093 จากสัญญาณเอาต์พุตที่ได้นำมาต่อเข้ากับไอซีเบอร์ MC14017 ที่ขา14 เพื่อทำหน้าที่เป็นตัวนับ (Counter) จำนวนพัลส์ของสัญญาณเรียกเข้า ในที่นี้จะกำหนดให้สัญญาณเรียกเข้า (Ringing) ดังขึ้นจำนวน 3 ครั้ง จะได้สัญญาณเอาต์พุตมีสภาวะเป็นลอจิกสูง (Logic High) ที่ขา4 ส่งไปยังอินพุตไอซีเบอร์ MC14175 ที่ขา 9 ของภาคแสดงสถานะสาย วงจรการทำงานแสดงดังรูปที่ 3.4.1

3.5 การออกแบบฮาร์ดแวร์ ภาคของวงจรตรวจจับสัญญาณไม่ว่าง (Busy Detector)

จุดประสงค์ เพื่อทำหน้าที่ตรวจจับสัญญาณการวางสายของผู้ใช้บริการ ซึ่งเป็นสัญญาณสายไม่ว่าง (Busy Tone) แล้วให้ได้สัญญาณเอาต์พุตมีสภาวะลอจิกต่ำ (Logic Low) โดยส่งผ่านภาคแสดงสถานะสาย (Line Status) ไปยังภาคควบคุมระบบ (MCS_51) รับทราบ

การออกแบบ ในที่นี้ใช้ไอซีเบอร์ LM741 เป็นวงจรดิฟเฟอเรนเชียล แอมฟลิไฟล์(Differentail Amplifier) ทำหน้าที่ขยายสัญญาณอินพุตและกำจัดสัญญาณรบกวน แล้วส่งให้ไอซีเบอร์ LM567 ที่ขา3 ซึ่งเป็น ไอซี Tone Decoder ทำหน้าที่ตรวจจับสัญญาณสายไม่ว่าง (Busy Tone) มีความถี่ประมาณ 425 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยกำหนดให้ VR1,C4 เป็นตัวกำหนดความถี่ศูนย์กลาง fc (Centre Frequency) ทำการปรับความถี่ fc ด้วย VR1 ให้ตรงกับความถี่ที่ต้องการตรวจจับ (Detector) จะได้สัญญาณเอาต์พุตมีสภาวะลอจิกต่ำ (Logic Low) ที่ขา 8 ใช้ไอซี MC14093 ทำหน้าที่เปลี่ยนสภาวะลอจิกและเป็นวงจรชมิตต์ทริกเกอร์ (Schmitt Trigger) สัญญาณจะผ่านวงจรกรองความถี่ต่ำ(Lowpass Filter)คือ R7,C7 ส่งสัญญาณไปยังไอซีเบอร์ MC14017 เป็นวงจรนับ(Counter) จำนวนพัลส์ของสัญญาณสายไม่ว่าง (Busy Tone) ในที่นี้กำหนดให้นับพัลส์ 3 ลูก จะได้สัญญาณเอาต์พุตมีสภาวะเป็นลอจิกต่ำ ที่ขา10 ของไอซี MC14093 ส่งไปยังภาคแสดงสถานะสาย (Line Status) วงจรการทำงานแสดงดังรูปที่ 3.5.1

3.6 การออกแบบฮาร์ดแวร์ภาคของวงจรแสดงสถานะสาย (Line Status)

จุดประสงค์ เพื่อให้รับสัญญาณจากวงจรภาคตรวจจับสัญญาณกระดิ่ง (Ringing Detector) และวงจรภาคตรวจจับสัญญาณสายไม่ว่าง (Busy Detector) ให้ได้สัญญาณเอาต์พุตส่งไปยังภาคควบคุมระบบ (MCS_51) รับทราบ

การออกแบบ ใช้ไอซีเบอร์ MC14175 ซึ่งเป็น ดีฟลิบฟลอบ จะทำการรับสัญญาณมาจากภาคตรวจจับสัญญาณกระดิ่ง (Ringing Detector) มาเข้าที่ขา 9 (CLK) จะได้สัญญาณเอาต์พุตเป็นสภาวะลอจิกสูง (Logic High) ที่ขา2 แล้วส่งสัญญาณไปให้ภาคควบคุมระบบ (MCS_51) ส่วนวงจรภาคตรวจจับสัญญาณสายไม่ว่าง (Busy Detector) ทำการตรวจจับสัญญาณการวางสายของผู้เรียก ซึ่งเป็นสัญญาณสายไม่ว่าง (Busy Tone) ส่งให้ไอซีเบอร์ MC14175 ที่ขา1 (CLR) ซึ่งทำงานที่สภาวะสัญญาณขอบขาลง (Active Low) จะได้ เอาต์พุตเป็นสภาวะลอจิกต่ำ (Logic Low) แล้วส่งให้วงจรภาคควบคุมระบบ (MCS_51) รับทราบเพื่อเคลียร์ระบบเริ่มต้นทำงานใหม่ต่อไป

3.7 การออกแบบฮาร์ดแวร์ภาคของวงจรถอดรหัสสัญญาณโทรศัพท์ (DTMF Receiver)

จุดประสงค์เพื่อทำหน้าที่ถอดรหัสสัญญาณ โทรศัพท์ที่รับเข้ามาว่าผู้ใช้บริการกดหมายเลขโทรศัพท์หมายเลขใดเข้ามาแล้วได้สัญญาณเอาต์พุตเป็นรหัสไบนารี่ 4 บิต เพื่อส่งให้ภาคควบคุมระบบ (MCS_51) ทำงานตามคำสั่งที่ผู้ใช้บริการต้องการ

การออกแบบ เลือกใช้ไอซีเบอร์ MT8870 ทำหน้าที่ถอดรหัสสัญญาณ โทรศัพท์ที่รับเข้ามาซึ่งเป็นสัญญาณ DTMF ที่มีสองความถี่ผสมกัน คือความถี่ต่ำและความถี่สูง แสดงดังในรูปที่ 2.2 ผสมกันเข้ามาที่อินพุตของวงจร DTMF Decode ของไอซีเบอร์ MT8870 ภายในตัวไอซีเบอร์ MT8870 จะทำหน้าที่ถอดรหัสออกมาเป็นสัญญาณดิจิตอลไบนารี่ 4 บิต (Binary Code Decimal) แล้วส่งสัญญาณให้ภาคควบคุมระบบ (MSC_51) รับทราบ ส่วนตัวคริสตอลออสซิลเลเตอร์ต่อในวงจรเป็นตัวกำเนิดความถี่อ้างอิงเพื่อใช้ในการถอดรหัส DTMF ความถี่ 3.579 MHz มีวงจรการทำงานแสดงดังรูปที่ 3.7.1

3.8 การออกแบบฮาร์ดแวร์ภาคของวงจรขยายสัญญาณเสียงและวงจรสมดุลย์ (AudioAmp.& Matching)

จุดประสงค์ เพื่อทำหน้าที่ขยายสัญญาณอะนาลอก ให้มีกำลังสัญญาณเพิ่มขึ้นเพื่อส่งผ่านทรานฟอร์เมอร์แมตท์ชิ่ง (Transformer Matching) สู่คู่สายโทรศัพท์

การออกแบบ ใช้ไอซี LM386 ทำหน้าที่ขยายสัญญาณอะนาลอกที่ส่งมาโดยการคัปปลิ้ง (Coupling) ผ่านC1 โดยอัตราขยายสามารถปรับได้ที่ VR ที่ต่อขา 3 ของไอซีเบอร์ LM386 จะได้สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทที่มีขนาดเพิ่มขึ้นที่ขา 5 และผ่าน Transformer Matching สู่คู่สายโทรศัพท์ ไปยังผู้ใช้บริการ วงจรการทำงานแสดงดังรูปที่ 3.8.1

- การออกแบบฮาร์ดแวร์ภาคบันทึกเก็บฐานข้อมูล (Data base)

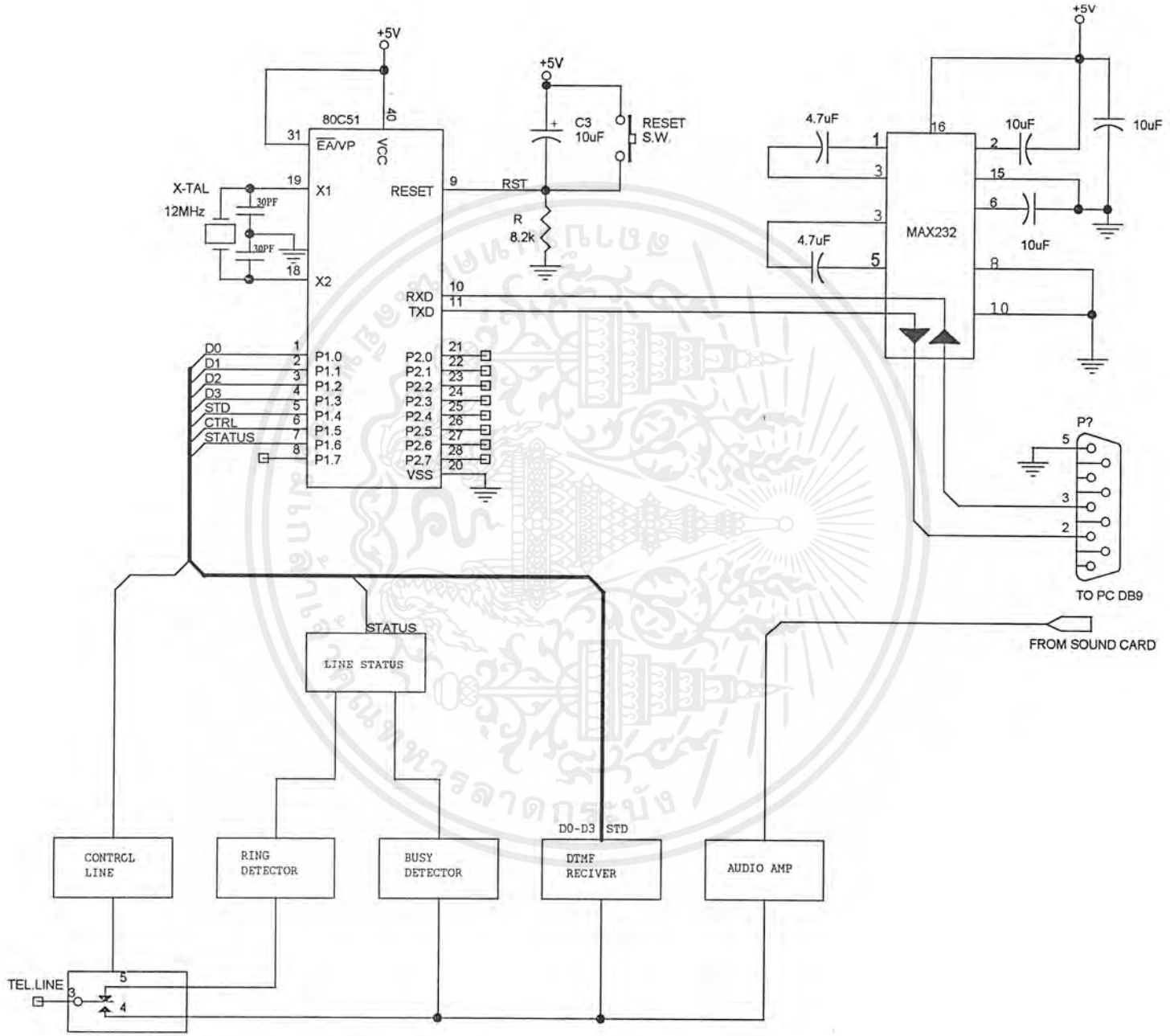
จุดประสงค์ เพื่อทำหน้าที่ใช้เป็นส่วนบันทึกข้อมูลต่าง ๆ ที่ต้องการ โดยบันทึกเก็บเป็นแฟ้มข้อมูลบนเครื่องไมโครคอมพิวเตอร์ (Microcomputer) และทำหน้าที่แปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอกแล้วขยายสัญญาณสู่สายโทรศัพท์ไปยังผู้ใช้บริการ

การออกแบบใช้เครื่องไมโครคอมพิวเตอร์ซึ่งประกอบด้วยอุปกรณ์ทางด้านฮาร์ดแวร์ (Hardware) ดังนี้คือ

1. PC COMPAQ DESKPRO
   - Mainboard Pentium 166 MHz, Memory 32 MB
   - Harddisk ความจุ 2.1 GB
   - 1.44 MB, 3.5" Floppy Disk Drive
   - Diskplay Card
   - Color Monitor 14"
   - Keybord 104 Keys
   - PS2-Mouse
   - 2 Serial port and 1 Parallel port
   - Audio Card
   - Microphone
   - Speaker 120 watts

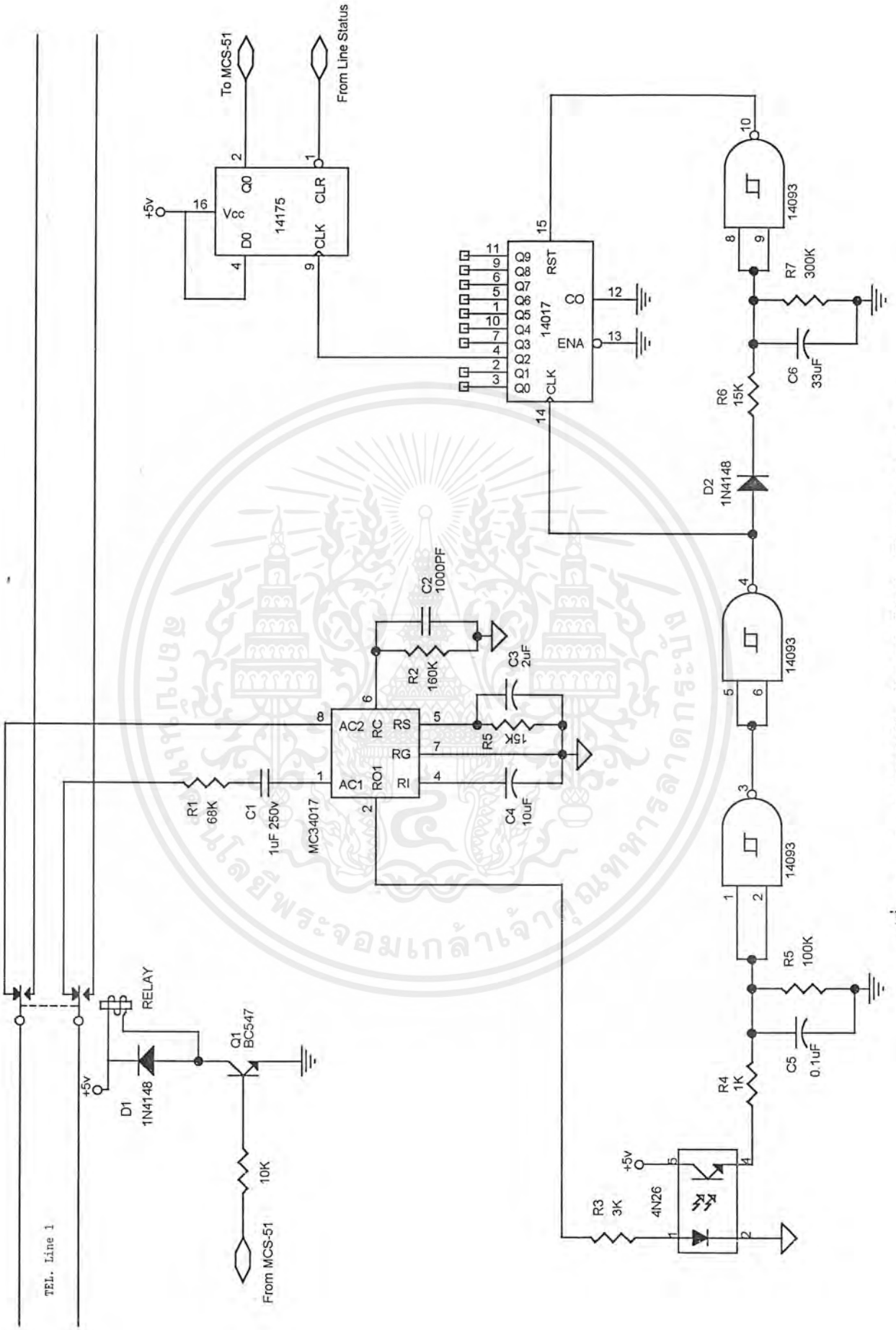
ส่วน Audio Card จะทำการติดตั้งบนสล๊อตเครื่องไมโครคอมพิวเตอร์ เพื่อทำหน้าที่แปลงสัญญาณดิจิตอล เป็นสัญญาณอะนาลอกและขยายสัญญาณผ่าน Transformer Matching สู่สายโทรศัพท์ไปยังผู้ใช้บริการ ในการจัดทำระบบแฟ้มข้อมูล การจัดทำการบันทึกข้อความ เสียงพูด เพื่อทำหน้าที่ควบคุมการจัดการระบบของฐานข้อมูลนั้น จะทำการเขียนโปรแกรมด้วยภาษาVisual Basic Version 5.0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



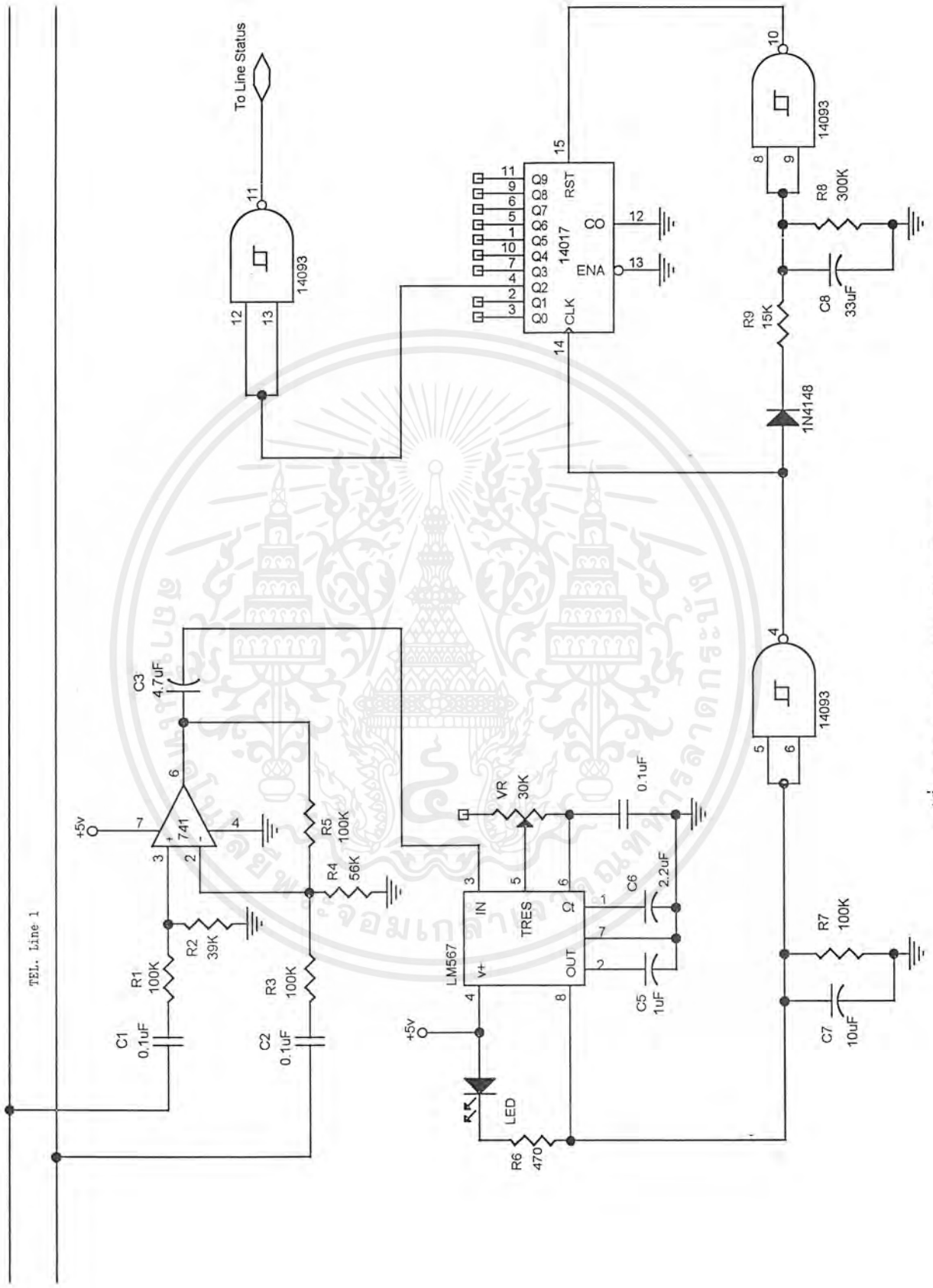
รูปที่ 3.2.1 แสดงบล็อกไดอะแกรมของฮาร์ดแวร์ทั้งหมดของระบบ

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้



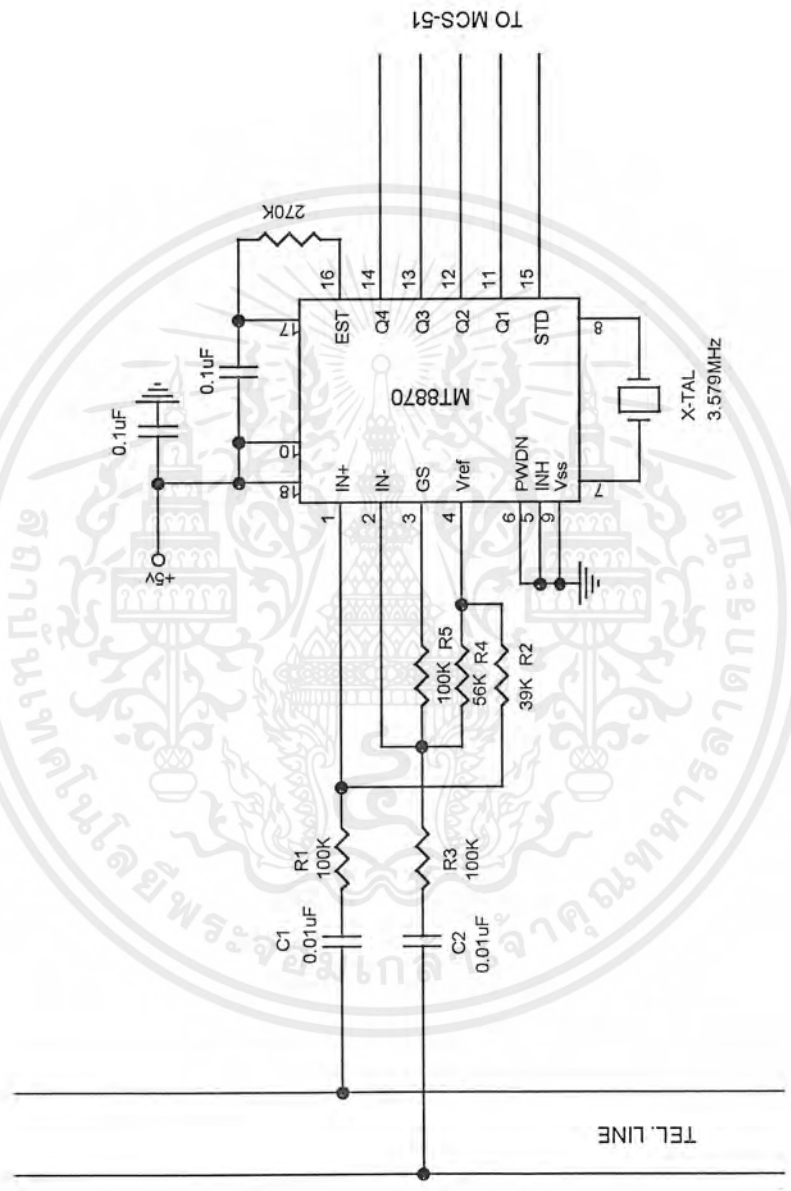
รูปที่3.4.1 แสดงวงจร Line Control , Ringing Detector , Line Status

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



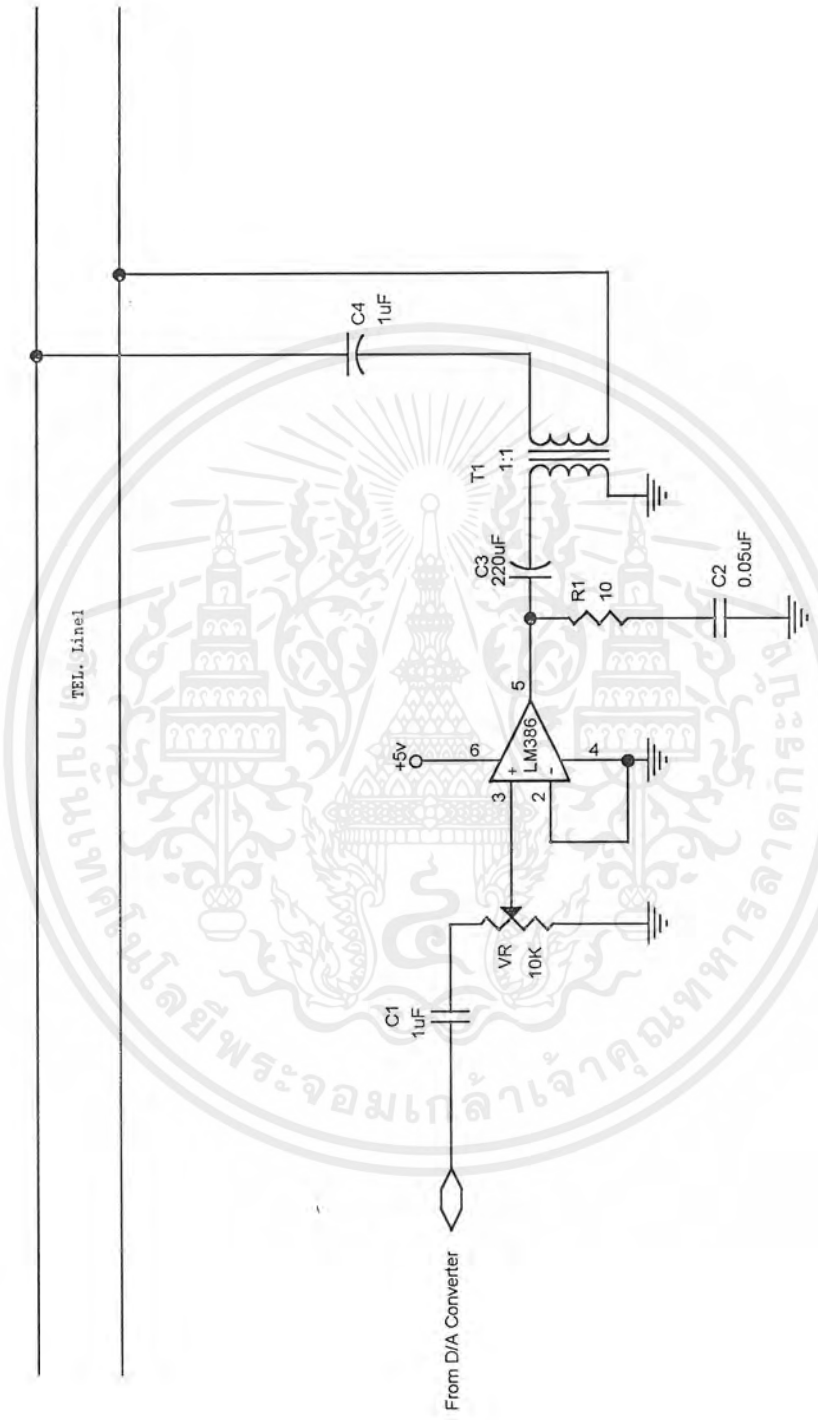
รูปที่ 3.5.1 แสดงวงจรภาค Busy Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7.1 แสดงวงจรภาค DTMF Receiver

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

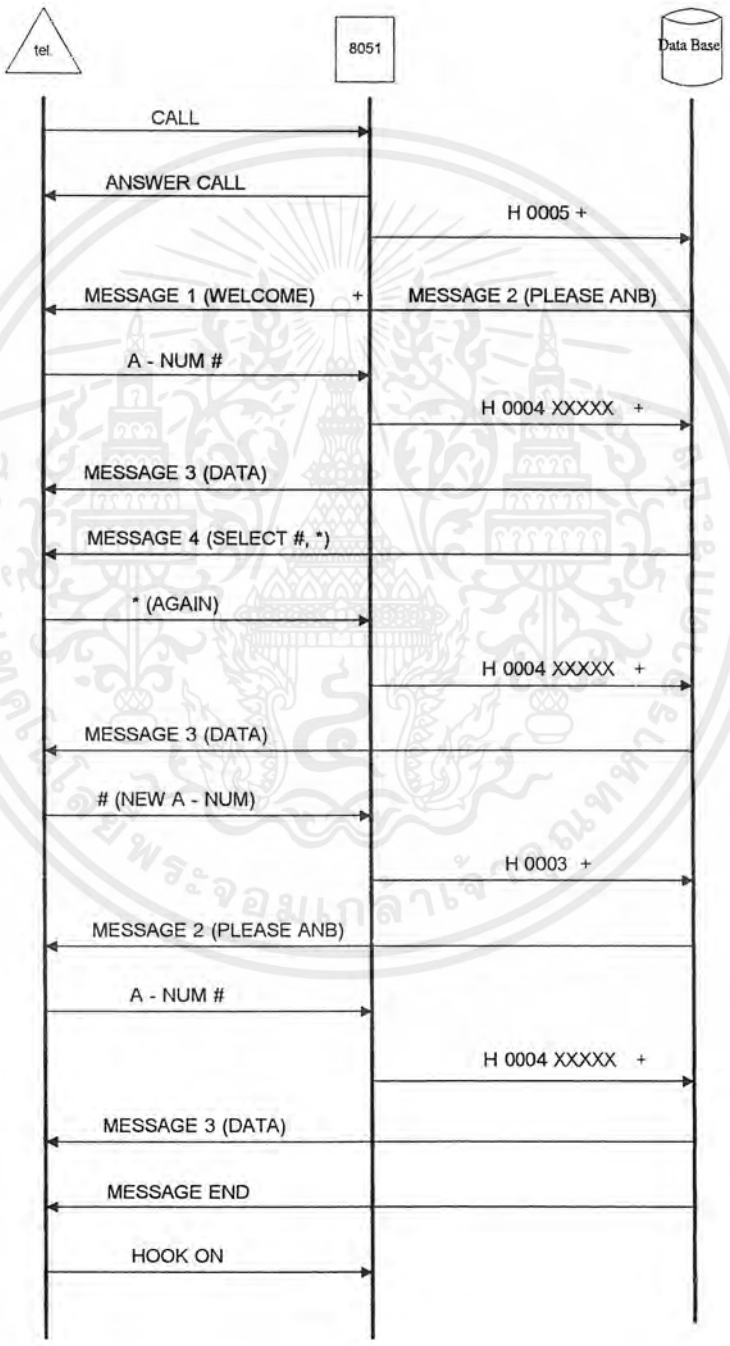


รูปที่ 3.8.1 แสดงวงจรภาค Audio.Amp & Matching

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9 การออกแบบซอฟต์แวร์

การออกแบบโครงสร้างของซอฟต์แวร์ สามารถแบ่งออกได้เป็น 2 ส่วนใหญ่ๆ คือ การทำงานของซอฟต์แวร์บนวงจรควบคุมระบบ (System Control) ซึ่งเขียนโปรแกรมด้วยภาษาแอสเซมบลีสำหรับไมโครคอนโทรเลอร์ MCS-51 และ ซอฟต์แวร์ที่ควบคุมการจัดการบนฐานข้อมูล (Data Base) เขียนโปรแกรมด้วยภาษา Visual Basic Version 5.0 สามารถแสดงสัญญาณการทำงานของระบบเป็น Block Diagram ได้ดังรูปที่ 3.9.1



รูปที่ 3.9.1 แสดงสัญญาณการติดต่อทั้งหมดของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

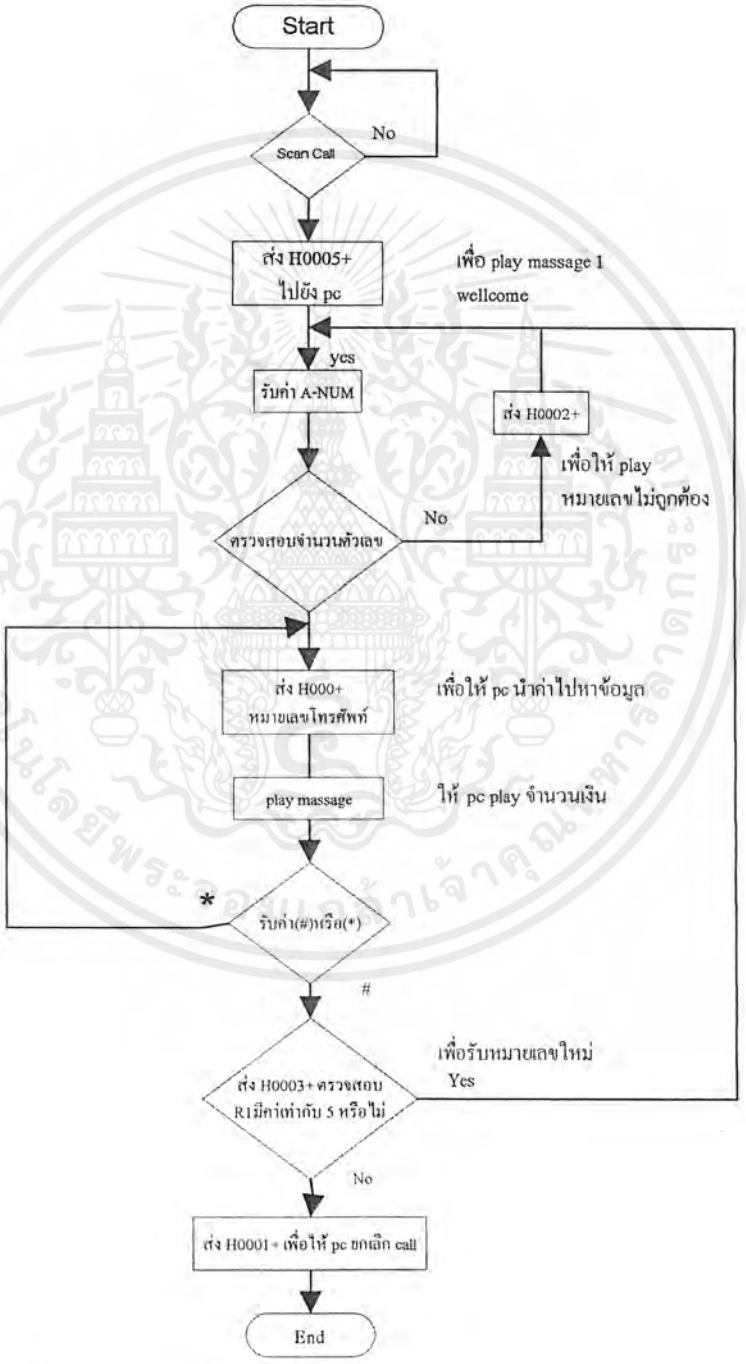
หลักการทำงานของระบบจาก Block Diagram ในรูปที่ 3.9.1

เมื่อมีผู้ใช้บริการทำการเรียกเลขหมายโทรศัพท์มายังระบบบริการข้อมูลอัตโนมัติ ส่วนของภาคควบคุมจะทำการรับสายโทรศัพท์แบบอัตโนมัติและทำการส่งสัญญาณ Answer (H0005+) ให้กับเครื่องคอมพิวเตอร์ เพื่อให้รับทราบว่า ขณะนี้ได้มีผู้ใช้บริการ ส่วนของไมโครคอมพิวเตอร์ เมื่อได้รับสัญญาณ Answer จากภาคควบคุมก็จะส่ง Message 1 และ Message 2 ออกผ่านส่วนของ Audio Card ของเครื่องไมโครคอมพิวเตอร์ ผ่านคู่สายโทรศัพท์ไปยังผู้ใช้บริการ จากนั้น ผู้ใช้บริการจะทำการกดหมายเลขโทรศัพท์ จากนั้น ภาคควบคุมเมื่อได้รับหมายเลขโทรศัพท์แล้ว จะส่งสัญญาณ A-NO. (H0004+) แล้วตามด้วยหมายเลขที่ผู้ใช้บริการกดส่งไปยังไมโครคอมพิวเตอร์ ในส่วนของฐานข้อมูลจะนำข้อมูลที่ได้รับไปทำการค้นหาข้อมูลจำนวนเงินยอดค้างชำระที่เก็บไว้ในระบบฐานข้อมูลและส่วนของไมโครคอมพิวเตอร์จะทำการส่งข้อมูล Massage 3 ออกเป็นเสียงพูดออกผ่าน Audio card จากนั้น ระบบจะทำให้เลือกว่าจะทบทวนจำนวนเงิน หรือว่าจะสอบถามหมายเลขอื่น โดยผู้ใช้บริการจะทำการเลือกกดเครื่องหมาย * หรือกดเครื่องหมาย # ถ้าเลือกเครื่องหมาย * ระบบควบคุมจะส่งสัญญาณ A-NO. แล้วตามด้วยหมายเลขเดิมอีกครั้ง เพื่อทำการทบทวนยอดค้างชำระบริการอีกครั้ง ถ้าเลือกเครื่องหมาย # ระบบควบคุมจะทำการส่งสัญญาณ New A-No. (H0003+) เพื่อให้ผู้ใช้บริการทำการกดกมายเลขที่ต้องการสอบถามใหม่อีกครั้ง เมื่อผู้ใช้บริการกดหมายเลขใหม่ เพื่อสอบถามยอดค้างชำระอัตราค่าบริการแล้ว ระบบไมโครคอมพิวเตอร์จะทำการส่งข้อมูลให้ผู้ใช้บริการได้ยินเสียงอีกครั้ง หลังจากนั้นจะทำการจบการทำงานรอให้ผู้ใช้บริการวางสายและเริ่มต้นการทำงานใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10 การออกแบบการทำงานของซอฟต์แวร์ของภาคควบคุมระบบ (System Control)

การทำงานของซอฟต์แวร์ ของภาคควบคุมระบบ จะเริ่มต้นด้วยการรอรับสัญญาณ Ringing จากคู่สายโทรศัพท์ ที่ผู้ใช้บริการเรียกเข้ามายังเบอร์ของโครงงานที่กำหนดไว้ และส่งสัญญาณต่าง ๆ ออกจากภาคควบคุมระบบ (MCS-S1)ไปยังเครื่องไมโครคอมพิวเตอร์ ซึ่งเป็นฐานข้อมูลให้รับทราบ แล้วส่งสัญญาณกลับมายังผู้ใช้บริการ เพื่อให้ระบบการทำงานตามขั้นตอนที่ต้องการ โดยมีแผนผัง (Flowchart) การทำงานแสดงดังรูป 3.10.1



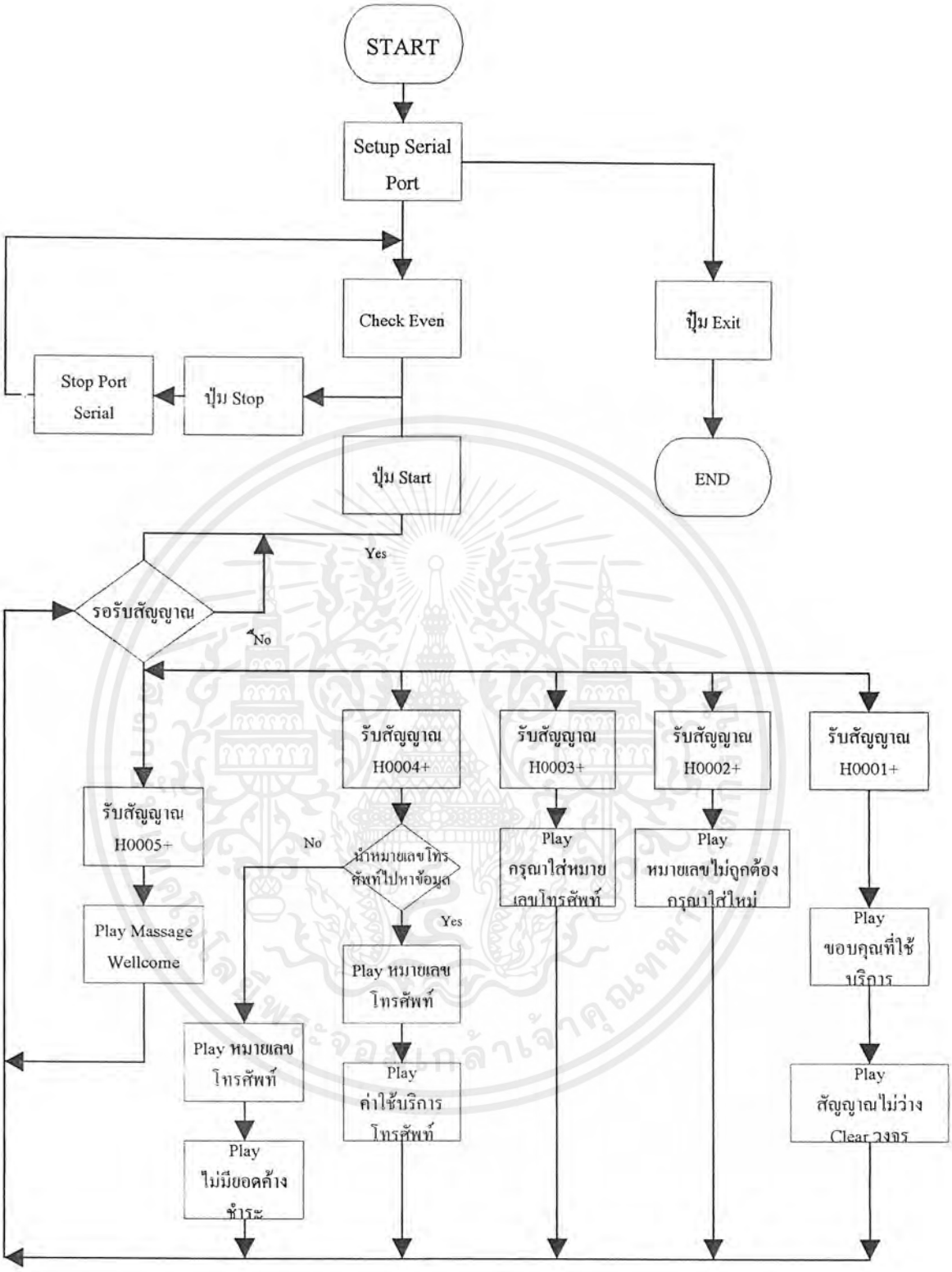
รูปที่ 3.10.1 แสดงลำดับขั้นตอนการทำงานของระบบควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงานของระบบควบคุม MCS-8051 ตามรูปที่ 3.10.1

เริ่มต้นการทำงานของระบบโดย โปรแกรมจะทำการสแกนรอรับการเรียกเข้าจากคู่สายโทรศัพท์ เมื่อมีผู้ใช้บริการโทรศัพท์เข้ามา โปรแกรม 8051 จะทำการรับสายอัตโนมัติ เมื่อทำการรับโทรศัพท์แล้วจะส่งสัญญาณ H0005+ ให้แก่เครื่องคอมพิวเตอร์ ทาง Serial Port เพื่อให้คอมพิวเตอร์รับทราบว่าขณะนี้มีโทรศัพท์แล้ว จากนั้นโปรแกรมจะทำการรอรับค่าหมายเลขโทรศัพท์มาตรวจสอบจำนวนหมายเลขที่รับเข้ามาว่าถูกต้องหรือไม่ถ้าจำนวนหมายเลขไม่ถูกต้องจะทำการส่งสัญญาณ H0002+ แล้วทำการรับค่าหมายเลขใหม่อีกครั้ง ถ้าจำนวนหมายเลขที่รับเข้ามาถูกต้องโปรแกรมจะทำการส่งสัญญาณ H0004+ แล้วตามด้วยหมายเลขโทรศัพท์ที่รับเข้ามาแล้วปิดท้ายด้วยเครื่องหมายบวก ส่งไปยังเครื่อง Computer เพื่อทำการนำหมายเลขโทรศัพท์ไปค้นหาจำนวนเงินที่ใช้บริการในระบบฐานข้อมูล จากนั้นโปรแกรมจะรอรับค่าเครื่องหมาย (*) หรือ (#) ถ้าผู้ใช้บริการกดเครื่องหมาย (*) โปรแกรมจะทำการส่งหมายเลขโทรศัพท์เดิมซึ่งเก็บค่าไว้ในระบบข้อมูลอีกครั้ง แต่ถ้าเป็นเครื่องหมาย (#) จะทำการส่งสัญญาณ H0003+ เพื่อให้ Computer ทราบว่าจะทำการรับค่าใหม่ โปรแกรมจะทำการตรวจสอบด้วยว่ามีการกดเลขหมายครบจำนวน 5 ครั้งหรือไม่ ถ้าครบก็จะวางหูเคลียร์หมายเลขโทรศัพท์ใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10.2 แสดงลำดับขั้นตอนการทำงานของโปรแกรม VISAUL BASIC V.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อธิบายหลักการทำงานของโปรแกรม VISUAL BASIC VERSION 5 ตามรูปที่ 3.10.2

ทำงานของโปรแกรม VISUAL BASIC เริ่มต้นโปรแกรมจะทำการกำหนดการทำงานของพอร์ทสื่อสารแบบอนุกรม แล้วหลังจากนั้นจะทำการรอรับค่าจากปุ่มบนเมนูของโปรแกรมเพื่อทำงานตามคำสั่ง โดยเมื่อกดปุ่ม Exit จะเป็นการออกจากโปรแกรม ถ้ากดปุ่ม Stop จะเป็นการหยุดการทำงานของพอร์ทสื่อสารแบบอนุกรม และเมื่อกดปุ่ม Start จะเป็นการเริ่มต้นการทำงานของโปรแกรมให้รับข้อมูลของพอร์ทสื่อสารแบบอนุกรม ในส่วนนี้จะแบ่งการทำงานตามสัญญาณต่าง ๆ ที่เข้ามาทางของพอร์ทสื่อสารแบบอนุกรมโดยสัญญาณที่ได้จะมีค่าดังนี้

สัญญาณ	ความหมาย
H0005+	-คอมพิวเตอร์จะทราบว่าขณะนี้มีการโทรศัพท์แล้ว คอมพิวเตอร์จะส่งสัญญาณเสียงพูดตอบรับผ่านทาง Line Out Audio Card ให้ผู้ใช้บริการผ่านคู่สายโทรศัพท์
H0004+	-คอมพิวเตอร์จะทราบว่ามีการส่งค่าหมายเลขมาตามสัญญาณ H0004+ แล้วจะทำการค้นหาข้อมูลในระบบฐานข้อมูล เมื่อพบฐานข้อมูลก็จะส่งสัญญาณเสียงพูดบอกค่าใช้บริการถ้าไม่มีข้อมูลจะส่งสัญญาณเสียงพูด “ไม่มียอดใช้บริการ” ผ่านทาง Line Out Audio Card ให้ผู้ใช้บริการผ่านคู่สายโทรศัพท์
H0003+	-คอมพิวเตอร์จะทราบว่ามีการต้องการสอบถามเลขหมายอื่นผ่านทาง Line Out Audio Card ให้ผู้ใช้บริการผ่านคู่สายโทรศัพท์
H0002+	-คอมพิวเตอร์จะทราบว่าหมายเลขที่ส่งมาไม่ถูกต้อง ผ่านทาง Line Out Audio Card ให้ผู้ใช้บริการผ่านคู่สายโทรศัพท์
H0001+	-คอมพิวเตอร์จะทราบว่าผู้ใช้บริการมีการสอบถามกดหมายเลขครบจำนวน 5 ครั้ง แล้วส่งสัญญาณเสียง ”ขอบคุณ”และสัญญาณสายไม่ว่าง เพื่อให้ผู้ใช้บริการวางหู

ตารางที่ 3.10.1 แสดงความหมายของสัญญาณต่างๆของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.11 การออกแบบการทำงานของซอฟต์แวร์ของภาคบันทึกฐานข้อมูล (Data base)

ในส่วนของ Data base จะทำการเก็บข้อมูลไว้ 2 ส่วน คือ

1. ส่วนที่เป็นข้อมูลอัตราค่าใช้บริการ
2. ส่วนที่เป็นไฟล์เสียงพูด (Wave file)

ซึ่งทั้งสองส่วนจะทำการบันทึกเก็บไว้ใน Hard disk บนเครื่องไมโครคอมพิวเตอร์

- การออกแบบส่วนที่เป็นข้อมูลใช้บริการ จะทำการจัดวางรูปแบบโดยจัดทำเป็นไฟล์ชื่อ money. txt ไว้เพื่อใช้ในการค้นหาข้อมูลโดยตรง รูปแบบจะมีหมายเลขของผู้ใช้บริการและจำนวนเงิน ดังตัวอย่างต่อไปนี้

A- NO.	RATE
18110999	9305
18112336	4444
18115260	163
18118092	2756
18117577	222
28092695	1005
28090655	2589
28091139	1579
28099675	6523
28093103	1789

- การออกแบบในส่วนของไฟล์เสียงพูด (Wave file) ในส่วนของการบันทึกเสียงพูดที่จะทำการบันทึกเก็บไว้ในฮาร์ดดิส เราจะใช้โปรแกรม Sound Record บน Window เพื่อทำการบันทึกเสียงพูดเป็นไฟล์เสียงพูดเก็บไว้เป็นนามสกุล .WAV เพื่อใช้สำหรับ Play ออกทาง Line outของ
- Audio Card

การใช้โปรแกรม Sound Record บน Window 95 ทำการบันทึกเสียงพูด

- เปิดโปรแกรม Sound Record บน Window 95 โดยเลือกคลิกที่ปุ่ม

  Start \ Accessories \ Multimedia \ Sound Recorder

- ทำการปรับแต่งคุณภาพเสียงของการ Sampling Rate โดยการทำการเลือกคลิกที่ Menu

  Edit \ Audio Properties

- เริ่มต้นทำการบันทึกเสียงโดยการกดปุ่ม Record บนโปรแกรม Sound Record
- ทำการบันทึกเสียงเก็บเป็นไฟล์ .WAV เพื่อเก็บไว้ใน Harddisk ไว้ที่ตำแหน่ง C:\ SOUND

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อไฟล์	ข้อความ
Busy.wav	สัญญาณสายไม่ว่าง
Bath.wav	บาท
Check.wav	กดเครื่องหมายดอกจันทร์เพื่อยอดค้างชำระอีกครั้ง กดเครื่องหมายสี่เหลี่ยมเพื่อตรวจ สอบหมายเลขอื่น
Credit.wav	มียอดค้างชำระโทรศัพท์เป็นจำนวนเงิน
End.wav	ขอบคุณที่ใช้บริการ
Insearch.wav	กรุณากดรหัสทางไกลและหมายเลขโทรศัพท์ของท่านตามด้วยเครื่องหมายสี่เหลี่ยม
Nocredit.wav	ไม่มียอดค้างชำระโทรศัพท์
Return.wav	หมายเลขของท่านไม่ถูกต้องกรุณากดใหม่
Renum.wav	หมายเลขของท่าน
Start.wav	สวัสดีค่ะยินดีต้อนรับเข้าสู่ระบบแจ้งยอดค้างชำระโทรศัพท์ระหว่างประเทศ

ตารางที่ 3.11.1 การจัดเก็บไฟล์ที่เป็นเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลการทดลองของโครงงาน

จากการที่ได้ออกแบบโครงสร้างทางฮาร์ดแวร์ของโครงงานแล้ว จึงได้ดำเนินการจัดหาอุปกรณ์นำมาประกอบต่อเป็นวงจรตามที่ได้ออกแบบวงจรไว้ เพื่อทำการทดลองทดสอบผลว่าได้ทำงานตามทฤษฎีตามจุดประสงค์ที่ออกแบบไว้ได้หรือไม่ ซึ่งมีผลการทดลองวงจรภาคต่างๆ พอสรุปได้ดังนี้

4.1 ภาคตรวจจับสัญญาณกระดิ่งโทรศัพท์ (Ringing Detector)

จากการทดลองวงจรโดยใช้ออสซิสโลสโคป(Oscilloscope)ทำการวัดสัญญาณกระดิ่ง (Ringing) ที่อินพุตของไอซีเบอร์ MC340171 จะได้สัญญาณกระดิ่งแสดงดังรูปที่ 4.1.1 (ก) และสัญญาณกระดิ่งที่ถูกทำการตรวจจับ(Ringing Detector)จะได้สัญญาณเอาต์พุตที่ขา2 แสดงดังรูปที่4.1.1(ข) สัญญาณเอาต์พุตที่ได้จะส่งไปยังโฟโตทรานซิสเตอร์ทำหน้าที่เชื่อมสัญญาณทางแสงและแยกกราวด์ออกจากกัน(Ground Isolation) สัญญาณจะผ่านวงจรกรองความถี่ต่ำ (Low pass Filter) คือ C5 , R7 และเมื่อสัญญาณผ่านไอซีเบอร์ MC14093 เป็นวงจรชมิตต์ทริกเกอร์ จะได้สัญญาณเอาต์พุตมีสภาวะเป็นลอจิกสูง (Logic High) ที่ ขา 4 แสดงดังรูปที่ 4.1.1 (ค) ซึ่งเป็นสัญญาณดิจิตอลตามที่ต้องการ เพื่อนำสัญญาณนี้ส่งให้ภาคแสดงสถานะสาย (Line Status)

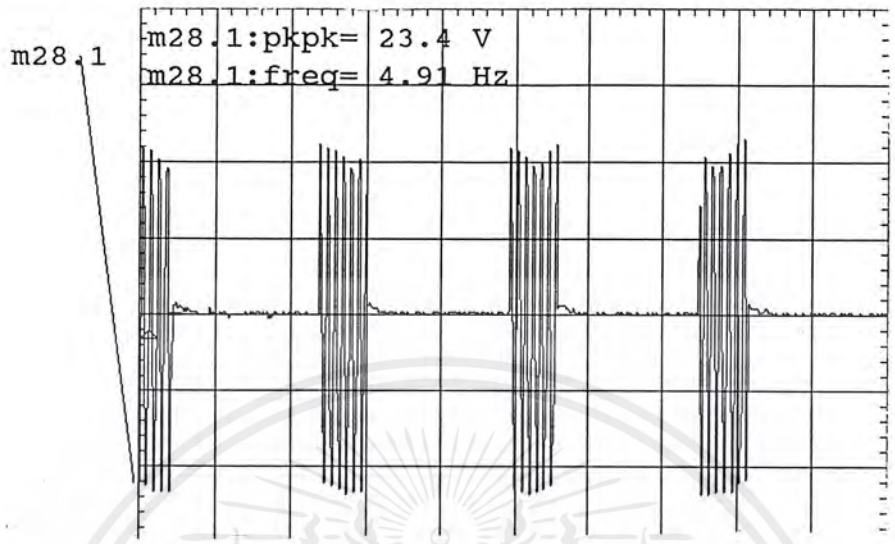
4.2 ภาคแสดงสถานะสาย (Line Status)

จากผลการทดลองภาคแสดงสถานะสาย (Line Status) ซึ่งเป็นวงจรดีฟลิบฟลอบ(D-Flip Flop) โดยรับสัญญาณเอาต์พุตของภาคตรวจจับสัญญาณกระดิ่ง(Ringing Detector) ของไอซีเบอร์ MC14017 (IC4)ที่ขา 4 ส่งมาที่อินพุตไอซีเบอร์ MC14175 (IC5) ที่ขา 9 (CLK) จะได้สัญญาณเอาต์พุตที่ขา2 มีสภาวะเป็นลอจิกสูง (Logic High) สัญญาณเอาต์พุตที่ได้แสดงดังรูปที่ 4.2..1 ซึ่งเป็นสัญญาณดิจิตอล เพื่อส่งไปยังไมโครคอนโทรลเลอร์สั่งควบคุมการทำงานต่อไป

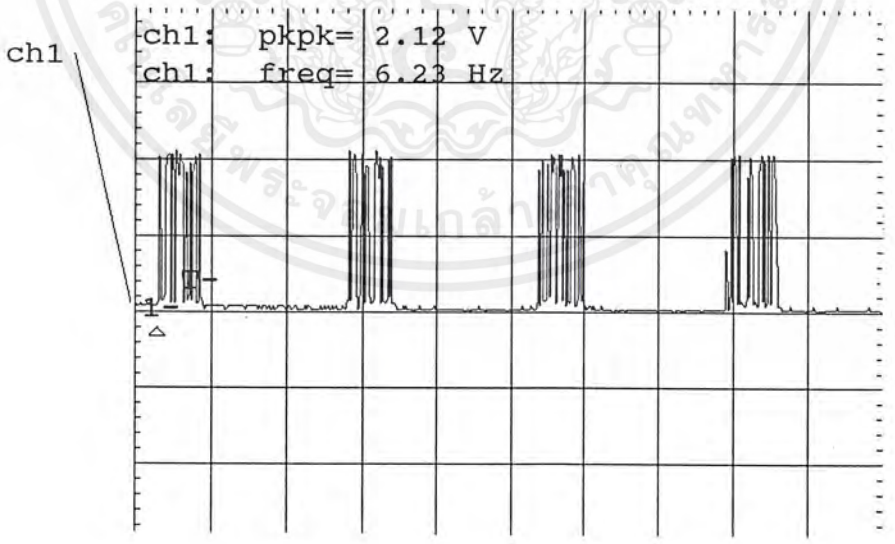
4.3 ภาคควบคุมสาย (Line Control)

จากการทดลองภาคควบคุมสาย ทดลองโดยป้อนสัญญาณเอาต์พุตมีสภาวะเป็นลอจิกสูง(Logic High)จากภาค Line Status เข้าที่อินพุตขา Base ของทรานซิสเตอร์เบอร์ BC517 ทำให้ทรานซิสเตอร์ทำงานมีกระแส IC ไหลสามารถควบคุมการทำงานของรีเลย์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

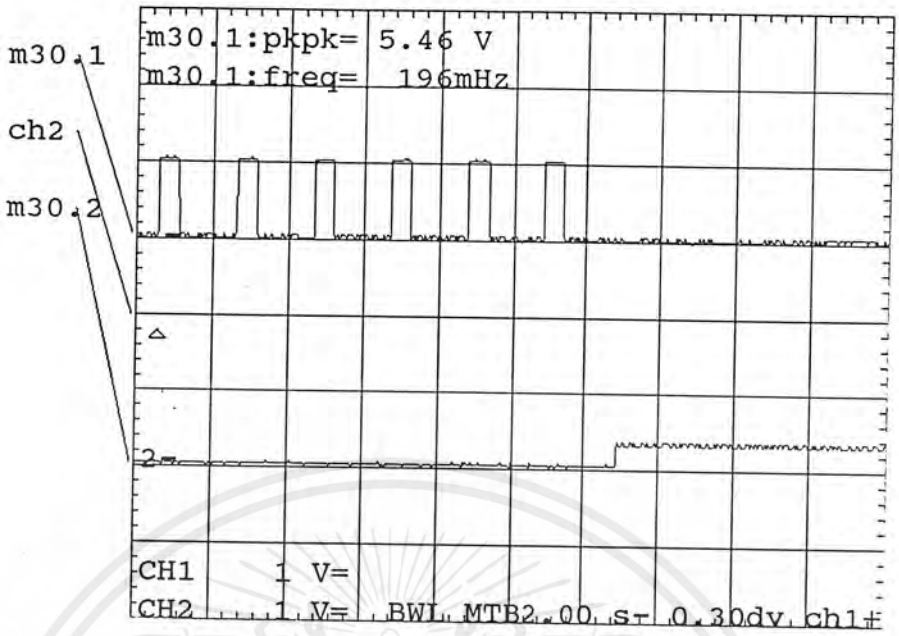


รูปที่ 4.1.1 (ก) แสดงสัญญาณกระดิ่ง (Ringing) จากสายโทรศัพท์



รูปที่ 4.1.1 (ข) แสดงสัญญาณเอาต์พุตของไอซีเบอร์ MC34017 ที่ขา 2

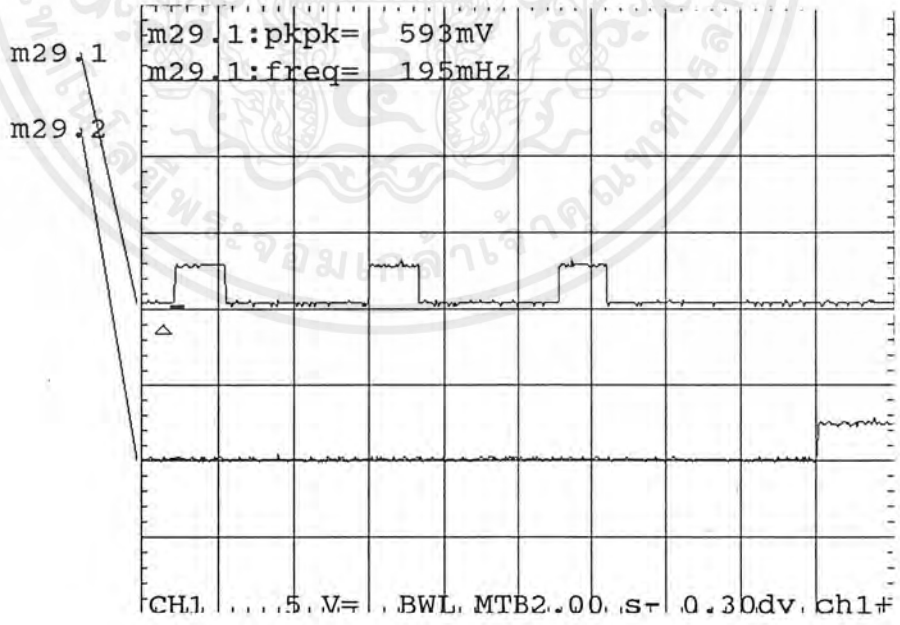
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1.1 (ค) แสดงเปรียบเทียบสัญญาณเอาต์พุต ที่วัดได้จากไอซี MC14093

M29.1 สัญญาณที่ขา 4

M29.2 สัญญาณที่ขา 10



รูปที่ 4.2.1 แสดงสัญญาณที่วัดได้จากไอซีเบอร์ MC14017 ที่ขา 14 ภาค Ringing Detector กับไอซีเบอร์ MC14175 ที่ขา 2 ภาค Line Status

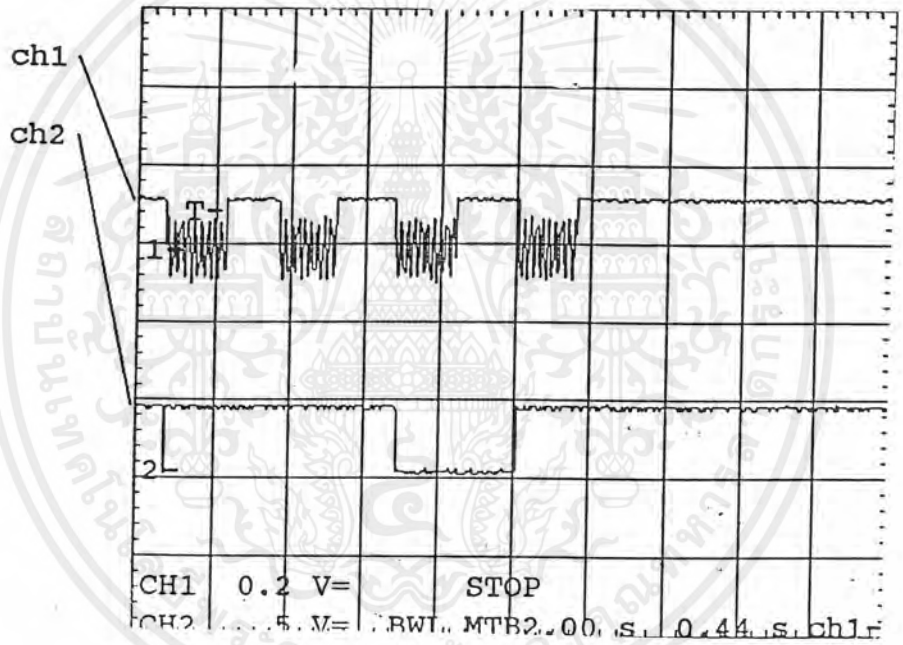
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ภาคตรวจจับสัญญาณไม่ว่าง (Busy Detector)

จากการทดลองวัดสัญญาณของภาค Busy Detector ดังนี้

- ความถี่ของสัญญาณ Busy Tone มีย่านความถี่ประมาณ 400 - 450 Hz
- ความแรงของสัญญาณ Busy Tone จากสายโทรศัพท์ ประมาณ 500 mVp-p

จากผลการทดลอง โดยใช้ไอซีเบอร์ LM567 ซึ่งเป็นไอซี Tone Decoder ใช้ในการตรวจจับสัญญาณสายไม่ว่าง (Busy Tone) มีย่านความถี่ประมาณ 400 - 450 Hz ซึ่งวงจรสามารถทำงานตรวจจับความถี่ได้ตามต้องการ จึงนำสัญญาณดังกล่าวมาทำการควบคุมให้รีเลย์ทำการตัดต่อวงจรได้ ผลการทดลองแสดงดังรูปที่ 4.4.1

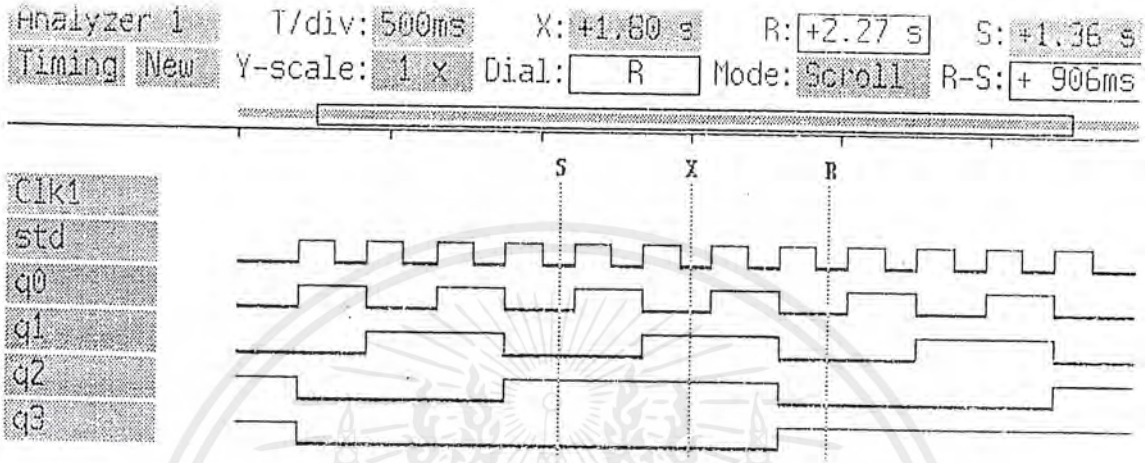


รูปที่ 4.4.1 แสดงเปรียบเทียบสัญญาณสายไม่ว่าง(Busy Tone)ระหว่างอินพุตกับเอาต์พุต

4.5 ภาค DTMF Receiver

จากการทดลองวงจรภาค DTMF Receiver เมื่อทำการทดลองกดปุ่มหมายเลขที่หน้าปัดของเครื่องโทรศัพท์ชนิดกดปุ่ม DTMFโดยการกดหมายเลข 1,2,3,4,5,6,7,8,9,0,*,# ตามลำดับ วงจรภาค DTMF Receiver จะทำการถอดรหัสความถี่ของหมายเลข จะได้สัญญาณเอาต์พุตเป็นรหัสไบนารีที่ขา STD , Q1- Q4 ของไอซีเบอร์ MT8870 เพื่อส่งให้ภาคควบคุมระบบทำงานตามคำสั่ง สัญญาณเอาต์พุตแสดงดังรูปที่ 4.5.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5.1 แสดงสัญญาณที่ขา STD,Q1-Q4 ของไอซีเบอร์ MT8870 จากการกดหมายเลข 0-9 , * , #

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลองของภาคต่าง ๆ

1. จากผลการทดลองภาคตัวจับสัญญาณกระดิ่งโทรศัพท์ (Ringing Detector)จะเห็นได้ว่าเราสามารถกำหนดจำนวนครั้งของการเรียกเข้าได้โดยใช้ไอซีเบอร์ MC 14017 ซึ่งเป็น ไอซีนับจำนวนสัญญาณพัลซ์ (Counter) และใช้อาร์ซี ไทม์ คอนสแตน (RC Time Constance) เป็นตัวกำหนดช่วงเวลาของการรับสัญญาณพัลซ์ ถ้าช่วงเวลาของการเรียก (Ringing) ขาดหายไปมีระยะเวลามาก กว่าค่า อาร์ซี ไทม์ คอนสแตน (RC Time Constance) จะทำให้วงจร Counter จะถูกรีเซ็ต (Reset)

2. จากผลการทดลองของภาคแสดงสถานะ (Line Status) ภาคควบคุมสาย (Line Control) และภาคตรวจจับสัญญาณไม่ว่าง (Busy Detector) เราสามารถประยุกต์ใช้ไอซีเบอร์ LM 567 เป็นไอซีตรวจสอบสัญญาณ (Tone Detector) ให้สามารถตรวจสอบสัญญาณสายไม่ว่าง (Busy Tone) และนำสัญญาณดังกล่าวมาควบคุมให้รีเลย์(Relay) ทำการตัดต่อวงจรได้ด้วย

3. จากผลการทดลองของภาค DTMF Receiver จะเห็นได้ว่าสามารถถอดรหัสจากความถี่สองความถี่ที่ผสมกันมาเป็นเลขไบนารี่ขนาด 4 บิทได้

4. จากผลการทดลองของภาคควบคุมระบบ Control System วงจรสามารถนำข้อมูลออกมาแสดงเป็นเสียงได้ แต่วงจรนี้มีข้อเสียคือ ข้อมูลที่ได้ทำการส่งโดยพอร์ทอนุกรมสามารถส่งผ่านสัญญาณได้ช้ากว่าพอร์ทขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลของโครงงาน และ แนวทางแก้ไข

โครงงาน "ระบบบริการข้อมูลอัตโนมัติ" (Automatic Data Service System Based on PC) นี้ที่พัฒนาออกแบบมาใช้เพื่อโทรสอบถามข้อมูลอัตราค่าใช้โทรศัพท์ระหว่างประเทศแบบอัตโนมัติซึ่งในการออกแบบในด้าน Hardware และ software ในเครื่องต้นแบบนี้สามารถกล่าวโดยสรุปคือ

5.1 ส่วนสรุปผลของของโครงงาน

จากการที่ได้ดำเนินการจัดทำโครงงานนี้ซึ่งใช้ไมโครคอนโทรลเลอร์ทำหน้าที่ในการออกแบบวงจรควบคุมสัญญาณ ภาคต่าง ๆ ของโครงงาน แล้วได้ทำการทดลอง ทดสอบผล อุปกรณ์ของวงจรสามารถทำงานบรรลุตามจุดประสงค์ที่ได้กำหนดไว้ ซึ่งผลการทดลองจะสอดคล้องกับทฤษฎีทุกประการ แต่ก็มีเพียงส่วนน้อยเท่านั้นที่มีจุดบกพร่องบ้าง จึงต้องมีการปรับปรุงแก้ไขและพัฒนาข้อจำกัดต่าง ๆต่อไป เพื่อให้การทำงานของระบบมีความสมบูรณ์ยิ่งขึ้น

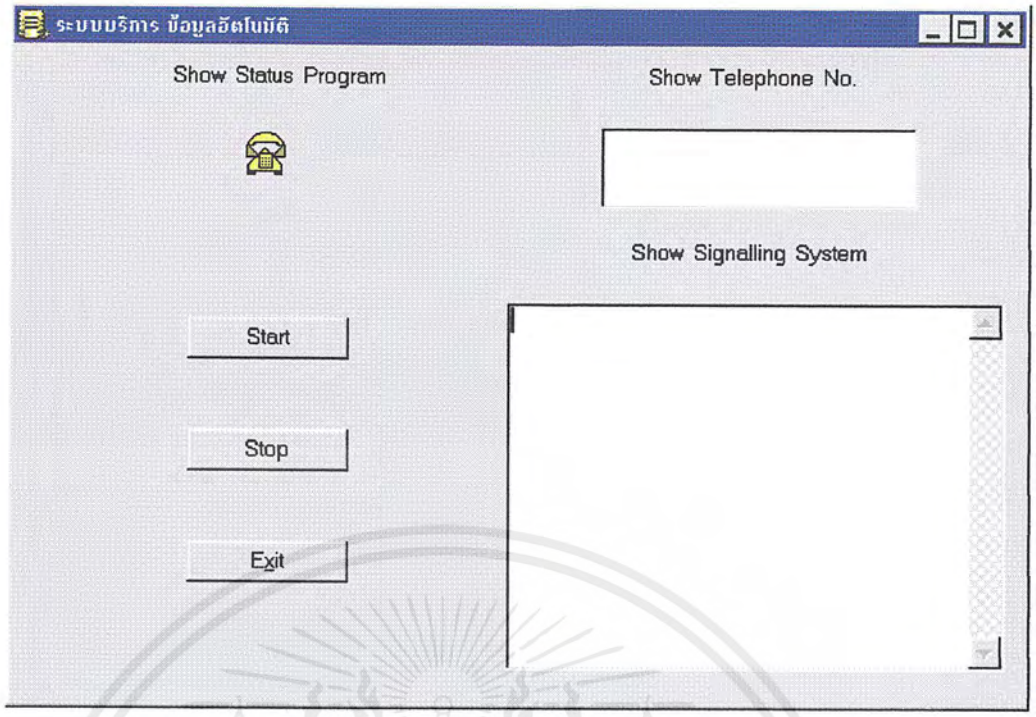
5.2 ส่วนแก้ไขและพัฒนา

ในการแก้ไขและพัฒนาต่อไปในอนาคตนั้นจะต้องพัฒนาร่วมกันทั้งระบบในด้าน Hardware และ software เพื่อให้ระบบมีความยืดหยุ่น สามารถใช้งานได้หลากหลายขึ้น เพื่อให้สามารถรับข้อมูลจากแหล่งอื่น ๆ ได้เพิ่มมากยิ่งขึ้น เช่น ควรมีการเขียนโปรแกรมพัฒนาเรื่องการเก็บข้อมูล ให้สามารถใช้กับฐานข้อมูลอื่น ๆได้ด้วย ไม่จำกัดเฉพาะอย่างใดอย่างหนึ่ง เพื่อให้เกิดความสะดวกในการใช้งานอย่างกว้างขวางยิ่งขึ้น

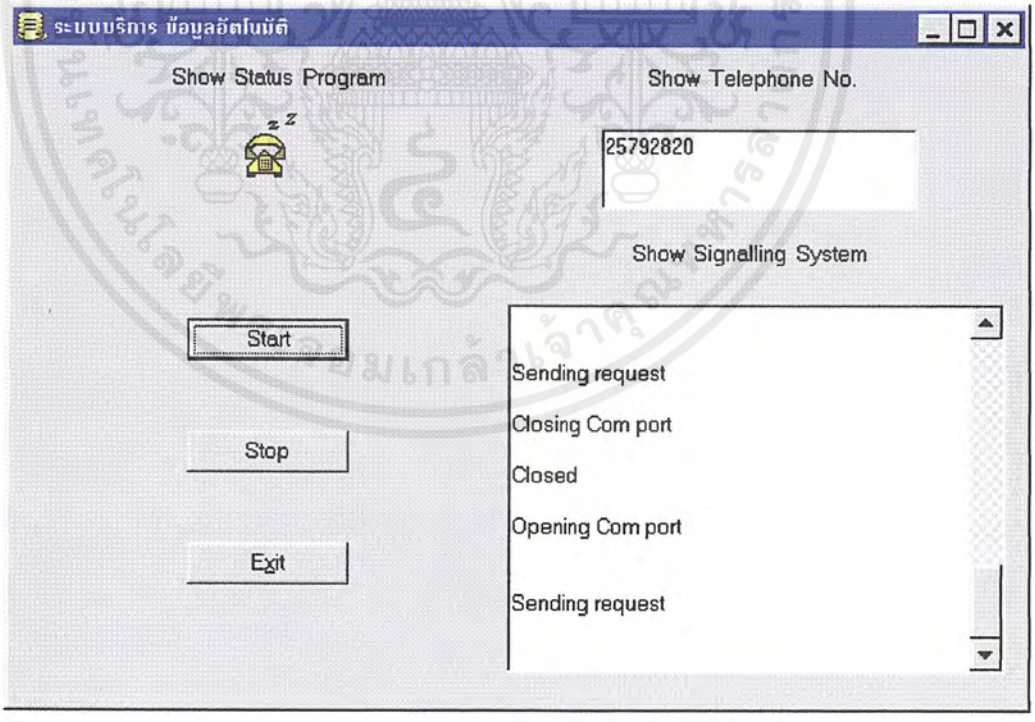
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูประบบบริการข้อมูลอัตโนมัติ ขณะที่ยังไม่ได้ใช้งาน



รูประบบบริการข้อมูลอัตโนมัติ ขณะเริ่มต้นใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SOURCE CODE ของ MICROCONTROLLER MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                CPU"8051.TBL"
        HOF"INT8"
TMOD:   EQU     089H
SCON:   EQU     098H
SBUF:   EQU     099H
TI:     EQU     099H
RI:     EQU     098H
TH0:    EQU     08CH
TL0:    EQU     08AH
TF0:    EQU     08DH
TR0:    EQU     08CH
TH1:    EQU     08DH
TR1:    EQU     08EH
P0:     EQU     080H
P1:     EQU     090H
P1.4:   EQU     094H
P1.5 :  EQU     095H
P1.6:   EQU     096H
P2:     EQU     0A0H
P2.0:   EQU     0A0H
P2.1:   EQU     0A1H
P2.2:   EQU     0A2H
P2.3:   EQU     0A3H
P2.4:   EQU     0A4H
P2.5:   EQU     0A5H
P3:     EQU     0B0H
P3.0:   EQU     0B0H
P3.1:   EQU     0B1H
P3.2:   EQU     0B2H
P3.3:   EQU     0B3H
P3.4:   EQU     0B4H
P3.5:   EQU     0B5H
P3.6:   EQU     0B6H
P3.7:   EQU     0B7H
A:      EQU     0E0H
A.5:    EQU     0E5H
PSW:    EQU     0D0H
EA:     EQU     0AFH
ET0:    EQU     0A9H
B:      EQU     0F0H
T_ANB:  EQU     030H
INSIG:  EQU     050H
;
        ORG     0000H
        LJMP    START
;
        ORG     100H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;
TIMER1:   MOV    SCON,#52H
          MOV    TMOD,#21H
          MOV    TH1,#0FDH
          SETB   TR1
          RET
;
BTOA:     MOV    A,P1
          ANL    A,#0FH
CHK00:    CJNE   A,#10,CHK01
          MOV    A,#"0"
          SJMP   END_BTOA
CHK01:    CJNE   A,#11,CHK02
          MOV    A ,#""
          SJMP   END_BTOA
CHK02:    CJNE   A,#12,CHK03
          MOV    A,#"#"
          SJMP   END_BTOA
CHK03:    ADD    A,#30H
END_BTOA: NOP
          RET
;
S_SERIAL: JNB    TI,S_SERIAL
          CLR    TI
          MOV    SBUF,A
          RET
;
R_SERIAL: JNB    RI,R_SERIAL
          CLR    RI
          MOV    A,SBUF
          RET
;
NEWLINE:  JNB    TI,NEWLINE
          CLR    TI
          MOV    SBUF,#0AH
          JNB    TI,$
          CLR    TI
          MOV    SBUF,#0DH
          RET
;
PLUS:     JNB    TI,PLUS
          CLR    TI
          MOV    SBUF,#"+"
          RET
;
S_DATA:   MOV    R1,#0
          MOV    A,R1
          MOVC   A,@A+DPTR
WR:       MOV    A,@R1
          CJNE   A,#"#",WR1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            MOV     A,#"+"
WR1:        LCALL   S_SERIAL
            INC     R1
            CJNE    A,#"+",WR
            RET
;
S_SIGNAL:   MOV     R1,#0
            MOV     A,R1
            MOVC    A,@A+DPTR
WR_DATA:    LCALL   S_SERIAL
            INC     R1
            MOV     A,R1
            MOVC    A,@A+DPTR
            CJNE    A,#"%",WR_DATA
            RET
CHK_S:      JB      P1.4, R_S
            JNB     P1.6,END_S
            SJMP    CHK_S
R_S:        JB      P1.4, R_S
            LCALL   BTOA
            MOV     @R1, A
;
R_DATA:     JB      P1.4,R_NUM
            JNB     P1,6,END_R
            SJMP    R_DATA
R_NUM:      JB      P1.4,R_NUM
            LCALL   BTOA
            MOV     @R1,A
            INC     R1
            INC     R7
            CJNE    A,#"*",NEXT_R
            SJMP    END_R
NEXT_R:     CJNE    A,#"#",R_DATA
            DEC     R7
END_R:      RET
;
WELCOME:    LCALL   TIMMER1
            LCALL   NEWLINE
            MOV     DPTR,#GREETING
            MOV     R1,#0
            MOVC    A,@A+DPTR
BACK:       LCALL   S_SERIAL
            INC     R1
            MOV     A,R1
            MOVC    A,@A+DPTR
            CJNE    A,#"%",BACK
            RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;
R_DTMF:     MOV     R7,#0
            MOV     R1,#T_ANB
            LCALL   R_DATA
            RET
;
S_DTMF:     LCALL   NEWLINE
            MOV     DPTR,#CHK_ANB           ;H0004+
            LCALL   S_SIGNAL
            LCALL   S_DATA
END_DTMF:   RET
;
SCANCALL:   JNB     P1.6,SCANCALL           ;CHECK INCOMING CALL
            SETB    P1.5                    ;ANSWER TELEPHONE LINE1
            MOV     R5,#0
            MOV     R6,#0
            LCALL   WELCOME                 ;H0005+
K_8:        LCALL   R_DTMF
            INC     R6
            JNB     P1.6,END_CALL
            CJNE    R7,#8,AGAIN
            LCALL   S_DTMF
            CJNE    R6,#5,DTMF
            SJMP    END_MESS
;
AGAIN:      LCALL   NEWLINE
            MOV     DPTR,#NEW_C             ;H0002+
            LCALL   S_SIGNAL
N_NEXT:     CJNE    R5,#5,N_NEXT
            SJMP    END_MESS
;
NEW:        MOV     R1,#INSIG               ;CHECK "*" OR "#"
            INC     R5
            CJNE    R5,#,N_CONT
            SJMP    END_MESS
N_CONT:     JNB     P1.6,END_CALL
            MOV     R1,#INSIG
            MOV     A,@R1
            CJNE    A,#"*",NEXT
            LCALL   S_DTMF
NEXT:       CJNE    A,# "#",NEW
            LCALL   NEWLINE
            MOV     DPTR_#NEW_ANB           ;H0003+
            LCALL   S_SIGNAL
            CJNE    R5,#5,K_8
END_MESS:   LCALL   NEWLINE
            MOV     DPTR,#P_MESS1           ;H0001+
            LCALL   S_SIGNAL
END_CALL:   RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;
START:      ANL     P1,#11011111B
BEGIN:      LCALL   SCANCALL
            JB      P1.6,$
            CLR     P1. 5
            SJMP    BEGIN
;
P_MESS1:    DFB     "H0001+%"
P_MESS2:    DFB     "H0002+%"
P_MESS3:    DFB     "H0003+%"
CHK_ANB:    DFB     "H0004%"
GREETING:   DFB     "H000418110999#+%"
            NOP
            END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SOURCE CODE ของ VISUAL BASIC VERSION .5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Option Explicit
Dim lImageIndex As Integer, iDirection As Integer
Dim stp As String
Const ImageRight = 1
Const ImageLeft = 2
Private bQuit As Boolean

Private Sub cmdQuit_Click()
   Unload Me
   End
End Sub


Private Sub cmdStart_Click()
   stp = "sleep"
   ' Initialize quit command
   bQuit = False
   ' Initialize Com Port
   If Not MSComm1.PortOpen Then OpenCom
   ' Request configuration data
   txtInData = txtInData & vbCrLf & "Sending request" & vbCrLf & vbCrLf
   txtInData.SelStart = Len(txtInData)
   ' Send it
   'MSComm1.Output = "AT &V" & vbCrLf
    MSComm1.Output = Text1.Text & vbCrLf
   ' Wait for data to come back to the serial port.
   ReadModem
End Sub


Private Sub cmdStop_Click()
   stp = "normalaa"
   If MSComm1.PortOpen = False Then Exit Sub
   bQuit = True
   txtInData = vbCrLf & txtInData & _
    "Closing Com port" & vbCrLf & vbCrLf
   txtInData.SelStart = Len(txtInData)
   MSComm1.PortOpen = False
   txtInData = vbCrLf & txtInData & _
    "Closed " & vbCrLf & vbCrLf
   txtInData.SelStart = Len(txtInData)
End Sub



Public Sub ReadModem()
   Dim Tosearch, InString As String
   Dim Money, Number As String
   Dim Check As String
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Dim a, b, inputsize As Integer
Dim Se_d As String
Check = 0

Do
  If MSComm1.InBufferCount Then
      InString = InString & MSComm1.Input
  If InStr(InString, "+") Then
    Check = 1
  End If


   if Check = 1 Then
     If InStr(InString, "H0005") Then
        Read_wav ("WELCOME")
        txtInData = ""
        txtInData.Text = InString
        InString = ""
        Check = 0
        Se_d = ""
     End If

     If InStr(InString, "H0003") Then
        Read_wav ("NEW_ANB")
        txtInData.Text = InString
        InString = ""
        Check = 0

     End If
     If InStr(InString, "H0002") Then
     Read_wav ("ERROR_ANB")
        txtInData.Text = InString
        InString = ""
        Check = 0

     End If
     If InStr(InString, "H0001") Then
        Read_wav ("THE_END")
        txtInData.Text = InString
        InString = ""
        Check = 0

     End If

     If InStr(InString, "H0004") Then
      txtInData.Text = InString
      a = 0
      a = InStr(InString, "H0004")
      a = a + 4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            b = Len(InString)
            InString = Right(InString, b - a)
            Tosearch = Left(InString, Len(InString) - 1)
            InString = ""
              Text1.Text = Tosearch
              ReadNum (Tosearch)
              Search1 (Tosearch)
              Tosearch = ""
              InString = ""
              If gener = "No Data" Then
                Money = "N_CREDIT"
                GoTo READ
              Else
                Money = "CREDIT"
                Read_wav (Money)
              End If

              Money = Right(gener, 5)
              Money = LTrim(Money)
READ:
              Read_wav (Money)
                Money = "CHK_KEY"
                Read_wav (Money)
W_number:
            DoEvents
            Check = 0
            InString = ""
          End If
        End If
      End If
      DoEvents
      If bQuit Then Exit Do
    Loop
End Sub

Public Sub OpenCom()
  txtInData = vbCrLf & txtInData & _
   "Opening Com port" & vbCrLf & vbCrLf
  txtInData.SelStart = Len(txtInData)
  ' Set Com port to the one in YOUR computer
  MSComm1.CommPort = 1
  ' Send settings: Set Baud rate to the fastest that
  ' YOUR modem can handle
  ' 14400 baud, no parity, 8 data, and 1 stop bit.
  MSComm1.Settings = "9600,N,8,1"
  ' Tell the control to read entire buffer when Input
  ' is used.
  MSComm1.InputLen = 0
  ' Open the port.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    MSComm1.PortOpen = True
End Sub


Private Sub Form_Load()
Text1.Text = ""
Timer1.Interval = 400
 iImageIndex = 1

End Sub

Private Sub MSComm1_OnComm()
  Dim EVMsg$
  Dim ERMsg$

  ' Branch according to the CommEvent property.
  Select Case MSComm1.CommEvent
    ' Event messages.
    Case comEvReceive
      Dim Buffer As Variant
      Buffer = MSComm1.Input
      Debug.Print "Receive - " & StrConv(Buffer, vbUnicode)
      'ShowData txtTerm, (StrConv(Buffer, vbUnicode))
    Case comEvSend
    Case comEvCTS
      EVMsg$ = "Change in CTS Detected"
    Case comEvDSR
      EVMsg$ = "Change in DSR Detected"
    Case comEvCD
      EVMsg$ = "Change in CD Detected"
    Case comEvRing
      EVMsg$ = "The Phone is Ringing"
    Case comEvEOF
      EVMsg$ = "End of File Detected"

  ' Error messages.
    Case comBreak
      ERMsg$ = "Break Received"
    Case comCDTO
      ERMsg$ = "Carrier Detect Timeout"
    Case comCTSTO
      ERMsg$ = "CTS Timeout"
    Case comDCB
      ERMsg$ = "Error retrieving DCB"
    Case comDSRTO
      ERMsg$ = "DSR Timeout"
    Case comFrame
      ERMsg$ = "Framing Error"
    Case comOverrun
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            ERMsg$ = "Overrun Error"
        Case comRxOver
            ERMsg$ = "Receive Buffer Overflow"
        Case comRxParity
            ERMsg$ = "Parity Error"
        Case comTxFull
            ERMsg$ = "Transmit Buffer Full"
        Case Else
            ERMsg$ = "Unknown error or event"
    End Select

End Sub

Private Sub Timer1_Timer()
  If stp = "sleep" Then
    Image1(0).Picture = Image1(iImageIndex).Picture
    iImageIndex = iImageIndex + 1
    If iImageIndex = 4 Then
      iImageIndex = 1 'Reset
    End If
    Else

      Image1(0).Picture = Image1(4).Picture
  End If
End Sub
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Private Declare Function PlaySound Lib "winmm.dll" Alias "PlaySoundA" (ByVal lpszName As String, ByValhModule As Long, ByVal dwFlags
As Long) As Long
Dim sizelen As Integer
Public gener As String


Sub Search1(data_f As String)
Dim f_search As String
 Dim ok As Integer
 Dim d_search As String
 d_search = data_f
 Open "c:\SOUND\money.txt" For Input As #1
 Do While Not EOF(1)
   Line Input #1, f_search
   ok = InStr(1, f_search, d_search, 0)
   If ok <> 0 Then
      gener = f_search
      GoTo Exit1
   End If
 Loop
gener = "No Data"
Exit1:
Close #1
End Sub
Sub Read_wav(datawav As String)
Dim a  As String * 1
Dim data As String
Dim ok As Integer
 data = datawav
 If data = "WELCOME" Then
   PlaySound "c:\sound\start.wav", 1, 0
   PlaySound "c:\sound\insearch_num.wav", 1, 0
   GoTo okexit
 End If

 If data = "N_CREDIT" Then
   PlaySound "c:\sound\nocredit.wav", 1, 0
   GoTo okexit
 End If

 If data = "CREDIT" Then
   PlaySound "c:\sound\credit.wav", 1, 0
   GoTo okexit
End If

 If data = "NEW_ANB" Then
   PlaySound "c:\sound\insearch_num.wav", 1, 0
   GoTo okexit
End If
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  If data = "CHK_KEY" Then
    PlaySound "c:\sound\check.wav", 1, 0
    GoTo okexit
  End If
  If data = "THE_END" Then
    PlaySound "c:\sound\end.wav", 1, 0
    PlaySound "c:\sound\BUSY.wav", 1, 0
    GoTo okexit
  End If
  If data = "ERROR_ANB" Then
    PlaySound "c:\sound\return.wav", 1, 0
    GoTo okexit
  End If

  sizelen = Len(data)
start:
  a = Left(data, 1)
  Select Case sizelen
      Case 1
         GoTo 1
      Case 2
         GoTo 10
      Case 3
         GoTo 100
      Case 4
         GoTo 1000
      Case 5
         GoTo 10000
      Case 6
         GoTo 100000
    End Select

1:
Select Case a
   Case 1
       PlaySound "c:\sound\1.wav", 1, 0
   Case 2
       PlaySound "c:\sound\2.wav", 1, 0
   Case 3
       PlaySound "c:\sound\3.wav", 1, 0
   Case 4
       PlaySound "c:\sound\4.wav", 1, 0
   Case 5
       PlaySound "c:\sound\5.wav", 1, 0
   Case 6
       PlaySound "c:\sound\6.wav", 1, 0
   Case 7
       PlaySound "c:\sound\7.wav", 1, 0
   Case 8
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        PlaySound "c:\sound\8.wav", 1, 0
    Case 9
        PlaySound "c:\sound\9.wav", 1, 0
    Case Else
    End Select
  sizelen = sizelen - 1
  If sizelen = 0 Then
    PlaySound "c:\sound\BAHT.wav", 1, 0
    data = ""
    GoTo okexit
  End If
 10:
  Select Case a
    Case 1
        GoTo play10
    Case 2
        PlaySound "c:\sound\20.wav", 1, 0
        GoTo pass
    Case 3
        PlaySound "c:\sound\3.wav", 1, 0
        GoTo play10
    Case 4
        PlaySound "c:\sound\4.wav", 1, 0
    Case 5
        PlaySound "c:\sound\5.wav", 1, 0
    Case 6
        PlaySound "c:\sound\6.wav", 1, 0
    Case 7
        PlaySound "c:\sound\7.wav", 1, 0
    Case 8
       PlaySound "c:\sound\8.wav", 1, 0
    Case 9
        PlaySound "c:\sound\9.wav", 1, 0
    Case Else
        GoTo pass
    End Select

play10:
 PlaySound "c:\sound\10.wav", 1, 0
pass:
 sizelen = sizelen - 1
 If sizelen > 0 Then
    data = Right(data, sizelen)
    GoTo start
 End If
100:
 Select Case a
    Case 1
        PlaySound "c:\sound\1.wav", 1, 0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    Case 2
        PlaySound "c:\sound\2.wav", 1, 0
    Case 3
        PlaySound "c:\sound\3.wav", 1, 0
    Case 4
        PlaySound "c:\sound\4.wav", 1, 0
    Case 5
        PlaySound "c:\sound\5.wav", 1, 0
    Case 6
        PlaySound "c:\sound\6.wav", 1, 0
    Case 7
        PlaySound "c:\sound\7.wav", 1, 0
    Case 8
        PlaySound "c:\sound\8.wav", 1, 0
    Case 9
        PlaySound "c:\sound\9.wav", 1, 0
    Case Else
        GoTo pass2
  End Select
  PlaySound "c:\sound\hundred.wav", 1, 0
play100:
pass2:
  sizelen = sizelen - 1
  If sizelen > 0 Then
    data = Right(data, sizelen)
    GoTo start
  End If

1000:
  Select Case a
    Case 1
        PlaySound "c:\sound\1.wav", 1, 0
    Case 2
        PlaySound "c:\sound\2.wav", 1, 0
    Case 3
        PlaySound "c:\sound\3.wav", 1, 0
    Case 4
        PlaySound "c:\sound\4.wav", 1, 0
    Case 5
        PlaySound "c:\sound\5.wav", 1, 0
    Case 6
        PlaySound "c:\sound\6.wav", 1, 0
    Case 7
        PlaySound "c:\sound\7.wav", 1, 0
    Case 8
        PlaySound "c:\sound\8.wav", 1, 0
    Case 9
        PlaySound "c:\sound\9.wav", 1, 0
    Case Else
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        GoTo pass3
    End Select
    PlaySound "c:\sound\1000.wav", 1, 0
  play1000:
  pass3:
    sizelen = sizelen - 1
    If sizelen > 0 Then
      data = Right(data, sizelen)
      GoTo start
    End If

  10000:
    Select Case a
      Case 1
          PlaySound "c:\sound\1.wav", 1, 0
      Case 2
          PlaySound "c:\sound\2.wav", 1, 0
      Case 3
          PlaySound "c:\sound\3.wav", 1, 0
      Case 4
          PlaySound "c:\sound\4.wav", 1, 0
      Case 5
          PlaySound "c:\sound\5.wav", 1, 0
      Case 6
          PlaySound "c:\sound\6.wav", 1, 0
      Case 7
          PlaySound "c:\sound\7.wav", 1, 0
      Case 8
          PlaySound "c:\sound\8.wav", 1, 0
      Case 9
          PlaySound "c:\sound\9.wav", 1, 0
      Case Else
          GoTo pass23
    End Select
    PlaySound "c:\sound\10000.wav", 1, 0
  play10000:
  pass23:
    sizelen = sizelen - 1
    If sizelen > 0 Then
      data = Right(data, sizelen)
      GoTo start
    End If
  100000:
    Select Case a
      Case 1
          PlaySound "c:\sound\1.wav", 1, 0
      Case 2
          PlaySound "c:\sound\2.wav", 1, 0
      Case 3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        PlaySound "c:\sound\3.wav", 1, 0
    Case 4
        PlaySound "c:\sound\4.wav", 1, 0
    Case 5
        PlaySound "c:\sound\5.wav", 1, 0
    Case 6
        PlaySound "c:\sound\6.wav", 1, 0
    Case 7
        PlaySound "c:\sound\7.wav", 1, 0
    Case 8
        PlaySound "c:\sound\8.wav", 1, 0
    Case 9
        PlaySound "c:\sound\9.wav", 1, 0
    Case Else
        GoTo pass26
  End Select
  PlaySound "c:\sound\100000.wav", 1, 0
 play100000:
 pass26:
  sizelen = sizelen - 1
  If sizelen > 0 Then
    data = Right(data, sizelen)
    GoTo start
  End If
 okexit:
End Sub


Sub ReadNum(datanum As String)
  Dim Onechar, Datafnum As String
  Dim Sizef As Integer

  PlaySound "c:\sound\renum.wav", 1, 0
  Datafnum = datanum
  Sizef = Len(Datafnum)
DE_c:
  Onechar = Left(Datafnum, 1)
  Datafnum = Right(Datafnum, Sizef - 1)

  Select Case Onechar
    Case 1
        PlaySound "c:\sound\1.wav", 1, 0
    Case 2
        PlaySound "c:\sound\2.wav", 1, 0
    Case 3
        PlaySound "c:\sound\3.wav", 1, 0
    Case 4
        PlaySound "c:\sound\4.wav", 1, 0
    Case 5
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        PlaySound "c:\sound\5.wav", 1, 0
    Case 6
        PlaySound "c:\sound\6.wav", 1, 0
    Case 7
        PlaySound "c:\sound\7.wav", 1, 0
    Case 8
        PlaySound "c:\sound\8.wav", 1, 0
    Case 9
        PlaySound "c:\sound\9.wav", 1, 0
    Case 0
        PlaySound "c:\sound\0.wav", 1, 0
    Case Else
    End Select

    Sizef = Len(Datafnum)

    If Sizef >= 1 Then
      GoTo DE_c
    End If

End Sub
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-Bit Microcontroller with 4 Kbytes Flash

AT89C51

Features

- Compatible with MCS-51™ Products
- 4 Kbytes of In-System Reprogrammable Flash Memory
  - Endurance: 1,000 Write/Erase Cycles
- Fully Static Operation: 0 Hz to 24 MHz
- Three-Level Program Memory Lock
- 128 x 8-Bit Internal RAM
- 32 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial Channel
- Low Power Idle and Power Down Modes

Description

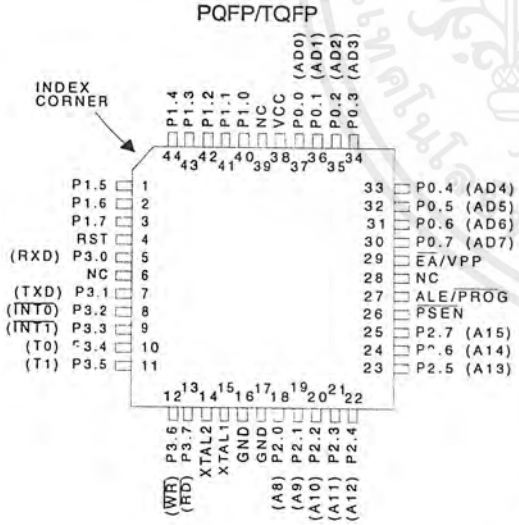
The AT89C51 is a low-power, high-performance CMOS 8-bit microcomputer with 4 Kbytes of Flash Programmable and Erasable Read Only Memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard MCS-51™ instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C51 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

(continued)

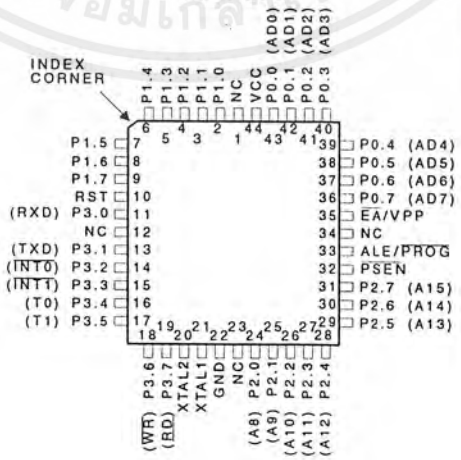
Pin Configurations

PDIP/Cerdip

PQFP/TQFP



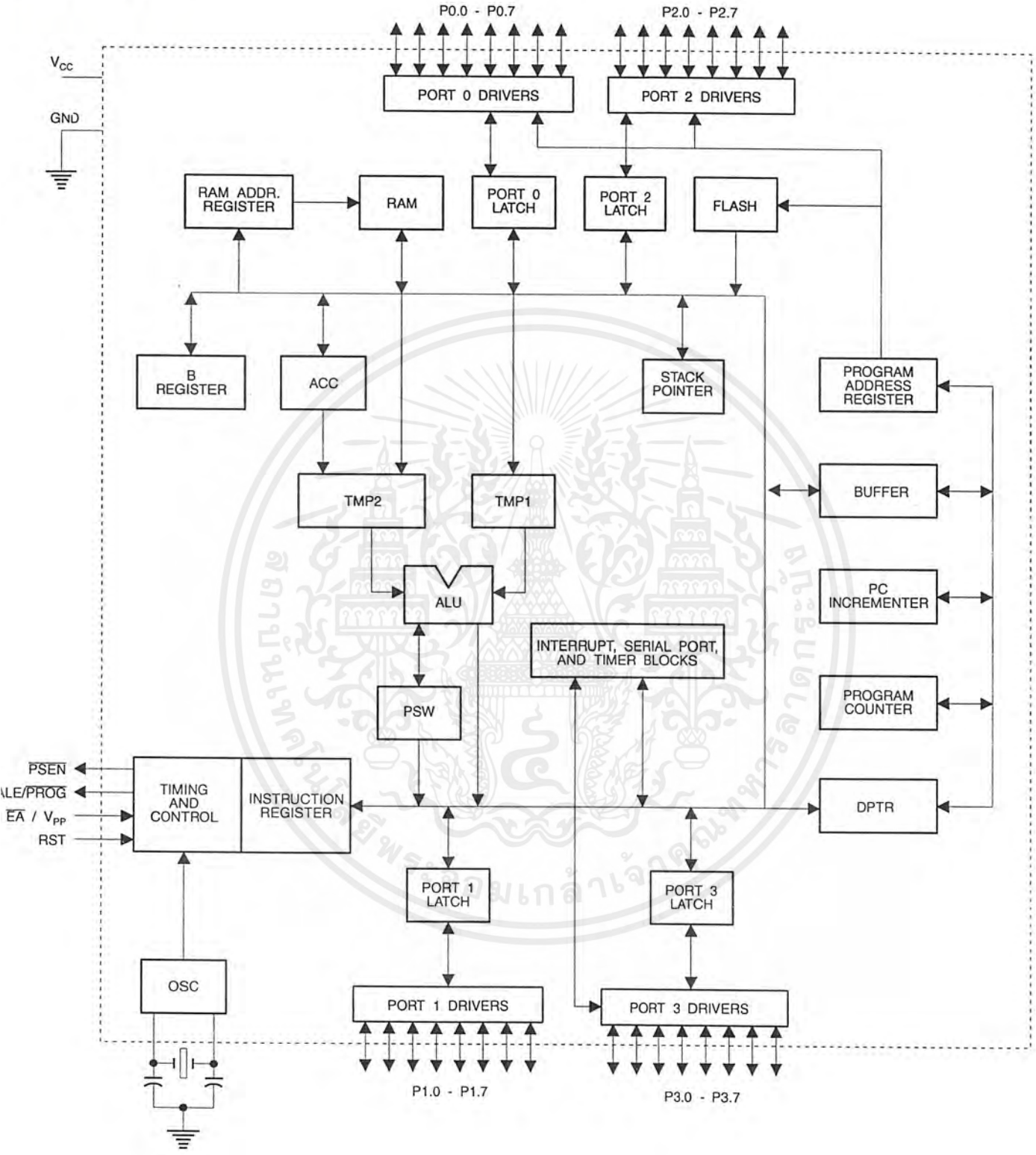
PLCC/LCC



0265E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 3. Programming the Flash

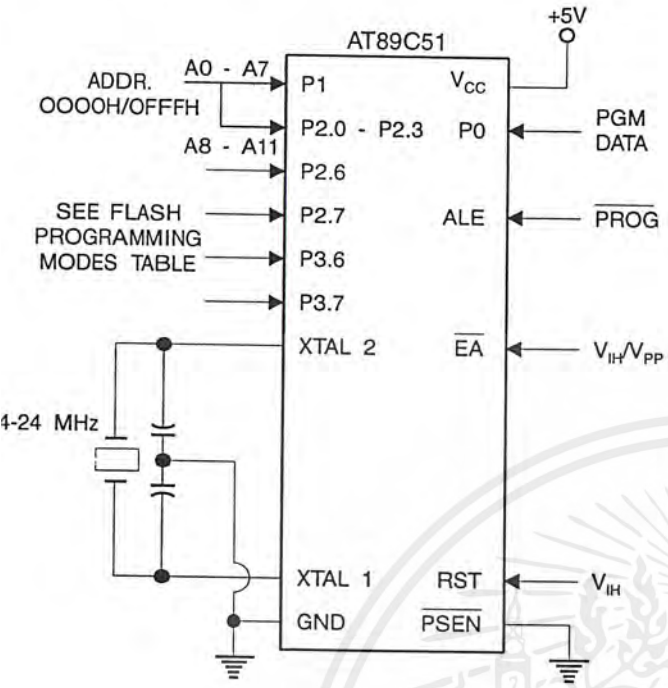
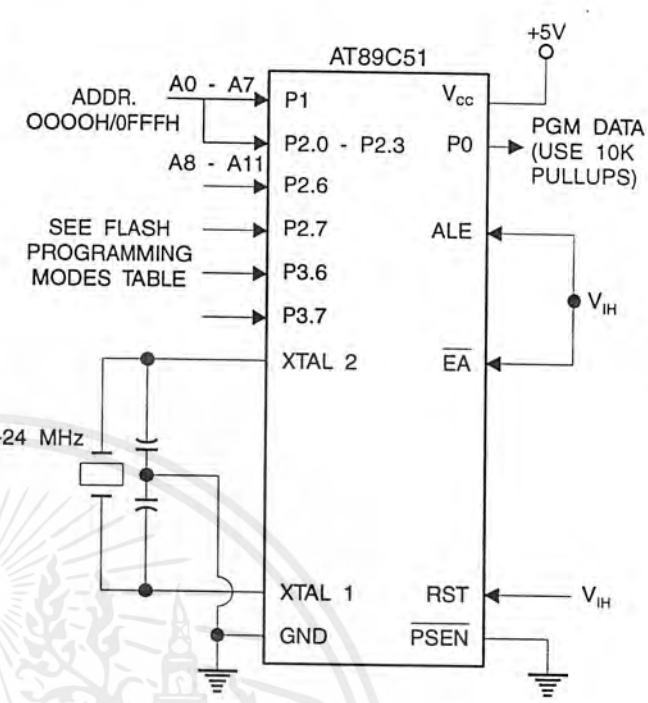


Figure 4. Verifying the Flash



Flash Programming and Verification Characteristics

T_A = 21°C to 27°C, V_{CC} = 5.0 ± 10%

Symbol	Parameter	Min	Max	Units
V_{PP}(1)	Programming Enable Voltage	11.5	12.5	V
I_{PP}(1)	Programming Enable Current		1.0	mA
1/t_{CLCL}	Oscillator Frequency	4	24	MHz
t_{AVGL}	Address Setup to $\overline{PROG}$ Low	48t_{CLCL}		
t_{GHAX}	Address Hold After $\overline{PROG}$	48t_{CLCL}		
t_{DVGL}	Data Setup to $\overline{PROG}$ Low	48t_{CLCL}		
t_{GHDX}	Data Hold After $\overline{PROG}$	48t_{CLCL}		
t_{EHSH}	P2.7 ($\overline{ENABLE}$) High to V_{PP}	48tCLCL		
t_{SHGL}	V_{PP} Setup to $\overline{PROG}$ Low	10		µs
t_{GHSL}(1)	V_{PP} Hold After $\overline{PROG}$	10		µs
t_{GLGH}	$\overline{PROG}$ Width	1	110	µs
t_{AVQV}	Address to Data Valid		48tCLCL	
t_{ELQV}	$\overline{ENABLE}$ Low to Data Valid		48t_{CLCL}	
t_{EHQV}	Data Float After $\overline{ENABLE}$	0	48t_{CLCL}	
t_{GHBL}	$\overline{PROG}$ High to $\overline{BUSY}$ Low		1.0	µs
t_{WC}	Byte Write Cycle Time		2.0	ms

ote: 1. Only used in 12-volt programming mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description (Continued)

When the AT89C51 is executing code from external program memory, PSEN is activated twice each machine cycle, except that two PSEN activations are skipped during each access to external data memory.

EA/V_{PP}

External Access Enable. EA must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, EA will be internally latched on reset.

EA should be strapped to V_{CC} for internal program executions.

This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming, for parts that require 12-volt V_{PP}.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier.

Oscillator Characteristics

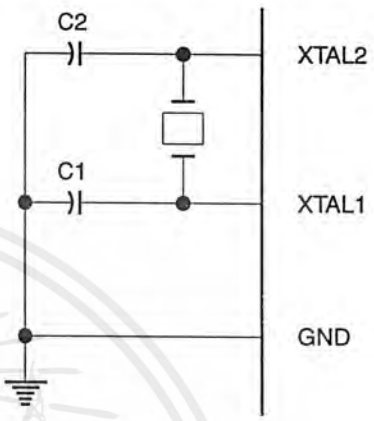
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

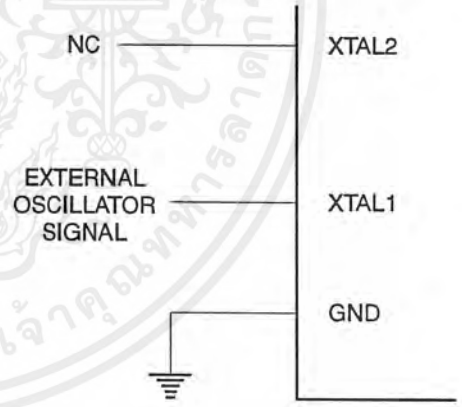
It should be noted that when idle is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hard-

Figure 1. Oscillator Connections



Notes: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration



Status of External Pins During Idle and Power Down

Mode	Program Memory	ALE	PSEN	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power Down	Internal	0	0	Data	Data	Data	Data
Power Down	External	0	0	Float	Data	Data	Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Power Down Mode

In the power down mode the oscillator is stopped, and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. The only exit from power down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before Vcc is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

Program Memory Lock Bits

On the chip are three lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

When lock bit 1 is programmed, the logic level at the $\overline{EA}$ pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value, and holds that value until reset is activated. It is necessary that the latched value of $\overline{EA}$ be in agreement with the current logic level at that pin in order for the device to function properly.

Lock Bit Protection Modes

Program Lock Bits				
	LB1	LB2	LB3	Protection Type
1	U	U	U	No program lock features.
2	P	U	U	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory, EA is sampled and latched on reset, and further programming of the Flash is disabled.
3	P	P	U	Same as mode 2, also verify is disabled.
4	P	P	P	Same as mode 3, also external execution is disabled.

Programming the Flash

The AT89C51 is normally shipped with the on-chip Flash memory array in the erased state (that is, contents = FFH) and ready to be programmed. The programming interface accepts either a high-voltage (12-volt) or a low-voltage (Vcc) program enable signal. The low voltage programming mode provides a convenient way to program the AT89C51 inside the user's system, while the high-voltage programming mode is compatible with conventional third party Flash or EPROM programmers.

The AT89C51 is shipped with either the high-voltage or low-voltage programming mode enabled. The respective top-side marking and device signature codes are listed in the following table.

	V_{PP} = 12 V	V_{PP} = 5 V
Top-Side Mark	AT89C51 xxxx yyww	AT89C51 xxxx-5 yyww
Signature	(030H)=1EH (031H)=51H (032H)=FFH	(030H)=1EH (031H)=51H (032H)=05H

The AT89C51 code memory array is programmed byte-by-byte in either programming mode. *To program any non-blank byte in the on-chip Flash Memory, the entire memory must be erased using the Chip Erase Mode.*

Programming Algorithm: Before programming the AT89C51, the address, data and control signals should be set up according to the Flash programming mode table and Figures 3 and 4. To program the AT89C51, take the following steps.

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise $\overline{EA}/V_{PP}$ to 12 V for the high-voltage programming mode.
5. Pulse ALE/$\overline{PROG}$ once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 1.5 ms. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

$\overline{Data}$ Polling: The AT89C51 features $\overline{Data}$ Polling to indicate the end of a write cycle. During a write cycle, an at-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(continued)

Programming the Flash (Continued)

tempted read of the last byte written will result in the complement of the written datum on PO.7. Once the write cycle has been completed, true data are valid on all outputs, and the next cycle may begin. Data Polling may begin any time after a write cycle has been initiated.

Ready/Busy: The progress of byte programming can also be monitored by the RDY/BSY output signal. P3.4 is pulled low after ALE goes high during programming to indicate BUSY. P3.4 is pulled high again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire Flash array is erased electrically by using the proper combination of control signals and by holding ALE/PROG low for 10 ms. The code array is written with all "1"s. The chip erase operation must be executed before the code memory can be re-programmed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 030H,

031H, and 032H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.

(030H) = 1EH indicates manufactured by Atmel
(031H) = 51H indicates 89C51
(032H) = FFH indicates 12 V programming
(032H) = 05H indicates 5 V programming

Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Flash Programming Modes

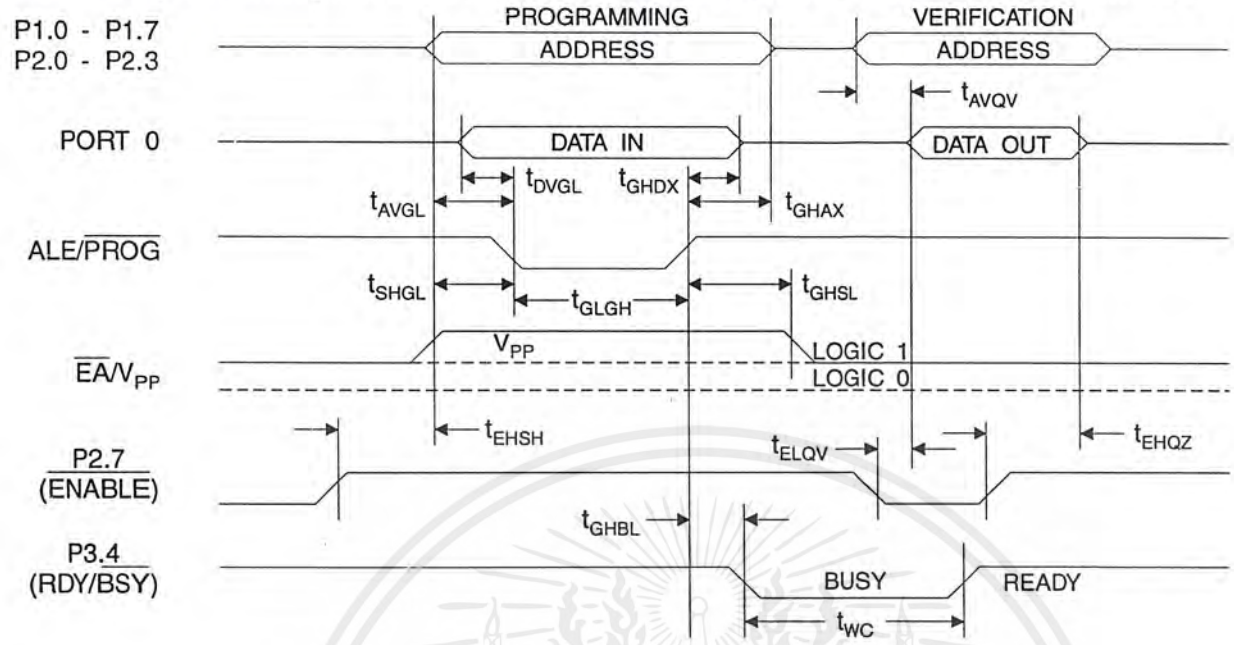
Mode		RST	PSEN	ALE/PROG	EA/VPP	P2.6	P2.7	P3.6	P3.7
Write Code Data		H	L	⎍	H/12V(1)	L	H	H	H
Read Code Data		H	L	H	H	L	L	H	H
Write Lock	Bit - 1	H	L	⎍	H/12V	H	H	H	H
	Bit - 2	H	L	⎍ (2)	H/12V	H	H	L	L
	Bit - 3	H	L	⎍	H/12V	H	L	H	L
Chip Erase		H	L	⎍	H/12V	H	L	L	L
Read Signature Byte		H	L	H	H	L	L	L	L

Notes: 1. The signature byte at location 032H designates whether V_{PP} = 12 V or V_{PP} = 5 V should be used to enable programming.

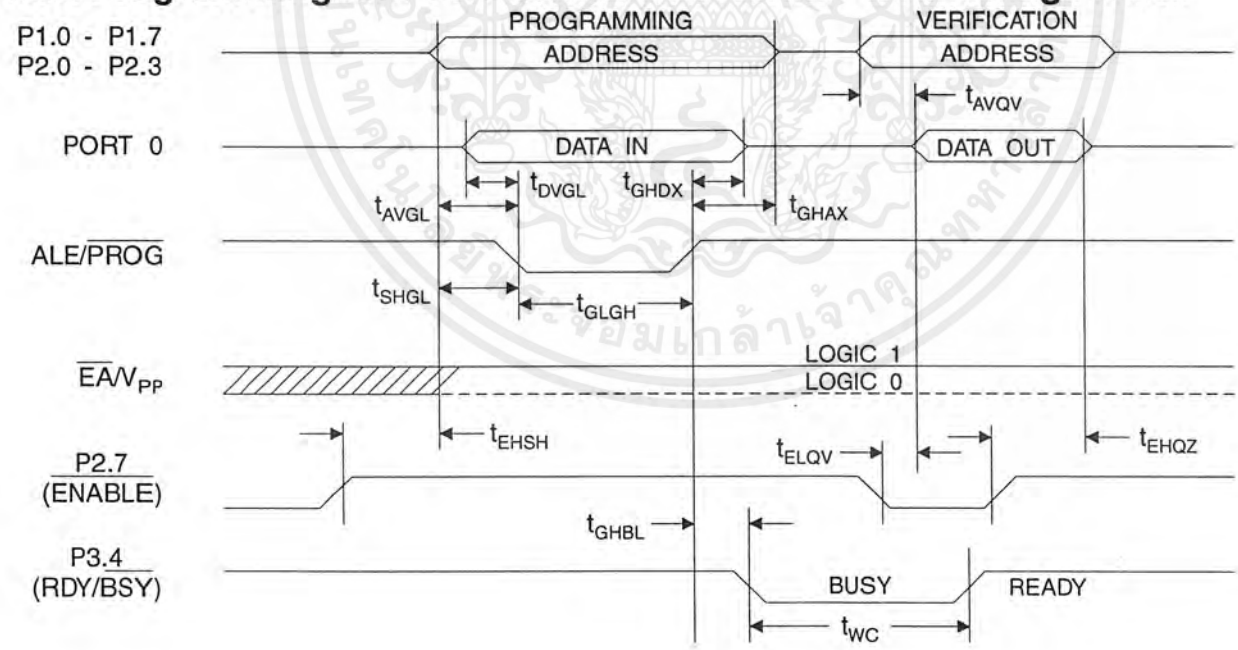
2. Chip Erase requires a 10 ms $\overline{PROG}$ pulse.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash Programming and Verification Waveforms - High Voltage Mode



Flash Programming and Verification Waveforms - Low Voltage Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0 V to +7.0 V
Maximum Operating Voltage	6.6 V
DC Output Current	15.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. Characteristics

T_A = -40°C to 85°C, V_{CC} = 5.0 V ± 20% (unless otherwise noted)

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low Voltage	(Except $\overline{EA}$)	-0.5	0.2 V_{CC}-0.1	V
V_{IL1}	Input Low Voltage ($\overline{EA}$)		-0.5	0.2 V_{CC}-0.3	V
V_{IH}	Input High Voltage	(Except XTAL1, RST)	0.2 V_{CC}+0.9	V_{CC}+0.5	V
V_{IH1}	Input High Voltage	(XTAL1, RST)	0.7 V_{CC}	V_{CC}+0.5	V
V_{OL}	Output Low Voltage[1] (Ports 1,2,3)	I_{OL} = 1.6 mA		0.45	V
V_{OL1}	Output Low Voltage[1] (Port 0, ALE, $\overline{PSEN}$)	I_{OL} = 3.2 mA		0.45	V
V_{OH}	Output High Voltage (Ports 1,2,3, ALE, $\overline{PSEN}$)	I_{OH} = -60 µA, V_{CC} = 5 V ± 10%	2.4		V
		I_{OH} = -25 µA	0.75 V_{CC}		V
		I_{OH} = -10 µA	0.9 V_{CC}		V
V_{OH1}	Output High Voltage (Port 0 in External Bus Mode)	I_{OH} = -800 µA, V_{CC} = 5 V ± 10%	2.4		V
		I_{OH} = -300 µA	0.75 V_{CC}		V
		I_{OH} = -80 µA	0.9 V_{CC}		V
I_{IL}	Logical 0 Input Current (Ports 1,2,3)	V_{IN} = 0.45 V		-50	µA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1,2,3)	V_{IN} = 2 V		-650	µA
I_{LI}	Input Leakage Current (Port 0, $\overline{EA}$)	0.45 < V_{IN} < V_{CC}		±10	µA
RRST	Reset Pulldown Resistor		50	300	KΩ
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, T_A = 25°C		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz		20	mA
		Idle Mode, 12 MHz		5	mA
	Power Down Mode[2]	V_{CC} = 6 V		100	µA
		V_{CC} = 3 V		40	µA

Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
Maximum I_{OL} per port pin:10 mA
Maximum I_{OL} per 8-bit port:
Port 0:26 mA
Ports 1,2, 3:15 mA
Maximum total IOL for all output pins:71 mA
If IOL exceeds the test condition, VOL may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
2. Minimum VCC for Power Down is 2 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. Characteristics

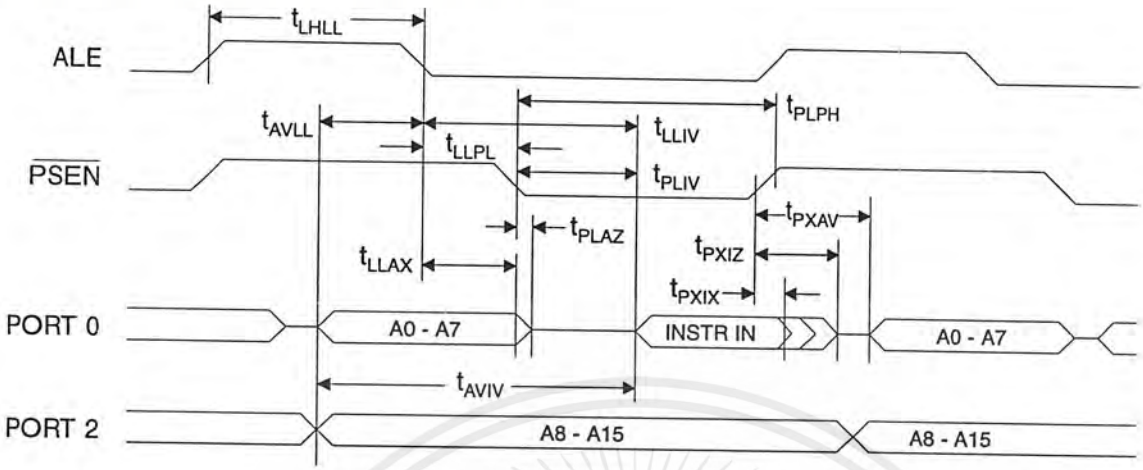
(Under Operating Conditions; Load Capacitance for Port 0, ALE/$\overline{PROG}$, and $\overline{PSEN}$ = 100 pF; Load Capacitance for all other outputs = 80 pF)

External Program and Data Memory Characteristics

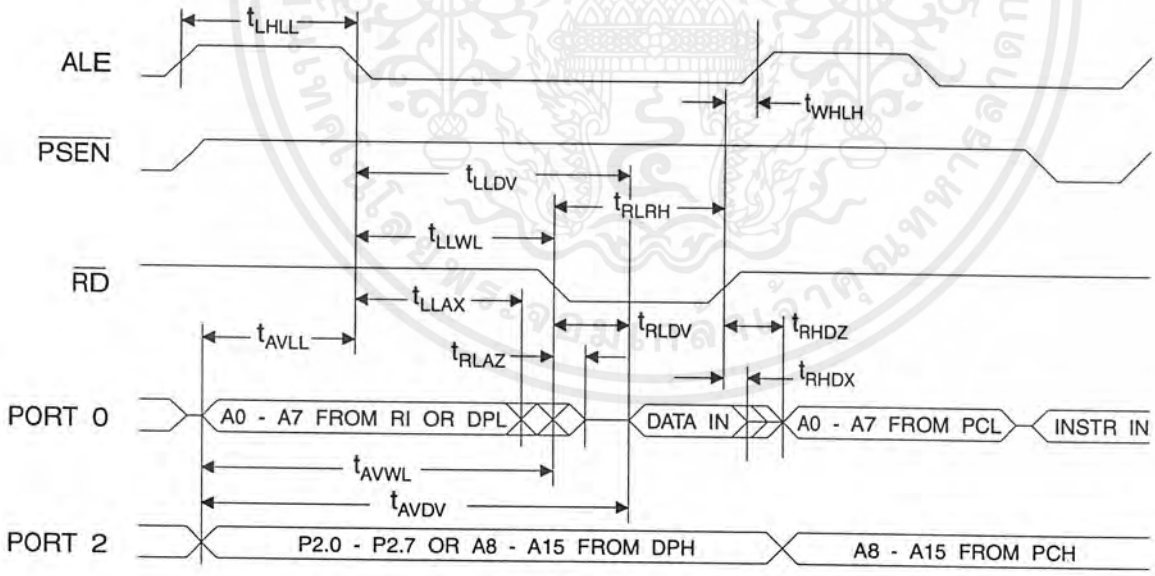
Symbol	Parameter	12 MHz Oscillator		16 to 24 MHz Oscillator		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency			0	24	MHz
t_{LHLL}	ALE Pulse Width	127		$2t_{CLCL}$-40		ns
t_{AVLL}	Address Valid to ALE Low	28		tCLCL-13		ns
t_{LLAX}	Address Hold After ALE Low	48		tCLCL-20		ns
t_{LLIV}	ALE Low to Valid Instruction In		233		4tCLCL-65	ns
t_{LLPL}	ALE Low to $\overline{PSEN}$ Low	43		t_{CLCL}-13		ns
t_{PLPH}	$\overline{PSEN}$ Pulse Width	205		$3t_{CLCL}$-20		ns
t_{PLIV}	$\overline{PSEN}$ Low to Valid Instruction In		145		$3t_{CLCL}$-45	ns
t_{PXIX}	Input Instruction Hold After $\overline{PSEN}$	0		0		ns
t_{PXIZ}	Input Instruction Float After $\overline{PSEN}$		59		t_{CLCL}-10	ns
t_{PXAV}	$\overline{PSEN}$ to Address Valid	75		t_{CLCL}-8		ns
t_{AVIV}	Address to Valid Instruction In		312		$5t_{CLCL}$-55	ns
t_{PLAZ}	$\overline{PSEN}$ Low to Address Float		10		10	ns
t_{RLRH}	$\overline{RD}$ Pulse Width	400		$6t_{CLCL}$-100		ns
t_{WLWH}	$\overline{WR}$ Pulse Width	400		$6t_{CLCL}$-100		ns
t_{RLDV}	$\overline{RD}$ Low to Valid Data In		252		$5t_{CLCL}$-90	ns
t_{RHDX}	Data Hold After $\overline{RD}$	0		0		ns
t_{RHDZ}	Data Float After $\overline{RD}$		97		$2t_{CLCL}$-28	ns
t_{LLDV}	ALE Low to Valid Data In		517		8tCLCL-150	ns
t_{AVDV}	Address to Valid Data In		585		9tCLCL-165	ns
t_{LLWL}	ALE Low to $\overline{RD}$ or $\overline{WR}$ Low	200	300	$3t_{CLCL}$-50	$3t_{CLCL}$+50	ns
t_{AVWL}	Address to $\overline{RD}$ or $\overline{WR}$ Low	203		$4t_{CLCL}$-75		ns
t_{QVWX}	Data Valid to $\overline{WR}$ Transition	23		t_{CLCL}-20		ns
t_{QVWH}	Data Valid to $\overline{WR}$ High	433		$7t_{CLCL}$-120		ns
t_{WHQX}	Data Hold After $\overline{WR}$	33		t_{CLCL}-20		ns
t_{RLAZ}	$\overline{RD}$ Low to Address Float		0		0	ns
t_{WHLH}	$\overline{RD}$ or $\overline{WR}$ High to ALE High	43	123	t_{CLCL}-20	t_{CLCL}+25	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Program Memory Read Cycle

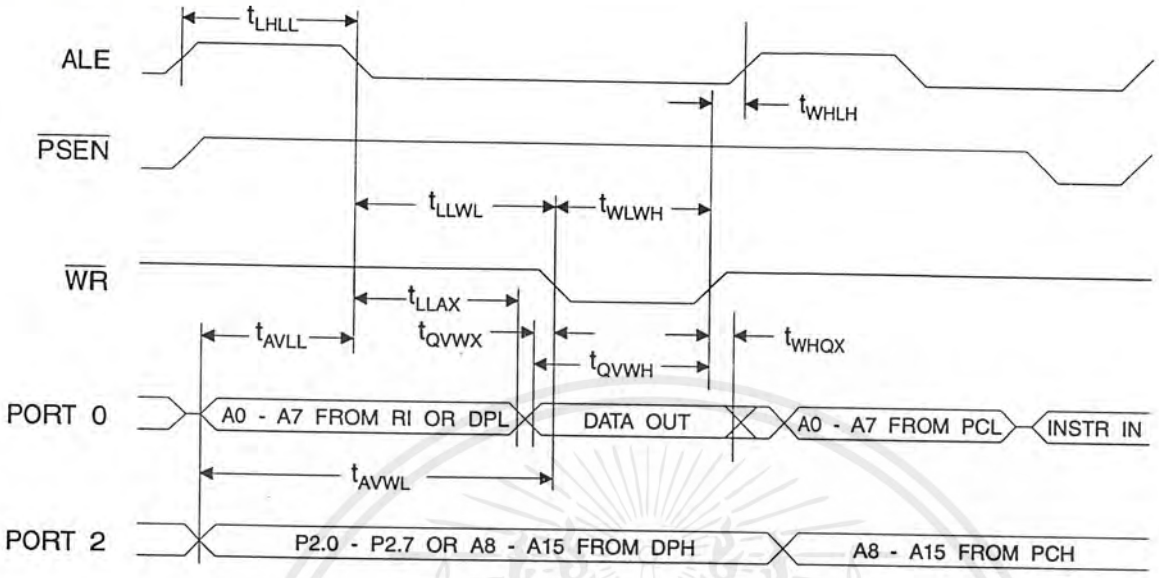


External Data Memory Read Cycle

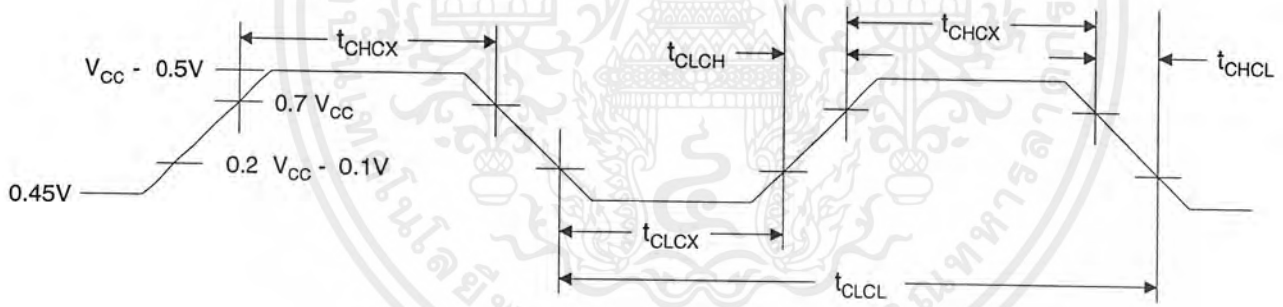


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Data Memory Cycle



External Clock Drive Waveforms



External Clock Drive

Symbol	Parameter	Min	Max	Units
$1/t_{CLCL}$	Oscillator Frequency	0	24	MHz
t_{CLCL}	Clock Period	41.6		ns
t_{CHCX}	High Time	15		ns
t_{CLCX}	Low Time	15		ns
t_{CLCH}	Rise Time		20	ns
t_{CHCL}	Fall Time		20	ns

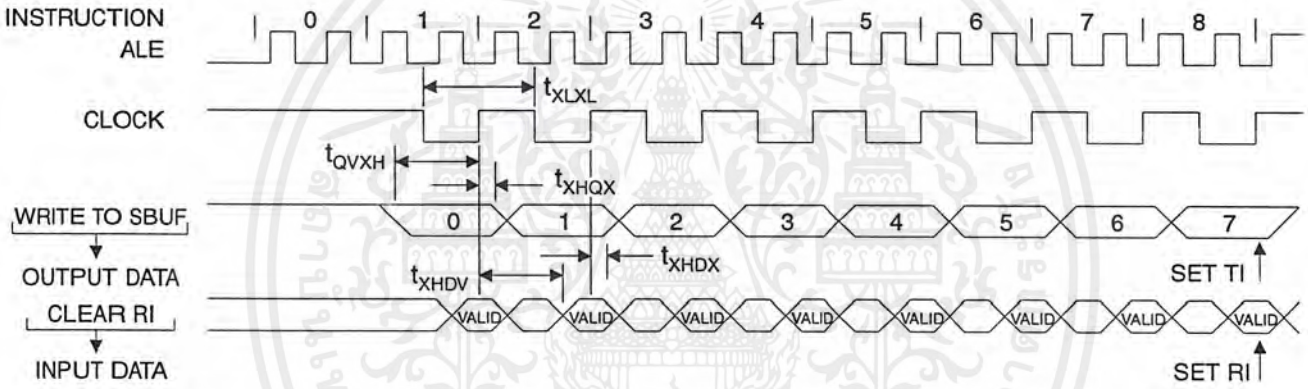
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Serial Port Timing: Shift Register Mode Test Conditions

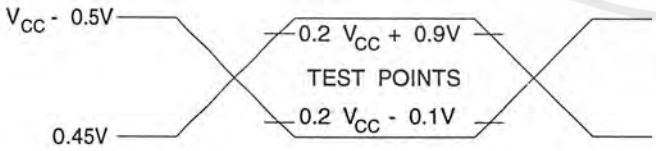
(V_{CC} = 5.0 V ± 20%; Load Capacitance = 80 pF)

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		µs
t_{QVXH}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}$-133		ns
t_{XHQX}	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}$-33		ns
t_{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t_{XHDV}	Clock Rising Edge to Input Data Valid		700		10tCLCL-133	ns

Shift Register Mode Timing Waveforms

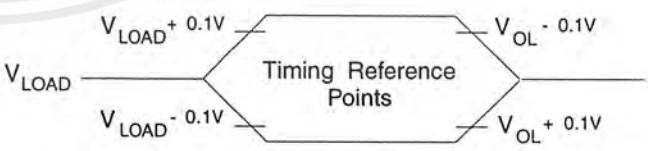


AC Testing Input/Output Waveforms[1]



Note: 1. AC Inputs during testing are driven at V_{CC} - 0.5 V for a logic 1 and 0.45 V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms[1]



Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when a 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	5 V ± 20%	AT89C51-12AC AT89C51-12JC AT89C51-12PC AT89C51-12QC	44A 44J 40P6 44Q	Commercial (0°C to 70°C)
		AT89C51-12AI AT89C51-12JI AT89C51-12PI AT89C51-12QI	44A 44J 40P6 44Q	Industrial (-40°C to 85°C)
		AT89C51-12AA AT89C51-12JA AT89C51-12PA AT89C51-12QA	44A 44J 40P6 44Q	Automotive (-40°C to 125°C)
	5 V ± 10%	AT89C51-12DM AT89C51-12LM	40D6 44L	Military (-55°C to 125°C)
		AT89C51-12DM/883 AT89C51-12LM/883	40D6 44L	Military/883C Class B, Fully Compliant (-55°C to 125°C)
16	5 V ± 20%	AT89C51-16AC AT89C51-16JC AT89C51-16PC AT89C51-16QC	44A 44J 40P6 44Q	Commercial (0°C to 70°C)
		AT89C51-16AI AT89C51-16JI AT89C51-16PI AT89C51-16QI	44A 44J 40P6 44Q	Industrial (-40°C to 85°C)
		AT89C51-16AA AT89C51-16JA AT89C51-16PA AT89C51-16QA	44A 44J 40P6 44Q	Automotive (-40°C to 125°C)
20	5 V ± 20%	AT89C51-20AC AT89C51-20JC AT89C51-20PC AT89C51-20QC	44A 44J 40P6 44Q	Commercial (0°C to 70°C)
		AT89C51-20AI AT89C51-20JI AT89C51-20PI AT89C51-20QI	44A 44J 40P6 44Q	Industrial (-40°C to 85°C)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
24	5 V ± 20%	AT89C51-24AC AT89C51-24JC AT89C51-24PC AT89C51-24QC	44A 44J 44P6 44Q	Commercial (0°C to 70°C)
		AT89C51-24AI AT89C51-24JI AT89C51-24PI AT89C51-24QI	44A 44J 44P6 44Q	Industrial (-40°C to 85°C)

Package Type	
44A	44 Lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
40D6	40 Lead, 0.600" Wide, Non-Windowed, Ceramic Dual Inline Package (Cerdip)
44J	44 Lead, Plastic J-Leaded Chip Carrier (PLCC)
44L	44 Pad, Non-Windowed, Ceramic Leadless Chip Carrier (LCC)
40P6	40 Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
44Q	44 Lead, Plastic Gull Wing Quad Flatpack (PQFP)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description (Continued)

The AT89C51 provides the following standard features: 4 Kbytes of Flash, 128 bytes of RAM, 32 I/O lines, two 16-bit timer/counters, a five vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator and clock circuitry. In addition, the AT89C51 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Description

V_{CC}

Supply voltage.

GND

Ground.

Port 0

Port 0 is an 8-bit open drain bidirectional I/O port. As an output port each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 may also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode P0 has internal pullups.

Port 0 also receives the code bytes during Flash programming, and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1

Port 1 is an 8-bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 1 also receives the low-order address bytes during Flash programming and program verification.

Port 2

Port 2 is an 8-bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application it uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3

Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C51 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (extenal interrupt 0)
P3.3	$\overline{INT1}$ (extenal interrupt 1)
P3.4	T0 (timer 0 extenal input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (extenal data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

Port 3 also receives some control signals for Flash programming and programming verification.

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/$\overline{PROG}$

Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{PROG}$) during Flash programming.

In normal operation ALE is emitted at a constant rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external Data Memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcrontroller is in external execution mode.

$\overline{PSEN}$

Program Store Enable is the read strobe to external program memory.

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISO²-CMOS MT8870D/MT8870D-1
Integrated DTMF Receiver

ISSUE 5 March 1997

Features
- Complete DTMF Receiver
- Low power consumption
- Internal gain setting amplifier
- Adjustable guard time
- Central office quality
- Power-down mode
- Inhibit mode
- Backward compatible with MT8870C/MT8870C-1

Ordering Information
MT8870DE/DE-1 18 Pin Plastic DIP
MT8870DS/DS-1 18 Pin SOIC
MT8870DN/DN-1 20 Pin SSOP
-40 °C to +85 °C

Applications
- Receiver system for British Telecom (BT) or CEPT Spec (MT8870D-1)
- Paging systems
- Repeater systems/mobile radio
- Credit card systems
- Remote control
- Personal computers
- Telephone answering machine

Description
The MT8870D/MT8870D-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.

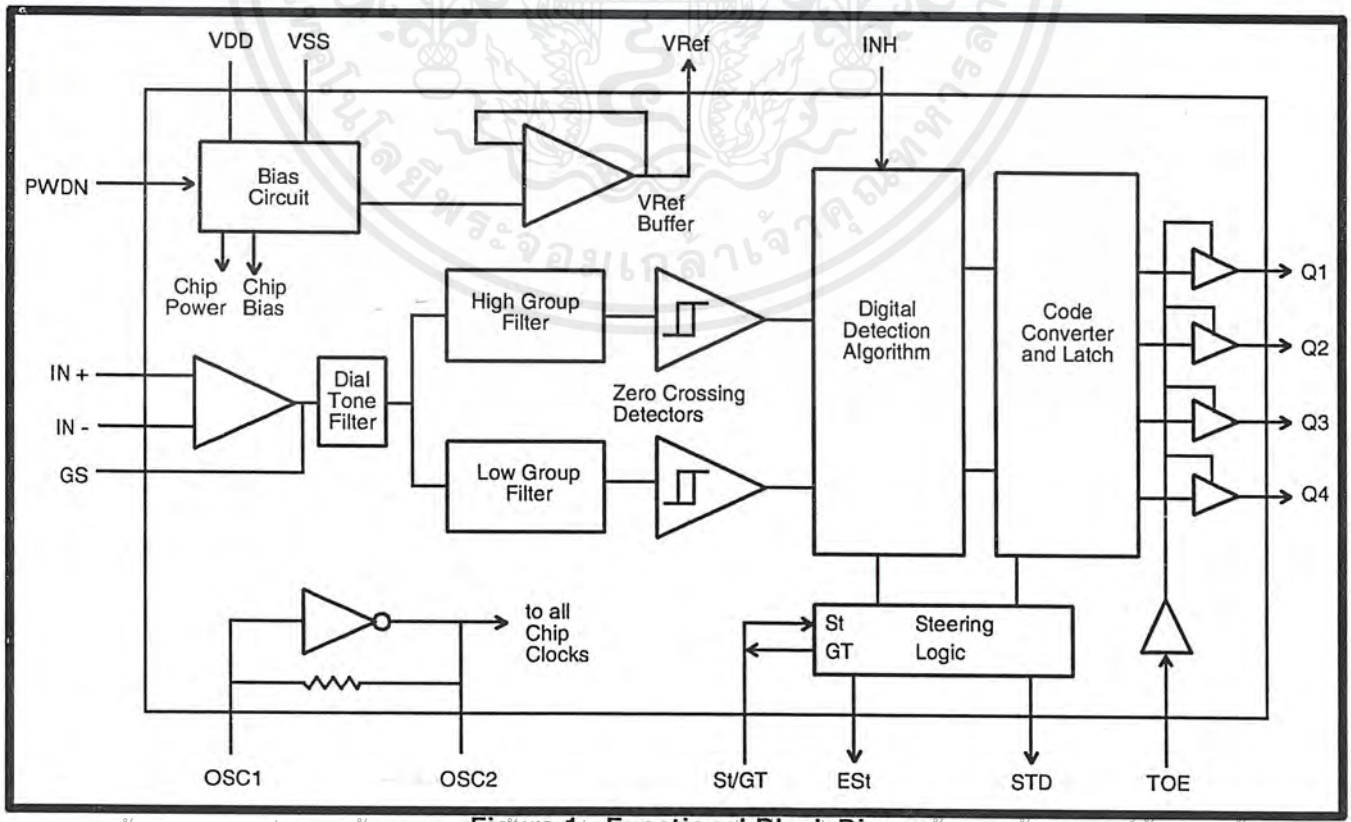


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

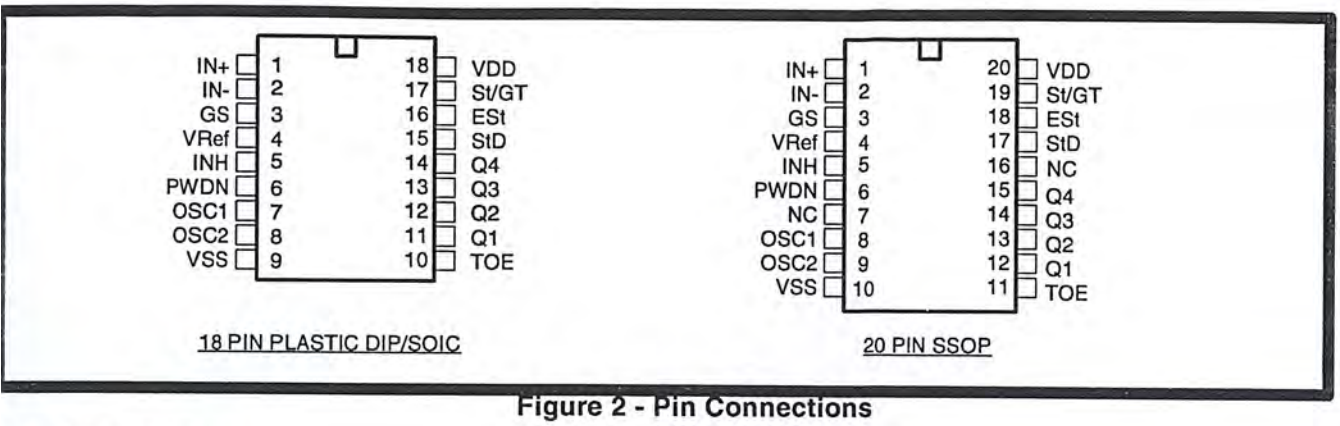


Figure 2 - Pin Connections

Pin Description

Pin #		Name	Description
18	20		
1	1	IN+	**Non-Inverting Op-Amp (Input).**
2	2	IN-	**Inverting Op-Amp (Input).**
3	3	GS	**Gain Select.** Gives access to output of front end differential amplifier for connection of feedback resistor.
4	4	V_{Ref}	**Reference Voltage (Output).** Nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig. 6 and Fig. 10).
5	5	INH	**Inhibit (Input).** Logic high inhibits the detection of tones representing characters A, B, C and D. This pin input is internally pulled down.
6	6	PWDN	**Power Down (Input).** Active high. Powers down the device and inhibits the oscillator. This pin input is internally pulled down.
7	8	OSC1	**Clock (Input).**
8	9	OSC2	**Clock (Output).** A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit.
9	10	V_{SS}	**Ground (Input).** 0V typical.
10	11	TOE	**Three State Output Enable (Input).** Logic high enables the outputs Q1-Q4. This pin is pulled up internally.
11-14	12-15	Q1-Q4	**Three State Data (Output).** When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1). When TOE is logic low, the data outputs are high impedance.
15	17	StD	**Delayed Steering (Output).**Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/GT falls below V_{TSt}.
16	18	ESt	**Early Steering (Output).** Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
17	19	St/GT	**Steering Input/Guard time (Output) Bidirectional.** A voltage greater than V_{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
18	20	V_{DD}	**Positive power supply (Input).** +5V typical.
	7, 16	NC	No Connection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The MT8870D/MT8870D-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Separation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 3). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while

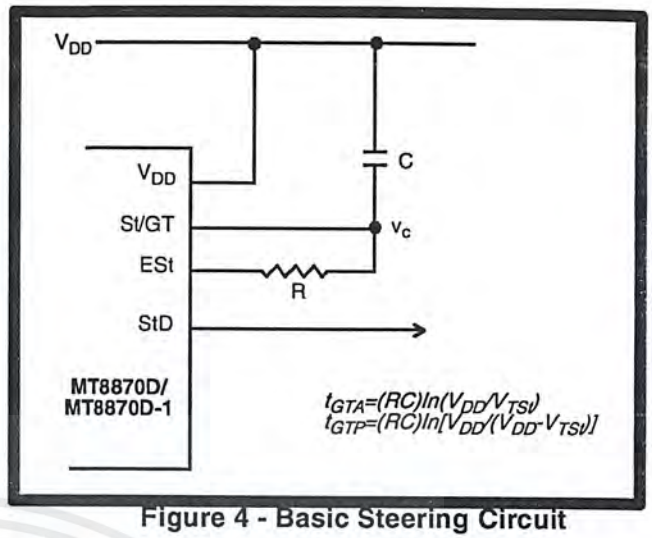


Figure 4 - Basic Steering Circuit

providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state (see "Steering Circuit").

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes v_c (see Figure 4) to rise as the capacitor discharges. Provided signal

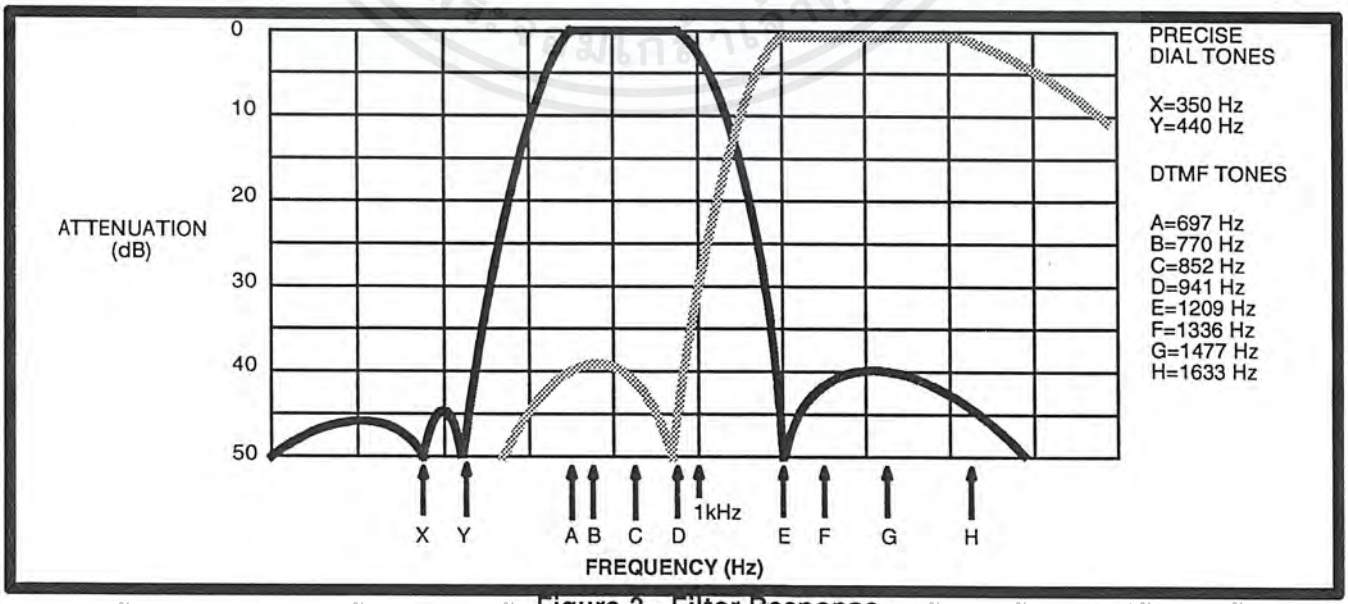


Figure 3 - Filter Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ondition is maintained (ESt remains high) for the alidation period (t_{GTP}), v_c reaches the threshold V_{TSt}) of the steering logic to register the tone pair, itching its corresponding 4-bit code (see Table 1) ito the output latch. At this point the GT output is ctivated and drives v_c to V_{DD}. GT continues to drive igh as long as ESt remains high. Finally, after a hort delay to allow the output latch to settle, the elayed steering output flag (StD) goes high, ignalling that a received tone pair has been egistered. The contents of the output latch are ade available on the 4-bit output bus by raising the iree state control input (TOE) to a logic high. The teering circuit works in reverse to validate the iterdigit pause between signals. Thus, as well as ejecting signals too short to be considered valid, the eceiver will tolerate signal interruptions (dropout) o short to be considered a valid pause. This facility, gether with the capability of selecting the steering me constants externally, allows the designer to ilor performance to meet a wide variety of system equirements.

uard Time Adjustment

n many situations not requiring selection of tone uration and interdigital pause, the simple steering rcuit shown in Figure 4 is applicable. Component alues are chosen according to the formula:

$$t_{REC}=t_{DP}+t_{GTP}$$
$$t_{ID}=t_{DA}+t_{GTA}$$

he value of t_{DP} is a device parameter (see Figure 1) and t_{REC} is the minimum signal duration to be ecognized by the receiver. A value for C of 0.1 µF is recommended for most applications, leaving R to be selected by the designer.

Digit	TOE	INH	ESt	Q_4	Q_3	Q_2	Q_1
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
*	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	undetected, the output code will remain the same as the previous detected code			
B	H	H	L				
C	H	H	L				
D	H	H	L				

Table 1. Functional Decode Table
L=LOGIC LOW, H=LOGIC HIGH, Z=HIGH IMPEDANCE
X = DON'T CARE

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 5.

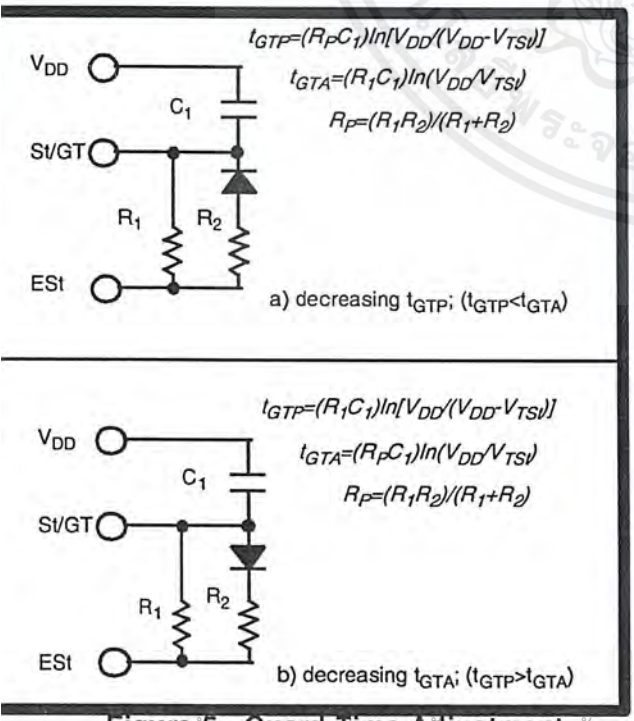


Figure 5 - Guard Time Adjustment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Power-down and Inhibit Mode

A logic high applied to pin 6 (PWDN) will power down the device to minimize the power consumption in a standby mode. It stops the oscillator and the functions of the filters.

Inhibit mode is enabled by a logic high input to the pin 5 (INH). It inhibits the detection of tones representing characters A, B, C, and D. The output code will remain the same as the previous detected code (see Table 1).

Differential Input Configuration

The input arrangement of the MT8870D/MT8870D-1 provides a differential-input operational amplifier as well as a bias source (V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 10 with the op-amp connected for unity gain and V_{Ref} biasing the input at $^1/_2V_{DD}$. Figure 6 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_5.

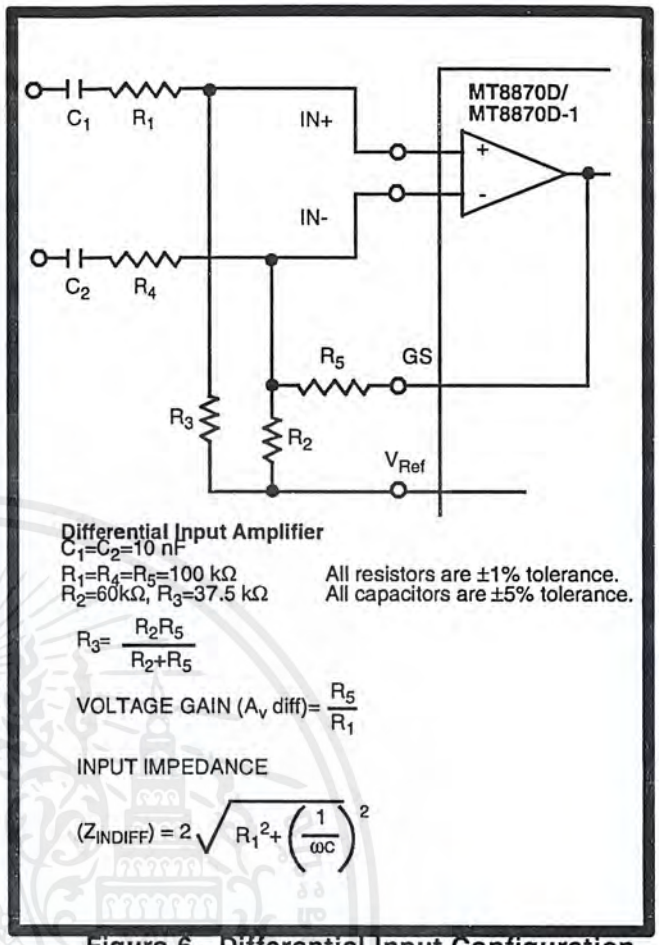


Figure 6 - Differential Input Configuration

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 10 (Single-Ended Input Configuration). However, it is possible to configure several MT8870D/MT8870D-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 7 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, i.e., precision balancing capacitors are not required.

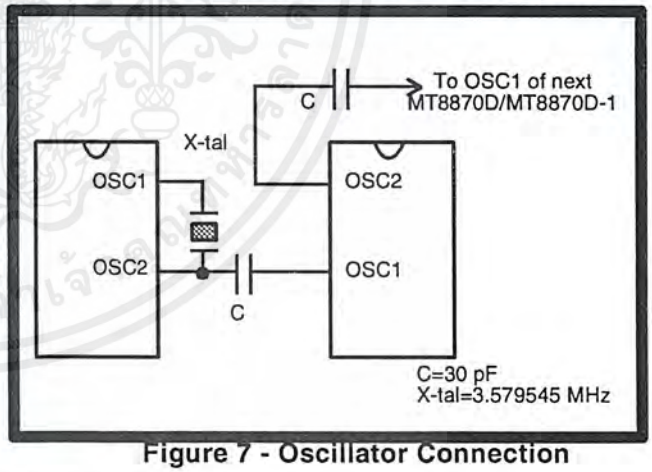


Figure 7 - Oscillator Connection

Parameter	Unit	Resonator
R1	Ohms	10.752
L1	mH	.432
C1	pF	4.984
C0	pF	37.915
Qm	-	896.37
Δf	%	±0.2%

Table 2. Recommended Resonator Specifications

Note: Qm=quality factor of RLC model, i.e., $1/2\Pi fR1C1$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications

RECEIVER SYSTEM FOR BRITISH TELECOM SPEC POR 1151

The circuit shown in Fig. 9 illustrates the use of MT8870D-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of R_1 and R_2 to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting in GS of MT8870D-1. As shown in the diagram, the component values of R_3 and C_2 are the guard time requirements when the total component tolerance is 1%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 8.

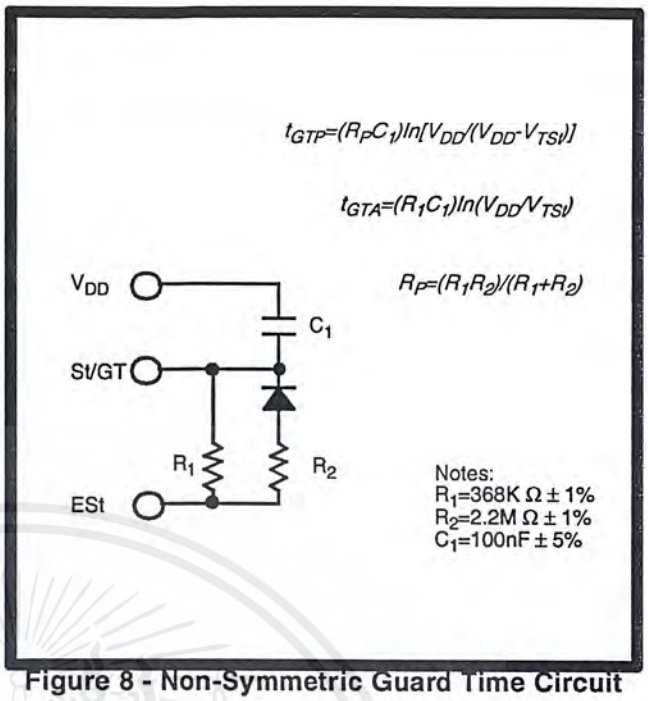


Figure 8 - Non-Symmetric Guard Time Circuit

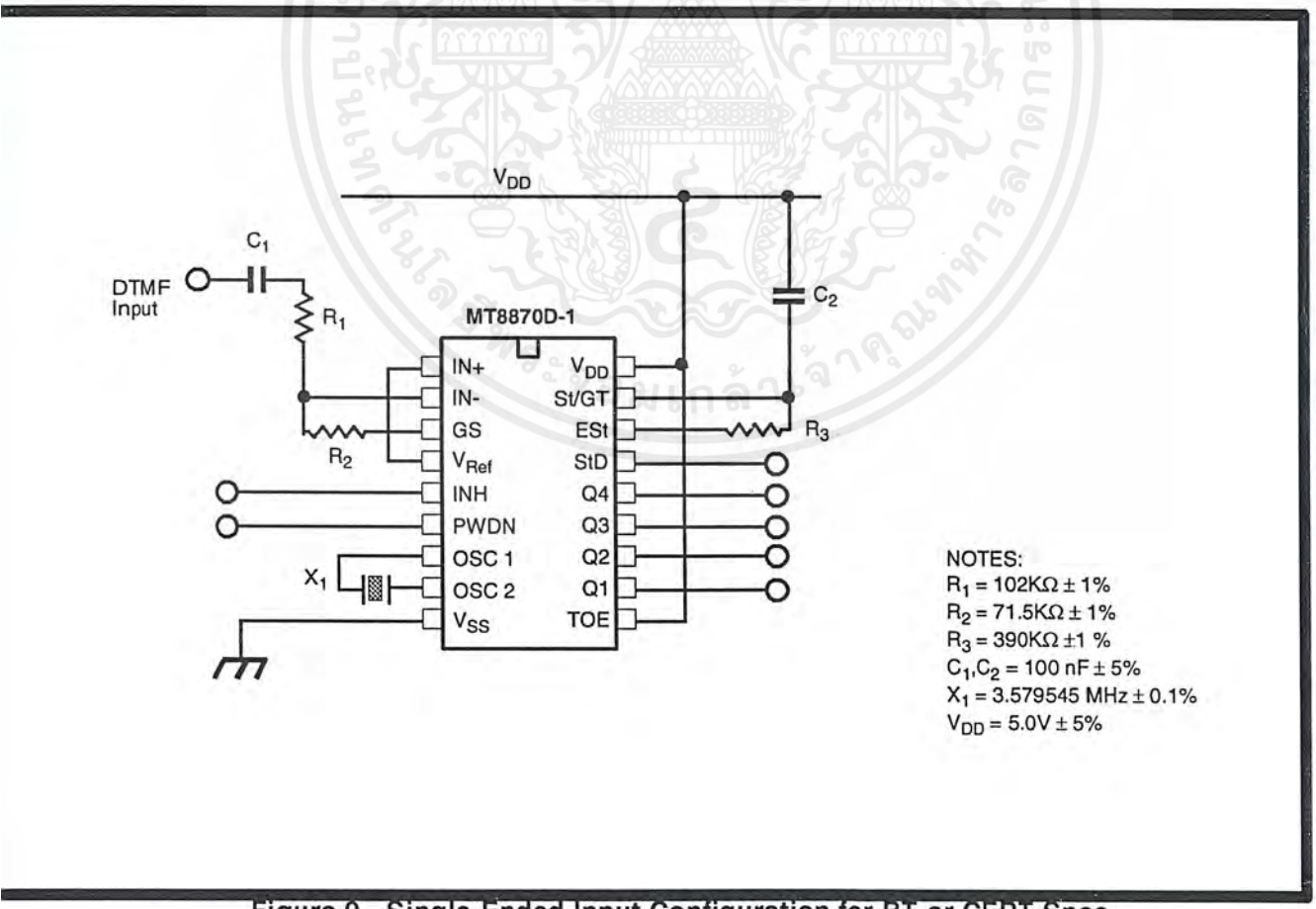
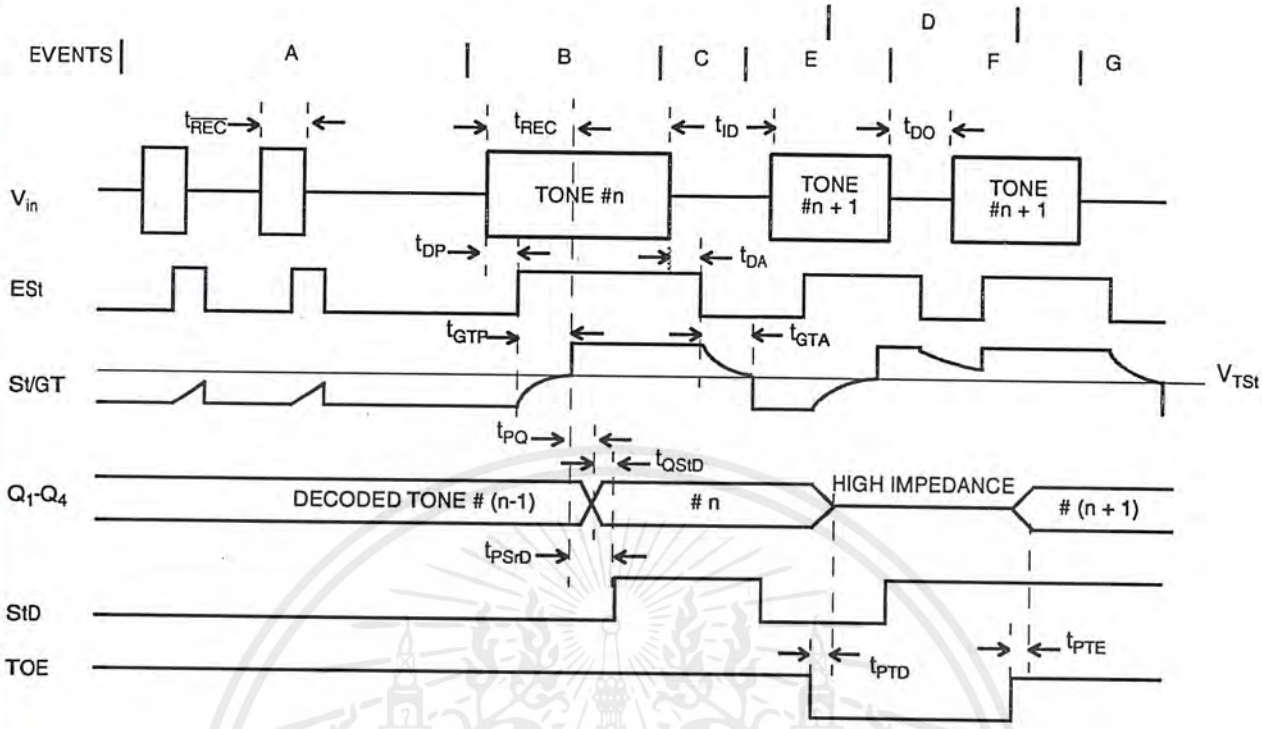


Figure 9 - Single-Ended Input Configuration for BT or CEPT Spec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED.

B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS

C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMIAN LATCHED UNTIL NEXT VALID TONE.

D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.

E) TONE #n + 1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).

F) ACCEPTABLE DROPOUT OF TONE #n + 1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCHED.

G) END OF TONE #n + 1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

V_{in}	DTMF COMPOSITE INPUT SIGNAL.
ESt	EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.
St/GT	STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.
Q_1-Q_4	4-BIT DECODED TONE OUTPUT.
StD	DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.
TOE	TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.
$t_{\overline{REC}}$	MAXIMUM DTMF SIGNAL DURATION NOT DETECED AS VALID
t_{REC}	MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION
t_{ID}	MAXIMUM TIME BETWEEN VALID DTMF SIGNALS.
t_{DO}	MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL.
t_{DP}	TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS.
t_{DA}	TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.
t_{GTP}	GUARD TIME, TONE PRESENT.
t_{GTA}	GUARD TIME, TONE ABSENT.

Figure 11 - Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC34017/D

MC34017

Telephone Tone Ringer

Bipolar Linear/I^2L

- Complete Telephone Bell Replacement Circuit with Minimum External Components
- On–Chip Diode Bridge and Transient Protection
- Direct Drive for Piezoelectric Transducers
- Push Pull Output Stage for Greater Output Power Capability
- Base Frequency Options – MC34017–1: 1.0 kHz
  – MC34017–2: 2.0 kHz
  – MC34017–3: 500 Hz
- Input Impedance Signature Meets Bell and EIA Standards
- Rejects Rotary Dial Transients

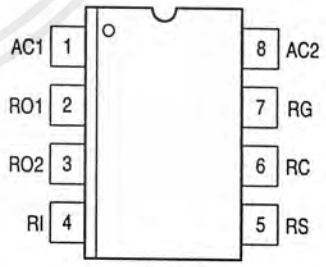
TELEPHONE TONE RINGER
BIPOLAR LINEAR/I^2L

SEMICONDUCTOR TECHNICAL DATA

D SUFFIX
PLASTIC PACKAGE
CASE 751

P SUFFIX
PLASTIC PACKAGE
CASE 626

PIN CONNECTIONS



(Top View)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC34017D	T_A = –20° to +60°C	SOIC
MC34017P		Plastic DIP

เอกสารนี้ในเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (Voltages Referenced to RG, Pin 7)

Rating	Symbol	Value	Unit
Operating AC Input Current (Pins 1, 8)	–	20	mA, RMS
Transient Input Current (Pins 1, 8) (T<2.0 ms)	V_{in}	±300	mA, peak
Voltage Applied at RC (Pin 6)	V_{RC}	5.0	V
Voltage Applied at RS (Pin 5)	V_{RS}	5.0	V
Voltage Applied to Outputs (Pins 2, 3)	V_O	–2.0 to V_{RI}	V
Power Dissipation (@ 25°C)	P_D	1.0	W
Operating Ambient Temperature	T_A	–20 to +60	°C
Storage Temperature	T_{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (T_A = 25°C)

Characteristic	Test	Symbol	Min	Typ	Max	Unit
Ringing Start Voltage V_{Start} = V_I at Ring Start						Vdc
V_I > 0	1a	V_{Start} (+)	34	37.5	41	
V_I < 0	1b	V_{Start} (–)	–34	–37.5	–41	
Ringing Stop Voltage V_{Stop} = V_I at Ring Stop	1c	V_{Stop}				Vdc
MC34017–1			14	16	22	
MC34017–2			12	14	20	
MC34017–3			14	16	22	
Output Frequencies (V_I = 50 V)	1d					Hz
MC34017–1 High Tone		f_H	937	1010	1083	
Low Tone		f_L	752	808	868	
Warble Tone		f_W	11.5	12.5	14	
MC34017–2 High Tone		f_H	1874	2020	2166	
Low Tone		f_L	1504	1616	1736	
Warble Tone		f_W	11.5	12.5	14	
MC34017–3 High Tone		f_H	937	1010	1083	
Low Tone		f_L	752	808	868	
Warble Tone		f_W	23	25	28	
Output Voltage (V_I = 50 V)	6	V_O	34	37	43	Vpp
Output Short–Circuit Current	2	I_{RO1}, I_{RO2}	35	60	80	mApp
Input Diode Voltage (I_I = 5.0 mA)	3	V_D	5.4	6.2	6.8	Vdc
Input Voltage – SCR "Off" (I_I = 30 mA)	4a	V_{off}	30	38	43	Vdc
Input Voltage – SCR "On" (I_I = 100 mA)	4b	V_{on}	3.2	4.1	6.0	Vdc
RS Clamp Voltage (V_I = 50 V)	5	V_{clamp}	1.3	1.5	1.8	Vdc

PIN FUNCTION DESCRIPTION

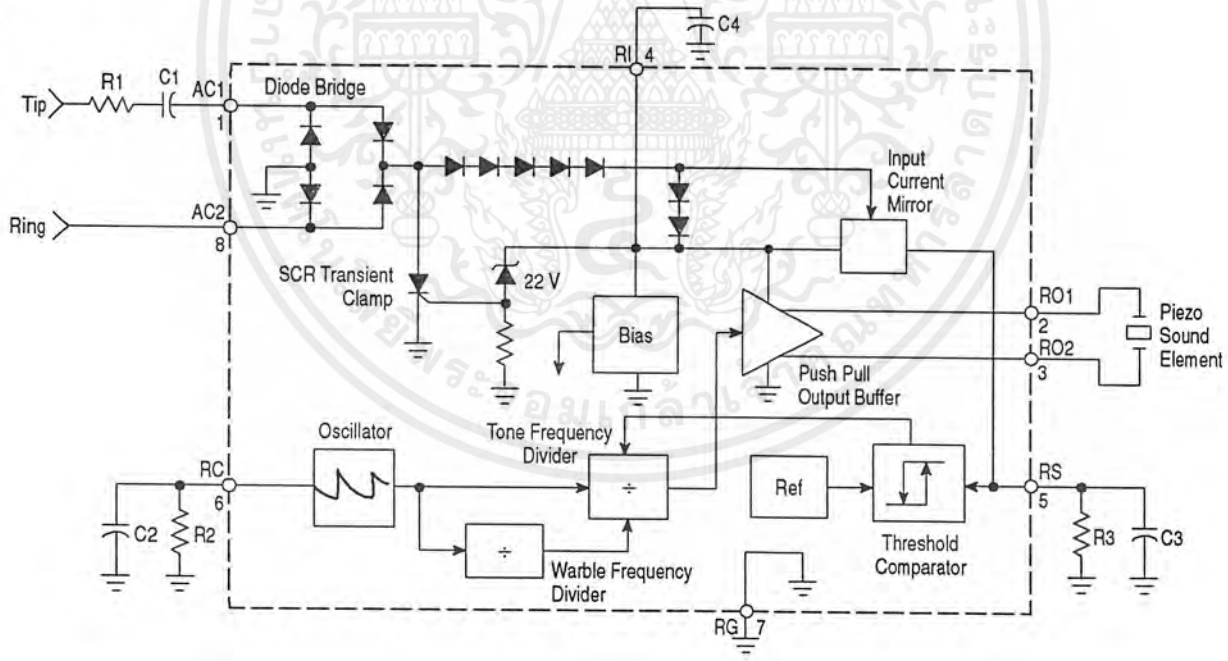
Pin	Symbol	Description
1, 8	AC1, AC2	The input terminals to the full–wave diode bridge. The ac ringing signal from the telephone line energizes the ringer through this bridge.
5	RS	The input of the threshold comparator to which diode bridge current is mirrored and sensed through an external resistor (R3). Nominal threshold is 1.2 V. This pin internally clamps at 1.5 V.
4	RI	The positive supply terminal for the oscillator, frequency divider and output buffer circuits.
2. 3	RO1, RO2	The tone ringer output terminals through which the sound element is driven.
7	RG	The negative terminal of the diode bridge and the negative supply terminal of the tone generating circuitry.
6	RC	The oscillator terminal for the external resistor and capacitor which control the tone ringer frequencies (R2, C2).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION CIRCUIT PERFORMANCE (Refer to Typical Application)

Characteristic	Typical Value	Units
Output Tone Frequencies MC34017–1 MC34017–2 MC34017–3 Warble Frequencies	 808/1010 1616/2020 404/505 12.5	Hz
Output Voltage ($V_I \geq 60$ Vrms, 20 Hz)	37	Vpp
Output Duty Cycle	50	%
Ringing Start Input Voltage (20 Hz)	36	Vrms
Ringing Stop Input Voltage (20 Hz)	21	Vrms
Maximum AC Input Voltage (≤ 68 Hz)	150	Vrms
Impedance When Ringing V_I = 40 Vrms, 15 Hz V_I = 130 Vrms, 23 Hz	 >16 12	kΩ
Impedance When Not Ringing V_I = 10 Vrms, 24 Hz V_I = 2.5 Vrms, 24 Hz V_I = 10 Vrms, 5.0 Hz V_I = 3.0 Vrms, 200 – 3200 Hz	 28 >1.0 55 >200	 kΩ MΩ kΩ kΩ
Maximum Transient Input Voltage (T ≤ 2.0 ms)	1500	V
Ringer Equivalence: Class A Class B	0.5 0.9	– –

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

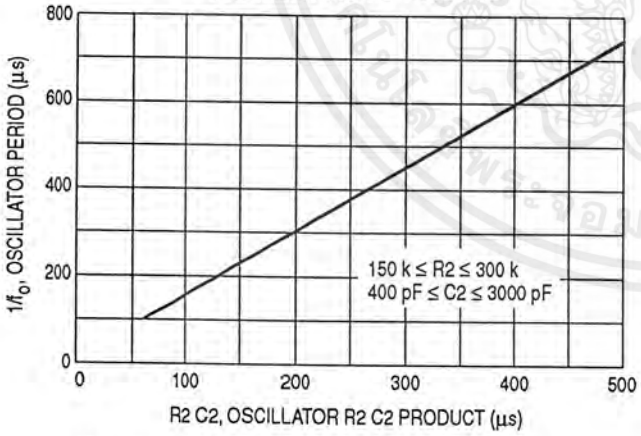
CIRCUIT DESCRIPTION

The MC34017 Tone Ringer derives its power supply by rectifying the ac ringing signal. It uses this power to activate a tone generator and drive a piezo–ceramic transducer. The tone generation circuitry includes a relaxation oscillator and frequency dividers which produce high and low frequency tones as well as the tone warble frequency. The relaxation oscillator frequency f_O is set by resistor R2 and capacitor C2 connected to Pin RC. The oscillator will operate with f_O from 1.0 kHz to 10 kHz with the proper choice of external components (see Figure 1).

The frequency of the tone ringer output signal at RO1 and RO2 alternates between $f_O/4$ to $f_O/5$. The warble rate at which the frequency changes is $f_O/320$ for the MC34017–1, $f_O/640$ for the MC34017–2 and $f_O/160$ for the MC34017–3. With a 4.0 kHz oscillator frequency, the MC34017–1 produces 800 Hz and 1000 Hz tones with a 12.5 Hz warble rate. The MC34017–2 generates 1600 Hz and 2000 Hz tones with a similar 12.5 Hz warble frequency from an 8.0 kHz oscillator frequency. The MC34017–3 will produce 400 Hz and 500 Hz tones with a 12.5 Hz warble rate from a 2.0 kHz oscillator frequency. The tone ringer output circuit can source or sink 20 mA with an output voltage swing of 37 V peak–to–peak. Volume control is readily implemented by adding a variable resistance in series with the piezo transducer.

Input signal detection circuitry activates the tone ringer output when the ac line voltage exceeds programmed threshold level. Resistor R3 determines the ringing signal amplitude at which an output signal at RO1 and RO2 will be generated. The ac ringing signal is rectified by the internal diode bridge. The rectified input signal produces a voltage across R3 which is referenced to RG. The voltage across resistor R3 is filtered by capacitor C3 at the input to the threshold circuit.

Figure 1. Oscillator Period ($1/f_O$) versus Oscillator R2 C2 Product



($1/f_O$ = 1.45 R2 C2 + 10 µs)

When the voltage on capacitor C3 exceeds 1.2 V, the threshold comparator enables the tone ringer output. Line transients produced by pulse dialing telephones do not charge capacitor C3 sufficiently to activate the tone ringer output.

Capacitors C1 and C4 and resistor R1 determine the 10 V, 24 Hz signature test impedance. C4 also provides filtering for the output stage power supply to prevent droop in the square wave output signal. Six diodes in series with the rectifying bridge provide the necessary non–linearity for the 2.5 V, 24 Hz signature tests.

An internal shunt voltage regulator between the RI and RG terminals provides dc voltage to power the output stage, oscillator and frequency dividers. The dc voltage at RI is limited to approximately 22 V in regulation. To protect the IC from telephone line transients, an SCR is triggered when the regulator current exceeds 50 mA. The SCR diverts current from the shunt regulator and reduces the power dissipation within the IC.

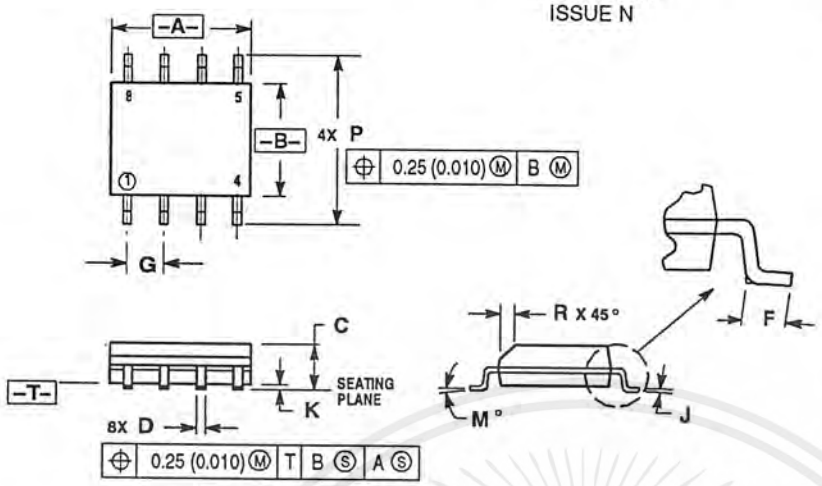
EXTERNAL COMPONENTS

R1	**Line Input Resistor** R1 affects the tone ringer input impedance. It also influences ringing threshold voltage and limits current from line transients. (Range: 2.0 to 10 kΩ).
C1	**Line Input Capacitor** C1 ac couples the tone ringer to the telephone line and controls ringer input impedance at low frequencies. (Range: 0.4 to 2.0 µF).
R2	**Oscillator Resistor** (Range: 150 to 300 kΩ).
C2	**Oscillator Capacitor** (Range: 400 to 3000 pF).
R3	**Input Current Sense Resistor** R3 controls the ringing threshold voltage. Increasing R3 decreases the ring–start voltage. (Range: 5.0 to 18 kΩ).
C3	**Ringing Threshold Filter Capacitor** C3 filters the ac voltage across R3 at the input of the ringing threshold comparator. It also provides dialer transient rejection. (Range: 0.5 to 5.0 µF).
C4	**Ringer Supply Capacitor** C4 filters supply voltage for the tone generating circuits. It also provides an ac current path for the 10 Vrms ringer signature impedance. (Range: 1.0 to 10 µF).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

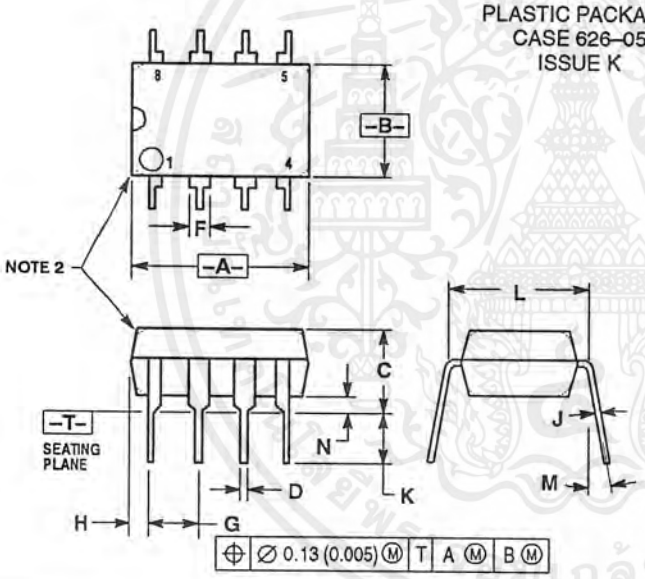
D SUFFIX
PLASTIC PACKAGE
CASE 751–05
ISSUE N



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	4.80	5.00	0.189	0.196
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.18	0.25	0.007	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.229	0.244
R	0.25	0.50	0.010	0.019

P SUFFIX
PLASTIC PACKAGE
CASE 626–05
ISSUE K



NOTES:
1. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
2. PACKAGE CONTOUR OPTIONAL (ROUND OR SQUARE CORNERS).
3. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	9.40	10.16	0.370	0.400
B	6.10	6.60	0.240	0.260
C	3.94	4.45	0.155	0.175
D	0.38	0.51	0.015	0.020
F	1.02	1.78	0.040	0.070
G	2.54 BSC		0.100 BSC	
H	0.76	1.27	0.030	0.050
J	0.20	0.30	0.008	0.012
K	2.92	3.43	0.115	0.135
L	7.62 BSC		0.300 BSC	
M	—	10°	—	10°
N	0.76	1.01	0.030	0.040

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution; P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447 or 602–303–5454

MFAX: RMFAX0@email.sps.mot.com – TOUCHTONE 602–244–6609
INTERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, 6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–81–3521–8315

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์

National Semiconductor

February 1995

LM567/LM567C Tone Decoder

General Description

The LM567 and LM567C are general purpose tone decoders designed to provide a saturated transistor switch to ground when an input signal is present within the passband. The circuit consists of an I and Q detector driven by a voltage controlled oscillator which determines the center frequency of the decoder. External components are used to independently set center frequency, bandwidth and output delay.

Features

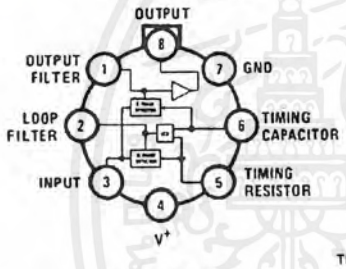
- 20 to 1 frequency range with an external resistor
- Logic compatible output with 100 mA current sinking capability
- Bandwidth adjustable from 0 to 14%
- High rejection of out of band signals and noise
- Immunity to false signals
- Highly stable center frequency
- Center frequency adjustable from 0.01 Hz to 500 kHz

Applications

- Touch tone decoding
- Precision oscillator
- Frequency monitoring and control
- Wide band FSK demodulation
- Ultrasonic controls
- Carrier current remote controls
- Communications paging decoders

Connection Diagrams

Metal Can Package

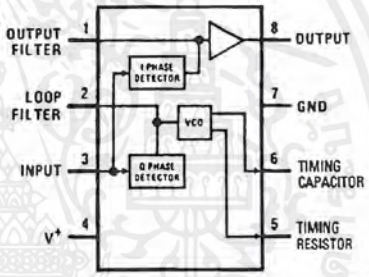


TL/H/6975–1

Top View

Order Number LM567H or LM567CH
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/6975–2

Top View

Order Number LM567CM
See NS Package Number M08A
Order Number LM567CN
See NS Package Number N08E

©1995 National Semiconductor Corporation TL/H/6975

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage Pin	9V
Power Dissipation (Note 1)	1100 mW
V_8	15V
V_3	−10V
V_3	V_4 + 0.5V
Storage Temperature Range	−65°C to +150°C
Operating Temperature Range	
LM567H	−55°C to +125°C
LM567CH, LM567CM, LM567CN	0°C to +70°C

Soldering Information

Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics AC Test Circuit, T_A = 25°C, V^+ = 5V

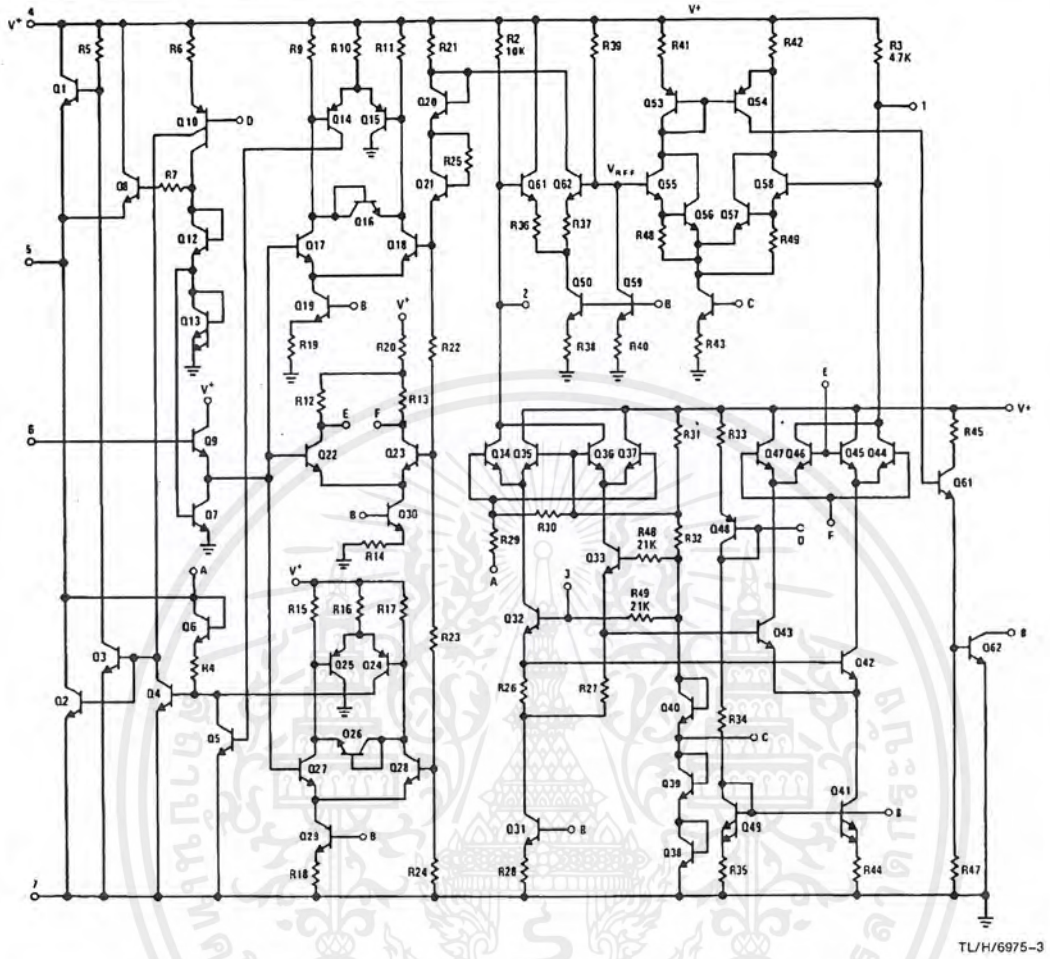
Parameters	Conditions	LM567			LM567C/LM567CM			Units
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range		4.75	5.0	9.0	4.75	5.0	9.0	V
Power Supply Current Quiescent	R_L = 20k		6	8		7	10	mA
Power Supply Current Activated	R_L = 20k		11	13		12	15	mA
Input Resistance		18	20		15	20		kΩ
Smallest Detectable Input Voltage	I_L = 100 mA, $f_i = f_o$		20	25		20	25	mVrms
Largest No Output Input Voltage	I_C = 100 mA, $f_i = f_o$	10	15		10	15		mVrms
Largest Simultaneous Outband Signal to Inband Signal Ratio			6			6		dB
Minimum Input Signal to Wideband Noise Ratio	B_n = 140 kHz		−6			−6		dB
Largest Detection Bandwidth		12	14	16	10	14	18	% of f_o
Largest Detection Bandwidth Skew			1	2		2	3	% of f_o
Largest Detection Bandwidth Variation with Temperature			±0.1			±0.1		%/°C
Largest Detection Bandwidth Variation with Supply Voltage	4.75 − 6.75V		±1	±2		±1	±5	%V
Highest Center Frequency		100	500		100	500		kHz
Center Frequency Stability (4.75–5.75V)	$0 < T_A < 70$ $-55 < T_A < +125$		35 ± 60 35 ± 140			35 ±60 35 ± 140		ppm/°C ppm/°C
Center Frequency Shift with Supply Voltage	4.75V − 6.75V 4.75V − 9V		0.5	1.0 2.0		0.4	2.0 2.0	%/V %/V
Fastest ON-OFF Cycling Rate			f_o/20			f_o/20		
Output Leakage Current	V_8 = 15V		0.01	25		0.01	25	μA
Output Saturation Voltage	e_i = 25 mV, I_8 = 30 mA e_i = 25 mV, I_8 = 100 mA		0.2 0.6	0.4 1.0		0.2 0.6	0.4 1.0	V
Output Fall Time			30			30		ns
Output Rise Time			150			150		ns

Note 1: The maximum junction temperature of the LM567 and LM567C is 150°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient or 45°C/W, junction to case. For the DIP the device must be derated based on a thermal resistance of 110°C/W, junction to ambient. For the Small Outline package, the device must be derated based on a thermal resistance of 160°C/W, junction to ambient.

Note 2: Refer to RETS567X drawing for specifications of military LM567H version.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

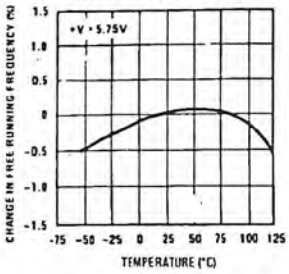
Schematic Diagram



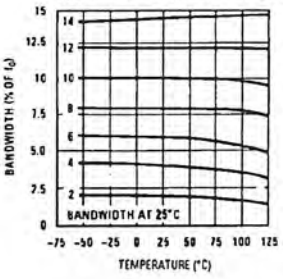
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

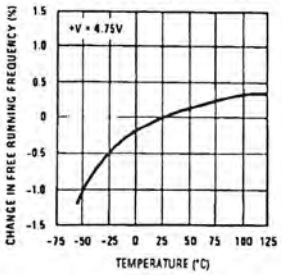
Typical Frequency Drift



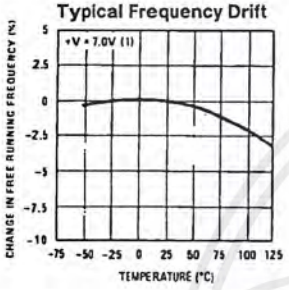
Typical Bandwidth Variation



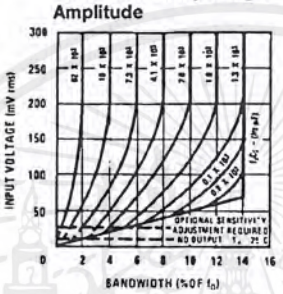
Typical Frequency Drift



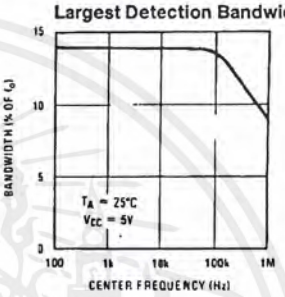
Typical Frequency Drift



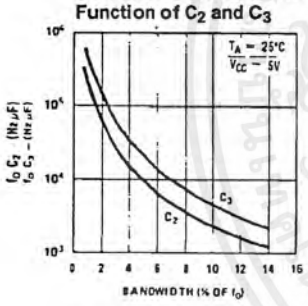
Bandwidth vs Input Signal Amplitude



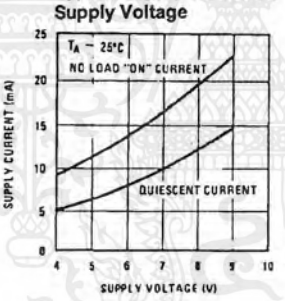
Largest Detection Bandwidth



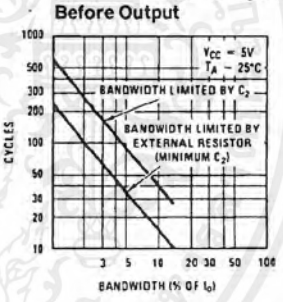
Detection Bandwidth as a Function of C_2 and C_3



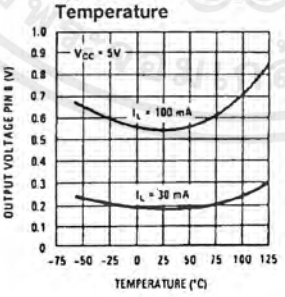
Typical Supply Current vs Supply Voltage



Greatest Number of Cycles Before Output



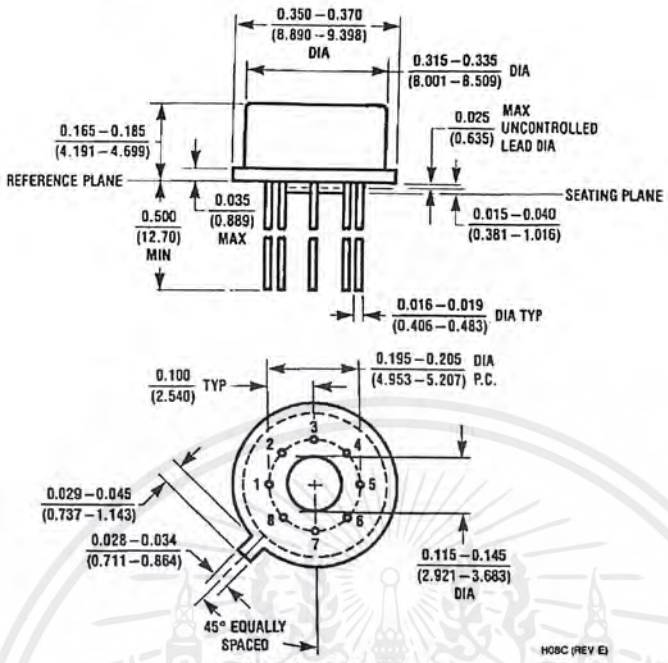
Typical Output Voltage vs Temperature



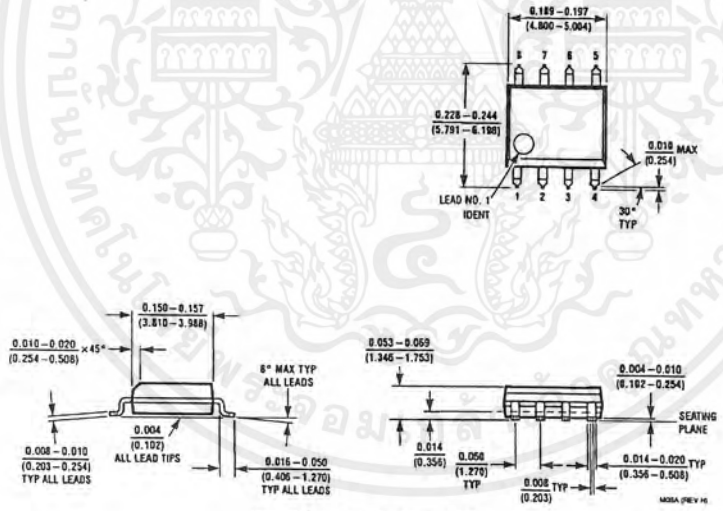
TL/H/6975–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)



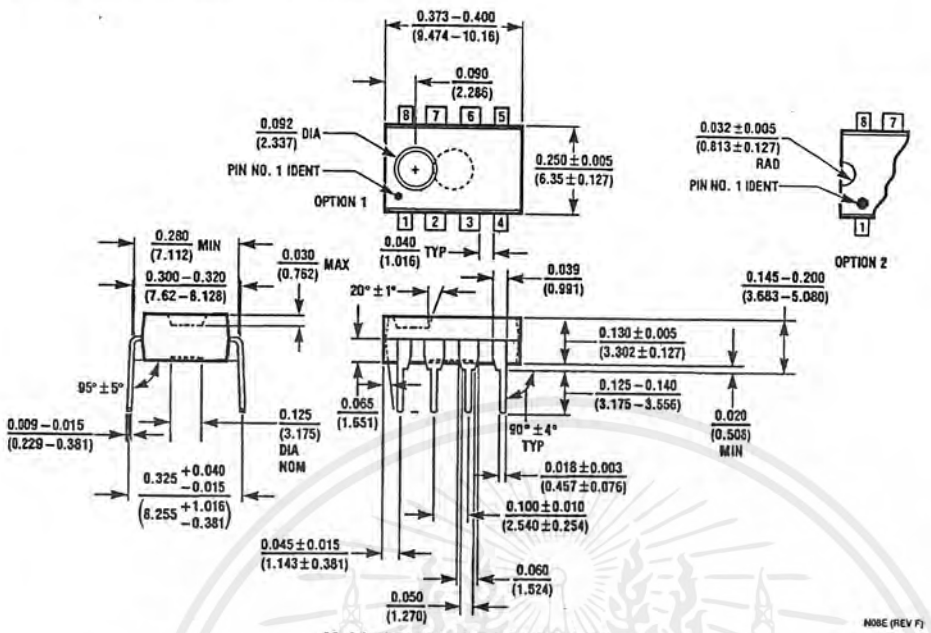
Metal Can Package (H)
Order Number LM567H or LM567CH
NS Package Number H08C



Small Outline Package (M)
Order Number LM567CM
NS Package Number M08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



Molded Dual-In-Line Package (N)
Order Number LM567CN
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

September 1997

LM386
Low Voltage Audio Power Amplifier

General Description

The LM386 is a power amplifier designed for use in low voltage consumer applications. The gain is internally set to 20 to keep external part count low, but the addition of an external resistor and capacitor between pins 1 and 8 will increase the gain to any value up to 200.

The inputs are ground referenced while the output is automatically biased to one half the supply voltage. The quiescent power drain is only 24 milliwatts when operating from a 6 volt supply, making the LM386 ideal for battery operation.

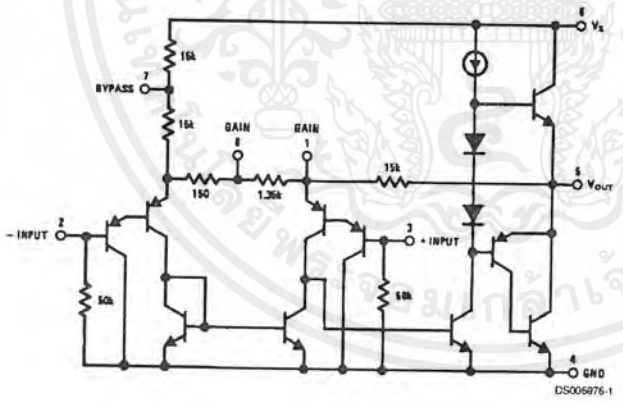
Features

- Battery operation
- Minimum external parts
- Wide supply voltage range: 4V–12V or 5V–18V
- Low quiescent current drain: 4 mA
- Voltage gains from 20 to 200
- Ground referenced input
- Self-centering output quiescent voltage
- Low distortion
- Available in 8 pin MSOP package

Applications

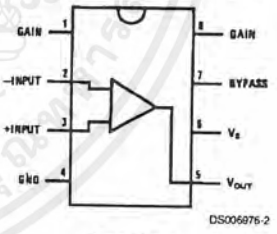
- AM-FM radio amplifiers
- Portable tape player amplifiers
- Intercoms
- TV sound systems
- Line drivers
- Ultrasonic drivers
- Small servo drivers
- Power converters

Equivalent Schematic and Connection Diagrams



DS006976-1

Small Outline, Molded Mini Small Outline, and Dual-In-Line Packages



DS006976-2

Top View
Order Number LM386M-1, LM386MM-1, LM386N-1, LM386N-3 or LM386N-4
See NS Package Number M08A, MUA08A or N08E

© 1997 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (LM386N-1, -3, LM386M-1)	15V
Supply Voltage (LM386N-4)	22V
Package Dissipation (Note 3)	
(LM386N)	1.25W
(LM386M)	0.73W
(LM386MM-1)	0.595W
Input Voltage	±0.4V
Storage Temperature	−65°C to +150°C
Operating Temperature	0°C to +70°C
Junction Temperature	+150°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec)	+260°C
Small Outline Package	
(SOIC and MSOP)	
Vapor Phase (60 sec)	+215°C
Infrared (15 sec)	+220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Thermal Resistance	
θ_{JC} (DIP)	37°C/W
θ_{JA} (DIP)	107°C/W
θ_{JC} (SO Package)	35°C/W
θ_{JA} (SO Package)	172°C/W
θ_{JA} (MSOP)	210°C/W
θ_{JC} (MSOP)	56°C/W

Electrical Characteristics(Notes 1, 2)

T_A = 25°C

Parameter	Conditions	Min	Typ	Max	Units
Operating Supply Voltage (V_S)					
LM386N-1, -3, LM386M-1, LM386MM-1		4		12	V
LM386N-4		5		18	V
Quiescent Current (I_Q)	V_S = 6V, V_{IN} = 0		4	8	mA
Output Power (P_{OUT})					
LM386N-1, LM386M-1, LM386MM-1	V_S = 6V, R_L = 8Ω, THD = 10%	250	325		mW
LM386N-3	V_S = 9V, R_L = 8Ω, THD = 10%	500	700		mW
LM386N-4	V_S = 16V, R_L = 32Ω, THD = 10%	700	1000		mW
Voltage Gain (A_V)	V_S = 6V, f = 1 kHz		26		dB
	10 µF from Pin 1 to 8		46		dB
Bandwidth (BW)	V_S = 6V, Pins 1 and 8 Open		300		kHz
Total Harmonic Distortion (THD)	V_S = 6V, R_L = 8Ω, P_{OUT} = 125 mW		0.2		%
	f = 1 kHz, Pins 1 and 8 Open				
Power Supply Rejection Ratio (PSRR)	V_S = 6V, f = 1 kHz, C_{BYPASS} = 10 µF		50		dB
	Pins 1 and 8 Open, Referred to Output				
Input Resistance (R_{IN})			50		kΩ
Input Bias Current (I_{BIAS})	V_S = 6V, Pins 2 and 3 Open		250		nA

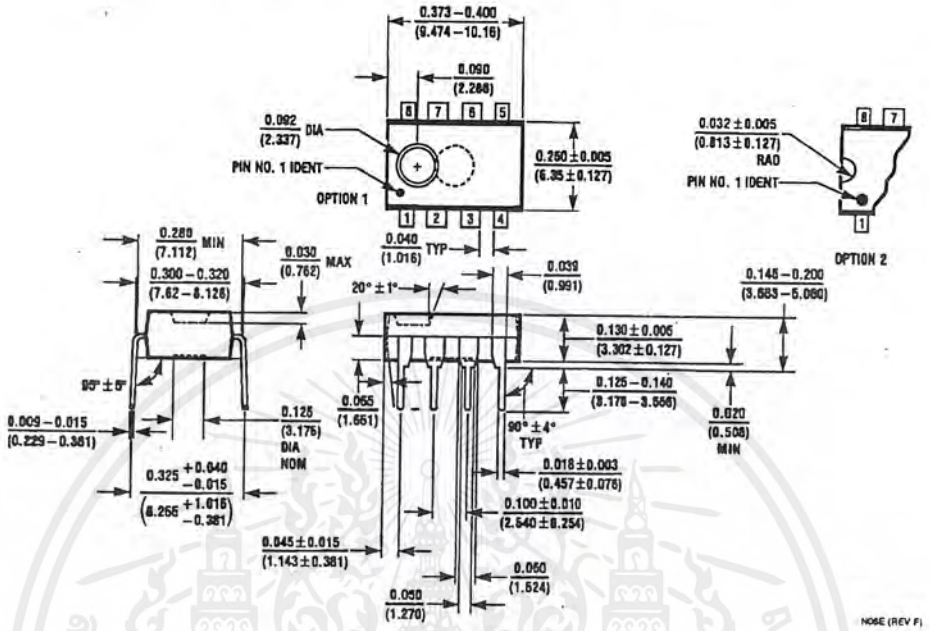
Note 1: All voltages are measured with respect to the ground pin, unless otherwise specified.

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. Electrical Characteristics state DC and AC electrical specifications under particular test conditions which guarantee specific performance limits. This assumes that the device is within the Operating Ratings. Specifications are not guaranteed for parameters where no limit is given, however, the typical value is a good indication of device performance.

Note 3: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and 1) a thermal resistance of 80°C/W junction to ambient for the dual-in-line package and 2) a thermal resistance of 170°C/W for the small outline package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Dual-In-Line Package (N)
Order Number LM386N-1, LM386N-3 or LM386N-4
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com

www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5620-6175
Fax: 81-3-5620-6179

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] บริษัท ซีเอ็ดยูเคชั่น จำกัด , "คู่มือไอซีไมโครโปรเซสเซอร์และไอซีที่เกี่ยวข้อง" กรุงเทพมหานคร , 2536

[2] สุนทร วิทูสุรพจน์ , "การใช้งานไมโครคอนโทรลเลอร์ตระกูล 8051" , กรุงเทพมหานคร ซีเอ็ดยูเคชั่น , 2537

[3] Robert Boylestad and Louis Nasheisky , "Electronic Divices and Circuit Theory" prentic Hall Inc, Englewood Cliffs New Jersey.

[4] Chartweel Bratt Ltd , "Telecommunications Telephone Networks 1" ,Ericsson.

[5] Motorola, "Telecommunications Device Data" ,Third Printing , Inc.,1989

[6] Motorola , "Linear/Interface Ice Device Data" , First Printing, Vol.ll,Inc..1993

[7] Theodore F. Bogart JR. , "Introduction to Digital Circuits", McGraw-Hill,Inc.,1992.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้