สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

อุปกรณ์ดิจิตอลสแกลมเบิล

DIGITAL DATA SCRAMBLE AND DESCRAMBLE

โดย

นายธีรชัย ตันติปัญญากุล

นายอรุณเดช บานจิต

นายเอกจิต ไพศาลเจริญทรัพย์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เลขหมู่.....
เลขทะเบียน 32603
วัน, เดือน, ปี 18 พ.ค. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์ดิจิตอลสแกลมเบิล

DIGITAL DATA SCRAMBLE AND DESCRAMBLE

โดย

นายธีรชัย ตันติปัญญากุล 38014204

นายอรุณเดช บานจิต 38014633

นายเอกจิต ไพศาลเจริญทรัพย์ 38014660

อาจารย์ที่ปรึกษา

รศ.ดร. กอบชัย เดชหาญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2541

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **อุปรณ์ดิจิตอลสแกมเบิล**

DIGITAL DATA SCRAMBLE AND DESCRAMBLE

ผู้จัดทำ

1. นายธีรชัย	**ตันติปัญญากุล**	**38014204**
2. นายอรุณเดช	**บานจิต**	**38014633**
3. นายเอกจิต	**ไพศาลเจริญทรัพย์**	**38014660**

.....อาจารย์ที่ปรึกษา

(รศ.ดร.กอบชัย เดชหาญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์ดิจิตอลสแกมเบิล

DIGITAL DATA SCRAMBLE AND DESCRAMBLE

โดย นายธีรชัย ตันติปัญญากุล 38014204
นายอรุณเดช บานจิต 38014633
นายเอกจิต ไพศาลเจริญทรัพย์ 38014660

อาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

โครงงานนี้ได้จัดทำขึ้น เพื่อการศึกษาและออกแบบวงจรเข้ารหัสสัญญาณดิจิตอลโดย การแปลงสัญญาณให้อยู่ในรูปที่ไม่สามารถเข้าใจได้ ถ้าปราศจากการถอดรหัสหรืออุปกรณ์ถอดที่ ถูกต้องได้ ซึ่งสามารถนำไปใช้ในการส่งสัญญาณดิจิตอลที่ต้องการความปลอดภัยโดยจะทำทั้งเครื่องส่งและเครื่องรับ

ABSTRACT

This paper presents scrambling technique by using coding theory. To scramble digital data by converting signal to unpredictable data unless, has descrambling application to convert to real data for using in security transmission. We will design both sending and receiving.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	
บทที่ 2	ทฤษฎีหรือหลักการ	1
	2.1 การเข้ารหัสเสียงพูดด้วยวิธีทางดิจิตอล	3
	2.2 การเข้ารหัสเสียงพูดด้วยวิธีทางอนาล็อก	4
	2.3 วงจรกลองความถี่	9
	2.4 วงจรกรองความถี่ต่ำผ่าน	9
	2.5 อินเทอร์เกรเตอร์	10
	2.6 Differentiator and active high-pass filter	11
	2.7 วงจรค่าสมบูรณ์	12
	2.8 วงจรนับ	16
	2.9 ทฤษฎีและการสร้างสัญญาณกลับคืนมา	17
	2.10 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล	19
	2.11 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก	22
	2.12 การเข้ารหัส	25
	2.13 การเข้ารหัสด้วยรีจีสเตอร์ n-k ตัว	27
	2.14 การคำนวณหาค่าซินโดรมและการตรวจจับรหัสที่ผิด	29
บทที่ 3	การคำนวณและการสร้าง	38
บทที่ 4	ผลการทดลอง	51
บทที่ 5	บทสรุปและวิจารณ์ผลการทดลอง	67
หนังสืออ้างอิง		
กิตติกรรมประกาศ		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

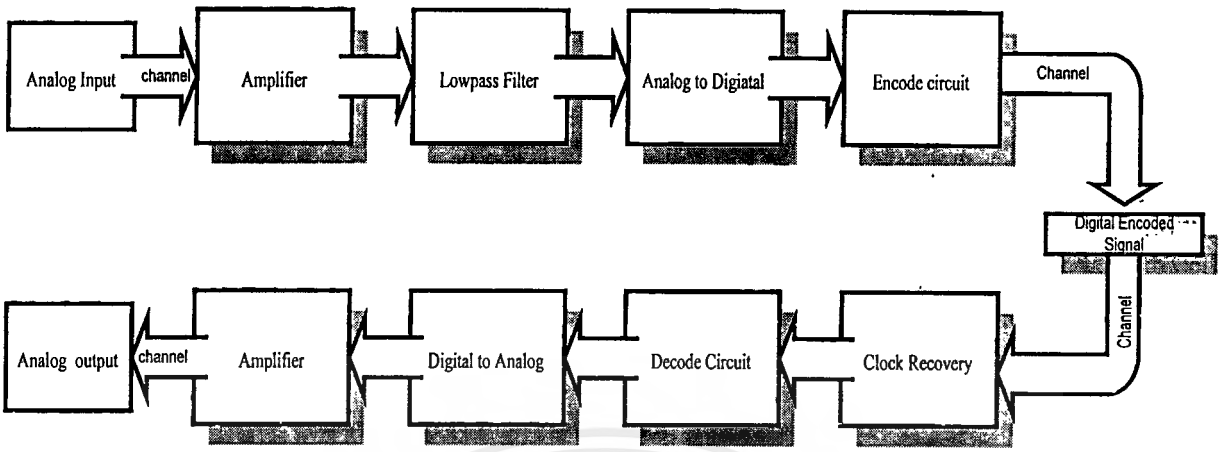
บทที่ 1
บทนำ

ในช่วงหลายปีที่ผ่านมา ความต้องการที่จะมีระบบการสื่อสารที่มีประสิทธิภาพและความเชื่อถือไว้วางใจได้เพิ่มมากขึ้นอย่างรวดเร็วโดยต้องการประมลผลข้อมูลแบบอัตโนมัติ (Automatic data processing) สำหรับการติดต่อสื่อสาร ปัญหาใหญ่ที่เกิดขึ้นในระบบส่ง-รับข้อมูลด้วยความเร็วสูงคือรหัสข้อมูลที่ได้รับจะผิดไปจากข้อมูลที่ส่งออกไปหรือเรียกว่าเกิด error ขึ้น ด้วยเหตุนี้การควบคุมรหัสที่ผิดไปของข้อมูลจึงเป็นจุดพื้นฐานที่สำคัญในการออกแบบวิธีการเข้ารหัส (encoding) ระบบการสื่อสารปัจจุบัน ได้นำการเอาเครื่องคอมพิวเตอร์เขามาใช้ในการประมวลข้อมูลอย่างอัตโนมัติ ข้อมูลของการสื่อสารจึงอยู่ในรูปลักษณะของรหัสเลขฐานสอง (Binary) ที่มีเลขรหัส “0” กับ “1” แผนผังในการติดต่อสื่อสารด้วยรหัสเลขฐานสองดังในการเข้ารหัสรูปที่ 1.1

ส่วนแรกของระบบการติดต่อสื่อสารในรูปที่ 1.1 คือต้นกำเนิดสัญญาณซึ่งเป็นข้อมูลต้องการใช้ในการติดต่อสื่อสาร สัญญาณจากต้นกำเนิดอาจจะเป็นสัญญาณแบบต่อเนื่องหรือแบบไม่ต่อเนื่อง (Continuous or discrete) ก็ได้ ปกติแล้วสัญญาณถ้าเป็นแบบต่อเนื่องก็จะถูกแซมปลิ้ง (sampling) ให้เป็นสัญญาณแบบไม่ต่อเนื่องเพื่อที่จะได้เข้ารหัสสัญญาณ ช่องสัญญาณ (channel) เป็นตัวกลางของการติดต่อสื่อสารซึ่งอาจจะเป็นสายโทรศัพท์ อากาศรอบตัวในกรณีที่มีการติดต่อสื่อสารทาวิทยุหรือชั้นบรรยากาศสำหรับการติดต่อสื่อสารผ่านดาวเทียมเป็นต้น ในช่องส่งสัญญาณกวนที่เกิดจากมนุษย์สร้างขึ้นมา (natural and man-made noise) อุปกรณ์เข้ารหัสของสัญญาณต้นกำเนิดจะแปลงสัญญาณต้นกำเนิดให้อยู่ในลักษณะของลำดับของสัญญาณ (sequence) ที่ประกอบด้วยตัวเลข “0” และ “1” สัญญาณที่ถูกแปลงจะมีอยู่ m ชุด ซึ่งเรียกว่าลำดับของข่าวสาร (information sequence) อุปกรณ์เข้ารหัสของช่องส่งสัญญาณจะแปลงรหัสข้อมูล m ให้เป็นลำดับของสัญญาณที่ยาวขึ้นและเรียกว่า โค๊ดเวิร์ด (codeword) ซึ่งใช้อักษรย่อว่า C รหัสข้อมูลที่เป็นตัวเลข

ซึ่งมีขบวนการ โดยเสียงจะถูกขยายและตัดเฉพาะช่วงความถี่ต่ำผ่าน หลังจากนั้นจะถูกเปลี่ยนเป็นสัญญาณดิจิตอล และเข้าขบวนการของวงจรเข้ารหัสได้รูปแบบของสัญญาณที่มีความปลอดภัย ส่วนในทางด้านรับ เริ่มที่ขบวนการถอดรหัสสัญญาณเพื่อนำไปสู่การแปลงสัญญาณกลับมาเป็นสัญญาณดิจิตอลโดยผ่าน D/A และจึงส่งผ่านให้กับตัวกรองความถี่ให้ได้เฉพาะสัญญาณอนาลอกที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 Block diagram ของระบบการรับ-ส่งที่มีการเข้ารหัสแบบ Digital

การออกแบบ การเข้ารหัสและการถอดรหัสของช่องสัญญาณมักจะคำนึงถึงความต้องการหลักสองประการด้วยกันคือความเร็วของการส่งสัญญาณผ่านระบบสายส่งที่มีสัญญาณรบกวน และความเชื่อถือในการนำสัญญาณ m กลับคืนจากสัญญาณเอาท์พุทของอุปกรณ์ถอดรหัส

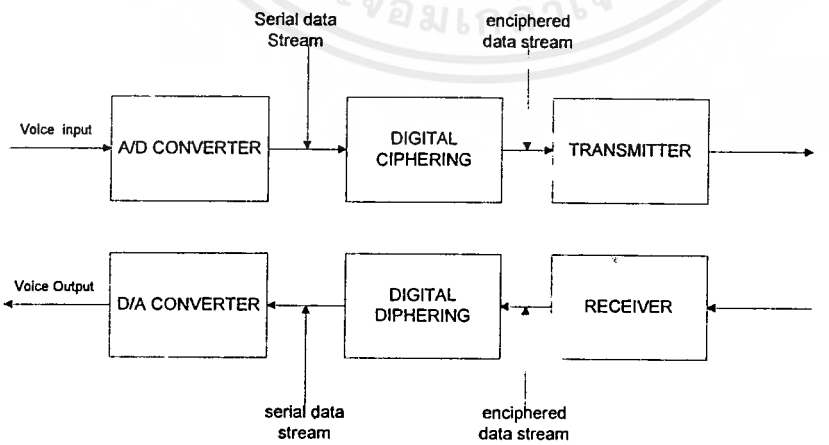
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ประเภทของการเข้ารหัสเสียงพูด

ในการติดต่อสื่อสารในสื่อต่างๆ ที่มีอยู่นั้นมีจุดประสงค์เพื่อการที่จะสื่อสารให้ถูกต้องรวดเร็ว ลดค่าใช้จ่ายในการเดินทาง แต่ในการติดต่อบางครั้งก็จำเป็นที่จะต้องรักษาข่าวเพื่อป้องกันการรั่วไหล ปัญหาหลักอันหนึ่งที่ผู้ออกแบบเครื่องมือป้องกันต้องคำนึงถึง คือความก้าวหน้าและทันสมัยในการนำเอาเทคนิคใหม่ๆ มาใช้ในระบบสื่อสาร หลายเทคนิคต่างๆ จำเป็นต้องมีขีดจำกัดและกฎข้อบังคับสำหรับการสื่อสารประเภทนั้น ตัวอย่างเช่น การกำหนดย่านความถี่ (bandwidth) ของระบบโทรศัพท์และวิทยุและอีกสิ่งหนึ่งที่ต้องคำนึงถึง คือคุณภาพของเสียงที่ ใช้ในระบบสื่อสารนั้น มีความชัดเจนเพียงใด ความชัดเจนของเสียงจะไม่มีทางเพิ่มขึ้น ถ้าระบบการเชื่อมโยงส่งผ่าน (transmission link) ไม่ดีพอการย้ำข่าวสารเพื่อความถูกต้อง เนื่องจากผลดังกล่าว เป็นการไม่ปลอดภัยสำหรับ ข่าวสารนั้นจึงควรที่จะพิจารณาถึงความเหมาะสมกับการนำไปใช้งานในแต่ละชนิดของเครื่องป้องกันและชนิดของระบบเชื่อมโยงการส่งผ่านที่ใช้อยู่ การเข้ารหัสเสียงพูด (encrypting speech) แบ่งตามเทคนิคได้ 2 วิธี คือ ทางด้านดิจิตอล (digital) และอนาลอก(analog)

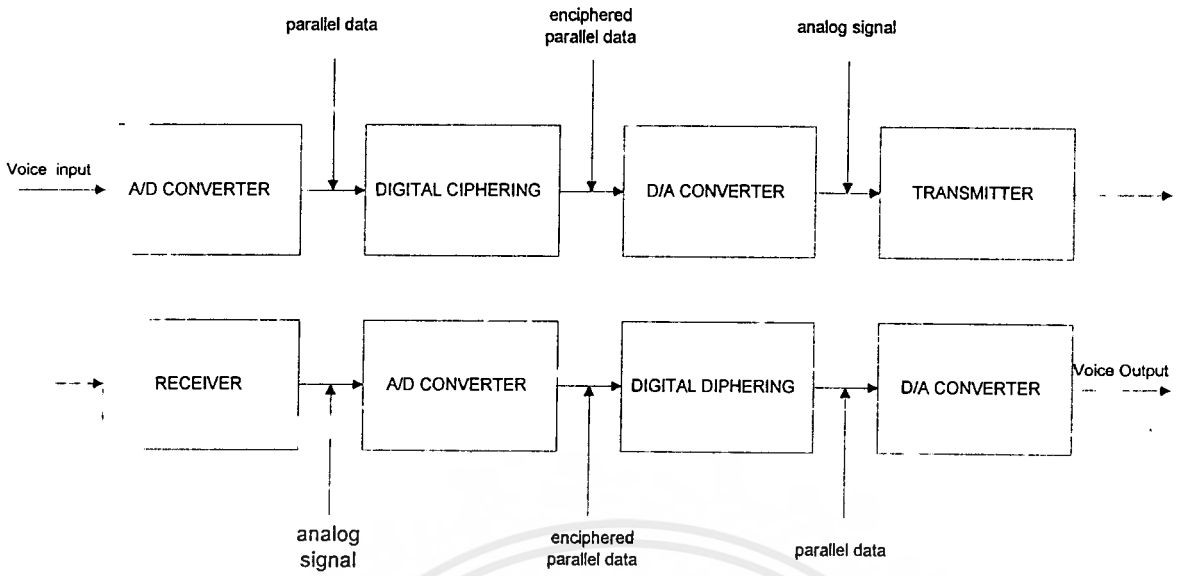
2.1 การเข้ารหัสเสียงพูดด้วยวิธีทางดิจิตอล (digital encrypting speech)

จากรูป 2.1 เสียงที่ถูกเปลี่ยน (convert) เป็นสัญญาณดิจิตอล จะอยู่ในรูปของ serial data stream ซึ่งอาจเป็น 64 Kbit/s, 32 Kbit/s, 9.6 Kbit/s, 4.8Kbit/s หรือ 2.4 Kbit/s แต่ ถ้าอัตราความเร็วของบิท (bitrate)ขนาด 9.6 Kbit/s และที่สูงกว่าจะเป็นการเพิ่มแบนด์วิทของสัญญาณทำให้เพิ่มความยุ่งยาก ในการนำไปใช้งาน โดยจะต้องพิจารณาระบบเชื่อมโยงของการส่งผ่าน (transmission link) ที่สามารถตอบสนองต่อสัญญาณที่ใช้ได้สำหรับอัตราความเร็วของบิทที่ต่ำกว่า 9.6Kbit/s สามารถที่จะนำมาใช้งานจริง แต่ทั้งนี้ประสิทธิภาพสัมพันธ์กับการลดรูปแบบของเสียง (Reduction in voice recognition) ซึ่งมีขบวนการที่ยุ่งยาก และซับซ้อนต้องใช้อุปกรณ์จำนวนมากและราคาแพง



รูปที่ 2.1 Digital Cipher System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 Modify Digital cipher System

จากรูป 2.2 เป็นการดัดแปลงโดยเสียงที่ถูกเปลี่ยนเป็นสัญญาณดิจิตอล กลับมาเป็นสัญญาณอนาลอกโดยผ่าน D/A และจึงส่งผ่านให้กับตังส่ง (transmitter) ส่วนทางด้านรับก็เพิ่ม A/D เข้าไป

2.2 การเข้ารหัสเสียงพูดด้วยวิธีทางอนาลอก (analog encrypting speech)

มีด้วยกันหลายแบบ เช่น

2.2.1 Speech Inversion

2.2.2 Band-shift inversion

2.2.3 Bandscramble or Bandsplitter

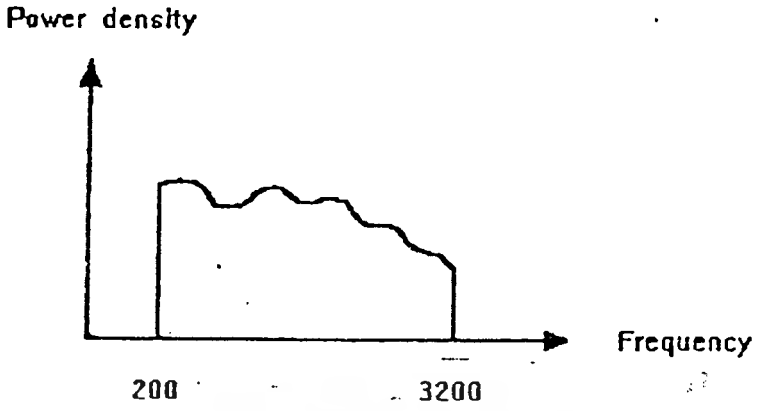
2.2.4 Time Element Scramble

ในแต่ละแบบสามารถอธิบายโดยสังขเปได้ดังนี้

2.2.1) Speech Inversion

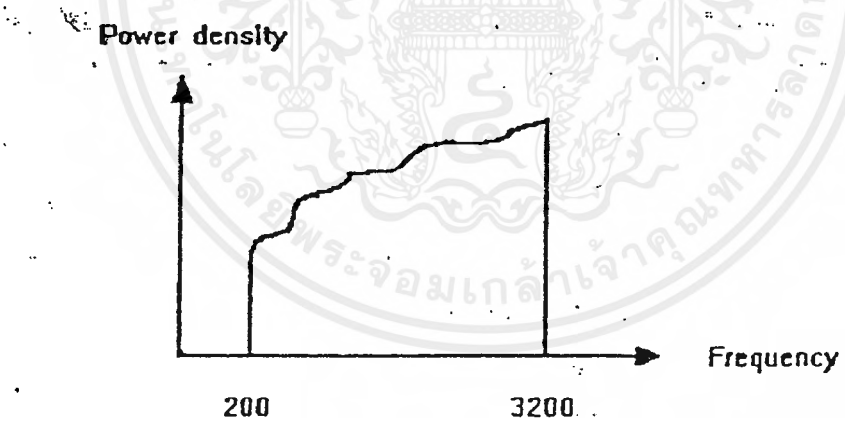
Speech Inversion เป็นสแครมบลิ้ง (scrambling) ความถี่แบบหนึ่งที่รู้จักกันดี สมมติว่ามีสัญญาณเสียงที่มีแบนด์วิทจำกัดอยู่ในช่วง 200-3200 Hz ดังในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 A speech signal band –limited to 200-3000 Hz

ความคิดพื้นฐานของวิธีดังกล่าว เพื่อที่จะเปลี่ยนจากความถี่สูงให้เป็นความถี่ต่ำ และจากความถี่ต่ำเป็นความถี่สูง ความสัมพันธ์นี้ค่อนข้างที่จะเข้าใจง่าย ผลของการเปลี่ยนแปลงสัญญาณดังกล่าวดังแสดงดังรูป 2.4 ระบบดังกล่าวเป็นระบบที่ไม่ซับซ้อนมากนัก การสแครมบลิ้งด้วยวิธีดังกล่าวเป็นระบบที่ไม่ซับซ้อนนักการสแครมบลิ้งด้วยวิธีดังกล่าวจะไม่ปลอดภัยเพราะสามารถที่จะดีสแครมบลิ้ง(Descrambling) ได้โดยรีอินเวิร์ท (Reinvert)แบบลองผิดลองถูก (trial and error) ก็สามารถที่จะได้สัญญาณเดิมกลับมา



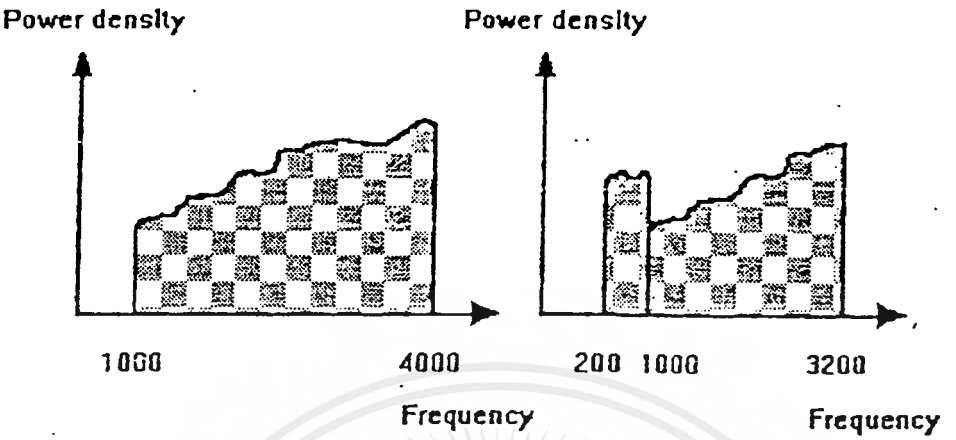
รูปที่ 2.4 power density spectrum of inverted speech signal

2.2.2) Band –shift Inversion

เป็นการปรับปรุง speech inversion โดยที่สัญญาณที่อยู่ในช่วง 200 –3000Hz จะถูกอินเวิร์ท (invert) และ เลื่อน(shift) แบนด์วิท(1000-4000 Hz) สเปคตรัม (spectrum) ของสัญญาณดังกล่าวแสดงไว้ในรูป 2.5(ก) สัญญาณนี่อยู่นอกแบนด์แตกต่างจากสัญญาณตัวแรก แต่สามารถที่จัดการเอาส่วนที่เกิน 3200 Hz ย้ายมาอยู่ทางด้านปลายความถี่ต่ำ (สังเกตดูว่า ถึงแม้ว่าสัญญาณในรูป 2.5 จะมีขอบเขต (range)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของความถี่ที่แตกต่างกัน แต่ก็มีแบนด์วิทเท่ากับสัญญาณตัวแรก หลักการของ band-shift inverting ได้แสดงไว้ในรูป 2.5(ข)



รูปที่ 2.5 หลักการของ Bandshift inversion

ตัวอย่างของ Band –shift inversion อันหนึ่ง มีการอินเวิร์ท สัญญาณด้วยความถี่พาหะ (carrier frequency) ที่แตกต่าง โดยการเลื่อน (shift) แบนด์แบบคงที่ทำให้คอมบิเนชั่น (Possible Combination) มีจำนวนจำกัด วิธีที่จะเพิ่มคอมบิเนชั่น อาจใช้(pseudo random generator) เป็นตัวเลือกในการเลื่อน (shift) ที่แตกต่างกัน แต่ละแบบให้มีช่วงเวลา (time interval) ประมาณ 10 ถึง 20 ns แล้วจัดลำดับให้สลับสับเปลี่ยนกันไป เป็นลักษณะไซคลิก (cyclic) หลักการอันนี้เรียกว่า Cyclical Band - shift Inversion ทำให้คอมบิเนชั่นที่เป็นไปได้มากขึ้น

ข้อเสียของ Band-shift Inversion ที่เด่นชัดมีอยู่ 2 ข้อ

1) เนื่องจากคอมบิเนชั่นที่เป็นไปได้ยังไม่มากพอ ทำให้การดีสแครมบลิ้งทำได้โดยการลองผิดลองถูก (trial and error)

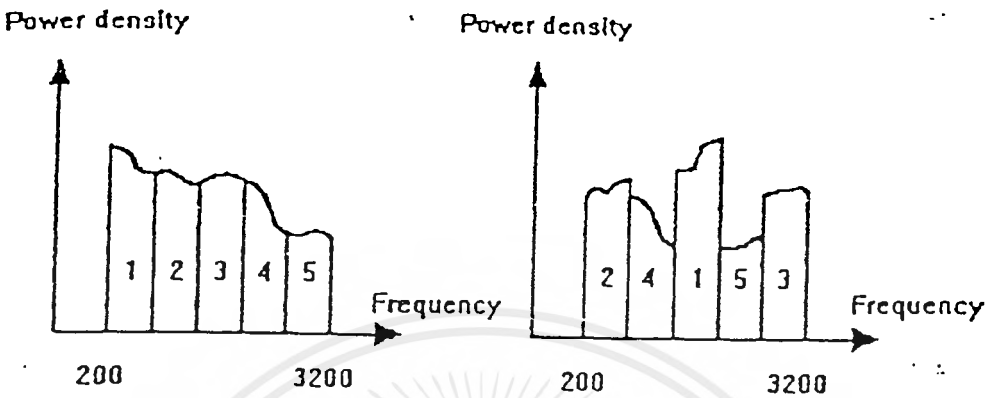
2) ความสามารถ ความชำนาญ และคุ้นเคยที่จะเข้าใจเสียงที่ถูกสแครมบลิ้ง แล้วแต่คงมีบางส่วนที่การสแครมบลิ้งเปลี่ยนแปลงสัญญาณไปไม่มากนัก ทำให้สามารถที่จะเดาจากบางส่วนที่เหลืออยู่ได้ ค่อนข้างสูงและจะยิ่งสูงขึ้น เมื่อช่างสารที่ได้ถูกรีอินเวิร์ท (reinvert) ด้วยแล้ว

2.2.3) Band scrambler

ในกรณีของ Band scrambler หรือ Bandsplitter แบนด์วิทของเสียงพูด (speech bandwidth) จะแบ่งออกเท่าๆ กันเป็นหลายๆส่วน ซึ่งแต่ละส่วนเรียกว่า แบนด์ย่อย (sub-band) แต่ละแบนด์ย่อยจะถูกสแครมบลิ้ง โดยการสลับลำดับ (Permutation)แบนด์ย่อยเสียใหม่ ในบางระบบอาจจะมีการอินเวิร์ท ในแต่ละแบนด์ด้วย รูป 2.6 แสดงตัวอย่างของ Band scrambler แบบง่ายโดยแบ่งออกเป็น 5 แบนด์ย่อย จากรูปแบนด์ที่ 1,2 และ 5 จะถูกอินเวิร์ทและถูกสลับตำแหน่ง สำหรับตัวอย่างดังกล่าว มีการจัดลำดับที่เป็นไปได้ (possible reorderings) เท่ากับ 5! และมีคอมบิเนชั่นสำหรับการอินเวิร์ททั้ง 5 ตำแหน่งเท่ากับ 2^5 นั่นหมายถึง สามารถมีคอมบิเนชั่นได้ถึง $5!*2^5$ เท่ากับ 3840 แบบแต่ไม่ใช่ทั้งหมดที่สามารถนำไปใช้งานมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

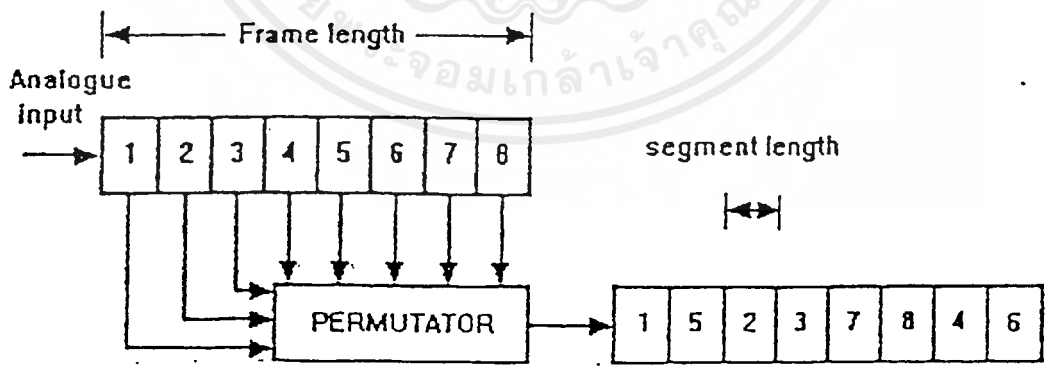
บางส่วนที่ส่งจากสัญญาณ ถูกสแครมบลิ้งแล้วมีการเปลี่ยนแปลงสมบูรณ์ (คือไม่สามารถที่จะเข้าใจรายละเอียดได้) ส่วนที่เหลือ ซึ่งเป็นส่วนใหญ่ไม่สามารถนำมาใช้สแครมบลิ้ง เพราะยังพอที่จะเข้าใจความหมายได้อย่างคลุมเครือ



รูปที่ 2.6 Band scrambling technique

2.2.4) Time element scrambling (T.E.S)

การทำงานของ Time Element Scrambler (T.E.S) อาศัยหลักการพื้นฐานโดยขั้นแรก แบ่งสัญญาณอนาลอกเป็นคาบเวลา (Time period) เท่าๆกันโดยแต่ละส่วนเรียกว่า เฟรม(frame)แล้วแต่ละเฟรมจะถูกแบ่งย่อยออกเป็นคาบเวลาเล็กๆ เรียกว่า เซกเมนท์ (Segment) และ ในทุกๆ เฟรมของอินพุทจะสแครมบลิ้งเซกเมนท์เหล่านั้นด้วยวิธีการสลับลำดับ (Permutation) วิธีดังกล่าวอธิบายด้วยแผนภาพการทำงาน (Black diagram) ดังแสดงในรูป 2.7 ซึ่งในที่นี้แต่ละเฟรมจะถูกแบ่งออกเป็น 8 เซกเมนท์

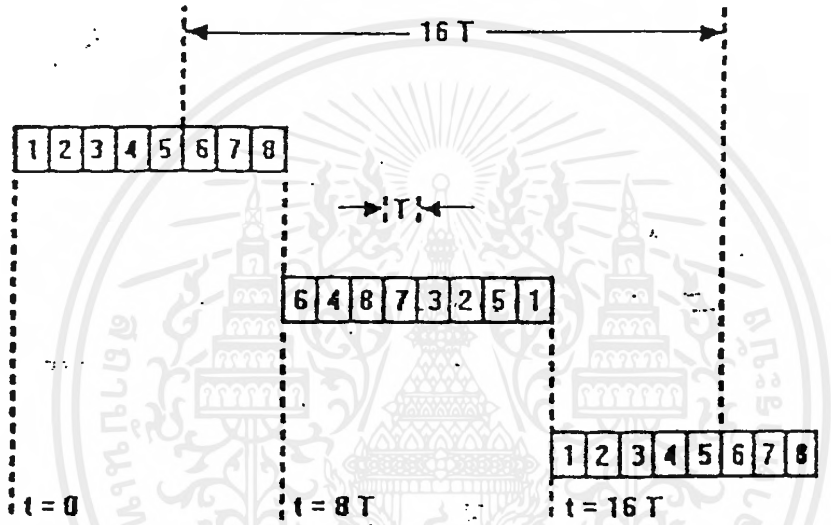


รูปที่ 2.7 Time Element Scrambler

เมื่อจะออกแบบระบบ จำเป็นต้องหาค่าความยาวของเฟรม (Frame length)และความยาวของเซกเมนท์ (Segment length) ที่เหมาะสม จุดสำคัญอยู่ที่สัญญาณภายในหนึ่งเซกเมนท์จะต้องชัดเจนไม่ผิดเพี้ยน (Distorted) และจะต้องทำการกำหนดว่าแต่ละเซกเมนท์ควรครอบคลุมข่าวสาร(Message) เท่าไหร่ซึ่งเป็นการยากที่จะให้ความเหมาะสมได้ ถ้าสมมุติทำให้ทุกเซกเมนท์ มีคาบเวลาแคบพอที่จะเป็นไปได้ โดยที่คาบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เวลาดังกล่าวจะต้องไม่ครอบคลุมทั้งคำพูด แต่ทั้งนี้ก็ควรที่จะให้คาบเวลาของเซกเมนท์ยืดหยุ่นได้ โดยขึ้นอยู่กับคุณภาพของสัญญาณ ที่ถูกส่งออกไปคุณภาพจะลดลง ถ้าคาบเวลาของเซกเมนท์น้อยเกินไป ในการเลือกขนาดของเฟรมต้องคำนึงถึงผลเนื่องจากการหน่วงเวลา(Time delay) ที่เกิดขึ้นระหว่างการสแครมบลิ้งของตัวรับ และการดีสแครมบลิ้งของตัวส่งด้วย เพื่อที่จะให้เข้าใจถึงการหน่วงเวลาของระบบ ให้พิจารณารูปจากตัวอย่างให้ความยาวเซกเมนท์เท่ากับ T วินาที ดังนั้นจะต้องกินเวลาไป 8 วินาที สำหรับ 8 เซกเมนท์ของเสียงพูดเพื่อที่จะ สแครมบลิ้งโดยการสลับลำดับ และอีก 8T วินาทีสำหรับตัวรับในรูปแสดงให้เห็นว่าเซกเมนท์ไหนถูกโปรเซส



รูปที่ 2.8 Timing Diagram ของ T.E.S. process

ลักษณะของการหน่วงในระบบนี้ ก็คล้ายกับการหน่วงสัญญาณในการใช้โทรศัพท์ทางไกลข้ามประเทศโดยผ่านดาวเทียมทำ ให้ผู้ใช้มักเกิดความไม่คุ้นเคยกับเสียงที่ถูกหน่วงไปดังกล่าว ซึ่งในกรณีนี้อาจแก้ไขโดยการลดขนาดของเฟรมลงอีกต่อการทดลองขนาดของเฟรม(frame length) น้อยเกินไปประสิทธิภาพของการสแครมบลิ้งจะลดลงเหตุผลที่เป็นเช่นนี้สามารถอธิบายได้ดังนี้ คือ สมมติว่า มีเฟรมหนึ่งซึ่งแคบจนกระทั่ง ประกอบไปด้วยเสียงโทนเดียว (single tone) ทำให้การสแครมบลิ้ง ด้วยการสลับลำดับไม่ดีเท่าที่ควร เพราะหลังจากสแครมบลิ้งแล้วก็ยังได้เสียงโทนเดียวเช่นเดิม และเฟรมที่แคบจนเกินไปการกระจายเซกเมนท์ทำได้ยาก ด้วยเหตุผลนี้ทำให้เนื้อหาบางส่วน หรือทั้งหมดของข่าวสารได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 วงจรกรองความถี่

ฟิลเตอร์คือวงจรที่ใช้สำหรับกรองสัญญาณให้ความถี่เฉพาะที่ต้องการใช้ผ่านออกมาได้เท่านั้น ส่วนความถี่อื่นๆ ที่ไม่ต้องการผ่านจะถูกลดทอน (attenuate) จนหมดไปวงจรฟิลเตอร์ที่ใช้งานกันมีอยู่ 2 ลักษณะคือ วงจรพาสซีฟ (passive) และแบบแอคทีฟ (active) Passive and Active Filter

2.3.1) วงจรกรองแบบพาสซีฟฟิลเตอร์ ใช้อุปกรณ์พวกที่ไม่ต้องการไฟเลี้ยงวงจร ได้แก่ R,L,C ซึ่งข้อเสียของพาสซีฟฟิลเตอร์อยู่ที่การใช้งานที่ความถี่ต่ำ ทั้งนี้เพราะ L ที่ใช้จะมีค่าสูง การที่ L มีค่าสูงทำให้ต้องใช้ลวดพันจำนวนมาก ทำให้เกิดความคลาดเคลื่อนได้มากเพราะจะมีค่าความต้านทานของลวดเข้ามาเกี่ยวข้อง อาจแก้ไขได้โดยการใช้ลวดขนาดใหญ่ ซึ่งจะทำให้ L นั้นมีขนาดใหญ่และราคาแพงแต่อย่างไรก็ตาม ข้อดีของพาสซีฟนั้นคือ สามารถใช้งานกับ High power level ได้ในขณะที่แอคทีฟฟิลเตอร์นั้นไม่สามารถทำได้

2.3.2) วงจรแอคทีฟฟิลเตอร์ ใช้อุปกรณ์พวกต้องการไฟเลี้ยงได้แก่ OP-AMP และ R,C แอคทีฟฟิลเตอร์สามารถสร้างให้มีขนาดเล็กมากๆ ได้ในรูป Hybrid C ข้อดีที่เห็นได้ชัดเจนของแอคทีฟฟิลเตอร์ได้แก่ มีขนาดเล็ก น้ำหนักเบา มีความถูกต้องของวงจรสูงกว่า ถ้ามีการใช้งานเป็นจำนวนมากจะสามารถสร้างให้ราคาที่ถูก การออกแบบง่ายกว่าพาสซีฟฟิลเตอร์มาก ซึ่งไม่มีปัญหาเรื่องแมตช์ชิ่งเลยและวงจรมีอัตราการขยาย ในขณะที่แบบ Passive มี Loss เกิดขึ้น แต่อย่างไรก็ตาม แอคทีฟฟิลเตอร์ยังไม่สามารถนำไปใช้งานที่ความถี่สูงได้ เช่นย่านความถี่วิทยุ

เมื่อแบ่งตามหน้าที่การทำงานของวงจรฟิลเตอร์ สามารถแบ่งออกได้เป็น 4 ชนิดด้วยกันคือ

1) วงจรกรองความถี่ต่ำผ่าน (lowpass filter)
2) วงจรกรองความถี่สูงผ่าน (highpass filter)
3) วงจรผ่านแถบความถี่ (bandpass filter)
4) วงจรกั้นแถบความถี่ผ่าน (bandreject filter,notch filter)

ในที่นี้จะขอกล่าวถึงเฉพาะวงจรที่ใช้ในโครงงานคือวงจรกรองความถี่ต่ำผ่านและวงจรกรองความถี่สูงผ่าน

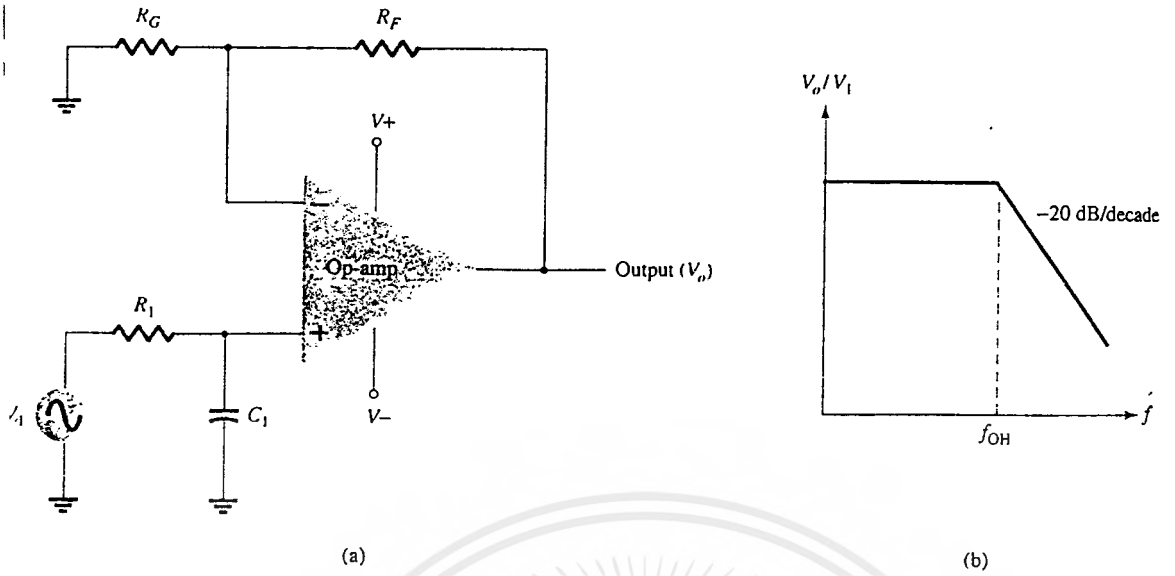
2.4 วงจรกรองความถี่ต่ำผ่าน

$$A_v = 1 + R_f / R_1$$

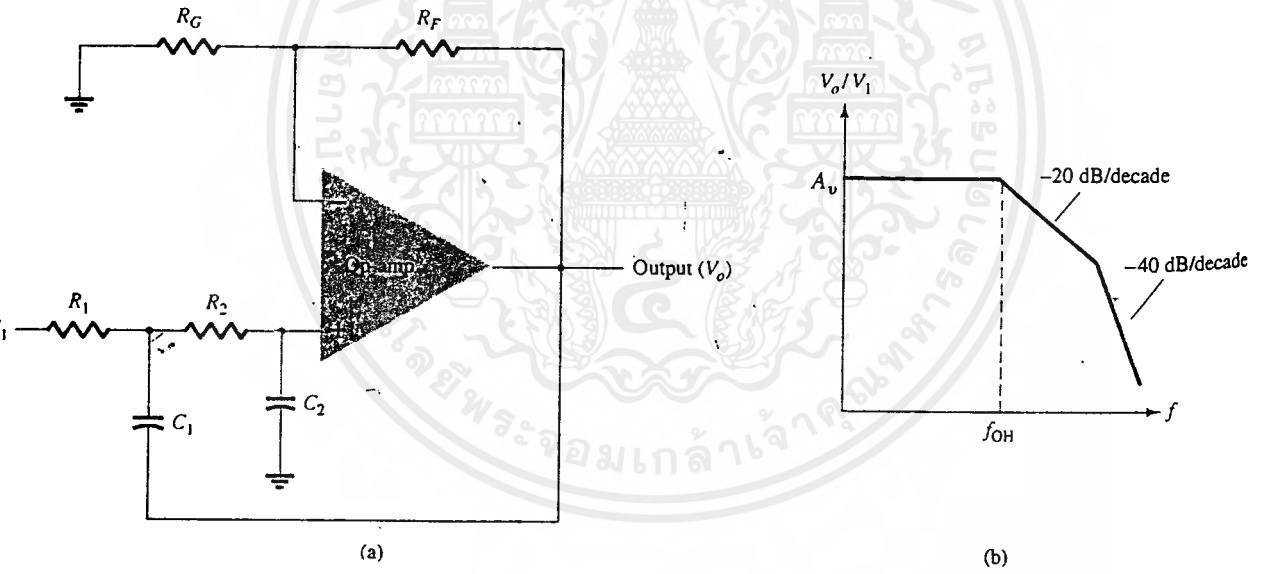
ความถี่คัทออฟ

$$f_c = 1/2\pi R_1 C_1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 First-order lowpass active filter



รูปที่ 2.10 Second order low-pass filter

2.5 Integrator

Integrartor หรือวงจรที่ทำหน้าที่เสมือนการทำอินทิเกรตทางคณิตศาสตร์ ค่า V_O จะเป็นสัดส่วนกับค่า V_O จะเป็นสัดส่วนกับค่า V_S ในช่วงคาบเวลา T ซึ่งจะสมการเป็น

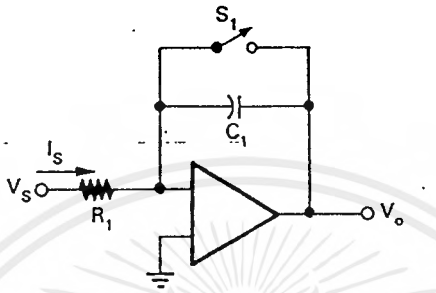
$$V_O = (1/R_1C_1)\int_0^T V_S\,dt = Q/C_1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยคาบเวลาที่อินทิเกรทจะขึ้นอยู่กับสวิตช์ S_1 สำหรับวงจรนี้เราอาจจะเอา R_1 ออกจากวงจรก็ได้ ทำให้ได้วงจร Current integrator หรือวงจรอินทิเกรตทางกระแส ซึ่งจะได้สมการเป็น

$$V_O = (1/C) \int_0^T I_S \, dt = Q/C_1$$

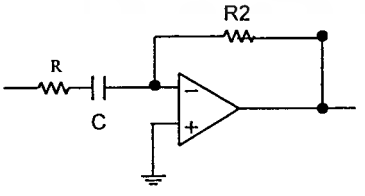
เมื่อ Q คือจำนวนประจุทั้งหมดที่ถูกส่งเข้าวงจรในช่วงคาบเวลา T



รูปที่ 2.11 Integrator

2.6 Differentiator and active high-pass filter

Differentiator and active high-pass filter หรือวงจรผ่านความถี่สูง ถ้า $R_1 = 0$ วงจรนี้จะเป็นวงจรที่ทำหน้าที่ดิฟเฟอเรนเชียลที่เป็นไอเดียล ซึ่งจะทำให้ $V_O = - R_F C_1 \, (dv_s/dt)$ การใช้ R_1 ค่าน้อยๆ จะจำกัดความสามารถในการตอบสนองความถี่สูงของวงจรลงไปแต่จะช่วยลดสัญญาณรบกวน อย่างไรก็ตามในการออกแบบควรจะกำหนดให้ค่าไทม์คอนสแตนต์ของ R_1C_1 น้อยกว่าคาบเวลาของสัญญาณอินพุท



รูปที่ 2.12 Differentiator and active high-pass filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 วงจรค่าสมบูรณ์

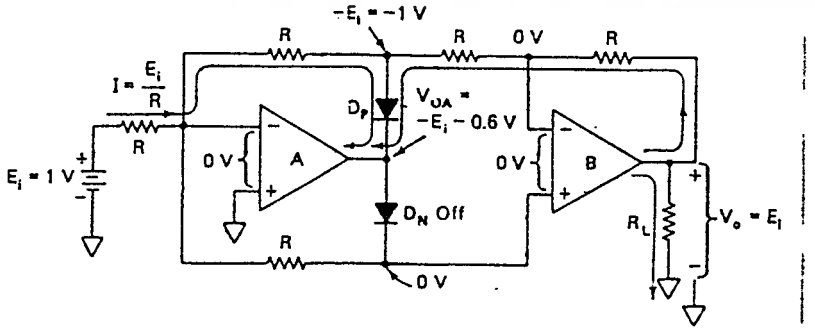
ดังที่ทราบกันดีอยู่แล้วว่าถ้ามีการใส่เครื่องหมายคณิตศาสตร์ ค่าสมบูรณ์ ลงในตัวเลขที่เป็นบวกหรือลบก็ตาม ค่าที่ได้ออกมาจะมีค่าเป็นบวกเสมอ ยกตัวอย่างเช่น $|+2| = |-2| = +2$ เป็นต้น จุดนี้เองจึงทำให้วงจรฟูลเวฟเรคติไฟเออร์ (full-wave rectifier) มีชื่ออีกอย่างหนึ่งว่า วงจรค่าสมบูรณ์ ลักษณะการทำงานของวงจรชนิดนี้จะแตกต่างจากวงจรฮาฟเวฟตรงที่ว่า วงจรฮาฟเวฟจะทำการปล่อยผ่านขั้วไฟฟ้าเพียงขั้วเดียว ขั้วที่เหลือจะทำการสกัดกั้นเอาไว้แต่สำหรับวงจรฟูลเวฟเรคติไฟเออร์จะทำการผ่านขั้วไฟฟ้าเพียงขั้วเดียว ขั้วที่เหลือจะทำการสกัดกั้นเอาไว้แต่สำหรับวงจรฟูลเวฟเรคติไฟเออร์จะทำการผ่านขั้วไฟฟ้าขั้วหนึ่ง และทำการแปลงขั้วไฟฟ้าที่เหลือให้กลับทิศกลับขั้วไฟฟ้าที่ปล่อยผ่านไป

ชนิดของวงจร

วงจรฟูลเวฟเรคติไฟที่จะนำเสนอต่อไปนี้จะมีทั้งหมด 3 วงจรด้วยกัน ชนิดแรกจะเป็นวงจรซึ่งประกอบด้วยออปแอมป์ 2 ตัว ไดโอด 2 ตัว และตัวต้านทานซึ่งมีค่าเท่ากัน 5 ตัว อย่างไรก็ตาม วงจรนี้ให้ค่าความต้านทานอินพุทต่ำ สำหรับวงจรชนิดที่สองจะให้ค่าความต้านทานอินพุทสูงๆ ได้แต่ต้องการตัวต้านทานที่มีค่าเป็นสัดส่วนกัน ไม่ได้เท่ากันหมดเหมือนวงจรแรก และวงจรสุดท้ายจะเป็นการแก้ปัญหาในวงจรทั้งสองชนิดนี้ที่ได้กล่าวมาแล้ว ในเรื่องที่ไม่มีการรวมโหนด(summing node) ที่เป็นกราวด์ให้กับขาอินพุทของออปแอมป์โดยตรง

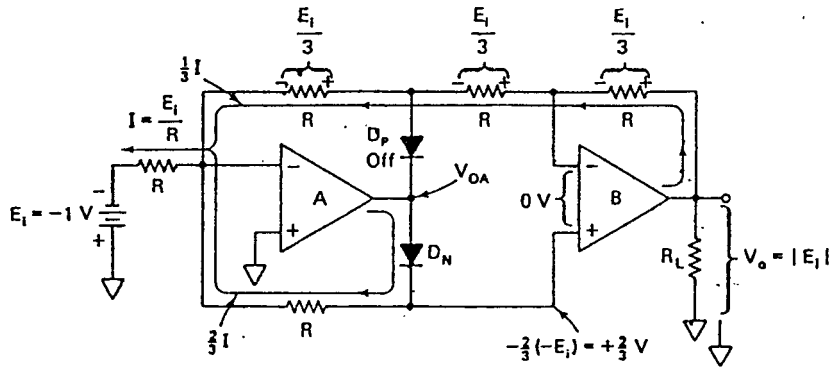
2.7.1) วงจรฟูลเวฟเรกติไฟเออร์ที่ใช้ตัวต้านทานค่าเท่ากัน หรือวงจรชนิดแรกจะเป็นดังรูปที่ 2.13 จะใช้ตัวต้านทานที่มีค่าเดียวกันทั้งหมดและให้ค่าความต้านทานรวมทางด้านอินพุทเท่านั้น R ในรูป 2.14 แสดงทิศทางกระแสและขั้วแรงดันสำหรับการป้อนอินพุทที่เป็นบวก ไดโอด D_P จะนำกระแสโดยออปแอมป์ทั้ง A และ B ทำตัวเหมือนอินเวอร์เตอร์ ซึ่งผลการกลับขั้วไปมา 2 ครั้งนี้จะทำให้ได้ $V_O = +E_I$ นั่นเอง

รูปที่ 2.14 แสดงการทำงานเมื่อป้อนอินพุทเป็นลบ ไดโอด D_N จะทำงานออปแอมป์ B ทำตัวเป็นอินเวอร์เตอร์และกระแสอินพุท I จะถูกแบ่งดังรูป ค่า V_O จะมีค่าเป็นบวกเสมอ และรูปที่ 2.15 จะเป็นการแสดงกราฟคุณลักษณะของวงจรชนิดนี้

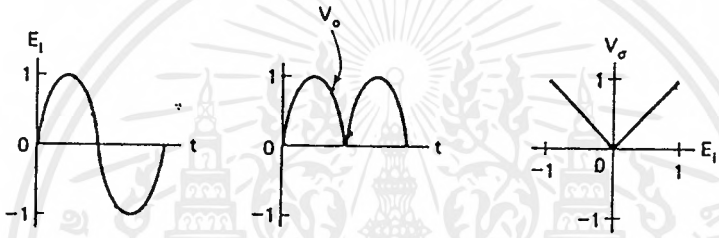


รูปที่ 2.13 แสดงทิศทางกระแสและแรงดันเมื่อป้อนอินพุทเป็นค่าบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

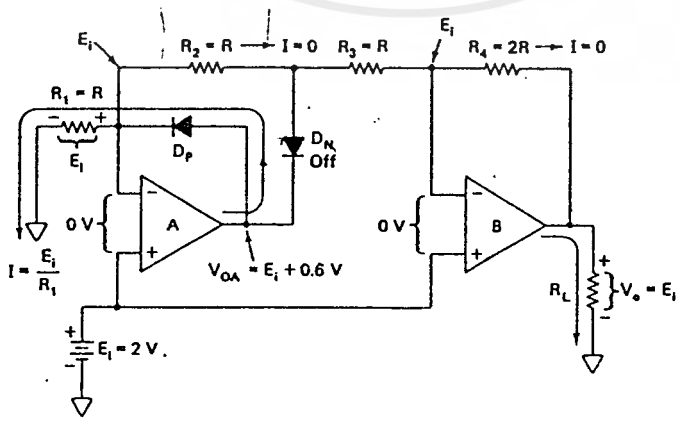


รูปที่ 2.14 แสดงทิศทางกระแสและแรงดัน เมื่อป้อนอินพุทเป็นค่าลบซึ่ง Dn จะทำงาน ส่งผลให้แรงดันตรงปลายไดโอดตัวนี้ค่าแรงดันไม่เป็นศูนย์เหมือนรูป 2.13



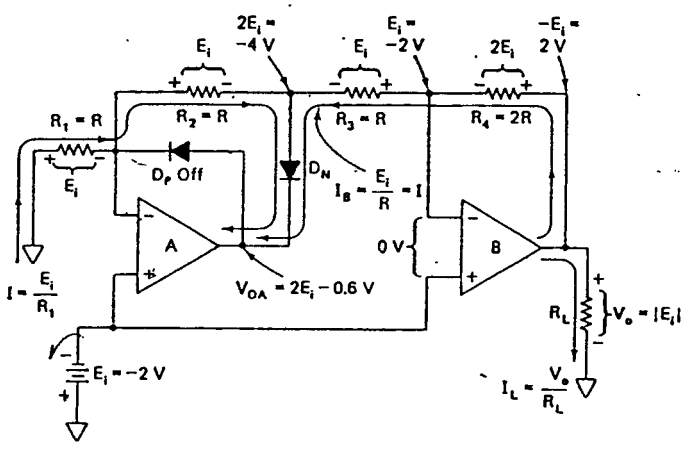
รูปที่ 2.15 รูปคลื่นที่ได้จากวงจรนี้

2.7.2) วงจรฟูลเวฟเรคติไฟเออร์ที่ให้ความต้านทานอินพุทสูง หรือวงจรชนิดที่สองจะมีการต่อวงจรดังรูปที่ 2.16 แหล่งกำเนิดสัญญาณอินพุทจะต่อตรงเข้ากับขานอนอินเวอร์ติ้งของออปแอมป์เลย รูปที่ 2.16(ก) แสดงการทำงานเมื่อปป้อนอินพุทด้วยค่าบวก E_i และ R_f จะกำหนดปริมาณกระแสที่จะไหลผ่านไดโอด D_P สำหรับที่ขาลบของออปแอมป์ทั้งสอง จะถูกป้อนด้วยค่า E_i ดังนั้นจะไม่มีกระแสไหลผ่าน R_2, R_3, R_4 ดังนั้น $V_O = E_i$ เนื่องจากแรงดันอินพุททั้งหมดเป็นบวก(ในที่นี้ออปแอมป์ B จะเสมือนเป็นบัฟเฟอร์)



(ก) เมื่อป้อนสัญญาณอินพุทเป็นบวก $V_0 = +E_i$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



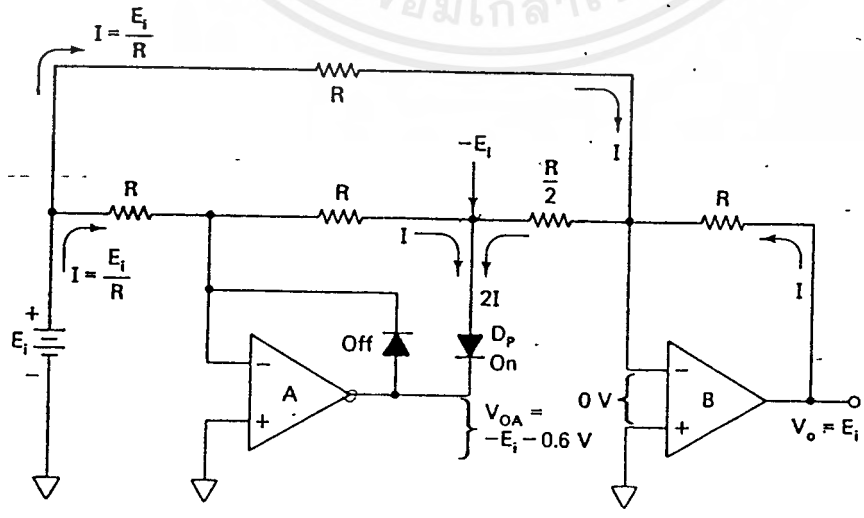
(ข) เมื่อป้อนสัญญาณอินพุทเป็นลบ $V_0 = \left| E_i \right| = -(E_i)$

รูปที่ 2.16 วงจรฟูลเวฟเรกติไฟเออร์ที่ให้ความต้านทานอินพุทสูง โดย R = 10 kΩ และ 2R = 20 kΩ

เมื่อ E_i มีค่าเป็นลบดังรูป 2.16 (ข) ค่า E_i และ R_i จะกำหนดค่ากระแสให้ไหลผ่านไดโอดD_N ,R ตัวที่ 1 และ 2 เนื่องจาก $R_1 = R_2 = R_3$ มีค่าเท่ากัน ดังนั้นที่ขั้วแอโนดของไดโอดจะมีค่าเท่ากับ $2E_i$ หรือ–4 โวลต์ ดังนั้นที่เอาท์พุทของออปแอมป์ B จะมีค่าเป็น E_i หรือมีค่า –2 โวลต์ ดังนั้นที่เอาท์พุทของ ออปแอมป์ B จะมีค่าเท่ากับ $\left| E_i \right|$ หรือเท่ากับ2โวลต์ สำหรับกราฟแสดงคุณสมบัติของวงจรจะเป็นดังรูป 2.15

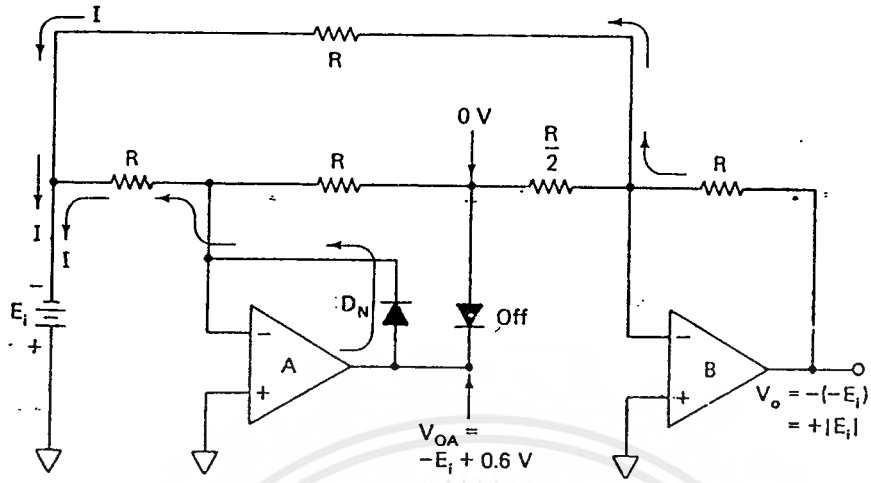
2.7.3) เรกติไฟเออร์ชนิดต่อกราวด์เข้ากับขาอินพุทบวก

จากรูปที่ 2.17 เป็นวงจรแปลงไฟสลับเป็นไฟตรง เมื่ออินพุทเป็นบวกในรูปที่ 2.17 (ก) ออปแอมป์ A จะทำการอินเวิร์ทหรือกลับขั้ว E_i ส่วนออปแอมป์ B จะทำการรวมเอาท์พุทของ A กับค่า E_i ซึ่งจะให้ค่าเอาท์พุทเป็น $V_0 = E_i$ และเมื่อป้อนอินพุทที่เป็นลบให้กับวงจรดังรูปที่ 2.17 (ข) ออปแอมป์ B จะทำการอินเวิร์ทหรือกลับขั้วของ $-E_i$ ให้เป็น $+E_i$ แทน



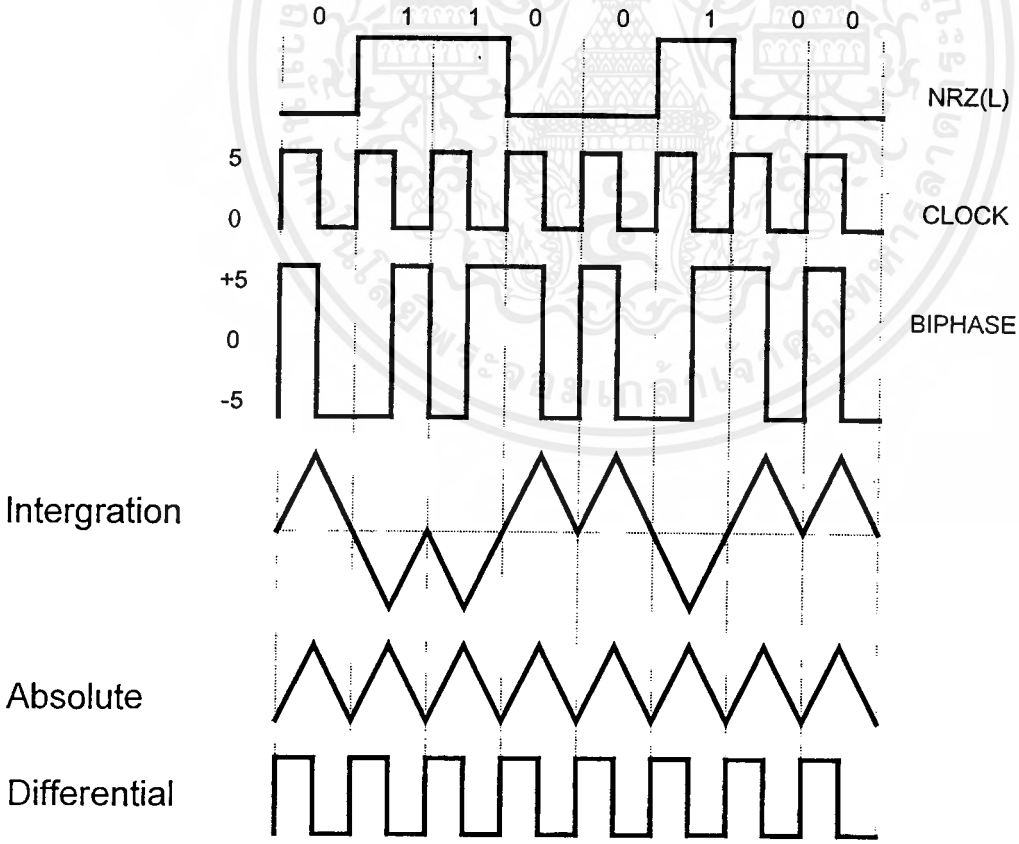
(ก) เมื่ออินพุทเป็นบวก ออปแอมป์ A และ B จะกลับขั้ว Ei ซึ่งจะได้ $V_0 = E_i$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) เมื่ออินพุทเป็นลบ ออปแอมป์ A จะไม่ทำหน้าที่เรกติไฟหรือกลับขั้ว
แต่ออปแอมป์ B จะทำหน้าที่นี้เองซึ่งจะได้ $V_o = E_i$ เช่นกัน

รูปที่ 2.17 วงจรค่าสมบูรณ์ชนิดต่อกราวน์เข้ากับขาอินพุทบวกของออปแอมป์ทุกตัว โดย R = 20 kΩ

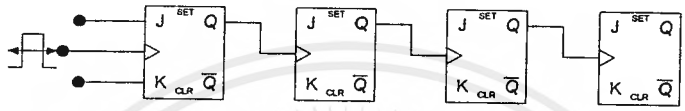


รูปที่ 2.19 ผลที่ได้จากการรวมวงจรทั้งหมดเข้าด้วยกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 วงจรนับ

วงจรนับปกติจะประกอบด้วยวงจรฟลิปฟลอปจำนวนหลายๆตัว นำมาต่อเข้าด้วยกันซึ่งการต่อมี 2 แบบ คือต่อให้วงจรนับแบบเข้าจังหวะ (Synchronous counter) และอีกแบบคือวงจรนับแบบไม่เข้าจังหวะ (asychronous counter) หรือเรียกอีกอย่างหนึ่งว่า วงจรนับแบบริปเปิ้ล (ripple counter) ในขณะเดียวกันอาจแบ่งการนับออกได้เป็น 2 แบบ คือวงจรนับขึ้น (up counter) หมายถึง วงจรที่มีการนับเรียงลำดับจากน้อยไปหามาก โดยพิจารณาจากเลขฐานสอง เช่น วงจรนับ 4 บิตเริ่มนับจาก 0000 ไปจนถึง 1111 ในทางตรงกันข้ามถ้าวงจรเริ่มนับจากมากไปหาน้อยเช่น เริ่มนับจาก 1111 ไป 0000 เราเรียกวงจรนี้ว่าวงจรนับลง (down counter) แต่ในที่นี้จะขอกล่าวถึงเฉพาะที่ใช้ในโครงงานนี้ คือ วงจรนับแบบอะซิงโครนัส



รูปที่ 2.19 ก แสดงวงจรนับเลขฐานสองขนาด 4 บิต(ถ้าอินพุท J และ K เป็น 1 ตลอด)

อธิบายการทำงานได้ดังนี้

D	C	B	A	Number of clock pulses
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15
0	0	0	0	16
0	0	0	1	17
0	0	1	0	18
0	0	1	1	19
0	1	0	0	20
0	1	0	1	21

รูปที่ 2.19 ข ตารางการนับของวงจรนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) อินพุต CLK ของฟลิปฟลอป A เท่านั้นที่ได้รับสัญญาณคล็อคดังนั้นรูปคลื่นเอาท์พุตของ ฟลิปฟลอป A จะท็อกเกิ้ล (เปลี่ยนสภาวะเป็นตรงกันข้าม)ทุกครั้งที่สัญญาณคล็อคเปลี่ยนจากสถานะสูงเป็นสถานะต่ำ
2) เอาท์พุตปกติของฟลิปฟลอป A เป็นอินพุต CLK ของฟลิปฟลอป B ดังนั้น รูปคลื่นเอาท์พุตของฟลิปฟลอป B จะท็อกเกิ้ลทุกครั้งที่เอาท์พุตของฟลิปฟลอป A เปลี่ยนจาก 1 เป็น 0 ในทำนองเดียวกันรูปคลื่นเอาท์พุตของฟลิปฟลอป C จะท็อกเกิ้ลเมื่อเอาท์พุตของฟลิปฟลอป B เปลี่ยนจาก 1 เป็น 0 และรูปคลื่นเอาท์พุตฟลิปฟลอป Dจะท็อกเกิ้ลเมื่อเอาท์พุตฟลิปฟลอป C เปลี่ยนจาก 1 เป็น 0
3) จากตาราง 2.19(ข) แสดงลำดับของสภาวะเลขฐานสองของเอาท์พุต ฟลิปฟลอป ถ้ากำหนดให้เอาท์พุตของฟลิปฟลอป D, C, B, A แสดงจำนวนเลขฐานสอง โดย D เป็น MSB และ A เป็น LSB จะได้ลำดับการนับเลขฐานสองจาก 0000 ถึง 1111
1) หลังจากสัญญาณคล็อคที่ 15 ปรากฏขึ้นแล้วฟลิปฟลอปของวงจรนับจะแสดงสภาวะ 1111 นั่นคือ วงจรนับทำการนับครบรอบ และเมื่อสัญญาณคล็อค ที่ 16 ปรากฏวงจรนับจะนับย้อนกลับเป็น 0000 จากนั้นจึง เริ่มนับใหม่การทำงานของวงจรนับชนิดนี้ มีลักษณะเป็นระลอกหรือริปเปิ้ล กล่าวคือ รูปคลื่นเอาท์พุตของฟลิปฟลอปแต่ละตัวต่อเข้ากับอินพุต CLKของฟลิปฟลอปตัวถัดไปวงจรนับประเภทนี้จึงเรียกว่า วงจรนับ แบบริปเปิ้ลหรือเรียกวงจรนับแบบอะซิงโครนัส

2.9 ทฤษฎีและการสร้างสัญญาณกลับคืนมา

ไนควิสต์ได้เสนอทฤษฎีบทไว้ว่า ถ้ามีสัญญาณอนาลอกที่มีสเปคตรัมสูงสุดจำกัดที่ค่าหนึ่ง สามารถสร้างสัญญาณพัลส์ที่มีข่าวสารของสัญญาณอนาลอกเดิมให้กลับคืนมาได้

ถ้าความถี่สูงสุดของสัญญาณอินพุทเป็น f_o และความถี่ที่ใช้ในการแซมปลิ้งเป็น f_s เมื่อ $f_s \geq 2f_o$ วงจรกรองความถี่ต่ำทางด้านรับจะขจัดองค์ประกอบความถี่มากกว่า f_o ออกทำให้ง่ายต่อการนำสัญญาณเดิมกลับคืนมา

ตามที่ได้กล่าวมานี้การอธิบายทฤษฎีการแซมปลิ้งอย่างกว้างๆ และในขณะเดียวกันเพื่อให้เข้าใจทฤษฎีมากยิ่งขึ้น สามารถที่จะพิสูจน์ให้เห็นในรูปสมการทางคณิตศาสตร์

$$\text{สมมติว่า } g(t) = \int_{-\infty}^{\infty} G(f)e^{j2\pi f_t}\,df \qquad (1)$$

เนื่องจาก G(f) ถูกจำกัดแถบความถี่ให้มีค่าระหว่าง $|f| \leq f_o$ ดังนั้นจึงเขียนสมการ ได้ดังนี้

$$g(t) = \int_{f_o}^{f} G(f)\, e^{j2\pi f_t}\,df \qquad (2)$$

ดังนั้นค่า g(t) ที่ทุกๆ $t = n/2f_o$ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
32603

$$g(n/2f_o) = \int_{f_o}^{f} G(f)\, e^{j2\pi f(n/2f_o)}\, df \qquad (3)$$

สามารถแสดง G(f) ในรูปของอนุกรมฟูเรียร์ได้ดังนี้

$$G(f) = \sum_{n=-\infty}^{\infty} C_{-n}\, e^{-j2\pi f(n/2f_o)} \qquad (4)$$

ในที่นี้ $C_{-n} = 1/2f_o \int_{f_o}^{f_o} G(f)\, e^{j2\pi f(n/2f_o)}\, df$

$$= 1/2f_o\ g(n/2f_o) \qquad (5)$$

แทนค่า (5) ลงใน (4) จะได้

$$G(f) = \sum_{n=-\infty}^{n=\infty} 1/2f_o\, g(n/2f_o) e^{-j(2\pi n f/2f_o)} \qquad (6)$$

แทนค่าสมการ (6) ในสมการ (1) แล้วคำนวณต่อจะได้

$$g(t) = \int_{-\infty}^{\infty} G(f)\, e^{j2\pi f t}\, df$$

$$= 1/2f_o \int_{-f_o}^{f_o} \sum_{n=-\infty}^{\infty} g(n/2f_o)\, e^{-j(2\pi n f/2f_o)}\, e^{j2\pi f t}\, df$$

$$= 1/2f_o \sum_{n=-\infty}^{\infty} g(n/2f_o) \int_{-f_o}^{f_o} e^{j2\pi f(t-n/2f_o)}\, df$$

$$= \sum_{n=-\infty}^{\infty} \{ g(n/2f_o) \} \{ \sin\pi(2f_o t-n)/\pi(2f_o t-n) \} \qquad (7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

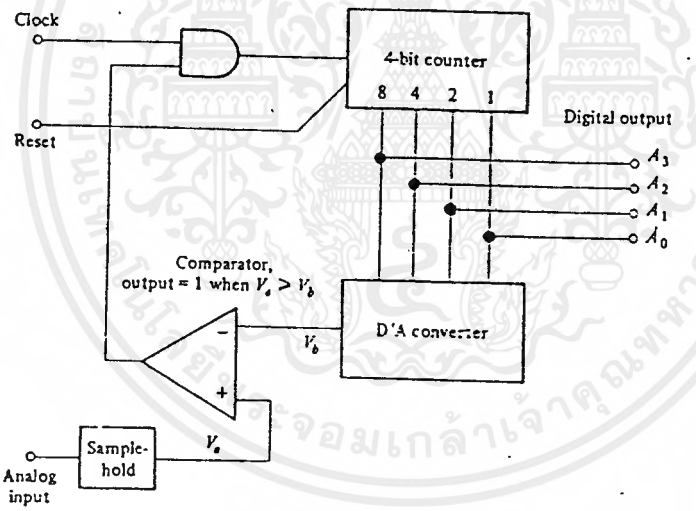
เทอมที่ 1 แสดงค่าแอมปลิจูดของสัญญาณเดิม g(t) ที่แซมปลิ้งทุกๆ 1/2 f_o วินาที กล่าวคือเป็นขบวนพัลส์ PAM ที่มีระยะห่างกันทุกๆ 1/2f_o วินาที

สำหรับเทอม 2 แสดงคุณสมบัติของ ideal lowpass filter (ILPF) :ซึ่งมีคัทออฟ f_o ฟังก์ชั่น sinx/x ถูกเรียกว่าเซมปลิ้งฟังก์ชั่น สรุปคือ ถ้าแซมปลิ้ง สัญญาณอนาลอก g(t) ด้วยอัตรา 2 เท่าของความถี่สูงสุดของมันแล้วสามารถสร้างสัญญาณเดิมใหม่ ได้อย่างสมบูรณ์หลังจากแซมปลิ้งพัลส์ได้ผ่าน ILPF ไปแล้ว

2.10 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter)

วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลใช้งานในหลายๆ งานที่ต้องการแปลงรูปสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลเพื่อให้เหมาะสมในการประมวลโดยระบบดิจิตอล วิธีการที่นิยมใช้กันทั่วๆไปมีอยู่ด้วยกัน 2 วิธีคือ

2.10.1 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่ควบคุมตัวนับ (Counter-Controlled A/D converters) วิธีแปลงสัญญาณอนาลอกเป็นดิจิตอล แบบควบคุมตัวนับแสดงดังรูปที่ 2.20 ซึ่งประกอบด้วย 3 ส่วนคือวงจรนับ วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (Analog Comparator)

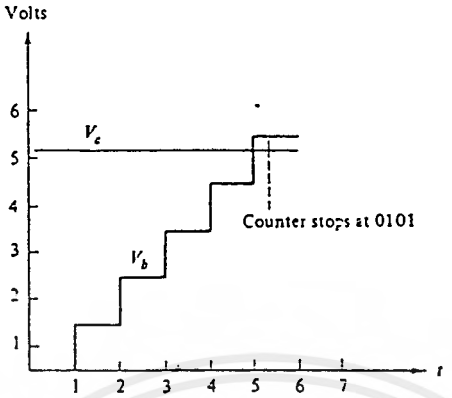


รูปที่ 2.20 Counter - Controlled A/D Converter

การทำงานของวงจรแปลงชนิดนี้ จะเริ่มเมื่อวงรอบของวงจรนับถูกรีเซตเป็นศูนย์ ทำให้เอาท์พุทของวงจร D/A Vb=0 ซึ่งจะเป็นอินพุทหนึ่งของคอมพาราเตอร์ ส่วนอีกอินพุทหนึ่งจะได้จากสัญญาณอนาลอกซึ่งป้อนผ่านวงจรแซมปลิ้งแอนด์โฮล (Sampling and hold) คือ Va ทำให้ Va มีค่ามากกว่า Vb จึงทำให้ได้ค่าเอาท์พุทของคอมพาราเตอร์เป็น 1 และจะไปกระตุ้นให้แอนด์เกททำงาน ตามสัญญาณนาฬิกาเข้าสู่วงจรนับ จะทำให้วงจรนับทำการนับขึ้นโดยเริ่มนับตั้งแต่ศูนย์ ซึ่งการนับแต่ละครั้งจะทำให้แรงดัน Vb จะเพิ่มขึ้นครั้งละ 1 โวลต์ ดังแสดงใน รูปที่ 8 การนับจะต่อเนื่องไปจนกระทั่งแรงดันที่เกิดขึ้นจากการนับนั้นมีค่า

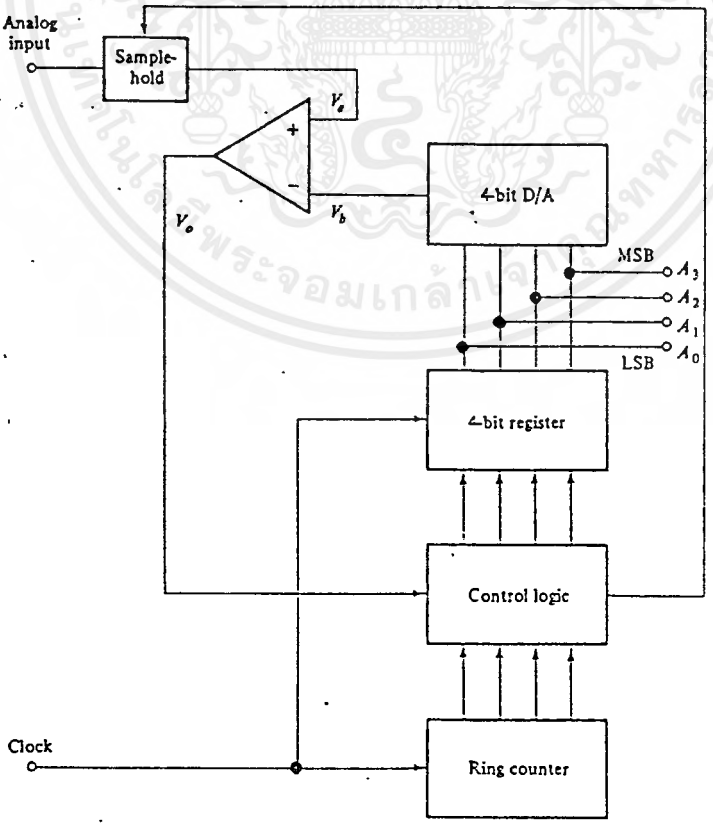
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกินสัญญาณอนาลอก Va ซึ่งจะทำให้เอาท์พุทของคอมพาราเตอร์ตกลงเป็นศูนย์จะทำให้แอนด์เกท มี เอาท์พุทเป็นศูนย์ วงจรนับก็จะหยุดการนับเอาท์พุทที่ได้จากการนับคือ 0101 คือมีค่า 5V ดังนั้น จะทำให้เราสามารถแปลงสัญญาณอนาลอกที่เข้ามาเป็นสัญญาณดิจิตอลได้



รูปที่ 2.21 รูปคลื่นของ Counter - Controlled A/D Converter

ในวงจรแปลงสัญญาณแบบควบคุมตัวนับนั้น สัญญาณอนาลอกจะเป็นไปอย่างช้าๆ เราสามารถเพิ่มความเร็วของขบวนการทำงาน โดยใช้วิธีการของวงจร Successive-Approximation D/A Converter ดังแสดงดังรูปที่ 2.22 ซึ่งวิธีการนี้จะใช้วิธีเปรียบเทียบแรงดัน V_a ที่เข้ามากับแรงดัน V_b เหมือนกัน แต่เป็นการประมาณค่าหากมีค่ามากกว่าจะได้เอาท์พุท เป็น 1 ถ้าน้อยกว่าจะเป็น 0 ก็จะได้ค่าตามตัวอย่างในตาราง

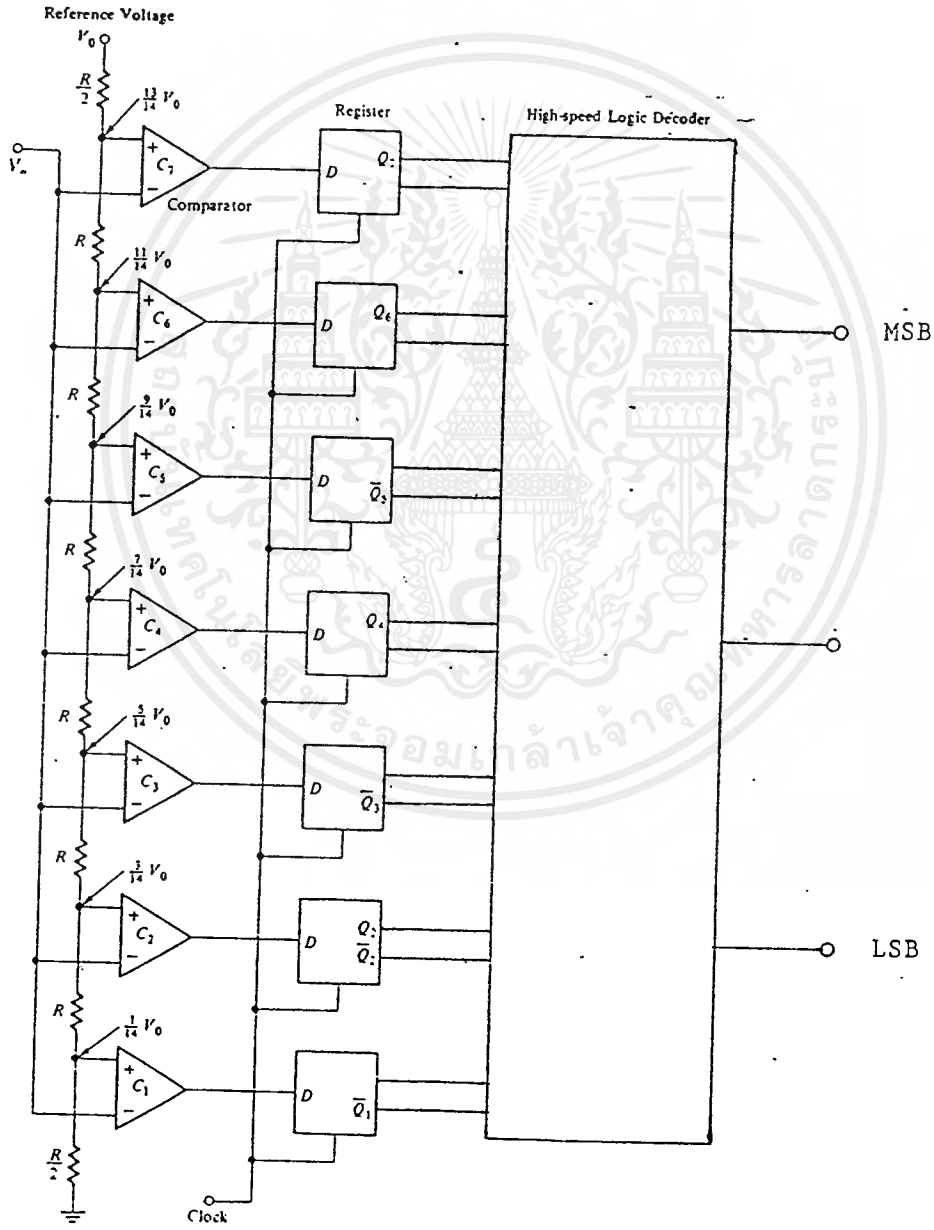


รูปที่ 2.22 วงจร Successive - Approximation A/D Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10.2 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบ Flash

วงจรแปลงสัญญาณชนิดนี้จะเป็นที่นิยมใช้กันมากดังแสดงดังรูปที่ 2.23 การทำงานของวงจรสามารถอธิบายได้โดยใช้วงจร 3 บิท A/D ซึ่งใช้ความต้านทานต่อกันเป็นแบบ Devider - network ซึ่งจะทำให้แรงดันอ้างอิงของคอมพาราเตอร์ C1-C7 มีความแตกต่างกันไปคอมพาราเตอร์ C1-C7 จะใช้เป็นตัวเปรียบเทียบกับสัญญาณ อินพุทที่เข้ามาซึ่งเป็นสัญญาณอนาลอก ในที่นี้ V_a ซึ่งเป็นสัญญาณอนาลอกจะอยู่ระหว่าง $-V_0/14V$ และ $15V_0/14V$ การเปรียบเทียบสัญญาณอนาลอกแสดงได้ในตารางที่ 2 เอาท์พุทของวงจรคอมพาราเตอร์จะส่งต่อไปยัง D ฟลิปฟลอปซึ่งทำหน้าที่เป็นรีจีสเตอร์ แล้วจึงส่งผ่านไปยังวงจร Decoder เพื่อทำให้เป็นสัญญาณดิจิตอล



รูปที่ 2.23 วงจรแปลงสัญญาณ A/D Flash

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Analog Voltage		Comparator Output							Output Logic		
Va>	Va<	C1	C2	C3	C4	C5	C6	C7	MSB		LSB
- V0/14	V0/14	1	1	1	1	1	1	1	1	1	1
V0/14	3V0/14	1	1	1	1	1	1	1	1	1	0
3V0/14	5V0/14	0	0	1	1	1	1	1	1	0	1
5V0/14	7V0/14	0	0	0	1	1	1	1	1	0	0
7V0/14	9V0/14	0	0	0	0	1	1	1	0	1	1
9V0/14	11V0/14	0	0	0	0	0	1	1	0	1	0
11V0/14	13V0/14	0	0	0	0	0	0	1	0	0	1
13V0/14	15V0/14	0	0	0	0	0	0	0	0	0	0

ตารางที่ 1

ค่าความละเอียดและความเที่ยงตรง

ค่าความความละเอียดของตัวแปลงสัญญาณอนาลอกเป็นดิจิตอลถูกอธิบายเป็นระยะห่างยิ่งน้อยเท่าไร ค่าความละเอียดยิ่งสูงขึ้น โดยค่าความละเอียดแปรผันตรงกับจำนวนบิทเอาท์พุท

2.11 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital to Analog Converters)

ในปัจจุบันนี้ วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก มีอยู่หลายแบบที่ใช้งานกันซึ่งมีความจำเป็นมากในระบบโทรคมนาคมในปัจจุบัน ที่เกี่ยวข้องกับการเปลี่ยนรูปแบบของสัญญาณแต่ละชนิด มีข้อมูลหลายๆรูปแบบที่แตกต่างกันจะต้องใช้การเชื่อมต่อระหว่างอุปกรณ์ที่เป็นอนาลอกกับอุปกรณ์ที่เป็นดิจิตอล อย่างเช่นการตรวจสอบการสื่อสารข้อมูลระยะไกล การสื่อสารด้วยสัญญาณภาพและสัญญาณเสียง ซึ่งในที่นี้จะพิจารณาวงจรแปลงสัญญารดิจิตอลเป็นสัญญาณอนาลอกที่ใช้กันทั่วๆไป

2.11.1 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกแบบ Weighted - Resistor

วงจร D/A Converter แบบนี้แสดงได้ในรูปที่ 1 ซึ่งจะใช้ความต้านทานนำมาต่อร่วมกับออปแอมป์โดยในที่นี้จะแปลงจากจำนวนดิจิตอล 4 บิทไปเป็นแรงดันของลอจิกแต่ละบิทแทนด้วย A_3,A_2,A_1,A_0 ตามลำดับโดยจะใช้อิเล็กทรอนิกส์สวิตช์ S_3,S_2,S_1,S_0 ทำหน้าที่ตัดต่อวงจร เมื่อ A มีสภาวะของลอจิกเป็น 1 สวิตช์ S จะต่อกับแรงดันอ้างอิง V_S แต่ถ้า A มีสภาวะลอจิกเป็น 1 สวิตช์ S จะต่อกับกราวน์ความต้านทาน R_0-R_3 ทำหน้าที่ชั่งน้ำหนักของเลขไบนารี่แต่ละบิท ดังแสดงได้ดังนี้

$$\begin{aligned} \text{LSB} \quad & R_0 = R/2^0 = R \\ & R_1 = R/2^1 = R/2 \\ & R_2 = R/2^2 = R/4 \\ \text{MSB} \quad & R_3 = R/2^3 = R/8 \end{aligned} \qquad (1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ R คือ ความต้านทานซึ่งสามารถเลือกเพื่อที่จะกำหนดระดับอิมพิแดนซ์ ของวงจร

ในการหาความสัมพันธ์เอาท์พุทของสัญญาณอนาลอก V ที่เอาท์พุทของออปแอมป์กับสัญญาณดิจิตอล ที่เป็นอินพุทจะสามารถหาได้จากสมการที่ 2

$$I_S = V_R(A_3/R_3 + A_3/R_2 + A_1/R_1 + A_0/R_0) \qquad (2)$$

จากสมการที่ (1) แทนในสมการที่ (2) จะได้

$$I_S = V_R R(2^3A_3 + 2^2A_3 + 2^1A_1 + 2^0A_0) \qquad (3)$$

เมื่อ A=1 ทำให้ S_1 ถูกต้องกับ V_R และถ้า A_1 =0 สวิตช์ S_1 จะต่อกับกราวน์ สมการ(3)จะแสดงให้เห็นว่า ค่าที่ได้ของ I จะเป็นอัตราส่วนโดยตรงกับจำนวนไบนารี่ $A_3A_2A_1A_0$ ตัวอย่างเช่น ถ้าอินพุท $A_3A_2A_1A_0$ =1111 จะได้ I_S = 15V /R ขณะที่ถ้า $A_3A_2A_1A_0$ =0110 จะได้ I_S =6Vs/R ดังนั้นแรงดันเอาท์พุท Vo จะได้

$$V_O = I_F R_F = -I_F R_F = R_F V_R/R(2^3A_3 + 2^2A_3 + 2^1A_1 + 2^0A_0) \quad (4)$$

ดังนั้น จะเห็นว่าแรงดันเอาท์พุทจะเป็นสัดส่วนโดยตรงกับค่าตัวเลขของอินพุทที่เป็นเลขไบนารี่

2.11.2 วงจรแปลงสัญญาณ D/A แบบ R-2R Ladder

วงจรแปลงสัญญาณ D/A แบบ R-2R Ladder แสดงในรูปที่2.24 จึงไม่ต้องการความกว้างของย่านความต้านทานมากนัก วงจรนี้จะใช้ค่าความต้านทานเพียง 2 ค่าเท่านั้น คือ R กับ 2R ซึ่งเป็นข้อดีของวงจรระบบนี้ ทำให้สามารถสร้างความต้านทานให้อยู่ในโครงสร้างสำเร็จได้ดังรูปที่ 2.24

เราสามารถอธิบายการทำงานของวงจรได้ดังนี้คือ ในรูปที่ 2 ถ้าให้สวิตช์ทั้งหมดต่อกับกราวน์ ยกเว้นสวิตช์ S_0 จากทฤษฎีของเทวินิน จะได้วงจรดังแสดงในรูปที่ 4 ซึ่งความต้านทานเทวินินได้จะมีค่า 3R ส่วนแรงดันเทวินินจะได้ V_R /16 แต่หากสวิตช์ S_1 ต่อกับ V_R ส่วนสวิตช์ต่อลงกราวน์ เราก็จะได้ความต้านทานเทวินินมีค่า 3R เช่นกัน ส่วนแรงดันเทวินินจะได้ $V_R/8$ และเมื่อเปลี่ยนเป็นสวิตช์ S_2 หรือ S_2 ต่อกับ V_R บ้างก็จะได้ความต้านทานเทวินินเท่ากับ 3R ส่วนแรงดันเทวินินจะมีค่า $V_R/4$ และ $V_R/2$ ตามลำดับดังนี้ เราสามารถสรุปได้ว่า V_O ของวงจรรูปที่ 2.24 จะมีค่าดังสมการ (5)

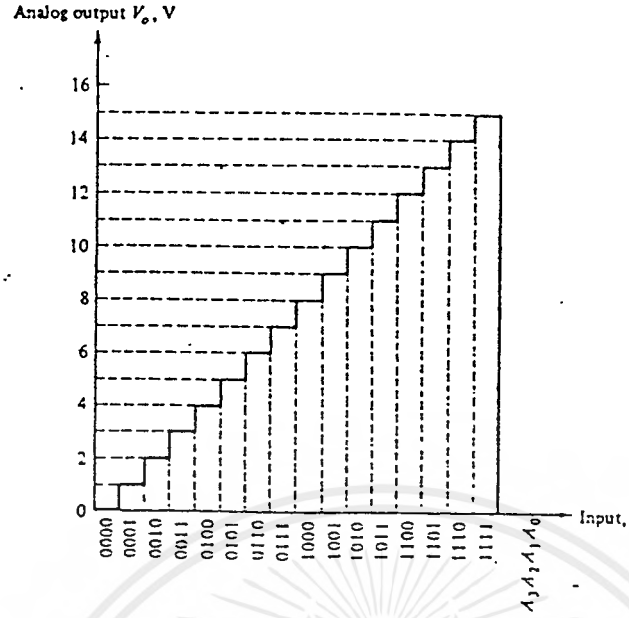
$$V_0 = -R_f V_R /3R (S_3/2^1 + S_2/2^2 + S_1/2^3 + S_0/2^4) \qquad (5)$$

หรือ

$$V_0 = -R_f V_R /48R (2^3S_3 + 2^2 S_2 + 2^1S_1 + 2^0S_0) \qquad (6)$$

ความละเอียดและความเที่ยงตรงของวงจรกำหนดโดยการเปลี่ยนแปลงที่น้อยที่สุดของแรงดันเมื่อจำนวนบิทของเลขไบนารี่เปลี่ยนไป ตัวอย่างเช่น เมื่อใช้สัญญาณดิจิตอล 4 บิทจะได้ LSB มีค่า 1/16 หมายความว่า ค่าที่เพิ่มขึ้นน้อยที่สุดคือ 1/16 ของแรงดันอ้างอิง V_R สมมติให้ V_R =16V และ R_f=3R LSB จะมีค่า 1/16 ซึ่งหนึ่งหน่วยจะทำให้แรงดันเอาท์พุทเปลี่ยนไปทีละ 1 โวลต์ ถ้าสวิตช์ต่อกับตัวนับ 4 บิทนับตั้งแต่ 0-15 (0000-1111) เอาท์พุทของวงจรแปลงสัญญาณจะเปลี่ยนไป ดังรูปที่ 5 ซึ่งสามารถคำนวณเปอร์เซ็นต์ของความละเอียดได้ดังนี้คือ (1/16)(100) = 6.25 เปอร์เซ็นต์ ถ้าหากเราต้องการความละเอียดมากขึ้นจะต้องเพิ่มจำนวนบิทให้มากขึ้น เช่น เราใช้จำนวนสัญญาณดิจิตอลเท่ากับ 10 บิท จะทำให้ความละเอียดดีขึ้นโดยเปอร์เซ็นต์ของความละเอียดเท่ากับ (1/1024)(100) ประมาณ 0.1 เปอร์เซ็นต์ ถ้าวงจรแปลงชนิดนี้ให้ V_R = 16V ความละเอียดของแรงดันจะมีค่าประมาณ 16 mv

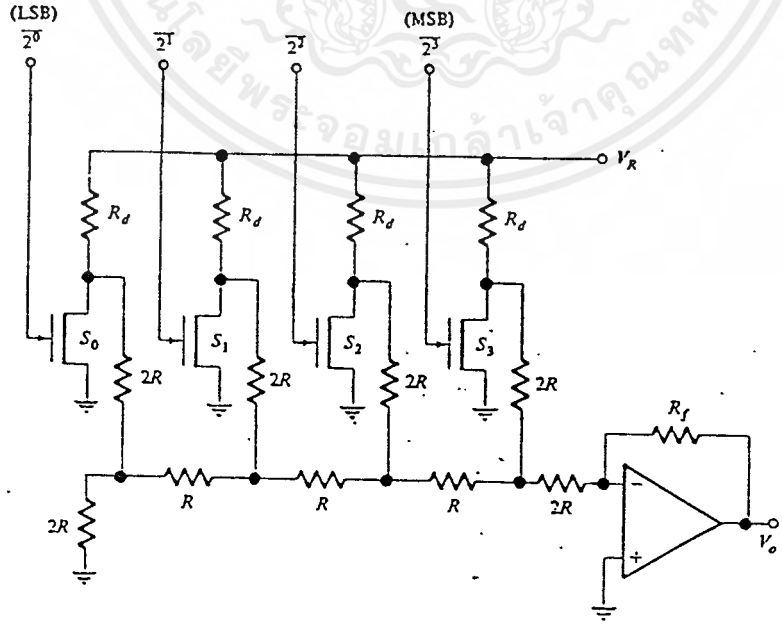
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 แสดงความสัมพันธ์ระหว่างสัญญาณดิจิตอลกับสัญญาณอนาลอก

สำหรับคุณสมบัติอีกอย่างหนึ่งของวงจร D/A Converter คือความแน่นอนของการแปลงสัญญาณ ซึ่งขึ้นอยู่กับความแตกต่างระหว่างแรงดันอนาลอกจริงกับเอาท์พุทที่ได้กล่าวมาแล้ว โดยเกิดขึ้นเนื่องจากความแน่นอนของค่าความต้านทานใน ladder และแรงดันอ้างอิง

ในทางปฏิบัติเราใช้ BJT หรือ FET มาทำหน้าที่เป็นสวิตช์อิเล็กทรอนิกส์ ดังแสดงดังรูปที่ 2.25 ซึ่งเป็นวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกที่ใช้ FET ทำหน้าที่เป็นสวิตช์อิเล็กทรอนิกส์



รูปที่ 2.25 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกด้วย FET สวิตช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.12 การเข้ารหัส

2.12.1) บล็อคโค๊ดเชิงเส้น (Linear Block Code)

ถ้าสมมติว่าข่าวสารที่ส่งออกมาจากต้นกำเนิดอยู่ในรหัสของเลขฐานสอง คือเป็นชุดรหัสของเลขฐานสอง (Sequence of binary digits) กระบวนการเข้ารหัสจะประกอบด้วยขั้นตอนพื้นฐาน 2 ขั้นตอน คือ

1. แบ่งชุดลำดับของสัญญาณออกเป็นบล็อคข่าวสาร (Message block) ต่างๆ แต่ละบล็อคประกอบด้วยรหัสข่าวสารอยู่ k บิท

2 ทำการเข้ารหัสโดยการแปลงชุดลำดับของรหัสแต่ละบล็อคให้เป็นชุดลำดับของรหัสที่ยาวขึ้นกว่าเดิมเป็น n บิท (n>k)ซึ่งบล็อคของสัญญาณใหม่นี้เรียกว่า โค๊ดเวอด (Code word) เนื่องจากแต่ละบล็อคข่าวสารจะประกอบด้วยรหัส k บิท ดังนั้นจึงมีรหัสของข่าวสารที่แตกต่างกัน 2^k ชุดหรือพูดง่ายๆ ว่ามี 2^k โค๊ดเวอดที่แตกต่างกัน

2.12.2) ลักษณะของไซคลิคโค๊ด(Cyclic Code)

รหัสเชิงเส้น (n,k) ของ C นี้เรียกว่าไซคลิค โค๊ด ถ้ามีคุณสมบัติต่อไปนี้สำหรับ n-ทูเปิ้ลส์

$$V = (V_0, V_1, V_2, \ldots, V_{N-1}) \qquad (1)$$

เป็นโค๊ดเวคเตอร์ของ C เมื่อ n-ทูเปิ้ลส์

$$V^{(I)} = (V_{n-1}, V_0, V_2, \ldots\ldots, V_{N-2})$$

ซึ่ง $V^{(I)}$ คือรหัสที่เกิดจากการเลื่อนเป็นวงกลมของVไปทางด้านขวาหนึ่งหลักโดยที่ $V^{(I)}$ ยังคงเป็นเวคเตอร์ของ C จากคำนิยามสามารถเขียนใหม่ได้เป็น

$$V(I) = (V_{n-I}, V_{n-I+1}, \ldots V_{n-1}, V_0, V_1 \ldots V_{n-I-1}) \qquad (2)$$

รหัสของสมการที่ (2) ได้จาการเลื่อนโค๊ดเวคเตอร์ V เป็นวงกลมไปทางด้านขวามือ I ตำแหน่งโดยที่เลื่อนไปแล้วยังเป็นเวคเตอร์อีกรหัสในโค๊ดเวกเตอร์แบบนี้สามารถเขียนให้อยู่ในรูปแบบสัมประสิทธิ์ของโพลิโนเมียลคือ

$$V = (V_0, V_1, V_2, \ldots, V_{n-1})$$

$$V(x) = V_0 + V_1X + V_2X^2 + \ldots + V_{n-1}X^{n-1} \qquad (3)$$

ดังนั้นแต่ละโค๊ดเวคเตอร์จะสอดคล้องแบบหนึ่งต่อหนึ่งโพลิโนเมียล ของอันดับหรือดีกรีที่ n-1 หรือต่ำกว่า ถ้า หาก $V_{n-1} \neq 0$ V(x) จะมีขนาดของอันดับเท่ากับ n-1 แต่ถ้า $V_{n-1}=0$ แล้วขนาดของ V(x) จะต่ำกว่า n-1 เรียก V(x) ว่าโค๊ดโพลิโนเมียลที่สอดคล้องกับโค๊ดเวคเตอร์ $V^{(I)}$ คือ

$$V^{(I)}(x) = V_{n-I} + V_{n-I+1} + \ldots\ldots + V_{n-1}X^{I-1} + V_0X^I + V_1X^{I+1} + \ldots + V_{n-I-1}X^{n-1} \qquad (4)$$

$V^{(I)}(x)$ สามารถเขียนง่ายๆในลักษณะของเศษที่เหลือจากการหาร X^n V(x) ด้วย $X+1$ นั้นคือ

$$X^IV(x) = Q(x)(X^n+1) + V^{(I)}(x) \qquad (5)$$

จะเห็นได้ชัดว่า $V^{(I)}(x) = X^IV(x)$ ถ้าอันดับของ X^I V(x) เป็น n-1 หรือต่ำกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากโพลิโนเมียลที่ใช้แทนโค๊ดเวคเตอร์จะทำให้สามารถพัฒนาคุณสมบัติที่สำคัญบางอย่างของไซคลิคโค๊ดเพื่อให้ง่ายในการระบบการเข้ารหัสและการคำนวณค่าซินโดรม โดยจะเริ่มจากคุณสมบัติทางทฤษฎีพื้นฐานต่าง ๆ ใน (n,k) ไซคลิคโค๊ดจะมีเพียงโค๊ดโพลิโนเมียลเดียวที่ให้ g(x) มีขนาดอันดับเป็น n-k โดยที่

$$g(x) = 1+ g_1 (x)+g_2 (x)^2+.....+g_{n-k-1} (x)^{n-k-1}+(x)^{n-k} \qquad (6)$$

ทุกโค๊ดโพลิโนเมียล V(x) ที่ถูกคูณด้วย g(x) และทุกๆโพลิโนเมียลที่ขนาดของอันดับเท่ากับหรือต่ำกว่า n-1เมื่อคูณด้วย g(x) แล้วจะต้องเป็นโค๊ดโพลิโนเมียล

$$V(x) = m(x)\, g(x)$$
$$= (m_0+ m_1x+ m_2 x^2 +.....+m_{k-1} x^{k-1})\, g(x) \qquad (7)$$

ถ้าสัมประสิทธิ์ของ m(x) คือ $(m_0 ,m_1 ,m_2 ,...,m_{k-1})$ เป็นรหัสของข่าวสารที่ต้องการเข้ารหัสซึ่ง m(x) เป็นโค๊ดโพลิโนเมียล การเข้ารหัสของข่าวสาร m(x) คือการคูณรหัสข่าวสาร m(x) ด้วย g(x) ดังนั้น (n,k) cyclic code ถูกทำให้สมบูรณ์โดยโพลิโนเมียลของ g(x) ของสมการที่ (6) g(x) นี้เรียกกันว่าเจนเนอเรเตอร์โพลิโนเมียล (Generator Polynomial) ของไซคลิคโค๊ด ขนาดของอันดับเป็น n-k ของ g(x) นี้เท่ากับจำนวนบิทของพาริตี้รหัส g(x) เป็น เจนเนอเรเตอร์โพลิโนเมียลของ (n,k) ไซคลิคโค๊ดซึ่งเป็นแฟคเตอร์ของ x^n+1 นั้นคือ

$$x^n+1 = g(x)\, h(x) \qquad (8)$$

ให้ g(x) เป็นเจนเนอเรเตอร์โพลิโนเมียลของ (n,k) ไซคลิคโค๊ดรหัสนี้สามารถทำให้อยู่ในรูปแบบระบบได้นั้นคือ k บิทหลักแรกของแต่ละโค๊ดจะเป็นรหัสของข่าวสารและ (n,k) บิทหลังจะเป็นพาริตี้ สมมติว่ารหัสของข่าวสาร k บิทถูกเข้ารหัสเป็น

$$m = (m_0,m_1,m_2,.....,m_{k-1})$$

ถ้าคูณ m(x) ด้วย x^{n-k} จะได้

$$x^{n-k}m(x) = m_0 x^{n-k} + m_1 x^{n-k-1} +.....+m_{k-1} x^{n-1}$$

หาร $x^{n-k}m(x)$ ด้วย g(x) จะได้

$$x^{n-k} m(x) = q(x)\, g(x) + r(x) \qquad (9)$$

โดยที่ q(x) เป็นผลหารและ r(x) เป็นเศษที่เหลือ เนื่องจากเจนเนอเรเตอร์โพลิโนเมียล g(x) มีขนาดอันดับเป็น n-k ดังนั้น r(x) จะมีอันดับที่เหลือคือ n-k-1 หรือต่ำกว่า

$$r(x) = r_0 + r_1 x+ r_2 x^2 +.....+r_{n-k-1} x^{n-k-1} \qquad (10)$$

จากสมการที่ (9) สามารถจัดใหม่ได้เป็น

$$r(x) +x^{n-k} m(x) = q(x)\, g(x) \qquad (11)$$

แสดงว่า $r(x) +x^{n-k} m(x)$ เป็นผลคูณที่ได้จาก g(x)โดยจะมีขนาดดีกรีเท่ากับ หรือต่ำกว่า n-1 ดังนั้น $r(x) +x^{n-k} m(x)$ เป็นโค๊ดโพลิโนเมียลของไซคลิคโค๊ดที่ได้จาก g(x) เขียนได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$r(x)+x^{n-k}m(x) = r_0+r_1x+.....+r_{n-k-1}x^{n-k-1}+m_0x^{n-k}+m_1x^{n-k+1}+.....+m_{k-1}x^{n-1} \quad (12)$$

ที่สอดคล้องกับโค๊ดเวอดของสมการข้างล่าง

$$(r_0, r_1, r_2, ..., r_{n-k-1}, m_0, m_1, ..., m_{k-1})$$

รหัสแก้ไข	รหัสข้อมูล

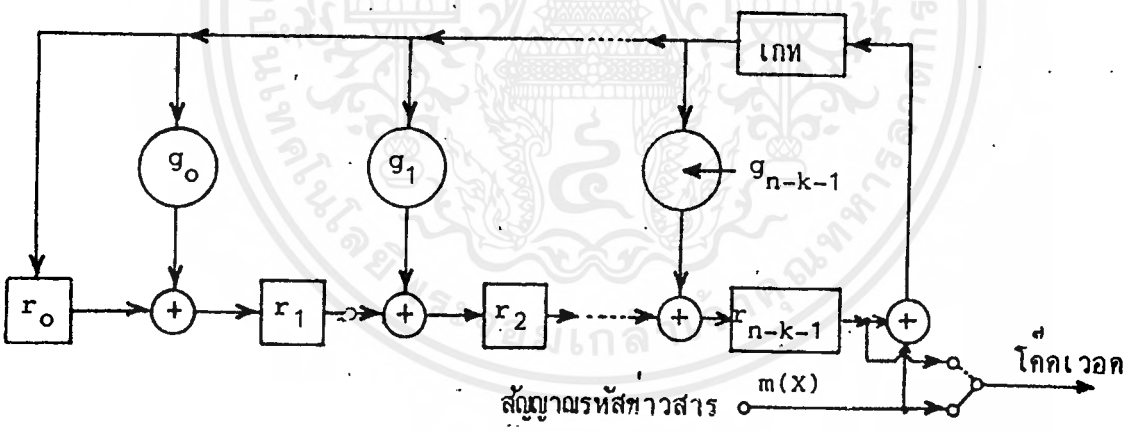
ดังนั้นโค๊ดเวอดประกอบด้วยรหัสข่าวสาร k บิทที่อยู่หลัง พาริตี้บิท n-k หลัก แต่ไซคลิคโค๊ดสัญญลักษณ์ n-k บิทแรกเป็นสัมประสิทธิ์ของ 1, x, x^2,..., x^{n-k-1} จะเป็นกลุ่มของพารุิตี้และ k บิทหลังเป็นสัมประสิทธิ์ของ x^{n-k}, x^{n-k+1},.....,x^{n-1} จะเป็นข้อมูลข่าวสาร ดังนั้นเราก็สามารถทำให้ไซคลิคโค๊ดอยู่ในรหัสระบบได้

2.13 การเข้ารหัสด้วยชิฟท์รีจีสเตอร์ n-k ตัว

จากสมการที่ (12) จะเห็นได้ชัดว่าการเข้ารหัสของข่าวสาร m(x) ที่มี k บิทจะคล้ายกับการคำนวนหาส่วนที่เป็นพาริตี้ r(x) ซึ่งเป็นเศษที่เหลือจากการหาร $x^{n-k}m(x)$ ด้วย เจนเนอเรเตอร์โพลิโนเมียล g(x) วงจรหารได้จากการใช้ชิฟท์รีจีสเตอร์ที่มีการป้อนกลับโดยจะสัมพันธ์กับเจนเนอเรเตอร์โพลิโนเมียลของ

$$g(x) = 1+g_1(x)+g_2(x)^2+...+g_{n-k-1}(x)^{n-k-1}+(x)^{n-k} \quad (13)$$

ดังนั้นวงจรเข้ารหัสของชิฟท์รีจีสเตอร์ขนาด (n-k) ตัวดังแสดงไว้ในรูป



รูปที่ 2.26 วงจรเข้ารหัสโดยใช้เจนเนอเรเตอร์โพลิโนเมียล g(x)

กระบวนการเข้ารหัสทำได้โดย

ขั้นที่ 1 เมื่อเกท (Gate) ทำงาน รหัสข่าวสาร k ที่ให้เป็น

$$m(x) = m_0+m_1x+...+m_{k-1}x^{k-1} \quad (14)$$

รหัสข่าวสารจะถูกป้อนเข้าที่ชิฟท์รีจีสเตอร์พร้อมๆกับการป้อนผ่านเข้าไปที่ช่องการสื่อสาร ทันทีที่ข่าวสาร k บิทถูกป้อนเข้าที่ชิฟท์รีจีสเตอร์ก็จะได้พาริตี้ n-k บิท

ขั้นที่ 2 ตัดการป้อนกลับโดยหยุดการทำงานของเกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นที่3 รหัสที่อยู่ในชิฟท์รีจีสเตอร์ถูกเลื่อนออกและถูกส่งเข้าไปในช่องสัญญาณพาริตี้ ขนาด n-k บิทจะเป็นสัมประสิทธ์ของ $r(x)= r_0 + r_1x + r_2x^2 +\ldots+r_{n-k-1} x^{n-k-1}$ พร้อมด้วยรหัสข่าวสาร k บิท ใน $x^{n-k} m(x)$ ซึ่งจะสร้างเป็นโค๊ดเวอด $v(x) = r(x) + x^{n-k} m(x)$

การเข้ารหัสด้วยชิฟท์รีจีสเตอร์ k ตัว

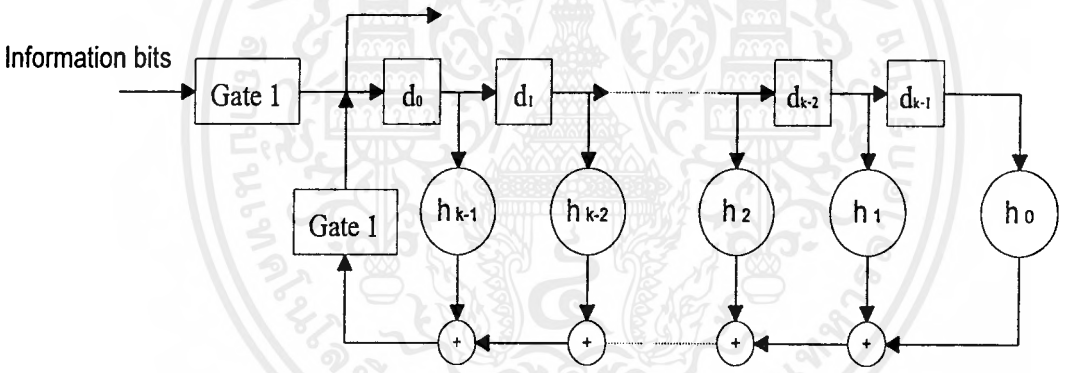
ดังแสดงให้เห็นแล้วถึงการสร้างไซคลิคโค๊ดที่สมบูรณ์ โดยการใช้เจนเนอเรเตอร์โพลิโนเมียล g(x) ซึ่งเป็นแฟคเตอร์ของ x^n+1 ให้ $x^n+1 = g(x)\ h(x)$

โดยที่ $h(x) = h_0+ h_1 x + h_2 x^2 +\ldots\ldots+h_k x^k$

เมื่อ $h_l = h_k = 1$ ซึ่งสามารถแสดงให้เห็นได้ว่า (n,k) ไซคลิคโค๊ดสามารถสร้างได้ด้วยการใช้ h(x) และจะได้ว่า(n,k) ไซคลิคโค๊ดจะให้ $h(x) = (x^n+1) / g(x)$ เป็นพาริตี้โพลิโนเมียลและสมการในการเข้ารหัสที่ได้จากโค๊ดโพลิโนเมียล

$$v_{n-k-j} = \sum_{i=0}^{k-1} h_i v_{n-i-j} \quad ; \ 1 \le j \le n\text{-}k \qquad (15)$$

วงจรในการเข้ารหัสแสดงในรูปที่ 2.26



รูปที่ 2.27 วงจรเข้ารหัสโดยใช้พาริตี้เช็คโพลิโนเมียล h(x)

กระบวนการเข้ารหัสทำได้โดย

ขั้นที่ 1 ให้เกทที่ 1 ทำงานและเกทที่ 2 ไม่ทำงาน รหัสข่าวสาร k จะถูกป้อนเข้าช่องสัญญาณเป็นลำดับตาม $m(x) = m_0 + m_1x + \ldots+m_{k-1} x^{k-1}$ ขณะเดียวกันก็จะมีการเลื่อนรหัสเข้าที่ชิฟท์รีจีสเตอร์ต่างๆ

ขั้นที่ 2 ทันทีที่รหัสข่าวสาร k บิทอยู่ในชิฟท์รีจีสเตอร์เรียบร้อย เกทที่ 1 จะหยุดทำงานและเกทที่ 2 จะทำงาน

ขั้นที่ 3 เมื่อมีการเลื่อนข้อมูลในชิฟท์รีจีสเตอร์หนึ่งครั้ง บิทแรกของพาริตี้จะถูกส่งผ่านช่องส่งสัญญาณแล้งเลื่อนเข้าชิฟท์รีจีสเตอร์ตัวซ้ายสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นที่ 4 จะมีการเลื่อนรหัสดังในขั้นตอนที่ 3 ไปเรื่อยๆจนได้พาริตี้ครบ n-k บิทและทั้ง n-k บิทนี้ ก็จะถูกส่งออกไปในช่องสัญญาณ ดังนั้นเกทที่ 1 จะทำงานใหม่และเกทที่ 2 จะหยุดทำงาน รหัสข่าวสารชุดต่อไปจะถูกป้อนเข้าสู่กลุ่มชิฟท์รีจิสเตอร์ใหม่

2.14 การคำนวณหาค่าซินโดรมและการตรวจจับรหัสที่ผิด

เมื่อโค๊ดเวกเตอร์ถูกส่งออกไปในช่องสัญญาณที่มีสัญญาณรบกวน ดังนั้นเวกเตอร์ที่รับได้อาจจะไม่เหมือนกับโค๊ดเวกเตอร์ที่ส่ง หน้าที่ของตัวถอดรหัสคือพยายามหาให้ได้ว่าโค๊ดที่ส่งมาคืออะไร ถ้าให้เวกเตอร์ที่รับเข้ามาคือ

$$r(x) = r_0 + r_1 x + r_2 x^2 + \ldots + r_{n-1} x^{n-1}$$

เมื่อ $r_0, r_1, \ldots, r_{n-k-1}$ เป็นพาริตี้เช็คที่รับได้และ $r_{n-k}, \ldots, r_{n-1}$ เป็นรหัสของข่าวสารที่รับเข้ามา ตัวถอดรหัสจะทดสอบครั้งแรกว่าเวกเตอร์ที่รับเข้ามานั้นเป็นโค๊ดเวกเตอร์หรือเปล่า (ดูว่าการหารได้ลงตัวด้วยเจนเนอเรเตอร์โพลิโนเมียล g(X) หรือไม่) การทดสอบสามารถทำได้ง่ายๆ โดยการคำนวณหาซินโดรมของเวกเตอร์ที่รับเข้ามา ซินโดรม S ได้จากการผลบวกแบบโมดูโล-2 ของบิตของพาริตี้เช็คและพาริตี้เช็คคำนวณได้จากรหัสข่าวสารที่รับได้ จะได้ว่าซินโดรม S(x) คือเศษที่เหลือจากการหารเวกเตอร์ r(X) ด้วยเจนเนอเรเตอร์โพลิโนเมียล g(x)

$$r(x) = p(x)\, g(x) + s(x) \qquad (1)$$

เมื่อ s(X) เป็นโพลิโนเมียลที่มีขนาดอันดับเท่ากับหรือน้อยกว่า n-k-1 ซึ่งซินโดรมเป็น (n-k) –ทูเปิ้ลส์ ถ้าซินโดรมเป็นศูนย์หมายความว่าเวกเตอร์ที่รับเข้ามาได้นั้นหารด้วยเจนเนอเรเตอร์โพลิโนเมียลลงตัวและจะเป็นโค๊ดเวกเตอร์ โดยตัวถอดรหัสจะยอมรับว่าเวกเตอร์ที่รับได้เป็นโค๊ดเวกเตอร์ที่ส่งมา แต่ถ้าซินโดรมไม่เป็นศูนย์เวกเตอร์ที่รับได้ก็ไม่เป็นโค๊ดเวกเตอร์และจะมีการตรวจสอบหาบิตที่ผิด สมมติว่า v(x) เป็นโค๊ดเวกเตอร์ที่ส่งมา

$$r(x) = v(x) + e(x) \qquad (2)$$

เมื่อ e(x) เป็นรูปแบบของรหัสที่ผิดซึ่งเกิดจากการรบกวนในช่องส่งสัญญาณ เนื่องจาก v(x) เป็นโค๊ดโพลิโนเมียลที่ได้จากการคูณโพลิโนเมียลของข่าวสารกับเจนเนอเรเตอร์โพลิโนเมียล g(x)

$$v(x) = m(x)\, g(x) \qquad (3)$$

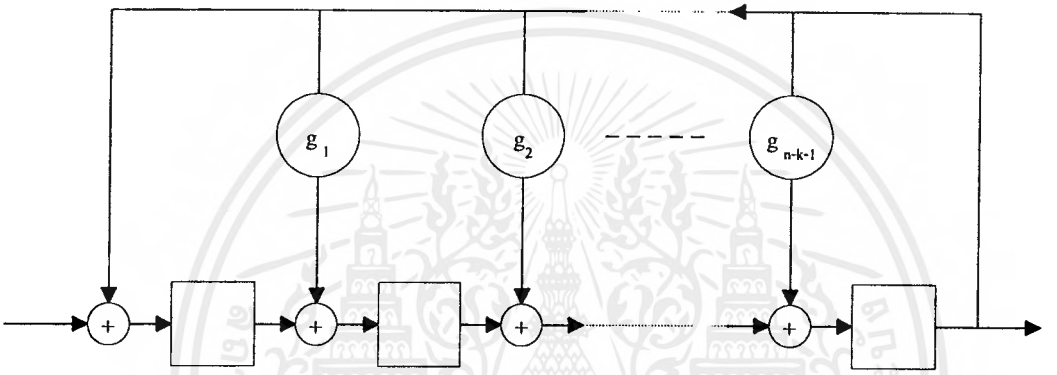
จากการรวมสมการที่ (1) (2) และ (3) เข้าด้วยกันจะได้

$$e(x) = [\, p(x) + m(x) \,]\, g(x) + s(x) \qquad (4)$$

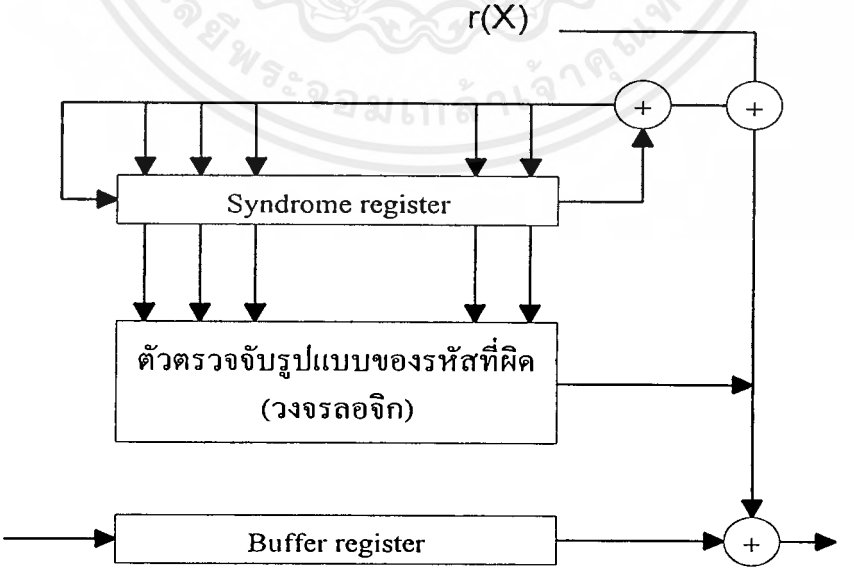
นั้นคือซินโดรมของ r(x) จะเท่ากับเศษที่เหลือของผลลัพธ์ จากการหารรูปแบบของรหัสที่ผิดด้วยเจนเนอเรเตอร์โพลิโนเมียล g(x) ของโค๊ด ดังนั้นซินโดรมของเวกเตอร์ที่รับได้ประกอบด้วยข้อมูลของรหัสที่ผิดซึ่งจะนำไปใช้ในการแก้ไข.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณค่าซินโดรมสามารถทำได้โดยการใช้วงจรซึ่งจะเหมือนกันทุกอย่างกับวงจรเข้ารหัสที่ตัวเครื่องส่ง ถ้าใช้วงจรรูปที่ 2.28 วงจรในการคำนวณหาค่าซินโดรมแสดงไว้ตามรูปที่ 2.28 โดยเวกเตอร์ที่รับเข้ามานั้นจะถูกป้อนและเลื่อนเข้าไปในรีจีสเตอร์ที่มีสถานะเริ่มต้นเป็น 0 หมด หลังจากที่ทุกบิตของเวกเตอร์ที่รับเข้ามาเลื่อนเข้าสู่ชิฟท์รีจีสเตอร์ ก็จะได้สัญญาณออกเป็นค่าซินโดรม. ถ้าใช้วงจรในรูปที่ 2.29 ทางด้านส่ง ดังนั้นวงจรที่ใช้คำนวณค่าซินโดรมคือวงจรตามรูปที่ 2.29 รหัสข่าวสารที่รับได้ครั้งแรกจะถูกป้อนเลื่อนเข้าในรีจีสเตอร์ (เกทที่ 1 จะทำงาน เกทที่ 2, 3, 4 จะไม่ทำงาน) หลังจากการเลื่อนไป k ครั้งเกทที่ 1 จะหยุดการทำงาน เกทที่ 2, 3, 4 จะเริ่มทำงาน ค่าซินโดรมได้จากการบวกแบบโมดูโล-2 ของการคำนวณพาริตี้เช็คและรหัสพาริตี้เช็คที่รับได้



รูปที่ 2.28 วงจรในการคำนวนหาค่าซินโดรม



รูปที่ 2.29 รูปแบบของวงจรถอดรหัสโดยทั่วไปของไซคลิคโค๊ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวถอดรหัสทั่วๆไปสำหรับไซคลิคโค๊ด (ตัวถอดรหัสแบบ Meggitt)

การถอดรหัสของรหัสเชิงเส้นประกอบด้วยขั้นตอนพื้นฐาน 3 ขั้นคือ

1. คำนวณหาค่าซินโดรมของเวกเตอร์ที่รับได้
2. ตรวจสอบรูปแบบของรหัสที่ผิดและสามารถที่จะแก้ไขได้ด้วยการใช้ค่าซินโดรมที่คำนวณได้ในขั้นตอนที่ 1.
3. แก้บิตที่ผิดด้วยการบวกแบบโมดูโล-2 ของเวกเตอร์ที่รับได้กับรูปแบบของรหัสที่ผิดที่ได้จากขั้นตอนที่ 2.

วงจรถอดรหัสทั่วๆ ไปของ (n,k) ไซคลิคโค๊ดที่แสดงไว้ตามรูปที่ 3.จะประกอบด้วยส่วนสำคัญ 3 ส่วนคือ

1. รีจีสเตอร์ของซินโดรม
2. วงจรตรวจจับรูปแบบของรหัสที่ผิด
3. รีจีสเตอร์ที่ใช้เป็นบัฟเฟอร์

กระบวนการแก้รหัสที่ผิดทำได้โดย

ขั้นที่ 1 ซินโดรมที่ได้จากการเลื่อนเวกเตอร์ที่รับเข้ามาเพื่อป้อนเข้าสู่รีจีสเตอร์ของซินโดรม และในเวลาเดียวกันเวกเตอร์ที่รับได้จะถูกเก็บไว้ในบัฟเฟอร์

ขั้นที่ 2 ค่าซินโดรมจะถูกอ่านเข้าไปเก็บไว้ในตัวตรวจจับและจะถูกตรวจสอบเพื่อให้สอดคล้องกับรูปแบบของรหัสที่ผิด ตัวตรวจจับประกอบด้วยวงจรลอจิกซึ่งถูกออกแบบให้ได้สัญญาณเป็น 1 ถ้าและเพียงแต่ถ้าซินโดรมในรีจีสเตอร์สอดคล้องกับรูปแบบของรหัสที่ผิด ที่ตรวจแก้ได้โดยมีรหัสที่ผิดเพียงบิตเดียว ณ ตำแหน่งอันดับสูงสุดที่ x^n นั้นคือถ้าได้ 1 ปรากฏที่จุดสัญญาณออกของตัวตรวจจับ สัญลักษณ์ (บิต) ที่รับได้ทางด้านขวาสุดของบัฟเฟอร์จะถือว่าเกิดผิดและจะต้องทำการแก้ไข แต่ถ้าปรากฏเป็น0ที่จุดสัญญาณออกของตัวตรวจจับก็หมายความว่าสัญลักษณ์ที่รับได้ในรีจีสเตอร์ตัวขวาสุดของบัฟเฟอร์ นี้ถูกต้องไม่จำเป็นต้องแก้ไข ดังนั้นที่จุดสัญญาณออกของตัวตรวจจับจะประมาณรหัสที่ผิดที่ออกจากบัฟเฟอร์.

ขั้นที่ 3 สัญลักษณ์ตัวแรกที่รับได้จะถูกอ่านออกจากบัฟเฟอร์ ในเวลาเดียวกันจะเกิดการเลื่อนหนึ่งครั้งในซินโดรมรีจีสเตอร์ ถ้าสัญลักษณ์ตัวแรกที่รับได้ถูกตรวจพบว่ามีความคลาดเคลื่อนซึ่งจะถูกแก้ไขให้เรียบร้อยที่จุดสัญญาณออกของตัวตรวจจับ สัญญาณออกของตัวตรวจจับจะถูกป้อนกลับมาที่ซินโดรมรีจีสเตอร์เพื่อที่จะใช้ปรับปรุงซินโดรม ผลจะให้ซินโดรมใหม่สอดคล้องกับการเปลี่ยนแปลงของเวกเตอร์ที่รับเข้ามาและจะมีการเลื่อนไปทางขวามือหนึ่งตำแหน่ง

ขั้นที่ 4 ซินโดรมใหม่ที่ได้จากขั้นตอนที่ 3 จะถูกใช้ในการตรวจจับบิตที่ผิด ไม่ว่าสัญลักษณ์ตัวที่สองที่ได้มาจะผิดหรือไม่ ตัวถอดรหัสจะทำงานซ้ำตามขั้นตอนที่ 2 และ 3 สัญลักษณ์ตัวที่สองก็จะได้รับการตรวจแก้ด้วยวิธีเดียวกันกับการแก้สัญลักษณ์ตัวแรก

ขั้นที่ 5 ตัวถอดรหัสจะถอดรหัสของเวกเตอร์ที่รับได้ที่ละสัญลักษณ์หรือที่ละบิตจนกว่าเวกเตอร์ที่รับได้จะถูกอ่านออกจากบัฟเฟอร์จนหมด

หลังจากที่เวกเตอร์ถูกอ่านออกจากบัฟเฟอร์จนหมดทุกบิต บิตที่ผิดจะถูกแก้ถ้ารหัสที่ผิดตรงกับรูปแบบของรหัสที่ผิด ที่ถูกสร้างขึ้นในตัวตรวจจับ และจะให้ซินโดรมรีจีสเตอร์เป็น 0 ทั้งหมด ถ้าหาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซินโดรมรีจีสเตอร์ไม่เป็น 0 หมด ตอนท้ายสุดของกระบวนการจะสามารถตรวจพบการไม่สามารถแก้รหัสที่ผิดนั้น.

2.14.1) MAJORITY-LOGIC DECODABLE CODES

Majority-logic decode เป็นส่วนหนึ่งของการศึกษาไซคลิกโค๊ด แต่ว่าจะมีขนาดน้อยกว่ารหัสแบบ BCH codes และมีการสร้างเป็นวงจรได้ง่ายสามารถที่จะแก้ทุกกรณีที่เกิดผิดพลาดได้แบบสุ่ม (Random Error) เมื่อเทียบกับ BCH codes จะมีความสามารถที่น้อยกว่าในด้านประสิทธิภาพและความยางของข้อมูล Majority codes สามารถที่จะถอดรหัสที่เป็นรหัสไซคลิกและรหัสไซคลิกแบบขยาย (Extended Cyclic Codes) ในการสร้างเป็นวงจรนั้นจะมีลักษณะแบบเดียวกับ Megitt decoder โดยที่จะมี Majority gate เพื่อใช้ในการตรวจสอบค่าซินโดรม (Syndrome) ของข้อมูลที่รับเข้ามา.

ก่อนอื่นจะขอกล่างถึง Parity-Check Sums, (n,k) ไซคลิกโค๊ด ที่มีพาริตี้เช็คแมตทริก (Parity-Check Matrix) H โดยที่มีความสัมพันธ์คือ $C.H^T = 0$ เราจะแทนโค๊ดเวกเตอร์ด้วย

$$c = (c_0, c_1, \ldots, c_{n-2}, c_{n-1})$$

และ $h = (h_0, h_1, \ldots, h_{n-2}, h_{n-1})$

ดังนั้นจะได้ว่า

$$h.c = h_0c_0 + h_1c_1 + \ldots + h_{n-2}c_{n-2} + h_{n-1}c_{n-1} = 0 \qquad (1)$$

ถ้า C' เป็นข้อมูลที่ไม่ใช้โค๊ดเวอร์ด

$$h.c' = h_0c'_0 + h_1c'_1 + \ldots + h_{n-1}c'_{n-1} \qquad (2)$$

สมมติว่า $r = (r_0, r_1, \ldots, r_{n-2}, r_{n-1})$ เป็นเวอร์ดของข้อมูลที่รับได้ เมื่อข้อมูลที่ส่งมาจากด้านส่งเป็น $c = (c_0, c_1, \ldots, c_{n-2}, c_{n-1})$ ถ้า $r \neq c$ จะได้ว่า $r = c + e$ โดยที่ r จะมีองค์ประกอบของค่าบิตที่มีความผิดพลาด $e = (e_0, e_1, \ldots, e_{n-2}, e_{n-1})$ ดังนั้นสมการที่ (1) จะได้เป็น

$$h.r = h (c + e) = h.c$$

ดังนั้นค่า Parity Check Sums จะแทนด้วยสัญลักษณ์ ξ และแทนด้วยสมการ

$$= h.e = h_0e_0 + h_1e_1 + \ldots + h_{n-1}e_{n-1} \qquad (3)$$

โดยที่ค่าผิดพลาดที่ตำแหน่ง e_{n-1} จะถูกตรวจสอบด้วยค่า Parity Check Sums ถ้าค่าสัมประสิทธิ์ $h_{n-1} = 1$ ถ้าเซตของ Parity Check Sums มีค่าของตัวเลขของข้อมูล จะได้ค่าตำแหน่งที่ผิดพลาดเป็น e_{n-1} สามารถที่จะสร้างเซตของ Parity check sums ที่มีค่าตำแหน่งที่ผิดพลาด e_{n-1} ในรูปแบบที่ผิดพลาดนั้นได้.

2.14.2) ONE -STEP MAJORITY-LOGIC DECODING

การประมาณค่าความผิดพลาดในตำแหน่ง e_{n-1} และการถอดรหัสจากค่าที่รับได้ r_{n-1} เราสามารถที่ จะรับประกันได้ถ้าว่าสามารถที่จะสร้าง J –parity check sums ที่อยู่บนค่าผิดพลาดที่ตำแหน่ง e_{n-1} ได้โดยที่ค่าผิดพลาดน้อยกว่าหรือเท่ากับ J/2 นั้นจะสามารถที่จะสร้างตัวแก้รหัสผิดพลาดด้วย majority-logic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

decoding เพียงระดับเดียวได้. ดังนั้นถ้าได้ค่า Minimum distance (d_{min}) เราสามารถที่จะสร้างตัวถอดรหัสแบบ majority-logic decoding เพียงระดับเดียวได้โดยมีค่า $J = d_{min} - 1$ ในทุกตัวของข้อมูลที่ผิด

ค่า Parity-check sumsสามารถที่จะสร้างได้จากค่าซินโดรมของข้อมูลที่ได้รับมาโดยที่ค่าซินโดรมจะเท่ากับ

$$s = (s_0 , s_1 \ s_2 , \ldots\ldots, s_{n-k-1}) = e.H^T \qquad (4)$$

เนื่องจาก $C.H^T=0$ ดังนั้นค่าซินโดรมที่ตำแหน่ง i จะเท่ากับ $S_i = e_i . h_i \ 0 \leq I \leq n-k-1$

Parity -check matrix H ของ (n,k) ไซคลิกโค๊ด

$$H = [I_{n-k} \vdots P_{(n-k)\times k}]$$

$$= \begin{bmatrix} h_0 \\ h_1 \\ \vdots \\ h_{n-k-1} \end{bmatrix} = \begin{bmatrix} 1\ 0\ 0 \ldots . 0 & h_{0,0} & h_{0,1} & \ldots\ldots\ldots & h_{0,k-1} \\ 0\ 1\ 0 \ldots . 0 & h_{1,0} & h_{1,1} & \ldots\ldots\ldots & h_{1,k-1} \\ \vdots & & \vdots & & \vdots \\ 0\ 0\ 0 \ldots . 1 & h_{n-k-1,0} & h_{n-k-1,1} & \ldots\ldots\ldots & h_{n-k-1,k-1} \end{bmatrix}$$

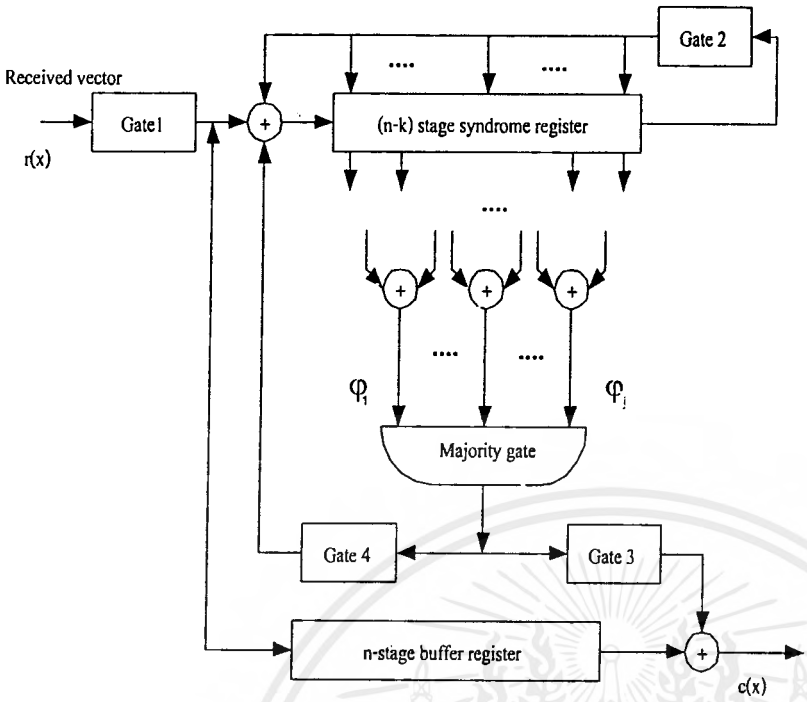
จากสมการ (4) สามารถที่จะสร้างค่าซินโดรม

$$s = (e_0 , e_1 , e_2 , \ldots\ldots, e_{n-1}). \begin{bmatrix} 1 & 0 & 0 & \cdots & 0 \\ 0 & 1 & 0 & \cdots & 0 \\ \vdots & \vdots & \vdots & & \vdots \\ 0 & 0 & 0 & \cdots & 1 \\ h_{0,0} & h_{1,0} & h_{2,0} & \cdots & h_{n-k-1,0} \\ h_{0,1} & h_{1,1} & h_{2,1} & \cdots & h_{n-k-1,2} \\ \vdots & \vdots & \vdots & & \vdots \\ h_{0,k-1} & h_{1,k-1} & h_{2,k-1} & \cdots & h_{n-k-1,k-1} \end{bmatrix}$$

ซึ่งค่าซินโดรมที่ได้จากข้อมูลที่รับได้ที่เกิดผิดพลาดจะได้ตามสมการ

$$\begin{aligned} s_0 &= e_0 + h_{0,0}e_{n-k} + h_{0,1}e_{n-k+1} + \ldots\ldots + h_{0,k-1}e_{n-1} \\ s_1 &= e_1 + h_{1,0}e_{n-k} + h_{1,1}e_{n-k+1} + \ldots\ldots + h_{1,k-1}e_{n-1} \\ &\vdots \\ s_{n-k-1} &= e_{n-k-1} + h_{n-k-1,0}e_{n-k} + h_{n-k-1,1}e_{n-k+1} + \ldots\ldots + h_{n-k-1,k-1}e_{n-1} \end{aligned} \qquad (5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.30 วงจรถอดรหัสแบบมาเจอริทึ้ลอจิกระดับเดียวแบบที่ 1

ค่า h_{ij} ในสมการที่ (5) จะมีค่า 0 หรือ 1 ซึ่งจะได้ค่า Parity check sums ดังนี้

$$\xi_j = a_{j,0}s_0 + a_{j,1}s_1 + \ldots\ldots + a_{j,n-k-1}s_{n-k-1} \qquad (6)$$

ค่า Parity check sums เหล่านี้เป็นการบวกแบบลีเนียร์ของค่าซินโดรม ที่มีสัมประสิทธิ์เป็น a_{ij} ที่มีค่าเป็น 0 หรือ 1 .เราสามารถที่จะสร้างตัววงจรถอดรหัสแบบ Majority decoding ระดับเดียวแบบที่ I ได้โดยอาศัยสมการที่ (6) ที่แสดงตามรูปที่ 1. ในการสร้างวงจรถอดรหัสแบบ Majority Decoding ระดับเดียวแบบที่ I จะต้องเข้าใจทฤษฎีต่อไปนี้

ให้ S(x) เป็นค่าซินโดรม ของโพลิโนเมียลของ r(x) ข้อมูลที่รับได้ ดังนั้นจะได้

$$x[r(x) + x^{n-1}] = [q(x) + h(x)]\, g(x) + [s^{(1)}(x) + 1] \qquad (7)$$

จะได้ว่า $S^{(1)}(x)+1$ เป็นค่าเศษของการหาร $xr(x) + x^n$ ด้วย g(x)

เทอม $xr(x) + x^n$ จะมีค่า $r^{(1)}(x)$ เลื่อนเป็นวงกลมภายในบัฟเฟอร์รีจีสเตอร์ 1 ตำแหน่งไปทางขวา ซึ่งจะทำให้ค่าแรกที่ได้รับเข้า ถูกอ่านออกจากบัฟเฟอร์ ค่า J –Parity check sums ของค่าตำแหน่งที่ผิด e_{n-1} จะได้จากการรวมค่าของซินโดรม แล้วจะส่งเข้าเป็นอินพุทที่ Majority gate ถ้าค่าซินโดรมของ r(x) ที่มีรูปแบบที่ผิดเป็น $e = e_0 + e_1x + \ldots + e_{n-1}x^{n-1}$ ที่ตำแหน่งที่ผิดขวาสุด $e_{n-1}=1$ แสดงว่าค่า r_{n-1} ที่รับเข้ามาเกิดผิดพลาดและจะถูกแก้ไขโดยเอาค่า r_{n-1} มา exclusive –OR กับ e_{n-1} ดังนั้นการเลื่อนค่าซินโดรมในบัฟเฟอร์รีจีสเตอร์จะมีผลให้ $r^{(1)}(x) = x\, r(x)$ เป็นการสร้างค่าซินโดรมใหม่ในรีจีสเตอร์เอาท์พุทของ majority gate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อค่า e_{n-1} =1 ไม่เพียงแต่จะเป็นการเปลี่ยนค่าของข้อมูลที่ผิดให้ถูกต้องแต่จะทำการเปลี่ยนค่าซินโดรมใหม่ที่ตรงกับค่าของข้อมูลที่รับเข้ามา.

ให้ค่า $t = J / 2$ เป็นค่าความสามารถของตัวถอดรหัสแบบ Majority-Logic Decoding โดยที่ J คือค่าของ Parity check sums ใน majority-logic decoding ระดับเดียว สามารถที่จะแก้รหัสผิดที่เกิดผิดที่ช่วง$J / 2$ หรือน้อยกว่าโดยที่ค่า J คือค่า Parity Check Sums สูงสุดในแต่ละค่าที่ผิดพลาดใน e(x) . ค่า d_{min} เป็นค่าที่บอกถึงความสามารถในการแก้รหัสผิด โดยที่ $t = (d_{min} - 1) / 2$ และ $t = J / 2$ ดังนั้นจะได้ว่า $J = d_{min} - 1$ ดังนั้นตัวถอดรหัสแบบ Majority-Logic Decoding ที่บอกค่า d_{min} เราสามารถที่จะสร้างตัวถอดรหัสเป็นแบบระดับดียวได้ถ้า $J = d_{min} - 1$.

C เป็นโค้ดเวอร์ด และ r คือเวอร์ดข้อมูลที่รับได้ สำหรับ (n,k) ไซคลิกโค๊ด และเวกเตอร์ ϕ ใน (n,n-k) dual code ของไซคลิกโค๊ด ซึ่งจะมีสมการ

$$\xi = \phi.r = \omega_0 r_0 + \omega_1 r_1 + \ldots + \omega_{n-1} r_{n-1} \qquad (8)$$

ถ้าค่า $r = c$ จะได้ค่า $\xi = 0$ แต่ถ้าว่า $r \neq c$ ค่า ξ จะไม่เป็น 0 ดังนั้นเมื่อ $\phi.c = 0$ สมการ (8) จะกลายเป็น

$$\xi = \phi.(c + e) = \phi.e$$

จะได้ความสัมพันธ์ระหว่าง Parity check sums ξ กับค่าสัมประสิทธิ์ของค่าความผิดพลาด e(x) เป็น

$$\xi = \omega_0 e_0 + \omega_1 e_1 + \ldots + \omega_{n-2} e_{n-2} + \omega_{n-1} e_{n-1} \qquad (9)$$

สำหรับ $k = 1,2,\ldots,J$

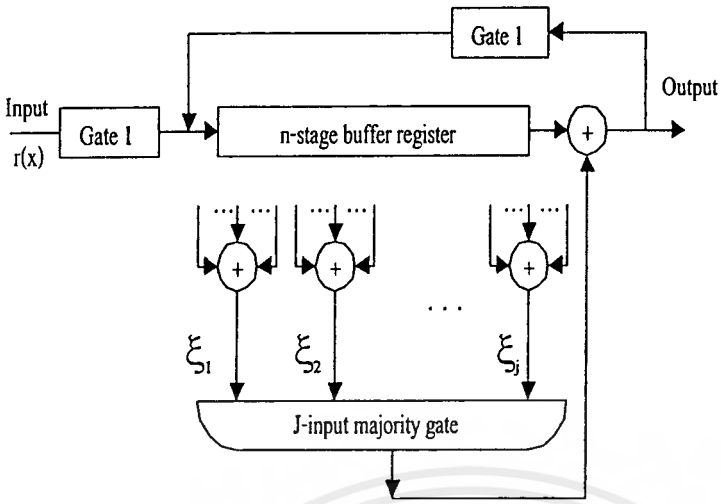
$$\xi_k = \phi_k . C \qquad 1 \leq k \leq J$$

$$\begin{aligned}
\xi_1 &= \phi_1 e = \varphi_{1,0} e_0 + \varphi_{1,1} e_1 + \ldots + \varphi_{1,n-1} e_{n-1} \\
\xi_2 &= \phi_2 e = \varphi_{2,0} e_0 + \varphi_{2,1} e_1 + \ldots + \varphi_{2,n-1} e_{n-1} \qquad (10) \\
&\vdots \\
\xi_J &= \phi_J e = \varphi_{J,0} e_0 + \varphi_{J,1} e_1 + \ldots + \varphi_{J,n-1} e_{n-1}
\end{aligned}$$

จากสมการที่ (10) เราจะได้เวกเตอร์ ϕ_k แต่ละตัวจะต้องนำมาบวกกันเพื่อจะทำให้ได้ค่า check sums φ_k โดยที่ J-check sums จะได้จาก J อินพุทมาบวกกันแบบโมดูโล - 2 แต่ละ J-check sums จะใช้เป็นอินพุทของ Majority gate เพื่อที่จะมาคำนวณหาค่า e_{n-1} ถ้าค่าที่ได้มาเป็น 1 ก็คือค่าผิดพลาดที่ตำแหน่ง e_{n-1} จะถูกตรวจสอบและแก้รหัสที่ผิดที่ตำแหน่ง r_{n-1} .

ตัวถอดรหัสแบบ Majority-Logic Decoding ระดับเดียวแบบที่ II จะแสดงตามรูปที่ 2.31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



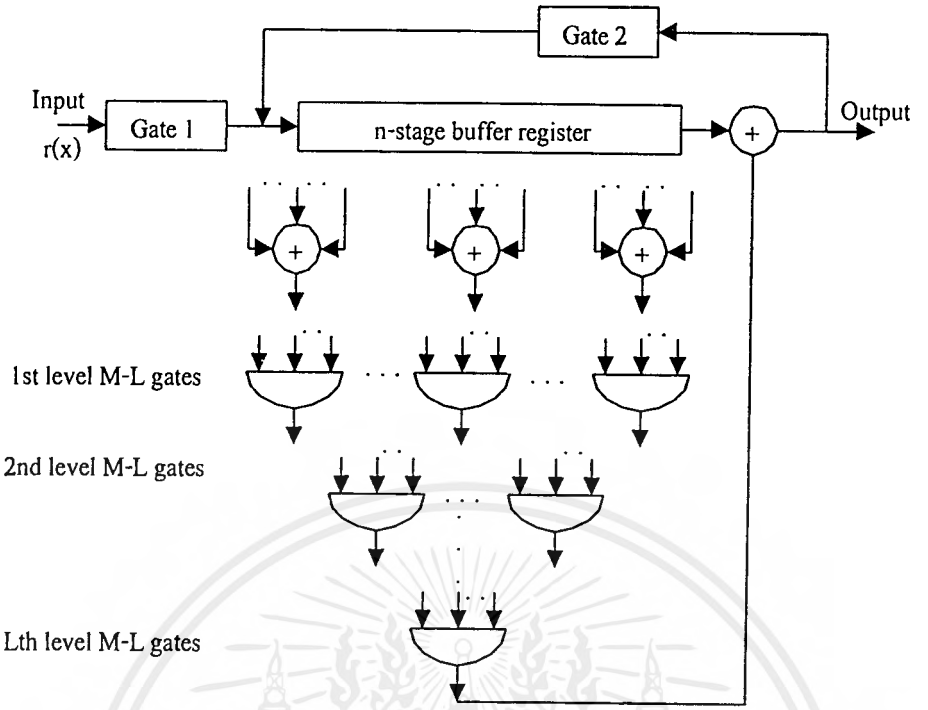
รูปที่ 2.31 วงจรถอดรหัสแบบมาเจอริที้ลอจิกระดับเดียวแบบที่ 2

ขั้นตอนการแก้รหัสผิดคือค่าของข้อมูลที่รับได้ r รับเข้ามาที่บัฟเฟอร์รีจีสเตอร์ โดยที่เกต 1 จะ ON และเกต 2 OFF J check sums จะได้จากการบวกค่า r(x) แต่ละตัวที่รับเข้ามา J check sums จะเป็นอินพุทให้กับ majority gate โดยที่ค่า r_{n-1} เป็นค่าบิตตัวแรกที่รับได้ และจะเป็นตัวแรกที่ถูกอ่านออกจากบัฟเฟอร์ แล้วจะถูกแก้รหัสผิดโดยเอาท์พุทของ majority gate ถ้าหากว่าเอาท์พุทเป็น 1 .หลังจากบิต r_{n-1} ถูกแก้รหัสแล้วบิตตัวต่อไป r_{n-2} ก็จะเลื่อนเข้าสู่ตำแหน่งขวาสุดของบัฟเฟอร์ และจะถูกแก้รหัสที่ผิดด้วยกระบวนการเดียวกับตำแหน่ง r_{n-1} . ดังนั้นข้อมูลที่รับได้ $r = (r_0, r_1, \ldots, r_{n-1})$ จะถูกแก้รหัสที่ผิดแบบบิตต่อบิตในการเลื่อนข้อมูล n ครั้ง.

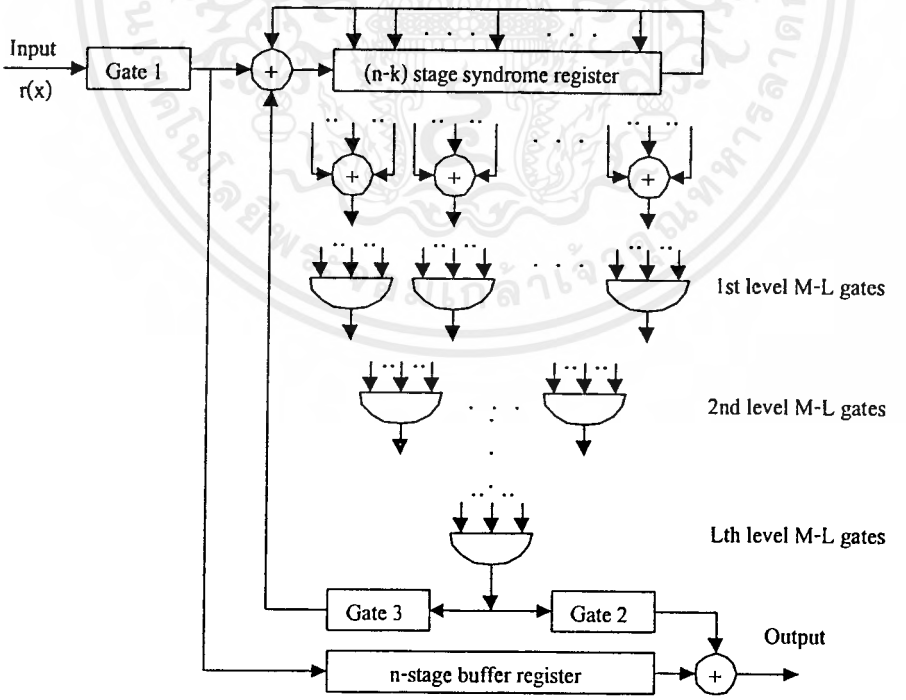
2.14.3) MULTI_STEP MAJORITY_LOGIC DECODING

เราสามารถที่จะใช้ตัวถอดรหัส Majority-logic decoding แบบหลายระดับ โดยที่ L คือจำนวนของระดับหรือขั้นของ majority gate เซตทั้งหมดของ parity check sums จะเป็นผลรวมของเซตของข้อมูลที่รับเข้ามา อินพุทของ Majority gate ก็คือเท่ากับ J-check sums แต่ละ J-check sums จะเข้าไปที่ระดับแรกของ majority gate (โดยที่ L-step majority decoding จะต้องมี L majority gate ตัว) อินพุทของ majority gate จะมีหลักการทางค่าความจริงอยู่ว่า ถ้าอินพุทเป็น 1 มากกว่าครึ่งหนึ่งของอินพุททั้งหมด จะได้ค่าเอาท์พุทของ majority gate เป็น 1 ถ้าไม่อย่างนั้นจะเป็น 0 . เอาท์พุทของ Majority gate ระดับแรกจะกลายเป็นอินพุทของ majority gate ระดับที่สอง และเอาท์พุทของระดับที่สองก็จะกลายเป็นอินพุทของระดับที่สามและต่อๆไป จนกระทั้งถึง majorty gate ระดับสุดท้ายที่จะมีเพียง majority gate เพียงตัวเดียว. เอาท์พุทของเกตตัวสุดท้ายจะใช้ในการแก้รหัสที่ผิด จากรหัสที่รับเข้ามา และด้วยโครงสร้างของโค๊ดแบบไซคลิก แต่ละบิตที่ผิดจะถูกแก้รหัสให้ถูกต้องด้วยกระบวนการเดียวกัน ดังนั้นในแต่ละระดับของ Majority gate จะทำการคำนวณหาบิตที่ผิดในแต่ละระดับของการตรวจสอบด้วย majority gates ทั้งหมด L ระดับ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.32วงจรถอดรหัสแบบมาเจอริที่ลอจิกหลายระดับแบบที่ 1



รูปที่ 2.33 วงจรถอดรหัสแบบมาเจอริที่ลอจิกหลายระดับแบบที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

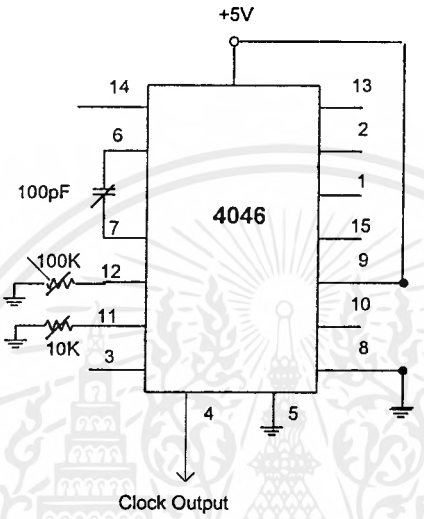
บทที่ 3

การออกแบบและสร้างวงจร

วงจรกำเนิดสัญญาณนาฬิกา

ใช้ไอซีซีมอสเบอร์ 4046 กำเนิดสัญญาณนาฬิกาความถี่ 300 KHz โดยใช้ส่วนที่เป็น VCO ใน PLL ซึ่งก็คือ Oscillator ซึ่งผลิตความถี่ที่สามารถควบคุมโดยกำหนดด้วย $R_1, R_2 C_1$ ใช้คำนวนหาความถี่ของVCO

$$f = 1/R_2(C_1 + 32\ pF)$$



รูป 3.1 แสดงการต่อวงจร กำเนิดสัญญาณนาฬิกา

การออกแบบวงจร ความถี่ต่ำผ่าน (lowpass filter)

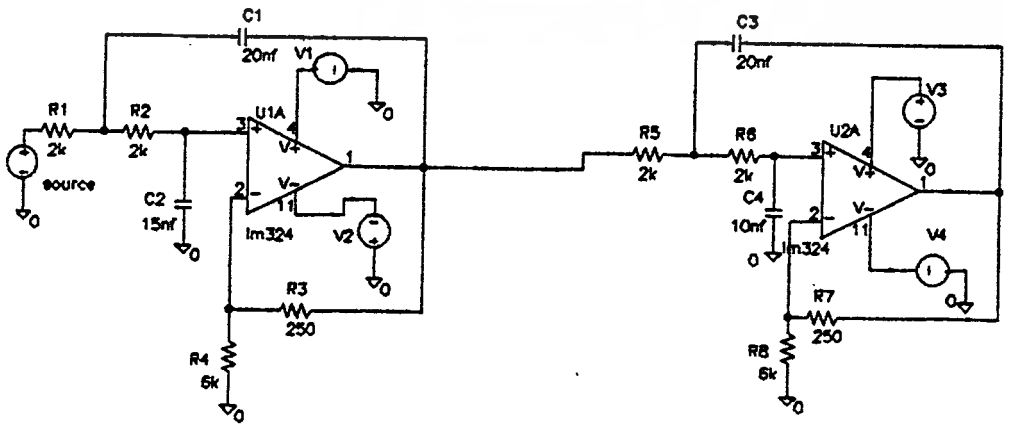
สูตรหาอัตราขยาย

$$A_V = 1 + Rf/R_1$$

ความถี่คัทออฟ

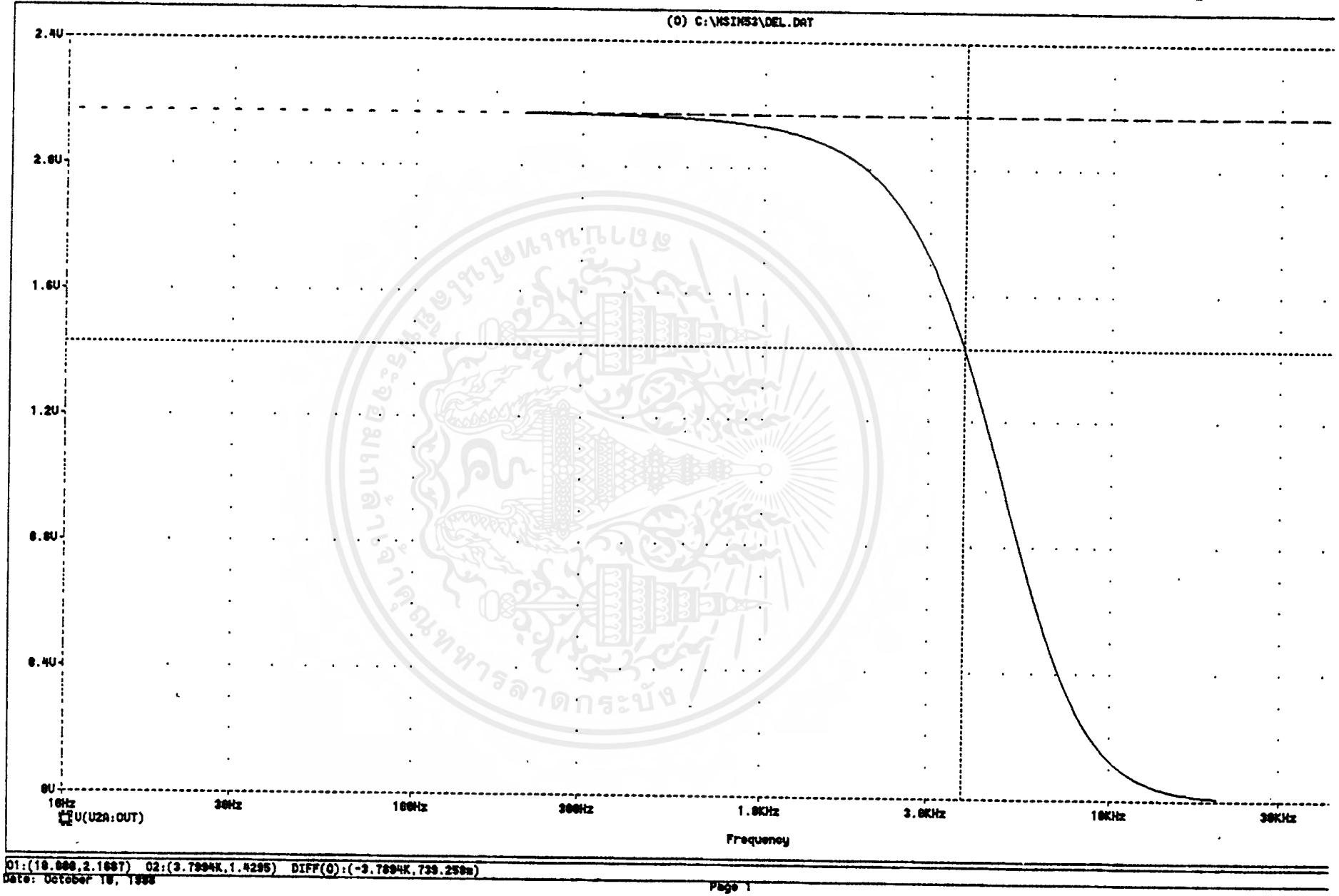
$$f_{cutoff} = 1/2\pi R_1 C_1$$

ในโครงงานนี้ใช้วงจร กรองความถี่ต่ำผ่าน 2 วงจร มาต่อ cascade กัน ดังรูป



รูปที่ 3.2 วงจรกรองความถี่ต่ำผ่านแบบ cascade

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 ผลของ Bode

การออกแบบวงจร Bandpass filter

ในการออกแบบวงจร Bandpass filter ได้ใช้วงจร Highpass filter ต่อแคสเคดกับวงจร Lowpass filter โดยขั้นตอนการออกแบบวงจร Lowpass filter มีดังนี้

1. กำหนดค่าความถี่คัทออฟที่ต้องการ ω_c หรือ f_c
2. เลือกค่า C_1 ที่จะใช้ปกติควรจะอยู่ระหว่าง 100 พิโคฟารัด 0.1 ไมโครฟารัด
3. เลือกค่า C_2 ให้มีค่า $2C_1$
4. กำหนดค่า R โดยได้จากสมการ

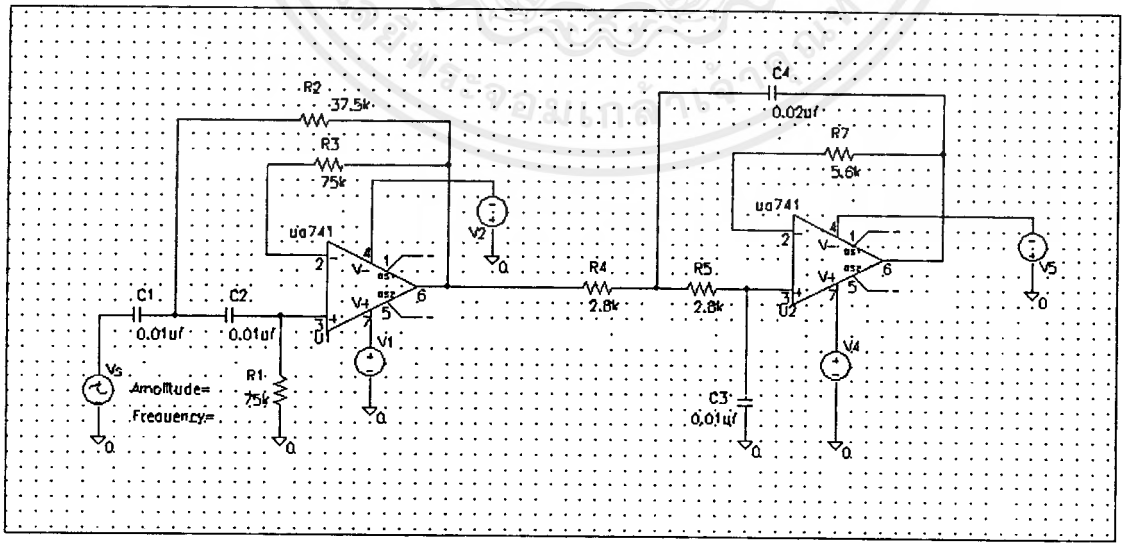
   $R = 0.707/(\omega_c C)$
5. เลือก R_f ให้มีค่าเท่ากับ 2R

ขั้นตอนการออกแบบวงจร Highpass filter มีดังนี้

1. กำหนดค่าความถี่คัทออฟที่จะใช้งาน ω_c หรือ f_c
2. กำหนดให้ $C_1 = C_2 = C$ และเลือก C ที่จะใช้งานให้อยู่ในช่วง 0.001 ถึง 0.1 ไมโครฟารัด
3. คำนวณหาค่า R_1 จากสมการ

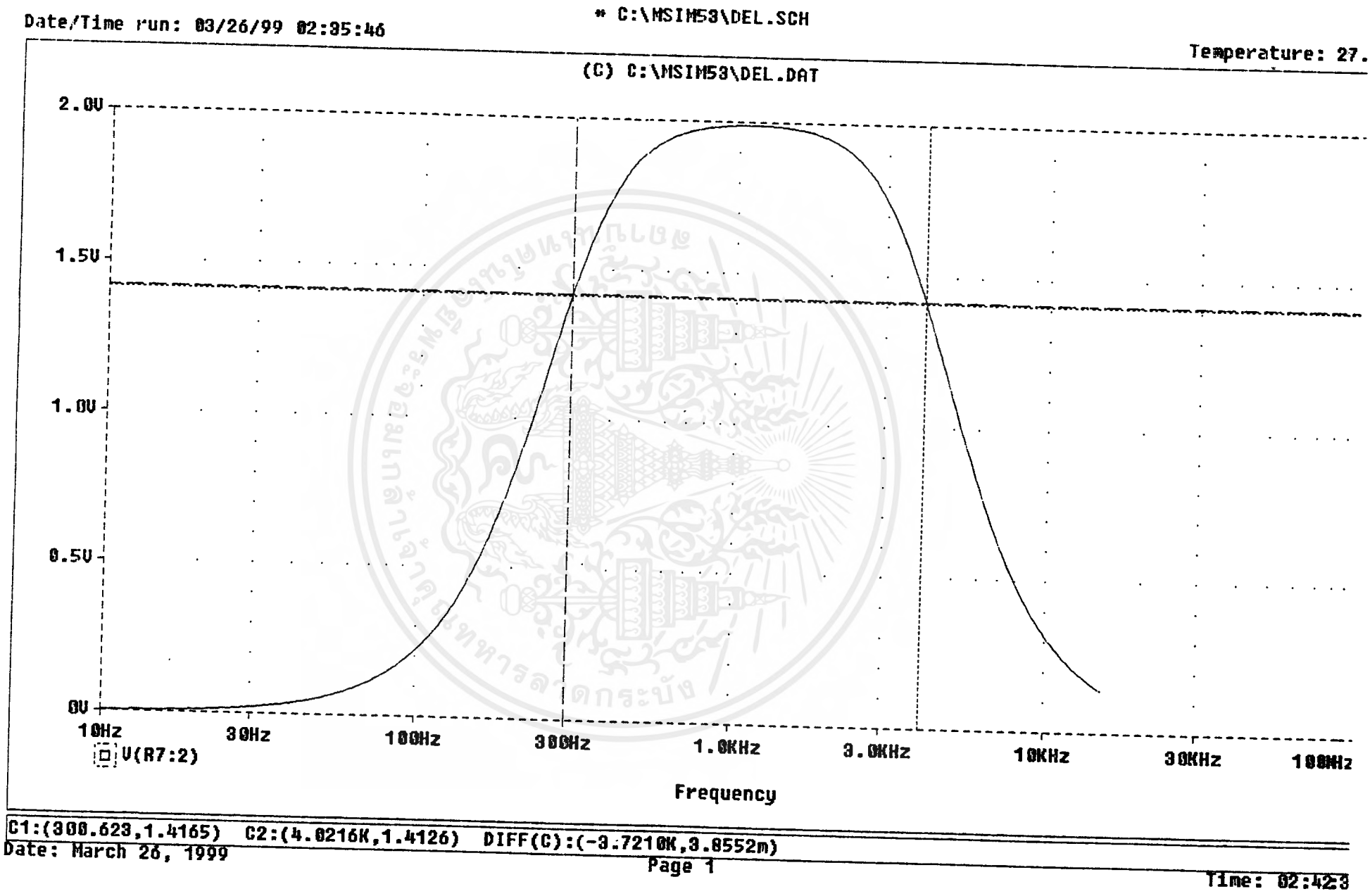
   $R_1 = 1.414/\omega_c C$
4. เลือก R_2 ให้มีค่าเท่ากับ $R_1/2$
5. เพื่อลดผลของออฟเซตในทาง DC เลือก R_f ให้มีค่าเท่ากับ R_1

เมื่อแทนค่า f_c = 300 Hz สำหรับวงจร Lowpass filter และ f_c = 4 KHz สำหรับวงจร Highpass filter จะได้วงจร Bandpass filter รูปดังนี้

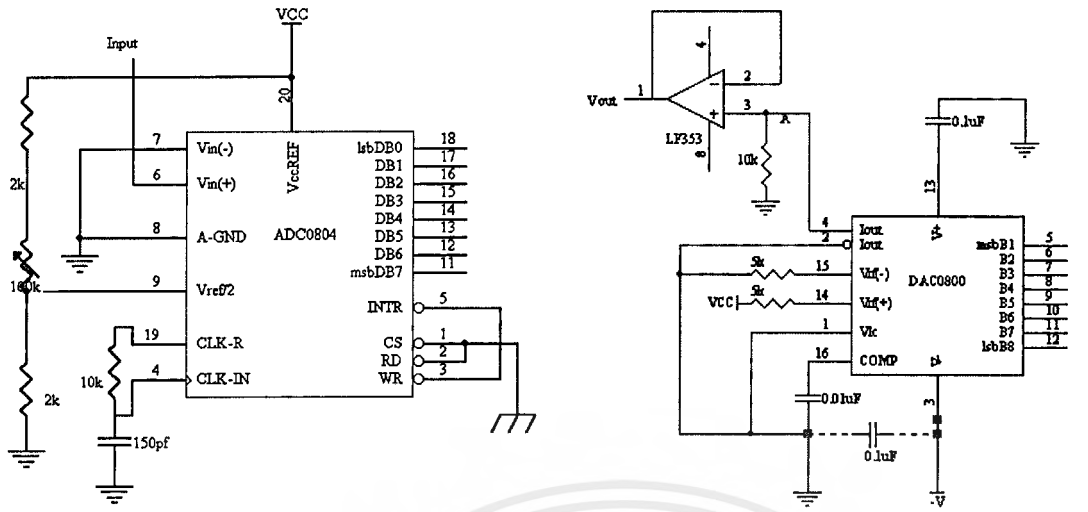


รูปที่ 3.4 วงจร Bandpass filter

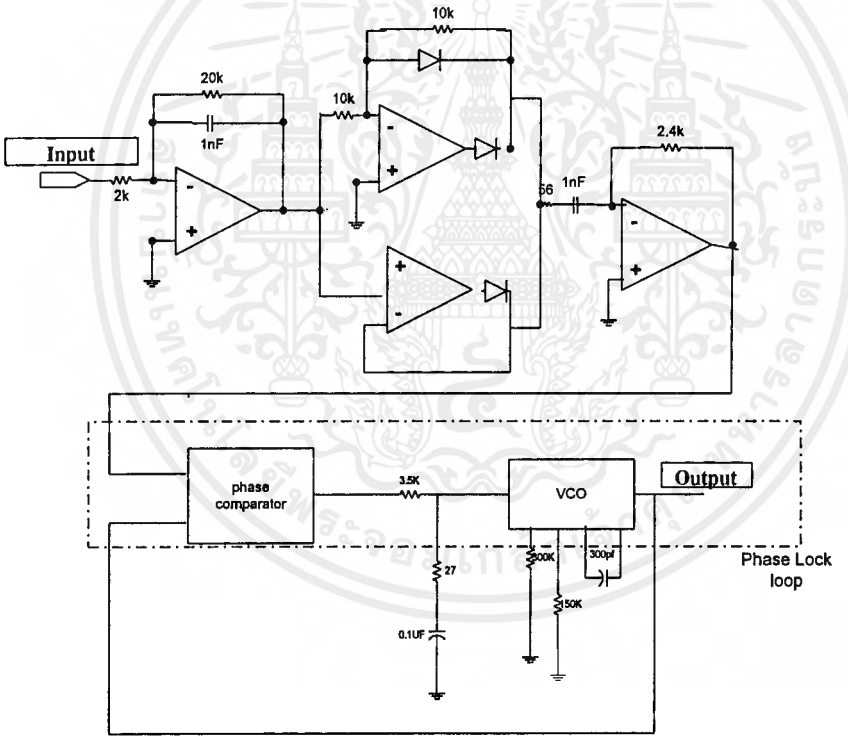
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ผลการ Simulate วงจร lowpass filter



รูปที่ 3.5 ก) วงจร Analog to Digital และ Digital to Analog แบบ 8 Bit

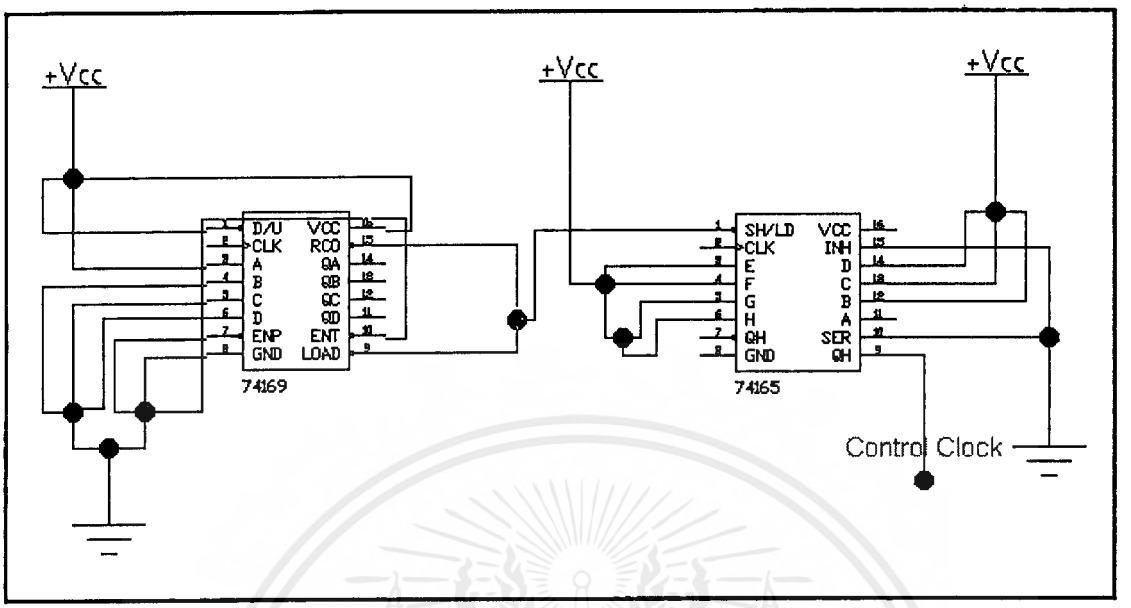


รูปที่ 3.5 ข) วงจร Synchronize

หลักการทำงานของวงจร synchronize คือ นำสัญญาณ biphase ผ่านเข้าวงจรอินทิเกรเตอร์ ผ่านเข้าสู่วงจร ค่าสมบูรณ์ จากนั้นผ่านเข้าสู่วงจรดีฟเฟอเรนเชียล เมื่อผ่านวงจรส่วนนี้จะได้สัญญาณคล็อกจากนั้นผ่านเข้าสู่วงจรเฟสล็อกลูปเพื่อล็อกความถี่ซึ่งเป็นคล็อกความถี่ เดียวกับด้านส่งคือความถี่ 300 KHz เพื่อนำเอาสัญญาณนี้ไปใช้เป็นคล็อกของวงจรภาครับต่อไป ในการดีเทคสัญญาณดาต้า(ข้อมูล)ทำได้โดยการนำเอาสัญญาณ biphase เอ็กคลูซีฟกับสัญญาณคล็อกจะได้สัญญาณดาต้ากลับคืนมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรนับ



รูปที่ 3.6 การต่อวงจรนับ

การออกแบบส่วนการเข้าโค๊ด

การออกแบบวงจรเข้ารหัส (Encoder) เราจะใช้รูปแบบการเข้ารหัสที่ใช้ขบวนรหัสข่าวสาร k = 7 นั้นก็หมายถึงรหัสของสัญญาณข่าวสารในหนึ่งชุดจะประกอบด้วย 7 บิท และทำการแบ่งชุดลำดับของรหัสสัญญาณออกเป็นบล็อค ทำการเข้ารหัสของสัญญาณข่าวสารในแต่ละบล็อคโดยใช้การเข้ารหัสแบบไซคลิคโค๊ดซึ่งจะได้ชุดของรหัสสัญญาณของข่าวสารแต่ละบล็อคมีชุดลำดับของรหัสที่ยาวขึ้น ซึ่งบิทที่เพิ่มเข้ามาคือบิทที่ใช้ในการแก้รหัสที่เกิดการผิดพลาด.ตามรูปแบบของไซคลิคโค๊ด เมื่อรหัสของข้อมูลข่างสารเป็น 7 บิทจะต้องทำการเข้ารหัสให้ได้ข้อมูลที่เพิ่มเข้ามา นั้นก็คือบิทที่ใช้ในการตรวจสอบ (Check Bits) จะต้องมี 8 บิท ดังนั้นในการเข้ารหัสของข้อมูลข่าวสารขนาด 7 บิท จะต้องใช้รูปแบบการเข้ารหัสแบบไซคลิคโค๊ดเป็น (15, 7) ไซคลิคโค๊ด.จะได้ว่า ค่า n = 15 และ ค่า k = 7 ของ (n , k) Cyclic code ซึ่งจะต้องใช้เจนเนอเรเตอร์โพลิโนเมียล

$$g(x) = 1+ g_1(x)+g_2(x)^2+.....+g_{n-k-1}(x)^{n-k-1}+(x)^{n-k}$$

$$g(x) = 1+ x^4 + x^6 + x^7 + x^8$$

และโพลิโนเมียลของข่าวสารจะเป็น

$$m(x) = m_0 + m_1 x + ...+m_{k-1} x^{k-1}$$

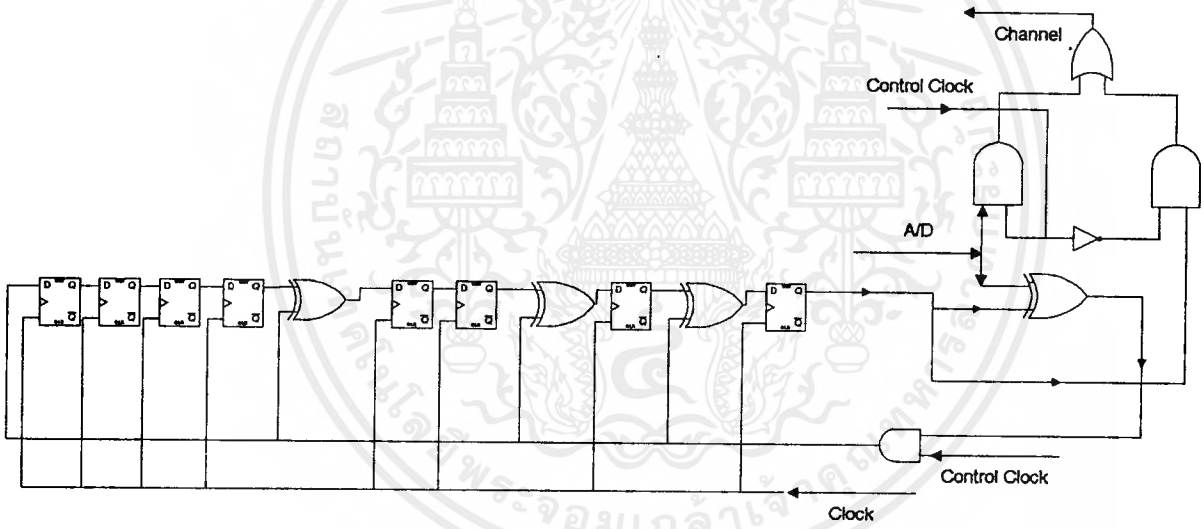
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งโพลิโนเมียลของลำดับรหัสข่าวสารจะมีค่าสัมประสิทธิ์ $(m_0, m_1, m_2, \ldots, m_{k-1})$ เปลี่ยนตามค่าของรหัสข้อมูลข่าวสาร ซึ่งเมื่อทำการเข้ารหัสของสัญญาณจะได้โค๊ดเวอดที่สมบูรณ์ตามสมการ

$$v(x) = r(x) + x^{n-k} g(x)$$

ซึ่งค่า r(x) เป็นค่าเศษที่ได้จากการหาร $x^{n-k} m(x)$ ด้วยค่า g(x) ดังนั้นจะสามารถได้โค๊ดเวอดที่สมบูรณ์ที่เป็นรูปแบบของ (15 , 7) ไซคลิคโค๊ด

วงจรที่ทำการเข้ารหัสแบบ (15 , 7) cyclic code จะสามารถสร้างเป็นวงจรทางดิจิตอลได้ โดยมีการใช้ชิฟรีจีสเตอร์ ซึ่งในที่นี้เราจะใช้เป็น D–flipflop ในการเลื่อนของข้อมูล และมีการป้อนกลับตามค่าสัมประสิทธิ์ของเจนเนอเรเตอร์โพลิโนเมียล.ข้อมูลของข่าวที่เข้าไปที่วงจรจะเป็นแบบอนุกรม และเมื่อทำการเข้ารหัสแล้วจะได้ข้อมูลเป็นแบบอนุกรมที่มีการเพิ่มบิทที่ใช้ในการตรวจสอบเข้ามาด้วย
วงจรการเข้ารหัสที่เป็นวงจรทางดิจิตอลจะแสดงตามรูปที่ 3.7

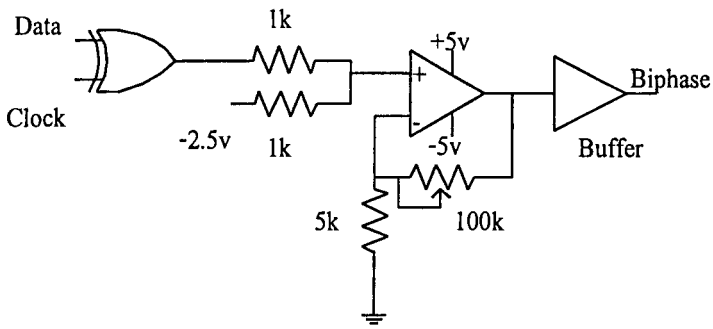


รูปที่ 3.7 Block diagram เข้ารหัส

การส่งสัญญาณไปในตัวกลาง

วงจรในการส่งสัญญาณหลังจากทำการเข้ารหัสข้อมูลเป็นแบบ (15,7) ไซคลิกโค๊ด เราจะใช้การส่งสัญญาณเป็นการส่งแบบไบเฟส (Biphase) เหตุผลที่ต้องการการส่งเป็นแบบไบเฟสก็เพื่อง่ายต่อทางด้านรับในการกู้สัญญาณนาฬิกากลับคืนมา เพราะจากต้นทางด้านส่งเราจะส่งสัญญาณไปในสายเพียงเส้นเดียว ดังนั้นการกู้สัญญาณนาฬิกากลับมาจึงจำเป็นมากสำหรับทางด้านรับ. วงจรในการเข้ารหัสสัญญาณในการส่งแบบไบเฟสแสดงตามรูปที่ 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

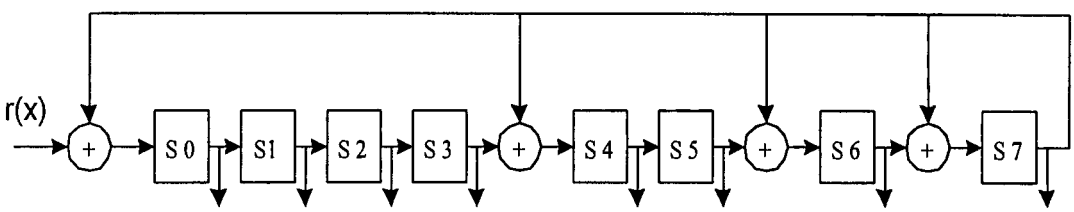


รูปที่ 3.8 วงจรแปลงสัญญาณเป็นแบบไบเฟส

ส่วนในทางด้านรับของไบเฟสให้นำสัญญาณ Biphase กับ Clock มา Exclusive-or กัน

การออกแบบวงจรถอดรหัสแบบมาเจอริตี้โลจิกดีโค๊ด

ในการออกแบบวงจรถอดรหัส (15,7) ไซคลิกโค๊ด เราจะใช้การถอดรหัสแบบมาเจอริตี้โลจิก ดีโค๊ด ซึ่งจะมีหลักการคือ เมื่อข้อมูลข่าวสารที่ทำการเข้ารหัสคือมีการเพิ่มของพาริตี้เช็คบิตเข้าไปต่อท้ายของรหัสของข่าวสาร และถูกส่งจากทางด้านส่งผ่านตัวกลางในการส่งจนมาถึงทางด้านรับ ที่ทางด้านรับขั้นตอนแรกจะทำการตรวจสอบว่าขบวนของรหัสที่เข้ามานั้นเกิดผิดพลาดหรือไม่โดยการเช็คจากค่าซินโดรมของข้อมูลที่รับเข้ามา ค่าซินโดรมได้จากการนำรหัสที่ส่งจากด้านส่ง มาเข้าวงจรซึ่งก็คือวงจรเหมือนวงจรในการเข้ารหัส โดยจะเป็นการหาเศษที่ได้จากการหารค่าเวกเตอร์ทที่รับเข้าด้วยค่าเจนเนอเรเตอร์โพลิโนเมียลที่เหมือนกับทางด้านส่ง ถ้าหากว่าเวกเตอร์ที่รับเข้ามาแตกต่างจากเวกเตอร์ที่ส่งมาก็จะทำให้ได้ค่าซินโดรมไม่เป็นศูนย์ ถ้าเหมือนกับเวกเตอร์ที่ส่งมาจะทำให้ค่าซินโดรมมีค่าเป็นศูนย์ วงจรในการหาค่าซินโดรมจะใช้ชิฟท์รีจีสเตอร์ โดยจะมีการย้อนกลับมาเข้าที่ตัวชิฟท์รีจีสเตอร์ตามค่าเจนเนอเรเตอร์โพลิโนเมียล $g(x) = 1 + x^4 + x^6 + x^7 + x^8$ ซึ่งรหัส (15,7) ไซคลิกโค๊ดจะมีค่า Minimum distance ,$d_{min} = 5$ จะได้ค่า $J = d_{min} - 1 = 4$ และจะได้ค่า $t = (d_{min} - 1) / 2 = 2$ วงจรจะแสดงตามรูปที่ 1.



รูปที่ 3.9 วงจรคำนวณหาค่าซินโดรมโดยใช้ชิฟท์รีจีสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(15 , 7) ไซคลิกโค๊ดจะมีพาริตี้เช็คแมตทริกซ์เป็น

$$h_0 = (1\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 1\ 1\ 0\ 1\ 0\ 0\ 0)$$
$$h_1 = (0\ 1\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 1\ 1\ 0\ 1\ 0\ 0)$$
$$h_2 = (0\ 0\ 1\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 1\ 1\ 0\ 1\ 0)$$
$$h_3 = (0\ 0\ 0\ 1\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 1\ 1\ 0\ 1)$$
$$h_4 = (0\ 0\ 0\ 0\ 1\ 0\ 0\ 0\ 1\ 1\ 0\ 1\ 1\ 1\ 0)$$
$$h_5 = (0\ 0\ 0\ 0\ 0\ 1\ 0\ 0\ 0\ 1\ 1\ 0\ 1\ 1\ 1)$$
$$h_6 = (0\ 0\ 0\ 0\ 0\ 0\ 1\ 0\ 1\ 1\ 1\ 0\ 0\ 1\ 1)$$
$$h_7 = (0\ 0\ 0\ 0\ 0\ 0\ 0\ 1\ 1\ 0\ 1\ 0\ 0\ 0\ 1)$$

ในการหาค่าพาริตี้เช็ตซัมจะได้จากการนำค่าพาริตี้ในแต่ละแถวนำมาบวกกัน ซึ่งมีข้อกำหนดว่าเมื่อนำพาริตี้แถวใดมาบวกกันแล้วจะต้องไม่นำมาบวกกับพาริตี้ในแถวอื่นซ้ำอีกครั้ง ผลที่ได้จากการบวกจะต้องทำให้ได้ค่าที่เป็น 1 ปรากฏ อยู่ที่ตำแหน่งของรหัสที่เข้ามา (คือตั้งแต่ตำแหน่ง 0, 1, 2, ...,n-1) โดยมีเงื่อนไขว่าตำแหน่งที่เป็น 1 เมื่อเกิดที่การบวกใดแล้วจะต้องไม่เกิดเป็นค่า 1 ซ้ำกันที่ตำแหน่งเดิมของอีกผลการบวกหนึ่ง แต่ยกเว้นตำแหน่งสุดท้ายคือตำแหน่งที่ n-1 จะต้องมีตำแหน่งนี้ในทุกๆผลของการบวกที่เกิดขึ้นจากการบวกแถวของพาริตี้.

เราจะได้ค่าจากการบวกแถวของพาริตี้เช็คโดยแทนด้วย ϕ เป็นดังนี้

$$\phi_1 = h_3 = (0\ 0\ 0\ 1\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 1\ 1\ 0\ 1)$$
$$\phi_2 = h_1 + h_5 = (0\ 1\ 0\ 0\ 0\ 1\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 1\ 1)$$
$$\phi_3 = h_0 + h_2 + h_6 = (1\ 0\ 1\ 0\ 0\ 0\ 1\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 1)$$
$$\phi_4 = h_7 = (0\ 0\ 0\ 0\ 0\ 0\ 0\ 1\ 1\ 0\ 1\ 0\ 0\ 0\ 1)$$

แล้วเราจะได้พาริตี้เช็คซัมที่ได้จากเวกเตอร์ที่รับได้ r กับ ϕ

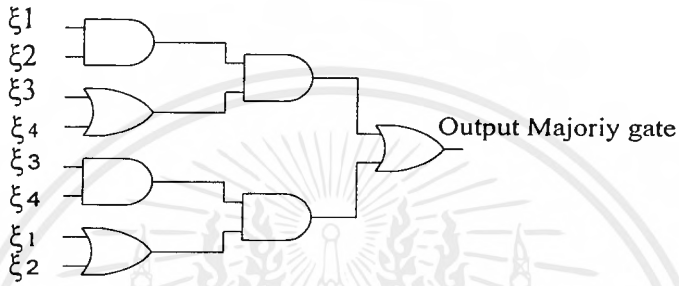
$$\xi_1 = r.\phi_1 = e_3 + e_{11} + e_{12} + e_{14}$$
$$\xi_2 = r.\phi_2 = e_1 + e_5 + e_{13} + e_{14}$$
$$\xi_3 = r.\phi_3 = e_0 + e_2 + e_6 + e_{14}$$
$$\xi_4 = r.\phi_4 = e_7 + e_8 + e_{10} + e_{14}$$

ค่าพาริตี้เช็คซัม φ จะมารวมกันที่ J-input Majority gate เพื่อที่จะทำการคำนวณหาค่าเอาท์พุทที่จะเป็นตัวตรวจสอบว่าบิตที่เลื่อนมาที่ตำแหน่งขวาสุดเกิดผิดพลาดหรือไม่ ถ้าเกิดบิตนั้นผิดพลาดจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

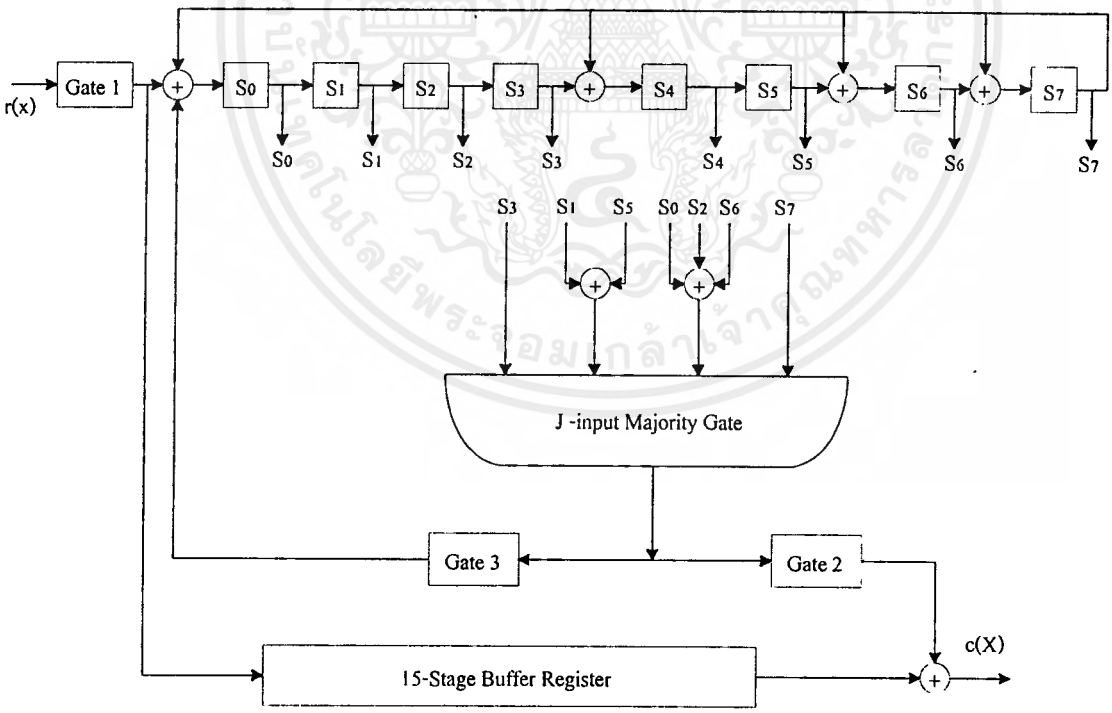
เอาท์พุทจากมาเจอริตี้เกตเป็น 1 และจะมีการแก้ไขบิตนั้นให้ถูกต้อง แต่ถ้าหากบิตนั้นไม่ผิดพลาด เอาท์พุทจากมาเจอริตี้เกตจะเป็น 0 และไม่มีการแก้ไขบิตนั้น เมื่อข้อมูลที่รับเข้ามาตัวแรกเลื่อนไปที่ตำแหน่งขวาสุด (n-1)ของชิฟท์รีจีสเตอร์แล้วถูกส่งออกไปบิตตัวต่อมาก็จะทำการเลื่อนเข้าสู่ตำแหน่ง (n-1) และวงจรจะทำการหาค่าซินโดรมตัวใหม่เพื่อทำการตรวจสอบบิตตัวใหม่ที่เข้ามา.

วงจร J –input Majority gate จะมีหลักการอยู่ว่าเมื่อมีอินพุทเข้ามาถ้าเป็น 1 มากกว่าครึ่งหนึ่งจะได้เอาท์พุทเป็น 1 ถ้าไม่อย่างนั้นเอาท์พุทจะเป็น 0 ใน (15 , 7) ไซคลิกโค๊ดจะใช้ J-input Majority gate ที่มี 4 อินพุทเข้านั้นก็หมายความว่าจะต้องมีอินพุทมีค่าเป็น 1 มากกว่า 3 ตัวจากอินพุททั้งหมดที่เข้ามาจะทำให้ได้ค่าเอาท์พุทเป็น 1 และมีการแก้ไขบิตที่ตำแหน่งนั้น ซึ่งวงจรของมาเจอริตี้เกตจะแสดงตามรูปที่ 2.



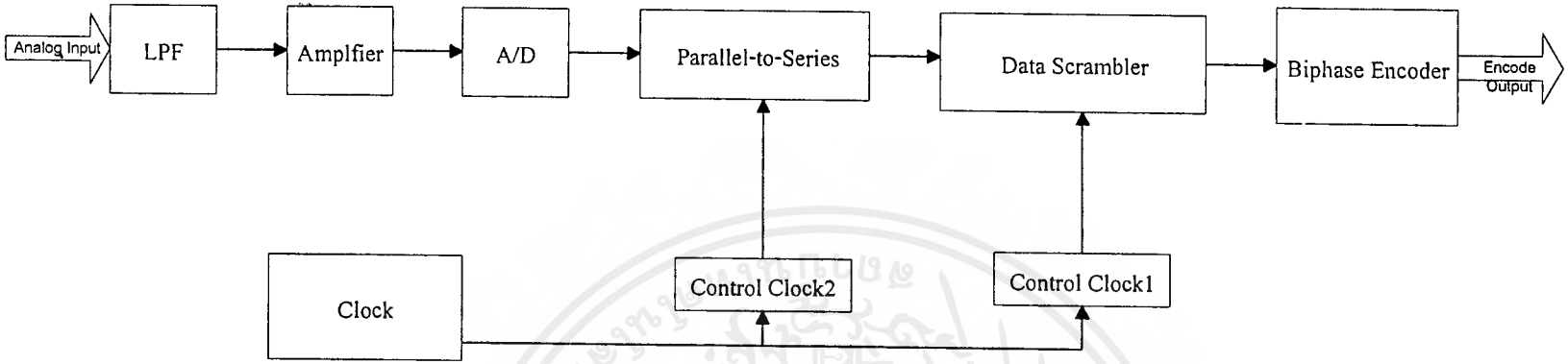
รูปที่ 3.10 วงจร J-input Majority gate

วงจรทั้งหมดของการถอดรหัสจะแสดงตามรูปที่ 3.11

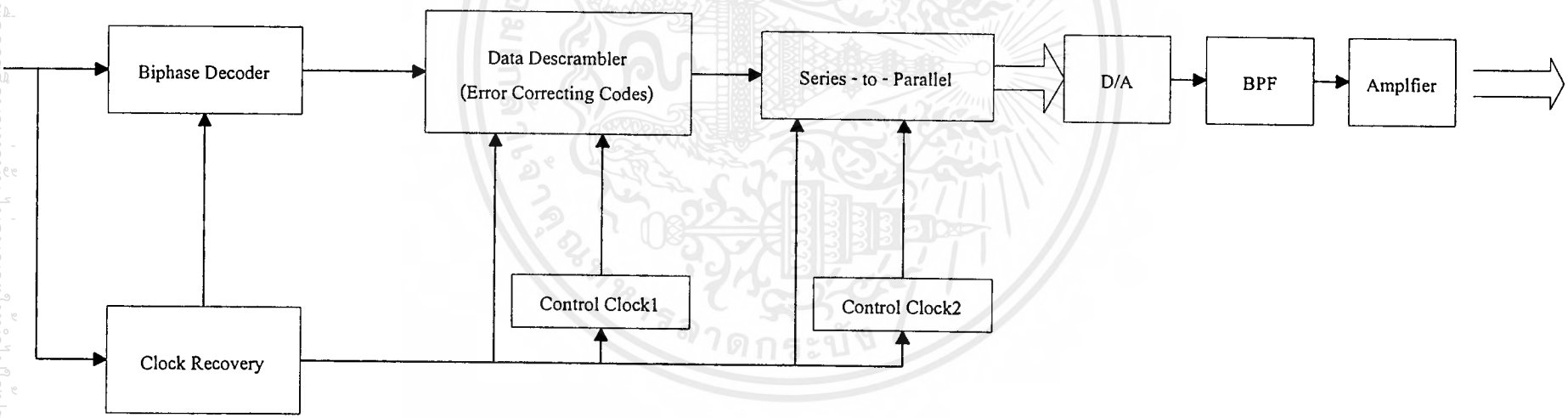


รูปที่ 3.11 วงจรถอดรหัส

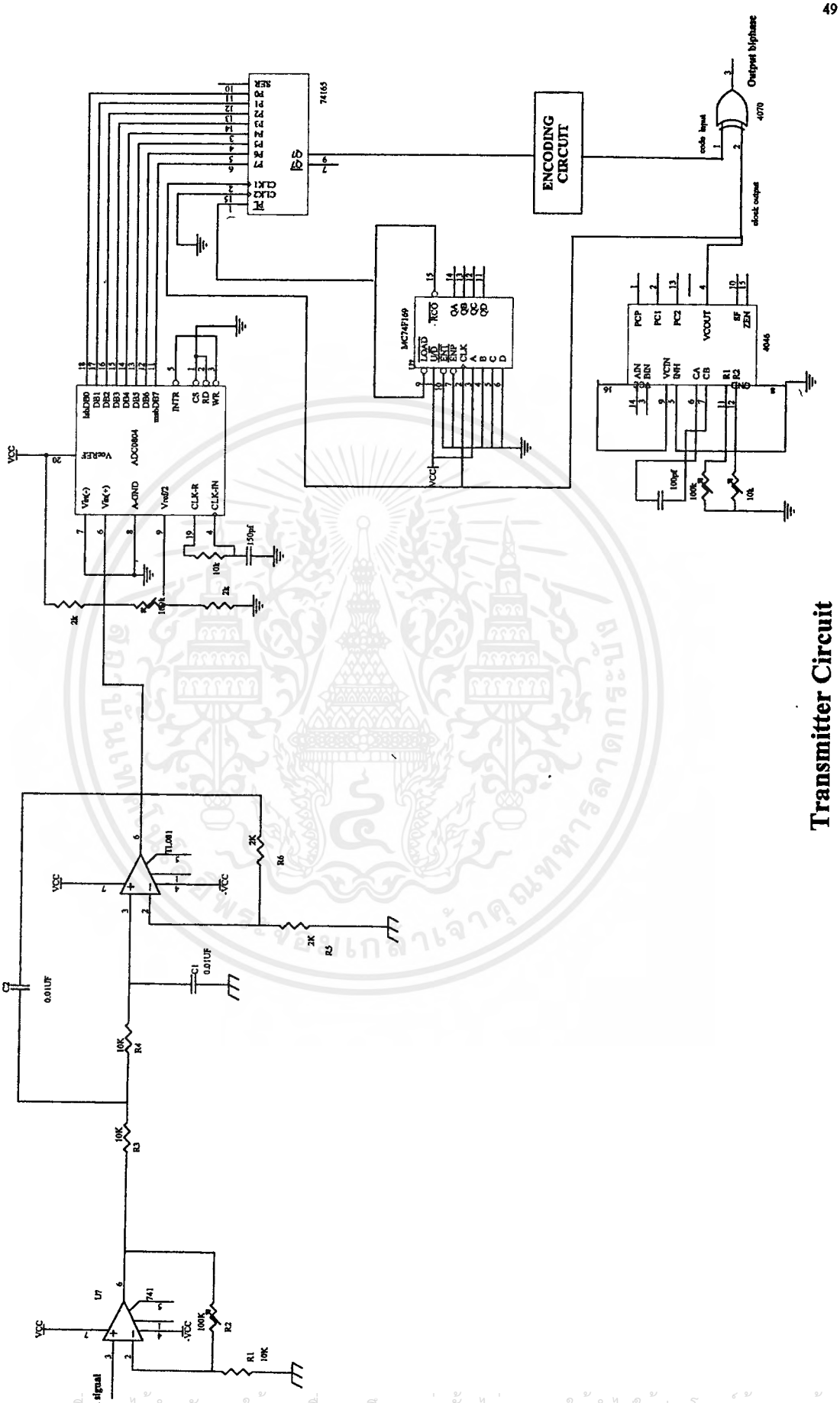
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.34 Block Diagram ของภาคส่ง

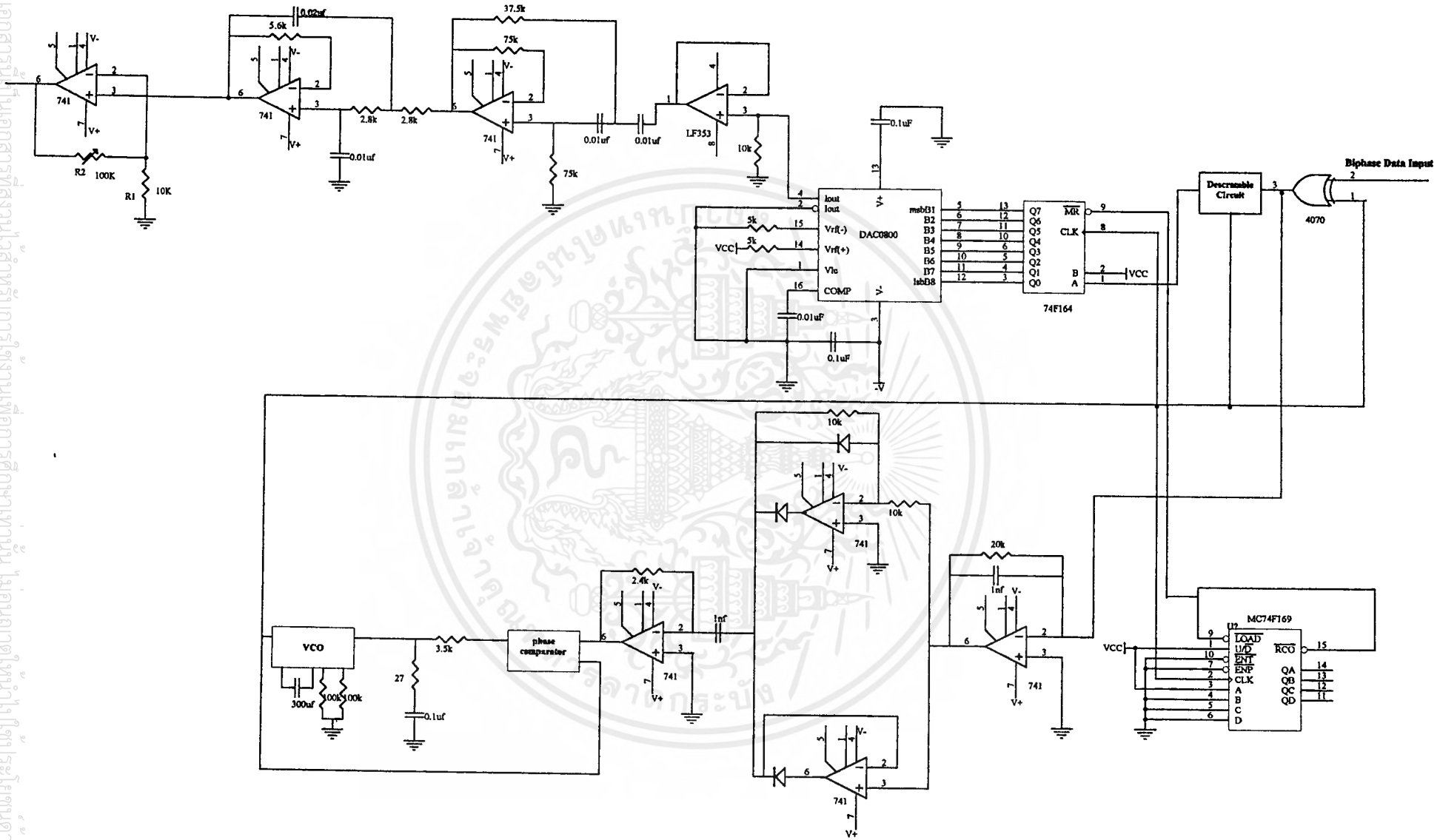


รูปที่ 2.35 Block Diagram ทั้งหมดของภาครับ



Transmitter Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

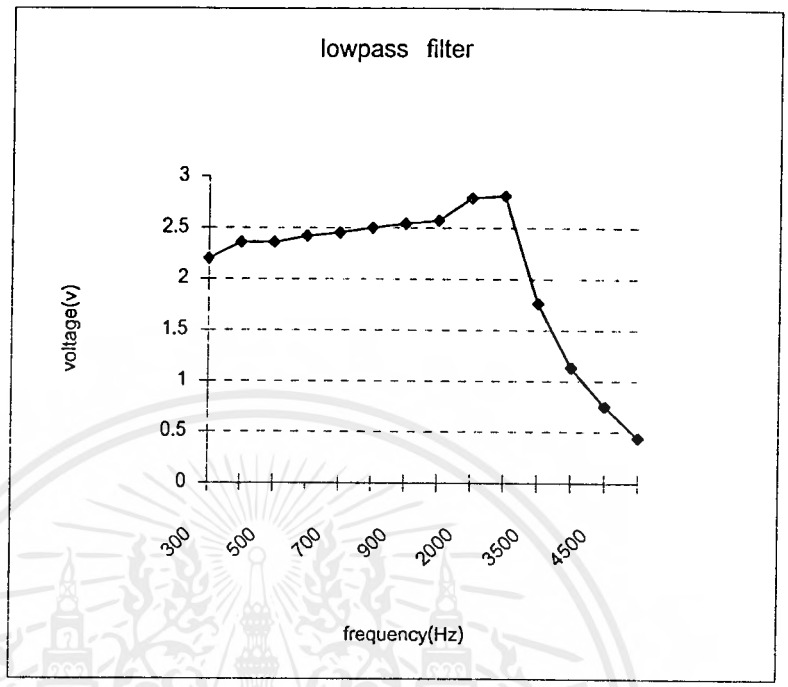


Reciever Circuit

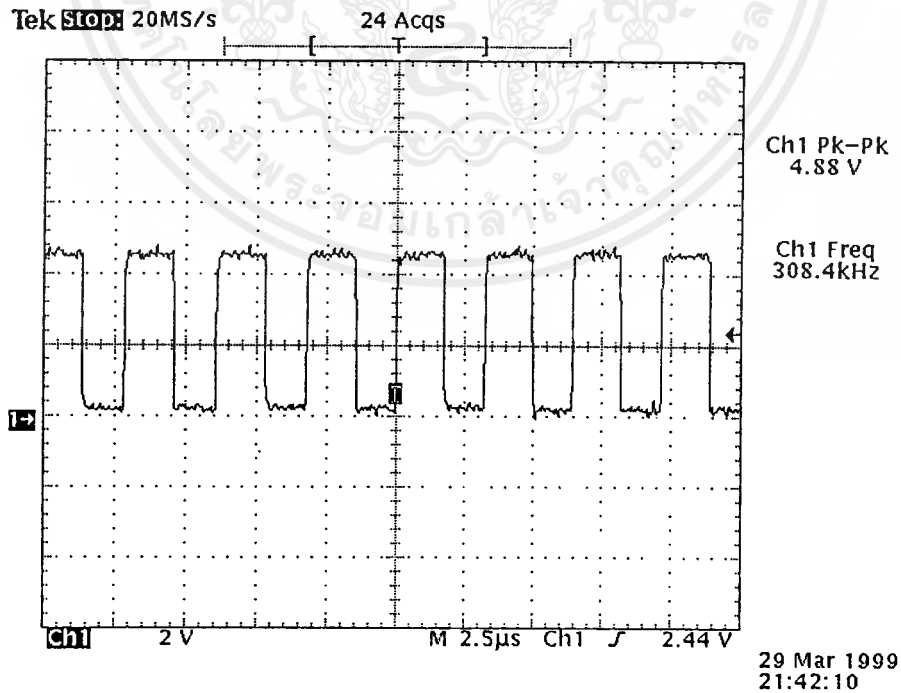
บทที่ 4

การทดลองและผลการทดลอง

freq(Hz)	volt(v)
300	2.2
400	2.36
500	2.36
600	2.42
700	2.45
800	2.5
900	2.54
1000	2.57
2000	2.79
3000	2.81
3500	1.76
4000	1.13
4500	0.75
5000	0.437

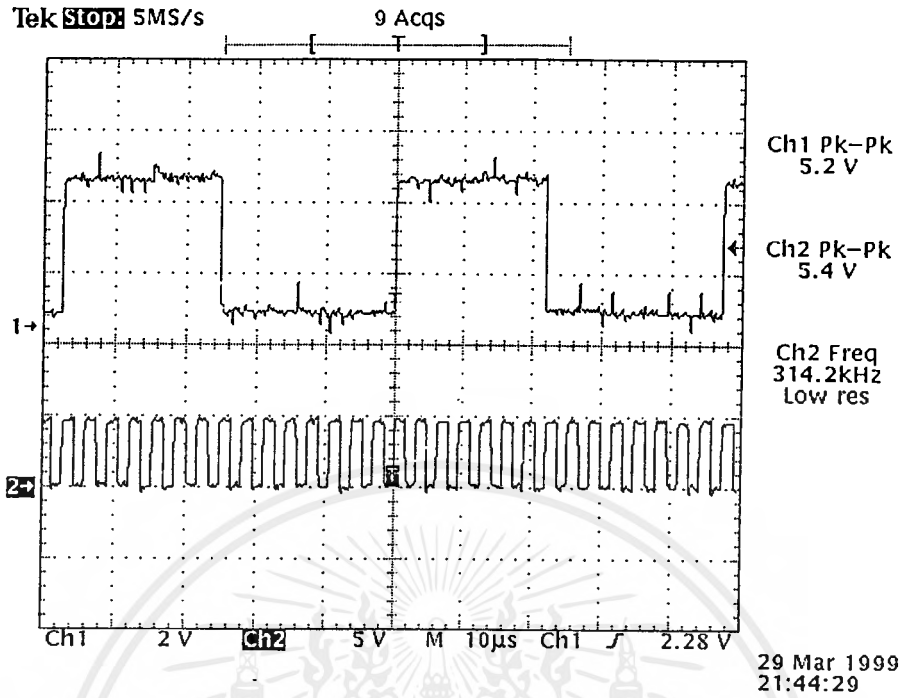


รูปที่ 4.1 ค่า Characteristic ของวงจร Lowpass filter ที่ได้จากการวัดและนำมา Plot กราฟ

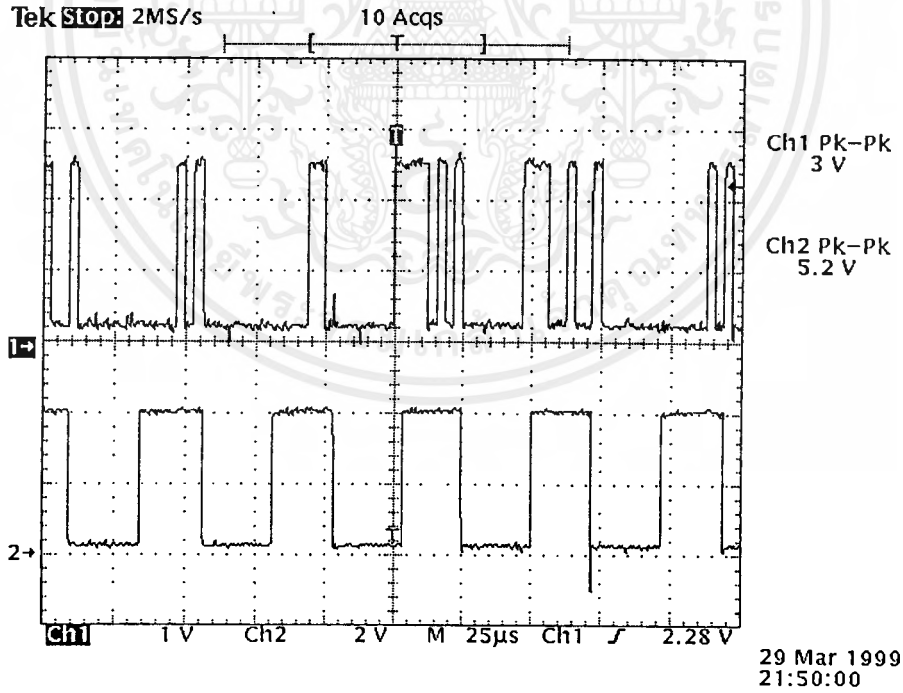


รูปที่ 4.2 รูปสัญญาณนาฬิกาที่ใช้ควบคุม ที่ความถี่ 300 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

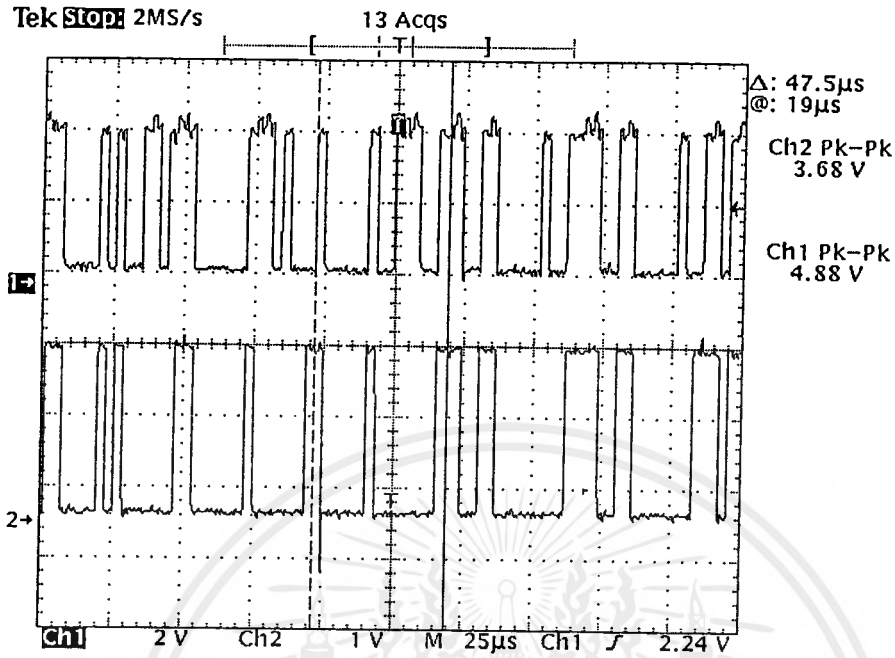


รูปที่ 4.3 สัญญาณ Control เทียบกับ Clock

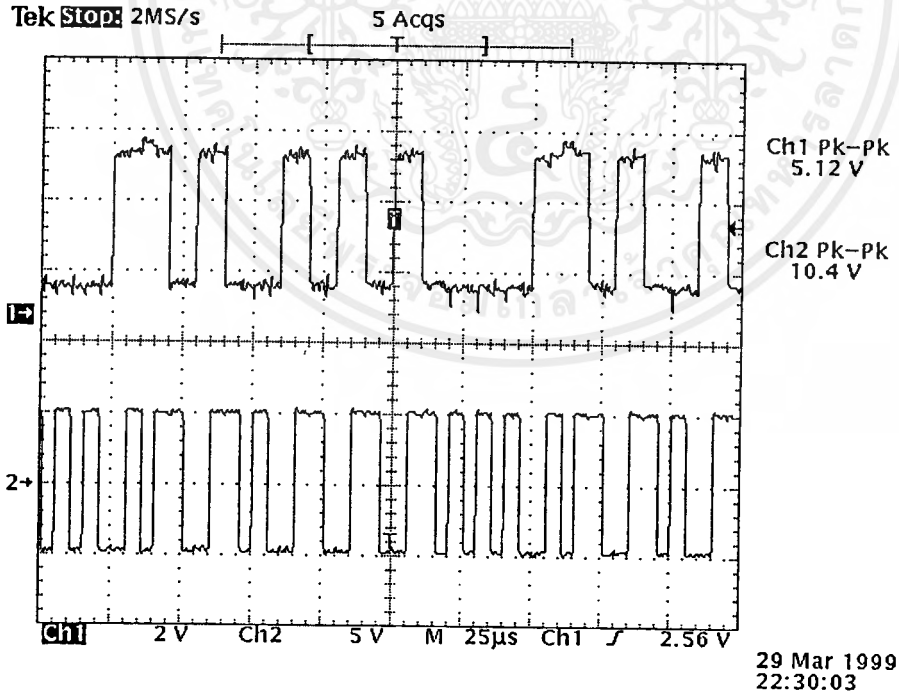


รูปที่ 4.4 Data จาก A/D ที่ผ่าน PISO เทียบ Control Clock

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

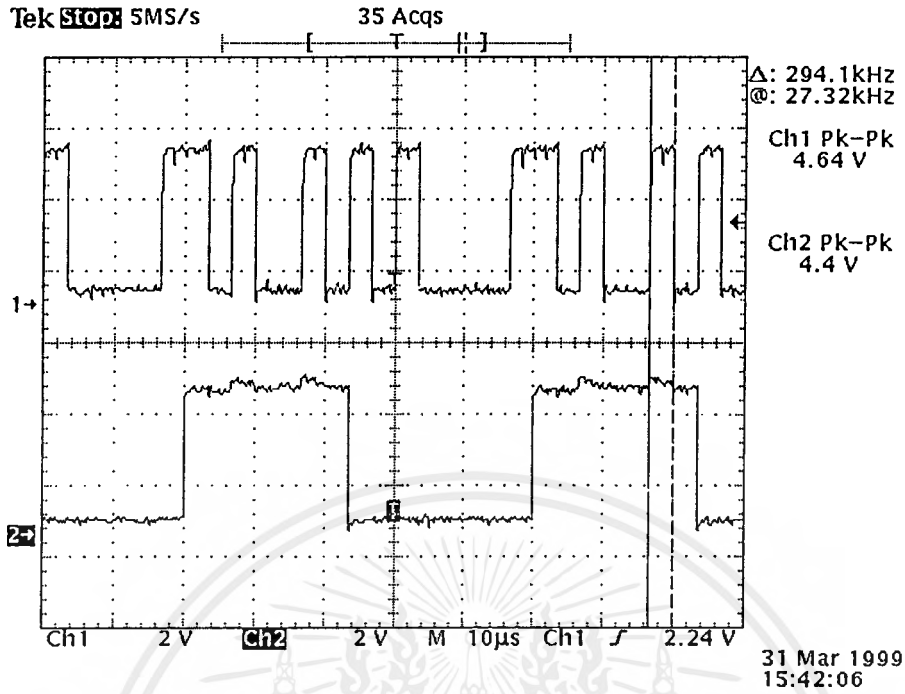


รูปที่ 4.5 Data ที่เข้า Code แล้ว เทียบกับ Data จาก PISO

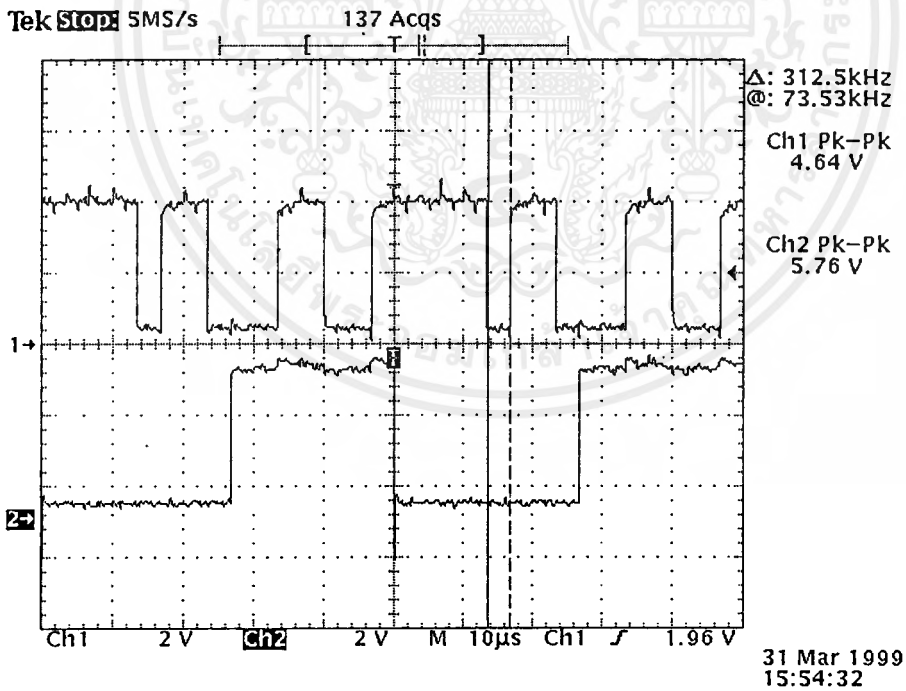


รูปที่ 4.6 Data เข้า Code แล้วเทียบ biphase

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

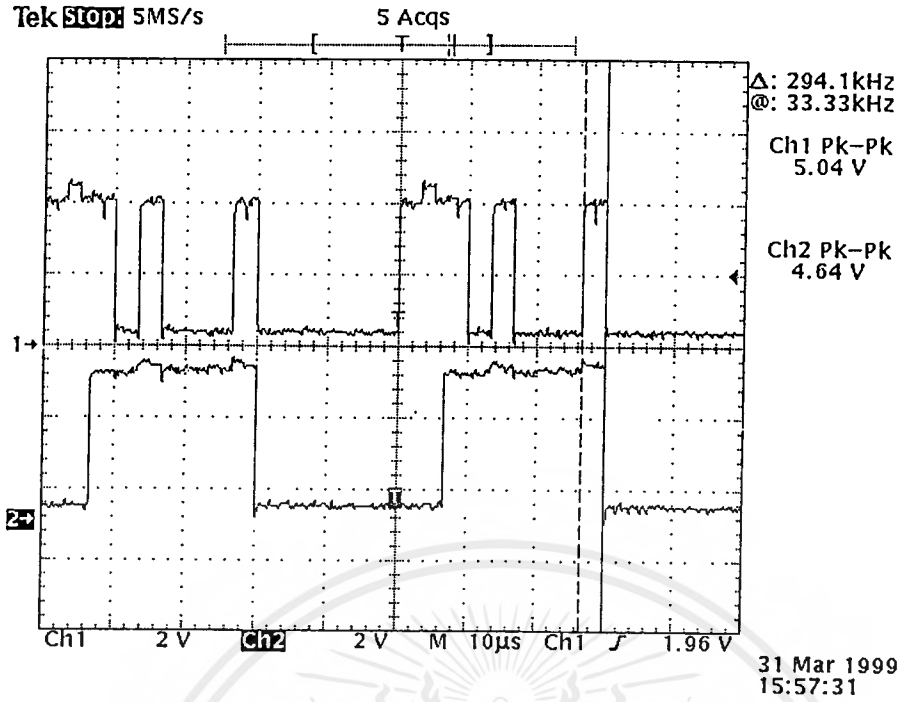


รูปที่ 4.7 ส่งข้อมูล 1010010 ทำการเข้ารหัสได้ Parity Check เป็น 1010001



รูปที่ 4.8 ส่งข้อมูล 0011001 ทำการเข้ารหัสได้ Parity Check เป็น 11110110

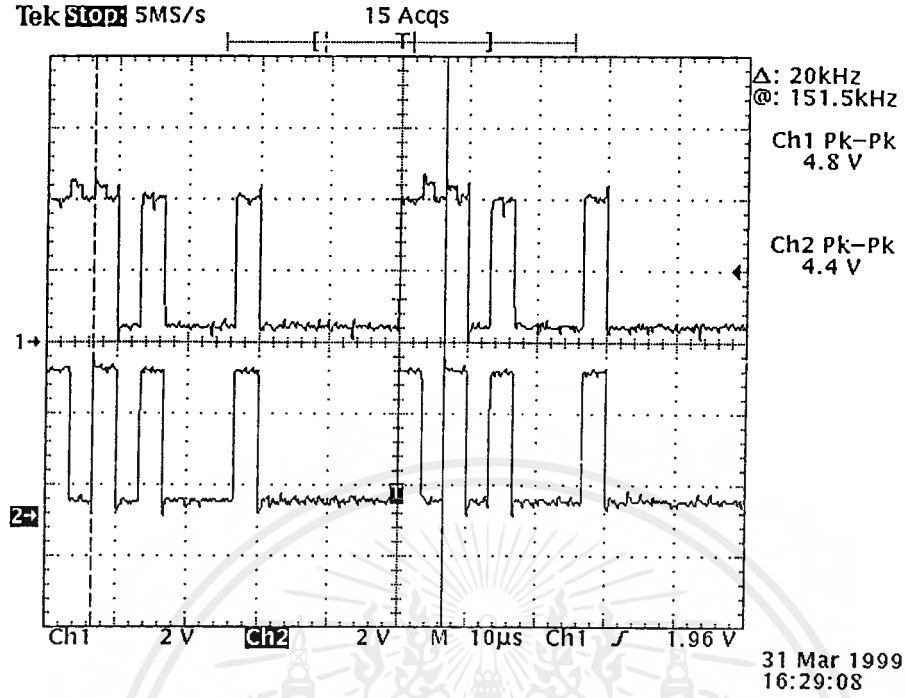
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



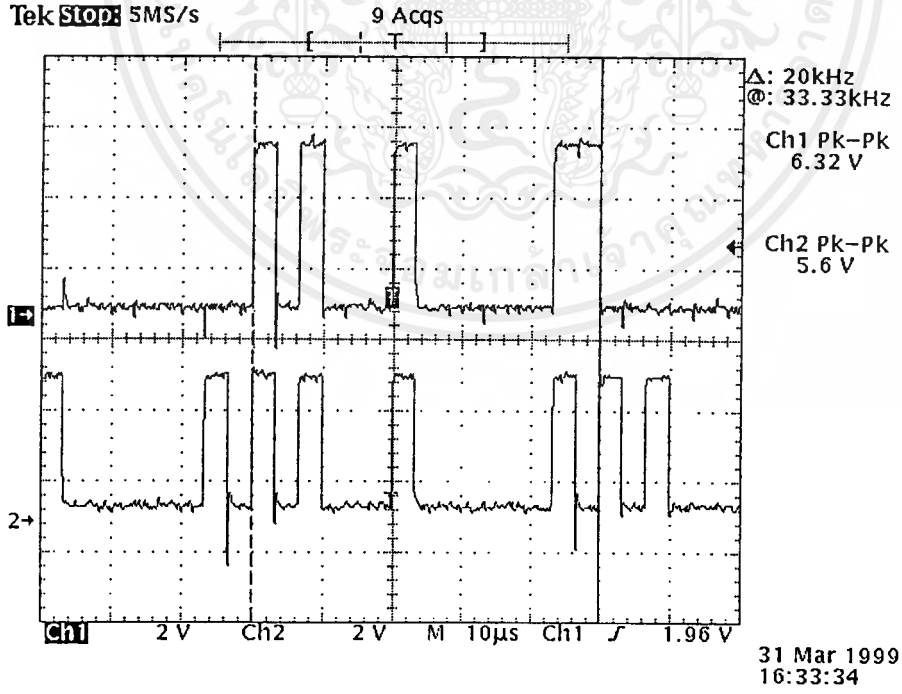
รูปที่ 4.9 ส่งข้อมูล 101001 ทำการเข้ารหัสได้ Parity Check เป็น 00000011

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลทางภาครับ

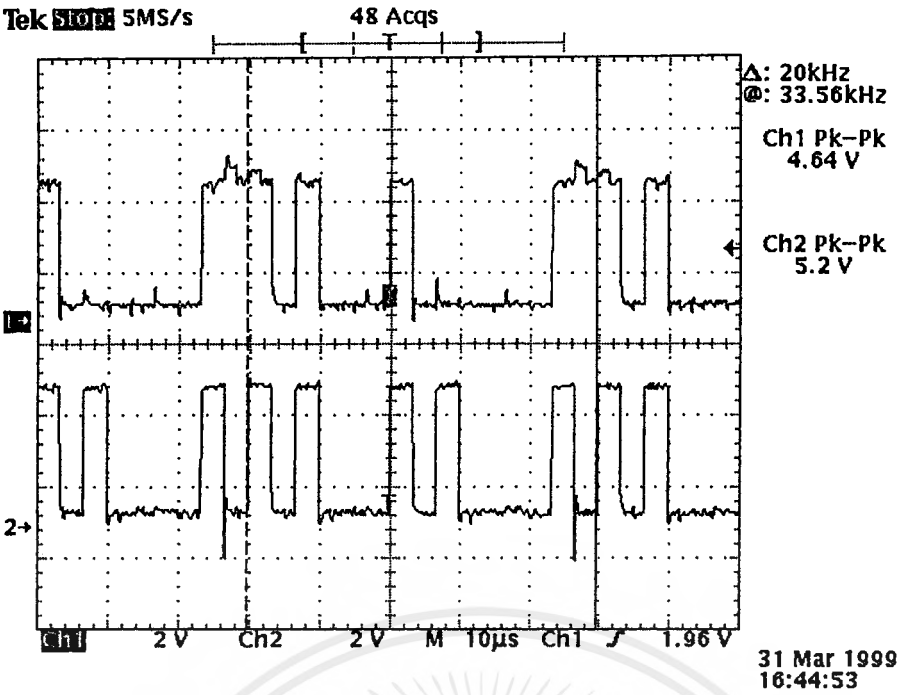


รูปที่ 4.10 ส่งข้อมูล 101000100000011 เกิดผิดพลาดที่ตำแหน่งบิตที่ 1 ได้ข้อมูลเป็น 101000100000010

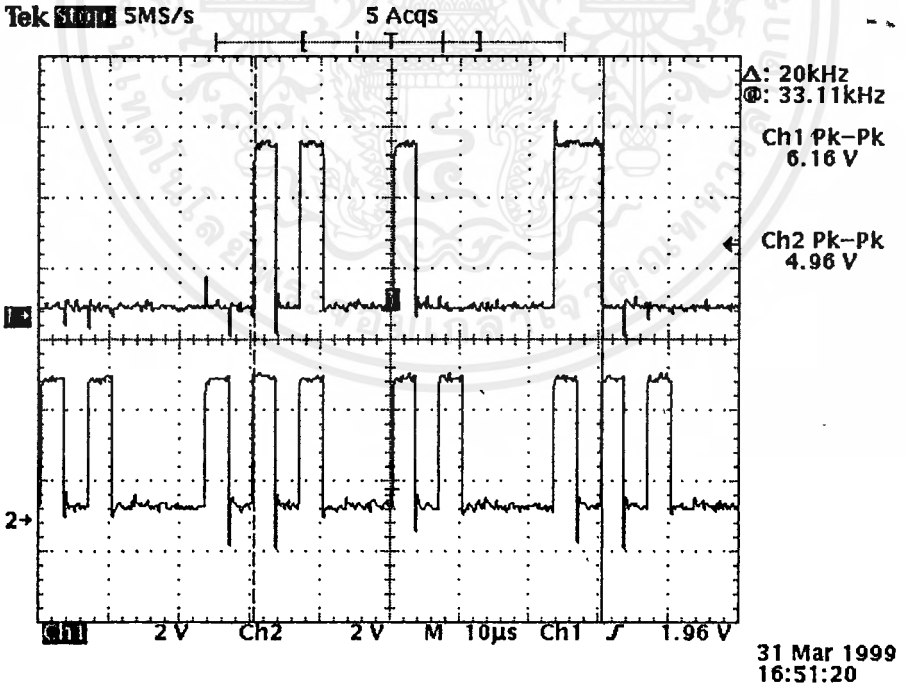


รูปที่ 4.11 ข้อมูลที่ผิด 101000100000010 เข้าตัวแก้รหัสผิดได้ข้อมูลเป็น 101000100000011

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

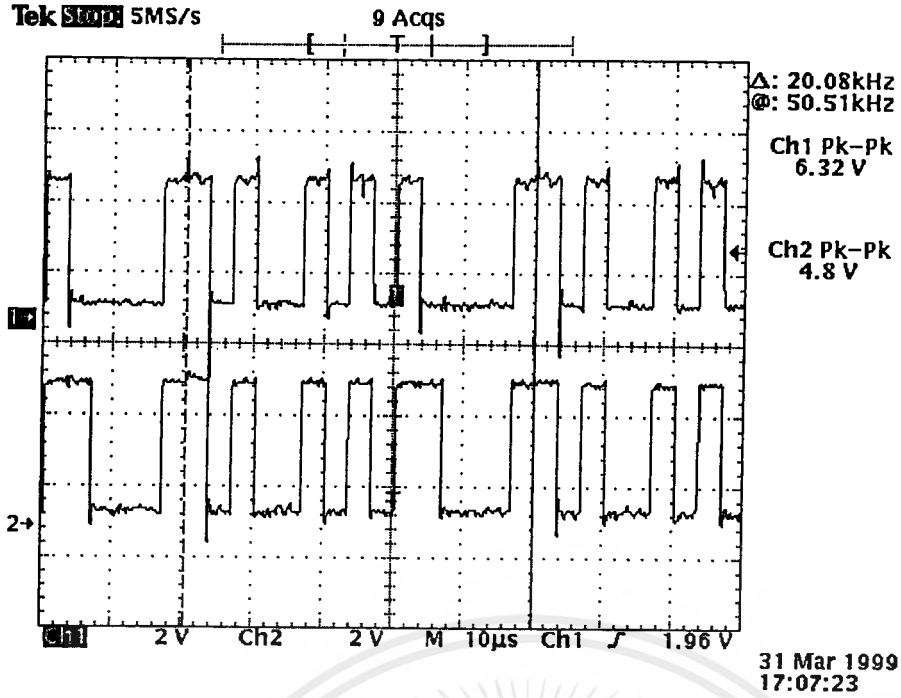


รูปที่ 4.12 ส่งข้อมูล 101000100000011 เกิดผิดพลาดที่ตำแหน่งบิตที่1 และบิตที่7ได้ข้อมูลเป็น 101000101000010

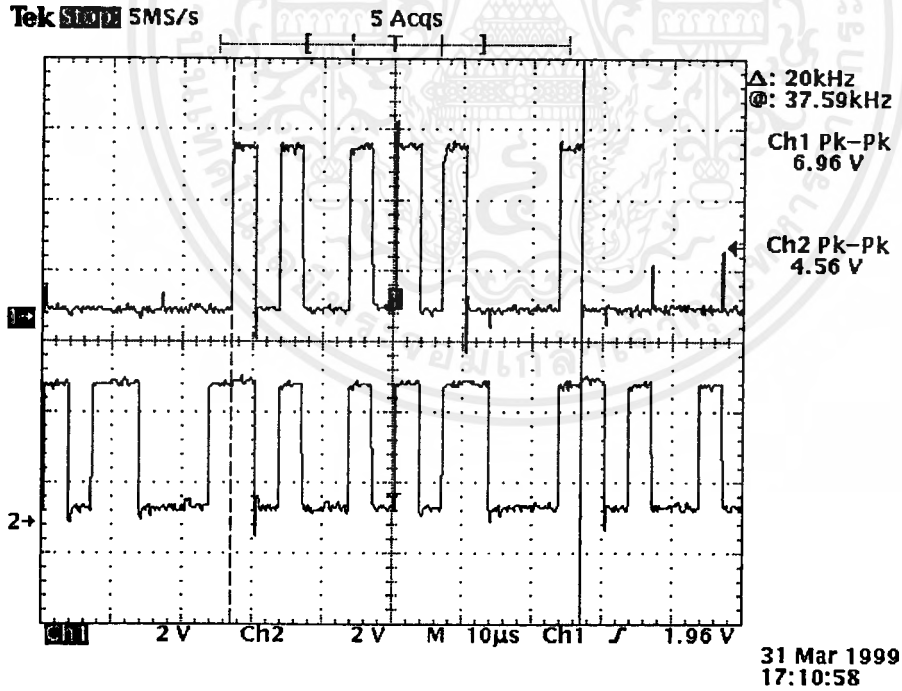


รูปที่ 4.13 ส่งข้อมูล 101000101000010 เข้าตัวแก้รหัสผิดได้ข้อมูล101000100000011

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

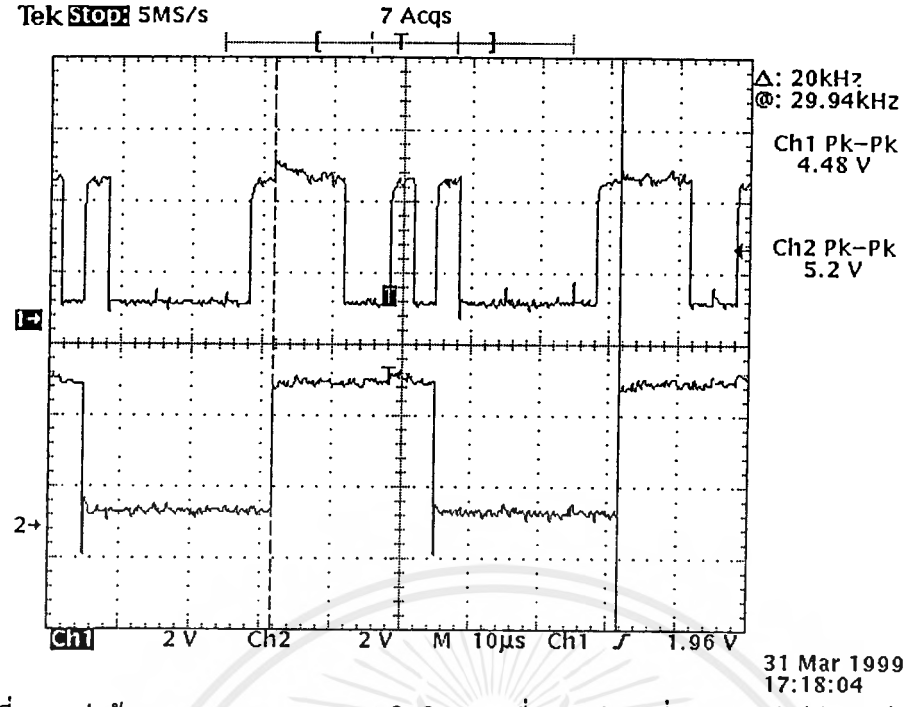


รูปที่ 4.14 ส่งข้อมูล 10100101010001 เกิดผิดพลาดที่ตำแหน่งบิตที่ 5 ได้ข้อมูลเป็น 101001010110001

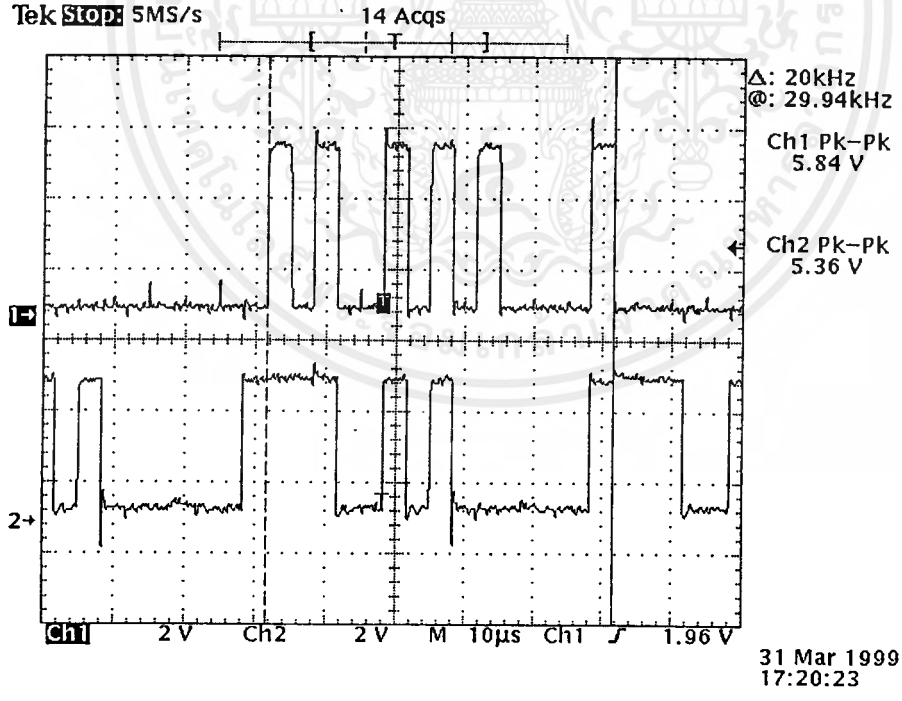


รูปที่ 4.15 ส่งข้อมูล 1010010101100011 เข้าตัวแก้รหัสที่ผิดที่ได้ข้อมูลเป็น 10100101010001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

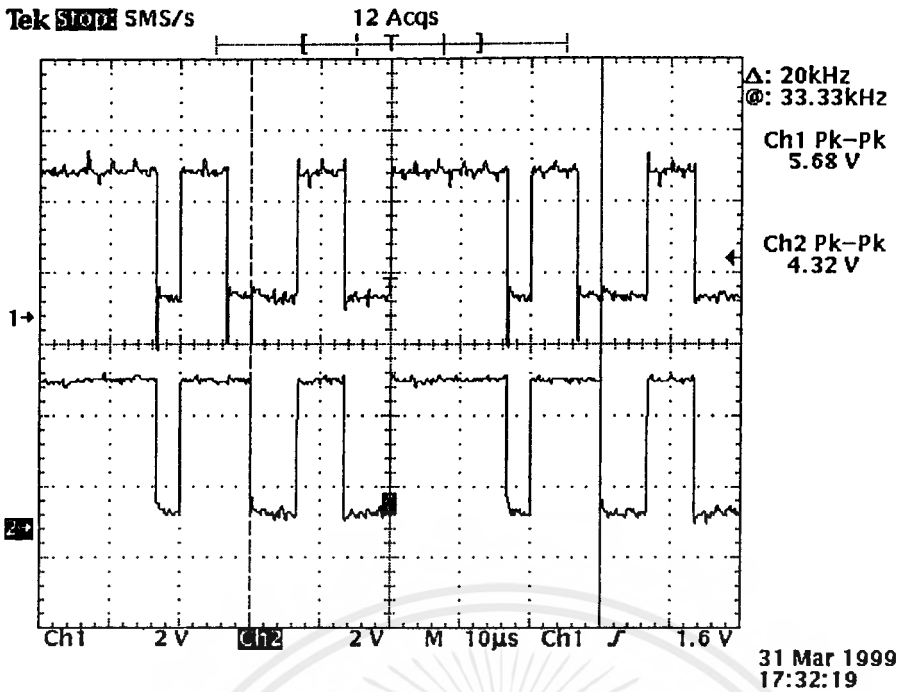


รูปที่ 4.16 ส่งข้อมูล 101001010100001 เกิดผิดพลาดที่ตำแหน่งบิตที่ 6 และ14 ได้ข้อมูลเป็น 111001010000001

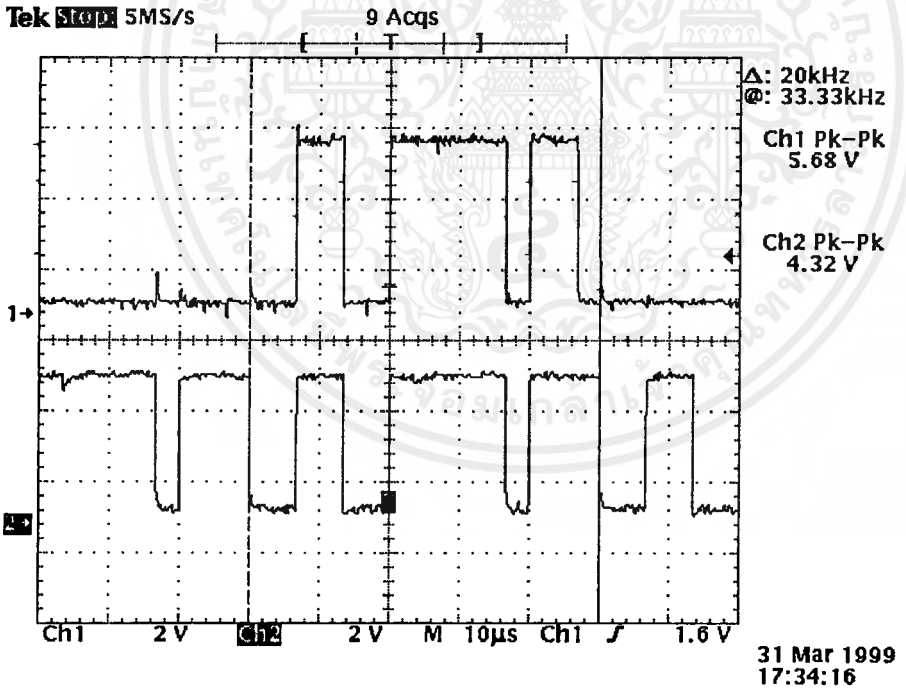


รูปที่ 4.17 ข้อมูลที่ผิด 111001010000001 เข้าตัวแก้รหัสผิดได้ข้อมูลเป็น 101001010100001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

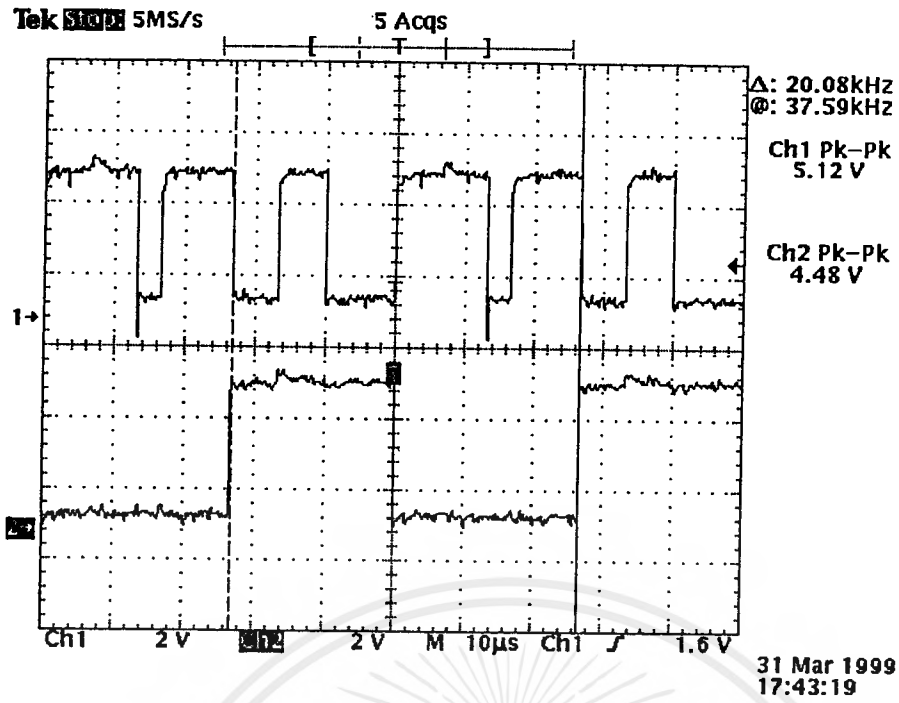


รูปที่ 4.18 ส่งข้อมูล 001100111110110 เกิดผิดพลาดที่ตำแหน่งบิตที่1 ได้ข้อมูลเป็น 001100111110111

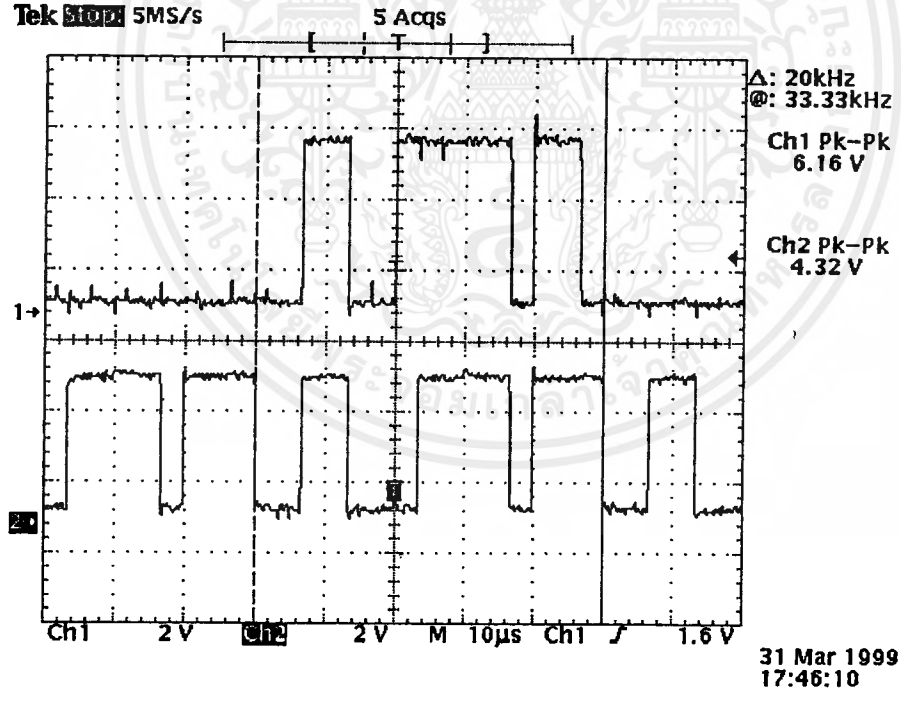


รูปที่ 4.19 ข้อมูลที่ผิด 001100111110111 เข้าตัวแก้รหัสผิดได้ข้อมูลเป็น 001100111110110

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

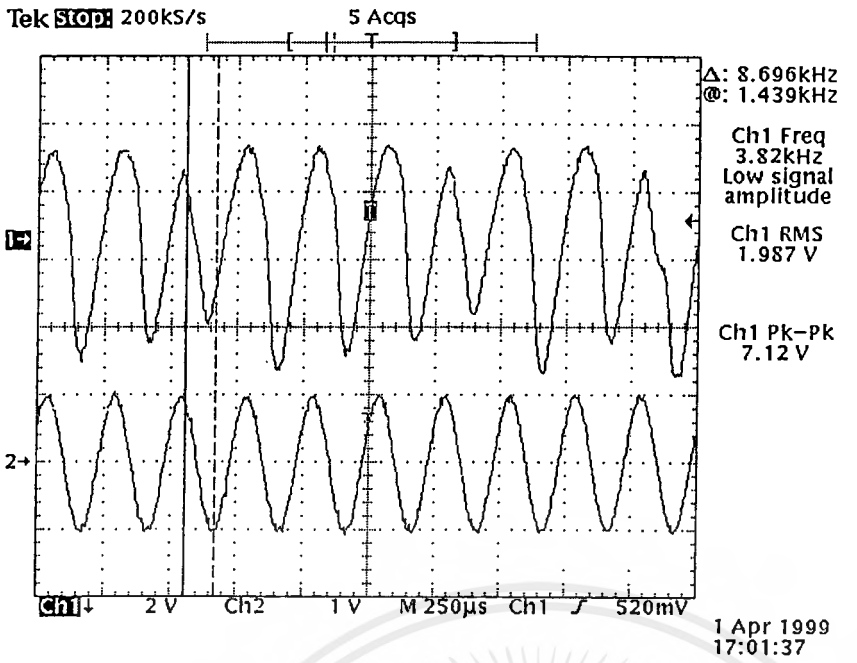


รูปที่ 4.20 ส่งข้อมูล 001100111110110 เกิดผิดพลาดที่ตำแหน่งบิตที่1 และ9 ได้ข้อมูลเป็น 001100011110111



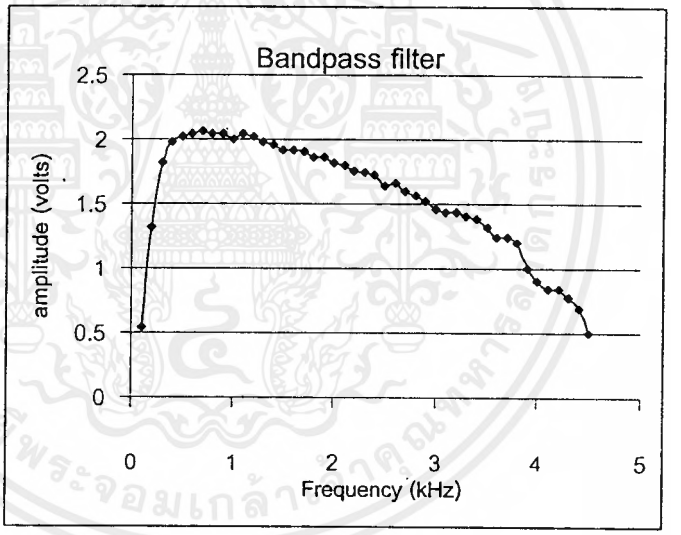
รูปที่ 4.21 ข้อมูลที่ผิด 001100011110111 เข้าตัวแก้รหัสผิดได้ข้อมูลเป็น 001100111110110

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



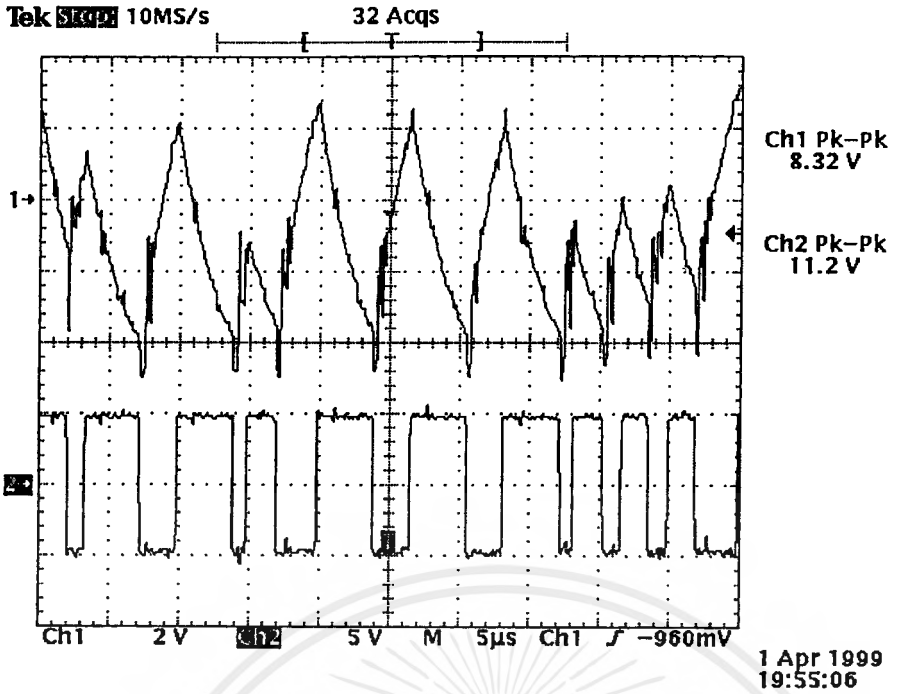
รูปที่ 4.22 สัญญาณ Output ที่เป็น Analog จากวงจรด้านรับ เทียบกับ สัญญาณ Input ที่เข้าภาคส่ง

(kHz)	(volts)	(kHz)	(volts)
0.1	0.54	2.3	1.74
0.2	1.32	2.4	1.72
0.3	1.82	2.5	1.64
0.4	1.98	2.6	1.66
0.5	2.02	2.7	1.60
0.6	2.04	2.8	1.56
0.7	2.06	2.9	1.52
0.8	2.04	3.0	1.46
0.9	2.04	3.1	1.44
1.0	2.00	3.2	1.44
1.1	2.04	3.3	1.40
1.2	2.02	3.4	1.38
1.3	1.98	3.5	1.32
1.4	1.96	3.6	1.24
1.5	1.92	3.7	1.24
1.6	1.92	3.8	1.20
1.7	1.90	3.9	1.00
1.8	1.86	4.0	0.90
1.9	1.86	4.1	0.84
2.0	1.82	4.2	0.84
2.1	1.80	4.3	0.78
2.2	1.76	4.4	0.69

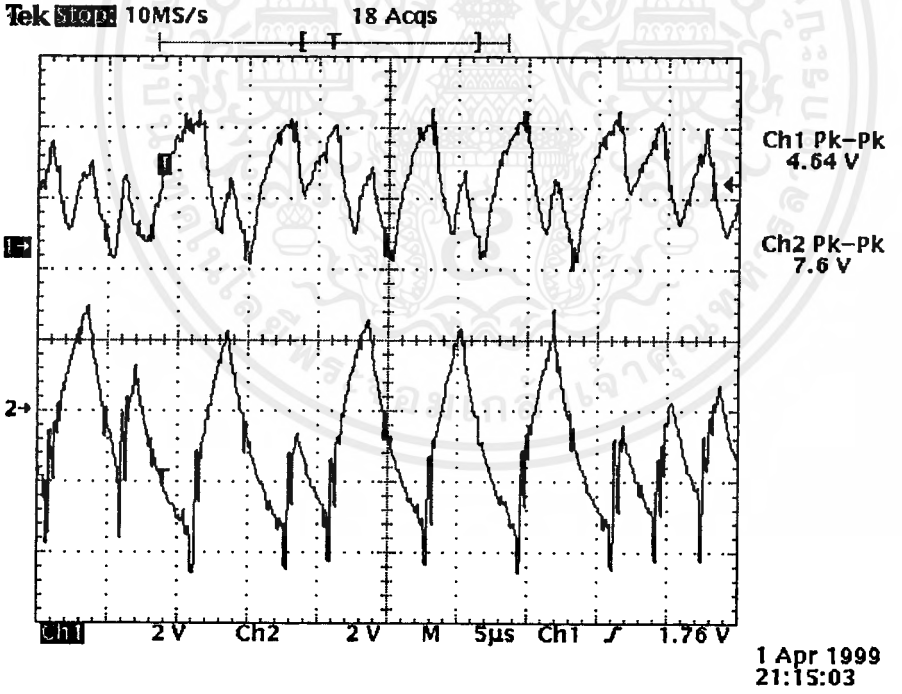


รูปที่ 4.23 ค่า Characteristic ของวงจร Bandpass filter ที่ได้จากการวัดและนำมา Plot กราฟ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

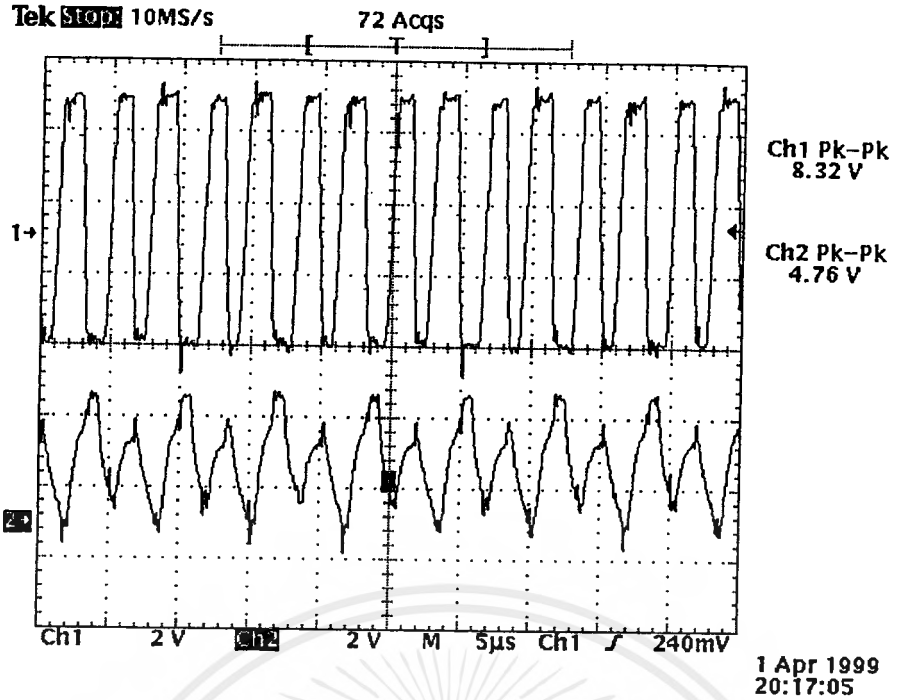


รูปที่ 4.24 สัญญาณของ Clock Recovery ในส่วนของ Integrate

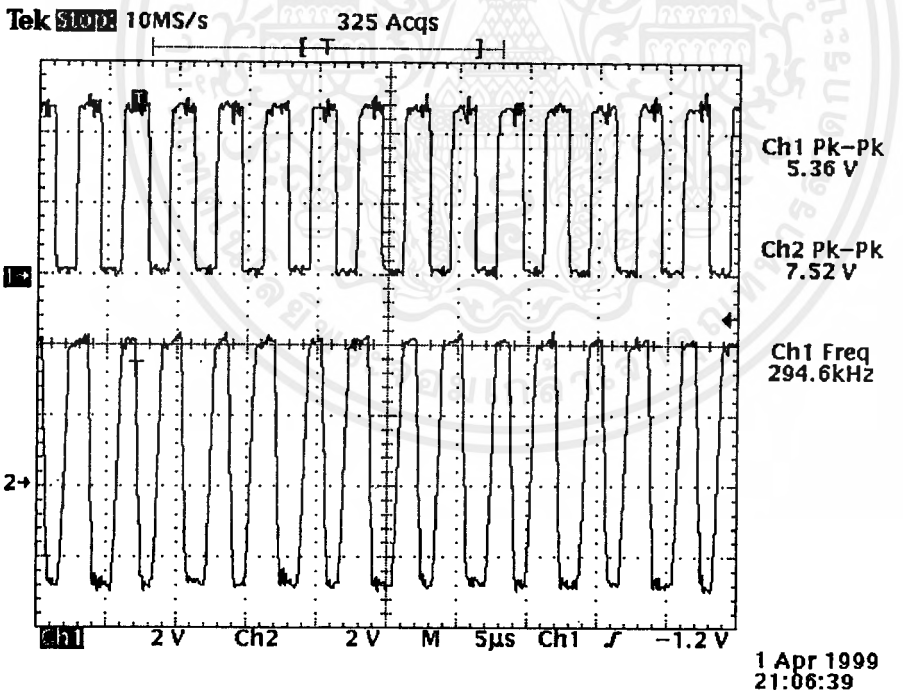


รูปที่ 4.25 สัญญาณที่ได้จาก Integrate แล้วมาผ่านวงจร Absolute

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.26 นำสัญญาณมาทำการ Differentiate



รูปที่ 4.27 นำสัญญาณที่ได้มาผ่านPhase lock loop ผลที่ได้นำมาเป็น Clock ของด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างการเปลี่ยนแปลงสถานะต่างๆในรีจีสเตอร์เมื่อส่งข้อมูล 1110010100000001ที่มีบิตผิดที่ตำแหน่ง 6 และ 14

บิตที่	Data	S_0	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_1+S_5	$S_0+S_2+S_6$	O/p M-gate
15	1	0	0	0	0	0	0	0	0			
14	1	1	0	0	0	0	0	0	0			
13	1	1	1	0	0	0	0	0	0			
12	0	1	1	1	0	0	0	0	0			
11	0	0	1	1	1	0	0	0	0			
10	1	0	0	1	1	1	0	0	0			
9	0	1	0	0	1	1	1	0	0			
8	1	0	1	0	0	1	1	1	0			
7	0	1	0	1	0	0	1	1	1			
6	0	1	1	0	1	1	0	0	0			
5	0	0	1	1	0	1	1	0	0			
4	0	0	0	1	1	0	1	1	0			
3	0	0	0	0	1	1	0	1	1			
2	0	1	0	0	0	0	1	1	0			
1	1	0	1	0	0	0	0	1	1			
15		0	0	1	0	1	0	1	0	0	0	0
14		0	0	0	1	0	1	0	1	1	0	1
13		0	0	0	0	0	0	0	1	0	0	0
12		1	0	0	0	1	0	1	1	0	0	0
11		1	1	0	0	1	1	1	0	0	0	0
10		0	1	1	0	0	1	1	1	0	0	0
9		1	0	1	1	1	0	0	0	0	0	0
8		0	1	0	1	1	1	0	0	0	0	0
7		0	0	1	0	1	1	1	0	1	0	0
6		0	0	0	1	0	1	1	1	1	1	1
5		0	0	0	0	0	0	0	0	0	0	0
4		0	0	0	0	0	0	0	0	0	0	0
3		0	0	0	0	0	0	0	0	0	0	0
2		0	0	0	0	0	0	0	0	0	0	0
1		0	0	0	0	0	0	0	0	0	0	0

จากตารางด้านบนเราจะเห็นว่าที่บิตที่ 6 และ 14 จะได้เอาท์พุทของมาเจอริตี้เกตเป็น 1 คือจะมีการแก้บิตนั้น ซึ่งก็คือบิตที่ผิดนั้นเองเมื่อทำการแก้บิตที่ผิดแล้วจะได้รหัสเป็น 101001010100001 ซึ่งเป็นรหัสที่ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อีกตัวอย่างหนึ่ง การเปลี่ยนแปลงสถานะต่างๆในรีจีสเตอร์เมื่อส่งข้อมูล 1010001010000010 ที่มีบิตผิดที่ตำแหน่ง 1 และ 7

บิตที่	Data	S_0	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_1+S_5	$S_0+S_2+S_6$	O/p M-gate
15	1	0	0	0	0	0	0	0	0			
14	0	1	0	0	0	0	0	0	0			
13	1	0	1	0	0	0	0	0	0			
12	0	1	0	1	0	0	0	0	0			
11	0	0	1	0	1	0	0	0	0			
10	0	0	0	1	0	1	0	0	0			
9	1	0	0	0	1	0	1	0	0			
8	0	1	0	0	0	1	0	1	0			
7	1	0	1	0	0	0	1	0	1			
6	0	0	0	1	0	1	0	0	1			
5	0	1	0	0	1	1	1	1	1			
4	0	1	1	0	0	0	1	0	0			
3	0	0	1	1	0	0	0	1	0			
2	1	0	0	1	1	0	0	0	1			
1	0	0	0	0	1	0	0	1	1			
15		1	0	0	0	0	0	1	0	0	0	0
14		0	1	0	0	0	0	0	1	1	0	0
13		1	0	1	0	1	0	1	1	0	1	0
12		1	1	0	1	1	1	1	0	0	0	0
11		0	1	1	0	1	1	1	1	0	0	0
10		1	0	1	1	1	1	0	0	1	0	0
9		0	1	0	1	1	1	1	0	0	1	0
8		0	0	1	0	1	1	1	1	1	0	0
7		1	0	0	1	1	1	0	0	1	1	1
6		1	1	0	0	1	1	1	0	0	0	0
5		0	1	1	0	0	1	1	1	0	0	0
4		1	0	1	1	1	0	0	0	0	0	0
3		0	1	0	1	1	1	0	0	0	0	0
2		0	0	1	0	1	1	1	0	1	0	0
1		0	0	0	1	0	1	1	1	1	1	1

จากตารางด้านบนเราจะเห็นว่าที่บิตที่ 1 และ 7 จะได้เอาท์พุทของมาเจอริตี้เกตเป็น 1 คือจะมีการแก้บิตนั้น ซึ่งก็คือบิตที่ผิดนั้นเองเมื่อทำการแก้บิตที่ผิดแล้วจะได้รหัสเป็น 1010001000000011 ซึ่งเป็นรหัสที่ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์ผลการทดลอง

จากการทดลองทำวงจรการแก้รหัสที่ผิดโดยอาศัยวงจรทางดิจิตอล เราสามารถที่จะสรุปปัญหาที่พบและแนวทางในการแก้ไขเพื่อให้ประสิทธิภาพของการแก้รหัสดีขึ้น ปัญหาที่พบมีดังนี้

การหน่วงเวลาของสัญญาณภายในแต่ละส่วนของวงจร เนื่องจากวงจรส่วนมากเป็นวงจรทางดิจิตอล ดังนั้นจะต้องควบคุมให้สัญญาณนาฬิกาที่ขอบขาขึ้นและลงตรงสถานะที่ต้องการอย่างถูกต้อง การแก้ไขการหน่วงเวลาของสัญญาณในโครงงานนี้ ใช้การตรวจเช็คว่าจุดไหนของวงจร มีการหน่วงเวลาไปมากน้อยเพียงใด การแก้ก็จะทำให้สัญญาณที่เร็วกว่าถูกนำไปผ่านเกทดิจิตอล เพื่อทำให้ได้สัญญาณที่ตรงกันมากที่สุด การหน่วงเวลาเนื่องจากอุปกรณ์ดิจิตอลจะไม่ค่อยมีผลมาก โดยส่วนมากจะเกิดการหน่วงเวลาเนื่องจากอุปกรณ์ที่เป็นแอกทีฟและพาสซีฟ

ข้อมูลข่าวสารในการเข้ารหัสจะต้องมีการเพิ่มบิตพาริตี้เช็คเข้ามาทำให้ประสิทธิภาพในการส่งต่ำลงแต่จะสามารถที่จะแก้ความผิดพลาดที่เกิดจากสัญญาณรบกวนได้มากขึ้นด้วย การมีบิตพาริตี้มากขึ้นจะสามารถที่จะแก้บิตที่ผิดได้มากขึ้นก็จริงแต่จะต้องสิ้นเปลืองแบนด์วิธของตัวกลางในการส่งสัญญาณ .

การซิงโครไนซ์สัญญาณทางด้านส่งและด้านรับในโครงงานนี้เป็นการส่งข้อมูลไปอย่างต่อเนื่องทั้งทางด้านส่งและรับจะต้องเริ่มทำงานพร้อมกันถึงจะสามารถกู้สัญญาณข้อมูลเดิมกลับคืนมาได้

ในการเข้ารหัสและถอดรหัสจะต้องมีเวลาในการที่วงจรจะเพิ่มเติมบิตพาริตี้ เวลาในการตรวจแก้รหัสว่าเกิดการผิดพลาดหรือไม่พร้อมทั้งแก้บิตที่ผิด และเวลาเอาบิตพาริตี้ออกจากข้อมูลที่ส่งมาก่อนการนำข้อมูลไปใช้ ถ้าหากว่าข้อมูลเข้ามาอย่างต่อเนื่องจะต้องมีการสูญเสียข้อมูลบางชุดไปในช่วงเวลาดังกล่าว ดังนั้นถ้าหากว่าเป็นข้อมูลเสียงก็จะสามารถที่จะยอมให้ข้อมูลหายได้ เราสามารถที่จะเพิ่มความเร็วของสัญญาณนาฬิกาเพื่อให้ช่วงที่มีการได้คุณภาพเสียงที่ดีขึ้น แต่ถ้าเป็นดาต้าจะต้องมีการหยุดข้อมูลก่อนการเข้าวงจรในการเข้ารหัสและวงจรการแก้รหัสผิด เพื่อรอให้ช่วงเวลาทำงานของวงจรเสร็จและทำการส่งข้อมูลชุดใหม่เข้าไป .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] คเชนทร์ แจ่มกมล, "Data Scramble Using Syndrome of linear Block code and Pseudo-random Bit Allocation", 1995

[2] ฟูศักดิ์ ชีวสุวิทย์, "การแก้รหัสที่ผิด", คณะวิศวกรรมศาสตร์ สจว.

[3] Rhee, Man Young " Error-correcting coding theory " , New York : McGraw-Hill, c1989.

[4] Lin, Shu " Error control coding fundamentals and applications " NJ : Prentice-Hall, 1983.

[5] Schweber, William L " Data communications / William L " New York : McGraw-Hill, c1988.

[6] Robert boylestad, louis nashelsky "eletronic device and circiut theory" : Prentice-Hall, 1996

[7] วิโรจน์ อัศวรังสี,ชัชวาล เต็มวงศ์, กรชุสี ใช้สถิตย์ "การใช้ opamp และ linear IC : ซีเอ็ดยูเคชั่น มหาชน พ.ศ.2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

รายงานฉบับนี้สามารถสำเร็จลุล่วงไปได้ด้วยดี ก็ด้วยความอนุเคราะห์จากอาจารย์ทุกท่านที่เคยอบรม สั่งสอน ทำให้ผู้จัดทำสามารถนำวิชาความรู้ที่ได้รับการสั่งสอนมาประยุกต์ใช้ โดยเฉพาะอย่างยิ่ง อาจารย์ กอบชัย เดชหาญ ที่คอยให้ความช่วยเหลือ คำแนะนำ คำปรึกษา ชี้แนะแนวทางในการปฏิบัติงานต่าง ๆ เป็นอย่างดี รวมถึงพี่ๆ เพื่อนๆ ที่คอยให้ความช่วยเหลือในด้านต่าง ๆ

จึงขอขอบคุณมา ณ ที่นี้ด้วย

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้