สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การเชื่อมต่อสัญญาณ PCM / FM ผ่านตัวกลางเส้นใยแก้วนำแสง

นาย วิทวัส พรรณรังษี
นาย สากล ระหงษ์

โครงงานพิเศษที่เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต
ภาควิชาฟิสิกส์ประยุกต์
คณะวิทยาศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน.....38548.....
วัน, เดือน, ปี.....5 มิ.ย. 2544.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signaling PCM / FM via fiber-optic Link

Mr. Vittawat Phunnarungsi

Mr. Sakon Rahong

A Special Project Submitted in Partial Fulfillment of the Requirement

for the Degree of Bachelor of Science

Department of Applied Physics

Faculty of Science

King Mongkut's Institute of Technology Ladkrabang

1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อโครงงานพิเศษ	การเชื่อมต่อสัญญาณ PCM / FM ผ่านตัวกลางเส้นใยแก้วนำแสง			
	Signaling PCM / FM via fiber-optic Link			
โดย	นาย วิทวัส	พรรณรังษี	รหัส	39054443
	นาย สากล	ระหงษ์	รหัส	39054453
ภาควิชา	ฟิสิกส์ประยุกต์			
อาจารย์ที่ปรึกษา	ผศ. ดร. ศิริศักดิ์ เตชะทวีกุล			

ภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับโครงงานพิเศษฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต

..... หัวหน้าภาควิชาฟิสิกส์ประยุกต์

(รศ. สุรพล รักวิจัย)

คณะกรรมการโครงงานพิเศษ

..... ประธานกรรมการ

(ผศ.ดร. ศิริศักดิ์ เตชะทวีกุล)

..... กรรมการ

(อ.สุ่น จ่างประยูร)

..... กรรมการ

(อ.ธีรวัฒน์ ประกอบผล)

..... กรรมการ

(อ.บดินทร์ ดำรงค์ศักดิ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลิขสิทธิ์ของภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

หัวข้อโครงงานพิเศษ	การเชื่อมต่อสัญญาณ PCM / FM ผ่านตัวกลางเส้นใยแก้วนำแสง
นักศึกษา	นาย วิทวัส พรรณรังษี นาย สากล ระหงษ์
อาจารย์ที่ปรึกษา	ผศ. ดร. ศิริศักดิ์ เตชะทวีกุล
ภาควิชา	ฟิสิกส์ประยุกต์
ปีการศึกษา	2542

บทคัดย่อ

โครงงานพิเศษนี้ เป็นการสร้างระบบส่งสัญญาณอนาลอกโดยใช้เทคนิคพัลส์โค๊ดมอดูเลชัน กับ ฟรีเควนซีมอดูเลชัน โดยผ่านตัวกลางเป็นเส้นใยแก้วนำแสง ในภาคส่งเราใช้ไอซีเบอร์ ADC 0820 ซึ่งมีฟังก์ชันการจัดระดับและการสุ่มภายในตัวไอซีเพื่อใช้ในการแปลงสัญญาณอนาลอกเป็นดิจิตอลและใช้ไอซีเบอร์XR-2206เป็นตัวมอดูเลตให้เป็นสัญญาณFM สัญญาณที่ออกมาจะถูกแปลงเป็นสัญญาณแสงโดย LED สัญญาณแสงจะถูกส่งออกไปยังสายไฟเบอร์ออพติก ในภาครับเราจะใช้ โฟโต้ไดโอด แปลงสัญญาณจากสัญญาณแสงกลับไปเป็นสัญญาณทางไฟฟ้าอีกครั้งและใช้ไอซีเบอร์ LM 565 เป็นตัวล็อกสัญญาณพาหะ และใช้ไอซีเบอร์ DAC 0832 เป็นตัวแปลงสัญญาณดิจิตอลให้เป็นอนาลอกอีกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Special Project Title Signaling PCM / FM via fiber-optic Link

Name Mr. Vittawat Phunnarungsi

Mr. Sakon Rahong

Special Project Advisor Asst. Prof. Dr. Sirisak TECHATHAWIEKUL

Department Applied Physics

Academic Year 1999

ABSTRACT

The purpose of this project is to build up a system for transferring analog signal by using Pulse Code Modulation (PCM) and Frequency Modulation (FM) technique via fiber-optic link. In this system IC ADC 0820 with quantizing and sampling function is used to convert analog signal into digital signal. This digital signal goes into IC XR-2206 and modulated signal is converted into optical signal at and LED. This optical signal is lanuched into a plastic optical fiber with a photodiode at another end and electrical signal is obtained. With LM565 (PLL) and IC DAC 0832,the electical signal is converted into the original analog signal again. It has been found that system work well.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานพิเศษนี้ไม่สามารถประสบความสำเร็จลุล่วงโดยสมบูรณ์ได้ ถ้าปราศจากความช่วยเหลือของบุคคลดังต่อไปนี้

ขอขอบพระคุณ

บิดา มารดา ผู้ให้ชีวิตและทุกสิ่งทุกอย่าง

ผศ.ดร.ศิริศักดิ์ เตชะทวีกุล และ ผศ.วิชิต ศิริโชติ ที่ให้คำปรึกษาคำแนะนำ และความช่วยเหลือต่างๆ ที่ทำให้โครงงานพิเศษนี้สำเร็จลุล่วงไปด้วยดี

อ.สุ่น จ่างประยูร สำหรับอุปกรณ์ Oscilloscope , Function และ Supply ที่ดี

อ.ธวัชชัย ขาวประเสริฐ สำหรับห้องทำ Project และ Printer

สุดท้ายขอขอบคุณ เพื่อนๆ ฟิสิกส์ประยุกต์รุ่น15 พี่บัณฑิตและน้องๆทุกคนที่ให้กำลังใจมาโดยตลอด

วิทวัส พรรณรังษี

สากล ระหงษ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อโครงงานพิเศษภาษาไทย	ก
บทคัดย่อโครงงานพิเศษภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญรูป	จ
สารบัญตาราง	ซ
บทนำ	1
บทที่ 1 คุณสมบัติพื้นฐานทางแสง	2
1.1 คุณสมบัติทางแสง	2
บทที่ 2 คุณสมบัติพื้นฐานของเส้นใยแก้วนำแสง	20
2.1 ประวัติความเป็นมาของเส้นใยแก้วนำแสง	20
2.2 โครงสร้างของเส้นใยแก้วนำแสง	20
2.3 การผลิตเส้นใยแก้วนำแสง	21
2.4 ชนิดของใยแก้วนำแสง	23
2.5 สายเคเบิลเส้นใยแก้วนำแสง	27
2.6 การสื่อสารด้วยแสง	28
2.7 สรุป	35
บทที่ 3 ทฤษฎีของระบบ PCM และ FM	36
3.1 ลักษณะโดยรวมของระบบ PCM	36
3.2 ลักษณะโดยรวมของระบบ FM	40
บทที่ 4 การคำนวณและออกแบบวงจร	49
4.1 วงจรสัญญาณภาคส่ง	49
4.2 วงจรสัญญาณภาครับ	55
บทที่ 5 ผลการทดลอง	63
บทที่ 6 บทสรุปปัญหา และแนวทางการแก้ไขปัญหา	68
6.1 ปัญหาที่พบภายในระบบ	68
6.2 แนวทางการแก้ไขปัญหา	68
ภาคผนวก	
บรรณานุกรม	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 1.1 แสดงความถี่และความยาวคลื่นของคลื่นแม่เหล็กไฟฟ้าชนิดต่างๆ 3
รูปที่ 1.2 แสดงสเปกตรัมความไวต่อแสง 4
รูปที่ 1.3 แสดงการทดลองว่าแสงมีคุณสมบัติเป็นคลื่น 5
รูปที่ 1.4 แสดงการทดลองการเกิดปรากฏการณ์โฟโตอิเล็กทริก 6
รูปที่ 1.5 แสดงความสัมพันธ์ระหว่างกระแสไฟฟ้าและความถี่ของแสงในปรากฏการณ์โฟโตอิเล็กทริก 6
รูปที่ 1.6 แสดงหลักการวัดปรากฏการณ์คอมป์ตัน และสเปกตรัมการกระเจิงรังสีเอกซ์ 8
รูปที่ 1.7 แสดงการชนกันระหว่างรังสีเอกซ์และอิเล็กตรอนแบบอิลาสติก 9
รูปที่ 1.8 แสดงสภาพระดับพลังงานที่มีค่าไม่เท่ากัน 10
รูปที่ 1.9 แสดงชนิดของคลื่นตามยาวและคลื่นตามขวาง 11
รูปที่ 1.10 แสดงคุณสมบัติของแสงซึ่งเป็นคลื่นแม่เหล็กไฟฟ้า และการพิจารณาเวกเตอร์สนามไฟฟ้า และเวกเตอร์สนามแม่เหล็กของคลื่นแสง 12
รูปที่ 1.11 แสดงคุณสมบัติของคลื่นแสง 13
รูปที่ 1.12 แสดงการหักเหและการสะท้อนของแสงที่พรมแดนระหว่างวัตถุ 2 ชนิด 15
รูปที่ 1.13 แสดงการหักเหของแสง 17
รูปที่ 2.1 แสดงส่วนประกอบของเส้นใยแก้วนำแสง 21
รูปที่ 2.2 แสดงการดึงเส้นใยแก้วนำแสง 21
รูปที่ 2.3 แสดงการดึงเส้นใยแก้วนำแสงวิธีต่างๆ 22
รูปที่ 2.4 แสดงลักษณะของแสงที่เดินทางภายในของเส้นใยแก้วนำแสง 24
รูปที่ 2.5 แสดงภาคตัดขวางของเส้นใยแก้วนำแสงโหมดเดียว 25
รูปที่ 2.6 แสดงภาคตัดขวางของเส้นใยแก้วนำแสงหลายโหมด 25
รูปที่ 2.7 แสดงชนิดของเส้นใยแก้วนำแสงตามลักษณะของดัชนีหักเหของแกน 26
รูปที่ 2.8 แสดงโหมดของเส้นโพลาไรซ์สองโหมดที่ตั้งฉากกันและมีความเร็วต่างกัน 27
รูปที่ 2.9 แสดงตัวอย่างของเส้นใยแก้วนำแสงไฮลีไบร์ฟรินเจนซ์บางชนิด 27
รูปที่ 2.10 แสดงตัวอย่างของเคเบิลใยแก้ว 28
รูปที่ 2.11 ผังแสดงระบบสื่อสารใยแก้วนำแสง 30
รูปที่ 2.12 แสดงการผสมสัญญาณและการส่ง 31
รูปที่ 2.13 แสดงการมัลติเพลกซ์แบบแบ่งระยะทาง 32
รูปที่ 2.14 แสดงการมัลติเพลกซ์แบบแบ่งความถี่ 33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ 2.15 แสดงการมัลติเพลกซ์แบบแบ่งเวลา 33

รูปที่ 2.16 การมัลติเพลกซ์แบบแบ่งความยาวคลื่น 34

รูปที่ 3.1 ไดอะแกรมแสดงขั้นตอนการส่งสัญญาณPCM 36

รูปที่ 3.2 แสดงขั้นตอนในการแปลงสัญญาณ อนาลอก เป็นสัญญาณ ดิจิตอล 37

รูปที่ 3.3 แสดงการสุ่มสัญญาณ อนาลอก 37

รูปที่ 3.4 แสดงอัตราการสุ่มสัญญาณเมื่อ $f_s < 2f_a$ และ $f_s > 2f_a$ 38

รูปที่ 3.5 แสดงระบบPCM แบบ 3 bit 39

รูปที่ 3.6 แสดงลักษณะของสัญญาณที่ได้จากการมอดูเลตสัญญาณ PCM กับ FM 41

รูปที่ 3.7แสดงการมอดูเลชันแบบฟรีเควนซีมอดูเลชัน 42

รูปที่ 3.8 แสดงพื้นฐานของ PLL 44

รูปที่ 3.9 แสดงอินพุทและเอาท์พุทของเฟสดีเทคเตอร์ 45

รูปที่ 3.10 แสดงลักษณะของ VCO 46

รูปที่ 3.11 แสดงเฟสล็อคลูปและการเพิ่มและลดของเฟสเซอร์ของสัญญาณอินพุท 47

รูปที่ 4.1 แสดงบล็อกไดอะแกรมแสดงระบบการส่งสัญญาณแบบ PCM / FM 49

รูปที่ 4.2 แสดงวงจรสร้างสัญญาณนาฬิกา และสัญญาณควบคุม 50

รูปที่ 4.3 แสดงวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล 51

รูปที่ 4.4แสดงวงจร buffer รหัสขบวนสัญญาณ 52

รูปที่ 4.5 แสดงวงจร PISO 53

รูปที่ 4.6 แสดงวงจรมอดดูเลทสัญญาณ FM 54

รูปที่ 4.7 แสดงวงจรขับสัญญาณแสง 55

รูปที่ 4.8 แสดงวงจรรับสัญญาณแสง 56

รูปที่ 4.9 แสดงบล็อกไดอะแกรมของ เฟสล็อกลูป 57

รูปที่ 4.10 แสดงวงจรดีมอดูเลทสัญญาณ FM 58

รูปที่ 4.11 แสดงวงจรขยาย 59

รูปที่ 4.12 แสดงวงจร SIPO 60

รูปที่ 4.13 สร้างสัญญาณภาครับ 61

รูปที่ 4.14 แสดงวงจรแปลงสัญญาณ ดิจิตอลเป็นอนาลอก 62

รูปที่ 5.1 แสดงสัญญาณอนาลอกอินพุท 63

รูปที่ 5.2 แสดงสัญญาณแฟรมข้อมูลทางภาคส่ง 63

รูปที่ 5.3 แสดงสัญญาณขยายแฟรมข้อมูลทางภาคส่ง 64

รูปที่ 5.4 แสดงสัญญาณ PCM ที่มอดูเลตกับสัญญาณ FM ที่ภาคส่ง 64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ 5.5 แสดงสัญญาณแฟรมข้อมูลทางภาครับ 65
รูปที่ 5.6 แสดงสัญญาณสัญญาณที่ผ่านการดีมอดดูเลท FM 65
รูปที่ 5.7 แสดงสัญญาณอนาลอกเอาท์พุท 66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 3.1 แสดงรหัสไบนารี่แบบต่างๆ 39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

ความสำคัญและที่มาของโครงงาน

การสื่อสารผ่านเส้นใยแก้วนำแสง ถือเป็นการสื่อสารอีกรูปแบบหนึ่งที่น่าสนใจ และมีความสำคัญอย่างยิ่งในเทคโนโลยีสมัยใหม่ จึงมีการคิดค้นเทคนิคต่างๆ ในการส่งข้อมูลผ่านเส้นใยแก้วนำแสง เพื่อให้ได้ข้อมูลที่ถูกต้องไม่ผิดเพี้ยน โครงงานพิเศษนี้จึงเป็น อีกเทคนิคหนึ่ง ที่ใช้สัญญาณ PCM (Pulse Code Modulation) และสัญญาณ FM (Frequency Modulation) ในการส่งข้อมูล ผ่านทางเส้นใยแก้วนำแสง เพื่อให้ได้ข้อมูลที่ถูกต้องและแม่นยำขึ้น

วัตถุประสงค์

1. เพื่อศึกษาหลักการสื่อสาร และการใช้งานเส้นใยแก้วนำแสง
2. เพื่อศึกษาเทคนิคการมอดูเลตสัญญาณแบบ พัลส์โคดมอดูเลชั่น และฟรีเควนซี่มอดูเลชั่น ในระบบสัญญาณแสง
3. เพื่อสร้างเครื่องมือที่ใช้เทคนิคการมอดูเลชั่นสัญญาณ พัลส์โคดมอดูเลชั่น และฟรีเควนซี่มอดูเลชั่น เพื่อใช้ในการส่งสัญญาณข้อมูลผ่านทางเส้นใยแก้วนำแสง

ข้อดีและประโยชน์ของโครงงานนี้

โครงงานนี้เป็นการส่งสัญญาณ FM โดยนำสัญญาณแบบ PCM นำมามอดูเลตกัน ผ่านทางเส้นใยแก้วนำแสงซึ่งจะทำให้ความถี่ที่เกิดขึ้นมีเพียง 2 ความถี่ ซึ่งจะง่ายต่อการแปลงสัญญาณกลับมาเป็นสัญญาณเดิม ซึ่งถ้าเราทำการส่งสัญญาณ FM แบบธรรมดา สัญญาณนี้จะมีความถี่หลายค่า ซึ่งถ้าในระหว่างการส่ง เกิดสัญญาณรบกวน จะทำให้สัญญาณที่ได้ออกมาทาง output ไม่ถูกต้องสมบูรณ์ หรืออาจเกิดการผิดเพี้ยน โดยที่เราอาจนำไปประยุกต์ในการส่งสัญญาณ FM เช่น สัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
คุณสมบัติพื้นฐานทางแสง

1.1 คุณสมบัติทางแสง

แสงมีคุณสมบัติเป็นทั้ง "คลื่น"(wave) และ "อนุภาค" (particle) ปรากฏการณ์ที่เราพบเห็นในชีวิตประจำวันเช่น การสะท้อนแสง (reflection) การแทรกสอดแสง (interference) และการหักเหแสง (refraction) แสดงให้เห็นว่าแสงมีคุณสมบัติเป็นคลื่น ส่วนปรากฏการณ์ที่แสดงให้เห็นหรืออธิบายได้ว่าแสงเป็นอนุภาคได้แก่ การส่องแสงเข้าสู่ผิวโลหะแล้วทำให้อิเล็กตรอน กระเด็นหลุดสู่สุญญากาศ ซึ่งเรียกว่า ปรากฏการณ์ โฟโตอิเล็กทริก (external photoelectric effect) หรือการเพิ่มขึ้นของค่าสถาพนำไฟฟ้าของสารกึ่งตัวนำเมื่อถูกแสงหรือการเปล่งแสงของไดโอดเปล่งแสง เป็นต้น

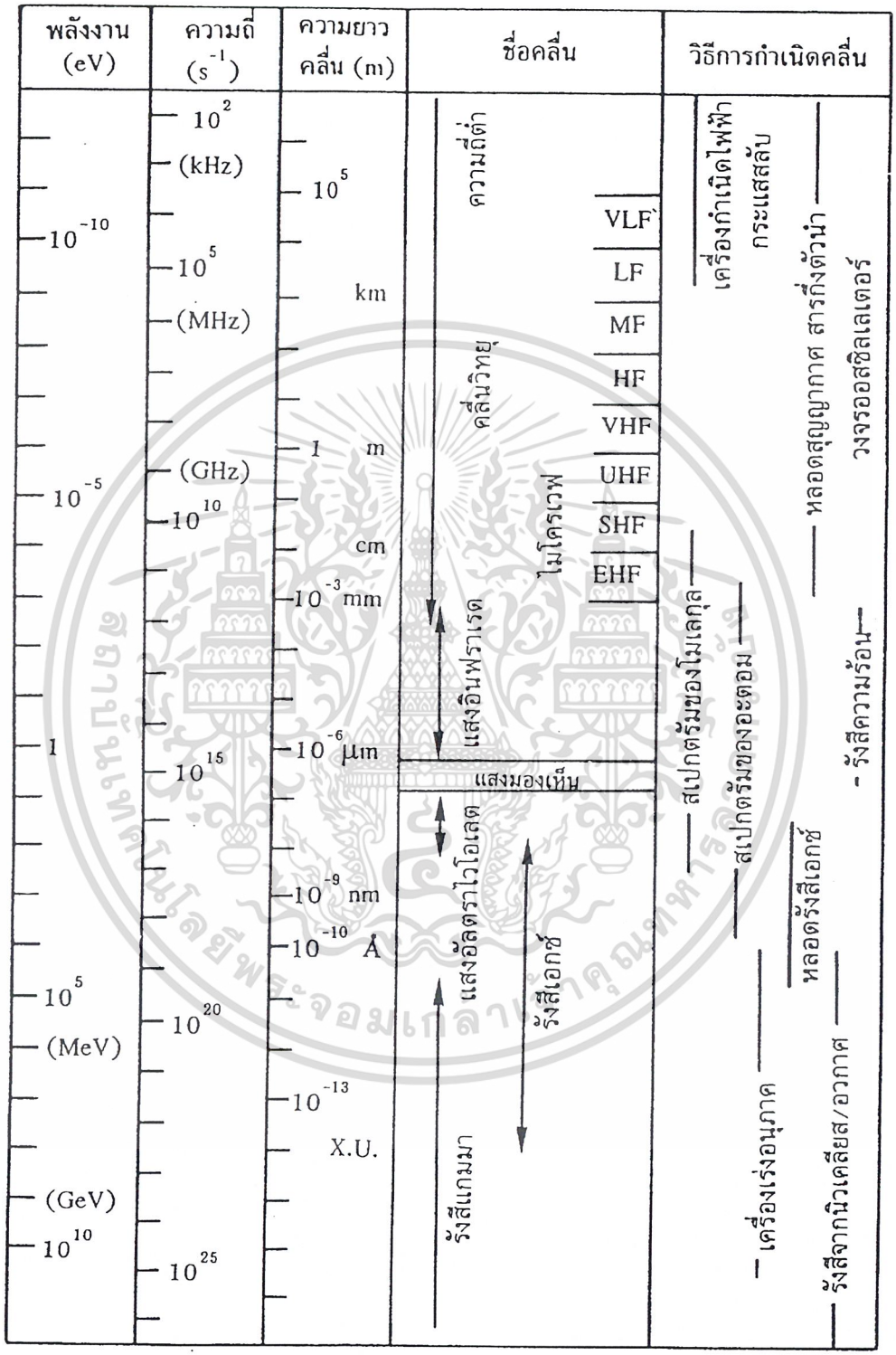
1.1.1 การเป็นคลื่นของแสง

แสงเป็นคลื่นแม่เหล็กไฟฟ้าชนิดหนึ่ง ถ้าให้ λ คือความยาวคลื่นแสง ν คือความถี่ และc_0คือความเร็วของแสงที่เดินทางในสุญญากาศ (c_0=2.99792458X10^8 m/s) จะมีความสัมพันธ์ดังนี้

$$\lambda = \frac{c_0}{\nu} \qquad (1.1)$$

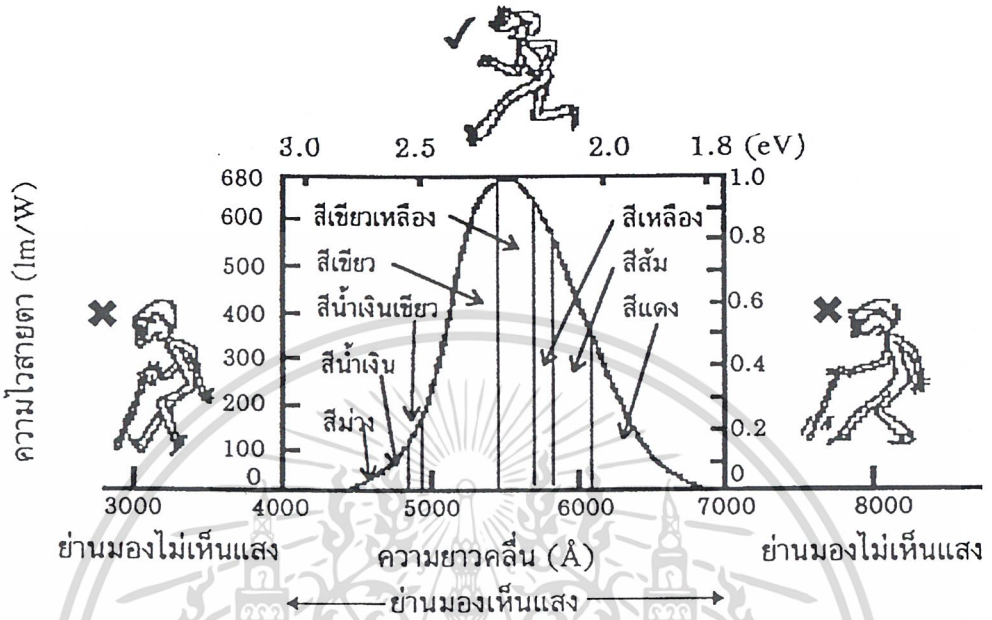
แสงที่ตามนุษย์มองเห็นเรียกว่า แสงมองเห็น (visible light) ซึ่งมีความยาวคลื่นอยู่ในช่วงประมาณ 400-700 nm แสงมองเห็นนี้ในสเปกตรัมแสงมีการแบ่งเป็นแสงสีต่างๆ ได้แก่ สีม่วง คราม น้ำเงิน เขียว เหลือง ส้ม และแดง ในจำนวนแสงสีต่างๆ เหล่านี้สีที่ตามนุษย์มีความไว (sensitivity) มากที่สุดคือแสงสีเขียว รูปที่ 1.1 แสดงตารางคลื่นแม่เหล็กไฟฟ้าชนิดต่างๆ และรูปที่ 1.2 แสดงกราฟความไวของสายตาของมนุษย์ ที่มีต่อแสงความยาวคลื่นต่างๆ (eye-sensitive curve)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 แสดงความถี่และความยาวคลื่นของคลื่นแม่เหล็กไฟฟ้าชนิดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.2 แสดงสเปกตรัมความไวต่อแสงของสายตามนุษย์

ถ้าแสงเดินทางในวัสดุที่มีเนื้อราบเรียบตลอดและเป็นวัสดุไอโซทรอปี (isotropy) แสงจะเดินทางเป็นเส้นตรง แต่ถ้าแสงเดินทางจากวัสดุหนึ่งไปสู่วัสดุอีกชนิดหนึ่ง ที่พรมแดนของวัสดุทั้งสองนั้นแสงจะหักเหหรือสะท้อนกลับได้ การเดินทางของแสงในวัสดุที่มีค่าดัชนีหักเหแสงเท่ากับ n จะทำให้ความเร็วของแสงช้ากว่าในสุญญากาศ กล่าวคือความเร็วแสง c ในวัสดุจะเท่ากับ

$$c = \frac{c_0}{n} \tag{1.2}$$

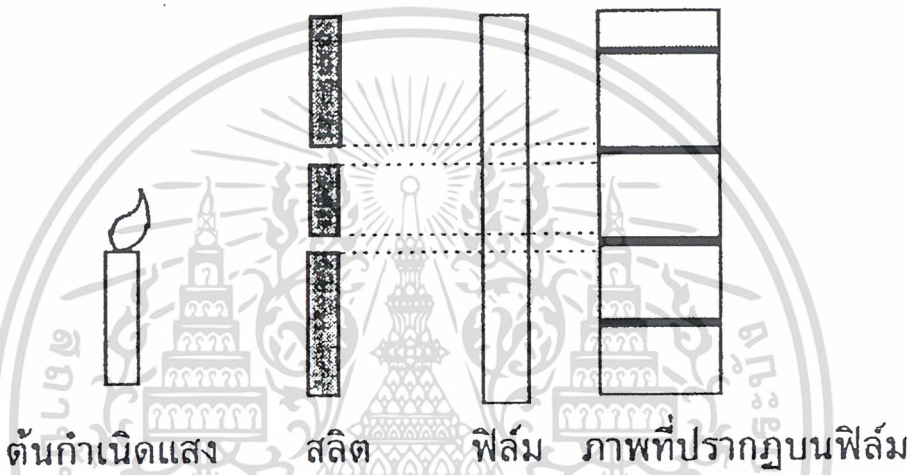
ค่าดัชนีหักเหแสง n ของวัสดุใดๆ จะขึ้นกับความยาวคลื่นหรือความถี่ของแสงด้วย และค่า n นี้มีความสัมพันธ์กับค่าคงตัวไดอิเล็กทริก ε ของวัสดุ (dielectric constant) ดังนี้

$$n = \sqrt{\frac{\varepsilon}{\varepsilon_0}} \tag{1.3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ ε_0 คือ ค่าคงตัวไดอิเล็กทริกของสุญญากาศ=$8.85418782 \times 10^{-12}$ F/m

ตัวอย่างที่แสดงว่าแสงมีคุณสมบัติเป็นคลื่น เช่น การทดลองของยัง(Young)ดังแสดงในรูปที่1.3 มีต้นกำเนิดแสงไฟส่องแสงผ่านสลิต(slit)ซึ่งมีรูเจาะไว้2รู ด้านหลังสลิตมีแผ่นไวแสงเป็นตัวบันทึกภาพ เมื่อดูภาพบนแผ่นไวแสงจะพบว่ามีภาพริ้วแบบสว่างและมืดแบบลายม้าลายกำหนดอยู่ เราเรียกริ้วเช่นนี้ว่า ภาพริ้วแทรกสอด (interence fringe) ในสาขาวิชาทัศนศาสตร์คลื่น(wave optics) สามารถอธิบายได้ว่าปรากฏการณ์เช่นนี้เกิดจากการเป็นคลื่นของแสง



รูปที่ 1.3 แสดงการทดลองพิสูจน์ว่าแสงมีคุณสมบัติเป็นคลื่น

1.1.2 การเป็นอนุภาคของแสง

แสงนอกจากมีคุณสมบัติเป็นคลื่นแล้ว ยังมีคุณสมบัติเป็นอนุภาคด้วย เราเรียกอนุภาคแสงว่า โฟตอน (photon) อนุภาคแสงมีพลังงานอยู่ภายใน และถ้าแสงมีความถี่เท่ากับ ν อนุภาคแสงหนึ่งตัวจะมีพลังงานเท่ากับ

$h\nu$ (หน่วย electron volt : ย่อว่า eV)

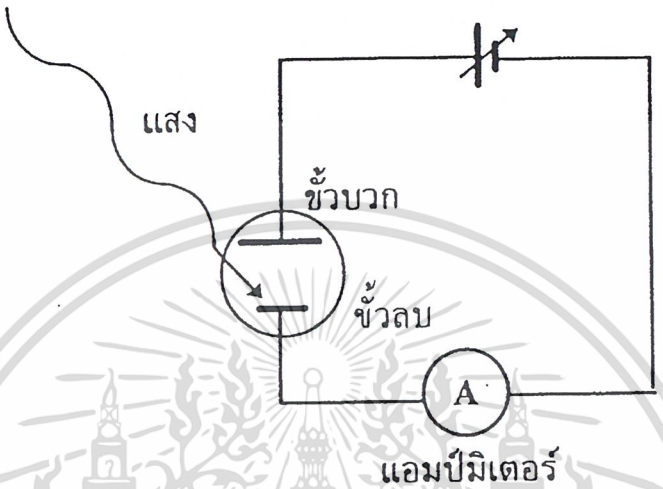
โดยที่ คือ ค่าคงตัวของพลังค์ (Planck's constant) = 6.626176×10^{-34}(Js)

ตัวอย่างปรากฏการณ์หนึ่งที่แสดงว่าแสงเป็นอนุภาคได้แก่ ปรากฏการณ์โฟโตอิเล็กทริก (photoelectric effect) ซึ่งเป็นปรากฏการณ์ที่เกิดจากการส่องแสงลงบนผิวของโลหะที่ว่างอยู่ในสุญญากาศแล้วทำให้อิเล็กตรอนที่ผิวโลหะกระเด็นหลุดออกจากผิวโลหะ ดังแสดงวิธีทดลองในรูปที่ 1.4

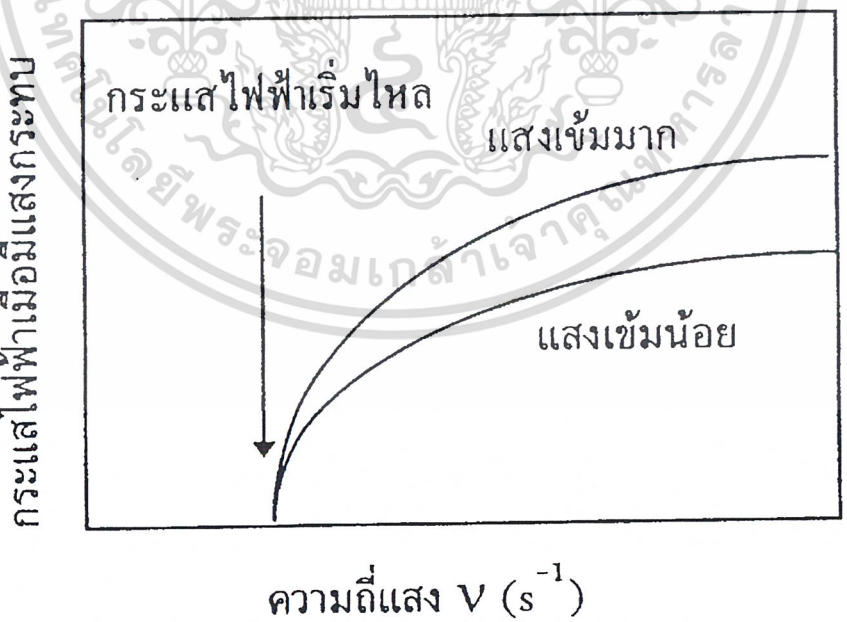
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 1.4 ในหลอดสุญญากาศมีแผ่นขั้วไฟฟ้าบวกและลบบรรจุอยู่ และและขั้วไฟฟ้าเหล่านี้ถูกต่อออกไปสู่วงจรภายนอกซึ่งมีแบตเตอรี่ไบแอสอยู่ เมื่อส่องแสงลงบนขั้วไฟฟ้าลบจะพบว่า ถ้าแสงมี

ความถี่สูงกว่าค่าๆ หนึ่งจะทำให้มีกระแสไหลในวงจร แต่ถ้าแสงมีความถี่ต่ำเกินไปก็จะไม่มีกระแสไฟฟ้าไหลในวงจรดังแสดงผลการทดลองในรูปที่ 1.5



รูปที่ 1.4 แสดงการทดลองการเกิดปรากฏการณ์โฟโตอิเล็กทริก



รูปที่ 1.5 แสดงความสัมพันธ์ระหว่างกระแสไฟฟ้า และความถี่ของแสง ในปรากฏการณ์โฟโตอิเล็กทริก
กระแสไฟฟ้าจะเริ่มไหลเมื่อความถี่ของแสงสูงกว่าค่าๆ หนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปรากฏการณ์นี้ ไอน์สไตน์ (Einstein) ได้อธิบายไว้ว่าเมื่อแสงที่มีความถี่νเดินทางไปในปริภูมิ (space) แสงนั้นไม่ได้มีพลังงานที่มีค่าต่อเนื่อง แต่แสงจะเป็น "อนุภาค" ที่มีพลังงานเท่ากับ $h\nu$ ที่วิ่งไปในปริภูมินั้นไอสไตน์ได้ตั้งชื่ออนุภาคไว้ว่า "light quantum" ต่อในปัจจุบันเราเรียกอนุภาคแสงว่า "โฟตอน" (photon) นอกจากนี้ไอสไตน์ยังได้อธิบายรายละเอียดของปรากฏการณ์ในรูปที่ 1.5 ไว้ดังนี้

พลังงานสูงสุดของอิเล็กตรอนที่หลุดออกจากโลหะ E มีค่าเท่ากับพลังงานของแสงที่ฉายลงบนผิวของโลหะ $h\nu$ ลบด้วยงานที่จำเป็นในการดึงอิเล็กตรอนในโลหะให้หลุดออกมาข้างนอก $q\phi$ และเขียนเป็นสมการได้ว่า

$$E = h\nu - q\phi \qquad (1.4)$$

โดยที่ ϕ เรียกว่า เวิร์กฟังก์ชัน (work function) และ $q\phi$ มีหน่วยเป็น eV

สูตรนี้บอกให้เราทราบว่า ค่าความถี่ต่ำสุดของแสงที่จะทำให้เกิดปรากฏการณ์โฟโตอิเล็กทริกเช่นนี้ได้สามารถคำนวณได้โดยการให้ E ในสมการที่(1.4) มีค่าเท่ากับศูนย์ จึงได้ว่า $h\nu = q\phi$ ซึ่ง ϕ คือ เวิร์กฟังก์ชันของโลหะชนิดนั้นๆ และจากสูตรนี้พลังงานของอิเล็กตรอน E ที่กระเด็นหลุดออกจากโลหะมีค่าแปรผันตรงกับความถี่ ν

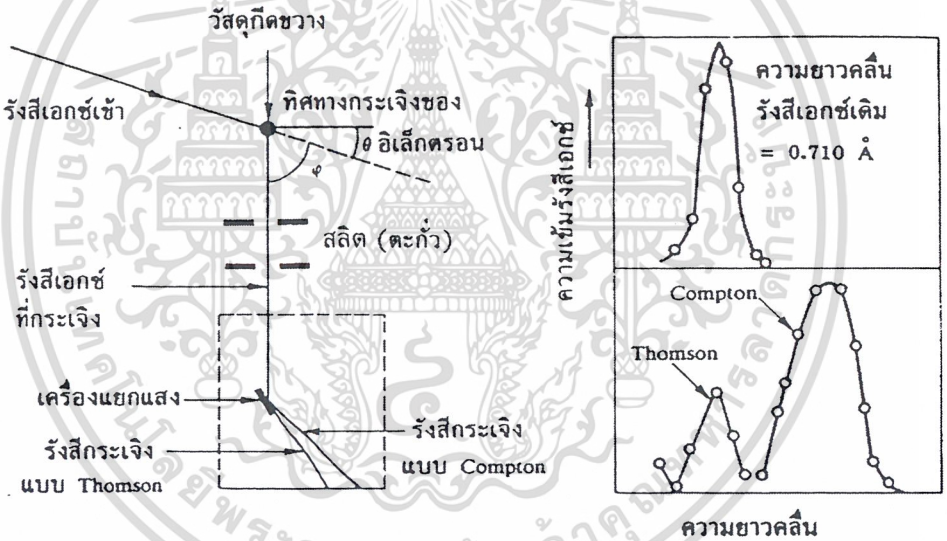
ในปรากฏการณ์โฟโตอิเล็กทริกดังกล่าวบางข้อไม่สามารถให้เหตุผลอธิบายได้ด้วยทฤษฎีการเป็นคลื่นของแสง แต่สามารถอธิบายได้ด้วยทฤษฎีการเป็นอนุภาคของแสงซึ่งตั้งชื่อโดยไอสไตน์

ปรากฏการณ์หนึ่งที่สำคัญมากอีกอย่างหนึ่ง ที่แสดงให้เห็นชัดว่าแสงนั้นมีคุณสมบัติเป็นอนุภาค คือ ปรากฏกาณ์คอมป์ตัน (Compton effect) ซึ่งค้นพบโดย Compton ใน ค.ศ.1923 ปรากฏการณ์คอมป์ตันเป็นปรากฏการณ์ที่เกี่ยวกับการกระเจิงรังสีเอกซ์ (X-ray scattering) เมื่อเรายิงรังสีเอกซ์เข้าสู่วัสดุ รังสีเอกซ์เป็นคลื่นแม่เหล็กไฟฟ้าที่มีความยาวคลื่นสั้นมากและสามารถวิ่งผ่านทะลุวัตถุได้ง่าย แม้กระนั้นก็ตามในขณะที่รังสีเอกซ์กำลังเคลื่อนผ่านภายในวัตสุจะถูกวัสดุดูดกลืนบ้างและถูกกระเจิงบ้าง ถ้าเราฉายรังสีเอกซ์ที่มีความยาวคลื่นค่าหนึ่งลงบนวัตถุ รังสีเอกซ์จะถูกกระเจิงไปทั่วทุกทิศ รังสีเอกซ์ที่ถูกกระเจิงนั้นประกอบด้วยรังสีที่มีความยาวคลื่นเท่าเดิมและรังสีที่มีความยาวคลื่นที่ยาวกว่าเดิม รูปที่1.6 แสดงหลักการของอุปกรณ์การวัดสเปกตรัมของรังสีเอกซ์ที่ถูกกระเจิงและแสดงเปรียบเทียบความเข้ม(intensity) ของรังสีเอกซ์ที่ถูกกระเจิงที่ความยาวคลื่นต่างๆ

การกระเจิงของรังสีเอกซ์ที่มีความยาวคลื่นเท่าเดิมนั้นถูกศึกษาโดย (Thomson) เรียกว่าการกระเจิงชนิดทอมสัน (Thomson scattering) เขาสามารถอธิบายปรากฏการณ์นี้ได้ด้วยทฤษฎีแม่เหล็กไฟฟ้าแผนเดิม แต่เขาไม่สามารถอธิบายการกระเจิงของรังสีเอกซ์ในกรณีที่ทำให้เกิดรังสีที่มีความยาวคลื่นที่ยาวกว่าเดิมได้ ต่อมาคอมป์ตัน (Compton) เป็นคนแรกที่สามารถอธิบายเหตุผลของการกระเจิงที่ทำให้เกิดรังสีเอ็กมีความยาวคลื่นที่ยาวกว่าเดิมได้สำเร็จและเรียกว่า ปรากฏการณ์คอมป์ตัน (Compton effect)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้นำไปดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปรากฏการณ์คอมป์ตันสามารถอธิบายได้ดังนี้ เริ่มแรกเราจะพิจารณาว่าอนุภาครังสีเอกซ์ที่ยิงเข้าวัตถุนั้นจะวิ่งไปชนกับอิเล็กตรอนที่อยู่ภายในวัตถุ ทำให้อิเล็กตรอนถูกชนและอิเล็กตรอนกระเด็นไปในทิศทางที่ต่างจากทิศทางที่รังสีเอกซ์ตกกระทบวัตถุ ดังนั้นทิศทางการเคลื่อนที่ของอนุภาครังสีเอกซ์จึงเปลี่ยนไปด้วยและโมเมนตัมของอนุภาครังสีเอกซ์ก็เปลี่ยนไปด้วย จากกฎการอนุรักษ์โมเมนตัมของระบบ โมเมนตัมของอิเล็กตรอนจึงเปลี่ยนไปด้วย แต่ในขณะเดียวกันจะต้องรักษากฎการอนุรักษ์พลังงานด้วย ดังนั้นพลังงานส่วนที่ลดลงของอนุภาครังสีเอกซ์จะเท่ากับพลังงานส่วนที่เพิ่มขึ้นของอิเล็กตรอน นั่นคือ ถ้าให้ $h\nu$ เป็นพลังงานของอนุภาครังสีเอกซ์ ความถี่ ν ของรังสีเอกซ์นั้นจะลดลง ดังนั้นความยาวคลื่นของรังสีเอกซ์จึงยาวขึ้นนั่นเอง



รูปที่ 1.6 แสดงหลักการวัดปรากฏการณ์คอมป์ตัน(ซ้าย)
และสเปกตรัมการกระเจิงรังสีเอกซ์(ขวา)

ต่อไปจะแสดงการคำนวณปรากฏการณ์คอมป์ตัน จากรูปที่1.7 รังสีเอกซ์มีความถี่νวิ่งชนอิเล็กตรอนซึ่งมีมวล m ให้$h\nu$ คือพลังงานของรังสีเอกซ์ และ $h\nu/c$ เป็นโมเมนตัมของรังสีเอกซ์ที่ยิงเข้าหลังจากรังสีเอกซ์วิ่งชนอิเล็กตรอน รังสีเอกซ์ถูกกระเจิงเบี่ยงเบนจากทิศทางเดิมเป็นมุม φและมีความถี่ ν_φ ส่วนอิเล็กตรอนถูกชนและกระเด็นไปในทิศทาง θ ด้วยความเร็ว v ในตอนแรกก่อนการชน เดิมอิเล็กตรอนอยู่นิ่งกับที่ และมีพลังงาน mc^2 หลังการชนทำให้อิเล็กตรอนได้พลังงานเพิ่มขึ้นเป็น $mc^2/\sqrt{(1-\beta^2)}$ โดยที่ $\beta = v/c$ ดังนั้นจะได้ความสัมพันธ์ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กฎการอนุรักษ์พลังงาน $h\nu + mc^2 = h\nu_\varphi + mc^2 / \sqrt{1-\beta^2}$ (1.5)

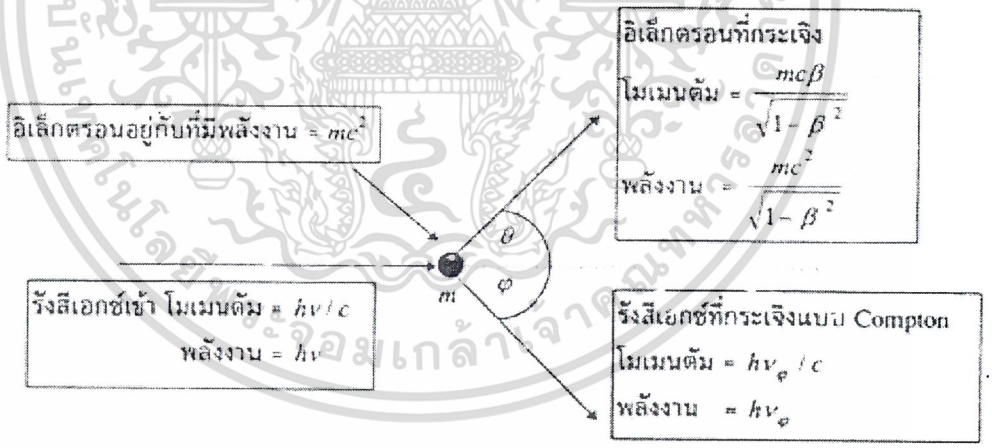
กฎการอนุรักษ์โมเมนตัม $\frac{h\nu}{c} = \frac{h\nu_\varphi}{c}\cos\varphi + \frac{mc\beta}{\sqrt{1-\beta^2}}\cos\theta$

$$\frac{h\nu}{c}\sin\varphi = \frac{mc\beta}{\sqrt{1-\beta^2}}\sin\theta \quad (1.6)$$

จากสมการทั้งสองจึงได้ว่า

$$\nu_\varphi = \frac{\nu}{1+\frac{h\nu}{mc^2}(1-\cos\varphi)} \quad (1.7)$$

หรือ $$\lambda_\varphi - \lambda = \Delta\lambda = \frac{h}{mc}(1-\cos\varphi) \quad (1.8)$$



รูปที่ 1.7 แสดงการชนกันระหว่างรังสีเอกซ์ และอิเล็กตรอนแบบอิลาสติก
โดยพิจารณากฎการอนุรักษ์โมเมนตัม

สมการที่(1.8)แสดงให้เห็นว่า ถ้ามุมการกระเจิง ϕ มีค่ามาก การเปลี่ยนแปลงของความยาวคลื่น $\Delta\lambda$ ของรังสีเอ็กซ์จะยิ่งมีค่ามากขึ้น และค่า $\Delta\lambda$ นี้ไม่ขึ้นกับความยาวคลื่นของรังสีเอ็กซ์ อนึ่งปริมาณของ h/mc มีค่าเท่ากับ 2.42 x 10^{-12} cm = 2.42 x 10^{-12} m และเรียกว่าความยาวคลื่นคอมป์ตันของอิเล็กตรอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าคำนวนพลังงานของอิเล็กตรอนหลังจากถูกชนกระเด็นไป จะได้ว่า

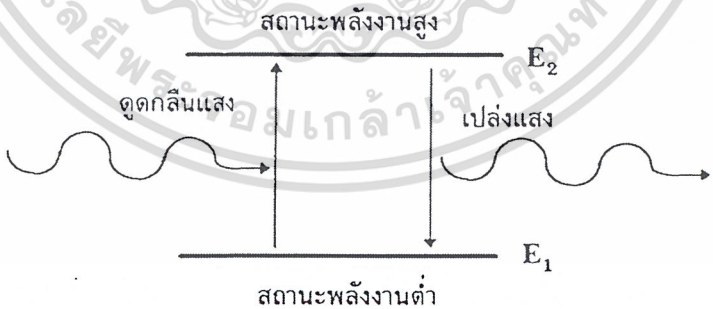
$$E_{kin} = h(\nu - \nu_{\varphi}) = h\nu \frac{\frac{h\nu}{mc^2}(1-\cos\varphi)}{1+\frac{h\nu}{mc^2}(1-\cos\varphi)} \qquad (1.9)$$

และมุมกระเด็น θ ของอิเล็กตรอนหาได้จาก

$$\cot\theta = 1\left(+\frac{h\nu}{mc^2}\right)\tan\frac{\varphi}{2} \qquad (1.10)$$

ทฤษฎีของคอมป์ตันที่กล่าวมานี้ สามารถอธิบายสาเหตุของการเปลี่ยนของความยาวคลื่นของรังสีเอ็กซ์แต่ไม่ได้มีการพิสูจน์ว่าอิเล็กตรอนถูกชนกระเด็นไปจริง หลังจากทฤษฎีของคอมป์ตันได้ประกาศไปสองสามเดือนต่อมา Wilson และ Bethe ได้พิสูจน์ว่าอิเล็กตรอนถูกชนกระเด็นจริง ทำให้ทฤษฎีของคอมป์ตันได้รับความเชื่อถือเพิ่มขึ้น

จากทฤษฎีและผลการทดลองที่กล่าวกมาหลายเรื่องข้างต้นนี้ ทำให้เป็นที่ยอมรับกันทั่วไปว่าแสงนั้นมีคุณสมบัติไม่เพียงแต่เป็นคลื่นแต่เป็นอนุภาคชนิดหนึ่งด้วย การดูดกลืนแสงก็ดีหรือการเปล่งแสงก็ดีเกิดจากการที่ระบบที่เกี่ยวข้องมีการเปลี่ยนสถานะระหว่างสภาวะพลังงานสูงและสภาวะพลังงาน



รูปที่ 1.8 แสดงสภาพระดับพลังงานที่มีค่าไม่เท่ากันคือมีระดับพลังงานสูงอยู่ที่ E_2 และระดับพลังงานต่ำอยู่ที่ E_1 ถ้าอิเล็กตรอนเปลี่ยนสถานะจาก E_2 ไปสู่ E_1 จะทำให้การเปล่งแสงที่มีพลังงานโฟตอนเท่ากับ $E_2 - E_1$ เท่ากับ $h\nu_{21}$ ออกมา

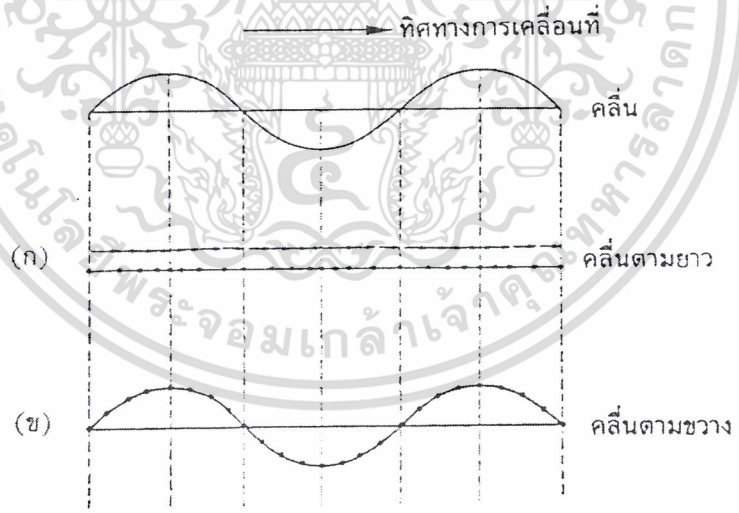
หรือถ้าอิเล็กตรอน เปลี่ยนสถานะจาก E_1 ไปสู่ E_2 ก็ต้องมีการดูดกลืนพลังงานโฟตอนเท่ากับ $E_2 - E_1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่ำ รูปที่ 1.8 แสดงภาพระดับพลังงานที่มีค่าไม่เท่ากันคือมีระดับพลังงานสูงอยู่ที่ E_2 และระดับพลังงานต่ำอยู่ที่ E_1 สมมติให้ว่าระบบ ที่กำลังพัฒนาเป็นระบบของอิเล็กตรอน ถ้าอิเล็กตรอนเปลี่ยนสถานะจาก E_2 ไปสู่ E_1 จะทำให้การเปล่งแสงที่มีพลังงานโฟตอนเท่ากับ $E_2 - E_1 = hv_{21}$ ออกมา หรือการเปลี่ยนสถานะอิเล็กตรอนจาก E_1 ไปสู่ E_2 ก็ต้องมีการดูดกลืนพลังงานโฟตอนเท่ากับ $E_2 - E_1$ เช่นกัน

1.1.3 การเป็นคลื่นแม่เหล็กของแสง

ในหัวข้อนี้ เราจะพิจารณาคุณสมบัติของการเป็นคลื่นของแสง เมื่อกล่าวถึง "คลื่น" เราคงนึกถึงคลื่นเสียง คลื่นบนผิวน้ำ เราสามารถแบ่งคลื่นออกเป็น 2 ชนิด คือ คลื่นตามยาว (longitudinal wave) และคลื่นตามขวาง (transverse wave) ดังแสดงในรูปที่ 1.9 ตัวอย่างเช่น เสียงเป็นคลื่นตามยาว เพราะทิศทางของการเดินทางของเสียงและทิศทางของการสั่นของตัวกลาง (อากาศ) อยู่ในทิศทางเดียวกัน ส่วนคลื่นตามขวางคือคลื่นซึ่งทิศทางของการเดินทางของคลื่นและทิศทางของการสั่นของตัวกลางนั้นจั้งฉากกัน



รูปที่ 1.9 แสดงชนิดของคลื่นตามยาวและคลื่นตามขวาง

แสง (light) เป็นคลื่นตามขวางและเป็นคลื่นแม่เหล็กไฟฟ้าชนิดหนึ่ง (electro-magnetic wave) ที่กล่าวว่าแสงเป็นคลื่นแม่เหล็กไฟฟ้า เพราะว่าแสงเป็นคลื่นที่ประกอบด้วยทั้งสนามไฟฟ้า $\vec{E}$ และ $\vec{H}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\vec{E} = \vec{E}_0 \exp\left[-i\left(\omega t - \vec{k}\cdot\vec{r} + \delta\right)\right] \tag{1.11}$$

$$\vec{H} = \vec{H}_0 \exp\left[-i\left(\omega t - \vec{k}\cdot\vec{r} + \delta\right)\right] \tag{1.12}$$

โดยที่ $\vec{E}_0$: แอมพลิจูดของ $\vec{E}$

$\vec{H}_0$: แอมพลิจูดของ $\vec{H}$

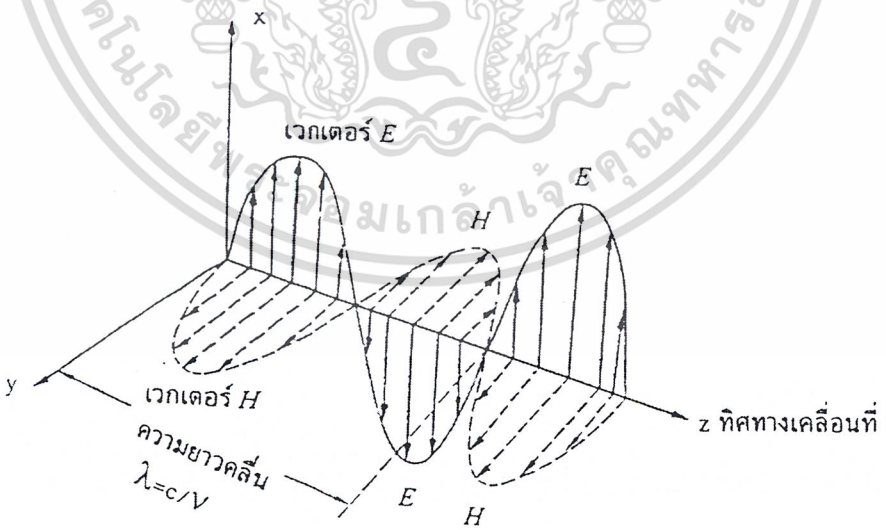
ω : ความถี่เชิงมุม = $2\pi f$

$\vec{r}$: เวกเตอร์ระยะทาง

$\vec{k}$: เวกเตอร์เลขคลื่น (wave number) = $2\pi / \lambda$

δ : เฟส(phase)

นอกจากนี้คุณสมบัติที่สำคัญอีกอย่างหนึ่งของแสงคือ เวกเตอร์ $\vec{E}$ ตั้งฉากกับเวกเตอร์ $\vec{H}$ ดังแสดงในรูปที่ 1.10 เราเรียกคลื่นเช่นนี้ว่า คลื่นระนาบ (plane wave)



รูปที่ 1.10 แสดงคุณสมบัติของแสงซึ่งเป็นคลื่นแม่เหล็กไฟฟ้า
และการพิจารณาเวกเตอร์สนามไฟฟ้าและเวกเตอร์สนามแม่เหล็กของคลื่นแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

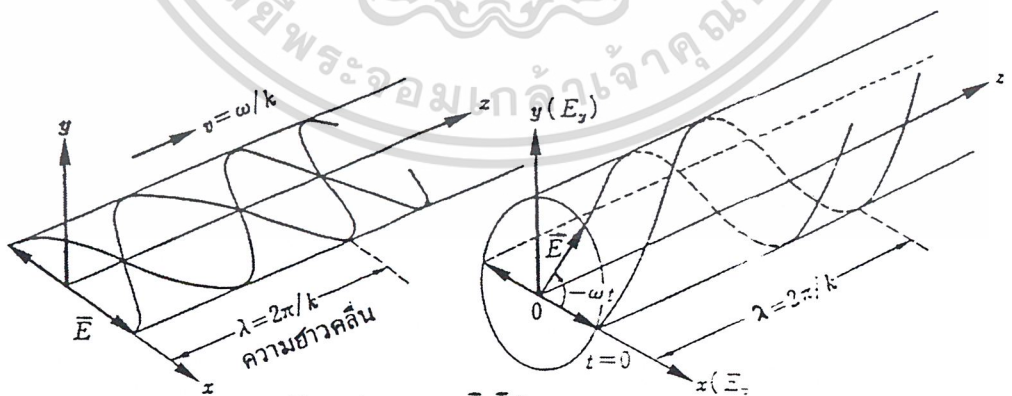
ถ้าแสงวิ่งเข้าสู่วัตถุ จะมีแรง $\vec{F}$ (Lorentz force) ที่เกิดจากอันตรกิริยา (interaction) ระหว่างแสงและประจุไฟฟ้า e ในวัตถุที่เป็นจุด และแรงนี้มีค่าดังนี้

$$\vec{F} = e\vec{E} + \frac{e}{c}\vec{v} \times \vec{H} \tag{1.13}$$

โดยที่ $\vec{v}$:ความเร็วของประจุไฟฟ้าในวัตถุ

เนื่องจากโดยทั่วไป แอมพลิจูดของ $\left|\vec{E}\right| = \left|\vec{H}\right|$ ดังนั้นจากสมการนี้ทำให้เราทราบว่าแรงกระทำที่เกิดจากสนามแม่เหล็กของแสงจึงมีค่าเพียงประมาณ v/c เท่าของแรงกระทำที่เกิดจากสนามไฟฟ้าของแสง และนอกจากนี้ความเร็ว v ของประจุไฟฟ้าในวัตถุมีค่าประมาณ 1/100 ของ c ดังนั้น v/c จึงมีค่าน้อยมาก ดังนั้นในการพิจารณาผลกระทบของแสงที่มีต่อวัตถุ เราจึงอาจอนุโลมพิจารณาเฉพาะผลของเทอมของสนามไฟฟ้าเป็นหลักก็ได้

ขอให้พิจารณาดูรูปที่ 1.11 ซึ่งแสดงลักษณะการสั่นของคลื่น $\vec{E}$ ในลักษณะต่างๆ ถ้าให้ z เป็นทิศทางของการเดินทางของแสง ในรูป (ก) เวกเตอร์ $\vec{E}$ สั่นในทิศทางที่ตั้งฉากกับระนาบ xy เสมอ กล่าวคือ ถ้ามองในทิศทาง z จะเห็นเวกเตอร์ $\vec{E}$ เป็นเส้นตรงเท่านั้น เราเรียกแสงที่มีคุณสมบัติเช่นนี้ว่า **แสงโพลาไรซ์เชิงเส้นตรง** (linearly polarized light) แต่บางครั้งในวัตถุบางชนิด คลื่น $\vec{E}$ อาจวิ่งไปทิศทาง z



$\bar{E} = \bar{E}_0 \exp[-i(\omega t - \bar{k}\cdot\bar{r})]$

$k = 2\pi/\lambda$: **จำนวนคลื่น**

(ก) (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น รวมถึงห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

รูปที่ 1.11 แสดงคุณสมบัติของคลื่นแสง (ก) แสงโพลาไรซ์เชิงเส้นตรง (ข) แสงโพลาไรซ์เชิงวงกลม

และหมุนตัวเองแบบเกลียวไปด้วยทำให้ลักษณะเวกเตอร์ $\vec{E}$ ที่ดูในทิศทาง z กำลังหมันตลอดเวลา ถ้าการหมุนของเวกเตอร์ $\vec{E}$ เป็นวงกลมเราเรียกแสงเช่นนี้ว่า **แสงโพลาไรซ์เชิงวงกลม** (circularly polarized light) หรือถ้าการหมุนของเวกเตอร์ $\vec{E}$ เป็นวงรี เราเรียกแสงเช่นนี้ว่า **แสงโพลาไรซ์เชิงวงรี** (elliptic polarised light) อนึ่งการหมุนของเวกเตอร์อาจมีทิศทางตามเข็มนาฬิกาก็ได้หรือทวนเข็มนาฬิกาก็ได้

ปกติแสงที่กลังเดินทางอยู่ในอวกาศหรือสูญญากาศหรืออากาศจะเป็นแสงโพลาไรซ์เชิงเส้นตรง แต่เมื่อแสงวิ่งเข้าสู่วัตถุ แสงนั้นอาจเปลี่ยนสภาพกลายเป็นแสงโพลาไรซ์เชิงกลมหรือเชิงวงรีหรืออาจยังคงเป็นเชิงเส้นตรงเหมือนเดิมก็ได้ ทั้งนี้ขึ้นกับชนิดของวัตถุ ดังจะได้กล่าวในบทต่อๆไป ขณะที่แสงกำลังเดินทางนั้น แสงจะทำหน้าที่ส่งพลังงานของคลื่นแม่เหล็กไฟฟ้าไปด้วย พลังงานของแสงในพื้นที่หน้าตัดหนึ่งหน่วยและในเวลาหนึ่งหน่วย I มีค่าเท่ากับค่าเฉลี่ยด้วยเวลาของพอยน์ทิงเวกเตอร์ $\vec{S}$ (poynting vector) ดังนี้

$$I = \left\langle \left| \vec{S} \right| \right\rangle = \frac{1}{T}\int_0^T \left| \vec{S} \right| dt \tag{1.14}$$

$$= \frac{\left| \vec{E} \right| \left| \vec{H} \right|}{2} \propto \left| \vec{E} \right|^2 \tag{1.15}$$

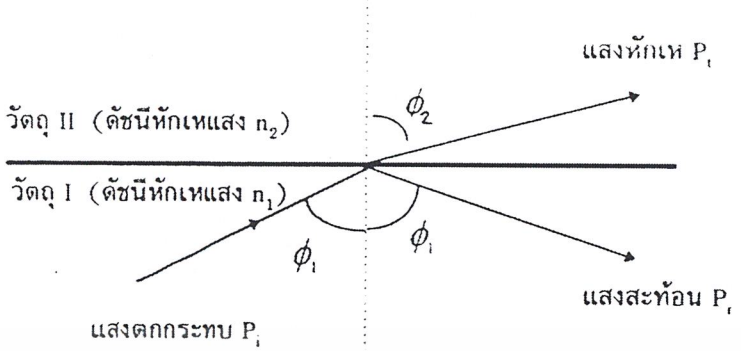
และโดยทั่วไป

$$I = \left| \vec{E} \right|^2 = \vec{E}\,\vec{E}^{*} \tag{1.16}$$

1.14 การหักเหและการสะท้อนของแสง

เมื่อแสงเดินทางจากวัตถุหนึ่งไปสู่วัตถุอีกชนิดหนึ่ง ที่บริเวณพรมแดนของวัตถุทั้งสอง แสงบางส่วนจะสะท้อนกลับ (reflect) และบางส่วนจะหักเห (refract) และแสงบางส่วนจะวิ่งเข้าสู่วัตถุที่สอง ในรูปที่ 1.12 ถ้าให้ ϕ_1 คือมุมแสงตกกระทบ ϕ_2 คือ มุมหักเห n_1 คือดัชนีหักเหของวัตถุที่หนึ่ง และ n_2 คือดัชนี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.12 แสดงการหักเหและการสะท้อนของแสงที่พรมแดนระหว่างวัตถุ 2 ชนิด ในรูปนี้ $n_1 > n_2$

หักเหแสงของวัตถุที่สอง เราจะได้ความสัมพันธ์ดังนี้

$$\sin\phi_2 / \sin\phi_1 = n_1 / n_2 \tag{1.17}$$

ความสัมพันธ์นี้เรียกว่า กฎของเฟรสเนล (Fresnel's law)

ต่อไปเราจะพิจารณาเกี่ยวกับพลังงานของแสง ถ้าให้ P_t คือ กำลังของแสงวิ่งทะลุ (power of transmitted light) ให้ P_r คือ กำลังของแสงสะท้อนกลับ (power of reflected light) และ P_i คือ กำลังของแสงตกกระทบ (power of incident light) จะได้ว่า

$$P_i = P_t + P_r \tag{1.18}$$

นิยามของสัมประสิทธิ์การทะลุผ่านของแสง คือ

$$T = P_t / P_i \tag{1.19}$$

นิยามของสัมประสิทธิ์การสะท้อนแสง คือ

$$R = P_t / P_i \tag{1.20}$$

และ

$$T + R = 1 \tag{1.21}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการคำนวนโดยละเอียด พบว่าถ้าวัตถุทั้งสองชนิดมีเงื่อนไขดัชนีหักเหแสงว่า $n_1<n_2$ และมุมแสงตกกระทบมีค่า $0<\phi_1<90$ องศา จะไม่สามารถทำให้ T มีค่าเป็นศูนย์ นั่นคือไม่สามารถทำให้ R มีค่าเป็นหนึ่ง นั่นคือจะไม่เกิดการสะท้อนกลับอย่างสมบูรณ์

แต่ถ้าวัตถุทั้งสองชนิดมีเงื่อนไขดัชนีหักเหแสงว่า $n_1>n_2$ และมุมแสงตกกระทบมีค่า $\phi_1>\phi_c$ จะสามารถทำให้เกิดการสะท้อนกลับหมดอย่างสมบูรณ์ได้ โดยที่ ϕ_c มีนิยามดังนี้

$$\sin\phi_c = n_2 / n_1 \tag{1.22}$$

นอกจากนี้จากกฎของ Goose-Hunchen Shift เฟสของแสงสะท้อนอาจเปลี่ยนแปลงไปจากเฟสของแสงตกกระทบ ถ้าให้ ϕ คือปริมาณของเฟสที่เปลี่ยนแปลง จะได้ว่า

$$\text{ถ้า } \phi_1 \cong \phi_2 \quad \text{จะได้} \quad \Phi \cong 0 \tag{1.23}$$

$$\text{ถ้า } \phi_1 \cong 90 \text{ องศา จะได้} \quad \Phi \cong \pi \text{ (rad)} \tag{1.24}$$

ต่อไป เราจะลองพิสูจน์ที่มาของกฎของเฟรสเนลดังต่อไปนี้ ขอให้พิจารณารูปที่ 1.13 ให้แสงเดินทางจากจุด A ไปสู่จุด B ให้ c_1 และ c_2 คือความเร็วแสงของวัตถุ I และ II ตามลำดับ ดังนั้นเวลาที่แสงใช้ในการเดินทางจาก A ไป B คือ

$$t = \sqrt{a^2 + x^2} / c_1 + \sqrt{b^2 + (b' - x)^2} / c_2 \tag{1.25}$$

แสงโดยธรรมชาติควรจะใช้เวลาในการเดินทางน้อยที่สุด ดังนั้น x ที่ทำให้ t มีค่าน้อยที่สุด ได้จากการคำนวณดังนี้

$$\frac{dx}{dt} = 0 \tag{1.26}$$

ดังนั้นจึงได้

$$\frac{1}{c_1}\frac{x}{\sqrt{a^2 + x^2}} = \frac{1}{c_2}\frac{(b' - x)}{\sqrt{b^2 + (b' - x)^2}} \tag{1.27}$$

และเนื่องจาก

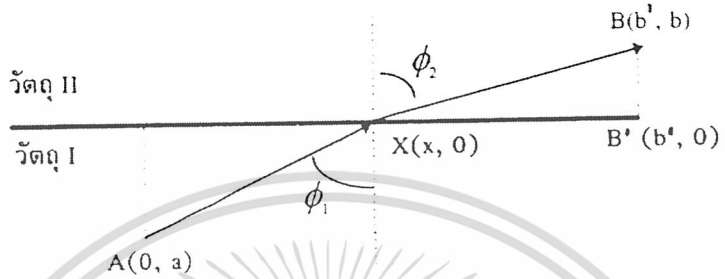
$$\frac{x}{\sqrt{a^2 + x^2}} = \sin\phi, \frac{b' - x}{\sqrt{b^2 + (b' - x)^2}} = \sin\phi_2 \tag{1.28}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจึงได้ว่า

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

$$\frac{\sin\phi_2}{\sin\phi_1}=\frac{c_2}{c_1}=\left(\frac{c}{n_2}\right)/\left(\frac{c}{n_1}\right)=\frac{n_1}{n_2} \tag{1.29}$$



รูปที่ 1.13 แสดงการหักเหของแสง

1.1.5 การแทรกสอดของแสง (Interference of light)

เป็นที่ทราบกันดีว่า สมการของแมกซ์เวลล์ (Maxwell's equations) สามารถใช้แสดงพฤติกรรมของคลื่นแม่เหล็กไฟฟ้าซึ่งรวมทั้งแสงได้เป็นอย่างดี สมการของแมกซ์เวลล์มีคุณสมบัติเป็นสมการเชิงเส้น ดังนั้นถ้านำผลเฉลยของสมการนี้มาบวกกัน ก็ย่อมได้คำตอบเป็นค่าเชิงเส้นเช่นเดิม เราทราบกันดีว่าสมการที่ (1.11) นั้นเป็นผลเฉลยของสมการแมกซ์เวลล์ ดังนั้นถ้ามีแสงวิ่งออกมาจากจุด A และ B และไปรวมกันที่ C เราสามารถพิจารณาได้ว่าผลรวมของสนามไฟฟ้าของคลื่นแสงทั้งสองที่จุด C นั้นก็ย่อมเป็นผลเฉลยของสมการของแมกซ์เวลล์ด้วยเช่นกัน

ถ้าให้ $\vec{E}_A$ และ $\vec{E}_B$ คือสนามไฟฟ้าของคลื่นแสงที่วิ่งออกมาจากจุด A และ B ตามลำดับ และมีความถี่ ω เท่ากัน และให้ [4]

$$\vec{E}_A=\vec{E}_{0A}\exp\left[-i\left(\omega t-\vec{k}\cdot\vec{r}_A+\delta_A\right)\right] \tag{1.30}$$

$$\vec{E}_B=\vec{E}_{0B}\exp\left[-i\left(\omega t-\vec{k}\cdot\vec{r}_B+\delta_B\right)\right] \tag{1.31}$$

ดังนั้นคลื่น $\vec{E}_C$ ที่เกิดจากผลรวมของ $\vec{E}_A+\vec{E}_B$ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\vec{E}_C=\vec{E}_A+\vec{E}_B \tag{1.32}$$

38548

$$= \left\{E_{0A}\exp\left[i\left(\vec{k}\cdot\vec{r}_A - \delta_A\right)\right] + E_{OB}\exp\left[i\left(\vec{k}\cdot\vec{r}_B - \delta_B\right)\right]\right\}\times\exp(-i\omega t) \tag{1.33}$$

$$= \bar{C}\exp(-i\omega t) \tag{1.34}$$

ดังนั้นความเข้ม (intensity) ของแสงที่จุด C คือ

$$I = \left|E_c\right|^2 \tag{1.35}$$

$$= E_{OA}{}^2 + E_{OB}{}^2 + E_{OA}E_{OB}\left\{\exp i\left(\vec{k}\cdot\vec{r}_A - \vec{k}\cdot\vec{r}_B - \delta_A + \delta_B\right) + \exp i\left(\vec{k}\cdot\vec{r}_B - \vec{k}\cdot\vec{r}_A - \delta_B + \delta_A\right)\right\} \tag{1.36}$$

$$= E_{OA}{}^2 + E_{OB}{}^2 + 2E_{OA}E_{OB}\cos\theta \tag{1.37}$$

โดยที่

$$\theta = \vec{k}\left[\vec{r}_A - \vec{r}_B + (\delta_B - \delta_A)/\vec{k}\right] \tag{1.38}$$

จากสมการที่(1.37)ความเข้มของแสงที่จุด C จะมีค่ามากหรือน้อยขึ้นกับค่า $\cos\theta$ นั้นคือ

1) ถ้า $\theta = 2m\pi \qquad (m = 0,\pm1,\pm2,...)$ (1.39)

จะได้ I สว่างที่สุด กล่าวคือ $I_{\max} = (E_{OA} + E_{OB})^2$ (1.40)

2) ถ้า $\theta = (2m+1)\pi \qquad (m = 0,\pm1,\pm2,...)$ (1.41)

จะได้ I มืดที่สุด กล่าวคือ $I_{\min} = (E_{OA} - E_{OB})^2$ (1.42)

เนื่องจากมุม θ เป็นฟังก์ชันของ $(\vec{r}_A - \vec{r}_B)$ กล่าวคือเป็นฟังก์ชันของความแตกต่างของระยะทางที่แสงเดินทาง และเป็นฟังก์ชันของ $(\delta_B - \delta_A)$กล่าวคือ เป็นฟังก์ชันของความแตกต่างของเฟสของแสงทั้ง 2 เส้นที่เดินทางมาถึงจุด C ดังนั้นถ้าความแตกต่างของเฟสมีค่าคงที่ตลอด จะทำให้ความเข้มของแสงที่จุด C ขึ้นกับความแตกต่างของระยะทางเท่านั้น ดังนั้นถ้าเราสังเกตุความเข้มของแสงที่หลายๆ ตำแหน่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก็จะพบว่าเกิดเป็นแถบสว่างและแถบมืดสลับกันคล้ายลายม้าลาย ซึ่งเรียกว่า "ริ้วแทรกสอด" (interference fringe)

แต่ในทางปฏิบัติ แสงธรรมชาติที่ใช้กันทั่วๆ ไปจะมีเฟสคงที่ในเวลาที่สั้นมากเพียงไม่ถึง 10^{-8} วินาที จึงทำให้ $(\delta_B - \delta_A)$ มีการเปลี่ยนแปลงตลอดเวลาและมีการเปลี่ยนแปลงอย่างไม่มีกฎเกณฑ์ จึงทำให้ในกรณีแสงทั่วไปนั้น $\cos\theta$ มีค่าเฉลี่ยเป็นศูนย์ จึงไม่ทำให้เกิดริ้วแทรกสอด กล่าวคือ แสงธรรมชาติจะทำให้เป็นริ้วแทรกสอดได้ยากมาก แต่ถ้าเราใช้แสงเลเซอร์จะเห็นริ้วแทรกสอดของแสงได้ชัดเจน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
คุณสมบัติพื้นฐานของเส้นใยแก้วนำแสง

2.1 ประวัติความเป็นมาของเส้นใยแก้วนำแสง

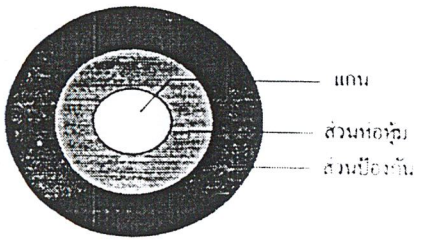
การใช้แสงเป็นสื่อในการนำสัญญาณแล้วส่งไปในตัวกลางต่างๆ นั้น ได้เริ่มขึ้นจากที่นักวิทยาศาสตร์ชาวอังกฤษชื่อ จอห์น ทินดัล (John Tyndall) ได้พบว่าแสงสามารถส่งผ่านไปตามลำน้ำได้ตั้งแต่ปี พ.ศ. 2413 จากจุดเริ่มต้นนี้ก็ได้มีความพยายามกันเป็นเวลานานที่จะทำให้ปรากฏการณ์นี้มีประโยชน์ในทางปฏิบัติได้ จนกระทั่งในปี พ.ศ.2503 ก้าวสำคัญของการเปลี่ยนแปลงก็มาถึงเมื่อมีการทดลองใช้เลเซอร์เป็นครั้งแรก ต่อมาในปีพ.ศ.2509 ก็มีนักวิทยาศาสตร์สองคนของสหราชอาณาจักร ชื่อ ฮอคแคม (G.A. Hockham)และเกา (C.C.Kao)ได้ทำการศึกษาวิจัยว่าตัวกลางที่ทำด้วยใยแก้วนำแสงสามารถส่งผ่านได้ 1%ของแสงอินพุตด้วยระยะทาง 1 กิโลเมตร และตัวกลางนี้จะเป็นคู่แข่งสำคัญกับสายทองแดงหรือสายหุ้มฉนวน (Coaxial Cable) จากนั้นด้วยความก้าวหน้าทางวัสดุศาสตร์เรื่อยมา จนปัจจุบันทำให้สามารถมีใยแก้วนำแสงที่มีการส่งผ่านแสงที่มีประสิทธิภาพ หรือมีการสูญเสียต่ำได้ ใยแก้วนำแสงบางชนิดซึ่งอาจมีดการสูญเสียต่ำมากคือมีดการสูญเสียเพียง 0.1 เดซิเบลต่อกิโลเมตร (dB/km) เท่านั้น

2.2 โครงสร้างของเส้นใยแก้วนำแสง

ส่วนประกอบของใยแก้วนำแสงประกอบด้วยส่วนสำคัญ คือส่วนที่เป็นแกนอยู่ตรงกลางหรือชั้นในแล้วหุ้มด้วยส่วนที่เป็นแคลด แล้วถูกหุ้มด้วยส่วนป้องกัน (Coating) โดยที่แต่ละส่วนนั้นทำด้วยวัสดุที่มีค่าดัชนีหุกเหของแสงที่มีค่าแตกต่างกัน ทั้งนี้ก็เพราะต้องคำนึงถึงหลักการหักเหและสะท้อนกลับหมดของแสงดังที่ได้กล่าวไปแล้ว

แกน : เป็นส่วนตรงกลางของเส้นใยแก้วนำแสง โดยดัชนีหักเหของแสงส่วนนี้ต้องมากกว่าของส่วนแคลดแล้วละแสงที่ผ่านไปในแกนจะถูกขังหรือเคลื่อนที่ไปตามเส้นใยแก้วนำแสงด้วยขบวนการสะท้อนกลับหมดภายใน (ดูรูปที่ 2.1)

ส่วนป้องกัน : เป็นชั้นที่ต่อจากแคลดเป็นที่กันแสงจากภายนอกเข้าเส้นใยแก้วนำแสง และกันแสงจากเส้นใยนำแสงออกข้างนอก และยังใช้ประโยชน์เมื่อมีการเชื่อมต่อเส้นใยแก้วนำแสง โครงสร้างอาจจะประกอบไปด้วยชั้นของพลาสติกหลายๆชั้น นอกจากนั้นส่วนป้องกันยังทำหน้าที่เป็นตัวป้องกันการกระทำจากแรงภายนอกอีกด้วย ตัวอย่างของค่าดัชนีหักเหเช่น แกนมีค่าดัชนีหักเหประมาณ 1.48 ส่วนของแคลดและส่วนป้องกันซึ่งทำหน้าที่ป้องกันแสงจากแกนภายนอก และป้องกันแสงภายนอกรบกวนจะมีค่าดัชนีหักเหเป็น 1.46 และ 1.52 ตามลำดับ



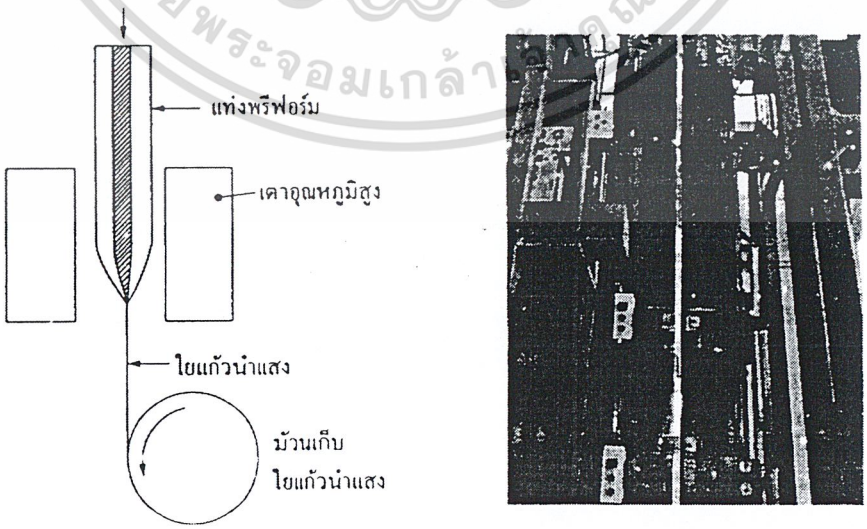
รูปที่ 2.1 แสดงส่วนประกอบของเส้นใยแก้วนำแสง

2.3 การผลิตเส้นใยแก้วนำแสง

วิธีการผลิตเส้นใยแก้วนำแสงสามารถที่จะแบ่งออกได้เป็นประเภทใหญ่ๆ ได้ 2 ประเภทคือ วิธีการโดยตรง หรือ ดี เอ็ม เอ็ม (Direct Melt Method, DMM) และวิธีการระเหยสาร วี พีโอ พี (Vapour Phase Oxidation Process, VPOP) โดยวิธีการทั้งสองแบบนั้นมีลักษณะการทำเส้นใยแก้วนำแสงที่แตกต่างกันอย่างสิ้นเชิง และยังสามารถแบ่งเป็นวิธีย่อยๆ ที่แตกต่างกันในกระบวนการทางเคมีด้วย ซึ่งจะกล่าวในรายละเอียดดังต่อไปนี้คือ

2.3.1 วิธีการ ดี เอ็ม เอ็ม

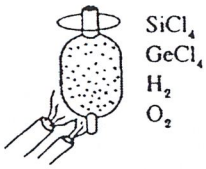
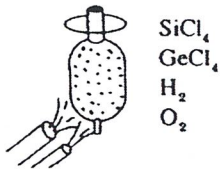
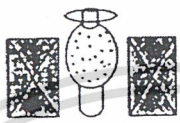
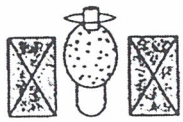
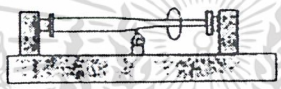
ในการทำแก้วพรีฟอร์ม (Perform) จะทำเป็นสองชั้น (Double Crucible) โดยวิธีการอัดซิลิกา (Silica) เข้าไปในท่อ โดยให้ส่วนที่จะทำแกนเป็นส่วนใน (Inner Crucible) ส่วนแคลดไว้ส่วนนอก



(ก) ไดอะแกรมของการดึงใยแก้วนำแสง (ข) ทาวเวอร์ดึงใยแก้วนำแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.2 แสดงการดึงเส้นใยแก้วนำแสง

	วิธีปกติ (Usual Vad)	วิธีสังเคราะห์ (Synthetic Vad)
1st Deposition	 Deposition Rate : 2 g/min	 Deposition Rate : 2 g/min
Dehydration Consolidation	 Cl_2, He	 Cl_2, He
Elongation	 H_2, O_2	H_2, O_2
Jacketing	H_2, O_2 Collapse (Core + Silica Tube)	$SiCl_4$ $GeCl_4$ H_2, O_2 2nd Deposition Deposition Rate : 10 g/min
Length of Fiber /Preform	30 km	100 km

รูปที่ 2.3 แสดงการดึงเส้นใยแก้วนำแสงวิธีต่างๆ

(Outside Crucible) ในการทำเส้นใยนำแสง จะทำได้โดยการให้ความร้อนกับแท่ง พลีฟอร์ม แล้วดึงด้วยเครื่อง ดังรูป 2.2 ที่มีขั้นตอนต่างกันดังรายละเอียด โดยเริ่มจากการนำแท่งพลีฟอร์มมาให้ความร้อนแล้วดึง และใส่ส่วนป้องกันตามลำดับ ซึ่งวิธีนี้จะสะดวกดี แต่เส้นใยนำแสงที่ทำด้วยวิธีนี้จะไม่บริสุทธิ์

2.3.2 วิธีการ วี พี โอ พี

การผลิตใยแก้วนำแสงด้วยวิธีนี้เป็นการผลิตที่มีขั้นตอน 2 ขั้นตอน คือ ขั้นตอนแรกเป็นการทำแท่งแก้วพลีฟอร์ม และอีกขั้นตอนเป็นการดึงแท่งพลีฟอร์ม เพื่อทำเป็นเส้นใยนำแสง ในการทำแท่งแก้วพลีฟอร์มนั้นต้องมีการผสมโลหะ (Metal Halide) ซึ่งเป็นเคมีภัณฑ์เหลวที่ต้องควบคุมอุณหภูมิที่ทำให้เกิดเป็นไอ จากการทำปฏิกิริยากับก๊าซพาหะ (Carrier Gas) ไปเกาะเกิดเป็นเนื้อสารที่มีดัชนีหักเหต่าง ๆ กัน ซึ่งมีวิธีการต่าง ๆ ดังนี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Modified Chemical Vapor Deposition (MCVD) วิธีทำ คือ ใส่โลหะผสมชนิด $SiCl_4$ เข้าไปในท่อซิลิกาที่หมุนอยู่ตลอดเวลา แล้วให้ความร้อนด้วยหัวเผา ที่เคลื่อนที่ตลอดแนวยาวของท่อซิลิกา เมื่อโลหะทำปฏิกิริยากับก๊าซพาหะ ก็จะเกาะอยู่ที่ผนังของท่อซิลิกาเกิดเป็นส่วนของแคลด และถ้าการเคลื่อนที่ของหัวเผามีอัตราเร็วขึ้นก็จะเป็นส่วนของแกน แล้วจึงนำไปยุบตัวเพื่อทำการดึงต่อไป

2. Plasma Activated Chemical Vapor Deposition (PCVD) จะคล้ายกับ MCVD แต่จะเปลี่ยนการให้ความร้อนด้วยหัวเผา เป็นการใส่ไว้ในเตาอบแทน ซึ่งจะดีกว่า MCVD ตรงที่ท่อซิลิกอนจะไม่เสียรูปทรง

3. Outside Vapor Phase Oxidation (OVPO) วิธีการนี้ทำให้เกิดการเกาะตัวที่ผนังด้านนอกของแท่งแกร์ไฟต์ทำให้เนื้อสารมีค่าดัชนีหักเหต่าง ๆ ตามที่เราต้องการแล้วนำไปแยกออกจากแท่ง แกร์ไฟต์ จะได้แท่งแก้วใส แล้วจึงนำไปทำการยุบตัวต่อไป

4. Vapor Phase Axial Deposition (VPAD) เป็นวิธีที่คล้ายกับ OVPO แต่ทำในแกนตั้ง โดยการพ่น $SiCl_+$+BO_3 และ $SiCl_4$+ $GeCl_4$ สำหรับแคลดและแกนตามลำดับให้กับแท่งแก้วซิลิกา พอเริ่มเกิดแท่งแก้วที่ปลายของแท่งซิลิกา ก็จะถูกดึงขึ้นไปสู่แท่งคาร์บอนร้อน แล้วได้แท่งพลีฟอร์มออกมาโดยไม่ต้องทำการยุบตัวอีก

2.3.3 การดึง

การดึง (Drawing) เป็นการนำแท่งแก้วพลีฟอร์มออมเพื่อทำเป็นเส้นใยแก้วนำแสงที่สามารถกำหนดเส้นผ่านศูนย์กลางได้นั่นคือนำแท่งแก้วพรีฟอร์มซึ่งได้มาจากกระบวนการดังที่กล่าวมาแล้วมาให้ความร้อนที่ปลายพอเริ่มเหลวก็จะถูกดึงลงข้างล่างไปสู่บริเวณที่จำกัดขนาดเส้นผ่านศูนย์กลางของเส้นใยแก้วนำแสง แล้วจึงจะถูกหุ้มด้วยส่วนป้องกันเพื่อเสริมความแข็งแรง แล้วจะถูกนำไปทดสอบแรงตึงและคุณสมบัติของเส้นใยแก้วนำแสงอื่นๆเช่น คุณสมบัติการกระจาย (Dispersion) คุณสมบัติการส่งผ่านและการสูญเสียหรือการลดทอน (Transmission and Loss) หรือ (Attenuation) และทางโครงสร้างต่อไปเป็นต้น

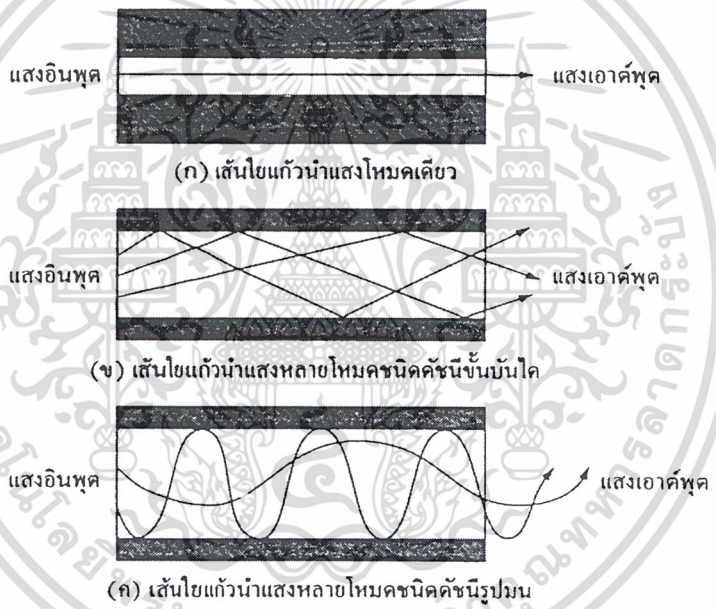
2.4 ชนิดของใยแก้วนำแสง

ภายในเส้นใยแก้วนำแสงนั้น จำนวนลำแสงที่เดินทางหรือเกิดขึ้นจะเป็นตัวบอกโหมดของแสงที่เดินทางภายในเส้นใยแก้วนำแสงนั้น กล่าวคือถ้ามีแนวลำอยู่แนวเดียวเรียกว่าเส้นใยแก้วนำแสงโหมดเดียว (Single Mode Fiber) แต่ถ้าภายในเส้นใยแก้วนำแสงนั้นมีแนวลำแสงอยู่เป็นจำนวนมาก เรียกว่าเส้นใยแก้วนำแสงหลายโหมด (Multimode Fiber) ดูรูปที่ 2.3 นอกจากการแบ่งชนิดใยแก้วนำแสงตามลักษณะ

ของโหมดแล้วก็ยังมีวิธีอื่นที่แบ่งโดยดูจากวัสดุที่ทำเช่น เส้นใยที่ทำจากแก้ว พลาสติก หรือโพลิเมอร์และก็ยังสามารถแบ่งได้ตามลักษณะของรูปร่าง ลักษณะของดัชนีหักเห เช่น ใยแก้วชนิดดัชนีขั้นบันได (Step Index) หรือดัชนีรูปมน (Graded Index) เป็นต้น

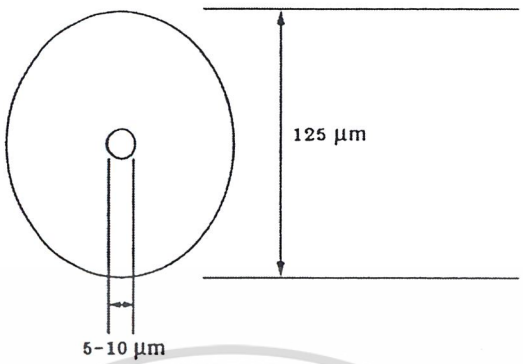
2.4.1 เส้นใยแก้วนำแสงโหมดเดียว

เส้นใยแก้วนำแสงโหมดเดียวมีขนาดเส้นผ่าศูนย์กลางของแกนและแคลดประมาณ 5-10 และ 125 ไมครอนตามลำดับ ซึ่งส่วนของแกนมีขนาดเล็กกว่าเส้นใยแก้วนำแสงชนิดหลายโหมดมาก และให้แสงออกมาเพียงโหมดเดียว ลักษณะหน้าตัดของเส้นใยแก้วนำแสงโหมดเดียวแสดงได้ดังรูปที่ 2.5



รูปที่ 2.4 แสดงลักษณะของแสงที่เดินทางภายในของเส้นใยแก้วนำแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

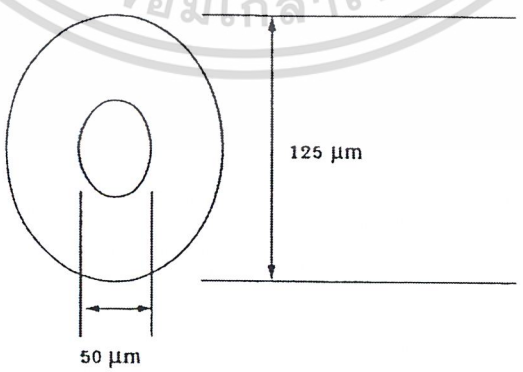


รูปที่ 2.5แสดงภาคตัดขวางของเส้นใยแก้วนำแสงโหมดเดียว

พิจารณาจากรูปจะเห็นว่าขนาดของแกนที่ใช้ส่งสัญญาณนั้นเล็กมากซึ่งทำให้การนำแสงเข้าสู่เส้นใยแก้วยากกว่าใยแก้วหลายโหมดแสง เนื่องจากข้อดีของเส้นใยแก้วนำแสงชนิดโหมดเดียวคือ การแตกกระจายของสัญญาณเกิดขึ้นนั้นยากกว่าใยแก้วนำแสงชนิดหลายโหมดทำให้มีแบนด์วิดท์ที่ใช้ประโยชน์ได้กว้างขวาง

2.4.2 เส้นใยแก้วนำแสงหลายโหมด

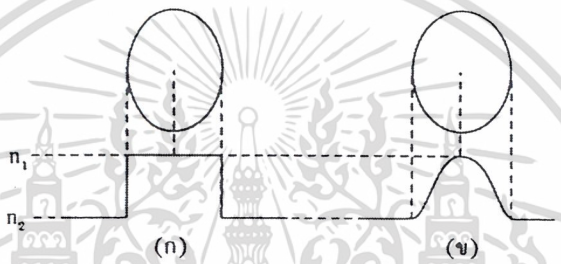
โครงสร้างภายในของเส้นใยแก้วนำแสง ซึ่งประกอบด้วยแกนและแคลดดังได้กล่าวมาแล้วข้างต้นสำหรับเส้นใยแก้วนำแสงหลายโหมดส่วนใหญ่มีขนาดเส้นผ่านศูนย์กลางของแกน และแคลดโดยประมาณ 50 ไมครอนและ 125 ไมครอน ตามลำดับ ซึ่งมีลักษณะหน้าตัดดังรูปที่ 2.6



รูปที่ 2.6 แสดงภาคตัดขวางของเส้นใยแก้วนำแสงหลายโหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากเส้นผ่านศูนย์กลางของแกนของเส้นใยแก้วนำแสงหลายโหมดนั้นมีขนาดใหญ่ ดังนั้น แสงที่ตกกระทบที่ปลายอินพุทของเส้นใยแก้วนำแสง มีมุมตกกระทบที่แตกต่างกันหลายค่า จากหลักการสะท้อนกลับหมดของแสงที่เกิดขึ้น ภายในส่วนของแกนทำให้มีแนวลำแสงเกิดขึ้นหลายโหมด และแสงแต่ละโหมดเดินทางโดยใช้ระยะเวลาที่แตกต่างกัน อันเป็นสาเหตุให้เกิดการแตกกระจายของโหมดแสง (Mode Dispersion) หรือของสัญญาณที่ได้รับเนื่องจากการแตกต่างของเวลา จึงได้มีการพัฒนาที่จะลดการแตกกระจายของสัญญาณซึ่งเกิดขึ้นจากเส้นใยแก้วนำแสงหลายโหมดด้วยการปรับปรุงลักษณะดัชนีการหักเหของแกน ดูรูปที่ 2.7



(ก) ลักษณะดัชนีหักเหแสงของแกนเมื่อมีลักษณะเป็นขั้นบันได

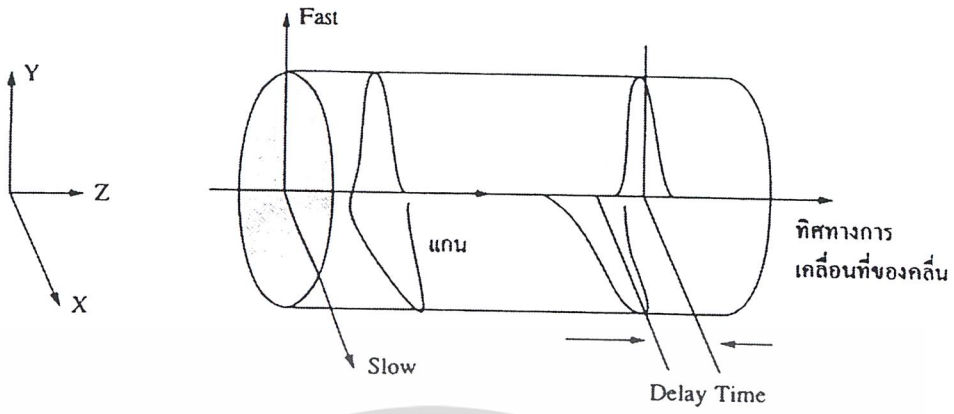
(ข) การกระจายของสัญญาณเมื่อดัชนีหักเหภายในแกนมีค่าค่อย ๆ เปลี่ยนแปลง

รูปที่ 2.7แสดงชนิดของเส้นใยแก้วนำแสงตามลักษณะของดัชนีหักเหของแกน

2.4.3 ใยแก้วนำแสงชนิดอนุรักษ์สภาวะทางโพลาไรเซชัน

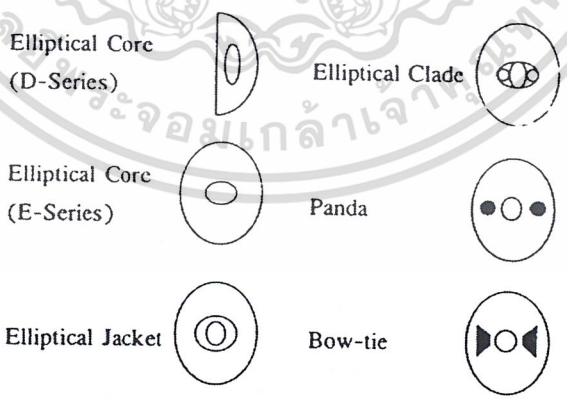
สำหรับเส้นใยแก้วนำแสงโหมดเดียวแบบธรรมดาในทางทฤษฎีกล่าวว่า องค์ประกอบของความเร็วแสง ที่เดินทางในเส้นใยแก้วนำแสงจะเท่ากัน แต่ในทางปฏิบัติเส้นใยแก้วนำแสงจะไม่สมมาตรสมบูรณ์ซึ่งการมีรูปร่างและดัชนีหักเหที่ไม่สมมาตรจะทำให้โหมดทั้งสองของแสงมีความเร็วที่แตกต่างกันเล็กน้อยองค์ประกอบของความเร็วจะประกอบด้วยองค์ประกอบตามแกนที่เร็วกว่า (Fast Axis) และอีกแกนหนึ่งที่ตั้งฉากกันที่มีความเร็วน้อยกว่า (Slow Axis) จากความแตกต่างของความเร็วนี้เองทำให้เกิดการหักเหสองแนว ปรากฏการณ์นี้อาจเกิดจากรายละเอียดที่กล่าวมาแล้วข้างต้นที่เกิดจากคุณสมบัติภายในของเส้นใยแก้วนำแสงเอง หรือในกระบวนการผลิตที่มีโครงสร้างของส่วนแกนภายในซึ่งอาจทำให้เกิดความเค้นบริเวณรอบๆแกน (Geometrical Effect, GE) หรือเกิดการรบกวน เนื่องจากผลของการให้ความเค้นภายนอก (Stress Effect, SE) ดูรูปที่ 2.8และ 2.9ประกอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8แสดงโหมดของเส้นโพลาไรซ์สองโหมดที่ตั้งฉากกันและมีความเร็วต่างกัน

เส้นใยแก้วนำแสงโหมดเดียวที่มีคุณสมบัติดังกล่าวนี้ มีความสามารถในการอนุรักษ์สภาวะโพลาไรเซชัน (Polarization Maintaining, PM) ซึ่งจะแบ่งเป็นชนิดไฮลีไบร์ฟรินเจนซ์ (Highly Birefringence, HB) และชนิดโลว์ไบร์ฟรินเจนซ์ (Low Birefringence, LB) โดยพิจารณาจากผลต่างของค่าดัชนีหักเหแสงหรือ ไบร์ฟรินเจนซ์ กล่าวคือถ้าค่าไบร์ฟรินเจนซ์ $B > 10^{-5}$ จัดเป็นไฮลีไบร์ฟรินเจนซ์ แต่ถ้าไบร์ฟรินเจนซ์ $B < 10^{-5}$ จัดเป็นโลว์ไบร์ฟรินเจนซ์ เส้นใยแก้วนำแสงไฮลีไบร์ฟรินเจนซ์ยังแยกพิจารณาเป็นแบบโพลาไรเซชันโหมดเดียว (Single Polarization Mode, SP) และสองโหมด (Two Polarization Modes, TP) เป็นต้น



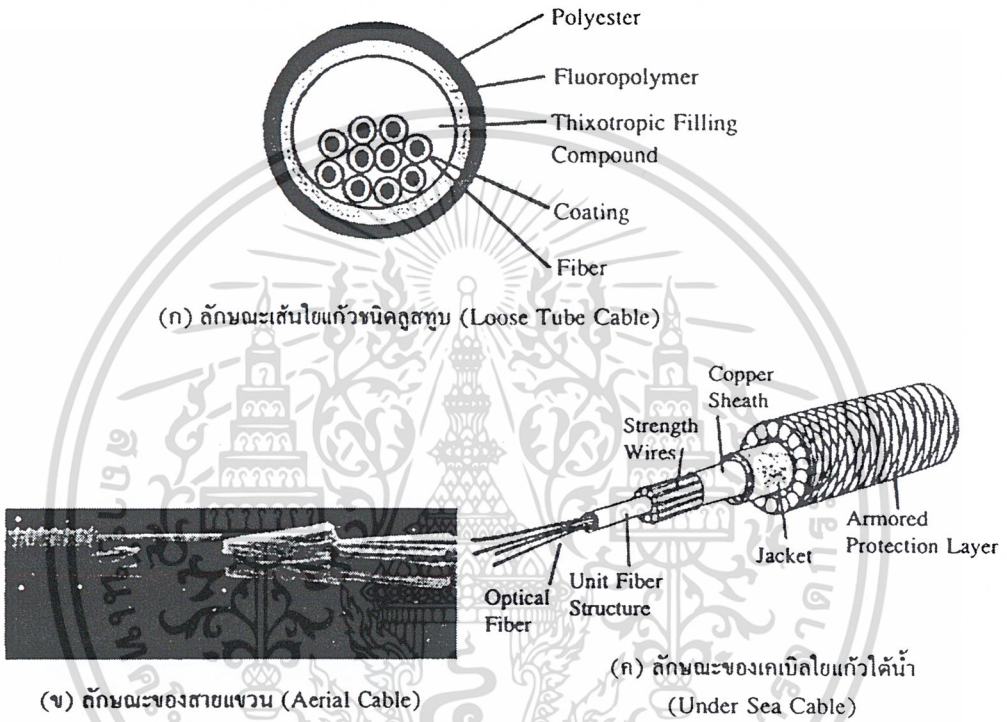
รูปที่ 2.9แสดงตัวอย่างของเส้นใยแก้วนำแสงไฮลีไบร์ฟรินเจนซ์บางชนิด

2.5 สายเคเบิลเส้นใยแก้วนำแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใยแก้วนำแสงนั้นมีกระบวนการผลิตหลายวิธีดังที่กล่าวมาแล้ว ซึ่งจะแตกต่างกันที่วิธีการทำแท่งพรีฟอร์มหลังจากได้แท่งพรีฟอร์มแล้วก็จะนำมาดึงทำแสงขนาดและประเภทต่างๆ พร้อมทั้งทำการ

ป้องกันเพื่อทำเป็นเคเบิลตามลักษณะของการใช้งานต่างๆเช่น สายเคเบิลกับงานเดินสายใต้ดิน สายอากาศ สายใต้น้ำ สายในอาคาร และงานระหว่างอาคาร เป็นต้น ดังรูปที่ 2.10ะเป็นตัวอย่างเคเบิลใยแก้วนำแสง ซึ่งเป็นลักษณะทั่วๆไปเท่านั้น สำหรับในการใช้งานในปัจจุบันนั้นมีเคเบิลมากมายหลายชนิดแล้วแต่ความต้องการใช้งานเป็นสำคัญ



รูปที่ 2.10แสดงตัวอย่างของเคเบิลใยแก้ว

2.6 การสื่อสารด้วยแสง

จากความเจริญก้าวหน้าทางเศรษฐกิจและสังคม ทำให้มีความต้องการในการแลกเปลี่ยนข่าวสารและข้อมูลเพิ่มขึ้น เพื่อเป็นการตอบสนองความต้องการได้ทั้งปัจจุบันและอนาคต ระบบสื่อสารด้วยแสง (Optical Communication System) ซึ่งสามารถส่งข่าวสารและข้อมูลต่างๆได้เป็นจำนวนมากในเวลาเดียวกันจึงได้ถูกนำมาใช้กันอย่างแพร่หลาย

ระบบสื่อสารด้วยใยแก้วนำแสงเมื่อเปรียบเทียบกับระบบการสื่อสารที่ใช้เคเบิลที่ทำด้วยโลหะแล้วมีข้อดีต่างๆที่เกิดจากคุณสมบัติของใยแก้วนำแสงดังนี้คือ

1.ให้แบนด์วิดท์ที่กว้าง กล่าวคือ การใช้คลื่นภาหะที่มีความถี่สูงในระบบสื่อสารทำให้ แบนด์วิดท์ของสัญญาณกว้างมากขึ้น การสื่อสารด้วยใยแก้วนำแสงนั้นขึ้นกับคลื่นพาหะที่มีความถี่อยู่ในช่วง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$10^{13} - 10^{14}$ เฮิรตซ์ เมื่อเปรียบเทียบกับความถี่ของคลื่นวิทยุซึ่งมีความถี่ $10^{6} - 10^{9}$ เฮิรตซ์ แล้วจะเห็นว่าแบนด์วิดท์ของสัญญาณกว้างขึ้นถึงประมาณ 10^{6} หรือ 1 ล้านเท่า

2.*ขนาดเล็กและน้ำหนักเบา* ใยแก้วนำแสงเพียงเส้นเดียวสามารถแทนคู่สายทองแดงขนาดใหญ่แต่ละคู่ได้ เช่น สายเคเบิลทางโทรศัพท์ที่มี 1,000 คู่สาย มีขนาดเส้นผ่านศูนย์กลางประมาณ 7-10 เซนติเมตร จะสามารถใช้เคเบิลใยแก้วนำแสงเพียงเส้นเดียวที่มีเส้นผ่านศูยน์กลาง 1.5 เซนติเมตร แทนได้ในการส่งช่องสัญญาณจำนวนที่เท่ากัน

3.*การสูญเสียต่ำ* ใยแก้วนำแสงมีค่าการสูญเสียเนื่องจากการลดทอนน้อยกว่าสายเกลียวคู่ (Twisted Pair) หรือ หุ้มฉนวน (Coaxial Cable)

4. *ไม่ถูกรบกวนจากคลื่นแม่เหล็กไฟฟ้า* เนื่องจากเส้นใยแก้วนำแสงไม่ได้สร้างจากเส้นลวดโลหะเหมือนสายเคเบิลโลหะแต่สร้างจากแก้ว (Glass) หรือซิลิกอน (Silicon) ดังนั้นจึงไม่ถูกรบกวนจากคลื่นแม่เหล็กไฟฟ้า และไม่ต้องใช้เทคนิคป้องกันด้วยวิธีการชิลด์ (Shield) ที่มีราคาแพงและยุ่งยากเพ่อป้องกันการรบกวนจากสนามแม่เหล็กไฟฟ้า

5. *คงทนและไม่ถูกรบกวนโดยสภาพดินฟ้าอากาศ* แก้วหรือซิลิคอนมีความแข็งกว่าโลหะถึง 20 เท่า โดยที่ซิลิคอนหรือแก้วก็เป็นธาตุเฉื่อย ดังนั้นสภาพแวดล้อมจึงมีผลน้อยกว่าการใช้งานสายที่ทำด้วยโลหะ

6. *มีความปลอดภัย* ในระบบสายโลหะจำเป็นต้องป้องกันอันตรายให้กับอุปกรณ์ หรือมนุษย์จากไฟฟ้าลัดวงจรระหว่างสาย หรือระหว่างสายกับสายดิน ซึ่งเมื่อใช้เส้นใยแก้วนำแสงแล้วจะไม่มีปัญหาเกี่ยวกับสิ่งเหล่านี้

7. *ราคาถูก* ราคาของเส้นใยแก้วนำแสงในปัจจุบันมีราคาต่ำลงเรื่อยๆ ในขณะที่ราคาของสายโลหะมีราคาเพิ่มขึ้น ในทางปฏิบัติทุกวันนี้ราคาของการออกแบบระบบที่ใช้ใยแก้วนำแสงมีราคาต่ำกว่าระบบแบบใช้โลหะ

2.6.1 การสื่อสารเชิงแสง

แนวความคิดของการสื่อสารด้วยเส้นใยแก้วนำแสงเกิดขึ้นเมื่อนักวิทยาศาสตร์พยายามที่จะค้นคว้าเกี่ยวกับการส่งผ่านแสงในชั้นบรรยากาศมาก่อนแต่ไม่ค่อยประสบผลสำเร็จมากนัก เนื่องจากแสงจะถูกลดกำลัง หรือลดทอนในชั้นบรรยากาศอย่างมาก การส่งผ่านแสงชั้นบรรยากาศจึงถูกจำกัดเฉพาะการสื่อสารในระยะทางสั้นๆ ต่อมาจึงหันมาวิจัยการสื่อสารโดยการใช้ใยแก้วนำแสง แต่ในระยะแรกเกิดปัญหาเนื่องจากสูญเสียมากถึงประมาณ 1,000 เดซิเบล/กิโลเมตร ซึ่งไม่สามารถนำมาใช้กับการสื่อสารได้ ต่อมานักวิทยาศาสตร์ได้ทำการวิจัยและพัฒนาจนอัตราการสูยเสียของเส้นใยแก้วนำแสงเหลือเพียง 0.2 เดซิเบล / กิโลเมตร ตัวอย่างเช่น แสงเดินทางในเส้นใยแก้วนำแสงที่ยาว 15 กิโลเมตร ปริมาณของแสงจึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะลดลงเหลือครึ่งหนึ่ง ดังนั้นจึงสามารถนำแสงไปได้ไกลมาก จากการนำแสงเลเซอร์และใยแก้วนำแสงมาใช้ร่วมกันจึงทำให้เกิดการส่งข่าวสารยุคใหม่ขึ้นเรียกว่า "การสื่อสารใยแก้วนำแสง"

ส่วนประกอบพื้นฐานของระบบการสื่อสารด้วยใยแก้วนำแสง แสดงได้ดังรูปที่ 2.10 ซึ่งจะประกอบด้วยอุปกรณ์ที่เปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณแสง (Electrical Optical Converter, E/O) ที่ทำงานโดยรับสัญญาณไฟฟ้ามาจากอุปกรณ์แหล่งกำเนิดแสง หรือ เลเซอร์ และส่งเข้าไปในเส้นใยแก้วนำแสงโดยความแรงของสัญญาณไฟฟ้าที่รับได้จากอุปกรณ์รับสัญญาณปลายทางจะถูกเปลี่ยนเป็นความเข้มแสง หรือระดับของสัญญาณ "1" และ "0" ด้วยวิธีหลังนี้สัญญาณไฟฟ้าจะเปลี่ยนเป็นแสงที่สว่างและมืดหรือเปิด-ปิดสัญญาณที่เดินทางในใยแก้วนำแสงนั้นกำลังจะอ่อนลงเมื่อเดินทางในระยะทางที่เพิ่มขึ้นพร้อมทั้งรูปคลื่นที่ขยายกว้างออกด้วย ดังนั้น เมื่อถึงอุปกรณ์เปลี่ยนแสงเป็นไฟฟ้า (O/E) ทางด้านรับสัญญาณแล้วก่อนที่แสงจะส่งไปก็จะถูกทวนสัญญาณและส่งต่อไปยังปลายทาง

รูปที่ 2.11ผังแสดงระบบสื่อสารใยแก้วนำแสง

2.6.2 ระบบสื่อสารใยแก้วนำแสง

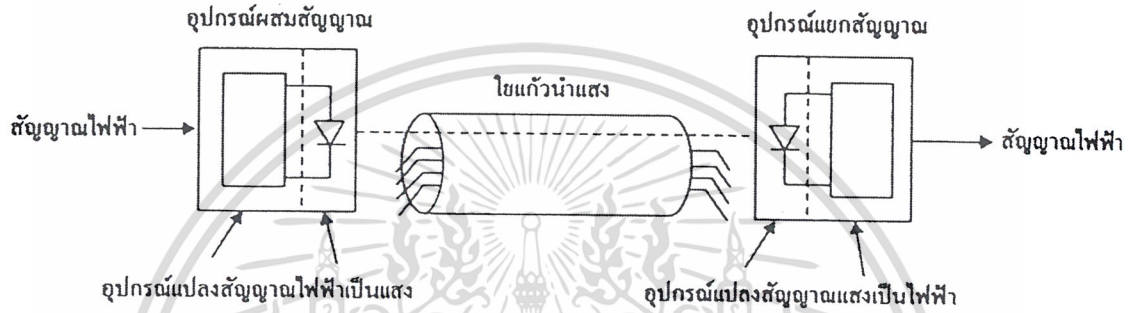
ระบบอุปกรณ์ที่ทำหน้าที่เปลี่ยนสัญญาณไฟฟ้าเป็นแสงนั้นทำได้โดยใช้อุปกรณ์ทางแสงได้แก่ แหล่งกำเนิดแสง (Light Source) ซึ่งปกติใช้อุปกรณ์สารกึ่งตัวนำชนิด ไดโอดเปล่งแสง (LED) หรือไดโอดเลเซอร์ (LD) ส่วนอุปกรณ์ที่เปลี่ยนแสงเป็นไฟฟ้านั้นทำได้โดยใช้ไดโอดแสง (Photodiode) หรือทรานซิสเตอร์แสง (Photo Transistor) นอกจากกรณีที่ระยะทางของสายส่งยาวมากอาจต้องมีการติดตั้งอุปกรณ์ทวนสัญญาณ (Repeater) ซึ่งจะทำหน้าที่เปลี่ยนสัญญาณแสงเป็นสัญญาณไฟฟ้า แล้วเปลี่ยนกลับเป็นสัญญาณแสงอีกครั้งและส่งกลับไปยังเส้นใยแก้วนำแสง

2.6.2.1 การผสมและแยกสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

การผสมสัญญาณ (Modulation) ของการสื่อสารนั้น หมายถึงการทำให้ความถี่ของการสั่นในการส่งเปลี่ยนแปลงไปตามสัญญาณข่าวสาร สำหรับการสื่อสารใยแก้วนำแสงนั้นความถี่ (หรือความยาวคลื่น)

ของแสงที่ปล่อยออกมาจากอุปกรณ์กำเนิดแสงมีค่าไม่คงที่ ดังนั้นความหมายของการผสมสัญญาณจึงแตกต่างกับการสื่อสารทางไฟฟ้า ถ้าหากสามารถทำให้แสงเป็นแสงอาพันธ์ (Coherence Light) ที่สมบูรณ์นั่นคือมีความถี่คงที่ และสามารถเปลี่ยนความถี่แสงให้อยู่ในย่านความถี่ไมโครเวฟได้ก็จะทำให้การสื่อสารใยแก้วนำแสงมีการผสมคลื่นชนิดต่างๆ เหมือนกับการสื่อสารทางไฟฟ้า ดังนั้นจึงกล่าวได้ว่าการผสมคลื่นแสงนั้นเป็นเพียงการผสมความเข้มแสง (Intensity Modulation) เท่านั้น (ดูรูปที่ 2.12ประกอบ)



รูปที่ 2.12แสดงการผสมสัญญาณและการส่ง

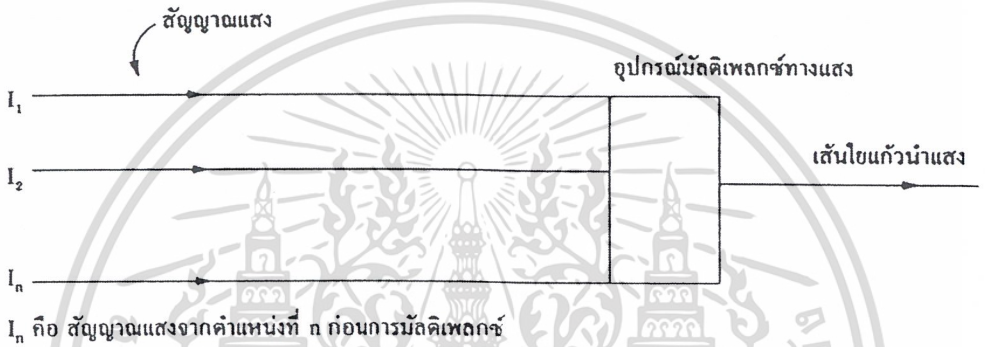
ปกติสัญญาณแสงทางด้านรับของระบบสื่อสารนั้นสัญญาณจะอ่อนกำลังลง และบางครั้งอาจเกิดความผิดพลาดเนื่องจากการส่งผ่านไปในใยแก้วนำแสง เมื่ออุปกรณ์รับแสงทำการแปลงสัญญาณให้ได้สัญญาณไฟฟ้าที่ออกมาเป็นรูปร่างของสัญญาณเดิมที่เป็นสัญญาณพื้นฐาน (Baseband) และเป็นไปตามรูปร่างของกรอบคลื่น (Envelope) ของสัญญาณที่เกิดจากการรวมกับคลื่นพาหะทางแสง สัญญาณนี้จะผ่านขั้นตอนทางไฟฟ้าเพื่อทำการขยายสัญญาณ และได้สัญญาณที่เครื่องรับปลายทางเหมือนกับต้นกำเนิดข่างสารทุกประการ ในอนาคตถ้าสามารถทำให้แสงที่เป็นแสงอาพันธ์อย่างสมบูรณ์ก็จะสามารถใช้วิธีการผสมคลื่นที่ทำให้ความถี่ของต้นกำเนิดแสงเปลี่ยนแปลงตามสัญญาณนั้น คือใช้วิธีผสมคลื่นที่มีประสิทธิภาพดีได้และทำนองเดียวกันกับทางด้านรับแสงก็สามารถใช้การแยกสัญญาณที่เรียกว่าเทคนิคทางด้านความถี่ (Heterodyne Detection) เป็นส่วนการรับสัญญาณปลายทาง

2.6.2.2 การส่งสัญญาณแบบดิจิตอลและอนาลอก

การส่งสัญญาณโดยทั่วไปนั้นมีสองแบบคือ การส่งสัญญาณแบบดิจิตอล (Digital) และอนาล็อก (Analog) การสื่อสารด้วยแสงนั้นมีการส่งสัญญาณอยู่สองชนิดนี้เช่นกัน ซึ่งขึ้นอยู่กับสัญญาณไฟฟ้าที่มาผสมกับแสงว่าจะเป็นสัญญาณดิจิตอลหรือสัญญาณอนาล็อกเท่านั้น การส่งสัญญาณแบบดิจิตอลโดยทั่วไปแล้วจะนำมาเปลี่ยนเป็นรหัส (Code) ที่เหมาะแก่การส่งแล้วจึงส่งออกไปเช่นเดียวกับการส่งสัญญาณแบบอนาล็อก นั่นคือก่อนที่จะทำการเปลี่ยนแปลงสัญญาณอนาล็อกให้เป็นสัญญาณแสงนั้น จะทำการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผสมสัญญาณขั้นแรกกับแหล่งกำเนิดแสงก่อน ทั้งนี้ก็เพราะว่าแสงเอาต์พุตของอุปกรณ์กำเนิดแสงนั้นไม่เป็นสัดส่วนกับระดับสัญญาณไฟฟ้า อินพุทเสมอไป ซึ่งทำให้เกิดความยุ่งยากในการรักษาคุณสมบัติของการส่งเพื่อแก้ปัญหาดังกล่าวจึงต้องทำการผสมสัญญาณเบื้องต้นก่อน การเลือกระบบการส่งสัญญาณทั้ง 2 ชนิดนี้ขึ้นอยู่กับวัตถุประสงค์ของการใช้งาน การเลือกระบบแบบอนาล็อกมักใช้กับการส่งสัญญาณภาพในข่ายสาย (Networks) หรือเคเบิลทีวี แต่ในอนาคตระบบการส่งแบบดิจิตอลที่มีคุณภาพดีกว่าจะเข้ามามีบทบาทสำคัญในทุกๆด้าน



รูปที่ 2.13แสดงการมัลติเพลกซ์แบบแบ่งระยะทาง

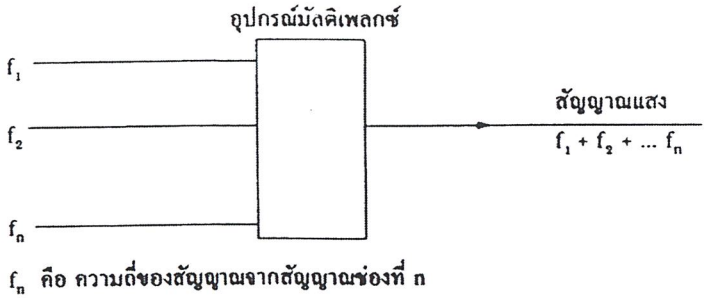
2.6.2.3 การทำมัลติเพลกซ์

การสื่อสารนั้นถ้าสามารถส่งข่าวสารได้มากเท่าใดก็จะเป็นการประหยัด ระบบสื่อสารใยแก้วนำแสงก็เช่นเดียวกันต้องมีการทำมัลติเพลกซ์ (Multiplex) เหมือนกับระบบการสื่อสารใช้สายที่เป็นโลหะ เช่นกันการมัลติเพลกซ์ทางแสงสามารถแบ่งได้เป็น 4 ประเภท คือ

1. การมัลติเพลกซ์แบบแบ่งระยะทาง (Space Division Multiplexing) หมายถึง ในสายเคเบิลหนึ่งเส้นจะมีเส้นใยแก้วนำแสงเป็นจำนวนมากซึ่งเป็นวิธีที่ทำให้ส่งสัญญาณได้จำนวนมากต่อสายเคเบิลหนึ่งเส้น (ดูรูปที่ 1.12)

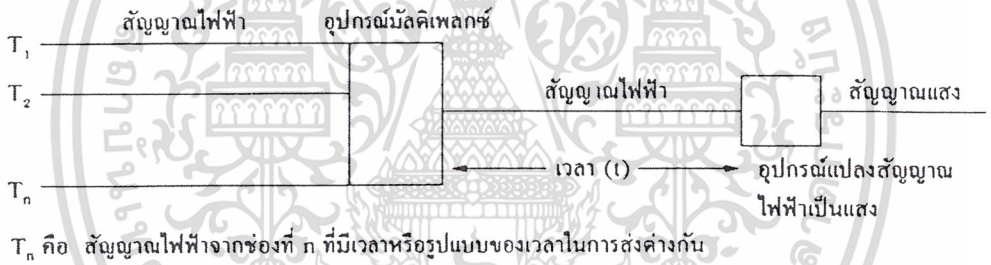
2. การมัลติเพลกซ์แบบแบ่งความถี่ (Frequency Division Multiplexing) เป็นระบบที่ใช้กับการสื่อสารใยแก้วนำแสงที่มีการส่งสัญญาณจำนวนมาก โดยก่อนส่งไปนั้นจะถูกทำการมัลติเพลกซ์ในขั้นตอนของการแปลงเป็นสัญญาณแสงเป็นไฟฟ้าก่อนการส่งสัญญาณ (ดูรูปที่ 2.14)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 แสดงการมัลติเพลกซ์แบบแบ่งความถี่

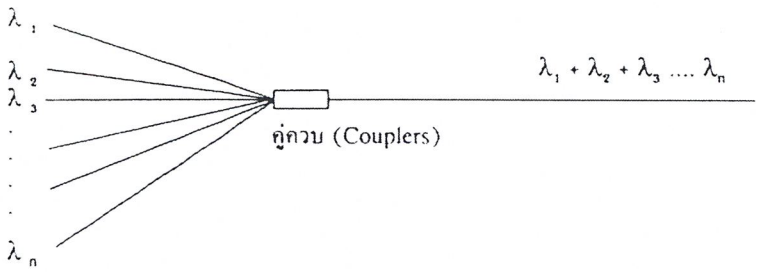
3. การมัลติเพลกซ์แบบแบ่งเวลา (Time Division Multiplexing) มีหลักการเช่นเดียวกันกับการมัลติเพลกซ์แบบแบ่งเวลาความถี่ซึ่งเป็นวิธีที่ใช้สำหรับการส่งสัญญาณแบบดิจิตอล (ดูรูปที่ 2.15)



รูปที่ 2.15 แสดงการมัลติเพลกซ์แบบแบ่งเวลา

4. การมัลติเพลกซ์แบบแบ่งความยาวคลื่น (Wavelenght Division Multiplexing) เป็นวิธีการส่งสัญญาณแสงที่มีความยาวคลื่นต่างกันจำนวนมากในใยแก้วนำแสงหนึ่งเส้น ข้อดีคือสัญญาณไฟฟ้าที่ส่งไปกับความยาวคลื่นแต่ละความยาวคลื่นไม่ว่าจะเป็นแบบอนาล็อกหรือดิจิตอลสามารถเปลี่ยนแปลงได้โดยง่าย (ดูรูปที่ 2.16)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



λ_n คือ ความยาวคลื่นของแหล่งกำเนิดแสงที่ n

รูปที่ 2.16 แสดงการมัลติเพลกซ์แบบแบ่งความยาวคลื่น

2.6.3 อุปกรณ์แหล่งกำเนิดแสง

แหล่งกำเนิดแสงที่นิยมใช้ในปัจจุบันคือไดโอดเปล่งแสงชนิดสารกึ่งตัวนำและไดโอดเลเซอร์ เพราะไดโอดเหล่านี้เปล่งแสงที่ความยาวคลื่นย่าน 0.8-0.9 และ 1.3-1.6 ไมครอน ซึ่งตรงกับย่างที่ใยแก้วนำแสงมีค่าสูยเสียต่ำและสามารถควบคุมกำลังขาออกได้อย่างรวดเร็วโดยการปรับค่ากระแสไบแอส (Bias Current) จึงง่ายต่อการผสมสัญญาณ อีกทั้งอายุการใช้งานมากกว่าหนึ่งล้านชั่วโมง ความแตกต่างที่สำคัญระหว่าง LED และ LD คือ LD มีมุมการเปล่งแสงที่แคบกว่าแต่มีความกว้างของสเปกตรัมมากกว่า (Spectrum Width) จึงนิยมใช้กับการส่งสัญญาณแบบโคฮีเรนท์ (Coherent Transmission) นอกจากนี้ยังเปล่งแสงเมื่อมีการต่อกระแสขับดัน (Drive Current) ได้เร็วกว่า แต่เนื่องจาก LD เป็นอุปกรณ์เทรชส์โฮลด์ (Threshold Device) การเปล่งแสงจึงไม่คงที่และเป็นสัดส่วนโดยตรงกับกระแส จึงต้องมีวงจรควบคุมแบบป้อนกลับ (Feedback) เพื่อทำให้กำลังขาออกของเลเซอร์คงที่

2.6.4 อุปกรณ์รับแสง

อุปกรณ์รับแสงที่นิยมใช้เป็นสารประเภทสารกึ่งตัวนำซึ่งแบ่งออกเป็นพวกใหญ่ๆได้ 2 ประเภท ตามปริมาณแรงดันไฟฟ้าที่ป้อนให้จากภายนอกคือ

1. โฟโตไดโอด (Photodiode, PD) เป็นพวกที่ได้รับการป้อนแรงดันไฟฟ้าปริมาณน้อย ตัวอย่าง เช่น PIN-PD เป็นต้น

2. อะวาลานช์โฟโตไดโอด (Avalanche Photodiode, APD) เป็นพวกที่ได้รับการป้อนแรงดันไฟฟ้าปริมาณมาก การเลือกใช้อุปกรณ์รับแสงแบบ PIN หรือ APD นั้น ตามปกติจะขึ้นอยู่กับราคาและความไวของเครื่องรับที่ต้องการ (Reciever Sensitivity) กระบวนการอะวาลานช์ใน APD มีเทรชส์โฮลด์ซึ่งทำให้มีราคาแพงกว่า PIN เนื่องจาก APD มีการขยายกำลังได้สูงจึงจะทำให้ความไวของเครื่องรับได้ถึงประมาณ –15 dB ซึ่งมากกว่าของ PIN ไดโอด นอกจากนี้ยังต้องพิจารณาถึงระดับสัญญาณรับต่ำสุดที่จะรับได้ด้วย

2.7 สรุป

จากการเรียนรู้ส่วนประกอบต่างๆของระบบสื่อสารเชิงแสงแล้ว ถ้านำมาประกอบกันเป็นระบบก็สามารถทำให้เป็นระบบสื่อสารที่ใช้ติดต่อสื่อสารกันได้ การติดต่อสื่อสารทั่วไปนั้นมีการเชื่อมโยงกันได้ด้วยวิธีต่างๆกันไม่ว่าจะเป็นแบบจุดต่อจุด (Point-to-Point) แบบหลายจุด (Multipoint) หรือ แบบเครือข่าย (Networks) โดยผ่านตัวกลางสื่อสารด้วยวิธีการต่างๆไม่ว่าจะเป็นแบบซิมเพลกซ์ (Simplex) ครึ่งดูเพลกซ์ (Half Duplex) หรือ ดูเพลกซ์เต็ม (Full Duplex) เป็นต้น การใช้งานของระบบสื่อสารนั้นจำเป็นต้องใช้ข้อตกลงต่างๆ ร่วมกัน ทางด้านระบบการส่งข้อมูลให้เป็นมาตราฐานเดียวกัน หรือเรียกว่าโปรโตคอล (Protocol) จึงจะทำให้สามารถติดต่อสื่อสารกันได้ทั่วโลก เช่น การใช้ระบบ ISDN (Intergrated Service Digital Networks) เป็นต้น

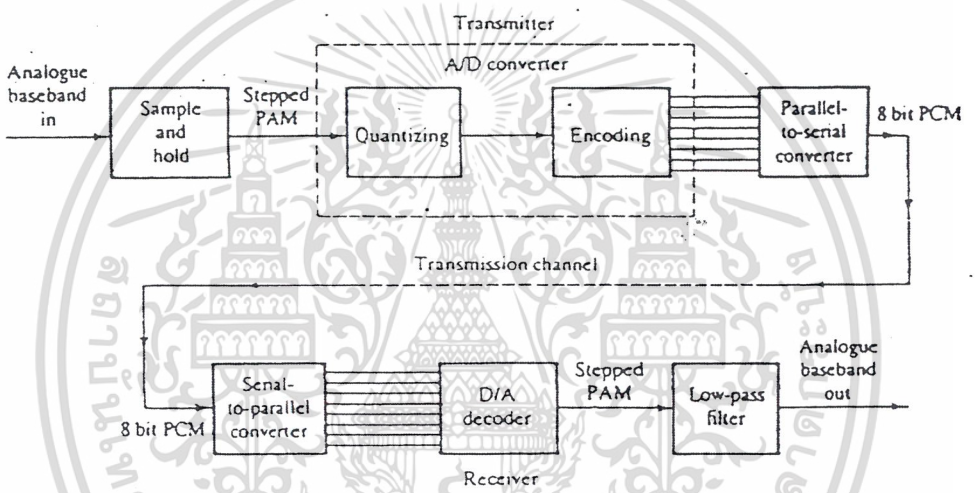
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ทฤษฎีและหลักการของ PCM และFM

3.1 ลักษณะโดยรวมของระบบ PCM

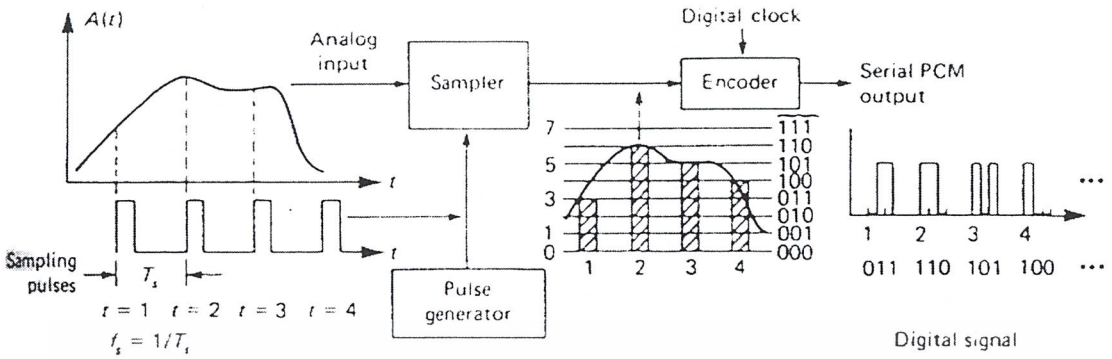
พัลส์โค๊ดมอดูเลชั่นเป็นการส่งสัญญาณดิจิตอล โดยเปลี่ยนจากสัญญาณ อนาลอก มาเป็นสัญญาณ ดิจิตอล โดยจะมีลักษณะในการส่งข้อมูลดังรูป 3-1



รูปที่ 3.1 ไดอะแกรมแสดงขั้นตอนการส่งสัญญาณPCM ตั้งแต่สัญญาณเริ่มเข้ามาจนถึงสัญญาณที่ได้ออกมาโดยผ่านทางเส้นใยแก้วนำแสง

โดยจะมีขั้นตอนการแปลงสัญญาณดังรูป 3-2

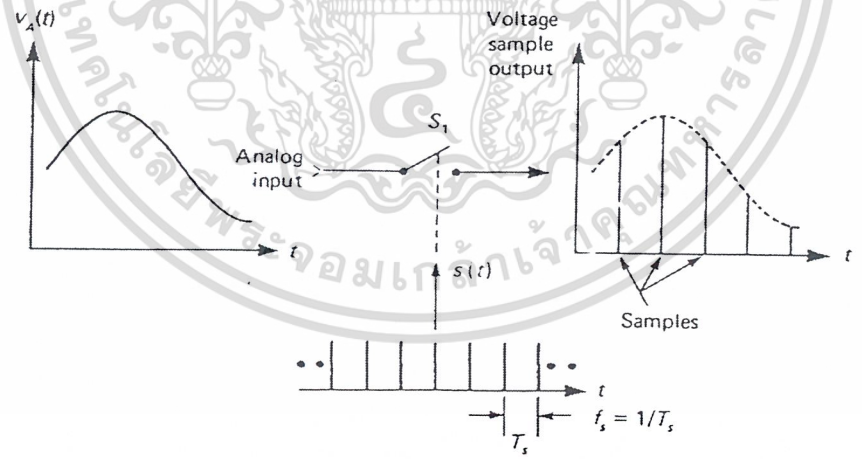
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงขั้นตอนในการแปลงสัญญาณ อนาลอก เป็นสัญญาณ ดิจิตอล

3.1.1 ทฤษฎีการสุ่ม (Sampling theorem)

จากสัญญาณที่เป็นอนาลอกที่เป็นอินพุทเมื่อผ่านวงจรกรองแล้ว จะถูกทำการสุ่มสัญญาณซึ่งแรงดันไฟฟ้าที่ได้จากการสุ่มขึ้นอยู่กับ แอมพลิจูดของสัญญาณ อนาลอกที่เป็น อิทพุทเข้ามา ซึ่งแสดงได้ดังรูป



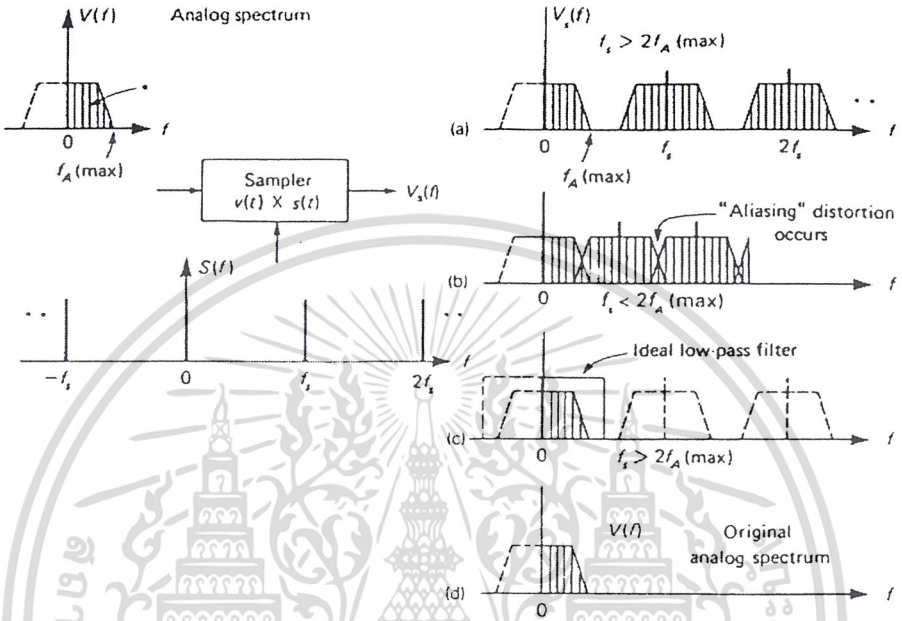
รูปที่ 3.3 การสุ่มสัญญาณ อนาลอก

โดยอัตราในการสุ่ม (sampling rate) จะต้องมีความถี่มากกว่าความถี่ของอิทพุท อย่างน้อง 2 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_S \geq 2f_{A(MAX)}$$

หาอัตราการสุ่ม น้อยกว่า 2 เท่าของสัญญาณอนาลอกอินพุท จะทำให้เกิดการผิดเพี้ยนของสัญญาณเนื่องจากการเหลื่อมล้ำ (Aliasing Distortion) ของสัญญาณเอาท์พุทดังรูป



รูปที่ 3.4 แสดงอัตราการสุ่มสัญญาณเมื่อ $f_s < 2f_a$ และ $f_s > 2f_a$

สำหรับเทคนิคในการสุ่มสัญญาณ อินพุท เราจะใช้วงจร sampling and hold ดังรูป ซึ่งสัญญาณที่ออกมาจะเรียกว่า Pulse Amplitude Modulation Signal

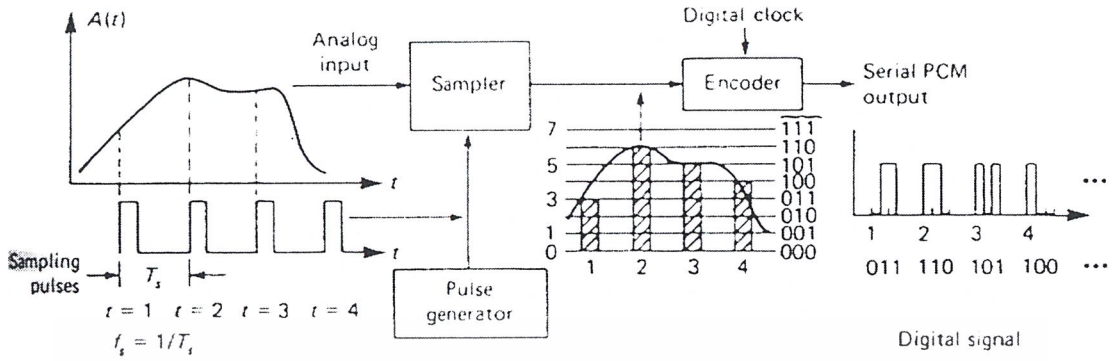
3.1.2 การจัดลำดับ (Quantization)

สัญญาณที่ได้มาจาก Sampling and hold เราจะได้สัญญาณ PAM ออกมาซึ่งจะยังไม่อยู่ในรูปของสัญญาณ ดิจิตอล จึงจำเป็นต่องมีการจัดลำดับของสัญญาณให้เป็นค่าตัวเลขแบบไม่ต่อเนื่อง

3.1.3 การเข้ารหัส (Encoding)

เมื่อสัญญาณ PAM ที่ผ่านขั้นตอนการจัดระดับมาแล้ว เราก็จะนำสัญญาณมาทำการเข้ารหัส โดยใช้ A/D Converter ซึ่งแล้วแต่ว่าเราต้องการใช้กี่บิท สำหรับสัญญาณทางโทรศัพท์ จะใช้เป็นรหัส 8 บิท ซึ่งสามารถแสดงค่า แอมพลิจูดได้ $2^8 = 256$ ระดับ หรือ ระบบในการเข้ารหัสจะมีด้วยกันหลายแบบ แล้วแต่จะเลือกใช้ ซึ่งสุดท้ายแล้วเราก็จะได้สัญญาณ PCM ออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงระบบPCM แบบ 3 bit

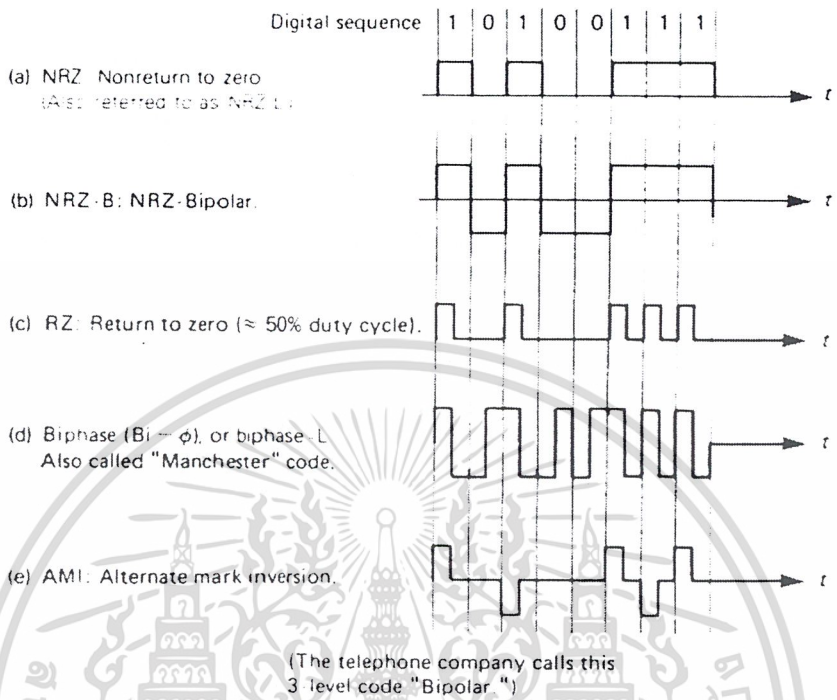
จากรูป การจัดระดับสัญญาณจะมีอยู่ 8 ระดับ เมื่อทำการเข้ารหัสแล้ว จะได้รหัสไบนารี 3 bit ซึ่งจะเท่ากับ $2^3 = 8$ ระดับ

ระดับควอนไตซ์	รหัสไบนารี แบบธรรมดา	รหัสไบนารี แบบเกรย์
0	000	000
1	001	001
2	010	011
3	011	010
4	100	110
5	101	111
6	110	101
7	111	100

ตารางที่ 3.1 แสดงรหัสไบนารีแบบต่างๆ

ข้อมูลที่เป็นเอาท์พุท จะเป็นสัญญาณดิจิตอล ในรูปของรหัสไบนารีในลักษณะ เปิด ปิด ซึ่งแล้วแต่ว่าจะใช้ในรูปแบบใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



3.1.4 การถอดรหัส สัญญาณ PCM (Decoding)

เมื่อได้รับสัญญาณ ดิจิตอลแล้วเราจะทำการแปลงให้เป็นสัญญาณอนาลอกโดยใช้ DAC โดยจะผ่านเข้าไปในวงจรแปลงข้อมูลจากอนุกรมมาเป็นแบบขนานแล้วจึงผ่านเข้าไปยังวงจร DAC

3.2 ลักษณะโดยรวมของระบบ FM

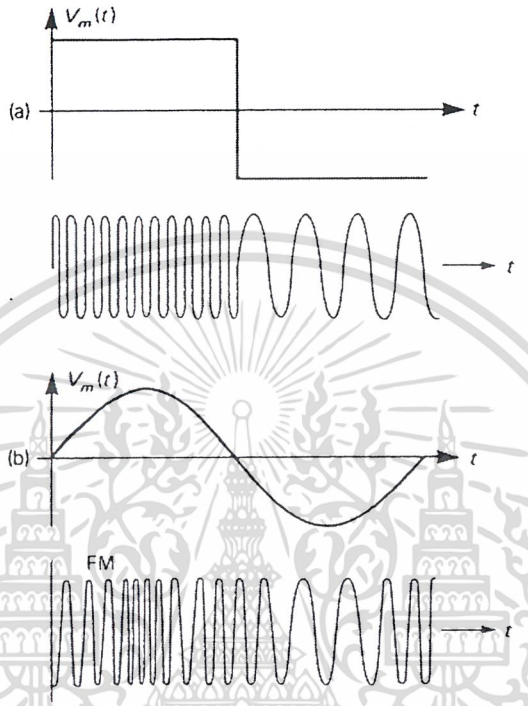
3.2.1 การมอดูเลชั่นด้วยความถี่ (Frequency Modulation)

Frequency Modulation คือการทำให้ความถี่ของคลื่นพาหะเปลี่ยนแปลงเพิ่มขึ้น หรือ ลดลงตามขนาดของสัญญาณความถี่ที่นำมามอดูเลต ความถี่ของคลื่นพาหะที่ยังไม่มีการมอดูเลต เรียกว่าความถี่กลาง (Center Frequency)

เมื่อสัญญาณที่เข้ามามีขนาดเป็น บวก ก็จะทำให้สัญญาณที่ได้ออกมามีความถี่เพิ่มขึ้น ในทางกลับกัน ถ้าสัญญาณที่เข้ามามีขนาดเป็น ลบ สัญญาณที่ได้ก็จะมีความถี่ลดลงซึ่งน้อยกว่าค่าความถี่กลาง และถ้าสัญญาณที่เข้ามาเป็นศูนย์ สัญญาณที่ได้ก็จะมีความถี่เท่ากับความถี่กลาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเมื่อเรานำสัญญาณ PCM ที่ได้มามอดูเลตกับสัญญาณ FM เราก็จะได้สัญญาณออกมาดังรูป ซึ่งความถี่ที่ได้ก็จะมี 2 ความถี่ดังรูป



รูปที่ 3.6 แสดงลักษณะของสัญญาณที่ได้จากการมอดูเลตสัญญาณ PCM กับ FM

3.2.2 หลักการมอดูเลทแบบ FM (Freqeuncy Modolation)

การมอดูเลทสัญญาณแบบ FM แอมปลิจูดของคลื่นพาห์ (carrier) จะคงที่ โดยที่ความถี่ของคลื่นพาห์จะเปลี่ยนแปลงตามความถี่ของข้อมูล ซึ่งแอมปลิจูดของสัญญาณข้อมูลเปลี่ยนแปลง ความถี่ของพาห์ก็จะเปลี่ยนแปลงไปตามสัดส่วน โดยหากสัญญาณข้อมูลมีแอมปลิจูดเพิ่มขึ้นความถี่ของคลื่นพาห์จะเพิ่มขึ้น ถ้าแอมปลิจูดของสัญญาณลดลงความถี่ของคลื่นพาห์จะลดลงโดยในทางกลับกันในความสัมพันธ์นี้อาจดูได้จากการปฏิบัติ หากสัญญาณข้อมูลลดลงจะทำให้ขนาดของคลื่นพาห์เพิ่มขึ้นมากกว่าระยะเดิมที่เป็นตัวอ้างอิง และถ้าสัญญาณข้อมูลเพิ่มขึ้นจะทำให้ขนาดของคลื่นพาห์ลดระยะจากเดิม สัญญาณข้อมูลมีแอมปลิจูดเปลี่ยนและความถี่ของคลื่นพาห์เปลี่ยนทั้งมากและน้อยกว่าปกติ ก่อนการมอดูเลชันจำนวนของความถี่ที่เปลี่ยนไปจะเปลี่ยนโดยสัญญาณข้อมูล โดยเรียกว่า การเบี่ยงเบนความถี่ (Frequency deviation) การเปลี่ยนแปลงความถี่มากที่สุดเมื่อขนาดแอมปลิจูดของสัญญารข้อมูลมากที่สุด

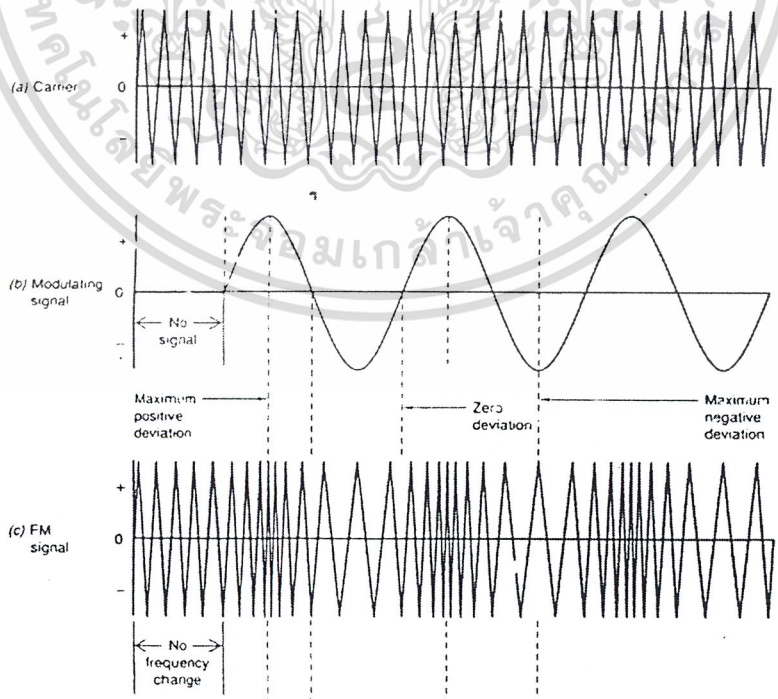
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ของสัญญาณข้อมูลสามารถดูได้จากจำนวนครั้งต่อวินาทีของความถี่ของคลื่นพาห์ที่เปลี่ยนแปลงไปทั้งมากกว่าและน้อยกว่าความถี่ก่อนการมอดูเลท ถ้าสัญญาณข้อมูลมีความถี่ 100 Hz แล้ว

ความถี่ของคลื่นพาห์จะมีการกระเพื่อมทั้งมากกว่าและน้อยกว่าทั้งหมด 100 ครั้งต่อวินาที สิ่งเหล่านี้เรียกว่า อัตราการเบี่ยงเบนความถี่ (Frequency deviation rate)

สัญญาณ FM จะแสดงได้ตามรูปที่ 3.6c ความถี่ปกติของคลื่นพาห์คือรูป 3.6a เป็นรูปคลื่นแบบไซน์ แต่ตามรูปเป็นแบบสามเหลี่ยมเพื่อง่ายต่อการแสดงการแบ่งแยกสัญญาณ ถ้าหากไม่มีสัญญาณข้อมูลเข้าไปความถี่ของคลื่นพาห์จะคงที่ตลอดเวลา สัญญาณข้อมูลแสดงตามรูป 3.6b เป็นคลื่นรูปไซน์ที่มีความถี่ต่ำกว่า ซึ่งถ้าคลื่นรูปไซน์มาทางด้านบวกความถี่ของคลื่นพาห์จะเพิ่มขึ้นตามสัดส่วน เมื่อมาถึงจุดที่สัญญาณข้อมูลมีแอมปลิจูดสูงสุดความถี่จะเป็นความถี่ที่สูงสุด และถ้าสัญญาณข้อมูลลดลงความถี่ของคลื่นพาห์จะลดลงตาม เมื่อมาถึงจุดที่สัญญาณเป็นศูนย์ความถี่ของคลื่นพาห์จะมีค่าเท่ากับความถี่ของคลื่นพาห์ก่อนทำการมอดูเลชัน

เมื่อสัญญาณลงมาทางด้านลบ ความถี่ของคลื่นพาห์จะลดลงและจะลดลงอย่างต่อเนื่อง จนกระทั่งมาถึงจุดพีคของรอบทางด้านลบ สัญญาณข้อมูลจะเพิ่มมาถึงจุดศูนย์ความถี่จะเพิ่มขึ้นอีกครั้งดูจากรูป 3.6c คลื่นพาห์จะมีการหดตัวได้โดยสัญญาณข้อมูล ถ้ากำหนดคลื่นพาห์มีความถี่ 50 MHz ถ้าพีค แอมปลิจูดของสัญญาณข้อมูลสูงสุด 200 kHz คลื่นพาห์จะมีความถี่เปลี่ยนทางขึ้นเป็น 50.2 MHz และลดลง 49.8 MHz ผลรวมของการเปลี่ยนแปลงความถี่ 0.4 MHz คือ 400 Hz ดังนั้นความถี่ที่เปลี่ยนแปลงจะเป็นจำนวนการเลื่อนไปของคลื่นพาห์มากกว่าและน้อยกว่าความถี่คงที่ ดังนั้นเรียกได้ว่ามีการเปลี่ยน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.7 แสดงการมอดูเลชันแบบฟรีเควนซีมอดูเลชัน

แปลง ±200Hz ซึ่งหมายความว่าสัญญาณข้อมูลเปลี่ยนแปลสัญญาณ คลื่นพาหะทั้งทางบวก และทางลบจากความถี่คงที่ โดย 200kHz ความถี่ของสัญญาณข้อมูลหาได้จากอัตราการเบี่ยงแบนนี้ แต่ที่มีเหตุการณ์ของจำนวนการเปลี่ยนแปลงซึ่งต้องเข้มงวดกับแอมพลิจูดของสัญญาณข้อมูลด้วย

3.2.3 มอดูเลชันอินเด็กซ์และเปอร์เซนต์การมอดูเลของสัญญาณ FM

อัตราการเบี่ยงแบนความถี่ (Frequency ต่อความถี่สัญญาณข้อมูล (Frequency modulation) เรียกว่า modulation index *m*

$$m = \frac{f_d}{f_m}$$

โดยที่ f_d คือ ค่าเบี่ยงเบนความถี่ (frequency deviation)

f_m คือ ความถี่สัญญาณข้อมูล (Modulation frequency)

โดยที่ถ้าค่าเบี่ยงเบนความถี่สูงสุดและค่าความถี่สัญญาณข้อมูลสูงสุดใช้ในการหาดัชนีการมอดดูเลชัน หรือเรียกอีกอย่างหนึ่งว่า อัตราส่วนค่าเบี่ยงเบน (deviation ratio)

แบนวิด์วิธของสัญญาณ FM ขึ้นอยู่กับดัชนีการมอดดูเลท ถ้าดัชนีมอดดูเลทสูงแบนด์วิธของสัญญาณ FM ก็จะมีค่ากว้าง แบนด์วิธทั้งหมดของสัญญาณสามารถคำนวนได้ถ้าเราทราบค่าดัชนีการมอดดูเลท และรวมถึงตารางด้านล่างโดยคำนวณได้จากสมการ

$$BW = 2Nf_{max}$$

เมื่อ N เป็นจำนวนไซด์แบนด์

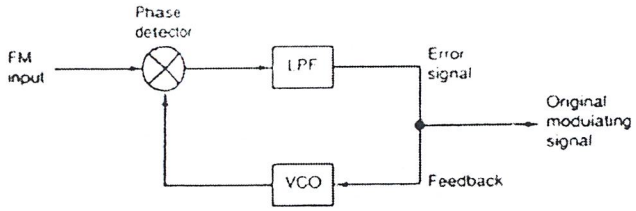
เปอร์เซ็นต์การมอดดูเลทสัญญาณ FM ขึ้นอยู่กับค่าเบี่ยงเบนความถี่ที่เพิ่มหรือลดลงตามขนาดของแอมปลิจูดของสัญยาณข้อมูลซึ่งเป็นไปตามสมการ

$$\text{เปอร์เซ็นต์การมอดดูเลท} = \frac{\text{ค่าเบี่ยงเบนความถี่คลื่นพาห์จริง} * 100}{\text{ค่าเบี่ยงเบนความถี่คลื่นพาห์สูงสุด}}$$

3.2.4 การดีมอดดูเลชั่นสัญญาณ FM (Frequency Demodulation).

วิธีที่ดีที่สุดของการดีมอดดูเลทสัญญาณ FM คือ Phase- locked loop (PLL) คือวงจรที่มีการควบคุมของความถี่ เฟส ซึ่งไม่ได้ใช้กับการดีมอดดูเลทสัญญาณความถี่เท่านั้น แต่มีการสร้างความถี่ขึ้นด้วย และมีการกรองสัญญาณและการตรวจจับสัญญาณเข้ามาร่วมในการทำงานของการดีมอดดูเลทสัญญาณด้วย Phase- locked loop (PLL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงลักษณะพื้นฐานของ PLL

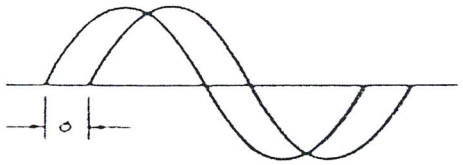
PLL ทั้งหมดจะประกอบด้วยอุปกรณ์พื้นฐานดังแสดงในรูปที่ 3.8 คือมี phase detector หรือ mixer ใช้ในการเปรียบเทียบสัญญาณอินพุท หรือสัญญาณที่อ้างถึงจากเอาท์พุทที่ออกมาจาก voltage controll oscillator (VOC) โดย VOC จะมีความถี่แปรผันกับค่าของแรงดันไฟตรงจากวงจรกรองความถี่ต่ำ โดยที่เอาท์พุทของ phase detector มาทำให้เกิดแรงดันไฟตรงจากวงจรกรองความถี่ต่ำโดยแต่ละส่วนทำงานดังนี้

3.2.4.1 เฟสดีเทคเตอร์ (Phase Detector)

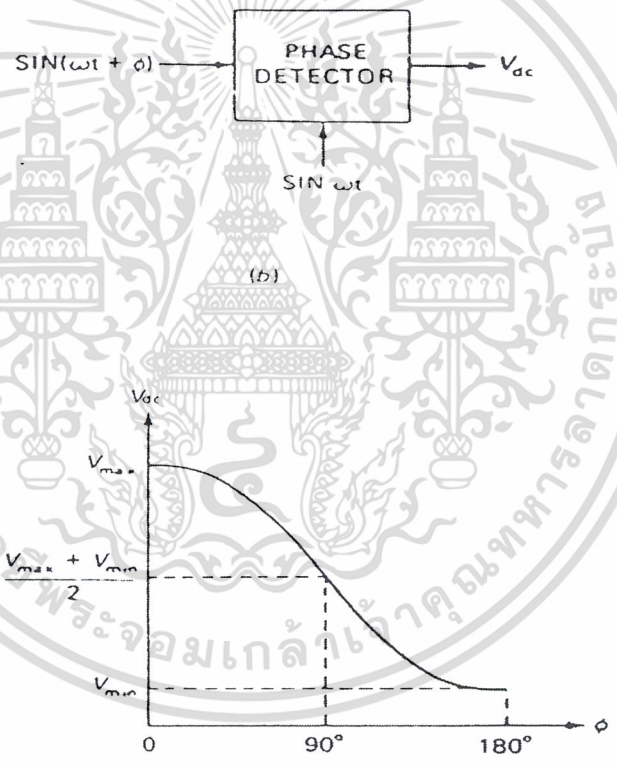
สมมติว่าเรามีมิกเซอร์ (mixer) ที่มีความถี่ขาเข้าที่ 50 และ 50kHz ดังนั้นความแตกต่างของความถี่เท่ากับศูนย์ ซึ่งเราแสดงโดยแรงดันไฟตรง (dc voltage) โดยค่าแรงดันไฟตรงจะออกมาต่อเมื่อความถี่ขาเข้ามีการเปรียบเทียบ เฟสดีเทคเตอร์เป็นอุปกรณ์สำหรับเปรียบเทียบความถี่ที่เท่ากันเนื่องด้วยจากจำนวนของแรงดันไฟตรงจขึ้นอยู่กับสถานะของมุม ϕ ระหว่างสัญญาณอินพุททั้งสองโดยเฟสที่มีการเปลี่ยนแปลงดังนันแรงดันไฟตรงก็มีการเปลี่ยนแปลงด้วย

ในรูป 3.9a แสดงถึงสถานะของมุมระหว่างคลื่นไซน์ (sinusodal signals) ทั้งสอง เมื่อสัญญาณนี้ผ่านเข้าไปในเฟสดีเทคเตอร์ ตามรูปที่ 3.9b จะได้แรงดันไฟตรงออกมาที่เอาท์พุทซึ่งเปลี่ยนแปลงตามรูป 3.9c ถ้าความต่างมุม (phase angle) มีค่าเท่ากับศูนย์ แรงดันไฟตรงจะมากที่สุด และถ้าความแตกต่าง phase angle มีค่ามากขึ้นจาก 0-180 องศา ค่าของแรงดันเอาท์พุทจะเป็นค่าเฉลี่ยระหว่างค่าที่น้อยที่สุดและค่าที่มากที่สุด ถ้าสมมติว่าเฟสดีเทคเตอร์มีเอาท์พุทสูง 10 โวลต์ และค่าแรงดันไฟตรงเอาท์พุทน้อยสุดเท่ากับ 5 โวลต์ เมื่อมีสองสัญญาณที่มีเฟสตรงกัน แรงดันเอาท์พุทของเฟสดีเทคเตอร์จะมีค่าเท่ากับ 10 โวลต์ ถ้าสองสัญญาณมีเฟส ตรงกัน 90 องศา แรงดันไฟตรงจะมีค่าเท่ากับ 7.5 โวลต์ เมื่อสองสัญญาณอินพุทมีความต่างเฟส 180 องศา แรงดันไฟตรงเอาท์พุทมีค่าเท่ากับ 5 โวลต์ คำตอบของข้อมูลนี้คือเอาท์พุทจะลดลงเมื่อมีความต่างเฟสเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



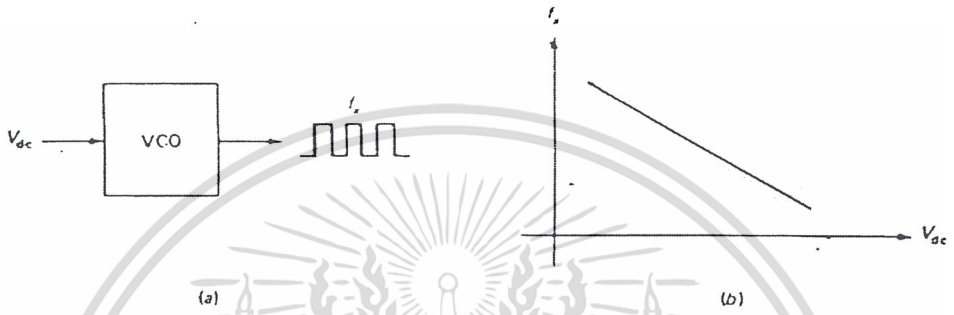
(c)

รูปที่ 3.9 แสดงอินพุทและเอาท์พุทของเฟสดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4.2 VCO (voltage-controlled-oscillator)

ความสำคัญเกี่ยวกับ VCO ที่น่าจะจำไว้คือ ค่าแรงดันไฟตรงอินพุทจะควบคุมให้เกิดความถี่เอาท์พุท ออกมา ในการทดลองนี้ ถ้าเพิ่มแรงดันไฟตรงในรูป 2.15a เพิ่มขึ้น ความถี่ของเอาท์พุทลดลง โดนที่แรงดันไฟตรงที่ควบคุมการกำเนิดความถี่ ตากปกติความถี่จะลดลงเป็นเชิงเส้นกับแรงดันไฟฟ้าที่เพิ่มขึ้น ดังรูป



รูปที่ 3.10 แสดงลักษณะของ VCO

3.2.4.3 การทำงานของ phase-locked loop (PLL)

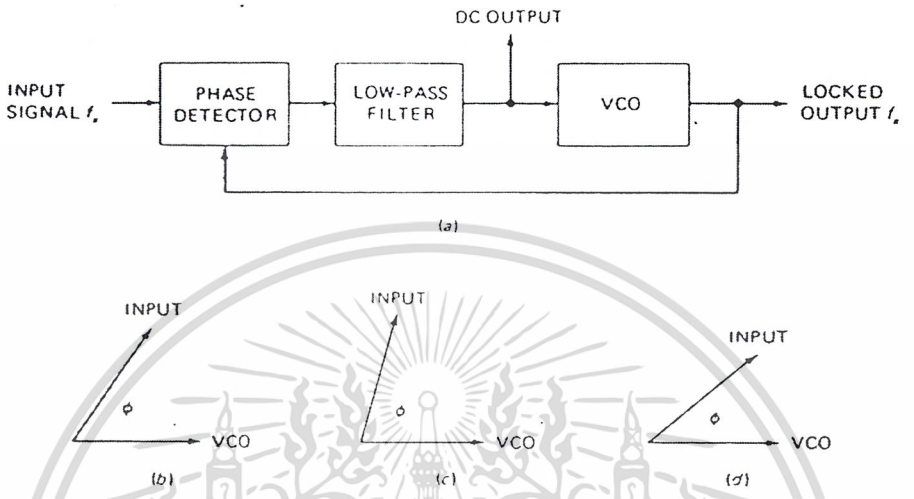
ตามรูปที่ 3.11เป็นบล็อกไดอะแกรมของเฟสล็อกลูป phase-locked loop (PLL) สัญญาณอินพุท ซึ่งมีความถี่ f_x เป็นหนึ่งของอินพุทที่เข้าเฟสดีเทคเตอร์ (phase detevtor) ขาอินพุทอีกครั้งหนึ่งมาจาก VCO เอาท์พุทของเฟสดีเทคเตอร์จะถูกกรอง โดยวงจรกรองความถี่ต่ำ (low pass filter) แล้วทำการเปรียบเทียบความถี่ทั้งสอง ความถี่ที่แตกต่างกันเท่านั้นจึงจะเกิดเป็นแรงดันไฟตรงผ่านวงจรกรองความถี่ต่ำออกมา แรงดันไฟตรงนี้จะถูกนำไปควบคุมความถี่ของ VCO

ระบบป้อนกลับ (feedback system) จะทำการนำความถี่ไปเป็นอินพุทอีกครั้งหนึ่ง เมื่อระบบทำงานถูกต้อง ความถี่ของ VCO จะเท่ากับ fx เหมือนกับสัญญาณทางอินพุท ดังนั้นเฟสดีเทคเตอร์ จะมีสัญญาณ อินพุท เป็น 2 อินพุท ซึ่งมีความถี่เท่ากัน ความต่างเฟสระหว่างสองอินพุทนั้นจะทำให้มีจำนวนแรงดันไฟตรงเอาท์พุท (dc output) ตามรูปที่ 3.11b ซึ่งแสดงเฟสเซอร์ไดอะแกรมสำหรับสัญญาณขาเข้าและจาก VCO

ถ้าความถี่อินพุทเปลี่ยนแปลงแล้วที่ VCO ความถี่จะเปลี่ยนแปลงตามด้วย เช่น ถ้าความถี่อินพุท fx เพิ่มขึ้นอย่างช้าๆ เฟสเซอร์จะหมุนและเกิดความต่างเฟสมากขึ้น ดังแสดงในรูป 3.11c ซึ่งหมายความว่าจะมีแรงดันไฟตรงเอาท์พุทจากเฟสดีเทคเตอร์น้อยลง ค่าแรงดันไฟตรงที่น้อยลงนี้จะมีผลต่อ VCO ทำให้ความถี่เพิ่มมากขึ้นจนเท่ากับ fx หรืออีกทางหนึ่ง ถ้าความถี่อินพุทลดลงเฟสเซอร์(phasor) จะหมุนต่ำลง และความแตกต่างของเฟสจะลดลงด้วย แสดงดังรูป 3.11d ซึ่งตอนนี้ค่าแรงดันไฟตรงจะมากขึ้น เป็นผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำให้ความถี่จาก VCO ลดลงจนกระทั่งเท่ากับความถี่อินพุท fx โดยจะทำงานอย่างอัตโนมัติขึ้นอยู่กับความถี่ของ VCO กับความแตกต่างของเฟสเซอร์นั้น



รูปที่ 3.11 แสดงเฟสล็อคลูปและการเพิ่มและลดของเฟสเซอร์ของสัญญาณอินพุท

ช่วงการล็อค (lock range) เป็นช่วงของความถี่ VCO สามารถสร้างขึ้นให้เท่าเป็นความถี่สูงสุดและความถี่ต่ำสุดของ VCO

$$B_L = f_{max} - f_{min}$$

เมื่อ f_{max} และ f_{max} เป็นความถี่สูงสุด และความถี่ต่ำสุดของ VCO

ถ้ากำหนดว่าขา 1 จะเป็นขาที่ต่อเข้ากับความถี่ของ VCO เฟสดีเทคเตอร์จะเปรียบเทียบความถี่ค่า fre-running frequency และความถี่จากภายนอกและให้แรงดันไฟตรงออกมาเป็นสัดส่วนตามความแตกต่างของสัญญาณซึ่งเป็นผลทำให้ค่าแรงดันไฟตรงนี้ใส่เข้าไปใน VCO แรงดันไฟตรงนี้จะมีผลต่อความถี่ของ VCO เมื่อค่าแรงดันไฟตรงลดลง โดยถ้าลดค่าจำนวนแรงดันไฟตรง (Error Voltage) ของความแตกต่างของเฟสหรือความถี่ระหว่างอินพุตกับ VCO ในที่สุดความถี่จะเท่ากับอินพุตเมื่อเกิดเหตุการณ์เช่นนี้เรียกว่า Locked ถึงแม้ว่าอินพุตและ VCO จะเท่ากันก็จะมีความแตกต่างกันของเฟส (Phase Defference) ซึ่งจะทำให้เกิดแรงดันไฟตรงโดยเป็นผลมาจาก VCO ผลิตความถี่ออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4.4 Free-running Mode

ถ้ากำหนดว่าความถี่เริ่มต้นที่เข้ามาเป็นอินพุตไม่ถูกป้อนให้แก่เฟสดีเทคเตอร์ความแตกต่างของเฟสของในกรณีนี้ เอาพุตของดีเทคเตอร์จะเป็น 0 VCO ในกรณีนี้เรียกว่า Free- running frequency ซึ่งตามปกติแล้วความถี่ของ VCO นี้จะสามารถหาได้จากวงจรส่วนประกอบของ VCO เอง

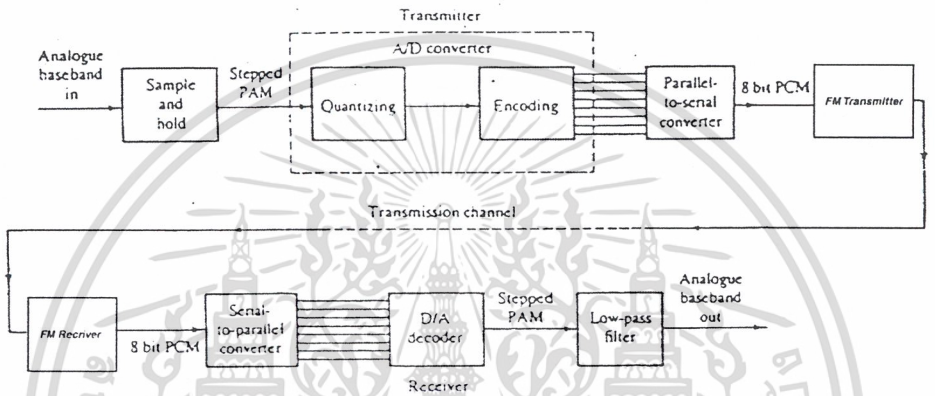
เนื่องจากเฟสล็อคลูป (PLL) นี้สามารถเปลี่ยนแปลงตามความถี่ที่เข้ามาเป็นอินพุต ดังนั้นจึงนำมาใช้กับการดีมอดดูเลทของสัญญาณเอฟเอ็ม ถ้าใส่สัญญาณเอฟเอ็มเป็นอินพุตความถี่ที่ออกมาจากเอาท์พุทของ VCO นี้จะเปลี่ยนแปลงไปตามสัญญาณเอฟเอ็มที่เข้ามาทางอินพุตหรือเป็นสัญญาณเอฟเอ็มเหมือนกับอินพุตของดีเทคเตอร์โดยส่วนที่เกิดการเปลี่ยนแปลงความถี่นี้สัญญาณอินพุทที่เข้ามาใน VCO จะต้องเป็นความถี่ที่เป็นสัญญาณข้อมูลก่อนทำการมอดดูเลทดังนั้นจึงนำเอาเฟสล็อคลูปมาเป็นตัวมอดดูเลทสัญญาณเอฟเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การคำนวณและการออกแบบวงจร

จากหลักการต่างๆที่ได้กล่าวมาในบทก่อนหน้านี้ เราสามารถแสดงระบบของโครงงานนี้ด้วยบล็อกไดอะแกรมดังรูป



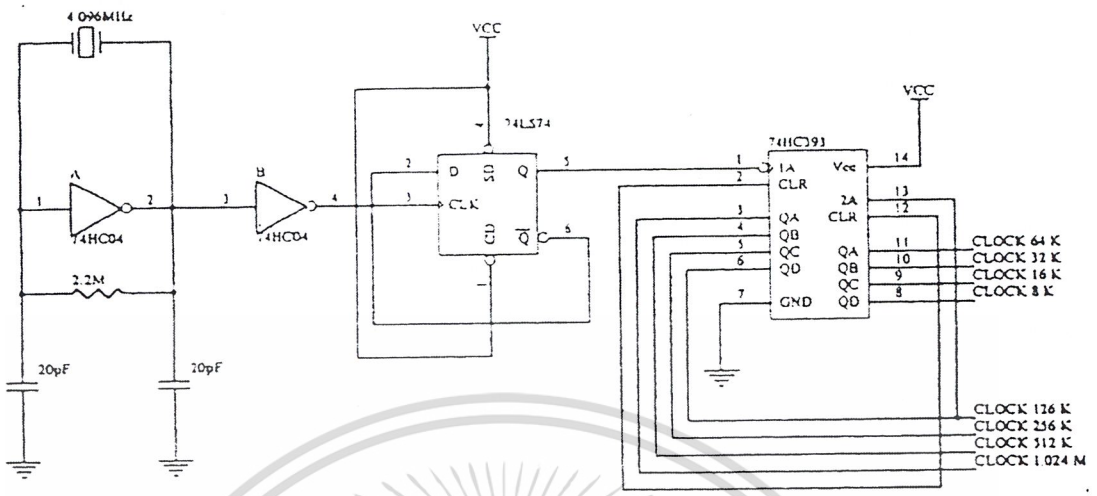
รูปที่ 4.1 บล็อกไดอะแกรมแสดงระบบการส่งสัญญาณแบบ PCM / FM

4.1 วงจรสัญญาณภาคส่ง

4.1.1 วงจรสัญญาณนาฬิกาและสัญญาณควบคุม

วงจรนี้ใช้ในการกำเนิดสัญญาณนาฬิกาซึ่งเราใช้ คริสตอลที่มีความถี่ 4.096 MH_z ซึ่งให้ความเที่ยงตรงสูง โดยเราจะนำสัญญาณที่ได้ผ่านวงจรหาร 2 ซึ่งใช้ IC เบอร์ 74LS74 ซึ่งจะได้ความถี่ 2.048 MH_z จากนั้นจะนำสัญญาณที่ได้เข้าสู่วงจร Binary Counter ซึ่งเราจะใช้ IC เบอร์ 74HC393 เพื่อให้ได้ความถี่ 1.024 MH_z ,512 kH_z , 256 kH_z ,128 kH_z .64 kH_z ,32 kH_z ,16kH_z และ 8kH_z สัญญาณที่ได้มานั้นจะไม่เป็นสัญญาณสี่เหลี่ยมที่ดีนัก เราจึงทำการเพิ่มวงจร เข้าไปเพื่อให้ได้สัญญาณนาฬิกาที่คมชัดขึ้นโดยใช้ IC เบอร์ 74LS14 ซึ่งสัญญาณนาฬิกาทั้งหมด เราจะนำค่าความถี่ที่ได้ไปควบคุมการทำงานทั้งหมดของวงจรในภาคส่งโดยจะมีวงจรเป็นดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงวงจรสร้างสัญญาณนาฬิกา และสัญญาณควบคุม

4.1.2 วงจรแปลสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

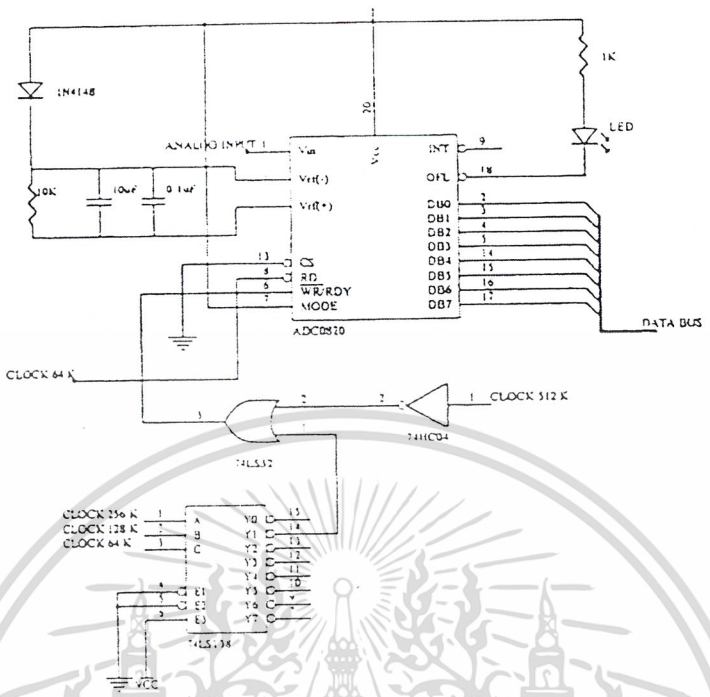
สัญญาณอนาลอกที่ถูกป้อนเข้ามา จะต้องถูกแปลงเป็นสัญญาณดิจิตอลภายในเวลา 15.625 μS ดังนั้นเราจึงเลือกใช้ A/D Converter เบอร์ ADC 0820 ซึ่งเป็นแบบ 8 bit ชนิดความเร็วสูง ซึ่งมีความเร็วในการแปลงประมาณ 2.5 μS ในการใช้งานแบบ Stand Alone ซึ่งเพียงพอที่จะรองรับต่อสัญญาณอนาลอกที่เข้ามาโดยแสดงการออกแบบวงจรดังรูป

จากวงจรจะใช้การจัดระดับสัญญาณโดย Vrf(+) เท่ากับ Vcc-0.7 หรือประมาณ 4.3 V ทั้งนี้เพื่อเป็นการหลีกเลี่ยงปัญหาสัญญาณรบกวนจาก Vcc โดยตรง ซึ่งเป็นระดับเปรียบเทียบ (สัญญาณรบกวนจากชุดจ่ายไฟหรือจากการทำงานของอุปกรณ์ที่ใช้ไฟเลี้ยง Vcc เหมือนกัน) ADC 0820 มีการจัดระดับของสัญญาณ เป็น 256 ระดับ (ข้อมูลมี 8 บิท) ดังนั้นแต่ละระดับจะมีความแตกต่างเท่ากับ

$$4.3V / 256 = 16.8\ mV$$

ซึ่งภายใน ADC 0820 นี้จะมีวงจร Sampling & Hold อยู่ภายในตัวแล้ว เมื่อสัญญาณที่ขา WR active (คือเปลี่ยนสถานะจาก High เป็น Low) ADC 0820 จะเริ่มขบวนการแปลงสัญญาณ ซึ่งใช้เวลาประมาณ 2.5 μS หลังจากเสร็จสิ้นแล้ว สัญญาณที่ขา INT จะ Active (Low) ซึ่งจะทำการอ่านข้อมูลได้โดยจัดให้ขา RD Active ข้อมูลจะถูกส่งต่อไปยัง Buffer ข้อมูล 8 บิท และ Buffer รหัสขบวนสัญญาณ ซึ่งมี IC เบอร์ 74LS32 , 74HC04 และ 74LS138 เป็นวงจรที่ใช้สร้างสัญญาณควบคุมให้กับ ADC 0820 เพื่อรอการจัด Time slot เพื่อการส่งต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

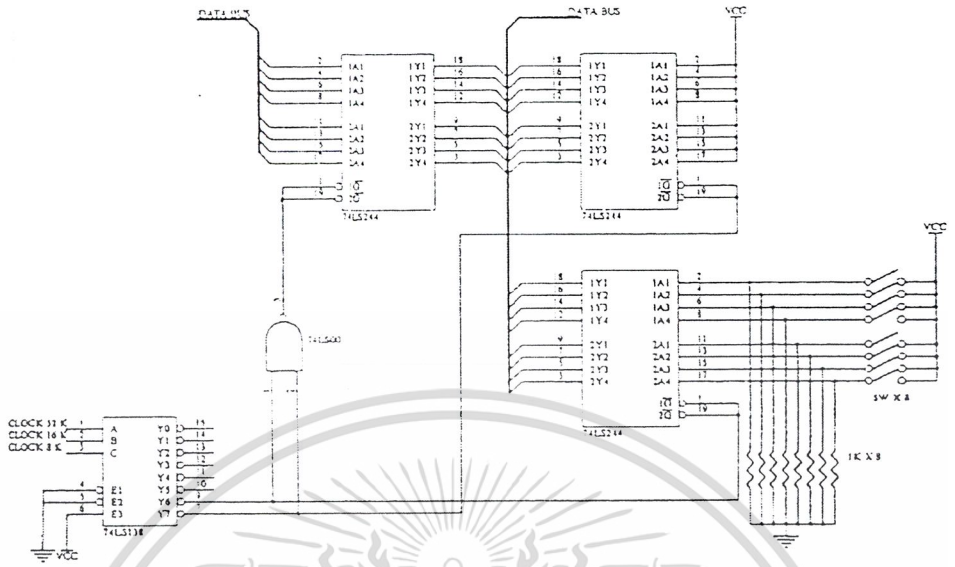


รูปที่ 4.3 แสดงวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

4.1.3 Buffer ข้อมูล 8 บิท (8 bit Data Buffer) และ Buffer ขบวนสัญญาณ (Frame Sync. Code Buffer)

การส่งสัญญาณดิจิตอลโดยทั่วๆ ไป 1 ชุดของข้อมูลจะต้องมี Start frame และ Stop frame ซึ่งเราจะใช้ IC เบอร์ 74LS244 2 ตัว โดยที่ Start frame เราจะกำหนดให่เป็น High ทั้งหมด 8 บิท และ Stop frame สามารถแปลงรหัสได้ในการส่ง frame ข้อมูล และจะมี Buffer ข้อมูลอีก 1 ตัว ซึ่งใช้ IC เบอร์ 74LS244 ในการจัดส่งข้อมูล และเช่นกันเราจะใช้ IC เบอร์ 74LS138 และ 74LS00 เป็นตัวสร้างสัญญาณนาฬิกาในการควบคุมเวลาในการจัดส่ง frame ข้อมูล Start frame และ Stop frame

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงวงจร buffer รหัสขบวนสัญญาณ

4.1.4 วงจรเปลี่ยนข้อมูลแบบขนานเป็นแบบอนุกรม (PISO ,Parallel In Serial Out)

เป็นวงจรที่เปลี่ยนจากข้อมูล 8 บิท ที่เป็นแบบขนาน ให้เป็นข้อมูลแบบอนุกรม เพื่อที่จะทำการส่งข้อมูลไปยังปลายทาง โดยที่ในโครงงานนี้ จะมีการสุ่มตัวอย่างด้วยอัตรา 8.000 ครั้ง / วินาที แต่ละครั้งจะได้ 8 บิทข้อมูล ดังนั้นในการส่ง frame ข้อมูล จะใช้อัตราในการส่งข้อมูลเท่ากับ

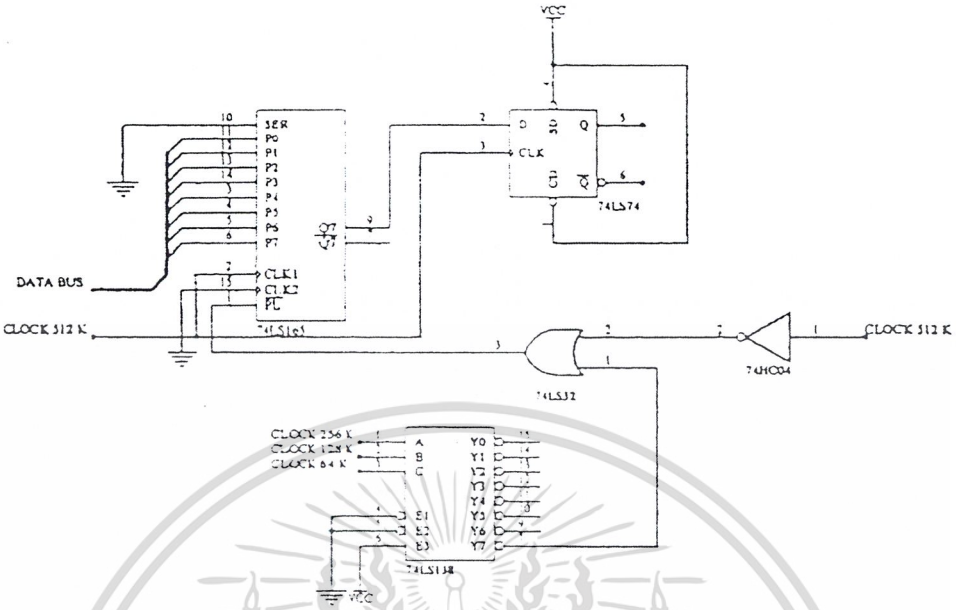
$$8000 \times 8 = 64 \text{ Kbit /Sec}$$

และใน 1 ขบวนสัญญาณมีข้อมูล 8 ชุด ดังนั้นจึงต้องส่งข้อมูลด้วยอัตราเร็วเท่ากับ

$$64 \text{ Kbits / Sec} \times 8 = 512 \text{ Kbit / Sec}$$

ชุด PISO จะรับข้อมูลของแต่ละช่องสัญญาณทีละ 8 บิท และส่งออกทีละบิท เรียงตามบิทนัยสำคัญต่ำสุดก่อน LSB(D0) ด้วยความเร็ว 512 Kbits / Sec ทั้งนี้โดยการควบคุมของวงจร Clock Timing Control โดยวงจรจะมีลักษณะดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 แสดงวงจร PISO

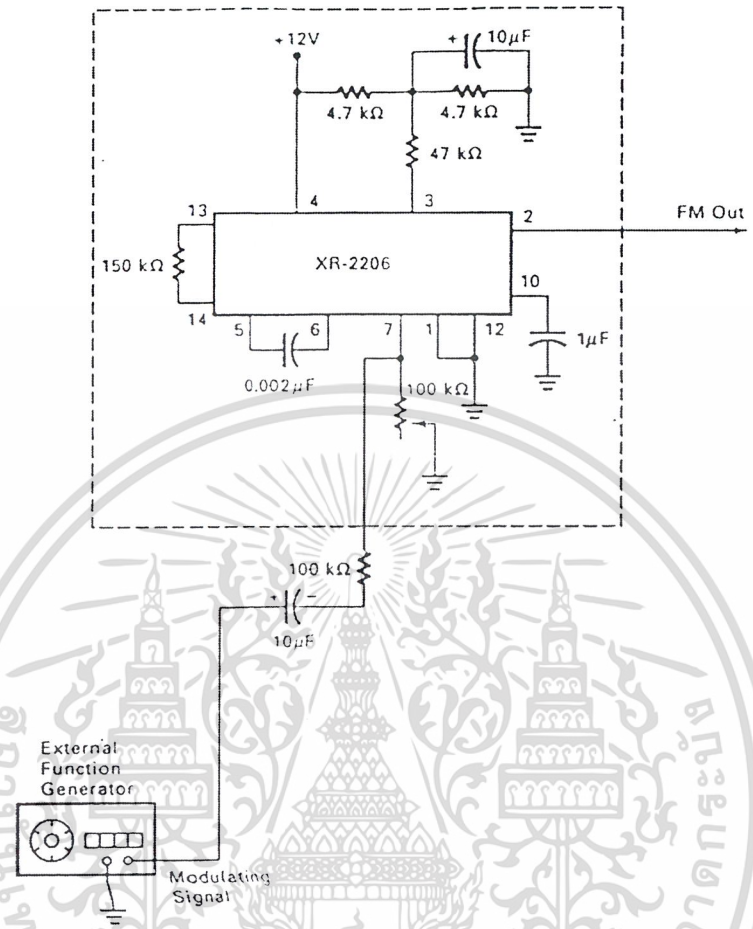
วงจร PISO เป็นวงจรที่เปลี่ยนข้อมูลแบบขนาน 8 บิท เป็นข้อมูลแบบ อนุกรม โดยส่งบิทที่มีนัยสำคัญต่ำสุดก่อน LSB เป็น บิทแรก แล้วเรียงตามลำดับไปจนถึงบิทที่มีนัยสำคัญสูงสุด MSB ซึ่งเราจะใช้ IC เบอร์ 74LS165 และอุปกรณ์ประกอบดังรูป

เราสามารถอธิบายการทำงานของวงจรได้ดังนี้ IC 74LS165 จะเริ่มทำการส่งข้อมูลที่ขนาน ออกไปที่ละ 1 บิท ตามจังหวะสัญญาณนาฬิกา 512 kH_z ที่ป้อนที่ขา 2 ของ IC 74LS165 ส่วน IC 74LS32 และ 74HC04 ต่อร่วมกันเป็นวงจรนับ 0-7 เพื่อสร้างสัญญาณการโหลดข้อมูลชุดใหม่ให้กับ 74LS165 เมื่อข้อมูล บิท 7 คือ บิท 0 ถูกส่งออกไปครบหมดแล้ว ส่วน IC 74LS74 ที่ต่ออยู่ตรงสัญญาณข้อมูลอนุกรมของ 74LS165 ขา9 นั้น จะเป็นตัวจัดข้อมูลที่ได้ให้มีขนาดความกว้างของบิทข้อมูล เท่ากับ 1 คาบสัญญาณนาฬิกา หรือ 1/512 KH_z ทั้งนี้เพราะสัญญาณที่ได้จาก 74LS165 โดยตรงนั้น บิท 7 หรือ บิทแรกที่ได้จากการโหลดข้อมูล จะมีความกว้างของบิทไม่แน่นอน ทั้งนี้เพราะการโหลดข้อมูลของ 74LS165 เป็นแบบโหลดโดยตรงทันทีทันใด (Direct Access) ไม่มีการรอจังหวะของสัญญาณนาฬิกา ดังยั้นจึงต้องใช้ 74LS74 ซึ่งเป็น D-Flip Flop มาเป็นตัวช่วยสร้างสัญญาณเอาท์พุทที่ตรงกับสัญญาณนาฬิกาจริงๆ

4.1.5 วงจรมอดูเลตแบบ FM (Frequency Modulation Circuit)

วงจรที่ใช้ในโครงงานนี้จะใช้ XR-2206 ไอซีกำเนิดความถี่โดยอาศัยแรงไฟตรงเป็นส่วนควบคุมความถี่ตามที่กล่าวมาแล้วนั้น วงจรมอดดูเลทแบบ FM ดังแสดงในรูปที่ 4.6 สังเกตว่าจะมีความต้านทาน 100 กิโลโอห์มและตัวเก็บประจุ 10 ไมโครฟารัดต่ออยู่ที่ขาเจ็ดของไอซีเพื่อเป็นตัวปรับแอมปลิจูดของสัญญาณข้อมูลก่อนเข้าไอซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



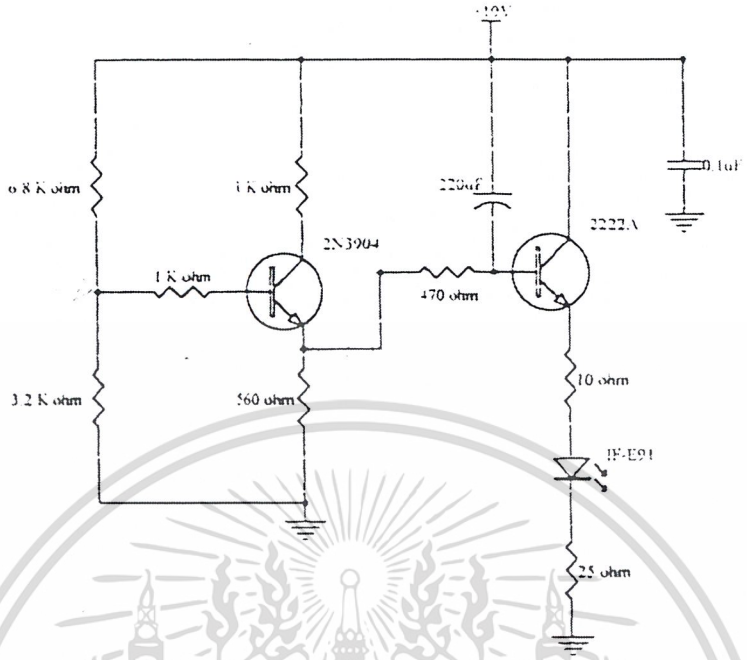
รูปที่ 4.6 แสดงวงจรมอดดูเลทสัญญาณ FM

4.1.6 วงจรขับสัญญาณแสงผ่านเส้นใยแก้วนำแสง (Driver Circuit)

เป็นวงจรที่ทำการส่งสัญญาณของข้อมูล ที่ต้องการเข้าไปในเส้นใยแก้วนำแสงโดยผ่าน โฟโต้ไดโอดโดยให้ความเข้มของกระแส เป็นตัวกำหนดความเข้มของแสงที่เปล่งออกมาจากแหล่งกำเนิดแสง ซึ่งกระแสที่ใช้ขับ โฟโต้ไดโอดจะอยู่ในช่วง 100 มิลลิแอมป์ เนื่องจากในช่วงนี้กระแสที่ใช้ขับโฟโต้ไดโอดจะเป็นเชิงเส้นกับกำลังแสงที่ออกจากโฟโต้ไดโอด และให้กำลังทางแสงออกมาได้มากซึ่งแสดงได้ดังรูปที่ 4.7

ในที่นี้เราใช้โฟโต้ไดโอดแบบอินฟาเรดเบอร์ IF-E91 และจาดโฟโต้ไดโอดแบบอินฟราเรดตัวนี้จะมีช่วงใช้งานในย่านความยาวคลื่น 888 นาโนเมตร ซึ่งมีกำลังส่งที่สูงและสามารถใช้ได้กับเส้นใยแก้วนำแสงแบบพลาสติกได้ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 แสดงวงจรขับสัญญาณแสง

วงจรขยายที่เป็นวงจรแบบ Common Collector ซึ่งจะเป็นวงจรที่มีอัตราการขยายกระแสที่สูง โดยจะไม่คำนึงถึงอัตราการขยายแรงดันทางเอาท์พุทเท่าใดนัก ส่วนทรานซิสเตอร์ที่ใช้จะเป็นทรานซิสเตอร์เบอร์ 2N222A เพราะสามารถตอบสนองความถี่ได้ถึง 400 MH_z และให้กระแสคอลเลคเตอร์ได้สูงถึง 400 มิลลิแอมป์ วงจรภาคแรกคือวงจรขยายที่สามารถเปลี่ยนกระแสไบอัสได้จาก R_{B1} และ R_{B2} ทำให้กระแสอิมิเตอร์ I_{E1} ที่ควบคุมกระแส I_{B2} เบส เปลี่ยน ซึ่งทำให้ระดับกระแส I_{dc} (I_{E2}) ที่ไบอัสโฟโต้ไดโอดเปลี่ยนแปลงได้

4.2 วงจรสัญญาณภาครับ

4.2.1 วงจรรับสัญญาณแสง

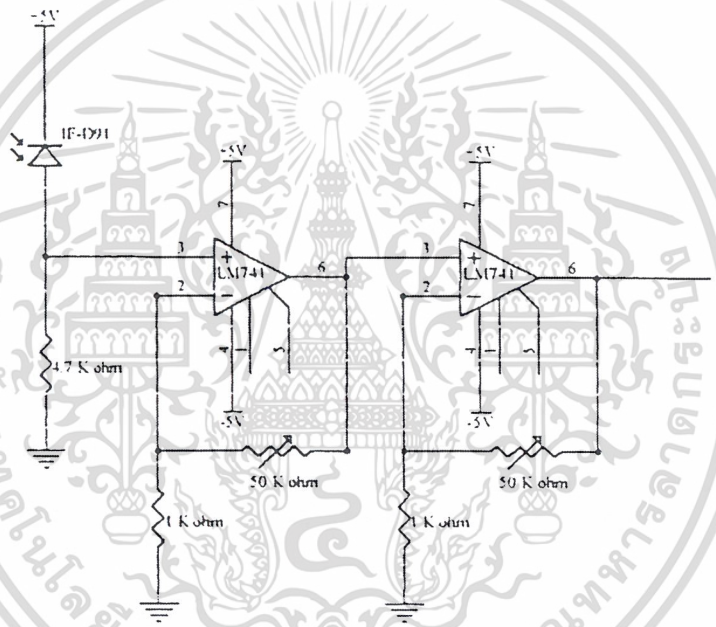
ในวงจรรับสัญญาณแสง จะใช้ตัวรับสัญญาณแสงแบบโฟโต้ไดโอดเบอร์ IF-D91 เนื่องจากโฟโต้ไดโอดตัวนี้มีการตอบสนองสัญญาณแสงได้ดีโดยมีย่านการใช้งานอยู่ในช่วงอินฟราเรด ที่มีความยาวคลื่นประมาณ 850 นาโนเมตร และมีความเป็นเชิงเส้นสูง และมีเคสที่สามารถใช้เชื่อมต่อกับเส้นใยนำแสงชนิดพลาสติกได้ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งคุณสมบัติที่ใช้พิจารณาเลือกตัวรับสัญญาณแสง และออกแบบวงจรรับสัญยาณแสงคือ ตัวรับสัญญาณ แสงต้องมีความไวต่อการตอบสนองสัญญาณแสงเพียงพอ ตัวรับสัญญาณแสงสามารถเปลี่ยน

สัญญาณแสงเป็นสัญญาณทางไฟฟ้าได้ โดยไม่เกิดความผิดเพี้ยนของสัญญาณ และวงจรรับสัญญาณควรจะมีสัญญาณรบกวนต่ำ

ในที่นี้จำเป็นต้องมีวงจรขยายสัญญาณ เพื่อที่จะได้ขยายสัญญาณที่ได้จากโฟโต้ไดโอด ให้มีขนาดที่เหมาะสม โดยวงจรขยายสัญยาณที่ใช้จะต้องมีอัตราการขยายที่สูง มีสัญญาณรบกวนต่ำ และเกิดความเพี้ยนของสัญญาณน้อย ซึ่งในโครงงานพิเศษนี้จะใช้ ออปแอมป์เบอร์ 741 เป็นตัวขยายสัญญาณทางไฟฟ้า โดยต่อวงจรเป็นแบบขยายไม่กลับเฟส และอัตราขยายสามารถควบคุมได้จากตัวต้านทานปรับค่าได้ 50 KΩ สำหรับวงจรรับแสงจะแสดงดังรูปที่ 4.8



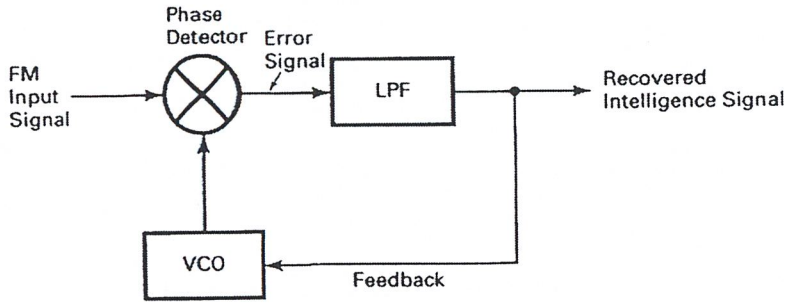
รูปที่4.8 แสดงวงจรรับสัญญาณแสง

4.2.2 วงจรดีมอดูเลชั่นความถี่ (Frequency Demodulation Circuit)

4.2.2.1 วงจรดีมอดดูเลทของสัญญาณ FM แบบ PLL

วงจรส่วนนี้ทำหน้าที่ดีมอดดูเลทสัญญาณ FM ที่ถูกขยายมาแล้วจากภาคขยายสัญญาณที่ผ่านการดีมอดดูเลทเรียบร้อยแล้วจะออกมาในรูปของสัญญาณ PCM ที่มีความถี่เหมือนในภาคส่งในวงจรนี้ใช้ไอซีเฟสล็อกลูป LM 565 หลักการการทำงานสามารถอธิบายได้ดังนี้โดยดูจากบล็อกไดอะแกรมในรูป 4.9

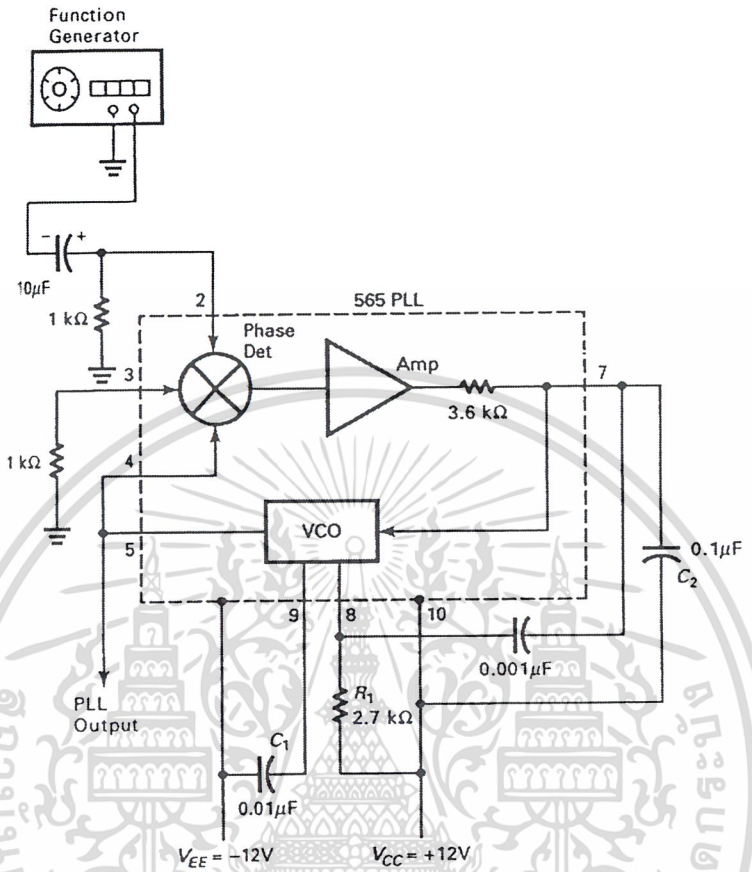
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 แสดงบล็อกไดอะแกรมของ เฟสล็อกลูป

ขณะที่ยังไม่มีสัญญาณเข้ามาแรงดันควบคุม Vd(t) จะเท่ากับศูนย์ VCO จะทำงานโดยการตั้งความถี่ไว้ที่ f_0 ซึ่งเรียกว่า free-running frequency เมื่อมีสัญญาณเข้าไปในเฟสดีเทคเตอร์จะทำการเปรียบเทียบเฟสและสัญญาณความถี่ของอินพุทกับ VCO และผลิตแรงดันคลาดเคลื่อน Ve(t) ซึ่งสัมพันธ์กับความแตกต่างของเฟสและความถี่ของสัญญาณทั้งสอง แรงดันคลาดเคลื่อนนี้จะถูกกรองและขยายส่งไปยังควบคุม VCO ในกรณีนี้แรงดันควบคุมจะบังคับความถี่ VCO ให้เปลี่ยนแปลงไปในทิศทางที่ลดความถี่ที่แตกต่างกันระหว่าง f_0 กับสัญญาณที่เข้ามา ถ้าความถี่สัญญาณที่เข้ามาใกล้เคียงกับ f_0 จากการป้อนกลับของ PLL จะทำให้ PLL ซิงโครไนซ์หรือล็อกกับสัญญาณที่เข้ามาขณะที่ทำการล็อกความถี่นั้น VCO จะเท่ากับสัญญาณอินพุทแต่เฟสยังต่างกันอยู่ความแตกต่างของเฟสมีความจำเป็นต่อการผลิตแรงดันคลาดเคลื่อนที่จะคอยไปปรับความถี่ VCO จาก free-running ให้เท่ากับความถี่ที่เข้ามาดังนั้น PLL จะยังคงรักษาสภาพการล็อก การที่ระบบสามารถที่จะปรับตัวเองได้ทำให้ PLL สามารถติดตามความถี่ที่เปลี่ยนแปลงไปของสัญญาณที่เข้ามาให้อยู่ในสภาพล็อกเช่นเดิม ช่วงความถี่ซึ่ง PLL สามารถติดตามการล็อกกับสัญญาณที่เข้ามาเรียกว่า lock range ค่าของมันจะขึ้นอยู่กับแรงดันคลาดเคลื่อนโดนจะไม่ขึ้นกับ ทาง filter ช่วงความถี่จะมากกว่าช่วงความถี่ที่ PLL สามารถทำการล็อกอย่างแท้จริงกับสัญญาณอินพุทช่วงความถี่หลังนี้เรียกว่า capter range ของระบบ ช่วงนี้จะขึ้นอยู่กับ filter และ gain ของระบบ(closed loop gain) โดยมีผลเกี่ยวข้องกับ selectivity ของวงจร PLL และยังช่วยเพิ่มความปลอดภัยเกี่ยวกับสัญญาณทางด้าน outband single ที่จะมารบกวนได้เป็นอย่างดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 แสดงวงจรดีมอดดูเลทสัญญาณ FM

สัญญาณเอาท์พุทจากวงจรขยายจะถูกนำมาป้อนเข้ามาทางขาสองของ LM 565 สัญญาณที่ถูกดีมอดดูเลทออกมาแล้วจะออกมาทางขาเจ็กผ่านวงจรกรองความถี่ต่ำสัญญาณที่ได้มาจะเป็นสัญญาณเดิมที่ยังไม่ถูกมอดดูเลทวงจรเฟสล็อกลูปที่ใช้ เราสามารถกำหนดความถี่กลางที่ใช้(center frequency)ในวงจรได้ซึ่งจากสมการที่กำกับมาให้ในแผ่นรายละเอียดข้อมูล

$$f_0 = 1.2/(4 \times R_1 \times C_1)$$

เมื่อ f_0 คือความถี่ของ VCO โดยไม่มีสัญญาณเข้ามา

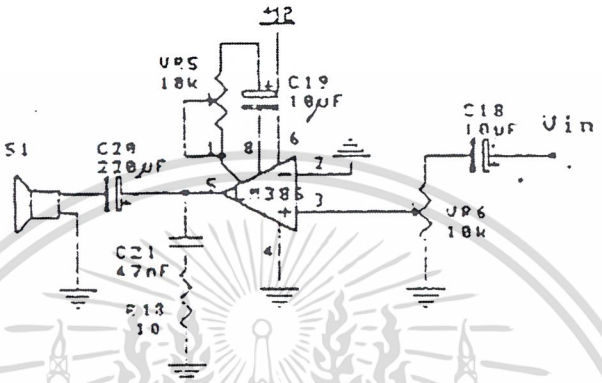
C_1 คือตัวเก็บประจุที่ต่ออยู่กับขา 9 และไฟลบ

R_1 คือตัวต้านทานที่ต่ออยู่กับขา 7 กับขาลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2.2 วงจรภาคขยาย

ในที่นี้ใช้ไอซีเบอร์ LM386 ลักษณะการต่อวงจรแสดงดังรูป วงจรขยายนี้สามารถปรับอัตราการขยายได้ตั้งแต่ 20-200 เท่า

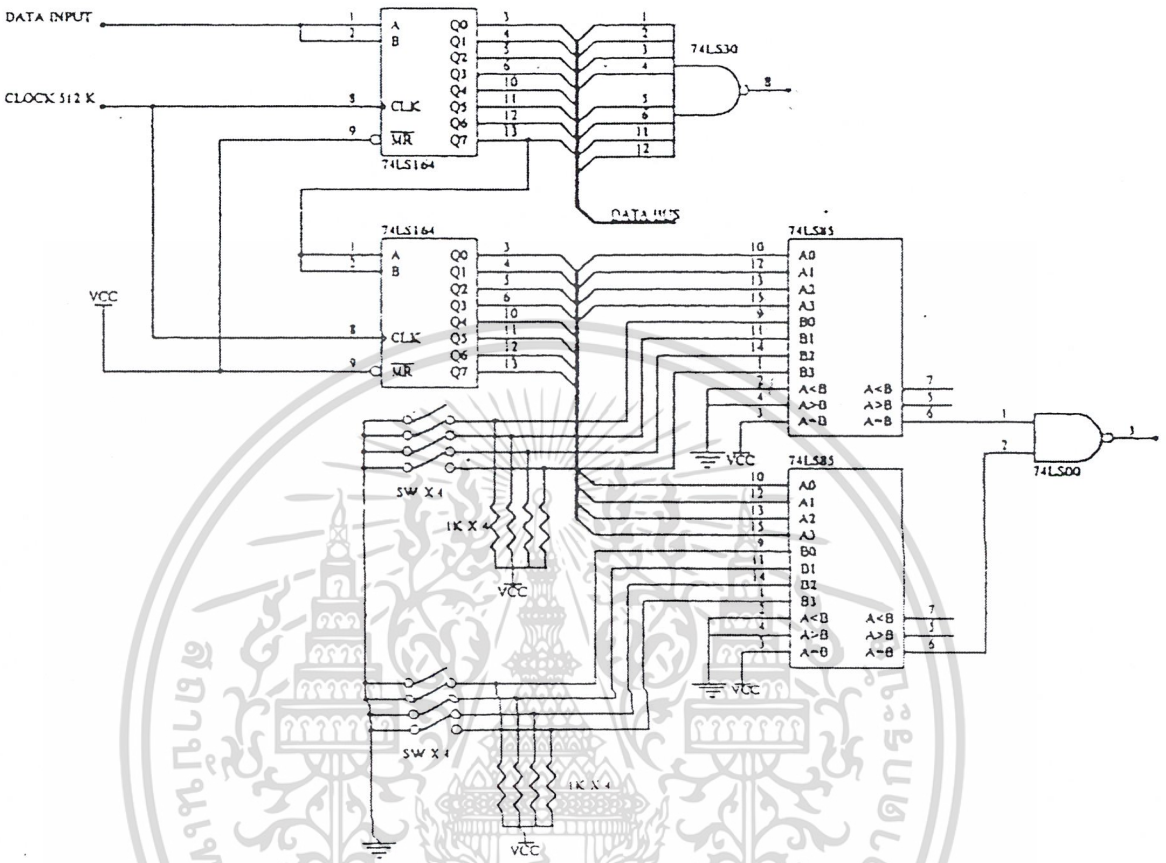


รูปที่ 4.11 แสดงวงจรขยาย

4.2.3 วงจรเปลี่ยนข้อมูลอนุกรมเป็นข้อมูลแบบขนาน (SIPO)

เป็นวงจรที่ทำหน้าที่รับสัญญาณข้อมูลที่ทำการส่งมา เป็นแบบอนุกรมทำการเปลี่ยนเป็นสัญญาณข้อมูลเป็นแบบขนาน 8 บิต โดยใช้ IC เบอร์ 74LS164 ตัวที่ 1 โดยจะมีอัตราการเลื่อนข้อมูลตามจังหวะของสัญญาณนาฬิกา 512 MH_z โดยจะมีส่วนที่ทำหน้าที่ตรวจสอบขบวนของข้อมูลที่เข้ามา โดยสามารถตรวจสอบ start frame และ stop frame ซึ่ง stop frame จะต้องทำการกำหนดโค้ดที่ด้านส่งและด้านรับให้ตรงกัน เพื่อสร้างสัญญาณเพื่อทำการส่งต่อให้วงจรสร้างสัญญาณควบคุมภาครับต่อไป ซึ่งจะใช้ IC เบอร์ 74LS164 ตัวที่ 2เป็นตัวจัดข้อมูลเพื่อป้อนให้กับ 74LS85 สองตัว ซึ่งเป็นตัวเปรียบเทียบข้อมูลเพื่อตรวจจับหา stop frame และ 74LS30 ซึ่งเป็น NAND GATE 8 INPUT ทำหน้าที่ตรวจจับหา start frame แสดงดังรูปที่ 4.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

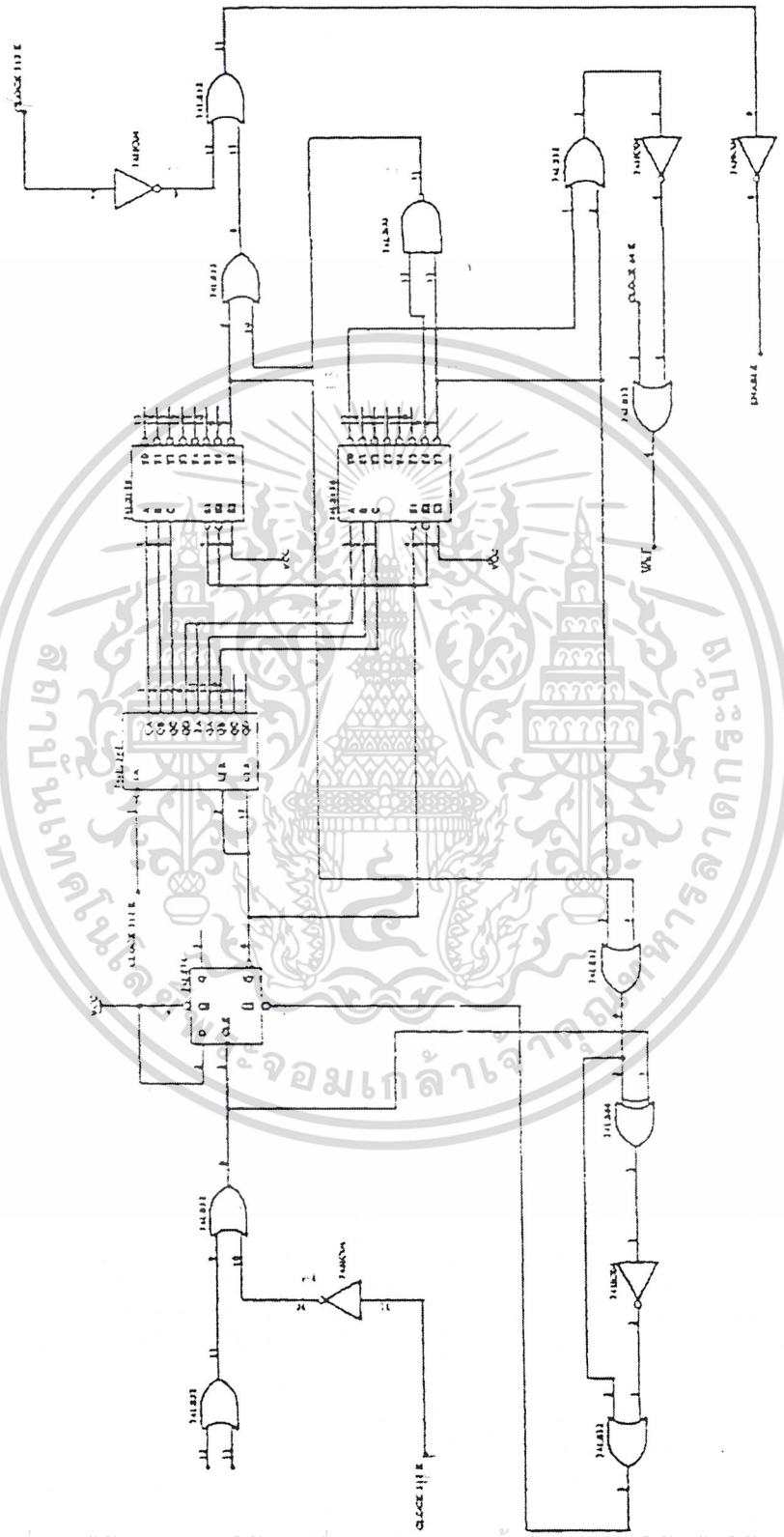


รูปที่ 4.12 แสดงวงจร SIPO

4.2.4 วงจรสร้างสัญญาณควบคุมภาครับ

ทำหน้าที่สร้างสัญญาณ เพื่อนำไปควบคุมการแยก frame ข้อมูลทั้ง 6 และสัญญาณที่ใช้ทำการแลทข้อมูล เก็บไว้เพื่อทำการส่งต่อให้วงจร Digital to Analog Converter ซึ่งวงจรสร้างสัญญาณควบคุมภาครับ จะสร้างสัญญาณข้อมูลดิจิตอล 8 บิต ให้เป็นสัญญาณอนาลอกด้วย โดยใช้ IC เบอร์ 74LS74 เป็นตัวรับสัญญาณการตรวจสอบ start frame และ stop frame จากวงจร SIPO เพื่อเริ่มต้นการทำงานของ IC เบอร์ 74HC393 และ 74LS138 สองตัว เพื่อสร้างสัญญาณที่ใช้แลท และสัญญาณการแปลงข้อมูลของ Digital to Analog Converter โดยมี IC เบอร์ 74LS32 สองตัว 74LS04 ,74LS86และ 74LS00 เป็นตัวสร้างสัญญาณควบคุมด้วย ซึ่งแสดงดังรูปที่ 4.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

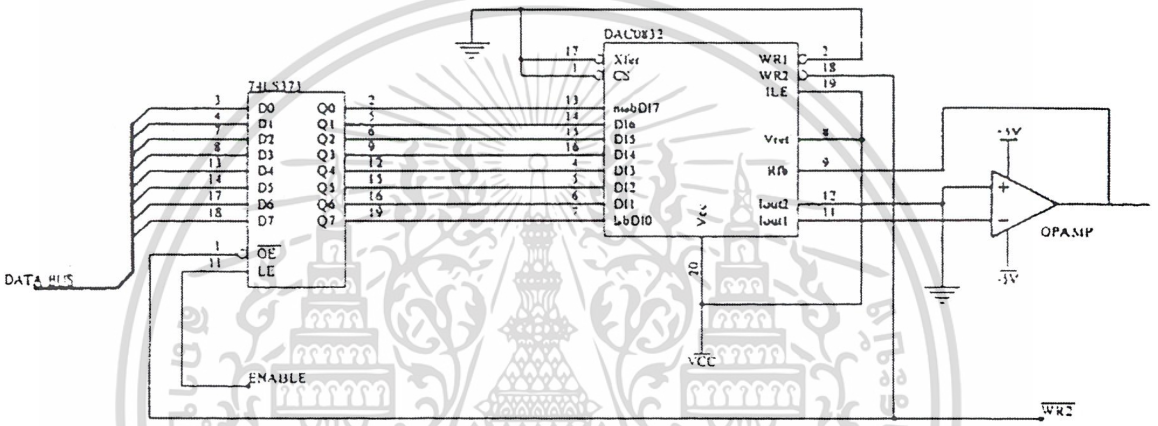


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.13 แสดงสร้างสัญญาณภาครับ

4.2.5 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (D/A)

เป็นวงวจรแปลงสัญญาณดิจิตอลที่ได้จาก SIPO ในตำแหน่งของช่องสัญญาณที่ต้องการ ให้กลับมาอยู่ในรูปของสัญญาณอนาลอก โดยใช้ IC DAC0832 ซึ่งเป็น 8 บิต Digital to Analog Converter สัญญาณเอาท์พุทที่ได้ จะอยู่ในรูปของการเปลี่ยนแปลงกระแสระหว่าง I_{out1} และ I_{out2} จึงต้องผ่านออปแอมป์เพื่อให้อยู่ในรูปของอนาลอกโวลเตจซึ่งแสดงดังรูป

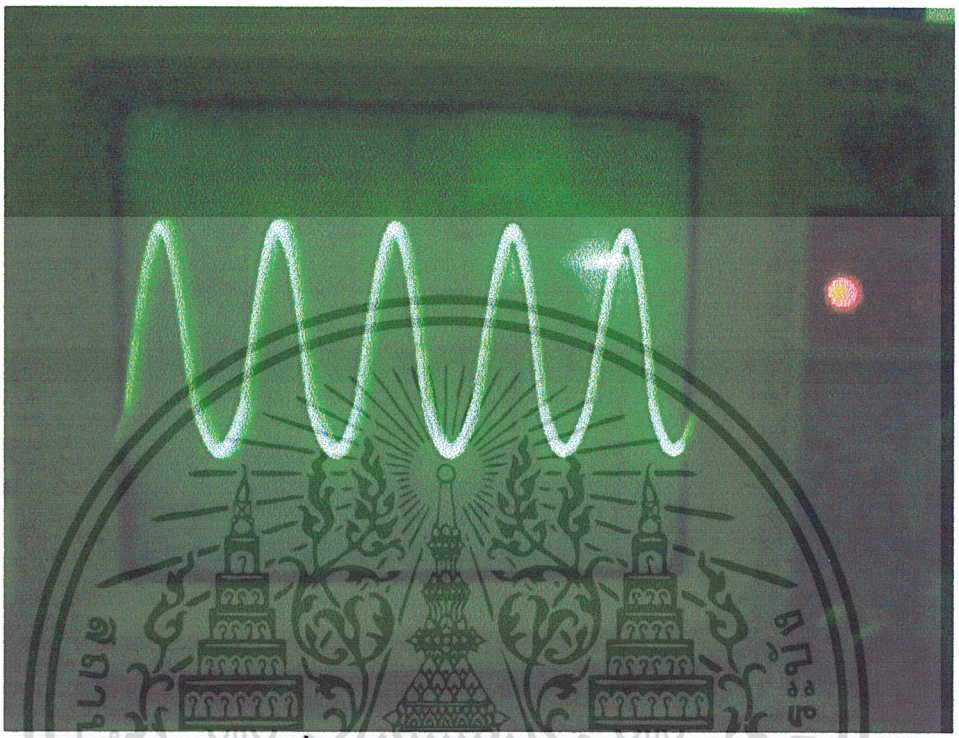


รูปที่ 4.14 แสดงวงจรแปลงสัญญาณ ดิจิตอลเป็นอนาลอก

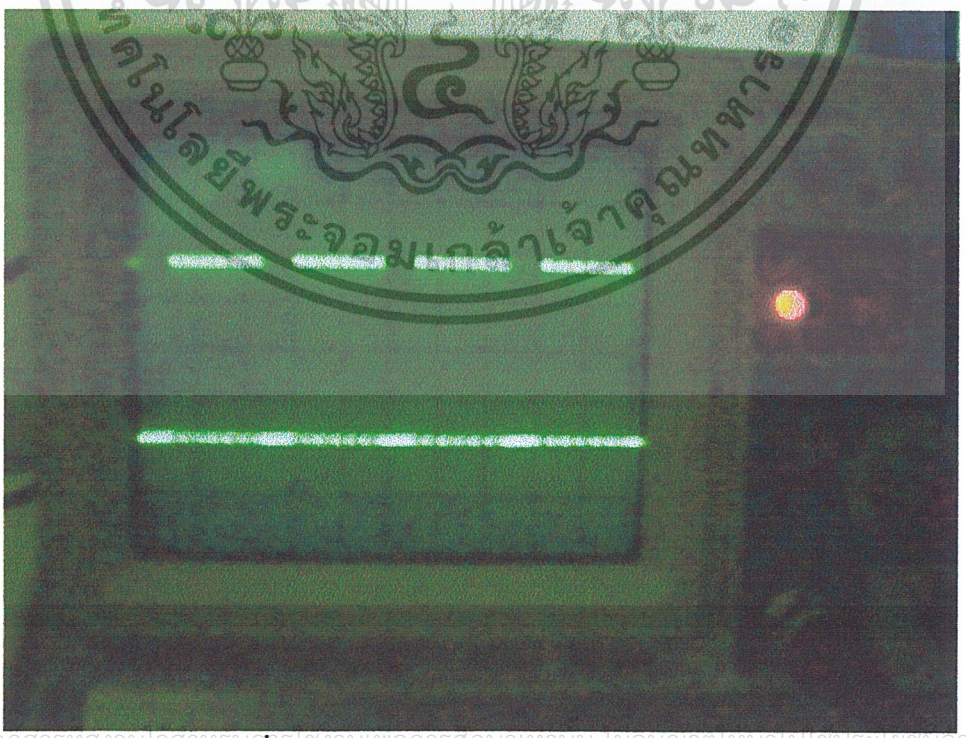
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ผลการทดลอง

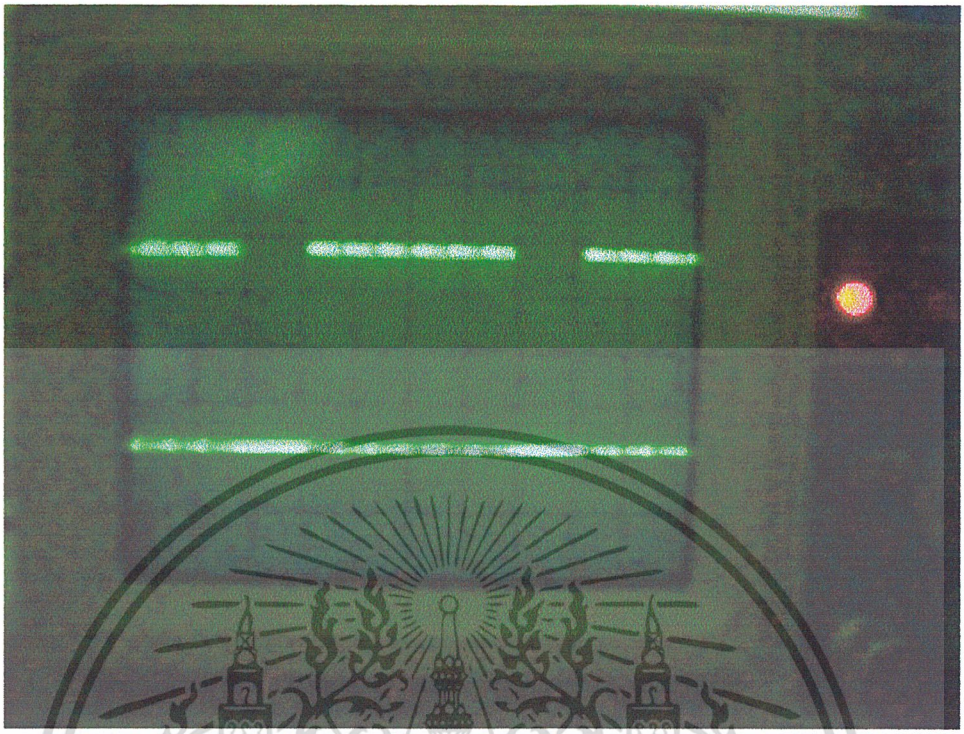


รูปที่ 5.1 แสดงสัญญาณอนาลอกอินพุท

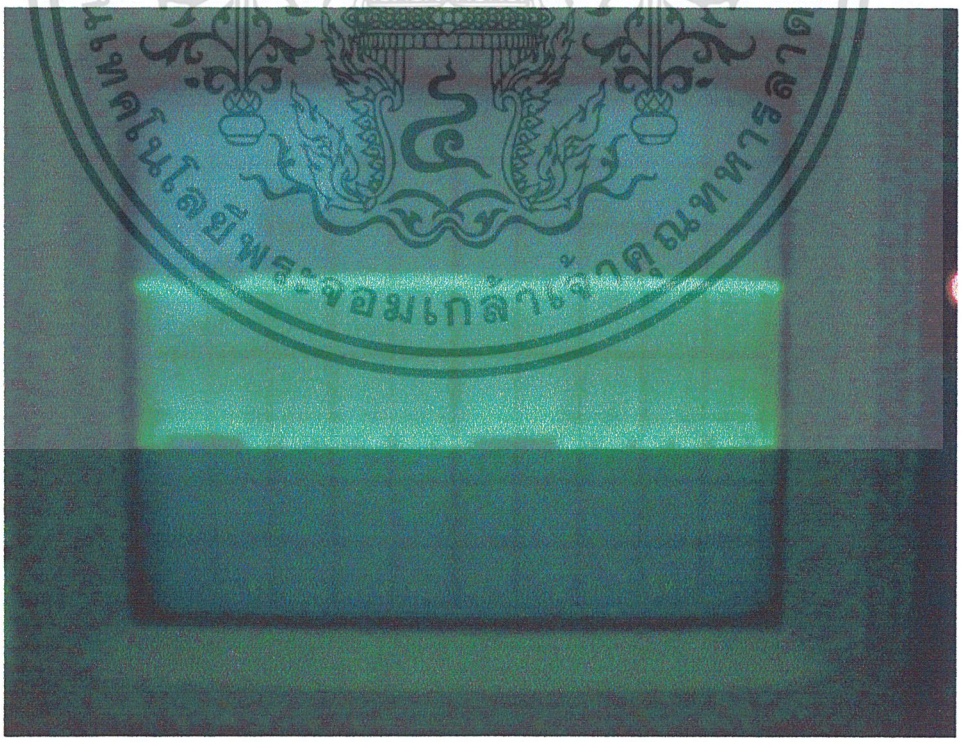


รูปที่ 5.2 แสดงสัญญาณแฟรมข้อมูลทางภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

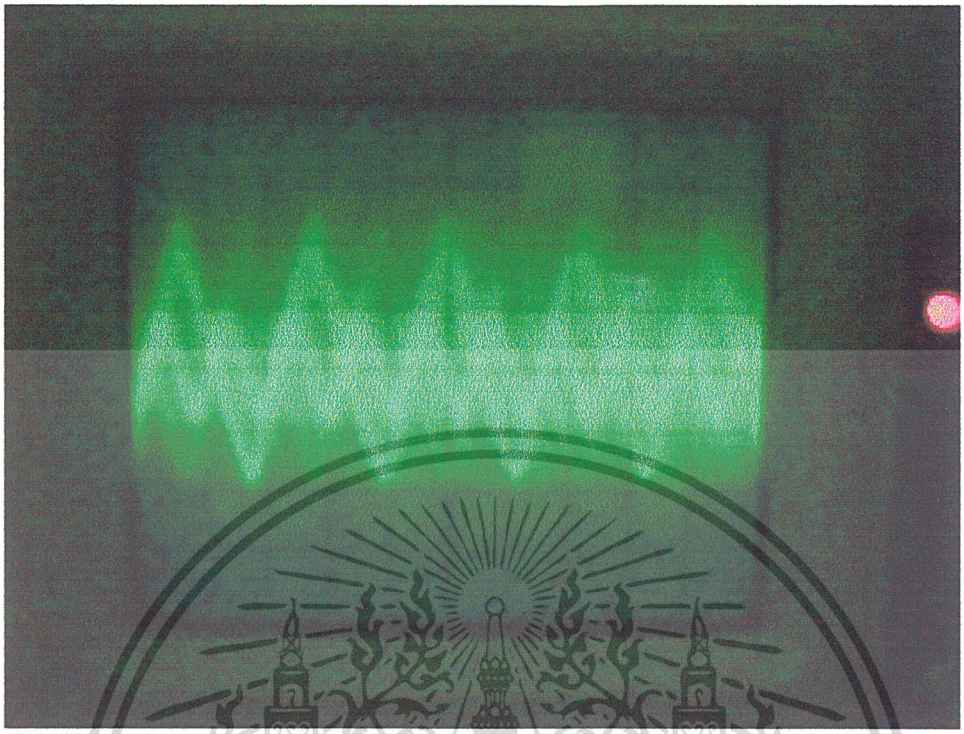


รูปที่ 5.3 แสดงสัญญาณขยายแฟรมข้อมูลทางภาคส่ง

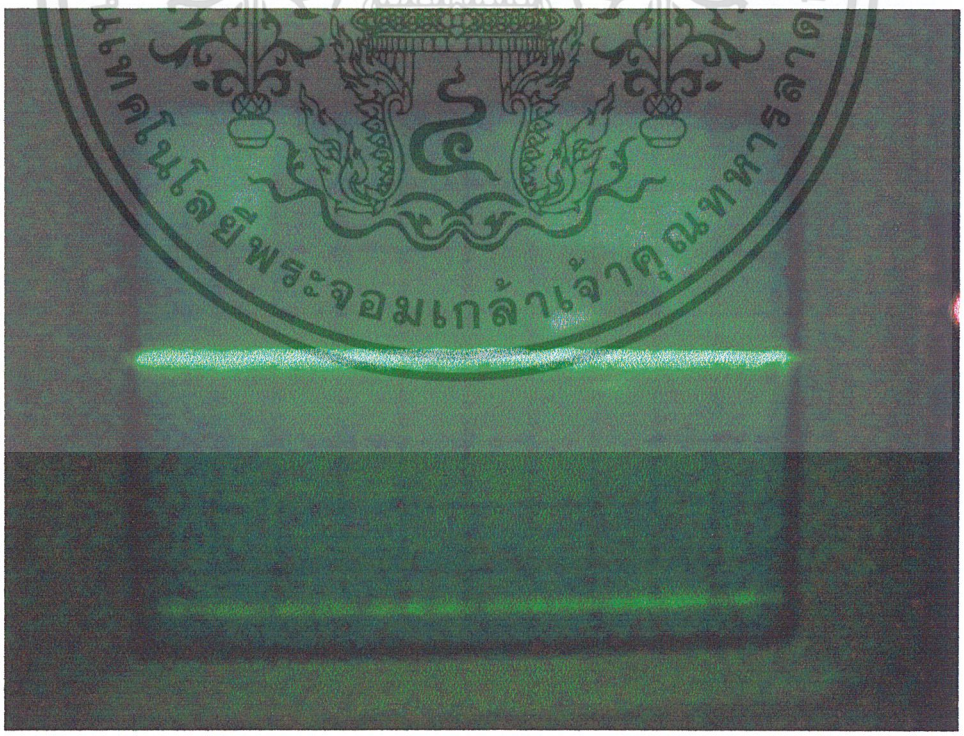


รูปที่ 5.4 แสดงสัญญาณ PCM ที่มอดูเลตกับสัญญาณ FM ที่ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

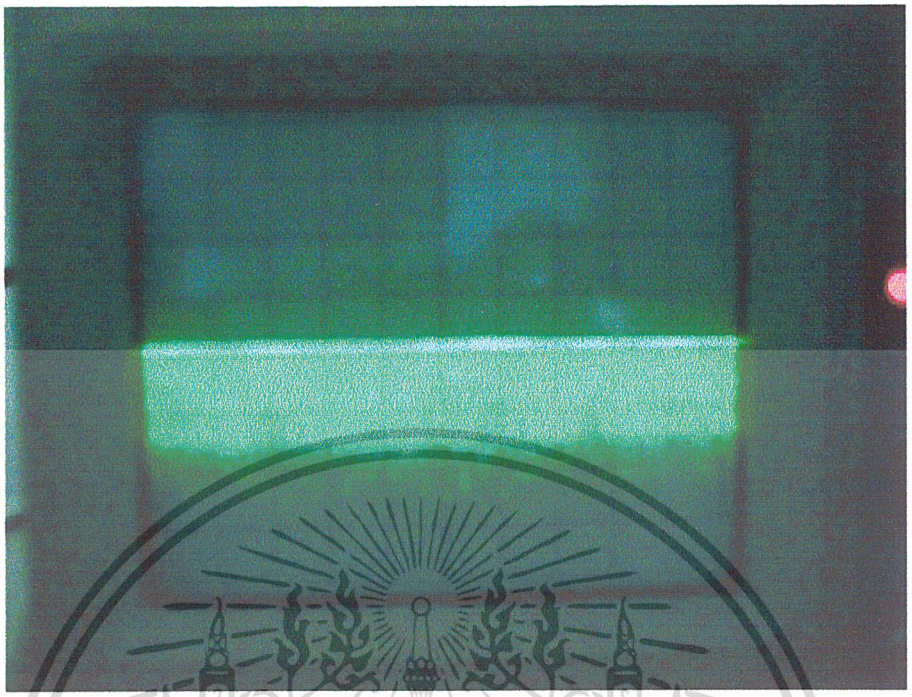


รูปที่ 5.5 แสดงสัญญาณภาครับ



รูปที่5.6 แสดงสัญญาณที่ผ่านการดีมอดดูเลท FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.7 แสดงสัญญาณ อนาลอกเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
บทสรุปปัญหา และแนวทางการแก้ไขปัญหา

จากการศึกษาการมอดูเลชั่นแบบพัลส์โค้ดมอดูเลชั่น รวมกับการมอดูเลชขั่นแบบความถี่ มอดูเลชั่น ทำให้สามารถออกแบบวงจร เพื่อใช้ในการส่วงสัญญาณผ่านเส้นใยนำแสงได้ โดยจากการที่ได้ทำการศึกษา และทำการทดลองวงจรต่างๆ ภายในระบบนั้น ได้พบปัญญาหาและข้อผิดพลาดของข้อมูลตลอด ซึ่งได้ทำการศึกษาและหาแนวทางในการแก้ไขปัญหาต่างๆดังนี้

6.1 ปัญหาที่พบภายในระบบ

6.1.1 วงจรสร้างสัญญาณนาฬิกาภาคส่ง

สัญญาณนาฬิกาที่สร้างขึ้นมาจากวงจร binary counter ไม่มีความคมชัดที่ พบซึ่งจะทำให้สัญญาณนาฬิกาที่ควบคุม เกิดความไม่เที่ยงตรง

6.1.2 วงจรมอดูเลชั่นด้วยความถี่

วงจรโมดูเลชั่นด้วยความถี่นั้น มีด้วยกันหลายชนิดซึ่งขึ้นกับว่าเราต้องการสัญญาณพาหะขนาดใดและต้องการส่งข้อมูลด้วยความเร็วเท่าใด ซึ่งถ้าเลือกไม่เหมาะสมแล้ว สัญญาณที่ได้อาจจะไม่ใช่สัญญาณมอดูเลตก็เป็นได้

6.1.3 วงจรสร้างสัญญาณนาฬิกาภาครับ

วงจรสร้างสัญญาณนาฬิกาในภาครับ นั้นก็ต้องใช้คริสตอลในการกำเนิดความถี่เช่นกัน ซึ่งความถี่ของคริสตอลทั้งสองตัวถึงแม้ว่าจะมีความถี่เท่ากัน แต่ก็ไม่ได้หมายความว่าจะมีเฟสเริ่มต้นพร้อมกัน ซึ่งเมื่อเฟสเริ่มต้นไม่พร้อมกันแล้ว สัญญาณที่รับมาได้นั้นจะไม่ตรงกับสัญญาณนาฬิกา ที่ควบคุมอุปกรณ์ในภาครับ

6.2 แนวทางการแก้ไขปัญหา

6.2.1 วงจรสร้างสัญญาณนาฬิกาภาคส่ง

เราได้ทำการแก้ไขปัญหาที่เกิดขึ้น โดยเราใช้ IC เบอร์ 74LS14 เป็น IC ซึ่งจะทำให้สัญญาณนาฬิกาที่ได้มีความคมชัด เป็นรูปคลื่นสี่เหลี่ยมที่ชัดเจนขึ้น

6.2.2 วงจรมอดูเลชั่นด้วยความถี่

เราเลือกใช้วงจร FM ที่มีความถี่ของพาหะมากกว่า 10 เท่าของความถี่สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2.3 วงจรสร้างสัญญาณนาฬิกาภาครับ

เราจะใช้วงจร Phase Shift ในการปรับให้สัญญาณนาฬิกาของวงจรทั้งทางภาคส่ง และภาครับมีเฟสที่ตรงกัน

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IF-E91

PLASTIC FIBER OPTIC EMITTER

FEATURES

- Mates with Standard, 1000 µm Core, Plastic Fiber Cable
- Internal Micro-lens for Efficient Coupling
- Inexpensive Plastic Connector Housing
- Connector-less Interface
- Interference-free Transmission from Light-tight Housing
- Simple Fiber Termination and Connection
- Excellent Linearity

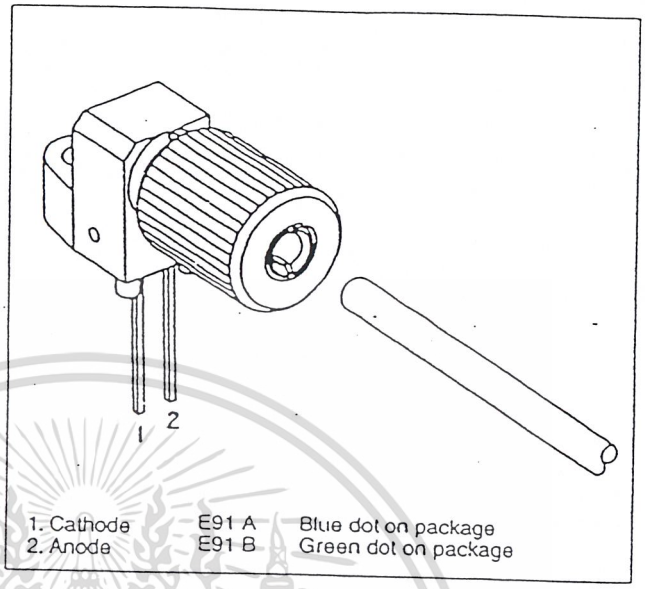
APPLICATIONS

- Household Appliances
- Power Electronics
- Optical Networks
- Medical Instruments
- Automotive Electronics
- Audio Systems
- Electronic Games

DESCRIPTION

The IF-E91A and IF-E91B are the infrared LEDs in Industrial Fiber Optics' family of low-cost, medium-frequency, short-distance fiber optic emitters and detectors. Each emitter and detector consists of a PVC housing, an internal active element such as an LED or photodetector and a cinch nut to hold the fiber in place. The PVC housing retains the active element and the cinch nut while optimizing coupling between the active element and the jacketed 1000 µm plastic fiber.

Working with this family of fiber optics is simple: No special tools or training required. Only a sharp knife or razor blade is needed to terminate the plastic fiber. When the fiber is inserted in the emitter or detector, tighten the cinch nut. Thereafter, the fiber can be removed simply by loosening the nut.



1. Cathode	E91 A	Blue dot on package
2. Anode	E91 B	Green dot on package

Maximum Ratings (T_A=25°C)

Operating and Storage Temperature Range (T_{OP},T_{STG}) ..... -40° to 85° C

Junction Temperature (T_J) ..... 85°C

Soldering Temperature (2mm from case bottom) (T_S) t≤5s ..... 240° C

Reverse Voltage (V_R) ..... 3 V

Power Dissipation (P_{TOT}) T_A=25°C ..... 100 mW

De-rate Above 25°C ..... 1.33 mW/°C

	IF-E91A	IF-E91B
Forward Current, DC (I_F)	50 mA	100 mA
Surge Current (I_{FSM}) t≤10 µsec	2 A	2 A

Characteristics (T_A=25°C)

Parameter	Symbol	IF-E91A	IF-E91B	Unit
Peak Wavelength	λ_{PEAK}	950	880	nm
Spectral Bandwidth, 50% I_{MAX}	$\Delta\lambda$	40	80	nm
Output Power Coupled into Plastic Fiber (1 mm core diameter). Distance lens to fiber ≤0.1 mm, 10 cm polished fiber, I_F=100 mA	Φ_{min}	50	100	µW
Switching Times (10% to 90% and 90% to 10%) (R_L=47 Ω, I_F=10 mA)	t_r, t_f	1.0	0.5	µs
Capacitance	C_0	25	25	pF
Forward Voltage (I_F=50 mA)	V_f	1.5 max	1.7 max	V
Temperature Coefficient, λ_{PEAK}	TC_λ	0.3	0.3	nm/K

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

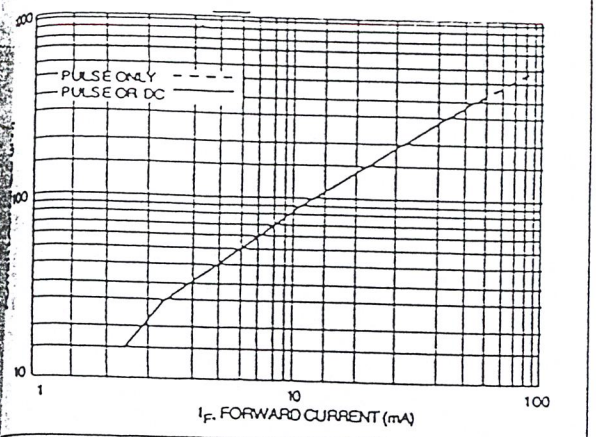


Figure 1. Normalized power launched versus forward current.

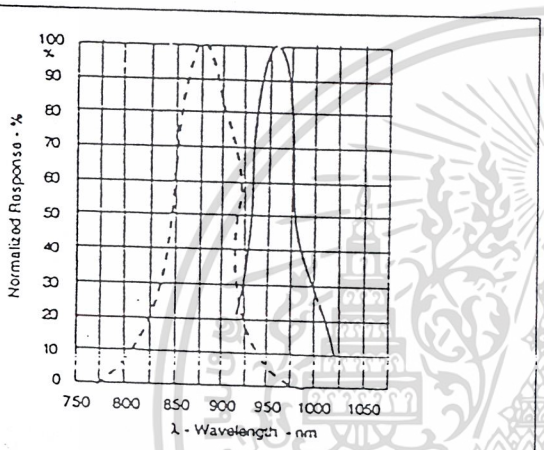
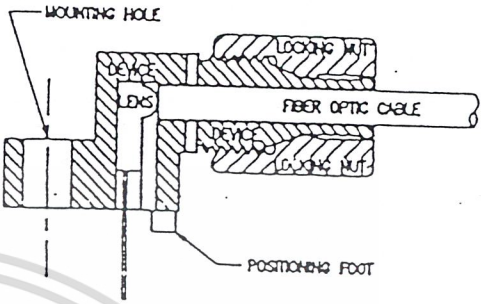


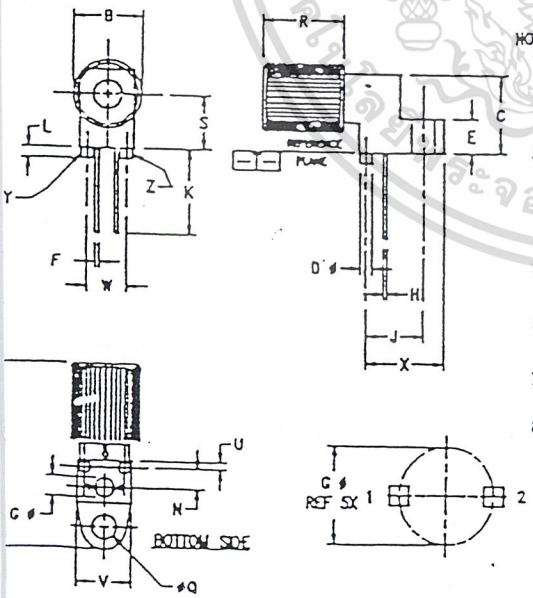
Figure 2. Typical spectral output versus wavelength.



Fiber termination instructions:

1. Cut off the ends of the cable with a single-edge razor blade or sharp knife. Try to obtain a precise 90-degree angle (square).
2. Insert the fiber through the locking nut and into the connector until the core tip seats against the internal micro-lens.
3. Screw the connector locking nut down to a snug fit, locking the fiber in place.

Figure 3. Cross-section of fiber optic device.



NOTES:
1. Y AND Z ARE DATUM DIMENSIONS AND T IS A DATUM SURFACE.
2. POSITIONAL TOLERANCE FOR D ⌀ (2 PL):
⌖ ⌀ 0.25(0.010) Ⓜ T Ⓜ Y Ⓜ Z Ⓜ
3. POSITIONAL TOLERANCE FOR F DIM (2 PL):
⌖ 0.25(0.010) Ⓜ T Ⓜ Y Ⓜ Z Ⓜ
4. POSITIONAL TOLERANCE FOR H DIM (2 PL):
⌖ 0.25(0.010) Ⓜ T Ⓜ Y Ⓜ Z Ⓜ
5. POSITIONAL TOLERANCE FOR Q ⌀:
⌖ ⌀ 0.25(0.010) Ⓜ T Ⓜ Y Ⓜ Z Ⓜ
6. POSITIONAL TOLERANCE FOR E:
⌖ ⌀ 0.25(0.010) Ⓜ T Ⓜ
7. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
8. CONTROLLING DIMENSION: INCH

STYLE 1:
PIN 1. ANODE
PIN 2. CATHODE

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	23.24	25.27	.915	.995
B	8.64	9.14	.340	.360
C	9.91	10.41	.390	.410
D	1.52	1.63	.060	.064
E	4.19	4.70	.165	.185
F	0.43	0.58	.017	.023
G	2.54 BSC		.100 BSC	
H	0.43	0.58	.017	.023
J	7.62 BSC		.300 BSC	
K	10.35	11.37	.408	.448
L	1.14	1.65	.045	.065
N	2.54 BSC		.100 BSC	
Q	.305	3.30	.120	.130
R	10.48	10.99	.413	.433
S	6.98 BSC		.275 BSC	
U	0.83	1.06	.032	.042
V	6.86	7.11	.270	.280
W	5.08 BSC		.200 BSC	
X	10.10	10.68	.397	.427

Figure 4. Case outline.

นี้คือ... ที่ได้รับอนุญาตให้ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

IF-D91

PLASTIC FIBER OPTIC PHOTODIODE

FEATURES

- Mates with Standard, 1000 µm Core, Plastic Fiber Cable
- Internal Micro-lens for Efficient Coupling
- Inexpensive Plastic Connector Housing
- Connector-less Interface
- Interference-free Transmission from Light-tight Housing
- Simple Fiber Termination and Connection
- Excellent Linearity

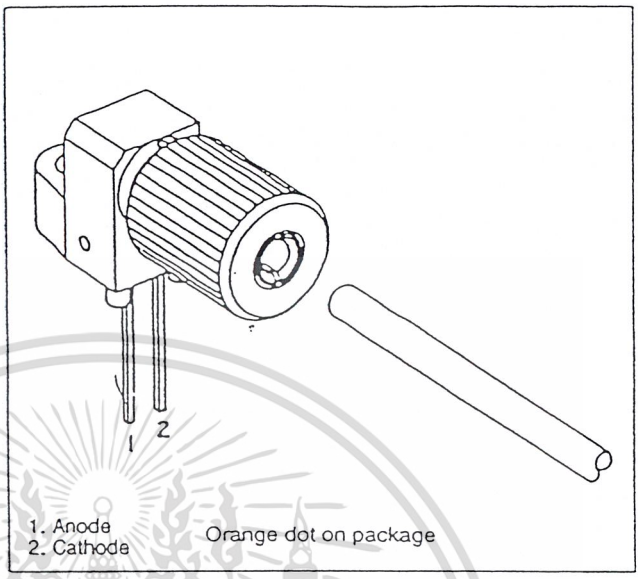
APPLICATIONS

- Household Appliances
- Power Electronics
- Optical Networks
- Medical Instruments
- Automotive Electronics
- Audio Systems
- Electronic Games

DESCRIPTION

The IF-D91 is the active photodiode device in Industrial Fiber Optics' family of low-cost, medium-frequency, short-distance fiber optic emitters and detectors. Each emitter and detector consists of a PVC housing, an internal active element such as an LED or photodetector, and a cinch nut to hold the fiber in place. The PVC housing retains the active element and the cinch nut while optimizing coupling between the active element and the jacketed 1000 µm plastic fiber.

Working with this family of fiber optics is simple: No special tools or training required. Only a sharp knife or razor blade is needed to terminate the plastic fiber. When the fiber is inserted in the emitter or detector, tighten the cinch nut. Thereafter, the fiber can be removed simply by loosening the nut.



1. Anode
2. Cathode

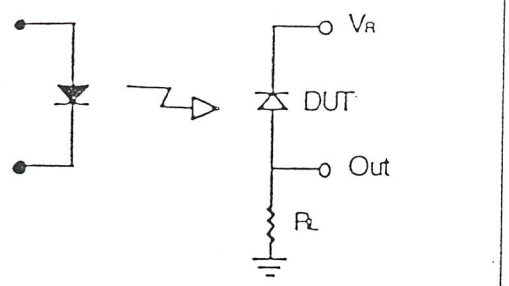
Orange dot on package

Maximum Ratings (T_A=25°C)

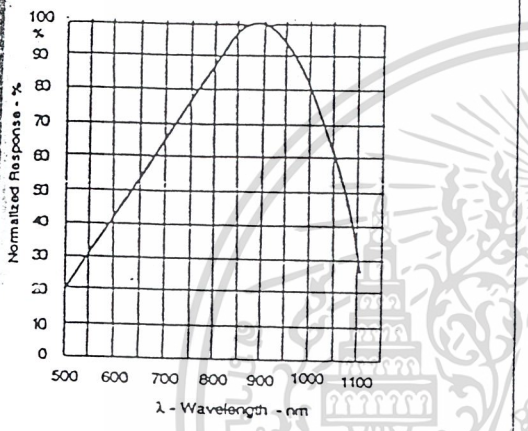
Operating and Storage
Temperature Range (T_{OP}, T_{STG}) ..... -40° to 85°C
Junction Temperature (T_J) ..... 85°C
Soldering Temperature
(2mm from case bottom) (T_S) t≤5s ..... 240°C
Power Dissipation (P_{TOT}) T_A=25°C ..... 100 mW
De-rate Above 25°C ..... 1.33 mW/°C

Characteristics (T_A=25°C)

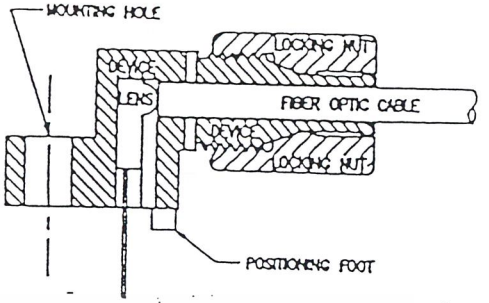
Parameter	Symbol	Value	Unit
Maximum Photosensitivity	λ_{PEAK}	850	nm
Spectral Bandwidth (S=10% of S_{MAX})	$\Delta\lambda$	400-1100	nm
Rise and Fall Times (10% to 90% and 90% to 10%) (R_L=50Ω, V_R=20 V, λ=850 nm)	t_r, t_f	5	ns
Total Capacitance	C_T	4	pF
Responsivity @ 860 nm @ 632 nm	R	0.4 0.2	µA/µW µA/µW
Dark Current (V_R=30 volts, E_E=0)	I_D	<60	nA
Reverse Breakdown Voltage	$V_{(BR)}R$	60	V
Forward Voltage	V_f	1.2	V



1. Circuit diagram for measuring rise and fall times.



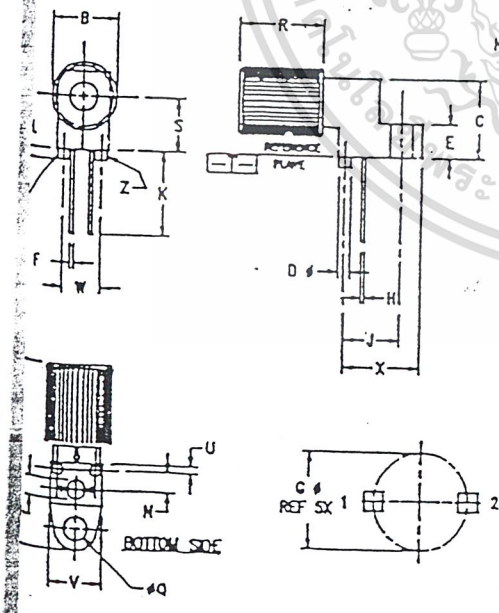
2. Typical detector response versus wavelength.



Fiber termination instructions:

1. Cut off the ends of the cable with a single-edge razor blade or sharp knife. Try to obtain a precise 90-degree angle (square).
2. Insert the fiber through the locking nut and into the connector until the core tip seats against the internal micro-lens.
3. Screw the connector locking nut down to a snug fit, locking the fiber in place.

Figure 3. Cross-section of fiber optic device.



NOTES:
1. Y AND Z ARE DATUM DIMENSIONS AND T IS A DATUM SURFACE.
2. POSITIONAL TOLERANCE FOR D ø (2 PL):
⌖ ø 0.25(0.010) Ⓜ T Ⓜ Y Ⓜ Z Ⓜ
3. POSITIONAL TOLERANCE FOR F DIA (2 PL):
⌖ 0.25(0.010) Ⓜ T Ⓜ Y Ⓜ Z Ⓜ
4. POSITIONAL TOLERANCE FOR H DIA (2 PL):
⌖ 0.25(0.010) Ⓜ T Ⓜ Y Ⓜ Z Ⓜ
5. POSITIONAL TOLERANCE FOR Q ø:
⌖ ø 0.25(0.010) Ⓜ T Ⓜ Y Ⓜ Z Ⓜ
6. POSITIONAL TOLERANCE FOR B:
⌖ ø 0.25(0.010) Ⓜ T Ⓜ
7. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
8. CONTROLLING DIMENSION: INCH

STYLE 1:
PIN 1. ANODE
PIN 2. CATHODE

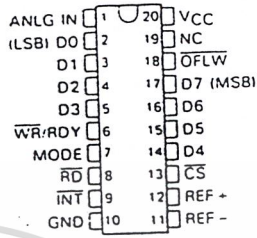
DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	23.24	25.27	.915	.995
B	8.64	9.14	.340	.360
C	9.91	10.41	.390	.410
D	1.52	1.63	.060	.064
E	4.19	4.70	.165	.185
F	0.43	0.58	.017	.023
G	2.54 BSC		.100 BSC	
H	0.43	0.58	.017	.023
J	7.62 BSC		.300 BSC	
K	10.35	11.87	.408	.468
L	1.14	1.65	.045	.065
N	2.54 BSC		.100 BSC	
Q	.305	3.30	.120	.130
R	10.48	10.99	.413	.433
S	6.98 BSC		.275 BSC	
U	0.83	1.06	.032	.042
V	6.86	7.11	.270	.280
W	5.08 BSC		.200 BSC	
X	10.10	10.68	.397	.427

Figure 4. Case outline.

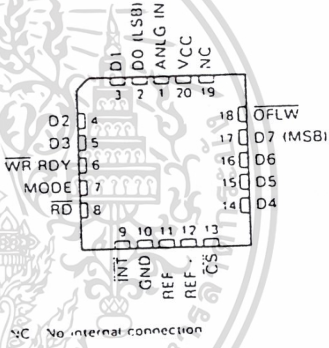
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

- Advanced LinCMOS™ Silicon-Gate Technology
- 8-Bit Resolution
- Differential Reference Inputs
- Parallel Microprocessor Interface
- Conversion and Access Time Over Temperature Range
  - Write-Read Mode . . . 1.18 μs and 1.92 μs
  - Read Mode . . . 2.5 μs Max
- No External Clock or Oscillator Components Required
- On-Chip Track-and-Hold
- Low Power Consumption . . . 50 mW Typ
- Single 5-V Supply
- TLC0820B is Direct Replacement for National Semiconductor ADC0820B/8C and Analog Devices AD7820L/C/U; TLC0820A is Direct Replacement for National Semiconductor ADC0820C/CC and Analog Devices AD7820K/B/T

ALL TYPES . . . DW OR N PACKAGE
TLC0820_M . . . J PACKAGE
(TOP VIEW)



TLC0820_M . . . FK PACKAGE
TLC0820_I, TLC0820_C . . . FN PACKAGE
ADC0820_CI, ADC0820_C . . . FN PACKAGE
(TOP VIEW)



NC – No internal connection

description

The TLC0820A, TLC0820B, ADC0820B, and ADC0820C are Advanced LinCMOS™ 8-bit analog-to-digital converters each consisting of two 4-bit "flash" converters, a 4-bit digital-to-analog converter, a summing (error) amplifier, control logic, and a result latch circuit. The modified "flash" technique allows low-power integrated circuitry to complete an 8-bit conversion in 1.18 μs over temperature. The on-chip track-and-hold circuit has a 100 ns sample window and allows these devices to convert continuous analog signals having slew rates of up to 100 mV/μs without external sampling components. TTL-compatible three-state output drivers and two modes of operation allow interfacing to a variety of microprocessors. Detailed information on interfacing to most popular microprocessors is readily available from the factory.

The M-suffix devices are characterized for operation over the full military temperature range of −55°C to 125°C. The I-suffix devices are characterized for operation from −40°C to 85°C. The C-suffix devices are characterized for operation from 0°C to 70°C. See Available Options.

Advanced LinCMOS is a trademark of Texas Instruments Incorporated.

PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

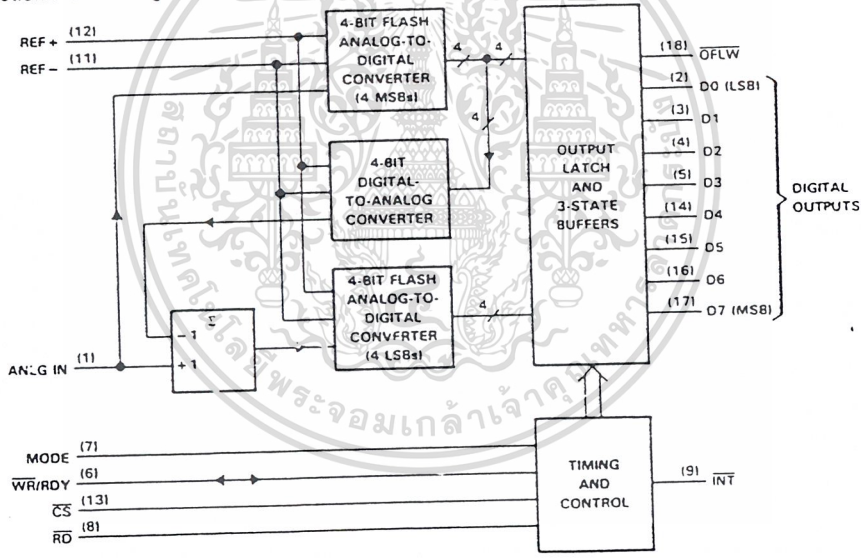
Copyright © 1986, Texas Instruments Incorporated

AVAILABLE OPTIONS

SYMBOLIZATION†		OPERATING TEMPERATURE RANGE	TOTAL UNADJUSTED ERROR
DEVICE	PACKAGE SUFFIX		
TLC0820AC	DW, FN, N	0°C to 70°C	±1 LSB
TLC0820AI	DW, FN, N	−40°C to 85°C	±1 LSB
TLC0820AM	DW, FK, J, N	−55°C to 125°C	±1 LSB
TLC0820BC	DW, FN, N	0°C to 70°C	±0.5 LSB
TLC0820BI	DW, FN, N	−40°C to 85°C	±0.5 LSB
TLC0820BM	DW, FK, J, N	−55°C to 125°C	±0.5 LSB
ADC0820BC	DW, FN, N	0°C to 70°C	±0.5 LSB
ADC0820BCI	DW, FN, N	−40°C to 85°C	±0.5 LSB
ADC0820CC	DW, FN, N	0°C to 70°C	±1 LSB
ADC0820CCI	DW, FN, N	−40°C to 85°C	±1 LSB

†In many instances, these ICs may have both TLC0820 and ADC0820 labeling on the package.

unctional block diagram



TEXAS INSTRUMENTS
POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

PIN NAME	PIN NUMBER	DESCRIPTION
ANLG IN	1	Analog input
$\overline{CS}$	13	This input must be low in order for $\overline{RD}$ or $\overline{WR}$ to be recognized by the ADC.
D0	2	Three-state data output, bit 1 (LSB)
D1	3	Three-state data output, bit 2
D2	4	Three-state data output, bit 3
D3	5	Three-state data output, bit 4
D4	14	Three-state data output, bit 5
D5	15	Three-state data output, bit 6
D6	16	Three-state data output, bit 7
D7	17	Three-state data output, bit 8 (MSB)
GND	10	Ground
$\overline{INT}$	9	In the WRITE-READ mode, the interrupt output, $\overline{INT}$, going low indicates that the internal count-down delay time, $t_{d(int)}$, is complete and the data result is in the output latch. $t_{d(int)}$ is typically 800 ns starting after the rising edge of the $\overline{WR}$ input (see operating characteristics and Figure 3). If $\overline{RD}$ goes low prior to the end of $t_{d(int)}$, $\overline{INT}$ goes low at the end of t_{dRIL} and the conversion results are available sooner (see Figure 2). $\overline{INT}$ is reset by the rising edge of either $\overline{RD}$ or $\overline{CS}$.
MODE	7	Mode selection input. It is internally tied to GND through a 50 μA current source, which acts like a pull-down resistor. READ mode. Occurs when this input is low. WRITE-READ mode. Occurs when this input is high.
NC	19	No internal connection
$\overline{OFLW}$	18	Normally the $\overline{OFLW}$ output is a logical high. However, if the analog input is higher than the V_{REF+}, $\overline{OFLW}$ will be low at the end of conversion. It can be used to cascade 2 or more devices to improve resolution (9 or 10 bits).
$\overline{RD}$	8	In the WRITE-READ mode with $\overline{CS}$ low, the 3-state data outputs D0 through D7 are activated when $\overline{RD}$ goes low. $\overline{RD}$ can also be used to increase the conversion speed by reading data prior to the end of the internal count-down delay time. As a result, the data transferred to the output latches latched after the falling edge of $\overline{RD}$. In the READ mode with $\overline{CS}$ low, the conversion starts with $\overline{RD}$ going low. $\overline{RD}$ also enables the three-state data outputs upon completion of the conversion. The RDY output going into the high-impedance state and $\overline{INT}$ going low indicates completion of the conversion.
REF+	11	This input voltage is placed on the bottom of the resistor ladder.
REF-	12	This input voltage is placed on the top of the resistor ladder.
V_{CC}	20	Power supply voltage
$\overline{WR}$/RDY	6	In the WRITE-READ mode with $\overline{CS}$ low, the conversion is started on the falling edge of the $\overline{WR}$ input signal. The result of the conversion is strobed into the output latch after the internal count-down delay time, $t_{d(int)}$, provided that the $\overline{RD}$ input does not go low prior to this time. $t_{d(int)}$ is approximately 800 ns. In the READ mode, RDY (an open drain output) will go low after the falling edge of $\overline{CS}$, and will go into the high impedance state when the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

	TLC0820_M	TLC0820_I ADC0820_CI	TLC0820_C ADC0820_C	UNIT
Supply voltage, V_{CC} (see Note 1)	10	10	10	V
Input voltage range, all inputs (see Note 1)	−0.2 to V_{CC} +0.2	−0.2 to V_{CC} +0.2	−0.2 to V_{CC} +0.2	V
Output voltage range, all outputs (see Note 1)	−0.2 to V_{CC} +0.2	−0.2 to V_{CC} +0.2	−0.2 to V_{CC} +0.2	V
Operating free-air temperature range	−55 to 125	−40 to 85	0 to 70	°C
Storage temperature range	−65 to 150	−65 to 150	−65 to 150	°C
Case temperature for 60 seconds: FK package	260			°C
Case temperature for 10 seconds: FN package		260	260	°C
Lead temperature 1,6 mm (1/16 inch) from case for 60 seconds: J package	300			°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds: DW or N package	260	260	260	°C

NOTE 1: All voltages are with respect to network ground terminal, pin 10.

recommended operating conditions

			TLC0820_M			TLC0820_I ADC0820_CI			TLC0820_C ADC0820_C			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}			4.5	5	8	4.5	5	8	4.5	5	8	V
Analog input voltage			−0.1		V_{CC} +0.1	−0.1		V_{CC} +0.1	−0.1		V_{CC} +0.1	V
Positive reference voltage, V_{REF+}			V_{REF-}		V_{CC}	V_{REF-}		V_{CC}	V_{REF-}		V_{CC}	V
Negative reference voltage, V_{REF-}			GND		V_{REF+}	GND		V_{REF+}	GND		V_{REF+}	V
High-level input voltage, V_{IH}	V_{CC} = 4.75 V to 5.25 V	$\overline{CS}$, $\overline{WR}$/RDY, $\overline{RD}$	2			2			2			V
		MODE	3.5			3.5			3.5			
Low-level input voltage, V_{IL}	V_{CC} = 4.75 V to 5.25 V	$\overline{CS}$, $\overline{WR}$/RDY, $\overline{RD}$			0.8			0.8			0.8	V
		MODE			1.5			1.5			1.5	
Delay to next conversion, $t_{d(NC)}$ (see Figures 1, 2, 3, and 4)			500			500			500			ns
Delay time from $\overline{WR}$ to $\overline{RD}$ in write-read mode, t_{dWR} (see Figure 2)			0.4			0.4			0.4			µs
Write-pulse duration in write-read mode, t_{wW} (see Figures 2, 3, and 4)			0.5		50	0.5		50	0.5		50	µs
Operating free-air temperature, T_A			−55		125	−40		85	0		70	°C

electrical characteristics at specified operating free-air temperature, V_{CC} = 5 V (unless otherwise noted)

PARAMETER			TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{OH}	High-level output voltage	Any D, $\overline{INT}$, or $\overline{OFLW}$	V_{CC} = 4.75 V, I_{OH} = −360 µA	Full range	2.4			V
			V_{CC} = 4.75 V, I_{OH} = −10 µA	Full range	4.5			
				25°C	4.6			
V_{OL}	Low-level output voltage	Any D, $\overline{OFLW}$, $\overline{INT}$, or $\overline{WR}$/RDY	V_{CC} = 5.25 V, I_{OL} = 1.6 mA	Full range			0.4	V
				25°C			0.34	
I_{IH}	High-level input current	$\overline{CS}$ or $\overline{RD}$	V_{IH} = 5 V	Full range		0.005	1	µA
		$\overline{WR}$/RDY		Full range			3	
				25°C		0.1	0.3	
		MODE		Full range			200	
				25°C		50	170	
I_{IL}	Low-level input current	$\overline{CS}$, $\overline{WR}$/RDY, $\overline{RD}$, or MODE	V_{IL} = 0	Full range		−0.005	−1	µA
I_{OZ}	Off-state (high-impedance state) output current	Any D or $\overline{WR}$/RDY	V_O = 5 V	Full range			3	µA
				25°C		0.1	0.3	
			V_O = 0	Full range			−3	
				25°C		−0.1	−0.3	
I_I	Analog input current		$\overline{CS}$ at 5 V, V_I = 5 V	Full range			3	µA
				25°C			0.3	
			$\overline{CS}$ at 5 V, V_I = 0	Full range			3	
				25°C			−0.3	
I_{OS}	Short-circuit output current	Any D, $\overline{OFLW}$, $\overline{INT}$, or $\overline{WR}$/RDY	V_O = 5 V	Full range	7			mA
				25°C	8.4	14		
		Any D or $\overline{OFLW}$	V_O = 0	Full range	−6			
				25°C	−7.2	−12		
		$\overline{INT}$		Full range	−4.5			
				25°C	5.3	−9		
R_{ref}	Reference resistance			Full range	1.25		6	kΩ
				25°C	1.4	2.3	5.3	
I_{CC}	Supply current		$\overline{CS}$, $\overline{WR}$/RDY, and $\overline{RD}$ at 0 V	Full range			15	mA
				25°C		7.5	13	
C_i	Input capacitance	Any digital		Full range		5		pF
		ANLG IN				45		
C_o	Output capacitance	Any digital		Full range			5	pF

†All typical values are at T_A = 25°C.

operating characteristics, V_{CC} = 5 V, V_{REF+} = 5 V, V_{REF-} = 0, $t_r = t_f$ = 20 ns, T_A = 25°C (unless otherwise noted)

PARAMETER		TEST CONDITIONS		TLC0820B ADC0820B			TLC0820A ADC0820C			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
k_{SVS}	Supply voltage sensitivity	V_{CC} = 5 V ± 5%, T_A = MIN to MAX			±1/16	±1/4		±1/16	±1/4	LSB
	Total unadjusted error[†]	MODE pin at 0 V, T_A = MIN to MAX				1/2			1	LSB
t_{convR}	Read mode conversion time	MODE pin at 0 V, See Figure 1			1.6	2.5		1.6	2.5	µs
$t_{d(int)}$	Internal count-down delay time	MODE pin at 5 V, See Figures 3 and 4	C_L = 50 pF,		800	1300		800	1300	ns
t_{aR}	Access time from $\overline{RD}$	MODE pin at 0 V, See Figure 1			t_{convR} - 20	t_{convR} - 50		t_{convR} - 20	t_{convR} - 50	ns
t_{aR1}	Access time from $\overline{RD}$	MODE pin at 5 V, $t_{dWR} < t_{d(int)}$, See Figure 2	C_L = 15 pF		190	280		190	280	ns
			C_L = 100 pF		210	320		210	320	
t_{aR2}	Access time from $\overline{RD}$	MODE pin at 5 V, $t_{dWR} > t_{d(int)}$, See Figure 3	C_L = 15 pF		70	120		70	120	ns
			C_L = 100 pF		90	150		90	150	
t_{aINT}	Access time from $\overline{INT}$	MODE pin at 5 V, See Figure 4			20	50		20	50	ns
t_{dis}	Disable time from $\overline{RD}$	R_L = 1 kΩ, See Figures 1, 2, 3, and 5	C_L = 10 pF,		70	95		70	95	ns
t_{dROY}	Delay time from $\overline{CS}$ to ROY	MODE pin at 0 V, See Figure 1	C_L = 50 pF,		50	100		50	100	ns
t_{dRIH}	Delay time from $\overline{RD}$ to $\overline{INT}$	C_L = 50 pF, See Figures 1, 2, and 3			125	225		125	225	ns
t_{dRIL}	Delay time from $\overline{RD}$ to $\overline{INT}$	MODE pin at 5 V, See Figure 2	$t_{dWR} < t_{d(int)}$,		200	290		200	290	ns
t_{dWIH}	Delay time from $\overline{WR}$ to $\overline{INT}$	MODE pin at 5 V, See Figure 4	C_L = 50 pF,		175	270		175	270	ns
	Slew rate tracking				0.1			0.1		V/µs

[†] Total unadjusted error includes offset, full-scale, and linearity errors.

PARAMETER MEASUREMENT INFORMATION

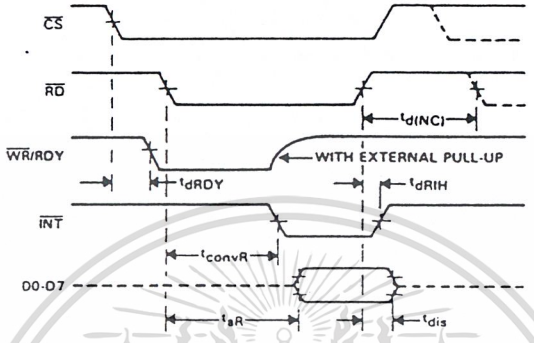


FIGURE 1. READ MODE WAVEFORMS (MODE PIN LOW)

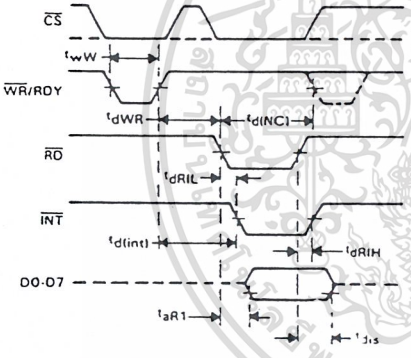


FIGURE 2. WRITE-READ MODE WAVEFORMS
[MODE PIN HIGH AND $t_{dWR} < t_{d(int)}$]

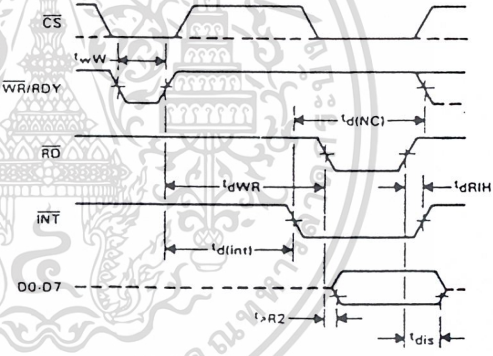


FIGURE 3. WRITE-READ WAVEFORMS
[MODE PIN HIGH AND $t_{dWR} > t_{d(int)}$]

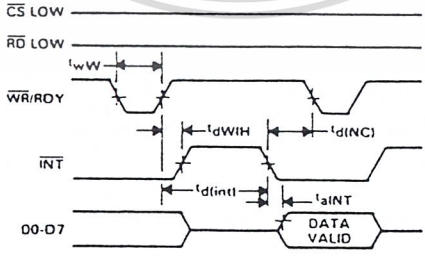


FIGURE 4. WRITE-READ MODE WAVEFORMS
(STAND-ALONE OPERATION, MODE PIN HIGH, AND RD LOW)

PARAMETER MEASUREMENT INFORMATION

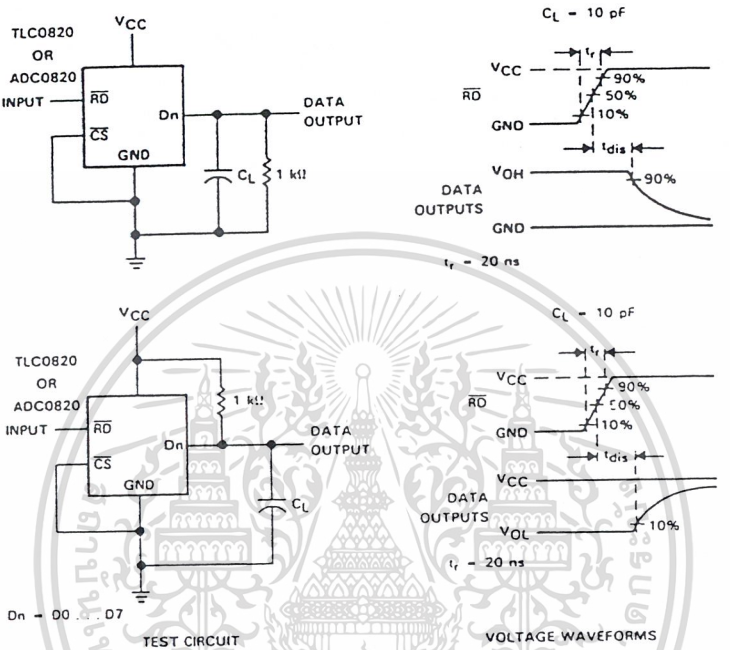


FIGURE 5. TEST CIRCUIT AND VOLTAGE WAVEFORMS

PRINCIPLES OF OPERATION

The TLC0820A, TLC0820B, ADC0820B and ADC0820C each employ a combination of "sampled-data" comparator techniques and "flash" techniques common to many high-speed converters. Two 4-bit "flash" analog-to-digital conversions are used to give a full 8-bit output.

The recommended analog input voltage range for conversion is -0.1 V to $V_{CC}+0.1$ V. Analog input signals that are less than V_{REF-} + ½ LSB or greater than V_{REF+} − ½ LSB convert to 00000000 or 11111111 respectively. The reference inputs are fully differential with common-mode limits defined by the supply rails. The reference input values define the full-scale range of the analog input. This allows the gain of the ADC to be varied for ratiometric conversion by changing the V_{REF+} and V_{REF-} voltages.

The device operates in two modes, read (only) and write-read, which are selected by the MODE pin (pin 7). The converter is set to the read (only) mode when pin 7 is low. In the read mode, the $\overline{WR}$/RDY pin is used as an output and is referred to as the "ready" pin. In this mode, a low on the "ready" pin while $\overline{CS}$ is low indicates that the device is busy. Conversion starts on the falling edge of $\overline{RD}$ and is completed no more than 2.5 μs later when $\overline{INT}$ falls and the "ready" pin returns to a high-impedance state. Data outputs also change from high-impedance to active states at this time. After the data is read, $\overline{RD}$ is taken high, $\overline{INT}$ returns high, and the data outputs return to their high-impedance states.

The converter is set to the write-read mode when pin 7 is high and $\overline{WR}$/RDY is referred to as the "write" pin. Taking $\overline{CS}$ and the "write" pin low selects the converter and initiates measurement of the input signal. Approximately 600 ns after the "write" pin returns high, the conversion is completed. Conversion starts on the rising edge of $\overline{WR}$/RDY in the write-read mode.

The high-order 4-bit "flash" ADC measures the input by means of 16 comparators operating simultaneously. A high precision 4-bit DAC then generates a discrete analog voltage from the result of that conversion. After a time delay, a second bank of comparators does a low-order conversion on the analog difference between the input level and the high-order DAC output. The results from each of these conversions enter an 8-bit latch and are output to the three-state buffers on the falling edge of $\overline{RD}$.

XR-2206

Monolithic
Function Generator

EXAR ...the analog plus company™

June 1997-3

FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2206M	16 Lead 300 Mil CDIP	-55°C to +125°C
XR-2206P	16 Lead 300 Mil PDIP	–40°C to +85°C
XR-2206CP	16 Lead 300 Mil PDIP	0°C to +70°C
XR-2206D	16 Lead 300 Mil JEDEC SOIC	0°C to +70°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TQM™

©1972

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ (510) 668-7017

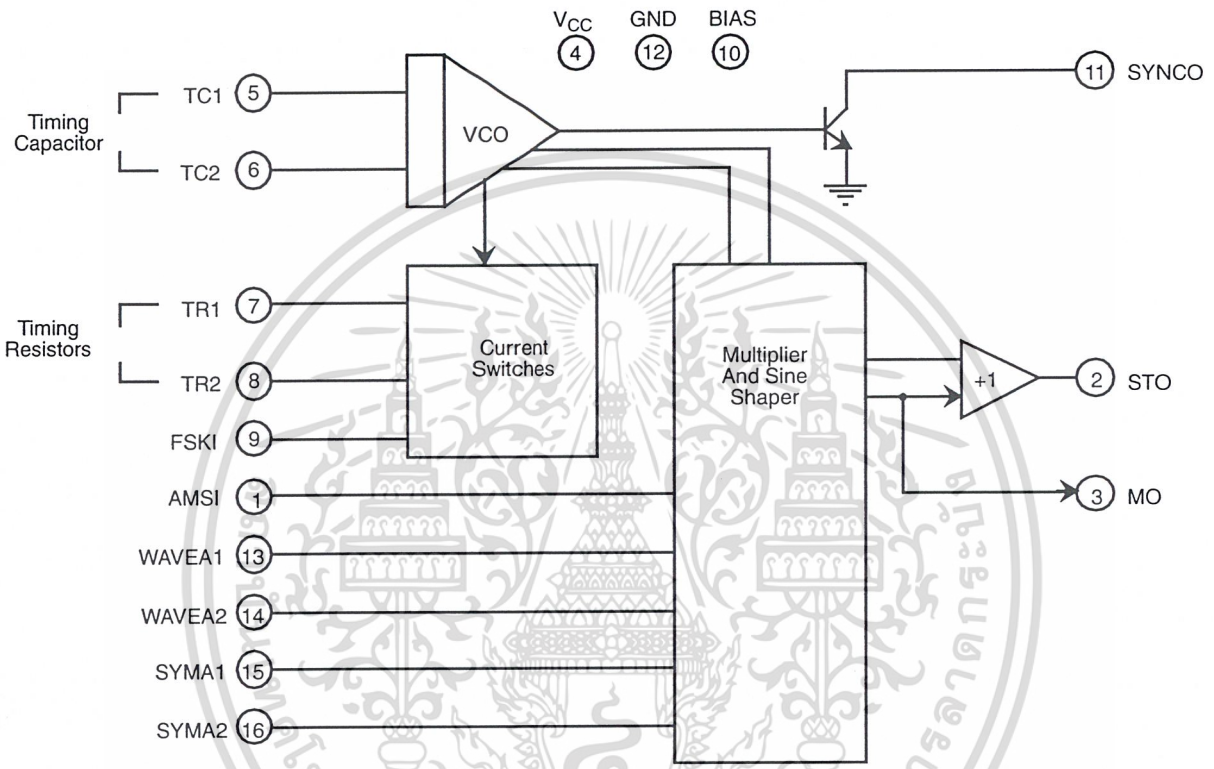
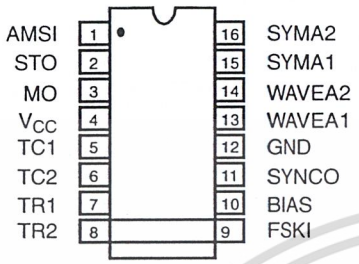
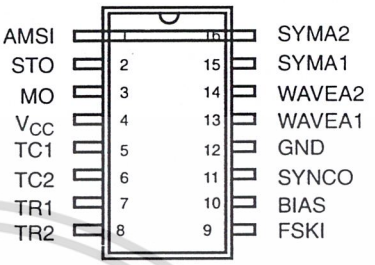


Figure 1. XR-2206 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



16 Lead PDIP, CDIP (0.300")



16 Lead SOIC (Jedec, 0.300")

PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	AMSI	I	**Amplitude Modulating Signal Input.**
2	STO	O	**Sine or Triangle Wave Output.**
3	MO	O	**Multiplier Output.**
4	V_{CC}		**Positive Power Supply.**
5	TC1	I	**Timing Capacitor Input.**
6	TC2	I	**Timing Capacitor Input.**
7	TR1	O	**Timing Resistor 1 Output.**
8	TR2	O	**Timing Resistor 2 Output.**
9	FSKI	I	**Frequency Shift Keying Input.**
10	BIAS	O	**Internal Voltage Reference.**
11	SYNCO	O	**Sync Output.** This output is a open collector and needs a pull up resistor to V_{CC}.
12	GND		**Ground pin.**
13	WAVEA1	I	**Wave Form Adjust Input 1.**
14	WAVEA2	I	**Wave Form Adjust Input 2.**
15	SYMA1	I	**Wave Symetry Adjust 1.**
16	SYMA2	I	**Wave Symetry Adjust 2.**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

DC ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of *Figure 2* **Vcc = 12V, T_A = 25°C, C = 0.01µF, R_1 = 100kΩ, R_2 = 10kΩ, R_3 = 25kΩ** Unless Otherwise Specified. S_1 open for triangle, closed for sine wave.

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
General Characteristics								
Single Supply Voltage	**10**		**26**	10		26	V	
Split-Supply Voltage	**±5**		**±13**	±5		±13	V	
Supply Current		12	**17**		14	20	mA	$R_1 \geq 10k\Omega$
Oscillator Section								
Max. Operating Frequency	**0.5**	1		0.5	1		MHz	C = 1000pF, R_1 = 1kΩ
Lowest Practical Frequency		0.01			0.01		Hz	C = 50µF, R_1 = 2MΩ
Frequency Accuracy		±1	**±4**		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability Frequency		±10	**±50**		±20		ppm/°C	0°C ≤ T_A ≤ 70°C $R_1 = R_2$ = 20kΩ
Sine Wave Amplitude Stability[2]		4800			4800		ppm/°C	
Supply Sensitivity		0.01	**0.1**		0.01		%/V	V_{LOW} = 10V, V_{HIGH} = 20V, $R_1 = R_2$ = 20kΩ
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ R_1 = 1kΩ f_L @ R_1 = 2MΩ
Sweep Linearity								
10:1 Sweep		2			2		%	f_L = 1kHz, f_H = 10kHz
1000:1 Sweep		8			8		%	f_L = 100Hz, f_H = 100kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	**0.001**		100	0.001		100	µF	*Figure 5*
Timing Resistors: R_1 & R_2	**1**		2000	1		2000	kΩ	
Triangle Sine Wave Output[1]								*Figure 3*
Triangle Amplitude		160			160		mV/kΩ	*Figure 2*, S_1 Open
Sine Wave Amplitude	**40**	60	80		60		mV/kΩ	*Figure 2*, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	R_1 = 30kΩ
With Adjustment		0.4	**1.0**		0.5	1.5	%	See *Figure 7* and *Figure 8*

Notes

[1] Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.

[2] For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		ns	C_L = 10pF
Fall Time		50			50		ns	C_L = 10pF
Saturation Voltage		0.2	**0.4**		0.2	0.6	V	I_L = 2mA
Leakage Current		0.1	**20**		0.1	100	µA	V_{CC} = 26V
FSK Keying Level (Pin 9)	0.8	1.4	**2.4**	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	**3.3**	2.5	3	3.5	V	Measured at Pin 10.

Notes
[1] Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.
[2] For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply 26V
Power Dissipation 750mW
Derate Above 25°C ..... 5mW/°C
Total Timing Current 6mA
Storage Temperature ..... -65°C to +150°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO produces an output frequency proportional to an input current, which is set by a resistor from the timing terminals to ground. With two timing pins, two discrete output frequencies can be independently produced for FSK generation applications by using the FSK input control pin. This input controls the current switches which select one of the timing resistor currents, and routes it to the VCO.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

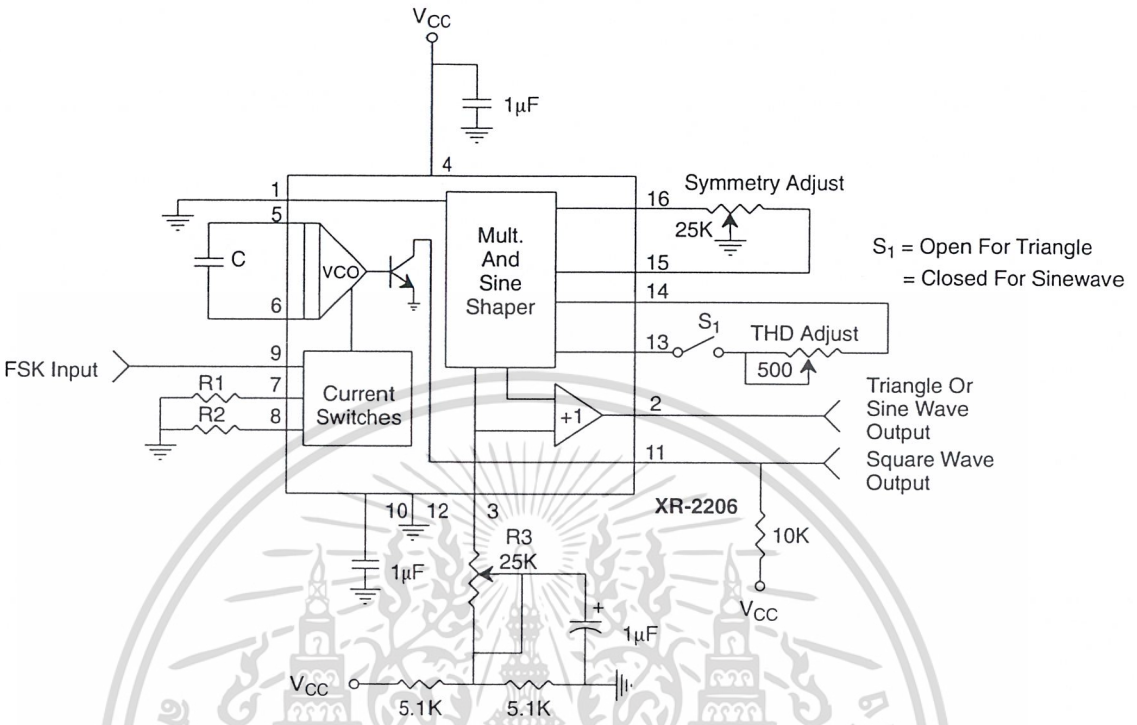


Figure 2. Basic Test Circuit

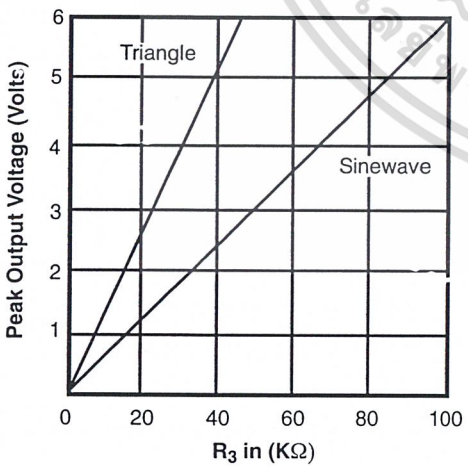


Figure 3. Output Amplitude as a Function of the Resistor, R3, at Pin 3

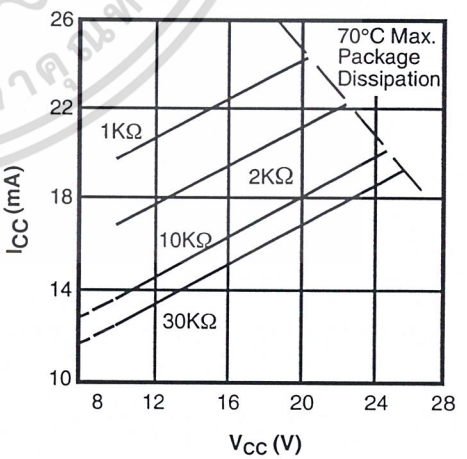


Figure 4. Supply Current vs Supply Voltage, Timing, R

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

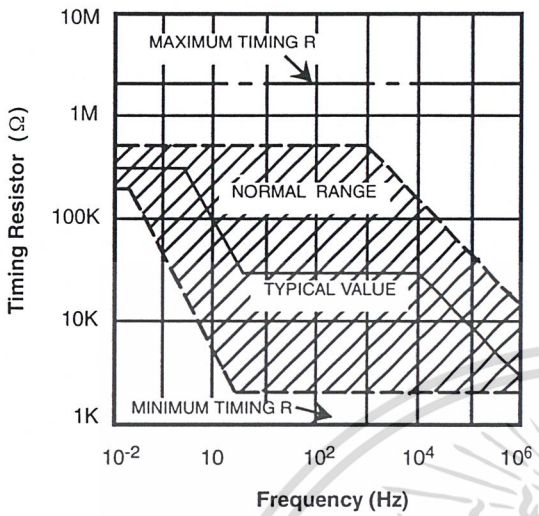


Figure 5. R versus Oscillation Frequency.

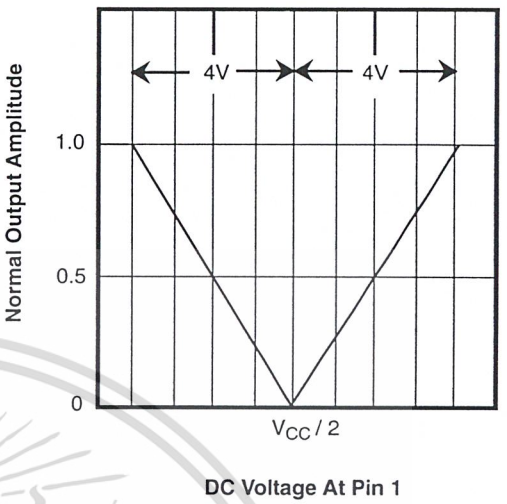


Figure 6. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1)

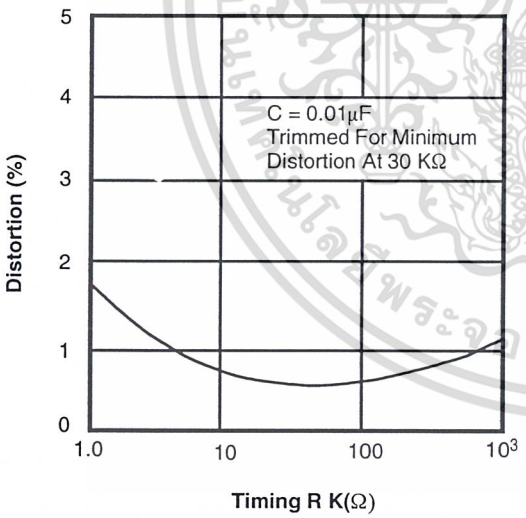


Figure 7. Trimmed Distortion versus Timing Resistor.

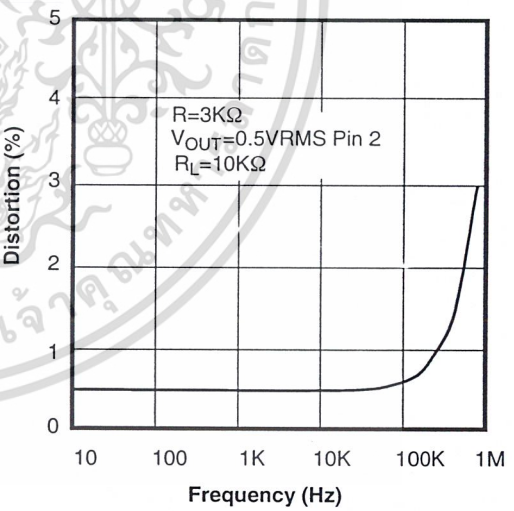


Figure 8. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

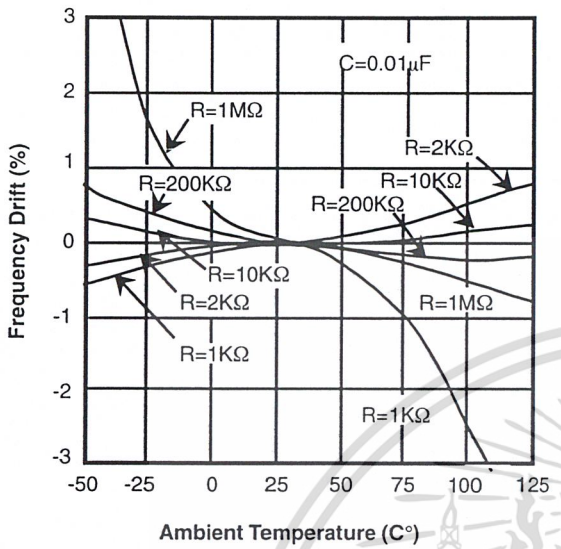


Figure 9. Frequency Drift versus Temperature.

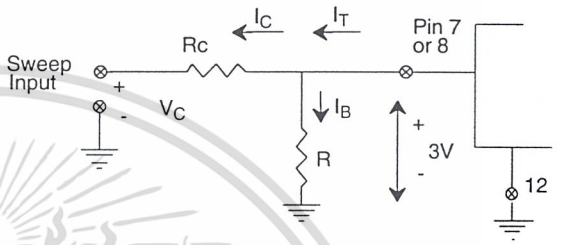


Figure 10. Circuit Connection for Frequency Sweep.

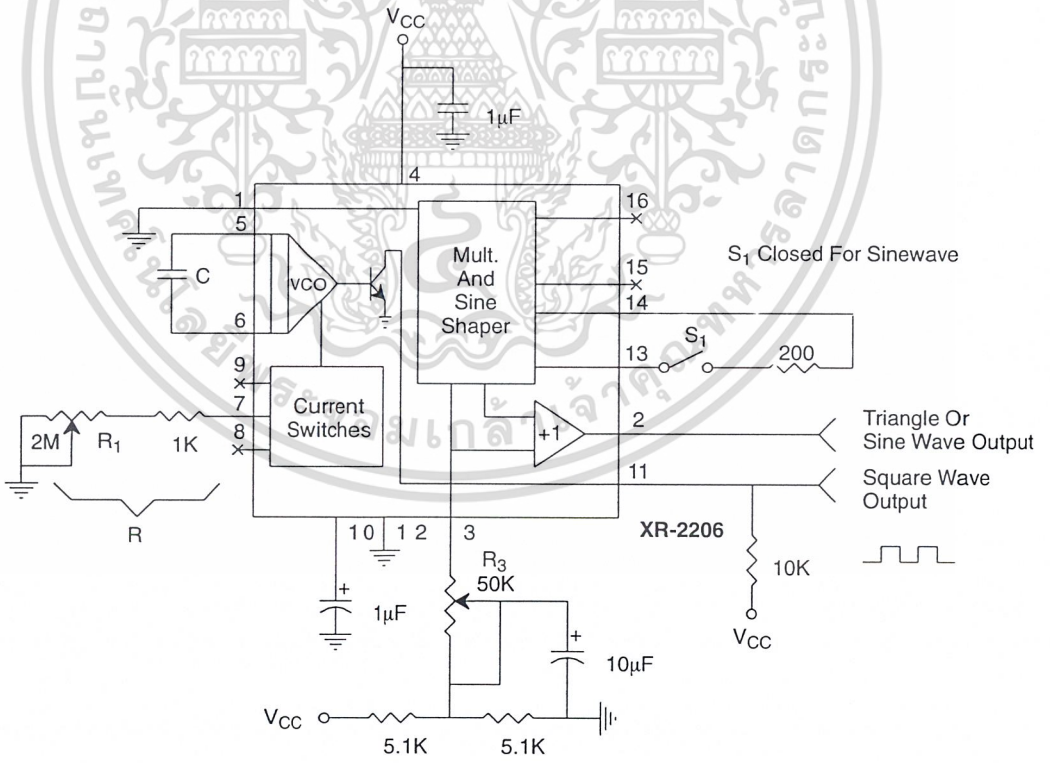


Figure 11. Circuit tor Sine Wave Generation without External Adjustment. (See *Figure 3* for Choice of R_3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

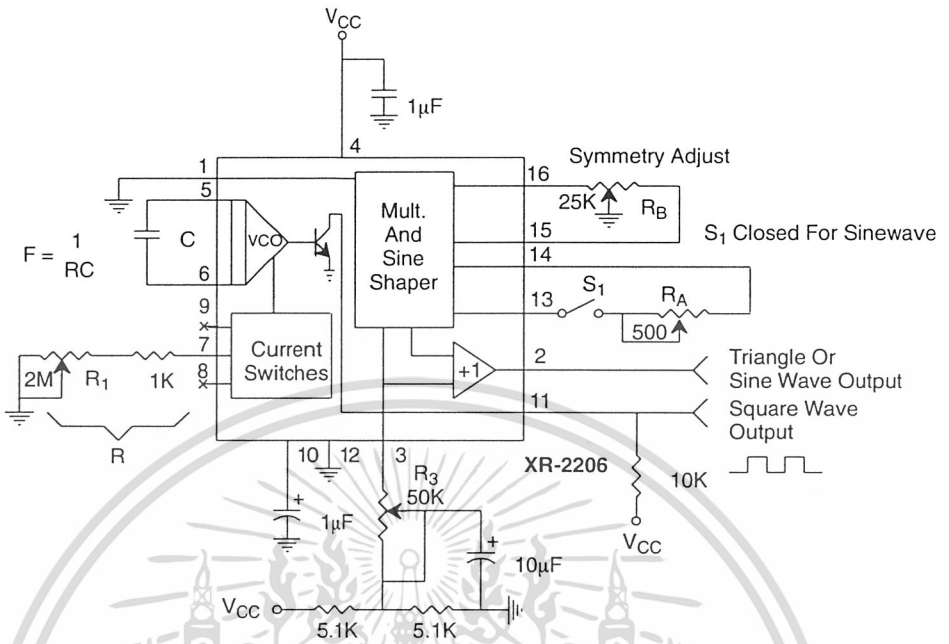


Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing - See *Figure 3*)

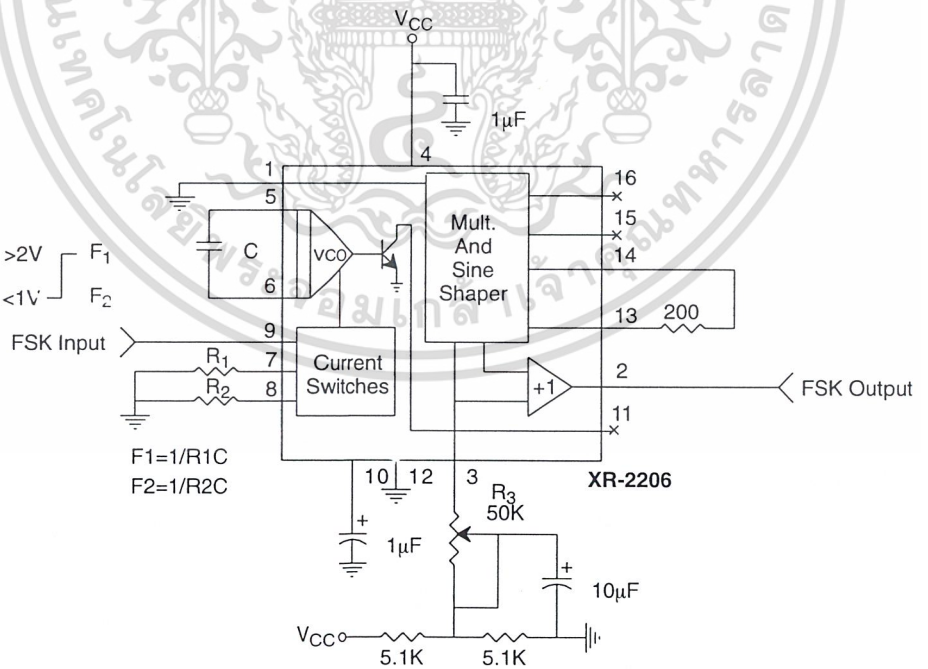


Figure 13. Sinusoidal FSK Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

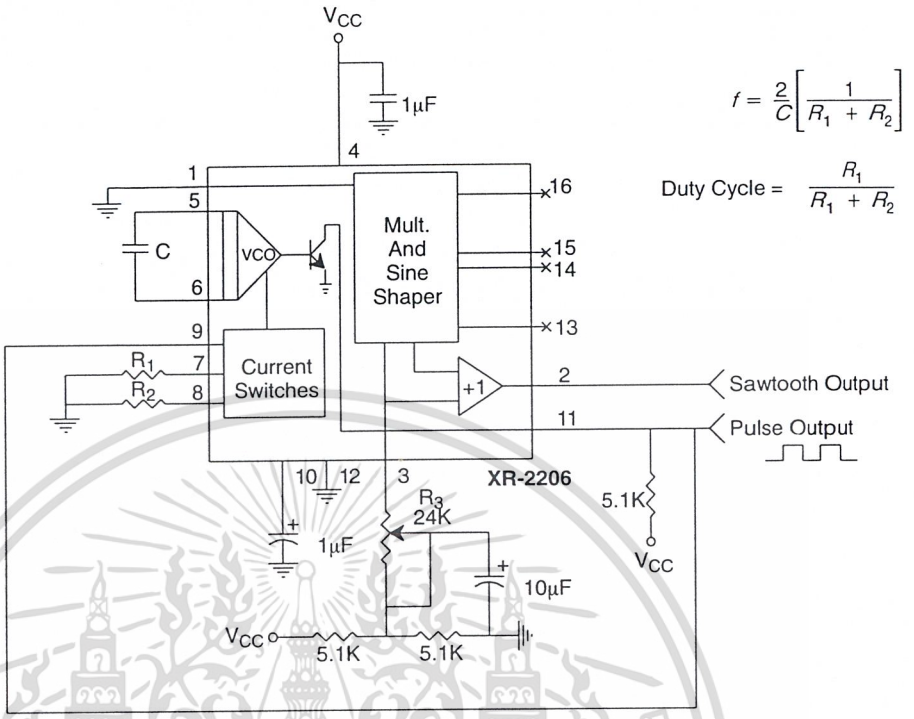


Figure 14. Circuit for Pulse and Ramp Generation.

Frequency-Shift Keying

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in *Figure 13*. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$ 2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels. f_1 and f_2, as:

$f_1 = 1/R_1C$ and $f_2 = 1/R_2C$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In *Figure 11*, *Figure 12* and *Figure 13*, Pin 3 is biased midway between V+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment

Figure 11 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is < 2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of *Figure 11* can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to -0.5% by additional adjustments as shown in *Figure 12.* The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of *Figure 11* and *Figure 12* can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 13 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 14 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99% by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1kΩ to 2MΩ.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_0 = \frac{1}{RC}\ Hz$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in *Figure 5.* Temperature stability is optimum for 4kΩ < R < 200kΩ. Recommended values of C are from 1000pF to 100μF.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320 I_T(mA)}{C(\mu F)}\ Hz$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with IT, over a wide range of current values, from 1μA to 3mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in *Figure 10.* The frequency of oscillation is related to VC as:

$$f = \frac{1}{RC}\left(1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right)\right) Hz$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_C = -\frac{0.32}{R_C C}\ \ Hz/V$$

CAUTION: *For safety operation of the circuit, I_T should be limited to ≤ 3mA.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see *Figure 3*). For sine wave output, amplitude is approximately 60mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160mV peak per kΩ of R_3. Thus, for example, R_3 = 50kΩ would produce approximately 13V sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within 14 volts of $V_{CC}/2$ as shown in *Figure 6.* As this bias level approaches $V_{CC}/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55dB.

CAUTION: *AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of* V_{CC}.

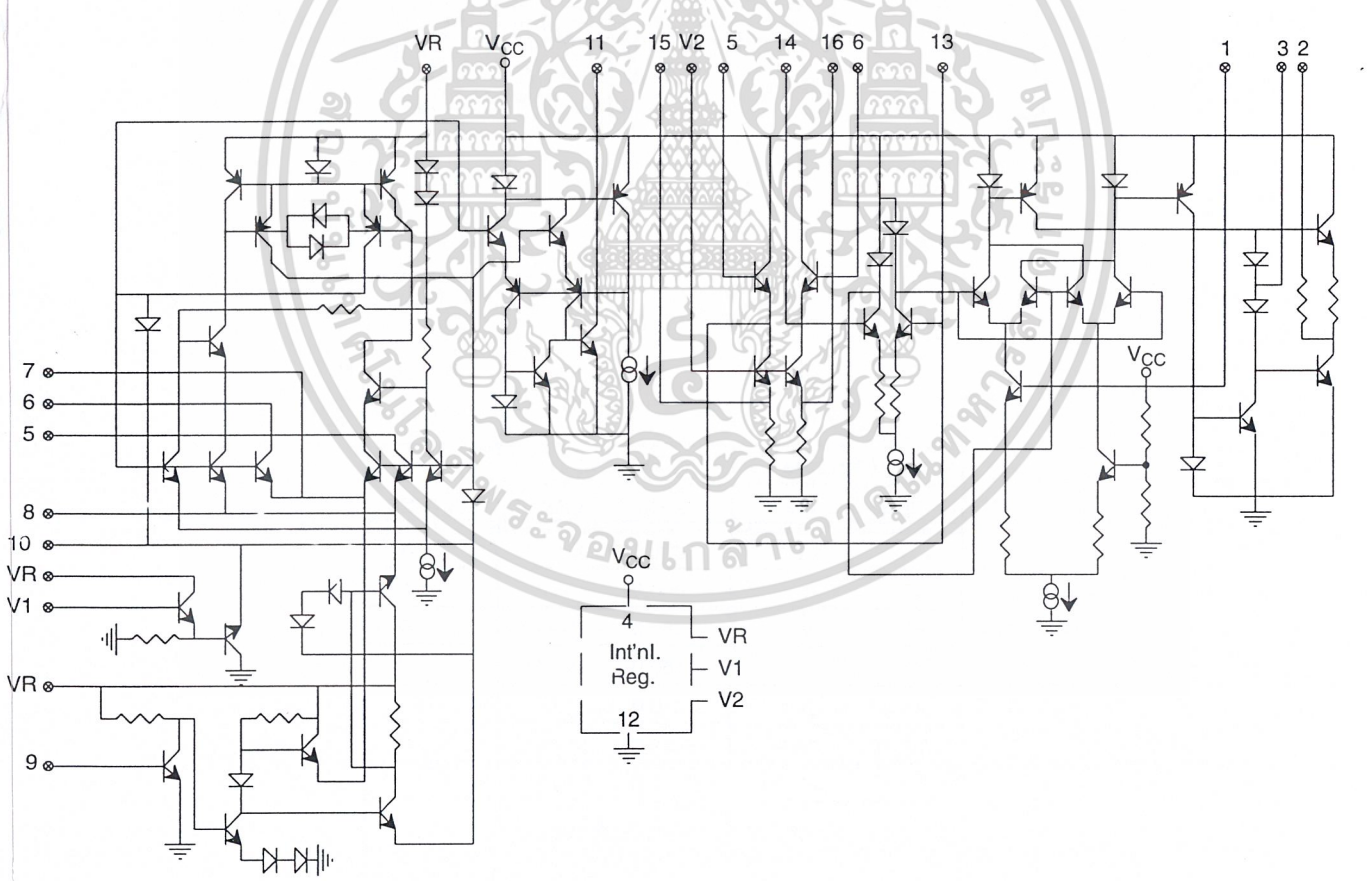


Figure 15. Equivalent Schematic Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±12V
Power Dissipation (Note 1)	1400 mW
Differential Input Voltage	±1V
Operating Temperature Range	
LM565H	−55°C to +125°C
LM565CN	0°C to +70°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 sec.)	260°C

Electrical Characteristics AC Test Circuit, $T_A = 25°C$, $V_{CC} = \pm 6V$

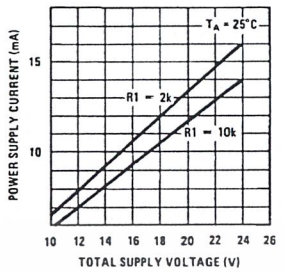
Parameter	Conditions	LM565			LM565C			Units
		Min	Typ	Max	Min	Typ	Max	
Power Supply Current			8.0	12.5		8.0	12.5	mA
Input Impedance (Pins 2, 3)	$-4V < V_2, V_3 < 0V$	7	10			5		kΩ
VCO Maximum Operating Frequency	$C_o = 2.7$ pF	300	500		250	500		kHz
VCO Free-Running Frequency	$C_o = 1.5$ nF $R_o = 20$ kΩ $f_o = 10$ kHz	−10	0	+10	−30	0	+30	%
Operating Frequency Temperature Coefficient			−100			−200		ppm/°C
Frequency Drift with Supply Voltage			0.1	1.0		0.2	1.5	%/V
Triangle Wave Output Voltage		2	2.4	3	2	2.4	3	V_{p-p}
Triangle Wave Output Linearity			0.2			0.5		%
Square Wave Output Level		4.7	5.4		4.7	5.4		V_{p-p}
Output Impedance (Pin 4)			5			5		kΩ
Square Wave Duty Cycle		45	50	55	40	50	60	%
Square Wave Rise Time			20			20		ns
Square Wave Fall Time			50			50		ns
Output Current Sink (Pin 4)		0.6	1		0.6	1		mA
VCO Sensitivity	$f_o = 10$ kHz		6600			6600		Hz/V
Demodulated Output Voltage (Pin 7)	±10% Frequency Deviation	250	300	400	200	300	450	mV_{p-p}
Total Harmonic Distortion	±10% Frequency Deviation		0.2	0.75		0.2	1.5	%
Output Impedance (Pin 7)			3.5			3.5		kΩ
DC Level (Pin 7)		4.25	4.5	4.75	4.0	4.5	5.0	V
Output Offset Voltage $\lvert V_7 - V_6 \rvert$			30	100		50	200	mV
Temperature Drift of $\lvert V_7 - V_6 \rvert$			500			500		μV/°C
AM Rejection		30	40			40		dB
Phase Detector Sensitivity K_D			.68			.68		V/radian

Note 1: The maximum junction temperature of the LM565 and LM565C is + 150°C. For operation at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of + 150°C/W junction to ambient or + 45°C/W junction to case. Thermal resistance of the dual-in-line package is + 85°C/W.

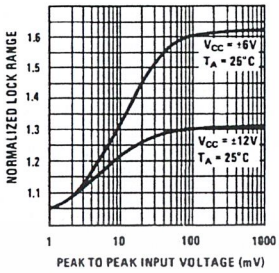
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

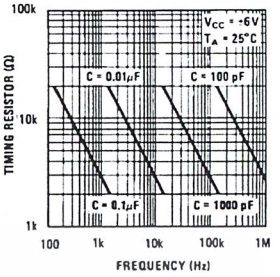
Power Supply Current as a Function of Supply Voltage



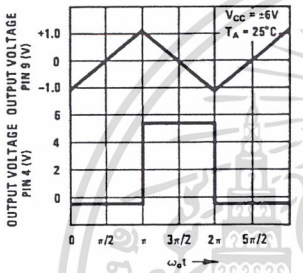
Lock Range as a Function of Input Voltage



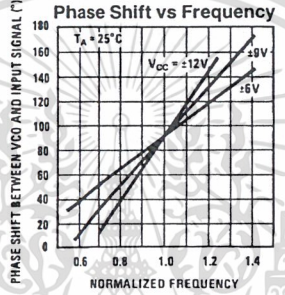
VCO Frequency



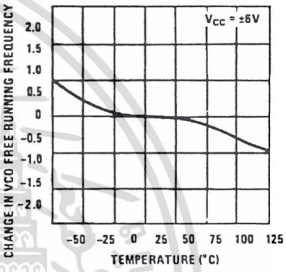
Oscillator Output Waveforms



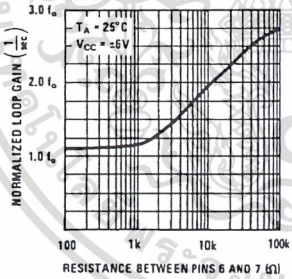
Phase Shift vs Frequency



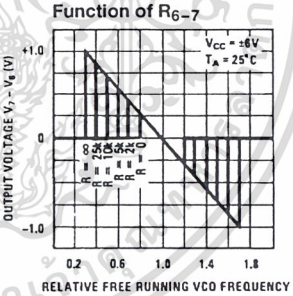
VCO Frequency as a Function of Temperature



Loop Gain vs Load Resistance



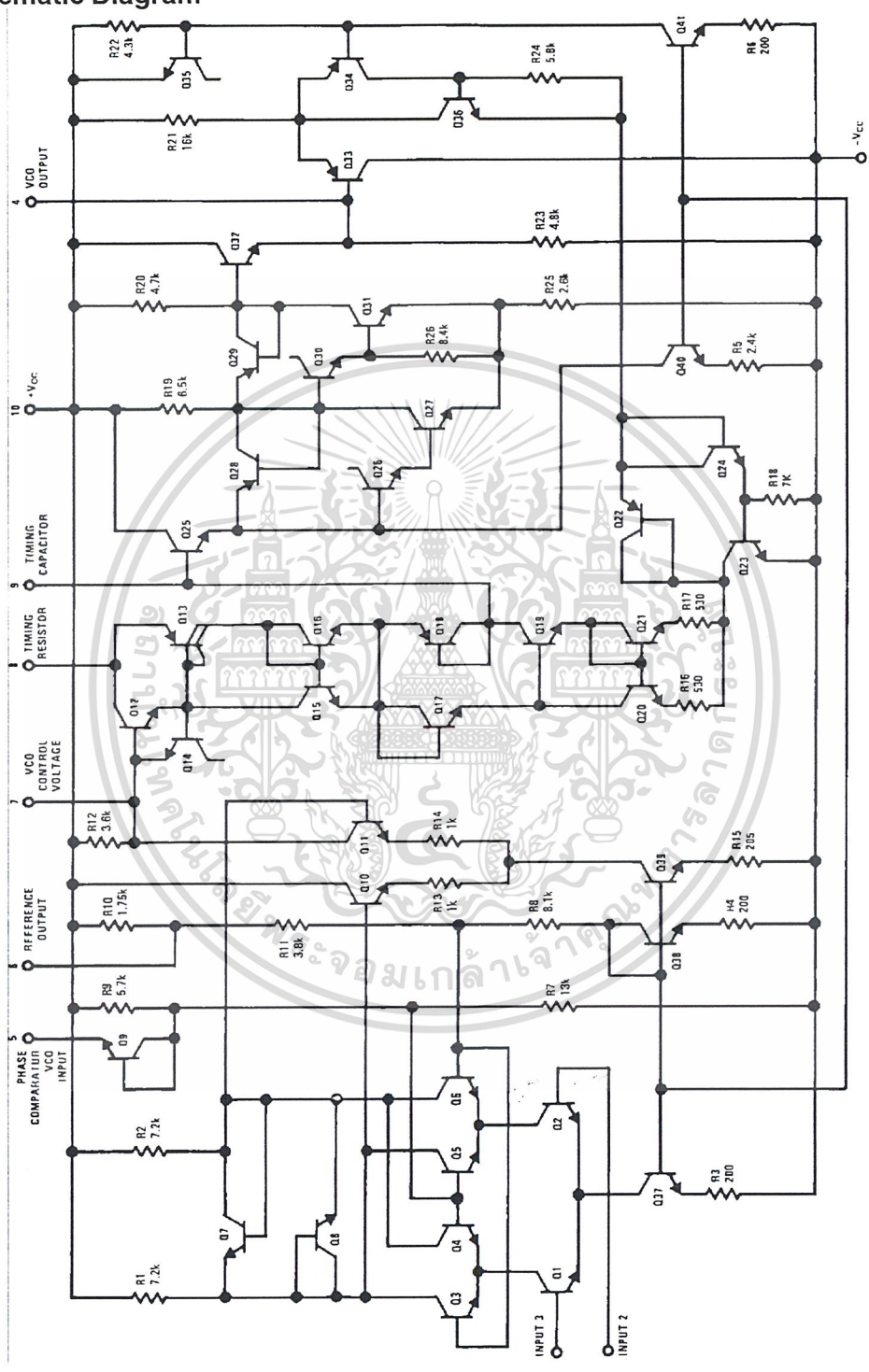
Hold in Range as a Function of R_{6-7}



TL/H/7853–4

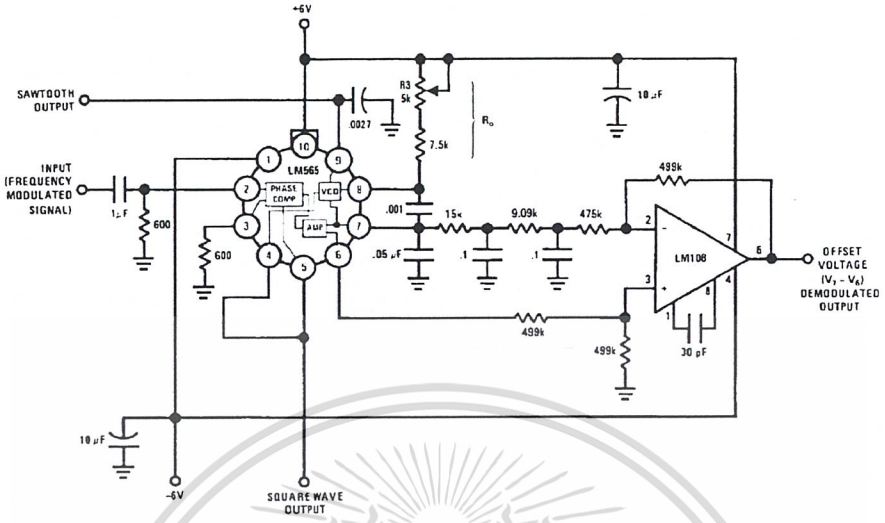
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

AC Test Circuit

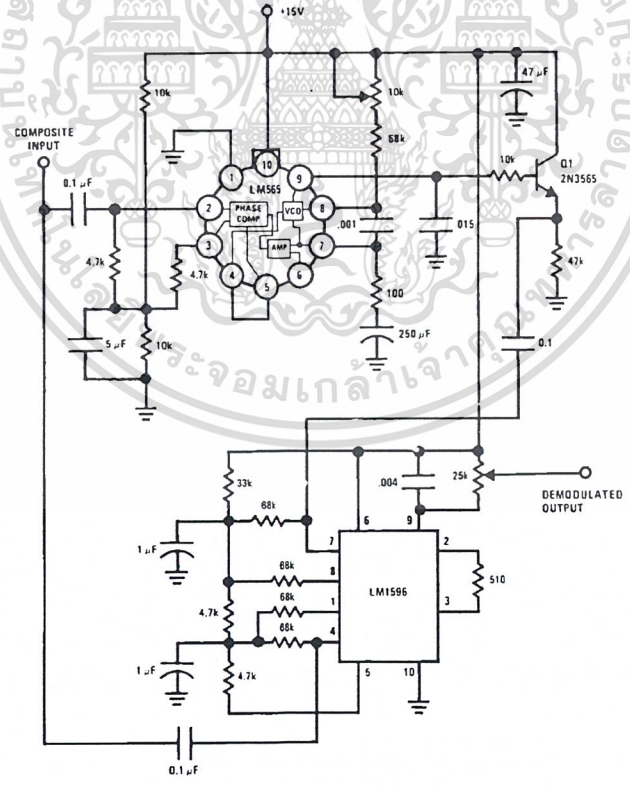


TL/H/7853–5

Note: S_1 open for output offset voltage ($V_7 - V_6$) measurement.

Typical Applications

2400 Hz Synchronous AM Demodulator

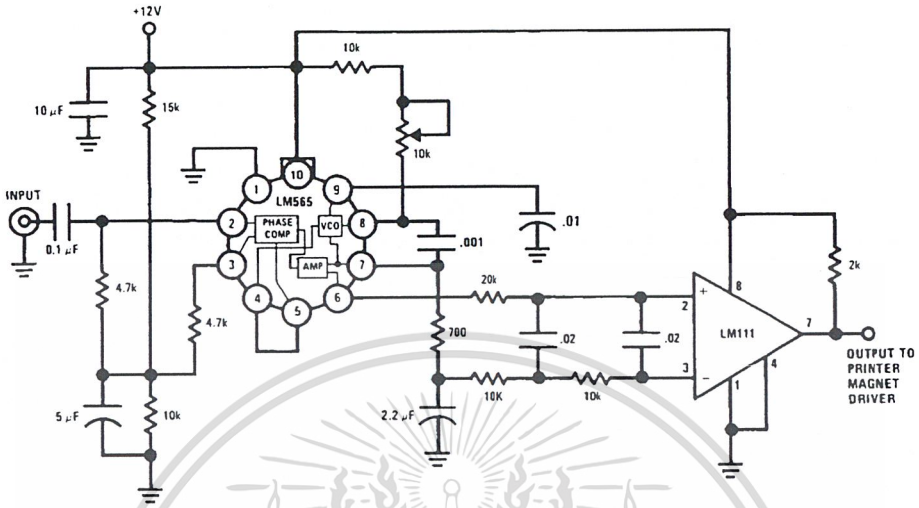


TL/H/7853–6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

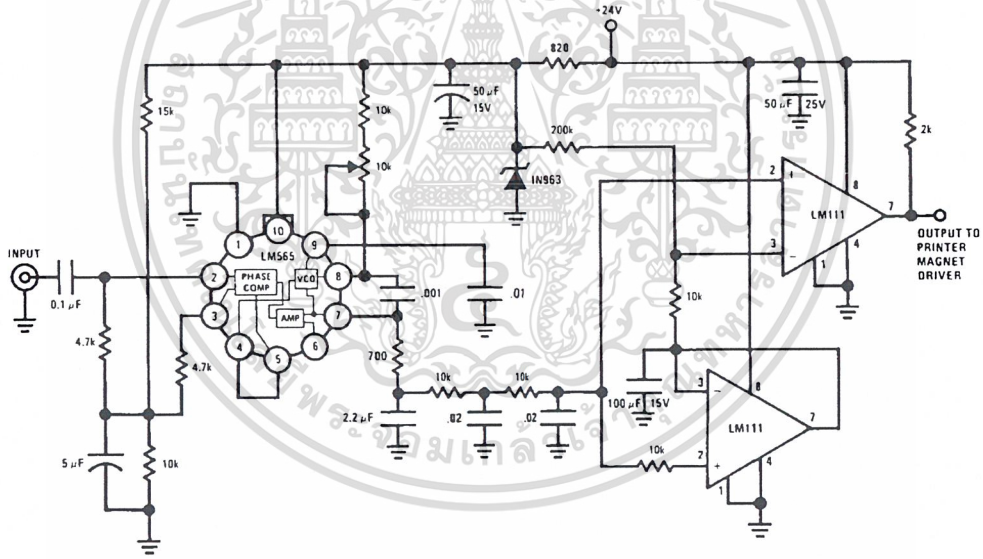
Typical Applications (Continued)

FSK Demodulator (2025–2225 cps)



TL/H/7853–7

FSK Demodulator with DC Restoration

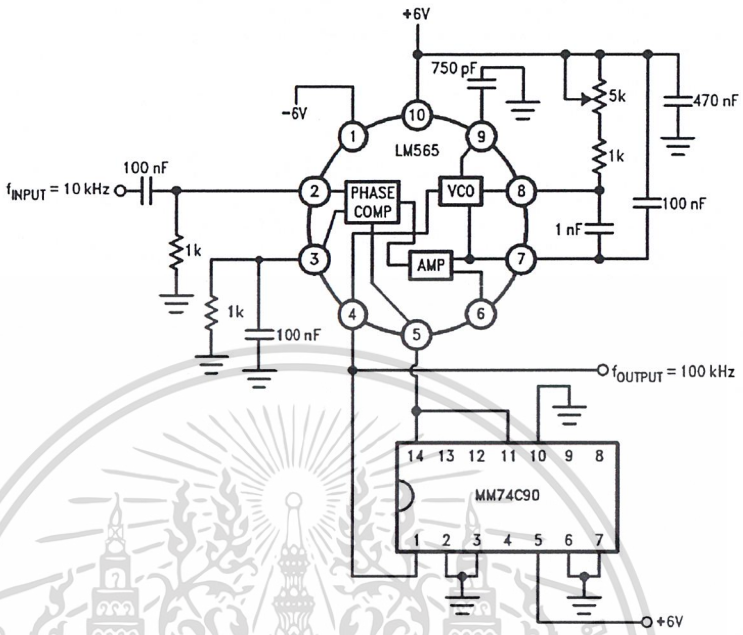


TL/H/7853–8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

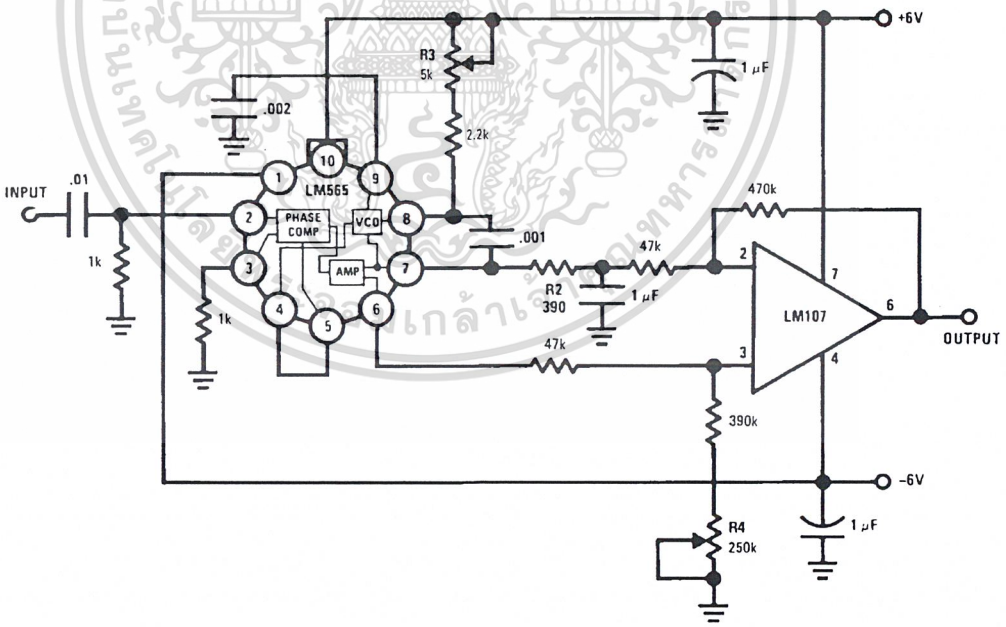
Typical Applications (Continued)

Frequency Multiplier (×10)



TL/H/7853-9

IRIG Channel 13 Demodulator



TL/H/7853-10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

In designing with phase locked loops such as the LM565, the important parameters of interest are:

FREE RUNNING FREQUENCY

$$f_o \cong \frac{0.3}{R_o C_o}$$

LOOP GAIN: relates the amount of phase change between the input signal and the VCO signal for a shift in input signal frequency (assuming the loop remains in lock). In servo theory, this is called the "velocity error coefficient."

$$\text{Loop gain} = K_o K_D \left(\frac{1}{\text{sec}}\right)$$

$$K_o = \text{oscillator sensitivity} \left(\frac{\text{radians/sec}}{\text{volt}}\right)$$

$$K_D = \text{phase detector sensitivity} \left(\frac{\text{volts}}{\text{radian}}\right)$$

The loop gain of the LM565 is dependent on supply voltage, and may be found from:

$$K_o K_D = \frac{33.6\, f_o}{V_c}$$

f_o = VCO frequency in Hz

V_c = total supply voltage to circuit

Loop gain may be reduced by connecting a resistor between pins 6 and 7; this reduces the load impedance on the output amplifier and hence the loop gain.

HOLD IN RANGE: the range of frequencies that the loop will remain in lock after initially being locked.

$$f_H = \pm \frac{8\, f_o}{V_c}$$

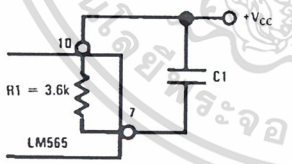
f_o = free running frequency of VCO

V_c = total supply voltage to the circuit

THE LOOP FILTER

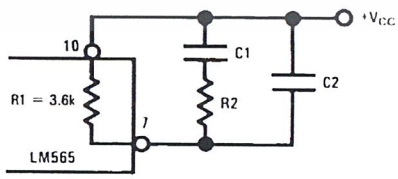
In almost all applications, it will be desirable to filter the signal at the output of the phase detector (pin 7); this filter may take one of two forms:

Simple Lag Filter



TL/H/7853–11

Lag-Lead Filter



TL/H/7853–12

A simple lag filter may be used for wide closed loop bandwidth applications such as modulation following where the frequency deviation of the carrier is fairly high (greater than 10%), or where wideband modulating signals must be followed.

The natural bandwidth of the closed loop response may be found from:

$$f_n = \frac{1}{2\pi} \sqrt{\frac{K_o K_D}{R_1 C_1}}$$

Associated with this is a damping factor:

$$\delta = \frac{1}{2} \sqrt{\frac{1}{R_1 C_1 K_o K_D}}$$

For narrow band applications where a narrow noise bandwidth is desired, such as applications involving tracking a slowly varying carrier, a lead lag filter should be used. In general, if $1/R_1C_1 < K_o K_D$, the damping factor for the loop becomes quite small resulting in large overshoot and possible instability in the transient response of the loop. In this case, the natural frequency of the loop may be found from

$$f_n = \frac{1}{2\pi} \sqrt{\frac{K_o K_D}{\tau_1 + \tau_2}}$$

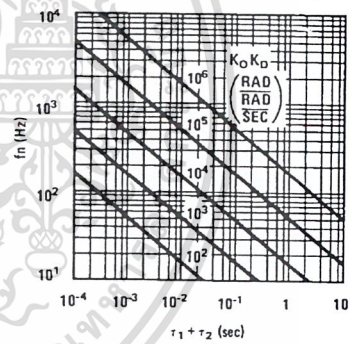
$$\tau_1 + \tau_2 = (R_1 + R_2)\, C_1$$

R_2 is selected to produce a desired damping factor δ, usually between 0.5 and 1.0. The damping factor is found from the approximation:

$$\delta \approx \pi\, \tau_2 f_n$$

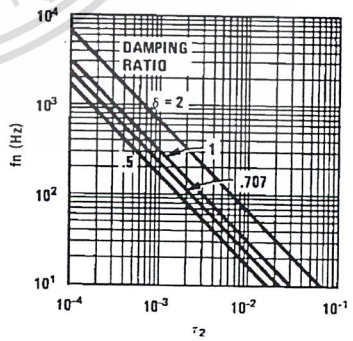
These two equations are plotted for convenience.

Filter Time Constant vs Natural Frequency



TL/H/7853–13

Damping Time Constant vs Natural Frequency

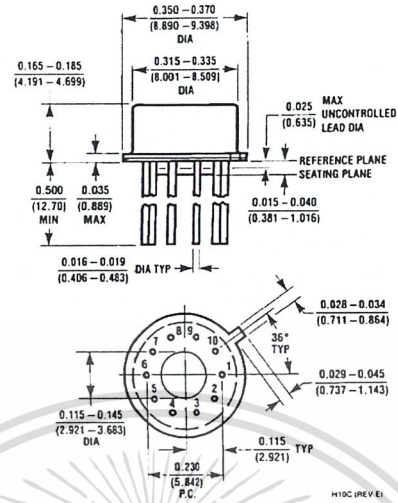


TL/H/7853–14

Capacitor C_2 should be much smaller than C_1 since its function is to provide filtering of carrier. In general $C_2 \leq 0.1\, C_1$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

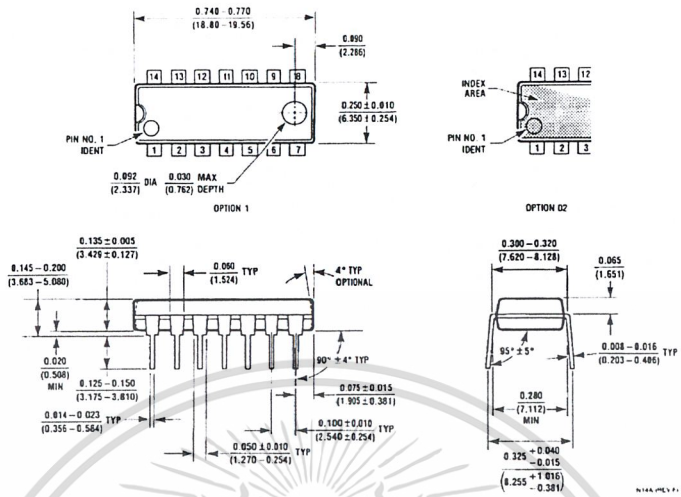
Physical Dimensions inches (millimeters)



Metal Can Package (H)
Order Number LM565H
NS Package Number H10C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



Dual-In-Line Package (N)
Order Number LM565CN
NS Package Number N14A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

May 1999

DAC0830/DAC0832
8-Bit µP Compatible, Double-Buffered D to A Converters

General Description

The DAC0830 is an advanced CMOS/Si-Cr 8-bit multiplying DAC designed to interface directly with the 8080, 8048, 8085, Z80®, and other popular microprocessors. A deposited silicon-chromium R-2R resistor ladder network divides the reference current and provides the circuit with excellent temperature tracking characteristics (0.05% of Full Scale Range maximum linearity error over temperature). The circuit uses CMOS current switches and control logic to achieve low power consumption and low output leakage current errors. Special circuitry provides TTL logic input voltage level compatibility.

Double buffering allows these DACs to output a voltage corresponding to one digital word while holding the next digital word. This permits the simultaneous updating of any number of DACs.

The DAC0830 series are the 8-bit members of a family of microprocessor-compatible DACs (MICRO-DAC™).

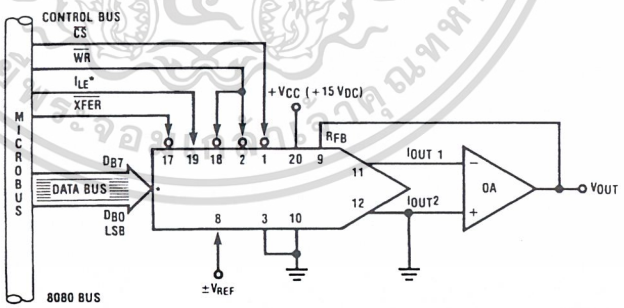
Features

- Double-buffered, single-buffered or flow-through digital data inputs
- Easy interchange and pin-compatible with 12-bit DAC1230 series
- Direct interface to all popular microprocessors
- Linearity specified with zero and full scale adjust only — NOT BEST STRAIGHT LINE FIT.
- Works with ±10V reference-full 4-quadrant multiplication
- Can be used in the voltage switching mode
- Logic inputs which meet TTL voltage level specs (1.4V logic threshold)
- Operates "STAND ALONE" (without µP) if desired
- Available in 20-pin small-outline or molded chip carrier package

Key Specifications

- Current settling time: 1 µs
- Resolution: 8 bits
- Linearity: 8, 9, or 10 bits (guaranteed over temp.)
- Gain Tempco: 0.0002% FS/°C
- Low power dissipation: 20 mW
- Single power supply: 5 to 15 V_{DC}

Typical Application



DS005608-1

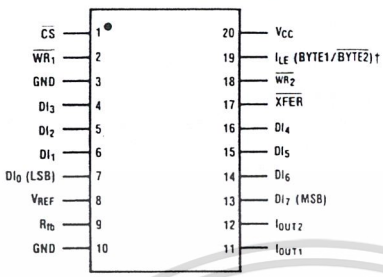
BI-FET™ and MICRO-DAC™ are trademarks of National Semiconductor Corporation.
Z80® is a registered trademark of Zilog Corporation.

© 1999 National Semiconductor Corporation DS005608 www.national.co

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

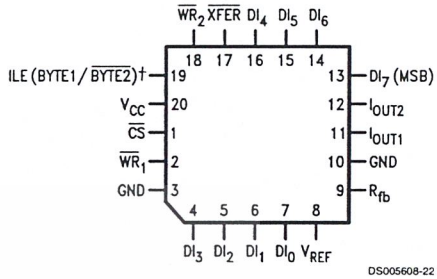
Connection Diagrams (Top Views)

Dual-In-Line and Small-Outline Packages



DS005608-21

Molded Chip Carrier Package



DS005608-22

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1, 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC})	17 V_{DC}
Voltage at Any Digital Input	V_{CC} to GND
Voltage at V_{REF} Input	±25V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A=25°C (Note 3)	500 mW
DC Voltage Applied to I_{OUT1} or I_{OUT2} (Note 4)	−100 mV to V_{CC}
ESD Susceptability (Note 4)	800V
Lead Temperature (Soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Conditions

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
Part numbers with "LCN" suffix	0°C to +70°C
Part numbers with "LCWM" suffix	0°C to +70°C
Part numbers with "LCV" suffix	0°C to +70°C
Part numbers with "LCJ" suffix	−40°C to +85°C
Part numbers with "LJ" suffix	−55°C to +125°C
Voltage at Any Digital Input	V_{CC} to GND

Electrical Characteristics

V_{REF}=10.000 V_{DC} unless otherwise noted. **Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$.** For all other limits T_A=25°C.

Parameter	Conditions	See Note	V_{CC} = 4.75 V_{DC} and V_{CC} = 15.75 V_{DC}		V_{CC} = 5 V_{DC} ±5% and V_{CC} = 12 V_{DC} ±5% to 15 V_{DC} ±5%	Limit Units
			Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
CONVERTER CHARACTERISTICS						
Resolution			8	8	8	bits
Linearity Error Max	Zero and full scale adjusted −10V≤V_{REF}≤+10V	4, 8				
DAC0830LJ & LCJ				0.05	0.05	% FSR
DAC0832LJ & LCJ				0.2	0.2	% FSR
DAC0830LCN, LCWM & LCV				0.05	0.05	% FSR
DAC0831LCN				0.1	0.1	% FSR
DAC0832LCN, LCWM & LCV				0.2	0.2	% FSR
Differential Nonlinearity Max	Zero and full scale adjusted −10V≤V_{REF}≤+10V	4, 8				
DAC0830LJ & LCJ				0.1	0.1	% FSR
DAC0832LJ & LCJ				0.4	0.4	% FSR
DAC0830LCN, LCWM & LCV				0.1	0.1	% FSR
DAC0831LCN				0.2	0.2	% FSR
DAC0832LCN, LCWM & LCV				0.4	0.4	% FSR
Monotonicity	−10V≤V_{REF} ≤+10V LJ & LCJ	4		8	8	bits
	LCN, LCWM & LCV			8	8	bits
Gain Error Max	Using Internal R_{fb} −10V≤V_{REF}≤+10V	7	±0.2	±1	±1	% FS
Gain Error Tempco Max	Using internal R_{fb}		0.0002		0.0006	% FS/°C
Power Supply Rejection	All digital inputs latched high					
	V_{CC}=14.5V to 15.5V		0.0002	0.0025		% FSR/V
	11.5V to 12.5V		0.0006			
	4.5V to 5.5V		0.013	0.015		
Reference Input Max			15	20	20	kΩ
Reference Input Min			15	10	10	kΩ
Output Feedthrough Error	V_{REF}=20 Vp-p, f=100 kHz All data inputs latched low		3			mVp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

V_{REF}=10.000 V_{DC} unless otherwise noted. **Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$.** For all other limit T_A=25°C.

Parameter		Conditions		See Note	V_{CC} = 4.75 V_{DC} V_{CC} = 15.75 V_{DC}		V_{CC} = 5 V_{DC} ±5% V_{CC} = 12 V_{DC} ±5% to 15 V_{DC} ±5%
					Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)
CONVERTER CHARACTERISTICS							
Output Leakage Current Max	I_{OUT1}	All data inputs latched low	LJ & LCJ	10		**100**	**100**
			LCN, LCWM & LCV			50	**100**
	I_{OUT2}	All data inputs latched high	LJ & LCJ			100	**100**
			LCN, LCWM & LCV			50	**100**
Output Capacitance	I_{OUT1} I_{OUT2}	All data inputs latched low			45 115		
	I_{OUT1} I_{OUT2}	All data inputs latched high			130 30		
DIGITAL AND DC CHARACTERISTICS							
Digital Input Voltages	Max	Logic Low	LJ: 4.75V			**0.6**	
			LJ: 15.75V			**0.8**	
			LCJ: 4.75V			**0.7**	
			LCJ: 15.75V			**0.8**	
			LCN, LCWM, LCV			0.95	**0.8**
	Min	Logic High	LJ & LCJ			**2.0**	**2.0**
			LCN, LCWM, LCV			1.9	**2.0**
Digital Input Currents	Max	Digital inputs <0.8V					
			LJ & LCJ		-50	**-200**	**-200**
			LCN, LCWM, LCV			-160	**-200**
		Digital inputs>2.0V					
			LJ & LCJ		0.1	**+10**	**+10**
			LCN, LCWM, LCV			+8	**+10**
Supply Current Drain	Max		LJ & LCJ		1.2	**3.5**	**3.5**
			LCN, LCWM, LCV			1.7	**2.0**

Electrical Characteristics

V_{REF}=10.000 V_{DC} unless otherwise noted. **Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$.** For all other limits T_A=25°C.

Symbol	Parameter	Conditions	See Note	V_{CC}=15.75 V_{DC}		V_{CC}=12 V_{DC}±5% to 15 V_{DC} ±5%	V_{CC}=4.75 V_{DC}		V_{CC}=5 V_{DC}±5%
				Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)
AC CHARACTERISTICS									
t_s	Current Setting Time	V_{IL}=0V, V_{IH}=5V		1.0			1.0		
t_W	Write and XFER Pulse Width Min	V_{IL}=0V, V_{IH}=5V	11	100	250		375	600	
			9		**320**	**320**		**900**	**900**
t_{DS}	Data Setup Time Min	V_{IL}=0V, V_{IH}=5V	9	100	250		375	600	
					320	**320**		**900**	**900**
t_{DH}	Data Hold Time Min	V_{IL}=0V, V_{IH}=5V	9		30			50	
					30			**50**	
t_{CS}	Control Setup Time Min	V_{IL}=0V, V_{IH}=5V	9	110	250		600	900	
					320	**320**		**1100**	**1100**
t_{CH}	Control Hold Time Min	V_{IL}=0V, V_{IH}=5V	9	0	0	**10**	0	0	
					0			**0**	

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when o the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, T_{JMAX} = 125˚C (plastic) or 150˚C (ceramic), and the typical junction-to-ambient thermal resistance of the J package when board mounted is 80˚C/W. For the N package, this number increases to 100˚C/W and for the V package this number is 120˚C/W.

Note 4: For current switching applications, both I_{OUT1} and I_{OUT2} must go to ground or the "Virtual Ground" of an operational amplifier. The linearity error is degraded by approximately $V_{OS} \div V_{REF}$. For example, if V_{REF} = 10V then a 1 mV offset, V_{OS}, on I_{OUT1} or I_{OUT2} will introduce an additional 0.01% linearity error.

Note 5: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 6: Guaranteed, but not 100% production tested. These limits are not used to calculate outgoing quality levels.

Note 7: Guaranteed at V_{REF}=±10 V_{DC} and V_{REF}=±1 V_{DC}.

Note 8: The unit "FSR" stands for "Full Scale Range." "Linearity Error" and "Power Supply Rejection" specs are based on this unit to eliminate dependence on a particular V_{REF} value and to indicate the true performance of the part. The "Linearity Error" specification of the DAC0830 is "0.05% of FSR (MAX)". This guarantees that after performing a zero and full scale adjustment (see Sections 2.5 and 2.6), the plot of the 256 analog voltage outputs will each be within 0.05%xV_{REF} of a straight line which passes through zero and full scale.

Note 9: **Boldface** tested limits apply to the LJ and LCJ suffix parts only.

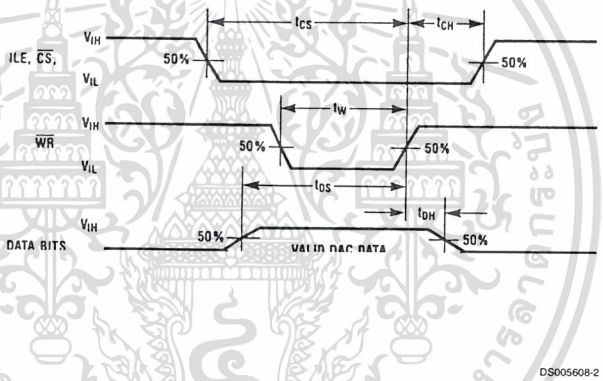
Note 10: A 100nA leakage current with R_{fb}=20k and V_{REF}=10V corresponds to a zero error of $(100x10^{-9}x20x10^{3})x100/10$ which is 0.02% of FS.

Note 11: The entire write pulse must occur within the valid data interval for the specified t_W, t_{DS}, t_{DH}, and t_S to apply.

Note 12: Typicals are at 25˚C and represent most likely parametric norm.

Note 13: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Switching Waveform



DS005608-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Definition of Package Pinouts

Control Signals (All control signals level actuated)

$\overline{CS}$: **Chip Select** (active low). The $\overline{CS}$ in combination with ILE will enable $\overline{WR_1}$.

ILE: **Input Latch Enable** (active high). The ILE in combination with $\overline{CS}$ enables $\overline{WR_1}$.

$\overline{WR_1}$: **Write 1.** The active low $\overline{WR_1}$ is used to load the digital input data bits (DI) into the input latch. The data in the input latch is latched when $\overline{WR_1}$ is high. To update the input latch–$\overline{CS}$ and $\overline{WR_1}$ must be low while ILE is high.

$\overline{WR_2}$: **Write 2** (active low). This signal, in combination with $\overline{XFER}$, causes the 8-bit data which is available in the input latch to transfer to the DAC register.

$\overline{XFER}$: **Transfer control signal** (active low). The $\overline{XFER}$ will enable $\overline{WR_2}$.

Other Pin Functions

DI_0-DI_7: **Digital Inputs.** DI_0 is the least significant bit (LSB) and DI_7 is the most significant bit (MSB).

I_{OUT1}: **DAC Current Output 1.** I_{OUT1} is a maximum for a digital code of all 1's in the DAC register, and is zero for all 0's in DAC register.

I_{OUT2}: **DAC Current Output 2.** I_{OUT2} is a constant minus I_{OUT1}, or $I_{OUT1} + I_{OUT2}$ = constant (I full scale for a fixed reference voltage).

R_{fb}: **Feedback Resistor.** The feedback resistor is provided on the IC chip for use as the shunt fee resistor for the external op amp which is u provide an output voltage for the DAC. Th chip resistor should always be used (not an nal resistor) since it matches the resistors are used in the on-chip R-2R ladder and these resistors over temperature.

V_{REF}: **Reference Voltage Input.** This input conne external precision voltage source to the ir R-2R ladder. V_{REF} can be selected over the of +10 to −10V. This is also the analog volta put for a 4-quadrant multiplying DAC applic

V_{CC}: **Digital Supply Voltage.** This is the power pin for the part. V_{CC} can be from +5 to +1 Operation is optimum for $+15V_{DC}$

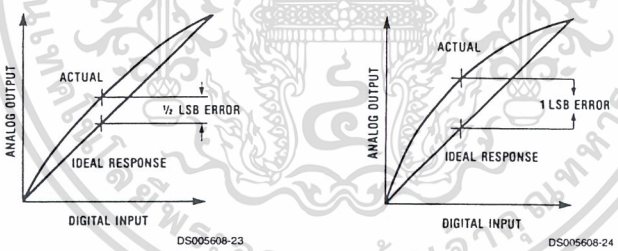
GND: The pin 10 voltage must be at the same g potential as I_{OUT1} and I_{OUT2} for current swi applications. Any difference of potential ($V_{}$ 10) will result in a linearity change of

$$\frac{V_{OS}\ \text{pin 10}}{3V_{REF}}$$

For example, if V_{REF} = 10V and pin 10 is 9mV offse I_{OUT1} and I_{OUT2} the linearity change will be 0.03%.

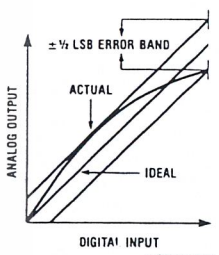
Pin 3 can be offset ±100mV with no linearity change, b logic input threshold will shift.

Linearity Error



a) End point test after zero and fs adj.

b) Best straight line



c) Shifting fs adj. to pass best straight line test

Definition of Terms

Resolution: Resolution is directly related to the number of switches or bits within the DAC. For example, the DAC0830 has 2^8 or 256 steps and therefore has 8-bit resolution.

Linearity Error: Linearity Error is the maximum deviation from a *straight line passing through the endpoints of the DAC transfer characteristic.* It is measured after adjusting for zero and full-scale. Linearity error is a parameter intrinsic to the device and cannot be externally adjusted.

National's linearity "end point test" (a) and the "best straight line" test (b,c) used by other suppliers are illustrated above. The "end point test" greatly simplifies the adjustment procedure by eliminating the need for multiple iterations of checking the linearity and then adjusting full scale until the linearity is met. The "end point test" guarantees that linearity is met after a single full scale adjust. (One adjustment vs. multiple iterations of the adjustment.) The "end point test" u standard zero and F.S. adjustment procedure and is a more stringent test for DAC linearity.

Power Supply Sensitivity: Power supply sensitivity measure of the effect of power supply changes on the full-scale output.

Settling Time: Settling time is the time required from a transition until the DAC output reaches within ±½LSB final output value. Full-scale settling time requires a z full-scale or full-scale to zero output change.

Full Scale Error: Full scale error is a measure of the error between an ideal DAC and the actual device o Ideally, for the DAC0830 series, full scale is V_{REF} − For V_{REF} = 10V and unipolar operation, $V_{FULL\text{-}SC}$ 10,0000V−39mV 9.961V. Full-scale error is adjusta zero.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Definition of Terms (Continued)

Differential Nonlinearity: The difference between any two consecutive codes in the transfer curve from the theoretical 1 LSB to differential nonlinearity.

Monotonic: If the output of a DAC increases for increasing digital input code, then the DAC is monotonic. An 8-bit DAC which is monotonic to 8 bits simply means that increasing digital input codes will produce an increasing analog output.

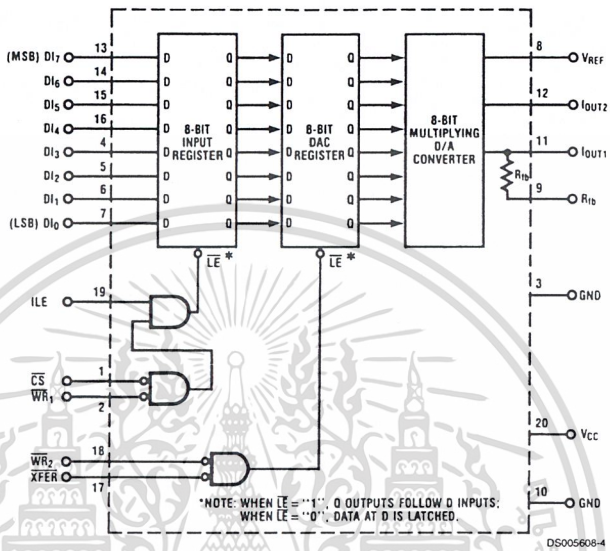
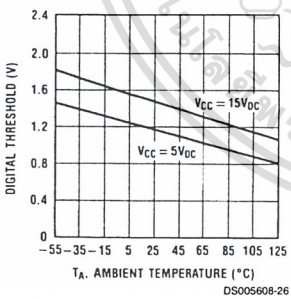


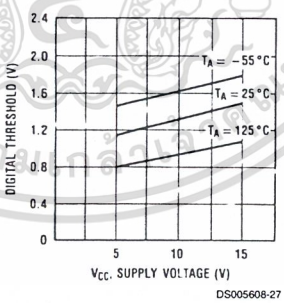
FIGURE 1. DAC0830 Functional Diagram

Typical Performance Characteristics

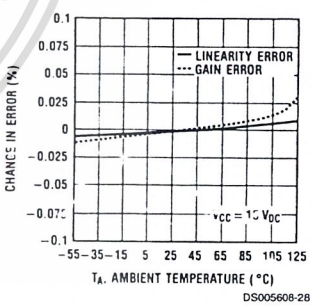
Digital Input Threshold vs. Temperature



Digital Input Threshold vs. V_{CC}



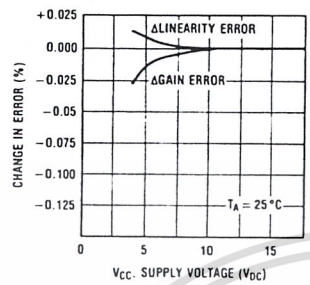
Gain and Linearity Error Variation vs. Temperature



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

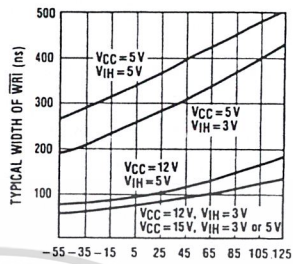
Typical Performance Characteristics (Continued)

Gain and Linearity Error Variation vs. Supply Voltage



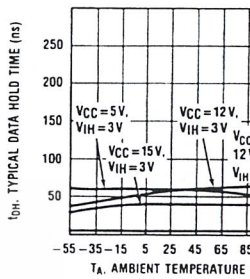
DS005608-29

Write Pulse Width



DS005608-30

Data Hold Time



DAC0830 Series Application Hints

These DAC's are the industry's first microprocessor compatible, double-buffered 8-bit multiplying D to A converters. Double-buffering allows the utmost application flexibility from a digital control point of view. This 20-pin device is also pin for pin compatible (with one exception) with the DAC1230, a 12-bit MICRO-DAC. In the event that a system's analog output resolution and accuracy must be upgraded, substituting the DAC1230 can be easily accomplished. By tying address bit A_0 to the ILE pin, a two-byte µP write instruction (double precision) which automatically increments the address for the second byte write (starting with A_0="1") can be used. This allows either an 8-bit or the 12-bit part to be used with no hardware or software changes. For the simplest 8-bit application, this pin should be tied to V_{CC} (also see other uses in section 1.1).

Analog signal control versatility is provided by a precision R-2R ladder network which allows full 4-quadrant multiplication of a wide range bipolar reference voltage by an applied digital word.

1.0 DIGITAL CONSIDERATIONS

A most unique characteristic of these DAC's is that the 8-bit digital input byte is double-buffered. This means that the data must transfer through two independently controlled 8-bit latching registers before being applied to the R-2R ladder network to change the analog output. The addition of a second register allows two useful control features. First, any DAC in a system can simultaneously hold the current DAC data in one register (DAC register) and the next data word in the second register (input register) to allow fast updating of the DAC output on demand. Second, and probably more important, double-buffering allows any number of DAC's in a system to be updated to their new analog output levels simultaneously via a common strobe signal.

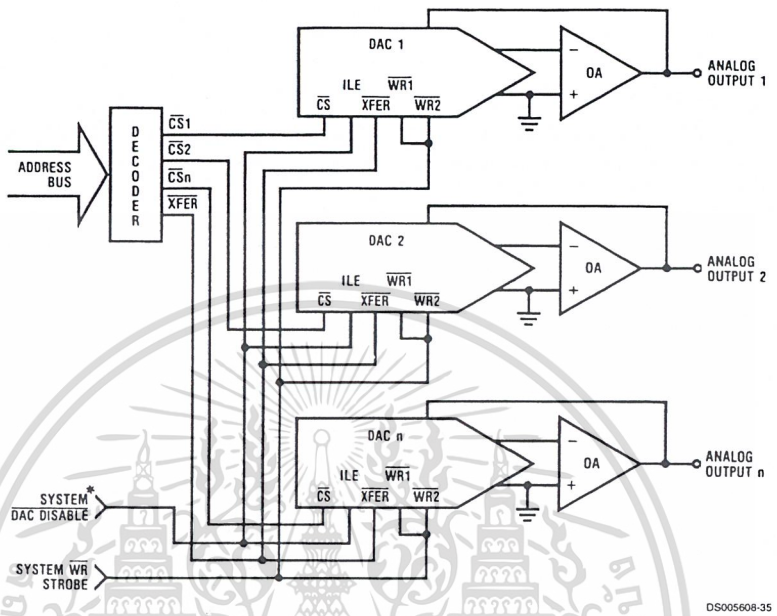
The timing requirements and logic level conventio register control signals have been designed to min eliminate external interfacing logic when applied popular microprocessors and development systen easy to think of these converters as 8-bit "wr memory locations that provide an analog output qua inputs to these DAC's meet TTL voltage level specs also be driven directly with high voltage CMOS non-microprocessor based systems. To prevent dar the chip from static discharge, all unused digita should be tied to V_{CC} or ground. If any of the digita are inadvertantly left floating, the DAC interprets the logic "1".

1.1 Double-Buffered Operation

Updating the analog output of these DAC's double-buffered manner is basically a two step or write operation. In a microprocessor system two unic tem addresses must be decoded, one for the input la trolled by the $\overline{CS}$ pin and a second for the DAC latc is controlled by the $\overline{XFER}$ line. If more than one DAC driven, *Figure 2*, the $\overline{CS}$ line of each DAC would typi decoded individually, but all of the converters could common $\overline{XFER}$ address to allow simultaneous upd any number of DAC's. The timing for this operation is *Figure 3*.

It is important to note that the analog outputs that will after a simultaneous transfer are those from the whose input register had been modified prior to the command.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



*TIE TO LOGIC 1 IF NOT NEEDED (SEE SEC. 1.1).

FIGURE 2. Controlling Mutiple DACs

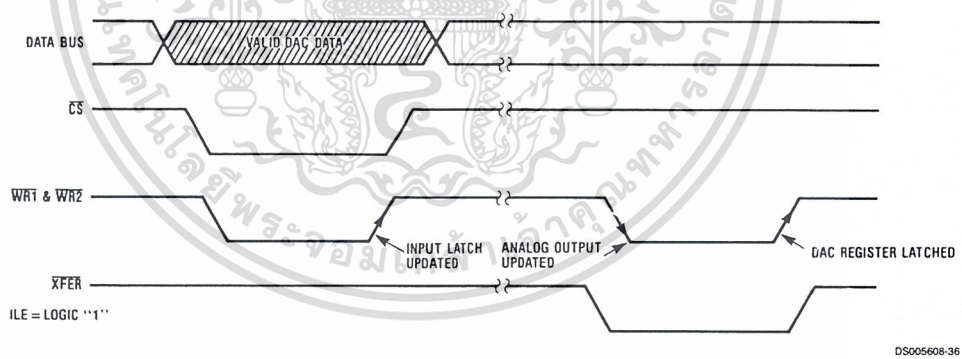


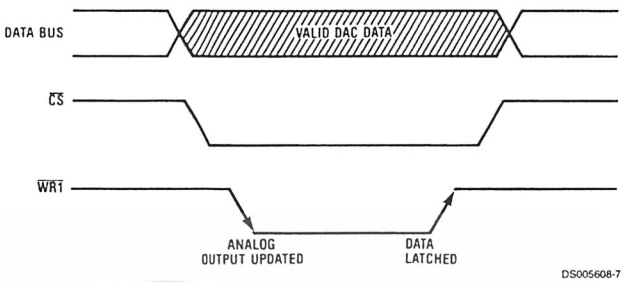
FIGURE 3.

The ILE pin is an active high chip select which can be decoded from the address bus as a qualifier for the normal $\overline{CS}$ signal generated during a write operation. This can be used to provide a higher degree of decoding unique control signals for a particular DAC, and thereby create a more efficient addressing scheme.

Another useful application of the ILE pin of each DAC in a multiple DAC system is to tie these inputs together and use this as a control line that can effectively "freeze" the outputs of all the DAC's at their present value. Pulling this line low latches the input register and prevents new data from being written to the DAC. This can be particularly useful in multiprocessing systems to allow a processor other than the one controlling the DAC's to take over control of the data bus and control lines. If this second system were to use the same addresses as those decoded for DAC control (but for a different purpose) the ILE function would prevent the DAC's from being erroneously altered.

In a "Stand-Alone" system the control signals are generated by discrete logic. In this case double-buffering can be controlled by simply taking $\overline{CS}$ and $\overline{XFER}$ to a logic "0", ILE to a logic "1" and pulling $\overline{WR}_1$ low to load data to the input latch. Pulling $\overline{WR}_2$ low will then update the analog output. A logic "1" on either of these lines will prevent the changing of the analog output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ILE=LOGIC "1"; WR2 and XFER GROUNDED

FIGURE 4.

1.2 Single-Buffered Operation

In a microprocessor controlled system where maximum data throughput to the DAC is of primary concern, or when only one DAC of several needs to be updated at a time, a single-buffered configuration can be used. One of the two internal registers allows the data to flow through and the other register will serve as the data latch.

Digital signal feedthrough (see Section 1.5) is minimized if the input register is used as the data latch. Timing for this mode is shown in *Figure 4*.

Single-buffering in a "stand-alone" system is achieved by strobing $\overline{WR}_1$ low to update the DAC with $\overline{CS}$, $\overline{WR}_2$ and $\overline{XFER}$ grounded and ILE tied high.

1.3 Flow-Through Operation

Though primarily designed to provide microprocessor interface compatibility, the MICRO-DAC's can easily be configured to allow the analog output to continuously reflect the state of an applied digital input. This is most useful in applications where the DAC is used in a continuous feedback control loop and is driven by a binary up-down counter, or in function generation circuits where a ROM is continuously providing DAC data.

Simply grounding $\overline{CS}$, $\overline{WR}_1$, $\overline{WR}_2$, and $\overline{XFER}$ and tying ILE high allows both internal registers to follow the applied digital inputs (flow-through) and directly affect the DAC analog output.

1.4 Control Signal Timing

When interfacing these MICRO-DAC to any microprocessor, there are two important time relationships that must be considered to insure proper operation. The first is the minimum $\overline{WR}$ strobe pulse width which is specified as 900 ns for all valid operating conditions of supply voltage and ambient temperature, but typically a pulse width of only 180ns is adequate if V_{CC}=15V_{DC}. A second consideration is that the guaranteed minimum data hold time of 50ns should be met or erroneous data can be latched. This hold time is c as the length of time data must be held valid on the dig puts *after* a qualified (via $\overline{CS}$) $\overline{WR}$ strobe makes a low transition to latch the applied data.

If the controlling device or system does not inherently these timing specs the DAC can be treated as a memory or peripheral and utilize a technique to exte write strobe. A simple extension of the write time, by a a wait state, can simultaneously hold the write strobe and data valid on the bus to satisfy the minimum $\overline{WR}$ width. If this does not provide a sufficient data hold t the end of the write cycle, a negative edge trig one-shot can be included between the system write and the $\overline{WR}$ pin of the DAC. This is illustrated in *Figur* an exemplary system which provides a 250ns $\overline{WR}$ time with a data hold time of less than 10ns.

The proper data set-up time prior to the latching edge HI transition) of the $\overline{WR}$ strobe, is insured if the $\overline{WR}$ width is within spec and the data is valid on the bus duration of the DAC $\overline{WR}$ strobe.

1.5 Digital Signal Feedthrough

When data is latched in the internal registers, but the inputs are changing state, a narrow spike of current ma out of the current output terminals. This spike is caus the rapid switching of internal logic gates that are respo to the input changes.

There are several recommendations to minimize this When latching data in the DAC, always use the input re as the latch. Second, reducing the V_{CC} supply for the from +15V to +5V offers a factor of 5 improvement magnitude of the feedthrough, but at the expense of ir logic switching speed. Finally, increasing C_C (*Figure* value consistent with the actual circuit bandwidth re ments can provide a substantial damping effect on ar put spikes.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

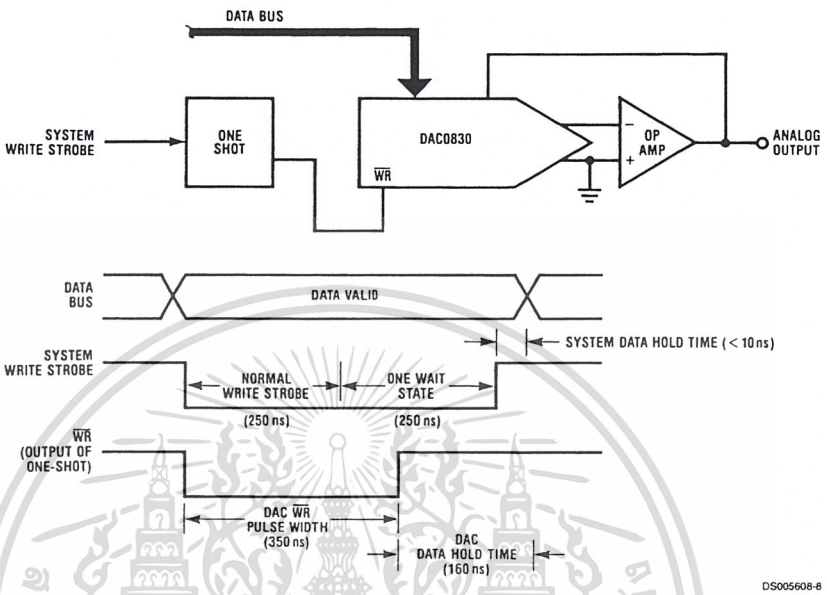


FIGURE 5. Accommodating a High Speed System

2.0 ANALOG CONSIDERATIONS

The fundamental purpose of any D to A converter is to provide an accurate analog output quantity which is representative of the applied digital word. In the case of the DAC0830, the output, I_{OUT1}, is a current directly proportional to the product of the applied reference voltage and the digital input word. For application versatility, a second output, I_{OUT2}, is provided as a current directly proportional to the complement of the digital input. Basically:

$$I_{OUT1} = \frac{V_{REF}}{15\,k\Omega} \times \frac{\text{Digital Input}}{256};$$

$$I_{OUT2} = \frac{V_{REF}}{15\,k\Omega} \times \frac{255 - \text{Digital Input}}{256}$$

where the digital input is the decimal (base 10) equivalent of the applied 8-bit binary word (0 to 255), V_{REF} is the voltage at pin 8 and 15 kΩ is the nominal value of the internal resistance, R, of the R-2R ladder network (discussed in Section 2.1).

Several factors external to the DAC itself must be considered to maintain analog accuracy and are covered in subsequent sections.

2.1 The Current Switching R-2R Ladder

The analog circuitry, *Figure 6*, consists of a silicon-chromium (SiCr or Si-chrome) thin film R-2R ladder which is deposited on the surface oxide of the monolithic chip. As a result, there are no parasitic diode problems with the ladder (as there may be with diffused resistors) so the reference voltage, V_{REF}, can range −10V to +10V even if V_{CC} for the device is $5V_{DC}$.

The digital input code to the DAC simply controls the position of the SPDT current switches and steers the available ladder current to either I_{OUT1} or I_{OUT2} as determined by the logic input level ("1" or "0") respectively, as shown in *Figure 6*. The MOS switches operate in the current mode with a small voltage drop across them and can therefore switch currents of either polarity. This is the basis for the 4-quadrant multiplying feature of this DAC.

2.2 Basic Unipolar Output Voltage

To maintain linearity of output current with changes in the applied digital code, it is important that the voltages at both of the current output pins be as near ground potential ($0V_{DC}$) as possible. With V_{REF}=+10V every millivolt appearing at either I_{OUT1} or I_{OUT2} will cause a 0.01% linearity error. In most applications this output current is converted to a voltage by using an op amp as shown in *Figure 7*.

The inverting input of the op amp is a "virtual ground" created by the feedback from its output through the internal 15 kΩ resistor, R_{fb}. All of the output current (determined by the digital input and the reference voltage) will flow through R_{fb} to the output of the amplifier. Two-quadrant operation can be obtained by reversing the polarity of V_{REF} thus causing I_{OUT1} to flow into the DAC and be sourced from the output of the amplifier. The output voltage, in either case, is always equal to $I_{OUT1} \times R_{fb}$ and is the opposite polarity of the reference voltage.

The reference can be either a stable DC voltage source or an AC signal anywhere in the range from −10V to +10V. The DAC can be thought of as a digitally controlled attenuator: the output voltage is always less than or equal to the applied reference voltage. The V_{REF} terminal of the device presents a nominal impedance of 15 kΩ to ground to external circuitry.

Always use the internal R_{fb} resistor to create an output voltage since this resistor matches (and tracks with temperature) the value of the resistors used to generate the output current (I_{OUT1}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

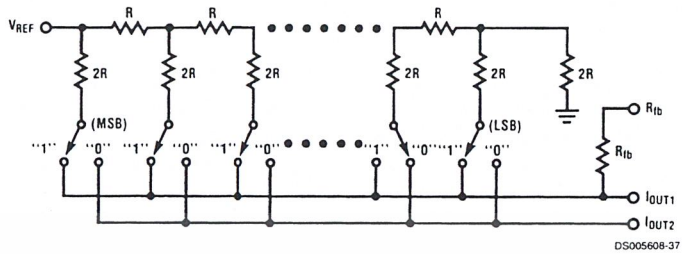


FIGURE 6.

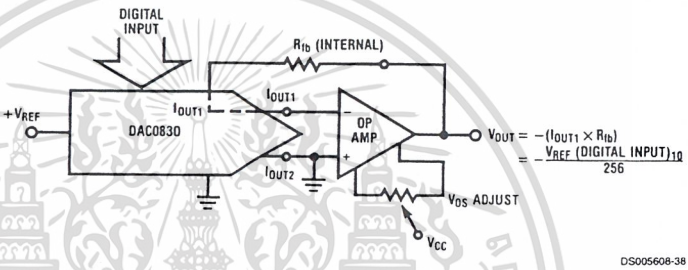


FIGURE 7.

2.3 Op Amp Considerations

The op amp used in *Figure 7* should have offset voltage nulling capability (See Section 2.5).

The selected op amp should have as low a value of input bias current as possible. The product of the bias current times the feedback resistance creates an output voltage error which can be significant in low reference voltage applications. BI-FET™ op amps are highly recommended for use with these DACs because of their very low input current.

Transient response and settling time of the op amp are important in fast data throughput applications. The largest stability problem is the feedback pole created by the feedback resistance, R_{fb}, and the output capacitance of the DAC. This appears from the op amp output to the (–) input and includes the stray capacitance at this node. Addition of a lead capacitance, C_C in *Figure 8*, greatly reduces overshoot and ringing at the output for a step change in DAC output current.

Finally, the output voltage swing of the amplifier must be greater than V_{REF} to allow reaching the full scale output voltage. Depending on the loading on the output of the amplifier and the available op amp supply voltages (only ±12 volts in many development systems), a reference voltage less than 10 volts may be necessary to obtain the full analog output voltage range.

2.4 Bipolar Output Voltage with a Fixed Reference

The addition of a second op amp to the previous circuitry can be used to generate a bipolar output voltage from a fixed reference voltage. This, in effect, gives sign significance to the MSB of the digital input word and allows two-quadrant multiplication of the reference voltage. The polarity of the reference can also be reversed to realize full 4-quadrant multiplication: $\pm V_{REF} \times \pm$Digital Code$= \pm V_{OUT}$. This circuit is shown in *Figure 9*.

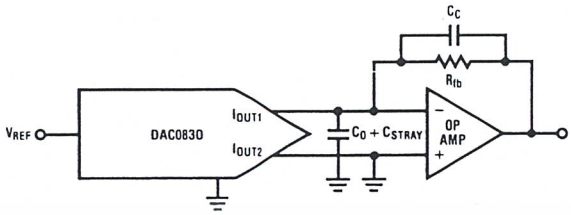
This configuration features several improvements over ing circuits for bipolar outputs with other multiplying Only the offset voltage of amplifier 1 has to be nulled t serve linearity of the DAC. The offset voltage error second op amp (although a constant output voltage has no effect on linearity. It should be nulled only if ab output accuracy is required. Finally, the values of the tors around the second amplifier do not have to match ternal DAC resistors, they need only to match and ten ture track each other. A thin film 4-resistor network ava from Beckman Instruments, Inc. (part no. 694-3-R10K ideally suited for this application. These resistor matched to 0.1% and exhibit only 5 ppm/°C resistance ing temperature coefficient. Two of the four available resistors can be paralleled to form R in *Figure 9* a other two can be used independently as the resistanc beled 2R.

2.5 Zero Adjustment

For accurate conversions, the input offset voltage of th put amplifier must always be nulled. Amplifier offset create an overall degradation of DAC linearity.

The fundamental purpose of zeroing is to make the v appearing at the DAC outputs as near $0V_{DC}$ as po This is accomplished for the typical DAC — op amp co tion (*Figure 7*) by shorting out R_{fb}, the amplifier feedba sistor, and adjusting the V_{OS} nulling potentiometer of amp until the output reads zero volts. This is done, of c with an applied digital code of all zeros if I_{OUT1} is drivi op amp (all one's for I_{OUT2}). The short around R_{fb} is th moved and the converter is zero adjusted.

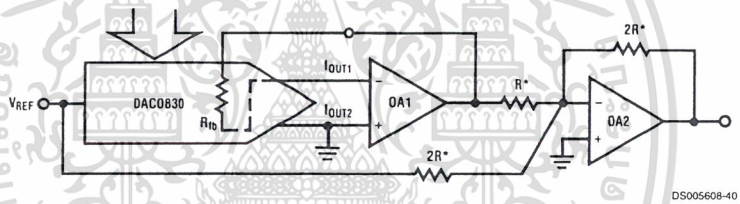
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



OP Amp	C_C	t_s (0 to Full Scale)
LF356	22 pF	4 µs
LF351	22 pF	5 µs
LF357*	10 pF	2 µs

*2.4 kΩ RESISTOR ADDED FROM–INPUT TO GROUND TO INSURE STABILITY

FIGURE 8.



$$V_{OUT} = V_{REF} \frac{(\text{DIGITAL CODE} - 128)}{128}$$

$$1\ \text{LSB} = \frac{|V_{REF}|}{128}$$

Input Code								IDEAL V_{OUT}	
MSB							LSB	$+V_{REF}$	$-V_{REF}$
1	1	1	1	1	1	1	1	$V_{REF} - 1$ LSB	$-\|V_{REF}\| + 1$ LSB
1	1	0	0	0	0	0	0	$V_{REF}/2$	$-\|V_{REF}\|/2$
1	0	0	0	0	0	0	0	0	0
0	1	1	1	1	1	1	1	-1 LSB	$+1$ LSB
0	0	1	1	1	1	1	1	$-\frac{\|V_{REF}\|}{2} - 1$ LSB	$\frac{\|V_{REF}\|}{2} + 1$ LSB
0	0	0	0	0	0	0	0	$-\|V_{REF}\|$	$+\|V_{REF}\|$

*THESE RESISTORS ARE AVAILABLE FROM BECKMAN INSTRUMENTS, INC. AS THEIR PART NO. 694-3-R10K-D

FIGURE 9.

2.6 Full-Scale Adjustment

In the case where the matching of R_{fb} to the R value of the R-2R ladder (typically ±0.2%) is insufficient for full-scale accuracy in a particular application, the V_{REF} voltage can be adjusted or an external resistor and potentiometer can be added as shown in *Figure 10* to provide a full-scale adjustment.

The temperature coefficients of the resistors used for this adjustment are of an important concern. To prevent degradation of the gain error temperature coefficient by the external resistors, their temperature coefficients ideally would have to match that of the internal DAC resistors, which is a highly impractical constraint. For the values shown in *Figure 10*, if the resistor and the potentiometer each had a temperature coefficient of ±100 ppm/°C maximum, the overall gain error temperature coefficent would be degraded a maximum of 0.0025%/°C for an adjustment pot setting of less than 3% of R_{fb}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0830 Series Application Hints

(Continued)

2.7 Using the DAC0830 in a Voltage Switching Configuration

The R-2R ladder can also be operated as a voltage switching network. In this mode the ladder is used in an inverted manner from the standard current switching configuration.

The reference voltage is connected to one of the cur put terminals (I_{OUT1} for true binary digital control, I_{OU} complementary binary) and the output voltage is tak the normal V_{REF} pin. The converter output is now a in the range from 0V to 255/256 V_{REF} as a function o plied digital code as shown in *Figure 11*.

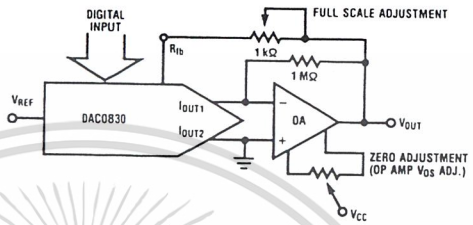


FIGURE 10. Adding Full-Scale Adjustment

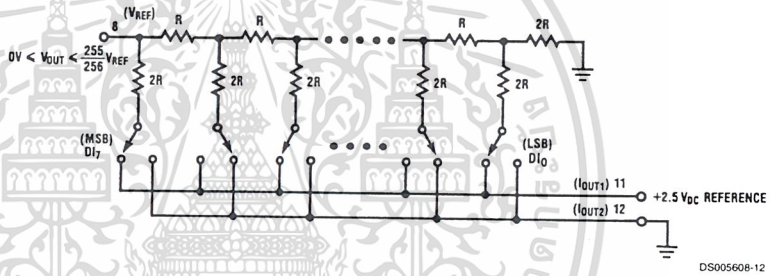
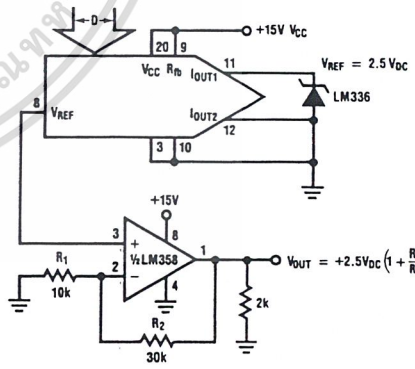


FIGURE 11. Voltage Mode Switching

This configuration offers several useful application advantages. Since the output is a voltage, an external op amp is not necessarily required but the output impedance of the DAC is fairly high (equal to the specified reference input resistance of 10 kΩ to 20 kΩ) so an op amp may be used for buffering purposes. Some of the advantages of this mode are illustrated in *Figures 12, 13, 14, 15*.

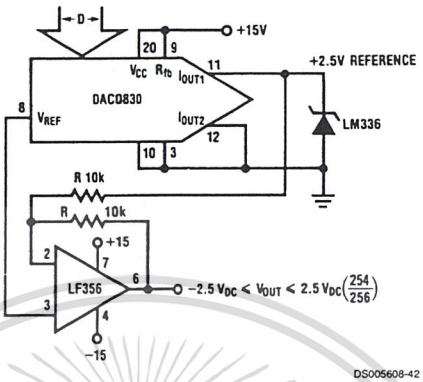
There are two important things to keep in mind when using this DAC in the voltage switching mode. The applied reference voltage must be positive since there are internal parasitic diodes from ground to the I_{OUT1} and I_{OUT2} terminals which would turn on if the applied reference went negative. There is also a dependence of conversion linearity and gain error on the voltage difference between V_{CC} and the voltage applied to the normal current output terminals. This is a result of the voltage drive requirements of the ladder switches. To ensure that all 8 switches turn on sufficiently (so as not to add significant resistance to any leg of the ladder and thereby introduce additional linearity and gain errors) it is recommended that the applied reference voltage be kept less than $+5V_{DC}$ and V_{CC} be at least 9V more positive than V_{REF}. These restrictions ensure less than 0.1% linearity and gain error change. *Figures 16, 17, 18* characterize the effects of bringing V_{REF} and V_{CC} closer together as well as typical temperature performance of this voltage switching configuration.



- Voltage switching mode eliminates output signal sion and therefore a need for a negative power su
- Zero code output voltage is limited by the low level saturation voltage of the op amp. The 2 kΩ pull-do sistor helps to reduce this voltage.
- V_{OS} of the op amp has no effect on DAC linearity

FIGURE 12. Single Supply DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



- $V_{OUT} = 2.5V\left(\frac{D}{128} - 1\right)$
- Slewing and settling time for a full scale output change is $\approx 1.8\ \mu s$

FIGURE 13. Obtaining a Bipolar Output from a Fixed Reference with a Single Op Amp

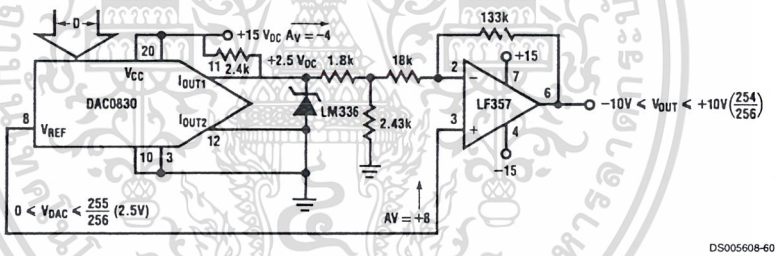
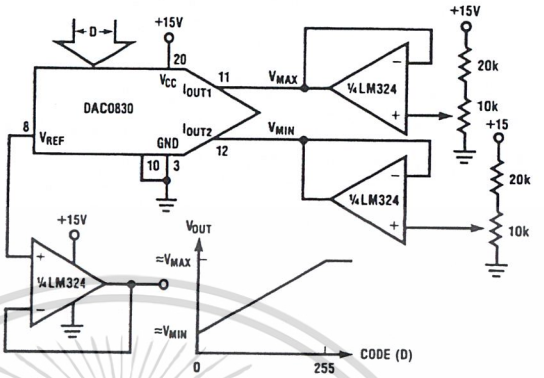


FIGURE 14. Bipolar Output with Increased Output Voltage Swing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

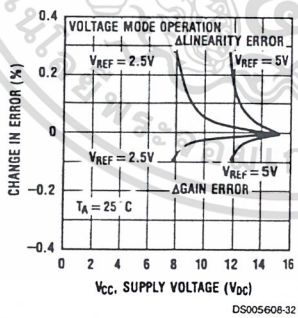


DS005608-14

- Only a single +15V supply required
- Non-interactive full-scale and zero code output adjustments
- V_{MAX} and V_{MIN} must be $\leq$ +5VDC and $\geq$ 0V.
- Incremental Output Step $= \frac{1}{256}(V_{MAX} - V_{MIN})$.
- $V_{OUT} = \frac{D}{256}(V_{MAX} - V_{MIN}) + \frac{255}{256}V_{MIN}$

FIGURE 15. Single Supply DAC with Level Shift and Span-Adjustable Output

Gain and Linearity Error Variation vs. Supply Voltage

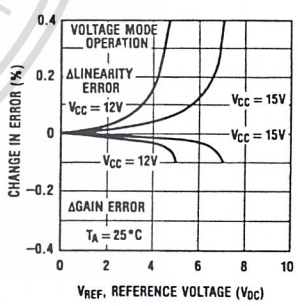


DS005608-32

Note: For these curves, V_{REF} is the voltage applied to pin 11 (I_{OUT1}) with pin 12 (I_{OUT2}) grounded.

FIGURE 16.

Gain and Linearity Error Variation vs. Reference Voltage



DS005608-33

FIGURE 17.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Gain and Linearity Error Variation vs. Temperature

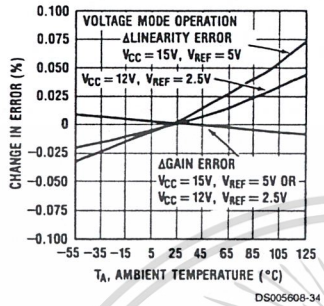


FIGURE 18.

2.8 Miscellaneous Application Hints

These converters are CMOS products and reasonable care should be exercised in handling them to prevent catastrophic failures due to static discharge.

Conversion accuracy is only as good as the applied reference voltage so providing a stable source over time and temperature changes is an important factor to consider.

A "good" ground is most desirable. A single point ground distribution technique for analog signals and supply returns keeps other devices in a system from affecting the output of the DACs.

During power-up supply voltage sequencing, the −15V (or −12V) supply of the op amp may appear first. This will cause the output of the op amp to bias near the negative supply potential. No harm is done to the DAC, however, as the on-chip 15 kΩ feedback resistor sufficiently limits the current flow from I_{OUT1} when this lead is internally clamped to one diode drop below ground.

Careful circuit construction with minimization of lead lengths around the analog circuitry, is a primary concern. Good high frequency supply decoupling will aid in preventing inadvertant noise from appearing on the analog output.

Overall noise reduction and reference stability is of particular concern when using the higher accuracy versions, the DAC0830 and DAC0831, or their advantages are wasted.

3.0 GENERAL APPLICATION IDEAS

The connections for the control pins of the digital input registers are purposely omitted. Any of the control formats discussed in Section 1 of the accompanying text will work with any of the circuits shown. The method used depends on the overall system provisions and requirements.

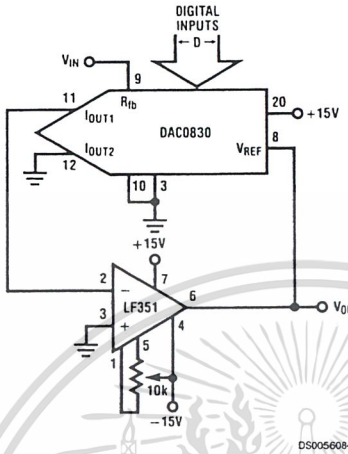
The digital input code is referred to as D and represents the decimal equivalent value of the 8-bit binary input, for example:

Binary Input								D
Pin 13						Pin 7		Decimal
MSB						LSB		Equivalent
1	1	1	1	1	1	1	1	255
1	0	0	0	0	0	0	0	128
0	0	0	1	0	0	0	0	16
0	0	0	0	0	0	1	0	2
0	0	0	0	0	0	0	0	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

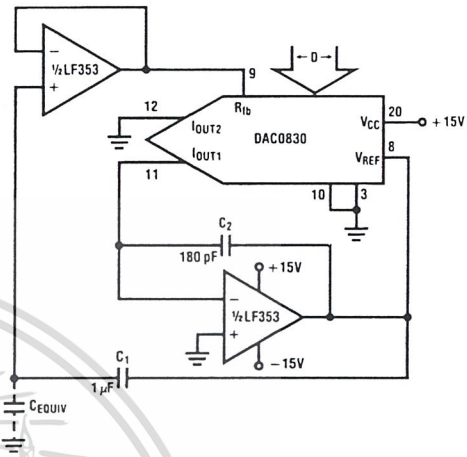
Applications

DAC Controlled Amplifier (Volume Control)



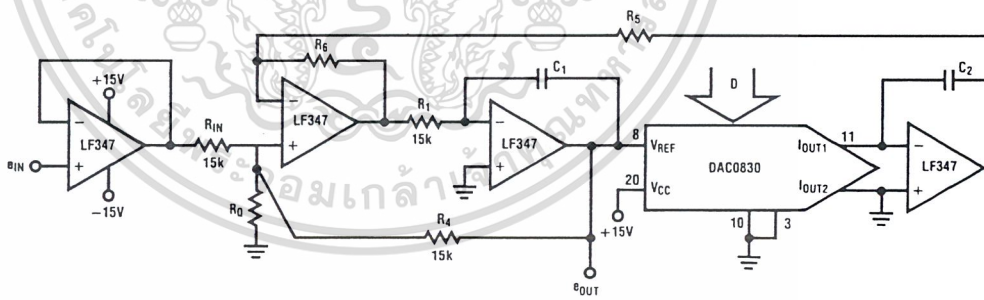
- $V_{OUT} = \frac{-V_{IN}(256)}{D}$
- When D=0, the amplifier will go open loop and the output will saturate.
- Feedback impedance from the −input to the output varies from 15 kΩ to ∞ as the input code changes from full−scale to zero.

Capacitance Multiplier



- $C_{EQUIV} = C_1\left(1 + \frac{256}{D}\right)$
- Maximum voltage across the equivalent capacitance is limited to $\frac{V_{O\,MAX}\ (op\ amp)}{1 + \frac{256}{D}}$
- C_2 is used to improve settling time of op amp.

Variable f_O, Variable Q_O, Constant BW Bandpass Filter



- $f_O = \frac{\sqrt{\frac{KD}{256}}}{2\pi R_1 C}$; $Q_O = \sqrt{\frac{KD}{256}}\frac{(2R_Q + R_1)}{R_Q(K+1)}$; $3dbBW = \frac{R_Q(K+1)}{2\pi R_1 C(2R_Q + R1)}$

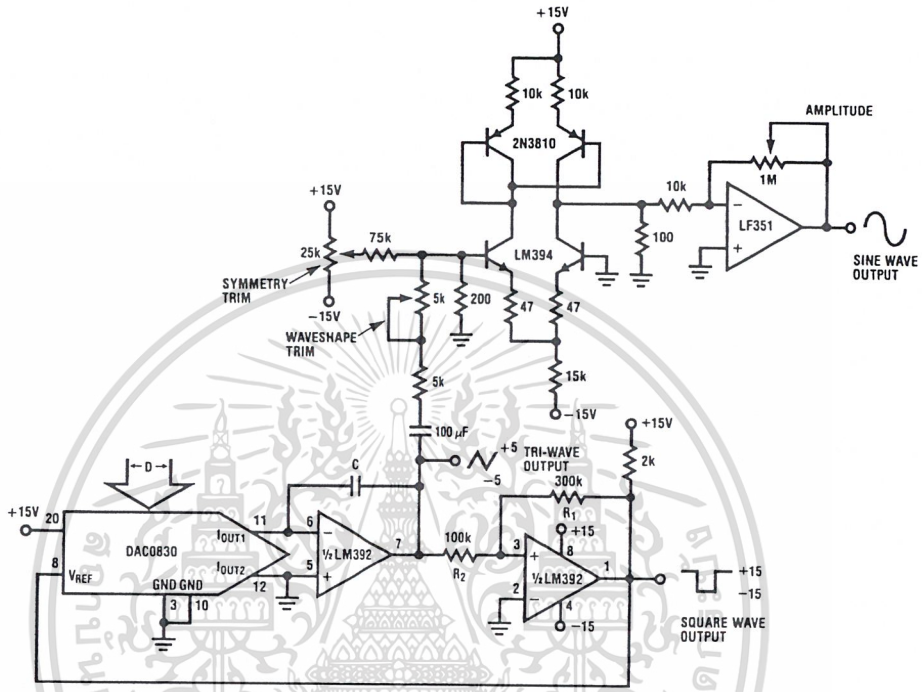
  where $C_1 = C_2 = C$; $K = \frac{R_6}{R_5}$ and R_1 = R of DAC = 15k

- $H_O = 1$ for $R_{IN} = R_4 = R_1$
- Range of f_O and Q is ≈16 to 1 for circuit shown. The range can be extended to 255 to 1 by replacing R_1 with a second DAC0830 driven by the same digital input word.
- Maximum f_O x Q product should be ≤ 200 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications (Continued)

DAC Controlled Function Generator



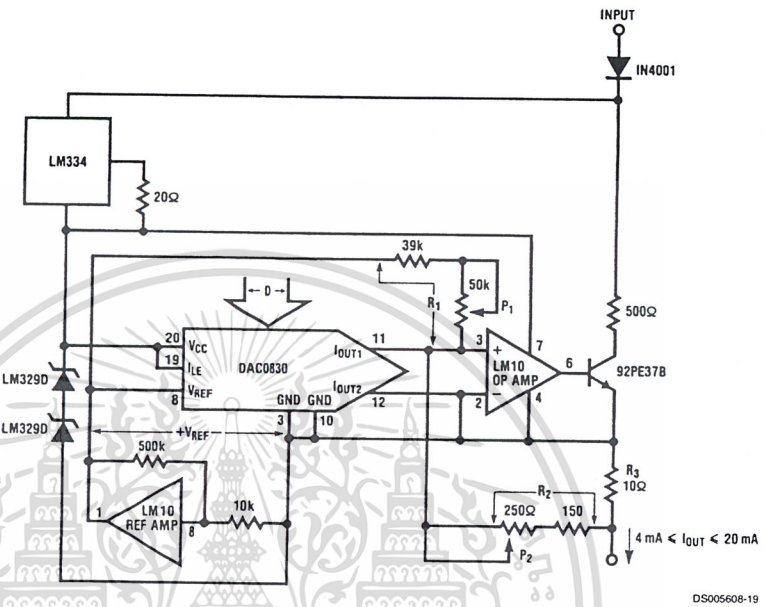
DS005608-18

- DAC controls the frequency of sine, square, and triangle outputs.
- $f = \frac{D}{256(20k)C}$ for $V_{OMAX} = V_{OMIN}$ of square wave output and $R_1 = 3\,R_2$.
- 255 to 1 linear frequency range; oscillator stops with D = 0
- Trim symmetry and wave-shape for minimum sine wave distortion.

www.national.com
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications (Continued)

Two Terminal Floating 4 to 20 mA Current Loop Controller



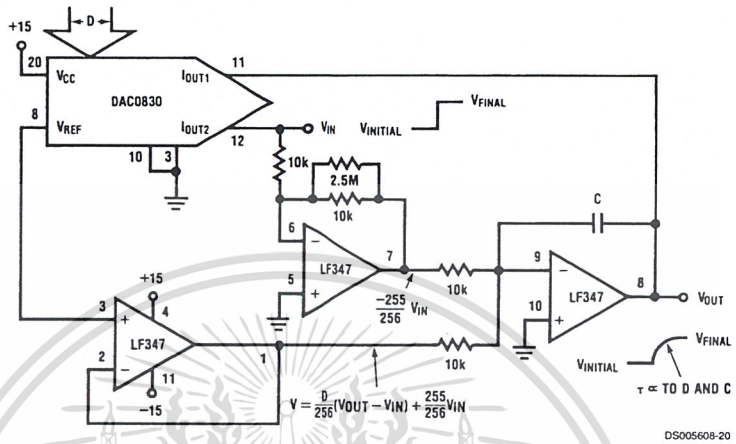
$$I_{OUT} = V_{REF}\left[\frac{1}{R_1} + \frac{D}{256\,R_{fb}}\right]\left[1 + \frac{R_2}{R_3}\right]$$

- DAC0830 linearly controls the current flow from the input terminal to the output terminal to be 4 mA (for D=0) to 19.94 m D=255).
- Circuit operates with a terminal voltage differential of 16V to 55V.
- P_2 adjusts the magnitude of the output current and P_1 adjusts the zero to full scale range of output current.
- Digital inputs can be supplied from a processor using opto isolators on each input or the DAC latches can flow-through nect control lines to pins 3 and 10 of the DAC) and the input data can be set by SPST toggle switches to ground (pins 10).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications (Continued)

DAC Controlled Exponential Time Response



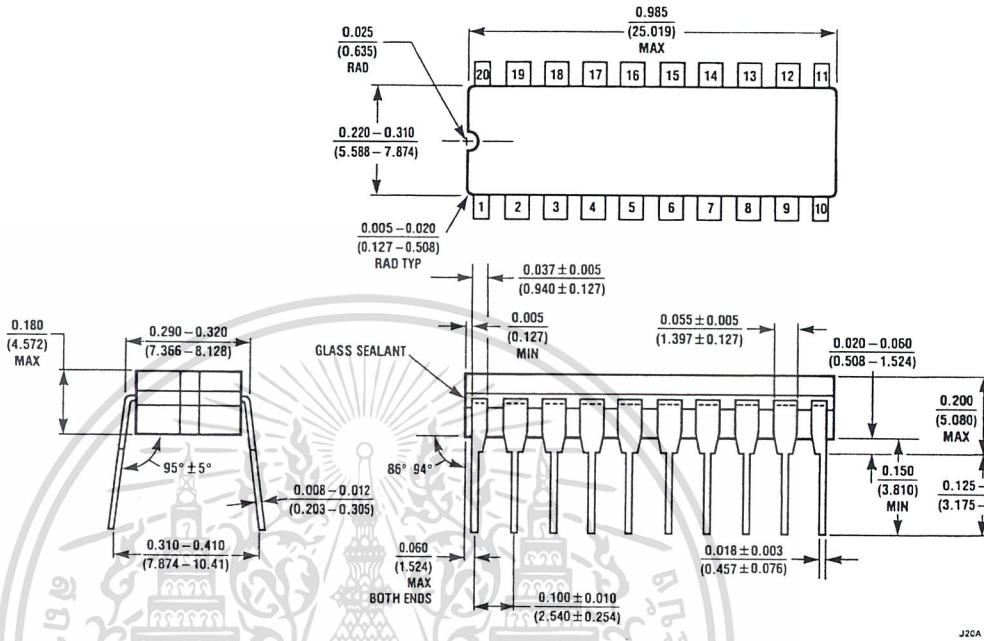
- Output responds exponentially to input changes and automatically stops when $V_{OUT}=V_{IN}$
- Output time constant is directly proportional to the DAC input code and capacitor C
- Input voltage must be positive (See section 2.7)

Ordering Information

Temperature Range		0°C to +70°			−40°C to +85°C	−55°C to +125°C
Non Linearity	0.05% FSR	DAC0830LCN	DAC0830LCM	DAC0830LCV	DAC0830LCJ	DAC0830LJ
	0.1% FSR	DAC0831LCN				
	0.2% FSR	DAC0832LCN	DAC0832LCM	DAC0832LCV	DAC0832LCJ	DAC0832LJ
Package Outline		N20A — Molded DIP	M20B Small Outline	V20A Chip Carrier	J20A — Ceramic DIP	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

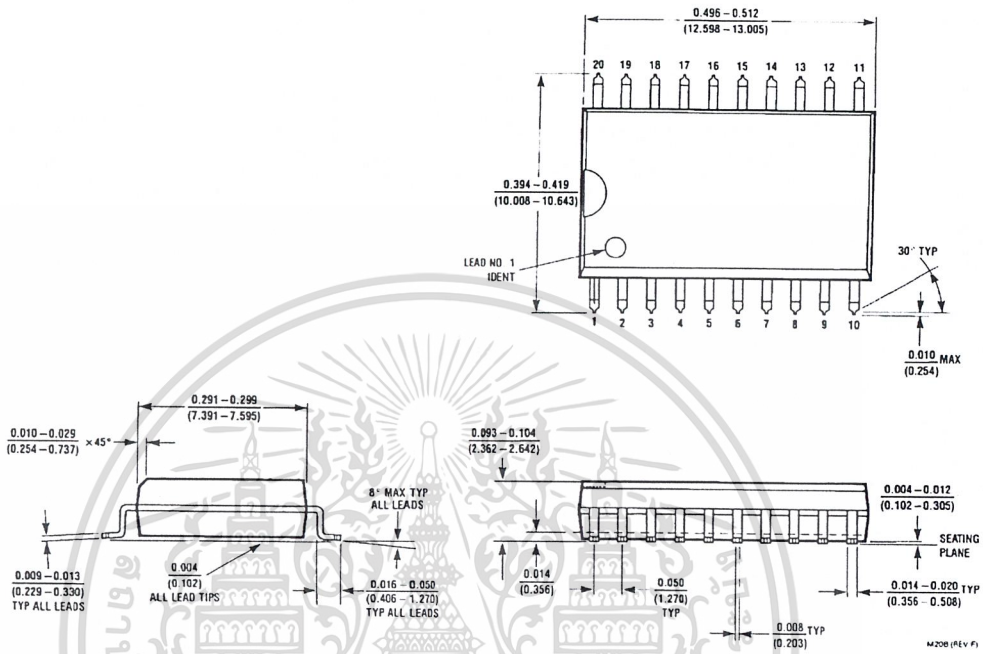
Physical Dimensions inches (millimeters) unless otherwise noted



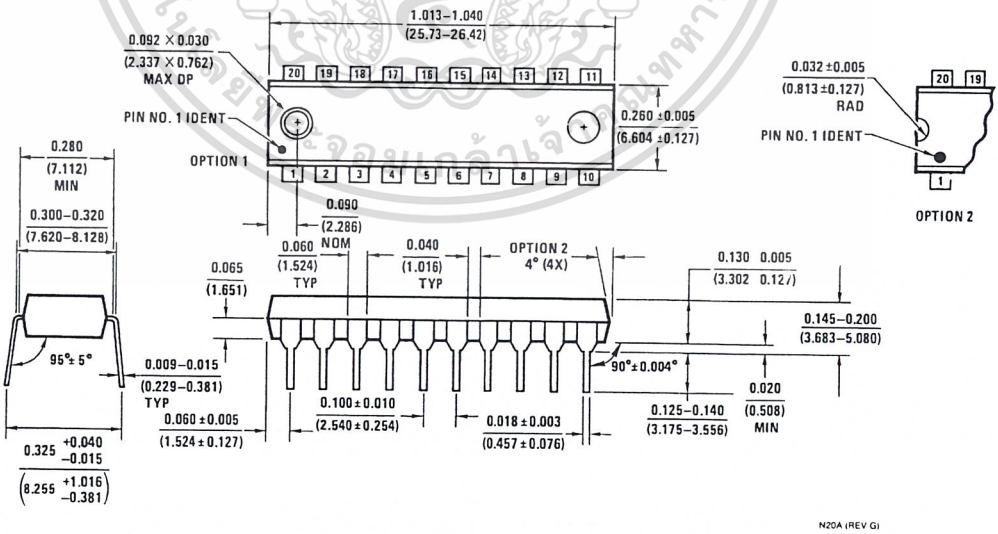
Ceramic Dual-In-Line Package (J)
Order Number DAC0830LCJ,
DAC0830LJ, DAC0832LJ or DAC0832LCJ
NS Package Number J20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



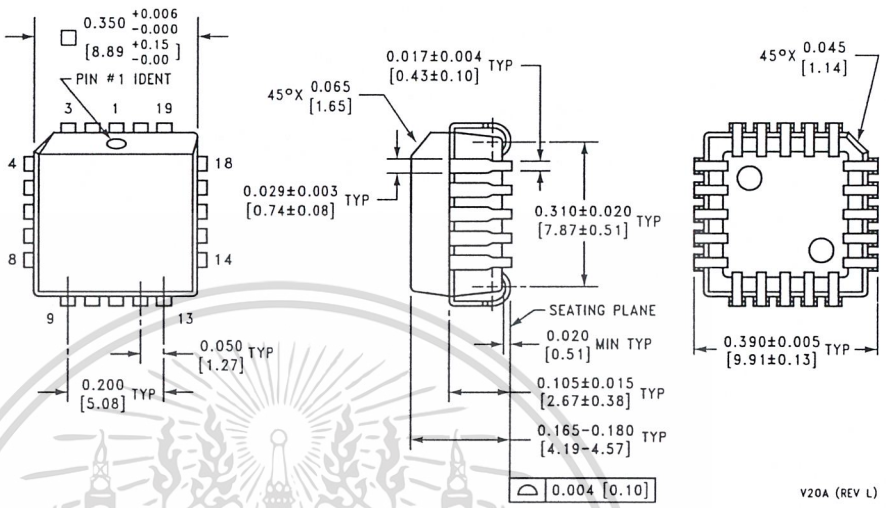
Molded Small Outline Package (M)
Order Number DAC0830LCM
or DAC0832LCM
NS Package Number M20B



Molded Dual-In-Line Package (N)
Order Number DAC0830LCN,
or DAC0832LCN
NS Package Number N20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Chip Carrier (V)
Order Number DAC0830LCV
or DAC0832LCV
NS Package Number V20A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SU
DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GE
COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component o support device or system whose failure to can be reasonably expected to cause the f the life support device or system, or to a safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com

www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semic Japan Ltd.
Tel: 81-3-5639-
Fax: 81-3-5639-

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5400/7400 Quadruple 2-Input Positive-NAND Gate

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package	Device Type	Package	Device Type	Package	Device Type	Package	Device Type	Package
		C P M CF		C P M CF		C P M CF		C P M CF		C P M CF
T. I.	SN54S00	J① N① W①	SN54H00	J① W①	SN54LS00	J① W①	SN5400	J① W②	SN54L00	J① N① T②
	SN74S00	J① N①	SN74H00	J① N①	SN74LS00	J① N①	SN7400	J① N①	SN74L00	J① N① T②
FAIRCHILD	FM54S00 FM95S00	D① L① F②	FM54H00 FM95H00	D① L① F②	FM54LS00 FM95LS00	D① F①	FM5400 FM95N00	D① F②		
	FC74S00 FC95S00	D① P①	FC74H00 FC95H00	D① P①	FC74LS00 FC95LS00	D① P① F①	FC7400 FC95N00	D① P① F②		
MOTOROLA			MC3100	L① F②			MC5400	L① F②		
			MC3000	L① P① F②	SN74LS00	P①	MC7400	L① P① F②		
N. S. C.			DM54H00	J① N①	DM54LS00		DM5400	J① N① W②	DM54L00	J① N① F②
	DM74S00	N①	DM74H00	J① N①	DM74LS00		DM7400	J① N①	DM74L00	J① N① F②
PHILIPS	N74S03	①	GJH131/74H00	①	N74LS00	①	FJH131/7400	①		
SIGNETICS	N54S00	F① A① W①	S54H00	F① A① W②			S5400	F① A① W②		
	N74S00	F① A①	N74H00	F① A①	N74LS00	A①	N7400	F① A①		
SIEMENS										
							FLH101	①		
FUJITSU										
			MB601	① M①	74LS00	M①	MB400	① M①		
HITACHI										
	HD74S00	① P①			HD74LS00	P①	HD7400/HD2503	① P①		
MITSUBISHI	M5S000	P①			M74LS00	P①	M53200	P①		
NEC										
	μPB2S00	D①			74LS00	C①	μPB201	D① C①		
TOSHIBA										
							TD3400A	P①		

Electrical Characteristics SN54LS00/SN74LS00

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

recommended operating conditions

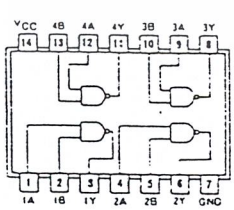
	SN54LS00			SN74LS00			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

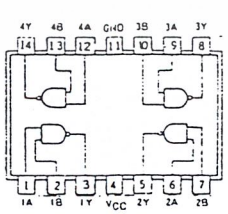
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OH} = MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, I_{OL} = 4mA			0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−18		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		4	8	mA
I_{CCL}	Supply current		Total, outputs low		12	22	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15pF,	T_A = 25°C, R_L = 2kΩ		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

Pin Assignments (Top View)

①

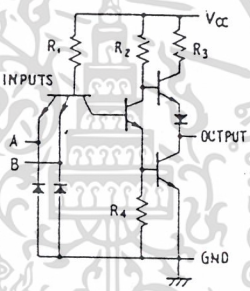


②



positive logic:
$Y = \overline{AB}$

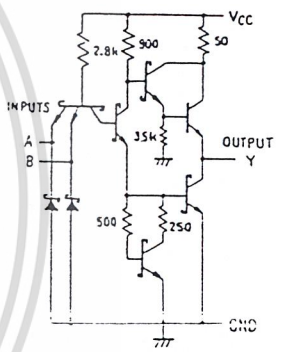
Schematics (each gate)



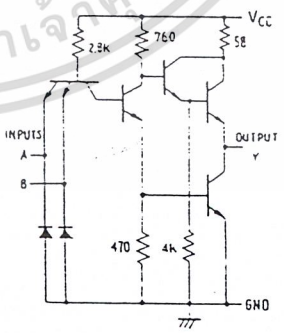
CIRCUIT	R_1	R_2	R_3	R_4
'00	4kΩ	1.4kΩ	130Ω	1kΩ
'L00	40kΩ	20kΩ	500Ω	12kΩ

Input clamp diodes not on SN54L'/SN74L' circuits.

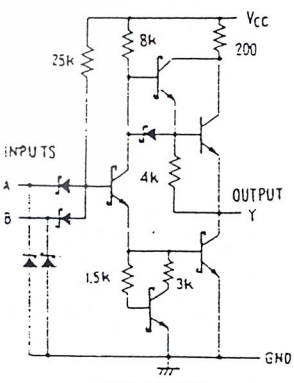
'00, 'L00 CIRCUITS



'S00 CIRCUIT



'H00 CIRCUIT



LS00 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
◆ Not more than one output should be shorted at a time, and for SN54H'/SN74H' and SN54S'/SN74S', duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5404/7404 Hex Inverter

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S04	J ①			W ①	SN54H04	J ①			W ①	SN54LS04	J ①			W ②	SN5404	J ①			W ②	SN54L04	J ①	N ①	F ②	
	SN74S04	J ①	N ①			SN74H04	J ①	N ①			SN74LS04	J ①	N ①			SN7404	J ①	N ①			SN74L04	J ①	N ①	F ②	
FAIRCHILD	FM54S04 FM95S04	D ①				FM54H04 FM96H04	D ①			F ②	FM54LS04 FM74LS04	D ①			F ②	FM5404 FM96N04	D ①	P ①		F ②					
	FC74S04 FC95C4	D ①	P ①			FC74H04 FC96H04	D ①	P ①			FC74LS04 FC95L04	D ①	P ①			FM7404 FC96N04	D ①	P ①							
MOTOROLA						MC3108	L ①			F ①						MC5404	L ①			F ②					
						MC3008	L ①	P ①		F ①	SN74LS04		P ①			MC7404	L ①	P ①							
N.S.C.						DM54H04	J ①	N ①			DM54LS04					DM5404	J ①	N ①		W ②	DM54L04	J ①	N ①	F ②	
	DM74S04		N ①			DM74H04	J ①	N ①			DM74LS04					DM7404	J ①	N ①			DM74L04	J ①	N ①	F ②	
PHILIPS	N74S04		①			N74H04		①			N74LS04		①			FJH241 7404		①							
SIGNETICS	S54S04	F ①	A ①		W ②	S54H04	F ①	A ①		W ②						S5404	F ①	A ①		W ②					
	N74S04	F ①	A ①		W ①	N74H04	F ①	A ①			N74LS04		A ①			N7404	F ①	A ①							
SIEMENS																FLH211		①							
FUJITSU											74LS04		M ①			MB418	J ①	M ①							
HITACHI	HD74S04	J ①	P ①								HD74LS04		P ①			HD7404 HD2522	J ①	P ①							
MITSUBISHI	M5S004		P ①								M74LS04		P ①			M53204		P ①							
NEC	74S04		C ①								74LS04		C ①			μPB735	D ①								
TOSHIBA																TD3404A		P ①							

Electrical Characteristics SN54LS04/SN74LS04

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

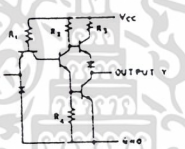
	SN54LS04 MIN	NOM	MAX	SN74LS04 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OH} = MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, I_{OL} = 4mA				0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current *	V_{CC} = MAX	S4LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		1.2	2.4	mA
I_{CCL}	Supply current		Total, outputs low		3.6	6.6	mA
I_{CC}	Supply current	V_{CC} = 5V	(Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15pF,	T_A = 25°C. R_L = 2kΩ		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time, and for SN54H'/SN74H' and SN54S'/SN74S', duration of short-circuit should not exceed 1 second.

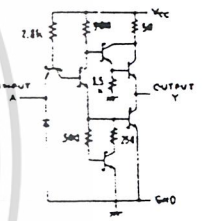
Schematics (each gate)



CIRCUIT	R1	R2	R3	R4
'04	4k	1.6k	130	1k
L04	40k	20k	500	12k

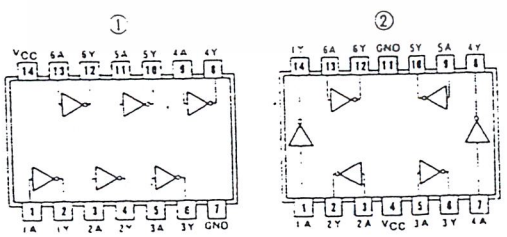
Input clamp diodes not on SN54L/SN74L' circuits.

'04, L04 CIRCUITS

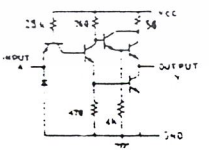


'S04 CIRCUIT

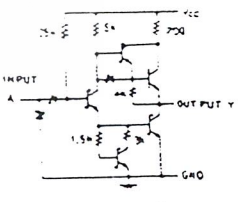
Pin Assignments (Top View)



positive logic:
$Y = \overline{A}$



H04 CIRCUIT



'LS04 CIRCUIT

Resistor values shown are nominal and in ohms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5430/7430 8-Input Positive-NAND Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T. I.	SN54S30	J①			W①	SN54H30	J①			W①	SN54LS30	J①			W①	SN5430	J①			W②	SN54L30	J①	N①	T②	
	SN74S30	J①	N①			SN74H30	J①	N①			SN74LS30	J①	N①			SN7430	J①	N①			SN74L30	J①	N①	T②	
FAIRCHILD	μA930/μA930	8①			F①	FJH101/FJH3H30	0①			F②	μA54LS30/μA74LS30	8①			F①	FJH5430/FJH5N30	0①			F②					
	FC5430/FC5H30	8①	P①		F①	FC74H30/FC5H30	0①	P①			FC74LS30/FC9LS30	8①	P①		F①	FC7430/FC5N30	0①	P①							
MOTOROLA						MC3116	L①			F①						MC5430	L①			F②					
						MC3016	L①	P①		F①	SN74LS30		P①			MC7430	L①	P①		F②					
N. S. C.						DM54H30	J①	N①			DM54LS30					DM5430	J①	N①		W②	DM54L30	J①	N①		F②
	DM74S30					DM74H30	J①	N①			DM74LS30					DM7430	J①	N①			DM74L30	J①	N①		F②
PHILIPS						GJH101/74H30		①			N74LS30		①			FJH101/7430		①							
SIGNETICS						S54H30	F①	A①		W②						S5430	F①	A①		W②					
	N74S30		A①			N74H30	F①	A①		W②	N74LS30		A①			N7430	F①	A①							
SIEMENS																FLH131		①							
FUJITSU						MB604	①	M①			74LS30		M①			MB403	①	M①							
HITACHI											HD74LS30		P①			HD7430/HD2508	①	P①							
MITSUBISHI	M5S030		P①								M74LS30		P①			M53230/M5310		P①							
NEC											74LS30		C①			μPB204	D①	C①							
TOSHIBA																TD3430A		P①							

Electrical Characteristics SN54LS30/SN74LS30

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

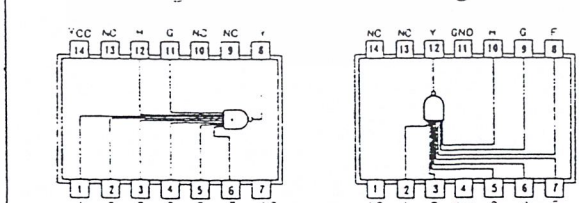
recommended operating conditions

	SN54LS30 MIN	NOM	MAX	SN74LS30 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current I_{OL}			4			8	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OH} = MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, I_{OL} = 4mA				0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		0.35	0.5	mA
I_{CCL}	Supply current		Total, outputs low		0.6	1.1	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		0.48		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ			8	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				13	20	ns

Pin Assignments (Top View)

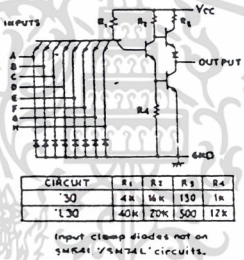


positive logic:

Y = ABCDEFGH

NC = No internal connection

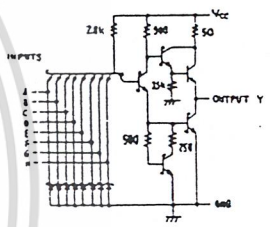
Schematics (each gate)



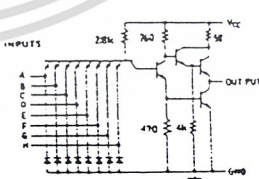
CIRCUIT	R1	R2	R3	R4
'30	4k	14k	150	1k
'L30	40k	20k	500	12k

Input clamp diodes not on SN54L'/SN74L' circuits.

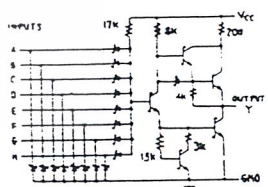
'30 'L30 CIRCUITS



'S30 CIRCUIT



'H30 CIRCUIT



'LS30 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5V, T_A = 25°C.

◆ Not more than one output should be shorted at a time, and for SN54H'/SN74H' and SN54S/SN74S', duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5432/7432 Quadruple 2-Input Positive-OR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S32	J①			W①						SN54LS32	J①			W①	SN5432	J①			W①					
	SN74S32	J①	N①								SN74LS32	J①	N①			SN7432	J①	N①							
FAIRCHILD	FN5432/FN7432	D①			F①						FN54LS32/FN74LS32	D①			F①	FMS432/FM9N32	D①			F①					
	FC5432/FC8532	D①	P①		F①						FC74LS32/FC9LS32	D①	P①		F①	FC7432/FC9N32	D①	P①							
MOTOROLA																									
											SN74LS32	P①													
N.S.C.											DM74LS32	①				DM5432	J①	N①		W①	DM54L32				
											DM54LS32	①				DM7432	J①	N①			DM74L32				
PHILIPS	N74S32		①								N74LS32	①				N7432		①							
SIGNETICS																5432	F①	A①		W①					
											N74LS32	A①				7432	F①	A①							
SIEMENS																									
																FLH631		①							
FUJITSU																									
											74LS32	M①													
HITACHI																									
											HD74LS32	P①				HD7432	①	P①							
MITSUBISHI																									
											M53LS32	P①													
NEC																									
											74LS32	C①													
TOSHIBA																									

Electrical Characteristics SN54LS32/SN74LS32

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

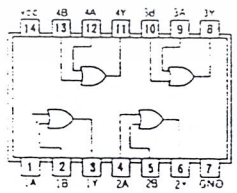
recommended operating conditions

	SN54LS32			SN74LS32			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

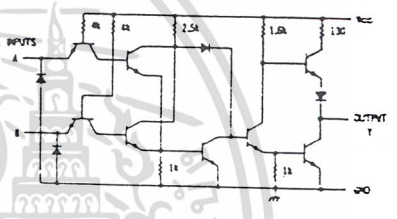
PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, I_{OH} = MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OL} = 4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current *	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		3.1	6.2	mA
I_{CCL}	Supply current		Total, outputs low		4.9	9.8	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		0		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15pF,	T_A = 25°C, R_L = 2kΩ		14	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output				14	22	ns

Pin Assignment (Top View)

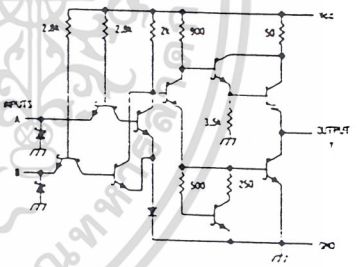


positive logic:
Y = A + B

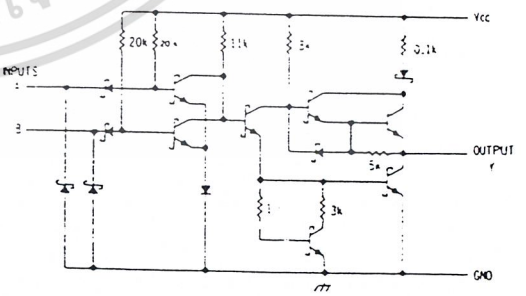
Schematics(each gate)



'32 CIRCUIT



S32 CIRCUIT



'LS32 CIRCUIT

Resistor values shown are nominal and in ohms.

*For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
*Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S74	J①			W①	SN54H74	J①			W②	SN54LS74	J①			W①	SN5474	J①			W②	SN54L74	J①	N①	T②	
	SN74S74	J①	N①			SN74H74	J①	N①			SN74LS74	J①	N①			SN7474	J①	N①			SN74L74	J①	N①	T②	
FAIRCHILD	FMS4S74/FM9S74	D①				FMS4H74/FM9H74	D①			F②	FMS4LS74/FM9LS74	P①			F①	FMS4474/FM9N74	D①			F②					
	FC74S74/FC9S74	D①	M①			FC74H74/FC9H74	D①	P①		F②	FC74LS74/FC9LS74	M①	M①		F①	FC7474/FC9N74	D①	P①							
MOTOROLA											SN74LS74	P①													
N.S.C.						DM54H74	J①	N①			DM54LS74	P①				DM5474	J①	N①		W②	DM54L74	J①	N①		F②
	DM74S74		N①			DM74H74	J①	N①			DM74LS74					DM7474	J①	N①			DM74L74	J①	N①		F②
PHILIPS	N74S74		①			GJJ131/74H74		①			N74LS74		①			FJJ131/7474		①							
SIGNETICS	S54S74					S54H74	F①	A①		W①						S5474	F①	A①		W②					
	N74S74					N74H74	F①	A①			N74LS74		A①			N7474	F①	A①							
SIEMENS																FLJ141		①							
FUJITSU											74LS74	S②				MB420	①	M①							
HITACHI	HD74S74	①	P①								HD74LS74	P①				HD7474/HD2510	①	P①							
MITSUBISHI	M74S74		P①								M74LS74	P①				M5327/M5374		P①							
NEC	74S74		C①								74LS74	C①				μPB214	D①	C①							
TOSHIBA																TD3474A		P①							

Electrical Characteristics SN54LS74/SN74LS74

• absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

• recommended operating conditions

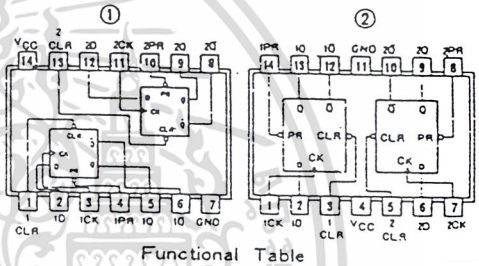
	SN54LS74			SN74LS74			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Pulse width, t_w — Clock high	25			25			ns
Pulse width, t_w — Preset or clear low	25			25			ns
Input setup time, t_{su} — High-level data	25†			25†			ns
Input setup time, t_{su} — Low-level data	20†			20†			ns
Input hold time, t_{hold}	5†			5†			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

• electrical characteristics over recommended operating free-air temperature range

PARAMETER‖			TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage		V_{CC}=MIN, I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage		V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=MAX				V
V_{OL}	Low-level output voltage		V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=4mA		0.25	0.4	V
I_I	Input current at maximum input voltage	D, J, K	V_{CC}=MAX, V_I=7V			0.1	mA
		Clear				0.2	
		Preset				0.2	
		Clock				0.1	
I_{IH}	High-level input current	D, J, K	V_{CC}=MAX, V_I=2.7V			20	μA
		Clear				40	
		Preset				40	
		Clock				20	
I_{IL}	Low-level input current	D, J, K	V_{CC}=MAX, V_I=0.4V			−0.4	mA
		Clear				−0.8	
		Preset				−0.3	
		Clock				−0.4	
I_{OS}	Short-circuit output current*	Series 54LS	V_{CC}=MAX	−20		−100	mA
		Series 74LS		−20		−100	
I_{CC}	Supply current (Average per flip-flop)		V_{CC}=MAX, See Note 1		4	8	mA
f	clock frequency		V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	25	33		MHz
t_{PLH}	from clear, preset or clock (as appropriate) to Q or Q̄				13	25	ns
t_{PHL}					25	40	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
*Not more than one output should be shorted at a time.
‖t_{PLH} = propagation delay time, low-to-high-level output; t_{PHL} = propagation delay time, high-to-low-level output.
¶ The arrow indicates the edge of the clock pulse used for reference: ↑ for the rising edge.

Pin Assignments (Top View)

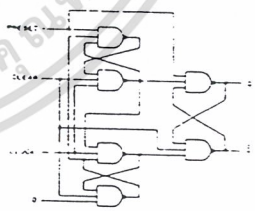


Functional Table

'74, H74, LS74, S74 (See Note 2)

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H‡	H‡
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$

Functional Block Diagram



74, S74, H74, LS74, L74 DUAL D FLIP-FLOP WITH CLEAR AND PRESET

NOTES: 1. With all outputs open, I_{CC} is measured with the Q and Q̄ outputs high in turn. At the time of measurement, the clock input is grounded.
2. H = high level (steady state), L = low level (steady state), X = irrelevant (any input, including transitions), ↑ = transition from low to high level, ↓ = transition from high to low level, Q_0 = the level of Q before the indicated input conditions were established.
‡ This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5485/7485 4-Bit Magnitude Comparator

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S85	J			W						SN54LS85	J			W	SN5485	J			W	SN54L85	J			
	SN74S85	J	N								SN74LS85	J	N			SN7485	J	N			SL74L85	J	N		
FAIRCHLD																54S85 / 54LS85	DC								
																74S85 / 74LS85		P	D						
MOTOROLA																MC7485		P							
N.S.C.											DM54LS85		J								DM54L85	J	N		F
											DM74LS85		J			DM7485		N			DM74L85	J	N		F
PHILIPS	N74S85		P								N74LS85		P			N7485		P							
SIGNETICS																S5485									
	N74S85		A								N74LS85		A			N7485									
SIEMENS																FLH431									
FUJITSU											74LS85		M			MB448		M							
HITACHI											HD74LS85		P			HD7485		P							
MITSUBISHI	M74S85		P								M74LS85		P			M53285		P							
NEC																μPB2085	D								
TOSHIBA																									

Electrical Characteristics SN54LS85/SN74LS85

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage (see Note)	5.5V	Storage temperature range		−65°C to 150°C

recommended operating conditions

	SN54LS85			SN74LS85			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-temperature, T_A	−55		125	0		70	°C

electrical characterics over recommended oprating free-air temperature range

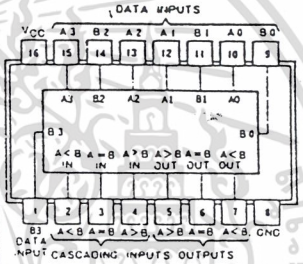
PARAMETER*		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8V, I_{OL} = 4mA			0.25	0.4	V
I_I	Input current at maximum input voltage: A<B, A>B inputs	V_{CC} = MAX, V_I = 7V				0.1	mA
	Input current at maximum input voltage: all other inputs					0.3	mA
I_{IH}	High-level input current: A<B, A>B inputs	V_{CC} = MAX, V_I = 2.7V				20	μA
	High-level input current: all other inputs					50	μA
I_{IL}	Low-level input current: A<B, A>B inputs	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
	Low-level input current: all other inputs					−1.2	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX, V_O = 0	SN54LS85	−20		−100	mA
			SN74LS85	−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 1			0.4	20	mA

t_{PLH}	from Any A or B data input to output A<(B, A>)B	V_{CC} = 5 V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	NUMBER OF GATE LEVELS	1	14	22
				2	19	30
				3	24	36
	from Any A or B data input to output A=B			4	27	45
t_{PHL}	from Any A or B data input to output A<(B, A>)B			1	11	
				2	15	
	from Any A or B data input to output A=B			3	20	30
				4	23	45
t_{PLH}	from A<B or A=B to output A>B			1	14	22
t_{PHL}				1	11	17
t_{PLH}	from A=B to output A=B			2	13	20
t_{PHL}				2	13	26
t_{PLH}	from A>B or A=B to output A<B			1	14	22
t_{PHL}				1	11	17

NOTE 1: I_{CC} is measured with outputs open, A=B grounded, and all other inputs at 4.5V.

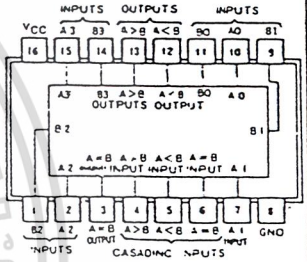
Pin Assignments (Top View)

①



positive logic: see function tables

②



positive logic: see function tables

Function Table

COMPARING INPUTS						CASCADING INPUTS			OUTPUTS		
A3, B3	A2, B2	A1, B1	A0, B0	A>B	A<B	A=B	A>B	A<B	A=B
A3>B3	X	X	X	X	X	X	L	H	L
A3<B3	X	X	X	X	X	X	H	L	L
A3=B3	A2>B2	X	X	X	X	X	H	L	L
A3=B3	A2<B2	X	X	X	X	X	L	H	L
A3=B3	A2=B2	A1>B1	X	X	X	X	H	L	L
A3=B3	A2=B2	A1<B1	X	X	X	X	L	H	L
A3=B3	A2=B2	A1=B1	A0>B0	X	X	X	H	L	L
A3=B3	A2=B2	A1=B1	A0<B0	X	X	X	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	H	L	L	H	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	H	L	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	H	L	L	H

85 '585, LS85

A3=B3	A2=B2	A1=B1	A0=B0	X	X	H	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	L	L	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	L	H	H	L

LS85

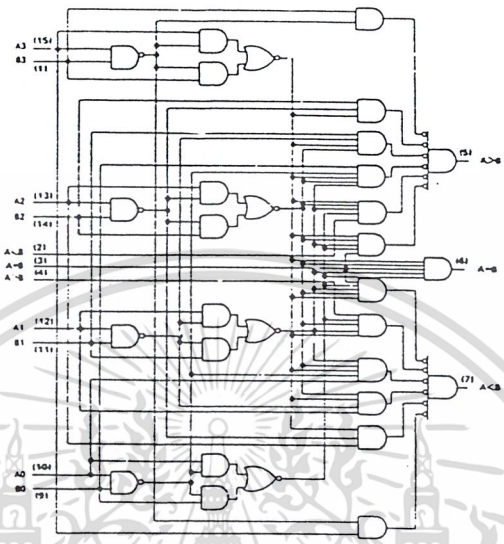
A3=B3	A2=B2	A1=B1	A0=B0	L	H	H	L	H	H
A3=B3	A2=B2	A1=B1	A0=B0	H	L	H	H	L	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	H	H	H	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	L	H	H	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	L	L	L	L

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C
* Not more than one output should be shorted at a time
* t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

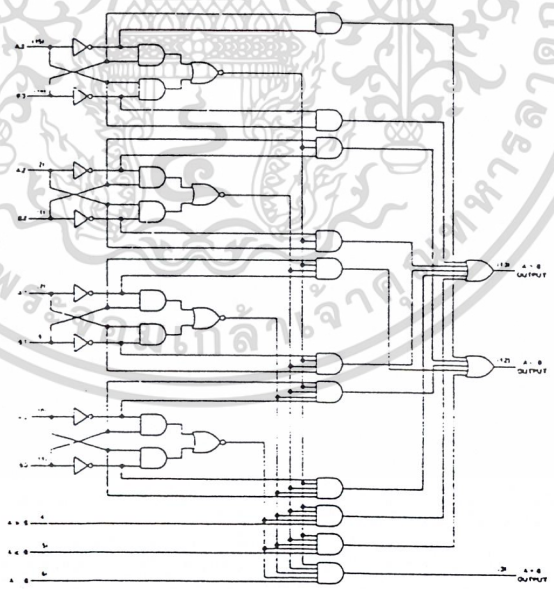
CONTINUED ON NEXT PAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagrams



'85, 'S85, 'LS85 4-BIT MAGNITUDE COMPARATOR



'L85 4-BIT MAGNITUDE COMPARATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5486 / 7486 Quadruple 2-Input Exclusive-OR Gate

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CF
T.I.	SN54S86	J ① W ①			SN54LS86	J ① W ①	SN5486	J ① W ①	SN54L86	J ③ N ② T ④
	SN74S86	J ① N ①			SN74LS86	J ① N ①	SN7486	J ① N ①	SN74L86	J ② N ② T ④
FAIRCHILD	[illegible]	[illegible]			[illegible]	[illegible]	FMS486/FM9N86	D ① F ①		
	[illegible]	[illegible]			[illegible]	[illegible]	FC7486/FC9N86	D ① P ①		
MOTOROLA					SN74LS86	P ①	MC7486	P ①		
N.S.C					DM54LS86	P ①	DM5486	J ① N ① W ①	DM54L86	J ② N ② F ④
	DM74S86	N ①			DM74LS86	P ①	DM7486	J ① N ①	DM74L86	J ② N ② F ④
PHILIPS	N74S86				N74LS86	P ①	FJH271/7486	D ①		
SIGNETICS	54S86						S5486	F ① A ① W ①		
	74S86				N74LS86	A ①	N7486	F ① A ①		
SIEMENS							FLH341	D ①		
FUJITSU					74LS86	M ①	MB449	D ① M ①		
HITACHI	HD74S86	D ① P ①			HD74LS86	P ①	HD7486/HD2526	D ① P ①		
MISUBISHI					M74LS86	P ①	M53286	P ①		
NEC					74LS86	C ①	μPB2086	D ①		
TOSHIBA							TD7486	P ①		

Electrical Characteristics SN54LS86/SN74LS86

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range: SN54LS	−55°C to 125°C
Input voltage	7V	SN74LS	0°C to 70°C
		Storage temperature range	−65°C to 150°C

recommended operating conditions

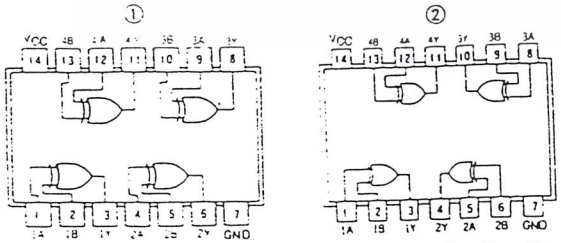
	SN54LS86 MIN	NOM	MAX	SN74LS86 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−800			−800	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER †		TEST CONDITIONS †		SN74LS86 MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max,	I_{OH} = −400μA	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 4mA		0.25	0.4	V
			I_{OL} = 8mA		0.35	0.5	
I_I	Input current at maximum input voltage					0.2	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 7V				40	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−0.8	mA
I_{OS}	Short-circuit output current *	V_{CC} = MAX		−5		−42	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 2			6.1	10	mA
t_{PLH}	From A or B output, Other input low	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 3kΩ			12	23	ns
t_{PHL}					10	17	ns
t_{PLH}	From A or B output, Other input high				20	30	ns
t_{PHL}					13	22	ns

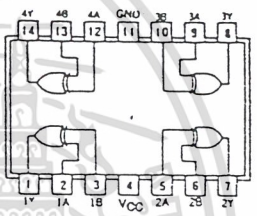
Pin Assignments (Top View)

① ②



positive logic: $Y = A \oplus B = \bar{A}B + A\bar{B}$

③



positive logic: $Y = A \oplus B = \bar{A}B + A\bar{B}$

Function Table

INPUTS A	INPUTS B	OUTPUT Y
L	L	L
L	H	H
H	L	H
H	H	L

H = High-level L = Low-level

NOTE : I_{CC} is measured with the inputs grounded and the outputs open.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.

‡ All typical values are at V_{CC} = 5V, T_A = 25°C

* Not more than one output should be shorted at a time.

t_{PLH} = propagation delay time, low-to-high-level output

t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54138/74138 3-Line-to-8-Line Decoder

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S138	J⑯			W⑯						SN54LS138	J⑯			W⑯										
	SN74S138	J⑯	N⑯								SN74LS138	J⑯	N⑯												
FAIRCHILD	/PN54S138	D⑯									/PN54LS138	D⑯			F⑯										
	FC/54S138/FC/84S138	D⑯									FC/54LS138/FC/84LS138	D⑯	P⑯		F⑯										
MOTOROLA											SN74LS138		P⑯												
N.S.C.	DM74S138		J⑯								DM74LS138		J⑯												
											DM54LS138		J⑯												
PHILIPS	N74S138		N⑯								N74LS138		N⑯												
SIGNETICS	S54S138	F⑯	B⑯		W⑯						N74LS138		A⑯												
	N74S138	F⑯	B⑯																						
SIEMENS																									
FUJITSU											74LS138		M⑯												
HITACHI											HD74LS138		P⑯												
MITSUBISHI	M74S138		P⑯								M74LS138		P⑯												
NEC											74LS138		C⑯												
TOSHIBA																									

Electrical Characteristics SN54LS138/SN74LS138

absolute maximum ratings over operating free-air temperature range.

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operarating conditions

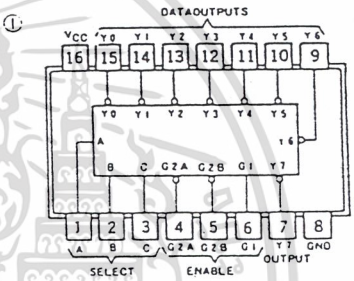
	SN54LS138			SN74LS138			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA	SN54LS	2.5	3.4		V
			SN74LS	2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current *	V_{CC} = MAX		−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, Outputs enabled and open			6.3	10	mA

t_{PLH}	from Binary select to Any output	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	Number of levels of delay	2	13	20	ns
t_{PHL}					27	41	
t_{PLH}				3	18	27	ns
t_{PHL}					26	39	
t_{PLH}	from Enable to Any output			2	12	18	ns
t_{PHL}					21	32	
t_{PLH}				3	17	26	ns
t_{PHL}					25	38	

Pin Assignment (Top View)



positive logic: see function table

Function Table

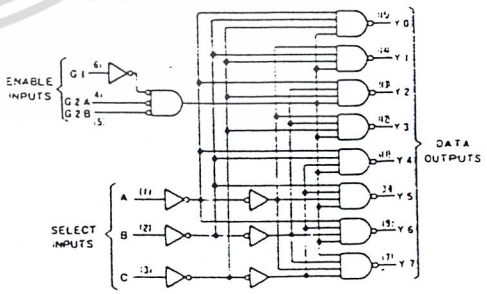
'S138 'LS138

INPUTS					OUTPUTS							
ENABLE		SELECT										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

* G2 = G2A + G2B

H = high level, L = low level, X = irrelevant

Functional Block Diagram



'S138 'LS138 DECODER/DEMULTIPLEXER

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

‡ All typical values are at V_{CC} = 5V, T_A = 25°C.

* Not more than one output should be shorted at a time, and duration of the short-circuit test should not exceed one second.

t_{PLH} = propagation delay time, low-to-high-level output

t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54164/74164 8-Parallel-Out Serial Shift Register

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS164	J	N		W	SN54164	J	N		W	SN54L164	J	N		T
											SN74LS164	J	N		D	SN74164	J	N		D	SN74L164	J	N		T
FAIRCHILD											FJH5164/FJH5164		D		F	FJH5164/FJH5164		D							
											FC74S164/FC93S164		D		F	FC74164/FC93164		D		F					
MOTOROLA											SN74LS164		P			MC74164		P							
N.S.C.											DM74LS164		J								DM54L164		J		
											DM54LS164		J			DM74164		N			DM74L164		J		
PHILIPS																									
											N74LS164		N			N74164		A							
SIGNETICS																S54164	F	A		W					
											N74LS164		A			N74164	F	A							
SIEMENS																FLJ441		T							
FUJITSU											74LS164		M												
HITACHI											HD74LS164		P			HD74164		P							
MITSUBISHI											M74LS164		P			M53364		P							
NEC											AM74LS		C			μPB2164		D							
TOSHIBA																TD3503A		P							
AMD											Am74LS164														

Electrical Characteristics SN54LS164/SN74LS164

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54*	−55°C to 125°C
Input voltage	7 V		SN74*	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

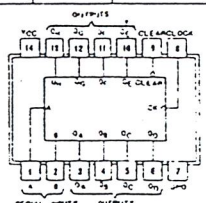
	SN54LS164 MIN	NOM	MAX	SN74LS164 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear input pulse, t_w	20			20			ns
Data setup time, t_{setup}	15			15			ns
Data hold time, t_{hold}	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = −400 μA		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current maximum input voltage	V_{CC} = MAX, V_I = 7 V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7 V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V				0.4	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 1			16	27	mA
f_{max}	Maximum clock frequency	V_{CC} = 5 V, T_A = 25°C, R_L = 2kΩ	C_L = 150pF	25	36		MHz
t_{PHL}	Propagation delay time, high-to-low-level Q outputs from clear input		C_L = 150pF		24	36	ns
t_{PLH}	Propagation delay time, low-to-high-level Q outputs from clock input		C_L = 150pF		17	27	ns
t_{PHL}	Propagation delay time, high-to-low-level Q outputs from clock input		C_L = 150pF		21	32	ns

Pin Assignment (Top View)

①



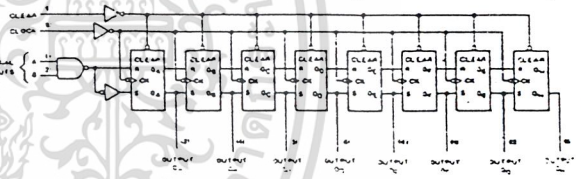
positive logic: see function table

Function Table

'164, 'LS164, 'L164 (see Note 2)

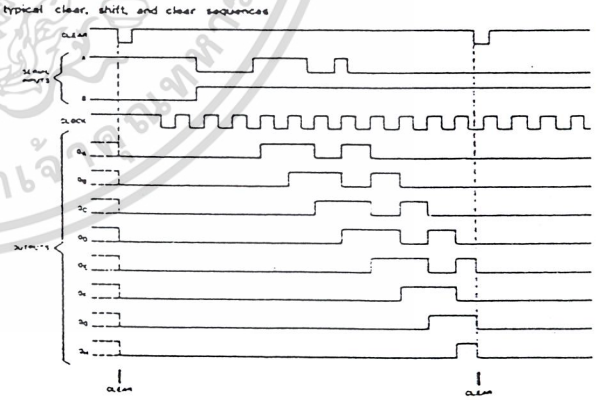
INPUTS CLEAR	CLOCK	A	B	OUTPUTS QA	QB	··· QH
L	X	X	X	L	L	L
H	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	↑	H	H	H	Q_{An}	Q_{Gn}
H	↑	L	X	L	Q_{An}	Q_{Gn}
H	↑	X	L	L	Q_{An}	Q_{Gn}

Functional Block Diagram



'164, 'LS164, 'L164 8-BIT PARALLEL-OUT SHIFT REGISTER

typical clear, shift, and clear sequences



NOTES: 1. I_{CC} is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5 V, applied to clear.

2. H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level.
Q_{A0}, Q_{B0}, Q_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G before the most-recent ↑ transition of the clock; indicates a one-bit shift.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
* Not more than two outputs should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54165/74165 Parallel-Load 5-Bit Shift Register

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.											SN54LS165	J◑				SN54165	J◑			W◑					
											SN74LS165	J◑	N◑			SN74165	J◑	N◑							
FAIRCHILD																FMS4155/FM93165	D◑								
																FC74165/FC93165	D◑	P◑							
MOTOROLA																									
																MC74165		P◑							
N.S.C.																					DM54L165A	J◑	N◑		F◑
																DM74165		N◑			DM74L165A	J◑	N◑		F◑
PHILIPS																									
																N74165		◑							
SIGNETICS																S54165	F◑	B◑		W◑					
																N74165	F◑	B◑							
SIEMENS																									
																FLJ451		◑							
FUJITSU																									
HITACHI																									
MITSUBISHI																									
																M53365		P◑							
NEC																									
TOSHIBA																									

Electrical Characteristics NS54LS165/SN74LS165

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C	to 125°C
Input voltage	7V		SN74LS	0°C	to 70°C
		Storage temperature range		−65°C	to 150°C

recommended operating conditions

	SN54LS165			SN74LS165			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			400			400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		20	0		20	MHz
Width of clock input pulse, t_w(clock)	25			25			ns
Width of load input pulse, t_w (load)	15			15			ns
Clock-enable setup time, t_{setup}	30			30			ns
Parallel input setup time, t_{setup}	10			10			ns
Serial input setup time, t_{setup}	20			20			ns
Shift setup time, t_{setup}	45			45			ns
Hold time at any input, t_{hold}	0			0			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

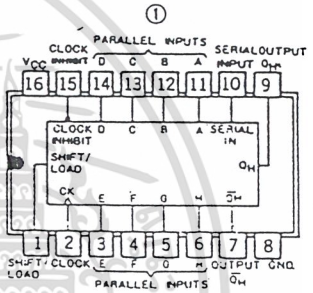
electrical characteristics over recommended operating free-air temperature range

PARAMETER*		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	Shift/load input	V_{CC} = MAX, V_I = 7V			0.3	mA
		Other inputs				0.1	
I_{IH}	High-level Shift/load input	Load input	V_{CC} = MAX, V_I = 2.7V			60	μA
		Other inputs				20	
I_{IL}	Low-level Shift/load input	Load input	V_{CC} = MAX, V_I = 0.4V			−1.2	mA
		Other inputs				−0.4	
I_{OS}	Short-circuit output current*		V_{CC} = MAX, SN54LS	−20		−100	mA
			V_{CC} = MAX, SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 2			32	36	mA
f_{max}	Maximum clock frequency			25	35		MHz
t_{PLH} / t_{PHL}	from Load to Any output	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ			22 / 22	35 / 35	ns
t_{PLH} / t_{PHL}	from Clock to Any output				27 / 28	40 / 40	ns
t_{PLH} / t_{PHL}	from H to output Q_H				14 / 21	25 / 30	ns
t_{PLH} / t_{PHL}	from H to output $\bar{Q}_H$				21 / 16	30 / 25	ns

†For conditions shown as MIN or MAX, use the appropriate value under recommended operating conditions for the applicable device type.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
*Not more than one output should be shorted at a time.
*t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = Propagation delay time, high-to-low-level output

Pin Assignment (Top View)

①



positive logic:

Function Table

'165 (see Note 3)

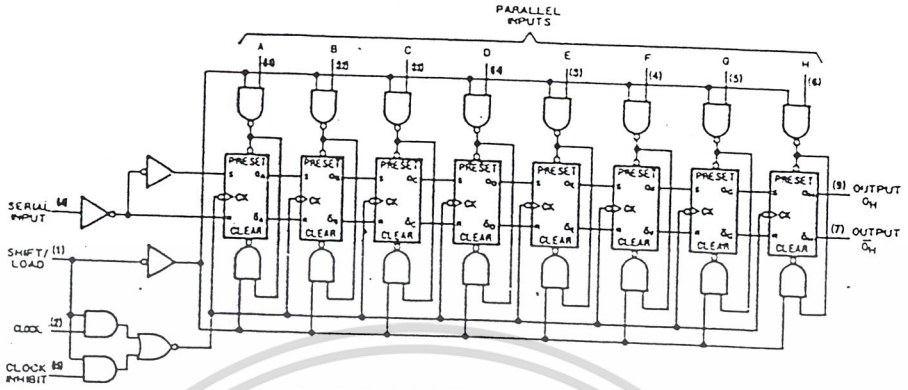
INPUTS					INTERNAL OUTPUTS		OUTPUT
SHIFT/LOAD	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A...H	Q_A	Q_B	Q_H
L	X	X	X	a...h	a	b	h
H	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	H	↑	X	X	Q_{A0}	Q_{B0}	Q_{H0}

NOTES: 1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies to the shift/load input in conjunction with the clock, clock or clock-inhibit inputs.
2. With the outputs open, clock inhibit and shift/load at 4.5V, and a clock pulse applied to the clock input, I_{CC} is measured first with the parallel inputs at 4.5V, then with the parallel inputs grounded.
3. H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
a...h = the level of steady-state input at inputs A thru H, respectively.
Q_{A0}, Q_{B0}, C_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G, respectively, before the most recent ↑ transition of the clock.

CONTINUED ON NEXT PAGE

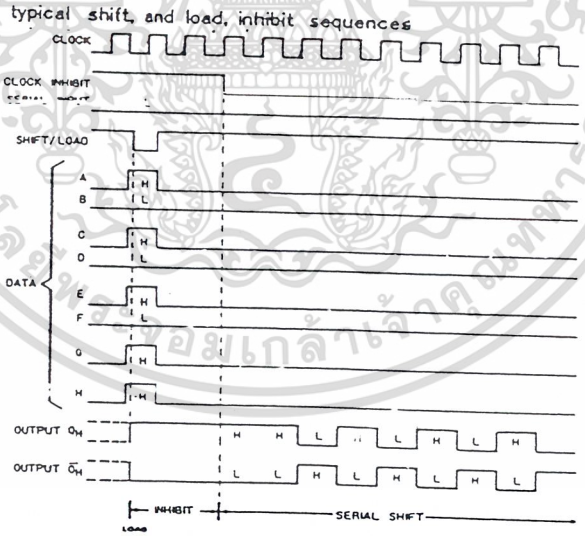
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า.
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block giagram



'165 PARALLEL-LOAD 8-BIT SHIFT REGISTER

typical shift, and load, inhibit sequences



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54244/74244 Octal Buffers/Line Drivers/Line Receivers

	Schttky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T. I.											SN54LS244	J													
											SN74LS244	J		N											
FAIRCHILD																									
MOTOROLA																									
N. S. C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS244/SN74LS244

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		-65°C to 150°C

recommended operating conditions

	SN54LS244			SN74LS244			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-12			-15	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	55		125	0		70	°C

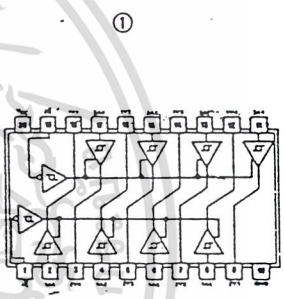
electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		SN74LS MIN	SN74LS TYP‡	SN74LS MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC}=MIN, I_I=-18mA				-1.5	V
	Hysteresis($V_{T+}-V_{T-}$)	V_{CC}=MIN		0.2	0.4		V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=$V_{IL\,max}$, I_{OH}=-3mA		2.4	3.4		V
		V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.5V, I_{OH}=MAX		2			
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=$V_{IL\,max}$	I_{OL}=12mA			0.4	V
			I_{OL}=24mA			0.5	
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC}=MAX, V_{IH}=2V, V_{IL}=$V_{IL\,max}$	V_O=2.7V			20	μA
I_{OZL}	Off-state output current, low-level voltage applied		V_O=0.4V			-20	
I_I	Input current at maximum input voltage	V_{CC}=MAX,	V_I=7V			0.1	mA
I_{IH}	High-level input current, any input	V_{CC}=MAX,	V_I=2.7V			20	μA
I_{IL}	Low-level input current	V_{CC}=MAX,	V_{IL}=0.4V			-0.2	mA
I_{OS}	Short-circuit output current ⊕	V_{CC}=MAX		-40		-225	mA
I_{CC}	Supply current, Outputs high	V_{CC}=MAX, Outputs open	All		13	23	mA
	Outputs low		'LS244		27	46	
	All outputs disabled		'LS244		32	54	

switching characteristics, V_{CC} 5V, T_A 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output			9	14	ns
t_{PHL}	Propagation delay time, high-to-low-level output	C_L=45pF, R_L=667Ω, See Note 2		12	18	ns
t_{PZL}	Output enable time to low level			20	30	ns
t_{PZH}	Output enable time to high level			15	23	ns
t_{PLZ}	Output disable time from low level	C_L=5pF, R_L=667Ω, See Note 2		15	25	ns
t_{PHZ}	Output disable time from high level			10	18	ns

Pin Assignment (Top View)



SN54LS244 (J) SN74LS244 (J, N)

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC}=5V, T_A 25°C.
⊕ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.
NOTE 2 : Load circuit and voltage wave forms are shown on page 3-11.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54393/74393 Dual 4-Bit Binary Counter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
TI											SN54LS393	J①			W①	SN54393	J①			W①					
FAIRCHILD											SN74LS393	J①N①				SN74393	J①N①								
MOTOROLA																									
N.S. C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC											M74LS393	P①													
TOSHIBA																									

Electrical Characteristics SN54LS393/SN74LS393

Absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 125°C

recommended operating conditions

		SN54LS390			SN74LS390			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Count frequency, f_{count}	A input	0		25	0		25	MHz
	B input	0		20	0		20	
Pulse width, t_w	A input high or low	20			20			ns
	B input high or low	25			25			
	Clear high	20			20			
Clear inactive-state setup time, t_{setup}		25↓			25↓			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

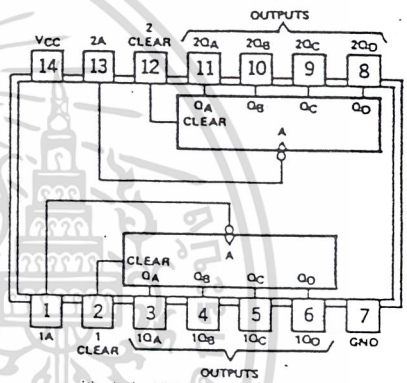
electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=−400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=8mA			0.35	0.5	mA
I_I	Input current at maximum input voltage	Clear	V_{CC}=MAX, V_I=7V			0.1	mA
		Input A	V_{CC}=MAX, V_I=5.5V			0.2	
		Input B				0.4	
I_{IH}	High-level input current	Clear	V_{CC}=MAX, V_I=2.4V			20	μA
		A				100	
		B				100	
I_{IL}	Low-level input current	Clear	V_{CC}=MAX, V_I=0.4V			−0.4	mA
		A				−1.6	
		B				−2.4	
I_{OS}	Short-circuit output current*	V_{CC}=MAX	SN54	−20		−100	mA
			SN74	−20		−100	
I_{CC}	Supply current	V_{CC}=MAX, See Note 1			15	26	mA
f_{count}	from A to output Q_A	V_{CC} = 5 V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ		25	35		MHz
t_{PLH}	from A to output Q_A				12	20	ns
t_{PHL}					13	20	
t_{PLH}	from A to output Q_D				40	60	ns
t_{PHL}					40	60	
t_{PHL}	from Clear to Any output				24	39	ns

NOTE: I_{CC} is measured with all outputs open, both clear inputs grounded following momentary connection to 4.5V, and all other inputs grounded.

† The arrow indicates that the falling edge of the clock pulse is used for reference.
‡ f_{count} = maximum count frequency; t_{PHL} = propagation delay time, high-to-low-level output; t_{PLH} = propagation delay time, low-to-high-level output
§ The Q_A outputs of the '390 are tested at I_{OL} = 16 mA plus the limit value for I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.
¶ For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C
* Not more than one output should be shorted at a time.

Pin Assignment (Top View)



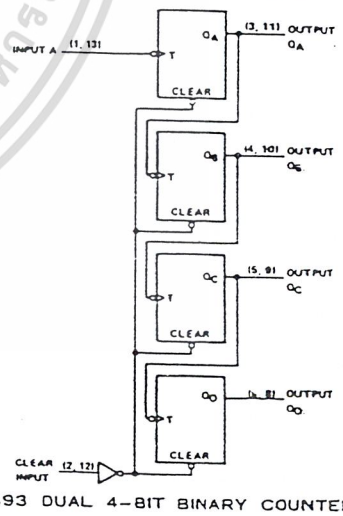
positive logic: High input to clear resets all four outputs low.

Function Table

COUNT SEQUENCE (EACH COUNTER)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

Functional Block Diagram



'393 DUAL 4-BIT BINARY COUNTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. Henry Zanger, and Cynnthi Zanger, *Fiber Optic Communication and Other Application*, 1 st, Maxwell Macmillan
2. Joseph C. palaif, *Fiber Optic Communication*, 2 nd, ed, Pacici-hall, Inc, 1988
3. Louis E. Fresnel, Jr. , *Activities Manual for omunication Electronics,*1 st,Glencoe/McGRAW-HILL,1990
4. ปรีชา ยุพาพิน, *เครือข่ายใยแก้วนำแสง พิมพ์ครั้งที่ 1*, สมาคมส่งเสริมเทคโนโลยี(ไทย-ญี่ปุ่น), กรุงเทพมหานคร(1998)
5. ดุสิต เครืองาม, *สิ่งประดิษฐ์ออปโตอิเล็กทรอนิกส์ พิมพ์ครั้งที่ 1*, ซีเอ็ดยูเคชัน, กรุงเทพมหานคร(1992)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้