สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบเชื่อมต่อทีเอ็นซี

นาย จารุวัตร อิทธิกำจร
นาย รณพงษ์ เรืองเทพรัชต์
นาย สัญชัย หล่อวัชระภรณ์

เลขหมู่.....
เลขทะเบียน 43947
วัน, เดือน, ปี 18 ต.ค. 2545
.b.....
.i.....

โครงงานพิเศษนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต
ภาควิชาฟิสิกส์ประยุกต์
คณะวิทยาศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TNC Interfacing Systems

Mr. Jaruwat Ittikumjorn
Mr. Ronnapong Ruangtepparut
Mr. Sunchai Loavacharaporn

A special Project Submitted in Partial Fulfilliment of the
Requirement for the Degree of Bachelor of Science
Department of Applied Physics
Faculty of Science
King Mongkut's Institute of Technology Ladkrabang
2001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อโครงงานพิเศษ	ระบบเชื่อมต่อทีเอ็นซี
โดย	นาย จารุวัตร อิทธิกำจร
	นาย รณพงษ์ เรืองเทพรัชต์
	นาย สัญชัย หล่อวัชระภรณ์
ภาควิชา	ฟิสิกส์ประยุกต์
อาจารย์ที่ปรึกษา	ผศ.ดร. จิติ หนูแก้ว
	อ. เบญจพล ตันฮู้

ภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับโครงงานพิเศษฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต

..... หัวหน้าภาควิชาฟิสิกส์ประยุกต์
(ผศ. วิชาญ เตชิตธีระ)

คณะกรรมการโครงงานพิเศษ

..... ประธานกรรมการ
(ผศ. วิชาญ เตชิตธีระ)

..... กรรมการ
(ผศ.ดร. จิติ หนูแก้ว)

..... กรรมการ
(อ. เบญจพล ตันฮู้)

..... กรรมการ
(อ. วิษณุ เพชรภา)

..... กรรมการ
(อ. ภูมินทร์ จินดาจิธาวัฒน์)

ลิขสิทธิ์ของภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อโครงงานพิเศษ	ระบบเชื่อมต่อทีเอ็นซี
โดย	นาย จารุวัตร อิทธิกำจร
	นาย รณพงษ์ เรืองเทพรัชต์
	นาย สัญชัย หล่อวัชระภรณ์
อาจารย์ที่ปรึกษา	ผศ.ดร. จิติ หนูแก้ว
	อ.เบญจพล ตันฮู้
ภาควิชา	ฟิสิกส์ประยุกต์
ปีการศึกษา	2544

บทคัดย่อ

ระบบแพ็กเก็ตเรดิโอ ใช้คอมพิวเตอร์ในการรับ-ส่งข้อความ เนื่องจากคอมพิวเตอร์มีราคาแพง ในโครงงานพิเศษนี้ จึงจัดสร้างอุปกรณ์เชื่อมต่อที่มีขนาดเล็ก กะทัดรัด ควบคุมการทำงานด้วยไมโครคอนโทรลเลอร์ตระกูลMCS-51เบอร์89C51RD2 โดยประกอบด้วยส่วนอินพุตข้อมูลคือ คีย์บอร์ด ส่วนแสดงผลจะแสดงผ่านจอแอลซีดีแบบกราฟิก โดยอุปกรณ์ที่สร้างขึ้นนี้มีราคาถูกกว่าคอมพิวเตอร์ มีขนาดเล็ก กะทัดรัด สะดวกในการพกพา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Special Project Title	TNC Interfacing Systems	
Name	Mr. Jaruwat	Ittikumjorn
	Mr. Ronnapong	Ruangtepparut
	Mr. Sunchai	Loavacharaporn
Special Project Advisor	Asst. Prof. Dr. Jiti	Nukaew
	Mr. Benchapol	Tunhoo
Department	Applied Physics	
Academic Year	2001	

Abstract

This special project we are construct Packet Radio System for communication. In the past, this system was used personal computer (PC) for operation. But PC is over necessary if we have equipment to operate instead of PC. TNC(Terminal Node Controller) is an equipment which smaller, cheaper than PC and can carried it to use outdoor. This processor is 89C51RD2 in Micro Controller MCS-51 Series. This system can input by keyboard and shown result on LCD Graphic.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานพิเศษนี้เสร็จสมบูรณ์ได้ด้วยความช่วยเหลือจากบุคคลต่างๆ ดังนี้

คุณพ่อ คุณแม่	มีความกรุณาส่งเสีย เลี้ยงดู ให้กำลังใจ และโอกาสในการศึกษา จนกระทั่งจบการศึกษา และต่อๆไป
ผศ.ดร. จิติ หนูแก้ว	ขอขอบพระคุณสำหรับ ความคิดริเริ่ม,คำปรึกษา และอำนวยความสะดวกในทุกๆด้าน
อ. เบญจพล ตันฮู้	สำหรับคำปรึกษา,ความรู้ต่างๆ และสถานที่ รวมถึงอุปกรณ์ทุกๆอย่าง
พี่ติ	แวะเวียนมาช่วยให้คำปรึกษาอยู่บ่อยๆ
เพื่อนๆ	ช่วยให้กำลังใจ และความครื้นเครง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
บทที่ 1 บทนำ	
1.1 ที่มาของโครงงาน	1
1.2 จุดประสงค์ของโครงงาน	1
1.3 วิธีการดำเนินงาน	2
1.4 ประโยชน์ที่ได้รับ	2
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	
2.1 เทคนิคการมอดูเลทสัญญาณดิจิตอล	3
2.2 อุปกรณ์ที่ใช้ในการสื่อสาร	4
2.3 ประวัติการเป็นมาของการสื่อสารแพ็กเก็ตเรดิโอ	5
2.4 การส่งข้อมูลแบบ แพ็กเก็ต	5
2.5 ข้อจำกัดด้านระยะทางในการส่ง	6
2.6 การใช้ช่องสื่อสารวิทยุร่วมกัน	7
2.7 โปรโตคอล AX.25	7
2.8 การสื่อสารผ่านพอร์ทอนุกรม RS-232	7
2.9 โหมด การทำงานของ อุปกรณ์ TNC	10
2.10 คุณสมบัติของบอร์ดควบคุม GraphicLCD	11
2.11 การควบคุมผ่านทาง 3 BIT SERIAL	12
2.12 คีย์บอร์ด	12
2.13 ไมโครคอนโทรลเลอร์ 89C51RD2	13
2.14 การเชื่อมต่อหน่วยความจำข้อมูลภายนอก	14
บทที่ 3 การวิจัยและการดำเนินงาน	
3.1 เตรียมอุปกรณ์ต่างๆที่จะใช้งาน	16
3.2 การดำเนินงาน	17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

บทที่ 4 ผลการทดลอง

4.1 รูปภาพจากการติดตั้ง 24

4.2 การทดสอบ 26

4.3 ผลการทดสอบ 29

บทที่ 5 สรุปผลการทดลอง

5.1 สรุปผลการทดลอง 31

5.2 แนวทางการพัฒนา 31

ภาคผนวก ก.

ภาคผนวก ข.

ภาคผนวก ค.

บรรณานุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 1.1 การรับส่งข้อมูลด้วยแพ็กเก็ตเรดิโอ	1
รูปที่ 2.1 แสดงการมอดูเลทสัญญาณแบบ ASK	3
รูปที่ 2.2 แสดงการมอดูเลทสัญญาณแบบ FSK	3
รูปที่ 2.3 แสดงการมอดูเลทสัญญาณแบบ PSK	4
รูปที่ 2.4 อุปกรณ์ DTE เบื้องต้น	9
รูปที่ 2.5 อุปกรณ์ DCE	9
รูปที่ 2.6 อุปกรณ์ DTE และอุปกรณ์ DCE เป็นคู่อุปกรณ์ร่วมที่ทำงานตรงข้ามกัน	10
รูปที 2.7 รายละเอียดของสัญญาณแต่ละ BYTE	12
รูปที่ 2.8 แสดง connector ของ Keyboard ทั้ง 2 ชนิด	13
รูปที่ 2.9 Timing Diagram ของ Keyboard	13
รูปที่ 2.10 ไดอะแกรมเวลาการอ่านเขียนหน่วยความจำข้อมูลภายนอก	14
รูปที่ 2.11 ไดอะแกรมการเชื่อมต่อหน่วยความจำภายนอก	15
รูปที่ 2.12 การเชื่อมต่อไมโครคอนโทรลเลอร์กับหน่วยความจำภายนอก	15
รูปที่ 3.1 อุปกรณ์ TNC	17
รูปที่ 3.2 แสดง Diagram ภาพรวมในการทำงาน	18
รูปที่ 3.3 วิทยุสื่อสาร	18
รูปที่ 3.4 เสาสัญญาณบนดาดฟ้า	18
รูปที่ 4.1 เครื่องแม่ข่าย บนชั้น 3 ตึกคณะวิทยาศาสตร์	24
รูปที่ 4.2 หน้าจอคอมพิวเตอร์ขณะเริ่มการทำงาน	24
รูปที่ 4.3 เครื่องเทอร์มินอลลูกข่าย	25
รูปที่ 4.4 หน้าจอLCD ขณะเริ่มการทำงาน	25
รูปที่ 4.5 แสดงขณะทำการติดต่อไปยังเครื่องลูกข่าย	26
รูปที่ 4.6 แสดงการขานรับการติดต่อจากเครื่องแม่ข่าย	26
รูปที่ 4.7 แสดงการขานรับจากลูกข่าย เพื่อยืนยันว่าการติดต่อสำเร็จแล้ว	27
รูปที่ 4.8 แสดงการส่งข้อความไปยังลูกข่าย	27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

หน้า

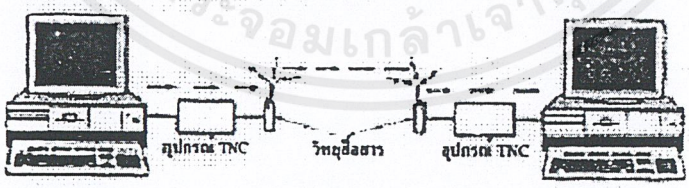
รูปที่ 4.9 แสดงการรับข้อความจากเครื่องแม่ข่าย 28
รูปที่ 4.10 แสดงการส่งข้อความจากลูกข่ายไปยังเครื่องแม่ข่าย 28
รูปที่ 4.11 แสดงการรับข้อความของเครื่องแม่ข่าย 29
รูปที่ 4.12 แสดงข้อความภาษาไทย 29
รูปที่ 4.13 แสดงข้อความภาษาอังกฤษ 30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

1.1 ที่มาของโครงงาน

ในการติดต่อสื่อสารข้อมูลระหว่างคอมพิวเตอร์เครื่องหนึ่งกับคอมพิวเตอร์อีกเครื่องหนึ่ง โดยทั่วไปนั้นเครื่องมือที่ใช้หรือเป็นที่รู้จักกันดี ก็คือโมเด็ม (Modem) ซึ่งเป็นตัวส่งผ่าน และรับข้อมูลโดยติดต่อผ่านทางสายโทรศัพท์ ซึ่งการรับส่งข้อมูลหรือสายสัญญาณอื่นๆ มักประสบปัญหากับระยะทางในการสื่อสารที่จำกัด ความยาวของสายสัญญาณที่รกรุงรัง และยากต่อการเคลื่อนย้าย ทำให้เกิดความไม่สะดวก อีกทั้งถ้าหากในสถานที่นั้นเครือข่ายโทรศัพท์ยังเข้าไปไม่ถึงก็จะไม่สามารถใช้งานได้ ซึ่งในปัจจุบันเทคโนโลยีได้มีการพัฒนาไปอย่างรวดเร็ว และได้มีการสื่อสารชนิดหนึ่งคือ แพ็กเก็ตเรดิโอ (packet radio) ซึ่งเป็นเทคโนโลยีการสื่อสารข้อมูลแบบดิจิตอล ที่นิยมใช้งานในหมู่นักวิทยุสมัครเล่น โดยอาศัยการสื่อสารข้อมูลบนคอมพิวเตอร์เป็นพื้นฐาน ซึ่งเทียบได้กับการเชื่อมต่อคอมพิวเตอร์กับโมเด็ม โดยแปลงสัญญาณดิจิตอลจากคอมพิวเตอร์ไปเป็นสัญญาณแอนาลอก โดยแพ็กเก็ตเรดิโอนี้ การติดต่อกันจะใช้เครื่องวิทยุสื่อสารรับส่งข้อมูลระหว่างกันแทนคู่สายโทรศัพท์ ซึ่งจะรับส่งข้อมูลกันผ่านสัญญาณคลื่นความถี่วิทยุ โดยอุปกรณ์โมเด็มก็ถูกแทนที่ด้วยอุปกรณ์เชื่อมต่อชนิดหนึ่ง มีชื่อเรียกว่า “Terminal Node Controller ” หรือ TNC หรือ เรียกอีกอย่างว่า “เรดิโอโมเด็ม” ซึ่งจะเห็นได้ว่าเราจะสามารถสื่อสารข้อมูลระหว่างคอมพิวเตอร์ได้โดยไม่จำเป็นต้องต่อสายโทรศัพท์ และยังสามารถนำไปใช้งานในที่ที่เครือข่ายโทรศัพท์ยังเข้าไม่ถึงได้



รูปที่ 1.1 การรับส่งข้อมูลด้วยแพ็กเก็ตเรดิโอ

1.2 จุดประสงค์ของโครงงาน

- เพื่อศึกษาพื้นฐานและลักษณะทั่วไปของการทำงานในระบบ แพ็กเก็ตเรดิโอ
- เพื่อศึกษาการส่งผ่านข้อมูลระหว่างกันของอุปกรณ์ TNC
- เพื่อให้สามารถติดต่อสื่อสารข้อมูลระหว่าง คอมพิวเตอร์ กับ เทอร์มินอล และ เทอร์มินอล กับ เทอร์มินอล ของผู้รับและผู้ส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เพื่อให้สามารถใช้การสื่อสารในระบบ แพ็กเก็ตเรดิโอ โดยอาศัยเทอร์มินอลที่สร้างขึ้นได้ในราคาที่ถูกกว่าใช้ คอมพิวเตอร์

1.3 วิธีการดำเนินงาน

- ศึกษาการทำงานของ กราฟฟิก แอลซีดี และบอร์ดควบคุม TLCD-164
- เขียนโปรแกรมเพื่อส่งข้อความขึ้นจอ กราฟฟิก แอลซีดี
- ทำการศึกษาการเข้ารหัสและถอดรหัสในตัวคีย์บอร์ด และการส่งค่าข้อมูลผ่านทางคีย์บอร์ด
- เขียนโปรแกรมรับค่า อินพุท ทาง คีย์บอร์ด และแสดงเอาท์พุททาง กราฟฟิก แอลซีดี ทำการศึกษาลักษณะการทำงานของ TNC รวมทั้งการสื่อสารส่งผ่านข้อมูลจาก เทอร์มินอลหนึ่งไปยังอีก เทอร์มินอลหนึ่ง
- เขียนโปรแกรมการติดต่อระหว่างแพ็กเก็ตเรดิโอเทอร์มินอลกับ TNC ในระบบแพ็กเก็ตเรดิโอโดยติดต่อกันผ่านทาง RS232
- ทดสอบภาคสนาม และแก้ไขข้อบกพร่อง

1.4 ประโยชน์ที่ได้รับ

- สามารถติดต่อสื่อสารข้อมูลระหว่าง คอมพิวเตอร์ กับ แพ็กเก็ตเรดิโอเทอร์มินอล โดยไม่ต้องใช้สายสัญญาณนำข้อมูล ซึ่งสามารถติดต่อสื่อสารข้อมูลถึงกันได้ขณะที่เดินทางอยู่ เช่น อยู่ในรถ โดยการติดตั้ง แพ็กเก็ตเรดิโอเทอร์มินอล ที่มีขนาดเล็กกระทัดรัด ซึ่งสะดวกในการเคลื่อนย้ายพกพานำไปใช้งานยังที่ต่างๆได้
- ประหยัดค่าใช้จ่ายเนื่องจากไม่ต้องใช้สายสัญญาณนำข้อมูล และไม่ต้องเสียค่าใช้จ่ายในการติดต่อผ่านทางโทรศัพท์
- ไม่จำเป็นต้องใช้คอมพิวเตอร์ ที่มีราคาแพง โดยสามารถใช้ เทอร์มินอล ซึ่งมีราคาถูกและสามารถประกอบเองได้

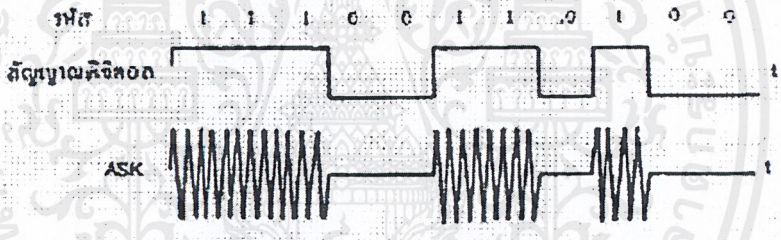
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2
ทฤษฎีที่เกี่ยวข้อง

2.1 เทคนิคการมอดูเลทสัญญาณดิจิตอล

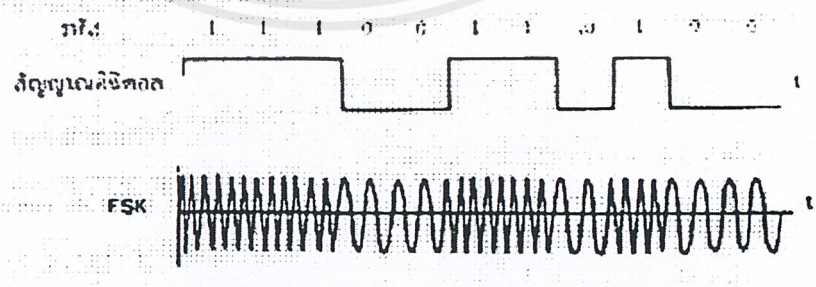
เทคนิคการมอดูเลทสัญญาณดิจิตอลที่ใช้ในปัจจุบัน คือ Amplitude Shift Keying (ASK) , Frequency Shift Keying (FSK) , Phase Shift Keying (PSK) , Quadrature Amplitude Modulation (QAM)

2.1.1 เทคนิคแบบ ASK ค่าไบนารี 2 ค่าจะถูกแทนด้วยขนาดของแอมปลิจูดที่แตกต่างกัน 2 ค่าความถี่ของคลื่น เช่น ไบนารี 1 แทนด้วย แอมปลิจูดคงที่ ส่วนไบนารี 0 แทนด้วยแอมปลิจูดคลื่นที่ขาดหายไป



รูปที่ 2.1 แสดงการมอดูเลทสัญญาณแบบ ASK

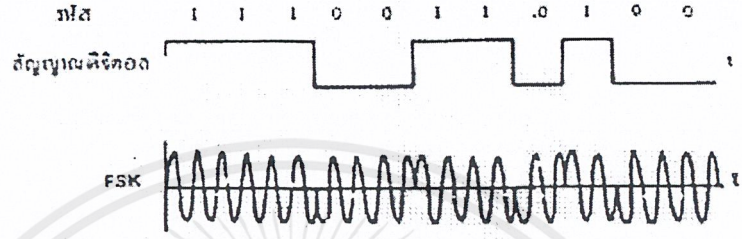
2.1.2 การมอดูเลท แบบ FSK ใช้ในโมเดมความเร็วต่ำ โดยแทน 0 และ 1 ด้วยความถี่ที่ต่างกัน



รูปที่ 2.2 แสดงการมอดูเลทสัญญาณแบบ FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 สำหรับการผสมสัญญาณแบบ PSK ใช้หลักการแทน 0 และ 1 ด้วยการเปลี่ยนแปลงมุมของช่วงในสายส่ง (Phase) เช่น เราอาจกำหนดว่า 0 แทนด้วยมุมต่อเนื่องกันไป และ 1 แทนที่ด้วยมุมที่เปลี่ยนไปจากเดิม 180 องศา



รูปที่ 2.3 แสดงการมอดูเลทสัญญาณแบบ PSK

2.1.4 เทคนิคการมอดูเลทสัญญาณแบบ QAM เป็นการผสมสัญญาณที่ใช้ทั้งการเปลี่ยนเฟสและขนาดสัญญาณควบคู่กันไป

2.2 อุปกรณ์ที่ใช้ในการสื่อสาร

2.2.1 อุปกรณ์TNC เป็นอุปกรณ์เชื่อมต่อระหว่างเครื่องเทอร์มินอลและวิทยุสื่อสารภายในอุปกรณ์ชนิดนี้จะประกอบไปด้วย ไมโครโปรเซสเซอร์และวงจรทางอิเล็คทรอนิกส์ ซึ่งทำหน้าที่แปลงรูปสัญญาณข้อมูลดิจิตอลที่วิ่งมาจากพอร์ตอนุกรมของเครื่องคอมพิวเตอร์ไปเป็นรูปสัญญาณข้อมูลอนาลอกที่จะถูกป้อนเข้าสู่เครื่องรับส่งวิทยุในช่วงที่ทำหน้าที่ส่งข้อมูล โดย TNC จะนำข้อมูลที่ถูกส่งมาจากเครื่องคอมพิวเตอร์ มาแบ่งเป็นแพ็กเก็ตย่อยๆ แล้วนำข้อมูลไปผ่านการมอดูเลท แพ็กเก็ตนั้นๆ ให้อยู่ในรูปความถี่เสียง จากนั้นจึงทำการส่งสัญญาณแจ้งไปยังปลายทางเพื่อให้เตรียมรับส่งแพกเก็ตไปบนวงจรเชื่อมต่อทางวิทยุ ในทางกลับกันกรณีที่เป็นการรับข้อมูล TNC ทำการแปลงข้อมูลสัญญาณเสียงซึ่งได้รับจากสถานีอื่นมาเป็นกลุ่มข้อมูลไบนารีก่อนที่จะส่งไปยังเครื่องคอมพิวเตอร์ต่อไป

2.2.2 เครื่องคอมพิวเตอร์ ทำหน้าที่เป็นเทอร์มินอลสำหรับผู้ใช้งาน โดยจะมีโปรแกรมประเภทเทอร์มินอลอีมูเลเตอร์ ซึ่งถูกเขียนเพื่อติดต่อกับแพ็กเก็ตเรดิโอ

2.2.3 เทอร์มินอล ซึ่งมีหน้าจอเป็น กราฟฟิกแอลซีดี ขนาด 128x64 จุด และมีบอร์ดควบคุมซึ่งมีอักษรภาษาไทยในตัว ทำให้สะดวกในการนำไปใช้งาน พร้อมด้วย คีย์บอร์ด และใช้ ไมโครคอนโทรลเลอร์ 89C51RD2 เป็นตัวประมวลผลหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.4 อุปกรณ์วิทยุสื่อสาร โดยทั่วไปจะประกอบไปด้วยอุปกรณ์ TNC ซึ่งใช้เทคนิคการมอดูเลตแบบ AFSK รับส่ง และใช้วิทยุสื่อสารในย่านความถี่ 144 - 148 MHz

2.3 ประวัติการเป็นมาของการสื่อสารแพ็กเก็ตเรดิโอ

เทคโนโลยีการสื่อสารข้อมูลแบบแพ็กเก็ต ได้ถูกพัฒนาขึ้นใช้งานในช่วงกลางปี พ.ศ. 2503 และถูกกำหนดให้ใช้งานในเครือข่าย ARPANET (เครือข่าย internet ในปัจจุบัน) ในปี พ.ศ. 2512 ต่อมาในปี พ.ศ. 2513 ที่มหาวิทยาลัยฮาวายได้มีการพัฒนาเครือข่าย ALOHANET ซึ่งนับว่าเป็นโครงการแรกที่ได้สร้างแพ็คเก็ตเรดิโอขนาดใหญ่ขึ้นมาก การนำแพ็กเก็ตเรดิโอไปใช้งานในวงการวิทยุสมัครเล่นเริ่มที่นคร มอนทรีออล ประเทศแคนาดา ในวันที่ 31 พฤษภาคม พ.ศ. 2521 หลังจากในไม่นานก็ได้มีการดำเนินงานสร้างอุปกรณ์ TNC ซึ่งเป็นอุปกรณ์ในการเชื่อมต่อระหว่างเครื่อง Terminal และวิทยุสื่อสารตามเข้ามา

มาตรฐาน TNC ได้รับการพัฒนาขึ้นนับตั้งแต่ได้มีการจัดสัมมนา โดยสมาคมคอมพิวเตอร์ของ IEEE ในปี 2524 ในวันที่ 26 มิถุนายน พ.ศ. 2525 ไลน์ จอห์น และ เดน คอนเนอร์ส ก็สามารถดำเนินการสร้างเครื่องต้นแบบที่สามารถติดต่อกับ TAPR ได้สำเร็จ โดยโครงการได้ดำเนินต่อไป จากเครื่องต้นแบบได้พัฒนาเป็น TNC-1 และเป็น TNC-2 ซึ่งเป็นพื้นฐานของอุปกรณ์ TNC ที่ใช้กันทั่วโลก

2.4 การส่งข้อมูลแบบ แพ็กเก็ต

การรับส่งข้อมูลแบบแพ็กเก็ตมีข้อดีเหนือการรับส่งข้อมูลชนิดดิจิตอลแบบอื่นๆ อยู่ 3 ประการ คือ

2.4.1 ความโปร่งใส (Transparency) ของข้อมูลที่ส่งผ่านอุปกรณ์ต้นทางและปลายทาง

การทำงานของสถานีรับส่งแพ็กเก็ตเรดิโอจะเป็นลักษณะที่โปร่งใสต่อผู้ใช้งาน กล่าวคือผู้ใช้งานเพียงแต่เชื่อมโยงส่วนต่างๆ เข้าด้วยกัน พิมพ์หรือเตรียมข้อความที่ต้องการจะส่ง ข้อความนั้นจะถูกส่งไปโดยอัตโนมัติไม่จำเป็นที่ผู้ใช้ต้องมาแบ่งข้อมูลเป็นแพ็กเก็ต หรือควบคุมข้อมูลการรับส่ง อุปกรณ์ TNC จะทำหน้าที่แบ่งข้อมูลที่ต้องการจะส่งเป็นข้อมูลย่อยๆ ติดต่อกับเครื่องรับวิทยุและแพ็กเก็ตนั้นโดยอัตโนมัติ ในด้านสถานีรับข้อมูล อุปกรณ์ TNC จะทำหน้าที่ถอดรหัสข้อมูลจากแพ็กเก็ตที่ได้รับ ตรวจสอบความผิดพลาดของข้อมูลและแสดงข้อความที่ได้รับผ่านเครื่องคอมพิวเตอร์หรือ terminal ที่เชื่อมต่ออยู่ปลายทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 การควบคุมความผิดพลาดของข้อมูล (Error correction)

การสื่อสารแบบแพ็กเก็ตเรดิโอเป็นการสื่อสารที่ปราศจากความผิดพลาดของข้อมูล หรือหากจะมีก็อยู่ที่ในระดับที่ต่ำมากๆ ทั้งนี้เนื่องจากมีการกำหนดกระบวนวิธีในการตรวจสอบความผิดพลาดของข้อมูลในอุปกรณ์ TNC โดยที่หากสถานีวิทยุได้รับข้อมูลจากสถานีส่งต้นทาง จะมีการตรวจสอบความถูกต้องของข้อมูล และแสดงข้อความที่ได้รับผ่านทางเครื่องคอมพิวเตอร์ ในกรณีที่ข้อมูลที่ได้รับไม่มีความผิดปกติใดๆ นอกจากนั้นยังสามารถนำอุปกรณ์ TNC มาใช้งานเป็นสถานีทวนสัญญาณสำหรับการสื่อสาร แบบแพ็กเก็ตเรดิโออีกประการหนึ่ง ซึ่งเรียกว่า digipeater นับเป็นการเพิ่มระยะทางในการติดต่อสื่อสารข้อมูลให้กว้างไกลขึ้น

2.4.3 การควบคุมการรับส่งแบบอัตโนมัติ (automatic control)

ผู้ใช้งานสามารถทำการติดต่อสื่อสารไปยังอุปกรณ์ TNC ของผู้อื่น ได้ตลอดเวลาตามที่ต้องการ และสามารถใช้งานในความถี่เดียวกันได้ ทั้งนี้เนื่องจากรูปแบบการส่งข้อมูลเป็นแบบแพ็กเก็ตซึ่งส่งกันเป็นช่วงๆ ดังนั้นผู้ใช้งานหลายๆ รายจึงสามารถใช้ความถี่วิทยุเดียวกันเป็นตัวกลางในการรับส่งข้อมูลได้ ทั้งนี้อาจเกิดเหตุการณ์ที่มีผู้ใช้บริการมากกว่า 2 รายขึ้นไปส่งแพ็กเก็ตออกมาพร้อมกันที่ความถี่เดียวกัน ก่อให้เกิดการชนกันของข้อมูลขึ้น (collision) ซึ่งมีผลทำให้ต้องมีการส่งแพ็กเก็ตของแต่ละคนออกมาใหม่ อัตราการเกิดการชนกันของข้อมูลจะมากหรือน้อย ขึ้นอยู่กับเทคนิคที่ใช้ในการควบคุมการรับส่งแพ็กเก็ต

2.5 ข้อจำกัดด้านระยะทางในการส่ง

เนื่องจากการส่งข้อมูลโดยใช้แพ็กเก็ตเรดิโอเป็นการใช้งานย่านความถี่สูงมาก ซึ่งก็คือย่าน VHF หรือ UHF จึงทำให้เกิดข้อจำกัดในด้านของระยะทางสูงสุดที่สามารถทำการรับส่งกันได้ ซึ่งขึ้นอยู่กับหลายๆ องค์ประกอบอาทิเช่น กำลังส่งของเครื่องรับส่งวิทยุ ประเภทและตำแหน่งการติดตั้งสายอากาศ ความถี่ที่ใช้ส่งข้อมูลออกอากาศ และความยาวของสายส่ง ที่ลากจากเครื่องรับส่งวิทยุไปถึงสายอากาศอีกด้วย ทั้งนี้ยังมีปัจจัยสำคัญที่เกี่ยวข้องกับระยะทางในการรับส่ง ซึ่งก็คือสิ่งกีดขวางต่างๆ เช่น ภูเขา กลุ่มตึกหรืออาคารสูง เป็นต้น สามารถประมาณได้คร่าวๆ ว่าในการส่งข้อมูลแพ็กเก็ตเรดิโอโดยใช้ความถี่ 144 – 148 เมกะเฮิรตซ์ จะสามารถส่งได้ระยะทางในช่วง 15 – 150 กิโลเมตร โดยขึ้นอยู่กับส่วนประกอบต่างๆ ดังกล่าวมาแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 การใช้ช่องสื่อสารวิทยุร่วมกัน

สำหรับการเข้าใช้งานช่องสื่อสาร เพื่อส่งข้อมูลข่าวสาร อุปกรณ์ TNC จะทำการตรวจสอบการใช้งานช่องสื่อสารวิทยุ เพื่อดูว่ามีสถานีใดเข้าใช้งานเพื่อส่งข้อมูลหรือไม่ หากพบว่าไม่มีการใช้งานช่องสื่อสาร อุปกรณ์ TNC จะส่งสัญญาณของใช้ช่องสื่อสาร และเริ่มทำการส่งข้อมูลใดๆ ระหว่างที่สถานีกำลังใช้งานอยู่ ในกรณีที่มีสถานีส่งสำนวน 2 แห่งขึ้นไป ส่งข้อมูลออกมาที่ช่องสื่อสารวิทยุพร้อมกัน ในเวลาเดียวกัน

สำหรับคำว่า "เวลาเดียวกัน" นั้นมีความหมายในที่นี้ว่า วงจรสื่อสารหลายคู่บนช่องสื่อสารวิทยุเดียวกันสามารถเกิดขึ้นได้ ซึ่งจะทำให้เกิดการชนกันของข้อมูลขึ้น

แพ็กเก็ตเรดิโอ จึงใช้ โปรโตคอล ซึ่งเรียกว่า AX.25 สำหรับใช้ในการแบ่งช่องสื่อสารวิทยุใช้งานกับสถานีสื่อสารหลายๆคู่ เพื่อเพิ่มช่องสื่อสารวิทยุให้มากขึ้น จะช่วยป้องกันการชนกันของข้อมูล และทำให้การส่งข้อมูลข่าวสารเร็วขึ้น

2.7 โปรโตคอล AX.25

โปรโตคอล AX.25 หรือ Amateur X.25 เป็นโปรโตคอลสื่อสารข้อมูลซึ่งถูกออกแบบขึ้นให้ใช้กับงานแพ็กเก็ตเรดิโอ โดยได้รับการพัฒนาขึ้นจากโปรโตคอล X.25 ซึ่งมีใช้งานทั่วไป ระบบ AX.25 ถูกพัฒนาขึ้นในปี 2513 โดยอ้างอิงจากโปรโตคอลเครือข่าย X.25 แต่เนื่องจากความแตกต่างของตัวกลางที่ใช้ในการรับส่งข้อมูล (จากคู่สายในเครือข่ายพื้นฐานเป็นคลื่นความถี่วิทยุสำหรับแพ็กเก็ตเรดิโอ) และความแตกต่างในเรื่องการจัดแอดเดรส โปรโตคอล X.25 จึงได้รับการพัฒนาให้เหมาะสมกับความต้องการใช้งานแพ็กเก็ตเรดิโอ โดยโปรโตคอล AX.25 มีการเพิ่มฟิลด์แอดเดรสสำหรับใช้กับการทวนสัญญาณของสถานีเพื่อเมื่อขอบเขตระยะทางในการสื่อสาร ข้อดีประการหนึ่งของ AX.25 ก็คือแพ็กเก็ตทุกแพ็กเก็ตมีการระบุรหัสเรียกขาน (callsign) ทั้งของผู้ส่งและผู้รับ จึงทำให้สามารถแยกแยะความแตกต่างของสถานีงานได้

2.8 การสื่อสารผ่านพอร์ทอนุกรม RS-232

ในการสื่อสารโดยใช้คอมพิวเตอร์นั้น มีรูปแบบที่ใช้ในการสื่อสารอยู่ 2 อย่างใหญ่ๆ คือการสื่อสารแบบอนุกรม และการสื่อสารแบบขนาน การสื่อสารแบบขนานนั้นสามารถส่งข้อมูลได้ทีละมากๆ เพราะมีสายสัญญาณหลายเส้น แต่ก็เป็นอุปสรรคในการสื่อสารระยะทางที่ไกล การสื่อสารแบบอนุกรมจึงได้เปรียบในจุดที่ใช้สายสัญญาณเพียง 2 เส้น จึงเป็นการประหยัด และสะดวกในการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสื่อสารข้อมูลหรืออินเตอร์เฟสถึงกันนั้น ย่อมจะต้องมีมาตรฐานในการสื่อสาร เพื่อให้เป็นที่เข้าใจตรงกันทั้งผู้รับและผู้ส่ง ซึ่งจะมีชื่อเรียกไปตามมาตรฐานต่างๆ เช่น อาร์เอส-232 (RS-232) อาร์เอส-422 (RS-422) อาร์เอส-485 (RS-485) เป็นต้น

2.8.1 ลักษณะสัญญาณที่ใช้ในการอินเตอร์เฟสตามมาตรฐานต่างๆ

มาตรฐาน อาร์เอส-232 (RS-232) ใช้สัญญาณเพียงเส้นเดียวในการส่งสัญญาณ โดยสัญญาณที่ส่งไป สามารถไปได้เพียงทิศทางเดียว ในกรณีที่อัตราเร็วในการส่งข้อมูลมีค่าเท่ากับ 20 กิโลบิตต่อวินาที (Kbps) ซึ่งค่านี้เป็นค่าสูงสุดที่ใช้ในการส่งข้อมูล ระยะทางที่ใช้ส่งข้อมูลไม่ควรเกิน 50 ฟุต (ตามข้อกำหนดของมาตราฐาน) สำหรับการแทนแรงดันของระดับสัญญาณ (ในที่นี้จะแทนสัญญาณด้วยลอจิกบวก) มีข้อกำหนดดังนี้ คือ “1” แทนด้วยระดับแรงดันที่มีค่าระหว่าง -3 โวลต์ ถึง -25 โวลต์ ส่วน "0" แทนด้วยระดับแรงดันที่มีค่าระหว่าง +3 โวลต์ ถึง +25 โวลต์

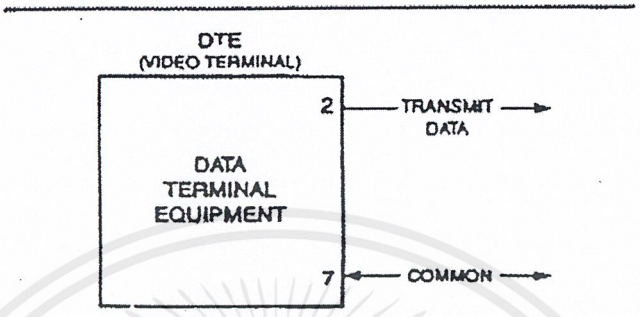
2.8.2 มาตรฐานการอินเตอร์เฟส อาร์เอส-232 (RS-232)

จากเหตุผลที่ได้อธิบายมาแล้วข้างต้น จะเห็นได้ว่ามีความจำเป็นที่จะต้องมีมาตรฐานในการรับส่งข้อมูลในปี 1969 EIA (Electronic Industries Association) ห้องวิจัย Bell และบรรดาผู้ผลิตอุปกรณ์สื่อสารได้ร่วมกันจัดตั้งมาตราฐาน EIA RS-232 ซึ่งต่อมาไม่นานนักก็ได้มีการปรับปรุงแก้ไขกันอีกเล็กน้อยกลายเป็น RS-232-C และไม่นานมานี้ก็ได้ออกมาตรฐาน RS-232-D และยังมีมาตรฐานคล้ายกันซึ่งออก โดยองค์กรระหว่างประเทศคือ Consultative Committee on International Telegraphy and Telephone (CCITT) เพื่อให้เราสามารถเข้าใจกับการอินเตอร์เฟส RS-232 ได้ดียิ่งขึ้น เราควรทำความเข้าใจกับวัตถุประสงค์หลักของ RS-232 ก่อน ซึ่งได้แสดงไว้อย่างชัดเจนในหัวข้อ การอินเตอร์เฟส ระหว่างอุปกรณ์เทอร์มินอลและอุปกรณ์สื่อสารข้อมูลที่ใช้วิธีการแลกเปลี่ยนข้อมูลไบนารี แบบอนุกรม (Interface Between Data Terminal Equipment and Data Communications Equipment Employing Serial Binary Data Interchange)

เราลองพิจารณาโครงสร้างเบื้องต้น การอินเตอร์เฟส RS-232 จะประกอบด้วยสายไฟเพียง 2 เส้น เส้นหนึ่งเป็นเส้นสำหรับส่งข้อมูล และอีกเส้นหนึ่งเป็นเส้นสำหรับอ้างอิงระดับแรงดันของวงจรอินเตอร์เฟส (Circuit common) ในส่วนของแรงดันอ้างอิงนี้ มักมีผู้เข้าใจไขว้เขวว่าเป็นสิ่งเดียวกับกราวด์ (Ground) ซึ่งที่แท้จริงแล้ววงจรอินเตอร์เฟสใช้สิ่งนี้อ้างอิงระดับแรงดันในวงจร เราควรจำไว้เสมอว่า ขาแรงดันอ้างอิง (ขา 7) ในวงจรอินเตอร์เฟสเป็นสิ่งที่ขาดไม่ได้ไม่ว่าวงจรนั้นจะซับซ้อนหรือง่ายดายเพียงใด

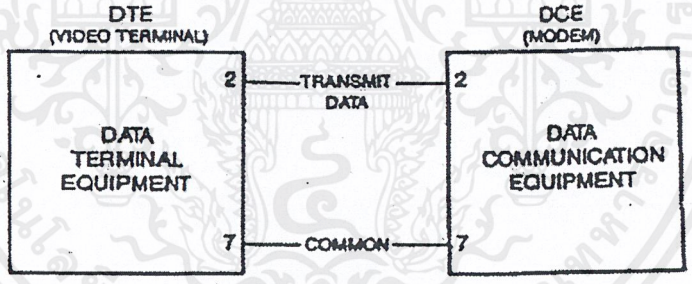
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.4 แสดงอุปกรณ์ DTE เบื้องต้น (Data terminal Equipment) ซึ่งเป็นตัวเทอร์มินอลที่ประกอบด้วยคีย์บอร์ดและจอมอนิเตอร์ ด้วยตัวเลขแสดงภายในอุปกรณ์ แสดงหมายเลขขาของตัวคอนเนคเตอร์ของอุปกรณ์



รูปที่ 2.4 อุปกรณ์ DTE เบื้องต้น

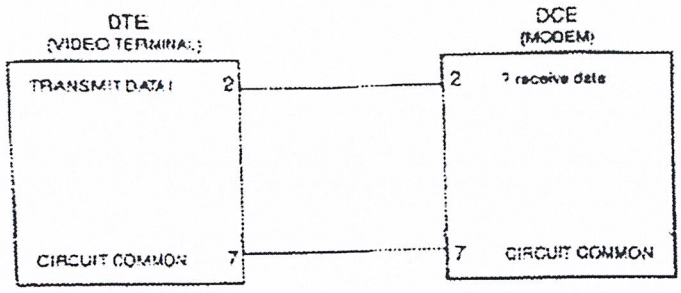
การอินเตอร์เฟสใดๆ จะต้องประกอบด้วยส่วนของตัวส่งข้อมูล และส่วนของตัวรับข้อมูล รูปที่ 2.4 เราสมมติให้ส่วนรับข้อมูลเป็นอุปกรณ์ DCE (Data Communication) ดั้งเดิมซึ่งก็คือโมเด็มนั่นเอง



รูปที่ 2.5 อุปกรณ์ DCE

หากเราพิจารณาตามรูป เราจะพบว่าข้อมูลที่ถูกส่งออกจากขา 2 ของอุปกรณ์ DTE จะรับเข้าไปยังอุปกรณ์ DCE จะเป็นข้อมูลที่รับได้ที่ขาของตัว DCE จะเป็นข้อมูลตัวเดียวที่ปรากฏบนขา 2 ของตัวมันเอง หรืออีกนัยหนึ่ง "Transmit Data" มิได้มีส่วนในการกำหนดว่าอุปกรณ์ใดเป็นตัวต้นทางหรือปลายทาง ทั้งนี้ขึ้นอยู่กับมุมมองที่เราพิจารณา เราอาจกำหนดชื่อของขาคอนเนคเตอร์ไว้ในตัวอุปกรณ์ได้ดังรูปที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 อุปกรณ์ DTE และอุปกรณ์ DCE เป็นคู่อุปกรณ์ร่วมที่ทำงานตรงข้ามกัน

จากรูปที่ 2.6 ข้อมูลที่ถูกส่งออกไปยังขา 2 ของ DTE เป็นข้อมูลตัวเดียวกันกับข้อมูลที่รับเข้ามาทางขา 2 ของ DCE ต่อไปนี้เราจะนิยามสัญญาณที่ส่งออกไปว่า "อินพุท" โดยถือว่าสัญญาณเป็นกิจกรรมทางไฟฟ้าที่เกิดขึ้นในกระบวนการอินเทอร์เฟส

สังเกตจากรูปที่ 2.6 ชื่อของอินพุทจะถูกแทนด้วยอักษรตัวพิมพ์เล็กกำกับด้วยเครื่องหมายคำถาม (?) และชื่อของเอาท์พุท แทนด้วยอักษรตัวพิมพ์ใหญ่กำกับด้วยเครื่องหมายอัศเจรีย์ (!) ทั้งนี้เพื่อให้ชัดเจนและง่ายต่อการเข้าใจ ซึ่งเป็นข้อตกลงที่ใช้เฉพาะในนี้เท่านั้น

2.9 โหมด การทำงานของ อุปกรณ์ TNC

2.9.1 Packet mode

- สามารถเชื่อมต่อระหว่างคอมพิวเตอร์ ได้โดยตรงหรือที่เรียกว่า Direct computer to computer connect
- สามารถส่งจดหมายข่าว หรือจดหมายอิเล็คทรอนิคส์ (E-mail) ที่สามารถเขียนติดต่อแลกเปลี่ยนกันได้โดยอิสระในเครือข่าย เรียกว่า PBBS (Personal Bulletin board system)
- สามารถเชื่อมต่อคอมพิวเตอร์ปลายทาง โดยวิธีการผ่านทางคอมพิวเตอร์อื่นๆในเครือข่ายได้โดยอัตโนมัติ หรือ เรียกว่า Ka-node connect

2.9.2 TCP/IP mode : (Transmission control protocol/internet protocol)

- FTP (File transfer protocal) สามารถเชื่อมต่อกับคอมพิวเตอร์ปลายทาง ในเครือข่ายเพื่อเข้าไปเอาไฟล์ และวางไฟล์ได้ทั้งแบบ ACSII(*.txt,.doc,etc) แบบ IMAGE(.com,*.exe,etc)
- Telnet สามารถเชื่อมต่อเข้ากับคอมพิวเตอร์ปลายทางในเครือข่ายที่มี address (login) และ Password ของผู้ใช้อยู่บนเครื่องปลายทาง
- SMTP (Simple mail transfer protocol) สามารถที่จะส่งจดหมายอิเล็กทรอนิกส์ (E-mail) แก่ผู้ใช้ ที่ชื่อ และ แอดเดรสที่ host ปลายทางใดๆ ได้อัตโนมัติโดยที่เรียกว่า SMTP ซึ่งเป็นโปรโตคอลชนิดหนึ่งที่ใช้ในการรับส่ง จดหมายอิเล็กทรอนิกส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10 **คุณสมบัติของบอร์ดควบคุม** Graphic LCD

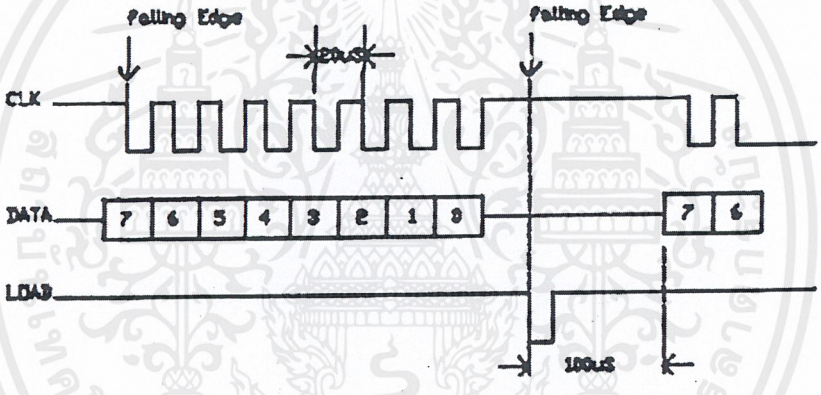
บอร์ด TLCD-164 คือแผงแสดงแอลซีดี ที่มีชิพไมโครคอนโทรลเลอร์อยู่ในตัว โดยจะช่วยให้การควบคุมกระทำได้ง่ายและประหยัดจำนวน I/O ที่ใช้ในการควบคุม นอกจากนี้ยังช่วยลดภาระของโปรแกรมในบอร์ดหลักได้เป็นอย่างดี ที่สำคัญก็คือ บอร์ด TLCD-164 แสดงภาษาไทยได้ทันที โดยจะทำการจัดบรรทัดให้เรียบร้อย ผู้ใช้เพียงแต่ส่งตัวอักษร (สมอ.) มาเท่านั้น คุณสมบัติสามารถสรุปได้ดังนี้

- LCD Module แบบกราฟฟิกขนาด 128x64 จุด ควบคุมโดยไมโครคอนโทรลเลอร์ 89C52
- มีดิพสวิทช์ 4 ตัวสำหรับเลือกโหมดการทำงาน (STEST, 3BIT, RS232, DEMO) และความเร็วของการสื่อสาร (BAUDRATE 1200, 2400, 4800, 9600)
- มี ดิพสวิทช์ อีก 4 ตัวสำหรับเลือกใช้งานแบบ Network โดยสามารถกำหนด Address ได้ถึง 8 ตำแหน่ง (0 – 7)
- สามารถเลือกสัญญาณควบคุมได้ 4 แบบ คือ RS232 มาตรฐาน, RS232 แบบ Logic, RS485 Network (Option) และ 3 BIT SERIAL
- มีตัวต้านทานปรับค่าได้รูปเกือกม้าสำหรับปรับความเข้มของ LCD
- ใช้กับ LCD รุ่นที่มี Backlight ได้ พร้อมคำสั่งในการควบคุม
- ขั้วต่อ 2 PIN สำหรับ Supply 5 VDC,3 PIN สำหรับ RS232,2 PIN สำหรับ RS485 และ 5 PIN สำหรับ 3 BIT SERIAL
- 2 Jumper สำหรับเลือก RS232 แบบมาตรฐานหรือ Logic
- สามารถแสดงตัวอักษรไทย,อังกฤษ ได้ 4 บรรทัด บรรทัดละ 16 อักษร
- สามารถแสดงข้อมูลในแบบกราฟฟิกได้พร้อมทั้งมีคำสั่งสำหรับ ON/OFF Cursor และทำ Backspace ได้
- มี 4 BIT Output ให้ผู้ใช้ขยายการใช้งานได้อิสระ (ที่จุดต่อ 5 PIN และ 2 PIN ใกล้ๆ กับส่วน PCB Working)
- มี LED แสดงสถานะ Power, RX, TX, Busy
- มีชุดคำสั่งในการควบคุม 11 คำสั่ง (ASCII Command) เข้าใจและใช้งานได้ง่าย, สะดวก
- ใช้กระแสเพียง 17 mA (5 VDC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.11 การควบคุมผ่านทาง 3 BIT SERIAL

การควบคุมผ่านทาง 3 BIT SERIAL จะทำงานได้เร็วกว่า RS232 ขณะเดียวกันจะเป็นแบบ Synchronous กล่าวคือ สัญญาณจะขึ้นอยู่กับสัญญาณนาฬิกา ขอบขาลง ที่กำหนดโดยบอร์ดที่ส่งข้อมูลมา โดยไม่ขึ้นอยู่กับระยะเวลาของสัญญาณ (เหมือน RS232) ซึ่งจะเหมาะกับงานที่ค่อนข้างซับซ้อน และต้องดูแล อินพุท/เอาท์พุท ที่ไม่แน่นอนจำนวนมาก การควบคุมแบบนี้จะใช้ขาสัญญาณ 3 เส้น คือ DIN (Data - in),CLK (CLOCK),LD (LOAD) โดยรูปแบบการส่งข้อมูลจะกระทำทีละ 8 BIT (1 BYTE) ทั้งนี้รูปแบบของข้อมูลจะเป็นเหมือนกับ RS232 ทุกประการ การควบคุมแบบนี้จะไม่มีการตอบรับจากตัว TLCD-164 เพราะฉะนั้นผู้ใช้จะต้องหน่วงเวลาตาม Busy Time ที่กำหนดเสมอหลังจากที่ส่งคำสั่งไปแล้ว รายละเอียดของสัญญาณแต่ละ Byte จะแสดงได้ดังภาพต่อไปนี้



รูปที่ 2.7 รายละเอียดของสัญญาณแต่ละ BYTE

2.12 คีย์บอร์ด

การติดต่อกันระหว่าง คีย์บอร์ด และ คอนโทรลเลอร์ ใช้สายสัญญาณเพียงแค่ 2 เส้น คือ

- สาย DATA ซึ่งจะต่ออยู่กับขา อินเทอร์รัพ
- สาย CLOCK ซึ่งสัญญาณนาฬิกาของ คีย์บอร์ด จะอยู่ในช่วง 10 และ 20 kHz

คีย์บอร์ด จะมี คอนเนคเตอร์ อยู่สองชนิด คือ 5-pin DIN หรือ “5D” และ ขั้วที่มีขนาดเล็กกว่าที่มี 6 pin ดังแสดงในรูป 2.8

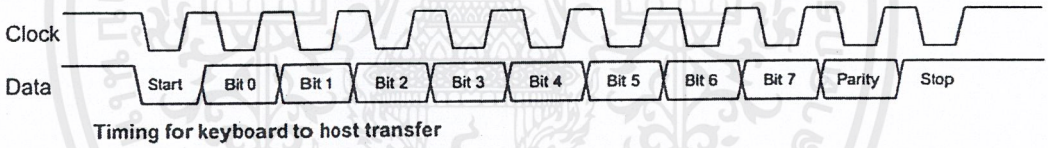
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AT Keyboard Connector Pin Assignments

AT Computer		
Signals	DIN41524, Female at Computer, 5-pin DIN 180°	6-pin Mini DIN PS2 Style Female at Computer
Clock	1	5
Data	2	1
nc	3	2,6
GND	4	3
+5V	5	4
Shield	Shell	Shell

รูปที่ 2.8 แสดง connector ของ Keyboard ทั้ง 2 ชนิด

สำหรับการส่งสัญญาณจากคีย์บอร์ดจะมี 1 start bit, 8 data bit, 1 odd parity bit, 1 stop bit (เป็น 1 เสมอ) และสัญญาณจะส่งในช่วงที่ CLOCK เป็นขอบขาลง ซึ่งสัญญาณนาฬิกาที่เป็น LOW อยู่ในช่วง 30-50 µs และ HIGH 30-50 µs ดังรูป



รูปที่ 2.9 Timing Diagram ของ Keyboard

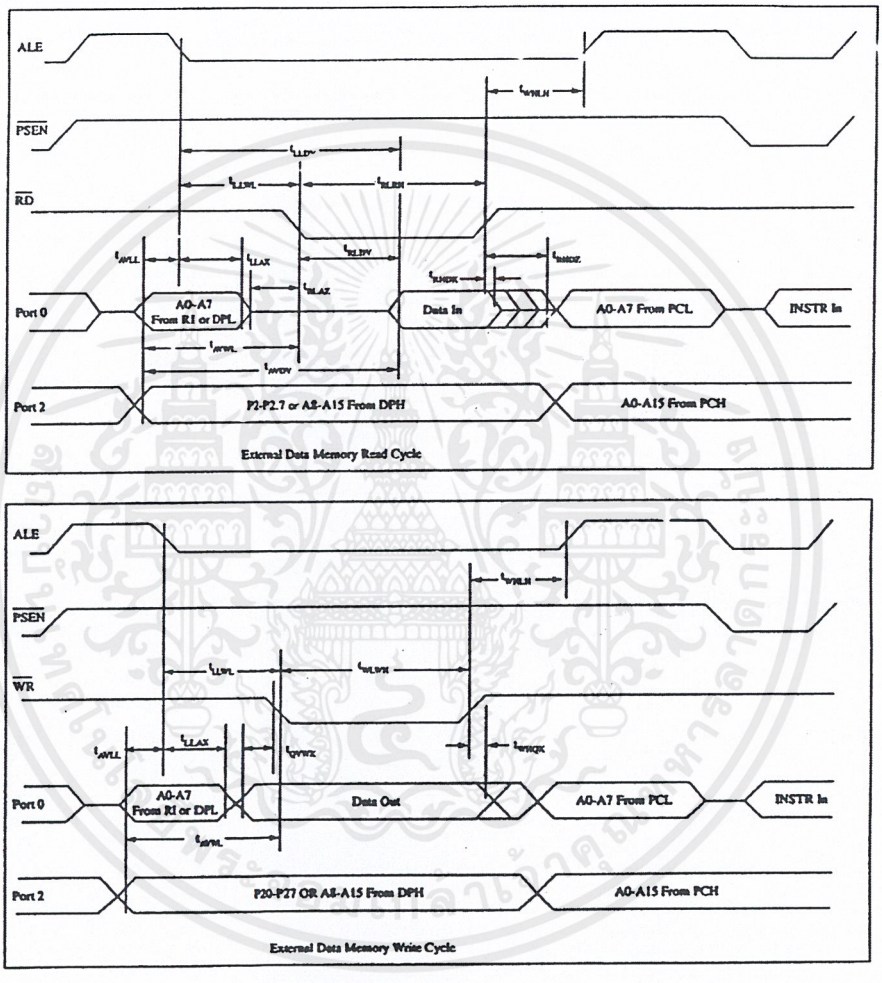
2.13 ไมโครคอนโทรลเลอร์ 89C51RD2

- 8051 Central Processing Unit
- Flash Program Memory
- Speed up ถึง 20 MHz กับสัญญาณนาฬิกา 6 ลูกต่อหนึ่งรอบการทำงาน
- สามารถขยายหน่วยความจำภายนอกได้ถึง 64 Kbytes
- I/O พอร์ตขนาด 8 บิต 4 พอร์ต
- 7 interrupt sources

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.14 การเชื่อมต่อหน่วยความจำข้อมูลภายนอก

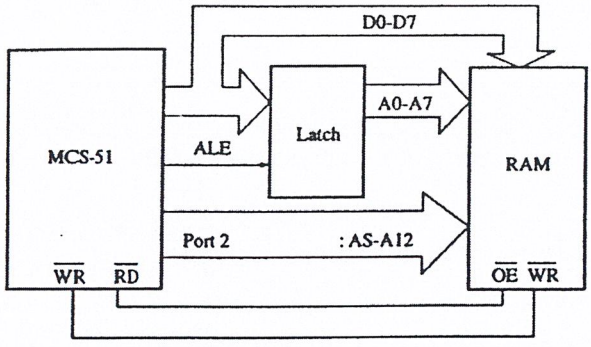
โดยปรกติแล้วหน่วยความจำข้อมูลจะใช้สำหรับเก็บข้อมูลที่ได้จากการประมวลผล หน่วยความจำข้อมูลจะเป็นหน่วยความจำที่สามารถอ่านและเขียนข้อมูลได้ โดยจะใช้หน่วยความจำประเภท RAM และสำหรับการอ่านและการเขียนหน่วยความจำข้อมูลภายนอกแสดงเป็นลำดับสัญญาณเวลาได้ดังรูป 2.10



รูปที่ 2.10 ไดอะแกรมเวลาการอ่านเขียนหน่วยความจำข้อมูลภายนอก

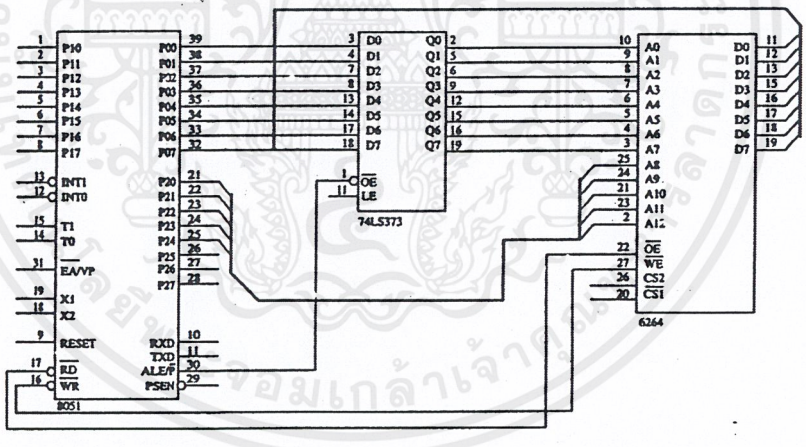
จากรูป ถ้าต้องการอ่านข้อมูลจากหน่วยความจำภายนอก จะใช้สัญญาณ RD และถ้าต้องการเขียนข้อมูลให้กับหน่วยความจำข้อมูลภายนอกจะใช้สัญญาณ WR ในขณะที่สัญญาณ PSEN ไม่ แอคทีฟ ดังนั้นการเชื่อมต่อกับหน่วยความจำภายนอกแสดงได้ดังรูป 2.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 ไดอะแกรมการเชื่อมต่อหน่วยความจำภายนอก

การเชื่อมต่อหน่วยความจำข้อมูลภายนอก จะเป็นทำนองเดียวกับการเชื่อมต่อกับหน่วยความจำโปรแกรมภายนอก หน่วยความจำที่ใช้จะใช้แบบ สแตติก (Static RAM) จากไดอะแกรมเวลา จะเห็นว่าเมื่อติดต่อกับหน่วยความจำข้อมูลภายนอกสัญญาณที่ต้องใช้คือ พอร์ต 0 และพอร์ท 2 สำหรับเป็นแอดเดรสบน สัญญาณ ALE สำหรับ Latch สัญญาณพอร์ท 0 สัญญาณ RD และสัญญาณ WR สำหรับอ่านและเขียนข้อมูลลงหน่วยความจำตามลำดับ



รูปที่ 2.12 การเชื่อมต่อไมโครคอนโทรลเลอร์กับหน่วยความจำภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การวิจัยและการดำเนินงาน

3.1 เตรียมอุปกรณ์ต่างๆที่จะใช้งานซึ่งประกอบด้วย

1) คอมพิวเตอร์ ทำหน้าที่เป็นเทอร์มินอลสำหรับผู้ใช้งาน โดยจะมีโปรแกรมประเภทเทอร์มินอลอีมูเลเตอร์ ซึ่งถูกเขียนเพื่อติดต่อกับแพ็กเก็ตเรดิโอ
2) TNC เป็นอุปกรณ์เชื่อมต่อระหว่างเครื่องเทอร์มินอลและวิทยุสื่อสารภายในอุปกรณ์ชนิดนี้จะประกอบไปด้วยโมเด็ม ไมโครโปรเซสเซอร์และวงจรอิเล็คทรอนิกส์ ซึ่งทำหน้าที่แปลงรูปสัญญาณข้อมูลดิจิตอลที่ไหลจากพอร์ตอนุกรมของเครื่องคอมพิวเตอร์ไปเป็นรูปสัญญาณข้อมูลอนาลอกที่จะถูกป้อนเข้าสู่เครื่องรับส่งวิทยุในช่วงที่ทำหน้าที่ส่งข้อมูล โดย TNC จะนำข้อมูลที่ถูกส่งมาจากเครื่องคอมพิวเตอร์ มาแบ่งเป็นแพ็กเก็ตย่อยๆ แล้วนำข้อมูลไปผ่านการมอดูเลท แพ็กเก็ตนั้นๆ ให้อยู่ในรูปความถี่เสียง จากนั้นจึงทำการส่งสัญญาณแจ้งไปยังปลายทาง เพื่อให้เตรียมรับส่งแพ็กเก็ตไปบนวงจรเชื่อมต่อทางวิทยุ ในทางกลับกันกรณีที่เป็นการรับข้อมูล TNC ทำการแปลงข้อมูลสัญญาณเสียงซึ่งได้รับจากสถานีอื่นมาเป็นกลุ่มข้อมูลไบนารีก่อนที่จะส่งไปยังเครื่องคอมพิวเตอร์ต่อไป
3) วิทยุสื่อสาร โดยทั่วไปจะใช้ประกอบกับอุปกรณ์ TNC ซึ่งใช้เทคนิคการมอดูเลตแบบ AFSK รับส่ง และใช้วิทยุสื่อสารในย่านความถี่ 144 - 148 MHz
4) กราฟฟิกแอลซีดี ที่มีขนาด 128x64 จุด และบอร์ด TLCD-164 ซึ่งมีอักษรภาษาไทยในตัวทำให้สะดวกในการนำไปใช้งาน
5) คีย์บอร์ด PC/AT
6) ไมโครคอนโทรลเลอร์ เบอร์ 89C51RD2
7) Ram ภายนอก เบอร์ HM62256BLP-7
8) IC เบอร์ DS275
9) สายสัญญาณสำหรับ RS232
10) อุปกรณ์ อิเลกโทรนิกส์ต่างๆ

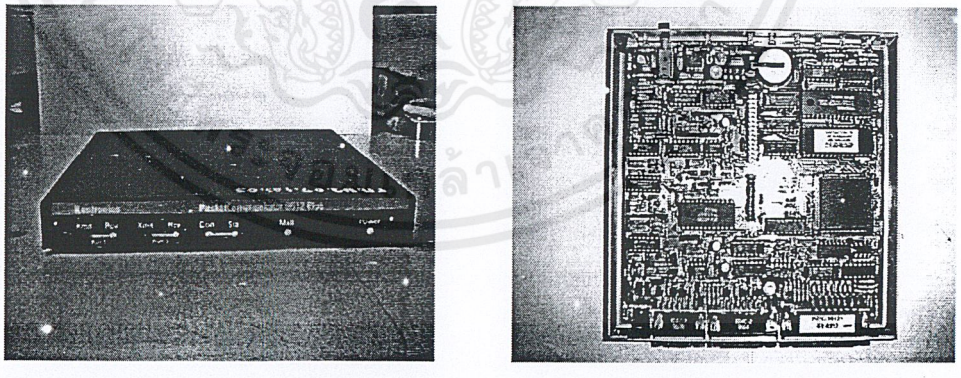
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

3.2 การดำเนินงาน

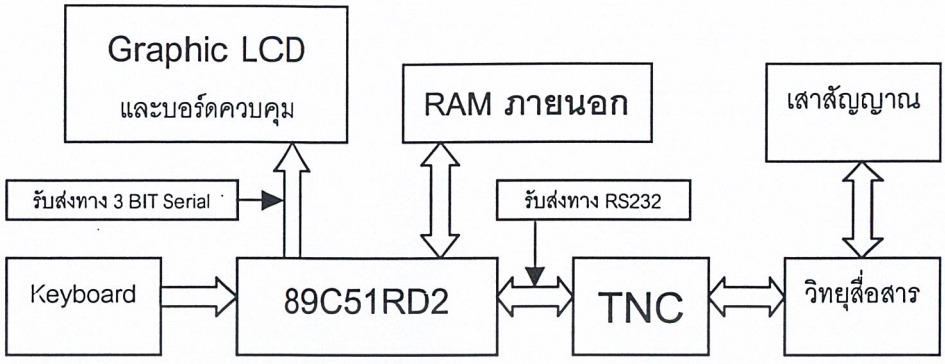
3.2.1 ด้านการออกแบบและติดตั้งอุปกรณ์

- ออกแบบวงจรที่ใช้ในการเขียนโปรแกรมลงบนบอร์ดคอนโทรลเลอร์
- ออกแบบวงจร อินเทอร์เฟส คีย์บอร์ด กับ บอร์ดคอนโทรลเลอร์
- ออกแบบวงจรอินเทอร์เฟส กราฟฟิกแอลซีดี กับ บอร์ดคอนโทรลเลอร์
- ประกอบอุปกรณ์ตามวงจรที่ออกแบบไว้
- นำบอร์ดคอนโทรลเลอร์มาต่อกับ TNC ผ่านทาง พอร์ตอนุกรม (RS232) และต้องป้อนไฟเลี้ยงให้กับ TNCประมาณ 9-12 โวลต์ เพื่อให้ TNC ทำงาน
- นำสายสัญญาณที่ต่อจาก TNC ไปต่อกับวิทยุสื่อสารเพื่อติดต่อสื่อสารกับวิทยุสื่อสารที่ต่อกับ TNC อีกตัวหนึ่งโดยปรับความถี่ของวิทยุสื่อสารในการรับส่งข้อมูล โดยเราจะใช้คลื่นความถี่ที่ 145.825 เมกกะเฮิร์ซ ซึ่งเป็นคลื่นความถี่ที่อนุญาติให้ใช้งานสำหรับการสื่อสารแพ็กเก็ตเรดิโอโดยเฉพาะ
- นำแพ็กเก็ตเรดิโออีกตัวหนึ่งมาต่อกับ คอมพิวเตอร์ หรือ แพ็กเก็ตเรดิโอเทอร์มินอล ผ่านทางพอร์ตอนุกรม
- ทำการต่อสายอากาศชนิดไดโพล เพื่อขยายพื้นที่ในการสื่อสาร ที่ชั้นดาดฟ้าตึกคณะวิทยาศาสตร์ สจล.(ตึกเก่า)

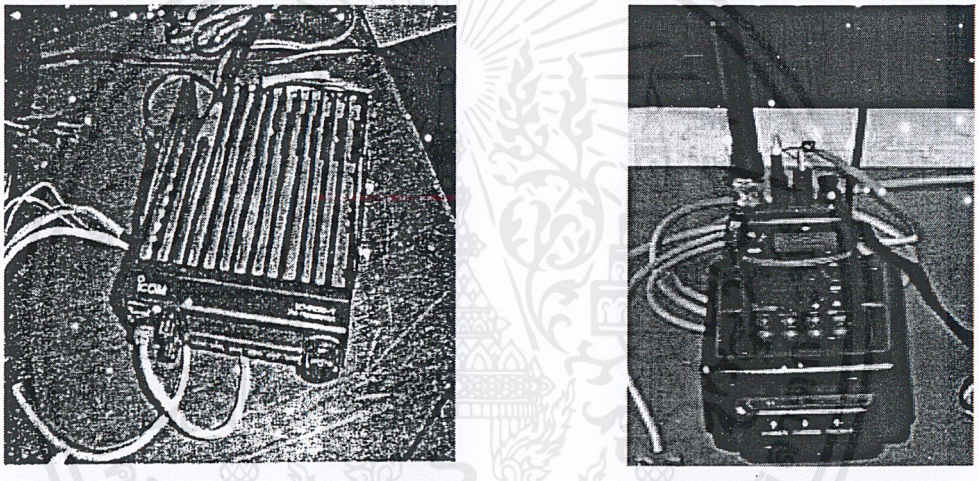


รูปที่ 3.1 อุปกรณ์ TNC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
43947



รูปที่ 3.2 แสดง Diagram ภาพรวมในการทำงาน



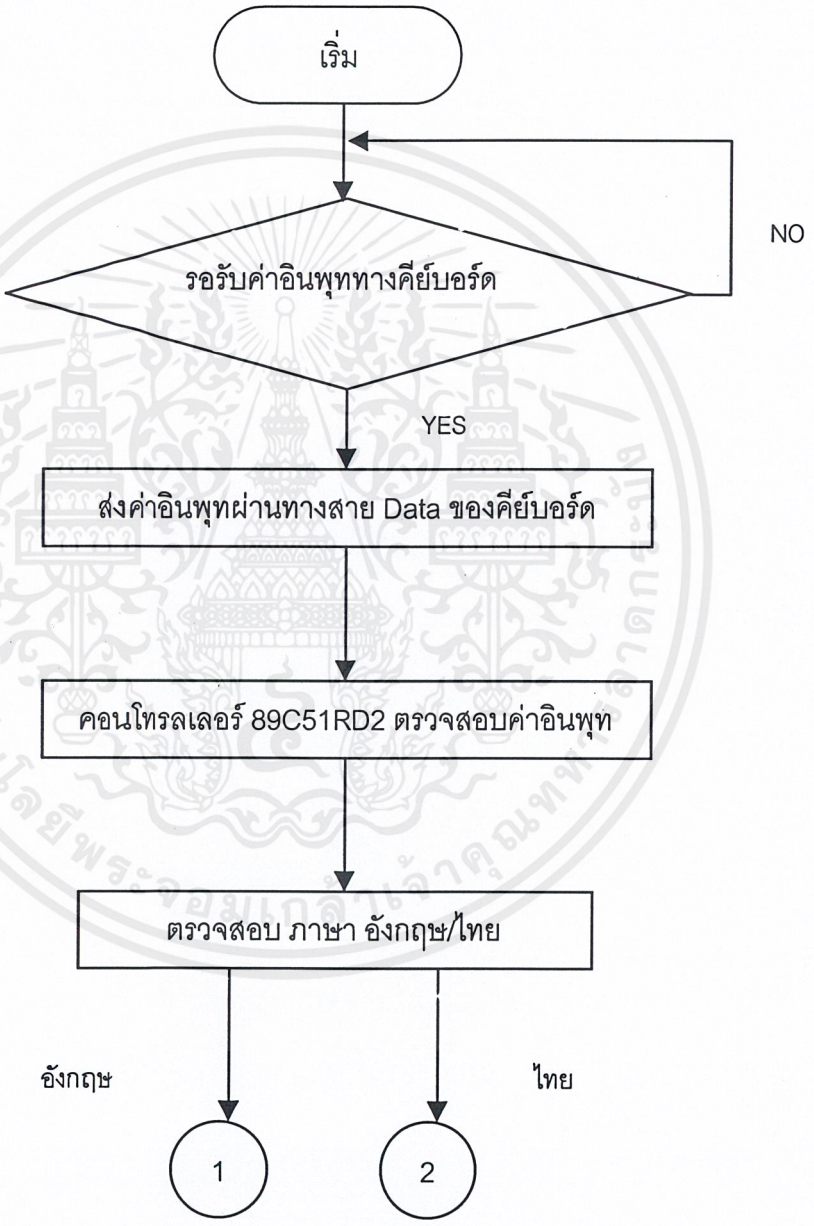
รูปที่ 3.3 วิทยุสื่อสาร

รูปที่ 3.4 เสาสัญญาณบนดาดฟ้า

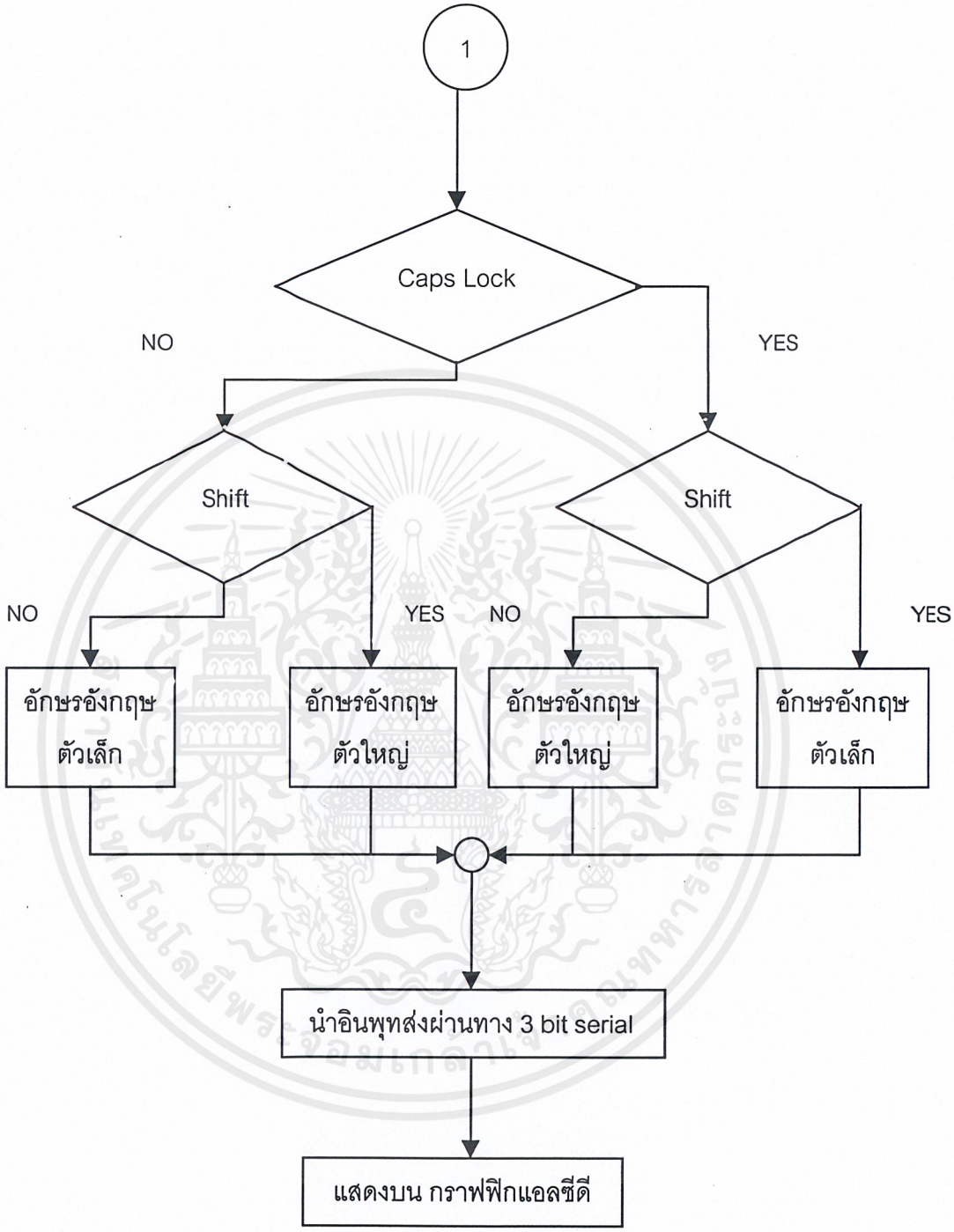
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 การเขียนโปรแกรมควบคุมการทำงาน

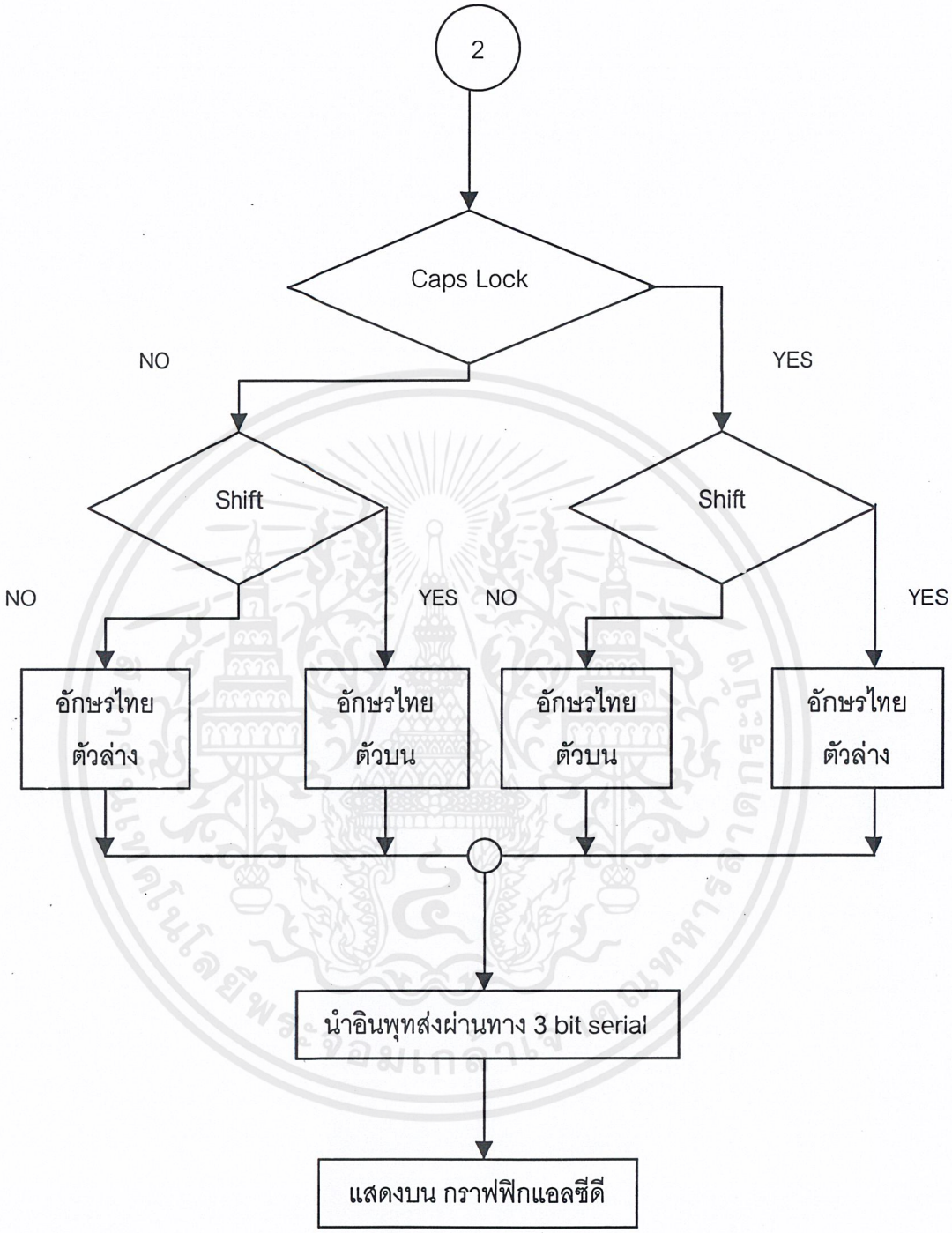
- ใช้โปรแกรม แอสแซมบลี ในการควบคุมส่วนต่างๆ
- เขียนโปรแกรมรับค่าอินพุทจาก คีย์บอร์ด เพื่อไปแสดงที่จอกราฟฟิกแอลซีดี TLCD-164 ซึ่งมีแผนผังการทำงาน ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

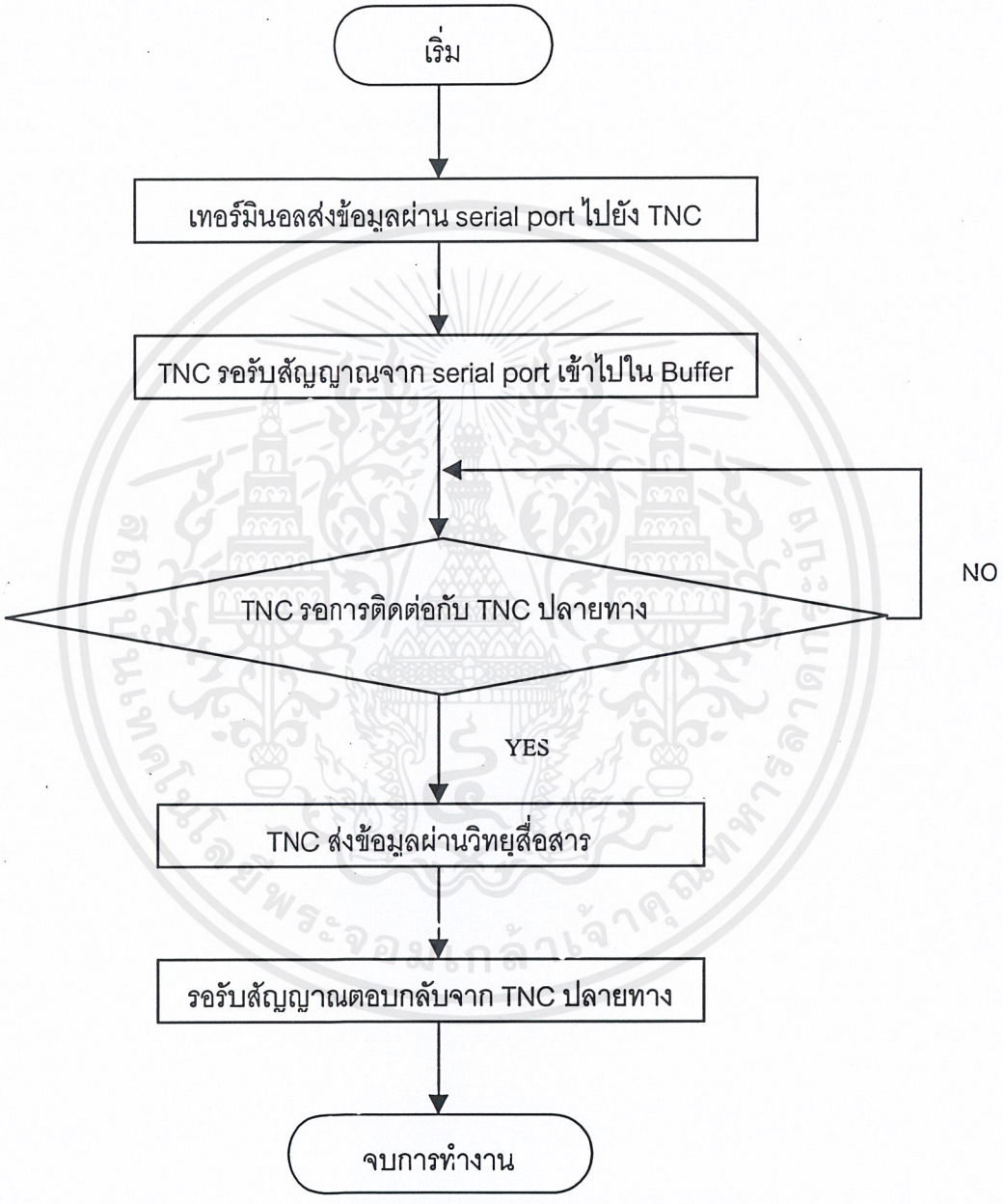


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



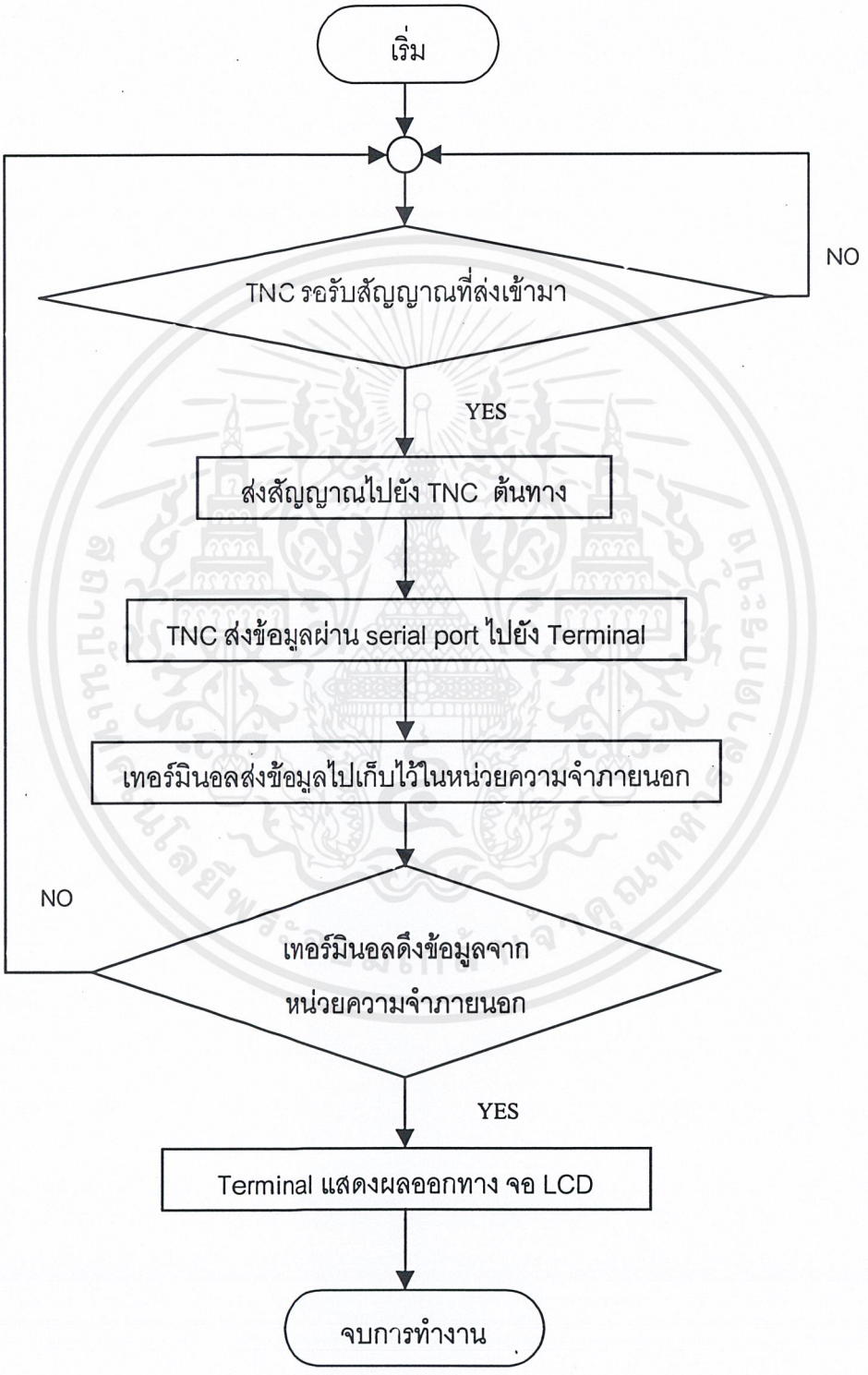
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เขียนโปรแกรม การส่งข้อมูล ระหว่าง เทอร์มินอล กับ TNC ผ่านทาง serial port ที่มีการส่งผ่านไปยัง TNC ของสถานีอื่นๆ ซึ่งมีแผนผังการทำงาน ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เขียนโปรแกรม การรับข้อมูล ระหว่าง TNC กับ เทอร์มินอล ผ่านทาง serial port ที่มีการส่งมาจาก TNC ของสถานีอื่นๆ และแสดงผลบนหน้าจอ LCD ซึ่งมีแผนผังการทำงานดังนี้

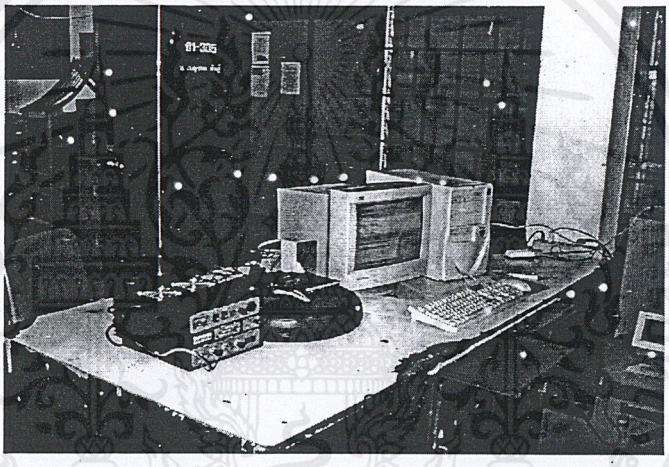


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

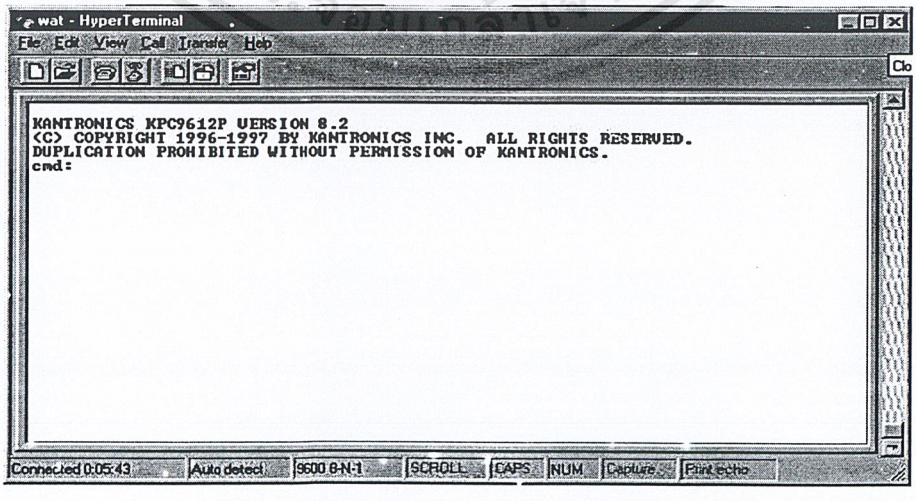
บทที่ 4
ผลการทดลอง

4.1 รูปภาพจากการติดตั้ง

การติดตั้งเครื่องแม่ข่าย ติดตั้งไว้ที่ ชั้น 3 ตึกคณะวิทยาศาสตร์(ตึกเก่า) สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง โดยมีชื่อสถานีในการทดลองคือ “packet” (Call sign) และมีการติดตั้งสายอากาศไว้บนดาดฟ้าเพื่อเพิ่มรัศมีการรับ-ส่งสัญญาณวิทยุ



รูปที่ 4.1 เครื่องแม่ข่าย บนชั้น 3 ตึกคณะวิทยาศาสตร์

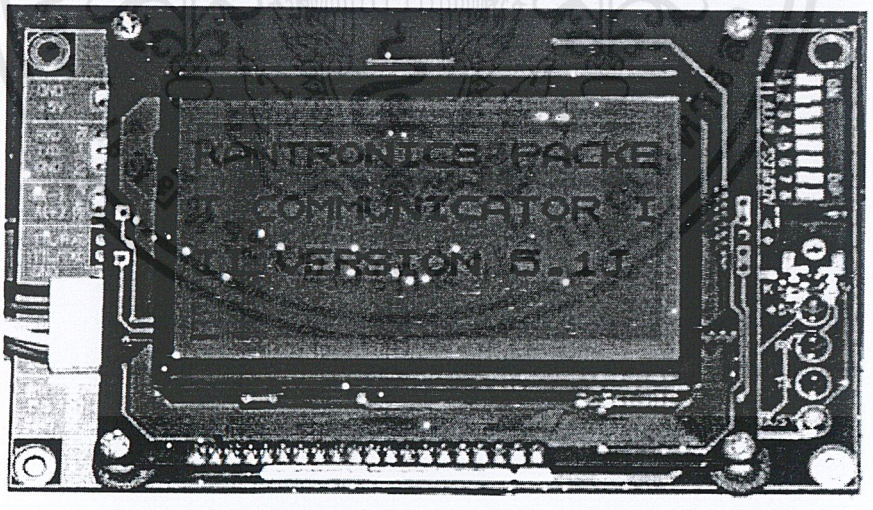


รูปที่ 4.2 หน้าจอคอมพิวเตอร์ขณะเริ่มการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การติดตั้งเครื่องลูกข่าย ซึ่งประกอบด้วย อุปกรณ์ TNC, วิทยุสื่อสาร และเทอร์มินอลที่สร้างขึ้น โดยมี Call sign ในการทดลองคือ “radio”

รูปที่ 4.3 เครื่องเทอร์มินอลลูกข่าย

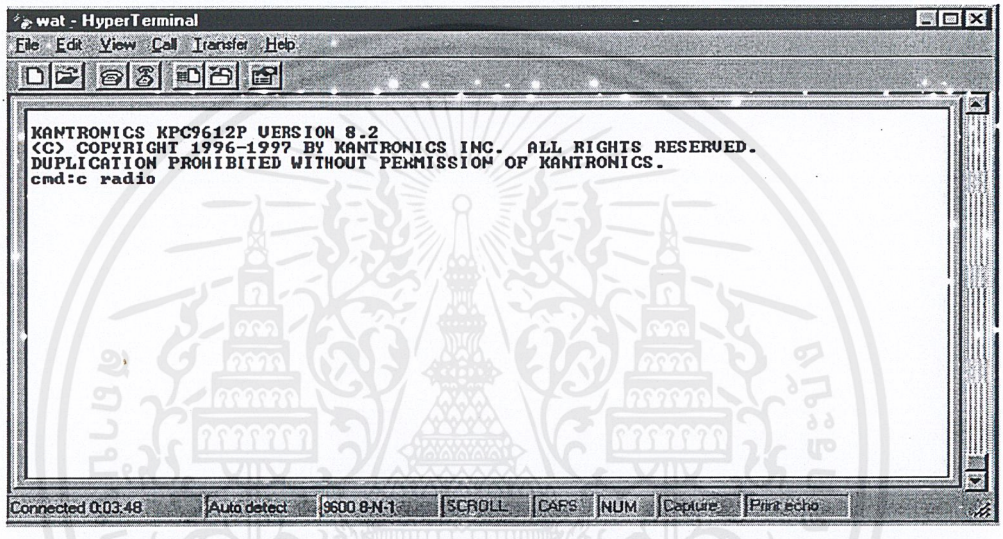


รูปที่ 4.4 หน้าจอLCD ขณะเริ่มการทำงาน

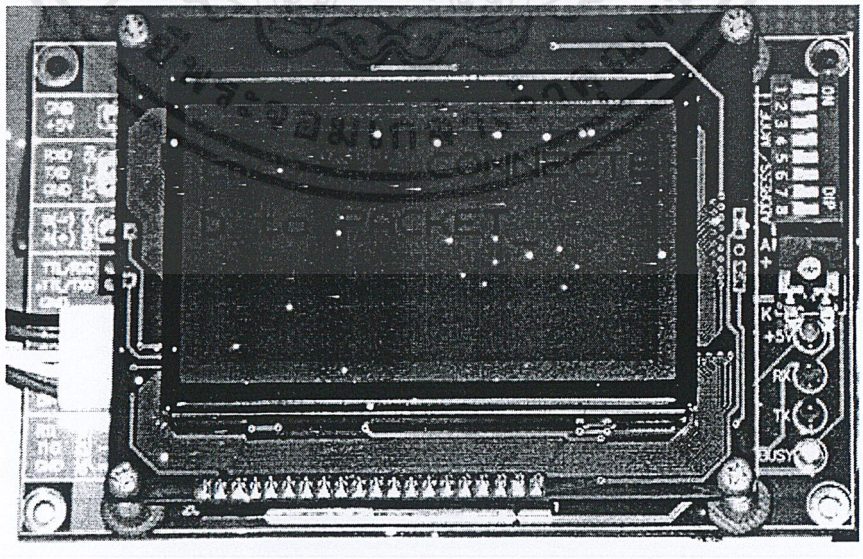
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดสอบ

ทดสอบระบบการเชื่อมต่อระหว่าง เทอร์มินอล กับ เทอร์มินอล โดยเทอร์มินอลตัวนึง เป็นแม่ข่าย และเทอร์มินอลอีกตัวนึงเป็นลูกข่าย ในที่นี้จะทดสอบโดยการส่งสัญญาณติดต่อจากเทอร์มินอลแม่ข่ายที่มีสัญญาณเรียกขานชื่อ “packet” ไปยังเทอร์มินอลลูกข่ายที่มีสัญญาณเรียกขานชื่อ “radio” ดังนี้

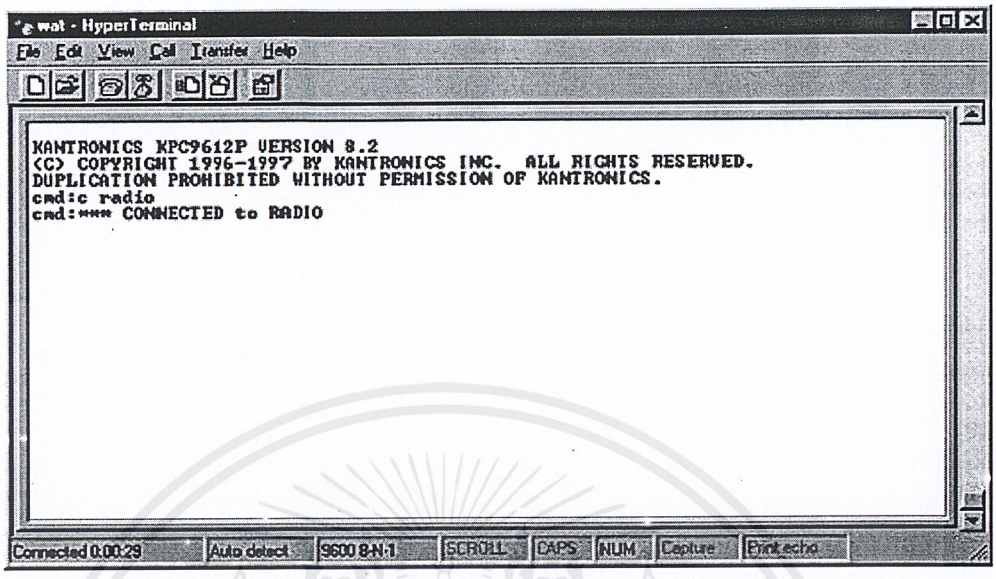


รูปที่ 4.5 แสดงขณะทำการติดต่อไปยังเครื่องลูกข่าย

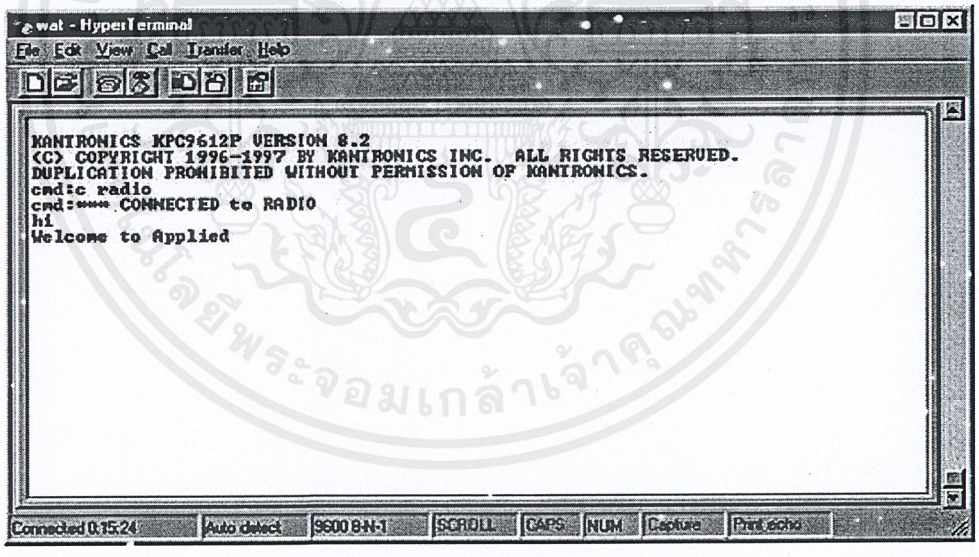


รูปที่ 4.6 แสดงการขานรับการติดต่อจากเครื่องแม่ข่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

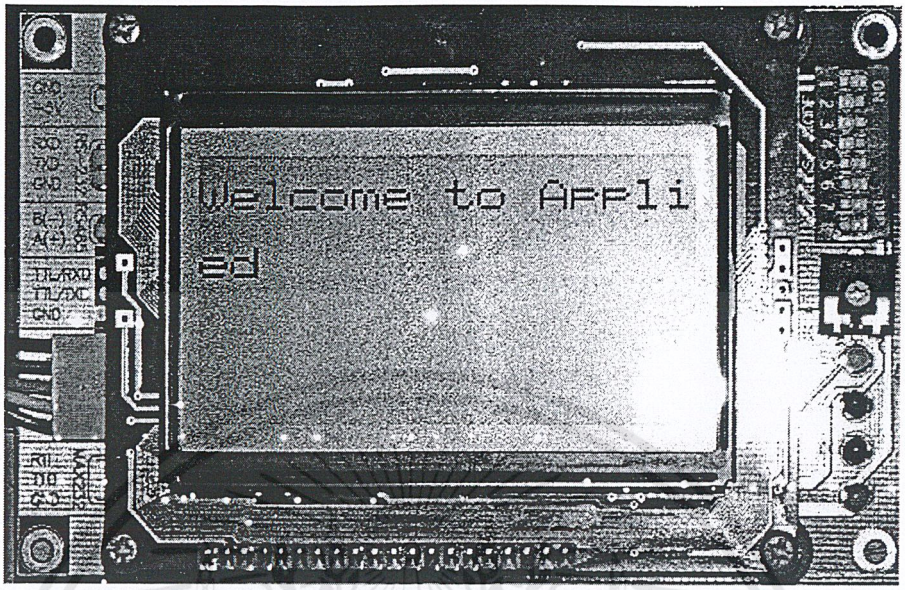


รูปที่ 4.7 แสดงขานรับจากลูกข่าย เพื่อยืนยันว่าการติดต่อสำเร็จแล้ว

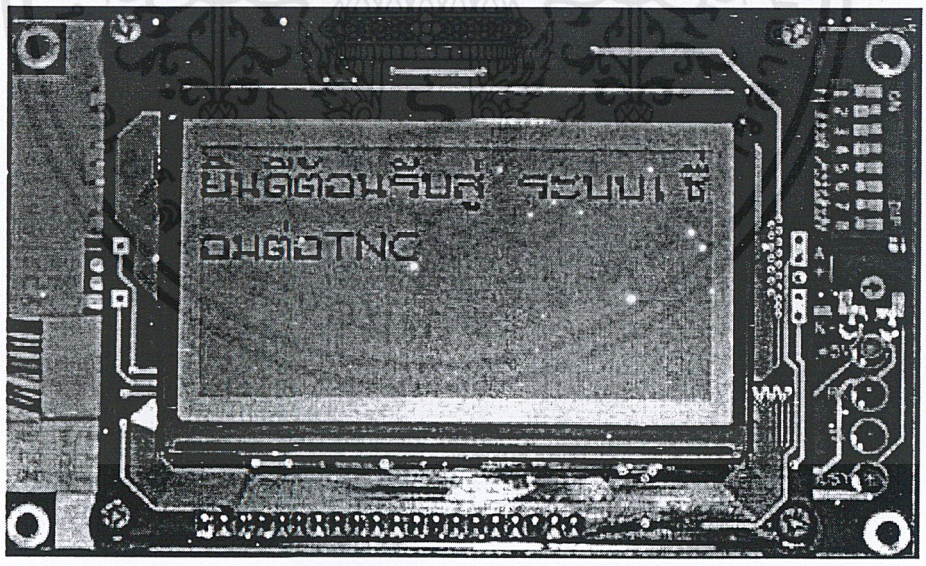


รูปที่ 4.8 แสดงการส่งข้อความไปยังลูกข่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

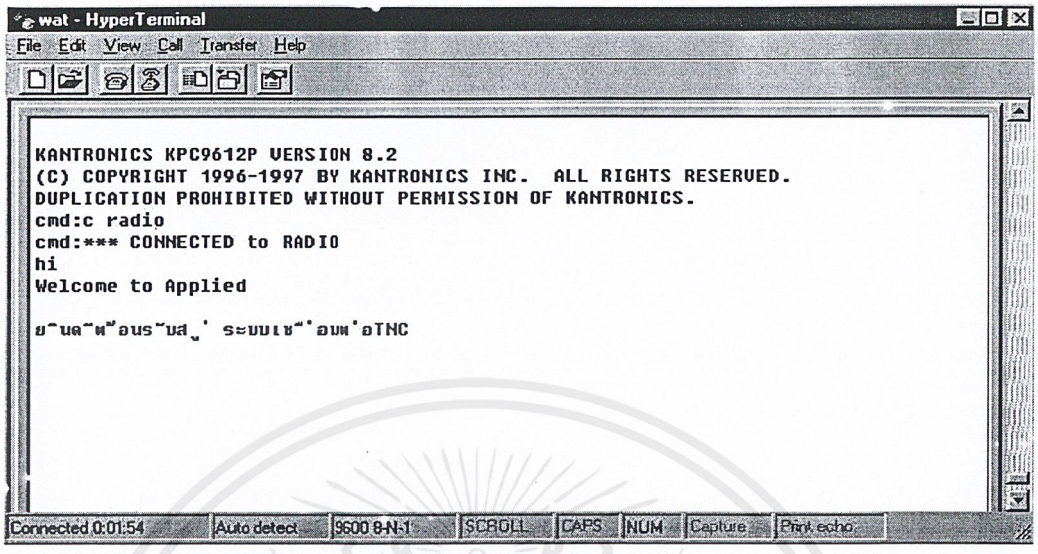


รูปที่ 4.9 แสดงการรับข้อความจากเครื่องแม่ข่าย



รูปที่ 4.10 แสดงการส่งข้อความจากลูกข่ายไปยังเครื่องแม่ข่าย

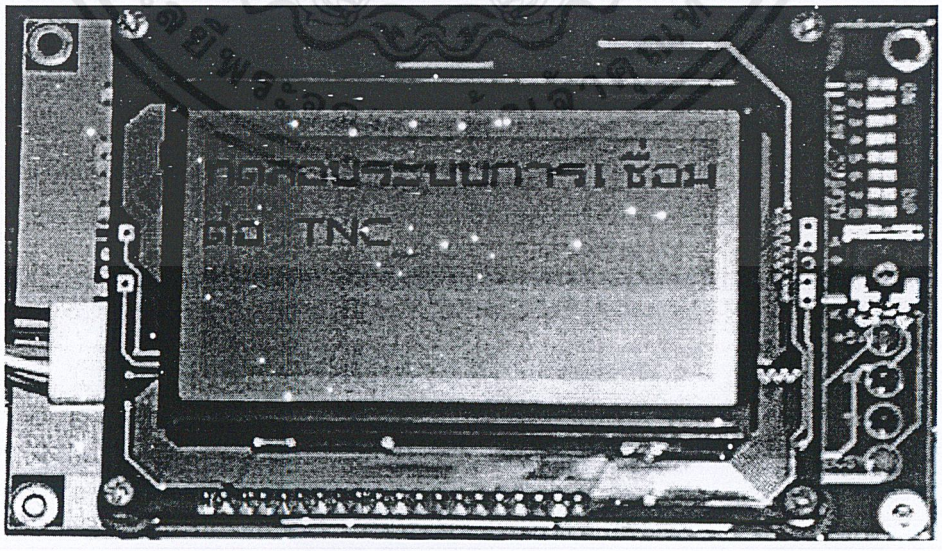
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 แสดงการรับข้อความของเครื่องแม่ข่าย

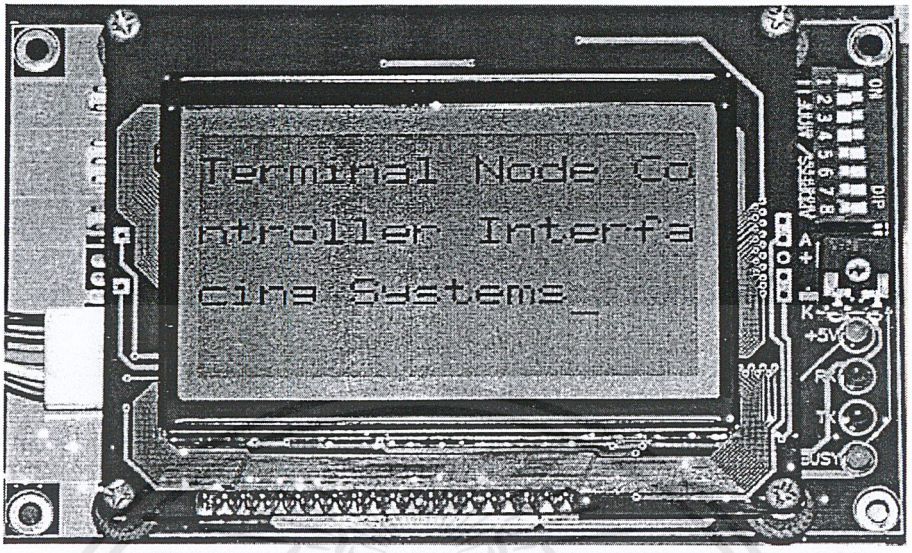
4.3 ผลการทดสอบ

จากการทดสอบการใช้งาน เครื่องเทอร์มินอลที่สร้างขึ้นสามารถที่จะติดต่อกับคอมพิวเตอร์ได้ โดย เป็นการติดต่อโดยตรง สามารถเรียกหา แสดงผลการติดต่อ พิมพ์ข้อความทั้งภาษาไทย และภาษาอังกฤษเพื่อติดต่อกันได้



รูปที่ 4.12 แสดงข้อความภาษาไทย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 แสดงข้อความภาษาอังกฤษ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการทดลอง

5.1 สรุปผลการทดลอง

จากการทดสอบการใช้งานเครื่องเทอร์มินอลที่สร้างขึ้น ในการติดต่อโดยใช้รหัสเรียกขานสามารถที่จะติดต่อกันได้ แต่เมื่อเข้าสู่โหมดสนทนาการรับ-ส่งข้อความเป็นไปอย่างไม่ต่อเนื่องนัก เนื่องมาจากข้อผิดพลาดทางด้านโปรแกรม ซึ่งมีรายละเอียดดังนี้

- เทอร์มินอลที่สร้างขึ้นไม่สามารถแสดงข้อความที่รับเข้ามาภายหลังจากที่ตัวเทอร์มินอลเองส่งข้อความครั้งแรกออกไปแล้ว
- การเขียนโปรแกรมในส่วนการติดต่อระหว่างเทอร์มินอล กับอุปกรณ์ TNC ยังมีข้อบกพร่องอยู่บางส่วน
- การเขียนโปรแกรมในส่วนการติดต่อกันระหว่างไมโครคอนโทรลเลอร์ตระกูล MCS-51เบอร์ 89C51RD2 กับหน่วยความจำภายนอก ที่ใช้ในการเก็บข้อมูลยังไม่สมบูรณ์ ทำให้การดึงข้อมูลขึ้นแสดงบนจอ LCDยังไม่ถูกต้องนัก

5.2 แนวทางการพัฒนา

1.ปรับปรุงโปรแกรม ให้สามารถรับส่งข้อมูลกันได้อย่างต่อเนื่อง

2.ใช้หน้าจอ LCD ที่มีขนาดใหญ่ และจัดรูปแบบหน้าจอในการแสดงผลให้มีประสิทธิภาพในการใช้งานมากขึ้น

3. เพิ่มความสามารถในด้านของ mailbox ให้ใช้งานได้

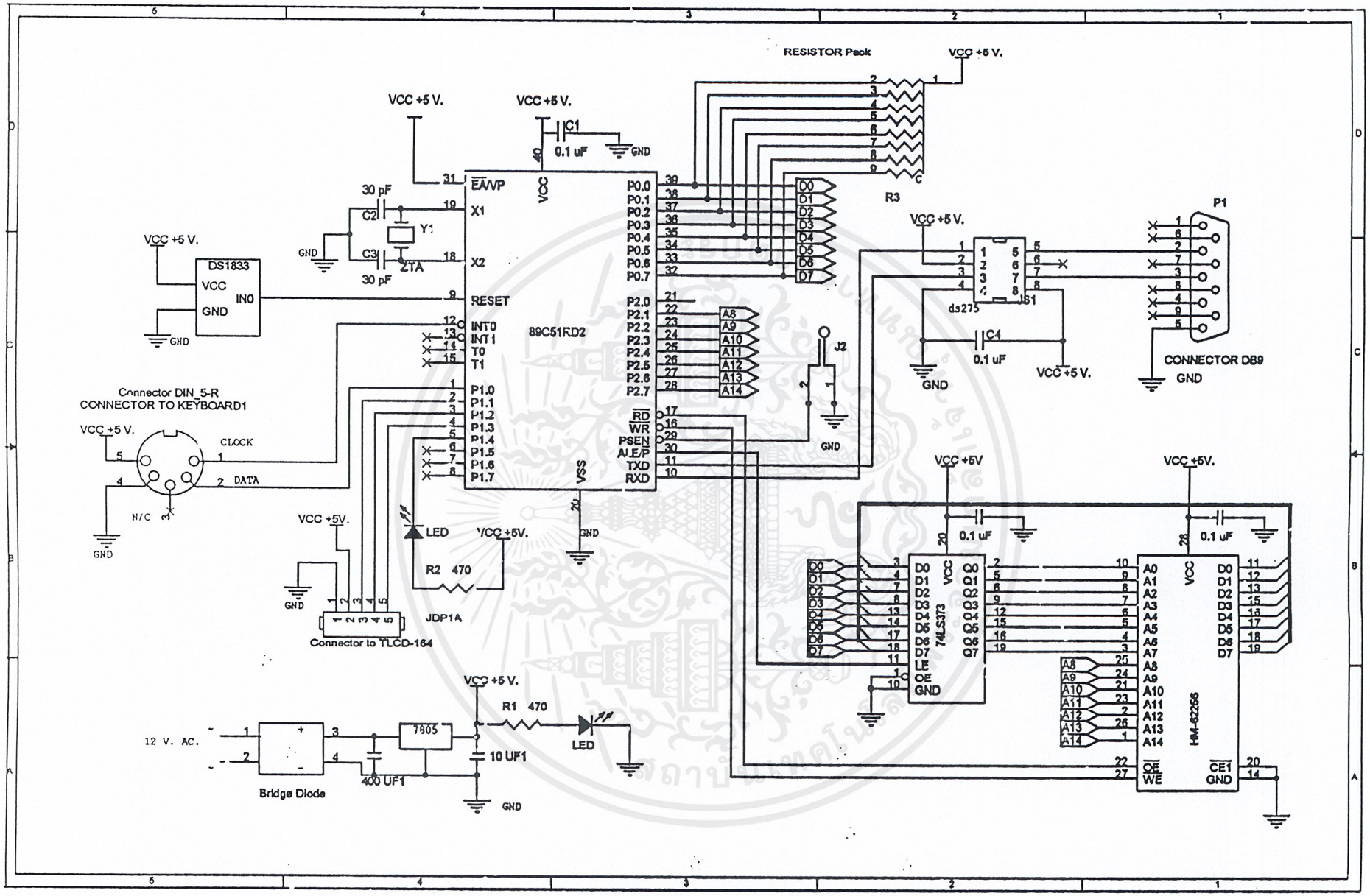
4.ใช้อุปกรณ์ TNC และวิทยุสื่อสารที่เล็กลง เพื่อความสะดวกในการพกพา

5.ใช้แบตเตอรี่ แทนการใช้ไฟฟ้ากระแสสลับ เพื่อความสะดวกในการใช้งานนอกสถานที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


RESISTOR Pack
VCC +5 V.
R3
P1
CONNECTOR DB9
GND
89C51RD2
EA/VP
RESET
INT0
INT1
T0
T1
P1.0
P1.1
P1.2
P1.3
P1.4
P1.5
P1.6
P1.7
P0.0
P0.1
P0.2
P0.3
P0.4
P0.5
P0.6
P0.7
P2.0
P2.1
P2.2
P2.3
P2.4
P2.5
P2.6
P2.7
RD
WR
PSEN
ALE/P
TXD
RXD
X1
X2
30 pF
Y1
C1
0.1 uF
C2
C3
C4
J1
J2
ds275
DS1833
INO
Connector DIN_5-R
CONNECTOR TO KEYBOARD1
CLOCK
DATA
N/C
LED
R2 470
JDP1A
Connector to TLCD-164
74LS373
HM-62256
12 V. AC.
Bridge Diode
7805
R1 470
10 UF1
400 UF1

ภาคผนวก ข.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;       dseg at 0000h
        ems     equ     50H

        key     equ     55h
        count1  equ     56h
        count2  equ     57h
        count3  equ     58h
        flag    equ     59h
        keys    equ     60h

          kck     equ     P3.2
          kda     equ     P1.0
          sck     equ     P1.1
          sld     equ     P1.2
          sda     equ     P1.3
          led1    equ     P1.4
          shift   equ     P1.5
          caps    equ     P1.6
          check   equ     P1.7


;cseg  at 0000h
        org     0000H
        jmp     start

        org     0003H
        ljmp    int_0

        org     02FFH

start:  mov     r0,#08Eh
        mov     @r0,#02h

        clr     c
        setb    led1
        clr     shift
        clr     caps
        clr     check
        clr     P2.7
        mov     r1,#0
        mov     r2,#0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        mov     r3,#0
        mov     r4,#0
        mov     r6,#0
        mov     r7,#0

        mov     SCON,#52h
        orl     TMOD,#20h
        mov     TH1,#0FAh
        setb    TR1


;****************MAIN*************************

        mov     dptr,#0300H
lop:    call    receive
        movx    @dptr,a
        inc     dptr
        cjne    a,#':',lop
        call    DELS
        ;call    begin
bad:    call    best
        clr     RI

        mov     IE,#81h             ; start interrupt
        setb    TCON.0

chaty:  mov     r2,#0
        ;clr     dpl
        ;clr     dph
        mov     dptr,#0400H
lop1:
        call    receive
        cjne    r7,#0,koo
        cjne    a,#2Ah,lop2
        mov     r7,#1
koo:    movx    @dptr,a
        inc     dptr
        cjne    a,#13,lop1
        call    DELS
        ;call    chat
        call    mess
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        mov     r2,#01
        jmp     talky
;-------------------------------------------------------------------
talky:  cjne    r2,#1,bad
        ;call    mess
        clr     dpl
        clr     dph
        ;cjne    r3,#0,entok
lop5:   mov     dptr,#0800H
lop3:   call    receive
        movx    @dptr,a
        inc     dptr
        cjne    a,#13,lop3
        call    DELS
        call    talk
;tem:    jnb     P2.7,tem
;       clr     P2.7
        jmp     lop5
;jmp     lop5

;-------------------------------------------------------------------
lop2:   call    receive
        movx    @dptr,a
        inc     dptr
        cjne    a,#13,lop2
        call    DELS
        mov     r2,#01
        call    test2
        jmp     talky

entok:  mov     dptr,#0800H
lop4:   call    receive
        movx    @dptr,a
        inc     dptr
        cjne    a,#':',lop4
        call    DELS
        call    entalk



talki:  cjne    r2,#1,bad
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        call    mess
        clr     dpl
        clr     dph
        ; cjne   r3,#0,entok
lop7:   mov     dptr,#0800H
lop6:   call    receive
        movx    @dptr,a
        inc     dptr
        cjne    a,#13,lop6
        call    DELS
        call    talk
        ; jmp    $
        jmp     lop7


;************************************************
;------------------------------------------------------------------------
begin:
        mov     dptr,#0300H
nom1:   movx    a,@dptr
        mov     key,a
        call    kill
        inc     dptr
        cjne    a,#':',nom1
        ret
;------------------------------------------------------------------------
chat:   mov     dptr,#0400H
nom2:   movx    a,@dptr
        mov     key,a
        call    kill
        inc     dptr
        cjne    a,#13,nom2
        ret
;------------------------------------------------------------------------
talk:   mov     dptr,#0800H
nom3:   movx    a,@dptr
        mov     key,a
        ;call   good
        call    kill
        inc     dptr
        cjne    a,#13,nom3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ret
;-------------------------------------------------------------------------------
rechat: call    best
        jmp     chaty
;-------------------------------------------------------------------------------
entalk:
        mov     dptr,#0800H
nom4:   movx    a,@dptr
        mov     key,a
        call    kill
        inc     dptr
        cjne    a,#':',nom4
        ret
;-------------------------------------------------------------------------------
kill:   push    acc
        push    dph
        push    dpl
        cjne    r6,#65,loop4
        mov     r6,#0
        call    good
loop4:  call    go
        mov     a,key
        cjne    a,#':',loop2
        mov     a,#'>'
loop2:  call    serial
        mov     a,#0dh
        call    serial
        inc     r6
        call    DELS
        pop     dpl
        pop     dph
        pop     acc
        ret

;*****************************************************
;LOOP  Clock and Data - Timing  for Keyboard  to host transfer
;*****************************************************
int_0:          mov   IE,#0
                rrc   a
                push  acc
                ;jb    kda,$                ;  check startbit = 0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ;lcall   LED
                mov   count1,#54
                djnz  count1,$
                mov   r0,#8
;-------------------------------------------------------------------------------
loop1:          mov   c,kda
                rrc   a                         ;   data 8 bit
                mov   count1,#69
                djnz  count1,$
                djnz  r0,loop1
                mov   keys,a
;-------------------------------------------------------------------------------
                mov   count1,#68                ;   piority  bit
                djnz  count1,$
;-------------------------------------------------------------------------------
                mov   count1,#40                ;   stop  bit
                djnz  count1,$

                lcall   LED
                mov     IE,#81h
                pop     acc
                rlc     a

                mov     a,keys
                cjne    a,#0Eh,check1           ;Thai/Eng
                cjne    r4,#01,top1
top:            lcall    n3
                mov     a,#7Eh
                lcall    send
                inc      r1
                clr      shift
                mov      r4,#0
sec:            reti
top1:           cjne     r4,#02,top2
                lcall    n3
                mov     a,#7Eh
                lcall    send
                inc      r1
                clr      check
                clr      shift
                mov      r4,#0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                reti
top2:           cjne    r4,#03,top3
                lcall   f5
                mov     a,#25h
                lcall   send
                inc     r1
                clr     shift
                mov     r4,#0
                reti
top3:           cjne    r4,#04,top4
                lcall   f5
                mov     a,#25h
                lcall   send
                inc     r1
                setb    check
                clr     shift
                mov     r4,#0
                reti
top4:           cpl     check
                reti

check1:         jb      check,caps2
caps1:          cjne    a,#58h,capp1            ;Eng
                cpl     caps
                reti

capp1:          jb      caps,shift2             ;Caps Eng
shift1:         cjne    a,#12h,wow1             ;Caps Eng 0
                setb    shift                   ;Left shift
                reti

wow1:           cjne    a,#59h,shiftt1
                setb    shift                   ;Right shift
                reti

shiftt1:        jb      shift,ck2
ok1:            lcall   engs                    ;OK1
                mov     r4,#0
                reti

ok2:            mov     r4,#01
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                lcall   engb                    ;OK2
                reti

shift2:         cjne    a,#12h,wow2             ;Caps Eng 1
                setb    shift                   ;Left shift
                reti

wow2:           cjne    a,#59h,shiftt2
                setb    shift                   ;Right shift
                reti

shiftt2:        jb      shift,ok4
ok3:            mov     r4,#02
                lcall   engb                    ;OK3
                reti

ok4:            lcall   engs                    ;OK4
                mov     r4,#0
                reti

;-------------------------------------------------------------------------------

caps2:          cjne    a,#58h,capp2            ;Thai
                cpl     caps
                reti

capp2:          jb      caps,shift4             ;Caps Thai
shift3:         cjne    a,#12h,wow3             ;Caps Thai 0
                setb    shift                   ;Left shift
                reti

wow3:           cjne    a,#59h,shiftt3
                setb    shift                   ;Right shift
                reti

shiftt3:        jb      shift,ok6
ok5:            lcall   thail                   ;OK5
                mov     r4,#0
                reti

ok6:            mov     r4,#03
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                lcall   thaih                   ;OK6
                reti

shift4:         cjne    a,#12h,wow4             ;Caps Thai 1
                setb    shift                   ;Left shift
                reti

wow4:           cjne    a,#59h,shiftt4
                setb    shift                   ;Right shift
                reti

shiftt4:        jb      shift,ok8
ok7:            mov     r4,#04
                lcall   thaih                   ;OK7
                reti

ok8:            lcall   thail                   ;OK8
                mov     r4,#0
                reti

;*********************************************************
LED:            clr     led1
                lcall   DEL1
                setb    led1
                ret
;---------------------------------------------------------------
wat:    mov     dptr,#wat1
        lcall   sting
        ret

wat1:    db   ':2Cmd>',0dh
;---------------------------------------------------------------
go:     mov     dptr,#go1
        call    sing
        ret
go1:    db   ':2'
;---------------------------------------------------------------
test1:  mov     dptr,#test11
        lcall   sting
        ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
test2:    mov    dptr,#test21
          lcall    sting
          ret


test11:   db   ':2*** CONNECTED to ',0dh
test21:   db   ':2cmd>*** CONNECTED COMPLETE',0dh
;-------------------------------------------------------------------------------
good:     mov    r1,#3
          mov    dptr,#good1
wa1:      call    sting
          call    DEL
          djnz    r1,wa1
          ret

good1: db  ':5',0dh
       db  ':1000',0dh
       db  ':6',0dh
;-------------------------------------------------------------------------------
best:     mov    r1,#4
          mov    dptr,#best1
wa2:      call    sting
          call    DEL
          djnz    r1,wa2
          ret

best1:    db  ':5',0dh
          db  ':1000',0dh
          db  ':2cmd>',0dh
          db  ':6',0dh
;-------------------------------------------------------------------------------
mess:     mov    r1,#4
          mov    dptr,#mess1
wa3:      call    sting
          call    DEL
          djnz    r1,wa3
          mov    r1,#3
wa4:      call    sdot
          lcall    DEL
          djnz    r1,wa4
          call    stdot
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        mov     r1,#3
wa6:    call    sdot
        lcall   DEL
        djnz    r1,wa6
        call    stdot
        mov     r1,#3
wa7:    call    sdot
        lcall   DEL
        djnz    r1,wa7
        call    good
        ret

sdot:   mov     dptr,#sdot1
        lcall   sting
        ret

stdot:  mov     r1,#3
        mov     dptr,#stdot1
wa5:    call    sting
        call    DEL
        djnz    r1,wa5
        ret

mess1:  db  ':1015',0dh
        db  ':2',20h,0dh
        db  ':1200',0dh
        db  ':2Chat Messages',0dh
sdot1:  db  ':2.',0dh
stdot1: db  ':1213',0dh
        db  ':2  ',0dh
        db  ':1213',0dh
;-------------------------------------------------------------------
n3:     mov     dptr,#ns3
        lcall   sting
        ret
f16:    mov     dptr,#fs16
        lcall   sting
        ret

ns3:    db  ':2',7eh,0dh
fs16:   db  ':2%',0dh
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*********************************************************
; Send and  Receive
;*********************************************************
send:     jnb   TI,send
          clr   TI
          mov   SBUF,a
          ret

receive:  jnb   RI,receive
          clr   RI
          mov   a,SBUF

          ret
;*********************************************************
;----------------------Small Eng-----------------------------

;T/E
engs:          cjne  a,#16h,so
               lcall  g1
               mov   a,#31h
               lcall  send
               inc   r1
               clr   shift
               mov   r3,#0
               ret

so:            cjne  a,#1Eh,so1
               lcall  g2
               mov   a,#32h
               lcall  send
               inc   r1
               clr   shift
               mov   r3,#0
               ret

so1:           cjne  a,#26h,so2
               lcall  g3
               mov   a,#33h
               lcall  send
               inc   r1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        clr     shift
        mov     r3,#0
        ret

so2:    cjne    a,#25h,so3
        lcall   g4
        mov     a,#34h
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

so3:    cjne    a,#2Eh,so4
        lcall   g5
        mov     a,#35h
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

so4:    cjne    a,#36h,so5
        lcall   g6
        mov     a,#36h
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

so5:    cjne    a,#3Dh,so6
        lcall   g7
        mov     a,#37h
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

so6:    cjne    a,#3Eh,so7
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        lcall   g8
        mov     a,#38h
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

so7:    cjne    a,#46h,so8
        lcall   g9
        mov     a,#39h
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

so8:    cjne    a,#45h,so9
        lcall   g0
        mov     a,#30h
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

so9:    cjne    a,#4Eh,so10
        lcall   f13
        mov     a,#2Dh
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

so10:   cjne    a,#55h,so11
        lcall   g13
        mov     a,#3Dh
        lcall   send
        inc     r1
        clr     shift
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                mov   r3,#0
                ret
;Backspace

;-------------------------------------------------------------------------------

;Tab
so11:           cjne  a,#15h,so12
                lcall  qqs
                mov   a,#71h
                lcall  send
                inc   r1
                clr   shift
                mov   r3,#0
                ret

so12:           cjne  a,#1Dh,so13
                lcall  wws
                mov   a,#77h
                lcall  send
                inc   r1
                clr   shift
                mov   r3,#0
                ret

so13:           cjne  a,#24h,so14
                lcall  ees
                mov   a,#65h
                lcall  send
                inc   r1
                clr   shift
                mov   r3,#0
                ret

so14:           cjne  a,#2Dh,so15
                lcall  rrs
                mov   a,#72h
                lcall  send
                inc   r1
                clr   shift
                mov   r3,#0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ret

so15:   cjne   a,#2Ch,so16
        lcall   tts
        mov   a,#74h
        lcall   send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

so16:   cjne   a,#35h,so17
        lcall   yys
        mov   a,#79h
        lcall   send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

so17:   cjne   a,#3Ch,so18
        lcall   uus
        mov   a,#75h
        lcall   send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

so18:   cjne   a,#43h,so19
        lcall   iis
        mov   a,#69h
        lcall   send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

so19:   cjne   a,#44h,so20
        lcall   oos
        mov   a,#6fh
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

so20:   cjne    a,#4Dh,so21
        lcall   pps
        mov     a,#70h
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

so21:   cjne    a,#54h,so22
        lcall   k0
        mov     a,#5Bh
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

so22:   cjne    a,#5Bh,so23
        lcall   k2
        mov     a,#5Dh
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

so23:   cjne    a,#5Dh,so24
        lcall   k1
        mov     a,#5Ch
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;-------------------------------------------------------------------------

;Caps Lock
so24:       cjne   a,#1Ch,so25
            lcall   aas
            mov    a,#61h
            lcall   send
            inc    r1
            clr    shift
            mov    r3,#0
            ret

so25:       cjne   a,#1Bh,so26
            lcall   sss
            mov    a,#73h
            lcall   send
            inc    r1
            clr    shift
            mov    r3,#0
            ret

so26:       cjne   a,#23h,so27
            lcall   dds
            mov    a,#64h
            lcall   send
            inc    r1
            clr    shift
            mov    r3,#0
            ret

so27:       cjne   a,#2Bh,so28
            lcall   ffs
            mov    a,#66h
            lcall   send
            inc    r1
            clr    shift
            mov    r3,#0
            ret

so28:       cjne   a,#34h,so29
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        lcall   ggs
        mov     a,#67h
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

so29:   cjne    a,#33h,so30
        lcall   hhs
        mov     a,#68h
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

so30:   cjne    a,#3Bh,so31
        lcall   jjs
        mov     a,#6Ah
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

so31:   cjne    a,#42h,so32
        lcall   kks
        mov     a,#6Bh
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

so32:   cjne    a,#4Bh,so33
        lcall   lls
        mov     a,#6Ch
        lcall   send
        inc     r1
        clr     shift
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                mov   r3,#0
                ret

so33:           cjne  a,#4Ch,so34
                lcall  g11
                mov   a,#3Bh
                lcall  send
                inc   r1
                clr   shift
                mov   r3,#0
                ret

so34:           cjne  a,#52h,so35
                lcall  f7
                mov   a,#27h
                lcall  send
                inc   r1
                clr   shift
                mov   r3,#0
                ret
;Enter

;-----------------------------------------------------------------

;Left Shift
so35:           cjne  a,#1Ah,so36
                lcall  zzs
                mov   a,#7Ah
                lcall  send
                inc   r1
                clr   shift
                mov   r3,#0
                ret

so36:           cjne  a,#22h,so37
                lcall  xxs
                mov   a,#78h
                lcall  send
                inc   r1
                clr   shift
                mov   r3,#0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ret

so37:           cjne    a,#21h,so38
                cjne    r3,#01,con
                lcall   ctrl
                mov     a,#03h
                lcall   send
                ret
con:            lcall   ccs
                mov     a,#63h
                lcall   send
                inc     r1
                clr     shift
                ret

so38:           cjne    a,#2Ah,so39
                lcall   vvs
                inc     r1
                mov     a,#76h
                lcall   send
                clr     shift
                mov     r3,#0
                ret

so39:           cjne    a,#32h,so40
                lcall   bbs
                mov     a,#62h
                lcall   send
                inc     r1
                clr     shift
                mov     r3,#0
                ret

so40:           cjne    a,#31h,so41
                lcall   nns
                mov     a,#6Eh
                lcall   send
                inc     r1
                clr     shift
                mov     r3,#0
                ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
so41:       cjne   a,#3Ah,so42
            lcall   mms
            mov    a,#6Dh
            lcall   send
            inc    r1
            clr    shift
            mov    r3,#0
            ret

so42:       cjne   a,#41h,so43
            lcall   f12
            mov    a,#2Ch
            lcall   send
            inc    r1
            clr    shift
            mov    r3,#0
            ret

so43:       cjne   a,#49h,so44
            lcall   f14
            mov    a,#2Eh
            lcall   send
            inc    r1
            clr    shift
            mov    r3,#0
            ret

so44:       cjne   a,#4Ah,tabb
            lcall   f15
            mov    a,#2Fh
            lcall   send
            inc    r1
            clr    shift
            mov    r3,#0
            ret
;Right Shift
;-------------------------------------------------------------------------
tabb:       ljmp    tabb3
;-------------------------------------------------------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;----------------------------Big Eng-----------------------------------------

;T/E,~
engb:       cjne   a,#16h,po
            lcall  f1
            mov    a,#21h
            lcall  send
            inc    r1
            clr    shift
            mov    r3,#0
            ret

po:         cjne   a,#1Eh,po1
            lcall  j0
            mov    a,#40h
            lcall  send
            inc    r1
            clr    shift
            mov    r3,#0
            ret

po1:        cjne   a,#26h,po2
            lcall  f3
            mov    a,#23h
            lcall  send
            inc    r1
            clr    shift
            mov    r3,#0
            ret

po2:        cjne   a,#25h,po3
            lcall  f4
            mov    a,#24h
            lcall  send
            inc    r1
            clr    shift
            mov    r3,#0
            ret

po3:        cjne   a,#2Eh,po4
            lcall  f5
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        mov   a,#25h
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po4:    cjne  a,#36h,po5
        lcall  k3
        mov   a,#5Eh
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po5:    cjne  a,#3Dh,po6
        lcall  f6
        mov   a,#26h
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po6:    cjne  a,#3Eh,po7
        lcall  f10
        mov   a,#2Ah
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po7:    cjne  a,#46h,po8
        lcall  f8
        mov   a,#28h
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ret

po8:            cjne   a,#45h,po9
                lcall   f9
                mov   a,#29h
                lcall   send
                inc    r1
                clr    shift
                mov   r3,#0
                ret

po9:            cjne   a,#4Eh,po10
                lcall   k4
                mov   a,#5Fh
                lcall   send
                inc    r1
                clr    shift
                mov   r3,#0
                ret

po10:           cjne   a,#55h,po11
                lcall   f11
                mov   a,#2Bh
                lcall   send
                inc    r1
                clr    shift
                mov   r3,#0
                ret
;Backspace

;-----------------------------------------------------------------

;Tab
po11:           cjne   a,#15h,po12
                lcall   QQ
                mov   a,#51h
                lcall   send
                inc    r1
                clr    shift
                mov   r3,#0
                ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
po12:   cjne  a,#1Dh,po13
        lcall  WW
        mov   a,#57h
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po13:   cjne  a,#24h,po14
        lcall  EE
        mov   a,#45h
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po14:   cjne  a,#2Dh,po15
        lcall  RR
        mov   a,#52h
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po15:   cjne  a,#2Ch,po16
        lcall  TT
        mov   a,#54h
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po16:   cjne  a,#35h,po17
        lcall  YY
        mov   a,#59h
        lcall  send
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        inc     r1
        clr     shift
        mov     r3,#0
        ret

po17:   cjne    a,#3Ch,po18
        lcall   UU
        mov     a,#55h
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

po13:   cjne    a,#43h,po19
        lcall   II
        mov     a,#49h
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

po19:   cjne    a,#44h,po20
        lcall   OO
        mov     a,#4Fh
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret

po20:   cjne    a,#4Dh,po21
        lcall   PP
        mov     a,#50h
        lcall   send
        inc     r1
        clr     shift
        mov     r3,#0
        ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
po21:   cjne  a,#54h,po22
        lcall  n0
        mov   a,#7Bh
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po22:   cjne  a,#5Bh,po23
        lcall  n2
        mov   a,#7Dh
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po23:   cjne  a,#5Dh,po24
        lcall  n1
        mov   a,#7Ch
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

;-----------------------------------------------------------------

;Caps Lock
po24:   cjne  a,#1Ch,po25
        lcall  AA
        mov   a,#41h
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po25:   cjne  a,#1Bh,po26
        lcall  SS
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        mov   a,#53h
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po26:   cjne  a,#23h,po27
        lcall  DD
        mov   a,#44h
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po27:   cjne  a,#2Bh,po28
        lcall  FF
        mov   a,#46h
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po28:   cjne  a,#34h,po29
        lcall  GG
        mov   a,#47h
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po29:   cjne  a,#33h,po30
        lcall  HH
        mov   a,#48h
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ret

po30:           cjne    a,#3Bh,po31
                lcall   JJ
                mov     a,#4Ah
                lcall   send
                inc     r1
                clr     shift
                mov     r3,#0
                ret

po31:           cjne    a,#42h,po32
                lcall   KK
                mov     a,#4Bh
                lcall   send
                inc     r1
                clr     shift
                mov     r3,#0
                ret

po32:           cjne    a,#4Bh,po33
                lcall   LL
                mov     a,#4Ch
                lcall   send
                inc     r1
                clr     shift
                mov     r3,#0
                ret

po33:           cjne    a,#4Ch,po34             ; : is error
                lcall   g11
                mov     a,#3Ah
                lcall   send
                inc     r1
                clr     shift
                mov     r3,#0
                ret

po34:           cjne    a,#52h,po35
                lcall   f2
                mov     a,#22h
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                lcall   send
                inc     r1
                clr     shift
                mov     r3,#0
                ret
;Enter

;-------------------------------------------------------------------------------

;Left Shift
po35:           cjne    a,#1Ah,po36
                lcall   ZZ
                inc     r1
                mov     a,#5Ah
                lcall   send
                clr     shift
                mov     r3,#0
                ret

po36:           cjne    a,#22h,po37
                lcall   XX
                mov     a,#58h
                lcall   send
                inc     r1
                clr     shift
                mov     r3,#0
                ret

po37:           cjne    a,#21h,po38
                cjne    r3,#01,con1
                lcall   ctrl
                ret
con1:           lcall   CC
                mov     a,#43h
                lcall   send
                inc     r1
                clr     shift
                ret

po38:           cjne    a,#2Ah,po39
                lcall   VV
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        mov   a,#56h
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po39:   cjne  a,#32h,po40
        lcall  BB
        mov   a,#42h
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po40:   cjne  a,#31h,po41
        lcall  NN
        mov   a,#4Eh
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po41:   cjne  a,#3Ah,po42
        lcall  MM
        mov   a,#4Dh
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
        ret

po42:   cjne  a,#41h,po43
        lcall  g12
        mov   a,#3Ch
        lcall  send
        inc   r1
        clr   shift
        mov   r3,#0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ret

po43:           cjne    a,#49h,po44
                lcall   g14
                mov     a,#3Eh
                lcall   send
                inc     r1
                clr     shift
                mov     r3,#0
                ret

po44:           cjne    a,#4Ah,tabb1
                lcall   g15
                mov     a,#3Fh
                lcall   send
                inc     r1
                clr     shift
                mov     r3,#0
                ret
;Right Shift
;-------------------------------------------------------------
tabb1:          ljmp    tabb3

;-------------------------------------------------------------

;----------------------Low Thai-------------------------------

;T/E
thail:          cjne    a,#16h,no
                lcall   y0
                mov     a,#0E5h
                lcall   send
                inc     r1
                clr     shift
                ret

no:             cjne    a,#1Eh,no1
                lcall   f15
                mov     a,#25h
                lcall   send
                inc     r1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                clr     shift
                ret

no1:            cjne    a,#26h,no2
                lcall   f13
                mov     a,#2Dh
                lcall   send
                inc     r1
                clr     shift
                ret

no2:            cjne    a,#25h,no3
                lcall   poa
                mov     a,#0C0h
                lcall   send
                inc     r1
                clr     shift
                ret

no3:            cjne    a,#2Eh,no4
                lcall   tung
                mov     a,#0B6h
                lcall   send
                inc     r1
                clr     shift
                ret

no4:            cjne    a,#36h,no5
                cjne    r1,#0,nui
                clr     shift
                ret
nui:            lcall   rau
                mov     a,#0D8h
                lcall   send
                clr     shift
                ret

no5:            cjne    a,#3Dh,no6
                cjne    r1,#0,nui1
                clr     shift
                ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
nui1:   lcall   rauk
        mov     a,#0D6h
        lcall   send
        clr     shift
        ret

no6:    cjne    a,#3Eh,no7
        lcall   kway
        mov     a,#0A4h
        lcall   send
        inc     r1
        clr     shift
        ret

no7:    cjne    a,#46h,no8
        lcall   toa
        mov     a,#0B5h
        lcall   send
        inc     r1
        clr     shift
        ret

no8:    cjne    a,#45h,no9
        lcall   jan
        mov     a,#0A8h
        lcall   send
        inc     r1
        clr     shift
        ret

no9:    cjne    a,#4Eh,no10
        lcall   khai
        mov     a,#0A2h
        lcall   send
        inc     r1
        clr     shift
        ret

no10:   cjne    a,#55h,no11
        lcall   chang
        mov     a,#0AAh
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                lcall   send
                inc     r1
                clr     shift
                ret
;Backspace

;-------------------------------------------------------------------------------

;Tab
no11:           cjne    a,#15h,no12
                lcall   mok
                mov     a,#0E6h
                lcall   send
                inc     r1
                clr     shift
                ret

no12:           cjne    a,#1Dh,no13
                lcall   lai
                mov     a,#0E4h
                lcall   send
                inc     r1
                clr     shift
                ret

no13:           cjne    a,#24h,no14
                lcall   um
                mov     a,#0D3h
                lcall   send
                inc     r1
                clr     shift
                ret

no14:           cjne    a,#2Dh,no15
                lcall   pan
                mov     a,#0BEh
                lcall   send
                inc     r1
                clr     shift
                ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
no15:   cjne  a,#2Ch,no16
        lcall  rax
        mov   a,#0D0h
        lcall  send
        inc    r1
        clr    shift
        ret

no16:   cjne  a,#35h,no17
        cjne  r1,#0,nui2
        clr    shift
        ret
nui2:   lcall  han
        mov   a,#0D1h
        lcall  send
        clr    shift
        ret

no17:   cjne  a,#3Ch,no18
        cjne  r1,#0,nui3
        clr    shift
        ret
nui3:   lcall  hee
        mov   a,#0D5h
        lcall  send
        clr    shift
        ret

no18:   cjne  a,#43h,no19
        lcall  ship
        mov   a,#0C3h
        lcall  send
        inc    r1
        clr    shift
        ret

no19:   cjne  a,#44h,no20
        lcall  noo
        mov   a,#0B9h
        lcall  send
        inc    r1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                clr     shift
                ret

no20:           cjne    a,#4Dh,no21
                lcall   yak
                mov     a,#0C2h
                lcall   send
                inc     r1
                clr     shift
                ret

no21:           cjne    a,#54h,no22
                lcall   bai
                mov     a,#0BAh
                lcall   send
                inc     r1
                clr     shift
                ret

no22:           cjne    a,#5Bh,no23
                lcall   ling
                mov     a,#0C5h
                lcall   send
                inc     r1
                clr     shift
                ret

no23:           cjne    a,#5Dh,no24
                lcall   butt
                mov     a,#0A3h
                lcall   send
                inc     r1
                clr     shift
                ret

;-------------------------------------------------------------------------

;Caps Lock
no24:           cjne    a,#1Ch,no25
                lcall   fun
                mov     a,#0BFh
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        lcall   send
        inc     r1
        clr     shift
        ret

no25:   cjne    a,#1Bh,no26
        lcall   heep
        mov     a,#0CBh
        lcall   send
        inc     r1
        clr     shift
        ret

no26:   cjne    a,#23h,no27
        lcall   kai
        mov     a,#0A1h
        lcall   send
        inc     r1
        clr     shift
        ret

no27:   cjne    a,#2Bh,no28
        lcall   dek
        mov     a,#0B4h
        lcall   send
        inc     r1
        clr     shift
        ret

no28:   cjne    a,#34h,no29
        lcall   raz
        mov     a,#0E0h
        lcall   send
        inc     r1
        clr     shift
        ret

no29:   cjne    a,#33h,no30
        cjne    r1,#0,nui4
        clr     shift
        ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
nui4:       lcall   to
            mov     a,#0E9h
            lcall   send
            clr     shift
            ret

no30:       cjne    a,#3Bh,no31
            cjne    r1,#0,nui5
            clr     shift
            ret
nui5:       lcall   rake
            mov     a,#0E8h
            lcall   send
            clr     shift
            ret

no31:       cjne    a,#42h,no32
            lcall   rar
            mov     a,#0D2h
            lcall   send
            inc     r1
            clr     shift
            ret

no32:       cjne    a,#4Bh,no33
            lcall   tiger
            mov     a,#0CAh
            lcall   send
            inc     r1
            clr     shift
            ret

no33:       cjne    a,#4Ch,no34             ;  : is error
            lcall   wan
            mov     a,#0C7h
            lcall   send
            inc     r1
            clr     shift
            ret

no34:       cjne    a,#52h,no35
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                lcall   ngu
                mov     a,#0A7h
                lcall   send
                inc     r1
                clr     shift
                ret
;Enter

;-------------------------------------------------------------------------

;Left Shift
no35:           cjne    a,#1Ah,no36
                lcall   pung
                mov     a,#0BCh
                lcall   send
                inc     r1
                clr     shift
                ret

no36:           cjne    a,#22h,no37
                lcall   fish
                mov     a,#0BBh
                lcall   send
                inc     r1
                clr     shift
                ret

no37:           cjne    a,#21h,no38
                lcall   rair
                mov     a,#0E1h
                lcall   send
                inc     r1
                clr     shift
                ret

no38:           cjne    a,#2Ah,no39
                lcall   ang
                mov     a,#0CDh
                lcall   send
                inc     r1
                clr     shift
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ret

no39:           cjne    a,#32h,no40
                cjne    r1,#0,nui6
                clr     shift
                ret
nui6:           lcall   hi
                mov     a,#0D4h
                lcall   send
                clr     shift
                ret

no40:           cjne    a,#31h,no41
                cjne    r1,#0,nui7
                clr     shift
                ret
nui7:           lcall   raud
                mov     a,#0D7h
                lcall   send
                clr     shift
                ret

no41:           cjne    a,#3Ah,no42
                lcall   tahan
                mov     a,#0B7h
                lcall   send
                inc     r1
                clr     shift
                ret

no42:           cjne    a,#41h,no43
                lcall   mar
                mov     a,#0C1h
                lcall   send
                inc     r1
                clr     shift
                ret

no43:           cjne    a,#49h,no44
                lcall   moon
                mov     a,#0E3h
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                lcall   send
                inc     r1
                clr     shift
                ret

no44:           cjne    a,#4Ah,tabb2
                lcall   pha
                mov     a,#0BDh
                lcall   send
                inc     r1
                clr     shift
                ret
;Right Shift
;-------------------------------------------------------------------
taUb2:          ljmp    tabb3
send1:          ljmp    send
;-------------------------------------------------------------------

;----------------------high Thai-------------------------------

;T/E,%
thaih:          cjne    a,#16h,ho
                lcall   f11
                mov     a,#02Bh
                lcall   send
                inc     r1
                clr     shift
                ret

ho:             cjne    a,#1Eh,ho1
                lcall   z1
                mov     a,#0F1h
                lcall   send
                inc     r1
                clr     shift
                ret

ho1:            cjne    a,#26h,ho2
                lcall   z2
                mov     a,#0F2h
                lcall   send
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        inc     r1
        clr     shift
        ret

ho2:    cjne    a,#25h,ho3
        lcall   z3
        mov     a,#0F3h
        lcall   send
        inc     r1
        clr     shift
        ret

ho3:    cjne    a,#2Eh,ho4
        lcall   z4
        mov     a,#0F4h
        lcall   send
        inc     r1
        clr     shift
        ret

ho4:    cjne    a,#36h,ho5
        cjne    r1,#0,nui8
        clr     shift
        ret
nui8:   lcall   rauu
        mov     a,#0D9h
        lcall   send
        clr     shift
        ret

ho5:    cjne    a,#3Dh,ho6
        lcall   x0
        mov     a,#0DFh
        lcall   send
        inc     r1
        clr     shift
        ret

ho6:    cjne    a,#3Eh,ho7
        lcall   z5
        mov     a,#0F5h
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                lcall   send
                inc     r1
                clr     shift
                ret

ho7:            cjne    a,#46h,ho8
                lcall   z6
                mov     a,#0F6h
                lcall   send
                inc     r1
                clr     shift
                ret

ho8:            cjne    a,#45h,ho9
                lcall   z7
                mov     a,#0F7h
                lcall   send
                inc     r1
                clr     shift
                ret

ho9:            cjne    a,#4Eh,ho10
                lcall   z8
                mov     a,#0F8h
                lcall   send
                inc     r1
                clr     shift
                ret

ho10:           cjne    a,#55h,ho11
                lcall   z9
                mov     a,#0F9h
                lcall   send
                inc     r1
                clr     shift
                ret
;Backspace

;-------------------------------------------------------------------

;Tab
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ho11:   cjne  a,#15h,ho12
        lcall  z0
        mov   a,#0F0h
        lcall  send
        inc    r1
        clr    shift
        ret

ho12:   cjne  a,#1Dh,ho13
        lcall  f2
        mov   a,#22h
        lcall  send
        inc    r1
        clr    shift
        ret

ho13:   cjne  a,#24h,ho14
        lcall  da
        mov   a,#0AEh
        lcall  send
        inc    r1
        clr    shift
        ret

ho14:   cjne  a,#2Dh,ho15
        lcall  monto
        mov   a,#0B1h
        lcall  send
        inc    r1
        clr    shift
        ret

ho15:   cjne  a,#2Ch,ho16
        lcall  tong
        mov   a,#0B8h
        lcall  send
        inc    r1
        clr    shift
        ret

ho16:   cjne  a,#35h,ho17
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                cjne   r1,#0,nui9
                clr    shift
                ret
nui9:           lcall  y1
                mov    a,#0EDh
                lcall  send
                clr    shift
                ret

ho17:           cjne   a,#3Ch,ho18
                cjne   r1,#0,nui10
                clr    shift
                ret
nui10:          lcall  tee
                mov    a,#0EAh
                lcall  send
                clr    shift
                ret

ho18:           cjne   a,#43h,ho19
                lcall  nane
                mov    a,#0B3h
                lcall  send
                inc    r1
                clr    shift
                ret

ho19:           cjne   a,#44h,ho20
                lcall  yan
                mov    a,#0CFh
                lcall  send
                inc    r1
                clr    shift
                ret

ho20:           cjne   a,#4Dh,ho21
                lcall  ying
                mov    a,#0ADh
                lcall  send
                inc    r1
                clr    shift
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ret

ho21:           cjne    a,#54h,ho22
                lcall   tan
                mov     a,#0B0h
                lcall   send
                inc     r1
                clr     shift
                ret

ho22:           cjne    a,#5Bh,ho23
                lcall   f12
                mov     a,#2Ch
                lcall   send
                inc     r1
                clr     shift
                ret

ho23:           cjne    a,#5Dh,ho24
                lcall   hum
                mov     a,#0A5h
                lcall   send
                inc     r1
                clr     shift
                ret

;-------------------------------------------------------------

;Caps Lock
ho24:           cjne    a,#1Ch,ho25
                lcall   ruk
                mov     a,#0C4h
                lcall   send
                inc     r1
                clr     shift
                ret

ho25:           cjne    a,#1Bh,ho26
                lcall   bell
                mov     a,#0A6h
                lcall   send
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        inc     r1
        clr     shift
        ret

ho26:   cjne    a,#23h,ho27
        lcall   pak
        mov     a,#0AFh
        lcall   send
        inc     r1
        clr     shift
        ret

ho27:   cjne    a,#2Bh,ho28
        lcall   oh
        mov     a,#0E2h
        lcall   send
        inc     r1
        clr     shift
        ret

ho28:   cjne    a,#34h,ho29
        lcall   cher
        mov     a,#0ACh
        lcall   send
        inc     r1
        clr     shift
        ret

ho29:   cjne    a,#33h,ho30
        cjne    r1,#0,nui11
        clr     shift
        ret
nui11:  lcall   tyku
        mov     a,#0E7h
        lcall   send
        clr     shift
        ret

ho30:   cjne    a,#3Bh,ho31
        cjne    r1,#0,nui12
        clr     shift
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ret
nui12:          lcall   tawa
                mov     a,#0EBh
                lcall   send
                clr     shift
                ret

ho31:           cjne    a,#42h,ho32
                lcall   rusi
                mov     a,#0C9h
                lcall   send
                inc     r1
                clr     shift
                ret

ho32:           cjne    a,#4Bh,ho33
                lcall   sala
                mov     a,#0C8h
                lcall   send
                inc     r1
                clr     shift
                ret

ho33:           cjne    a,#4Ch,ho34             ;  : is error
                lcall   soo
                mov     a,#0ABh
                lcall   send
                inc     r1
                clr     shift
                ret

ho34:           cjne    a,#52h,ho35
                lcall   dot
                mov     a,#2Eh
                lcall   send
                inc     r1
                clr     shift
                ret
;Enter

;-------------------------------------------------------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;Left Shift
ho35:     cjne   a,#1Ah,ho36
          lcall  f8
          mov    a,#28h
          lcall  send
          inc    r1
          clr    shift
          ret

ho36:     cjne   a,#22h,ho37
          lcall  f9
          mov    a,#29h
          lcall  send
          inc    r1
          clr    shift
          ret

ho37:     cjne   a,#21h,ho38
          lcall  ching
          mov    a,#0A9h
          lcall  send
          inc    r1
          clr    shift
          ret

ho38:     cjne   a,#2Ah,ho39
          lcall  hook
          mov    a,#0CEh
          lcall  send
          inc    r1
          clr    shift
          ret

ho39:     cjne   a,#32h,ho40
          cjne   r1,#0,nui13
          clr    shift
          ret
nui13:    lcall  down
          mov    a,#0DAh
          lcall  send
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                inc     r1
                clr     shift
                ret

ho40:           cjne    a,#31h,ho41
                cjne    r1,#0,nui14
                clr     shift
                ret
nui14:          lcall   karan
                mov     a,#0ECh
                lcall   send
                clr     shift
                ret

ho41:           cjne    a,#3Ah,ho42
                lcall   g15
                mov     a,#3Fh
                lcall   send
                inc     r1
                clr     shift
                ret

ho42:           cjne    a,#41h,ho43
                lcall   old
                mov     a,#0B2h
                lcall   send
                inc     r1
                clr     shift
                ret

ho43:           cjne    a,#49h,ho44
                lcall   jura
                mov     a,#0CCh
                lcall   send
                inc     r1
                clr     shift
                ret

ho44:           cjne    a,#4Ah,tabb3
                lcall   rud
                mov     a,#0C6h
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                lcall   send
                inc     r1
                clr     shift
                ret
;Right Shift
;-------------------------------------------------------------------------------

;Tab,Back,Space,Enter,Ctrl

tabb3:          cjne    a,#0Dh,bak2
                lcall   tab
                mov     a,#09h
                lcall   send
                inc     r1
                inc     r1
                inc     r1
                clr     shift
                ret

bak2:           cjne    a,#66h,spac2
                cjne    r1,#0,back3
                clr     shift
                ret
back3:          lcall   back
                mov     a,#08h
                lcall   send
                mov     a,#20h
                lcall   send
                mov     a,#08h
                lcall   send
                dec     r1
                clr     shift
                ret

spac2:          cjne    a,#29h,ent2
                lcall   space
                mov     a,#20h
                lcall   send
                inc     r1
                clr     shift
                ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ent2:       cjne   a,#5Ah,ctr2
            ;cjne   r2,#01,entt
            lcall   good
            mov   a,#13
            lcall   send1
            mov   a,#10
            lcall   send1
            clr    shift
            setb   P2.7
            ret

;entt:      lcall   enter
;           mov   a,#13
;           lcall   send1
;           mov   a,#10
;           lcall   send1
;           clr    shift
;           ret

ctr2:       cjne   a,#14h,num
            mov   r3,#01
            ret

;-------------------------------------------------------------
;NumLock

num:        cjne   a,#77h,num1
            lcall   z1
            ;mov   a,#0F1h
            ;lcall   send
            inc    r1
            clr    shift
            ret

num1:       cjne   a,#7Ch,num2
            lcall   f10
            mov   a,#2Ah
            lcall   send
            inc    r1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        clr     shift
        ret

num2:   cjne    a,#7Bh,num3
        lcall   f13
        mov     a,#2Dh
        lcall   send
        inc     r1
        clr     shift
        ret

num3:   cjne    a,#79h,num4
        lcall   f11
        mov     a,#2Bh
        lcall   send
        inc     r1
        clr     shift
        ret

num4:   cjne    a,#71h,num5
        lcall   f14
        mov     a,#2Eh
        lcall   send
        inc     r1
        clr     shift
        ret

num5:   cjne    a,#70h,num6
        lcall   g0
        mov     a,#30h
        lcall   send
        inc     r1
        clr     shift
        ret

num6:   cjne    a,#69h,num7
        lcall   g1
        mov     a,#31h
        lcall   send
        inc     r1
        clr     shift
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ret

num7:   cjne   a,#72h,num8
        lcall   enter
        clr     shift
        ret

num8:   cjne   a,#7Ah,num9
        lcall   g3
        mov    a,#33h
        lcall   send
        inc     r1
        clr     shift
        ret

num9:   cjne   a,#6Bh,num10
        lcall   g4
        mov    a,#34h
        lcall   send
        inc     r1
        clr     shift
        ret

num10:  cjne   a,#73h,num11
        lcall   g5
        mov    a,#35h
        lcall   send
        inc     r1
        clr     shift
        ret

num11:  cjne   a,#74h,num12
        lcall   g6
        mov    a,#36h
        lcall   send
        inc     r1
        clr     shift
        ret

num12:  cjne   a,#6Ch,num13
        lcall   g7
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                mov   a,#37h
                lcall  send
                inc    r1
                clr    shift
                ret

num13:          cjne   a,#75h,num14
                lcall  enter
                clr    shift
                ret

num14:          cjne   a,#7Dh,loop7
                lcall  g9
                mov    a,#39h
                lcall  send
                inc    r1
                clr    shift
loop7:          ret

;*****************************************************
clear:   mov   dptr,#clean
         lcall  sting
         ret
;----------------cursor-----------------------------

opcur:   mov   dptr,#cur1
         lcall  sting
         ret

coscur:   mov   dptr,#cur2
         lcall  sting
         ret

;----------------string thai-----------------------------

kai:     mov   dptr,#kai1
         lcall  sting
         ret

khai:    mov   dptr,#khai1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        lcall   sting
        ret

butt:   mov     dptr,#butt1
        lcall   sting
        ret

kway:   mov     dptr,#kway1
        lcall   sting
        ret

hum:    mov     dptr,#hum1
        lcall   sting
        ret

bell:   mov     dptr,#bell1
        lcall   sting
        ret

ngu:    mov     dptr,#ngu1
        lcall   sting
        ret

jan:    mov     dptr,#jan1
        lcall   sting
        ret

ching:  mov     dptr,#ching1
        lcall   sting
        ret

chang:  mov     dptr,#chang1
        lcall   sting
        ret

soo:    mov     dptr,#soo1
        lcall   sting
        ret

cher:   mov     dptr,#cher1
        lcall   sting
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ret

ying:   mov   dptr,#ying1
        lcall  sting
        ret

da:     mov   dptr,#da1
        lcall  sting
        ret

pak:    mov   dptr,#pak1
        lcall  sting
        ret

tan.    mov   dptr,#tan1
        lcall  sting
        ret

monto:  mov   dptr,#monto1
        lcall  sting
        ret

old:    mov   dptr,#old1
        lcall  sting
        ret

nane:   mov   dptr,#nane1
        lcall  sting
        ret

dek:    mov   dptr,#dek1
        lcall  sting
        ret

toa:    mov   dptr,#toa1
        lcall  sting
        ret

tung:   mov   dptr,#tung1
        lcall  sting
        ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
tahan:  mov   dptr,#tahan1
        lcall  sting
        ret

tong:   mov   dptr,#tong1
        lcall  sting
        ret

noo:    mov   dptr,#noo1
        lcall  sting
        ret

bai:    mov   dptr,#bai1
        lcall  sting
        ret

fish:   mov   dptr,#fish1
        lcall  sting
        ret

pung:   mov   dptr,#pung1
        lcall  sting
        ret

pha:    mov   dptr,#pha1
        lcall  sting
        ret

pan:    mov   dptr,#pan1
        lcall  sting
        ret

fun:    mov   dptr,#fun1
        lcall  sting
        ret

poa:    mov   dptr,#poa1
        lcall  sting
        ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
mar:    mov    dptr,#mar1
        lcall   sting
        ret

yak:    mov    dptr,#yak1
        lcall   sting
        ret

ship:   mov    dptr,#ship1
        lcall   sting
        ret

ling:   mov    dptr,#ling1
        lcall   sting
        ret

wan:    mov    dptr,#wan1
        lcall   sting
        ret

ruk:    mov    dptr,#ruk1
        lcall   sting
        ret

rud:    mov    dptr,#rud1
        lcall   sting
        ret

sala:   mov    dptr,#sala1
        lcall   sting
        ret

rusi:   mov    dptr,#rusi1
        lcall   sting
        ret

tiger:  mov    dptr,#tiger1
        lcall   sting
        ret

heep:   mov    dptr,#heep1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        lcall   sting
        ret

jura:   mov     dptr,#jura1
        lcall   sting
        ret

ang:    mov     dptr,#ang1
        lcall   sting
        ret

hook:   mov     dptr,#hook1
        lcall   sting
        ret

;-----------------string thai (sara)-------------------------------

mok:    mov     dptr,#mok1
        lcall   sting
        ret

oh:     mov     dptr,#oh1
        lcall   sting
        ret

moon:   mov     dptr,#moon1
        lcall   sting
        ret

lai:    mov     dptr,#lai1
        lcall   sting
        ret

um:     mov     dptr,#um1
        lcall   sting
        ret

yan:    mov     dptr,#yan1
        lcall   sting
        ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
raz:    mov   dptr,#raz1
        lcall  sting
        ret

rair:   mov   dptr,#rair1
        lcall  sting
        ret

rar:    mov   dptr,#rar1
        lcall  sting
        ret

rax:    mov   dptr,#rax1
        lcall  sting
        ret

dot:    mov   dptr,#dot1
        lcall  sting
        ret

down:   mov   dptr,#down1
        lcall  sting
        ret

hi:     mov   dptr,#hi1
        lcall  sting
        ret

hee:    mov   dptr,#hee1
        lcall  sting
        ret

rauk:   mov   dptr,#rauk1
        lcall  sting
        ret

raud:   mov   dptr,#raud1
        lcall  sting
        ret

rau:    mov   dptr,#rau1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        lcall   sting
        ret

rauu:   mov     dptr,#rauu1
        lcall   sting
        ret

rake:   mov     dptr,#rake1
        lcall   sting
        ret

to:     mov     dptr,#to1
        lcall   sting
        ret

tee:    mov     dptr,#tee1
        lcall   sting
        ret

tawa:   mov     dptr,#tawa1
        lcall   sting
        ret

karan:  mov     dptr,#karan1
        lcall   sting
        ret

tyku:   mov     dptr,#tyku1
        lcall   sting
        ret

han:    mov     dptr,#han1
        lcall   sting
        ret

u0:     mov     dptr,#us0
        lcall   sting
        ret

u1:     mov     dptr,#us1
        lcall   sting
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ret

u2:     mov   dptr,#us2
        lcall  sting
        ret

u3:     mov   dptr,#us3
        lcall  sting
        ret

u4:     mov   dptr,#us4
        lcall  sting
        ret

u5:     mov   dptr,#us5
        lcall  sting
        ret

u6:     mov   dptr,#us6
        lcall  sting
        ret

u7:     mov   dptr,#us7
        lcall  sting
        ret

u8:     mov   dptr,#us8
        lcall  sting
        ret

u9:     mov   dptr,#us9
        lcall  sting
        ret

u10:    mov   dptr,#us10
        lcall  sting
        ret

u11:    mov   dptr,#us11
        lcall  sting
        ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
u12:    mov    dptr,#us12
        lcall   sting
        ret

u13:    mov    dptr,#us13
        lcall   sting
        ret

u14:    mov    dptr,#us14
        lcall   sting
        ret

u15:    mov    dptr,#us15
        lcall   sting
        ret

v0:     mov    dptr,#vs0
        lcall   sting
        ret

v1:     mov    dptr,#vs1
        lcall   sting
        ret

v2:     mov    dptr,#vs2
        lcall   sting
        ret

v3:     mov    dptr,#vs3
        lcall   sting
        ret

v4:     mov    dptr,#vs4
        lcall   sting
        ret

v5:     mov    dptr,#v5
        lcall   sting
        ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
v6:     mov   dptr,#vs6
        lcall  sting
        ret

v7:     mov   dptr,#vs7
        lcall  sting
        ret

v8:     mov   dptr,#vs8
        lcall  sting
        ret

v9:     mov   dptr,#vs9
        lcall  sting
        ret

v10:    mov   dptr,#vs10
        lcall  sting
        ret

v11:    mov   dptr,#vs11
        lcall  sting
        ret

v12:    mov   dptr,#vs12
        lcall  sting
        ret

v13:    mov   dptr,#vs13
        lcall  sting
        ret

v14:    mov   dptr,#vs14
        lcall  sting
        ret

v15:    mov   dptr,#vs15
        lcall  sting
        ret

x0:     mov   dptr,#xs0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        lcall   sting
        ret

y0:     mov     dptr,#ys0
        lcall   sting
        ret

y1:     mov     dptr,#ys1
        lcall   sting
        ret

y2:     mov     dptr,#ys2
        lcall   sting
        ret

y3:     mov     dptr,#ys3
        lcall   sting
        ret

z0:     mov     dptr,#zs0
        lcall   sting
        ret

z1:     mov     dptr,#zs1
        lcall   sting
        ret

z2:     mov     dptr,#zs2
        lcall   sting
        ret

z3:     mov     dptr,#zs3
        lcall   sting
        ret

z4:     mov     dptr,#zs4
        lcall   sting
        ret

z5:     mov     dptr,#zs5
        lcall   sting
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ret

z6:     mov   dptr,#zs6
        lcall  sting
        ret

z7:     mov   dptr,#zs7
        lcall  sting
        ret

z8:     mov   dptr,#zs8
        lcall  sting
        ret

z9:     mov   dptr,#zs9
        lcall  sting
        ret

z10:    mov   dptr,#zs10
        lcall  sting
        ret

z11:    mov   dptr,#zs11
        lcall  sting
        ret

;----------------string eng-----------------------------

AA:     mov   dptr,#AA1
        lcall  sting
        ret

BB:     mov   dptr,#BB1
        lcall  sting
        ret

CC:     mov   dptr,#CC1
        lcall  sting
        ret

DD:     mov   dptr,#DD1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        lcall   sting
        ret

EE:     mov     dptr,#EE1
        lcall   sting
        ret

FF:     mov     dptr,#FF1
        lcall   sting
        ret

GG:     mov     dptr,#GG1
        lcall   sting
        ret

HH:     mov     dptr,#HH1
        lcall   sting
        ret

II:     mov     dptr,#II1
        lcall   sting
        ret

JJ:     mov     dptr,#JJ1
        lcall   sting
        ret

KK:     mov     dptr,#KK1
        lcall   sting
        ret

LL:     mov     dptr,#LL1
        lcall   sting
        ret

MM:     mov     dptr,#MM1
        lcall   sting
        ret

NN:     mov     dptr,#NN1
        lcall   sting
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ret

OO:     mov   dptr,#OO1
        lcall sting
        ret

PP:     mov   dptr,#PP1
        lcall sting
        ret

QQ:     mov   dptr,#QQ1
        lcall sting
        ret

RR:     mov   dptr,#RR1
        lcall sting
        ret

SS:     mov   dptr,#SS1
        lcall sting
        ret

TT:     mov   dptr,#TT1
        lcall sting
        ret

UU:     mov   dptr,#UU1
        lcall sting
        ret

VV:     mov   dptr,#VV1
        lcall sting
        ret

WW:     mov   dptr,#WW1
        lcall sting
        ret

XX:     mov   dptr,#XX1
        lcall sting
        ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
YY:     mov   dptr,#YY1
        lcall   sting
        ret

ZZ:     mov   dptr,#ZZ1
        lcall   sting
        ret

;--------------------string eng (small)-----------------------------------

aas:    mov   dptr,#aas1
        lcall   sting
        ret

bbs:    mov   dptr,#bbs1
        lcall   sting
        ret

ccs:    mov   dptr,#ccs1
        lcall   sting
        ret

dds:    mov   dptr,#dds1
        lcall   sting
        ret

ees:    mov   dptr,#ees1
        lcall   sting
        ret

ffs:    mov   dptr,#ffs1
        lcall   sting
        ret

ggs:    mov   dptr,#ggs1
        lcall   sting
        ret

hhs:    mov   dptr,#hhs1
        lcall   sting
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ret

iis:    mov   dptr,#iis1
        lcall  sting
        ret

jjs:    mov   dptr,#jjs1
        lcall  sting
        ret

kks:    mov   dptr,#kks1
        lcall  sting
        ret

lls:    mov   dptr,#lls1
        lcall  sting
        ret

mms:    mov   dptr,#mms1
        lcall  sting
        ret

nns:    mov   dptr,#nns1
        lcall  sting
        ret

oos:    mov   dptr,#oos1
        lcall  sting
        ret

pps:    mov   dptr,#pps1
        lcall  sting
        ret

qqs:    mov   dptr,#qqs1
        lcall  sting
        ret

rrs:    mov   dptr,#rrs1
        lcall  sting
        ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
sss:    mov    dptr,#sss1
        lcall   sting
        ret

tts:    mov    dptr,#tts1
        lcall   sting
        ret

uus:    mov    dptr,#uus1
        lcall   sting
        ret

vvs:    mov    dptr,#vvs1
        lcall   sting
        ret

wws:    mov    dptr,#wws1
        lcall   sting
        ret

xxs:    mov    dptr,#xxs1
        lcall   sting
        ret

yys:    mov    dptr,#yys1
        lcall   sting
        ret

zzs:    mov    dptr,#zzs1
        lcall   sting
        ret

;----------------string eng (sara)-------------------------------

f1:     mov    dptr,#fs1
        lcall   sting
        ret

f2:     mov    dptr,#fs2
        lcall   sting
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ret

f3:     mov   dptr,#fs3
        lcall  sting
        ret

f4:     mov   dptr,#fs4
        lcall  sting
        ret

f5:     mov   dptr,#fs5
        lcall  sting
        ret

f6:     mov   dptr,#fs6
        lcall  sting
        ret

f7:     mov   dptr,#fs7
        lcall  sting
        ret

f8:     mov   dptr,#fs8
        lcall  sting
        ret

f9:     mov   dptr,#fs9
        lcall  sting
        ret

f10:    mov   dptr,#fs10
        lcall  sting
        ret

f11:    mov   dptr,#fs11
        lcall  sting
        ret

f12:    mov   dptr,#fs12
        lcall  sting
        ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
f13:    mov    dptr,#fs13
        lcall   sting
        ret

f14:    mov    dptr,#fs14
        lcall   sting
        ret

f15:    mov    dptr,#fs15
        lcall   sting
        ret

g0:     mov    dptr,#gs0
        lcall   sting
        ret

g1:     mov    dptr,#gs1
        lcall   sting
        ret

g2:     mov    dptr,#gs2
        lcall   sting
        ret

g3:     mov    dptr,#gs3
        lcall   sting
        ret

g4:     mov    dptr,#gs4
        lcall   sting
        ret

g5:     mov    dptr,#gs5
        lcall   sting
        ret

g6:     mov    dptr,#gs6
        lcall   sting
        ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
g7:     mov   dptr,#gs7
        lcall  sting
        ret

g8:     mov   dptr,#gs8
        lcall  sting
        ret

g9:     mov   dptr,#gs9
        lcall  sting
        ret

g10:    mov   dptr,#gs10
        lcall  sting
        ret

g11:    mov   dptr,#gs11
        lcall  sting
        ret

g12:    mov   dptr,#gs12
        lcall  sting
        ret

g13:    mov   dptr,#gs13
        lcall  sting
        ret

g14:    mov   dptr,#gs14
        lcall  sting
        ret

g15:    mov   dptr,#gs15
        lcall  sting
        ret

j0:     mov   dptr,#js0
        lcall  sting
        ret

k0:     mov   dptr,#ks0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        lcall   sting
        ret

k1:     mov     dptr,#ks1
        lcall   sting
        ret

k2:     mov     dptr,#ks2
        lcall   sting
        ret

k3:     mov     dptr,#ks3
        lcall   sting
        ret

k4:     mov     dptr,#ks4
        lcall   sting
        ret

m0:     mov     dptr,#ms0
        lcall   sting
        ret

n0:     mov     dptr,#ns0
        lcall   sting
        ret

n1:     mov     dptr,#ns1
        lcall   sting
        ret

n2:     mov     dptr,#ns2
        lcall   sting
        ret


;----------------------Mark-----------------------------

tab:    mov     dptr,#tab1
        lcall   sting
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ret

back:   mov   dptr,#back1
        lcall   sting
        ret

space:  mov   dptr,#space1
        lcall   sting
        ret

enter:  mov   r1,#4
        mov   dptr,#enter1
enter2: lcall   sting
        lcall   DEL
        djnz  r1,enter2

        ret

ctrl:   mov   r1,#6
        mov   dptr,#ctrl1
ctrl2:  lcall   sting
        lcall   DEL
        djnz  r1,ctrl2
        mov   r1,#0
        mov   r3,#0
        ret

;-------------------------------------------------------

;*******************************************************
;-----------------clean-----------------------------------

clean: db  ':5',0dh

;-----------------cursor----------------- ----------------

cur1:  db  ':6',0dh
cur2:  db  ':7',0dh

;-----------------string thai-----------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
kai1:       db  ':2ก',0dh
khai1:      db  ':2ข',0dh
butt1:      db  ':2ฃ',0dh
kway1:      db  ':2ค',0dh
hum1:       db  ':2ฅ',0dh
bell1:      db  ':2ฆ',0dh
ngu1:       db  ':2ง',0dh
jan1:       db  ':2จ',0dh
ching1:     db  ':2ฉ',0dh
chang1:     db  ':2ช',0dh
soo1:       db  ':2ซ',0dh
cher1:      db  ':2ฌ',0dh
ying1:      db  ':2ญ',0dh
da1:        db  ':2ฎ',0dh
pak1:       db  ':2ฏ',0dh
tan1:       db  ':2ฐ',0dh
monto1:     db  ':2ฑ',0dh
old1:       db  ':2ฒ',0dh
nane1:      db  ':2ณ',0dh
dek1:       db  ':2ด',0dh
toa1:       db  ':2ต',0dh
tung1:      db  ':2ถ',0dh
tahan1:     db  ':2ท',0dh
tong1:      db  ':2ธ',0dh
noo1:       db  ':2น',0dh
bai1:       db  ':2บ',0dh
fish1:      db  ':2ป',0dh
pung1:      db  ':2ผ',0dh
pha1:       db  ':2ฝ',0dh
pan1:       db  ':2พ',0dh
fun1:       db  ':2ฟ',0dh
poa1:       db  ':2ภ',0dh
mar1:       db  ':2ม',0dh
yak1:       db  ':2ย',0dh
ship1:      db  ':2ร',0dh
ling1:      db  ':2ล',0dh
wan1:       db  ':2ว',0dh
ruk1:       db  ':2ฤ',0dh
rud1:       db  ':2ฦ',0dh
sala1:      db  ':2ศ',0dh
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
rusi1:      db  ':2ษ',0dh
tiger1:     db  ':2ส',0dh
heep1:      db  ':2ห',0dh
jura1:      db  ':2ฬ',0dh
ang1:       db  ':2อ',0dh
hook1:      db  ':2ฮ',0dh

;----------------------string thai (sara)-----------------------------------

yan1:       db  ':2ฯ',0dh
rax1:       db  ':2',0d0h,0dh
han1:       db  ':2',0d1h,0dh
rar1:       db  ':2',0d2h,0dh
um1:        db  ':2',0d3h,0dh
hi1:        db  ':2',0d4h,0dh
hee1:       db  ':2',0d5h,0dh
rauk1:      db  ':2',0d6h,0dh
raud1:      db  ':2',0d7h,0dh
rau1:       db  ':2',0d8h,0dh
rauu1:      db  ':2',0d9h,0dh
down1:      db  ':2',0dah,0dh
dot1:       db  ':2.',0dh

raz1:       db  ':2เ',0dh
rair1:      db  ':2แ',0dh
oh1:        db  ':2โ',0dh
moon1:      db  ':2ใ',0dh
lai1:       db  ':2ไ',0dh
mok1:       db  ':2ๆ',0dh
tyku1:      db  ':2',0e7h,0dh
rake1:      db  ':2',0e8h,0dh
to1:        db  ':2',0e9h,0dh
tee1:       db  ':2',0eah,0dh
tawa1:      db  ':2',0ebh,0dh
karan1:     db  ':2',0ech,0dh

us0:        db  ':2',80h,0dh
us1:        db  ':2',81h,0dh
us2:        db  ':2',82h,0dh
us3:        db  ':2',83h,0dh
us4:        db  ':2',84h,0dh
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
us5:    db  ':2',85h,0dh
us6:    db  ':2',86h,0dh
us7:    db  ':2',87h,0dh
us8:    db  ':2',88h,0dh
us9:    db  ':2',89h,0dh
us10:   db  ':2',8ah,0dh
us11:   db  ':2',8bh,0dh
us12:   db  ':2',8ch,0dh
us13:   db  ':2',8dh,0dh
us14:   db  ':2',8eh,0dh
us15:   db  ':2',8fh,0dh

vs0:    db  ':2',90h,0dh
vs1:    db  ':2',91h,0dh
vs2:    db  ':2',92h,0dh
vs3:    db  ':2',93h,0dh
vs4:    db  ':2',94h,0dh
vs5:    db  ':2',95h,0dh
vs6:    db  ':2',96h,0dh
vs7:    db  ':2',97h,0dh
vs8:    db  ':2',98h,0dh
vs9:    db  ':2',99h,0dh
vs10:   db  ':2',9ah,0dh
vs11:   db  ':2',9bh,0dh
vs12:   db  ':2',9ch,0dh
vs13:   db  ':2',9dh,0dh
vs14:   db  ':2',9eh,0dh
vs15:   db  ':2',9fh,0dh

xs0:    db  ':2',0dfh,0dh

ys0:    db  ':2',0e5h,0dh
ys1:    db  ':2',0edh,0dh
ys2:    db  ':2',0eeh,0dh
ys3:    db  ':2',0efh,0dh

zs0:    db  ':2๐',0dh
zs1:    db  ':2๑',0dh
zs2:    db  ':2๒',0dh
zs3:    db  ':2๓',0dh
zs4:    db  ':2๔',0dh
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
zs5:        db  ':2๕',0dh
zs6:        db  ':2๖',0dh
zs7:        db  ':2๗',0dh
zs8:        db  ':2๘',0dh
zs9:        db  ':2๙',0dh
zs10:       db  ':2',0fah,0dh
zs11:       db  ':2',0fbh,0dh

;-------------------string eng-----------------------------------

AA1:        db  ':2A',0dh
BB1:        db  ':2B',0dh
CC1:        db  ':2C',0dh
DD1:        db  ':2D',0dh
EE1:        db  ':2E',0dh
FF1:        db  ':2F',0dh
GG1:        db  ':2G',0dh
HH1:        db  ':2H',0dh
II1:        db  ':2I',0dh
JJ1:        db  ':2J',0dh
KK1:        db  ':2K',0dh
LL1:        db  ':2L',0dh
MM1:        db  ':2M',0dh
NN1:        db  ':2N',0dh
OO1:        db  ':2O',0dh
PP1:        db  ':2P',0dh
QQ1:        db  ':2Q',0dh
RR1:        db  ':2R',0dh
SS1:        db  ':2S',0dh
TT1:        db  ':2T',0dh
UU1:        db  ':2U',0dh
VV1:        db  ':2V',0dh
WW1:        db  ':2W',0dh
XX1:        db  ':2X',0dh
YY1:        db  ':2Y',0dh
ZZ1:        db  ':2Z',0dh

;-------------------string eng (small)---------------------------

aas1:       db  ':2a',0dh
bbs1:       db  ':2b',0dh
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ccs1:          db  ':2c',0dh
dds1:          db  ':2d',0dh
ees1:          db  ':2e',0dh
ffs1:          db  ':2f',0dh
ggs1:          db  ':2g',0dh
hhs1:          db  ':2h',0dh
iis1:          db  ':2i',0dh
jjs1:          db  ':2j',0dh
kks1:          db  ':2k',0dh
lls1:          db  ':2l',0dh
mms1:          db  ':2m',0dh
nns1:          db  ':2n',0dh
oos1:          db  ':2o',0dh
pps1:          db  ':2p',0dh
qqs1:          db  ':2q',0dh
rrs1:          db  ':2r',0dh
sss1:          db  ':2s',0dh
tts1:          db  ':2t',0dh
uus1:          db  ':2u',0dh
vvs1:          db  ':2v',0dh
wws1:          db  ':2w',0dh
xxs1:          db  ':2x',0dh
yys1:          db  ':2y',0dh
zzs1:          db  ':2z',0dh

;----------------string eng (sara)-----------------------

fs1:       db  ':2!',0dh
fs2:       db  ':2"',0dh
fs3:       db  ':2#',0dh
fs4:       db  ':2$',0dh
fs5:       db  ':2%',0dh
fs6:       db  ':2&',0dh
fs7:       db  ':2',27h,0dh
fs8:       db  ':2(',0dh
fs9:       db  ':2)',0dh
fs10:      db  ':2*',0dh
fs11:      db  ':2+',0dh
fs12:      db  ':2,',0dh
fs13:      db  ':2-',0dh
fs14:      db  ':2.',0dh
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
fs15:     db  ':2/',0dh

gs0:      db  ':20',0dh
gs1:      db  ':21',0dh
gs2:      db  ':22',0dh
gs3:      db  ':23',0dh
gs4:      db  ':24',0dh
gs5:      db  ':25',0dh
gs6:      db  ':26',0dh
gs7:      db  ':27',0dh
gs8:      db  ':28',0dh
gs9:      db  ':29',0dh
gs10:     db  ':2:',0dh
gs11:     db  ':2;',0dh
gs12:     db  ':2<',0dh
gs13:     db  ':2=',0dh
gs14:     db  ':2>',0dh
gs15:     db  ':2?',0dh

js0:      db  ':2@',0dh

ks0:      db  ':2[',0dh
ks1:      db  ':2\',0dh
ks2:      db  ':2]',0dh
ks3:      db  ':2^',0dh
ks4:      db  ':2_',0dh

ms0:      db  ':2',60h,0dh

ns0:      db  ':2{',0dh
ns1:      db  ':2|',0dh
ns2:      db  ':2}',0dh


;----------------------Mark-----------------------------

tab1:     db  ':2  ',0dh
back1:    db  ':8',0dh
space1:   db  ':2',20h,0dh
enter1:   db  ':5',0dh
          db  ':1000',0dh
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        db  ':2Cmd>',0dh
        db  ':6',0dh
ctrl1:  db  ':5',0dh
        db  ':1000',0dh
        db  ':2Press d or D ----> DISCONNECTED',0dh
        db  ':1200',0dh
        db  ':5',0dh
        db  ':6',0dh
;-----------------------------------------------------------------


;*****************************
text:
;00eng
    DB   '*'
    DB   0
    DB   0
    DB   0
    DB   0
    DB   0
    DB   0
    DB   0
    DB   0
    DB   0
    DB   '*'
    DB   0
    DB   0
    DB   0
    DB   0
    DB   0
;10
    DB   0
    DB   0
    DB   0
    DB   0
    DB   0
    DB   0
    DB   0
    DB   0
    DB   0
    DB   0
    DB   0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB    0
        DB    0
        DB    0
        DB    0
        DB    0
        DB    0
;20
        DB    ' '
        DB    '!'
        DB    '"'
        DB    '#'
        DB    '$'
        DB    '%'
        DB    '&'
        DB    027h
        DB    '('
        DB    ')'
        DB    '*'
        DB    '+'
        DB    ','
        DB    '-'
        DB    '.'
        DB    '/'
;30
        DB    '0'
        DB    '1'
        DB    '2'
        DB    '3'
        DB    '4'
        DB    '5'
        DB    '6'
        DB    '7'
        DB    '8'
        DB    '9'
        DB    ':'
        DB    ';'
        DB    '<'
        DB    '='
        DB    '>'
        DB    '?'
;40
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB    '@'
        DB    'A'
        DB    'B'
        DB    'C'
        DB    'D'
        DB    'E'
        DB    'F'
        DB    'G'
        DB    'H'
        DB    'I'
        DB    'J'
        DB    'K'
        DB    'L'
        DB    'M'
        DB    'N'
        DB    'O'
;50
        DB    'P'
        DB    'Q'
        DB    'R'
        DB    'S'
        DB    'T'
        DB    'U'
        DB    'V'
        DB    'W'
        DB    'X'     ;CAPS
        DB    'Y'     ;RS
        DB    'Z'     ;ENTER
        DB    '['
        DB    '\'
        DB    ']'
        DB    '^'
        DB    '_'
;60
        DB    ','
        DB    'a'
        DB    'b'
        DB    'c'
        DB    'd'
        DB    'e'
        DB    'f'
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB    'g'
        DB    'h'
        DB    'i'
        DB    'j'
        DB    'k'
        DB    'l'
        DB    'm'
        DB    'n'
        DB    'o'
;70
        DB    'p'
        DB    'q'
        DB    'r'
        DB    's'
        DB    't'
        DB    'u'
        DB    'v'
        DB    'w'
        DB    'x'       ;CAPS
        DB    'y'       ;RS
        DB    'z'       ;ENTER
        DB    '{'
        DB    '|'
        DB    '}'
        DB    '~'
        DB    0
;A0thai
        DB    0
        DB    0A1h      ;ก
        DB    0A2h      ;ข
        DB    0A3h      ;ฃ
        DB    0A4h      ;ค
        DB    0A5h      ;ฅ
        DB    0A6h      ;ฆ
        DB    0A7h      ;ง
        DB    0A8h      ;จ
        DB    0A9h      ;ฉ
        DB    0AAh      ;ช
        DB    0ABh      ;ซ
        DB    0ACh      ;ฌ
        DB    0ADh      ;ญ
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB    0AEh        ;ฎ
        DB    0AFh        ;ฏ
;B0
        DB    0B0h        ;ฐ
        DB    0B1h        ;ฑ
        DB    0B2h        ;ฒ
        DB    0B3h        ;ณ
        DB    0B4h        ;ด
        DB    0B5h        ;ต
        DB    0B6h        ;ถ
        DB    0B7h        ;ท
        DB    0B8h        ;ธ
        DB    0B9h        ;น
        DB    0BAh        ;บ
        DB    0BBh        ;ป
        DB    0BCh        ;ผ
        DB    0BDh        ;ฝ
        DB    0BEh        ;พ
        DB    0BFh        ;ฟ
;C0
        DB    0C0h        ;ภ
        DB    0C1h        ;ม
        DB    0C2h        ;ย
        DB    0C3h        ;ร
        DB    0C4h        ;ฤ
        DB    0C5h        ;ล
        DB    0C6h        ;ฦ
        DB    0C7h        ;ว
        DB    0C8h        ;ศ
        DB    0C9h        ;ษ
        DB    0CAh        ;ส
        DB    0CBh        ;ห
        DB    0CCh        ;ฬ
        DB    0CDh        ;อ
        DB    0CEh        ;ฮ
        DB    0CFh        ;ฯ
;D0
        DB    0D0h        ;ะ
        DB    0D1h        ;ั
        DB    0D2h        ;า
        DB    0D3h        ;ำ
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB    0D4h        ;อิ
        DB    0D5h        ;อี
        DB    0D6h        ;อึ
        DB    0D7h        ;อื
        DB    0D8h        ;อุ
        DB    0D9h        ;อู
        DB    0DAh        ;อฺ
        DB    0
        DB    0
        DB    0
        DB    0
        DB    0DFh        ;฿
;E0
        DB    0E0h        ;เอ
        DB    0E1h        ;แอ
        DB    0E2h        ;โอ
        DB    0E3h        ;ใอ
        DB    0E4h        ;ไอ
        DB    0E5h        ;อๅ
        DB    0E6h        ;ๆ
        DB    0E7h        ;อ็
        DB    0E8h        ;อ่
        DB    0E9h        ;อ้
        DB    0EAh        ;อ๊
        DB    0EBh        ;อ๋
        DB    0ECh        ;อ์
        DB    0EDh
        DB    0EEh
        DB    0EFh
;F0
        DB    0F0h        ;๐
        DB    0F1h        ;๑
        DB    0F2h        ;๒
        DB    0F3h        ;๓
        DB    0F4h        ;๔
        DB    0F5h        ;๕
        DB    0F6h        ;๖
        DB    0F7h        ;๗
        DB    0F8h        ;๘
        DB    0F9h        ;๙
        DB    0FAh
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB    0FBh
        DB    0
        DB    0
        DB    0
        DB    0

;****************************************
; Key string
;****************************************
sing:   mov   a,#00h
        movc  a,@a+dptr
        cjne  a,#32h,sing1
        call  serial
        inc   dptr
        call  DELS
        ret

sing1:  call  serial
        inc   dptr
        jmp   sing

;-----------------------------------------------------------
sting:  mov   a,#00h
        movc  a,@a+dptr
        cjne  a,#0dh,sting1
        call  serial
        inc   dptr
        call  DELS
        ret

sting1: lcall serial
        inc   dptr
        jmp   sting

;-----------------------------------------------------------
serial: mov   r5,#8
serial1:rlc   a
        mov   sda,c             ;DATA
        clr   sck               ;CLOCK 20 uS (LOW)
        mov   count3,#50
        djnz  count3,$
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        setb    sck
        mov     count3,#50
        djnz    count3,$
        djnz    r5,serial1
        clr     sld             ;LOAD CLOCK (LOW)
        mov     count3,#200
        djnz    count3,$
        setb    sld
        ret

;************************************************

DELS:   mov     count1,#5       ;DELAY 120 mS
AF:     mov     count2,#26
AF1:    mov     count3,#00
        djnz    count3,$
        djnz    count2,AF1
        djnz    count1,AF
        ret

DEL:    MOV     count1,#00H
AF2:    MOV     count2,#00H
        DJNZ    count2,$
        DJNZ    count1,AF2
        ret

DEL1:   MOV     count1,#600
AC1:    MOV     count2,#600
        DJNZ    count2,$
        DJNZ    count1,AC1
        ret

end
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

P89C51RB2/P89C51RC2/P89C51RD2

80C51 8-bit Flash microcontroller family

16KB/32KB/64KB ISP/IAP Flash with 512B/512B/1KB RAM

Preliminary specification
Supersedes data of 2001 Jan 11
IC28 Data Handbook

2001 Jun 27

Philips
Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

80C51 8-bit Flash microcontroller family
16KB/32KB/64KB ISP/IAP Flash with 512B/512B/1KB RAM

P89C51RB2/P89C51RC2/ P89C51RD2

DESCRIPTION

The P89C51RB2/RC2/RD2 device contains a non-volatile 16KB/32KB/64KB Flash program memory that is both parallel programmable and serial In-System and In-Application Programmable. In-System Programming (ISP) allows the user to download new code while the microcontroller sits in the application. In-Application Programming (IAP) means that the microcontroller fetches new program code and reprograms itself while in the system. This allows for remote programming over a modem link. A default serial loader (boot loader) program in ROM allows serial In-System programming of the Flash memory via the UART without the need for a loader in the Flash code. For In-Application Programming, the user program erases and reprograms the Flash memory by use of standard routines contained in ROM.

This device executes one machine cycle in 6 clock cycles, hence providing twice the speed of a conventional 80C51. An OTP configuration bit lets the user select conventional 12 clock timing if desired.

This device is a Single-Chip 8-Bit Microcontroller manufactured in advanced CMOS process and is a derivative of the 80C51 microcontroller family. The instruction set is 100% compatible with the 80C51 instruction set.

The device also has four 8-bit I/O ports, three 16-bit timer/event counters, a multi-source, four-priority-level, nested interrupt structure, an enhanced UART and on-chip oscillator and timing circuits.

The added features of the P89C51RB2/RC2/RD2 makes it a powerful microcontroller for applications that require pulse width modulation, high-speed I/O and up/down counting capabilities such as motor control.

FEATURES

- 80C51 Central Processing Unit
- On-chip Flash Program Memory with In-System Programming (ISP) and In-Application Programming (IAP) capability
- Boot ROM contains low level Flash programming routines for downloading via the UART
- Can be programmed by the end-user application (IAP)
- Parallel programming with 87C51 compatible hardware interface to programmer
- 6 clocks per machine cycle operation (standard)
- 12 clocks per machine cycle operation (optional)
- Speed up to 20 MHz with 6 clock cycles per machine cycle (40 MHz equivalent performance); up to 33 MHz with 12 clocks per machine cycle
- Fully static operation
- RAM expandable externally to 64 kbytes
- 4 level priority interrupt
- 7 interrupt sources
- Four 8-bit I/O ports
- Full-duplex enhanced UART
  - Framing error detection
  - Automatic address recognition
- Power control modes
  - Clock can be stopped and resumed
  - Idle mode
  - Power down mode
- Programmable clock out
- Second DPTR register
- Asynchronous port reset
- Low EMI (inhibit ALE)
- Programmable Counter Array (PCA)
  - PWM
  - Capture/compare

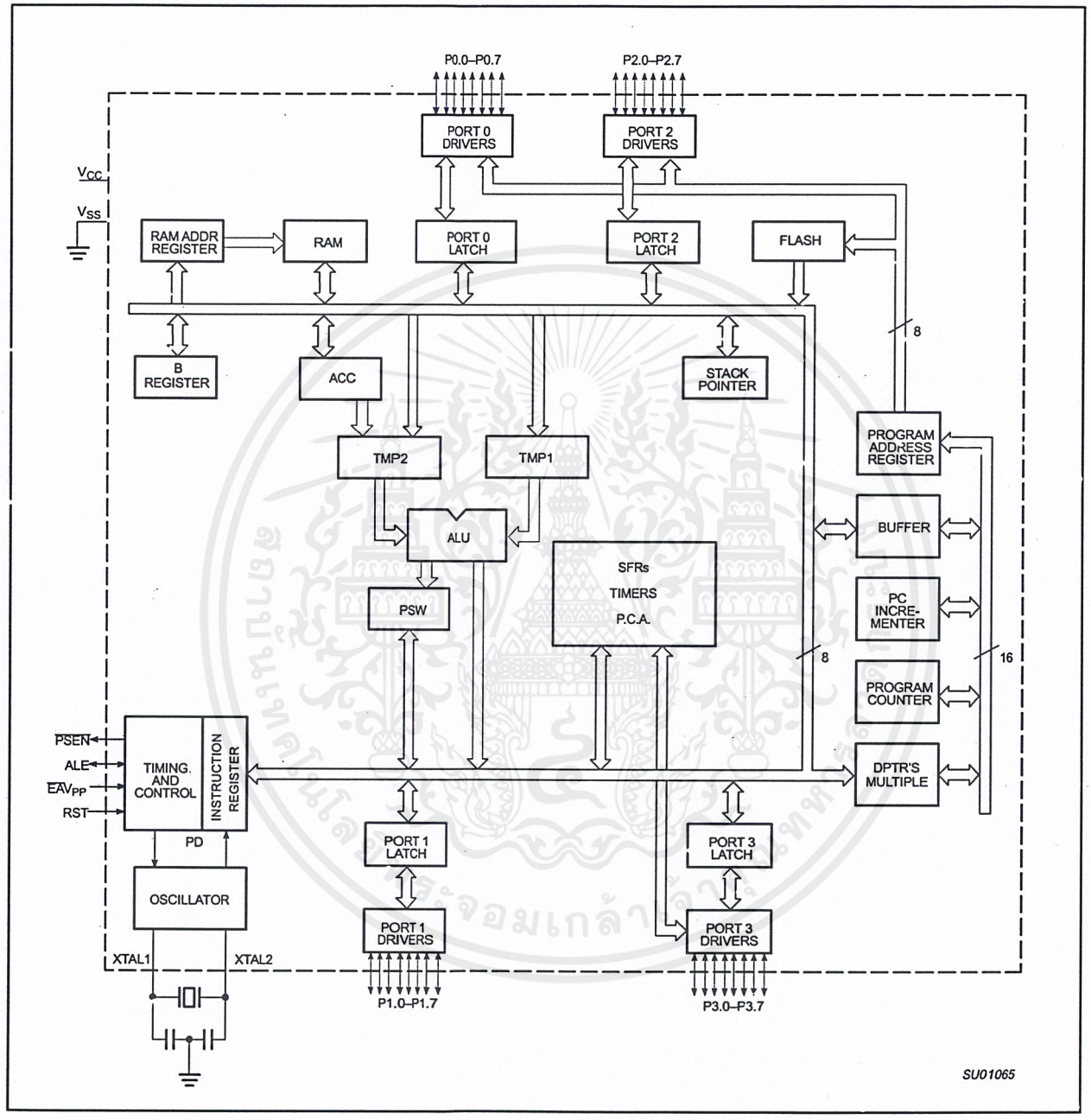
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

	PHILIPS (EXCEPT NORTH AMERICA) PART ORDER NUMBER PART MARKING	PHILIPS NORTH AMERICA PART ORDER NUMBER	MEMORY		TEMPERATURE RANGE (°C) AND PACKAGE	VOLTAGE RANGE	FREQUENCY (MHz)		DWG #
			FLASH	RAM			6 CLOCK MODE	12 CLOCK MODE	
1	P89C51RB2HBA	P89C51RB2BA	16 kB	512 B	0 to +70, PLCC	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT187-2
2	P89C51RB2HBBD	P89C51RB2BBD	16 kB	512 B	0 to +70, LQFP	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT389-1
3	P89C51RC2HBP	P89C51RC2BN	32 kB	512 B	0 to +70, PDIP	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT129-1
4	P89C51RC2HBA	P89C51RC2BA	32 kB	512 B	0 to +70, PLCC	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT187-2
5	P89C51RC2HFA	P89C51RC2FA	32 kB	512 B	–40 to +85, PLCC	4.75–5.25 V	0 to 20 MHz	0 to 33 MHz	SOT187-2
6	P89C51RC2HBBD	P89C51RC2BBD	32 kB	512 B	0 to +70, LQFP	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT389-1
7	P89C51RC2HFBD	P89C51RC2FBD	32 kB	512 B	–40 to +85, LQFP	4.75–5.25 V	0 to 20 MHz	0 to 33 MHz	SOT389-1
8	P89C51RD2HBP	P89C51RD2BN	64 kB	1 kB	0 to +70, PDIP	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT129-1
9	P89C51RD2HBA	P89C51RD2BA	64 kB	1 kB	0 to +70, PLCC	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT187-2
10	P89C51RD2HBBD	P89C51RD2BBD	64 kB	1 kB	0 to +70, LQFP	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT389-1

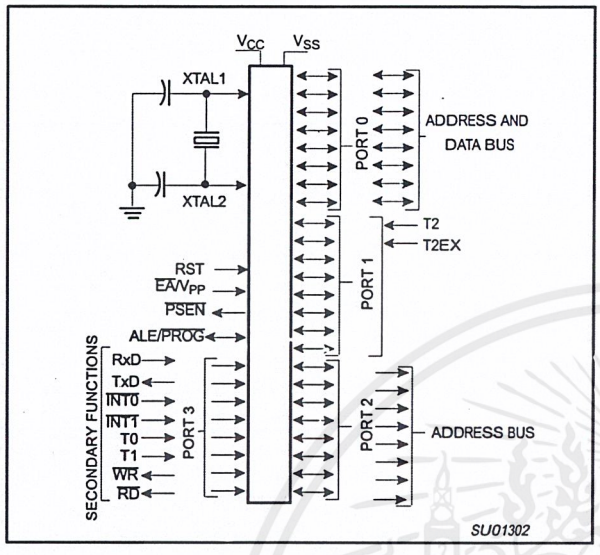
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

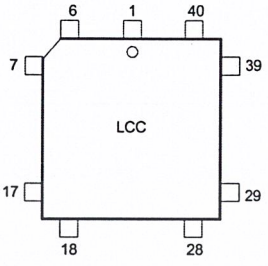


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC SYMBOL



Plastic Leaded Chip Carrier



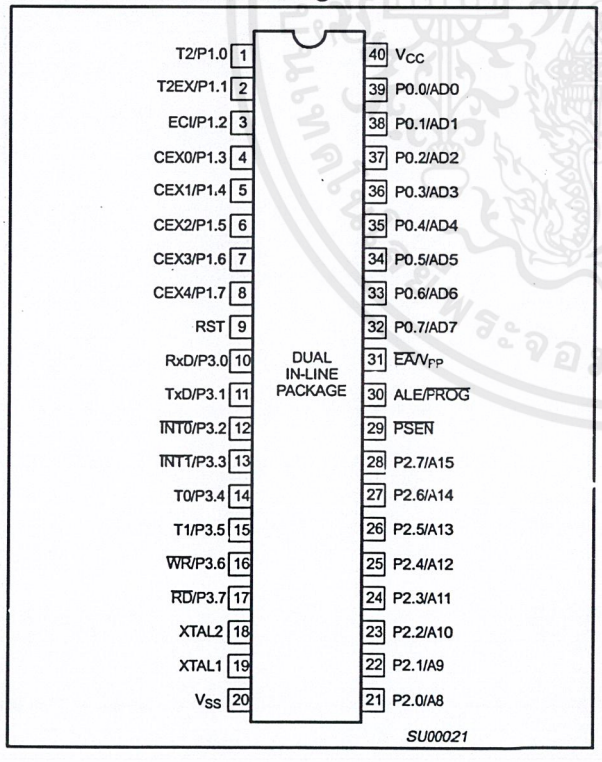
Pin	Function	Pin	Function	Pin	Function
1	NIC*	16	P3.4/T0	31	P2.7/A15
2	P1.0/T2	17	P3.5/T1	32	PSEN
3	P1.1/T2EX	18	P3.6/WR	33	ALE/PROG
4	P1.2/ECI	19	P3.7/RD	34	NIC*
5	P1.3/CEX0	20	XTAL2	35	EA/VPP
6	P1.4/CEX1	21	XTAL1	36	P0.7/AD7
7	P1.5/CEX2	22	VSS	37	P0.6/AD6
8	P1.6/CEX3	23	NIC*	38	P0.5/AD5
9	P1.7/CEX4	24	P2.0/A8	39	P0.4/AD4
10	RST	25	P2.1/A9	40	P0.3/AD3
11	P3.0/RxD	26	P2.2/A10	41	P0.2/AD2
12	NIC*	27	P2.3/A11	42	P0.1/AD1
13	P3.1/TxD	28	P2.4/A12	43	P0.0/AD0
14	P3.2/INT0	29	P2.5/A13	44	VCC
15	P3.3/INT1	30	P2.6/A14		

* NO INTERNAL CONNECTION

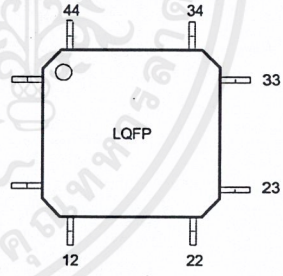
SU00023

PINNING

Plastic Dual In-Line Package



Plastic Quad Flat Pack



Pin	Function	Pin	Function	Pin	Function
1	P1.5/CEX2	16	VSS	31	P0.6/AD6
2	P1.6/CEX3	17	NIC*	32	P0.5/AD5
3	P1.7/CEX4	18	P2.0/A8	33	P0.4/AD4
4	RST	19	P2.1/A9	34	P0.3/AD3
5	P3.0/RxD	20	P2.2/A10	35	P0.2/AD2
6	NIC*	21	P2.3/A11	36	P0.1/AD1
7	P3.1/TxD	22	P2.4/A12	37	P0.0/AD0
8	P3.2/INT0	23	P2.5/A13	38	VCC
9	P3.3/INT1	24	P2.6/A14	39	NIC*
10	P3.4/T0	25	P2.7/A15	40	P1.0/T2
11	P3.5/T1	26	PSEN	41	P1.1/T2EX
12	P3.6/WR	27	ALE/PROG	42	P1.2/ECI
13	P3.7/RD	28	NIC*	43	P1.3/CEX0
14	XTAL2	29	EA/VPP	44	P1.4/CEX1
15	XTAL1	30	P0.7/AD7		

* NO INTERNAL CONNECTION

SU01400

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

MNEMONIC	PIN NUMBER			TYPE	NAME AND FUNCTION
	PDIP	PLCC	LQFP		
V_{SS}	20	22	16	I	**Ground:** 0 V reference.
V_{CC}	40	44	38	I	**Power Supply:** This is the power supply voltage for normal, idle, and power-down operation.
P0.0–0.7	39–32	43–36	37–30	I/O	**Port 0:** Port 0 is an open-drain, bidirectional I/O port. Port 0 pins that have 1s written to them float and can be used as high-impedance inputs. Port 0 is also the multiplexed low-order address and data bus during accesses to external program and data memory. In this application, it uses strong internal pull-ups when emitting 1s.
P1.0–P1.7	1–8	2–9	40–44, 1–3	I/O	**Port 1:** Port 1 is an 8-bit bidirectional I/O port with internal pull-ups on all pins except P1.6 and P1.7 which are open drain. Port 1 pins that have 1s written to them are pulled high by the internal pull-ups and can be used as inputs. As inputs, port 1 pins that are externally pulled low will source current because of the internal pull-ups. (See DC Electrical Characteristics: I_{IL}).
					Alternate functions for 89C51RB2/RC2/RD2 Port 1 include:
	1	2	40	I/O	**T2 (P1.0):** Timer/Counter 2 external count input/Clockout (see Programmable Clock-Out)
	2	3	41	I	**T2EX (P1.1):** Timer/Counter 2 Reload/Capture/Direction Control
	3	4	42	I	**ECI (P1.2):** External Clock Input to the PCA
	4	5	43	I/O	**CEX0 (P1.3):** Capture/Compare External I/O for PCA module 0
	5	6	44	I/O	**CEX1 (P1.4):** Capture/Compare External I/O for PCA module 1
	6	7	1	I/O	**CEX2 (P1.5):** Capture/Compare External I/O for PCA module 2
	7	8	2	I/O	**CEX3 (P1.6):** Capture/Compare External I/O for PCA module 3
	8	9	3	I/O	**CEX4 (P1.7):** Capture/Compare External I/O for PCA module 4
P2.0–P2.7	21–28	24–31	18–25	I/O	**Port 2:** Port 2 is an 8-bit bidirectional I/O port with internal pull-ups. Port 2 pins that have 1s written to them are pulled high by the internal pull-ups and can be used as inputs. As inputs, port 2 pins that are externally being pulled low will source current because of the internal pull-ups. (See DC Electrical Characteristics: I_{IL}). Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @DPTR). In this application, it uses strong internal pull-ups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOV @Ri), port 2 emits the contents of the P2 special function register.
					P2.7 must be a "1" to program and erase the device.
P3.0–P3.7	10–17	11, 13–19	5, 7–13	I/O	**Port 3:** Port 3 is an 8-bit bidirectional I/O port with internal pull-ups. Port 3 pins that have 1s written to them are pulled high by the internal pull-ups and can be used as inputs. As inputs, port 3 pins that are externally being pulled low will source current because of the pull-ups. (See DC Electrical Characteristics: I_{IL}). Port 3 also serves the special features of the 89C51RB2/RC2/RD2, as listed below:
	10	11	5	I	**RxD (P3.0):** Serial input port
	11	13	7	O	**TxD (P3.1):** Serial output port
	12	14	8	I	**$\overline{INT0}$ (P3.2):** External interrupt
	13	15	9	I	**$\overline{INT1}$ (P3.3):** External interrupt
	14	16	10	I	**T0 (P3.4):** Timer 0 external input
	15	17	11	I	**T1 (P3.5):** Timer 1 external input
	16	18	12	O	**$\overline{WR}$ (P3.6):** External data memory write strobe
	17	19	13	O	**$\overline{RD}$ (P3.7):** External data memory read strobe
RST	9	10	4	I	**Reset:** A high on this pin for two machine cycles while the oscillator is running, resets the device. An internal resistor to V_{SS} permits a power-on reset using only an external capacitor to V_{CC}.
ALE	30	33	27	O	**Address Latch Enable:** Output pulse for latching the low byte of the address during an access to external memory. In normal operation, ALE is emitted twice every machine cycle, and can be used for external timing or clocking. Note that one ALE pulse is skipped during each access to external data memory. ALE can be disabled by setting SFR auxiliary.0. With this bit set, ALE will be active only during a MOVX instruction.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MNEMONIC	PIN NUMBER			TYPE	NAME AND FUNCTION
	PDIP	PLCC	LQFP		
$\overline{PSEN}$	29	32	26	O	**Program Store Enable:** The read strobe to external program memory. When executing code from the external program memory, $\overline{PSEN}$ is activated twice each machine cycle, except that two $\overline{PSEN}$ activations are skipped during each access to external data memory. $\overline{PSEN}$ is not activated during fetches from internal program memory.
$\overline{EA}/V_{PP}$	31	35	29	I	**External Access Enable/Programming Supply Voltage:** $\overline{EA}$ must be externally held low to enable the device to fetch code from external program memory locations. If $\overline{EA}$ is held high, the device executes from internal program memory. The value on the $\overline{EA}$ pin is latched when RST is released and any subsequent changes have no effect. This pin also receives the programming supply voltage (V_{PP}) during Flash programming.
XTAL1	19	21	15	I	**Crystal 1:** Input to the inverting oscillator amplifier and input to the internal clock generator circuits.
XTAL2	18	20	14	O	**Crystal 2:** Output from the inverting oscillator amplifier.

NOTE:
To avoid "latch-up" effect at power-on, the voltage on any pin (other than V_{PP}) must not be higher than V_{CC} + 0.5 V or less than V_{SS} – 0.5 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Special Function Registers

SYMBOL	DESCRIPTION	DIRECT ADDRESS	BIT ADDRESS, SYMBOL, OR ALTERNATIVE PORT FUNCTION MSB							LSB	RESET VALUE
ACC*	Accumulator	E0H	E7	E6	E5	E4	E3	E2	E1	E0	00H
AUXR#	Auxiliary	8EH	–	–	–	–	–	–	EXTRAM	AO	xxxxxx00B
AUXR1#	Auxiliary 1	A2H	–	–	ENBOOT	–	GF2	0	–	DPS	xxxxxxx0B
B*	B register	F0H	F7	F6	F5	F4	F3	F2	F1	F0	00H
CCAP0H#	Module 0 Capture High	FAH									xxxxxxxxB
CCAP1H#	Module 1 Capture High	FBH									xxxxxxxxB
CCAP2H#	Module 2 Capture High	FCH									xxxxxxxxB
CCAP3H#	Module 3 Capture High	FDH									xxxxxxxxB
CCAP4H#	Module 4 Capture High	FEH									xxxxxxxxB
CCAP0L#	Module 0 Capture Low	EAH									xxxxxxxxB
CCAP1L#	Module 1 Capture Low	EBH									xxxxxxxxB
CCAP2L#	Module 2 Capture Low	ECH									xxxxxxxxB
CCAP3L#	Module 3 Capture Low	EDH									xxxxxxxxB
CCAP4L#	Module 4 Capture Low	EEH									xxxxxxxxB
CCAPM0#	Module 0 Mode	DAH	–	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	x0000000B
CCAPM1#	Module 1 Mode	DBH	–	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	x0000000B
CCAPM2#	Module 2 Mode	DCH	–	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	x0000000B
CCAPM3#	Module 3 Mode	DDH	–	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	x0000000B
CCAPM4#	Module 4 Mode	DEH	–	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	x0000000B
			DF	DE	DD	DC	DB	DA	D9	D8	
CCON*#	PCA Counter Control	D8H	CF	CR	–	CCF4	CCF3	CCF2	CCF1	CCF0	00x00000B
CH#	PCA Counter High	F9H									00H
CL#	PCA Counter Low	E9H									00H
CMOD#	PCA Counter Mode	D9H	CIDL	WDTE	–	–	–	CPS1	CPS0	ECF	00xxx000B
DPTR:	Data Pointer (2 bytes)										
DPH	Data Pointer High	83H									00H
DPL	Data Pointer Low	82H									00H
			AF	AE	AD	AC	AB	AA	A9	A8	
IE*	Interrupt Enable 0	A8H	EA	EC	ET2	ES	ET1	EX1	ET0	EX0	00H
			BF	BE	BD	BC	BB	BA	B9	B8	
IP*	Interrupt Priority	B8H	–	PPC	PT2	PS	PT1	PX1	PT0	PX0	x0000000B
			B7	B6	B5	B4	B3	B2	B1	B0	
IPH#	Interrupt Priority High	B7H	–	PPCH	PT2H	PSH	PT1H	PX1H	PT0H	PX0H	x0000000B
			87	86	85	84	83	82	81	80	
P0*	Port 0	80H	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	FFH
			97	96	95	94	93	92	91	90	
P1*	Port 1	90H	CEX4	CEX3	CEX2	CEX1	CEX0	ECI	T2EX	T2	FFH
			A7	A6	A5	A4	A3	A2	A1	A0	
P2*	Port 2	A0H	AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8	FFH
			B7	B6	B5	B4	B3	B2	B1	B0	
P3*	Port 3	B0H	$\overline{RD}$	$\overline{WR}$	T1	T0	$\overline{INT1}$	$\overline{INT0}$	TxD	RxD	FFH
PCON#[1]	Power Control	87H	SMOD1	SMOD0	–	POF	GF1	GF0	PD	IDL	00xxx000B

* SFRs are bit addressable.
\# SFRs are modified from or added to the 80C51 SFRs.
– Reserved bits.
1. Reset value depends on reset source.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Special Function Registers (Continued)

SYMBOL	DESCRIPTION	DIRECT ADDRESS	BIT ADDRESS, SYMBOL, OR ALTERNATIVE PORT FUNCTION MSB							LSB	RESET VALUE
			D7	D6	D5	D4	D3	D2	D1	D0	
PSW*	Program Status Word	D0H	CY	AC	F0	RS1	RS0	OV	F1	P	00000000B
RCAP2H#	Timer 2 Capture High	CBH									00H
RCAP2L#	Timer 2 Capture Low	CAH									00H
SADDR#	Slave Address	A9H									00H
SADEN#	Slave Address Mask	B9H									00H
SBUF	Serial Data Buffer	99H									xxxxxxxxB
			9F	9E	9D	9C	9B	9A	99	98	
SCON*	Serial Control	98H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI	00H
SP	Stack Pointer	81H									07H
			8F	8E	8D	8C	8B	8A	89	88	
TCON*	Timer Control	88H	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00H
			CF	CE	CD	CC	CB	CA	C9	C8	
T2CON*	Timer 2 Control	C8H	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2	00H
T2MOD#	Timer 2 Mode Control	C9H	–	–	–	–	–	–	T2OE	DCEN	xxxxxx00B
TH0	Timer High 0	8CH									00H
TH1	Timer High 1	8DH									00H
TH2#	Timer High 2	CDH									00H
TL0	Timer Low 0	8AH									00H
TL1	Timer Low 1	8BH									00H
TL2#	Timer Low 2	CCH									00H
TMOD	Timer Mode	89H	GATE	C/T	M1	M0	GATE	C/T	M1	M0	00H
WDTRST	Watchdog Timer Reset	A6H									

* SFRs are bit addressable.
\# SFRs are modified from or added to the 80C51 SFRs.
– Reserved bits.

OSCILLATOR CHARACTERISTICS

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier. The pins can be configured for use as an on-chip oscillator.

To drive the device from an external clock source, XTAL1 should be driven while XTAL2 is left unconnected. Minimum and maximum high and low times specified in the data sheet must be observed.

This device is configured at the factory to operate using 6 clock periods per machine cycle, referred to in this datasheet as "6 clock mode". (This yields performance equivalent to twice that of standard 80C51 family devices). It may be optionally configured on commercially-available EPROM programming equipment to operate at 12 clocks per machine cycle, referred to in this datasheet as "12 clock mode". Once 12 clock mode has been configured, it cannot be changed back to 6 clock mode.

RESET

A reset is accomplished by holding the RST pin high for at least two machine cycles (12 oscillator periods in 6 clock mode, or 24 oscillator periods in 12 clock mode), while the oscillator is running. To ensure a good power-on reset, the RST pin must be high long enough to allow the oscillator time to start up (normally a few milliseconds) plus two machine cycles. At power-on, the voltage on V_{CC} and RST must come up at the same time for a proper start-up. Ports 1, 2, and 3 will asynchronously be driven to their reset condition when a voltage above V_{IH1} (min.) is applied to RESET.

The value on the $\overline{EA}$ pin is latched when RST is deasserted and has no further effect.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOW POWER MODES

Stop Clock Mode

The static design enables the clock speed to be reduced down to 0 MHz (stopped). When the oscillator is stopped, the RAM and Special Function Registers retain their values. This mode allows step-by-step utilization and permits reduced system power consumption by lowering the clock frequency down to any value. For lowest power consumption the Power Down mode is suggested.

Idle Mode

In the idle mode (see Table 2), the CPU puts itself to sleep while all of the on-chip peripherals stay active. The instruction to invoke the idle mode is the last instruction executed in the normal operating mode before the idle mode is activated. The CPU contents, the on-chip RAM, and all of the special function registers remain intact during this mode. The idle mode can be terminated either by any enabled interrupt (at which time the process is picked up at the interrupt service routine and continued), or by a hardware reset which starts the processor in the same manner as a power-on reset.

Power-Down Mode

To save even more power, a Power Down mode (see Table 2) can be invoked by software. In this mode, the oscillator is stopped and the instruction that invoked Power Down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values down to 2.0 V and care must be taken to return V_{CC} to the minimum specified operating voltages before the Power Down Mode is terminated.

Either a hardware reset or external interrupt can be used to exit from Power Down. Reset redefines all the SFRs but does not change the on-chip RAM. An external interrupt allows both the SFRs and the on-chip RAM to retain their values.

To properly terminate Power Down, the reset or external interrupt should not be executed before V_{CC} is restored to its normal operating level and must be held active long enough for the oscillator to restart and stabilize (normally less than 10 ms).

With an external interrupt, INT0 and INT1 must be enabled and configured as level-sensitive. Holding the pin low restarts the oscillator but bringing the pin back high completes the exit. Once the interrupt is serviced, the next instruction to be executed after RETI will be the one following the instruction that put the device into Power Down.

POWER OFF FLAG

The Power Off Flag (POF) is set by on-chip circuitry when the V_{CC} level on the P89C51RB2/RC2/RD2 rises from 0 to 5 V. The POF bit can be set or cleared by software allowing a user to determine if the reset is the result of a power-on or a warm start after powerdown. The V_{CC} level must remain above 3 V for the POF to remain unaffected by the V_{CC} level.

Design Consideration

- When the idle mode is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

ONCE™ Mode

The ONCE ("On-Circuit Emulation") Mode facilitates testing and debugging of systems without the device having to be removed from the circuit. The ONCE Mode is invoked by:

1. Pull ALE low while the device is in reset and $\overline{PSEN}$ is high;
2. Hold ALE low as RST is deactivated.

While the device is in ONCE Mode, the Port 0 pins go into a float state, and the other port pins and ALE and $\overline{PSEN}$ are weakly pulled high. The oscillator circuit remains active. While the device is in this mode, an emulator or test CPU can be used to drive the circuit. Normal operation is restored when a normal reset is applied.

Programmable Clock-Out

A 50% duty cycle clock can be programmed to come out on P1.0. This pin, besides being a regular I/O pin, has two alternate functions. It can be programmed:

1. to input the external clock for Timer/Counter 2, or
2. to output a 50% duty cycle clock ranging from 122 Hz to 8 MHz at a 16 MHz operating frequency (61 Hz to 4 MHz in 12 clock mode).

To configure the Timer/Counter 2 as a clock generator, bit C/$\overline{T2}$ (in T2CON) must be cleared and bit T20E in T2MOD must be set. Bit TR2 (T2CON.2) also must be set to start the timer.

The Clock-Out frequency depends on the oscillator frequency and the reload value of Timer 2 capture registers (RCAP2H, RCAP2L) as shown in this equation:

$$\frac{\text{Oscillator Frequency}}{n \times (65536 - \text{RCAP2H,RCAP2L})}$$

n = 2 in 6 clock mode
4 in 12 clock mode

Where (RCAP2H,RCAP2L) = the content of RCAP2H and RCAP2L taken as a 16-bit unsigned integer.

In the Clock-Out mode Timer 2 roll-overs will not generate an interrupt. This is similar to when it is used as a baud-rate generator. It is possible to use Timer 2 as a baud-rate generator and a clock generator simultaneously. Note, however, that the baud-rate and the Clock-Out frequency will be the same.

Table 2. External Pin Status During Idle and Power-Down Mode

MODE	PROGRAM MEMORY	ALE	$\overline{PSEN}$	PORT 0	PORT 1	PORT 2	PORT 3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power-down	Internal	0	0	Data	Data	Data	Data
Power-down	External	0	0	Float	Data	Data	Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMER 2 OPERATION

Timer 2

Timer 2 is a 16-bit Timer/Counter which can operate as either an event timer or an event counter, as selected by C/$\overline{T2}$* in the special function register T2CON (see Figure 1). Timer 2 has three operating modes: Capture, Auto-reload (up or down counting), and Baud Rate Generator, which are selected by bits in the T2CON as shown in Table 3.

Capture Mode

In the capture mode there are two options which are selected by bit EXEN2 in T2CON. If EXEN2=0, then timer 2 is a 16-bit timer or counter (as selected by C/$\overline{T2}$* in T2CON) which, upon overflowing sets bit TF2, the timer 2 overflow bit. This bit can be used to generate an interrupt (by enabling the Timer 2 interrupt bit in the IE register). If EXEN2= 1, Timer 2 operates as described above, but with the added feature that a 1- to -0 transition at external input T2EX causes the current value in the Timer 2 registers, TL2 and TH2, to be captured into registers RCAP2L and RCAP2H, respectively. In addition, the transition at T2EX causes bit EXF2 in T2CON to be set, and EXF2 like TF2 can generate an interrupt (which vectors to the same location as Timer 2 overflow interrupt. The Timer 2 interrupt service routine can interrogate TF2 and EXF2 to determine which event caused the interrupt). The capture mode is illustrated in Figure 2 (There is no reload value for TL2 and TH2 in this mode. Even when a capture event occurs from T2EX, the counter keeps on counting T2EX pin transitions or osc/6 pulses (osc/12 in 12 clock mode).).

Auto-Reload Mode (Up or Down Counter)

In the 16-bit auto-reload mode, Timer 2 can be configured (as either a timer or counter [C/$\overline{T2}$* in T2CON]) then programmed to count up or down. The counting direction is determined by bit DCEN (Down Counter Enable) which is located in the T2MOD register (see Figure 3). When reset is applied the DCEN=0 which means Timer 2 will default to counting up. If DCEN bit is set, Timer 2 can count up or down depending on the value of the T2EX pin.

Figure 4 shows Timer 2 which will count up automatically since DCEN=0. In this mode there are two options selected by bit EXEN2 in T2CON register. If EXEN2=0, then Timer 2 counts up to 0FFFFH and sets the TF2 (Overflow Flag) bit upon overflow. This causes the Timer 2 registers to be reloaded with the 16-bit value in RCAP2L and RCAP2H. The values in RCAP2L and RCAP2H are preset by software means.

If EXEN2=1, then a 16-bit reload can be triggered either by an overflow or by a 1-to-0 transition at input T2EX. This transition also sets the EXF2 bit. The Timer 2 interrupt, if enabled, can be generated when either TF2 or EXF2 are 1.

In Figure 5 DCEN=1 which enables Timer 2 to count up or down. This mode allows pin T2EX to control the direction of count. When a logic 1 is applied at pin T2EX Timer 2 will count up. Timer 2 will overflow at 0FFFFH and set the TF2 flag, which can then generate an interrupt, if the interrupt is enabled. This timer overflow also causes the 16-bit value in RCAP2L and RCAP2H to be reloaded into the timer registers TL2 and TH2.

When a logic 0 is applied at pin T2EX this causes Timer 2 to count down. The timer will underflow when TL2 and TH2 become equal to the value stored in RCAP2L and RCAP2H. Timer 2 underflow sets the TF2 flag and causes 0FFFFH to be reloaded into the timer registers TL2 and TH2.

The external flag EXF2 toggles when Timer 2 underflows or overflows. This EXF2 bit can be used as a 17th bit of resolution if needed. The EXF2 flag does not generate an interrupt in this mode of operation.

(MSB) (LSB)

TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/$\overline{T2}$	CP/$\overline{RL2}$

Symbol	Position	Name and Significance
TF2	T2CON.7	Timer 2 overflow flag set by a Timer 2 overflow and must be cleared by software. TF2 will not be set when either RCLK or TCLK = 1.
EXF2	T2CON.6	Timer 2 external flag set when either a capture or reload is caused by a negative transition on T2EX and EXEN2 = 1. When Timer 2 interrupt is enabled, EXF2 = 1 will cause the CPU to vector to the Timer 2 interrupt routine. EXF2 must be cleared by software. EXF2 does not cause an interrupt in up/down counter mode (DCEN = 1).
RCLK	T2CON.5	Receive clock flag. When set, causes the serial port to use Timer 2 overflow pulses for its receive clock in modes 1 and 3. RCLK = 0 causes Timer 1 overflow to be used for the receive clock.
TCLK	T2CON.4	Transmit clock flag. When set, causes the serial port to use Timer 2 overflow pulses for its transmit clock in modes 1 and 3. TCLK = 0 causes Timer 1 overflows to be used for the transmit clock.
EXEN2	T2CON.3	Timer 2 external enable flag. When set, allows a capture or reload to occur as a result of a negative transition on T2EX if Timer 2 is not being used to clock the serial port. EXEN2 = 0 causes Timer 2 to ignore events at T2EX.
TR2	T2CON.2	Start/stop control for Timer 2. A logic 1 starts the timer.
C/$\overline{T2}$	T2CON.1	Timer or counter select. (Timer 2) 0 = Internal timer (OSC/6 in 6 clock mode or OSC/12 in 12 clock mode) 1 = External event counter (falling edge triggered).
CP/$\overline{RL2}$	T2CON.0	Capture/Reload flag. When set, captures will occur on negative transitions at T2EX if EXEN2 = 1. When cleared, auto-reloads will occur either with Timer 2 overflows or negative transitions at T2EX when EXEN2 = 1. When either RCLK = 1 or TCLK = 1, this bit is ignored and the timer is forced to auto-reload on Timer 2 overflow.

SU01251

Figure 1. Timer/Counter 2 (T2CON) Control Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3. Timer 2 Operating Modes

RCLK + TCLK	CP/$\overline{RL2}$	TR2	MODE
0	0	1	16-bit Auto-reload
0	1	1	16-bit Capture
1	X	1	Baud rate generator
X	X	0	(off)

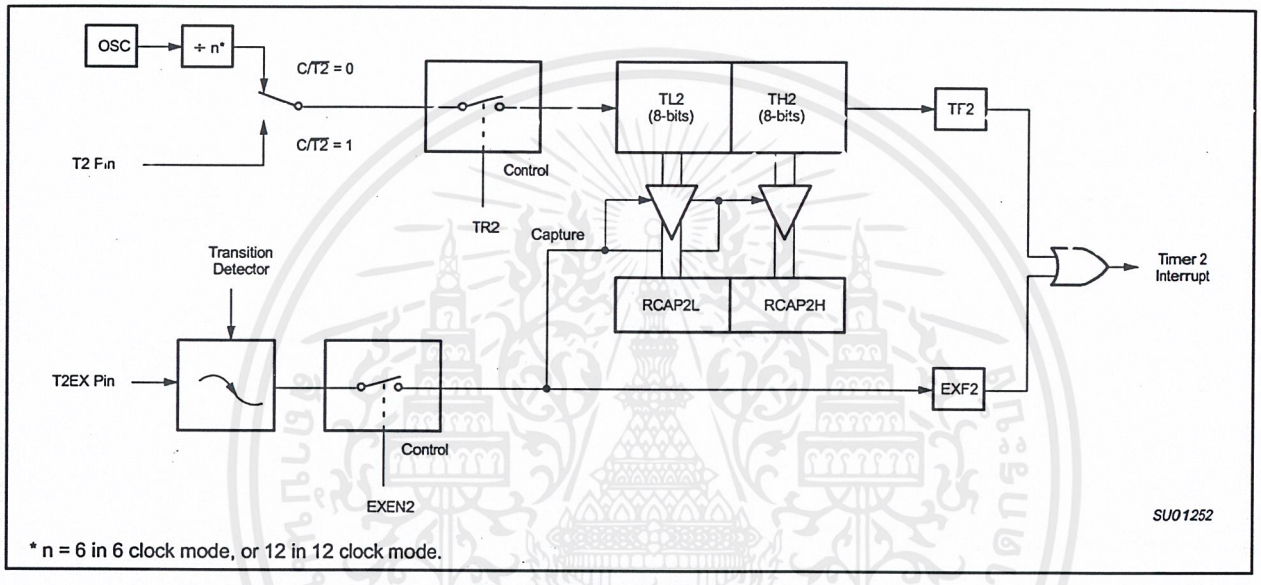


Figure 2. Timer 2 in Capture Mode

T2MOD Address = 0C9H Reset Value = XXXX XX00B

Not Bit Addressable

—	—	—	—	—	—	T2OE	DCEN
Bit 7	6	5	4	3	2	1	0

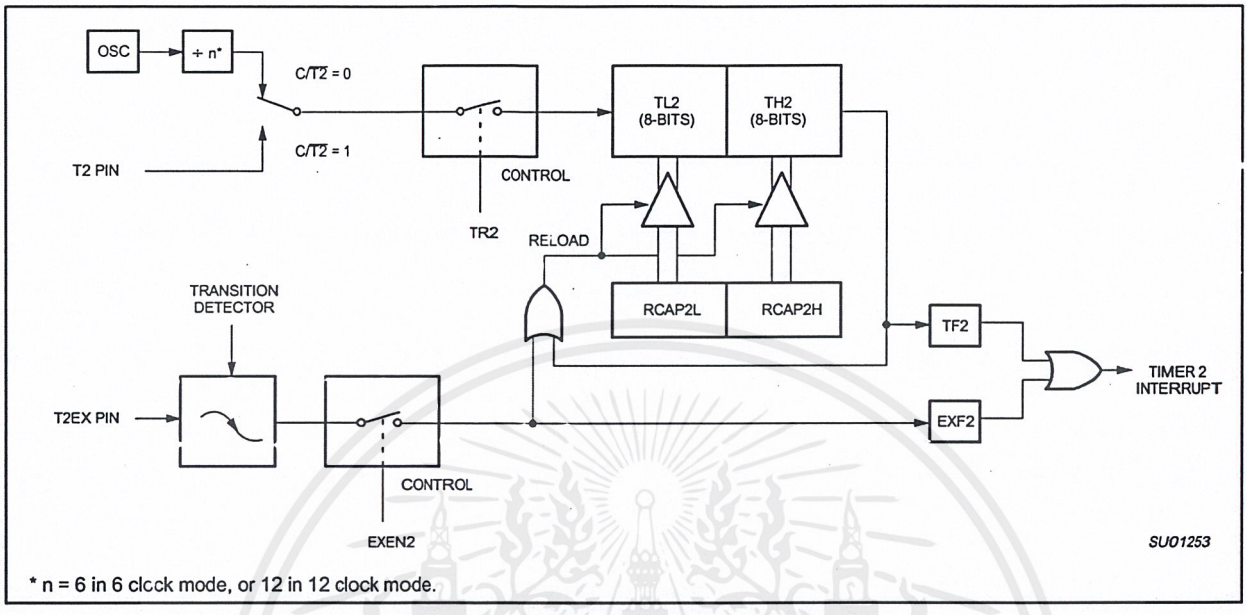
Symbol	Function
—	Not implemented, reserved for future use.*
T2OE	Timer 2 Output Enable bit.
DCEN	Down Count Enable bit. When set, this allows Timer 2 to be configured as an up/down counter.

* User software should not write 1s to reserved bits. These bits may be used in future 8051 family products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1. The value read from a reserved bit is indeterminate.

SU00729

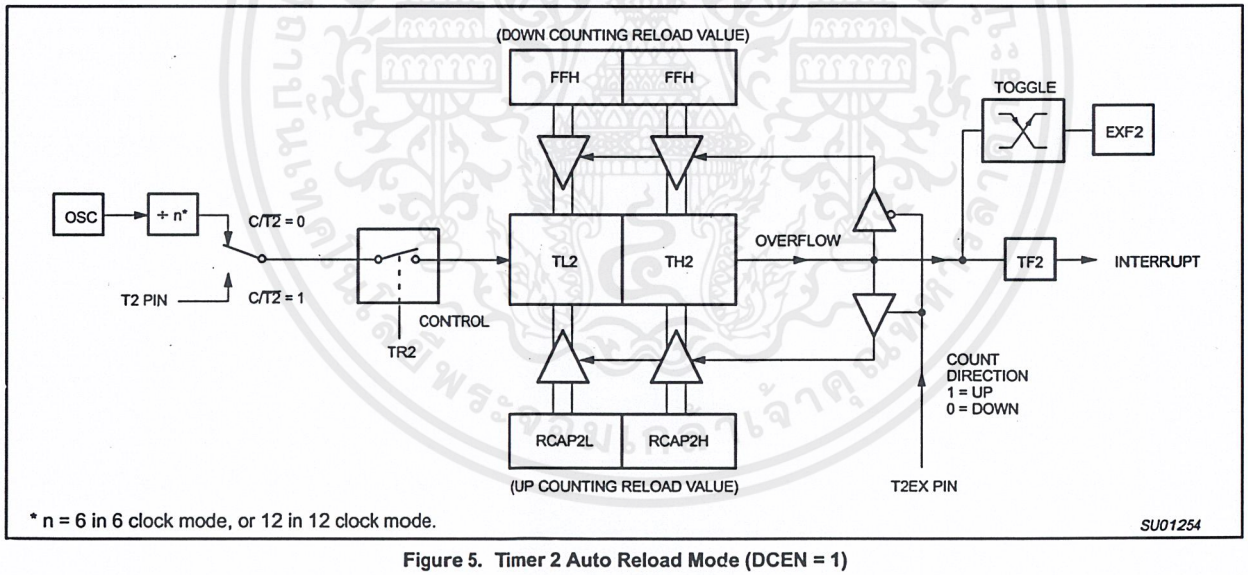
Figure 3. Timer 2 Mode (T2MOD) Control Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



* n = 6 in 6 clock mode, or 12 in 12 clock mode.

Figure 4. Timer 2 in Auto-Reload Mode (DCEN = 0)



* n = 6 in 6 clock mode, or 12 in 12 clock mode.

Figure 5. Timer 2 Auto Reload Mode (DCEN = 1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

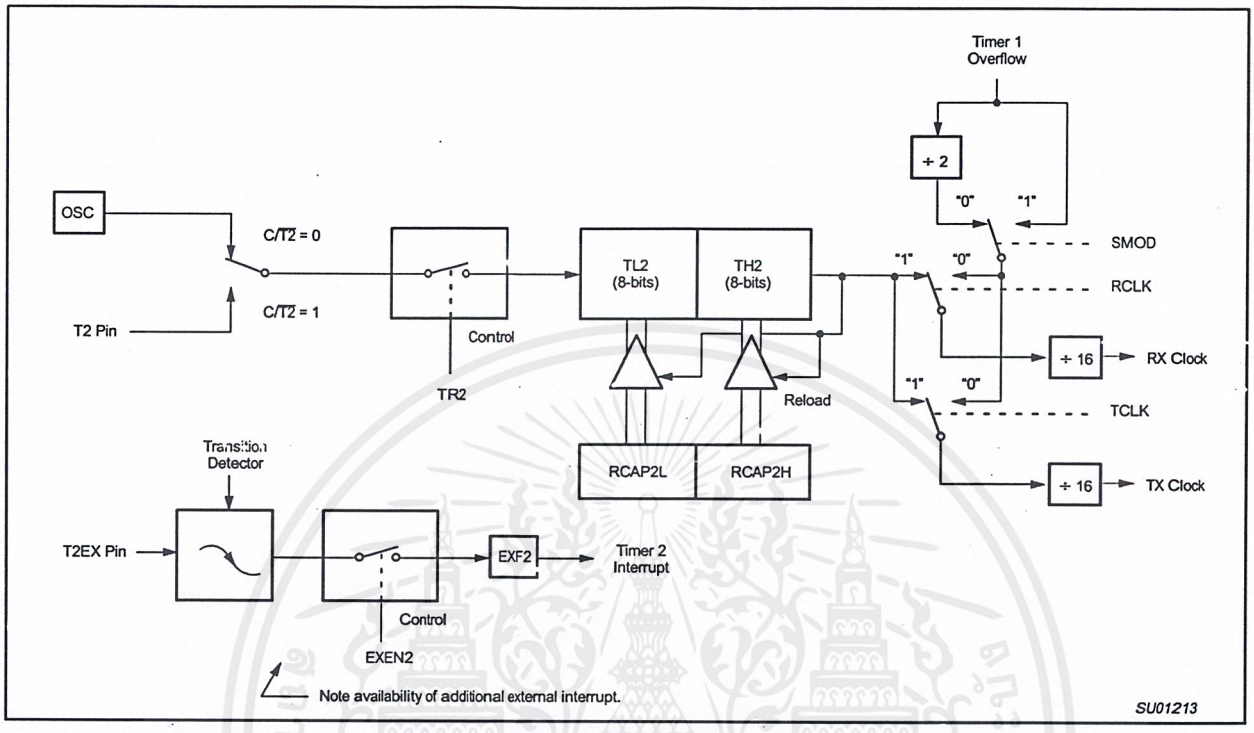


Figure 6. Timer 2 in Baud Rate Generator Mode

Table 4. Timer 2 Generated Commonly Used Baud Rates

Baud Rate		Osc Freq	Timer 2	
12 clock mode	6 clock mode		RCAP2H	RCAP2L
375 k	750 k	12 MHz	FF	FF
9.6 k	19.2 k	12 MHz	FF	D9
2.8 k	5.6 k	12 MHz	FF	B2
2.4 k	4.8 k	12 MHz	FF	64
1.2 k	2.4 k	12 MHz	FE	C8
300	600	12 MHz	FB	1E
110	220	12 MHz	F2	AF
300	600	6 MHz	FD	8F
110	220	6 MHz	F9	57

Baud Rate Generator Mode

Bits TCLK and/or RCLK in T2CON (Table 4) allow the serial port transmit and receive baud rates to be derived from either Timer 1 or Timer 2. When TCLK= 0, Timer 1 is used as the serial port transmit baud rate generator. When TCLK= 1, Timer 2 is used as the serial port transmit baud rate generator. RCLK has the same effect for the serial port receive baud rate. With these two bits, the serial port can have different receive and transmit baud rates – one generated by Timer 1, the other by Timer 2.

Figure 6 shows the Timer 2 in baud rate generation mode. The baud rate generation mode is like the auto-reload mode,in that a rollover in TH2 causes the Timer 2 registers to be reloaded with the 16-bit value in registers RCAP2H and RCAP2L, which are preset by software.

The baud rates in modes 1 and 3 are determined by Timer 2's overflow rate given below:

$$\text{Modes 1 and 3 Baud Rates} = \frac{\text{Timer 2 Overflow Rate}}{16}$$

The timer can be configured for either "timer" or "counter" operation. In many applications, it is configured for "timer" operation (C/T2*=0). Timer operation is different for Timer 2 when it is being used as a baud rate generator.

Usually, as a timer it would increment every machine cycle (i.e., $^1/_6$ the oscillator frequency in 6 clock mode, $^1/_{12}$ the oscillator frequency in 12 clock mode). As a baud rate generator, it increments at the oscillator frequency in 6 clock mode ($^{OSC}/_2$ in 12 clock mode). Thus the baud rate formula is as follows:

$$\text{Modes 1 and 3 Baud Rates} = \frac{\text{Oscillator Frequency}}{[\,n^* \times [65536 - (\text{RCAP2H, RCAP2L})]]}$$

*n = 16 in 6 clock mode
32 in 12 clock mode

Where: (RCAP2H, RCAP2L)= The content of RCAP2H and RCAP2L taken as a 16-bit unsigned integer.

The Timer 2 as a baud rate generator mode shown in Figure 6, is valid only if RCLK and/or TCLK = 1 in T2CON register. Note that a rollover in TH2 does not set TF2, and will not generate an interrupt. Thus, the Timer 2 interrupt does not have to be disabled when Timer 2 is in the baud rate generator mode. Also if the EXEN2 (T2 external enable flag) is set, a 1-to-0 transition in T2EX (Timer/counter 2 trigger input) will set EXF2 (T2 external flag) but will not cause a reload from (RCAP2H, RCAP2L) to (TH2,TL2). Therefore when Timer 2 is in use as a baud rate generator, T2EX can be used as an additional external interrupt, if needed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When Timer 2 is in the baud rate generator mode, one should not try to read or write TH2 and TL2. As a baud rate generator, Timer 2 is incremented every state time (osc/2) or asynchronously from pin T2; under these conditions, a read or write of TH2 or TL2 may not be accurate. The RCAP2 registers may be read, but should not be written to, because a write might overlap a reload and cause write and/or reload errors. The timer should be turned off (clear TR2) before accessing the Timer 2 or RCAP2 registers.

Table 4 shows commonly used baud rates and how they can be obtained from Timer 2.

Summary of Baud Rate Equations

Timer 2 is in baud rate generating mode. If Timer 2 is being clocked through pin T2(P1.0) the baud rate is:

$$\text{Baud Rate} = \frac{\text{Timer 2 Overflow Rate}}{16}$$

If Timer 2 is being clocked internally, the baud rate is:

$$\text{Baud Rate} = \frac{f_{OSC}}{[\,n^* \times [65536 - (\text{RCAP2H, RCAP2L})]]}$$

* n = 16 in 6 clock mode
32 in 12 clock mode

Where f_{OSC}= Oscillator Frequency

To obtain the reload value for RCAP2H and RCAP2L, the above equation can be rewritten as:

$$\text{RCAP2H, RCAP2L} = 65536 - \left(\frac{f_{OSC}}{n^* \times \text{Baud Rate}}\right)$$

Timer/Counter 2 Set-up

Except for the baud rate generator mode, the values given for T2CON do not include the setting of the TR2 bit. Therefore, bit TR2 must be set, separately, to turn the timer on. see Table 5 for set-up of Timer 2 as a timer. Also see Table 6 for set-up of Timer 2 as a counter.

Table 5. Timer 2 as a Timer

MODE	T2CON	
	INTERNAL CONTROL (Note 1)	EXTERNAL CONTROL (Note 2)
16-bit Auto-Reload	00H	08H
16-bit Capture	01H	09H
Baud rate generator receive and transmit same baud rate	34H	36H
Receive only	24H	26H
Transmit only	14H	16H

Table 6. Timer 2 as a Counter

MODE	TMOD	
	INTERNAL CONTROL (Note 1)	EXTERNAL CONTROL (Note 2)
16-bit	02H	0AH
Auto-Reload	03H	0BH

NOTES:
1. Capture/reload occurs only on timer/counter overflow.
2. Capture/reload occurs on timer/counter overflow and a 1-to-0 transition on T2EX (P1.1) pin except when Timer 2 is used in the baud rate generator mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Enhanced UART

The UART operates in all of the usual modes that are described in the first section of *Data Handbook IC20, 80C51-Based 8-Bit Microcontrollers*. In addition the UART can perform framing error detect by looking for missing stop bits, and automatic address recognition. The UART also fully supports multiprocessor communication as does the standard 80C51 UART.

When used for framing error detect the UART looks for missing stop bits in the communication. A missing bit will set the FE bit in the SCON register. The FE bit shares the SCON.7 bit with SM0 and the function of SCON.7 is determined by PCON.6 (SMOD0) (see Figure 7). If SMOD0 is set then SCON.7 functions as FE. SCON.7 functions as SM0 when SMOD0 is cleared. When used as FE SCON.7 can only be cleared by software. Refer to Figure 8.

Automatic Address Recognition

Automatic Address Recognition is a feature which allows the UART to recognize certain addresses in the serial bit stream by using hardware to make the comparisons. This feature saves a great deal of software overhead by eliminating the need for the software to examine every serial address which passes by the serial port. This feature is enabled by setting the SM2 bit in SCON. In the 9 bit UART modes, mode 2 and mode 3, the Receive Interrupt flag (RI) will be automatically set when the received byte contains either the "Given" address or the "Broadcast" address. The 9-bit mode requires that the 9th information bit is a 1 to indicate that the received information is an address and not data. Automatic address recognition is shown in Figure 9.

The 8 bit mode is called Mode 1. In this mode the RI flag will be set if SM2 is enabled and the information received has a valid stop bit following the 8 address bits and the information is either a Given or Broadcast address.

Mode 0 is the Shift Register mode and SM2 is ignored.

Using the Automatic Address Recognition feature allows a master to selectively communicate with one or more slaves by invoking the Given slave address or addresses. All of the slaves may be contacted by using the Broadcast address. Two special Function Registers are used to define the slave's address, SADDR, and the address mask, SADEN. SADEN is used to define which bits in the SADDR are to b used and which bits are "don't care". The SADEN mask can be logically ANDed with the SADDR to create the "Given" address which the master will use for addressing each of the slaves. Use of the Given address allows multiple slaves to be recognized while excluding others. The following examples will help to show the versatility of this scheme:

Slave 0	SADDR	=	1100 0000
	SADEN	=	1111 1101
	Given	=	1100 00X0
Slave 1	SADDR	=	1100 0000
	SADEN	=	1111 1110
	Given	=	1100 000X

In the above example SADDR is the same and the SADEN data is used to differentiate between the two slaves. Slave 0 requires a 0 in bit 0 and it ignores bit 1. Slave 1 requires a 0 in bit 1 and bit 0 is ignored. A unique address for Slave 0 would be 1100 0010 since slave 1 requires a 0 in bit 1. A unique address for slave 1 would be 1100 0001 since a 1 in bit 0 will exclude slave 0. Both slaves can be selected at the same time by an address which has bit 0 = 0 (for slave 0) and bit 1 = 0 (for slave 1). Thus, both could be addressed with 1100 0000.

In a more complex system the following could be used to select slaves 1 and 2 while excluding slave 0:

Slave 0	SADDR	=	1100 0000
	SADEN	=	1111 1001
	Given	=	1100 0XX0
Slave 1	SADDR	=	1110 0000
	SADEN	=	1111 1010
	Given	=	1110 0X0X
Slave 2	SADDR	=	1110 0000
	SADEN	=	1111 1100
	Given	=	1110 00XX

In the above example the differentiation among the 3 slaves is in the lower 3 address bits. Slave 0 requires that bit 0 = 0 and it can be uniquely addressed by 1110 0110. Slave 1 requires that bit 1 = 0 and it can be uniquely addressed by 1110 and 0101. Slave 2 requires that bit 2 = 0 and its unique address is 1110 0011. To select Slaves 0 and 1 and exclude Slave 2 use address 1110 0100, since it is necessary to make bit 2 = 1 to exclude slave 2.

The Broadcast Address for each slave is created by taking the logical OR of SADDR and SADEN. Zeros in this result are trended as don't-cares. In most cases, interpreting the don't-cares as ones, the broadcast address will be FF hexadecimal.

Upon reset SADDR (SFR address 0A9H) and SADEN (SFR address 0B9H) are leaded with 0s. This produces a given address of all "don't cares" as well as a Broadcast address of all "don't cares". This effectively disables the Automatic Addressing mode and allows the microcontroller to use standard 80C51 type UART drivers which do not make use of this feature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCON Address = 98H Reset Value = 0000 0000B

Bit Addressable

	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI
Bit:	7	6	5	4	3	2	1	0

(SMOD0 = 0/1)*

Symbol	Function
FE	Framing Error bit. This bit is set by the receiver when an invalid stop bit is detected. The FE bit is not cleared by valid frames but should be cleared by software. The SMOD0 bit must be set to enable access to the FE bit.
SM0	Serial Port Mode Bit 0, (SMOD0 must = 0 to access bit SM0)
SM1	Serial Port Mode Bit 1

SM0	SM1	Mode	Description	Baud Rate**
0	0	0	shift register	$f_{OSC}/6$ (6 clock mode) or $f_{OSC}/12$ (12 clock mode)
0	1	1	8-bit UART	variable
1	0	2	9-bit UART	$f_{OSC}/32$ or $f_{OSC}/16$ (6 clock mode) or $f_{OSC}/64$ or $f_{OSC}/32$ (12 clock mode)
1	1	3	9-bit UART	variable

SM2	Enables the Automatic Address Recognition feature in Modes 2 or 3. If SM2 = 1 then RI will not be set unless the received 9th data bit (RB8) is 1, indicating an address, and the received byte is a Given or Broadcast Address. In Mode 1, if SM2 = 1 then RI will not be activated unless a valid stop bit was received, and the received byte is a Given or Broadcast Address. In Mode 0, SM2 should be 0.
REN	Enables serial reception. Set by software to enable reception. Clear by software to disable reception.
TB8	The 9th data bit that will be transmitted in Modes 2 and 3. Set or clear by software as desired.
RB8	In modes 2 and 3, the 9th data bit that was received. In Mode 1, if SM2 = 0, RB8 is the stop bit that was received. In Mode 0, RB8 is not used.
TI	Transmit interrupt flag. Set by hardware at the end of the 8th bit time in Mode 0, or at the beginning of the stop bit in the other modes, in any serial transmission. Must be cleared by software.
RI	Receive interrupt flag. Set by hardware at the end of the 8th bit time in Mode 0, or halfway through the stop bit time in the other modes, in any serial reception (except see SM2). Must be cleared by software.

NOTE:
*SMOD0 is located at PCON6.
**f_{OSC} = oscillator frequency

SU01255

Figure 7. SCON: Serial Port Control Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

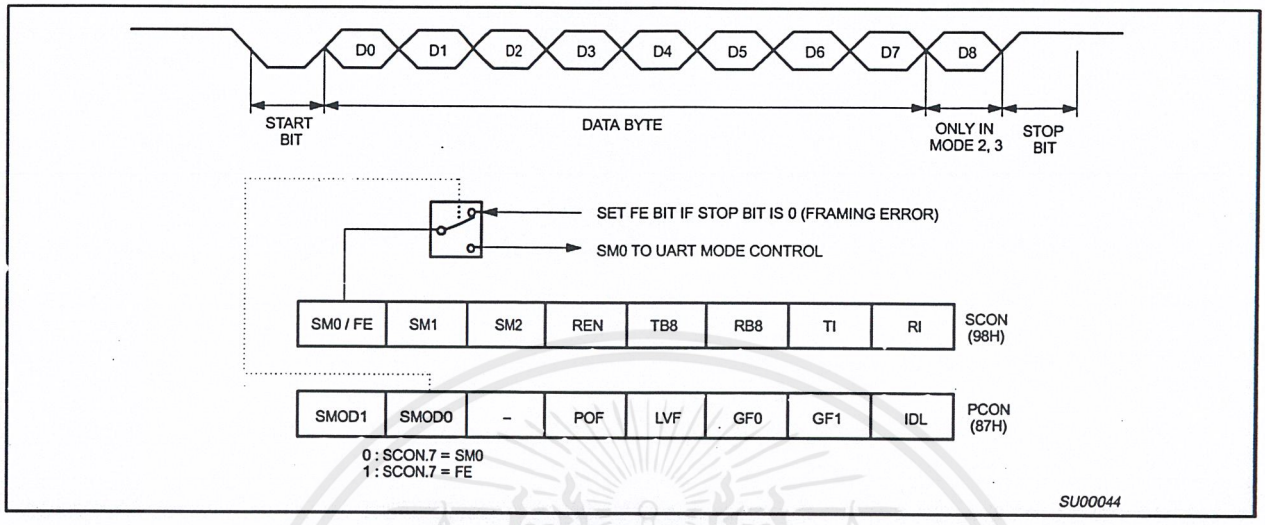


Figure 8. UART Framing Error Detection

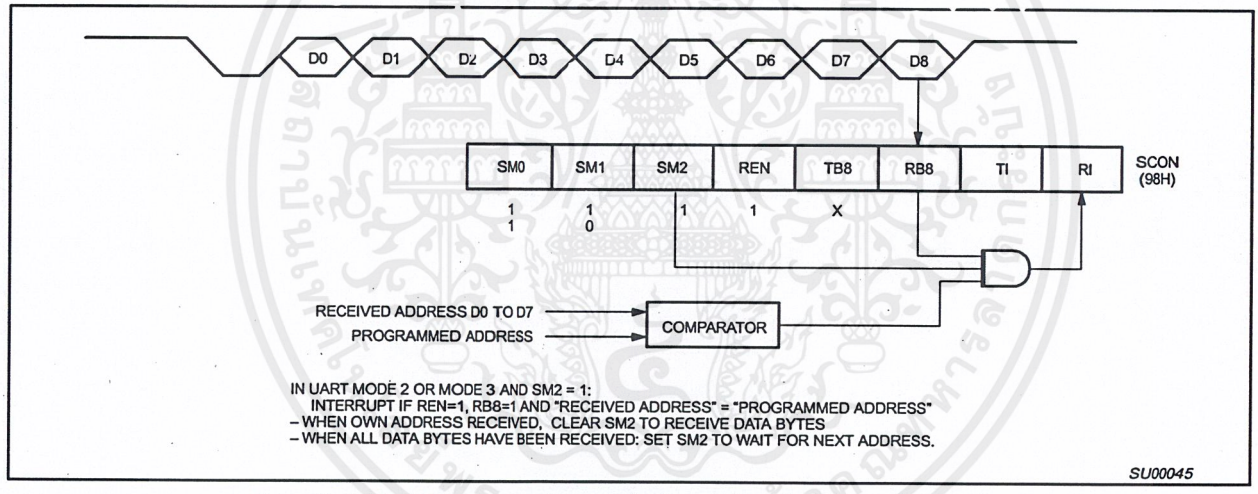


Figure 9. UART Multiprocessor Communication, Automatic Address Recognition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Interrupt Priority Structure

The P89C51RB2/RC2/RD2 has a 7 source four-level interrupt structure (see Table 7).

There are 3 SFRs associated with the four-level interrupt. They are the IE, IP, and IPH. (See Figures 10, 11, and 12.) The IPH (Interrupt Priority High) register makes the four-level interrupt structure possible. The IPH is located at SFR address B7H. The structure of the IPH register and a description of its bits is shown in Figure 12.

The function of the IPH SFR, when combined with the IP SFR, determines the priority of each interrupt. The priority of each interrupt is determined as shown in the following table:

PRIORITY BITS		INTERRUPT PRIORITY LEVEL
IPH.x	IP.x	
0	0	Level 0 (lowest priority)
0	1	Level 1
1	0	Level 2
1	1	Level 3 (highest priority)

The priority scheme for servicing the interrupts is the same as that for the 80C51, except there are four interrupt levels rather than two as on the 80C51. An interrupt will be serviced as long as an interrupt of equal or higher priority is not already being serviced. If an interrupt of equal or higher level priority is being serviced, the new interrupt will wait until it is finished before being serviced. If a lower priority level interrupt is being serviced, it will be stopped and the new interrupt serviced. When the new interrupt is finished, the lower priority level interrupt that was stopped will be completed.

Table 7. Interrupt Table

SOURCE	POLLING PRIORITY	REQUEST BITS	HARDWARE CLEAR?	VECTOR ADDRESS
X0	1	IE0	N (L)[1] Y (T)[2]	03H
T0	2	TP0	Y	0BH
X1	3	IE1	N (L) Y (T)	13H
T1	4	TF1	Y	1BH
PCA	5	CF, CCFn n = 0–4	N	33H
SP	6	RI, TI	N	23H
T2	7	TF2, EXF2	N	2BH

NOTES:
1. L = Level activated
2. T = Transition activated

	7	6	5	4	3	2	1	0
IE (0A8H)	EA	EC	ET2	ES	ET1	EX1	ET0	EX0

Enable Bit = 1 enables the interrupt.
Enable Bit = 0 disables it.

BIT	SYMBOL	FUNCTION
IE.7	EA	Global disable bit. If EA = 0, all interrupts are disabled. If EA = 1, each interrupt can be individually enabled or disabled by setting or clearing its enable bit.
IE.6	EC	PCA interrupt enable bit
IE.5	ET2	Timer 2 interrupt enable bit.
IE.4	ES	Serial Port interrupt enable bit.
IE.3	ET1	Timer 1 interrupt enable bit.
IE.2	EX1	External interrupt 1 enable bit.
IE.1	ET0	Timer 0 interrupt enable bit.
IE.0	EX0	External interrupt 0 enable bit.

SU01290

Figure 10. IE Registers

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	7	6	5	4	3	2	1	0
IP (0B8H)	–	PPC	PT2	PS	PT1	PX1	PT0	PX0

Priority Bit = 1 assigns high priority
Priority Bit = 0 assigns low priority

BIT	SYMBOL	FUNCTION
IP.7	–	–
IP.6	PPC	PCA interrupt priority bit
IP.5	PT2	Timer 2 interrupt priority bit.
IP.4	PS	Serial Port interrupt priority bit.
IP.3	PT1	Timer 1 interrupt priority bit.
IP.2	PX1	External interrupt 1 priority bit.
IP.1	PT0	Timer 0 interrupt priority bit.
IP.0	PX0	External interrupt 0 priority bit.

SU01291

Figure 11. IP Registers

	7	6	5	4	3	2	1	0
IPH (B7H)	–	PPCH	PT2H	PSH	PT1H	PX1H	PT0H	PX0H

Priority Bit = 1 assigns higher priority
Priority Bit = 0 assigns lower priority

BIT	SYMBOL	FUNCTION
IPH.7	–	–
IPH.6	PPCH	PCA interrupt priority bit
IPH.5	PT2H	Timer 2 interrupt priority bit high.
IPH.4	PSH	Serial Port interrupt priority bit high.
IPH.3	PT1H	Timer 1 interrupt priority bit high.
IPH.2	PX1H	External interrupt 1 priority bit high.
IPH.1	PT0H	Timer 0 interrupt priority bit high.
IPH.0	PX0H	External interrupt 0 priority bit high.

SU01292

Figure 12. IPH Registers

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Reduced EMI Mode

The AO bit (AUXR.0) in the AUXR register when set disables the ALE output.

Reduced EMI Mode

AUXR (8EH)

7	6	5	4	3	2	1	0
–	–	–	–	–	–	EXTRAM	AO

AUXR.1 EXTRAM
AUXR.0 AO Turns off ALE output.

Dual DPTR

The dual DPTR structure (see Figure 13) is a way by which the chip will specify the address of an external data memory location. There are two 16-bit DPTR registers that address the external memory, and a single bit called DPS = AUXR1/bit0 that allows the program code to switch between them.

- New Register Name: AUXR1#
- SFR Address: A2H
- Reset Value: xxxxxxx0B

AUXR1 (A2H)

7	6	5	4	3	2	1	0
–	–	ENBOOT	–	GF2	0	–	DPS

Where:
DPS = AUXR1/bit0 = Switches between DPTR0 and DPTR1.

Select Reg	DPS
DPTR0	0
DPTR1	1

The DPS bit status should be saved by software when switching between DPTR0 and DPTR1.

The GF2 bit is a general purpose user-defined flag. Note that bit 2 is not writable and is always read as a zero. This allows the DPS bit to be quickly toggled simply by executing an INC AUXR1 instruction without affecting the GF2 bit.

The ENBOOT bit determines whether the BOOTROM is enabled or disabled. This bit will automatically be set if the status byte is non zero during reset or $\overline{PSEN}$ is pulled low, ALE floats high, and EA > V_{IH} on the falling edge of reset. Otherwise, this bit will be cleared during reset.

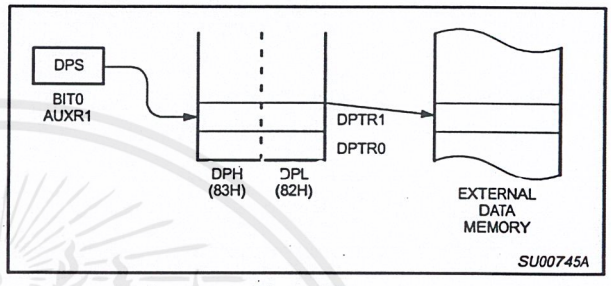


Figure 13.

DPTR Instructions

The instructions that refer to DPTR refer to the data pointer that is currently selected using the AUXR1/bit 0 register. The six instructions that use the DPTR are as follows:

INC DPTR	Increments the data pointer by 1
MOV DPTR, #data16	Loads the DPTR with a 16-bit constant
MOV A, @ A+DPTR	Move code byte relative to DPTR to ACC
MOVX A, @ DPTR	Move external RAM (16-bit address) to ACC
MOVX @ DPTR , A	Move ACC to external RAM (16-bit address)
JMP @ A + DPTR	Jump indirect relative to DPTR

The data pointer can be accessed on a byte-by-byte basis by specifying the low or high byte in an instruction which accesses the SFRs. See *Application Note AN458* for more details.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programmable Counter Array (PCA)

The Programmable Counter Array available on the 89C51RB2/RC2/RD2 is a special 16-bit Timer that has five 16-bit capture/compare modules associated with it. Each of the modules can be programmed to operate in one of four modes: rising and/or falling edge capture, software timer, high-speed output, or pulse width modulator. Each module has a pin associated with it in port 1. Module 0 is connected to P1.3(CEX0), module 1 to P1.4(CEX1), etc. The basic PCA configuration is shown in Figure 14.

The PCA timer is a common time base for all five modules and can be programmed to run at: 1/6 the oscillator frequency, 1/2 the oscillator frequency, the Timer 0 overflow, or the input on the ECI pin (P1.2). The timer count source is determined from the CPS1 and CPS0 bits in the CMOD SFR as follows (see Figure 17):

CPS1	CPS0	PCA Timer Count Source
0	0	1/6 oscillator frequency (6 clock mode); 1/12 oscillator frequency (12 clock mode)
0	1	1/2 oscillator frequency (6 clock mode); 1/4 oscillator frequency (12 clock mode)
1	0	Timer 0 overflow
1	1	External Input at ECI pin

In the CMOD SFR are three additional bits associated with the PCA. They are CIDL which allows the PCA to stop during idle mode, WDTE which enables or disables the watchdog function on module 4, and ECF which when set causes an interrupt and the PCA overflow flag CF (in the CCON SFR) to be set when the PCA timer overflows. These functions are shown in Figure 15.

The watchdog timer function is implemented in module 4 (see Figure 24).

The CCON SFR contains the run control bit for the PCA and the flags for the PCA timer (CF) and each module (refer to Figure 18). To run the PCA the CR bit (CCON.6) must be set by software. The PCA is shut off by clearing this bit. The CF bit (CCON.7) is set when the PCA counter overflows and an interrupt will be generated if the ECF bit in the CMOD register is set, The CF bit can only be cleared by software. Bits 0 through 4 of the CCON register are the flags for the modules (bit 0 for module 0, bit 1 for module 1, etc.) and are set by hardware when either a match or a capture occurs. These flags also can only be cleared by software. The PCA interrupt system shown in Figure 16.

Each module in the PCA has a special function register associated with it. These registers are: CCAPM0 for module 0, CCAPM1 for module 1, etc. (see Figure 19). The registers contain the bits that control the mode that each module will operate in. The ECCF bit (CCAPMn.0 where n=0, 1, 2, 3, or 4 depending on the module) enables the CCF flag in the CCON SFR to generate an interrupt when a match or compare occurs in the associated module. PWM (CCAPMn.1) enables the pulse width modulation mode. The TOG bit (CCAPMn.2) when set causes the CEX output associated with the module to toggle when there is a match between the PCA counter and the module's capture/compare register. The match bit MAT (CCAPMn.3) when set will cause the CCFn bit in the CCON register to be set when there is a match between the PCA counter and the module's capture/compare register.

The next two bits CAPN (CCAPMn.4) and CAPP (CCAPMn.5) determine the edge that a capture input will be active on. The CAPN bit enables the negative edge, and the CAPP bit enables the positive edge. If both bits are set both edges will be enabled and a capture will occur for either transition. The last bit in the register ECOM (CCAPMn.6) when set enables the comparator function. Figure 20 shows the CCAPMn settings for the various PCA functions.

There are two additional registers associated with each of the PCA modules. They are CCAPnH and CCAPnL and these are the registers that store the 16-bit count when a capture occurs or a compare should occur. When a module is used in the PWM mode these registers are used to control the duty cycle of the output.

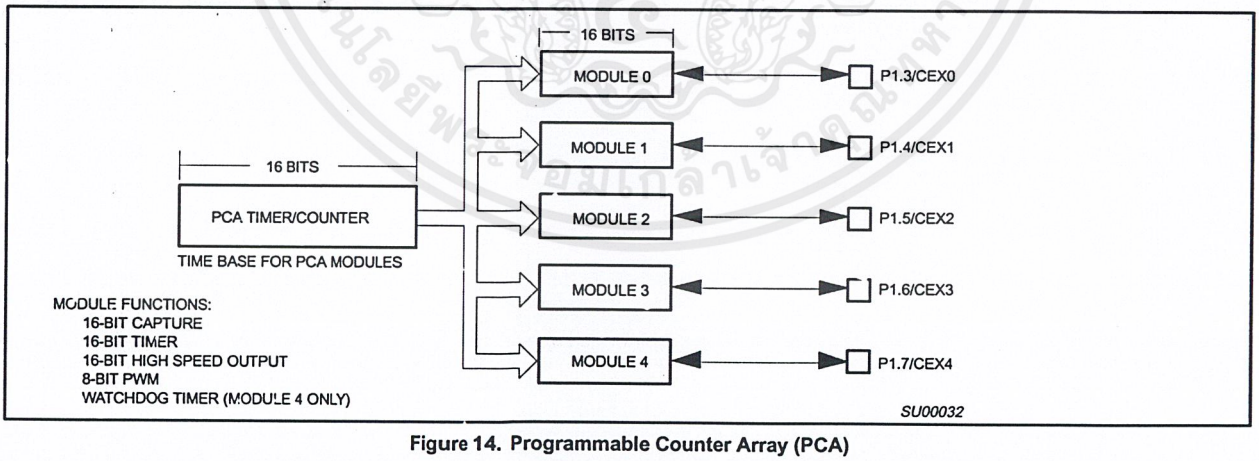


Figure 14. Programmable Counter Array (PCA)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

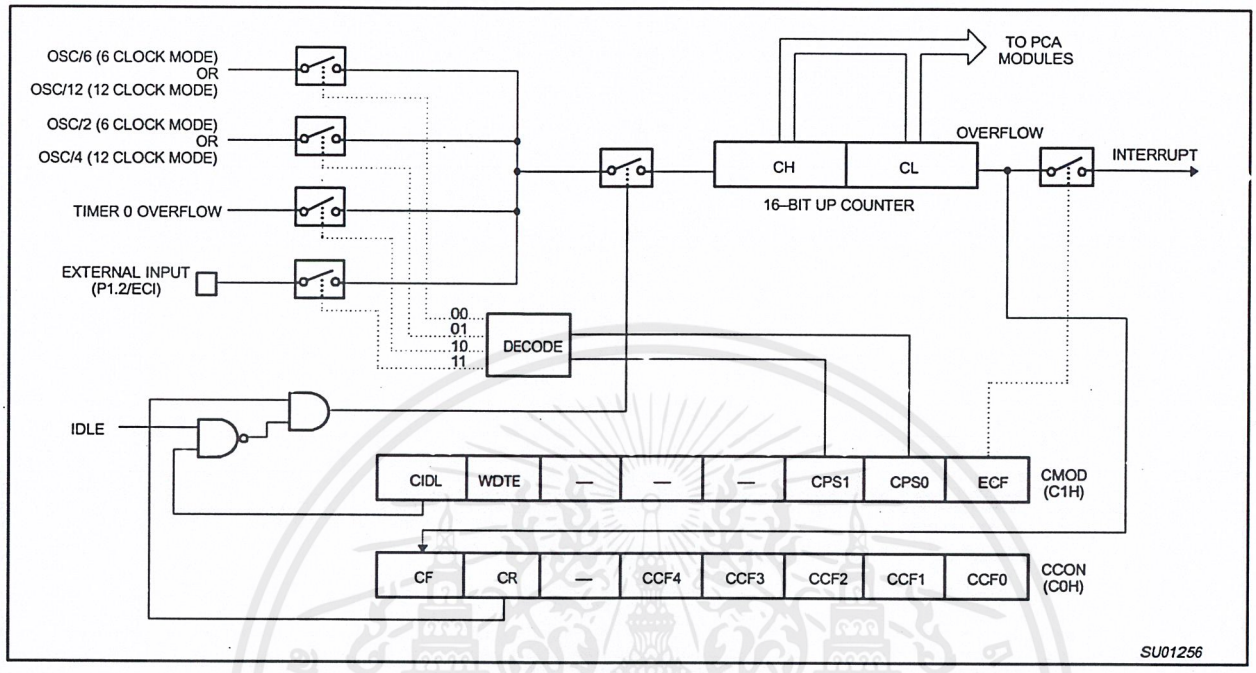


Figure 15. PCA Timer/Counter

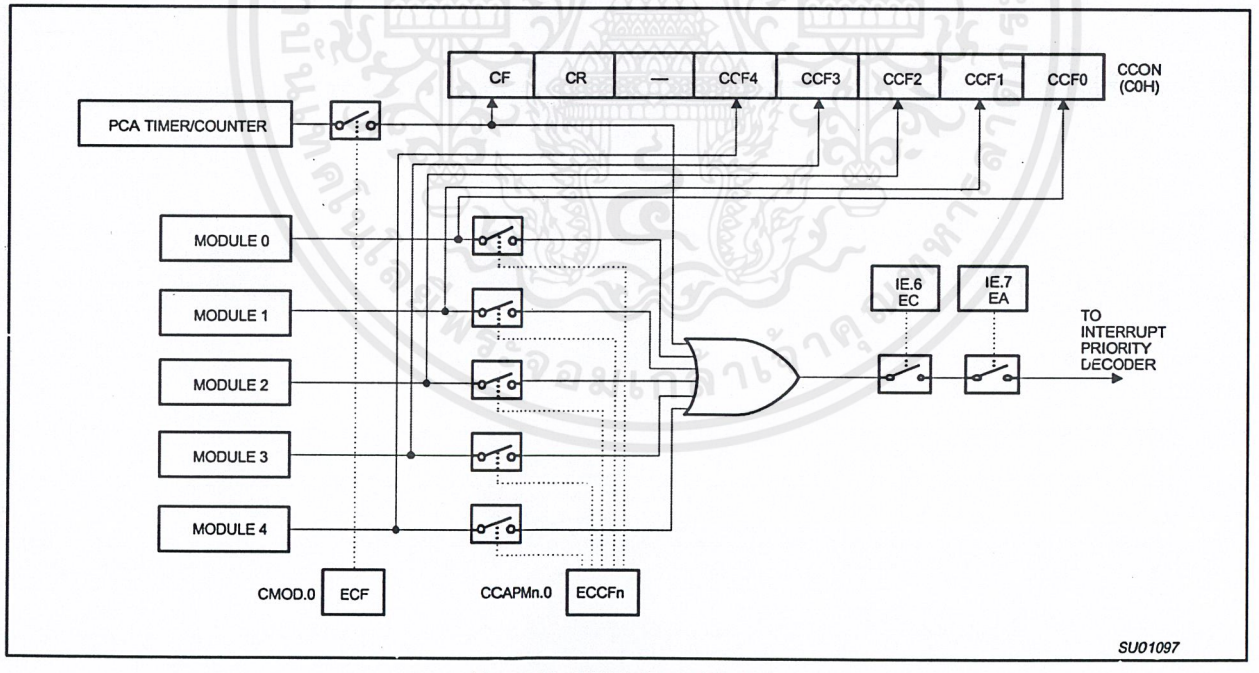


Figure 16. PCA Interrupt System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOD Address = D9H Reset Value = 00XX XO00B

Bit:	7	6	5	4	3	2	1	0
	CIDL	WDTE	–	–	–	CPS1	CPS0	ECF

Symbol	Function
CIDL	Counter Idle control: CIDL = 0 programs the PCA Counter to continue functioning during idle Mode. CIDL = 1 programs it to be gated off during idle.
WDTE	Watchdog Timer Enable: WDTE = 0 disables Watchdog Timer function on PCA Module 4. WDTE = 1 enables it.
–	Not implemented, reserved for future use.*
CPS1	PCA Count Pulse Select bit 1.
CPS0	PCA Count Pulse Select bit 0.

CPS1	CPS0	Selected PCA Input**
0	0	0 Internal clock, f_{osc}/6 in 6 clock mode (f_{osc}/12 in 12 clock mode)
0	1	1 Internal clock, f_{osc}/2 in 6 clock mode (f_{osc}/4 in 12 clock mode)
1	0	2 Timer 0 overflow
1	1	3 External clock at ECI/P1.2 pin (max. rate = f_{osc}/4 in 6 clock mode, f_{OCS}/8 in 12 clock mode)

Symbol	Function
ECF	PCA Enable Counter Overflow interrupt: ECF = 1 enables CF bit in CCON to generate an interrupt. ECF = 0 disables that function of CF.

NOTE:
* User software should not write 1s to reserved bits. These bits may be used in future 8051 family products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1. The value read from a reserved bit is indeterminate.
** f_{osc} = oscillator frequency

SU01318

Figure 17. CMOD: PCA Counter Mode Register

CCON Address = D8H Reset Value = 00X0 0000B

Bit Addressable

Bit:	7	6	5	4	3	2	1	0
	CF	CR	–	CCF4	CCF3	CCF2	CCF1	CCF0

Symbol	Function
CF	PCA Counter Overflow flag. Set by hardware when the counter rolls over. CF flags an interrupt if bit ECF in CMOD is set. CF may be set by either hardware or software but can only be cleared by software.
CR	PCA Counter Run control bit. Set by software to turn the PCA counter on. Must be cleared by software to turn the PCA counter off.
–	Not implemented, reserved for future use*.
CCF4	PCA Module 4 interrupt flag. Set by hardware when a match or capture occurs. Must be cleared by software.
CCF3	PCA Module 3 interrupt flag. Set by hardware when a match or capture occurs. Must be cleared by software.
CCF2	PCA Module 2 interrupt flag. Set by hardware when a match or capture occurs. Must be cleared by software.
CCF1	PCA Module 1 interrupt flag. Set by hardware when a match or capture occurs. Must be cleared by software.
CCF0	PCA Module 0 interrupt flag. Set by hardware when a match or capture occurs. Must be cleared by software.

NOTE:
* User software should not write 1s to reserved bits. These bits may be used in future 8051 family products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1. The value read from a reserved bit is indeterminate.

SU01319

Figure 18. CCON: PCA Counter Control Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CCAPMn Address CCAPM0 0DAH
CCAPM1 0DBH
CCAPM2 0DCH
CCAPM3 0DDH
CCAPM4 0DEH

Reset Value = X000 0000B

Not Bit Addressable

	–	ECOMn	CAPPn	CAPNn	MATn	TOGn	PWMn	ECCFn
Bit:	7	6	5	4	3	2	1	0

Symbol	Function
–	Not implemented, reserved for future use*.
ECOMn	Enable Comparator. ECOMn = 1 enables the comparator function.
CAPPn	Capture Positive, CAPPn = 1 enables positive edge capture.
CAPNn	Capture Negative, CAPNn = 1 enables negative edge capture.
MATn	Match. When MATn = 1, a match of the PCA counter with this module's compare/capture register causes the CCFn bit in CCON to be set, flagging an interrupt.
TOGn	Toggle. When TOGn = 1, a match of the PCA counter with this module's compare/capture register causes the CEXn pin to toggle.
PWMn	Pulse Width Modulation Mode. PWMn = 1 enables the CEXn pin to be used as a pulse width modulated output.
ECCFn	Enable CCF interrupt. Enables compare/capture flag CCFn in the CCON register to generate an interrupt.

NOTE:
*User software should not write 1s to reserved bits. These bits may be used in future 8051 family products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1. The value read from a reserved bit is indeterminate.

SU01320

Figure 19. CCAPMn: PCA Modules Compare/Capture Registers

–	ECOMn	CAPPn	CAPNn	MATn	TOGn	PWMn	ECCFn	MODULE FUNCTION
X	0	0	0	0	0	0	0	No operation
X	X	1	0	0	0	0	X	16-bit capture by a positive-edge trigger on CEXn
X	X	0	1	0	0	0	X	16-bit capture by a negative trigger on CEXn
X	X	1	1	0	0	0	X	16-bit capture by a transition on CEXn
X	1	0	0	1	0	0	X	16-bit Software Timer
X	1	0	0	1	1	0	X	16-bit High Speed Output
X	1	0	0	0	0	1	0	8-bit PWM
X	1	0	0	1	X	0	X	Watchdog Timer

Figure 20. PCA Module Modes (CCAPMn Register)

PCA Capture Mode
To use one of the PCA modules in the capture mode either one or both of the CCAPM bits CAPN and CAPP for that module must be set. The external CEX input for the module (on port 1) is sampled for a transition. When a valid transition occurs the PCA hardware loads the value of the PCA counter registers (CH and CL) into the module's capture registers (CCAPnL and CCAPnH). If the CCFn bit for the module in the CCON SFR and the ECCFn bit in the CCAPMn SFR are set then an interrupt will be generated. Refer to Figure 21.

16-bit Software Timer Mode
The PCA modules can be used as software timers by setting both the ECOM and MAT bits in the modules CCAPMn register. The PCA timer will be compared to the module's capture registers and when a match occurs an interrupt will occur if the CCFn (CCON SFR) and the ECCFn (CCAPMn SFR) bits for the module are both set (see Figure 22).

High Speed Output Mode
In this mode the CEX output (on port 1) associated with the PCA module will toggle each time a match occurs between the PCA counter and the module's capture registers. To activate this mode the TOG, MAT, and ECOM bits in the module's CCAPMn SFR must be set (see Figure 23).

Pulse Width Modulator Mode
All of the PCA modules can be used as PWM outputs. Figure 24 shows the PWM function. The frequency of the output depends on the source for the PCA timer. All of the modules will have the same frequency of output because they all share the PCA timer. The duty cycle of each module is independently variable using the module's capture register CCAPLn. When the value of the PCA CL SFR is less than the value in the module's CCAPLn SFR the output will be low, when it is equal to or greater than the output will be high. When CL overflows from FF to 00, CCAPLn is reloaded with the value in CCAPHn. the allows updating the PWM without glitches. The PWM and ECOM bits in the module's CCAPMn register must be set to enable the PWM mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

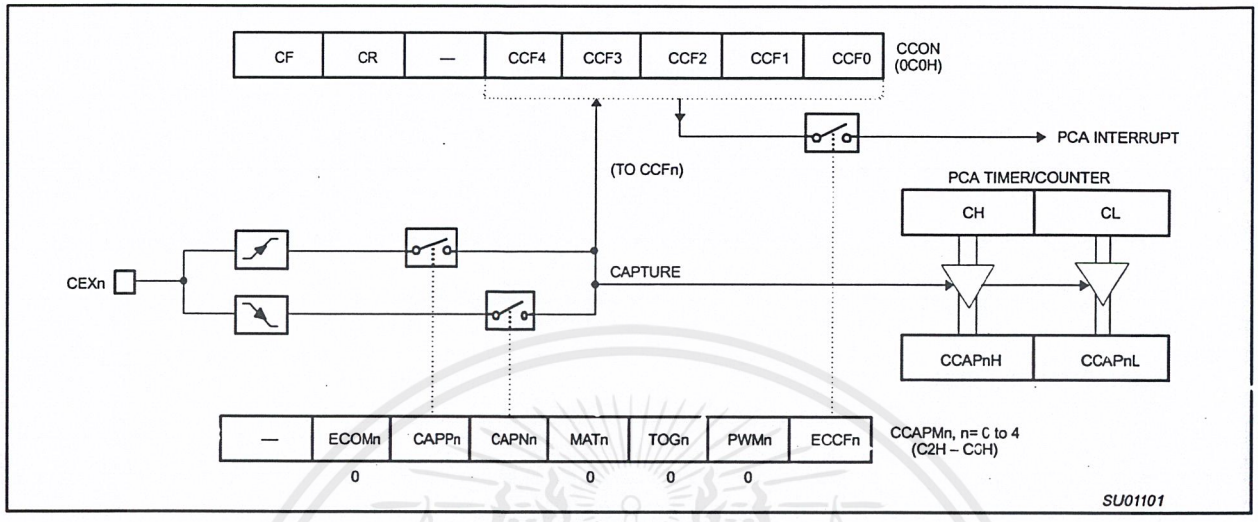


Figure 21. PCA Capture Mode

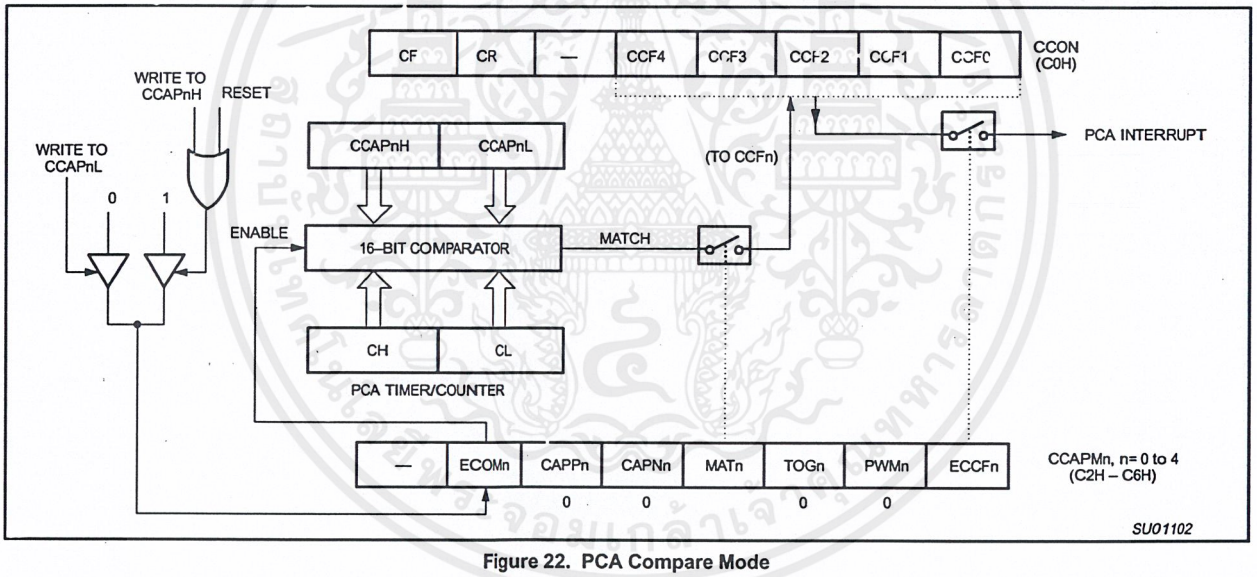


Figure 22. PCA Compare Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

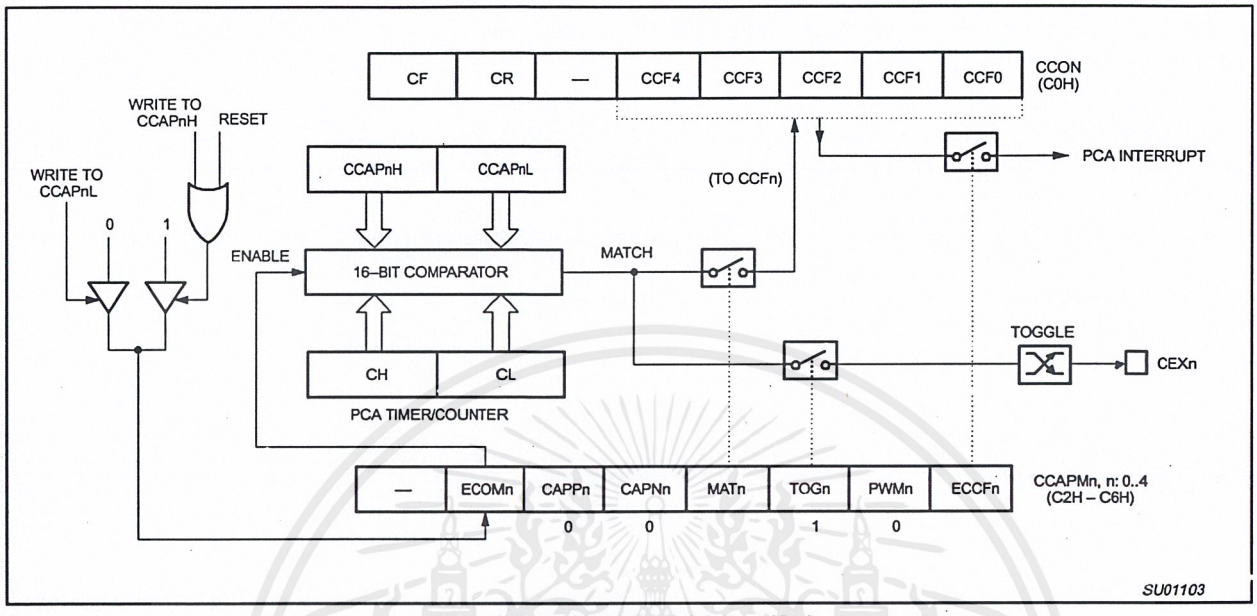


Figure 23. PCA High Speed Output Mode

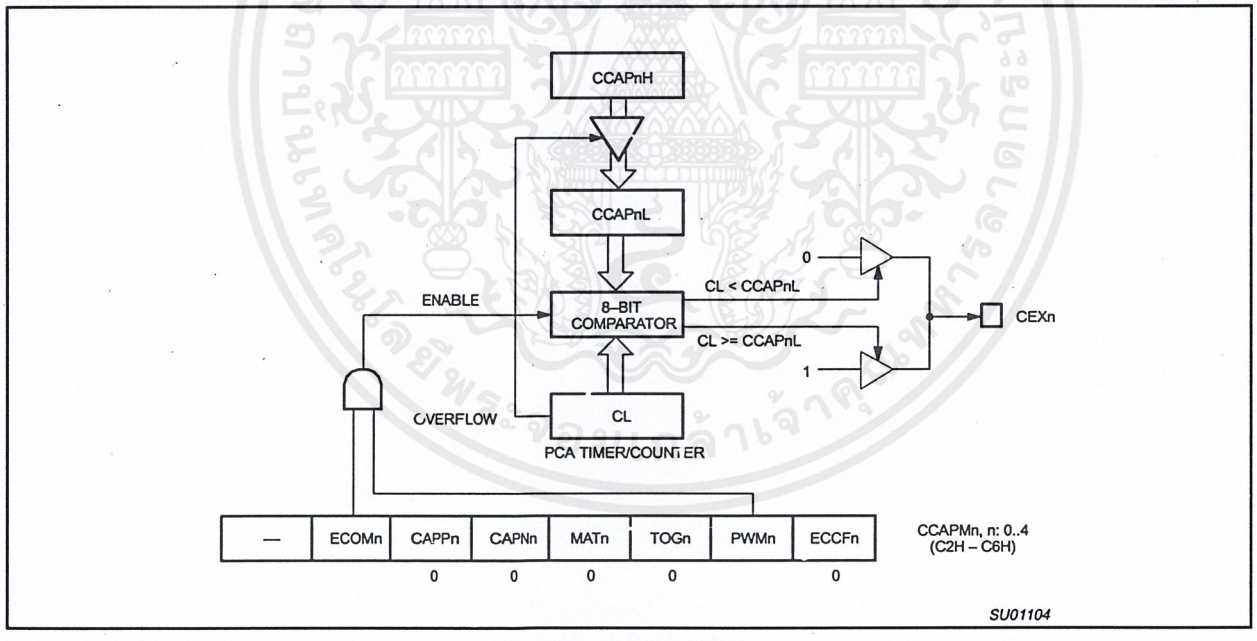


Figure 24. PCA PWM Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

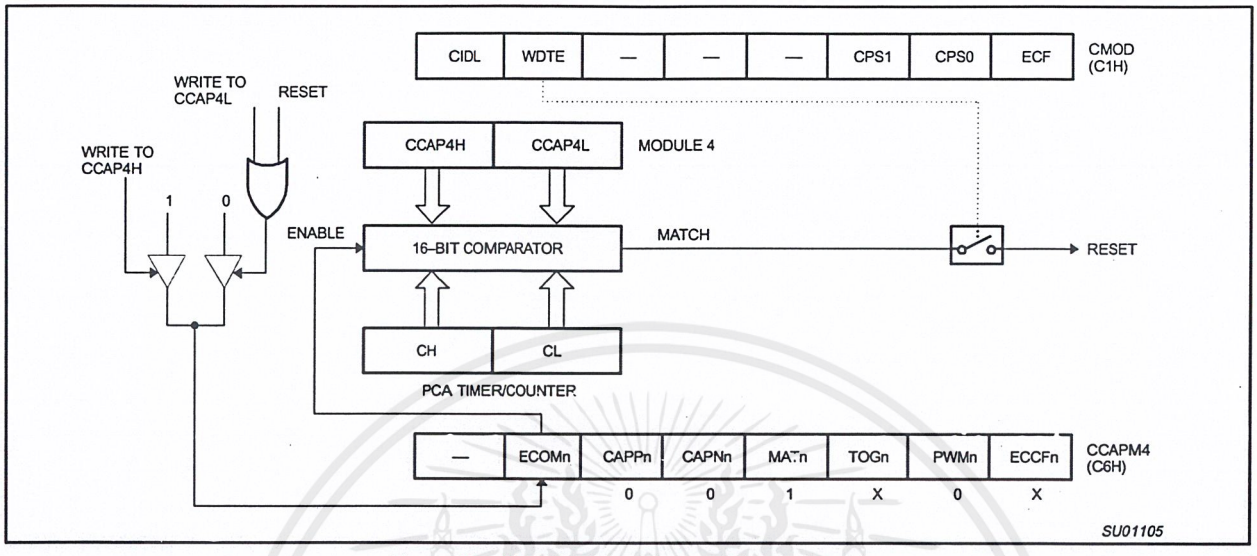


Figure 25. PCA Watchdog Timer m(Module 4 only)

PCA Watchdog Timer

An on-board watchdog timer is available with the PCA to improve the reliability of the system without increasing chip count. Watchdog timers are useful for systems that are susceptible to noise, power glitches, or electrostatic discharge. Module 4 is the only PCA module that can be programmed as a watchdog. However, this module can still be used for other modes if the watchdog is not needed.

Figure 25 shows a diagram of how the watchdog works. The user pre-loads a 16-bit value in the compare registers. Just like the other compare modes, this 16-bit value is compared to the PCA timer value. If a match is allowed to occur, an internal reset will be generated. This will not cause the RST pin to be driven high.

In order to hold off the reset, the user has three options:

1. periodically change the compare value so it will never match the PCA timer,
2. periodically change the PCA timer value so it will never match the compare values, or
3. disable the watchdog by clearing the WDTE bit before a match occurs and then re-enable it.

The first two options are more reliable because the watchdog timer is never disabled as in option #3. If the program counter ever goes astray, a match will eventually occur and cause an internal reset. The second option is also not recommended if other PCA modules are being used. Remember, the PCA timer is the time base for **all** modules; changing the time base for other modules would not be a good idea. Thus, in most applications the first solution is the best option.

Figure 26 shows the code for initializing the watchdog timer. Module 4 can be configured in either compare mode, and the WDTE bit in CMOD must also be set. The user's software then must periodically change (CCAP4H,CCAP4L) to keep a match from occurring with the PCA timer (CH,CL). This code is given in the WATCHDOG routine in Figure 26.

This routine should not be part of an interrupt service routine, because if the program counter goes astray and gets stuck in an infinite loop, interrupts will still be serviced and the watchdog will keep getting reset. Thus, the purpose of the watchdog would be defeated. Instead, call this subroutine from the main program within 2^{16} count of the PCA timer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
INIT_WATCHDOG:
   MOV CCAPM4, #4CH          ; Module 4 in compare mode
   MOV CCAP4L, #0FFH         ; Write to low byte first
   MOV CCAP4H, #0FFH         ; Before PCA timer counts up to
                             ; FFFF Hex, these compare values
                             ; must be changed
   ORL CMOD, #40H            ; Set the WDTE bit to enable the
                             ; watchdog timer without changing
                             ; the other bits in CMOD
;
;*********************************************************************
;
; Main program goes here, but CALL WATCHDOG periodically.
;
;*********************************************************************
;
WATCHDOG:
   CLR EA                    ; Hold off interrupts
   MOV CCAP4L, #00           ; Next compare value is within
   MOV CCAP4H, CH            ; 255 counts of the current PCA
   SETB EA                   ; timer value
   RET
```

Figure 26. PCA Watchdog Timer Initialization Code

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Expanded Data RAM Addressing

The P89C51RB2/RC2/RD2 has internal data memory that is mapped into four separate segments: the lower 128 bytes of RAM, upper 128 bytes of RAM, 128 bytes Special Function Register (SFR), and 256 bytes expanded RAM (ERAM) (768 bytes for the RD2).

The four segments are:

1. The Lower 128 bytes of RAM (addresses 00H to 7FH) are directly and indirectly addressable.
2. The Upper 128 bytes of RAM (addresses 80H to FFH) are indirectly addressable only.
3. The Special Function Registers, SFRs, (addresses 80H to FFH) are directly addressable only.
4. The 256/768-bytes expanded RAM (ERAM, 00H – 1FFH/2FFH) are indirectly accessed by move external instruction, MOVX, and with the EXTRAM bit cleared, see Figure 27.

The Lower 128 bytes can be accessed by either direct or indirect addressing. The Upper 128 bytes can be accessed by indirect addressing only. The Upper 128 bytes occupy the same address space as the SFR. That means they have the same address, but are physically separate from SFR space.

When an instruction accesses an internal location above address 7FH, the CPU knows whether the access is to the upper 128 bytes of data RAM or to SFR space by the addressing mode used in the instruction. Instructions that use direct addressing access SFR space. For example:

MOV 0A0H,#data

accesses the SFR at location 0A0H (which is P2). Instructions that use indirect addressing access the Upper 128 bytes of data RAM.

For example:

MOV @R0,#data

where R0 contains 0A0H, accesses the data byte at address 0A0H, rather than P2 (whose address is 0A0H).

The ERAM can be accessed by indirect addressing, with EXTRAM bit cleared and MOVX instructions. This part of memory is physically located on-chip, logically occupies the first 7936-bytes of external data memory.

With EXTRAM = 0, the ERAM is indirectly addressed, using the MOVX instruction in combination with any of the registers R0, R1 of the selected bank or DPTR. An access to ERAM will not affect ports P0, P3.6 (WR#) and P3.7 (RD#). P2 SFR is output during external addressing. For example, with EXTRAM = 0,

MOVX @R0,#data

where R0 contains 0A0H, access the ERAM at address 0A0H rather than external memory. An access to external data memory locations higher than the ERAM will be performed with the MOVX DPTR instructions in the same way as in the standard 80C51, so with P0 and P2 as data/address bus, and P3.6 and P3.7 as write and read timing signals. Refer to Figure 28.

With EXTRAM = 1, MOVX @Ri and MOVX @DPTR will be similar to the standard 80C51. MOVX @ Ri will provide an 8-bit address multiplexed with data on Port 0 and any output port pins can be used to output higher order address bits. This is to provide the external paging capability. MOVX @DPTR will generate a 16-bit address. Port 2 outputs the high-order eight address bits (the contents of DPH) while Port 0 multiplexes the low-order eight address bits (DPL) with data. MOVX @Ri and MOVX @DPTR will generate either read or write signals on P3.6 ($\overline{WR}$) and P3.7 ($\overline{RD}$).

The stack pointer (SP) may be located anywhere in the 256 bytes RAM (lower and upper RAM) internal data memory. The stack may not be located in the ERAM.

AUXR Address = 8EH — Reset Value = xxxx xx00B

Not Bit Addressable

Bit:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	EXTRAM	AO

Symbol	Function	
AO	Disable/Enable ALE	
	AO	**Operating Mode**
0		ALE is emitted at a constant rate of $^1/_3$ the oscillator frequency (6 clock mode; $^1/_6$ f_{OSC} in 12 clock mode).
	1	ALE is active only during a MOVX or MOVC instruction.
EXTRAM	Internal/External RAM access using MOVX @Ri/@DPTR	
	EXTRAM	**Operating Mode**
	0	Internal ERAM access using MOVX @Ri/@DPTR
	1	External data memory access.
—	Not implemented, reserved for future use*.	

NOTE:
*User software should not write 1s to reserved bits. These bits may be used in future 8051 family products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1. The value read from a reserved bit is indeterminate.

SU01258

Figure 27. AUXR: Auxiliary Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

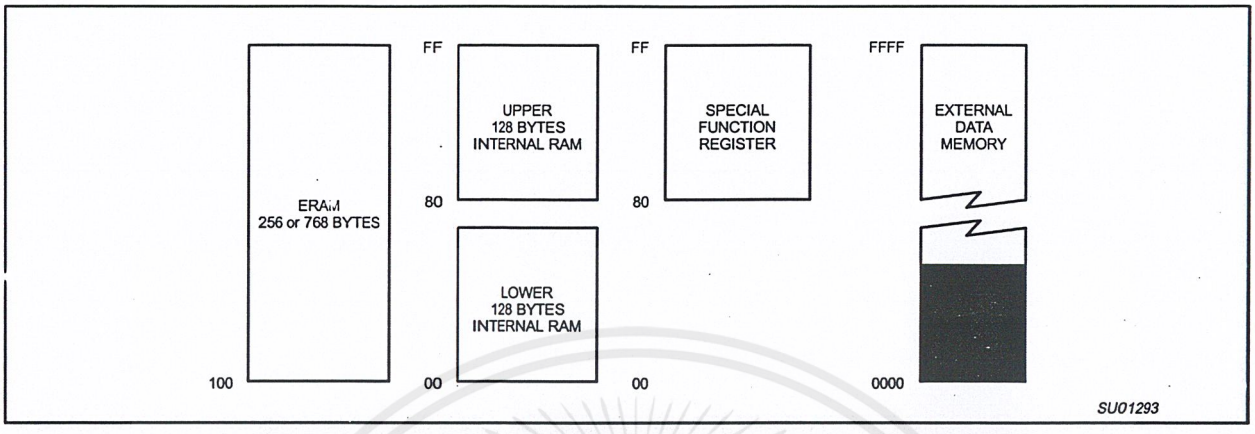


Figure 28. Internal and External Data Memory Address Space with EXTRAM = 0

HARDWARE WATCHDOG TIMER (ONE-TIME ENABLED WITH RESET-OUT FOR P89C51RB2/RC2/RD2)

The WDT is intended as a recovery method in situations where the CPU may be subjected to software upset. The WDT consists of a 14-bit counter and the WatchDog Timer reset (WDTRST) SFR. The WDT is disabled at reset. To enable the WDT, user must write 01EH and 0E1H in sequence to the WDTRST, SFR location 0A6H. When WDT is enabled, it will increment every machine cycle while the oscillator is running and there is no way to disable the WDT except through reset (either hardware reset or WDT overflow reset). When WDT overflows, it will drive an output reset HIGH pulse at the RST-pin (see the note below).

Using the WDT

To enable the WDT, user must write 01EH and 0E1H in sequence to the WDTRST, SFR location 0A6H. When WDT is enabled, the user needs to service it by writing to 01EH and 0E1H to WDTRST to avoid WDT overflow. The 14-bit counter overflows when it reaches 16383 (3FFFH) and this will reset the device. When WDT is enabled, it will increment every machine cycle while the oscillator is running. This means the user must reset the WDT at least every 16383 machine cycles. To reset the WDT, the user must write 01EH and 0E1H to WDTRST. WDTRST is a write only register. The WDT counter cannot be read or written. When WDT overflows, it will generate an output RESET pulse at the reset pin (see note below). The RESET pulse duration is $98 \times T_{OSC}$ (6 clock mode; 196 in 12 clock mode), where $T_{OSC} = 1/f_{OSC}$. To make the best use of the WDT, it should be serviced in those sections of code that will periodically be executed within the time required to prevent a WDT reset.

ABSOLUTE MAXIMUM RATINGS[1, 2, 3]

PARAMETER	RATING	UNIT
Operating temperature under bias	0 to +70 or –40 to +85	°C
Storage temperature range	–65 to +150	°C
Voltage on $\overline{EA}/V_{PP}$ pin to V_{SS}	0 to +13.0	V
Voltage on any other pin to V_{SS}	–0.5 to +6.5	V
Maximum I_{OL} per I/O pin	15	mA
Power dissipation (based on package heat transfer limitations, not device power consumption)	1.5	W

NOTES:

1. Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any conditions other than those described in the AC and DC Electrical Characteristics section of this specification is not implied.
2. This product includes circuitry specifically designed for the protection of its internal devices from the damaging effects of excessive static charge. Nonetheless, it is suggested that conventional precautions be taken to avoid applying greater than the rated maximum.
3. Parameters are valid over operating temperature range unless otherwise specified. All voltages are with respect to V_{SS} unless otherwise noted.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS

T_{amb} = 0°C to +70°C; V_{CC} = 5 V ± 10% or –40°C to +85°C; 5 V ±5%; V_{SS} = 0 V

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS			UNIT
			MIN	TYP[1]	MAX	
V_{IL}	Input low voltage	4.5 V < V_{CC} < 5.5 V	–0.5		$0.2V_{CC}$–0.1	V
V_{IH}	Input high voltage (ports 0, 1, 2, 3, $\overline{EA}$)		$0.2V_{CC}$+0.9		V_{CC}+0.5	V
V_{IH1}	Input high voltage, XTAL1, RST		$0.7V_{CC}$		V_{CC}+0.5	V
V_{OL}	Output low voltage, ports 1, 2, 3[8]	V_{CC} = 4.5 V I_{OL} = 1.6 mA[2]			0.4	V
V_{OL1}	Output low voltage, port 0, ALE, $\overline{PSEN}$[7, 8]	V_{CC} = 4.5 V I_{OL} = 3.2 mA[2]			0.45	V
V_{OH}	Output high voltage, ports 1, 2, 3[3]	V_{CC} = 4.5 V I_{OH} = –30 µA	V_{CC} – 0.7			V
V_{OH1}	Output high voltage (port 0 in external bus mode), ALE[9], $\overline{PSEN}$[3]	V_{CC} = 4.5 V I_{OH} = –3.2 mA	V_{CC} – 0.7			V
I_{IL}	Logical 0 input current, ports 1, 2, 3	V_{IN} = 0.4 V	–1		–75	µA
I_{TL}	Logical 1-to-0 transition current, ports 1, 2, 3[6]	V_{IN} = 2.0 V See Note 4			–650	µA
I_{LI}	Input leakage current, port 0	0.45 < V_{IN} < V_{CC} – 0.3			±10	µA
I_{CC}	Power supply current (see Figure 36): Active mode (see Note 5) Idle mode (see Note 5) Power-down mode or clock stopped (see Figure 42 for conditions) Programming and erase mode	See Note 5 T_{amb} = 0°C to 70°C T_{amb} = –40°C to +85°C f_{osc} = 20 MHz		 < 1 60	 40 50 	 µA µA mA
R_{RST}	Internal reset pull-down resistor		40		225	kΩ
C_{IO}	Pin capacitance[10] (except $\overline{EA}$)				15	pF

NOTES:

1. Typical ratings are not guaranteed. The values listed are at room temperature, 5 V.
2. Capacitive loading on ports 0 and 2 may cause spurious noise to be superimposed on the V_{OL}s of ALE and ports 1 and 3. The noise is due to external bus capacitance discharging into the port 0 and port 2 pins when these pins make 1-to-0 transitions during bus operations. In the worst cases (capacitive loading > 100 pF), the noise pulse on the ALE pin may exceed 0.8 V. In such cases, it may be desirable to qualify ALE with a Schmitt Trigger, or use an address latch with a Schmitt Trigger STROBE input. I_{OL} can exceed these conditions provided that no single output sinks more than 5 mA and no more than two outputs exceed the test conditions.
3. Capacitive loading on ports 0 and 2 may cause the V_{OH} on ALE and $\overline{PSEN}$ to momentarily fall below the V_{CC}–0.7 specification when the address bits are stabilizing.
4. Pins of ports 1, 2 and 3 source a transition current when they are being externally driven from 1 to 0. The transition current reaches its maximum value when V_{IN} is approximately 2 V.
5. See Figures 39 through 42 for I_{CC} test conditions and Figure 36 for I_{CC} vs Freq.
   Active mode: $I_{CC(MAX)}$ = (2.8 × FREQ. + 8)mA for all devices, in 6 clock mode; (1.4 × FREQ. + 8)mA in 12 clock mode.
   Idle mode: $I_{CC(MAX)}$ = (1.2 × FREQ. +1.0)mA in 6 clock mode; (0.6 × FREQ. +1.0)mA in 12 clock mode.
6. This value applies to T_{amb} = 0°C to +70°C.
7. Load capacitance for port 0, ALE, and $\overline{PSEN}$ = 100 pF, load capacitance for all other outputs = 80 pF.
8. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
   Maximum I_{OL} per port pin: 15 mA (*NOTE: This is 85°C specification.)
   Maximum I_{OL} per 8-bit port: 26 mA
   Maximum total I_{OL} for all outputs: 71 mA
   If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
9. ALE is tested to V_{OH1}, except when ALE is off then V_{OH} is the voltage specification.
10. Pin capacitance is characterized but not tested. Pin capacitance is less than 25 pF. Pin capacitance of ceramic package is less than 15 pF (except $\overline{EA}$ is 25 pF).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (6 CLOCK MODE)

T_{amb} = 0°C to +70°C; V_{CC} = 5 V ± 10% or –40°C to +85°C, V_{CC} = 5 V ±5%, V_{SS} = 0V[1, 2, 3]

SYMBOL	FIGURE	PARAMETER	VARIABLE CLOCK[4]		20 MHz CLOCK[4]		UNIT
			MIN	MAX	MIN	MAX	
$1/t_{CLCL}$	29	Oscillator frequency	0	20	0	20	MHz
t_{LHLL}	29	ALE pulse width	t_{CLCL}–40		10		ns
t_{AVLL}	29	Address valid to ALE low	$0.5t_{CLCL}$–20		5		ns
t_{LLAX}	29	Address hold after ALE low	$0.5t_{CLCL}$–20		5		ns
t_{LLIV}	29	ALE low to valid instruction in		$2t_{CLCL}$–65		35	ns
t_{LLPL}	29	ALE low to $\overline{PSEN}$ low	$0.5t_{CLCL}$–20		5		ns
t_{PLPH}	29	$\overline{PSEN}$ pulse width	$1.5t_{CLCL}$–45		30		ns
t_{PLIV}	29	$\overline{PSEN}$ low to valid instruction in		$1.5t_{CLCL}$–60		15	ns
t_{PXIX}	29	Input instruction hold after $\overline{PSEN}$	0		0		ns
t_{PXIZ}	29	Input instruction float after $\overline{PSEN}$		$0.5t_{CLCL}$–20		5	ns
t_{AVIV}	29	Address to valid instruction in		$2.5t_{CLCL}$–80		45	ns
t_{PLAZ}	29	$\overline{PSEN}$ low to address float		10		10	ns
Data Memory							
t_{RLRH}	30, 31	$\overline{RD}$ pulse width	$3t_{CLCL}$–100		50		ns
t_{WLWH}	30, 31	$\overline{WR}$ pulse width	$3t_{CLCL}$–100		50		ns
t_{RLDV}	30, 31	$\overline{RD}$ low to valid data in		$2.5t_{CLCL}$–90		35	ns
t_{RHDX}	30, 31	Data hold after $\overline{RD}$	0		0		ns
t_{RHDZ}	30, 31	Data float after $\overline{RD}$		t_{CLCL}–20		5	ns
t_{LLDV}	30, 31	ALE low to valid data in		$4t_{CLCL}$–150		50	ns
t_{AVDV}	30, 31	Address to valid data in		$4.5t_{CLCL}$–165		60	ns
t_{LLWL}	30, 31	ALE low to $\overline{RD}$ or $\overline{WR}$ low	$1.5t_{CLCL}$–50	$1.5t_{CLCL}$+50	25	125	ns
t_{AVWL}	30, 31	Address valid to $\overline{WR}$ low or $\overline{RD}$ low	$2t_{CLCL}$–75		25		ns
t_{QVWX}	30, 31	Data valid to $\overline{WR}$ transition	$0.5t_{CLCL}$–25		0		ns
t_{WHQX}	30, 31	Data hold after $\overline{WR}$	$0.5t_{CLCL}$–20		5		ns
t_{QVWH}	31	Data valid to $\overline{WR}$ high	$3.5t_{CLCL}$–130		45		ns
t_{RLAZ}	30, 31	$\overline{RD}$ low to address float		0		0	ns
t_{WHLH}	30, 31	$\overline{RD}$ or $\overline{WR}$ high to ALE high	$0.5t_{CLCL}$–20	$0.5t_{CLCL}$+20	5	45	ns
External Clock							
t_{CHCX}	33	High time	20	t_{CLCL}–t_{CLCX}			ns
t_{CLCX}	33	Low time	20	t_{CLCL}–t_{CHCX}			ns
t_{CLCH}	33	Rise time		5			ns
t_{CHCL}	33	Fall time		5			ns
Shift Register							
t_{XLXL}	32	Serial port clock cycle time	$6t_{CLCL}$		300		ns
t_{QVXH}	32	Output data setup to clock rising edge	$5t_{CLCL}$–133		117		ns
t_{XHQX}	32	Output data hold after clock rising edge	t_{CLCL}–30		20		ns
t_{XHDX}	32	Input data hold after clock rising edge	0		0		ns
t_{XHDV}	32	Clock rising edge to input data valid		$5t_{CLCL}$–133		117	ns

NOTES:
1. Parameters are valid over operating temperature range unless otherwise specified.
2. Load capacitance for port 0, ALE, and $\overline{PSEN}$ = 100 pF, load capacitance for all other outputs = 80 pF.
3. Interfacing the microcontroller to devices with float times up to 45 ns is permitted. This limited bus contention will not cause damage to Port 0 drivers.
4. Parts are tested to 2 MHz, but are guaranteed to operate down to 0 Hz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (12 CLOCK MODE)

T_{amb} = 0°C to +70°C; VCC = 5 V ± 10% or –40°C to +85°C, V_{CC} = 5 V ±5%, V_{SS} = 0 V[1, 2, 3]

SYMBOL	FIGURE	PARAMETER	VARIABLE CLOCK[4]		33 MHz CLOCK[4]		UNIT
			MIN	MAX	MIN	MAX	
$1/t_{CLCL}$	29	Oscillator frequency	0	33	0	33	MHz
t_{LHLL}	29	ALE pulse width	$2t_{CLCL}-40$		21		ns
t_{AVLL}	29	Address valid to ALE low	$t_{CLCL}-25$		5		ns
t_{LLAX}	29	Address hold after ALE low	$t_{CLCL}-25$		5		ns
t_{LLIV}	29	ALE low to valid instruction in		$4t_{CLCL}-65$		55	ns
t_{LLPL}	29	ALE low to $\overline{PSEN}$ low	$t_{CLCL}-25$		5		ns
t_{PLPH}	29	$\overline{PSEN}$ pulse width	$3t_{CLCL}-45$		45		ns
t_{PLIV}	29	$\overline{PSEN}$ low to valid instruction in		$3t_{CLCL}-60$		30	ns
t_{PXIX}	29	Input instruction hold after $\overline{PSEN}$	0		0		ns
t_{PXIZ}	29	Input instruction float after $\overline{PSEN}$		$t_{CLCL}-25$		5	ns
t_{AVIV}	29	Address to valid instruction in		$5t_{CLCL}-80$		70	ns
t_{PLAZ}	29	$\overline{PSEN}$ low to address float		10		10	ns
Data Memory							
t_{RLRH}	30, 31	$\overline{RD}$ pulse width	$6t_{CLCL}-100$		82		ns
t_{WLWH}	30, 31	$\overline{WR}$ pulse width	$6t_{CLCL}-100$		82		ns
t_{RLDV}	30, 31	$\overline{RD}$ low to valid data in		$5t_{CLCL}-90$		60	ns
t_{RHDX}	30, 31	Data hold after $\overline{RD}$	0		0		ns
t_{RHDZ}	30, 31	Data float after $\overline{RD}$		$2t_{CLCL}-28$		32	ns
t_{LLDV}	30, 31	ALE low to valid data in		$8t_{CLCL}-150$		90	ns
t_{AVDV}	30, 31	Address to valid data in		$9t_{CLCL}-165$		105	ns
t_{LLWL}	30, 31	ALE low to $\overline{RD}$ or $\overline{WR}$ low	$3t_{CLCL}-50$	$3t_{CLCL}+50$	40	140	ns
t_{AVWL}	30, 31	Address valid to $\overline{WR}$ low or $\overline{RD}$ low	$4t_{CLCL}-75$		45		ns
t_{QVWX}	30, 31	Data valid to $\overline{WR}$ transition	$t_{CLCL}-30$		0		ns
t_{WHQX}	30, 31	Data hold after $\overline{WR}$	$t_{CLCL}-25$		5		ns
t_{QVWH}	31	Data valid to $\overline{WR}$ high	$7t_{CLCL}-130$		80		ns
t_{RLAZ}	30, 31	$\overline{RD}$ low to address float		0		0	ns
t_{WHLH}	30, 31	$\overline{RD}$ or $\overline{WR}$ high to ALE high	$t_{CLCL}-25$	$t_{CLCL}+25$	5	55	ns
External Clock							
t_{CHCX}	33	High time	17	$t_{CLCL}-t_{CLCX}$			ns
t_{CLCX}	33	Low time	17	$t_{CLCL}-t_{CHCX}$			ns
t_{CLCH}	33	Rise time		5			ns
t_{CHCL}	33	Fall time		5			ns
Shift Register							
t_{XLXL}	32	Serial port clock cycle time	$12t_{CLCL}$		360		ns
t_{QVXH}	32	Output data setup to clock rising edge	$10t_{CLCL}-133$		167		ns
t_{XHQX}	32	Output data hold after clock rising edge	$2t_{CLCL}-80$		50		ns
t_{XHDX}	32	Input data hold after clock rising edge	0		0		ns
t_{XHDV}	32	Clock rising edge to input data valid		$10t_{CLCL}-133$		167	ns

NOTES:
1. Parameters are valid over operating temperature range unless otherwise specified.
2. Load capacitance for port 0, ALE, and $\overline{PSEN}$ = 100 pF, load capacitance for all other outputs = 80 pF.
3. Interfacing the microcontroller to devices with float times up to 45 ns is permitted. This limited bus contention will not cause damage to Port 0 drivers.
4. Parts are tested to 3.5 MHz, but guaranteed to operate down to 0 Hz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPLANATION OF THE AC SYMBOLS

Each timing symbol has five characters. The first character is always 't' (= time). The other characters, depending on their positions, indicate the name of a signal or the logical status of that signal. The designations are:

A – Address
C – Clock
D – Input data
H – Logic level high
I – Instruction (program memory contents)
L – Logic level low, or ALE
P – $\overline{PSEN}$
Q – Output data
R – $\overline{RD}$ signal
t – Time
V – Valid
W – $\overline{WR}$ signal
X – No longer a valid logic level
Z – Float

Examples: t_{AVLL} = Time for address valid to ALE low.
t_{LLPL} = Time for ALE low to $\overline{PSEN}$ low.

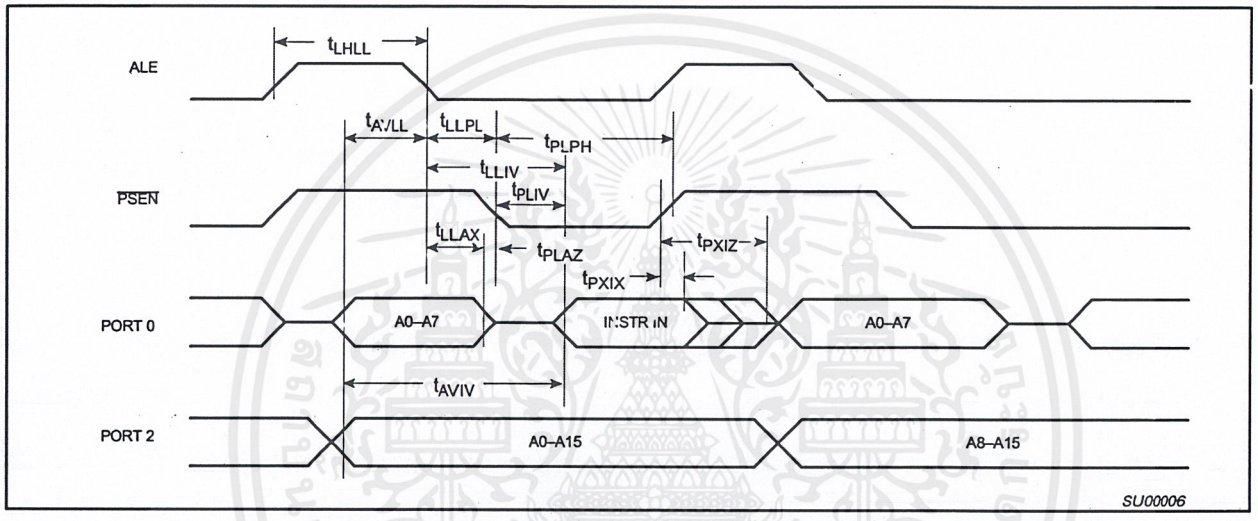


Figure 29. External Program Memory Read Cycle

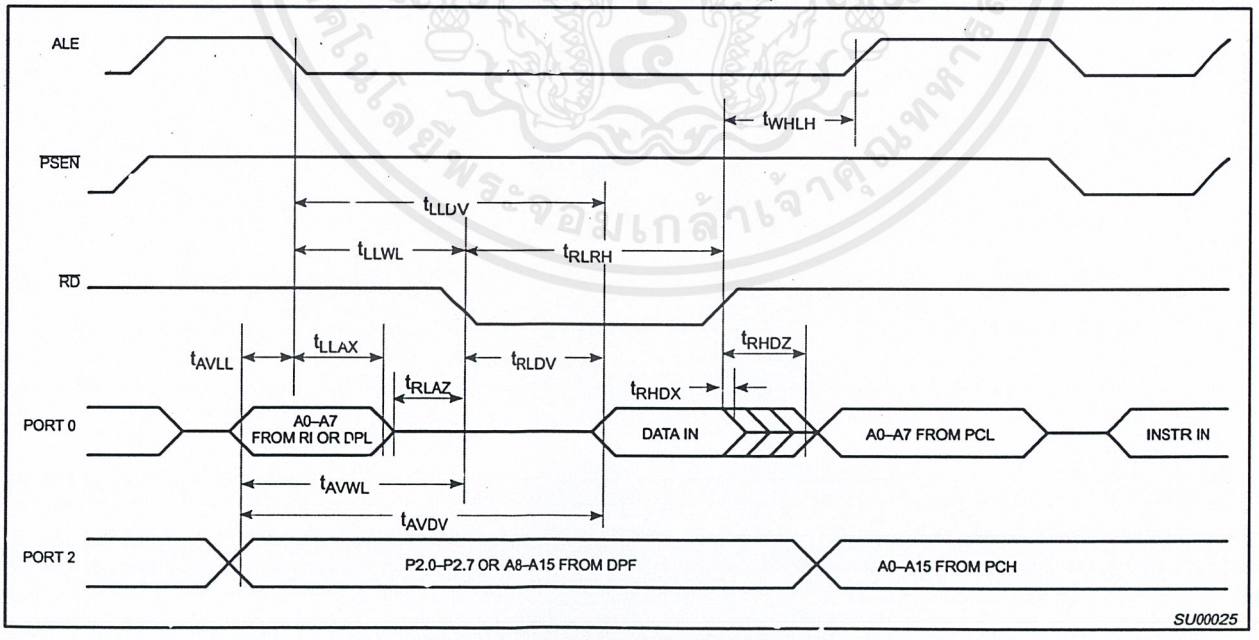


Figure 30. External Data Memory Read Cycle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

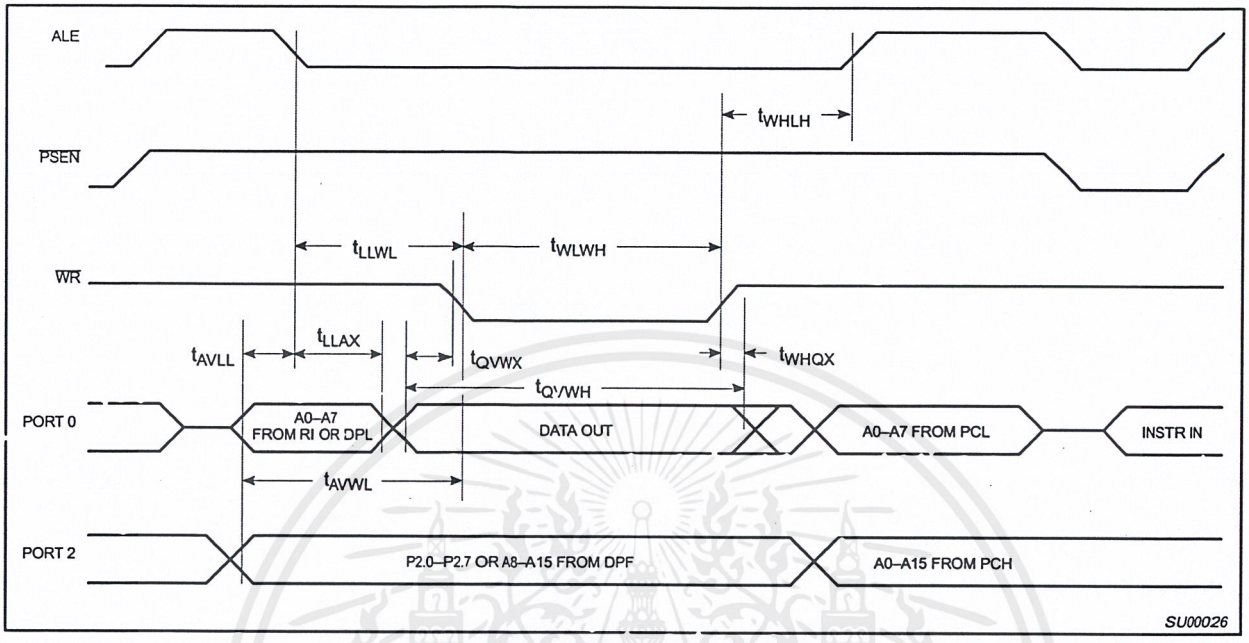


Figure 31. External Data Memory Write Cycle

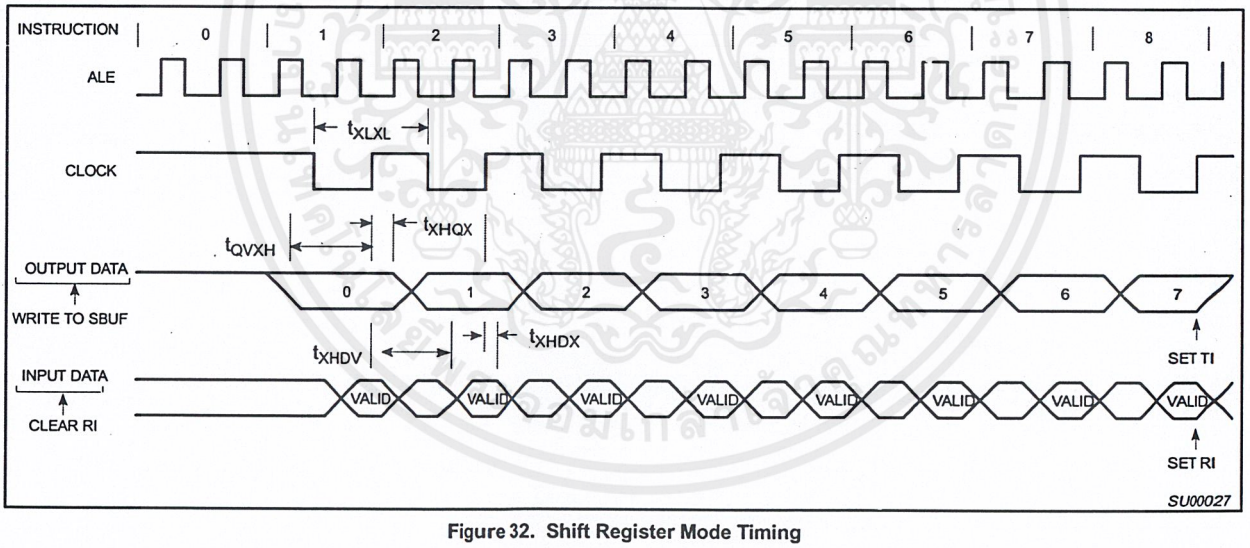


Figure 32. Shift Register Mode Timing

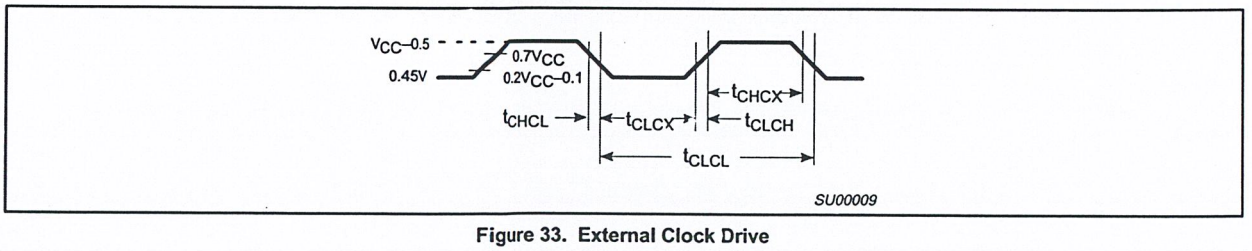


Figure 33. External Clock Drive

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

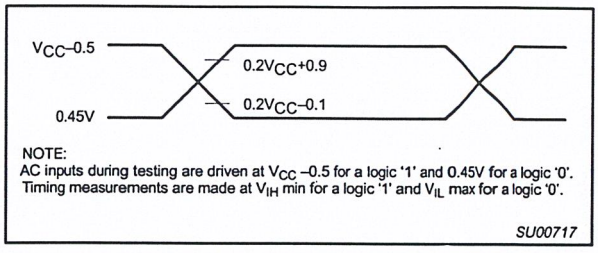


Figure 34. AC Testing Input/Output

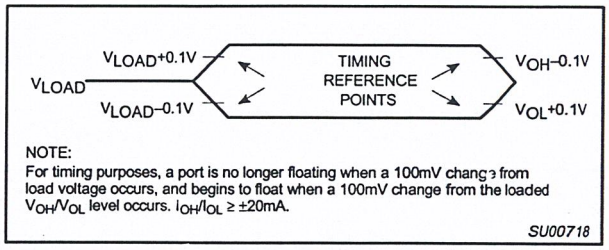


Figure 35. Float Waveform

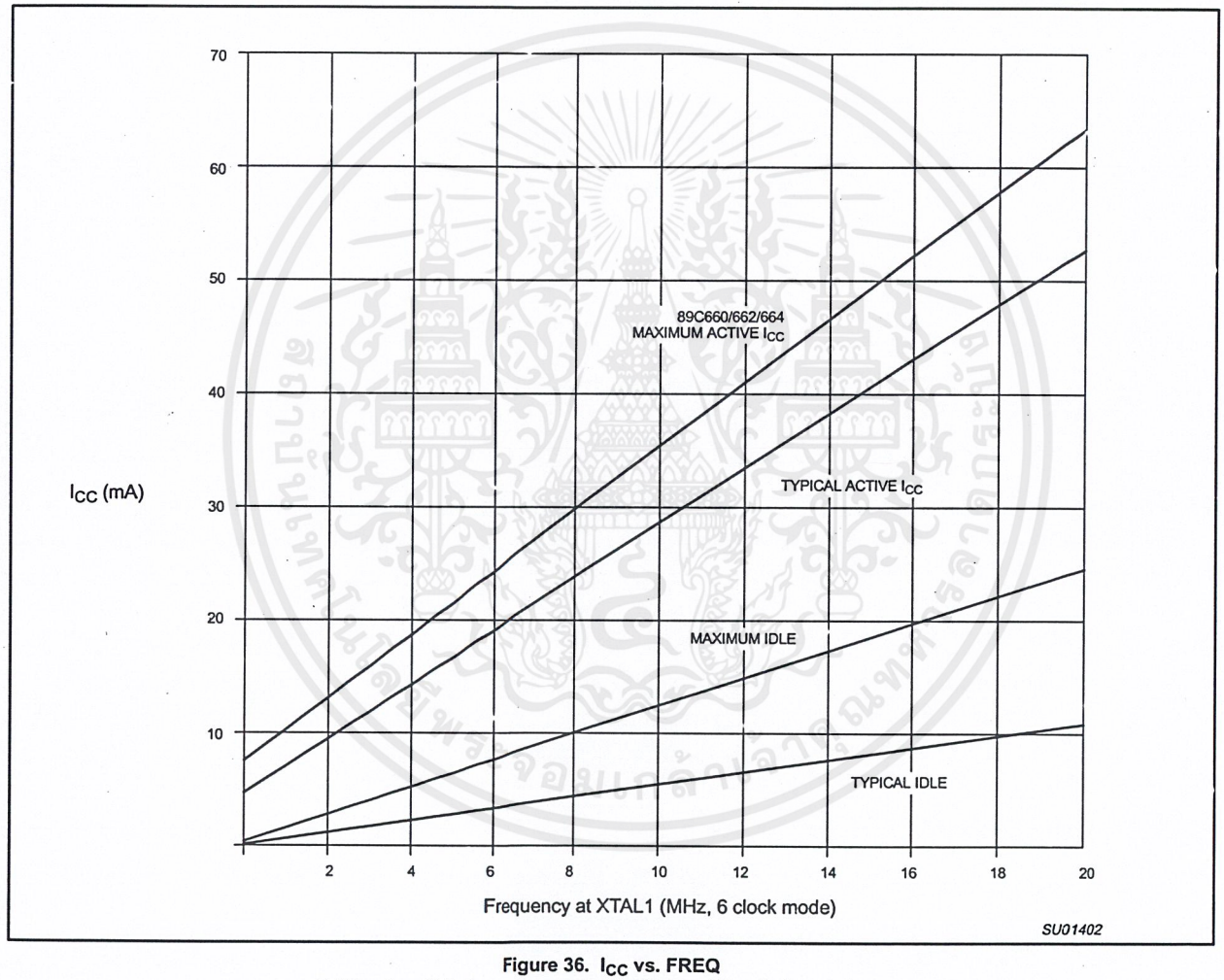


Figure 36. I_{CC} vs. FREQ
Valid only within frequency specifications of the device under test

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

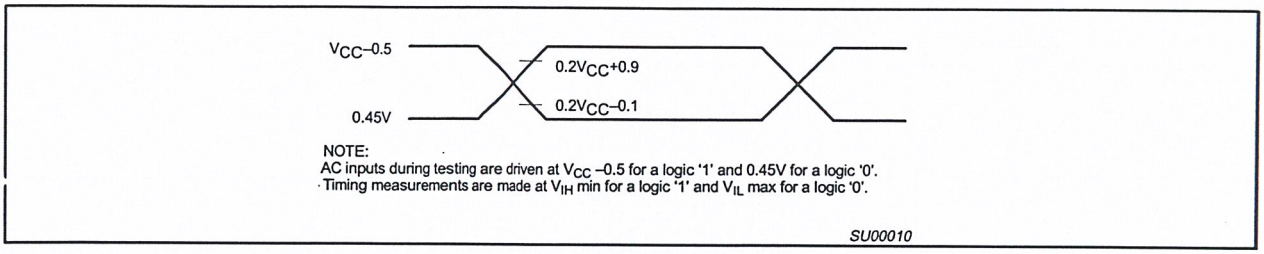


Figure 37. AC Testing Input/Output

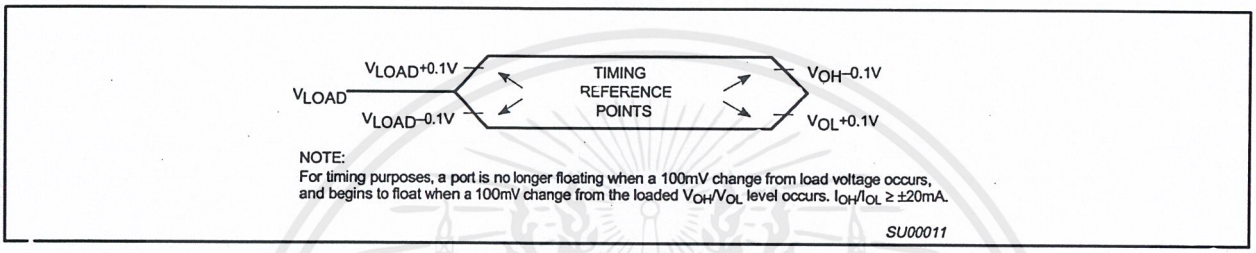


Figure 38. Float Waveform

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

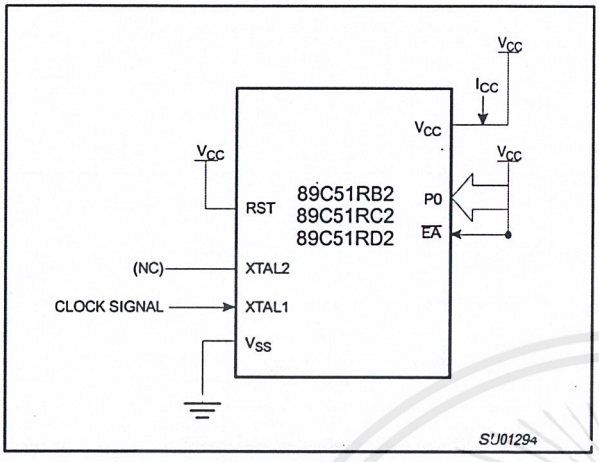


Figure 39. I_{CC} Test Condition, Active Mode. All other pins are disconnected

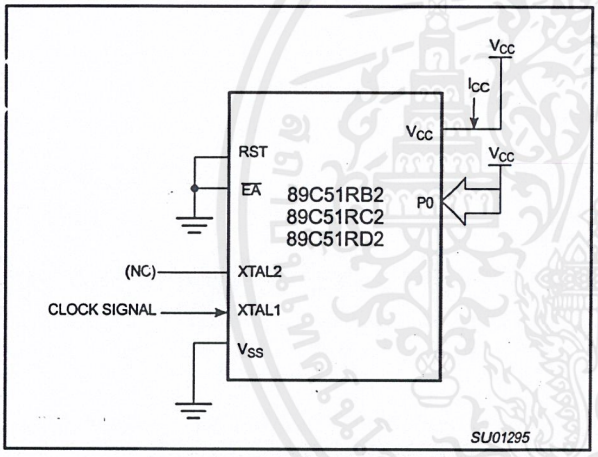


Figure 40. I_{CC} Test Condition, Idle Mode. All other pins are disconnected

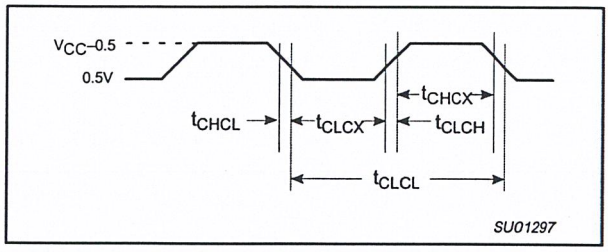


Figure 41. Clock Signal Waveform for I_{CC} Tests in Active and Idle Modes. $t_{CLCL} = t_{CHCL} = 10$ ns

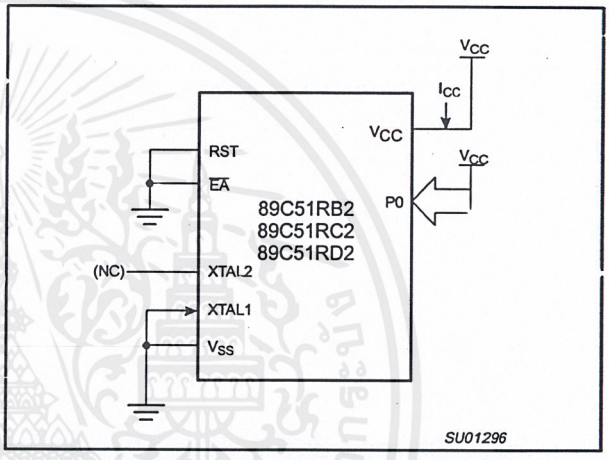


Figure 42. I_{CC} Test Condition, Power Down Mode. All other pins are disconnected; V_{CC} = 2V to 5.5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FLASH EPROM MEMORY

GENERAL DESCRIPTION

The P89C51RB2/RC2/RD2 Flash memory augments EPROM functionality with in-circuit electrical erasure and programming. The Flash can be read and written as bytes. The Chip Erase operation will erase the entire program memory. The Block Erase function can erase any Flash block. In-system programming and standard parallel programming are both available. On-chip erase and write timing generation contribute to a user friendly programming interface.

The P89C51RB2/RC2/RD2 Flash reliably stores memory contents even after 10,000 erase and program cycles. The cell is designed to optimize the erase and programming mechanisms. In addition, the combination of advanced tunnel oxide processing and low internal electric fields for erase and programming operations produces reliable cycling. The P89C51RB2/RC2/RD2 uses a +5 V V_{PP} supply to perform the Program/Erase algorithms.

FEATURES – IN-SYSTEM PROGRAMMING (ISP) AND IN-APPLICATION PROGRAMMING (IAP)

- Flash EPROM internal program memory with Block Erase.
- Internal 1 kbyte fixed boot ROM, containing low-level in-system programming routines and a default serial loader. User program can call these routines to perform In-Application Programming (IAP). The Boot ROM can be turned off to provide access to the full 64 kbyte Flash memory.
- Boot vector allows user provided Flash loader code to reside anywhere in the Flash memory space. This configuration provides flexibility to the user.
- Default loader in Boot ROM allows programming via the serial port without the need for a user provided loader.
- Up to 64 kbytes external program memory if the internal program memory is disabled ($\overline{EA}$ = 0).
- Programming and erase voltage +5 V (+12 V tolerant).
- Read/Programming/Erase using ISP/IAP:
  - Byte Programming (20 μs).
  - Typical quick erase times:
    Block Erase (8 kbytes or 16 kbytes) in 10 seconds.
    Full Erase (64 kbytes) in 20 seconds.
- Parallel programming with 87C51 compatible hardware interface to programmer.
- In-system programming.
- Programmable security for the code in the Flash.
- 10,000 minimum erase/program cycles for each byte.
- 10-year minimum data retention.

CAPABILITIES OF THE PHILIPS 89C51 FLASH-BASED MICROCONTROLLERS

Flash organization

The P89C51RB2/RC2/RD2 contains 16KB/32KB/64KB of Flash program memory. This memory is organized as 5 separate blocks. The first two blocks are 8 kbytes in size, filling the program memory space from address 0 through 3FFF hex. The final three blocks are 16 kbytes in size and occupy addresses from 4000 through FFFF hex.

Figure 43 depicts the Flash memory configurations.

Flash Programming and Erasure

There are three methods of erasing or programming of the Flash memory that may be used. First, the Flash may be programmed or erased in the end-user application by calling low-level routines through a common entry point in the Boot ROM. The end-user application, though, must be executing code from a different block than the block that is being erased or programmed. Second, the on-chip ISP boot loader may be invoked. This ISP boot loader will, in turn, call low-level routines through the same common entry point in the Boot ROM that can be used by the end-user application. Third, the Flash may be programmed or erased using the parallel method by using a commercially available EPROM programmer. The parallel programming method used by these devices is similar to that used by EPROM 87C51, but it is not identical, and the commercially available programmer will need to have support for these devices.

Boot ROM

When the microcontroller programs its own Flash memory, all of the low level details are handled by code that is permanently contained in a 1 kbyte Boot ROM that is separate from the Flash memory. A user program simply calls the common entry point with appropriate parameters in the Boot ROM to accomplish the desired operation. Boot ROM operations include things like: erase block, program byte, verify byte, program security lock bit, etc. The Boot ROM overlays the program memory space at the top of the address space from FC00 to FFFF hex, when it is enabled. The Boot ROM may be turned off so that the upper 1 kbyte of Flash program memory are accessible for execution.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

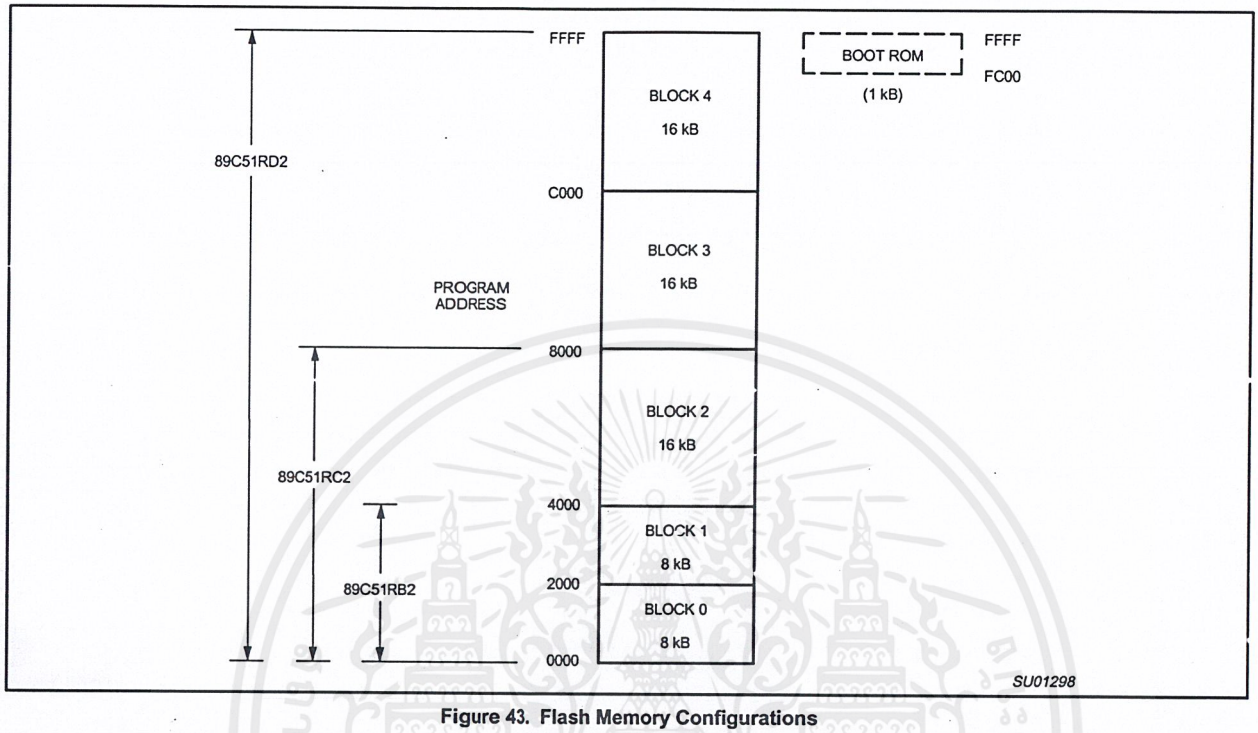


Figure 43. Flash Memory Configurations

Power-On Reset Code Execution

The P89C51RB2/RC2/RD2 contains two special Flash registers: the BOOT VECTOR and the STATUS BYTE. At the falling edge of reset, the P89C51RB2/RC2/RD2 examines the contents of the Status Byte. If the Status Byte is set to zero, power-up execution starts at location 0000H, which is the normal start address of the user's application code. When the Status Byte is set to a value other than zero, the contents of the Boot Vector is used as the high byte of the execution address and the low byte is set to 00H. The factory default setting is 0FCH, corresponds to the address 0FC00H for the factory masked-ROM ISP boot loader. A custom boot loader can be written with the Boot Vector set to the custom boot loader.

NOTE: When erasing the Status Byte or Boot Vector, both bytes are erased at the same time. It is necessary to reprogram the Boot Vector after erasing and updating the Status Byte.

Hardware Activation of the Boot Loader

The boot loader can also be executed by holding PSEN LOW, P2.7 high, $\overline{EA}$ greater than V_{IH} (such as +5 V), and ALE HIGH (or not connected) at the falling edge of RESET. This is the same effect as having a non-zero status byte. This allows an application to be built that will normally execute the end user's code but can be manually forced into ISP operation.

If the factory default setting for the Boot Vector (0FCH) is changed, it will no longer point to the ISP masked-ROM boot loader code. If this happens, the only way it is possible to change the contents of the Boot Vector is through the parallel programming method, provided that the end user application does not contain a customized loader that provides for erasing and reprogramming of the Boot Vector and Status Byte.

After programming the Flash, the status byte should be programmed to zero in order to allow execution of the user's application code beginning at address 0000H.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

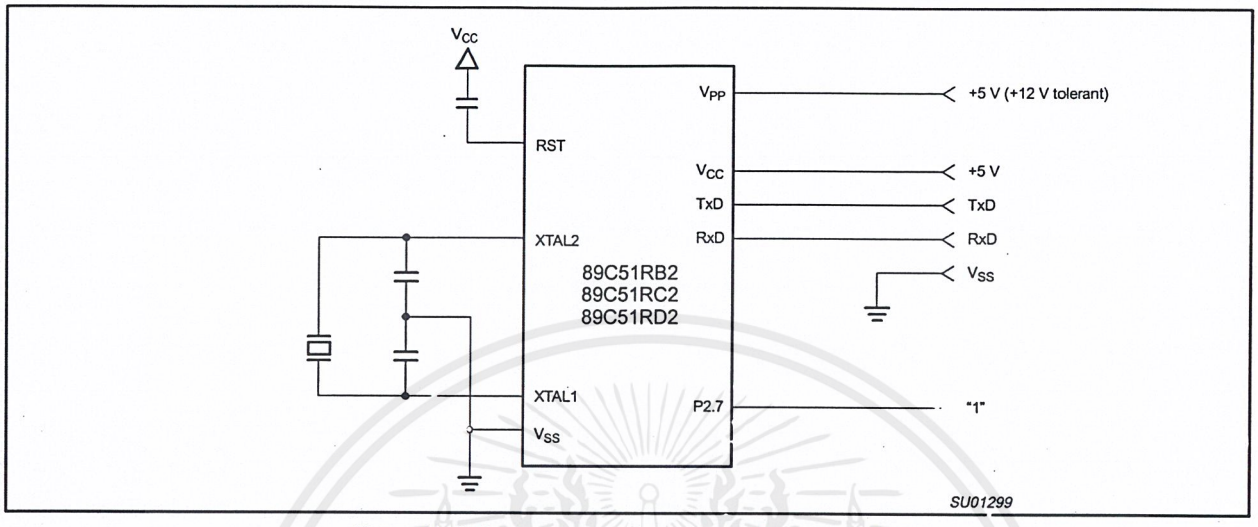


Figure 44. In-System Programming with a Minimum of Pins

In-System Programming (ISP)

The In-System Programming (ISP) is performed without removing the microcontroller from the system. The In-System Programming (ISP) facility consists of a series of internal hardware resources coupled with internal firmware to facilitate remote programming of the P89C51RB2/RC2/RD2 through the serial port. This firmware is provided by Philips and embedded within each P89C51RB2/RC2/RD2 device.

The Philips In-System Programming (ISP) facility has made in-circuit programming in an embedded application possible with a minimum of additional expense in components and circuit board area.

The ISP function uses five pins: TxD, RxD, V_{SS}, V_{CC}, and V_{PP} (see Figure 44). Only a small connector needs to be available to interface your application to an external circuit in order to use this feature. The V_{PP} supply should be adequately decoupled and V_{PP} not allowed to exceed datasheet limits.

Using the In-System Programming (ISP)

The ISP feature allows for a wide range of baud rates to be used in your application, independent of the oscillator frequency. It is also adaptable to a wide range of oscillator frequencies. This is accomplished by measuring the bit-time of a single bit in a received character. This information is then used to program the baud rate in terms of timer counts based on the oscillator frequency. The ISP feature requires that an initial character (an uppercase U) be sent to the P89C51RB2/RC2/RD2 to establish the baud rate. The ISP firmware provides auto-echo of received characters.

Once baud rate initialization has been performed, the ISP firmware will only accept Intel Hex-type records. Intel Hex records consist of ASCII characters used to represent hexadecimal values and are summarized below:

:NNAAAARRDD..DDCC<crlf>

In the Intel Hex record, the "NN" represents the number of data bytes in the record. The P89C51RB2/RC2/RD2 will accept up to 16 (10H) data bytes. The "AAAA" string represents the address of the first byte in the record. If there are zero bytes in the record, this field is often set to 0000. The "RR" string indicates the record type. A record type of "00" is a data record. A record type of "01" indicates the end-of-file mark. In this application, additional record types will be added to indicate either commands or data for the ISP facility. The maximum number of data bytes in a record is limited to 16 (decimal). ISP commands are summarized in Table 8.

As a record is received by the P89C51RB2/RC2/RD2, the information in the record is stored internally and a checksum calculation is performed. The operation indicated by the record type is not performed until the entire record has been received. Should an error occur in the checksum, the P89C51RB2/RC2/RD2 will send an "X" out the serial port indicating a checksum error. If the checksum calculation is found to match the checksum in the record, then the command will be executed. In most cases, successful reception of the record will be indicated by transmitting a "." character out the serial port (displaying the contents of the internal program memory is an exception).

In the case of a Data Record (record type 00), an additional check is made. A "." character will NOT be sent unless the record checksum matched the calculated checksum and all of the bytes in the record were successfully programmed. For a data record, an "X" indicates that the checksum failed to match, and an "R" character indicates that one of the bytes did not properly program. It is necessary to send a type 02 record (specify oscillator frequency) to the P89C51RB2/RC2/RD2 before programming data.

The ISP facility was designed to that specific crystal frequencies were not required in order to generate baud rates or time the programming pulses. The user thus needs to provide the P89C51RB2/RC2/RD2 with information required to generate the proper timing. Record type 02 is provided for this purpose.

WinISP, a software utility to implement ISP programming with a PC, is available on Philips Semiconductors' website. In addition, at the website is a listing of third party commercially available serial and parallel programmers.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 8. Intel-Hex Records Used by In-System Programming

RECORD TYPE	COMMAND/DATA FUNCTION
00	Program Data :nnaaaa00dd....ddcc Where: Nn = number of bytes (hex) in record Aaaa = memory address of first byte in record dd....dd = data bytes cc = checksum Example: :10008000AF5F67F0602703E0322CFA92007780C3FD
01	End of File (EOF), no operation :xxxxxx01cc Where: xxxxxx = required field, but value is a "don't care" cc = checksum Example: :00000001FF
02	Specify Oscillator Frequency :01xxxx02ddcc Where. xxxx = required field, but value is a "don't care" dd = integer oscillator frequency rounded down to nearest MHz cc = checksum Example: :0100000210ED (dd = 10h = 16, used for 16.0-16.9 MHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECORD TYPE	COMMAND/DATA FUNCTION
03	Miscellaneous Write Functions :nnxxxx03ffssddcc Where: nn = number of bytes (hex) in record xxxx = required field, but value is a "don't care" 03 = Write Function ff = subfunction code ss = selection code dd = data input (as needed) cc = checksum Subfunction Code = 01 (Erase Blocks) ff = 01 ss = block code as shown below: block 0, 0k to 8k, 00H block 1, 8k to 16k, 20H block 2, 16k to 32k, 40H block 3, 32k to 48k, 80H block 4, 48k to 64k, C0H Example: :0200000301C03A erase block 4 Subfunction Code = 04 (Erase Boot Vector and Status Byte) ff = 04 ss = don't care Example: :020000030400F7 erase boot vector and status byte Subfunction Code = 05 (Program Security Bits) ff = 05 ss = 00 program security bit 1 (inhibit writing to Flash) 01 program security bit 2 (inhibit Flash verify) 02 program security bit 3 (disable external memory) Example: :020000030501F5 program security bit 2 Subfunction Code = 06 (Program Status Byte or Boot Vector) ff = 06 ss = 00 program status byte 01 program boot vector Example: :030000030601FCF7 program boot vector with 0FCH Subfunction Code = 07 (Full Chip Erase) Erases all blocks, security bits, and sets status and boot vector to default values ff = 07 ss = don't care dd = don't care Example: :0100000307F5 full chip erase
04	Display Device Data or Blank Check – Record type 04 causes the contents of the entire Flash array to be sent out the serial port in a formatted display. This display consists of an address and the contents of 16 bytes starting with that address. No display of the device contents will occur if security bit 2 has been programmed. Data to the serial port is initiated by the reception of any character and terminated by the reception of any character. General Format of Function 04 :05xxxx04sssseeeeffcc Where: 05 = number of bytes (hex) in record xxxx = required field, but value is a "don't care" 04 = "Display Device Data or Blank Check" function code ssss = starting address eeee = ending address ff = subfunction 00 = display data 01 = blank check cc = checksum Example: :0500000440004FFF0069 display 4000-4FFF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECORD TYPE	COMMAND/DATA FUNCTION
05	Miscellaneous Read Functions General Format of Function 05 :02xxxx05ffsscc Where: 02 = number of bytes (hex) in record xxxx = required field, but value is a "don't care" 05 = "Miscellaneous Read" function code ffss = subfunction and selection code 0000 = read signature byte - manufacturer id (15H) 0001 = read signature byte - device id # 1 (C2H) 0002 = read signature byte - device id # 2 0700 = read security bits 0701 = read status byte 0702 = read boot vector cc = checksum Example: :020000050001F8 read signature byte - device id # 1
06	Direct Load of Baud Rate General Format of Function 06 :02xxxx06hhllcc Where: 02 = number of bytes (hex) in record xxxx = required field, but value is a "don't care" 06 = "Direct Load of Baud Rate" function code hh = high byte of Timer 2 ll = low byte of Timer 2 cc = checksum Example: :02000006F500F3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

In Application Programming Method

Several In Application Programming (IAP) calls are available for use by an application program to permit selective erasing and programming of Flash sectors. All calls are made through a common interface, PGM_MTP. The programming functions are selected by setting up the microcontroller's registers before making a call to PGM_MTP at FFF0H. The oscillator frequency is an integer number rounded down to the nearest megahertz. For example, set R0 to 11 for 11.0592 MHz. Results are returned in the registers. The IAP calls are shown in Table 9.

Using the Watchdog Timer (WDT)

The 89C51Rx2 devices support the use of the WDT in IAP. The user specifies that the WDT is to be fed by setting the most significant bit of the function parameter passed in R1 prior to calling PGM_MTP. The WDT function is only supported for Block Erase when using Quick Block Erase. The Quick Block Erase is specified by performing a Block Erase with register R0 = 0. Requesting a WDT feed during IAP should only be performed in applications that use the WDT since the process of feeding the WDT will start the WDT if the WDT was not running.

Table 9. IAP calls

IAP CALL	PARAMETER
PROGRAM DATA BYTE	Input Parameters: R0 = osc freq (integer) R1 = 02h R1 = 82h (WDT feed) DPTR = address of byte to program ACC = byte to program Return Parameter ACC = 00 if pass, !00 if fail
ERASE BLOCK	Input Parameters: R0 = osc freq (integer) R0 = 0 (Quick Erase) R1 = 01h R1 = 81h (WDT feed) DPH = block code as shown below: block 0, 0k to 8k, 00H block 1, 8k to 16k, 20H block 2, 16k to 32k, 40H block 3, 32k to 48k, 80H block 4, 48k to 64k, C0H DPL = 00h Return Parameter none
ERASE BOOT VECTOR	Input Parameters: R0 = osc freq (integer) R1 = 04h R1 = 84h (WDT feed) DPH = 00h DPL = don't care Return Parameter none
PROGRAM SECURITY BIT	Input Parameters: R0 = osc freq (integer) R1 = 05h R1 = 85h (WDT feed) DPH = 00h DPL = 00h - security bit # 1 (inhibit writing to Flash) 01h - security bit # 2 (inhibit Flash verify) 02h - security bit # 3 (disable external memory) Return Parameter none
PROGRAM STATUS BYTE	Input Parameters: R0 = osc freq (integer) R1 = 06h R1 = 86h (WDT feed) DPH = 00h DPL = 00h - program status byte ACC = status byte Return Parameter ACC = status byte

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IAP CALL	PARAMETER
PROGRAM BOOT VECTOR	Input Parameters: R0 = osc freq (integer) R1 = 06h R1 = 86h (WDT feed) DPH = 00h DPL = 01h - program boot vector ACC = boot vector Return Parameter ACC = boot vector
READ DEVICE DATA	Input Parameters: R1 = 03h R1 = 83h (WDT feed) DPTR = address of byte to read Return Parameter ACC = value of byte read
READ MANUFACTURER ID	Input Parameters: R0 = osc freq (integer) R1 = 00h R1 = 80h (WDT feed) DPH = 00h DPL = 00h (manufacturer ID) Return Parameter ACC = value of byte read
READ DEVICE ID # 1	Input Parameters: R0 = osc freq (integer) R1 = 00h R1 = 80h (WDT feed) DPH = 00h DPL = 01h (device ID # 1) Return Parameter ACC = value of byte read
READ DEVICE ID # 2	Input Parameters: R0 = osc freq (integer) R1 = 00h R1 = 80h (WDT feed) DPH = 00h DPL = 02h (device ID # 2) Return Parameter ACC = value of byte read
READ SECURITY BITS	Input Parameters: R0 = osc freq (integer) R1 = 07h R1 = 87h (WDT feed) DPH = 00h DPL = 00h (security bits) Return Parameter ACC = value of byte read
READ STATUS BYTE	Input Parameters: R0 = osc freq (integer) R1 = 07h R1 = 87h (WDT feed) DPH = 00h DPL = 01h (status byte) Return Parameter ACC = value of byte read
READ BOOT VECTOR	Input Parameters: R0 = osc freq (integer) R1 = 07h R1 = 87h (WDT feed) DPH = 00h DPL = 02h (boot vector) Return Parameter ACC = value of byte read

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Security

The security feature protects against software piracy and prevents the contents of the Flash from being read. The Security Lock bits are located in Flash. The P89C51RB2/RC2/RD2 has three programmable security lock bits that will provide different levels of protection for the on-chip code and data (see Table 10).

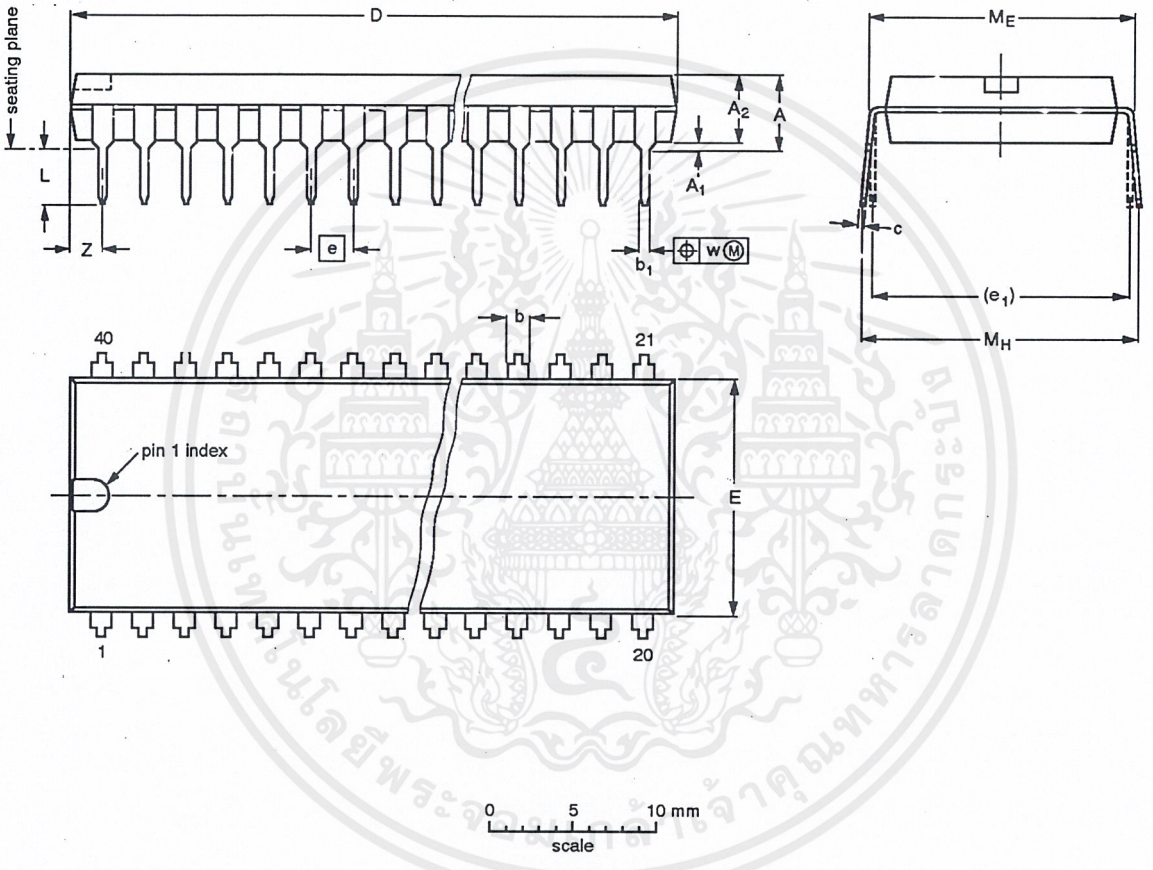
Table 10.

	SECURITY LOCK BITS[1]			PROTECTION DESCRIPTION
LEVEL	LB1	LB2	LB3	
1	0	0	0	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory.
2	1	0	0	Block erase is disabled. Erase or programming of the status byte or boot vector is disabled.
3	1	1	0	Verify of code memory is disabled.
4	1	1	1	External execution is disabled.

NOTE:
1. Security bits are independent of each other. Full-chip erase may be performed regardless of the state of the security bits.
2. Any other combination of lock bits is undefined.
3. Setting LBx doesn't prevent programming of unprogrammed bits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIP40: plastic dual in-line package; 40 leads (600 mil) **SOT129-1**



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A_1 min.	A_2 max.	b	b_1	c	$D^{(1)}$	$E^{(1)}$	e	e_1	L	M_E	M_H	w	$Z^{(1)}$ max.
mm	4.7	0.51	4.0	1.70 1.14	0.53 0.38	0.36 0.23	52.50 51.50	14.1 13.7	2.54	15.24	3.60 3.05	15.80 15.24	17.42 15.90	0.254	2.25
inches	0.19	0.020	0.16	0.067 0.045	0.021 0.015	0.014 0.009	2.067 2.028	0.56 0.54	0.10	0.60	0.14 0.12	0.62 0.60	0.69 0.63	0.01	0.089

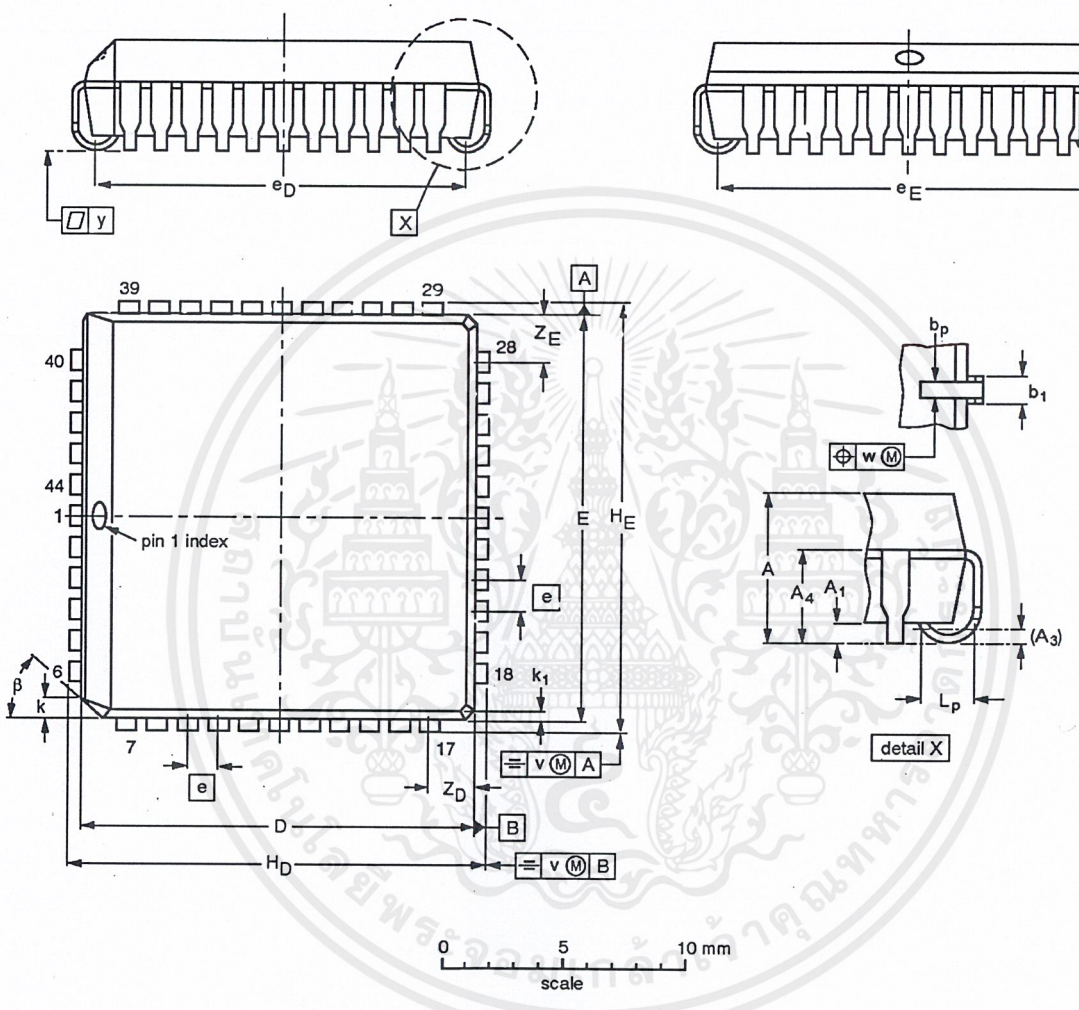
Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT129-1	051G08	MO-015	SC-511-40			~~95-01-14~~ 99-12-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PLCC44: plastic leaded chip carrier; 44 leads **SOT187-2**



DIMENSIONS (millimetre dimensions are derived from the original inch dimensions)

UNIT	A	A_1 min.	A_3	A_4 max.	b_p	b_1	$D^{(1)}$	$E^{(1)}$	e	e_D	e_E	H_D	H_E	k	k_1 max.	L_p	v	w	y	$Z_D^{(1)}$ max.	$Z_E^{(1)}$ max.	β
mm	4.57 4.19	0.51	0.25	3.05	0.53 0.33	0.81 0.66	16.66 16.51	16.66 16.51	1.27	16.00 14.99	16.00 14.99	17.65 17.40	17.65 17.40	1.22 1.07	0.51	1.44 1.02	0.18	0.18	0.10	2.16	2.16	45°
inches	0.180 0.165	0.020	0.01	0.12	0.021 0.013	0.032 0.026	0.656 0.650	0.656 0.650	0.05	0.630 0.590	0.630 0.590	0.695 0.685	0.695 0.685	0.048 0.042	0.020	0.057 0.040	0.007	0.007	0.004	0.085	0.085	

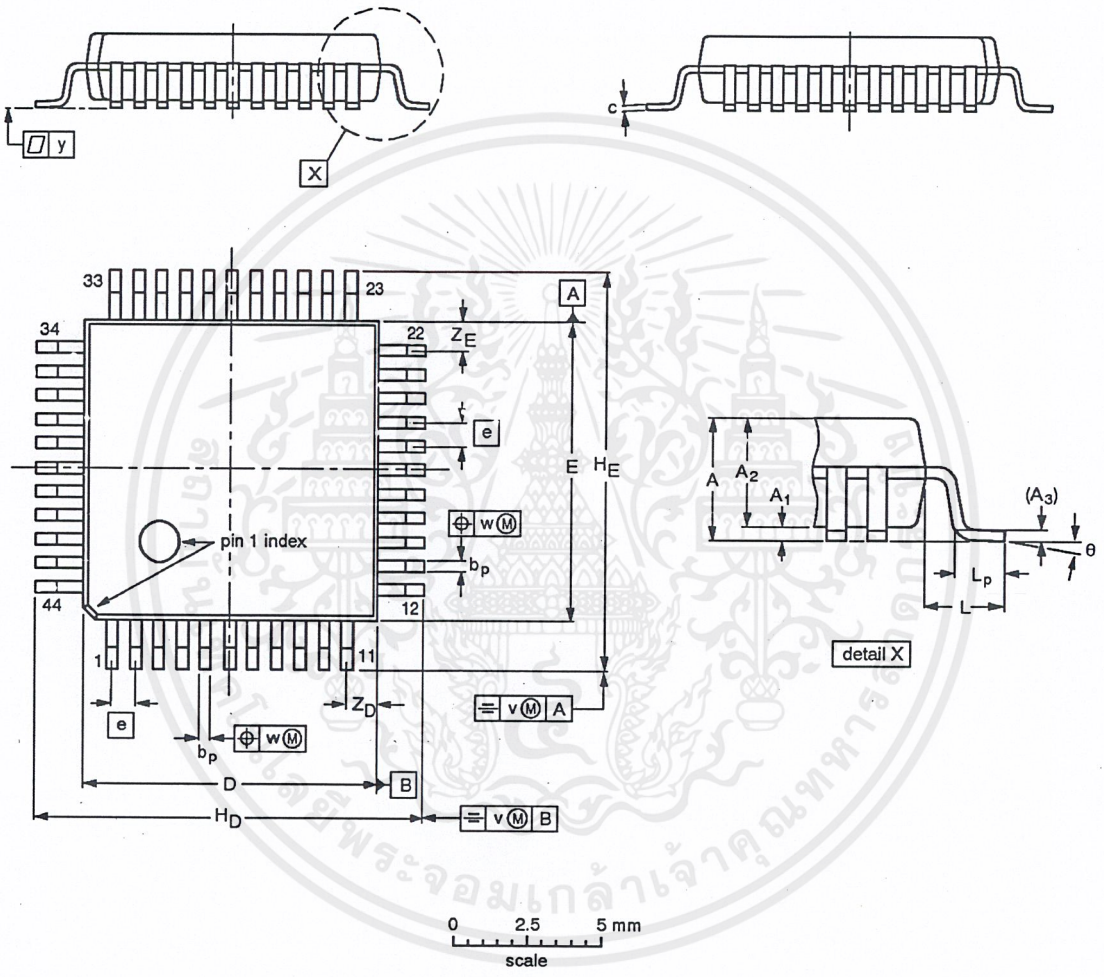
Note

1. Plastic or metal protrusions of 0.01 inches maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT187-2	112E10	MO-047				~~97-12-16~~ 99-12-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LQFP44: plastic low profile quad flat package; 44 leads; body 10 x 10 x 1.4 mm **SOT389-1**



DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A_1	A_2	A_3	b_p	c	$D^{(1)}$	$E^{(1)}$	e	H_D	H_E	L	L_p	v	w	y	$Z_D^{(1)}$	$Z_E^{(1)}$	θ
mm	1.60	0.15 0.05	1.45 1.35	0.25	0.45 0.30	0.20 0.12	10.10 9.90	10.10 9.90	0.80	12.15 11.85	12.15 11.85	1.0	0.75 0.45	0.20	0.20	0.10	1.14 0.85	1.14 0.85	7° 0°

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT389-1	136E08	MS-026				~~99-12-17~~ 00-01-19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data sheet status

Data sheet status [1]	Product status [2]	Definitions
Objective data	Development	This data sheet contains data from the objective specification for product development. Philips Semiconductors reserves the right to change the specification in any manner without notice.
Preliminary data	Qualification	This data sheet contains data from the preliminary specification. Supplementary data will be published at a later date. Philips Semiconductors reserves the right to change the specification without notice, in order to improve the design and supply the best possible product.
Product data	Production	This data sheet contains data from the product specification. Philips Semiconductors reserves the right to make changes at any time in order to improve the design, manufacturing and supply. Changes will be communicated according to the Customer Product/Process Change Notification (CPCN) procedure SNW-SQ-650A.

[1] Please consult the most recently issued data sheet before initiating or completing a design.

[2] The product status of the device(s) described in this data sheet may have changed since this data sheet was published. The latest information is available on the Internet at URL http://www.semiconductors.philips.com.

Definitions

Short-form specification — The data in a short-form specification is extracted from a full data sheet with the same type number and title. For detailed information see the relevant data sheet or data handbook.

Limiting values definition — Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 60134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.

Application information — Applications that are described herein for any of these products are for illustrative purposes only. Philips Semiconductors make no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

Disclaimers

Life support — These products are not designed for use in life support appliances, devices or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips Semiconductors customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips Semiconductors for any damages resulting from such application.

Right to make changes — Philips Semiconductors reserves the right to make changes, without notice, in the products, including circuits, standard cells, and/or software, described or contained herein in order to improve design and/or performance. Philips Semiconductors assumes no responsibility or liability for the use of any of these products, conveys no license or title under any patent, copyright, or mask work right to these products, and makes no representations or warranties that these products are free from patent, copyright, or mask work right infringement, unless otherwise specified.

Philips Semiconductors
811 East Arques Avenue
P.O. Box 3409
Sunnyvale, California 94088–3409
Telephone 800-234-7381

© Copyright Philips Electronics North America Corporation 2001
All rights reserved. Printed in U.S.A.

Date of release: 06-01

Document order number: 9397 750 08525

Let's make things better.

Philips Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM62256B Series

256k SRAM (32-kword × 8-bit)

HITACHI

ADE-203-135F (Z)
Rev. 6.0
Nov. 13, 1997

Description

The Hitachi HM62256B Series is a CMOS static RAM organized 32,768-word × 8-bit. It realizes higher performance and low power consumption by employing 0.8 µm Hi-CMOS process technology. The device, packaged in 8 × 14 mm TSOP, 8 × 13.4 mm TSOP with thickness of 1.2 mm, 450 mil SOP (foot print pitch width), 600 mil plastic DIP, or 300 mil plastic DIP, is available for high density mounting. It offers low power standby power dissipation; therefore, it is suitable for battery backup systems.

Features

- Single 5.0 V supply: 5.0 V ± 10%
- Access time: 55 ns/70 ns/85 ns (max)
- Power dissipation:
  - — Active: 25 mW (typ) (f = 1 MHz)
  - — Standby: 1.0 µW (typ)
- Completely static memory
  - — No clock or timing strobe required
- Equal access and cycle times
- Common data input and output
  - — Three state output
- Directly TTL compatible all inputs and outputs
- Battery backup operation

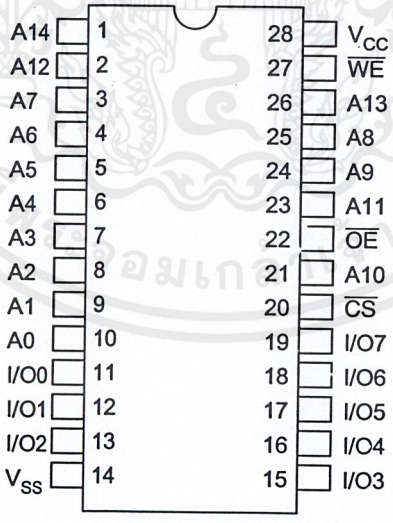
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Type No.	Access time	Package
HM62256BLP-7	70 ns	600-mil 28-pin plastic DIP (DP-28)
HM62256BLP-7SL	70 ns	
HM62256BLSP-7	70 ns	300-mil 28-pin plastic DIP (DP-28NA)
HM62256BLSP-7SL	70 ns	
HM62256BLFP-7T	70 ns	450-mil 28-pin plastic SOP (FP-28DA)
HM62256BLFP-5SLT	55 ns	
HM62256BLFP-7SLT	70 ns	
HM62256BLFP-7ULT	70 ns	
HM62256BLT-8	85 ns	8 mm × 14 mm 32-pin TSOP (TFP-32DA)
HM62256BLT-7SL	70 ns	
HM62256BLTM-8	85 ns	8 mm × 13.4 mm 28-pin TSOP (TFP-28DA)
HM62256BLTM-5SL	55 ns	
HM62256BLTM-7SL	70 ns	
HM62256BLTM-7UL	70 ns	

Pin Arrangement

HM62256BLP/BLFP/BLSP Series

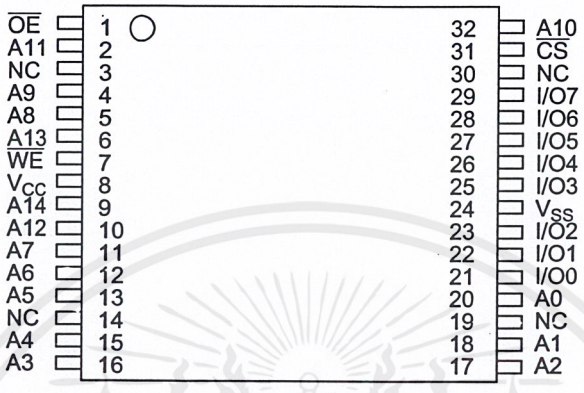


(Top view)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

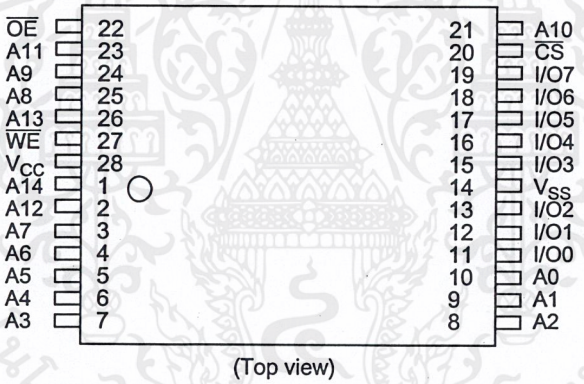
Pin Arrangement (cont.)

HM62256BLT Series



(Top view)

HM62256BLTM Series



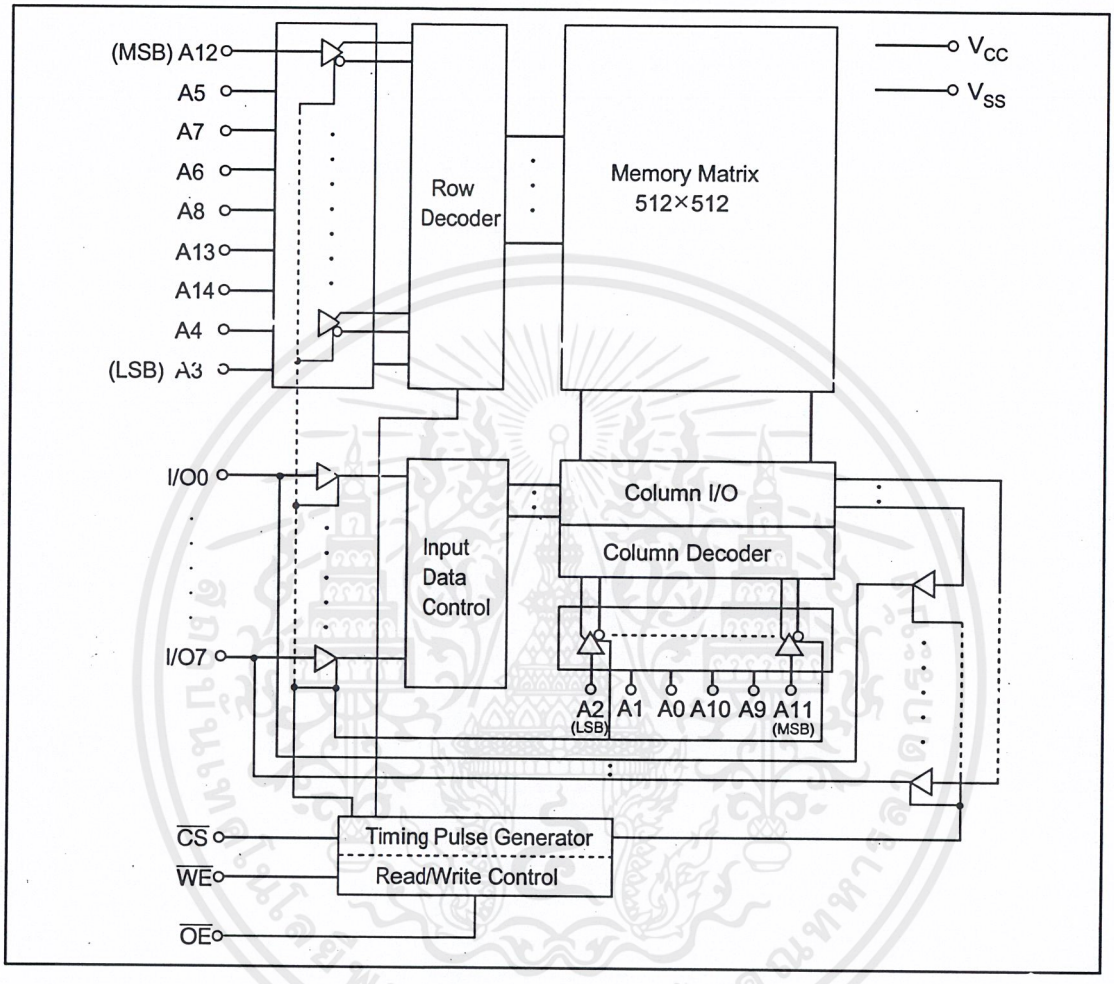
(Top view)

Pin Description

Pin Name	Function
A0 to A14	Address input
I/O0 to I/O7	Data input/output
$\overline{CS}$	Chip select
$\overline{WE}$	Write enable
$\overline{OE}$	Output enable
V_{cc}	Power supply
V_{ss}	Ground
NC	No connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operation Table

$\overline{WE}$	$\overline{CS}$	$\overline{OE}$	Mode	V_{CC} current	I/O pin	Ref. cycle
×	H	×	Standby	I_{SB}, I_{SB1}	High-Z	—
H	L	H	Output disable	I_{CC}	High-Z	—
H	L	L	Read	I_{CC}	Dout	Read cycle (1)to (3)
L	L	H	Write	I_{CC}	Din	Write cycle (1)
L	L	L	Write	I_{CC}	Din	Write cycle (2)

Note: ×: H or L

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Power supply voltage relative to V_{SS}	V_{CC}	–0.5 to +7.0	V
Terminal voltage on any pin relative to V_{SS}	V_T	–0.5[*1] to V_{CC}+0.3[*2]	V
Power dissipation	P_T	1.0	W
Operating temperature range	Topr	0 to +70	°C
Storage temperature range	Tstg	–55 to +125	°C
Storage temperature range under bias	Tbias	–10 to +85	°C

Notes: 1. V_T min: –3.0 V for pulse half-width ≤ 50 ns
2. Maximum voltage is 7.0 V

DC Operating Conditions (Ta = 0 to +70°C)

Parameter	Symbol	Min	Typ	Max	Unit	Notes
Supply voltage	V_{CC}	4.5	5.0	5.5	V	
	V_{SS}	0	0	0	V	
Input high voltage	V_{IH}	2.2	—	V_{CC} + 0.3	V	
Input low voltage	V_{IL}	–0.5[*1]	—	0.8	V	

Note: 1. V_{IL} min: –3.0 V for pulse half-width ≤ 50 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Characteristics (Ta = 0 to +70°C, V_{CC} = 5 V ± 10%, V_{SS} = 0 V)

Parameter		Symbol	Min	Typ*1	Max	Unit	Test conditions
Input leakage current		$\|I_{LI}\|$	—	—	1	µA	Vin = V_{SS} to V_{CC}
Output leakage current		$\|I_{LO}\|$	—	—	1	µA	$\overline{CS}$ = V_{IH} or $\overline{OE}$ = V_{IH} or $\overline{WE}$ = V_{IL}, $V_{I/O}$ = V_{SS} to V_{CC}
Operating current		I_{CC}	—	6	15	mA	$\overline{CS}$ = V_{IL}, Others = V_{IH}/V_{IL}, $I_{I/O}$ = 0 mA
Average operating current	HM62256B-5	I_{CC1}	—	—	60	mA	Min cycle, duty = 100%, $I_{I/O}$ = 0 mA, $\overline{CS}$ = V_{IL}, Others = V_{IH}/V_{IL}
	HM62256B-7	I_{CC1}	—	33	60	mA	
	HM62256B-8	I_{CC1}	—	29	50	mA	
		I_{CC2}	—	5	15	mA	Cycle time = 1 µs, $I_{I/O}$ = 0 mA, $\overline{CS}$ = V_{IL}, V_{IH} = V_{CC}, V_{IL} = 0
Standby current		I_{SB}	—	0.3	2	mA	$\overline{CS}$ = V_{IH}
		I_{SB1}	—	0.2	100	µA	Vin ≥ 0 V, $\overline{CS}$ ≥ V_{CC} – 0.2 V
		I_{SB1}	—	0.2*2	50*2	µA	
		I_{SB1}	—	0.2*3	10*3	µA	
Output low voltage		V_{OL}	—	—	0.4	V	I_{OL} = 2.1 mA
Output high voltage		V_{OH}	2.4	—	—	V	I_{OH} = –1.0 mA

Notes: 1. Typical values are at V_{CC} = 5.0 V, Ta = +25°C and not guaranteed.
2. This characteristic is guaranteed only for L-SL version.
3. This characteristic is guaranteed only for L-UL version.

Capacitance (Ta = 25°C, f = 1.0 MHz)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Input capacitance*1	Cin	—	—	8	pF	Vin = 0 V
Input/output capacitance*1	$C_{I/O}$	—	—	10	pF	$V_{I/O}$ = 0 V

Note: 1. This parameter is sampled and not 100% tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics (Ta = 0 to +70°C, V_{CC} = 5.0 V ± 10%)

Test Conditions

- Input pulse levels: 0.8 V to 2.4 V
- Input rise and fall time: 5 ns
- Input and output timing reference levels: 1.5 V
- Output load: 1 TTL Gate + C_L (50 pF) (HM62256B-5)
  1 TTL Gate + C_L (100 pF) (HM62256B-7/8)
  (Including scope & jig)

Read Cycle

		HM62256B							
		-5		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Read cycle time	t_{RC}	55	—	70	—	85	—	ns	
Address access time	t_{AA}	—	55	—	70	—	85	ns	
Chip select to access time	t_{ACS}	—	55	—	70	—	85	ns	
Output enable to output valid	t_{OE}	—	35	—	40	—	45	ns	
Chip select to output in low-Z	t_{CLZ}	5	—	10	—	10	—	ns	2
Output enable to output in low-Z	t_{OLZ}	5	—	5	—	5	—	ns	2
Chip deselect to output in high-Z	t_{CHZ}	0	20	0	25	0	30	ns	1, 2
Output disable to output in high-Z	t_{OHZ}	0	20	0	25	0	30	ns	1, 2
Output hold from address change	t_{OH}	5	—	5	—	5	—	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Cycle

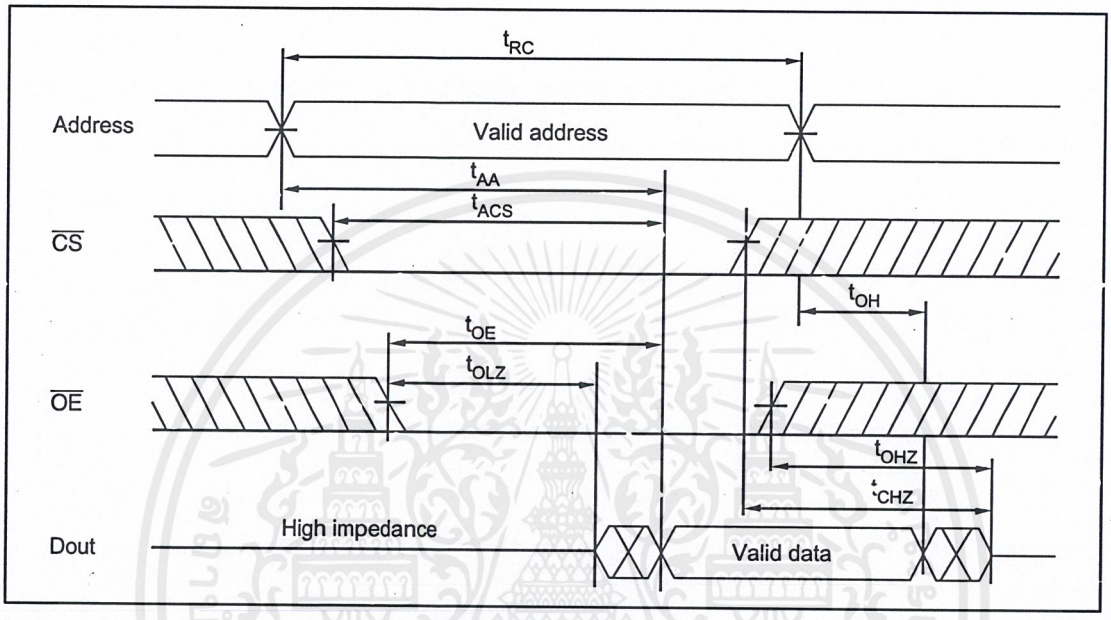
		HM62256B							
		-5		-7		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Write cycle time	t_{WC}	55	—	70	—	85	—	ns	
Chip selection to end of write	t_{CW}	40	—	60	—	75	—	ns	5
Address setup time	t_{AS}	0	—	0	—	0	—	ns	6
Address valid to end of write	t_{AW}	40	—	60	—	75	—	ns	
Write pulse width	t_{WP}	35	—	50	—	55	—	ns	4, 13
Write recovery time	t_{WR}	0	—	0	—	0	—	ns	7
Write to output in high-Z	t_{WHZ}	0	20	0	25	0	30	ns	1, 2, 8
Data to write time overlap	t_{DW}	25	—	30	—	35	—	ns	
Data hold from write time	t_{DH}	0	—	0	—	0	—	ns	
Output active from end of write	t_{OW}	5	—	5	—	5	—	ns	2
Output disable to output in High-Z	t_{OHZ}	0	20	0	25	0	30	ns	1, 2, 8

Notes:
1. t_{CHZ}, t_{OHZ} and t_{WHZ} are defined as the time at which the outputs achieve the open circuit conditions and are not referred to output voltage levels.
2. This parameter is sampled and not 100% tested.
3. Address must be valid prior to or simultaneously with $\overline{CS}$ going low.
4. A write occurs during the overlap of a low $\overline{CS}$ and a low $\overline{WE}$. A write begins at the latest transition of $\overline{CS}$ going low or $\overline{WE}$ going low. A write ends at the earliest transition of $\overline{CS}$ going high or $\overline{WE}$ going high. t_{WP} is measured from the beginning of write to the end of write.
5. t_{CW} is measured from $\overline{CS}$ going low to the end of write.
6. t_{AS} is measured from the address valid to the beginning of write.
7. t_{WR} is measured from the earliest of $\overline{CS}$ or $\overline{WE}$ going high to the end of write cycle.
8. During this period, I/O pins are in the output state; therefore, the input signals of the opposite phase to the outputs must not be applied.
9. If $\overline{CS}$ goes low simultaneously with $\overline{WE}$ going low or after $\overline{WE}$ going low, the outputs remain in the high impedance state.
10. Dout is the same phase of the latest written data in this write cycle.
11. Dout is the read data of next address.
12. If $\overline{CS}$ is low during this period, I/O pins are in the output state. Therefore, the input signals of the opposite phase to the outputs must not be applied to them.
13. In the write cycle with $\overline{OE}$ low fixed, t_{WP} must satisfy the following equation to avoid a problem of data bus contention.
    $t_{WP} \geq t_{DW}$ min + t_{WHZ} max

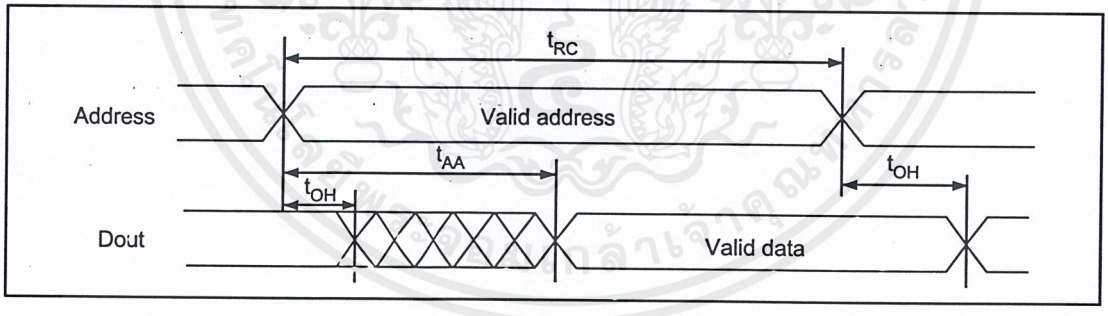
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveform

Read Timing Waveform (1) ($\overline{WE}$ = V_{IH})

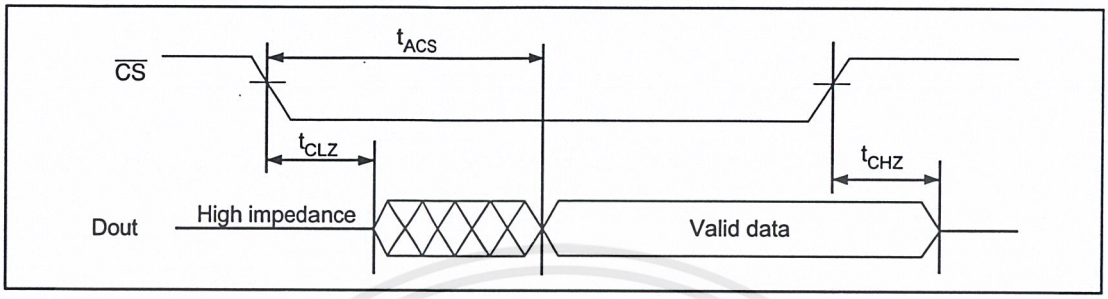


Read Timing Waveform (2) ($\overline{WE}$ = V_{IH}, $\overline{CS}$ = V_{IL}, $\overline{OE}$ = V_{IL})

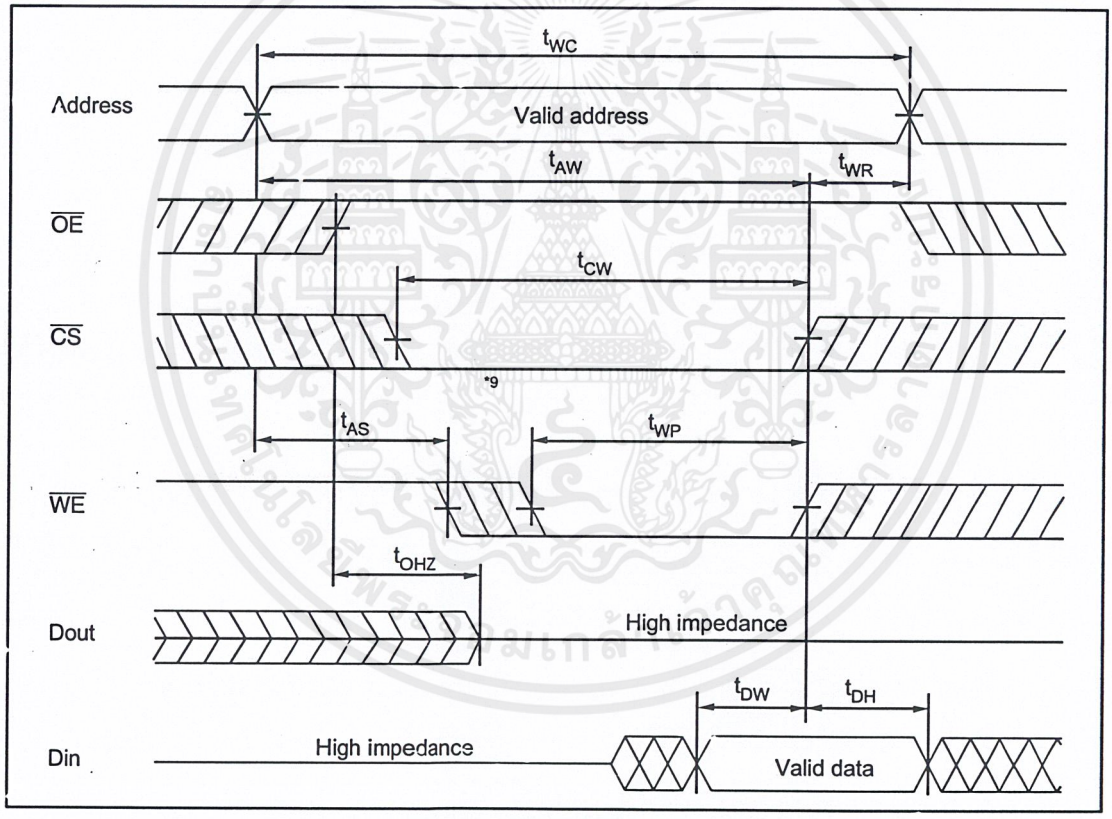


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Read Timing Waveform (3) ($\overline{WE}$ = V_{IH}, $\overline{OE}$ = V_{IL})*[3]

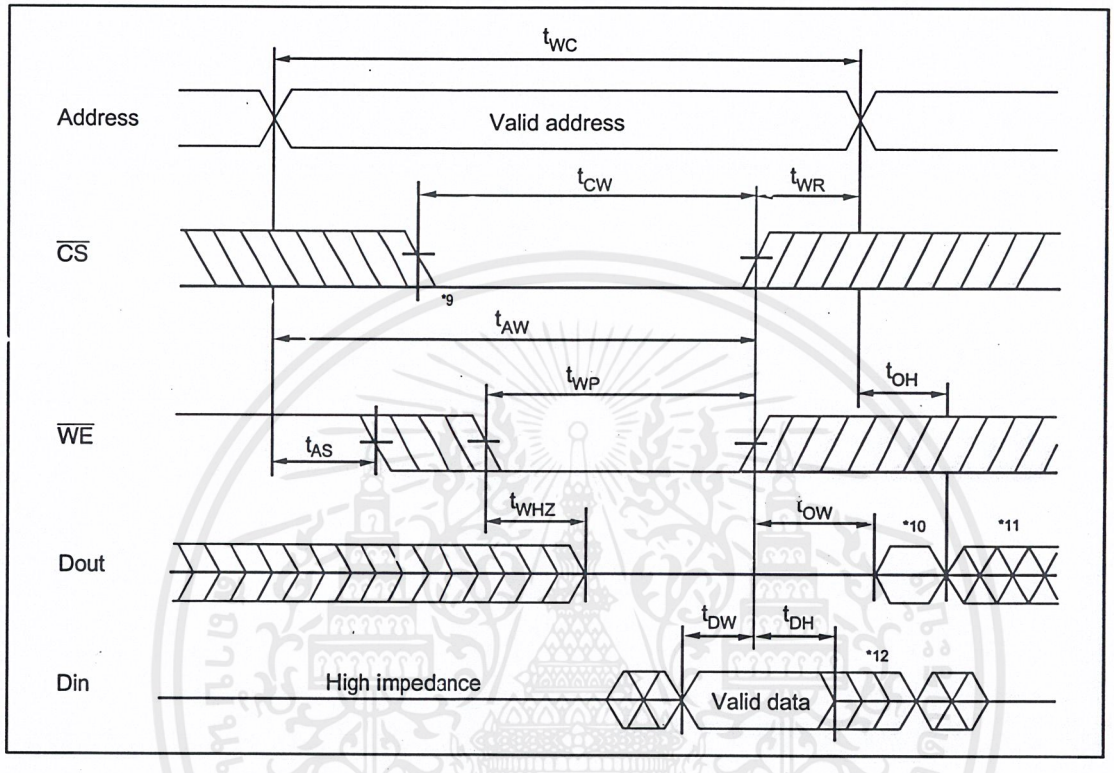


Write Timing Waveform (1) ($\overline{OE}$ Clock)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Timing Waveform (2) ($\overline{OE}$ Low Fixed)



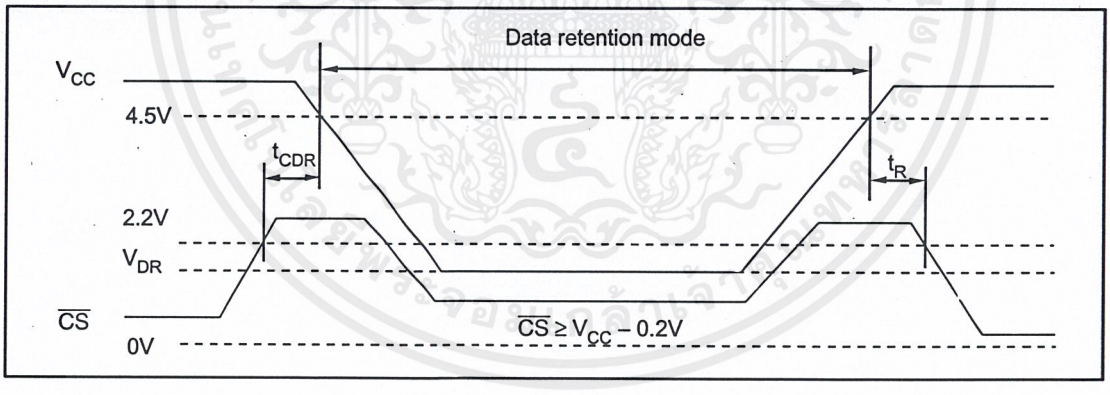
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low V_{CC} Data Retention Characteristics (Ta = 0 to 70°C)

Parameter	Symbol	Min	Typ*[1]	Max	Unit	Test conditions*[6]
V_{CC} for data retention	V_{DR}	2.0	—	5.5	V	$\overline{CS} \geq V_{CC} - 0.2$ V, Vin ≥ 0V
Data retention current	I_{CCDR}	—	0.05	30*[2]	µA	V_{CC} = 3.0 V, Vin ≥ 0V $\overline{CS} \geq V_{CC} - 0.2$ V
	I_{CCDR}	—	0.05	10*[3]	µA	
	I_{CCDR}	—	0.05	3*[4]	µA	
Chip deselect to data retention time	t_{CDR}	0	—	—	ns	See retention Waveform
Operation recovery time	t_R	t_{RC}*[5]	—	—	ms	

Notes: 1. Typical values are at V_{CC} = 3.0 V, Ta = +25°C and not guaranteed.
2. 10 µA max. at Ta = 0 to +40°C.
3. This characteristic is guaranteed only for L-SL version, 3 µA max. at Ta = 0 to +40°C.
4. This characteristic is guaranteed only for L-UL version, 0.6 µA max. at Ta = 0 to +40°C.
5. t_{RC} = Read cycle time.
6. $\overline{CS}$ controls address buffer, $\overline{WE}$ buffer, $\overline{OE}$ buffer, and Din buffer. If $\overline{CS}$ controls data retention mode, Vin levels (address, $\overline{WE}$, $\overline{OE}$, I/O) can be in the high impedance state.

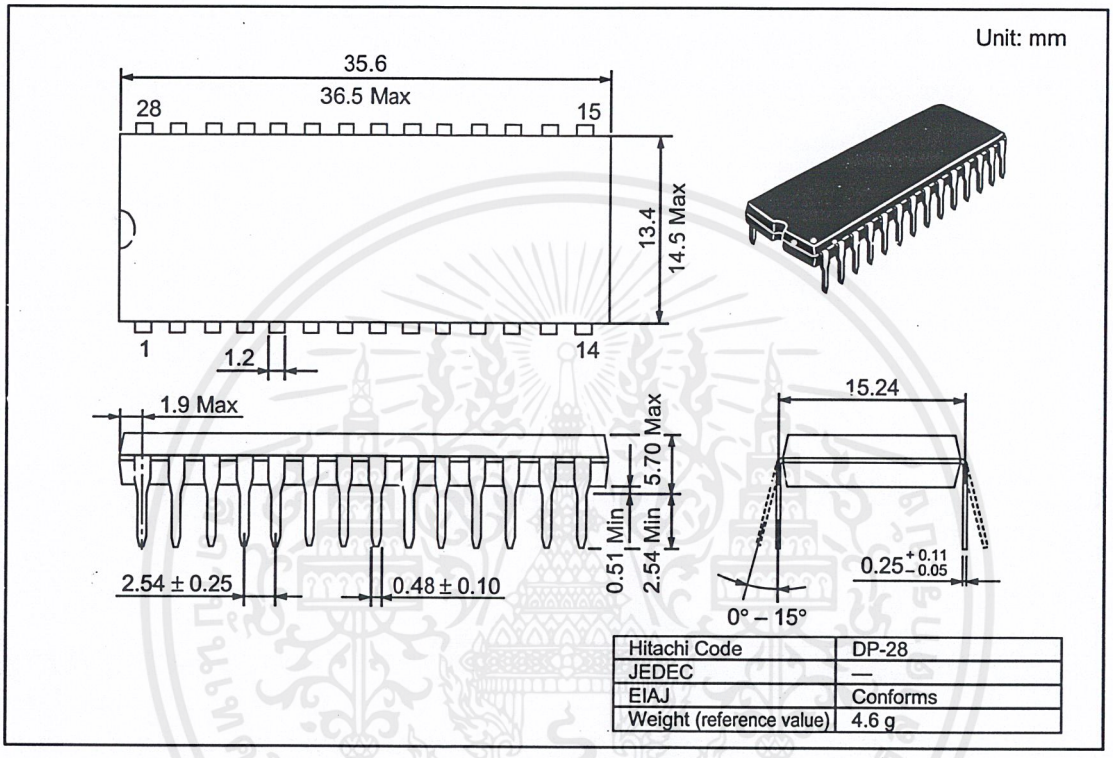
Low V_{CC} Data Retention Timing Waveform



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions

HM62256BLP Series (DP-28)



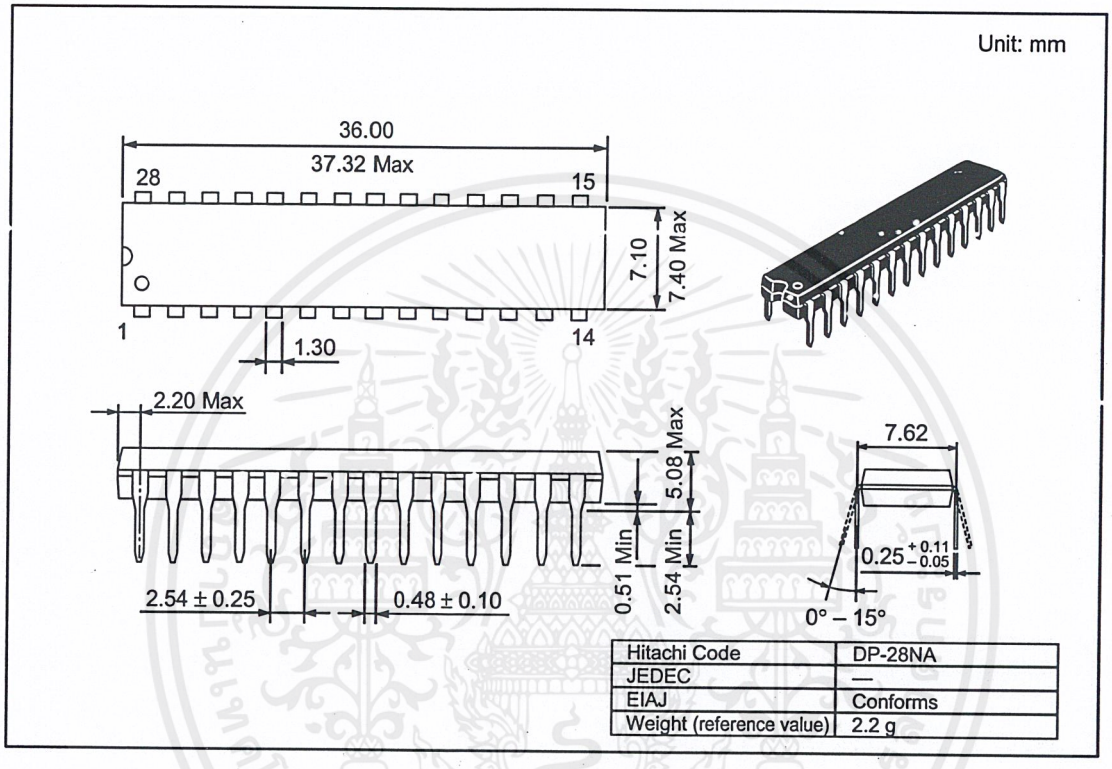
Hitachi Code	DP-28
JEDEC	—
EIAJ	Conforms
Weight (reference value)	4.6 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions (cont.)

HM62256BLSP Series (DP-28NA)

Unit: mm



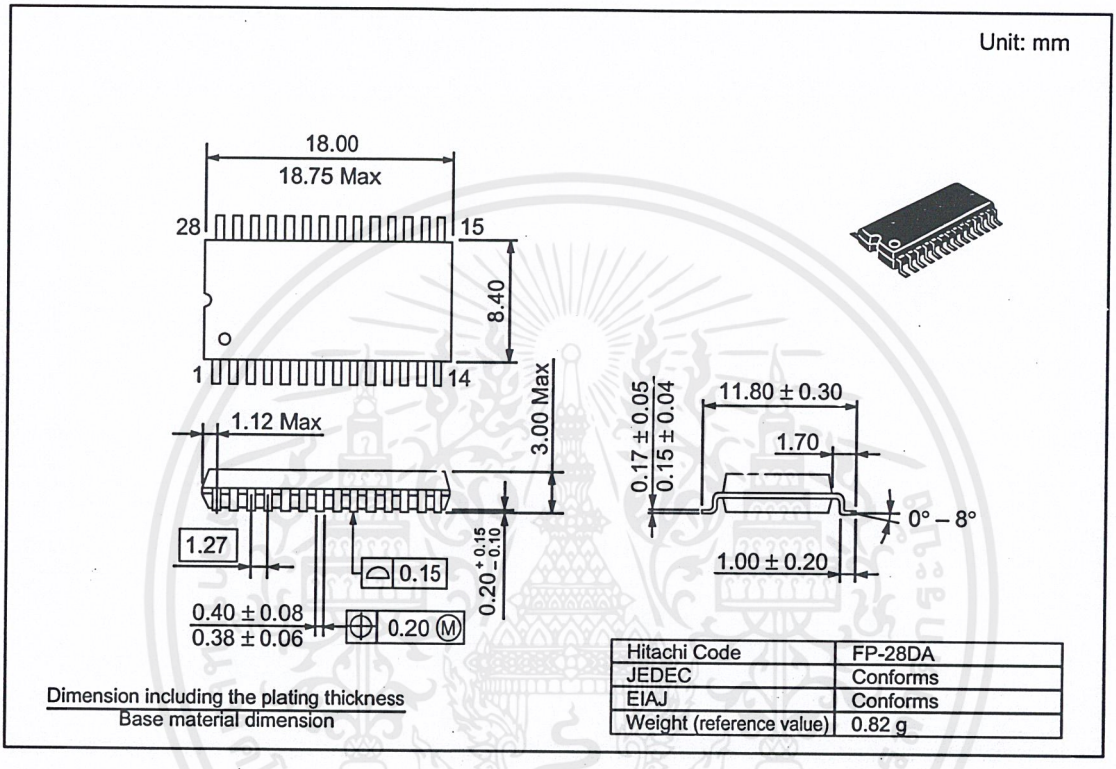
Hitachi Code	DP-28NA
JEDEC	—
EIAJ	Conforms
Weight (reference value)	2.2 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions (cont.)

HM62256BLFP Series (FP-28DA)

Unit: mm



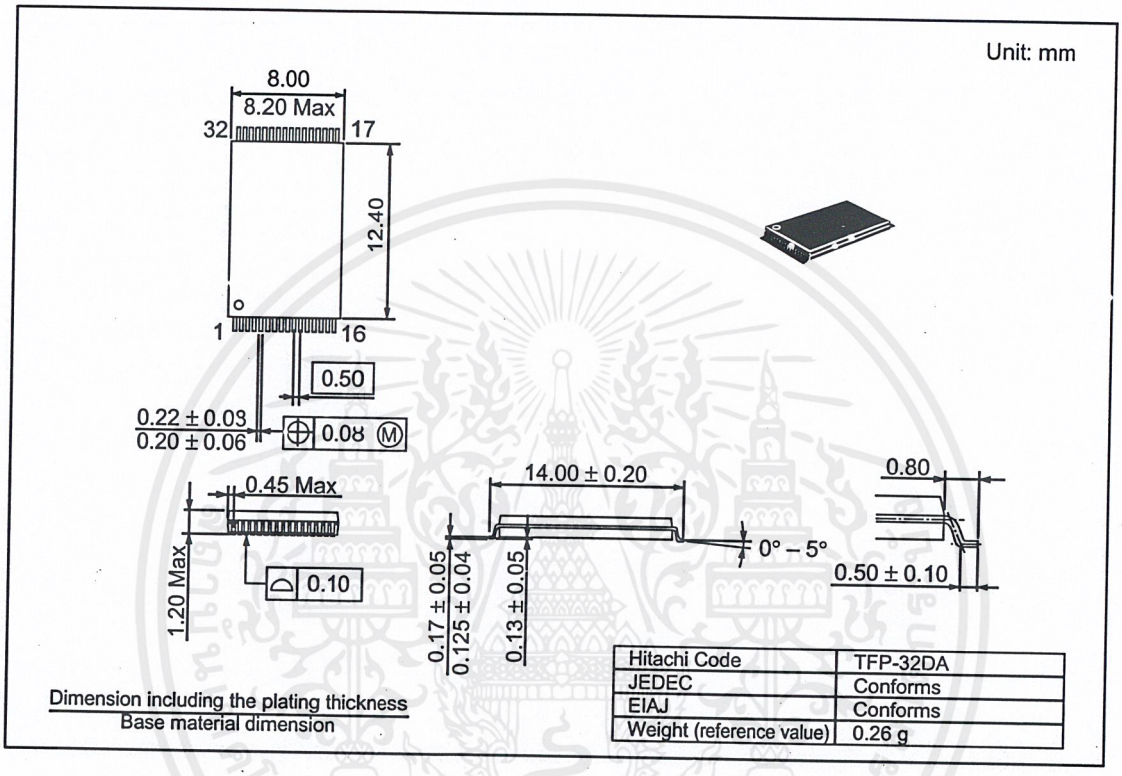
Hitachi Code	FP-28DA
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	0.82 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions (cont.)

HM62256BLT Series (TFP-32DA)

Unit: mm



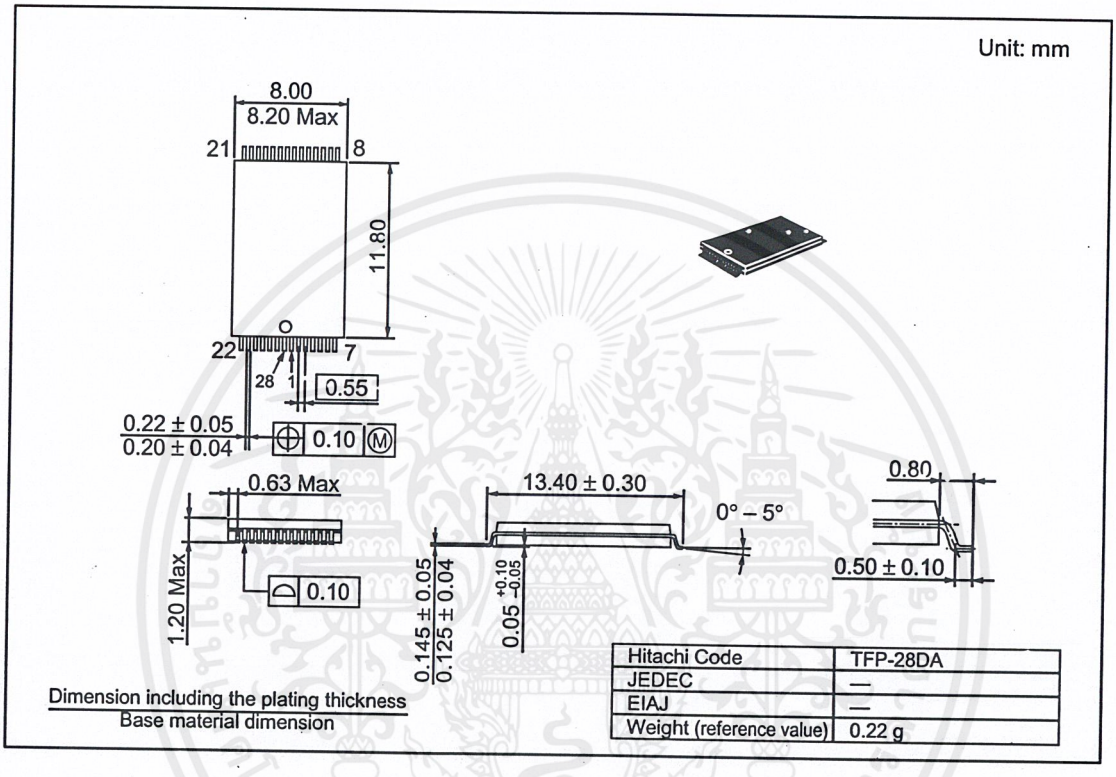
Hitachi Code	TFP-32DA
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	0.26 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Dimensions (cont.)

HM62256BLTM Series (TFP-28DA)

Unit: mm



Hitachi Code	TFP-28DA
JEDEC	—
EIAJ	—
Weight (reference value)	0.22 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When using this document, keep the following in mind:

1. This document may, wholly or partially, be subject to change without notice.
2. All rights are reserved: No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without Hitachi's permission.
3. Hitachi will not be held responsible for any damage to the user that may result from accidents or any other reasons during operation of the user's unit according to this document.
4. Circuitry and other examples described herein are meant merely to indicate the characteristics and performance of Hitachi's semiconductor products. Hitachi assumes no responsibility for any intellectual property claims or other problems that may result from applications based on the examples described herein.
5. No license is granted by implication or otherwise under any patents or other rights of any third party or Hitachi, Ltd.
6. MEDICAL APPLICATIONS: Hitachi's products are not authorized for use in MEDICAL APPLICATIONS without the written consent of the appropriate officer of Hitachi's sales company. Such use includes, but is not limited to, use in life support systems. Buyers of Hitachi's products are requested to notify the relevant Hitachi sales offices when planning to use the products in MEDICAL APPLICATIONS.

HITACHI

Hitachi, Ltd.
Semiconductor & IC Div.
Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100, Japan
Tel: Tokyo (03) 3270-2111
Fax: (03) 3270-5109

For further information write to:

Hitachi America, Ltd.
Semiconductor & IC Div.
2000 Sierra Point Parkway
Brisbane, CA. 94005-1835
U S A
Tel: 415-589-8300
Fax: 415-583-4207

Hitachi Europe GmbH
Continental Europe
Dornacher Straße 3
D-85622 Feldkirchen
München
Tel: 089-9 91 80-0
Fax: 089-9 29 30-00

Hitachi Europe Ltd.
Electronic Components Div.
Northern Europe Headquarters
Whitebrook Park
Lower Cookham Road
Maidenhead
Berkshire SL6 8YA
United Kingdom
Tel: 01628-585000
Fax: 01628-585160

Hitachi Asia Pte. Ltd.
16 Collyer Quay #20-00
Hitachi Tower
Singapore 049318
Tel: 535-2100
Fax: 535-1533

Hitachi Asia (Hong Kong) Ltd.
Unit 706, North Tower,
World Finance Centre,
Harbour City, Canton Road
Tsim Sha Tsui, Kowloon
Hong Kong
Tel: 27359218
Fax: 27306071

Copyright © Hitachi, Ltd., 1997. All rights reserved. Printed in Japan.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Revision Record

Rev.	Date	Contents of Modification	Drawn by	Approved by
0.0	Sep. 10, 1993	Initial Issue	Y. Saito	K. Yoshizaki
1.0	Mar. 23, 1994	DC Characteristics I_{CC1} Typ: —/—/—/— mA to 33/29/26/24 mA	Y. Saito	K. Yoshizaki
2.0	Oct. 31, 1994	Deletion of HM62256BLT-7/10SL/12SL Addition of HM62256BLTM-8/7SL/8SL(TFP-28DA) AC Characteristics Addition of note 12 Low V_{CC} data retention characteristics V_{DR} max: — to 5.5 V Note 2: 20 µA max at Ta = 0 to +40°C to 10 µA max at Ta = 0 to +40°C Deletion of description; (only for L-version)	Y. Saito	K. Yoshizaki
3.0	Jun. 19, 1995	Change of format Deletion of HM62256BLP-8/10/12/8SL/10SL/12SL Deletion of HM62256BLSP-8/10/12/8SL/10SL/12SL Deletion of HM62256BLFP-8T/10T/12T Deletion of HM62256BLFP-8SLT/10SLT/12SLT Deletion of HM62256BLT-10/12/8SL Deletion of HM62256BLTM-8SL Addition of HM62256BLFP-4SLT/5SLT/7ULT Addition of HM62256BLTM-4SLT/5SLT/7ULT Features Fast access time: 70/85/100/120 ns to 45/55/70/85 ns DC Characteristics I_{CC1} typ: 33/29/26/24 mA to —/—/33/29 mA max: 60/50/50/45 mA to 70/60/60/50 mA I_{SB1} typ: 0.3/0.3 µA to 0.2/0.2/0.2 µA max: 100/50 µA to 100/50/10 µA Addition of note 3 AC Characteristics Change order of notes. Test Condition Addition of HM62256B-4: 1TTL Gate + C_L (100pF) (Including scope & jig) t_{RC} min: 70/85/100/120 ns to 45/55/70/85 ns t_{AA} max: 70/85/100/120 ns to 45/55/70/85 ns t_{ACS} max: 70/85/100/120 ns to 45/55/70/85 ns t_{OE} max: 40/45/50/60 ns to 30/35/40/45 ns t_{CLZ} min: 10/10/10/10 ns to 5/5/10/10 ns t_{OHZ} max: 25/30/35/40 ns to 20/20/25/30 ns t_{OH} min: 5/5/10/10 ns 5/5/5/5 ns t_{WC} min: 70/85/100/120 ns to 45/55/70/85 ns t_{CW} min: 60/75/80/85 ns to 35/40/60/75 ns t_{AW} min: 60/75/80/85 ns to 35/40/60/75 ns t_{WP} min: 50/55/60/70 ns to 30/35/50/55 ns t_{WHZ} max: 25/30/35/40 ns to 20/20/25/30 ns	M. Higuchi	K. Yoshizaki

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Revision Record (cont.)

Rev.	Date	Contents of Modification	Drawn by	Approved by
3.0	Jun. 19, 1995	AC Characteristics t_{PW} min: 30/35/40/50 ns to 20/25/30/35 ns t_{OHZ} max: 25/30/35/40 ns to 20/20/25/30 ns Low V_{CC} Data Retention Characteristics Addition of note 4. t_{CCDR} typ: 0.2/0.2 µA to 0.05/0.05/0.05 µA max: 30/10 µA to 30/10/3 µA	M. Higuchi	K. Yoshizaki
4.0	Nov. 29, 1995	Ordering Information (HM62256BLFP-4 Series) Addition of note (Under development) AC Characteristics Test Conditions HM62256-5/7/8:1TTL Gate + C_L (100pF) to HM62256-5:1TTL Gate + C_L (50pF) and HM62256-7/8:1TTL Gate + C_L (100pF)	M. Higuchi	K. Yoshizaki
5.0	Jul. 9, 1997	Change of format Deletion of HM62256B-4 Series	M. Higuchi	K. Imato
6.0	Nov. 13,1997	Operation Table Correct Error DC Operating Conditions Correct Error DC Characteristics Correct Error		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DALLAS SEMICONDUCTOR

DS275
Line-Powered RS-232 Transceiver Chip

www.dalsemi.com

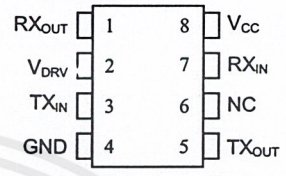
FEATURES

- Low-power serial transmitter/receiver for battery-backed systems
- Transmitter steals power from receive signal line to save power
- Ultra-low static current, even when connected to RS-232-E port
- Variable transmitter level from +5 to +12 volts
- Compatible with RS-232-E signals
- Available in 8-pin, 150 mil wide SOIC package (DS275S)
- Low-power CMOS

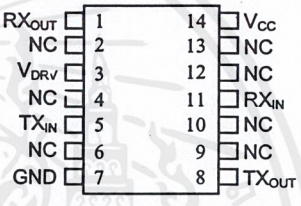
ORDERING INFORMATION

DS275	8-pin DIP
DS275S	8-pin SOIC
DS275E	14-pin TSSOP

PIN ASSIGNMENT



DS275 8-Pin DIP (300-mil)
DS275 8-Pin SOIC (150-mil)



DS275E 14-Pin TSSOP

PIN DESCRIPTION

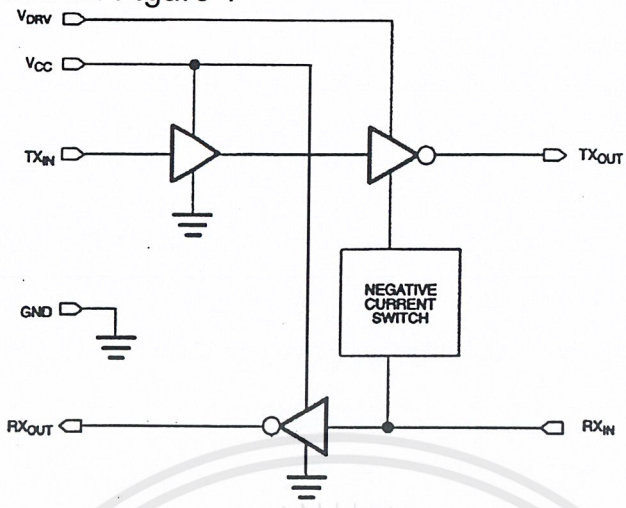
RX_{OUT}	- RS-232 Receiver Output
V_{DRV}	- Transmit driver +V
TX_{IN}	- RS-232 Driver Input
GND	- System Ground (0V)
TX_{OUT}	- RS-232 Driver Output
NC	- No Connection
RX_{IN}	- RS-232 Receive Input
V_{CC}	-System Logic Supply (+5V)

DESCRIPTION

The DS275 Line-Powered RS-232 Transceiver Chip is a CMOS device that provides a low-cost, very low-power interface to RS-232 serial ports. The receiver input translates RS-232 signal levels to common CMOS/TTL levels. The transmitter employs a unique circuit which steals current from the receive RS-232 signal when that signal is in a negative state (marking). Since most serial communication ports remain in a negative state statically, using the receive signal for negative power greatly reduces the DS275's static power consumption. This feature is especially important for battery-powered systems such as laptop computers, remote sensors, and portable medical instruments. During an actual communication session, the DS275's transmitter will use system power (5-12 volts) for positive transitions while still employing the receive signal for negative transitions.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DS275 BLOCK DIAGRAM Figure 1



OPERATION

Designed for the unique requirements of battery-backed systems, the DS275 provides a low-power half-duplex interface to an RS-232 serial port. Typically, a designer must use an RS-232 device which uses system power during both negative and positive transitions of the transmit signal to the RS-232 port. If the connector to the RS-232 port is left connected for an appreciable time after the communication session has ended, power will statically flow into that port, draining the battery capacity. The DS275 eliminates this static current drain by stealing current from the receive line (RX_{IN}) of the RS-232 port when that line is at a negative level (marking). Since most asynchronous communication over an RS-232 connection typically remains in a marking state when data is not being sent, the DS275 will not consume system power in this condition. System power would only be used when positive-going transitions are needed on the transmit RS-232 output (TX_{OUT}) when data is sent. However, since synchronous communication sessions typically exhibit a very low duty-cycle, overall system power consumption remains low.

RECEIVER SECTION

The RX_{IN} pin is the receive input for an RS-232 signal whose levels can range from ±3 to ±15 volts. A negative data signal is called a mark while a positive data signal is called a space. These signals are inverted and then level-shifted to normal +5-volt CMOS/TTL logic levels. The logic output associated with RX_{IN} is RX_{OUT} which swings from $+V_{CC}$ to ground. Therefore, a mark on RX_{IN} produces a logic 1 at RX_{OUT}; a space produces a logic 0.

The input threshold of RX_{IN} is typically around 1.8 volts with 500 millivolts of hysteresis to improve noise rejection. Therefore, an input positive-going signal must exceed 1.8 volts to cause RX_{OUT} to switch states. A negative-going signal must now be lower than 1.3 volts (typically) to cause RX_{OUT} to switch again. An open on RX_{IN} is interpreted as a mark, producing a logic 1 at RX_{OUT}.

TRANSMITTER SECTION

TX_{IN} is the CMOS/TTL-compatible input for digital data from the user system. A logic 1 at TX_{IN} produces a mark (negative data signal) at TX_{OUT} while a logic 0 produces a space (positive data signal). As mentioned earlier, the transmitter section employs a unique driver design that uses the RX_{IN} line for swinging to negative levels. The RX_{IN} line must be in a marking or idle state to take advantage of this design; if RX_{IN} is in a spacing state, TX_{OUT} will only swing to ground. When TX_{OUT} needs to transition to a positive level, it uses the V_{DRV} power pin for this level. V_{DRV} can be a voltage supply between 5 to 12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

volts, and in many situations it can be tied directly to the +5 volt VCC supply. *It is important to note that VDRV must be greater than or equal to VCC at all times.*

The voltage range on VDRV permits the use of a 9-volt battery in order to provide a higher voltage level when TXOUT is in a space state. When VCC is shut off to the DS275 and VDRV is still powered (as might happen in a battery-backed condition), only a small leakage current (about 50-100 nA) will be drawn. If TXOUT is loaded during such a condition, VDRV will draw current only if RXIN is not in a negative state. During normal operation (VCC=5 volts), VDRV will draw less than 2 uA when TXOUT is marking. Of course, when TXOUT is spacing, VDRV will draw substantially more current— about 3 mA, depending upon its voltage and the impedance that TXOUT sees.

The TXOUT output is slew rate-limited to less than 30 volts/us in accordance with RS-232 specifications. In the event TXOUT should be inadvertently shorted to ground, internal current-limiting circuitry prevents damage, even if continuously shorted.

RS-232 COMPATIBILITY

The intent of the DS275 is not so much to meet all the requirements of the RS-232 specification as to offer a low-power solution that will work with most RS-232 ports with a connector length of less than 10 feet. As a prime example, the DS275 will not meet the RS-232 requirement that the signal levels be at least ±5 volts minimum when terminated by a 3 kΩ load and VDRV = +5 volts. Typically a voltage of 4 volts will be present at TXOUT when spacing. However, since most RS-232 receivers will correctly interpret any voltage over 2 volts as a space, there will be no problem transmitting data.

APPLICATIONS INFORMATION

The DS275 is designed as a low-cost, RS-232-E interface expressly tailored for the unique requirements of battery-operated handheld products. As shown in the electrical specifications, the DS275 draws exceptionally low operating and static current. During normal operation when data from the handheld system is sent from the TXOUT output, the DS275 only draws significant VDRV current when TXOUT transitions positively (spacing). This current flows primarily into the RS-232 receiver's 3-7 kΩ load at the other end of the attaching cable. When TXOUT is marking (a negative data signal), the VDRV current falls dramatically since the negative voltage is provided by the transmit signal from the other end of the cable. This represents a large reduction in overall operating current, since typical RS-232 interface chips use charge-pump circuits to establish both positive and negative levels at the transmit driver output.

To obtain the lowest power consumption from the DS275, observe the following guidelines. First, to minimize VDRV current when connected to an RS-232 port, always maintain TXIN at a logic 1 when data is not being transmitted (idle state). This will force TXOUT into the marking state, minimizing VDRV current. Second, VDRV current will drop to less than 100 nA when VCC is grounded. Therefore, if VDRV is tied directly to the system battery, the logic +5 volts can be turned off to achieve the lowest possible power state.

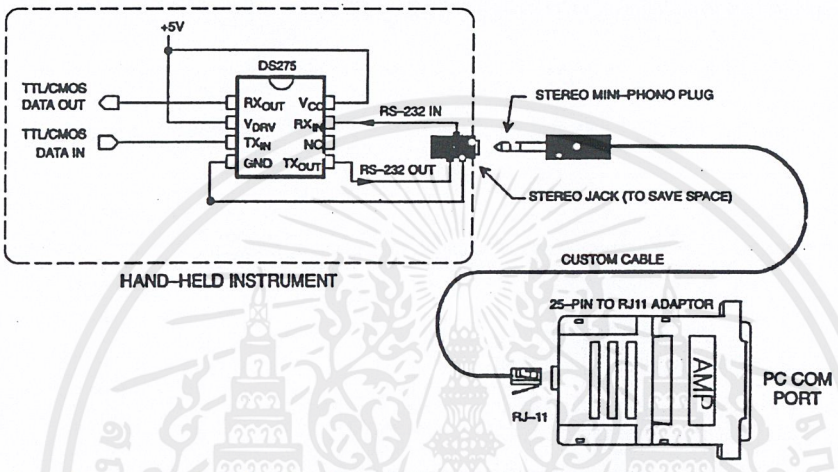
FULL-DUPLEX OPERATION

The DS275 is intended primarily for half-duplex operation; that is, RXIN should remain idle in the marking state when transmitting data out TXOUT and visa versa. However, the part can be operated full-duplex with most RS-232-E serial ports since signals swinging between 0 and +5V will usually be correctly interpreted by an RS-232-E receiver device. The 5-volt swing occurs when TXOUT attempts to swing negative while RXIN is at a positive voltage, which turns on an internal weak pulldown to ground for the TXOUT driver's negative reference. So, transmit mark signals at TXOUT may have voltage jumps from some negative value (corresponding to RXIN marking) to approximately ground. One possible

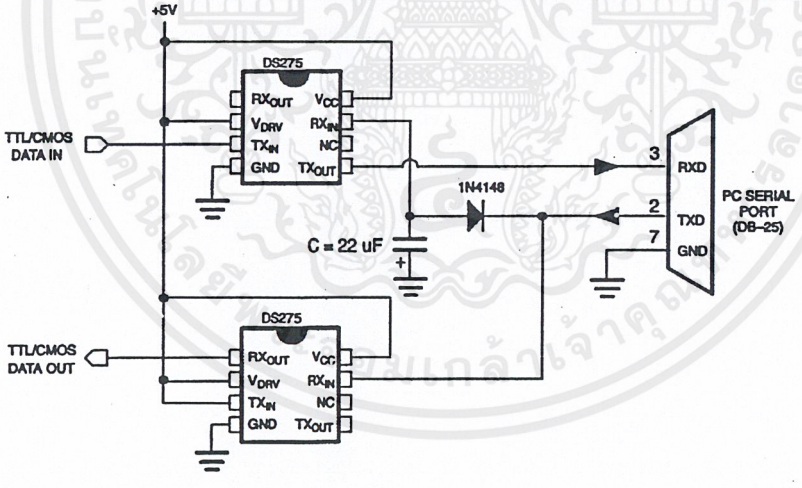
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

problem that may occur in this case is if the receiver at the other end requires a negative voltage for recognizing a mark. In this situation, the full-duplex circuit shown in Figure 3 can be used as analternative. The 22 µF capacitor forms a negative-charge reservoir; consequently, when the TXD line is spacing (positive), TXOUT still has a negative source available for a time period determined by the capacitor and the load resistance at the other end (3-7 kΩ). This circuit was tested from 150-19,200 bps with error-free operation using a SN75154 Quad Line Receiver as the receiver for the TXOUT signal. Note that the SN75154 can have a marking input threshold below ground; hence there is the need for TXOUT to swing both positive and negative in full-duplex operation with this device.

HANDHELD RS-232-C APPLICATION USING A STEREO MINI-JACK Figure 2



FULL-DUPLEX CIRCUIT USING NEGATIVE-CHARGE STORAGE Figure 3



NOTE:

The capacitor stores negative charge whenever the TXD signal from the PC serial port is in a marking data state (a negative voltage that is typically -10 volts). The top DS275's TXOUT uses this negative charge reservoir when it is in a marking state. The capacitor will discharge to 0 volts when the TXD line is spacing (and TXOUT is still marking) at a time constant determined by its value and the value of the load resistance reflected back to TXOUT. However, when TXD is marking the capacitor will quickly charge back to -10 volts. Note that TXD remains in a marking state when idle, which improves the performance of this circuit.

ABSOLUTE MAXIMUM RATINGS*

VCC	-0.3 to +7.0 volts
VDRV	-0.3 to +13.0 volts

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RX_{IN}	±15 volts
TX_{IN}	-0.3 to V_{CC} + 0.3 volts
TX_{OUT}	±15 volts
RX_{OUT}	-0.3 to V_{CC} + 0.3 volts
Storage Temperature	-55°C to +125°C
Operating Temperature	0°C to 70°C

* This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

RECOMMENDED DC OPERATING CONDITIONS

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Logic Supply	V_{CC}	4.5	5.0	5.5	V	1
Transmit Driver Supply	V_{DRV}	4.5	5-12	13.0	V	1
Logic 1 Input	V_{IH}	2.0		V_{CC}+0.3	V	2
Logic 0 Input	V_{IL}	-0.3		+0.8	V	
RS-232 Input Range (RX_{IN})	V_{RS}	-15		+15	V	
Dynamic Supply Current TX_{IN} = V_{CC} TX_{IN} = GND	 I_{DRV1} I_{CC1} I_{DRV1} I_{CC1}		 400 40 3.8 40	 800 100 5.0 100	 µA µA µA µA	 3
Static Supply Current TX_{IN} = V_{CC} TX_{IN} = GND	 I_{DRV2} I_{CC2} I_{DRV2} I_{CC2}		 1.5 10.0 3.8 10.0	 10.0 15.0 5.0 20.0	 µA µA mA µA	 4
Driver Leakage Current (V_{CC}=0V)	I_{DRV3}		0.05	1.0	µA	5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (0°C to 70°C; $V_{CC} = V_{DRV} = 5V \pm 10\%$)

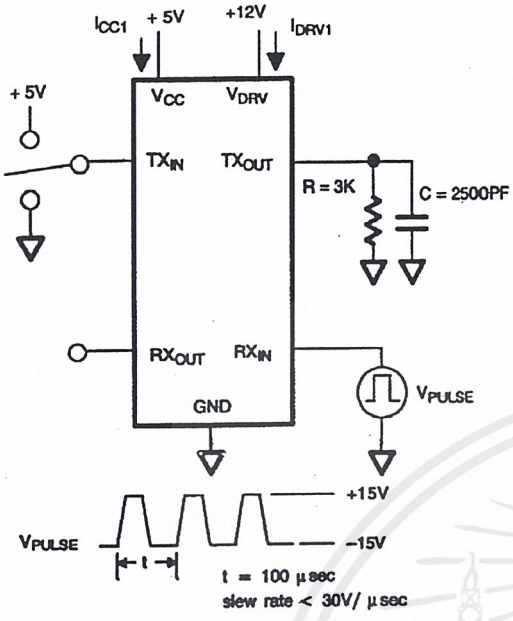
PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
TX_{OUT} Level High	V_{OTXH}	3.5	4.0	5.0	V	6
TX_{OUT} Level Low	V_{OTXL}	-8.5	-9.0		V	7
TX_{OUT} Short Circuit Current	I_{SC}		+60	+85	mA	
TX_{OUT} Output Slew Rate	t_{SR}			30	V/µs	
Propagation Delay	t_{PD}		5		µs	8
RX_{IN} Input Threshold Low	V_{TL}	0.8	1.2	1.6	V	
RX_{IN} Input Threshold High	V_{TH}	1.6	2.0	2.4	V	
RX_{IN} Threshold Hysteresis	V_{HYS}	0.5	0.8		V	9
RX_{OUT} Output Current @ 2.4V	I_{OH}	-1.0			mA	
RX_{OUT} Output Current @ 0.4V	I_{OL}			3.2	mA	

NOTES:

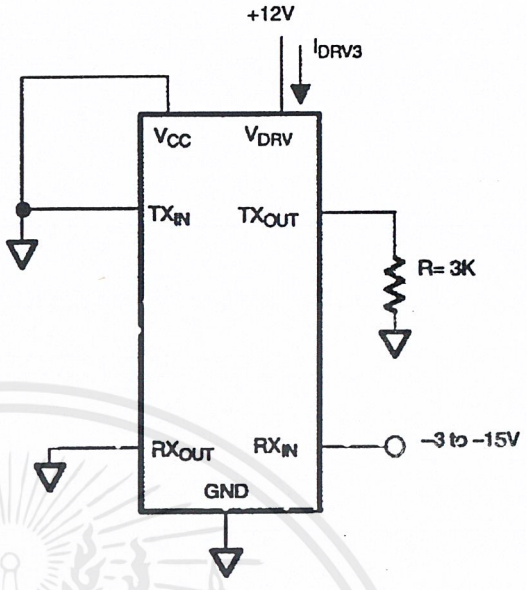
1. V_{DRV} must be greater than or equal to V_{CC}.
2. $V_{CC} = V_{DRV} = 5V \pm 10\%$.
3. See test circuit in Figure 4.
4. See test circuit in Figure 5.
5. See test circuit in Figure 6.
6. $TX_{IN} = V_{IL}$ and TX_{OUT} loaded by 3 kΩ to ground.
7. $TX_{IN} = V_{IH}$, $RX_{IN} = -10$ volts and TX_{OUT} loaded by 3 kΩ to ground.
8. TX_{IN} to TX_{OUT} - see Figure 7.
9. $V_{HYS} = V_{TH} - V_{TL}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

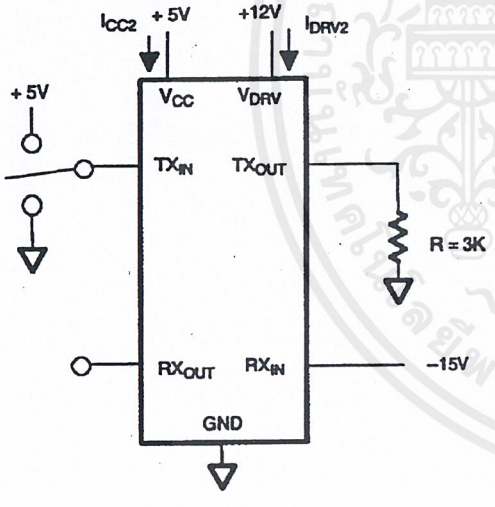
DYNAMIC OPERATING CURRENT TEST CIRCUIT Figure 4



DRIVER LEAKAGE TEST CIRCUIT Figure 6

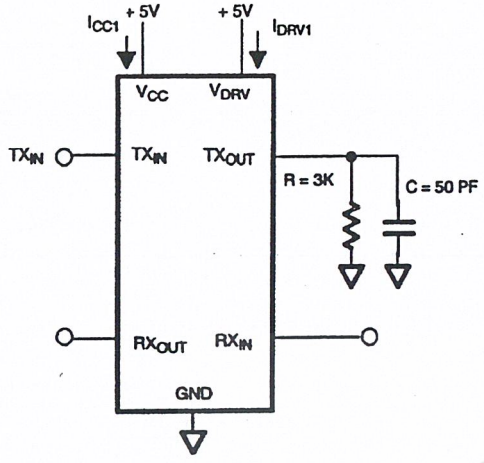


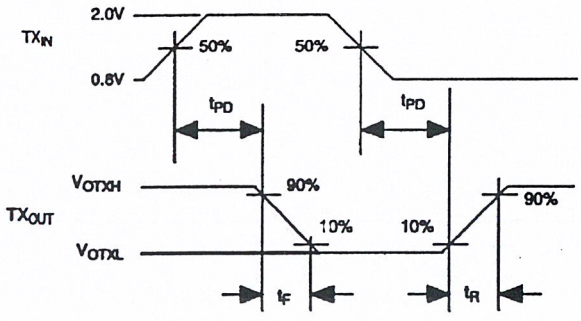
STATIC OPERATING CURRENT TEST CIRCUIT Figure 5



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

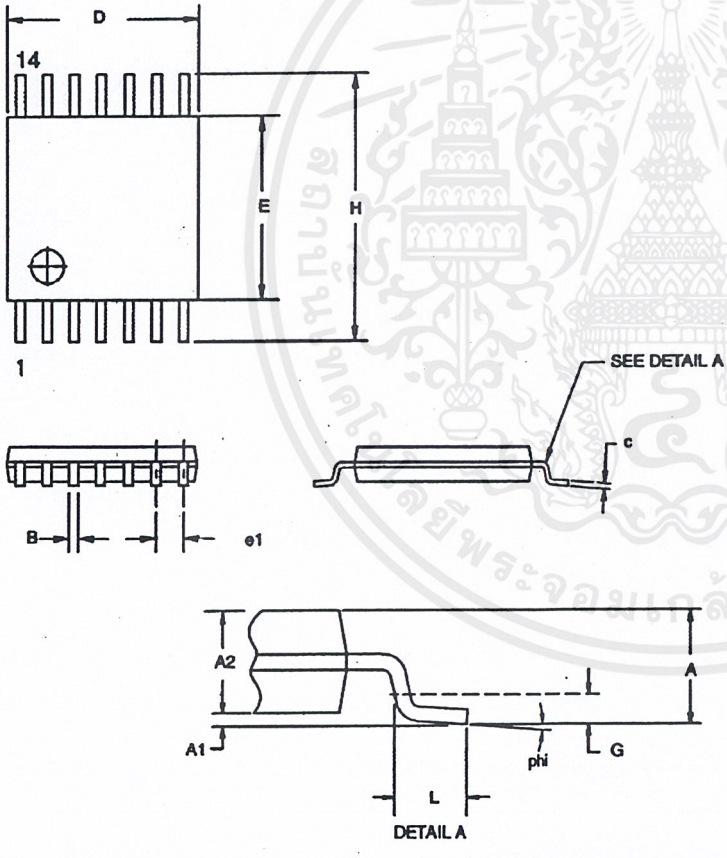
PROPAGATION DELAY TEST CIRCUIT Figure 7





$$t_{SR} = \frac{0.8(V_{OTXH} - V_{OTXL})}{t_F \text{ or } t_R}$$

DS275E 14-PIN TSSOP



DIM	14-PIN	
	MIN	MAX
A MM	-	1.10
A1 MM	0.05	-
A2 MM	0.75	1.05
B MM	0.18	0.30
C MM	0.09	0.18
D MM	4.90	5.10
E MM	4.40 NOM	
e1 MM	0.65 BSC	
G MM	0.25 REF	
H MM	6.25	6.55
L MM	0.50	0.70
phi	0°	8°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

ธีรวัตน์ ประกอบผล, การประยุกต์ใช้งานไมโครคอนโทรลเลอร์, กรุงเทพฯ: บริษัท ประชาชน จำกัด, ครั้งที่ 1, เมษายน 2540

วราพงศ์ เรืองสงคราม, วีรภัทร จันทร์แก้ว, แพ็กเก็ตเรดิโอเน็ตเวิร์คกับการประยุกต์ใช้งานระบบจีพีเอส, ปริญญานิพนธ์, ภาควิชาฟิสิกส์ประยุกต์, คณะวิทยาศาสตร์, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2543

สุเจตน์ จันทรังษ์, ไมโครคอนโทรลเลอร์ซีพเดี่ยว 8051, กรุงเทพฯ: โครงการตำราวิชาการ, วิทยาลัยมหานคร

วิชิต ศิริโชติ, การเขียนโปรแกรมภาษาแอสเซมบลี: http://www.kmitl.ac.th/~kswichit

http://ece-www.colorado.edu/~mcclurel/hm62256b.pdf

http://www.equator.ac.uk/domus/lancs/papers/ds275.pdf

http://www.equinox-tech.com/Downloads/PDF/Datasheets/Philips/Philips_P89C51Rx2.pdf

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้