สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ปริญญานิพนธ์

เครื่องรวมภาพ
VIDEO MULTI CHANNEL MONITOR

นายทรงศักดิ์ จักรวรรดิ์
นายธีรศักดิ์ สว่างงามวงศ์
นายภานุภัทร พวงประทุม

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต
สาขาวิชาเทคโนโลยีอิเลคทรอนิกส์
ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน 36921
วัน, เดือน, ปี 29 ส.ค. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง เครื่องรวมภาพ
VIDEO MULTI CHANNEL MONITOR

ผู้จัดทำ

1. นายทรงศักดิ์ จักรวรรดิ์
2. นายธีรศักดิ์ สว่างงามวงศ์
3. นายภานุภัทร พวงประทุม

อาจารย์ที่ปรึกษา

ลงนาม .....
(ผศ.อุทัย ศรีธีระวิโรจน์)

ลงนาม .....
(อ.จักรี ทีฆภาคย์วิศิษฏ์)

หัวหน้าภาควิชาเทคนิคอุตสาหกรรม

ลงนาม .....
(ผศ.อุทัย ศรีธีระวิโรจน์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรวมภาพ

นายทรงศักดิ์ จักรวรรดิ์ 40013292
นายธีรศักดิ์ สว่างงามวงศ์ 40013295
นายภานุภัทร พวงประทุม 40013301

อาจารย์ที่ปรึกษา
ผศ.อุทัย ศรีธีระวิโรจน์
อ.จักรี ทีฆภาคย์วิศิษฏ์
ปีการศึกษา 2542

บทคัดย่อ

โครงงานฉบับนี้ เสนอการพัฒนาเครื่องรวมภาพโดยนำสัญญาณภาพจากแหล่งต่างๆ มาแสดงผลที่จอมอนิเตอร์พร้อมกัน 4 ช่องสัญญาณ โดยการนำสัญญาณภาพรวมจากแหล่งสัญญาณ 4 แหล่ง เช่น จากเอาต์พุทที่เป็นสัญญาณภาพรวมของวิดีโอเทป หรือกล้อง วิดีโอ เพื่อป้อนเข้าไปในช่อง AV ของเครื่องรับโทรทัศน์ หรือจอมอนิเตอร์ สัญญาณภาพดังกล่าวจะถูกนำมาเปลี่ยนแปลงรูปแบบทางด้านดิจิตอลและจะแสดงผลบนจอมอนิเตอร์โดยมีขนาดเท่ากับ ¼ ของจอมอนิเตอร์

โครงงานที่ได้จัดทำขึ้นนี้สามารถที่จะนำไปประยุกต์ใช้ประโยชน์ต่างๆ ได้หลายด้านและเป็นแนวทางเพื่อที่จะพัฒนาระบบโทรทัศน์วงจรปิดให้มีประสิทธิภาพสูงขึ้นอีก ระบบดังกล่าวสามารถนำไปประยุกต์ใช้งานทางด้านระบบรักษาความปลอดภัยตลอดจนด้านงานบันเทิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VIDEO MULTI CHANNEL MONITOR

MR.SONGSAK CHAKRAWAT
MR.TEERASAK SAWANGNGAMWONG
MR.PHANUPHAT PUANGPRATOOM

ADVISORS

MR.UHTAI SRITEERAVIROJ
MR.JAKKREE TEEKAPAKVISIT

1999

ABSTRACT

This project presents the development of the video multi channel monitor from the various sources to display on the monitor for 4 channels simultaneously by introducing signals from 4 different sources such as the video output of VTR (video tape recorder) or camera into the AV channel of TV or monitor. The video signal is then converted to the digital signal and displayed on the monitor with dimension of ¼ of the monitor.

This project can be applied to many ways and may be the concept for developing the close – circuit television system. This system can be applied to security system or entertainment.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงได้ด้วยดี โดยได้รับความร่วมมือจากผู้ให้ความช่วยเหลือทุกท่าน นอกจากนี้ยังได้รับความกรุณาจากท่าน อาจารย์อุทัย ศรีธีระวิโรจน์ และอาจารย์จักรี ทีฆภาคย์วิศิษฏ์ ที่ได้ให้แนวความคิดและให้คำปรึกษา และได้รับการสนับสนุนโดยท่านอาจารย์และเจ้าหน้าที่จากภาควิชาเทคนิคอุตสาหกรรม ทั้งในด้านงบประมาณสนับสนุนการทำโครงงาน ตลอดจนอำนวยความสะดวกในด้านการเบิกใช้เครื่องมือและวัสดุอุปกรณ์ และรวมไปถึงทุกๆ ท่านที่มีส่วนในการช่วยเหลือให้การจัดทำโครงงานนี้สำเร็จตามเป้าหมาย และที่สำคัญที่สุดคือ ผู้อุปการคุณที่ได้ให้การสนับสนุนด้านการศึกษามาโดยตลอด

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
ปริญญานิพนธ์	I
บทคัดย่อภาษาไทย	II
บทคัดย่อภาษาอังกฤษ	III
กิตติกรรมประกาศ	IV
สารบัญ	V
สารบัญภาพ	VII
บทที่ 1 บทนำ	
1.1 ความเป็นมาของโครงงาน	1
1.2 วัตถุประสงค์ของโครงงาน	1
1.3 ขอบเขตของโครงงาน	2
1.4 ประโยชน์ที่คาดว่าจะได้รับ	3
บทที่ 2 ทฤษฎีและหลักการ	
2.1 โครงสร้างของสัญญาณภาพและระบบการส่ง	4
2.2 ระบบเบื้องต้นของการส่งและรับโทรทัศน์	6
2.3 สะแกนนิ่ง	6
2.4 การหักเหของอิเลคตรอนบีม	9
2.5 รูปร่างของสัญญาณภาพ	12
2.6 สัญญาณแบล้งค์กิ้ง	12
2.7 สัญญาณซิงโครไนซ์ซิ่ง	13
2.8 เครื่องกำเนิดสัญญาณซิ้งค์	13
2.9 จำนวนเส้นและการสะแกน	15
2.10 ค่ามาตรฐานของไลน์ซิ้งค์และไลน์แบล้งค์กิ้ง	15
2.11 ค่ามาตรฐานของฟิลด์ซิ้งค์และฟิลด์แบล้งค์กิ้ง	17
2.12 สัญญาณภาพรวม	18
2.13 ทฤษฎีฟลิปฟลอป	23
2.14 วงจรนับ	28
2.15 การแปลงสัญญาณอนาล็อก – ดิจิตอล	29
2.16 หน่วยความจำ	36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
บทที่ 3 การออกแบบและการสร้าง	
3.1 แนวความคิดในการออกแบบ	39
3.2 แนวความคิดในการออกแบบระบบ	40
3.3 ลักษณะการเก็บข้อมูลภาพดิจิตอล	41
3.4 ลักษณะการรวมภาพและการจัดข้อมูล	41
3.5 ระบบเครื่องรวมสัญญาณภาพ	42
3.6 หลักการสร้างและการทำงานของวงจร	43
3.7 วงจรออสซิลเลเตอร์	45
3.8 วงจรขยายสัญญาณหลักและแยกสัญญาณของ VIDEO MAIN	45
3.9 วงจรแยกสัญญาณซิ้งค์ของ VIDEO SUB	45
3.10 วงจร ANALOG to DIGITAL	46
3.11 วงจรควบคุมการอ่านและเขียนข้อมูล	47
บทที่ 4 การทดลองและผลการทดลอง	
4.1 วัตถุประสงค์	50
4.2 เครื่องมือและอุปกรณ์	50
4.3 การทดลอง	51
บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไขและพัฒนา	
5.1 บทสรุป	59
5.2 ปัญหาและแนวทางการแก้ไข	59
5.2.1 ปัญหา	59
5.2.2 แนวทางแก้ไข	60
5.3 แนวทางในการพัฒนา	60
ภาคผนวก	
บรรณานุกรม	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

รูป	หน้า
รูปที่ 1 ขนาดของคลื่นเสียงเปลี่ยนตามเวลา	4
รูปที่ 2 การส่งโทรทัศน์แบบขนาน	5
รูปที่ 3 ส่วนสำคัญทางด้านส่งและด้านรับ	6
รูปที่ 4 การสะแกนรูปคลื่นแบบฟันเลื่อย	7
รูปที่ 5 โปรเกรสซีพสะแกนนิ่ง	7
รูปที่ 6 การสะแกนแบบอินเตอร์เลซด์สะแกนนิ่ง	8
รูปที่ 7 รูปคลื่นแบบฟันเลื่อยของการสะแกนแบบอินเตอร์เลซด์	8
รูปที่ 8(ก) การหักเหแบบสะแตติค	9
รูปที่ 8(ข) การหักเหแบบแมกเนติค	10
รูปที่ 9 รูปคลื่นฟันเลื่อยแบบอุดมคติ	10
รูปที่ 10 รูปคลื่นฟันเลื่อยในทางปฏิบัติ	11
รูปที่ 11 รูปร่างของสัญญาณภาพ	12
รูปที่ 12 การสะบัดกลับในกล้องโทรทัศน์	12
รูปที่ 13 สัญญาณซิ้งค์มีเฟสไม่ตรงกัน	13
รูปที่ 14 สัญญาณภาพ,แบล้งกิ้งและซิ้งค์ทางแนวนอน	13
รูปที่ 15 บล็อกไดอะแกรมของเครื่องกำเนิดสัญญาณซิงค์	14
รูปที่ 16 ค่ามาตรฐานของซิ้งค์และแบล้งกิ้งทางแนวนอน	15
รูปที่ 17 ฟิลด์ซิงค์และฟิลด์แบล้งกิ้งมาตรฐาน	17
รูปที่ 18 แสดงระดับสัญญาณขาว-ดำ โดยเกรย์สเกล	19
รูปที่ 19 แสดงระดับพัลซ์ในฟิลด์ของการซิงโครไนซ์ของระบบโทรทัศน์	21
รูปที่ 20 แสดง JK FLIP – FLOP	25
รูปที่ 21 Truth Table ของ JK FLIP – FLOP	25
รูปที่ 22 Excitation Table ของ JK FLIP – FLOP	25
รูปที่ 23 แสดง Truth Table และ Next State Equation ของ D FLIP – FLOP	26
รูปที่ 24 แสดงตารางการกระตุ้น ของ D FLIP – FLOP	26
รูปที่ 25 แสดง Truth Table และ Next State Equation ของ T FLIP – FLOP	27
รูปที่ 26 แสดงตารางการกระตุ้น ของ T FLIP – FLOP	27
รูปที่ 27 แสดงวงจรนับพื้นฐานที่ใช้โดยทั่วไป	28
รูปที่ 28 แสดง TIMING DAIGRAM ของวงจรนับ	28
รูปที่ 29 แสดงผังไดอะแกรมระบบดิจิตอลมีอินพุทและเอาท์พุทเป็นอนาล็อก	30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

รูป	หน้า
รูปที่ 30 แสดงผังไดอะแกรมของวงจร ดี / เอ คอนเวอร์เตอร์	31
รูปที่ 31 แสดงวงจร R – 2R แลดเดอร์ ดี / เอ	32
รูปที่ 32 แสดงวงจร Weight Resistance ดี / เอ	33
รูปที่ 33 แสดงวงจรแบบ สโลปคู่ (DUAL SLOP A/D)	34
รูปที่ 34 แสดงวงจร Successive Approximation A / D หรือ A / D แบบประมาณ	35
รูปที่ 35 แสดงสัญลักษณ์หน่วยความจำ (RAM) แบบสามสถานะ	37
รูปที่ 36 แสดงช่วงเวลาในการอ่านข้อมูล	38
รูปที่ 37 แสดงช่วงเวลาในการเขียนข้อมูล	38
รูปที่ 38 แสดงลักษณะของสัญญาณภาพที่ได้	39
รูปที่ 39 บล็อกไดอะแกรมพื้นฐาน	40
รูปที่ 40 แสดงตำแหน่งของจุดภาพ	42
รูปที่ 41 แสดงสัญญาณฮอริซอนตัลซิงค์เทียบกับสัญญาณภาพ	51
รูปที่ 42 แสดงสัญญาณเวอร์ติคอลซิงค์เทียบกับสัญญาณภาพ	51
รูปที่ 43 แสดงสัญญาณ ODD / EVEN เทียบกับสัญญาณภาพ	52
รูปที่ 44 แสดงสัญญาณ WRITE 1 , WRITE 2 เทียบกับสัญญาณภาพ	52
รูปที่ 45 แสดงสัญญาณนับ 128 จุด เทียบกับสัญญาณภาพ	53
รูปที่ 46 แสดงสัญญาณนับ 128 เส้น ที่ใช้ในการเลือกข้อมูลจากหน่วยความจำ	53
รูปที่ 47 แสดงสัญญาณ OUTPUT ENABLE ตัวที่ 1,2 เทียบกับสัญญาณภาพ	54
รูปที่ 48 แสดงสัญญาณ WRITE,READ เทียบกับสัญญาณภาพที่ ADDRESS สูง	54
รูปที่ 49 แสดงสัญญาณ WRITE,READ เทียบกับสัญญาณภาพที่ ADDRESS ต่ำ	55
รูปที่ 50 แสดงสัญญาณที่ออกจาก DAC เทียบกับสัญญาณภาพ	55
รูปที่ 51 แสดงสัญญาณภาพ 2 สัญญาณภาพที่ออกจากภาค DAC	56
รูปที่ 52 แสดงสัญญาณภาพที่ปรากฏบนจอมอนิเตอร์	57
รูปที่ 53 แสดงวงจร เครื่องรวมภาพ	57
รูปที่ 54 แสดงชิ้นงานเครื่องรวมภาพ	58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาของโครงการ

ปัจจุบันนี้วงการอิเลคทรอนิกส์ได้มีการพัฒนาไปอย่างมากควบคู่ไปกับการพัฒนาเทคโนโลยีในด้านต่างๆ โดยพัฒนาสิ่งที่มีอยู่แล้วให้มีประสิทธิภาพมากขึ้นไปกว่าเดิม เนื่องจากการที่วงการอิเลคทรอนิกส์มีการพัฒนาดังกล่าว จึงได้มีการนำอุปกรณ์ทางด้านอิเลคทรอนิกส์ที่ได้จากการพัฒนาไปประยุกต์ในด้านต่างๆ อย่างกว้างขวาง เนื่องจากมีความสะดวกในการใช้งานเพราะตัวอุปกรณ์อิเลคทรอนิกส์นั้นได้ถูกพัฒนาให้มีขนาดเล็กลง แต่มีประสิทธิภาพสูงขึ้นกว่าเดิมมาก ซึ่งส่งผลให้ชิ้นงานมีขนาดเล็กลง และประหยัดค่าใช้จ่ายในการลงทุนผลิตชิ้นงานที่ต้องการ ดังนั้นอุปกรณ์อิเลคทรอนิกส์จึงมีความสำคัญในการพัฒนาระบบงานในเกือบทุกๆด้าน โดยเฉพาะทางด้านการสื่อสารข้อมูลต่างๆ ที่ต้องการความสะดวก รวดเร็ว และมีประสิทธิภาพสูงสุด อาทิเช่น ในระบบโทรทัศน์วงจรปิด ซึ่งในอดีตจะเป็นเพียงการนำสัญญาณจากกล้องวีดีโอมาแสดงผลที่จอมอนิเตอร์ได้ทีละ 1 ช่องสัญญาณภาพต่อ 1 จอมอนิเตอร์ โดยสัญญาณภาพที่แสดงนั้นจะมีลักษณะเป็นแบบสลับการแสดงผล แต่ในปัจจุบันได้มีความต้องการใช้งานเกี่ยวกับระบบโทรทัศน์วงจรปิดมากขึ้น และได้มีการแข่งขันทางด้านการพัฒนาระบบการแสดงผลของสัญญาณภาพในรูปแบบต่างๆ อย่างหลากหลาย ดังนั้นทางผู้จัดทำจึงได้มีความสนใจในด้านการพัฒนาระบบการแสดงผลของสัญญาณภาพให้มีการแสดงผลได้หลายๆ ช่องสัญญาณต่อหนึ่งจอมอนิเตอร์

โครงงานที่ได้จัดทำขึ้นมานี้จึงมีลักษณะของการพัฒนาระบบแสดงผลเพื่อให้สามารถแสดงผลที่จอมอนิเตอร์ได้ 4 ช่องสัญญาณภาพต่อ 1 จอมอนิเตอร์ โดยสามารถแสดงผลได้พร้อมกันทั้ง 4 สัญญาณภาพ ซึ่งการนำสัญญาณภาพจาก 4 แหล่งสัญญาณมาแสดงผลที่จอมอนิเตอร์เพียงจอเดียวจำเป็นจะต้องมีวงจรเพื่อจัดการกับสัญญาณภาพจากทั้ง 4 แหล่งสัญญาณอย่างเหมาะสม โดยจะนำสัญญาณภาพซึ่งเป็นสัญญาณอนาล็อกจาก 4 แหล่งสัญญาณมาทำการเปลี่ยนให้เป็นสัญญาณดิจิตอลแล้วเก็บบันทึกไว้ในหน่วยความจำก่อนที่จะเปลี่ยนกลับมาเป็นสัญญาณอนาล็อกอีกครั้ง จะต้องมีการควบคุมสัญญาณภาพทั้ง 4 ช่องสัญญาณให้มีขนาดที่เหมาะสม หลังจากนั้นจึงจะทำการแสดงผลไปยังจอมอนิเตอร์ โดยมีการจัดเรียงสัญญาณอย่างเป็นระเบียบ

1.2 วัตถุประสงค์ของโครงงาน

1. เพื่อออกแบบและสร้างเครื่องรวมสัญญาณภาพ
2. เพื่อศึกษารูปแบบของสัญญาณโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. เพื่อศึกษาการเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล และการเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก
4. เพื่อศึกษาหลักการทำงานของหน่วยความจำในการเก็บและอ่านข้อมูล
5. เป็นแนวทางในการนำสัญญาณภาพไปประยุกต์ใช้งาน

1.3 ขอบเขตของโครงงาน

โครงงานนี้จะเป็นการออกแบบและสร้างเครื่องรวมภาพ โดยการนำสัญญาณภาพจาก 4 แหล่งมาแสดงผลออกทางจอมอนิเตอร์เพียงจอเดียว ซึ่งมีขนาดเป็น 2 x 2 มีความละเอียดของจอแสดงผล 256 X 512 จุด โดยแต่ละจุดภาพมีความแตกต่างกัน 64 ระดับ และสัญญาณภาพเป็นสัญญาณขาวดำระบบ PAL และต้องเป็นสัญญาณคอมโพซิท วิดีโอ (Composite Video)

ในปริญญานิพนธ์ ได้มีการรวบรวมรายละเอียดทั้ง ทฤษฎี , หลักการทำงาน , การออกแบบและการสร้างวงจรที่ใช้งาน และการจัดทำคู่มือการใช้งาน ซึ่งมีเนื้อหาพอสังเขปในแต่ละบทดังนี้

บทที่ 1 บทนำกล่าวถึงความเป็นมาและความสำคัญของปริญญานิพนธ์ , วัตถุประสงค์ของโครงงานและเนื้อหาโดยสังเขปของโครงงาน

บทที่ 2 ทฤษฎีและหลักการพื้นฐานของระบบโทรทัศน์ , ทฤษฎีและหลักการพื้นฐานของ ฟลิบฟลอบ , หลักการของวงจรนับ , ทฤษฎีและหลักการของการเปลี่ยนสัญญาณระหว่างสัญญาณอนาล็อกกับสัญญาณดิจิตอล , หลักการพื้นฐานของหน่วยความจำ

บทที่ 3 การออกแบบและสร้างวงจรดังนี้ วงจรกำเนิดความถี่ , วงจรสร้างสัญญาณซิงค์และสัญญาณฟิลด์คี่และสัญญาณฟิลด์คู่ของสัญญาณภาพ , วงจรเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล , วงจรเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก , วงจรเก็บข้อมูลลงหน่วยความจำ และวงจรเลือกสัญญาณแสดงผล

บทที่ 4 การทดลองและผลการทดลอง

บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไขและพัฒนา

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 ประโยชน์ที่คาดว่าจะได้รับ

1. เพื่อศึกษาการทำงานของระบบเครื่องรวมภาพ
2. สามารถออกแบบและสร้างวงจรการทำงานของระบบเครื่องรวมภาพได้
3. สามารถนำเครื่องรวมภาพไปประยุกต์ใช้งานด้านต่างๆได้
4. สามารถทำการพัฒนาระบบโทรทัศน์วงจรปิดให้มีการแสดงผลเป็นแบบหลายๆ ช่องสัญญาณ โดยมีคุณภาพสูงสุด

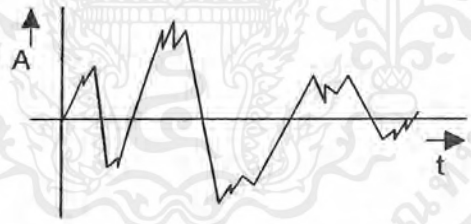
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 โครงสร้างของสัญญาณภาพและระบบการส่ง

พิคเจอร์อีเลเมนท์ (picture element) ภาพที่เรามองเห็นที่จะถูกส่งด้วยระบบโทรทัศน์ จะประกอบไปด้วยจุดเล็กๆ จำนวนมากมายซึ่งเราเรียกว่า พิคเจอร์อีเลเมนท์ ในระบบโทรทัศน์และระบบการถ่ายรูป พิคเจอร์อีเลเมนท์เหล่านี้ เป็นพื้นที่สี่เหลี่ยมจัตุรัสเล็กๆ ซึ่งทำให้เกิดขึ้นโดยเส้นแนวนอนและแนวตั้ง จะแบ่งภาพออกเป็นส่วนๆ แต่ละส่วนจะมีขนาดเท่ากัน แต่มีความสว่างไม่เท่ากัน ภาพโทรทัศน์ที่เรามองเห็นจะประกอบไปด้วย พิคเจอร์อีเลเมนท์จำนวนมากมาย คล้ายๆ กับรูปถ่ายของหนังสือพิมพ์ซึ่งประกอบด้วยจุดเล็กๆ มากมายภาพของหนังสือพิมพ์ต่างจากภาพโทรทัศน์ตรงที่เป็นจุดดำบนกระดาษขาว แต่ละจุดจะเป็นสีดำเท่ากันตลอดแต่ขนาดแต่ละจุดไม่เท่ากัน

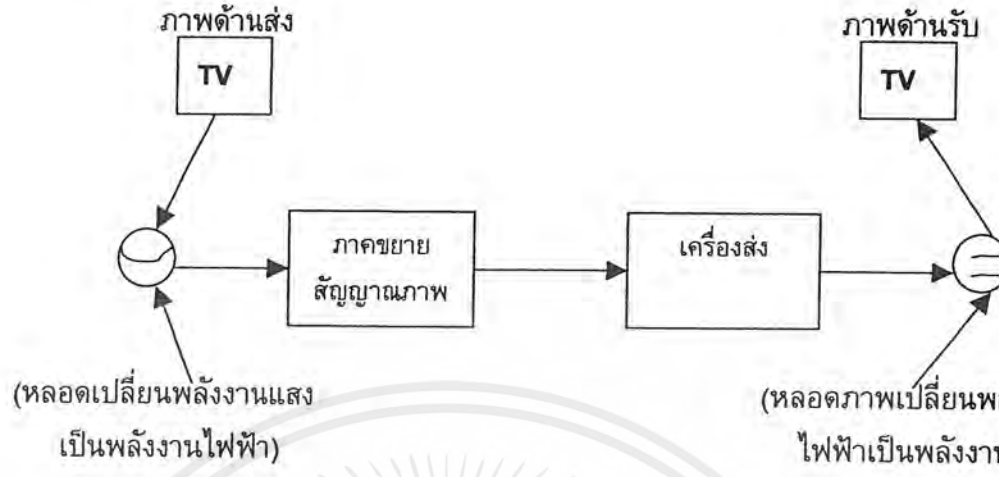
ระบบการส่ง โดยทั่วไปแล้วคลื่นเสียงสามารถแทนด้วยลูกคลื่นดังแสดงในรูปที่ 1 จะเห็นว่าทางด้านแนวนอนแทนด้วยเวลาและทางด้านแนวตั้งแทนด้วยขนาดของคลื่นเสียง



รูปที่ 1 ขนาดของคลื่นเสียงเปลี่ยนแปลงตามเวลา

เนื่องจากแรงดันของเสียง จะเปลี่ยนแปลงตามเวลาเท่านั้น จึงสามารถเปลี่ยนเป็นสัญญาณทางไฟฟ้าได้โดยตรง และสามารถนำไปผสมกับคลื่นพาห์ของคลื่นแม่เหล็กไฟฟ้าส่งออกไปในอากาศได้ง่าย แต่ในระบบโทรทัศน์พิคเจอร์อีเลเมนท์ ซึ่งประกอบเป็นภาพโทรทัศน์จะกระจายอยู่ทั่วไป พิคเจอร์อีเลเมนท์เหล่านี้ไม่สามารถจะนำพาด้วยคลื่นแม่เหล็กไฟฟ้าเพียงคลื่นเดียวในเวลาเดียวกันได้ เพราะว่า พิคเจอร์อีเลเมนท์แต่ละตัวจะเปลี่ยนความสว่างจากจุดหนึ่งไปอีกจุดหนึ่งอย่างรวดเร็วมาก ดังนั้นสัญญาณภาพจึงต้องส่งไปโดยระบบที่เรียกว่าการสะแกน (scanning) ดังแสดงในรูปที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 การส่งโทรทัศน์แบบขนาน

ภาพจะถูกแบ่งออกเป็นเส้นขนานหลายๆ เส้น ความสว่างของพิคเจอร์อีเลเมนท์แต่ละจุดจะถูกเปลี่ยนเป็นสัญญาณไฟฟ้าในลักษณะเช่นเดียวกับการพิมพ์หนังสือด้วยพิมพ์ดีดจากซ้ายไปขวาและจากบนลงล่างนั่นเอง สัญญาณเหล่านี้จะถูกนำพาด้วยระบบการส่งออกอากาศที่ด้านรับก็จะมีอุปกรณ์สำหรับเปลี่ยนจากระบบไฟฟ้าไปเป็นภาพ โดยการเปลี่ยนความสว่างไปตามด้านส่งด้วยความเร็วสูง ภาพก็จะปรากฏขึ้นได้ นี่ก็คือหน้าที่ของการสะแกน การที่ภาพถูกแบ่งออกเป็นจุดเล็กๆ เป็นระเบียบทางด้านส่ง และจะถูกสร้างขึ้นใหม่ที่ด้านรับ ก็เป็นหน้าที่ของ ซิงโครไนเซชั่น (synchronization) แต่ก็มีปัญหายุ่งยากอีกอันหนึ่ง คือ เราจำเป็นต้องส่งจำนวนภาพต่อวินาทีให้มาก คือประมาณ 16 ภาพ/วินาที ขึ้นไปจึงจะทำให้มองเห็นวัตถุเคลื่อนที่ได้ ปัจจุบันนี้การส่งโทรทัศน์มีจำนวนภาพ/วินาที พอๆ กับการฉายภาพยนต์ (24 ภาพ/วินาที) ในระบบ 525 เส้นส่ง 30 ภาพ/วินาที แต่ระบบ 625 เส้นจะส่งเพียง 25 ภาพ/วินาที เท่านั้น

วิทยุและโทรทัศน์ ทั้งสองอย่างนี้มีลักษณะคล้ายกันมากเป็นระบบการส่งแบบอาศัยแม่เหล็กไฟฟ้าเป็นตัวพาไป แต่ก็มีส่วนแตกต่างอยู่สองประการคือ

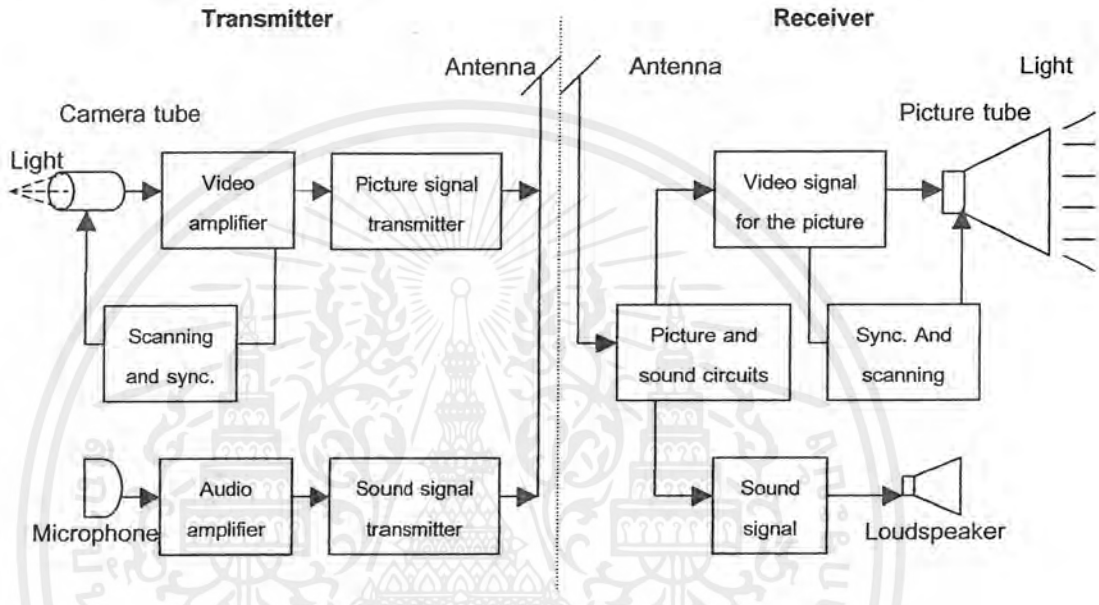
ประการที่ 1 โทรทัศน์สามารถมองเห็นภาพและรับฟังเสียงได้ส่วนวิทยุฟังเสียงได้อย่างเดียว

ประการที่ 2 โทรทัศน์ใช้แบนด์วิดท์กว้างมาก คือประมาณ 5 เมกกะเฮิทซ์ แต่วิทยุใช้เพียง 15 กิโลเฮิทซ์ เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ระบบเบื้องต้นของการส่งและรับโทรทัศน์

โทรทัศน์ในปัจจุบันนี้ ใช้ระบบซึ่งทำงานด้วยระบบอิเลคทรอนิคส์ล้วนๆ หลอดถ่ายภาพ เช่น Image Orthicon , Flumbicon , Vidicon ได้นำมาใช้ทำกล้องถ่ายภาพโทรทัศน์ ส่วนด้านรับ ใช้หลอดภาพ (cathode ray tube) หลอดเหล่านี้ทำงานด้วยการสะแกนของลำอิเลคตรอน ดังแสดงให้เห็นการทำงานด้วนบล็อกไดอะแกรม ในรูปที่ 3



รูปที่ 3 ส่วนสำคัญทางด้านส่ง และด้านรับ

2.3 สะแกนนิ่ง

หน้าที่ของการสะแกนก็เพื่อที่จะเลือกพิคเจอร์อีเลเมนท์ ของภาพที่ซัดเจนบนฉากเรียงตามลำดับเพื่อทำการส่ง และสร้างขึ้นใหม่ทางด้านรับ ให้ตรงกับทางด้านส่ง การสะแกน หมายถึง จำนวนเส้นของการสะแกนต่อหนึ่งภาพ และจำนวนภาพที่ส่งออกไปต่อวินาที ถ้าเราส่งจำนวนต่อวินาทีมากมายเท่าไร การกระพริบของภาพก็จะลดลงเท่านั้น ยิ่งเพิ่มจำนวนเส้นในการสะแกนก็ยิ่งจะได้ภาพที่ละเอียดซัดเจนยิ่งขึ้น

ให้จำนวนของพิคเจอร์อีเลเมนท์ = N

ให้จำนวนเส้นในการสะแกน = n

ความสูงของภาพ = h

ความกว้างของภาพ = b

หาความสัมพันธ์ได้ว่า $N = (b/h)n^2$

(b/h) คือ อัสเปคท์เรโช (aspect ration) ซึ่งมีค่าเท่ากับ 4/3 จะเห็นว่าความซัดเจนของภาพจะขึ้นอยู่กับ จำนวนพิคเจอร์อีเลเมนท์ N ให้ความถี่ของการสะแกนในแนวตั้ง F_v เท่ากับ จำนวนภาพ/วินาที ฉนั้นความถี่ในการสะแกนแนวนอน F_h เท่ากับจำนวนภาพ/วินาที

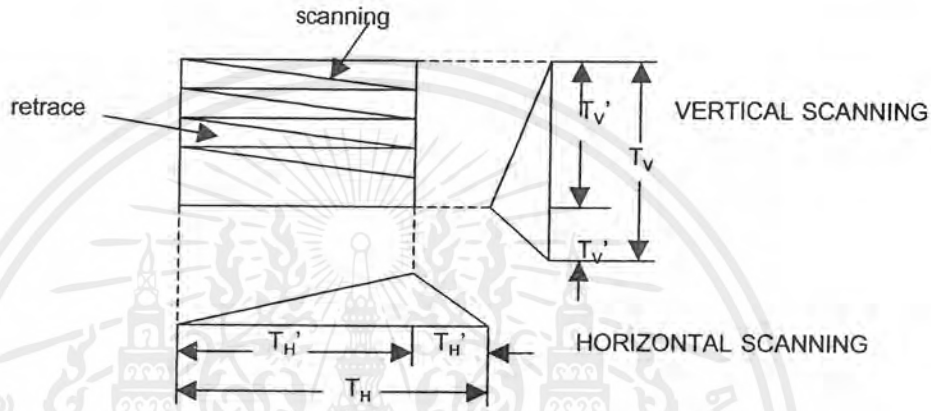
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คูณด้วยจำนวนเส้นสะแกนโทรทัศน์ระบบ 625 เส้น จะมีจำนวนเส้นในการสะแกน เท่ากับ 625 เส้นต่อหนึ่งภาพ และจะมีจำนวนภาพ/วินาที เท่ากับ 25 ฉนั้นเราสามารถหาความถี่ในการสะแกนในแนวนอนจะได้

F_h = 25 * 625 = 15,625 Hz

และ n = F_h / F_v = 15625/25 = 625 เส้น

การสะแกนอาศัยรูปคลื่นแบบฟันเลื่อยดังแสดงในรูปที่ 4

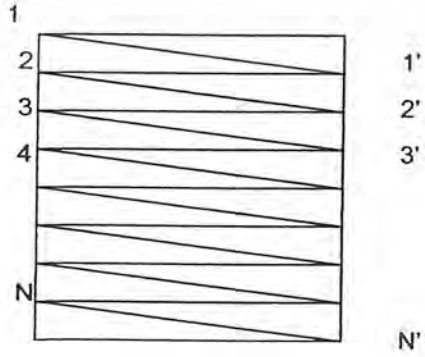


รูปที่ 4 การสะแกนรูปคลื่นแบบฟันเลื่อย

จากรูปที่ 4 จะเห็นว่า การสะแกนจะกระทำไปพร้อมๆ กัน ทางแนวนอน และแนวตั้ง โดยที่ความถี่ในการสะแกนต่างกัน แต่ขดลวดทางแนวนอน และแนวตั้งที่จะทำให้เกิดการสะแกนจะวางอยู่ในตำแหน่งตั้งฉากซึ่งกันและกัน โดยทั่วไปแล้ววิธีการสะแกนมีอยู่ 2 วิธี คือ

1. โปรเกรสซีพสะแกนนิ่ง (progressive scanning)
2. อินเตอร์เลซด์สะแกนนิ่ง (interlaced scanning)

โปรเกรสซีพสะแกนนิ่ง มีวิธีการสะแกนดังแสดงให้เห็นในรูปที่ 5

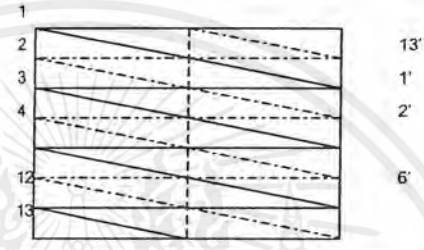


รูปที่ 5 โปรเกรสซีพสะแกนนิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

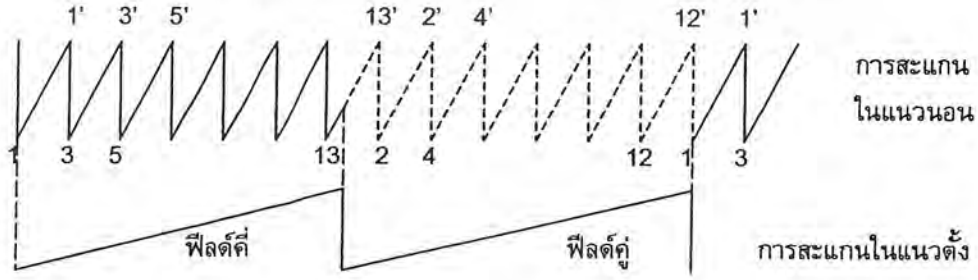
จากรูปจะเห็นว่าภาพจะถูกสะแกนจากซ้ายไปขวาและจากบนลงล่าง คือ จาก 1-1' , 2-2' , 3-3' ....N-N' แล้วก็มาเริ่มสะแกน 1-1' ใหม่ การสะแกนแบบนี้เป็นหลักการเบื้องต้นของการสะแกนในระบบโทรทัศน์

อินเตอร์เลซด์สะแกนนิ่ง เป็นการสะแกนที่ดีกว่าแบบโปรเกรสซีพมากเพราะสามารถเพิ่มจำนวนภาพต่อวินาทีได้ โดยใช้แบนด์วิดท์เท่าเดิม หลักการสะแกนดังแสดงให้เห็นได้ในรูปที่ 6 การสะแกนแบบนี้จะเริ่มสะแกนเส้นคี่ก่อนคือ เริ่ม 1-1' , 3-3' , 5-5'.....13-13' แล้วก็มาเริ่มสะแกนเส้นคู่ 2-2' , 4-4' , 6-6' .....12-12'



รูปที่ 6 การสะแกนแบบอินเตอร์เลซด์สะแกนนิ่ง

การสะแกนเส้นคี่แล้วมาสะแกนเส้นคู่แล้วกลับมาสะแกนเส้นคี่อีกเรื่อยๆ ไป การสะแกนก็มีหลักการเช่นเดียวกับการสะแกนแบบโปรเกรสซีพสะแกนนิ่งนั่นเอง แต่เราสะแกนสองครั้งนำมาซ้อนเป็นภาพๆ เดียว ในระบบอินเตอร์เลซด์สะแกนนิ่ง จำนวนเส้นสะแกนต้องเป็นเลขคี่เสมอ เพราะว่า การสะแกนแบบอินเตอร์เลซด์ กระทำได้จากการสะแกนแนวนอน และแนวตั้งโดยอัตโนมัติ การสะแกนแนวตั้งที่เป็นเลขคี่จะสิ้นสุดลงตรงกึ่งกลางของเส้นสะแกนแนวนอน ส่วนมากการสะแกนแนวตั้งที่เป็นเลขคู่จะสิ้นสุดลงที่เส้นสุดท้ายของเส้นสะแกนแนวนอน ดังรูปที่ 7 จะเห็นความสัมพันธ์ระหว่างการสะแกนแนวนอนและแนวตั้งที่กระทำไปพร้อมกัน ในรูปนี้สมมติว่า เวลาในช่วงสะบัดกลับเป็นศูนย์แต่ความจริงในช่วงที่สะบัดกลับของการสะแกนจะเสียเวลาบ้างเล็กน้อย



รูปที่ 7 รูปคลื่นแบบฟันเลื่อยของการสะแกนแบบอินเตอร์เลซด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าจำนวนเส้นในการสะแกนเป็นเลขคู่แล้วในทางปฏิบัติจะทำไม่ได้ เพราะว่ารูปร่างของรูปคลื่นแบบฟันเลื่อยทางแนวตั้งและแนวนอนจะต้องต่างกัน และแยกกันทำงาน การสะแกนเสร็จสิ้นครั้งหนึ่งเราเรียกว่า ฟิลด์สะแกนนิ่ง (F_1) การสะแกนครบหนึ่งภาพ เรียกว่า เฟรมสะแกนนิ่ง (F_f) ฉนั้นจะได้

$$F_f = 0.5F_1 \qquad \text{(ความถี่)}$$

ในหนึ่งเฟรมจะประกอบด้วย 2 ฟิลด์ คือ ฟิลด์คู่และฟิลด์คี่ เฟรมจะมีความถี่เป็นครึ่งหนึ่งของฟิลด์เสมอ เมื่อเปรียบเทียบข้อดีและข้อเสียของระบบอินเตอร์เลซด์ กับ โปรเกรสซีพพอสรุปได้ดังนี้

ข้อดี กรณีจำนวนเส้นสะแกนและจำนวนภาพต่อวินาทีเท่ากับ ระบบอินเตอร์เลซด์ จะทำให้การกระพริบน้อยกว่า

ข้อเสีย การที่จะทำให้เกิดอินเตอร์เลซด์ยากมักจะเกิด ไลน์ แพริ่ง (line pairing) ซึ่งทำให้ความชัดเจนลดลงไป และการสร้างซิ้งค์ลำบากยุ่งยากมากกว่า

คำว่า ไลน์ แพริ่ง หมายถึง เส้นมักจะทับกันทำให้เส้นในการสะแกนลดลงฉนั้นรายละเอียด และความชัดเจนจึงลดลงด้วย

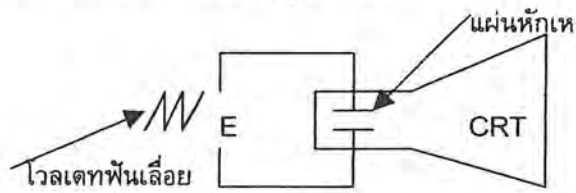
2.4 การหักเหของอิเลคตรอนบีม (electron beam deflection)

ระบบของการหักเห

เส้นสะแกนที่เห็นบนจอเครื่องรับโทรทัศน์ ซึ่งเรียกว่า รัสเตอร์ (raster) ทำได้โดยทำให้ลำของอิเลคตรอนเคลื่อนที่จากซ้ายไปขวา และจากบนลงล่าง การที่จะทำให้อิเลคตรอนหักเหกระทำได้ 2 วิธี คือ

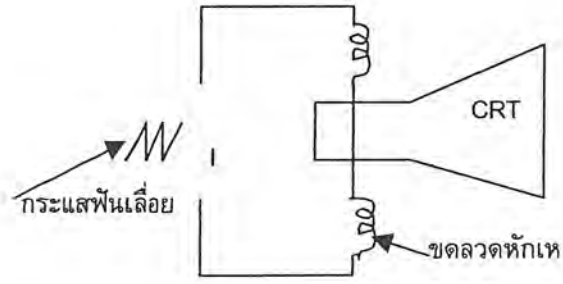
วิธีที่หนึ่ง เรียกว่า สะแตติค ดีเฟลคชั่น (static deflection) ดังแสดงในรูปที่ 8 (ก) วิธีนี้ใช้โวลเตจแบบฟันเลื่อยป้อนเข้าไปยังแผ่นหักเห(deflection plate)ซึ่งต่ออยู่ในหลอดจอภาพ

วิธีที่สอง มีชื่อว่า แมกเนติคดีเฟลคชั่น (magnetic deflection) วิธีนี้ต้องป้อนกระแสรูปฟันเลื่อยเข้าที่ขดลวดหักเห (deflection coil) เพื่อทำให้เกิดสนามแม่เหล็กผลักลำอิเลคตรอนให้เคลื่อนที่ ดังแสดงให้เห็นในรูปที่ 8(ข)



รูปที่ 8(ก) การหักเหแบบสะแตติค

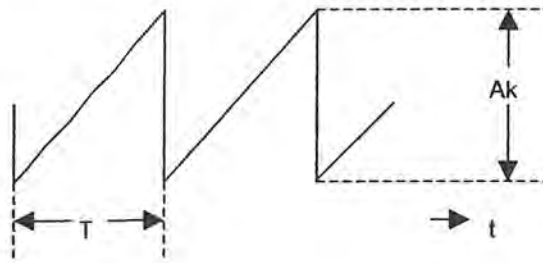
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8(ข) การหักเหแบบแมกเนติค

ทั้งสองแบบที่กล่าวมาแล้วจำเป็นต้องมีแผ่นหักเห หรือขดลวดหักเห อย่างละ 2 ชุด วางตั้งฉากซึ่งกันและกันเพื่อทำให้เกิดการหักเหทางแนวตั้ง และทางแนวนอน เส้นรัสเตอร์ที่เห็นเป็นรูปสี่เหลี่ยมประกอบด้วยเส้นสะแกนทางแนวนอน และแนวตั้ง ในปัจจุบันนี้ประเทศไทยใช้ระบบ CCIR จำเป็นตั้งใช้กระแสฟันเลื่อย ซึ่งมีความถี่ทางแนวนอน 15625 เฮิทซ์ และความถี่ทางแนวตั้ง 50 เฮิทซ์ ในทางปฏิบัติเครื่องมือที่ใช้งานจริงๆ เช่นหลอดถ่ายภาพในกล้องโทรทัศน์และหลอดจอเครื่องรับโทรทัศน์ จะใช้การหักเหแบบแมกเนติค ดีเพลคชั่นแทบทั้งนั้น สำหรับมุมหักเหของลำอิเลคตรอนในจอโทรทัศน์ที่มีมุมหักเหกว้างกว่าจะมีความยาวของหลอดสั้นกว่าแต่ จำเป็นต้องใช้ความเข้มสนามแม่เหล็กมากกว่า

คุณสมบัติของรูปคลื่นฟันเลื่อย คลื่นฟันเลื่อยที่ใช้ในการหักเหลำอิเลคตรอนจะแตกต่างจากคลื่นชนิด ไซน์เวฟ (sine wave) ก็คือ คลื่นฟันเลื่อยจะประกอบด้วยความถี่ชนิด ไซน์เวฟหลายๆ ความถี่ประกอบกัน แต่คลื่นไซน์เวฟจะมีความถี่เพียงความถี่เดียวเท่านั้น ความถี่ 50 เฮิทซ์ ของคลื่นฟันเลื่อย หมายถึง มีคลื่นฟันเลื่อยจำนวน 50 ครั้งเกิดขึ้นในหนึ่งวินาที ดังรูปที่ 9 แสดงรูปคลื่นฟันเลื่อยแบบอุดมคติ (ideal) ถ้าแสดงด้วยสมการคณิตศาสตร์ ฟูเรียซีรีส์ (fourier sesies) จะได้จำนวนฮาร์โมนิคที่สูงกว่าความถี่เดิมมากมายจนถึงอนันต์



รูปที่ 9 รูปคลื่นฟันเลื่อยแบบอุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f(t) = \sum_{n=1} An \sin nwt \quad \text{.....(1)}$$

เมื่อ An = $(Ak/n\pi) \cos n\pi$

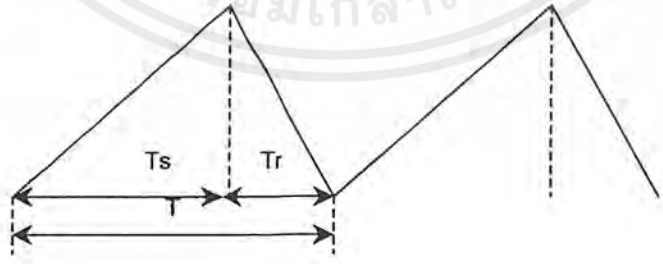
Ak : ขนาดของคลื่นฟันเลื่อย

N : ลำดับที่ของฮาร์โมนิค

ตามรูปที่ 9 จะเห็นว่าเวลาในช่วงสะบัดกลับเท่ากับศูนย์ ซึ่งยากแก่การสร้างและการขยายมาก เนื่องจากมีจำนวนฮาร์โมนิคมากมาย ดังนั้นในทางปฏิบัติรูปคลื่นฟันเลื่อยจะผลิตดังแสดงไว้ในรูปที่ 10 ถ้าให้เวลาในการสะแกนทั้งหมดเท่ากับ T แบ่งออกเป็น 2 ส่วน คือ Ts เป็นเวลาที่ใช้ในการสะแกน และ Tr เป็นเวลาที่ใช้ในการสะบัดกลับซึ่งเขียนความสัมพันธ์ได้ว่า

$$An = \{Ak / [(n^2\pi^2)(Ts/T)[1-(Ts/T)]]\} \sin [n\pi(Ts/T)] \quad \text{.....(2)}$$

จากสมการนี้แสดงว่า ถ้าช่วงเวลาในการสะบัดกลับมากจะใช้จำนวนฮาร์โมนิค น้อยลง และง่ายแก่การสร้างและการออกแบบวงจรขยายในระบบโทรทัศน์รูปคลื่นฟันเลื่อย จำเป็นต้องมีเวลาในการสะบัดกลับที่เหมาะสม คือ ใช้เวลาสะบัดกลับ 18% สำหรับการหักเหในแนวนอน และ 6.5% ในแนวตั้ง ตัวอย่างเช่น ลูกคลื่นฟันเลื่อยในระบบ 625 เส้น จะใช้เวลาในการสะแกนทั้งหมดในแนวนอน 64 ไมโครวินาที (microsecond) ฉนั้นจะใช้เวลาในการสะแกน 82% = 52.48 และใช้เวลาในการสะบัดกลับ 18% = 11.52 ไมโครวินาที

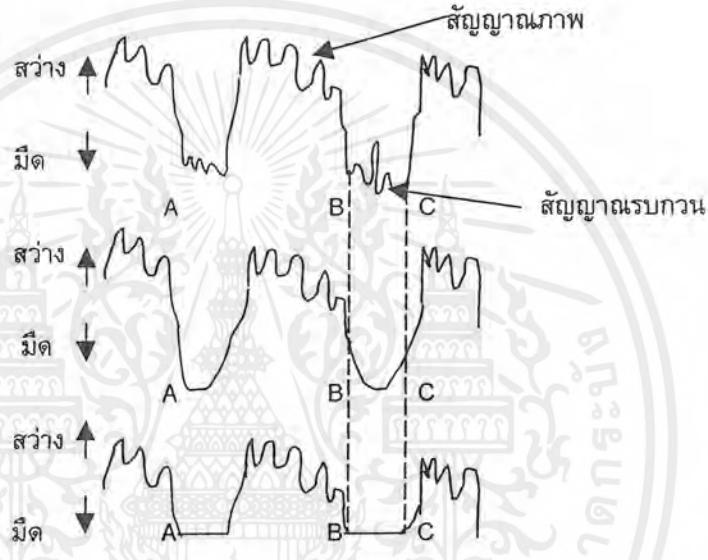


รูปที่ 10 แสดงรูปคลื่นฟันเลื่อยในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 รูปร่างของสัญญาณภาพ

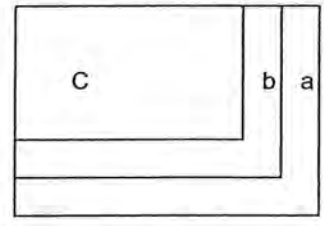
การที่เราใช้กระแสฟันเลื่อยสะแกนรูปภาพก็จะได้สัญญาณภาพออกมา ภาพส่วนที่มีแสงมากก็จะให้ขนาดของกระแสสูง ภาพส่วนที่มืดหรือมีแสงน้อย ก็จะให้ขนาดของกระแสต่ำ ดังแสดงในรูปที่ 11 ระยะ AE เป็นสัญญาณที่ต้องการแสดงให้เห็นบนจอ ส่วนระยะ BC เป็นช่วงสะบัดกลับไม่ต้องการเห็น จึงต้องใส่สัญญาณที่เรียกว่า สัญญาณแบล้งค์กิ้ง เพื่อตัดสัญญาณช่วง BC ไม่ให้ปรากฏบนจอ ทำได้โดยการรักษาระดับสัญญาณช่วงนี้ไว้ที่ระดับดำ



รูปที่ 11 รูปร่างของสัญญาณภาพ

2.6 สัญญาณแบล้งค์กิ้ง

เมื่อพิจารณาความสัมพันธ์ในหลอดถ่ายภาพด้านส่งดังรูปที่ 12 ส่วนที่ a เป็นช่วงที่สะบัดกลับของการสะแกน ซึ่งเป็นเวลาที่ใช้สะแกนภาพไปและกลับส่วน b เป็นส่วนที่รักษาระดับไว้ที่ระดับดำ หลังจากหลอดถ่ายภาพสะแกนไปแล้ว หรือสัญญาณแบล้งค์กิ้ง ส่วนที่ a และ b จะถูกรักษาไว้ที่ระดับดำ ส่วนที่ c จะเป็นช่วงที่สะแกนได้จริงๆ



รูปที่ 12 การสะบัดกลับในกล้องโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 สัญญาณซิงโครไนซ์ซิ่ง (synchronizing signal)

สัญญาณซิงโครไนซ์ สำคัญมากในการส่งโทรทัศน์ สัญญาณนี้จะช่วยให้สัญญาณภาพทางด้านส่งทำงานพร้อมกัน ทั้งนี้หมายความว่า ทางด้านรับและด้านส่งจะต้องมีความถี่และเฟสเดียวกัน เมื่อพิจารณาดูรูปที่ 13 กรณีที่สัญญาณภาพทางด้านรับและด้านส่งมีเฟสไม่ตรงกัน ทำให้เห็นช่วงสะบัดกลับชัดเจน เมื่อพิจารณารูปที่ 13 แสดงทั้งความถี่และเฟสไม่ตรงกัน ทำให้เห็นภาพหลายภาพ และเห็นช่วงสะบัดกลับชัดเจนตามรูป สัญญาณซิ้งค์มีอยู่สองชนิดคือ สัญญาณซิ้งค์ในแนวดั้งและสัญญาณซิ้งค์ในแนวนอน สัญญาณทั้งสองนี้มีขนาดเท่ากันแต่ความถี่และความกว้างของพัลซ์ไม่เท่ากัน ดังแสดงในรูปที่ 14 สัญญาณซิ้งค์จะใส่ไว้ต่ำกว่าระดับแบล้งค์กิ้ง ขนาดความสูงของสัญญาณภาพเท่ากับ 0.7 V_{p-p} สัญญาณซิ้งค์มีขนาดความสูงเพียง 0.3 V_{p-p} เท่านั้น เมื่อรวมสัญญาณภาพและสัญญาณซิ้งค์จะได้ 1 V_{p-p} ซึ่งถือเป็นมาตราฐานก่อนที่จะนำไปป้อนกับเครื่องส่ง

รูปที่ 13 สัญญาณซิ้งค์มีเฟสไม่ตรงกัน

รูปที่ 14 สัญญาณภาพ , แบล้งค์กิ้งและซิ้งค์ทางแนวนอน

2.8 เครื่องกำเนิดสัญญาณซิ้งค์

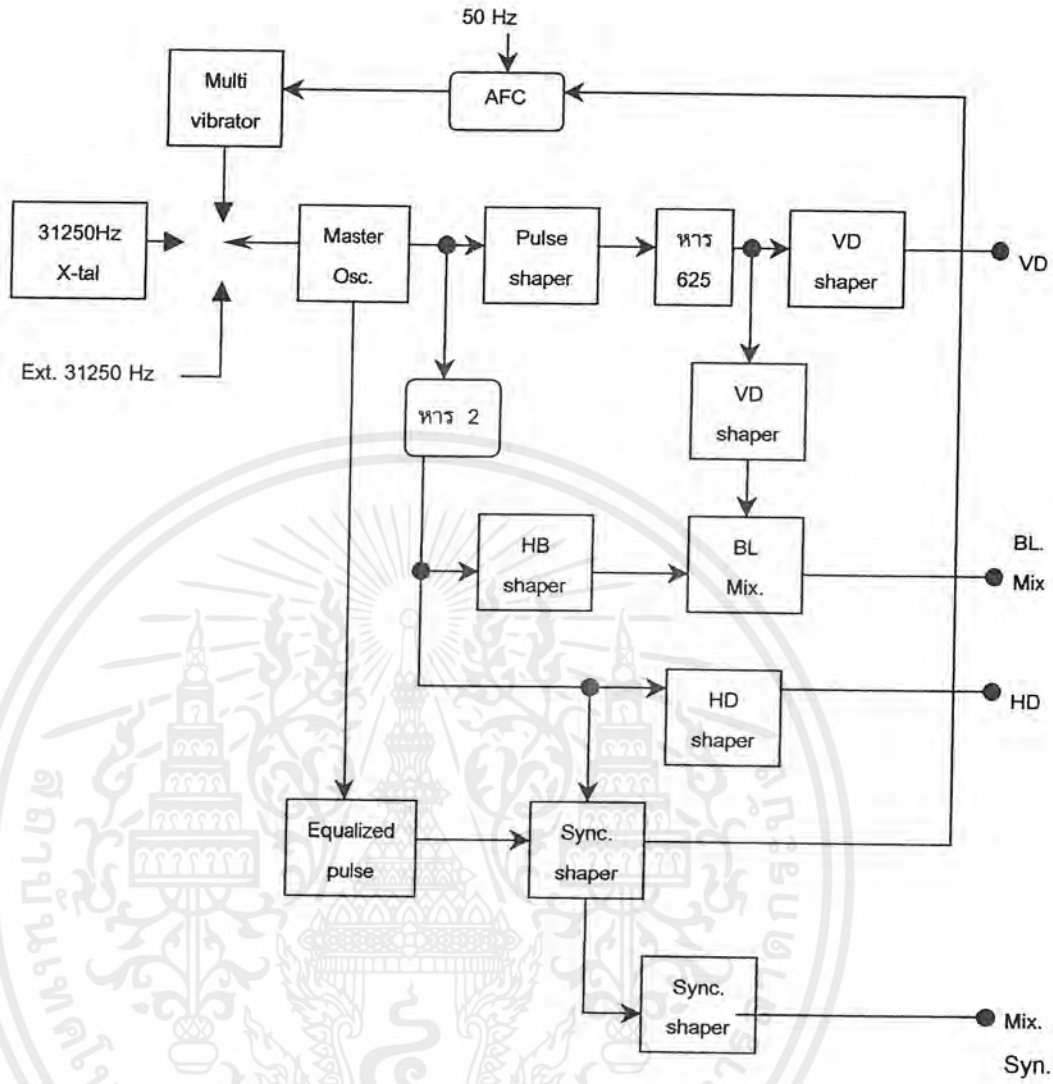
ซิ้งค์พัลซ์มาตรฐานที่ทำให้เกิดการสะแกนแบบอินเตอร์เลซด์ที่สมบูรณ์ทำได้จาก

(ก) มีมาสเตอร์ออซซิลเลเตอร์ที่ควบคุมด้วยคริสตอล ซึ่งมีความถี่ 2 เท่าของความถี่ทางแนวนอน

(ข) มีความถี่ 2 เท่าของความถี่ทางแนวนอน จากภายนอก

(ค) อาจจะได้จากวงจรการควบคุมความถี่ของมาสเตอร์ออซซิลเลเตอร์ด้วย 50 เฮิทซ์ จากความถี่ของแหล่งจ่ายไฟดังรูปที่ 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 15 บล็อกไดอะแกรมของเครื่องกำเนิดสัญญาณซิ้งค์

ความถี่คริสตอล 31250 เฮิทซ์ จะผลิตสัญญาณอีควัลไลซิ่งพัลซ์ , ซิ้งค์แนวนอน , ซิ้งแนวตั้ง , และแบลังค์กิ้งพัลซ์ โดยการใช้วงจรหารที่มีความแน่นอน อาจจะใช้การควบคุมด้วย 50 เฮิทซ์ จากแหล่งจ่ายไฟ และ 50 เฮิทซ์ ผ่านวงจร AFC ซึ่งควบคุมด้วยวงจรเฟสดีเทคเตอร์ จากการหาร 31250 ด้วย 625 จะทำให้วงจรมาสเตอร์ออซซิลเลเตอร์มีความถี่ที่แน่นอน ซิ้งค์พัลซ์ทางแนวตั้งได้จากการหาร 31250 ด้วย 625 นำไปป้อนให้กับวงจรเชฟเปอร์ (shaper circuit) จะได้ซิ้งค์พัลซ์ทางแนวตั้งความถี่ 50 เฮิทซ์ และความถี่นี้ส่วนหนึ่งนำไปผ่านวงจรทำสัญญาณแบลังค์กิ้ง เพื่อส่งไปวงจรแบลังค์กิ้งมิกเซอร์ สำหรับซิ้งค์พัลซ์ทางแนวนอน ทำได้จากการหารความถี่ 31250 เฮิทซ์ ด้วย 2 จะได้ความถี่ 15625 เฮิทซ์ ส่งไปยังวงจรเชฟเปอร์ เพื่อทำซิ้งค์พัลซ์ทางแนวนอน สัญญาณนี้ส่วนหนึ่งจะนำไปผ่านวงจรเชฟเปอร์เพื่อส่งไปยังวงจรแบลังค์กิ้งมิกเซอร์ และอีกส่วนหนึ่งนำไปป้อนให้วงจรกำเนิดสัญญาณซิ้งค์ที่วงจรนี้จะมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ 50 เฮิทซ์ มาป้อนด้วย สัญญาณขาออกจะเป็นสัญญาณมิกซิ้งค์ส่งไปผ่านวงจรซิ้งค์เซฟเปอร์ เพื่อให้สัญญาณมิกซิ้งค์พัลซ์ ดังรูปที่ 14 ที่ภาคซิ้งค์พัลซ์เซฟเปอร์ยังประกอบด้วยสัญญาณเซอเรทเตดพัลซ์ (surrated pulses) ซึ่งพัลซ์ชนิดนี้จะใส่ไว้ในช่วงสัญญาณซิ้งค์พัลซ์ทางแนวตั้ง เพื่อป้องกันไม่ให้ออซซิลเลเตอร์ทางแนวนอนของเครื่องรับขาดการควบคุมถ้าไม่มีเซอเรทเตดพัลซ์ จะทำให้ภาพส่วนบนโย้ไปมาได้

2.9 จำนวนเส้นและการสะแกน

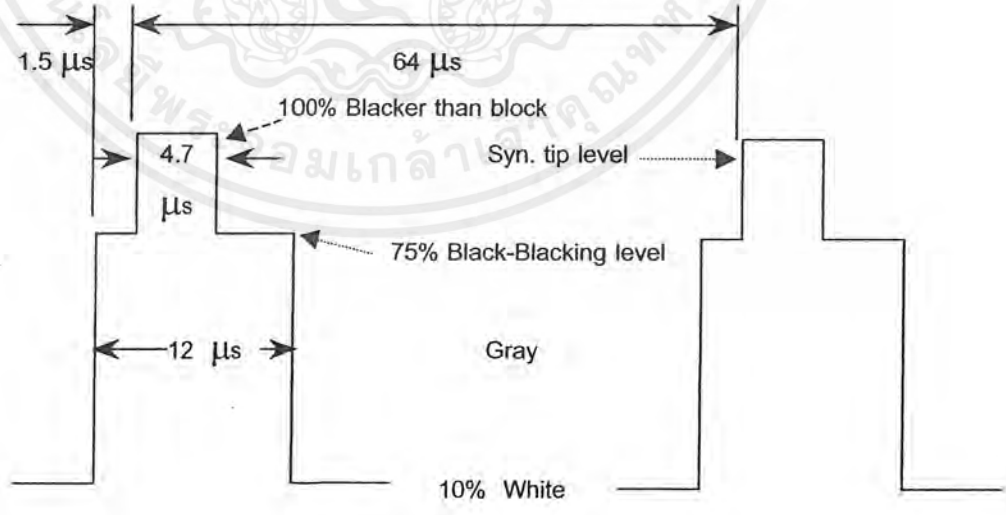
ระบบ CCIR B ใช้เส้นในการสะแกนจำนวน 625 เส้น และอินเตอร์เลซด์ของภาพ 2:1 หนึ่งภาพจะประกอบไปด้วย 2 ฟิลด์ ความถี่ของฟิลด์เท่ากับ 50 เฮิทซ์ ฉนั้นจำนวนภาพต่อวินาที เท่ากับ 25 เฮิทซ์ ความถี่ทางแนวนอนเท่ากับ 625 * 25 = 15625 เฮิทซ์ มีอัตราความสูงต่อความกว้างของภาพ เท่ากับ 4:3

ส่วนประกอบของสัญญาณโทรทัศน์ ที่สำคัญมี 3 ส่วน คือ

1. สัญญาณภาพ ได้จากการสะแกน
2. สัญญาณซิ้งค์ ประกอบด้วยไลน์ซิ้งค์ (line sync.) และฟิลด์ซิ้งค์ (field sync.)
3. สัญญาณแบล้งค์กิ้งป้องกันไม่ให้ตามองเห็นช่วงสะบัดกลับ

2.10 ค่ามาตรฐานของไลน์ซิ้งค์ และไลน์แบล้งค์กิ้ง (line blanking:LB)

ขนาดและเวลาของสัญญาณภาพระหว่างการสะแกนทางแนวนอน 1 เส้น (H) ซึ่งมีค่าเท่ากับ 64 ไมโครวินาที ดังแสดงในรูปที่ 16



รูปที่ 16 ค่ามาตรฐานของซิ้งค์และแบล้งค์กิ้งทางแนวนอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไลน์พีเรียด (line period H) นี้เป็นระยะเวลาที่ใช้ในการสะแกนเสร็จสมบูรณ์ใน 1 เส้น ความถี่ทางแนวนอน เท่ากับ 625 * 25 = 15625 เส้นใน 1 วินาที ฉนั้นจึงหาค่าระยะเวลาได้จาก

$$H = 1 / f_H = 1 / 15625 = 64\ \mu s$$

ไลน์แบล้งค์กิ้ง (line blangking:LB) ค่านี้จะเป็นช่วงเวลาที่จะใส่ซิ้งค์พัลซ์ระยะเวลานี้อิเลคตรอนบีมจะสะบัดกลับ ช่วงนี้จะถูกรักษาไว้ที่ระดับดำ ซึ่ง LB = 0.19 H = 12 ไมโครวินาที ระยะเวลาของไลน์แบล้งค์กิ้งจะแบ่งออกเป็น 3 ส่วน เพราะซิ้งค์จะใส่เกือบกึ่งกลางช่วงแบล้งค์กิ้ง ไลน์ซิ้งค์พัลซ์ (HS) เป็นพัลซ์เล็กๆ ที่มีความสำคัญมากจะถูกส่งจากด้านส่งไปยังเครื่องรับ เพื่อทำให้การสะแกนทางแนวนอนของเครื่องรับถูกต้อง ความกว้างของ HS = 0.075 H = 4.7 ไมโครวินาที ผิดพลาดประมาณ 4.5 ถึง 4.9 ไมโครวินาที และมีไรส์ไทม์ (rise time) น้อยกว่า 0.25 ไมโครวินาที

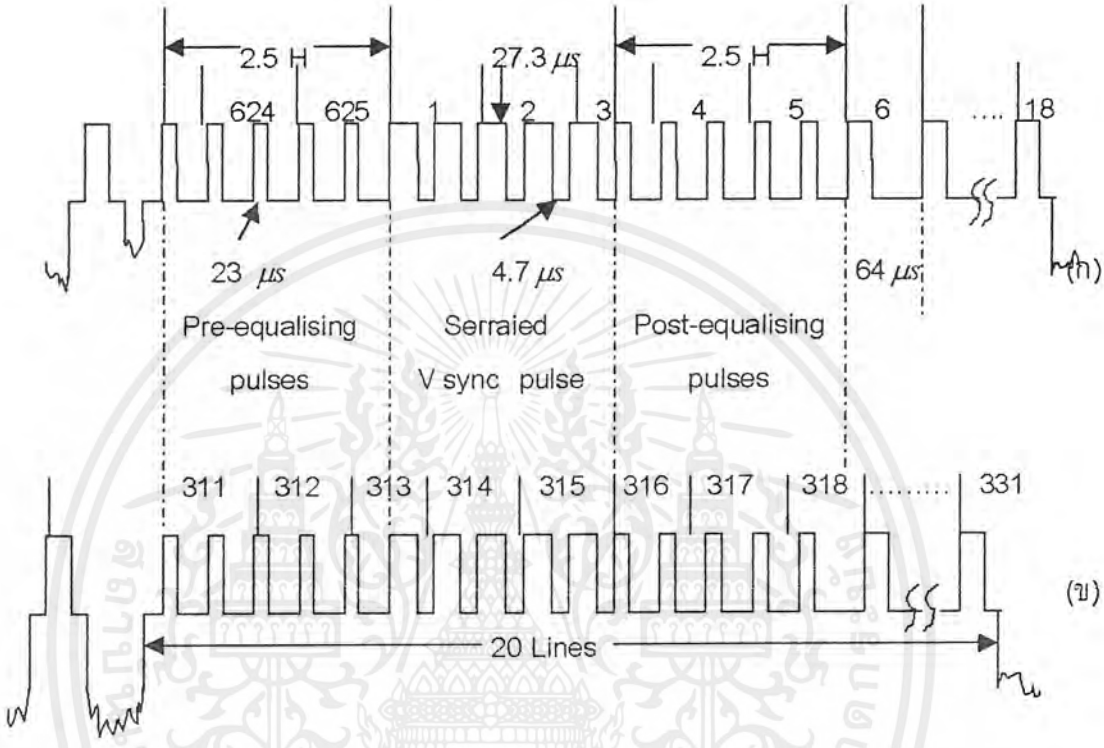
ฟร้อนท์พอร์ช (front porch) จุดเริ่มต้นของช่วงนี้จะไม่เริ่มที่แบล้งค์กิ้ง แต่จะตามจุดเริ่มต้นของแบล้งค์กิ้ง ประมาณ 2% ของไลน์พีเรียด ซึ่งระยะนี้เรียกว่า ระยะฟร้อนท์พอร์ช เพื่อให้เวลาของไลน์ซิ้งค์แต่ละตัวได้เริ่มต้นใหม่ที่ระดับดำที่คงที่ และหลีกเลี่ยงจากการสร้างไลน์ซิ้งค์ในเครื่องรับ การเปลี่ยนแปลงของระดับขาวดำของภาพ เป็นการแยกซิ้งค์ออกจากอิทธิพลของช่วงท้ายของสัญญาณภาพซึ่งจะสูงสุดเมื่อสัญญาณขาวเกิดขึ้นที่ช่วงท้ายการสะแกน ช่วงนี้จึงแทนสัญญาณขาวที่เกิดขึ้นให้เป็นสัญญาณดำ ทำให้การเริ่มต้นของไลน์ซิ้งค์พัลซ์ถูกต้อง ฟร้อนท์พอร์ช = 2.5% H = 1.5 ไมโครวินาที แบคพอร์ช (back porch) = 5.8 ไมโครวินาที ระดับของสัญญาณภาพโดยทั่วไปจะกำหนดให้ระดับการมอดูเลทของคลื่นพาห์ยอดของซิ้งค์ จะให้การมอดูเลท 100% เพราะมอดูเลทแบบซิ้งค์เป็นลบ เมื่อมีระดับขาวซึ่งระดับสัญญาณจะลดลงไปทางลบ แต่ช่วงแบล้งค์กิ้งรักษาระดับไว้ที่ 75% และยอดของระดับขาวจะรักษาไว้ที่ระดับ 10% ซึ่งค่า 10% ของคลื่นพาห์ภาพนี้จำเป็นต่อเครื่องรับระบบอินเตอร์แคร์เรีย (inter carrier system) เพื่อบีท (beat) กับคลื่นพาห์เสียงจะให้ความถี่ 5.5 เมกกะเฮิทซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.11 ค่ามาตรฐานของฟิลด์ซิ้งค์ (field sync.) และฟิลด์แบล้งค์กิ้ง (field blanking:VB)

เมื่อการสะแกนเสร็จสิ้นลงหลังจากสะแกนไปแล้ว 312.5 เส้น ฟิลด์ซิ้งค์พัลซ์จะนำมาใส่ไว้ในสัญญาณภาพมีรูปร่างดังแสดงในรูปที่ 17 แยกเป็นฟิลด์คู่และฟิลด์คี่



รูปที่ 17 ฟิลด์ซิ้งค์ และฟิลด์แบล้งค์กิ้งมาตรฐาน
(ก) ฟิลด์คี่ (ข) ฟิลด์คู่

ฟิลด์แบล้งค์กิ้งพีเรียด เป็นช่วงเวลาที่สัญญาณภาพสะแกนหมดแล้วในหนึ่งฟิลด์จะเริ่มสะแกนอีดฟิลด์หนึ่งช่วงนี้ จะถูกรักษาไว้ในระดับดำ เพื่อป้องกันไม่ให้มองเห็นสัญญาณในจอภาพ ช่วงนี้จะมีระยะเวลาเท่ากับ 20 เท่าของไลน์ซิ้งค์

$$VB = 20\ H = 20 * 64\ \mu s = 1280\ \mu s$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
36921

ฟิลด์พัลซ์ คือ พัลซ์ทางแนวตั้งมีความกว้างของพัลซ์ประมาณ 2.5 เท่าของไลน์พีเรียด ในช่วงพัลซ์นี้จะบรรจุด้วยเซอเรตเดคพัลซ์ (seratted pulses) ซึ่งมีความกว้างของพัลซ์เท่ากับ 4.7 ไมโครวินาที ระยะห่างระหว่างพัลซ์เท่ากับ 32 – 4.7 = 27.3 ไมโครวินาที พัลซ์เหล่านี้ใส่ไว้เพื่อทำให้ออซซิลเลเตอร์จของเครื่องรับทางแนวนอนล๊อก (lock) กับซิ้งค์ที่ส่งมา

อีควัลไลซิ่งพัลซ์ (equallizing pulses) เป็นพัลซ์แคบๆ ที่มีความกว้างของพัลซ์ประมาณ 2.3 ไมโครวินาที ใส่ไว้ก่อนและหลังฟิลด์พัลซ์จำนวน 5 พัลซ์ ความกว้างของ 5 พัลซ์ จะเท่ากับ 2.5 ไลน์พีเรียด พัลซ์ (pre-equalizing pulses) และพัลซ์ที่หลังฟิลด์ซิ้งค์พัลซ์เรียกว่า โพสอีควอไลซิ้งค์พัลซ์ (post equaalizing pulses) พัลซ์เหล่านี้ จะทำให้การสะแกนแบบอินเตอร์เรซด์ได้สมบูรณ์เพราะที่เครื่องรับทีวีจะให้ฟิลด์ซิ้งค์พัลซ์ ทั้งฟิลด์คี่และฟิลด์คู่มีรูปร่างเหมือนกันและมีจุดเริ่มต้นในการสะแกนเท่ากัน

2.12 สัญญาณภาพรวม

หากจะถามว่าเครื่องส่งทำการส่งสัญญาณอะไรมาให้เครื่องรับบ้าง หากตอบกันง่ายๆก็ต้องตอบว่า ส่งสัญญาณภาพรวม (composite video signal) ซึ่งการที่เราจะทำให้เครื่องรับโทรทัศน์บรรลุวัตถุประสงค์ได้นั้นต้องให้สถานีโทรทัศน์ส่งสัญญาณต่างๆ ดังนี้

1. สัญญาณเสียง
2. สัญญาณภาพ
3. สัญญาณแบล้งกิ้ง
4. สัญญาณซิงโครไนซ์
5. สัญญาณอีควอไลซิ่ง

ในส่วนของระบบสัญญาณเสียงเราจะใช้คลื่นพาห์ (carrier) เพราะทราบกันเบื้องต้นแล้วว่าระบบเสียงในโทรทัศน์เป็นระบบ เอฟเอ็ม ส่วนสัญญาณภาพและอื่นๆ ที่เหลือนั้นเราจะส่งเป็นสัญญาณภาพรวม หรือ คอมโพสิท วิดีโอ ซิกแนล (Composite Video Signal) แล้วใช้คลื่นพาห์ภาพส่งออกไป การทีเราต้องส่งสัญญาณทั้ง 5 ตัวออกอากาศแพร่คลื่นออกไปเพื่อวัตถุประสงค์ดังนี้

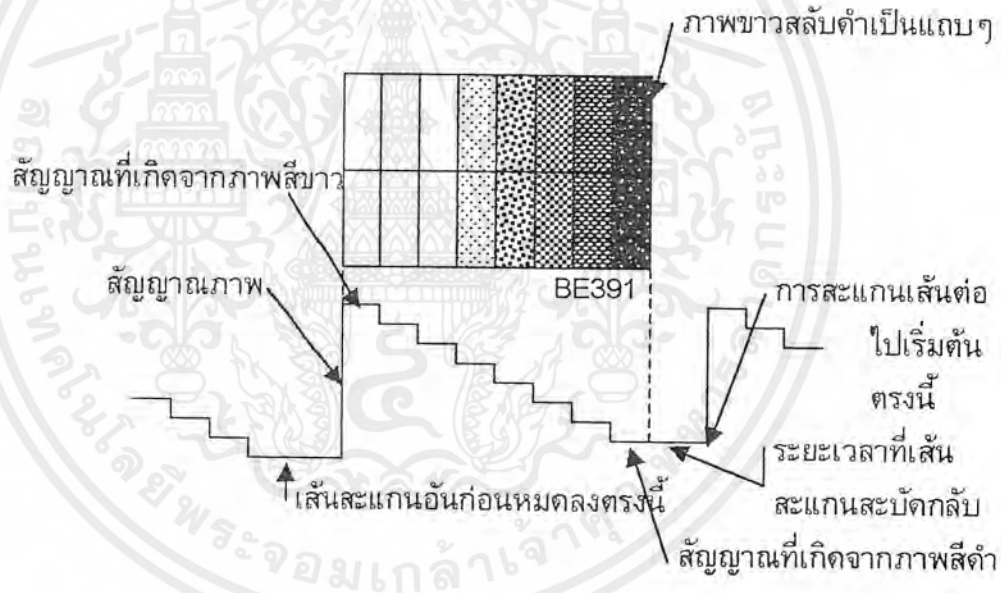
1. สัญญาณภาพและสัญญาณเสียง เป็นสัญญาณที่ส่งไปเพื่อให้เกิดภาพและเสียงขึ้นในเครื่องรับโทรทัศน์
2. สัญญาณแบล้งกิ้ง เป็นสัญญาณที่ส่งเพื่อให้ลบเส้นสะบัดกลับทั้งในแนวตั้งและแนวนอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. สัญญาณซิงโครไนซ์ เป็นสัญญาณที่ส่งมาเพื่อช่วยให้วงจรหักเหทางแนวตั้งและวงจรหักเหทางแนวนอน เพื่อให้เครื่องส่งกับเครื่องรับทำงานสอดคล้องตรงกัน
4. สัญญาณอีควอไลซิ่ง เป็นสัญญาณที่ช่วยให้สัญญาณซิงโครไนซ์ทั้งแนวตั้งและแนวนอนยังคงรูปเดิมอยู่ได้ แม้ว่าจะเป็นการสแกนแบบสลับเส้นก็ตาม

ก. สัญญาณภาพขาว – ดำ

สมมุติว่าเราจะดูระดับสัญญาณขาว – ดำ กรณีที่เรากล่าวถึงสัญญาณขาว – ดำ หรือสัญญาณโมโนโครมได้ดีที่สุดต้องกล่าวว่าภาพที่เป็นสีขาวคือภาพที่มีความสว่างมากที่สุด และภาพที่เป็นสีดำคือภาพที่ไม่มีความสว่างเลยภาพจำลองที่ดีที่สุดของกรณีก็คือแถบภาพที่มีความแตกต่างของระดับขาวดำทีละน้อย ซึ่งเราเรียกว่าระดับเกรย์สเกลนั่นเอง



รูปที่ 18 แสดงระดับสัญญาณขาว – ดำ โดยเกรย์สเกล

จากภาพที่ 18 แสดงให้เห็นระดับของเกรย์สเกล ในกรณีที่ระดับสัญญาณภาพเป็นสัญญาณสีขาวเข้ามา นั่นหมายความว่าระดับความแรงของสัญญาณภาพมากที่สุดจึงให้ความส่องสว่างที่หน้าจอสว่างมากที่สุด และเมื่อระดับสัญญาณสีขาวลดลงเป็นสีมัว, เทา และดำ นั้นระดับสัญญาณจะลดลงมาเรื่อย ๆ นั่นหมายความว่าเมื่อสัญญาณมีความแรงน้อยลงความส่องสว่างจะน้อยลงตามไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อันที่จริงแล้วภาพแต่ละภาพเป็นสัญญาณความถี่ทางไฟฟ้าที่มีความถี่สูงต่ำไม่เท่ากัน โดยความถี่สูงสุดจะไม่เกิน 4 เมกะเฮิรตซ์ในระบบเอฟซีซี. และไม่เกิน 5 เมกะเฮิรตซ์ในระบบซีซีไออาร์. ภาพที่เกิดจากความถี่สูงย่อมมีความละเอียดกว่าความถี่ต่ำ (มีจำนวนจุดดำมากกว่า)

ข. สัญญาณแบลงกิ้ง

ทราบแล้วว่าเมื่อมีการสะแกนอิเล็กตรอนที่หน้าจอจะเกิดเส้นรีเทรสหรือเส้นสะบัดกลับ ซึ่งเป็นเส้นภาพที่เราไม่ต้องการ เครื่องส่งจึงต้องส่งสัญญาณแบลงกิ้ง (Blanking) เพื่อบังคับให้เครื่องรับสามารถลบเส้นสะบัดกลับได้สัญญาณแบลงกิ้งส่วนหนึ่งเครื่องรับจะต้องสร้างขึ้นเหมือนการสร้างสัญญาณซิงโครไนซ์แต่มันจะสัมพันธ์เครื่องส่งได้อย่างไร จึงต้องมีการส่งสัญญาณแบลงกิ้งมาจากเครื่องส่งเพื่อลบเส้นสะบัดกลับในเครื่องรับ สัญญาณแบลงกิ้งมีอยู่ 2 อย่างคือเวอร์ติคอลแบลงกิ้ง กับฮอริซอนตอลแบลงกิ้ง

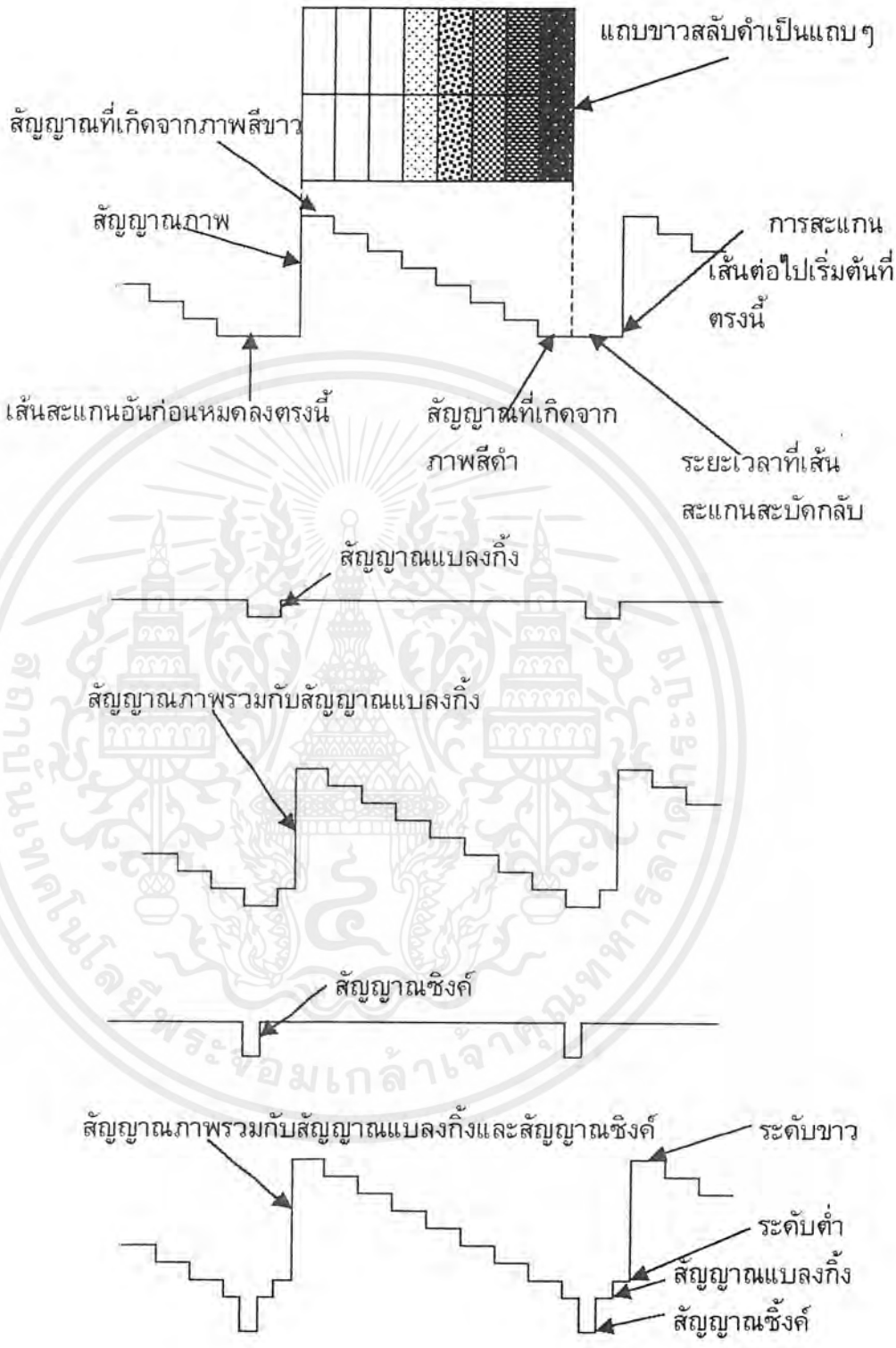
ค. สัญญาณซิงโครไนซ์

เป็นสัญญาณเพื่อให้การสะแกนเป็นไปอย่างถูกต้อง ทั้งการสะแกนแนวตั้งและแนวนอน โดยสัญญาณซิงโครไนซ์หรือสัญญาณซิงค์มีอยู่ 2 สัญญาณ คือ

1. ฮอริซอนตอล ซิงโครไนซ์ (Horizontal Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวนอน ซึ่งมีความถี่ 15,625 เฮิรตซ์ (ในระบบ CCIR) หรือ 15,750 เฮิรตซ์ (ในระบบ FCC) ถ้าไม่มีสัญญาณส่วนนี้ส่งมาจะทำให้ภาพเกิดการล้มได้
2. เวอร์ติคอล ซิงโครไนซ์ (Vertical Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวตั้ง ซึ่งมีความถี่ 50 เฮิรตซ์ (ในระบบ CCIR) หรือ 60 เฮิรตซ์ (ในระบบ FCC) ถ้าไม่มีการส่งสัญญาณส่วนนี้มาจะทำให้ภาพเลื่อน

เนื่องจากสัญญาณซิงโครไนซ์กับสัญญาณแบลงกิ้งไม่ว่าจะเป็นแนวนอนหรือแนวตั้ง จะมีความถี่เท่ากันเวลาส่งจึงต้องกำหนดตำแหน่งของการส่งให้ถูกต้อง มิฉะนั้นแล้วจะเกิดกวนกันได้ ในทางปฏิบัติจึงให้สัญญาณซิงค์พัลซ์มีขนาดความกว้างน้อยกว่าแบลงกิ้งพัลซ์ แล้วใช้วิธีการส่งแบบผสม กล่าวคือส่งซิงค์พัลซ์กับแบลงกิ้งพัลซ์ไปด้วยกัน ให้แบลงกิ้งพัลซ์เป็นฐานของสัญญาณซิงค์พัลซ์ เมื่อมีการจัดระดับของสัญญาณส่วนนี้เทียบกับเกรย์สเกลระดับของแบลงกิ้ง จะอยู่ที่ระดับต่ำกว่าดำ ส่วนซิงค์จะเป็นระดับต่ำกว่าระดับดำมากกว่าลงไปอีก สัญญาณเหล่านี้จึงไม่มีการส่งผลต่อการมองเห็น (หรือไม่กวนสัญญาณภาพ) ดังแสดงรูปที่ 18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 19 แสดงระบบพัลซ์ในฟิลด์ของการซิงโครไนซ์ของระบบโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ง. สัญญาณอีควอไลซิ่ง

เป็นสัญญาณบังคับรูปร่างของสัญญาณซิงโครไนซ์ทางแนวตั้ง เพื่อให้สามารถคงรูปถูกต้อง แล้วช่วยให้การสะแกนแบบสลับเส้นเป็นไปได้ถูกต้องด้วย สามารถขึ้นเส้นคู่เส้นคี่ในตำแหน่งที่ถูกต้องได้ ทั้งยังทางอ้อมให้สัญญาณซิงโครไนซ์ทางแนวนอนไม่ขาดช่วงหายไปในระหว่างการส่งสัญญาณทางแนวตั้งด้วย สัญญาณตัวนี้จะมีขนาดของพัลซ์รวมเท่ากับเวอร์ติคอลซิงโครไนซ์พัลซ์ สัญญาณส่วนนี้จะถูกแบ่งออกเป็น 6 ลูกในระบบ 525 เส้น และถูกแบ่งเป็น 5 ลูก ในระบบ 625 เส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.13 ทฤษฎี FLIP-FLOP

เป็นหน่วยความจำชนิดหนึ่งที่มีคุณสมบัติเก็บรักษาข้อมูลไว้ได้ โดยหนึ่งตัวสามารถเก็บรักษาข้อมูลเลขฐานสองได้ 1 บิต Flip - Flop จะประกอบไปด้วยสายเอาท์พุทสองเส้น ซึ่งเอาท์พุททั้งสองจะมีค่าตรงข้ามกันตลอด คือ ถ้าเส้นหนึ่งเป็น 0 อีกเส้นหนึ่งต้องเป็น 1 หรือเรียกอีกอย่างว่าเอาท์พุทมีการ Complement ซึ่งกันและกันอยู่ ส่วนสายสัญญาณทางด้านอินพุทจะมีจำนวนเส้นต่างกันขึ้นอยู่กับว่าเป็น Flip- Flop ชนิดใด ค่าที่ป้อนค่าที่ป้อนทางด้านอินพุทจะทำให้ Flip- Flop เปลี่ยนแปลงไปเป็นสภาวะใหม่ เราเรียกสภาวะของ Flip- Flop ก่อนจะให้อินพุทว่าเป็น "สภาวะปัจจุบัน(Present state)" และเราเรียกสภาวะของ Flip- Flop หลังจากป้อนสัญญาณอินพุทว่าเป็น "สภาวะถัดไป(Next state)" ซึ่งโครงสร้างภายในของ Flip- Flop จะทำมาจากการนำ Gate จำนวน 2 ตัวมาต่อไขว้กันเป็น Flip- Flop โดย Gate ที่นำมาใช้ได้แก่ NAND Gate หรือ NOR Gate และมีอีกแบบที่ได้มีการเพิ่ม AND Gate เข้ามาต่อที่อินพุทอีก 2 ตัวเราเรียกว่า "Flip- Flop with Clock " แบบหลังจะได้รับความนิยมมาใช้แพร่หลายมากกว่าแบบแรก โดยมีการพัฒนาการออกแบบ Flip- Flop ตามลักษณะการใช้งานแบ่งออกเป็นชนิดดังนี้

1. RS Flip- Flop
2. JK Flip- Flop
3. D Flip- Flop
4. T Flip- Flop

นอกจากนี้ยังสามารถแบ่งออกตามลักษณะการกระตุ้น และอื่นๆ

JK Flip- Flop

เป็นการพัฒนามาจาก RS Flip- Flop เพื่อแก้ไขในส่วยของการเกิดสัญญาณด้านอินพุทที่เข้ามามีค่าเหมือนกันทั้งขา R และขา S ซึ่งเมื่อเกิดเหตุการดังกล่าวเอาท์พุทที่ออกมาเป็นค่าของเอาท์พุทที่เราไม่ต้องการหรือนำไปใช้งานได้ยาก ดังนั้นจึงได้มีการออกแบบ JK Flip- Flop ออกมาใช้งานแทน

โดยที่นำมาใช้งานส่วนใหญ่เป็นแบบต้องใช้สัญญาณนาฬิกามากระตุ้นจึงจะทำงานและ JK Flip- Flop ได้รับความนิยมมากกว่าแบบ RS Flip- Flop เนื่องจากสภาวะอินพุทที่เข้ามามีค่าเหมือนกันทั้งสองขาก็จะมีเอาท์พุทที่สามารถนำไปใช้งานได้ คือ

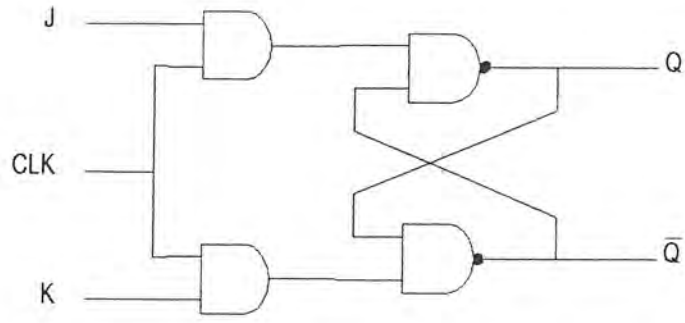
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าอินพุทมีค่า 1 , 1 เอาท์พุทที่ได้หลังสัญญาณนาฬิกา Complement ของ Present state

ถ้าอินพุทมีค่า 0 , 0 เอาท์พุทที่ได้หลังสัญญาณนาฬิกา จะมีค่าเหมือนกับ Present state

ตาราง Truth Table ของ JK Flip- Flop สามารถเขียนได้ดังแสดงที่รูป 21 และเราสามารถเขียน ตาราง Next State Equation และตารางการกระตุ้นได้(Excitation)ของ JK Flip- Flop ได้ดังรูป 22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 20 แสดง JK Flip – Flop

Input			Present State	Next State
CK	J	K	Q(t)	Q(t+1)
↑	0	0	0	0
↑	0	0	1	1
↑	0	1	0	0
↑	0	1	1	0
↑	1	0	0	1
↑	1	0	1	1
↑	1	1	0	1
↑	1	1	1	0

รูปที่ 21 Truth Table ของ J-K Flip –Flop

State Transition		Required Input	
Q(t)	Q(t+1)	J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

รูปที่ 22 Excitation table ของ J-K Flip –Flop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D Flip- Flop

เป็น Flip- Flop ที่สามารถหน่วงสัญญาณที่เข้าได้หนึ่งช่วงเวลาสัญญาณ Clock หรืออาจกล่าวว่าสามารถแล๊ทข้อมูล จึงนิยมใช้เป็นตัวเก็บข้อมูล สายสัญญาณอินพุทของ

D Flip- Flop จะมีเส้นเดียวและสามารถสร้างโดยดัดแปลงจาก RS Flip- Flop

จากรูปแบบที่ได้จากการดัดแปลงสามารถนำมาเขียนใหม่เป็น Truth Table และ Next State Equation ของ D Flip- Flop ได้ดังรูปที่ 23 และตารางการกระตุ้น(Excitation) ของ D Flip- Flop ได้ดังรูปที่ 24

Input		Present State	Next State
CK	D	Q(t)	Q(t+1)
↑	0	0	0
↑	0	1	0
↑	1	0	1
↑	1	1	1
↑	D	0	0
↑	D	1	1

รูปที่ 23 แสดง Truth Table และ Next State Equation ของ D Flip- Flop

State Transition		Required Input
Q(t)	Q(t+1)	D
0	0	0
0	1	1
1	0	0
1	1	1

รูปที่ 24 แสดงตารางการกระตุ้น(Excitation)ของ D Flip- Flop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

T Flip- Flop

จะมีอินพุทเส้นเดียวคือ T และจะเปลี่ยนสภาวะทุกครั้งที่มีสัญญาณ Clock ป้อนเข้ามาจึงนิยมใช้เป็นวงจรหารสอง สามารถสร้าง T Flip- Flop ได้โดยการดัดแปลงวงจรจาก RS Flip- Flop หรือ JK Flip- Flop สามารถเขียนเป็นตาราง Truth Table และ Next State Equation ของ T Flip- Flop ได้ดังรูปที่ 25 และตารางการกระตุ้น(Excitation)ได้ดังรูปที่ 26

Input T	Present State Q(t)	Next State Q(t+1)
0	0	0
0	1	1
1	0	1
1	1	0

รูปที่ 25 แสดง Truth Table และ Next State Equation ของ T Flip- Flop

State Transition Q(t)	Q(t+1)	Required Input T
0	0	0
0	1	1
1	0	1
1	1	0

รูปที่ 26 แสดงตารางการกระตุ้น(Excitation)ของ T Flip- Flop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

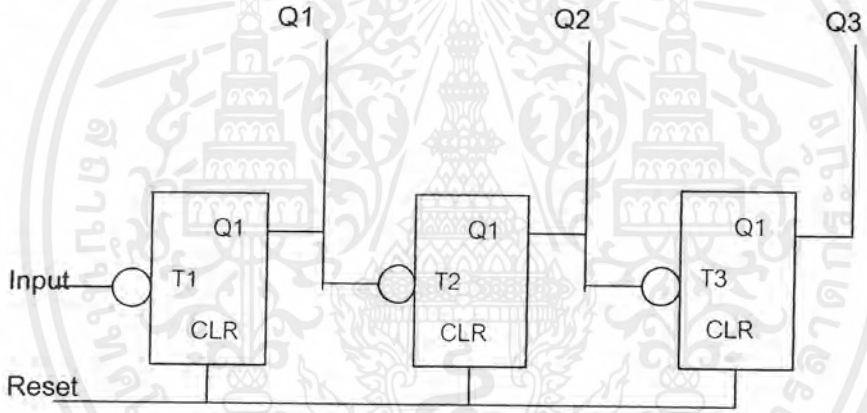
2.14 วงจรนับ (Counter)

วงจรนับทำหน้าที่นับสัญญาณต่างๆที่เกิดขึ้น และบันทึกจำนวนครั้งไว้ นอกจากนั้นแล้วยังใช้เป็นวงจรหารความถี่ (Frequency Division) และใช้ควบคุมการจัดลำดับการทำงาน(sequencing) ของวงจรอื่นๆได้อีกด้วย วงจรนับภายในจะประกอบด้วย Flip- Flop ทำหน้าที่เป็นหน่วยความจำเพื่อจำสภาวะต่างๆ ที่เกิดขึ้นในอดีตได้ วงจรนับแบ่งออกได้เป็น 2 ชนิด ตามลักษณะของการทำงานได้ดังนี้

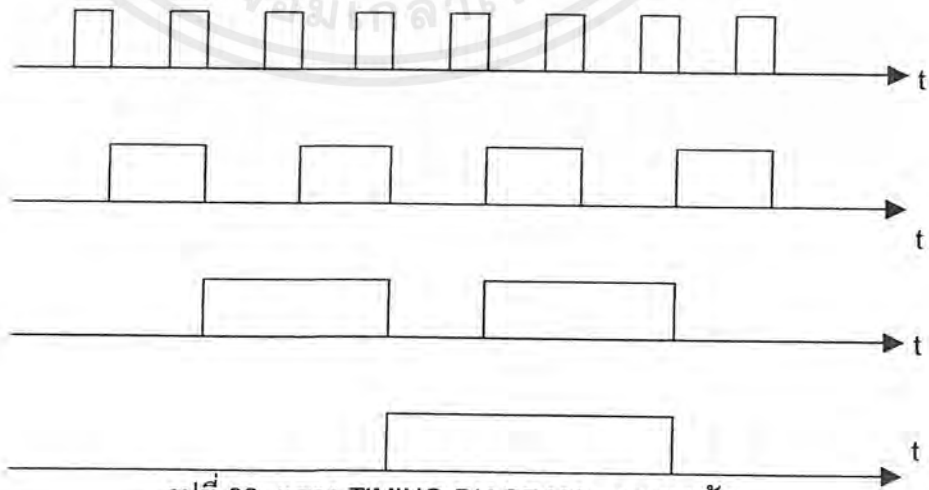
1. Asynchronous Counter

เป็นวงจรนับที่ไม่ใช้สัญญาณ Clock และจะเปลี่ยนสภาวะของ Flip- Flop ตัวหน้ามากระตุ้นอินพุทของ Flip- Flop ตัวถัดมาให้เปลี่ยนสภาวะ จึงทำให้วงจรชนิดนี้ของจำกัดด้วยความเร็วของการทำงานของ Flip- Flop แต่ละตัว วงจรนับชนิดนี้ได้แก่

1.1 Ripple Counter เป็นวงจรนับพื้นฐานที่ใช้กันโดยทั่วไปและง่ายต่อการออกแบบดังแสดงในรูปที่ 27



รูปที่ 27 แสดงวงจรนับพื้นฐานที่ใช้โดยทั่วไป



รูปที่ 28 แสดง TIMING DIAGRAM ของวงจรนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต้องการเริ่มทำการนับในวงจรครั้งแรกต้องทำการ Reset ให้เอาท์พุทของ Flip-Flop ทุกตัวเป็นศูนย์เสียก่อน โดยการต่อขา Reset ของวงจรกับขา Clear ของ Flip-Flop ทุกตัว วงจรชนิดนี้จำนวนนับได้จะขึ้นอยู่กับจำนวน Flip- Flop ที่ใช้ โดยมีจำนวนที่นับเท่ากับ 2 n เมื่อ n คือจำนวน Flip- Flop วงจรในรูปที่ 28 ใช้ Flip- Flop จำนวน 3 ตัว ดังนั้นจึงนับได้ตั้งแต่ 0 ถึง 7 Flip- Flop ตัว T1 จะเปลี่ยนสภาวะทุกครั้งที่สัญญาณ Input เปลี่ยนสภาวะจาก 1 ไปเป็น 0 Flip- Flop ตัว T2 จะถูกกระตุ้นจากเอาท์พุทของ Flip- Flop T1 และจะเปลี่ยนสภาวะเมื่อเอาท์พุทที่ออกจาก T1 เปลี่ยนจาก 1 ไปเป็น 0 ในทำนองเดียวกัน Flip- Flop T3 จะเปลี่ยนสภาวะเมื่อถูกกระตุ้นโดยเอาท์พุทที่มาจาก T2 การทำงานของวงจรนับสามารถเขียนเป็น Timing Diagram ได้ดังรูปที่ 28 และจะเห็นได้ว่าวงจรนับที่ประกอบด้วย Flip- Flop 3 ตัว การนับจะเป็นเลขฐานสองตั้งแต่ 000 ถึง 111 รวมทั้งหมด 8 ค่า การนับแบบนี้เรียกว่า "นับขึ้น"(Count – up) บางที่อาจเรียกแบบนี้ได้ว่า Modulo 8 counter

2 Synchronous Counter

วงจรนี้จะมีสัญญาณ Clock ป้อนให้กับ Flip- Flop ทุกตัว ทำให้สภาวะการทำงานของ Flip- Flop ทุกตัวเปลี่ยนไปพร้อมกัน จึงทำให้การทำงานมีความเร็วสูง วงจรชนิดนี้มักจะใช้จำนวนมากกว่าแบบ Asynchronous จึงทำให้มีราคาแพงกว่า ส่วนการออกแบบจะมีความคล้ายกัน Asynchronous

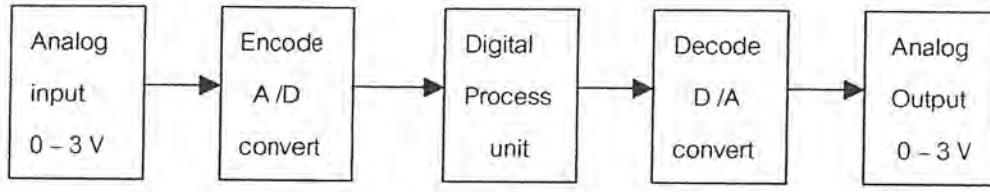
2.15 การแปลงสัญญาณอนาล็อก - ดิจิตอล (A/D – D/A CONVERTER)

วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก หรือเรียกย่อๆว่า " วงจรดี /เอ "(Digital to Analog Converter) เป็นวงจรที่ใช้สำหรับเปลี่ยนสัญญาณดิจิตอลซึ่งอยู่ในรูปของรหัสไบนารี่ให้เป็นสัญญาณอนาล็อก ซึ่งเป็นรูปสัญญาณแรงดัน

ส่วนวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล หรือเรียกว่า วงจรเอ / ดี(Analog to Digital Converter) จะทำงานสลับการทำงานของ วงจรดี / เอ คือเป็นวงจรที่ใช้สำหรับเปลี่ยนสัญญาณอนาลอกซึ่งเป็นรูปสัญญาณแรงดันให้เป็นสัญญาณดิจิตอล ซึ่งอยู่ในรูปของรหัสไบนารี่ วงจรประเภท ดี /เอ หรือ เอ / ดี มักพบเสมอในการสื่อสารระบบ พีซีเอ็ม (PCM) หรือในการวงจรสัญญาณเรียกขาน(Calling Signal) ของโทรศัพท์ระบบเอ็มเอฟพี (MFP) และในเครื่องดิจิตอล – โวลท์ – โอห์ม – มิเตอร์(DVOM) เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. การแปลงสัญญาณดิจิตอลเป็นอนาล็อก(D / A Converter)



รูปที่ 29 แสดงผังไดอะแกรมระบบดิจิตอลซึ่งมีอินพุทและเอาท์พุทเป็นสัญญาณอนาล็อก

ในส่วนของภาค ดี / เอ คอนเวอร์เตอร์ สมมุติว่าต้องการเปลี่ยนไบนารี่ จากภาคประมวลผลข้อมูล(Digital Processing Unit) ให้เป็นแรงดันอนาลอกตั้งแต่ 0 ถึง 3 โวลท์ ที่ภาคเอาท์พุท (Analog Output) โดยโดยมีตารางความจริงแสดงการเปลี่ยนรหัสไบนารี่ให้เป็นค่าแรงดันอนาลอกค่าต่างๆ แสดงตาราง

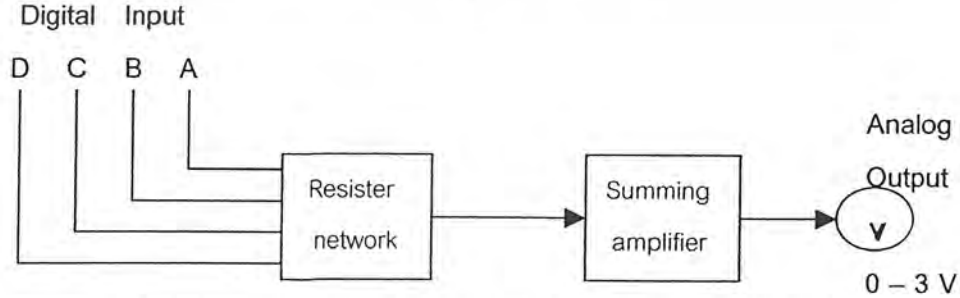
จากตารางรหัสไบนารี่มีจำนวน 4 บิท(D,C,B,A) เป็นอินพุทของวงจร ดี / เอ ซึ่งมีระดับแรงดันลอจิก" 1 " ที่ประมาณ +3 ถึง 5 โวลท์ และระดับลอจิก " 0 " ที่ประมาณ 0 โวลท์ ตารางค่าแรงดันอนาล็อกเอาท์พุทจะเพิ่มค่าขึ้นครั้งละ 0.2 โวลท์ เริ่มตั้งแต่ 0 โวลท์ ที่รหัส 0000 กล่าวคือเมื่อรหัสเป็น 0001 เอาท์พุทจะมีแรงดันเท่ากับ 0.2 โวลท์ และเมื่อรหัสไบนารี่เป็น 0010 เอาท์พุทจะมีแรงดันเท่ากับ 0.4 โวลท์ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 1 ตารางการเปลี่ยนข้อมูลรหัสไบนารีเป็นค่าแรงดันอนาลอก

	Digital Input				Analog Output
	D	C	B	A	(Volts)
ROW 1	0	0	0	0	0
ROW 2	0	0	0	1	0.2
ROW 3	0	0	1	0	0.4
ROW 4	0	0	1	1	0.6
ROW 5	0	1	0	0	0.8
ROW 6	0	1	0	1	1.0
ROW 7	0	1	1	0	1.2
ROW 8	0	1	1	1	1.4
ROW 9	1	0	0	0	1.6
ROW 10	1	0	0	1	1.8
ROW 11	1	0	1	0	2.0
ROW 12	1	0	1	1	2.2
ROW 13	1	1	0	0	2.4
ROW 14	1	1	0	1	2.6
ROW 15	1	1	1	0	2.8
ROW 16	1	1	1	1	3.0

ดิจิตอลอินพุท (D,C,B,A) จะป้อนเข้าทางซ้ายมือ วงจรถอดรหัสแบ่งออกเป็นสองภาคคือ ภาควงจรความต้านทาน (Resister Network) และภาคขยายผลรวม (Summing Amplifier) ค่าของแรง ดันอนาลอกทางเอ้าท์พุทที่จะได้จากดีซีโวลท์มิเตอร์ทางขวามือ



รูปที่ 30 แสดงผังไดอะแกรมของวงจร ดี / เอ คอนเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผังวงจรความต้านทานในรูปข้างต้น จะต้องเป็นตัวกำหนดน้ำหนักของรหัสไบนารีที่แต่ละบิต กล่าวคือรหัส " 1 " ที่อินพุท C ก็จะมีค่าเป็นสองเท่าของรหัส " 1 " ที่อินพุท D ก็จะมีค่าเป็นสองเท่าของรหัส "1 "ที่อินพุทC หรือเป็นแปดเท่าของรหัส " 1 " ที่อินพุท A วงจรความต้านทานดังหล่าวเรียกว่า วงจรรีซิสเตอร์แลดเตอร์ (Resister Ladder Network) หรือวงจรแลดเตอร์

วงจรขยายผลรวมโดยทั่วไปจะใช้ ไอซี ออปแอมป์ ซึ่งจะแปลงแรงดันวงจรรีซิสเตอร์แลดเตอร์ให้เป็นค่าแรงดันอนาลอกที่ต้องการ

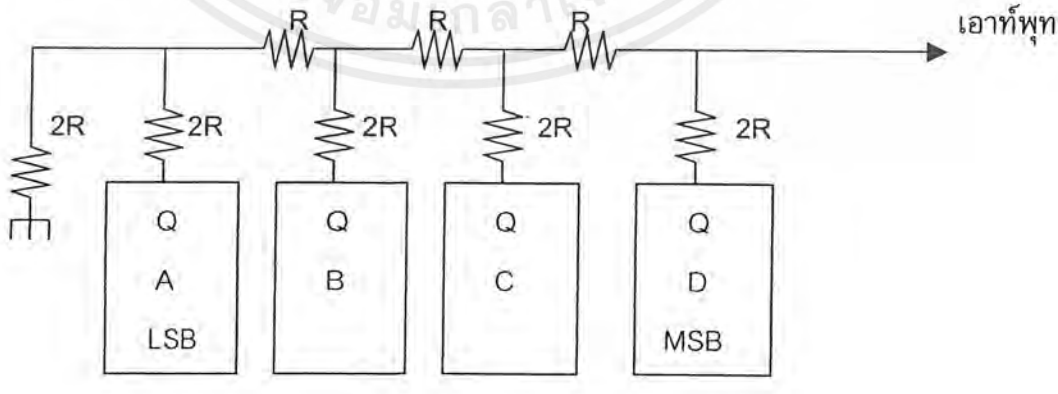
1.1 วงจร R-2R แลดเตอร์ ดี / เอ

ตัวอย่างวงจร ดี / เอ เบื้องต้นมีลักษณะดังรูปที่ 31 เรียกว่า วงจร R-2Rแลดเตอร์ ดี / เอ ซึ่งเป็นวงจรดี / เอ 4หลัก โดยใช้วงจรรีซิสเตอร์แลดเดอร์ (ladder network) ประกอบด้วย R และ 2R เป็นตัววัดระดับแรงดันของเอ้าท์พุทตามรหัสไบนารีที่อยู่ในรีซิสเตอร์

ถ้าให้ระดับโลจิก " 0 " เท่ากับ 0 โวลท์ และระดับลอจิก "1 "เท่ากับ V โวลท์ เอ้าท์พุทจะให้ระดับแรงดันที่แตกต่างกันตามรหัสไบนารี 2 n หรือ 16ค่า แต่ละระดับจะต่างกันเท่ากับ1/16 V โวลท์ รหัสไบนารีในรีซิสเตอร์จะเรียงหลักมากที่สุดถึงหลักน้อยที่สุด (ลำดับหลักจากซ้ายไปขวา) จากฟลิบฟลอบ D,C,B และ A ตามลำดับ

และโดยคุณสมบัติของวงจรแลดเตอร์ ระดับแรงดันที่เอ้าท์พุทจะเท่ากับผลรวมของแรงดันที่เกิดขึ้นจากรหัสไบนารีในหลักที่มีโลจิกเป็น " 1 " (หรือระดับแรงดัน V โวลท์)ซึ่งแต่ละหลักจะให้แรงดันที่เอ้าท์พุทในขณะมีลอจิกเป็น " 1 " เท่ากับ1/2 V,1/4V,1/8V,และ1/16V โวลท์เรียงลำดับจากD ถึง A ตัวอย่างเช่น สมมุติรีซิสเตอร์มีรหัสไบนารีอยู่ที่เลข 5 (0101) ซึ่ง

QO=0,QC=1,QB=0และQA=1จะได้แรงดันที่เอ้าท์พุทเท่ากับ(0x1/2v.+1x1/4v.+0x1/8v.+1x1/16v)หรือ 5/16v. โวลท์ ถ้ามีรหัสไบนารีอยู่ที่เลข 15 (1111) ซึ่งเป็นรหัสสูงสุดที่จะมีได้ในวงจรนี้ ก็จะได้แรงดันที่เอ้าท์พุทเท่ากับ 15/16 v. โวลท์ เป็นต้น



รูปที่ 31 แสดงวงจร R-2Rแลดเตอร์ ดี / เอ

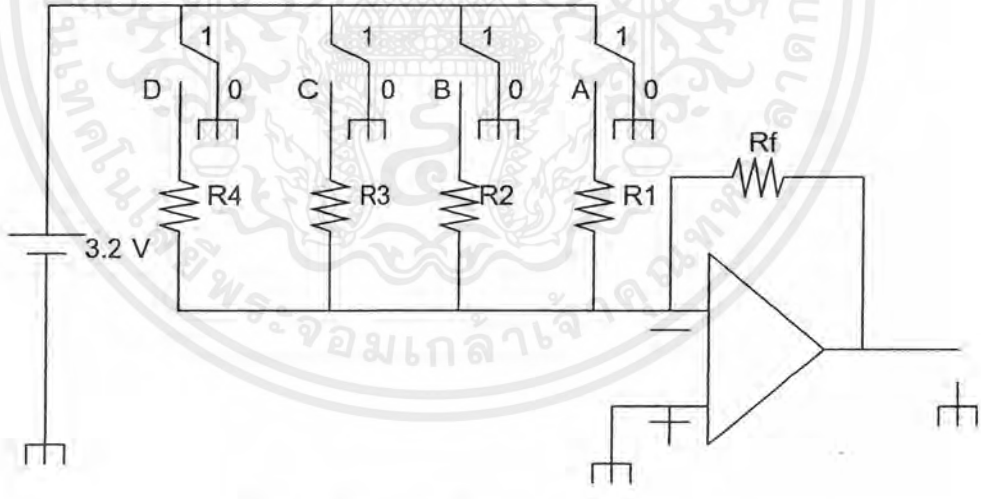
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 วงจร Weight Resistance ดี / เอ

เป็นแบบวัดความต้านทานตามน้ำหนักของรหัส (Weight Resistance D/A) โดยการจัดวงจรความต้านทานอินพุทของวงจรขยายผลรวมตามน้ำหนักของตำแหน่งบิทรหัสไบนารี ดังแสดงในรูปที่ 32 ความต้านทานของน้ำหนักของรหัสคือ R1 ,R2 , R3, และ R4 จะเห็นว่า ความต้านทาน R2 จะมีค่าน้อยกว่า R1 สองเท่า ความต้านทาน R3 จะมีค่าน้อยกว่าค่าความต้านทาน R2 สองเท่า หรือน้อยกว่า R1 สี่เท่า และความต้านทาน R4 จะมีค่าน้อยกว่าค่าความต้านทาน R3 สองเท่าหรือน้อยกว่า R1 แปดเท่าตามลำดับ ระดับแรงดันของลอจิก "1 " เท่ากับ3.2 โวลท์ และระดับแรงดันของโลจิก " 0 " เท่ากับ 0 โวลท์ จำนวนระดับของแรงดันเอ้าท์พุทที่จะมีได้ คือ 2/4 หรือ16 ระดับ ความต่างของแรงดันแต่ละระดับเท่ากับ 1/16x3.2 โวลท์ = 0.2 โวลท์

ค่าระดับแรงดันเอ้าท์พุทสำหรับรหัสไบนารีแต่ละระดับ จะได้ตามตารางที่ 1 โดยใช้หลักการคำนวณเช่นเดียวกันกับวงจร R – 2R แลดเดอร์ ดี / เอ

ตัวอย่าง ดิจิตอลไอซีที่ทำเป็น วงจร ดี / เอ คอนเวอร์เตอร์ เช่น MC 1506 (6 bit-multiplying Converter) , MC 1508 L8 (8 bit-multiplying Converter) ,DAC 08 (8 bit-multiplying Converter) เป็นต้น



รูปที่ 32 แสดงวงจร Weight Resistance ดี / เอ

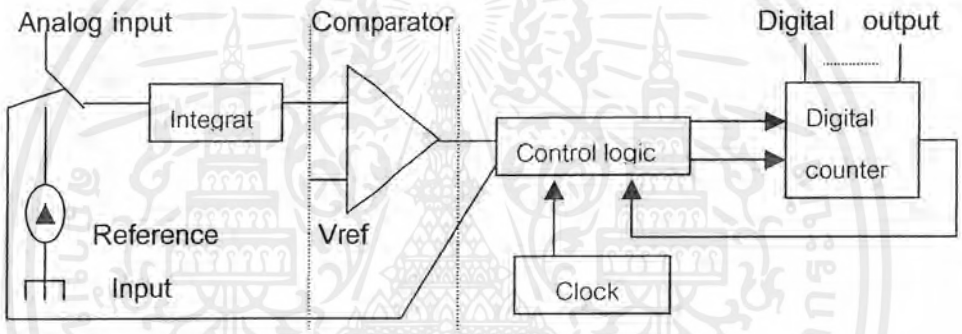
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (A / D Converter)

วงจร A / D (Analog to Digital Converter) จะทำหน้าที่แปลงแรงดันหรือกระแสที่เป็นสัญญาณอนาลอกไปเป็นตัวเลขหรือสัญญาณดิจิตอล วงจร A / D มีด้วยกันหลายแบบแต่ที่นิยมใช้กันแพร่หลายคือ

2.1 วงจรแบบ สโลปคู่(Dual Slop A /D)

แรงดันอนาลอกที่จะเปลี่ยนเป็นดิจิตอลจะถูกป้อนผ่านวงจรอิเลคทรอนิกส์สวิชท์ (Electronic Switch) และอินทิเกรเตอร์(Integrator)ซึ่งจะให้รูปสัญญาณเป็นแบบ แร้มป์(Ramp generator Circuit) สัญญาณดิจิตอลเอาท์พุทได้จากการนับ(Counter) ซึ่งจะทำงานในช่วงระหว่างช่วงเวลาสโลปบวกและสโลปลบของวงจรอินทิเกรเตอร์



รูปที่ 33 แสดงวงจรแบบ สโลปคู่ (Dual Slop A /D)

แรงดันอนาล็อกที่เปลี่ยนเป็นสัญญาณดิจิตอล จะถูกป้อนผ่านวงจร อิเลคทรอนิกส์ - สวิทช์ (Electronic Switch) และวงจรอินทิเกรเตอร์(Integrator) ซึ่งจะให้รูปสัญญาณเป็นแบบแร้มป์ (Ramp generator circuit) สัญญาณดิจิตอลเอาท์พุทจะได้จากวงจรนับ(Counter) ซึ่งจะทำงานในช่วงระหว่างเวลาสโลป บวก และเวลาสโลป ลบ ของวงจรอินทิเกรเตอร์

แรงดันอนาลอกจะถูกต่อเข้ากับวงจรอินทิเกรเตอร์ แรงดันที่ป้อนให้กับอินพุทของวงจรเปรียบเทียบแรงดันจะค่อยๆ เพิ่มขึ้น แบบลิเนียร์แร้มพ์ จนกระทั่งจนกระทั่งถึงค่าแรงดันบวกค่าหนึ่งเมื่อสุดช่วงระยะเวลาแรกแรงดันที่ได้จากวงจรอินทิเกรเตอร์ จะมีค่ามาก ถ้าแรงดันอินพุทมีค่ามาก ซึ่งเป็นการทำงานในสโลปบวก วงจรนับจะถูกรีเซ็ทเป็น " 0 " และวงจรอิเลคทรอนิกส์สวิทช์ จะต่ออินพุทของวงจรอินทิเกรเตอร์ไปที่ค่าแรงดันอ้างอิงค่าคงที่ ทำให้แรงดันเอาท์พุทที่ของวงจรอินทิเกรเตอร์ค่อยๆ ลดลงในอัตราคงที่ ในขณะเดียวกันวงจรนับก็จะเริ่มนับเดินหน้าเริ่มต้นจาก " 0 " ไปเรื่อยๆ จนกระทั่งแรงดันที่เอาท์พุทของวงจรอินทิเกรเตอร์มีค่าต่ำกว่าระดับแรงดันอ้างอิงที่ขาอินพุทอีกข้างหนึ่งของวงจรเปรียบเทียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรลอจิกควบคุม(Control logic)จึงจะได้รับสัญญาณจากเอาท์พุทของวงจรเปรียบเทียบแรงดันดับให้วงจรนับหยุดทำงาน เป็นการทำงานในสโลปลบของวงจรอินทิเกรเตอร์ค่ารหัสที่เก็บไว้ในวงจรนับ ก็เป็นรหัสดิจิตอลที่แทนค่าระดับแรงดันอนาล็อกที่อินพุท

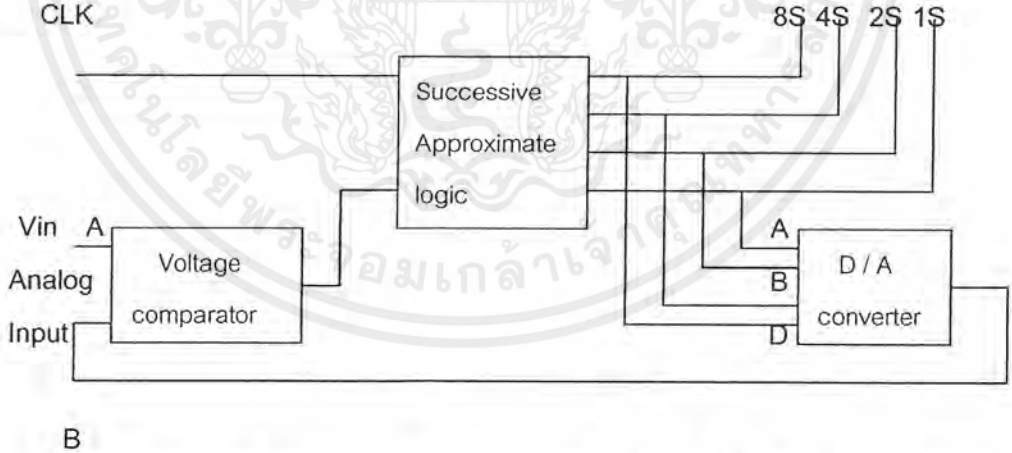
2.2 วงจรเปรียบเทียบแรงดัน (Voltage Comparator)

จากรูปแรงดันที่อินพุท A มากกว่าแรงดันที่อินพุท B จะทำให้เอาท์พุทของออปแอมป์เป็นลอจิก " 1"หรือค่าแรงดันประมาณ 3 – 4 โวลท์ (จำกัดโดยค่าแรงดันซีเนอร์ที่เอาท์พุท) และเมื่อแรงดันที่จุด B มีค่ามากกว่าที่จุด A (ตามขั้วมี่กำหนด) จะทำให้เอาท์พุทที่ออปแอมป์เป็นลอจิก " 0 " หรือค่าแรงดันประมาณ –0.6 V.
ซึ่งจำกัดโดยแรงดัน ฟอร์เวอร์ด ของซีเนอร์ไดโอดที่เอาท์พุท

2.3 วงจร Succesive Approximation A /D หรือ A /D แบบประมาณทีละบิต

วงจร เอ /ดี แบบนี้ประกอบด้วยวงจรเปรียบเทียบแรงดัน วงจร เอ /ดี คอนเวอร์เตอร์แบบวงจร Successive – Approximation Logic ดังแสดงในรูป

ข้อดีของวงจร เอ /ดี แบบนี้คือ จะใช้เวลาในการเปลี่ยนสัญญาณเร็วมาก เพราะไม่ต้องใช้วิธีนับเรียงลำดับไปเรื่อย ๆ เหมือนกับแบบอื่นๆ วงจรนี้ จึงเป็นที่นิยมใช้อย่างแพร่หลายมาก



รูปที่ 34 แสดงวงจร Succesive Approximation A /D หรือ A /D แบบประมาณทีละบิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.16 หน่วยความจำ

เป็นส่วนที่ใช้ในการเก็บข้อมูลเลขฐานสอง ในยุคแรกๆ จะใช้แกนเหล็กที่ทำเป็นแม่เหล็กได้มาทำเป็นหน่วยความจำ ในปัจจุบันจะหันมาใช้หน่วยความจำชนิดที่ทำมาจากวัตถุสารกึ่งตัวนำ มีดังนี้

1. ROM(Read Only Memory)

เป็นชนิดของหน่วยความจำที่ง่ายที่สุด จะมีลักษณะเหมือนกลุ่มรีจิสเตอร์ แต่ละตัวเก็บข้อมูลในรูปของกลุ่มคำเลขฐานสองเป็นแบบคงที่ตลอด รอมจะสามารถอ่านข้อมูลที่มีอยู่ภายในเท่านั้น ส่วนข้อมูลที่อยู่ภายในนั้นจะได้รับการเขียนมาจากโรงงาน แต่ในบางครั้งผู้ใช้ต้องการที่จะสามารถออกแบบโปรแกรมเองได้ จึงได้มีการสร้างรอมออกมาหลายชนิด เพื่อให้ผู้ใช้เลือกใช้งานตามความเหมาะกับงานที่ต้องการ เราจะไม่นำมากล่าวถึงรายละเอียดมากนัก เนื่องจากไม่ได้ใช้ในโครงงานนี้

2. RAM(Random Access Memory)

ในเรื่องของรอมนั้นจะสามารถอ่านข้อมูลเท่านั้น จะเขียนข้อมูลลงไปใหม่ไม่ได้อีก แต่ในส่วนของแรมนั้นจะมีลักษณะของบัฟเฟอร์รีจิสเตอร์ที่มีแอดเดรสบอกตำแหน่งที่แน่นอน หลังจากที่เราได้ค่าแอดเดรสที่ถูกต้องเข้าไปแล้ว เราก็จะทำการอ่านข้อมูลของกลุ่มคำเลขฐานสองที่เก็บอยู่ภายในได้หรือจะทำการเขียนข้อมูลลงไปก็ได้ นั้นคือการนำข้อมูลใหม่ที่เราต้องการเข้ามาเก็บไว้ภายในแรมก็ได้

RAM

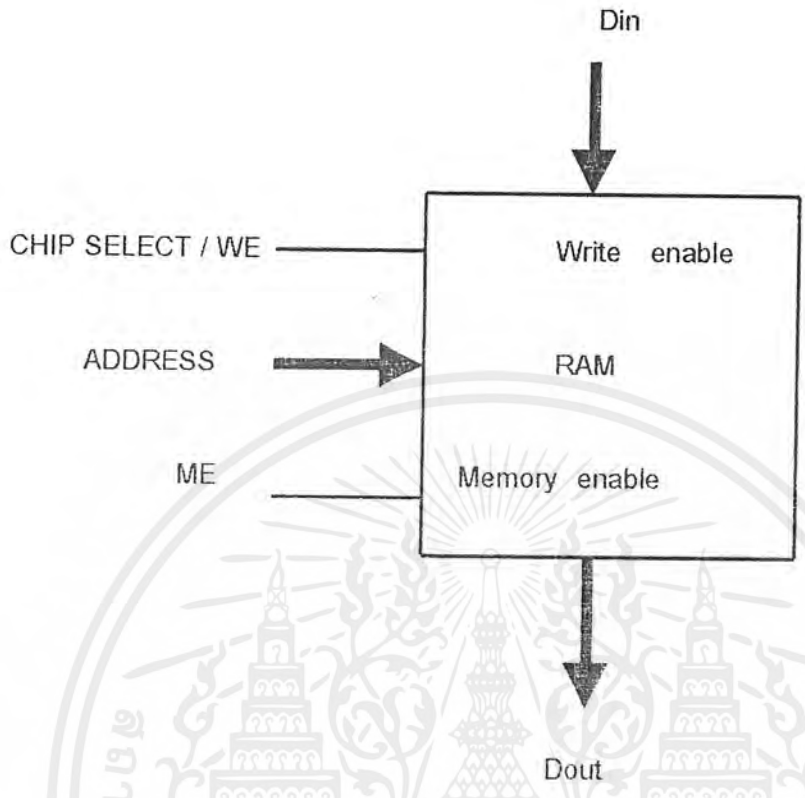
สามารถสร้างได้จากหลายอย่างเช่นแกนเหล็กที่ทำให้มีอำนาจแม่เหล็กได้ทรานซิสเตอร์แบบไบโพล่าร์หรือมอสเฟส โดยแบบ แกนเหล็กจะสามาเก็บข้อมูลไว้ได้นาน เราเรียกว่า "นอนโวลาไทล์(nonvotile)" สำหรับไบโพล่าร์หรือมอสแรม(mosram) เราเรียกว่า "โวลาไทล์(volatile)" ต้องการไฟเลี้ยงตลอด ถ้าไฟดับข้อมูลที่อยู่ภายในก็จะสูญหายไปด้วย

หน่วยความจำที่ทำจากสารกึ่งตัวนำจะเป็นรูปของ สเตติก(static) หรือ ไดนามิก(dynamic)ก็ได้ ในหน่วยความจำแบบสเตติกแรมจะใช้ไบโพล่าร์หรือมอสฟลิปฟลอป

แบบไดนามิกแรม(DRAM) จะประกอบไปด้วยตัวเก็บประจุและมอสเฟสเป็นที่เก็บข้อมูล จะต้องมีการกระตุ้นตัวเก็บประจุอยู่ตลอดเวลาเราเรียกว่า "การรีเฟรช(refresh)" ทุกๆ 2-3 มิลลิวินาที เพื่อเป็นการเก็บรักษาข้อมูลไว้

แบบสแตติกแรม(SRAM) จะเป็นการทำงานแบบอะซิงโครนัส คือไม่ต้องอาศัยสัญญาณนาฬิกาในการเก็บหรืออ่านข้อมูล และจะประกอบด้วยตัวฟลิปฟลอป ดังนั้นปัจจุบันได้มีการพัฒนาหน่วยความจำไปอย่างเร็วพร้อมทั้งมีประสิทธิภาพสูงควบคู่ไปด้วย โดยมีการนำลักษณะของทั้งสองแบบมาพัฒนาร่วมกันจนออกมาเป็นแรมชนิดใหม่ๆ อาทิเช่น SDRAM ซึ่งนิยมใช้ในวงการคอมพิวเตอร์มาก ฯลฯเช่นเดียวโครงงานนี้ก็ได้มีการนำแรมมาใช้งานเป็นแบบ สแตติกแรม และได้นำรูปแบบการควบคุมการทำงานของแรมแสดงอย่างสังเขป ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

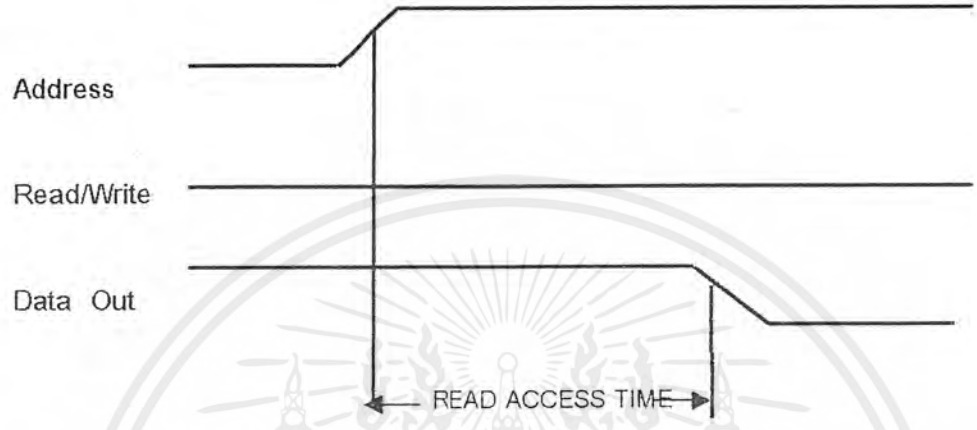


รูปที่ 35 แสดงสัญลักษณ์หน่วยความจำ (RAM) แบบสามสถานะ

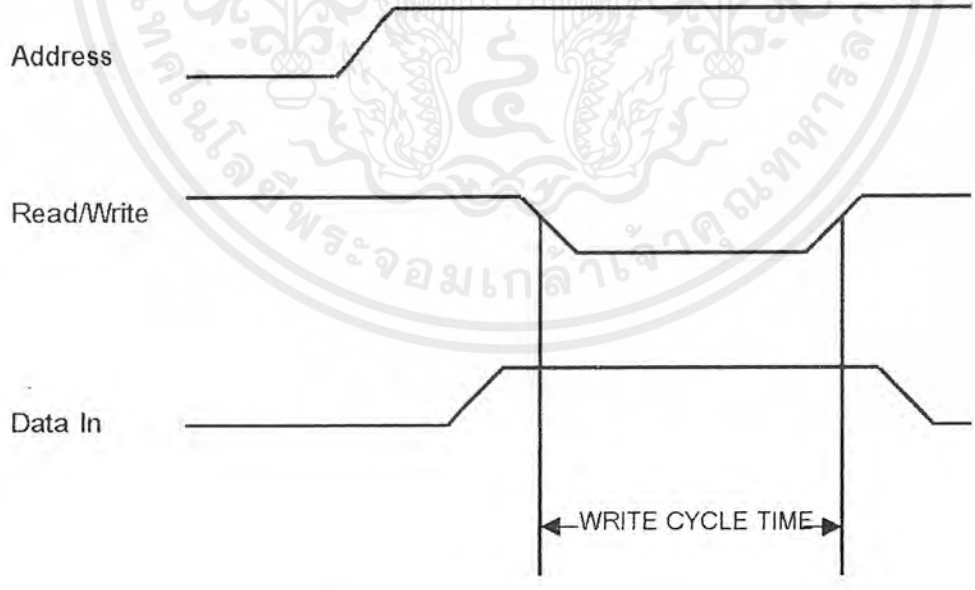
ตารางที่ 2 แสดงการทำงานของ RAM

ME	WE	การทำงาน	สัญญาณออก
0	X	โฮล	ลอยตัว
1	0	อ่าน	ต่อออก
1	1	เขียน	ลอยตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 36 แสดงช่วงเวลาในการอ่านข้อมูล



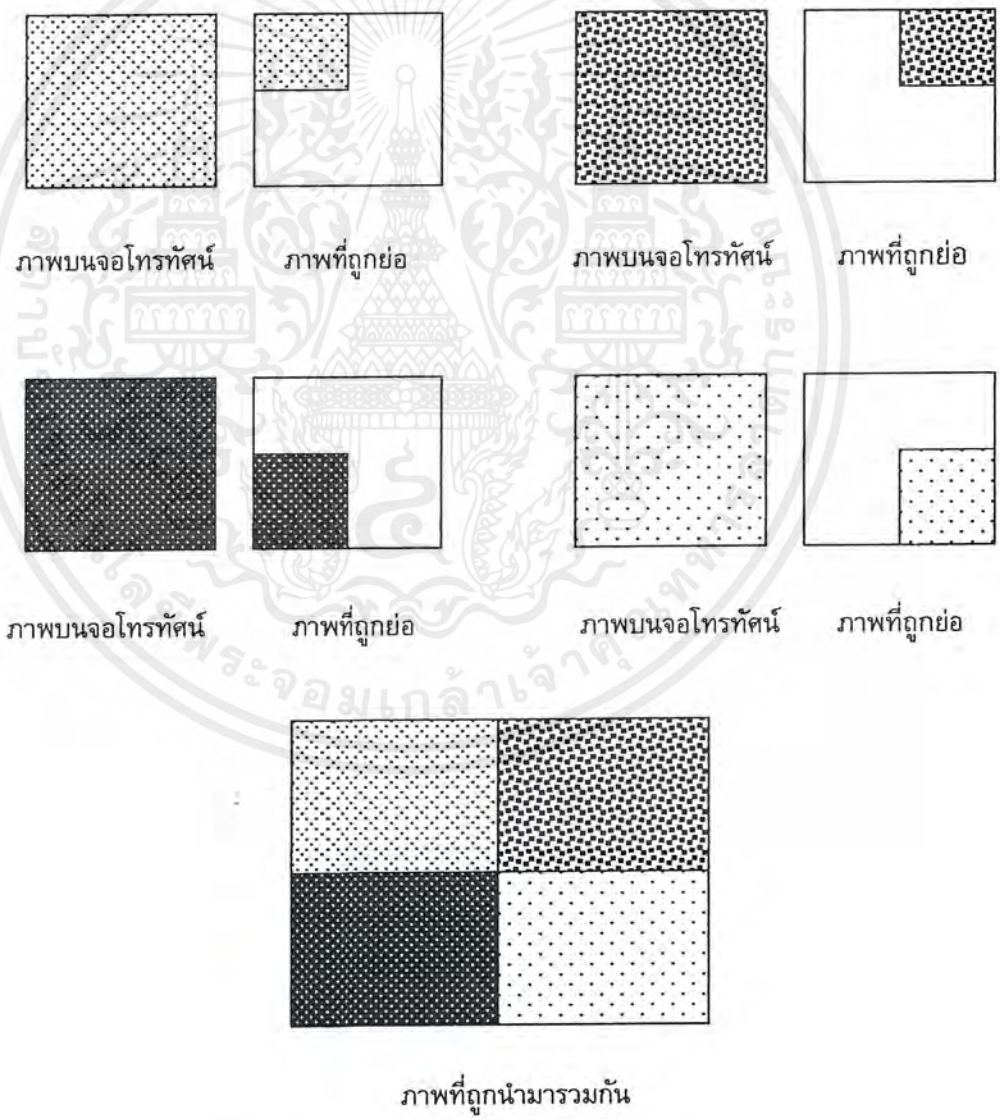
รูปที่ 37 แสดงช่วงเวลาในการเขียนข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและการสร้าง

3.1 แนวความคิดในการออกแบบ

จุดมุ่งหมายของการออกแบบสร้างเครื่องรวมสัญญาณภาพ คือ การทำให้ภาพมีขนาดเล็กลงโดยนำเอาภาพที่ปกติแสดงบนจอโทรทัศน์ 1 จอภาพ มาย่อให้เล็กลงแล้วรวมภาพที่ได้ย่อไว้ทั้ง 4 สัญญาณภาพให้มีขนาดเท่าเดิมหรือเท่ากับ 1 จอภาพ เพื่อนำกลับไปแสดงบนจอภาพโทรทัศน์ ภาพที่ปรากฏใน 1 จอภาพจะมีการแสดงสัญญาณภาพของทั้ง 4 สัญญาณภาพ

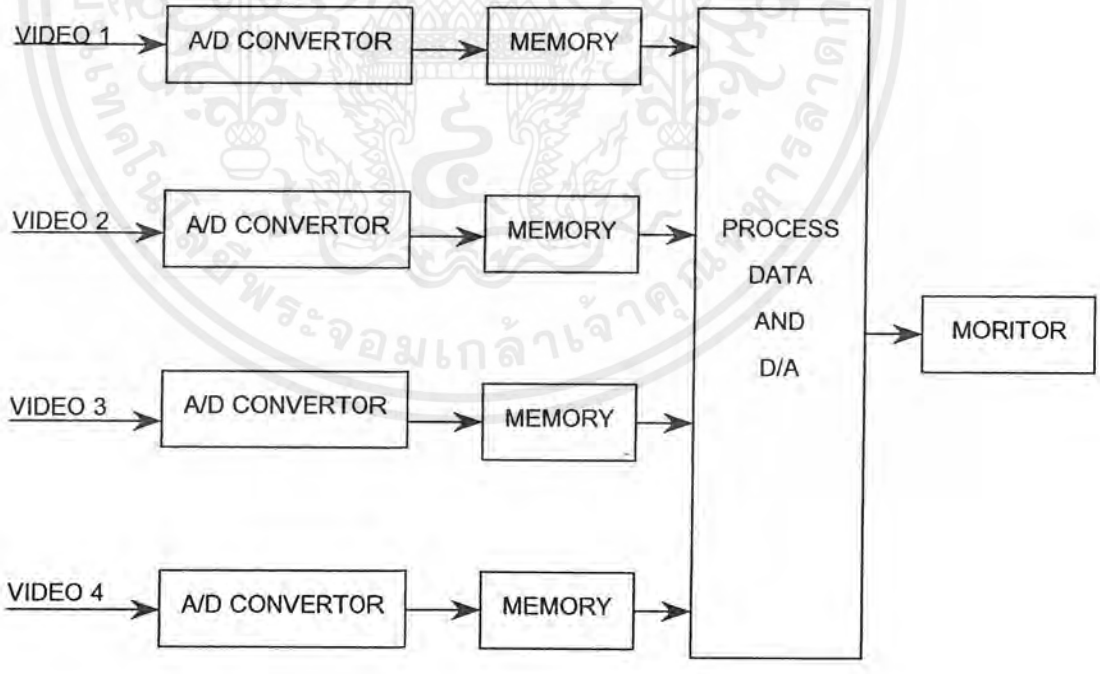


รูปที่ 38 แสดงลักษณะของสัญญาณภาพที่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 แนวความคิดในการออกแบบระบบ

ปกติแล้วภาพที่แสดงบนจอภาพโทรทัศน์เกิดจากการเปลี่ยนแปลงระดับของสัญญาณภาพ (Video signal) ดังนั้น ถ้าหากควบคุมสัญญาณภาพได้ ก็สามารถควบคุมการแสดงภาพที่หน้าจอภาพได้เช่นกัน เนื่องจากสัญญาณภาพเป็นสัญญาภาพอนาลอก การเข้าไปควบคุมและจัดการกับสัญญาณโดยตรงมีความยุ่งยาก วิธีการที่คิดว่าน่าจะเป็นไปได้และมีความยุ่งยากน้อยกว่าคือการนำเอาสัญญาณภาพอนาลอกมาทำการเปลี่ยนให้อยู่ในรูปของข้อมูลทางดิจิตอลแล้วจัดเก็บไว้ในหน่วยความจำ ซึ่งเหมือนกับว่าองค์ประกอบภาพของจอภาพที่ตำแหน่งต่างๆ ถูกแทนที่ด้วยข้อมูลในหน่วยความจำ เมื่อสัญญาณภาพถูกแปลงเป็นสัญญาณดิจิตอลและจัดเก็บลงหน่วยความจำแล้ว กระบวนการต่อมาคือ การจัดการกับข้อมูลดิจิตอลที่ได้ให้เป็นไปตามที่ต้องการ การกระทำได้กับข้อมูลภาพดิจิตอล จะเสมือนไปกระทำกับสัญญาณภาพอนาลอกหรือเป็นการทำให้ภาพที่ปรากฏบนจอภาพเปลี่ยนแปลงนั้นเอง ทั้งนี้เพราะว่าในขบวนการต่อมาเป็นการนำเอาข้อมูลภาพดิจิตอลมาสร้างเป็นสัญญาณภาพอนาลอกอีกครั้งหนึ่ง หากไม่มีการเปลี่ยนแปลงข้อมูลเมื่อทำการเปลี่ยนแปลงสัญญาณกลับคืนมาแล้วจะได้ภาพที่เหมือนเดิม แต่ถ้าหากข้อมูลถูกเปลี่ยนไปภาพที่ได้ก็จะเปลี่ยนแปลงตามไปด้วย ซึ่งสามารถเขียนรูปแสดงแนวความคิดและบล็อกไดอะแกรมพื้นฐานของเครื่องจัดแบ่งสัญญาณภาพ



รูปที่ 39 บล็อกไดอะแกรมพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ลักษณะการเก็บข้อมูลภาพดิจิตอล

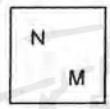
สัญญาณภาพอนาลอกถูกเปลี่ยนให้เป็นข้อมูลภาพดิจิตอล โดยการใช้ขบวนการพีซีเอ็ม (PCM: Pulse Code Modulation) ดังนั้นคุณภาพของภาพหลังจากทำการแปลงแล้วขึ้นอยู่กับ 2 ตัวแปร คือ ความถี่ที่ใช้ในการสุ่มสัญญาณ จะเป็นตัวกำหนดความละเอียดของภาพ หากให้ความถี่สูง ภาพที่ได้มีความละเอียดสูงกว่าที่ใช้ความถี่ต่ำ ส่วนอีกตัวแปรหนึ่งคือ จำนวนบิตนำมาใช้แทนระดับของสัญญาณภาพในแต่ละจุด ซึ่งแต่ละจุดเมื่อแปลงกับคืนเป็นภาพแล้วจะสามารถแสดงความชัดเจนได้แค่ไหนก็ขึ้นอยู่กับจำนวนบิท หากจำนวนบิตที่นำมาแทนระดับของสัญญาณภาพมีจำนวนมาก ทำให้การแทนระดับสัญญาณอนาล็อกด้วยข้อมูลภาพดิจิตอลมีความผิดพลาดน้อย เมื่อแปลงเป็นสัญญาณอนาล็อกก็จะได้สัญญาณที่แทบจะไม่แตกต่างจากเดิม แต่หากจำนวนบิทที่ใช้มีค่าน้อยเกินไปแล้วจะทำให้เกิดการผิดเพี้ยนของสัญญาณ ความชัดเจนของภาพแต่ละจุดก็น้อยลงเช่นกัน แต่อย่างไรก็ตามปริมาณของข้อมูลดิจิตอลจะมากขึ้นตามความละเอียดและชัดเจนของภาพด้วย นั่นคือต้องมีหน่วยความจำขนาดใหญ่คอยเก็บข้อมูลเหล่านี้ ซึ่งการจัดเก็บข้อมูลดิจิตอลต้องมีความเร็วทันกับที่สัญญาณอนาลอกถูกแปลง ข้อมูลภาพที่ได้จึงสมบูรณ์ สำหรับวิธีการจัดเก็บข้อมูลภาพลงหน่วยความจำมีอยู่หลายวิธีและหลายรูปแบบ แต่ในโครงงานที่ออกแบบมีแนวความคิดที่ให้การจัดเก็บข้อมูลภาพดิจิตอลเลียนแบบการแสดงผลบนจอภาพโทรทัศน์ทั้งนี้เพราะว่าทำให้เห็นภาพพจน์ของข้อมูลและไม่สับสนในการออกแบบ วิธีนี้จะมองพื้นที่ของหน่วยความจำให้เห็นเป็นจอภาพ เพื่อแทนจุดบนจอภาพด้วยข้อมูลในหน่วยความจำที่ตำแหน่งตรงกัน

3.4 ลักษณะการรวมภาพและการจัดการข้อมูล

เมื่อสัญญาณภาพอนาลอกที่แสดงได้ 1 จอภาพถูกแปลงเป็นข้อมูลดิจิตอลและจัดเก็บลงหน่วยความจำแล้ว หากนำข้อมูลในหน่วยความจำนี้ไปทำการแปลงกลับเป็นสัญญาณอนาลอกจะได้ภาพที่สมบูรณ์แสดงได้ 1 จอภาพเช่นเดิม แต่จุดมุ่งหมายของโครงงานไม่ได้อยู่ตรงจุดนี้ ดังนั้นข้อมูลดิจิตอลจึงต้องผ่านขบวนการย่อขนาดภาพก่อนการจัดเก็บข้อมูล และลักษณะของการย่อก็จะกำหนดการเก็บโดย 2 จุด (Divel) จะเก็บเพียง 1 จุด (Pixel) และ 2 เส้น (Line) จะเก็บเพียง 1 เส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1 1	1 2	1 3		1 511	1 512
2 1	2 2	2 3		2 511	2 512
255 1	255 2	255 3		255 511	255 512
256 1	256 2	256 3		256 511	256 512



N คือ เส้นภาพ

M คือ จุดภาพ

รูปที่ 40 แสดงตำแหน่งของจุดภาพ

ในการอ่านข้อมูลจากหน่วยความจำใน 1 เส้น ของสัญญาณที่เก็บจะถูกอ่านหมดก่อนที่จะหมดภายในครึ่งเส้นของจอภาพ ดังนั้นใน 1 เส้น ของจอโทรทัศน์จะแสดงได้ 2 เส้น ของหน่วยความจำในกรณีนี้ก็สามารถอธิบายหลักการของการแสดงผลจำนวนเส้นภาพทั้งหมดใน 1 จอภาพได้เช่นเดียวกัน โดย 1 ภาพของหน่วยความจำจะถูกอ่านหมดภาพในครึ่งจอภาพ เมื่อเรารวมการแสดงผลของจุด และเส้นภาพ จะสามารถแสดงผลภาพได้ 2*2 ภาพ

3.5 ระบบเครื่องรวมสัญญาณภาพ

ในโครงงานนี้ได้ออกแบบให้เครื่องรวมสัญญาณภาพ ให้สามารถรวมภาพได้ 4 ภาพ สัญญาณภาพจะถูกสุ่มสัญญาณที่ 10 เมกะเฮิรตซ์ แต่จะเก็บที่หน่วยความจำเพียงครึ่งเดียว คือ ที่สัญญาณสุ่ม 5 เมกะเฮิรตซ์ จึงทำให้ได้ความละเอียด 256*128 จุดต่อ 1 เฟรม โดยแต่ละจุดภาพเป็นข้อมูลขนาด 8 บิต หรือมีระดับความแตกต่างกัน 256 ระดับสัญญาณเป็นสัญญาณภาพขาวดำ ระบบพาล (PAL) ทำการเก็บสัญญาณภาพ 1 ฟิลด์ต่อเฟรม เป็นภาพเคลื่อนไหวที่เวลาจริง (Real Time)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 หลักการสร้างและการทำงานของวงจร

การทำงานในส่วนต่างๆ ของระบบ เราสามารถอธิบายได้อย่างง่ายๆ โดยอาศัยบล็อกไดอะแกรมที่แสดงให้เข้าใจได้อย่างรวดเร็ว ซึ่งในขั้นแรกเราจะอธิบายการสร้างเพียง 1 ช่องสัญญาณก่อน โดยเริ่มจากการนำสัญญาณภาพ (Video Composite) จากเครื่องส่งมาเป็นอินพุทของวงจร ดังนั้นจะต้องทำการแมทช์ซิ่งอิมพิแดนซ์ (Matching Impedance) และทำการขยายสัญญาณให้มีความแรงพอที่จะจ่ายให้กับส่วนต่างๆ ต่อไป สัญญาณที่ได้จะนำไปทำการแยกความถี่ออกจากคลื่นพาห์ (Carrier Wave) โดยใช้ ไอซี เบอร์ LM 1881 ทำหน้าที่ดังกล่าว เราจะแยกเอาเพียงแต่สัญญาณ Y (Luminance Signal) เท่านั้น โดยเราจะใช้วงจรโมโนสเตเบิ้ล (Mono-stable) เพื่อเลือกเอาช่วงสัญญาณที่ต้องการ โดยต้องสร้างสองชุด ทำการควบคุมได้ทั้งขอบขาขึ้นและขอบขาลงของสัญญาณ Y ในการสร้างจำเป็นต้องมีความถี่มาตรฐาน จึงได้ทำการสร้างวงจรกำเนิดสัญญาณ (Oscillator) ที่จะป้อนคล็อก (Clock) ความถี่ 10 MHz (CK – 2FS) และสัญญาณคล็อกที่มีความถี่ 10/2 MHz (CK – FS) สัญญาณ Y ที่ได้มาทำการเปลี่ยนเป็นสัญญาณดิจิตอล (DIGITAL) เนื่องจากสัญญาณแบบดิจิตอล จะสามารถควบคุมและปรับเปลี่ยนสัญญาณได้ง่ายกว่าแบบ อนาล็อก และสามารถนำมาเก็บข้อมูลได้ โดยใช้วงจร ADC (Analog to Digital Converter) โดยจะใช้ ไอซีเบอร์ CA3306 ซึ่งในการควบคุมที่ขา CLK ทำได้จากการนำสัญญาณคล็อก 10/2 MHz มา AND กับสัญญาณ โมโนสเตเบิ้ล จะทำให้ A/D ทำงานเฉพาะในช่วงที่มีสัญญาณ Y เท่านั้น และจะถูกเปลี่ยนเป็นสัญญาณ ดิจิตอล ในส่วนของโครงงานนี้ ต้องการให้หนึ่งจอภาพสามารถแสดงสัญญาณภาพได้ 4 ช่องสัญญาณพร้อมกัน จึงต้องทำการย่อภาพโดยวิธีการเลือกเส้นการสะแกน และนำสัญญาณที่ได้มาเก็บไว้ใน RAM และเพื่อเป็นการป้องกันจึงได้มีการเพิ่มวงจรบัฟเฟอร์ ซึ่งเป็นการป้องกันการ Over Load ระหว่างสัญญาณที่มาจาก A/D กับอินพุทของ RAM ในส่วนนี้เราจะนำสัญญาณ 10/2 MHz (CK – FS) มาควบคุมในส่วนของการเก็บข้อมูล (WR) และในส่วนของการอ่านข้อมูล (RD) จะใช้ความถี่ 10 MHz มาเป็นตัวควบคุม และนำความถี่ดังกล่าวมาควบคุมคล็อกในการนับแอดเดรสในการอ่านและเก็บข้อมูลของหน่วยความจำ ดังนั้นจากการที่เราใช้ความถี่ที่แตกต่างกันระหว่างการเก็บ กับ การอ่านข้อมูล สัญญาณที่ได้จากการอ่านข้อมูลจาก RAM จะมีความกว้างลดลงครึ่งหนึ่งของสัญญาณที่เข้ามาในตอนแรก ในขณะเดียวกันก็ได้มีการควบคุมแอดเดรสของ RAM โดยวงจรนับขึ้นและนับลง (UP – DOWN Converter) จำเป็นต้องทำให้มีความสอดคล้องกับการทำงานในส่วนอื่นๆ ด้วย โดยที่หน่วยความจำจะรู้ว่าช่วงใดต้องทำการเขียนข้อมูล และช่วงใดต้องทำการอ่านข้อมูล จากหน่วยความจำ สัญญาณที่จะนำมาควบคุมได้แก่ การอ่าน การเก็บ และยกเลิกการทำงานในบางช่วง ส่วนของการนำข้อมูลออกมาแสดงบนจอภาพจะต้องนำสัญญาณจาก RAM มาเปลี่ยนเป็นสัญญาณอนาล็อกโดยใช้วงจร D/A (Digital to Analog Converter) ซึ่งจะใช้ ไอซี เพื่อความสะดวกในการควบคุม สัญญาณที่ได้จะเป็นสัญญาณ Y แล้วนำมาป้อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้าวงจร สวิตช์ควบคุม (Control Switch) เพื่อทำการเลือกเอาสัญญาณช่องใดออกแสดงบนจอภาพในช่วงเวลาที่เหมาะสม โดยที่สัญญาณ Y นี้เป็นเพียงระดับสัญญาณของภาพไม่สามารถนำออกไปเข้าจอภาพโดยตรง จึงต้องนำมารวมกับสัญญาณควบคุม (Modulation) ซึ่งได้แก่ สัญญาณซิงค์แนวนอนและแนวตั้ง (Horizontal Sync and Vertical Sync) สัญญาณลูมิแนนซ์ IF และสัญญาณคลื่นพาห์ (Carrier Wave) ซึ่งการทำงานทั้งหมดนี้เรียกว่าสัญญาณ RF (RF Signal) หลักการที่ได้กล่าวมาเป็นเพียงการทำงานของสัญญาณภาพที่เข้ามาเพียง 1 ช่องสัญญาณเท่านั้น ซึ่งเราต้องการแสดงสัญญาณที่เข้ามาให้ได้ 4 ช่องสัญญาณบนจอภาพ 1 จอ จึงต้องทำตามขั้นตอนดังกล่าวมาแล้วกับสัญญาณที่เหลือในช่องอื่นๆ ด้วย โดยต้องมีการควบคุมช่วงเวลาในการแสดงผลบนจอภาพให้มีความสัมพันธ์กันในแต่ละช่องโดยใช้วงจรในส่วนสวิตช์ควบคุม

ในส่วนของช่องที่สองนั้นจะใช้หลักการของโทรทัศน์เข้ามาช่วยทำโดยใช้หลักสัญญาณโทรทัศน์ในหนึ่งภาพ จะมีสัญญาณที่แสดงบนจอมอนิเตอร์สองเฟรม และจากการคำนวณจะพบว่าในเวลาทุกๆหนึ่งภาพ สัญญาณที่เข้ามาทางอินพุทของช่องสัญญาณที่สองจะเข้าเต็มหนึ่งเฟรม

ดังนั้นจากแนวคิดที่กล่าวมาข้างต้น ทำให้สามารถนำมาสร้างเป็นวงจรควบคุมการทำงานของสัญญาณช่องที่สองได้ นั่นคือ เมื่อป้อนสัญญาณช่องที่สองผ่านเข้ามาที่วงจรแยกสัญญาณซิงค์ โดยใช้ IC#LM1881 เป็นตัวแยก เนื่องจากเราต้องการสัญญาณควบคุมให้เครื่องทำการเก็บข้อมูลของสัญญาณภาพได้เต็มหนึ่งเฟรมของช่องที่สอง โดยใช้เวลาในการเก็บข้อมูลเทียบกับสัญญาณช่องแรกเป็นสองเฟรม ทำโดยการนำสัญญาณเวอร์ซิงค์ของช่องแรกเทียบกับสัญญาณเวอร์ซิงค์ของที่สองโดยใช้ IC#74HC74 จะได้เป็นสัญญาณที่มีช่วงเวลาที่ต่างกันระหว่างสองช่อง นำสัญญาณที่ได้มาเทียบกับสัญญาณนับสองเฟรมของช่องสัญญาณแรกทำโดยใช้IC#74HC393 นำสัญญาณที่ได้ไปรวมกับสัญญาณคล็อก 5MHz สัญญาณที่ได้จะเป็นสัญญาณที่ใช้ในการเขียนข้อมูล (WE) นำสัญญาณนี้ไปรวมกับสัญญาณนับสองเฟรมของช่องสัญญาณแรก จะได้สัญญาณควบคุมการเขียนหน่วยความจำ (WE2.1,WE2.2) และนำสัญญาณนับสองเฟรมของสัญญาณช่องแรกมาเป็นสัญญาณควบคุมการอ่านข้อมูลของหน่วยความจำ (OE2.1,OE2.2) นำข้อมูลที่อ่านออกมา เข้าวงจรสวิทช์เลือกสัญญาณโดยใช้ IC#74LS153เป็นตัวสวิทช์เลือก จะได้สัญญาณข้อมูลการแบ่งช่องมาเข้าวงจรDigital to Analog Converter เอาท์พุทจะเป็นสัญญาณภาพที่ถูกแบ่งเป็น 4 ช่องสัญญาณ

ในหลักการดังที่ได้กล่าวมานั้น อาจเรียกว่า" การเก็บสัญญาณภาพหนึ่งเฟรม อ่านสัญญาณภาพออกเป็นสองเฟรม "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 วงจร OSCILLATOR

ในส่วนนี้จะใช้ ไอซี Inverter ซึ่งมีความเร็วในการทำงานสูงโดย R , C , X-TAL ความถี่ 10 MHz เพื่อที่จะกำหนดความถี่ 2 FS ซึ่งมีค่าความถี่ 10 MHz ซึ่งความถี่นี้จะเป็นความถี่ที่ใช้ในการอ่านข้อมูลออกจากหน่วยความจำและป้อนให้กับวงจร Counter Address ซึ่งจะใช้เป็นตัวอ้าง แอดเดรส ในการอ่านข้อมูลออกจากหน่วยความจำ และเรายังนำสัญญาณคล็อกความถี่ 2 FS นี้ไปเข้าวงจรหาร 2 เพื่อที่ได้ความถี่ FS โดยที่ความถี่ FS มีค่าเท่ากับ 10/2 MHz สัญญาณคล็อก FS นี้เรานำไปใช้ในการควบคุมไอซีโดยเป็นสัญญาณคล็อก และใช้เป็นตัวควบคุมการเขียนข้อมูลลงในหน่วยความจำ ซึ่งใช้สำหรับป้อนให้กับ Counter Address ในส่วนของการอ่านข้อมูล

3.8 วงจรขยายสัญญาณหลักและแยกสัญญาณของ VIDEO MAIN

วงจรในส่วนแรกจะเป็นของวงจรบัฟเฟอร์ (Buffer) ที่จะเป็นการขยายขนาดของกระแสโดยที่มี โวลท์เตจเกณฑ์ เท่ากับ 1 จึงมีขนาดของกระมากพอจะจ่ายให้กับส่วนการแยกสัญญาณซิ้งค์ และส่วนของวงจรตัดต่อสัญญาณภาพ (Multiplex Switch) ในส่วนของวงจรแยกซิ้งค์ ที่สัญญาณซิ้งค์ V – Sync , H – Sync โดยอาศัยความแตกต่างของความถี่ของสัญญาณต่างๆ ที่ประกอบเป็นสัญญาณโทรทัศน์ โดยสัญญาณภาพมีความถี่ 4.43 MHz V – Sync 50 Hz H – Sync 15.625 KHz โดยสร้างวงจร Lowpass เพื่อกรองความถี่ 4.43 MHz หลังจากนั้นก็เข้าวงจรขยาย จะได้สัญญาณ H – Sync นำสัญญาณจากจุดนี้ไปผ่านวงจร Lowpass เพื่อกรองความถี่ 15.625 KHz ออก และนำไปผ่านวงจรขยาย เราก็ได้สัญญาณ V – Sync โดยที่วงจรนี้ ทำงานร่วมกับไอซี 74LS04 ซึ่งเป็น ไอซี Inverting สำหรับแปลงสัญญาณที่ได้จากวงจรแยกซิ้งค์ ให้ได้รูปแบบตามที่ต้องการ สัญญาณที่ได้จะมีสัญญาณดังนี้

1. Ver – sub
2. Int ver – sub
3. Hor – sub
4. Int hor – sub

3.9 วงจรแยกสัญญาณ Sync ของ Video sub

ประกอบด้วยวงจรแยกซิงค์ V – Sync , H – Sync โดยอาศัยความแตกต่างของความถี่ของสัญญาณต่างๆ ที่ประกอบเป็นสัญญาณโทรทัศน์ โดยสัญญาณภาพมีความถี่ 4.43 MHz , V – sync 50 Hz , H – sync 15625 Hz โดยนำสัญญาณภาพรวมมาผ่านวงจร Low pass เพื่อกรองความถี่เอาเฉพาะความถี่ที่ต้องการ ตอนแรกกรองความถี่ 4.43 MHz หลังจากนั้นก็นำสัญญาณที่ได้ไปขยายสัญญาณที่ได้จะเป็น Hor – Sync และนำสัญญาณไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผ่านวงจร Low pass เพื่อกรองเอาความถี่ 15625 Hz ออก สัญญาณที่ได้จากวงจรนี้จะเป็นสัญญาณ Ver – Sync ซึ่งจากความต้องการดังกล่าว เราสามารถใช้ IC#. LM 1881 เป็นตัวช่วย โดยใช้ร่วมกับ วงจร Mono stable การเพิ่มวงจรชุดนี้เข้าเพื่อที่เราจะสามารถปรับช่วงเวลาตามความเหมาะกับวงจรในส่วนอื่นๆ และอีกส่วนที่สำคัญในการเลือกใช้ IC. เบอร์นี้ ก็คือ IC ตัวนี้สามารถสร้างสัญญาณบอกฟิลส์คี่และฟิลส์คู่(Odd / Even) ซึ่งสัญญาณ Odd / Even เป็นสัญญาณที่จำเป็นต้องใช้ในการควมคุมการทำงานในส่วนหน่วยความจำต่อไป

3.10 วงจร Analog to Digital

จากที่ได้กล่าวถึงหลักการทำงานของวงจรนี้ในบทที่ 2 ซึ่งเป็นวงจรที่เป็นส่วนที่สำคัญมากเกี่ยวกับการนำข้อมูลเข้าไปเก็บไว้ในหน่วยความจำ เพราะในการเปลี่ยนแปลงรูปร่างของสัญญาณจะทำงานในทาง สัญญาณดิจิตอลได้ง่ายกว่าทางอนาลอก ในส่วนนี้เราใช้ IC# CA3306 ในการแปลงสัญญาณอนาล็อกของสัญญาณจากภาพให้เป็นสัญญาณดิจิตอล ซึ่งมีความเร็วสูงสุดในการ Sampling อยู่ที่ 15 MHz และมีระดับของสัญญาณ 64 ระดับ คือ D0 – D5 โดยสัญญาณที่ป้อนจะมี Vref + และ Vref – ซึ่งเราใช้ VR สำหรับปรับค่าโวลท์เตจตามต้อง และภายใน IC จะมี Vz ซึ่งสามารถนำไปใช้งานได้และเราสามารถกำหนดโวลท์เตจในแต่ละบิตได้โดย

$$Vtap(n) = [(Vref / 64) * n] - [Vref / (2*64)]$$
$$= Vref[(2n-1) / 128]$$

เมื่อ Vtap = ระดับโวลท์เตจอ้างอิงที่จุด n
Vref = โวลท์เตจคร่อมขา ref + กับขา ref -
N = จำนวน tap (1 ถึง 64)

ไอซี CA 3306 นี้ทำงานโดยอาศัย Clock ส่วนประกอบของ Clock มี Auto Balance กับ Sample โดยมี Phase Control เป็นตัวควบคุมรูปแบบการทำงานซึ่งมีสองแบบด้วยกันดังนี้

1. ขา Phase Control มีค่า Logic เป็น Low สัญญาณอนาล็อกจะถูกนำมาเปรียบเทียบที่ขอบขาขึ้นและแปลงเข้าไปใน O/P Register ที่ขอบขาลงของ auto balance

2. ขา Phase Control มีค่า Logic เป็น High สัญญาณอนาล็อกจะถูกนำมาเปรียบเทียบที่ขอบขาลงของ Sample และถูกแปลงเข้าไปใน O/P Register ที่ขอบขาขึ้นของ Sample ช่วงเวลาที่ข้อมูลเข้าไปใน O/P Register จนปรากฏข้อมูลออกมาที่ 3 State Driver เรียกว่า Time Delay (Td)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.11 วงจรควบคุมการอ่านและเขียนข้อมูล

วงจรในส่วนนี้ประกอบด้วย

1. วงจรควบคุมการทำงานของ RAM ในส่วนที่จะให้ RAM ตัวที่หนึ่ง และสอง โดยที่ให้ตัวที่หนึ่งอ่าน ตัวที่สองเขียน หรือ ตัวที่หนึ่งเขียน ตัวที่สองอ่านตามลำดับ ในที่นี้ RAM ของเราจะใช้ HM 628128 จำนวน 2 ตัว ช่วยกันทำงาน วงจรในส่วนนี้เราได้ใช้ ไอซี JK Flip-flop ทำงานในโหมด Trigger mode โดยที่สัญญาณ CLK ที่ใช้ป้อนใช้สัญญาณ VER – SUB เพื่อที่จะได้ให้ RAM ตัวหนึ่งอ่านและตัวหนึ่งเขียน
2. วงจร แอดเดรส WRITE ในส่วนของการควบคุมสัญญาณแอดเดรสไรท์ เราแบ่งบิดของแอดเดรสออกเป็น 2 ช่วง โดยที่สายแอดเดรสส่วนแรก เราใช้วงจร Counter นับสัญญาณ Clock – WR ซึ่งมีความถี่เท่ากับ 10/2 MHz และใช้สัญญาณ Int Hor – Sub หาร 2 เป็นตัว เซ็ทให้ Counter เริ่มนับ และหยุดนับ พร้อมทั้ง เซ็ท ให้ Counter มีค่า O/P เป็น 0 ทั้งหมด สำหรับสายแอดเดรสส่วนที่ 2 เราใช้วงจร Counter อีกส่วนในการป้อนสายข้อมูล โดยที่วงจรนี้จะใช้สัญญาณ Int Hor – Sub หาร 2 เป็นสัญญาณนับ และสัญญาณ Ver – Sub เป็นสัญญาณในการ เซ็ท
3. วงจรแอดเดรส READ ในส่วนนี้เราเปลี่ยนสัญญาณควบคุมคอนโทรลเป็นสัญญาณคล็อก 10 MHz ซึ่งจะพบว่าจำนวนจุดภาพที่นำแสดงออกเท่ากันจุดภาพที่ถูกเขียนเข้ามาในหน่วยความจำ สำหรับวงจร Address ส่วนที่สองเราใช้วงจร Counter อีกส่วนนับสัญญาณ Int Y – Control โดยมี Int Y – Control เป็นตัว set ข้อมูลให้ได้จำนวนเส้นในกรอบเท่ากับ 160 เส้น / 1 ช่อง โดยประมาณ ดังนั้นเราจะได้จำนวนจุดภาพในกรอบเท่ากับ 160 เส้น * 256 จุด = 32000 จุดภาพ / 1 ช่องสัญญาณ
4. วงจรหน่วยความจำ (Memory Unit) วงจรในส่วนนี้ใช้ IC Memory 2 ตัว สลับกันทำงานเพื่อให้มีความสามารถในการทำงานสูงสุด โดยที่ตัวหนึ่ง read อีกตัวหนึ่งจะ write โดยที่ขนาดของ ram จะถูกกำหนดโดยความละเอียดของภาพที่เราต้องใน Project เราให้ความละเอียดของภาพ หรือจุดภาพใน 1 เส้นถูกกำหนดโดยความถี่ในการ write เท่ากับ 10 / 2 MHz และวงจร Address Counter ในส่วนของสาย Address RD / Address WR ให้กับ Address bus ของ หน่วยความจำในส่วนของข้อมูลเราใช้เพียง 6 เส้นในการนำข้อมูลเข้า Data bus เราใช้ Buffer IC 74244 เป็นตัวส่งผ่าน Data bus ทั้ง 6 เส้น การทำงานของ หน่วยความจำมี 2 Cycle : read cycle and write cycle ในช่วง read cycle นั้น เรากำหนดให้ int cs เท่ากับ 0 เพื่อการทำงานของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำจะทำตาม Address bus เท่านั้น ในช่วงของ write cycle จะต้องป้อนสัญญาณ Clock 10 / 2 MHz ซึ่งจะเป็นสัญญาณในการอ่านข้อมูล int cs เพื่อให้หน่วยความจำทำงานตามช่วงสัญญาณ Clock ส่วนขา RD / WR ของหน่วยความจำจะป้อนสัญญาณควบคุมการทำงานอ่านและเขียนข้อมูลจากวงจร Control

ส่วนการทำงานของวงจรต่างๆ ที่ใช้ในโครงงานนี้อธิบายโดยคร่าวๆ ดังนี้

- วงจรที่ใช้แยกสัญญาณควบคุมต่างๆ จากสัญญาณโทรทัศน์ หรือสัญญาณคอมโพสิทซิงค์นั้น เราจะใช้ไอซีเบอร์ LM 1881 เป็นตัวแยกออกมา หลังจากนั้นก็จะใช้ไอซีเบอร์ 74123 ที่ต่อร่วมกับอุปกรณ์ต่างๆ เพื่อแยกสัญญาณฮอริซอนตัลซิงค์ และเวอร์ติคัลซิงค์ออกมาจากคอมโพสิทซิงค์อีกครั้งหนึ่ง
- วงจรหน่วยความจำ จะประกอบด้วยหน่วยความจำ 2 ชุดที่สลับกันทำงานในการอ่าน-เขียนข้อมูล โดยแต่ละชุดจะประกอบด้วย
  - ไอซีหน่วยความจำเบอร์ 628128
  - ไอซีเบอร์ 74HC244 เป็นบัฟเฟอร์สำหรับเป็นทางเข้าของข้อมูลที่จะเขียนลงในหน่วยความจำ
  - ไอซีเบอร์ 74157 เป็นไอซีชนิดเข้า 2 ออก 1 จะต่อร่วมกัน 4 ตัวเพื่อจะสวิทช์เลือกตำแหน่งให้หน่วยความจำเพื่อใช้ในการอ่าน-เขียนข้อมูล และจะมีไอซีเบอร์ 74157 อีก 2 ตัวที่ต่อร่วมกันเพื่อใช้เป็นสวิทช์ทางออกของการอ่านข้อมูลออกจากหน่วยความจำ
- วงจรนับในการเขียน (COUNTER WRITE) จะเป็นส่วนกำหนดตำแหน่งของหน่วยความจำในการอ่านข้อมูลออก โดยการสร้างสัญญาณควบคุมเพื่อการนับตำแหน่งของหน่วยความจำดังนี้
  - สัญญาณควบคุม MONO เพื่อควบคุมให้การเริ่มนับเกิดขึ้นหลังจากเส้นสะแกนแรกผ่านไปแล้ว เป็นการขจัดปัญหาในการเริ่มสะแกนจากกึ่งกลางจอของโทรทัศน์
  - สัญญาณควบคุม 128 STOP เป็นการนับสัญญาณฮอริซอนตัลซิงค์ที่มีความถี่ลดลงครึ่งหนึ่งเพื่อทำการเก็บแบบ 1 เส้นสะแกนเว้น 1 เส้นสะแกน และเป็นส่วนที่กำเนิดตำแหน่งของหน่วยความจำตั้งแต่บิทที่มีนัยสูงสุดไปจนถึงบิทที่ 9
  - สัญญาณควบคุม 256 STOP เป็นการนับสัญญาณ 5MHz เพื่อทำการเก็บสัญญาณภาพแบบ 1 จุด เว้น 1 จุด และเป็นส่วนที่กำเนิดตำแหน่งของหน่วยความจำตั้งแต่บิตที่ 8 ไปจนถึงบิตที่มีนัยต่ำสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนับการเขียนนี้จะประกอบไปด้วยไอซีเคาน์เตอร์เบอร์ 74393 ทั้งยังมีเจเค-ฟลิปฟลอป (JK-FLIPFLOP) ที่นำมาทำเป็น ที-ฟลิปฟลอป (T-FLIPFLOP) เพื่อใช้หารความถี่ลดลงครึ่งหนึ่ง

- วงจร SELECT CHANNAEL จะทำหน้าที่เลือกเอาข้อมูลออกจากหน่วยความจำทีละตัว จาก 4 ตัว 4 ช่อง เพื่อจะนำไปแสดงผลให้ถูกต้องตามตำแหน่งบนหน้าจอโทรทัศน์วงจรนี้จะใช้สัญญาณ 128 TRIGGER และ 256 TRIGGER ที่ได้จากวงจร CNT_RD มาควบคุมไอซีเบอร์ 74153 ซึ่งเป็นไอซีชนิดเข้า 4 ออก 1 ที่มีอยู่ 4 ตัว
- วงจรนับในการอ่าน (COUNTER READ) จะทำหน้าที่กำหนดว่าจะเลือกใช้หน่วยความจำจากช่องใด และยังทำหน้าที่กำเนิดตำแหน่งในการอ่านข้อมูลจากหน่วยความจำด้วย โดยใช้สัญญาณควบคุมเหล่านี้
  - สัญญาณควบคุม MONO เป็นสัญญาณควบคุมไม่ให้แสดงผลใน 2 เส้นแรก เพื่อป้องกันการสะแกนจากกึ่งกลางจอโทรทัศน์
  - DOUBLE 128 STOP เป็นสัญญาณที่กำหนดการนับฮอริซอนตัลซิงค์ เพื่อเป็นการบอกว่าจะแสดงภาพในครึ่งจอล่าง หรือครึ่งจอด้านบนของจอโทรทัศน์ โดยจะส่งสัญญาณ 128 TRIGGER ไปยังวงจร SELECT CHANNEL เพื่อเลือกข้อมูลจากหน่วยความจำ และจะทำการสร้างตำแหน่งของหน่วยความจำตั้งแต่บิทนัยสำคัญสูงสุดมาจนถึงบิทที่ 9 ของหน่วยความจำ
  - DOUBLE 256 STOP เป็นสัญญาณที่ได้จากการนับสัญญาณ 10 MHz เพื่อจะบอกว่าจะแสดงภาพทางครึ่งซีกซ้าย หรือครึ่งซีกขวาของจอโทรทัศน์ และจะส่งสัญญาณ 256 TRIGGER ไปยังวงจร SELECT CHANNEL เพื่อเลือกข้อมูลจากหน่วยความจำ และจะทำการสร้างตำแหน่งของหน่วยความจำตั้งแต่บิทนัยสำคัญต่ำสุดขึ้นไปจนถึงบิทที่ 8 ของหน่วยความจำ

  วงจร CNT_RD นี้จะประกอบด้วยไอซีเคาน์เตอร์เบอร์ 74393 ทั้งยังมีเจเค-ฟลิปฟลอป (JK-FLIPFLOP) ที่นำมาทำเป็น ที-ฟลิปฟลอป (T-FLIPFLOP) เพื่อใช้หารความถี่ลงครึ่งหนึ่ง
- วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก จะใช้ไอซีเบอร์ DAC0800 เป็นตัวแปลงสัญญาณและสัญญาณภาพที่เป็นอนาล็อกที่ได้จะถูกส่งเข้าไปขยายโดยไอซีเบอร์ MAX404 ก่อนส่งเข้าโทรทัศน์ต่อไป
- วงจร CONTROL_1 และ CONTROL_2 เป็นวงจรที่ส่งสัญญาณไปควบคุมหน่วยความจำ โดยจะควบคุมการเป็น " 0 " หรือ " 1 " ที่ขา CS และ WE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

4.1 วัตถุประสงค์

เพื่อทำการวัดสัญญาณที่ใช้ควบคุมลำดับของสัญญาณภาพต่างๆ โดยการวัดจะวัดเทียบกับสัญญาณภาพเพื่อเป็นตรวจเปรียบเทียบ

4.2 เครื่องมือและอุปกรณ์

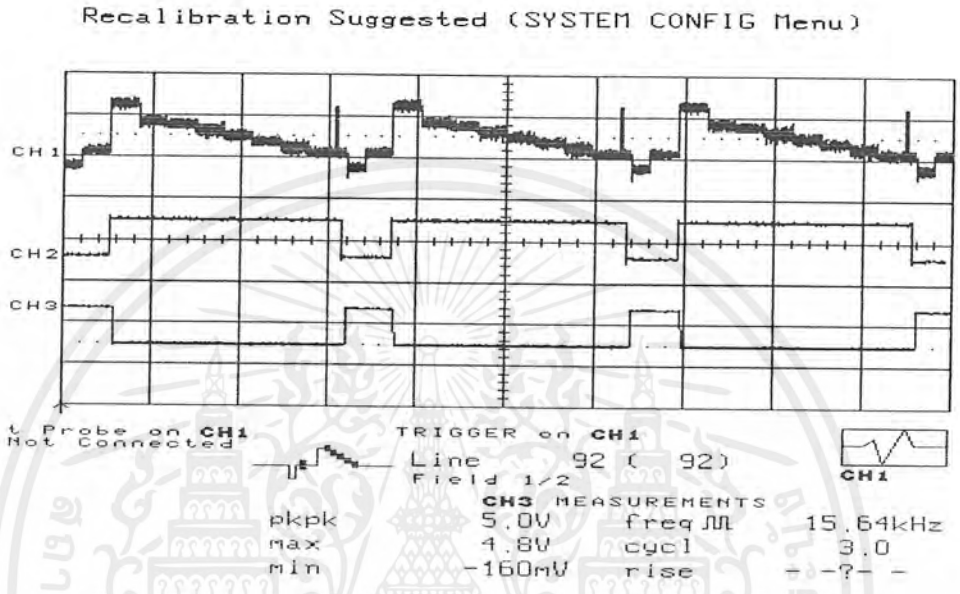
1.	OSCILLOSCOPE	1	เครื่อง
2.	PATTERN GENERATOR	1	เครื่อง
3.	MULTIMETER	1	เครื่อง
4.	วงจรการทดลอง		
5.	SWITCHING REGULATOR	1	เครื่อง
6.	จอมอนิเตอร์	1	เครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การทดลอง

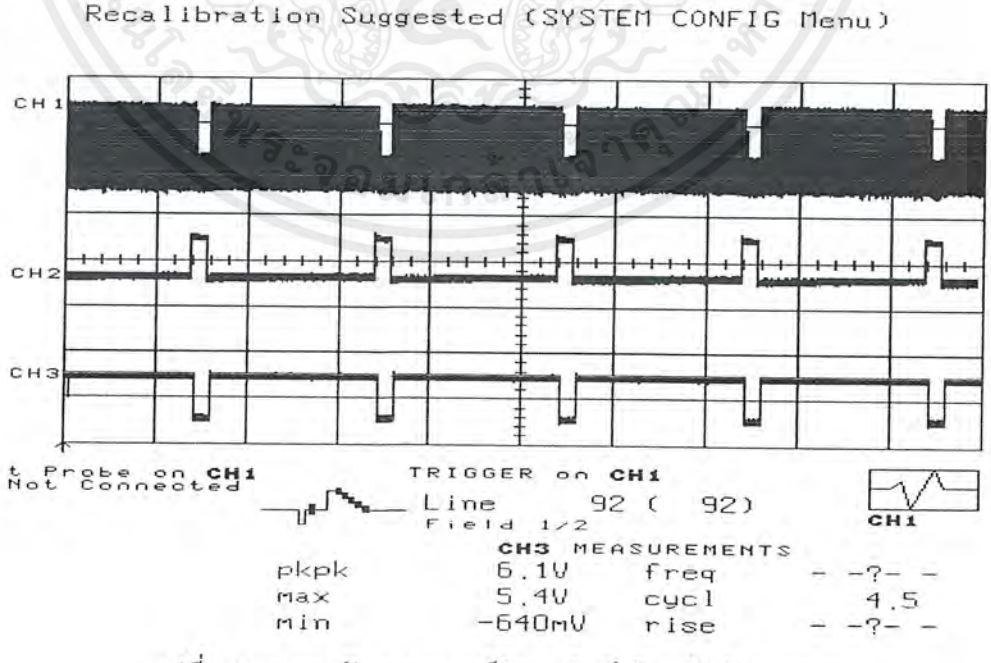
- ทดลอง ภาค SYNC – SEPERATOR โดยจะใช้ IC # LM1881 ซึ่งจะทำหน้าที่เป็นตัวแยกสัญญาณต่างๆ ออกจากสัญญาณภาพ

1. ทำการวัดสัญญาณฮอริซอนตัลซิงค์เทียบกับสัญญาณภาพ



รูปที่ 41 แสดงสัญญาณฮอริซอนตัลซิงค์เทียบกับสัญญาณภาพ

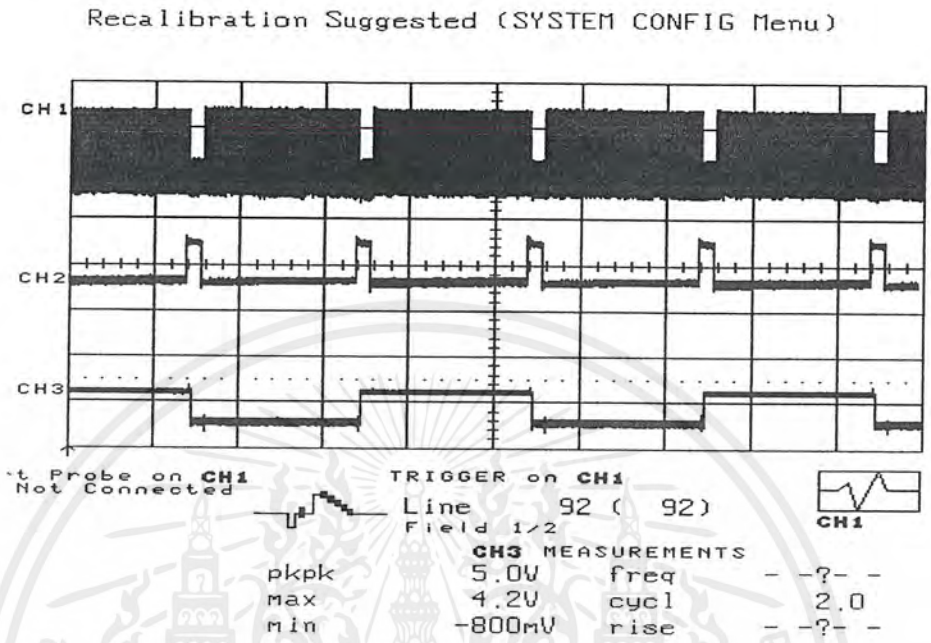
2. ทำการวัดสัญญาณเวอร์ติคอลซิงค์เทียบกับสัญญาณภาพ



รูปที่ 42 แสดงสัญญาณเวอร์ติคอลซิงค์เทียบกับสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

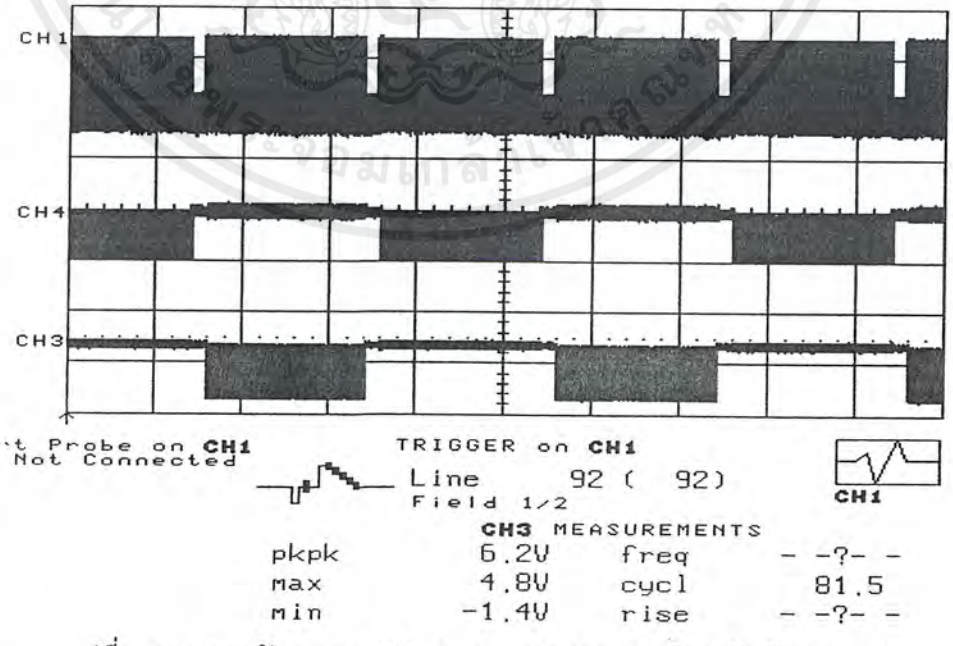
3. ทำการวัดสัญญาณODD/EVEN เทียบกับสัญญาณภาพ



รูปที่ 43 แสดงสัญญาณODD/EVEN เทียบกับสัญญาณภาพ

- ทดลอง ภาค CONTROL ที่จุดต่างๆ

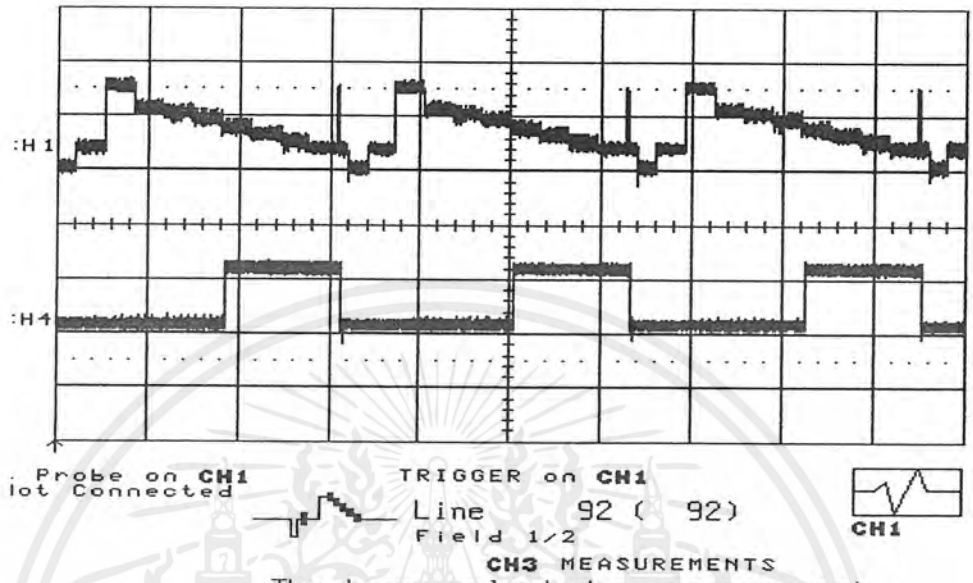
1. ทำการวัดสัญญาณ WRITE 1 , WRITE 2 เทียบกับสัญญาณภาพ



รูปที่ 44 แสดงสัญญาณ WRITE 1 , WRITE 2 เทียบกับสัญญาณภาพ

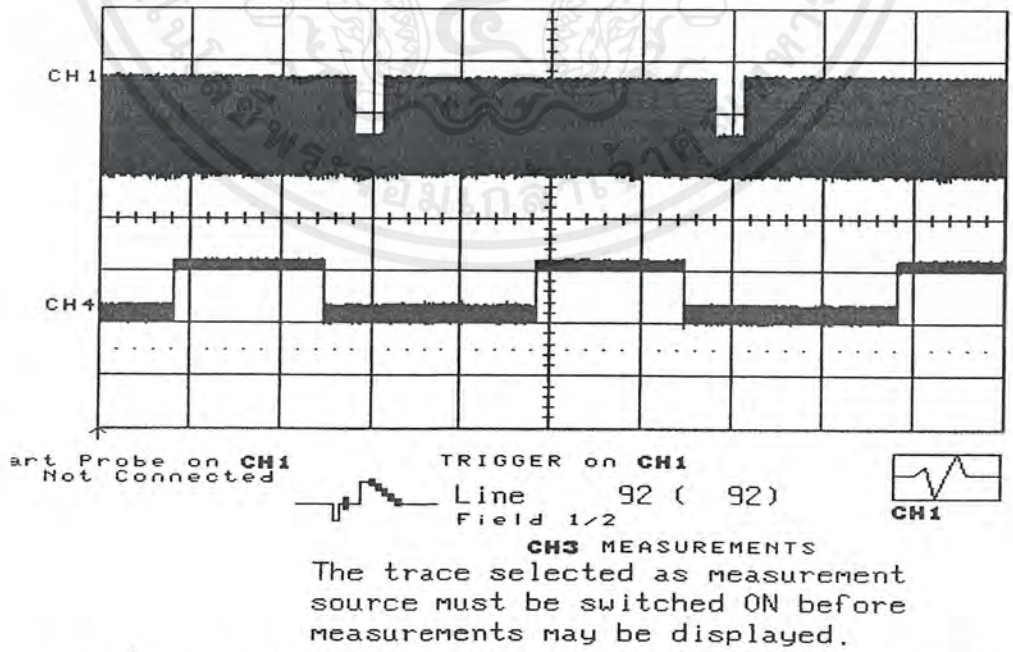
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ทำการวัดสัญญาณนับ 128 จุด เทียบกับสัญญาณภาพ



รูปที่ 45 แสดงสัญญาณนับ 128 จุด เทียบกับสัญญาณภาพ

3. ทำการวัดสัญญาณนับ 128 เส้น ที่ใช้ในการเลือกข้อมูลจากหน่วยความจำ

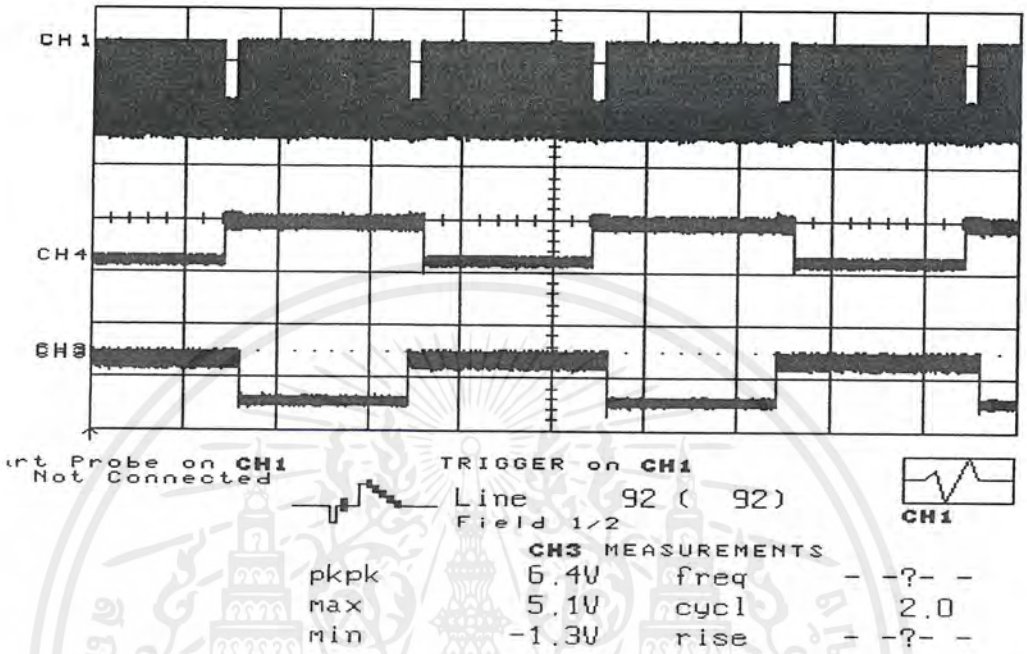


รูปที่ 46 แสดงสัญญาณนับ 128 เส้น ที่ใช้ในการเลือกข้อมูลจากหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

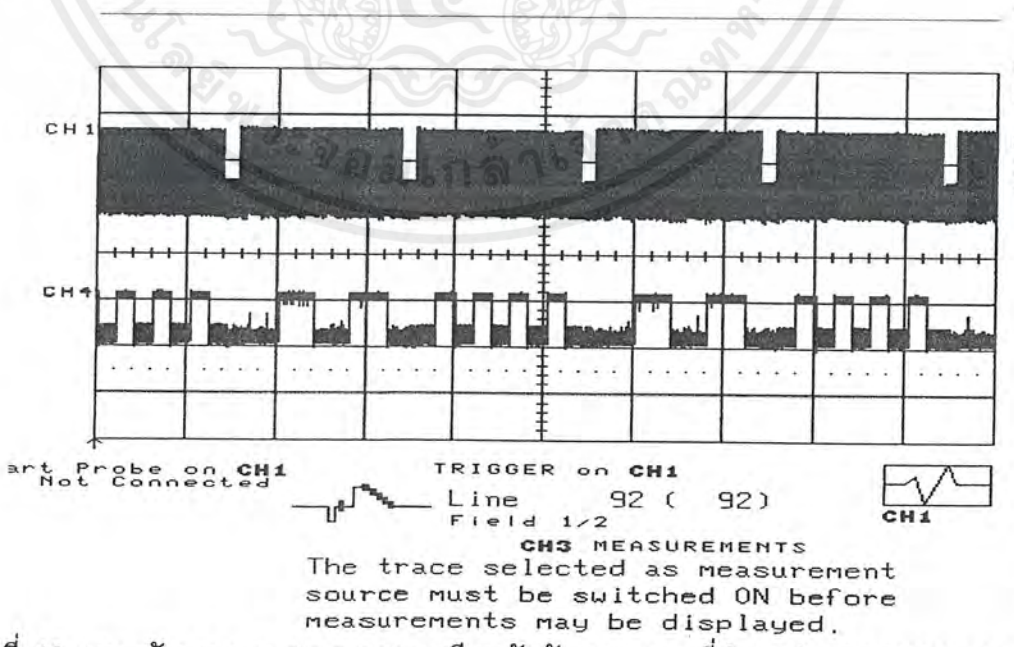
- ทำการวัดสัญญาณที่ใช้ในการควบคุม RAM

1. วัดสัญญาณ OUTPUT ENABLE ตัวที่ 1 , 2 เทียบกับสัญญาณภาพ



รูปที่ 47 แสดงสัญญาณ OUTPUT ENABLE ตัวที่ 1 , 2 เทียบกับสัญญาณภาพ

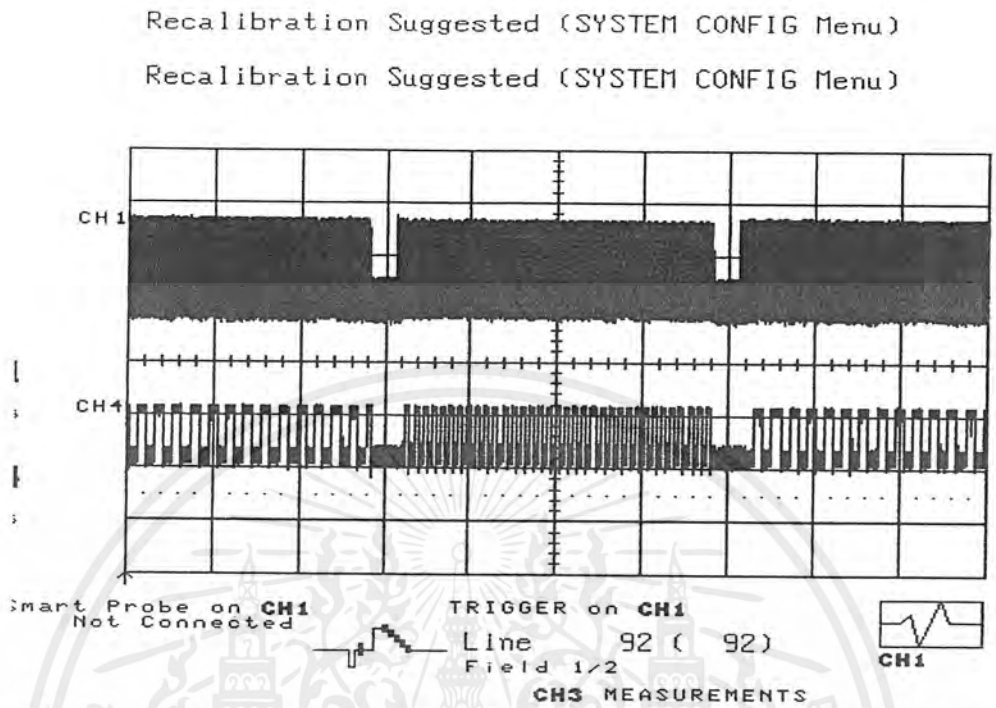
2. วัดสัญญาณ WRITE,READ เทียบกับสัญญาณภาพที่ตำแหน่งADDRESSสูงๆ A14



รูปที่ 48 แสดงสัญญาณ WRITE,READ เทียบกับสัญญาณภาพที่ตำแหน่งADDRESSสูงๆ A14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

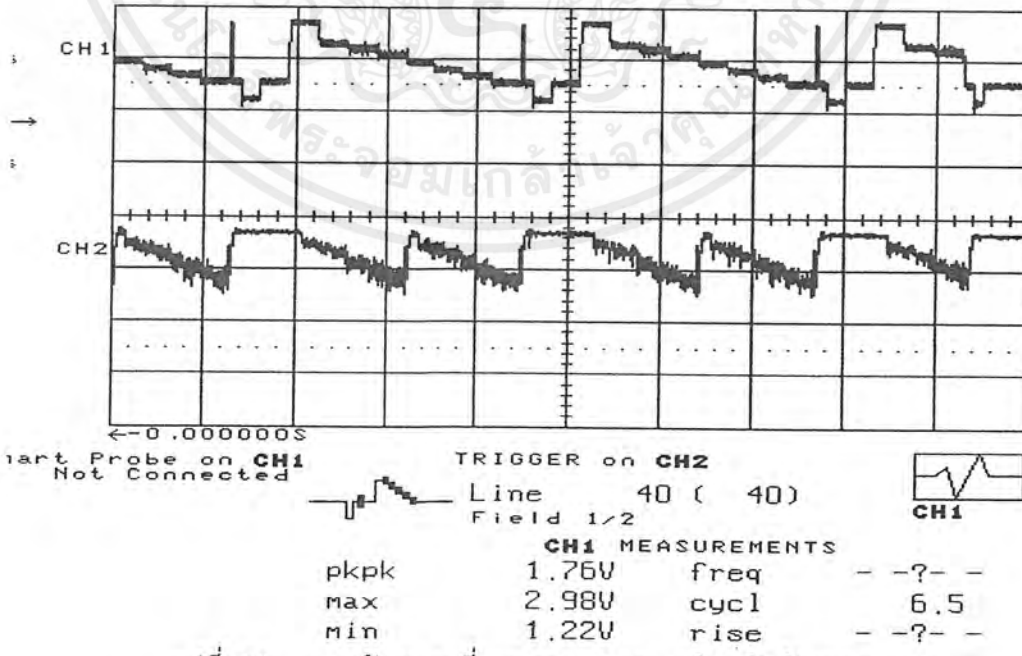
3. วัดสัญญาณWRITE,READ เทียบกับสัญญาณภาพ ที่ตำแหน่ง ADDRESSต่ำ(A4)



รูปที่ 49 แสดงสัญญาณWRITE,READ เทียบกับสัญญาณภาพ ที่ตำแหน่งADDRESSต่ำ(A4)

- ทดลองวัดสัญญาณที่ภาค DAC

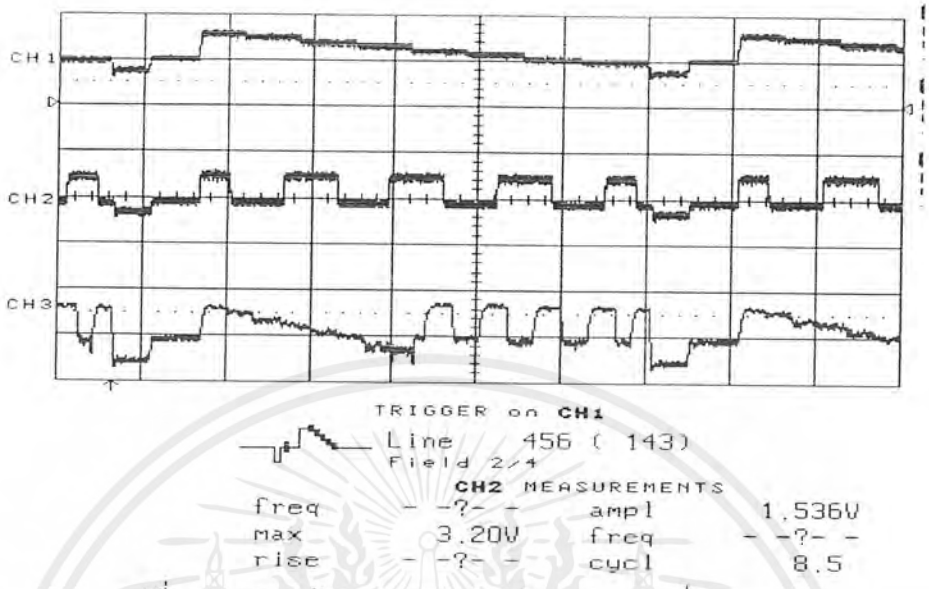
1. ทำการวัดสัญญาณที่ออกจาก DAC เทียบกับสัญญาณภาพ



รูปที่ 50 แสดงสัญญาณที่ออกจาก DAC เทียบกับสัญญาณภาพ

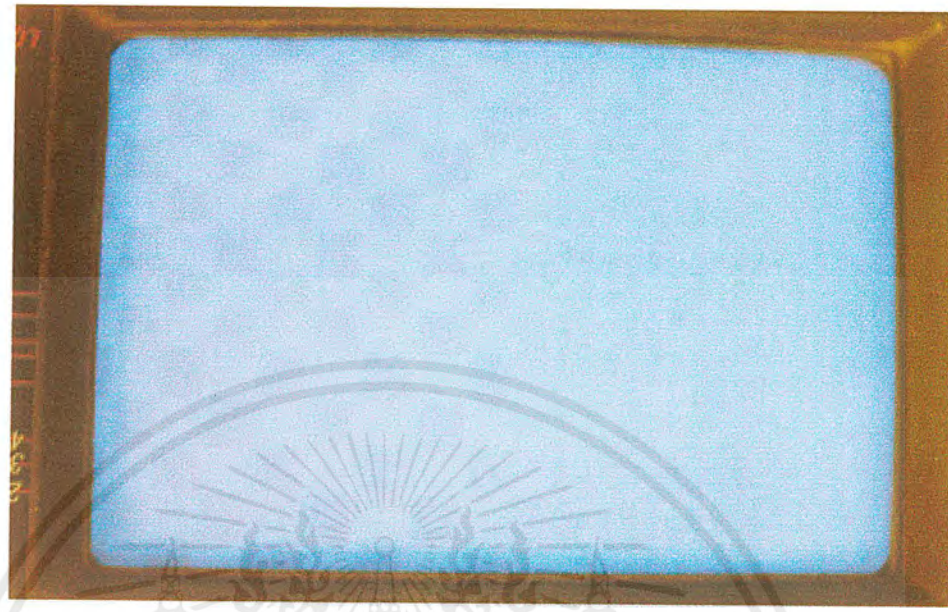
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ทำการวัดสัญญาณภาพ 2 สัญญาณภาพที่ออกจากภาค DAC



รูปที่ 51 แสดงสัญญาณภาพ 2 สัญญาณภาพที่ออกจากภาค DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 52 แสดงสัญญาณภาพที่ปรากฏบนจอมอนิเตอร์

รูปที่ 53 แสดงวงจรเครื่องรวมภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 54 แสดงชิ้นงานเครื่องรวมภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุป ปัญหา แนวทางแก้ไขและพัฒนา

5.1 บทสรุป

การจัดทำโครงงานนี้ หลังจากได้ทำการออกแบบและทดลองสร้างวงจรแล้ว ผลการทดลองที่ออกมานั้นยังไม่เป็นที่น่าพอใจมากนัก คือ สัญญาณนาฬิกาที่ใช้ที่ความถี่ 10MHz มีลักษณะสัญญาณไม่ดีพอ ส่งผลให้สัญญาณภาพที่ได้จากการทดลองไม่ดีพอด้วยและสัญญาณนาฬิกาดังกล่าวยังไปรบกวนสัญญาณในส่วนอื่น มีผลทำให้สัญญาณให้ส่วนอื่นมีการผิดเพี้ยนไปจากที่ควรจะเป็น ในส่วนของวงจรเก็บและอ่านข้อมูลของหน่วยความจำนั้น ข้อมูลที่ได้จากวงจร A/D Converter ไปเข้าหน่วยความจำและเมื่ออ่านข้อมูลออกมาจากหน่วยความจำที่ความถี่เป็นสองเท่านั้น เปรียบเทียบกันแล้วมีการผิดเพี้ยนของรูปร่างสัญญาณเกิดขึ้น วงจรที่สร้างจะมีขนาดใหญ่มาก เนื่องจากการที่วงจรต้องใช้อุปกรณ์จำนวนมากและอีกทั้งยังมีความยุ่งยากในการออกแบบและสร้างวงจรส่วนของการเก็บและอ่านข้อมูลเพื่อจะทำให้ได้สัญญาณภาพที่ต้องการ และเมื่อนำสัญญาณภาพที่ได้มาแสดงผลบนจอมอนิเตอร์ โดยครั้งแรกใช้สัญญาณจากแหล่งสัญญาณภาพที่เดียว ปรากฏ ว่าสามารถแสดงผลบนจอมอนิเตอร์ได้ 4 ช่องตามต้องการ ครั้งที่สองใช้สัญญาณภาพจาก 4 แหล่ง ปรากฏ ว่าบางช่องสัญญาณมีข้อมูลที่ขาดหายไป คือภาพไม่ได้ขนาดเป็น 1 ใน 4 ของจอมอนิเตอร์ ยกเว้นช่องที่ 1 จึงได้ทำการตรวจสอบวงจรพบว่าสาเหตุหนึ่งที่ทำให้เกิดสัญญาณลักษณะนี้ขึ้นมาจากการที่สัญญาณมีเฟสไม่ตรงกัน หรืออีกนัยหนึ่ง สัญญาณภาพมีการเริ่มของสัญญาณไม่พร้อมกัน และเมื่อนำวงจรทั้งหมดมาต่อรวมเข้าด้วยกัน วงจรที่ได้จะมีขนาดใหญ่มากกว่าวงจรที่มีขายอยู่ตามท้องตลาด อีกทั้งโครงงานนี้ที่ได้จัดทำนี้มีงบประมาณสูงกว่าเครื่องที่มีขายตามท้องตลาด

5.2 ปัญหาและแนวทางแก้ไข

5.2.1 ปัญหา

การจัดทำเครื่องรวมสัญญาณภาพ ในปริญญานิพนธ์ฉบับนี้ได้พบปัญหาที่เกิดขึ้นดังนี้

1. การทำให้สัญญาณภาพที่เข้ามาทั้ง 4 มีการเริ่มต้นสัญญาณที่ตรงกัน
2. สัญญาณนาฬิกาที่ผลิตขึ้นมีรูปร่างไม่ดี
3. การทดลองในแผนทดลองมีความไม่แน่นอนเท่าที่ควร
4. สายโพรบที่ใช้วัด
5. คุณภาพของอุปกรณ์ที่ซื้อมาบางตัวคุณสมบัติไม่ตรงตามข้อมูลที่ให้มา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 แนวทางแก้ไข

- ทดลองสร้างสัญญาณที่จะมาควบคุมการเริ่มต้นของสัญญาณหลายๆแบบ หลายๆวิธี รวมทั้งขอความคิดเห็นและแนวคิดจากอาจารย์ที่ปรึกษา
- ในการทดลองจะต้องมีความละเอียดในจุดต่อต่างๆ การต่อสายควรให้มีระเบียบและจัดให้ส่วนที่ทำงานร่วมกันอยู่ใกล้กัน
- การซื้ออุปกรณ์ควรเลือกซื้อจากร้านที่มีความน่าเชื่อถือ หรือในบางครั้งควรซื้ออุปกรณ์มาสำรองหากเกิดปัญหาจะได้ทำการทดลองต่อไปได้ทันที

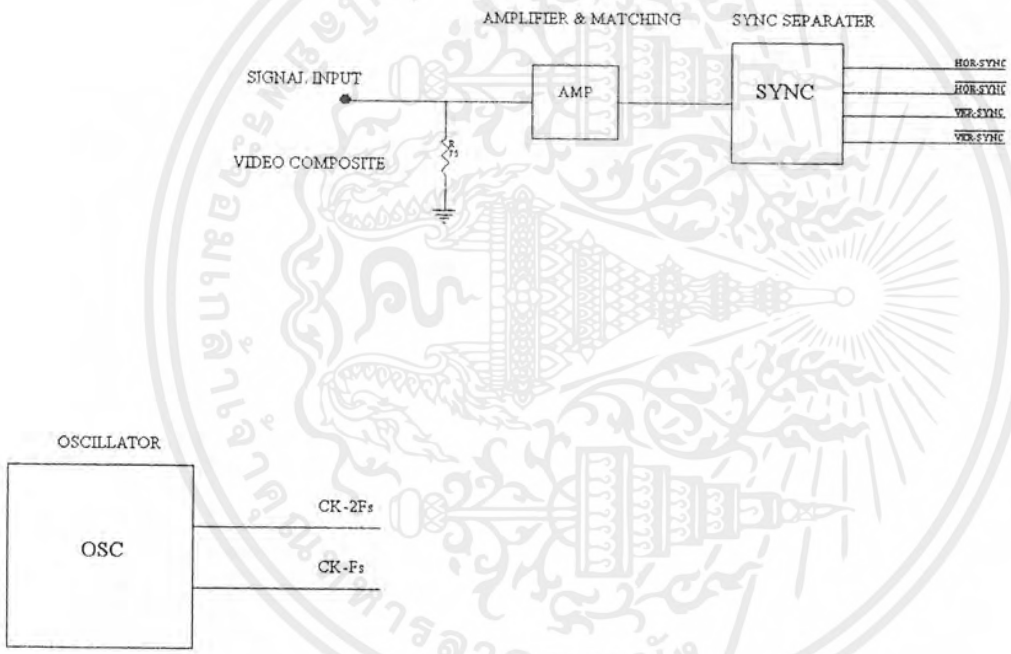
5.3 แนวทางในการพัฒนา

- การแสดงผลบนจอมอนิเตอร์เป็นสัญญาณภาพสีและมีคุณภาพของสัญญาณที่คมชัด
- การออกแบบวงจรและการสร้างให้มีขนาดที่เหมาะสมกับการใช้งาน โดยทำการออกแบบให้วงจรมีจำนวนอุปกรณ์ที่ใช้น้อยลง
- การแสดงผลบนจอมอนิเตอร์อาจแสดงได้มากกว่า 2 x 2
- การสร้างควรมีงบประมาณไม่สูงกว่าท้องตลาด

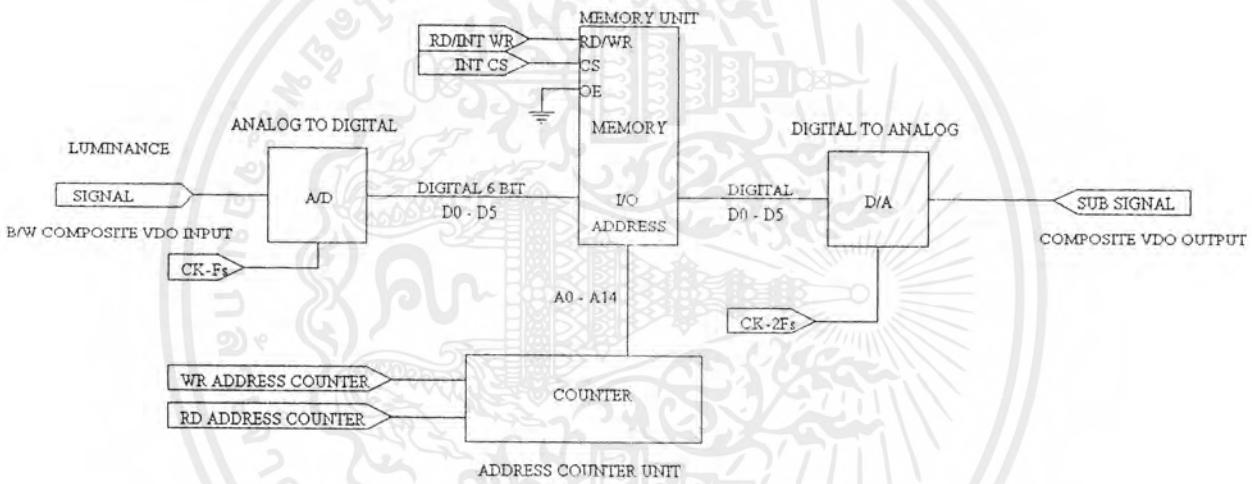
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

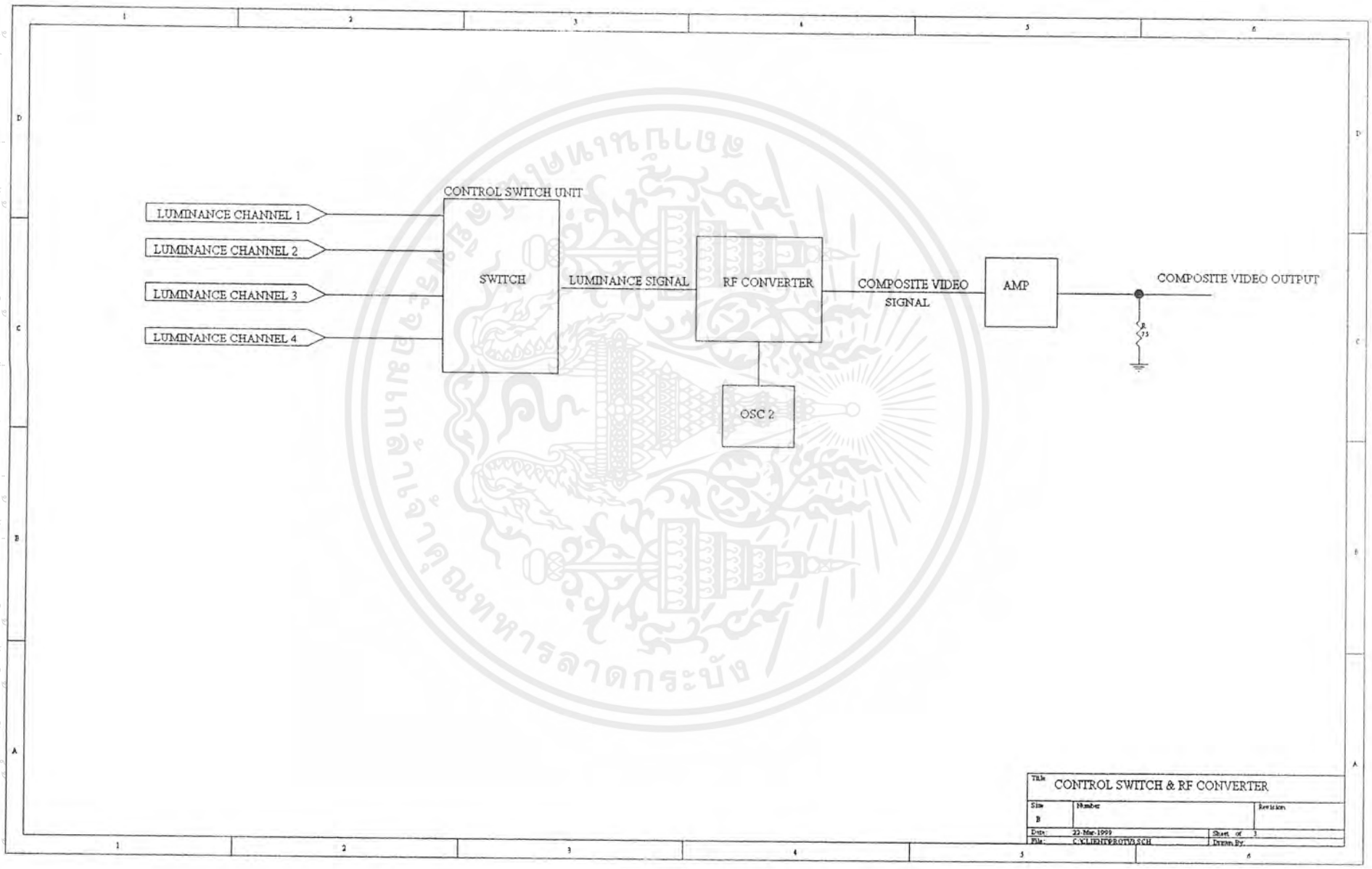
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

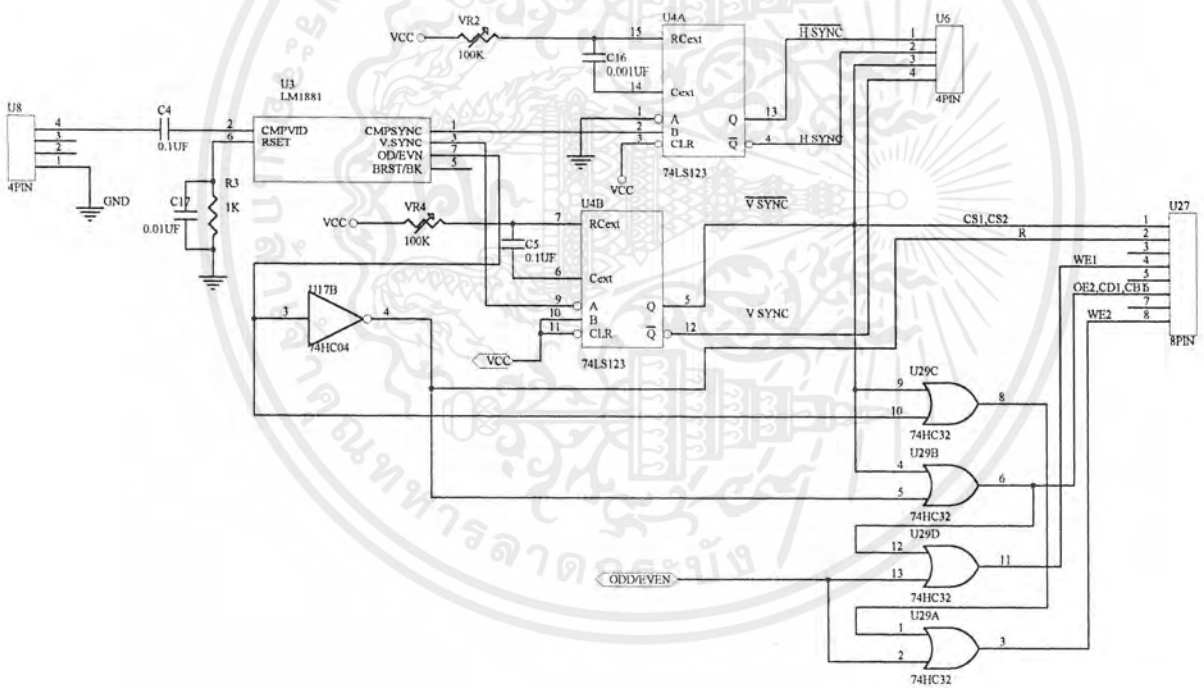


Title	oscillator and sync separater		
Size: B	Number		Revision
Date:	22-Mar-1999	Sheet of	1
File:	C:\CLIENT\PROTYI.SCH	Drawn By:	

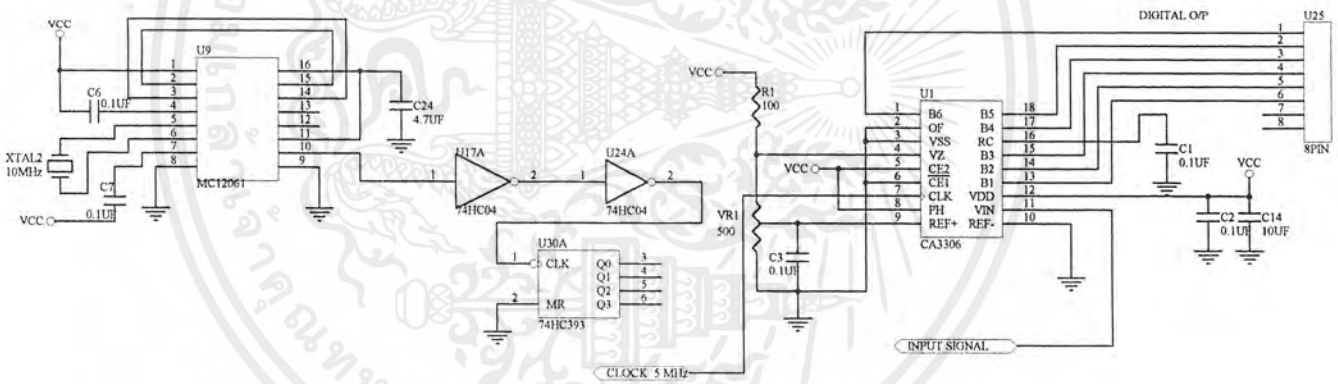


Title: BLOCK DIAGRAME ACCESS RAM		
Size: B	Number:	Revision:
Date: 22-Mar-1999	Sheet of: 2	
File: C:\CLIENTPROTV2.SCH	Drawn By:	

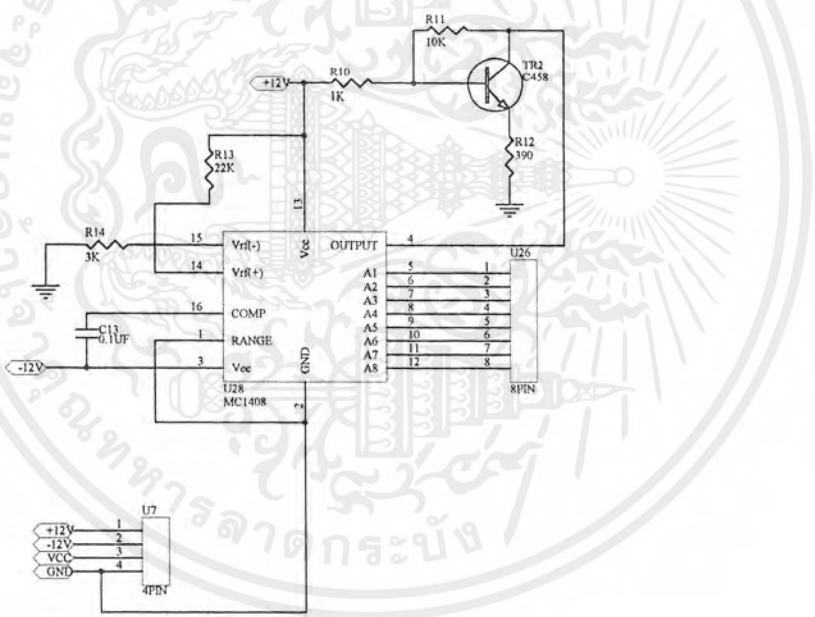

CONTROL SWITCH UNIT
LUMINANCE CHANNEL 1
LUMINANCE CHANNEL 2
LUMINANCE CHANNEL 3
LUMINANCE CHANNEL 4
SWITCH
LUMINANCE SIGNAL
RF CONVERTER
COMPOSITE VIDEO SIGNAL
AMP
COMPOSITE VIDEO OUTPUT
OSC 2
CONTROL SWITCH & RF CONVERTER
Size B
Number
Revision
Date: 22-Mar-1999
Sheet of 3
File: C:\CLIENT\ROTO.SCH
Drawn By:



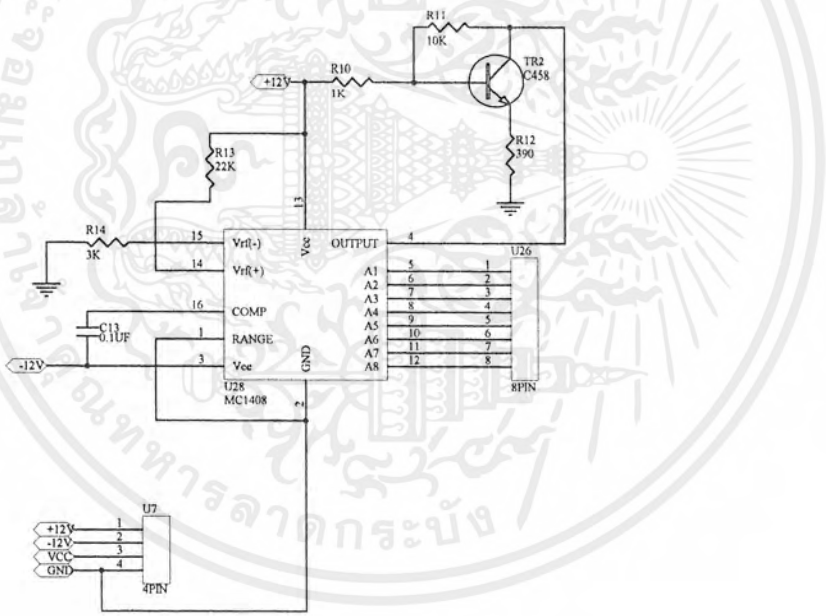
Title	SYNC - SEPERATOR		
Size: B	Number		Revision
Date:	19-Oct-1999	Sheet of	
File:	C:\CLIENT\MONO.SCH	Drawn By:	



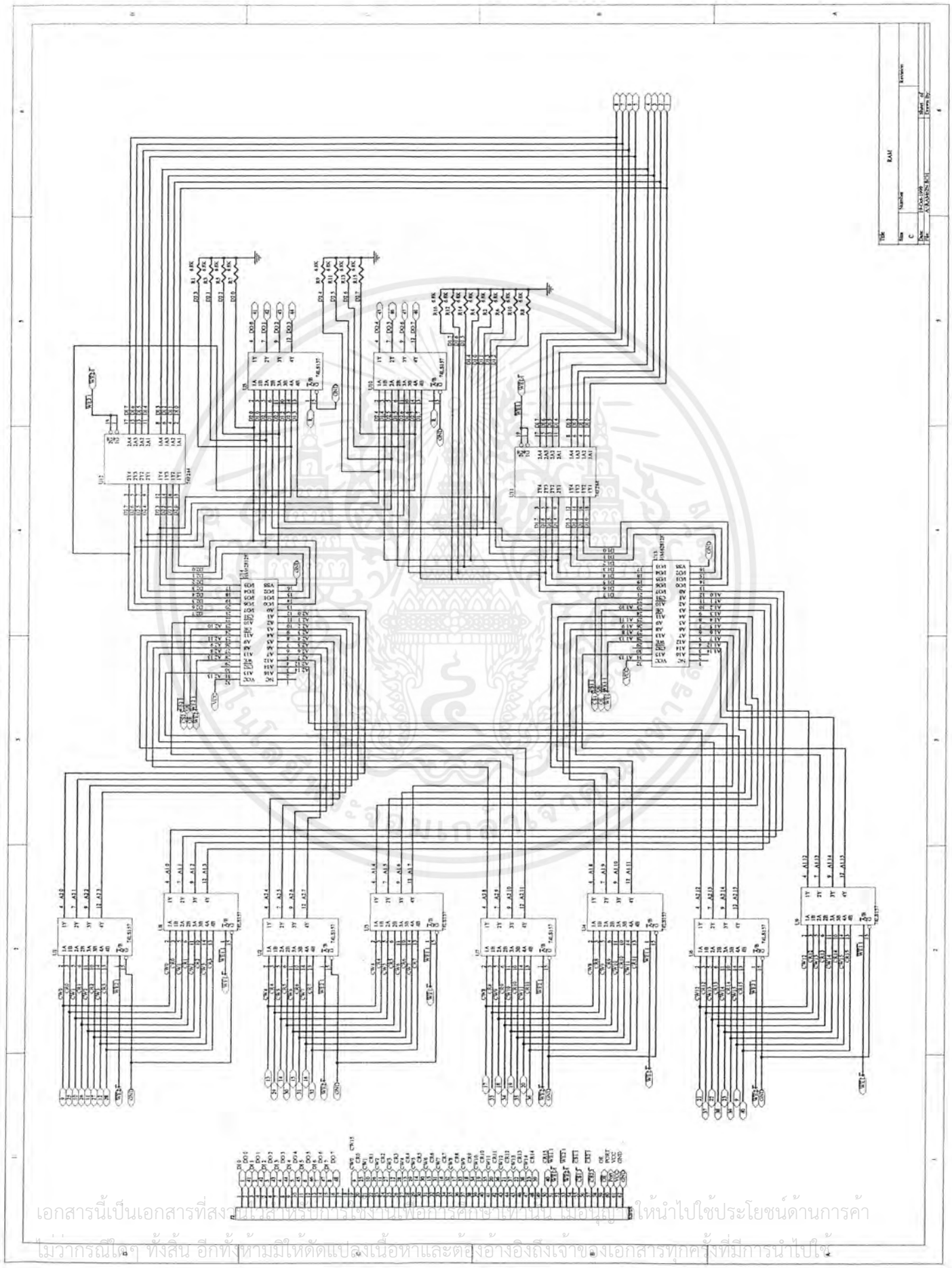
Title	ANALOG TO DIGITAL and CLOCK		
Size B	Number		Revision
Date:	19-Oct-1999	Sheet of	
File:	C:\CLIENT\ADC&CLK.SCH	Drawn By:	



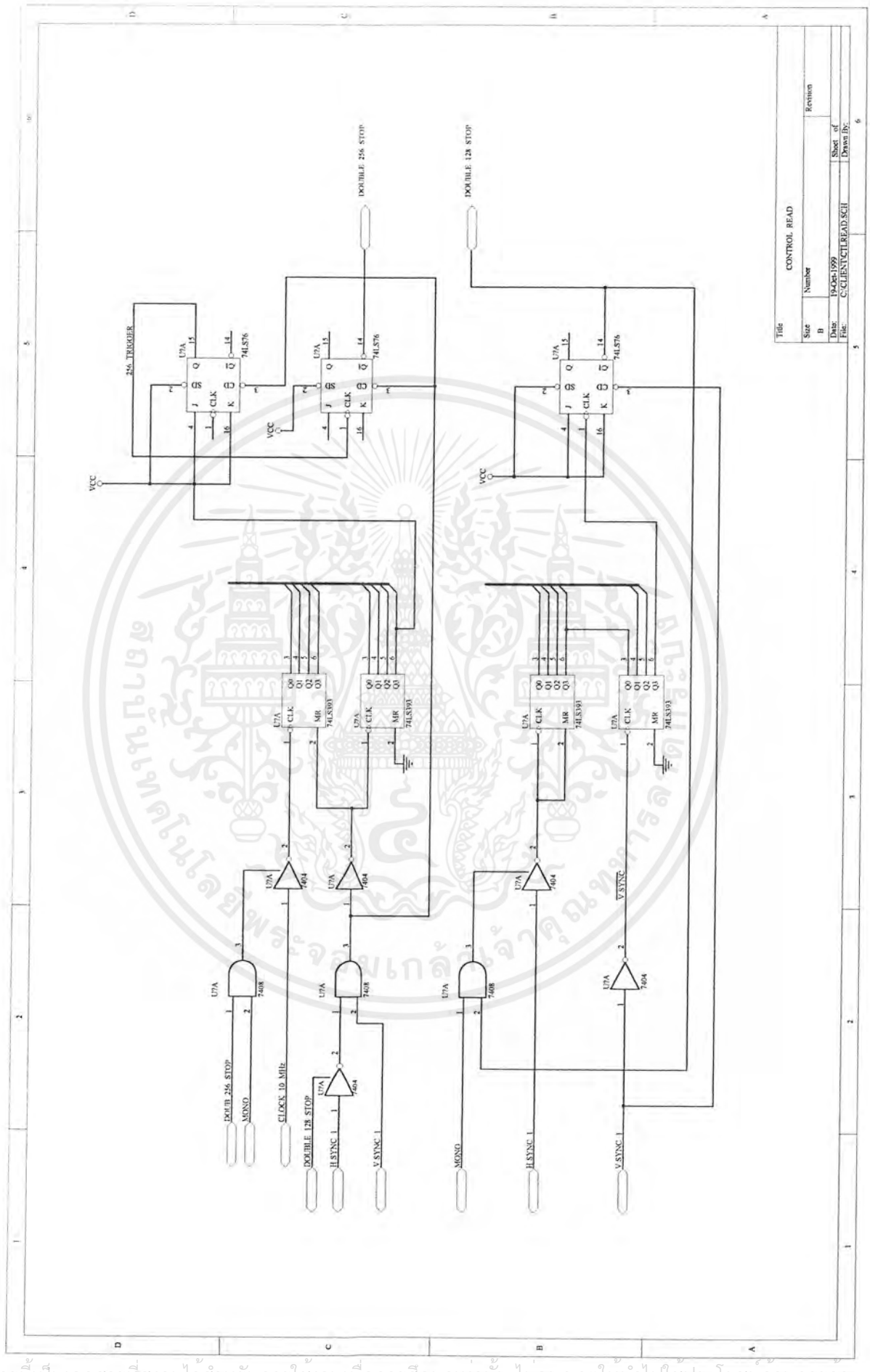
Title	DIGITAL TO ANALOG CONVERTOR		
Size: B	Number		Revision
Date:	19-Oct-1999	Sheet of	
File:	C:\CLIENT\DAC.SCH	Drawn By:	



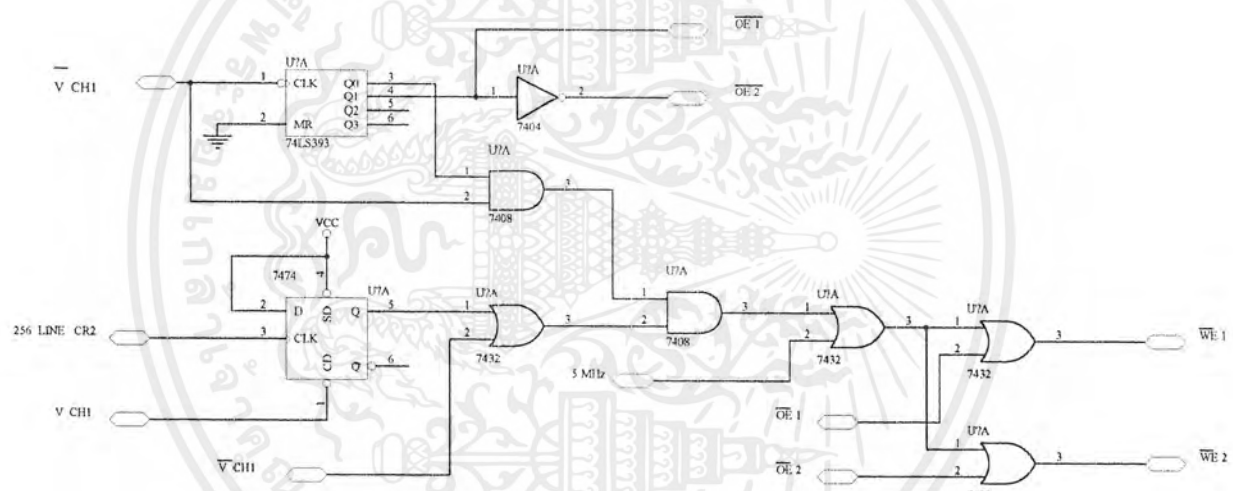
Title	DIGITAL TO ANALOG CONVERTOR		
Size B	Number		Revision
Date:	19-Oct-1999	Sheet of	
File:	C:\CLIENT\DAC.SCH	Drawn By:	



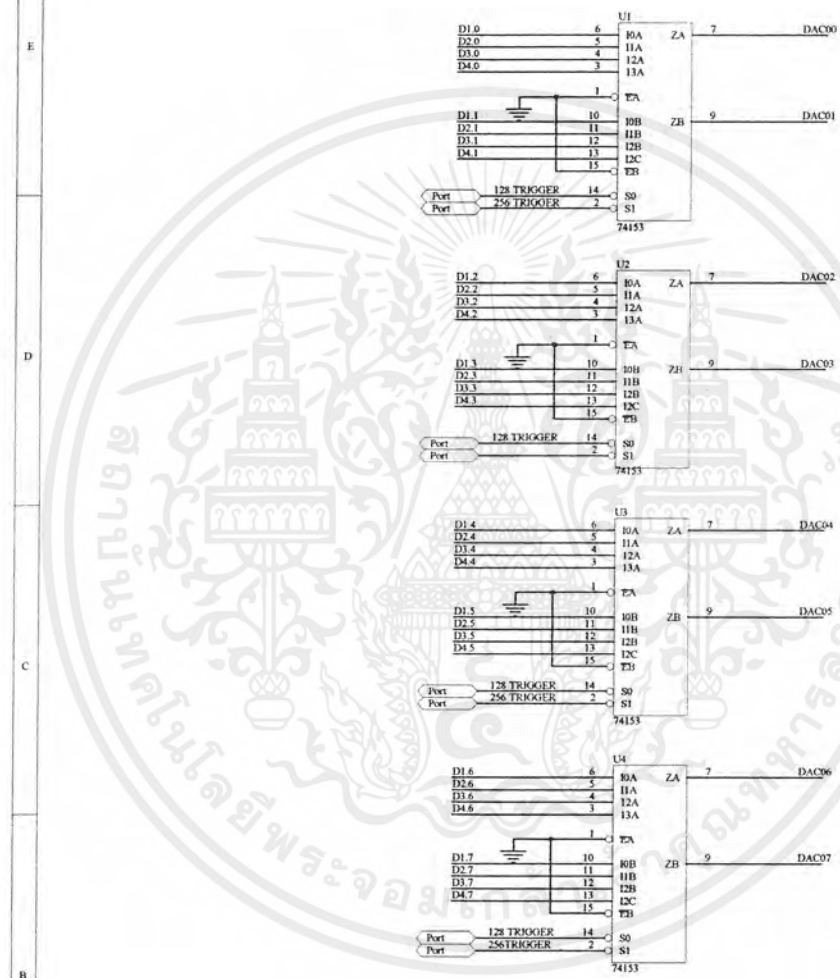
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

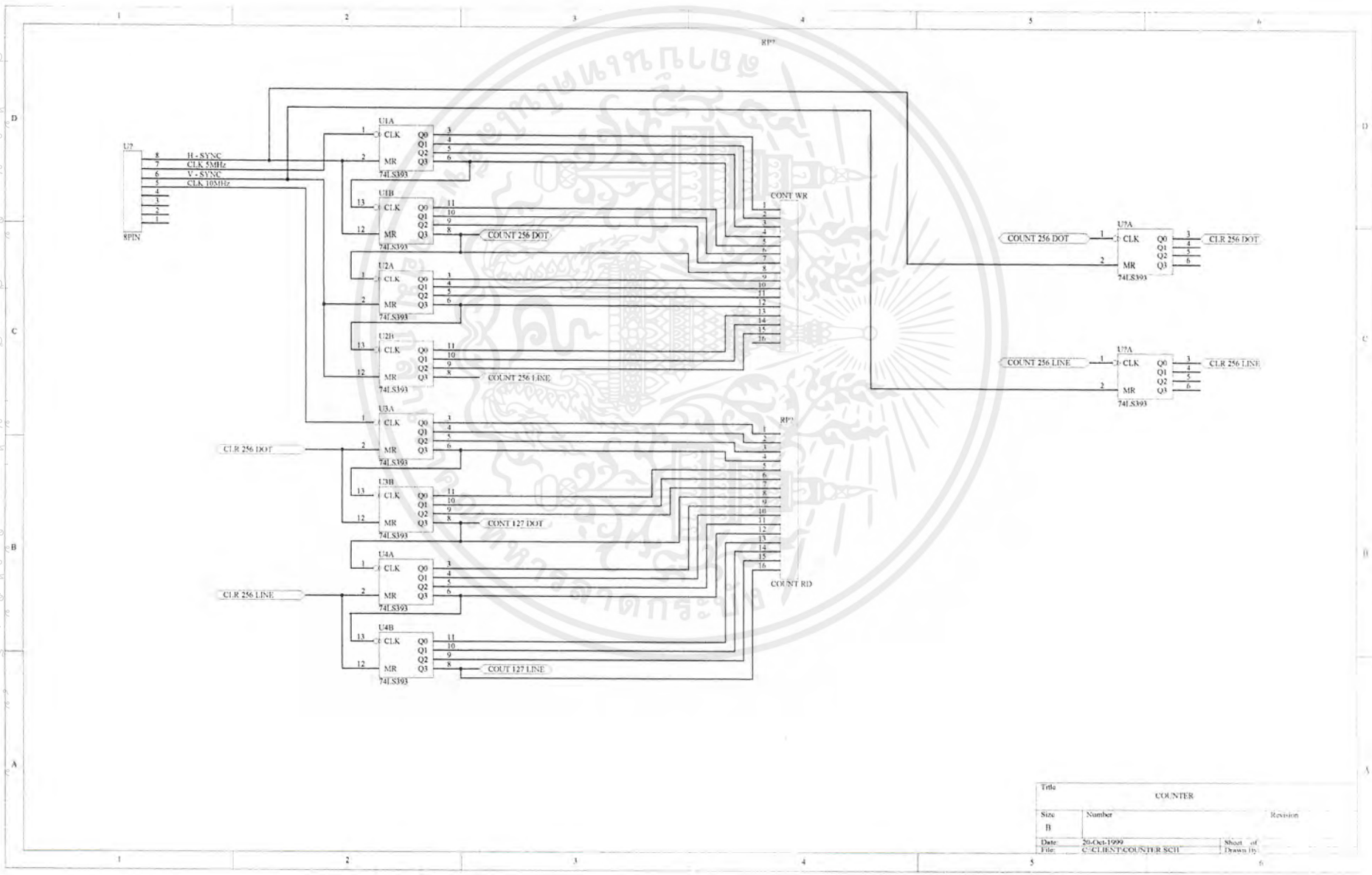


Title	CONTROL 2	
Size: B	Number	Revision
Date: 29-Jan-2000	Sheet of	
File: D:\CLIENT\CRT2.SCH	Drawn By:	



Title	SELECT CHANNEL		
Size: B	Number		Revision
Date:	19-Oct-1999	Sheet of	
File:	C:\CLIENT\SELECT C.SCH	Drawn By:	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


U?
8PIN
H - SYNC
CLK 5MHz
V - SYNC
CLK 10MHz
U1A
U1B
U2A
U2B
U3A
U3B
U4A
U4B
CLK
MR
Q0
Q1
Q2
Q3
74LS393
CONT WR
COUNT 256 DOT
COUNT 256 LINE
CONT 127 DOT
COUT 127 LINE
COUNT RD
CLR 256 DOT
CLR 256 LINE
U7A
RP?
Title
COUNTER
Size
B
Number
Revision
Date: 20-Oct-1999
File: C:\CLIENT\COUNTER.SCH
Sheet of
Drawn by:

intersil

CA3306, CA3306A, CA3306C

6-Bit, 15 MSPS, Flash A/D Converters

August 1997

Features

- CMOS Low Power with Video Speed (Typ) 70mW
- Parallel Conversion Technique
- Signal Power Supply Voltage . . . . . 3V to 7.5V
- 15MHz Sampling Rate with Single 5V Supply
- 6-Bit Latched Three-State Output with Overflow Bit
- Pin-for-Pin Retrofit for the CA3300

Applications

- TV Video Digitizing
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- High Speed Oscilloscope Storage/Display
- General Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- Robot Vision

Description

The CA3306 family are CMOS parallel (FLASH) analog-to-digital converters designed for applications demanding both low power consumption and high speed digitization. Digitizing at 15MHz, for example, requires only about 50mW.

The CA3306 family operates over a wide, full scale signal input voltage range of 1V up to the supply voltage. Power consumption is as low as 15mW, depending upon the clock frequency selected. The CA3306 types may be directly retrofitted into CA3300 sockets, offering improved linearity at a lower reference voltage and high operating speed with a 5V supply.

The intrinsic high conversion rate makes the CA3306 types ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3306s in series to increase the resolution of the conversion system. A series connection of two CA3306s may be used to produce a 7-bit high speed converter. Operation of two CA3306s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

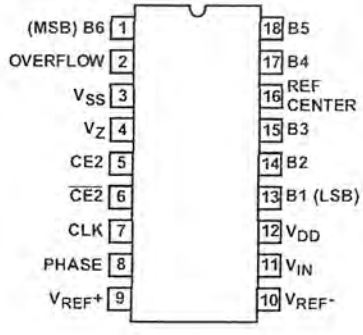
Sixty-four paralleled auto balanced comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3306. Sixty-three comparators are required to quantize all input voltage levels in this 6-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

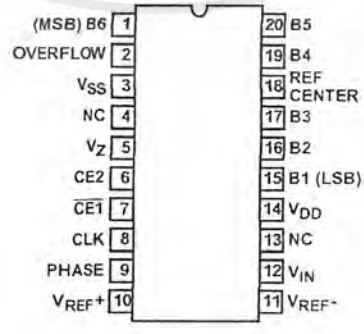
PART NUMBER	LINEARITY (INL, DNL)	SAMPLING RATE	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3306E	±0.5 LSB	15MHz (67ns)	-40 to 85	18 Ld PDIP	E18.3
CA3306CE	±0.5 LSB	10MHz (100ns)	-40 to 85	18 Ld PDIP	E18.3
CA3306M	±0.5 LSB	15MHz (67ns)	-40 to 85	20 Ld SOIC	M20.3
CA3306CM	±0.5 LSB	10MHz (100ns)	-40 to 85	20 Ld SOIC	M20.3
CA3306D	±0.5 LSB	15MHz (67ns)	-55 to 125	18 Ld SBDIP	D18.3
CA3306CD	±0.5 LSB	10MHz (100ns)	-55 to 125	18 Ld SBDIP	D18.3
CA3306J3	±0.5 LSB	15MHz (67ns)	-55 to 125	20 Ld CLCC	J20.B
CA3306J3	±0.5 LSB	10MHz (100ns)	-55 to 125	20 Ld CLCC	J20.B

Pinouts

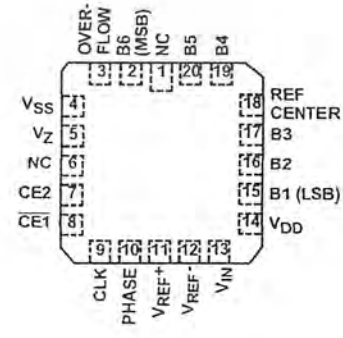
CA3306 (PDIP, SBDIP)
TOP VIEW



CA3306 (SOIC)
TOP VIEW



CA3306 (CLCC)
TOP VIEW



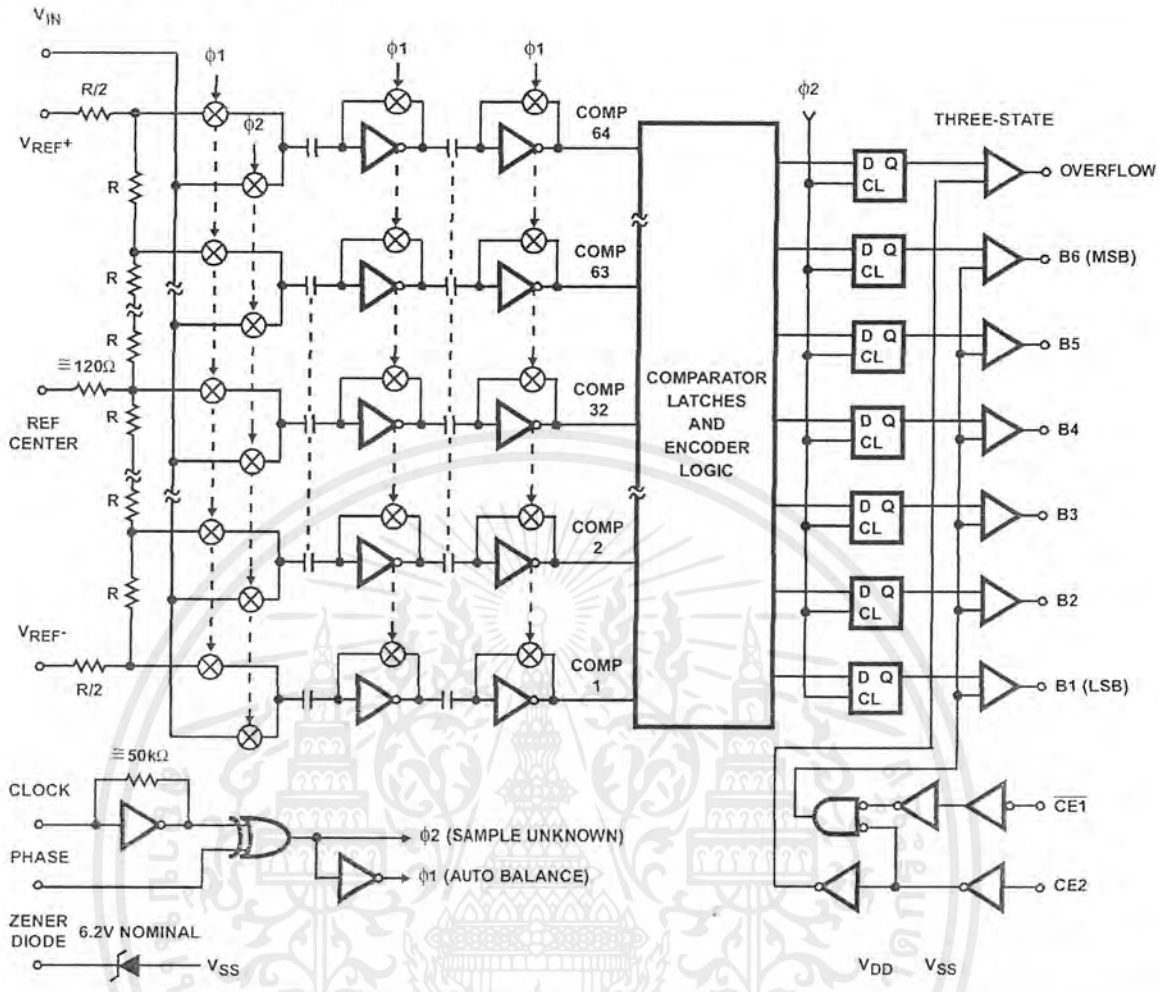
CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.

http://www.intersil.com or 407-727-9207 | Copyright © Intersil Corporation 1999

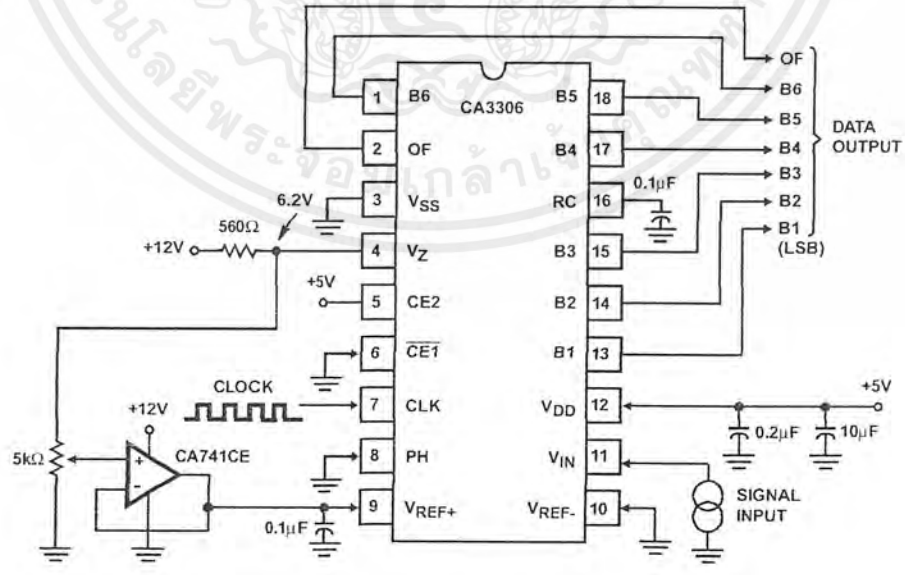
File Number **3102.1**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



Typical Application Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply Voltage Range, V_{DD}
Voltage Referenced to V_{SS} Terminal ..... -0.5V to +8.5V
Input Voltage Range
All Inputs Except Zener ..... -0.5V to V_{DD} + 0.5V
DC Input Current
CLK, PH, $\overline{CE1}$, CE2, V_{IN} ..... ±20mA

Operating Conditions

Supply Voltage Range ..... 3V to 8V
Temperature Range (T_A)
Ceramic Package (D Suffix) ..... -55°C to 125°C
Plastic Package (E or M Suffix) ..... -40°C to 85°C

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
SBDIP Package	75	24
PDIP Package	95	N/A
SOIC Package	115	N/A
CLCC Package	80	28

Maximum Junction Temperature
Hermetic Packages ..... 175°C
Plastic Packages ..... 150°C
Maximum Storage Temperature Range ..... -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) ..... 300°C
(SOIC - Lead Tips Only)

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

T_A = 25°C, V_{DD} = 5V, V_{REF}^+ = 4.8V, V_{SS} = V_{REF}^- = GND, Clock = 15MHz Square Wave for CA3306 or CA3306A, 10MHz for CA3306C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM PERFORMANCE						
Resolution			6	-	-	Bits
Integral Linearity Error, INL	CA3306, CA3306C		-	±0.25	±0.5	LSB
	CA3306A		-	±0.2	±0.25	LSB
Differential Linearity Error, DNL	CA3306, CA3306C		-	±0.25	±0.5	LSB
	CA3306A		-	±0.2	±0.25	LSB
Offset Error (Unadjusted)	CA3306, CA3306C	(Note 1)	-	±0.5	±1	LSB
	CA3306A		-	±0.25	±0.5	LSB
Gain Error (Unadjusted)	CA3306, CA3306C	(Note 2)	-	±0.5	±1	LSB
	CA3306A		-	±0.25	±0.5	LSB
Gain Temperature Coefficient			-	+0.1	-	mV/°C
Offset Temperature Coefficient			-	-0.1	-	mV/°C
DYNAMIC CHARACTERISTICS (Input Signal Level 0.5dB Below Full Scale)						
Maximum Conversion Speed	CA3306C		10	13	-	MSPS
	CA3306, CA3306A		15	20	-	MSPS
Maximum Conversion Speed	CA3306C	(Note 4) $\phi1, \phi2 \geq$ Minimum	12	-	-	MSPS
	CA3306, CA3306A		18	-	-	MSPS
Allowable Input Bandwidth		(Note 4)	DC	-	$f_{CLOCK/2}$	MHz
-3dB Input Bandwidth			-	30	-	MHz
Signal to Noise Ratio, SNR $= \frac{RMS Signal}{RMS Noise}$		f_S = 15MHz, f_{IN} = 100kHz	-	34.6	-	dB
		f_S = 15MHz, f_{IN} = 5MHz	-	33.4	-	dB
Signal to Noise Ratio, SINAD $= \frac{RMS Signal}{RMS Noise + Distortion}$		f_S = 15MHz, f_{IN} = 100kHz	-	34.2	-	dB
		f_S = 15MHz, f_{IN} = 5MHz	-	29.0	-	dB
Total Harmonic Distortion, THD		f_S = 15MHz, f_{IN} = 100kHz	-	-46.0	-	dBc
		f_S = 15MHz, f_{IN} = 5MHz	-	-30.0	-	dBc
Effective Number of Bits, ENOB		f_S = 15MHz, f_{IN} = 100kHz	-	5.5	-	Bits
		f_S = 15MHz, f_{IN} = 5MHz	-	4.5	-	Bits

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications $T_A = 25^oC$, $V_{DD} = 5V$, $V_{REF}+ = 4.8V$, $V_{SS} = V_{REF}- = GND$, Clock = 15MHz Square Wave for CA3306 or CA3306A, 10MHz for CA3306C **(Continued)**

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUTS						
Positive Full Scale Input Range		(Notes 3, 4)	1	4.8	$V_{DD} + 0.5$	V
Negative Full Scale Input Range		(Notes 3, 4)	-0.5	0	$V_{DD} - 1$	V
Input Capacitance			-	15	-	pF
Input Current		$V_{IN} = 4.92V$, $V_{DD} = 5V$	-	-	±500	µA
INTERNAL VOLTAGE REFERENCE						
Zener Voltage		$I_Z = 10mA$	5.4	6.2	7.4	V
Zener Dynamic Impedance		$I_Z = 10mA$, 20mA	-	12	25	Ω
Zener Temperature Coefficient			-	-0.5	-	$mV/^oC$
REFERENCE INPUTS						
Resistor Ladder Impedance			650	1100	1550	Ω
DIGITAL INPUTS						
Maximum V_{IN}, Logic 0		All Digital Inputs (Note 4)	-	-	$0.3 \times V_{DD}$	V
Maximum V_{IN}, Logic 1		All Digital Inputs (Note 4)	$0.7 \times V_{DD}$	-	-	V
Digital Input Current		Except CLK, $V_{IN} = 0V$, 5V	-	±1	±5	µA
Digital Input Current		CLK Only	-	±100	±200	µA
DIGITAL OUTPUTS						
Digital Output Three-State Leakage		$V_{OUT} = 0V$, 5V	-	±1	±5	µA
Digital Output Source Current		$V_{OUT} = 4.6V$	-1.6	-	-	mA
Digital Output Sink Current		$V_{OUT} = 0.4V$	3.2	-	-	mA
TIMING CHARACTERISTICS						
Auto Balance Time (ϕ1)	CA3306C		50	-	∞	ns
	CA3306, CA3306A		33	-	∞	
Sample Time (ϕ2)	CA3306C	(Note 4)	33	-	5000	ns
	CA3306, CA3306A		22	-	5000	ns
Aperture Delay			-	8	-	ns
Aperture Jitter			-	100	-	ps_{P-P}
Output Data Valid Delay, t_D	CA3306C		-	35	50	ns
	CA3306, CA3306A		-	30	40	ns
Output Data Hold Time, t_H		(Note 4)	15	25	-	ns
Output Enable Time, t_{EN}			-	20	-	ns
Output Disable Time, t_{DIS}			-	15	-	ns
POWER SUPPLY CHARACTERISTICS						
I_{DD} *Current, Refer to Figure 4*	CA3306C	*Continuous Conversion (Note 4)*	-	11	20	mA
	CA3306, CA3306A		-	14	25	mA
I_{DD} Current		Continuous ϕ1	-	7.5	15	mA

NOTES:

1. OFFSET ERROR is the difference between the input voltage that causes the 00 to 01 output code transition and $(V_{REF}+ - V_{REF}-)/128$.
2. GAIN ERROR is the difference the input voltage that causes the $3F_{16}$ to overflow output code transition and $(V_{REF}+ - V_{REF}-) \times 127/128$.
3. The total input voltage range, set by $V_{REF}+$ and $V_{REF}-$, may be in the range of 1 to $(V_{DD} + 1)$ V.
4. Parameter not tested, but guaranteed by design or characterization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveforms

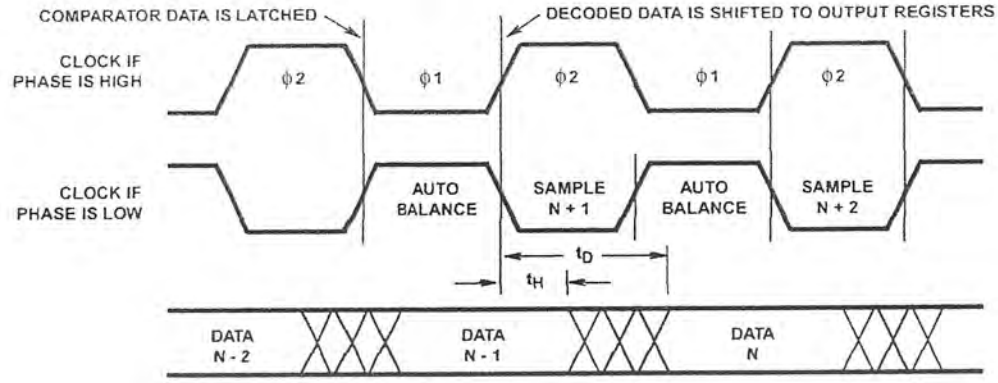


FIGURE 1. INPUT-TO-OUTPUT

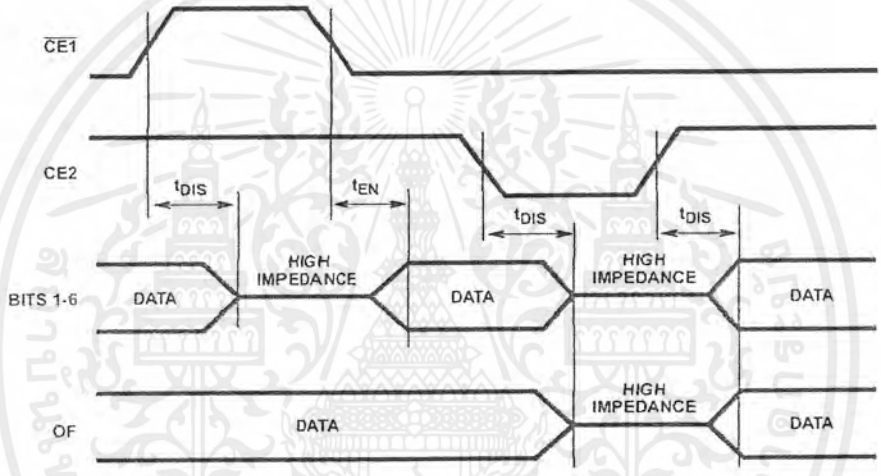


FIGURE 2. OUTPUT ENABLE

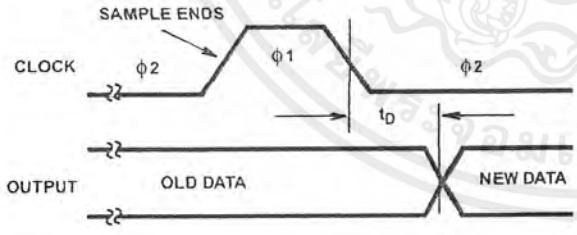


FIGURE 3A.

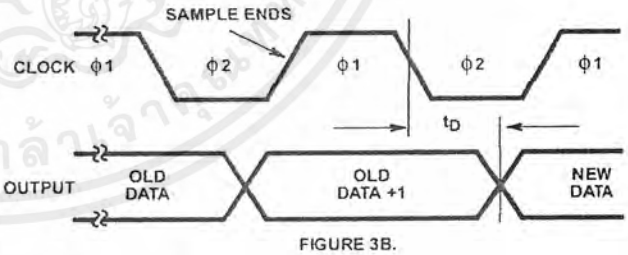


FIGURE 3B.

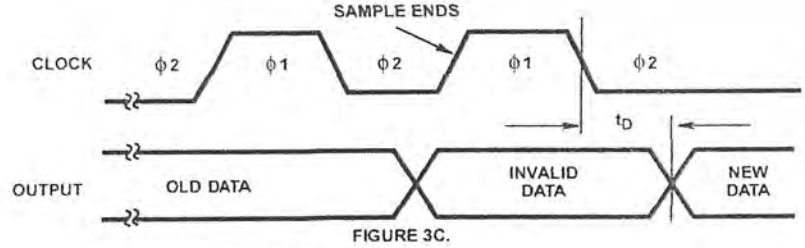


FIGURE 3C.

FIGURE 3. PULSE MODE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

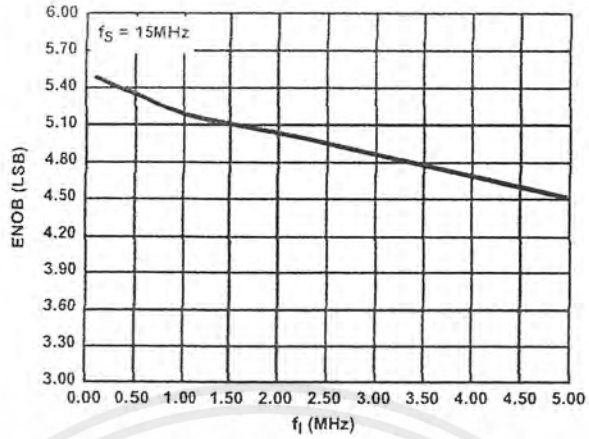


FIGURE 16. ENOB vs INPUT FREQUENCY

Pin Descriptions

PIN NUMBER		NAME	DESCRIPTION
DIP	SOIC		
1	1	B6	Bit 6, Output (MSB).
2	2	OF	Overflow, Output.
3	3, 4	V_{SS}	Digital Ground.
4	5	VZ	Zener Reference Output.
5	6	CE2	Three-State Output Enable Input, Active Low. See Table 1.
6	7	$\overline{CE1}$	Three-State Output Enable Input, Active High. See Table 1.
7	8	CLK	Clock Input.
8	9	Phase	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).
9	10	V_{REF}^+	Reference Voltage Positive Input.
10	11	V_{REF}^-	Reference Voltage Negative Input.
11	12	V_{IN}	Analog Signal Input.
12	13, 14	V_{DD}	Power Supply, +5V.
13	15	B1	Bit 1, Output (LSB).
14	16	B2	Bit 2, Output.
15	17	B3	Bit 3, Output.
16	18	REF(CTR)	Reference Ladder Midpoint.
17	19	B4	Bit 4, Output.
18	20	B5	Bit 5, Output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1. CHIP ENABLE TRUTH TABLE

$\overline{CE1}$	CE2	B1 - B6	OF
0	1	Valid	Valid
1	1	Three-State	Valid
X	0	Three-State	Three-State

X = Don't care

TABLE 2. OUTPUT CODE TABLE

CODE DESCRIPTION	(NOTE 1) INPUT VOLTAGE V_{REF} 6.40 (V)	V_{REF} 5.12 (V)	V_{REF} 4.80 (V)	V_{REF} 3.20 (V)	BINARY OUTPUT CODE (LSB) OF	B6	B5	B4	B3	B2	B1	DECIMAL COUNT
Zero	0.00	0.00	0.00	0.00	0	0	0	0	0	0	0	0
1 LSB	0.10	0.08	0.075	0.05	0	0	0	0	0	0	1	1
2 LSB	0.20	0.16	0.15	0.10	0	0	0	0	0	1	0	2
.		.						.				.
.		.						.				.
.		.						.				.
.		.						.				.
$^1/_2$ Full Scale - 1 LSB	3.10	2.48	2.325	1.55	0	0	1	1	1	1	1	31
$^1/_2$ Full Scale	3.20	2.56	2.40	1.60	0	1	0	0	0	0	0	32
$^1/_2$ Full Scale + 1 LSB	3.30	2.64	2.475	1.65	0	1	0	0	0	0	1	33
.		.						.				.
.		.						.				.
.		.						.				.
.		.						.				.
Full Scale - 1 LSB	6.20	4.96	4.65	3.10	0	1	1	1	1	1	0	62
Full Scale	6.30	5.04	4.725	3.15	0	1	1	1	1	1	1	63
Overflow	6.40	5.12	4.80	3.20	1	1	1	1	1	1	1	127

NOTE:

1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Circuits (Continued)

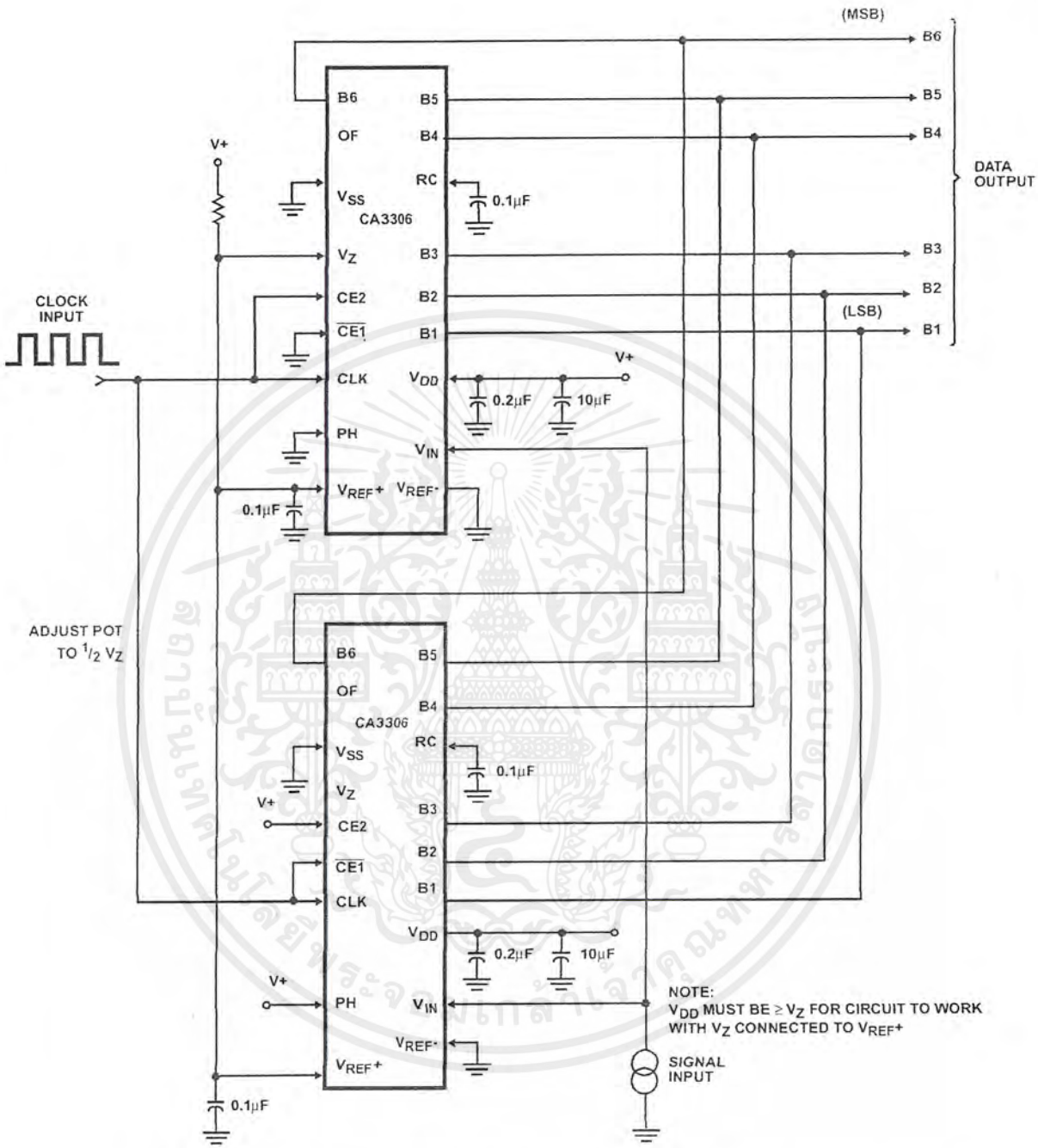


FIGURE 18. TYPICAL CA3306 6-BIT RESOLUTION CONFIGURATION WITH DOUBLE SAMPLING RATE CAPABILITY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

LM1881 Video Sync Separator

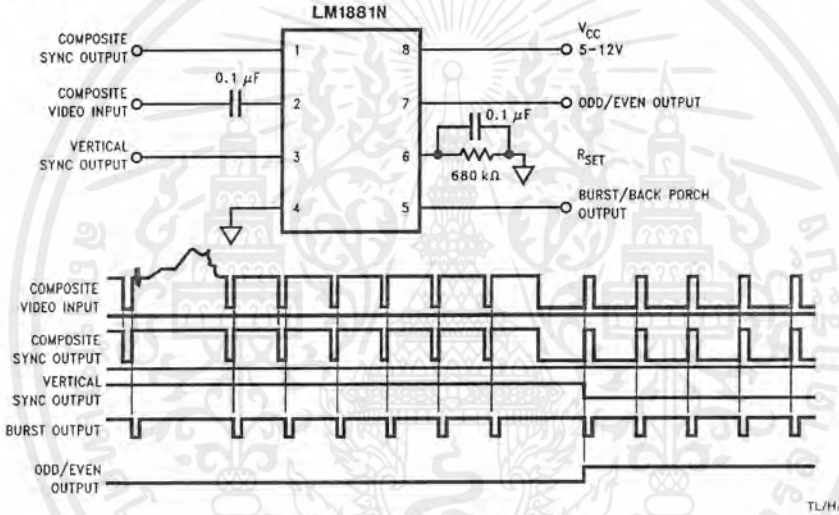
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL*, and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



TL/H/9150–1

Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

© 1995 National Semiconductor Corporation RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vpp (V_{CC} = 5V) 6 Vpp (V_{CC} ≥ 8V)
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C – 70°C
Storage Temperature Range	−65°C to +150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

V_{CC} = 5V; Rset = 680 kΩ; T_A = 25°C; Unless otherwise specified

Parameter	Conditions		Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	Outputs at Logic 1	V_{CC} = 5V	5.2	10		mAmax
		V_{CC} = 12V	5.5	12		mAmax
DC Input Voltage	Pin 2		1.5	1.3		Vmin
				1.8		Vmax
Input Threshold Voltage	Note 5		70	55		mVmin
				85		mVmax
Input Discharge Current	Pin 2; V_{IN} = 2V		11	6		μAmin
				16		μAmax
Input Clamp Charge Current	Pin 2; V_{IN} = 1V		0.8	0.2		mAmin
R_{SET} Pin Reference Voltage	Pin 6; Note 6		1.22	1.10		Vmin
				1.35		Vmax
Composite Sync. & Vertical Outputs	I_{OUT} = 40 μA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
	I_{OUT} = 1.6 mA Logic 1	V_{CC} = 5V	3.6	2.4		Vmin
		V_{CC} = 12V		10.0		Vmin
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 μA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1		0.2	0.8		Vmax
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3		0.2	0.8		Vmax
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5		0.2	0.8		Vmax
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7		0.2	0.8		Vmax
Vertical Sync Width			230	190		μsmin
				300		μsmax
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}		4	2.5		μsmin
				4.7		μsmax
Vertical Default Time	Note 7		65	32		μsmin
				90		μsmax

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

Note 2: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 3: Typicals are at T_J = 25°C and represent the most likely parametric norm.

Note 4: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

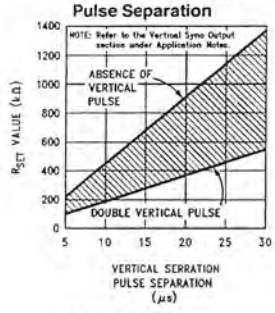
Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the R_{SET} pin (Pin 6).

Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

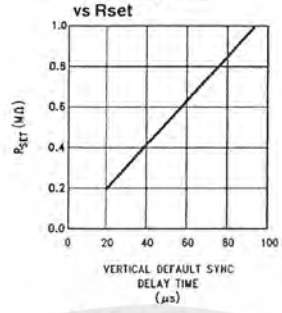
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

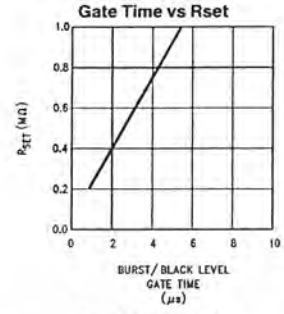
R_{set} Value Selection vs Vertical Serration Pulse Separation



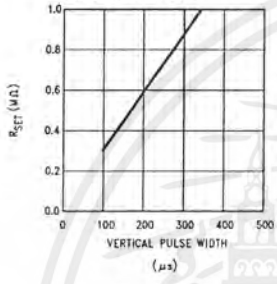
Vertical Default Sync Delay Time vs Rset



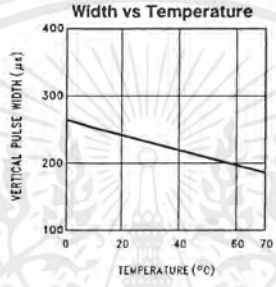
Burst/Black Level Gate Time vs Rset



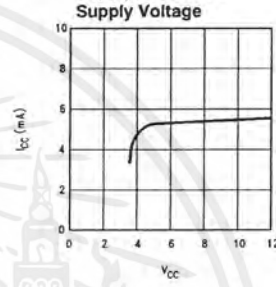
Vertical Pulse Width vs Rset



Vertical Pulse Width vs Temperature



Supply Current vs Supply Voltage



TL/H/9150–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components beside power supply and set current decoupling are the input coupling capacitor and a single resistor that sets internal current levels, allowing the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C: composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 2(a–e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 2(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 2(a)*). This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11 μA, typically. This allows relatively small capacitor values to be used—0.1 μF is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75Ω, a 620Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

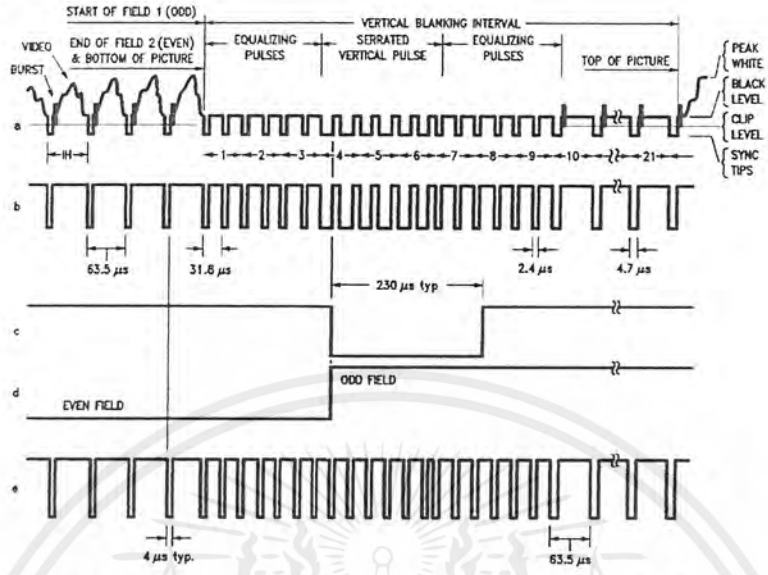
VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform *(Figure 3)*. To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 3*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called V_1 going to one of its inputs. The other comparator has an internally generated voltage reference called V_2 going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are **positive** going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor R_{set}. The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the V_1. During the vertical sync period the narrow going positive pulses shown in *Figure 2* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between V_1 and V_2. This would give a high level at the output of the comparator with V_1 as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external R_{set}. The "$\overline{Q}$" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 2*.

How R_{set} affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is "R_{set} Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal

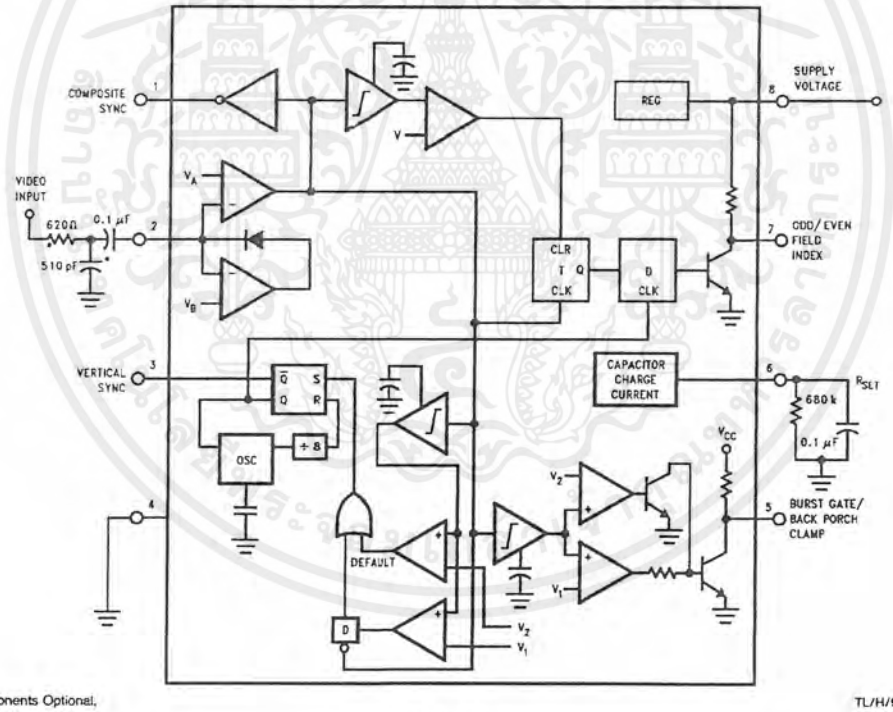
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)



TL/H/9150–3

FIGURE 2. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp



*Components Optional, See Text

TL/H/9150–4

FIGURE 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 2*. This graph shows how long it takes the integrator to charge its internal capacitor above V_1.

WITH R_{set} too large the charging current of the integrator will be too small to charge the capacitor above V_1, thus there will be no vertical synch output pulse. As mentioned above, R_{set} also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulses after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum R_{set} necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs R_{set}" graph. Using NTSC as an example, lets see how these two graphs relate to each other. The Horizontal line is 64 μs long, or 32 μs for a horizontal half line. Now round this off to 30 μs. In the "R_{set} Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30 μs serration pulse separation is about 550 kΩ. Going to the "Vertical Pulse Width vs R_{set}" graph one can see that 550 kΩ gives a vertical pulse width of about 180 μs, the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 kΩ will set the internal oscillator to a frequency such that eight cycles gives a time of 180 μs, just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level V_2. Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches V_2. At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with V_1 as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs R_{set}" graph shows the relationship between the R_{set} value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for R_{set} is 500 kΩ. The vertical default time delay is about 50 μs, much longer than the 30 μs serration pulse spacing.

A common question is how can one calculate the required R_{set} with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default Sync Delay Time vs R_{set}" graph to select the necessary R_{set} to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs R_{set}" graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32 μs long. The vertical sync period is two horizontal lines long, or 64 μs. The vertical default sync delay time **must be longer** than the vertical sync period of 64 μs. In this case R_{set} must be larger than 680 kΩ. R_{set} must still be small enough for the output of the integrator to reach V_1 before the end of the vertical period of the input pulse. The first graph can be used to confirm that R_{set} is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64 μs in this example. This graph is linear, meaning that a value as large as 2.7 MΩ can be used for R_{set} (twice the value as the maximum at 30 μs). Due to leakage currents it is advisable to keep the value of R_{set} under 2.0 MΩ. In this example a value of 1.0 MΩ is selected, well above the minimum of 680 kΩ. With this value for R_{set} the pulse width of the vertical sync output pulse of the LM1881 is about 340 μs.

ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur only in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "field 1". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 2(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform *(Figure 3)*. A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flipflop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 μs long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 μs later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60–120 Hz) vertical scan rates.

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field level allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 4* puts out a single video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

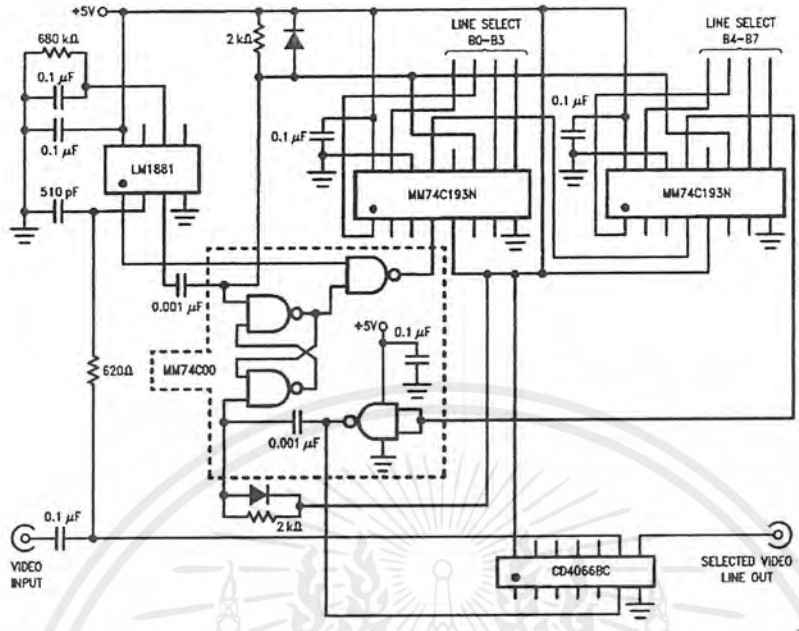
The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 5* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 kΩ, 10 μF) providing black level restoration at the video output when the output selected line(s) is not being gated through.

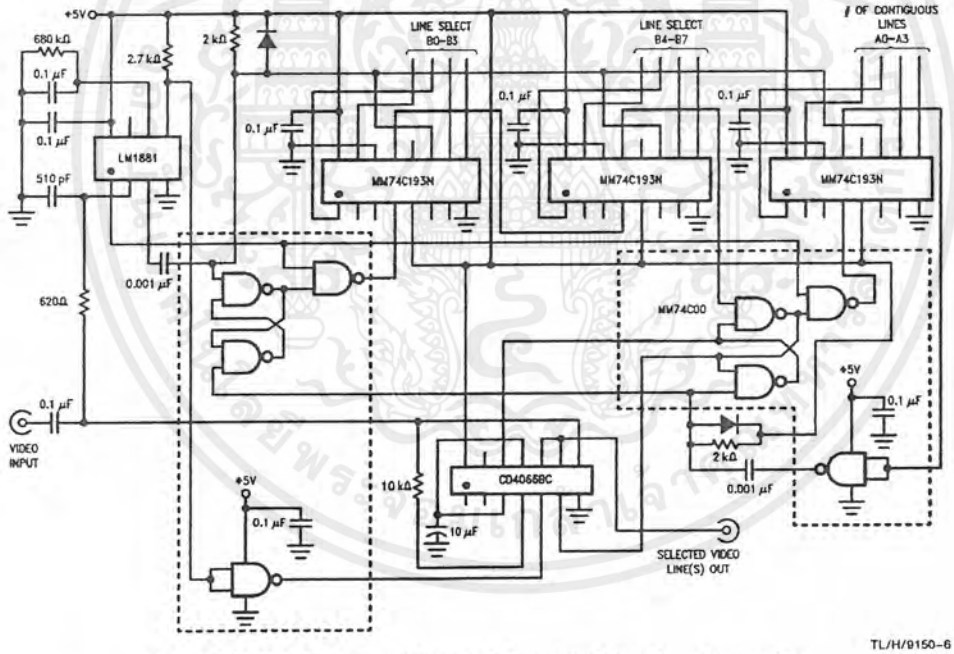
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications



TL/H/9150–5

FIGURE 4. Video Line Selector



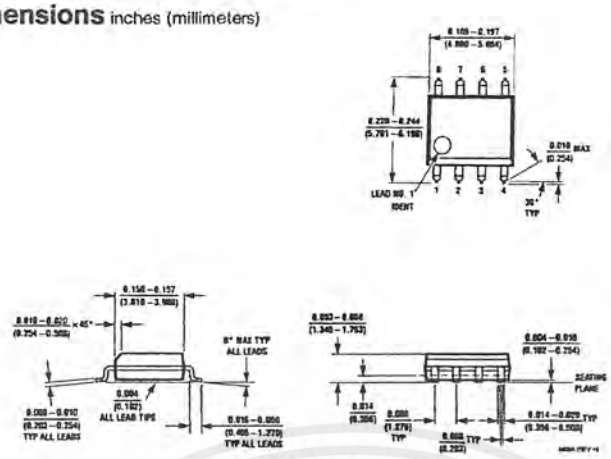
TL/H/9150–6

FIGURE 5. Multiple Contiguous Video Line Selector With Black Level Restoration

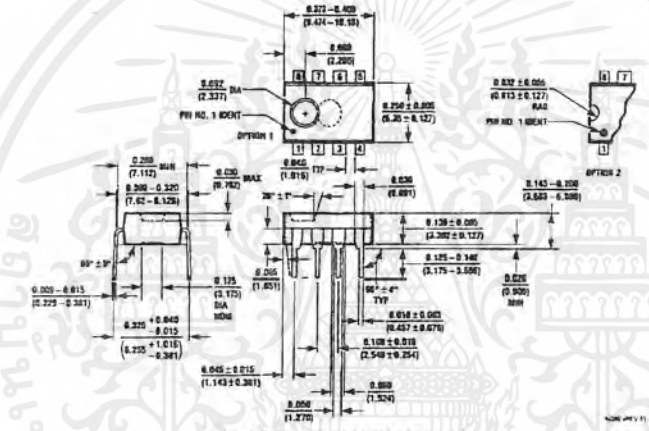
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)

Lit. # 107636



Molded Small Outline Package (M)
Order Number LM1881M
NS Package Number M08A



Molded Dual-In-Line Package (N)
Order Number LM1881N
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

May 1998

National Semiconductor

DAC0800/DAC0801/DAC0802
8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1.* The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current: 100 ns
- Full scale error: ±1 LSB
- Nonlinearity over temperature: ±0.1%
- Full scale current drift: ±10 ppm/°C
- High output compliance: −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range: ±4.5V to ±18V
- Low power consumption: 33 mW at ±5V
- Low cost

Typical Applications

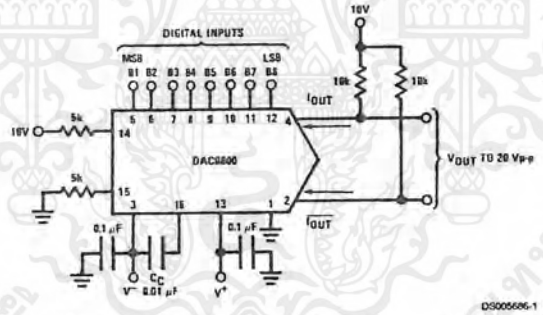


FIGURE 1. ±20 V_{P-P} Output Digital-to-Analog Converter (Note 5)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A) (Note 1)		N Package (N16A) (Note 1)		SO Package (M16A)
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C			DAC0801LCN	DAC-08CP	DAC0801LCM

Note 1: Devices may be ordered by using either order number.

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 3)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs (V_S− = −15V)	4.25 mA
ESD Susceptibility (Note 4)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 2)

	Min	Max	Units
Temperature (T_A)			
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics

The following specifications apply for V_S = ±15V, I_{REF} = 2 mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19			±0.39	%FS
t_s	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", T_A=25°C		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
tPLH, tPHL	Propagation Delay	T_A=25°C										
	Each Bit			35	60		35	60		35	60	ns
	All Bits Switched			35	60		35	60		35	60	ns
TCI_{FS}	Full Scale Tempco			±10	±50		±10	±50		±10	±80	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change <½ LSB, R_{OUT}>20 MΩ Typ	−10		18	−10		18	−10		18	V
I_{FS4}	Full Scale Current	V_{REF}=10.000V, R14=5.000 kΩ R15=5.000 kΩ, T_A=25°C	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4}-I_{FS2}$		±0.5	±4.0		±1	±8.0		±2	±16	µA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	µA
I_{FSR}	Output Current Range	V^-=−5V	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		V^-=−8V to −18V	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels											
V_{IL}	Logic "0"	V_{LC}=0V			0.8			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current	V_{LC}=0V										
I_{IL}	Logic "0"	−10V≤V_{IN}≤+0.8V		−2.0	−10		−2.0	−10		−2.0	−10	µA
I_{IH}	Logic "1"	2V≤V_{IN}≤+18V		0.002	10		0.002	10		0.002	10	µA
V_{IS}	Logic Input Swing	V^-=−15V	−10		18	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	V_S=±15V	−10		13.5	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0		−1.0	−3.0	µA
dI/dt	Reference Input Slew Rate	(*Figure 11*)	4.0	8.0		4.0	8.0		4.0	8.0		mA/µs
$PSSI_{FS+}$	Power Supply Sensitivity	4.5V≤V^+≤18V		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		−4.5V≤V^-≤18V I_{REF}=1mA		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for V_S = ±15V, I_{REF} = 2 mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Power Supply Current	V_S=±5V, I_{REF}=1 mA										
I+				2.3	3.8		2.3	3.8		2.3	3.8	mA
I−				−4.3	−5.8		−4.3	−5.8		−4.3	−5.8	mA
		V_S=5V, −15V, I_{REF}=2 mA										
I+				2.4	3.8		2.4	3.8		2.4	3.8	mA
I−				−6.4	−7.8		−6.4	−7.8		−6.4	−7.8	mA
		V_S=±15V, I_{REF}=2 mA										
I+				2.5	3.8		2.5	3.8		2.5	3.8	mA
I−				−6.5	−7.8		−6.5	−7.8		−6.5	−7.8	mA
P_D	Power Dissipation	±5V, I_{REF}=1 mA		33	48		33	48		33	48	mW
		5V,−15V, I_{REF}=2 mA		108	136		108	136		108	136	mW
		±15V, I_{REF}=2 mA		135	174		135	174		135	174	mW

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

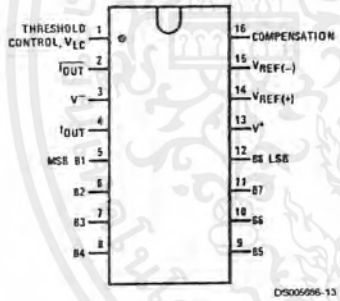
Note 3: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 4: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 5: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

Connection Diagrams

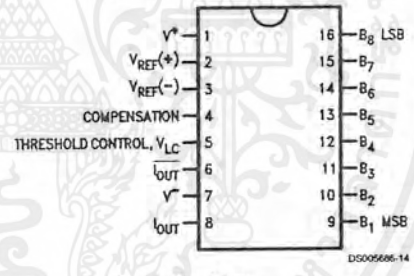
Dual-In-Line Package



Top View

See Ordering Information

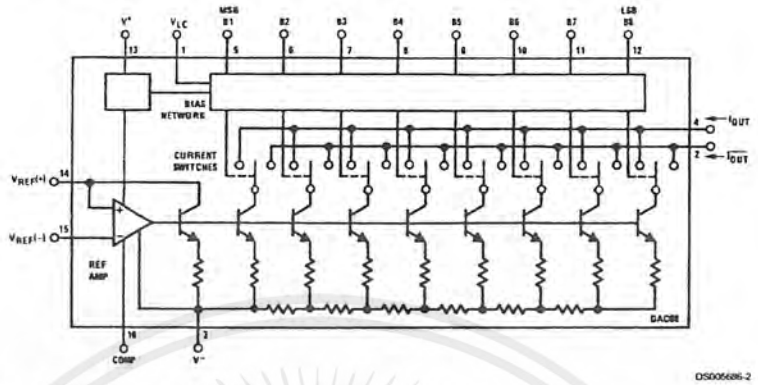
Small Outline Package



Top View

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

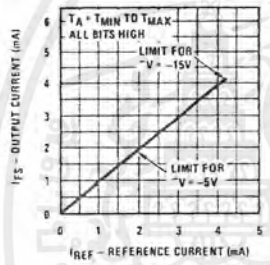
Block Diagram (Note 5)



DS005686-2

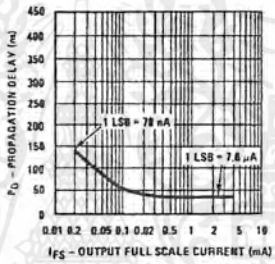
Typical Performance Characteristics

Full Scale Current vs Reference Current



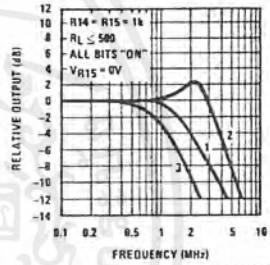
DS005686-22

LSB Propagation Delay vs I_{FS}



DS005686-23

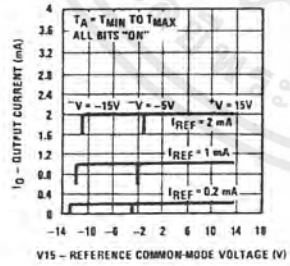
Reference Input Frequency Response



DS005686-24

Curve 1: C_C=15 pF, V_{IN}=2 Vp-p centered at 1V.
Curve 2: C_C=15 pF, V_{IN}=50 mVp-p centered at 200 mV.
Curve 3: C_C=0 pF, V_{IN}=100 mVp-p centered at 0V and applied through 50Ω connected to pin 14.2V applied to R14.

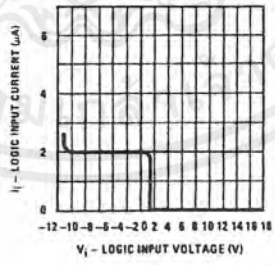
Reference Amp Common-Mode Range



DS005686-25

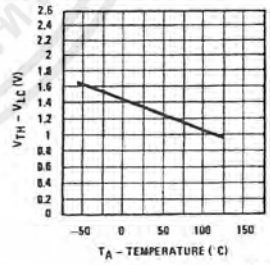
Note. Positive common-mode range is always (V+) − 1.5V.

Logic Input Current vs Input Voltage



DS005686-26

V_{TH} — V_{LC} vs Temperature

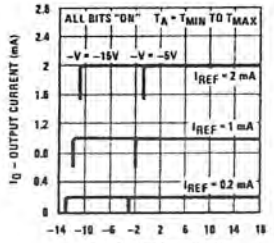


DS005686-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

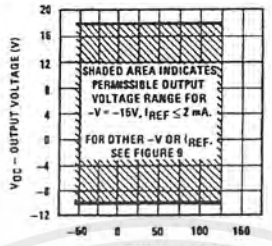
Typical Performance Characteristics (Continued)

Output Current vs Output Voltage (Output Voltage Compliance)



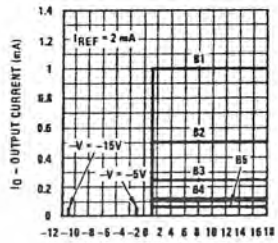
DS005686-28

Output Voltage Compliance vs Temperature



DS005686-29

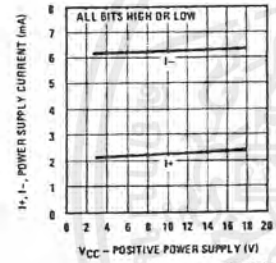
Bit Transfer Characteristics



DS005686-30

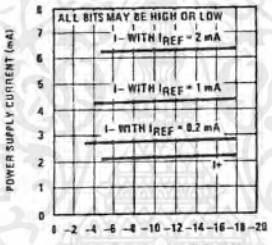
Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ±100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

Power Supply Current vs +V



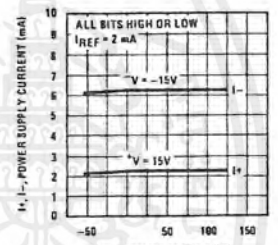
DS005686-31

Power Supply Current vs −V



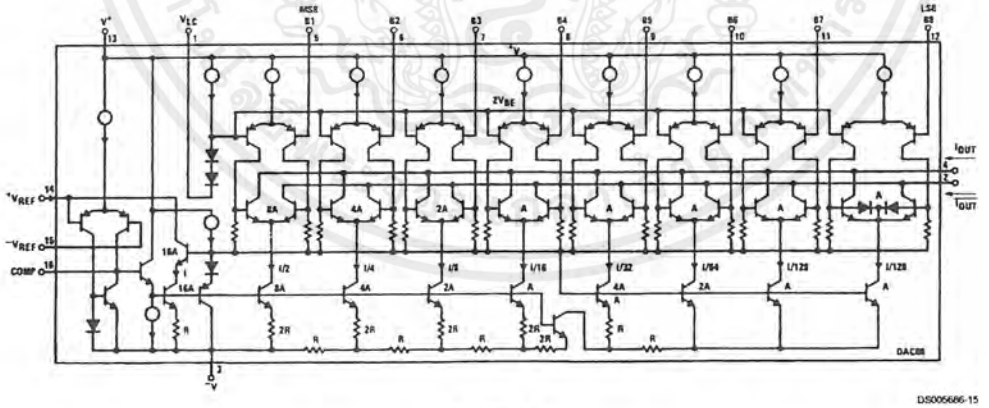
DS005686-32

Power Supply Current vs Temperature



DS005686-33

Equivalent Circuit

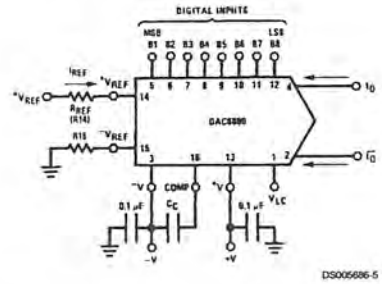


DS005686-15

FIGURE 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications



$$I_{FS} \simeq \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \bar{I}_O = I_{FS}$ for all logic states
For fixed reference, TTL operation, typical values are:
$V_{REF} = 10.000V$
$R_{REF} = 5.000k$
$R15 \simeq R_{REF}$
$C_C = 0.01\ \mu F$
$V_{LC} = 0V$ (Ground)

FIGURE 3. Basic Positive Reference Operation (Note 5)

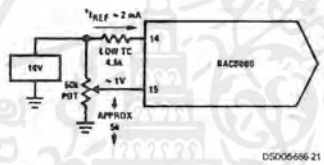
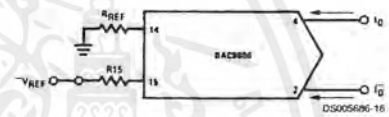


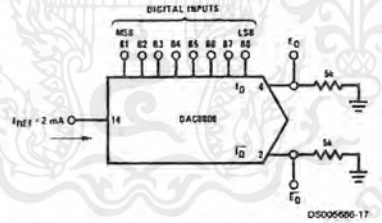
FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 5)



$$I_{FS} = \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note. R_{REF} sets I_{FS}; R15 is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 5)

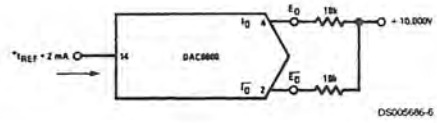


	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\bar{I}_O$mA	E_O	$\bar{E}_O$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale−LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale+LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale−LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale+LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

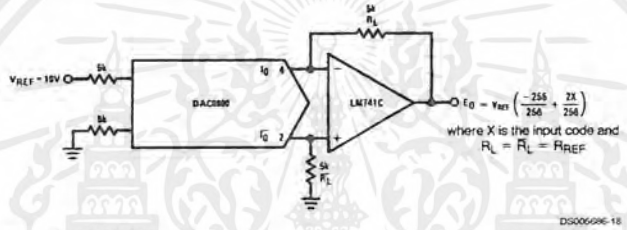
Typical Applications (Continued)



DS005686-6

	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E}_O$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale+LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale−LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

FIGURE 7. Basic Bipolar Output Operation (Note 5)

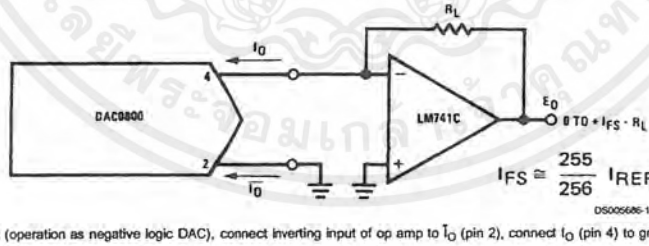


DS005686-18

If $R_L = \overline{R}_L$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 5)



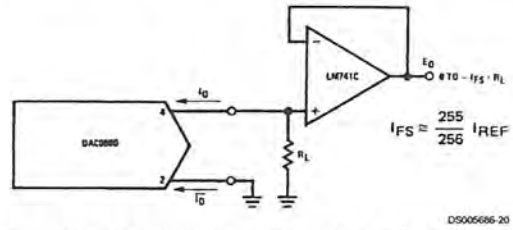
DS005686-19

For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I}_O$ (pin 2), connect I_O (pin 4) to ground.

FIGURE 9. Positive Low Impedance Output Operation (Note 5)

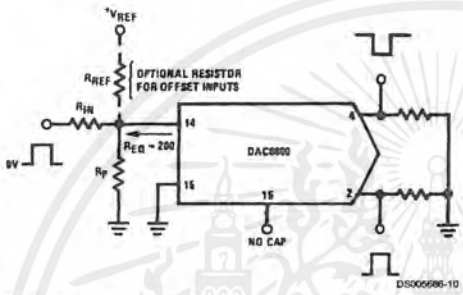
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



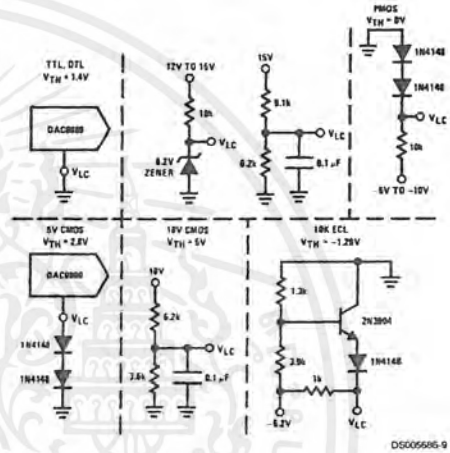
For complementary output (operation as a negative logic DAC) connect non-inverting input of op am to $\overline{I_O}$ (pin 2); connect I_O (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 5)



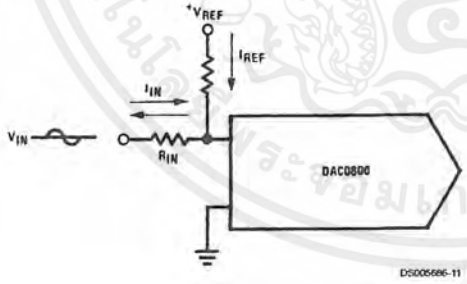
Typical values: R_{IN} = 5k, $+V_{IN}$ = 10V

FIGURE 11. Pulsed Reference Operation (Note 5)

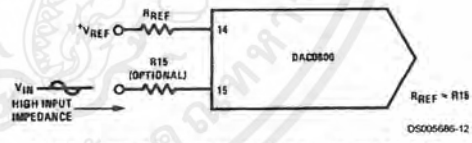


$V_{TH} = V_{LC} + 1.4V$
15V CMOS, HTL, HNIL
$V_{TH} = 7.6V$
Note. Do not exceed negative logic input range of DAC.

FIGURE 12. Interfacing with Various Logic Families



(a) $I_{REF} \geq$ peak negative swing of I_{IN}



(b) $+V_{REF}$ must be above peak positive swing of V_{IN}

FIGURE 13. Accommodating Bipolar References (Note 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

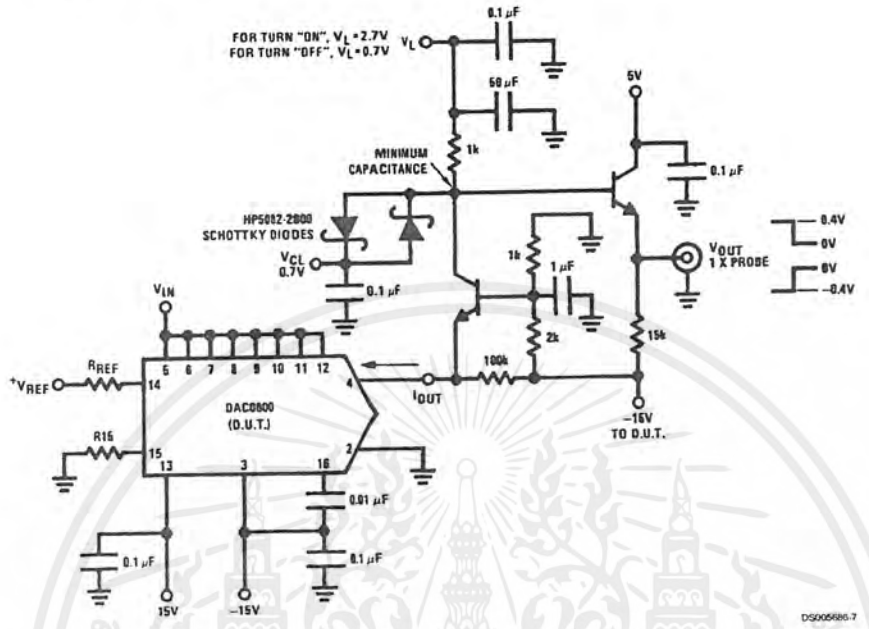
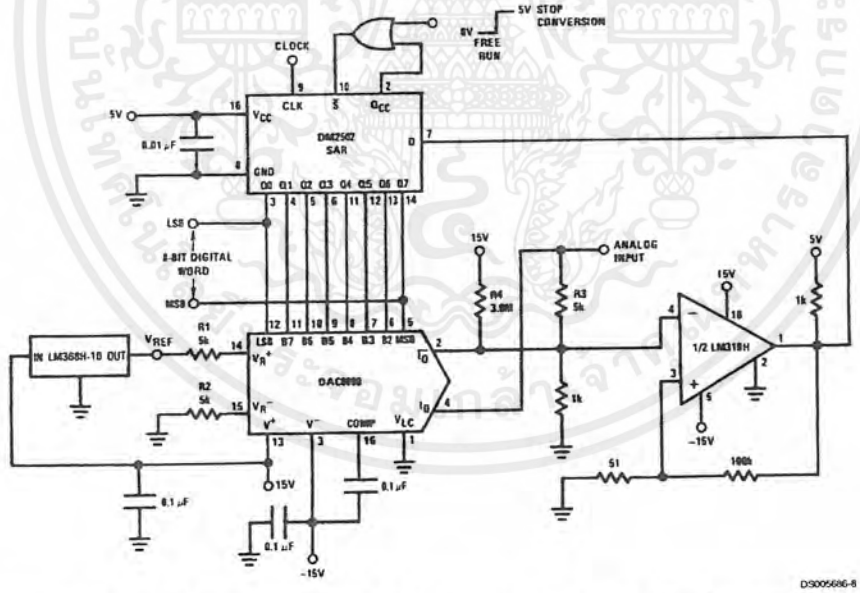


FIGURE 14. Settling Time Measurement (Note 5)

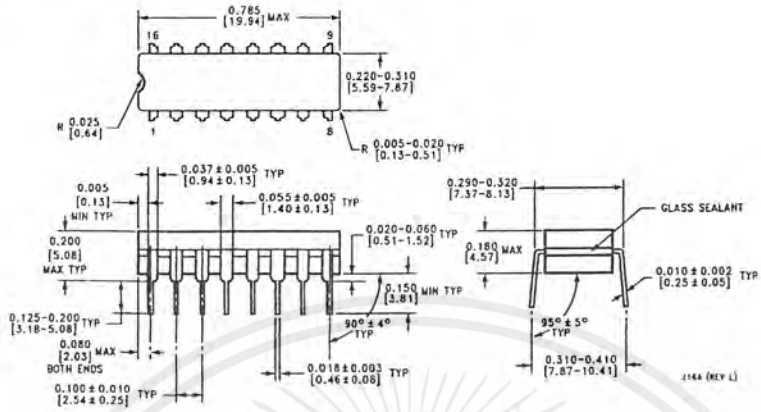


Note. For 1 µs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

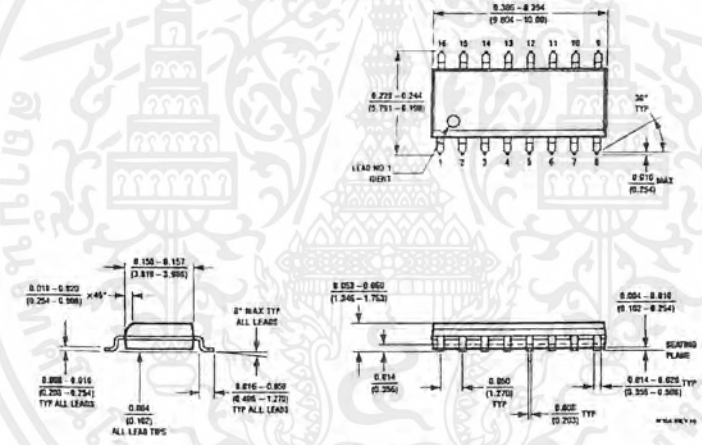
FIGURE 15. A Complete 2 µs Conversion Time, 8-Bit A/D Converter (Note 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



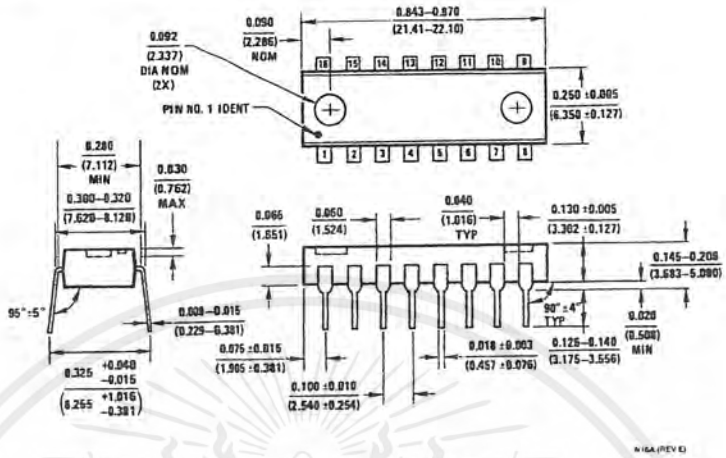
Molded Small Outline Package (SO)
Order Numbers DAC0800LCM,
DAC0801LCM or DAC0802LCM
NS Package Number M16A



Molded Small Outline Package (SO)
Order Numbers DAC0800LCM,
DAC0801LCM or DAC0802LCM
NS Package Number M16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



N16A (REV E)

Molded Dual-In-Line Package
Order Numbers DAC0800, DAC0801, DAC0802
NS Package Number N16A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com

www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM628128B Series

1 M SRAM (128-kword × 8-bit)

HITACHI

ADE-203-243E (Z)
Rev. 5.0
Nov. 1997

Description

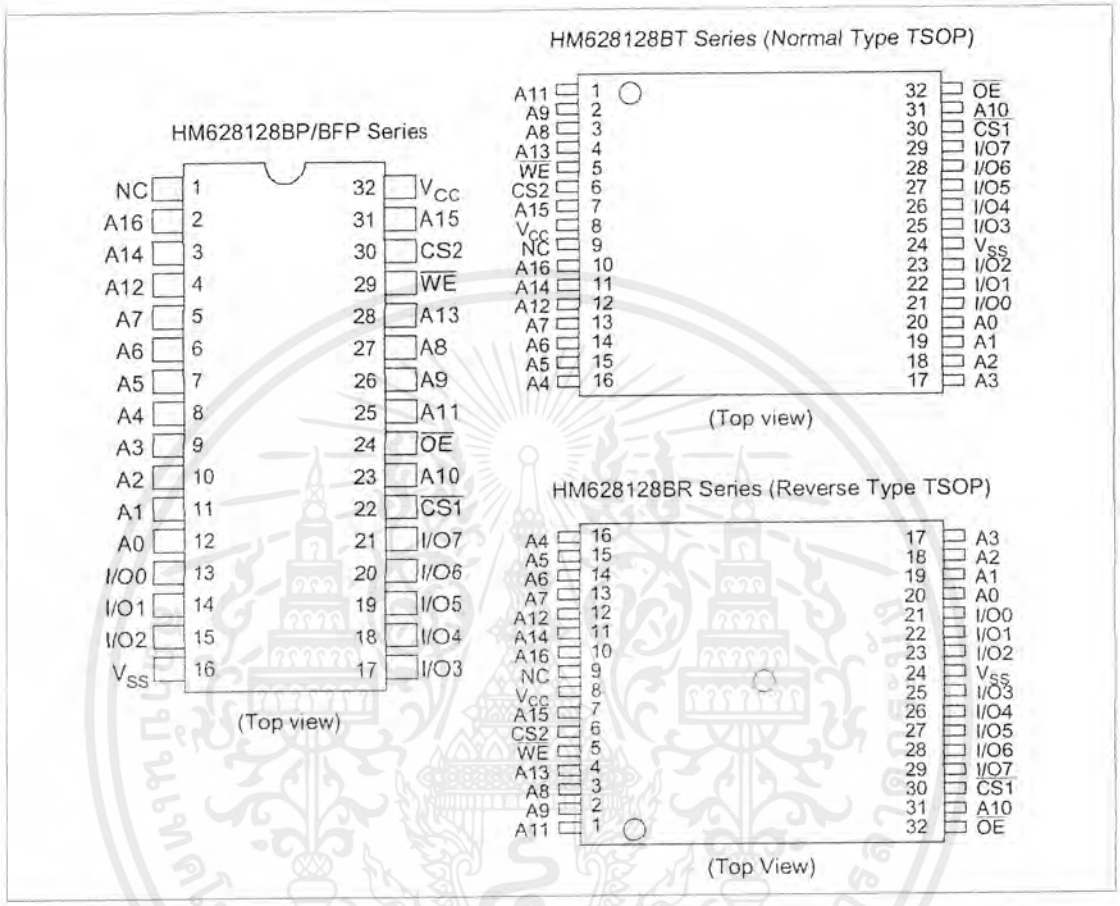
The Hitachi HM628128B is a CMOS static RAM organized 131,072-word × 8-bit. It realizes higher density, higher performance and low power consumption by employing 0.8 µm Hi-CMOS shrink process technology. It offers low power standby power dissipation, therefore, it is suitable for battery backup systems. The device, packaged in a 525 mil SOP or a 8 mm × 20 mm TSOP or a 600 mil plastic DIP is available.

Features

- Single 5 V supply: 5.0 V ± 10%
- Access time: 70/75/85 ns (max)
- Power dissipation
  - — Active: 50 mW/MHz (typ)
  - — Standby: 10 µW (typ) (L/L-SL version)
- Completely static memory
  - — No clock or timing strobe required
- Equal access and cycle times
- Common data input and output
  - — Three state output
- Directly TTL compatible all inputs and outputs
- Capability of battery backup operation (L/L-SL version)
  - — 2 chip selection for battery backup

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Arrangement

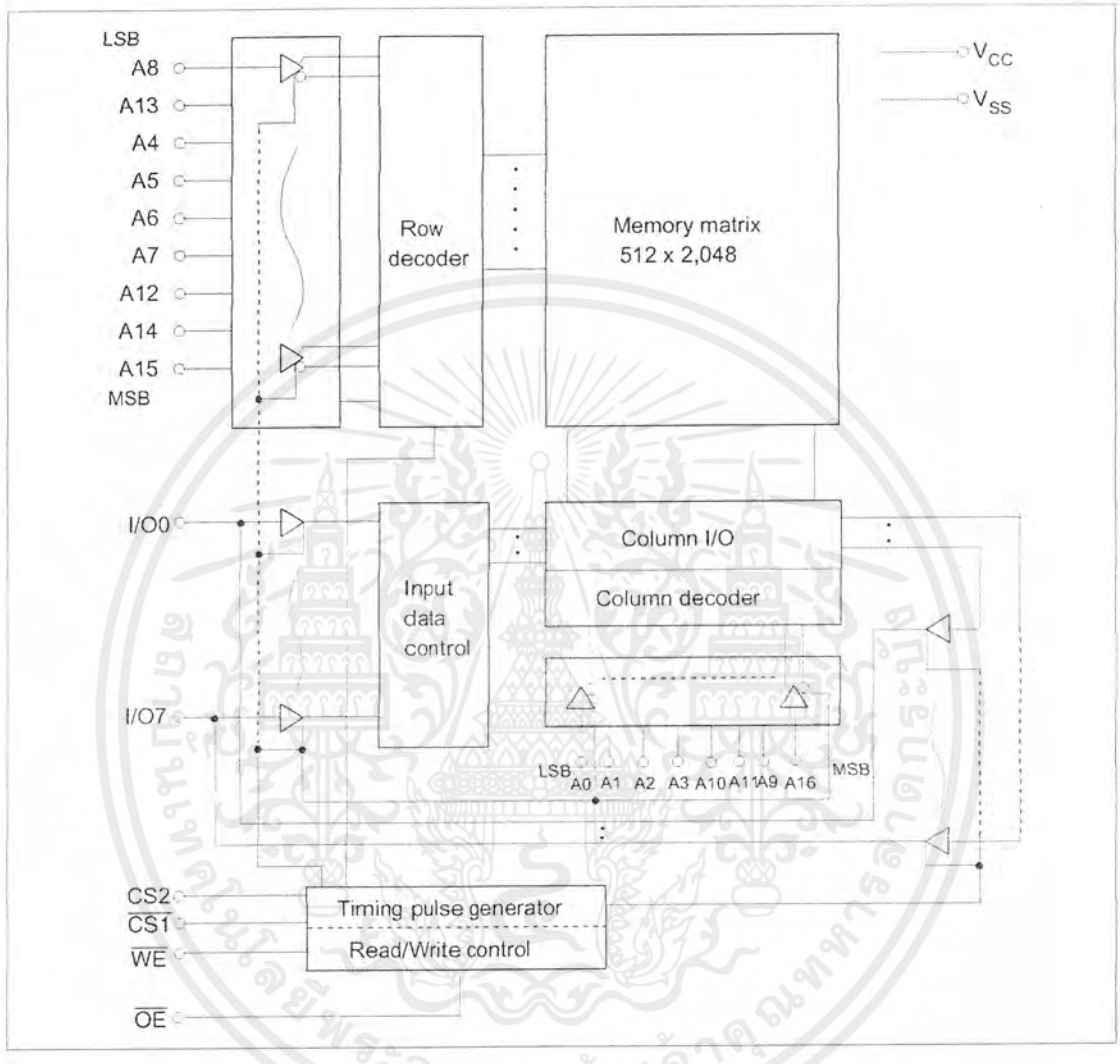


Pin Description

Pin name	Function
A0 to A16	Address input
I/O0 to I/O7	Data input/output
$\overline{CS1}$	Chip select 1
CS2	Chip select 2
$\overline{WE}$	Write enable
$\overline{OE}$	Output enable
NC	No connection
V_{CC}	Power supply
V_{SS}	Ground

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Function Table

$\overline{WE}$	$\overline{CS1}$	CS2	$\overline{OE}$	Mode	V_{CC} current	I/O pin	Ref. cycle
×	H	×	×	Standby	I_{SB}, I_{SB1}	High-Z	—
×	×	L	×	Standby	I_{SB}, I_{SB1}	High-Z	—
H	L	H	H	Output disable	I_{CC}	High-Z	—
H	L	H	L	Read	I_{CC}	Dout	Read cycle
L	L	H	H	Write	I_{CC}	Din	Write cycle (1)
L	L	H	L	Write	I_{CC}	Din	Write cycle (2)

Note: ×: H or L

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Supply voltage relative to V_{SS}	V_{CC}	–0.5 to + 7.0	V
Voltage on any pin relative to V_{SS}	V_T	–0.5*1 to V_{CC} + 0.3*2	V
Power dissipation	P_T	1.0	W
Operating temperature range	Topr	0 to +70	°C
Storage temperature range	Tstg	–55 to +125	°C
Storage temperature under bias	Tbias	–10 to 85	°C

Notes: 1. V_T min: –3.0 V for pulse half-width ≤ 30 ns
2. *Maximum voltage is 7.0 V*

Recommended DC Operating Conditions (Ta = 0 to +70°C)

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input high voltage	V_{IH}	2.2	—	V_{CC} + 0.3	V
Input low voltage	V_{IL}	–0.3*1	—	0.8	V

Note: 1. V_{IL} min: –3.0 V for pulse half-width ≤ 30 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics (Ta = 0 to +70°C, V_{CC} = 5.0 V ±10%)

Test Conditions

- Input pulse levels: 0.8 V to 2.4 V
- Input rise and fall time: 5 ns
- Input and output timing reference levels: 1.5 V
- Output load: 1 TTL Gate and C_L (100 pF) (Including scope and jig)

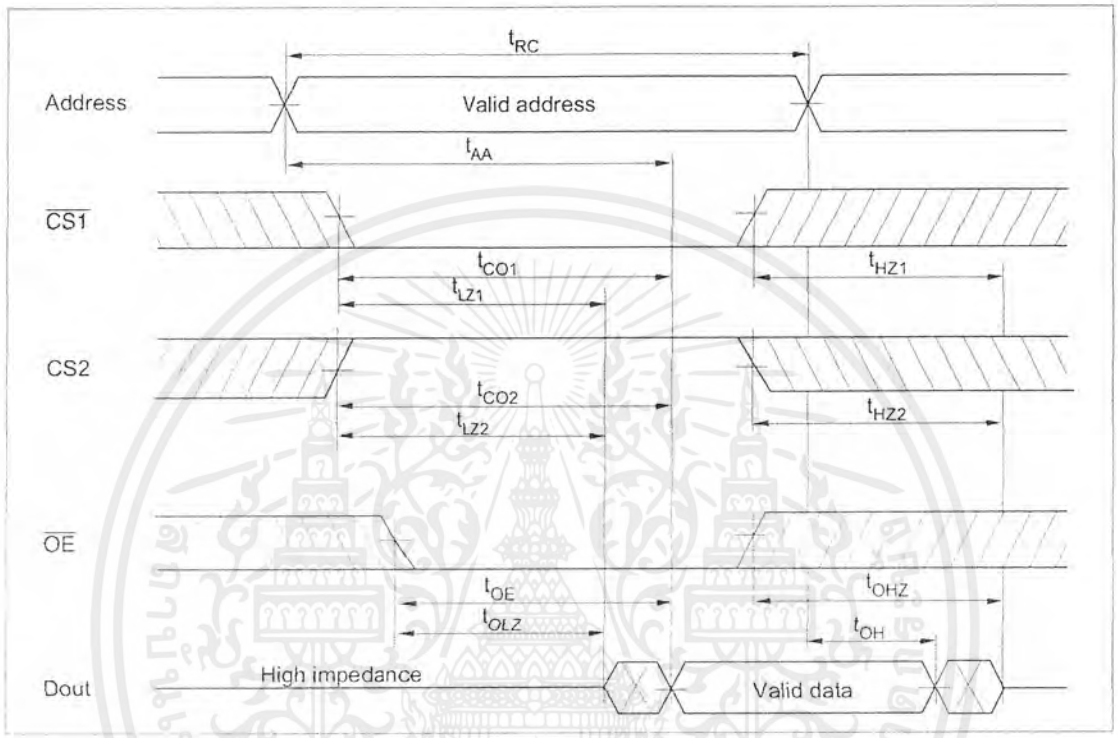
Read Cycle

		HM628128B							
		-7		-75		-8			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Unit	Notes
Read cycle time	t_{RC}	70	—	75	—	85	—	ns	
Address access time	t_{AA}	—	70	—	75	—	85	ns	
Chip selection to output valid	t_{CO1}	—	70	—	75	—	85	ns	
	t_{CO2}	—	70	—	75	—	85	ns	
Output enable to output valid	t_{OE}	—	35	—	35	—	45	ns	
Chip selection to output in low-Z	t_{LZ1}	10	—	10	—	10	—	ns	2, 3
	t_{LZ2}	10	—	10	—	10	—	ns	
Output enable to output in low-Z	t_{OLZ}	5	—	5	—	5	—	ns	2, 3
Chip deselection to output in high-Z	t_{HZ1}	0	25	0	25	0	30	ns	1, 2, 3
	t_{HZ2}	0	25	0	25	0	30	ns	
Output disable to output in high-Z	t_{OHZ}	0	25	0	25	0	30	ns	1, 2, 3
Output hold from address change	t_{OH}	10	—	10	—	10	—	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

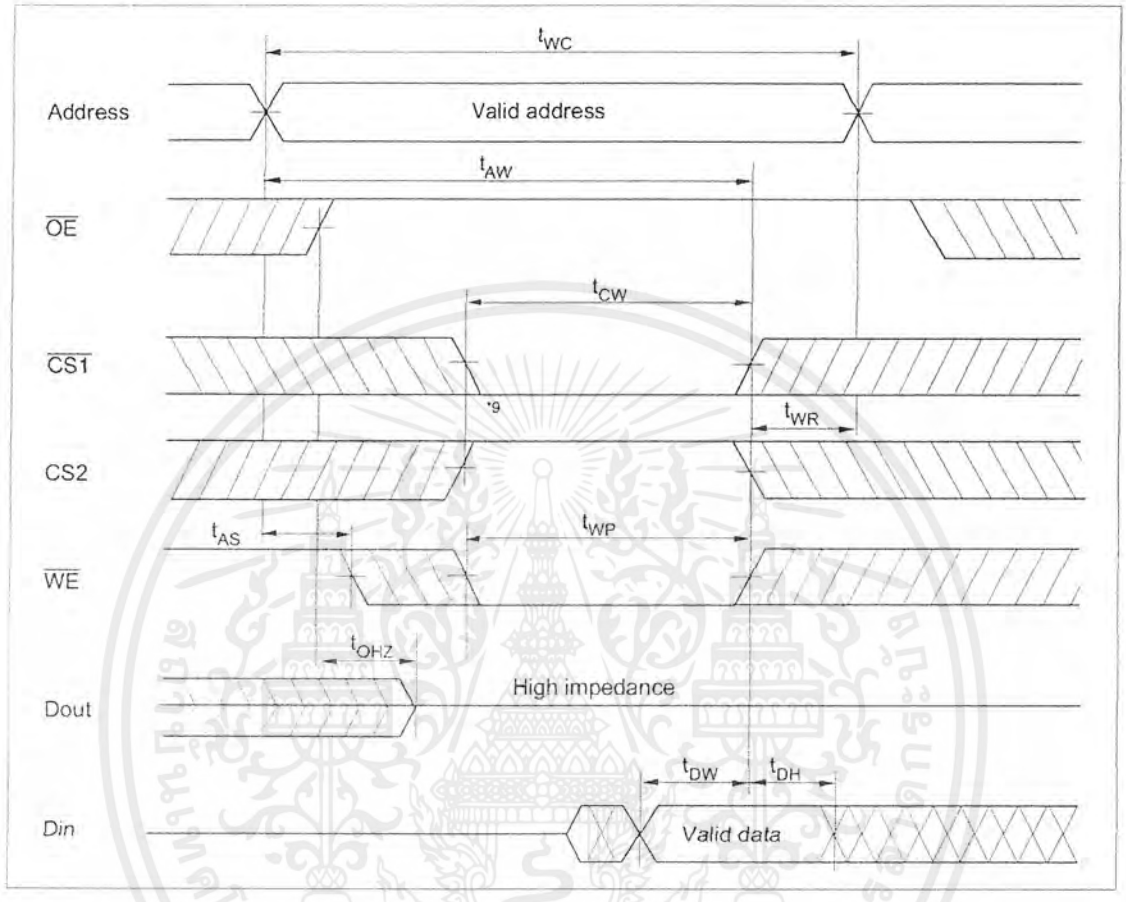
Timing Waveform

Read Timing Waveform ($\overline{WE}$ = V_{IH})



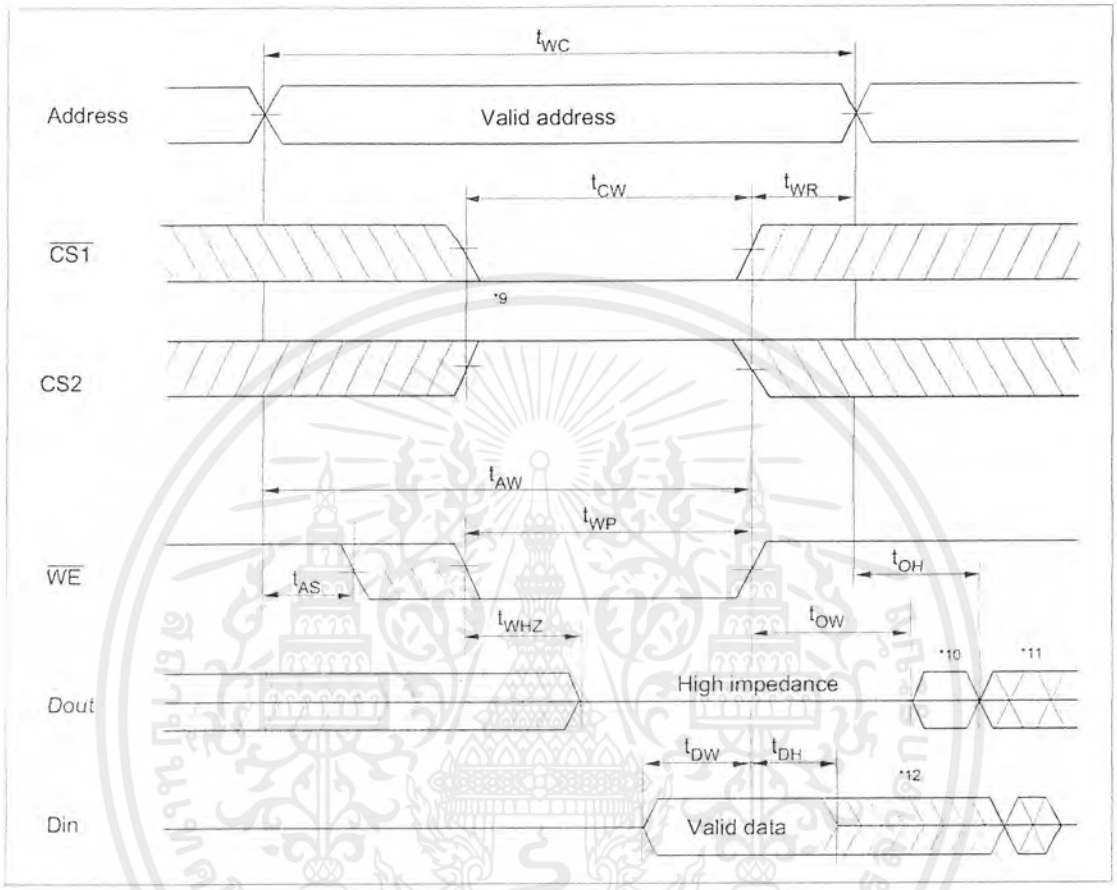
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Timing Waveform (1) ($\overline{OE}$ Clock)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Timing Waveform (2) ($\overline{OE}$ Low Fixed)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

วิชัย สุรพัฒน์. **วิศวกรรมโทรทัศน์ เล่ม 1.** สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง,2525.

ศักดิ์ วาสิกะสันและชนก หงส์น้อย. **ดิจิตอล คอมพิวเตอร์ อิเลคทรอนิกส์.**

สมศักดิ์ เดชะเศรษฐ์ธนะ. **ทฤษฎีและปฏิบัติ VCR ระบบดิจิตอล.**

เจน สงสมพันธุ์และนิคม อนันต์ทิพย์. **เทคโนโลยีโทรทัศน์.** กรุงเทพ : สถาบันอิเล็กทรอนิกส์กรุงเทพรังสิต,2541.

Joseph D.Greenfield. **PRACTICAL DIGITAL DESIGN ICs.**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้