สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องรับส่งสัญญาณดิจิตอลแบบจีเอ็มเอสเคที่มีอัตราเร็ว 270 กิโลบิทต่อวินาที

270 KBPS GMSK DIGITAL TRANCEIVER

โดย

นายศิริชัย ธารวุฒิกุล

นางสาวศิริพรรณ ลิมป์วิริยะกุล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน.....37111
วัน, เดือน, ปี.....4 ก.ย. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับส่งสัญญาณดิจิตอลแบบจีเอ็มเอสเคที่มีอัตราเร็ว 270 กิโลบิทต่อวินาที

270 KBPS GMSK DIGITAL TRANCEIVER

โดย

นายศิริชัย ธารวุฒิกุล 39014519

นางสาวศิริพรรณ ลิมป์วิริยะกุล 39014523

อาจารย์ที่ปรึกษา

ดร.ทองทด วานิชศรี

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2542

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องรับส่งสัญญาณดิจิตอลแบบจีเอ็มเอสเคที่มีอัตราเร็ว 270 กิโลบิทต่อวินาที**
270 KBPS GMSK DIGITALTRANCEIVER

ผู้จัดทำ

1. **นายศิริชัย ธารวุฒิกุล** **39014519**
2. **นางสาวศิริพรรณ ลิมป์วิริยะกุล** **39014523**

อาจารย์ที่ปรึกษา

(ดร.ทองทด วานิชศรี)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับส่งสัญญาณดิจิตอลแบบจีเอ็มเอสเค ที่มีอัตราเร็ว 270 กิโลบิทต่อวินาที

270 KBPS GMSK DIGITAL TRANCEIVER

โดย นายศิริชัย ธารวุฒิกุล 39014519
นางสาวศิริพรรณ ลิมป์วิริยะกุล 39014523

อาจารย์ที่ปรึกษา ดร.ทองทด วานิชศรี

บทคัดย่อ

ปัจจุบันการสื่อสารมีความสำคัญมาก โดยเฉพาะการสื่อสารไร้สายแบบดิจิตอล โครงงานนี้เป็นการออกแบบเครื่องรับส่งสัญญาณดิจิตอลไร้สาย ใช้เทคนิคการมอดูเลทแบบเกาส์เซียน มินิมัม ชิฟท์ คีย์อิ้ง หรือ จีเอ็มเอสเค ลักษณะของการติดต่อสื่อสารจะเป็นแบบจุดต่อจุด เครื่องรับส่งสัญญาณนี้มีอัตราเร็วในการรับส่งข้อมูล 270 กิโลบิทต่อวินาที ใช้คลื่นวิทยุความถี่ 70 เม็กกะเฮิร์ต และมีกำลังส่ง 10 มิลลิวัตต์

ABSTRACT

Nowadays the communication is very important especially the wireless digital communication. This project is to design and construct the wireless digital transmitter using Gaussian Minimum Shift Keying technique or GMSK. This is a point to point communication type. The transmitter's bit rate is 270 kbps with 70 MHz RF carrier and 10 mW transmitted power.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีหรือหลักการ	6
2.1 ชิฟท์ รีจิสเตอร์	6
2.2 วงจรกำเนิดความถี่โดยใช้คริสตอล	7
2.3 เจ – เค ฟลิปฟลอป	10
2.4 การเข้ารหัสแบบดิฟเฟอร์เรนเชียล	12
2.5 ดี ฟลิปฟลอป	14
2.6 วงจรกรองความถี่	14
2.7 ริง มอดูเลเตอร์	23
2.8 ระบบสังเคราะห์ความถี่แบบใช้เฟสล็อกลูป	25
2.9 วงจรออสซิลเลเตอร์แบบแคลปป์	36
2.10 วงจรขยายสัญญาณแถบความถี่กว้าง	39
2.11 วงจรเฟสชิฟท์	42
2.12 วงจรคูณสัญญาณ	42
2.13 วงจรขยายสัญญาณอาร์เอฟขนาดเล็ก	51
2.14 วงจรควบคุมอัตราขยายอัตโนมัติ	56
2.15 วงจรอินทิเกรเตอร์	63
2.16 วงจรลดทอนสัญญาณ	66
2.17 เครื่องรับแบบคอสทาส	66
2.18 หลักการของจีเอ็มเอสเคมอดูเลเตอร์	70
บทที่ 3 การคำนวณและการสร้าง	74
3.1 วงจรกำเนิดความถี่ด้วยคริสตอล	76
3.2 วงจรกำเนิดสัญญาณดิจิตอลโดยใช้ชิฟท์รีจิสเตอร์	77
3.3 วงจรประมวลผลสัญญาณเบสแบนด์	78
3.4 วงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน	82
3.5 วงจรเฟสชิฟท์	83
3.6 วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ	84
3.7 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน	85
3.8 วงจรสังเคราะห์ความถี่โดยใช้เฟสล็อกลูปความถี่ 70 เมกกะเฮิร์ต	89
3.9 วงจรบัฟเฟอร์	93
3.10 วงจรกรองความถี่ช่วงผ่านพาสซีฟแบบบัตเตอร์เวิร์ธ	97
3.11 วงจรคูณสัญญาณ	98

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า
3.12 วงจรขยายสัญญาณอาร์เอฟขนาดเล็ก 99
3.13 วงจรควบคุมอัตราขยายอัตโนมัติ 104
3.14 เครื่องรับแบบดอสทาส 107
บทที่ 4 การทดลองและผลการทดลอง 114
4.1 ผลการทดลองของวงจรในภาคกำเนิดสัญญาณดิจิตอลแบบเลือกค่าได้ 115
4.2 ผลการทดลองของวงจรในภาคประมวลผลสัญญาณเบสแบนด์ 116
4.3 ผลการทดลองของวงจรในภาคไอคิวมอดูเลเตอร์ 123
4.4 ผลการทดลองของวงจรในภาครับ 129
4.5 ผลการทดลองอื่น ๆ 136
บทที่ 5 บทวิจารณ์และบทสรุป 146
ภาคผนวก
หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

		หน้า
รูปที่ 1.1	สัญญาณเอ็มเอสเคและจีเอ็มเอสเคเทียบกับแซมเปิ้ล FsT = 36	3
รูปที่ 1.2	สัญญาณเบสแบนด์ของเอ็มเอสเคและจีเอ็มเอสเคเทียบกับแซมเปิ้ล FsT = 36	3
รูปที่ 1.3	ชิมบอลและเฟสของสัญญาณเอ็มเอสเคและจีเอ็มเอสเคเทียบกับแซมเปิ้ล	3
รูปที่ 1.4	บล็อกไดอะแกรมของภาคส่ง	3
รูปที่ 1.5	บล็อกไดอะแกรมของภาคประมวลผลสัญญาณเบสแบนด์	4
รูปที่ 1.6	บล็อกไดอะแกรมของภาคไอคิว มอดูเลเตอร์	4
รูปที่ 1.7	บล็อกไดอะแกรมของภาครับ	5
รูปที่ 2.1	วงจรชิฟท์ รีจิสเตอร์	7
รูปที่ 2.2	วงจรสมมูลของผลึกคริสตอล	8
รูปที่ 2.3	ผลึกควอร์ตซและการตัดผลึก	8
รูปที่ 2.4	วงจรกำเนิดความถี่แบบเพียร์ซ	10
รูปที่ 2.5	สัญลักษณ์ของเจ – เค ฟลิปฟลอป	10
รูปที่ 2.6	สัญลักษณ์ของเจ – เค ฟลิปฟลอปที่มีทีอินพุท	11
รูปที่ 2.7	วงจรภายในของเจ – เคฟลิปฟลอปที่มีทีอินพุท	11
รูปที่ 2.8	รูปแบบสัญญาณเอ็นอาร์แซด – เอ็ม	12
รูปที่ 2.9	วงจรเข้ารหัสเอ็นอาร์แซด – เอ็ม	13
รูปที่ 2.10	วงจรถอดรหัสเอ็นอาร์แซด – เอ็ม	13
รูปที่ 2.11	รูปแบบสัญญาณเอ็นอาร์แซด – เอ็ม และเอ็นอาร์แซด – เอส	13
รูปที่ 2.12	วงจรภายในของดี ฟลิปฟลอป	14
รูปที่ 2.13	ผลตอบสนองของบัตเตอร์เวิร์ธ	15
รูปที่ 2.14	คุณสมบัติการลดทอนสำหรับวงจรกรองความถี่แบบบัตเตอร์เวิร์ธ	16
รูปที่ 2.15	การแปลงแถบความถี่จากความถี่ต่ำผ่านเป็นความถี่ช่วงผ่าน	17
รูปที่ 2.16	การแปลงองค์ประกอบวงจรจากความถี่ต่ำผ่านไปเป็นความถี่ช่วงผ่าน	18
รูปที่ 2.17	วงจรกรองความถี่ต่ำผ่านแบบแอคทีฟ	19
รูปที่ 2.18	วงจรกรองความถี่ต่ำผ่านกรณี K=1 และ R1 = R2 =1	20
รูปที่ 2.19	การลดทอนของวงจรกรองความถี่แบบเกาส์เซียนที่นอร์มอลไลซ์แล้ว	23
รูปที่ 2.20	ริง มอดูเลเตอร์	24
รูปที่ 2.21	วงจรสมมูลเมื่อคลื่นพาห์เป็นบวก	24
รูปที่ 2.22	วงจรสมมูลเมื่อคลื่นพาห์เป็นลบ	24
รูปที่ 2.23	วงจรริงมอดูเลเตอร์เชิงปฏิบัติ	25
รูปที่ 2.24	บล็อกไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกลูป	26
รูปที่ 2.25	บล็อกไดอะแกรมของวงจรเฟสล็อกลูป	27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 2.26 ผลต่างเฟสเมื่อความถี่อินพุทเท่ากัน 28
รูปที่ 2.27 ผลต่างเฟสเมื่อความถี่อินพุทไม่เท่ากัน 28
รูปที่ 2.28 บล็อกไดอะแกรมของทรานส์เฟอร์ฟังก์ชั่นของเฟสล็อกลูป 32
รูปที่ 2.29 วงจรกรองความถี่ต่ำผ่านอย่างง่าย 33
รูปที่ 2.30 ผลตอบสนองความถี่ของระบบเฟสล็อกลูป 34
รูปที่ 2.31 ผลตอบสนองเมื่อสัญญาณอินพุทเป็นสเต็ปฟังก์ชั่น 34
รูปที่ 2.32 วงจรสังเคราะห์ความถี่เฟสล็อกลูปแบบพรีสเกลเลอร์สองโมดูลัส 35
รูปที่ 2.33 วงจรรีโซแนนซ์แบบอนุกรม 37
รูปที่ 2.34 วงจรพื้นฐานของออสซิลเลเตอร์แบบแคลปป์ 37
รูปที่ 2.35 วงจรสมมูลกระแสสลับของออสซิลเลเตอร์แบบแคลปป์ 37
รูปที่ 2.36 วงจรออสซิลเลเตอร์แบบแคลปป์ 38
รูปที่ 2.37 วงจรขยายสัญญาณแถบความถี่กว้าง 39
รูปที่ 2.38 วงจรสมมูลอินพุทรีซิสแตนซ์ของวงจรขยายสัญญาณแถบความถี่กว้าง 39
รูปที่ 2.39 วงจรสมมูลเอาท์พุทรีซิสแตนซ์ของวงจรขยายสัญญาณแถบความถี่กว้าง 40
รูปที่ 2.40 ผลตอบสนองความถี่ของวงจรขยายสัญญาณแถบความถี่กว้าง 42
รูปที่ 2.41 วงจรเฟสชิฟท์ 90 องศา 42
รูปที่ 2.42 โครงสร้างของบีเจที ดิฟเฟอร์เรนเชียลแพร์ 43
รูปที่ 2.43 การทำงานแบบต่าง ๆ ของวงจรดิฟเฟอร์เรนเชียลแอมปลิฟายเออร์ 45
รูปที่ 2.44 ลักษณะของการส่งผ่านแบบไม่เป็นเชิงเส้นของดิฟเฟอร์เรนเชียลแพร์ 46
รูปที่ 2.45 ดิฟเฟอร์เรนเชียลแอมปลิฟายเออร์ในสัญญาณขนาดเล็ก 47
รูปที่ 2.46 การไหลของกระแสสำหรับดิฟเฟอร์เรนเชียลแอมปลิฟายเออร์ 49
รูปที่ 2.47 กฎการสะท้อนการต้านทาน 50
รูปที่ 2.48 ตัวอย่างวงจรไบอัสทรานซิสเตอร์ 52
รูปที่ 2.49 การแมชชิ่งอิมพีแดนซ์ 55
รูปที่ 2.50 วงจรแมชชิ่งอิมพีแดนซ์จากตัวอย่าง 56
รูปที่ 2.51 วงจรควบคุมอัตราขยายอัตโนมัติในเครื่องรับวิทยุเอเอ็ม 56
รูปที่ 2.52 วงจรควบคุมอัตราขยายอัตโนมัติอย่างง่าย 57
รูปที่ 2.53 วงจรควบคุมอัตราขยายอัตโนมัติชนิดที่ผลิตไฟจากสัญญาณพาหะ 58
รูปที่ 2.54 วงจรควบคุมอัตราขยายอัตโนมัติชนิดที่ผลิตไฟจากสัญญาณเสียง 58
รูปที่ 2.55 วงจรควบคุมอัตราขยายอัตโนมัติอย่างง่าย 59
รูปที่ 2.56 ลักษณะการควบคุมอัตราขยายของเครื่องรับโดยวงจรควบคุมอัตราขยายอัตโนมัติ
ชนิดต่าง ๆ 60
รูปที่ 2.57 วงจรควบคุมอัตราขยายอัตโนมัติแบบฟอร์เวิร์ด 61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 2.58 โครงสร้างของพินไดโอด 61
รูปที่ 2.59 การทำงานของไดโอด 62
รูปที่ 2.60 วงจรอินทิเกรเตอร์ 63
รูปที่ 2.61 อินพุทและเอาท์พุทของวงจรอินทิเกรเตอร์ของสัญญาณรูปต่าง ๆ 64
รูปที่ 2.62 การตอบสนองความถี่ของวงจรอินทิเกรเตอร์พื้นฐานและที่ใช้ในทางปฏิบัติ 65
รูปที่ 2.63 วงจรอินทิเกรเตอร์ในทางปฏิบัติ 65
รูปที่ 2.64 วงจรลดทอนสัญญาณชนิดที 66
รูปที่ 2.65 วงจรลดทอนสัญญาณชนิดไพ 66
รูปที่ 2.66 วงจรเครื่องรับแบบคอสทาส 67
รูปที่ 2.67 วงจรเครื่องรับแบบคอสทาสกรณีจีเอ็มเอสเค 68
รูปที่ 2.68 โครงสร้างของจีเอ็มเอสเคมอดูเลเตอร์แบบใช้วงจรออสซิลเลเตอร์ควบคุม
ความถี่ด้วยแรงดัน 70
รูปที่ 2.69 โครงสร้างของจีเอ็มเอสเคมอดูเลเตอร์แบบกวอดดราเจอร์ 72
รูปที่ 2.70 สัญญาณเบสแบนด์ไอและคิวของจีเอ็มเอสเคที่อัตราเร็ว 270.833 กิโลบิทต่อวินาที 72
รูปที่ 2.71 สัญญาณเบสแบนด์ไอและคิวของจีเอ็มเอสเคที่ชิมูเลทที่อัตราเร็ว 270.833 กิโลบิท
ต่อวินาที 73
รูปที่ 2.72 ความหนาแน่นสเปคตรัมของสัญญาณจีเอ็มเอสเคที่อัตราเร็ว 270.833 กิโลบิทต่อวินาที 73
รูปที่ 3.1 บล็อกไดอะแกรมของภาคส่ง 74
รูปที่ 3.2 วงจรประมวลผลสัญญาณเบสแบนด์ 74
รูปที่ 3.3 บล็อกไดอะแกรมของภาครับ 75
รูปที่ 3.4 บล็อกไดอะแกรมของเครื่องรับแบบคอสทาส 75
รูปที่ 3.5 บล็อกไดอะแกรมของวงจรตัดสินใจและวงจรถอดรหัส 76
รูปที่ 3.6 วงจรกำเนิดความถี่ด้วยคริสตอลแบบเพียร์ซ 76
รูปที่ 3.7 วงจรผลิตสัญญาณนาฬิกา 270 กิโลเฮิร์ต 77
รูปที่ 3.8 วงจรกำเนิดสัญญาณดิจิตอลโดยใช้ชิฟท์รีจิสเตอร์ 77
รูปที่ 3.9 การเปลี่ยนแปลงของเฟสเทียบกับข้อมูลที่เข้ามา 78
รูปที่ 3.10 วงจรประมวลผลสัญญาณเบสแบนด์ 78
รูปที่ 3.11 วงจรคูณสัญญาณที่ใช้ในส่วนประมวลผลสัญญาณเบสแบนด์ 79
รูปที่ 3.12 รูปร่างสัญญาณที่จุดต่าง ๆ ภายในวงจรประมวลผลสัญญาณเบสแบนด์ 79
รูปที่ 3.13 การเปลี่ยนแปลงเฟสของสัญญาณที่ผลิตโดยไอคิวมอดูเลเตอร์ 80
รูปที่ 3.14 บล็อกไดอะแกรมภายในไอซี AD7002 81
รูปที่ 3.15 ขาของไอซี AD7002 81
รูปที่ 3.16 วงจรประมวลผลสัญญาณเบสแบนด์โดยใช้ไอซี AD 7002 82

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า
รูปที่ 3.17 วงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนอันดับ 4 ที่นอร์มอลไลซ์แล้ว 82
รูปที่ 3.18 วงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนอันดับ 4 83
รูปที่ 3.19 วงจรเฟสชิฟท์ที่ใช้ 83
รูปที่ 3.20 วงจรกรองความถี่ต่ำผ่านแอคทีฟแบบบัตเตอร์เวิร์ธที่มีความถี่คัทออฟ 67.5 กิโลเฮิร์ต 84
รูปที่ 3.21 วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธที่มีความถี่คัทออฟ 20 กิโลเฮิร์ต 85
รูปที่ 3.22 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน 85
รูปที่ 3.23 วงจรไบอัสของออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน 86
รูปที่ 3.24 วงจรสมมูลของเทวินินของรูปที่ 3.23 86
รูปที่ 3.25 วงจรสมมูลของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน 88
รูปที่ 3.26 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันที่แทนค่าอุปกรณ์ต่าง ๆ แล้ว 89
รูปที่ 3.27 บล็อกไดอะแกรมของไอซีพรีสเกลเลอร์เบอร์ MC12017 90
รูปที่ 3.28 บล็อกไดอะแกรมของไอซีเบอร์ MC145152-2 90
รูปที่ 3.29 วงจรที่สมบูรณ์ของวงจรสังเคราะห์ความถี่โดยใช้เฟสล็อกลูปความถี่ 70 เม็กกะเฮิร์ต 93
รูปที่ 3.30 วงจรขยายสัญญาณแถบความถี่กว้าง 93
รูปที่ 3.31 วงจรไบอัสของบัฟเฟอร์ 94
รูปที่ 3.32 วงจรสมมูลของบัฟเฟอร์ 95
รูปที่ 3.33 วงจรที่ได้ทำการแทนค่าอุปกรณ์ต่าง ๆ ของวงจรบัฟเฟอร์ 96
รูปที่ 3.34 วงจรกรองความถี่ต่ำผ่านอันดับที่ 5 ที่นอร์มอลไลซ์แล้ว 97
รูปที่ 3.35 วงจรกรองความถี่ช่วงผ่านอันดับที่ 5 ที่นอร์มอลไลซ์แล้ว 97
รูปที่ 3.36 วงจรกรองความถี่ช่วงผ่านแบบบัตเตอร์เวิร์ธอันดับที่ 5 ที่มีความถี่กลาง 70 เม็กกะเฮิร์ต 98
รูปที่ 3.37 วงจรคูณสัญญาณที่ใช้ในไอคิวมอดูเลเตอร์และเฟสดีเทกเตอร์ในส่วนของ
เครื่องรับแบบคอสทาส 98
รูปที่ 3.38 วงจรคูณสัญญาณที่ใช้ในเครื่องรับแบบคอสทาสส่วนของความถี่ต่ำ 99
รูปที่ 3.39 วงจรคูณสัญญาณโดยใช้ริงมอดูเลเตอร์ 99
รูปที่ 3.40 วงจรไบอัสทรานซิสเตอร์ 100
รูปที่ 3.41 วงจรแมชชิ่งอินพุทของทรานซิสเตอร์ 103
รูปที่ 3.42 วงจรขยายสัญญาณอาร์เอฟขนาดเล็ก 103
รูปที่ 3.43 สมิธชาร์ทของวงจรขยายสัญญาณอาร์เอฟขนาดเล็ก 104
รูปที่ 3.44 บล็อกไดอะแกรมของวงจรควบคุมอัตราขยายอัตโนมัติ 105
รูปที่ 3.45 วงจรลดทอนสัญญาณที่ควบคุมด้วยแรงดัน 105
รูปที่ 3.46 วงจรดีเทคเตอร์ระดับแรงดัน 106
รูปที่ 3.47 วงจรอินทิเกรเตอร์และวงจรขยายแบบไม่กลับเฟส 106
รูปที่ 3.48 วงจรเครื่องรับแบบคอสทาส 107

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.49 วงจรกรองความถี่ต่ำผ่านอันดับ 7 ที่นอร์มอลไลซ์แล้ว 108
รูปที่ 3.50 วงจรกรองความถี่ต่ำผ่านอันดับ 7 ที่มีความถี่คัทออฟ 10 เมกกะเฮิร์ต 108
รูปที่ 3.51 วงจรรวมของวงจรกำเนิดสัญญาณดิจิตอลและวงจรประมวลผลสัญญาณเบสแบนด์ 109
รูปที่ 3.52 วงจรรวมของวงจรกำเนิดสัญญาณดิจิตอลและวงจรประมวลผลสัญญาณเบสแบนด์
โดยใช้ไอซีเบอร์ AD7002 110
รูปที่ 3.53 วงจรรวมของวงจรสังเคราะห์ความถี่ , วงจรไอคิวมอดูเลเตอร์และวงจรขยาย
สัญญาณก่อนส่งออกอากาศ 111
รูปที่ 3.54 วงจรรวมของวงจรขยายสัญญาณและวงจรควบคุมอัตราขยายอัตโนมัติ 112
รูปที่ 3.55 วงจรรวมของเครื่องรับแบบดอสทาส 113
รูปที่ 4.1 สัญญาณดิจิตอลที่มีอัตราเร็ว 270 กิโลบิทต่อวินาทีเปรียบเทียบกับสัญญาณนาพิกา 115
รูปที่ 4.2 ผลของวงจรหารความถี่ที่ใช้ในการหารสัญญาณนาฬิกา 116
รูปที่ 4.3 ผลของวงจรกรองความถี่ต่ำผ่านที่มีความถี่คัทออฟ 67.5 กิโลเฮิร์ต 116
รูปที่ 4.4 ผลของวงจรเฟสชิฟท์ในภาคประมวลผลสัญญาณเบสแบนด์ 117
รูปที่ 4.5 ผลของความต่างเฟสของวงจรเฟสชิฟท์ 117
รูปที่ 4.6 ผลของวงจรบิทสปลิทเตอร์โดยใช้ดีฟลิปฟลอป 118
รูปที่ 4.7 ผลของเอ็กซ์คลูซีฟออร์ 118
รูปที่ 4.8 ผลของแอนด์เกทตัวที่หนึ่งในภาคประมวลผลสัญญาณเบสแบนด์ 119
รูปที่ 4.9 ผลของแอนด์เกทตัวที่สองในภาคประมวลผลสัญญาณเบสแบนด์ 119
รูปที่ 4.10 ผลของเจ – เค ฟลิปฟลอป 120
รูปที่ 4.11 ผลของวงจรคูณสำหรับสัญญาณเบสแบนด์ไอ 121
รูปที่ 4.12 ผลของวงจรคูณสำหรับสัญญาณเบสแบนด์คิว 121
รูปที่ 4.13 สัญญาณเบสแบนด์ไอและคิวที่ยังไม่ได้ผ่านวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน 122
รูปที่ 4.14 สัญญาณเบสแบนด์ไอและคิวหลังผ่านวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน 122
รูปที่ 4.15 สัญญาณเบสแบนด์ไอและคิวที่ได้จากไอซีเบอร์ AD 7002 123
รูปที่ 4.16 เอาท์พุทของเฟสดีเทคเตอร์ในวงจรสังเคราะห์ความถี่ 123
รูปที่ 4.17 สัญญาณล็อกดีเทคของวงจรสังเคราะห์ความถี่ 124
รูปที่ 4.18 เอาท์พุทของวงจรสังเคราะห์ความถี่ 70 เมกกะเฮิร์ตและรูปร่างของสัญญาณ
เมื่อนำไปเข้าวงจรกรองความถี่ช่วงผ่าน 124
รูปที่ 4.19 สเปคตรัมของสัญญาณที่ออกมาจากวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน 125
รูปที่ 4.20 สเปคตรัมของคลื่นพาห์ 70 เมกกะเฮิร์ตที่ได้หลังจากนำไปผ่านวงจรกรองความถี่
ช่วงผ่าน 125
รูปที่ 4.21 สเปคตรัมของคลื่นพาห์ 70 เมกกะเฮิร์ตหลังจากการขยายสัญญาณแล้ว 126
รูปที่ 4.22 เอาท์พุททั้งสองของวงจรเฟสชิฟท์ 126

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.23 การเปรียบเทียบเฟสของเอาท์พุททั้งสองของวงจรเฟสชิฟท์ 127
รูปที่ 4.24 สเปคตรัมของจีเอ็มเอสเคที่มอดูเลทได้ 127
รูปที่ 4.25 สเปคตรัมของจีเอ็มเอสเคที่ใช้สัญญาณเบสแบนด์จากไอซี AD 7002 128
รูปที่ 4.26 ลเปคตรัมของเอ็มเอสเค 128
รูปที่ 4.27 สเปคตรัมของจีเอ็มเอสเคหลังจากผ่านการขยายสัญญาณแล้ว 129
รูปที่ 4.28 สเปคตรัมของจีเอ็มเอสเคเมื่อผ่านตัวลดทอนสัญญาณ 40 ดีบี 129
รูปที่ 4.29 สเปคตรัมของสัญญาณที่ได้จากวงจรควบคุมอัตราขยายอัตโนมัติ 130
รูปที่ 4.30 คลื่นพาห์ 70 เม็กกะเฮิร์ตที่กู้คืนได้จากเครื่องรับแบบคอสทาส 130
รูปที่ 4.31 สเปคตรัมของคลื่นพาห์ 70 เม็กกะเฮิร์ตที่กู้คืนได้จากเครื่องรับแบบคอสทาส 131
รูปที่ 4.32 สัญญาณเบสแบนด์ไอและคิวที่ดีมอดูเลทได้ 131
รูปที่ 4.33 สัญญาณเบสแบนด์ไอและคิวที่ดีมอดูเลทได้หลังจากผ่านวงจรกรองความถี่ต่ำผ่านแล้ว132
รูปที่ 4.34 ผลของวงจรกรองความถี่ต่ำผ่านภายในคอสทาสลูป 132
รูปที่ 4.35 สเปคตรัมของสัญญาณที่รับได้จากสายอากาศทางภาครับ 133
รูปที่ 4.36 สเปคตรัมของสัญญาณที่ได้จากวงจรควบคุมอัตราขยายอัตโนมัติ 133
รูปที่ 4.37 คลื่นพาห์ 70 เม็กกะเฮิร์ตที่กู้คืนได้จากเครื่องรับแบบคอสทาส 134
รูปที่ 4.38 สเปคตรัมของคลื่นพาห์ 70 เม็กกะเฮิร์ตที่กู้คืนได้จากเครื่องรับแบบคอสทาส 134
รูปที่ 4.39 สัญญาณเบสแบนด์ไอและคิวที่ดีมอดูเลทได้ 135
รูปที่ 4.40 สัญญาณเบสแบนด์ไอและคิวที่ดีมอดูเลทได้หลังจากผ่านวงจรกรองความถี่ต่ำผ่านแล้ว135
รูปที่ 4.41 ผลของวงจรกรองความถี่ต่ำผ่านภายในคอสทาสลูป 136
รูปที่ 4.42 กราฟของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน 136
รูปที่ 4.43 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน 137
รูปที่ 4.44 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน
ที่อยู่ภายใน AD7002 137
รูปที่ 4.45 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ
ที่มีความถี่คัทออฟ 67.5 กิโลเฮิร์ต 138
รูปที่ 4.46 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ
ที่มีความถี่คัทออฟ 67.5 กิโลเฮิร์ตที่ได้จากโปรแกรมพีสไปซ์ 138
รูปที่ 4.47 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ช่วงแบบบัตเตอร์เวิร์ธ 139
รูปที่ 4.48 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ช่วงแบบบัตเตอร์เวิร์ธ
ที่ได้จากโปรแกรมพีสไปซ์ 139
รูปที่ 4.49 ผลตอบสนองของวงจรคูณสัญญาณโดยใช้ไอซีเบอร์ TUF-5 140
รูปที่ 4.50 ผลตอบสนองของวงจรคูณสัญญาณโดยใช้ริงมอดูเลเตอร์ 140
รูปที่ 4.51 ผลตอบสนองทางความถี่ของวงจรบัฟเฟอร์ 141

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.52 อัตราขยายของวงจรขยายสัญญาณเอาร์เอฟขนาดเล็ก 141

รูปที่ 4.53 ผลตอบสนองของวงจรลดทอนสัญญาณปรับค่าได้ด้วยแรงดัน 142

รูปที่ 4.54 ผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านที่มีความถี่คัทออฟ 20 กิโลเฮิร์ต 143

รูปที่ 4.55 ผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านที่มีความถี่คัทออฟ 20 กิโลเฮิร์ต ที่ได้จากโปรแกรมพีสไปซ์ 144

รูปที่ 4.56 ผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธที่มีความถี่ คัทออฟ 10 เม็กกะเฮิร์ต 144

รูปที่ 4.57 ผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธที่มีความถี่ คัทออฟ 10 เม็กกะเฮิร์ตที่ได้จากโปรแกรมพีสไปซ์ 145

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ 2.1 ค่าความจริงของเจ – เค ฟลิปฟลอป 10
ตารางที่ 2.2 ตารางความจริงของเจ – เค ฟลิปฟลอปที่มีอินพุทที 11
ตารางที่ 2.3 การทำงานของดี ฟลิปฟลอป 14
ตารางที่ 2.4 ค่าองค์ประกอบต่าง ๆ ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ 16
ตารางที่ 2.5 องค์ประกอบต่าง ๆ ของวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนที่นอร์มอลไลซ์แล้ว 23
ตารางที่ 3.1 การเปลี่ยนแปลงของไอคิวมอดูเลเตอร์เทียบกับสัญญาณไอกับคิว 80
ตารางที่ 4.1 ขนาดของอินพุทและเอาท์พุทของวงจรดีเทคเตอร์ระดับแรงดัน 142
ตารางที่ 4.2 ผลของวงจรควบคุมอัตราขยายอัตโนมัติ 143

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในยุคตั้งแต่ปีค.ศ.1970-1980 การสื่อสารไร้สายได้ถูกพัฒนาจากอนาล็อกมาสู่เทคนิคการส่งแบบดิจิตอล ในยุคแรก ๆ ของการพัฒนาจะอยู่ในส่วนของอุตสาหกรรมวิทยุเซลลูล่าร์ ในทวีปยุโรปนั้นได้มีการใช้ระบบจีเอสเอ็ม (GSM : Group Special Mobile) ซึ่งใช้เทคนิคการมอดูเลทแบบดิจิตอลคือจีเอ็มเอสเค (GMSK : Gaussian Minimum Shift Keying) เป็นครั้งแรกในระบบเซลลูล่าร์ โดยจีเอสเอ็มทำงานในความถี่ย่าน 900 เม็กกะเฮิร์ต

ในพื้นที่ของเซลลูล่าร์นั้นจีเอสเอ็มได้เติบโตอย่างรวดเร็วในปีค.ศ. 1993 ภายในเดือนพฤศจิกายน ค.ศ. 1994 มีผู้ใช้บริการถึง 2 ล้านคนในยุโรป ซึ่งหมายถึงจีเอสเอ็มได้ถูกนำมาใช้หรือดัดแปลงใช้กว่า 50 ประเทศทั่วโลก ในปีค.ศ. 1995 การพยากรณ์ทางการตลาดได้คาดว่าจีเอสเอ็มและโมเด็มแบบจีเอ็มเอสเคจะยังคงเติบโตไปอย่างกว้างขวางในตลาดของเครื่องมือสื่อสารไร้สายเซลลูล่าร์ตลอดระยะเวลาอีก 10 ปีข้างหน้า

ต่อจากการประยุกต์ใหญ่ครั้งแรกในระบบจีเอสเอ็ม ปัจจุบันจีเอ็มเอสเคได้ถูกนำมาประยุกต์ใช้ในหลาย ๆ พื้นที่ของระบบสื่อสารแบบไร้สาย ระบบเซลลูล่าร์อีกระบบหนึ่งที่ใช้จีเอ็มเอสเคก็คือ ระบบเซลลูล่าร์แบบดิจิตอล 1800 (Digital Cellular System : DCS 1800) โดยนำหลักการระบบจีเอสเอ็มไปประยุกต์ใช้ในย่านความถี่ 1.8 กิกะเฮิร์ต โครงข่าย ดีซีเอส 1800 ปัจจุบันใช้ในประเทศอังกฤษและเยอรมัน

หลังจากนำไปใช้ในวิทยุเซลลูล่าร์ จีเอสเอ็ม ถูกดัดแปลงสำหรับใช้ในระบบไร้สายแบบดิจิตอลอื่น ๆ อีกโดยเฉพาะอย่างยิ่งในการให้บริการข้อมูลสำหรับพื้นที่กว้าง สองสิ่งที่พัฒนามาโดยใช้การมอดูเลทแบบจีเอ็มเอสเคคือ อาร์เอ็มดี (RAM Mobile Data : RMD) หรือ อาร์เอเอ็ม โมบิเท็กซ์ (RAM Mobitex) และ ซีดีพีดี (Cellular Digital Packet Data : CDPD) อาร์เอเอ็ม โมบิเท็กซ์ จะใช้ในการให้บริการส่งผ่านข้อความเป็นแพ็คเกตแบบไร้สายบนโครงข่ายโมบิเท็กซ์ในย่านความถี่ 800/900 เม็กกะเฮิร์ต โครงข่ายโมบิเท็กซ์ใช้งานในประเทศสหรัฐอเมริกาและในอีก 10 ประเทศ ซีดีพีดีนั้นไม่จำเป็นต้องใช้โครงข่ายพิเศษแต่จะพัฒนาไปอีกโดยใช้เวลาว่างของช่องสัญญาณบนโครงข่ายเซลลูล่าร์แบบอนาล็อก

จีเอฟเอสเค (Gaussian Filtered Frequency Shift Keying : GFSK) เป็นเทคนิคการมอดูเลทแบบดิจิตอล ซึ่งโดยพื้นฐานแล้วจะมีโครงสร้างของมอดูเลเตอร์เหมือนกันกับจีเอ็มเอสเคแต่จะมีค่ามอดูเลชั่นอินเด็กซ์ต่างกัน มันถูกนำมาดัดแปลงใช้กับงานในด้านไร้สายหลายอย่าง ในระบบโทรศัพท์ไร้สายจีเอฟเอสเค ถูกนำมาใช้สำหรับดีอีซีที (Digital European Cordless Telephone : DECT) และ ซีทีสอง (Cordless Telephone 2 : CT2) ซึ่งถูกพัฒนาเป็นครั้งแรกในประเทศอังกฤษและปัจจุบันส่วนใหญ่จะใช้ในเอเชียตะวันออกเฉียงใต้

ปัจจุบันในการส่งเสียงหรือข้อมูลแบบดิจิตอล จะนิยมใช้เทคนิคของการมอดูเลทโดยมีการเข้าวงจรกรองความถี่แบบเกาซ์เซียนก่อนจะนำไปมอดูเลท ซึ่งเป็นที่แพร่หลายมาก

ในที่นี้จะขอกล่าวถึงรายละเอียดของจีเอ็มเอสเคคร่าว ๆ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

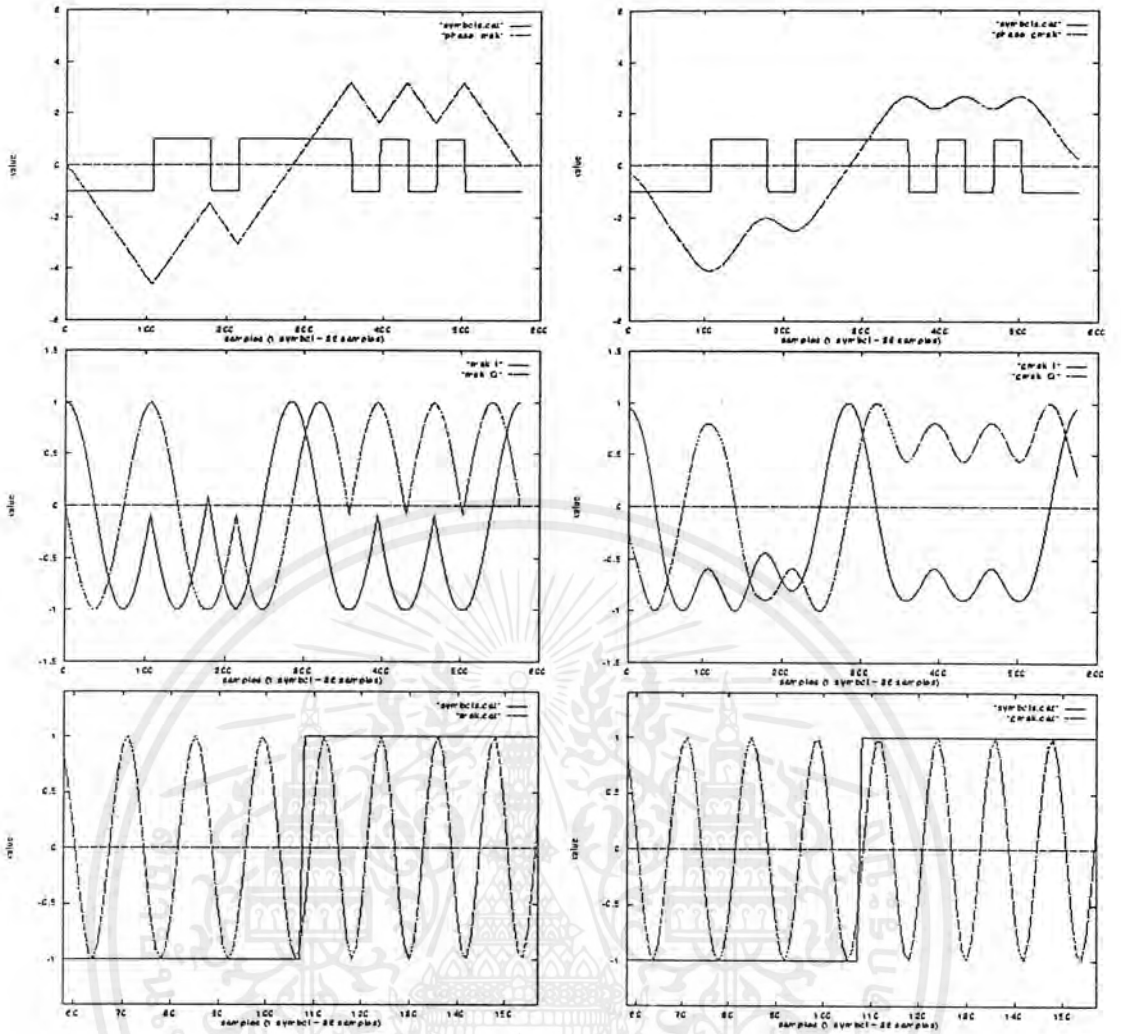
จีเอ็มเอสเค ย่อมาจาก เกาส์เซียน มินิมัม ชิฟท์ คีย์อิ้ง ซึ่งการมอดูเลทแบบนี้ เฟสของคลื่นพาห์จะเปลี่ยนแปลงตามสัญญาณที่นำมามอดูเลท (คือข้อมูลที่ต้องการจะส่ง)จีเอ็มเอสเคต่างจากเอ็มเอสเค ตรงที่จะมีการนำสัญญาณไปเข้าวงจรกรองความถี่แบบเกาส์เซียนก่อนที่จะนำไปมอดูเลทเพื่อให้มีแถบความถี่ที่เหมาะสม โดยผลตอบสนองอิมพัลส์ในโดเมนเวลาของวงจรกรองความถี่เป็นดังสมการ 1.1 ซึ่ง $k_1 = \frac{\pi}{\sqrt{2\ln 2}}$ และ B เป็น half power bandwidth

$$h(t) = \frac{k_1 B}{\sqrt{\pi}} e^{-k_1^2 B^2 \tau^2} \qquad (1.1)$$

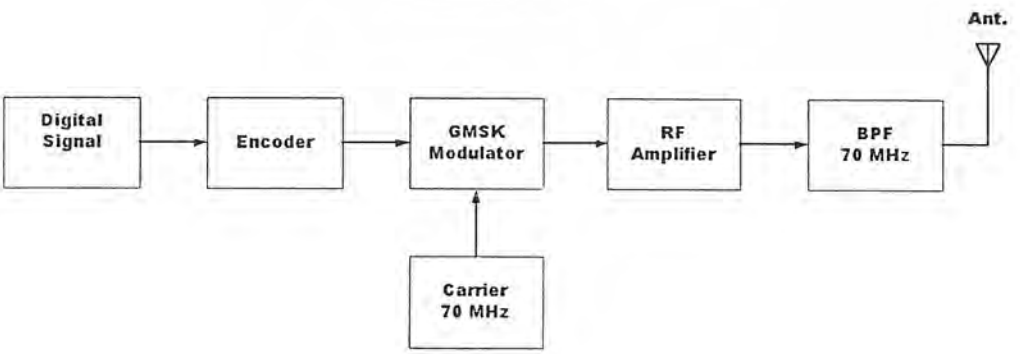
เอ็มเอสเค เป็นไบนารี่ ดิจิตอล เอฟเอ็มที่มีมอดูเลชั่น อินเด็กซ์เท่ากับ 0.5 โดยจะมีลักษณะเฉพาะคือ มีเอ็นเวลโลปคงที่ , มีแถบความถี่แคบและสามารถดีเทคแบบโคเฮอร์เร็นท์ ดีเทคชั่นได้ ลักษณะของเอ็มเอสเคที่สำคัญที่สุดคือ การที่มันมีเอ็นเวลโลปคงที่ทำให้มันมีความต้านทานต่อสัญญาณรบกวนมากกว่า เอเอสเค (ASK: Amplitude Shift Keying) อย่างไรก็ตามเอ็มเอสเคก็ยังไม่ดีพอเพราะว่ายังต้องการใช้แถบความถี่ที่กว้างเกินความจำเป็น จีเอ็มเอสเคจะมีการนำวงจรกรองความถี่แบบเกาซ์เซียนมาใช้ก่อนมีการนำไปมอดูเลท ซึ่งทำให้เพาเวอร์สเปคตรัมของเอาท์พุทเหมาะสมและกะทัดรัดกว่า วงจรกรองความถี่แบบเกาซ์เซียนมีแถบความถี่แคบและมีคุณสมบัติคัทออฟที่ชันจึงสามารถกดองค์ประกอบของความถี่สูงได้ ยิ่งกว่านั้นมันยังมีโอเวอร์ชู้ตที่ต่ำกว่า

รูปที่ 1.1 แสดงให้เห็นถึงขบวนสัญญาณเอ็นอาร์แซด 16 บิท (-1,-1,-1,+1,+1,-1,+1,+1,+1,+1,+1,-1,+1,-1,+1,-1,-1) และผลตอบสนองเฟสของสัญญาณเอ็มเอสเค (ซ้าย) และจีเอ็มเอสเค (ขวา) การเพิ่มขึ้นของเฟสต่อซิมโบล คือ $\frac{\pi}{2}$ สำหรับสัญญาณเอ็มเอสเครูปที่ 1.2 แสดงถึงส่วนประกอบของเฟส (I : ค่าจริง) และควอดดราเจอร์ (Q : ค่าจินตภาพของเอ็มเอสเค (ซ้าย) และจีเอ็มเอสเค (ขวา) ซึ่งเป็นสัญญาณเบสแบนด์ รูปสุดท้ายรูปที่ 1.3 แสดงถึงสัญญาณเอ็มเอสเคและจีเอ็มเอสเคที่มอดูเลทเรียบร้อยแล้ว สำหรับ –1 และ +1 จะเห็นว่าความถี่ของที่ซิมโบล +1 และ –1 จะเห็นว่าความถี่ของที่ซิมบอล +1 และ –1 มีค่าแตกต่างกันน้อยมากซึ่งเป็นลักษณะของสัญญาณเอ็มเอสเคและ จีเอ็มเอสเค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



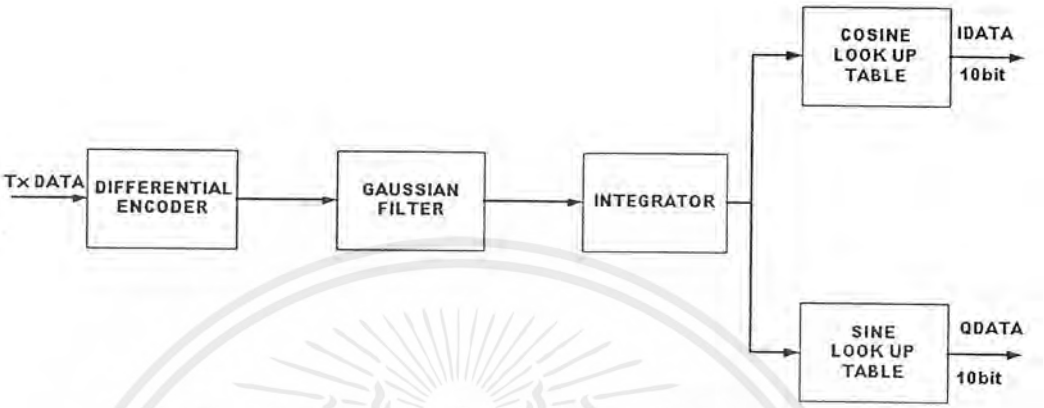
รูปที่ 1.1 (2 รูปบน) สัญญาณเอ็มเอสเคและจีเอ็มเอสเคเทียบกับแซมเปิ้ลที่ FsT=36
รูปที่ 1.2 (2 รูปกลาง) สัญญาณเบสแบนด์ของเอ็มเอสเคและจีเอ็มเอสเคเทียบกับแซมเปิ้ลที่ FsT=36
รูปที่ 1.3 (2 รูปล่าง) ซิมบอลและเฟส (เรเดียน) ของสัญญาณเอ็มเอสเคและจีเอ็มเอสเค
เทียบกับแซมเปิ้ล



รูปที่1.4 บล็อกไดอะแกรมของภาคส่ง

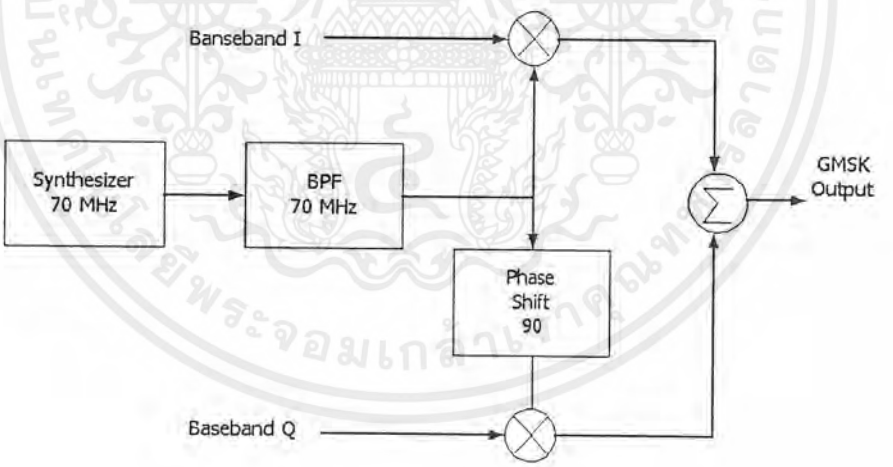
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 1.4 เฉพาะส่วนของจีเอ็มเอสเค มอดูเลเตอร์ จะมีการแบ่งย่อยออกเป็น 2 ภาค ซึ่งก็คือ ภาคประมวลผลสัญญาณเบสแบนด์ ซึ่งประกอบไปด้วย การเข้ารหัสสัญญาณแบบดิฟเฟอร์เรนเชียล ,วงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน ,วงจรอินทิเกรเตอร์ , ตารางโคซายน์ และตารางซายน์ดังรูปที่ 1.5



รูปที่ 1.5 บล็อกไดอะแกรมของภาคประมวลผลสัญญาณเบสแบนด์

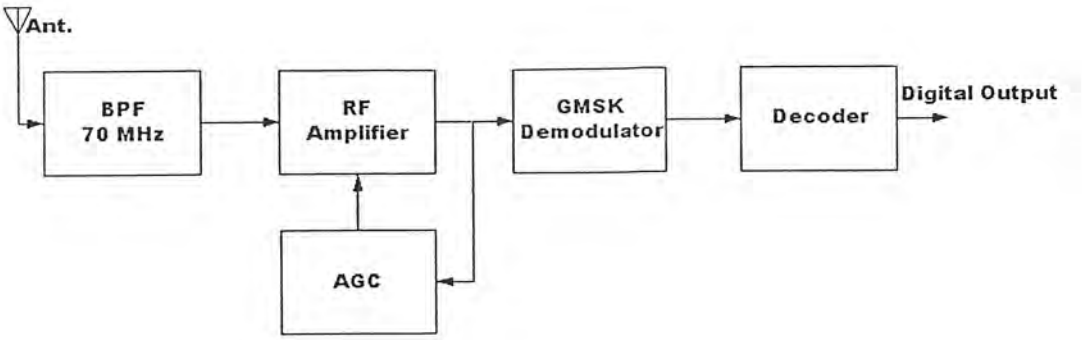
ส่วนอีกภาคหนึ่งก็คือ ภาคของไอคิวมอดูเลเตอร์ ซึ่งประกอบไปด้วย วงจรสังเคราะห์ความถี่ 70 เม็กกะเฮิร์ต ,วงจรกรองความถี่ช่วงผ่าน ,วงจรเฟสชิฟท์ ,วงจรบัฟเฟอร์ และวงจรคูณสัญญาณ ดังแสดงในรูปที่ 1.6



รูปที่ 1.6 บล็อกไดอะแกรมของภาคไอคิวมอดูเลเตอร์

ในส่วนของทางภาครับนั้นประกอบด้วย วงจรกรองความถี่ต่ำผ่าน 70 เม็กกะเฮิร์ต , วงจรขยายสัญญาณอาร์เอฟ , วงจรควบคุมอัตราขยายอัตโนมัติ , วงจรจีเอ็มเอสเคดีมอดูเลเตอร์ , วงจรถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.7 บล็อกไดอะแกรมของภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีหรือหลักการ

2.1 ชิฟท์ รีจิสเตอร์ (Shift Register)

เป็นรีจิสเตอร์ที่นำข้อมูลเข้าไปเก็บได้ทั้งทะยอยเข้าไปครั้งละบิทหรือเก็บทุกบิทพร้อมกัน การเอาข้อมูลออกไปใช้ก็เช่นกันกระทำได้โดยทะยอยออกไปครั้งละบิท หรือเอาออกไปพร้อมกันทุกบิทก็ได้ แต่เมื่อเอาออกไปแล้ว ข้อมูลเดิมนี้จะหายไปหมด ลักษณะของวงจรแสดงดังในรูป 2.1

การทำงานขณะนำข้อมูลเข้าไปเก็บ

ถ้าต้องการทะยอยเข้าไปเก็บครั้งละบิท ให้ป้อนข้อมูลเข้าทางอินพุทแบบอนุกรมโดยเอาตำแหน่งสูงเข้าไปก่อน เมื่อป้อนเข้าไปบิทหนึ่งก็ให้สัญญาณนาฬิกาเข้าไปครั้งหนึ่ง ฟลิปฟลอปทุกตัวทำงานพร้อมกัน จะเป็น เซต หรือ รีเซต ขึ้นอยู่กับค่าของ J และ K ก่อนที่สัญญาณนาฬิกาจะเข้ามาว่าเป็นอะไร เช่นจะเอาข้อมูล 1 เข้าไปเก็บ นั่นคือ ฟลิปฟลอปขวามือสุดจะมีค่า J=1 , K=0 เมื่อมีสัญญาณนาฬิกาเข้ามาฟลิปฟลอปขวามือสุดจะเป็น เซต นั่นคือ 1 เข้าไปเก็บยังฟลิปฟลอปขวามือสุด เมื่อป้อนสัญญาณนาฬิกาครั้งต่อไป ฟลิปฟลอปขวามือสุดจะได้ข้อมูลใหม่ ฟลิปฟลอปทางซ้ายมือจะได้ข้อมูลมาจากฟลิปฟลอปทางขวามือเสมอไป เมื่อป้อนสัญญาณนาฬิกาครบสี่ครั้งข้อมูลใหม่ก็จะเข้าไปเก็บยังวงจรเรียบร้อย

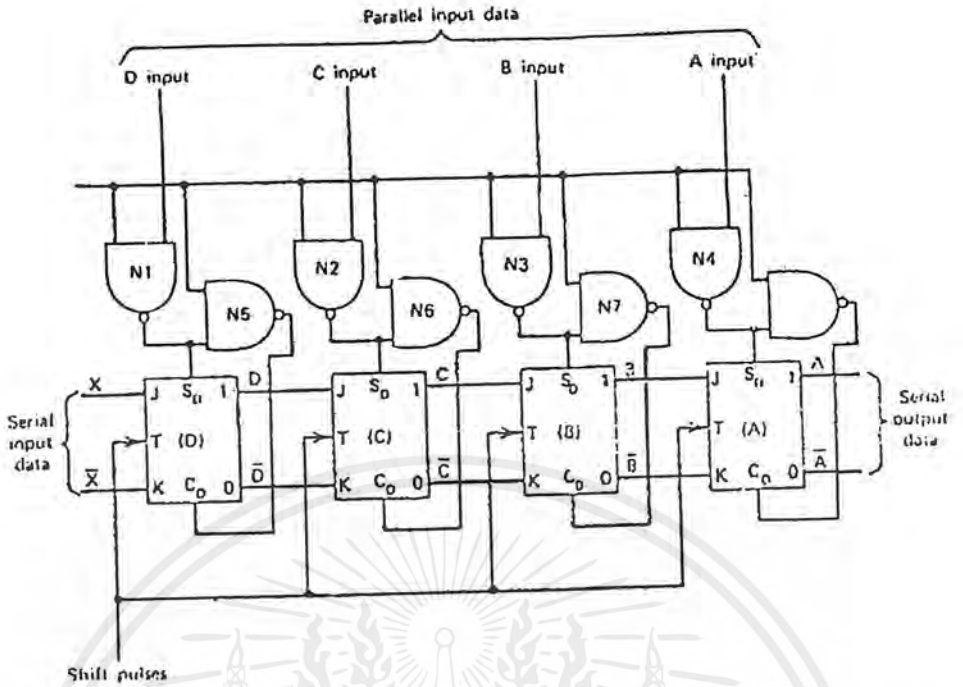
ถ้าต้องการเก็บข้อมูลทุกบิทพร้อมกัน ก็ให้ป้อนข้อมูลบิทเข้าไปทางอินพุทแบบขนานตำแหน่งสูงอยู่ทางซ้าย ตำแหน่งต่ำอยู่ทางขวา แล้วป้อนสัญญาณเอนเตอร์ (Enter) เข้าไปเพียงครั้งเดียวข้อมูลก็จะถูกเก็บเรียบร้อย ฟลิปฟลอปจะถูก เซต หรือถูก เคลียร์ ขึ้นอยู่กับข้อมูลที่ป้อนเข้ามา ตัวอย่างเช่น Ain เป็น 1 , เมื่อ 1 , แนนด์กับ 1 จะยังคงเป็น 1 อยู่ , ดังนั้นฟลิปฟลอปขวามือสุดจะถูกเซต คือ นำสัญญาณ 1 เข้าไปเก็บ , แต่ถ้า Ain เป็น 0 , 0 จะ แนนด์กับสัญญาณ Enter ซึ่งเป็น 1 ไปเป็น 0 , เพราะว่า 1 , แนนด์กับ 1 จะได้ 0 ฟลิปฟลอปขวามือสุดก็จะถูกเคลียร์ นั่นคือนำข้อมูล 0 เข้าไปเก็บ ส่วนฟลิปฟลอปตัวอื่น ๆ จะทำงานได้ในทำนองเดียวกัน และทำงานพร้อมกันทุกตัว เมื่อสัญญาณ Enter สิ้นสุดลง ข้อมูลจะถูกเก็บเรียบร้อย เป็นการเก็บได้รวดเร็ว

การทำงานขณะนำข้อมูลออกไปใช้งาน

ถ้าต้องการทะยอยข้อมูลออกไปใช้งานครั้งละบิทก็ป้อนสัญญาณนาฬิกาเข้าไปและเอาสัญญาณออกทางเอาท์พุทแบบอนุกรม ฟลิปฟลอปแต่ละตัวจะถูก เซต หรือถูก เคลียร์ ขึ้นอยู่กับค่าของ J และ K ที่เป็นอยู่ก่อนมีสัญญาณนาฬิกาเข้ามา เนื่องจาก J และ K ของฟลิปฟลอปซ้ายมือต่ออยู่กับเอาท์พุทของฟลิปฟลอปขวามือ ดังนั้นข้อมูลจะค่อยทะยอยออกไปทางซ้าย ข้อมูลจากฟลิปฟลอปทางขวา จะนำไปให้ฟลิปฟลอปทางซ้ายเสมอ , เมื่อป้อนสัญญาณนาฬิกาครบสี่ครั้งข้อมูลก็จะออกไปหมด ข้อมูลเดิมก็หายไปหมด

ถ้าต้องการเอาข้อมูลออกทุกบิทพร้อมกันก็ให้สัญญาณเอนเตอร์เข้าไปครั้งเดียว การทำงานของฟลิปฟลอปก็เท่ากับว่าเราป้อนข้อมูล 0 เข้าที่อินพุทแบบขนานทุกอินพุท นั่นคือที่ เคลียร์ ของทุกฟลิปฟลอปจะมีสัญญาณเปลี่ยนจาก 1-0 แต่ที่ เซต จะคงที่นั่นคือ ฟลิปฟลอปทุกตัวจะถูกเคลียร์ให้เป็น 0 หมด ข้อมูลเดิมก็หายไปหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 วงจรชิฟท์ รีจิสเตอร์

2.2 วงจรกำเนิดความถี่โดยใช้คริสตอล (Crystal Oscillator)

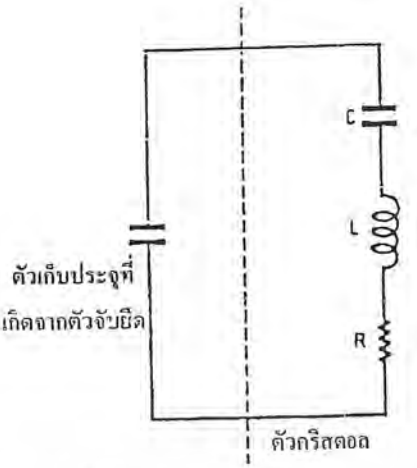
ในวงจรเครื่องส่งส่วนใหญ่ที่ต้องการให้เสถียรภาพทางความถี่ของการส่งมีค่าสูง หรือความถี่มีค่าคงที่ตลอดเวลาเพื่อให้เครื่องรับสามารถจูนรับสถานีได้ถูกต้องและตลอดไป วงจรกำเนิดความถี่ที่ให้คุณสมบัติเด่นในเรื่องเสถียรภาพทางความถี่ได้แก่ วงจรกำเนิดความถี่โดยใช้คริสตอล นอกจากนี้วงจรกำเนิดความถี่โดยใช้คริสตอลยังใช้เป็นตัวสร้างสัญญาณที่มีความถี่มาตรฐานไว้สำหรับตรวจสอบเครื่องมือบางชนิดและยังใช้เป็นตัวสร้างแรงดันฐานเวลามาตรฐานใช้กับอุปกรณ์ที่ต้องการความเที่ยงตรง เช่น นาฬิกาอิเลคทรอนิกส์

คริสตอล เป็นศัพท์ภาษาอังกฤษแปลว่า ผลึก โดยความหมายของตัวมันเองก็คือผลึกของวัสดุบางชนิดเช่น ผนึกควอร์ตซ เกลือหิน โรเซลล์ และทัวร์มาลิน วัสดุเหล่านี้รวมเรียกว่า พิโซอิเลกตริก ซึ่งมีคุณสมบัติคือ มันจะก่อให้เกิดแรงดันไฟฟ้าเมื่อบิดงอหรือกดผลึกเหล่านี้ด้วยแรง และในทำนองเดียวกันถ้าหากเราสร้างแรงดันไฟฟ้าให้กับมันแรงดันไฟฟ้าที่ตกคร่อมตัวผลึกเหล่านี้จะมีผลทำให้ผลึกของวัสดุเหล่านั้นมีรูปร่างบิดเบี้ยวผิดออกไปจากเดิม

คริสตอลที่ใช้งานอยู่ทั่วไปทำมาจากผลึกควอร์ตซ เมื่อมีแรงดันตกคร่อมผลึกควอร์ตซก็จะเกิดการสั่นความถี่ที่สั่นได้จะมีค่าเกือบคงที่ซึ่งขึ้นกับความหนาของผลึกนั้น ความถี่ที่เกิดขึ้นจะยังคงเปลี่ยนแปลงได้อีกเล็กน้อยเนื่องจากอุณหภูมิ

โดยหลักการแล้วลักษณะสมบัติของคริสตอล มีลักษณะคล้ายคลึงกับวงจรรีโซแนนซ์(Resonance Circuit)) ที่สามารถเขียนวงจรสมมูล (Equivalent Circuit) ได้ดังรูปที่ 2.2

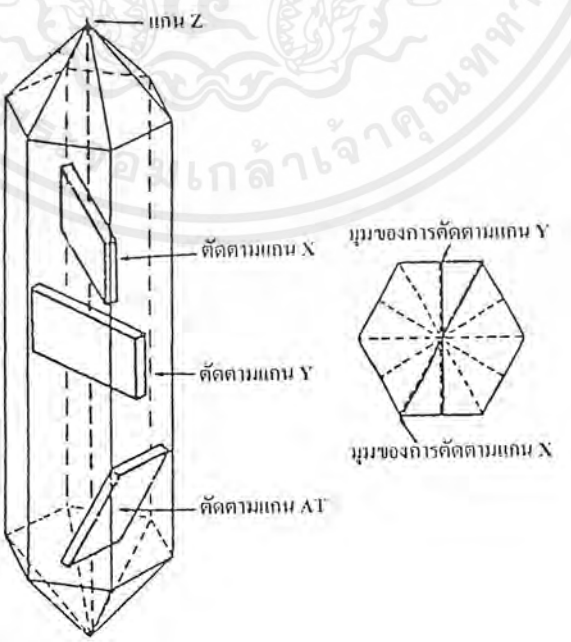
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 วงจรสมมูลของผลึกคริสตอล

ค่าตัวเหนี่ยวนำ (Inductance) ในวงจรสมมูลของตัวคริสตอลจะมีค่าสูงแต่มีค่าตัวเก็บประจุ (Capacitance) ต่ำมาก ตัวคริสตอลเป็นเพียงผลึกควอร์ตซที่ยังต้องอาศัยตัวจับยึดเข้ากับกระป๋องโลหะดังนั้นในส่วนของตัวจับยึดคริสตอลจึงเกิดมีลักษณะเหมือนเป็นตัวเก็บประจุที่ขนาบอยู่อีกหนึ่งตัวดังวงจรสมมูลรูปที่ 2.2 เนื่องจากตัวเก็บประจุในตัวผลึกของคริสตอลที่ต่ออนุกรมกับตัวเหนี่ยวนำมีค่าต่ำ ดังนั้นตัวเก็บประจุที่ต่อขนานอยู่ภายนอกจึงมีอิทธิพลต่อการออสซิลเลท (Oscillate) ของสัญญาณน้อยมาก และในขณะรีโซแนนซ์นั้น ส่วนของวงจรรีโซแนนซ์แบบอนุกรมและแบบขนานเกือบจะให้ความถี่รีโซแนนซ์เป็นความถี่เดียวกัน

ผลึกควอร์ตซที่ได้เป็นวัสดุจำพวกซิลิกอนไดออกไซด์ที่มีลักษณะเหมือนแก้วในส่วนของผลึกจะมีรูปร่างเป็น 6 ด้านเหมือนปริซึมโดยผลึกควอร์ตซที่ใช้งานจะได้รับการตัดด้วยลักษณะของแกน 3 แกนดังแสดงในรูปที่ 2.3



รูปที่ 2.3 ผลึกควอร์ตซและการตัดผลึก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แกน X เป็นแกนที่ลากระหว่างมุม 2 มุมของแท่งปริซึม ส่วนแกน Y จะเป็นแกนที่ลากตั้งฉากกับผิวหน้าของตัวคริสตอล นั่นคือถ้าหากตัดคริสตอลตามแนวผลึกจากมุมหนึ่งไปยังอีกมุมหนึ่งที่อยู่ตรงข้าม ก็เรียกว่าการตัดแบบ X (X cut) ซึ่งผลของการตัดแบบนี้จะทำให้ความถี่ที่ได้เปลี่ยนแปลงกับอุณหภูมิในลักษณะที่อุณหภูมิสูงขึ้นค่าความถี่จะลดลง แต่ถ้าตัดในแนวแกน Y ก็จะเป็นผลทำให้ความถี่ของการสั่นสูงขึ้น เมื่ออุณหภูมิสูงขึ้น

จะเห็นได้ว่าไม่ว่าจะตัดในแกน X หรือแกน Y จะเป็นผลทำให้ความถี่ของการสั่นของ คริสตอล ขณะรีโซแนนซ์เปลี่ยนแปลงกับอุณหภูมิได้มาก ดังนั้นเราจึงต้องหาทางตัดแกนใดแกนหนึ่งเพื่อให้ผลการเปลี่ยนแปลงกับอุณหภูมิน้อยที่สุดหรือแทบจะกล่าวได้ว่ามันไม่มีผลเลย แกนที่ใช้ในการตัดคือแกน AT ดังแสดงไว้ในรูปที่ 2.3

เราอาจตัดคริสตอลให้อยู่ในแกนอื่น ๆ ก็ได้ในแต่ละระนาบของการตัดจะให้ผลการเปลี่ยนแปลงช่วงความถี่ต่ออุณหภูมิ ตลอดจนความถี่ฮาร์โมนิก (Harmonic Frequency) ที่ใช้งานแตกต่างกัน

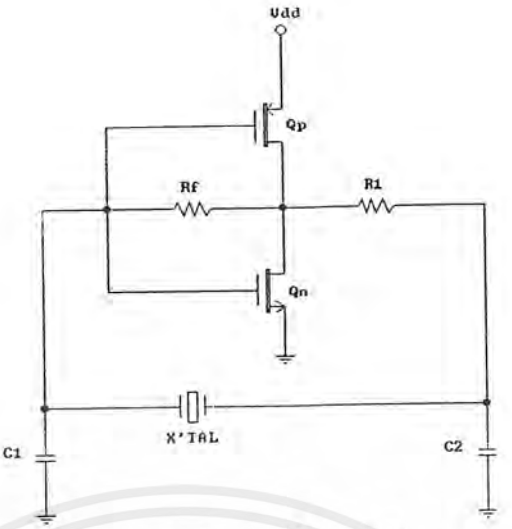
ส่วนความหนาของแผ่นคริสตอล จะเป็นตัวกำหนดความถี่ของการรีโซแนนซ์ถ้าแผ่น คริสตอลยิ่งบางก็หมายความว่า ความถี่ของการรีโซแนนซ์มีค่าสูงขึ้น แผ่นคริสตอลที่ทำความถี่ได้สูงประมาณ 15 เม็กกะเฮิร์ต ไม่เกิน 50 เม็กกะเฮิร์ต แต่ถ้าหากต้องการความถี่ที่สูงกว่านี้อีก มักใช้ฮาร์โมนิกของสัญญาณนั่นเอง

อุปกรณ์จำพวกคริสตอลเป็นอุปกรณ์ที่ค่อนข้างจะบอบบาง ดังนั้นคริสตอลจึงต้องทำงานที่ระดับพลังงานต่ำ ๆ หรือในขณะใช้งานเป็นตัวกระตุ้น ในขณะที่ป้อนกลับระหว่างอินพุทกับเอาท์พุทจะต้องไม่ให้ระดับแรงดันตกคร่อมตัวมันมากเกินไป ซึ่งจะทำให้คริสตอลทำงานผิดความถี่ และเกิดความร้อนกับตัวมันมากเกินไปซึ่งจะเป็นผลทำให้คริสตอลทำงานผิดความถี่และถ้าเกิดความร้อนกับตัวมันสูง ตัวมันอาจเสียหายได้

จากที่กล่าวแล้วว่าเราใช้คริสตอลกระตุ้นวงจรกำเนิดความถี่ ก็เพื่อเหตุผลในเรื่องต้องการให้ได้ความถี่ที่มีค่าเสถียรภาพสูง ค่าเสถียรภาพของวงจรกำเนิดความถี่สามารถหาได้จากการกำหนดค่า Q ของตัวคริสตอลและสัมประสิทธิ์การผันแปรทางความถี่กับอุณหภูมิ ค่า Q ของคริสตอลมักจะมีค่าสูงกว่าค่า Q ของวงจรจูนที่ประกอบไปด้วย RLC ถึง 100 เท่า 1000 เท่า คริสตอลที่มีขายในปัจจุบันมีค่า Q ประมาณ 5000 ถึง 30000 เราจึงจะพอเห็นแล้วว่าวงจรกำเนิดความถี่โดยคริสตอลจึงมีเสถียรภาพทางความถี่สูงกว่าวงจรกำเนิดความถี่โดยใช้ LC มาก

วงจรกำเนิดความถี่โดยใช้คริสตอลนั้นมีหลายชนิด จากรูปที่ 2.4 เป็นวงจรกำเนิดความถี่โดยใช้คริสตอลที่นิยมใช้จริงอย่างแพร่หลาย เรียกว่า วงจรกำเนิดความถี่แบบเพียร์ซ ซึ่งใช้ซีมอส อินเวิร์ทเตอร์ (CMOS Inverter) และมีตัวต้านทาน R_f เป็นตัวกำหนดจุดทำงาน (DC-Operating Point) ภายในบริเวณที่มีอัตราขยายสูง (High Gain Region) ของซีมอส อินเวิร์ทเตอร์ ตัวต้านทาน R_1 ที่ต่ออยู่กับ C_1 ทำหน้าที่เป็นวงจรกรองความถี่ต่ำผ่าน มีไว้สำหรับการป้องกันไม่ให้วงจรเกิดการออสซิลเลทที่ฮาร์โมนิกที่สูงกว่าความถี่ของความถี่ของคริสตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

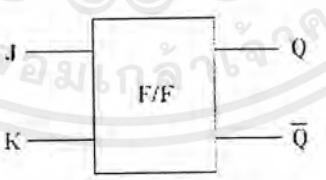


รูปที่ 2.4 วงจรกำเนิดความถี่แบบเพียร์ซ

2.3 เจ-เค ฟลิปฟลอป (J-K Flip-Flop)

ฟลิปฟลอป ชนิดที่ใช้ประโยชน์มากที่สุดในจำนวนฟลิปฟลอปทั้งหลายคือ เจ-เค ฟลิปฟลอป ซึ่งมีลักษณะพิเศษไม่เหมือนฟลิปฟลอปแบบอื่นก็คือ แต่ละสภาวะไม่กำกวมเหมือนแบบอื่น ซึ่งวงจรนี้ใช้กันอย่างกว้างขวางมากในวงจรลอจิก

เจ-เค ฟลิปฟลอป มี 2 อินพุทและ 2 เอาท์พุท เมื่อ 1 ถูกป้อนเข้าที่ J,0 ถูกป้อนเข้าที่ K เอาท์พุทจะกลายเป็น 1 ($\overline{Q}$ กลายเป็น 0) ,ขณะที่ 1 ถูกป้อนเข้าที่ K,0 ถูกป้อนเข้าที่ J จะทำให้ไบสเตเบิลเปลี่ยนสภาวะที่เอาท์พุท คือ $\overline{Q}$ กลายเป็น 1 และ Q เป็น 0 เมื่อ 1 ถูกป้อนเข้าที่ J และ K พร้อมกัน , เอาท์พุททั้งสองจะเป็นคอมพลีเม้นท์ซึ่งกันและกัน คือถ้า Q เดิมเป็น 1 , Q จะเปลี่ยนเป็น 0 (โดยที่ขณะเดียวกัน $\overline{Q}$ จะเปลี่ยนเป็น 1) และถ้า Q เดิมเป็น 0 , Q จะเปลี่ยนเป็น 1 (ในขณะเดียวกัน $\overline{Q}$ จะเปลี่ยนเป็น 0) แต่อย่างไรก็ตามเอาท์พุทจะเปลี่ยนสถานะได้ก็ต่อเมื่อ T ต้องเป็น 1 ด้วยเสมอ สรุปการทำงานได้ดังตารางที่ 2.1



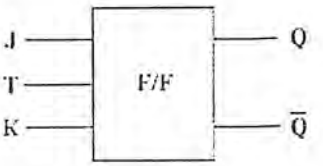
รูปที่ 2.5 สัญลักษณ์ของเจ-เค ฟลิปฟลอป

J	K	Q	$\overline{Q}$
0	0	No change	No change
1	0	1	0
0	1	0	1
1	1	Complement	Complement

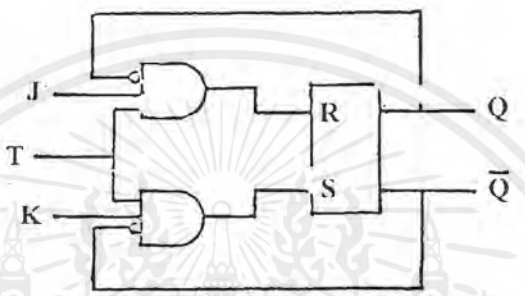
ตารางที่ 2.1 ค่าความจริงของเจ-เค ฟลิปฟลอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เจ-เค ฟลิปฟลอป ที่เราพบบ่อย ๆ นั้นมักจะมี J อินพุทมากกว่าหนึ่งและ K อินพุทมากกว่าหนึ่ง ในกรณีนี้ J อินพุทและ K อินพุทมีอย่างละหนึ่ง วงจรจะต่อได้ดังรูปที่ 2.7 โดยดัดแปลงมาจากอาร์-เอส ฟลิปฟลอป



รูปที่ 2.6 สัญลักษณ์ของเจ-เค ฟลิปฟลอปที่มี T อินพุท



รูปที่ 2.7 วงจรภายในของเจ-เค ฟลิปฟลอปที่มี T อินพุท

J	K	T	Q	$\overline{Q}$
0	0	0	1	0
0	0	1	No change	No change
0	1	0	No change	No change
0	1	1	0	1
1	0	0	No change	No change
1	0	1	0	1
1	1	0	No change	No change
1	1	1	0	1

ตารางที่ 2.2 ตารางความจริงของเจ-เค ฟลิปฟลอปที่มีอินพุท T

เจ-เค ฟลิปฟลอป มีลักษณะแตกต่างจากฟลิปฟลอปอื่น ๆ ดังต่อไปนี้

1. พัลส์ของสัญญาณนาฬิกาไม่เป็นสาเหตุที่ทำให้ฟลิปฟลอปเปลี่ยนสภาวะถ้า J และ K อินพุทไม่มีสัญญาณเข้ามากระตุ้นทั้งสองตัว

2. ถ้าทั้ง J และ K อินพุทมีสัญญาณมากระตุ้นแล้ว ฟลิปฟลอปจะเปลี่ยนสภาวะไปก็ต่อเมื่อ พัลส์ของสัญญาณนาฬิกาตัวถัดไปถูกส่งเข้ามา

3. J และ K อินพุทจะถูกใช้ไปด้วยกันในการที่จะเซตฟลิปฟลอปให้อยู่ในตำแหน่งเซตในขณะที่ K และ T อินพุทจะเป็นตัวรีเซต

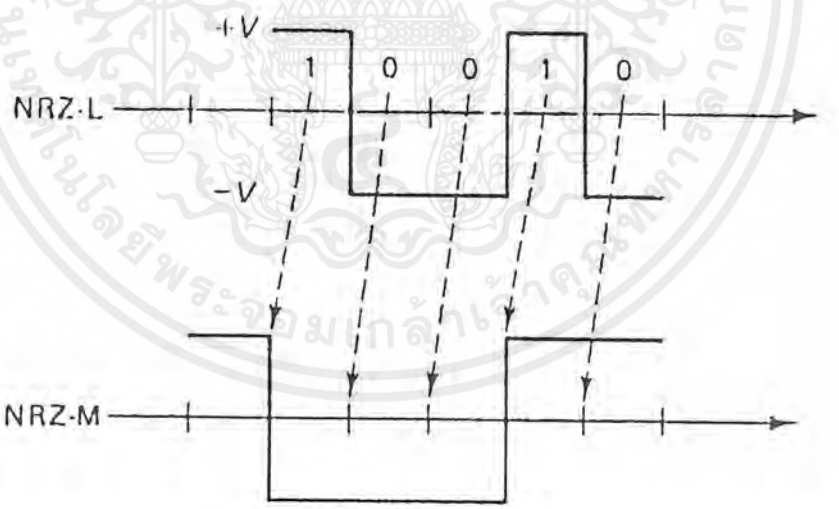
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การเข้ารหัสแบบดิฟเฟอร์เรนเชียล (Differential Encoding)

ปัญหาที่สำคัญอย่างหนึ่งในการสื่อสารข้อมูลดิจิตอลก็คือ การกลับขั้ว (Inversion) ของสัญญาณดิจิตอล (การที่สัญญาณ V+ ถูกแปลความหมายเป็น V- ที่เครื่องรับ และในทางกลับกันก็เช่นกัน) ขบวนข้อมูลของสัญญาณดิจิตอลทั้งหมดจะกลับขั้วกัน (จาก 1 เป็น 0 และจาก 0 กลับเป็น 1) และทำให้เกิดความผิดพลาด การกลับขั้วสามารถที่จะเกิดขึ้นได้จากหลายสาเหตุ เช่น การรับสัญญาณโดยใช้เครื่องรับแบบคอสทาส เป็นต้น เมื่อข้อมูลถูกส่งมาโดยการเปลี่ยนแปลงเฟส การหน่วงเวลาอาจจะทำให้เกิดการเลื่อนของเฟสไป 180 องศาซึ่งเป็นสาเหตุของการกลับขั้วของสัญญาณ หรืออีกสาเหตุหนึ่งก็คือ ในระบบบางระบบอาจจะประกอบด้วยอุปกรณ์อิเล็กทรอนิคส์บางชนิด (เช่น ออปแอมป์) ซึ่งสามารถที่จะกลับขั้วของสัญญาณได้ ซึ่งในบางครั้งก็เป็นการยากที่จะทราบได้ถึงจำนวนครั้งที่สัญญาณถูกทำการกลับขั้ว

ด้วยสาเหตุดังกล่าวไปแล้ว เราจึงเลือกใช้รูปแบบสัญญาณแบบดิฟเฟอร์เรนเชียล โดยเทคนิคนี้ข้อมูลจะถูกแสดงในรูปของ "การเปลี่ยนแปลง" ของระดับของข้อมูลแทนที่จะเป็นตัวข้อมูลโดยตรง เรากำลังจะพูดถึงระบบ เอ็นอาร์แซด-เอ็ม (NRZ-M) และ เอ็นอาร์แซด-เอส (NRZ-S) ตัวอักษร เอ็ม และ เอส ย่อมาจาก มาร์ค (Mark) และ สเปซ (Space)

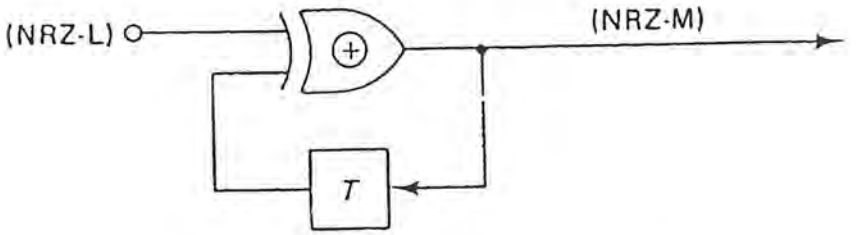
ในระบบเอ็นอาร์แซด-เอ็ม ข้อมูล "1" จะถูกแสดงแทนการเปลี่ยนแปลงระดับระหว่างบิทข้อมูล ในขณะที่ข้อมูล "0" จะถูกแสดงเมื่อไม่เกิดการเปลี่ยนแปลงของข้อมูล รูปที่ 2.8 แสดงให้เห็นรูปสัญญาณของเอ็นอาร์แซด-เอ็ม โดยสัญญาณเอ็นอาร์แซด-เอ็ม ในขณะเริ่มต้นมีค่า V+ โวลต์ (เราสามารถที่จะเริ่มต้นสัญญาณด้วยระดับ V- ก็ได้)



รูปที่ 2.8 รูปแบบสัญญาณเอ็นอาร์แซด-เอ็ม

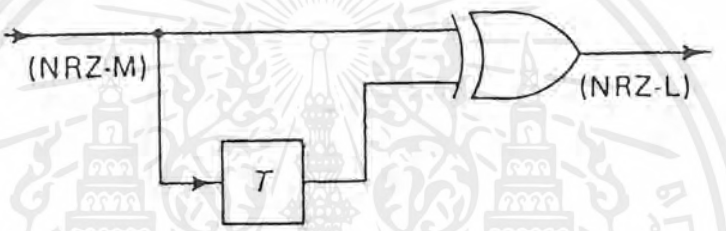
เราสามารถที่จะสร้างสัญญาณเอ็นอาร์แซด-เอ็ม ได้โดยการใช้ เอ็กซ์คลูซีฟ ออร์ (XOR) และวงจรหน่วงเวลา (Time Delay) ดังแสดงในรูปที่ 2.9 เราจะเริ่มจากสัญญาณเอ็นอาร์แซด-แอล ทำการเอ็กซ์คลูซีฟ ออร์ สัญญาณนี้กับสัญญาณเอ็นอาร์แซด-เอ็ม ซึ่งถูกหน่วงเวลาแล้ว ก็จะได้สัญญาณเอ็นอาร์แซด-เอ็ม ที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

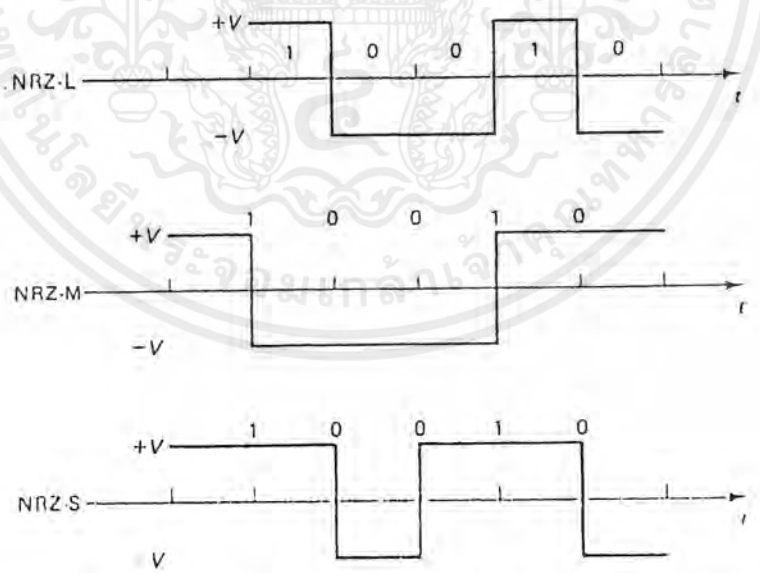


รูปที่ 2.9 วงจรเข้ารหัสเอ็นอาร์แซด-เอ็ม

ส่วนการถอดรหัสสัญญาณเอ็นอาร์แซด-เอ็ม ก็คือการหน่วงเวลาสัญญาณเอ็นอาร์แซด-เอ็ม แล้วนำไปเปรียบเทียบกับตัวมันเองอีกทีนั่นเอง ถ้าทั้งสองตัวเหมือนกัน ก็แสดงว่าข้อมูลที่ส่งมาก็คือ 0 แต่ถ้าทั้งสองตัวต่างกัน ก็แสดงว่าข้อมูลที่ส่งมาก็คือ 1 นั่นเอง โดยวงจรถอดรหัสจะแสดงดังรูปที่ 2.10



รูปที่ 2.10 วงจรถอดรหัสเอ็นอาร์แซด-เอ็ม



รูปที่ 2.11 รูปแบบสัญญาณเอ็นอาร์แซด-เอ็มและเอ็นอาร์แซด-เอส

ระบบเอ็นอาร์แซด-เอส ก็คล้ายคลึงกับระบบเอ็นอาร์แซด-เอ็มนั่นเอง ยกเว้นเอาท์พุทของทั้งสองระบบนี้กลับขั้วกัน 1 จะแสดงแทนการไม่เปลี่ยนแปลงของข้อมูล 0 จะแสดงแทนการเปลี่ยนแปลง รูปที่ 2.11 แสดงให้เห็นถึง สัญญาณเอ็นอาร์แซด-แอล, เอ็นอาร์แซด-เอ็ม และเอ็นอาร์แซด-เอส

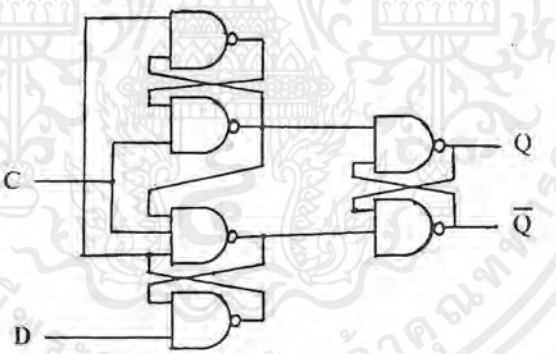
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 ดี-ฟลิปฟลอป (D Type Flip-Flop)

เป็นวงจรที่ดัดแปลงมาจากคล้อค อาร์-เอส ฟลิปฟลอป (Clocked R-S Flip-Flop) ให้เหลืออินพุท สำหรับป้อนข้อมูลเพียงอันเดียว เมื่อได้รับสัญญาณอินพุท ถ้าหากยังไม่มีสัญญาณนาฬิกาเข้ามา เอาท์พุท จะยังคงสถานะเดิมอยู่ก่อน แต่ถ้ามีสัญญาณนาฬิกาเข้ามาจะทำให้เอาท์พุทเปลี่ยนสถานะไปตามข้อมูลที่เข้ามา นั่นคือถ้าอินพุท D เป็น 1 เอาท์พุท Q ก็จะเป็น 1 ถ้าอินพุท D เป็น 0 เอาท์พุท Q ก็จะเป็น 0 โดยสามารถสรุปการทำงานได้ดังตารางต่อไปนี้

Qn	D(input)	Qn+1
0	0	0
0	1	1
1	0	0
1	1	1

ตารางที่ 2.3 การทำงานของดี-ฟลิปฟลอป



รูปที่ 2.12 วงจรภายในของดี-ฟลิปฟลอป

2.6 วงจรกรองความถี่ (Filter)

วงจรกรองความถี่นั้นมีหลายประเภทโดยถ้าคำนึงถึงชิ้นส่วน (element) ที่นำมาประกอบเป็นวงจรกรองความถี่ แบ่งออกเป็นประเภทจะแบ่งออกเป็นประเภทพาสซีฟและแอคทีฟชิ้นส่วนวงจรที่ใช้ในวงจรกรองความถี่แบบพาสซีฟได้แก่ ตัวต้านทาน (R), ตัวเก็บประจุ (C), และขดลวดเหนี่ยวนำ (L) ส่วนวงจรกรองความถี่แบบแอคทีฟประกอบด้วย ตัวขยายสัญญาณจำพวกทรานส์ซิสเตอร์หรือ IC ในรูป ออปแอมป์และตัวต้านทาน และตัวเก็บประจุทำงานร่วมกัน ส่วนตัวต้านทาน, ตัวเก็บประจุ, และขดลวดเหนี่ยวนำนี้ถือว่าเป็นชิ้นส่วนประเภทพาสซีฟ

วงจรกรองความถี่ที่ใช้ในโครงงานแยกได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. วงจรกรองความถี่ช่วงผ่านพาสซีฟแบบบัตเตอร์เวิร์ธ (Passive Butterworth Band Pass Filter)

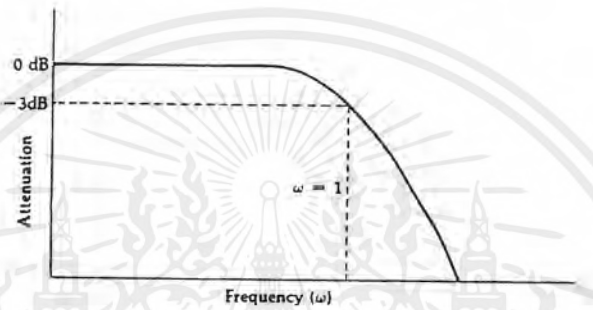
2. วงจรกรองความถี่ต่ำผ่านแอคทีฟแบบบัตเตอร์เวิร์ธ (Active Butterworth Low Pass Filter)

3. วงจรกรองความถี่ต่ำผ่านพาสซีฟแบบเกาส์เซียน (Passive Gaussian Low Pass Filter)

รายละเอียดมีดังต่อไปนี้

2.6.1 วงจรกรองความถี่ช่วงผ่านพาสซีฟแบบบัตเตอร์เวิร์ธ

วงจรกรองความถี่แบบบัตเตอร์เวิร์ธเป็นวงจรกรองความถี่ที่มีค่า Q ปานกลางซึ่งจะให้ค่าผลตอบสนองของแอมปลิจูดที่คงที่ (flat) ผลตอบสนองของบัตเตอร์เวิร์ธมีช่วงพาสแบนด์ที่ราบเรียบและไม่มีริปเปิ้ล โดยลักษณะผลตอบสนองของมันเป็นดังรูปที่ 2.13



รูปที่ 2.13 ผลตอบสนองของบัตเตอร์เวิร์ธ

แม้ว่าผลตอบสนองบัตเตอร์เวิร์ธจะมีค่า Q ปานกลางแต่ค่าการลดทอนก็อยู่ในช่วงที่ใช้งานได้ดี โดยค่าการลดทอนของวงจรกรองความถี่บัตเตอร์เวิร์ธคือ

$$A_{dB} = 10\log\left[1+\left(\frac{\omega}{\omega_C}\right)^{2n}\right] \qquad (2.1)$$

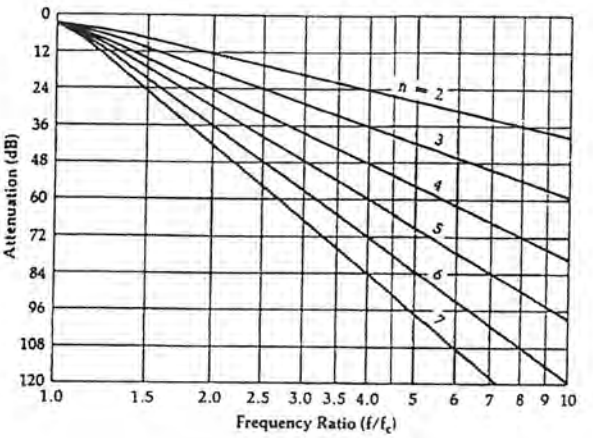
โดย ω = ความถี่ที่มีค่าลดทอนตามที่ต้องการ

ω_C = ความถี่คัทออฟของวงจรกรองความถี่

n = จำนวนขององค์ประกอบในวงจรกรองความถี่

จากสมการที่ 2.1 เราจะสามารถหาค่าของการลดทอนที่ความถี่ใด ๆ และอันดับใด ๆ คุณสมบัติการลดทอนของวงจรกรองความถี่แบบบัตเตอร์เวิร์ธดังรูปที่ 2.14 โดยแกนความถี่เป็นความถี่นอร์มอลไลซ์และกราฟเริ่มที่จุดคัทออฟ (-3dB)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



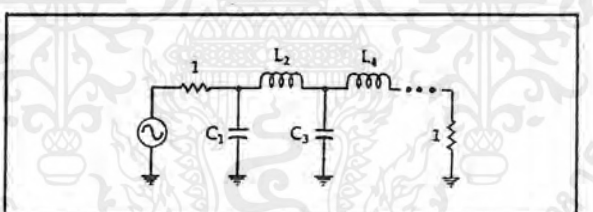
รูปที่ 2.14 คุณสมบัติการลดทอนสำหรับวงจรกรองความถี่แบบบัตเตอร์เวิร์ธ

ค่าขององค์ประกอบแต่ละส่วนสำหรับวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธที่นอร์มอลไลซ์แล้วที่มีการเทอร์มิเนทโหลดและแหล่งกำเนิดเท่ากับ 1 โอห์มสามารถหาได้จาก

$$A_k = 2\sin\frac{(2k-1)\pi}{2n} \qquad ,k=1,2,3\ldots n \qquad (2.2)$$

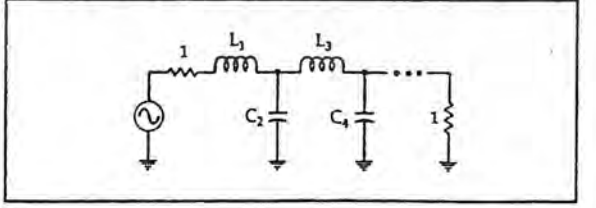
โดย n = จำนวนขององค์ประกอบในวงจรกรองความถี่

A_k = เป็นค่ารีแอคแตนส์ที่ k ในแลดเดอร์และอาจจะเป็นได้ทั้งตัวเหนี่ยวนำหรือตัวเก็บประจุ



n	C_1	L_2	C_3	L_4	C_5	L_6	C_7
2	1.414	1.414					
3	1.000	2.000	1.000				
4	0.765	1.848	1.848	0.765			
5	0.618	1.618	2.000	1.618	0.618		
6	0.518	1.414	1.932	1.932	1.414	0.518	
7	0.445	1.247	1.802	2.000	1.802	1.247	0.445

`n	L_1	C_2	L_3	C_4	L_5	C_6	L_7



ตารางที่ 2.4 ค่าองค์ประกอบต่าง ๆ ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ

เทอร์ม $(2k-1)\pi/2n$ อยู่ในหน่วยเรเดียนเราสามารถใช้สมการที่ 2.2 เพื่อหาค่าต่าง ๆ ภายในตารางที่ 2.4 ซึ่งแสดงถึงค่าขององค์ประกอบต่าง ๆ ภายในวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธที่มี $R_s = R_L = 1\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

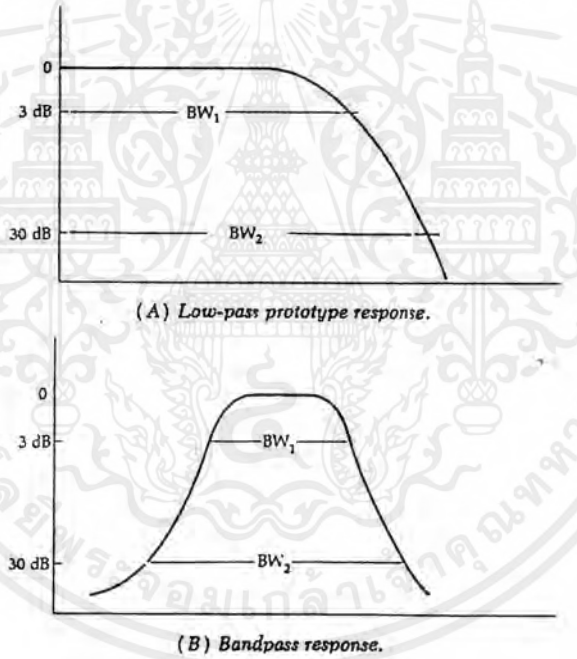
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ในการออกแบบวงจรกรองความถี่ช่วงผ่านนั้นจะใช้คุณสมบัติของวงจรกรองความถี่ต่ำผ่านมาออกแบบโดยใช้การทรานส์ฟอร์มจากวงจรกรองความถี่ต่ำผ่าน โดยการจะระบุคุณสมบัติการลดทอนของวงจรกรองความถี่ช่วงผ่านนั้นจะต้องทำในเทอร์มของเดิร์ฟตอบสนองของวงจรกรองความถี่ต่ำผ่านดังรูปที่ 2.15 โดยจะเห็นได้ว่าวงจรกรองความถี่ต่ำผ่านจะถูกทรานส์ฟอร์มไปเป็นวงจรกรองความถี่ช่วงผ่าน อัตราส่วนของแถบความถี่ที่ลดทอนจะมีค่าเท่าเดิม ตัวอย่างเช่น วงจรกรองความถี่ต่ำผ่านที่มีความถี่คัทออฟ 3-dB หรือมีแถบความถี่ 2 กิโลเฮิร์ต จะแปลงไปเป็นวงจรกรองความถี่ช่วงผ่านที่มีแถบความถี่ 3-dB เท่ากับ 2 กิโลเฮิร์ต โดยแกน f/f_C ที่ถูกนอร์มอลไลซ์แล้วของเดิร์ฟการลดทอนวงจรกรองความถี่ต่ำผ่านจะกลายเป็นอัตราส่วนของแถบความถี่ นั่นคือ

$$\frac{BW}{BW_C} = \frac{f}{f_C} \tag{2.3}$$

โดย BW = แถบความถี่ที่ค่าการลดทอนที่ต้องการ

BW_C = แถบความถี่ที่ 3-dB ของวงจรกรองความถี่ช่วงผ่าน



รูปที่ 2.15 การแปลงแถบความถี่จากความถี่ต่ำผ่านเป็นความถี่ช่วงผ่าน

ผลตอบสนองความถี่ของวงจรกรองความถี่ช่วงผ่านจะมีค่าสมมาตรเฉพาะในสเกลล็อกเท่านั้น ซึ่งในสเกลลิเนียร์จะไม่อยู่ตรงกลาง โดยจะหาค่าความถี่กึ่งกลางจากสูตร

$$f_0 = \sqrt{f_a f_b} \tag{2.4}$$

โดย f_a และ f_b เป็นความถี่ใด ๆ (ความถี่หนึ่งอยู่ก่อนช่วงพาสแบนด์อีกความถี่หนึ่งอยู่หลังช่วงพาสแบนด์) วิธีสร้างวงจรกรองความถี่ช่วงผ่านมีขั้นตอนดังนี้

1.ทำการแปลงความต้องการของวงจรกรองความถี่ช่วงผ่านไปเป็นวงจรกรองความถี่ต่ำผ่านจากสมการที่ 2.3

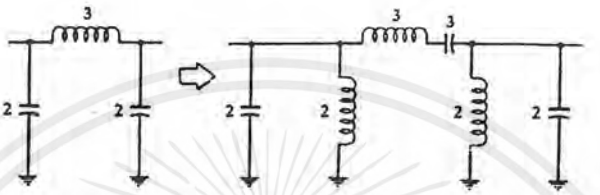
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

37111

2.ทำการหาอันดับที่เหมาะสมของวงจรโดยพิจารณาจากกราฟผลตอบสนองของวงจรกรองความถี่ต่ำผ่าน

3.หาผลตอบสนองของวงจรกรองความถี่ต่ำผ่าน

4.ทำการแปลงวงจรกรองความถี่ต่ำผ่านไปเป็นวงจรกรองความถี่ช่วงผ่านโดยเพิ่มส่วนประกอบเข้าไปในวงจรกรองความถี่ต่ำผ่าน ถ้าหากองค์ประกอบเป็นตัวเก็บประจุก็ใส่ตัวเหนี่ยวนำเพิ่มเข้าไปและเช่นกันกับตัวเหนี่ยวนำโดยค่าที่เพิ่มเข้าไปนั้นมีค่าเท่ากับองค์ประกอบตัวเดิมที่มีอยู่ และองค์ประกอบที่เพิ่มเข้าไปในวงจรนั้นจะขนานหรืออนุกรมตามองค์ประกอบตัวเดิมที่เพิ่มเข้าไปดังรูปที่ 2.16



รูปที่ 2.16 การแปลงองค์ประกอบวงจรจากความถี่ต่ำผ่านไปเป็นความถี่ช่วงผ่าน

5.ทำการสเกลลิ่งค่าขององค์ประกอบจากสูตรดังนี้

สำหรับส่วนที่เป็นรีโซแนนซ์ขนาน

$$C = \frac{C_n}{2\pi RB} \tag{2.5}$$

$$L = \frac{RB}{2\pi f_0^{\,2} L_n} \tag{2.6}$$

สำหรับส่วนที่เป็นรีโซแนนซ์อนุกรม

$$C = \frac{B}{2\pi f_0^{\,2} C_n R} \tag{2.7}$$

$$L = \frac{RL_n}{2\pi B} \tag{2.8}$$

โดย R = โหลดอิมพีแดนซ์ที่ต้องการ

B = ความกว้างแถบความถี่ 3-dB ที่ต้องการ

f_0 = ความถี่กึ่งกลางของวงจรกรองความถี่ช่วงผ่าน

L_n = ค่าตัวเหนี่ยวนำนอร์มอลไลซ์ของวงจรกรองความถี่ช่วงผ่าน

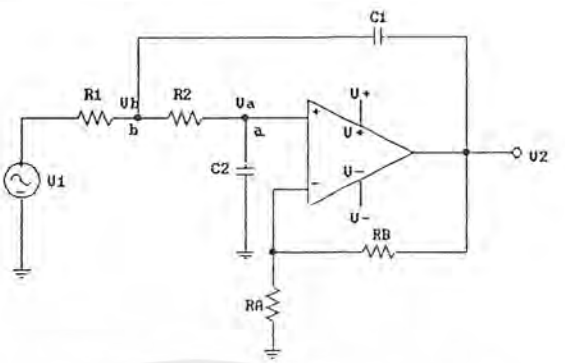
C_n = ค่าตัวเก็บประจุนอร์มอลไลซ์ของวงจรกรองความถี่ช่วงผ่าน

2.6.2 วงจรกรองความถี่ต่ำผ่านแอกทีฟแบบบัตเตอร์เวิร์ธ (Active Butterworth Low Pass Filter)

วงจรกรองความถี่ต่ำผ่าน คือ วงจรที่ยอมให้สัญญาณความถี่ต่ำกว่าความถี่คัทออฟ (อัตราขยายของวงจรมีค่าลดลง 3 เดซิเบล หรือเอาท์พุทตกลงเหลือ 0.707 เท่า) ผ่านออกมาได้ โดยการสูญเสียน้อยที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สุด ขณะที่สัญญาณที่ความถี่สูงกว่าความถี่คัทออฟ (อัตราขยายผ่านจะมีการสูญเสียมาก) ถูกกันไม่ให้ผ่านวงจรออกมา



รูปที่ 2.17 วงจรกรองความถี่ต่ำผ่านแบบแอคทีฟ

ในการทำโครงงานนี้จะเลือกใช้วงจรกรองความถี่ต่ำผ่านแอคทีฟแบบบัตเตอร์เวิร์ธ (Butterworth Low Pass Filter) ซึ่งเป็นชนิดวงจรกรองความถี่ที่มีคุณสมบัติเด่นเรื่องอัตราขยายคงที่ในช่วงผ่าน โดยแต่ละโพล (Pole) จะมีความชันของเส้นกราฟ (Roll-off) 20 เดซิเบล/ดีเกด (dB/decade)

จากวงจรดังรูปที่ 2.17 จะได้ความสัมพันธ์ระหว่าง $_2$ และ $_a$ ซึ่งก็คือ

$$\frac{V_2}{V_a} = 1 + \frac{R_B}{R_A} = K$$

จากกฎของเคอร์ชอฟ (Kirchoff's Current Law) ที่โนด a กระแสที่ออกมาจากโนดจะต้องมีผลรวมเท่ากับ 0 คือ

$$\frac{1}{R_2}\left(\frac{V_2}{K} - V_b\right) + \left(\frac{V_2}{K} - 0\right)C_2 s = 0$$

เช่นเดียวกัน ผลรวมของกระแสที่โนด b คือ

$$\frac{1}{R_2}\left(V_b - \frac{V_2}{K}\right) + C_1 s(V_b - V_2) + \frac{1}{R_1}(V_b - V_1) = 0$$

จัดรูปสมการใหม่

$$\left(\frac{1}{R_1} + \frac{1}{R_2} + C_1 s\right)V_b - \frac{1}{R_2}\frac{V_2}{K} = \frac{V_1}{R_1} + C_1 s V_2$$

และ

$$-\frac{1}{R_2}V_b + \left(\frac{1}{R_2} + C_2 s\right)\frac{V_2}{K} = 0$$

เราจะกำจัดความต่างศักย์ V_b ทิ้งและหาค่าอัตราส่วน $\frac{V_2}{V_1} = T$ จะได้

$$(s) = \frac{V_2}{V_1} = \frac{K1/R_1R_2C_1C_2}{s^2 + (1/R_1C_1 + 1/R_2C_2 - K/R_2C_2)s + 1/} R_1R_2C_1C_2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชันการถ่ายโอน (Transfer Function) จะถูกเขียนในรูปแบบทั่วไปดังนี้

$$T(s) = \frac{K\omega_0^2}{s^2 + (\omega_0 / Q)s + \omega_0^2}$$

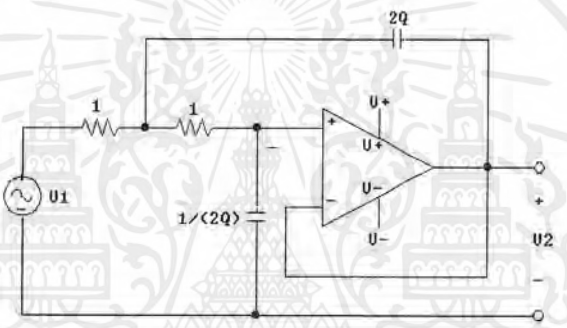
โดย $\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}}$

$$A_{VL} = K = 1 + \frac{R_A}{R_B}$$

ในกรณีที่เราเลือกค่า K = 1 และ $R_1 = R_2 = 1$ และ $\omega_0 = 1$ เราจะได้ว่า

$$T(s) = \frac{1}{s^2 + \frac{s}{Q} + 1}$$

พบว่า $\frac{2}{C_1} = \frac{1}{Q}$ และ $C_1 C_2 = 1$ ดังนั้น $C_1 = 2Q$ และ $C_2 = \frac{1}{2Q}$



รูปที่ 2.18 วงจรกรองความถี่ต่ำผ่านกรณี K = 1 และ $R_1 = R_2 = 1$

ซึ่งเราจะนำไปใช้ในการออกแบบวงจรดังรูปที่ 2.18 เมื่อเราได้วงจรออกมาเราจะคำนวณหาค่าความต้านทานและตัวเก็บประจุต่าง ๆ จากหลักการสเกลลิ่ง (Scaling) จะได้ว่า

$$R_{new} = K_m R_{old}$$

$$C_{new} = \frac{1}{K_m K_f} C_{old} \qquad (2.9)$$

เมื่อ K_m เป็นค่าคงที่ที่กำหนด และ $K_f = \frac{1}{2\pi f_c}$

โดยวงจรกรองความถี่ต่ำผ่านแบบแอคทีฟที่เราจะใช้ออกแบบจะเป็นวงจรกรองความถี่ต่ำผ่านอันดับที่สี่ โดยมีค่า Q = 0.54 , 1.31 ตามลำดับ

2.6.3 วงจรกรองความถี่ต่ำผ่านพาสซีฟแบบเกาส์เซียน (Passive Gaussian Low Pass Filter)

วงจรกรองความถี่แบบเกาส์เซียนจะใช้การประมาณค่าแมกนิจูดแบบเกาส์เซียน (the gaussian magnitude approximation) เราจะมาดูผลการตอบสนองของวงจรกรองความถี่แบบเกาส์เซียน โดยนิยามแล้ว ฟังก์ชั่นเกาส์เซียนมีรูปแบบคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$g(x) = \frac{1}{\sigma\sqrt{2\pi}} e^{-1/2[(x-m)/\sigma]^2} \tag{2.10}$$

โดย m = mean

σ = standard deviation

ถ้าหากผลตอบสนองอิมพัลส์ (impulse response) ของวงจรกรองความถี่อยู่ในรูปแบบนี้แล้ว วงจรกรองความถี่นั้นจะถูกเรียกว่าเป็นเกาส์เซียน โดยผลตอบสนองอิมพัลส์ของวงจรกรองความถี่แบบเกาส์เซียนในอุดมคติ สามารถเขียนได้ว่า

$$f_\delta(t) = \frac{1}{\sigma\sqrt{2\pi}} e^{-1/2[(t-T)/\sigma]^2} \tag{2.11}$$

ซึ่งเป็นรูปแบบของสมการ 2.11 สามารถแสดงได้ว่าผลตอบสนองอิมพัลส์เป็นผลให้ผลตอบสนองสเต็ป (step response) ไม่มีโอเวอร์ชู้ตซึ่งเป็นผลตอบสนองที่เราต้องการ

เนื่องจากผลตอบสนองอิมพัลส์แบบเกาส์เซียนมีคุณสมบัติของไทม์โดเมนที่ดี เราจึงหาทรานส์เฟอร์ฟังก์ชั่น $T(j\omega)$ ของมันออกมาเป็นค่าประมาณ โดยนิยาม $T(j\omega)$ เป็นการแปลงฟูเรียร์ของผลตอบสนองอิมพัลส์ จะได้

$$T(j\omega) = \int_{-\infty}^{\infty} f_\delta(t) e^{-j\omega t}\, dt$$

$$= \frac{1}{\sigma\sqrt{2\pi}} \int_{-\infty}^{\infty} e^{-1/2[(t-T)/\sigma]^2} e^{-j\omega t}\, dt$$

$$= e^{-\sigma^2\omega^2/2 - j\omega T}$$

ทรานส์เฟอร์ฟังก์ชั่น $H(j\omega)$ (อินพุท/เอาท์พุท) สามารถหาได้ว่า

$$H(j\omega) = e^{(\omega/\omega_0)^2 + j\omega T} \tag{2.12}$$

โดย $\omega_0^{\,2} = 2/\sigma^2$ ความถี่ ω_0 เป็นความถี่นอร์มอลไลซ์ซึ่งมีความเกี่ยวข้องกับจุด 3-dB โดยดูจากสมการ 2.12 ว่ารูปร่างแมกนิจูดของเกาส์เซียนในอุดมคติสามารถเขียนได้เป็น

$$|H(j\omega)| = e^{(\omega/\omega_0)^2} \tag{2.13}$$

จะได้ว่าจุด 3-dB ω_{3dB} เป็นดังนี้

$$|H(j\omega_{3dB})| = \sqrt{2} = e^{(\omega_{3dB}/\omega_0)^2}$$

ดังนั้น

$$\omega_{3dB} = \left(\frac{\ln 2}{2}\right)^{1/2} \cdot \omega_0$$

สมการ 2.12 แสดงให้เห็นว่า $H(j\omega)$ มีเฟสเป็นลิเนียร์ ถ้าผลตอบสนองอิมพัลส์ของวงจรกรองความถี่เป็นเกาส์เซียนแล้ว ค่าดีเลย์ของมันจะคงที่ หรืออาจกล่าวได้ในอีกมุมหนึ่งว่า ถ้าทรานส์เฟอร์ฟังก์ ชั่น $H(s)$ มีค่าดีเลย์คงที่แล้ว ผลตอบสนองอิมพัลส์ของมันจะเป็นค่าประมาณแบบเกาส์เซียน

รูปร่างแมกนิจูดของเกาส์เซียนในสมการที่ 2.13 จะเห็นว่าเป็นไปไม่ได้ ซึ่งสามารถพิสูจน์ได้โดยการประยุกต์ทฤษฎีของพาเลย์และไวน์เนอร์ซึ่งแสดงให้เห็นว่า ถ้า $A(\omega)$ มีค่าที่เป็นไปได้แล้ว

$$\int_{-\infty}^{\infty} \frac{|\log A(\omega)|}{1+\omega^2}\, d\omega \tag{2.14}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการข้างบนจะต้องมีค่า การอินทิเกรตนี้จะไม่มีค่าสำหรับรูปร่างแมกนิจูดของเกาส์เซียน ค่าประมาณที่เป็นไปได้ของรูปร่างแมกนิจูดของเกาส์เซียนในอุดมคตินั้นสามารถหาได้จากการใช้การกระจายอนุกรมดังนี้

$$\left|H(j\omega_3)\right|^2 = e^{2(\omega/\omega_0)^2} = \sum_{i=0}^{\infty} \frac{2i}{i!}\left(\frac{\omega}{\omega_0}\right)^{2i} \tag{2.15}$$

ตัวอย่างของการประมาณค่าแบบเกาส์เซียนอันดับที่สามคือ

$$\left|H(j\omega)\right|^2 = 1 + 2\left(\frac{\omega}{\omega_0}\right)^2 + \frac{2^2}{2!}\left(\frac{\omega}{\omega_0}\right)^4 + \frac{2^3}{3!}\left(\frac{\omega}{\omega_0}\right)^6 \tag{2.16}$$

ค่าพารามิเตอร์ ω_0 สามารถเลือกเพื่อให้ได้ค่าความกว้างของพาสแบนด์ที่ต้องการ เช่น โดยนิยามแล้ว ค่านอร์มอลไลซ์ของวงจรกรองความถี่แบบเกาส์เซียนจะต้องมี $\left|H(j)\right|^2 = 2$ ดังนั้นสำหรับวงจรกรองความถี่แบบเกาส์เซียนที่ถูกนอร์มอลไลซ์อันดับที่สามจะได้เป็น

$$2 = 1 + 2\left(\frac{1}{\omega_0}\right)^2 + \frac{2^2}{2!}\left(\frac{1}{\omega_0}\right)^4 + \frac{2^3}{3!}\left(\frac{1}{\omega_0}\right)^6$$

โดยคำตอบของสมการข้างบนคือ ω_0 = 1.692 เช่นเดียวกัน เมื่อ n=4 เราจะหาค่า ω_0 =1.698 ตัวอย่างทั้งสองแสดงว่าเมื่อ n มีค่าเพิ่มขึ้น ω_0 จะมีค่าเข้าใกล้ค่าอะซิมโทรปิค (asymtropic) โดยค่านี้จะสามารถหาได้โดยเมื่อ n มีค่าเพิ่มขึ้นเรื่อย ๆ จะทำให้ได้ค่าประมาณแบบเกาส์เซียนมีค่าเข้าใกล้อุดมคติ ดังสมการ 2.10 และ 2.11 โดยค่าอะซิมโทรปิคของ ω_0 สำหรับวงจรกรองความถี่แบบเกาส์เซียนที่นอร์มอลไลซ์แล้วจะเท่ากับ

$$2 = e^{2(1/\omega_0)^2}$$

จะหาค่าของ $\omega_0\sqrt{2/\ln 2}$

การสูญเสียสต็อปแบนด์ของวงจรกรองความถี่แบบเกาส์เซียนที่นอร์มอลไลซ์แล้วจะเป็นดังรูปที่ 2.19 เคิร์ฟเหล่านี้หาโดยการใช้สมการ 2.15 ค่าสำหรับ ω_0 ถูกหาได้เช่นเดียวกันโดยการใช้ $\left|H(j)\right|^2 = 2$ เมื่อเปรียบเทียบกับวงจรกรองความถี่แบบเบสเซลพบว่าการสูญเสียสต็อปแบนด์ของวงจรกรองความถี่แบบเกาส์เซียนอันดับที่ n จะมีค่าการสูญเสียน้อยกว่าวงจรกรองความถี่แบบเบสเซล อันดับที่ n

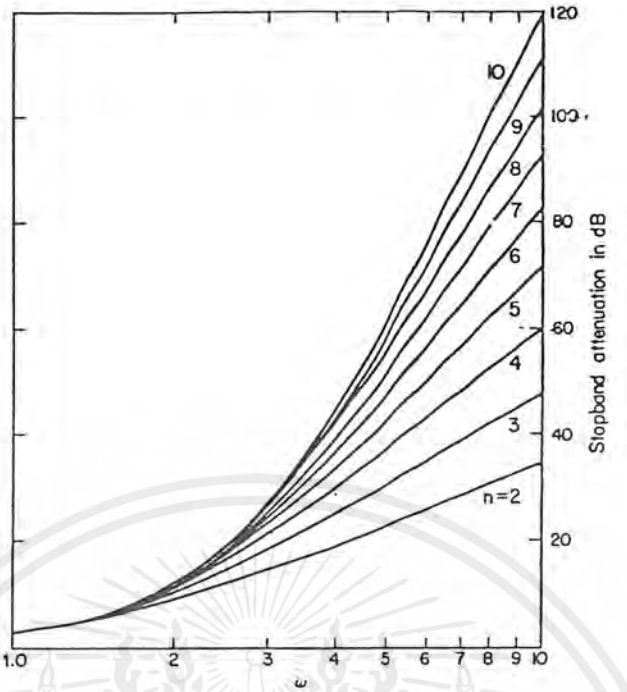
ในการหาดีเลย์ของวงจรกรองความถี่แบบเกาส์เซียนอันดับที่ n เราจะใช้สมการสำหรับ H(s) ซึ่งหาได้จาก

$$H(s)H(-s) = \sum_{i=0}^{n} \frac{(-2)^i}{i!}\left(\frac{s}{\omega_0}\right)^{2i} \tag{2.17}$$

เมื่อทำการหาดีเลย์ได้แล้ว พบว่ามีค่าดีเลย์น้อยและมีผลตอบสนองสเต็ปดีมากซึ่งเป็นคุณลักษณะของวงจรกรองความถี่แบบเกาส์เซียน โดยค่า Doubly Terminate Losses Ladder Element เมื่อใช้การประมาณค่าแบบเกาส์เซียนจะเป็นดังตารางที่ 2.5

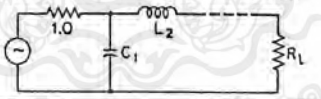
โดยสามารถหาค่าต่าง ๆ จาก $C = \frac{C_n}{2\pi f_c R}, L = \frac{RL_n}{2\pi f_c}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19 การลดทอนของวงจรกรองความถี่แบบเกาส์เซียนที่นอร์มอลไลซ์แล้ว

n	R_1	C_1	L_2	C_3	L_4	C_5	L_6	C_7	L_8	C_9	L_{10}
2	1.0000	2.1850	0.4738								
3	1.0000	2.2262	0.8167	0.2624							
4	1.0000	2.2450	0.9321	0.5302	0.1772						
5	1.0000	2.2533	0.9782	0.6485	0.3896	0.1312					
6	1.0000	2.2568	0.9982	0.7050	0.5004	0.3045	0.1026				
7	1.0000	2.2583	1.0073	0.7333	0.5606	0.4055	0.2473	0.0833			
8	1.0000	2.2590	1.0116	0.7479	0.5942	0.4658	0.3388	0.2065	0.0695		
9	1.0000	2.2593	1.0137	0.7556	0.6134	0.5025	0.3973	0.2892	0.1761	0.0591	
10	1.0000	2.2594	1.0147	0.7597	0.6244	0.5250	0.4353	0.3451	0.2509	0.1525	0.0512



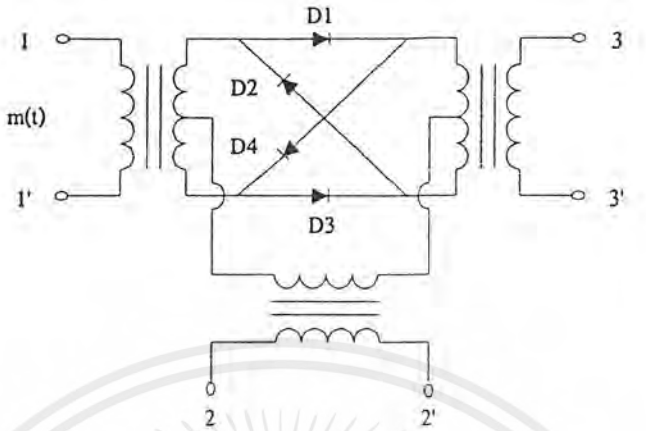
ตารางที่ 2.5 องค์ประกอบต่าง ๆ ของวงจรกรองความถี่แบบเกาส์เซียนที่นอร์มอลไลซ์แล้ว

2.7 ริง มอดูเลเตอร์ (Ring Modulator)

ริง มอดูเลเตอร์เป็นมอดูเลเตอร์แบบสวิตช์ ซึ่งมีไดโอดต่อกันตามรูปที่ 2.20 การทำงานของวงจรสามารถอธิบายการทำงานได้ดังนี้ คือ สมมติว่าไม่มีสัญญาณ m(t) เข้ามาชั่วขณะ และให้คลื่นพาห์มีขนาดแรงพอสมควร ในเวลาที่คลื่นพาห์มีสถานะเป็นบวก ไดโอด D_1 และ D_3 จะนำกระแส แต่ D_2 และ D_4 จะตัดกระแส ดังนั้นวงจรสมมูลในสถานะเช่นนี้วงจรสมมูลจะเป็นดังแสดงในรูปที่ 2.21 ครั้นพอถึงเวลาที่คลื่นพาห์เปลี่ยนเป็นลบ ไดโอด D_1 และ D_3 จะตัดกระแส แต่ไดโอด D_2 และ D_4 จะนำกระแส ทำให้วงจรสมมูลในสถานะนี้ เป็นดังรูปที่ 2.22 ดังนั้นเมื่อทำการพิจารณาโดยรวมจะเห็นว่าคลื่นพาห์จะ

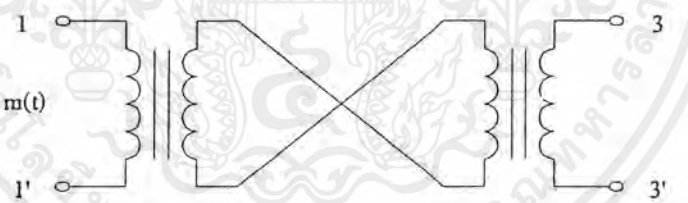
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นตัวคอยควบคุมการตัดต่อวงจรให้สัญญาณจากอินพุทไปปรากฏเป็นบวกหรือลบสลับกันที่เอาท์พุท ตามสถานะของคลื่นพาห์ กล่าวคือ สถานะการตัดต่อสวิตช์จะเป็นฟังก์ชั่นของเวลา



รูปที่ 2.20 ริงมอดูเลเตอร์

รูปที่ 2.21 วงจรสมมูลเมื่อคลื่นพาห์เป็นบวก



รูปที่ 2.22 วงจรสมมูลเมื่อคลื่นพาห์เป็นลบ

ถ้าพิจารณาในเชิงคณิตศาสตร์ จะเห็นว่าสัญญาณเอาท์พุท $v_O(t)$ เป็นผลคูณของสัญญาณ $m(t)$ กับสัญญาณสวิตช์ $s(t)$ แต่ $s(t)$ เป็นสัญญาณที่มีคาบสามารถกระจายเป็นอนุกรมฟูริเยร์ได้เป็น

$$s(t) = \sum_{n=-\infty}^{\infty} S_n e^{jn\omega_C t}$$

โดยที่ S_n คือ ค่าขนาดของคลื่นฮาร์โมนิคในอนุกรมฟูริเยร์ ดังนั้น

$$v_O(t) = \sum_{n=-\infty}^{\infty} S_n m(t) e^{jn\omega_C t}$$

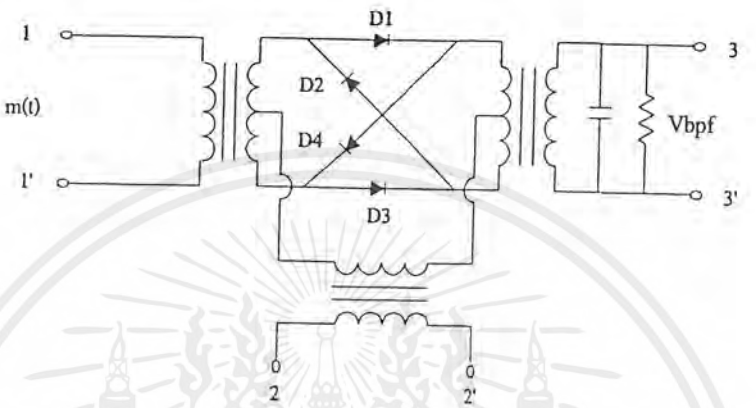
เมื่อนำ $v_O(t)$ ผ่านวงจรกรองความถี่ผ่านที่มีความถี่กลางที่ ω_C และมีแบนด์วิดธ์ที่เหมาะสมแล้ว จะได้เอาท์พุทของวงจรกรองความถี่ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_{BPF} = S_{-1}m(t)e^{-j\omega_C t}$$
$$= 2S_1 m(t)\cos(\omega_C t)$$

ทั้งนี้เพราะ $S_1 = S_{-1}$ จะเห็นว่า v_{BPF} นั้นคือสัญญาณดีเอสบี เอสซีนั่นเอง

ในทางปฏิบัติวงจรกรองความถี่ผ่าน มักจะสร้างขึ้นด้วยวงจรแทงค์รีโซแนนซ์ ซึ่งประกอบด้วยขดลวดเหนี่ยวนำซึ่งก็คือด้านหนึ่งของเอาท์พุทหม้อแปลงและตัวเก็บประจุซึ่งวงจรที่ได้จึงมีลักษณะง่าย ๆ ตามรูปที่ 2.23



รูปที่ 2.23 วงจรริงมอดูเลเตอร์เชิงปฏิบัติ

ข้อได้เปรียบของริงมอดูเลเตอร์ก็คือ มีเอาท์พุทที่แรงกว่าเป็น 2 เท่าของสัญญาณอินพุท ทั้งนี้เนื่องจากอัตราส่วนของหม้อแปลงนั้นมีอัตราส่วนวงรอบการพันเท่ากับ 2 : 1 ดังนั้นเอาท์พุทจึงมีขนาดแรงกว่าเป็นสองเท่าของสัญญาณอินพุทนั่นเอง

2.8 ระบบสังเคราะห์ความถี่แบบใช้เฟสล็อกลูป (Phase Lock Loop Frequency Synthesizer)

ระบบสังเคราะห์ความถี่แบบใช้เฟสล็อกลูปเป็นวงจรสังเคราะห์ความถี่ชนิดโปรแกรมได้ ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะ และให้มีความถี่ตามที่เรากำหนดโดยการประยุกต์ใช้งานของเฟสล็อกลูป ซึ่งเป็นระบบป้อนกลับที่มีการเปลี่ยนความถี่และเฟสของวงจรของออสซิลเลเตอร์ตามสัญญาณอินพุทที่ป้อนเข้ามา บล็อกไดอะแกรมเบื้องต้นของระบบสังเคราะห์ความถี่แบบใช้เฟสล็อกลูป แสดงดังรูปที่ 2.24 ประกอบด้วยส่วนสำคัญ 4 ส่วน ดังนี้

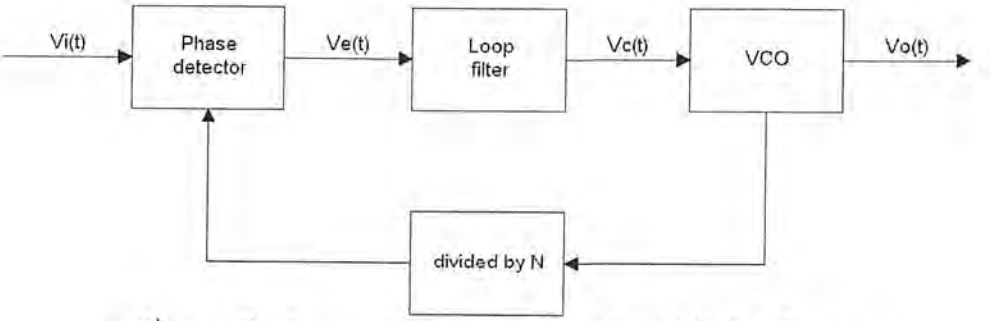
1.ส่วนเปรียบเทียบเฟส (Phase Detector : PD)

2.ลูปฟิลเตอร์ (Loop Filter:LF)

3.วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (Voltage Control Oscillator : VCO)

4.วงจรหารความถี่ที่สามารถโปรแกรมได้ (Programmable Divider)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 บล็อกไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกลูป

สามารถอธิบายการทำงานคร่าว ๆ ได้ดังนี้ ขณะที่ยังไม่มีสัญญาณเข้าไปในระบบ แรงดันควบคุม $V_c(t)$ จะเท่ากับศูนย์ วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันจะทำงานโดยตั้งความถี่ไว้ที่ f_0 เรียกว่า ความถี่ฟรีรันนิ่ง (Free Running Frequency) ถ้ามีสัญญาณเข้าไปในระบบ เฟสดีเทคเตอร์จะทำการเปรียบเทียบเฟสและความถี่ของสัญญาณอินพุท f_R กับความถี่ของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน ถ้าเกิดความแตกต่างของสัญญาณทั้งสองเนื่องจากความถี่ไม่ตรงกันจะเกิดแรงดันคลาดเคลื่อนออกมา $V_e(t)$ แรงดันคลาดเคลื่อนนี้จะถูกกรองผ่านวงจรลูปฟิลเตอร์ ขยาย แล้วป้อนให้กับวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน ในการนี้แรงดันควบคุม $V_C(t)$ จะไปบังคับความถี่ของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันให้เปลี่ยนไปในทิศทางที่จะลดความถี่ที่แตกต่างระหว่างความถี่ f_0 กับความถี่ f_R ใกล้เคียงกับความถี่ f_0 จากการป้อนกลับของเฟสล็อกลูปซึ่งสัญญาณที่ป้อนกลับไปยังลูปฟิลเตอร์จะเป็นความถี่เอาท์พุทของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันที่ถูกหารโดย N จะทำให้วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันซิงโครไนซ์หรือล็อก (lock) กับสัญญาณอินพุทที่ป้อนเข้ามา ขณะที่ทำการล็อกนั้นความถี่ของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันจะเท่ากับความถี่ของสัญญาณอินพุทพอดี

ในสภาวะล็อกความถี่จะได้ว่า

$$f_R = f_d \tag{2.18}$$

และความถี่ที่ได้จากการหาร

$$f_d = f_0 / N \tag{2.19}$$

ดังนั้นความถี่ที่เอาท์พุทจะได้เป็น

$$f_0 = Nf_1 \tag{2.20}$$

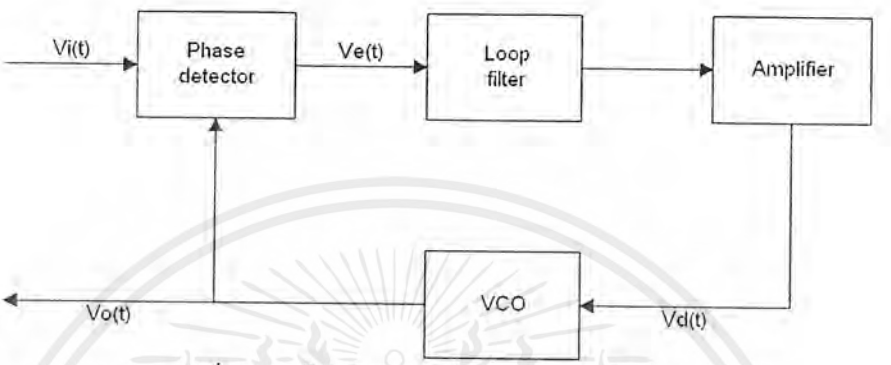
แต่ในสภาวะล็อกความถี่ เฟสของสัญญาณทั้งสองจะยังคงต่างกันอยู่ซึ่งมีความจำเป็นต่อการผลิตแรงดันคลาดเคลื่อน $V_e(t)$ ที่จะไปคอยปรับความถี่งวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันจากค่าความถี่ฟรีรันนิ่งให้เท่ากับความถี่ที่เข้ามา ดังนั้นเฟสล็อกลูปจะยังคงรักษาสภาพการล็อกอยู่ การที่ระบบสามารถที่ปรับตัวได้เองทำให้เฟสล็อกลูปสามารถติดตามการล็อกกับระบบซึ่งจะขึ้นอยู่กับแรงดันคลาดเคลื่อน (capture range) จะขึ้นอยู่กับขอบแบนด์ของวงจรกรองความถี่และอัตราขยายลูปปิดของระบบทั้งหมด เฟสล็อกลูปที่มีการหารความถี่ชนิดโปรแกรมได้ภายในลูปเป็นวิธีที่เหมาะสำหรับการสังเคราะห์ความถี่ที่มีค่ามากจากความถี่อ้างอิงความถี่เดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติที่ต้องการของวงจรสังเคราะห์ความถี่จะต้องผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนด ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงที่แน่นอน แล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนแปลงได้ทีละขั้น ซึ่งเรียกว่า รีโซลูชั่น (resolution)

2.8.1 ระบบเฟสล็อกลูป

ระบบเฟสล็อกลูปเบื้องต้นแสดงได้ดังรูปที่ 2.25



รูปที่ 2.25 บล็อกไดอะแกรมของวงจรเฟสล็อกลูป

แต่ละส่วนมีผลต่อคุณสมบัติและการทำงานของระบบ ซึ่งหน้าที่ของแต่ละส่วนจะอธิบายได้ดังนี้

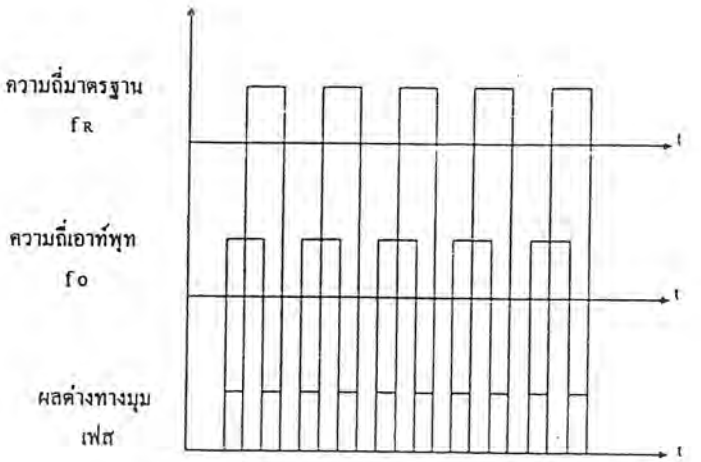
1. เฟสดีเทคเตอร์ (Phase detector) ทำหน้าที่เปรียบเทียบเฟสของอินพุทซึ่งจะมีสองผลของเฟสที่ต่างกันเรียกว่า เฟสเออเรอร์ (Phase error) เฟสเออเรอร์นี้จะมีค่าน้อยที่สุดเป็นศูนย์ และจะมีค่ามากที่สุดเป็น $\pi/2$ เฟสดีเทคเตอร์จะทำการเปลี่ยนเฟสเออเรอร์นี้ให้กลายเป็นระดับโวลท์เตจด้วยค่าคอนเวอร์ชั่นเกน K_d (volt/radian) ลักษณะการเปรียบเทียบเฟสของอินพุททั้งสองของเฟสดีเทคเตอร์จะได้แสดงดังรูปที่ 2.26

2. ลูปฟิลเตอร์ (Loop filter) ทำหน้าที่กรองสัญญาณความถี่สูงที่ออกมาจากเฟสดีเทคเตอร์ เนื่องจากเฟสดีเทคเตอร์ให้เอาท์พุทเป็นสัญญาณดีซีที่มีเอซีโวลท์เตจร่วมมาด้วย สัญญาณความถี่ที่ได้เกิดจากความต่างเฟส ยิ่งต่างเฟสมากความถี่ยิ่งสูง ดังนั้นลูปฟิลเตอร์จึงช่วยกรองเอาสัญญาณความถี่สูงซึ่งแสดงว่ามีความต่างเฟสมากออกทำให้ระบบสามารถแคปเจอร์ สัญญาณได้ในช่วงหนึ่งและช่วยให้ระบบรักษาการล็อกไว้ได้อีกด้วย

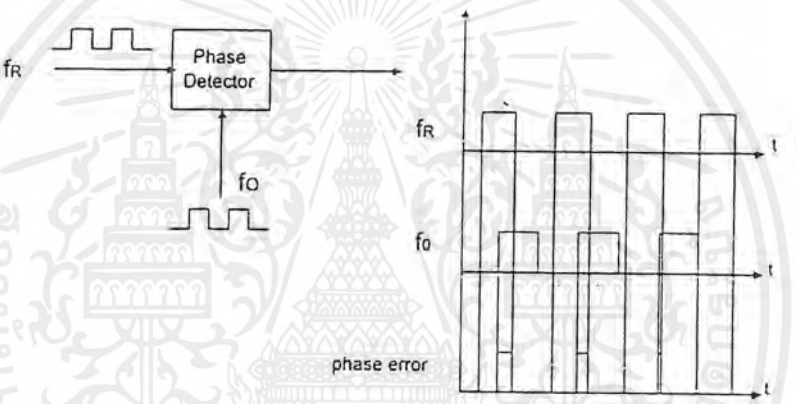
3. วงจรขยายสัญญาณ (Amplifier) ใช้ปรับขนาดสัญญาณไฟตรง เพื่อให้การควบคุมดีขึ้น เอาท์พุทของวงจรนี้จะป้อนให้แก่วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน

4. วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (Voltage Control Oscillator) จะทำหน้าที่ผลิตสัญญาณความถี่โดยการควบคุมระดับโวลท์เตจอินพุทด้วยคอนเวอร์ชั่นเกน K_0 (radian/volt) ระดับโวลท์เตจนี้จะได้จากเอาท์พุทของลูปฟิลเตอร์ ความถี่ที่ล็อคมาจากลูปฟิลเตอร์จะมีผลทำให้เอาท์พุทของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันเปลี่ยนความถี่ด้วยเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.26 ผลต่างเฟสเมื่อความถี่อินพุทเท่ากัน



รูปที่ 2.27 ผลต่างเฟสเมื่อความถี่อินพุทไม่เท่ากัน

การทำงานของระบบเฟสล็อกลูปสามารถอธิบายอย่างคร่าว ๆ ได้ดังนี้ เฟสดีเทคเตอร์จะเปรียบเทียบเฟสของสัญญาณอินพุท $V_i(t)$ กับความถี่ของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันและทำให้ได้เออเรอร์โวลท์เตจ $V_e(t)$ และกรองผ่านลูปฟิลเตอร์ไปยังคอนโทรลอินพุทของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันในรูปของแรงดันเพื่อควบคุมความถี่ของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน

ตามปกติเมื่อไม่มีสัญญาณอินพุทป้อนให้กับระบบเฟสล็อกลูปเออเรอร์โวลท์เตจที่ผ่านลูปฟิลเตอร์ $V_d(t)$ ในฟีดแบ็คลูปจะมีค่าเป็นศูนย์ วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันจะทำงานที่ความถี่ศูนย์กลาง $\omega_0 = 2\pi f_0$ ซึ่งเราเรียกว่า ความถี่ฟรีรันนิ่งของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน

ถ้ามีสัญญาณอินพุทเป็นเอซีป้อนให้กับระบบเฟสล็อกลูปและสัญญาณดังกล่าวมีความถี่อินพุท $\omega_R = 2\pi f_R$ ใกล้เคียงกับความถี่ฟรีรันนิ่งเพียงพอ การฟีดแบ็คของเฟสล็อกลูปจะทำให้ได้เออเรอร์โวลท์เตจไปขับวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันให้มีความถี่ซิงโครไนส์กับความถี่อินพุท ซึ่งแสดงว่าระบบเฟสล็อกลูปมีความถี่เอาท์พุทกับความถี่ของสัญญาณอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของระบบเฟสล็อกลูปสามารถแบ่งได้เป็น 3 ลักษณะตามคุณสมบัติของลูปดังนี้

ก. เมื่อระบบไม่อยู่ในสภาวะล็อก $\omega_R \neq \omega_0$

จากเฟสล็อกลูปในรูปที่ 2.24 เราสมมติสัญญาณ V_i และ V_0 เป็นสัญญาณรูปคลื่นซายน์มีค่าเป็น

$$\begin{aligned} V_i(t) &= E_i \cos(\omega_i t + \theta_i) \\ V_0(t) &= E_0 \cos(\omega_0 t + \phi_0) \end{aligned} \tag{2.21}$$

ถ้าเฟสดีเทคเตอร์มีคุณสมบัติเป็นอนาล็อกมัลติพลายเออร์ เราจะได้สัญญาณเอาท์พุทของเฟสดีเทคเตอร์เป็น

$$V_e(t) = K_d \cos[(\omega_i - \omega_o)t + \theta_i - \phi_o] + K_d \cos[(\omega_i + \omega_o)t + \theta_i + \phi_o] \tag{2.22}$$

เมื่อนำสัญญาณผ่านวงจรกรองความถี่ต่ำผ่านจะได้ว่า

$$V_d(t) = K_d \cos[(\omega_i - \omega_o)t + \theta_i - \phi_o] \tag{2.23}$$

เนื่องจาก V_i และ V_o ไม่ซิงโครไนซ์กัน ดังนั้นสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ V_d จะเป็นสัญญาณรูปคลื่นซายน์ที่มีแอมปลิจูดสูงสุดเท่ากับ K_d และมีความถี่เชิงมุมเท่ากับความถี่เชิงมุมระหว่างสัญญาณ และ V_o คือ ω_i และ ω_o มีค่าแตกต่างกันมาก ดังนั้นโวลเตจ V_d จะไม่สามารถผ่านลูปฟิลเตอร์ได้ ทำให้ได้ค่า V_c และการฟีดแบ็คของลูปจะไม่มีผลอะไรคือไม่เกิดการเปลี่ยนแปลงใด ๆ ภายในลูป เอาท์พุทโวลท์เตจของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันจะมีค่าอยู่ที่ความถี่ฟรีรันนิ่ง แต่ถ้า $\omega_i - \omega_o = \pm\omega$ มีค่าน้อยกว่าแถบความถี่ของลูปซึ่งกำหนดได้โดยพารามิเตอร์ของลูปและการฟีดแบ็คจะมีผลขับให้ระบบเข้าสู่สภาวะล็อกได้

ข. เมื่อระบบเข้าสู่สภาวะล็อก $(\omega_i = \omega_o)$

ในกรณีที่สัญญาณเอาท์พุทของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันมีความถี่ซิงโครไนส์กับสัญญาณอินพุท V_i สัญญาณเอาท์พุท V_o จะมีค่าเป็น

$$V_o = E_o \cos(\omega_i t + \psi_o) \tag{2.24}$$

นอกจากนั้นค่าของเฟสของสัญญาณเอาท์พุท จะเป็นลิเนียร์ฟังก์ชั่นกับเวลาซึ่งมีค่าเป็น

$$\phi_o = (\omega_i - \omega_o)t + \psi_o \tag{2.25}$$

และสัญญาณเอาท์พุทของเฟสดีเทคเตอร์หรือสัญญาณเออเรอร์จะกลายเป็นสัญญาณดีซี มีค่าเท่ากับ

$$V_d = K_d \cos(\theta_i - \psi_o) \tag{2.26}$$

ลูปฟิลเตอร์จะยอมให้สัญญาณดีซี V_d ผ่านได้และมีค่าเท่ากับ

$$V_d = K_d \cos(\theta_i - \psi_o) \tag{2.27}$$

วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันจะเป็นฟรีเควนซีโมดูเลทเตดออสซิลเลเตอร์ ความถี่เชิงมุมที่เปลี่ยนอย่างทันทีทันใดของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (ω_{inst}) จะเป็นลิเนียร์ฟังก์ชั่นกับสัญญาณคอนโทรลอินพุท V_c โดยรอบความถี่เชิงมุมศูนย์กลาง

$$\begin{aligned} \omega_{inst} &= \frac{d(\omega_o t + \phi_o)}{dt} = \omega_o + K_o V_d \\ \frac{d(\phi_o)}{dt} &= K_o V_d \end{aligned} \tag{2.28}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ K_o เป็นคอนเวอร์ชั่นคอนสแตนท์ซึ่งหมายถึงความไวในการมอดูเลชั่นของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน

แทนค่าสมการ 2.27 ลงใน 2.28 จะได้

$$\begin{aligned}\omega_i - \omega_o &= K_d K_o \cos(\theta_i - \psi_o) \\ \psi_o &= \theta_i - \cos^{-1}\left[(\omega_i - \omega_o)/K_d K_o\right]\end{aligned} \tag{2.29}$$

ดังนั้นสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ V_d สามารถเขียนได้เป็น

$$V_d = (\omega_i - \omega_o)/K_o \tag{2.30}$$

ส่วนประกอบดีซีของเฟสดีเทคเตอร์เอาท์พุท V_d จะผ่านวงจรกรองความถี่ต่ำผ่านไปเป็นคอนโทรลโวลท์เตจให้กับอินพุทของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน

จากสมการ 2.30 จะเห็นได้ชัดเจนว่า สัญญาณดีซี V_d จะไปทำให้ความถี่เชิงมุมของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันมีค่าเปลี่ยนไปจากศูนย์กลางของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันคือ ω_o ไปเท่ากับความถี่เชิงมุมของสัญญาณอินพุท ω_i นั่นคือ

$$\omega_{inst} = \omega_o + K_o V_d = \omega_o + (\omega_i - \omega_o) = \omega_i \tag{2.31}$$

ถ้าความแตกต่างของความถี่เชิงมุมเริ่มต้น $\omega_i - \omega_o$ มีค่าน้อยกว่าผลคูณของ $K_d K_o$ อย่างมาก สมการ 2.30 จะมีค่าเป็น

$$\theta_i - \psi_o \cong \cos^{-1} 0 = \pi/2 \tag{2.32}$$

จากสมการ 2.32 หมายความว่าถ้าความถี่ออฟเซทระหว่างสัญญาณอินพุทและสัญญาณจากวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันจะมีค่าน้อยเมื่อลูปไม่อยู่ในสภาวะล็อกและสัญญาณจากวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันจะมีเฟสต่างกับสัญญาณอินพุท 90 องศา เมื่อลูปอยู่ในสภาวะล็อกหรือเฟสควอดดราเจอร์จะสอดคล้องกับ $\omega_i = \omega_o$ ด้วยเหตุผลนี้จึงแทนค่า ψ_o ด้วยค่าเฟสเอาท์พุท θ_o ดังนั้น

$$\theta_o = \psi_o - \pi/2 \tag{2.33}$$

เอาท์พุทโวลท์เตจของเฟสดีเทคเตอร์เขียนได้ใหม่เป็น

$$\begin{aligned}V_d &= K_d \cos(\theta_i - \psi_o) \\ &= K_d \cos[(\theta_i - \theta_o) - \pi/2] \\ &= K_d \sin(\theta_i - \theta_o)\end{aligned} \tag{2.34}$$

และจากสมการ 2.32 และ 2.33 จะได้ค่าเฟสเออเรอร์เป็น

$$\theta_i - \theta_o = \sin^{-1}(\omega_i - \omega_o)/K_d K_o \tag{2.35}$$

เมื่อผลต่างของเฟส $\theta_i - \theta_o$ มีค่าน้อยเพียงพอจะได้ว่า

$$V_d = K_d(\theta_i - \theta_o) \cong K_d \theta_e \tag{2.36}$$

เมื่อ $\theta_e = \theta_i - \theta_o$ แต่เนื่องจากคุณสมบัติของเฟสดีเทคเตอร์แบบนี้เมื่อลูปเข้าสู่การล็อกสัญญาณของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน จะมีเฟสต่างไปจากสัญญาณอินพุท 90° คือ $[\theta_i - (\theta_0 + \pi/2)]$ ลักษณะของเฟสควอดดราเจอร์ ดังนั้นเฟสดีเทคเตอร์จะให้เอาท์พุทโวลท์เตจที่เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัดส่วนกับความต่างเฟสระหว่างสัญญาณอินพุท V_i กับสัญญาณเอาท์พุทของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน คือ V_0 ในลักษณะของควอดดราเจอร์ คือ

$$V_d = K_d[(\theta_i - \theta_o) - \pi/2]$$
$$= K_d(\theta_e - \pi/2) \quad (2.37)$$

สัญญาณเฟสเซ็นซีทีฟ V_d นี้จะผ่านลูปฟิลเตอร์ไปป้อนให้กับคอนโทรลอินพุทของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันเพื่อแก้ไขให้ความถี่ของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันเปลี่ยนจาก ω_0 ไปเป็น ω_i และดำรงการล็อกให้คงอยู่ได้

$$V_d = (\omega_i - \omega_o)/K_o \quad (2.38)$$
$$\omega_i = \omega_o + K_o V_d$$

จากสมการ 2.33 และ 2.34 จะหาค่าของเฟสเออเรอร์ θ_e ได้เป็น

$$\theta_i = \pi/2 + [(\omega_i - \omega_o)]/K_d K_o \quad (2.39)$$

จากสมการ 2.20 จะสังเกตได้ว่าเมื่อ $\omega_i = \omega_o$ โวลท์เตจเอาท์พุทของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันจะมีเฟสควอดดราเจอร์ คือ มีเฟสต่างไปจากเฟสของสัญญาณอินพุทโวลเตจ 90° ไปสู่ค่าสูงสุด 180° ที่อยู่เหนือสุดของพิกัดการล็อก และถ้า ω_i เคลื่อนไปทางต่ำกว่า ω_o มุมเฟสจะลดลงจาก 90° ไปสู่ค่า 0° ที่ล่างสุดของพิกัดการล็อก

ถ้าความถี่ของสัญญาณอินพุทเปลี่ยนแปลงไปอย่างช้า ๆ ระบบเฟสล็อกลูปจะสามารถติดตามการเปลี่ยนแปลงและอยู่ในสภาวะล็อกได้โดยจะเพิ่มค่า θ_e ให้มากขึ้นตามเวลา θ_e ที่เพิ่มขึ้นจะถูกเปลี่ยนไปเป็นดีซีเออเรอร์โวลเตจ V_d ไปขับให้ความถี่ของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันเลื่อนไปเท่ากับความถี่ของสัญญาณอินพุท โดย V_d จะมีค่าเป็นสัดส่วนโดยตรงกับผลต่างระหว่าง ความถี่สัญญาณอินพุท ω_i กับความถี่ฟรีรันนิ่ง ω_0 ของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน แต่ถ้าจะสามารถแทร็คกิ้งได้นั้นจะต้องมีเฟสเออเรอร์น้อย

สมมติว่าระบบเฟสล็อกลูปมีเฟสอินพุทเปลี่ยนแปลงเป็นสเต็ปเท่ากับ $\Delta\omega = \omega_i - \omega_o$ ลูปต้องการโวลท์เตจควบคุมเพื่อไปขับวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันให้มีความถี่เลื่อนไปเท่ากับ $\Delta\omega$ ดังนั้น V_C จะมีค่าเป็น

$$V_C = \Delta\omega / K_0 \quad (2.40)$$

เมื่อลูปเข้าสู่สภาวะคงที่ $V_C = V_d F(s)$ เมื่อ F(s) คืออัตราขยายต่อสัญญาณดีซีของลูปฟิลเตอร์ สัญญาณ V_C จะทำให้ลูปเข้าสู่สภาวะล็อกดังเดิม ดังนั้นเฟสเออเรอร์จะต้องเป็น

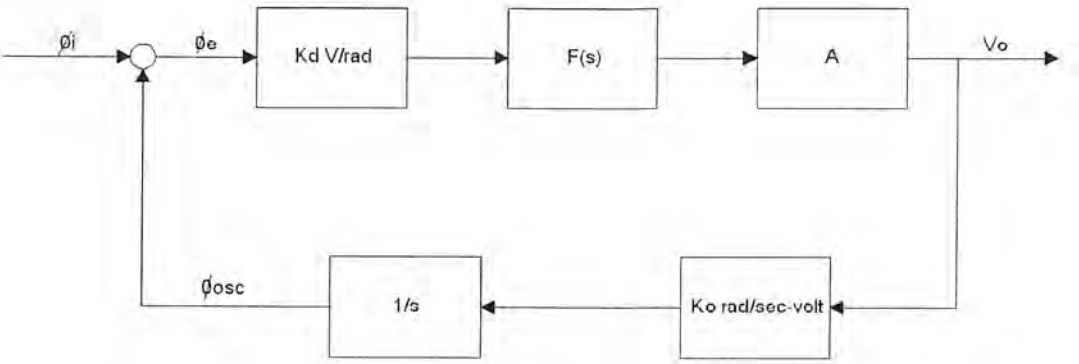
$$\theta - \pi/2 = V_d K_d$$
$$= \Delta\omega / K_o K_d F(s) \quad (2.41)$$

เมื่อเฟสเออเรอร์มีค่าเพิ่มขึ้นลูปจะสามารถปรับตัวเองให้ความถี่เอาท์พุทแทร็คตามการเปลี่ยนแปลงของอินพุทได้ดังเดิม

เมื่อระบบอยู่ในสภาวะล็อก เราสามารถจะวิเคราะห์ระบบเฟสล็อกลูปได้ในลักษณะระบบป้อนกลับที่เป็นลิเนียร์ โดยใช้เทคนิคการวิเคราะห์ระบบป้อนกลับทั่วไปด้วยลาปลาซทรานส์ฟอร์ม และสมการดิฟเฟอร์เรนเชียล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8.2 การหาทรานส์เฟอร์ฟังก์ชันของระบบเฟสล็อกลูป



รูปที่ 2.28 บล็อกไดอะแกรมของทรานส์เฟอร์ฟังก์ชันของเฟสล็อกลูป

จากรูปที่ 2.28

K_d = ทรานส์เฟอร์ฟังก์ชันของเฟสดีเทคเตอร์ (โวลต์/เรเดียน)

F(s) = ทรานส์เฟอร์ฟังก์ชันของลูปฟิลเตอร์

A = อัตราขยายของวงจรขยายสัญญาณ

K_o = ทรานส์เฟอร์ฟังก์ชันของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (เรเดียน/โวลต์)

จาก
$$\omega = \frac{d\theta}{dt} \tag{2.42}$$
$$\omega = s\theta$$

$$\theta = \int \omega dt$$

และ
$$\theta = \frac{\omega}{s} \tag{2.43}$$

เนื่องจากเอาท์พุทของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันจะเป็นค่าความถี่ที่ขึ้นอยู่กับอินพุทที่เป็นสัญญาณไฟตรง แต่เราต้องการค่าเฟส ϕ_{OSC} เพื่อที่จะนำไปเปรียบเทียบกับสัญญาณอินพุท ϕ_i ฉะนั้นจึงต้องใส่บล็อก 1/s เพื่อเปลี่ยน ω_{OSC} ให้เป็น ϕ_{OSC} ตามสมการ

จากทรานส์เฟอร์ฟังก์ชัน
$$= \frac{A}{1+AF} \tag{2.44}$$

เมื่อ A = อัตราการขยายไปข้างหน้า

F = อัตราการขยายป้อนกลับ

จากรูปที่ 2.26 และ 2.27 ทรานส์เฟอร์ฟังก์ชันคือ

$$\frac{V_o}{\theta_i} = \frac{K_d F(s) A}{1 + K_d F(s) A \frac{K_o}{s}} \tag{2.45}$$

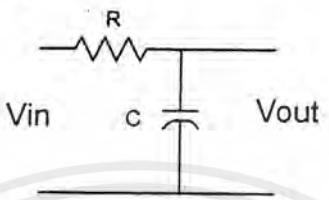
$$= \frac{sK_d F(s) A}{s + K_d F(s) s K_o}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยปกติเรามักจะให้ตัวแปรอินพุทเป็นความถี่มากกว่าจะเป็นเฟส จากสมการ 2.41 เราจะได้ทรานส์เฟอร์ฟังก์ชั่น คือ

$$H(s) = \frac{V_o}{\omega_i} = \frac{V_o}{s\phi_i} \qquad (2.46)$$
$$= \frac{K_d F(s) A}{s + K_d K_o A F(s)}$$

ถ้าวงจรกรองความถี่ต่ำผ่านที่ใช้เป็นดังรูปที่ 2.29



รูปที่ 2.29 วงจรกรองความถี่ต่ำผ่านอย่างง่าย

จากรูปที่ 2.29

$$F(s) = \frac{V_o}{V_i}$$
$$= \frac{1/sC}{R + 1/sC}$$
$$= \frac{1}{1 + sRC} \qquad (2.47)$$
$$= \frac{1}{1 + s/\omega_i}$$

เมื่อ $\omega_l = 1/RC$

แทนค่าสมการ 2.47 ลงในสมการ 2.46

$$H(s) = \frac{V_o}{\omega_i} = \frac{1}{K_o}\left[\frac{1}{1 + \frac{s}{K_v} + \frac{s^2}{\omega_l K_v}}\right]$$

$$= \frac{1}{K_o}\left[\frac{1}{\frac{s^2}{\omega_n^2} + \frac{2\xi s}{\omega_n} + 1}\right] \qquad (2.48)$$

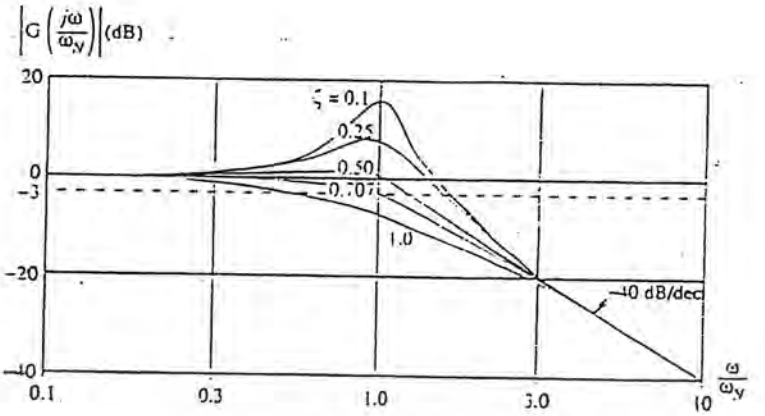
$$\omega_n = \sqrt{K_v \omega_l}$$

$$\xi = \frac{1}{2}\sqrt{\frac{\omega_l}{K_v}}$$

เมื่อ $K_v = K_d K_o A$

เราสามารถจะนำทรานส์เฟอร์ฟังก์ชั่น H(s) นี้ไปหาผลตอบสนองของระบบได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



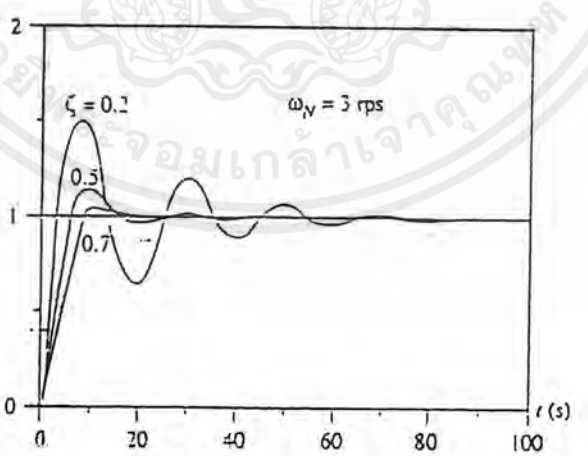
รูปที่ 2.30 ผลตอบสนองความถี่ของระบบเฟสล็อกลูป

จะสังเกตเห็นได้ว่า หากแถบความถี่ของลูปฟิลเตอร์ ω_1 ลดลง หรือค่า K_v เพิ่มขึ้น ค่า ξ ของลูปลดลง ผลตอบสนองทางความถี่ของลูปจะเป็นพีค (peaking) และผลตอบสนองต่อสเต็ปของลูปในช่วงเริ่มต้นชั่วขณะจะเกิดการออสซิลเลท ค่าพีคในผลตอบสนองทางความถี่จะเป็นสาเหตุให้เกิดความผิดเพี้ยนในสัญญาณเอาท์พุท และเป็นสาเหตให้เกิดการแกว่งหรือให้ ผลตอบสนองที่เลวเมื่อลูปมีการรบกวนเกิดขึ้นชั่วขณะ การออกแบบระบบเฟสล็อกลูปให้มีคุณสมบัติการทำงานให้ดีที่สุดจึงควรกำหนดให้ ξ มีค่าเท่ากับ $1/\sqrt{2}$ จะได้ ω_1

$$\omega_1 = 2K_v \tag{2.49}$$

และความถี่ที่คัทออฟ –3 dB แถบความถี่ของลูปจะได้เป็น

$$\omega_n = \sqrt{K_v \omega_1} = \sqrt{2}K_v \tag{2.50}$$



รูปที่ 2.31 ผลตอบสนองเมื่อสัญญาณอินพุทเป็นสเต็ปฟังก์ชัน

วงจรเฟสล็อกลูปที่ใช้ในระบบสื่อสารทั่วไป จะต้องให้มีพิสัยการล็อกกว้าง เพื่อที่จะได้สามารถติดตามการเปลี่ยนแปลงความถี่ของสัญญาณอินพุทได้ช่วงกว้าง นอกนั้นก็ต้องการให้ระบบมีแถบความถี่ของลูปแคบ ๆ เพื่อกำจัดสัญญาณที่อยู่นอกแบนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิกัดความถี่ตลอดช่วงที่ระบบเฟสล็อกลูปสามารถดำรงการล็อกไว้ได้กับสัญญาณอินพุทเราเรียกว่า "พิสัยการล็อก" เราสามารถหาพิสัยการล็อกได้โดยพิจารณาจากสมการของเฟสเออเรอร์ ซึ่งเราพบว่าเฟสเออเรอร์จะมีค่าน้อยที่สุดเท่ากับศูนย์ และมีค่ามากที่สุดเท่ากับ π ดังนั้นจากสมการที่ 2.39 จะได้พิสัยการล็อก $\Delta\omega = \omega_i - \omega_o$ เท่ากับ

$$\Delta\omega = (\theta_e - \pi/2)K_o K_d F(s)$$

แทนค่า $\theta_{e\max} = \pi$ และ $\theta_{e\max} = 0$

$$\Delta\omega = (\pm\pi/2)K_o K_d F(s)$$

$$2\Delta\omega_L = \pm\pi K_o K_d F(s) \qquad (2.51)$$

เมื่อ $2\Delta\omega_L$ คือพิสัยการล็อก

เราจะสังเกตได้ว่า ถ้า ω_i เบี่ยงเบนไปจากความถี่ศูนย์กลาง ω_o มาก โดยมีค่าไม่สอดคล้องกับสมการ 2.51 สภาวะสมดุลของการซิงโครไนส์จะไม่สามารถดำรงอยู่ต่อไปได้และลูปจะหลุดออกไปจากการล็อกกับความถี่ของสัญญาณอินพุท

การวิเคราะห์ถึงพิสัยการล็อกระบบต้องมีสภาวะเดิมล็อกอยู่กับความถี่อินพุทแล้ว แต่มีอีกอย่างที่เราควรพิจารณา โดยจะอยู่ในสภาวะที่ระบบยังไม่ล็อกกับสัญญาณอินพุท เพื่อกำหนดช่วงความถี่ซึ่งระบบเฟสล็อกลูปสามารถล็อกกับสัญญาณอินพุทในช่วงความถี่ดังกล่าว ความถี่ช่วงนี้เราเรียกว่า พิสัยแคปเจอร์ ซึ่งจะสัมพันธ์กับค่าความถี่คัทออฟของลูปฟิลเตอร์ ω_1 และพิสัยล็อก $\Delta\omega_L$ จะได้พิสัยแคปเจอร์เท่ากับ

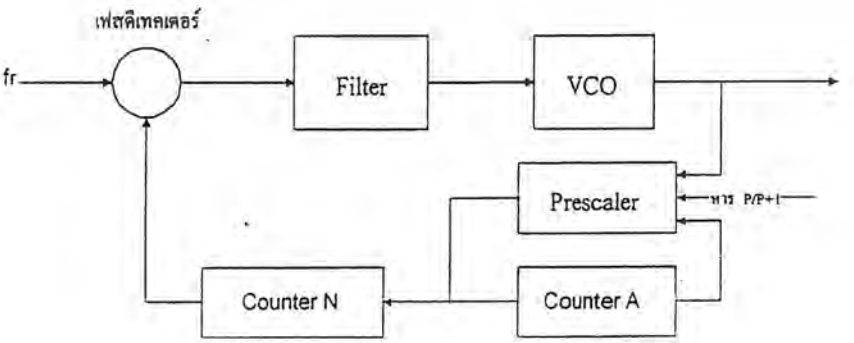
$$\Delta\omega_C = \pm\sqrt{\omega_1 \Delta\omega_L}$$

$$2\Delta\omega_C \cong 2\sqrt{\omega_1 \omega_L} \qquad (2.52)$$

ในกรณีทั่วไป $\Delta\omega_L >> \omega_1$

2.8.3 วงจรสังเคราะห์ความถี่เฟสล็อกลูปแบบพรีสเกลเลอร์สองโมดูลัส

วงจรสังเคราะห์ความถี่มีอยู่หลายแบบ ตัวอย่างที่จะกล่าวถึงต่อไปนี้เป็นวงจรสังเคราะห์ความถี่เฟสล็อกลูปแบบพรีสเกลเลอร์สองโมดูลัส ซึ่งมีขั้นการตั้งความถี่ขั้นละ f_r เท่ากับความถี่อ้างอิง วงจรเฟสล็อกลูปในรูปที่ 2.32 ใช้พรีสเกลเลอร์ซึ่งเป็นวงจรนับที่ตัวหารเปลี่ยนค่าได้ระหว่าง P กับ P+1 เราเรียกพรีสเกลเลอร์แบบนี้ว่า "พรีสเกลเลอร์แบบสองโมดูลัส" วงจรนับหาร N_t ซึ่งโปรแกรมตัวหารได้นั้นทำงานที่ความถี่ต่ำ



รูปที่ 2.32 วงจรสังเคราะห์ความถี่เฟสล็อกลูปแบบพรีสเกลเลอร์สองโมดูลัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหตุผลที่ใช้พรีสเกลเลอร์แบบสองโมดูลัสก็เพื่อลดทอนความถี่ลง และให้ใช้ได้กับวงจรหาร N ตระกูล TTL และ CMOS ได้ ทำให้สามารถสังเคราะห์ความถี่ไปถึงย่าน VHF,UHF ได้

ส่วนสำคัญของวงจรคือพรีสเกลเลอร์แบบสองโมดูลัส ซึ่งเป็นไอซีตระกูล ECL มีความสามารถในการทำงานที่ความถี่สูง จะทำการหารล่วงหน้า (prescale) ก่อน และทำงานในลักษณะที่หารได้ 2 ค่าสลับกันในไอซีตัวเดียว โดยที่ตัวหารความถี่มีค่าต่างกันอยู่หนึ่ง คือ P และ P+1 เช่น หาร 64/65 เอาท์พุทของพรีสเกลเลอร์จะป้อนไปให้แก่วงจรเคาน์เตอร์ตระกูล TTL สองตัว ตัวหนึ่งเป็นเคาน์เตอร์หลัก (main coounter) ส่วนอีกตัวหนึ่งเป็นเคาน์เตอร์เสริม

เคาน์เตอร์เสริมจะเป็นตัวบังคับให้พรีสเกลเลอร์หารด้วย P หรือ P+1 สมมติว่าป้อนข้อมูลหรือพรีเซตตัวเลขให้เคาน์เตอร์เสริม และในขณะนี้พรีสเกลเลอร์ให้ P+1 เป็นตัวหาร เคาน์เตอร์เสริมจะนับก่อนหลังลงไปเรื่อย ๆ เคาน์เตอร์หลักจะนับถอยหลังไปพร้อม ๆ กับเคาน์เตอร์เสริม เมื่อเคาน์เตอร์เสริมหยุดนับจะส่งสัญญาณบังคับให้พรีสเกลเลอร์เปลี่ยนเป็นหารด้วย P และเคาน์เตอร์หลักจะนับถอยหลังต่อไปจนเป็นศูนย์ เมื่อเคาน์เตอร์หลักและเคาน์เตอร์เสริมนับถึงศูนย์เมื่อใด ทั้งคู่จะถูกพรีเซตด้วยตัวเลขข้อมูล (ความถี่) ใหม่อีกครั้ง ดังนั้นตัวเลขที่พรีเซตให้เคาน์เตอร์เสริมจะต้องน้อยกว่าตัวเลขที่พรีเซตให้เคาน์เตอร์หลัก

สมมติตัวเลขที่พรีเซตให้เคาน์เตอร์หลักเป็น N และเคาน์เตอร์เสริมเป็น A เริ่มแรกให้พรีสเกลเลอร์อยู่ให้สภาวะหาร P+1 ซึ่งจะยังคงหารด้วย P+1 ไปจนกว่าเคาน์เตอร์เสริมจะนับลงเป็นศูนย์นั้นคือเวลาที่ใช้ในการนับของเคาน์เตอร์เสริมเป็นศูนย์คิดเป็นจำนวนไซเคิลของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันที่ผ่านไปเท่ากับ P+1 คูณด้วย A ไซเคิล

หลังจากนั้นพรีสเลเลอร์จะถูกบังคับให้เปลี่ยนตัวหารเป็น P โดยสัญญาณบังคับจากเคาน์เตอร์ A ในขณะนี้เคาน์เตอร์หลักนับผ่านไปแล้ว A ยังเหลืออยู่ N-A นั้นคือ ต้องใช้เวลานับเคาน์เตอร์หลักคิดเป็นจำนวนไซเคิลของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันที่ผ่านไปเท่ากับ P คูณด้วย N-A

ดังนั้นรวมค่าตัวหารทั้งหมดจะได้เท่ากับ

$$\begin{aligned} N_t &= (P+1)A + P(N-A) \\ &= PN + A \end{aligned} \tag{2.53}$$

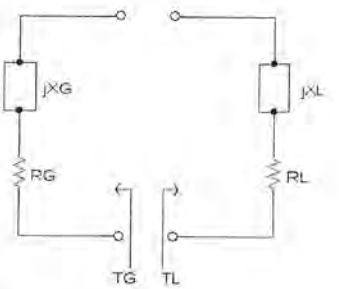
ความถี่ของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันจะเท่ากับ PN+A เท่าของความถี่อ้างอิง หรือ

$$F_{synth} = F_{ref}(PN + A) \tag{2.54}$$

2.9 วงจรออสซิลเลเตอร์แบบแคลปป์ (Clapp Oscillator)

เราจะเริ่มจากพิจารณาจากการหาค่าเนกาทีฟ รีซิสแตนซ์ (Negative Resistance) ของวงจรรีโซแนนซ์แบบอนุกรม (Series Resonance) ดังรูปที่ 2.33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.33 วงจรรีโซแนนซ์แบบอนุกรม

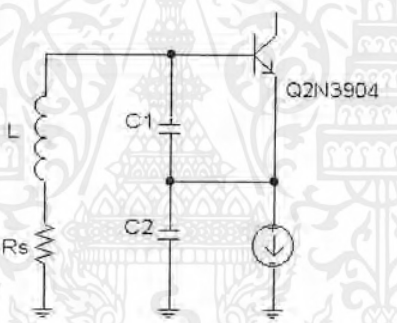
โดยค่าเริ่มต้นสำหรับการออสซิลเลทคือ

$$|R_G| > R_L$$ เมื่อ R_G คือเนกาทีฟ รีซิสแตนซ์

และเมื่อรีโซแนนซ์แล้ว (steady state)

$$R_G + R_L = 0$$
$$X_G + X_L = 0$$

วงจรพื้นฐานในการออกแบบวงจรออสซิลเลเตอร์แบบแคลปป์ดังรูปที่ 2.34 โดยเราจะทำการหาค่าอินพุทอิมพีแดนซ์ จากรูป 2.35 ได้ว่า

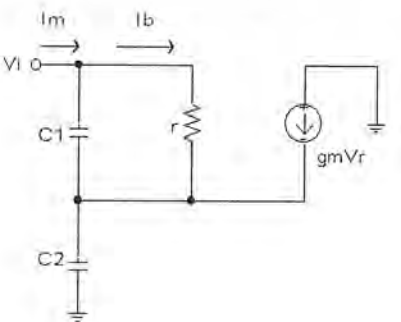


รูปที่ 2.34 วงจรพื้นฐานของออสซิลเลเตอร์แบบแคลปป์

$$V_i = I_{in}X_{C1} + I_{in}X_{C2} - I_bX_{C1} + I_b\beta X_{C2} \quad (2.55)$$

และ $$0 = -I_{in}X_{C1} + I_bX_{C1} + I_br_\pi$$

$$I_b = I_{in}\frac{X_{C1}}{(X_{C1} + r_\pi)} \quad (2.56)$$



รูปที่ 2.35 วงจรสมมูลกระแสสลับของออสซิลเลเตอร์แบบแคลปป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำสมการที่ 2.56 ไปแทนในสมการที่ 2.55

จะได้ว่า

$$V_i = I_{in}X_{C1}I_{in}X_{C2} + \frac{\beta X_{C2}I_{in}X_{C1}}{(X_{C1}+r_\pi)} - \frac{I_{in}X_{C1}X_{C1}}{(X_{C1}+r\pi)}$$

$$Z_i = \frac{(1+\beta)X_{C1}X_{C2} + r_\pi(X_{C1}+X_{C2})}{X_{C1}+r_\pi}$$

ถ้า $X_{C1} << r_\pi$

$$Z_i \approx \frac{(1+\beta)X_{C1}X_{C2}}{r_\pi} + (X_{C1}+X_{C2})$$

$$Z_i \approx -\frac{(1+\beta)}{r_\pi\omega^2 C_1C_2} + \frac{1}{j\omega[C_1C_2/(C_1+C_2)]}$$

$$Z_i \approx -\frac{g_m}{\omega^2 C_1C_2} + \frac{1}{j\omega[C_1C_2/(C_1+C_2)]}$$

ซึ่งจะเห็นได้ว่าอินพุทอิมพีแดนซ์ประกอบด้วยเนกาทีฟ รีซิสเตอร์

$$R = -\frac{g_m}{\omega^2 C_1C_2}$$

ต่ออนุกรมอยู่กับ $C_{in} = C_1C_2/(C_1+C_2)$

นำ L มาต่อเข้ากับวงจรนี้ โดย R_S คือ ความต้านทานอนุกรม (series resistance) จะได้ว่าวงจรจะเริ่มทำงานได้คือ

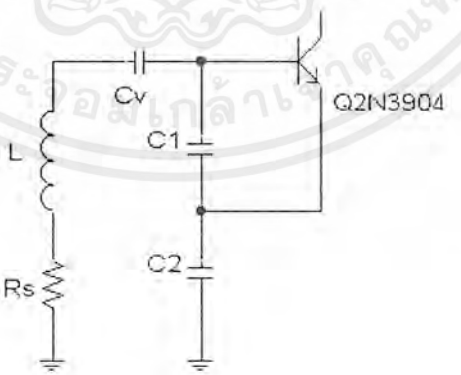
$$f_o = \frac{1}{2\pi\sqrt{L(C_1C_2/(C_1+C_2))}}$$

และจะได้ว่า

$$R_s < g_m/\omega^2 C_1C_2$$

ผลรวมของ C_1 และ C_2 ในแบบอนุกรม จะมีค่ามากที่สุดเมื่อ $C_1 = C_2 = C_m$

$$\sqrt{\frac{R_S}{g_m}} < \frac{1}{\omega C_m}$$



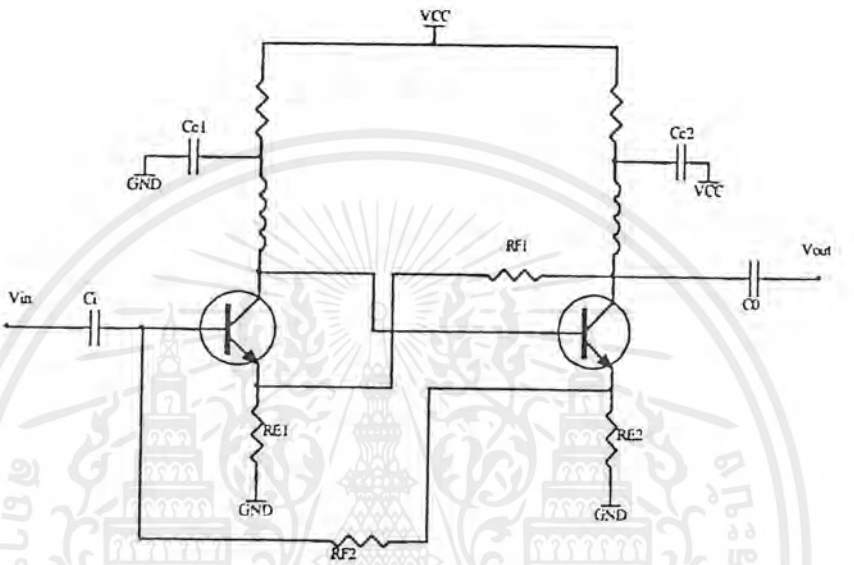
รูปที่ 2.36 วงจรออสซิลเลเตอร์แบบแคลปป์

จากรูปที่ 2.36 แสดงวงจรออสซิลเลเตอร์แบบแคลปป์ เราจะเลือกให้ C_1, C_2 เป็นไปตามสภาวะเงื่อนไขที่ทำให้เกิดการออสซิลเลท จากนั้นเลือกค่า C_V ให้มีค่าน้อยกว่า C_1 และ C_2 และสามารถที่จะเลือกค่า L และมีอิสระในการออกแบบมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10 วงจรขยายสัญญาณแถบความถี่กว้าง (Wide-band Amplifier)

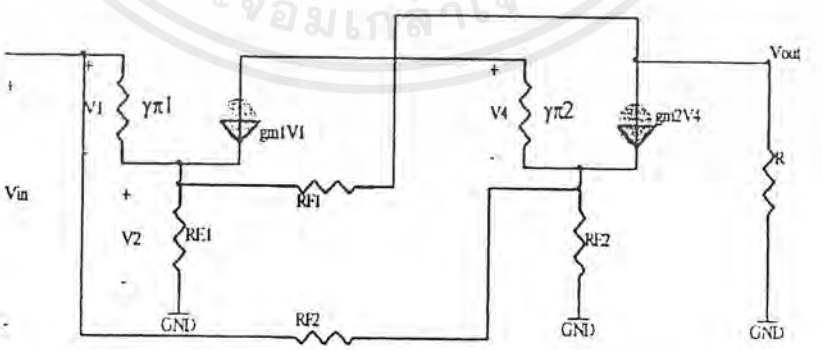
วงจรขยายสัญญาณแถบความถี่กว้าง มีประโยชน์อย่างกว้างขวางในวงจรวิทยุที่ใช้ในการสื่อสาร เช่น ในเครื่องรับและเครื่องส่งวิทยุ ซึ่งมีคุณสมบัติทั่ว ๆ ไปคือ มีอัตราการขยายคงที่ในช่วงความถี่กว้าง ๆ มีค่าสัญญาณรบกวนต่ำ อินพุทและเอาท์พุทอิมพีแดนซ์ 50Ω (75Ω ใน Video Application) คงที่ตลอดย่านความถี่ สามารถจ่ายกำลังเอาท์พุทได้สูงพอสมควร วงจรขยายสัญญาณแถบความถี่กว้าง แสดงไว้ในรูป 2.37



รูปที่ 2.37 วงจรขยายสัญญาณแถบความถี่กว้าง

Input Resistance

ทำการวิเคราะห์สัญญาณเอซีของระบบโดยเขียนโมเดลของทรานซิสเตอร์จะได้วงจรสมมูลของวงจรขยายสัญญาณแถบความถี่กว้าง ดังในรูปที่ 2.38



รูปที่ 2.38 วงจรสมมูลอินพุทรีซิสแตนซ์ของวงจรขยายสัญญาณแถบความถี่กว้าง

$$V_2 = g_{m2} V_4 \left[\frac{R(R_{E1} + R_{F1})}{(R + R_{E1} + R_{F1})} \right] \left[\frac{R_{E1}}{R_{E1} + R_{F2}} \right]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $\gamma_{\pi 1}$ มีค่ามาก ๆ แล้ว กำหนดให้ $V_2 = V_{in}$ และ

$$i = g_{m2} V_4 \left[\frac{R_{E2}}{R_{E2} + R_{F2}} \right]$$

$$i = V_{in} \left[\frac{(R + R_{E1} + R_{F1})}{R(R_{E1} + R_{F1})} \right] \cdot \left[\frac{R_{E1} + R_{F1}}{R_{E1}} \right] \cdot \left[\frac{R_{E2}}{R_{E2} + R_{F2}} \right]$$

$$R_i = \frac{V_{in}}{i}$$

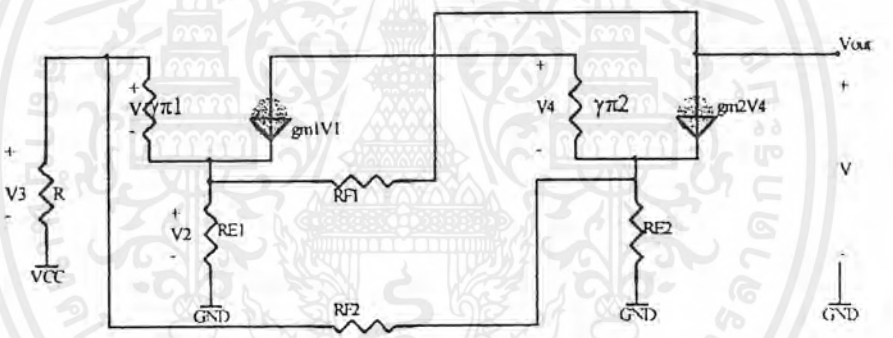
$$R_i = \left[\frac{R_o R_{E1}}{(R + R_{E1} + R_{F1})} \right] \cdot \left[\frac{R_{E2} + R_{F2}}{R_{E2}} \right]$$

กระแสอีกส่วนหนึ่งคือ $\dfrac{V}{R_{F2} + R_{E2}}$

ดังนั้น $$R_i = \frac{RR_{E1}}{(R + R_{E1} + R_{F1})} \cdot \frac{R_{E2} + R_{F2}}{R_{E2}} // (R_{E2} + R_{F2})$$

Output Resistance

Output resistance



รูปที่ 2.39 วงจรสมมูลเอาท์พุทรีซิสแตนส์ของวงจรขยายสัญญาณแถบความถี่กว้าง

$$V_2 = \frac{R_{E1}}{(R_{E1} + R_{F1})} V$$

$$= g_{m2} V_4 \left[\frac{R_{E2} R}{(R_{E2} + R + R_{F2})} \right]$$

เมื่อ $\gamma_{\pi 1}$ มีค่ามาก ๆ แล้วจะได้ $V_2 = V_3$ ดังนั้น

$$\left[\frac{R_{E1}}{(R_{E1} + R_{F1})} \right] V = g_{m2} V_4 \left[\frac{R_{E2} R}{(R_{E2} + R_{F2} + R)} \right]$$

$$g_{m2} V_4 = \left[\frac{R_{E1}}{(R_{E1} + R_{F1})} \right] \cdot \left[\frac{(R_{E2} + R_{F2} + R)}{R_{E2} R} \right] V$$

$$\frac{1}{R_o} = \frac{i}{V}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{1}{V}\left[\frac{V}{(R_{E1}+R_{F1})} + g_m V_4\right]$$

$$\frac{1}{R_o} = \left[\frac{1}{(R_{E1}+R_{F1})}\right] + \left[\left(\frac{(R_{E2}+R_{F2}+R)}{R_{E2}R}\right)\left(\frac{R_{E1}}{(R_{E1}+R_{F1})}\right)\right]$$

$$\frac{1}{R_o} = \frac{R_{E2}R + (R_{E2}+R_{F2}+R)R_{E1}}{R_{E2}R(R_{E1}+R_{F1})}$$

$$R_o = \frac{R_{E2}R(R_{E1}+R_{F1})}{R_{E2}R + (R_{E2}+R_{F2}+R)R_{E1}}$$

หรือเขียนได้ว่า $$R_o = \frac{R_{E2}R(R_{E1}+R_{F1})}{(R_{E2}+R_{F2}+R)R_{E1}} // (R_{F1}+R_{E1})$$

อัตราขยายแรงดัน (Voltage Gain)

จากอัตราขยายโคลสลูป (Close loop gain or negative feedback) เท่ากับ

$$\text{Gain}_t = \frac{A}{1+AB}$$

เมื่อ $A =$ Forward Gain

$\beta =$ Feedback Ratio

ถ้า A มีค่ามาก ๆ แล้วสามารถหาอัตราขยายได้โดย

$$\text{Gain}_t = \frac{(A/A)}{(1+A)+\beta}$$

$$\text{Gain}_t \approx \frac{1}{\beta}$$

จากวงจรในรูปที่ 2.39 $$\beta = \frac{R_{E1}}{(R_{E1}+R_{F1})}$$

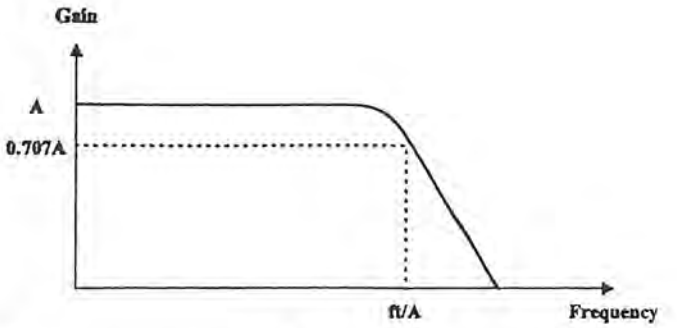
ดังนั้น $$\text{Gain}_t = \frac{(R_{E1}+R_{F1})}{R_{E1}}$$

แถบความถี่

อัตราการขยายของวงจรมีความกว้างเพียงใดขึ้นกับการออกแบบอัตราการขยายของวงจร และคุณสมบัติของทรานซิสเตอร์ที่เลือกใช้ โดยประมาณแล้วสามารถประมาณได้ว่า อัตราการขยายจะมีค่าคงที่ตลอดช่วงความถี่ จนถึงความถี่ $\cong Ft/A$ (เมื่อ A คืออัตราการขยายของวงจรที่มีหน่วยเป็นเท่า) ตามรูปที่ 2.40

แต่ในทางปฏิบัติต้องเผื่อแถบความถี่ของวงจรขยายไว้สักครึ่งหนึ่ง เช่น เลือกใช้ทรานซิสเตอร์ที่มีค่า Ft=1GHz อัตราขยาย 10 เท่า แล้วแถบความถี่ของวงจรประมาณ 1GHz/10=100MHz แต่ในทางปฏิบัติแถบความถี่ของวงจรอาจมีค่าประมาณเพียง 50 MHz เท่านั้น ดังนั้นจะพบว่า อัตราการขยายของวงจรจะแปรผกผันกับแบนด์ของวงจรนั่นเอง

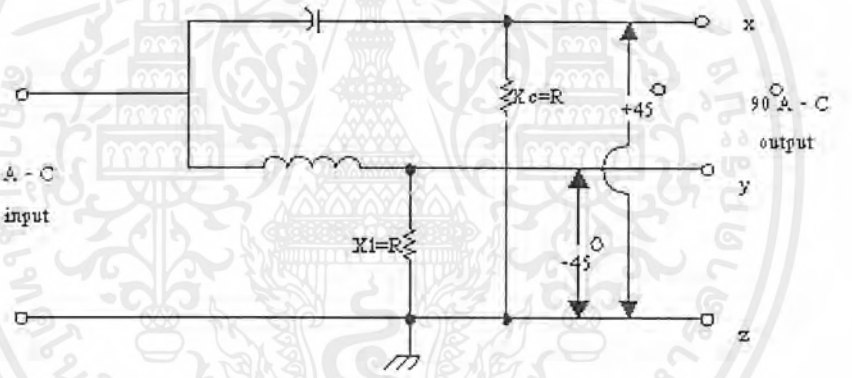
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.40 ผลตอบสนองความถี่ของวงจรขยายสัญญาณแถบความถี่กว้าง

2.11 วงจรเฟสชิฟท์ (Phase Shift)

วงจรเฟสชิฟท์ 90 องศาโดยทั่วไปแสดงดังรูป 2.41 ด้วยค่ารีแอกแตนซ์ที่เท่ากับค่าความต้านทาน จะทำให้กระแสตาม (lag) 45 องศาในวงจรอินดัคทีฟ และกระแสนำ (lead) 45 องศาในวงจรคาปาซิทีฟ ผลรวมเป็น 90 องศา สัญญาณ AC ที่เข้ามาจะได้เป็น 2 สัญญาณที่ชิฟกัน 90 องศา โดยความสัมพันธ์นี้จะเป็นจริงสำหรับความถี่เดียว (Single frequency) เพียงความถี่เดียว



รูปที่ 2.41 วงจรเฟสชิฟท์ 90 องศา

วงจรนี้สามารถชิฟความถี่คงที่ของคลื่นพาหะ (carrier) ซึ่งเป็นคลื่นวิทยุโดยการเลือกปรับค่า C,R,L โดยความสัมพันธ์

$X_C = R = 1/2\pi fC$

$X_L = R = 2\pi fL$; f = ความถี่ที่ใช้งาน

2.12 วงจรคูณสัญญาณ (Multiplier)

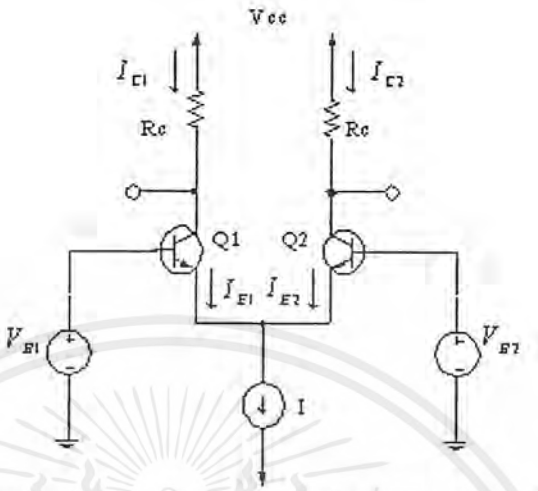
2.12.1 BJT ดิฟเฟอร์เรนเชียลแพร์

คำอธิบายคุณลักษณะเฉพาะของการดำเนินการ

รูปที่ 2.42 แสดงถึงโครงสร้างของ BJT ดิฟเฟอร์เรนเชียลแพร์พื้นฐาน ซึ่งประกอบด้วยทรานซิสเตอร์ 2 คู่ ก็คือ Q_1 กับ Q_2 ซึ่งอิมิตเตอร์ทรานซิสเตอร์แต่ละอันจะเชื่อมต่อกับความดังของเครื่องจ่ายขั้วบวก (V_{CC}) โดยผ่านการต้านทานกระแสไฟฟ้า R_C การเชื่อมต่อนี้ไม่มีความสำคัญต่อการดำเนินการของดิฟเฟอเรนเชียลแพร์ นั่นก็คือในการใช้บางครั้งคอลเลคเตอร์ทรานซิสเตอร์ทั้งสองอาจจะเชื่อมต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับทรานซิสเตอร์อื่น ๆ มากกว่ารีซิสตีฟโหลด ถึงแม้ว่ามันจะสำคัญที่ว่าวงจรคอลเลคเตอร์ของทรานซิสเตอร์จะเป็นแบบ Q_1 และ Q_2 ก็ไม่เคยมีจุดอิ่มตัว



รูปที่ 2.42 โครงสร้างของ บีเจที ดิฟเฟอร์เรนเชียลแพร์

ดิฟเฟอเรนท์เชียลแพร์ทำงานอย่างไร ก่อนอื่นต้องพิจารณากรณีที่ซึ่งเบสของทรานซิสเตอร์ทั้งสองจะต้องเชื่อมต่อกันและเชื่อมต่อกับแรงดัน V_{CM} ที่เรียกว่าคอมมอนโหมดโวลเตจนั่นก็คือ สิ่งที่เห็นในรูป 2.43 (a) $V_{B1} = V_{B2}$ V_{CM} ตั้งแต่ Q_1 กับ Q_2 เข้ากัน มันเป็นผลมาจากสมมาตร ซึ่งกระแสไฟฟ้าเป็น I จะแบ่งอุปกรณ์ออกเป็น 2 ส่วนเท่า ๆ กัน ดังนั้น $i_{B1} = i_{B2} = I/2$ และ แรงดัน ที่ขั้วทรานซิสเตอร์จะเป็น V_{CM} - V_{BE} ที่ซึ่ง V_{BE} เป็นเบส – อิมิตเตอร์โวลเตจ (สมมติในรูป 2.43 a ประมาณ 0.7 โวลต์) ซึ่งตรงกับกระแสอิมิตเตอร์ I/ 2 แรงดัน ที่แต่ละคอลเลคเตอร์ของทรานซิสเตอร์จะเป็น V_{CC} - ½ (αIR_C) และ แรงดัน ความแตกต่างในแรงดันระหว่างคอลเลคเตอร์ทั้งสอง จะเท่ากับศูนย์

ค่าของสัญญาณอินพุทคอมมอนโหมด V_{CM} แตกต่างกันออกไป จะเห็นได้ชัดว่า ตราบใดที่ Q_1 กับ Q_2 ยังคงอยู่ในขอบเขตแอคทีฟกระแส I จะยังคงแบ่ง Q_1 กับ Q_2 เท่า ๆ กันเป็น 2 ส่วน และแรงดันที่แต่ละคอลเลคเตอร์ของทรานซิสเตอร์ก็จะไม่เปลี่ยนไป ดังนั้นดิฟเฟอเรนท์แพร์ก็จะไม่สอดคล้องกับสัญญาณอินพุทคอมมอนโหมด

ในขณะที่การทดลองอื่น ๆ จะมีการตั้งแรงดัน V_{B2} ให้เป็นค่าคงที่ ก็คือ 0 (โดยการกราวน์ B2) และให้ V_{B2} เท่ากับ +1 โวลต์ (สังเกตในรูป 2.43 b) ด้วยเหตุผลจำนวนเล็กน้อย จะเห็นได้ว่า Q_1 จะเปิดและนำไปสู่กระแสไฟฟ้า I ทั้งหมด ส่วน Q_2 จะปิดอยู่ สำหรับ Q_1 ที่เปิดอยู่ อิมิตเตอร์ของทรานซิสเตอร์จะมีค่าประมาณ +0.3 โวลต์ ซึ่งสามารถเก็บ EBJ ของ Q_2 รีเวอร์สไบอัสโวลเตจในคอลเลคเตอร์ของทรานซิสเตอร์จะเท่ากับ $V_{C1} = V_{CC} - \alpha IR_C$ และ $V_{C2}=V_{CC}$

ถ้าเปลี่ยน V_{B1} ให้เป็น – 1 โวลต์ (ในรูป 2.43 c) เช่นเดียวกันด้วยเหตุผลบางประการ เราจะเห็นได้ว่า EBJ Q_1 จะปิด และ Q_2 จะส่งกระแส I ทั้งหมด อิมิตเตอร์ทรานซิสเตอร์ทั่ว ๆ ไป จะอยู่ที่ -0.7 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งหมายความว่า BJ ของ Q_1จะรีเวอร์สไบอัสโดย 0.3 โวลต์ แรงดันของคอลเลคเตอร์ทรานซิสเตอร์จะเป็น $V_{c1}= V_{cc}$ และ $V_{C2}= V_{CC} - \alpha IR_C$

จากที่กล่าวมาแล้วข้างต้น เราจะเห็นได้ว่าดิฟเฟอร์เรนเชียลแพร์จะสอดคล้องกับดิฟเฟอร์เรนท์โหมดหรือ สัญญาณดิฟเฟอร์เรนเชียลในความเป็นจริง ความแตกต่างของแรงดันเล็กน้อย เราสามารถนำกระแสไบอัสทั้งหมด จากด้านหนึ่งของแพร์ไปยังอีกด้านหนึ่ง คุณสมบัติการนำกระแสไฟฟ้าของดิฟเฟอร์เรนชียลแพร์นี้สามารถนำไปใช้ในวงจรโลจิก

ในการใช้ ดิฟเฟอร์เรนชียลแพร์ เป็นลิเนียร์แอมปลิฟายเราจะใช้สัญญาณดิฟเฟอร์เรนเชียล ขนาดเล็กมาก ที่มีมัลติโวลต์น้อย ซึ่งจะทำให้เกิดขึ้นในทรานซิสเตอร์ตัวหนึ่ง ซึ่งจะนำกระแสไฟฟ้า $I/2 + \Delta I$ กระแสไฟฟ้าในทรานซิสเตอร์จะเป็น $I/2 - \Delta I$ ที่มี ΔI ที่เป็นสัดส่วนกันกับดิฟเฟอร์เรนท์อินพุท โวลต์เตจ (ในรูป 2.22 d) เอาท์พุทโวลเตจ ได้รับระหว่างคอลเลคเตอร์ทั้งสองขั้วจะเป็น $2\alpha \Delta IR_C$ ซึ่งมีสัดส่วนต่อสัญญาณดิฟเฟอเรนท์เชียลอินพุท V_p การทำงานของสัญญาณขนาดเล็กของดิฟเฟอเรนท์แพร์ จะกล่าวใน 2.12.2

การทำงานของสัญญาณขนาดใหญ่ของBJT ดิฟเฟอร์เรนเชียลแพร์

เราเสนอการวิเคราะห์ทั่ว ๆ ไปของ BJT ดิฟเฟอร์เรนเชียลแพร์ในรูป 2.42 ถ้าเราใช้ V_B แทนแรงดันที่อิมิตเตอร์ทั่ว ๆไป ความสัมพันธ์ของสมการเกี่ยวข้องกับทรานซิสเตอร์ทั้งสองของแต่ละอันเขียนได้ว่า

$$i_{E1} = \frac{I_g}{\alpha} e^{(v_{B1}-v_E)/V_T} \tag{2.57}$$

$$i_{E2} = \frac{I_S}{\alpha} e^{(V_{B2}-V_E)/V_T} \tag{2.58}$$

ทั้งสองสมการนำมารวมกันได้ดังนี้

$$\frac{i_{E1}}{i_{E2}} = e^{\frac{(V_{B1}-V_{B2})}{V_T}} \tag{2.59}$$

ซึ่งจะสามารถใช้ให้เกิดประโยชน์ได้ดังนี้

$$\frac{i_{E1}}{(i_{E1}+i_{E2})} = \frac{1}{(1+e^{\frac{(V_{B2}-V_{B1})}{V_T}})}$$

$$\frac{i_{E2}}{(i_{E1}+i_{E2})} = \frac{1}{(1+e^{\frac{(V_{B1}-V_{B2})}{V_T}})} \tag{2.60}$$

โดยที่ $$i_{E1} + i_{E2} = I \tag{2.61}$$

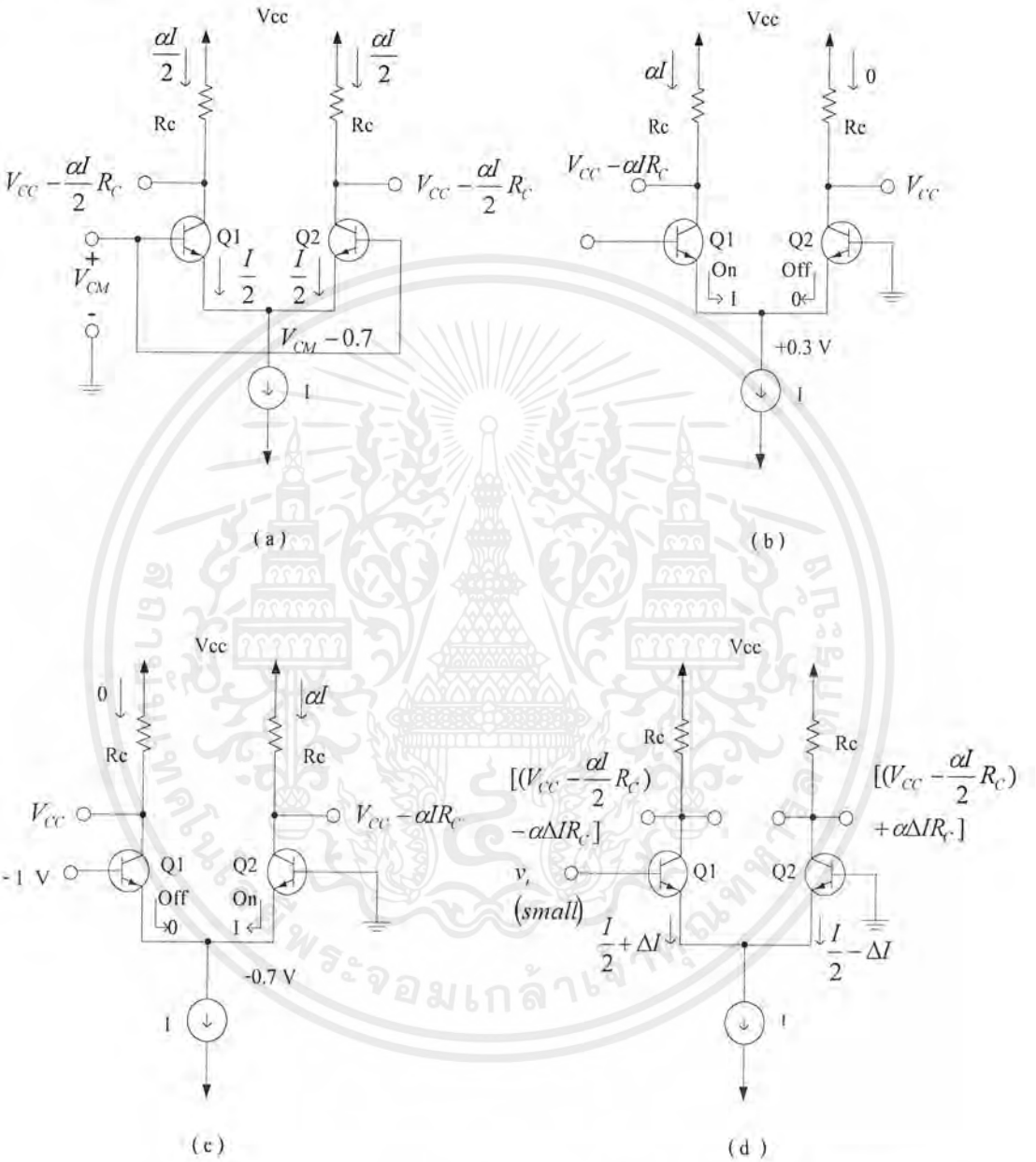
รวมสมการจะได้

$$i_{E1} = \frac{I}{(1+e^{\frac{(V_{B2}-V_{B1})}{V_T}})} \tag{2.62}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{E2} = \frac{I}{(1+e^{\frac{(V_{B1}-V_{B2})}{V_T}})} \tag{2.63}$$

กระแสคอลเลคเตอร์ i_{C1} และ I_{C2} จะได้โดยการคูณกระแสไฟฟ้าอิมิตเตอร์ โดย α ซึ่งปกติแล้วจะใกล้เคียงกับหนึ่ง



รูปที่ 2.43 การทำงานแบบต่าง ๆ ของวงจรดิฟเฟอร์เรนเชียล แอมปลิฟายเออร์

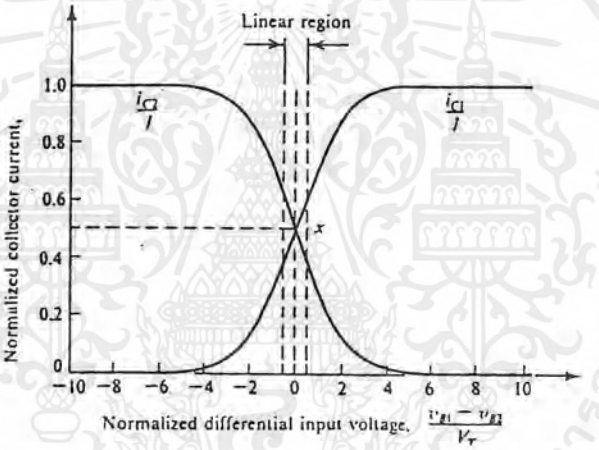
การทำงานขั้นพื้นฐานของดิฟเฟอร์เรนชียลแอมปลิฟายเออร์แสดงให้เห็นในสมการข้างต้นอย่างแรกสังเกตว่า แอมปลิฟายเออร์ จะมีปฏิกิริยาดิฟเฟอร์เรนชียลโวลเตจ $V_{B1} - V_{B2}$ เท่านั้น นั่นก็คือ ถ้า $V_{B1} = V_{B2} = V_{CM}$ กระแสไฟฟ้า I จะแบ่งเท่ากันระหว่างสองทรานซิสเตอร์ โดยไม่คำนึงถึงค่าของคอมมอนโหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โวลเตจ V_{CM} นี่คือสาระสำคัญของการทำงานของ ดิฟเฟอร์เรนเชียลแอมปลิฟายเออร์ ซึ่งก่อให้เกิดชื่อของมันเอง

ข้อสังเกตที่สำคัญอื่น ๆ ก็คือ ความแตกต่างที่ค่อนข้างเล็กน้อยของแรงดัน V_{B1}- V_{B2} ก่อให้เกิดกระแสไฟฟ้าที่ I ที่ไหลลงในทรานซิสเตอร์ตัวหนึ่ง รูปที่ 2.44 แสดงถึงโครงสร้างกระแสไฟฟ้าของคอลเลคเตอร์ทั้งสอง (สมมุติให้ $\alpha \approx 1$) ใช้ทำหน้าที่ของสัญญาณดิฟเฟอร์เรนท์นี่คือ โครงสร้างปกติซึ่งใช้กันทั่วโลกสังเกตว่าดิฟเฟอร์เรนท์โวลเตจ ประมาณ $4V_t$($\approx$100 มิลลิโวลต์) เพียงพอที่จะสับเปลี่ยนกระแสไฟฟ้าเกือบทั้งหมดสู่ด้านหนึ่งของแพร์

สักษณะของการส่งผ่านแบบไม่เป็นเชิงเส้นของ ดิฟเฟอร์เรนชียลแพร์ ซึ่งแสดงในรูป 2.44 ไม่สามารถนำไปใช้ประโยชน์ได้มากในบทนี้ ที่จะกล่าวต่อไปนี้เราจะกลับเฉพาะในการใช้ดิฟเฟอร์เรนเชียลแพร์ เป็นแอมปลิฟายเออร์ สัญญาณขนาดเล็ก ด้วยจุดประสงค์นี้สัญญาณดิฟเฟอร์เรนท์จะถูกกำหนดให้น้อยกว่า $V_t/2$ เพื่อว่า เราอาจจะปฏิบัติงานบนลักษณะเฉพาะของเซ็คเมนท์เชิงเส้นรอบ ๆ จุดกลาง

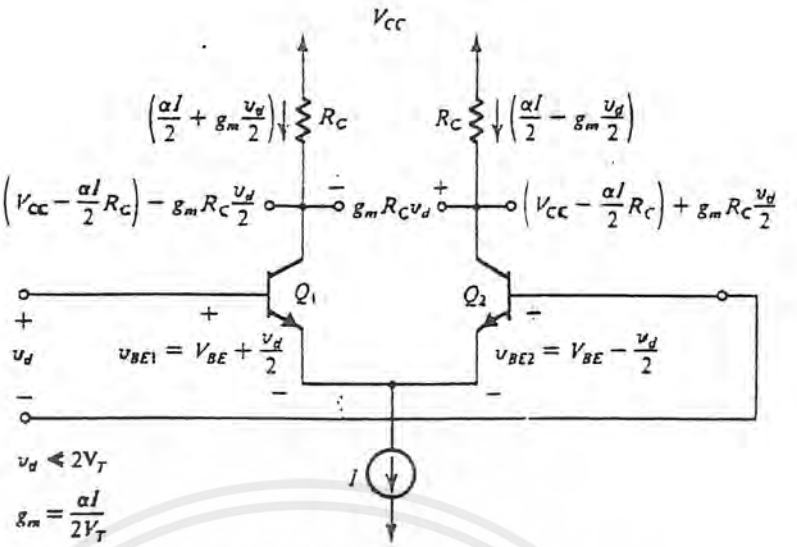


รูปที่ 2.44 ลักษณะของการส่งผ่านแบบไม่เป็นเชิงเส้นของดิฟเฟอร์เรนท์เชียลแพร์

2.12.2 การทำงานของสัญญาณขนาดเล็ก ของ BJT ดิฟเฟอร์เรนชียลแอมปลิฟายเออร์

ในส่วนนี้จะศึกษาเกี่ยวกับการประยุกต์ใช้งานของ BJT ดิฟเฟอร์เรนท์แพร์ใน สัญญาณขนาดเล็กแอมปลิฟิเคชั่น รูปที่ 2.45 แสดงให้เห็นถึงดิฟเฟอร์เรนชียลแพร์ที่มีสัญญาณดิฟเฟอร์เรนท์โวลเตจ V_d นำมาใช้ระหว่างเบสของทรานซิสเตอร์ทั้งสอง มีความหมายว่าระดับดีซีที่อินพุทเทอร์มินอลทั้งสองสามารถยึดเป็นหลัก และ V_d จะประยุกต์ใช้กับอินพุทเทอร์มินอลอื่น ๆ อีกทางหนึ่งดิฟเฟอเรนท์เชียลแอมปลิฟายเออร์อาจจะถูกป้อนจากเอาท์พุทของดิฟเฟอเรนท์เชียลแอมปลิฟายเออร์อื่น ในกรณีนี้แรงดันที่อินพุทเทอร์มินอลใดอันหนึ่งจะเป็น V_{CM} + $V_d/2$ เราจะพิจารณาการทำงานของคอมมอนโหมดที่ขั้นตอนต่อมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.45 ดิฟเฟอร์เรนเชียลแอมปลิฟายเออร์ในสัญญาณขนาดเล็ก

กระแสไฟฟ้าคอลเลคเตอร์เมื่อ V_d ถูกนำมาใช้

เมื่อกลับไปสู่วงจรไฟฟ้าในรูป 2.45 อาจจะใช้สมการเพื่อที่จะหากระแสไฟฟ้าทั้งหมด i_{C1} และ i_{C2} ที่ทำหน้าที่ของสัญญาณดิฟเฟอร์เรนเชียล V_d โดยแทนค่า $V_{B1} - V_{B2} = V_d$ เข้าไป

$$i_{C1} = \frac{\alpha I}{1 + e^{-v_d / V_T}} \tag{2.64}$$

$$i_{C2} = \frac{\alpha I}{1 + e^{v_d / V_T}} \tag{2.65}$$

ให้คูณเศษและส่วนของด้านขวาของสมการแรกด้วย $e^{(v_d/2V_T)}$ จะได้

$$i_{C1} = \frac{\alpha I e^{(v_d / 2V_T)}}{e^{(v_d / 2V_T)} + e^{(-v_d / 2V_T)}} \tag{2.66}$$

สมมุติว่า $V_d << 2V_T$ ดังนั้นเราอาจจะขยายเอ็กซ์โปเนนเชียล $e^{(\pm v_d/2V_T)}$ ในอนุกรมและเก็บได้แค่ 2 พจน์แรกไว้เท่านั้น

$$i_{C1} = \frac{\alpha I e^{(v_d / 2V_T)}}{e^{(v_d / 2V_T)} + e^{(-v_d / 2V_T)}} \tag{2.67}$$

ดังนั้น

$$i_{C1} = \frac{\alpha I}{2} + \frac{\alpha I}{2V_T}\frac{v_d}{2} \tag{2.68}$$

ในการถ่ายเทที่คล้ายคลึงกันสามารถนำไปใช้ เพื่อที่จะได้

$$i_{C2} = \frac{\alpha I}{2} - \frac{\alpha I}{2V_T}\frac{v_d}{2} \tag{2.69}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงว่าเมื่อ $V_d = 0$ กระแสไบอัส I จะแบ่งทรานซิสเตอร์ทั้ง 2 ของแพร์ออกเท่า ๆ กัน ดังนั้นทรานซิสเตอร์แต่ละอันจะไบอัสที่กระแสอิมิตเตอร์ I/2 เมื่อ สัญญาณขนาดเล็ก V_d นำมาใช้แตกต่างกันระหว่างทั้ง 2 กระแสเบสของทรานซิสเตอร์คอลเลคเตอร์ของ Q_1 จะเพิ่มขึ้นของ i_c และ Q_2 จะลดลงโดยจำนวนที่เท่า ๆ กัน สิ่งนี้จะแสดงให้แน่ใจว่าผลรวมของกระแสไฟฟ้าทั้งหมดใน Q_1 และ Q_2 จะยังคงที่อยู่ขณะที่ถูกกำหนดโดยแหล่งจ่ายกระแสไบอัส ส่วนประกอบของกระแสสัญญาณ i_c จะได้มาโดย

$$i_C = \frac{\alpha I}{2V_T}\frac{v_d}{2} \tag{2.70}$$

จากสมการมีการแปรออกมาง่าย ๆ ก็คือ อย่างแรกสังเกตจากสมมาตรของวงจรไฟฟ้า (รูป 2.45) ซึ่งสัญญาณดิฟเฟอร์เรนชียล V_d จะแบ่งเท่ากันระหว่างตัวเชื่อมเบส – อิมิตเตอร์ของทรานซิสเตอร์ทั้งสอง ดังนั้นแรงดันของเบส – อิมิตเตอร์ทั้งหมดจะเป็น

$$v_{BEQ1} = V_{BE} + \frac{v_d}{2} \tag{2.71}$$

$$v_{BEQ2} = V_{BE} - \frac{v_d}{2} \tag{2.72}$$

ที่ซึ่ง V_{VB} เป็นดีซี BE โวลเตจสอดคล้องกับกระแสอิมิตเตอร์ของ I/2 ดังนั้นกระแสคอลเลคเตอร์ของ Q_1 จะเพิ่มขึ้นโดย $g_m v_d/2$ และะกระแสคอลเลคเตอร์ของ Q_2 จะลดลงโดย $g_m v_d/2$ ซึ่ง g_m แสดงถึงทรานส์คอนดักแตนซ์ของ Q_1 และของ Q_2 ซึ่งมีค่าเท่ากันโดยได้สมการดังต่อไปนี้

$$g_m = \frac{I_C}{V_T} = \frac{\alpha I/2}{V_T} \tag{2.73}$$

ดังนั้นออกมาง่าย ๆ ว่า $I_c = g_m v_d/2$

แง่คิดในทางกลับกัน

การแปลความหมายทางเลือกอื่นที่มีประโยชน์ของผลลัพธ์จากข้างต้น สมมุติแหล่งจ่ายกระแสเป็นอุดมคติ ความต้านทานที่เพิ่มขึ้นของมันจะไม่มีที่สิ้นสุด ดังนั้นแรงดัน V_d จะปรากฏขึ้นตัดกับความต้านทานรวมของ $2r_e$ ที่ซึ่ง

$$r_e = \frac{T_T}{I_E} = \frac{V_T}{I/2} \tag{2.74}$$

ตามส่วนจะเป็นกระแสสัญญาณ i_e ซึ่งแสดงในรูป 2.46 โดยได้สมการ

$$i_e = \frac{v_d}{2r_e} \tag{2.75}$$

ดังนั้นคอลเลคเตอร์ของ Q_1 จะแสดงการเพิ่มขึ้นของกระแส i_c และคอลเลคเตอร์ของ Q_2 จะแสดงการลดลงของกระแส i_c

$$i_C = \alpha i_e = \frac{\alpha v_d}{2r_e} = g_m \frac{v_d}{2} \tag{2.76}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สังเกตว่าในรูป 2.46 เราจะแสดงจำนวนกระแสเท่านั้น แน่นอนซึ่งมันหมายความว่า แต่ละทรานซิสเตอร์จะไบอัสที่กระแสอิมิตเตอร์ของ I/2

การวิเคราะห์ด้วยวิธีนี้จะมีประโยชน์ก็ต่อเมื่อความต้านทานรวมเข้าไปด้วยในอิมิตเตอร์ซึ่งแสดงในรูปที่ 2.47 สำหรับวงจรนี้เราจะได้

$$i_e = \frac{v_d}{2r_e + 2R_E} \tag{2.77}$$

อินพุทดิฟเฟอร์เรนชียลรีซิสแตนท์

อินพุทรีซิสเตอร์รีซิสแตนท์คือความต้านทานที่เห็นระหว่างเบสทั้ง 2 นั่นก็คือความต้านทานที่เห็นโดยสัญญาณดิฟเฟอเรนท์อินพุท v_d สำหรับดิฟเฟอเรนเชียลแอมปลิฟายเออร์ในรูป 2.45 และ 2.46 จะเห็นได้ว่า กระแสเบสของ Q_1 แสดงการเพิ่มขึ้น I_b และกระแสเบสของ Q_2 แสดงการลดลงที่เท่ากัน

$$i_b = \frac{i_e}{\beta+1} = \frac{v_d / 2r_e}{\beta+1} \tag{2.78}$$

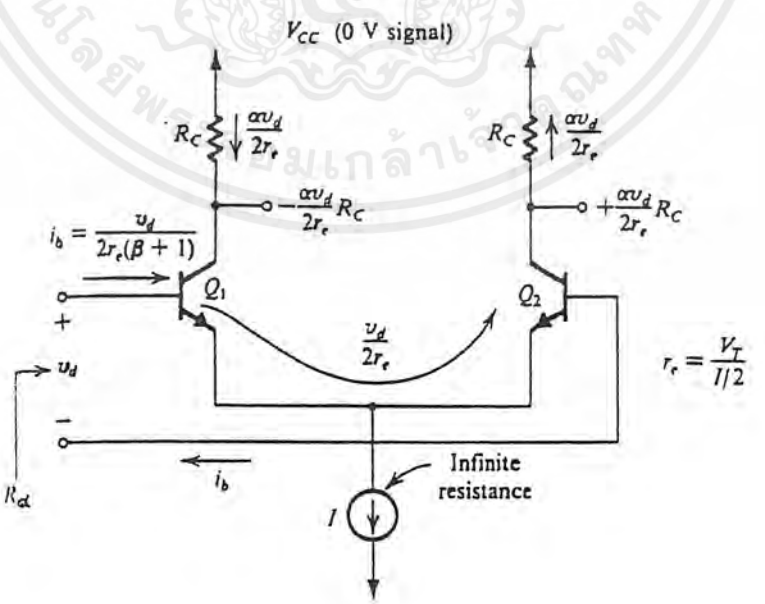
ดังนั้นดิฟเฟอเรนท์เชียลรีซิสแตนท์ R_{id} ถูกกำหนดโดย

$$R_{id} = \frac{v_d}{i_b} = (\beta+1)2r_e = 2r_\pi \tag{2.79}$$

ผลลัพธ์นี้เป็นการเรียบเรียงใหม่ของกฎการสะท้อนการต้านทานที่รู้จักกันดี กล่าวคือความต้านทานที่เห็นระหว่างเบสทั้ง 2 จะเท่ากับการต้านทานทั้งหมดในวงจรไฟฟ้าอิมิตเตอร์คูณโดย $\beta+1$ เราใช้กฎนี้เพื่อหาอินพุทดิฟเฟอเรนเชียลรีซิสแตนท์ต่อวงจรไฟฟ้าในรูป 2.47 ดังนั้น

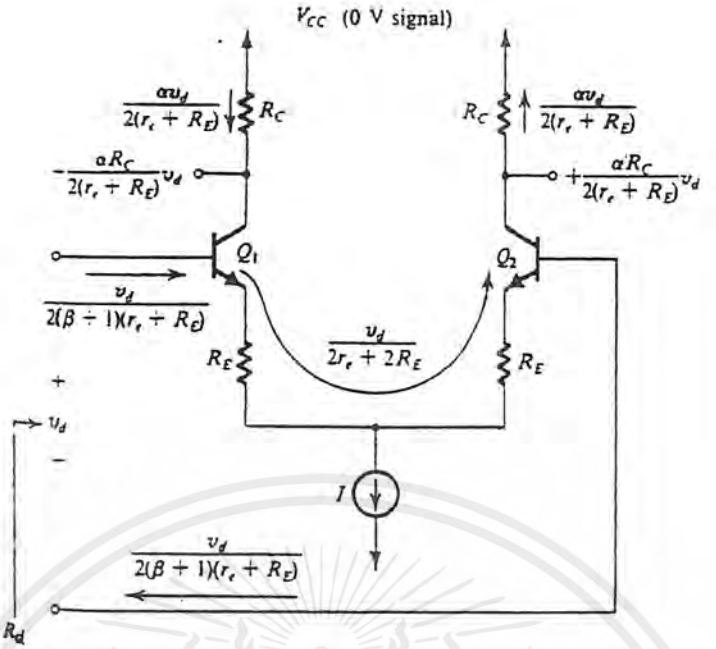
$$R_{id} = (\beta+1)(2r_e = 2R_e) \tag{2.80}$$

ดิฟเฟอเรนเชียลโวลเตจเกน



รูปที่ 2.46 การไหลของกระแสสำหรับดิฟเฟอร์เรนเชียลแอมปลิฟายเออร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.47 กฎการสะท้อนการต้านทาน

เราได้สร้างแรงดันอินพุทดิฟเฟอเรนท์ขนาดเล็ก ($V_d << 2V_T$; นั่นคือV_d เล็กกว่าประมาณ 20 มิลลิโวลต์ กระแสคอลเลคเตอร์จะกำหนดโดย

$$i_{C1} = I_C + g_m \frac{v_d}{2} \tag{2.81}$$

$$i_{C2} = I_C - g_m \frac{v_d}{2} \tag{2.82}$$

ที่ซึ่ง

$$i_C = \frac{\alpha I}{2}$$

ดังนั้นแรงดันทั้งหมดที่คอลเลคเตอร์จะเป็น

$$v_{C1} = (V_{CC} - I_C R_C) - g_m R_C \frac{v_d}{2} \tag{2.83}$$

$$v_{C2} = (V_{CC} - I_C R_C) + g_m R_C \frac{v_d}{2} \tag{2.84}$$

จำนวนในวงเล็บเป็นดีซีโวลเตจที่แต่ละคอลเลคเตอร์ของทั้งสอง

สัญญาณเอาท์พุทโวลเตจของดิฟเฟอร์เรนชียลแอมปลิฟายเออร์สามารถได้รับดิฟเฟอร์เรนเชียล (ระหว่างคอลเลคเตอร์ทั้ง 2) หรือ ซิงเกิล – เอนด์(ระหว่างหนึ่งคอลเลคเตอร์และกราวน์) ถ้าผลลัพธ์ได้รับดิฟเฟอร์เรนเชียลดังนั้นจะได้ดิฟเฟอร์เรนเชียลเกน (ซึ่งตรงกันข้ามกับคอมมอนโหมดเกน) ของดิฟเฟอร์เรนแอมปลิฟายเออร์จะเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$A_d = \frac{v_{C1} + v_{C2}}{v_d} = -g_m R_C \qquad (2.85)$$

ในทางตรงกันข้าม ถ้าเราได้รับเอาท์พุทซิงเกิล – เอนด์ (ระหว่าง คอลเลคเตอร์ของ Q_1 กับกราวน์) ดังนั้นดิฟเฟอร์เรนเชียลเกนจะถูกกำหนดโดย

$$A_d = \frac{v_{C1}}{v_d} = -\frac{1}{2} g_m R_C \qquad (2.86)$$

สำหรับดิฟเฟอร์เรนเชียลแอมปลิฟายเออร์พร้อมความต้านทานในอิมิตเตอร์จะนำ (ในรูป 2.47) ดิฟเฟอร์เรนท์เกนเมื่อผลลัพธ์ได้รับดิฟเฟอร์เรนเชียลโดยกำหนดได้เป็น

$$A_d = -\frac{\alpha(2R_C)}{2r_e + 2R_E} = -\frac{R_c}{r_e + R_E} \qquad (2.87)$$

สมการนี้เป็นที่รู้จักกันดี ซึ่งกำหนดโวลเตจเกนจะเท่ากับอัตราส่วนของการต้านทานทั้งหมดในคอลเลคเตอร์ ($2R_C$) ต่อ การต้านทานทั้งหมดในกระแสอิมิตเตอร์($2r_e+2R_E$)

2.13 วงจรขยายสัญญาณอาร์เอฟขนาดเล็ก (Small Signal RF Amplifier)

2.13.1 การไบอัสทรานซิสเตอร์

คุณลักษณะภายในตัวทรานซิสเตอร์ที่อาจเปลี่ยนได้ตามอุณหภูมิคือ ΔV_{BE} และ $\Delta\beta$ จุดประสงค์ที่สำคัญในการไบอัสก็คือการลดอิทธิพลของอุณหภูมิที่มีผลต่อพารามิเตอร์ที่กล่าวไป

เนื่องจากการเพิ่มขึ้นของอุณหภูมิทำให้ V_{BE} ของทรานซิสเตอร์ลดลงในอัตราประมาณ 2.5 $mV/°C$ จากอุณหภูมิห้องปกติคือ 0.7 V และเนื่องจาก V_{BE} ลดลงทำให้ I_C เพิ่มขึ้นและจะมีผลต่อค่าที่เราออกแบบไว้ (ค่าที่เรากำหนดตอนออกแบบคือ I_C และ V_{CE}) นี่คือสิ่งที่เราจะต้องป้องกันมิให้เกิดขึ้น โวลท์เตจที่เปลี่ยนแปลงซึ่งขึ้นกับอุณหภูมินี้เราเรียกว่า ΔV_{BE} สิ่งที่เราจะนำมาลดผลกระทบของ ΔV_{BE} ก็คือ V_E

การลดลงของ V_{BE} ซึ่งเกิดจากอุณหภูมิจะทำให้กระแสอิมิตเตอร์เพิ่มขึ้น V_E จึงเพิ่มขึ้นด้วย การเพิ่มขึ้นของ V_E จะทำให้เกิดการป้อนกลับแบบลบทำให้เกิดรีเวิร์สไบอัสที่รอยต่อของเบส – อิมิตเตอร์ ดังนั้นกระแสคอลเลคเตอร์จึงลดลง และเนื่องจากการลดลงของ V_{BE} จะถูกขัดขวางโดยการเพิ่มขึ้นของ V_E ดังนั้นกระแสคอลเลคเตอร์จะเพิ่มขึ้นไม่มาก พิจารณาจากสมการ

$$\Delta I_C \approx -\frac{\Delta V_{BE} I_C}{V_E}$$

โดยที่ ΔI_C คือ การเปลี่ยนแปลงของกระแสคอลเลคเตอร์

I_C คือ กระแสคอลเลคเตอร์ที่ไม่มีการเปลี่ยนแปลง

ΔV_{BE} คือ การเปลี่ยนแปลงของโวลท์เตจเบส – อิมิตเตอร์

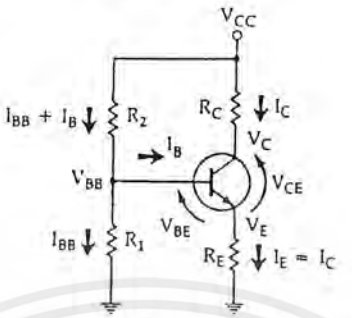
V_E คือ โวลท์เตจอิมิตเตอร์ที่ไม่มีการเปลี่ยนแปลง

ถ้าหากเราออกแบบให้ V_E เป็น 20 เท่าของ ΔV_{BE} กระแสคอลเลคเตอร์จะเปลี่ยนแปลงเพียงแค่ 5% V_E ค่ามากกว่านี้ก็จะดีกว่าถ้าหากการออกแบบไม่ต้องคำนึงถึงจุดไบอัสที่เจาะจง แต่สิ่งที่เราต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาร่วมด้วยก็คือ ค่า V_E ที่มากจะทำให้สูญเสียกำลังงานมาก และยังทำให้เกนของสัญญาณเอซีลดลง เพื่อไม่ให้เกนต่ำลงสามารถใช้ตัวเก็บประจุบายพาสคร่อม R_E แต่ว่าการสูญเสียกำลังงานก็ยังคงมีอยู่

โดยทั่วไปสมมุติให้วงจรขยายทำงานในที่อุณหภูมิเปลี่ยนแปลงไม่เกิน $\pm 50\ ^{\circ}C$ เราจะได้ค่า V_E เท่ากับ 2.5 V ซึ่งจะให้ I_C เปลี่ยนแปลงเพียง $\pm 5\%$



รูปที่ 2.48 ตัวอย่างวงจรไบอัสทรานซิสเตอร์

2.13.2 การคำนวณวงจรขยายโดยใช้เอสพารามิเตอร์ (S Parameter)

ค่าของเอสพาราามิเตอร์ที่ใช้ในการคำนวณสามารถหาได้จากดาต้าชีทของทรานซิสเตอร์ที่ใช้ ณ จุดไบอัสที่เราออกแบบไว้

2.13.2.1 เสถียรภาพ (Stability)

ในการคำนวณเสถียรภาพของทรานซิสเตอร์ด้วยเอสพารามิเตอร์ขั้นแรกต้องคำนวณหาปริมาณ D_S :

$$D_S = S_{11}S_{22} - S_{12}S_{21} \tag{2.88}$$

ค่าของเสถียรภาพ (K) หาได้จาก

$$\mathrm{K} = \frac{1 + |D_S|^2 - |S_{11}|^2 - |S_{22}|^2}{2 \cdot |S_{21}| \cdot |S_{12}|} \tag{2.89}$$

ถ้าค่า K มากกว่า 1 ทรานซิสเตอร์จะอยู่ในสภาวะอันคอนชั่นแนลลี่ สเตเบิล (uncontionally stable) หมายความว่า ทรานซิสเตอร์จะมีเสถียรภาพทุกๆค่าอิมพีแดนซ์ของซอร์สและโหลด

ถ้าค่า K น้อยกว่า 1 ทรานซิสเตอร์จะอยู่ในสภาวะโพเทนเชี่ยลลี่ อันสเตเบิล (potentially unstable) หมายความว่า จะมีบางค่าของซอร์สและโหลดอิมพีแดนซ์ที่ทำให้วงจรขยายเกิดการออสซิลเลท แต่ไม่ได้หมายความว่าจะใช้ทรานซิสเตอร์ไม่ได้เพียงแต่ต้องใช้ความระมัดระวังในการออกแบบ มีหลายวิธีเช่น เลือกจุดไบอัสทรานซิสเตอร์ใหม่ , ใช้ทรานซิสเตอร์ตัวอื่น เป็นต้น

2.13.2.2 Maximum Available Gain (MAG)

เป็นเกนสูงสุดที่สามารถขยายได้ สามารถหาได้โดย

$$\mathrm{MAG} = 10 \log \left| \frac{S_{21}}{S_{12}} \right| \quad (\mathrm{dB}) \tag{2.90}$$

ในการหา MAG ค่า K ต้องมีค่ามากกว่า 1 มิฉะนั้นจะไม่สามารถหาค่าได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.13.2.3 Simultaneous Conjugate Match

เป็นการหาค่าสัมประสิทธิ์การสะท้อนโหลด–ซอร์สของวงจรขยาย (load–source reflection coefficient) เพื่อใช้ในการแมชชิ่งอิมพีแดนซ์กับวงจรอื่น ๆ ซึ่งคำนวณตามขั้นตอนดังนี้

1) หาค่า C_2 : $C_2 = S_{22} - (D_S S_{11}^{*})$

2) หาค่า B_2 : $B_2 = 1 + |S_{22}|^2 - |S_{11}|^2 - |D_S|^2$

3) เราจะได้ค่าขนาด (Magnitude) ของสัมประสิทธิ์การสะท้อนของโหลดจาก

$$|\Gamma_L| = \frac{B_2 \pm \sqrt{B_2^{\,2} - 4|C_2|^2}}{2|C_2|}$$

- จะใช้เครื่องหมาย + หรือ – พิจารณาโดยใช้ค่าตรงกันข้ามกับเครื่องหมายของ B_2

-มุมของสัมประสิทธิ์การสะท้อนของโหลดจะใช้ค่าของมุมของ C_2 โดยใช้เครื่องหมายตรงกันข้าม

2.13.2.4 สัมประสิทธิ์การสะท้อนของซอร์ส (source reflection coefficient)

$$\Gamma_S = \left[S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1-(\Gamma_L \cdot S_{22})} \right]^{*} \qquad (2.91)$$

นำค่า Γ_S ที่ได้ไปหาอินพุทอิมพีแดนซ์และ Γ_L ไปหาเอาท์พุทอิมพีแดนซ์เพื่อนำไปสร้างวงจรแมชชิ่งอิมพีแดนซ์

โดยอินพุทอิมพีแดนซ์หาจาก

$$Z_{in} = Z_S \times 50 \qquad (2.92)$$

โดย $$Z_S = \left[\frac{1+\Gamma_S}{1-\Gamma_S} \right] \qquad (2.93)$$

และเอาท์พุทอิมพีแดนซ์หาจาก

$$Z_{out} = Z_L \times 50 \qquad (2.94)$$

โดย $$Z_L = \left[\frac{1+\Gamma_L}{1-\Gamma_L} \right] \qquad (2.95)$$

2.13.2.5 การคำนวณโดยกำหนดค่าเกนใดๆ (Design for a Specified Gain)

เป็นการออกแบบโดยกำหนดค่าเกนใด ๆ ซึ่งคำนวณโดยการหาวงกลมซึ่งมีเกนคงที่ (a constant gain circle) โดยพล็อทลงบนสมิทธ์ชาร์ทซึ่งสามารถคำนวณได้จาก

1. หาค่า D_S:

$$D_S = S_{11}S_{22} - S_{12}S_{21}$$

2. หาค่า D_2 :

$$D_2 = |S_{22}|^2 - |D_S|^2$$

3. หาค่า C_2 :

$$C_2 = S_{22} - D_S S_{11}^{*}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. หาค่า G :

$$G = \frac{Gain\ desired\ (absolute)}{|S_{21}|^2} \tag{2.96}$$

5. จุดศูนย์กลางของวงกลมซึ่งมีเกนคงที่คือ

$$r_o = \frac{GC_2^*}{1+D_2G} \tag{2.97}$$

6. รัศมีของวงกลมที่มีเกนคงที่คือ

$$p_o = \frac{\sqrt{1-2K|S_{12}S_{21}|G+|S_{12}S_{21}|^2G^2}}{1+D_2G} \tag{2.98}$$

นำค่าที่ได้ไปวาดวงกลมลงบนสมิทธ์ชาร์ทซึ่งค่าของเอาท์พุทอิมพีแดนซ์ที่จะทำให้ได้เกนตามต้องการจะต้องอยู่บนเส้นรอบวงของวงกลมนี้เท่านั้น เมื่อได้ค่าของ Γ_L แล้วก็จะได้ค่า Γ_S ซึ่งนำค่าต่างที่ได้นี้ไปสร้างวงจรแมชชิ่งอิมพีแดนซ์ต่อไป

2.13.2.6 วงกลมเสถียรภาพ (Stability Circles)

ในการคำนวณทรานซิสเตอร์ซึ่งอยู่ในสภาวะโพเทนเชียล อินสเตบิลิตี้ (ค่า K น้อยกว่า 1) จำเป็นต้องหาวงกลมเสถียรภาพของอินพุท (input stability circle) และวงกลมเสถียรภาพของเอาท์พุท (output stability circle) เพื่อใช้ในการหาเลือกค่า Γ_S และ Γ_L ที่เหมาะสมต่อไป ขั้นตอนการหาค่าวงกลมเสถียรภาพมีดังนี้

1. หาค่า D_S

2. หาค่า C_1 :

$$C_1 = S_{11} - D_S S_{22}^* \tag{2.99}$$

3. หาค่า C_2 :

$$C_2 = S_{22} - D_S S_{11}^* \tag{2.100}$$

4. หาจุดศูนย์กลางของวงกลมเสถียรภาพของอินพุท

$$r_{S1} = \frac{C_1^*}{|S_{11}|^2 - |D_S|^2} \tag{2.101}$$

5. หารัศมีของวงกลมเสถียรภาพของอินพุท

$$p_{S1} = \left| \frac{S_{12}S_{21}}{|S_{11}|^2 - |D_S|^2} \right| \tag{2.102}$$

6. หาจุดศูนย์กลางของวงกลมเสถียรภาพของเอาท์พุท

$$r_{S2} = \frac{C_2^*}{|S_{22}|^2 - |D_S|^2} \tag{2.103}$$

7. หารัศมีของวงกลมเสถียรภาพของเอาท์พุท

$$p_{S2} = \left| \frac{S_{12}S_{21}}{|S_{22}|^2 - |D_S|^2} \right| \tag{2.104}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.13.3 อิมพีแดนซ์ แมชชิ่ง (Impedance Matching)

เมื่อเราคำนวณได้ค่าอินพุทอิมพีแดนซ์และเอาท์พุทอิมพีแดนซ์แล้ว เราต้องคำนวณวงจรแมชชิ่งอิมพีแดนซ์เพื่อให้ได้การส่งกำลังงานที่มากที่สุด (Maximum power transfer) เราสามารถคำนวณได้จากสมการ

$$Q_S = Q_P = \sqrt{\frac{R_P}{R_S} - 1} \tag{2.105}$$

$$Q_S = \frac{X_S}{R_S} \tag{2.106}$$

$$Q_P = \frac{R_P}{X_P} \tag{2.107}$$

โดยที่ Q_S คือ ค่า Q ของส่วนอนุกรม

Q_P คือ ค่า Q ของส่วนขนาน

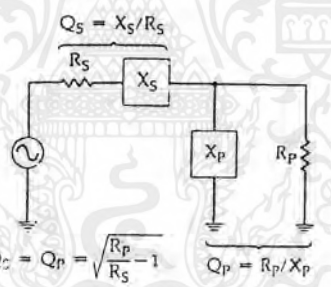
R_P คือ ค่าของความต้านทานที่นำมาขนาน

X_P คือ ค่ารีแอคแตนซ์ที่นำมาขนาน

R_S คือ ค่าของความต้านทานที่นำมาอนุกรม

X_S คือ ค่ารีแอคแตนซ์ที่นำมาอนุกรม

ซึ่งค่าของ X_P และ X_S อาจเป็นได้ทั้งแคปาซิทีฟและอินดัคทีฟ



รูปที่ 2.49 การแมชชิ่งอิมพีแดนซ์

ตัวอย่างเช่น ให้ออกแบบวงจรแมชชิ่งอิมพีแดนซ์ระหว่างความต้านทานของซอร์ส 100 Ω กับ ความต้านทานของโหลด 1000 Ω ที่ความถี่ 100 MHz

วิธีทำ

$$Q_S = Q_P = \sqrt{\frac{1000}{100} - 1} = \sqrt{9} = 3$$

จากสมการ $Q_S = \dfrac{X_S}{R_S}$

$$X_S = Q_S R_S \quad = 300\ \Omega$$

จากสมการ $Q_P = \dfrac{R_P}{X_P}$

$$X_P = \frac{R_P}{Q_P} \quad = 333\ \Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราเลือกให้ X_S เป็นอินดัคทีฟและ X_P เป็นแคปาซิทีฟเนื่องจากคำนวณที่ 100 MHz จะได้ :

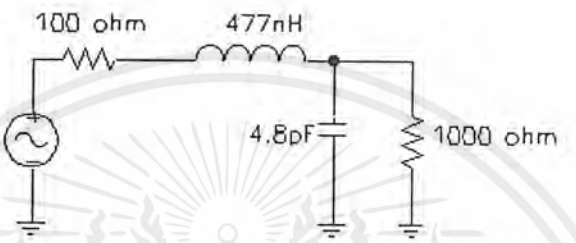
$$L = \frac{X_S}{\omega} = \frac{300}{2\pi\left(100\times10^{6}\right)}$$

$$= 477 \text{ nH}$$

$$C = \frac{1}{\omega X_P} = \frac{1}{2\pi\left(100\times10^{6}\right)(333)}$$

$$= 4.8 \text{ pF}$$

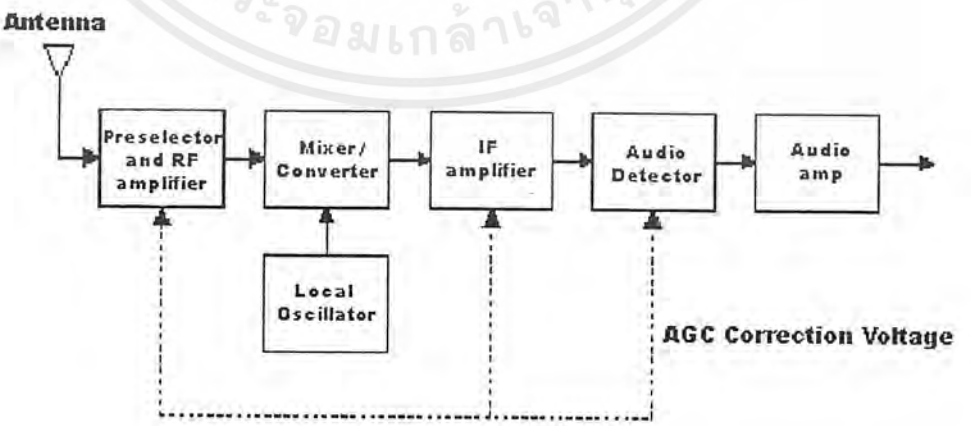
นำค่าต่างๆ ที่ได้ไปสร้างวงจรดังรูปที่ 2.50



รูปที่ 2.50 วงจรแมชชิ่งอิมพีแดนซ์จากตัวอย่าง

2.14 วงจรควบคุมอัตราขยายอัตโนมัติ (Automatic Gain Control : AGC)

ในการจูนรับสัญญาณปกติเราจะรับสัญญาณจากบางสถานีได้อ่อน บางสถานีได้แรง การที่ระดับสัญญาณที่รับได้เปลี่ยนแปลงเช่นนี้ทำให้วงจรทำงานผิดพลาด เช่น เกิดโอเวอร์โหลดในวงจรอาร์เอฟ หรือวงจรดีเทคเตอร์ ดังนั้นเราจะต้องควบคุมอัตราขยายของสัญญาณมิให้ขยายมากในกรณีที่รับสัญญาณแรงและขยายเพิ่มขึ้นในกรณีที่รับสัญญาณได้อ่อน วิธีการนี้เรียกว่า การควบคุมอัตราขยายอัตโนมัติ (Automatic Gain Control) หรือ AGC ด้วยเหตุนี้เอาต์พุทที่ป้อนให้วงจรภาคถัดไปจะมีระดับสัญญาณประมาณเท่ากันทั้งในกรณีที่รับสัญญาณแรงและสัญญาณอ่อน

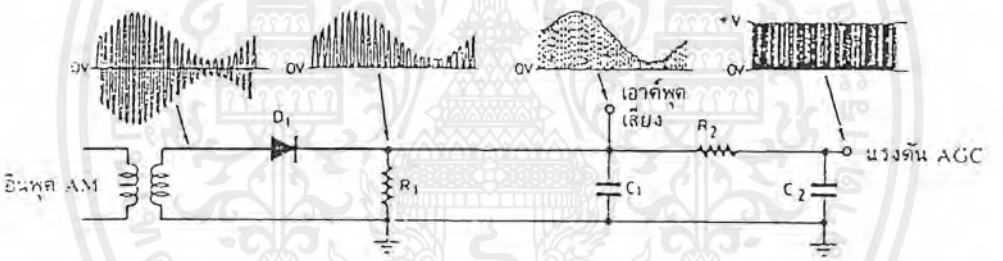


รูปที่ 2.51 วงจรควบคุมอัตราขยายอัตโนมัติในเครื่องรับวิทยุเอเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรควบคุมอัตราขยายอัตโนมัติ (AGC) เป็นวงจรที่ช่วยให้การเปลี่ยนแปลงของระดับสัญญาณอาร์เอฟที่รับได้ ถ้าระดับสัญญาณอินพุทที่รับได้อ่อน โดยควบคุมให้เกนของเครื่องรับเพิ่มขึ้นหรือลดลงโดยอัตโนมัติ และจะลดเกนลงโดยอัตโนมัติเช่นกันถ้ารับสัญญาณได้แรงเกินไป เนื่องจากว่าถ้าระดับสัญญาณอินพุทที่รับได้อ่อน มันจะถูกนอยส์ภายในเครื่องรับกลบจนไม่สามารถดีเทคสัญญาณคืนได้ แต่ถ้าระดับสัญญาณแรงเกินไปจะทำให้สัญญาณเกิดการผิดเพี้ยน หรือสัญญาณเกิดการอิ่มตัว (Saturation) ได้

วงจรควบคุมอัตราขยายอัตโนมัติโดยทั่วไปจะประกอบด้วย วงจรขยายที่สามารถควบคุมอัตราขยายได้ด้วยแรงดัน วงจรดีเทคเตอร์ที่ใช้ดีเทคสัญญาณไปตรงไปควบคุมวงจรขยาย การควบคุมอัตราขยายวงจรนี้ใช้หลักการดีเทคสัญญาณทำนองเดียวกับการดีมอดสัญญาณเอเอ็ม แต่มีจุดประสงค์เพื่อวัดความแรงของสัญญาณที่รับได้ วงจรดีเทคเตอร์โดยทั่วไปจะใช้ไดโอดต่อเข้ากับตัวต้านทานและตัวเก็บประจุทำหน้าที่เป็นวงจรฟิลเตอร์ ดังรูปที่ 2.52 การเพิ่ม R_2 และ C_2 เพื่อให้สัญญาณที่ดีเทคได้มีความสม่ำเสมอมากขึ้น เพราะเป็นการกรองความถี่ต่ำถึงสองครั้ง แรงดันไปตรงที่ดีเทคได้จะมีค่ามากน้อยตามระดับความแรงของสัญญาณที่รับได้ ถ้ารับสัญญาณได้แรง ขนาดของไฟวงจรควบคุมอัตราขยายอัตโนมัติก็จะมาก ถ้าสัญญาณอ่อน ขนาดไฟจะน้อย ไฟควบคุมอัตราขยายอัตโนมัติจะเป็นแรงดันที่นำไปควบคุมอัตราขยายของวงจร ถ้ากลับขั้วไดโอดเราจะได้ไฟควบคุมอัตราขยายอัตโนมัติเป็นลบแทน



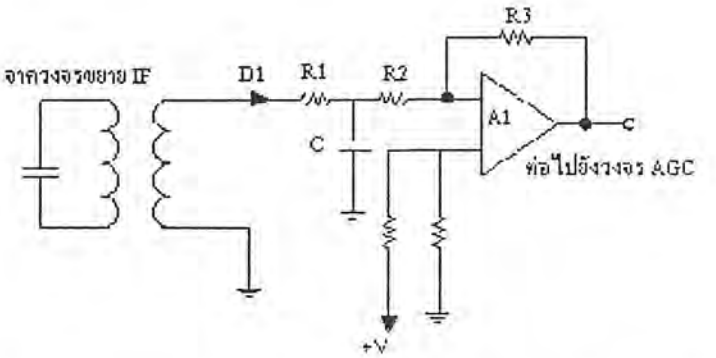
รูปที่ 2.52 วงจรควบคุมอัตราขยายอัตโนมัติอย่างง่าย

หลักการผลิตไฟควบคุมอัตราขยายอัตโนมัติแบ่งเป็น 2 วิธี คือ

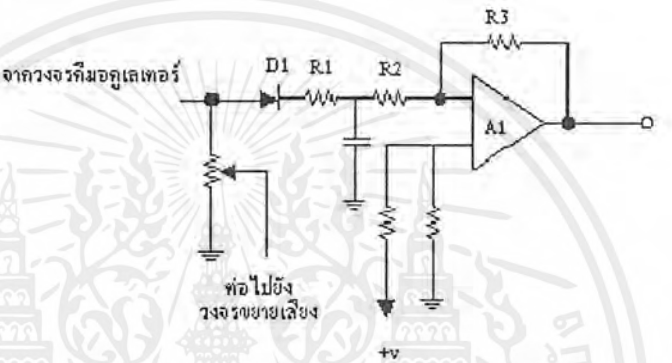
1. วิธีผลิตจากสัญญาณพาหะ (Carrier derived AGC)
2. วิธีผลิตจากสัญญาณเสียง (Audio derived AGC)

เครื่องรับส่วนใหญ่จะใช้วิธีผลิตจากสัญญาณพาหะ ซึ่งเหมาะกับการรับสัญญาณเอเอ็ม เพราะไฟควบคุมอัตราขยายอัตโนมัติจะมากหรือน้อยขึ้นอยู่กับความแรงของสัญญาณพาหะ ดังตัวอย่างที่ 2.53 แสดง วงจรที่ผลิตไฟควบคุมอัตราขยายอัตโนมัติจากสัญญาณพาหะ สัญญาณอาร์เอฟจากวงจรขยายไอเอฟจะผ่านเรคติฟายโดยไดโอด D_1 และขยายด้วยวงจร A_1 ส่งไฟไบอัสไปควบคุมวงจรขยายต่างๆ ในที่นี้ไฟควบคุมอัตราขยายอัตโนมัติจะลดลงเมื่อรับสัญญาณได้แรงขึ้น ถ้าหากเราต้องการให้ไฟควบคุมอัตราขยายอัตโนมัตินี้มีค่าคงตัวเวลา 2 ค่า เพื่อให้การทำงานได้เรียบและไม่มีการกระเพื่อม ค่าคงตัวเวลาที่เลือกใช้จะต้องให้วงจรควบคุมอัตราขยายอัตโนมัติทำงานได้รวดเร็วหรือมี attack time เร็ว และวงจรคืนตัว (หยุดทำงาน) ช้า หรือมีช่วงเวลาดีเลย์นาน ในที่นี้ไฟควบคุมอัตราขยายอัตโนมัติจะเกิดจากการประจุสัญญาณผ่าน R_1 กับ C_2 ส่วนการคายประจุจะผ่าน R_2 ถ้าต้องการให้วงจรทำงานเร็วและปล่อยช้าเราจะต้องเลือกให้ค่า R_1 มีค่ามากกว่า R_2 มากๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.53 วงจรควบคุมอัตราขยายอัตโนมัติชนิดที่ผลิตไฟจากสัญญาณพาหะ



รูปที่ 2.54 วงจรควบคุมอัตราขยายอัตโนมัติชนิดที่ผลิตไฟจากสัญญาณเสียง

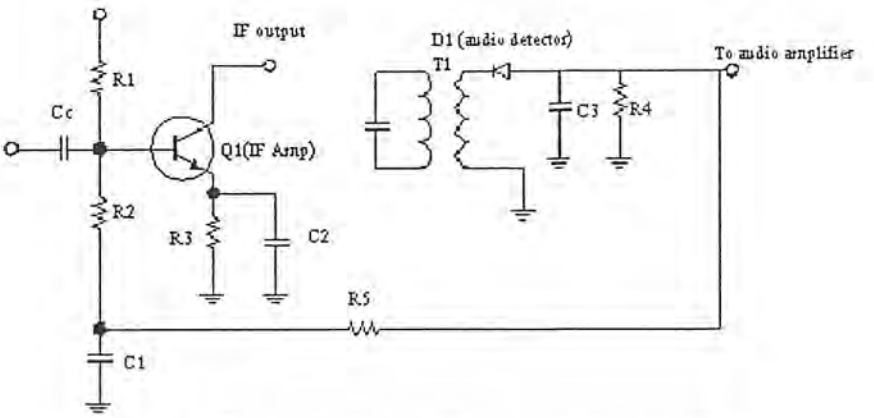
ในรูปที่ 2.54 เป็นแบบผลิตไฟจากสัญญาณเสียง วงจรชนิดนี้ก็เหมือนกับวงจรชนิดแรกแต่ในกรณีนี้เราใช้สัญญาณเสียงเป็นอินพุทแทน ค่าคงตัวเวลาที่เลือกใช้ก็อาศัยหลักการเดียวกัน ในที่นี้ไฟควบคุมอัตราขยายอัตโนมัติจะลดลงเมื่อสัญญาณเสียงดังหรือแรงขึ้น ถ้าเราต้องการให้เป็นไปในทางตรงข้าม คือ ไฟเพิ่มขึ้นเมื่อสัญญาณแรงขึ้น เราสามารถทำได้โดยการกลับขั้วของไดโอด

วงจรควบคุมอัตราขยายอัตโนมัติมีหลายชนิดได้แก่ วงจรควบคุมอัตราขยายอัตโนมัติอย่างง่าย (Simple AGC) วงจรควบคุมอัตราขยายอัตโนมัติแบบดีเลย์ (Delayed AGC) วงควบคุมอัตราขยายอัตโนมัติแบบฟอร์เวิร์ด (Forward AGC) เป็นต้น

1. วงจรควบคุมอัตราขยายอัตโนมัติอย่างง่าย

เป็นนิยมใช้กันอย่างมากในเครื่องรับเอเอ็ม แบบซูเปอร์เฮทเทอโรดายน์ซึ่งมีบล็อคไดอะแกรมดังรูปที่ 2.51 หลักการทำงานคือ วงจรควบคุมอัตราขยายอัตโนมัติจะตรวจดูระดับสัญญาณที่รับได้แล้วส่งสัญญาณกลับไปยังภาควงจรขยายอาร์เอฟหรือวงจรขยายไอเอฟ เพื่อปรับอัตราขยายให้เหมาะสมกับระดับสัญญาณโดยอัตโนมัติ โดยใช้หลักการของวงจรป้อนกลับแบบลบ (Negative Feedback) จุดประสงค์เพื่อให้เครื่องรับสามารถดีเทคหรือดีมอดูเลทสัญญาณออกมาได้เท่ากัน ถึงแม้ว่าสัญญาณจะถูกส่งมาจากแต่ละสถานีซึ่งมีกำลังส่งและระยะต่าง ๆ กันก็ตาม วงจรควบคุมอัตราขยายอัตโนมัติจะผลิตแรงดันเพื่อใช้ปรับอัตราขยายของเครื่องรับและรักษากำลังงานของสัญญาณไอเอฟที่อินพุทของเอเอ็มดีเทคเตอร์ให้อยู่ในระดับคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.55 วงจรควบคุมอัตราขยายอัตโนมัติอย่างง่าย

ในรูปที่ 2.55 แสดงโครงสร้างของวงจรควบคุมอัตราขยายอัตโนมัติอย่างง่าย ซึ่งเห็นว่าวงจรควบคุมอัตราขยายอัตโนมัติจำเป็นต้องมีวงจรพีคดีเทคเตอร์เพื่อดีเทคสัญญาณ แต่บ่อยครั้งที่เราสามารถใช้แรงดัน AGC Correction ที่ได้จากเอาท์พุทของวงจรออดิโอดีเทคเตอร์ซึ่งเป็นแรงดันไฟตรง ที่มีขนาดเฉลี่ยเท่ากับขนาดของแอมปลิจูดของสัญญาณพาหะในขณะที่ยังไม่ได้มอดูเลท ถ้าแอมปลิจูดของสัญญาณพาหะเพิ่มขึ้นแรงดันนี้จะเพิ่มขึ้น และถ้าแอมปลิจูดของสัญญาณพาหะลดลง แรงดันควบคุมอัตราขยายอัตโนมัติก็จะลดลงด้วย ดังนั้นวงจรดังในรูป 2.55 ทำงานเป็นวงจรดีเทคเตอร์แบบลบ (Negative Peak Detector) ผลิตแรงดันไฟลบ (Negative Voltage) ถ้าแอมปลิจูดของสัญญาณพาหะเข้ามามากเกินไปก็จะดีเทคได้แรงดันไฟลบได้มาก แรงดันควบคุมอัตราขยายอัตโนมัตินี้จะถูกส่งกลับยังวงจรขยายในภาคควบคุมอัตราขยายอัตโนมัติเพื่อควบคุมแรงดันไบอัสที่ขาเบสของ Q_1 เมื่อแอมปลิจูดของสัญญาณพาหะเพิ่มขึ้นแรงดันที่ขาเบสของ Q_1 จะเป็นบวกน้อยลง ทำให้กระแสอิมิตเตอร์ไหลน้อยลง ค่าความต้านทานภายใน (r_e) มีค่าเพิ่มขึ้นและทำให้อัตราขยายของวงจร (r_e/r_e) ลดลงเป็นเหตุให้แอมปลิจูดของสัญญาณถูกลดขนาดลง แต่ถ้าแอมปลิจูดของสัญญาณพาหะมีขนาดลดลง แรงดันควบคุมอัตราขยายอัตโนมัติจะเป็นลบน้อยลง กระแสอิมิตเตอร์จะเพิ่มขึ้น ค่า r_e ลดลงและอัตราขยายเพิ่มขึ้น ส่วนตัวเก็บประจุ C_1 ทำหน้าที่บายพาสสัญญาณออดิโอ ป้องกันการเปลี่ยนแปลงของแรงดันไฟควบคุมอัตราขยายอัตโนมัติเนื่องจากการมอดูเลทจากผลกระทบของอัตราขยายของทรานซิสเตอร์

2. วงจรควบคุมอัตราขยายอัตโนมัติแบบดีเลย์

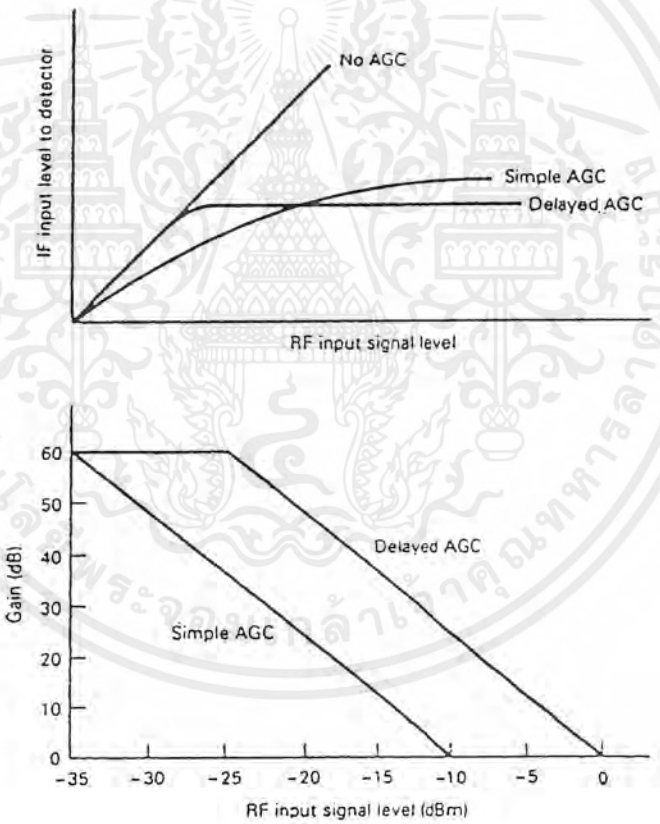
วงจรควบคุมอัตราขยายอัตโนมัติอย่างง่ายนิยมใช้กันมากในเครื่องรับวิทยุโดยทั่วไป แต่การทำงานของวงจรควบคุมอัตราขยายอัตโนมัติอย่างง่ายนั้นไบอัสของระดับสัญญาณควบคุมอัตราขยายอัตโนมัติจะเริ่มเพิ่มขึ้นเมื่อระดับสัญญาณที่รับได้เกินว่าเทอร์มอลนอยส์ (Thermal Noise) ของเครื่องรับทำให้วงจรมีปฏิกิริยาตอบโต้ช้า แต่การทำงานของวงจรควบคุมอัตราขยายอัตโนมัติแบบดีเลย์จะทำการป้องกันแรงดันไฟป้อนกลับที่มายังวงจรขยายอาร์เอฟและวงจรขยายไอเอฟเมื่อระดับสัญญาณอาร์เอฟเกินระดับที่กำหนด แรงดันควบคุมอัตราขยายอัตโนมัติก็จะมีการเปลี่ยนแปลงให้เหมาะสมให้สัญญาณมีระดับเท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.56 เป็นกราฟแสดงลักษณะการควบคุมอัตราขยายของเครื่องรับโดยวงจรควบคุมอัตราขยายอัตโนมัติชนิดต่างๆจะเห็นว่าวงจรควบคุมอัตราขยายอัตโนมัติแบบดีเลย์ ค่าอัตราขยายของเครื่องรับจะไม่เปลี่ยนแปลงจนกระทั่งสัญญาณอินพุทที่เข้ามาเกินกว่าระดับที่กำหนด แต่ควบคุมอัตราขยายอัตโนมัติอย่างง่ายเครื่องรับจะมีการเปลี่ยนแปลงโดยตลอด ถ้าสัญญาณมีการเพิ่มขึ้นหรือลดลง

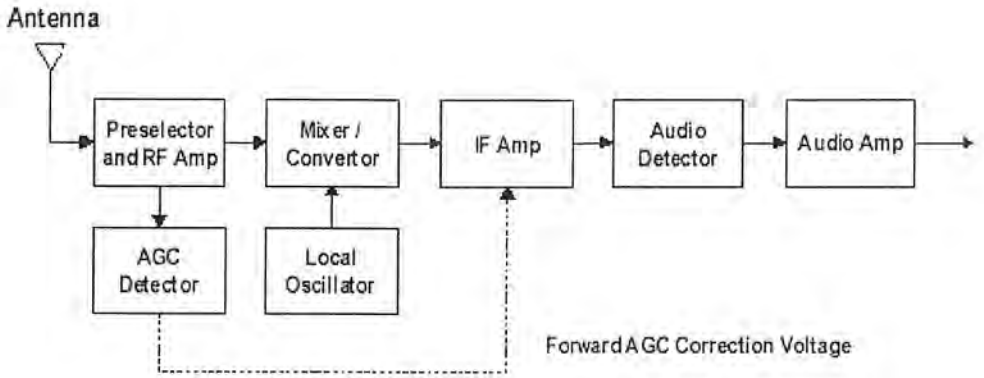
3. วงจร AGC แบบฟอร์เวิร์ด

ปัญหาของวงจรควบคุมอัตราขยายอัตโนมัติทั้งสองแบบที่กล่าวมา คือ แรงดันควบคุมป้อนกลับได้มาจากการดีเทค ระดับสัญญาณพาหะ โดยที่ภาควงจรควบคุมอัตราขยายอัตโนมัติจะอยู่หลังส่วนวงจรขยายซึ่งบางครั้งอาจทำให้วงจรทำงานได้ช้าเกินไปหรือควบคุมไม่ทันถ้าระดับสัญญาณมีการเปลี่ยนแปลงอย่างรวดเร็ว แต่ถ้าหากเราใช้วิธีการควบคุมอัตราขยายอัตโนมัติแบบฟอร์เวิร์ดซึ่งจะทำการดีเทคสัญญาณที่เข้ามาในภาคแรกก่อน แล้วจึงส่งแรงดันนี้ไปควบคุมวงจรขยายซึ่งอยู่ภาคถัดมาดังรูปที่ 2.57 ทำให้วงจรขยายปรับอัตราขยายรอรับได้ทันกับสัญญาณที่รับเข้ามาได้ทันที



รูปที่ 2.56 ลักษณะการควบคุมอัตราขยายของเครื่องรับโดยวงจรควบคุมอัตราขยายอัตโนมัติชนิดต่าง ๆ

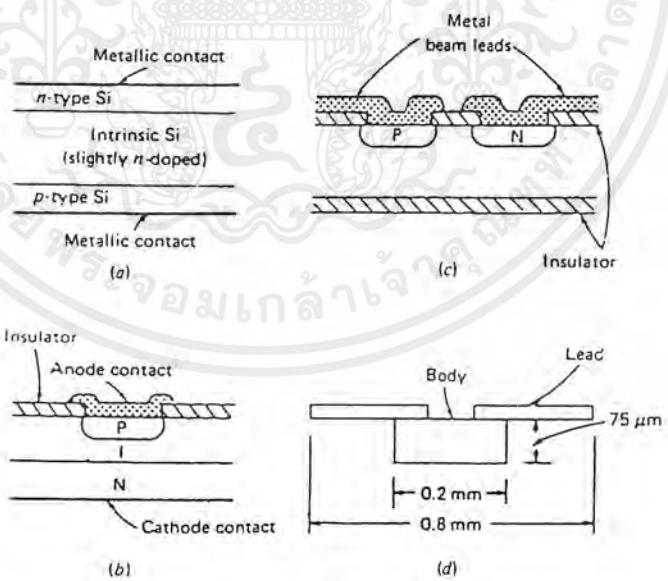
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.57 วงจรควบคุมอัตราขยายอัตโนมัติแบบฟอร์เวิร์ด

พินไดโอด (Pin Diode)

พินไดโอดเป็นไดโอดที่มีโครงสร้าง 3 ส่วน คือ ชั้น P และชั้น N สารกึ่งตัวนำที่ใช้จะเป็นซิลิคอน ส่วนชั้น I จะเป็นชั้นของสารกึ่งตัวนำที่ใกล้เคียงกับอินทรินสิค (Intrinsic) คือ ไม่มีทั้งอิเล็กตรอนและโฮล อยู่ภายใน จึงเป็นชั้นที่มีความจ้านทานเชิงไฟฟ้าสูงมาก โครงสร้างเป็นดังรูปที่ 2.58 พินไดโอดนี้ในสภาพที่มีไบอัสย้อนกลับ (Reverse Bias) อิเล็กตรอนที่อยู่ในชั้น N และโฮลที่อยู่ในชั้น P จะถูกดูดเข้าหาอิเล็กโทรด ทำให้เกิดชั้นที่ปลอดภัยจากอิเล็กตรอนและโฮลกว้างขึ้นจากความกว้างของชั้น I ในสภาพไบอัสย้อนกลับนี้ สัญญาณไมโครเวฟซึ่งมีระดับต่ำเมื่อเทียบกับแรงดันไบอัส ก็จะมองเห็นพินไดโอดเหมือนคาปาซิเตอร์ตัวหนึ่ง



รูปที่ 2.58 โครงสร้างของพินไดโอด

ในกรณีที่มีการไบอัสไปด้านหน้า อิเล็กตรอนในชั้น N และโฮลในชั้น P จะแพร่เข้าสู่ชั้น I รวมตัวกันสูญหายไปในชั้น I แต่เนื่องจากอายุของอิเล็กตรอนและโฮลในชั้น I จะยาวกว่าคาบของสัญญาณไมโครเวฟมาก ดังนั้นเมื่อมองจากสัญญาณไมโครเวฟก็เห็นเหมือนกับความต้านทานต่ออนุกรมอยู่ โดยที่ความต้านทานนี้จะมีค่าเปลี่ยนแปลงไปตามความหนาแน่นของพาหะมีอยู่ในชั้น I ซึ่งหมายถึงจะเปลี่ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แปลงไปตามค่าแรงดันไบอัสที่คร่อมขั้นไดโอดอยู่ จากปรากฏการณ์ที่กล่าวมานี้ทำให้พินไดโอดมีค่าอิมพิแดนซ์ที่ควบคุมได้ โดยการเปลี่ยนแปลงค่าแรงดันไบอัส

พินไดโอดมีคุณสมบัติดีหลายๆประการดังนี้คือ

1. มีค่าสเตรย์คาปาซิแตนซ์ต่ำ
2. มีค่าอินดักแตนซ์ต่ำ
3. ทนต่อแรงดันย้อนกลับได้สูง
4. ค่าความต้านทานจะไม่เปลี่ยนแปลงไปตามขนาดของสัญญาณอาร์เอฟ
5. ทำงานเป็นความต้านทานบริสุทธิ์ในย่านความถี่อาร์เอฟ
6. ค่าความต้านทานที่มองจากสัญญาณอาร์เอฟจะเปลี่ยนแปลงได้ในช่วงไม่กี่โอห์มจนถึงหลายๆกิโลโอห์มเมื่อเปลี่ยนแรงดันไบอัส

จากคุณสมบัติที่กล่าวมาข้างต้นนี้ทำให้พินไดโอดสามารถใช้งานในย่านความถี่ไมโครเวฟ ลักษณะต่อไปนี้คือ ใช้เป็นตัวลดทอนสัญญาณแบบปรับค่าได้ ใช้เป็นสวิตช์และใช้เป็นชิ้นส่วนในวงจรมอดูเลเตอร์เป็นต้น

ชอตต์กี้ไดโอด

ที่ความถี่ต่ำการทำงานของไดโอดเรียงกระแสสามารถเปลี่ยนสถานะไปมาระหว่างนำกระแสและไม่นำกระแส ตามการเปลี่ยนแปลงการไบอัสของไฟที่ป้อนให้มันได้ทันดังรูป 2.59 (กลาง) เพราะการเปลี่ยนแปลงไบอัสเป็นไปอย่างช้าๆ แต่ที่ความถี่สูงขึ้น (มากกว่า 1 เมกกะเฮิรตซ์) การเปลี่ยนสถานะไปสู่การหยุดนำกระแสนั้นไม่สามารถทำได้เร็วขึ้น ซึ่งทำให้เกิดกระแสย้อนกลับในช่วงเริ่มต้นของการไบอัสกลับดังรูป 2.59 (ซ้าย) การนำกระแสในช่วงไบอัสกลับจะมากขึ้นจนในที่สุด ไดโอดจะทำงานเป็นตัวเรียงกระแสไม่ได้

รูปที่ 2.59 การทำงานของไดโอด

ซ้าย – ไดโอดเรียงกระแส

กลาง – เอาท์พุทที่ความถี่ต่ำ

ขวา – เอาท์พุทที่ความถี่สูง

การไบอัสตรงให้กับไดโอด จะเกิดอิเล็กตรอนอิสระวิ่งข้ามรอยต่อและหลังจากนั้นอีกชั่วเวลาสั้นๆ อิเล็กตรอนอิสระเหล่านี้จะไปรวมตัวกับโฮล เวลาในช่วงสั้นๆ นี้เรียกว่า ช่วงชีวิต (Life Time) ซึ่งหมายความว่า จะมีช่วงระยะเวลาสั้นๆ เวลาหนึ่งที่มีอิเล็กตรอนสิสระถูกสะสมไว้ในสาร P (อิเล็กตรอนวิ่งจากสาร N มาสาร P) ปรากฏการณ์นี้เรียกว่า ประจุสะสม (Charge Storage) ในช่วงเวลาที่มีอิเล็กตรอนอิสระเกิดขึ้นนี้ เราไบอัสกลับให้กับไดโอดในทันที เช่นการป้อนความถี่สูงๆให้กับไดโอด อิเล็กตรอนอิสระนี้ก็

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะวิ่งย้อนกลับได้ ช่วงเลาที่ยอมให้เกิดกระแสย้อนกลับประมาณเท่ากับช่วงชีวิต ค่าช่วงชีวิตยิ่งมากเท่าไร เวลาที่เกิดกระแสย้อนกลับนี้ก็จะยิ่งมาก

ชอตต์กี้ไดโอดใช้โลหะเช่น แพลทตินัม , เงิน เป็นด้านหนึ่งของไดโอดแล้วโด้ปซิลิกอนที่เป็นสาร N ไปที่อีกด้านหนึ่งของไดโอด เมื่อไดโอดไม่ได้ถูกไบอัสอิเล็กตรอนอิสระในสาร N จะอยู่ในวงโคจรรอบนิวเคลียสเป็นวงที่เล็กกว่าอิเล็กตรอนอิสระที่โคจรในโลหะ ค่าความแตกต่างของวงโคจรนี้เรียกว่า ชอตต์กี้แบร์เรียร์ (Sckottky Barrier) เมื่อได้รับไบอัสตรงอิเล็กตรอนอิสระในสาร N จะมีระดับพลังงานที่สูงขึ้น แล้วขึ้นไปอยู่ในวงโคจรที่สูงพอจะวิ่งข้ามรอยต่อไปยังด้านที่เป็นโลหะได้ แต่โลหะนั้นไม่มีโฮลจึงไม่มีทั้งเขตปลอดพาหะ (Depletion Layer) และประจุสะสม ดังนั้นช่วงชีวิตมีค่าประมาณศูนย์ ด้วยเหตุนี้ชอตต์กี้ไดโอดจึงสามารถทำงานที่ความถี่สูงกว่าไดโอดเรียงกระแสทั่วไปมาก

ชอตต์กี้ไดโอดสามารถทำงานได้ที่ความถี่สูงกว่า 300 เม็กกะเฮิรตซ์ ชอตต์กี้ไดโอดสามารถทำงานเร่งกระแสรูปซายน์แบบครึ่งคลื่นได้อย่างสมบูรณ์ แม้ว่าความถี่ที่ใช้งานจะเป็น 100 เม็กกะเฮิรตซ์ เนื่องจากมันสามารถทำงานที่ความถี่สูงมาก จึงถูกนำไปใช้เป็นส่วนประกอบที่สำคัญในวงจรดิจิตอลความเร็วสูง เช่น ตระกูล STTL (Schottky Transistor Logic) ซึ่งมีความเร็วในการทำงานของวงจรพวกนี้ถูกกำหนดด้วยความเร็วในการสวิตช์เปิดและปิด

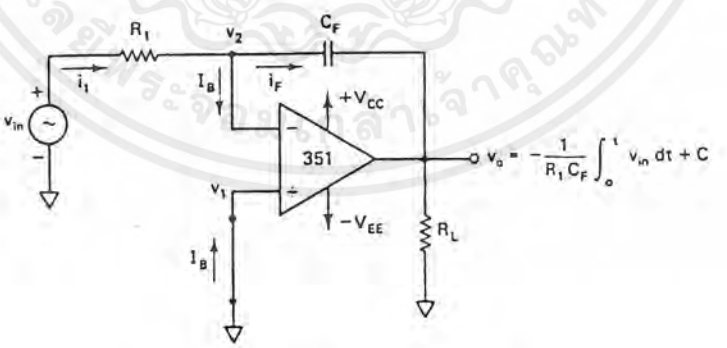
2.15 วงจรอินทิเกรเตอร์ (Integrator)

เป็นวงจรที่สัญญาณเอาท์พุทเป็นค่าอินทิเกรตของสัญญาณอินพุท วงจรนี้ใช้พื้นฐานของวงจรขยายแบบกลับเฟส โดยจะแทนที่ความต้านทานป้อนกลับ R_F ด้วยตัวเก็บประจุ C_F ดังรูปที่ 2.60

ค่าโวลเตจเอาท์พุท v_o สามารถหาได้จากค่าสมการกระแสของเคอร์ชอฟฟ์ที่โนด v_2

$$i_1 = I_B + i_F$$

โดย I_B มีค่าน้อยมาก ๆ $\quad i_1 \approx i_F$



รูปที่ 2.60 วงจรอินทิเกรเตอร์

ความสัมพันธ์ระหว่างกระแสที่คร่อมโวลเตจตกคร่อมตัวเก็บประจุ C คือ

$$i_C = C\frac{dv_C}{dt}$$

ดังนั้น

$$\frac{v_{in} - v_2}{R_1} = C_F\left(\frac{d}{dt}\right)(v_2 - v_o)$$

เมื่อ A มีค่ามาก ๆ ดังนั้น $v_1 = v_2 \approx 0$ แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{v_{in}}{R_1} = C_F \frac{d}{dt}(-v_o)$$

ค่าเอาท์พุทโวลเตจสามารถได้จากการอินทิเกรตทั้งสองข้าง

$$\int_0^t \frac{v_{in}}{R_1} dt = \int_0^t C_F \frac{d}{dt}(-v_o) dt$$

จะได้ว่า

$$v_o = -\frac{1}{R_1 C_F} \int_0^t v_{in} dt - C \qquad (2.108)$$

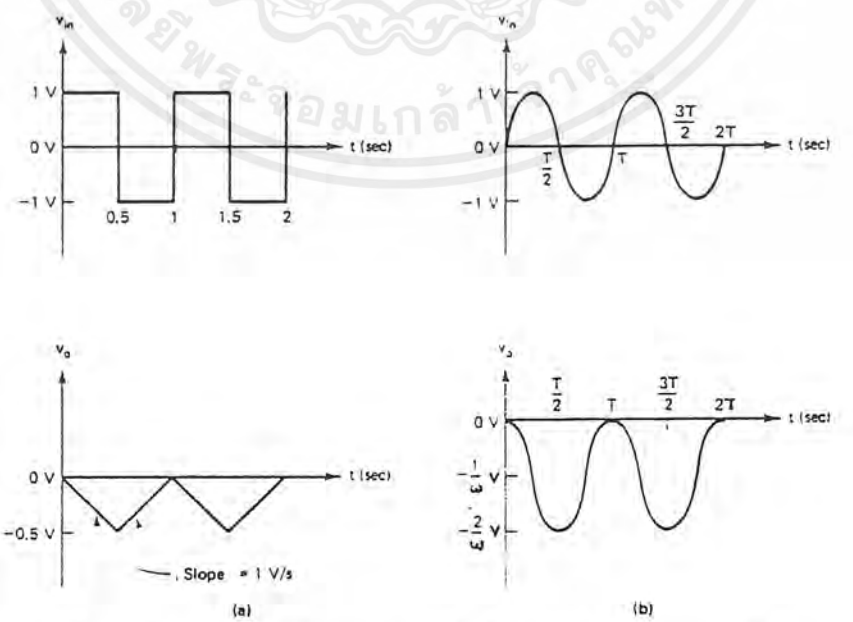
โดย C = ค่าคงที่

สมการ 2.108 แสดงให้เห็นว่าเอาท์พุทจะเป็นค่าอินทิกรัลที่ติดลบของอินพุทโวลเตจคูณด้วยส่วนกลับของ $R_1 C_F$ ตัวอย่างเช่น ถ้าอินพุทเป็นสัญญาณรูปซายน์ เอาท์พุทจะเป็นโคซายน์ หรือถ้า อินพุทเป็นสัญญาณรูปสี่เหลี่ยมแล้วเอาท์พุทจะเป็นรูปสามเหลี่ยมดังรูป 2.61 โดยเราสมมติให้ $R_1 C_F = 1$, $v_{OOT} = 0V, C = 0$

เมื่อ $v_{in} = 0$ วงจรอินทิเกรเตอร์ในรูป 2.60 จะทำงานเป็นวงจรขยายแบบลูปเปิด เนื่องจากตัวเก็บประจุ C_F จะทำงานเป็นวงจรเปิด $(X_{CF} = \infty)$ โดยค่าแรงดันออฟเซ็ตของอินพุทและบางส่วนของกระแสอินพุทจะชาร์จตัวเก็บประจุ C_F ทำให้เกิดเอออเรอร์โวลเตจที่เอาท์พุทของวงจรอินทิเกรเตอร์ ดังนั้นในทางปฏิบัติ จะต้องมีวงจรดังรูป 2.63 เพื่อจะลดค่าเออเรอร์โวลเตจที่เอาท์พุท ตัวต้านทานป้อนกลับถูกต่อคร่อมตัวเก็บประจุป้อนกลับ ตัวต้านทานป้อนกลับจะลิมิตอัตราขยายความถี่ต่ำและทำให้มีความแตกต่างของเอาท์พุทโวลเตจน้อย ๆ

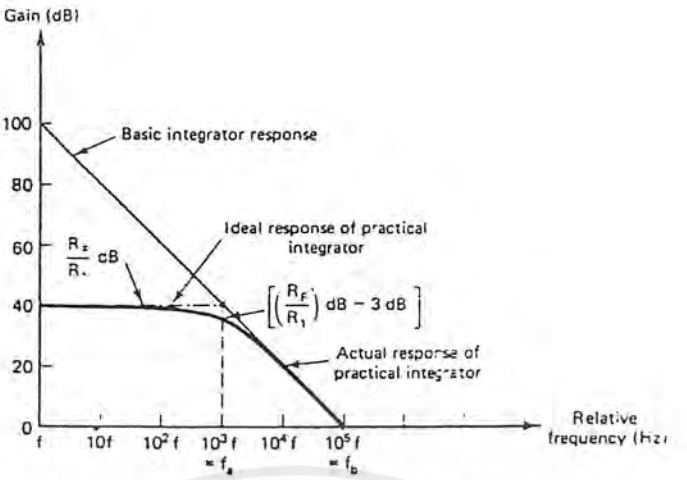
การตอบสนองความถี่ของวงจรอินทิเกรเตอร์พื้นฐานจะเป็นดังรูป 2.62 ในรูปนี้ f_b คือความถี่ซึ่งมีอัตราขยาย 0 dB มีค่าเท่ากับ

$$f_b = \frac{1}{2\pi R_1 C_F} \qquad (2.109)$$



รูปที่ 2.61 อินพุทและเอาท์พุทของวงจรอินทิเกรเตอร์ของสัญญาณรูปต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.62 การตอบสนองความถี่ของวงจรอินทิเกรเตอร์พื้นฐานและที่ใช้ในทางปฏิบัติ

ปัญหาเรื่องเสถียรภาพและการโรลออฟที่ความถี่ต่ำสามารถแก้ไขโดยเพิ่ม R_F ลงไปดังในวงจรอินทิเกรเตอร์ในทางปฏิบัติตามรูป 2.63 ผลตอบสนองทางความถี่ของวงจรอินเกรเตอร์ในทางปฏิบัติ จะเป็นตามรูป 2.62 ตามเส้นทึบ ในรูปนี้ f คือ Relative frequency ที่ทำงานใด ๆ และสำหรับความถี่จาก f ถึง f_a จะมีอัตราขยายเป็น R_F/R_1 ซึ่งคงที่ อย่างไรก็ดี หลังจาก f_a อัตราขยายจะลดลงที่อัตรา 20 dB/decade โดยระหว่าง f_a และ f_b วงจรดังรูป 2.63 จะทำงานเป็นวงจรอินทิเกรเตอร์ ความถี่ f_a จะมีค่าคือ

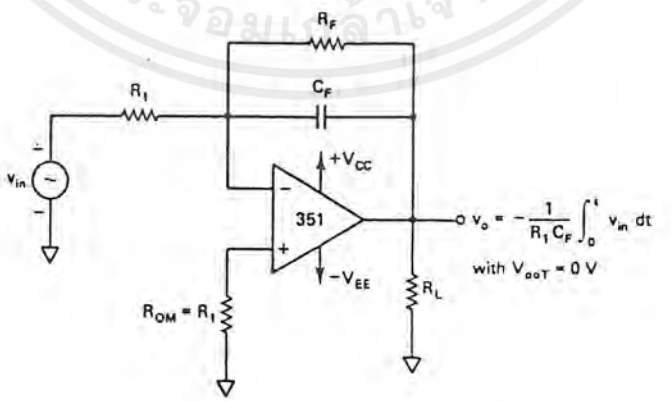
$$f_a = \frac{1}{2\pi R_F C_F}$$

ปกติแล้ว ค่าของ f_a และ R_1C_F, R_FC_F ควรจะเลือกให้ $f_a < f_b$ เช่นถ้า $f_a = f_b/10$ แล้วจะได้ $R_F = 10R_1$ ในทางปฏิบัติแล้ว สัญญาณอินพุทจะถูกอินทิเกรตอย่างเหมาะสมถ้าคาบเวลา T ของสัญญาณมีค่ามากกว่าหรือเท่ากับ R_FC_F นั่นคือ

$$T >> R_FC_F$$

ซึ่ง

$$R_FC_F = \frac{1}{2\pi f_a}$$



รูปที่ 2.63 วงจรอินทิเกรเตอร์ในทางปฏิบัติ

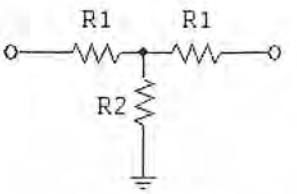
วงจรอินทิเกรเตอร์นั้นส่วนใหญ่จะถูกใช้ในคอมพิวเตอร์แบบอนาล็อกและการแปลงจากอนาล็อกไปเป็นดิจิตอล (ADC) และวงจรจัดรูปสัญญาณ (Signal Waveshaping Circuits)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.16 วงจรลดทอนสัญญาณ (Attenuator)

วงจรลดทอนสัญญาณเป็นวงจรที่ใช้เพื่อการลดทอนสัญญาณตามที่ต้องการ โดยวงจรลดทอนสัญญาณสามารถคำนวณได้ตามลักษณะชนิดของวงจร

2.16.1 วงจรลดทอนสัญญาณชนิดที (T-type)

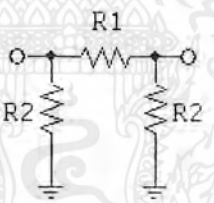


รูปที่ 2.64 วงจรลดทอนสัญญาณชนิดที

ค่าของอุปกรณ์ต่าง ๆ ในวงจรคำนวณได้ตามนี้

$$R_1 = R_0(N-1))/(N+1)$$
$$R_2 = R_0 2N/(N^2-1)$$
$$N = V_{in} / V_{out}$$

2.16.2 วงจรลดทอนสัญญาณชนิดพาย (P-type)



รูปที่ 2.65 วงจรลดทอนสัญญาณชนิดไพ

ค่าของอุปกรณ์ต่าง ๆ ในวงจรคำนวณได้ตามนี้

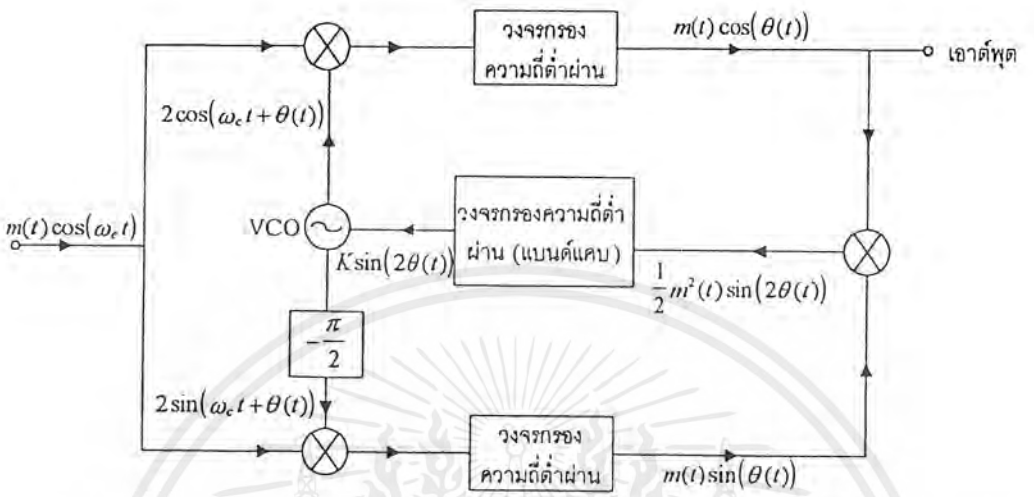
$$R_1 = R_0(N^2-1)/2N$$
$$R_2 = R_0(N+1)/(N-1)$$
$$N = V_{in} / V_{out}$$

2.17 เครื่องรับแบบคอสทาส (Costas Receiver)

การดีเทคสัญญาณดีเอสบีเอสซีนั้น ความถี่และเฟสของคลื่นพาห์ที่เครื่องรับสร้างขึ้นเพื่อใช้ในการดีเทคแบบสัมพัทธ์นั้น ถ้ามันมีค่าต่างจากค่าของคลื่นพาห์ที่รับมาจากเครื่องส่งก็จะเกิดการลดทอนและเกิดความผิดเพี้ยนของสัญญาณข่าวสารที่ดีเทคออกมาได้ การแก้ปัญหานี้วิธีหนึ่งคือทำได้โดยการจัดแยกส่งคลื่นนำร่อง (pilot signal) ที่มีข้อมูลของคลื่นพาห์แฝงอยู่ไปยังเครื่องรับพร้อมทั้งสัญญาณดีเอสบี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอสซี เพื่อให้เครื่องรับจะได้มีสื่ออ้างอิงในการผลิตคลื่นพาห์ที่ถูกต้อง วิธีการนี้มีจุดอ่อนที่มีความซับซ้อนในการที่จะต้องจัดไม่ให้คลื่นนำร่องนั้นไปรบกวนสัญญาณหลัก ยังมีวิธีการที่นิยมกันในการดีเทคสัญญาณดีเอสบีเอสซีอีกวิธีหนึ่งคือ การจัดวงจรในรูปของวงจรคอสทาส (Costas's Loop) ดังแสดงในรูป



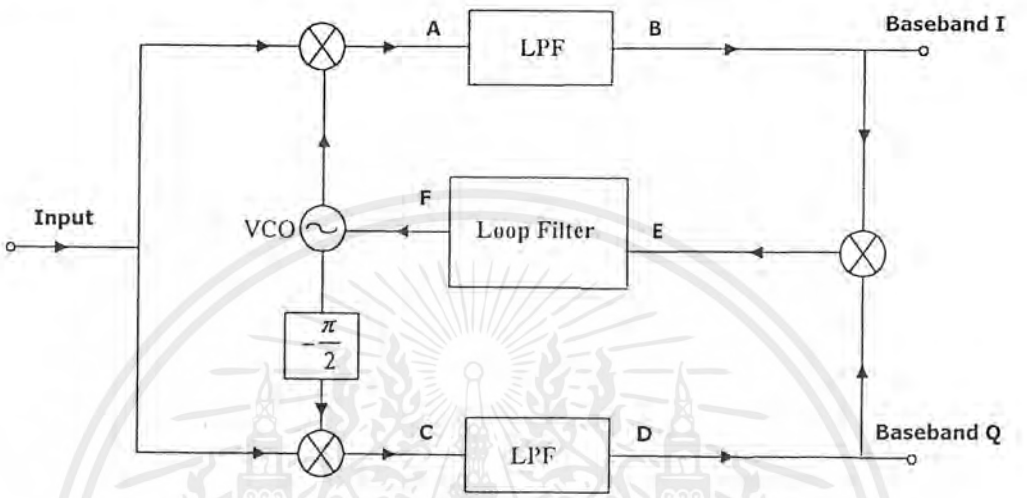
รูปที่ 2.66 วงจรเครื่องรับแบบคอสทาส

หลักการทำงานของวงจรมีดังนี้ คือ เมื่อทำการรับสัญญาณดีเอสบีเอสซีคือ $m(t)\cos(\omega_c t)$ นั้นจะสมมติให้วงจรออสซิลเลเตอร์ควบคุมได้โดยแรงดัน (Voltage Control Oscillator) หรือที่เรียกย่อๆว่าวีซีโอ (VCO) ในเครื่องรับนั้นมีความถี่ทำงานอิสระ (free running frequency) ใกล้เคียงกับความถี่ ω_c ที่รับได้ ในที่นี้จะสมมติว่าคลื่นที่ได้จากวงจรวีซีโอนี้คือ $2\cos(\omega_c t+\theta(t))$ ซึ่ง $\theta(t)$ เป็นค่าผิดพลาดทางเฟสที่เปลี่ยนแปลงตามเวลา(ส่วนที่เป็นความคลาดเคลื่อนทางความถี่รวมอยู่ในนี้ด้วย สัญญาณส่วนหนึ่งจากวีซีโอจะถูกส่งตรงไปมอดูเลต(คูณกับสัญญาณอินพุท $m(t)\cos(\omega_c t)$) และนำสัญญาณเลพธ์ที่ได้ไปผ่านวงจรกรองความถี่ต่ำผ่าน ทำให้ได้สัญญาณ $m(t)\cos(\theta(t))$ ออกมา สัญญาณอีกส่วนหนึ่งจะถูกนำไปเลื่อนเฟส 90 องศาทำให้ได้คลื่น $2\sin(\omega_c t+\theta(t))$ ซึ่งจะถูกนำไปมอดูเลตกับสัญญาณที่รับได้แล้วส่งผ่านตัวกรองความถี่ต่ำผ่านเหลือเป็นสัญญาณ $m(t)\sin(\theta(t))$ ออกมา ด้วยเหตุผลทางคณิตศาสตร์เมื่อนำสัญญาณนี้ไปคูณกลับสัญญาณ $m(t)\cos(\theta(t))$ จะได้ผลเป็น $\frac{1}{2}m^2(t)\sin(2\theta(t))$ ซึ่งสัญญาณนี้เมื่อผ่านวงจรกรองความถี่ต่ำที่มีช่วงผ่านความถี่แคบก็จะได้สัญญาณความถี่ต่ำมากแปรผันตามค่า $\sin(2\theta(t))$ ออกมากล่าวคือจะได้เอาท์พุทเป็น $k\sin(2\theta(t))$ โดย k เป็นค่าที่ขึ้นอยู่กับค่าเฉลี่ยของสัญญาณ $\frac{1}{2}m^2(t)$ ซึ่งมีค่าประมาณคงที่และถ้า $\theta(t)$ มีค่าน้อย $k\sin(2\theta(t))$ จะมีค่าประมาณเท่ากับ $2k\theta(t)$ ซึ่งหมายความว่าค่าเอาท์พุท องวงจรกรองความถี่ต่ำที่มีช่วงผ่านแคบนั้นจะแปรผันตามค่า$\theta(t)$ซึ่งเอาท์พุทนี้จะไปควบคุมให้วงจรวีซีโอให้ผลิตสัญญาณความถี่ที่มีค่า $\theta(t)$ ลดลง กระบวนการป้อนกลับนี้จะทำงานจนลดลงเป็นศูนย์ กล่าวคือคลื่นพาห์จากวีซีโอจะปรับตัวจนมีค่าความถี่ตรงกับเครื่องส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการใช้งานจริง ปรากฏการณ์ป้อนกลับนี้จะเกิดขึ้นอย่างรวดเร็วจนผู้รับฟังไม่สามารถรู้สึกได้ วิธีการแก้ไขความคลาดเคลื่อนโดยใช้วงจรของคอสทาสนิยมมาก เครื่องรับที่ใช้หลักการนี้เรียกว่า เครื่องรับแบบคอสทาส (Costas's receiver)

สังเกตได้จากรูปว่าเมื่อ เป็นศูนย์จะได้ เอาท์พุทของวงจรคือ สัญญาณ m(t) ที่ได้จากการดีมอดูเลตนั่นเอง



รูปที่ 2.67 วงจรเครื่องรับแบบคอสทาสกรณีจีเอ็มเอสเค

ในส่วนของกรณีถ้าสัญญาณที่รับได้ที่เครื่องรับเป็นจีเอ็มเอสเคโดยให้ข้อมูลที่รับได้ที่เครื่องรับแบบคอสทาสคือ

$$\cos f(t)\sin\omega_c t + \sin f(t)\cos\omega_c t = \sin(\omega_c t + f(t))$$

ที่จุด A สัญญาณที่รับได้นำมาคูณกับสัญญาณที่ผลิตได้จากวีซีโอคือ $\cos(\omega_C t + \phi(t))$ จะได้

$$\begin{aligned}
A &= \sin(\omega_c t + f(t))\cos(\omega_c t + \phi(t)) \\
&= \left[\cos f(t)\sin\omega_c t + \sin f(t)\cos\omega_c t\right] \\
&\left[\cos\omega_c t\cos\phi(t) - \sin\omega_c t\sin\phi(t)\right] \\
&= \cos f(t)\sin\omega_c t\cos\omega_c t\cos\phi(t) - \cos f(t)\sin^2\omega_c t\sin\phi(t) \\
&+ \sin f(t)\cos^2\omega_c t\cos\phi(t) - \sin f(t)\cos\omega_c(t)\sin\omega_c(t)\sin\phi(t) \\
&= \cos f(t)\cos\phi(t)\frac{\sin 2\omega_c t}{2} - \cos f(t)\sin\phi(t)\left[\frac{1-\cos 2\omega_c t}{2}\right] \\
&+ \sin f(t)\cos\phi(t)\left[\frac{\cos 2\omega_c t + 1}{2}\right] - \sin f(t)\sin\phi(t)\frac{\sin 2\omega_c t}{2}
\end{aligned}$$

$$= \frac{\cos f(t)\cos\phi(t)\sin 2\omega_c t}{2} - \frac{\cos f(t)\sin\phi(t)}{2} + \frac{\cos f(t)\sin\phi(t)\cos 2\omega_c t}{2}$$

$$+ \frac{\sin f(t)\cos\phi(t)\cos 2\omega_c t}{2} + \frac{\sin f(t)\cos\phi(t)}{2} - \frac{\sin f(t)\sin\phi(t)\sin 2\omega_c t}{2}$$

เมื่อผ่านวงจรกรองความถี่ต่ำผ่านจะได้

$$C = \frac{\sin f(t)\cos\phi(t) - \cos f(t)\sin\phi(t)}{2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{1}{2}\sin(f(t)-\phi(t))$$

ส่วนที่จุด B สัญญาณที่รับได้ถูกนำมาคูณกับสัญญาณที่วีซีโอผลิตแล้วถูกชิฟท์เฟสไป 90 องศาจะได้

$$B = \left[\cos f(t)\sin\omega_c t + \sin f(t)\cos\omega_c t\right]\left[\sin(\omega_c t + \phi(t))\right]$$
$$= \left[\cos f(t)\sin\omega_c t + \sin f(t)\cos\omega_c t\right]\left[\sin\omega_c t\cos\phi(t) + \cos\omega_c t\sin\phi(t)\right]$$
$$= \cos f(t)\sin^2\omega_c t\cos\phi(t) + \cos f(t)\sin\omega_c t\cos\omega_c t\sin\phi(t)$$
$$+ \sin f(t)\cos\omega_c t\sin\omega_c t\cos\phi(t) + \sin f(t)\cos^2\omega_c t\sin\phi(t)$$
$$= \cos f(t)\cos\phi(t)\left[\frac{1-\cos 2\omega_c t}{2}\right] + \cos f(t)\sin\phi(t)\frac{\sin 2\omega_c t}{2}$$
$$+ \sin f(t)\cos\phi(t)\frac{\sin 2\omega_c t}{2} + \sin f(t)\sin\phi(t)\left[\frac{\cos 2\omega_c t+1}{2}\right]$$
$$= \frac{\cos f(t)\cos\phi(t)}{2} - \frac{\cos f(t)\cos\phi(t)\cos 2\omega_c t}{2} + \frac{\cos f(t)\sin\phi(t)\sin 2\omega_c t}{2}$$
$$+ \frac{\sin f(t)\cos\phi(t)\sin 2\omega_c t}{2} + \frac{\sin f(t)\sin\phi(t)\cos 2\omega_c t}{2} + \frac{\sin f(t)\sin\phi(t)}{2}$$

เมื่อผ่านวงจรกรองความถี่ต่ำผ่านจะได้

$$D = \frac{\cos f(t)\cos\phi(t) + \sin f(t)\sin\phi(t)}{2}$$
$$= \frac{1}{2}\left(\cos(\mathrm{f(t)} - \phi(\mathrm{t}))\right)$$

นำสัญญาณที่ผ่านวงจรกรองความถี่ต่ำผ่านทั้งสองมาคูณกันจะได้

$$E = \frac{1}{2}\left(\sin f(t)\cos\phi(t) - \cos f(t)\sin\phi(t)\right)\frac{1}{2}\left(\cos f(t)\cos\phi(t) + \sin f(t)\sin\phi(t)\right)$$
$$= \frac{1}{4}\left[\begin{array}{l}\cos^2\phi(t)\sin f(t)\cos f(t) + \cos\phi(t)\sin\phi(t)\sin^2 f(t) - \sin\phi(t)\cos\phi(t)\cos^2 f(t)\\ -\sin^2\phi(t)\cos f(t)\sin f(t)\end{array}\right]$$
$$= \frac{1}{4}\left[\begin{array}{l}\dfrac{\cos^2\phi(t)\sin 2f(t)}{2} + \cos\phi(t)\sin\phi(t)\left(\dfrac{1-\cos 2f(t)}{2}\right) - \cos\phi(t)\sin\phi(t)\left(\dfrac{\cos 2f(t)+1}{2}\right)\\ -\dfrac{\sin^2\phi(t)\sin 2f(t)}{2}\end{array}\right]$$
$$= \frac{1}{4}\left[\begin{array}{l}\dfrac{\cos^2\phi(t)\sin 2f(t)}{2} + \dfrac{\cos\phi(t)\sin\phi(t)}{2} - \dfrac{\cos\phi(t)\sin\phi(t)\cos 2f(t)}{2}\\ -\dfrac{\cos\phi(t)\sin\phi(t)\cos 2f(t)}{2} + \dfrac{\cos\phi(t)\sin\phi(t)}{2} - \dfrac{\sin^2\phi(t)\sin 2f(t)}{2}\end{array}\right]$$

เมื่อผ่านลูปฟิลเตอร์จะได้

$$F = \frac{\cos\phi(t)\sin\phi(t) + \cos\phi(t)\sin\phi(t)}{8}$$
$$= \frac{\cos\phi(t)\sin\phi(t)}{4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำค่าที่ได้นี้ไปควบคุมวีซีโอเพื่อให้ผลิตความถี่ออกมา

2.18 หลักการของจีเอ็มเอสเคมอดูเลเตอร์

เราจะให้ f และ f_C เป็นความถี่ของสัญญาณและคลื่นพาห์ตามลำดับ และให้ T_b เป็นความกว้างของบิท เราจะเริ่มพิจารณาจากเอ็มเอสเค (Minimum Shift Keying) ซึ่งเป็นเทคนิคการมอดูเลชั่นแบบใช้สองความถี่ มีมอดูเลชั่นอินเด็กซ์ m=0.5 และมีคุณสมบัติพื้นฐานดังต่อไปนี้

1. มีเอ็นเวลโลปคงที่เหมาะสำหรับการขยายกำลังอย่างมีประสิทธิภาพแบบนอนลิเนียร์

2. สามารถดีเทคได้ทั้งโคฮีเร็นท์และนอนโคฮีเร็นท์

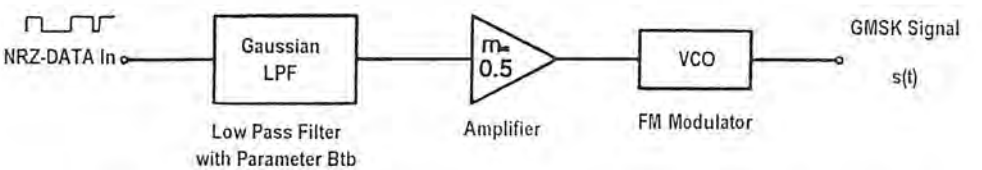
3. สเปคตรัมของโลปหลักจะกว้างกว่าสัญญาณคิวพีเอสเค 50% และสเปคตรัม นัล (Spectral Null) แรกอยู่ที่ $(f - f_C)T_b = 0.75$ เปรียบเทียบกับคิวพีเอสเค ที่อยู่ที่ $(f - f_C)T_b = 0.5$

เพื่อที่จะยังคงไว้ซึ่งคุณสมบัติ 1 และ 2 ที่ต้องการและเพื่อให้มีการใช้สเปคตรัมอย่างมีประสิทธิภาพ หรือ การลดแถบความถี่ของโลปหลักลงและความหนาแน่นสเปคตรัมของไซด์โลป วงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนจะถูกเพิ่มขึ้นมาก่อนการมอดูเลชั่นในกระบวนการของเบสแบนด์ของเอ็มเอสเค มอดูเลเตอร์ เราเรียกวิธีการแบบนี้ว่า เกาส์เซียน เอ็มเอสเคหรือ จีเอ็มเอสเคมอดูเลเตอร์

การตอบสนองพัลส์ของวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน (GLPF) จะมีผลต่อการทำงานของระบบจีเอ็มเอสเคและของสเปคตรัม โดยผลตอบสนองนี้จะพิจารณาจากผลคูณ BT_b ซึ่ง B เป็นค่าความถี่คัทออฟ 3-dB ของวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน สำหรับระบบเอ็มเอสเค จะมีค่า $BT_b = \infty$ (ถ้าไม่มีวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน) ค่า BT_b ที่ยิ่งน้อยก็จะยิ่งทำให้สเปคตรัมแคบเท่านั้นและในขณะเดียวกันก็จะมีค่าของอินเตอร์ซิมบอลอินเตอร์เฟอร์เรนส์ (ISI) มากขึ้นที่สัญญาณที่ออกจาก วงจรกรองความถี่

โครงสร้างของวงจรมอดูเลเตอร์ที่ใช้หลักการของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (VCO Modulator Structure)

ในรูปที่ 2.68 แสดงถึงบล็อกไดอะแกรมของวงจรมอดูเลเตอร์ที่ใช้หลักการของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันของจีเอ็มเอสเค ถ้าหากวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนถูกนำออกจะเหลือเพียงโครงสร้างมอดูเลเตอร์แบบเอ็มเอสเค ดังที่ได้อธิบายไปก่อนหน้านี้



รูปที่ 2.68 โครงสร้างของจีเอ็มเอสเคมอดูเลเตอร์แบบใช้วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทของวงจรมอดูเลเตอร์ที่ใช้หลักการของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันแบบเอฟเอ็มคือ

$$s(t) = \sin\left[2\pi f_C t + \varphi(t)\right] \tag{2.110}$$

โดย

$$\varphi(t) = k. \int_{x=-\infty}^{t} \sum_{n=-\infty}^{\infty} a_n . r(x - nT_b)dx \tag{2.111}$$

a_n เป็นดาต้าบิทที่เวลา n และ k เป็นค่าคงที่ที่มีค่าเป็นสัดส่วนโดยตรงกับเซ็นซิทิวิตี้ของวงจรมอดูเลเตอร์ที่ใช้หลักการของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันแบบเอฟเอ็ม สัญญาณคือ

$$r(t) = \Pi(t/T_b) * g(t) \tag{2.112}$$

อธิบายการคอนโวลูชั่นระหว่าง g(t) ซึ่งเป็นผลตอบสนองอิมพัลส์ของวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน และพัลส์สี่เหลี่ยม $\Pi(t/T_b)$ ที่มียูนิตแอมปลิจูดระหว่าง 0 และ T_b, ในจีเอ็มเอสเค ค่าคงที่ k จะหาโดยมอดูเลทเฟส $\varphi(t)$ มีค่าเท่ากับ $\pi/2$

$$k. \int_{-\infty}^{\infty} r(t)dt = \frac{\pi}{2} \tag{2.113}$$

ซึ่งค่า k นี้จะทำให้เราสามารถหาค่ามอดูเลชั่นอินเด็กซ์ได้เท่ากับ

$$m = \Delta f_{pp} T_b \tag{2.114}$$

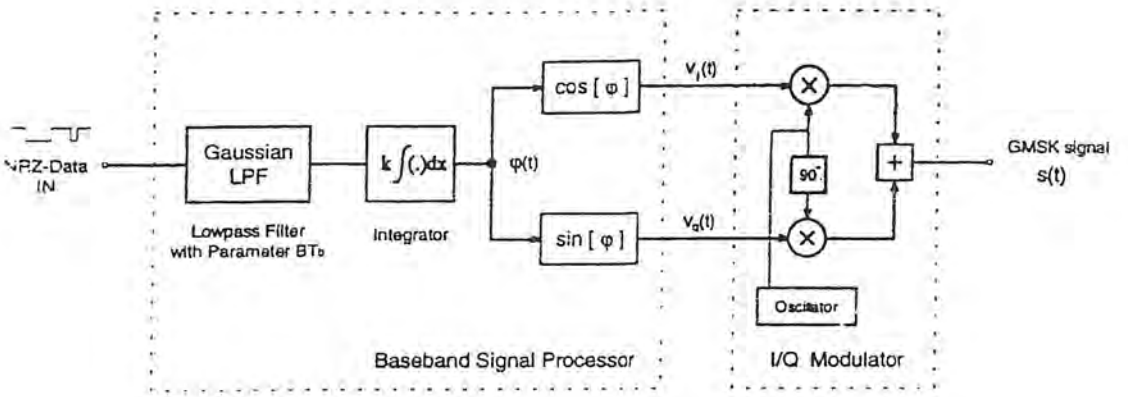
ในวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนก่อนเข้าระบบเอฟเอสเค นั้นค่ามอดูเลชั่นอินเด็กซ์จะมีค่าระหว่าง 0.1-1 จีเอ็มเอสเคเป็นกรณีพิเศษของเอฟเอสเค ซึ่งมีค่ามอดูเลชั่นอินเด็กซ์เท่ากับ 0.5 โดยทั้งจีเอ็มเอสเคและจีเอฟเอสเค ต่างก็มีเอ็นเวลโลปที่คงที่และมีสเปคตรัมที่แคบ

โครงสร้างของควอดดราเจอร์มอดูเลเตอร์ (Quadrature Modulator Structure)

สถาปัตยกรรมของวงจรมอดูเลเตอร์ที่ใช้หลักการของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันในระบบจีเอ็มเอสเคนั้นมีพื้นฐานบนระบบย่อยเบสแบนด์ซึ่งใช้ในงานไอเอฟ หรือในเครื่องส่งวิทยุแบบ direct RF VCO-FM ดังรูปที่ 2.68 อย่างไรก็ตาม การดีมอดูเลชั่นแบบโคฮีเรนท์ยังไม่เหมาะสมเนื่องจากค่าความคลาดเคลื่อนของอุปกรณ์ที่ใช้ มอดูเลชั่นอินเด็กซ์ของเครื่องส่งแบบนี้นั้นจะคลาดเคลื่อนและแปรผันกับเวลาและอุณหภูมิ

อีกทางเลือกหนึ่งของการสร้างสัญญาณจีเอ็มเอสเคก็คือ การใช้สถาปัตยกรรมของเบสแบนด์ โปรเซสเซอร์แล้วตามด้วยควอดดราเจอร์มอดูเลเตอร์ดังแสดงในรูปที่ 2.69 ในการสร้างสัญญาณแบบนี้สามารถรักษาค่ามอดูเลชั่นอินเด็กซ์ให้เท่ากับ 0.5 ได้เสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.69 โครงสร้างของจีเอ็มเอสเคมอดูเลเตอร์แบบควอดดราเจอร์

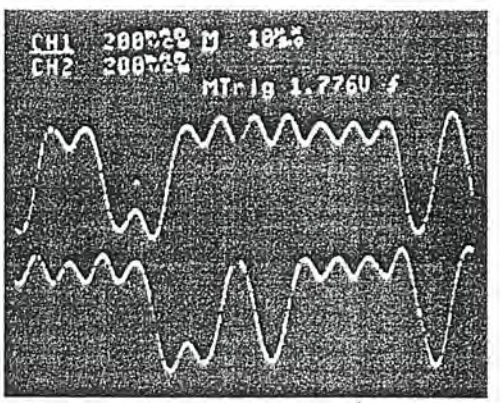
ควอดดราเจอร์มอดูเลเตอร์นี้ สามารถนำไปสร้างสัญญาณจีเอ็มเอสเคที่มีลักษณะเหมือนกับการสร้างโดยวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน สมการที่ 2.110 สามารถนำมาเขียนใหม่ได้เป็น

$$s(t) = \sin[2\pi f_c t].\cos[\varphi(t)] + \cos[2\pi f_c t].\sin[\varphi(t)] \text{ สมการที่ } 2.115$$

ซึ่งสมการนี้แสดงถึงการใช้ควอดดราเจอร์มอดูเลเตอร์ดังแสดงในรูปที่ 2.69 โดยการแปลงจากสมการที่ 2.110 ไปเป็นสมการที่ 2.114 สามารถทำได้ง่ายมาก แต่ในทางปฏิบัติแล้วจะมีประโยชน์อย่างมากมายทีเดียว

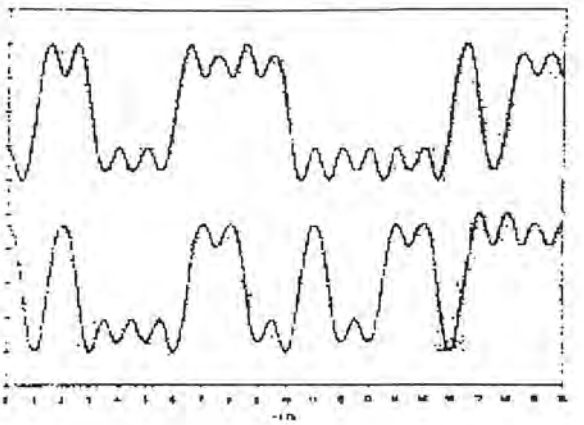
มีสัญญาณ 2 สัญญาณที่จุดอินเตอร์เฟสระหว่างวงจรประมวลผลสัญญาณเบสแบนด์ (Baseband Signal Processor) กับวงจรไอคิวมอดูเลเตอร์ เราจะแทนสัญญาณทั้งสองเป็น $v_i(t)$ สำหรับสัญญาณเบสแบนด์ของแกน I และ $v_q(t)$ สำหรับสัญญาณเบสแบนด์ของแกน Q

รูปที่ 2.70 และ 2.71 แสดงถึงผลจากการวัดและการจำลองของตัวอย่างของสัญญาณเหล่านี้ สำหรับรูปที่ 2.70 การวัดเหล่านี้จะถูกกระทำจากสัญญาณที่สร้างโดยเบสแบนด์ชิพของระบบจีเอสเอ็ม โดยมีค่า BT_b ของวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนเท่ากับ 0.3 ซึ่งถูกใช้ในระบบโทรศัพท์เคลื่อนที่จีเอสเอ็ม ส่วนรูปที่ 2.71 นั้นได้จากการซิมูเลทวงจร โดยสัญญาณบนเป็นช่อง I และสัญญาณล่างเป็นช่อง Q



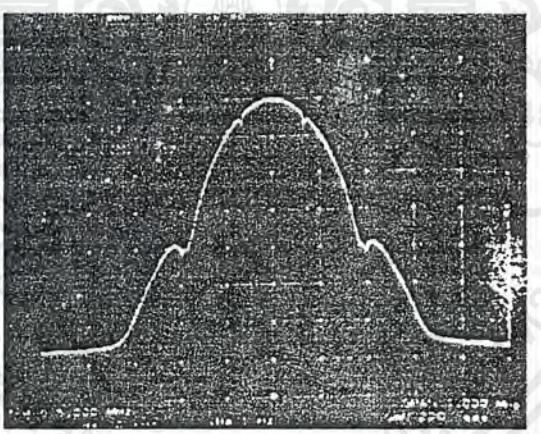
รูปที่ 2.70 สัญญาณเบสแบนด์ไอและคิวของจีเอ็มเอสเค ที่อัตราเร็ว 270.833 กิโลบิทต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.71 สัญญาณเบสแบนด์ไอและคิวของจีเอ็มเอสเค
ที่ซิมูเลทที่อัตราเร็ว 270.833 กิโลบิทต่อวินาที

การวัดความหนาแน่นของสเปคตรัมของสัญญาณจีเอ็มเอสเค ที่มี $BT_b = 0.3$ ถูกแสดงโดยรูปที่ 2.72 โดยมีอัตราเร็วของข้อมูลเท่ากับ 270.833 กิโลบิทต่อวินาที และความถี่ของคลื่นพาห์เท่ากับ 915 เม็กกะเฮิร์ต



รูปที่ 2.72 ความหนาแน่นสเปคตรัมของสัญญาณจีเอ็มเอสเค ที่อัตราเร็ว 270.833 กิโลบิทต่อวินาที

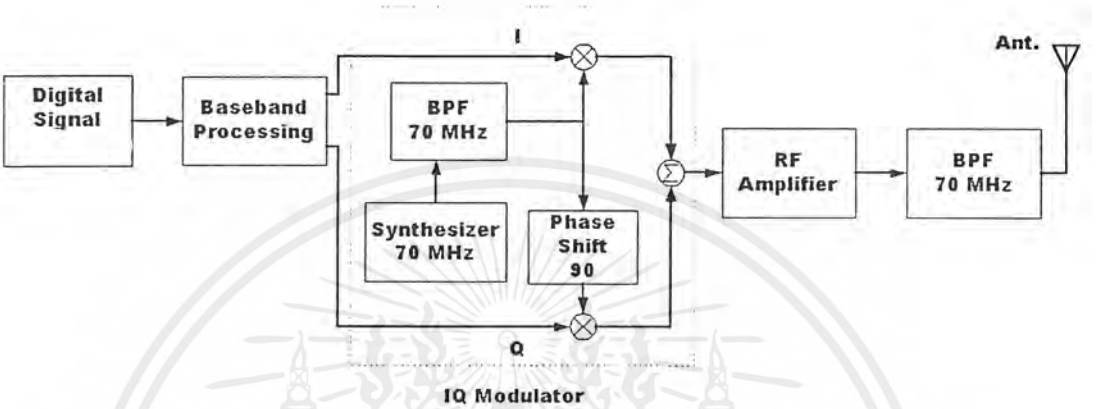
สำหรับการดีมอดูเลทสัญญาณจีเอ็มเอสเค สามารถที่จะใช้เครื่องรับเอฟเอ็มแบบลิมิเตอร์/ดีสคริมิเนเตอร์ และเครื่องรับแบบโคฮีเรนท์ได้ ข้อได้เปรียบของเครื่องรับแบบดีสคริมิเนเตอร์คือ สามารถสร้างได้ง่ายและไม่ค่อยจะไวต่อความไม่เที่ยงตรงของมอดูเลชั่นอินเด็กซ์เท่าไรนัก อย่างไรก็ตาม เครื่องรับสัญญาณแบบโคฮีเรนท์ให้ค่า ISI ที่น้อยกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

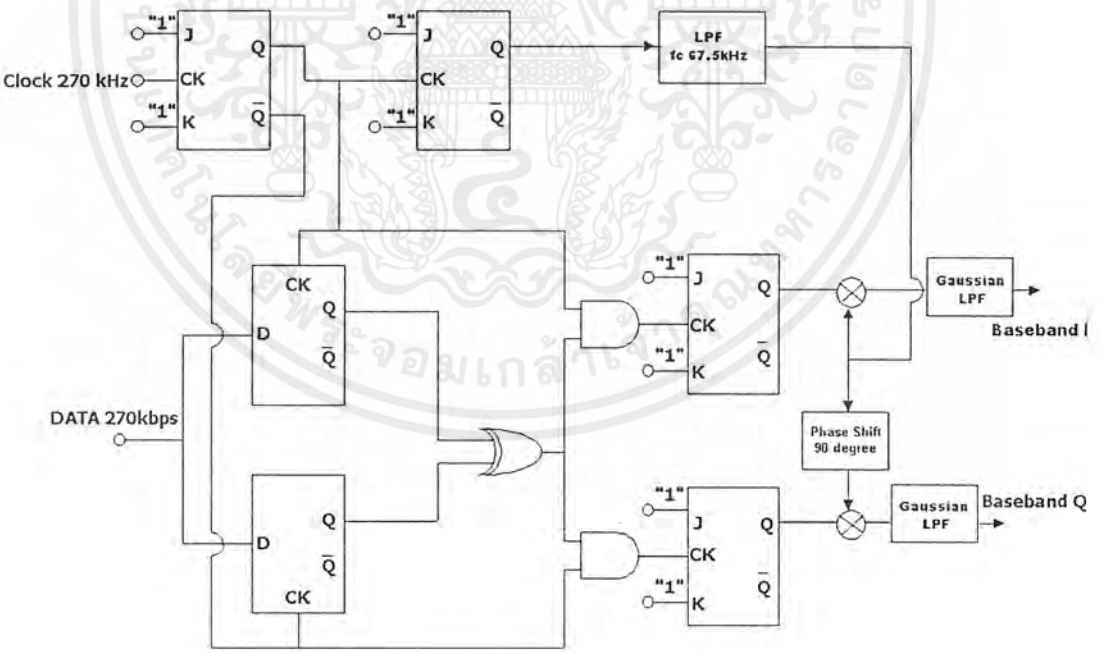
บทที่ 3
การคำนวณและการสร้าง

หลักการทำงานของภาคส่ง (Transmitter)

หลักการทำงานของภาคส่งสามารถเขียนเป็นบล็อกไดอะแกรมได้ดังรูปที่ 3.1



รูปที่ 3.1 บล็อกไดอะแกรมของภาคส่ง

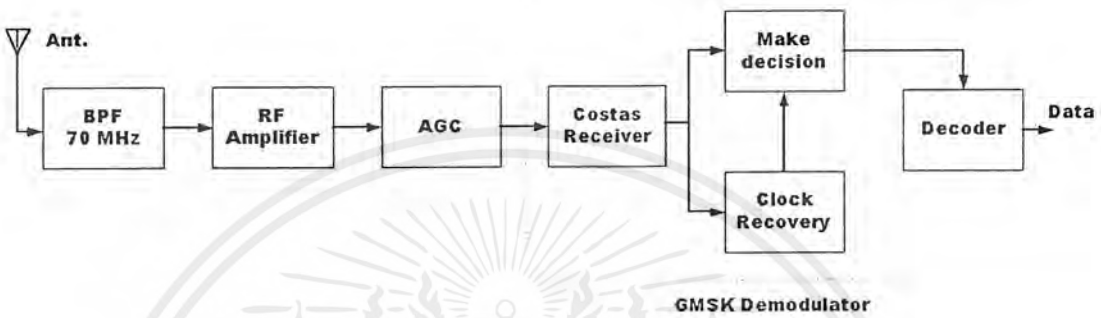


รูปที่ 3.2 วงจรประมวลผลสัญญาณเบสแบนด์

รูปที่ 3.1 เป็นบล็อกไดอะแกรมแสดงวงจรของภาคส่งซึ่งประกอบด้วยวงจรกำเนิดสัญญาณดิจิตอล หลังจากนั้นนำสัญญาณดิจิตอลที่ได้มาเข้าวงจรประมวลผลสัญญาณเบสแบนด์ได้สัญญาณเบส

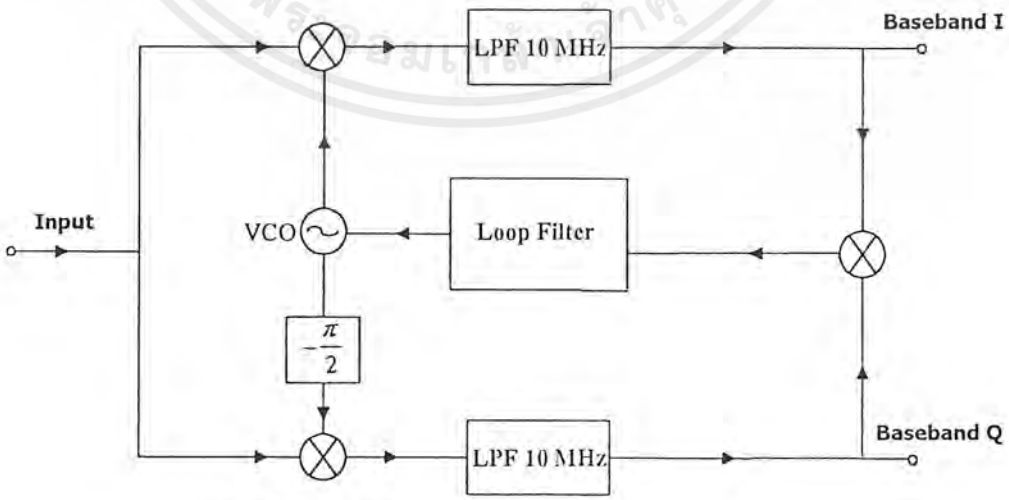
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบนด์ไอและคิว สัญญาณเบสแบนด์ที่ได้นำมาเข้าวงจรไอคิวมอดูเลเตอร์ ซึ่งประกอบด้วย วงจรสังเคราะห์ความถี่ 70 เม็กกะเฮิร์ต , วงจรกรองความถี่ช่วงผ่าน 70 เม็กกะเฮิร์ตเพื่อให้ได้เฉพาะความถี่ 70 เม็กกะเฮิร์ต , วงจรเฟสชิฟท์ 90 องศา , วงจรคูณสัญญาณ สัญญาณที่มอดูเลทได้นำมาเข้าวงจรขยายสัญญาณ และ เข้าวงจรกรองความถี่ช่วงผ่าน 70 เม็กกะเฮิร์ตก่อนที่จะส่งออกสายอากาศ และในส่วนของวงจรประมวลผลสัญญาณเบสแบนด์นั้น มีวงจรย่อยต่าง ๆ ดังรูปที่ 3.2



รูปที่ 3.3 บล็อกไดอะแกรมของภาครับ

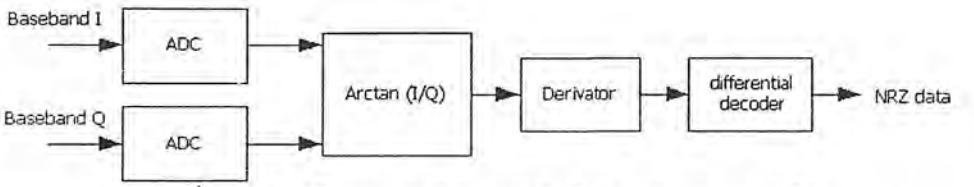
หลักการทำงานของภาครับสามารถเขียนเป็นบล็อกไดอะแกรมได้ดังรูปที่ 3.3 โดยทางภาครับประกอบไปด้วย สายอากาศสำหรับรับสัญญาณและวงจรขยายสัญญาณเพื่อขยายสัญญาณที่รับเข้ามาให้มีขนาดใหญ่ขึ้น หลังจากนั้นผ่านวงจรควบคุมอัตราขยายอัตโนมัติ นำสัญญาณที่รับได้มาเข้าส่วนของจีเอ็มเอสเคดีมอดูเลเตอร์ ซึ่งประกอบด้วย วงจรเครื่องรับแบบคอสทาส , วงจรตัดสินใจ , วงจรกู้สัญญาณนาฬิกาและวงจรถอดรหัส จะได้สัญญาณดิจิตอลที่เป็นข้อมูลออกมา ซึ่งมีอัตราเร็วของข้อมูล 270 กิโลบิทต่อวินาที โดยในโครงงานนี้จะทำเพียงวงจรเครื่องรับแบบคอสทาสเท่านั้นและจะได้สัญญาณเบสแบนด์ไอและคิวออกมา



รูปที่ 3.4 บล็อกไดอะแกรมของเครื่องรับแบบคอสทาส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเครื่องรับแบบคอสทาสนั้นมีบล็อกไดอะแกรมดังรูปที่ 3.4 ประกอบด้วย วงจรคูณสัญญาณ , วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน , วงจรเฟสชิฟท์ 90 องศา , วงจรกรองความถี่ต่ำผ่าน 10 เม็กกะเฮิร์ต , วงจรกรองความถี่ต่ำผ่านของลูป

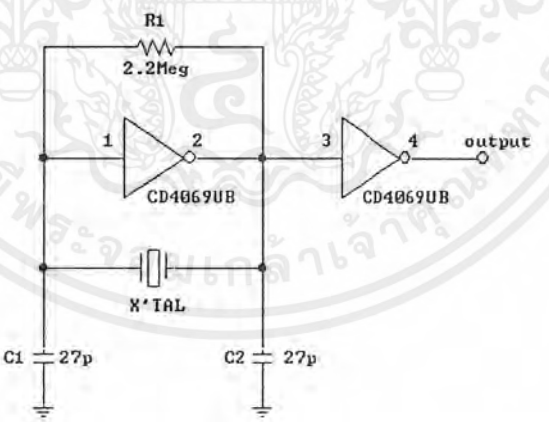


รูปที่ 3.5 บล็อกไดอะแกรมของวงจรตัดสินใจและวงจรถอดรหัส

ในโครงงานนี้ส่วนบล็อกไดอะแกรมของวงจรตัดสินใจและวงจรถอดรหัสนั้น เนื่องจากขั้นตอนของวงจรเหล่านี้จะต้องใช้การประมวลผลสัญญาณแบบดิจิตอล โครงงานนี้จึงสร้างถึงเพียงได้สัญญาณเบสแบนด์ไอและคิวเท่านั้น บล็อกไดอะแกรมของวงจรตัดสินใจและวงจรถอดรหัสนั้นเป็นดังรูปที่ 3.5 ประกอบด้วยวงจรแปลงสัญญาณจากอนาล็อกเป็นดิจิตอล วงจรอาร์คแทนของไอส่วนคิว วงจรเดริเวเตอร์ และวงจรถอดรหัสแบบดิฟเฟอร์เรนเชียล

ในส่วนของการออกแบบวงจรต่าง ๆ ที่ได้ทำไปแล้วในภาคการศึกษานี้ มีรายละเอียดของการออกแบบวงจรดังต่อไปนี้

3.1.วงจรกำเนิดความถี่ด้วยคริสตอล



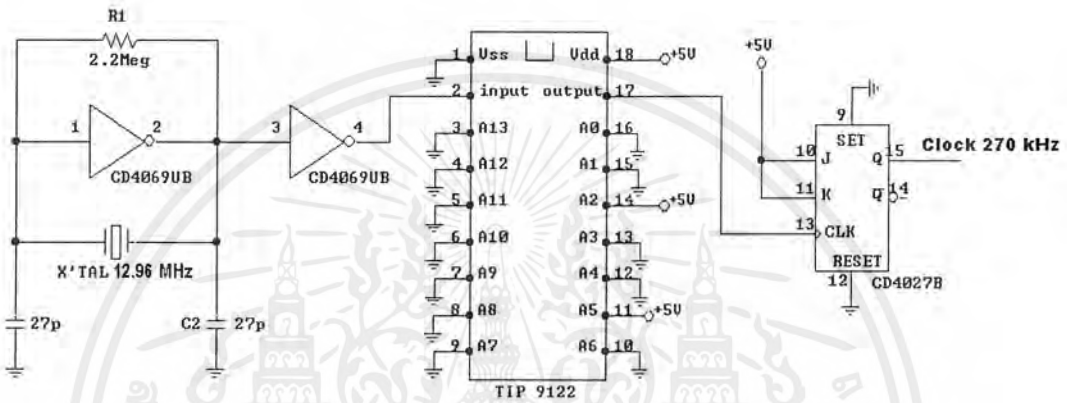
รูปที่ 3.6 วงจรกำเนิดความถี่ด้วยคริสตอลแบบเพียร์ซ

จากรูปที่ 3.6 เป็นวงจรกำเนิดความถี่แบบเพียร์ซโดยจะกำเนิดความถี่ที่มีค่าตรงกันกับความถี่ของคริสตอลที่ใช้โดยในโปรเจคนี้จะใช้วงจรกำเนิดความถี่ด้วยคริสตอลคือ ที่ความถี่ 12.96 เม็กกะเฮิร์ต เพื่อนำไปใช้สองส่วน ส่วนแรกนำไปหารความถี่ 48 เพื่อสร้างสัญญาณนาฬิกาไว้ขับข้อมูลออกมา และอีกส่วนหนึ่งเพื่อนำไปป้อนเป็นสัญญาณนาฬิกาให้กับไอซีเบอร์ AD 7002 ในส่วนที่ใช้ขับข้อมูลจะหาร 48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยจะแบ่งเป็นสองส่วนคือ หาร 24 และหาร 2 จะได้ความถี่กลางที่มีค่าเท่ากับความถี่ของสัญญาณนาฬิกาที่ต้องการคือ 270 กิโลเฮิร์ต

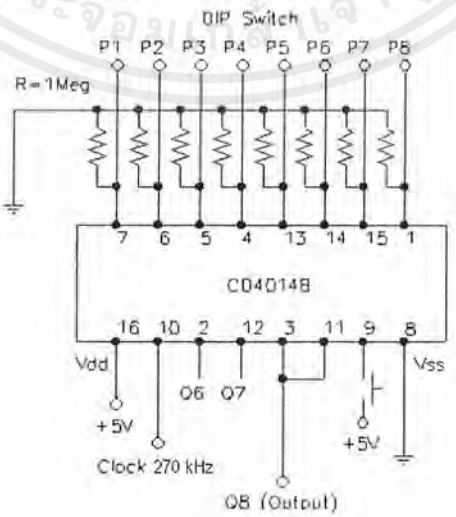
วงจรหารที่ใช้นั้นประกอบด้วย ไอซี เบอร์ TIP 9122 และเจเค ฟลิปฟลอป (JK Flip-Flop) อีก 1 ตัวดังรูปที่ 3.7 โดยไอซี เบอร์ TIP 9122 นั้นเป็นวงจรหารความถี่แบบตั้งค่าตัวหารได้โดยทำการใส่เลขที่จะหารลงไปเป็นรหัสบีซีดี (BCD : Binary Code Decimal) ดังนั้นต้องการหาร 24 จะต้องใส่ 00,0000,0010,0100 ไปที่ขา A_{13}-A_0 ของไอซี เบอร์ 9122 หลังจากนั้นนำเอาท์พุทที่ได้ไปเข้าเจเค ฟลิปฟลอป ที่ทำหน้าที่เป็นวงจรหาร 2 อีกทีโดยต่อขาดังนี้ J=1,K=1,R=0 และ S=0 ก็จะได้ความถี่ตามที่ต้องการ



รูปที่ 3.7 วงจรผลิตสัญญาณนาฬิกา 270 กิโลเฮิร์ต

3.2 วงจรกำเนิดสัญญาณดิจิตอลโดยใช้ชิฟท์ รีจิสเตอร์

ในส่วนของการกำเนิดสัญญาณดิจิตอลสำหรับที่จะนำไปเข้ารหัสนั้น จะสร้างโดยใช้ไอซี ชิฟท์ รีจิสเตอร์ เบอร์ CD 4014 โดยใช้ดิพ สวิตช์เป็นตัวกำหนดค่าลอจิกที่จะส่งทีละ 8 บิท แล้วทำการส่งไปเป็นชุด (Packet) โดยมีอัตราเร็วของข้อมูลเท่ากับ 270 กิโลบิทต่อวินาที โดยสัญญาณนาฬิกาที่จะนำมาขับข้อมูลจะนำมาจากสัญญาณนาฬิกาที่ได้จากวงจรคริสตอลออสซิลเลเตอร์



รูปที่ 3.8 แสดงวงจรกำเนิดสัญญาณดิจิตอลโดยใช้ชิฟท์ รีจิสเตอร์

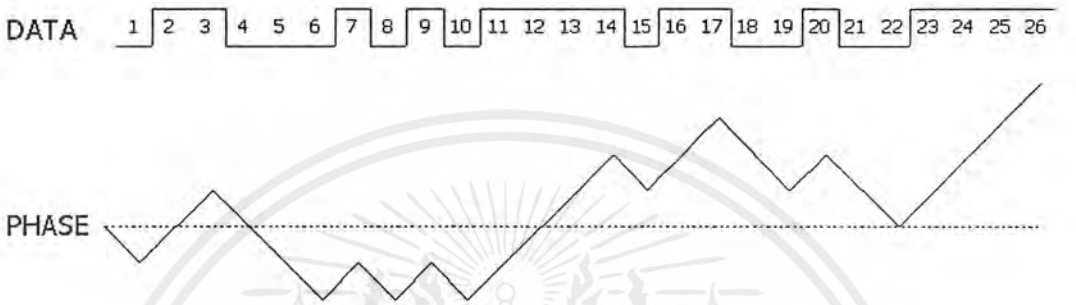
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจรประมวลผลสัญญาณเบสแบนด์ (Baseband Processing Circuit)

วงจรประมวลผลสัญญาณเบสแบนด์ในโครงงานนี้จะมีอยู่สองชนิด กล่าวคือ

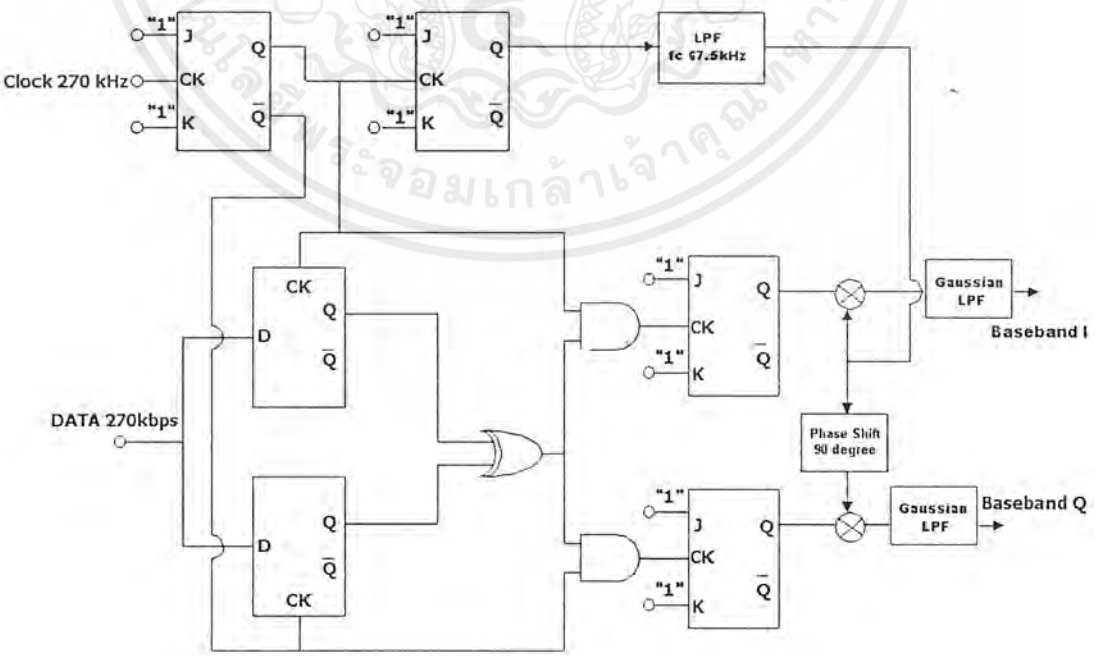
3.3.1. วงจรประมวลผลสัญญาณเบสแบนด์

ในส่วนของการประมวลผลสัญญาณเบสแบนด์นั้นจะต้องทำการสร้างสัญญาณเพื่อไปควบคุมวงจรไอคิวมอดูเลเตอร์ให้ผลิตสัญญาณซึ่งมีเฟสเป็นดังนี้ คือ เมื่อข้อมูลที่เข้ามามีลอจิกเป็น 1 จะทำการเลื่อนเฟสขึ้นไป 90 องศาและเมื่อข้อมูลที่เข้ามามีลอจิกเป็น 0 จะทำการเลื่อนเฟสลงมา 90 องศาเช่นกัน



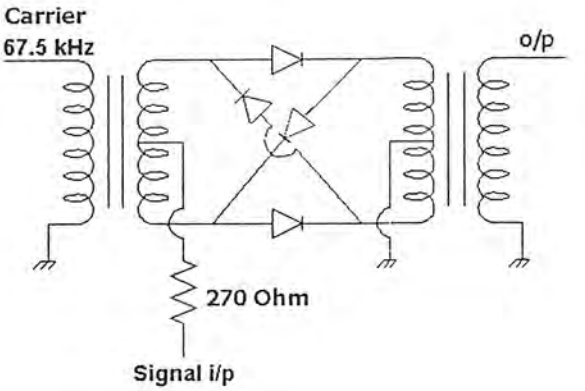
รูปที่ 3.9 การเปลี่ยนแปลงของเฟสเทียบกับข้อมูลที่เข้ามา

โดยจะใช้วงจรดังรูปที่ 3.10 ในการสร้างสัญญาณเพื่อควบคุมไอคิวมอดูเลเตอร์ ประกอบด้วย เจเคฟลิปฟลอป , ดีฟลิปฟลอป , เอ็กซ์คลูซีฟ ออร์ , แอนด์เกท , วงจรคูณสัญญาณโดยใช้ริงมอดูเลเตอร์ , วงจรกรองความถี่ต่ำผ่านที่มีความถี่คัทออฟ 67.5 กิโลเฮิร์ต , วงจรเฟสชิฟท์ 90 องศา และวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนที่มีความถี่คัทออฟ 81 กิโลเฮิร์ต

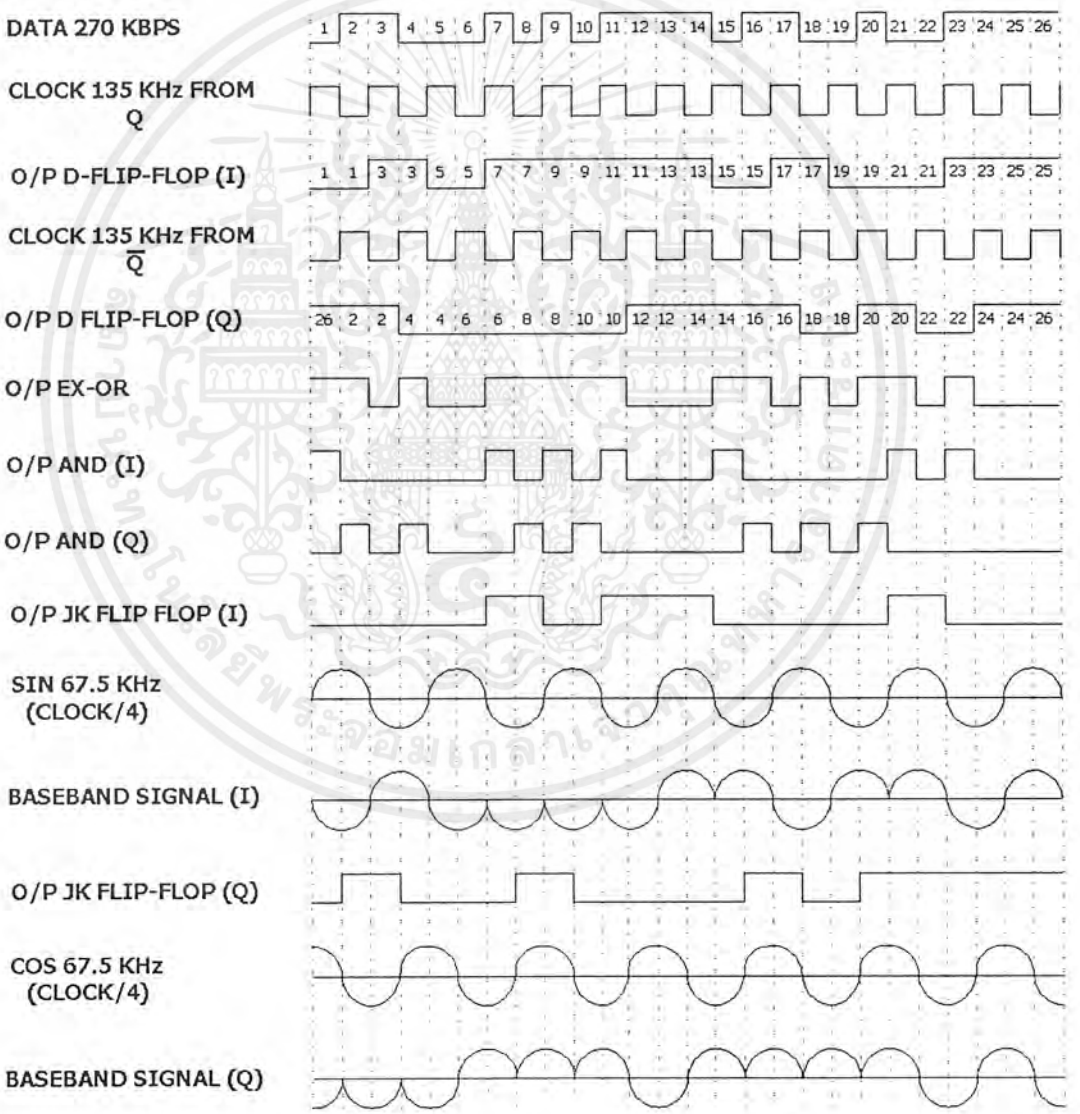


รูปที่ 3.10 วงจรประมวลผลสัญญาณเบสแบนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 วงจรคูณสัญญาณที่ใช้ในส่วนประมวลผลสัญญาณเบสแบนด์



รูปที่ 3.12 รูปร่างของสัญญาณที่จุดต่าง ๆ ภายในวงจรประมวลผลสัญญาณเบสแบนด์

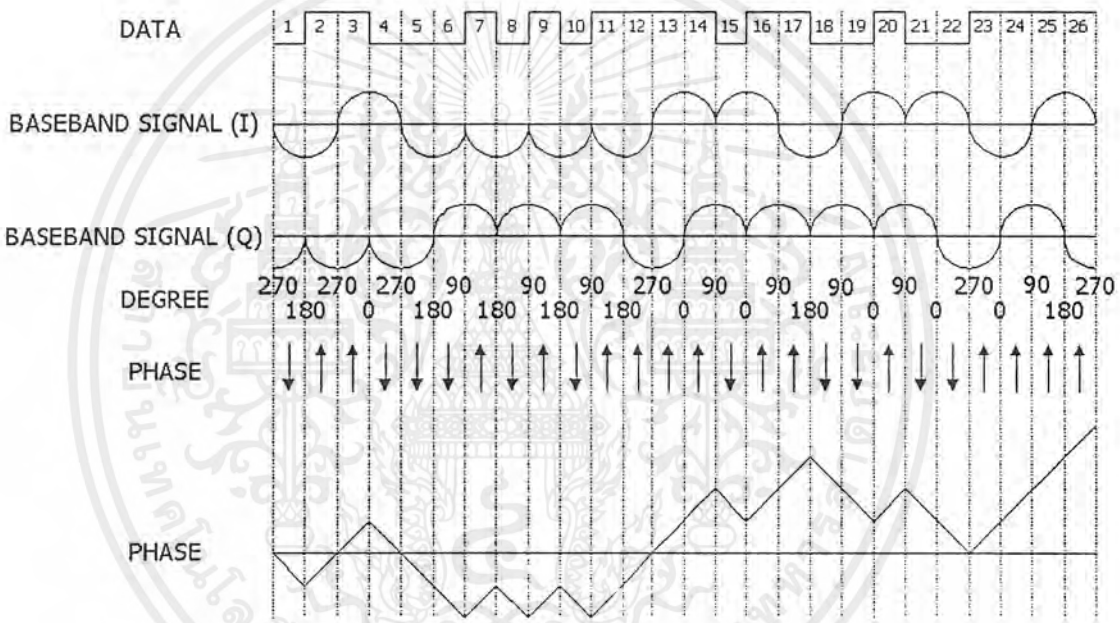
จากรูปที่ 3.12 กราฟของสัญญาณเบสแบนด์ไอและคิวที่ได้จากวงจรสามารถแสดงให้เห็นถึงการเปลี่ยนแปลงเฟสของไอคิวมอดูเลเตอร์ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I	Q	PHASE (DEGREE)
1	0	0
0	1	90
-1	0	180
0	-1	270

ตารางที่ 3.1 การเปลี่ยนแปลงเฟสของไอคิวมอดูเลเตอร์เทียบกับสัญญาณไอกับคิว

จากตารางที่ 3.1 เราสามารถที่จะวิเคราะห์การเปลี่ยนแปลงเฟสของสัญญาณที่ผลิตโดยไอคิวมอดูเลเตอร์ได้ดังรูปที่ 3.13



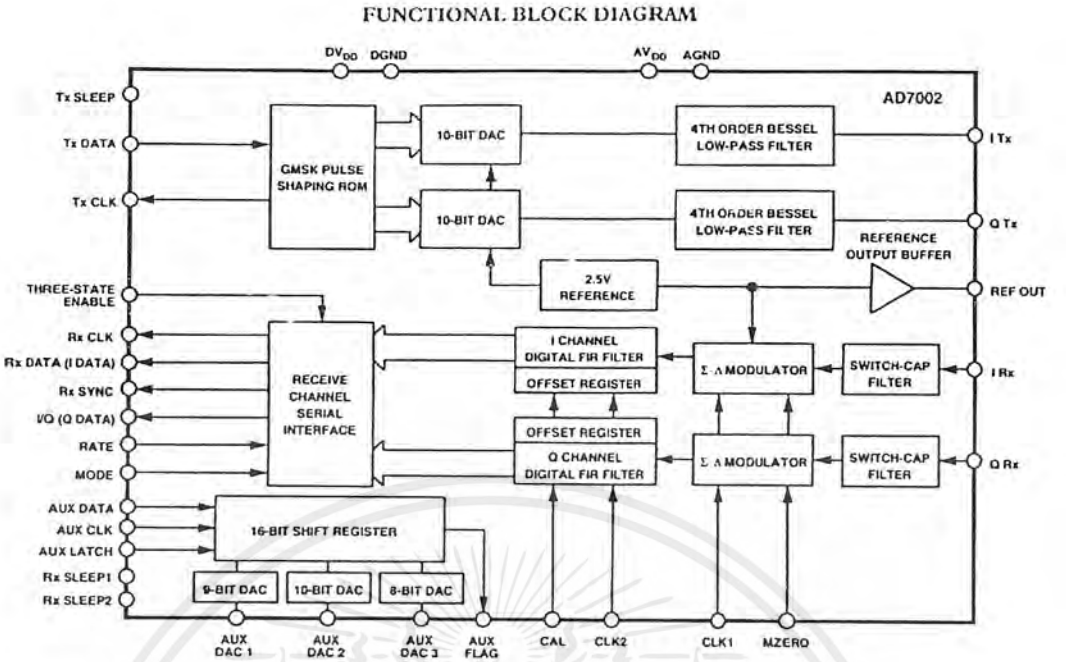
รูปที่ 3.13 การเปลี่ยนแปลงเฟสของสัญญาณที่ผลิตโดยไอคิวมอดูเลเตอร์

จะเห็นได้ว่าจากวงจรที่ใช้ข้างต้นสามารถควบคุมไอคิวมอดูเลเตอร์ให้ผลิตสัญญาณซึ่งมีการเปลี่ยนแปลงเฟสสัมพันธ์กับข้อมูลดิจิตอลที่เข้ามาได้ โดยสัญญาณเบสแบนด์ที่ได้จะถูกนำมาลดแบนด์วิดธ์ของสเปคตรัมโดยนำมาผ่านวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนซึ่งจะได้กล่าวถึงในหัวข้อการออก แบบวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนต่อไป

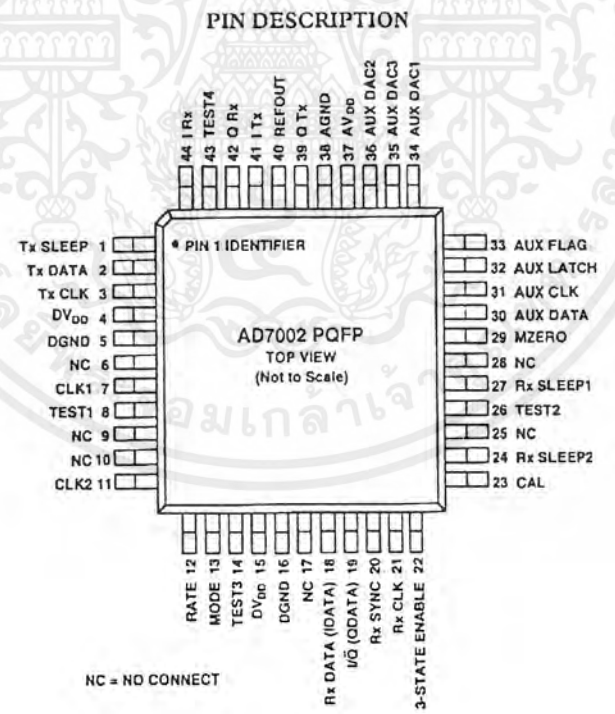
3.3.2. วงจรประมวลผลสัญญาณเบสแบนด์โดยใช้ไอซีเบอร์ AD7002

วงจรประมวลผลสัญญาณเบสแบนด์แบบที่สองนี้ ถูกสร้างขึ้นเพื่อเป็นแบบอ้างอิงสำหรับแบบแรกว่าสัญญาณเบสแบนด์ได้ถูกประมวลผลอย่างถูกต้อง โดยการใช้ไอซีเบอร์ AD7002 ซึ่งเป็นไอซีสำหรับการประมวลผลสัญญาณเบสแบนด์ที่ใช้ในระบบโทรศัพท์มือถือจีเอสเอ็ม โดยมีบล็อกไดอะแกรมภายในดังรูปที่ 3.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



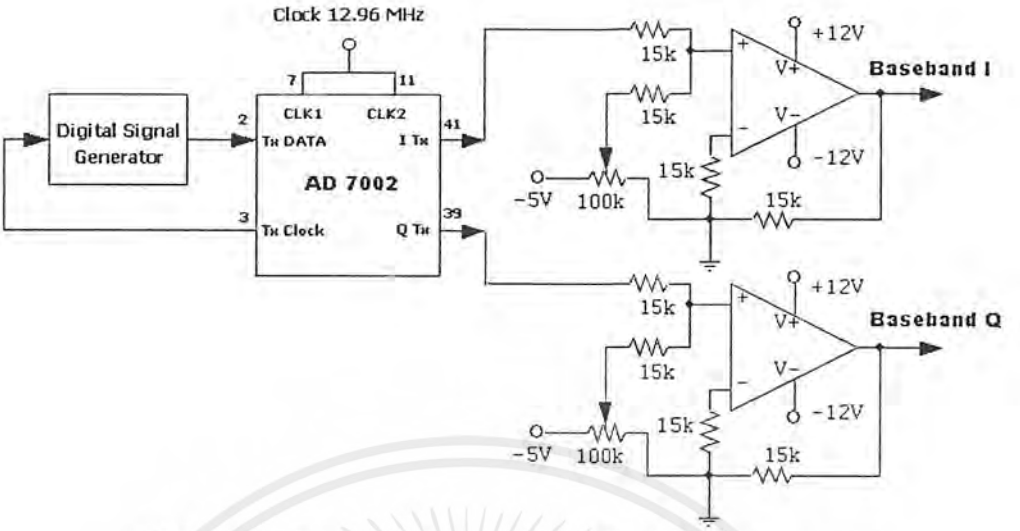
รูปที่ 3.14 บล็อกไดอะแกรมภายในไอซี AD7002



รูปที่ 3.15 ขาของไอซีเบอร์ AD 7002

ส่วนรูปที่ 3.15 แสดงขาต่าง ๆ ของไอซีเบอร์ AD 7002 เมื่อนำไปต่อเป็นวงจรผลิตสัญญาณเบสแบนด์ จะต้องป้อนสัญญาณนาฬิกาความถี่ 12.96 เม็กกะเฮิร์ตเข้าไปในขาที่ 7 และ 11 โดยใช้วงจรกำเนิดสัญญาณนาฬิกาแบบคริสตอล วงจรรวมมีลักษณะดังรูปที่ 3.16

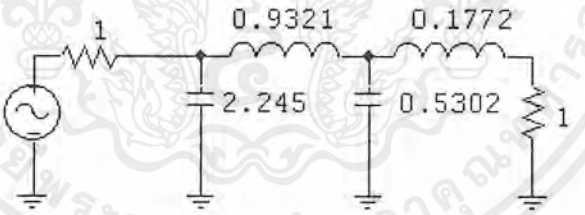
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 วงจรประมวลผลสัญญาณเบสแบนด์โดยใช้ไอซีเบอร์ AD 7002

3.4 วงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน

วงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนที่ใช้สำหรับลดแบนด์วิดธ์ของสเปคตรัมของสัญญาณนั้น เราเลือกใช้อันดับที่ 4 แบบพาสซีฟและมีความถี่คัทออฟเท่ากับเงื่อนไข BTb=0.3 โดย B เป็นแบนด์วิดธ์ของวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน และ T เป็นส่วนกลับของอัตราเร็วของข้อมูลซึ่งมีค่าเท่ากับ 270 กิโลบิทต่อวินาที เมื่อแทนค่าต่าง ๆ ลงในเงื่อนไขก็จะได้ แบนด์วิดธ์ของวงจรเท่ากับ 81 กิโลเฮิร์ต



รูปที่ 3.17 วงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนอันดับ 4 ที่นอร์มอลไลซ์แล้ว

รูปที่ 3.17 แสดงองค์ประกอบของวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนอันดับที่ 4 ที่นอร์มอลไลซ์แล้ว โดยจะทำการสเกลลิ่งจากสูตร

$$C = \frac{C_n}{2\pi f_c R}$$

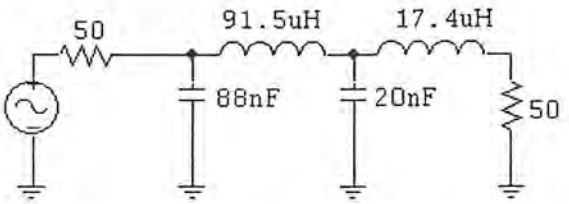
และ $$L = \frac{RL_n}{2\pi f_c}$$

เมื่อแทนค่าต่าง ๆ ลงไปจะได้ค่าต่าง ๆ ดังนี้

$$C_1 = 88nF, C_3 = 20nF, L_2 = 91.5uF, L_4 = 17.4uF$$

นำไปต่อเป็นวงจรดังรูปที่ 3.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 วงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน อันดับ 4

3.5 วงจรเฟสชิฟท์ (Phase Shift)

วงจรเฟสชิฟท์แบบที่ 1 การออกแบบวงจรเฟสชิฟท์ 90 องศาในการทดลองนี้จะใช้ วงจรที่สร้างได้จาก R , L , C ซึ่งสามารถออกแบบจากการคำนวณ ดังต่อไปนี้

$$X_c = R = 50\ \Omega$$

$$\therefore \quad C = 1/2\pi * 70\ \text{MHz} * 50\ \Omega$$

$$= 45.47\ \text{pF} \approx 47\text{pF}$$

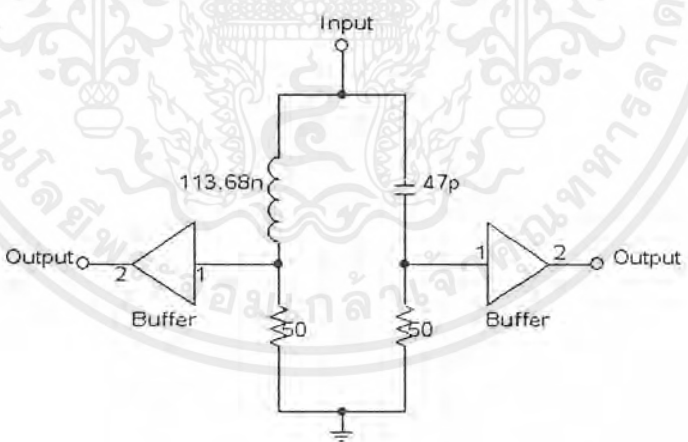
$$X_L = R = 50\ \Omega$$

$$\therefore \quad L = 50 / (2\pi * 70\ \text{MHz})$$

$$= 113.68\ \text{nH}$$

จากการคำนวณสามารถนำมาต่อวงจรดังรูปที่ 3.19

โดยบัฟเฟอร์ในรูปที่ 3.19 นั้นใช้วงจรขยายสัญญาณแถบความถี่กว้างเป็นบัฟเฟอร์ทั้งสองด้าน



รูปที่ 3.19 วงจรเฟสชิฟท์ที่ใช้

วงจรเฟสชิฟท์แบบที่ 2 จากการทดสอบโดยใช้สายโคแอคเชียล RG - 174 ความยาว 1 เมตร ที่ความถี่ 70 เม็กกะเฮิร์ต จะพบว่าเฟสของสัญญาณอินพุทเลื่อนลงไปจากเดิมประมาณ 150 องศา ดังนั้น

ให้เฟสเลื่อนไป 150 องศา ใช้สายโคแอคเชียล RG - 174 ยาว 1 เมตร

ให้เฟสเลื่อนไป 90 องศา ใช้สายโคแอคเชียล RG – 174 ยาว $\frac{1}{150} \times 90 = 0.6$ เมตร

ดังนั้นเมื่อต่อสายโคแอคเชียล RG – 174 ยาว 0.6 เมตร จะสามารถสร้างวงจรเฟสชิฟท์ 90 องศาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ

วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธที่ใช้ในโครงงานมีดังต่อไปนี้

3.6.1 วงจรกรองความถี่ต่ำผ่านแอคทีฟแบบบัตเตอร์เวิร์ธที่มีความถี่คัทออฟ 67.5 กิโลเฮิร์ต

ใช้ในส่วนของภาคประมวลผลสัญญาณเบสแบนด์ เพื่อปรับรูปสัญญาณของเศษหนึ่งส่วนสี่ของสัญญาณนาฬิกา คือ 67.5 กิโลเฮิร์ตให้เป็นสัญญาณรูปซายน์เพื่อนำไปคูณกับเอาท์พุทที่ได้มาจากเจเคฟลิปฟลอป ได้สัญญาณเบสแบนด์ เราเลือกใช้วงจรกรองความถี่ต่ำผ่านแอคทีฟแบบบัตเตอร์เวิร์ธ อันดับที่ 4 โดยมีความถี่คัทออฟเท่ากับ 67.5 กิโลเฮิร์ต

จากสูตรของวงจรกรองความถี่ต่ำผ่านกรณีที่ $K = 1$ และ $R_1 = R_2 = 1, \omega_o = 1$ ดังรูปที่ 2.18 ได้ว่า $C_1 = 2Q, C_2 = \frac{1}{2Q}$ และจากหลักการสเกลลิ่ง

$$R_{new} = K_m R_{old}$$

$$C_{new} = \frac{1}{K_m K_f} C_{old}$$

เราให้ $K_m = 1, K_f = 2\pi f_c$, $R_{old} = 1$ ดังนั้น

$$C_{new1} = \frac{C_{old} R_{old}}{K_f R_{new}}$$

$$C_{new2} = \frac{C_{old}}{2\pi f_c \times R_{new}}$$

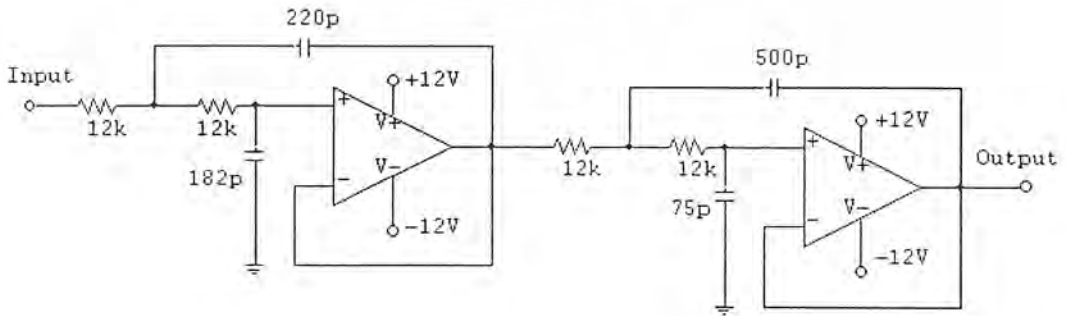
โดย $f_c = 67.5KHz, R_{new1} = R_{new2} = R_{new}$

ถ้าจะหา $C_{new1}, C_{old} = 2Q$ และถ้าจะหา $C_{new2}, C_{old} = \frac{1}{2Q}$ โดยค่า Q ของอันดับที่ 4 จะมีค่าเท่ากับ 0.54 และ 1.31 สำหรับสเตจแรกและสเตจที่สองตามลำดับ และจากการคำนวณจะได้ค่าขององค์ประกอบต่าง ๆ ดังต่อไปนี้

ที่ออปแอมป์สเตจแรก ค่า $R_1 = R_2 = 12k\Omega, C_1 = 220pF, C_2 = 182pF$

ที่ออปแอมป์สเตจที่สอง ค่า $R_1 = R_2 = 12k\Omega, C_1 = 500pF, C_2 = 75pF$

โดยเมื่อนำมาต่อเป็นวงจรจะนำมาคาสเคดกันดังรูปที่ 3.20



รูปที่ 3.20 วงจรกรองความถี่ต่ำผ่านแอคทีฟแบบบัตเตอร์เวิร์ธที่มีความถี่คัทออฟเท่ากับ 67.5 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.2 วงจรกรองความถี่ต่ำผ่านแอคทีฟแบบบัตเตอร์เวิร์ธที่มีความถี่คัทออฟเท่ากับ 20 กิโลเฮิร์ต

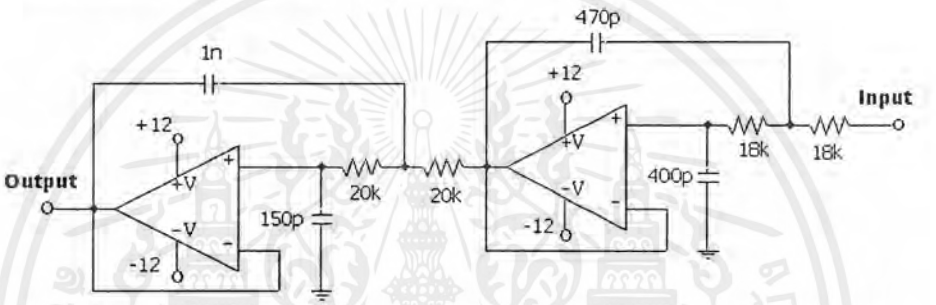
ใช้เป็นวงจรกรองความถี่ต่ำผ่านของลูปสำหรับเครื่องรับแบบคอสทาสเพื่อกรองความถี่ต่ำไปป้อนให้กับวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันเพื่อผลิตความถี่ 70 เม็กกะเฮิร์ตไปเข้าวงจรคูณสัญญาณ ในที่นี้เราเลือกใช้วงจรกรองความถี่ต่ำผ่านแอคทีฟแบบบัตเตอร์เวิร์ธอันดับที่ 4 ให้มีความถี่คัทออฟเท่ากับ 20 กิโลเฮิร์ต

คำนวณเช่นเดียวกับวงจรกรองความถี่ต่ำผ่านก่อนหน้านี้ จะได้องค์ประกอบต่าง ๆ ของวงจรดังต่อไปนี้

ที่ออปแอมป์สเตจแรก ค่า $R_1 = R_2 = 18k\Omega, C_1 = 470pF, C_2 = 400pF$

ที่ออปแอมป์สเตจที่สอง ค่า $R_1 = R_2 = 20k\Omega, C_1 = 1nF, C_2 = 150pF$

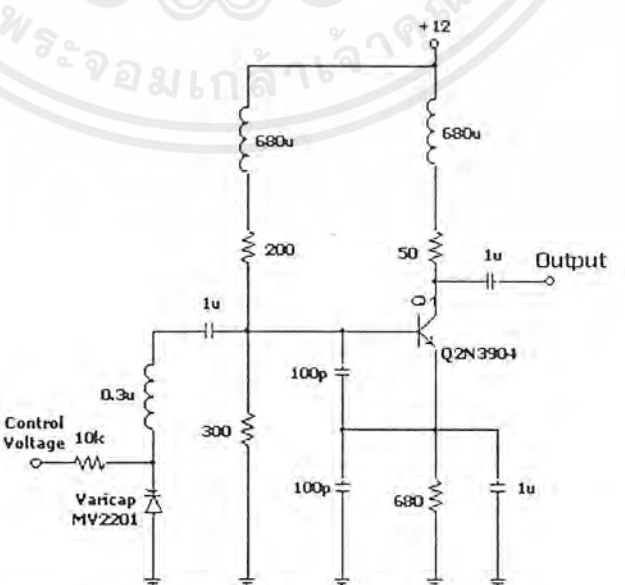
เมื่อนำมาประกอบเป็นวงจรจะเป็นดังรูปที่ 3.21



รูปที่ 3.21 วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธที่มีความถี่คัทออฟเท่ากับ 20 กิโลเฮิร์ต

3.7 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (Voltage Control Oscillator)

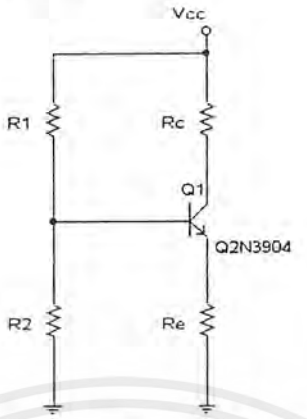
โดยการออกแบบวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันนี้ จะใช้พื้นฐานของวงจรออสซิลเลเตอร์แบบแคลปป์ มีช่วงความถี่ตั้งแต่ 60 เม็กกะเฮิร์ต ถึง 80 เม็กกะเฮิร์ต โดยมีวงจรสมบูรณ์ดังรูปที่ 3.22



รูปที่ 3.22 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน

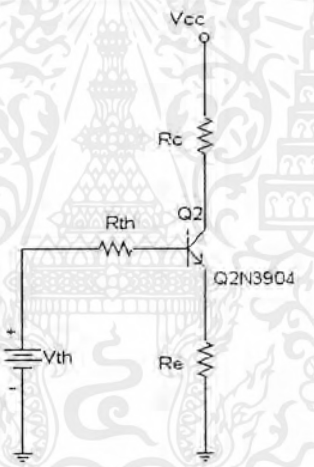
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนวณหาค่าความต้านทานต่าง ๆ ที่ใช้ในการไบอัส (Bias) ทรานซิสเตอร์ได้โดยคิดจากวงจรที่ใช้ในการไบอัส (D.C. Condition) ดังรูปที่ 3.23



รูปที่ 3.23 วงจรไบอัสของออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน

จากรูปที่ 3.23 ข้างต้น สามารถแปลงเป็นวงจรสมมูลของเทวินิน (Thevenin) ได้ดังรูปที่ 3.24



รูปที่ 3.24 วงจรสมมูลของเทวินินของรูปที่ 3.23

เราจะใช้ทรานซิสเตอร์เบอร์ 2N3904 ซึ่งมีค่า $\beta = 100$ ให้ $R_C = 50\ \Omega$, $V_{BE} = 0.7$ V และ $V_{CC} = 12$ V โดยที่เราต้องการไบอัสทรานซิสเตอร์ให้มี $I_C = 10$ mA

จะได้ว่า

$$V_C = 12 - I_C R_C$$
$$= 12 - (10\text{mA} \times 50)$$
$$= 11.5\text{V}$$

ให้ $V_{CE} = 5\text{V}$ เพราะฉะนั้นจะได้

$$V_E = 11.5 - 5 = 6.5\text{V}$$
$$R_E = \frac{V_E}{I_E} \approx \frac{V_E}{I_C}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{6.5}{10\text{mA}}$$

$$= 650\Omega$$

จากรูปที่ 3.24 เราสามารถหาค่า R_{TH} และ V_{TH} ได้ดังนี้

$$R_{TH} = \frac{R_1 R_2}{R_1 + R_2} \tag{3.1}$$

$$V_{TH} = V_{CC}\left(\frac{R_2}{R_1 + R_2}\right)$$

$$= \frac{V_{CC} R_{TH}}{R_1} \tag{3.2}$$

จาก KVL จะได้ว่า

$$V_{TH} = I_B R_{TH} + 0.7 + I_E R_E$$

$$\frac{V_{CC} R_{TH}}{R_1} = \frac{I_C}{\beta} R_{TH} + 0.7 + I_E R_E$$

แทนค่า V_{CC} ,I_C , β ,I_E และ R_E ลงไป จะได้

$$\frac{12R_{TH}}{R_1} = \frac{10\text{mA}}{100} R_{TH} + 0.7 + (10\text{mA} \times 650)$$

$$\frac{12R_{TH}}{R_1} = 1\times10^{-4} R_{TH} + 0.7 + 6.5$$

กำหนดให้ $R_1 = 200\ \Omega$ แทนค่าลงไป จะได้

$$0.06R_{TH} = 1\times10^{-4} R_{TH} + 7.2$$

$$(0.06 - 1\times10^{-4})R_{TH} = 7.2$$

$$R_{TH} = 120.2\Omega$$

จากสมการที่ 3.1 แทนค่า R_1 ลงไปจะสามารถหาค่า R_2 ได้ดังนี้

$$120.2 = \frac{200R_2}{200 + R_2}$$

$$24040 + 120.2R_2 = 200R_2$$

$$R_2 = \frac{24040}{(200 - 120.2)} = 301.25\Omega$$

เพราะฉะนั้น ค่าความต้านทานทั้งหมดที่ใช้ในการไบอัสทรานซิสเตอร์จะเป็นดังนี้

$R_1 = 200\ \Omega$

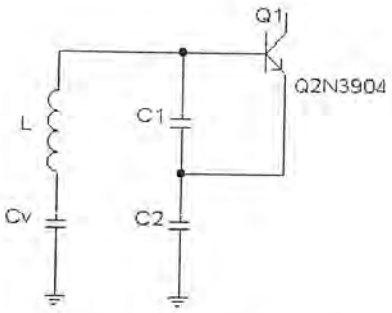
$R_2 = 301.25\ \Omega$ ใช้ค่า $300\ \Omega$

$R_C = 50\ \Omega$

$R_E = 650\ \Omega$ ใช้ค่า $680\ \Omega$

ต่อไปจะมาคำนวณหาค่าตัวเก็บประจุและความเหนี่ยวนำต่าง ๆ ที่ต้องใช้จากการวิเคราะห์วงจรสมมูล (A.C. Condition) ดังรูปที่ 3.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.25 วงจรสมมูลของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน

ความถี่ที่วงจรออสซิลเลเตอร์สามารถหาได้จาก

$$\omega = \frac{1}{\sqrt{LC_T}}$$

$$C_T = \frac{1}{\omega^2 L} \qquad (3.3)$$

โดยที่

$$\frac{1}{C_T} = \frac{1}{C_1} + \frac{1}{C_2} + \frac{1}{C_V} \qquad (3.4)$$

ช่วงความถี่ของวงจรออสซิลเลเตอร์ตัวนี้คือ 60-80 เม็กกะเฮิร์ต ในที่นี้เราจะใช้ค่า $C_1 = C_2 = 100$ pF และค่า $L = 0.3\ \mu H$

คิดที่ความถี่ 60 เม็กกะเฮิร์ต จะสามารถหาค่า C_T จากสมการที่ 3.3 ได้ดังนี้

$$C_T = \frac{1}{(2\pi \times 60 \times 10^6)^2 \times 0.3\mu H}$$

$$C_T = 23.45\text{pF}$$

คิดที่ความถี่ 80 เม็กกะเฮิร์ต จะสามารถหาค่า C_T จากสมการที่ 3.3 ได้ดังนี้

$$C_T = \frac{1}{(2\pi \times 80 \times 10^6)^2 \times 0.3\mu H}$$

$$C_T = 13.20\text{pF}$$

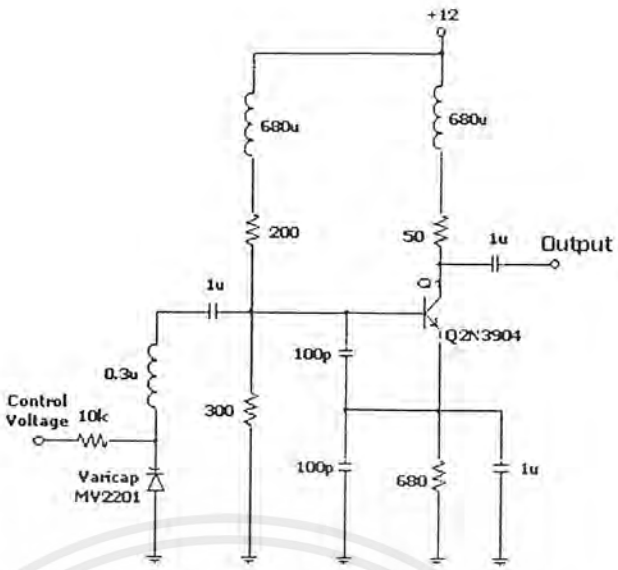
จากสมการที่ 3.4 แทนค่า C_1 และ C_2 ลงไป จะได้

$$\frac{1}{C_T} = \frac{1}{100\text{pF}} + \frac{1}{100\text{pF}} + \frac{1}{C_V}$$

$$\frac{1}{C_T} = \frac{1}{50\text{pF}} + \frac{1}{C_V}$$

$$\frac{1}{C_V} = \frac{1}{C_T} - \frac{1}{50\text{pF}} \qquad (3.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.26 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน
ที่ได้ทำการแทนค่าอุปกรณ์ต่าง ๆ แล้ว

ทำการแทนค่า C_T ที่ความถี่ 60 และ 80 เม็กกะเฮิร์ตลงไปในสมการที่ 3.5 เพื่อหาค่า C_V
ที่ความถี่ 60 เม็กกะเฮิร์ต

$$\frac{1}{C_V} = \frac{1}{23.45\text{pF}} - \frac{1}{50\text{pF}}$$

$$C_V = 44.16\text{pF}$$

ที่ความถี่ 80 เม็กกะเฮิร์ต

$$\frac{1}{C_V} = \frac{1}{13.20\text{pF}} - \frac{1}{50\text{pF}}$$

$$C_V = 17.9\text{pF}$$

ดังนั้นเราจะต้องเลือกใช้วาริแคปที่มีช่วงความจุตั้งแต่ 17.9 – 44.16 pF

3.8 วงจรสังเคราะห์ความถี่โดยใช้เฟสล็อกลูปความถี่ 70 เม็กกะเฮิร์ต

วงจรสังเคราะห์ความถี่โดยใช้เฟสล็อคลูปได้ออกแบบโดยใช้พรีสเกลเลอร์สองโมดูลัส (Dual Modulus Prescaler) โดยที่ส่วนประกอบของวงจรสังเคราะห์ความถี่คือ

1. วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (Voltage Control Oscillator)

2. วงจรพรีสเกลเลอร์สองโมดูลัส โดยใช้ไอซีเบอร์ MC12017

3. วงจรเฟสดีเทคเตอร์ (Phase Detector) และโปรแกรมหารความถี่ อยู่ในส่วนของไอซีเบอร์ MC145152-2

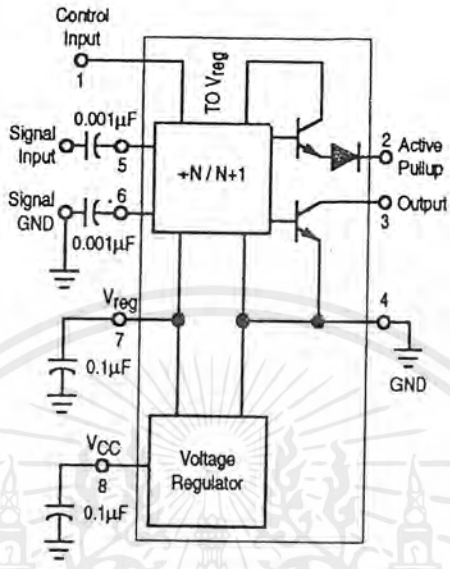
4. วงจรลูปฟิลเตอร์ (Loop Filter) ออกแบบโดยใช้ไอซีออปแอมป์เบอร์ LM741

หมายเหตุ ในส่วนของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันได้กล่าวไว้ในหัวข้อ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8.1 วงจรพรีสเกลเลอร์สองโมดูลัส

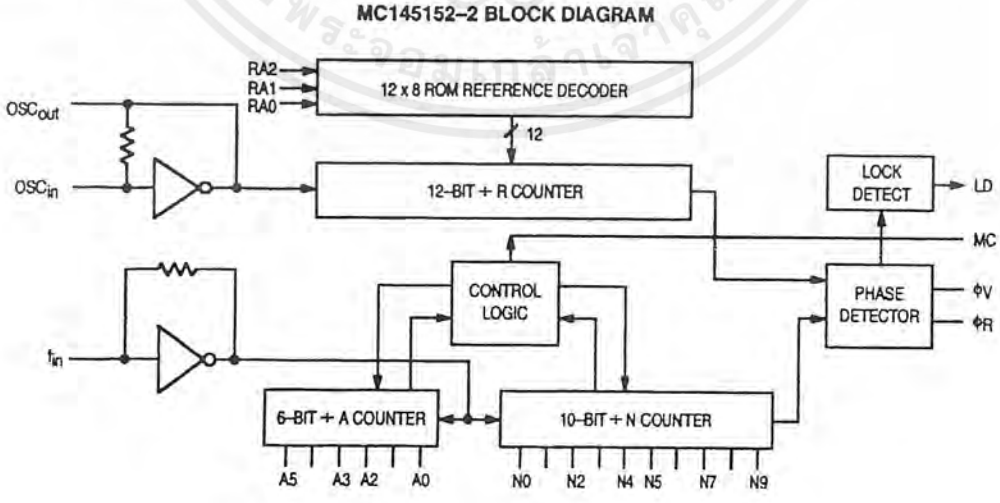
ไอซีเบอร์ MC12017 เป็นตัวพรีสเกลเลอร์หารความถี่ให้ต่ำลงโดยใช้ค่าตัวหาร 64/65 สามารถหารความถี่ได้ถึง 225 เม็กกะเฮิร์ต โดยมีบล็อกไดอะแกรมดังรูปที่ 3.27



รูปที่ 3.27 บล็อกไดอะแกรมของไอซีพรีสเกลเลอร์ เบอร์ MC12017

3.8.2 วงจรเฟสดีเทคเตอร์และโปรแกรมหารความถี่

ไอซีเบอร์ MC145152-2 สามารถใช้โปรแกรมหารความถี่ได้ 16 บิทแบบขนานโดยที่ 10 บิทสำหรับตัวหารโดย N เคาน์เตอร์ และ 6 บิทสำหรับตัวหารโดย A เคาน์เตอร์ และภายในมีวงจรเปรียบเทียบเฟสได้ในตัวเดียวกันจากออสซิลเลเตอร์อ้างอิงภายนอก มีโมดูลัสคอนโทรล (Modulus Control) และล็อกดีเทค (Lock Detect) อยู่ภายในตัวไอซีด้วย โดยไอซีเบอร์ MC145152-2 มีบล็อกไดอะแกรมดังนี้



รูปที่ 3.28 บล็อกไดอะแกรมของไอซีเบอร์ MC145152-2

โดยในการโปรแกรมการหารความถี่ คำนวณได้ดังนี้ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากค่าความถี่ที่ต้องการ (f_0)

ค่าช่วงความถี่ของแต่ละช่องสัญญาณ (Channel Spacing : f_s)

จากดาต้าชีทของโมโตโรล่า ค่าอัตราส่วนในการหารของฟีดแบคลูป (Total Division Ratio In Feedback Loop) เทียบกับสมการ $N_t = NP + A$

โดยที่ N คือ ตัวโปรแกรม $N_0 - N_9 = 10$ บิท หารตั้งแต่ 3-1023

A คือ ตัวโปรแกรม $A_0 - A_5 = 6$ บิท หารตั้งแต่ 0-63

P คือ ตัวหารของพรีสเกลเลอร์ หาร 64

ในวงจรนี้เราต้องการที่จะกำเนิดความถี่ 70 เม็กกะเฮิร์ต โดยใช้ความถี่อ้างอิงจากคริสตอลความถี่ 14 เม็กกะเฮิร์ต สามารถออกแบบค่าตัวหารต่าง ๆ ได้ดังนี้

$$f_s = \frac{f_{crystal}}{R}$$

โดย $f_{crystal}$ คือ ความถี่ของคริสตอล

R คือ ค่าตัวหารคริสตอลภายภายในไอซีเบอร์ MC145152-2 โดยสามารถตั้งค่าได้จาก RA_0-RA_2

ในวงจรนี้เราใช้ $f_{crystal}$ = 14 MHz และตัวหาร R = 64 (ตั้งค่า RA_0-RA_2 เป็น 001) เพราะฉะนั้นจะได้ว่า

$$f_s = \frac{1400000}{64}$$

$$f_s = 218750$$

นั่นคือจะได้ค่าช่วงความถี่ของแต่ละช่องสัญญาณเท่ากับ 218.75 กิโลเฮิร์ต ดังนั้นจะสามารถหาค่าตัวหาร N_t ได้จาก

$$N_t = \frac{f_0}{f_s}$$

$$N_t = \frac{70000000}{218750}$$

$$N_t = 320$$

และจาก $N_t = NP + A$ จะได้ว่า

$$N_t = (N \times 64) + A$$

ดังนั้นเราจะได้ N = 5 แปลงเป็นเลขฐานสองได้ 0000000101

A = 0 แปลงเป็นเลขฐานสองได้ 000000

3.8.3 วงจรลูปฟิลเตอร์

สามารถสร้างได้โดยใช้ไอซีออปแอมป์เบอร์ LM741 โดยทำการออกแบบและคำนวณดังนี้

กำหนดให้ (ตามคำแนะนำในดาต้าชีทของโมโตโรล่า)

f_0 = 70 MHz (Oscillator Frequency)

f_s = 218.75 kHz (Channel Spacing)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$f_b = 0.01\, f_s$ (Loop Bandwidth)

$\zeta = 0.8$ (Loop Damping Factor)

$V_{DD} = 5$ V (PLL Power Supply)

$C_1 = 0.1\ \mu F$ (Active Integrator Component)

$$K_\phi = \frac{V_{DD}}{2\pi}$$

$$= 0.795 \text{ V/Rad}$$

$$K_{VCO} = \frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}}$$

$= 3\times10^7$ Rad/V (ได้จากกราฟของความถี่เทียบกับแรงดันควบคุมของออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน)

$$\omega_n = \frac{2\pi f_b}{\sqrt{2\zeta^2+1+\sqrt{(2\zeta^2+1)^2+1}}}$$ (Natural Frequency)

$$= \frac{2\pi\times0.01\times218.75\times10^3}{\sqrt{2(0.8)^2+1+\sqrt{(2\times0.8^2+1)^2+1}}}$$

$=6293.38$ Rad

$$R_1 = \frac{K_\phi K_{VCO}}{C_1 N_t \omega_n^2}$$

$$= \frac{0.795\times3\times10^7}{0.1\times10^{-6}\times320\times(6293.38)^2}$$

$=188.18\text{k}\Omega$ จึงใช้ค่า $180\text{k}\Omega$

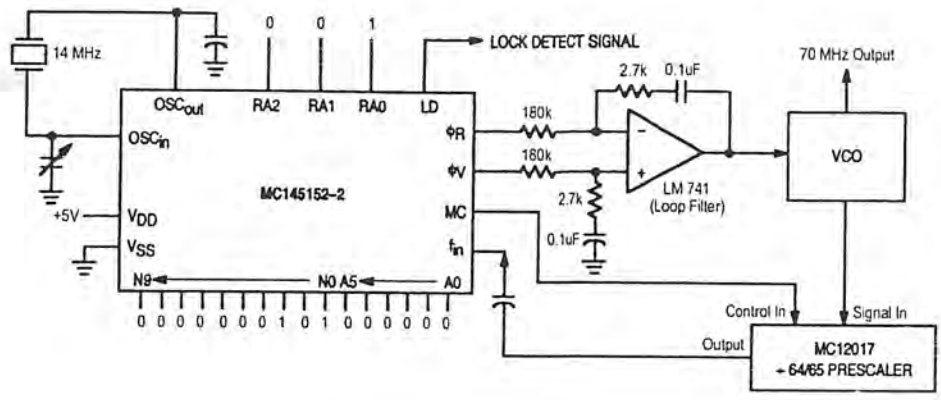
$$R_2 = \frac{2\zeta}{\omega_n C_1}$$

$$= \frac{2\times0.8}{6293.38\times0.1\times10^{-6}}$$

$=2.54\text{k}\Omega$ จึงใช้ค่า $2.7\text{k}\Omega$

ดังนั้นเราจะได้วงจรสังเคราะห์ความถี่โดยใช้เฟสล็อกลูปความถี่ 70 เม็กกะเฮิร์ตที่สมบูรณ์ดังรูปที่ 3.29

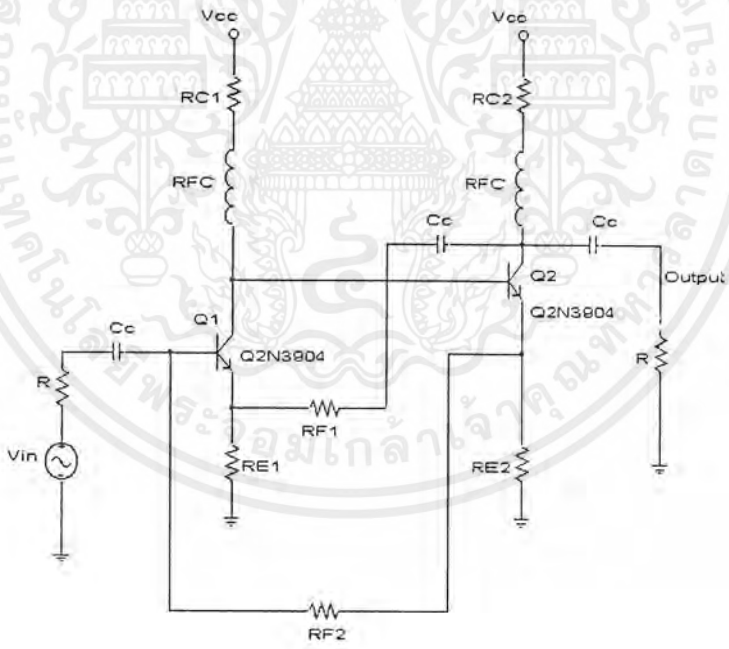
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.29 วงจรที่สมบูรณ์ของวงจรสังเคราะห์ความถี่
โดยใช้เฟสล็อกลูปความถี่ 70 เม็กกะเฮิร์ต

3.9 วงจรบัฟเฟอร์

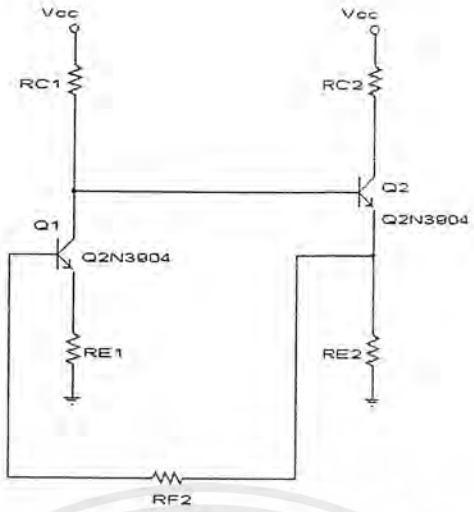
ในหัวข้อนี้จะทำการออกแบบวงจรบัฟเฟอร์โดยใช้พื้นฐานของวงจรขยายสัญญาณแถบความถี่กว้าง ดังรูปที่ 3.30



รูปที่ 3.30 วงจรขยายสัญญาณแถบความถี่กว้าง

ทำการคำนวณหาค่าความต้านทานต่าง ๆ ที่ใช้ในการไบอัสทรานซิสเตอร์ทั้ง 2 ตัว โดยใช้การวิเคราะห์วงจรไบอัส ดังรูปที่ 3.31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.31 วงจรไบอัสของบัฟเฟอร์

เราจะใช้ทรานซิสเตอร์ 2N3904 ซึ่งมี โดยกำหนดให้ β = 100 กำหนดให้ V_{CC} = 12 V, V_{BE} = 0.7 Vและเราต้องการที่จะไบอัส Q_1 ด้วย I_{C1} = 15 mA และ Q_2 ด้วย I_{C2} = 20 mA

ให้ $R_{C2} = 150\ \Omega$

จะได้ว่า

$$V_C = V_{CC} - I_{C2}R_{C2}$$
$$= 12 - (20\text{mA} \times 150)$$
$$= 9\text{V}$$

ให้ V_{CE2} = 5 V เพราะฉะนั้นจะได้ V_{E2} = 4 V

$$R_{E2} = \frac{V_{E2}}{I_{E2}} \approx \frac{V_{E2}}{I_{C2}}$$
$$= \frac{4}{20mA}$$
$$= 200\Omega$$

เนื่องจาก V_{E2} = 4 V เพราะฉะนั้นจะได้ $V_{B2} = V_{C1}$ = 4.7 V

$$R_{C1} = \frac{(V_{CC} - V_{C1})}{I_{C1}}$$
$$= \frac{12 - 4.7}{15mA}$$
$$= 486.67\Omega$$

ให้ $R_{F2} = 50\ \Omega$ จะได้ว่า

$$_{B1} = V_{E2} - I_{B1}R_{F2}$$
$$= V_{E2} - \frac{I_{C1}}{\beta}R_{F2}$$
$$= 4 - \frac{15mA}{100} \times 50$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= 3.99\text{V}$$

$$V_{EI} = V_{BI} - V_{BE}$$

$$= 3.99 - 0.7$$

$$= 3.29\text{V}$$

ดังนั้นเราสามารถหา R_{EI} ได้ดังนี้

$$R_{E1} = \frac{V_{E1}}{I_{E1}} \approx \frac{V_{E1}}{I_{C1}}$$

$$= \frac{3.29}{15mA}$$

$$= 219.33\Omega$$

ดังนั้นเราจะได้ค่าความต้านทานทั้งหมดที่ใช้ในการไบอัสทรานซิสเตอร์ทั้ง 2 ตัวดังนี้

$R_{CI} = 486.67\ \Omega$ ใช้ค่า $470\ \Omega$

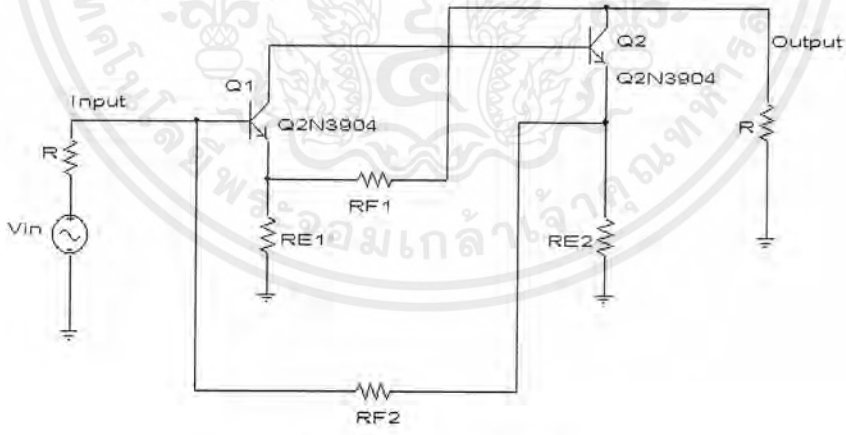
$R_{EI} = 219.32\ \Omega$ ใช้ค่า $220\ \Omega$

$R_{C2} = 150\ \Omega$

$R_{E2} = 200\ \Omega$

$R_{F2} = 50\ \Omega$

ต่อไปจะทำการคำนวณหาค่าความต้านทานที่ใช้เพื่อที่จะทำการแมทช์อิมพีแดนซ์ของวงจรบัฟเฟอร์นี้ โดยใช้การวิเคราะห์เงื่อนไขไฟกระแสสลับดังรูปที่ 3.32



รูปที่ 3.32 วงจรสมมูลของบัฟเฟอร์

จากรูปที่ 3.32 เราจะสามารถหาค่าอินพุทอิมพีแดนซ์ (R_I) และเอาท์พุทอิมพีแดนซ์ (R_O) ได้จาก

$$R_I = \frac{R \times R_{E1}}{(R + R_{E1} + R_{F1})} \times \frac{(R_{E2} + R_{F2})}{R_{E2}} //(R_{F2} + R_{E2}) \qquad (3.6)$$

$$R_O = \frac{R \times R_{E2}}{(R + R_{E2} + R_{F2})} \times \frac{(R_{E1} + R_{F1})}{R_{E1}} //(R_{F1} + R_{E1}) \qquad (3.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย R คือค่าเอาท์พุทอิมพีแดนซ์ของแหล่งกำเนิดสัญญาณหรือค่าความต้านทานของโหลดซึ่งมีค่า 50 Ω ดังนั้นจึงต้องทำการออกแบบวงจรบัฟเฟอร์เพื่อให้อินพุทและเอาท์พุทอิมพีแดนซ์มีค่า 50 Ω เพื่อแมชชิ่งอิมพีแดนซ์

จากสมการที่ 3.6 และ 3.7 จะเห็นว่า ถ้ากำหนดให้ค่า R_{E1} และ R_{E2} มีค่ามากกว่า R ,R_{F1} และ R_{F2} มาก ๆ แล้ว จะทำให้สมการทั้งสองลดลงเหลือเพียง

$$R_I = R // R_{E2}$$

และเนื่องจาก $R_{E2} >> R$ ดังนั้น

$$R_I = R = 50\Omega$$

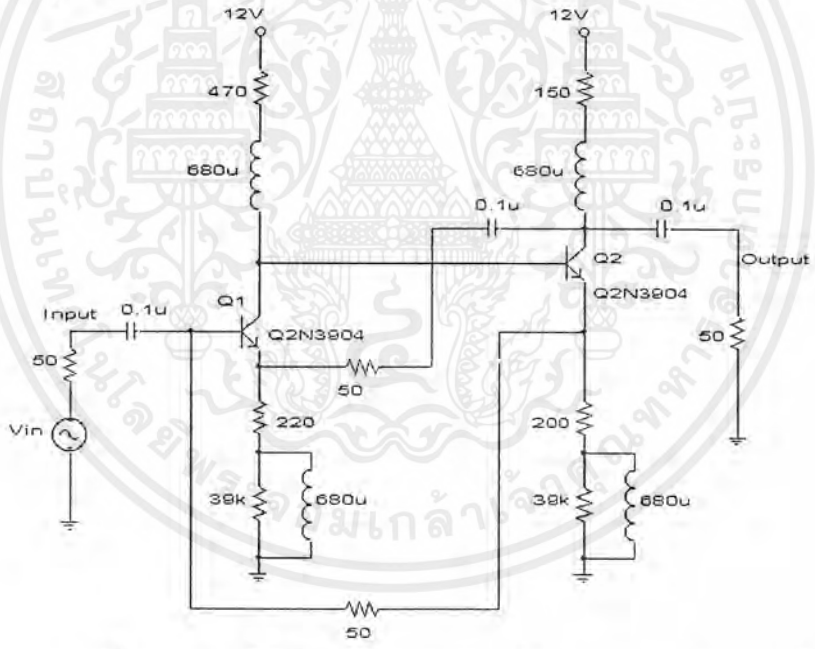
ในกรณีเดียวกันสำหรับ R_O

$$R_O = R // R_{E1}$$

เนื่องจาก $R_{E1} >> R$ ดังนั้น

$$R_O = R = 50\Omega$$

ดังนั้นเราจะให้ $R_{F1} = 50\,\Omega$,R_{E1} และ $R_{E2} = 39\,k\Omega$ ซึ่งมากกว่าค่า R ,R_{F1} และ R_{F2} อยู่มาก จะได้วงจรที่สมบูรณ์ดังรูปที่ 3.33



รูปที่ 3.33 วงจรได้ทำการแทนค่าอุปกรณ์ต่าง ๆ ของวงจรบัฟเฟอร์

ทำการหาค่าอัตราขยายแรงดัน (Voltage Gain)

$$A_V = \frac{R_{E1} + R_{F1}}{R_{E1}}$$

$$= \frac{39k + 50}{39k}$$

$$\approx 1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10 วงจรกรองความถี่ช่วงผ่านพาสซีฟแบบบัตเตอร์เวิร์ธ (Passive Butterworth Band Pass Filter)

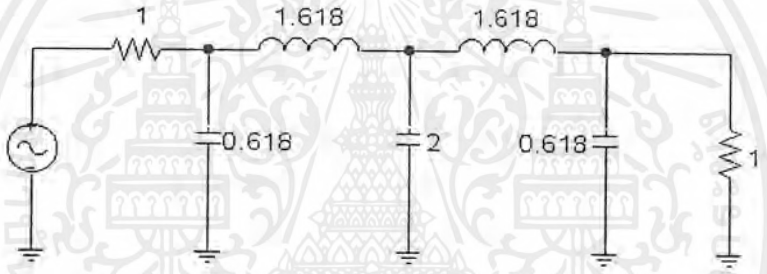
วงจรกรองความถี่ช่วงผ่านพาสซีฟแบบบัตเตอร์เวิร์ธนี้ เราจะใช้สำหรับกรองความถี่เฉพาะช่วงความถี่ 70 MHz ที่ออกมาจากวงจรสังเคราะห์ความถี่เพื่อกำจัดฮาร์โมนิคที่ไม่ต้องการออก เราจะทำการเลือกคุณสมบัติของวงจรกรองความถี่ช่วงผ่านที่เราต้องการคือ BW_C = 25 MHz ณ จุดที่มีการลดทอน 3 dB และให้ค่าความกว้างแถบความถี่จุดที่มีการลดทอน 50 dB เท่ากับ 75 MHz

$$\frac{BW}{BW_C} = \frac{f}{f_C} = \frac{75MHz}{25MHz} = 3$$

จากเคิร์ฟการลดทอนที่ 2.14 เราจะเลือกใช้วงจรกรองความถี่อันดับที่ 5 ซึ่งจะทำให้ได้คุณสมบัติของวงจรกรองความถี่ตามที่เราต้องการ จากตารางที่ 2.4 เลือกค่าขององค์ประกอบของวงจรกรองความถี่ต่ำผ่านอันดับที่ 5 พบว่ามีค่าองค์ประกอบต่าง ๆ ดังนี้

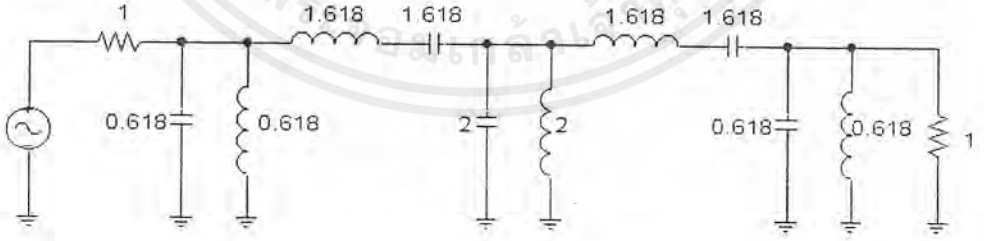
$$C_1 = 0.618, L_2 = 1.618, C_3 = 2.000, L_4 = 1.618, C_5 = 0.618$$

โดยรูปที่ 3.34 เป็นวงจรกรองความถี่ต่ำผ่านอันดับที่ 5 ที่นอร์มอลไลซ์แล้ว



รูปที่ 3.34 วงจรกรองความถี่ต่ำผ่านอันดับที่ 5 ที่นอร์มอลไลซ์แล้ว

ทำการแปลงวงจรกรองความถี่ต่ำผ่านเป็นวงจรกรองความถี่ช่วงผ่านได้ดังรูปที่ 3.35



รูปที่ 3.35 วงจรกรองความถี่ช่วงผ่านอันดับที่ 5 ที่นอร์มอลไลซ์แล้ว

หาค่าขององค์ประกอบของวงจร L และ C ที่จะนำมาใช้จริงในวงจรโดยคำนวณจากสมการที่ 2.5-2.8 เมื่อแทนค่า B = 25 MHz , f = 70 MHz , R = 50 โอห์ม จะได้ค่า C และ L ต่าง ๆ ที่ใช้จริงดังนี้

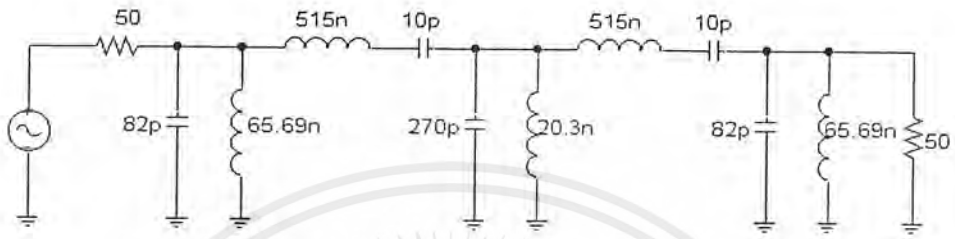
$$C_1 = C_5 = 78.68pF \approx 82pF$$

$$L_1 = L_5 = 65.69nH$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_2 = C_4 = 10\text{pF}$$
$$L_2 = L_4 = 515\text{nH}$$
$$C_3 = 254.64\text{pF} \approx 270\text{pF}$$
$$L_3 = 20.3\text{nH}$$

ดังนั้นวงจรกรองความถี่ช่วงผ่านที่ออกแบบได้จะมีค่าองค์ประกอบต่าง ๆ ดังรูปที่ 3.36



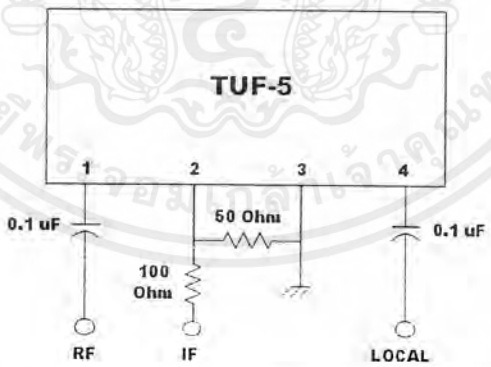
รูปที่ 3.36 วงจรกรองความถี่ช่วงผ่านแบบบัตเตอร์เวิร์ธ อันดับ 5 ที่มีความถี่กลาง 70 เม็กกะเฮิร์ต

3.11 วงจรคูณสัญญาณ

วงจรคูณสัญญาณที่ใช้ในโครงงานจะมีอยู่ 3 วงจรมีวิธีการออกแบบดังนี้

3.11.1 วงจรคูณสัญญาณโดยใช้ไอซี TUF 5

เป็นวงจรคูณสัญญาณที่ใช้ในส่วนของไอคิวมอดูเลเตอร์ และใช้เป็นเฟสดีเทคเตอร์ในส่วนของเครื่องรับแบบคอสทาส โดยใช้ไอซี TUF-5 โดยมีวงจรดังรูปที่ 3.37 ขาที่ 1 จะเป็น RF , ขาที่สองเป็นขา IF และขาที่ 3 เป็นขา LOCAL

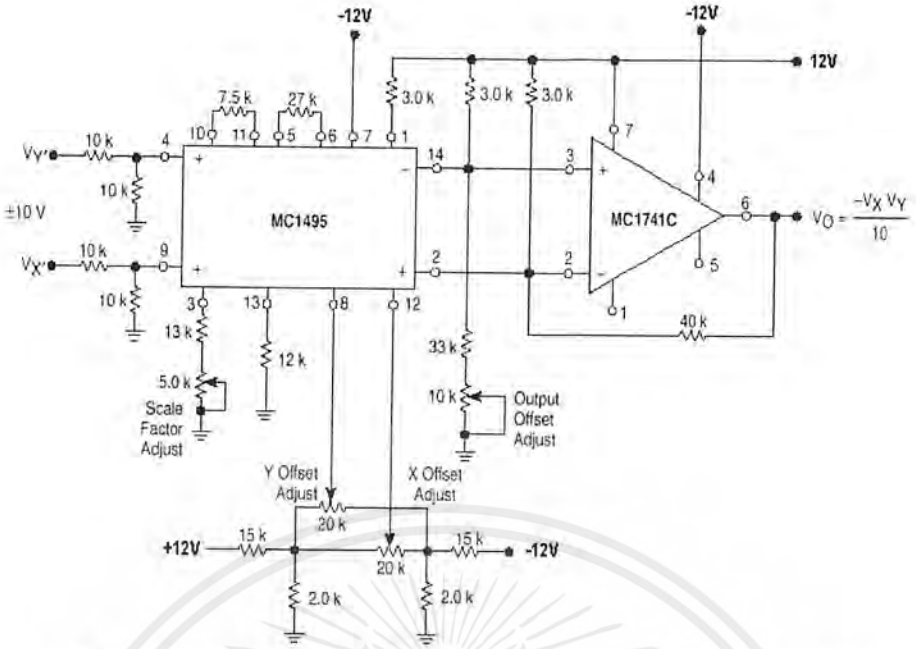


รูปที่ 3.37 วงจรคูณสัญญาณที่ใช้ในไอคิวมอดูเลเตอร์
และเฟสดีเทคเตอร์ในส่วนของเครื่องรับแบบคอสทาส

3.11.2 วงจรคูณสัญญาณโดยใช้ไอซี MC1495

วงจรคูณสัญญาณที่ใช้ในส่วนของเครื่องรับแบบคอสทาสตรงส่วนของความถี่ต่ำ โดยจะใช้ไอซีเบอร์ MC1495 โดยต่อวงจรดังรูป

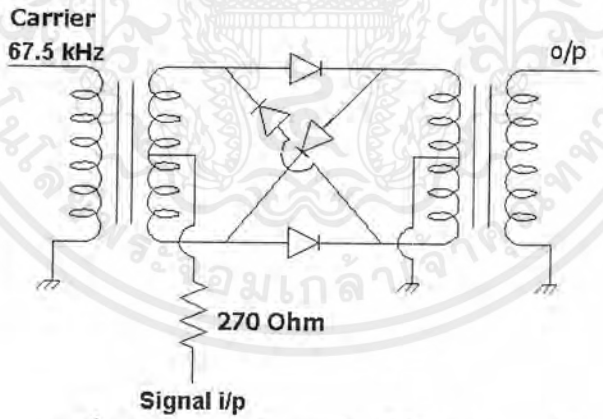
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.38 วงจรคูณสัญญาณที่ใช้ในเครื่องรับแบบคอสทาสส่วนของความถี่ต่ำ

3.11.3 วงจรคูณสัญญาณโดยใช้ริงมอดูเลเตอร์

เป็นวงจรคูณสัญญาณที่ใช้ในส่วนของวงจรประมวลผลสัญญาณเบสแบนด์ จะใช้วงจรคูณสัญญาณแบบ ริงมอดูเลเตอร์ โดยวงจรที่ใช้จะเป็นดังรูปที่ 3.39



รูปที่ 3.39 วงจรคูณสัญญาณโดยใช้ริงมอดูเลเตอร์

3.12 การคำนวณวงจรขยายสัญญาณอาร์เอฟขนาดเล็ก (Small Signal RF amp)

ในการสร้างเราเลือกใช้ทรานซิสเตอร์เบอร์ BFR90 และไบอัสทรานซิสเตอร์โดยให้ $V_{CE} = 5\ V_{DC}$ และ $I_C = 10\ mA_{DC}$ จากดาต้าชีทจะทราบค่าของเอสพารามิเตอร์ที่ความถี่ 70 เม็กกะเฮิร์ตดังนี้

$$S_{11} = 0.33\angle -75° \tag{3.8}$$

$$S_{12} = 0.04\angle 65° \tag{3.9}$$

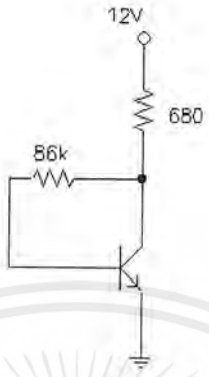
$$S_{21} = 12.33\angle 115° \tag{3.10}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_{22} = 0.64\angle -25° \tag{3.11}$$

จากนั้นเราก็ทำตามกระบวนการหาค่าต่างๆดังนี้

1. ออกแบบวงจรไบอัสทรานซิสเตอร์ให้ได้ $V_{CE} = 5V_{DC}$ และ $I_C = 10\ mA_{DC}$ จะได้วงจรดังนี้



รูปที่ 3.40 วงจรไบอัสทรานซิสเตอร์

2. หาค่า D_S

$$\begin{aligned} D_S &= S_{11}S_{22} - S_{12}S_{21} \\ &= (0.33\angle -75°0.64\angle -25°) - (0.04\angle 65°12.33\angle 115°) \\ &= 0.21\angle -100° - 0.49\angle 180° \\ &= 0.49\angle -24.51° \end{aligned}$$

3. ค่าของเสถียรภาพ (K) จากสมการ

$$\begin{aligned} K &= \frac{1+|D_S|^2 - |S_{11}|^2 - |S_{22}|^2}{2\cdot|S_{21}|\cdot|S_{12}|} \\ &= \frac{1+|0.49|^2 - |0.33|^2 - |0.64|^2}{2\,|12.33\times 0.04|} \\ &= 0.73 \end{aligned}$$

$\therefore K < 1$ ดังนั้นวงจรขยายสัญญาณอยู่ในสถานะโพเทนเชี่ยล อินสเตบิลิตี้

4. เป็นการหาค่าสัมประสิทธิ์การสะท้อนของโหลด - ซอร์สของวงจรขยายสัญญาณ เพื่อใช้ในการแมชชิ่งอิมพีแดนซ์กับวงจรอื่น ๆ

4.1 หาค่า C_1

$$\begin{aligned} C_1 &= S_{11} - (D_S S_{22}^*) \\ &= 0.33\angle -75° - (0.49\angle -24.51° \times 0.64\angle 25°) \\ &= 0.33\angle -75° + 0.31\angle 180.5° \\ &= 0.39\angle 235.061° \end{aligned}$$

4.2 หาค่า C_2

$$C_2 = S_{22} - D_S S_{11}^*$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= 0.64\angle -25° - (0.49\angle -24.51° \times 0.33\angle 75°)$$

$$= 0.64\angle -25° + 0.16\angle 230.49°$$

$$= 0.62\angle -39.47°$$

4.3 หาจุดศูนย์กลางของวงกลมเสถียรภาพของอินพุท

$$r_{S1} = \frac{C_1^*}{|S_{11}|^2 - |D_S|^2}$$

$$= \frac{0.39\angle 124.939°}{\left||0.33|^2 - |0.49|^2\right|}$$

$$= 3\angle 124.939°$$

4.4 หารัศมีของวงกลมเสถียรภาพของอินพุท

$$p_{S1} = \left|\frac{S_{12}S_{21}}{|S_{11}|^2 - |D_S|^2}\right|$$

$$= \frac{12.33 \times 0.04}{0.13}$$

$$= 3.79$$

4.5. หาจุดศูนย์กลางของวงกลมเสถียรภาพของเอาท์พุท

$$r_{S2} = \frac{C_2^*}{|S_{22}|^2 - |D_S|^2}$$

$$= \frac{0.62\angle 39.47°}{0.17}$$

$$= 3.64\angle 39.47°$$

4.6 หารัศมีของวงกลมเสถียรภาพของเอาท์พุท

$$p_{S2} = \left|\frac{S_{12}S_{21}}{|S_{22}|^2 - |D_S|^2}\right|$$

$$= \frac{0.04 \times 12.33}{0.17}$$

$$= 2.9$$

4..7 หาค่าของอัตราขยายสูงสุด

$$G_{MAX} = \frac{|S_{21}|}{|S_{12}|} = \frac{12.33}{0.04} = 308.25(24.88dB)$$

4.8 หาค่าของอัตราขยายที่ต้องการ โดยต้องการอัตราขยาย 20 ดีบี

$$G = \frac{Gain\ desired\ (absolute)}{|S_{21}|^2}$$

$$= \frac{100}{12.33^2}$$

$$= 0.65$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.9 จุดศูนย์กลางของวงกลมซึ่งมีอัตราขยายคงที่

$$r_o = \frac{GC_2^*}{1+D_2G}$$

$$= \frac{0.65\times 062\angle 39.47^\circ}{1+0.65(0.17)}$$

$$= 0.36\angle 39.47^\circ$$

4.10 รัศมีของวงกลมที่มีอัตราขยายคงที่

$$p_o = \frac{\sqrt{1-2K|S_{12}S_{21}|G+|S_{12}S_{21}|^2G^2}}{1+D_2G}$$

$$= \frac{\sqrt{1-(2\times 0.73\times 0.04\times 12.33\times 065)+(12.33\times 0.04\times 0.65)^2}}{(1+0.65(0.17))}$$

$$= 0.717$$

4.11 หาสัมประสิทธิ์การสะท้อนของซอร์ส โดยจากสมิทธ์ชาร์ทเลือกจุดที่ $Z_L = 1$ ($\Gamma_L = 0$)

$$\Gamma in = \left[S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1-(\Gamma_L \cdot S_{22})} \right] = \Gamma_S^*$$

$$= S_{11}$$

$$= 0.33\angle -75^\circ$$

หา $$Z_S = \frac{1+0.33\angle -75^\circ}{1-0.33\angle -75^\circ}$$

$$= 1.16799\angle -35.58^\circ$$

$$= 0.9499 - j0.679$$

$$Z_{in} = Z_s \times 50 = 47.49 - j33.95$$

จาก $$Z_{out} = Z_L \times 50 = 50$$

จากนั้นนำค่า Z_{in} และ Z_{out} ไปคำนวณวงจรแมชชิ่งอิมพีแดนซ์

ที่อินพุทจาก $Z_{in} = 47.49 - j33.95$

คำนวณหาค่า $Q = \sqrt{\frac{R}{R_{in}} - 1}$

$$= \sqrt{\frac{50}{47.49} - 1}$$

$$= 0.229$$

$$X_P = \frac{R}{Q} = \frac{50}{0.229} = 217.48$$

$$X_S = RQ = 47.48\times 0.229 = 10.87$$

เลือก X_S ให้เป็นค่าอินดักแตนซ์ดังนั้น $X_S = 10.87+33.95 = 44.82$

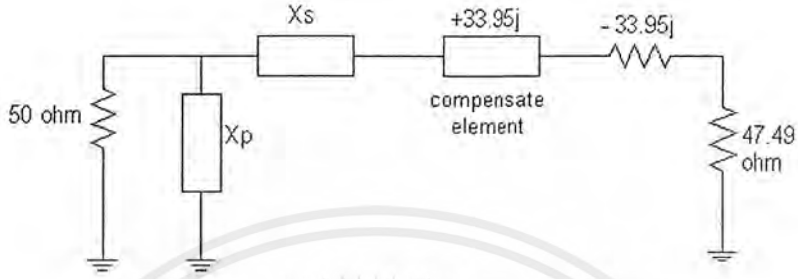
$X_S = X_L$ และ $X_P = X_C$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

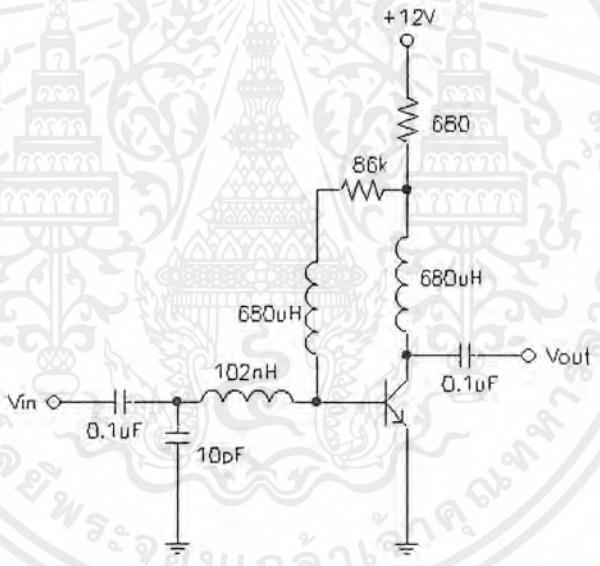
$$X_S = +\,j44.82 \times L \qquad L = \frac{44.82}{2\pi \times 70 \times 10^6} = 102\text{nH}$$

$$X_P = -\,j217.48 \times C \qquad C = \frac{1}{2\pi \times 70 \times 10^6 \times 217.48} = 10\text{pF}$$

ที่เอาท์พุท $Z_{out} = 50$ ดังนั้นไม่ต้องทำการแมชชิ่ง

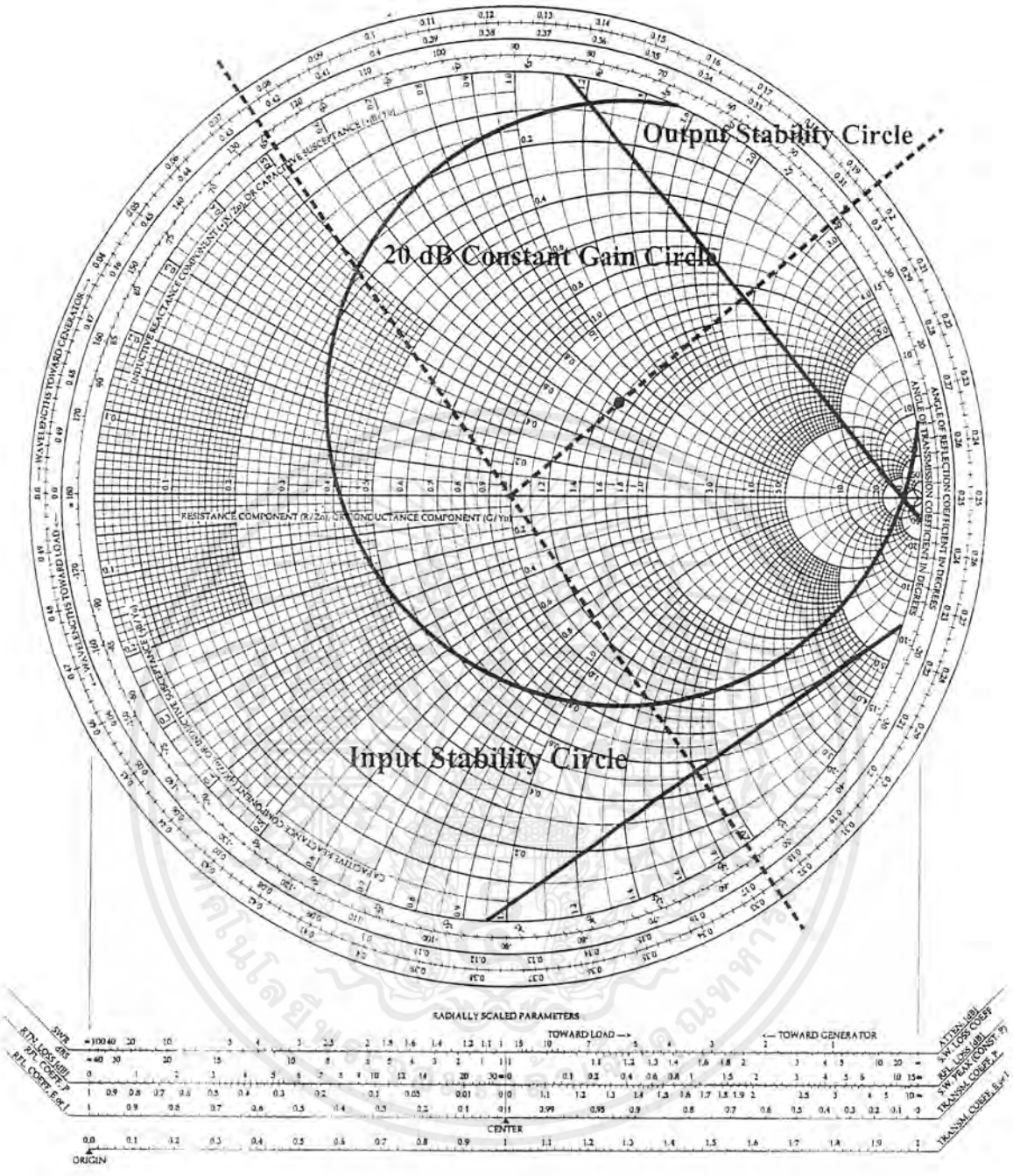


รูปที่ 3.41 วงจรแมชชิ่งอินพุทของทรานซิสเตอร์



รูปที่ 3.42 วงจรขยายสัญญาณอาร์เอฟขนาดเล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

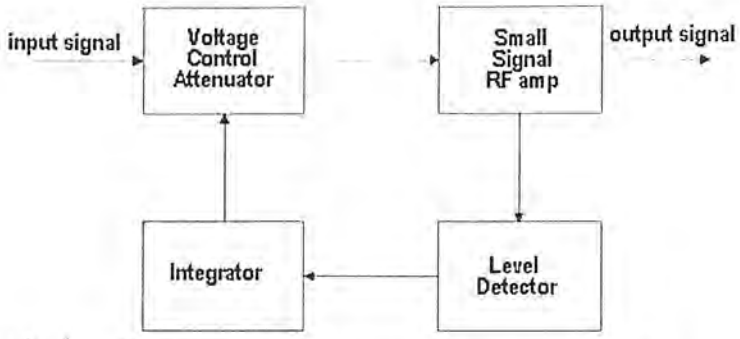


รูปที่ 3.43 สมิทธ์ชาร์ทของวงจรขยายสัญญาณอาร์เอฟขนาดเล็ก

3.13 วงจรควบคุมอัตราขยายอัตโนมัติ (Automatic Gain Control)

วงจรควบคุมอัตราขยายอัตโนมัติที่ใช้ภายในโครงงานนี้ประกอบด้วยบล็อกไดอะแกรมดังรูปที่ 3.44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

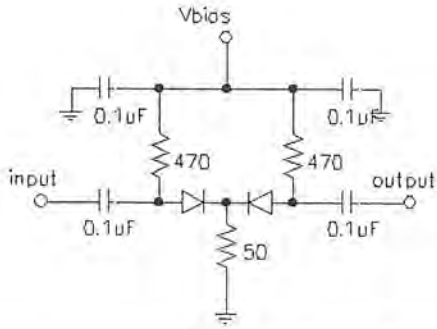


รูปที่ 3.44 บล็อกไดอะแกรมของวงจรควบคุมอัตราขยายอัตโนมัติ

การทำงานของวงจรควบคุมอัตราขยายอัตโนมัติประกอบด้วยสัญญาณอินพุทซึ่งได้มาจากวงจรก่อนหน้า โดยสัญญาณอินพุทที่เข้ามานี้จะมีขนาดไม่เท่ากันเสมอเนื่องมาจากการลดทอนของสัญญาณในอากาศ วงจรนี้จะทำการปรับขนาดของแอมปลิจูดด้วยวงจรลดทอนสัญญาณ ซึ่งจะทำการลดทอนสัญญาณในอัตราที่ไม่เท่ากันขึ้นอยู่กับแรงดันที่มาควบคุม แรงดันที่มาควบคุมนั้น จะได้มาจากการดีเทคขนาดของสัญญาณอินพุท โดยสัญญาณที่เข้าวงจรดีเท็คเตอร์ระดับแรงดันนั้นจะต้องมีขนาดของสัญญาณที่ใหญ่พอที่จะดีเทคสัญญาณออกมาเป็นไฟตรงได้ จึงต้องขยายสัญญาณก่อนเข้าวงจรดีเทคเตอร์ด้วยวงจรขยายสัญญาณ แรงดันไฟตรงที่ดีเทคออกมาได้จะถูกกรองให้เรียบสม่ำเสมอด้วยวงจรอินทิเกรเตอร์อีกครั้งหนึ่ง

วงจรลดทอนสัญญาณที่ควบคุมด้วยแรงดัน (Voltage Attenuator)

วงจรลดทอนสัญญาณที่ควบคุมด้วยแรงดัน ดังรูปที่ 3.45 โดยเราเลือกใช้พินไดโอดเบอร์ HSMP3804 (D4L) โดยอินพุทจะเข้าอินพุทจะเข้าที่ด้านหนึ่งของพินไดโอด และเอาท์พุทออกที่ด้านหนึ่ง โดยสัญญาณเอาท์พุทจะถูกลดทอนไม่เท่ากัน ขึ้นอยู่กับขนาดไฟไบอัส ถ้าไฟไบอัสมากขึ้นจะลดทอนน้อยลง การที่เราเลือกใช้พินไดโอดก็เนื่องจากที่ความถี่สูง พินไดโอดจะทำงานเป็นตัวต้านทาน ซึ่งมีค่าเปลี่ยนแปลงตามกระแสไบอัสตรง ดังนั้นเราจึงสามารถควบคุมความต้านทานของพินไดโอดได้โดยการปรับกระแส พินไดโอดจะทำหน้าที่เสมือนเป็นตัวต้านทานที่ปรับค่าได้ เมื่อป้อนกระแสไบอัสที่ไดโอด ความต้านทานของวงจรจะเปลี่ยนแปลงและทำให้ปริมาณการลดทอนเปลี่ยนแปลงด้วย เราจึงสามารถปรับค่าแอมปลิจูดของสัญญาณอาร์เอฟที่ป้อนเข้าอินพุทได้โดยการปรับกระแสไบอัสไฟตรง



รูปที่ 3.45 วงจรลดทอนสัญญาณที่ควบคุมด้วยแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

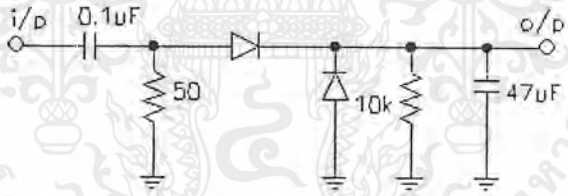
วงจรขยายสัญญาณอาร์เอฟขนาดเล็ก

ในที่นี้จะนำวงจรขยายสัญญาณอาร์เอฟขนาดเล็กมาใช้ โดยเป็นวงจรที่ได้ทำการออกแบบไปแล้วในภาคส่งดังหัวข้อที่ 3.12 ใช้วงจรขยายสัญญาณอาร์เอฟขนาดเล็กมาต่อโดยจะให้อัตราขยายประมาณ 23 ดีบี เพื่อให้สัญญาณเอาท์พุทมีขนาดสูงพอที่จะนำไปดีเทคได้ ส่วนของการดึงสัญญาณออกไปใช้จะดึงออกจากหลังวงจรขยายเพื่อเป็นการแยกสัญญาณออกจากกันเพื่อไม่ให้เกิดการรบกวนกับวงจรควบคุมอัตราขยายอัตโนมัติ

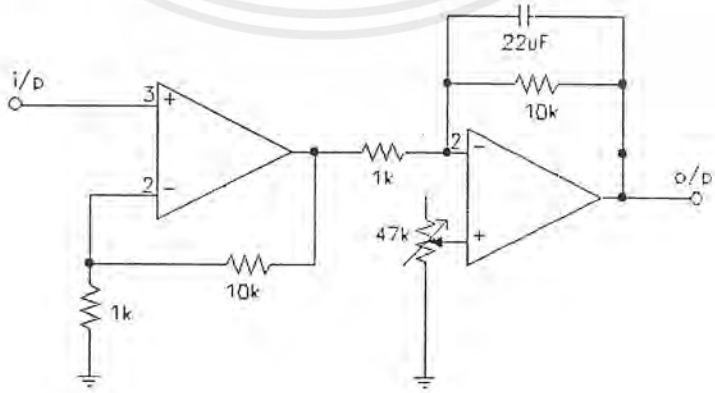
วงจรดีเทคเตอร์ระดับแรงดัน

วงจรดีเทคเตอร์ระดับแรงดันจะใช้ช็อตต์กี้แบร์เรียร์ไดโอด เบอร์ HSMS2822 (C2L) เป็นตัวดีเทคสัญญาณเนื่องจากสามารถทำงานที่ความถี่สูงได้ดี แรงดันที่ตกคร่อมไดโอดจะมีค่าประมาณ 0.3 โวลต์ ดังนั้นจะเห็นว่ามันสามารถทำงานได้ เมื่อสัญญาณอินพุทที่เข้ามามีขนาดน้อย ๆ

ขนาดสัญญาณไฟตรงที่ดีเทคได้จะถูกขยายด้วยวงจรขยายแบบไม่กลับเฟสแล้วจึงส่งไปยังวงจรอินทิเกรเตอร์ เพื่อเปรียบเทียบกับแรงดันอ้างอิง แล้วกรองผ่านวงจรอินทิเกรเตอร์ดังรูปที่ 3.47 ซึ่งเป็นเหมือนวงจรกรองความถี่ต่ำผ่านได้เป็นแรงดันไฟควบคุมอัตราขยายอัตโนมัติ ส่งไปไบอัสให้วงจรลดทอนสัญญาณให้ปรับขนาดสัญญาณอินพุทที่เข้ามาให้เหมาะสม เอาท์พุทที่ออกที่ตำแหน่งเอาท์พุทของวงจรขยายความถี่ช่วงกว้างสเตจแรกจึงมีขนาดเท่ากัน ไม่ว่าสัญญาณที่เข้าวงจรลดทอนจะมีขนาดใหญ่หรือเล็กก็ตาม ดังวงจรที่อยู่ในรูป 3.46



รูปที่ 3.46 วงจรดีเทคเตอร์ระดับแรงดัน

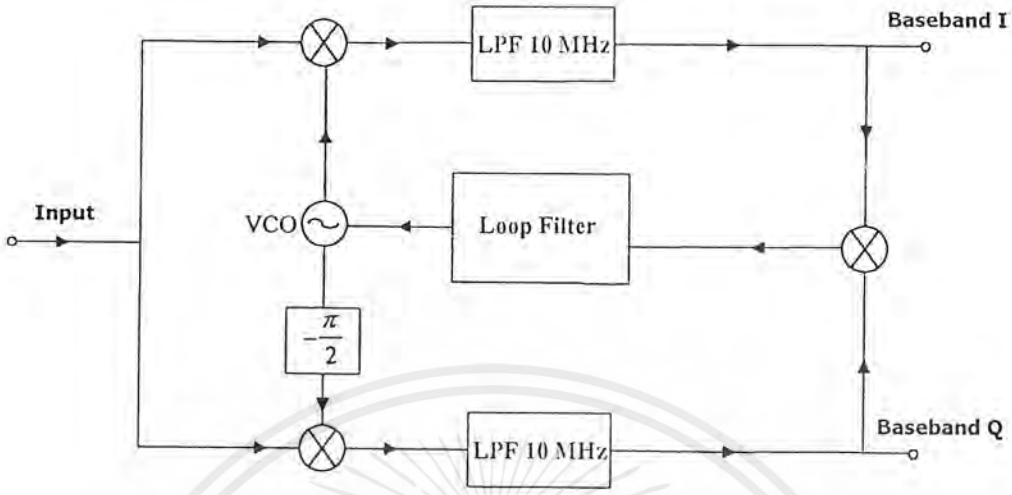


รูปที่ 3.47 วงจรอินทิเกรเตอร์และวงจรขยายแบบไม่กลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.14 วงจรเครื่องรับแบบคอสทาส

เครื่องรับแบบคอสทาสนั้น ประกอบด้วยวงจรต่าง ๆ ดังรูปที่ 3.48 โดยมีรายละเอียดต่อไปนี้



รูปที่ 3.48 วงจรเครื่องรับแบบคอสทาส

วงจรคูณสัญญาณ

จะใช้วงจรคูณสัญญาณโดยใช้ไอซี MC1495 และ TUF-5 โดยได้อธิบายแล้วในหัวข้อวงจรคูณสัญญาณ 3.11

วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน

ในที่นี้จะใช้วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดันแบบเดียวกันกับภาครับ โดยสามารถดูได้ที่หัวข้อ 3.7

วงจรเฟสชิฟท์

รายละเอียดการออกแบบที่หัวข้อวงจรเฟสชิฟท์ 3.5

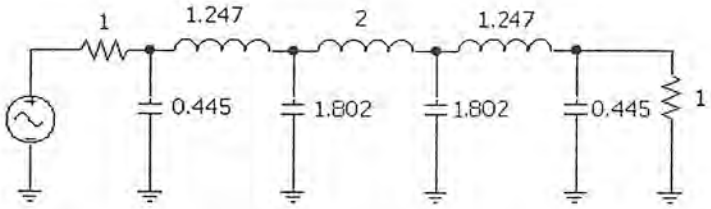
วงจรกรองความถี่ต่ำผ่านของลูป

รายละเอียดการออกแบบที่หัวข้อวงจรกรองความถี่ต่ำผ่าน 3.6

วงจรกรองความถี่ต่ำผ่านภายในเครื่องรับคอสทาส

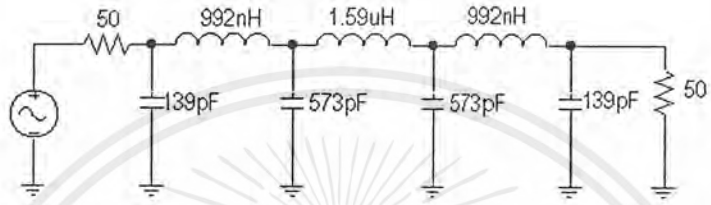
ออกแบบโดยเลือกวงจรกรองความถี่ต่ำผ่านพาสซีฟแบบบัตเตอร์เวิร์ธที่มีความถี่คัทออฟ 10 เม็กกะ เฮิร์ต อันดับที่ 4 จากตารางที่ 2.4 จะได้ค่าองค์ประกอบที่นอร์มอลไลซ์ดังรูปที่ 3.49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



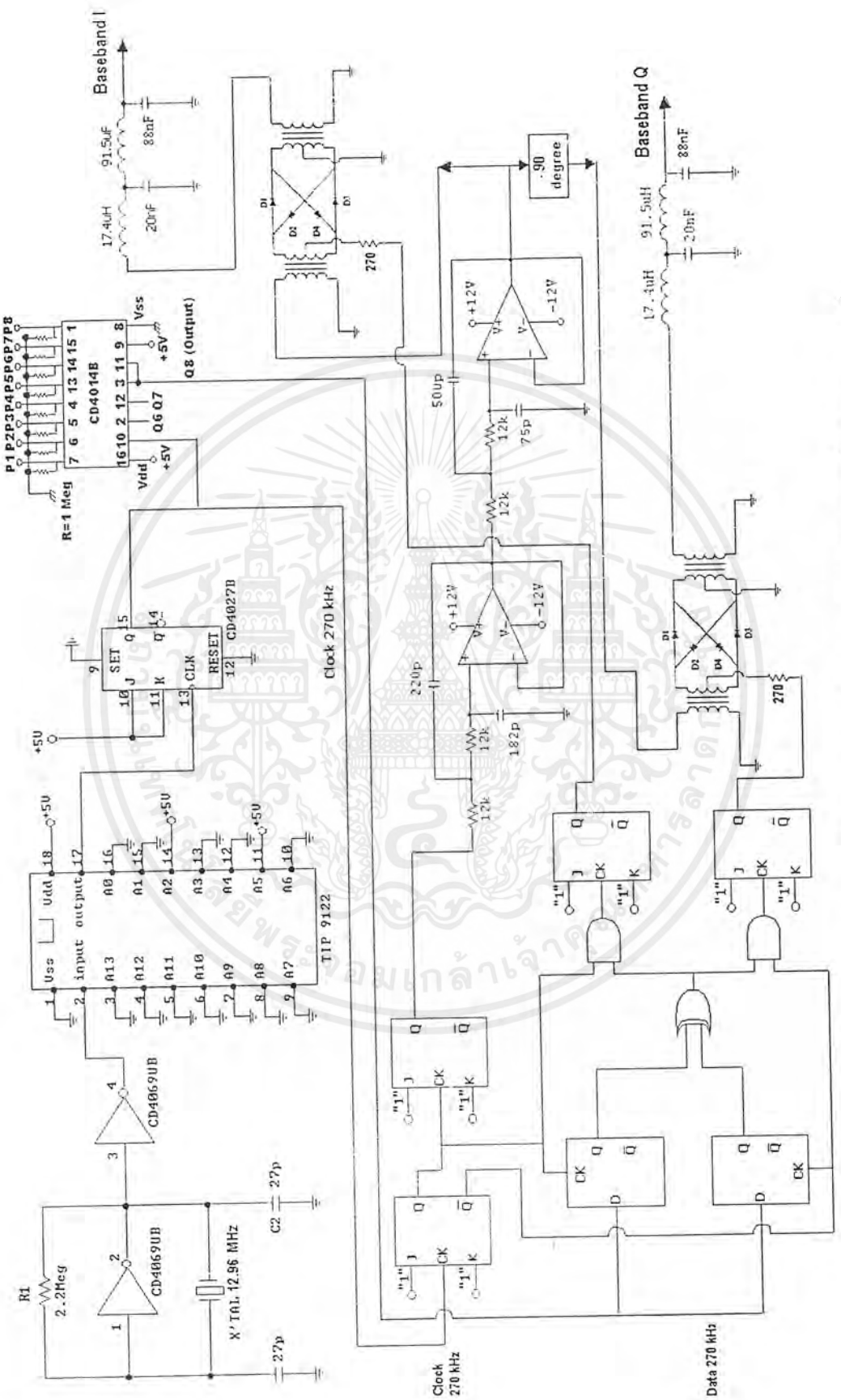
รูปที่ 3.49 วงจรกรองความถี่ต่ำผ่านอันดับ 7 ที่นอร์มอลไลซ์แล้ว

เมื่อแทนค่าตามสูตร $C = \frac{C_n}{2\pi f_c R}, L = \frac{RL_n}{2\pi f_c}$ จะได้ค่าขององค์ประกอบดังรูปที่ 3.50



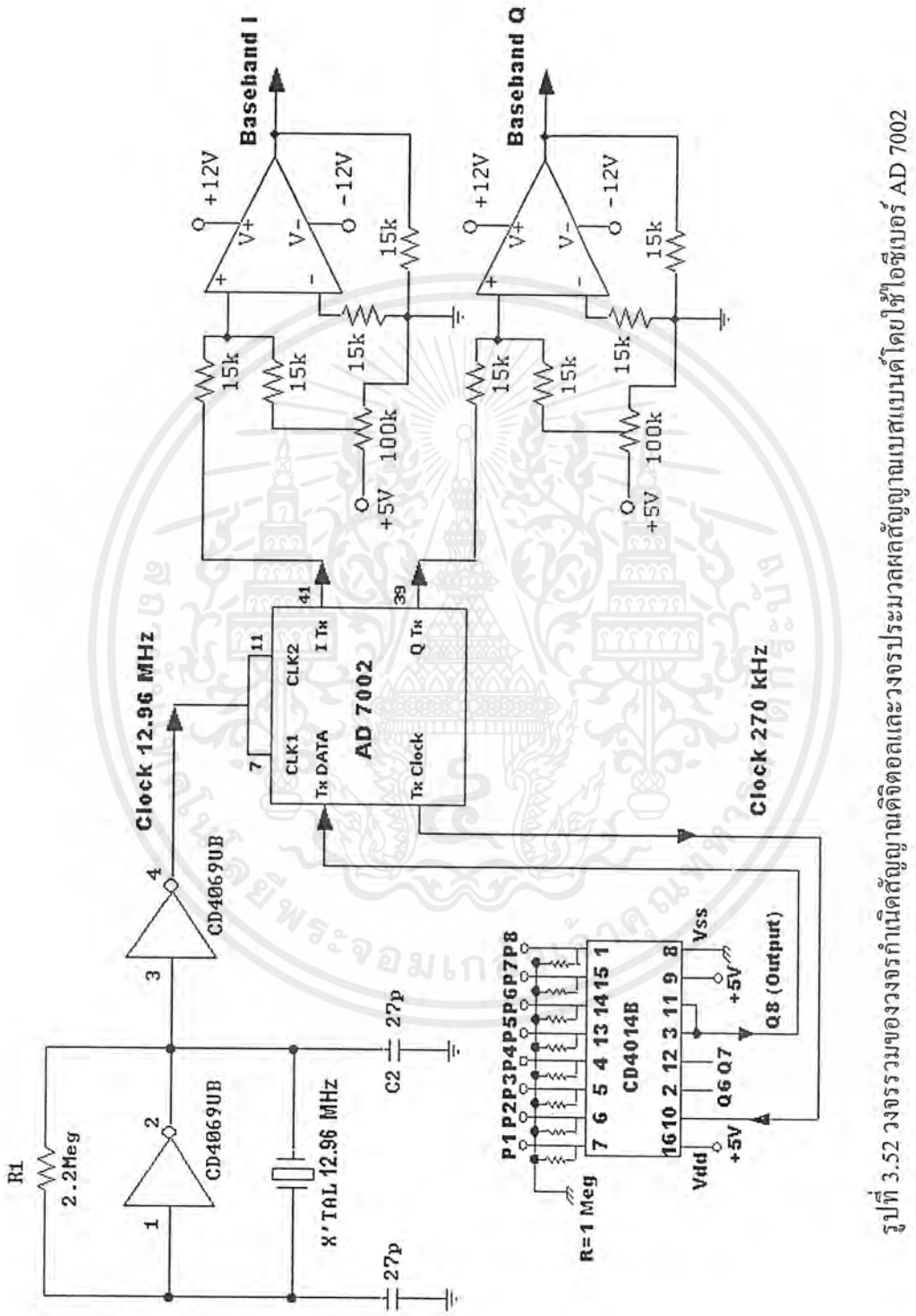
รูปที่ 3.50 วงจรกรองความถี่ต่ำผ่านอันดับ 7 ที่มีความถี่คัทออฟ 10 เมกกะเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



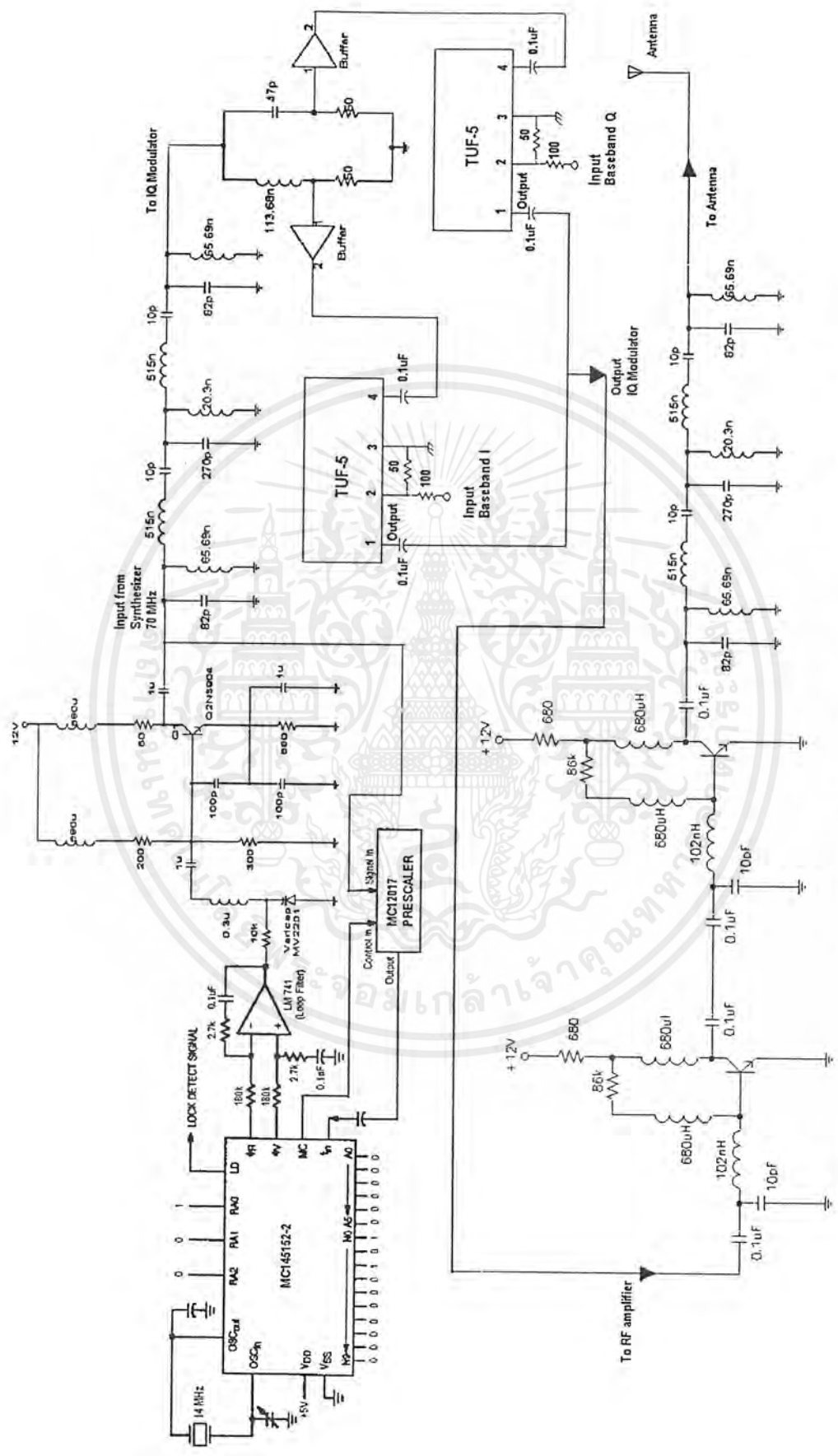
รูปที่ 3.51 วงจรรวมของวงจรกำเนิดสัญญาณดิจิตอลและวงจรประมวลผลสัญญาณแบสแบนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



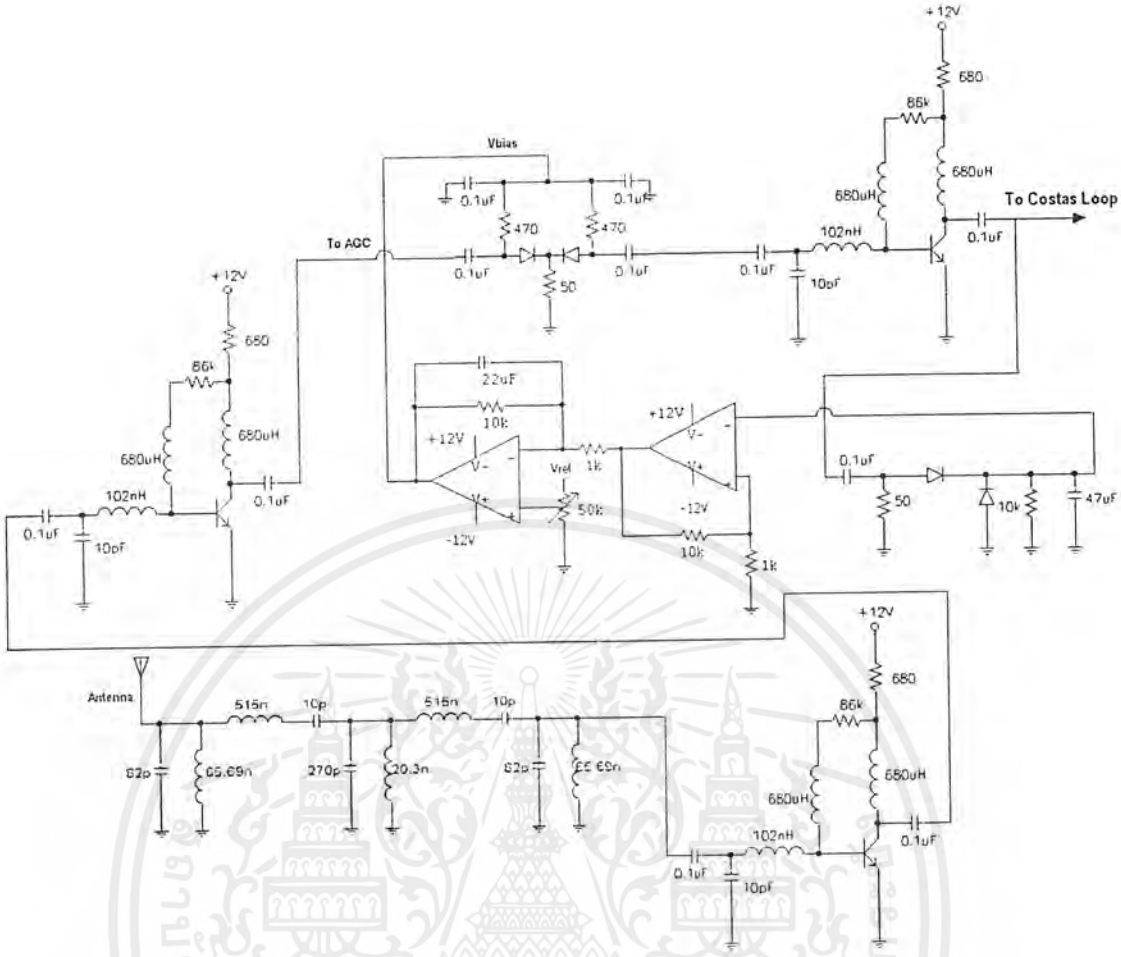
รูปที่ 3.52 วงจรรวมของวงจรกำเนิดสัญญาณดิจิตอลและวงจรประมวลผลสัญญาณแบบแบนด์โดยใช้ไอซีเบอร์ AD 7002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



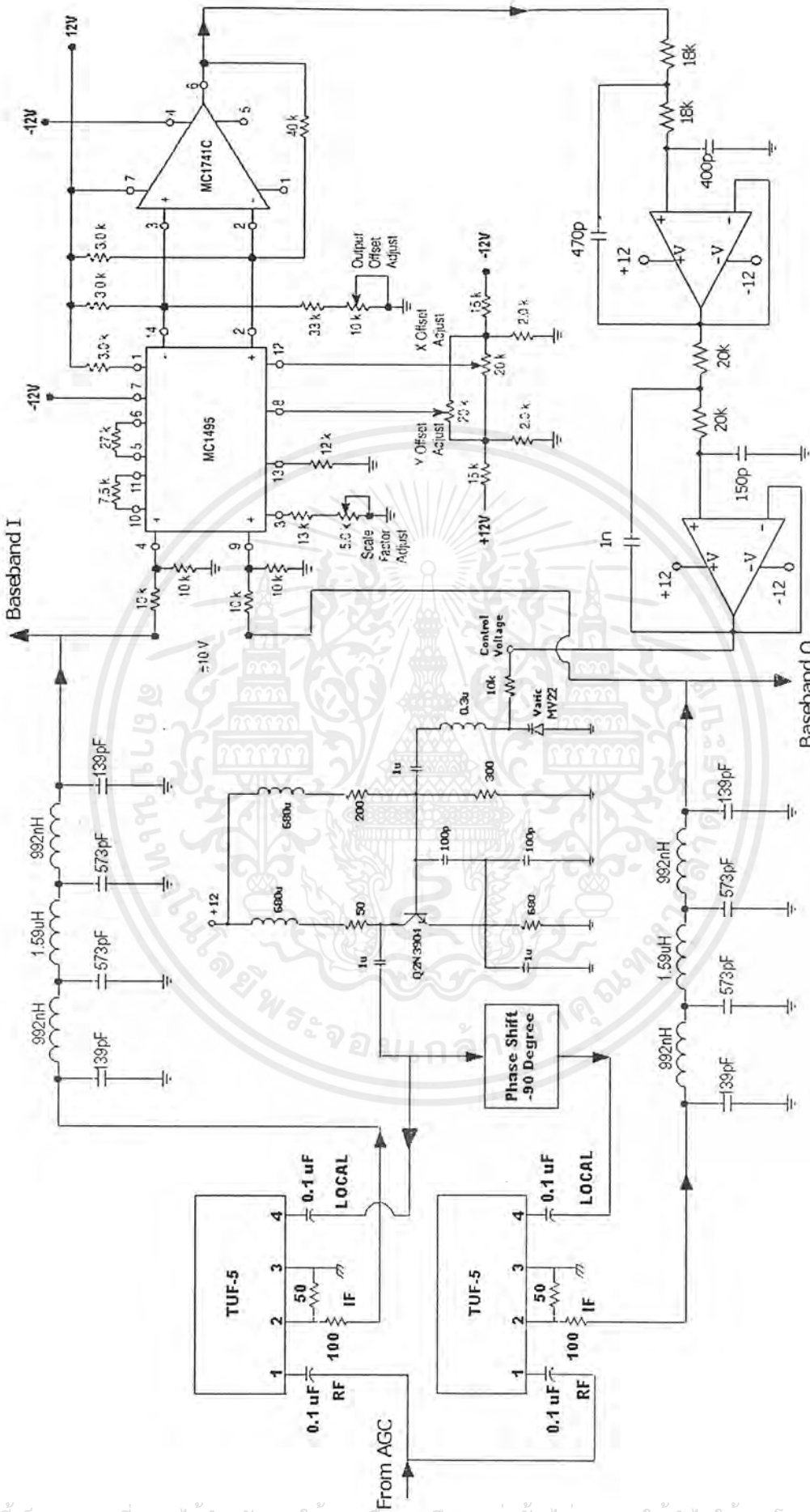
รูปที่ 3.53 วงจรรวมของวงจรสังเคราะห์ความถี่ , วงจรไอดิวมอดูเลเตอร์และวงจรขยายสัญญาณก่อนส่งออกอากาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.54 วงจรรวมของวงจรขยายสัญญาณและวงจรควบคุมอัตราขยายอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.55 วงจรรวมของเครื่องรับแบบดอสทาส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

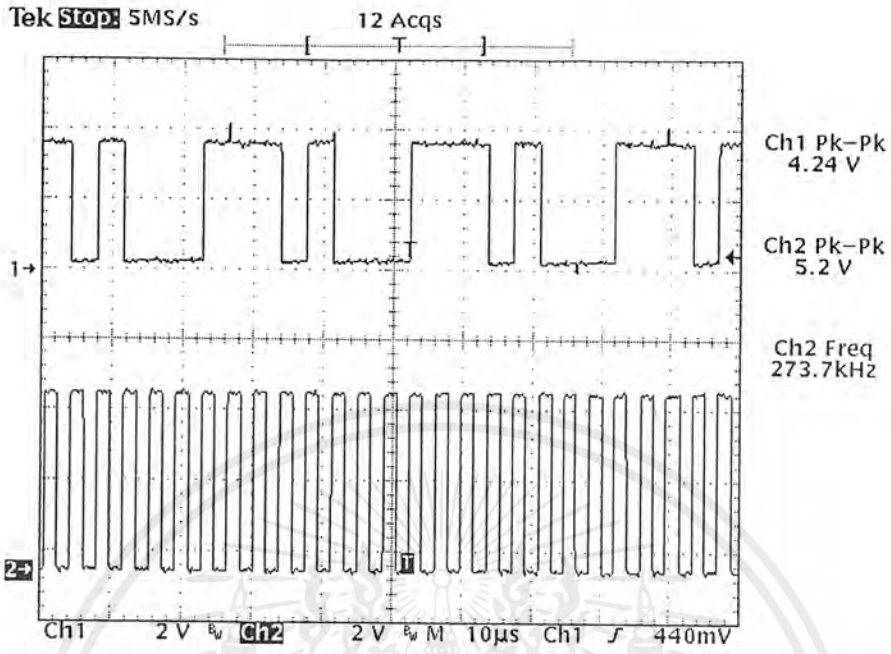
ในบทนี้จะได้ทำการแสดงผลการทดลองที่ได้จากการวัดค่าต่าง ๆ ของวงจร รวมจนถึงผลที่ได้จากการจำลองวงจรบนคอมพิวเตอร์ด้วยโปรแกรมพีสไปซ์ โดยจะทำการแสดงผลการทดลองเริ่มตั้งแต่เครื่องส่ง คือ ส่วนของวงจรกำเนิดสัญญาณดิจิตอลซึ่งกำหนดค่าได้ , ส่วนของวงจรประมวลผลสัญญาณเบสแบนด์ , ส่วนของวงจรไอคิวมอดูเลเตอร์ ซึ่งประกอบไปด้วยวงจรสังเคราะห์ความถี่ 70 เม็กกะเฮิร์ต วงจรกรองความถี่ช่วงผ่าน วงจรเฟสชิฟท์ วงจรคูณสัญญาณ และวงจรบัฟเฟอร์ , ส่วนของวงจรขยายสัญญาณก่อนส่งออกอากาศ

ในส่วนของทางเครื่องรับนั้นจะแสดงผลการทดลองเริ่มตั้งแต่ส่วนของวงจรขยายสัญญาณที่รับได้ , ส่วนของวงจรควบคุมอัตราขยายอัตโนมัติ , ส่วนของวงจรเครื่องรับแบบคอสทาส โดยแยกเป็นการทดลองเมื่อส่งผ่านสายโคแอคเชียลแล้วต่อตัวต้านทาน 40 ดีบี และส่วนที่ส่งออกสายอากาศจริง

เงื่อนไขของการวัดผลการทดลองของทุก ๆ วงจรในโครงงานนี้ก็คือ สัญญาณที่วัดได้จากสเปคตรัม อนาไลเซอร์นั้นต่อผ่านตัวลดทอนสัญญาณขนาด 20 ดีบี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 ผลการทดลองของวงจรในภาคกำเนิดสัญญาณดิจิตอลแบบเลือกค่าได้

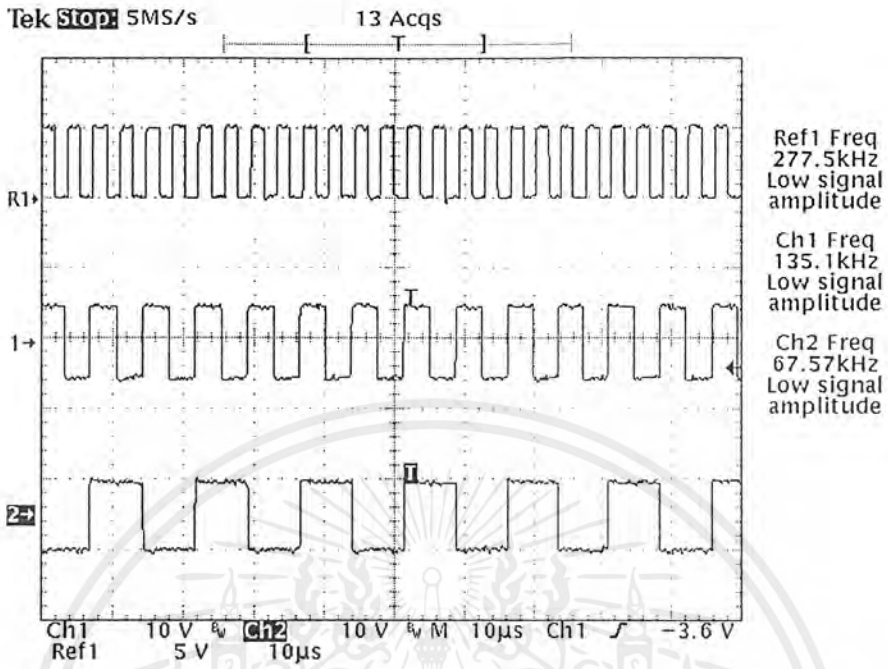


รูปที่ 4.1 สัญญาณดิจิตอลที่มีอัตราเร็ว 270 กิโลบิทต่อวินาทีเปรียบเทียบกับสัญญาณนาฬิกา

รูปที่ 4.1 เป็นรูปแสดงสัญญาณดิจิตอลที่ผลิตได้โดยกราฟบนเป็นสัญญาณดิจิตอลที่มีอัตราเร็ว 270 กิโลบิทต่อวินาทีและมีรูปแบบของข้อมูลเป็น "10100011" และกราฟล่างเป็นสัญญาณนาฬิกาความถี่ 270 กิโลเฮิร์ต

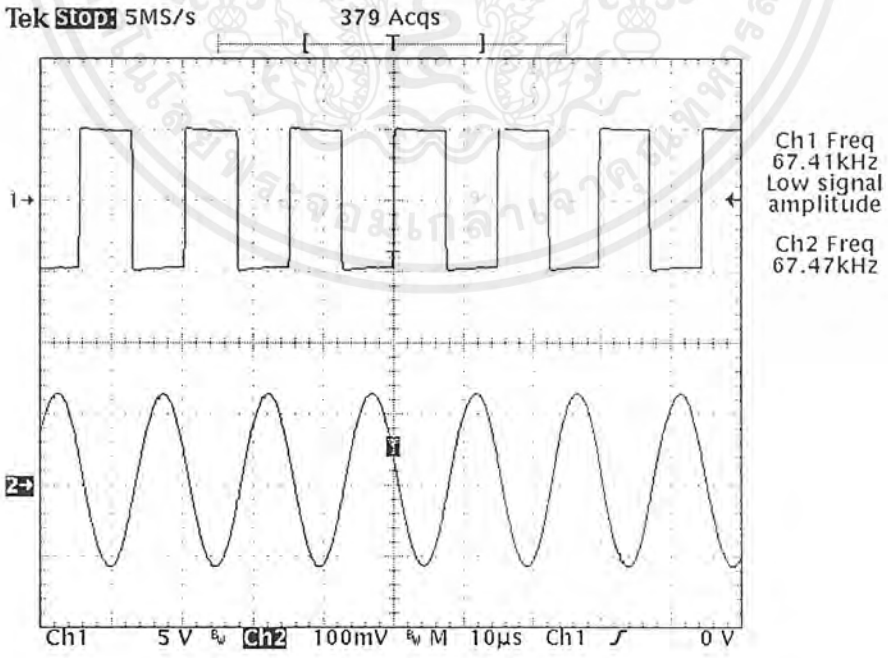
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ผลการทดลองของวงจรในภาคประมวลผลสัญญาณเบสแบนด์



รูปที่ 4.2 ผลของวงจรหารความถี่ที่ใช้ในการหารสัญญาณนาฬิกา

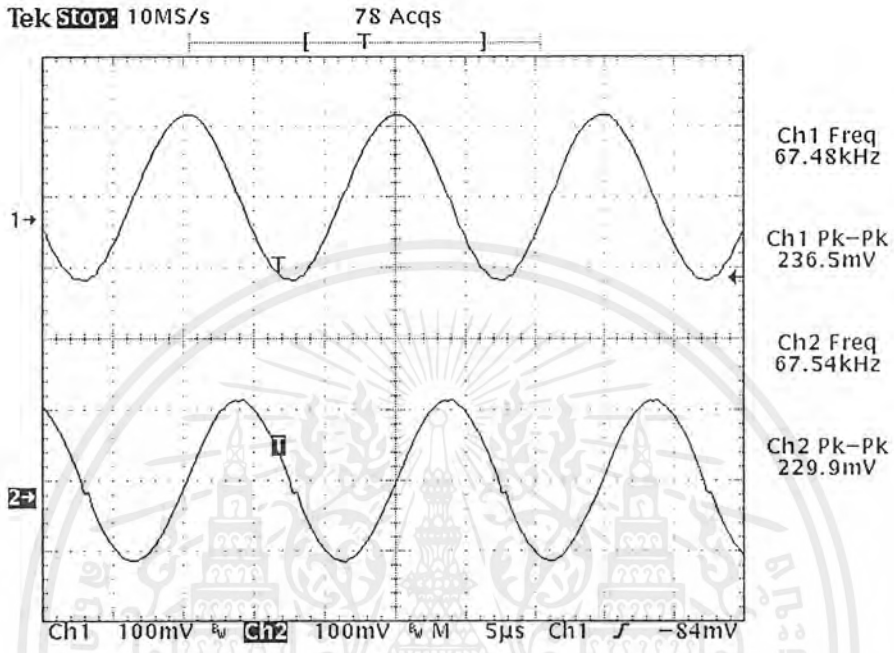
รูปที่ 4.2 กราฟบนแสดงสัญญาณนาฬิกาที่ใช้ กราฟกลางจะแสดงถึงสัญญาณนาฬิกาที่ถูกทำการหารสองด้วยเจเคฟลิปฟลอปและนำไปใช้เป็นสัญญาณของดีฟลิปฟลอปซึ่งอยู่ในภาคประมวลผลสัญญาณเบสแบนด์ กราฟล่างเป็นสัญญาณนาฬิกาที่ถูกทำการหารสี่



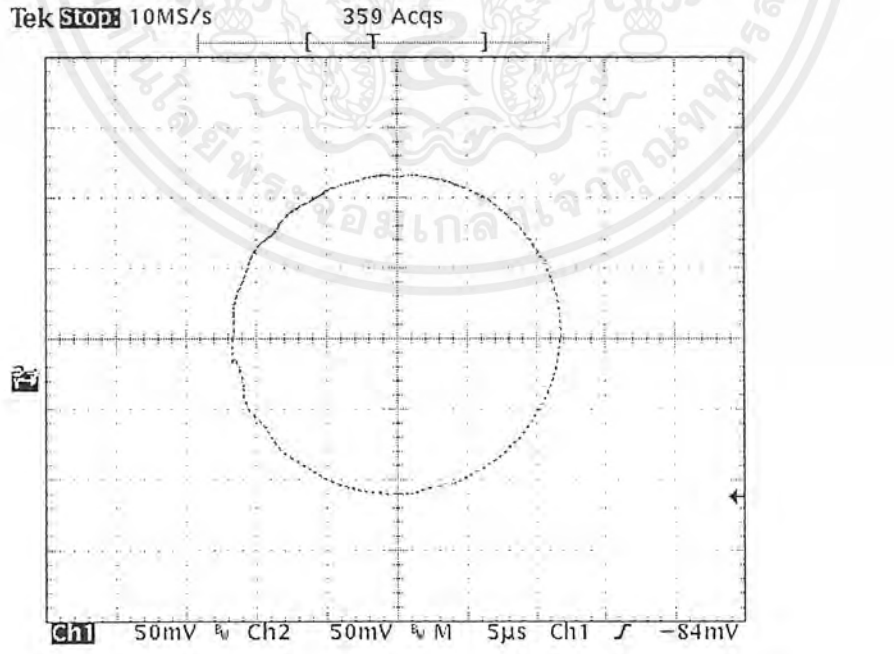
รูปที่ 4.3 ผลของวงจรกรองความถี่ต่ำผ่านที่มีความถี่คัทออฟ 67.5 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.3 เป็นผลของวงจรกรองความถี่ต่ำผ่านที่มีความถี่คัทออฟ 67.5 กิโลเฮิร์ตซึ่งใช้ในการปรับรูปสัญญาณที่ได้จากการหารสัญญาณนาฬิกาซึ่งเป็นสัญญาณรูปสี่เหลี่ยมให้ได้สัญญาณซายน์เพื่อนำไปใช้เป็นคลื่นพาห์ความถี่ต่ำภายในภาคประมวลผลสัญญาณเบสแบนด์ โดยสามารถดูผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านที่มีความถี่คัทออฟ 67.5 กิโลเฮิร์ต ได้ที่หัวข้อ 4.5.3



รูปที่ 4.4 ผลของวงจรเฟสชิฟท์ในภาคประมวลผลสัญญาณเบสแบนด์



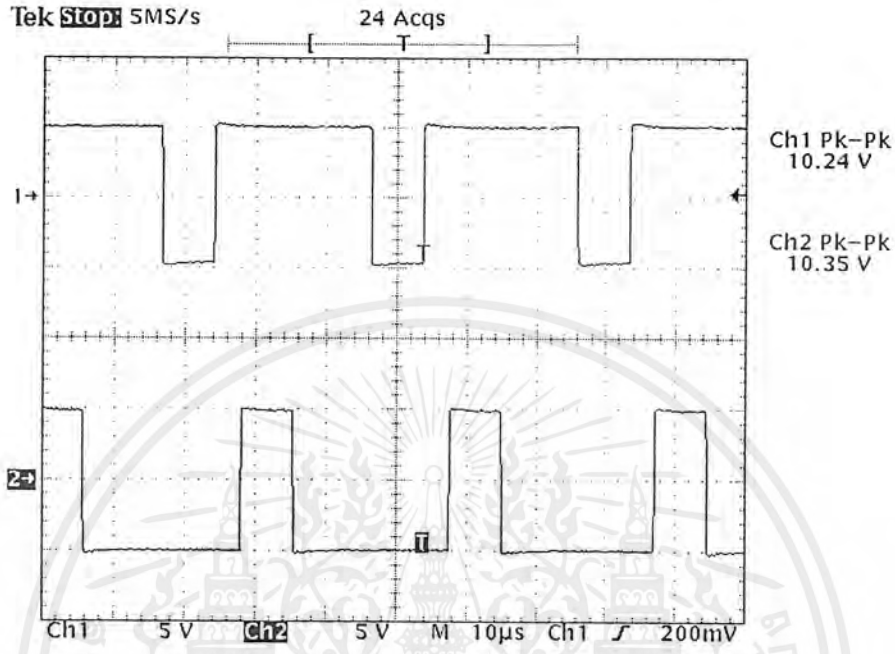
รูปที่ 4.5 ผลของความต่างเฟสของวงจรเฟสชิฟท์

รูปที่ 4.4 แสดงถึงเอาท์พุทของวงจรเฟสชิฟท์ซึ่งจะเห็นได้ว่ากราฟรูปบน (Ch 1) นั้นจะมีเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

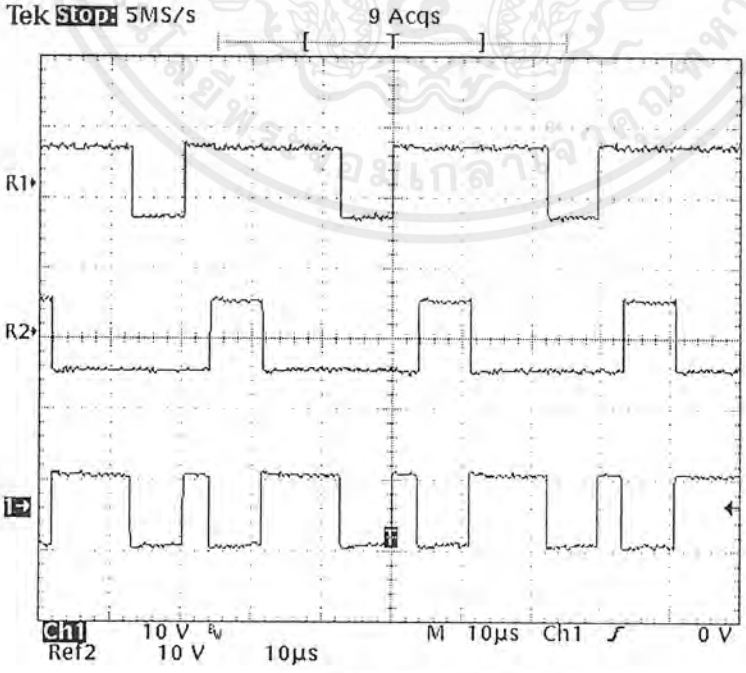
ตามหลังกราฟรูปล่าง (Ch 2) อยู่ 90 องศา

รูปที่ 4.5 แสดงให้เห็นว่า เมื่อพล็อตกราฟระหว่างสัญญาณทั้งสองในแกน XY จะทำให้สัญญาณที่ออกมามีรูปร่างเป็นวงกลมเนื่องจากมีความต่างเฟสกันอยู่ 90 องศา



รูปที่ 4.6 ผลของวงจรบิทสปลิทเตอร์โดยใช้ดีฟลิปฟลอป

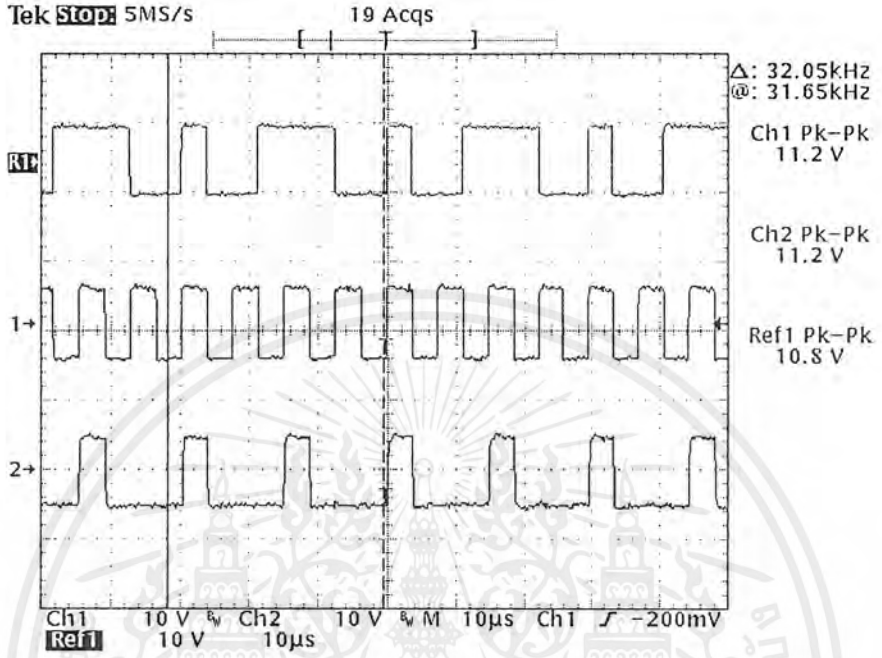
รูปที่ 4.6 เป็นผลของวงจรบิทสปลิทเตอร์โดยใช้ดีฟลิปฟลอปโดยนำข้อมูลดิจิตอล "10100011" มาแยกเป็นบิทคู่และบิทคี่ จะได้สัญญาณเป็น "1101" และ "0001" ดังรูป



รูปที่ 4.7 ผลของเอ็กซ์คลูซีฟออร์

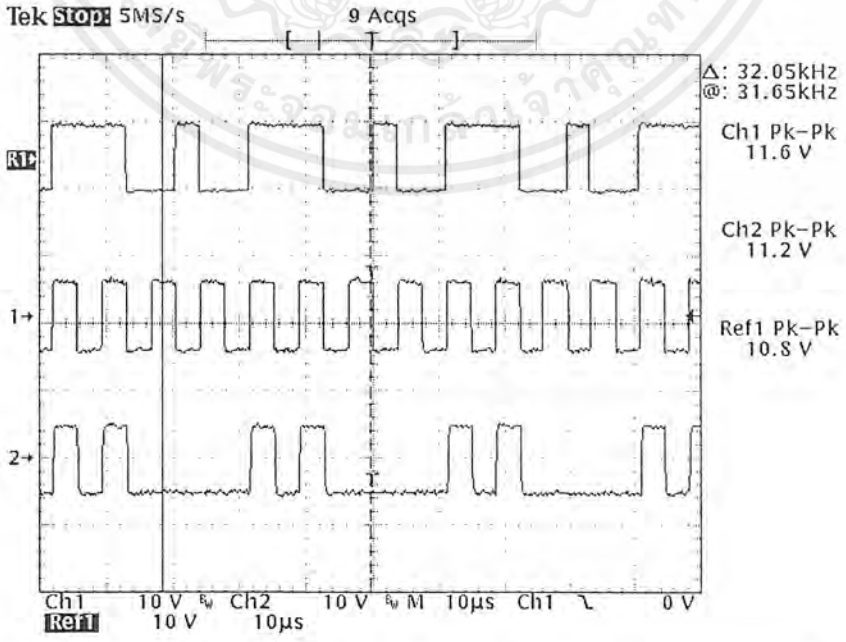
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.7 เป็นผลจากการนำสัญญาณที่เอาท์พุททั้งสองของบิทสปลิทเตอร์มาเอ็กซ์คลูซีฟออร์กัน โดยกราฟที่ 1 และ 2 (Ref1 และ Ref2) เป็นอินพุททั้งสองของเอ็กซ์คลูซีฟออร์ และกราฟที่ 3 (Ch 1) เป็นเอาท์พุท



รูปที่ 4.8 ผลของแอนด์เกทตัวที่หนึ่งในภาคประมวลผลสัญญาณเบสแบนด์

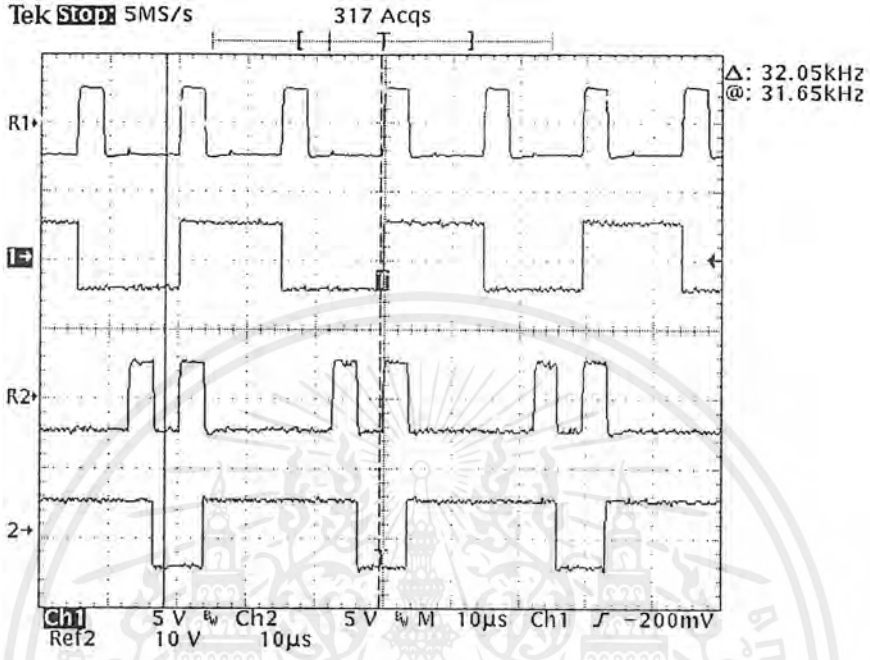
รูปที่ 4.8 เป็นผลของแอนด์เกทตัวที่หนึ่งในภาคประมวลผลสัญญาณเบสแบนด์ซึ่งอินพุททั้งสองแสดงดังกราฟรูปที่ 1 และ 2 (Ref1 และ Ch1) โดยอินพุททั้งสองได้มาจากเอ็กซ์คลูซีฟออร์และสัญญาณนาฬิกาของดีฟลิปฟลอปตามลำดับ กราฟรูปล่างสุด คือเอาท์พุทของแอนด์เกท



รูปที่ 4.9 ผลของแอนด์เกทตัวที่สองในภาคประมวลผลสัญญาณเบสแบนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

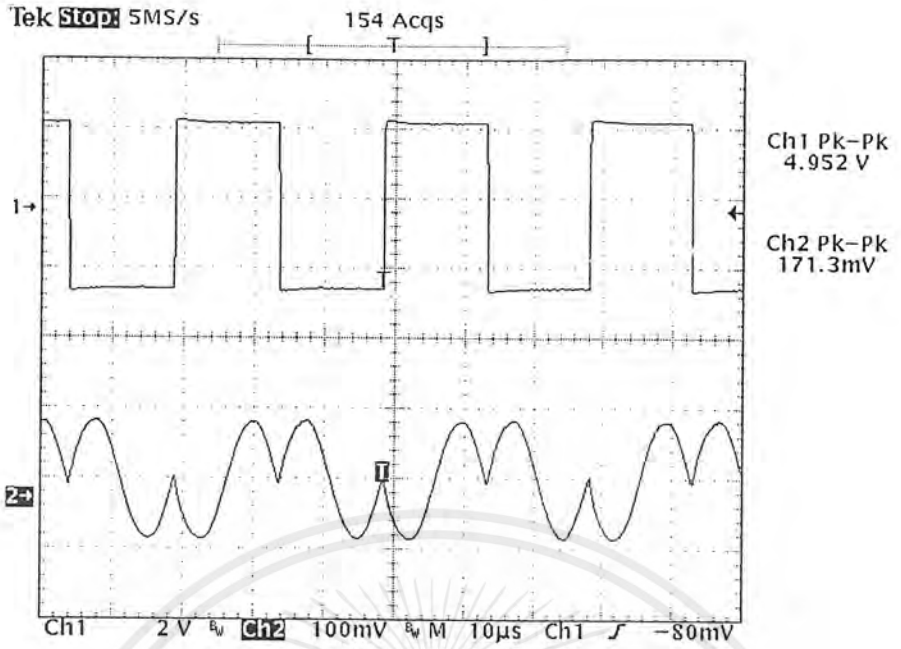
รูปที่ 4.9 เป็นผลของแอนด์เกทตัวที่สองในภาคประมวลผลสัญญาณเบสแบนด์ซึ่งอินพุททั้งสองแสดงดังกราฟรูปที่ 1 และ 2 (ref1 และ Ch1) โดยอินพุททั้งสองได้มาจากเอ็กซ์คลูซีฟออร์และสัญญาณนาฬิกาของดีฟลิปฟลอปตามลำดับ กราฟรูปล่างสุด คือเอาท์พุทของแอนด์เกท



รูปที่ 4.10 ผลของเจเคฟลิปฟลอป

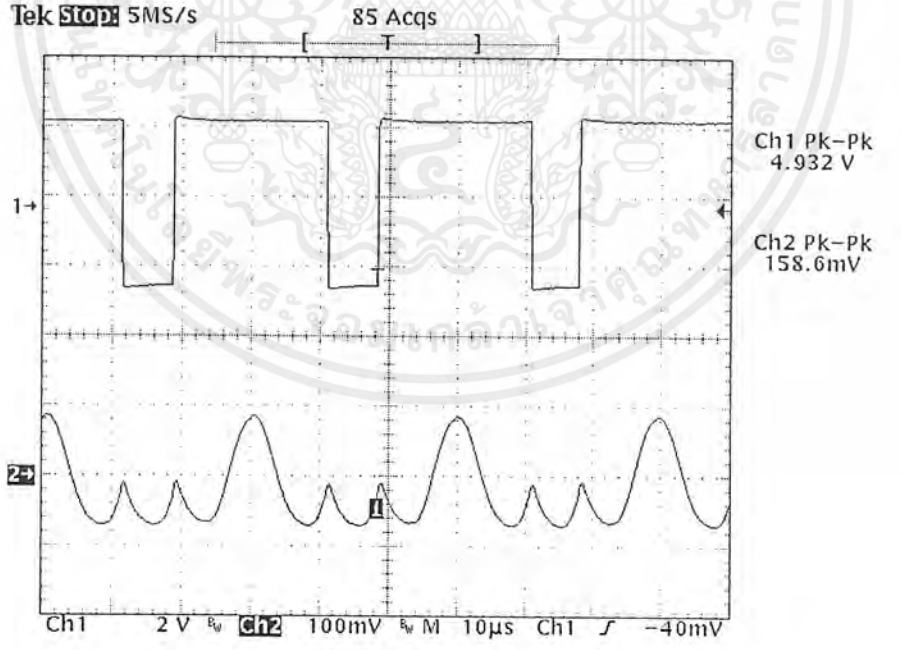
รูปที่ 4.10 เป็นผลที่ได้จากเจเคฟลิปฟลอปทั้งสองตัวภายในภาคประมวลผลสัญญาณเบสแบนด์ โดยกราฟรูปที่ 1 และ 3 (Ref1 และ Ref2) เป็นอินพุทที่ได้จากแอนด์เกททั้งสองตัวและกราฟรูปที่ 2 และ 4 (Ch1 และ Ch2) เป็นเอาท์พุทที่ได้จากเจเคฟลิปฟลอป โดยเอาท์พุทที่ได้นี้ จะต้องนำไปคูณกับคลื่นพาห์ความถี่ต่ำเพื่อให้ได้สัญญาณเบสแบนด์ไอและคิว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 ผลของวงจรคูณสำหรับสัญญาณเบสแบนด์ไอ

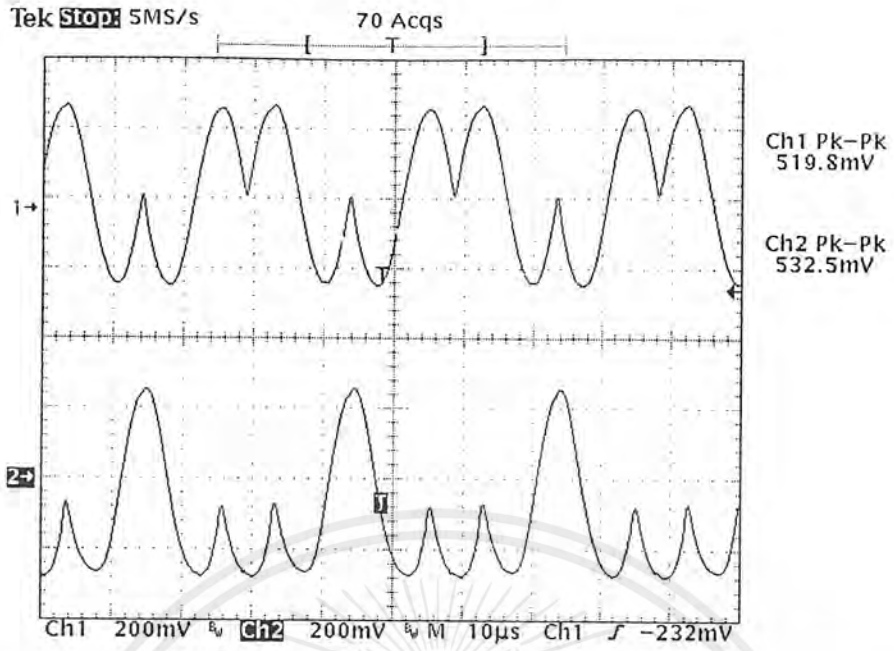
รูปที่ 4.11 เป็นผลของวงจรคูณสำหรับสัญญาณเบสแบนด์ไอ โดยกราฟบน (Ch1) เป็นสัญญาณที่ได้จากเจเคฟลิปฟลอปตัวที่หนึ่ง เมื่อนำไปคูณกับคลื่นพาห์ความถี่ 67.5 กิโลเฮิร์ตจากรูปที่ 4.3 ก็จะได้สัญญาณเบสแบนด์ไอและคิวดังกราฟรูปล่าง (Ch2)



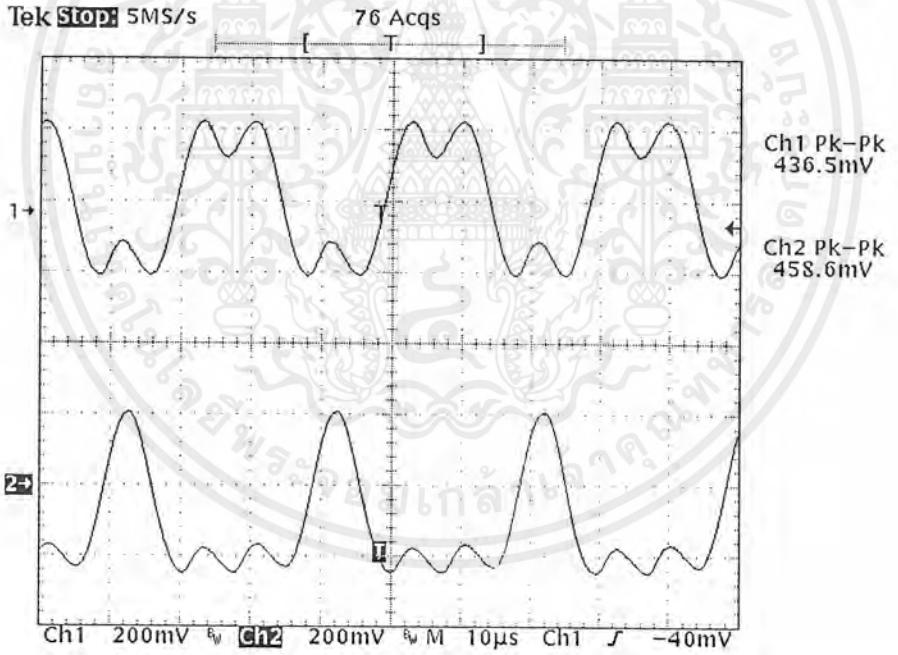
รูปที่ 4.12 ผลของวงจรคูณสำหรับสัญญาณเบสแบนด์คิว

รูปที่ 4.12 เป็นผลของวงจรคูณสำหรับสัญญาณเบสแบนด์คิว โดยกราฟบน (Ch1) เป็นสัญญาณที่ได้จากเจเคฟลิปฟลอปตัวที่หนึ่ง เมื่อนำไปคูณกับคลื่นพาห์ความถี่ 67.5 กิโลเฮิร์ตจากรูปที่ 4.3 แล้วนำไปผ่านวงจรเฟสชิฟท์ 90 องศาก็จะได้สัญญาณเบสแบนด์ไอและคิวดังกราฟรูปล่าง (Ch2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



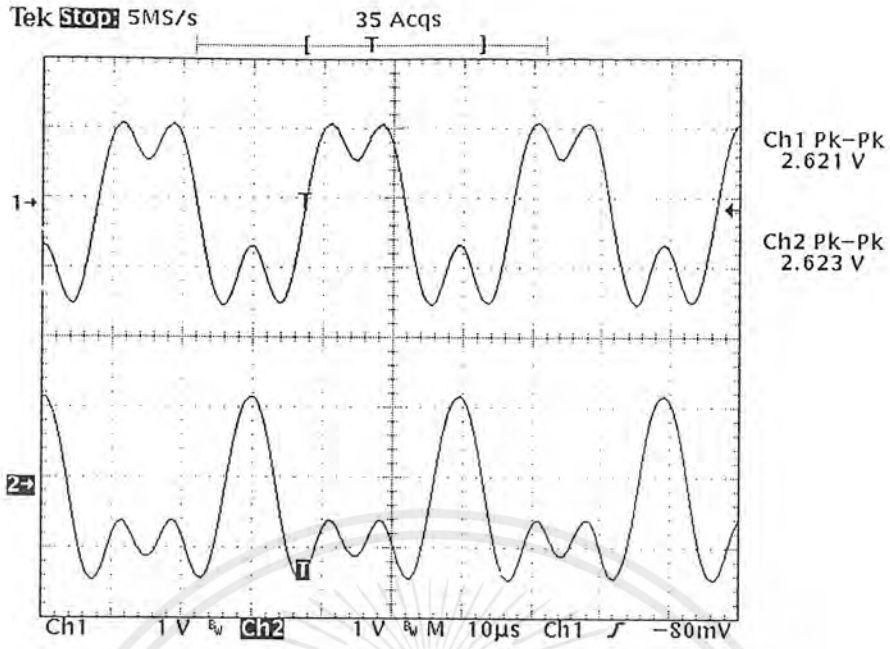
รูปที่ 4.13 สัญญาณเบสแบนด์ไอและคิวที่ยังไม่ได้ผ่านวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน



รูปที่ 4.14 สัญญาณเบสแบนด์ไอและคิวหลังผ่านวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน

รูปที่ 4.13 เป็นสัญญาณเบสแบนด์ไอและคิวที่ยังไม่ได้ผ่านวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนซึ่งถ้านำสัญญาณนี้ไปมอดูเลทโดยไอคิวมอดูเลเตอร์ก็จะได้สัญญาณเอ็มเอสเคออกมา รูปที่ 4.14 เป็นสัญญาณเบสแบนด์ไอและคิวที่ผ่านวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน โดยเมื่อนำไปมอดูเลทโดยไอคิวมอดูเลเตอร์ก็จะได้สัญญาณจีเอ็มเอสเคออกมา สามารถดูผลตอบสนองของวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนได้ที่หัวข้อ 4.5.2

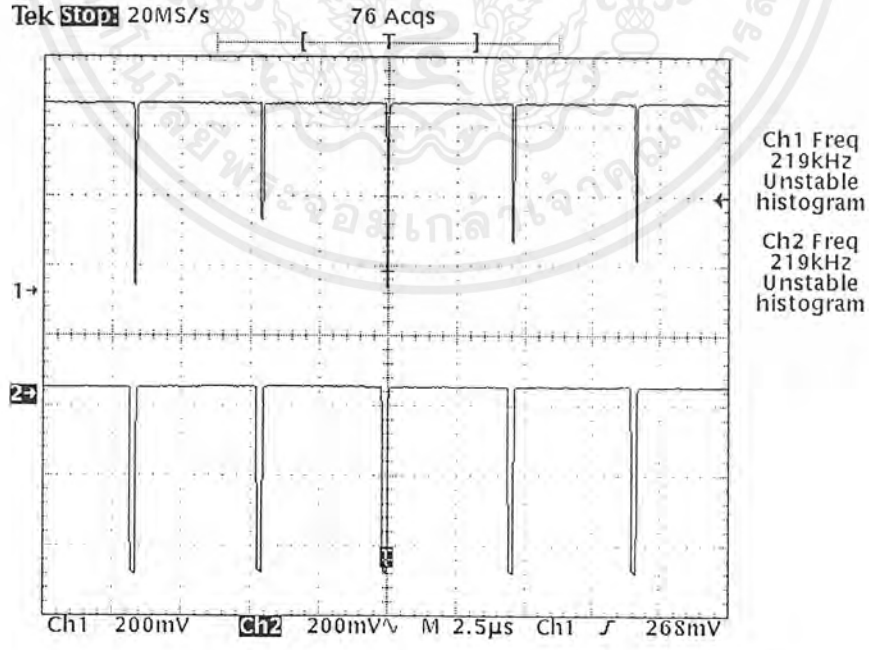
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 สัญญาณเบสแบนด์ไอและคิวที่ได้จากไอซีเบอร์ AD 7002

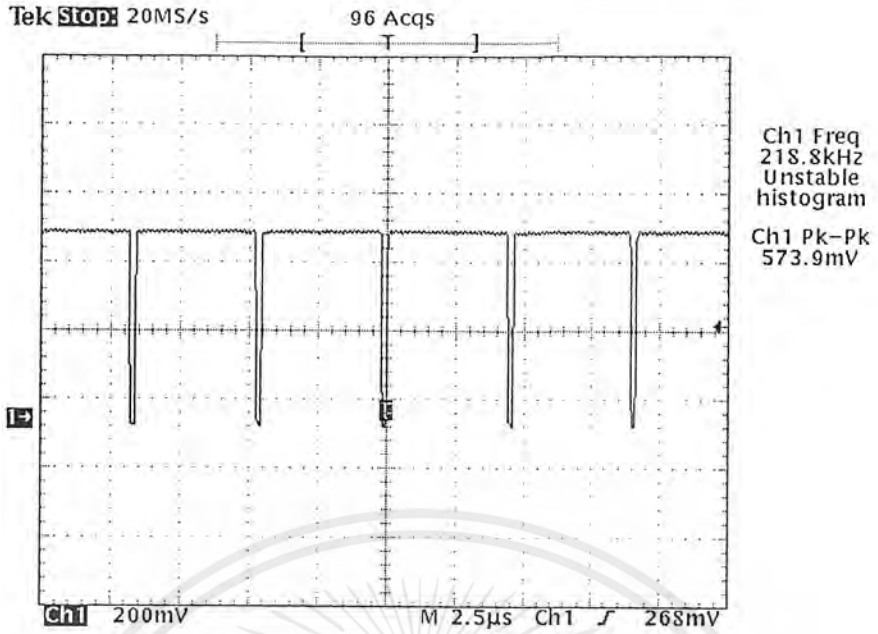
รูปที่ 4.15 เป็นสัญญาณเบสแบนด์ไอและคิวที่ได้จากไอซีเบอร์ AD 7002 ซึ่งในที่นี้จะใช้เพื่อเป็นสัญญาณอ้างอิงสำหรับเปรียบเทียบกับสัญญาณเบสแบนด์ที่สร้างได้

4.3 ผลการทดลองของวงจรในภาคไอคิวมอดูเลเตอร์



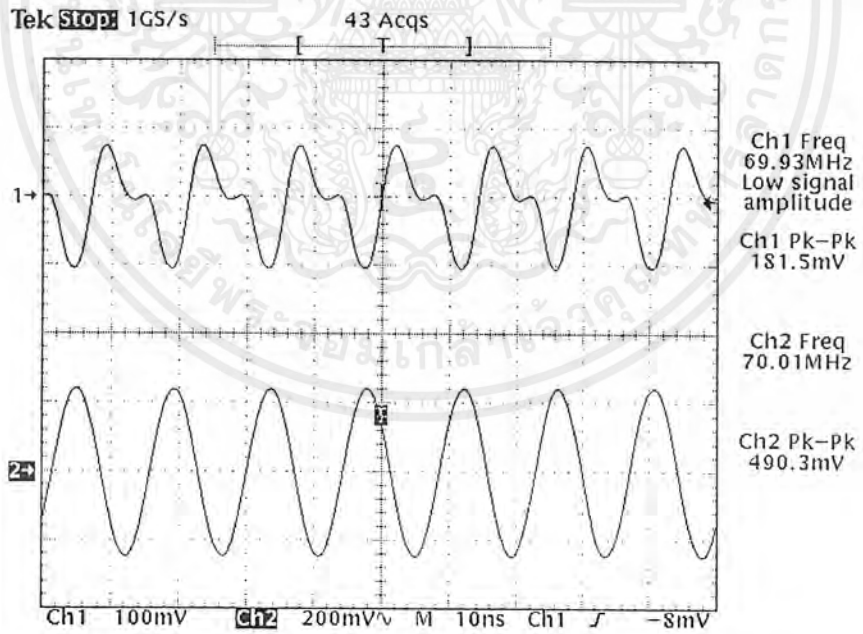
รูปที่ 4.16 เอาท์พุทของเฟสดีเทคเตอร์ในวงจรสังเคราะห์ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 สัญญาณล็อกดีเทคของวงจรสังเคราะห์ความถี่

รูปที่ 4.16 เป็นสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ในวงจรสังเคราะห์ความถี่ รูปที่ 4.17 เป็นสัญญาณล็อกดีเทคของวงจรสังเคราะห์ความถี่ ทั้งสองรูปนี้บอกได้ถึงสภาวะการล็อกของเฟสล็อกลูป

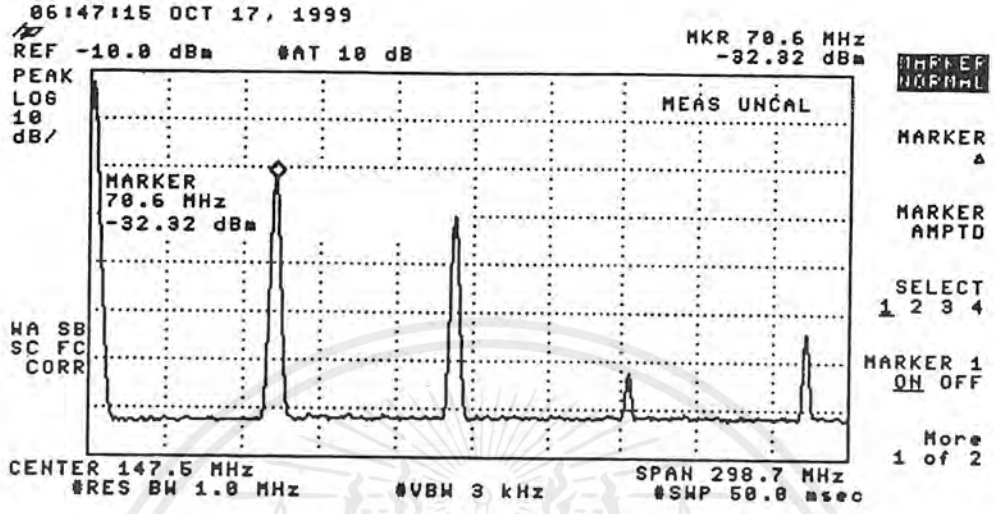


รูปที่ 4.18 เอาท์พุทของวงจรสังเคราะห์ความถี่ 70 เม็กกะเฮิร์ต
และรูปร่างของสัญญาณเมื่อนำไปเข้าวงจรกรองความถี่ช่วงผ่าน

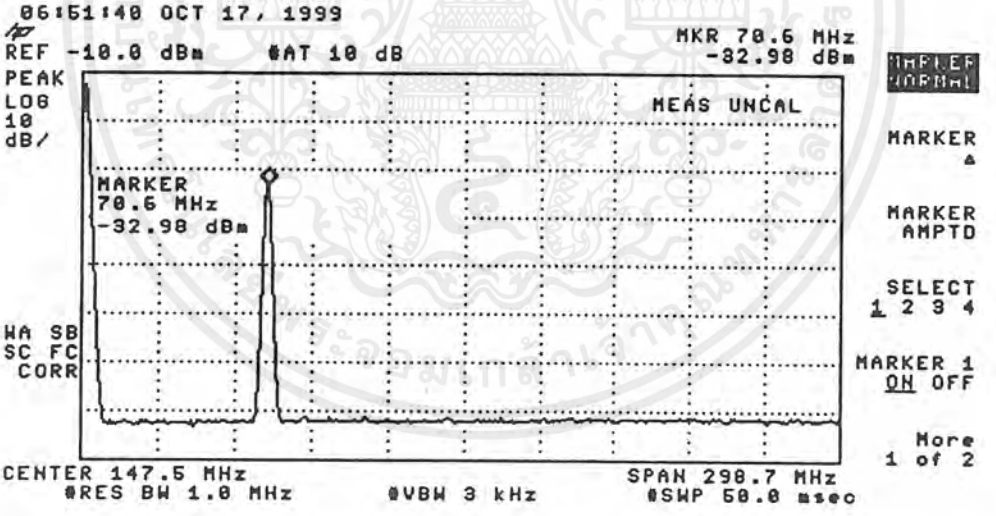
รูปที่ 4.18 กราฟบน (Ch 1) แสดงเอาท์พุทของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน ซึ่งอยู่ภายในวงจรสังเคราะห์ความถี่ 70 เม็กกะเฮิร์ต จะเห็นได้ว่าสัญญาณที่ได้นั้นยังมีความเพี้ยนอยู่ จึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องนำมาเข้าวงจรกรองความถี่ช่วงผ่านที่มีความถี่กลาง 70 เม็กกะเฮิร์ต เพื่อกรองเอาฮาร์โมนิกที่ไม่ต้องการออกไป ก็จะได้สัญญาณดังกราฟรูปล่าง (Ch 2) ของรูปที่ 4.18



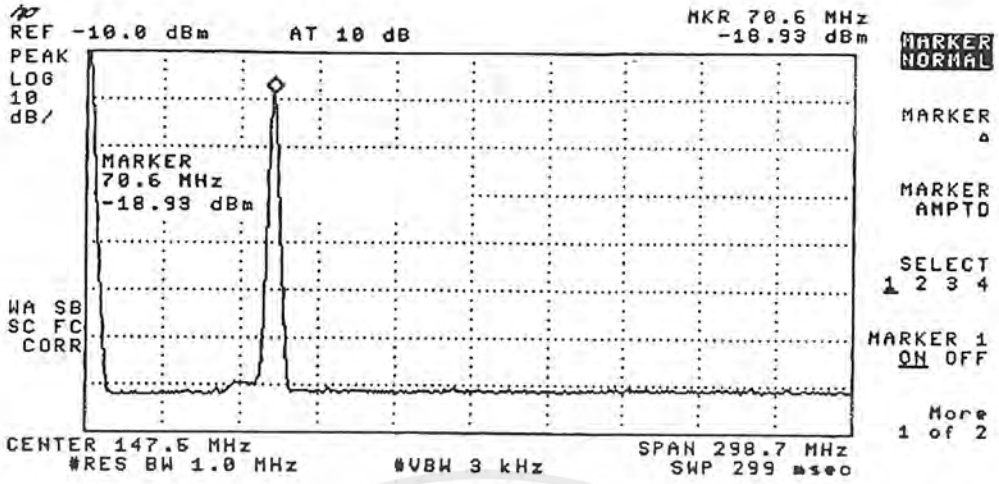
รูปที่ 4.19 สเปคตรัมของสัญญาณที่ออกมาจากวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน



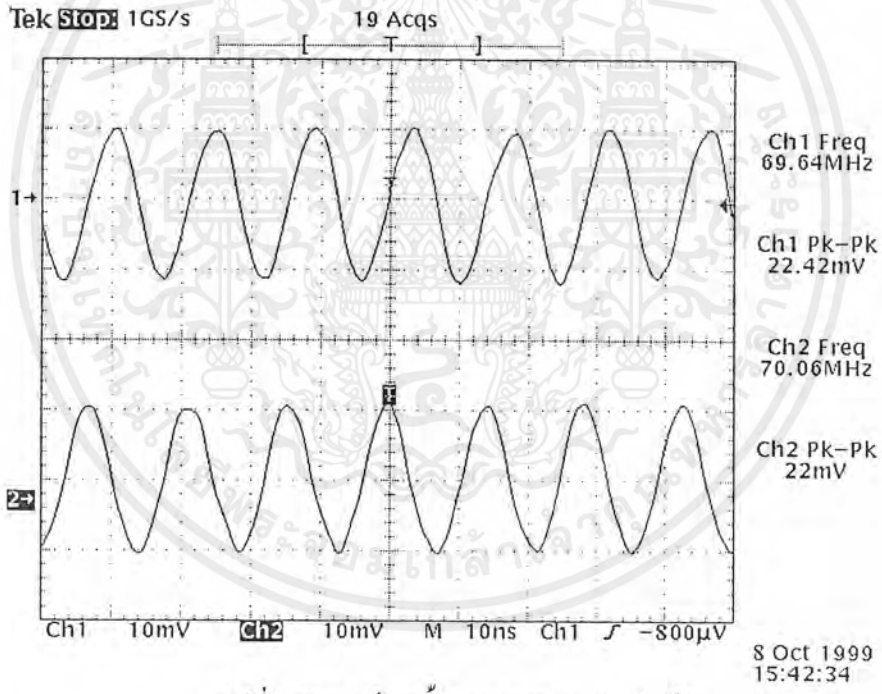
รูปที่ 4.20 สเปคตรัมของคลื่นพาห์ 70 เม็กกะเฮิร์ตที่ได้หลังจากนำไปผ่านวงจรกรองความถี่ช่วงผ่าน

รูปที่ 4.19 สเปคตรัมของสัญญาณที่ออกมาจากวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน จะเห็นได้ว่าสัญญาณที่ผลิตได้นั้นยังเกิดฮาร์โมนิกที่เราไม่ต้องการออกมา (ฮาร์โมนิกที่ 2 จากรูปที่ 4.19 คือสัญญาณที่เราต้องการ) เราจึงนำไปผ่านวงจรกรองความถี่ช่วงผ่านที่มีความถี่ศูนย์กลาง 70 เม็กกะเฮิร์ต เพื่อกรองเอาความถี่ที่ไม่ต้องการออกไป ก็จะได้เฉพาะความถี่ 70 เม็กกะเฮิร์ตดังรูปที่ 4.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 สเปคตรัมของคลื่นพาห์ 70 เม็กกะเฮิร์ต
หลังจากการขยายสัญญาณแล้ว

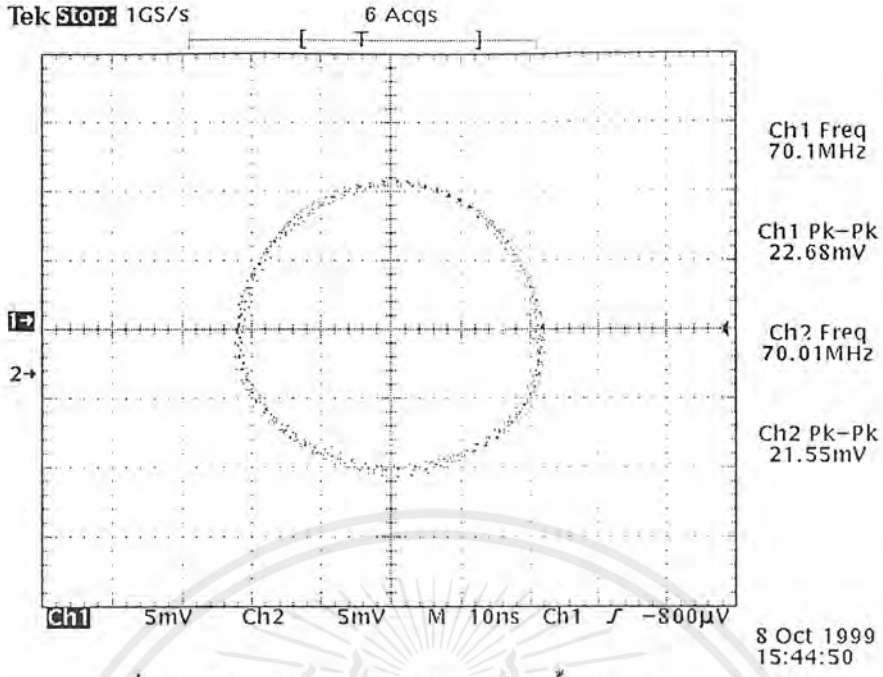


รูปที่ 4.22 เอาท์พุททั้งสองของวงจรเฟสชิฟท์

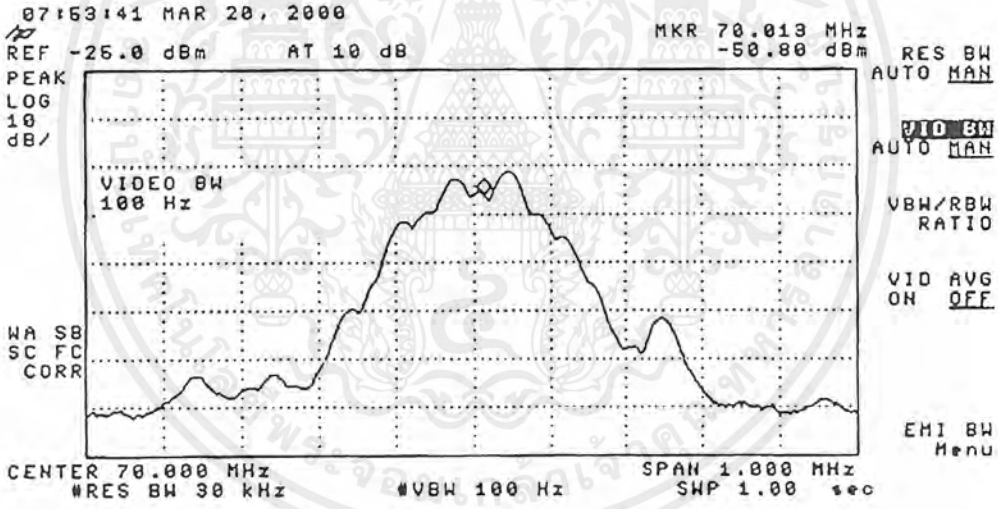
รูปที่ 4.22 แสดงถึงเอาท์พุทของวงจรเฟสชิฟท์ซึ่งจะเห็นได้ว่ากราฟรูปบน (Ch 1) นั้นจะมีเฟสตามหลังกราฟรูปล่าง (Ch 2) อยู่ 90 องศา

รูปที่ 4.23 แสดงให้เห็นว่า เมื่อพล็อตกราฟระหว่างสัญญาณทั้งสองในแกน XY จะทำให้สัญญาณที่ออกมามีรูปร่างเป็นวงกลมเนื่องจากมันมีความต่างเฟสกันอยู่ 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



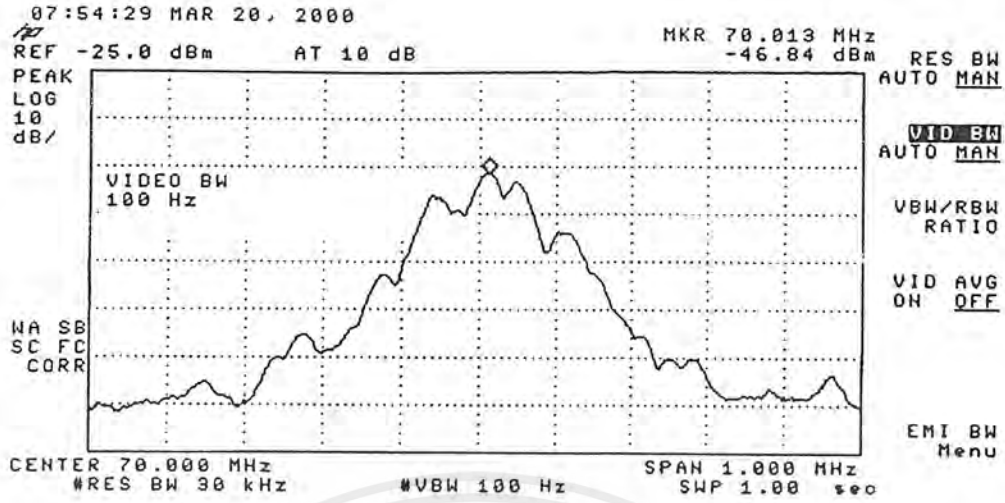
รูปที่ 4.23 การเปรียบเทียบเฟสของเอาท์พุททั้งสองของวงจรเฟสชิฟท์



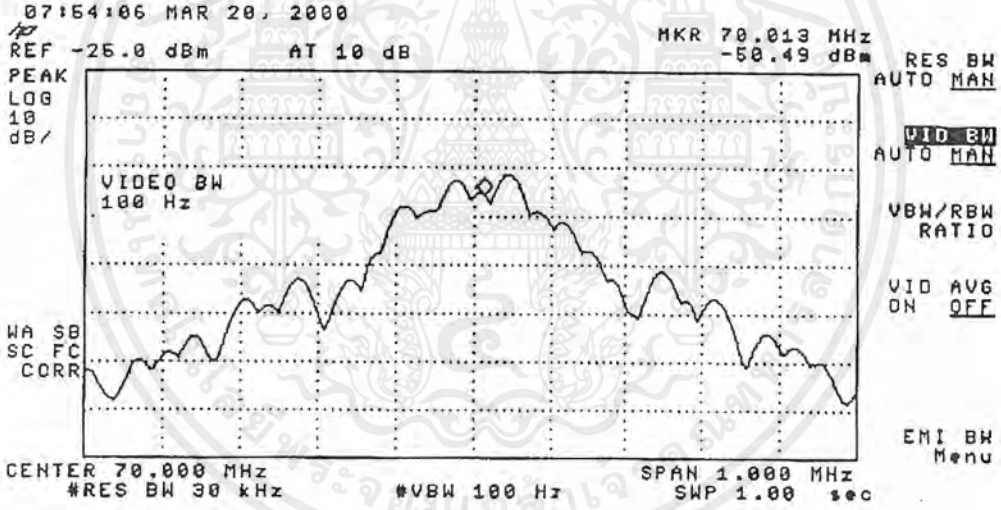
รูปที่ 4.24 สเปคตรัมของจีเอ็มเอสเคที่มอดูเลทได้

หลังจากนั้นนำสัญญาณเบสแบนด์ไอและคิวมามอดูเลทโดยไอคิวมอดูเลเตอร์ โดยผลของวงจรคุณจะกล่าวในหัวข้อ 4.5.5 ส่วนรูปที่ 4.24 เป็นสเปคตรัมของจีเอ็มเอสเคที่มอดูเลทได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.25 สเปคตรัมของจีเอ็มเอสเคที่ใช้สัญญาณเบสแบนด์จากไอซี AD 7002



รูปที่ 4.26 สเปคตรัมของเอ็มเอสเค

เมื่อเปรียบเทียบรูปที่ 4.24 และ 2.46 จะเห็นได้ว่าสเปคตรัมของเอ็มเอสเคจะใช้แบนด์วิดธ์กว้างกว่าสเปคตรัมของจีเอ็มเอสเคเนื่องจากเอ็มเอสเคไม่มีวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนมาจำกัดแบนด์วิดธ์ของสเปคตรัม

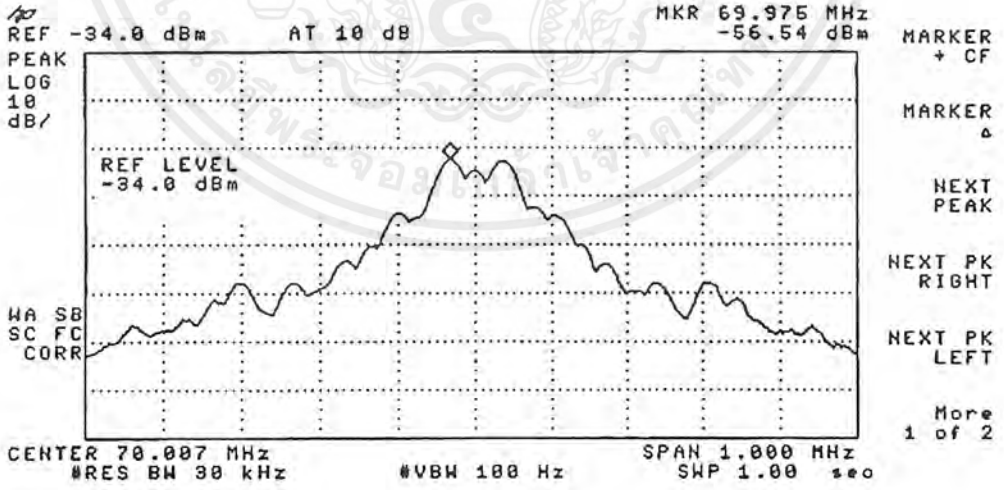
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.27 สเปคตรัมของจีเอ็มเอสเคหลังจากผ่านการขยายสัญญาณแล้ว

รูปที่ 4.27 เป็นสเปคตรัมของจีเอ็มเอสเคหลังจากผ่านการขยายสัญญาณแล้วพบว่าได้สัญญาณส่งออกสายอากาศประมาณ 6 ดีบีเอ็ม (โดยดูจากจุดสูงที่สุดของสเปคตรัม) โดยวงจรขยายสัญญาณทางภาคส่งมีอัตราขยายรวมทั้งหมด 37 ดีบี

4.4 ผลการทดลองของวงจรในภาครับ

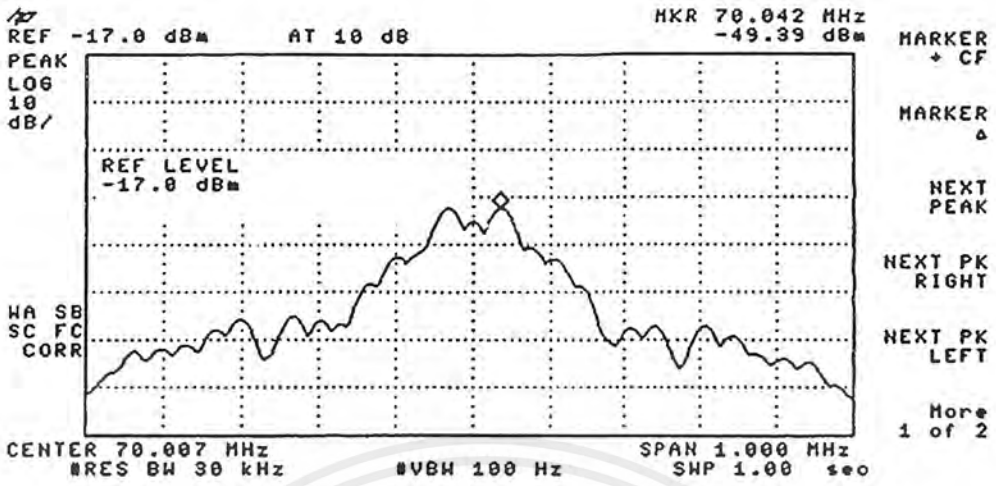
4.4.1 ผลการทดลองเมื่อส่งสัญญาณผ่านสายโคแอกเชียลและต่อด้วยตัวลดทอนสัญญาณ 40 ดีบี



รูปที่ 4.28 สเปคตรัมของจีเอ็มเอสเคเมื่อผ่านตัวลดทอนสัญญาณ 40 ดีบี

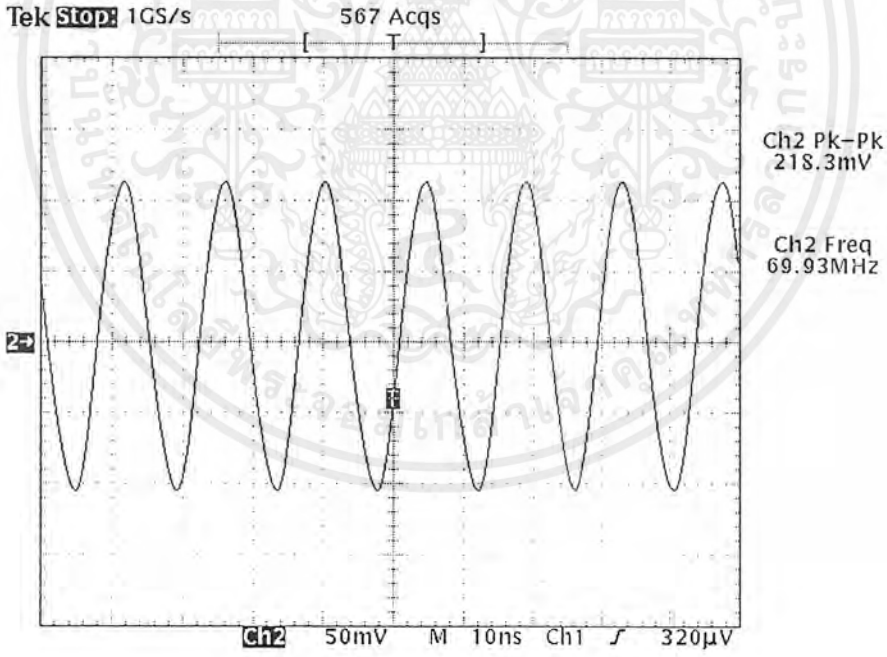
รูปที่ 4.28 เป็นสเปคตรัมของจีเอ็มเอสเคเมื่อผ่านตัวลดทอนสัญญาณ 40 ดีบีเพื่อนำไปเข้าวงจรควบคุมอัตราขยายอัตโนมัติที่ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



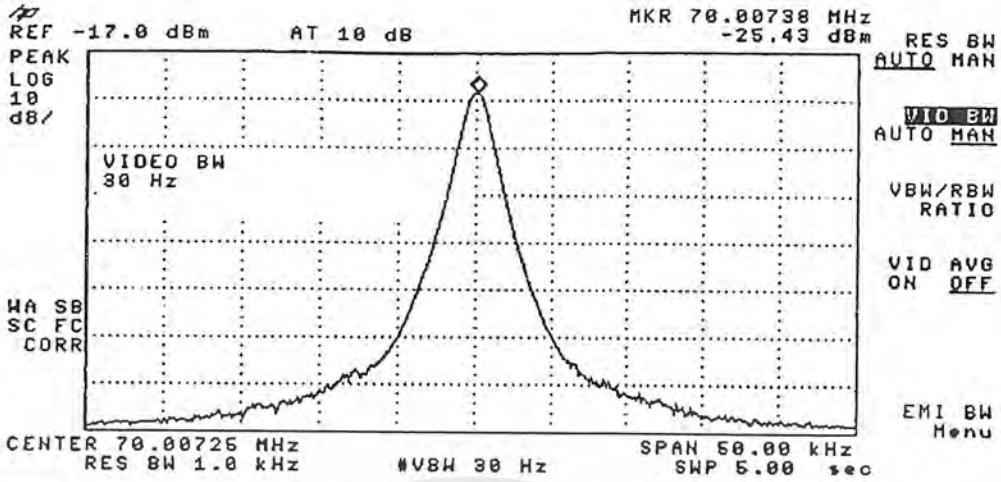
รูปที่ 4.29 สเปคตรัมของสัญญาณที่ได้จากวงจรควบคุมอัตราขยายอัตโนมัติ

รูปที่ 4.29 เป็นสเปคตรัมของสัญญาณที่ได้จากวงจรควบคุมอัตราขยายอัตโนมัติซึ่งมีขนาดเท่ากับ –29 ดีบีเอ็ม โดยสามารถดูผลเพิ่มเติมต่าง ๆ ของวงจรควบคุมอัตราขยายอัตโนมัติได้ที่หัวข้อ 4.5.8



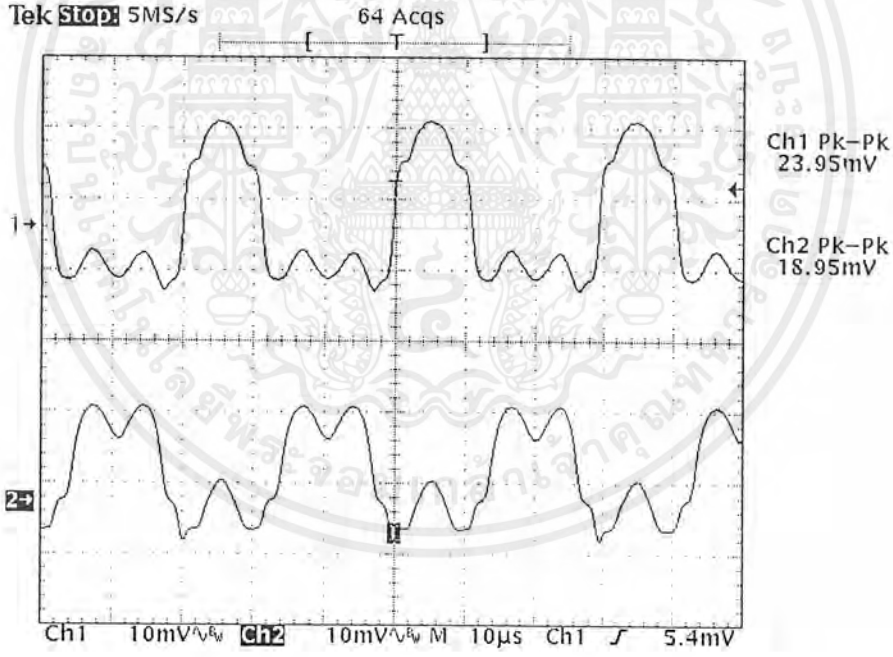
รูปที่ 4.30 คลื่นพาห์ 70 เม็กกะเฮิร์ตที่กู้คืนได้จากเครื่องรับแบบคอสทาส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



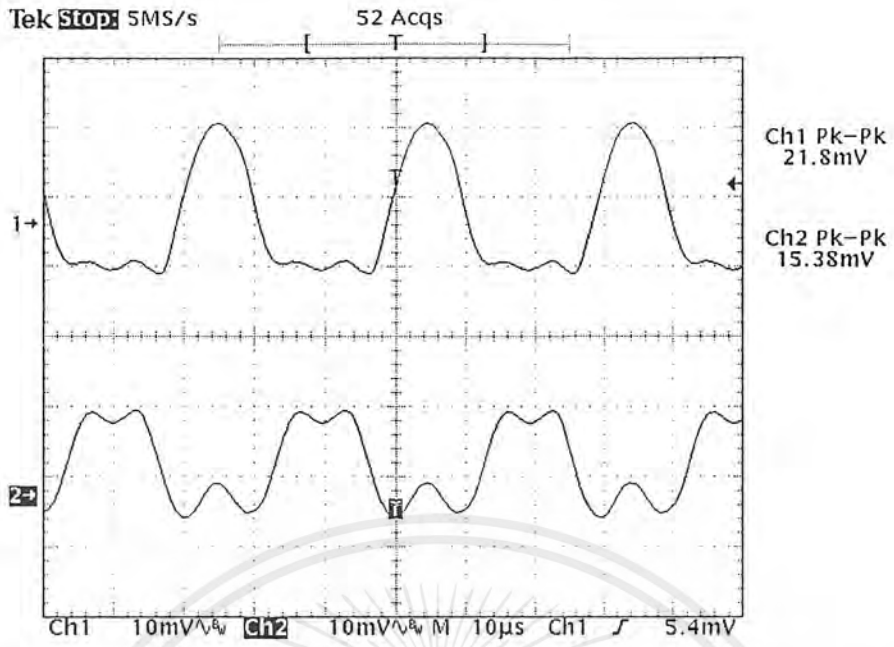
รูปที่ 4.31 สเปคตรัมของคลื่นพาห์ 70 เม็กกะเฮิร์ตที่กู้คืนได้จากเครื่องรับแบบคอสทาส

จากรูปที่ 4.30 และ 4.31 แสดงผลของวงจรกู้ความถี่ 70 เม็กกะเฮิร์ตซึ่งเป็นคลื่นพาห์โดยใช้เครื่องรับแบบคอสทาส คลื่นพาห์ที่กู้ได้นี้จะนำไปใช้ในการดีมอดูเลทสัญญาณจีเอ็มเอสเค



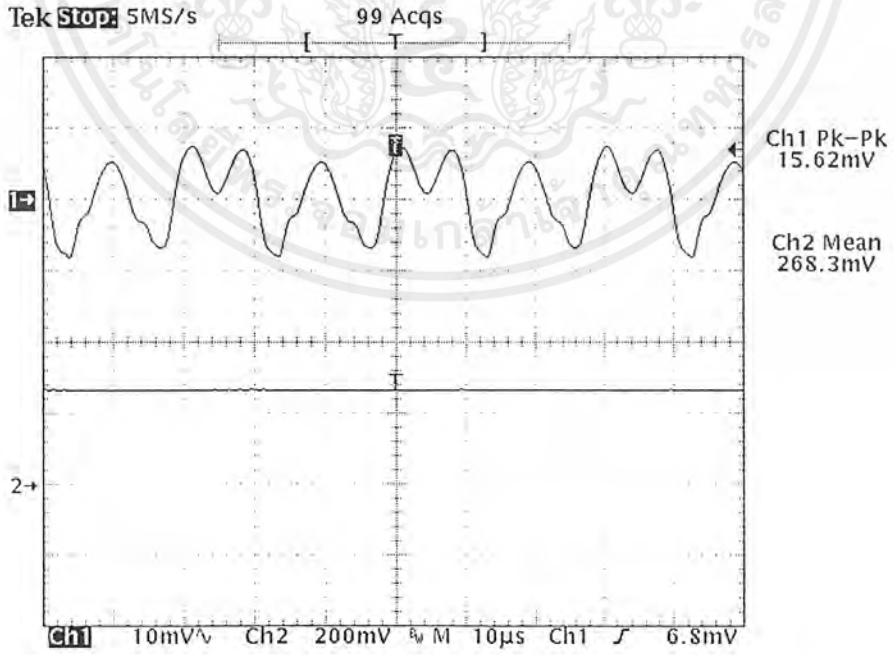
รูปที่ 4.32 สัญญาณเบสแบนด์ไอและคิวที่ดีมอดูเลทได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.33 สัญญาณเบสแบนด์ไอและคิวที่ดีมอดูเลทได้หลังจากผ่านวงจรกรองความถี่ต่ำผ่านแล้ว

จากรูปที่ 4.32 แสดงให้เห็นถึงสัญญาณเบสแบนด์ไอและคิวที่ดีมอดูเลทได้จากการคูณสัญญาณจีเอ็มเอสเคเข้ากันกับคลื่นพาห์ 70 เม็กกะเฮิร์ตซึ่งกู้คืนมาได้แล้วนำสัญญาณที่ได้ไปผ่านวงจรกรองความถี่ต่ำผ่าน 10 เม็กกะเฮิร์ต เพื่อกำจัดคลื่นพาห์ออก โดยผลตอบสนองของวงจรกรองความถี่ต่ำผ่าน 10 เม็กกะเฮิร์ตสามารถดูได้ที่หัวข้อ 4.5.10 และรูปที่ 4.33 เป็นสัญญาณเบสแบนด์ไอและคิวที่ได้จากรูปที่ 4.32 นำมาผ่านวงจรกรองความถี่ต่ำผ่านเพื่อปรับรูปสัญญาณ

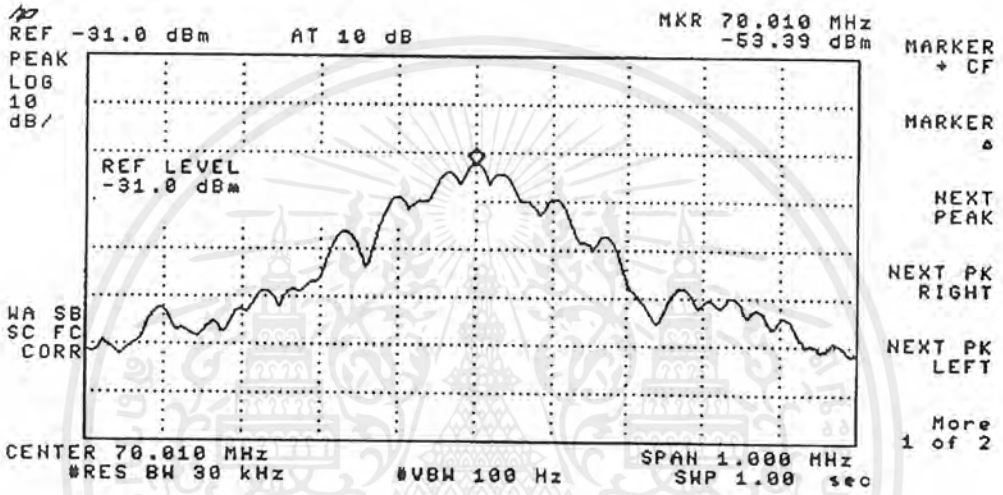


รูปที่ 4.34 ผลของวงจรกรองความถี่ต่ำผ่านภายในคอสทาสลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

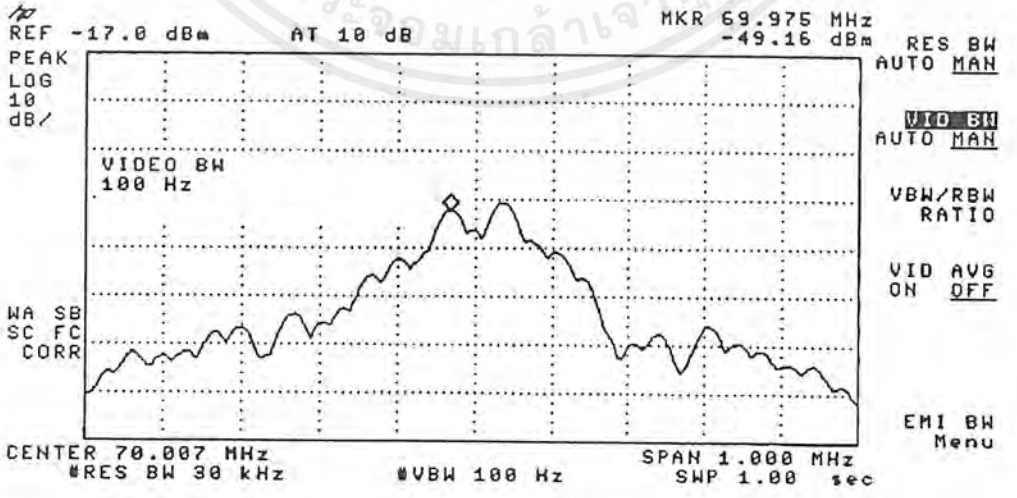
รูปที่ 4.34 กราฟบน (Ch1) เป็นอินพุทของวงจรกรองความถี่ต่ำผ่านภายในคอสทาสลูปที่มีความถี่คัทออฟ 20 กิโลเฮิร์ต ซึ่งได้มาจากการคูณสัญญาณไอและคิวที่ดีมอดูเลทได้ ส่วนกราฟล่าง (Ch2) เป็นเอาท์พุทของวงจร จะเห็นได้ว่าองค์ประกอบของความถี่ต่าง ๆ ถูกกรองออกจนหมดเหลือเพียงสัญญาณไฟตรงซึ่งนำไปใช้ควบคุมวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน โดยผลตอบสนองของวงจรกรองความถี่ต่ำผ่านที่มีความถี่คัทออฟ 20 กิโลเฮิร์ตสามารถดูได้จากหัวข้อที่ 4.5.9

4.4.2 ผลการทดลองเมื่อส่งสัญญาณทางสายอากาศ



รูปที่ 4.35 สเปคตรัมของสัญญาณที่รับได้จากสายอากาศทางภาครับ

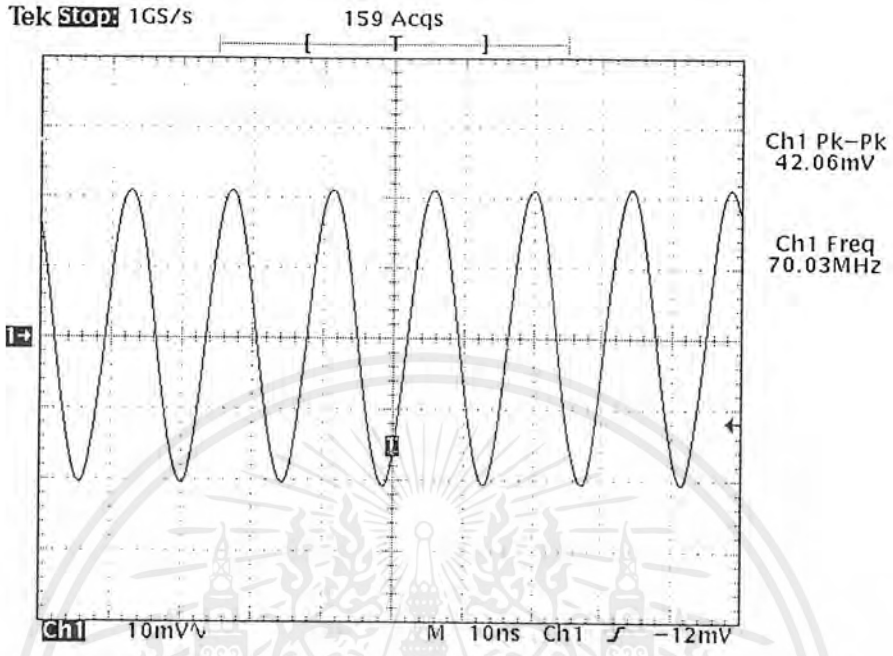
รูปที่ 4.35 เป็นสเปคตรัมที่รับได้จากสายอากาศทางภาครับโดยระยะทางระหว่างเครื่องรับและเครื่องส่ง 10 เมตร รับสัญญาณได้ขนาด –33 ดีบีเอ็ม



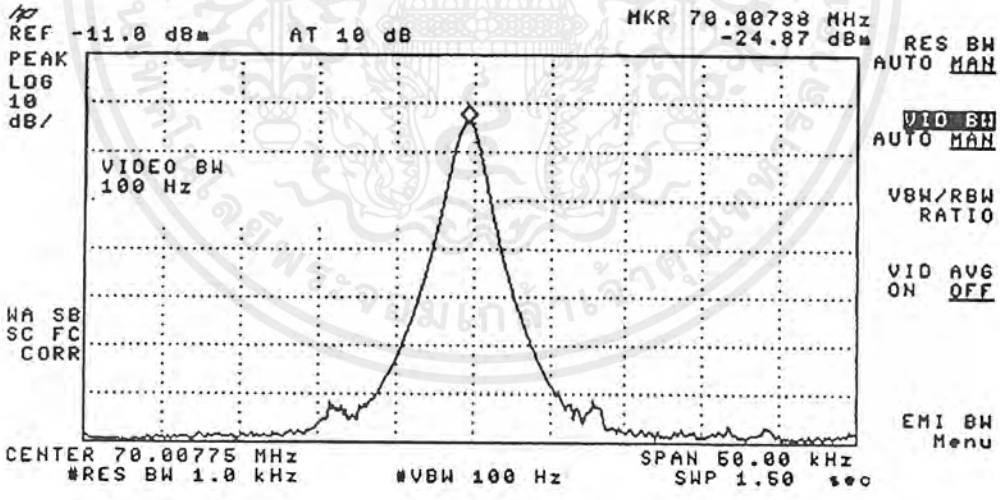
รูปที่ 4.36 สเปคตรัมของสัญญาณที่ได้จากวงจรควบคุมอัตราขยายอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.36 เป็นสเปคตรัมของสัญญาณที่ได้จากวงจรควบคุมอัตราขยายอัตโนมัติซึ่งมีขนาดเท่ากับ –29 ดีบีเอ็ม



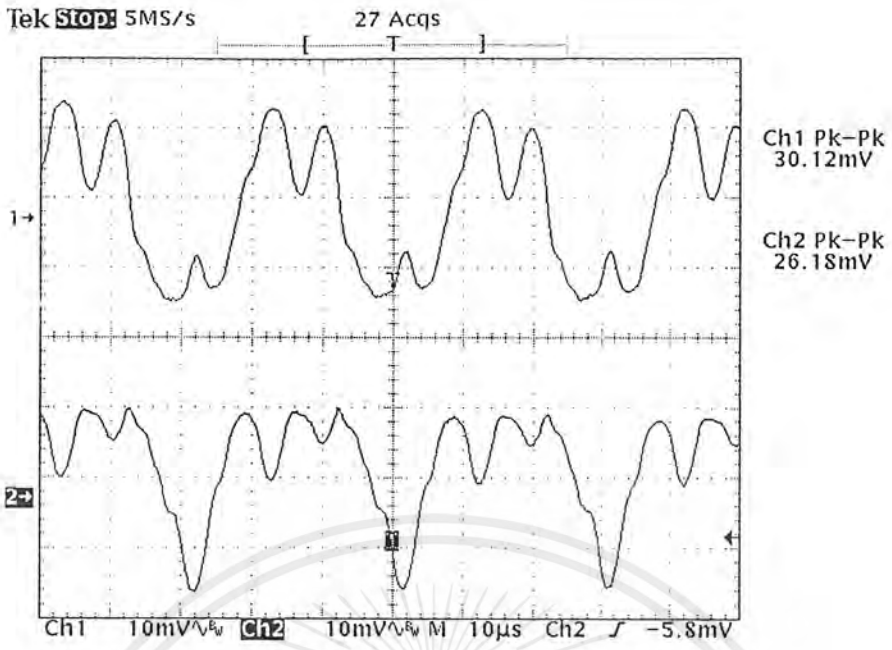
รูปที่ 4.37 คลื่นพาห์ 70 เม็กกะเฮิร์ตที่กู้คืนได้จากเครื่องรับแบบดอสทาส



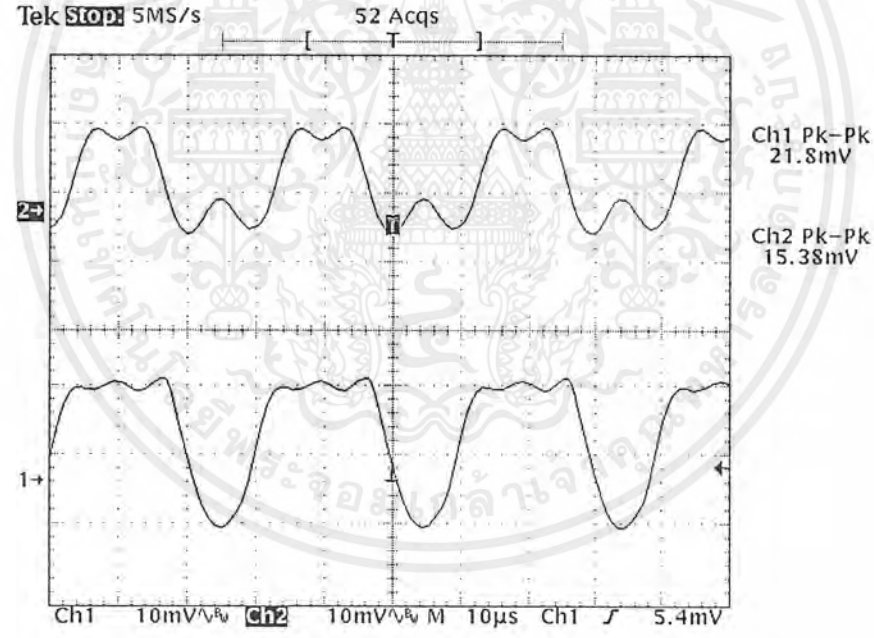
รูปที่ 4.38 สเปคตรัมของคลื่นพาห์ 70 เม็กกะเฮิร์ตที่กู้คืนได้จากเครื่องรับแบบดอสทาส

จากรูปที่ 4.37 และ 4.38 แสดงผลของวงจรกู้ความถี่ 70 เม็กกะเฮิร์ตซึ่งเป็นคลื่นพาห์โดยใช้เครื่องรับแบบดอสทาส คลื่นพาห์ที่กู้ได้นี้จะนำไปใช้ในการดีมอดูเลทสัญญาณจีเอ็มเอสเค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



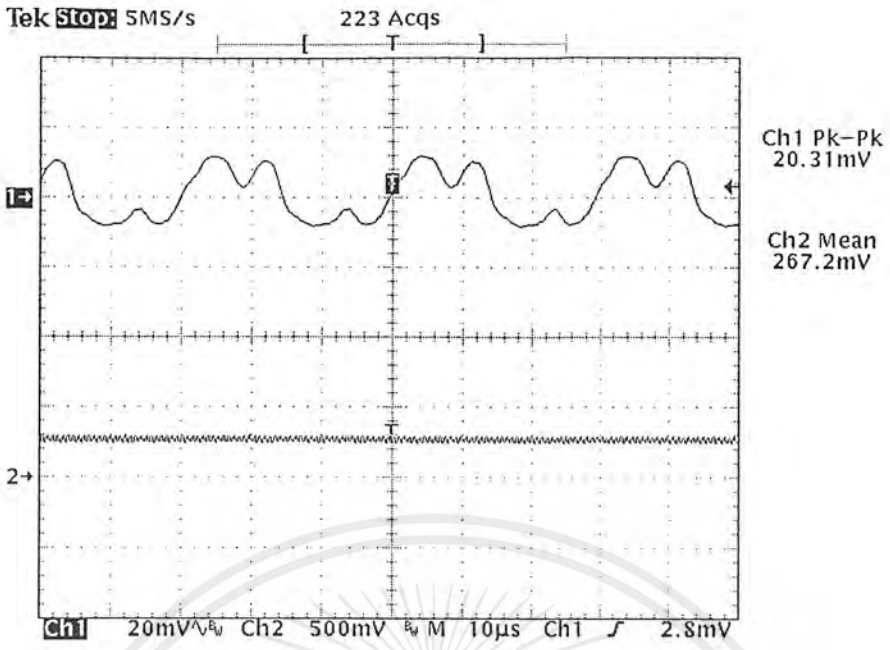
รูปที่ 4.39 สัญญาณเบสแบนด์ไอและคิวที่ดีมอดูเลทได้



รูปที่ 4.40 สัญญาณเบสแบนด์ไอและคิวที่ดีมอดูเลทได้หลังจากผ่านวงจรกรองความถี่ต่ำผ่านแล้ว

จากรูปที่ 4.39 แสดงให้เห็นถึงสัญญาณเบสแบนด์ไอและคิวที่ดีมอดูเลทได้จากการคูณสัญญาณจีเอ็มเอสเคเข้ากันกับคลื่นพาห์ 70 เม็กกะเฮิร์ตซึ่งกู้คืนมาได้แล้วนำสัญญาณที่ได้ไปผ่านวงจรกรองความถี่ต่ำผ่าน 10 เม็กกะเฮิร์ต เพื่อกำจัดคลื่นพาห์ออกไป และรูปที่ 4.40 เป็นสัญญาณเบสแบนด์ไอและคิวที่ได้จากรูปที่ 4.39 นำมาผ่านวงจรกรองความถี่ต่ำผ่านเพื่อปรับรูปสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

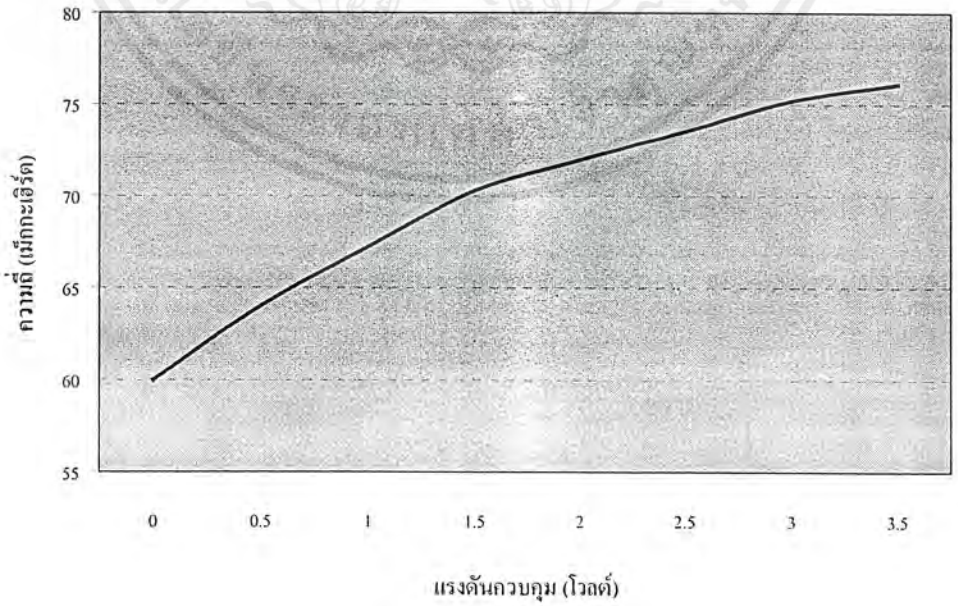


รูปที่ 4.41 ผลของวงจรกรองความถี่ต่ำผ่านภายในคอสทาสลูป

รูปที่ 4.41 กราฟบน (Ch1) เป็นอินพุทของวงจรกรองความถี่ต่ำผ่านภายในคอสทาสลูปที่มีความถี่คัทออฟ 20 กิโลเฮิร์ต ซึ่งได้มาจากการคูณสัญญาณไอและคิวที่ดีมอดูเลทได้ ส่วนกราฟล่าง (Ch2) เป็นเอาท์พุทของวงจร จะเห็นได้ว่าองค์ประกอบของความถี่ต่าง ๆ ถูกกรองออกจนหมดเหลือเพียงสัญญาณไฟตรงซึ่งนำไปใช้ควบคุมวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน

4.5 ผลการทดลองอื่น ๆ

4.5.1 ผลการทดลองของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน



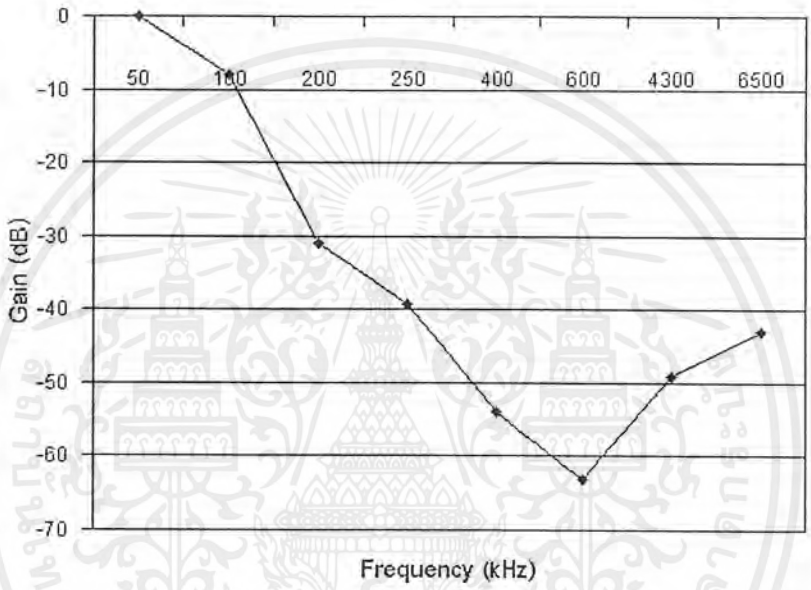
รูปที่ 4.42 กราฟของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

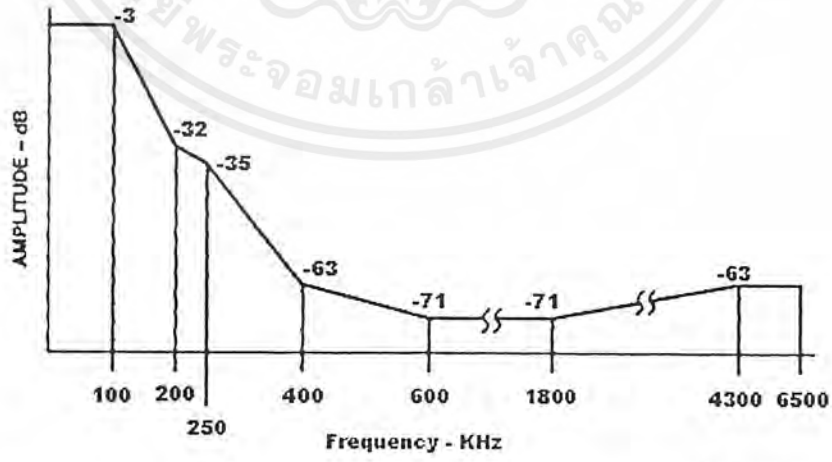
รูปที่ 4.42 แสดงถึงกราฟของวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน โดยทำการพล็อตกราฟของสัญญาณระหว่างความถี่กับแรงดันควบคุม จะเห็นได้ว่าช่วงความถี่ที่ผลิตได้ของวงจรนี้จะอยู่ในช่วงประมาณ 60 – 77 เม็กกะเฮิร์ต

4.5.2 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนที่มีความถี่คัทออฟ 81 กิโลเฮิร์ต

ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน ที่มีความถี่คัทออฟ 81 กิโลเฮิร์ต เป็นดังรูปที่ 4.43 โดยจะ พล็อตที่จุดเดียวกับผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนที่อยู่ภายในไอซีเบอร์ AD 7002 รูปที่ 4.44 เป็นตัวเปรียบเทียบ



รูปที่ 4.43 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียน

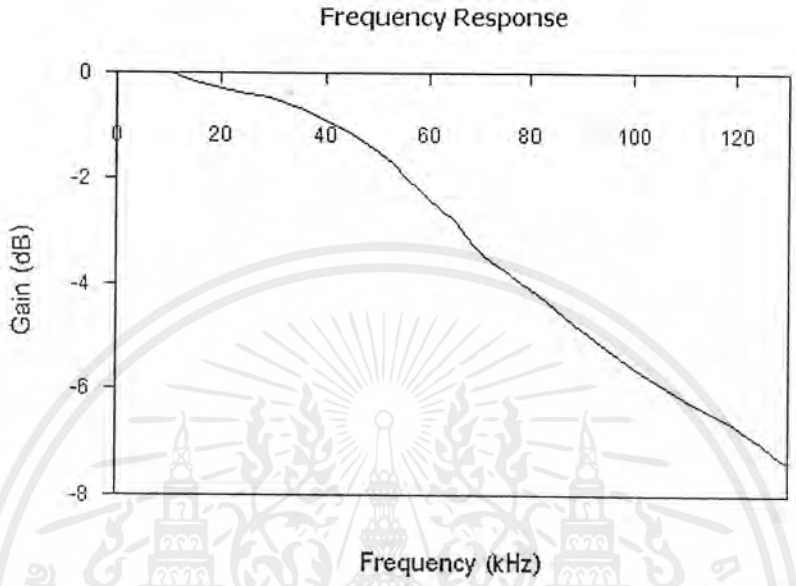


รูปที่ 4.44 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบเกาส์เซียนที่อยู่ภายใน AD 7002

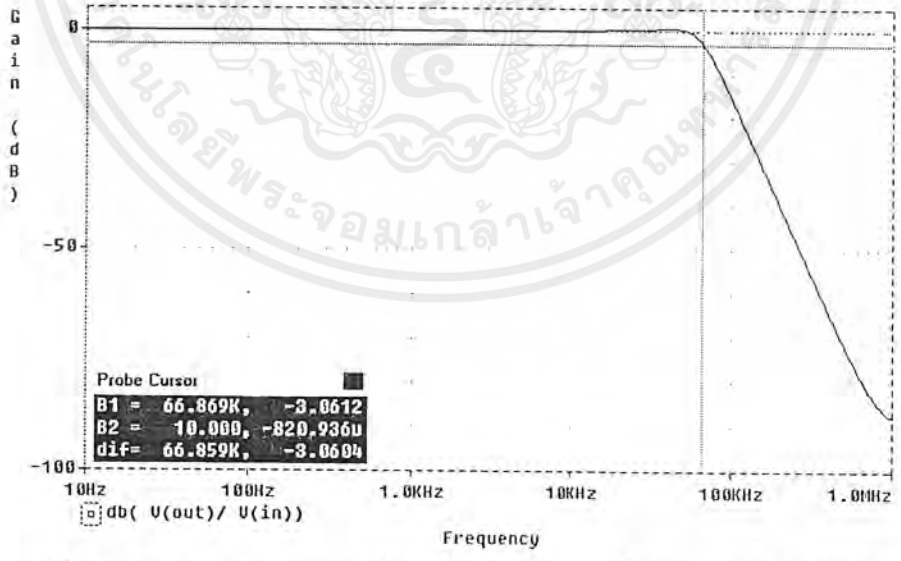
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.3 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธที่มีความถี่คัทออฟ 67.5 กิโลเฮิร์ต

อยู่ในส่วนของการประมวลผลสัญญาณเบสแบนด์ เป็นวงจรกรองความถี่ต่ำผ่านแอคทีฟแบบบัตเตอร์เวิร์ธอันดับที่ 4 ความถี่คัทออฟ 67.5 กิโลเฮิร์ต หลังจากทำการต่อวงจรแล้วพบว่าได้ผลตอบสนองทางความถี่ดังรูปที่ 4.45 และรูปที่ 4.46 เป็นผลตอบสนองทางความถี่ของวงจรที่ได้จากโปรแกรมพีสไปซ์



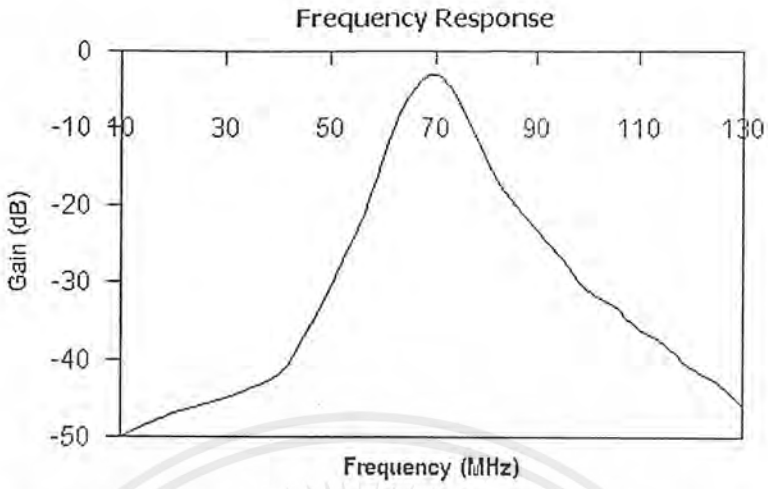
รูปที่ 4.45 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธที่มีความถี่คัทออฟ 67.5 กิโลเฮิร์ต



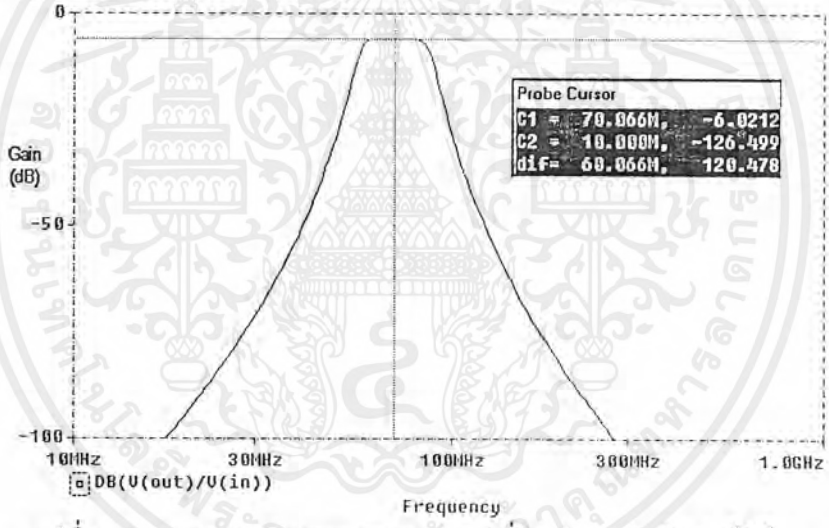
รูปที่ 4.46 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธที่มีความถี่คัทออฟเท่ากับ 67.5 กิโลเฮิร์ตที่ได้จากโปรแกรมพีสไปซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.4 ผลการทดลองของวงจรกรองความถี่ช่วงผ่านแบบบัตเตอร์เวิร์ธที่มีความถี่กลาง 70 เม็กกะเฮิร์ต



รูปที่ 4.47 ผลตอบสนองของวงจรกรองความถี่ช่วงผ่านแบบบัตเตอร์เวิร์ธ



รูปที่ 4.48 ผลตอบสนองของวงจรกรองความถี่ช่วงผ่านแบบบัตเตอร์เวิร์ธ
ที่ได้จากโปรแกรมพีสไปซ์

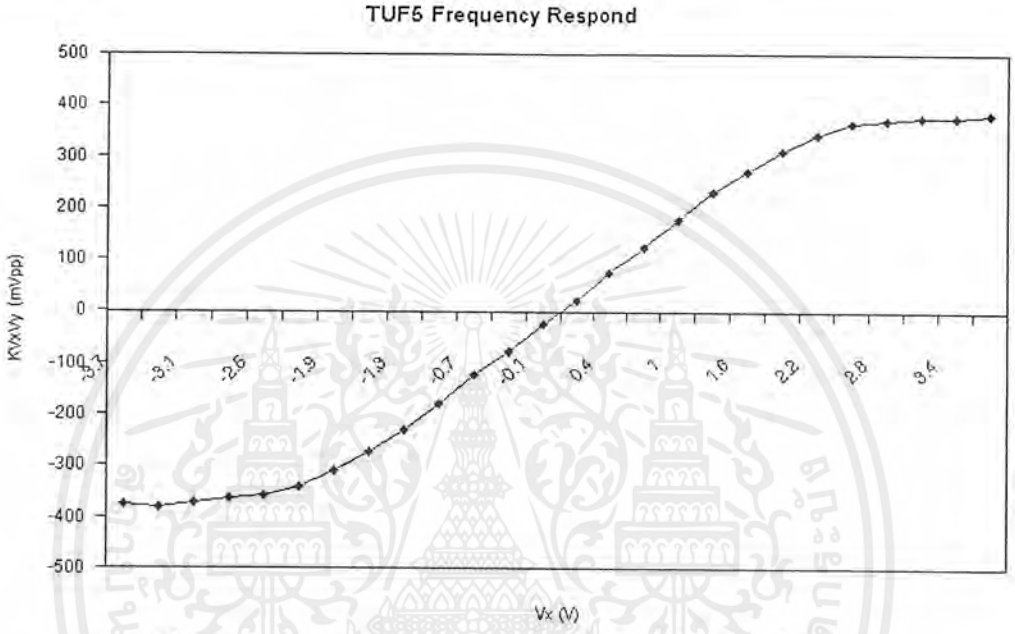
รูปที่ 4.47 และ 4.48 เป็นผลของวงจรกรองความถี่ช่วงผ่านแบบบัตเตอร์เวิร์ธที่ใช้ในภาคไอคิวมอดูเลเตอร์ โดยออกแบบให้มีความถี่กลางเท่ากับ 70 เม็กกะเฮิร์ต และมีความกว้างแถบเท่ากับ 25 เม็กกะเฮิร์ต อันดับที่ 5 โดยที่รูปที่ 4.47 เป็นผลของวงจรที่ได้จากการวัดค่าจริง และรูปที่ 4.48 เป็นผลของวงจรที่ได้จากโปรแกรมพีสไปซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.5 ผลการทดลองของวงจรคูณสัญญาณ

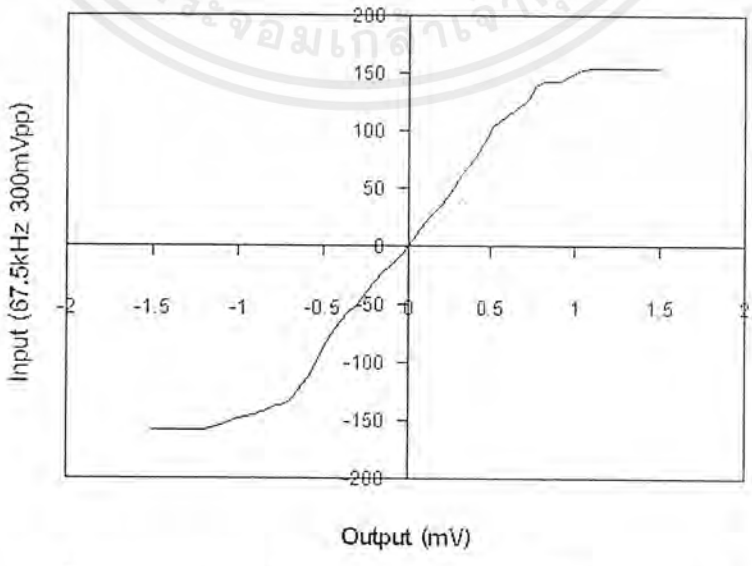
4.5.5.1 ผลการทดลองของวงจรคูณสัญญาณโดยใช้ไอซีเบอร์ TUF-5

วงจรคูณสัญญาณที่ใช้ในที่นี้จะใช้ไอซีเบอร์ TUF5 โดยเมื่อนำมาต่อแล้วทำการวัดผลของวงจรคูณสัญญาณได้ดังรูปที่ 4.49 โดยทำการคูณสัญญาณซายน์ความถี่ 70 เม็กกะเฮิร์ตซึ่งมีขนาด 600 มิลลิโวลต์พีคทูพีค กับไฟกระแสตรง (แกนนอน) โดยเอาท์พุทที่ได้จะแสดงในแกนตั้งของกราฟ ช่วงของวงจรที่สามารถทำงานได้ (มีความเป็นเชิงเส้น) คือช่วงตั้งแต่ประมาณ –1.5 ถึง 2 โวลต์



รูปที่ 4.49 ผลตอบสนองของวงจรคูณสัญญาณโดยใช้ไอซีเบอร์ TUF-5

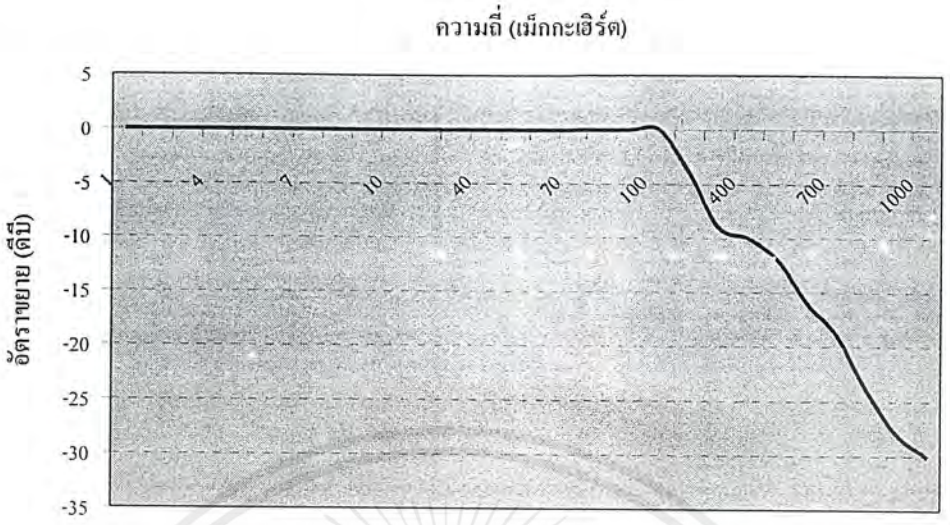
4.5.5.2 ผลการทดลองของวงจรคูณสัญญาณโดยใช้ริงมอดูเลเตอร์



รูปที่ 4.50 ผลตอบสนองของวงจรคูณสัญญาณโดยใช้ริงมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

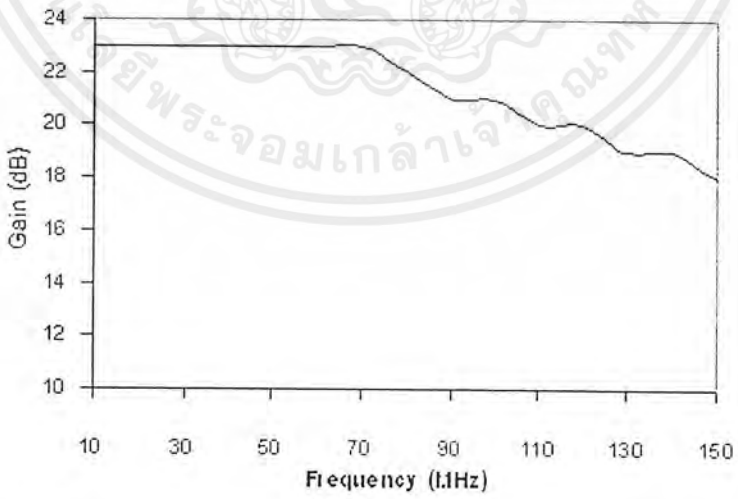
4.5.6 ผลการทดลองของวงจรบัฟเฟอร์



รูปที่ 4.51 ผลตอบสนองทางความถี่ของวงจรบัฟเฟอร์

รูปที่ 4.51 เป็นผลตอบสนองทางความถี่ของวงจรบัฟเฟอร์ ซึ่งใช้พื้นฐานของวงจรขยายสัญญาณแถบความถี่กว้าง จะเห็นได้ว่าช่วงความถี่ที่สามารถใช้งานได้อยู่ที่ประมาณ 1 – 200 เม็กกะเฮิร์ต (พิจารณาจากจุดที่อัตราขยายเท่ากับ –3 ดีบี)

4.5.7 ผลการทดลองของวงจรขยายสัญญาณอาร์เอฟขนาดเล็ก



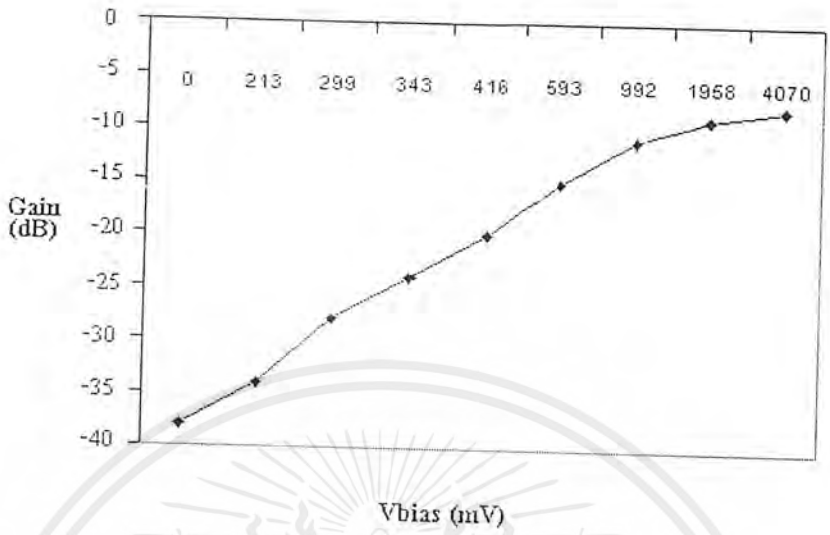
รูปที่ 4.52 อัตราการขยายของวงจรขยายสัญญาณอาร์เอฟขนาดเล็ก

รูปที่ 4.52 เป็นกราฟแสดงอัตราขยายของวงจรขยายสัญญาณอาร์เอฟขนาดเล็ก โดยวงจรขยายสัญญาณนี้จะมีอัตราขยายที่ความถี่ 70 เม็กกะเฮิร์ตเท่ากับ 23 ดีบี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.8 ผลการทดลองของวงจรควบคุมอัตราขยายอัตโนมัติ

4.5.8.1 ผลการทดลองของวงจรลดทอนสัญญาณปรับค่าได้ด้วยแรงดัน



รูปที่ 4.53 ผลตอบสนองวงจรลดทอนสัญญาณปรับค่าได้ด้วยแรงดัน

4.5.8.2 ผลการทดลองของวงจรดีเทคเตอร์ระดับแรงดัน

วงจรนี้จะทำการดีเทคสัญญาณเอาท์พุทที่ได้จากวงจรขยายสัญญาณอาร์เอฟขนาดเล็กก่อนที่จะป้อนเข้าไปเป็นสัญญาณเปรียบเทียบที่วงจรอินทิเกรเตอร์ ทำการทดลองโดยป้อนสัญญาณอินพุทความถี่ 70 เม็กกะเฮิร์ตที่มีขนาดต่างกันแล้ววัดระดับแรงดันไฟตรงที่ดีเทคได้ในหน่วยมิลลิโวลต์ เมื่อความถี่เปลี่ยนไป ผลการทดลองดังแสดงในตารางที่ 4.1

อินพุท (ดีบีเอ็ม)	เอาท์พุท (มิลลิโวลต์)
-20	0.4
-15	1.7
-10	5
-5	21.6
0	62.8
5	196.3
10	395
15	891
20	1210
25	2250

ตารางที่ 4.1 ขนาดของอินพุทและเอาท์พุทของวงจรดีเทคเตอร์ระดับแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.8.3 ผลการทดลองของวงจรควบคุมอัตราขยายอัตโนมัติ

เมื่อนำส่วนของวงจรต่าง ๆ มาประกอบกันเป็นวงจรควบคุมอัตราขยายอัตโนมัติแล้ว ทดสอบโดยนำสัญญาณอินพุทความถี่ 70 เม็กกะเฮิร์ตที่มีขนาดของสัญญาณต่าง ๆ กัน ได้ผลแสดงดังตารางที่ 4.2 โดยอินพุทที่ได้จากภาครับด้านหน้าจะถูกนำเข้ามายังวงจรเพื่อให้มีอัตราขยายคงที่

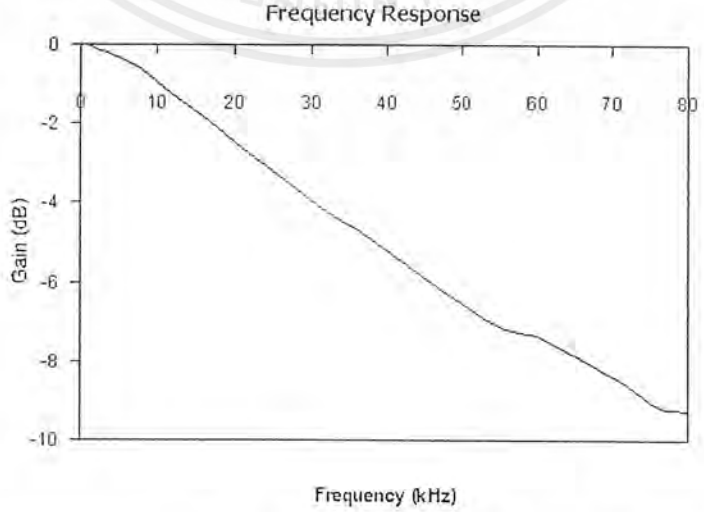
ขนาดของสัญญาณอินพุท (ดีบีเอ็ม)	ขนาดของสัญญาณเอาท์พุท (ดีบีเอ็ม)
5	-24
0	-24
-5	-24
-10	-24
-15	-24
-20	-25

ตารางที่ 4.2 ผลของวงจรควบคุมอัตราขยายอัตโนมัติ

วงจรควบคุมอัตราขยายอัตโนมัตินี้เมื่อนำมาใช้จริงจะต่อรวมกับวงจรกรองความถี่ช่วงผ่าน 70 เม็กกะเฮิร์ต และวงจรขยายสัญญาณทางภาครับ เมื่อนำวงจรมารวมกันทั้งหมดแล้วจะได้เครื่องรับที่มีเซ้นซิทิวิตี้เท่ากับ –50 ดีบีเอ็ม

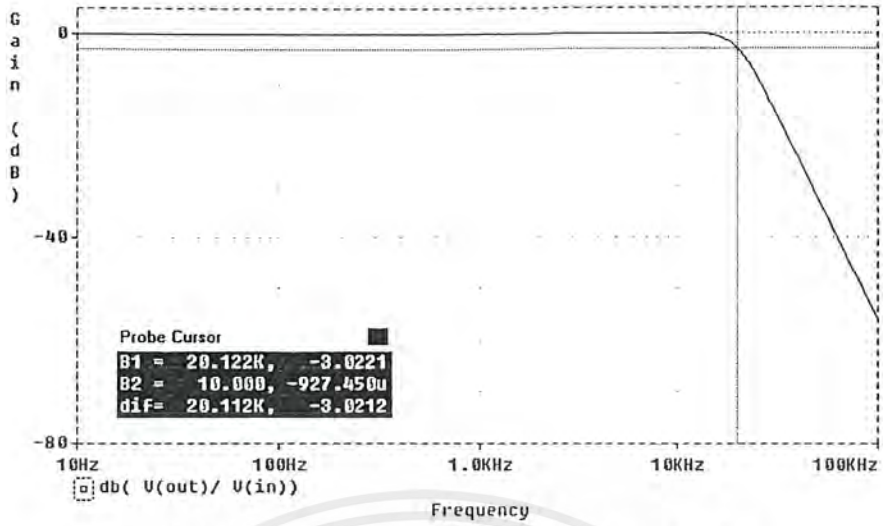
4.5.9 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธที่มีความถี่คัทออฟ 20 กิโลเฮิร์ต

จุดประสงค์ของวงจรนี้เพื่อใช้เป็นลูปฟิลเตอร์สำหรับเครื่องรับแบบคอสทาส เพื่อกรองเอาสัญญาณดีซีป้อนให้กับวงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน โดยออกแบบให้มีความถี่คัทออฟเท่ากับ 20 กิโลเฮิร์ต แบบแอคทีฟอันดับที่สี่ มีผลตอบสนองทางความถี่ดังรูปที่ 4.54 และรูปที่ 4.55 เป็นผลตอบสนองทางความถี่จากโปรแกรมพีสไปซ์



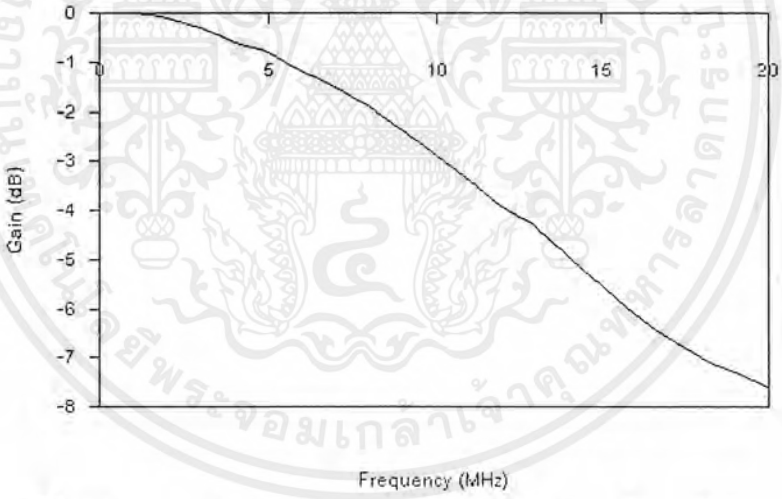
รูปที่ 4.54 ผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านที่มีความถี่คัทออฟ 20 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



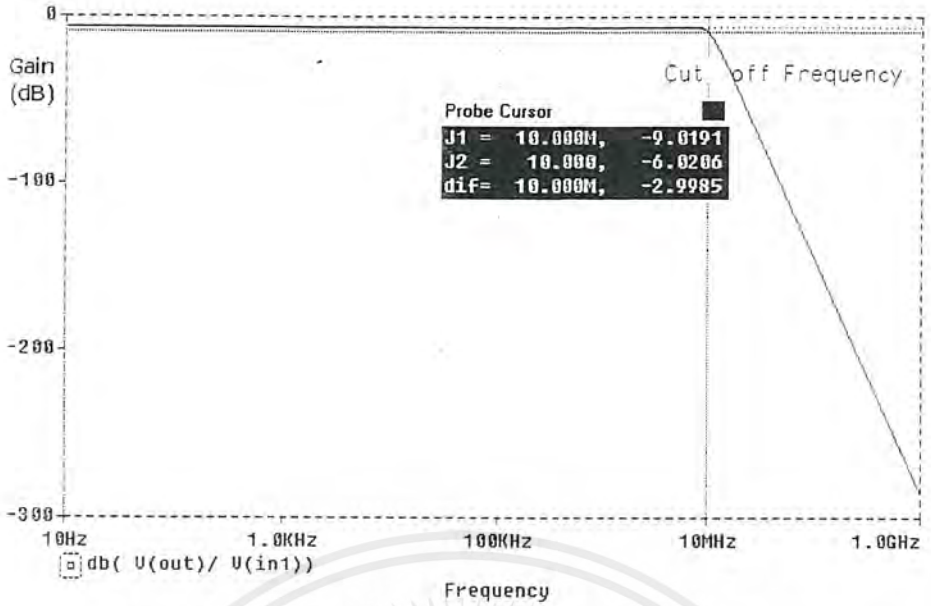
รูปที่ 4.55 ผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน
ที่มีความถี่คัทออฟ 20 กิโลเฮิร์ตที่ได้จากโปรแกรมพีสไปซ์

4.5.10 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธที่มีความถี่คัทออฟ 10 เม็กกะเฮิร์ต



รูปที่ 4.56 ผลตอบสนองของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ
ที่มีความถี่คัทออฟ 10 เม็กกะเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.57 ผลตอบสนองของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธที่มีความถี่คัทออฟ 10 เม็กกะเฮิร์ตที่ได้จากโปรแกรมพีสไปซ์

ในส่วนของวงจรกรองความถี่ต่ำผ่านที่ใช้ในเครื่องรับแบบคอสทาสนั้น จะใช้วงจรกรองความถี่ต่ำผ่านบัตเตอร์เวิร์ธที่มีความถี่คัทออฟ 10 เม็กกะเฮิร์ต อันดับที่ 7 และมีผลตอบสนองความถี่ของวงจรจริงดังรูปที่ 4.56 ส่วนรูปที่ 4.57 เป็นผลตอบสนองของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธที่มีความถี่คัทออฟ 10 เม็กกะเฮิร์ตที่ได้จากโปรแกรมพีสไปซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

ในภาคการศึกษานี้โครงงานได้ทำในส่วนของบล็อกไดอะแกรมต่าง ๆ คือ ภาควงจรกำเนิดสัญญาณดิจิตอลและประมวลผลสัญญาณเบสแบนด์ , ภาควงจรไอคิวมอดูเลเตอร์ , ภาควงจรขยายสัญญาณก่อนส่งออกสายอากาศ , ภาควงจรขยายสัญญาณที่รับได้จากสายอากาศและวงจรควบคุมอัตราขยายอัตโนมัติ , ภาควงจรเครื่องรับแบบคอสทาส จนได้สัญญาณเบสแบนด์ไอและคิวออกมา โดยในส่วนของภาคการประมวลผลสัญญาณเบสแบนด์ให้เป็นสัญญาณดิจิตอลนั้นไม่สามารถทำได้ เนื่องจากมีข้อจำกัดในวิธีการซึ่งต้องใช้การประมวลผลสัญญาณแบบดิจิตอลเข้ามาเกี่ยวข้อง

ส่วนปัญหาต่าง ๆ ที่เกิดขึ้นนั้นเกิดจากวงจรที่ใช้ส่วนมากเกี่ยวข้องกับความถี่วิทยุ ทำให้หาอุปกรณ์ที่จะนำมาใช้ในการสร้างและออกแบบวงจรเช่น ทรานซิสเตอร์ ไอซีได้ยาก และเกิดการรบกวนกันของคลื่นวิทยุทั้งจากภายนอกและภายในซึ่งสามารถแก้ปัญหาได้ด้วยการนำโลหะมาชิลด์วงจรเอาไว้ และเนื่องจากเป็นการมอดูเลททางเฟสที่ความถี่สูงจึงไม่สามารถใช้เครื่องมือที่มีอยู่ในการวัดผลของการมอดูเลทได้อย่างแม่นยำ เครื่องมือที่ใช้วัดสัญญาณที่ถูกทำการมอดูเลททางเฟสนั้นคือ เวกเตอร์ซิกแนลอนาไลเซอร์ซึ่งไม่สามารถหามาใช้ได้

อีกปัญหาหนึ่งเกิดจากเสาอากาศที่ใช้ เนื่องจากความถี่ที่ใช้งานไม่มีเสาอากาศสำเร็จรูปซึ่งทำการแมชอิมพีแดนซ์ที่ 50 โอห์มไว้แล้ว และการวัดอิมพีแดนซ์ของเสาอากาศแบบโมโนโพลซึ่งใช้ในโครงงานนี้ทำได้ยาก จึงไม่สามารถทำการแมชอิมพีแดนซ์ได้ ดังนั้นจึงอาจจะเกิดการสูญเสียที่เสาอากาศอันมีผลต่อกำลังส่งและเซ้นซิทิวิตี้ของเครื่องรับ

แนวทางในการพัฒนาโครงงานนี้ต่อไปคือ การปรับปรุงเสาอากาศให้มีอิมพีแดนซ์ 50 โอห์มจะทำให้ส่งสัญญาณได้ไกลขึ้น และเพิ่มเซ้นซิทิวิตี้ของเครื่องรับ และในส่วนของภาคประมวลผลสัญญาณเบสแบนด์ทางด้านรับเพื่อให้ได้สัญญาณดิจิตอลอาจใช้วิธีการแปลงสัญญาณเบสแบนด์จากอนาล็อกไปเป็นสัญญาณดิจิตอล หลังจากนั้นนำสัญญาณดิจิตอลที่ได้ไปประมวลผลบนคอมพิวเตอร์หรือบอร์ดสำหรับการประมวลผลสัญญาณดิจิตอลโดยเฉพาะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANALOG DEVICES

LC²MOS GSM Baseband I/O Port

AD7002

FEATURES

Single +5 V Supply
Transmit Channel
- **On-Chip GMSK Modulator**
- **Two 10-Bit D/A Converters**
- **Analog Reconstruction Filters**
- **Power-Down Mode**

Receive Channel
- **Two Sigma-Delta A/D Converters**
- **FIR Digital Filters**
- **On-Chip Offset Calibration**
- **Power-Down Mode**

3 Auxiliary D/A Converters
Power-Down Modes
On-Chip Voltage Reference
Low Power
44-Lead PQFP

APPLICATIONS

GSM
PCN

GENERAL DESCRIPTION

The AD7002 is a complete low power, two-channel, input/output port with signal conditioning. The device is used as a baseband digitization subsystem, performing signal conversion between the DSP and the IF/RF sections in the Pan-European telephone system (GSM).

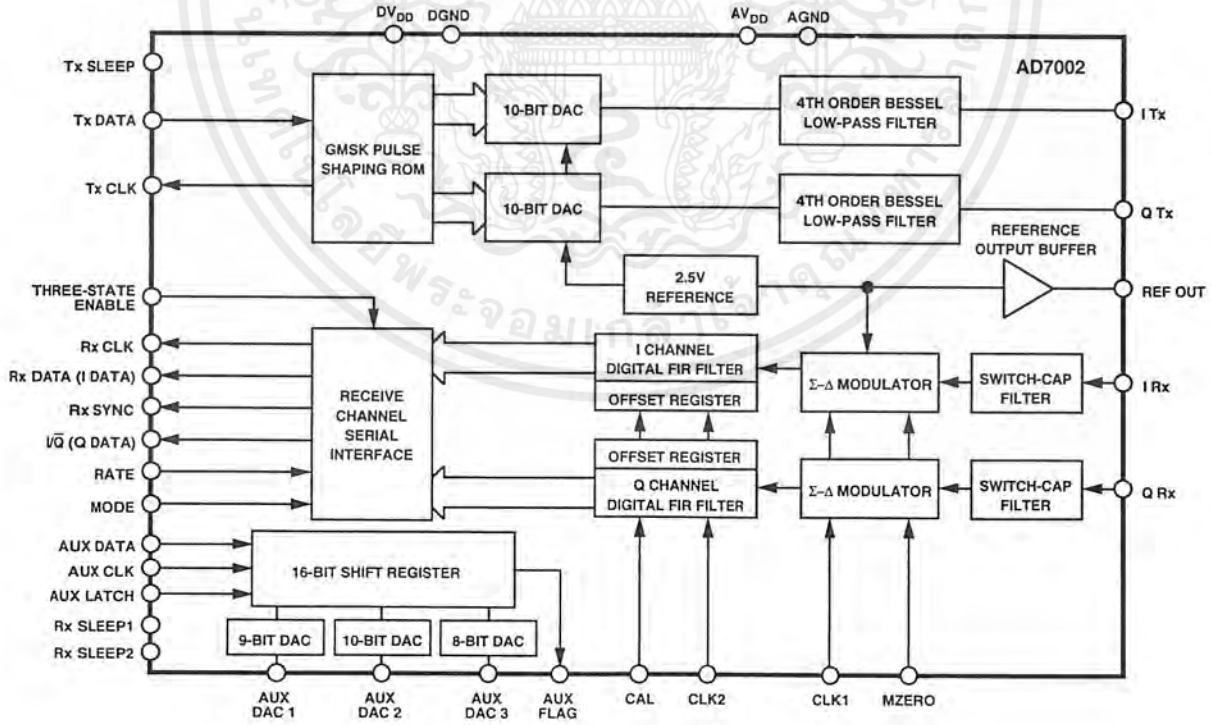
The transmit path consists of an onboard digital modulator, containing all the code necessary for performing Gaussian Minimum Shift Keying (GMSK), two high accuracy, fast DACs with output reconstruction filters. The receive path is composed of two high performance sigma-delta ADCs with digital filtering. A common bandgap reference feeds the ADCs and signal DACs.

Three control DACs (AUX DAC1 to AUX DAC3) are included for such functions as AFC, AGC and carrier signal shaping. In addition, AUX FLAG may be used for routing digital control information through the device to the IF/RF sections.

As it is a necessity for all GSM mobile systems to use the lowest power possible, the device has power-down or sleep options for all sections (transmit, receive and auxiliary).

The AD7002 is housed in 44-lead PQFP (Plastic Quad Flatpack).

FUNCTIONAL BLOCK DIAGRAM



REV. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 617/329-4700 World Wide Web Site: http://www.analog.com
Fax: 617/326-8703
© Analog Devices, Inc., 1997

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AD7002–SPECIFICATIONS[1] (AV_{DD} = +5 V ± 10%; DV_{DD} = +5 V ± 10%; AGND = DGND = 0 V, $f_{CLK1} = f_{CLK2}$ = 13 MHz; $T_A = T_{MIN}$ to T_{MAX}, Rx $SLEEP_1$ = Rx $SLEEP_2$ = Tx SLEEP = DV_{DD}, unless otherwise noted)

Parameter	AD7002A	Units	Test Conditions/Comments
ADC SPECIFICATIONS			
Resolution	12	Bits	Rx SLEEP = 0 V, Tx SLEEP = V_{DD}
Signal Input Span	$\pm V_{REF}/2$	Volts	Biased on V_{REF} (2.5 V)
Sampling Rate	13	MSPS	
Output Word Rate	270.8	kHz	RATE 0
	541.7	kHz	RATE 1
Accuracy			
Integral	±1	LSB typ	
Differential[2]	0		
Bias Offset Error	±6.5	LSB max	After External Calibration; MZERO Low
	±8	LSB typ	After Internal Calibration; MZERO High
Input Resistance (DC)	300	kΩ typ	
Input Capacitance	10	pF typ	
Dynamic Specifications			Input Frequency = 67.7 kHz
Dynamic Range	64	dB typ	
Signal to (Noise+Distortion)	62	dB min	
Gain Error	±0.5	dB max	Input Frequency = 67.7 kHz, w.r.t. 2.5 V
Gain Match Between Channels	±0.15	dB max	Input Frequency = 67.7 kHz
Filter Settling Time	47	µs typ	
Frequency Response			
0 kHz–100 kHz	±0.05	dB max	
110 kHz	–0.8	dB max	
122 kHz	–3.0	dB max	
200 kHz	–66	dB max	
400 kHz–6.5 MHz	–72	dB max	
Absolute Group Delay	23	µs typ	
Group Delay Between Channels (0 kHz–120 kHz)	5	ns typ	
Coding	Twos Complement		
Power-Down Option	Yes		Rx SLEEP = V_{DD}, Independent of Transmit
TRANSMIT DAC SPECIFICATIONS			
Resolution	10	Bits	Rx SLEEP = V_{DD}, Tx SLEEP = 0 V
Number of Channels	2		
Update Rate	4.33	MSPS	16× Oversampling of the Bit Rate
DC Accuracy			
Integral	±0.7	LSB typ	
Differential	±1.0	LSB typ	
Output Signal Span	$\pm V_{REF}/2$	Volts	Centered on V_{REF} Nominal (100 kΩ/20 pF Load)
Output Signal Full-Scale Accuracy	±1	dB max	w.r.t. 2.5 V
Offset Error	±25	mV max	10 0000 0000 Loaded to DAC
I Tx & Q Tx Gain Matching	±0.15	dB max	
Absolute Group Delay	10	µs typ	Measured at 67.7 kHz
Group Delay Linearity (0 kHz–120 kHz)	30	ns typ	Each Channel, 10 kHz < F_{OUT} < 100 kHz
Phase Matching Between Channels	0.5	° typ	Generating 67.7 kHz Sine Waves
GMSK Spectrum Mask[3]			
100 kHz	–3	dB min	
200 kHz	–32	dB min	
250 kHz	–35	dB min	
400 kHz	–63	dB min	
0.6 MHz	–71	dB min	
4.3 MHz	–63	dB min	
6.5 MHz	–63	dB min	
GMSK Phase Trajectory Error[3]	2	° rms max	
	6	° peak max	
Maximum Phase Effect Instance[3]	9	µs typ	
Output Impedance			
I Tx	120	Ω typ	
Q Tx	120	Ω typ	
GMSK ROM	Yes		Contains GMSK Coding, Four-Bit Impulse Response
Power-Down Option	Yes		Tx SLEEP = V_{DD}, Independent of Receive

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Parameter	AD7002A			Units	Test Conditions/Comments
AUXILIARY DAC SPECIFICATIONS	AUX1	AUX2	AUX3		
Resolution	9	10	8	Bits	
DC Accuracy					
Integral	±2	±2	±1	LSB max	
Differential	±1	±1	±1	LSB max	Guaranteed Monotonic
Offset Error	±2	±4	±1	LSB max	
Gain Error	±4	±4	±2	LSB max	
LSB Size	4.88	2.44	9.77	mV typ	
Output Signal Span	0 to V_{REF}	0 to V_{REF}	0 to V_{REF}	Volts	Unloaded Output
Output Impedance	10	10	10	kΩ max	AUX DACs Have Unbuffered Resistive Outputs
	8	8	8	kΩ typ	
Coding	Binary	Binary	Binary		
Power-Down	Yes	Yes	Yes		Power-Down Is Implemented by Loading All 1s or All 0s
REFERENCE SPECIFICATIONS					
REFOUT, Reference Output	2.4/2.6			V min/V max	R_L = 100 kΩ, C_L = 1 nF
REFOUT, Reference Output @ +25°C	2.5			V typ	R_L = 100 kΩ, C_L = 1 nF
Reference Temperature Coefficient	100			ppm/°C typ	
Reference Variation[4]	±10			mV max	
Output Impedance	60			Ω typ	
LOGIC INPUTS					
V_{INH}, Input High Voltage	V_{DD} – 0 9			V min	
V_{INL}, Input Low Voltage	0.9			V max	
I_{INH}, Input Current	10			μA max	
C_{IN}, Input Capacitance	10			pF max	
LOGIC OUTPUTS					
V_{OH}, Output High Voltage	4.0			V min	$\|I_{OUT}\| \leq 200$ μA
V_{OL}, Output Low Voltage	0.4			V max	$\|I_{OUT}\| \leq 1.6$ mA
POWER SUPPLIES					
AV_{DD}	4.5/5.5			V min/V max	
DV_{DD}	4.5/5.5			V min/V max	
I_{DD}					
All Sections Active	30			mA max	
ADC and Auxiliary Paths Active[5]	18			mA max	Tx SLEEP = V_{DD}
	15			mA typ	
Transmit DAC and AUX Paths Active[6]	14			mA max	Rx SLEEP$_1$ = Rx SLEEP$_2$ = V_{DD}
	11			mA typ	
Auxiliary Path only Active[5, 6, 7]	2			mA max	Tx SLEEP = Rx SLEEP$_1$ = Rx SLEEP$_2$ = V_{DD}

NOTES

[1]Operating temperature range: A Version: –40°C to +85°C.

[2]Unmeasurable: sigma-delta conversion is inherently free of differential nonlinearities.

[3]See terminology.

[4]Change in reference voltage due to a change in Tx SLEEP or Rx SLEEP modes.

[5]Measured while the digital inputs to the transmit interface are static.

[6]Measured while the digital inputs to the receive interface are static.

[7]Measured while the digital inputs to the auxiliary interface are static.

Specifications subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS[1]

(T_A = +25°C unless otherwise noted)

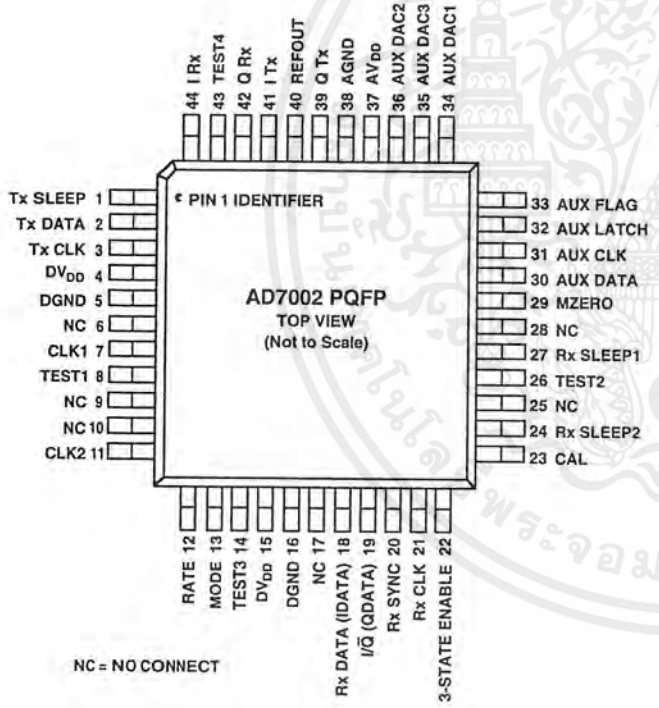
DV_{DD} to AGND ..... –0.3 V to +7 V
AV_{DD} to AGND ..... –0.3 V to +7 V
AGND to DGND ..... –0.3 V to +0.3 V
Digital Input Voltage to DGND .... –0.3 V to DV_{DD} + 0.3 V
Anaiog Input Voltage to AGND .... –0.3 V to AV_{DD} + 0.3 V
Input Current to Any Pin Except Supplies[2] ..... ±10 mA
Operating Temperature Range
Industrial Plastic (A Version) ..... –40°C to +85°C
Storage Temperature Range ..... –65°C to +150°C
Lead Temperature (Soldering, 10 secs) ..... +300°C
Power Dissipation (Any Package) to +75°C ..... 450 mW
Derates Above +75°C by ..... 10 mW/°C

NOTES

[1]Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at those or any other conditions above those listed in the operational sections of this specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

[2]Transient currents of up to 100 mA will not cause SCR latch-up.

PIN DESCRIPTION



ORDERING GUIDE

Model	Temperature Range	Package Description	Package Option
AD7002AS	–40°C to +85°C	Plastic Quad Flatpack	S-44

TERMINOLOGY

Absolute Group Delay
Absolute group delay is the rate of change of phase versus frequency, dθ/df. It is expressed in microseconds.

Bias Offset Error
This is the offset error (in LSBs) in the ADC section.

Differential Nonlinearity
This is the difference between the measured and the ideal 1 LSB change between any two adjacent codes in the DAC or ADC.

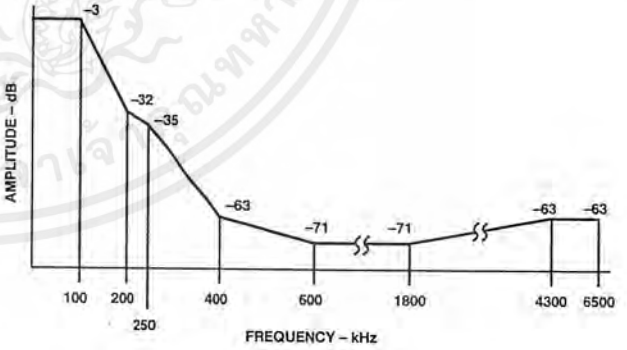
Dynamic Range
Dynamic Range is the ratio of the maximum output signal to the smallest output signal the converter can produce (1 LSB), expressed logarithmically, in decibels (dB = $20\log_{10}$ (ratio)). For an N-bit converter, the ratio is theoretically very nearly equal to 2^N (in dB, $20N\log_{10}(2) = 6.02N$). However, this theoretical value is degraded by converter noise and inaccuracies in the LSB weight.

Full-Scale Accuracy
This is the measure of the ADC full-scale error after the offset has been adjusted out.

Gain Error
This is a measure of the output error between an ideal DAC and the actual device output with all ls loaded after offset error has been adjusted out and is expressed in LSBs. In the AD7002, gain error is specified for the auxiliary section.

Gain Matching Between Channels
This is the gain matching between the ITx and QTx channel and is expressed in dBs.

GMSK Spectrum Mask
This is the combined output spectrum of the I and Q analog outputs when transmitting a random sequence of data bits on the AD7002 transmit channel.



AD7002 Transmit GMSK Spectrum Mask

CAUTION

ESD (electrostatic discharge) sensitive device. Electrostatic charges as high as 4000 V readily accumulate on the human body and test equipment and can discharge without detection. Although the AD7002 features proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

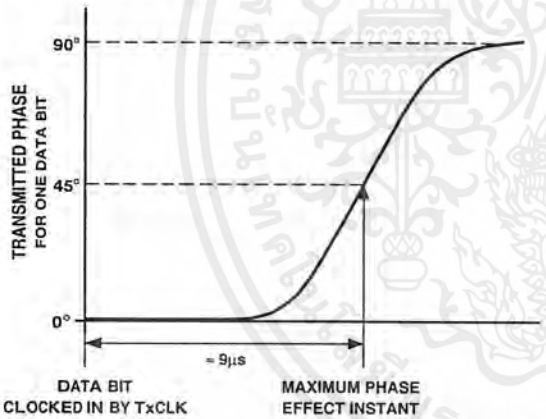
GMSK Phase Trajectory Error
This is a measure of the phase error between the transmitted phase of an ideal GMSK modulator and the actual phase transmitted by the AD7002, when transmitting a random sequence of data bits. It is specified as a peak phase error and also as an rms phase error.

Group Delay Linearity
The group delay linearity, or differential group delay, is the group delay over the full band relative to the group delay at one particular frequency. The reference frequency for the AD7002 is 1 kHz.

Group Delay Between Channels
This is the difference between the group delay of the I and Q channels and is a measure of the phase matching characteristics of the two.

Integral Nonlinearity
This is the maximum deviation from a straight line passing through the endpoints of the DAC or ADC transfer function.

Maximum Phase Effect Instance
This is the time at which a transmitted data bit will have its maximum phase change at the ITx and QTx outputs (see figure). This time includes the delay in the GMSK modulator and in the Analog low-pass filters. Maximum phase effect instance is measured from the Tx CLK falling edge, which latches the data bit, to the ITx and QTx analog outputs.



Transmit Channel Maximum Phase Effect Instance

Output Rate
This is the rate at which data words are made available at the Rx DATA pin (Mode 0) or the IDATA and QDATA pins (Mode 1). There are two rates, depending on whether the device is operated in RATE0 or RATE1.

Offset Error
This is the amount of offset, w.r.t. V_{REF} in the transmit DACs and the auxiliary DACs and is expressed in mVs for the Transmit section and in LSBs for the Auxiliary section.

Output Impedance
This is a measure of the drive capability of the auxiliary DAC outputs and is expressed in kΩs.

Output Signal Span
This is the output signal range for the Transmit Channel section and the Auxiliary DAC section. For the transmit channel the span is ±1.25 volts centered on 2.5 volts, and for the Auxiliary DAC section it is 0 to $+V_{REF}$.

Output Signal Full-Scale Accuracy
This is the accuracy of the full-scale output (all 1s loaded to the DACs) on each transmit channel measured w.r.t. 25 V and is expressed in dBs.

Phase Matching Between Channels
This is a measure of the phase matching characteristics of the I and Q transmit channels. It is obtained by transmitting all ones and then measuring the difference between the actual phase shift between the I and Q outputs and the ideal phase shift of 90°.

Sampling Rate
This is the rate at which the modulators on the receive channels sample the analog input.

Settling Time
This is the digital filter settling time in the AD7002 receive section. On initial power-up, or after returning from the sleep mode, it is necessary to wait this amount of time to obtain useful data.

Signal Input Span
The input signal range for the I and Q channels is biased about V_{REF}. It can go ±1.25 volts about this point.

Signal to (Noise + Distortion) Ratio
This is the measured ratio of signal-to-(noise + distortion) at the output of the receive channel. The signal is the rms amplitude of the fundamental. Noise is the rms sum of all amplitude of the fundamental. Noise is the rms sum of all nonfundamental signals up to half the sampling frequency ($f_S/2$), excluding dc. The ratio is dependent upon the number of quantization levels in the digitization process; the more levels, the smaller the quantization noise. The theoretical signal-to-(noise+distortion) ratio for a sine wave is given by:

Signal to (Noise + Distortion) = (6.02N + 1.76) dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INPUT CLOCK TIMING[1] (AV_{DD} = +5 V ± 10%; DV_{DD} = +5 V ± 10%; AGND = DGND = 0 V; $T_A = T_{MIN}$ to T_{MAX}, unless otherwise noted)

Parameter	Limit at T_A = –40°C to +85°C	Units	Description
t_1	76	ns min	CLK1, CLK2, AUX CLK Cycle Time
t_2	30	ns min	CLK1, CLK2, AUX CLK High Time
t_3	30	ns min	CLK1, CLK2, AUX CLK Low Time

TRANSMIT SECTION TIMING (AV_{DD} = +5 V ± 10%; DV_{DD} = +5 V ± 10%; AGND = DGND = 0 V, $f_{CLK1} = f_{CLK2}$ = 13 MHz; $T_A = T_{MIN}$ to T_{MAX}, unless otherwise noted)

Parameter	Limit at T_A = –40°C to +85°C	Units	Description
t_4	10	ns min	Tx SLEEP Hold Time
t_5	20	ns min	Tx SLEEP Setup Time
t_6	24 t_1	ns min	Tx CLK Active After CLK1 Rising Edge Following
	24 t_1 + 80	ns max	Tx SLEEP Low
t_7	48 t_1	ns	Tx CLK Cycle Time
t_8	24 t_1	ns	Tx CLK High Time
t_9	24 t_1	ns	Tx CLK Low Time
t_{10}	0	ns min	Propagation Delay from CLK1 to Tx CLK
	100	ns max	
	30	ns max	
t_{11}	30	ns max	Data Setup Time
t_{12}	10	ns min	Data Hold Time
t_{13}	0	ns min	Tx CLK to Tx SLEEP Asserted for Last Tx CLK Cycle[2]
	23 t_1	ns max	
t_{14}	10	ns typ	Digital Output Rise Time[3]
t_{15}	10	ns typ	Digital Output Fall Time[3]

AUXILIARY DAC TIMING (AV_{DD} = +5 V ± 10%; DV_{DD} = +5 V ± 10%; AGND = DGND = 0 V, $f_{AUX\ CLK}$ = 13 MHz; $T_A = T_{MIN}$ to T_{MAX}, unless otherwise noted)

Parameter	Limit at T_A = –40°C to +85°C	Units	Description
t_{16}	10	ns min	AUX DATA Setup Time
t_{17}	10	ns min	AUX DATA Hold Time
t_{18}	25	ns min	AUX LATCH to SCLK Falling Edge Setup Time
t_{19}	20	ns min	AUX LATCH to SCLK Falling Edge Hold Time
t_{20}	50	ns max	AUX LATCH High to AUX FLAG Valid Delay
t_{21}	10	ns typ	Digital Output Rise Time
t_{22}	10	ns typ	Digital Output Fall Time

NOTES
[1]Sample tested at +25°C to ensure compliance. All input signals are specified with tr = tf = 5 ns (10% to 90% of 5 V) and timed from a voltage level of 1.6 V.
[2]t_{13} specifies a window, that Tx SLEEP should be asserted for the current Tx CLK to be the last prior to entering SLEEP mode.
[3]Digital output rise and fall times specify the time required for the output to go between 10% and 90% of 5 V.

Specifications subject to change without notice.

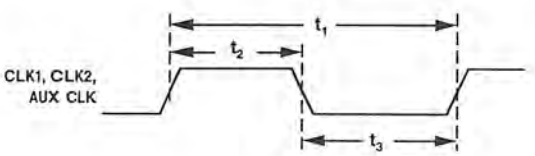


Figure 1. Clock Timing

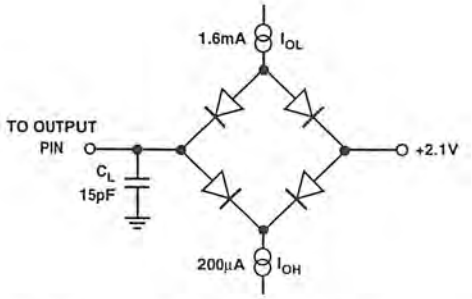


Figure 2. Load Circuit for Timing Specifications

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECEIVE SECTION TIMING[1] (AV_{DD} = +5 V ± 10%; DV_{DD} = +5 V ± 10%; AGND = DGND = 0 V, $f_{CLK1} = f_{CLK2}$ = 13 MHz; $T_A = T_{MIN}$ to T_{MAX}, unless otherwise noted)

Parameter	Limit at T_A = –40°C to +85°C	Units	Description
t_{23}	0	ns min	Rx SLEEP Hold Time After CLK1, CLK2 High
t_{24}	25	ns min	Rx SLEEP Setup Time Before CLK1, CLK2 High
t_{25}	0	ns min	Rx SYNC to Rx SLEEP Asserted[2]
	39 t_1	ns max	RATE 0
	15 t_1	ns max	RATE 1
t_{26}			Rx CLK Active After CLK1 Rising Edge Following Falling Edge of Rx SLEEP
	32 t_1 + t_2	ns	MODE 0
	31 t_1 + t_2	ns	MODE 1
t_{27}			Rx CLK Cycle Time[3]
	t_1	ns	MODE 0
	2 t_1	ns	MODE 1
t_{28}			Rx CLK High Pulse Width
	25	ns min	MODE 0
	90	ns min	MODE 1
t_{29}			Rx CLK Low Pulse Width
	25	ns min	MODE 0
	30	ns min	MODE 1
t_{30}	10	ns min	Propagation Delay from CLK1, CLK2 High to Rx CLK High
	30	ns max	
t_{31}	20	ns min	Rx SYNC Valid Prior to Rx CLK Falling
t_{32}			Rx SYNC High Pulse Width
	t_1	ns	MODE 0
	2 t_1	ns	MODE 1
t_{33}			Rx SYNC Cycle Time[3]
	24 t_1	ns	MODE 0 RATE 0
	12 t_1	ns	MODE 0 RATE 1
	48 t_1	ns	MODE 1 RATE 0
	24 t_1	ns	MODE 1 RATE 1
t_{34}			Rx DATA Valid After Rx CLK Rising Edge
	5	ns max	MODE 0
	t_1 + 5	ns max	MODE 1
t_{35}	5	ns max	MODE 0 only, Propagation Delay from Rx CLK Rising Edge to I/$\overline{Q}$
t_{36}	10	ns typ	Digital Output Rise Time[4]
t_{37}	10	ns typ	Digital Output Fall Time[4]

CALIBRATION AND CONTROL TIMING (AV_{DD} = +5 V ± 10%; DV_{DD} = +5 V ± 10%; AGND = DGND = 0 V, $f_{AUX\ CLK}$ = 13 MHz; $T_A = T_{MIN}$ to T_{MAX}, unless otherwise noted)

Parameter	Limit at T_A = –40°C to +85°C	Units	Description
t_{38}	25	ns min	SLEEP to CAL Setup Time
t_{39}	608 t_1	ns min	CAL Pulse Width
t_{40}	25	ns min	RATE, MODE or THREE-STATE ENABLE Setup Time

NOTES

[1]Sample tested at +25°C to ensure compliance. All input signals are specified with tr = tf = 5 ns (10% to 90% of 5 V) and timed from a voltage level of 1.6 V.

[2]t_{25} specifies a window, after Rx SYNC which marks the beginning of I data, that Rx SLEEP should be asserted for the subsequent IQ data pair to be last prior to entering SLEEP mode.

[3]See Figure 2 for test circuit.

[4]Digital output rise and fall times specify the time required for the output to go between 10% and 90% of 5 V.

Specifications subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT DESCRIPTION

TRANSMIT SECTION

The transmit section of the AD7002 generates GMSK I and Q waveforms in accordance with GSM recommendation 5.04. This is accomplished by a digital GMSK modulator, followed by 10-bit DACs for the I and Q channels and on-chip reconstruction filters. The GMSK (Gaussian Minimum Shift Keying) digital modulator generates I and Q signals, at 16× oversampling, in response to the transmit data stream. The I and Q data streams drive 10-bit DACs, which are filtered by on-chip Bessel low-pass filters.

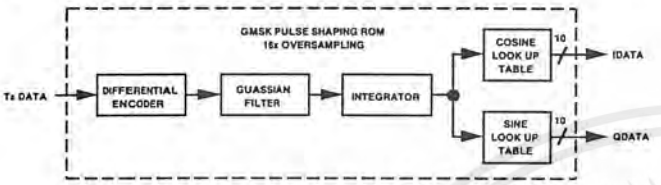


Figure 3. GMSK Functional Block Diagram

Table I. Truth Table for the Differential Encoder

$Tx\ DATA_i$	$Tx\ DATA_{i-1}$	Differentially Encoded Data
0	0	+1
0	1	−1
1	0	−1
1	1	+1

GMSK Modulator

Figure 3 shows the functional block diagram of the GMSK modulator. This is implemented using control logic with a ROM look up table, to generate I and Q data samples at 16 times the transmit data rate. The transmit data (Tx DATA) is first differentially encoded as specified by GSM 5.04 section 2.3 (Table I). The GMSK modulator generates 10-bit I and Q waveforms (Inphase and Quadrature), in response to the encoded data, which are loaded into the 10-bit I and Q transmit DACs. The Gaussian filter, in the GMSK modulator, has an impulse response truncated to four data bits.

When the transmit section is brought out of sleep mode (Tx SLEEP low), the modulator is reset to a transmitting all 1s state. When Tx SLEEP is asserted (Tx SLEEP high), the transmit section powers down, with the I Tx and Q Tx outputs connected to V_{REF} through a nominal impedance of 80 kΩ.

Reconstruction Filters

The reconstruction filters smooth the DAC output signals, providing continuous time I and Q waveforms at the output pins. These are Bessel low-pass filters with a cutoff frequency of approximately 300 kHz. Figure 5 shows a typical transmit filter frequency response, while Figure 6 shows a typical plot of group delay versus frequency. The filters are designed to have a linear phase response in the passband and due to the reconstruction filters being on-chip, the phase mismatch between the I and Q transmit channels is kept to a minimum.

Transmit Section Digital Interface

Figure 4 shows the timing diagram for the transmit interface. Tx SLEEP is sampled on the falling edge of CLK1. When Tx SLEEP is brought low, Tx CLK becomes active after 24 master clock cycles. Tx CLK can be used to clock out the transmit data from the ASIC or DSP on the rising edge and Tx DATA is clocked into the AD7002 on the falling edge of Tx CLK. When Tx SLEEP is asserted the transmit section is immediately put into sleep mode, disabling Tx CLK and powering down the transmit section.

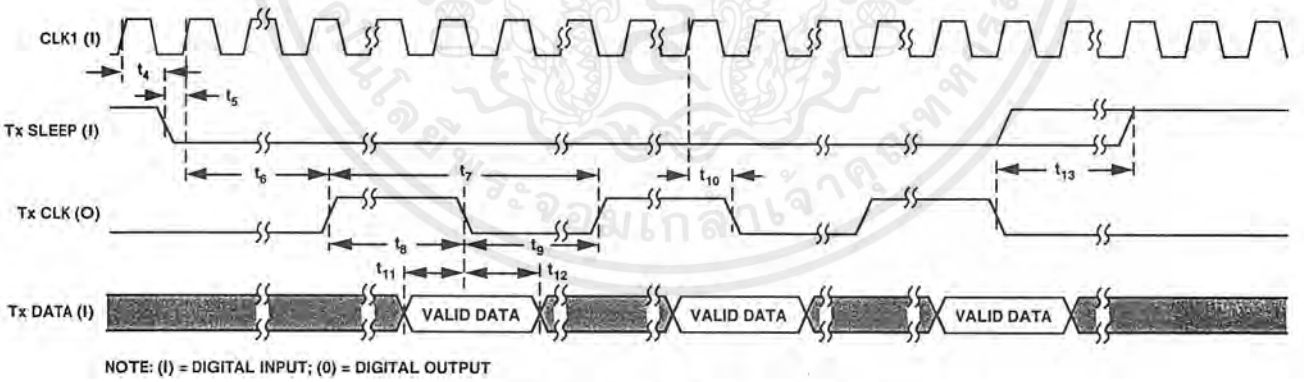


Figure 4. Transmit Section Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

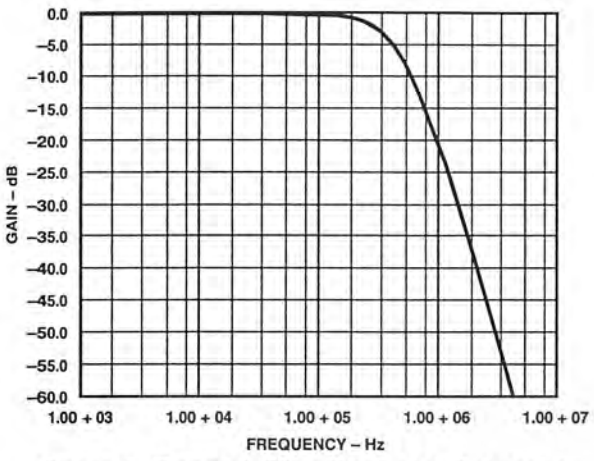


Figure 5. Transmit Filter Frequency Response

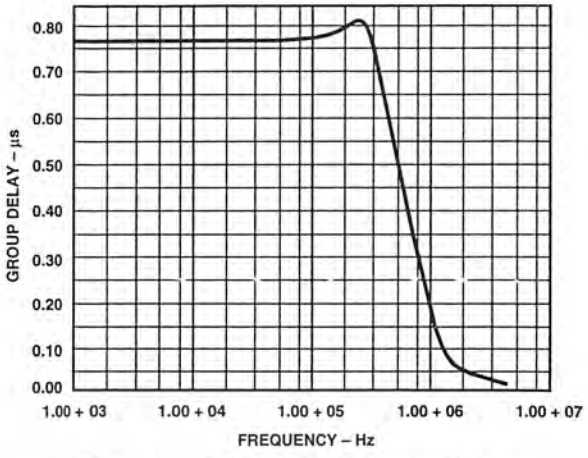


Figure 6. Transmit Filter Group Delay

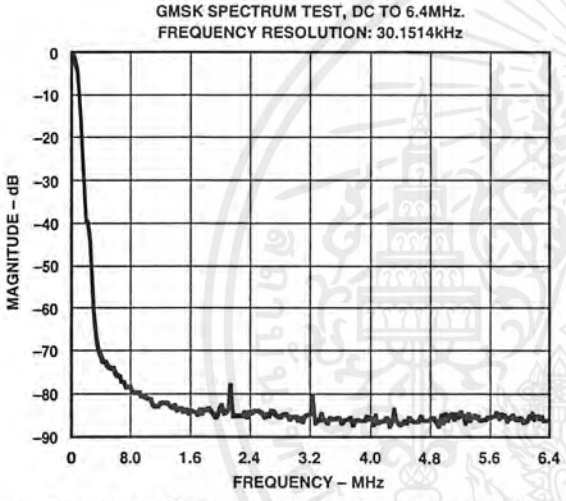


Figure 7. Typical Spectrum Plot of the Transmit Channel When Transmitting Random Data (0 MHz to 6.4 MHz)

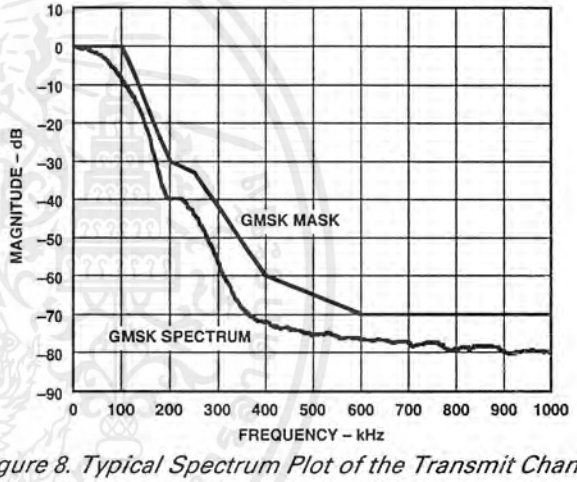


Figure 8. Typical Spectrum Plot of the Transmit Channel When Transmitting Random Data (0 MHz to 1 MHz)

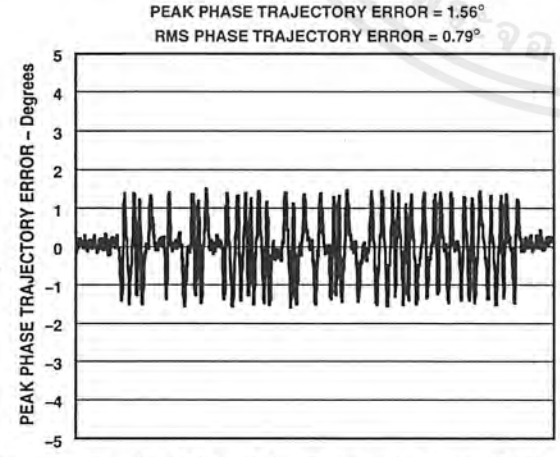


Figure 9. Typical Plot of the Transmit Phase Trajectory Error

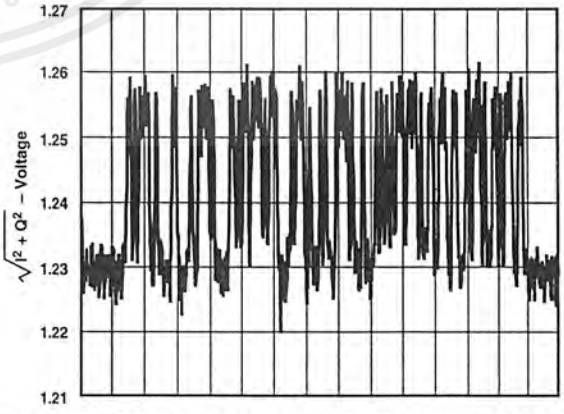


Figure 10. Typical Plot of the Composite Vector Magnitud

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECEIVE SECTION

The receive section consists of I and Q receive channels, each comprised of a simple switched capacitor filter followed by a 12-bit sigma-delta ADC. The data is available on a flexible serial interface, interfacing easily to most DSPs. The data can be configured to be one of two formats and is also available at two sampling rates. Onboard digital filters, which form part of the sigma-delta ADCs, also perform critical system level filtering. Their amplitude and phase response characteristics provide excellent adjacent channel rejection. The receive section is also provided with a low power sleep mode to place the receive section on standby between receive bursts, drawing only minimal current.

Switched Capacitor Input

The receive section analog front end is sampled at 13 MHz by a switched capacitor filter. The filter has a zero at 6.5 MHz as shown in Figure 11a. The receive channel also contains a digital low-pass filter (further details are contained in the following section) that operates at a clock frequency of 6.5 MHz. Due to the sampling nature of the digital filter, the pass band is repeated about the operating clock frequency and at multiples of the clock frequency (Figure 11b). Because the first null of the switched capacitor filter coincides with the first image of the digital filter, this image is attenuated by an additional 30 dBs (Figure 11c), further simplifying the external antialiasing requirements.

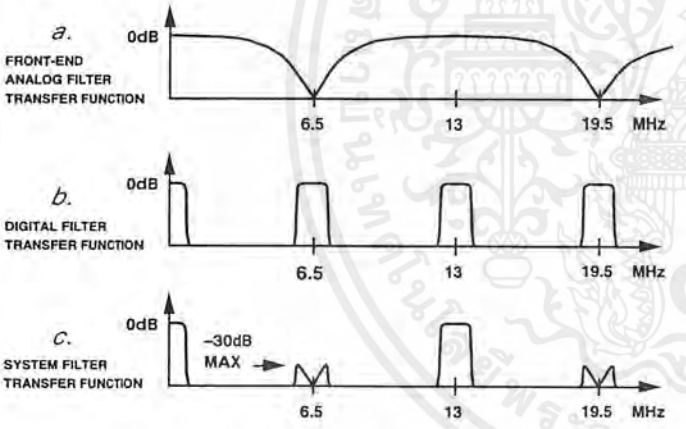


Figure 11. Switched Capacitor Input

SIGMA-DELTA ADC

The AD7002 receive channels employ a sigma-delta conversion technique that provides a high resolution 12-bit output for both I and Q channels, with system filtering being implemented on-chip.

The output of the switched capacitor filter is continuously sampled at 6.5 MHz (master clock/2) by a charge balanced modulator, and is converted into a digital pulse train whose duty cycle contains the digital information. Due to the high oversampling rate, which spreads the quantization noise from 0 MHz to 3.25 MHz ($F_S/2$), the noise energy contained in the band of interest is reduced (Figure 12a). To reduce the quantization still further, a high order modulator is employed to shape the noise spectrum, so that most of the noise energy is shifted out of the band of interest (Figure 12b).

The digital filter that follows the modulator removes the large out-of-band quantization noise (Figure 12c), while converting the digital pulse train into parallel 12-bit-wide binary data. The 12-bit I and Q data is made available, via a serial interface, in a variety of formats.

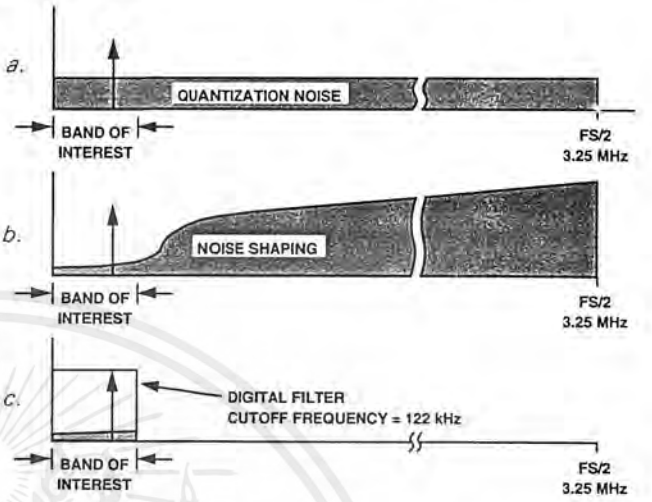


Figure 12. Sigma-Delta ADC

DIGITAL FILTER

The digital filters used in the AD7002 receive section carry out two important functions. First, they remove the out-of-band quantization noise that is shaped by the analog modulator. Second, they are also designed to perform system level filtering, providing excellent rejection of the neighboring channels.

Digital filtering has certain advantages over analog filtering. First, since digital filtering occurs after the A/D conversion process, it can remove noise injected during the conversion process. Analog filtering cannot do this. Second, the digital filter combines low passband ripple with a steep rolloff, while also maintaining a linear phase response. This is very difficult to achieve with analog filters.

Analog filtering can, however, remove noise superimposed on the analog signal before it reaches the ADC. Digital filtering cannot do this and noise peaks riding on signals near full scale have the potential to saturate the analog modulator, even though the average value of the signal is within limits. To alleviate this problem, the AD7002 has overrange headroom built into the sigma-delta modulator and digital filter which allows overrange excursions of 100 mV.

Filter Characteristics

The digital filter is a 288-tap FIR filter, clocked at half the master clock frequency. The frequency response is shown in Figure 14. The 3 dB point is at 122 kHz.

Due to the low pass nature of the receive filters, there is a settling time associated with step input functions. Output data will not be meaningful until all the digital filter taps have been loaded with data samples taken after the step change. Hence the AD7002 digital filters have a settling time of 44.7 µs ($288 \times 2\ t_I$).

When coming out of sleep, the digital filter taps are reset. Hence data, initially generated by the digital filters, will not be correct. Not until all 288 taps have been loaded with meaningful data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

from the analog modulator, will the output data be correct. The analog modulator, on coming out of sleep, will generate meaningful data after 21 master clock cycles.

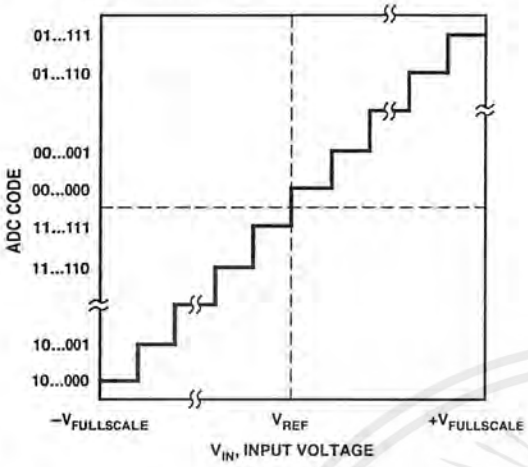


Figure 13. ADC Transfer Function for I and Q Receive Channels

Calibration

Included in the digital filter is a means by which receive signal offsets may be calibrated out. Calibration can be effected through the use of the CAL and MZERO pins.

Each channel of the digital low-pass filter section has an offset register. The offset register can be made to contain a value representing the dc offset of the preceding analog circuitry. In normal operation, the value stored in the offset register is subtracted from the filter output data before the data appears on the serial output pin. By so doing, the dc offset is cancelled.

In each channel the offset register is cleared (twos complement zero) when CAL is high and becomes loaded with the first digital filter result after CAL falls. This result will be a measure of the channel dc offset if the analog channel is switched to zero prior to CAL falling. Time must be provided for the analog circuitry and the digital filter to settle after the analog circuitry is switched to zero and before CAL falls. The offset register will then be loaded with the proper representation of the dc offset.

CAL must be high for more than 608 master clock cycles (CLK1, CLK2). If the analog channels are switched to zero coincident with CAL rising, this time is also sufficient to satisfy the settling time of the analog sigma-delta modulators and the digital filters. CAL may be held high for an unlimited time if convenient or necessary. Only the digital result following the fall of CAL will be loaded into each offset register. After CAL falls, normal operation resumes immediately.

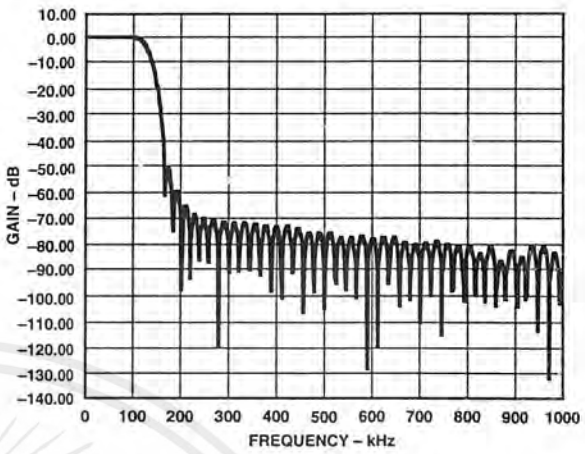


Figure 14. Digital Filter Frequency Response

The offset registers are static and retain their contents even during sleep mode (Rx $SLEEP_1$ and Rx $SLEEP_2$ high). They need only be updated if drifts in the analog dc offsets are experienced or expected. However, on initial application of power to the digital supply pins the offset registers may contain grossly incorrect values and, therefore, calibration must be activated at least once after power is applied even if the facility of calibration is not regularly used.

Table II. Truth Table for the MODE and RATE Pins

MODE	RATE	Data Format		Output Word Rate
0	0	IQ Data	$I/\overline{Q}$	270.8 kHz
0	1	IQ Data	$I/\overline{Q}$	541.7 kHz
1	0	I Data	Q Data	270.8 kHz
1	1	I Data	Q Data	541.7 kHz

The MZERO pin can be used to zero the sigma-delta modulators if calibration of preceding analog circuitry is not required. Each analog modulator has an internal analog multiplexer controlled by MZERO. With MZERO low, the modulator inputs are connected to the I Rx and Q Rx pins for normal operation. With MZERO high, both modulator inputs are connected to the V_{REF} pin, which is analog ground for the modulators. If calibration of external analog circuitry is desired, MZERO should be kept low during the calibration cycle.

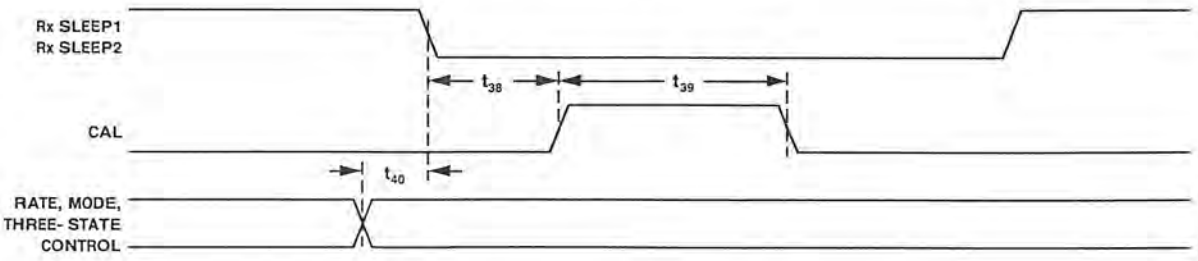


Figure 15. Calibration and Control Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The offset registers have enough resolution to hold the value of any dc offset between ±5 V. However, the performance of the sigma-delta modulators will degrade if full scale signals with more than 100 mV of offset are experienced. If large offsets are present, these can be calibrated out, but signal excursions from the offsets should be limited to keep the I Rx and Q Rx voltages within ±1.35 V of V_{REF}.

Receive Section Digital Interface

A flexible serial interface is provided for the AD7002 receive section. Four basic operating modes are available. Table II shows the truth table for the different serial modes available. The MODE pin determines whether the I and Q serial data is made available on two separate pins (MODE 1) or combined onto a single output pin (MODE 0). The RATE pin determines whether I and Q receive data is provided at 541.7 kHz (RATE 1) or at 270.8 kHz (RATE 0).

When the receive section is put into sleep mode, by bringing Rx $SLEEP_1$ and Rx $SLEEP_2$ high, the receive interface will complete the current IQ cycle before entering into a low power sleep mode.

MODE 0 RATE I Interface

The timing diagram for the MODE 0 RATE 1 receive interface is shown in Figure 16. It can be used to interface to DSP processors requiring only one serial port.

When using MODE 0, the serial data is made available on the Rx DATA pin, with the I/$\overline{Q}$ pin indicating whether the 12-bit word being clocked out is an I sample or a Q sample. Although the I data is clocked out before the Q data, internally both samples are processed together. RATE 1 selects an output word rate of 541.7 kHz, which is equal to the master clock (CLK1, CLK2) divided by 24.

When the receive section is brought out of sleep mode, by bringing Rx $SLEEP_1$ and Rx $SLEEP_2$ low, (after 32 master clock cycles) the Rx CLK output will continuously shift out I and Q data, always beginning with I data. Rx SYNC provides a framing signal used to indicate the beginning of an I or Q, 12-bit data word that is valid on the next falling edge of Rx CLK. On coming out of sleep, Rx SYNC goes high one clock cycle before the beginning of I data, and subsequently goes high in the same clock cycle as the last bit of each 12-bit word (both I and Q). Rx DATA is valid on the falling edge of Rx CLK and is clocked out MSB first, with the I/$\overline{Q}$ pin indicating whether Rx DATA is I data or Q data.

MODE 0 RATE 0 Interface

Figure 17 shows the receive timing diagram when MODE 0, RATE 0 is selected. Again I and Q data are shifted out on the Rx DATA pin, but here the output word rate is reduced to 270.8 kHz, this being equal to master clock (CLK1, CLK2) divided by 48.

Once the receive section is brought out of sleep mode, (after 56 master clock cycles) the Rx CLK output becomes active and generates an Rx SYNC framing pulse on the first Rx CLK. This is followed by 12 continuous clock cycles during which the I data is shifted out on the Rx DATA pin. Following this the Rx CLK remains high for 11 master clock cycles before clocking out the Q data in exactly the same manner.

Rx DATA is valid on the falling edge of Rx CLK with the I/$\overline{Q}$ pin indicating whether Rx DATA is I data or Q data.

MODE 1 RATE I Interface

Figure 18 shows the timing for MODE 1 RATE 1 receive digital interface. MODE 1 RATE 1 gives an output word rate of 541.7 kHz, but I and Q data are transferred on separate pins. I data is shifted out on Rx DATA (IDATA) pin and Q data is shifted out on the I/$\overline{Q}$ (QDATA) pin. RATE 1 selects an output word rate of 541.7 kHz (this is equal to the master clock divided by 24).

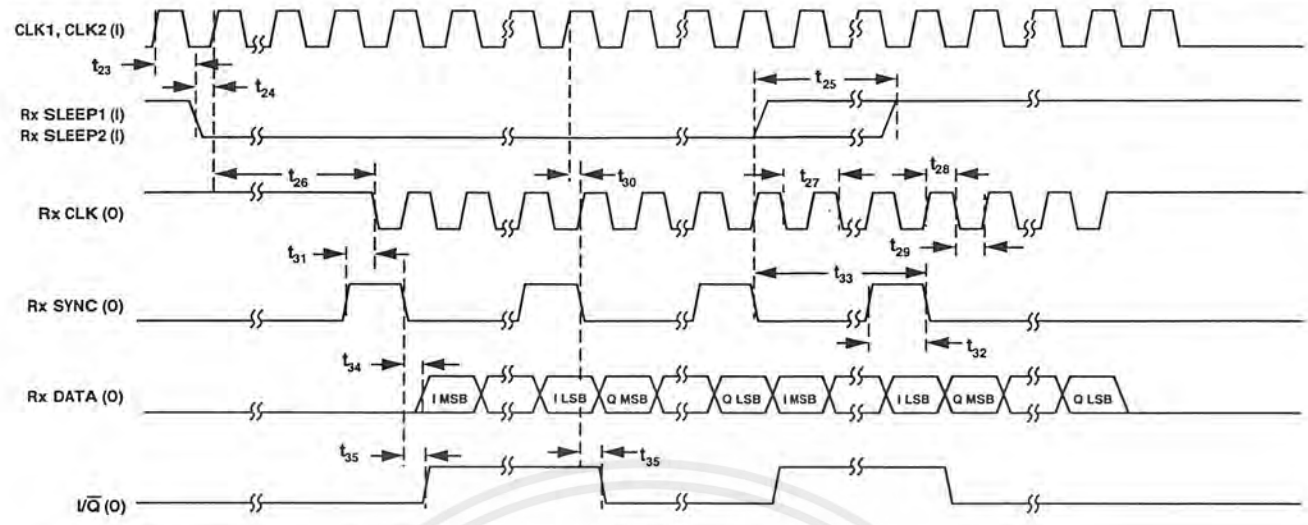
When the receive section is brought out of sleep mode, by bringing Rx $SLEEP_1$ and Rx $SLEEP_2$ low (after 32 master clock cycles), the Rx CLK output will continuously shift out I and Q data, on separate pins. Rx SYNC provides a framing signal used to indicate the beginning of an I or Q, 12-bit data word that is valid on the next falling edge of Rx CLK. On coming out of sleep, Rx SYNC goes high one clock cycle before the beginning of I data, and subsequently goes high in the same clock cycle as the I and Q LSBs. It takes 24 Rx CLKs (excluding the first framing pulse) to complete a single IQ cycle. IDATA and QDATA are valid on the falling edge of Rx CLK and are clocked out MSB first.

MODE I RATE 0 Interface

Figure 19 shows the receive timing diagram when MODE 1 RATE 0 is selected. MODE 1 RATE 0, again I and Q data are transferred on separate pins. I data is shifted out on Rx DATA (IDATA) pin and Q data is shifted out on the I/$\overline{Q}$ (QDATA) pin. The output word rate is reduced to 270.8 kHz, this equal to master clock (CLK1, CLK2) divided by 48.

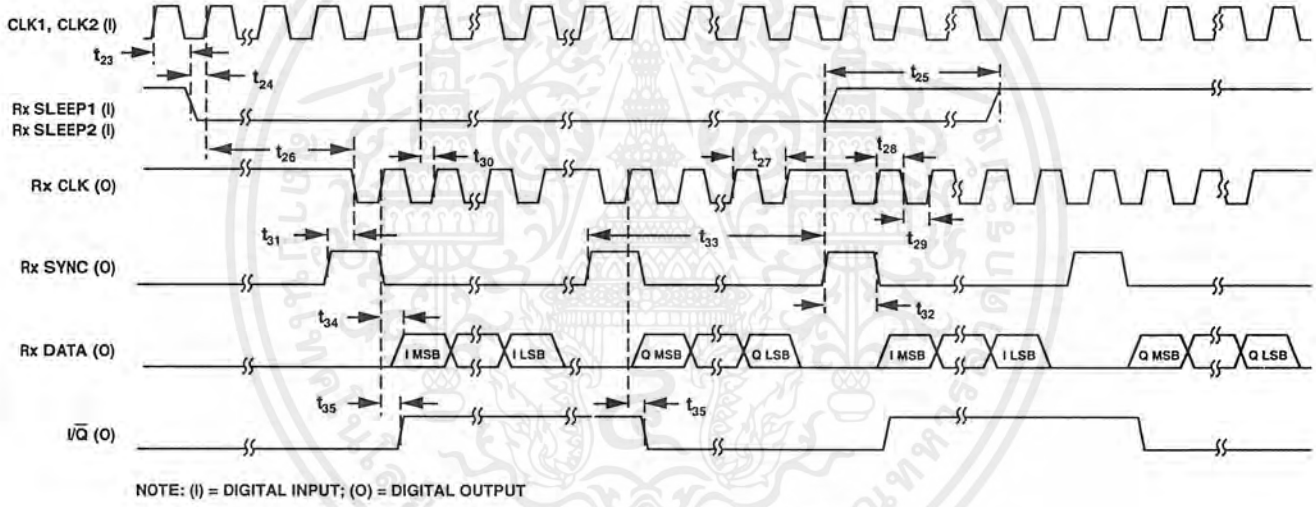
Once the receive section is brought out of sleep mode, and after 56 master clock cycles, the Rx CLK output becomes active and generates an Rx SYNC framing pulse on the first Rx CLK. This is followed by 12 continuous clock cycles during which both the I and Q data is shifted out on IDATA and QDATA pins. Following this the Rx CLK remains high for 22 master clock cycles before clocking out the next IQ data pair.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



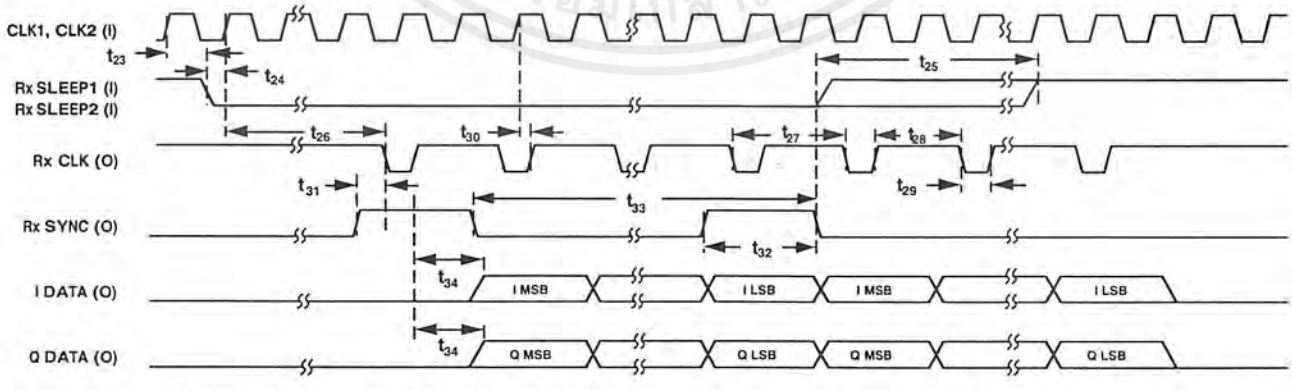
NOTE: (I) = DIGITAL INPUT; (O) = DIGITAL OUTPUT

Figure 16. MODE 0 RATE 1 Receive Timing



NOTE: (I) = DIGITAL INPUT; (O) = DIGITAL OUTPUT

Figure 17. MODE 0 RATE 0 Receive Timing



NOTE: (I) = DIGITAL INPUT; (O) = DIGITAL OUTPUT

Figure 18. MODE 1 RATE 1 Receive Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

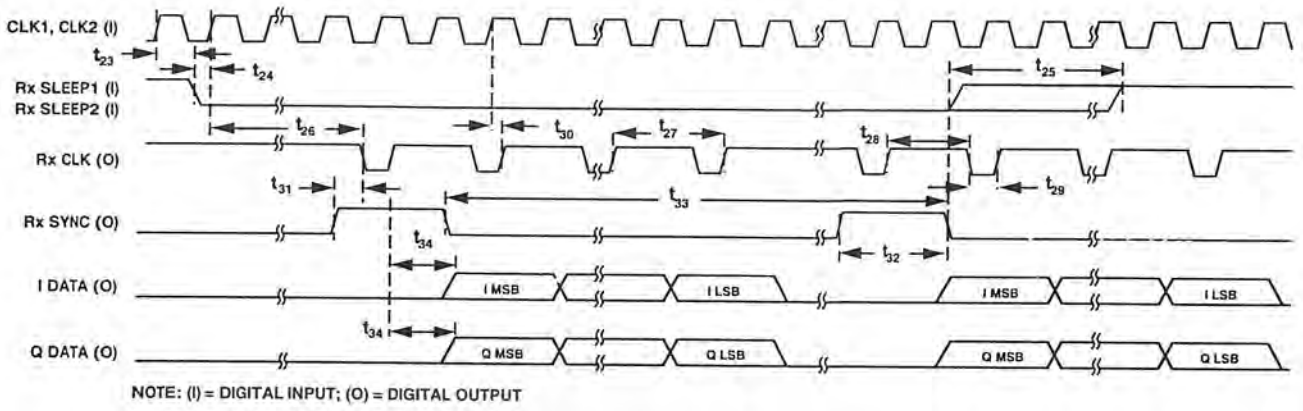


Figure 19. MODE 1 RATE 0 Receive Timing

AUXILIARY DACS

Three auxiliary DACs are provided for extra control functions such as automatic gain control, automatic frequency control or for ramping up/down the transmit power amplifiers during the beginning/end of a transmit burst. The three auxiliary DACs, AUX DAC1, AUX DAC2 and AUX DAC3, have resolutions of 9-, 10- and 8-bits, respectively. In addition to the three auxiliary DACs, the auxiliary section contains a digital output flag (AUX FLAG) with three-state control. Communication and sleep control of the auxiliary section is totally independent of either the transmit or receive sections.

The AD7002 AUX DACs are voltage mode DACs, consisting of R–2R ladder networks (Figure 20 shows AUX DAC1 architecture), constructed from highly stable thin-films resistors and high speed single pole, double throw switches. This design architecture leads to very low DAC current during normal operation. However, the AUX DACs have a high output impedance (typical 8 kΩ) and hence require external buffering. The AUX DACs have an output voltage range of 0 V to V_{REF} – 1 LSB. Each AUX DAC can be individually entered into low-power sleep mode, simply by loading all ones or all zeros to that particular AUX DAC. This does not affect the normal operation of AUX DACs, as either of these two codes (all 0s = 0 μA, all 1s = 50 μA typical) represent the operating points for lowest power consumption.

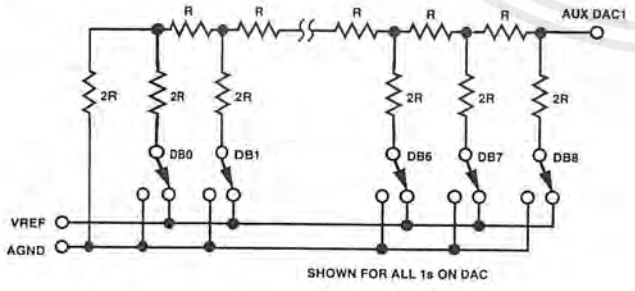


Figure 20. Auxiliary DAC Structure

The digital AUX FLAG output is available for any external logic control that may be required. For instance, the AUX FLAG could be used to control the Tx SLEEP pin, turning on the transmit section prior to ramping up (using one of AUX DACs) the RF amplifiers.

AUX DAC DIGITAL INTERFACE

Communication with the auxiliary section is accomplished via a three-pin serial interface, as the timing diagram in Figure 22 illustrates. While AUX LATCH is low, data is clocked into a 16-bit shift register via the AUX DATA and AUX CLK pins. AUX DATA is clocked on the falling edge of AUX CLK, MSB first. The 16-bit shift register is organized as a data field (DB0–DB9) and as a control field (DB10–DB15). The data field is 8-, 9- or 10-bits wide, depending on the AUX DAC being loaded. The control field indicates which AUX DACs are being loaded and also determines the state of the AUX FLAG pin. When the shift register has been loaded, AUX LATCH is brought high to update the selected AUX DACs and the AUX FLAG pin. The control bits are active high, and since a control bit has been assigned to each AUX DAC, this facilitates the simultaneous loading of more than one AUX DAC (with the same data). DB10, DB11 and DB12 selected AUX DAC3, AUX DAC1 and AUX DAC2 respectively, and DBlS determines the logic state of AUX FLAG while DB14 determines whether the three-state driver is enabled.

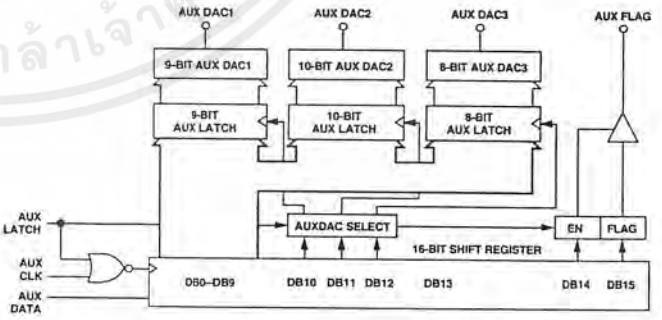


Figure 21. Auxiliary Section Serial Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VOLTAGE REFERENCE

The AD7002 contains an on-chip bandgap reference that provides a low noise, temperature compensated reference to the IQ transmit DACs and the IQ receive ADCs. The reference is also made available on the REFOUT pin and can be used to bias other analog circuitry in the IF section.

When both the transmit section and the receive section are in sleep mode (Tx SLEEP and Rx SLEEP asserted), the reference output buffer is also powered down by approximately 80% compatible crystal.

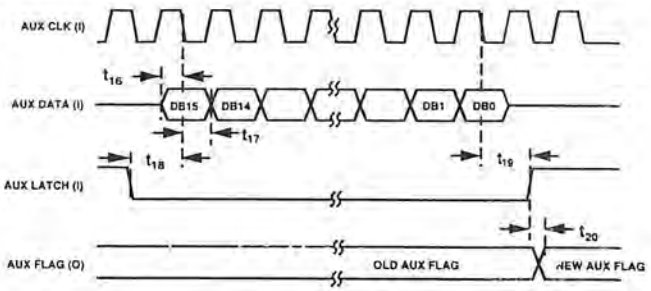


Figure 22. Auxiliary DAC Timing Diagram

PIN FUNCTION DESCRIPTIONS

PQFP Pin Number	Mnemonic	Function
POWER SUPPLY		
37	AV_{DD}	Positive power supply for analog section. This is +5 V ± 10%.
38	AGND	Analog ground.
4, 15	DV_{DD}	Positive power supply for digital section. This is +5 V ± 10%.
5, 16	DGND	Digital ground.
ANALOG SIGNAL AND REFERENCE		
41	I Tx	Analog output for the I (In-Phase) channel. This output comes from a 10-bit DAC and is filtered by a Bessel low pass filter. The 10-bit DAC is loaded with I data, which is generated by the GMSK modulator.
39	Q Tx	Analog output for the Q (Quadrature) channel. This output comes from a 10-bit DAC and is filtered by a Bessel low pass filter. The 10-bit DAC is loaded with Q data, which is generated by the GMSK modulator.
44	I Rx	Analog input for I receive channel.
42	Q Rx	Analog input for Q receive channel.
34	AUX DAC1	Analog output voltage from the 9-bit auxiliary DAC. This is a voltage mode DAC with a high output impedance and hence should be buffered if used to drive moderate impedance loads.
36	AUX DAC2	Analog output voltage from the 10-bit auxiliary DAC. This is a voltage mode DAC with a high output impedance and hence should be buffered if used to drive moderate impedance loads.
35	AUX DAC3	Analog output voltage from the 8-bit auxiliary DAC. This is a voltage mode DAC with a high output impedance and hence should be buffered if used to drive moderate impedance loads.
40	REFOUT	Reference output; this is 2.48 volts nominal.
TRANSMIT INTERFACE AND CONTROL		
7, 11	CLK1, CLK2	Master clock inputs for both the transmit and receive sections. CLK1 and CLK2 must be externally hardwired together and driven from a 13 MHz TTL compatible crystal.
3	Tx CLK	Clock output from the AD7002 which can be used to clock in the data for the transmit section.
2	Tx DATA	Data input for the transmit section, data is clocked on the falling edge of Tx CLK.
1	Tx SLEEP	Sleep control input for transmit section. When it is high, the transmit section goes into standby mode and draws minimal current.
RECEIVE INTERFACE AND CONTROL		
13	MODE	Digital control input. When High (MODE 1), the I and Q outputs are on separate pins (QDATA and IDATA). When Low (MODE 0), I and Q are on the same pin (Rx DATA).
12	RATE	Digital control input. This determines whether the receive section interface operates at a word rate of 541.7 kHz or at a word rate of 270.8 kHz. When High (RATE 1), the output word rate is 541.7 kHz. When Low (RATE 0), the output word rate is 270.8 kHz.
18	Rx DATA (IDATA)	This is a dual function digital output. When the device is operating in MODE 0, the Rx DATA (both I and Q) is available at this pin. When the device is operating in MODE 1, only IDATA is available at this pin.

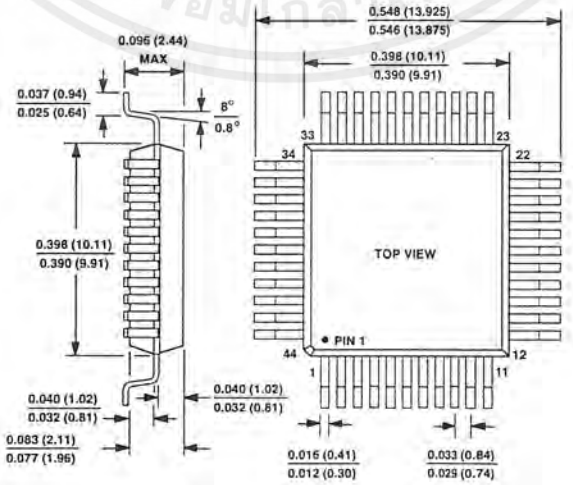
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PQFP Pin Number	Mnemonic	Function
19	I/$\overline{Q}$ (QDATA)	This is a dual function digital output. When the device is operating in MODE 0, it indicates whether IDATA or QDATA is present on Rx DATA pin. In MODE 1, QDATA is available at this pin.
20	Rx SYNC	Synchronization output for framing I and Q data at the receive interface.
21	Rx CLK	Output clock for the receive section interface.
22	THREE-STATE CONTROL	This digital input controls the output three-state drivers on the receive section interface. When it is High, the outputs are enabled. When Low, they are in high impedance.
23	CAL	Calibration control pin for digital filter section. When brought high, for a minimum of 608 master clock cycles, the receive section enters a calibration cycle. Where I and Q offset registers are updated, when the CAL pin is brought low again, with offset values which are subtracted out from subsequent ADC conversions. CAL should remain Low during normal operation.
29	MZERO	Digital control input. When high the analog modulator input is internally grounded (i.e., tied to V_{REF}). MZERO, in conjunction with CAL, allows on-chip offsets to be calibrated out. Low for normal operation.
27, 24	Rx $SLEEP_1$, Rx $SLEEP_2$	Power-down control inputs for receive section. When high, the receive section goes into standby mode and draws minimal current. Rx $SLEEP_1$ and Rx $SLEEP_2$ must be externally hardwired together for normal device operation.
AUXILIARY INTERFACE AND CONTROL		
32	AUX LATCH	Synchronization input for the auxiliary DACs' shift register and AUX OUT.
31	AUX CLK	Clock input for the auxiliary DACs' 16-bit shift register. AUX DATA is latched on the falling edge of AUX CLK while AUX LATCH is low.
30	AUX DATA	Data input for the AUX DACs and the AUX FLAG serial interface.
33	AUX FLAG	Digital output flag, this can be used as a digital control output and is controlled from the auxiliary serial interface.
TEST		
8, 26	Test l, Test 2	Test pins for factory use only. These pins should be left unconnected and not used as routes for other circuit signals.
14, 43	Test 3, Test 4	Test pins. These must be tied to ground for normal device operation.

OUTLINE DIMENSIONS

Dimensions shown in inches and (mm).

Plastic Quad Flatpack Package (S-44)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ดร.ประสิทธิ์ ประพิณมงคลการ , หลักการระบบสื่อสาร , บ.ซีเอ็ดยูเคชั่น จำกัด (มหาชน) , กรุงเทพฯ , 2540

2. สุชาติ กังวารจิตต์ , หลักการทำงานเครื่องรับส่งวิทยุและระบบสื่อสารวิทยุ , บ. ซีเอ็ดยูเคชั่น จำกัด (มหาชน),กรุงเทพฯ,2541

3. Sedra/Smith, Microelectronics Circuits , Oxford University Press , New York , 1998

4. D. Roy Choudhury/shail Jain , Linear Integrated Circuits , Wiley Eastern Limited , India , 1994

5. Chris Bowick , RF Circuit Design , Howard W . Sams&Company , USA , 1990

6. Peter Vizmuller , RF Design Guide , Artech House Publishers , 1995

7. M.E.Van Valkenburg , Analog Filter Design , CBS College Publishing , 1982

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณ ดร.ทองทด วานิชศรี อาจารย์ที่ปรึกษาโครงงานที่ให้คำปรึกษาในด้านต่าง ๆ , อาจารย์ภาควิชาโทรคมนาคมที่ให้การประสิทธิประสาทความรู้ในด้านโทรคมนาคม , รุ่นพี่ปริญญาโทภายในห้องโปรเจคที่คอยช่วยเหลือในยามมีปัญหา ขอขอบคุณทุกท่านเป็นอย่างยิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้