สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การมัลติเพลกซ์สัญญาณส่งผ่านเส้นใยแสง

OPTICAL FIBER TIME DIVISION MULTIPLEXER

โดย

นางสาวปัทมา พุ่มชูศักดิ์

นางสาวอัญชลี วรชิยานนท์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน.....37106
วัน, เดือน, ปี.....- 4 ก.ย. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การมัลติเพลกซ์สัญญาณส่งผ่านเส้นใยแสง

OPTICAL FIBER TIME DIVISION MULTIPLEXER

โดย

นางสาวปัทมา พุ่มชูศักดิ์ 39014319

นางสาวอัญชลี วรชิยานนท์ 39014666

อาจารย์ที่ปรึกษา

รศ.ดร.ปราโมทย์ วาดเขียน

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2542

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **การมัลติเพลกซ์สัญญาณส่งผ่านเส้นใยแสง**

Optical Fiber Time Division Multiplexer

ผู้จัดทำ

1. นางสาวปัทมา พุ่มชูศักดิ์ 39014319
2. นางสาวอัญชลี วรชิยานนท์ 39014666

.....ปราโมทย์.....อาจารย์ที่ปรึกษา

(รศ.ดร. ปราโมทย์ วาดเขียน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การมัลติเพลกซ์สัญญาณส่งผ่านเส้นใยแสง

Optical Fiber Time Division Multiplexer

โดย นางสาวปัทมา พุ่มชูศักดิ์ 39014319
นางสาวอัญชลี วรชิยานนท์ 39014666

อาจารย์ที่ปรึกษา รศ.ดร. ปราโมทย์ วาดเขียน

บทคัดย่อ

โครงงานนี้เป็นการศึกษาและสร้างตัวมัลติเพลกซ์สัญญาณทางเวลา 32 ช่องสัญญาณ ส่งผ่านเส้นใยแสง ซึ่งประกอบด้วยภาคส่งและภาครับ โดยภาคส่งประกอบด้วย ส่วนแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (A/D Converter) , ส่วนมัลติเพลกซ์สัญญาณแบบทีดีเอ็ม(Time Division Multiplexer) ,ส่วนเข้ารหัสสัญญาณแมนเชสเตอร์ (Manchester Encoder) และส่วนขับสัญญาณแสง(Fiber Optic Transmitter) จากนั้นจึงส่งสัญญาณแสงผ่านเส้นใยแสงไปยังภาครับ โดยภาครับจะประกอบด้วย ส่วนรับสัญญาณแสง (Fiber Optic Receiver) ,ส่วนขยายสัญญาณ (Amplifier) ,ส่วนถอดรหัสสัญญาณแมนเชสเตอร์ (Manchester Decoder) , ส่วนดีมัลติเพลกซ์สัญญาณแบบทีดีเอ็มเอ็ม (Time Division Demultiplexer) และส่วนแปลงสัญญาณดิจิตอลเป็นอนาลอก (D/A converter) แล้วสัญญาณอนาลอกที่ได้จะถูกส่งไปยังปลายทางที่ต้องการต่อไป

ABSTRACT

This project includes a study or a fiber optic time division multiplexer with 32 channels , and the construction of this multiplexer .The multiplexer consist of a transmitting part and a receiving part . The transmitting part includes an analog-to-digital converter , a time division multiplexer, a manchester encoder, and a fiber optic transmitter. This part sends signals through the optical medium to the receiving part which comprises a fiber optic receiver , an amplifier , a manchester decoder ,a time division demultiplexer , and a digital-to-analog converter. The output analog signal will then be sent to the destination that requests for it.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	
2.1 การสื่อสารเชิงแสง	2
2.2 ระบบสื่อสารเส้นใยแสง	3
2.3 หลักการสื่อสาร	4
2.4 ประวัติความเป็นมาของเส้นใยแสง	5
2.5 โครงสร้างของเส้นใยแสง	5
2.6 แหล่งกำเนิดแสง	6
2.7 อุปกรณ์รับแสง	11
2.8 ระบบพัลส์โค้ดมอดูเลชัน (Pulse Code Modulation)	13
2.9 การมัลติเพลกซ์เชิงเวลา (Time Divition Multiplex)	16
2.10 ระบบพีซีเอ็ม และการมัลติเพลกซ์เชิงเวลา	19
2.11 ระบบดิจิตอลสวิตชิง	19
2.12 การเข้ารหัส	22
บทที่ 3 การดำนวนและการสร้าง	
3.1 บล็อกไดอะแกรมแสดงการมัลติเพลกซ์สัญญาณส่งผ่านเส้นใยแสง	23
3.2 โคเดค (Codec)	23
3.3 กระบวนการมัลติเพลกซ์	25
3.4 ไมโครคอนโทรลเลอร์ (Microcontroller)	27
3.5 ดิจิตอลสวิตชิง (Digital Switching)	29
3.6 วงจรเข้ารหัสแมนเชสเตอร์ (Manchester Encoder)	35
3.7 วงจรขับสัญญาณแสง (Fiber Optic transmitter)	35
3.8 เส้นใยแสง (Optic Fiber)	37
3.9 วงจรรับสัญญาณแสง (Fiber Optic receiver)	37
3.10 วงจรถอดรหัสแมนเชสเตอร์ (Manchester Decoder)	37
3.11 วงจรกู้สัญญาณนาฬิกา (Clock Recovery)	39
3.12 วงจรเฟสล็อกลูป (Phase – Locked Loop)	41
บทที่ 4 การทดลองและผลการทดลอง	
4.1 การทดสอบวงจรสร้างสัญญาณนาฬิกา	42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดสอบวงจรดิจิตอลสวิตชิง 45
4.3 การทดสอบวงจรเข้ารหัสแมนเชสเตอร์ 47
4.4 การทดสอบวงจรขับสัญญาณแสง 48
4.5 การทดสอบวงจรกู้สัญญาณนาฬิกา 49
4.6 การทดสอบวงจรถอดรหัสแมนเชสเตอร์ 49
4.7 การทดสอบวงจรเฟสล็อกลูป 51
4.8 วงจรสร้างสัญญาณนาฬิกา 51

บทที่ 5 บทวิจารณ์และบทสรุป 55

ภาคผนวก

กิตติกรรมประกาศ

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 แสดงระบบการสื่อสารเส้นใยแสง	2
รูปที่ 2.2 แสดงการผสมสัญญาณและการส่ง	3
รูปที่ 2.3 แสดงส่วนประกอบของเส้นใยแสง	5
รูปที่ 2.4 แสดงลักษณะรอยต่อของอุปกรณ์สารกึ่งตัวนำชนิด LED	6
รูปที่ 2.5 แสดงกราฟความสัมพันธ์ระหว่างกำลังของแสงกับกระแส	7
รูปที่ 2.6 แสดงผังของระบบ Nd : YAG เลเซอร์	8
รูปที่ 2.7 แสดงเลเซอร์ไดโอดชนิด AlGaAs	9
รูปที่ 2.8 แสดงความสัมพันธ์ระหว่างกำลังของไดโอดเลเซอร์กับกระแสไบอัส	10
รูปที่ 2.9 แสดงความสัมพันธ์ระหว่างกระแสและแรงดันไปข้างหน้าของเลเซอร์ไดโอด	10
รูปที่ 2.10 แสดงความสัมพันธ์ระหว่างกำลังของเลเซอร์กับอุณหภูมิ	11
รูปที่ 2.11 แสดงการสุ่มตัวอย่าง	13
รูปที่ 2.12 แสดงตัวอย่างการควอนไทซ์สัญญาณ	14
รูปที่ 2.13 แสดงระบบพีซีเอ็ม	14
รูปที่ 2.14 แสดงการสุ่มตัวอย่างตามธรรมชาติ	16
รูปที่ 2.15 แสดงการจัดเฟรมของการมัลติเพลกซ์เชิงเวลา	17
รูปที่ 2.16 แสดงวงจรมัลติเพลกซ์เชิงเวลาอย่างง่าย	18
รูปที่ 2.17 แสดงการมัลติเพลกซ์เชิงเวลาในระบบพีซีเอ็ม	19
รูปที่ 2.18 แสดงการจัดการแลกเปลี่ยนช่องเวลา	20
รูปที่ 2.19 แสดงโครงสร้างพื้นฐานของไทม์สวิตช์	21
รูปที่ 2..20แสดงเทคนิคการเข้ารหัสทางดิจิตอล	22
รูปที่ 3.1 แสดงบล็อกไดอะแกรมของภาคส่งและภาครับสัญญาณผ่านเส้นใยแสง	23
รูปที่ 3.2 แสดงวงจรสร้างสัญญาณนาฬิกาและซิงโครนัส	26
รูปที่ 3.3 แสดงวงจรสร้างสัญญาณชาแนลซิงโครนัส	27
รูปที่ 3.4 แสดงวงจรไมโครคอนโทรลเลอร์	28
รูปที่ 3.5 แสดงโครงสร้างภายใน MT8982	29
รูปที่ 3.6 แสดงสัญญาณพัลส์ในซีเรียลไมโครพอร์ต	30
รูปที่ 3.7 แสดงวงจรดิจิตอลสวิตชิงและโคเดค	31
รูปที่ 3.8 แสดงวงจรเข้ารหัสแมนเชสเตอร์	35
รูปที่ 3.9 แสดงวงจรขับสัญญาณแสง	36
รูปที่ 3.10 แสดงวงจรรับสัญญาณแสง	37
รูปที่ 3.11 แสดงวงจรถอดรหัสแมนเชสเตอร์	38
รูปที่ 3.12 แสดงไทม์มิ่งไดอะแกรมของวงจรถอดรหัสแมนเชสเตอร์	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.13 แสดงวงจรกู้สัญญาณนาฬิกา 39
รูปที่ 3.14 แสดงไทม์มิ่งไดอะแกรมของวงจรกู้สัญญาณนาฬิกา 40
รูปที่ 3.15 แสดงวงจรเฟสล็อกลูป 41
รูปที่ 4.1 แสดงสัญญาณนาฬิกา 8 เมกะเฮิรตซ์ เปรียบเทียบกับ สัญญาณนาฬิกา 4 เมกะเฮิรตซ์ 42
รูปที่ 4.2 แสดงสัญญาณนาฬิกา 4 เมกะเฮิรตซ์ เปรียบเทียบกับ สัญญาณนาฬิกา 2 เมกะเฮิรตซ์ 43
รูปที่ 4.3 แสดงสัญญาณเฟรมซิงค์ เปรียบเทียบกับ สัญญาณนาฬิกา 2 เมกะเฮิรตซ์ 43
รูปที่ 4.4 แสดงสัญญาณเฟรมซิงค์ เปรียบเทียบกับ สัญญาณนาฬิกา 4 เมกะเฮิรตซ์ 44
รูปที่ 4.5 แสดงสัญญาณชาแนลซิงค์ที่ 0 เปรียบเทียบกับ สัญญาณเฟรมซิงค์ 44
รูปที่ 4.6 แสดงสัญญาณชาแนลซิงค์ที่ 31 เปรียบเทียบกับ สัญญาณเฟรมซิงค์ 45
รูปที่ 4.7 แสดงสัญญาณชาแนลซิงค์ที่ 3 ของไอซี CD 22357เปรียบเทียบกับ
สัญญาณดิจิตอลที่ขาที่ 1 ของไอซี MT8982 เปรียบเทียบกับ 46
รูปที่ 4.8 แสดงสัญญาณชาแนลซิงค์ที่ 4 ของไอซี CD 22357 เปรียบเทียบกับ
สัญญาณดิจิตอลที่ขาที่ 3 ของไอซี MT8982 46
รูปที่ 4.9 แสดงสัญญาณนาฬิกาเปรียบเทียบกับสัญญาณคอมมานด์และดาต้าที่ขาไอซีMT 8982 47
รูปที่ 4.10 แสดงสัญญาณนาฬิกา 2 เมกะเฮิรตซ์เปรียบเทียบกับ
สัญญาณสตรีมเอาต์พุตที่ขา 3 ของไอซี MT 8982 47
รูปที่ 4.11 แสดงสัญญาณนาฬิกา 2 เมกะเฮิรตซ์เปรียบเทียบกับ
สัญญาณที่ถูกเข้ารหัสแมนเชสเตอร์แล้ว 48
รูปที่ 4.12 แสดงสัญญาณเอาต์พุตของวงจรขับสัญญาณแสงเปรียบเทียบกับ
สัญญาณเอาต์พุตของวงจรรับสัญญาณแสง 48
รูปที่ 4.13 แสดงสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ที่กู้ได้เปรียบเทียบกับ
สัญญาณนาฬิกา 2 เมกะเฮิรตซ์ที่ที่ส่งมาจากด้านรับ 49
รูปที่ 4.14 แสดงสัญญาณแมนเชสเตอร์ที่ถูกหน่วงเวลาเปรียบเทียบกับ
สัญญาณนาฬิกา 2 เมกะเฮิรตซ์ที่กู้มาได้ 50
รูปที่ 4.15 แสดงสัญญาณสตรีมเอาต์พุตที่ออกจากวงจรสวิตชิงด้านส่งเปรียบเทียบกับ
สัญญาณสตรีมเอาต์พุตทางด้านรับซึ่งได้จากการถอดรหัสแมนเชสเตอร์แล้ว 50
รูปที่ 4.16 แสดงสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ที่กู้มาได้เปรียบเทียบกับ
สัญญาณนาฬิกา 8 เมกะเฮิรตซ์ที่ได้จากวงจรเฟสล็อกลูป 51
รูปที่ 4.17 แสดงสัญญาณนาฬิกา 8 เมกะเฮิรตซ์เปรียบเทียบกับสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ 52
รูปที่ 4.18 แสดงสัญญาณชาแนลซิงค์ที่ 0 เปรียบเทียบกับสัญญาณเฟรมซิงค์ 52
รูปที่ 4.19 แสดงสัญญาณชาแนลซิงค์ที่ 31 เปรียบเทียบกับสัญญาณเฟรมซิงค์ 53
รูปที่ 4.20 แสดงสัญญาณข้อมูลดิจิตอลที่ถูกส่งมา เปรียบเทียบกับสัญญาณข้อมูลดิจิตอลที่รับได้ 53
รูปที่ 4.21 แสดงสัญญาณข้อมูลอนาลอกที่ส่งมาเปรียบเทียบกับสัญญาณข้อมูลอนาลอกที่รับได้ 54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2.1 แสดงลักษณะและคุณสมบัติของ LED 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ความเจริญก้าวหน้าทางเศรษฐกิจและการขยายตัวทางสังคมในปัจจุบันทำให้มีความต้องการในการแลกเปลี่ยนข่าวสารและข้อมูลเพิ่มขึ้นอย่างรวดเร็วและมากมาย โดยระบบสื่อสารที่มีความสามารถสูง ก็คือ ระบบสื่อสารที่สามารถส่งผ่านข่าวสารได้อย่างรวดเร็วและมีความถูกต้องสูง เพื่อเป็นการตอบสนองความต้องการนี้ จึงได้มีการพัฒนาระบบการสื่อสารด้วยเส้นใยแสง (Optical Fiber Communication) ขึ้นมา ซึ่งสามารถส่งข่าวสารและข้อมูลได้จำนวนมากในเวลาเดียวกัน โดยระบบสื่อสารด้วยเส้นใยแสงมีข้อดีต่างๆมากมาย เมื่อเทียบกับระบบสื่อสารด้วยสายเคเบิล (Metallic Cable) เช่น สามารถส่งสัญญาณที่มีความถี่สูงได้ดี มีการสูญเสียต่ำ มีแบนด์วิดท์กว้าง อุปกรณ์กำเนิดแสงและอุปกรณ์รับแสงมีเอาต์พุตและความไวสูง ทำให้เพิ่มระยะทางของอุปกรณ์ทวนสัญญาณของสายส่งได้มาก มีขนาดเล็ก และน้ำหนักเบา บำรุงรักษาง่าย นอกจากนี้ในระบบสื่อสารเส้นใยแสงยังสามารถทำการส่งสัญญาณแบบมัลติเพลกซ์เชิงเวลา (Time Divition Multiplex) ได้ โดยจะทำการส่งสัญญาณจำนวนมากหลายๆสัญญาณไปในสายส่งเพียงเส้นเดียวได้ด้วยวิธีแบ่งเวลากันส่ง ทำให้สายส่งมีความจุ(capacity)สูงและสามารถส่งได้ด้วยความเร็วถึง 480 ล้านตัวอักษรต่อวินาที ซึ่งจัดว่าเป็นความเร็วที่สูงมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 การสื่อสารเชิงแสง

แนวความคิดในการสื่อสารด้วยเส้นใยแสงเกิดขึ้นเมื่อ นักวิทยาศาสตร์พยายามที่จะค้นคว้าเกี่ยวกับการส่งผ่านแสงในชั้นบรรยากาศมาก่อนแต่ไม่ค่อยประสบความสำเร็จมากนัก เนื่องจาก จะถูกลดกำลัง หรือลดทอนในชั้นบรรยากาศอย่างมาก การส่งแสงผ่านชั้นบรรยากาศจึงถูกจำกัดเฉพาะการสื่อสารในระยะทางสั้น ๆ ต่อมาจึงหันความสนใจมาวิจัยการสื่อสารโดยการใช้เส้นใยแสง แต่ในระยะแรกเกิดปัญหา เนื่องจากสูญเสียมากถึงประมาณ 1000 เดซิเบล/กิโลเมตร ซึ่งไม่สามารถนำมาใช้กับการสื่อสารได้ ต่อมา นักวิทยาศาสตร์ได้ทำการวิจัยและพัฒนาจนอัตราการสูญเสียของเส้นใยแสงเหลือเพียง 0.2 เดซิเบล/กิโลเมตร ตัวอย่างเช่น แสงที่เดินทางในเส้นใยแสงที่ยาว 15 กิโลเมตร ปริมาณของแสงจึงจะลดลงเหลือครึ่งหนึ่ง ดังนั้นจึงสามารถนำแสงไปได้ไกลมาก จากการนำแสงเลเซอร์และเส้นใยแสงมาใช้ร่วมกัน จึงทำให้เกิดการส่งข่าวสารยุคใหม่ขึ้นเรียกว่า "การสื่อสารเส้นใยแสง"

ส่วนประกอบพื้นฐานของระบบการสื่อสารด้วยเส้นใยแสง ดังแสดงดังรูปที่ 2.1 ซึ่งจะประกอบด้วยอุปกรณ์ที่เปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณแสง (Electrical Optical Convert , E/O) ที่ทำงานโดยรับสัญญาณไฟฟ้ามาจากอุปกรณ์แหล่งกำเนิดแสง หรือ เลเซอร์ และส่งเข้าไปในเส้นใยแสง โดยความแรงของสัญญาณไฟฟ้าที่รับได้จากอุปกรณ์รับสัญญาณปลายทางจะถูกเปลี่ยนเป็นความเข้มแสงหรือระดับของสัญญาณ "1" และ "0" ด้วยวิธีหลังนี้สัญญาณไฟฟ้าจะเปลี่ยนเป็นแสงที่สว่างและมืด หรือเปิด-ปิด สัญญาณที่เดินทางในเส้นใยแสงนั้นกำลังจะอ่อนลงเมื่อเดินทางในระยะทางที่เพิ่มขึ้นพร้อมทั้งรูปคลื่นที่ขยายกว้างออกด้วย ดังนั้น เมื่อถึงอุปกรณ์เปลี่ยนแสงเป็นไฟฟ้า (O/E) ทางด้านรับรับสัญญาณแล้วก่อนที่แสงจะส่งไปก็จะถูกทวนสัญญาณและส่งต่อไปยังปลายทาง

รูปที่ 2.1 ผังแสดงระบบการสื่อสารเส้นใยแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

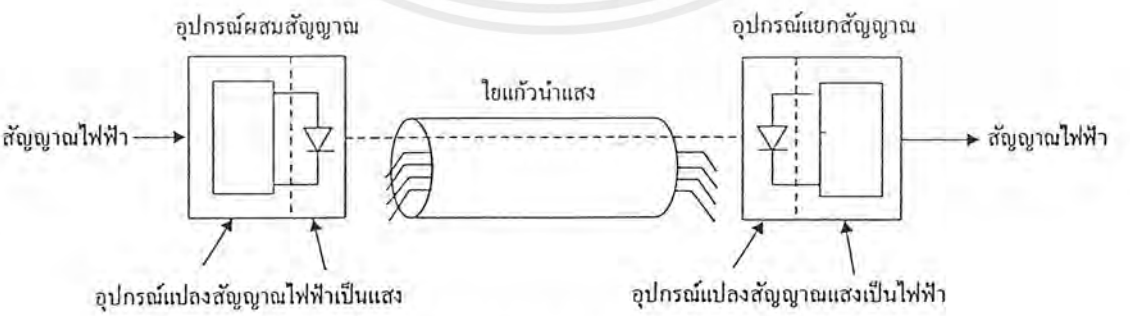
2.2 ระบบสื่อสารเส้นใยแสง

ระบบอุปกรณ์ที่ทำหน้าที่เปลี่ยนสัญญาณไฟฟ้าเป็นแสงนั้นทำได้ โดยใช้อุปกรณ์ทางแสง ได้แก่ แหล่งกำเนิดแสง (Light Source) ซึ่งปกติใช้อุปกรณ์สารกึ่งตัวนำชนิด ไดโอดเปล่งแสง (LED) หรือเลเซอร์ไดโอด (LD) ส่วนอุปกรณ์ที่เปลี่ยนแสงเป็นไฟฟ้านั้นทำได้โดยใช้ไดโอดแสง (Photodiode) หรือทรานซิสเตอร์แสง (Photo transis) นอกจากกรณีที่ระยะทางของสายส่งยาวมากอาจต้องมีการติดตั้งอุปกรณ์ทวนสัญญาณ (Repeater) ซึ่งจะทำหน้าที่เปลี่ยนสัญญาณแสงเป็นสัญญาณไฟฟ้า แล้วเปลี่ยนกลับเป็นสัญญาณแสงอีกครั้ง และส่งกลับไปในเส้นใยแสง

การผสมและการแยกสัญญาณ

การผสมสัญญาณ (Modulation) ของการสื่อสารนั้น หมายถึงการทำให้ความถี่ของการสั่นในการส่งเปลี่ยนแปลงไปตามสัญญาณข่าวสาร สำหรับการสื่อสารเส้นใยแสงนั้น ความถี่ (หรือความยาวคลื่น) ของแสงที่ปล่อยออกมาจากอุปกรณ์กำเนิดแสงมีค่าไม่คงที่ ดังนั้นความหมายของการผสมสัญญาณจึงแตกต่างจากการสื่อสารทางไฟฟ้า ถ้าหากสามารถทำให้แสงเป็นแสงอาพันธ์ (Coherence Light) ที่สมบูรณ์ นั่นคือมีความถี่คงที่ และสามารถเปลี่ยนความถี่แสงให้อยู่ในย่านความถี่ไมโครเวฟได้ ก็จะทำให้การสื่อสารเส้นใยแสงมีการผสมคลื่นชนิดต่าง ๆ เหมือนกับการสื่อสารทางไฟฟ้า ดังนั้นจึงกล่าวได้ว่าการผสมคลื่นแสงนั้นเป็นเพียงการผสมความเข้มแสง (Intensity Modulation) เท่านั้น (ดูรูปที่ 2.2 ประกอบ)

(ก) ระบบการผสมสัญญาณ



(ข) ผังแสดงการผสมสัญญาณ

รูปที่ 2.2 แสดงการผสมสัญญาณและการส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปกติสัญญาณแสงทางด้านรับของระบบสื่อสารนั้นสัญญาณจะอ่อนกำลังลง และบางครั้งอาจเกิดความผิดพลาดเนื่องจากการส่งผ่านไปในเส้นใยแสง เมื่ออุปกรณ์รับแสงทำการแปลงสัญญาณแสงให้ได้สัญญาณไฟฟ้าที่ออกมาเป็นรูปร่างของสัญญาณเดิมที่เป็นสัญญาณพื้นฐาน(Baseband) และเป็นไปตามรูปร่างของกรอบคลื่น (Envelope) ของสัญญาณที่เกิดจากการรวมกับคลื่นพาห์ของแสง สัญญาณนี้จะผ่านขั้นตอนทางไฟฟ้าเพื่อทำการขยายสัญญาณ และได้รับสัญญาณที่เครื่องรับปลายทางเหมือนกับต้นกำเนิดข่าวสารทุกประการ ในอนาคตถ้าสามารถทำให้แสงที่เป็นแสงอาพันธ์อย่างสมบูรณ์ก็จะสามารถใช้วิธีการผสมคลื่นที่ทำให้ความถี่ของต้นกำเนิดแสงเปลี่ยนแปลงตามสัญญาณนั้น คือ ใช้วิธีผสมคลื่นที่มีประสิทธิภาพดีได้ และทำนองเดียวกับทางด้านรับแสง ก็สามารถใช้การแยกสัญญาณที่เรียกว่าเทคนิคทางด้านความถี่ (Heterodyne Detection) เป็นส่วนการรับสัญญาณปลายทาง

การส่งสัญญาณแบบดิจิตอลและอนาลอก

การส่งสัญญาณโดยทั่วไปนั้นมีสองแบบ คือ การส่งสัญญาณแบบดิจิตอล (Digital) และอนาลอก(Analog) การสื่อสารด้วยแสงนั้นมีการส่งสัญญาณอยู่สองชนิดนี้เช่นกัน ซึ่งขึ้นอยู่กับสัญญาณไฟฟ้าที่มาผสมกับแสงว่าจะเป็นสัญญาณดิจิตอลหรือสัญญาณอนาลอกเท่านั้น การส่งสัญญาณแบบดิจิตอลทั่วไปนั้น ข้อมูลที่จะส่งไปนั้นจะต้องนำมาเปลี่ยนเป็นรหัส (Code) ที่เหมาะแก่การส่งก่อนแล้วจึงส่งออกไปเช่นเดียวกับการส่งสัญญาณแบบอนาลอก นั่นคือ ก่อนที่จะทำการเปลี่ยนแปลงสัญญาณอนาลอกให้เป็นสัญญาณแสงนั้น จะทำการผสมสัญญาณขั้นแรกกับแหล่งกำเนิดแสงก่อน ทั้งนี้ก็เพราะว่าแสงเอาต์พุตของอุปกรณ์กำเนิดแสงนั้นไม่เป็นสัดส่วนกับระดับสัญญาณไฟฟ้าอินพุตเสมอไป ซึ่งทำให้เกิดความยุ่งยากในการรักษาคุณสมบัติของการส่ง เพื่อแก้ปัญหาดังกล่าวจึงต้องทำการผสมสัญญาณเบื้องต้นก่อน การเลือกระบบการส่งสัญญาณทั้งสองชนิดนี้ ขึ้นอยู่กับวัตถุประสงค์ของการใช้งาน การเลือกการส่งแบบอนาลอกมักใช้กับการส่งสัญญาณภาพในข่ายสาย (Networks) หรือเคเบิลทีวี แต่ในอนาคตระบบการส่งแบบดิจิตอลที่มีคุณสมบัติดีกว่าจะเข้ามามีบทบาทในทุกๆด้าน

2.3 หลักการสื่อสาร

ระบบการสื่อสารด้วยเส้นใยแสงก็คล้ายกับการสื่อสารด้วยสายเคเบิลทั่วไป เพียงแต่ใช้ตัวกลางต่างกัน กล่าวคือเมื่อต้องการส่งสัญญาณอาจส่งในรูปของสัญญาณเสียง ภาพ หรือข้อมูลทางคอมพิวเตอร์ วงจรภาคส่งจะทำหน้าที่จัดรูปสัญญาณให้เหมาะสมด้วยวิธีการเข้ารหัส และมอดูเลตสัญญาณ โดยลักษณะของข้อมูลที่ใช้ในขั้นตอนนี้ส่วนใหญ่มักจัดให้อยู่ในรูปของสัญญาณดิจิตอลเพราะให้ผลลัพธ์ที่ดีกว่า จากนั้นในส่วนของวงจรที่เป็นแหล่งกำเนิดแสง หรือวงจรขับสัญญาณ (Driver Circuit) ก็จะแปลงสัญญาณทางไฟฟ้าที่ได้ให้เป็นสัญญาณแสงส่งไปยังภาครับ โดยมีเส้นใยแสงเป็นสายสัญญาณ ภาครับจะมีโฟโตทรานซิสเตอร์ (Photo transistor) ทำหน้าที่เปลี่ยนสัญญาณแสงที่รับได้ให้อยู่ในรูปของสัญญาณไฟฟ้า แล้วส่งไปยังวงจรถอดรหัสและดีมอดูเลตสัญญาณ ทำให้ได้สัญญาณที่มีลักษณะเดียวกับสัญญาณเดิม ที่สามารถนำไปใช้งานต่อไป ในเบื้องต้นนี้จะขออธิบายในส่วนหลักการเบื้องต้นของการมัลติเพลกซ์ การเข้ารหัสและการมอดูเลต ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ประวัติความเป็นมาของเส้นใยแสง

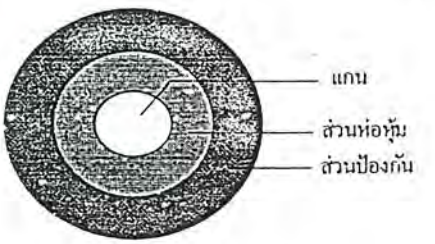
การใช้แสงเป็นสื่อกลางในการนำสัญญาณแล้วส่งไปในตัวกลางต่างๆนั้น ได้เริ่มขึ้นจากที่นักวิทยาศาสตร์ชาวอังกฤษชื่อ จอห์น ทินดัล (John Tyndall) ได้พบว่าแสงสามารถส่งผ่านไปตามลำน้ำได้ตั้งแต่ปี พ.ศ. 2413 จากจุดเริ่มต้นนี้ก็ได้มีความพยายามกันเป็นเวลานานที่จะทำให้ปรากฏการณ์นี้มีประโยชน์ในทางปฏิบัติได้ จนกระทั่งในปี พ.ศ. 2503 ก้าวสำคัญของการเปลี่ยนแปลงก็มาถึงเมื่อมีการทดลองใช้เลเซอร์เป็นครั้งแรก ต่อมาในปี พ.ศ. 2509 ก็มีนักวิทยาศาสตร์สองคนของสหราชอาณาจักรชื่อ ฮอคแคม (G.A. Hockham) และเกา (C.C. Kao) ได้ทำการศึกษาวิจัยว่าตัวกลางที่ทำด้วยเส้นใยแสงสามารถส่งผ่านแสงได้ 1% ของแสงอินพุต ด้วยระยะทาง 1 กิโลเมตร และตัวกลางนี้จะเป็นคู่แข่งสำคัญกับสายทองแดงหรือสายหุ้มฉนวน (Coaxcial Cable) จากนั้นด้วยความก้าวหน้าทางวัสดุศาสตร์เรื่อยมาจนปัจจุบันทำให้สามารถมีเส้นใยแสงที่มีการส่งผ่านแสงได้อย่างมีประสิทธิภาพ หรือมีการสูญเสียต่ำได้ เส้นใยแสงบางชนิดซึ่งอาจมีการสูญเสียต่ำมาก คือ มีการสูญเสียเพียง 0.1 เดซิเบลต่อกิโลเมตร (dB/km) เท่านั้น

2.5 โครงสร้างของเส้นใยแสง

ส่วนประกอบของเส้นใยแสง ประกอบด้วยส่วนสำคัญ คือ ส่วนที่เป็นแกนอยู่ตรงกลางหรือชั้นในแล้วหุ้มด้วยส่วนที่เป็นแคลด(Clad) แล้วถูกหุ้มด้วยส่วนป้องกัน (Coating) โดยที่แต่ละส่วนนั้นทำด้วยวัสดุที่มีค่าดัชนีหักเหของแสงที่มีค่าแตกต่างกัน ทั้งนี้ก็เพราะต้องคำนึงถึงหลักการหักเหและสะท้อนกลับหมดของแสง

แกน : เป็นส่วนตรงกลางของเส้นใยแสง และเป็นส่วนนำแสง ดังแสดงในรูปที่ 2.3 โดยดัชนีหักเหของแสงส่วนนี้ต้องมากกว่าส่วนของแคลด แล้วลำแสงที่ผ่านไปในแกนจะถูกขังหรือเคลื่อนที่ไปตามเส้นใยแสงด้วยขบวนการสะท้อนกลับหมดภายใน

ส่วนป้องกัน : เป็นชั้นที่ต่อจากแคลดเป็นที่กันแสงจากภายนอกเข้าเส้นใยแสง และกันแสงจากเส้นใยแสงออกข้างนอก และยังใช้ประโยชน์เมื่อมีการเชื่อมต่อเส้นใยแสง โครงสร้างอาจจะประกอบไปด้วยชั้นของพลาสติกหลายๆ ชั้น นอกจากนั้นส่วนป้องกันยังทำหน้าที่เป็นตัวป้องกันการกระทำจากแรงภายนอกอีกด้วย ตัวอย่างของค่าดัชนีหักเห เช่น แกนมีค่าดัชนีหักเหประมาณ 1.48 ส่วนของแคลดและส่วนป้องกัน ซึ่งทำหน้าที่ป้องกันแสงจากแกนออกภายนอก และป้องกันแสงภายนอกรบกวนจะมีค่าดัชนีหักเหเป็น 1.46 และ 1.52 ตามลำดับ



รูปที่ 2.3 แสดงส่วนประกอบของเส้นใยแสง

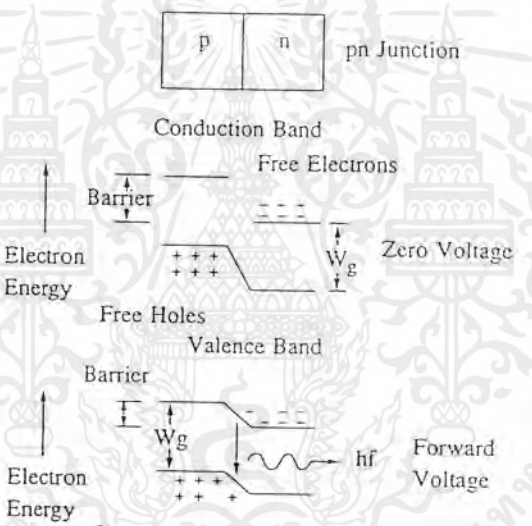
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 แหล่งกำเนิดแสง

แหล่งกำเนิดแสงที่นิยมใช้กันมากในระบบแสง และเส้นใยแก้วนำแสง ได้แก่ แหล่งกำเนิดแสงสารกึ่งตัวนำ เช่น เลเซอร์ไดโอด (Laser Diode) และไดโอดเปล่งแสง (Light Emitting Diode : LED) ด้วยคุณสมบัติทางแสงและขนาดที่เหมาะสมกับขนาดเส้นผ่านศูนย์กลางที่เล็กของเส้นใยแก้วนำแสง ที่มีความต้องการกำลังไฟฟ้าต่ำ

2.6.1 ไดโอดเปล่งแสง (Light Emitting Diode : LED)

ไดโอดเปล่งแสง เป็นสารกึ่งตัวนำแบบรอยต่อพีเอ็น ดังรูปที่ 2.4 แสดงรอยต่อสัญลักษณ์ทางไฟฟ้าและแถบพลังงานที่เกี่ยวกับไดโอด แถบพลังงานด้านบนจะเรียกว่า แถบนำ (Conduction Band) ในระดับของพลังงานด้านล่างเรียกว่าแถบวาเลนซ์ (Valence Band)



รูปที่ 2.4 แสดงลักษณะรอยต่อของอุปกรณ์สารกึ่งตัวนำชนิด LED

พิจารณาผลต่างของระดับพลังงานทั้งสองมีค่าเท่ากับ Wg ซึ่งก็คือช่องว่างแถบพลังงาน (Bandgap Energy) กล่าวคือ โฮลมีประจุบวก ซึ่งเกิดจากอิเล็กตรอนที่เป็นกลางปล่อยให้อะตอมประจุบวก อิเล็กตรอนอิสระจะสามารถรวมตัวกับโฮลแล้วกลับเป็นอะตอมที่มีสภาวะเป็นกลางอีกครั้งหนึ่ง ปรากฏการณ์ที่เกิดขึ้นนี้ จะมีการปลดปล่อยพลังงานออกมา จากสมการแสดงความสัมพันธ์ระหว่างพลังงานโฟตอน (Wg) กับความถี่ (hv) ของประจุ คือ

$$W_g = hv \tag{2.1}$$

โดยจะได้ความยาวคลื่นของแสงที่ส่องสว่าง คือ

$$\lambda = hc / W_g \tag{2.2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยช่องว่างแถบพลังงาน มีหน่วยเป็นจูล (Joules) และความยาวมีหน่วยเป็นเมตร ถ้าเขียนพลังงานช่องว่างในรูปของอิเล็คตรอนโวลต์ (Electron Volts :eV) และความยาวคลื่นในหน่วยไมครอน สมการ (2.2) เปลี่ยนเป็น

$$\lambda = 124 / W_g \tag{2.3}$$

ด้วยเหตุที่วัสดุและส่วนผสมที่ต่างกันย่อมทำให้ได้ช่องว่างแถบพลังงานที่แตกต่างกันด้วย วัสดุที่ใช้ทำอุปกรณ์ส่ง (Emitter) โดยมีความยาวคลื่นและช่องว่างแถบพลังงานแสดงดังตารางที่ 2.1 ช่วงความยาวคลื่นใช้งานสามารถที่จะเลือกได้โดยการแปรเปลี่ยนอัตราส่วนองค์ประกอบของอะตอมใน AlGaAs,InGaAs และ InGaAsP การเปลี่ยนแปลงดังกล่าวทำให้ช่องว่างแถบพลังงานและความยาวคลื่นเปลี่ยนแปลง

ตารางที่ 2.1 แสดงลักษณะและคุณสมบัติของ LED

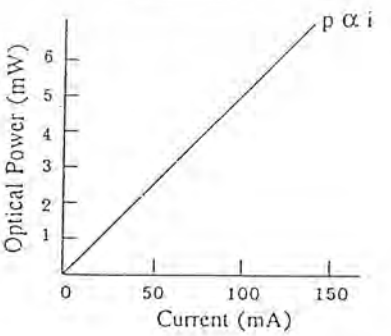
Material	Wavelength Range (μm)	Bandgap Energy (eV)
GaAS	0.9	1.4
AlGaAs	08.-08	1.4-1.55
InGaAs	1.0-1.3	0.95-1.24
InGaAsP	0.9-1.7	0.73-1.35

กำลังของแสงจาก LED นั้นจะเป็นอัตราส่วนเชิงเส้นกับค่ากระแสดังรูปที่ 2.5 ความสัมพันธ์เชิงเส้นระหว่างกำลังและกระแสไฟฟ้าอธิบายได้ดังนี้ คือ กระแสซึ่งมีจำนวนประจุต่อวินาที เป็น N= i /e ก็คือ ขนาดของประจุบนอิเล็คตรอนแต่ละตัว ถ้า η คือ ประสิทธิภาพควอนตัม หรือคือ อัตราส่วนของประจุเหล่านี้ที่มีการรวมตัวและให้โฟตอนออกมาแล้วกำลังของแสงจะเป็น

$$P = nNW_g = \eta W_g (i / e) \tag{2.4}$$

ซึ่งแสดงให้เห็นว่าความสัมพันธ์ระหว่างกำลังของแสงกับค่ากระแสนั้นเป็นเชิงเส้น ถ้าเขียนให้อยู่ในรูปอิเล็คตรอนโวลต์จะได้สมการที่เข้าใจได้ง่ายขึ้นคือ

$$P = \eta i W_g \tag{2.5}$$



รูปที่ 2.5 แสดงกราฟความสัมพันธ์ระหว่างกำลังของแสงกับกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

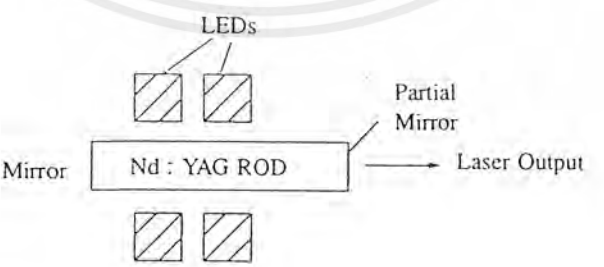
ค่ากราฟของกำลังดังแสดงในรูปนั้นจะไม่ปรากฏจริงภายในเส้นใยแสง อันเนื่องมาจากขีดจำกัดทางด้าน NA ของเส้นใยแสง จะเป็นตัวลดทอนค่ากำลังที่ส่งเข้าไป การทำงานปกติจะไบแอสให้กระแสไหลผ่าน LED อยู่ในช่วง 50-100 มิลลิแอมป์ และต้องการแรงดันปริมาณ 1.2-1.8 โวลต์

2.6.2 เลเซอร์ (Laser)

เลเซอร์สารกึ่งตัวนำ (Semiconductor Laser) นับว่าเหมาะสมที่สุดสำหรับการสื่อสารโดยเส้นใยแสง อย่างไรก็ตามก็ยังมีเลเซอร์อีก 2 ชนิด ได้แก่ แก๊สเลเซอร์ (Gas Laser) ที่ทำงานในสเปกตรัมที่มองเห็นได้ (Visible Spectrum) และ Nd :YAG (Neodynium Yttrium-aluminium Garnet Laser) ที่ปลดปล่อยแสงในช่วงความยาวคลื่น 1.06 ไมโครเมตร

1. แก๊สเลเซอร์ที่นิยมใช้คือ ฮีเลียมนีออนเลเซอร์ (Helium Neon Laser, HeNe)ที่มีลำแสงแดงและได้ถูกนำมาใช้สำหรับงานทดสอบเส้นใยแสง และอุปกรณ์เกี่ยวกับเส้นใยแสงอื่นๆ เช่น ที่ใช้การทดสอบด้วยลำแสง ซึ่งทำได้โดยร่วมกับเส้นใยแสง เพื่อทำการตรวจสอบการแตกหักของวัตถุ กล่าวคือถ้าไม่มีแสงออกมาจากเส้นใยแสงแสดงว่าเกิดการแตกหักขึ้น ดังนั้นถ้ามีการรบกวนเล็กน้อยบนเส้นใยแสง เช่น ฟองอากาศ หรือเกิดรอยแตกหักเล็กน้อยก็สามารถที่จะหาตำแหน่งได้โดยการกระจายของแสงรอบๆ บริเวณที่มีการรบกวนนั้นๆได้ อีกตัวอย่างหนึ่งก็คือ ในเรื่องของการวัด NA ของเส้นใยแสงนั้น ก็สามารถที่จะทำการวัดโดยการใช้ HeNe เลเซอร์ได้ เพราะว่า NA นั้นไม่ขึ้นอยู่กับความยาวคลื่น

2. Nd :YAG Laser เป็นเลเซอร์โซลิด-สเตต (Solid-state)ที่มีความยาวคลื่น ซึ่งทำงานในความยาวคลื่น 1.06 ไมโครเมตร โดยเป็นช่วงที่บริเวณของเส้นใยแสงมีการลดทอนและกระจายตามความถี่ของวัสดุที่ต่ำกว่าค่าในช่วง 0.8-0.9 ไมโครเมตร ยิ่งกว่านั้นมีความกว้างของสเปกตรัมประมาณ 0.1 นาโนเมตร ซึ่งแคบกว่าเลเซอร์ไดโอด (LD) ลักษณะของระบบ Nd :YAG แสดงดังรูปที่ 2.6 โดยมีตัวกลางแอกทีฟที่ใช้แท่ง Nd :YAG บางๆล้อมรอบด้วยLED จะเป็นตัวให้กำลังหรือแสงกับ Nd :YAG เพื่อกำเนิดเลเซอร์



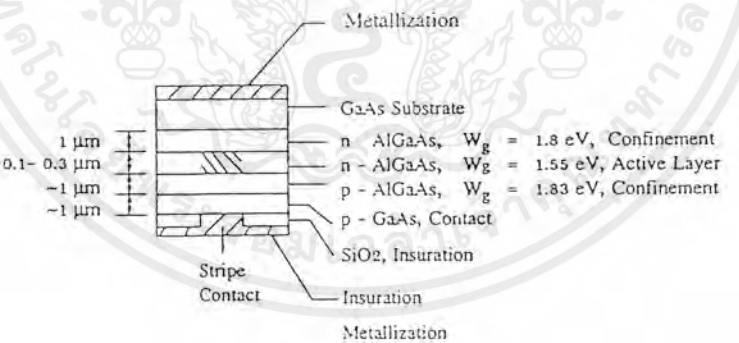
รูปที่ 2.6 แสดงผังของระบบ Nd :YAG เลเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แฟกเตอร์สองประการที่ไม่นิยมใช้ Nd :YAG เลเซอร์ในระบบเส้นใยแก้วนำแสง คือ ประการแรก ความซับซ้อน และค่าใช้จ่ายที่สูงกว่าการใช้ LD ประการที่สอง การมอดูเลตโดยปกติจะกระทำกันภายนอกเลเซอร์แควิตี้ (Laser Cavity) หลังจากที่แสงเลเซอร์ถูกสร้างขึ้นมาแล้ว

เลเซอร์ไดโอด

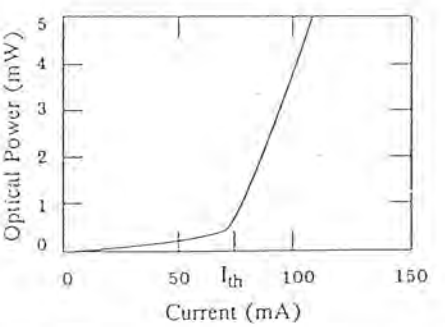
LD และLED มีรูปทรงคล้ายคลึงกันโครงสร้างของไดโอดเลเซอร์ชนิด AlGaAs แสดงดังรูปที่ 2.7 เมื่อเราทำการไบแอสไปข้างหน้านั้นประจุจะถูกปล่อยเข้าไปในชั้นแอกทีฟ (Active Layer) ที่ซึ่งเกิดการรวมตัวของอิเล็กตรอนและโฮล ทำให้มีการปลดปล่อยโฟตอนออกมาทันที ประจุบางส่วนถูกกระตุ้นให้ปล่อยโฟตอนโดยโฟตอนตัวอื่น ถ้าความหนาแน่นของกระแสมีค่าสูงพอประจุจำนวนมากที่ปล่อยเข้าไปทำให้มีการกระตุ้น และทำให้เกิดการรวมตัวแล้วอัตราการขยายทางด้านแสงจะเพิ่มขึ้น เมื่ออัตราการขยายมากเพียงพอที่จะหักล้างการสูญเสียในไดโอดได้ ก็จะทำให้เกิดกระแสขีดเริ่ม (Threshold Current) ถึงจุดนี้ก็จะเกิดการออสซิลเลตของเลเซอร์ เพื่อที่จะไม่ให้เกิดอุณหภูมิของสารกึ่งตัวนำเกินขีดจำกัด ดังนั้นจึงต้องรักษาระดับของกระแสขีดเริ่มเปลี่ยนให้น้อยเข้าไว้โดยเฉพาะอย่างยิ่งจุดเริ่มเปลี่ยนที่มีค่าต่ำนั้นจะช่วยจำกัดการปล่อยประจุและคลื่นแสงเข้าไปในชั้นแอกทีฟโดยเฮเทอร์โรจังชั่น (Heterojunction) โดยการจำกัดขอบเขตของประจุในทิศทางแนวตั้ง ส่วนการจำกัดขอบเขตในทิศทางที่ขนานกับรอยต่อทำโดยการปล่อยประจุทั่วความกว้างเล็กๆของสตริป(Stripe) ประมาณ 10-20 ไมโครเมตร และขณะที่เคลื่อนที่เข้าไปในชั้นของการรวมตัว ความยาวคลื่นเอาต์พุตคำนวณได้จากช่องว่างพลังงานคือ 1.55 อิเล็คตรอนโวลต์ ของบริเวณแอกทีฟมีค่าเท่ากับ 0.8 ไมโครเมตร สำหรับ LD แสดงได้ดังรูปที่ 2.7



รูปที่ 2.7 แสดงเลเซอร์ไดโอดชนิด AlGaAs

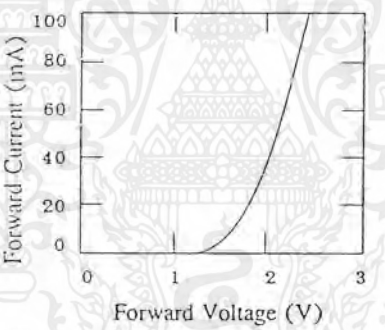
คุณลักษณะของค่ากำลังทางด้านแสงเอาต์พุตกับกระแสอินพุตของไดโอดเลเซอร์ ดังรูปที่ 2.8 กระแสขีดเริ่มเปลี่ยนมีค่าเป็น 75 มิลลิแอมป์ โดยที่ระดับต่ำกว่านี้ค่ากำลังจะเพิ่มขึ้นอีกเพียงเล็กน้อย การแพร่กระจายของแสงไม่โคฮีเรนท์(Noncoherent) เกิดจากการปล่อยอย่างทันทีทันใดของประจุในชั้นของการรวมตัว(Recombination Layer) ไดโอดส่วนใหญ่จะมีกระแสขีดเริ่มเปลี่ยน เริ่มต้นจาก 30-35 มิลลิแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงความสัมพันธ์ระหว่างกำลังของเลเซอร์ไดโอดกับกระแสไบแอส

และค่าแรงดันขีดเริ่มเปลี่ยนอยู่ในช่วง 1.2-2.0 โวลต์ กระแสไบแอสข้างหน้าเพิ่มขึ้นอย่างรวดเร็วเมื่อแรงดันตกคร่อมไดโอดเพิ่มขึ้น ดังรูปที่ 2.9 ดังนั้น การเพิ่มแรงดันเพียงเล็กน้อยจากค่าขีดเริ่มเปลี่ยนจะทำให้มีกระแสเกิดขึ้นที่จุดทำงาน

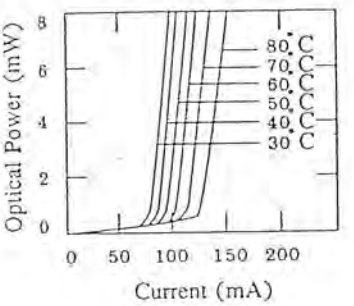


รูปที่ 2.9 แสดงความสัมพันธ์ระหว่างกระแสและแรงดันไปข้างหน้าของเลเซอร์ไดโอด

โดยทั่วไปกำลังเอาต์พุตของเลเซอร์ที่ทำงานอย่างต่อเนื่องมีค่าในช่วง 1-10 มิลลิวัตต์ พัลส์เลเซอร์ทำงานที่ดิวตีไซเคิล (Duty Cycle) ต่ำนั้น สามารถให้ค่ายอดของกำลังที่สูงกว่าเลเซอร์ต่อเนื่อง (CW) ที่สามารถเปิด-ปิด ในอัตราสูงจะมีประโยชน์อย่างมากสำหรับระบบการใช้งาน ช่วงกระแสทำงานโดยปกติอยู่สูงกว่ากระแสขีดเริ่มเปลี่ยนประมาณ 20-40 มิลลิแอมป์ การทำงานที่ กระแสสูงกว่าที่กำหนดจะทำให้ไดโอดมีช่วงอายุการใช้งาน (Life Time) ที่สั้น

เลเซอร์ไดโอดมีความไวต่ออุณหภูมิมากกว่า LED ดังแสดงในรูปที่ 2.10 ขณะที่ อุณหภูมิเพิ่มขึ้น ค่ากระแสขีดเริ่มก็มากขึ้นด้วย (เพิ่มขึ้นประมาณ 1.5 % C) ดังนั้นที่กระแสคงที่กำลังเอาต์พุตจะลดลงถ้าอุณหภูมิสูงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงความสัมพันธ์ระหว่างกำลังของเลเซอร์กับอุณหภูมิ

ในกรณีการเปลี่ยนแปลงกำลังอาจยอมรับไม่ได้ เพราะทำให้การรับข้อมูลผิดพลาดมากขึ้น ถ้ากำลังลดลงมากอาจรับสัญญาณไม่ได้ ในการแก้ปัญหาเหล่านี้มีอยู่ 2 วิธี คือ ควบคุมอุณหภูมิของไดโอดให้คงที่ และเปลี่ยนกระแสไบแอส เพื่อชดเชยการเปลี่ยนแปลงกระแสขีดเริ่มเปลี่ยน โดยวิธีการควบคุมอุณหภูมิจะใช้รอยต่อของสารกึ่งตัวนำ ซึ่งการเปลี่ยนอุณหภูมิขึ้นอยู่กับทิศทางของกระแสที่ไหลผ่านไดโอดเลเซอร์ เทอร์มิสเตอร์(Thermistor) เป็นส่วนหนึ่งของวงจรควบคุมที่ใช้เปลี่ยนกระแสที่ไหลผ่านสารกึ่งตัวนำ เพื่อให้อุณหภูมิของไดโอดเสถียร คือ อุปกรณ์รับแสงรับสัญญาณย้อนกลับมายังเลเซอร์แล้วทำการเปลี่ยนค่ากระแสตรงไปสู่ค่ากำลังที่ต้องการ

นอกจากแหล่งกำเนิดแสงไดโอดเลเซอร์ข้างต้นแล้ว ก็ยังมีไดโอดเลเซอร์อีกบางประเภทที่มีคุณสมบัติเหมือนกัน แต่สามารถเพิ่มกำลังของแหล่งกำเนิดแสงได้ โดยปรับโครงสร้างของไดโอดเลเซอร์ให้มีชั้นอินทรินสิค (Intrinsic) ที่เจือปนสารกึ่งตัวนำ โดยเรียกว่า ไดโอดประเภทขั้วไอแอลดี (Injection Laser Diode , ILD) ซึ่งจะมีกำลังเอาต์พุตมากขึ้น อีกกรณีนั้นทำให้ลำแสงเอาต์พุตของเลเซอร์ไดโอดออสซิลเลตอยู่ในแควิตีฟาบริ-เฟอร์โรต์ เพื่อทำการกรองสัญญาณที่มีความยาวคลื่นหรือความถี่เปลี่ยนไป

2.7 อุปกรณ์รับแสง

อุปกรณ์รับสัญญาณแสงหรือโฟโตดีเทกเตอร์ เป็นอุปกรณ์ที่ใช้เปลี่ยนสัญญาณแสงให้เป็นข้อมูลทางไฟฟ้า คุณสมบัติที่สำคัญของโฟโตดีเทกเตอร์ในระบบสื่อสารได้แก่

1. ต้องมีความไวในการรับแสงได้ดีเฉพาะในช่วงที่ต้องการ เนื่องจากการส่งสัญญาณแสงจะใช้ความยาวคลื่นแสงในช่วงเฉพาะ ดังนั้นหากแสงอื่นที่มีความยาวคลื่นไม่เกี่ยวข้องกันมาตกกระทบพร้อมกัน ย่อมทำให้ข้อมูลมีการผิดพลาดได้
2. เวลาในการตอบสนองสัญญาณต้องสั้นมาก กล่าวคือ เมื่อมีแสงตกกระทบโฟโตดีเทกเตอร์ต้องเปลี่ยนเป็นสัญญาณไฟฟ้าด้วยเวลาที่สั้นที่สุด เพื่อที่ว่าข้อมูลจำนวนมากสามารถใช้รับส่งด้วยความเร็วสูงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ในระบบสื่อสารแบบอนาลอกต้องใช้โฟโตดีเทกเตอร์ชนิดลิเนียร์ เพื่อลดการผิดเพี้ยนของของสัญญาณให้เกิดน้อยที่สุด
4. สัญญาณรบกวนภายในอันเนื่องมาจากสภาพแวดล้อมต้องมีค่าน้อยที่สุด

โฟโตดีเทกเตอร์มีหลายชนิดเริ่มจาก " โฟโตไดโอด" ธรรมดา ซึ่งมีหลักการทำงานตรงข้ามกับไดโอดเปล่งแสง หรือ LED กล่าวคือ เมื่อไดโอดได้รับพลังแสงจากภายนอก จะทำให้เกิดโฟตอนขึ้นในบริเวณปลอดพาหะหรือรอยต่อ P-N เกิดเป็นกระแสรั่วไหลหรือ กระแสมืด (dark current) ไหล ในช่วงนี้หากมีการไบแอสกลับให้แก่ไดโอดบริเวณปลอดพาหะจะขยายกว้างขึ้น เป็นผลให้มีกระแสไหลมากขึ้น ทิศทางการไหลของกระแสเนื่องจากแสงนี้มีทิศทางเดียวกับการไบแอสกลับคือ จะไหลจากขั้วบวกของแหล่งจ่ายไฟเข้าสู่ขั้วแคโทดของไดโอด

โฟโตไดโอดแบบอะวาลานซ์ (APD) อาศัยหลักการทำงานเช่นเดียวกับอะวาลานซ์ไดโอด ทำให้มีกระแสไหลมากขึ้นกว่าโฟโตไดโอดธรรมดาหลายเท่า แต่ก็มีข้อเสียตรงที่มีความไวต่ออุณหภูมิสูง และเกิดสัญญาณรบกวนมาก การใช้งานโฟโตไดโอดแบบอะวาลานซ์จำเป็นต้องใช้แรงดันไบแอสกลับค่อนข้างสูง (ประมาณ 40-400 โวลท์) แต่ก็เป็นผลดีเพราะทำให้เวลาตอบสนองสัญญาณสั้นมาก

โฟโตทรานซิสเตอร์ นับเป็นโฟโตดีเทกเตอร์อีกชนิดหนึ่ง ซึ่งหลักการทำงานนั้นจะขึ้นกับขนาดความเข้มแสงที่ตกกระทบ เปรียบเสมือนกับการต่อโฟโตไดโอดเข้ากับขาเบสของทรานซิสเตอร์ เมื่อแสงที่มีความเข้มสูงตกกระทบกระแสไหลผ่านโฟโตไดโอดที่ขาเบสจะมีค่ามาก ทำให้กระแสที่ขาคอลเลกเตอร์ (I_c) ได้มากกว่าแบบธรรมดาเมื่อมีแสงตกกระทบเท่ากัน ข้อดีของโฟโตทรานซิสเตอร์คือ สามารถดีเทกต์สัญญาณที่มีขนาดความเข้มแสงน้อย ๆ ได้ดี แต่มีช่วงเวลาตอบสนองสัญญาณค่อนข้างช้าคือ มีช่วงเวลาขาขึ้น (rise time , t_r) ประมาณ 10 ไมโครวินาที ซึ่งไม่เหมาะกับระบบข้อมูลขนาดใหญ่ ในการใช้งานกับระบบที่มีข้อมูลจำนวนมากหรือแบนด์วิดท์สูง ๆ (100 เมกะเฮิรตซ์ ขึ้นไป) จะใช้โฟโตทรานซิสเตอร์ชนิด PINFET ที่มีโครงสร้างเป็นวงจรรวมเสมือนมี PIN โฟโตไดโอดเป็นตัวดีเทกต์สัญญาณและมีวงจรทรานซิสเตอร์แบบ FET เป็นตัวขยายสัญญาณอยู่ในตัวถังเดียวกันจากหลักการนี้ทำให้ได้โฟโตดีเทกเตอร์ที่มีความไวในการรับสัญญาณสูง และมีค่ารบกวนสัญญาณต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 ระบบพัลส์โค้ดมอดูเลชัน (Pulse Code Modulation : PCM)

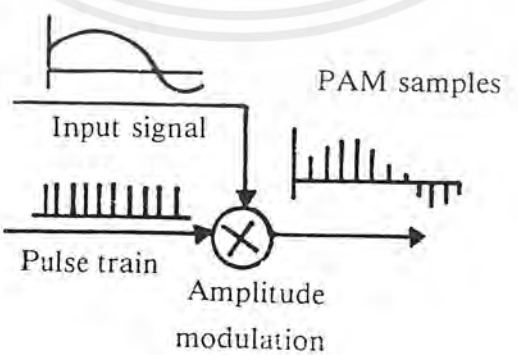
พัลส์โค้ดมอดูเลชัน หรือที่เรียกย่อๆ ว่า พีซีเอ็ม (PCM) นั้น เป็นระบบสื่อสารแบบดิจิตอล ที่ได้รับการพัฒนา และนำมาใช้ในระบบโทรศัพท์ เมื่อต้นทศวรรษของ พ.ศ. 2500 ระบบพีซีเอ็ม เป็นระบบที่ใช้ประโยชน์จากทฤษฎีสุ่มตัวอย่าง โดยจัดการกับสัญญาณพีเอเอ็ม (PAM:Pulse Amplitude Modulation) ที่ได้จากการสุ่มตัวอย่างให้เป็นสัญญาณที่เหมาะสมกับการส่งผ่านระบบมากขึ้น ทั้งนี้เพราะสัญญาณพีเอเอ็ม นั้น เมื่อส่งผ่านระบบจะประสบกับปัญหาการผิดเพี้ยน ซึ่งทำให้สเปกตรัมของสัญญาณเบสแบนด์ที่ปลายทางผิดเพี้ยนไปจากเดิม และเมื่อทำการดีมอดูเลตด้วยวงจรกรองความถี่ต่ำผ่าน สัญญาณที่ดีมอดูเลตได้ก็จะผิดเพี้ยนไปจากสัญญาณเดิมอย่างหลีกเลี่ยงไม่ได้ ระบบพีซีเอ็มนั้นจะทำการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลโดยกระบวนการสำคัญ 3 กระบวนการ คือ การสุ่มค่าตัวอย่างสัญญาณ การทำควอนไทซ์ (quantization)สัญญาณ และการเข้ารหัสสัญญาณ ดังนี้

1. การสุ่มค่าตัวอย่างสัญญาณ (Sampling)

ไนควิสท์ (Nyquist) ได้เสนอ ทฤษฎีการสุ่มตัวอย่างสัญญาณ (Sampling Theory) " ถ้ามีสัญญาณอนาลอกที่มีสเปกตรัมสูงสุดจำกัดที่ค่าหนึ่ง เราจะสามารถสร้างสัญญาณพัลส์ที่มีข่าวสารของสัญญาณอนาลอกนั้นอยู่อย่างครบถ้วน โดยทำการสุ่มตัวอย่างจากสัญญาณอนาลอกนั้นด้วยอัตราสุ่มที่เหมาะสม คือ ต้องมีอัตราการสุ่มตัวอย่างที่มากกว่า หรือเท่ากับสองเท่าของความถี่สูงสุดของสัญญาณ อนาลอกนั้นๆ "

$$f_s \geq 2f_m(\max) \tag{2.6}$$

การสุ่มตัวอย่างตามทฤษฎีของไนควิสต์ เป็นการทำให้สัญญาณซึ่งมีค่าต่อเนื่อง (continuous signal) ให้กลายเป็นแบบดิสครีต (discrete) ในช่วงเวลาที่เท่าๆกัน โดยสัญญาณที่ได้จากการสุ่มตัวอย่างนี้จะเป็นสัญญาณพีเอเอ็ม (pulse amplitude modulation :PAM) ดังแสดงในรูปที่ 2.11



รูปที่ 2.11 แสดงการสุ่มตัวอย่าง

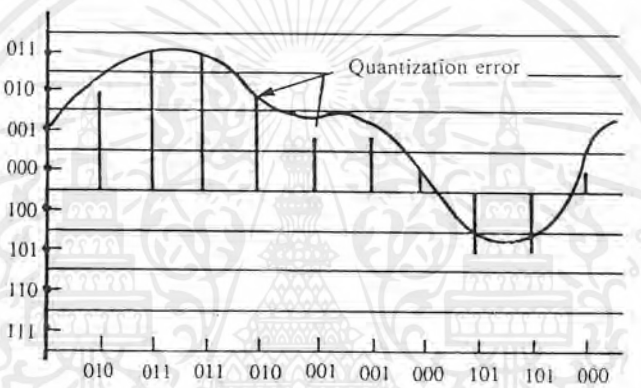
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. การทำควอนไทซ์ (Quantization)

การทำควอนไทซ์ เป็นการนำสัญญาณพีเอเอ็มที่ได้จากการสุ่มตัวอย่างไปทำการแปลงค่าระดับของค่าสัญญาณตัวอย่าง(amplitude)ให้เป็นค่าระดับดิสครีต โดยการกำหนดค่าระดับของสัญญาณที่มีความแรงอยู่ในกลุ่มเดียวกันจะมีรหัสเดียวกัน ก็จะทำให้เกิดการจัดแบ่งระดับเป็นระดับดิสครีตที่มีจำนวนจำกัดขึ้น ดังแสดงในรูปที่ 2.12

ระดับควอนไทซ์(quantizing level) แต่ละระดับจะมีระยะห่างระหว่างระดับข้างเคียง ซึ่งเรียกว่า **ควอนไทซิงอินเทอร์วัล (quantizing interval)**

เนื่องจากค่าระดับดิสครีตที่ได้ เป็นค่าโดยประมาณจึงอาจเกิดค่าความแตกต่างของการปรับค่าตัวอย่างสัญญาณที่ได้ กับระดับการทำควอนไทซ์แต่ละระดับนี้ ซึ่งเรียกว่า **ค่าความผิดเพี้ยนของการทำควอนไทซ์ (quantizing noise)**

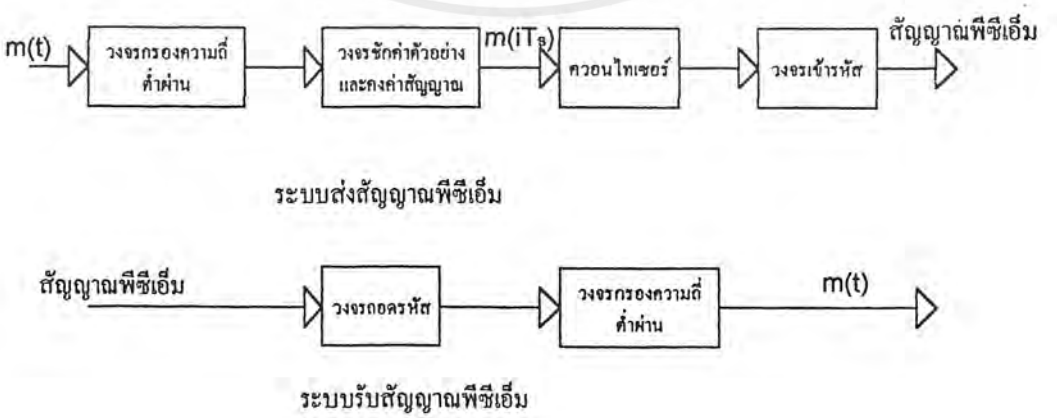


รูปที่ 2.12 แสดงตัวอย่างการควอนไทซ์สัญญาณ

3. การเข้ารหัส (Coding)

เป็นการนำเอาระดับควอนไทซ์ มาแปลงเป็นรหัสฐานสอง (binary code)

รูประบบพีซีเอ็ม โดยสังเขปแสดงได้ดังรูปที่ 2.13 ซึ่งมีขั้นตอนที่สรุป อธิบายได้เป็นข้อๆ ดังต่อไปนี้



รูปที่ 2.13 แสดงระบบพีซีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. สัญญาณอนาลอกอินพุต $m(t)$ จะถูกกรองด้วยวงจรกรองความถี่ต่ำผ่าน เพื่อขจัดองค์ประกอบของสัญญาณที่มีค่าความถี่สูงกว่า f_m เฮิรตซ์ ที่เกินความจำเป็นในการสื่อสารออก เพื่อป้องกันการเกิดเอเลียสชิง อันอาจจะเกิดขึ้นมาได้ในกระบวนการสุ่มค่าตัวอย่าง

2. สัญญาณที่มีย่านความถี่จำกัดที่ได้จากขั้นตอน 1 จะถูกสุ่มค่าตัวอย่างด้วยอัตราความถี่ f_s โดยเงื่อนไข $f_s \geq 2f_m$

3. ค่าตัวอย่างสัญญาณ $m(iT_s)$,$(i = 0,\pm1,\pm2,....)$ จะถูกรักษาระดับในวงจรสุ่มค่าและคงค่าระดับสัญญาณในระหว่างช่วงเวลา $T_s = \frac{1}{f_s}$

4. ในช่วงเวลา T_s ที่วงจรสุ่มค่าตัวอย่างและคงค่าระดับสัญญาณ ทำการรักษาค่าระดับของค่าสัญญาณตัวอย่างอยู่นี้ วงจรทำควอนไทซ์ ซึ่งเรียกว่า ควอนไทเซอร์ (quantizer) นั้นก็จะทำการแปลงค่าระดับของค่าตัวอย่างสัญญาณ ซึ่งเป็นค่าเชิงอนาลอกให้เป็นค่าระดับเชองดิสครีต ในกระบวนการนี้อาจเกิดความแตกต่างของค่าเชิงอนาลอกและค่าเชิงดิสครีตบ้าง ค่าความคลาดเคลื่อนนี้จะมีค่าลดลง หากระดับดิสครีตของควอนไทเซอร์มีจำนวนเพิ่มขึ้น สัญญาณที่มีค่าเฉพาะเท่ากับระดับเชิงดิสครีต หรือระดับการควอนไทซ์นี้ ที่เรียกว่า สัญญาณดิจิตอล

5. วงจรเข้ารหัสจะเปลี่ยนค่าแอมปลิจูดของสัญญาณจากการควอนไทเซอร์ให้เป็นกลุ่มของรหัสพัลส์ ขึ้นอยู่กับผู้ออกแบบที่ต้องการว่าจะส่งสัญญาณผ่านช่องสัญญาณแบบใด

6. วงจรถอดรหัส จะทำการเปลี่ยนรหัสพัลส์กลับเป็นระดับความแรงของสัญญาณที่ได้ถูกควอนไทซ์มา และจะส่งผ่านไปยังวงจรกรองความถี่ต่ำผ่าน

7. วงจรกรองความถี่ต่ำผ่าน จะขจัดองค์ประกอบความถี่สูงของสัญญาณที่ได้จากวงจรถอดรหัสออก ทำให้ได้ค่าสัญญาณเอาต์พุต $\hat{m}(t)$ ซึ่งเป็นค่าประมาณของสัญญาณ $m(t)$ เดิมออกมา

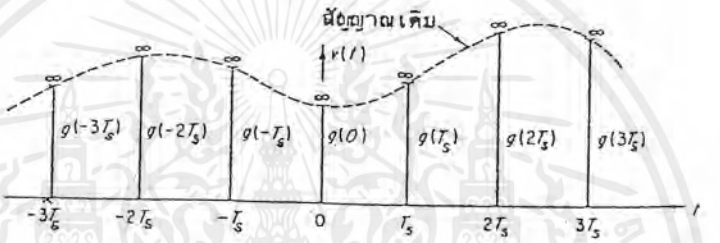
ในการดีมอดูเลตสัญญาณพีซีเอ็ม ก็จะทำได้โดยการย้อนขั้นตอนที่กล่าวมาข้างต้น กล่าวคือจากสัญญาณพีซีเอ็มที่รับมาได้ก็จะทำการถอดรหัสออกมาเป็นสัญญาณพีเอเอ็มที่เป็นระดับลงตัว และเมื่อผ่านสัญญาณพีเอเอ็มนี้เข้าสู่วงจรกรองสัญญาณความถี่ต่ำผ่าน ก็จะได้สัญญาณอนาลอกที่ใกล้เคียงกับสัญญาณเดิมออกมา ที่กล่าวว่าใกล้เคียงกับสัญญาณเดิมก็เพราะว่าสัญญาณพีเอเอ็มที่ได้จากการถอดรหัสนั้นจะมีระดับลงตัว และอาจจะไม่เท่ากับสัญญาณเดิมก็ได้ เนื่องจากผลของการเกิดค่าความผิดเพี้ยนของการทำควอนไทซ์

ระบบพัลส์โค้ดมอดูเลชัน ถือเป็นการมอดูเลตที่ให้สัญญาณสัพธ์ออกมาเป็นสัญญาณดิจิตอลโดยสมบูรณ์ จึงได้รับความนิยมใช้กันมาก ในปัจจุบันสัญญาณดิจิตอลมีความน่าใช้กว่าสัญญาณอนาลอก ก็เพราะว่าสัญญาณดิจิตอลสามารถต้านทานต่อสัญญาณรบกวนและความผิดเพี้ยนที่ดีกว่า ข้อได้เปรียบที่สุดของระบบดิจิตอล ก็คือ สามารถที่จะใช้ เครื่องทวนสัญญาณแบบสร้างพัลส์ใหม่ (regeneration repeater) ได้ จึงไม่ทำให้เกิดการสะสมความผิดเพี้ยนขึ้นในระบบสื่อสารนั้น ทำให้สามารถส่งข่าวสารได้ตลอดระยะทางไกลด้วยความถูกต้องสูง ซึ่งในระบบอนาลอกจะไม่มีวิธีที่จะหลีกเลี่ยงการสะสมของสัญญาณรบกวนและความผิดเพี้ยนที่เกิดขึ้นได้เลย ทำให้เกิดการสะสมความผิดเพี้ยนของสัญญาณมากขึ้นในการสื่อสารระยะไกล จึงทำให้คุณภาพของสัญญาณเลวลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 การมัลติเพลกซ์เชิงเวลา (Time Divition Multiplex : TDM)

การมัลติเพลกซ์เชิงเวลา หมายถึง การรวมสัญญาณเบสแบนด์หลายๆ สัญญาณ เพื่อส่งผ่านช่องสัญญาณร่วมอันเดียวกัน โดยการจัดแบ่งช่องเวลา (time slot) ให้กับแต่ละสัญญาณเบสแบนด์อย่างเหมาะสม โดยสัญญาณในแต่ละช่องสัญญาณจะถูกสุ่มตัวอย่าง ด้วยอัตราเร็วสม่ำเสมอ สัญญาณที่ถูกสุ่มตัวอย่างนี้จะอยู่ในรูปของพัลส์ที่มีความกว้าง (duration) แคบๆ และมีขนาด (amplitude) เหมือนกับขนาดของสัญญาณในขณะที่สุ่มตัวอย่าง ดังแสดงในรูปที่ 2.14 การมัลติเพลกซ์เชิงเวลานี้เป็นไปได้เพราะตามทฤษฎีสุ่มตัวอย่างเราจะสามารถส่งเพียงสัญญาณที่สุ่มจากสัญญาณเบสแบนด์ซึ่งช่วงเวลาระหว่างสัญญาณสุ่มที่อยู่ติดกันจะเป็น T_s เพราะฉะนั้นถ้า T_s กว้างเพียงพอ เราก็อาจจะแทรกสัญญาณสุ่มตัวอย่างของสัญญาณเบสแบนด์อื่นเข้าไปได้



รูปที่ 2.14 แสดงการสุ่มตัวอย่างตามธรรมชาติ

สัญญาณจากช่องสัญญาณอื่นก็จะผ่านการสุ่มตัวอย่างเช่นเดียวกัน แล้วถูกแบ่งตามเวลาโดยให้ช่องเวลาหนึ่งเป็นของสัญญาณพัลส์จากช่องสัญญาณหนึ่ง ตามด้วยสัญญาณพัลส์จากอีกช่องสัญญาณหนึ่งจนกว่าจะครบทุกช่อง ส่งเป็นอนุกรมด้วยความเร็วที่สูงกว่าความเร็วของสัญญาณพัลส์

การสุ่มตัวอย่างตามวิธีการข้างต้นเรียกว่า การสุ่มตัวอย่างตามธรรมชาติ (natural sampling) ที่ปลายทางจะมีเครื่องถอดรหัส (demultiplex) ทำการแยกพัลส์ที่สานกัน (interleave) ตอนส่ง ให้แยกออกเป็นพัลส์อย่างถูกต้อง เพื่อความถูกต้องในการแยกพัลส์ที่ปลายทางจึงต้องมีพัลส์จับเวลาให้ตรงกัน (synchronization)

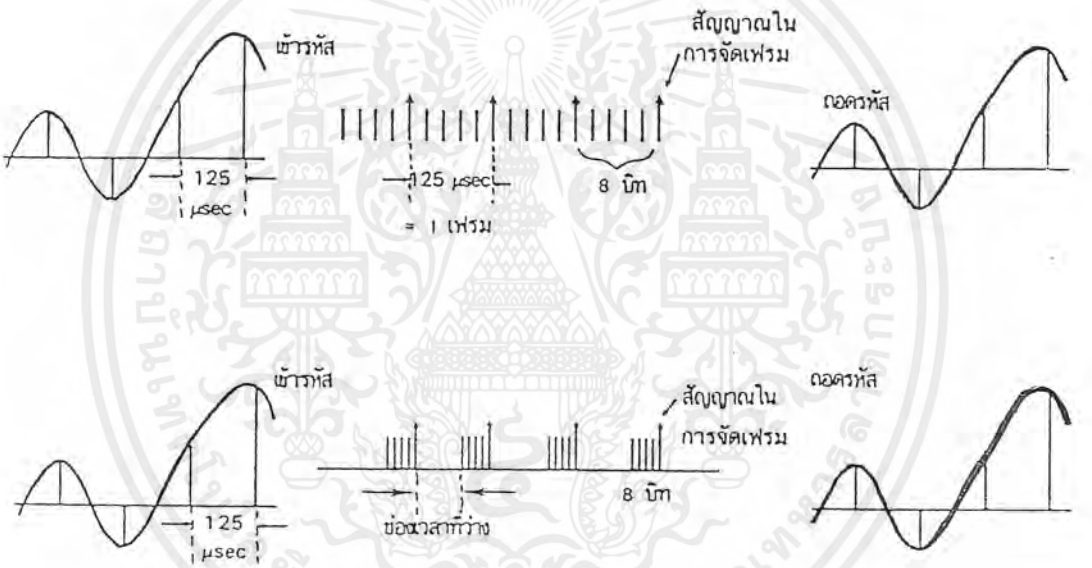
สัญญาณพัลส์ที่ได้จากการสุ่มตัวอย่าง จะมีขนาดของพัลส์เปลี่ยนแปลงตามสัญญาณเดิม สัญญาณพัลส์จะเกิดในอัตราสม่ำเสมอ โดยเวลาระหว่างพัลส์หนึ่งกับอีกพัลส์หนึ่งควรมีระยะห่างพอควรเพื่อป้องกันไม่ให้พัลส์เกิดการซ้อนทับกันเมื่อผ่านวงจรความถี่ต่ำผ่าน (Low Pass Filter) ในภาครับ โดยระยะห่างระหว่างสองพัลส์นี้ เรียกว่า "การ์ดไทม์" (guard time)และอัตราการสุ่มตัวอย่าง (sampling rate) จะเป็นไปตามอัตราการสุ่มตัวอย่างของไนควิสต์ (Nyquist sampling rate) ซึ่งกล่าวว่า " ความถี่ของการสุ่มตัวอย่างจะต้องมีค่ามากกว่า 2 เท่าของความถี่สูงสุด (f_m) จึงจะทำให้ได้สัญญาณเดิมกลับคืนมาครบถ้วนในภาครับ"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ดังที่กล่าวมาแล้วข้างต้นจะเห็นว่าเป็นการส่งสัญญาณแบบดิสครีต ซึ่งจะไม่นิยมใช้ในทางปฏิบัติ ทั้งนี้เนื่องมาจากสัญญาณแบบดิสครีต จะถูกรบกวนได้ง่าย เราจึงทำการเปลี่ยนสัญญาณดิสครีตนั้นให้เป็นสัญญาณดิจิตอล เพื่อลดปัญหาจากการถูกรบกวนขณะที่ทำการส่งไปในสายส่งสัญญาณ

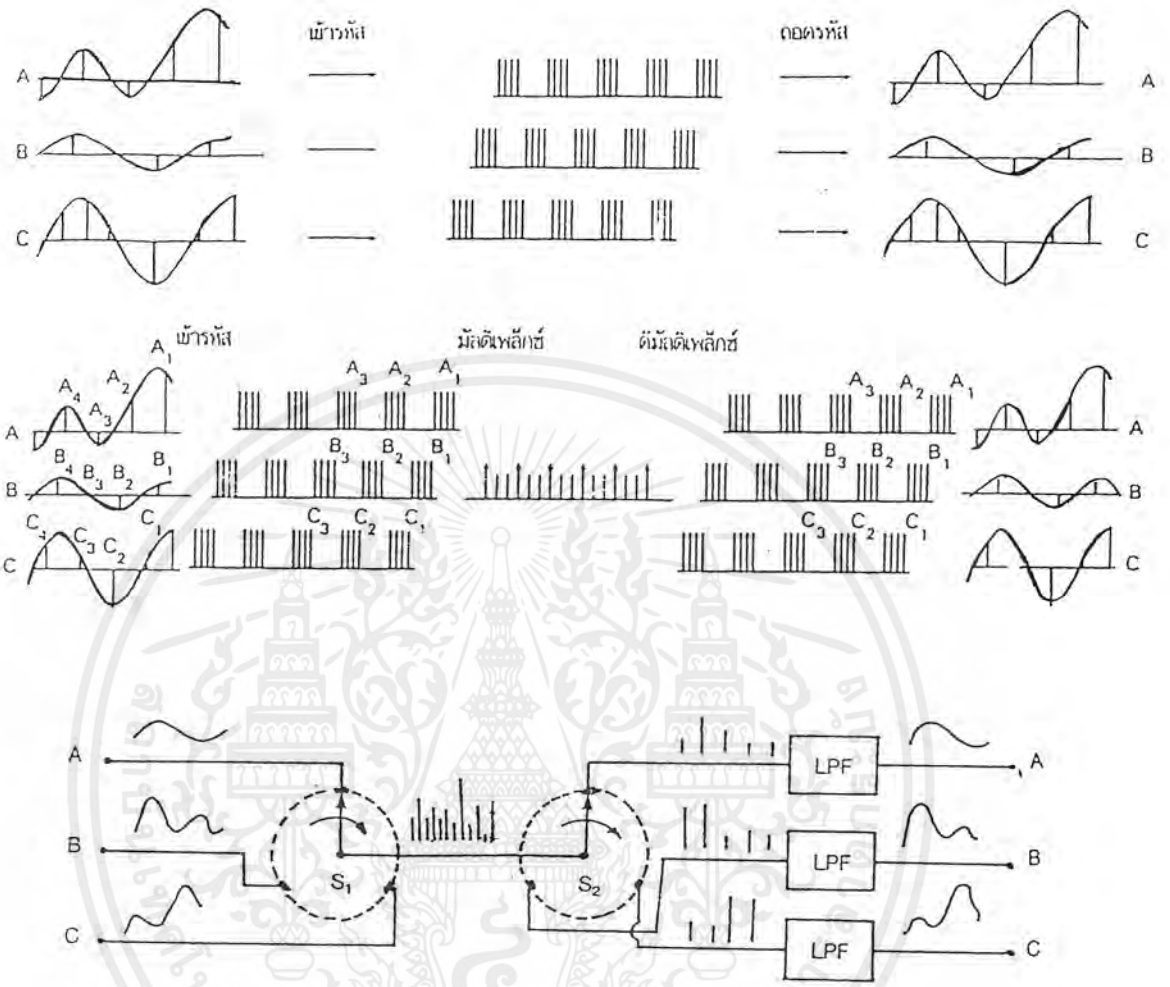
จากสัญญาณที่ถูกแซมปลิ้งด้วยความถี่ 8 กิโลเฮิรตซ์ แล้วเปลี่ยนเป็นตัวกำหนดเฟรม โดยจัดให้ 8 บิตเป็น 1 เฟรม เมื่อทำการเพิ่มความเร็วในการส่งพัลส์มากขึ้น ความกว้างของพัลส์แต่ละพัลส์จะแคบลง ซึ่งจะทำให้มีช่องว่างระหว่างเฟรมทุกๆ เฟรมมากขึ้น ดังแสดงในรูปที่ 2.15 จากหลักการดังกล่าวเราสามารถที่จะเพิ่มช่องสัญญาณที่เป็นดิจิตอล เข้าไปในช่องว่างระหว่างเฟรมได้ และจะทำการแยกสัญญาณนั้นออกจากกันทางด้านรับ ซึ่งจะทำให้สามารถส่งสัญญาณได้มากกว่า 2 ช่องสัญญาณในสายส่งเดียวกัน



รูปที่ 2.15 แสดงการจัดเฟรมของการมัลติเพลกซ์เชิงเวลา

เมื่อนำสวิตช์หมุน (rotary switch) 2 ชุด มาต่อประกอบกันเป็นวงจรมัลติเพลกซ์เชิงเวลาอย่างง่าย ดังแสดงในรูปที่ 2.6 โดยสวิตช์หมุนจะเป็นตัวช่วยให้เกิดการส่งสัญญาณระหว่างเครื่องส่งและเครื่องรับ 3 ชุด คือ A-A , B-B , C-C ได้โดยใช้สายส่งสัญญาณระหว่างสวิตช์ทั้ง 2 ตัวเพียงเส้นเดียว แทนที่จะต้องใช้สายส่งถึง 3 เส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
37106



รูปที่ 2.16 แสดงวงจรมัลติเพลกซ์เชิงเวลาอย่างง่าย

จากกฎของไนควิสต์ ถ้าเราควบคุมการหมุนของสวิตช์ทั้งสองให้หมุนสัมพันธ์ไปพร้อมๆ กัน โดยมีอัตราการหมุนที่มีจำนวนรอบต่อวินาทีมากกว่า 2 เท่าของค่าความถี่สูงสุดของสัญญาณที่เป็นส่วนประกอบของอินพุตทั้งสามแล้ว S1 จะทำหน้าที่สุ่มตัวอย่างสัญญาณทั้งสามส่งออกไปยังสายส่งสัญญาณอย่างสม่ำเสมอ ในขณะที่ S2 จะทำหน้าที่แยกสัญญาณที่ส่งมาทั้งหมดเหล่านั้นจ่ายออกไปตามสายเอาต์พุตที่เหมาะสม ซึ่งจะสอดคล้องกับอินพุตที่เข้ามายัง S1 ส่วนวงจรกรองความถี่ต่ำทางด้านรับจะทำหน้าที่เปลี่ยนสัญญาณดิสครีต ที่เกิดจากการสุ่มตัวอย่างสัญญาณให้กลับไปเป็นสัญญาณอนาลอกเหมือนเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10 ระบบพีซีเอ็มและการมัลติเพลกซ์เชิงเวลา

ในระบบพีซีเอ็ม สัญญาณสุ่มตัวอย่างแต่ละอันจะถูกเข้ารหัสเป็น 8 บิต เพราะฉะนั้นการมัลติเพลกซ์เชิงเวลาในกรณีของสัญญาณพีซีเอ็มก็จะดึงไปทีละ 8 บิต รูปที่ 2.17 แสดงการมัลติเพลกซ์เชิงเวลาในกรณีที่เป็นสัญญาณพีซีเอ็มโดยที่แต่ละบล็อกนั้นแสดงช่องเวลาที่จัดสรรให้กับช่องสัญญาณแต่ละช่อง และก็จะเป็นสัญญาณพีซีเอ็ม 8 บิตของช่องสัญญาณอันลับนั้นๆ ในรูปแสดงกรณีที่มีช่องสัญญาณเป็นจำนวน N ช่องสัญญาณ ใน 1 เฟรมของสัญญาณที่มัลติเพลกซ์กันอยู่ ซึ่งประกอบด้วยสัญญาณพีซีเอ็มหนึ่งตัวอย่างจากทุกๆช่องสัญญาณก็จะมีจำนวนบิตเป็น $8 \times N$ บิต และเนื่องจากในหนึ่งวินาทีต้องส่ง 8,000 ตัวอย่าง เพราะฉะนั้นในกรณีที่มัลติเพลกซ์กัน N ช่องสัญญาณนี้ อัตราการส่งข้อมูลก็จะเท่ากับ $8 \times N \times 8{,}000$ บิตต่อวินาที หรือ $64 \times N$ กิโลบิตต่อวินาที

รูปที่ 2.17 แสดงการมัลติเพลกซ์เชิงเวลาในระบบพีซีเอ็ม

2.11 ระบบดิจิตอลสวิตชิง (Digital Switching)

ในระบบดิจิตอลสวิตชิง จะมีอยู่ 2 แบบ คือ

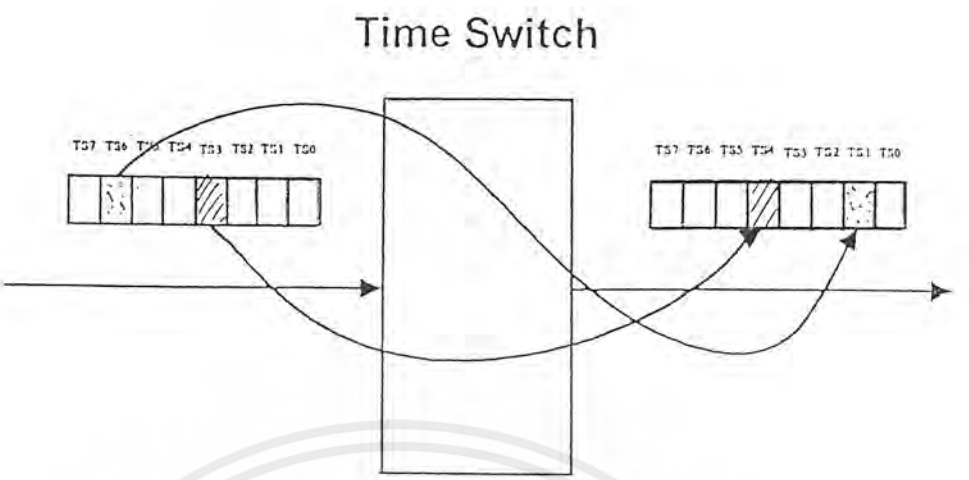
1. ไทม์สวิตช์ (Time Switch)
2. สเปซสวิตช์ (Space Switch)

แต่ในที่นี้เราจะศึกษาเฉพาะสเปซสวิตช์ เท่านั้น

ไทม์สวิตช์ (Time Switch)

ในไทม์สวิตช์จะใช้เทคนิคของการเปลี่ยนข้อมูลที่เป็นสัญญาณดิจิตอลในระหว่างช่องเวลาของการส่งข้อมูล ที่มีการแบ่งเวลาการส่ง ดังแสดงในรูปที่ 2.18 ซึ่งจากรูปจะเห็นได้ว่ามีการเคลื่อนย้ายส่วนประกอบข้อมูลของช่องเวลาทางด้านไฮเวย์ขาเข้า(input highway)ข้างหนึ่ง ให้ออกไปยังช่องเวลาทางด้านไฮเวย์ขาออก(output highway)ใดๆ ที่เราต้องการได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

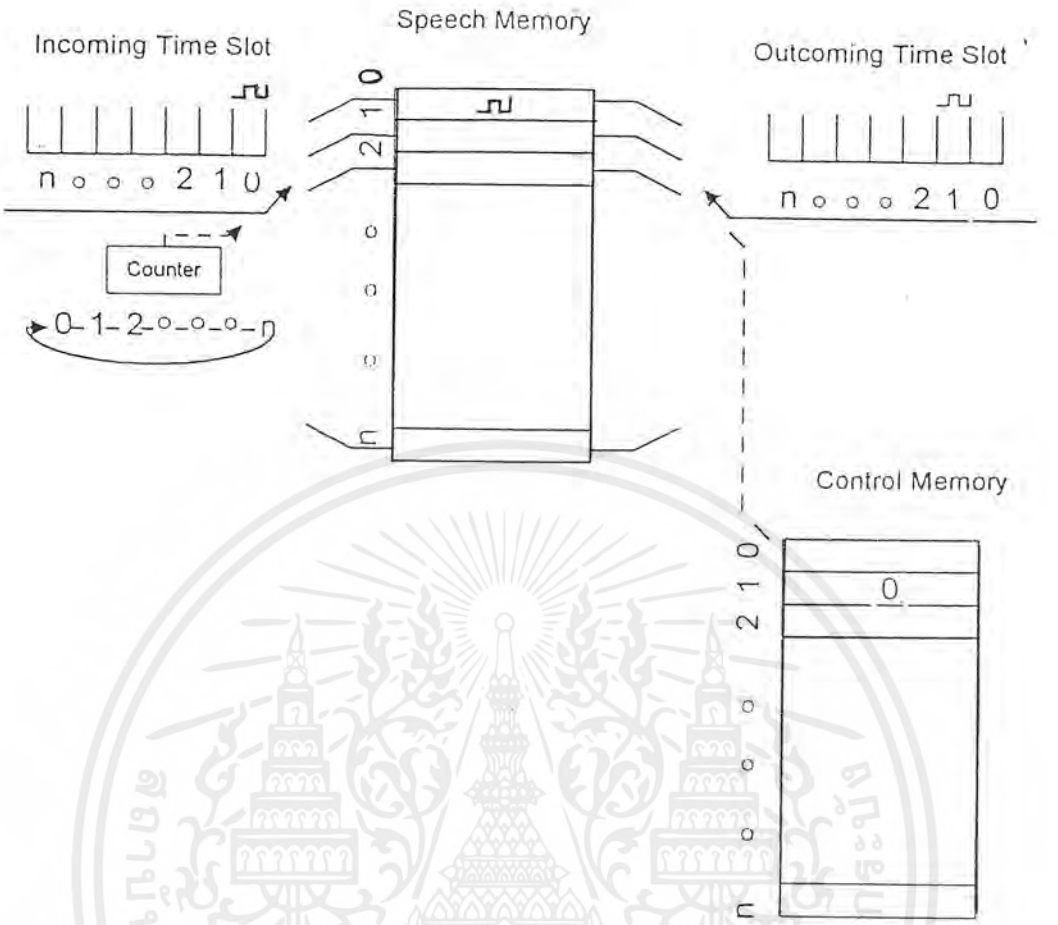


รูปที่ 2.18 แสดงการจัดการแลกเปลี่ยนช่องเวลา

หมายเหตุ จากรูปจะเห็นว่า เมื่อเราทำการแบ่งเวลาการส่งและทำการมัลติเพลกซ์สัญญาณเข้าด้วยกันแล้ว จากนั้นก็จะนำไปผ่านไทม์สวิตช์ ก็จะทำให้สามารถสลับช่องสัญญาณได้

โครงสร้างพื้นฐานของไทม์สวิตช์ แสดงได้ดังรูปที่ 2.19 จะประกอบ หน่วยความจำความเร็วสูง (Speed memory) หน่วยความจำควบคุม(Control memory) และวงจรนับ (Counter) โดยหน่วยความจำความเร็วสูง ซึ่งมีพีซีเอ็มเวิร์ด(PCM word) ในช่องเวลาอยู่จำนวนหนึ่งจะถูกควบคุมโดยหน่วยความจำควบคุม การนำข้อมูลของช่องเวลาขาเข้า(Incomming time slot)เข้าไปเก็บไว้ในหน่วยความจำความเร็วสูง สามารถทำได้โดยมีการควบคุมจากวงจรนับ ข้อมูลในช่องเวลาขาเข้า 0 จะถูกเก็บไว้ในหน่วยความจำความเร็วสูงที่แอดเดรส 0 และข้อมูลในช่องเวลาขาเข้า 1 จะถูกเก็บไว้ในหน่วยความจำความเร็วสูงที่แอดเดรส 1 และเป็นอย่างนี้ต่อไปเรื่อยๆจนครบทุกช่องสัญญาณ ส่วนการนำข้อมูลออกหรือการอ่านข้อมูลจากหน่วยความจำความเร็วสูง จะถูกควบคุมโดยหน่วยความจำควบคุม ซึ่งมีแอดเดรสจำนวนเท่ากับจำนวนช่องเวลาในหน่วยความจำความเร็วสูง โดยข้อมูลในหน่วยความจำควบคุม จะเป็นแอดเดรสของหน่วยความจำความเร็วสูง ที่จะเป็นช่องเวลาขาออก (Outgoing time slot)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19 แสดงโครงสร้างพื้นฐานของไทม์สวิตช์

จากรูป สมมุติว่า ช่องเวลาขาเข้า คือ ช่องเวลา 0 และช่องเวลาขาออก คือ ช่องเวลา1 ดังนั้นข้อมูลที่ช่องเวลา 0 จะถูกนำไปเก็บไว้ในหน่วยความจำความเร็วสูง ที่แอดเดรส 0 และที่แอดเดรส 1 ของหน่วยความจำควบคุม จะมีข้อมูล 0 ซึ่งเป็นค่าแอดเดรส 0 ของหน่วยความจำความเร็วสูงบรรจุอยู่ ดังนั้นช่องเวลาขาออกที่ช่องเวลา 1 จึงมีข้อมูลของช่องเวลาขาเข้า 0 บรรจุอยู่

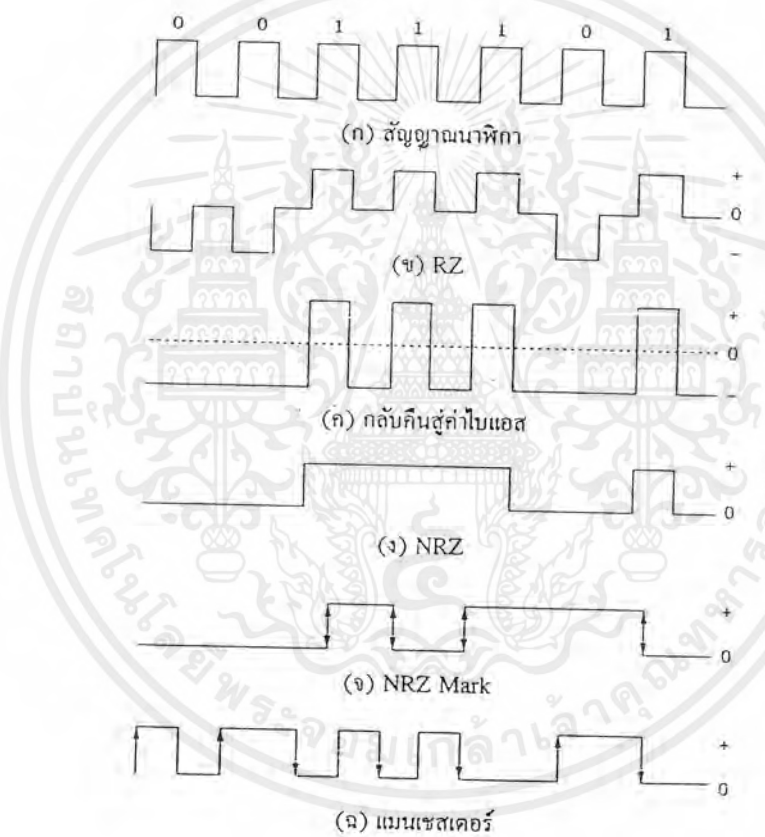
2.12 การเข้ารหัส

การเข้ารหัสแบบดิจิตอลที่ใช้ในระบบสื่อสารด้วยเส้นเส้นใยแสงมีหลายวิธี ดังแสดงในรูปที่ 2.20 ซึ่งเป็นตัวอย่างการเข้ารหัสข้อมูล 0011101 โดยมีระยะเวลาของการแสดงค่าข้อมูลถูกกำหนดด้วยสัญญาณนาฬิกา วิธีการแรกในรูปที่ 2.20 (ข) มีชื่อว่า RZ (Return to Zero) เป็นการกำหนดสถานะของข้อมูลให้มีค่าเป็นไฟบวก (+) หรือไฟลบ (-) ขึ้นอยู่กับชนิดของข้อมูลว่าเป็น 1 หรือ 0 ตามลำดับ โดยสถานะของสัญญาณจะแสดงในทุกๆครึ่งลูกคลื่นแรกของสัญญาณนาฬิกาและจะกลับคืนสู่สถานะศูนย์ในช่วงครึ่งลูกที่เหลือ ในรูปที่ 2.20 (ค) เป็นการเข้ารหัสแบบกลับคืนสู่ค่าไบแอส (Return to Bias) ลักษณะของสัญญาณจะแสดงเพียงสองสถานะคือบวกกับลบ โดยสัญญาณในครึ่งลูกคลื่นแรกเป็นตัวแสดงชนิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของข้อมูลด้วยสถานะบวกเมื่อข้อมูลเป็น 1 และมีสถานะเป็นลบเมื่อข้อมูลเป็น 0 สัญญาณในครึ่งลูกหลังต้องมีค่าอยู่ในสถานะลบเท่านั้น

การเข้ารหัสแบบ NRZ (Non-Return to Zero) ในรูปที่ 2.20 (ง) มีหลักการทำงานคล้ายกับสองแบบแรก เพียงแต่ไม่จำเป็นต้องมีการเปลี่ยนแปลงใดๆ ในครึ่งลูกคลื่นหลัง สถานะของสัญญาณขึ้นอยู่กับชนิดของข้อมูลขณะเวลานั้นๆ เป็นหลัก ในรูปที่ 2.20 (จ) เป็นการเข้ารหัสที่ปรับปรุงมาจากชนิด NRZ โดยสัญญาณจะมีสถานะ (จาก 0 ไป 1 หรือจาก 1 ไป 0) ทุกครั้งเมื่อข้อมูลบิตมีค่าเป็น 1 และจะไม่เปลี่ยนสถานะเลยเมื่อข้อมูลเป็น 0 การเข้ารหัสในรูปที่ 2.20 (ฉ) มีชื่อว่า แมนเชสเตอร์ (Manchester) หรือ ไบเฟส (Biphase) โดยสัญญาณจะมีการเปลี่ยนแปลงทางขอบขึ้นเมื่อข้อมูลเป็น 0 และ เปลี่ยนแปลงทางขอบลงเมื่อข้อมูลมีค่าเป็น 1



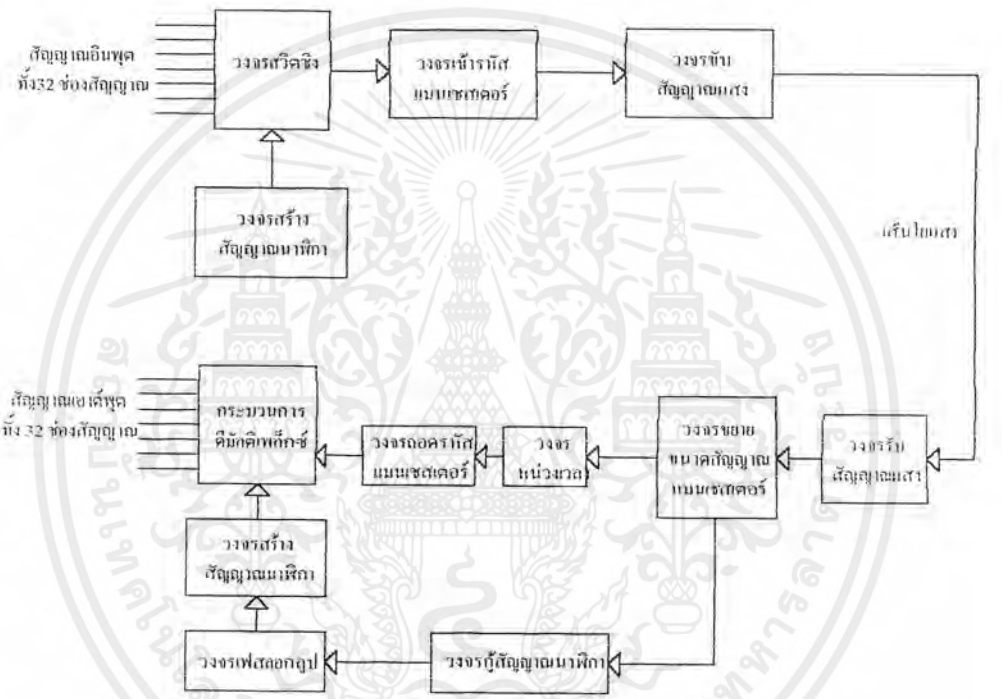
รูปที่ 2..20แสดงเทคนิคการเข้ารหัสทางดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

3.1 บล็อกไดอะแกรมแสดงการมัลติเพลกซ์สัญญาณส่งผ่านเส้นใยแสง

บล็อกไดอะแกรมแสดงภาคส่ง และภาครับสัญญาณที่ถูกมัลติเพลกซ์ ส่งผ่านเส้นใยแสง แสดงได้ดังรูปที่ 3.1



รูปที่ 3.1 แสดงบล็อกไดอะแกรมของภาคส่งและภาครับสัญญาณผ่านเส้นใยแสง

3.2 โคเดค (Codec)

ในโครงงานนี้ใช้ไอซี CD 22357 ทำหน้าที่ในการเปลี่ยนสัญญาณอนาลอก เป็นสัญญาณดิจิตอลสวิตชิง และเปลี่ยนสัญญาณดิจิตอลจากดิจิตอลสวิตชิงเป็นสัญญาณอนาลอก
รายละเอียดขาต่างๆของโคเดค ดังนี้

- ส่วนของไฟเลี้ยง

  ขา 1 V- ป้อนไฟลบขนาด 5 โวลต์

  ขา GND ป้อนกราวด์ โดยจะเป็นทั้งอนาลอกกราวด์และดิจิตอลกราวน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา V+ ป้อนไฟบวกขนาด 5 โวลต์

- สัญญาณนาฬิกาและสัญญาณเฟรมซิงค์

ขา 5 FSR ป้อนสัญญาณเฟรมซิงค์ ที่สร้างจากวงจรสร้างสัญญาณเฟรมซิงค์ และต่อเข้ากับขา 12FSR

ขา 7 BCLKR / CLKSEL ป้อนสัญญาณนาฬิกา 2.048 เมกะเฮิรตซ์ ที่สร้างมาจากวงจรเฟรมซิงค์

ขา 8 MCLKR / PDN

ขา 9 MCLKX

ขา 10 BCLKX

- ส่วนของอนาลอกอินพุตและเอาต์พุต

ขา 14 GSX ขา 15 VFX 1- และ ขา 16 VFX 1+ ทั้งสามเป็นขาของออปแอมป์ ซึ่งมีเอาต์พุตต่อกับภาคการทำงานภาคต่อไปของไอซี ซึ่งสามารถปรับแกนของสัญญาณก่อนเข้าไอซีได้ ขาเหล่านี้ต่อกับสัญญาณอนาลอกที่มาจากสัญญาณเสียงพูด

ขา 3 VFRO เป็นขาเอาต์พุต ของสัญญาณอนาลอก เพื่อส่งไปเข้าสัญญาณเสียงพูด

- ส่วนของสัญญาณดิจิตอลอินพุตและเอาต์พุต

ขา 6 DX เป็นขาอินพุต ของสัญญาณดิจิตอลที่มาจากดิจิตอลสวิตชิง

ขา 7 DR เป็นขาเอาต์พุต ของสัญญาณดิจิตอล เพื่อส่งไปยังดิจิตอลสวิตชิง

ทางภาคส่ง

ในกระบวนการทำงานนั้น จะมีการเปลี่ยนแปลงสัญญาณอนาลอกที่มาจากสัญญาณเสียงพูด ให้เป็นสัญญาณดิจิตอลเพื่อส่งไปให้ภาคสวิตชิง จะประกอบด้วย ออปแอมป์ ที่ทำหน้าที่ปรับค่าอัตราขยายสัญญาณในการปรับแซมปลิ้ง ทฤษฎีไนควิสต์กล่าวว่า ต้องทำการสุ่มตัวอย่างสัญญาณด้วยอัตราสองเท่า หรือมากกว่า ความถี่สูงสุดของสัญญาณอนาลอก ซึ่งมาจากสัญญาณเสียง 3 กิโลเฮิรตซ์ จะให้อัตราสุ่มตัวอย่าง 8 กิโลเฮิรตซ์ คือ ทำการสุ่มตัวอย่างสัญญาณทุกๆ 125 ไมโครวินาที จะต้องใช้วงจรกรองความถี่ต่ำผ่าน เพื่อกันความถี่ที่สูงกว่า 3 กิโลเฮิรตซ์ ไม่ให้ผ่านเข้ามา การสุ่มตัวอย่าง คือ การทำสัญญาณที่มีค่าต่อเนื่องให้เป็นสัญญาณดิสครีท (discreat)ในช่วงเวลาที่ห่างกัน ก็จะได้ ขบวนพัลส์แอมปลิจูดมอดูเลชั่น ซึ่งยังถือว่าเป็นสัญญาณอนาลอกอยู่

จากนั้นก็ผ่านขบวนการควอนไทซ์ ซึ่งเป็นการจัดระดับสัญญาณโดยใช้วงจรคอมเพรสเซอร์แบบ A-LAW ซึ่งถ้าเปรียบเทียบกับ μ-LAW จะเห็นว่าสัญญาณที่ระดับกำลังงานสูง จะมีอัตราส่วนของสัญญาณต่อสัญญาณรบกวนดีกว่า เมื่อสัญญาณผ่านการจัดระดับแล้วจะผ่านไปยังขบวนการเข้ารหัส ซึ่งจะมีการแปลงเป็นระดับสัญญาณดิจิตอลส่งออกไปทางขา 11DX

ทางภาครับ

จะมีการแปลงสัญญาณจากดิจิตอล ซึ่งรับมาทางขา DR ไปเป็นสัญญาณอนาลอก ส่งออกไปทางขา VFR จะประกอบไปด้วย วงจรเอกซ์แพนเดอร์ (Expander) , วงจรแปลงอนาลอกเป็นดิจิตอล (Analog to Digital) , คอนเวอร์เตอร์ (Converter) , และวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณดิจิตอลที่รับเข้ามาทางขาDRด้วยการควบคุมของFSR (เฟรมซิงค์พัลส์ที่รับมาจากวงจรเฟรมซิงค์) และ BCLK (รับสัญญาณนาฬิกา) สามารถปรับค่าได้ตั้งแต่ 64 กิโลเฮิรตซ์ จนถึง 2.048 เมกะเฮิรตซ์ ซึ่งจะรับสัญญาณดิจิตอลเข้าไปยังรีจิสเตอร์รับข้อมูล

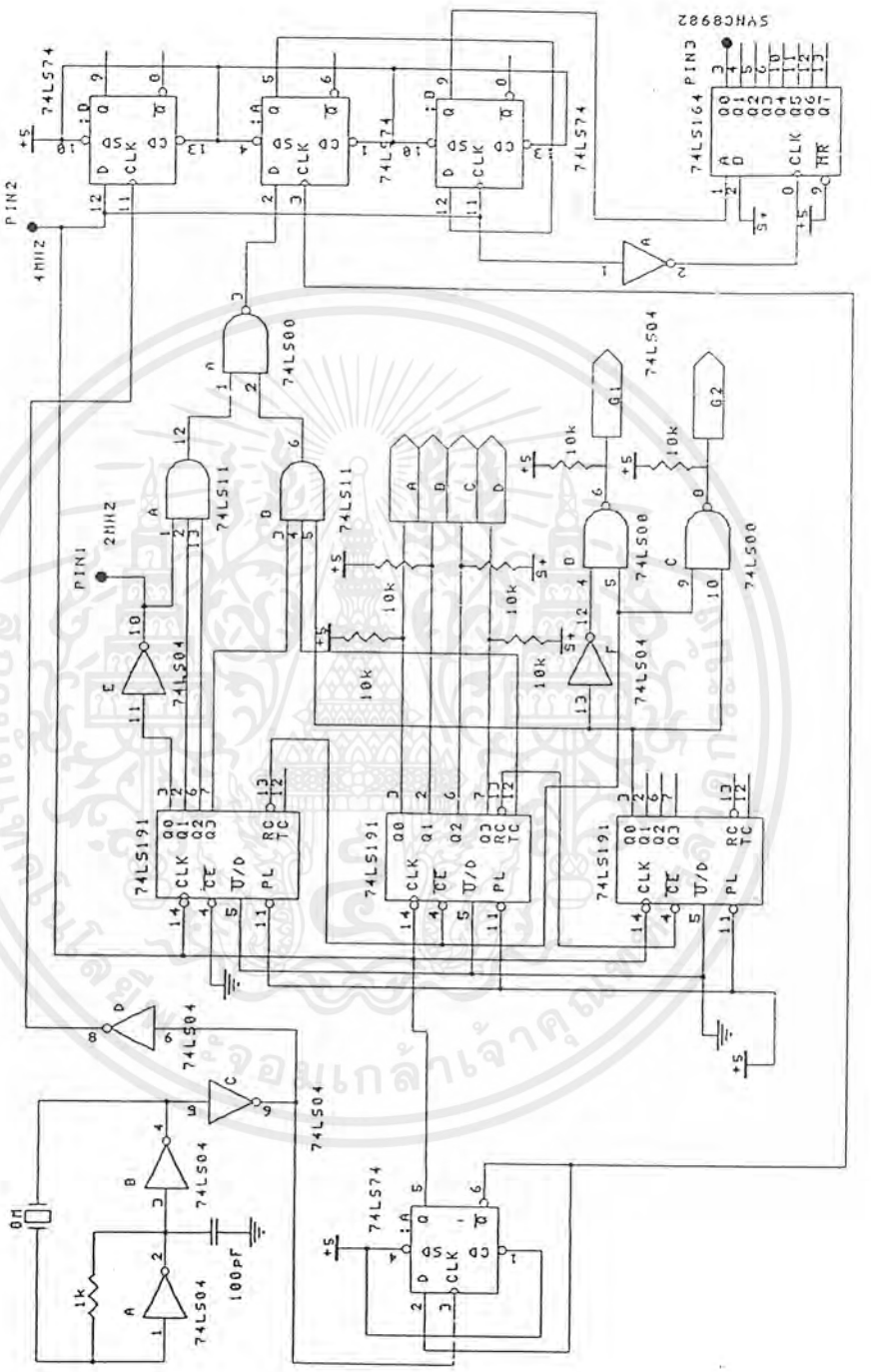
ทางตัวเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาลอก จะมีการทำทีละ 8 บิต ของข้อมูลดิจิตอล และสัญญาณอนาลอกจะถูกแปลงออกมาที่ดีทูเอ คาปาซิเตอร์ (D-A capacitor) สัญญาณที่ได้จะถูกส่งไปที่สวิตช์ วงจรกรองความถี่ต่ำผ่านจะคล็อคที่ความถี่ 128 กิโลเฮิรตซ์ เพื่อที่จะปรับสัญญาณให้ดีเพื่อชดเชยการผิดพลาดจาก SIN X/X ก็จะได้สัญญาณอนาลอกออกมาทางขา VFR

3.3 กระบวนการมัลติเพลกซ์

สัญญาณดิจิตอลอินพุตทั้ง 32 ช่อง จะถูกทำกระบวนการทีดีเอ็มมัลติเพลกซ์โดยมีหลักการว่า สัญญาณอินพุตหลายๆสัญญาณ จะถูกส่งผ่านสายส่งร่วมกันเพียงเส้นเดียว โดยจะมีการจัดแบ่งช่องเวลาในการส่งให้แต่ละช่องสัญญาณ จะเห็นว่าความเร็วของสัญญาณในแต่ละช่องสัญญาณคือ 64 กิโลบิตต่อวินาที เมื่อทำการมัลติเพลกซ์ทั้ง 32 ช่อง เพื่อส่งไปยังขาอินพุตของอุปกรณ์สวิตชิงแล้ว สัญญาณทั้ง 32 ช่องนี้ จะถูกส่งรวมกันไปด้วยความเร็วเท่ากับ ($64*10^3$)*32 บิต จะได้เท่ากับ 2.048 เมกะบิตต่อวินาที โดยช่วงเวลาในการส่งข้อมูลบิตของแต่ละช่องสัญญาณจะถูกควบคุม โดยสัญญาณชาแนลซิงค์ (channel synchronous) ทั้ง 32 ช่อง (0-31) ที่ถูกสร้างจากวงจรสร้างสัญญาณนาฬิกา โดยมีสัญญาณเฟรมซิงค์ (frame synchronous) เป็นตัวกำหนดขอบเขตของเฟรมข้อมูล

เราจะสร้างสัญญาณนาฬิกา 4.096 เมกะเฮิรตซ์ , สัญญาณนาฬิกา 2.048 เมกะเฮิรตซ์ และสัญญาณเฟรมซิงค์ ป้อนให้กับวงจรดิจิตอลสวิตชิงและโคเดค ดังแสดงในรูปที่ 3.7 โดยวงจรสร้างสัญญาณนาฬิกาและซิงโครนัส แสดงดังรูปที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 วงจรสร้างสัญญาณนาฬิกาและซิงโครนัส

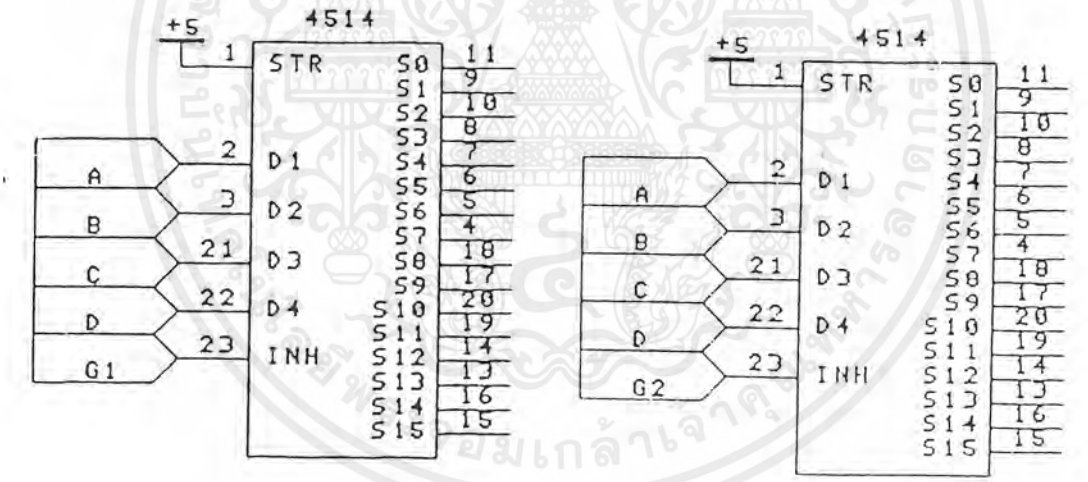
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบในที่นี้ใช้คริสตอล 8 เมกะเฮิรตซ์ เป็นตัวผลิตสัญญาณหลัก ร่วมกับวงจรเกท 74HC04 สำหรับความถี่ 4 เมกะเฮิรตซ์นั้นจะใช้วงจรที่สามารถหาร 8 เมกะเฮิรตซ์ ให้เหลือ 4 เมกะเฮิรตซ์ โดยใช้ 74HC04 ซึ่งความถี่ 4 เมกะเฮิรตซ์นี้ จะเป็นสัญญาณนาฬิกาที่จะนำไปป้อนให้กับดิจิตอลสวิตชิง สัญญาณนาฬิกา 4 .096 เมกะเฮิรตซ์ จะถูกป้อนให้เป็นสัญญาณนาฬิกาของวงจรนับซิงโครนัส74HC191 สามตัว

เคาน์เตอร์ตัวแรก ขา Q0 จะได้สัญญาณ 2.048 เมกะเฮิรตซ์ นำไปป้อนให้กับวงจรโคเดค

เคาน์เตอร์ตัวที่สอง จะทำการหารความถี่ต่อจากตัวที่หนึ่ง ได้สัญญาณที่ขา Q0 เป็น 128 กิโลเฮิรตซ์ , ขา Q1 เป็น 64 กิโลเฮิรตซ์ , ขา Q2 เป็น 32 กิโลเฮิรตซ์ , ขา Q3 เป็น 16 กิโลเฮิรตซ์

เคาน์เตอร์ตัวที่สาม จะทำการหารความถี่ต่อจากตัวที่สอง ได้สัญญาณที่ขา Q1 เป็น 8 กิโลเฮิรตซ์ , นำสัญญาณ 128 กิโลเฮิรตซ์ , 64 กิโลเฮิรตซ์ , 32 กิโลเฮิรตซ์ , 16 กิโลเฮิรตซ์ เข้าทำการถอดรหัส โดยวงจรถอดรหัส 74HC4514 2 ตัว โดยควบคุมการอีนาเบิ้ล ของวงจรถอดรหัส ให้สลับกันทำงานด้วยสัญญาณ 8 กิโลเฮิรตซ์ และควบคุมการตัดของสัญญาณลอจิกเกท ดังรูปที่ 3.3 สัญญาณจากวงจรถอดรหัส จะถูกป้อนเป็นสัญญาณเฟรมซิงโครนัสของดิจิตอลสวิตชิง ได้จากลอจิกเกท



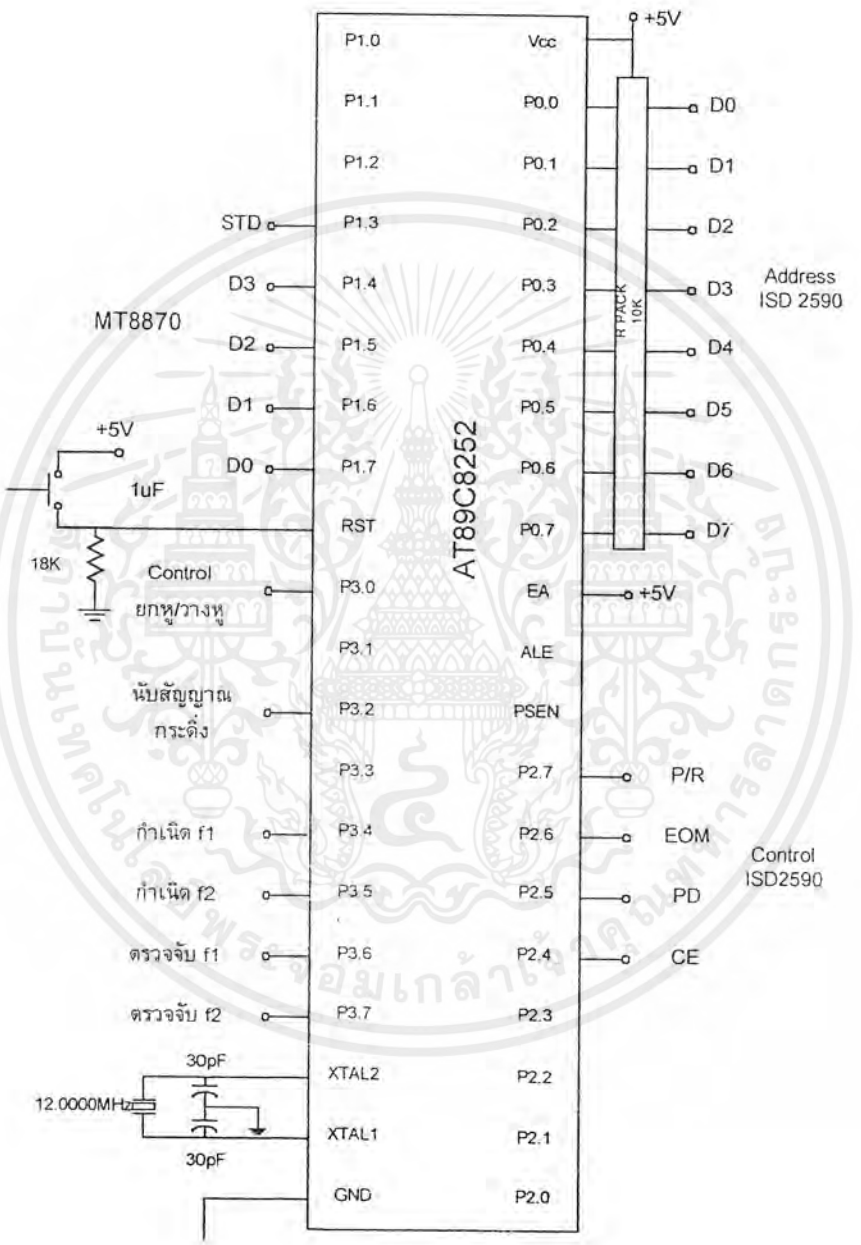
รูปที่ 3.3 วงจรสร้างสัญญาณชาแนลซิงโครนัส

3.4 ไมโครคอนโทรลเลอร์

ในโครงงานนี้ได้ใช้ไอซีเบอร์ AT89C8252 เป็นไมโครคอนโทรลเลอร์ขนาด 8 บิต และเป็นไอซีประเภท CMOS ซึ่งเป็นไอซีที่มีประสิทธิภาพสูง กินไฟต่ำ มีหน่วยความจำแบบแฟลช บรรจุอยู่ภายในตัวขนาด 8 กิโลไบต์ ทั้งยังทำงานร่วมและทดแทนไมโครคอนโทรลเลอร์ตระกูล MCS-51 ได้ทั้งชุดคำสั่งและการจัดเรียงขา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การที่มีหน่วยความจำแบบแฟลช ทำให้เครื่องพีซีสามารถทำการลบและเขียนโปรแกรมได้โดยตรง โดยไม่ต้องถอดไมโครคอนโทรลเลอร์ออกจากแผงวงจร (In System Programming) ซึ่งเหมาะต่อการพัฒนาต่อไป ซึ่งได้ทำการต่อวงจรดังรูปที่ 3.4

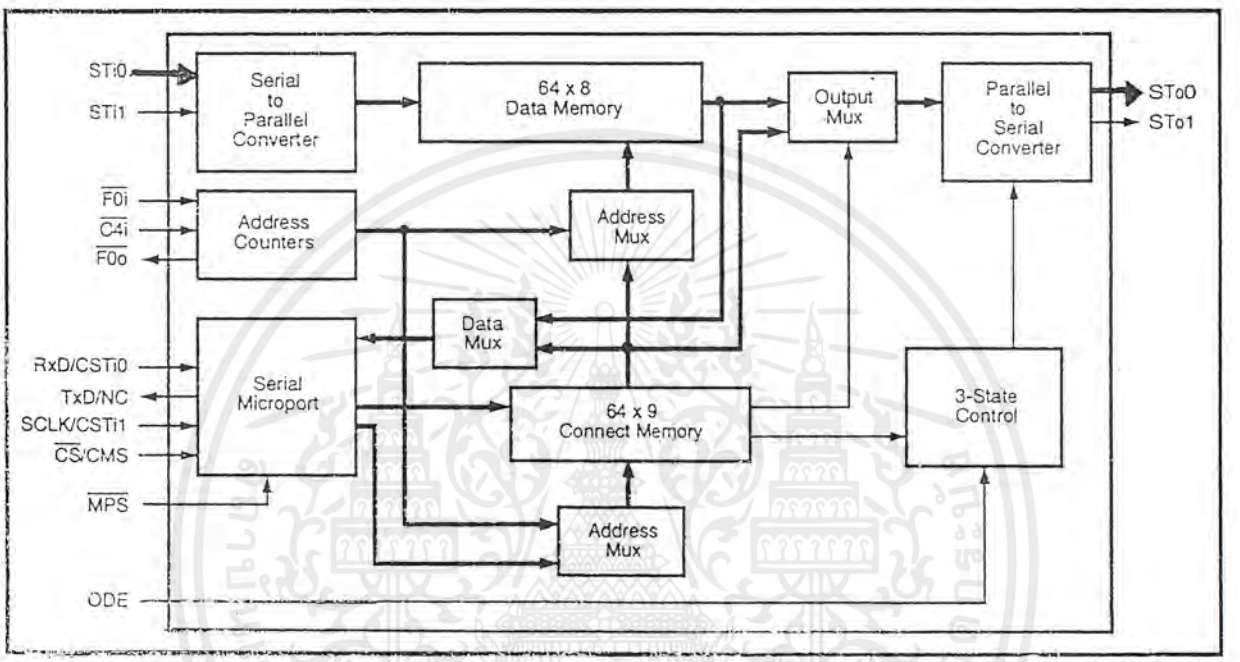


รูปที่ 3.4 วงจรไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 ดิจิตอลสวิตชิง (Digital Switching)

สัญญาณที่ถูกมัลติเพลกซ์แล้วทั้ง 32 ช่อง จะถูกส่งมายังดิจิตอลสวิตชิง ซึ่งในโครงงานนี้ได้ใช้ไอซีเบอร์ MT 8982 ซึ่งเป็นอุปกรณ์สวิตชิงแบบดิจิตอลขนาดเล็ก (Small Digital Switch MiniDX) เพื่อทำการส่งข้อมูลของช่องสัญญาณอินพุตให้ออกไปยัง ช่องสัญญาณเอาต์พุตที่เราต้องการ ภายใต้การควบคุมของไมโครคอนโทรลเลอร์ โครงสร้างภายในสวิตชิงแสดงได้ดังรูปที่ 3.5



รูปที่ 3.5 แสดงโครงสร้างภายใน MT 8982

MT 8982 จะรับสัญญาณบิตที่ถูกมัลติเพลกซ์แล้วเข้ามาทางขา STi0 หรือ STi1 ข้อมูลที่เป็นอนุกรมเหล่านี้จะถูกทำให้เป็นข้อมูลขนาน เพื่อนำไปเก็บอย่างเป็นลำดับในดาต้าเมมโมรี (Data Memory) ที่มีขนาด 64*8 บิต ซึ่งจะถูกควบคุมโดยเคาน์เตอร์ภายใน เช่น ข้อมูลบิตที่อยู่ในไทม์สลอตที่ 0 จะถูกเก็บไว้ในดาต้าเมมโมรีที่ตำแหน่งแอดเดรส 0 ข้อมูลบิตที่อยู่ในไทม์สลอตที่ 1 bก็จะถูกเก็บไว้ในดาต้าเมมโมรีที่ตำแหน่งแอดเดรส 1 และจะเป็นในลักษณะแบบนี้ไปเรื่อยๆจนถึงช่องสัญญาณที่ 32 ซึ่งจะเห็นว่าจำนวนแอดเดรสของดาต้าเมมโมรีจะสอดคล้องกับจำนวนช่องสัญญาณข้อมูลที่รับเข้ามา

การนำข้อมูลออกหรือการอ่านจะถูกควบคุมโดยคอนเนคชั่นเมมโมรี(Connection Memory) ที่มีแอดเดรสมากเท่ากับจำนวนช่องสัญญาณข้อมูลที่รับเข้ามา โดยข้อมูลที่เก็บอยู่ในคอนเนคชั่นเมมโมรีก็คือ ค่าแอดเดรสของดาต้าเมมโมรี ซึ่ง ณ ตำแหน่งแอดเดรสนั้นจะมีข้อมูลที่ต้องการให้ออกเป็นเอาต์พุตอยู่

ยกตัวอย่างเช่น ถ้าต้องการให้มีการนำข้อมูลของช่องสัญญาณอินพุตที่ 0 ไปออกยังช่องสัญญาณเอาต์พุตที่ 1 ข้อมูลของช่องสัญญาณที่ 0 จะถูกเก็บไว้ได้ดาต้าเมมโมรีแอดเดรสที่ 0 ส่วนใน

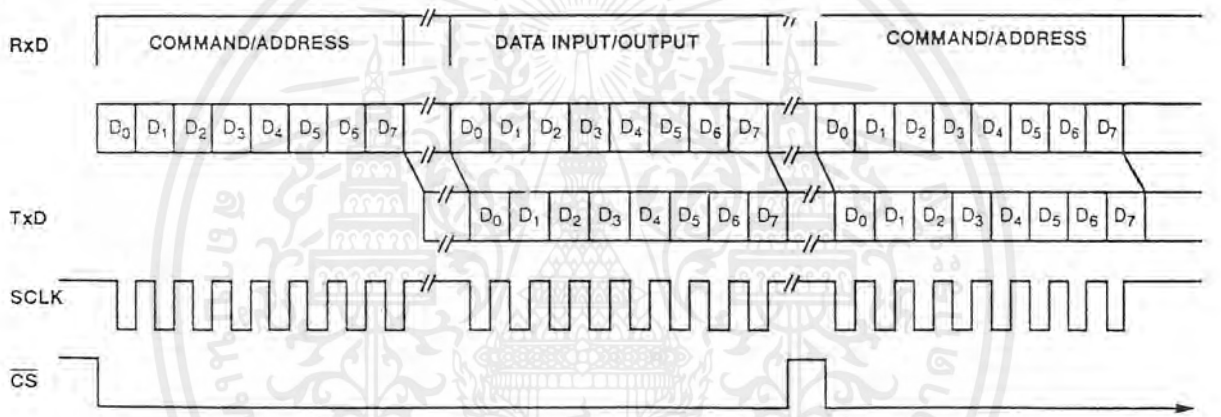
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คอนเนคชั่นแมมโมรี ณ ตำแหน่งแอดเดรสที่ 1 จะเก็บข้อมูล 0 ดังนั้นข้อมูลจากช่องสัญญาณอินพุต 0 ก็จะไปออกที่ช่องสัญญาณเอาต์พุต 1

ซีเรียลไมโครพอร์ต (serial microport) จะประกอบด้วย

- TxD ใช้สำหรับส่งข้อมูล
- RxD ใช้สำหรับรับข้อมูล
- CS ถ้าได้รับสัญญาณ low จะหมายถึง อนุญาตให้ซีเรียลไมโครพอร์ตทำงานได้
- SCLK เป็นสัญญาณพัลส์ที่ใช้ในการซิงโครนัส

ไมโครพอร์ตจะทำงานได้นั้น ขา CS จะต้องถูกทำให้เป็น low และขา SCLK จะต้องได้รับสัญญาณพัลส์ดังแสดงในรูปที่ 3.6



รูปที่ 3.6 สัญญาณพัลส์ในซีเรียลไมโครพอร์ต

ไมโครพอร์ต จะทำงานที่ขอบขาลงของCS จากนั้นข้อมูล 8 บิตที่ส่งมาจากไมโครคอนโทรลเลอร์จะถูกรับที่ขา RxD ในช่วงขอบขาขึ้นของสัญญาณที่รับได้ที่ขา SCLK แต่ถ้าเป็นการอ่านข้อมูล ข้อมูลจะถูกอ่านทั้ง 8 บิตนั้นจะถูกส่งออกไปที่ขา TxD ในช่วงขอบขาลงของสัญญาณที่รับได้ที่ขา SCLK

การทำงานของดิจิตอลสวิตชิง

ยกตัวอย่างเช่น ใช้อินพุตเป็นสัญญาณไซด์ ขนาด 1 กิโลเฮิรตซ์ สมมุติว่า มีสัญญาณเข้ามาที่โคเดค ตัวที่ 3 แล้วเราต้องการจะติดต่อไปยังโคเดคตัวที่ 4 แล้วจะมีขั้นตอนดังต่อไปนี้

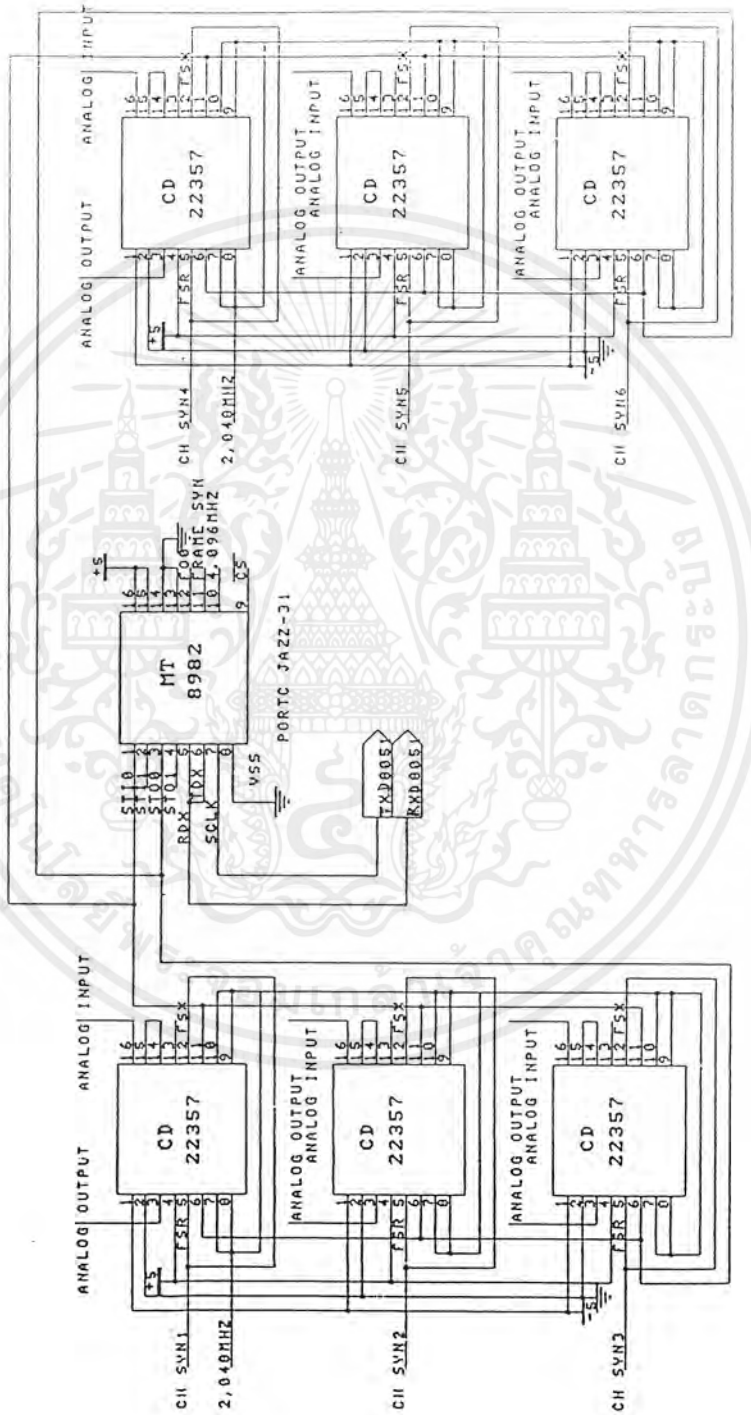
1 ต่อวงจรสร้างสัญญาณนาฬิกา และสัญญาณซิงโครนัส ตามรูปที่ 3.2 และต่อเข้ากับวงจรดังรูปที่ 3.3 เพื่อสร้างวงจรสัญญาณชาแนลซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ต่อวงจรสวิตชิงและโคเดค ตามรูปที่ 3.7

3. ป้อนสัญญาณไซด์ขนาด 1 กิโลเฮิรตซ์ ขนาด 3 โวลต์ (Vp-p) เข้าที่ขา 16 ของโคเดคตัวที่ 3

4. ป้อนสัญญาณนาฬิกา 4.096 เมกะเฮิรตซ์ และสัญญาณเฟรมซิงค์ 8 กิโลเฮิรตซ์ ให้กับวงจรสวิตชิงและโคเดค



รูปที่ 3.7 วงจรดิจิตอลสวิตชิงและโคเดค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. ที่ขา 9 ของ MT 8982 ต่อเข้ากับ P1.0 ของ AT89S8252
6. ที่ขา 5 และ 6 ของ MT 8982 ให้ลัดวงจรเข้าด้วยกันแล้วนำไปต่อเข้ากับขา 11 ของ 8031 (ขา TxD)
7. ขา 7 ของ MT 8982 ให้ต่อเข้ากับขา 10 ของ AT89S8252 (RxD)

ส่วนการควบคุมการทำงานของไมโครคอนโทรลเลอร์ สามารถโปรแกรมได้ดังนี้

```
        CPU"8051.TBL"
        HOF"INT8"
SCON:   EQU   98H
TMOD:   EQU   89H
TH1:    EQU   8DH
TR1:    EQU   8EH
RI:     EQU   98H
TI:     EQU   99H
SBUF:   EQU   99H
P1.0:   EQU   90H
        ORG   8000H
        SETB  P1.0
MOV     SCON,#12H       ; MODE 0  ส่งแบบซิงโครนัส
MOV     TCON,#20H       ; MODE 2  TIMER 1
MOV     TH1,#OFDH       ; FOR 9600  11.059 MHz.
SETB    TR1
LOOP:
        SETB    P1.0
        CLR     P1.0
        MOV     A,#12H      ; COMMAND/ADDRESS BYTE
AGAIN:
        JNB     TI, AGAIN
        CLR     TI
        MOV     SBUF,A
LCALL   DELAY
        CLR     TI
        MOV     A,#03H      ; DATA BYTE
        MOV     SBUF,A
        LCALL   DELAY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DELAY:
        MOV     A,#0FH
LL:
        DEC     A
        JNZ     LL
        RET
        END
```

สำหรับโปรแกรมที่ควบคุมนั้นสามารถตรวจสอบการทำงานของ MT8982 ได้ด้วยว่า MT8982 นั้นรับข้อมูลที่เราส่งไปจริงหรือไม่ ด้วยการเพิ่มคำสั่งเข้าไปในโปรแกรม ดังนี้

```
ORG     0000H
SETB    P1.0
MOV     SCON,#12H       ; MODE 0  ส่งแบบซิงโครนัส
MOV     TCON,#20H       ; MODE 2  TIMER 1
MOV     TH1,#OFDH       ; FOR 9600  11.059 MHz.
SETB    TR1
LOOP:
        SETB    P1.0
        CLR     P1.0
        MOV     A,#12H      ; COMMAND/ADDRESS BYTE
AGAIN:
        JNB     TI, AGAIN
        CLR     TI
        MOV     SBUF,A
LCALL  DELAY:
        CLR     TI
        MOV     A,#03H      ; DATA  BYTE
        MOV     SBUF,A
        LCALL  DELAY
READ:
        SETB    P1.0
        CLR     P1.0
        MOV     A,#00010000B   ; หมายถึง เราจะส่งคำสั่งเพื่อบอก MT8982 ว่าจะให้ทำงานในโหมดของการอ่าน ดาต้าแมมโมรี
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SS:     JNB     TI, AGAIN
        CLR     TI
        MOV     SBUF,A
        LCALL   DELAY
RR:     JNB     RI,RR
        CLR     TI
        MOV     A,SBUF
        LCALL   DELAY
SJMP    LOOP
DELAY:  MOV     A,#0FH
LL:     DEC     A
        JNZ     LL
        RET
        END
```

การทำงานอธิบายได้ดังนี้

สัญญาณอินพุตไซน์ 1 กิโลเฮิรตซ์ ขนาด 3 โวลต์ ที่เข้ามาที่ขา 16 ของ CD22357 จะถูกเปลี่ยนเป็นสัญญาณดิจิตอล ซึ่งใช้อัตราการสุ่มตัวอย่าง 8 กิโลเฮิรตซ์ ก็คือ การแซมปลิ้งทุกๆ 125 ไมโครวินาที โดยจะส่งสัญญาณดิจิตอล ออกไปทางขาที่ 11 เข้าไปที่ขา 1 ของ MT8982 ด้วยอัตราเร็วประมาณ 2.048 เมกะบิตต่อวินาที ซึ่ง MT8982 จะทำการสลับช่องสัญญาณอินพุตที่ 3 ให้ไปออกที่ขา 3 ของช่องสัญญาณเอาต์พุตที่ 4

โดย COMMAND/ADDRESS BYTE คือ 12H หรือ 00010010

บิตที่ 0-1 เท่ากับ 10 หมายถึง ให้มีการเขียนไปยัง Connect Memory ได้ และเซทเป็น Connection Mode

บิตที่ 2-6 เท่ากับ 00100 หมายถึง ให้มีการติดต่อออกไปยัง TDM Channel 4

บิตที่ 7 เท่ากับ 0 หมายถึง ให้มีการใช้ Output TDM serial stream 0 (STo0)

โดย DATA BYTE คือ 03H หรือ 00000011

บิตที่0-4 เท่ากับ 00011 หมายถึง ให้มีอินพุตเข้าที่ TDM Channel 3

บิตที่ 5 เท่ากับ 0 หมายถึง ให้มีการใช้ Input TDM serial stream 0 (STi0)

บิตที่ 6 เท่ากับ 0 หมายถึง อนุญาตให้มีเอาต์พุตได้

บิตที่ 7 ไม่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 วงจรเข้ารหัสแมนเชสเตอร์ (Manchester Encoder)

ในการส่งข้อมูลไปยังด้านรับด้วยวิธีอะซิงค์โครนัสนั้นจะต้องมีการนำพาสัญญาณนาฬิกาไปพร้อมกับข้อมูลที่ต้องการจะส่งโดยการเข้ารหัส เพื่อที่ทางด้านรับจะสามารถนำสัญญาณที่รับได้ไปผ่านกระบวนการแยกเอาสัญญาณนาฬิกาออกจากข้อมูล (recovery clock)ได้ ซึ่งข้อมูลและสัญญาณนาฬิกาที่ได้จะถูกนำไปใช้ในกระบวนการดีมัลติเพลกซ์ต่อไป โดยในโครงงานนี้ได้ใช้วิธีการเข้ารหัสแบบแมนเชสเตอร์

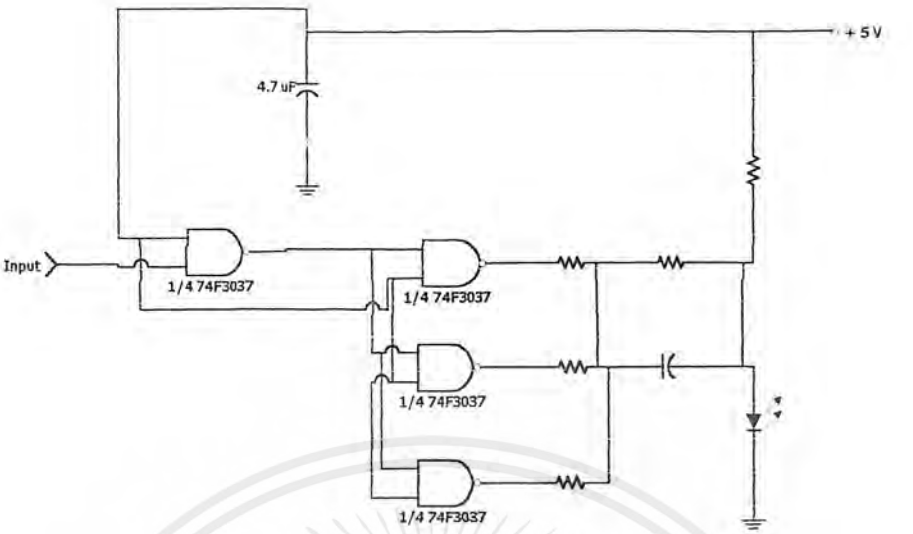
ดังนั้นสัญญาณสตรีมเอาต์พุตที่ออกจากวงจรสวิตชิ่งจึงถูกนำมาเข้าเอกซ์คลูซีฟออร์กับสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ เพื่อทำการเข้ารหัสแบบแมนเชสเตอร์ โดยใช้ไอซี 74HC04 ซึ่งวงจรเข้ารหัสแมนเชสเตอร์แสดงได้ดังรูปที่ 3.8

รูปที่ 3.8 แสดงวงจรเข้ารหัสแมนเชสเตอร์

3.7 วงจรขับสัญญาณแสง (Fiber Optic Transmitter)

ในโครงงานนี้ได้ใช้ BFBR-14X2 เป็นอุปกรณ์ในการแปลงสัญญาณไฟฟ้าเป็นสัญญาณแสงเพื่อส่งไปในเส้นใยแก้วนำแสง ซึ่งภายในประกอบด้วยสาร GaAlAs ทำหน้าที่ในการปล่อยพลังงานที่มีความยาวคลื่น (center emission wavelength) เท่ากับ 820 นาโนเมตร ซึ่งต้องการวงจรสำหรับจ่ายกระแสให้แก่ LED โดยในโครงงานนี้ได้ใช้วงจรขับ LED ที่แสดงในรูปที่ 3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 แสดงวงจรขับสัญญาณแสง

ซึ่งได้ทำการคำนวณค่าของอุปกรณ์ต่าง ๆที่ใช้ในวงจรดังนี้

$$R_y = \frac{(V_{CC} - V_F) + 3.97\,(V_{CC} - V_F - 1.6\ V)}{I_{FON}}$$

$$= \frac{(5 - 1.84) + 3.97\,(5 - 1.84 - 1.6)}{0.1}$$

$$= 93.5 \text{ โอห์ม}$$

$$R_{x1} = (1/2) * (R_y/3.97)$$

$$= 11.8 \text{ โอห์ม}$$

$$R_{EQ} = R_{x1} - 1$$

$$= 10.8 \text{ โอห์ม}$$

$$R_{x2} = 3 * 10.8$$

$$= 32.4 \text{ โอห์ม}$$

$$R_{x2} = R_{x3} = R_{x4} = 32.4 \text{ โอห์ม}$$

โดยกำหนดค่า I_F (forward current) เท่ากับ 100 มิลลิแอมป์ และ นำค่า I_F ไปหาค่า V_F จากกราฟรูปที่ 3.10 ซึ่งได้เท่ากับ 1.84 โวลต์

ดังนั้นสัญญาณที่รับมาจากวงจรเข้ารหัสแมนเชสเตอร์จะถูกป้อนเข้าวงจรขับ LED ที่ได้จากการคำนวณแล้วจะมีผลทำให้ LED ทำงานโดยการเปลี่ยนสัญญาณไฟฟ้าที่เข้ามาให้เป็นสัญญาณแสงแล้วส่งผ่านไปในเส้นใยแก้วนำแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

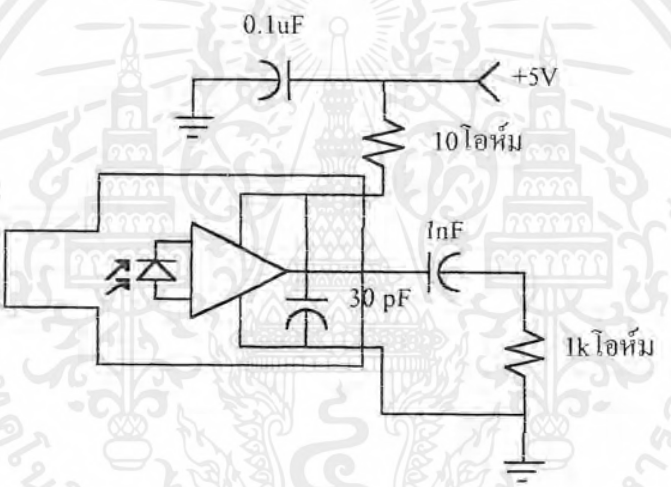
3.8 เส้นใยแสง (Optical Fiber)

ในโครงงานนี้ได้ใช้เส้นใยแก้วที่มีคุณสมบัติดังนี้

1) เป็นเส้นใยแสงชนิดมัลติโหมด (multi mode)
2) มีขนาดของคอร์(core) และแคลดดิง(clading) เท่ากับ 62.5 / 125 ไมโครเมตร
3) มีค่าเอ็นเอ (NA : Numerical Aperture) เท่ากับ 0.275

3.9 วงจรรับสัญญาณแสง (Fiber Optic Receiver)

สัญญาณแสงจะถูกเปลี่ยนเป็นสัญญาณไฟฟ้า โดยวงจรรับสัญญาณแสงที่แสดงในรูปที่ 3.10 ซึ่งสัญญาณเอาต์พุตที่ได้จากวงจรรับสัญญาณแสงก็คือสัญญาณแมนเชสเตอร์ ซึ่งส่วนหนึ่งจะถูกนำไปเข้าวงจรกู้สัญญาณนาฬิกาและส่วนหนึ่งจะเข้าวงจรถอดรหัสแมนเชสเตอร์ต่อไป

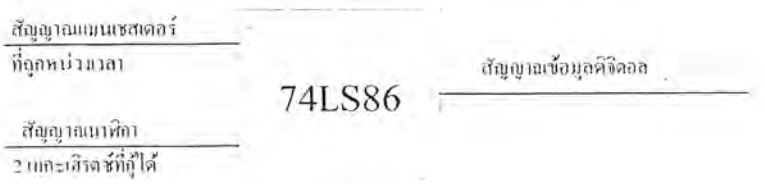


รูปที่ 3.10 แสดงวงจรรับสัญญาณแสง

3.10 วงจรถอดรหัสแมนเชสเตอร์ (Manchester Decoder)

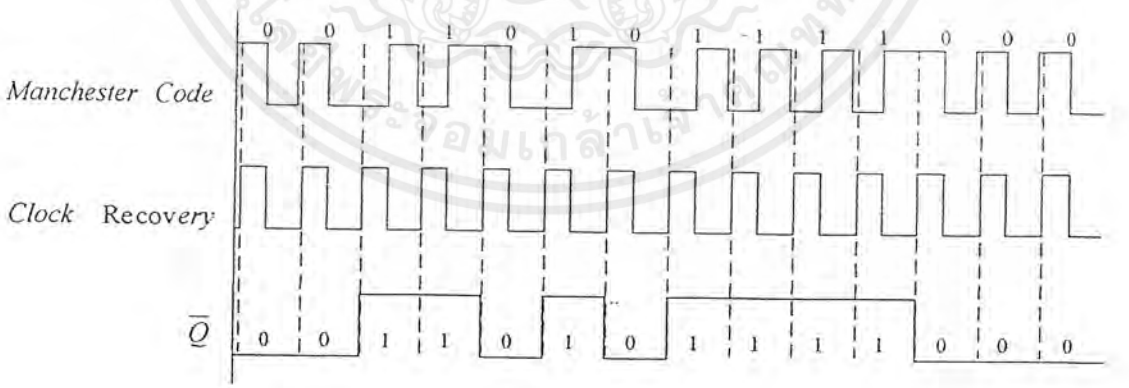
สัญญาณแมนเชสเตอร์ที่รับได้ส่วนหนึ่งจะถูกนำมาหน่วงเวลาด้วยอินเวอร์เตอร์ แล้วทำการเอกซ์คลูซีฟออร์กับสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ที่กู้มาได้จากวงจรกู้สัญญาณนาฬิกาเพื่อทำการถอดรหัสให้ได้สัญญาณสตรีมเอาต์พุตที่เหมือนกับที่ส่งมาจากด้านส่งเพื่อนำไปเข้าวงจรถอดรหัสต่อไปซึ่งได้แสดงรูปวงจรถอดรหัสซึ่งใช้ดีฟลิปฟลอป เบอร์ 74HC74 ไว้ในรูปที่ 3.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 แสดงวงจรถอดรหัสแมนเชสเตอร์

โดยหลักการของดีฟลิปฟลอปคือ ฟลิปฟลอปจะคงสภาพเอาต์พุตเดิมจนกว่าจะมีสัญญาณนาฬิกาขาขึ้นและอินพุตเข้ามาใหม่ หากอินพุตมีสภาวะเดิม สภาวะเอาต์พุตจะไม่เปลี่ยน ซึ่งจะทำให้ได้สัญญาณที่เป็นข้อมูลดิจิตอลจากทางด้านส่งกลับคืนมา สามารถแสดงไทม์มิ่งไดอะแกรมของวงจรถอดรหัสแมนเชสเตอร์ได้ดังรูปที่ 3.12

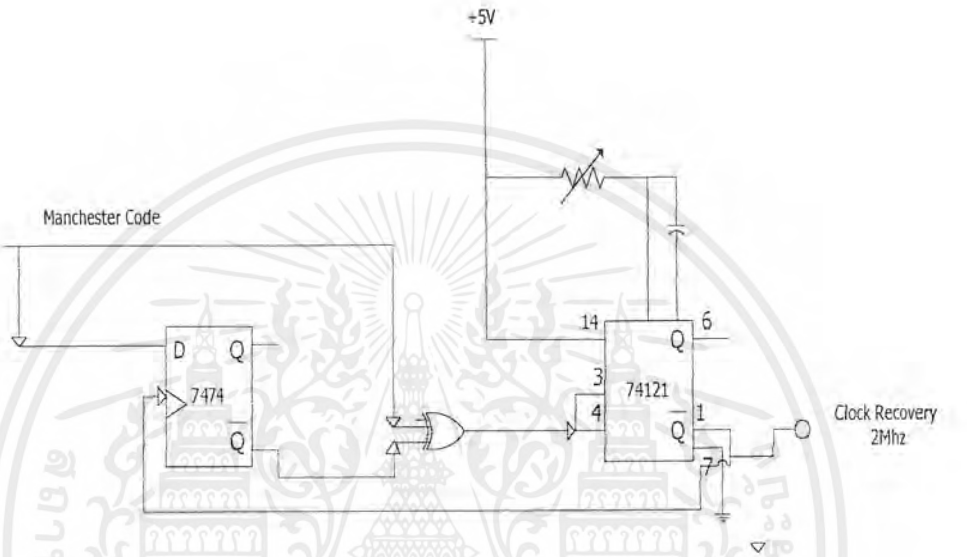


รูปที่ 3.12 แสดงไทม์มิ่งไดอะแกรมของวงจรถอดรหัสแมนเชสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.11 วงจรกู้สัญญาณนาฬิกา (Clock Recovery)

สัญญาณแมนเชสเตอร์ที่รับได้จะถูกป้อนเข้าวงจรกู้สัญญาณเพื่อให้ได้สัญญาณนาฬิกากลับคืนมา เพื่อใช้ในการถอดรหัสแมนเชสเตอร์ โดยวงจรกู้สัญญาณนาฬิกาประกอบด้วยดีฟลิปฟลอป ซึ่งใช้ไอซีเบอร์ 74HC74 , เอกซ์คลูซีฟออร์เกต โดยใช้ไอซีเบอร์ 74HC86 และโมโนสเตเบิล ซึ่งใช้ไอซีเบอร์ 74121 รูปที่ 3.13 แสดงวงจรกู้สัญญาณนาฬิกา



รูปที่ 3.13 แสดงรูปวงจรกู้สัญญาณนาฬิกา

โดยที่ค่าความต้านทาน R_{ext} และค่าตัวเก็บประจุ C_{ext} ที่ใช้ในวงจรกู้สัญญาณในรูปที่ 3.12 สามารถคำนวณได้ดังนี้

$T = 1/f$

$= 1 / (2.4 * 10^{3})$

$= 416.67$ ไมโครวินาที

เนื่องจาก $T = KCR$

โดยที่ $K = 0.7$ (ใช้ได้ที่ $C > 1000$ พิโกฟารัด)

T = ความกว้างของพัลส์ของสัญญาณนาฬิกา (หน่วย นาโนวินาที)

C = ค่าตัวเก็บประจุ (หน่วยพิโกฟารัด)

R = ค่าความต้านทาน (หน่วยกิโลโอห์ม)

กำหนดให้ $C = 0.01$ ไมโครฟารัด

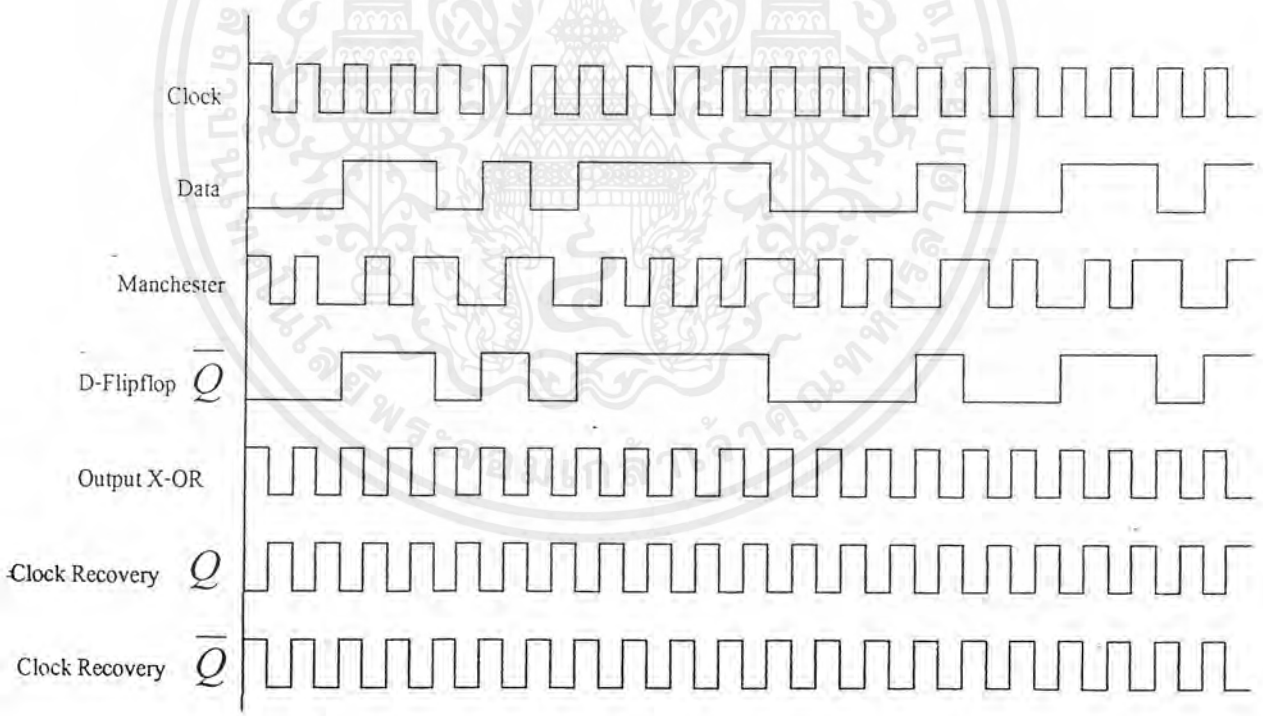
เพราะฉะนั้น $R = T/KC$

$= (4.16 * 10^{5}) / (0.7 * 10^{-2})$

$= 5.94$ กิโลโอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เริ่มต้นการทำงานด้วยสัญญาณแมนเชสเตอร์จะแยกเข้าขา D ของดีฟลิปฟลอปและขา 1 ของเอกซ์คลูซีฟออร์เกต ถ้า $\overline{Q}$ มีค่าเริ่มต้นเป็น 0 เมื่อสัญญาณที่เข้าขา 1 ของเอกซ์คลูซีฟออร์เกตมีค่าเปลี่ยนจาก 1 เป็น 0 จะทำให้เอาต์พุตของเอกซ์คลูซีฟออร์เกตเปลี่ยนจาก 1 เป็น 0 ซึ่งจะทำให้โมโนสเตเบิลทำงานเนื่องจากโมโนสเตเบิลทำงานที่ขอบขาลงของสัญญาณ สัญญาณพัลส์จะถูกสร้างออกมาที่ขา 6 ของไอซีซึ่งจะมีความกว้างพัลส์เท่ากับค่าคงที่เวลา RC สัญญาณที่ขา 1 จะเป็นส่วนกลับของสัญญาณที่ขา 6 ซึ่งเราจะนำไปเข้าขาสัญญาณนาฬิกาของดีฟลิปฟลอป เพื่อทริกให้ฟลิปฟลอปรับสัญญาณแมนเชสเตอร์ที่ขอบขาขึ้นของสัญญาณนาฬิกา จะทำให้สัญญาณขา 2 ของเอกซ์คลูซีฟออร์เกตตรงข้ามกับสัญญาณที่เข้าขา 1 ทำให้เอาต์พุตของเอกซ์คลูซีฟออร์เกตเป็น 1 เมื่ออินพุตทางขา 1 เปลี่ยนตามรหัสแมนเชสเตอร์แต่ขา 2ไม่เปลี่ยนเนื่องจากไม่มีสัญญาณนาฬิกาทริก จึงทำให้สถานะของเอกซ์ครูซีฟออร์เปลี่ยนจาก 1 เป็น 0 เกิดขอบขาลงไปทริกโมโนสเตเบิลวนไปเรื่อยๆอยู่เช่นนี้ จะได้สัญญาณนาฬิกาออกมาที่ขา 1 ของโมโนสเตเบิล ซึ่งนำไปใช้ในการถอดรหัสต่อไป ซึ่งแสดงไทม์มิ่งไดอะแกรมได้ดังรูปที่ 3.14

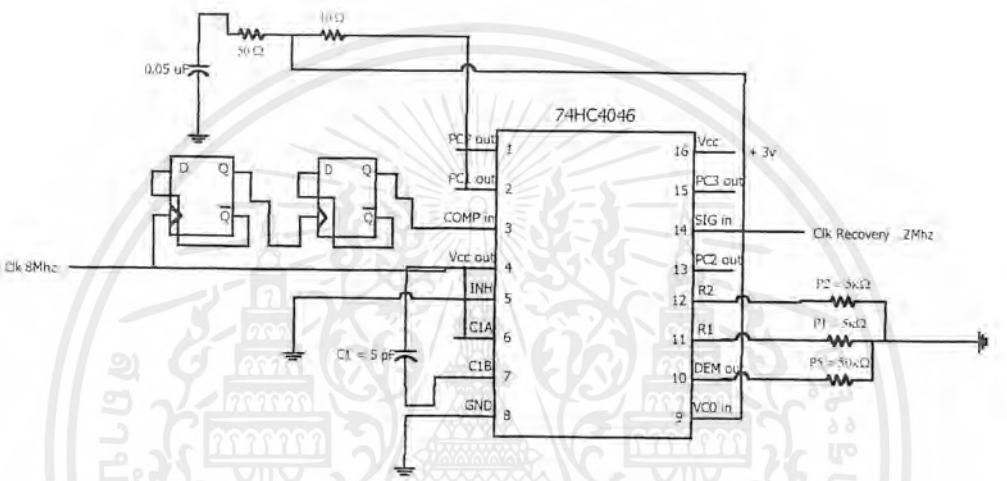


รูปที่ 3.14 แสดงไทม์มิ่งไดอะแกรมของวงจรกู้สัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.12 วงจรเฟสล็อกลูป (Phase – Locked Loop)

สัญญาณนาฬิกา 2 เมกะเฮิรตซ์ ที่กู้ได้จากวงจรกู้สัญญาณนาฬิกาจะถูกนำมาเข้าวงจรเฟสล็อกลูปเพื่อทำการลอกสัญญาณความถี่ 8 เมกะเฮิรตซ์ โดยในโครงงานนี้ได้ใช้ไอซีเบอร์ 74HC4046 ซึ่งประกอบด้วย วงจรเปรียบเทียบเฟสแบบ 2 เฟส (two phase comparators) , วงจรกำเนิดสัญญาณแบบควบคุมแรงดัน (voltage controlled oscillator : vco) และยูนิตีเกนออปแอมป์ดีมอดูเลเตอร์ (uniti gain op – amp DEM_{OUT}) ซึ่งวงจรเฟสล็อกลูปจะแสดงได้ดังรูปที่ 3.15



รูปที่ 3.15 แสดงรูปวงจรเฟสล็อกลูป

วงจรเปรียบเทียบเฟสมีอินพุตเป็น $COMP_{IN}$ และ SIG_{IN} โดยขา phase comparater 1 จะให้ $PC1_{OUT}$ และรักษาการเลื่อนมุมเฟส 90 องศา ที่ความถี่กลาง (center frequency) ระหว่างสัญญาณ SIG_{IN} และ $COMP_{IN}$ (ที่ดิวตี้ไซเคิล 50 %) สำหรับขา phase comparater 2 จะให้ $PC2_{OUT}$ และรักษาการเลื่อนมุมเฟส 0 องศา ที่ความถี่กลางระหว่างระหว่างสัญญาณ SIG_{IN} และ $COMP_{IN}$

วงจรกำเนิดสัญญาณแบบควบคุมแรงดันจะให้เอาต์พุตเป็น VCO_{OUT} ซึ่งมีความถี่ขึ้นอยู่กับ C_{ext} , R1 , R2 ที่ต่ออยู่กับขา C1A , C1B, R1 และ R2

ซึ่งสัญญาณ 8 เมกะเฮิรตซ์ที่ได้จากวงจรเฟสล็อกลูปนี้จะถูกนำไปป้อนให้กับวงจรกำเนิดสัญญาณนาฬิกาที่แสดงในรูปที่ 3.2 เพื่อใช้ในการกำเนิดสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ และสัญญาณชาแนลซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

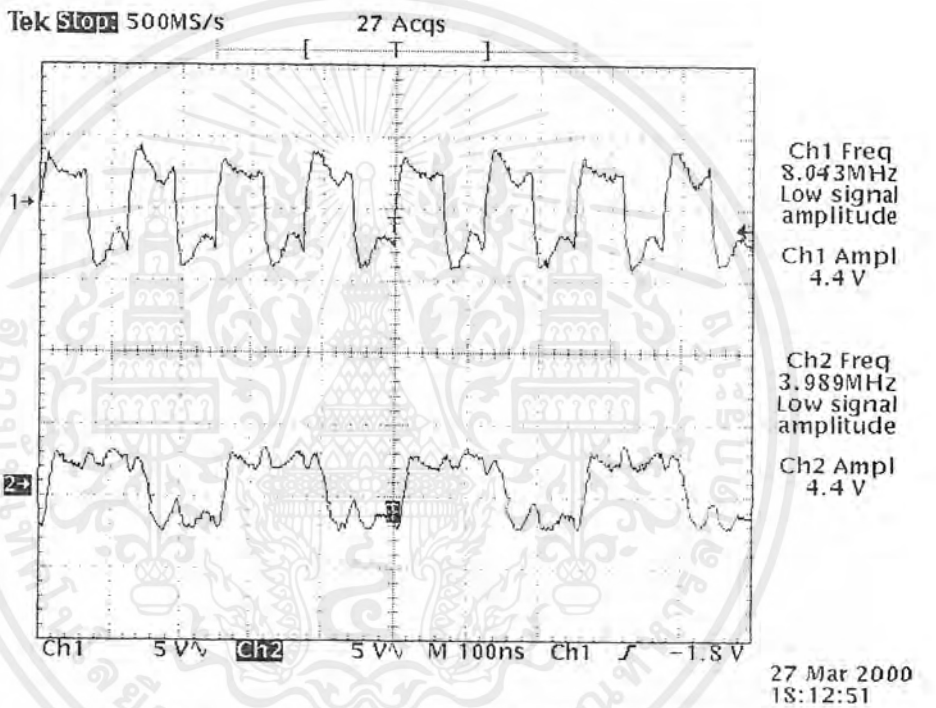
บทที่ 4

การทดลองและผลการทดลอง

4.1 การทดสอบวงจรสร้างสัญญาณนาฬิกา

ได้ทำการทดสอบวงจรสร้างสัญญาณนาฬิกา โดยการจ่ายไฟ +5 โวลต์ ให้แก่วงจรสร้างสัญญาณนาฬิกา ดังแสดงในรูปที่ 3.2 จากนั้นทำการวัดสัญญาณนาฬิกาต่างๆดังนี้

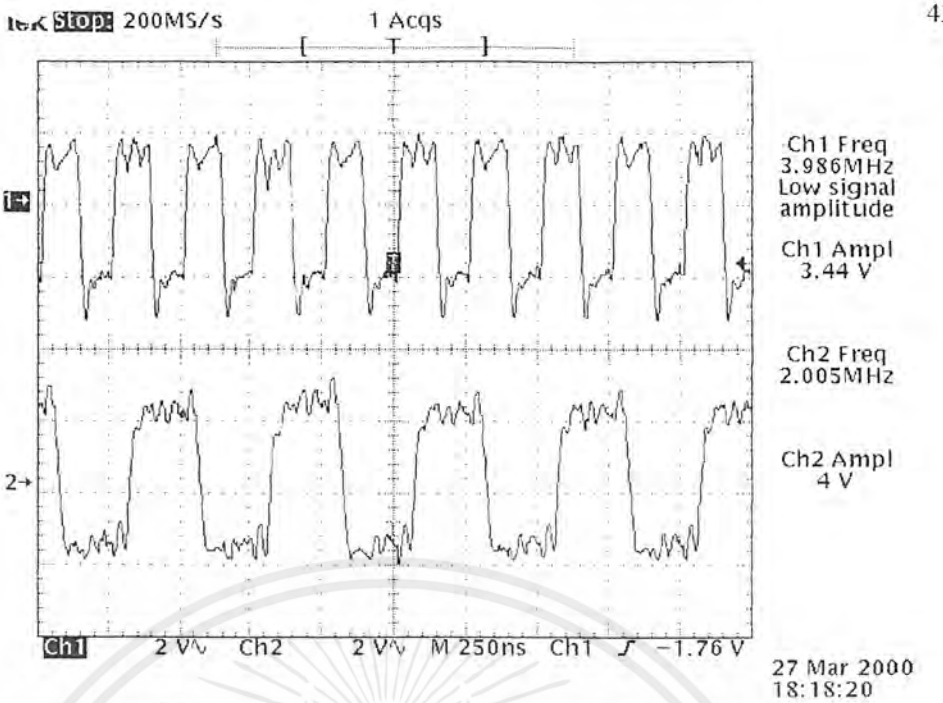
1. ทำการวัดสัญญาณนาฬิกา 8 เมกะเฮิรตซ์ ของไอซีเปรียบเทียบกับสัญญาณนาฬิกา 4 เมกะเฮิรตซ์ จะได้รูปสัญญาณดังแสดงในรูปที่ 4.1



รูปที่ 4.1 แสดงสัญญาณนาฬิกา 8 เมกะเฮิรตซ์ (CH1) เปรียบเทียบกับสัญญาณนาฬิกา 4 เมกะเฮิรตซ์(CH2)

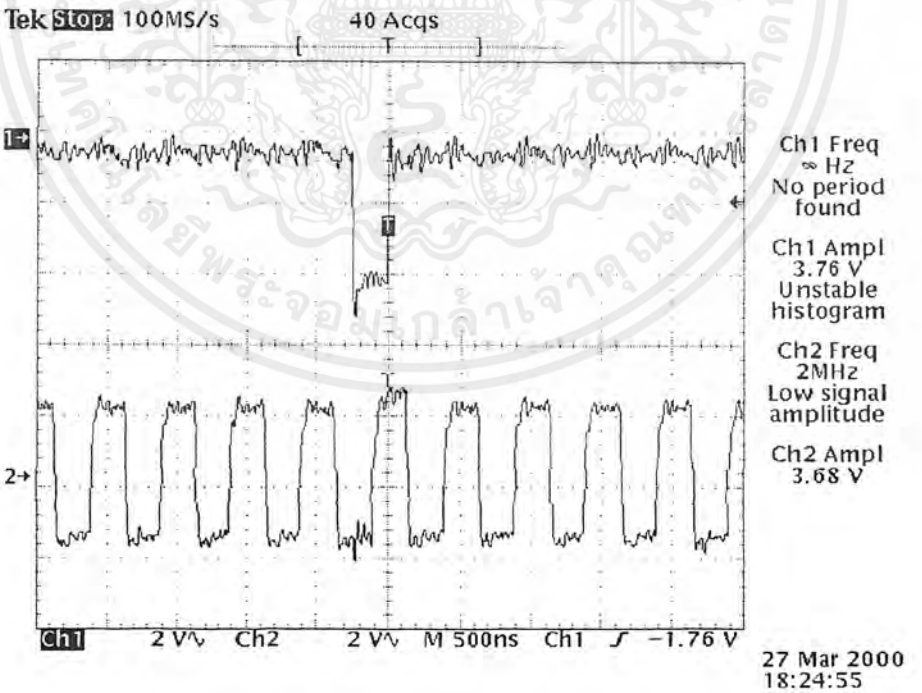
2. ทำการวัดสัญญาณนาฬิกา 4 เมกะเฮิรตซ์ เปรียบเทียบกับสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ จะได้ รูปสัญญาณดังแสดงในรูปที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงสัญญาณนาฬิกา 4 เมกะเฮิรตซ์ (CH1) เปรียบเทียบกับสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ (CH2)

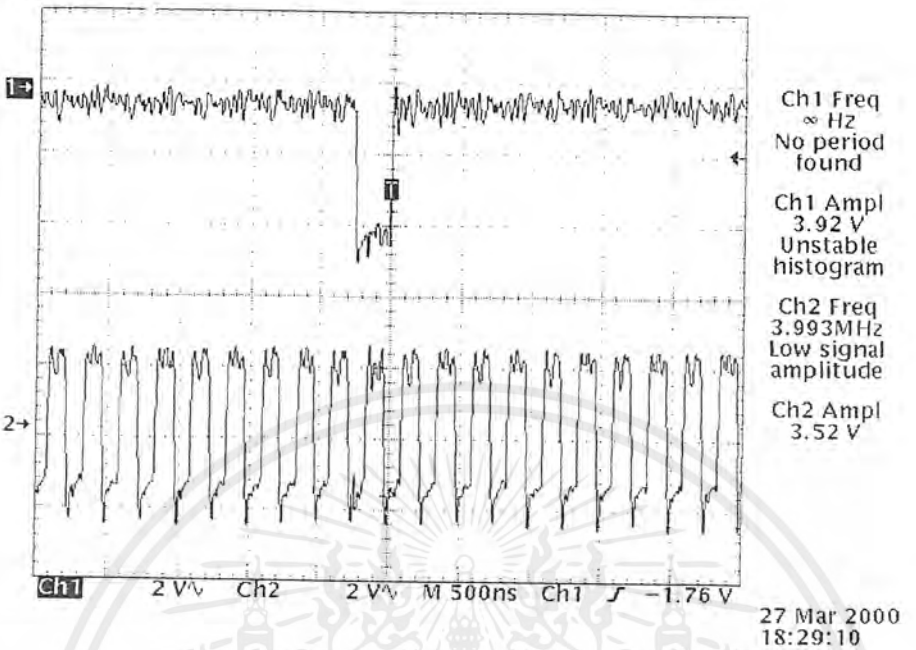
3. ทำการวัดสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ เปรียบเทียบกับสัญญาณเฟรมซิงค์ จะได้รูปสัญญาณ ดังแสดงในรูปที่ 4.3



รูปที่ 4.3 แสดงสัญญาณเฟรมซิงค์ (CH1) เปรียบเทียบกับสัญญาณนาฬิกา 2 เมกะเฮิรตซ์(CH2)

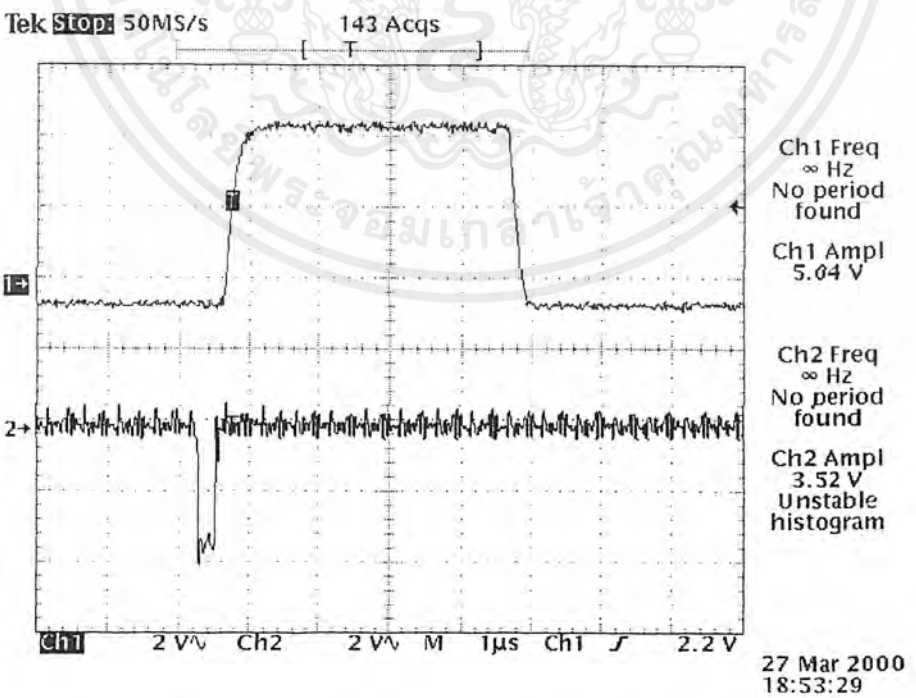
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4) ทำการวัดสัญญาณนาฬิกา 4 เมกะเฮิรตซ์เปรียบเทียบกับสัญญาณเฟรมซิงค์ จะได้รูปสัญญาณดังแสดงในรูปที่ 4.4



รูปที่ 4.4 แสดงสัญญาณเฟรมซิงค์(CH1) เปรียบเทียบกับ
สัญญาณนาฬิกา 4 เมกะเฮิรตซ์ (CH2)

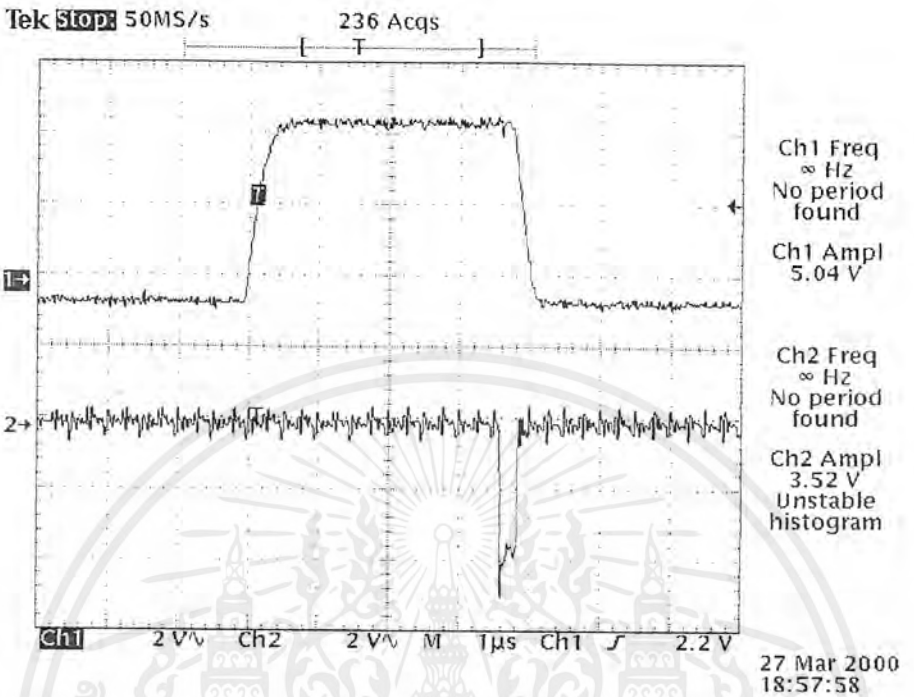
5. ทำการวัดสัญญาณชาแนลซิงค์ที่ 0 เปรียบเทียบกับสัญญาณเฟรมซิงค์ จะได้รูปสัญญาณดังแสดงในรูปที่ 4.5



รูปที่ 4.5 แสดงสัญญาณชาแนลซิงค์ที่ 0 (CH1) เปรียบเทียบกับสัญญาณเฟรมซิงค์(CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. ทำการวัดสัญญาณชาแนลชิงค์ที่ 31 เปรียบเทียบกับสัญญาณเฟรมชิงค์ จะได้รูปสัญญาณดังแสดงในรูปที่ 4.6



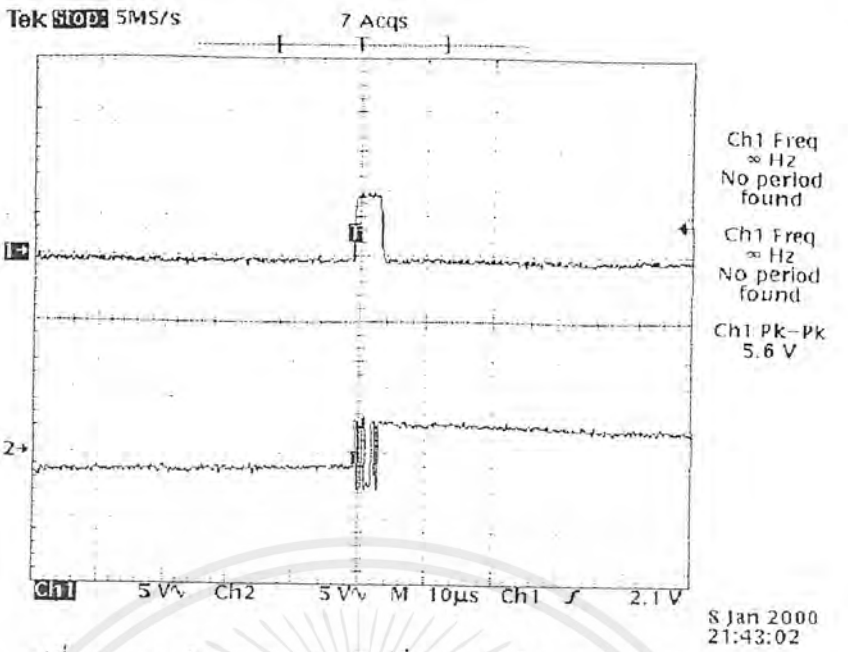
รูปที่ 4.6 แสดงสัญญาณชาแนลชิงค์ที่ 31 (CH1)เปรียบเทียบกับสัญญาณเฟรมชิงค์(CH2)

4.2 การทดสอบวงจรดิจิตอลสวิตชิง

ทำการทดสอบโดยจะมีการนำวงจรสร้างสัญญาณนาฬิกาจากรูปที่3.3,ไมโครคอนโทรลเลอร์ จากรูปที่ 3.4 , วงจรโดเดคและวงจรดิจิตอลสวิตชิง จากรูปที่ 3.7 มาต่อรวมกัน จากนั้นทำการเขียนโปรแกรมทดสอบวงจรสวิตชิงให้ทำการสลับช่องสัญญาณอินพุตช่องที่ 3 ไปยังช่องสัญญาณเอาต์พุตที่ 4 แล้วป้อนสัญญาณไซน์ ที่มีความถี่ 1 กิโลเฮิรตซ์ ขนาด 3 โวลต์ เป็นสัญญาณอินพุตที่ขาที่ 16 ของไอซี CD22357 ตัวที่สาม สามารถวัดสัญญาณต่างๆได้ ดังต่อไปนี้

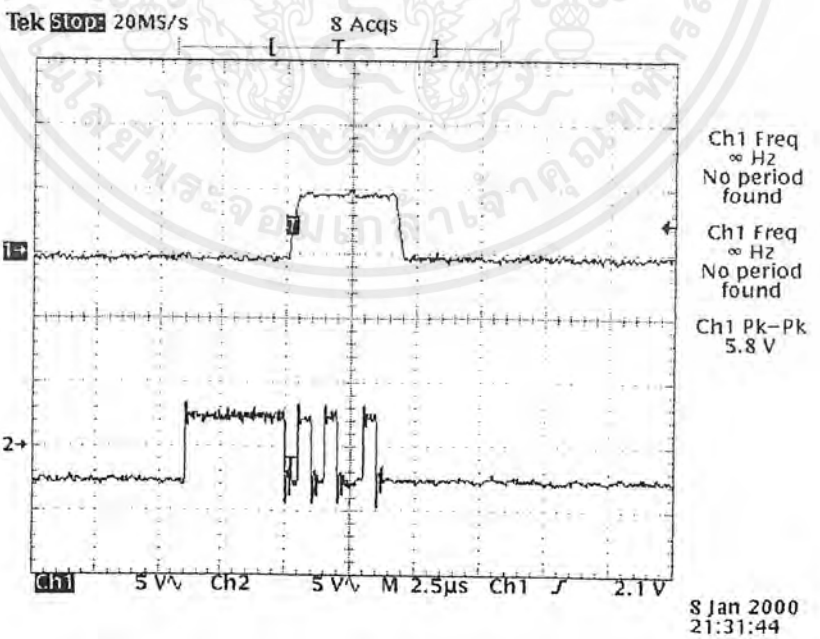
1. สัญญาณอินพุตจะถูกเข้ารหัสได้เป็นสัญญาณดิจิตอลออกมาที่ขา 11 แล้วสัญญาณดิจิตอลที่ได้นี้จะถูกส่งไปยังสวิตชิงที่ขา 1 ของไอซี MT8982 ซึ่งทำจะการวัดสัญญาณดิจิตอลที่ขานี้ เปรียบเทียบกับสัญญาณชาแนลชิงค์ที่ 3 ของไอซี CD 22357 ตัวที่สาม จะได้รูปสัญญาณดังแสดงในรูปที่ 4.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



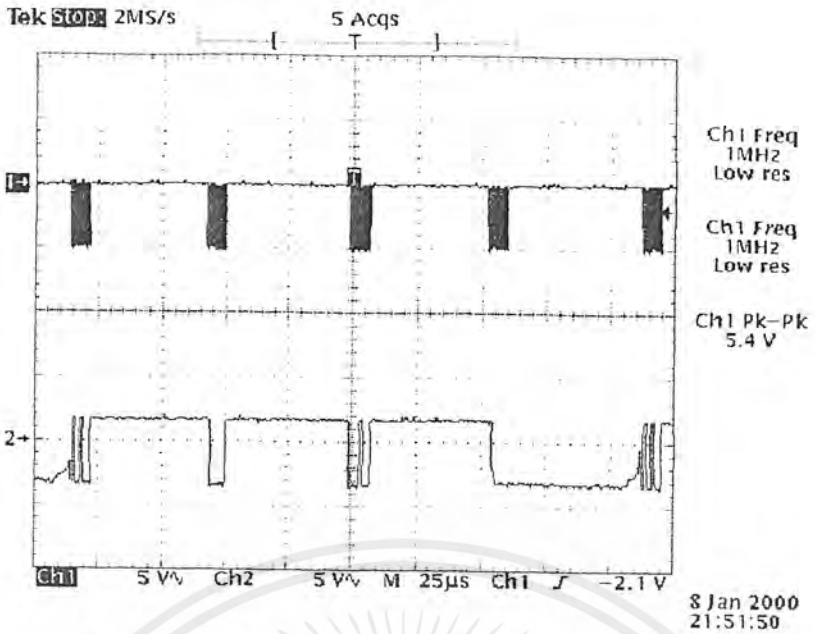
รูปที่ 4.7 แสดงสัญญาณชาแนลซิงค์ที่ 3 ของไอซี CD22357 (CH1)
เปรียบเทียบกับสัญญาณ ดิจิตอลที่ขาที่ 1 ของไอซี MT8982 (CH2)

i. สวิตชิงจะถูกควบคุมโดยคำสั่งจากไมโครคอนโทรเลอร์ให้ทำการสลับช่องสัญญาณอินพุตที่ 3 ของไอซี CD22357 ตัวที่สามไปยังช่องสัญญาณที่ 4 ของไอซี CD 22357 ตัวที่สี่ จึงทำการวัดสัญญาณดิจิตอลที่ถูกสลับช่องสัญญาณแล้วที่ขาที่ 3 ของสวิตชิงซึ่งเป็นสัญญาณสตรีมเอาต์พุต เปรียบเทียบกับสัญญาณชาแนลที่สี่ ของไอซี CD 22357 จะได้รูปสัญญาณดังแสดงในรูปที่ 4.8 และสัญญาณคอมมานด์และดาต้าอินพุตที่ขา RxD ของไอซี MT8982 แสดงได้ดังรูปที่ 4.9



รูปที่ 4.8 แสดงสัญญาณชาแนลซิงค์ที่ 4 ของไอซี CD 22357 (CH 1)
สัญญาณสตรีมเอาต์พุตที่ขาที่ 3 ของไอซี MT8982 (CH2)

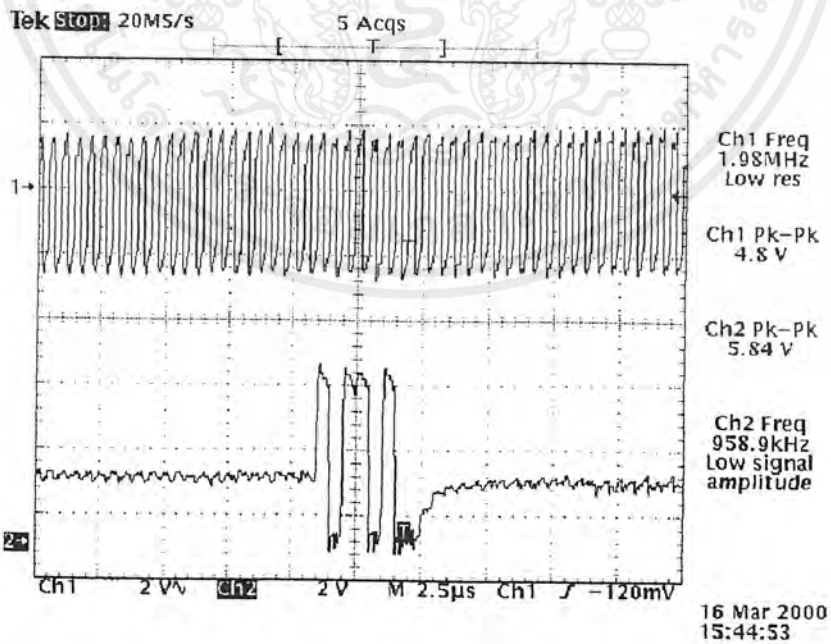
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 แสดงสัญญาณนาฬิกา(CH1)เปรียบเทียบ สัญญาณคอมมานด์
และดาต้า ที่ขา RxD ของไอซี MT 8982 (CH2)

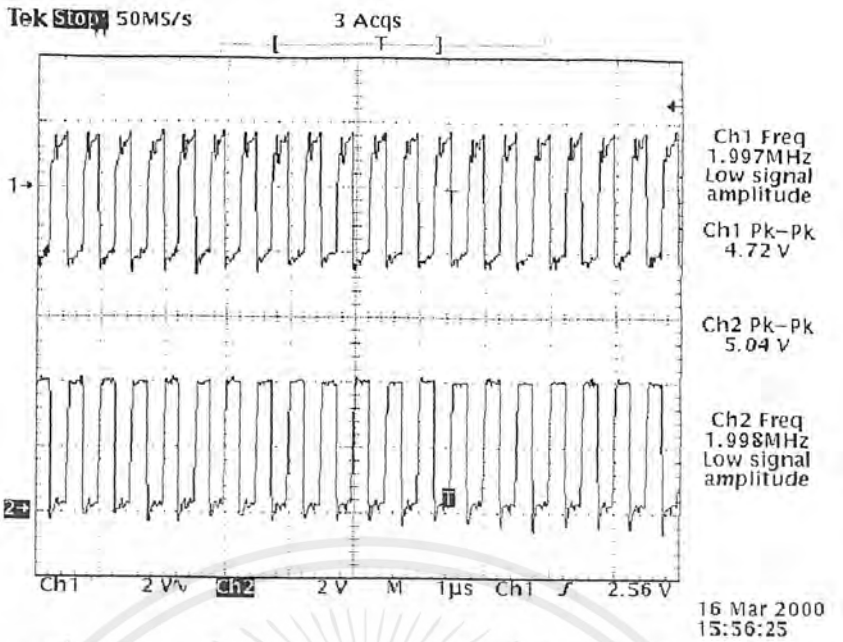
4.3 การทดสอบวงจรเข้ารหัสแมนเชสเตอร์

สัญญาณสตรีมเอาต์พุต (stream output) ที่ได้รับจากวงจรสวิตชิง จะถูกนำมาเข้ารหัสแมนเชสเตอร์ด้วยการเอกซ์คลูซีฟออร์กับสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ โดยใช้ไอซีเบอร์ 74HC04 ในรูปที่ 3.8 ซึ่งได้ทำการเปรียบเทียบสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ กับสัญญาณสตรีมเอาต์พุตซึ่งวัดที่ขาที่ 3 ของไอซี MT 8982 แสดงในรูปที่ 4.10 และรูปที่ 4.11 จะแสดงสัญญาณที่ถูกเข้ารหัสแมนเชสเตอร์แล้ว



รูปที่ 4.10 แสดงการเปรียบเทียบสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ (CH1)
กับสัญญาณสตรีมเอาต์พุตที่ ขา 3 ของไอซีMT8982 (CH2)

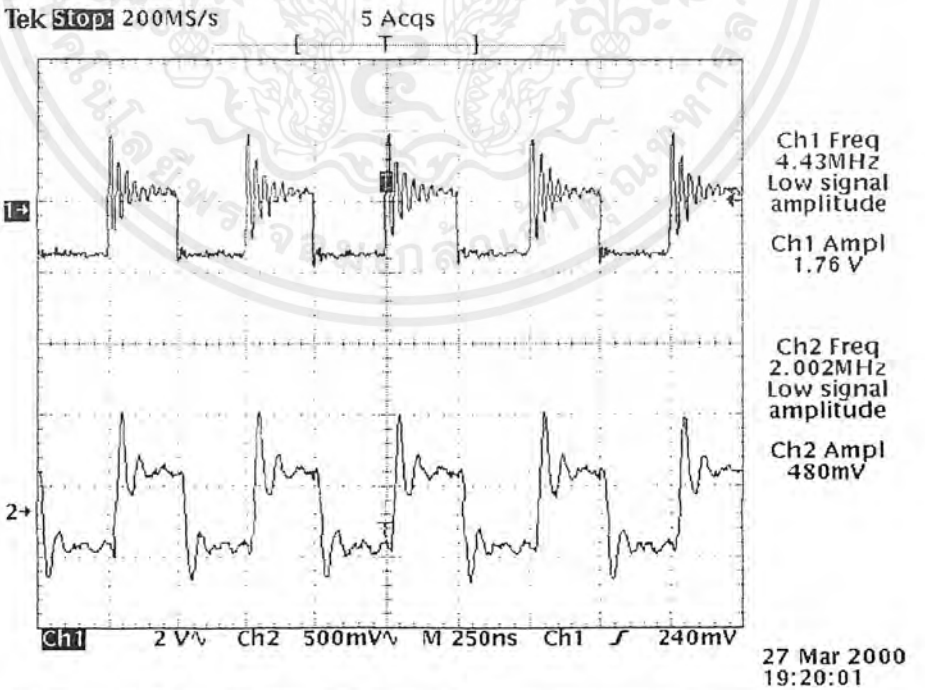
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 แสดงสัญญาณนาฬิกา 2 เมกะเฮิรตซ์(CH1) เปรียบเทียบ
กับสัญญาณที่ถูกเข้ารหัสแมนเชสเตอร์แล้ว(CH2)

4.4 การทดสอบวงจรขับสัญญาณแสง

สัญญาณสตรีมเอาต์พุตที่ถูกเข้ารหัสแมนเชสเตอร์แล้ว จะถูกเปลี่ยนเป็นสัญญาณแสงด้วยวงจรขับสัญญาณแสงในรูปที่ 3.9 แล้วส่งผ่านไปในเส้นใยแก้วนำแสงไปยังทางด้านรับ ซึ่งมีวงจรรับสัญญาณแสงในรูปที่ 3.10 เพื่อนำสัญญาณแสงที่ได้เปลี่ยนเป็นสัญญาณไฟฟ้าดังเดิม ซึ่งผลการทดสอบสามารถแสดงได้ดังรูปที่ 4.12

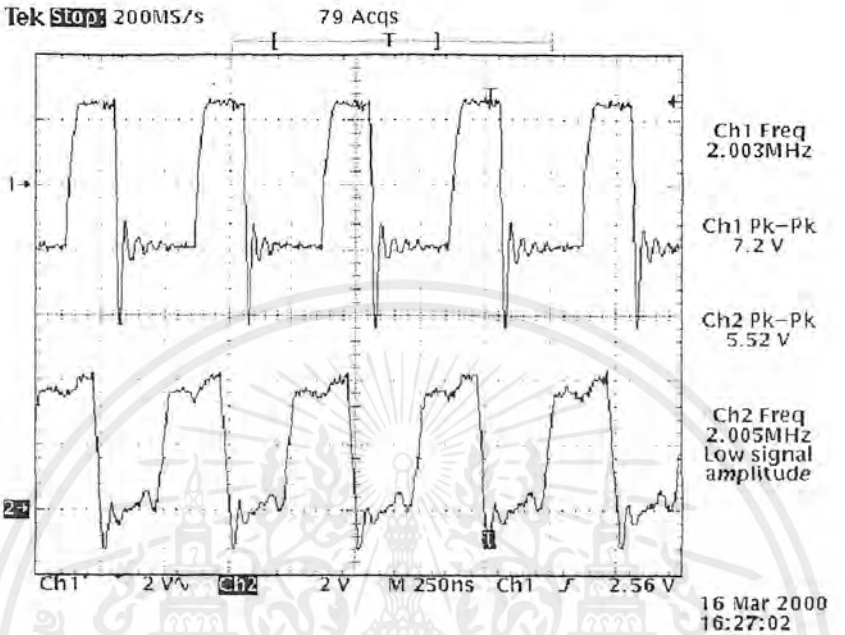


รูปที่ 4.12 แสดงผลการเปรียบเทียบสัญญาณเอาต์พุตของวงจรขับสัญญาณแสง (CH1)
กับสัญญาณเอาต์พุตของวงจรรับสัญญาณแสง (CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การทดสอบวงจรกู้สัญญาณนาฬิกา

สัญญาณที่ได้จากวงจรรับสัญญาณแสงจะถูกนำมาเข้าวงจรกู้สัญญาณนาฬิกาในรูปที่ 3.13 เพื่อให้ได้สัญญาณนาฬิกา 2 เมกะเฮิรตซ์คืนมา ซึ่งผลการทดสอบแสดงได้ดังรูปที่ 4.13

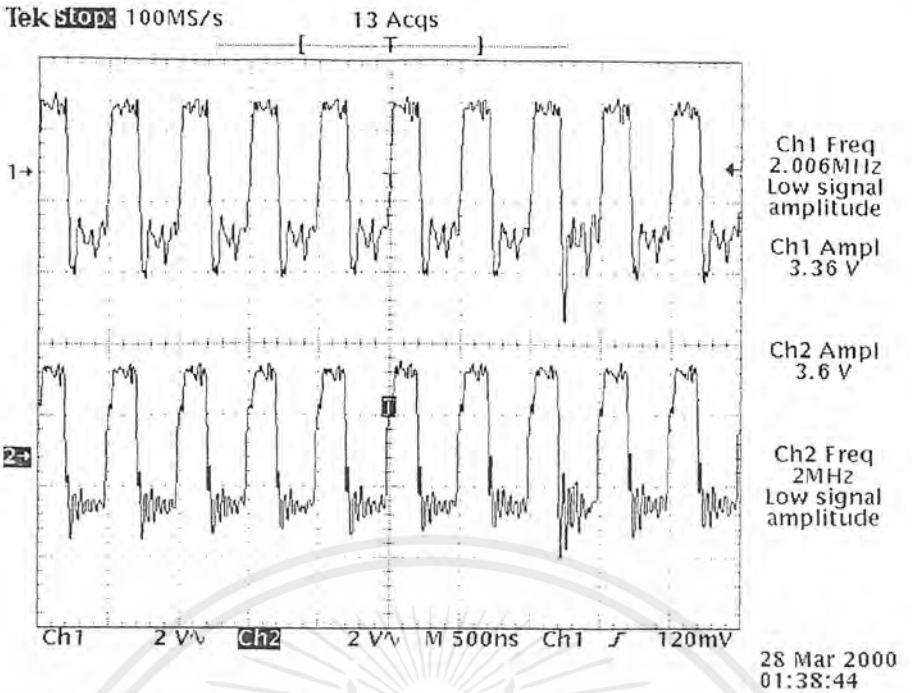


รูปที่ 4.13 แสดงการเปรียบเทียบสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ที่กู้มาได้ที่ด้านรับ (CH 1) กับสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ที่ได้จากวงจรสร้างสัญญาณนาฬิกาจากด้านส่ง

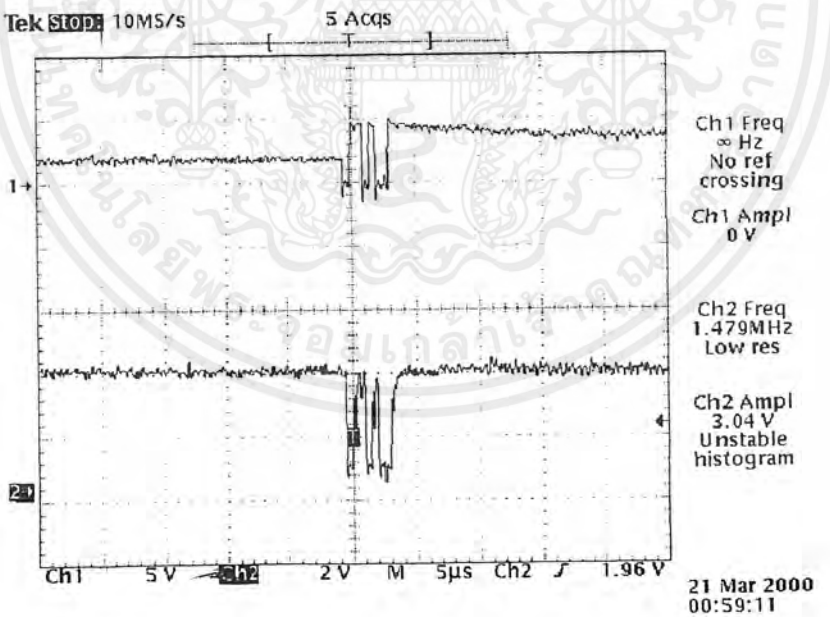
4.6 การทดสอบวงจรถอดรหัสแมนเชสเตอร์

สัญญาณที่ถูกเข้ารหัสแมนเชสเตอร์ที่รับได้จะถูกนำมาหน่วงเวลาด้วยอินเวอร์เตอร์ แล้วจะถูกนำมาเอกซ์คลูซีฟออร์กับสัญญาณนาฬิกาที่กู้มาโดยใช้ไอซีเบอร์ 74HC04 เพื่อให้ได้สัญญาณสตรีมเอาต์พุตที่จะนำไปดีมัลติเพลกซ์ต่อไป โดยได้แสดงการเปรียบเทียบสัญญาณแมนเชสเตอร์ที่ถูกหน่วงเวลาแล้วกับสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ที่กู้มาในรูปที่ 4.14 สัญญาณเอาต์พุตที่ได้จากการเอกซ์คลูซีฟออร์แสดงได้ดังรูปที่ 4.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 แสดงการเปรียบเทียบสัญญาณแมนเชสเตอร์ที่ถูกหน่วงเวลา (CH1) กับสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ ที่กู้มาได้ (CH2)

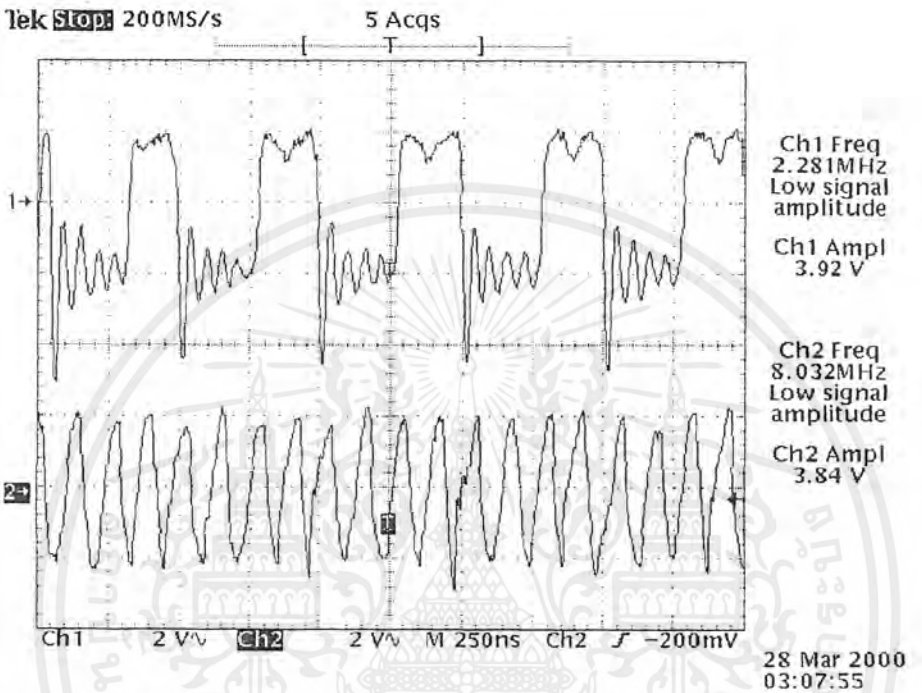


รูปที่ 4.15 แสดงสัญญาณสตรีมเอาต์พุตที่ออกจากวงจรสวิตชิงทางด้านส่ง (CH1) เปรียบเทียบกับสัญญาณสตรีมเอาต์พุตทางด้านรับซึ่งได้จากการถอดรหัสแมนเชสเตอร์แล้ว (CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 การทดสอบวงจรเฟสล็อกลูป

สัญญาณนาฬิกา 2 เมกะเฮิรตซ์ที่กู้คืนมาได้จะถูกนำมาเข้าวงจรเฟสล็อกลูปซึ่งแสดงในรูป3.15 เพื่อล็อกให้ได้สัญญาณที่มีความถี่ 8 เมกะเฮิรตซ์ ซึ่งแสดงผลการทดสอบได้ดังรูปที่ 4.16

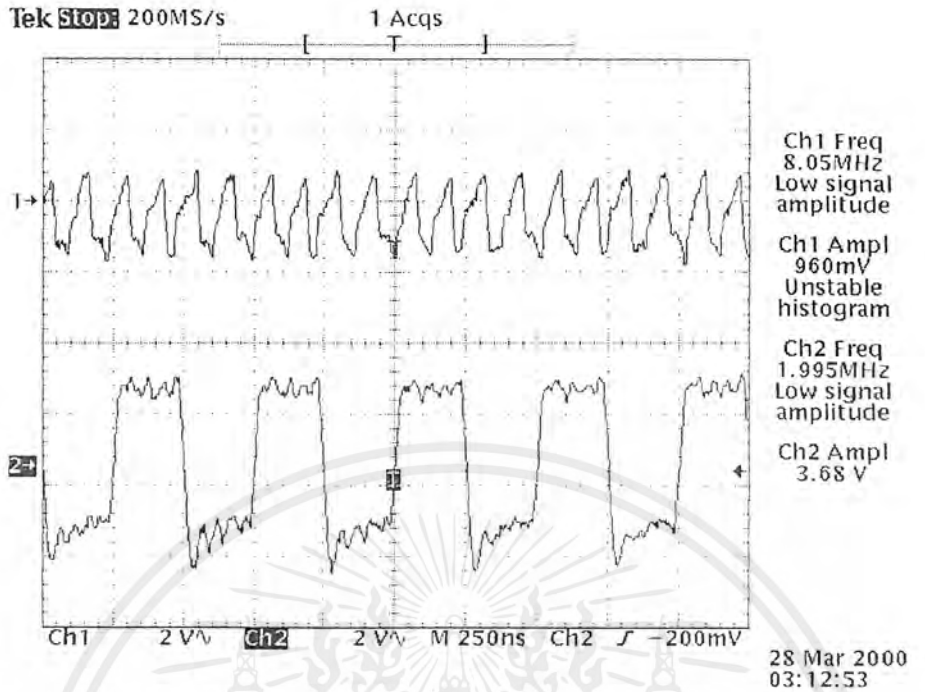


รูปที่ 4.16 แสดงการเปรียบเทียบสัญญาณนาฬิกา 2เมกะเฮิรตซ์ที่กู้มาได้ (CH1) กับสัญญาณเอาต์พุต 8 เมกะเฮิรตซ์ที่ ได้จากวงจรเฟสล็อกลูป (CH2)

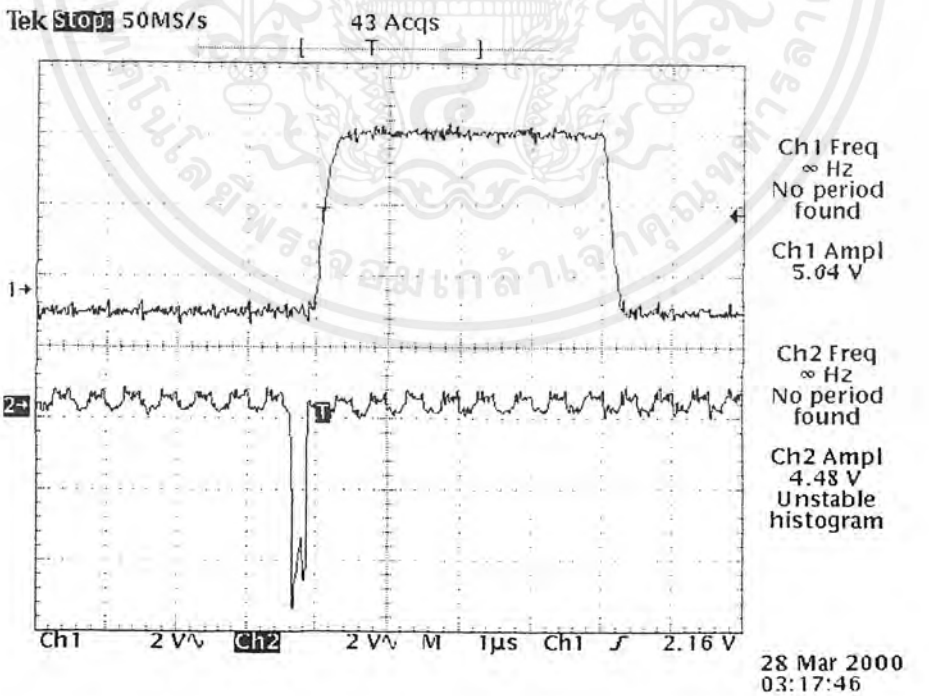
4.8 วงจรสร้างสัญญาณนาฬิกา

สัญญาณ 8 เมกะเฮิรตซ์ ที่ได้จากวงจรเฟสล็อกลูปจะถูกนำมาป้อนให้กับวงจรกำเนิดสัญญาณนาฬิกาในรูปที่ 3.2 เพื่อใช้ในการกำเนิดสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ ซึ่งแสดงดังรูปที่ 4.17 และใช้ในการกำเนิดสัญญาณชาแนลซิงค์ ทั้ง 32 ชาแนล ซึ่งสามารถแสดงผลของสัญญาณชาแนลซิงค์ที่ 0 เปรียบเทียบกับสัญญาณเฟรมซิงค์ได้ดังรูปที่ 4.18 และในรูปที่ 4.19 จะแสดงการเปรียบเทียบสัญญาณชาแนลซิงค์ที่ 31 กับสัญญาณเฟรมซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

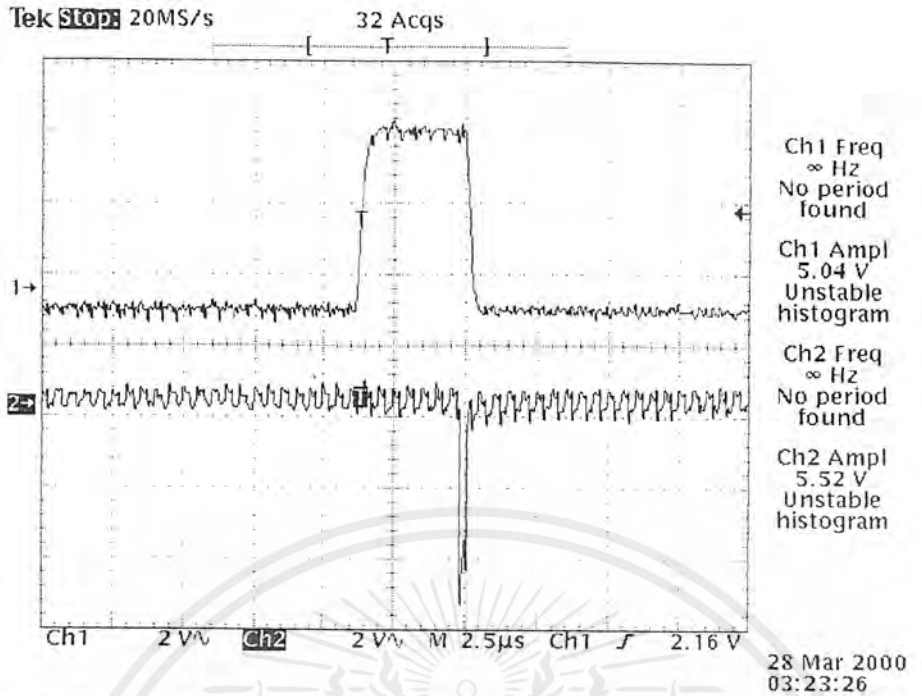


รูปที่ 4.17 แสดงสัญญาณ 8 เมกะเฮิรตซ์ที่ได้จากวงจรเฟสล็อกลูป (CH1)
เปรียบเทียบกับสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ (CH2)



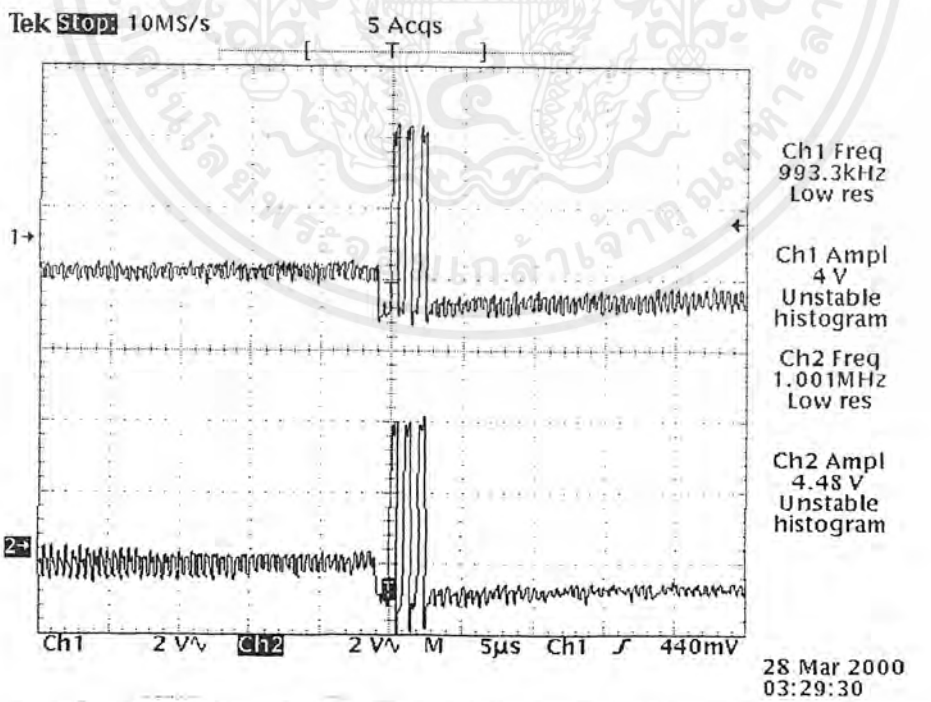
รูปที่ 4.18 แสดงสัญญาณชาแนลซิงค์ที่ 0 (CH1) เปรียบเทียบกับสัญญาณเฟรมซิงค์ (CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.19 แสดงสัญญาณชาแนลซิงค์ที่ 31 (CH1) เปรียบเทียบกับสัญญาณเฟรมซิงค์ (CH2)

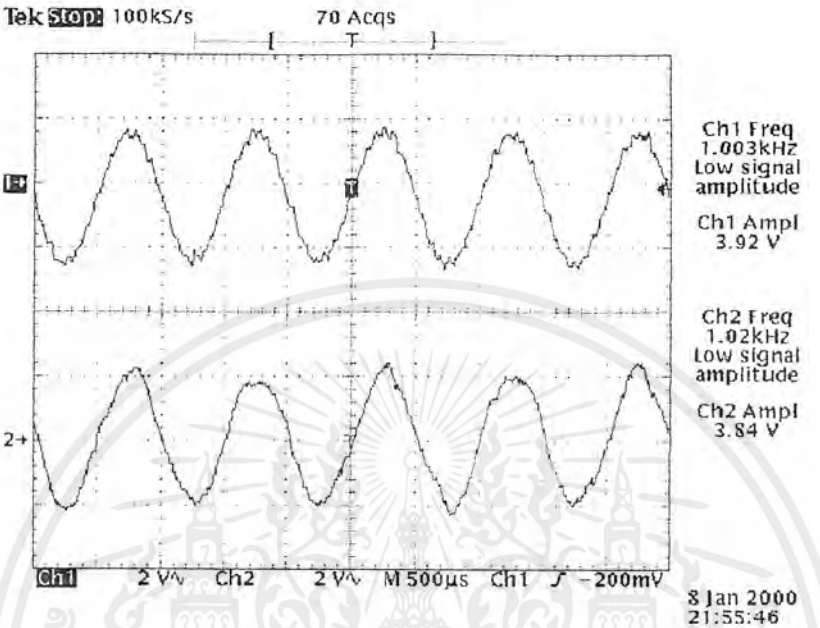
จากนั้นนำสัญญาณสตรีมเอาต์พุตไปทำการดีมัลติเพลกเซอร์ โดยอาศัยสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ , สัญญาณชาแนลซิงค์ที่ 4 ซึ่งเมื่อทำการวัดสัญญาณข้อมูลดิจิตอลที่ขาอินพุต (ขา 6) ของไอซีCD 22357 ตัวรับแล้วเปรียบเทียบกับสัญญาณข้อมูลดิจิตอลที่เอาต์พุต (ขา 11) ของไอซี CD22357 ตัวส่งแล้วจะแสดงได้ดังรูปที่ 4.20



รูปที่ 4.20 แสดงสัญญาณข้อมูลดิจิตอลที่ส่งมาจากไอซีCD22357 ตัวส่ง เปรียบเทียบกับสัญญาณข้อมูลดิจิตอลที่รับได้ที่ไอซี CD22357 ตัวรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นเมื่อแปลงสัญญาณดิจิตอลที่ได้ไปเป็นสัญญาณอนาลอก โดยใช้ไอซีเบอร์CD22357 ซึ่งสัญญาณอนาลอกที่ได้จะเป็นสัญญาณเดียวกับสัญญาณข้อมูลที่ส่งมาจากทางด้านส่ง ซึ่งแสดงการเปรียบเทียบสัญญาณอนาลอกที่รับได้กับสัญญาณอนาลอกที่ส่งมาได้ดังรูปที่ 4.21



รูปที่ 4.21 แสดงสัญญาณข้อมูลอนาลอกที่ส่งมาจากทางด้านส่ง (CH 1) เปรียบเทียบกับสัญญาณข้อมูลอนาลอกที่รับได้ (CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

รายงานนี้ได้จัดทำขึ้นครอบคลุมเนื้อหาการมัลติเพลกซ์ และดีมัลติเพลกซ์สัญญาณอินพุต ทั้ง 32 ช่องสัญญาณ รวมทั้งการเขียนโปรแกรมสั่งให้สวิตชิงทำการสลับช่องสัญญาณอินพุตให้ไปออกยังช่องสัญญาณเอาต์พุตที่ต้องการ โดยมีการใช้วงจรขับแสงและวงจรรับแสง เพื่อให้สามารถส่งสัญญาณผ่านเส้นใยแสงได้ ซึ่งจากการทดลองสรุปได้ว่า วงจรสร้างสัญญาณนาฬิกาสามารถควบคุมให้มีการมัลติเพลกซ์สัญญาณ 32 ช่องสัญญาณได้ และสามารถเขียนโปรแกรมสั่งให้สวิตชิงทำการสลับช่องสัญญาณอินพุตให้ส่งข้อมูลไปออกยังช่องสัญญาณเอาต์พุตตามที่ต้องการ แล้วส่งผ่านเส้นใยแสง และทำการดีมัลติเพลกซ์ข้อมูลได้เป็นผลสำเร็จ ปัญหาที่พบคือ สัญญาณนาฬิกาที่สร้างขึ้นใช้ในด้านส่งและด้านรับไม่ซิงโครนัสกัน ทำให้ด้านรับไม่สามารถดีมัลติเพลกซ์สัญญาณออกมาได้ เนื่องจากตำแหน่งช่องสัญญาณชาแนลซิงค์เอาต์พุตที่วงจรสร้างสัญญาณนาฬิกา (ด้านรับ) ผลิตได้ ไม่ตรงกับตำแหน่งของสตรีมเอาต์พุตที่มีข้อมูลอยู่ จึงแก้ปัญหาด้วยการส่งสัญญาณนาฬิกาไปพร้อมกับสัญญาณข้อมูล เพื่อนำไปใช้ดีมัลติเพลกซ์สัญญาณที่ด้านรับ ดังนี้ นำสัญญาณข้อมูลไปเข้ารหัสแมนเชสเตอร์ที่มีสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ แฝงอยู่ ส่งไปด้านรับ ที่ด้านรับจะถอดรหัสสัญญาณแมนเชสเตอร์แยกเอาสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ ออกจากสัญญาณข้อมูล เพื่อนำไปใช้สร้างสัญญาณนาฬิกา 8 เมกะเฮิรตซ์ ที่มีเฟสล็อกกับสัญญาณนาฬิกา 2 เมกะเฮิรตซ์ (จากด้านส่ง) โดยใช้วงจรเฟสล็อกลูป สัญญาณนาฬิกา 8 เมกะเฮิรตซ์ นี้จะถูกนำไปใช้สร้างสัญญาณนาฬิกาและสัญญาณชาแนลที่ด้านรับจำเป็นต้องใช้ต่อไป จึงทำให้สามารถดีมัลติเพลกซ์สัญญาณข้อมูลออกมาได้อย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISO-CMOS ST-BUS™ FAMILY **MT8982**
Small Digital Switch (MiniDX)

ISSUE 6 May 1995

Features

- ST-BUS/GCI compatible switch matrix
- 64 channel non-blocking time switch
- 2 x 32 channel serial inputs and outputs
- Per-channel tristate control
- 4-pin serial microprocessor interface
- Patented message mode
- Low power consumption (10 mW)
- Single 5 volt supply

Applications

- Cost sensitive digital switching applications
- Digital key telephone systems
- GCI/ST-BUS conversion
- ST-BUS device control interface
- ISDN telephone set support circuit
- Interprocessor communication

Ordering Information

MT8982AC	16 Pin Ceramic DIP
MT8982AE	16 Pin Plastic DIP
MT8982AS	16 Pin SOIC
MT8982AN	20 Pin SSOP

-40 to +85°C

Description

The MT8982 Small Digital Switch (MiniDX) is a non-blocking CMOS time switch with a capacity of up to 64 - 8 bit Time Division Multiplexed (TDM) encoded voice or data channels. It is a size-optimized version of MITEL's successful MT8980D Digital Switches, providing switching capability in cost sensitive applications such as telephone sets and digital key systems. The TDM interface to the device is via two pairs of 2048 kbit/s serial streams with 32 64 kbit/s channels per stream (ST-BUS). A serial microport provides access to the device for programming the required connections. The serial microport is compatible with most common microcontrollers. The unique message mode capability allows the MT8982 to act as a controller for other members of MITEL's ST-BUS family of components.

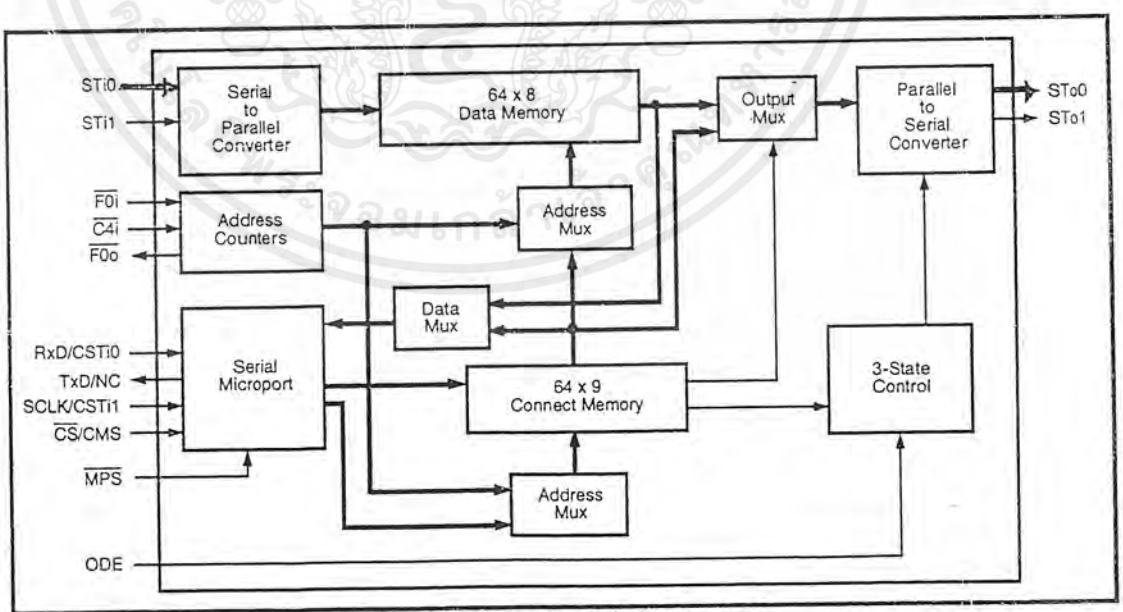


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The MT8982 (MiniDX) provides cost effective time switching capability for small size applications utilizing up to two serial Time Division Multiplexed (TDM) streams. Each TDM stream consists of 32 64 kb/s channels, giving the MiniDX a maximum capacity of 64 channels. The input framing signal may be either a ST-BUS or a GCI frame pulse. The MT8982 will output a delayed or advanced frame pulse in the opposite format to permit conversion between the two formats.

The MiniDX can switch data from any channel in one of the two serial input TDM streams to any channel in either of the two serial output TDM streams. The microcontroller controlling the MiniDX writes to the MT8982 Connect Memory to establish the connection between the required input TDM channel and the selected output TDM channel(s). By reading the Connect Memory the microcontroller can check switched connections which have already been established.

The MiniDX can also operate in message mode where the microcontroller transmits the data on the TDM serial stream. The microcontroller writes to the MT8982 Connect Memory to transmit data on the required output TDM channels. Reading the Data Memory of the MT8982 allows the microcontroller to receive messages from TDM input channels. These operations are useful for control of other ST-BUS components or for interprocessor communication.

Hardware Description

TDM Interface

The MT8982 continuously receives TDM serial data at 2048 kbit/s through two serial inputs. These serial streams are then converted into a parallel format and stored sequentially in a 64x8 bit Data Memory. The sequential addressing is generated by an internal counter that is reset by the input 8 kHz frame pulse ($\overline{F0i}$) which marks the frame boundaries of the incoming serial data stream. This counter increments with each timeslot so that it matches the binary count of the timeslot of the incoming data. The TDM timeslot count always corresponds to the ST-BUS channel positions. An extra address bit is used to differentiate between the two input data streams.

The input 8 kHz frame pulse may be either ST-BUS or GCI formatted. A ST-BUS formatted frame pulse is an active low signal which straddles the frame boundary. It idles high the rest of the time. A GCI formatted frame pulse is active high at the beginning of timeslot 5 (relative to the MT8982) and idles low. The MT8982 automatically determines the type of frame pulse from the level of the idle over five clock periods. A ST-BUS formatted frame pulse resets the internal address counters to zero. A GCI formatted frame pulse resets the counters to five.

$\overline{F0o}$ outputs a frame pulse in the opposite format. If $\overline{F0i}$ is a ST-BUS formatted frame pulse, $\overline{F0o}$ will be a GCI formatted frame pulse delayed by five channels after F0i. If $\overline{F0i}$ is a GCI formatted frame pulse, $\overline{F0o}$ will be a ST-BUS formatted frame pulse delayed by 27 channels (32-5).

During normal operation every second falling edge of the clock marks a timeslot boundary and the input data is clocked in by the rising edge, three-quarters of the way into the bit cell. The master clock must be 4.096 MHz for the $\overline{F0o}$ signal to be valid and to receive a GCI formatted $\overline{F0i}$.

Data which is output onto a TDM serial output channel may come from two sources; the Data Memory or the Connect Memory. If a channel is configured in connection mode, the source of output data is the Data Memory. If a channel is configured in message mode, the source of the output data is the Connect Memory. Data destined for a particular channel on the serial output links is read from the data or connect memory in the previous channel timeslot. This allows for delay in RAM access and parallel-to-serial conversion. Each output data channel can also be placed in tristate mode.

When an output channel is in connection mode, the TDM output data is read from a Data Memory location pointed to by an address stored in the 64x8 bit Connect Memory. The Connect Memory locations are addressed sequentially, with each location corresponding to an output TDM link/channel. In the channel time before the data is to be output, the contents of each Connect Memory location are output to the address bus of the Data Memory. The contents of the Data Memory at the selected address are then transferred to the parallel-to-serial converter. The parallel-to-serial converter outputs onto the TDM serial stream during the correct channel time. By having the output channel specify the input channel, the user can route the same input channel to several output channels. This function is useful for broadcasting or resource channel uses.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When an output channel is in message mode, the data for the output channel originates from the microcontroller. The microcontroller writes data to the Connect Memory location which corresponds to the output link and channel number. The contents of the Connect Memory are transferred directly to the serial-to-parallel converter one channel time before it is to be output. The Connect Memory data is output MSB first, repetitively once per frame, until it is changed by the microcontroller.

If the output channel is configured in tristate mode, the TDM serial stream output will be placed in high impedance during that channel time. This mode is entered by configuring the channel into connection mode and then setting the tristate control bit. All channels on both output TDM streams can be tristated by pulling pin 16 (ODE) low. This overrides the individual channel programming.

The Data and Connect Memories are dynamic memories. They are refreshed by the sequential addressing generated by $\overline{C4i}$.

Microcontroller Interface

The MT8982 is controlled via a synchronous, serial microport. The microport is compatible with Intel's MCS-51 serial port Mode 0 specifications, Motorola's Serial Peripheral Interface (SPI) specifications, and National's MicroWire specifications. The port consists of a transmit data line (TxD), a receive data line (RxD), a chip select line ($\overline{CS}$), and a synchronous clock input (SCLK). All memory locations and control functions on the MiniDX are accessed through this port. The microport may also be configured in serial bus mode where data is clocked into the Connect Memory in the same way as STi0 and STi1 are clocked into Data Memory.

In serial microport mode, $\overline{CS}$ must be low to enable a microport access. SCLK clocks the serial microport data in or out through RxD and TxD, LSB first. The TxD output driver is tristated when it is inactive. This allows RxD and TxD to be connected together for a single TxD/RxD line as used in the INTEL MCS-51 microcontrollers. Figure 3 shows a serial microport access cycle.

A microport access cycle (microcycle) begins with a falling edge on $\overline{CS}$. Eight bits of data are clocked into RxD by the rising edge of SCLK. Two of these eight bits indicate whether the microcycle operation is a read or a write, the rest of the bits are used for addressing. These eight bits are defined as the command/ address byte (Table 1). If the microcyle operation is a write, another eight bits are clocked

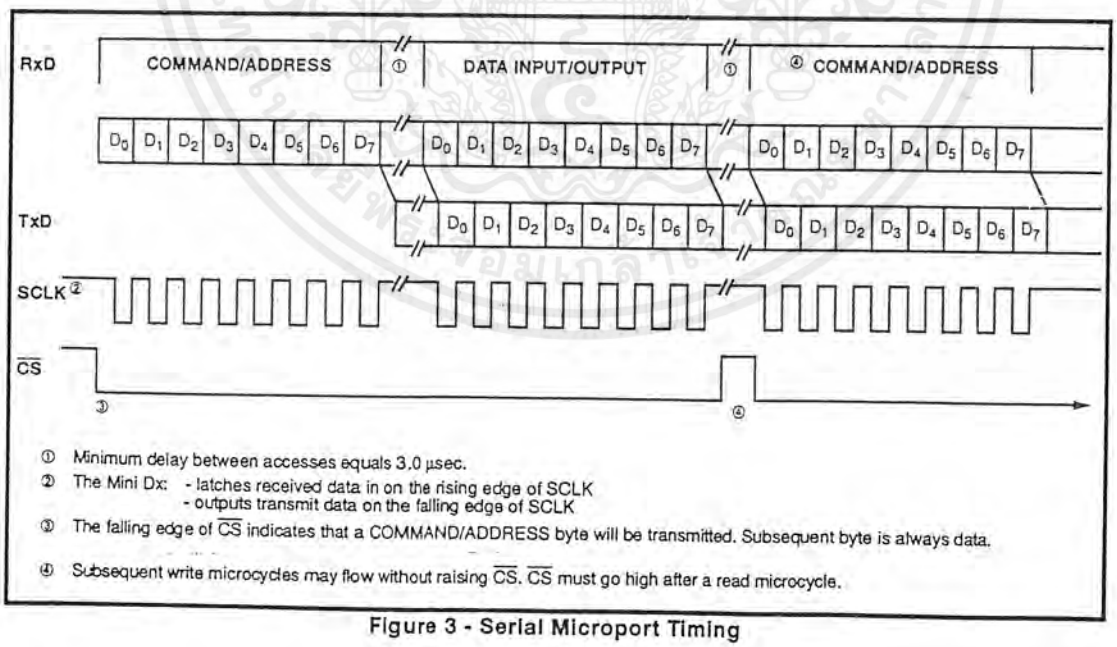


Figure 3 - Serial Microport Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

into RxD by the rising edges of the next eight SCLK cycles. If the operation is a read, eight data bits are clocked from TxD by the falling edges of the next eight SCLK cycles. The rising edge of $\overline{CS}$ tristates TxD after the last transmitted bit.

Successive write microcycles can take place while $\overline{CS}$ remains low, with each microcycle following the sequence of a command/address byte followed by a data byte. $\overline{CS}$ must go high after a read microcycle. Note that a command/address byte must always follow the high to low transition on $\overline{CS}$.

When the $\overline{MPS}$ input is pulled high and the $\overline{CS}$ input is pulled low, the microport is put into serial bus mode. Pins RxD and SCLK become CSTi0 and CSTi1, respectively, and are configured as 2048 kbit/s serial streams with 32 channels each. The frame and timeslot boundaries are determined by $\overline{F0i}$ and $\overline{C4}$. Each channel on CSTi0 and CSTi1 is stored in the connect memory address corresponding to the link and channel number. The Data Memory and the Connect Memory cannot be read when the microport is in serial bus mode.

Device Timing

During each TDM timeslot, eight read or write operations occur internally in the MT8982. These are shown in Figure 4. During the first two bit periods, data received in the previous timeslot on the two input TDM streams is loaded into the Data Memory. Bit periods 2 and 6 are serial microport access windows; data may be read from, or written to any accessible memory location. During bit periods 3 and 5, data is read from the connect memory for the next timeslot on links 0 and 1 respectively. The Data Memory locations which are addressed by the previous reads of the connect memory are accessed during bit periods 4 and 7.

When the microport is in serial bus mode, bit periods 2 and 6 have a slightly different function. Data from the previous timeslot of CSTi0 and CSTi1 respectively is written to the corresponding connect memory locations.

The transfer of information from the input TDM streams to the output TDM streams results in a delay through the MT8982. This delay is dependent only on the combination of source and destination

Bit	Name	Description
7	Stream	**Stream.** This is the most significant bit of the address for the memory location that is to be accessed. It corresponds to one of the TDM serial streams (0-1).
2-6	Ch0-Ch4	**Channel 0-4.** These bits are the five least significant bits of the address for the memory location that is to be accessed. The binary value of these bits correspond to a TDM channel (0-31).
0-1	Cmd0-Cmd1	**Command Select 0-1.** These two bits define the four command operations for the MT8982. The destination addressed by the command is defined in bits 2-7 of the Command/Address byte. Cmd0-Cmd1 0-0 Read from Connect Memory. 0-1 Write to Connect Memory and set connection mode. 1-0 Read Data Memory. 1-1 Write to Connect Memory and set message mode.

Table 1. Command Address Byte

Bit	Name	Description
7	NA	Unused.
6	ODE	**Output Drive Enable.** When this bit is set, the addressed TDM channel is placed in tristate. When low, the output is enabled.
5	STi	**Input Stream.** This bit defines the input TDM stream from which the output data is sourced (0-1).
0-4	SC0-SC4	**Source Channel 0-4.** The binary value of these bits defines the input channel from which the output data is sourced (0-31).

Table 2. Connect Memory Connection Mode Data Byte

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

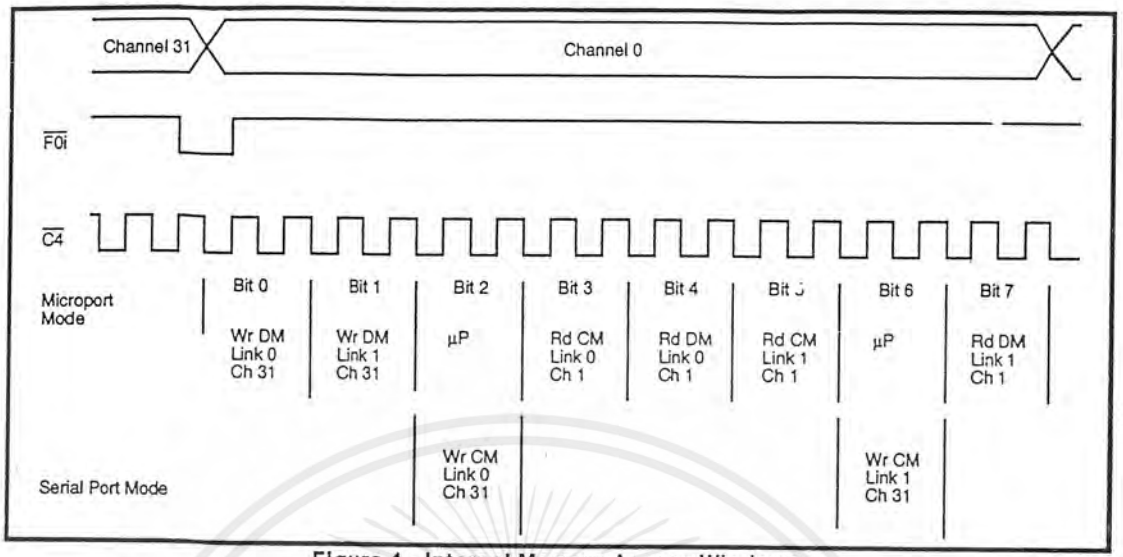


Figure 4 - Internal Memory Access Windows

channels and is not dependent on the input and output streams. The delays are given in Table 3. The maximum delay is one frame plus one channel; the minimum delay is two channels.

Input Channel	Output Channel	Delay
n	m = n, n+1	m- n + 32 channels
n	m > n+1	m- n channels
n	m < n	32- (n-m) channels

Table 3. Input Channel to Output Channel Delay Times

The following delays apply to writing data to the Connect Memory in message mode. For stream 0, data must be written to a Connect Memory location at least one timeslot before the corresponding output channel or the output data will be delayed by one frame. For stream 1, data must be written at least two timeslots before the output channel or the output data will be delayed by one frame.

Device Programming

Microport Mode

In serial microport mode, the MT8982 is programmed and read using microcycles which consist of a command/address byte followed by a data byte.

The Command/Address Byte is shown in Table 1. Bits 0 and 1 are the command bits (Cmd0-1), and are used to indicate the type of microcycle access. The microcontroller can read the Data Memory, read or write the Connect Memory, and set per-channel message or connection mode. Bits 2 to 6 of the command/address byte (Ch0-Ch4) correlate to a channel on a TDM stream (0-31). Bit 7 (STREAM) correlates to stream 0 or stream 1. These bits address the corresponding Data Memory or Connect Memory location.

The microcycle operations selected by the command/address byte are as follows:

Read Connect Memory (Cmd0-1: 0,0)

Bits 0 to 7 of the addressed Connect Memory location will be transmitted to the microcontroller in the following data byte. Depending on what the last Connect Memory write mode was, the data transmitted could be a message byte or a Connection Mode data byte.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Connect Memory - Set Connection Mode (Cmd0-1: 0,1)

The corresponding output channel to the addressed Connect Memory location is configured in connection mode. The Connection Mode Data Byte (Table 2) will be received by the MT8982 in the following data byte. Bits 0 to 4 (SC0-SC4) select the source input channel for switching to this output channel. Bit 5 (STi) selects the input stream. Bit 6 (ODE) enables/ disables tristate for this channel. Bit 7 is unused in connection mode.

Read Data Memory (Cmd0-1: 1,0)

The contents of the addressed Data Memory location are transmitted to the microcontroller in the following data byte.

Write Connect Memory - Set Message Mode (Cmd0-1: 1,1)

The corresponding output channel to the addressed Connect Memory location is configured in message mode. The following data byte will be received by the MT8982 and written to the address Connect Memory location. The data byte will be output directly to the corresponding output channel.

The following example shows a typical programming sequence for the MT8982. A connection is to be made from stream 1 channel 6 to stream 0 channel 15:

- The microcontroller pulls $\overline{CS}$ low.
- The microcontroller transmits eight clock pulses to SCLK and a Command/Address byte, HEX 3E, to RxD. The Command/Address byte addresses output channel 15, stream 0, configures that channel as connection mode and identifies the microcycle as a write to the Connect Memory.
- The microcontroller transmits another eight clock pulses to SCLK and sends the Connection Mode Data Byte, HEX 26, to RxD. The Connection Mode Data Byte addresses input channel 6, stream 1 in the Data Memory. Note that at least two microseconds must occur between the two accesses.

The connection is now complete. The microcontroller may now check that the connection is correct:

- The microcontroller transmits eight clock pulses to SCLK and a Command/Address byte, HEX 3C, to RxD. The Command/Address byte addresses output channel 15, stream 0 and identifies the microcycle as a read from the Connect Memory.
- The microcontroller transmits another eight clock pulses to SCLK. The MT8982 outputs the Connect Memory data, HEX 26, on TxD. At least two microseconds must occur between the two accesses to ensure that the MiniDX can clock out the data.
- $\overline{CS}$ goes high to terminate the session.

This connection is only in one direction. To make a bidirectional connection the MT8982 must also be programmed to connect stream 0 channel 15 to stream 1 channel 6.

Serial Bus Mode

When the microport is in serial bus mode the MT8982 is programmed via the two ST-BUS serial streams CSTi0 and CSTi1. Each channel in these two streams is written directly into the corresponding address in the Connect Memory. The data written to the Connect Memory is always the Connection Mode Data Byte as described in Table 2. To set up a connection, the Connection Mode Data Byte is transmitted to the MT8982 on the CSTi stream and channel number which is the same as the desired STo stream and channel number. As long as the device remains in serial bus mode, the Connection Mode Data byte must be transmitted continuously, every frame, to maintain the connection.

Message mode is not available when the device is in serial bus mode. Also, neither the Connect Memory nor the Data Memory can be read while the device is in serial bus mode. MITEL's MT8980, MT9080 and MT8920 devices can all be used as programmable parallel-to-ST-BUS serial interfaces for CSTi0 and CSTi1.

Initialization

On power up the contents of the Connect Memory can be in any state. In order to prevent false programming of peripheral ST-BUS devices or false data transmission, ODE should be kept low during power up. This will keep the two TDM outputs in high impedance until the MT8982 Connect Memory is programmed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications

Digital Key Telephone System

Figure 5 shows a block diagram of a Digital Key Telephone System (DKTS) implemented with the MT8982. This DKTS can support up to 64 connections organized in any combination of subscriber lines or trunks. A very small system consisting of six lines and one trunk can very easily and economically be designed on one board. The MT8982 significantly reduces the tracking and board space required for competitive switch matrices.

Distributed Switching System

The MT8982 can be used to distribute switching capability in a very large system. In Figure 6 the MT8982 is shown with the microport in serial bus mode. This allows the central microprocessor to set up and tear down connections at the remote locations by programming the remote MT8982's through their CSTi pins. A microcontroller in each remote switch would not be required.

Primary Rate Serial Controller

Figure 7 shows the MT8982 used in a primary rate serial control application. The MT8982 is used as the control interface from a microcontroller to MITEL's MH89760/790 T1 Primary Rate Interfaces using the microcontroller's serial microport. The MT8982 offloads signalling and trunk control functions from the central switch matrix leaving more capacity for switching.

ST-BUS to GCI Conversion

The MT8982 MiniDX may be used to provide a gateway between MITEL's ST-BUS family of components and an architecture which utilizes the General Circuit Interface (GCI) operating at 2048 kbit/s (Figure 8). The MT8982 performs automatic adaptation of the different frame pulse signals. The master frame pulse to the MT8982 can be supplied either by the ST-BUS or the GCI components. The MT8982 will then provide either a delayed or advanced frame pulse to the other components as shown in Figures 9 and 10.

When an ST-BUS component is supplying the master frame pulse ($\overline{F0i}$), the MiniDX will supply the output frame pulse ($\overline{F0o}$) delayed by five channels. This ensures that frame integrity is maintained between the ST-BUS and GCI components. When a GCI component supplies the master frame pulse ($\overline{F0i}$), $\overline{F0o}$ is advanced by five channels.

Figure 8 shows a block diagram of a GCI to ST-BUS conversion circuit. External inversion of the clock signal is required between the ST-BUS and GCI components because the ST-BUS and GCI master C4 clocks use different edges to mark bit boundaries.

To program a connection between a ST-BUS channel and a GCI channel, some channel conversion is necessary. Figure 11 shows the relationship between the ST-BUS basic access frame and the GCI basic access frame. Because the MT8982 shifts the GCI frame pulse (input or output) by five channels, all of the GCI channels must be incremented by five to be correctly addressed by the

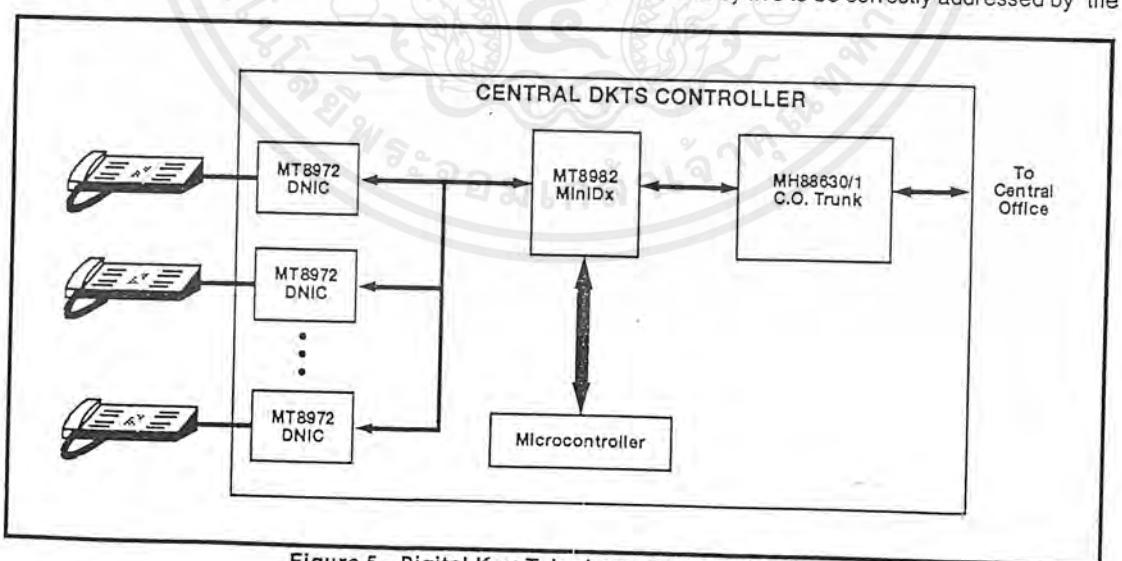


Figure 5 - Digital Key Telephone System (DKTS)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

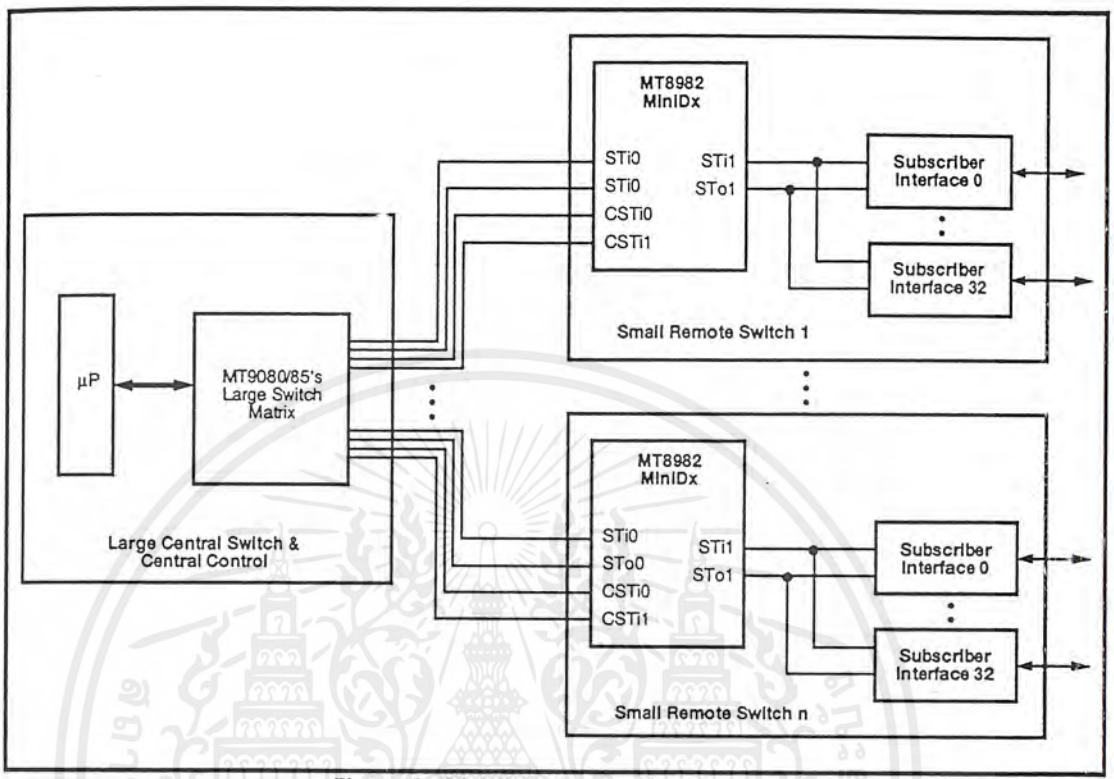


Figure 6 - Distributed Switching System

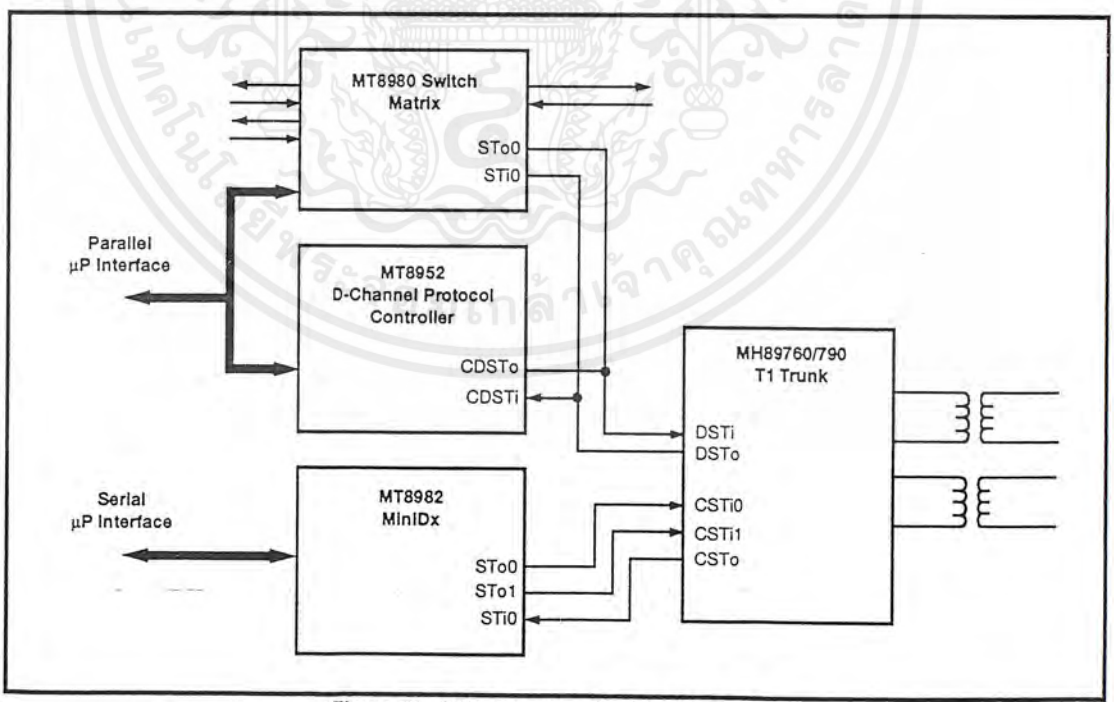


Figure 7 - Primary Rate Serial Controller

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

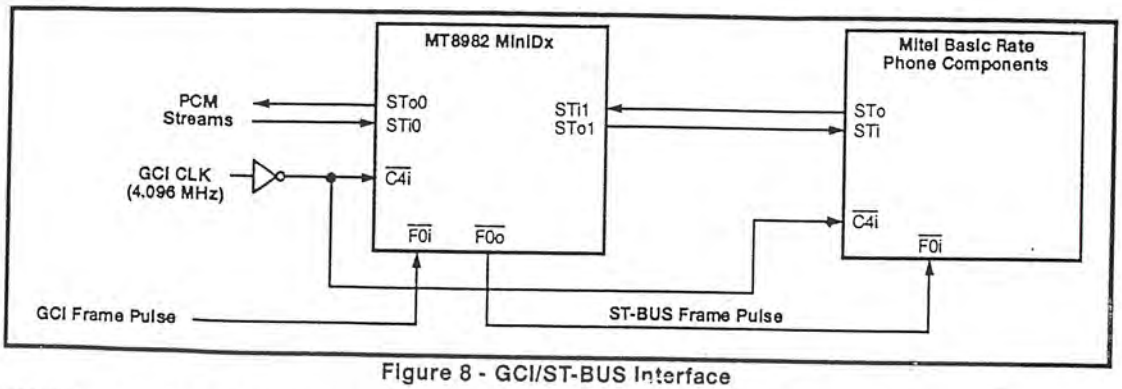


Figure 8 - GCI/ST-BUS Interface

MT8982. Therefore, to connect GCI channel B1 to ST-BUS channel B1, the MT8982 must be programmed to connect channel 5 to channel 2. The five channel offset ensures that all four basic rate channels will be switched together within one frame period, regardless which direction the data is being switched.

The five channel offset for GCI channels is required even in GCI to GCI switching systems. For example, to switch GCI channel B1 to GCI channel B2, the MT8982 must be programmed to connect channel 5 to channel 6.

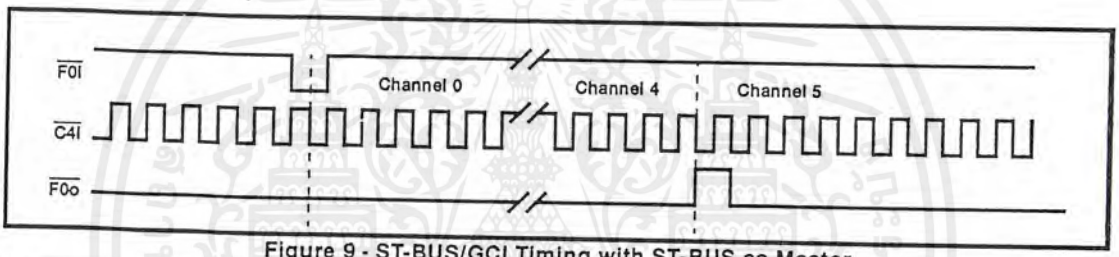


Figure 9 - ST-BUS/GCI Timing with ST-BUS as Master

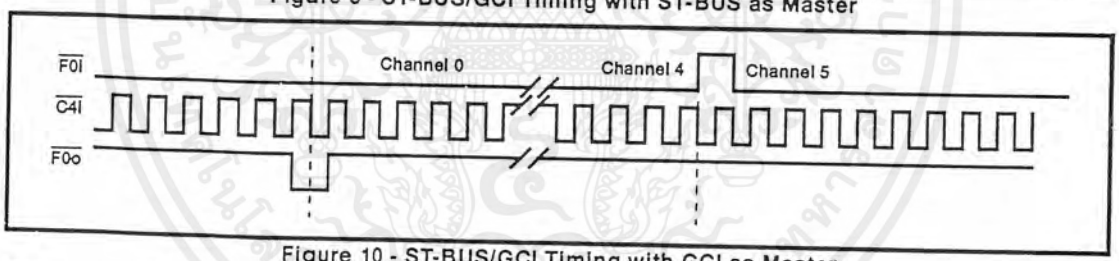


Figure 10 - ST-BUS/GCI Timing with GCI as Master

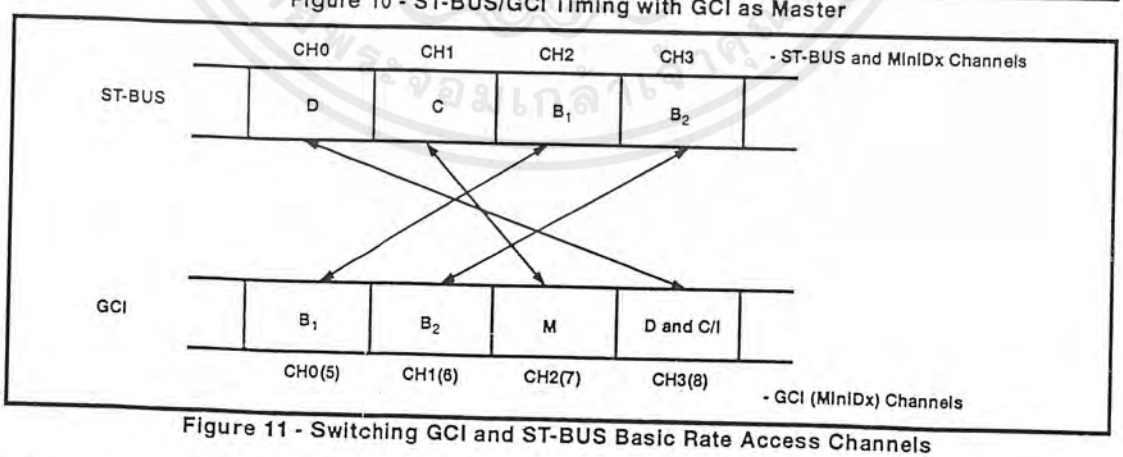


Figure 11 - Switching GCI and ST-BUS Basic Rate Access Channels

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

	Parameter	Symbol	Min	Max	Units
1	Power supply voltage V_{DD}-V_{SS}	V_{DD}-V_{SS}		6	V
2	Voltage on any pin	V_I	V_{SS}-0.3	V_{DD}+0.3	V
3	Current at any pin (other than supply)	I_O		100	mA
4	Storage temperature	T_S	-65	+150	°C
5	Package power dissipation	P_D		1000	mW

* Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Operating Temperature	T_{OP}	-40		+85	°C	
2	Power supply	V_{DD}	4.5		5.5	V	
3	Input voltage	V_I	V_{SS}		V_{DD}	V	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Operating supply voltage	V_{DD}	4.5	5.0	5.5	V	
2	Operating supply current	I_{DD}			2.0	mA	Outputs unloaded
3	Static supply current	I_{DDS}			100	µA	All inputs =V_{DD}
4	High level input	V_{IH}	2.0			V	
5	Low level input voltage	V_{IL}			0.8	V	
6	Input leakage current	I_{IH}/I_{IL}			10.0	µA	V_{IN}=V_{SS} or V_{DD}
7	Low level output voltage	V_{OL}			0.4	V	I_{OL} = 4.0 mA
8	High level output voltage	V_{OH}	2.4			V	I_{OH} = 2.0 mA
9	Output low (sink) current	I_{OL}	4.0			mA	V_{OUT}=0.4 V
10	Output high (source) current	I_{OH}	2.0			mA	V_{OUT}=2.4V, V_{DD}=4.5V

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

AC Electrical Characteristics† - Serial Microport (see Figure 12) - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Chip Select Setup Time	t_{cs}	5			ns	
2	RxD Input Setup Time	t_{rs}	40			ns	
3	RxD Input Hold Time	t_{rh}	0			ns	
4	TxD Output Delay	t_{td}			80	ns	C_L=50pF, R_L=1kΩ
5	TxD Output Tristate Delay	t_{daz}			140	ns	C_L=50pF, R_L=1kΩ*
6	SCLK Pulse Width High	t_{ppwh}	190			ns	
7	SCLK Pulse Width Low	t_{ppwl}	190			ns	
8	Command/Data Byte Delay Time	t_{cdbd}		2		µs	

† Timing is over recommended temperature & power supply voltages.
‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.
* High impedance is measured by pulling to the appropriate rail with R_L, with timing corrected to cancel time taken to discharge C_L.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics† - TDM Bus (See Figures 13 and 14a, 14b). Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Frame Pulse Input Setup Time	t_{fs}	10			ns	4 meg mode
2	Frame Pulse Input Hold Time	t_{fh}	5		5	ns cycles	
3	Serial Output Delay; Active to Active	t_{sdaa}			100	ns	C_L=50pF
4	Serial Output Delay; Active to High Z	t_{sdaz}			200	ns	C_L=50pF R_L=1kΩ*
5	Serial Output Delay; High Z to Active	t_{sdza}			150	ns	C_L=150pF
6	Serial Input Setup Time	t_{ss}	20			ns	
7	Serial Input Hold Time	t_{sh}	10			ns	
8	Frame Pulse Output Delay	t_{fd}			70	ns	
9	ODE Low to Serial Out High Z	t_{saz}			125	ns	C_L=50pF, R_L=1kΩ*
10	ODE High to Serial Out Active	t_{sza}			50	ns	C_L=50pF, R_L=1kΩ
11	C4 Clock Pulse Width Low	t_{c4l}	25	100	209	ns	t_{c4} = 244 ns
12	C4 Clock Pulse Width High	t_{c4h}	35	100	219	ns	t_{c4} = 244 ns
13	C4 Clock Period	t_{c4}	150	244		ns	

† Timing is over recommended temperature & power supply voltages.
‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.
* High impedance is measured by pulling to the appropriate rail with R_L, with timing corrected to cancel time taken to discharge C_L.

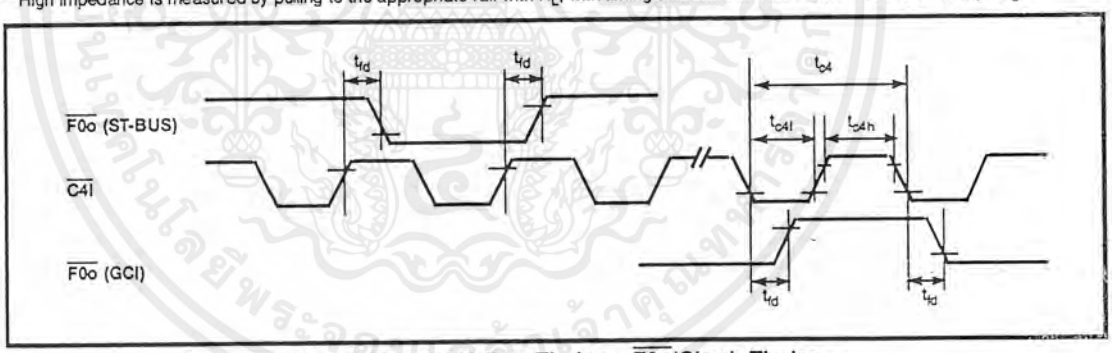


Figure 14a - TDM Bus Timing - F0o/Clock Timing

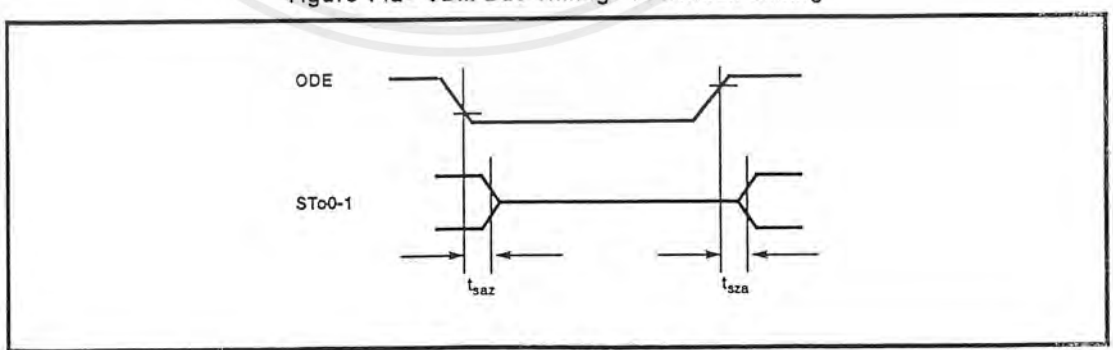


Figure 14b - ODE Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

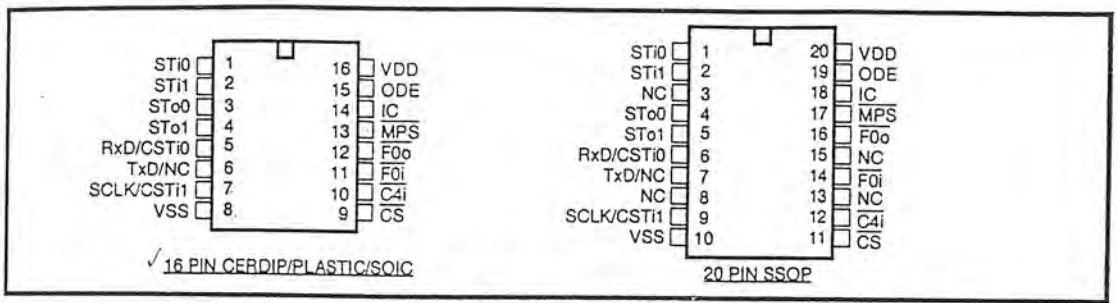


Figure 2 - Pin Connections

Pin Description

Pin #		Name	Description
16	20		
1-2	1-2	STi0-STi1	**Serial TDM Input 0 and 1 (Inputs).** 2048 kbit/s input data streams containing 32 8-bit channels synchronized to F0i.
3-4	4-5	STo0-STo1	**Serial TDM Output 0 and 1 (Outputs).** 2048 kbit/s output data streams containing 32 8-bit channels synchronized to F0i.
5	6	RxD/CSTi0	**Received Data/Control Stream Input 0 (Input).** When MPS is low, this pin receives serial microport data clocked in by the rising edge SCLK. When MPS is high, this pin receives a 2048 kbit/s serial TDM stream containing 32 8-bit channels, which are written into the Connect Memory locations corresponding to STo0.
6	7	TxD	**Transmit Data (Output).** When MPS is low, serial microport data is clocked out on this pin by the falling edge of SCLK. When MPS is high this output is disabled.
7	9	SCLK/CSTi1	**Serial Microport Clock/Control Stream Input 1 (Input).** When MPS is low, this pin receives a clock which is used to clock data to/from a microcontroller via a serial microport. When MPS is high, this pin receives a 2048 kbit/s serial TDM stream containing 32 8-bit channels, which are written into the Connect Memory locations corresponding to STo1.
8	10	V_{SS}	**Power Input.** Negative supply (ground).
9	11	CS	**Chip Select (Input).** When MPS is low, a low on this pin enables the serial microport. A high on this pin disables RxD and tristates TxD. When MPS is high, this pin must be low.
10	12	C4i	**Serial TDM Clock (Input).** This clock input is used to clock the TDM data into and out of the device and refreshes the internal dynamic RAM. The clock rate is 4.096 MHz and data is clocked in on the rising edge of C4i three-quarters of the way through a bit period.
11	14	F0i	**Frame Pulse (Input).** This input is the frame synchronization pulse for the 2048 kbit/s serial TDM streams. It may be either active low stradling the frame boundary (ST-BUS) or active high at the beginning of timeslot 5 (GCI).
12	16	F0o	**Frame Pulse (Output).** This pin outputs a frame pulse in the opposite format to F0i (GCI or ST-BUS) delayed or advanced by five channels.
13	17	MPS	**Microport Select (Input).** When this pin is held low, the serial microport is in normal mode. When this pin is high, the microport is in serial bus mode.
14	18	IC	**Internal Connection.** Tie to V_{SS} for normal operation.
15	19	ODE	**Output Drive Enable (Input).** When this pin is held high, the STo0 and STo1 output drivers function normally. When this pin is low, STo0 and STo1 are tristated. **NB:** When ODE is high, individual channels on STo0 and STo1 can be tristated under software control.
16	20	V_{DD}	**Power Input.** Positive supply.
	3,8, 13,15	NC	No Connection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC74HC4046A

Phase-Locked Loop
High–Performance Silicon–Gate CMOS

N SUFFIX
PLASTIC PACKAGE
CASE 648–08

D SUFFIX
SOIC PACKAGE
CASE 751B–05

ORDERING INFORMATION

MC74HCXXXXAN	Plastic
MC74HCXXXXAD	SOIC

PIN ASSIGNMENT

The MC574HC4046A is similar in function to the MC14046 Metal gate CMOS device. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC4046A phase–locked loop contains three phase comparators, a voltage–controlled oscillator (VCO) and unity gain op–amp DEM_{OUT}. The comparators have two common signal inputs, $COMP_{IN}$, and SIG_{IN}. Input SIG_{IN} and $COMP_{IN}$ can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor to small voltage signals). The self–bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal $PC1_{OUT}$ and maintains 90 degrees phase shift at the center frequency between SIG_{IN} and $COMP_{IN}$ signals (both at 50% duty cycle). Phase comparator 2 (with leading–edge sensing logic) provides digital error signals $PC2_{OUT}$ and PCP_{OUT} and maintains a 0 degree phase shift between SIG_{IN} and $COMP_{IN}$ signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{OUT} whose frequency is determined by the voltage of input VCO_{IN} signal and the capacitor and resistors connected to pins C1A, C1B, R1 and R2. The unity gain op–amp output DEM_{OUT} with an external resistor is used where the VCO_{IN} signal is needed but no loading can be tolerated. The inhibit input, when high, disables the VCO and all op–amps to minimize standby power consumption.

Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage–to–frequency conversion and motor speed control.

3

- Output Drive Capability: 10 LSTTL Loads
- Low Power Consumption Characteristic of CMOS Devices
- Operating Speeds Similar to LSTTL
- Wide Operating Voltage Range: 3.0 to 6.0 V
- Low Input Current: 1.0 µA Maximum (except SIG_{IN} and $COMP_{IN}$)
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Low Quiescent Current: 80 µA Maximum (VCO disabled)
- High Noise Immunity Characteristic of CMOS Devices
- Diode Protection on all Inputs
- Chip Complexity: 279 FETs or 70 Equivalent Gates

Pin No.	Symbol	Name and Function
1	PCP_{OUT}	Phase Comparator Pulse Output
2	$PC1_{OUT}$	Phase Comparator 1 Output
3	$COMP_{IN}$	Comparator Input
4	VCO_{OUT}	VCO Output
5	INH	Inhibit Input
6	C1A	Capacitor C1 Connection A
7	C1B	Capacitor C1 Connection B
8	GND	Ground (0 V) V_{SS}
9	VCO_{IN}	VCO Input
10	DEM_{OUT}	Demodulator Output
11	R1	Resistor R1 Connection
12	R2	Resistor R2 Connection
13	$PC2_{OUT}$	Phase Comparator 2 Output
14	SIG_{IN}	Signal Input
15	$PC3_{OUT}$	Phase Comparator 3 Output
16	V_{CC}	Positive Supply Voltage

© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	− 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	− 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	− 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air Plastic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	− 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds Plastic DIP and SOIC Package†	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: − 10 mW/°C from 65° to 125°C
SOIC Package: − 7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		3.0	6.0	V
V_{CC}	DC Supply Voltage (Referenced to GND) NON–VCO		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		− 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Pin 5)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

3

[Phase Comparator Section]

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} Volts	Guaranteed Limit − 55 to 25°C	Guaranteed Limit ≤ 85°C	Guaranteed Limit ≤ 125°C	Unit
V_{IH}	Minimum High–Level Input Voltage DC Coupled SIG_{IN}, $COMP_{IN}$	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\| \le 20\ \mu A$	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low–Level Input Voltage DC Coupled SIG_{IN}, $COMP_{IN}$	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\| \le 20\ \mu A$	2.0	0.5	0.5	0.5	V
			4.5	1.35	1.35	1.35	
			6.0	1.8	1.8	1.8	
V_{OH}	Minimum High–Level Output Voltage PCP_{OUT}, PCn_{OUT}	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20\ \mu A$	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 4.0$ mA	4.5	3.98	3.84	3.7	
		$\|I_{out}\| \le 5.2$ mA	6.0	5.48	5.34	5.2	

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[Phase Comparator Section]

DC ELECTRICAL CHARACTERISTICS – continued (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} Volts	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
V_{OL}	Maximum Low–Level Output Voltage Qa–Qh PCP_{OUT}, PCn_{OUT}	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\| \le 20$ μA	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		$V_{in} = V_{IH}$ or V_{IL} $\|I_{out}\| \le 4.0$ mA $\|I_{out}\| \le 5.2$ mA	4.5 6.0	0.26 0.26	0.33 0.33	0.4 0.4	
I_{in}	Maximum Input Leakage Current SIG_{IN}, $COMP_{IN}$	$V_{in} = V_{CC}$ or GND	2.0 3.0 4.5 6.0	±3.0 ±7.0 ±18.0 ±30.0	±4.0 ±9.0 ±23.0 ±38.0	±5.0 ±11.0 ±27.0 ±45.0	μA
I_{OZ}	Maximum Three–State Leakage Current $PC2_{OUT}$	Output in High–Impedance State $V_{in} = V_{IH}$ or V_{IL} $V_{out} = V_{CC}$ or GND	6.0	±0.5	±5.0	±10	μA
I_{CC}	Maximum Quiescent Supply Current (per Package) (VCO disabled) Pins 3, 5 and 14 at V_{CC} Pin 9 at GND; Input Leakage at Pins 3 and 14 to be excluded	$V_{in} = V_{CC}$ or GND $\|I_{out}\| = 0$ μA	6.0	4.0	40	160	μA

NOTE: Information on typical parametric values can be found in Chapter 2.

3

[Phase Comparator Section]

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6.0 ns)

Symbol	Parameter	V_{CC} Volts	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, SIG_{IN}/$COMP_{IN}$ to $PC1_{OUT}$ (Figure 1)	2.0 4.5 6.0	175 35 30	220 44 37	265 53 45	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, SIG_{IN}/$COMP_{IN}$ to PCP_{OUT} (Figure 1)	2.0 4.5 6.0	340 68 58	425 85 72	510 102 87	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, SIG_{IN}/$COMP_{IN}$ to $PC3_{OUT}$ (Figure 1)	2.0 4.5 6.0	270 54 46	340 68 58	405 81 69	ns
t_{PLZ}, t_{PHZ}	Maximum Propagation Delay, SIG_{IN}/$COMP_{IN}$ Output Disable Time to $PC2_{OUT}$ (Figures 2 and 3)	2.0 4.5 6.0	200 40 34	250 50 43	300 60 51	ns
t_{PZH}, t_{PZL}	Maximum Propagation Delay, SIG_{IN}/$COMP_{IN}$ Output Enable Time to $PC2_{OUT}$ (Figures 2 and 3)	2.0 4.5 6.0	230 46 39	290 58 49	345 69 59	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time (Figure 1)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[VCO Section]

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} Volts	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
V_{IH}	Minimum High–Level Input Voltage INH	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\| \le 20\ \mu A$	3.0 4.5 6.0	2.1 3.15 4.2	2.1 3.15 4.2	2.1 3.15 4.2	V
V_{IL}	Maximum Low–Level Input Voltage INH	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\| \le 20\ \mu A$	3.0 4.5 6.0	0.90 1.35 1.8	0.9 1.35 1.8	0.9 1.35 1.8	V
V_{OH}	Minimum High–Level Output Voltage VCO_{OUT}	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20\ \mu A$	3.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 4.0$ mA $\|I_{out}\| \le 5.2$ mA	4.5 6.0	3.98 5.48	3.84 5.34	3.7 5.2	
V_{OL}	Maximum Low–Level Output Voltage VCO_{OUT}	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\| \le 20\ \mu A$	3.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 4.0$ mA $\|I_{out}\| \le 5.2$ mA	4.5 6.0	0.26 0.26	0.33 0.33	0.4 0.4	
I_{in}	Maximum Input Leakage Current INH, VCO_{IN}	V_{in} = V_{CC} or GND	6.0	0.1	1.0	1.0	µA
				Min / Max	Min / Max	Min / Max	
$V_{VCO_{IN}}$	Operating Voltage Range at VCO_{IN} over the range specified for R1; For linearity see Fig. 15A, Parallel value of R1 and R2 should be > 2.7 kΩ	INH = V_{IL}	3.0 4.5 6.0	0.1 / 1.0 0.1 / 2.5 0.1 / 4.0	0.1 / 1.0 0.1 / 2.5 0.1 / 4.0	0.1 / 1.0 0.1 / 2.5 0.1 / 4.0	V
R1	Resistor Range		3.0 4.5 6.0	3.0 / 300 3.0 / 300 3.0 / 300	3.0 / 300 3.0 / 300 3.0 / 300	3.0 / 300 3.0 / 300 3.0 / 300	kΩ
R2			3.0 4.5 6.0	3.0 / 300 3.0 / 300 3.0 / 300	3.0 / 300 3.0 / 300 3.0 / 300	3.0 / 300 3.0 / 300 3.0 / 300	
C1	Capacitor Range		3.0 4.5 6.0	40 / No Limit 40 40			pF

3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

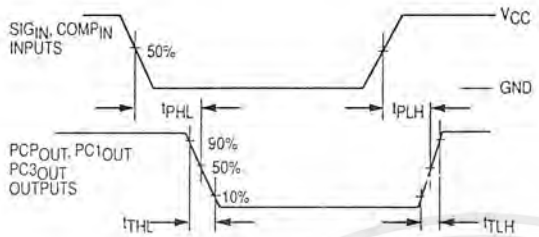


Figure 1.

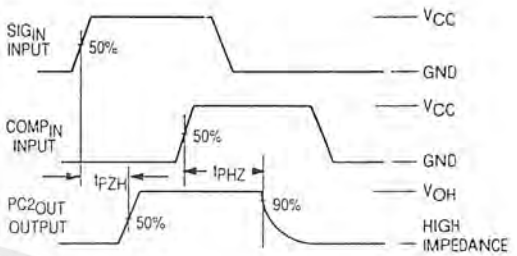


Figure 2.

Figure 3.

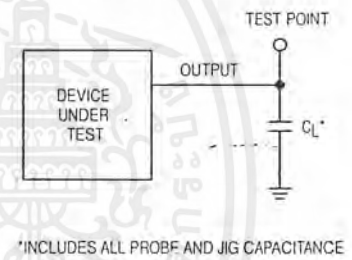


Figure 4. Test Circuit

3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DETAILED CIRCUIT DESCRIPTION

Voltage Controlled Oscillator/Demodulator Output

The VCO requires two or three external components to operate. These are R1, R2, C1. Resistor R1 and Capacitor C1 are selected to determine the center frequency of the VCO (see typical performance curves Figure 14). R2 can be used to set the offset frequency with 0 volts at VCO input. For example, if R2 is decreased, the offset frequency is increased. If R2 is omitted the VCO range is from 0 Hz. The effect of R2 is shown in Figure 24, typical performance curves. By increasing the value of R2 the lock range of the PLL is increased and the gain (volts/Hz) is decreased. Thus, for a narrow lock range, large swings on the VCO input will cause less frequency variation.

Internally, the resistors set a current in a current mirror, as shown in Figure 5. The mirrored current drives one side of the capacitor. Once the voltage across the capacitor charges up to V_{ref} of the comparators, the oscillator logic flips the capacitor which causes the mirror to charge the opposite side of the capacitor. The output from the internal logic is then taken to VCO output (Pin 4).

The input to the VCO is a very high impedance CMOS input and thus will not load down the loop filter, easing the filters design. In order to make signals at the VCO input accessible without degrading the loop performance, the VCO input voltage is buffered through a unity gain Op–amp to Demod Output. This Op–amp can drive loads of 50K ohms or more and provides no loading effects to the VCO input voltage (see Figure 12).

An inhibit input is provided to allow disabling of the VCO and all Op–amps (see Figure 5). This is useful if the internal VCO is not being used. A logic high on inhibit disables the VCO and all Op–amps, minimizing standby power consumption.

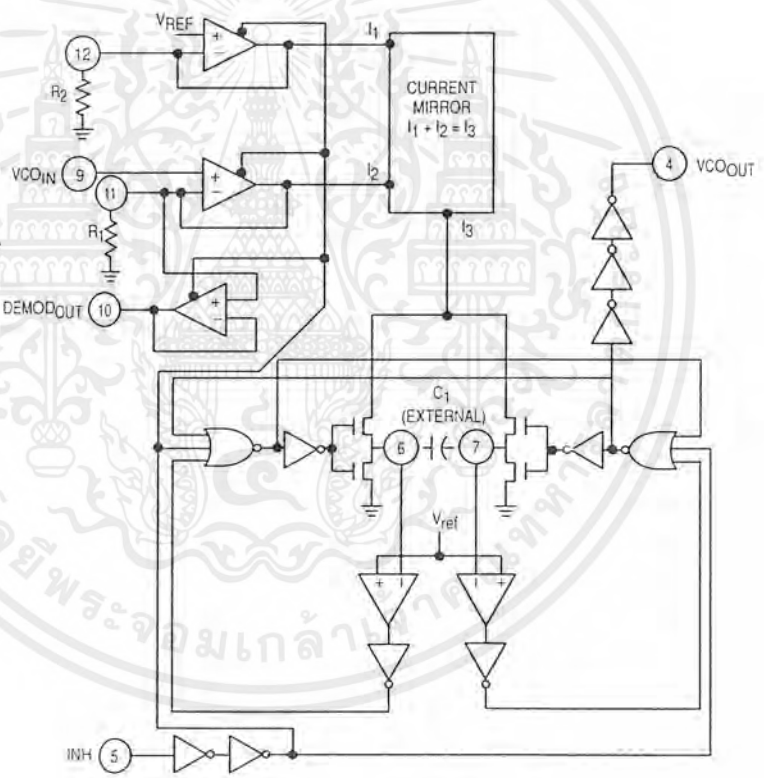


Figure 5. Logic Diagram for VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The output of the VCO is a standard high speed CMOS output with an equivalent LS–TTL fan out of 10. The VCO output is approximately a square wave. This output can either directly feed the $COMP_{IN}$ of the phase comparators or feed external prescalers (counters) to enable frequency synthesis.

Phase Comparators

All three phase comparators have two inputs, SIG_{IN} and $COMP_{IN}$. The SIG_{IN} and $COMP_{IN}$ have a special DC bias network that enables AC coupling of input signals. If the signals are not AC coupled, standard 54HC/74HC input levels are required. Both input structures are shown in Figure 6. The outputs of these comparators are essentially standard 54HC/74HC outputs (comparator 2 is TRI–STATEABLE). In normal operation V_{CC} and ground voltage levels are fed to the loop filter. This differs from some phase detectors which supply a current to the loop filter and should be considered in the design. (The MC14046 also provides a voltage).

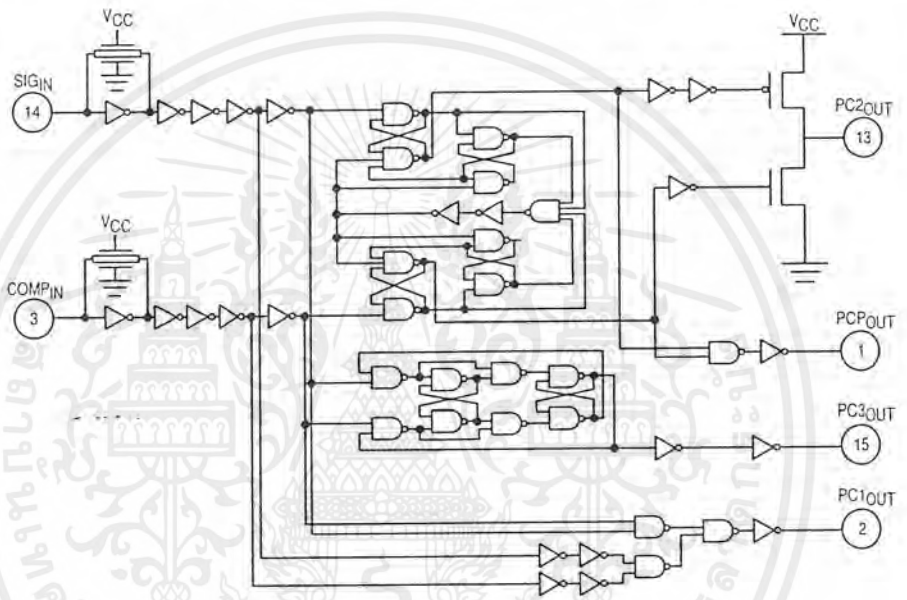


Figure 6. Logic Diagram for Phase Comparators

Phase Comparator 1

This comparator is a simple XOR gate similar to the 54/74HC86. Its operation is similar to an overdriven balanced modulator. To maximize lock range the input frequencies must have a 50% duty cycle. Typical input and output waveforms are shown in Figure 7. The output of the phase detector feeds the loop filter which averages the output voltage. The frequency range upon which the PLL will lock onto if initially out of lock is defined as the capture range. The capture range for phase detector 1 is dependent on the loop filter design. The capture range can be as large as the lock range, which is equal to the VCO frequency range.

To see how the detector operates, refer to Figure 7. When two square wave signals are applied to this comparator, an output waveform (whose duty cycle is dependent on the phase difference between the two signals) results. As the phase difference increases, the output duty cycle increases and the voltage after the loop filter increases. In order to achieve lock when the PLL input frequency increases, the VCO input voltage must increase and the phase difference between $COMP_{IN}$ and SIG_{IN} will increase. At an input frequency equal to f_{min}, the VCO input is at 0 V. This requires the phase detector output to be grounded; hence, the two input signals must be in phase. When the input frequency is f_{max}, the VCO input must be V_{CC} and the phase detector inputs must be 180 degrees out of phase.

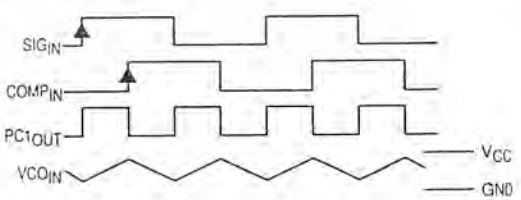


Figure 7. Typical Waveforms for PLL Using Phase Comparator 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The XOR is more susceptible to locking onto harmonics of the SIG_{IN} than the digital phase detector 2. For instance, a signal 2 times the VCO frequency results in the same output duty cycle as a signal equal to the VCO frequency. The difference is that the output frequency of the 2f example is twice that of the other example. The loop filter and VCO range should be designed to prevent locking on to harmonics.

Phase Comparator 2

This detector is a digital memory network. It consists of four flip–flops and some gating logic, a three state output and a phase pulse output as shown in Figure 6. This comparator acts only on the positive edges of the input signals and is independent of duty cycle.

Phase comparator 2 operates in such a way as to force the PLL into lock with 0 phase difference between the VCO output and the signal input positive waveform edges. Figure 8 shows some typical loop waveforms. First assume that SIG_{IN} is leading the $COMP_{IN}$. This means that the VCO's frequency must be increased to bring its leading edge into proper phase alignment. Thus the phase detector 2 output is set high. This will cause the loop filter to charge up the VCO input, increasing the VCO frequency. Once the leading edge of the $COMP_{IN}$ is detected, the output goes TRI–STATE holding the VCO input at the loop filter voltage. If the VCO still lags the SIG_{IN} then the phase detector will again charge up the VCO input for the time between the leading edges of both waveforms.

If the VCO leads the SIG_{IN} then when the leading edge of the VCO is seen; the output of the phase comparator goes low. This discharges the loop filter until the leading edge of the SIG_{IN} is detected at which time the output disables itself again. This has the effect of slowing down the VCO to again make the rising edges of both waveforms coincidental.

When the PLL is out of lock, the VCO will be running either slower or faster than the SIG_{IN}. If it is running slower the phase detector will see more SIG_{IN} rising edges and so the output of the phase comparator will be high a majority of the time, raising the VCO's frequency. Conversely, if the VCO is running faster than the SIG_{IN}, the output of the detector will be low most of the time and the VCO's output frequency will be decreased.

As one can see, when the PLL is locked, the output of phase comparator 2 will be disabled except for minor corrections at the leading edge of the waveforms. When PC_2 is TRI–STATED, the PCP output is high. This output can be used to determine when the PLL is in the locked condition.

This detector has several interesting characteristics. Over the entire VCO frequency range there is no phase difference between the $COMP_{IN}$ and the SIG_{IN}. The lock range of the PLL is the same as the capture range. Minimal power was consumed in the loop filter since in lock the detector output is a high impedance. When no SIG_{IN} is present, the detector will see only VCO leading edges, so the comparator output will stay low, forcing the VCO to f_{min}.

Phase comparator 2 is more susceptible to noise, causing the PLL to unlock. If a noise pulse is seen on the SIG_{IN}, the comparator treats it as another positive edge of the SIG_{IN} and will cause the output to go high until the VCO leading edge is seen, potentially for an entire SIG_{IN} period. This would cause the VCO to speed up during that time. When using PC_1, the output of that phase detector would be disturbed for only the short duration of the noise spike and would cause less upset.

Phase Comparator 3

This is a positive edge–triggered sequential phase detector using an RS flip–flop as shown in Figure 6. When the PLL is using this comparator, the loop is controlled by positive signal transitions and the duty factors of SIG_{IN} and $COMP_{IN}$ are not important. It has some similar characteristics to the edge sensitive comparator. To see how this detector works, assume input pulses are applied to the SIG_{IN} and $COMP_{IN}$'s as shown in Figure 9. When the SIG_{IN} leads the $COMP_{IN}$, the flop is set. This will charge the loop filter and cause the VCO to speed up, bringing the comparator into phase with the SIG_{IN}. The phase angle between SIG_{IN} and $COMP_{IN}$ varies from 0° to 360° and is 180° at f_o. The voltage swing for PC_3 is greater than for PC_2 but consequently has more ripple in the signal to the VCO. When no SIG_{IN} is present the VCO will be forced to f_{max} as opposed to f_{min} when PC_2 is used.

The operating characteristics of all three phase comparators should be compared to the requirements of the system design and the appropriate one should be used.

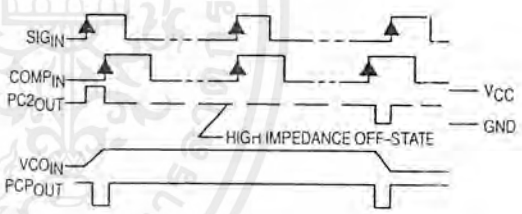


Figure 8. Typical Waveforms for PLL Using Phase Comparator 2

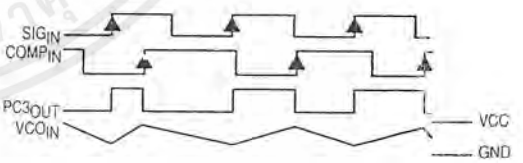


Figure 9. Typical Waveform for PLL Using Phase Comparator 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

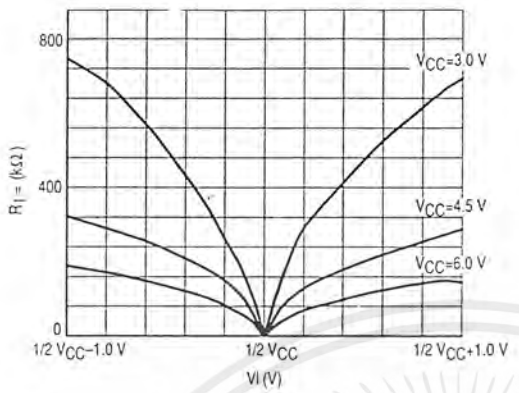


Figure 10. Input Resistance at SIG_{IN}, $COMP_{IN}$ with ΔV_I = 1.0 V at Self–Bias Point

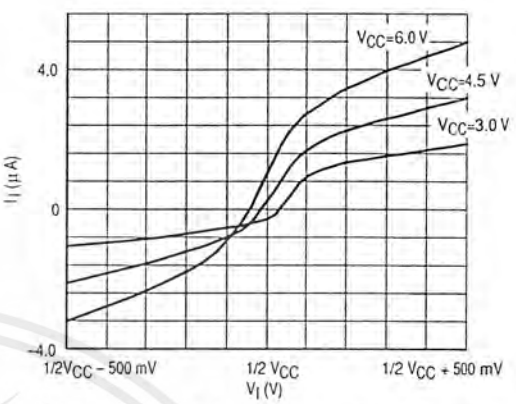


Figure 11. Input Current at SIG_{IN}, $COMP_{IN}$ with ΔV_I = 500 mV at Self–Bias Point

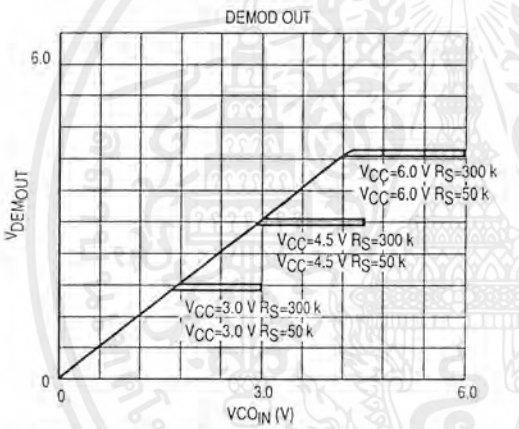


Figure 12. Offset Voltage at Demodulator Output as a Function of VCO_{IN} and R_S

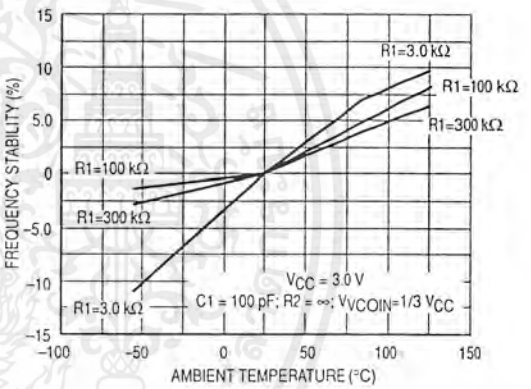


Figure 13A. Frequency Stability versus Ambient Temperature: V_{CC} = 3.0 V

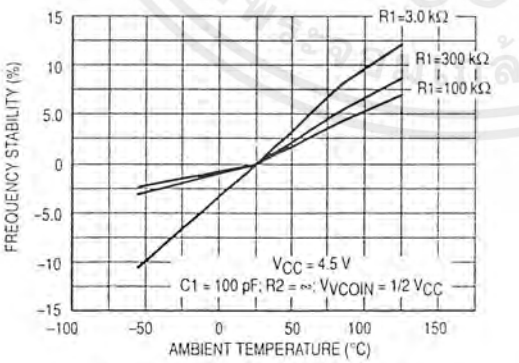


Figure 13B. Frequency Stability versus Ambient Temperature: V_{CC} = 4.5 V

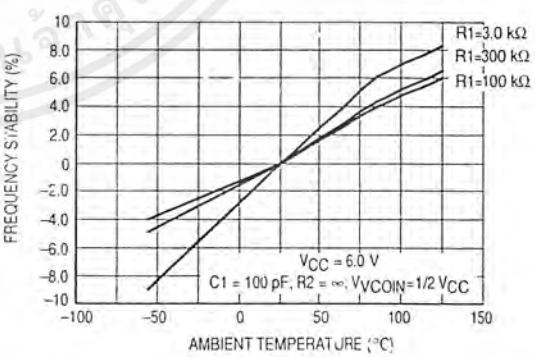


Figure 13C. Frequency Stability versus Ambient Temperature: V_{CC} = 6.0 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

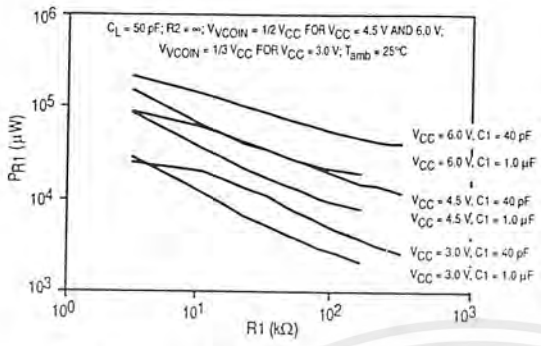


Figure 16. Power Dissipation versus R1

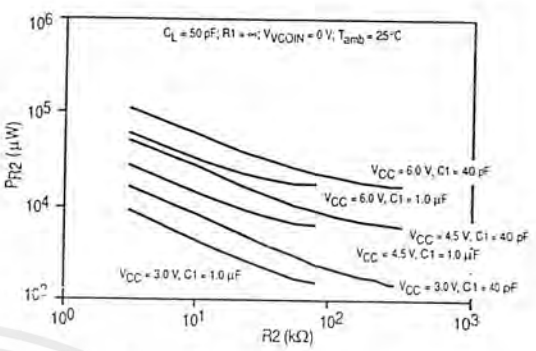


Figure 17. Power Dissipation versus R2

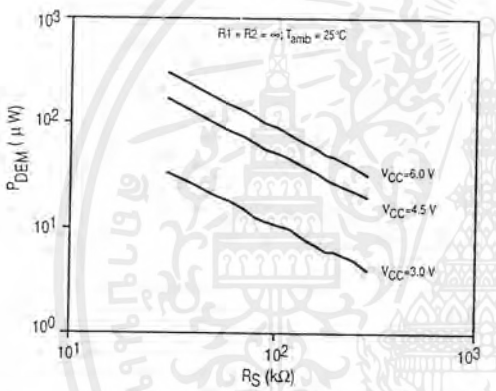


Figure 18. DC Power Dissipation of Demodulator versus R_S

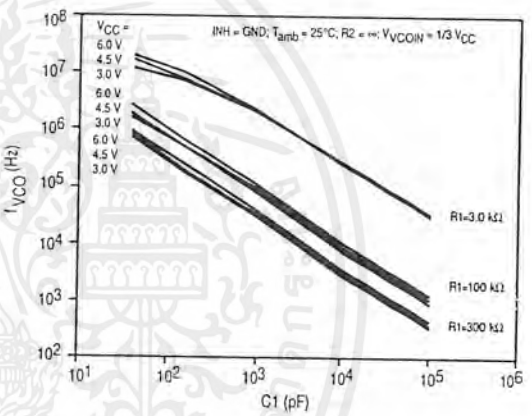


Figure 19. VCO Center Frequency versus C1

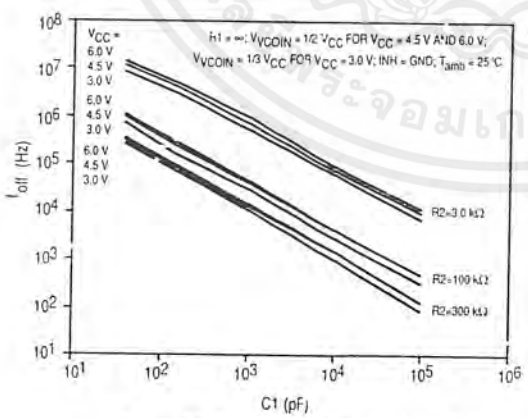


Figure 20. Frequency Offset versus C1

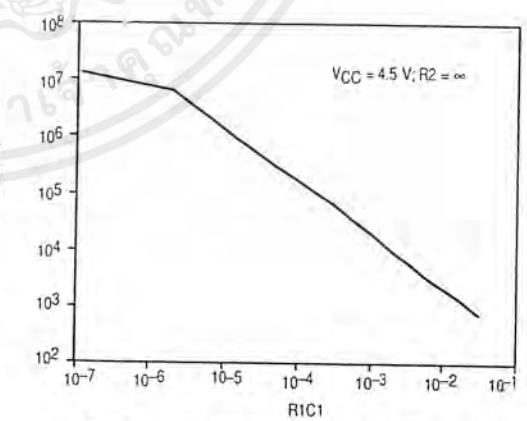


Figure 21. Typical Frequency Lock Range ($2f_L$) versus R_1C_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

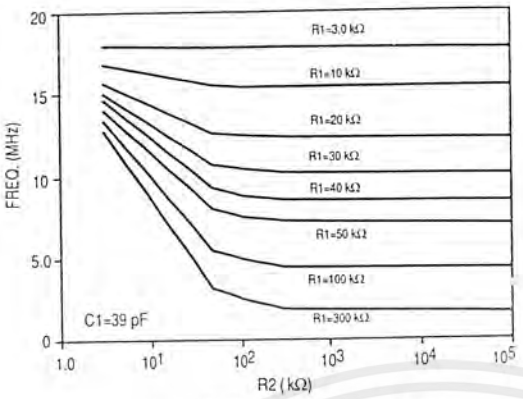


Figure 22. R2 versus f_{max}

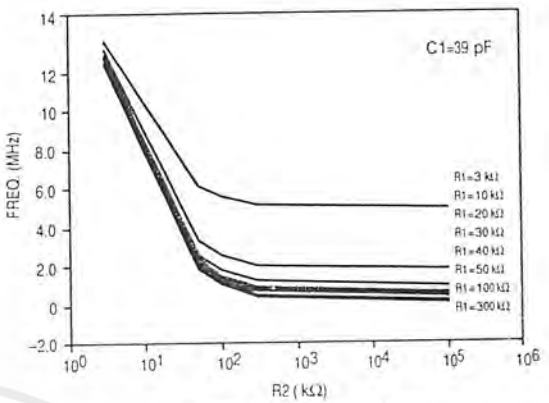


Figure 23. R2 versus f_{min}

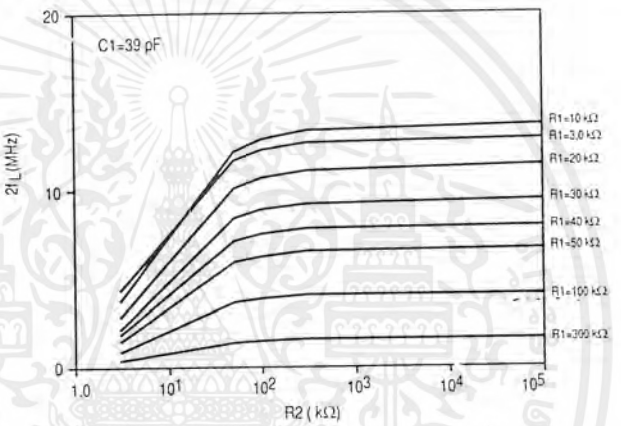


Figure 24. R2 versus Frequency Lock Range ($2f_L$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

The following information is a guide for approximate values of R1, R2, and C1. Figures 19, 20, and 21 should be used as references as indicated below, also the values of R1, R2, and C1 should not violate the Maximum values indicated in the DC ELECTRICAL CHARACTERISTICS tables.

Phase Comparator 1		Phase Comparator 2		Phase Comparator 3	
$R_2 = \infty$	$R_2 \neq \infty$	$R_2 = \infty$	$R_2 \neq \infty$	$R_2 = \infty$	$R_2 \neq \infty$
• Given f0 • Use f0 with Figure 19 to determine R1 and C1. (see Figure 23 for characteristics of the VCO operation)	• Given f0 and fL • Calculate f_{min} $f_{min} = f0 - fL$ • Determine values of C1 and R2 from Figure 20. • Determine R1–C1 from Figure 21. • Calculate value of R1 from the value of C1 and the product of R1C1 from Figure 21. (see Figure 24 for characteristics of the VCO operation)	• Given f_{max} and f0 • Determine the value of R1 and C1 using Figure 19 and use Figure 21 to obtain 2fL and then use this to calculate f_{min}.	• Given f0 and fL • Calculate f_{min} $f_{min} = f0 - fL$ • Determine values of C1 and R2 from Figure 20. • Determine R1–C1 from Figure 21. • Calculate value of R1 from the value of C1 and the product of R1C1 from Figure 21. (see Figure 24 for characteristics of the VCO operation)	• Given f_{max} and f0 • Determine the value of R1 and C1 using Figure 19 and Figure 21 to obtain 2fL and then use this to calculate f_{min}.	• Given f0 and fL • Calculate f_{min} $f_{min} = f0 - fL$ • Determine values of C1 and R2 from Figure 20. • Determine R1–C1 from Figure 21. • Calculate value of R1 from the value of C1 and the product of R1C1 from Figure 21 (see Figure 24 for characteristics of the VCO operation)

3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

รายงานและโครงงานนี้คงจะสำเร็จลงไม่ได้ หากไม่ได้รับความช่วยเหลือเป็นอย่างยิ่งจากบุคคลหลายๆท่าน เริ่มตั้งแต่การทำโครงงาน ตลอดจนคำแนะนำในการทำรายงานฉบับนี้จนเสร็จสมบูรณ์

ขอขอบพระคุณ อาจารย์วิวัฒน์ กิรานนท์

ขอขอบพระคุณ อาจารย์ปราโมทย์ ฉาดเขียน

ขอขอบพระคุณ อาจารย์วิภา แสงพิสิทธิ์

ที่ได้ให้คำปรึกษาแนะนำตลอดมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] วิวัฒน์ กิรานนท์ , "วิศวกรรมการสื่อสาร" กรุงเทพฯ : อักษรสยามการพิมพ์ , มกราคม 2540

[2] บัณฑิต โรจน์อารยานนท์ , "หลักการไฟฟ้าสื่อสาร" กรุงเทพฯ : สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย

[3] ปรีชา ยุพาพิน , " เครือข่ายใยแก้วนำแสง " กรุงเทพฯ : ดวงกมลสมัย จำกัด , ธันวาคม 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้