สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องรับเครื่องส่งโดยวิธี Differential Phase Shift Keying(DPSK)

TRANSMITTER AND RECEIVER BY DPSK TECHNIQUE

T037151

โดย

นาย ทัศไนย แซ่ลิ้ม

นาย แสงชัย โชคสิริถาวรกุล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน.....37151
วัน, เดือน, ปี.....- 4 ก.ย. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับเครื่องส่งโดยวิธี Differential Phase Shift Keying(DPSK)

TRANSMITTER AND RECEIVER BY DPSK TECHNIQUE

โดย

นาย ทัศไนย แซ่ลิ้ม 40013037

นาย แสงชัย โชคสิริถาวรกุล 40013035

อาจารย์ที่ปรึกษา

รศ.ดร. กอบชัย เดชหาญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2542

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องรับเครื่องส่งโดยวิธี Differential Phase Shift Keying(DPSK)

TRANSMITTER AND RECEIVER BY DPSK TECHNIQUE

ผู้จัดทำ

1. นายทัศไนย แซ่ลิ้ม 40013037

2. นายแสงชัย โชคสิริถาวรกุล 40013035

.....อาจารย์ที่ปรึกษา

(รศ.ดร. กอบชัย เดชหาญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับเครื่องส่งโดยวิธี Differential Phase Shift Keying(DPSK)

TRANSMITTER AND RECEIVER BY DPSK TECHNIQUE

โดย นายทัศไนย แซ่ลิ้ม 40013007
นายแสงชัย โชคสิริถาวรกุล 40013035

อาจารย์ที่ปรึกษา รศ.ดร. กอบชัย เดชหาญ

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เป็นการนำเสนอโครงงานในหัวข้อเรื่อง เครื่องรับและเครื่องส่งโดยใช้เทคนิค Differential Phase Shift Keying (DPSK) ซึ่งเป็นเทคนิคการส่งสัญญาณแบบใช้ความต่างเฟสของตัวสัญญาณพาหะ โดยจะต่างเฟสกัน 180 องศา โดยลักษณะเด่นของการเข้ารหัสสัญญาณแบบนี้คือเราไม่จำเป็นต้องทำการกู้สัญญาณพาหะกลับมาเหมือนการเข้ารหัสสัญญาณแบบอื่นๆ เพียงแต่ทำการกู้สัญญาณนาฬิกากลับมาได้ก็สามารถรับสัญญาณที่ถูกต้องของทางภาคส่งได้ ซึ่งทำให้มีความยุ่งยากในการรับเอาสัญญาณที่ถูกต้องกลับมาน้อยกว่า จึงมีความผิดพลาดในการทำงานน้อยกว่า ซึ่งข้อแตกต่างนี้เกิดมาจากการส่งสัญญาณอ้างอิงไปก่อนและเมื่อทางภาครับรับได้จะทำการหน่วงเวลาหนึ่งบิทเพื่อนำมาเปรียบเทียบกับสัญญาณข้อมูลต่อไปโดยถ้าสัญญาณข้อมูลเป็นศูนย์จะเกิดการกลับเฟส ถ้าเป็นระดับสัญญาณหนึ่งจะเกิดอินเฟสกับสัญญาณเดิม

ABSTRACT

This thesis presents a design of transmitter & receiver by using differential phase shift keying (DPSK technique) the carrier differential encoder technique is 180 degree difference ,Therefore, it is unnecessary, have the clock recovery for the completely detecting of the data that had been sent from the transmitter ,then the complicated circuit in the receiver has not shown. Accordingly, the reference signal is previously sent to the receiver

In order to detect the signal ,the comparison of data signal and 1 bit delay circuit has been done, if the data is zero the carrier is 180 degree phase inverting and non-inverting on the otherhand.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่2 ทฤษฎีและหลักการ	2
2.1 ระบบ DATA COMMUNICATION	2
2.2 ลักษณะของสัญญาณทั่วไปของการ Modulate สัญญาณดิจิตอล	2
2.3 รูปแบบการสื่อสาร	2
2.4 QPSK	4
2.5 BPSK	6
2.6 8-PSK	7
2.7 16-PSK	8
2.8 การแปลงสัญญาณอนาล็อกเป็นดิจิตอล(A/D)	9
2.9 เครื่องส่งเครื่องรับแบบ DPSK	14
บทที่ 3 การออกแบบวงจร	16
3.1 การส่งสัญญาณแบบ DPSK	16
3.2 การรับสัญญาณแบบ DPSK	16
3.3 เครื่องส่งแบบ DPSK	17
3.4 เครื่องรับ DPSK	25
บทที่ 4 การทดลองและผลการทดลอง	35
4.1 เครื่องส่ง DPSK	35
4.2 เครื่องรับ DSPK	44
บทที่ 5 สรุปผลและวิจารณ์	49
5.1 สรุปผลการทดลอง	49
5.2ปัญหาที่เกิดขึ้น	49
5.3 การข้อเสนอแนะ	49
ภาคผนวก	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 ลักษณะของสัญญาณชนิดต่างๆ	4
รูปที่ 2.2 ลักษณะการเข้าสัญญาณ	5
รูปที่ 2.3 วงจรภาคส่งของ QPSK	6
รูปที่ 2.4 วงจรภาครับของ QPSK	6
รูปที่ 2.5 วงจรภาคส่ง 8-PSK	7
รูปที่ 2.6 วงจรภาครับ 8-PSK	7
รูปที่ 2.7 วงจรการส่งสัญญาณ 16-PSK	8
รูปที่ 2.8 วงจรภาครับ 16-PSK	8
รูปที่2.9 การเปลี่ยนจากสัญญาณอนาล็อกไปเป็นดิจิตอล	9
รูปที่ 2.11 PCM RECIEVER	10
รูปที่ 2.12 RECONSTRUCT WAVEFORM	10
รูปที่ 2.13 GENERATION OF PAM SIGNAL	12
รูปที่ 2.14 uniform quantizing of the samples of an analog signal	13
รูปที่ 2.15 Non-uniform canting	14
รูปที่ 2.10 PCM GENERATION SYSTEM	10
รูปที่2.16 การเข้ารหัสสัญญาณและการส่งข้อมูลออกทางด้านส่ง	15
รูปที่ 3.1 บล็อกไดอะแกรมเครื่องส่ง DPSK	16
รูปที่ 3.2 บล็อกไดอะแกรมเครื่องรับ DPSK	17
รูปที่ 3.3 บล็อกไดอะแกรมแสดงเครื่องส่ง DPSK	18
รูปที่ 3.4 วงจรกำเนิดสัญญาณไซน์ ความถี่ 1 MHz	18
รูปที่ 3.5 วงจรแปลงสัญญาณไซน์ ความถี่ 1 MHz ให้เป็นสัญญาณสี่เหลี่ยมความถี่ 1 MHz	19
รูปที่ 3.6 วงจรหารความถี่ 1 MHz ให้เหลือ 250 kHz	19
รูปที่ 3.7 วงจรหารความถี่ 250 kHz ให้เหลือ 25 kHz	20
รูปที่ 3.8 วงจรสร้างสัญญาณนาฬิกาใหม่	21
รูปที่ 3.9 วงจรแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล	22
รูปที่ 3.10 วงจรเปลี่ยนสัญญาณขนานให้เป็นสัญญาณอนุกรม	22
รูปที่ 3.11 วงจรสร้างสัญญาณที่เป็น DPSK	23
รูปที่ 3.12 วงจรเปลี่ยนระดับสัญญาณ	24
รูปที่ 3.13 วงจรบาลานส์มอดูเลชั่น	25
รูปที่ 3.14 บล็อกไดอะแกรมของเครื่องรับแบบ DPSK	26
รูปที่ 3.15 วงจรหน่วงเวลาหนึ่งบิต	27
รูปที่ 3.16 วงจรดีมอดูเลต	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.17 แสดงวงจรปรับแต่งรูปสัญญาณ 29
รูปที่ 3.18 วงจรสร้างสัญญาณนาฬิกาความถี่ 1 MHz 30
รูปที่ 3.19 วงจรสร้างสัญญาณนาฬิกา 250 kHz 30
รูปที่ 3.20 วงจร ซิงโครไนซ์สัญญาณนาฬิกา 31
รูปที่ 3.21 วงจรเปลี่ยนสัญญาณอนุกรมให้เป็นสัญญาณขนาน 32
รูปที่ 3.22 วงจรD/A Converter 33
รูปที่ 3.23 วงจรกรองความถี่ต่ำผ่าน 34
รูปที่ 4.1 ผลการทดลองวงจรผลิตสัญญาณ Sine wave 1 MHz และสร้างสัญญาณ Square wave 35
รูปที่ 4.2 ผลการทดลองวงจรสร้างสัญญาณนาฬิกา 250 kHz และ 25 kHz 36
รูปที่ 4.3 ผลการทดลองวงจรสร้างสัญญาณนาฬิกาใหม่ 37
รูปที่ 4.4 ผลการทดลองวงจรกลับสัญญาณ 38
รูปที่ 4.5 ผลการทดลองวงจร A/D Converter และวงจร Shift Register 39
รูปที่ 4.6 ผลการทดลองเปรียบเทียบข้อมูลดิจิตอลที่ได้กับสัญญาณนาฬิกา 25 kHz 40
รูปที่ 4.7 ผลการทดลองวงจรแปลงสัญญาณข่าวสารข้อมูลให้เป็นสัญญาณ DPSK 41
รูปที่ 4.8 ผลการทดลองวงจรเปลี่ยนสัญญาณดิจิตอลให้เป็นสัญญาณ AC 42
รูปที่ 4.9 ผลการทดลองวงจรBalance Modulation 43
รูปที่ 4.10 ผลการทดลองวงจรหน่วงเวลาสัญญาณ 1 บิต 44
รูปที่ 4.11 ผลการทดลองวงจร Balance Modulation 45
รูปที่ 4.12 ผลการทดลองวงจรเปรียบเทียบแรงดัน 46
รูปที่ 4.13 สัญญาณที่ได้รับการปรับระดับเทียบกับสัญญาณทางภาคส่ง 47
รูปที่ 4.14 การซิงโครไนซ์สัญญาณนาฬิกา 47
รูปที่ 4.15 สัญญาณนาฬิกา 250 kHz เทียบกับสัญญาณนาฬิกา 500 kHz 48
รูปที่ 4.16 สัญญาณเสียงที่ส่งมา(รูปล่าง)เทียบกับสัญญาณเสียงที่กู้มาได้(รูปบน) 48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2.1 ตารางลักษณะการเข้ารหัส 12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

รายงานฉบับนี้ทางผู้จัดทำได้มีความตั้งใจที่จัดทำขึ้นเพื่อที่จะนำเสนอโครงงานในเรื่องของการเข้ารหัสสัญญาณ โดยทางผู้จัดทำได้ตัดสินใจที่จะทำการเข้ารหัสสัญญาณแบบ DPSK เนื่องมาจากที่ทางผู้จัดทำเห็นพ้องกันว่า การเข้ารหัสสัญญาณแบบนี้มีข้อดีอยู่หลายประการที่เหนือกว่าการเข้ารหัสสัญญาณแบบอื่นๆ กล่าวคือการเข้ารหัสสัญญาณแบบ Differential Phase Shift Keying (DPSK)นี้จะมีความสะดวกในการสร้างวงจรทั้งทางภาครับและภาคส่งเพราะสาเหตุที่ว่าวิธีนี้ไม่จำเป็นที่จะต้องทำการกู้สัญญาณคลื่นพาหะกลับมาเหมือนเช่นการรับส่งโดยใช้เทคนิคการเข้ารหัสสัญญาณแบบอื่นๆเพียงแต่เรากู้สัญญาณนาฬิกาที่ได้จากสัญญาณ DPSK ที่รับได้มาจากทางภาคส่ง เราก็สามารถที่จะทำการถอดรหัสสัญญาณข้อมูลที่มาจากภาคส่งได้ โดยกระบวนการดังกล่าวมาจากการที่ภาคส่งส่งเอาสัญญาณอ้างอิงมาด้วยเป็นตัวแรกฉะนั้นทางภาครับจึงสามารถเอามาใช้เปรียบเทียบกับสัญญาณข้อมูลได้ว่าสัญญาณที่ส่งมาเป็นข้อมูลอะไร

นอกจากนี้ขอบเขตของรายงานนี้ยังมีหัวข้อเกี่ยวกับการส่งสัญญาณเสียงด้วย โดยเราจะใช้เทคนิคของการเปลี่ยนสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอลทางเครื่องส่งและเทคนิคการแปลงสัญญาณดิจิตอลให้เป็นอนาล็อกตามเดิมที่ทางภาครับ ซึ่งเราจะใช้ในการสื่อสารส่วนใหญ่ในปัจจุบันนั่นคือโทรศัพท์ โดยโครงงานนี้เราจะใช้การสื่อสารผ่านสายโคแอ็กเชี่ยล(Coaxial) ซึ่งถ้าหากมีความเข้าใจพื้นฐานที่ดีแล้วเราอาจประยุกต์ให้เป็นการส่งสัญญาณแบบไร้สายได้ โดยในปัจจุบันกำลังเป็นเทคโนโลยีที่ถูกยอมรับอย่างกว้างขวาง และสุดท้ายนี้ผู้จัดทำหวังเป็นอย่างยิ่งว่ารายงานฉบับนี้จะเป็นประโยชน์ต่อผู้อ่านทุกๆท่าน

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2

ทฤษฎีและหลักการ

2.1 ระบบการสื่อสารข้อมูล (DATA COMMUNICATION)

ในการสื่อสารยุคใหม่โดยเฉพาะอย่างยิ่งทางด้านการสื่อสารโทรคมนาคมได้มีการนำเอาเทคโนโลยีสมัยใหม่เข้ามาใช้อย่างมากมาย โดยเทคโนโลยีสมัยใหม่ที่ว่านี้เป็นการพัฒนาการสื่อสารทางด้านดิจิตอล เพื่อความรวดเร็วทันเวลาและข่าวสารที่ใช้ติดต่อสื่อสารกันมีปริมาณมากขึ้นแต่ใช้เวลาน้อยลง รวมทั้งมีความถูกต้องแม่นยำมากขึ้น

ซึ่งการพัฒนามีมาอย่างต่อเนื่องทฤษฎีและวิธีการมากมายถูกคิดค้นขึ้นเพื่อตอบสนองความต้องการทางการสื่อสารแบบต่างๆและแต่ละแบบจะมีประโยชน์ในการใช้งานที่ต่างๆกันซึ่งรายละเอียดนั้นจะได้นำเสนอต่อไป

2.2 ลักษณะของสัญญาณทั่วไปของการมอดูเลต (Modulate) สัญญาณดิจิตอล

การมอดูเลตสัญญาณดิจิตอลนั้นจะเป็นการนำสัญญาณดิจิตอลที่ต้องการส่งไปเปลี่ยนแปลงข่าวสารในสัญญาณคลื่นพาหะ ซึ่งก็หมายถึงอาจจะเปลี่ยนขนาด เปลี่ยนความถี่ หรือเปลี่ยนเฟสของสัญญาณพาหะให้เปลี่ยนไปตามสัญญาณดิจิตอลที่เข้ามามอดูเลตและในทำนองเดียวกับการส่งสัญญาณดิจิตอลแบบเบสแบนด์ซึ่งมีแบบสัญญาณ 2 ระดับ และหลายระดับ การมอดูเลตสัญญาณเข้ากับคลื่นพาหะนี้เราสามารถใช้สัญญาณ 1 สัญญาณ หรือ 1 สัญลักษณ์แทนสัญญาณดิจิตอล 1 บิต หรือมากกว่า 1 บิตก็ได้ ดังนั้นถ้าเป็นสัญญาณไบนารีซึ่งเป็นสัญญาณดิจิตอล 1 บิต สัญญาณคลื่นพาหะที่ถูกมอดูเลตก็จะมีรูปร่าง 2 แบบเท่านั้น แต่ถ้าเป็นสัญญาณแบบ N บิต รูปร่างของสัญญาณคลื่นพาหะที่ถูกมอดูเลตแล้วจะมีรูปร่างอย่างน้อย 2^N แบบด้วยกัน เมื่อกล่าวโดยสรุปก็คือ เราสามารถมอดูเลตสัญญาณดิจิตอลทีละ 1 บิต หรือทีละหลายๆบิตเข้าไปกับสัญญาณคลื่นพาหะได้

ในการพิจารณาว่าการมอดูเลตแบบไหนมีประสิทธิภาพในการใช้แบนด์วิดท์มากกว่ากันนั้น เราอาจดูได้จากอัตราข้อมูลที่สามารถส่งได้ต่อแบนวิดท์ 1 Hz กล่าวคือ ถ้าให้ R_B bps เป็นอัตราข้อมูลที่ส่งได้โดยใช้แบนวิดท์กว้าง B_T Hz ประสิทธิภาพในการใช้แบนวิดท์ η_B จะเขียนได้ดังนี้

$$\eta_B = R_B / B_T \text{ bps/Hz}$$

ดังนั้นในการมอดูเลตแบบเดียวกันที่มีอัตราการเปลี่ยนแปลงของสัญญาณเท่ากัน แบบที่ใช้ 1 สัญลักษณ์แทน N บิต ก็จะมีอัตราข้อมูลเร็วกว่าแบบที่ใช้ 1 สัญลักษณ์แทน 1 บิตอยู่ N เท่า และถ้าแบนวิดท์ที่ต้องการของกรณีแรกมากกว่าของกรณีหลังไม่ถึง N เท่า ก็จัดได้ว่าการมอดูเลตแบบแรกมีประสิทธิภาพในการใช้แบนวิดท์ดีกว่าแบบหลัง ประสิทธิภาพการใช้แบนวิดท์ของการใช้สัญญาณดิจิตอลนี้ถ้าพิจารณาจากเงื่อนไขของไนควิสต์ซึ่งเป็นกรณีที่สูงสุดทางทฤษฎี จะได้ว่ากรณีที่เป็นไบนารี 2 ระดับค่า η_B จะเป็น 2 BPS/Hz เมื่อส่งแบบเบสแบนด์และเป็น 1 สัญลักษณ์แทน 2 บิต ค่า η_B ก็จะสูงขึ้นเป็น 2 เท่า

2.3 รูปแบบการสื่อสาร

1.DIGITAL DATA →DIGITAL SIGNAL

2.DIGITAL DATA →ANALOG SIGNAL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.ANALOG DATA→DIGITAL DATA

4.ANALOG DATA→ANALOG SIGNAL

2.3.1 DIGITAL DATA →DIGITAL SIGNAL

เป็นกระบวนการที่ทำการเปลี่ยนจากสัญญาณข้อมูลที่เป็นระดับทางดิจิตอลให้เป็นสัญญาณทางดิจิตอล ซึ่งสัญญาณดิจิตอลมี 2 กลุ่มใหญ่ๆคือ

1 RZ(RETURN TO ZERO) คือ สัญญาณที่ไม่ว่าระดับข้อมูลจะเป็น 0 หรือ 1 ก็ตามจะเป็นเพียงแค่ครึ่งไซเคิลเดียวเท่านั้น ก็จะกลับสู่ระดับสัญญาณ 0 ในอีกครึ่งไซเคิลหนึ่งซึ่งแสดงได้ดังรูปที่ 2.1

2 NRZ(NON- RETURN TO ZERO) คือสัญญาณที่แตกต่างจากแบบ RZ ตรงที่จะไม่มีการเปลี่ยนสัญญาณเพียงครึ่งไซเคิลแล้วกลับสู่ระดับ 0 แต่จะเปลี่ยนแปลงตามระดับข้อมูลที่เข้ามา ซึ่งสัญญาณประเภทนี้ยังแบ่งได้อีก 2 ชนิดคือ NRZ(L)เป็นระดับสัญญาณที่เปลี่ยนแปลงตามข้อมูลที่เข้ามาทางอินพุต กล่าวคือถ้าระดับลอจิก เป็น 0 NRZ(L) ก็จะเป็น 0 และถ้าอินพุทเป็น 1 NRZ(L) ก็จะเป็น 1 ด้วย ดังรูปที่ 2.1

NRZ(I) มี 2 ชนิดคือ

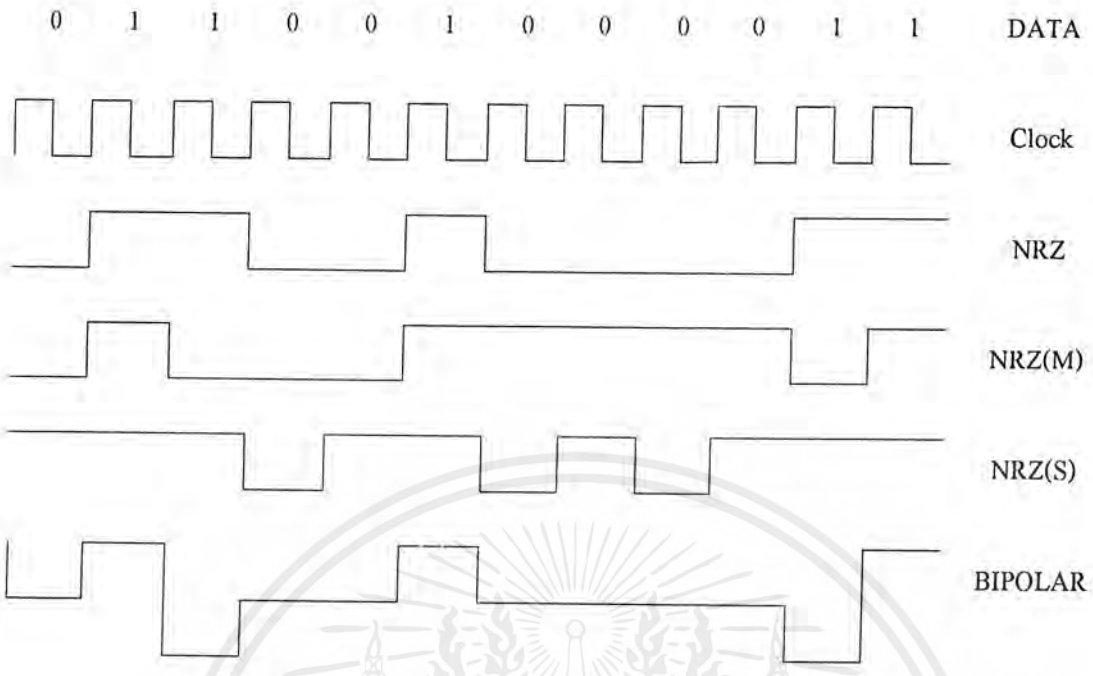
- NRZ(M)เป็นสัญญาณที่ถูกสร้างขึ้นเพื่อป้องกันข้อผิดพลาดในการรับส่งข้อมูล และสามารถตรวจสอบได้จากการเปลี่ยนแปลงของบิตสัญญาณ กล่าวคือถ้าข้อมูลทางอินพุตเป็น 1 สัญญาณที่ได้จะถูกตรวจสอบกับบิต 1 ที่เกิดก่อนหน้านี้ซึ่งถ้าบิต 1 ก่อนหน้านี้เป็น 1 อยู่แล้ว ข้อมูลบิตนี้ก็จะเป็น 0 ซึ่งในทางตรงกันข้าม ถ้าบิต 1 ก่อนหน้านี้เป็น 0 อยู่ ฉะนั้นข้อมูลบิตนี้ก็จะเป็น 1 นั่นหมายความว่า จะไม่มีการให้สัญญาณของบิต 1 มีสถานะที่ซ้ำกัน จะสลับกันไปเรื่อยๆ และสำหรับข้อมูลที่เป็นบิต 0 จะมีสถานะของสัญญาณที่ได้เป็นไปตามสัญญาณที่ได้จากข้อมูลบิต 1 ก่อนหน้าซึ่งแสดงไว้ดังรูป ที่ 2.1
- NRZ(S) เป็นสัญญาณที่พิจรณาได้ในลักษณะที่ตรงข้ามกับแบบ NRZ(M) นั่นคือถ้าหากข้อมูลที่เข้ามาเป็น 0 มันจะดูสถานะของสัญญาณที่มาจากบิต 0 ก่อนหน้านี้ว่ามีสถานะเช่นไร ซึ่งจะไม่ให้เกิดสถานะซ้ำกันส่วนสัญญาณของข้อมูลบิต 1 จะมีสถานะของสัญญาณตามสถานะ สัญญาณที่มาจากข้อมูลบิต 0 ซึ่งแสดงดังรูปที่ 2.1

2.3.2 DIGITAL DATA→ANALOG SIGNAL

เป็นกระบวนการที่ทำการเปลี่ยนข้อมูลทางดิจิตอลไปเป็นสัญญาณทางอนาล็อกซึ่งกระบวนการนี้มีวิธีการมากมาย โดยที่แต่ละวิธีก็ถูกใช้ไปเพื่อประโยชน์ และรูปแบบดังนี้

1. ASK(AMPLITUDE SHIFT KEYING) เป็นกระบวนการแปลงสัญญาณข้อมูลทางด้านดิจิตอล ไปเป็นสัญญาณอะนาล็อกที่มีแอมปลิจูดเปลี่ยนแปลงตามข้อมูลดิจิตอลที่เข้ามา กล่าวคือถ้าข้อมูลที่เข้ามาเป็น 1 แอมปลิจูดที่ได้จะมีขนาดสูงกว่า แต่ในทางตรงกันข้ามถ้าข้อมูลเป็น 0 แอมปลิจูดที่ได้ก็จะมีขนาดต่ำ ดังแสดงดังรูปที่ 2.2
2. FSK(FREQUENCY SHIFT KEYING) เป็นกระบวนการที่แปลงข้อมูลทางดิจิตอลไปเป็นสัญญาณอะนาล็อกที่เปลี่ยนแปลงความถี่ตามข้อมูลที่เข้ามาทางอินพุท กล่าวคือถ้าข้อมูลอินพุตเป็น 1 ความถี่ของสัญญาณจะมีความถี่สูงส่วนถ้าข้อมูลเป็น 0 ความถี่ก็จะต่ำกว่า ดังแสดงดังรูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 ลักษณะของสัญญาณชนิดต่างๆ

3. PSK(PHASE SHIFT KEYING) เป็นกระบวนการที่ให้เฟสของสัญญาณเปลี่ยนแปลงตามข้อมูลที่เข้ามาซึ่งเฟสจะต่างกัน 180 °โดยมีอยู่ด้วยกันหลายวิธีการแต่มีหลักๆดังนี้

3.1 QPSK(QUADRATURE PHASE SHIFT KEYING)

3.2 BPSK(BINARY PHASE SHIFT KEYING)

3.3 8-PSK(8- PHASE SHIFT KEYING)

3.4 16-PSK(16- PHASE SHIFT KEYING)

3.5 DPSK(DIFFERENTIAL PHASE SHIFT KEYING)

2.4 QPSK

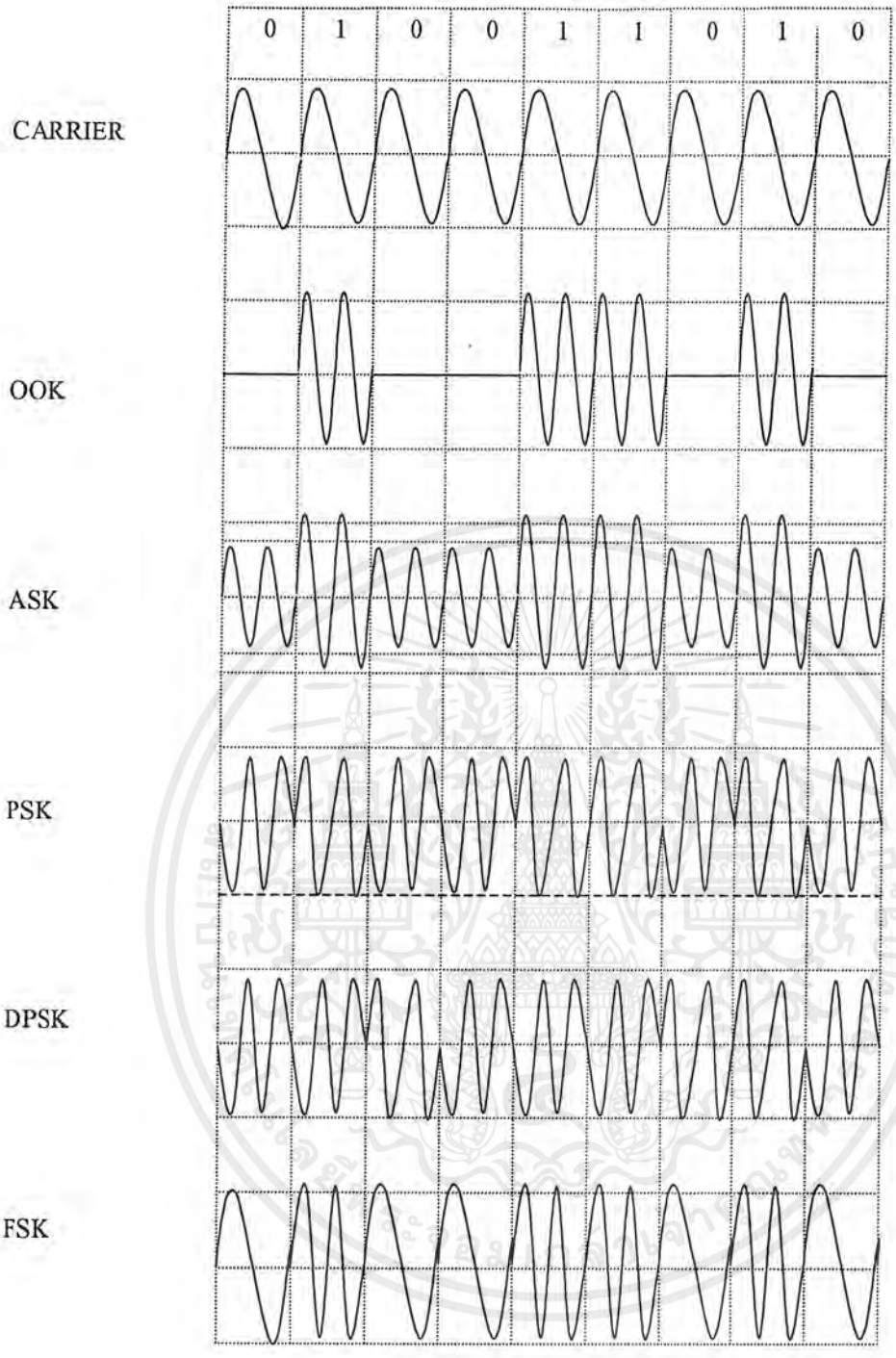
เป็นวิธี PSK ที่ใช้การเข้ารหัสแบบ 2 บิตเพราะจะได้ความต่างเฟส 4 เฟสซึ่งมีพื้นฐานทางสมการจากสมการ QUADRATURE EQUATION ดังนี้

$S(t) = a(t)\cos(wct) - b(t)\sin(wct)$;$a(t) = A\cos\theta$, $b(t) = B\sin\theta$

$= A\cos\theta \cos(wct) - B\sin\theta \sin(wct)$

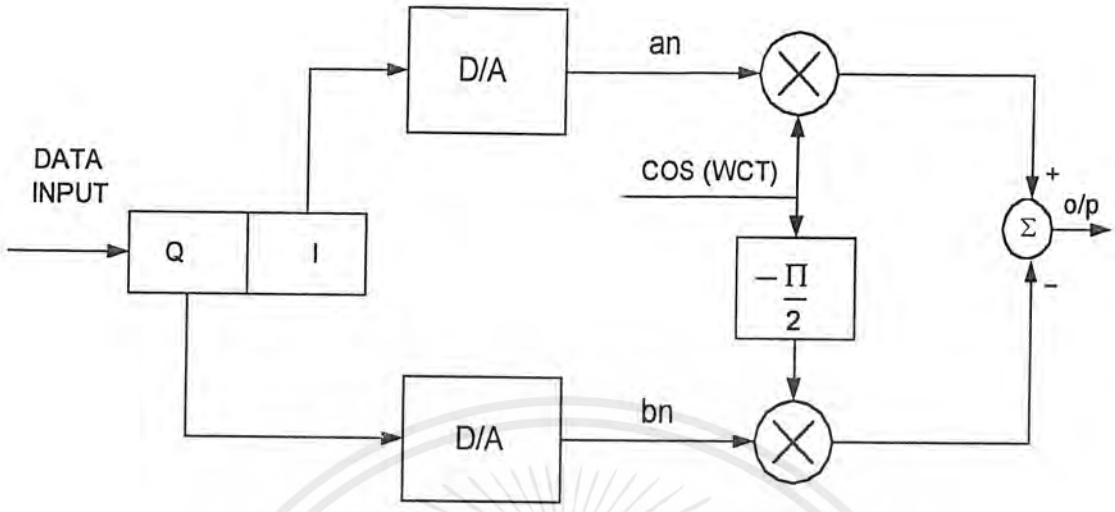
$$= \sqrt{a^2(t)} + \sqrt{b^2(t)}\cos\left(wct + \tan^{-1}\frac{-a(t)}{b(t)}\right)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

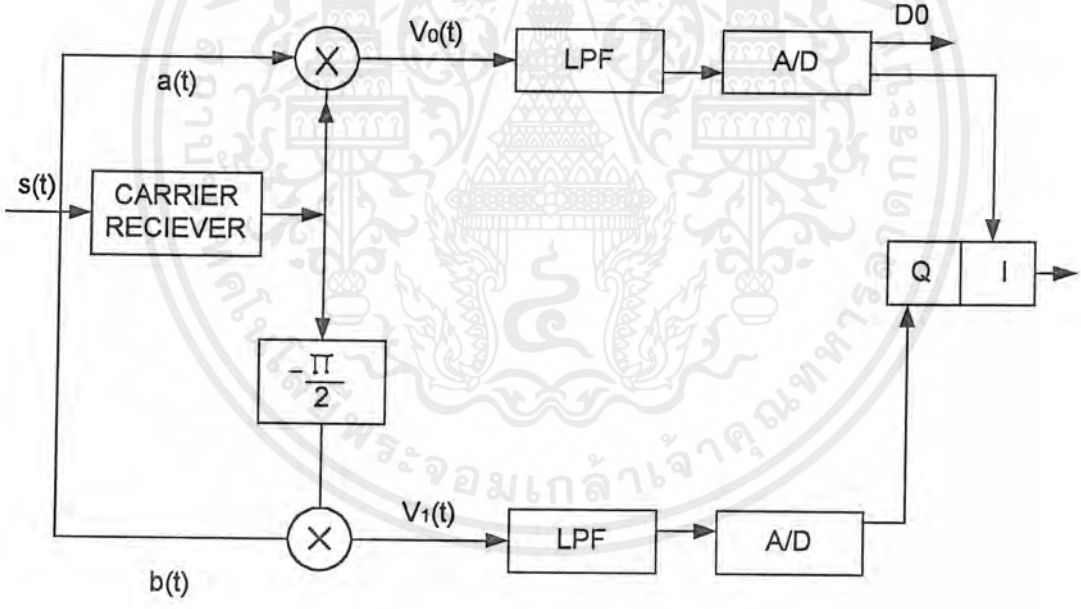


รูปที่ 2.2 ลักษณะการเข้าสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 วงจรภาคส่งของ QPSK



รูปที่ 2.4 วงจรภาครับของ QPSK

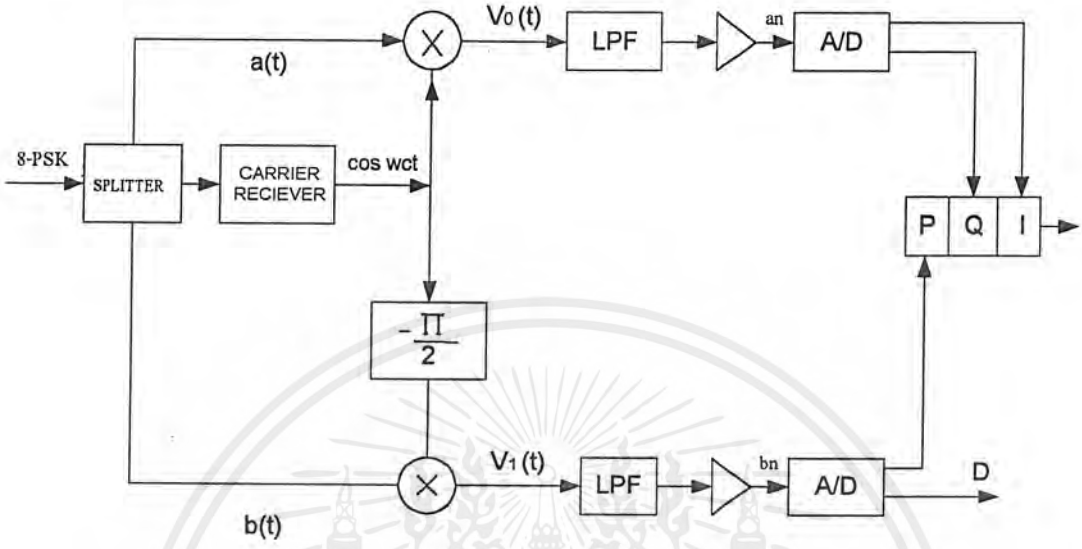
2.5 BPSK

เป็นการเข้ารหัสที่ใช้เทคนิคเหมือนกับ QPSK แต่ใช้เพียงแค่ 1 บิตคือเข้ารหัสโดยให้รหัส 0 กับ 1 มีความต่างเฟสกัน 180° ซึ่งนอกนั้นก็มีหลักการพื้นฐานคล้ายกันกับ QPSK

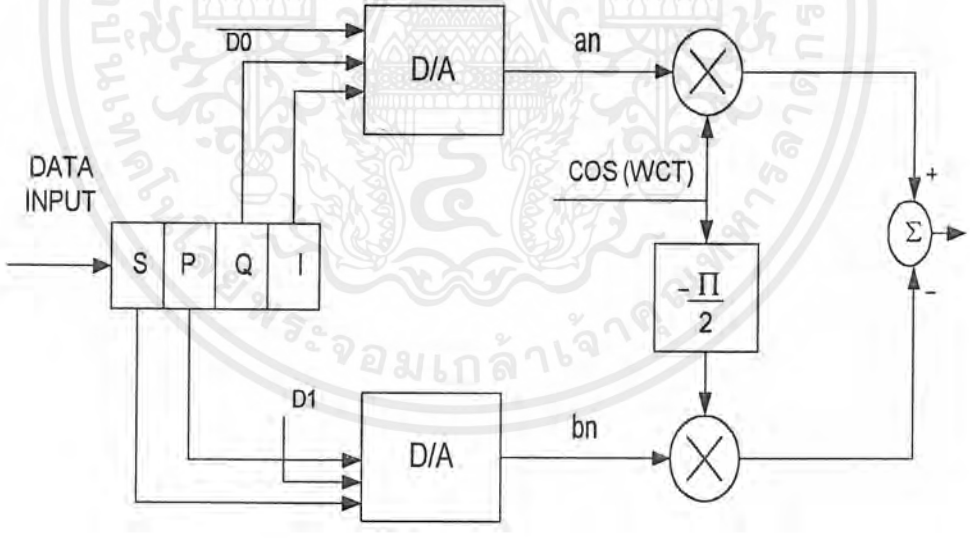
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 8-PSK

เป็นการเข้ารหัส 3 บิตโดยที่ได้ความแตกต่างของเฟส 8 ตัว ซึ่งรูปแบบวงจรทั้งภาครับและภาคส่ง ก็ยังคงคล้ายกับรูปแบบวงจรของPSKทั่วไปเพียงแต่เพิ่มจำนวนบิตที่เข้ารหัสเป็น 3 บิตเท่านั้น ซึ่งแสดงได้ดังรูปที่ 2.5

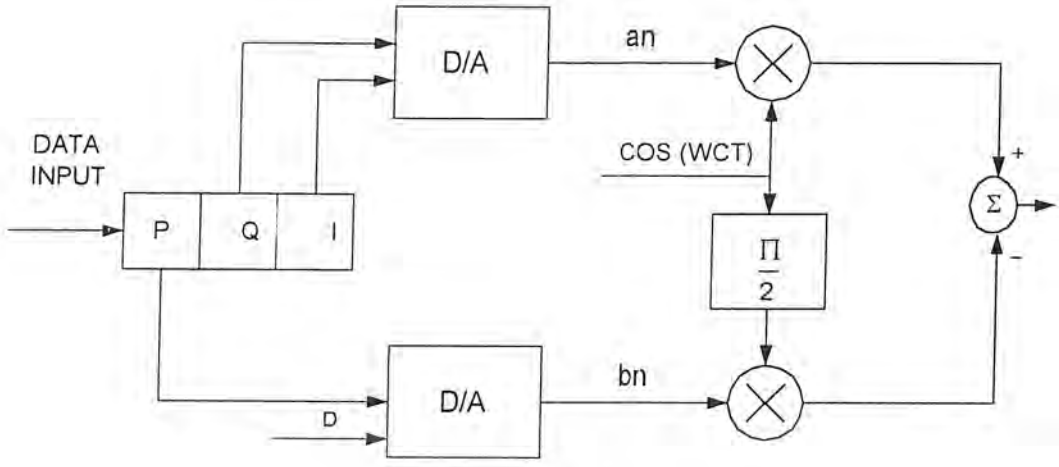


รูปที่ 2.5 วงจรภาคส่ง 8-PSK



รูปที่ 2.6 วงจรภาครับ 8-PSK

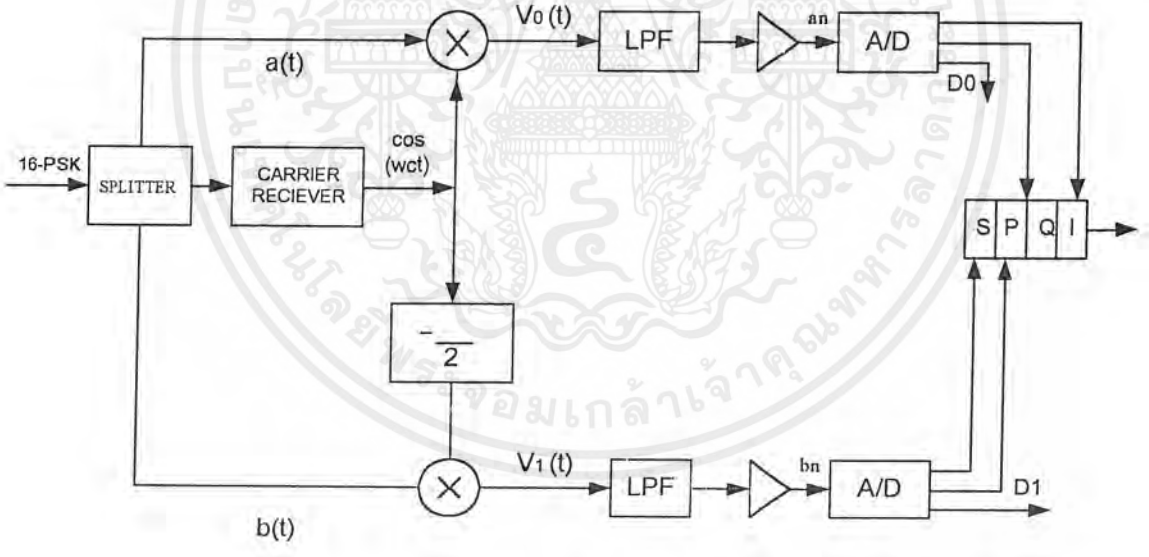
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 วงจรการส่งสัญญาณ 16-PSK

2.7 16-PSK

สำหรับการเข้ารหัสแบบ 16-PSK นั้นจะเป็นการเข้ารหัสแบบ 4 บิตซึ่งจะได้ความแตกต่างของเฟสทั้งหมด 16 เฟส ซึ่งเทคนิคและวิธีการยังคงเหมือนเดิม ซึ่งการเข้ารหัสได้มากกว่าก็จะทำให้มีความเร็วในการส่งข้อมูลสูงขึ้นและส่งข้อมูลได้มาก และในรูปที่ 2.8 ได้แสดงถึงวงจรการถอดรหัสของ 16-PSK



รูปที่ 2.8 วงจรภาครับ 16-PSK

ซึ่งลักษณะของสัญญาณการเข้ารหัสแบบต่างๆของการแปลงจาก ข้อมูลดิจิตอลไปเป็นสัญญาณอนาล็อก นั้นได้แสดงไว้ตามรูปที่ 2.2 โดยกระบวนการเหล่านี้จะใช้ในการสื่อสารข้อมูล ซึ่งวิทยานิพนธ์ฉบับนี้จะแสดงถึงวิธีการใช้เทคนิคการเข้ารหัสแบบ DPSK ซึ่งแสดงถึง วิธีการสร้าง ความเข้าใจและวิธีการทำงานการออกแบบ ตั้งแต่การแปลงสัญญาณจากอนาล็อกมาเป็นสัญญาณดิจิตอลหรือ (A/D) ไปจนกระทั่งการแปลงกลับจากสัญญาณดิจิตอลมาเป็นสัญญาณอนาล็อกเดิม (D/A) ซึ่งจะทำเป็นกระบวนการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของเครื่องรับและเครื่องส่งที่เสมือนการใช้งานจริงเพื่อใช้ในการทดสอบและพัฒนาการทำงานของระบบสื่อสาร

2.8 การแปลงสัญญาณอนาล็อกเป็นดิจิตอล(A/D)

สัญญาณอนาล็อก (Analog signal) คือ สัญญาณใดๆที่มีคุณสมบัติการเปลี่ยนแปลงของสัญญาณอย่างต่อเนื่อง (continuous signal) และสามารถหาค่าของสัญญาณนั้นได้ทุกเวลา

สัญญาณดิจิตอล (Digital signal) คือ สัญญาณที่มีระดับสัญญาณเป็น 2 ระดับ หรือ เป็นค่าใดๆซึ่งมีคุณสมบัติของจำนวนจำกัด และจำนวนเหล่านี้จะเป็นชุดของจำนวนที่มิได้

ข้อได้เปรียบของระบบดิจิตอล

1.มีความทนทานต่อสัญญาณรบกวน (HIGH NOISE IMMUNITY)

2.ง่ายต่อการทำ MULTIPLEX และการเก็บข้อมูล

3.ระบบ SWITCHING จะมีประสิทธิภาพสูงขึ้น ในขณะที่พื้นที่ตั้งระบบมีขนาดเล็กลง

ข้อเสียเปรียบของระบบดิจิตอล

1.ต้องเปลืองแบนด์วิดท์(Bandwidth)มากขึ้น

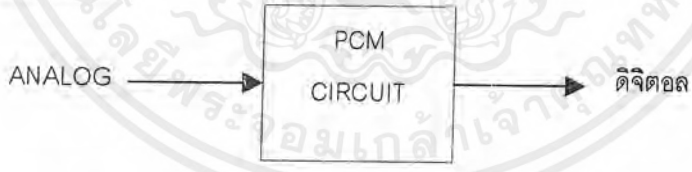
2.สิ้นเปลืองเครื่องแปลงสัญญาณ

3.ต้องการการซิงโครไนซ์ (Synchronize) ที่เชื่อถือได้ (PRECISELY & REALIABLE)

4.ไม่สามารถประยุกต์ใช้งานกับระบบสื่อสารอนาล็อกแบบเก่าได้

จุดประสงค์ของการแปลงสัญญาณอนาล็อกเป็นดิจิตอล และดิจิตอลเป็นอนาล็อก

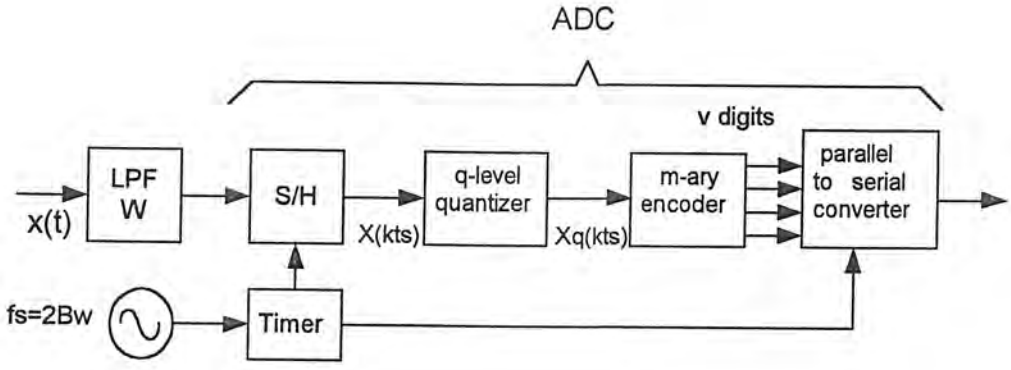
การสื่อสาร โดยส่วนใหญ่จะเป็นสัญญาณเสียงซึ่งเป็นอนาล็อกเมื่อจำเป็นต้องส่งในระยะทางไกลๆ โดยผ่านระบบการส่ง(Transmission)จะถูกรบกวนได้ง่ายจากสัญญาณรบกวนรวมทั้งการลดทอนของตัวเองด้วย ดังนั้นเพื่อที่จะเพิ่มคุณภาพของสัญญาณ จึงจำเป็นที่จะต้องแปลงจากสัญญาณไฟฟ้าแบบอนาล็อกไปเป็นแบบดิจิตอล



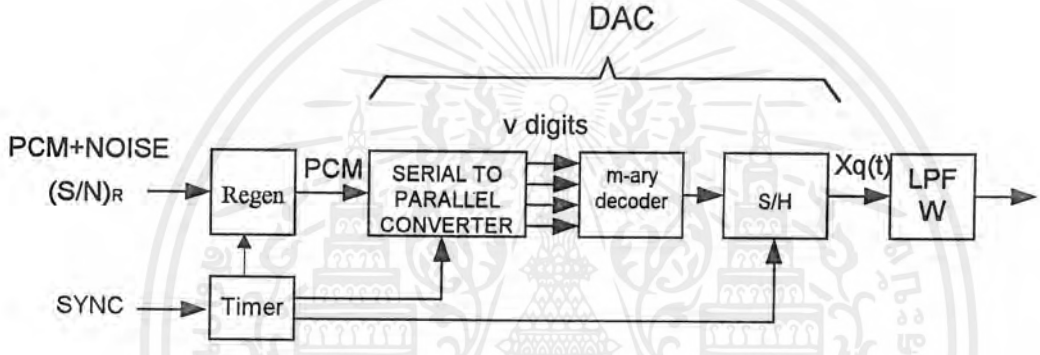
รูปที่2.9 การเปลี่ยนจากสัญญาณอนาล็อกไปเป็นดิจิตอล

ในกระบวนการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลนั้นเราเรียกว่า "PCM" (PULSE CODE MODULATION) ซึ่งแบ่งได้เป็นกระบวนการทางภาคส่งอนาล็อกเป็นดิจิตอล (ANALOG TO DIGITAL CONVERTER)เป็นการทำเพื่อส่งสัญญาณเข้าสู่ระบบการส่ง ที่ส่งไปเป็นระยะทางไกลๆ กับกระบวนการทางภาครับดิจิตอลเป็นอนาล็อก (DIGITAL TO ANALOG CONVERTER) เป็นการแปลงเอาสัญญาณเดิมกลับคืนมา ซึ่งระบบการทำงานแสดงดังรูปที่ 2.11

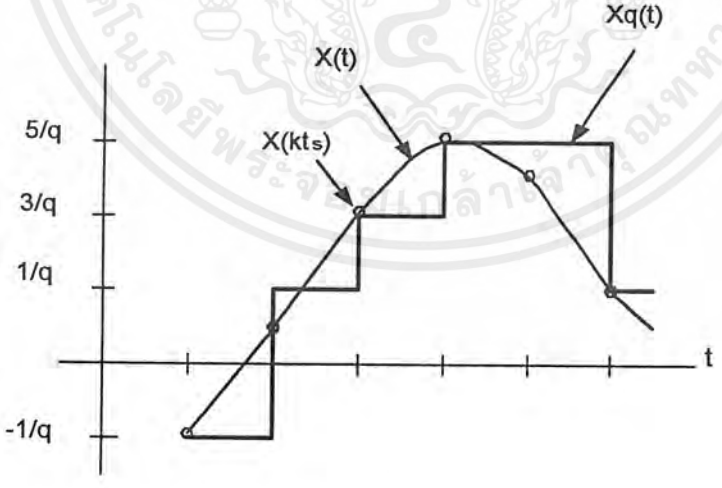
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 PCM GENERATION SYSTEM



รูปที่ 2.11 PCM RECIEVER



รูปที่ 2.12 RECONSTRUCT WAVEFORM

จากไดอะแกรมการทำงานของแต่ละบล็อกของกระบวนการการทำงาน PCM สัญญาณอนาล็อก รูปร่างสัญญาณ x(t) จะถูก กรองความถี่ต่ำผ่านและสุ่มตัวอย่าง เพื่อให้ได้สัญญาณ x(kTs) ซึ่งการสุ่มตัวอย่าง จะได้เป็นสัญญาณ discrete ที่เป็นค่าจากความถี่แซมปลิ้งและแอมปลิจูด ที่ต่างกันจากการ quantize

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

levels Xq(kTs) ซึ่งหลังจากนั้นจะเปลี่ยน quantized level ให้เป็น ดิจิตอล code word โดยแต่ละสุ่มตัวอย่างจะถูกเปลี่ยนเป็น v digit ซึ่งอยู่ในรูปขนาน เมื่อมีความเป็นไปได้ M^V ซึ่งจะทำให้เกิด q level หรือ q ระดับ

$$q = M^V \qquad V = \log_M q$$

ซึ่งค่าจำนวนระดับจะเป็นรูปกำลังของ 2 หรือ $q=2^v$ โดยในการแปลง quantizing level ให้เป็น word code จะมีอยู่ 2 แบบตามรูปคือ natural code กับ sign/magnitude code จากตารางเป็นตัวอย่าง PCM ที่ q=8 แล้ว $v=\log_2 8$ ซึ่งจะได้เท่ากับ 3 บิตต่อ code word ซึ่งการเรียง code word ของ natural code จะเรียงจาก 000 ถึง 111 ส่วนการเรียง code sign/magnitude จะใช้บิต b2เป็นบิตสัญลักษณ์ กล่าวคือถ้า b2เป็น 0 จะเป็นระดับไฟบวก แต่ถ้าเป็นระดับ 1 จะเป็นระดับไฟลบ ส่วนค่า b1 กับ b0 จะเป็นตัวบอกขนาด เมื่อการเข้ารหัสถูกแทนด้วย v digit เพราะฉะนั้น signal rate คือ r = vfs เมื่อ $fs \geq 2Bw$ เพราะฉะนั้น แบนด์วิดท์ ที่ต้องการสำหรับการส่ง PCM baseband คือ

$$B_T \geq \frac{1}{2} r = \frac{1}{2} vfs \geq rBw$$

เช่นใช้ 3 digit (v) และ fs=8 kHz แบนด์วิดท์ ที่ต้องการคือ 12 kHz ซึ่งในการ decode ทางภาครับหรือ D/A จะทำการ SYNC เอาสัญญาณนาฬิกาจากทางภาคส่ง และใช้ M-ary ในการเปลี่ยนกลับเป็น PAM และแซมปลิ้งแอนด์โฮลให้ได้เป็น Xq(t) แล้วจากนั้นจึงผ่าน กรองความถี่ต่ำผ่าน ได้ y(t) ซึ่ง Xq(t) จะสังเกตุจากรูปที่ 2.12 ได้ว่าเป็นสัญญาณที่มีลักษณะที่เรียกว่า staircase ที่จะไม่เหมือนสัญญาณ X(t) เดิมที่เดียวแต่มีความใกล้เคียง ซึ่งสิ่งทีกล่าวมาทั้งหมด นั้นจะกล่าวในกรณีที่ไม่คิดถึงสัญญาณรบกวน

ถ้าเรามาลองพิจารณาถึงขั้นตอนที่สำคัญของขบวนการ PCMจะมีส่วนสำคัญอยู่ 3 ส่วน

1.การสุ่มตัวอย่าง (SAMPLING)

2.การจัดระดับสัญญาณ (QUANTIZING)

3.การเข้ารหัส (ENCODING)

2.8.1 <u>SAMPLING THEOREM</u>

NYQUIST ได้เสนอทฤษฎีการสุ่มตัวอย่างว่า

ถ้ามีสัญญาณอนาล็อกใดๆก็ตาม ที่มีสเปคตรัม (spectrum) สูงสุดจำกัดที่ค่าหนึ่งเราจะสามารถสร้างสัญญาณพัลซ์ ที่มีข้อมูลข่าวสารของสัญญาณอนาล็อกนั้นอยู่อย่างครบถ้วน โดยการสุ่มตัวอย่างจากสัญญาณอนาล็อก ด้วยค่าอัตราการสุ่มที่เหมาะสม คือต้องมีอัตราที่มากกว่า 2 เท่าของความถี่สูงสุดของสัญญาณอนาล็อกนั้นๆ

$$fs \geq 2 \times fa_{(max)}$$

fs = sampling frequency

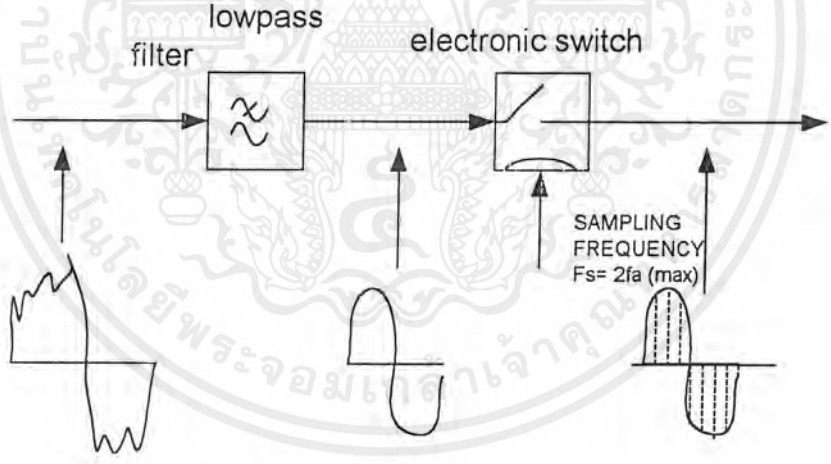
$fa_{(max)}$ = highest frequency contained in the analog signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XI	Xq	NATURAL CODE			SIGN/MAGNITUDE CODE		
		B2	B1	B0	B2	B1	B0
	7/8	1	1	1	0	1	1
3/4	5/8	1	1	0	0	1	0
1/2	3/8	1	0	1	0	0	1
1/4	1/8	1	0	0	0	0	0
0	-1/8	0	1	1	1	0	0
-1/4	-3/8	0	1	0	1	0	1
-1/2	-5/8	0	0	1	1	1	0
-3/4	-7/8	0	0	0	1	1	1

ตารางที่ 2.1 ตารางลักษณะการเข้ารหัส

การสุ่มตัวอย่างสัญญาณ ตามทฤษฎีของ NYQUIST เป็นการทำให้สัญญาณซึ่งมีค่าต่อเนื่อง ให้เป็นแบบ discrete ในช่วงเวลาที่เท่าๆกัน ซึ่งผลที่ได้คือช่วงของสัญญาณที่มีระยะห่างเท่าๆกันหรือ PAM (PLUSE AMPLITUDE MODULATION)



รูปที่ 2.13 GENERATION OF PAM SIGNAL

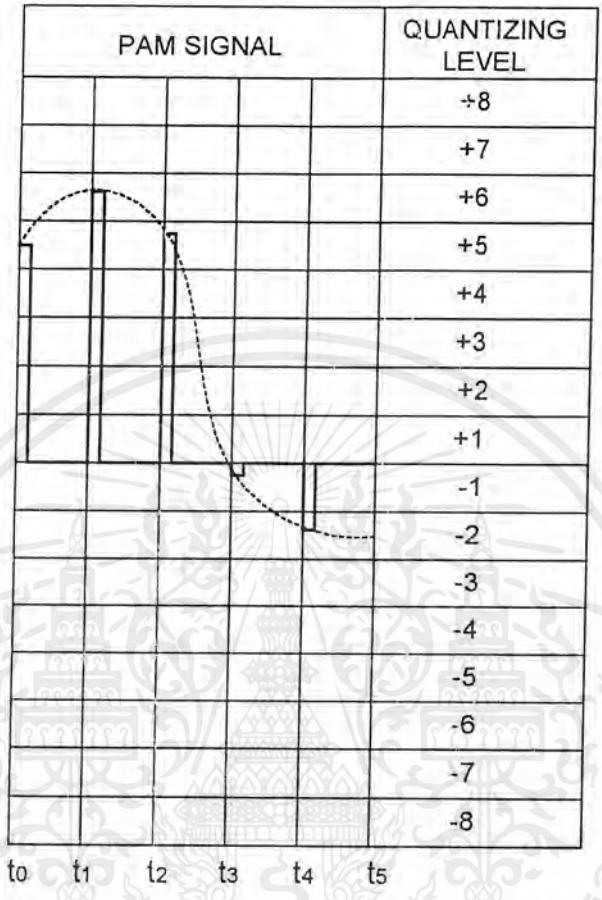
2.8.2 QUANTIZATION

ขบวนพัลซ์ของสัญญาณ PAM นั้นเรายังถือเป็นสัญญาณอนาล็อกอยู่เนื่องจากคุณสมบัติของแอมปลิจูด ที่เปลี่ยนแปลงไม่คงที่ตามเวลา การทำ QUANTIZATION เป็นการนำขบวน พัลซ์ ของ PAM ไปจัดระดับหรือ (QUANTIZING LEVEL) ตามระดับความสูงของแอมปลิจูดเพื่อที่จะนำค่าของระดับไปทำการเข้ารหัสในขั้นต่อไป

QUANTIZING LEVEL แต่ละระดับจะมีระยะห่างระหว่างระดับข้างเคียงที่ติดกันซึ่งเรียกว่า QUANTIZING INTERVAL และถ้าการทำ QUANTIZATION ที่มี QUANTIZING INTERVAL เท่าๆกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทุระดับจะเรียกว่า "UNIFORM QUANTIZATION" เมื่อสัญญาณPAM ที่เข้ามาอยู่ใน QUANTIZATION LEVELใดๆ สัญญาณพัลซ์ ของ PAM นั้นก็จะถูกกำหนดให้มีค่า QUANTIZING LEVEL เท่ากับระดับนั้นๆ



รูปที่ 2.14 uniform quantizing of an analog signal

จากรูปที่2.15 เป็นการจัดระดับสัญญาณแบบที่เรียกว่า "non-uniform quantizing" ซึ่งการจัดระดับแบบนี้จะมีช่วงห่างระหว่างแต่ละระดับไม่เท่ากัน ซึ่งเหตุผลมาจากที่ช่วงแอมปลิจูดของสัญญาณที่เข้ามานั้นมีค่าที่แตกต่างกัน และถ้าเราให้ค่าความสำคัญของสัญญาณไม่เท่ากัน เช่น ที่แอมปลิจูดต่ำๆเราต้องการคงรูปสัญญาณไว้ให้มากที่สุดเราก็จะจัดให้ช่วงห่างของระดับมีค่าน้อยๆ ซึ่งนั่นก็หมายความว่าที่ช่วงแอมปลิจูดต่ำๆจะถูกแบ่งเป็นระดับติดๆกัน เพื่อให้สัญญาณช่วงนั้นมีความละเอียดมากๆ

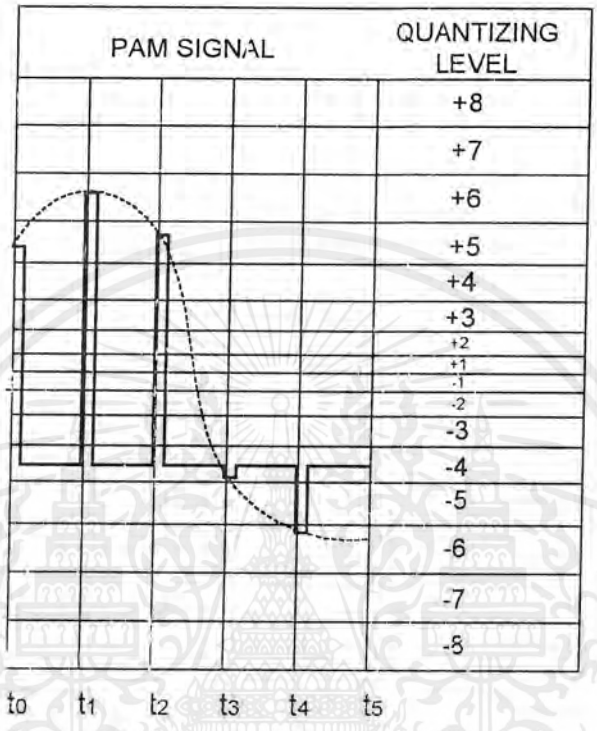
ด้วยเหตุนี้ที่ระดับแอมปลิจูดสูงๆก็จะถูกจัดให้มีค่าความห่างของช่วงนั้นกว้างกว่าที่ระดับแอมปลิจูดต่ำๆ จึงทำให้สัญญาณที่แอมปลิจูดสูงๆมีความละเอียดน้อยกว่า

2.8.3 CODING

หลังจากพัลซ์ของ PAMได้ผ่านขั้นตอนการ QUANTIZING แล้วผลที่ได้คือ QUANTIZING LEVEL ของสัญญาณแต่ละพัลซ์ การทำ CODING คือการ QUANTIZING LEVEL มาแปลงเป็นรหัสเลขฐาน 2 (Binarycode)คือการแปลงเป็นสัญญาณดิจิตอลเพื่อพร้อมที่จะส่งออกไปทางด้านรับ ซึ่งตามที่ได้กล่าวมาแล้วว่าการเข้ารหัสมี 2 แบบคือแบบคือ NATURAL CODE และ SIGN/MAGNITUDE CODE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่2.17 เป็นการแสดงวิธีเข้ารหัสแบบ SIGN/MAGNITUDE CODE และการนำรหัสส่งออกแบบอนุกรมในการส่งแบบอนุกรม แต่ในการส่งสัญญาณแบบอะซิงโครนัส(ASYNCHRONOUS) หรือในการส่งในระยะทางใกล้ๆเราอาจส่งแบบขนานก็ได้ ซึ่งอาจมีการนำมาใส่บิตเริ่มต้น(START BIT) หรือบิตสิ้นสุด(STOP BIT)

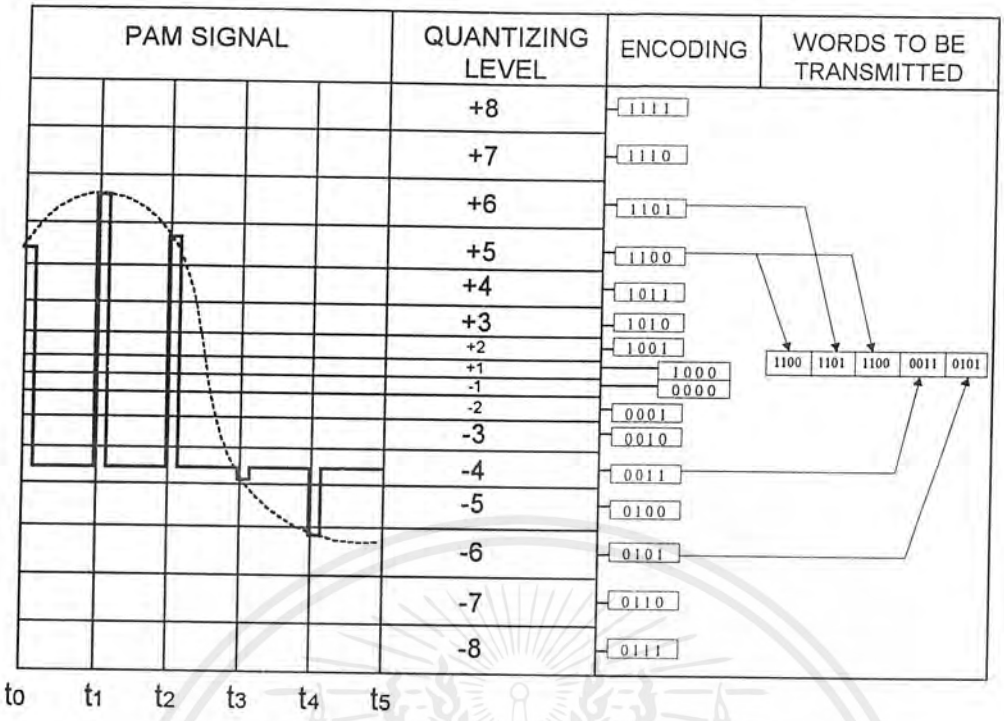


รูปที่ 2.15 Non-uniform quantizing

2.9 <u>เครื่องส่งเครื่องรับแบบ DPSK</u>

เครื่องส่งและเครื่องรับแบบ DPSK นั้นเป็นการส่งสัญญาณแบบ ดิจิตอล โดยการส่งสัญญาณทั่วๆไป จะเป็นการส่งสัญญาณแบบอนาล็อก เช่น AM, FM, PM เป็นต้น ซึ่งจะเป็นการนำสัญญาณที่เป็น อนาล็อก มาผสมกับสัญญาณพาหะ ซึ่งมีความถี่ที่สูงกว่าความถี่ของสัญญาณข่าวสารข้อมูลที่ต้องการจะส่งออกไป แต่ในการส่งสัญญาณที่เป็นอนาล็อกนี้จะมีปัญหาเกิดขึ้นเมื่อสัญญาณที่เราทำการมอดูเลต แล้วส่งออกไปนั้น เกิดถูกรบกวนจากสัญญาณรบกวนที่เข้ามา สัญญาณข่าวสารที่เราต้องการจะส่งก็จะถูกเปลี่ยนแปลงไป ซึ่งจะทำให้ข่าวสารที่เราต้องการส่งไปนั้น ทางด้านรับ รับมาผิดเพี้ยนจากสัญญาณข่าวสารข้อมูลเดิม ดังนั้นจึงมีการคิดวิธีที่จะลดทอนสัญญาณรบกวนให้ลดลง จึงมีการนำระบบของดิจิตอลมาใช้ ซึ่งระบบดิจิตอลนี้มีข้อดีคือ ระบบดิจิตอลนั้นจะมีเพียงแค่ระดับสัญญาณที่เป็น “0” และ “1” เท่านั้น แต่ถ้าเป็นสัญญาณแบบอนาล็อกนั้นจะมีระดับที่เป็นอนันต์ ซึ่งข้อนี้เองที่เป็นข้อดีของสัญญาณดิจิตอล ดังนั้นสัญญาณดิจิตอล จึงเป็นสัญญาณที่มีความต้านทานต่อสัญญาณรบกวนมากกว่า จึงมีการได้มีการคิดหาวิธีการมอดูเลชั่น(Modulation)สัญญาณดิจิตอลแบบต่างๆออกมาได้มากมายหลายแบบเช่น ASK,PSK ,DPSK ,QAM เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.16 การเข้ารหัสสัญญาณและการส่งข้อมูลออกทางด้านส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบวงจร

3.1 การส่งสัญญาณแบบ DPSK

ในการส่งสัญญาณแบบ DPSK นั้นเราจะใช้การหน่วงเวลาของสัญญาณข่าวสารข้อมูลไป 1 บิต ซึ่ง DPSK นี้จะสามารถทำการดีมอดูเลต (Demodulate) ได้ง่าย นั่นคือเราไม่จำเป็นต้องมีการกู้สัญญาณคลื่นพาหะซึ่งในการกู้สัญญาณคลื่นพาหะนั้นเป็นเรื่องที่ยากมากที่จะทำ เราจึงทำการใช้วิธีการของ DPSK โดยในการส่งสัญญาณแบบ DPSK นั้นจะมีการทำงานดังนี้

รูปที่ 3.1 บล็อกไดอะแกรมเครื่องส่ง DPSK

3.1.1 ส่วนกำเนิดสัญญาณพาหะ 1 MHz

เป็นส่วนที่ใช้ในการสร้างสัญญาณพาหะที่เป็นสัญญาณไซน์ ซึ่งจะมีความถี่ 1 MHz แล้วเรายังจะนำสัญญาณนี้ไปเข้าวงจรเพื่อผลิตสัญญาณสี่เหลี่ยม ในการสร้างสัญญาณนาฬิกาด้วย

3.1.2 ส่วนสร้างสัญญาณนาฬิกา

เป็นส่วนที่ใช้ในการสร้างสัญญาณนาฬิกาที่เรานำมาใช้ โดยจะนำสัญญาณไซน์ ความถี่ 1 MHz มาแปลงเป็นสัญญาณสี่เหลี่ยมก่อนแล้วจึงค่อยนำมาหารความถี่ลงมา โดยเราจะทำการหาร 4 และ หาร 10 เราก็จะได้สัญญาณนาฬิกา 250 kHz และ 25 kHz ตามลำดับ

3.1.3 ส่วนการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล

ส่วนนี้จะทำการเปลี่ยนสัญญาณข่าวสารข้อมูลที่ต้องการให้เป็นสัญญาณดิจิตอลแล้วทำการเปลี่ยนเป็นสัญญาณอนุกรมที่มีการเพิ่มสตาร์ทบิต(Start bit) และสต็อบบิต (Stop bit) เข้าไปด้วยเพื่อที่จะใช้ประโยชน์ในการสร้างสัญญาณนาฬิกาของทางภาครับ

3.1.4 ส่วนการสร้างสัญญาณ DPSK

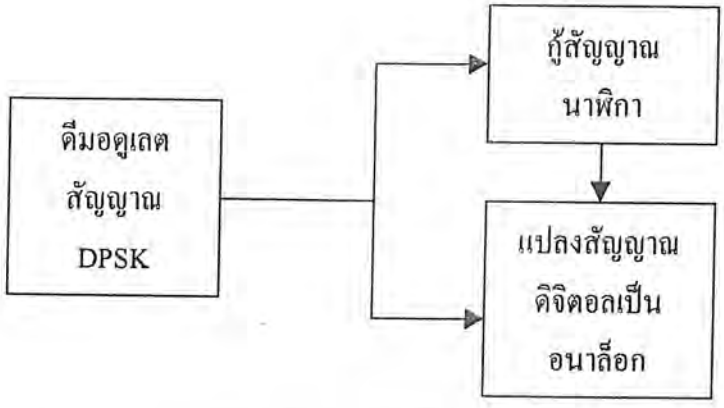
ส่วนนี้จะทำการเปลี่ยนสัญญาณดิจิตอลที่ได้มาแล้วนั้นมาทำการสร้างเป็นสัญญาณ DPSK โดยจะทำการหน่วงเวลาของสัญญาณข่าวสารทางเอาท์พุตที่ได้แล้วนำกลับมาเปรียบเทียบกับสัญญาณอินพุตที่เข้ามาใหม่เราก็จะได้สัญญาณ DPSK กลับมา

3.2 การรับสัญญาณแบบ DPSK

ในการรับสัญญาณ DPSK แล้วเราจะทำการดีมอดูเลตสัญญาณเดิมกลับมาโดยจะมีการทำงานตามบล็อกไดอะแกรมตามรูปที่ 3.2 ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 3.2 บล็อกไดอะแกรมเครื่องรับ DPSK

3.2.1 ส่วนของการดีมอดูเลตสัญญาณ DPSK

จะทำหน้าที่รับสัญญาณ DPSK ที่เข้ามาแล้วทำการดีมอดูเลตสัญญาณ DPSK ให้ได้สัญญาณสัญญาณข้อมูลดิจิตอลเดิมกลับมา ก็จะได้สัญญาณข่าวสารข้อมูลที่เป็นดิจิตอลเดิมกลับมาพร้อมที่จะนำไปเปลี่ยนให้กลับเป็นสัญญาณอนาล็อกเหมือนเดิม

3.2.2 ส่วนการกู้สัญญาณนาฬิกา

จะทำหน้าที่กู้สัญญาณนาฬิกาเดิมกลับมาหรือการซิงโครไนซ์สัญญาณนาฬิกาของทางภาครับกับทางภาคส่งนั่นเอง เพื่อที่เราจะได้แปลงสัญญาณข้อมูลดิจิตอลมาเป็นสัญญาณอนาล็อกอย่างไม่ผิดพลาด โดยจะอาศัยการใช้สตาร์ทบิตและสต็อบบิต เข้ามาช่วย

3.2.3 ส่วนการแปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อก

จะทำหน้าที่เปลี่ยนสัญญาณข่าวสารข้อมูลดิจิตอลที่ดีมอดูเลตได้ให้กลับมาเป็นสัญญาณข่าวสารที่เป็นสัญญาณอนาล็อกตามเดิม

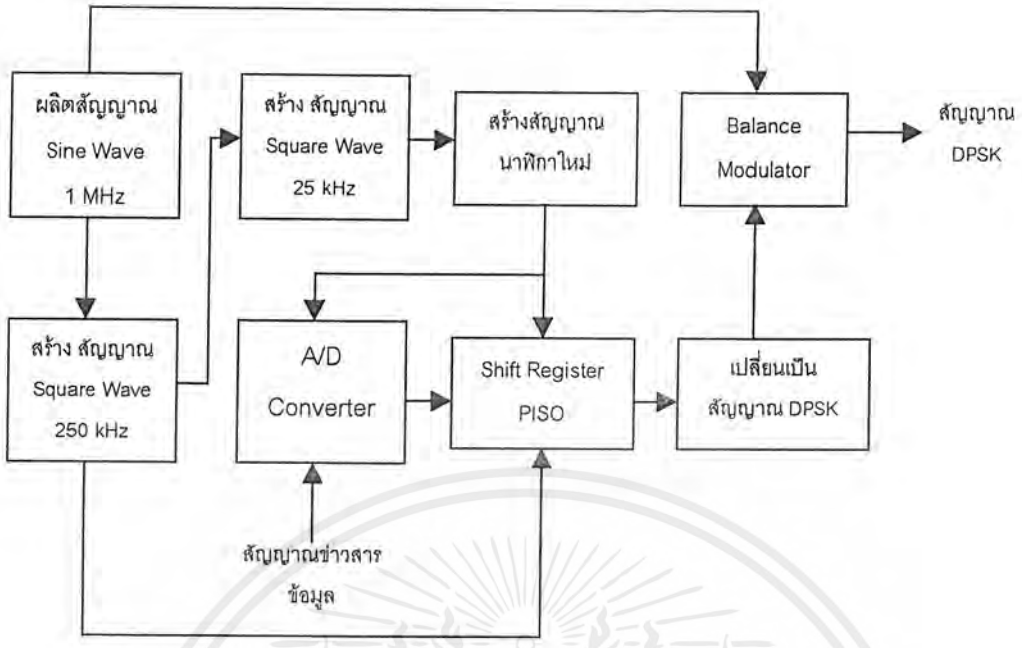
3.3 เครื่องส่งแบบ DPSK

เราสามารถแสดงการทำงานของเครื่องส่งแบบ DPSK แบบคร่าวๆ ได้โดยจะแสดงดังรูปที่ 3.3 ซึ่งเป็นรูปบล็อกไดอะแกรมแสดงการทำงานของเครื่องส่งแบบ DPSK อย่างคร่าวๆ โดยแต่ละบล็อกไดอะแกรมแต่ละบล็อกนั้นจะมีการทำงานโดยเราจะอธิบายการทำงานนี้เป็นวงจรที่ใช้ในการทำงานเลยซึ่งวงจรที่ใช้ในแต่ละบล็อกนั้นจะได้อธิบายไว้ในการทำงานของวงจรอย่างละเอียดต่อจากนี้ไป

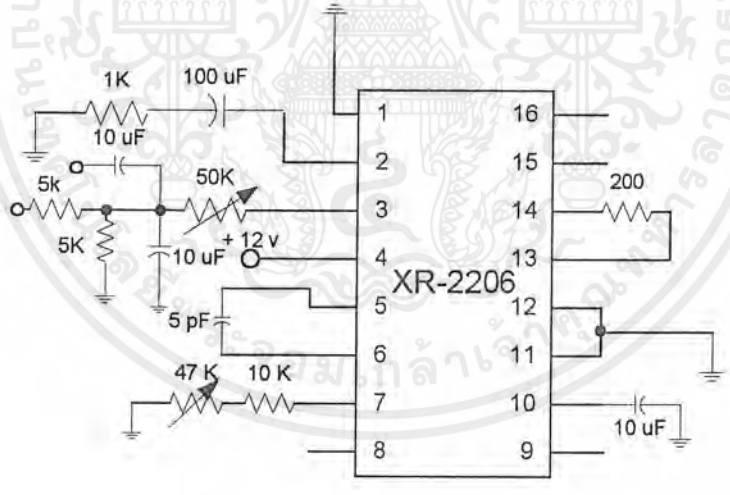
3.3.1 วงจรกำเนิดสัญญาณ Sine ความถี่ 1 MHz

ในการกำเนิดสัญญาณไซน์ นี้เราจะใช้ ไอซี XR2206 ซึ่งเป็น ไอซี ที่ทำหน้าที่ได้หลายอย่างแต่ในที่นี้เราจะใช้ในการกำเนิดความถี่สัญญาณ Sine ความถี่ 1 MHz ซึ่งมีวงจรดังรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
37151



รูปที่ 3.3 บล็อกไดอะแกรมแสดงเครื่องส่ง DPSK



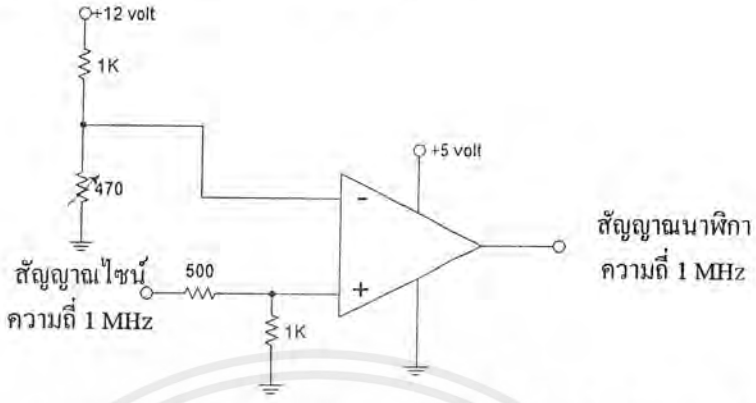
รูปที่ 3.4 วงจรกำเนิดสัญญาณไซน์ความถี่ 1 MHz

ซึ่งเราสามารถทำการปรับเปลี่ยนความถี่ได้ตามต้องการ โดยการเปลี่ยนที่ R และ C ซึ่งในที่นี้เราจะให้ค่า C คงที่ไว้แล้วใช้การเปลี่ยนค่า R ซึ่งเป็นความต้านทานแบบปรับค่าได้ และเรายังสามารถปรับขนาดของสัญญาณไซน์ได้โดยการปรับที่ตัวต้านทาน 47 กิโลโอห์ม ซึ่งเป็นตัวต้านทานปรับค่าได้เช่นกัน เราก็จะได้สัญญาณไซน์ที่เราต้องการออกมา ซึ่งสัญญาณไซน์ที่ได้ออกมานี้ สัญญาณถือว่าใช้ได้ระดับหนึ่ง เนื่องจากเป็นสัญญาณไซน์ ที่มีความถี่สูงจึงเกิดการผิดเพี้ยนไปบ้างแต่ก็ถือว่ายอมรับได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 วงจรแปลงสัญญาณไซน์ความถี่ 1 MHz ให้เป็นสัญญาณสี่เหลี่ยมความถี่ 1 MHz

เมื่อเราได้สัญญาณไซน์ ที่มีความถี่ 1 MHz ออกมาแล้วเราก็จะนำสัญญาณไซน์ที่ได้มานั้นทำการแปลงให้กลายเป็นสัญญาณสี่เหลี่ยม ความถี่ 1 MHz ดังรูปที่ 3.5

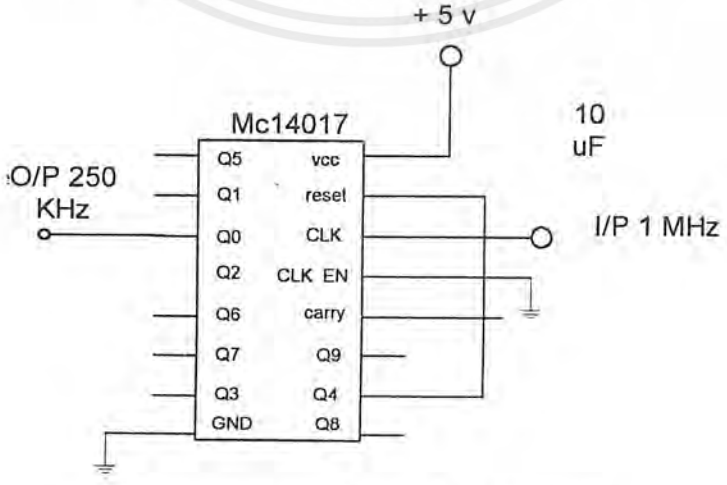


รูปที่ 3.5 วงจรแปลงสัญญาณไซน์ ความถี่ 1 MHz ให้เป็นสัญญาณสี่เหลี่ยมความถี่ 1 MHz

จากรูปจะเป็นวงจร คอมพาราเตอร์ โดยการใช้ออปแอมป์ (OP-AMP) ซึ่งเราจะป้อนสัญญาณไซน์ เข้าที่ขาบวก ของออปแอมป์ เพื่อไปเปรียบเทียบกับแรงดันที่ขาลบของ OP-AMP ถ้าสัญญาณไซน์ที่เข้ามามีค่าระดับแรงดันมากกว่าที่ขาลบ เอาท์พุตของออปแอมป์ ก็จะได้เป็นระดับแรงดัน 5 โวลท์ และเมื่อระดับแรงดันของสัญญาณไซน์ ที่เข้ามามีค่าน้อยกว่า ระดับแรงดันที่ขาลบของออปแอมป์แล้วเอาท์พุตของออปแอมป์ ก็จะเป็นแรงดันระดับ 0 โวลท์ออกมา เราก็จะได้สัญญาณที่เป็นสี่เหลี่ยมออกมาซึ่งจะนำไปทำเป็นสัญญาณนาฬิกาต่อไปนั่นเอง

3.3.3 วงจรหารความถี่ 1 MHz ให้เหลือ 250 kHz

เมื่อเราได้สัญญาณสี่เหลี่ยมหรือ สัญญาณนาฬิกาที่มีความถี่ 1 MHz แล้วเราจำเป็นที่จะต้องทำการลดความถี่ลงมาเพื่อที่จะนำไปใช้ในการทำงาน เนื่องจากเราจะต้องทำการส่งด้วยอัตราการส่ง 250 kbps เราจึงจำเป็นที่จะต้องสร้างสัญญาณนาฬิกาเพื่อใช้งานโดยเราจะนำสัญญาณนาฬิกาซึ่งมีความถี่ 1 MHz ไปเข้าที่ไอซี MC14017 ซึ่งเป็นไอซีวงจรนับโดย MC14017 นี้จะทำหน้าที่หารความถี่ให้เหลือความถี่ที่เราต้องการโดยวงจรจะแสดงไว้ดังรูปที่ 3.6



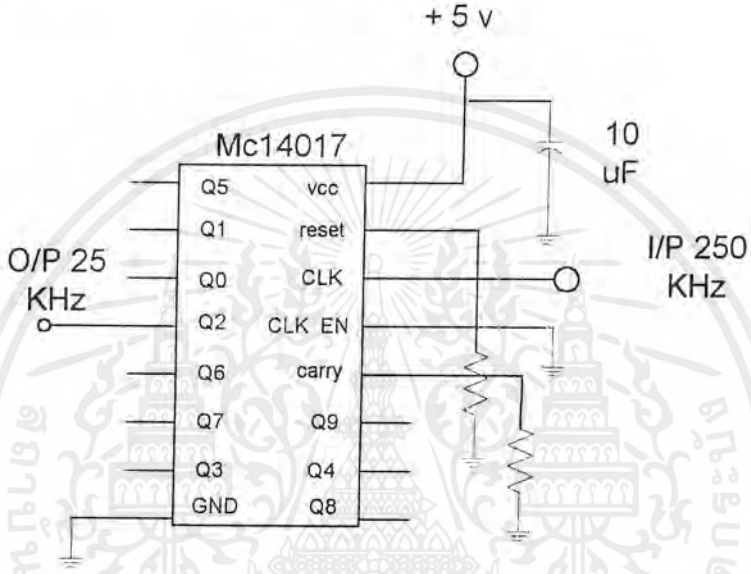
รูปที่ 3.6 วงจรหารความถี่ 1 MHz ให้เหลือ 250 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรรูปที่ 3.6 เป็นวงจรหาร 4 ซึ่งเราจะนำสัญญาณนาฬิกาความถี่ 1 MHz เข้าที่ขา 14 ของ MC14017 ที่เป็นขา "CLK" โดยเราจะนำขา "Q4" ไปต่อเข้าที่ขา "Reset" เพื่อทำการรีเซ็ต สัญญาณ โดยเราจะนำสัญญาณที่ขา "Q1" และ "Q0" ไปใช้ต่อไป

3.3.4 วงจรหารความถี่ 250 kHz ให้เหลือ 25 kHz

เมื่อเราได้สัญญาณนาฬิกาความถี่ 250 kHz แล้วเราจะต้องทำการหารความถี่ให้เหลือความถี่ 25 kHz เพื่อที่จะได้นำไปเป็นสัญญาณนาฬิกาที่ใช้ในการแซมปลิ้งสัญญาณเพื่อที่จะแปลงสัญญาณอนาล็อกที่เข้าให้เป็นสัญญาณดิจิตอลวงจรหารความถี่นี้แสดงดังรูปที่ 3.7



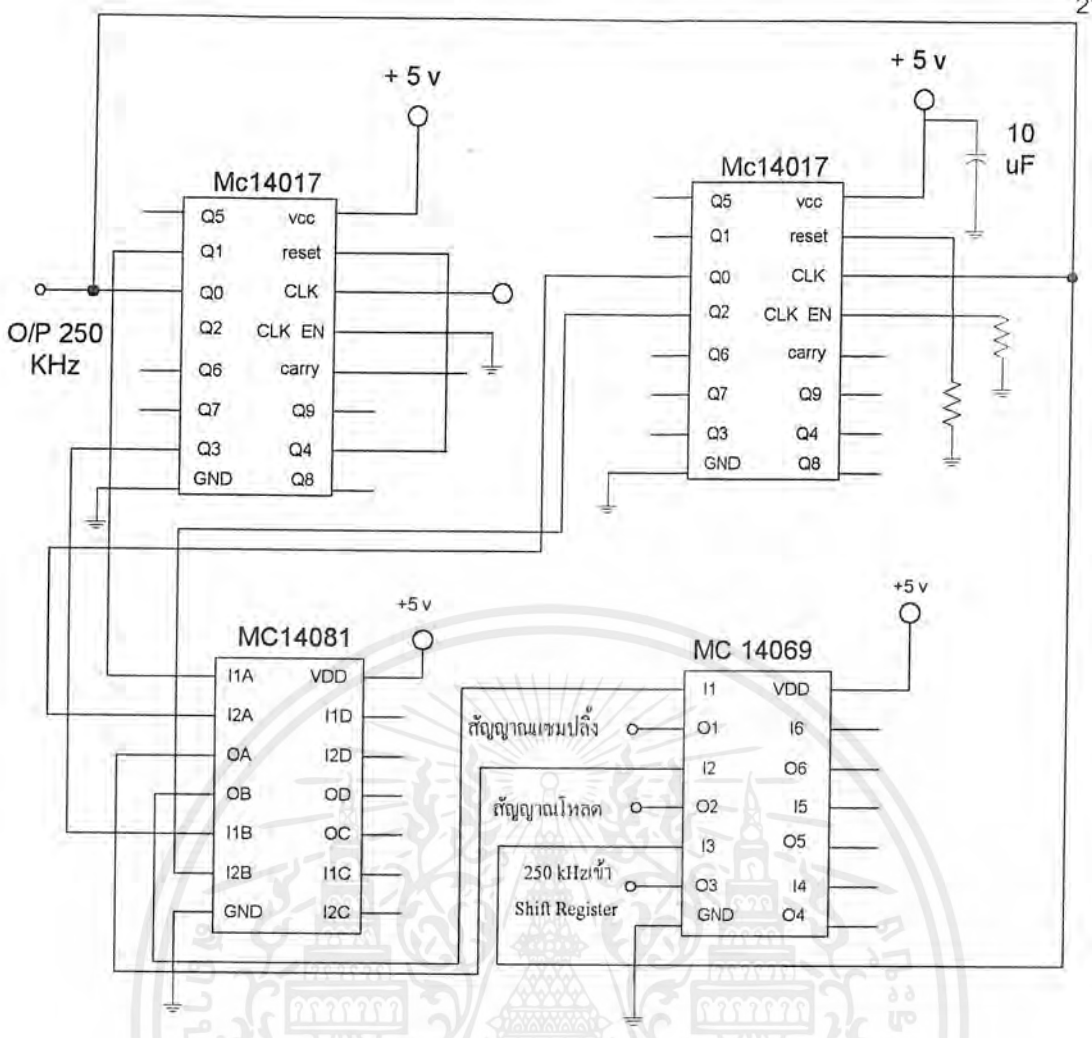
รูปที่ 3.7 วงจรหารความถี่ 250 kHz ให้เหลือ 25 kHz

จากวงจรดังรูป จะนำสัญญาณนาฬิกาความถี่ 250 kHz ที่ได้ไปเข้าที่ขา "Clock" ของ MC14017 แล้วนำขา "Reset" ต่อกับค่าความต้านทานลงกราวด์ โดยเราจะนำเอาท์พุต ที่ขา "Q0" และ "Q2" ไปใช้ต่อไป

3.3.8 วงจรสร้างสัญญาณนาฬิกาใหม่

สัญญาณนาฬิกาความถี่ 25 kHz และ 250 kHz ที่เราได้มานั้นยังไม่สามารถนำไปใช้งานได้เนื่องจากเราต้องนำสัญญาณมาสร้างใหม่อีกครั้งเพื่อให้สัญญาณนาฬิกาลงตัวพอดี เช่น ADC0820 นั้นเมื่อเราให้สัญญาณนาฬิกาเข้าไปแซมปลิ้งสัญญาณนั้น ADC0820 นั้นไม่ใช่ว่าจะทำการเปลี่ยนสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอลเลย จะต้องมีเวลาในการเปลี่ยนระยะเวลาหนึ่ง ซึ่งเราจะนำสัญญาณนั้นไปใช้โดยการใช้ ชิฟรีจีสเตอร์(Shift Register PISO) จะมีการโหลดข้อมูลเข้าไป แล้วสัญญาณนาฬิกาที่จะโหลดข้อมูลเข้าไปนี้จะเป็นสัญญาณนาฬิกาเดียวกับสัญญาณที่ใช้ในการแซมปลิ้งไม่ได้เราจึงต้องทำให้สัญญาณนาฬิกาที่ใช้ในการโหลดข้อมูลนั้นช้ากว่าสัญญาณนาฬิกาที่ใช้ในการแซมปลิ้งเป็นต้นโดยวงจรจะแสดงดังรูปที่ 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



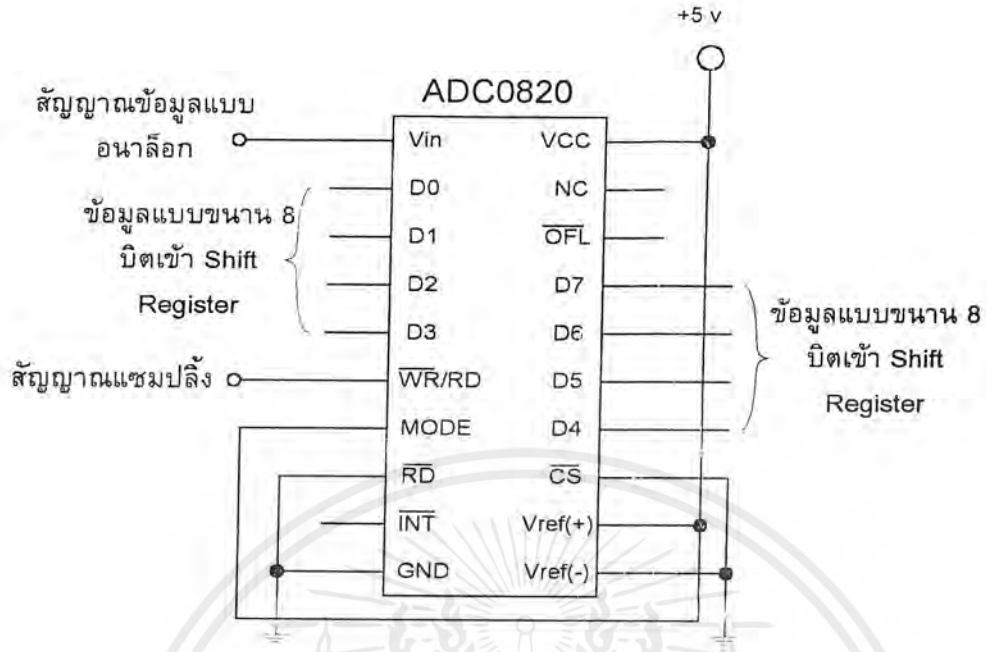
รูปที่ 3.8 วงจรสร้างสัญญาณนาฬิกาใหม่

3.3.9 วงจรแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล

เราจะทำการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอลโดยใช้ไอซี ADC0820 ซึ่งเอาท์พุตที่ได้นั้นจะเป็นแบบขนาน โดยวงจรจะแสดงดังรูปที่ 3.9

จากรูปที่ 3.9 เป็นวงจร A to D Converter โดยที่ขา "Vin" รับสัญญาณข่าวสารข้อมูลที่ต้องการเปลี่ยนเป็นสัญญาณดิจิตอล ที่ขา "WR/RDY" เราจะนำสัญญาณนาฬิกาความถี่ 25 kHz ที่สร้างขึ้นมาให้เพื่อเป็นสัญญาณนาฬิกาที่ใช้ในการแซมปลิ้ง ที่ขา "MODE" นั้นเราจะต่อกับแรงดันไฟ 5 โวลท์ เป็นการเซ็งลี้โหมดของ ADC0820 ที่ขา "VRF(+)" จะต่อกับไฟ 5 โวลท์ ซึ่งเป็นแรงดันไฟอ้างอิงว่าทางด้านบวกของสัญญาณที่ทำการแปลงได้นั้นจะมีค่าสูงสุดที่ 5 โวลท์เท่านั้น ที่ขา "VRF(-)" จะต่อลงกราวด์ ซึ่งเป็นแรงดันอ้างอิงว่าทางลบของสัญญาณที่ทำการแปลงได้นั้นจะมีค่าต่ำสุดที่ 0 โวลท์ เท่านั้น ดังนั้นสัญญาณที่ต้องการนำมาแปลงนั้นจะต้องเป็นสัญญาณที่มีเพียงแต่ด้านบวกเพียงด้านเดียวเท่านั้น ห้ามมีสัญญาณที่เป็นสัญญาณทางด้านลบเข้าไป ถ้ามีอาจจะทำให้ ADC0820 เสียได้ และเราจะได้เอาท์พุตออกมาเป็นแบบขนานที่ออกมาเป็น 8 ขา ตามรูปที่ 3.9 โดยเราจะนำสัญญาณเอาท์พุตนี้ไปเข้าวงจรชิฟรีจีสเตอร์ เพื่อทำการเปลี่ยนสัญญาณที่เป็นแบบขนานให้เป็นสัญญาณที่เป็นแบบอนุกรมต่อไป

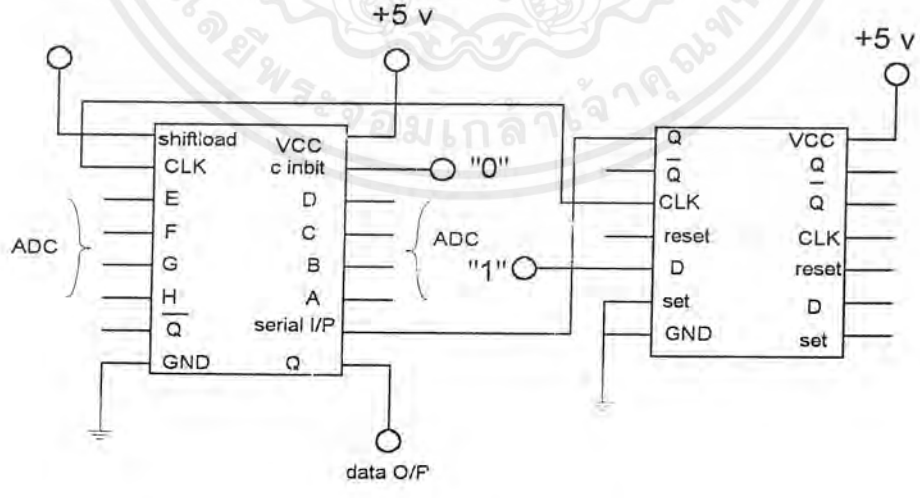
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 วงจรแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล

3.3.10 วงจรเปลี่ยนสัญญาณขนานให้เป็นสัญญาณอนุกรม

เมื่อเราได้สัญญาณที่เป็นดิจิตอลจาก ADC0820 ที่เป็นสัญญาณแบบขนาน แต่ในการส่งสัญญาณนั้นจะต้องเป็นสัญญาณที่เป็นแบบอนุกรมเราจึงต้องทำการแปลงสัญญาณแบบขนานที่ออกมาให้เป็นสัญญาณแบบอนุกรมก่อนทั้งในวงจรนี้ยังทำการเพิ่ม สตาร์ทบิตและสต็อบบิตเข้าไปอีกด้วย เพื่อเป็นประโยชน์ในการสร้างสัญญาณนาฬิกาทางด้านรับต่อไป วงจรแสดงดังรูปที่ 3.10



รูปที่ 3.10 วงจรเปลี่ยนสัญญาณขนานให้เป็นสัญญาณอนุกรม

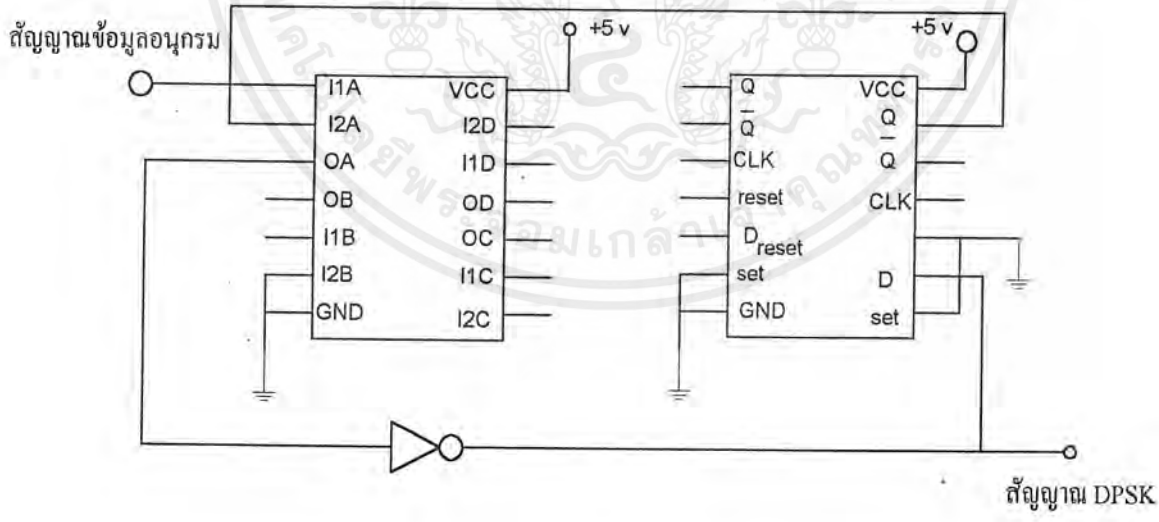
จากรูปที่ 3.10 เราจะนำสัญญาณนาฬิกาที่ใช้ในการโหลดข้อมูลเข้าสู่อินพุตขนานคือสัญญาณนาฬิกาที่มีความถี่ 25 kHz ที่ได้จากการสร้างใหม่เข้าที่ขา "Shift/Load" และนอกจากนั้นเรายังทำการต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนาฬิกาความถี่ 250 kHz เข้าที่ขา "Clock" ของ 74LS165 ด้วยซึ่งจะเป็นตัวที่Shift สัญญาณแต่ละบิตออกไปทำให้ทำให้ได้อัตราการส่งผ่านข้อมูลเท่ากับ 250 kbps นั่นเอง โดย ไอซี 74LS165 นี้จะทำงานได้จะต้องให้ขา "Cin" นั้นเป็นกราวด์ และเราทำการป้อนสัญญาณดิจิตอลที่เป็นแบบขนานทั้ง 8 ขาเข้าที่อินพุตทั้ง 8 ขา ของ 74LS165 ดังรูปที่ 3.10 นอกจากนั้นเรายังทำการเพิ่มสตาร์ทและสต็อบบิตให้แก่ข้อมูลอนุกรมเข้าไปด้วย โดยทำการต่อเพิ่มเข้าที่ขา "Serial IN" ของ 74LS165 ด้วยซึ่งวงจรที่ใช้เพิ่มสตาร์ทบิตและสต็อบบิตนี้จะใช้การทำงานของ ดีฟลิบฟลอบ(D-Filp Flop) มาช่วยในการเพิ่มสตาร์ทบิตและสต็อบบิตครั้งนี้ด้วย โดยมีการทำงานคือ เราจะต่อสัญญาณนาฬิกาสัญญาณเดียวกับที่ต่อกับ 74LS165 คือสัญญาณนาฬิกาที่มีความถี่ 250 kHz เข้าที่ขา "Clock" ของ MC14013 และต่อสัญญาณนาฬิกาความถี่ 25 kHz ซึ่งจะเป็นสัญญาณนาฬิกาที่ตรงข้ามกับสัญญาณนาฬิกาที่ใช้ในการ โหลดข้อมูลของ 74LS165 โดยจะเป็นสัญญาณที่ได้จากสัญญาณก่อนที่จะไปทำสัญญาณนาฬิกาใหม่นั่นเองดังรูป ต่อเข้ากับขา "Reset" โดยเราจะต่อแรงดัน 5 โวลท์ เข้าที่ขา "D" เพื่อที่จะได้เป็นสตาร์ทบิตที่เป็น "1" และ สต็อบบิตที่เป็น "0" ออกมา โดยเราจะได้เอาท์พุตที่เป็นสัญญาณแบบอนุกรมออกมาที่ขา "Q" ของ 74LS165

3.3.11 วงจรสร้างสัญญาณที่เป็น DPSK

เมื่อเราได้สัญญาณดิจิตอลที่เป็นสัญญาณอนุกรมออกมาแล้วเราก็จะนำมาสร้างสัญญาณที่เป็น DPSK ซึ่งในการทำครั้งนี้ เป็นการทำในทางดิจิตอลก่อน แล้วจึงจะนำไปมอดูเลตกับสัญญาณพาหะความถี่ 1 MHz ซึ่งการทำเช่นนี้จะทำให้การสร้างง่ายขึ้นกว่า ก็คือการที่เราจะทำการหน่วงเวลาสัญญาณ 1 บิต ที่เป็นดิจิตอลสามารถทำได้ง่ายกว่าการหน่วงเวลา1บิตที่เป็นสัญญาณอนาล็อกมากเราจึงทำการสร้างสัญญาณที่เป็น DPSK ขึ้นมาก่อนแล้วค่อยนำสัญญาณที่ได้ไปทำการมอดูเลตกับสัญญาณพาหะความถี่ 1 MHz นั่นเอง โดยวงจรแสดงดังรูปที่ 3.11



รูปที่ 3.11 วงจรสร้างสัญญาณที่เป็น DPSK

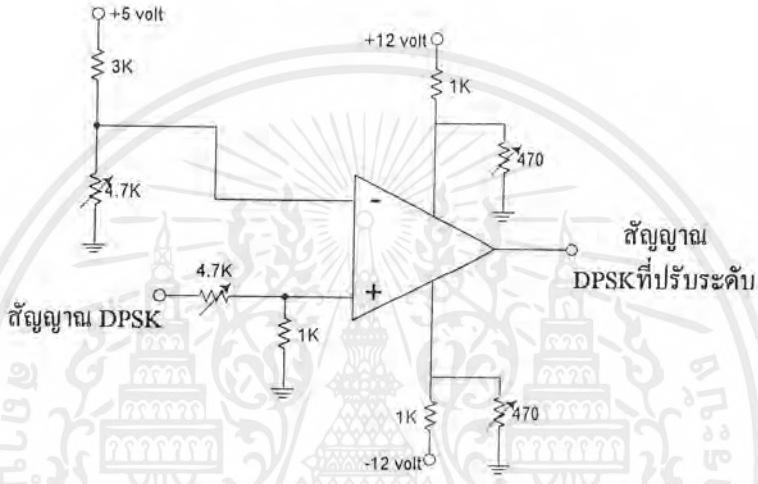
จากรูปที่ 3.11 เป็นวงจรแสดงการสร้างสัญญาณ DPSK โดยเราจะต่อสัญญาณข่าวสารข้อมูลที่เป็นอนุกรมที่ได้มาเข้าที่ขา " I_{1A} " ของ MC4070 ซึ่งเป็น วงจร Exclusive OR GATE (XOR GATE) และเราจะต่อ NOT GATE เข้าที่ขา "Q_A" ดังรูป เพื่อที่จะทำให้กลายเป็น XNOR GATE นั่นเองแล้วให้ต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุต ของ NOT GATE เข้ากับขา "D" ของ MC14013 ซึ่งจะทำหน้าที่ในการหน่วงเวลาของสัญญาณ 1 บิต โดยแสดงการต่อวงจรตามรูปที่ 8 ซึ่งเราจะต่อขา "Q" ของ MC14013 นั้นเข้าที่ขา " I_{IB}" เพื่อนำไปเปรียบเทียบกับสัญญาณที่เข้ามาใหม่นั่นเอง เราก็จะได้สัญญาณที่เป็น DPSK ออกมาที่ขาเอาท์พุต ของ NOT GATE ตามรูปที่ 3.11

3.3.12 วงจรเปลี่ยนระดับสัญญาณ

เมื่อเราได้สัญญาณข่าวสารที่เป็นดิจิตอลออกมาแล้ว ก่อนที่เราจะนำสัญญาณนั้นไปเข้าที่บาลานส์มอดูเลชั่น(Balance Modulation) เราจะต้องทำการเปลี่ยนสัญญาณดิจิตอลนี้ให้เป็นสัญญาณที่มีแรงดันเป็นบวก และลบก่อน โดยวงจรแสดงดังรูปที่ 3.12



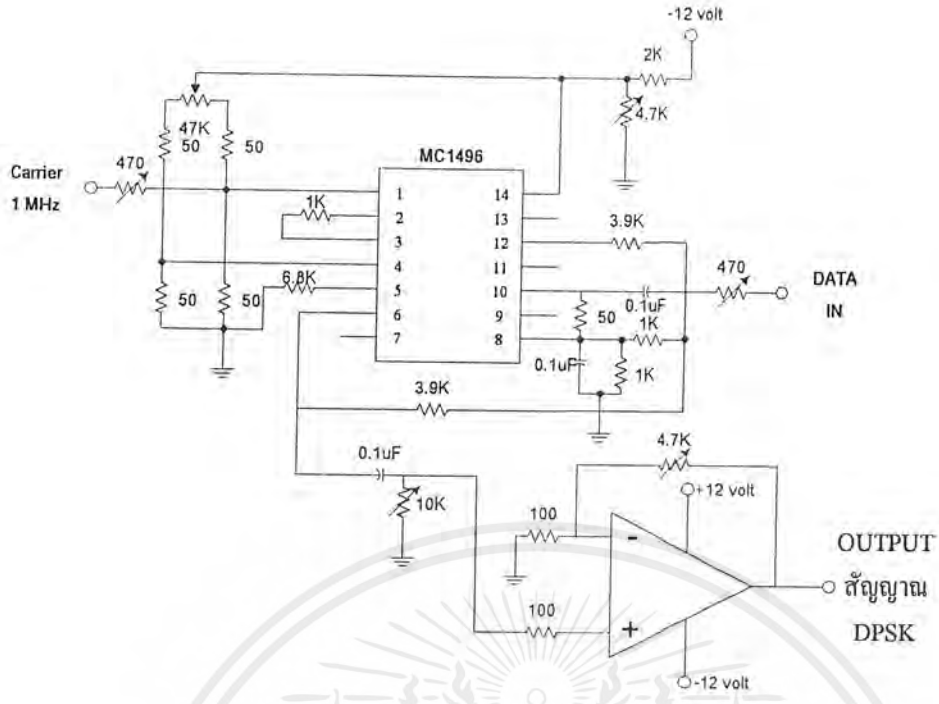
รูปที่ 3.12 วงจรเปลี่ยนระดับสัญญาณ

จากรูปเราจะใช้ออปแอมป์ LF351 ในการสร้างสัญญาณให้เป็นสัญญาณที่เป็น AC โดยเราจะใช้วงจรเปรียบเทียบแรงดัน โดยเราสามารถปรับระดับแรงดันที่ขาลบของออปแอมป์ ว่าเราต้องการให้มีการมีแรงดันอ้างอิงอยู่ระดับใด โดยถ้าแรงดันที่ขาบวกมากกว่าแรงดันอ้างอิงที่ขาลบ เอาท์พุตที่ได้จะเป็นไฟบวกสูงสุด และถ้าแรงดันที่ขาบวกน้อยกว่าแรงดันอ้างอิงที่ขาลบนั้น เอาท์พุตที่ได้จะเป็นไฟลบต่ำสุดโดยเราสามารถทำการปรับแรงดันอ้างอิงได้ที่ R1 และส่วน R2 และ R3 นั้นจะใช้ในการปรับระดับแรงดันสูงสุดทางด้านบวกและแรงดันต่ำสุดทางด้านลบ โดยเราจะต้องกำหนดให้แรงดันบวกและลบนี้ให้มีค่าต่ำๆ เนื่องจากถ้าเราใช้ค่าสูงเกินไปจะทำให้เกิดสรูเรท (Slew Rate) สูงซึ่งจะทำให้ข่าวสารข้อมูลเกิดการผิดพลาดได้ เราจึงต้องทำการควบคุมแรงดันบวกและลบให้มีขนาดเล็กๆ และยังเป็นผลดีต่อการนำสัญญาณไปบาลานส์มอดูเลชั่นด้วยเพราะ MC1496 นั้นจะต้องการสัญญาณอินพุตที่มีขนาดเล็กๆด้วย

3.3.13 วงจรบาลานส์มอดูเลชั่น

เมื่อเราได้สัญญาณ DPSK ที่เป็นสัญญาณดิจิตอลที่เป็น AC ออกมาแล้วเราก็จะทำการมอดูเลตสัญญาณนี้เข้ากับสัญญาณพาหะความถี่ 1 MHz ซึ่งเราจะใช้ วงจรบาลานส์มอดูเลชั่นในการมอดูเลตสัญญาณทั้ง 2 เข้าด้วยกัน โดยใช้ไอซี MC1496 ต่อเป็น วงจรบาลานส์มอดูเลชั่นดังแสดงในรูปที่ 3.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



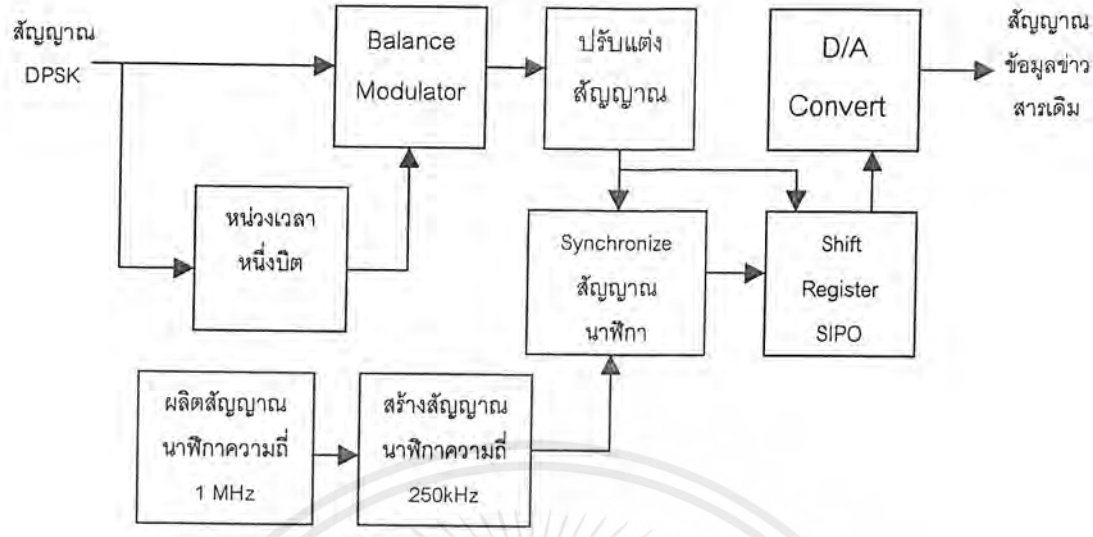
รูปที่ 3.13 วงจรบาลานส์มอดูเลชั่น

เมื่อเราต่อวงจรตามรูปแล้วเราจะต้องทำการปรับค่าความต้านทานปรับค่าได้ คือ ความต้านทานแบบปรับค่าได้ 470 โอห์ม เพื่อทำการลดระดับของสัญญาณพาหะ และสัญญาณ DPSK ที่ป้อนเข้ามาเนื่องจากถ้าสัญญาณที่ป้อนเข้านั้นมีระดับสัญญาณที่แรงเกินไปจะให้รูปสัญญาณผิดเพี้ยนได้ ดังนั้นเราจึงต้องทำการปรับสัญญาณนั้นให้ได้รูปที่เหมาะสมซึ่งเราจะได้ความถี่ที่เหมาะสมเพียงแค่ระดับหนึ่งจะกลับเฟสที่ยอมรับได้เนื่องจากความถี่ที่เราใช้นั้นสูงจึงได้รูปสัญญาณที่ผิดเพี้ยนบ้าง เราจึงทำการต่อค่า R และ C อนุกรมดังรูป เข้าที่ขา “6” ซึ่งเป็นเอาท์พุตของ MC1496 โดยเราจะปรับค่าความต้านทาน ให้ได้รูปสัญญาณที่มีความผิดเพี้ยนน้อยที่สุดแล้วจึงนำไปต่อเข้าวงจรขยายแบบไม่กลับเฟสเพื่อทำการขยายแรงดันของสัญญาณให้มีขนาดสูงขึ้นก่อนที่จะทำการส่งออกไป เราก็จะได้สัญญาณ DPSK ที่เป็นสัญญาณที่เป็น Differential Phase Shift Keying ที่สมบูรณ์ออกมาได้

3.4 เครื่องรับ DPSK

เครื่องรับแบบ DPSK นี้จะมีการทำงานอย่างคร่าวๆโดยสามารถดูได้จากรูปบล็อกไดอะแกรมในรูปที่ 3.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



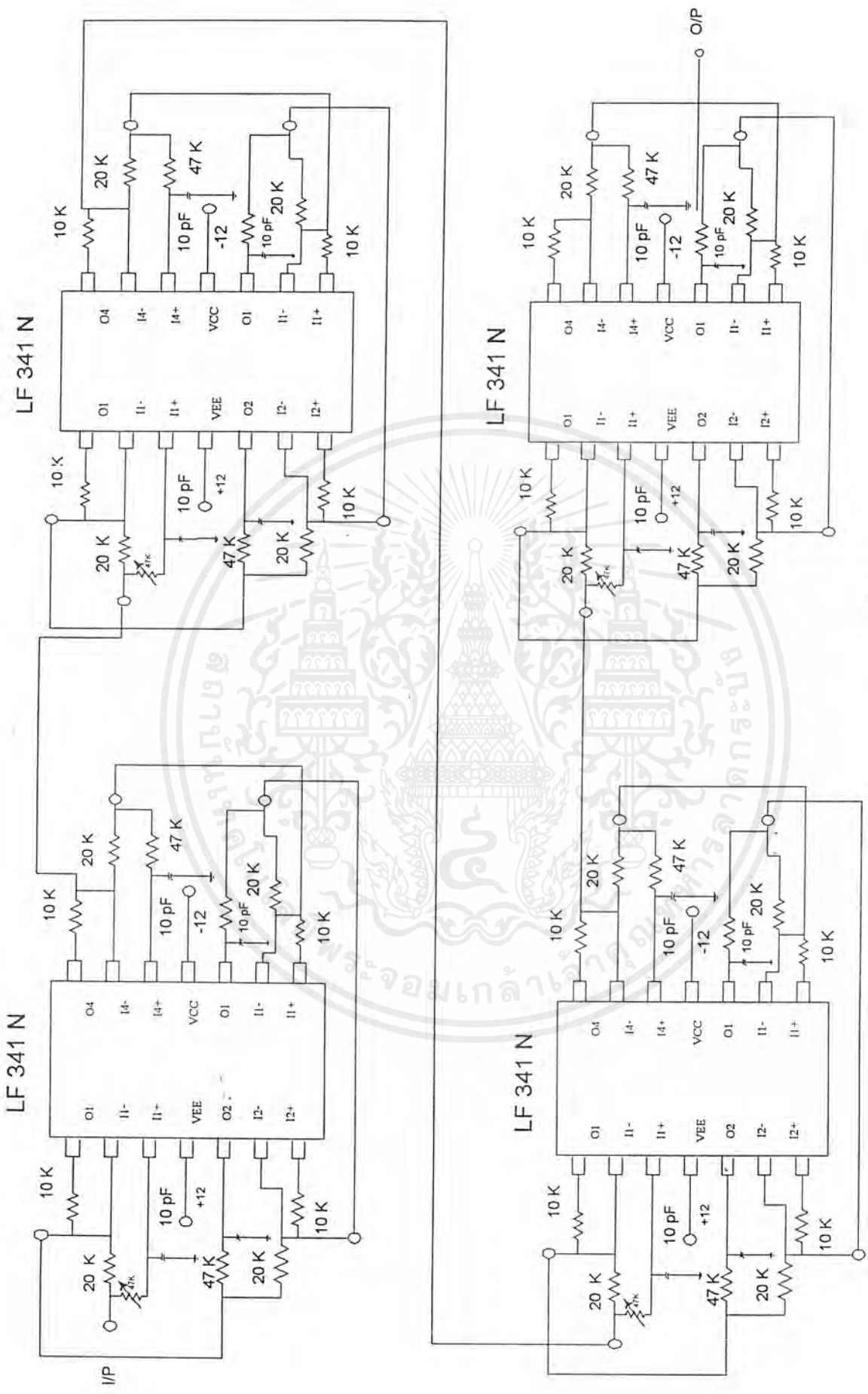
รูปที่ 3.14 บล็อกไดอะแกรมของเครื่องรับแบบ DPSK

3.4.1 วงจรหน่วงเวลาสัญญาณ 1 บิต

เมื่อเรารับสัญญาณ DPSK ของภาคส่งมาได้แล้วเราจะต้องทำการดีมอดูเลตสัญญาณเดิมกลับมา แต่ก่อนที่เราจะทำเช่นนั้น เราจำเป็นที่จะต้องทำการหน่วงเวลาของสัญญาณให้ได้ก่อน โดยเราจะใช้วงจรกรองความถี่ผ่านหมด(All Pass Filter) ซึ่งเมื่อสัญญาณผ่านวงจรนี้สัญญาณนั้นจะถูกเลื่อนเฟสออกไปแต่รูปของสัญญาณยังคงเดิม วงจร แสดงตามรูปที่ 3.15

โดยเราสามารถปรับเปลี่ยนเฟสที่เราต้องให้เลื่อนไปด้วยความต้านทานปรับค่าได้ เพื่อให้ได้การเลื่อนเฟสตามที่ต้องการซึ่งในการทดลองแล้วเราอาจจะเลื่อนเฟสได้ไม่มากนัก โดยเราสามารถเลื่อนเฟสได้ระดับหนึ่งซึ่งจะทำให้รูปสัญญาณไม่เปลี่ยนแปลง และในการทำงานของวงจรนี้เราจะต้องเลื่อนเฟสทั้งหมด 1440 องศา ซึ่งใน 1 วงจรนี้เราจะเลื่อนเฟสของสัญญาณได้ไม่เกิน 360 องศา ในการสร้างวงจรนี้เราจึงต้องใช้ วงจรหลายชุดมาต่อร่วมกันนั่นเองเราจึงจะสามารถเลื่อนเฟสได้ 1440 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

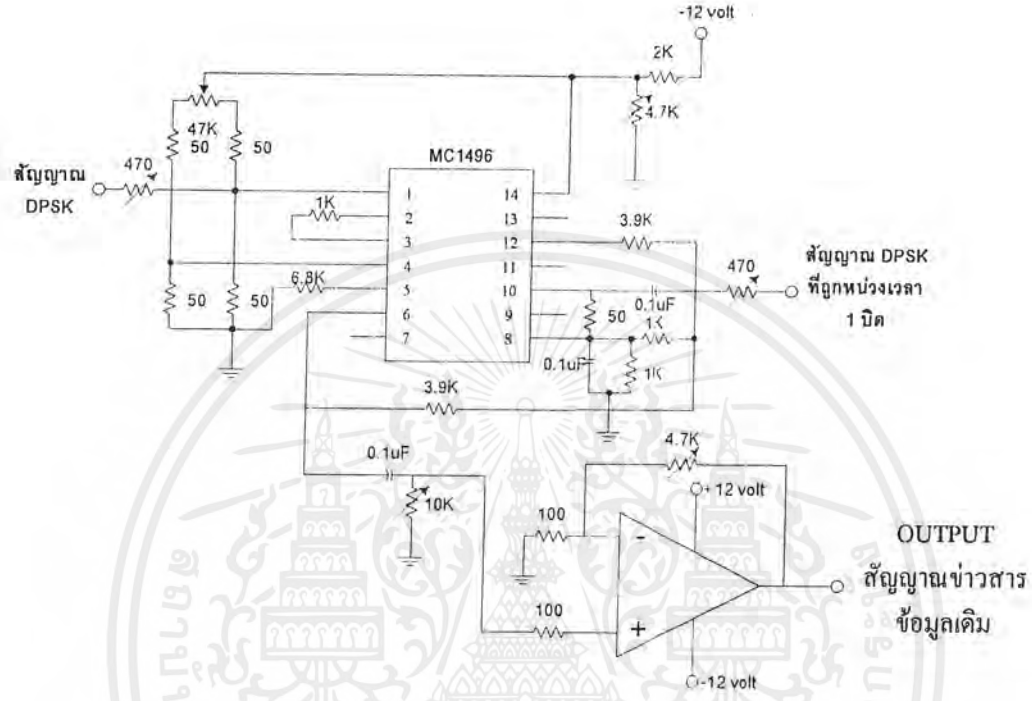


รูปที่ 3.15 วงจรหน่วงเวลาหนึ่งบิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.2 วงจรดีมอดูเลต

เมื่อเราได้สัญญาณที่ถูกหน่วงเวลาไปแล้ว 1 บิต เราจะนำสัญญาณนี้ไปทำการคูณกับสัญญาณที่รับเข้ามาที่ยังไม่ถูกหน่วงเวลาออกไป เราจะใช้ไอซี MC1496 ต่อเป็น วงจรบาลานส์มอดูเลชั่นเพื่อทำการดีมอดูเลตสัญญาณ ดังแสดงในรูปที่ 3.16



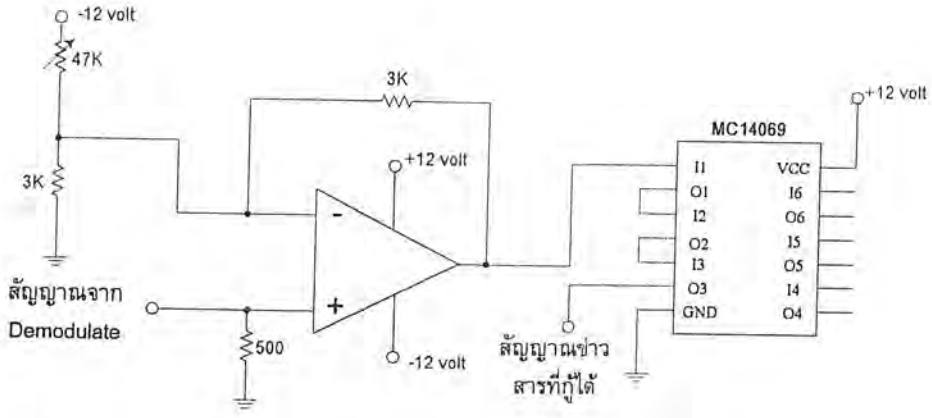
รูปที่ 3.16 วงจรดีมอดูเลต

เมื่อเราต่อวงจรตามรูปแล้วเราจะต้องทำการปรับค่าความต้านทานปรับค่าได้ คือ ตัวต้านทานแบบปรับค่าได้ 470 โอห์มทั้ง2 ตัว เพื่อทำการลดระดับของสัญญาณที่ถูกหน่วงเวลาและสัญญาณ DPSK ที่รับเข้ามาเนื่องจากถ้าสัญญาณที่ป้อนเข้านั้นมีระดับสัญญาณที่แรงเกินไปจะให้รูปสัญญาณผิดเพี้ยนได้ ดังนั้นเราจึงต้องทำการปรับสัญญาณนั้นให้ได้รูปที่เหมาะสมซึ่งเราจะได้สัญญาณที่ออกมาแล้วมีความคล้ายกับสัญญาณข่าวสารข้อมูลดิจิตอลเดิม เราจะทำการต่อค่า R และ C อนุกรมดังรูป เข้าที่ขา "6" ซึ่งเป็นเอาท์พุตของ MC1496 โดยเราจะปรับค่า R ให้ได้รูปสัญญาณที่มีความผิดเพี้ยนน้อยที่สุดและยังจะเป็นการทำให้สัญญาณที่ออกมาเป็นสัญญาณ AC ที่ไม่มี DC เข้ามาผสมด้วยแล้วจึงนำไปต่อเข้าวงจรขยายแบบไม่กลับเฟสเพื่อขยายแรงดันของสัญญาณให้มีขนาดสูงขึ้นก่อน โดยสัญญาณที่เราได้ออกมานี้จะเป็นสัญญาณข่าวสารข้อมูลที่เป็นดิจิตอลของเดิมกลับมา

3.4.3 วงจรปรับแต่งรูปสัญญาณ

เมื่อเราได้สัญญาณที่ออกมาจากบาลานส์มอดูเลชั่นแล้วเราสัญญาณที่ได้ออกมานั้นจะมีขนาดของสัญญาณมีระดับต่ำเราจะทำการปรับแต่งสัญญาณให้ได้ออกมาเป็นสัญญาณข่าวสารข้อมูลที่สมบูรณ์คือ มีระดับแรงดันอยู่กราวด์และบวกโดยเราจะทำการปรับแต่งสัญญาณโดยวงจรแสดงในรูปที่ 3.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 แสดงวงจรปรับแต่งรูปสัญญาณ

จากรูปที่ 3.17 เราจะทำการขยายสัญญาณที่ออกมาจากวงจรบาลานส์มอดูเลชั่นให้มีระดับสูงขึ้น โดยใช้ออปแอมป์ทำการขยายแบบไม่กลับเฟส (Noninverting) โดยเราจะทำการปรับค่า R1 ซึ่งสามารถปรับระดับขนาดของสัญญาณให้มีขนาดให้สูงขึ้นตามต้องการ โดยสัญญาณที่เราได้ทำการขยายออกมานั้นจะมีระดับของสัญญาณอยู่ในช่วงบวกและลบซึ่งระดับสัญญาณนี้นั้นไม่สามารถนำมาแปลงกลับมาเป็นสัญญาณข่าวสารข้อมูลเดิมได้ ดังนั้นเราจึงต้องทำการแปลงสัญญาณให้มาเป็นสัญญาณที่มีระดับกราวด์และบวก โดยใช้ออปแอมป์ตัวที่ 2 ดังรูปที่ 3.17 ซึ่งเป็นวงจรขยายไม่กลับเฟสโดยที่ขาลบนั้นเราจะทำการป้อนไฟลบเข้าที่ขาลบด้วยซึ่งจะมี R2 เป็นตัวปรับระดับแรงดันไฟลบให้ยกระดับสัญญาณขึ้นมาดังนั้นสัญญาณที่ได้จึงเป็นสัญญาณที่ระดับอยู่ในช่วงกราวด์และบวกได้แต่สัญญาณที่ได้ออกมานั้นยังมีลักษณะเป็นสัญญาณที่มีความเพี้ยนอยู่เล็กน้อยเราจึงนำสัญญาณที่ได้ออกมานั้นมาเข้า NOT GATE เพื่อปรับรูปของสัญญาณนั้นให้ดีขึ้น โดยจะผ่านออปแอมป์ถึง 3 ชุดเราก็จะได้สัญญาณข่าวสารข้อมูลดิจิตอลที่เราส่งออกไปกลับคืนมา

3.4.4 วงจรสร้างสัญญาณนาฬิกาความถี่ 1 MHz

จากรูปเราจะใช้คริสตอล (Crystal) 16 MHz ต่อเข้าไอซี MC14060 โดยจะทำหน้าที่ผลิตความถี่ซึ่งจะมีเอาท์พุตที่หารความถี่ และสร้างออกมาเป็นสัญญาณนาฬิกาจากรูปจะต่อเอาท์พุตที่ขา "Q4" ก็หมายความว่าเราต้องการหารความถี่ 2^4 หรือ 16 นั่นเองเราก็จะได้ความถี่ 1 MHz ออกมา

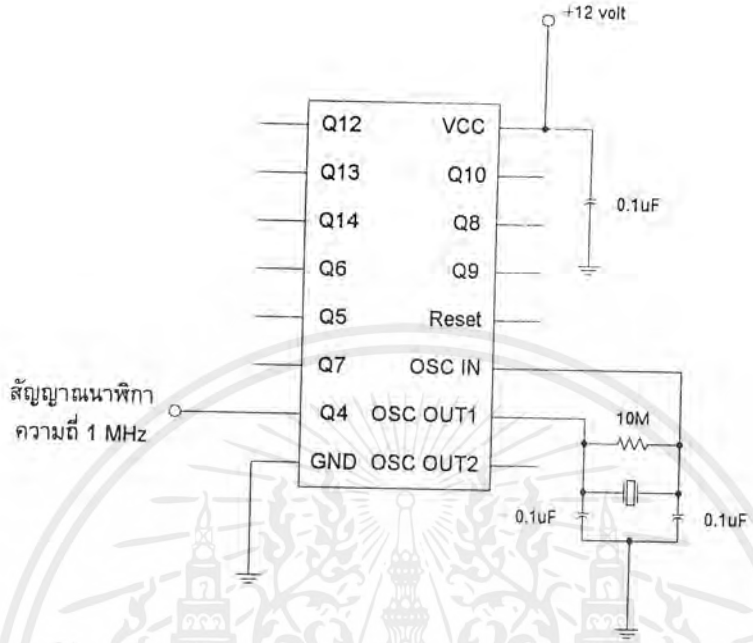
3.4.5 วงจรสร้างสัญญาณนาฬิกา 250 kHz

เมื่อเราได้สัญญาณนาฬิกาความถี่ 1 MHz ออกมาแล้วเราจะต้องทำการหารความถี่ให้เหลือ 250 kHz เพื่อให้ตรงกับทางด้านรับ โดยวงจรแสดงดังรูปที่ 3.19

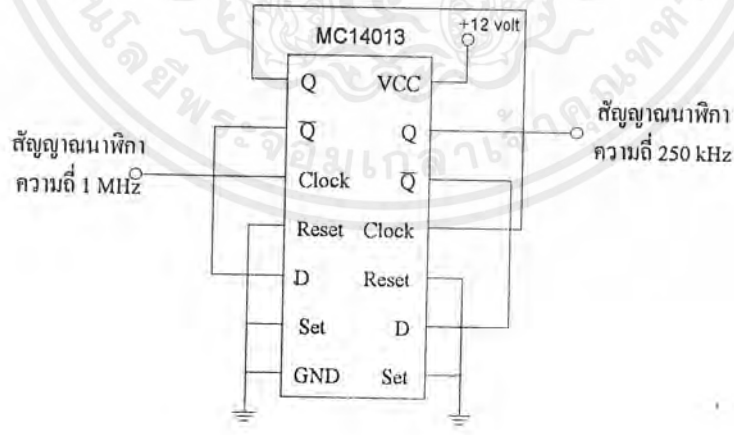
จากรูปเราจะใช้ ไอซี MC14013 ซึ่งเป็นดีฟลิบฟลอบ โดยการต่อวงจรตามรูป โดย MC14013 นี้ 1 ตัว จะประกอบด้วยดีฟลิบฟลอบ 2 ตัว เราจึงสามารถหารความถี่ได้ 4 เท่า โดยดีฟลิบฟลอบ 1 ตัว เราสามารถหารได้ 2 โดยการต่อสัญญาณนาฬิกาความถี่ 1 MHz เข้าที่ขา "Clock" ของดีฟลิบฟลอบ ตัวที่ 1 และต่อขา "Q" ของ ดีฟลิบฟลอบ ตัวที่ 1 เข้ากับขา "D" ของ ดีฟลิบฟลอบ ตัวที่ 1 เมื่อสัญญาณนาฬิกาเข้ามาเอาท์พุตก็จะเปลี่ยนสถานะเป็นตรงข้ามกับของเดิม และเมื่อมีสัญญาณนาฬิกาเข้ามาอีก เอาท์พุตก็จะเปลี่ยนสถานะจากเดิมไปอีกเป็นเช่นนี้สลับกันไป ดังนั้นความถี่ของสัญญาณนาฬิกาจึงถูกลดลงครึ่งหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเมื่อเรานำเอาท์พุตจากดีฟลิบฟลอบตัวที่ 1 มาเข้าที่ขา "Clock" ของ ดีฟลิบฟลอบ ตัวที่ 2 โดยต่อเหมือน ดีฟลิบฟลอบตัวที่ 1 ทุกประการตามรูปเราก็จะได้เอาท์พุตที่ดีฟลิบฟลอบ ตัวที่ 2 เป็นสัญญาณนาฬิกาความถี่ 250 kHz ตามที่เราต้องการออกมา



รูปที่ 3.18 วงจรสร้างสัญญาณนาฬิกาความถี่ 1 MHz

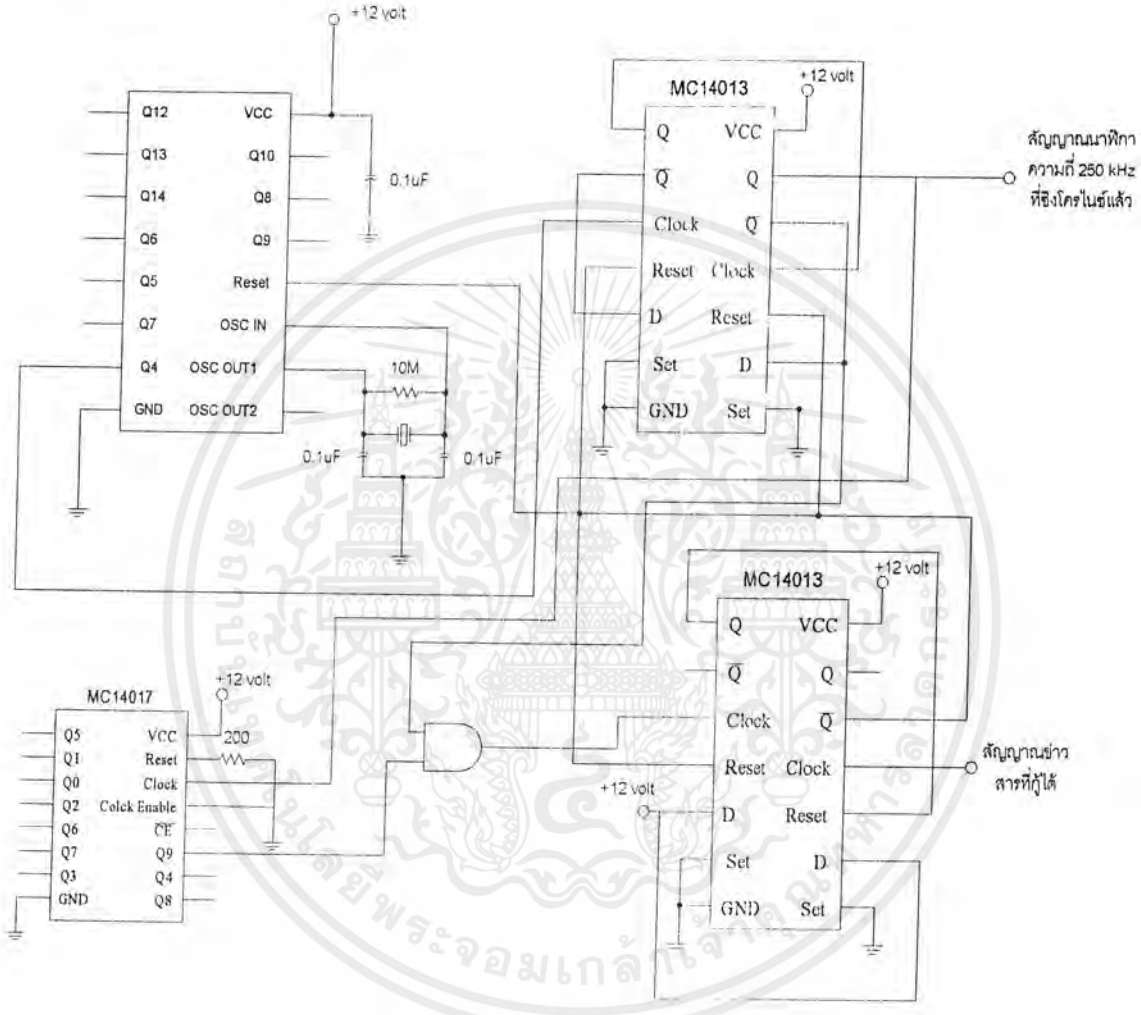


รูปที่ 3.19 วงจรสร้างสัญญาณนาฬิกา 250 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.6 วงจรซิงโครไนซ์ สัญญาณนาฬิกา

เมื่อเราได้สัญญาณนาฬิกาความถี่ 250 kHz ออกมาแล้ว แต่สัญญาณนาฬิกาทางด้านส่งและทางด้านรับเป็นคนละตัวกันดังนั้นความถี่ของสัญญาณทั้ง2จึงไม่เท่ากันเราจึงจำเป็นที่จะต้องทำการซิงโครไนซ์สัญญาณนาฬิกาทั้ง2ให้ตรงกันโดยใช้วงจรซิงโครไนซ์สัญญาณนาฬิกาในการทำให้ซิงโครไนซ์ กัน โดยวงจรแสดงดังรูปที่ 3.20



รูปที่ 3.20 วงจร ซิงโครไนซ์สัญญาณนาฬิกา

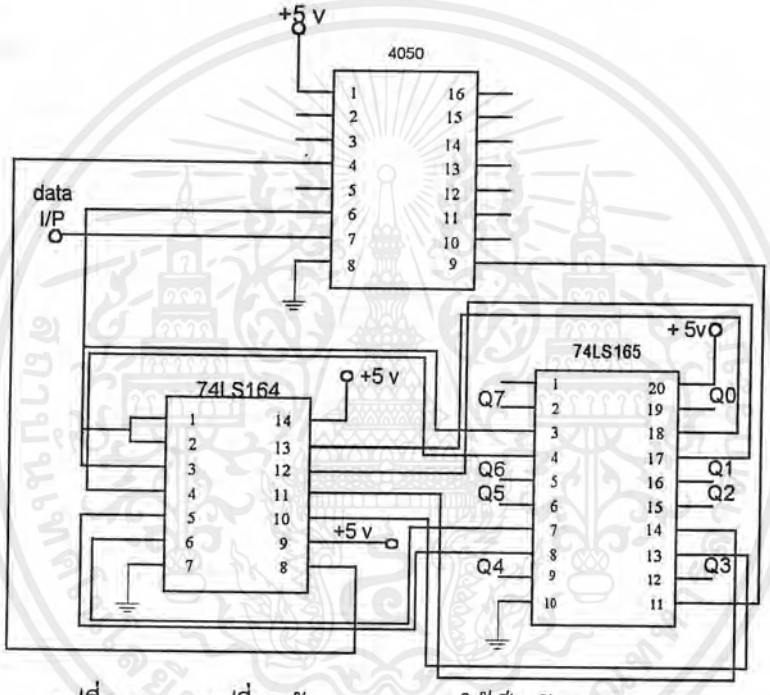
ในการที่จะซิงโครไนซ์สัญญาณนาฬิกานี้เราจะใช้ประโยชน์จาก สตาร์ทบิตและสต็อบบิตที่เราสร้างขึ้นมาให้เป็นประโยชน์ โดยมีการทำงานคือ เราจะนำสัญญาณข่าวสารข้อมูลที่เป็นดิจิตอลที่เราได้มานั้นมาเข้าที่ดีฟลิบฟลอบตัวที่ 2 เพื่อใช้ในการตรวจสอบสตาร์ทบิตและสต็อบบิตนั่นเอง โดย MC14017 นั้นจะทำการรับสัญญาณนาฬิกา 250 kHz เข้าแล้วทำการหาร 10 เราก็จะได้สัญญาณออกมาซึ่งมีความถี่ 25 kHz โดยเราจะนำเอาท์พุตที่ขา "Q9" นี้มาเข้าที่ MC14081 หรือ AND GATE โดยจะทำการ AND สัญญาณที่ขา "Q9" นี้กับสัญญาณความถี่ 250 kHz จากขา $\overline{Q}$ แล้วนำเอาท์พุตที่ได้นี้มาเข้าที่ดีฟลิบฟลอบ ตัวที่ 1 โดยดีฟลิบฟลอบ ตัวนี้จะป้อน "1" เข้าที่ขา "D" เมื่อ MC14017 นับถึง 10 ก็จะลงตรงที่ สต็อบบิตโดยจะทำให้ดีฟลิบฟลอบ ตัวนี้มีเอาท์พุตเป็น "1" ไปทำการ Reset ที่ ดีฟลิบฟลอบ ตัวที่ 2 ซึ่งดีฟลิบฟลอบ ตัวนี้จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ป้อน "1" เข้าที่ขา "D" เมื่อดีฟลิบฟลอบ ตัวที่ 1 มีเอาท์พุตเป็น "1" ก็จะทำการ Reset ให้เอาท์พุตดีฟลิบฟลอบ ตัวที่ 2 เป็น "0" โดยเราจะนำ เอาท์พุตที่ขา $\overline{Q}$ ไปทำการรีเซ็ต วงจรผลิตสัญญาณนาฬิกา 1 MHz , 250 kHz และวงจรนับ 10 ด้วย และเมื่อสัญญาณข่าวสารข้อมูลที่ต่อที่ขา "CLK" ของดีฟลิบฟลอบ ตัวที่ 2 นี้เป็นสตาร์ทบิตก็จะทำให้เอาท์พุตที่ $\overline{Q}$ เป็น "0" ทำให้วงจรผลิตสัญญาณนาฬิกา 1 MHz ,250 kHz และวงจรนับ 10 นี้เริ่มทำงานใหม่อีกครั้งดังนั้นสัญญาณนาฬิกาทั้ง 2 ข้างจึงมีการซิงโครไนซ์กันได้

3.4.7 วงจรเปลี่ยนสัญญาณอนุกรมให้เป็นสัญญาณขนาน

เมื่อเราได้สัญญาณนาฬิกาที่ซิงโครไนซ์กันแล้วเราจะนำสัญญาณนาฬิกานั้นมาทำการเปลี่ยนสัญญาณที่เป็นอนุกรมที่เข้ามาให้เป็นสัญญาณแบบขนานแล้วทำการตัดสตาร์ทและสต็อบบิตทิ้งไปด้วย โดยวงจรแสดงดังรูปที่ 3.21



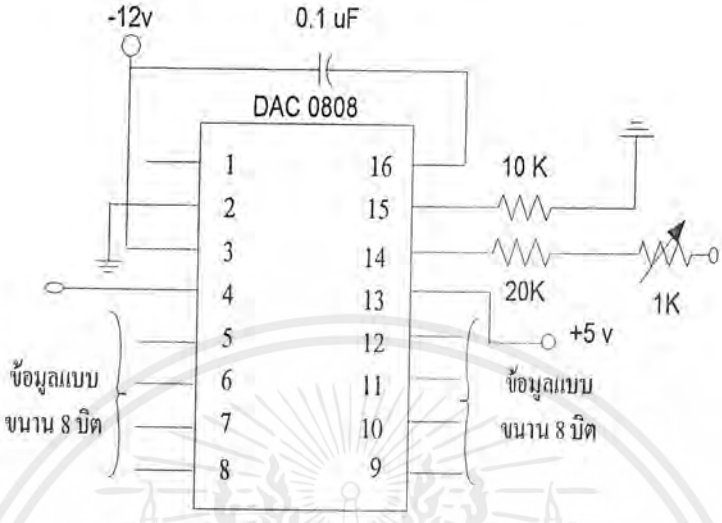
รูปที่ 3.21 วงจรเปลี่ยนสัญญาณอนุกรมให้เป็นสัญญาณขนาน

จากรูปเราจะใช้ 74LS164 ซึ่งเป็นชิฟรีจีสเตอร์ แบบ SIPO ซึ่งจะทำงานโดยต้องการสัญญาณนาฬิกา ซึ่งสัญญาณนาฬิกานั้นเราจะนำมาจาก $\overline{Q}$ ของออปแอมป์ในรูปที่ 3.20 ซึ่งเป็นสัญญาณนาฬิกา 250 kHz แล้วนำเอาท์พุททั้ง 8 ขาแบบขนานที่ได้ออกมานั้นมาเข้าที่ 74LS374 ซึ่งเป็นชิฟรีจีสเตอร์ แบบขนานเข้าขนานออก(PIPO)ซึ่งจะทำหน้าที่ตัดสตาร์ทและสต็อบบิตออกแล้วนำเอาท์พุททั้ง 8 ขาไปเข้า D/A Converter เพื่อทำการแปลงสัญญาณกลับตามเดิม โดย 74LS374 นั้นจะทำงานที่ขอบขาขึ้น โดยเราจะใช้สัญญาณจาก MC14017 จากรูปที่ 3.20 เราจะใช้ขา "9" นำมาเป็นสัญญาณนาฬิกาซึ่งสตาร์ทและสต็อบบิตจะถูกตัดออกไปเราก็จะได้สัญญาณข้อมูลที่เป็นแบบขนาน 8 บิตพร้อมที่จะเปลี่ยนกลับมาเป็นสัญญาณอนาล็อก โดยสัญญาณนาฬิกาที่เราใช้นั้นจะต้องนำมาผ่าน MC4050 เพื่อทำการเปลี่ยนระดับสัญญาณ 0 ถึง +12 โวลท์ ให้มาเป็นสัญญาณที่มีระดับ 0 ถึง +5 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.8 วงจรD/A Converter

เมื่อเราได้ข้อมูลแบบขนานขนาด8บิตออกมาแล้วนั้นเราจะทำการแปลงข้อมูลนั้นให้เป็นสัญญาณอนาล็อกตามเดิมโดยการใช้ D/A Converter ซึ่งวงจรแสดงดังรูปที่ 3.22



รูปที่ 3.22 วงจรD/A Converter

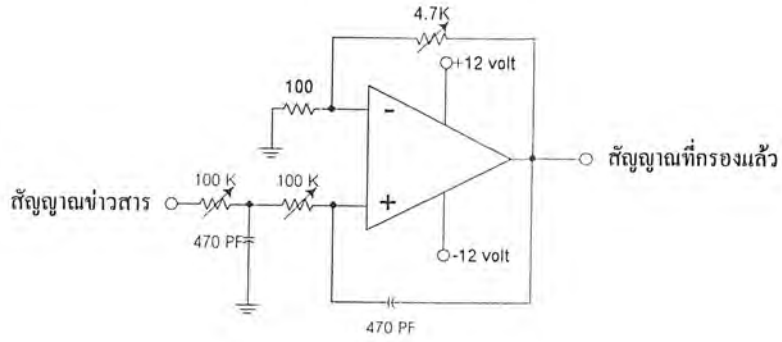
จากรูปที่ 3.22 เราจะนำอินพุตเข้าที่ DAC0808 ซึ่งเป็น D/A Converter โดยเราจะป้อนแรงดัน 12 โวลท์เข้าที่ขา 14 โดยเราจะมีความต้านทานปรับค่าต่ออยู่เพื่อทำการปรับระดับแรงดันอ้างอิงที่เราต้องการ และเราเอาท์พุทที่ได้นั้นจะออกมาที่ขา 4 ของ ADC0808 โดยเอาท์พุทที่ได้นี้จะเป็นกระแสและยังเป็นลบอีกด้วยเราจึงทำการต่อออปแอมป์เข้าโดยต่อแบบอินเวิร์สติ้ง(Inverting)เพื่อทำการกลับสัญญาณให้กลับมาอยู่ทางด้านบวกหลังจากนั้นเราก็จะได้สัญญาณเดิมกลับมา แต่สัญญาณที่ได้ออกมานี้ยังไม่สามารถนำไปใช้ได้เนื่องจากสัญญาณที่ได้นั้นเป็นสัญญาณที่อยู่เหนือระดับกราวด์เราต้องทำการปรับสัญญาณให้เป็นสัญญาณ AC และสัญญาณที่ได้ออกมานั้นยังเป็นสัญญาณที่ไม่เหมือนเดิมมากนักเราจะต้องนำสัญญาณนี้มาผ่านวงจร กรองความถี่ต่ำ เพื่อทำการกรองสัญญาณให้กลับมาเป็นสัญญาณเดิม

3.4.9 วงจรกรองความถี่ต่ำผ่าน

เมื่อเราได้สัญญาณที่ออกมาจากวงจรเปลี่ยนสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อกแล้วเราจะทำการนำสัญญาณนั้นมาเข้าวงจรกรองความถี่ต่ำผ่านโดยการใช้รูปวงจรแสดงดังรูปที่ 3.23

จากรูปที่ 3.23 เราจะใช้ออปแอมป์ในการสร้างวงจรกรองความถี่ต่ำผ่าน โดยใช้ออปแอมป์ LF351 โดยเราสามารถทำการปรับความถี่ได้ที่ตัวต้านทาน 100 กิโลโอห์มทั้งสองตัวซึ่งเป็นความต้านทานแบบปรับค่าได้ ดังนั้นเราจึงต้องทำการปรับค่าความต้านทานปรับค่าได้นี้ว่าเราต้องการความถี่คัทออฟเท่าไร โดยทำการทดลองป้อนสัญญาณสีเหลี่ยมเข้าที่อินพุตแล้วทำการวัดทางเอาท์พุตทำการปรับค่าความต้านทานทั้ง 2 ค่าแล้วดูที่เอาท์พุตว่าได้รูปสัญญาณไซน์ออกมาหรือไม่ ถ้าได้รูปสัญญาณไซน์ออกมาแสดงว่าถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.23 วงจรกรองความถี่ต่ำผ่าน

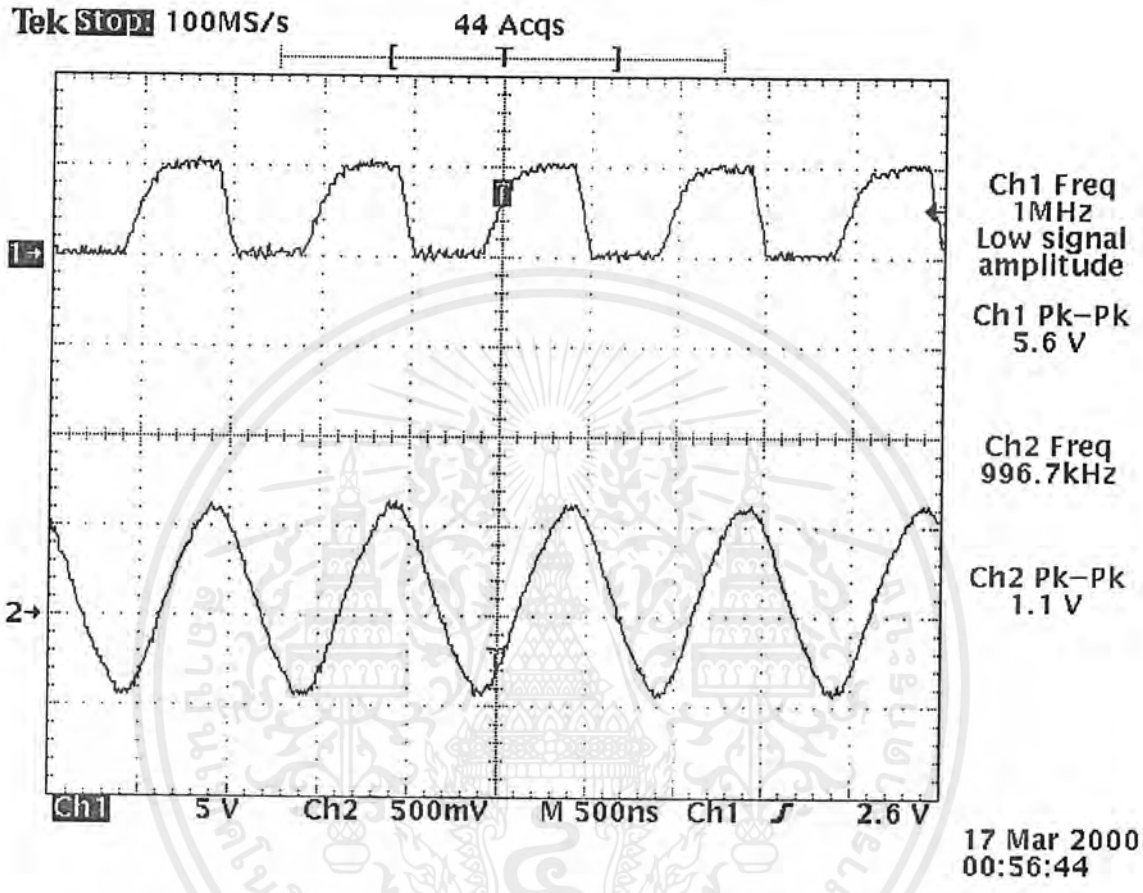
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 เครื่องส่ง DPSK

4.1.1 วงจรผลิตสัญญาณไซน์ความถี่ 1 MHz และสร้างสัญญาณสี่เหลี่ยม

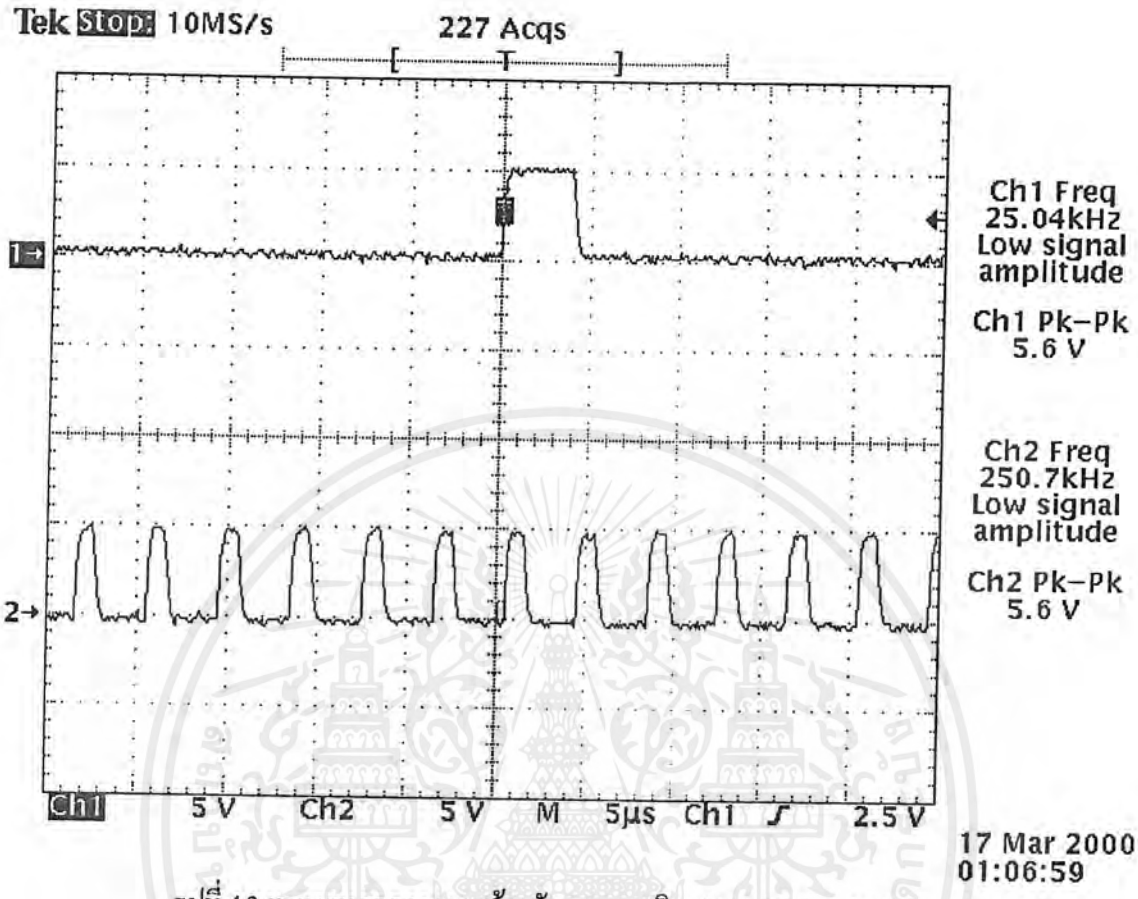


รูปที่ 4.1 ผลการทดลองวงจรผลิตสัญญาณไซน์ ความถี่ 1 MHz และสร้างสัญญาณสี่เหลี่ยม

จากรูปเป็นผลการทดลองของวงจรผลิตสัญญาณไซน์ ความถี่ 1 MHz ที่ได้มาจากเอาท์พุตของ XR2206 โดยเราจะได้เป็นสัญญาณไซน์ที่มีความถี่ 1 MHz ดังรูปซึ่งเราได้สัญญาณไซน์ 1 MHz ออกมาตามที่เราต้องการส่วนอีกรูปนั้นเป็นสัญญาณสี่เหลี่ยม 1 MHz ที่เราสร้างขึ้นมาจากสัญญาณไซน์ 1 MHz นั่นเองโดยจะเห็นว่าสัญญาณสี่เหลี่ยม 1 MHz ที่ได้นั้นจะไม่เป็นสี่เหลี่ยม 1 MHz ที่สวยงาม แต่เราไม่จำเป็นที่จะต้องใช้สัญญาณที่เป็นสี่เหลี่ยม 1 MHz ความถี่ 1 MHz ที่สวยงามเราเพียงต้องการเพียงแค่ขอบขาขึ้นเท่านั้น ดังนั้นสัญญาณสี่เหลี่ยม 1 MHz ที่ได้จึงสามารถนำไปใช้งานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 วงจรสร้างสัญญาณนาฬิกา 250 kHz และ 25 kHz

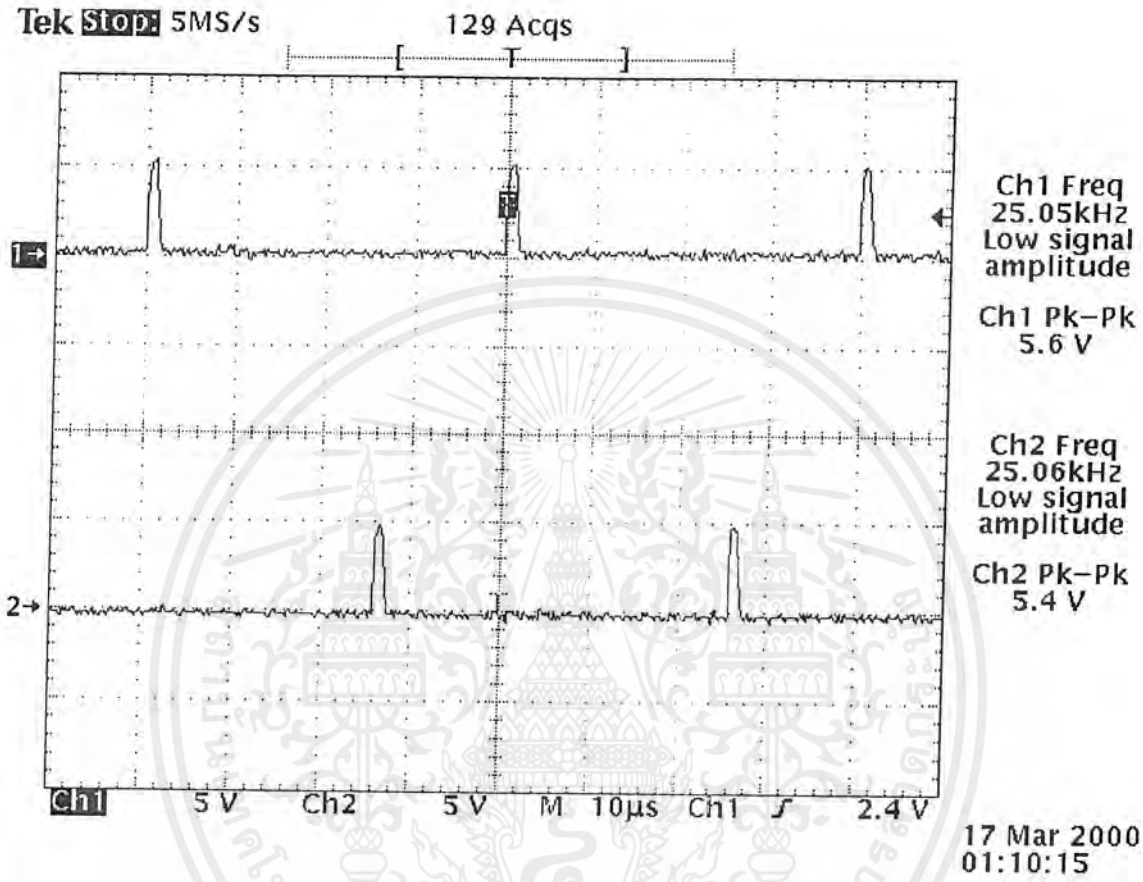


รูปที่ 4.2 ผลการทดลองวงจรสร้างสัญญาณนาฬิกา 250 kHz และ 25 kHz

จากรูปเป็นสัญญาณนาฬิกา 250 kHz และ 25 kHz เปรียบเทียบกัน โดยสัญญาณนาฬิกา 250 kHz ที่นั้นจะไม่เป็นสัญญาณนาฬิกาที่มีความสมมาตรกัน แต่ก็ไม่มีปัญหาเพราะว่าเราต้องการใช้เพียงขอบขาขึ้นเท่านั้นดังนั้นสัญญาณนาฬิกา 250 kHz นี้จึงสามารถนำไปใช้ได้โดยเราจะนำไปเป็นสัญญาณนาฬิกาของวงจรชิฟรีจิสเตอร์ ด้วยดังนั้นเราจึงมีความเร็วในการส่งข้อมูล 250 kbps และเราจะนำสัญญาณนาฬิกา 250 kHz นี้ไปสร้างสัญญาณนาฬิกา 25 kHz โดยจะผ่านวงจรหาร 10 ก็จะได้เอาท์พุตสัญญาณนาฬิกา 25 kHz ออกมาดังรูป ซึ่งสัญญาณนาฬิกาที่ได้ออกมานี้ก็ไม่มีความสมมาตรเช่นเดียวกันแต่เราจะใช้เพียงขอบขาขึ้นของสัญญาณนาฬิกาเท่านั้นสัญญาณที่เราได้ออกมานี้จึงใช้ได้ โดยที่ไม่ทำให้สัญญาณสมมาตรกันนั้น เพราะเราจะนำความที่ไม่สมมาตรนี้ไปใช้ประโยชน์ในการสร้างสัญญาณนาฬิกาใหม่ที่ใช้ในการโหลดข้อมูลใน ตัวเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล(A/D Converter) ใช้เป็นความถี่ในการแซมปลิ้งและ ชิฟรีจิสเตอร์ ใช้เป็นตัวโหลดข้อมูลอินพุตเข้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

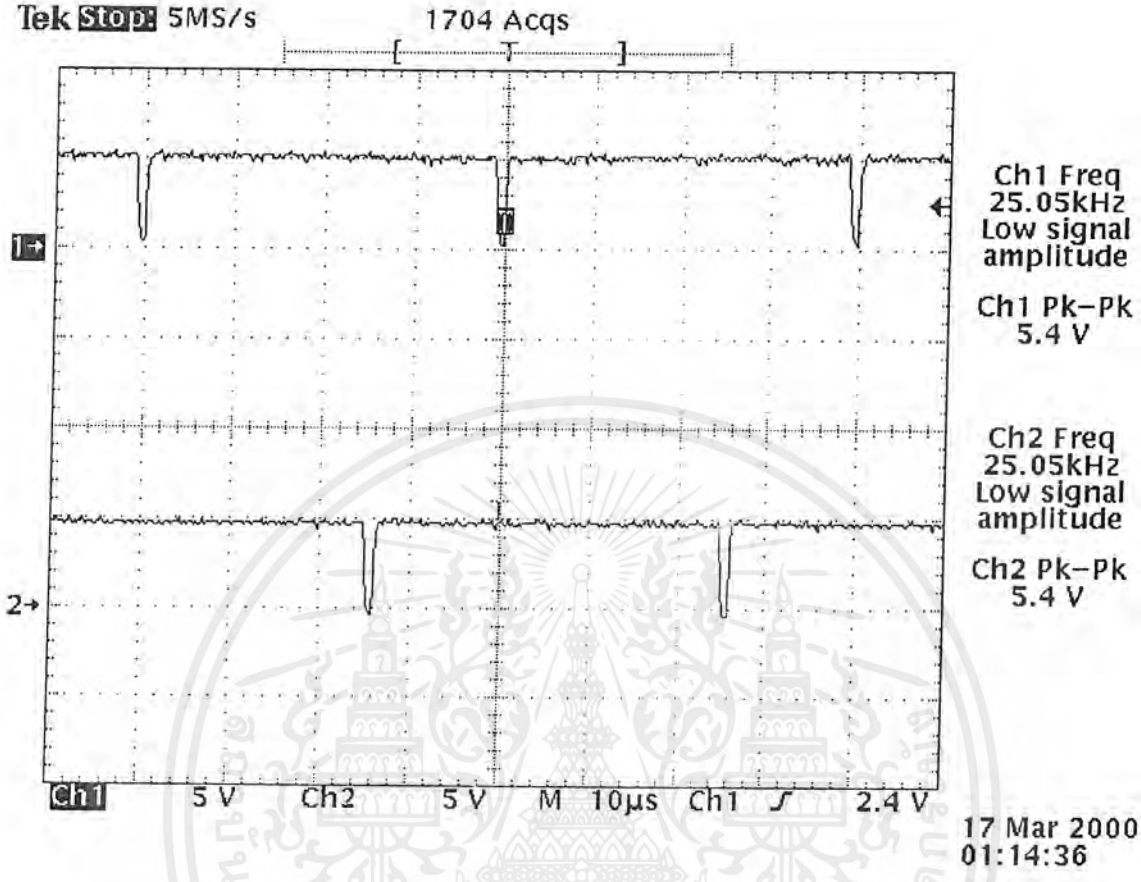
4.1.3 วงจรสร้างสัญญาณนาฬิกาใหม่



รูปที่ 4.3 ผลการทดลองวงจรสร้างสัญญาณนาฬิกาใหม่

จากรูปเป็นผลการทดลองของการสร้างสัญญาณนาฬิกาเพื่อนำไปใช้ใน ตัวเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล และ ชิฟรีจีสเตอร์ โดยเราจะใช้สัญญาณนาฬิกาความถี่ 25 kHz ที่เราสร้างมานำมาเข้าแอนเกทกับสัญญาณนาฬิกาความถี่ 25 kHz ที่ได้มาโดยเราจะใช้ที่เวลาต่างกันโดยอาศัยช่วงเวลาที่เหลื่อมกันของสัญญาณนาฬิกานี้สร้างสัญญาณนาฬิกาที่ใช้กับตัวแปลงอนาล็อกเป็นดิจิตอลและ ชิฟรีจีสเตอร์ ที่ต้องใช้เวลาที่เหลื่อมกันเนื่องจากตัวแปลงอนาล็อกเป็นดิจิตอลนั้นเราจะใช้ ADC0820 ซึ่งจะมีเวลาที่ใช้เปลี่ยน สัญญาณอนาล็อคให้เป็นสัญญาณดิจิตอลเราจึงต้องทำการเว้นระยะเวลาให้ ตัวแปลงอนาล็อกเป็นดิจิตอลทำการเปลี่ยนสัญญาณเสร็จก่อนแล้วจึงค่อยทำการโหลดข้อมูลแบบขนาน 8 บิต เข้าสู่ ชิฟรีจีสเตอร์ จากรูปที่ 4.3 นั้นเราจะเห็นว่าสัญญาณทั้ง 2 นั้นมีการเหลื่อมกันอยู่จึงใช้ในการทำงานได้ แต่สัญญาณทั้ง 2 นั้นยังไม่สามารถนำไปใช้งานได้เลยเราจะต้องกลับสัญญาณเสียก่อนโดยใช้นอทเกทดังรูปที่ 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

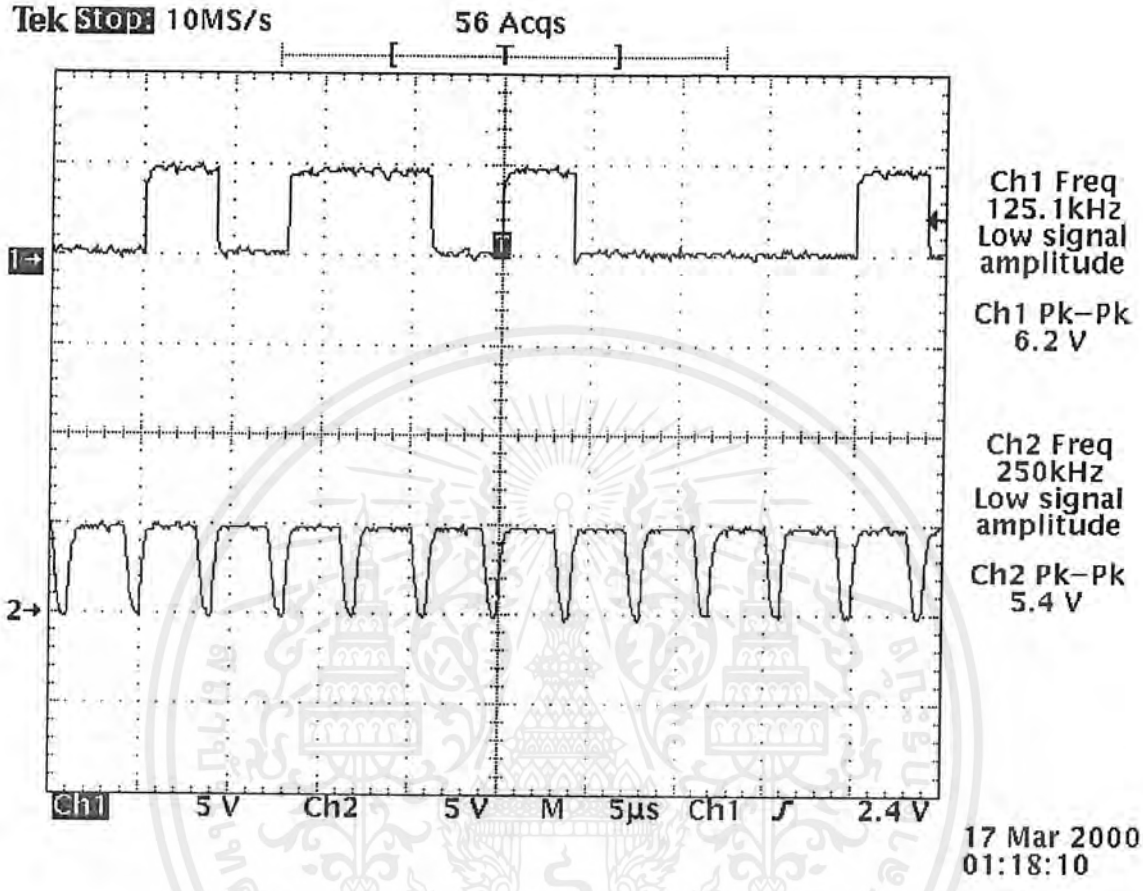


รูปที่ 4.4 ผลการทดลองวงจรกลับสัญญาณ

เมื่อเราได้สัญญาณจากรูป 4.3 แล้วเรายังไม่สารถนำไปใช้งานได้เนื่องจากตัวแปลงอนาล็อกเป็นดิจิตอลและชิฟรีจีสเตอร์นั้นจะมีการทำงานคือตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอลนั้นจะทำการแซมปลิ้งสัญญาณได้นั้นจะต้องมีขอบขาขึ้นของสัญญาณและความกว้างของสัญญาณนั้นควรจะมีค่าแคบๆ ดังนั้นเราจึงทำการควบคุมพัลซ์ให้มีความกว้างน้อยๆ ดังรูปที่ 4.4 โดยการผ่านนอทเกทนั่นเอง ส่วนชิฟรีจีสเตอร์ นั้น การที่จะโหลดข้อมูลเข้าสู่ ชิฟรีจีสเตอร์ นั้นจะต้องใช้ บิต 0 ในการทำงานดังนั้น เราจึงทำการให้สภาวะอื่นเป็นบิต 1 หมดยกเว้นเมื่อมีการโหลดข้อมูลเข้ามาที่ต้องเป็นบิต 0 ดังรูปที่ 4.4 นั่นเอง โดยเมื่อโหลดเข้าไปแล้วจะต้องเปลี่ยนกลับมาเป็นบิต 1 เช่นเดิมไม่เช่นนั้นเอาท์พุตจะไม่เปลี่ยนเราจึงต้องทำการควบคุมเอาท์พุตของสัญญาณนาฬิกาให้มีความกว้างน้อยๆ ดังรูปที่ 4.4 นั่นเองเราก็จะได้สัญญาณนาฬิกาความถี่ 25 kHz ที่สามารถนำไปใช้งานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

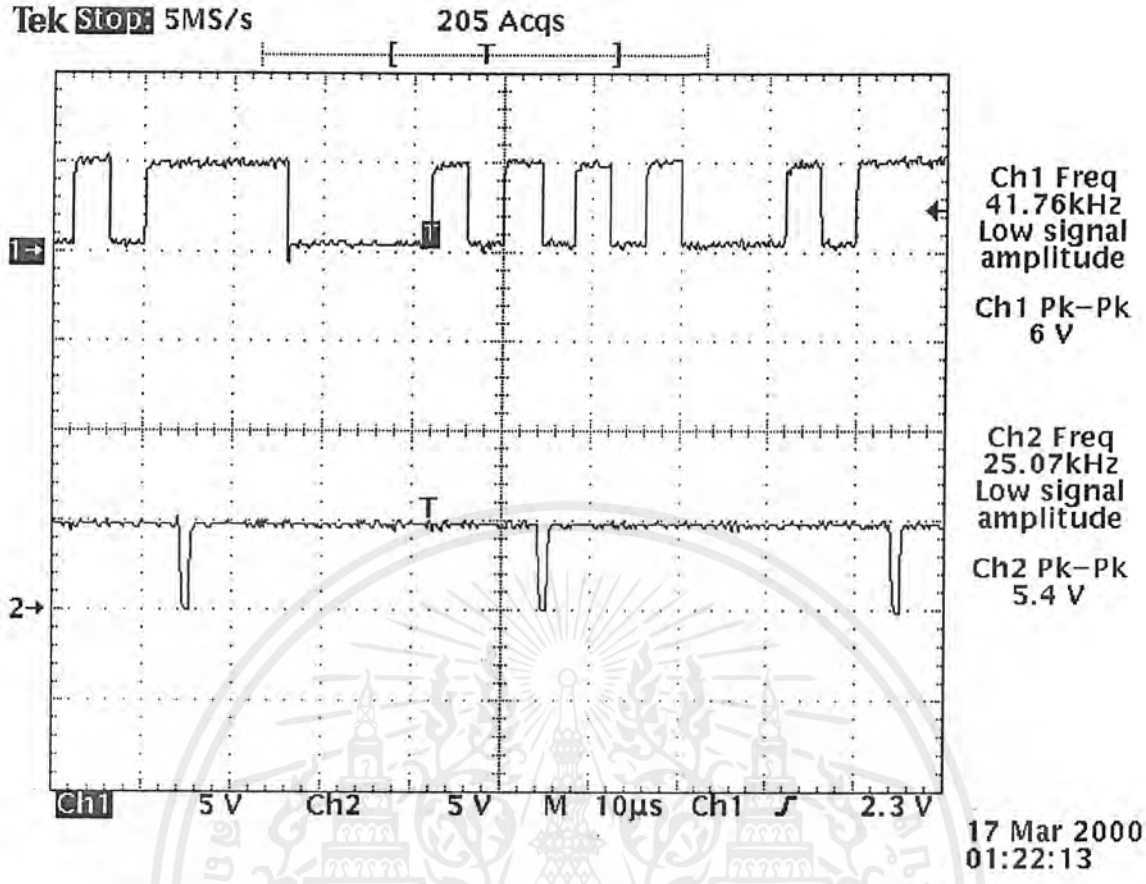
4.1.4 วงจรตัวแปลงอนาล็อกเป็นดิจิตอลและวงจรชิฟรีจีสเตอร์



รูปที่ 4.5 ผลการทดลองวงจร ตัวเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล และวงจรชิฟรีจีสเตอร์

จากรูปที่ 4.5 เป็นผลการทดลองจากวงจร ตัวเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล และวงจรชิฟรีจีสเตอร์ แต่เนื่องจากเอาท์พุตของ ตัวเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล จะเป็นแบบขนาน ดังนั้นเราจึงไม่สามารถทำการบันทึกผลออกมาให้เห็นได้ จึงทำการบันทึกผลหลังจากออกจากชิฟรีจีสเตอร์เทียบกับสัญญาณนาฬิกา 250 kHz ซึ่งสร้างขึ้นมาจากวงจรสร้างสัญญาณนาฬิกา 250kHz นั่นเอง แต่เนื่องจากสัญญาณนาฬิกานี้จะต้องทำงานหลังจากได้มีการโหลดข้อมูลเข้ามาแล้วดังนั้นจึงต้องทำการกลับสัญญาณนาฬิกาโดยการใช้นอท เกท ทำการกลับสัญญาณก่อน โดยจากรูปที่ 4.5 จะเป็นข้อมูลดิจิตอลที่ได้ออกมาจาก ตัวเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล และเปลี่ยนข้อมูลแบบขนานจาก ตัวเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล ที่นั้นให้เป็นข้อมูลแบบอนุกรมโดยใช้ชิฟรีจีสเตอร์ ในการทำ และเรายังจะทำการเพิ่มสตาร์ทบิตและสต็อบบิตด้วย เพื่อใช้ในการสร้างสัญญาณนาฬิกาให้ซิงโครไนซ์ของทางด้านรับนั่นเอง โดยจากรูปเราทำการส่งข้อมูล 00010110 และและมีสตาร์ทบิตเป็นบิต 1 และมี สต็อบบิตเป็นบิต 0 ตามรูปที่ 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

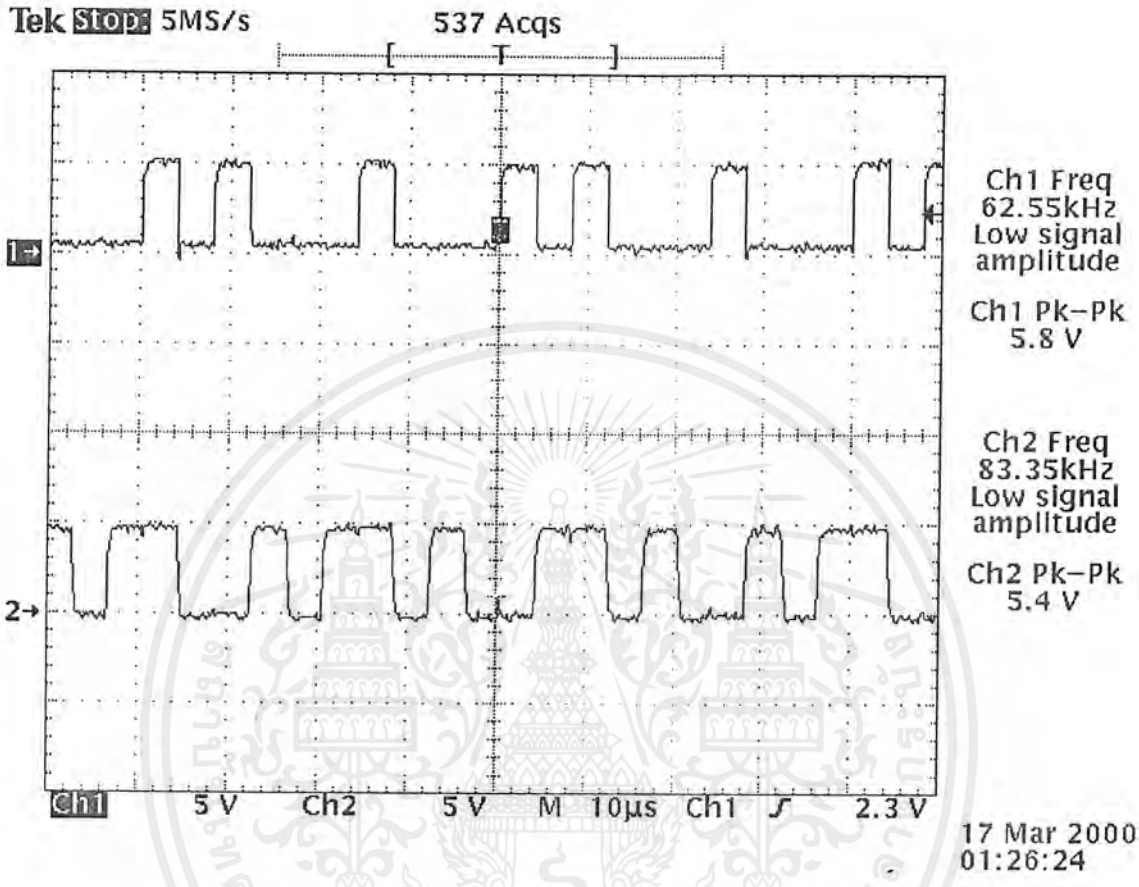


รูปที่ 4.6 ผลการทดลองเปรียบเทียบข้อมูลดิจิตอลที่ได้กับสัญญาณนาฬิกา 25 kHz

จากรูปที่ 4.6 เป็นการเปรียบเทียบสัญญาณข้อมูลดิจิตอลแบบอนุกรม กับ สัญญาณนาฬิกา 25 kHz ที่ใช้ในโหลดข้อมูลของชิฟรีจีสเตอร์ จากรูปที่ 4.6 รูปข้างบนจะเป็นรูปของสัญญาณข่าวสารข้อมูลที่ได้ออกมาจากเอาท์พุตของชิฟรีจีสเตอร์ และรูปข้างล่างคือสัญญาณนาฬิกาที่ใช้ในการโหลดข้อมูลแบบขนานจาก ตัวเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล โดยจะทำการโหลดข้อมูลเข้าหลังจากมีสตาร์ทบิตที่เป็นบิต 1 ดังรูปที่ 4.6 แล้วจึงทำการ เลื่อนข้อมูลที่ทำการโหลดเข้ามาจาก ตัวเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล ออกไปทีละ 1 บิต แล้วค่อยทำการใส่สต็อบบิตที่เป็นบิต 0 เข้าไป ดังนั้นเราจะได้สัญญาณข่าวสารข้อมูลดังรูปข้างบน ซึ่งจะมีสตาร์ทบิตและสต็อบบิตอยู่ในสัญญาณด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.5 วงจรแปลงสัญญาณข่าวสารข้อมูลให้เป็นสัญญาณ DPSK

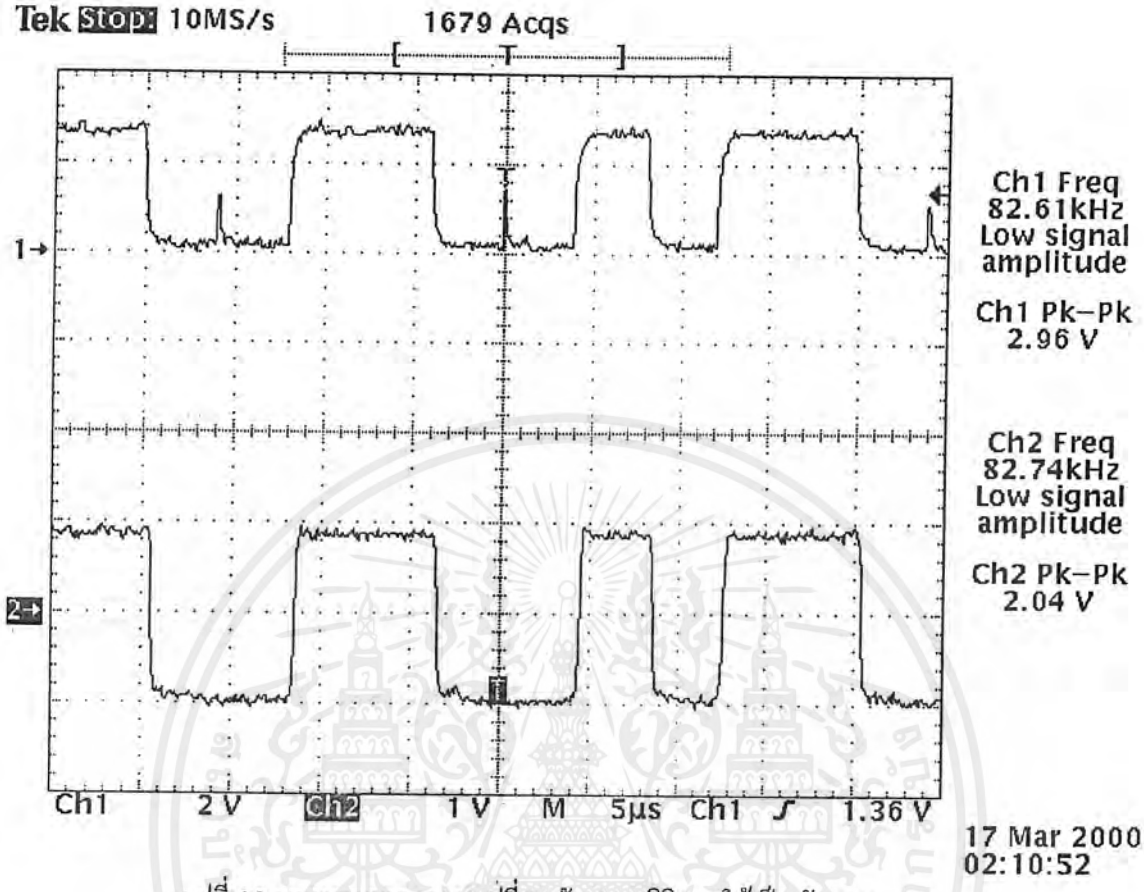


รูปที่ 4.7 ผลการทดลองวงจรแปลงสัญญาณข่าวสารข้อมูลให้เป็นสัญญาณ DPSK

เมื่อเราได้สัญญาณข่าวสารข้อมูลแบบดิจิตอลแล้วเราจะนำสัญญาณนี้มาทำการเปลี่ยนให้เป็นสัญญาณที่เป็นสัญญาณแบบ DPSK โดยการหน่วงเวลาของสัญญาณทางเอาท์พุต 1 บิต แล้วป้อนกลับมาเปรียบเทียบกับสัญญาณอินพุตที่ป้อนเข้ามาเราก็จะได้สัญญาณออกมาดังรูปที่ 4.7 โดยรูปบนจะเป็นข่าวสารข้อมูลแบบดิจิตอล ส่วนรูปล่างจะเป็นรูปของสัญญาณเมื่อได้รับการเปลี่ยนให้เป็นสัญญาณแบบ DPSK แล้ว ซึ่งการทำงานจะเหมือนกับการเปลี่ยนสัญญาณแบบ NRZ(S) นั่นเองคือเอาท์พุตจะเปลี่ยนแปลงก็ต่อเมื่ออินพุตที่เข้าเป็นบิต 0 เอาท์พุตจึงจะเปลี่ยนสถานะซึ่งจะมีผลเหมือนกับ DPSK ซึ่งจากรูปที่ 4.7 นี้จะเห็นว่าสัญญาณรูปข้างล่างจะเปลี่ยนสถานะเมื่อสัญญาณรูปข้างบนเป็นบิต 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.6 วงจรเปลี่ยนสัญญาณดิจิตอลให้เป็นสัญญาณ AC

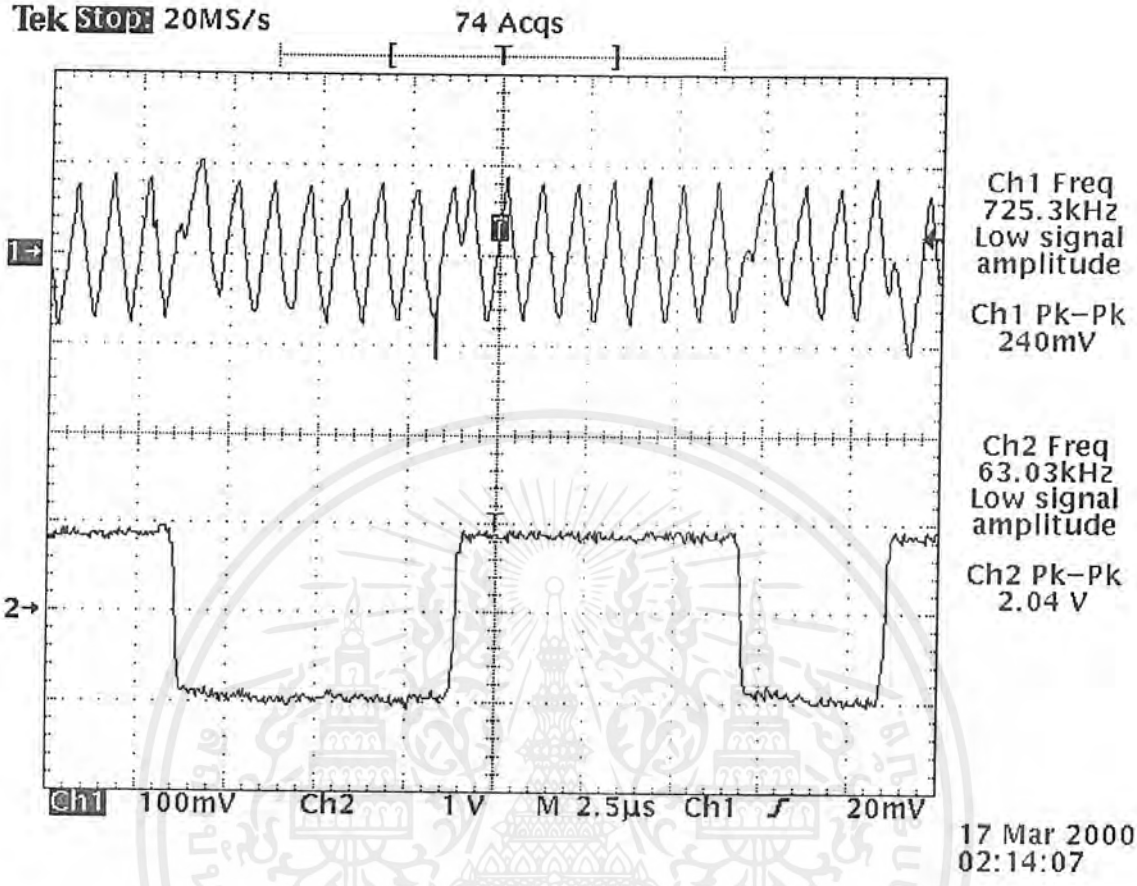


รูปที่ 4.8 ผลการทดลองวงจรเปลี่ยนสัญญาณดิจิตอลให้เป็นสัญญาณ AC

เมื่อเราได้สัญญาณที่เป็นสัญญาณแบบ DPSK มาแล้ว ก่อนที่เราจะนำเข้าวงจร มอดูเลต นั้นเราจะต้องทำการเปลี่ยนสัญญาณที่เป็นดิจิตอลที่มีระดับแรงดัน 0 ถึง 5 โวลท์นั้นให้กลายเป็นสัญญาณที่เป็น AC คือ มีระดับแรงดันด้านบวกและด้านลบ แล้วยังต้องควบคุมให้สัญญาณนั้นมีขนาดแรงดันยอดถึงยอด (Peak to Peak) มีขนาดเล็กๆ ด้วย เนื่องจากถ้าให้สัญญาณมีขนาดแรงดันยอดถึงยอด สูงแล้วจะทำให้เกิดเวลาไต่ขึ้น(Rise Time) สูงเนื่องจากอุปกรณ์ที่เราใช้ในการแปลงนั้นมีอัตราสรู(Slew Rate) ต่ำไม่สูงมากนัก เราจึงต้องควบคุมให้ระดับของแรงดันยอดถึงยอด มีขนาดต่ำๆนั่นเอง จากรูปที่ 4.8 เป็นผลการทดลองที่ทำการเปลี่ยนแรงดันแล้ว โดยทำการเปลี่ยนแรงดันเป็น + 1 โวลท์ ถึง –1 โวลท์ โดยรูปข้างบนจะเป็นสัญญาณที่ยังไม่ทำการเปลี่ยนจะมีขนาด 0 โวลท์ ถึง 5 โวลท์ แต่เมื่อทำการเปลี่ยนแล้วจะได้ดังรูปข้างล่าง โดยจะมีระดับแรงดันเป็น + 1 โวลท์ ถึง – 1 โวลท์ จะเห็นว่า เวลาไต่ขึ้นจะมีค่าน้อยไม่ทำให้รูปเกิดการเปลี่ยนแปลงมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.7 วงจรมอดูเลต



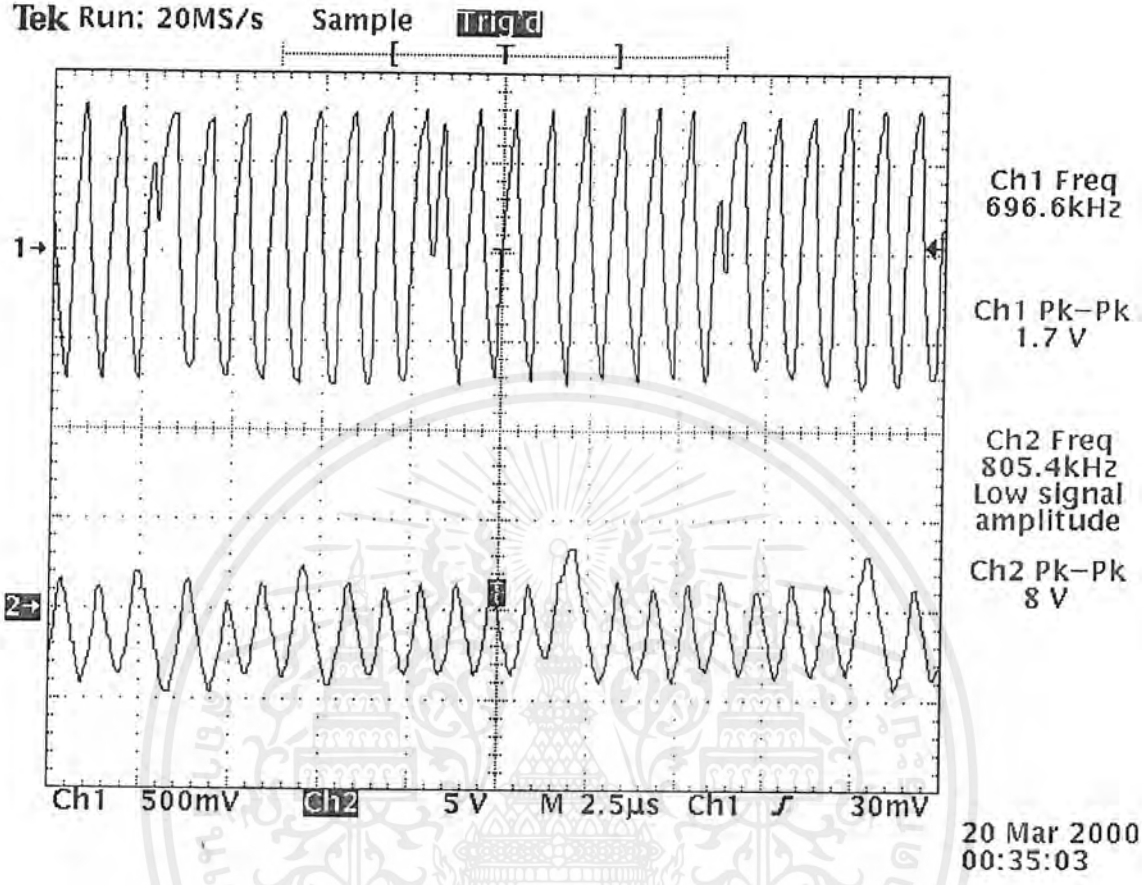
รูปที่ 4.9 ผลการทดลองวงจรมอดูเลต

เมื่อเราได้สัญญาณที่เป็น DPSK ที่เป็นดิจิตอลแล้ว เราจะต้องนำสัญญาณนั้นมาทำการมอดูเลตกับสัญญาณพาหะความถี่ 1 MHz จากรูปที่ 4.9 รูปข้างล่างเป็นสัญญาณข่าวสารข้อมูลที่ได้เปลี่ยนมาแล้ว และรูปข้างบนเป็นสัญญาณ DPSK ได้ทำการมอดูเลตจากสัญญาณข่าวสารข้อมูลด้านล่างกับสัญญาณพาหะความถี่ 1 MHz โดยจากรูปที่ 4.9 เราจะเห็นว่าข่าวสารข้อมูลเปลี่ยนสถานะจาก 0 เป็น 1 หรือจาก 1 เป็น 0 นั้น เฟสของสัญญาณพาหะจะเกิดการเปลี่ยนแปลงไป 180 องศา หรือ กลับเฟสกันนั่นเอง ดังนั้นเราก็จะได้สัญญาณ DPSK ออกมาพร้อมที่จะส่งออกไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 เครื่องรับ DSPK

4.2.1 วงจรหน่วงเวลาสัญญาณ 1 บิต

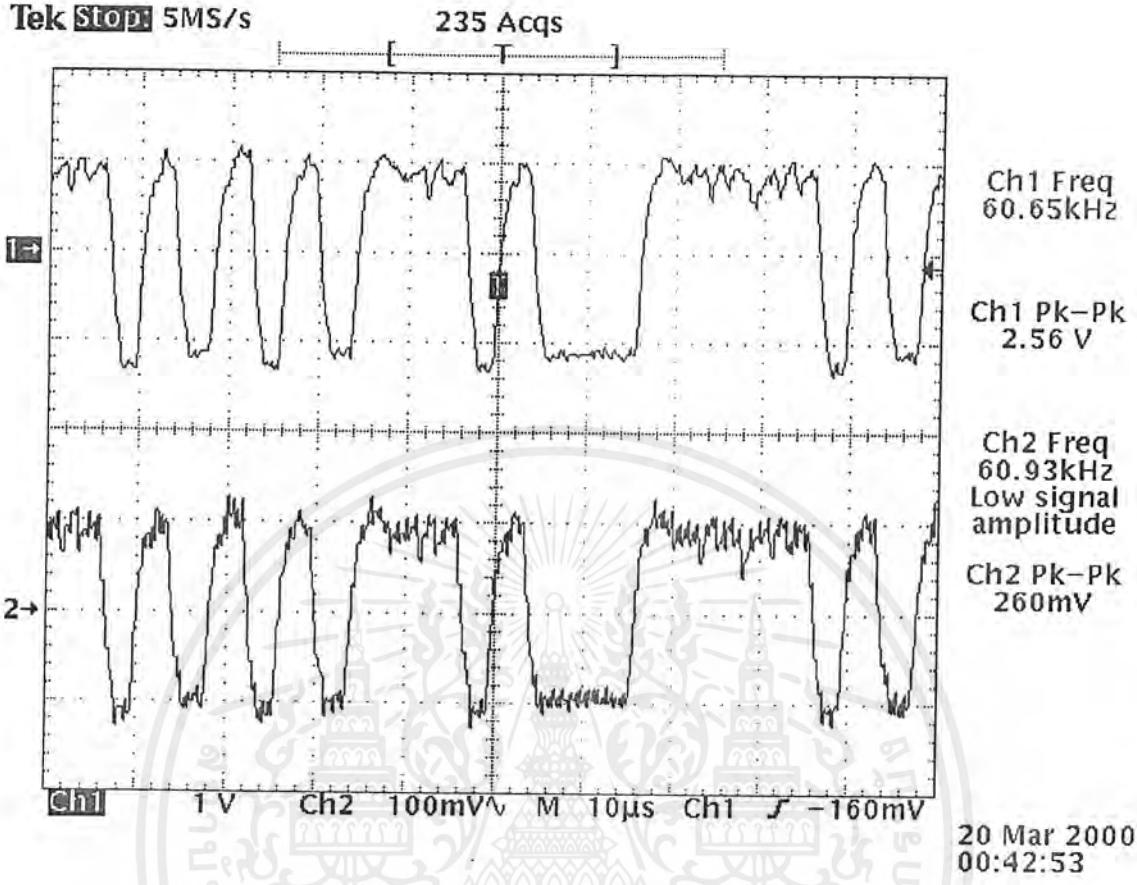


รูปที่ 4.10 ผลการทดลองวงจรหน่วงเวลาสัญญาณ 1 บิต

ทางด้านรับเมื่อเรารับสัญญาณ DPSK เข้ามาแล้วก่อนอื่นเราต้องทำการหน่วงเวลาของสัญญาณ DSPK ไป 1 บิตก่อน โดยใช้วงจร เลื่อนเฟส ซึ่งเมื่อเราทำ เลื่อนเฟส แล้วเราจะได้สัญญาณออกมาดังรูปที่ 4.10 ซึ่งรูปข้างบนนั้นจะเป็นรูปของสัญญาณ DPSK ที่เรารับมาได้ ส่วนรูปข้างล่างนั้นจะเป็นรูปของสัญญาณที่ถูกหน่วงออกไป 1 บิต ซึ่งสัญญาณที่ได้ออกมานั้นจะมีลักษณะเปลี่ยนแปลงไปจากของเดิม แต่ก็ยังคงมีการเปลี่ยนเฟสของสัญญาณอยู่นั่นเอง ซึ่งเมื่อเรานำมาอดูเลตกับสัญญาณที่ไม่ได้ถูกหน่วงเวลาออกไปนั้นเราก็จะได้สัญญาณเดิมกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 วงจรมอดูเลต

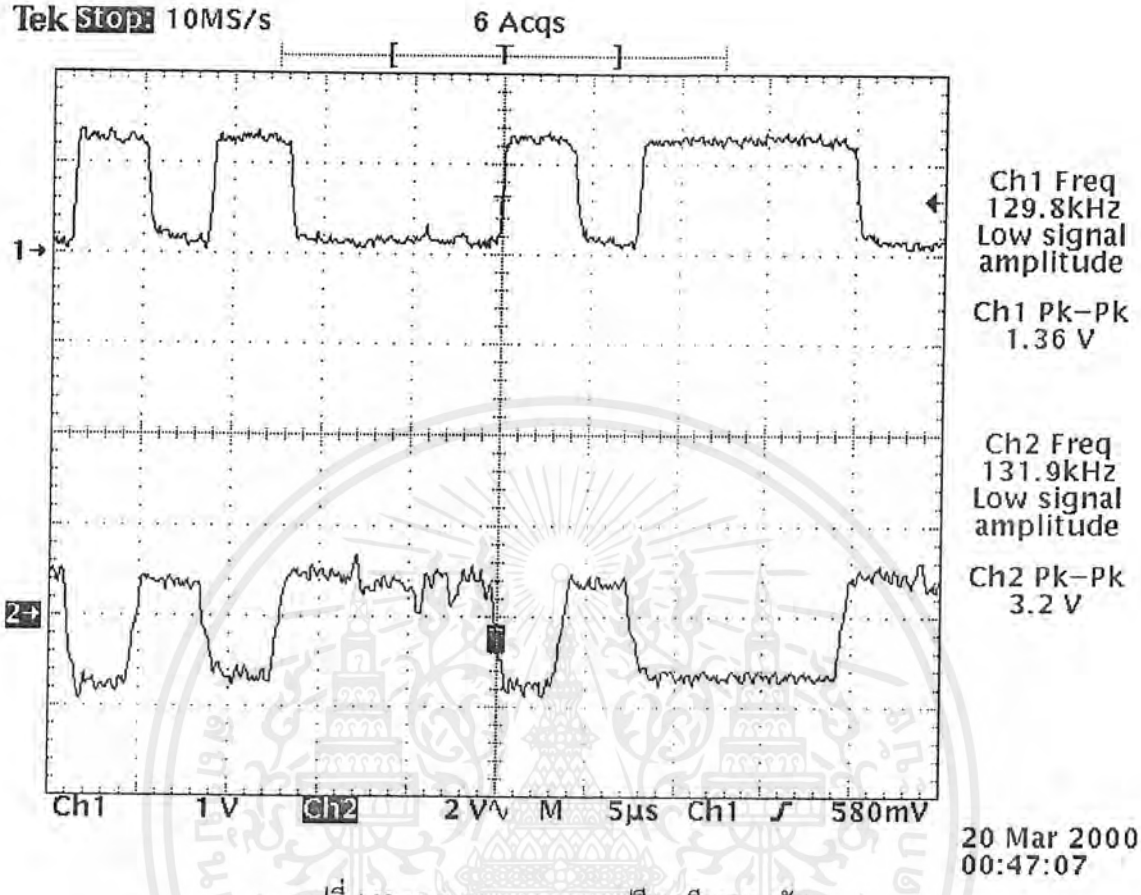


รูปที่ 4.11 ผลการทดลองวงจรมอดูเลต

จากรูปที่ 4.11 เป็นเอาท์พุตที่ได้จากวงจรมอดูเลต โดยรูปข้างล่างจะเป็นเอาท์พุตที่ได้มาจากมอดูเลต จะเห็นว่าสัญญาณไม่ถึงกับเป็นสัญญาณเดิมที่สวยงามแต่ก็ยังคงมีลักษณะของการเป็นพัลซ์อยู่ เนื่องจากสัญญาณที่ได้ออกมานั้นมีขนาดเล็กมาก ประมาณ 260 มิลลิโวลท์ ดังนั้นเราจึงต้องทำการขยายแรงดันให้มีขนาดสูงขึ้นที่จะนำไปเข้าวงจรเปรียบเทียบแรงดันเพื่อสร้างสัญญาณเดิมกลับมาได้ ในรูปข้างบนเป็นสัญญาณที่ได้จากการผ่าน RC กรองความถี่ต่ำผ่าน เพื่อกำจัดสัญญาณที่เป็น ความถี่สูงออกดังนั้นรูปที่ได้ออกมาจึงมีลักษณะเรียบขึ้นแล้วเมื่อเรานำไปขยายก็จะได้สัญญาณดังรูปข้างบนนั่นเองแล้วจะมีระดับแรงดันคือ 2.56 โวลท์ พีคทูพีค ด้วย สามารถนำเข้าวงจรเปรียบเทียบแรงดันได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

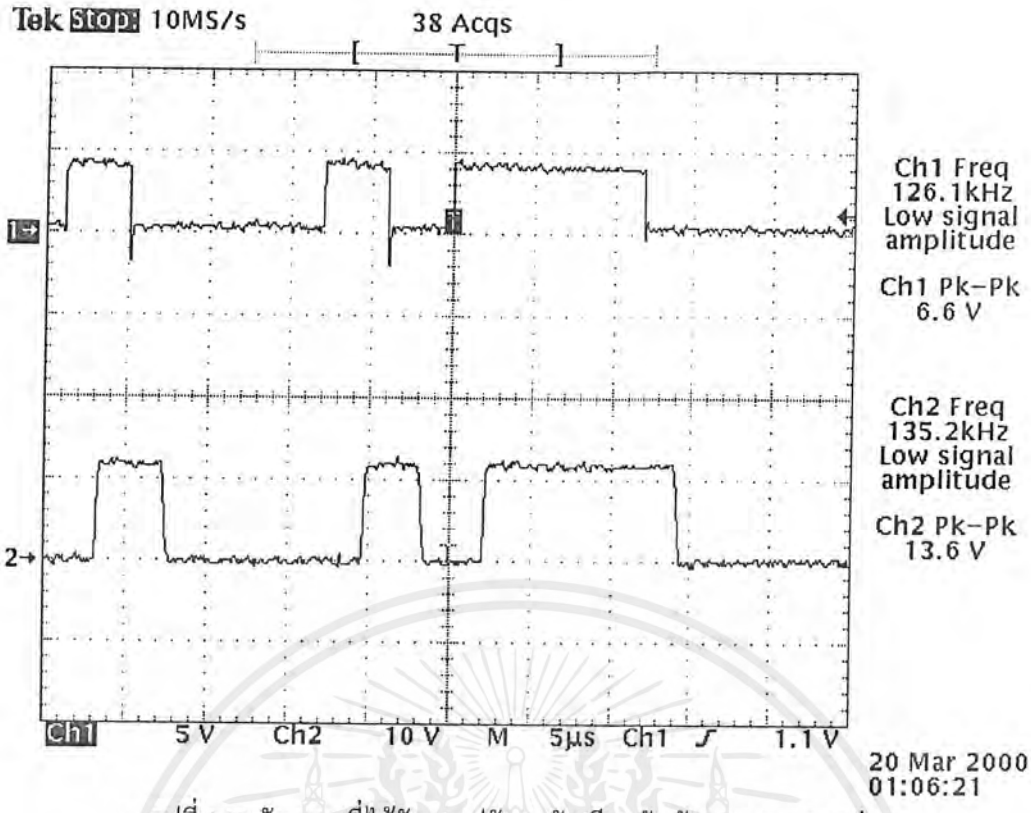
4.2.3 วงจรเปลี่ยนสัญญาณเป็นข่าวสารข้อมูลเดิม



รูปที่ 4.12 ผลการทดลองวงจรเปรียบเทียบแรงดัน

เมื่อเราได้สัญญาณรูปเดิมกลับมาแล้วสัญญาณยังมีความผิดพลาดอยู่มากดังนั้นเราจะทำการสร้างสัญญาณข่าวสารข้อมูลเดิมกลับมา โดยการใช้วงจรเปรียบเทียบแรงดัน ซึ่งในรูปที่ 4.12 รูปข้างล่างจะเป็นสัญญาณที่เราได้ทำการขยายแล้วจะเห็นว่าสัญญาณที่ได้นั้นยังคงมีความเพี้ยนอยู่บ้าง และในรูปข้างบนจะเป็นสัญญาณที่ผ่านวงจรเปรียบเทียบแรงดันแล้วโดยจะมีระดับแรงดันอ้างอิงที่เราสามารถปรับได้ เมื่ออินพุตเข้ามามีค่าแรงดันมากกว่า แรงดันอ้างอิงแล้วสัญญาณเอาท์พุตที่ได้นั้นจะมีค่าเป็นแรงดันบวกเท่ากับแหล่งจ่ายไฟบวกที่จ่ายให้กับ ออปแอมป์ ที่เราใช้ แต่ถ้าแรงดันอินพุตที่เขามามีค่าน้อยกว่าแรงดันอ้างอิงที่เข้ามานั้น เอาท์พุตที่ได้จะมีค่าเท่ากับแหล่งจ่ายไฟลบที่จ่ายให้กับ ออปแอมป์ ในรูปข้างบนจะเป็นผลการทดลองที่ได้เมื่อทำการเปรียบเทียบแล้วจะเห็นว่าสัญญาณที่ได้ออกมานั้นมีลักษณะดีว่า สัญญาณเดิม คือลักษณะของความเป็นสัญญาณดิจิตอลมากขึ้น แต่สัญญาณออกนั้นยังมีขนาดเล็ก ยังไม่สามารถนำไปเข้าเกท ต่างๆ ในวงจรต่อๆไปได้ดังนั้นเราจึงต้องทำการดังนั้นจึงต้องทำการขยายสัญญาณ โดยเราจะใช้การเปรียบเทียบแรงดันเช่นเดิมเพื่อสร้างสัญญาณที่ได้ให้ดีขึ้นกว่าเก่าอีกด้วย ดังรูปที่ 4.13

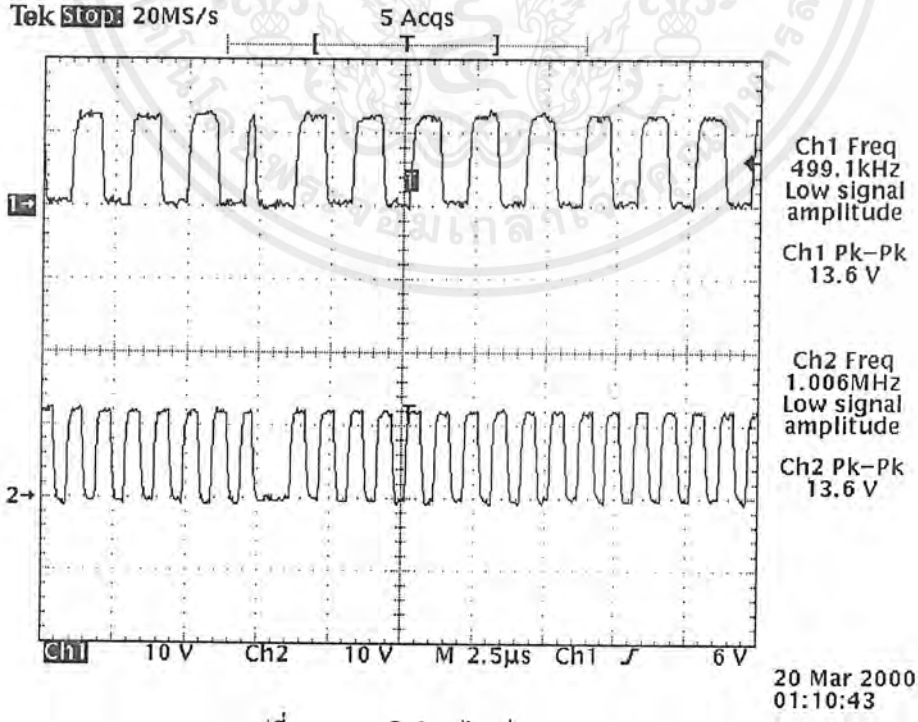
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 สัญญาณที่ได้รับการปรับระดับเทียบกับสัญญาณทางภาคส่ง

จากรูปที่ 4.13 เป็นรูปของสัญญาณที่เรารับมาแล้วกู้สัญญาณกลับมาได้โดยรูปข้างล่างแสดงสัญญาณที่ที่เราสามารถกู้กลับมาได้ เทียบกับสัญญาณที่ส่งมา โดยรูปข้างบนนั้นเป็นสัญญาณที่เราส่งมาจากทางภาคส่ง ซึ่งเราจะเห็นว่าสัญญาณที่เรากู้กลับมาได้นั้นจะมีความใกล้เคียงกับสัญญาณเดิมมาก ดังนั้นผลที่ได้จึงเป็นที่น่าพอใจ

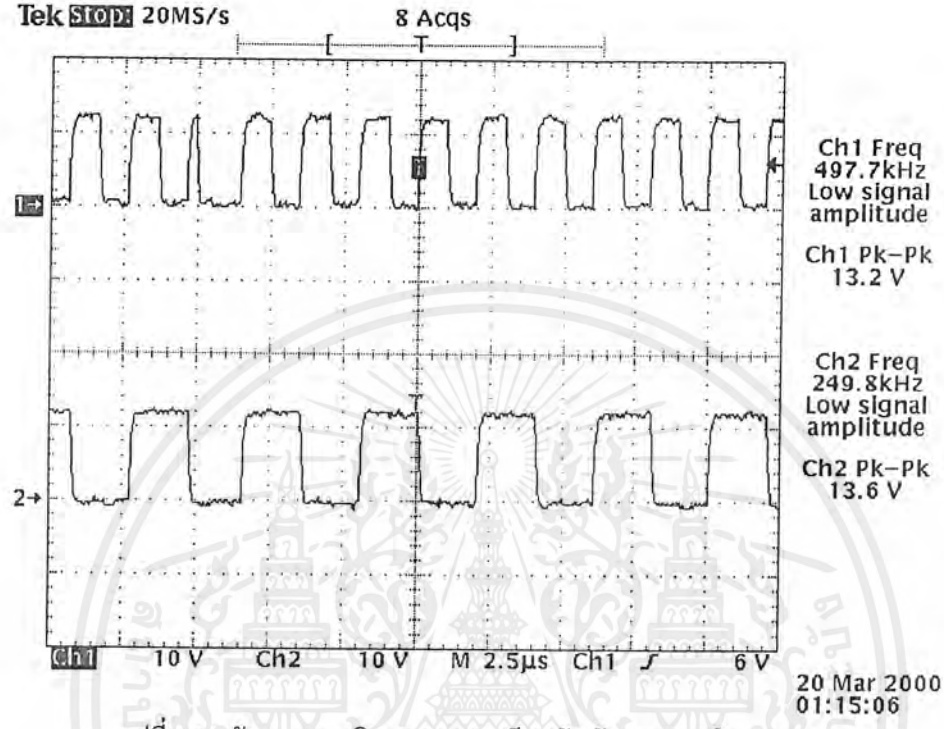
4.2.4 การซิงโครไนซ์สัญญาณนาฬิกา



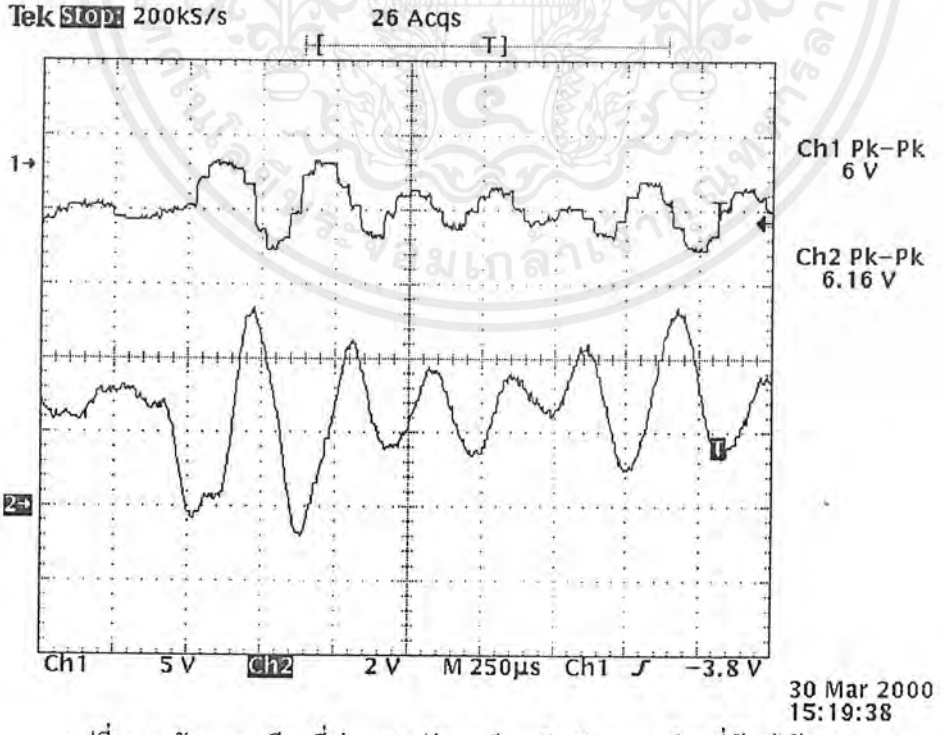
รูปที่ 4.14 การซิงโครไนซ์สัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปเป็นการสร้างสัญญาณนาฬิกาโดยรูปข้างล่างมีความถี่ 1MHz ส่วนรูปข้างบนนั้นเป็นสัญญาณนาฬิกาความถี่ 500 MHz ซึ่งสัญญาณทั้ง 2 ได้ผ่านมาซิงโครไนซ์สัญญาณมาแล้วเราจะนำสัญญาณนาฬิกาความถี่ 500 MHz ที่ได้นี้มาสร้างสัญญาณนาฬิกา 250 kHz ซึ่งสัญญาณนาฬิกาที่ได้นี้จะผ่านการซิงโครไนซ์สัญญาณแล้วโดยแสดงดังรูปที่ 4.15



รูปที่ 4.15 สัญญาณนาฬิกา 250 kHz เทียบกับสัญญาณนาฬิกา 500 kHz



รูปที่ 4.16 สัญญาณเสียงที่ส่งมา(รูปล่าง)เทียบกับสัญญาณเสียงที่กู้มาได้(รูปบน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.16 นั้นเราจะเห็นว่าสัญญาณที่ได้นั้นจะมีการกลับเฟสของสัญญาณกันอยู่ 180 องศา โดยสัญญาณรูปล่างคือ สัญญาณเสียงที่เราทำการส่งมา และรูปล่างจะเป็นสัญญาณเสียงที่เรากู้มาได้ซึ่งจากรูปจะเห็นได้ว่าสัญญาณทั้งสองนั้นกลับเฟสกันอยู่ซึ่งเราสามารถนำสัญญาณที่กู้กลับมาได้ให้กลายเป็นสัญญาณตัวเดิมได้โดยผ่านวงจรนอนอินเวิร์สติ้งแอมป์ เราก็จะได้สัญญาณเสียงที่มีรูปเดิมกลับได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลและวิจารณ์

5.1 สรุปผลการทดลอง

เครื่องส่งและรับโดยวิธีการส่งแบบ DPSK ที่ได้ทำการสร้างขึ้นมานั้น ซึ่งเป็นไปตามที่ได้ตั้งไว้ แต่ในการส่งสัญญาณเสียงนั้นเมื่อได้ทำการทดลองแล้วปรากฏว่าเสียงที่รับได้นั้นไม่ค่อยดีเท่าที่ควร เนื่องจากทางภาคส่งนั้นในภาคปรีไมค์ (Pre mic) นั้นมีความถี่สูงมารบกวนด้วย และเมื่อเรามาผ่านวงจรกรองความถี่ต่ำสัญญาณนั้นสัญญาณที่ได้มาก็ได้ถูกรบกวนจากความถี่สูงเช่นกัน แต่สัญญาณที่ได้ถือว่ายังสามารถฟังได้ แต่ถ้าเราทำการส่งสัญญาณไซน์ที่ออกจากตัวกำเนิดสัญญาณนั้นจะดีกว่าการส่งสัญญาณที่เป็นเสียง

5.2ปัญหาที่เกิดขึ้น

5.2.1 วงจรบาลานซ์มอดูเลชั่น

เมื่อทำการทดลองวงจรบาลานซ์มอดูเลชั่นแล้ว ปรากฏว่าประสบปัญหาคือสัญญาณที่ได้ออกมานั้นมีการโด่งขึ้นไปในช่วงที่เกิดการเปลี่ยนเฟสของสัญญาณ ซึ่งก็ได้ทำการแก้ไขปัญหานั้นได้โดยการต่อค่าความต้านทานและค่าคาปาซิเตอร์เข้าไปเป็นวงจรกรองความถี่สูง สัญญาณเมื่อผ่านกรองความถี่สูงแล้วสัญญาณที่ได้ออกมาช่วงที่โด่งขึ้นไปนั้นได้หายไป ดังนั้นสัญญาณที่ได้ออกมานั้นจึงกลายเป็นสัญญาณ DPSK ที่ได้ตามผลการทดลอง

5.2.2 วงจรหน่วงเวลาหนึ่งบิต

เมื่อทำการทดลองวงจรหน่วงเวลาหนึ่งบิตโดยเราได้ใช้วงจรกรองความถี่ผ่านหมด (All Pass Filter) เพื่อทำการเลื่อนเฟสของสัญญาณ โดยเราจะทำการเลื่อนเฟสของสัญญาณไป 1440 องศา โดยจะต่อออปแอมป์ทั้งหมด 16 ตัว ในการคำนวณ แต่เมื่อทำการทดลองจริงปรากฏว่าเฟสของสัญญาณที่เปลี่ยนนั้นไปมีผลทำให้สัญญาณในช่วงที่เกิดการเปลี่ยนเฟสของสัญญาณมีความผิดพลาดของสัญญาณ ซึ่งไม่สามารถทำการแก้ไขได้ แต่เมื่อนำมาผ่านวงจรดีมอดูเลตแล้วปรากฏว่าผลของสัญญาณที่ได้ออกมานั้นสามารถนำไปกู้สัญญาณเดิมกลับมาได้ แม้ว่าสัญญาณที่ได้ออกมานั้นจะมีความเพี้ยนช่วงที่เปลี่ยนเฟสของสัญญาณอยู่บ้าง

5.3 การข้อเสนอแนะ

โดยเครื่องส่งนี้สามารถเพิ่มความสามารถของเครื่องส่งและรับได้ให้สามารถใช้ได้กับคอมพิวเตอร์ได้ด้วย และปรับปรุงทำให้สามารถส่งข้อมูลได้มากขึ้น โดยใช้ความเร็วเท่าเดิมเช่นการใช้ ADPCM เข้าช่วยเป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1.รศ.ดร.วิวัฒน์ กิรานนท์, วิศวกรรมสื่อสาร Communication Engineering,อักษรสยามการพิมพ์,2 มกราคม 2540,พิมพ์ครั้งที่ 1

2.Paul R. Gray/Rebert G.Meyer,Analysis and Design of Analog Integrated Circuit, John Wiley & Sons Inc.,Third Edition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1999

ADC0820
8-Bit High Speed µP Compatible A/D Converter with Track/Hold Function

General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5 µs conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/µs.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

Key Specifications

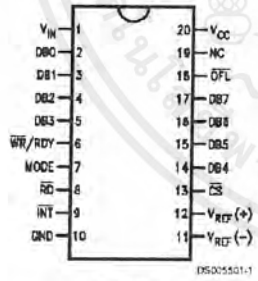
- Resolution: 8 Bits
- Conversion Time: 2.5 µs Max (RD Mode); 1.5 µs Max (WR-RD Mode)
- Low Power: 75 mW Max
- Total Unadjusted Error: ±½ LSB and ± 1 LSB

Features

- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply—5 V_{DC}
- Easy interface to all microprocessors, or operates stand-alone
- Latched TRI-STATE® output
- Logic inputs and outputs meet both MOS and T^2L voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V_{CC}
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package
- 20-pin shrink small outline package (SSOP)

Connection and Functional Diagrams

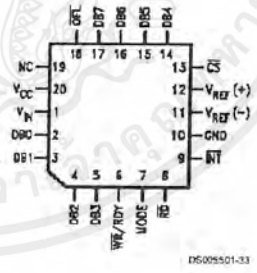
Dual-In-Line, Small Outline and SSOP Packages



DS005501-1

Top View

Molded Chip Carrier Package



DS005501-33

TRI-STATE® is a registered trademark of National Semiconductor Corporation

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection and Functional Diagrams (Continued)

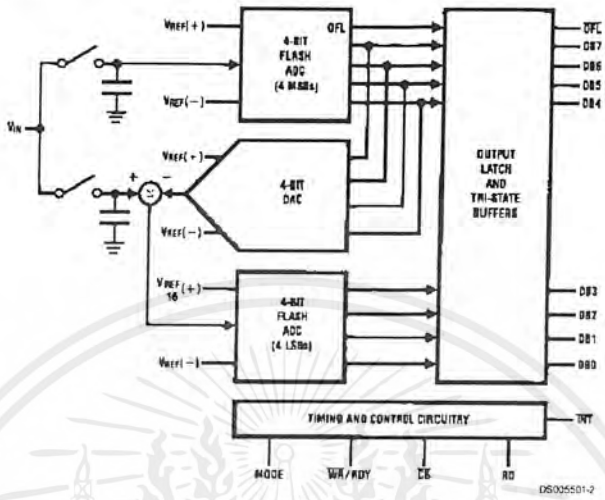


FIGURE 1.

Ordering Information

Part Number	Total Unadjusted Error	Package	Temperature Range
ADC0820BCV	±½ LSB	V20A — Molded Chip Carrier	0˚C to +70˚C
ADC0820BCWM		M20B — Wide Body Small Outline	0˚C to +70˚C
ADC0820BCN		N20A — Molded DIP	0˚C to +70˚C
ADC0820CCJ	±1 LSB	J20A — Cerdip	−40˚C to +85˚C
ADC0820CCWM		M20B — Wide Body Small Outline	0˚C to +70˚C
ADC0820CIWM		M20B — Wide Body Small Outline	−40˚C to +85˚C
ADC0820CCN		N20A — Molded DIP	0˚C to +70˚C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1, 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC})	10V
Logic Control Inputs	−0.2V to V_{CC} +0.2V
Voltage at Other Inputs and Output	−0.2V to V_{CC} +0.2V
Storage Temperature Range	−65˚C to +150˚C
Package Dissipation at T_A = 25˚C	875 mW
Input Current at Any Pin (Note 5)	1 mA
Package Input Current (Note 5)	4 mA
ESD Susceptability (Note 9)	1200V
Lead Temp. (Soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260˚C
Dual-In-Line Package (ceramic)	300˚C
Surface Mount Package	
Vapor Phase (60 sec.)	215˚C
Infrared (15 sec.)	220˚C

Operating Ratings (Notes 1, 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0820CCJ	−40˚C≤T_A≤+85˚C
ADC0820CIWM	−40˚C≤T_A≤+85˚C
ADC0820BCN, ADC0820CCN	0˚C≤T_A≤70˚C
ADC0820BCV	0˚C≤T_A≤70˚C
ADC0820BCWM, ADC0820CCWM	0˚C≤T_A≤70˚C
V_{CC} Range	4.5V to 8V

Converter Characteristics

The following specifications apply for RD mode (pin 7=0), V_{CC}=5V, $V_{REF}(+)$=5V, and $V_{REF}(-)$=GND unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}**; all other limits $T_A=T_J$=25˚C.

Parameter	Conditions	ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820BCWM ADC0820CCWM, ADC0820CIWM			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			8			8	8	Bits
Total Unadjusted Error (Note 3)	ADC0820BCN, BCWM					±½	±½	LSB
	ADC0820CCJ		±1					LSB
	ADC0820CCN, CCWM, CIWM,					±1	±1	LSB
	ADC0820CCMSA					±1	±1	LSB
Minimum Reference Resistance		2.3	1.00		2.3	1.2		kΩ
Maximum Reference Resistance		2.3	6		2.3	5.3	6	kΩ
Maximum $V_{REF}(+)$ Input Voltage			V_{CC}			V_{CC}	V_{CC}	V
Minimum $V_{REF}(-)$ Input Voltage			GND			GND	GND	V
Minimum $V_{REF}(+)$ Input Voltage			$V_{REF}(-)$			$V_{REF}(-)$	$V_{REF}(-)$	V
Maximum $V_{REF}(-)$ Input Voltage			$V_{REF}(+)$			$V_{REF}(+)$	$V_{REF}(+)$	V
Maximum V_{IN} Input Voltage			V_{CC}+0.1			V_{CC}+0.1	V_{CC}+0.1	V
Minimum V_{IN} Input Voltage			GND−0.1			GND−0.1	GND−0.1	V
Maximum Analog Input Leakage Current	$\overline{CS}$ =V_{CC}							
	V_{IN}=V_{CC}		3			0.3	3	µA
	V_{IN}=GND		−3			−0.3	−3	µA
Power Supply Sensitivity	V_{CC}=5V±5%	±1/16	±¼		±1/16	±¼	±¼	LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics

The following specifications apply for V_{CC}=5V, unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}**; all other limits T_A=T_J=25˚C.

Parameter	Conditions		ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820BCWM ADC0820CCWM, ADC0820CIWM			Limit Units
			Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
$V_{IN(1)}$, Logical "1" Input Voltage	V_{CC}=5.25V	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		**2.0**			2.0	**2.0**	V
		Mode		**3.5**			3.5	**3.5**	V
$V_{IN(0)}$, Logical "0" Input Voltage	V_{CC}=4.75V	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		**0.8**			0.8	**0.8**	V
		Mode		**1.5**			1.5	**1.5**	V
$I_{IN(1)}$, Logical "1" Input Current	$V_{IN(1)}$=5V; $\overline{CS}$, $\overline{RD}$		0.005	**1**		0.005		**1**	µA
	$V_{IN(1)}$=5V; $\overline{WR}$		0.1	**3**		0.1	0.3	**3**	µA
	$V_{IN(1)}$=5V; Mode		50	**200**		50	170	**200**	µA
$I_{IN(0)}$, Logical "0" Input Current	$V_{IN(0)}$=0V; $\overline{CS}$, $\overline{RD}$, $\overline{WR}$, Mode		−0.005	**−1**		−0.005		**−1**	µA
$V_{OUT(1)}$, Logical "1" Output Voltage	V_{CC}=4.75V, I_{OUT}=−360 µA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			**2.4**			2.8	**2.4**	V
	V_{CC}=4.75V, I_{OUT}=−10 µA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			**4.5**			4.6	**4.5**	V
$V_{OUT(0)}$, Logical "0" Output Voltage	V_{CC}=4.75V, I_{OUT}=1.6 mA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY			**0.4**			0.34	**0.4**	V
I_{OUT}, TRI-STATE Output Current	V_{OUT}=5V; DB0–DB7, RDY		0.1	**3**		0.1	0.3	**3**	µA
	V_{OUT}=0V; DB0–DB7, RDY		−0.1	**−3**		−0.1	−0.3	**−3**	µA
I_{SOURCE}, Output Source Current	V_{OUT}=0V; DB0–DB7, $\overline{OFL}$		−12	**−6**		−12	−7.2	**−6**	mA
	$\overline{INT}$		−9	**−4.0**		−9	−5.3	**−4.0**	mA
I_{SINK}, Output Sink Current	V_{OUT}=5V; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY		14	**7**		14	8.4	**7**	mA
I_{CC}, Supply Current	$\overline{CS}$=$\overline{WR}$=$\overline{RD}$=0		7.5	**15**		7.5	13	**15**	mA

AC Electrical Characteristics

The following specifications apply for V_{CC}=5V, t_r=t_f=20 ns, V_{REF}(+)=5V, V_{REF}(−)=0V and T_A=25˚C unless otherwise specified.

Parameter		Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{CRD}, Conversion Time for RD Mode		Pin 7 = 0, ***Figure 2***	1.6		2.5	µs
t_{ACCO}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = 0, ***Figure 2***	t_{CRD}+20		t_{CRD}+50	ns
t_{CWR-RD}, Conversion Time for WR-RD Mode		Pin 7 = V_{CC}; t_{WR} = 600 ns, t_{RD}=600 ns; ***Figures 3, 4***			1.52	µs
t_{WR}, Write Time	Min	Pin 7 = V_{CC}; ***Figures 3, 4***		600		ns
	Max	(Note 4) See Graph	50			µs
t_{RD}, Read Time	Min	Pin 7 = V_{CC}; ***Figures 3, 4*** (Note 4) See Graph		600		ns
t_{ACC1}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = V_{CC}, t_{RD}<t_i; ***Figure 3*** C_L=15 pF	190		280	ns
		C_L=100 pF	210		320	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

The following specifications apply for V_{CC}=5V, t_r=t_f=20 ns, $V_{REF}(+)$=5V, $V_{REF}(-)$=0V and T_A=25°C unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{ACC2}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)	Pin 7 = V_{CC}, t_{RD}>t_i; ***Figure 4***				
	C_L=15 pF	70		120	ns
	C_L=100 pF	90		150	ns
t_{ACC3}, Access Time (Delay from Rising Edge of RDY to Output Valid)	R_{PULLUP} = 1k and C_L = 15 pF	30			ns
t_i, Internal Comparison Time	Pin 7=V_{CC}; ***Figures 4, 5*** C_L=50 pF	800		1300	ns
t_{1H}, t_{0H}, TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	R_L=1k, C_L=10 pF	100		200	ns
$t_{\overline{INTL}}$, Delay from Rising Edge of $\overline{WR}$ to Falling Edge of $\overline{INT}$	Pin 7 = V_{CC}, C_L= 50 pF				
	t_{RD}>t_i; ***Figure 4***			t_i	ns
	t_{RD}<t_i; ***Figure 3***	t_{RD}+200		t_{RD}+290	ns
$t_{\overline{INTH}}$, Delay from Rising Edge of $\overline{RD}$ to Rising Edge of $\overline{INT}$	***Figures 2, 3, 4*** C_L=50 pFc	125		225	ns
$t_{\overline{INTHWR}}$, Delay from Rising Edge of $\overline{WR}$ to Rising Edge of $\overline{INT}$	***Figure 5*** C_L=50 pF	175		270	ns
t_{RDY}, Delay from $\overline{CS}$ to RDY	***Figure 2*** C_L=50 pF, Pin 7 =0	50		100	ns
t_{ID}, Delay from $\overline{INT}$ to Output Valid	***Figure 5***	20		50	ns
t_{RI}, Delay from $\overline{RD}$ to $\overline{INT}$	Pin 7=V_{CC}, t_{RD}<t_i ***Figure 3***	200		290	ns
t_P, Delay from End of Conversion to Next Conversion	***Figures 2, 3, 4, 6*** (Note 4) See Graph			500	ns
Slew Rate, Tracking		0.1			V/µs
C_{VIN}, Analog Input Capacitance		45			pF
C_{OUT}, Logic Output Capacitance		5			pF
C_{IN}, Logic Input Capacitance		5			pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to the GND pin, unless otherwise specified.

Note 3: Total unadjusted error includes offset, full-scale, and linearity errors.

Note 4: Accuracy may degrade if t_{WR} or t_{RD} is shorter than the minimum value specified. See Accuracy vs t_{WR} and Accuracy vs t_{RD} graphs.

Note 5: When the input voltage (V_{IN}) at any pin exceeds the power supply rails (V_{IN} < V^- or V_{IN} > V^+) the absolute value of current at that pin should be limited to 1 mA or less. The 4 mA package input current limits the number of pins that can exceed the power supply boundaries with a 1 mA current limit to four.

Note 6: Typicals are at 25°C and represent most likely parametric norm.

Note 7: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

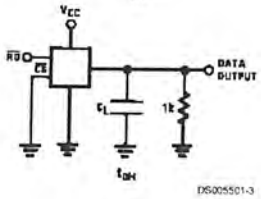
Note 8: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

Note 9: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

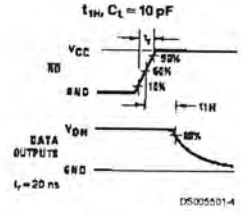
TRI-STATE Test Circuits and Waveforms

t_{1H}



DS005501-3

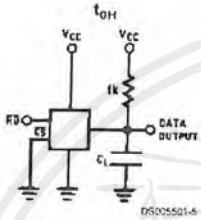
t_{1H}, C_L = 10 pF



DS005501-4

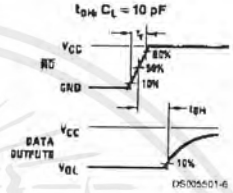
t_r=20 ns

t_{0H}



DS005501-5

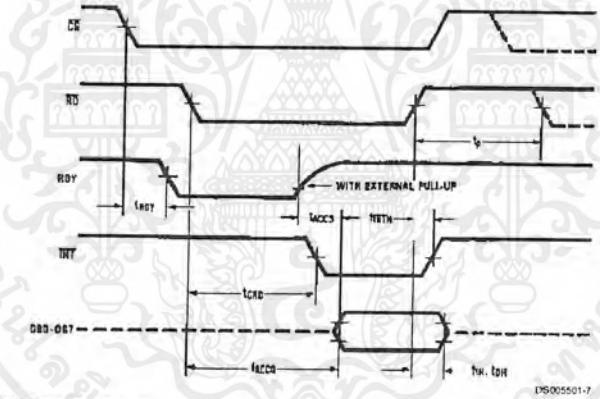
t_{0H}, C_L = 10 pF



DS005501-6

t_r=20 ns

Timing Diagrams



DS005501-7

Note: On power-up the state of $\overline{INT}$ can be high or low.

FIGURE 2. RD Mode (Pin 7 is Low)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagrams (Continued)

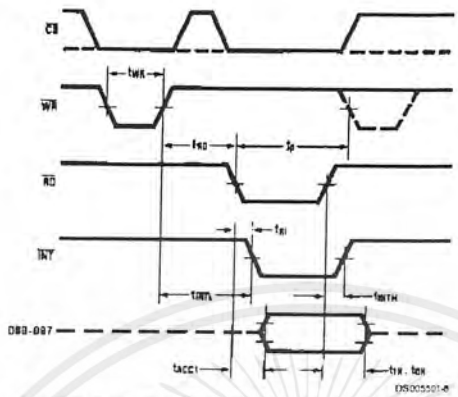


FIGURE 3. WR-RD Mode (Pin 7 is High and $t_{RD}<t_I$)

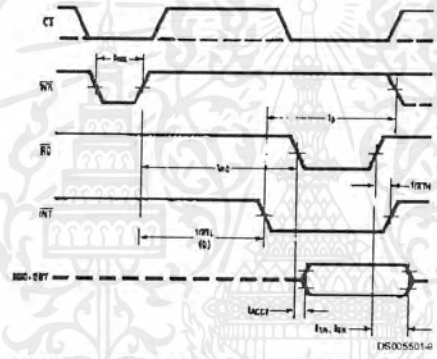


FIGURE 4. WR-RD Mode (Pin 7 is High and $t_{RD}>t_I$)

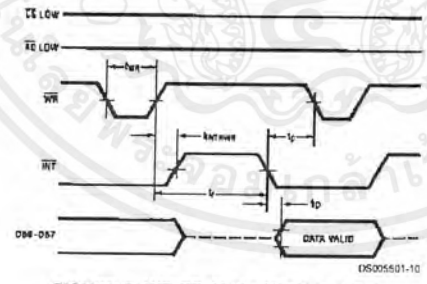
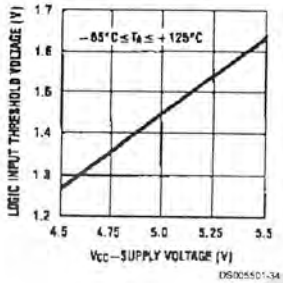


FIGURE 5. WR-RD Mode (Pin 7 is High)
Stand-Alone Operation

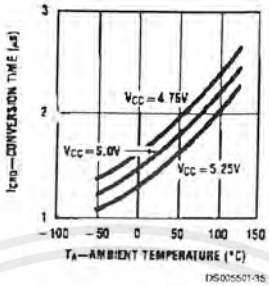
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

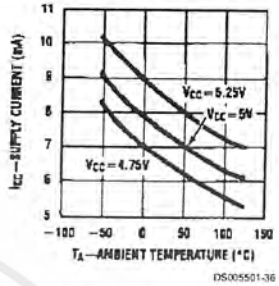
Logic Input Threshold Voltage vs Supply Voltage



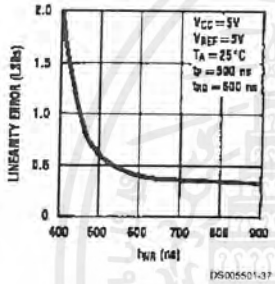
Conversion Time (RD Mode) vs Temperature



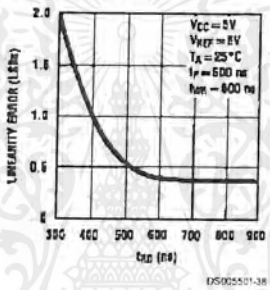
Power Supply Current vs Temperature (not including reference ladder)



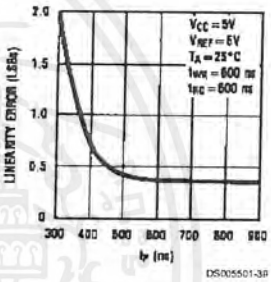
Accuracy vs t_{WR}



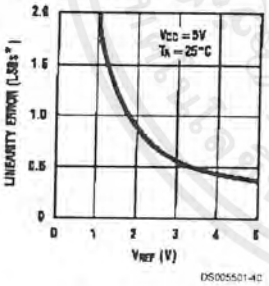
Accuracy vs t_{RD}



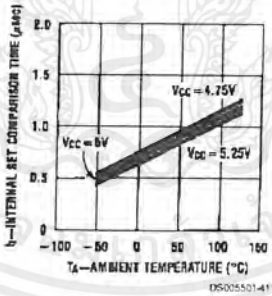
Accuracy vs t_p



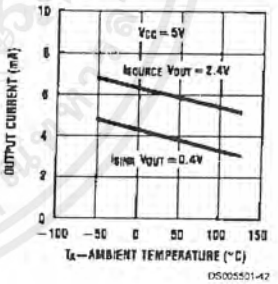
Accuracy vs V_{REF} [$V_{REF}=V_{REF}(+)-V_{REF}(-)$]



t_I, Internal Time Delay vs Temperature



Output Current vs Temperature



*1 LSB = $\frac{V_{REF}}{256}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description of Pin Functions

Pin	Name	Function
1	V_{IN}	Analog input; range $=GND \le V_{IN} \le V_{CC}$
2	DB0	TRI-STATE data output — bit 0 (LSB)
3	DB1	TRI-STATE data output — bit 1
4	DB2	TRI-STATE data output — bit 2
5	DB3	TRI-STATE data output — bit 3
6	$\overline{WR}$ /RDY	**WR-RD Mode** **$\overline{WR}$:** With $\overline{CS}$ low, the conversion is started on the falling edge of $\overline{WR}$. Approximately 800 ns (the preset internal time out, t_i) after the $\overline{WR}$ rising edge, the result of the conversion will be strobed into the output latch, provided that $\overline{RD}$ does not occur prior to this time out (see ***Figures 3, 4***). **RD Mode** **RDY:** This is an open drain output (no internal pull-up device). RDY will go low after the falling edge of $\overline{CS}$; RDY will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system (see ***Figure 2***).
7	Mode	**Mode:** Mode selection input — it is internally tied to GND through a 50 µA current source. **RD Mode:** When mode is low **WR-RD Mode:** When mode is high
8	$\overline{RD}$	**WR-RD Mode** With $\overline{CS}$ low, the TRI-STATE data outputs (DB0-DB7) will be activated when $\overline{RD}$ goes low (see ***Figure 5***). $\overline{RD}$ can also be used to increase the speed of the converter by reading data prior to the preset internal time out (t_i, ~800 ns). If this is done, the data result transferred to output latch is latched after the falling edge of the $\overline{RD}$ (see ***Figures 3, 4***). **RD Mode** With $\overline{CS}$ low, the conversion will start with $\overline{RD}$ going low, also $\overline{RD}$ will enable the TRI-STATE data outputs at the completion of the conversion. RDY going TRI-STATE and $\overline{INT}$ going low indicates the completion of the conversion (see ***Figure 2***).
9	$\overline{INT}$	**WR-RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ will go low, ~800 ns (the preset internal time out, t_i) after the rising edge of $\overline{WR}$ (see ***Figure 4***); or $\overline{INT}$ will go low after the falling edge of $\overline{RD}$, if $\overline{RD}$ goes low prior to the 800 ns time out (see ***Figure 3***). $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see ***Figures 3, 4***). **RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see ***Figure 2***).
10	GND	Ground
11	$V_{REF}(-)$	The bottom of resistor ladder, voltage range: $GND \le V_{REF}(-) \le V_{REF}(+)$ (Note 5)
12	$V_{REF}(+)$	The top of resistor ladder, voltage range: $V_{REF}(-) \le V_{REF}(+) \le V_{CC}$ (Note 5)
13	$\overline{CS}$	$\overline{CS}$ must be low in order for the $\overline{RD}$ or $\overline{WR}$ to be recognized by the converter.
14	DB4	TRI-STATE data output — bit 4
15	DB5	TRI-STATE data output — bit 5
16	DB6	TRI-STATE data output — bit 6
17	DB7	TRI-STATE data output — bit 7 (MSB)
18	$\overline{OFL}$	Overflow output — If the analog input is higher than the $V_{REF}(+)$, $\overline{OFL}$ will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9, 10-bit). This output is always active and does not go into TRI-STATE as DB0–DB7 do.
19	NC	No connection
20	V_{CC}	Power supply voltage

1.0 Functional Description

1.1 GENERAL OPERATION

The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (***Figure 1***). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4 MSBs, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)

ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

1.2 THE SAMPLED-DATA COMPARATOR

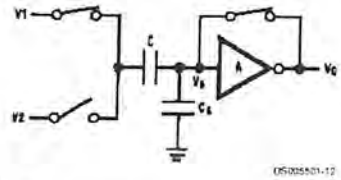
Each comparator in the ADC0820 consists of a CMOS inverter with a capacitively coupled input (***Figures 6, 7***). Analog switches connect the two comparator inputs to the input capacitor (C) and also connect the inverter's input and output. This device in effect now has one differential input pair. A comparison requires two cycles, one for zeroing the comparator, and another for making the comparison.

In the first cycle, one input switch and the inverter's feedback switch (***Figure 6***) are closed. In this interval, C is charged to the connected input (V1) less the inverter's bias voltage (V_B, approximately 1.2V). In the second cycle (***Figure 7***), these two switches are opened and the other (V2) input's switch is closed. The input capacitor now subtracts its stored voltage from the second input and the difference is amplified by the inverter's open loop gain. The inverter's input (V_B') becomes

$$V_B - (V1 - V2)\frac{C}{C+C_S}$$

and the output will go high or low depending on the sign of $V_B'-V_B$.

The actual circuitry used in the ADC0820 is a simple but important expansion of the basic comparator described above. By adding a second capacitor and another set of switches to the input (***Figure 8***), the scheme can be expanded to make dual differential comparisons. In this circuit, the feedback switch and one input switch on each capacitor (Z switches) are closed in the zeroing cycle. A comparison is then made by connecting the second input on each capacitor and opening all of the other switches (S switches). The change in voltage at the inverter's input, as a result of the change in charge on each input capacitor, will now depend on both input signal differences.

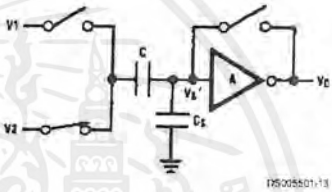


DS005501-12

- $V_O = V_B$
- V on C = V1−V_B
- C_S = stray input node capacitor
- V_B = inverter input bias voltage

Zeroing Phase

FIGURE 6. Sampled-Data Comparator

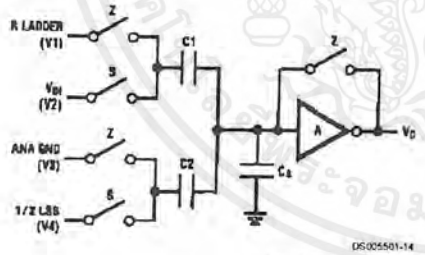


DS005501-13

- $V_B' - V_B = (V2 - V1)\frac{C}{C+C_S}$
- $V_O' = \frac{-A}{C+C_S}[CV2 - CV1]$
- V_O' is dependent on V2 − V1

Compare Phase

FIGURE 7. Sampled-Data Comparator



DS005501-14

FIGURE 8. ADC0820 Comparator (from MS Flash ADC)

$$V_O = \frac{-A}{C1+C2+C_S}[C1(V2-V1)+C2(V4-V3)]$$

$$= \frac{-A}{C1+C2+C_S}[\Delta Q_{C1}+\Delta Q_{CS}]$$

DS005501-45

1.3 ARCHITECTURE

In the ADC0820, one bank of 15 comparators is used in each 4-bit flash A/D converter (***Figure 12***). The MS (most significant) flash ADC also has one additional comparator to detect input overrange. These two sets of comparators operate alternately, with one group in its zeroing cycle while the other is comparing.

When a typical conversion is started, the $\overline{WR}$ line is brought low. At this instant the MS comparators go from zeroing to comparison mode (***Figure 11***). When $\overline{WR}$ is returned high after at least 600 ns, the output from the first set of comparators (the first flash) is decoded and latched. At this point the two 4-bit converters change modes and the LS (least significant) flash ADC enters its compare cycle. No less than 600 ns later, the $\overline{RD}$ line may be pulled low to latch the lower 4 data bits and finish the 8-bit conversion. When $\overline{RD}$ goes low, the flash A/Ds change state once again in preparation for the next conversion.

Figure 11 also outlines how the converter's interface timing relates to its analog input (V_{IN}). In WR-RD mode, V_{IN} is mea-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)

sured while $\overline{WR}$ is low. In RD mode, sampling occurs during the first 800 ns of $\overline{RD}$. Because of the input connections to the ADC0820's LS and MS comparators, the converter has the ability to sample V_{IN} at one instant (Section 2.4), despite the fact that two separate 4-bit conversions are being done. More specifically, when $\overline{WR}$ is low the MS flash is in compare mode (connected to V_{IN}), and the LS flash is in zero mode (also connected to V_{IN}). Therefore both flash ADCs sample V_{IN} at the same time.

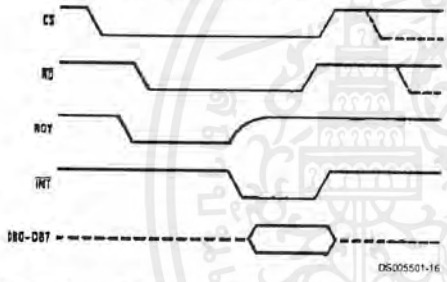
1.4 DIGITAL INTERFACE

The ADC0820 has two basic interface modes which are selected by strapping the MODE pin high or low.

RD Mode

With the MODE pin grounded, the converter is set to Read mode. In this configuration, a complete conversion is done by pulling $\overline{RD}$ low until output data appears. An $\overline{INT}$ line is provided which goes low at the end of the conversion as well as a RDY output which can be used to signal a processor that the converter is busy or can also serve as a system Transfer Acknowledge signal.

RD Mode (Pin 7 is Low)



When in RD mode, the comparator phases are internally triggered. At the falling edge of $\overline{RD}$, the MS flash converter goes from zero to compare mode and the LS ADC's comparators enter their zero cycle. After 800 ns, data from the MS flash is latched and the LS flash ADC enters compare mode. Following another 800 ns, the lower 4 bits are recovered.

WR then RD Mode

With the MODE pin tied high, the A/D will be set up for the WR-RD mode. Here, a conversion is started with the $\overline{WR}$ input; however, there are two options for reading the output data which relate to interface timing. If an interrupt driven scheme is desired, the user can wait for $\overline{INT}$ to go low before reading the conversion result (***Figure 10***). $\overline{INT}$ will typically go low 800 ns after $\overline{WR}$'s rising edge. However, if a shorter conversion time is desired, the processor need not wait for $\overline{INT}$ and can exercise a read after only 600 ns (***Figure 9***). If this is done, $\overline{INT}$ will immediately go low and data will appear at the outputs.

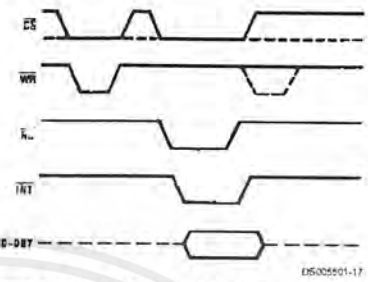


FIGURE 9. WR-RD Mode (Pin 7 is High and $t_{RD}<t_I$)

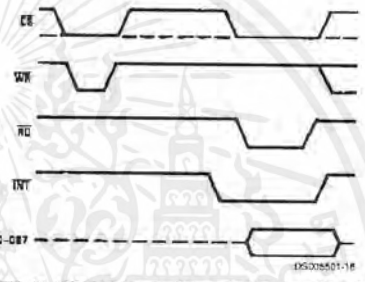
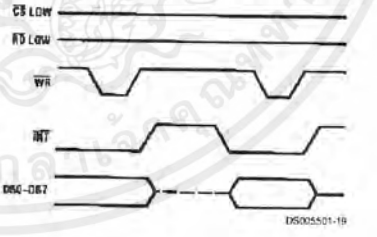


FIGURE 10. WR-RD Mode (Pin 7 is High and $t_{RD}>t_I$)

Stand-Alone

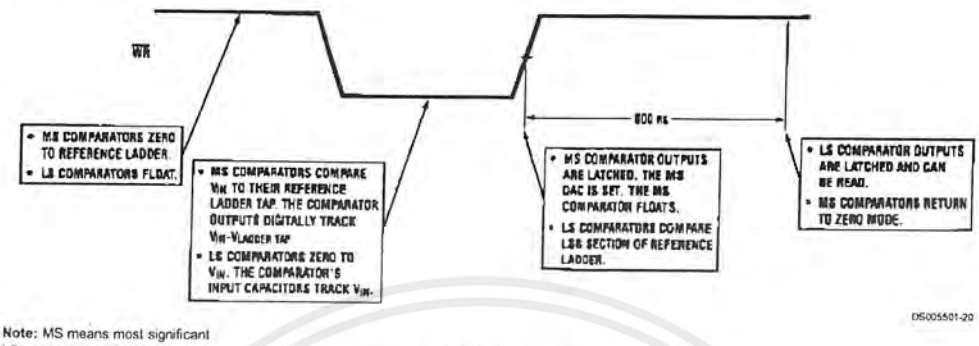
For stand-alone operation in WR-RD mode, $\overline{CS}$ and $\overline{RD}$ can be tied low and a conversion can be started with $\overline{WR}$. Data will be valid approximately 800 ns following $\overline{WR}$'s rising edge.

WR-RD Mode (Pin 7 is High) Stand-Alone Operation



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)



Note: MS means most significant
LS means least significant

FIGURE 11. Operating Sequence (WR-RD Mode)

OTHER INTERFACE CONSIDERATIONS

In order to maintain conversion accuracy, $\overline{WR}$ has a maximum width spec of 50 µs. When the MS flash ADC's sampled-data comparators (Section 1.2) are in comparison mode ($\overline{WR}$ is low), the input capacitors (C, ***Figure 8***) must hold their charge. Switch leakage and inverter bias current can cause errors if the comparator is left in this phase for too long.

Since the MS flash ADC enters its zeroing phase at the end of a conversion (Section 1.3), a new conversion cannot be started until this phase is complete. The minimum spec for this time (t_R, ***Figures 2, 3, 4, 5***) is 500 ns.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Detailed Block Diagram

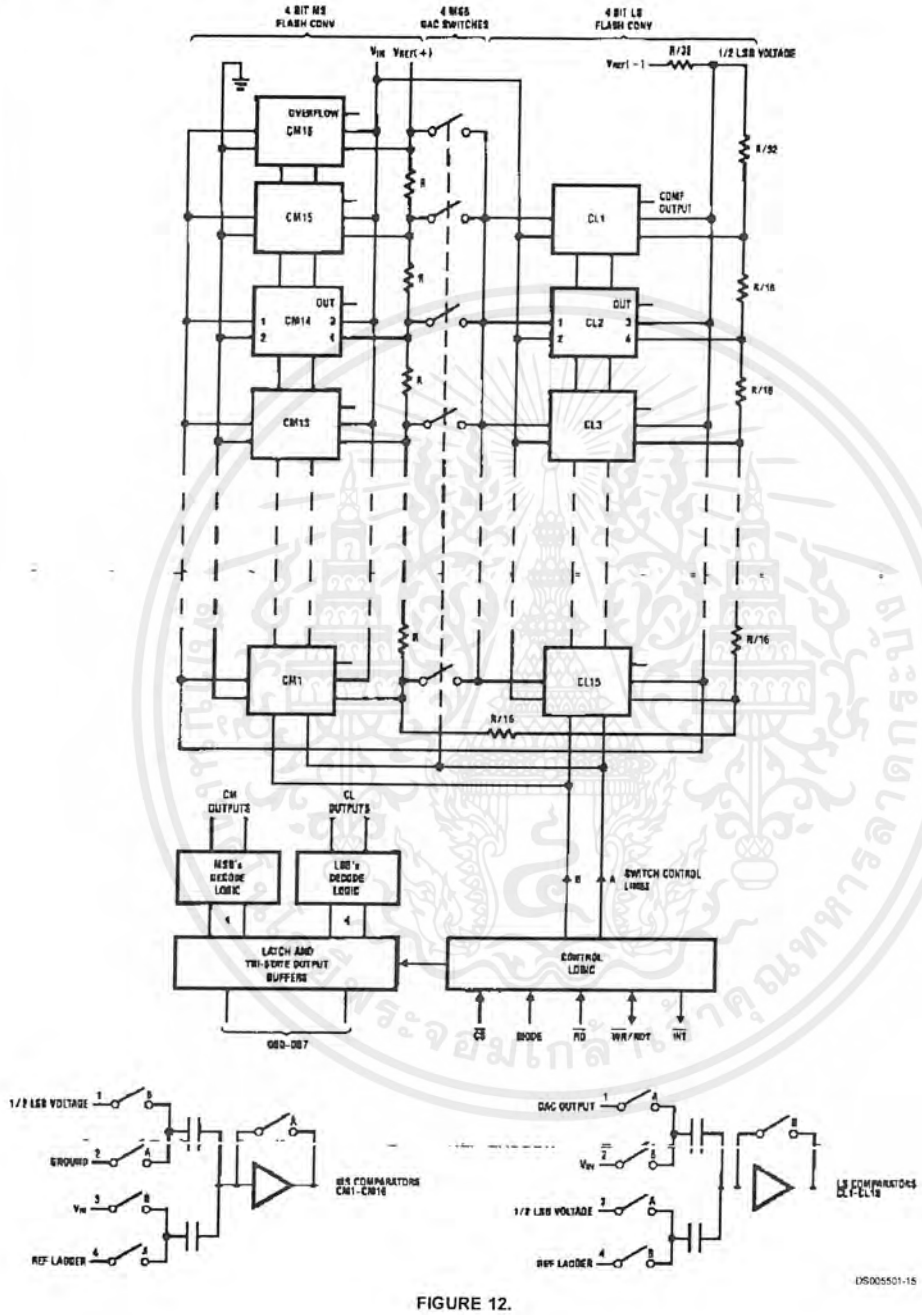


FIGURE 12.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.0 Analog Considerations

2.1 REFERENCE AND INPUT

The two V_{REF} inputs of the ADC0820 are fully differential and define the zero to full-scale input range of the A to D converter. This allows the designer to easily vary the span of the analog input since this range will be equivalent to the voltage difference between $V_{IN}(+)$ and $V_{IN}(-)$. By reducing $V_{REF}(V_{REF}=V_{REF}(+)-V_{REF}(-))$ to less than 5V, the sensitivity of the converter can be increased (i.e., if $V_{REF}=2V$ then 1 LSB=7.8 mV). The input/reference arrangement also facilitates ratiometric operation and in many cases the chip power supply can be used for transducer power as well as the V_{REF} source.

This reference flexibility lets the input span not only be varied but also offset from zero. The voltage at $V_{REF}(-)$ sets the input level which produces a digital output of all zeroes. Though V_{IN} is not itself differential, the reference design affords nearly differential-input capability for most measurement applications. ***Figure 13*** shows some of the configurations that are possible.

2.2 INPUT CURRENT

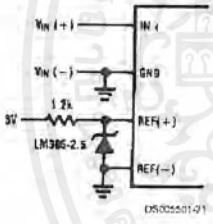
Due to the unique conversion techniques employed by the ADC0820, the analog input behaves somewhat differently than in conventional devices. The A/D's sampled-data comparators take varying amounts of input current depending on which cycle the conversion is in.

The equivalent input circuit of the ADC0820 is shown in ***Figure 14***. When a conversion starts ($\overline{WR}$ low, WR-RD mode), all input switches close, connecting V_{IN} to thirty-one 1 pF capacitors. Although the two 4-bit flash circuits are not both in their compare cycle at the same time, V_{IN} still sees all input capacitors at once. This is because the MS flash converter is connected to the input during its compare interval and the LS flash is connected to the input during its zeroing phase (Section 1.3). In other words, the LS ADC uses V_{IN} as its zero-phase input.

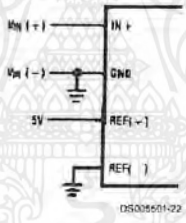
The input capacitors must charge to the input voltage through the on resistance of the analog switches (about 5 kΩ to 10 kΩ). In addition, about 12 pF of input stray capacitance must also be charged. For large source resistances, the analog input can be modeled as an RC network as shown in ***Figure 15***. As R_S increases, it will take longer for the input capacitance to charge.

In RD mode, the input switches are closed for approximately 800 ns at the start of the conversion. In WR-RD mode, the time that the switches are closed to allow this charging is the time that $\overline{WR}$ is low. Since other factors force this time to be at least 600 ns, input time constants of 100 ns can be accommodated without special consideration. Typical total input capacitance values of 45 pF allow R_S to be 1.5 kΩ without lengthening $\overline{WR}$ to give V_{IN} more time to settle.

External Reference 2.5V Full-Scale



Power Supply as Reference



Input Not Referred to GND

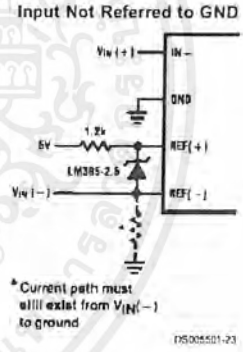


FIGURE 13. Analog Input Options

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.0 Analog Considerations (Continued)

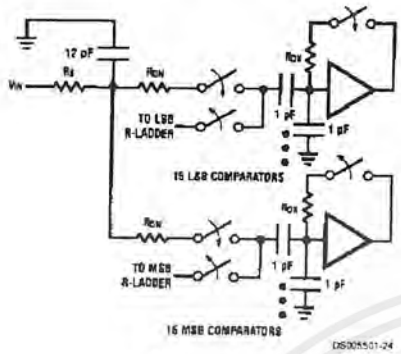


FIGURE 14.

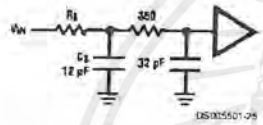


FIGURE 15.

2.3 INPUT FILTERING

It should be made clear that transients in the analog input signal, caused by charging current flowing into V_{IN}, will not degrade the A/D's performance in most cases. In effect the ADC0820 does not "look" at the input when these transients occur. The comparators' outputs are not latched while $\overline{WR}$ is low, so at least 600 ns will be provided to charge the ADC's input capacitance. It is therefore not necessary to filter out these transients by putting an external cap on the V_{IN} terminal.

2.4 INHERENT SAMPLE-HOLD

Another benefit of the ADC0820's input mechanism is its ability to measure a variety of high speed signals without the help of an external sample-and-hold. In a conventional SAR type converter, regardless of its speed, the input must remain at least ½ LSB stable throughout the conversion process if full accuracy is to be maintained. Consequently, for many high speed signals, this signal must be externally sampled, and held stationary during the conversion.

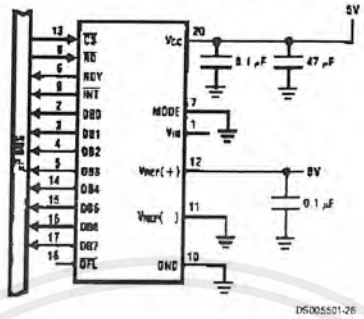
Sampled-data comparators, by nature of their input switching, already accomplish this function to a large degree (Section 1.2). Although the conversion time for the ADC0820 is 1.5 µs, the time through which V_{IN} must be ½ LSB stable is much smaller. Since the MS flash ADC uses V_{IN} as its "compare" input and the LS ADC uses V_{IN} as its "zero" input, the ADC0820 only "samples" V_{IN} when $\overline{WR}$ is low (Sections 1.3 and 2.2). Even though the two flashes are not done simultaneously, the analog signal is measured at one instant. The value of V_{IN} approximately 100 ns after the rising edge of $\overline{WR}$ (100 ns due to internal logic prop delay) will be the measured value.

Input signals with slew rates typically below 100 mV/µs can be converted without error. However, because of the input time constants, and charge injection through the opened comparator input switches, faster signals may cause errors. Still, the ADC0820's loss in accuracy for a given increase in signal slope is far less than what would be witnessed in a conventional successive approximation device. An SAR type converter with a conversion time as fast as 1 µs would still not be able to measure a 5V 1 kHz sine wave without the aid of an external sample-and-hold. The ADC0820, with no such help, can typically measure 5V, 7 kHz waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

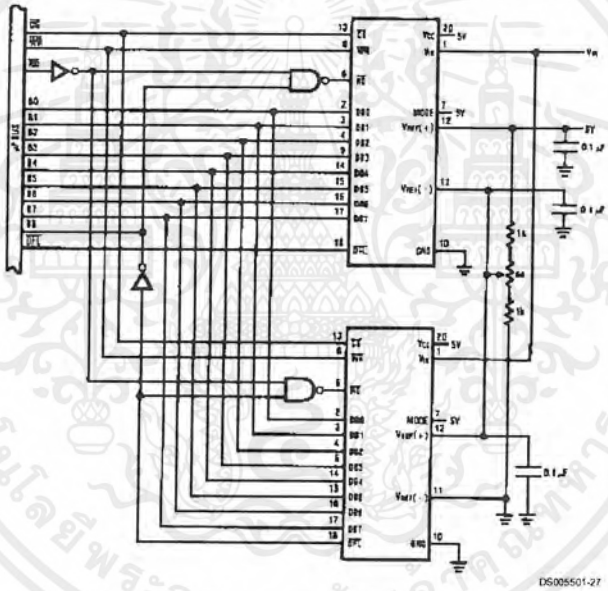
3.0 Typical Applications

8-Bit Resolution Configuration



DS005501-26

9-Bit Resolution Configuration

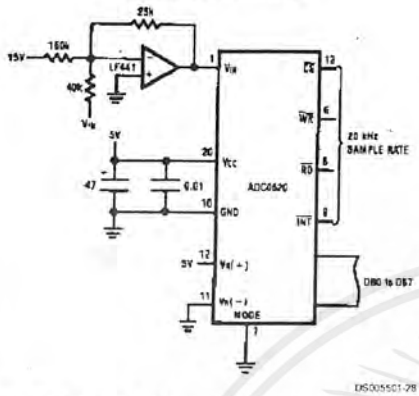


DS005501-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

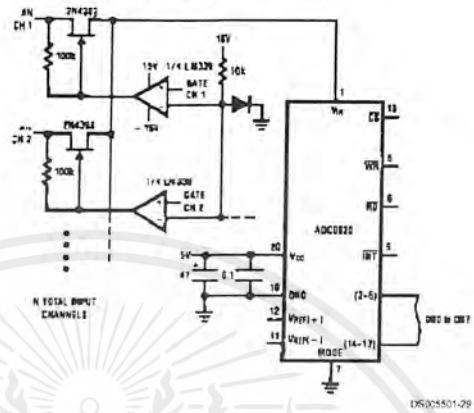
3.0 Typical Applications (Continued)

Telecom A/D Converter



DS005501-28

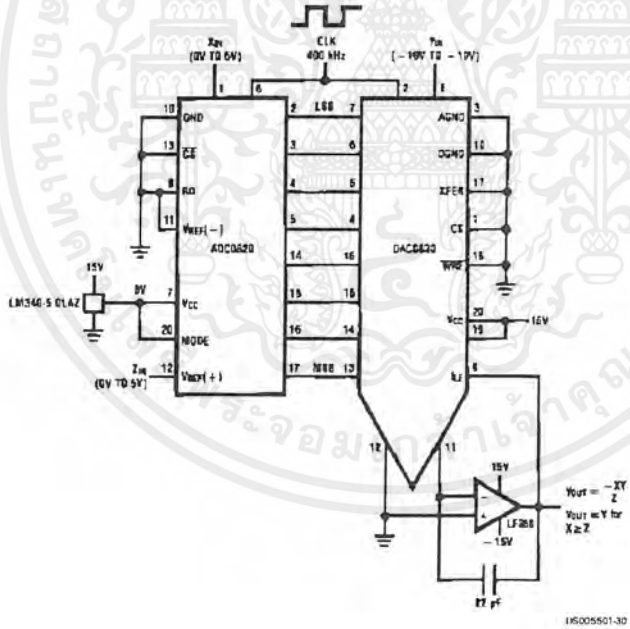
Multiple Input Channels



DS005501-29

- V_{IN}=3 kHz max ± $4V_P$
- No track-and-hold needed
- Low power consumption

8-Bit 2-Quadrant Analog Multiplier

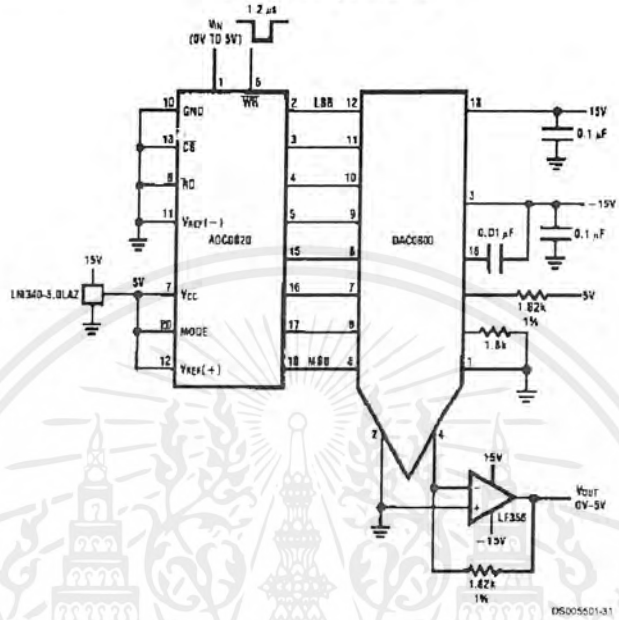


DS005501-30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

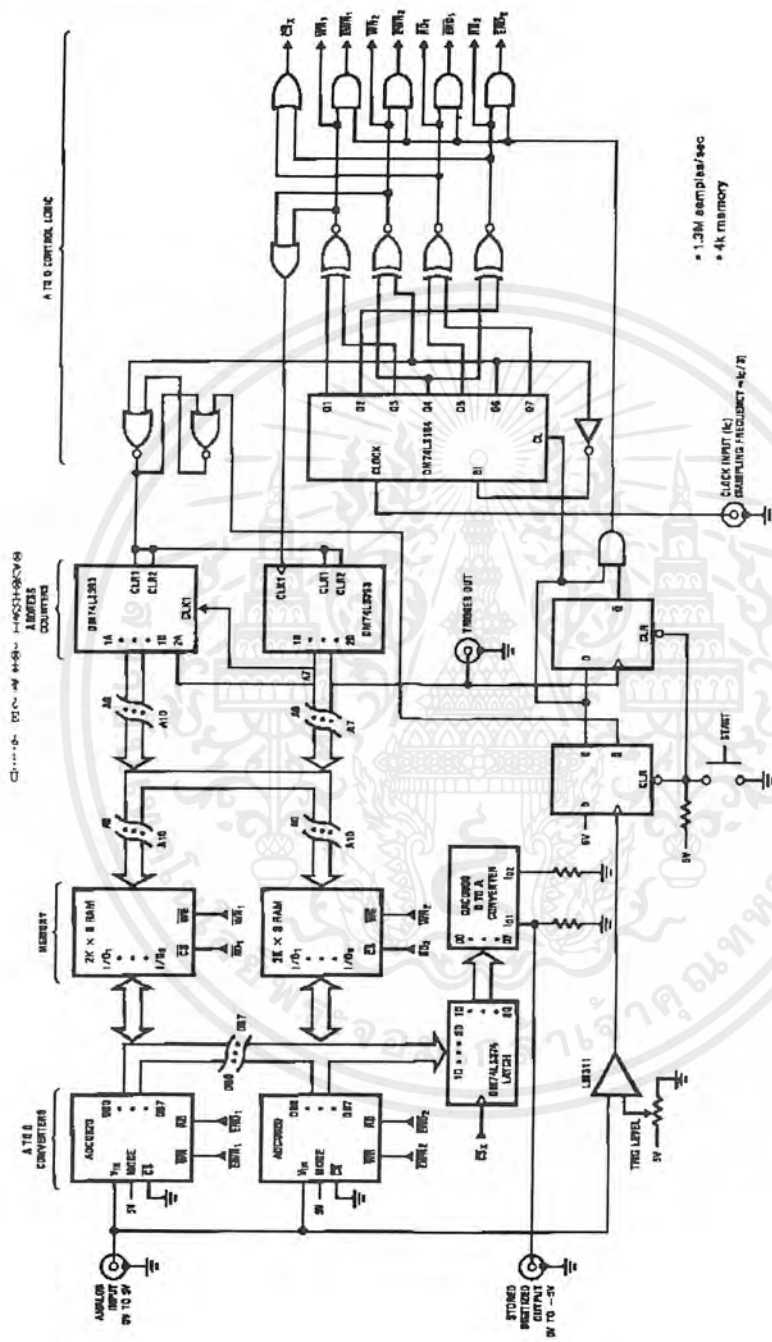
3.0 Typical Applications (Continued)

Fast Infinite Sample-and-Hold



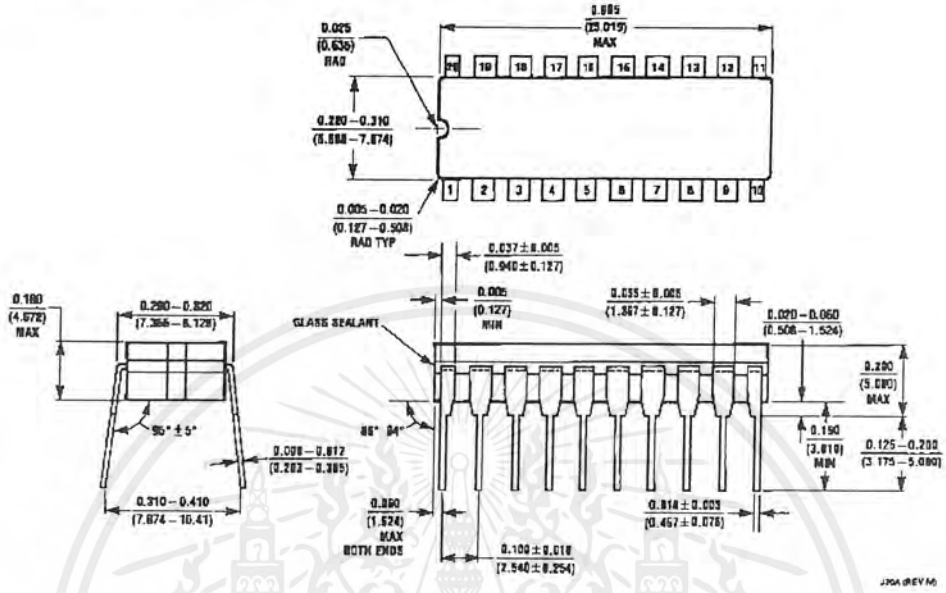
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 Typical Applications (Continued)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

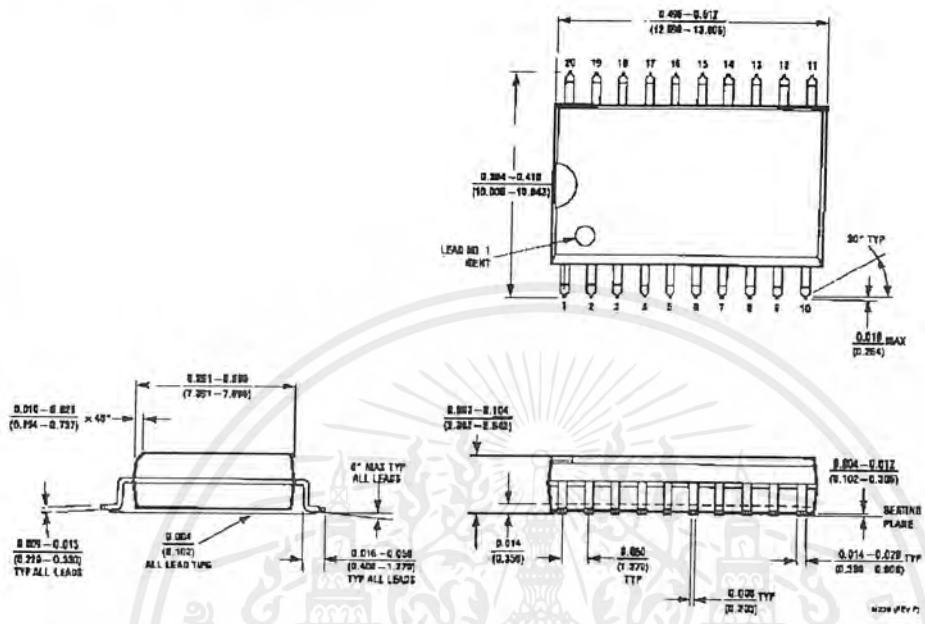
Physical Dimensions inches (millimeters) unless otherwise noted



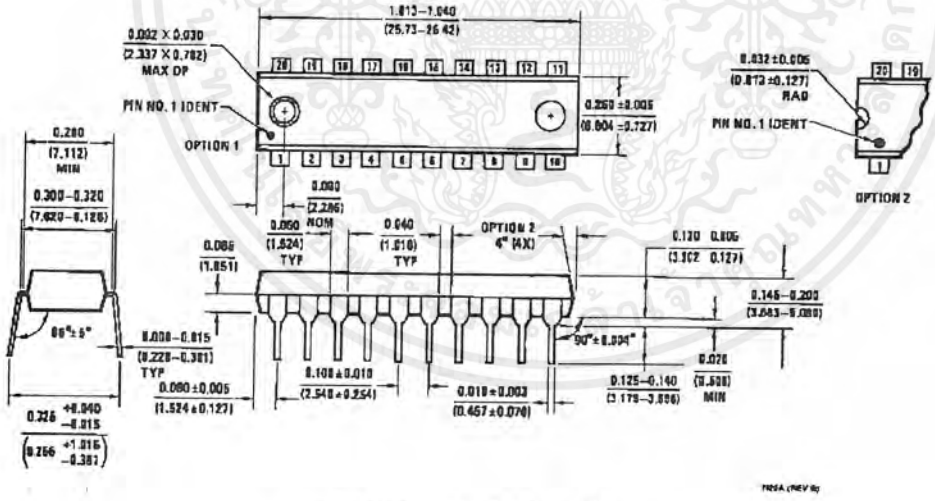
Hermetic Dual-In-Line Package (J)
Order Number ADC0820CCJ
NS Package Number J20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



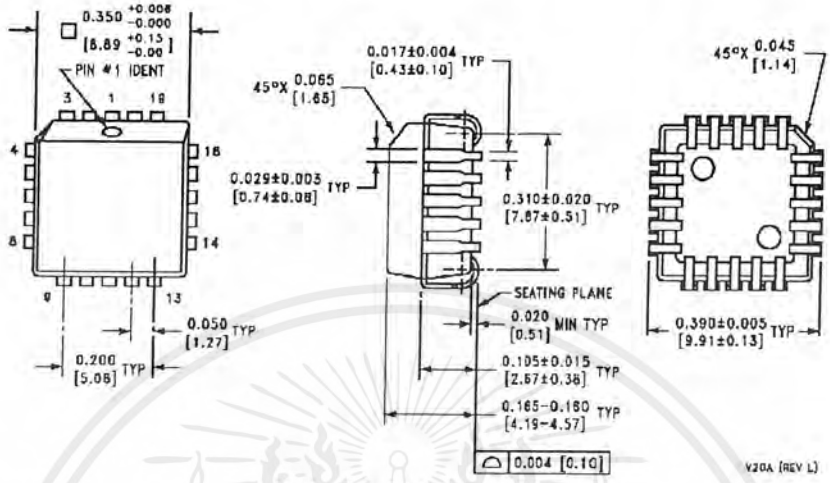
SO Package (M)
Order Number ADC0820BCWM, ADC0820CCWM or ADC0820CIWM
NS Package Number M20B



Molded Dual-In-Line Package (N)
Order Number ADC0820BCN or ADC0820CCN
NS Package Number N20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Chip Carrier Package (V)
Order Number ADC0820BCV
NS Package Number V20A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com
www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

May 1999

DAC0808
8-Bit D/A Converter

General Description

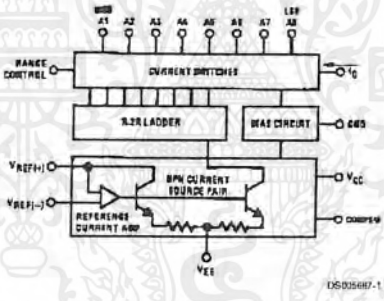
The DAC0808 is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with ±5V supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ±1 LSB of 255 $I_{REF}/256$. Relative accuracies of better than ±0.19% assure 8-bit monotonicity and linearity while zero level output current of less than 4 µA provides 8-bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 is independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

Features

- Relative accuracy: ±0.19% error maximum
- Full scale current match: ±1 LSB typ
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/µs
- Power supply voltage range: ±4.5V to ±18V
- Low power consumption: 33 mW @ ±5V

Block and Connection Diagrams



Dual-In-Line Package

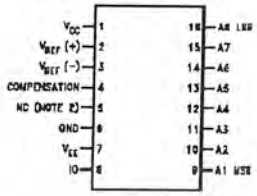
Top View
Order Number DAC0808
See NS Package M16A or N16A

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block and Connection Diagrams (Continued)

Small-Outline Package



DS005687-13

Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	N PACKAGE (N16A) (Note 1)		SO PACKAGE (M16A)
8-bit	0°C≤T_A≤+75°C	DAC0808LCN	MC1408P8	DAC0808LCM

Note 1: Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Power Supply Voltage	
V_{CC}	+18 V_{DC}
V_{EE}	−18 V_{DC}
Digital Input Voltage, V5–V12	−10 V_{DC} to +18 V_{DC}
Applied Output Voltage, V_O	−11 V_{DC} to +18 V_{DC}
Reference Current, I_{14}	5 mA
Reference Amplifier Inputs, V14, V15	V_{CC}, V_{EE}
Power Dissipation (Note 4)	1000 mW
ESD Susceptibility (Note 5)	TBD
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (Plastic)	260°C
Dual-In-Line Package (Ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Ratings

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
DAC0808	$0 \le T_A \le +75°C$

Electrical Characteristics

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, $V_{REF}/R14$ = 2 mA, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
E_r	Relative Accuracy (Error Relative to Full Scale I_O)	(*Figure 4*)				%
	DAC0808LC (LM1408-8)				±0.19	%
	Settling Time to Within ½ LSB (Includes t_{PLH})	T_A=25°C (Note 7), (*Figure 5*)		150		ns
t_{PLH}, t_{PHL}	Propagation Delay Time	T_A = 25°C, (*Figure 6*)		30	100	ns
TCI_O	Output Full Scale Current Drift			±20		ppm/°C
MSB	Digital Input Logic Levels	(*Figure 3*)				
V_{IH}	High Level, Logic "1"		2			V_{DC}
V_{IL}	Low Level, Logic "0"				0.8	V_{DC}
MSB	Digital Input Current	(*Figure 3*)				
	High Level	V_{IH} = 5V		0	0.040	mA
	Low Level	V_{IL} = 0.8V		−0.003	−0.8	mA
I_{15}	Reference Input Bias Current	(*Figure 3*)		−1	−3	μA
	Output Current Range	(*Figure 3*)				
		V_{EE} = −5V	0	2.0	2.1	mA
		V_{EE} = −15V, T_A = 25°C	0	2.0	4.2	mA
I_O	Output Current	V_{REF} = 2.000V, R14 = 1000Ω, (*Figure 3*)	1.9	1.99	2.1	mA
	Output Current, All Bits Low	(*Figure 3*)		0	4	μA
	Output Voltage Compliance (Note 3)	$E_r \le 0.19\%$, T_A = 25°C				
	V_{EE}=−5V, I_{REF}=1 mA				−0.55, +0.4	V_{DC}
	V_{EE} Below −10V				−5.0, +0.4	V_{DC}
SRI_{REF}	Reference Current Slew Rate	(*Figure 6*)	4	8		mA/μs
	Output Current Power Supply Sensitivity	$-5V \le V_{EE} \le -16.5V$		0.05	2.7	μA/V
	Power Supply Current (All Bits Low)	(*Figure 3*)				
I_{CC}				2.3	22	mA
I_{EE}				−4.3	−13	mA
	Power Supply Voltage Range	T_A = 25°C, (*Figure 3*)				
V_{CC}			4.5	5.0	5.5	V_{DC}
V_{EE}			−4.5	−15	−16.5	V_{DC}
	Power Dissipation					

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, V_{REF}/R14 = 2 mA, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	All Bits Low	V_{CC} = 5V, V_{EE} = −5V		33	170	mW
		V_{CC} = 5V, V_{EE} = −15V		106	305	mW
	All Bits High	V_{CC} = 15V, V_{EE} = −5V		90		mW
		V_{CC} = 15V, V_{EE} = −15V		160		mW

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 3: Range control is not required.

Note 4: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maixmum Ratings, whichever is lower. For this device, T_{JMAX} = 125°C, and the typical junction-to-ambient thermal resistance of the dual-in-line J package when the board mounted is 100°C/W. For the dual-in-line N package, this number increases to 175°C/W and for the small outline M package this number is 100°C/W.

Note 5: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 6: All current switches are tested to guarantee at least 50% of rated current.

Note 7: All bits switched.

Note 8: Pin-out numbers for the DAL080X represent the dual-in-line package. The small outline package pinout differs from the dual-in-line package.

Typical Application

$$V_O = 10V\left(\frac{A1}{2} + \frac{A2}{4} + \cdots \frac{A8}{256}\right)$$

DS005687-23

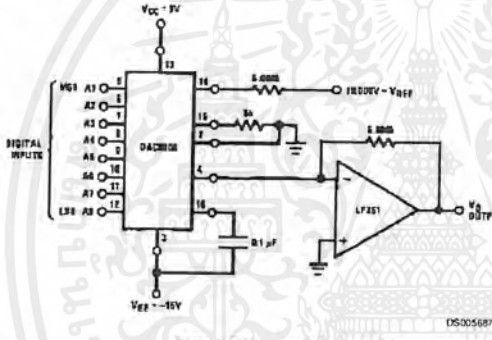
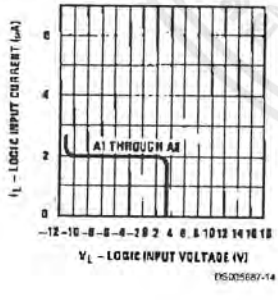


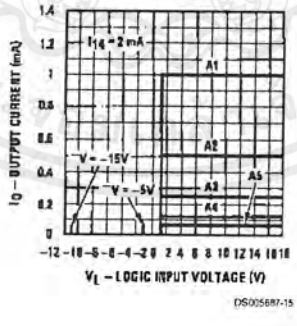
FIGURE 1. +10V Output Digital to Analog Converter (Note 8)

Typical Performance Characteristics V_{CC} = 5V, V_{EE} = −15V, T_A = 25°C, unless otherwise noted

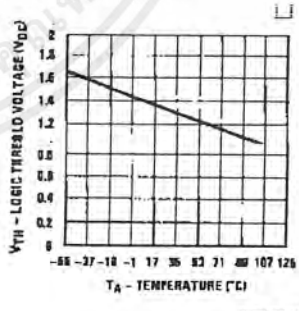
Logic Input Current vs Input Voltage



Bit Transfer Characteristics



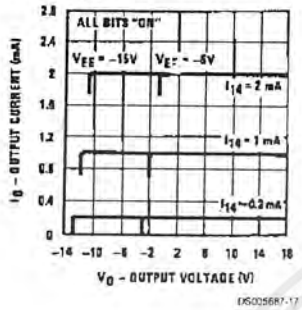
Logic Threshold Voltage vs Temperature



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

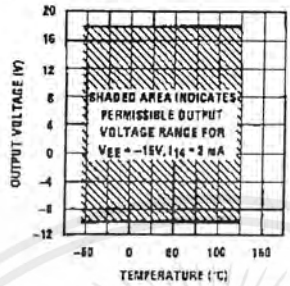
Typical Performance Characteristics V_{CC} = 5V, V_{EE} = −15V, T_A = 25°C, unless otherwise noted (Continued)

Output Current vs Output Voltage (Output Voltage Compliance)



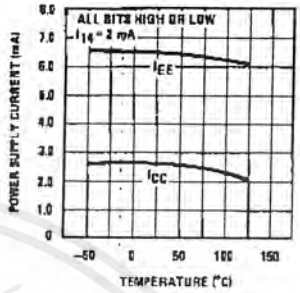
DS005687-17

Output Voltage Compliance vs Temperature



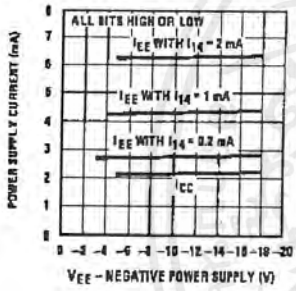
DS005687-18

Typical Power Supply Current vs Temperature



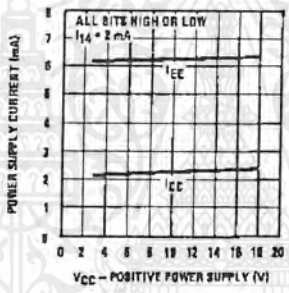
DS005687-19

Typical Power Supply Current vs V_{EE}



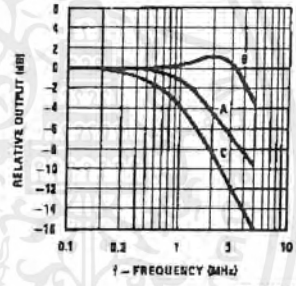
DS005687-20

Typical Power Supply Current vs V_{CC}



DS005687-21

Reference Input Frequency Response



DS005687-22

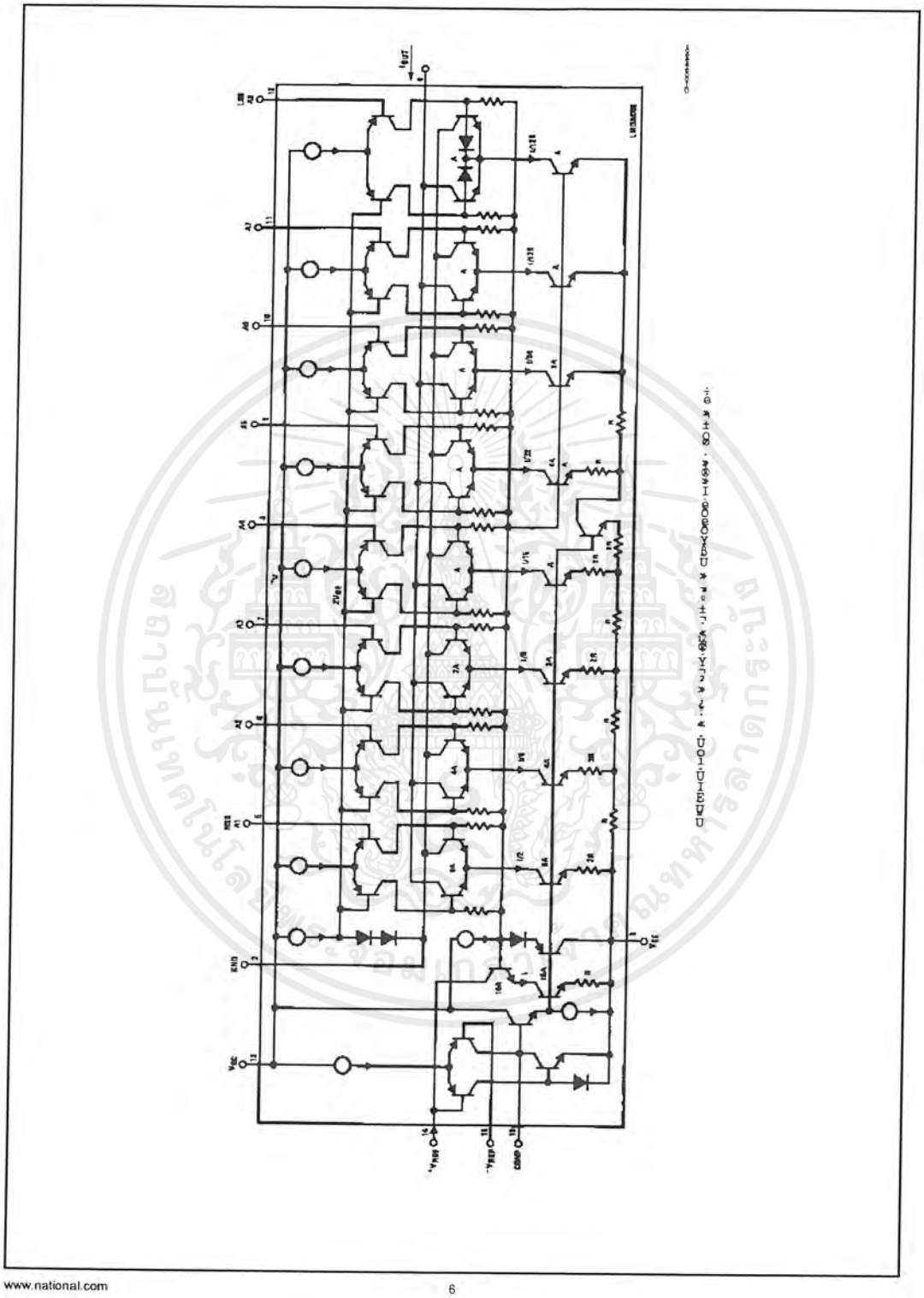
Unless otherwise specified: R14 = R15 = 1 kΩ, C = 15 pF, pin 16 to V_{EE}; R_L = 50Ω, pin 4 to ground.

Curve A: Large Signal Bandwidth Method of ***Figure 7***, V_{REF} = 2 Vp-p offset 1V above ground.

Curve B: Small Signal Bandwidth Method of ***Figure 7***. R_L = 250Ω, V_{REF} = 50 mVp-p offset 200 mV above ground.

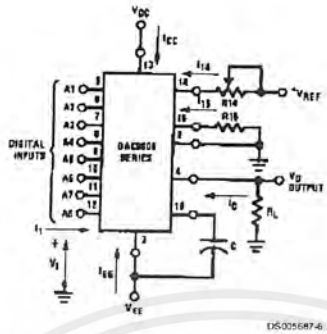
Curve C: Large and Small Signal Bandwidth Method of ***Figure 9*** (no op amp, R_L = 50Ω). R_S = 50Ω, V_{REF} = 2V, V_S = 100 mVp-p centered at 0V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits



DS005687-6

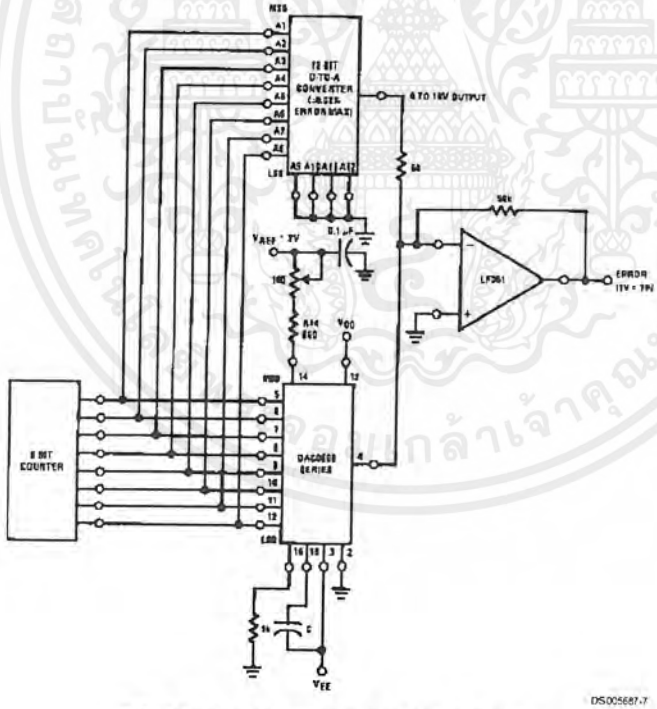
V_I and I_I apply to inputs A1–A8.
The resistor tied to pin 15 is to temperature compensate the bias current and may not be necessary for all applications.

$$I_O = K\left(\frac{A1}{2} + \frac{A2}{4} + \frac{A3}{8} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right)$$

where $K \cong \frac{V_{REF}}{R14}$

and A_N = "1" if A_N is at high level
A_N = "0" if A_N is at low level

FIGURE 3. Notation Definitions Test Circuit (Note 8)



DS005687-7

FIGURE 4. Relative Accuracy Test Circuit (Note 8)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits (Continued)

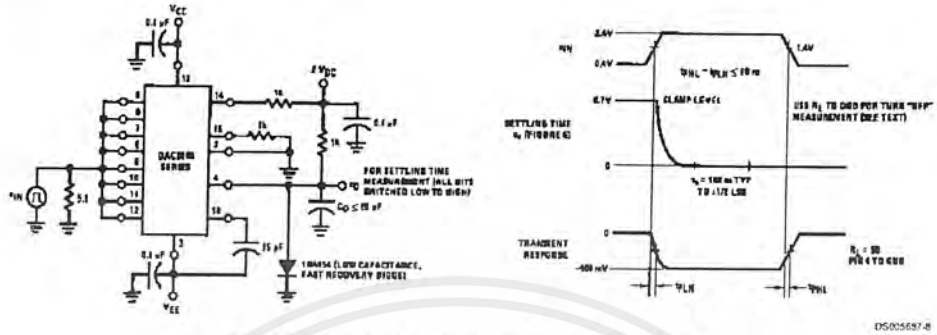


FIGURE 5. Transient Response and Settling Time (Note 8)

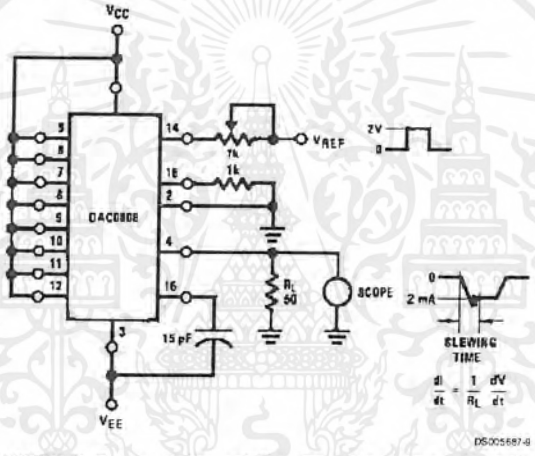


FIGURE 6. Reference Current Slew Rate Measurement (Note 8)

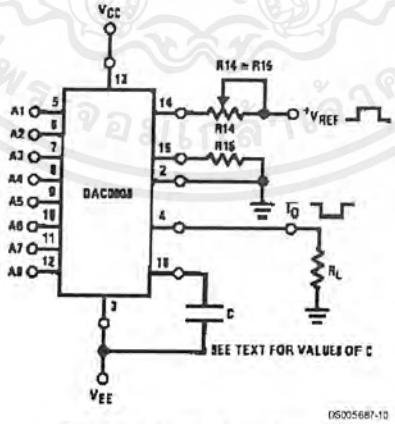


FIGURE 7. Positive V_{REF} (Note 8)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits (Continued)

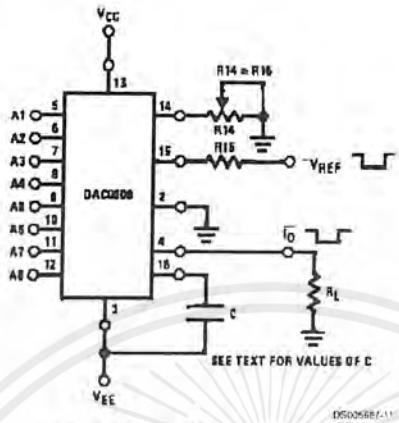


FIGURE 8. Negative V_{REF} (Note 8)

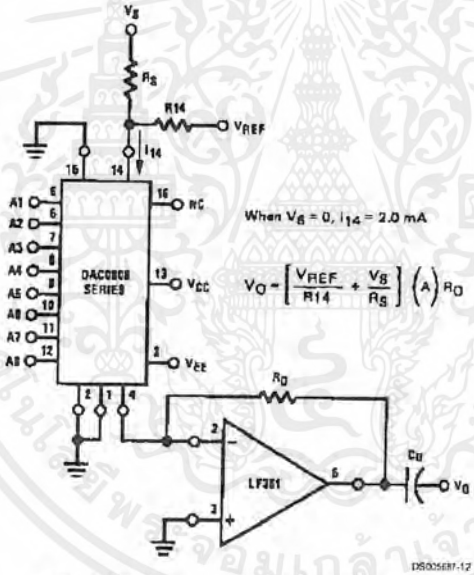


FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit (Note 8)

Application Hints

REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input currrent, I_{14}, must always flow into pin 14, regardless of the set-up method or reference voltage polarity.

Connections for a positive voltage are shown in ***Figure 7***. The reference voltage source supplies the full current I_{14}. For bipolar reference signals, as in the multiplying mode, R15 can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R15 with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in R14 to maintain proper phase margin; for R14 values of 1, 2.5 and 5 kΩ, minimum capacitor values are 15, 37 and 75 pF. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection.

A negative reference voltage may be used if R14 is grounded and the reference voltage is applied to R15 as shown in ***Figure 8***. A high input impedance is the main advantage of this method. Compensation involves a capacitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

to V_{EE} on pin 16, using the values of the previous paragraph. The negative reference voltage must be at least 4V above the V_{EE} supply. Bipolar input signals may be handled by connecting R14 to a positive reference voltage equal to the peak positive input level at pin 15.

When a DC reference voltage is used, capacitive bypass to ground is recommended. The 5V logic supply is not recommended as a reference voltage. If a well regulated 5V supply which drives logic is to be used as the reference, R14 should be decoupled by connecting it to 5V through another resistor and bypassing the junction of the 2 resistors with 0.1 µF to ground. For reference voltages greater than 5V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

OUTPUT VOLTAGE RANGE

The voltage on pin 4 is restricted to a range of −0.55 to 0.4V when V_{EE} = −5V due to the current switching methods employed in the DAC0808.

The negative output voltage compliance of the DAC0808 is extended to −5V where the negative supply voltage is more negative than −10V. Using a full-scale current of 1.992 mA and load resistor of 2.5 kΩ between pin 4 and ground will yield a voltage output of 256 levels between 0 and −4.980V. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of R_L up to 500Ω do not significantly affect performance, but a 2.5 kΩ load increases worst-case settling time to 1.2 µs (when all bits are switched ON). Refer to the subsequent text section on Settling Time for more details on output loading.

OUTPUT CURRENT RANGE

The output current maximum rating of 4.2 mA may be used only for negative supply voltages more negative than −8V, due to the increased voltage drop across the resistors in the reference current amplifier.

ACCURACY

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current. The relative accuracy of the DAC0808 is essentially constant with temperature due to the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the DAC0808 has a very low full-scale current drift with temperature.

The DAC0808 series is guaranteed accurate to within ±½ LSB at a full-scale output current of 1.992 mA. This corresponds to a reference amplifier output current drive to the ladder network of 2 mA, with the loss of 1 LSB (8 µA) which is the ladder remainder shunted to ground. The input current to pin 14 has a guaranteed value of between 1.9 and 2.1 mA, allowing some mismatch in the NPN current source pair. The accuracy test circuit is shown in ***Figure 4***. The 12-bit converter is calibrated for a full-scale output current of 1.992 mA. This is an optional step since the DAC0808 accuracy is essentially the same between 1.5 and 2.5 mA. Then the DAC0808 circuits' full-scale current is trimmed to the same value with R14 so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on an oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accuracy D-to-A converter. 16-bit accuracy implies a total error of ±½ of one part in 65,536 or ±0.00076%, which is much more accurate than the ±0.019% specification provided by the DAC0808.

MULTIPLYING ACCURACY

The DAC0808 may be used in the multiplying mode with 8-bit accuracy when the reference current is varied over a range of 256:1. If the reference current in the multiplying mode ranges from 16 µA to 4 mA, the additional error contributions are less than 1.6 µA. This is well within 8-bit accuracy when referred to full-scale.

A monotonic converter is one which supplies an increase in current for each increment in the binary word. Typically, the DAC0808 is monotonic for all values of reference current above 0.5 mA. The recommended range for operation with a DC reference current is 0.5 to 4 mA.

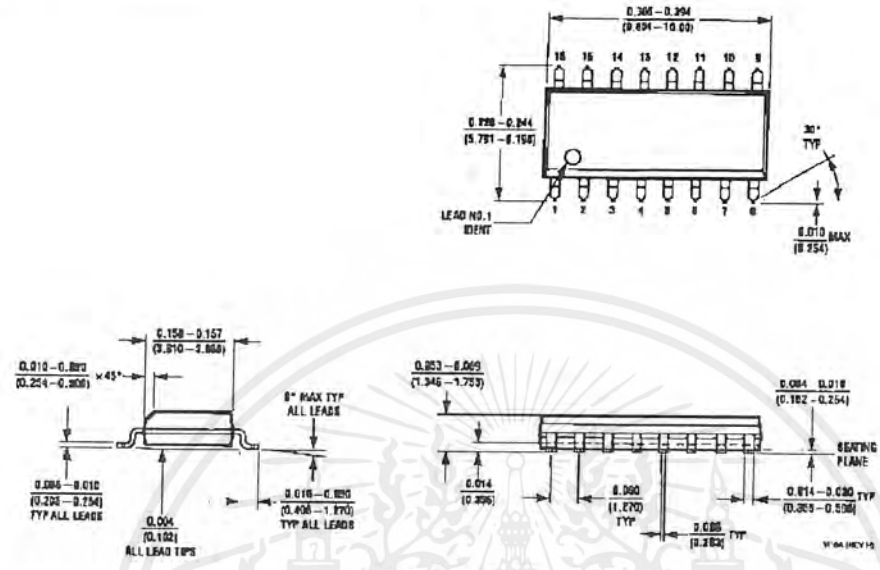
SETTLING TIME

The worst-case switching condition occurs when all bits are switched ON, which corresponds to a low-to-high transition for all bits. This time is typically 150 ns for settling to within ±½ LSB, for 8-bit accuracy, and 100 ns to ½ LSB for 7 and 6-bit accuracy. The turn OFF is typically under 100 ns. These times apply when $R_L \leq 500\Omega$ and $C_O \leq 25$ pF.

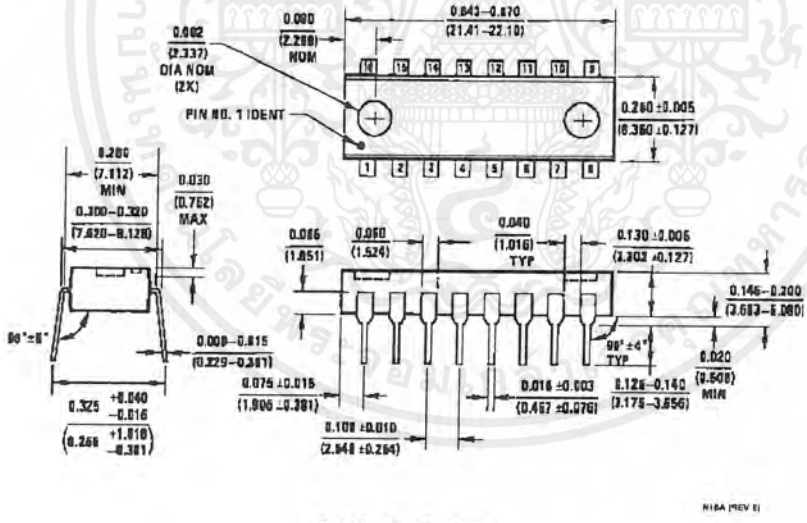
Extra care must be taken in board layout since this is usually the dominant factor in satisfactory test results when measuring settling time. Short leads, 100 µF supply bypassing for low frequencies, and minimum scope lead length are all mandatory.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



Small Outline Package
Order Number DAC0808LCM
NS Package Number M16A



Dual-In-Line Package
Order Number DAC0808
NS Package Number N16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com

www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC1496/D

MOTOROLA

MC1496, B

Balanced Modulators/ Demodulators

BALANCED MODULATORS/DEMODULATORS

SEMICONDUCTOR TECHNICAL DATA

These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
  –50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

This device contains 8 active transistors.

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

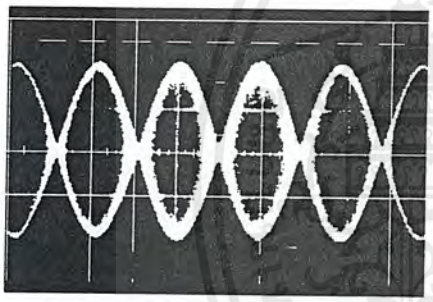


Figure 1. Suppressed Carrier Output Waveform

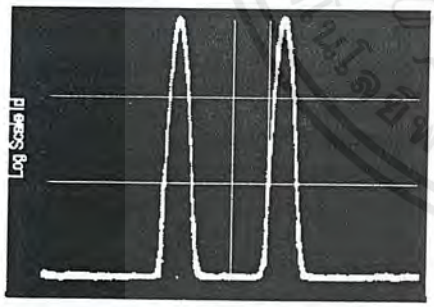


Figure 2. Suppressed Carrier Spectrum

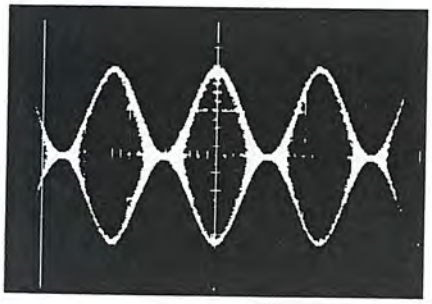
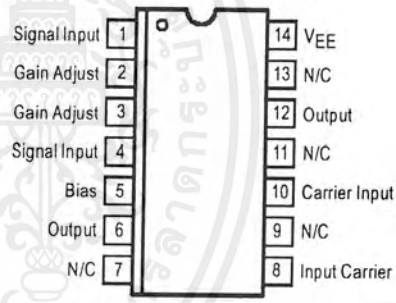


Figure 3. Amplitude Modulation Output Waveform

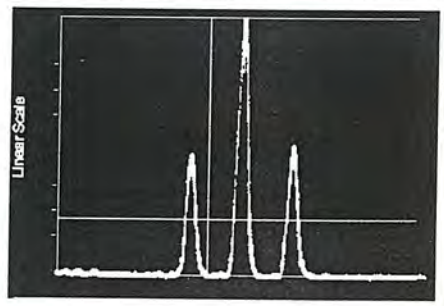
PIN CONNECTIONS



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC1496D	T_A = 0°C to +70°C	SO–14
MC1496P		Plastic DIP
MC1496BP	T_A = –40°C to +125°C	Plastic DIP

Figure 4. Amplitude–Modulation Spectrum



© Motorola, Inc. 1996

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V6 – V8, V10 – V1, V12 – V8, V12 – V10, V8 – V4, V8 – V1, V10 – V4, V6 – V10, V2 – V5, V3 – V5)	ΔV	30	Vdc
Differential Input Signal	V8 – V10 V4 – V1	+5.0 ±(5 + I5R_e)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction–to–Air Plastic Dual In–Line Package	$R_{\theta JA}$	100	°C/W
Operating Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 Vdc, V_{EE} = –8.0 Vdc, I5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = T_{low} to T_{high}, all input and output characteristics are single–ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	Min	Typ	Max	Unit
Carrier Feedthrough	5	1	V_{CFT}				μVrms
V_C = 60 mVrms sine wave and offset adjusted to zero, f_C = 1.0 kHz				–	40	–	
f_C = 10 MHz				–	140	–	
V_C = 300 mVpp square wave:							mVrms
offset adjusted to zero, f_C = 1.0 kHz				–	0.04	0.4	
offset not adjusted, f_C = 1.0 kHz				–	20	200	
Carrier Suppression	5	2	V_{CS}				dB
f_S = 10 kHz, 300 mVrms							
f_C = 500 kHz, 60 mVrms sine wave				40	65	–	
f_C = 10 MHz, 60 mVrms sine wave				–	50	–	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 Ω)	8	8	BW_{3dB}				MHz
Carrier Input Port, V_C = 60 mVrms sine wave				–	300	–	
f_S = 1.0 kHz, 300 mVrms sine wave							
Signal Input Port, V_S = 300 mVrms sine wave				–	80	–	
$\|V_C\|$ = 0.5 Vdc							
Signal Gain (V_S = 100 mVrms, f = 1.0 kHz; $\|V_C\|$ = 0.5 Vdc)	10	3	A_{VS}	2.5	3.5	–	V/V
Single–Ended Input Impedance, Signal Port, f = 5.0 MHz	6	–					
Parallel Input Resistance			r_{ip}	–	200	–	kΩ
Parallel Input Capacitance			c_{ip}	–	2.0	–	pF
Single–Ended Output Impedance, f = 10 MHz	6	–					
Parallel Output Resistance			r_{op}	–	40	–	kΩ
Parallel Output Capacitance			c_{oo}	–	5.0	–	pF
Input Bias Current	7	–					μA
$I_{bS} = \frac{I1 + I4}{2}$; $I_{bC} = \frac{I8 + I10}{2}$			I_{bS} I_{bC}	– –	12 12	30 30	
Input Offset Current	7	–					μA
I_{ioS} = I1–I4; I_{ioC} = I8–I10			$\|I_{ioS}\|$ $\|I_{ioC}\|$	– –	0.7 0.7	7.0 7.0	
Average Temperature Coefficient of Input Offset Current (T_A = –55°C to +125°C)	7	–	$\|TC_{Iio}\|$	–	2.0	–	nA/°C
Output Offset Current (I6–I9)	7	–	$\|I_{oo}\|$	–	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = –55°C to +125°C)	7	–	$\|TC_{Ioo}\|$	–	90	–	nA/°C
Common–Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	–	5.0	–	Vpp
Common–Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_C\|$ = 0.5 Vdc	9	–	ACM	–	–85	–	dB
Common–Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V_{out}	–	8.0	–	Vpp
Differential Output Voltage Swing Capability	10	–	V_{out}	–	8.0	–	Vpp
Power Supply Current I6 + I12	7	6	I_{CC}	–	2.0	4.0	mAdc
I14			I_{EE}	–	3.0	5.0	
DC Power Dissipation	7	5	P_D	–	33	–	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal–input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input–signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single–ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26\ mV}{I5(mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I5.

$$V_S \leq I5\ R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1.0 V peak.

Common Mode Swing

The common–mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage–current products at each port, i.e. assuming V12 = V6, I5 = I6 = I12 and ignoring base current, $P_D = 2\ I5\ (V6 - V14) + I5)\ V5 - V14$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5. Assume:

$$I5 = I6 = I12,$$
$$I_B << I_C \text{ for all transistors}$$

then :

$$R5 = \frac{V - -\phi}{I5} - 500\ \Omega$$

where: R5 is the resistor between Pin 5 and ground
ϕ = 0.75 at T_A = +25°C

The MC1496 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common–Mode Quiescent Output Voltage

$$V6 = V12 = V+ - I5\ R_L$$

Biasing

The MC1496 requires three dc bias voltage levels which must be set extemally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector–base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$$30\ Vdc \geq [(V6, V12) - (V8, V10)] \geq 2\ Vdc$$
$$30\ Vdc \geq [(V8, V10) - (V1, V4)] \geq 2.7\ Vdc$$
$$30\ Vdc \geq [(V1, V4) - (V5)] \geq 2.7\ Vdc$$

The foregoing conditions are based on the following approximations:

$$V6 = V12,\ V8 = V10,\ V1 = V4$$

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21C = \frac{i_o\ (\text{each sideband})}{v_s\ (\text{signal})} \Big|\ V_o = 0$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21S = \frac{i_o\ (\text{signal})}{v_s\ (\text{signal})} \Big|\ V_c = 0.5\ Vdc,\ V_o = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C1 and C2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

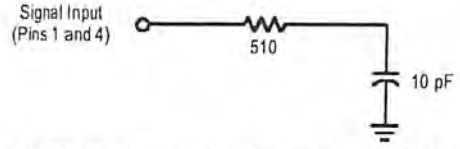
The output signal is taken from Pins 6 and 12 either balanced or single–ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single–ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source–tuned circuits that cause the oscillation.



An alternate method for low–frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

Figure 5. Carrier Rejection and Suppression

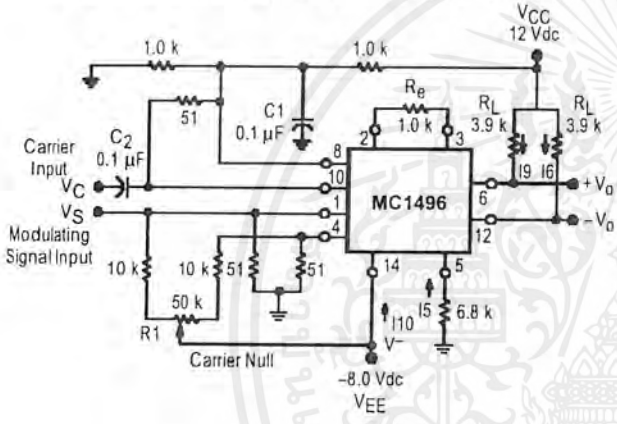
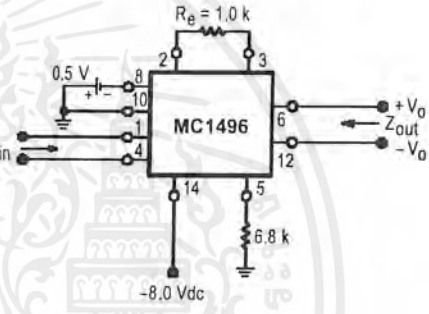


Figure 6. Input–Output Impedance



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

Figure 7. Bias and Offset Currents

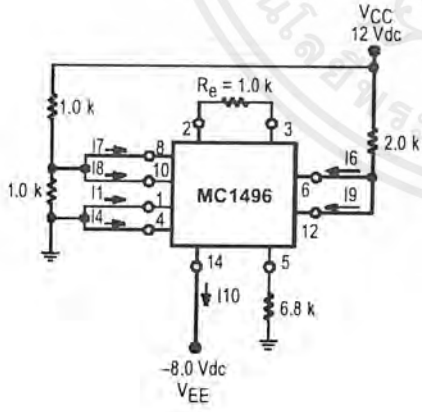
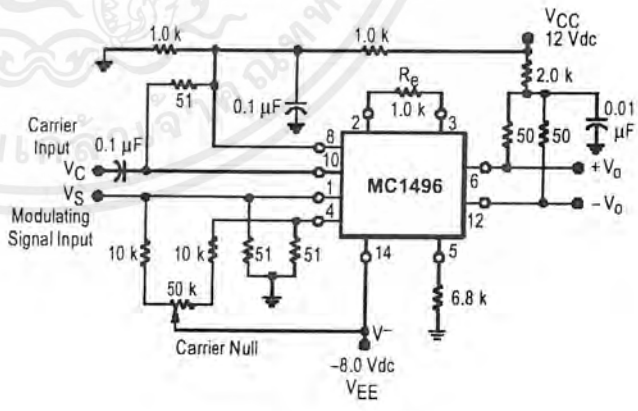


Figure 8. Transconductance Bandwidth



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Common Mode Gain

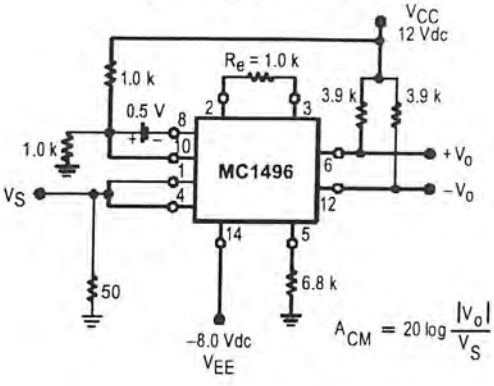
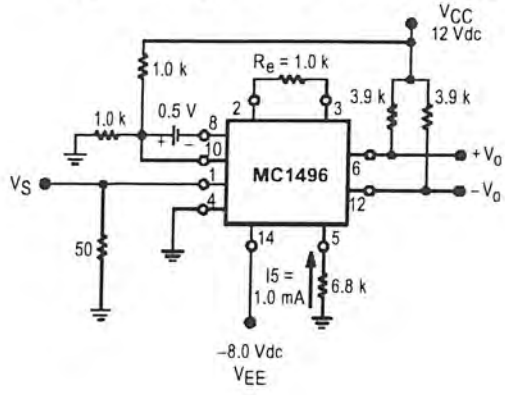


Figure 10. Signal Gain and Output Swing



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 11. Sideband Output versus Carrier Levels

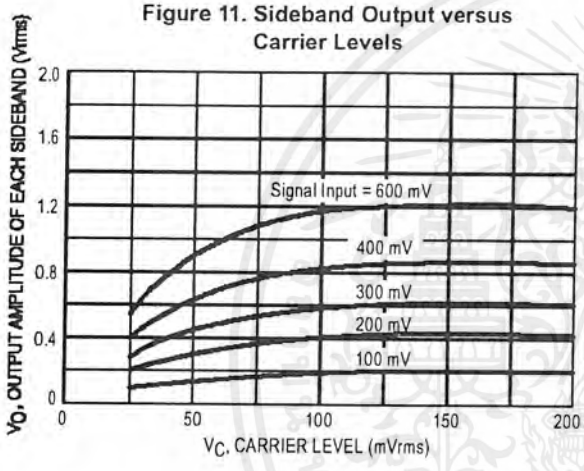


Figure 12. Signal–Port Parallel–Equivalent Input Resistance versus Frequency

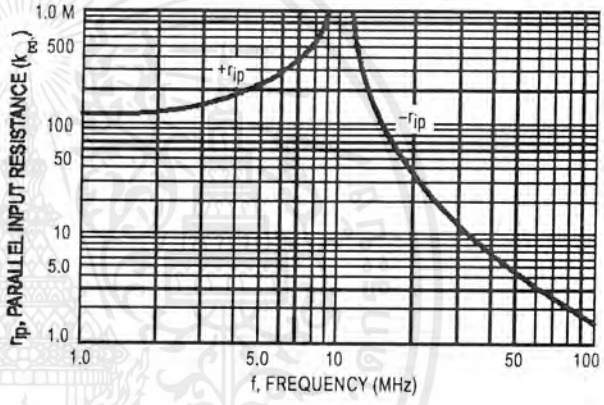


Figure 13. Signal–Port Parallel–Equivalent Input Capacitance versus Frequency

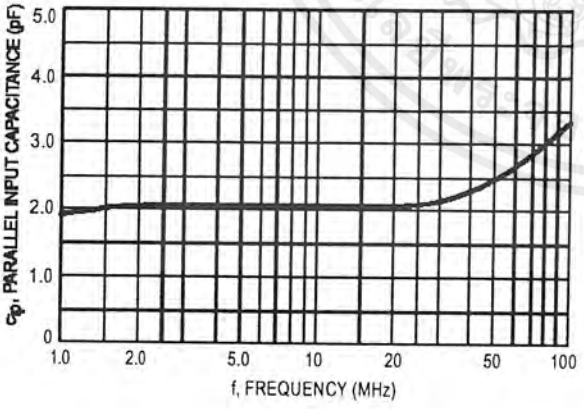
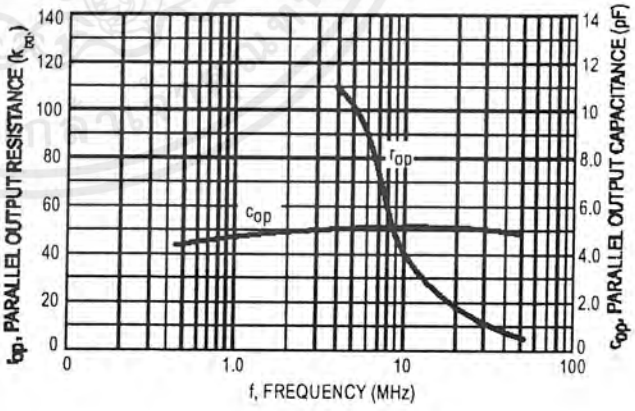


Figure 14. Single–Ended Output Impedance versus Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 15. Sideband and Signal Port Transadmittances versus Frequency

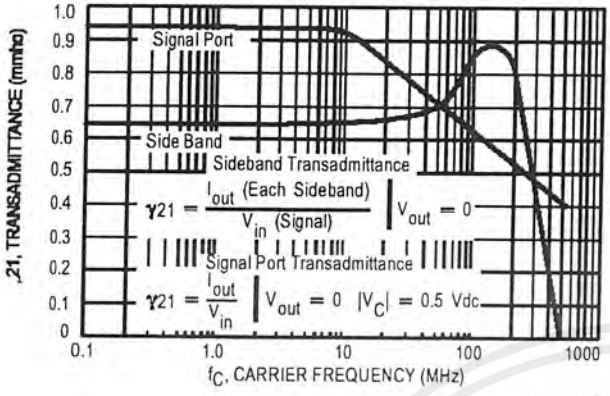


Figure 16. Carrier Suppression versus Temperature

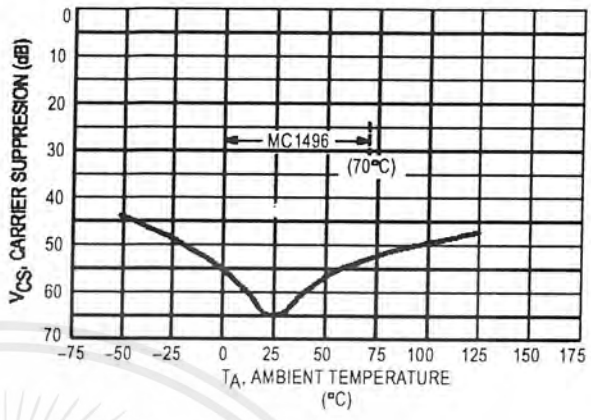


Figure 17. Signal–Port Frequency Response

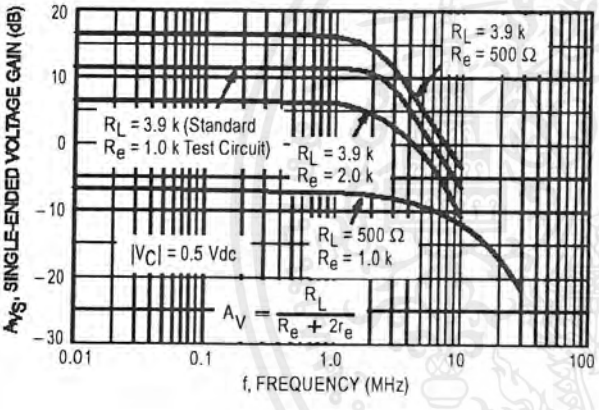


Figure 18. Carrier Suppression versus Frequency

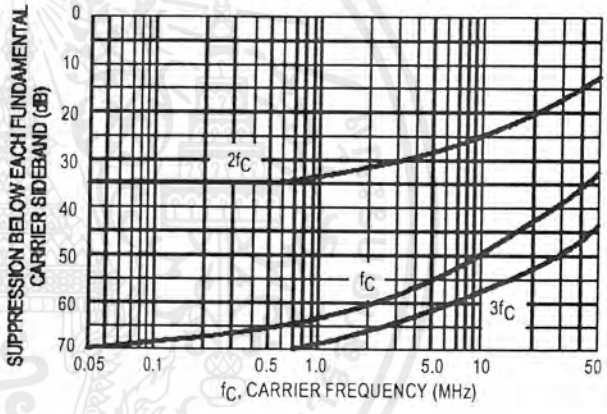


Figure 19. Carrier Feedthrough versus Frequency

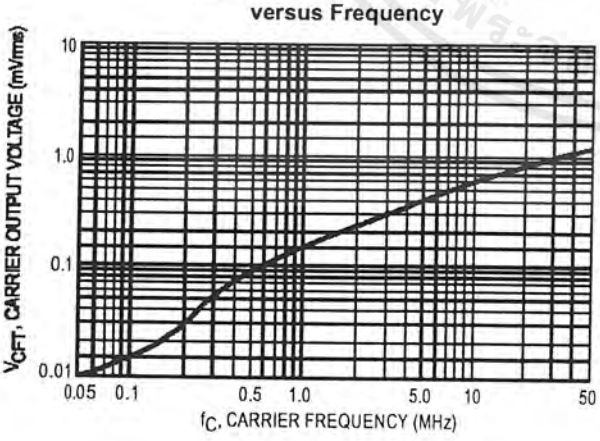
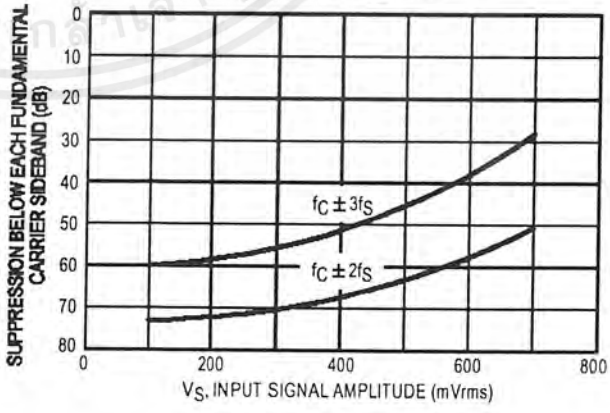


Figure 20. Sideband Harmonic Suppression versus Input Signal Level



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 21. Suppression of Carrier Harmonic Sidebands versus Carrier Frequency

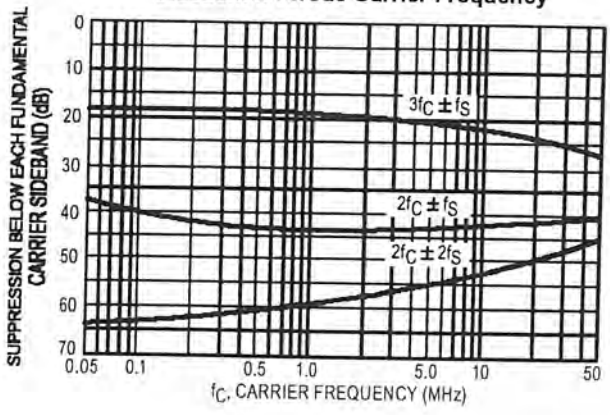
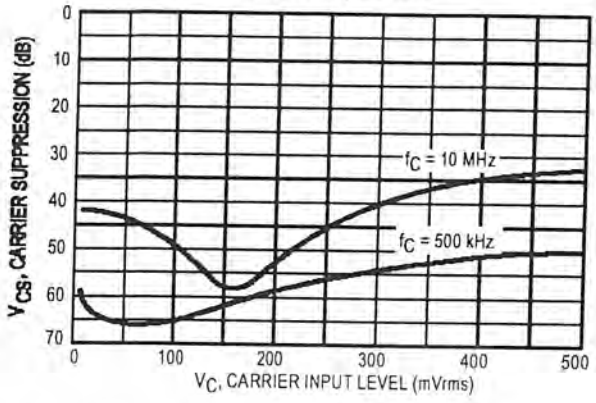


Figure 22. Carrier Suppression versus Carrier Input Level



OPERATIONS INFORMATION

The MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross–coupled so that full–wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low–level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high–level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I5)\,(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

Figure 23. Circuit Schematic

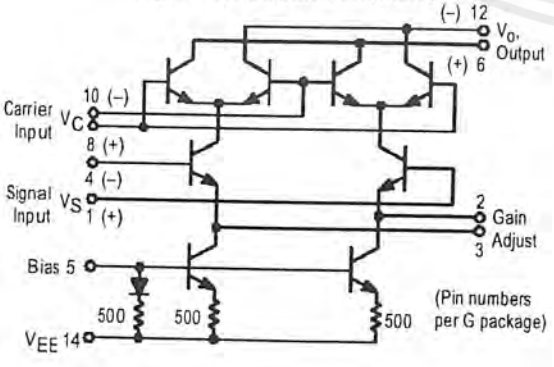
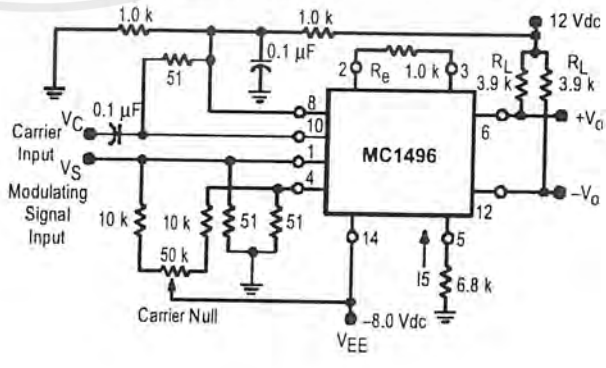


Figure 24. Typical Modulator Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 25. Voltage Gain and Output Frequencies

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low–level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High–level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low–level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High–level ac	$\frac{0.637\ R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M, \ldots$

NOTES: 1. Low–level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single–ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between Pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at 25°C;

$$re \approx \frac{26\ mV}{I_5\ (mA)}$$

7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.

$$\frac{KT}{q} \approx 26\ mV \text{ at room temperature}$$

The gain from the modulating signal input port to the output is the MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1496 for a low–level modulating signal input and the following carrier input conditions:

1) Low–level dc
2) High–level dc
3) Low–level ac
4) High–level ac

These gains are summarized in Figure 25, along with the frequency components contained in the output signal.

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single 12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9.0 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 µF capacitors on Pins 8 and 10 should be increased to 1.0 µF. Also, the output filter at Pin 12 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1496, the emitter resistance between Pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

amplifier. If the carrier signal is modulated, a 300 mVrms input level is recommended.

Doubly Balanced Mixer

The MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mVrms.

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1496 will function as a phase detector. High–level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Figure 26. Balanced Modulator (12 Vdc Single Supply)

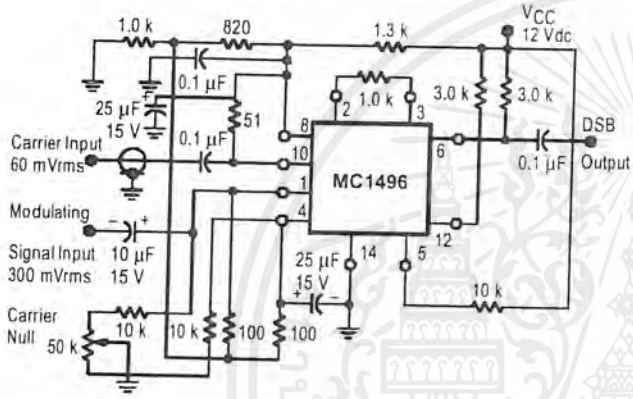


Figure 27. Balanced Modulator–Demodulator

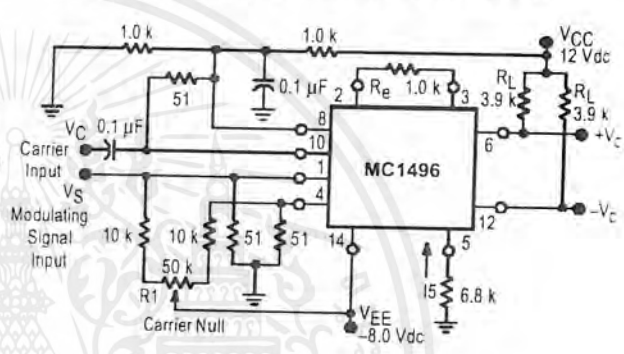


Figure 28. AM Modulator Circuit

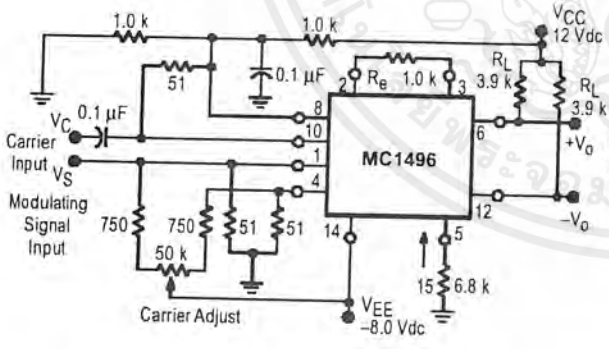
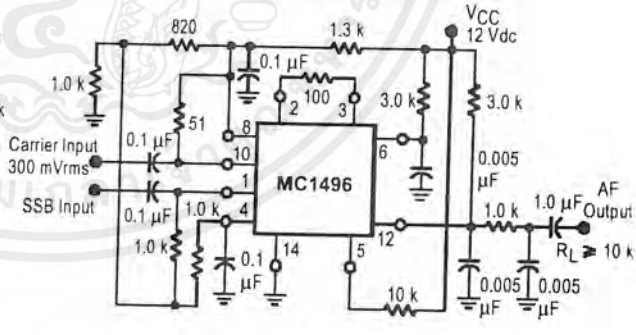
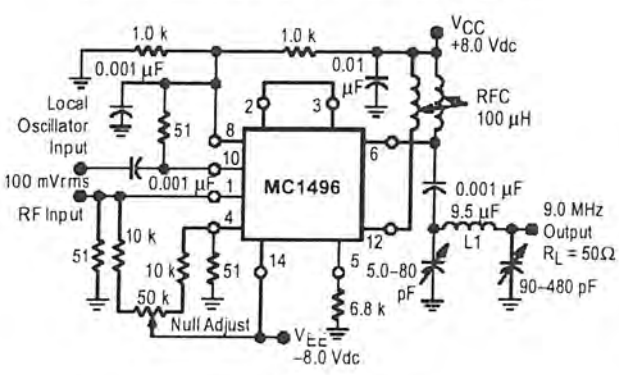


Figure 29. Product Detector (12 Vdc Single Supply)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 30. Doubly Balanced Mixer (Broadband Inputs, 9.0 MHz Tuned Output)



L1 = 44 Turns AWG No. 28 Enameled Wire, Wound on Micrometals Type 44–6 Toroid Core.

Figure 31. Low–Frequency Doubler

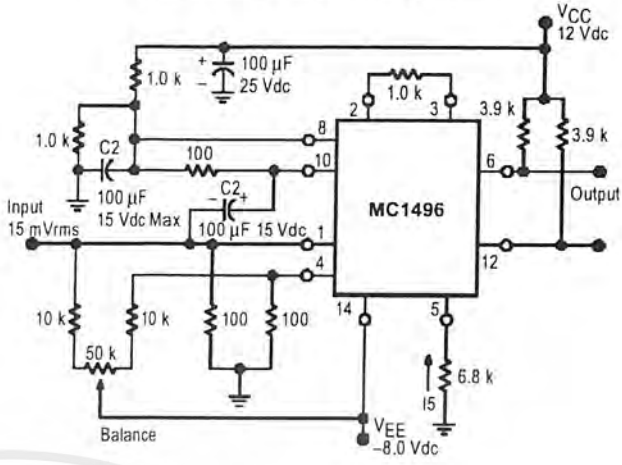
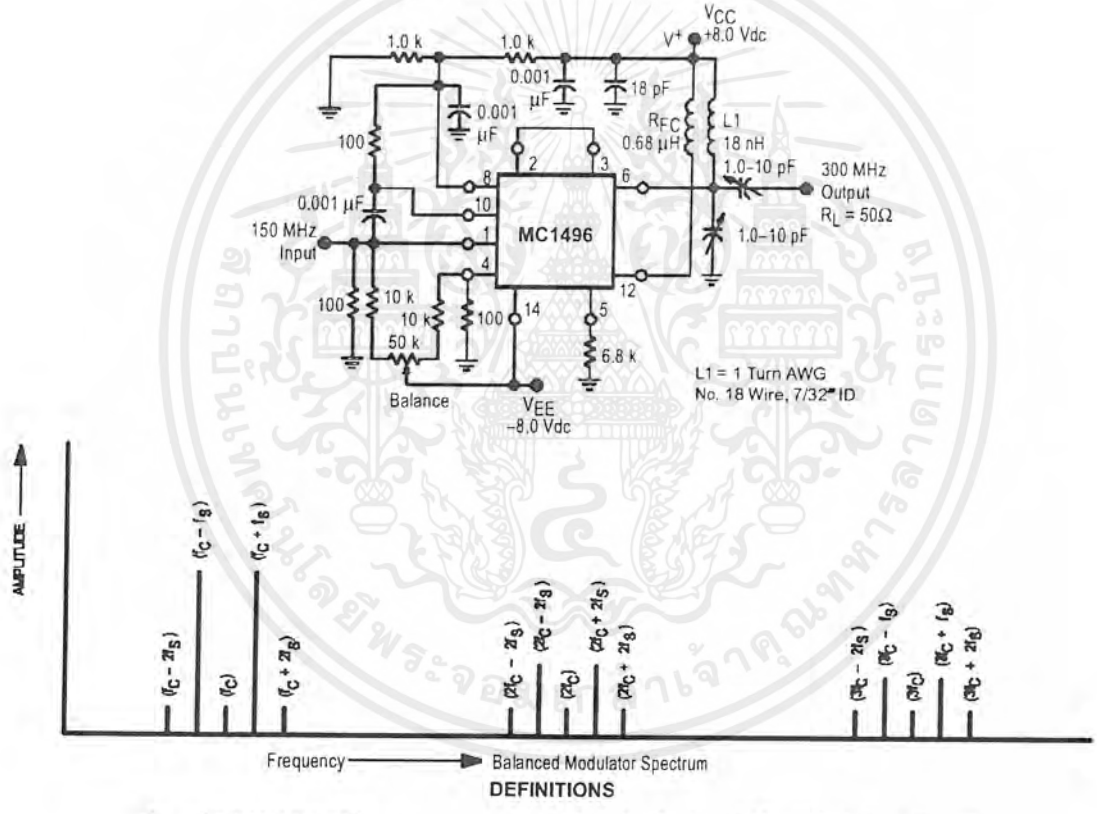


Figure 32. 150 to 300 MHz Doubler



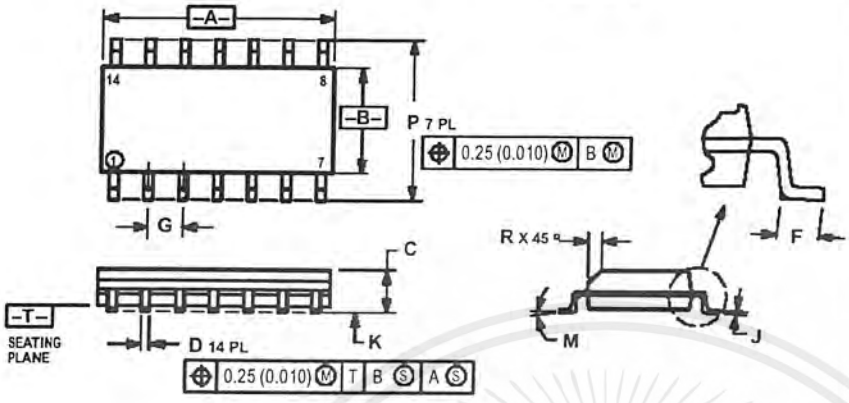
DEFINITIONS

f_C	Carrier Fundamental	$f_C \pm nf_S$	Fundamental Carrier Sideband Harmonics
f_S	Modulating Signal	nf_C	Carrier Harmonics
$f_C \pm f_S$	Fundamental Carrier Sidebands	$nf_C \pm nf_S$	Carrier Harmonic Sidebands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

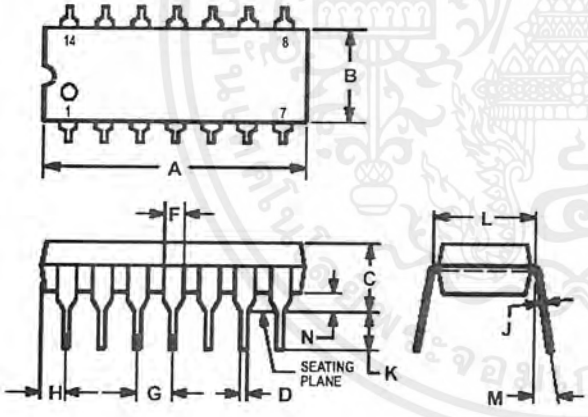
D SUFFIX
PLASTIC PACKAGE
CASE 751A–03
(SO–14)
ISSUE F



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

P SUFFIX
PLASTIC PACKAGE
CASE 646–06
ISSUE L



NOTES:
1. LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
4. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.56
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0°	10°	0°	10°
N	0.015	0.039	0.39	1.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution; P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447 or 602–303–5454

MFAX: RMFAX0@email.sps.mot.com – TOUCHTONE 602–244–6609
INTERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, 6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–81–3521–8315

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN74LS164

Serial-In Parallel-Out Shift Register

The SN74LS164 is a high speed 8-Bit Serial-In Parallel-Out Shift Register. Serial data is entered through a 2-Input AND gate synchronous with the LOW to HIGH transition of the clock. The device features an asynchronous Master Reset which clears the register setting all outputs LOW independent of the clock. It utilizes the Schottky diode clamped process to achieve high speeds and is fully compatible with all ON Semiconductor TTL products.

- Typical Shift Frequency of 35 MHz
- Asynchronous Master Reset
- Gated Serial Data Input
- Fully Synchronous Data Transfers
- Input Clamp Diodes Limit High Speed Termination Effects
- ESD > 3500 Volts

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current – High			–0.4	mA
I_{OL}	Output Current – Low			8.0	mA

ON Semiconductor

http://onsemi.com

LOW POWER SCHOTTKY

PLASTIC
N SUFFIX
CASE 646

SOIC
D SUFFIX
CASE 751A

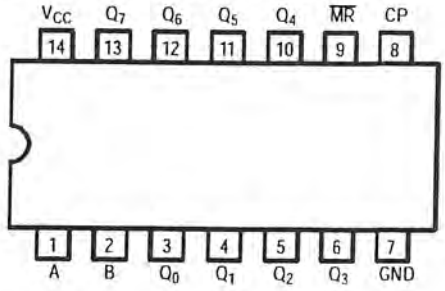
ORDERING INFORMATION

Device	Package	Shipping
SN74LS164N	14 Pin DIP	2000 Units/Box
SN74LS164D	14 Pin	2500/Tape & Reel

© Semiconductor Components Industries, LLC, 1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONNECTION DIAGRAM DIP (TOP VIEW)

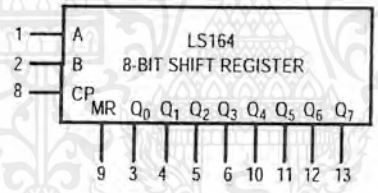


NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES		LOADING (Note a) HIGH	LOW
A, B	Data Inputs	0.5 U.L.	0.25 U.L.
CP	Clock (Active HIGH Going Edge) Input	0.5 U.L.	0.25 U.L.
$\overline{MR}$	Master Reset (Active LOW) Input	0.5 U.L.	0.25 U.L.
$Q_0 - Q_7$	Outputs	10 U.L.	5 U.L.

NOTES:
a) 1 TTL Unit Load (U.L.) = 40 μA HIGH/1.6 mA LOW.

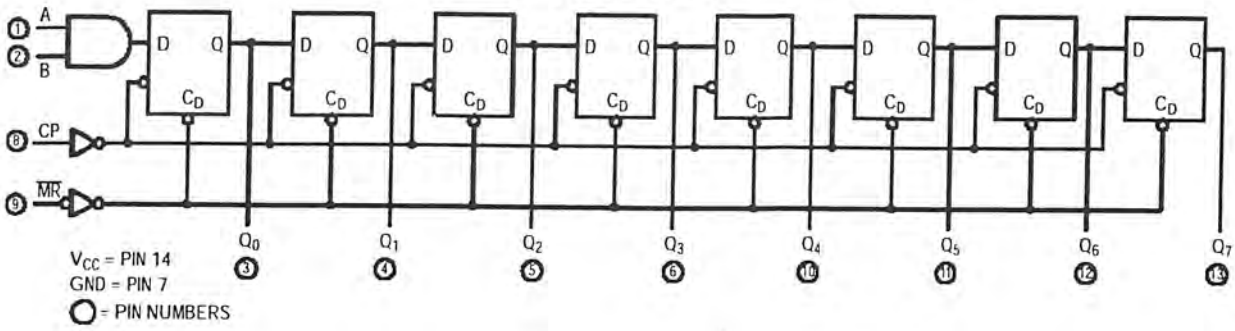
LOGIC SYMBOL



V_{CC} = PIN 14
GND = PIN 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



FUNCTIONAL DESCRIPTION

The LS164 is an edge-triggered 8-bit shift register with serial data entry and an output from each of the eight stages. Data is entered serially through one of two inputs (A or B); either of these inputs can be used as an active HIGH Enable for data entry through the other input. An unused input must be tied HIGH, or both inputs connected together.

Each LOW-to-HIGH transition on the Clock (CP) input shifts data one place to the right and enters into Q_0 the logical AND of the two data inputs (A•B) that existed before the rising clock edge. A LOW level on the Master Reset ($\overline{MR}$) input overrides all other inputs and clears the register asynchronously, forcing all Q outputs LOW.

MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	$\overline{MR}$	A	B	Q_0	Q_1–Q_7
Reset (Clear)	L	X	X	L	L – L
Shift	H	l	l	L	q_0 – q_6
	H	l	h	L	q_0 – q_6
	H	h	l	L	q_0 – q_6
	H	h	h	H	q_0 – q_6

L (l) = LOW Voltage Levels
H (h) = HIGH Voltage Levels
X = Don't Care
q_n = Lower case letters indicate the state of the referenced input or output one set-up time prior to the LOW to HIGH clock transition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions	
		Min	Typ	Max			
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage			0.8	V	Guaranteed Input LOW Voltage for All Inputs	
V_{IK}	Input Clamp Diode Voltage		−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	2.7	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
V_{OL}	Output LOW Voltage		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IH} or V_{IL} per Truth Table
			0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current			20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
				0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current			−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)	−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current			27	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
f_{MAX}	Maximum Clock Frequency	25	36		MHz	V_{CC} = 5.0 V C_L = 15 pF
t_{PHL}	Propagation Delay $\overline{MR}$ to Output Q		24	36	ns	
t_{PLH} t_{PHL}	Propagation Delay Clock to Output Q		17 21	27 32	ns	

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t_W	CP, $\overline{MR}$ Pulse Width	20			ns	V_{CC} = 5.0 V
t_s	Data Setup Time	15			ns	
t_h	Data Hold Time	5.0			ns	
t_{rec}	$\overline{MR}$ to Clock Recovery Time	20			ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC WAVEFORMS

*The shaded areas indicate when the input is permitted to change for predictable output performance.

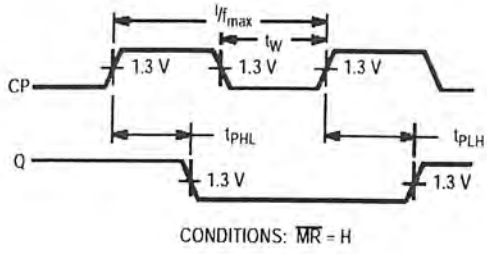


Figure 1. Clock to Output Delays and Clock Pulse Width

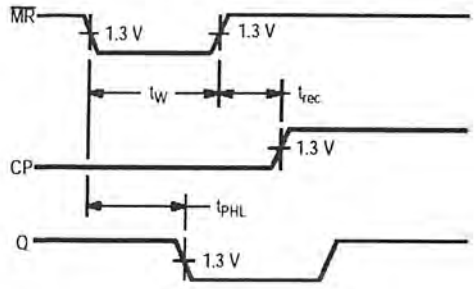


Figure 2. Master Reset Pulse Width, Master Reset to Output Delay and Master Reset to Clock Recovery Time

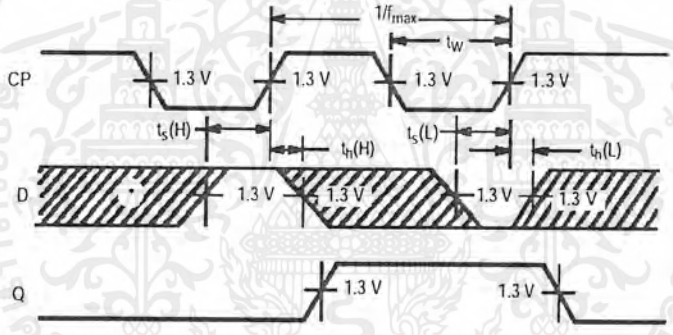
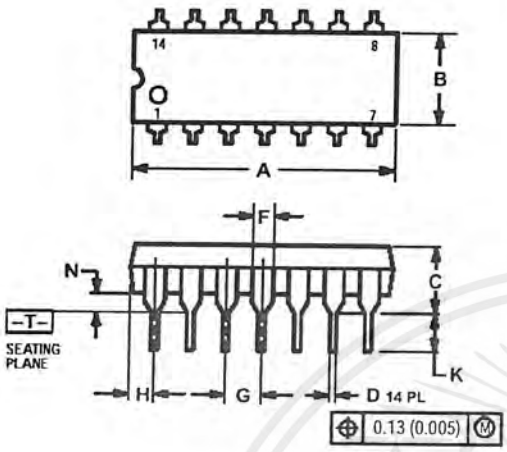


Figure 3. Data Setup and Hold Times

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

N SUFFIX
PLASTIC PACKAGE
CASE 646–06
ISSUE M

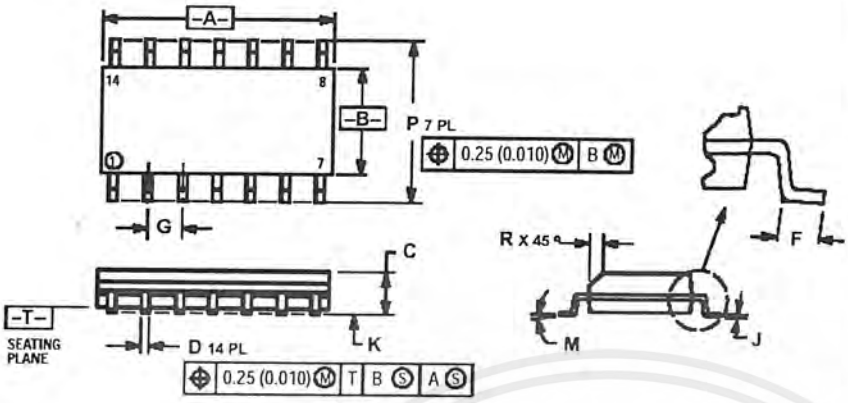


NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	18.80
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.290	0.310	7.37	7.87
M	---	10°	---	10°
N	0.015	0.039	0.38	1.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751A–03
ISSUE F



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ON Semiconductor and ⌐ are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

PUBLICATION ORDERING INFORMATION

North America Literature Fulfillment:
Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303–675–2175 or 800–344–3860 Toll Free USA/Canada
Fax: 303–675–2176 or 800–344–3867 Toll Free USA/Canada
Email: ONlit@hibbertco.com

N. American Technical Support: 800–282–9855 Toll Free USA/Canada

EUROPE: LDC for ON Semiconductor – European Support
German **Phone:** (+1) 303–308–7140 (M–F 2:30pm to 5:00pm Munich Time)
Email: ONlit–german@hibbertco.com
French **Phone:** (+1) 303–308–7141 (M–F 2:30pm to 5:00pm Toulouse Time)
Email: ONlit–french@hibbertco.com
English **Phone:** (+1) 303–308–7142 (M–F 1:30pm to 5:00pm UK Time)
Email: ONlit@hibbertco.com

ASIA/PACIFIC: LDC for ON Semiconductor – Asia Support
Phone: 303–675–2121 (Tue–Fri 9:00am to 1:00pm, Hong Kong Time)
Toll Free from Hong Kong 800–4422–3781
Email: ONlit–asia@hibbertco.com

JAPAN: ON Semiconductor, Japan Customer Focus Center
4–32–1 Nishi–Gotanda, Shinagawa–ku, Tokyo, Japan 141–8549
Phone: 81–3–5487–8345
Email: r14153@onsemi.com

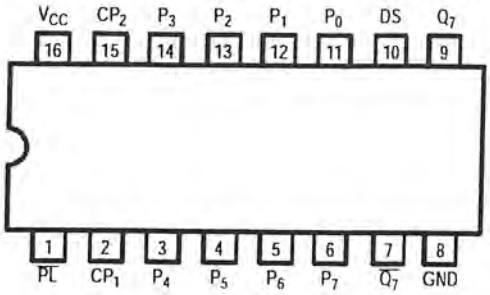
Fax Response Line: 303–675–2167
800–344–3810 Toll Free USA/Canada

ON Semiconductor Website: http://onsemi.com

For additional information, please contact your local
Sales Representative.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONNECTION DIAGRAM DIP (TOP VIEW)

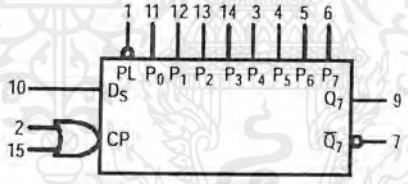


NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES		LOADING (Note a) HIGH	LOW
CP_1, CP_2	Clock (LOW-to-HIGH Going Edge) Inputs	0.5 U.L.	0.25 U.L.
DS	Serial Data Input	0.5 U.L.	0.25 U.L.
$\overline{PL}$	Asynchronous Parallel Load (Active LOW) Input	1.5 U.L.	0.75 U.L.
$P_0 - P_7$	Parallel Data Inputs	0.5 U.L.	0.25 U.L.
Q_7	Serial Output from Last State	10 U.L.	5 U.L.
$\overline{Q_7}$	Complementary Output	10 U.L.	5 U.L.

NOTES:
a) 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.

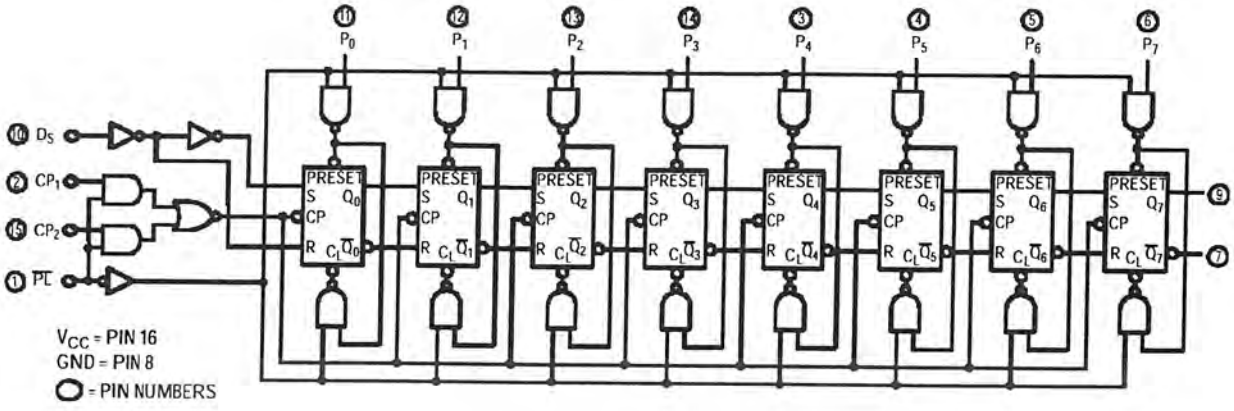
LOGIC SYMBOL



V_{CC} = PIN 16
GND = PIN 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



FUNCTIONAL DESCRIPTION

The SN74LS165 contains eight clocked master/slave RS flip-flops connected as a shift register, with auxiliary gating to provide overriding asynchronous parallel entry. Parallel data enters when the $\overline{PL}$ signal is LOW. The parallel data can change while $\overline{PL}$ is LOW, provided that the recommended setup and hold times are observed.

For clock operation, $\overline{PL}$ must be HIGH. The two clock inputs perform identically; one can be used as a clock inhibit by applying a HIGH signal. To avoid double clocking, however, the inhibit signal should only go HIGH while the clock is HIGH. Otherwise, the rising inhibit signal will cause the same response as a rising clock edge. The flip-flops are edge-triggered for serial operations. The serial input data can change at any time, provided only that the recommended setup and hold times are observed, with respect to the rising edge of the clock.

TRUTH TABLE

$\overline{PL}$	CP		CONTENTS								RESPONSE
	1	2	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	
L	X	X	P_0	P_1	P_2	P_3	P_4	P_5	P_6	P_7	Parallel Entry
H	L	↓	D_S	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Right Shift
H	H	↓	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	No Change
H	↓	L	D_S	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Right Shift
H	↓	H	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	No Change

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITION OF TERMS:

SETUP TIME (t_s) — is defined as the minimum time required for the correct logic level to be present at the logic input prior to the clock transition from LOW-to-HIGH in order to be recognized and transferred to the outputs.

HOLD TIME (t_h) — is defined as the minimum time following the clock transition from LOW-to-HIGH that the logic level must be maintained at the input in order to ensure continued recognition. A negative hold time indicates that the correct logic level may be released prior to the clock transition from LOW-to-HIGH and still be recognized.

RECOVERY TIME (t_{rec}) — is defined as the minimum time required between the end of the $\overline{PL}$ pulse and the clock transition from LOW-to-HIGH in order to recognize and transfer loaded Data to the Q outputs.

AC WAVEFORMS

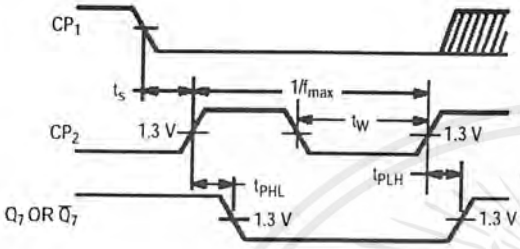


Figure 1.

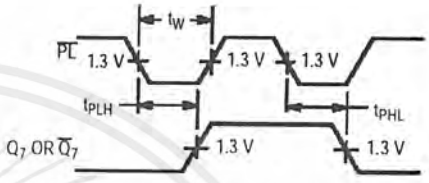


Figure 2.

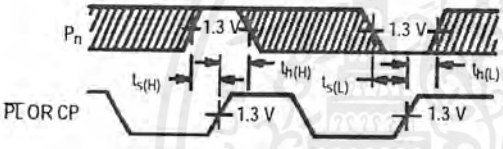


Figure 3.

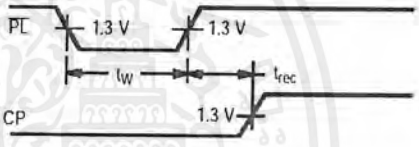
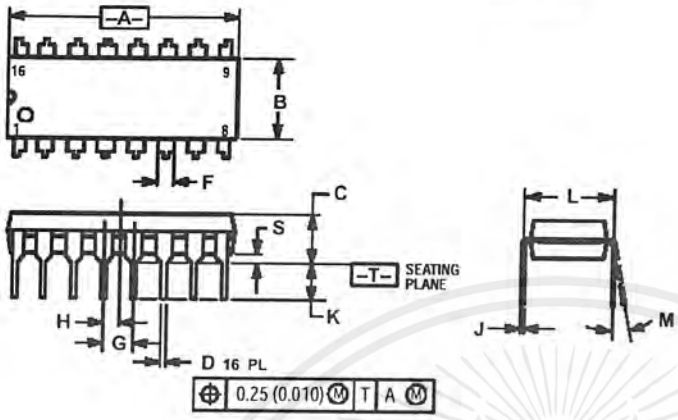


Figure 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

N SUFFIX
PLASTIC PACKAGE
CASE 648–08
ISSUE R



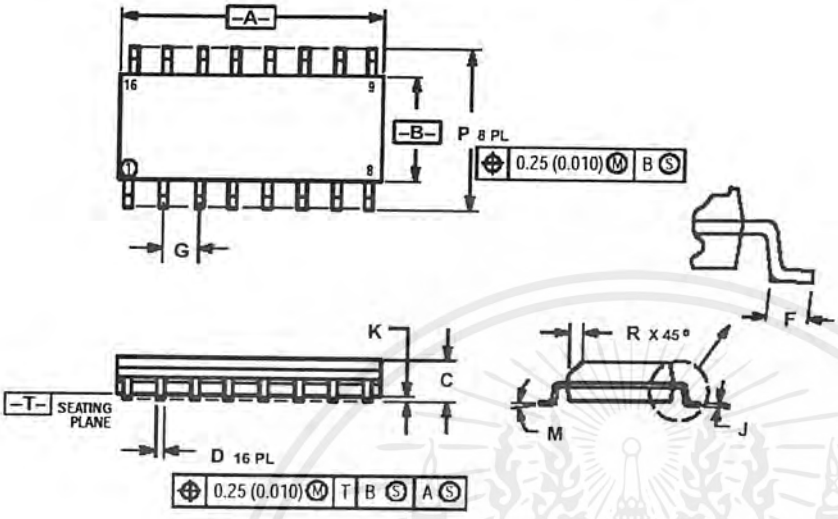
NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751B–05
ISSUE J



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	9.80	10.00	0.386	0.393
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.229	0.244
R	0.25	0.50	0.010	0.019

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ON Semiconductor and ⁘ are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

PUBLICATION ORDERING INFORMATION

North America Literature Fulfillment:
Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303–675–2175 or 800–344–3860 Toll Free USA/Canada
Fax: 303–675–2176 or 800–344–3867 Toll Free USA/Canada
Email: ONlit@hibbertco.com

N. American Technical Support: 800–282–9855 Toll Free USA/Canada

EUROPE: LDC for ON Semiconductor – European Support
German Phone: (+1) 303–308–7140 (M–F 2:30pm to 5:00pm Munich Time)
Email: ONlit–german@hibbertco.com
French Phone: (+1) 303–308–7141 (M–F 2:30pm to 5:00pm Toulouse Time)
Email: ONlit–french@hibbertco.com
English Phone: (+1) 303–308–7142 (M–F 1:30pm to 5:00pm UK Time)
Email: ONlit@hibbertco.com

ASIA/PACIFIC: LDC for ON Semiconductor – Asia Support
Phone: 303–675–2121 (Tue–Fri 9:00am to 1:00pm, Hong Kong Time)
Toll Free from Hong Kong 800–4422–3781
Email: ONlit–asia@hibbertco.com

JAPAN: ON Semiconductor, Japan Customer Focus Center
4–32–1 Nishi–Gotanda, Shinagawa–ku, Tokyo, Japan 141–8549
Phone: 81–3–5487–8345
Email: r14153@onsemi.com

Fax Response Line: 303–675–2167
800–344–3810 Toll Free USA/Canada

ON Semiconductor Website: http://onsemi.com

For additional information, please contact your local
Sales Representative.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้