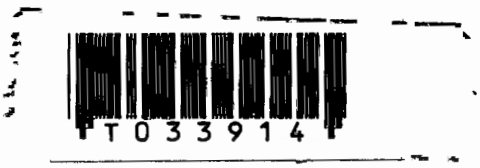
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การกำเนิดสัญญาณ QAM ด้วยวิธีสังเคราะห์ทางดิจิตอลโดยตรง

QAM signal Generator with DDS method(Direct Digital Synthesis)



นาย เกษมสันต์ ศรีโสภา
นาย ธวัชชัย บุญยัง
นาย ศิวพร มะลิดอกไม้

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต
สาขาเทคโนโลยีอิเล็กทรอนิกส์ ภาควิชาเทคนิคอุตสาหกรรม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2541

ว.ท
ก๒๒๑๑
๒๕๔๑

เลขหมู่.....
เลขทะเบียน 33914
วัน, เดือน, ปี 20 ก.ย. 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ การกำเนิดสัญญาณ QAM ด้วยวิธีการสังเคราะห์ทางดิจิตอลโดยตรง
QAM signal Generator with DDS Method (Direct Digital Synthesis)

ชื่อนักศึกษา	นาย เกษมสันต์	ศรีโสภา	เลขประจำตัว	40012002
	นาย ธวัชชัย	บุญยัง	เลขประจำตัว	40012015
	นาย ศิวพร	มะลิดอกไม้	เลขประจำตัว	40010030

อาจารย์ที่ปรึกษา อาจารย์ ดลชัย สุขเจริญผล
อาจารย์เรืองศักดิ์ เจริญผ่อง

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2541

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

----------ประธานกรรมการ
( )
----------กรรมการ
( )
----------กรรมการ
( )
----------กรรมการ
( )
----------กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทคัดย่อ

ปริญญานิพนธ์นี้เป็นการนำเสนอ การส่งสัญญาณดิจิตอลบนสายส่ง(Transmission Line) ที่อัตราความเร็วการส่งข้อมูล 9600 kbps โดยใช้เทคนิคการมอดูเลททางดิจิตอลแบบ M-ary Quadrature Amplitude Modulation (16 – QAM) การมอดูเลต นี้เป็นการจัดการให้มีประสิทธิภาพของ สเปกตรัมและการส่งข้อมูลแบบอนุกรม บนสัญญาณ RF ที่มีขนาดแบนด์วิดท์แคบ โดยทั่วไปการกำเนิดสัญญาณ 16-QAM ในรูปแบบ I-Q Modulation (แบบโดยตรง) ซึ่งจะมีข้อเสียอยู่ 2 อย่าง คือด้านความถูกต้องของข้อมูลและความซับซ้อนของวงจร เพราะฉะนั้นใน ปริญญานิพนธ์นี้เราจะเสนอวิธีการกำเนิดสัญญาณ 16-QAM แบบ Direct Digital Signal (D.D.S.) ซึ่งจะสามารถแก้ปัญหาดังกล่าว และยังช่วยลดขนาดของอุปกรณ์ทางภาคส่งด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSTRACT

This thesis presents of digital transmission system on transmission line (coaxial cable) at data speed 9600 kbps and the digital modulation Technique scheme is M-ary Quadrature Amplitude Modulation (16-QAM) . This modulation scheme can provide both of high spectrum efficiency and high serial data rate on narrow RF bandwidth . Generally signal generated in I-Q modulator (direct form) which it has two disadventage that is an accuracy of signal and other is using mode complexity circuit . Therefore in this thesis we will choose new 16-QAM signal generating with Direct Digital Signal (D.D.S.) which this method can solved that problems and reduce transmitter circuit size

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ ที่กลุ่มของข้าพเจ้าได้จัดทำมาจนประสบผลสำเร็จนั้น ทางเราคิดว่าได้รับรู้อะไรหลายสิ่งหลายอย่าง ในการทำงานที่เป็นกลุ่ม และทำให้เราทราบว่าไม่มีอะไรที่แน่นอนถ้าไม่ได้ลงมือทำเอง ฉะนั้นทางเราจึงคิดได้ว่าจงอย่าเชื่อหรืออย่าหวังอะไรมาก กลับสิ่งที่ยังไม่เกิดขึ้นจริง แต่พวกเราก็รู้สึกขอบคุณกำลังใจจากพวกเพื่อนและน้องๆทุกท่านที่ส.จ.ล. ที่คอยช่วยเหลือและให้กำลังใจในทุกด้าน ส่วนทางด้านความรู้,คำปรึกษา และอุปกรณ์ที่ใช้ในโครงงานนี้ต้องขอขอบคุณ คณะอาจารย์ภาคเทคนิคอุตสาหกรรมทุกท่าน สุดท้ายที่สำคัญที่สุดในชีวิตของพวกข้าพเจ้าคือ บิดา มารดา ที่พวกท่านเป็นกำลังใจเสมอมาจนทำให้พวกข้าพเจ้าได้มีทุกวันนี้

และถ้าปริญญานิพนธ์ฉบับนี้เป็นประโยชน์กับบุคคลหรือกลุ่มคณะใดความดีทั้งหมดนี้พวกข้าพเจ้าขอยกให้ทุกท่านที่คอยเป็นกำลังใจเสมอมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ(ภาษาไทย)	I
บทคัดย่อ(อังกฤษ)	II
กิตติกรรมประกาศ	III
บทที่ 1 บทนำ	
แนวคิดและความเป็นมา	1
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	
1.1 ทฤษฎีเกี่ยวกับการส่งสัญญาณแบบ 16 QAM	2
1.2 วงจรดีเอซี (Digital to Analog Converter)	7
1.3 วงจรเฟสล็อคลูป(Phase Lock Loop)	21
1.4 วงจรกรองความถี่ (Filter Circuit)	29
บทที่ 3 การออกแบบเครื่องส่งสัญญาณ 16 QAM แบบ (D.D.S.)	
3.1 หลักการ SAMPLING	50
3.2 การสร้างสัญญาณ 16 QAM ด้วยวิธีการ D.D.S.	52
3.3 วงจรแยกบิทข้อมูลอนุกรม (1 to 4)	55
3.4 วงจรกำเนิดสัญญาณนาฬิกาแบบเปลี่ยนค่าค่าได้	57
3.5 วงจร DAC ขนาด 8 บิทแบบ Bipolar	58
บทที่ 4 การออกแบบภาครับสัญญาณ 16 QAM	
4.1 หลักการดีมอดูเลเตอร์แบบ Correlation	60
4.2 วงจร Carrier And Clock Rrecovery แบบลูปกำลังสี่	61
4.3 วงจรบาลานซ์ดีมอดูเลเตอร์	63
4.4 วงจรรวมบิทข้อมูลขนาน (4 to 1)	65
บทที่ 5 การทดลองและผลการทดลอง	
5.1 ผลการทดลองภาคส่งสัญญาณ 16 QAM แบบ D.D.S.	67
5.2 ผลการทดลองภาครับสัญญาณ	73
บทที่ 6 สรุปผลการทดลองและข้อเสนอแนะเอกสารอ้างอิง	82
ภาคผนวก	
ก. วงจรรวม	
ข. Data sheet	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำอธิบายสัญลักษณ์

DAC : วงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอล(Digital to Analog converter)

PLL : วงจรเฟสล็อคลูป(Phase Lock Loop)

QAM : เป็นเทคนิคการมอดูเลทสัญญาณดิจิตอล ที่มีทั้งขนาดและเฟส(Quadrature Amplitude Modulation)

LPF : วงจรความถี่ต่ำผ่าน

HPF : วงจรกรองความถี่สูงผ่าน

BPF : วงจรกรองเฉพาะผ่านย่านความถี่

fc : จุดตัดความถี่ที่ตำแหน่ง -3 dB (Hz)

fo : ความถี่ที่จุดกึ่งกลางของวงจรกรองเฉพาะผ่านย่านความถี่ (Hz)

VCO : วงจรที่ใช้แรงดันไฟไปควบคุมความถี่(Voltage Control Oscillator)

D.D.S. : การสังเคราะห์สัญญาณทางดิจิตอลโดยตรง(Direct Digital Synthesis)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

แนวความคิดและความเป็นมา

ในปัจจุบันวิวัฒนาการทางการสื่อสารได้มีการพัฒนาอย่างรวดเร็ว ทำให้ในชีวิตประจำวันนั้นมีความสัมพันธ์ต่อการสื่อสาร ไม่ว่าจะเป็นเรื่องส่วนตัวหรือธุรกิจ ดังนั้นการสื่อสารจึงเป็นสิ่งที่สำคัญที่ควรจะศึกษา เพื่อจะเข้าใจในระบบของการสื่อสารจะทำให้เป็นประโยชน์ต่อการทำงาน หรือในการตัดสินใจเลือกระบบสื่อสารกับชีวิตประจำวัน ดังนั้นโครงงานนี้ก็เป็นการสื่อสารข้อมูลทางดิจิตอลแบบหนึ่งที่ได้รับความนิยมโดยจะทำการสร้างสัญญาณขึ้นมาด้วยวิธีการโดยอาศัยรูปแบบ I-Q Modulator ที่ภาคส่งและ Coherent Receiver (Correlator demodulator) ที่ภาครับ

วัตถุประสงค์ของโครงงาน

1. ศึกษาวิธีการรับ ส่งข้อมูลแบบ 16 QAM
2. ศึกษาการกำเนิดสัญญาณแบบ Look Up Table แทนการกำเนิดสัญญาณแบบมอดูเลต
3. เพื่อที่จะทำให้วงจรของเครื่องส่ง 16 QAM มีขนาดลดลง

ขอบเขตของโครงงาน

1. ภาคส่ง
   - -วงจรแยกบิทข้อมูลอนุกรม(1 to 4)
   - -การสร้างสัญญาณด้วยวิธีการ Look Up Table
   - -วงจร DAC – 8 บิท แบบ Bipolar
   - -วงจรกำเนิดสัญญาณนาฬิกา
2. ภาครับ
   - -วงจร Correlator
   - -วงจร Carrier Recovery แบบลูปยกกำลังสี่
   - -วงจรรวมบิทข้อมูลขนาน (4 to 1)

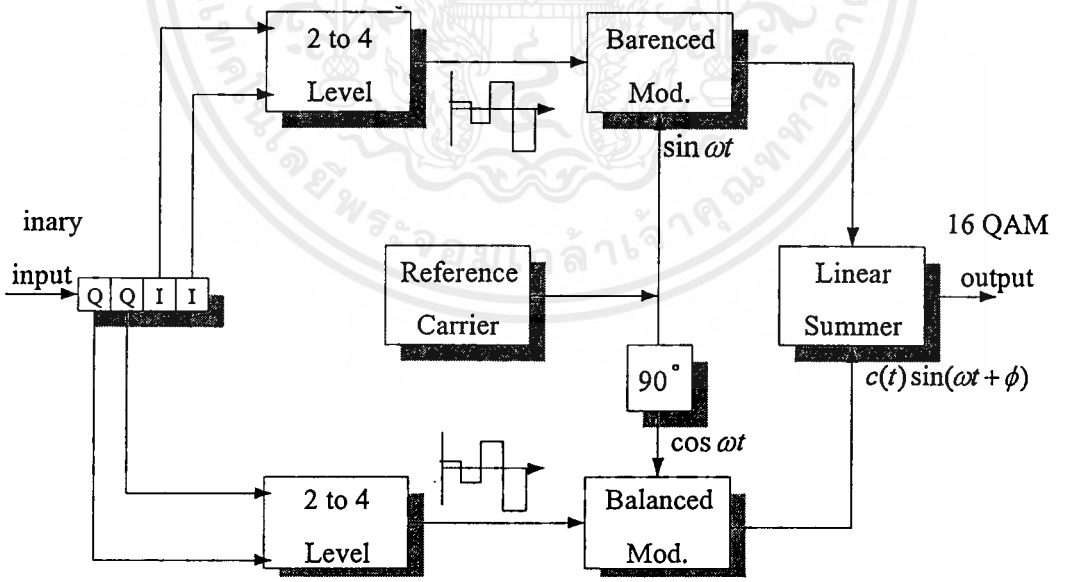
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

2.1 เทคนิคการมอดูเลตทางดิจิตอลแบบ QAM (Quadreature Amplitude Modulation)

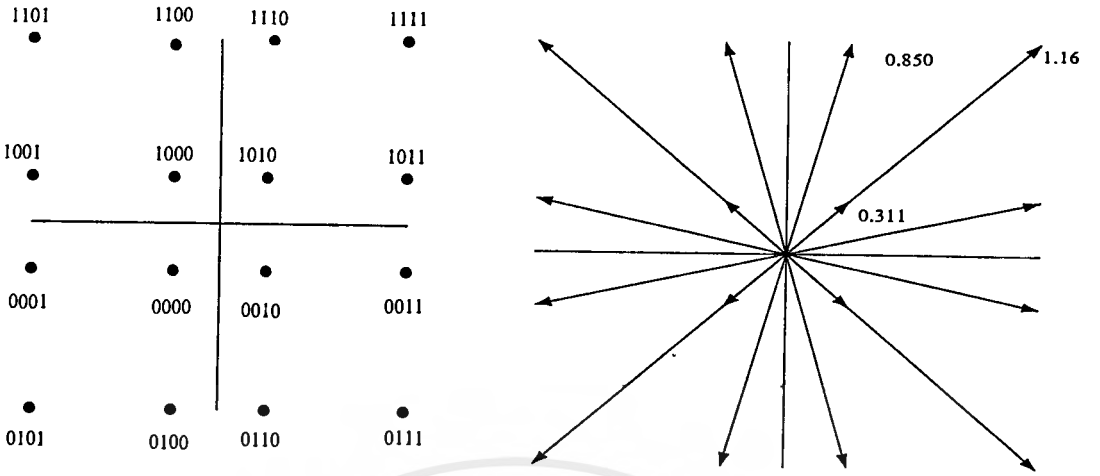
Quadrature Amplitude Modulation เป็นการมอดูเลตสัญญาณดิจิตอลอีกรูปแบบ ซึ่งข้อมูลดิจิตอลจะถูกบรรจุใน แอมปลิจูดและ เฟสของสัญญาณพาหะ และ ในโครงการนี้จะเลือกใช้แบบ 16 QAM ซึ่งข้อมูลอินพุต ที่เข้ามาแบบอนุกรมจะโดนแบ่งออกเป็นชุด ๆละ 4 บิท

บล็อคไดอะแกรมของเครื่องส่ง 16 QAM ได้แสดงในรูป 2.1 ข้อมูลอินพุ9แบบฐานสองถูกป้อนเข้าสัญญาณต่างๆ 4 ช่อง คือ $I, \overline{I}, Q$ และ $\overline{Q}$ ดังนั้นบิทเรทในแต่ละช่องจะมีค่าเป็น ¼ ของบิทเรทอินพุต (Fb/4) อินพุต4 บิทถูกส่งแบบอนุกรมเข้าวงจรแยกบิท แล้วถูกส่งออกพร้อมๆกันเป็นแบบขนาน ด้วยช่อง $I, \overline{I}, Q$ และ $\overline{Q}$ บิท I และ Q ทั้งคู่ จะป้อนเข้าสู่วงจรแปลงลอจิก ไปเป็น 4 ระดับ ดังนั้นวงจรแปลง 2 ลอจิก เป็น 4 ระดับ จึงสร้างสัญญาณ PAM ได้ 4 สัญญาณ คือมีลักษณะ 2 ขั้วและ 2 ขนาดที่เป็นไปได้ที่เอ้าพุตของวงจรแปลง 2 ลอจิก เป็น 4 ระดับ จากนั้นสัญญาณ PAM จะเข้าไปมอดูเลทกับสัญญาณพาหะ Inphase และ สัญญาณพาหะ Quadrature phase ด้วยวงจรคูณ จะได้เอ้าพุตมี 4 รูปแบบสำหรับแต่ละวงจรคูณ และเมื่อได้นำผลลัพธ์ที่ได้ไปรวมกันที่วงจรรวมสัญญาณแบบเชิงเส้น จะทำให้ได้เอ้าพุตง 16 รูปแบบ



รูปที่ 2.1 Block Diagram 16 QAM แบบ Balance modulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แสดงรูปแบบของ phasor diagram และ constellation diagram

QAM ได้จากการเปลี่ยนแปลง parameter 2 ตัวไปพร้อมๆกันคือทั้งทาง แอมปลิจูด และเฟส

จากสมการตรีโกณมิติ COS (A+B) = COS (A) COS (B) – Sin (A) Sin (B)

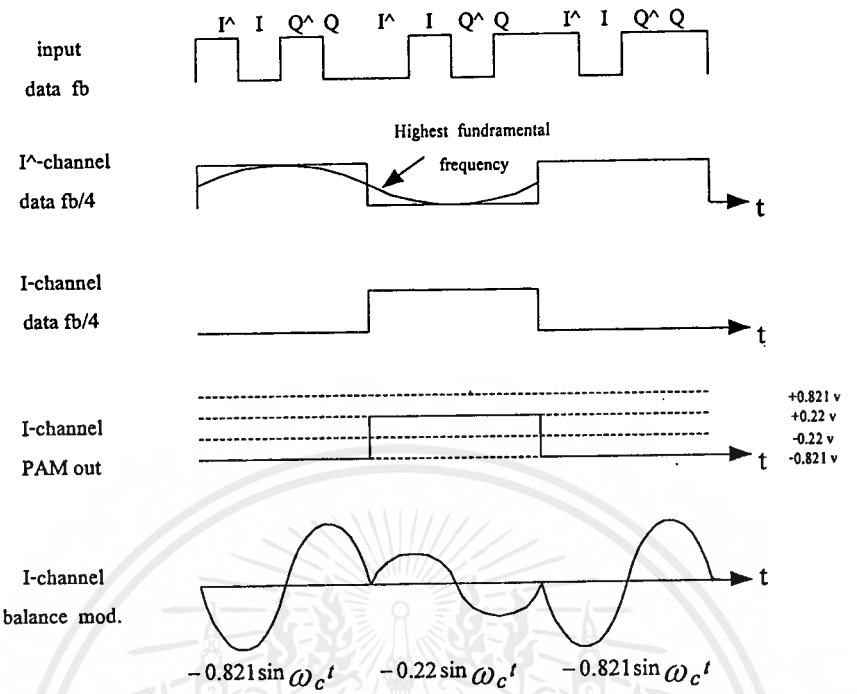
จะได้

$$\text{COS}(\omega_c + \phi) = \text{COS}(\phi)\text{COS}(\omega_c t) - \text{Sin}(\phi)\text{Sin}(\omega_c t) \qquad (2.1)$$

จากสมการ $\text{COS}(\phi)$ และ $\text{Sin}(\phi)$ แทนสัมประสิทธ์ของคลื่นทั้งสอง ส่วนชุด $\text{COS}(\omega_c t)$ และ $\text{Sin}(\omega_c t)$ เป็นสัญญาณ Sine ซึ่งมีเฟสต่างกัน 90 องศาหรือตั้งฉากกัน

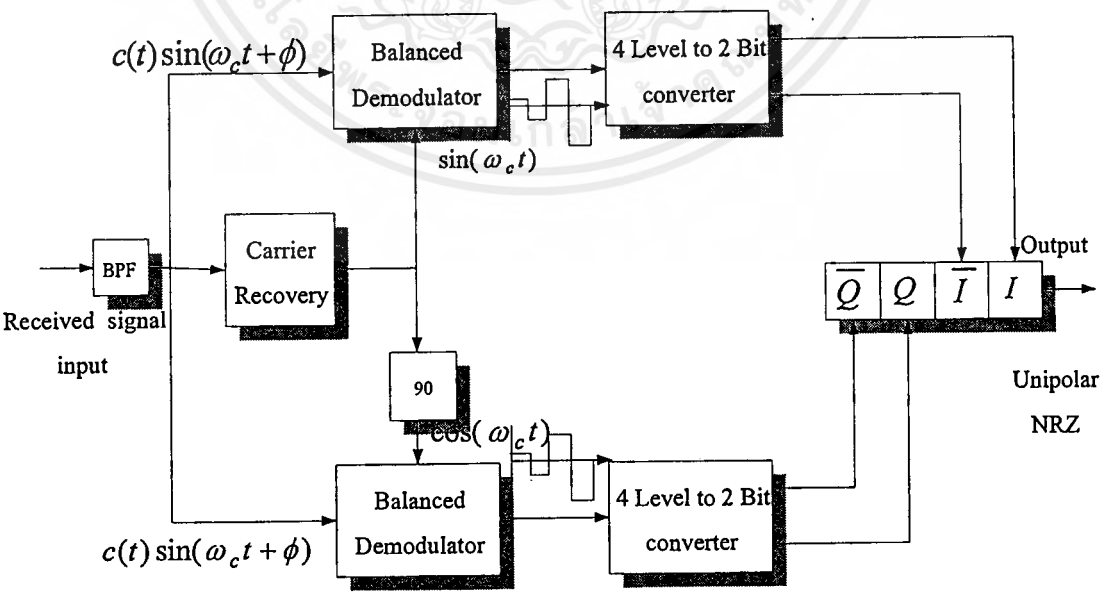
การส่งข้อมูลแบบ 16 QAM นี้เมื่อข้อมูลที่ป้อนเข้ามาแล้วมันจะถูกแบ่งออกเมื่อป้อนเข้าฟลิปฟลอป 4 ตัว บิทเรทในช่อง I, $\overline{I}$, Q และ $\overline{Q}$ มีค่าเท่ากับ ¼ ของอัตราการเข้าข้อมูลอินพุตแบบฐานสอง (Fb/4) วงจรแยกบิทจะขยายบิท I, $\overline{I}$, Q และ $\overline{Q}$ เป็นสี่เท่าของคาบเวลาบิทอินพุต ทั้งนี้เพราะว่าบิท I, $\overline{I}$, Q และ $\overline{Q}$ จะเป็นเอ้าพุตออกมาพร้อมกันและอยู่ในรูปขนาน วงจรแปลงระดับ 2 ถึง 4 ระดับ จะมีอัตราการเปลี่ยนแปลงอินพุตและเอ้าพุทเป็น ¼ ของอัตราเข้าของข้อมูลอินพุต จากรูปที่ 2.3 แสดงความสัมพันธ์ของเวลา ของบิทระหว่าง สัญญาณดิจิตอล I, $\overline{I}$, Q และ $\overline{Q}$ จะมีค่า ¼ ของข้อมูลดิจิตอลอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 ลักษณะของสัญญาณ 16 QAM ด้าน I-Channel เมื่อเทียบกับ Serial Data

จากนั้นเมื่อทำการส่งสัญญาณQAM ออกไปที่ภาครับ โดยบล็อคไดอะเกรมแสดงดังรูปที่ 2.4



รูปที่ 2.4 Block Diagram ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การดีเทคสัญญาณ M – QAM โดยทั่วไปจะมีความยุ่งยากซับซ้อนกว่าสัญญาณไบนารีมาก ใน $\cos \omega t$ ข้อข้อนี้จะกล่าวถึงแนวทางการดีเทคสัญญาณ

โดยที่อินพุตของภาครับจะใช้วงจร BPF เพื่อที่ทำการจำกัดสัญญาณรบกวนทิ้งไปโดยที่ความถี่จุดตัดความถี่ที่ตำแหน่ง -3 dBจะเท่ากับความถี่ Modulate Bandwidth ของสัญญาณ 16 QAM. ที่ส่งมา หลังจากนั้นสัญญาณไปเข้าที่อินพุตวงจร Demodulator ของทั้งภาค I และ ภาค Q นำสัญญาณที่ออกจากวงจร BPF ส่วนหนึ่งไปเข้าวงจร Carrier Recovery เพื่อที่จะกู้สัญญาณ Carrier ที่เหมือนกับ Carrier ของภาคส่งที่เข้าวงจร Balance Modulator เมื่อได้สัญญาณ Carrier ที่เป็น $\sin \omega_c t$ ในขณะเดียวกันก็ส่งไปที่วงจร Balance Demodulator ที่ด้าน I ส่วนทางด้าน Q ต้องนำสัญญาณ Carrier ที่กู้ได้ไปเข้าวงจรเลื่อนเฟส 90 องศาก็จะได้สัญญาณที่เป็น $\cos \omega_c t$ และเมื่อวงจรทำการ Demodulation แล้ว จะเข้าวงจร LPF เพื่อจะกำจัดความถี่สูงออกไปเหลือแต่ส่วนของสัญญาณ PAM 4 ระดับทั้งสองด้านจากนั้นก็ส่งไปที่วงจรแปลง 4 Level to 2 Bit โดยความเร็วที่ออกจากวงจรแปลงจะเป็น fb/2 สุดท้ายก็นำสัญญาณทั้ง I และ Q มารวมกันโดยใช้วงจร Parallel to Serial converter สุดท้ายจะได้สัญญาณเบสแบนด์คือ Unipolar NRZ

ความน่าจะเป็นในการตัดสินเลือกบิทเนื่องจาก A.W.G.N.ในระบบ M-QAM และ ระบบ M-PSK

ในการพิจารณาพรอบบิลิตีของการผิดพลาดของสัญญาณแบบ M-QAM และแบบ M-PSK นั้นปกติเราจะดูที่การผิดพลาดของสัญลักษณ์ก่อน การคำนวณเป็นพรอบบิลิตีของการผิดพลาดของข้อมูล โดยการเปลี่ยนแปลงจากสัญลักษณ์ให้เป็นจำนวนบิท ในขณะเดียวกันก็หาวิธีแสดงพรอบบิลิตีของการผิดพลาดในรูปฟังก์ชั่นของพลังงานเฉลี่ยต่อ 1 บิท หารด้วยความหนาแน่นสเป็กตรัมกำลังของสัญญาณรบกวน หรือ Eb/η เพื่อให้สามารถทำการเปรียบเทียบกันระหว่างวิธีการมอดูเลตในแบบต่างๆได้ การดีเทคสัญญาณทั้งสองแบบนี้ปกติใช้โคฮีเรนท์ดีเทคชัน เนื่องจากวิธีวิเคราะห์หาพรอบบิลิตีของการผิดพลาดของกรณีสัญญาณแบบ M- QAM และ M-PSK นี้ค่อนข้างจะยุ่งยากจึงขอตัดตอนเอาเฉพาะผลที่ได้สำหรับสองกรณีดังต่อไปนี้

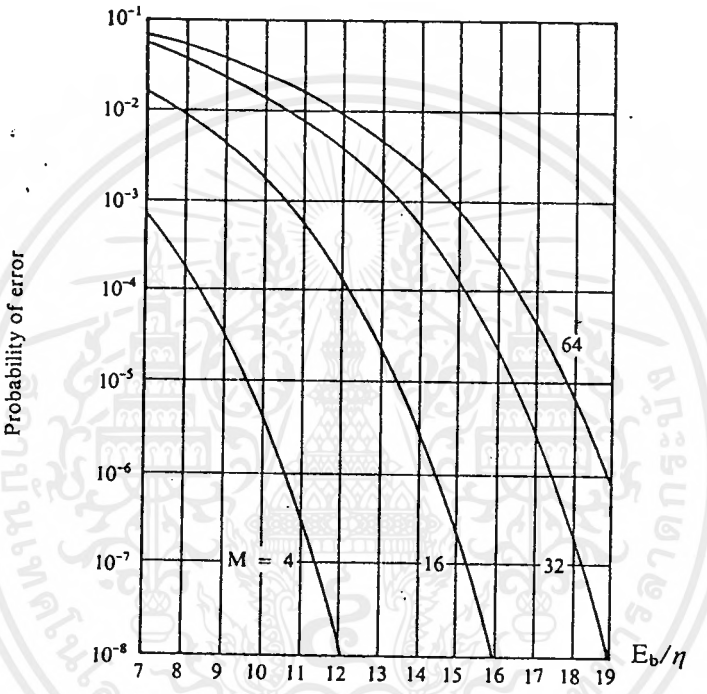
$$PeQ = \frac{2}{\log L}\left(1-\frac{1}{L}\right)Q\left[\sqrt{\left(\frac{3\log L}{L^2-1}\right)\frac{2Eb}{\eta}}\right] \tag{2.2}$$

$$PeP = 2Q\left(\sqrt{\frac{2Eb\log_2 M}{\eta}}\sin\frac{\pi}{M}\right) \tag{2.3}$$

โดยที่ P_eQและ P_eP แสดงพรอบบิลิตีของการผิดพลาดของ M-QAM และ M-PSK ตามลำดับและ L ในสมการที่ 2.2 คือจำนวนระดับของสัญญาณ QAM รูปที่ 2.5 และรูปที่ 2.6 แสดงผล

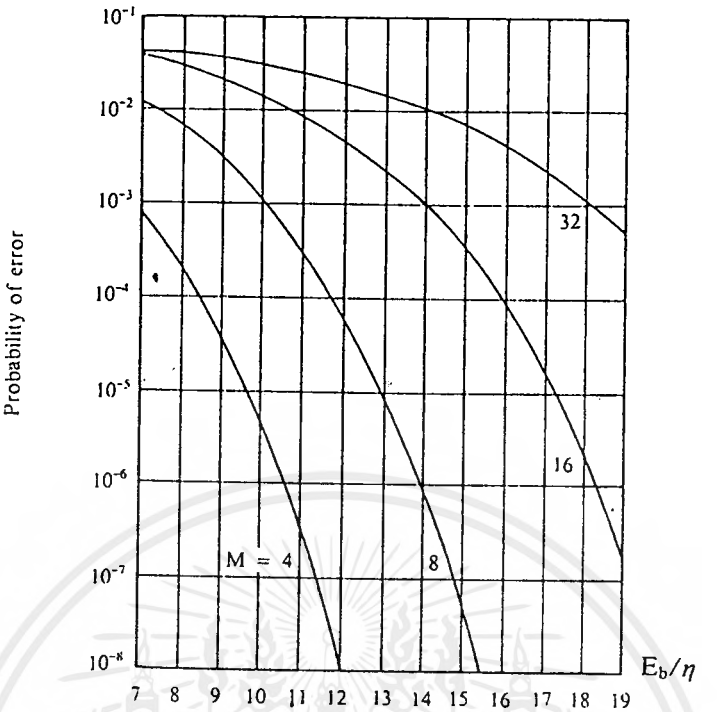
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวนสมการ 2.2 และสมการ 2.3 เมื่อเปรียบเทียบรูปทั้งสองจะเห็นได้ว่ากรณี 4-QAM และ 4-PSK จะเหมือนกันทุกประการแต่เมื่อ M>4 แบบ 4-QAM จะมีคุณสมบัติดีกว่าแบบ M-PSK อย่างน่าสังเกต ในกรณีที่รู้พลังงานเฉลี่ยต่อ 1 สัญลักษณ์ ก็จะสามารถหาพลังงานเฉลี่ยต่อ 1 บิท ได้ จาก $Eb = Es/\log_2 M$ โดยที่ Es เป็นพลังงานเฉลี่ยต่อหนึ่งสัญลักษณ์ ในกรณีที่รู้พลังงานสูงสุดของสัญลักษณ์ ก็จะต้องหาค่าพลังงานเฉลี่ยต่อ 1 สัญลักษณ์ออกมาก่อนแล้วจึงนำมาหา Eb ต่อไป



รูปที่ 2.5 พรอบบะบิลิตีของการผิดพลาดของสัญญาณ M-QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 พรอบบะบิลิตีของการผิดพลาดของสัญญาณ M-PSK

2.2 วงจร แปลงสัญญาณ Digital ไปเป็น Analog (Digital to Analog Converter : DAC)

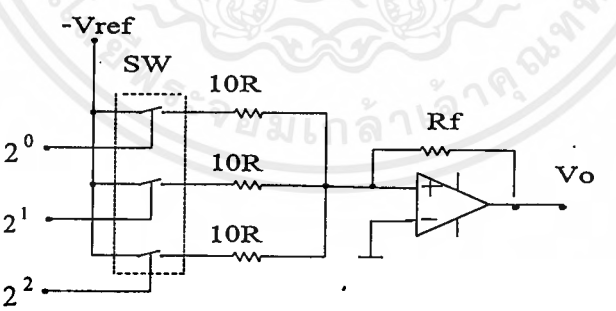
วงจร DAC คือ วงจรที่ใช้สำหรับเชื่อมต่อระหว่างวงจรดิจิตอลกับวงจรอะนาลอก สัญญาณอะนาลอกเป็นสัญญาณที่เกิดขึ้นจากธรรมชาติ ตัวตรวจจับสัญญาณจะเป็นหน่วยเปลี่ยนกระบวนการทางฟิสิกส์ เช่น อุณหภูมิ แรงดัน ความชื้นหรืออื่นๆ ให้เป็นสัญญาณทางไฟฟ้าในรูปของแรงดัน กระแส หรือความต้านทานก็ตาม แต่จะมีความยุ่งยากมากขึ้นหากต้องการเก็บสัญญาณอะนาลอกไว้ตลอดในช่วงเวลานานๆ เพื่อนำมาใช้ในการเปรียบเทียบหรือคำนวณในภายหลัง ตรงกันข้ามคอมพิวเตอร์สารารถทำงานดังกล่าวนี้ได้ดีกว่ามากด้วยสัญญาณดิจิตอลหากเมื่อใดต้องการที่จะนำผลที่ได้จากการประมวลผลด้วยคอมพิวเตอร์ออกไปควบคุมอุปกรณ์หรือเครื่องจักรกลใดๆ ที่ใช้สัญญาณอะนาลอก จำเป็นต้องมีวงจรDACต่อร่วมด้วยเสมอหลักการเบื้องต้นของวงจรDAC หากนำข้อมูลดิจิตอลขนาด 3 บิทจาก 000 ถึง 111 มาแปลงให้เป็นเลขฐานสิบจะได้ดังแสดงในตาราง 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขฐานสอง			เลขฐานสิบ
2^2	2^1	2^0	
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

ตารางที่ 2.1 แสดงการแปลงรหัสดิจิตอล 3 บิท เป็นเลขฐานสิบ

จากตารางจะเห็นว่าเลขฐานสิบที่ได้จะเป็นการรวมค่าของเลขฐานสองในแต่ละหลักที่มีค่าตาม 2 ยกกำลัง จาก 0 + 0 + 0 = 0 ถึง 4 + 2 1 = 7 สถานะลอจิกของเลขฐานสองแต่ละหลักสามารถนำไปควบคุมสวิตช์อิเลกทรอนิกส์ทางด้านอินพุตของวงจรออปแอมป์ซึ่งทำหน้าที่เป็นวงจรขยายผลรวม โดยการกำหนดค่าความต้านทานอินพุตของวงจรเป็นแบบสัดส่วนดังแสดงในรูป 2.7



รูปที่ 2.7 แสดงวงจร DAC แบบสัดส่วนความต้านทาน

จากรูปที่ 2.7 เราหาค่า Vo ได้ดังนี้

$$Vo = -(-Vref)\, Rf\, (\, 1/10R + 1/5R + 1/2.5R) \qquad (2.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \left(\frac{1}{10} + \frac{1}{5} + \frac{1}{2.5} \right) Rf/R$$

$$= 0.1\ Vref\ (1 + 2 + 4)\ Rf/R$$

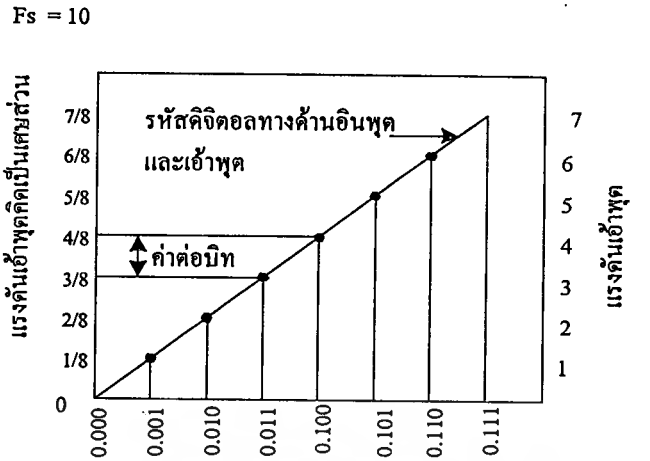
จากสมการแสดงให้เห็นว่า Vo จะมีค่าแตกต่างกันได้หากสวิตซ์ควบคุมอินพุต 2^0 ถึง 2^2 ปิดและเปิดตามตารางที่ 2.2 ในที่นี้สมมุติว่า Vref มีค่า -10 โวลต์ Rf/R มีค่าเป็น 1 ลอจิก "0" ควบคุมให้สวิตซ์เปิด ลอจิก "1" ควบคุมให้สวิตซ์ปิด

สวิตช์			Vo
2^2	2^1	2^0	ขณะ Vref = -10 V
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

ตารางที่ 2.2 แสดงลอจิกอินพุตเอ้าพุตของ

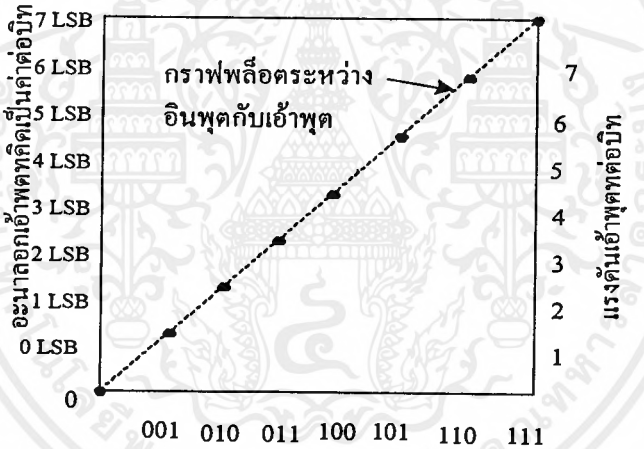
วงจรรูปที่ 2.7 คุณสมบัติเชิงอุดมคติของวงจรDAC จากรูปวงจร 2.7 และตาราง 2.2 หากนำค่ามาเขียนเป็นกราฟคุณสมบัติระหว่างอินพุต และ เอ้าพุตได้ดังแสดงในรูป 2.8โดยอินพุตคิดเป็นลักษณะเศษส่วน เช่น 0.111 เท่ากับ 7/8 และเอ้าพุต V_{FS} คือค่าเต็มสเกลคิดเป็น 1.0 จะเป็นค่าที่ไม่เกิดขึ้นเลยในทางปฏิบัติ เพราะอินพุตสูงสุดจะมีค่าเพียง 0.111 = 7/8 เท่านั้น จากรปที่ 2.8 ค่าสูงสุดของสัญญาณดิจิตอล 3บิท คือ 111 และค่าแรงดันเอ้าพุตสูงสุดเท่ากับ 7 โวลต์ ซึ่งสามารถนำมาเขียนกราฟคุณสมบัติของDACขึ้นใหม่ดังแสดงในรูป 2.9 เพื่อใช้หาค่าความละเอียดของDAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงกราฟระหว่างอินพุตกับเอ้าพุตของDAC 3 บิท

ความละเอียดของDAC



รูปที่ 2.9 แสดงกราฟอะนาลอกเอ้าพุตกับดิจิตอลอินพุตของDAC

จากรูป 2.9 จะเห็นว่ามี 8 อินพุตของลอจิกที่ไม่ซ้ำกันจาก 000 ถึง 111 ดังนั้นเอ้าพุตจะแบ่งได้เป็น 8 ส่วน DAC ขนาดอินพุต 3 บิท จะมีค่าเอ้าพุตเท่ากับ 8 หรือ 2^3 ดังนั้นถ้าเป็น DAC n บิท ค่าความละเอียดหาได้จาก

ความละเอียด = 2 กำลัง n (2.5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรืออาจจะนิยามความละเอียดเป็นค่าของบิทต่ำสุดดังนี้

ความละเอียดของแรงดัน = ค่าแรงดันเอ้าพุตขณะบิทต่ำสุดเป็นลอจิก "1" (2.6)

สมการแรงดันเอ้าพุตของ DAC หาได้จากสูตร

V_0 = ความละเอียดของแรงดันคูณด้วย D

V_0 คือ ค่าแรงดันเอ้าพุต หน่วยเป็นโวลต์

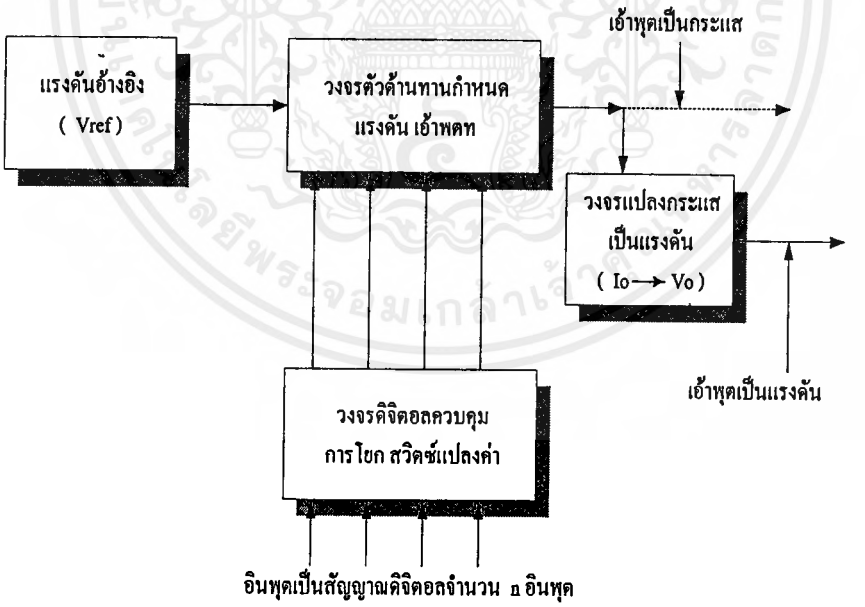
D คือ ค่าเลขฐานสิบที่แปลงมาจากเลขฐานสองจากลอจิกอินพุต

ค่าเต็มสเกลของ DAC ขนาด n บิท หาได้จากสูตร

แรงดันเอ้าพุตเต็มสเกล = ความละเอียดของแรงดันคูณด้วย $(2^n - 1)$ (2.7)

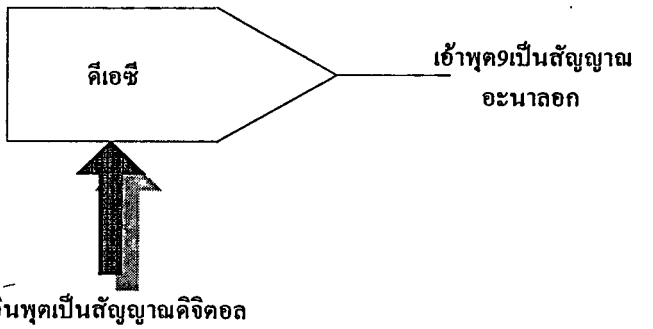
n คือค่าจำนวนบิททางด้านอินพุตของDAC

หลักการทำงานของ DAC



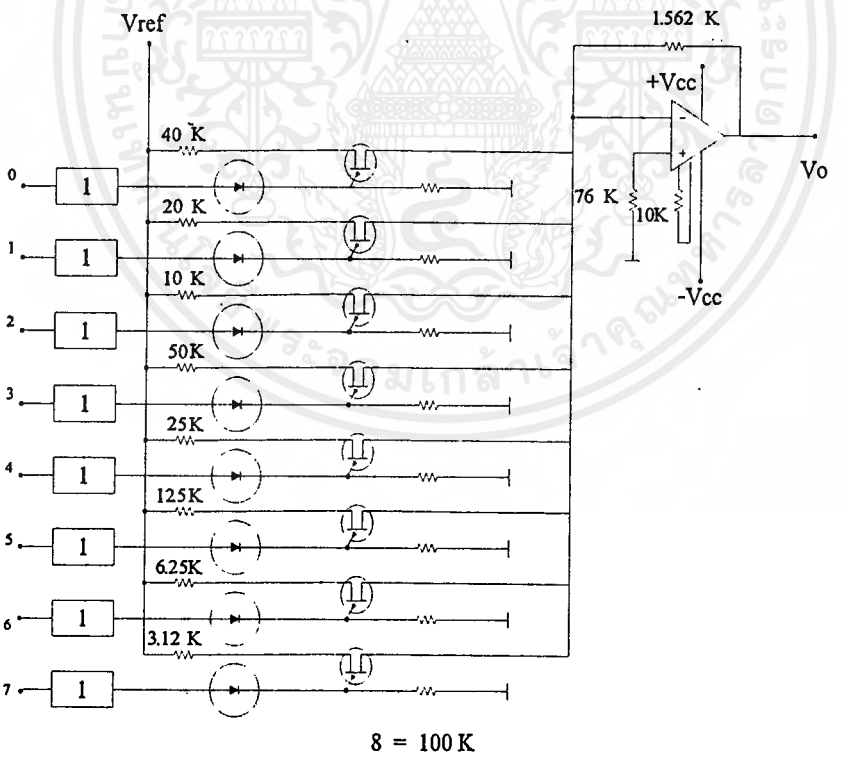
รูปที่ 2.10 แสดงแผนผังของวงจร DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 แสดงแผนผังของวงจร DAC และสัญลักษณ์

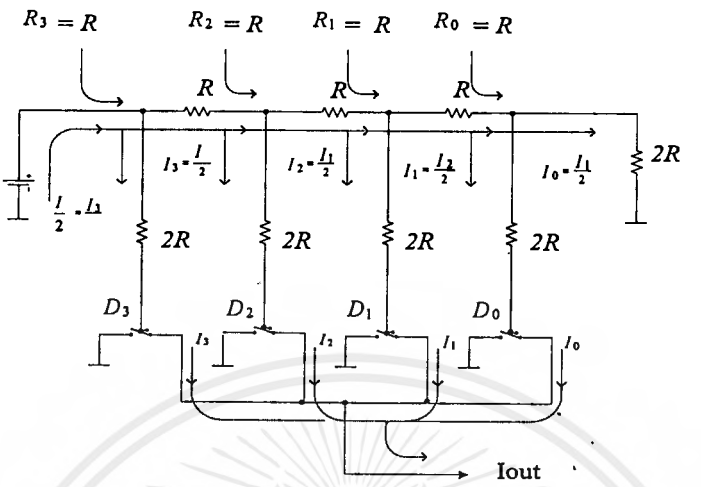
เพื่ออำนวยความสะดวกในการรับส่งข้อมูลจากสายข้อมูลของระบบคอมพิวเตอร์ขนาด 8 บิทหรือมากกว่านั้น จึงจำเป็นต้องให้ DAC มีจำนวนอินพุตมากขึ้นดังแสดงตัวอย่างวงจรพื้นฐานในรูป 2.12 โดยใช้ตัวต้านทานของบิทต่ำสุดเป็น 400 กิโลโอห์ม ส่วนบิทสูงสุดใช้ตัวต้านทานขนาด 3.125 กิโลโอห์ม และใช้ทรานซิสเตอร์เฟตเป็นอะนาลอกสวิตช์ ร่วมกับวงจรขยายออปแอมป์ เบอร์ 741



รูปที่ 2.12 แสดงวงจรDACขนาด 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร DAC แบบ R-2R



รูปที่ 2.13 แสดงวงจร DAC แบบตัว 2-2R

การต่อวงจรตัวต้านทานแบบ R-2R ขนาด 4 บิทซึ่งประกอบด้วยตัวต้านทาน 3 ตัวมีค่าเท่ากับ R และตัวต้านทานอีก 5 ตัวมีค่าเท่ากับ 2R ดังแสดงในรูป 2.13 กำหนดให้ R=10 กิโลโอห์ม และ 2R=20 กิโลโอห์ม สวิตช์ที่ต่ออยู่ในวงจรถูกควบคุมด้วยลอจิก "0" เพื่อโยกสวิตช์ไปยังตำแหน่งกราวด์หรือลอจิก "1" เพื่อโยกสวิตช์ให้กระแสไหลไปยังเอ้าพุตตามลอจิกที่ควบคุมในแต่ละบิททางด้านอินพุตจาก 0000 ถึง 1111 หากสังเกตที่โหนด 0 ของวงจร จะมีตัวต้านทาน 2R เป็นตัวกำหนดให้ $R_0 = R$ เพราะหากนำเอา 2R ขนานกับ 2R จะมีค่า เท่ากับ R และถ้ามองจากโหนด 1 ออกไปทางขวามือ $R_1 = R$ เพราะ $R_0 + R$ มีค่าเท่ากับ 2R และถ้ามองจากอินพุต V_{ref} จะได้ $R_3 = R$ ดังนั้นสามารถคำนวณหากระแสได้ดังนี้

$$\text{กระแสอินพุต } I = V_{ref}/R \qquad (2.8)$$

กระแสที่จุดโหนดแต่ละโหนดจะถูกแบ่งออกเป็นสองส่วนเท่ากันเสมอดังนี้

$I_3 = I/2$

$I_2 = I_3/2 = I/4$

$I_1 = I_2/2 = I/8$

$I_0 = I_1/2 = I/16$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นค่ากระแสที่บิทต่ำสุด คือ I_0 ส่วนกระแสทางด้านเอ้าพุตคือผลรวมของกระแสที่ไหลผ่านตัวต้านทาน 2R ขณะแต่ละสวิตช์ถูกควบคุมด้วยลอจิก "1"

$$I_{out} = (\text{กระแสที่ไหลขณะบิทต่ำสุดเป็นลอจิก "1"}) \times D \qquad (2.9)$$
$$= I_0 \times D$$
$$= (Vref/R)\,(1/2^n) \times D$$

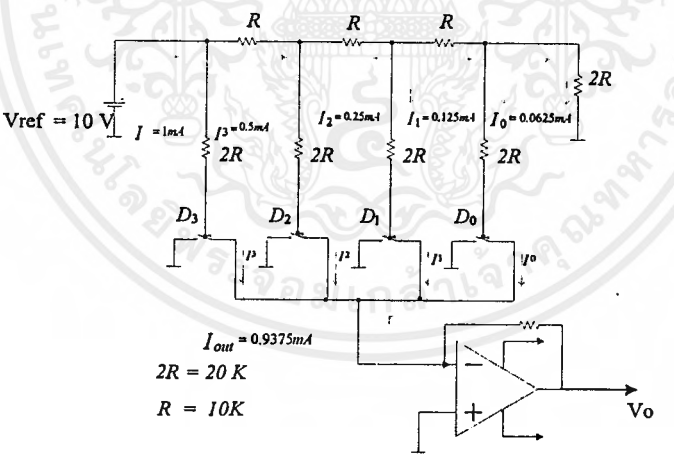
กำหนดให้ I_0 คือค่ากระแสที่ไหลขณะบิทต่ำสุดเป็นลอจิก "1" (แอมป์แปร์)

Vref คือค่าแรงดันอ้างอิงของวงจร (โวลต์)

R คือค่าความต้านทาน (โอห์ม)

n. คือค่าจำนวนบิทของ DAC

แรงดันเอ้าพุต จากรูป 2.13 หากนำออปแอมป์มาต่อเพิ่มเข้าไปก็จะสามารถเปลี่ยนกระแสเป็นแรงดันได้ ดังแสดงในรูป 2.14



รูปที่ 2.14 แสดงวงจร DAC ขนาด 4 บิทมีความละเอียด 0.625โวลต์ต่อบิท

จากรูปที่ 2.14 หาแรงดันเอ้าพุตได้ดังนี้

$$Vo = -Iout\,Rf = -(\text{ความละเอียดของกระแส}) \times Rf \times D \qquad (2.10)$$
$$= -(Vref/R)\,(1/2^n)\,R_f D$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจร $R = Rf$

$$Vo = -(Vref/2^n) D$$

$$= -(\text{ความละเอียดของแรงดัน}) D$$

จากสมการ

$$Vo = -(Vref/R)\ (1/2^n)\ Rf\ D$$

อาจเขียนสมการใหม่ดังนี้

$$Vo = -(K)\ Vref\ D$$

กำหนดให้

$$K = (Rf/R)\ (1/2^n)$$

ถ้าให้ V_{ref} เป็นค่าคงที่ด้วยแล้วจะได้ V_0 แปรตามค่า D เพียงอย่างเดียว หากสมมติให้ V_{ref} เท่ากับ 10 โวลต์ ค่าความละเอียดของแรงดันของDAC 4 บิท จะเท่ากับ 0.625 โวลต์ต่อบิท ถ้าหากอินพุตเป็น 0000, 0101, 1010 และ 1111 ได้ค่าแรงดันเอ้าพุตเป็นศูนย์ 3.125 โวลต์ และ 9.375 โวลต์ ตามลำดับ ซึ่งวงจรนี้จะทำหน้าที่คล้ายกับการปรับค่าความต้านทานนั้นเอง แต่ในทางปฏิบัติแล้วความละเอียดของแรงดันที่ได้นี้ยังหยาบมาก ไม่สามารถนำเอาDAC 3 บิท หรือ 4 บิท ที่กล่าวมาแล้วไปใช้งานจริงได้ เมื่อต้องการความละเอียดสูงขึ้นจำเป็นต้องเพิ่มจำนวนบิทสูงขึ้นเป็น 8, 10, 12, 14 หรือ 16 บิท ซึ่งเมื่อจำนวนบิทสูงขึ้นราคาก็ย่อมต้องสูงขึ้นตามไปด้วย โดยทั่วๆ ไปวงจรDACที่ใช้ร่วมกับระบบไมโครโปรเซสเซอร์จะมีขนาด 8 บิท หรือ 12บิท

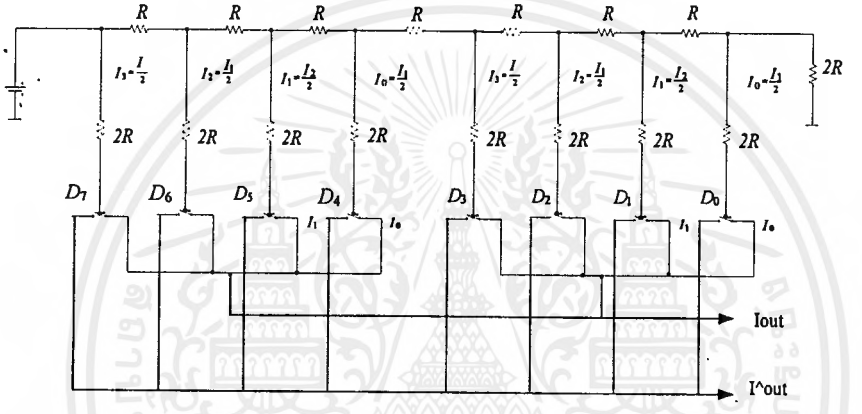
วงจรDACขนาด 8 บิท วงจรDACที่เคยกล่าวมาแล้ว ในรูป 2.12 ได้มีการต่อวงจรแบบง่าย ๆ การโยกเปลี่ยนแปลงตำแหน่งของสวิตช์ทางด้านอินพุตควบคุมด้วยมือเพื่อให้เป็นลอจิก "0" หรือ"1" ตามที่ต้องการ แต่ในทางปฏิบัติต้องใช้วงจรลอจิกชนิดทีทีแอล ซีมอส หรืออื่น ๆ กระแสที่ไหลในแต่ละบิทที่ถูกควบคุมอาจไหลได้ 2 ทาง คือ ไหลลงกราวด์หรือไหลไปยังเอ้าพุต อาจต่อวงจรตามรูป 2.13 เพื่อให้กระแสเป็นสองทางดังกล่าวแล้ว หลังจากนั้นก็ต่อวงจรออปแอมป์เพื่อให้กระแสเอ้าพุตเป็นบวกหรือเป็นลบ หรือเป็นเอ้าพุตแบบคู่ดังแสดงในรูป 2.114 มีบริษัทผู้ผลิตหลายรายผลิตไอซีDACแบบนี้ออกมาจำหน่าย เบอร์ที่ใช้ทั่วไป เช่นเบอร์ DAC-08 ได้ถูกพัฒนามาจากวงจรรูปที่ 2.15 เพื่อให้การต่อใช้งานง่ายและมีราคาถูกลง ดังแสดงการต่อวงจรใช้งานเบื้องต้นในรูป 2.16 ไอซีเบอร์นี้ใช้ได้กับแรงดันไฟเลี้ยง 4.5 โวลต์ ถึง 18 โวลต์ การต่อคาพาซิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

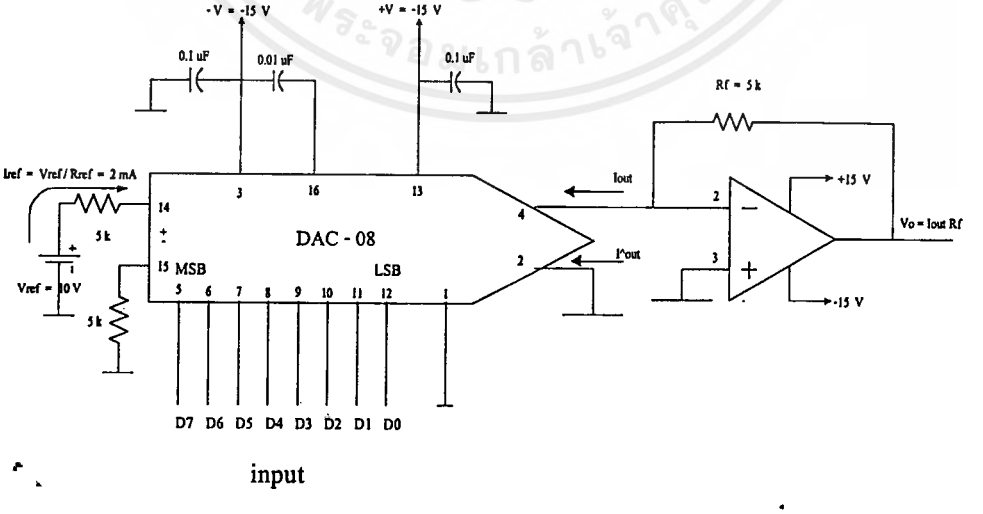
เตอร์ ขนาด 0.1 ไมโครฟารัดเข้าไปเพื่อเป็นตัวกรองระหว่างขา 14 กับ 15 แรงดันอ้างอิงใช้ได้ทั้งไฟบวกหรือไฟลบ กระแสอ้างอิงหาได้จากสูตร

$$I_{ref} = V_{ref}/R_{ref} \qquad (2.11)$$

โดยปกติจะใช้ค่ากระแส $I_{ref} = 2$ มิลลิแอมแปร์ หรืออาจเป็นค่าระหว่าง 4 ไมโครแอมแปร์ถึง 4 มิลลิแอมแปร์ได้



รูปที่ 2.15 แสดงการต่อตัวต้านทานแบบอาร์-สองอาร์ 8 บิท



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

	รหัสดิจิตอลอินพุต								เอ้าพุต	
	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	I_{out}	Vo
ค่าต่อบิต	0	0	0	0	0	0	0	1	7.182uA	39 mV
ค่าครึ่งสเกล	1	0	0	0	0	0	0	0	1.000mA	5.0V
ค่าเต็มสเกล	1	1	1	1	1	1	1	1	1.992 mA	9.96 V

รูปที่ 2.16 แสดงการต่อวงจรไอซีเบอร์ DAC –08

ขา 5 ถึงขา 12 เป็นขาอินพุต ต่อกับสัญญาณดิจิตอลชนิดทีทีแอลหรือซีมอส ขา 5 เป็นบิทนัยสำคัญสูงสุด ขา 12 เป็นบิทนัยสำคัญต่ำสุด ลอจิก “0” จะต้องมีค่าสูงไม่เกิน 0.8 โวลต์ “1” จะต้องมีค่าไม่ต่ำกว่า +0.2 โวลต์

ขา 1 เป็นขาควบคุมการทริก (V_{TH} = threshold voltage) กำหนดให้ $V_{TH} = V_{LC} + 14$ โวลต์ V_{LC} คือค่าแรงดันที่ขา 1

ขา 2 และขา 4 เป็นขาเอ้าพุต ขา 4 เป็นขาที่ I_{out} ไหลเมื่อบิทใดๆ ทางด้านอินพุตถูกควบคุมด้วยลอจิก “1” ขา 2 เป็นขาที่ $I^{\wedge}_{out}$ ไหล ขณะที่บิทใดๆ ทางด้านอินพุตถูกควบคุมด้วยลอจิก “0”

$$\text{ความละเอียดของกระแส} = (V_{ref}/R_{fef})\,(1/2^{n}) \qquad (2.12)$$

I_{out} = ความละเอียดของกระแสคูณด้วยค่า D

I_{FS} = ความละเอียดของกระแสคูณด้วย 255

I_{FS} หมายถึงกระแสเต็มสเกลเมื่ออินพุตเป็น 11111111 = 255 = D

$$I^{\wedge}_{out} = I_{FS} - I_{out}$$

จากรูปวงจรที่ 2.16 หาความละเอียดของแรงดันได้จากสูตร

$$\text{ความละเอียดของแรงดัน} = (V_{ref}/R_{ref}) \times R_f\,(1/2^{n}) \qquad (2.13)$$

V_{out} = ความละเอียดของแรงดันคูณด้วยค่า D (2.14)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

33914

$$= I_{out} \times R_f$$

แรงดันเอ้าพุตขณะใช้เอ้าพุตแบบคู่

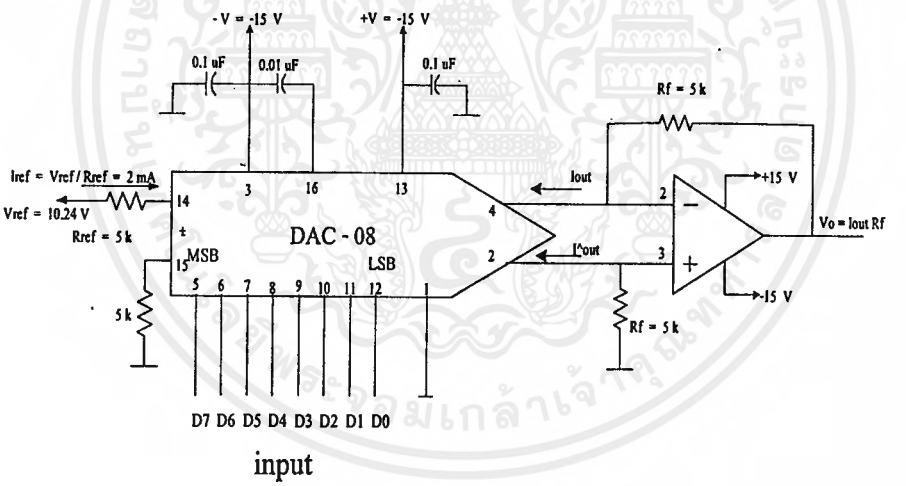
ไอซี DAC–08 ต่อเอ้าพุต ดังแสดงในรูปที่ 10.10 เขียนสมการเอ้าพุตได้ดังนี้

$$Vo = I_{out} - I^{\wedge}_{out}) R_f \qquad (2.15)$$

I_{out} = ทำให้แรงดันเอ้าพุตมีศักย์เป็นบวก

$I^{\wedge}_{out}$ = ทำให้แรงดันเอ้าพุตมีศักย์เป็นลบ

V_{ref} มีค่าเป็น 10.24 โวลต์ มีค่า 5 กิโลโอห์ม ทำให้ได้ค่ากระแส I_{ref} เท่ากับ 2.048 มิลลิแอมแปร์ ค่ากระแสที่เปลี่ยนไปต่อบิทเท่ากับ 8 ไมโครแอมป์แปร์ ได้แรงดันเอ้าพุต 40 มิลลิโวลต์ต่อบิท ซึ่งค่าต่างๆนี้แสดงไว้ในรูปที่ 2.17



รูปที่ 2.17 แสดงการต่อ DAC–08 แบบเอ้าพุตคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	รหัสดิจิตอลอิน พุท								อะนาลอกเอาห์พุท		
	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	I_{out}(mA)	$I^{\wedge}_{out}$ (mA)	V_o (V)
ค่าต่อ 1 บิต	0	0	0	0	0	0	0	0	0	2.040	-10.20
ค่าศูนย์ลบ	0	1	1	1	1	1	1	1	1.016	1.024	-0.040
ค่าศูนย์บวก	1	0	0	0	0	0	0	0	1.024	1.016	0.040
ค่าเต็มสเกล	0	1	1	1	1	1	1	1	2.040	0	10.20

ตารางที่ 2.3 สัญญาณอนาล็อกเอ้าพุตของ DAC –08

DAC ที่ใช้กับไมโครโปรเซสเซอร์ เนื่องจากปัจจุบันได้มีผู้นำเอา DAC มาใช้ร่วมกับระบบไมโครโปรเซสเซอร์หรือระบบคอมพิวเตอร์แพร่หลายมากขึ้น จึงมีบริษัทผู้ผลิตทำการผลิตไอซีที่สามารถใช้ต่อร่วมกับระบบได้โดยตรง ดังจะได้กล่าวถึงวงจรพื้นฐานต่อไปนี้DACที่สามารถนำมาต่อร่วมกับระบบไมโครโปรเซสเซอร์ได้ จะต้องมีคุณสมบัติดังนี้

1. เขียนข้อมูลจากสายข้อมูล (data bus) เข้าไปเก็บไว้ในรีจิสเตอร์ภายในอินพุตของDAC ได้ เมื่อไอซีดีเอนั้น ๆ ถูกเรียกใช้งาน
2. สามารถ ปลดตัวเองออกจากระบบได้ และยังคงมีข้อมูลเดิมครั้งหลังสุด ค้างอยู่ที่บัฟเฟอร์ทางอินพุต ของ DAC ภายหลังจากการรับข้อมูลจาก ซีพียูของระบบจากคุณสมบัติดังกล่าวแล้วจะทำให้DACแบบนี้จำเป็นต้องมีวงจรเพิ่มขึ้น เช่น วงจรเก็บสัญญาณ วงจรตรวจสอบแรงดันอ้างอิง วงจรขยาย วงจรควบคุม และวงจรอื่น ๆ วงจรทั้งหมดจะถูกบรรจุอยู่ในไอซีตัวเดียวกัน ในที่นี้จะแนะนำไอซีเบอร์ AD 558 ซึ่งสามารถเลือกเอ้าพุตได้ 2 แบบ คือ 0 ถึง 2.55 โวลต์ หรือ 0 ถึง 10 โวลต์ ซึ่งจะได้อธิบายคุณสมบัติของไอซีเบอร์นี้พอสังเขปดังต่อไปนี้

ขา 11 เป็นขาจ่ายแรงดันไฟเลี้ยงวงจร ใช้กับแรงดันได้อยู่ในช่วง +4.5 โวลต์ ถึง +16.5 โวลต์

ขา 12 เป็นกราวด์สำหรับวงจรดิจิตอลภายในไอซี

ขา 13 เป็นกราวด์สำหรับวงจรอะนาลอกภายในไอซี

ขา 1-8 เป็นอินพุตสำหรับต่อกับสายข้อมูล D0-D7 ของระบบไมโครโปรเซสเซอร์ลอจิก “0” ใช้แรงดันค่าสูงสุดได้ไม่เกิน +0.8 โวลต์ ลอจิก “1” ใช้ค่าแรงดันต่ำสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้ไม่น้อยกว่า +2 โวลต์ ขาเหล่านี้จะรับข้อมูลเข้าไปเก็บในรีจิสเตอร์เมื่อไอซีถูกเลือกใช้ขณะที่กระบวนการเขียนข้อมูลจากซีพียูทำงาน

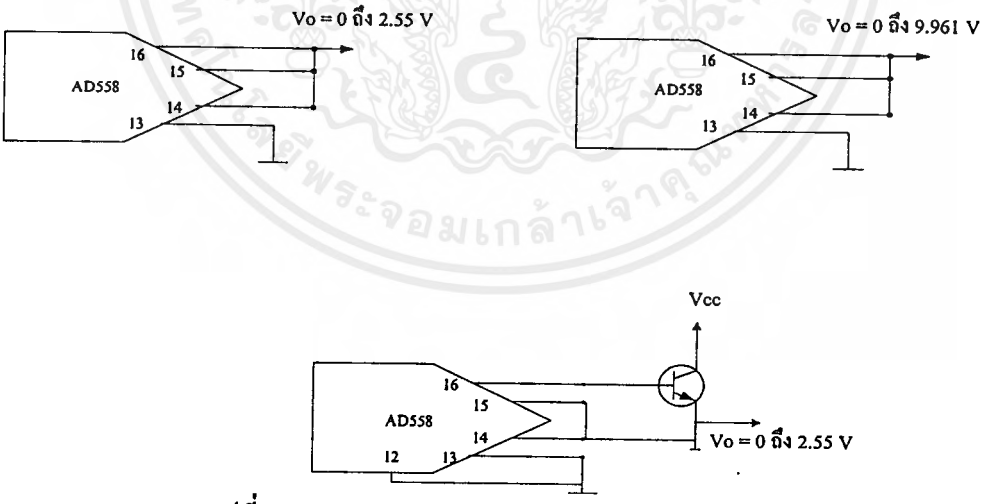
ขา 9 เป็นขา CS ใช้เพื่อต่อสัญญาณเลือกตัวไอซีที่มีการถอดรหัสตำแหน่งของไอซีตัวที่ถูกเลือกต่อกับระบบไมโครโปรเซสเซอร์

ขา 10 เป็นขา CE ใช้สำหรับต่อกับสัญญาณการอ่านหรือเขียนข้อมูลของระบบไมโครโปรเซสเซอร์ เมื่อใดขา 9 และ 10 ของไปซีนี้เป็นลอจิก "1" ไอซีนี้จะถูกปลดออกจากระบบทันที แต่ยังคงทำหน้าที่DACต่อไปโดยให้แรงดันเอ้าพุตที่แปรค่าตามข้อมูลครั้งหลังสุดที่รับมาจากระบบ โดยแต่ละรอบในการแปลงค่าจากดิจิตอลเป็นอะนาลอกใช้เวลาประมาณ 200 นาโนวินาที

ขา 16 เป็นเอ้าพุตที่ให้แรงดันอะนาลอก เมื่อวัดเทียบกับขา 13

ขา 14 เป็นขาเลือกแรงดันเอ้าพุต หากต่อขานี้กับกราวด์จะให้แรงดันเอ้าพุต 0 – 10 โวลต์ และถ้าต่อกับขา 16 จะให้แรงดัน 0 – 2.55 โวลต์

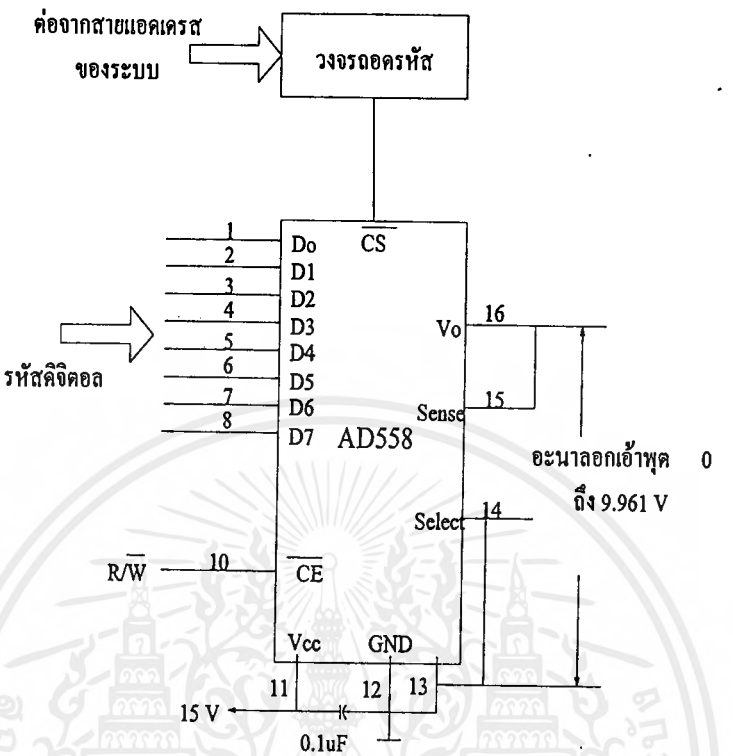
ขา 15 เป็นขาแก้แรงดันตกในสาย ใช้ต่อร่วมกับขาอื่นเมื่อต้องการใช้สายเอ้าพุตยาวมากขึ้น หรือช่วยให้เอ้าพุตจ่ายกระแสได้สูงขึ้น โดยการต่อวงจรทรานซิสเตอร์เพิ่มเข้าไป



รูปที่ 2.19 แสดงการต่อวงจร AD558 แบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การต่อวงจรร่วมกับไมโครโปรเซสเซอร์ขนาด 8 บิท



รูปที่ 2.20 แสดงการต่อ AD558 กับไมโครโปรเซสเซอร์

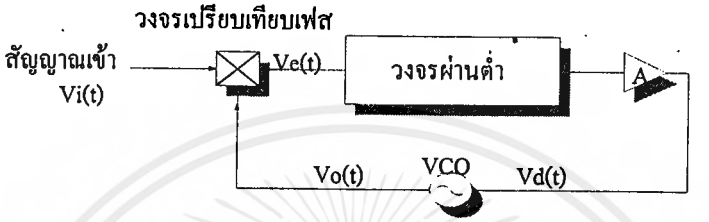
2.3 วงจรเฟสล็อคลูป (Phase locked Loop : PLL)

ปัจจุบันวงจรอิเล็กทรอนิกส์ที่ใช้ระบบ PLL กำลังได้รับความนิยมอย่างสูง อันที่จริงทฤษฎี PLL มิใช่ของใหม่เท่าใดนักคือได้มีการศึกษาเรื่องนี้ตั้งแต่ปี ค.ศ. 1930 แต่ในตอนนั้นไม่ค่อยมีใครนำมาใช้ หรือมีบ้างก็ในระบบควบคุมหรือเครื่องวัดบางชนิดเท่านั้น ทั้งนี้เพราะวงจร PLL ที่ใช้องค์ประกอบเป็นตัว ๆ (discrete) นั้นยุ่งยากมาก จึงเป็นการซื้อคุณสมบัติที่ดีของมันด้วยราคาที่มักจะแพงเกินไป กล่าวได้ว่าวงจร PLL ได้ถูกลืมไปพักหนึ่ง จนกระทั่งเทคโนโลยีวงจรประมวลได้พัฒนาขึ้น และได้มีการผลิตวงจร PLL ในลักษณะวงจรประมวลอันกะทัดรัด วงจร PLL จึงได้รับความสนใจและได้นำไปใช้อย่างกว้างขวางมากขึ้น เช่น ในโทรทัศน์สี เครื่องรับวิทยุ FM สเตริโอ เครื่องรับส่งวิทยุ เครื่องวัด ระบบสื่อสาร ระบบควบคุมมอเตอร์ ฯลฯ บริษัทผู้ผลิตวงจรประมวลหลายบริษัทได้ทำการผลิตวงจร PLL จึงทำให้วงจรนี้มีราคาถูกลงมากในปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร PLL

วงจร PLL ประกอบด้วยวงจรเปรียบเทียบเฟส วงจรผ่านต่ำ วงจรขยายและวงจรแกว่งควบคุมโดยแรงดัน (voltage controlled oscillator หรือเรียกย่อ ๆ ว่า VCO) ต่อเป็นวงรอบ (loop) อย่างเช่น วงจรป้อนกลับทั่ว ๆ ไป



รูปที่ 2.21 วงจร PLL พื้นฐาน

วงจรเปรียบเทียบเฟส คือ วงจรที่ให้แรงดันออกเป็นปฏิภาคกับผลต่างระหว่างเฟสของสัญญาณเข้า 2 สัญญาณ วงจรนี้อาจเป็นวงจรคูณถ้าสัญญาณเข้า $v_i(t)$ มีความถี่ ω_i และเฟส θ_I

$$Vi(t) = Vi \sin(\omega_i t + \theta_i) \tag{2.16}$$

และสัญญาณออกจาก VCO) มีความถี่ ω_iและเฟสθ_I

$$Vo(t) = Vo \cos(\omega_i t + \theta_o) \tag{2.17}$$

(สังเกตว่าในการเขียนสมการเช่นนี้ Vi และ Vo มีมุมอ้างอิงต่างกันอยู่ 90 องศา เพราะ Vi เขียนเป็นไซน์ Vo เป็นโคไซน์)

ถ้าป้อน Vi และ Vo เข้าที่วงจรเปรียบเทียบเฟส จะได้สัญญาณออก

$$Ve(t) = KmViVo \tag{2.18}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าละเลยเทอมความถี่ $2\omega i$ ซึ่งจะถูกกำจัดโดยวงจรผ่านต่ำ จะได้

$$Ve(t) = (KmViVo/2) \sin(\theta i - \theta o) \quad (2.19)$$

ถ้าสมมติว่าผลต่าง $\theta i - \theta o$ มีค่าน้อย จะได้

$$Ve(t) = Kd(\theta i - \theta o) \quad (2.20)$$

โดยที่ Kd คือความไวของวงจรเปรียบเทียบเฟส $= KmViVo/2$ (V/red)

แรงดัน V_e นี้จะได้รับการขยายและใช้เป็นแรงดันควบคุมความถี่ของ VCO ซึ่งในการทำงานปกติ การควบคุมนี้จะมีผลให้สัญญาณ v_o จาก VCO มีความถี่ตรงกับสัญญาณเข้า v_i และถ้าอัตราขยายวงรอบมีค่าสูง v_e จะมีค่าต่ำและเฟส จะมีค่าใกล้เคียงกันดังที่สมมติไว้

การทำงานของวงจร PLL อาจอธิบายคร่าว ๆ ได้ดังนี้ เมื่อไม่มีสัญญาณเข้า ($v_i = 0$) แรงดัน v_e และ v_d (ที่ใช้ควบคุม VCO) จะเป็นศูนย์ VCO จะกำเนิดสัญญาณที่ความถี่หนึ่งเรียกว่าความถี่อิสระ (free running frequency) f_{oo} เมื่อใส่สัญญาณเข้า v_i ที่ความถี่ f_i ถ้า f_i ต่างจาก f_{oo} มาก สัญญาณ v_e ซึ่งมีความถี่เท่ากับ $f_{oo} - f_i$ จะไม่สามารถผ่านวงจรต่ำ แรงดัน v_d ที่ใช้ควบคุม VCO จะยังคงเป็นศูนย์ และ VCO ยังคงทำงานที่ความถี่ f_{oo}

ถ้า fi ไม่ต่างจาก foo มากนัก นั่นคือ $|fi - foo| < \Delta fp$ (2Δfp มีชื่อว่าช่วงดึงเข้าหรือ pull-in range) สัญญาณ Ve จะมีลักษณะไม่สมมาตร กล่าวคือมีองค์ประกอบไฟตรงไม่เท่ากับ 0 Vd จะค่อยๆ เพิ่มขึ้น และหลังจากช่วงเวลาหนึ่งเรียกว่า เวลาดึงเข้า (pull-in time)ความถี่ fo ซึ่งค่อยๆ แปรไปยังค่า fi เพียง $|fi - fo| = fc$ (2Δfc มีชื่อว่าช่วงจับหรือ capture range) ถึงตอนนี้ fo จะแปรเข้าสู่ค่า fi อย่างรวดเร็วฉับพลันเช่นกัน ทั้งนี้สำหรับ VCO โดยทั่วไปความถี่ fo เป็น ปฏิภาคกับการบ่ายเบนจากความถี่อิสระ นั่นคือ

$$\omega o - \omega oo = KoKd \quad (2.21)$$

โดยที่ Ko เรียกว่าความไวของ VCO มีหน่วยเป็น (red/sec)/V

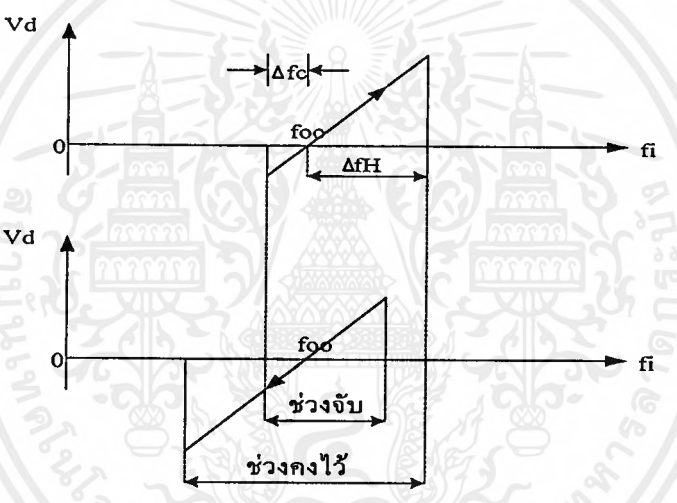
การได้มา(acquisition) ซึ่งการล็อคอาจใช้วิธีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ก) ณ ขณะหนึ่ง ความถี่ของ VCO ต่างจากความถี่เข้า fi น้อยกว่า Δfc จะเกิดการล็อคโดยฉับพลันเรียกว่า เกิดการจับ (capture)

(ข) ณ ขณะหนึ่ง ความถี่ของ VCO ต่างจากความถี่ขาเข้า fi มากกว่า Δfc แต่น้อยกว่า Δfp ความถี่ของ VCO จะค่อยเลื่อนเข้าหาความถี่ fi เรียกว่าการดึงเข้า (pull-in)

(ค) นอกช่วงดึงเข้าหรือในกรณีที่การดึงเข้าใช้เวลานานเกินไปอาจเพิ่มวงจรเพื่อควบคุมให้ความถี่ของ VCO กวาด (sweep) ไปเพื่อเสาะหาความถี่ของสัญญาณ หรือถ้าเสียงรบกวน (noise) มีน้อย ก็อาจเพิ่มแถบความถี่ (bandwidth) ของวงรอบ (loop) ซึ่งจะเพิ่มช่วงการจับและการดึงเข้า หรือเพิ่มเติมวงจรจำแนกความถี่ (frequency discriminator) ซึ่งจะปรับ VCO เข้าสู่การจับได้อย่างรวดเร็ว



รูปที่ 2.22 ลักษณะโอนย้ายจากความถี่เป็นแรงดัน

เมื่อเกิดการล็อคแล้วถ้าความถี่ของสัญญาณแปรไป ความถี่ของVCO จะแปรไปด้วย เรียกว่า เกิดการตามรอย (tracking) ความถี่ของ VCO จะสามารถตามรอยความถี่ fi ได้ตราบใดที่ $|fi - foo| < \Delta fH$ ($2\Delta f_H$ มีชื่อว่าช่วงคงไว้ หรือ hold-in range บางทีก็เรียกว่าช่วงตามรอยหรือช่วงล็อก)

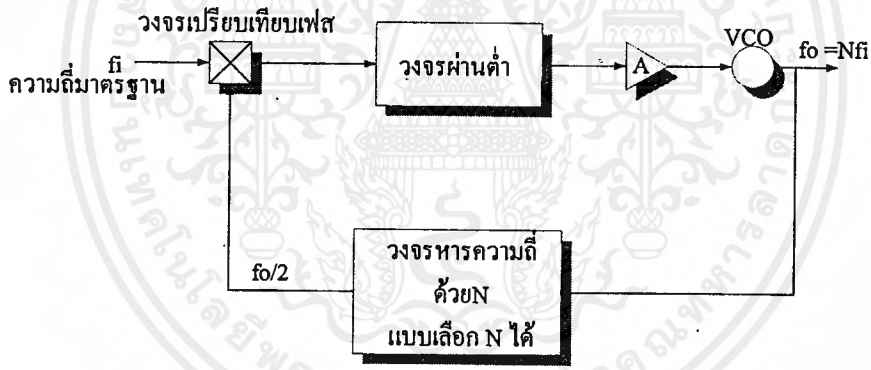
สรุปแล้วถ้าเพิ่มหรือลดความถี่ fi จะได้การเปลี่ยนแปลงของ Vd (ซึ่งควบคุม VCO และเป็นปฏิภาคกับ fo-foo) ดังแสดงในรูปที่ 2.22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตังอย่างการใช้วงจร PLL

(ก) การดีมอดูเลตความถี่ จากลักษณะในรูป 2.22 จะเห็นได้ว่าแรงดัน Vd เป็นปฏิภาคกับความถี่ fi วงจรสามารถทำงานเป็นวงจรดีมอดูเลตความถี่ (frequency demodulator) กล่าวคือถ้าสัญญาณเข้า Vi เป็นสัญญาณเข้า Vi เป็นสัญญาณ FM Vd ก็คือสัญญาณมอดูเลชั่นนั่นเอง ถ้าสัญญาณเข้าเป็นสัญญาณ FSK (frequency shift keyed) จะได้ Vd เป็นสัญญาณเชิงเลข

(ข) การสังเคราะห์ความถี่ ตัวอย่างการใช้วงจร PLL อีกอย่างหนึ่งที่พบบ่อยคือ ใช้สังเคราะห์ความถี่ (frequency synthesizer) วงจรนี้จะใช้สัญญาณออกมีความถี่ซึ่งเลือกได้เป็นค่า ๆ ไป (discreete) เช่น เลือกได้ระหว่าง 2.0 ถึง 3.0 เมกะเฮิรตซ์เป็นขั้นๆ (steps) ขั้นละ 0.1 เมกะเฮิรตซ์เป็นต้น หลักการของวงจรก็คือการคูณความถี่มาตรฐานด้วยเลขจำนวนเต็ม N ที่เลือกค่าได้ เช่น คูณความถี่มาตฐาน 0.1 เมกะเฮิรตซ์ ด้วยเลขจำนวนเต็ม N ที่เลือกค่าได้ระหว่าง 20 ถึง 30 วงจรสังเคราะห์ความถี่ที่ใช้ PLL แสดงอยู่ในรูปที่ 2.23 จะเห็นได้



รูปที่ 2.23 วงจรสังเคราะห์ความถี่ที่ใช้ PLL

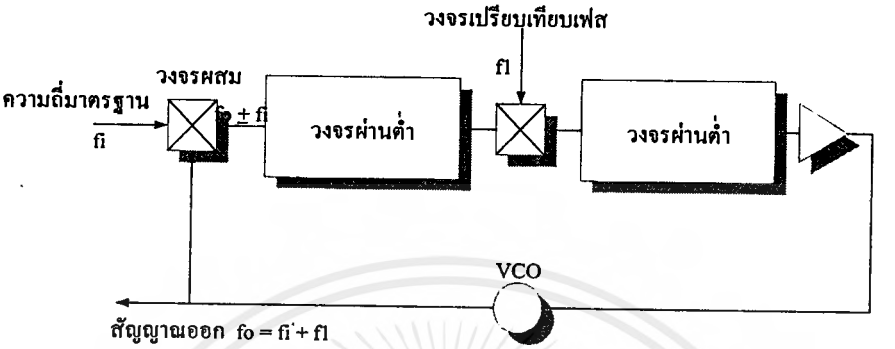
ว่าการแทรกวงจรหารความถี่เข้าในวงรอบ จะเป็นการล็อคความถี่ fo/N เข้ากับความถี่มาตรฐาน fi ความถี่ของ VCO จะเท่ากับ fo = Nfi ตามที่ต้องการ

ในทำนองคล้ายคลึงกัน ถ้าสัญญาณออกของ VCO มีฮาร์มอนิกอยู่ด้วยมาก เราปรับความถี่มาตรฐานขาเข้า fi ให้ตรงกับฮาร์มอนิกที่ m ของสัญญาณจาก VCO นั่นคือ fi = mfo สภาพการล็อคที่ฮาร์มอนิกเช่นนี้จะทำให้ได้ความถี่หลักของ VCO เท่ากับ fo = fi/m วงจร PLL ทำหน้าที่เป็นวงจรหารความถี่

ถ้าต้องการเลื่อนคววามถี่จากค่ามาตรฐานค่าหนึ่งไปเล็กน้อย เช่น จากค่า fi เป็น fi+f1 การใช้เทคนิคการผสม (mixing) จะไม่ได้ผลนักเพราะถ้า f1 มีค่าเล็กน้อย การกรองเอาแต่ความถี่ fi+f1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไว้โดยตัดความถี่ fi+f1 ออกไปจะทำได้ยาก จึงควรใช้วงจร PLL ดังในรูปที่ 2.24 ซึ่งจะทำให้ไม่มีปัญหาในด้านการกรอง



รูปที่ 2.24 (Frequency Shifting) ด้วยวงจร PLL

วงจร PLL นี้นำสัญญาณออกจาก VCO มาผสมกับสัญญาณเข้า แล้วกรองเอาเฉพาะความถี่ผลต่าง fo – fi ซึ่งจะนำไปเปรียบเทียบกับความถี่ f1

(ค) การเข้าจังหวะ (synchronization) ระบบ PLL อาจใช้ประโยชน์ในการเพิ่มเสถียรภาพความถี่ของวงจรแกว่งได้ เช่น ถ้ามีวงจรแกว่งกำลังสูง แต่เสถียรภาพความถี่ไม่ดีและมีวงจรแกว่งกำลังต่ำ ๆ แต่เสถียรภาพดี ก็ให้ใช้วงจรแรกเป็น VCO และวงจรที่สองใช้สำหรับให้สัญญาณเข้าของ PLL เมื่อเกิดการล็อคแรงดันออกจาก VCO ก็จะมีระดับสูงและมีเสถียรภาพความถี่ดี อนึ่งวงจรแกว่งกำลังสูงแต่เสถียรภาพความถี่ไม่ดี อาจทำงานที่ความถี่สูงมาก ๆ เช่น ในย่านไมโครเวฟ ส่วนวงจรแกว่งที่มีเสถียรภาพดีอาจทำงานที่ความถี่ต่ำกว่า เช่น เป็นวงจรแกว่งที่ใช้ผลึก การเข้าจังหวะ (synchronization) อาจทำได้โดยการล็อคความถี่ของ VCO เข้ากับฮาร์มอนิกสูง ๆ ของสัญญาณ การล็อคอาจเกิดขึ้นได้โดยใช้สัญญาณเข้าเล็กนิดเดียว จึงไม่มีปัญหาในการล็อคที่ฮาร์มอนิกสูง

หลักการเดียวกันนี้อาจใช้ในการควบคุมความเร็วของมอเตอร์ได้ ในที่นี้ VCO ก็คือ ตัวมอเตอร์ ซึ่งอาจใช้สวิตช์ไว้ใกล้ ๆ แกน เมื่อมอเตอร์หมุนหนึ่งรอบ สวิตช์ก็จะเปิดปิดครั้งหนึ่งหรือหลายครั้ง ทำให้ได้สัญญาณไฟฟ้าออกมามีความถี่เป็นจำนวนเต็มเท่าของความเร็วของมอเตอร์ สัญญาณนี้จะนำไปเปรียบเทียบกับความถี่มาตรฐานซึ่งอาจได้จากการหารความถี่ของวงจรแกว่งที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

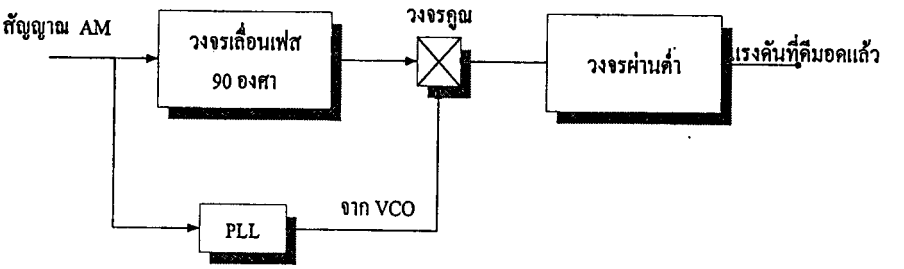
ใช้ผลึกสัญญาณที่ได้ออกมาเมื่อผ่านการกรองและการขยายก็จะนำไปใช้ขับนำมอเตอร์ และควบคุมความเร็วของมัน เมื่อเกิดการล็อค ความเร็วของมอเตอร์จะมีเสถียรภาพเท่ากับความถี่มาตรฐาน

ในบางกรณีสัญญาณเข้าจังหวะมีลักษณะไม่ครบสมบูรณ์คือขาดเป็นห้วง ๆ ที่ต้องการคือสร้างเสริมขึ้นใหม่ได้ครบรูป เช่น ให้เป็นสัญญาณสี่เหลี่ยมจัตุรัสที่บริบูรณ์ ในกรณีนี้อาจใช้วงจร PLL ได้โดยที่ VCO จะให้สัญญาณสี่เหลี่ยมจัตุรัสที่เข้าจังหวะกับสัญญาณที่ได้รับเป็นห้วง ๆ นั้น ในช่วงที่ไม่มีสัญญาณเข้า VCO ยังพอมี "ความจำ" และยังไม่ทันจะเปลี่ยนจากความถี่เดิมก็มีสัญญาณมาเข้าจังหวะให้เป็นห้วง ๆ ไป ตัวอย่างดังกล่าวนี้จะพบได้ในการเข้าจังหวะสัญญาณของเครื่องรับโทรทัศน์สี ในระบบเชิงเลขและในระบบโทรมาตรที่ใช้ PCM (pulse-code modulation)

(ง) การตรวจจับสัญญาณ (detection) หรือวงจรเลือกความถี่ ในกรณีที่สัญญาณมีองค์ประกอบความถี่หลายความถี่ และต้องการเลือกเฟ้นเพียงความถี่เดียวก็อาจทำได้โดยใช้วงจร PLL โดยปรับความถี่อิสระ (free running) ให้ตรงกับความถี่ที่ต้องการและปรับแถวความถี่ของวงรอบให้แคบ เพื่อว่าวงจร PLL จะได้ล็อคกับความถี่นั้น ในกรณีนี้สัญญาณออกของ VCO จะมีความถี่เท่ากับสัญญาณที่ต้องการ ส่วนความถี่อื่น ๆ ที่มี ณ ขั้วเข้าจะปะปนอยู่น้อยมาก สัญญาณที่ได้จาก VCO จะมีอัตราส่วนสัญญาณต่อเสียงรบกวนสูงกว่าสัญญาณเข้ามาก กล่าวได้ว่าวงจร PLL ทำหน้าที่เป็นตัวกรองเสียงรบกวนโดยกำเนิดเป็นสัญญาณขึ้นใหม่จากสัญญาณเล็ก ๆ ที่จมอยู่ในเสียงรบกวน สังเกตได้ว่าในตัวอย่างนี้วงจร PLL ทำหน้าที่คล้ายวงจรเลือกความถี่ ต่างกันที่ว่าสัญญาณออกจาก VCO แม้จะตรงตามสัญญาณเข้าในแง่ความถี่ แต่ก็ไม่เกี่ยวข้องกับสัญญาณเข้าในแง่ช่วงสูงเลย พิจารณาในแง่นี้จะเห็นว่าเมื่อใช้วงจร PLL สำหับดีมอดูเลตสัญญาณ FM วงจรก็จะมีอำนาจเลือกสรรความถี่อยู่ในตัว

วงจร PLL อาจใช้ประกอบการดีมอดูเลตสัญญาณ AM ได้อย่างมีคุณภาพ เป็นที่ทราบกันว่าถ้ามีเสียงรบกวนผนวกกับสัญญาณ AM มาก วิธีหนึ่งที่ใช้ได้ดีในการขจัดเสียงรบกวนคือ การตรวจจับแบบโคฮีเรนต์ (coherent detection) กล่าวคือ เอาสัญญาณ AM คูณกับสัญญาณอ้างอิง มีความถี่เดียวกัน แต่ปราศจากเสียงรบกวน ผลคูณที่ได้จะประกอบด้วยค่าไปตรงที่เป็นปฏิภาคกับช่วงสูงของสัญญาณเข้า และองค์ประกอบความถี่สูงอื่น ๆ ซึ่งจะถูกขจัดโดยวงจรผ่านต่ำ เสียงรบกวนหรือสัญญาณแทรกที่ความถี่ไม่ตรงกับสัญญาณอ้างอิง จะไม่ให้ค่าไฟตรง จึงถูกวงจรผ่านต่ำกรองออกหมด ในการดีมอดูเลตเช่นนี้วงจร PLL จะเป็นตัวกำเนิดสัญญาณอ้างอิง ซึ่งมีความถี่ตรงกับสัญญาณ AM และมีเสียงรบกวนปนอยู่น้อยมาก แต่สัญญาณนี้จะต่างมุมกับสัญญาณ AM อยู่ 90 จึงจำเป็นต้องเพิ่มวงจรเลื่อนความถี่เข้าไปก่อนที่จะทำการตรวจจับแบบโคฮีเรนต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.25 การตรวจจับสัญญาณ AM แบบโคฮีเรนต์โดยใช้วงจร PLL

ข้อดีข้อเสียของวงจร

วงจร PLL มีข้อดีหลายประการสำหรับการใช้งานบางอย่างซึ่งไม่มีวงจรอื่นที่จะเทียมเท่า อย่างไรก็ดีในการใช้งานบางอย่างนั้นก็อาจใช้วงจรกรองแบบ LC หรือ RC แทนได้ ข้อดีของวงจร PLL เมื่อเทียบกับวงจรกรองไวงานแบบ RC ได้แก่

ก. ทำงานได้ดีที่ความถี่สูง วงจรประมวล PLL สามารถทำงานได้ที่ความถี่สูงกว่า 100 เมกะเฮิรตซ์ ส่วนวงจรประมวลที่ต่อเป็นวงจรกรองไวงานนั้นจะทำงานได้ถึงความถี่ประมาณ 100 กิโลเฮิรตซ์

ข. อำนาจการเลือกสรร (selectivity) และความถี่กลางไม่ขึ้นต่อกัน กล่าวคือความถี่กลางกำหนดโดยความถี่อิสระ (free-running) ของ VCO ส่วนอำนาจการเลือกสรรขึ้นอยู่กับลักษณะของวงจรผ่านต่ำ จึงไม่มีปัญหาการเรียงคลื่น (alignment) อย่างเช่นวงจรเลือกความถี่หลาย ๆ หน่วย

ค. องค์ประกอบภายนอก วงจรประมวลมีน้อยและปรับคลื่นได้ง่าย โดยทั่วไปความถี่อิสระของ VCO กำหนดโดย C ตัวเดียว หรือ C กับ R ซึ่งจะปรับคลื่นได้ตั้งแต่ค่าต่ำกว่ากิโลเฮิรตซ์ถึง 100 เมกะเฮิรตซ์

อย่างไรก็ดีเมื่อเทียบกับวงจรกรอง LC หรือวงจรกรองไวงานแล้ว วงจร PLL มีข้อเสียดังนี้

ก. ไม่ให้ข้อมูลเกี่ยวกับช่วงสูง วงจร PLL สนองตอบต่อความถี่เท่านั้น ตราบเท่าที่สัญญาณเข้ามีขนาดใหญ่พอที่จะทำให้เกิดการล็อค วงจรจะไม่สนองตอบต่อช่วงสูงของสัญญาณเข้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข. สนองตอบต่อฮาร์มอนิก วงจร PLL สนองตอบต่อฮาร์มอนิก หรือฮาร์มอนิกย่อยของสัญญาณเข้า ทำให้การขจัดสัญญาณแทรกแซงที่มีความถี่เป็นอัตราส่วนจำนวนเต็มกับสัญญาณ ไม่สู้ได้ผลนัก

ค. ขาดเทคนิคการสังเคราะห์ เนื่องจากลักษณะการจับ (capture) ของวงจร PLL เป็นแบบไม่เชิงเส้น เทคนิคการสังเคราะห์ให้ได้วงจรที่มีลักษณะเชิงความถี่ตามข้อกำหนดจึงเป็นเรื่องที่ยากมาก

2.4 วงจรกรองความถี่ (Filters Circuits)

วงจรกรองความถี่หรือวงจรฟิลเตอร์ที่เรารู้จักมีหน้าที่สำคัญคือ ยอมให้สัญญาณในช่วงความถี่ที่ต้องการผ่านไปได้ (Pass Band) ในขณะเดียวกันก็จะกำจัดหรือลดทอนความถี่อื่นใดที่นอกเหนือจากความถี่ที่ต้องการ ส่วนใหญ่เราจะรู้จักวงจรฟิลเตอร์กันมากในรูปแบบที่เรียกว่า พาสซีฟฟิลเตอร์ (Passive Filter) ซึ่งวงจรฟิลเตอร์ในลักษณะนี้จะประกอบด้วยขดลวดเหนี่ยวนำ(Inducter) ,ตัวเก็บประจุ (Capacitor) ,และตัวต้านทาน (Resistor) แต่เนื่องจากการออกแบบวงจรฟิลเตอร์แบบพาสซีฟนี้ ในบางความถี่มักประสบปัญหาในเรื่องขนาดของอุปกรณ์ คือไม่สามารถหาขดลวดเหนี่ยวนำได้ขนาดตามที่ต้องการจากการคำนวณออกแบบวงจร ทำให้มีข้อจำกัดในเรื่องความสามารถหรือประสิทธิภาพของวงจร ด้วยเหตุนี้จึงได้มีการคิดค้นหาอุปกรณ์มาใช้แทนขดลวดเหนี่ยวนำ โดยได้นำอุปกรณ์ประเภทแอคตีฟ (Active Type) เช่นพวกออปแอมป์ ทรานซิสเตอร์ เป็นต้น และในขณะเดียวกันนั้นวิวัฒนาการทางด้านทคโนโลยีทำให้สามารถสร้างอุปกรณ์ประเภทแอคตีฟมีขนาดที่เล็กลง และราคาที่ถูกลงด้วย

ซึ่งวงจรฟิลเตอร์ที่ใช้งานมีจำนวนมาก และแต่ละวงจรจะมีคุณสมบัติแตกต่างกันดังนั้นในการออกแบบวงจรฟิลเตอร์ ผู้ออกแบบจะต้องกำหนดคุณลักษณะเฉพาะที่ต้องการเสียก่อน

2.41 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

วงจร low pass filter เป็นวงจรกรองคงวามถี่แบบหนึ่งซึ่งจะส่งผ่านสัญญาณความถี่ต่ำกว่าค่าที่เลือกไว้ผ่านได้ทั้งหมด ในขณะที่จะกำจัดหรือลดทอนความถี่ที่สูงกว่าค่าที่เลือกไว้ คุณสมบัติเช่นนี้ วงจร low pass filter แสดงดังรูปที่2.21 เป็นกราฟการตอบสนองเชิงขนาดของสัญญาณ (Amplitude response) ซึ่งเป็นการพล็อต (Plot) ระหว่างขนาด $|H(j\omega)|$ ของสมการทราน

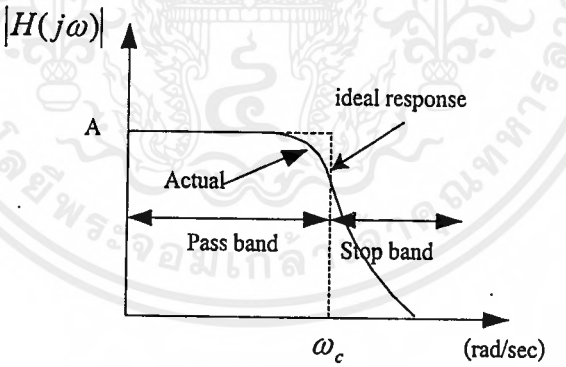
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟอร์ฟังก์ชั่น $H(s)$ (Transfer function) กับความถี่ ω (เรเดียน/วินาที)หรือความถี่ $f(Hz)$ โดยที่ $2\pi f$ และที่ทุกความถี่จะได้

$$H(s) = \frac{V_2(s)}{V_1(s)} \tag{2.22}$$

โดยที่ V2 เป็นแรงดันเอ้าพุต และ V1 เป็นแรงดันอินพุต

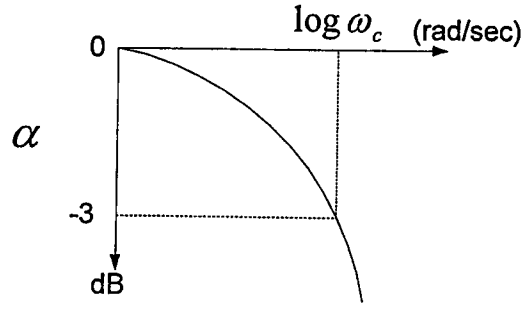
สำหรับกราฟที่แสดงดังรูปที่ 2.26 นั้น เส้นประแสดงถึงการตอบสนองเชิงขนาดของสัญญาณในทางอุดมคติส่วนเส้นทึบที่เหลือแสดงถึงการตอบสนองเชิงขนาดของสัญญาณในการใช้งานจริง ซึ่งสามารถแสดงคุณลักษณะเฉพาะได้ใกล้เคียงผลการตอบสนองทางอุดมคติมากที่สุดค่า ωc (แปลงเป็น f_c ในหน่วย Hz ได้ดดยใช้ $f_c = \omega c / 2\pi$) เป็นความถี่จุดตัดความถี่ที่ตำแหน่ง -3 dB กำหนดที่จุด $|H(j\omega)|$ มีค่า $1/\sqrt{2}$ หรือ 0.707 เท่าของค่าแอมปลิจูดสูงสุด ในที่นี้แสดงด้วยค่า A ความถี่ในช่วงย่านที่สามารถผ่านได้อยู่ในช่วง $0 < \omega < \omega c$ และความถี่ที่เกินจาก ωc จะไม่สามารถผ่านไปได้



รูปที่ 2.26 แสดงผลตอบสนองกรณีกรองความถี่ต่ำ

เราจะพล็อตกราฟแสดงการตอบสนองการตอบสนองเชิงขนาดของสัญญาณอีกรูปแบบหนึ่ง คือระหว่างแอมปลิจูด (dB) ในที่นี้แทนด้วย α กับค่าความถี่ ω หรือ f ซึ่งอาจจะใช้เป็น log หรือ log f และจากรูปกราฟที่ พล็อตไว้ในรูปที่ 2.27 จะเห็นจุดจุดตัดความถี่ที่ตำแหน่ง -3 dB สัมพันธ์กับαคิดจากที่ค่า α ลดลงจากเดิมไป 3 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.27 แสดงผลตอบสนองในหน่วย dB

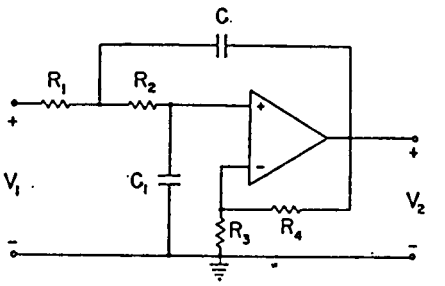
สมการโพลิโนเมียลอันดับที่สอง (Second-order polynomail function) สามารถเทียบเคียงคุณลักษณะเฉพาะของวงจรกรองความถี่ต่ำทางอุดมคติ โดยการหาออกมาในรูปสมการทรานเฟอร์ฟังก์ชั่นดังนี้

$$\frac{V_2(s)}{V_1(s)} = \frac{K}{s^2+as+b} \tag{2.23}$$

โดยที่ a และ b เป็นค่าคงที่ที่กำหนดขึ้น และ K เป็นค่าคงที่ ส่วนอันดับที่สองได้มาจากกำลังสูงสุดของสมการโพลิโนเมียลของตัวส่วนหรือตัวหารนั่นเอง ในกรณีของสมการทรานเฟอร์ฟังก์ชั่นที่อันดับที่สูงกว่านี้หาได้จากสมการเดียวกันเพียงตัวหารเป็นนิพจน์ที่มีกำลังสูงสุดตามลำดับนั้นๆ และสามารถหาอัตราการขยายของวงจรกรองความถี่ต่ำ โดยกำหนดให้ S ในสมการทรานเฟอร์ฟังก์ชั่นเป็นศูนย์ ดังนั้นจากสมการได้อัตราการขยายมีค่าเป็น K/b

การใช้อุปกรณ์แอคตีฟแทนขดลวดเหนี่ยวนำในวงจรกรองความถี่ต่ำนั้นมีด้วยกันหลายวิธี เราจะเสนอใช้วิธี Sallen และ Key ซึ่งจะใช้อุปกรณ์แอคตีฟ ประเภทออปแอมป์ วงจรกรองความถี่แบบ Sallen และ Key แสดงไว้ดังรูปที่ 2.23 โดยเลือกค่าความต้านทานและตัวเก็บประจุที่เหมาะสมเพื่อให้ได้ค่า a และ b ที่กำหนดขึ้นจากสมการส่วน R3 และ R4 ที่ต่อไว้กับออปแอมป์ประกอบขึ้นเป็นวงจรควบคุมแหล่งจ่ายแรงดันด้วยค่าแรงดัน (Voltage Control Voltage Source : VCVS) ดังนั้นจะเรียกวงจร Sallen และ Key เป็นวงจร VCVS แบบหนึ่งก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 แสดงวงจรกรองความถี่ต่ำอันดับสอง

วงจรกรองความถี่อันดับสองที่สูงกว่านี้สามารถประกอบขึ้นโดยนำวงจรกรองความถี่อับดับที่สองมาต่อกันหลายๆ ชุด ตัวอย่างเช่น วงจรกรองความถี่ต่ำอับดับที่สี่ ประกอบขึ้นโดยการนำวงจรกรองความถี่อันดับที่สองจำนวนสองวงจรดังรูปที่ 2.28 มาประกอบเข้าด้วยกัน

ทำการวิเคราะห์วงจรตามรูปที่ 2.28 จะได้ค่าต่างๆ ที่ทำให้สมการเป็นจริงดังนี้

$$K = \frac{\mu}{R_1 R_2 C C_1} \tag{2.24}$$

$$a = \frac{1}{R_2 C_1}(1-\mu) + \frac{1}{R_1 C} + \frac{1}{R_2 C} \tag{2.25}$$

$$b = \frac{1}{R_1 R_2 C C_1} \tag{2.26}$$

โดยที่

$$\mu = 1 + \frac{R_4}{R_3} \tag{2.27}$$

ค่า μ เป็นอัตราการขยายของวงจร VCVS ซึ่งจะเป็นอัตราการขยายของวงจรกรองความถี่ด้วย เพราะว่า $K/b = \mu$

เป็นที่ทราบกันดีว่า มีวงจรกรองความถี่ต่ำอยู่หลายแบบด้วยกัน แต่ก็มีเพียง 2 แบบ ซึ่งเป็นที่นิยมใช้กันคือ แบบบัตเตอร์เวิร์ธ (Butterworth) และเชบีเชฟ (Chebyshev) ในหัวข้อต่อไปนี้จะทำการอธิบายวงจรทั้งสองแบบนี้รวมทั้งนำเสนอเทคนิคในการออกแบบวงจรประเภทนี้ด้วย

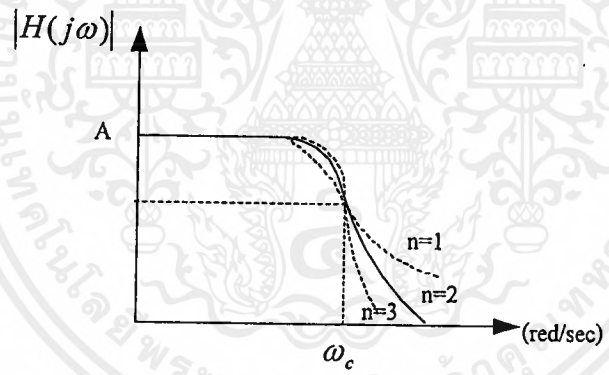
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก. วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ(Low Pass Butterworth Filter)

เป็นวงจรกรองความถี่ที่มีคุณลักษณะเฉพาะใกล้เคียงกับวงจรกรองความถี่ต่ำทางอุดมคติ โดยยอมให้ช่วงความถี่ที่ผ่านได้มีค่าแอมปลิจูดเท่าเทียมตลอดย่านให้ผ่านได้ โดยที่การตอบสนองเชิงขนาดของสัญญาณมีค่าสมการดังนี้

$$|H(j\omega)| = \frac{K}{\sqrt{1+(\omega/\omega c)^{2n}}} \qquad (2.28)$$

โดยที่ n เป็นอันดับของวงจรกรองความถี่ และตามรูปที่ 2.29 แสดงให้เห็นว่าวงจรกรองความถี่สามารถที่จะปรับปรุงคุณลักษณะเฉพาะเกี่ยวกับการตอบสนองเชิงขนาดของสัญญาณให้ดีขึ้น โดยใช้การเพิ่มค่า n หรืออันดับของวงจรกรองความถี่



รูปที่ 2.29 แสดงผลการตอบสนองกรณีบัตเตอร์เวิร์ธ

วงจรกรองความถี่แบบบัตเตอร์เวิร์ธมีข้อดีที่ได้กล่าวมาแล้ว คือสามารถให้ผลตอบสนองเชิงขนาด ของสัญญาณได้เท่าเทียมกันตลอดทั้งย่านความถี่ที่ต้องการ เพียงแต่จุดตัดความถี่ที่ตำแหน่ง –3 dB ของวงจรบัตเตอร์เวิร์ธนี้จะอยู่ต่ำกว่าจุดจุดตัดความถี่ที่ตำแหน่ง -3 dBของวงจรกรองความถี่แบบเชบีเชฟ ไม่ว่าจะเป็นอันดับที่ n ใดๆ ก็ตามจากรูปที่ 2.29 ค่าแอมปลิจูดของสัญญาณจะถูกลดทอนลงด้วยอัตราประมาณ –20n dB/decade ซึ่งเมื่อเปรียบเทียบกับวงจรกรองความถี่แบบเชบีเชฟ อัตราการลดทอนของวงจรกรองความถี่แบบบัตเตอร์เวิร์ธจะน้อยกว่าโดยที่ 1 decade เป็นช่วงห่างระหว่างความถี่ 2 ความถี่ และความถี่จะมีค่าเท่ากับ10 เท่าของความถี่อีกความถี่หนึ่ง

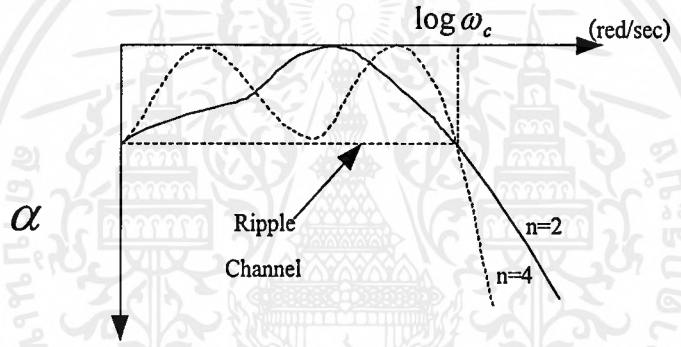
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข. วงจรกรองความถี่ต่ำผ่านแบบเชบีเชฟ (Low pass Chebyshev Filter)

วงจรกรองความถี่ต่ำผ่านแบบเชบีเชฟสามารถหาค่าการตอบสนองเชิงขนาดของสัญญาณตามสมการดังนี้

$$|H(j\omega)| = \frac{K}{\sqrt{1+\varepsilon^2 C_n^2(\omega/\omega c)}} \qquad (2.29)$$

โดยที่ ε เป็นค่าคงที่ และ C_n เป็นค่าเชบีเชฟโพลิโนเมียลแบบแรกที่ n ใดๆและค่า n แสดงถึงจำนวนลูกคลื่นที่กระเพื่อมหรือริปเปิ้ลที่เกิดในช่วงความถี่ที่ยอมให้ผ่านได้ของวงจรนี้ซึ่งแสดงไว้ดังรูปที่ 2.30



รูปที่ 2.30 แสดงผลตอบสนองของวงจรกรองความถี่ต่ำแบบเชบีเชฟ

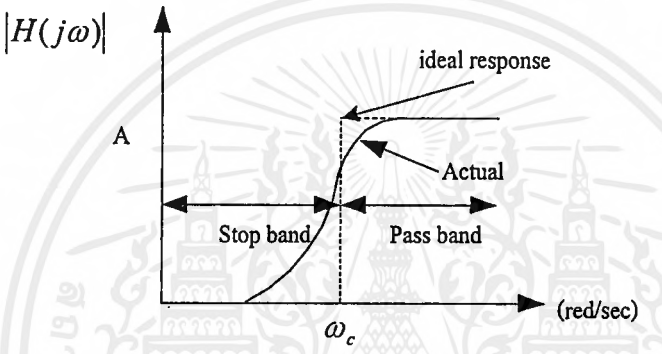
ค่า ε เป็นตัวกำหนดความกว้างของริปเปิ้ล และอาจใช้เป็นตัวกำหนดคุณลักษณะเฉพาะของวงจรกรองแบบนี้ตัวอย่างเช่น วงจรความถี่ต่ำแบบเชบีเชฟ ½ dB เป็นวงจรกรองความถี่ซึ่งการตอบสนองเชิงขนาดของสัญญาณในช่วงความถี่ที่ยอมให้ผ่านได้จะมีลูกคลื่นของการกระเพื่อมอยู่ในช่วงกว้างเท่ากับ ½ dB ดังนั้นอาจกล่าวได้ว่าที่ ωc หรือ fc ซึ่งเป็นความถี่จุดตัดความถี่ที่ตำแหน่ง -3 dBนั้นเป็นจุดสิ้นสุดของช่วงการกระเพื่อม หรือที่เรียกว่าริปเปิ้ลแชนแนล (Ripple channel) และเช่นเดียวกันสำหรับกรณีของวงจรกรองความถี่ต่ำแบบเชบีเชฟ 3 dB

วงจรเชบีเชฟมีข้อเสียเมื่อเปรียบเทียบกับวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธคือมีการกระเพื่อมเกิดขึ้นในช่วงความถี่ที่ยอมให้ผ่าน แต่อย่างไรก็ตามวงจรกรองความถี่แบบเชบีเชฟ เป็นวงจรกรองความถี่ที่ดีที่สุดในวงจรกรองความถี่ที่นิยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.42 วงจรกรองความถี่สูงผ่าน(High Pass Filter)

High Pass Filter เป็นวงจรกรองความถี่แบบหนึ่งที่จะส่งผ่านสัญญาณความถี่สูงกว่าค่าที่เลือกไว้ผ่านไปได้ทั้งหมด ในขณะที่จะกำจัดหรือลดทอนความถี่ต่ำกว่าค่าที่เลือกไว้ คุณสมบัติเช่นนี้ของวงจร High Pass Filter แสดงให้เห็นดังกราฟการตอบสนองเชิงขนาดของสัญญาณในรูปที่ 2.31 โดยเส้นประแสดงถึงการตอบสนองเชิงขนาดของสัญญาณในทางอุดมคติ ส่วนเส้นนั้นแสดงถึงการตอบสนองเชิงขนาดของสัญญาณในทางปฏิบัติ



รูปที่ 2.31 แสดงผลตอบสนองกรณีกรองความถี่สูงผ่าน

สมการโพลิโนเมียลอันดับที่สองสามารถเทียบเคียงกับคุณลักษณะของวงจรกรองความถี่สูงผ่านทางอุดมคติโดยการหาออกมาในรูปสมการทรานเฟอร์ฟังก์ชั่น ดังนี้

$$H(s) = \frac{V2(s)}{V1(s)} = \frac{Ks^2}{s^2 + as + b} \qquad (2.30)$$

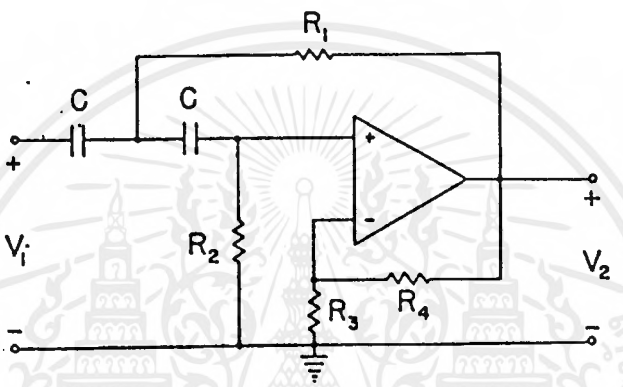
สมการทรานเฟอร์ฟังก์ชั่นอันดับที่ n ใดๆ อยู่ในรูปแบบตัวเศษเป็น Ks^2 และตัวหารเป็นสมการโพลิโนเมียลอันดับที่ n ใดๆ เช่น สมการอันดับที่สี่ได้มาจากผลคูณของสมการอันดับที่สอง 2 สมการ

ความถี่จุดตัดความถี่ที่ตำแหน่ง -3 dB คือ ωc ในช่วงเรเดียน/วินาที หรือ $fc = \omega c / 2\pi (Hz)$ อัตราการขยาย ของ วงจรกรองความถี่หามาจากสมการด้านบนคือ H(s) เมื่อ s เข้าสู่อนันต์หรืออินฟินิตี้ ฉะนั้นแทนค่า $s \to \alpha$ จะได้ Gain = K วงจรกรองความถี่สูงแบบบัตเตอร์เวิร์ธนั้นมีคุณลักษณะเฉพาะที่เหมือนกันกับกรณีวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่สูงแบบบัตเตอร์เวิร์ธจะให้การตอบสนองเชิงขนาดของสัญญาณ ณ แถบความถี่ที่ยอมให้ผ่านได้ราบเรียบมากกว่า เชบีเชฟ โดยที่ เชบีเชฟจะมีการกระเพื่อมในช่วงความถี่ที่ผ่านได้ ทั้งสองกรณีจะหาค่าแอมปลิจูดได้จากสมการเช่นเดียวกับกรณีวงจรกรองความถี่ต่ำ เพียงแต่เปลี่ยนค่า ω เป็น $1/\omega$ เท่านั้น

ในกรณีวงจรกรองความถี่แบบบัตเตอร์เวิร์ธจะใช้ fc เป็นจุดจุดตัดความถี่ที่ตำแหน่ง -3 dB แต่ในกรณีวงจรกรองความถี่สูงแบบเชบีเชฟนั้นจะใช้ fc เป็นจุดเริ่มต้นของระยะการกระเพื่อม



รูปที่ 2.32 แสดงวงจรกรองความถี่สูง

วงจรที่ใช้ที่นี้ทั้งแบบบัตเตอร์เวิร์ธอันดับที่สอง และแบบเชบีเชฟอันดับที่สอง คือวงจร Sallen และ Key แบบ VCVS แสดงดังรูปที่ 2.32 เมื่อวิเคราะห์วงจรจะได้ค่าต่างๆ ที่ทำให้สมการเป็นจริงคือ

$$K = \mu = 1 + \frac{R_4}{R_3} \tag{2.31}$$

$$a = \frac{1}{R_1 C}(1-\mu) + \frac{2}{R_2 C} \tag{2.32}$$

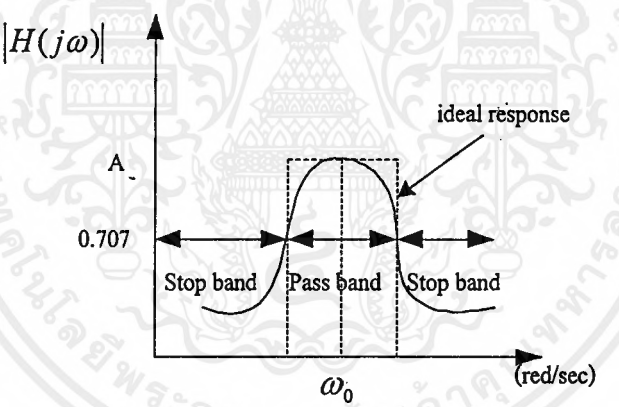
$$b = \frac{1}{R_1 R_2 C^2} \tag{2.33}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าต้องการสร้างวงจรกรองความถี่สูงอันดับที่สี่เพียงนำวงจรอันดับสอง 2 วงจรมาต่อคาสเคดเท่านั้น

2.43 วงจรกรองเฉพาะผ่านย่านความถี่ความถี่ (Band Pass Filter)

Band Pass Filter เป็นวงจรกรองความถี่แบบหนึ่งซึ่งจะยอมให้ความถี่ช่วงหนึ่งที่เลือกไว้ผ่านวงจรชนิดนี้ไปได้เท่านั้น โดยเฉพาะจะลดทอนความถี่อื่นใดนอกเหนือจากช่วงกว้างของแถบความถี่ที่ได้เลือกไว้แล้ว ในที่นี้ตามรูปที่ 2.33 สมมติให้มีความกว้างเท่ากับ B และมีค่าความถี่ที่จุดกึ่งกลางของแถบความถี่เป็น ω_0 สำหรับค่า B และ ω_0 กำหนดให้อยู่ในหน่วยเรเดียน/วินาที หรือ B อาจกำหนดในหน่วย Hz และมีความถี่กึ่งกลางเป็น $f_0 = \omega_0 / 2\pi (Hz)$ คุณสมบัติตามที่กล่าวมาของวงจร Band Pass Filter แสดงให้เห็นตามรูปกราฟแสดงการตอบสนองเชิงขนาดของสัญญาณดังรูปที่ 2.33 โดยเส้นประแสดงถึงการตอบสนองเชิงขนาดในทางอุดมคติ ส่วนเส้นทึบแสดงถึงการตอบสนองเชิงขนาดในการใช้งานจริง



รูปที่ 2.33 แสดงผลการตอบสนองกรณีกรองเฉพาะย่านผ่านความถี่

สมการโพลิโนเมียลอันดับสองสามารถเทียบเคียงคุณลักษณะเฉพาะของวงจรแถบความถี่ทางอุดมคติได้ โดยกำหนดค่า B และ $\omega_0{}^2$ ให้เหมาะสมซึ่งจะได้ออกมาในรูปสมการทรานเฟอร์ฟังก์ชั่นดังนี้

$$H(s) = \frac{V_2(s)}{V_1(s)} = \frac{Ks}{s^2 + Bs + \omega_0^2} \qquad (2.34)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีค่าพารามิเตอร์สำคัญที่ควรสนใจอยู่คู่หนึ่งในการออกแบบวงจรกรองเฉพาะความถี่นี้คือ ค่า Q หรือค่า ควอลิตี้ เฟคเตอร์ (Quality factor) ซึ่งหาได้จาก

$$Q = \omega_0 / B \tag{2.35}$$

หรือ $Q = f_0 / B$ เมื่อกำหนด B ในหน่วยHz

โดยค่า Q จะบ่งบอกให้ทราบถึงความกว้างของช่องความถี่ที่จะยอมให้ผ่าน ถ้า Q ยิ่งมีค่ามาก วงจรที่ ออกแบบนั้นจะทำการกรองความถี่ผ่านไปได้ในช่วงแคบมากขึ้น นั่นคือจะผ่านแถบความถี่ไปได้น้อยลง มีความชันมากขึ้น เมื่อเทียบกับความถี่กึ่งกลาง ω_0 โดยที่ค่า Gain ของวงจรกรองเฉพาะความถี่แถบความถี่นี้กำหนดได้จากคราแอมปลิจุดของ H(s) ในสมการที่จุดกึ่งกลางของแถบความถี่ซึ่งจะได้ค่า Gain = K/B

ก. วงจรกรองเฉพาะย่านผ่านความถี่อันดับสองแบบ VCVS (Second Order VCVS Band Pass Filter)

วงจรซึ่งสอดคล้องหรือได้มาจากสมการและเป็นวงจรกรองความถี่อันดับที่สองรูปแบบหนึ่ง ซึ่งจะกล่าวในที่นี้ก็คือ วงจร VCVS แสดงดังรูปที่ 2.34 คิดค้นโดย Kerwin และ Huelsman จากการวิเคราะห์วงจรแสดงให้เห็นสมการเป็นจริงถ้า

$$K = \frac{\mu}{R_1 C} \tag{2.36}$$

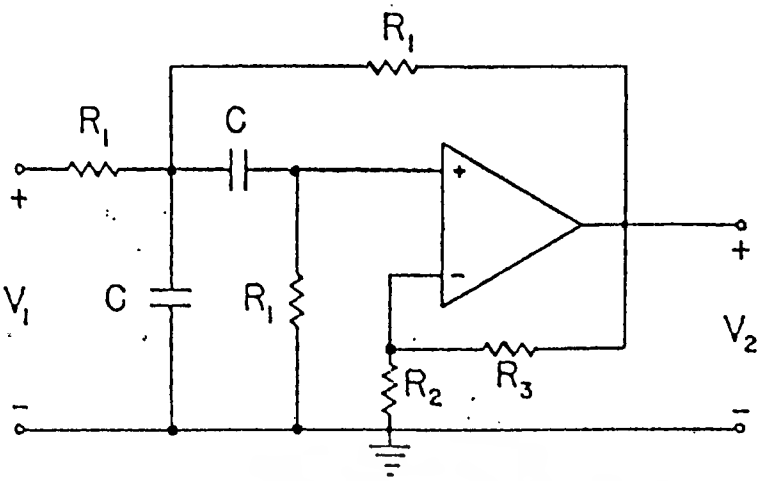
$$B = \frac{4-\mu}{R_1 C} \tag{2.37}$$

$$\omega_0^2 = \frac{2}{R_1^2 C^2} \tag{2.38}$$

โดย

$$\mu = 1 + \frac{R_3}{R_2} \tag{2.39}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.34 แสดงวงจรกรองเฉพาะย่านผ่านความถี่อันดับสอง

วงจรตามรูปที่ 2.34 จะทำงานได้ดีเมื่อค่า Q ต่ำๆ ดังนั้นจากสมการซึ่ง $4-\mu = R_1 C\omega_0 / Q$ จะได้ว่า ถ้าต้องการค่า Q ที่สูงขึ้นเท่าใด μ ก็จะมีค่าเข้าใกล้ 4 เท่านั้นเมื่อเป็นเช่นนี้แล้วจะเห็นว่า การเปลี่ยนแปลงค่า R_2 และ R_3 จะมีผลกระทบต่อค่า Q ด้วยเหตุนี้เส้นกราฟต่างๆ ที่จะกำหนดให้ใช้ในทางปฏิบัติจริงจึงถูกกำจัดขึ้นในช่วง $Q < 4$ ดังนั้นเพื่อความสะดวกในการปรับเปลี่ยนค่า Q จึงควรใช้ โพเทนชิโอมิเตอร์ (Potentiomiter) แทนค่า R_2 และ R_3 ในทางปฏิบัติจริงเพื่อให้ได้วงจรมีคุณลักษณะตามที่ออกแบบไว้ วิธีที่ดีที่สุดคือเริ่มจากกำหนดความถี่กึ่งกลางของแถบความถี่ f_0 และค่าตัวเก็บประจุ C ที่จะใช้ หลังจากนั้นหาค่า R_1 ส่วนค่าของ R_2 และ R_3 เราใช้โพเทนชิโอมิเตอร์เราก็สามารถปรับความกว้างของแถบความถี่เมื่อเทียบกับจุด f_0 ที่กำหนดได้

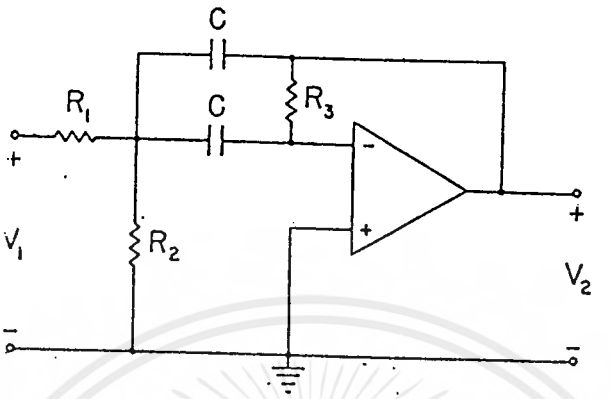
ข. วงจรกรองเฉพาะย่านผ่านความถี่อันดับที่สองแบบป้อนกลับหลายทาง(Second Order Multiple Band Pass Filter)

วงจรอีกรูปแบบหนึ่งซึ่งให้คุณสมบัติในการกรองความถี่เช่นเดียวกับวงจรกรองเฉพาะย่านผ่านความถี่อันดับที่สอง ก็คือ วงจรป้อนกลับหลายทาง (Multiple feedback network) ซึ่งแสดงตามรูปที่ 2.30 จากการวิเคราะห์วงจรจะได้ว่าสมการจะเป็นจริงก็ต่อเมื่อ

$$B = \frac{2}{R_3 C} \tag{2.40}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_0^2 = \frac{1}{R_3 C^2}\left(\frac{1}{R_1} + \frac{1}{R_2}\right) \qquad (2.41)$$



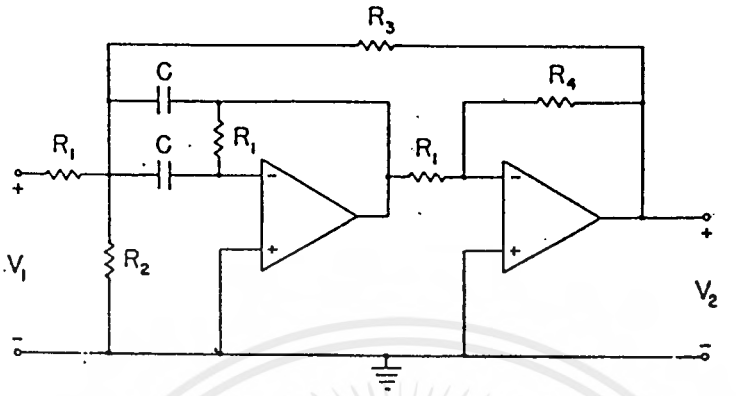
รูปที่ 2.35 แสดงวงจรกรองเฉพาะความถี่ย่านผ่านแบบป้อนกลับหลายทางที่ใช้งาน

โดยค่าคงที่ K ในสมการมีค่าเท่ากับ $1 - R_1 C$ และด้วยเหตุนี้วงจรจะให้ผลการขยายแบบอินเวอร์ติ้งหรือกลับขั้วสัญญาณ (สัญญาณทางขาออกจะกลับทิศทาง 180 กับสัญญาณทางขาเข้า)มีขนาดของสัญญาณเป็น $R_3 / 2R_1$ แต่สามารถกลับสัญญาณอีกครั้งโดยต่อวงจรขยายแบบกลับขั้วสัญญาณ ที่ขาออกหรือเอ้าพุตของวงจรดังรูปที่ 2.35 ในกรณีที่ต้องการวงจรที่ให้ค่า Q สูงๆ สำหรับวงจรรูปที่ 2.35 สามารถเปลี่ยนค่า Q ได้ในช่วงกว้างมากโดยใช้การเปลี่ยนค่าอุปกรณ์ในวงจร และด้วยเหตุนี้เราจึงต้องจำกัดค่า Q ไว้ในช่วงที่เหมาะสม และนิยมใช้สำหรับการออกแบบ คือที่ $Q < 10$

ค. วงจรกรองเฉพาะย่านผ่านความถี่อันดับสองแบบป้อนกลับบวก (Second Order Positive Feedback Band Pass Filter)

วงจรกรองเฉพาะย่านผ่านความถี่อันดับที่สองที่กล่าวมาก่อนหน้านี้จะต้องจำกัดค่า Q ให้อยู่ในช่วงไม่เกิน 10 เพื่อให้ผลที่ออกมาเมื่อใช้งานจริงมีความถูกต้อง และให้คุณสมบัติใกล้เคียงผลตามที่ได้ออกแบบไว้ สำหรับหัวข้อนี้จะได้กล่าวถึงวงจรกรองแถบความถี่ซึ่งสามารถกำหนดค่า Q ขึ้นไปได้ถึง 50 (ค่า Q ยิ่งมากขึ้นเท่าใด ค่า B ก็จะน้อยลงเป็นสัดส่วนผกผันกัน) และมีชื่อเรียกว่าวงจรป้อนกลับแบบบวก ดังแสดงในรูปที่ 2.36 คำว่า ป้อนกลับแบบบวก หมายความว่าสัญญาณถูกป้อนกลับในลักษณะ ที่ไม่ถูกกลับขั้วสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.36 แสดงวงจรกรองเฉพาะย่านผ่านความถี่กรณีป้อนกลับบวก

วิเคราะห์วงจรตามรูปที่ 2.36 จะเห็นว่าสมการจะเป็นจริงตามค่าต่างๆ ดังนี้

$$K = \frac{R_4}{R_1^2 C} \tag{2.42}$$

$$B = \frac{1}{R_1 C}(2 - \frac{R_4}{R_3}) \tag{2.43}$$

$$\omega_0^2 = \frac{1}{R_1 C^2}(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3}) \tag{2.44}$$

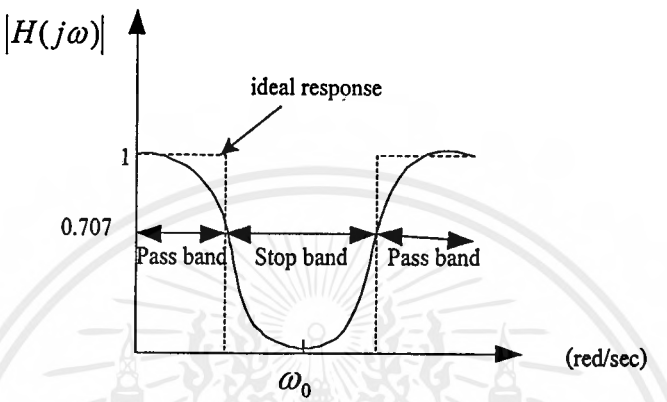
2.44 วงจรกรองขจัดเฉพาะแถบความถี่ (Band-Reject Filter)

Band-Reject Filter (เรียกว่า Band-Elimition หรือ Notch Filter ก็ได้) เป็นวงจรกรองความถี่อีกแบบหนึ่งซึ่งจะยอมให้สัญญาณความถี่ตลอดย่านผ่านไปได้หมด ยกเว้นแถบความถี่ช่วงหนึ่งที่จะไม่ยอมให้ผ่านไปได้ คุณสมบัติของวงจร Band-Reject Filter แสดง

ให้เห็นตามรูปกราฟการตอบสนองเชิงขนาดในรูปที่ 2.32 เส้นประแสดงถึงการตอบสนองเชิงขนาดในทางอุดมคติ ส่วนเส้นทึบที่เหลือแสดงถึงการตอบสนองเชิงขนาดในการใช้งานจริง แถบความถี่ซึ่งถูกลดทอนหรือขจัดทิ้งนี้มีจุดกึ่งกลางอยู่ที่ ω_0 โดยประมาณ และมีความกว้างของแถบความถี่เป็น B ซึ่งอยู่ในเทอมหรือหน่วยของ Hz ความถี่กึ่งกลางนี้มาจาก $f_0 = \omega_0 / 2\pi$ ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีกรองขจัดเฉพาะแถบความถี่นี้ก็เช่นเดียวกันกับกรณีกรองเฉพาะแถบความถี่ ที่จะต้องกำหนดค่า ควอลิตี้แฟคเตอร์ หรือค่า Q ซึ่งเท่ากับ ω_0/B (หรือ f_0/B โดยที่ B มีหน่วยเป็น Hz) ค่า Q นี้จะเป็นตัวชี้ความกว้างหรือแคบของแถบความถี่ที่จะถูกลดทอนหรือขจัดทิ้ง Q มากแถบความถี่ยิ่งแคบ Q น้อยแถบความถี่ก็กว้างขึ้น



รูปที่ 2.37 แสดงผลตอบสนองของวงจรขจัดเฉพาะแถบความถี่

สมการโพลิโนเมียลอันดับที่สองสามารถเทียบเคียงคุณลักษณะเฉพาะของวงจรกรองขจัดเฉพาะแถบความถี่อยู่ในรูปสมการทรานเฟอร์ฟังก์ชันดังนี้

$$H(s)=\frac{V_2(s)}{V_1(s)}=\frac{K(s^2+\omega_0^2)}{s^2+Bs+\omega_0^2} \tag{2.45}$$

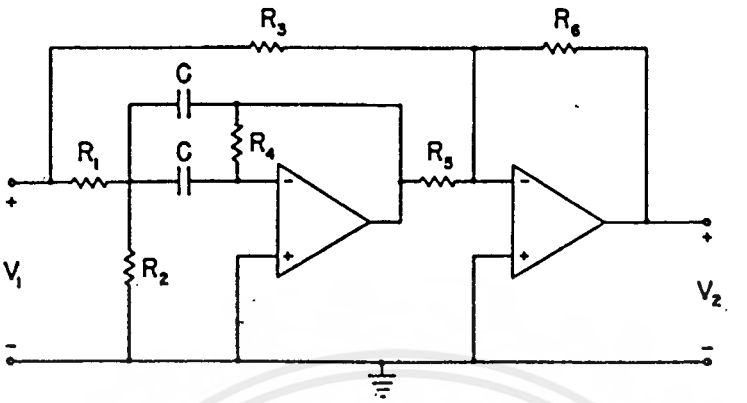
โดยที่ ω_0 เป็นความถี่กึ่งกลางในหน่วยเรเดียน/วินาที และ $B=\omega_0/Q$ จะเป็นค่าความกว้างของแถบความถี่ที่ถูกขจัดทิ้ง ค่าอัตราขยายของวงจรกรองขจัดเฉพาะแถบความถี่ได้จาก H(s) ที่ s มีค่าเป็นศูนย์หรือมีค่าเป็นอนันต์ จะได้ผลออกมามีค่าเท่ากับ K วงจรกรองขจัดเฉพาะแถบความถี่ที่จะทำให้สมการเป็นจริงแสดงไว้ดังรูปที่ 2.38 และจากการวิเคราะห์วงจร ถ้า $R_3R_4=2R_1R_5$ แล้วจะได้ ว่า

$$B=\frac{2}{R_4C} \tag{2.46}$$

$$\omega_0^2=\frac{1}{R_4C^2}\left(\frac{1}{R_1}+\frac{1}{R_2}\right) \tag{2.47}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และมีอัตราขยายกลับขั้วสัญญาณ(Inverting gain) เท่ากับ R_6 / R_3



รูปที่ 2.38 แสดงวงจรกรองขจัดเฉพาะแถบความถี่

ในทางปฏิบัติหรือใช้งานจริง เราจะให้วงจรกรองขจัดเฉพาะแถบความถี่ตามรูปที่ 2.38 ข้างต้น

2.4.5 วงจรกรองความถี่แบบเลื่อนเฟสและหน่วงเวลา (Phase-Shift and Time Delay Filters)

ก . วงจรกรองผ่านแถบความถี่ (All-Pass Filters)วงจร all-pass หรือ phase-shift filter)

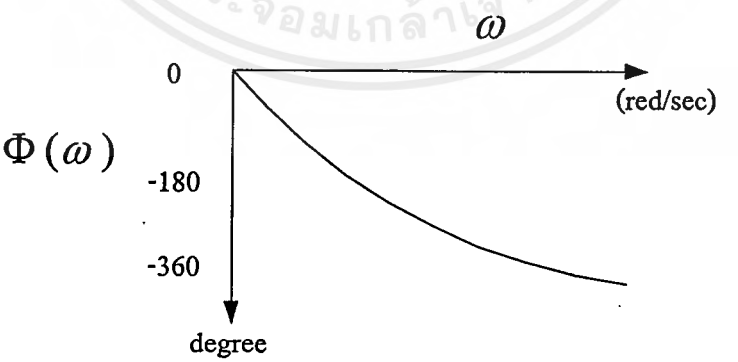
เป็นวงจรกรองความถี่ที่มีคุณสมบัติในอันที่จะยอมให้สัญญาณทุกความถี่ผ่านไปได้โดยเท่าเทียมกันตลอด ในขณะเดียวกันจะทำการเปลี่ยนหรือเลื่อนเฟสของความถี่ทั้งหลายไปด้วยค่าที่กำหนดไว้ค่าหนึ่ง ถ้าค่าจำนวนนั้นที่เรากำหนดไว้เป็นค่าลบเสมือนกับมีการหน่วงสัญญาณความถี่ด้วยช่วงเวลาหนึ่งขณะที่สัญญาณเหล่านี้ผ่านวงจรกรองความถี่ชนิดนี้ ฉะนั้นวงจร all-pass filter นี้อาจเรียกอีกชื่อหนึ่งได้ว่า วงจรไทม์ดีเลย์ (Time-delay circuit) หรือวงจรหน่วงเวลาเฟสที่เลื่อนไปหรือเวลาที่หน่วงออกไปในสมการทรานเฟอร์ฟังก์ชัน (ความถี่หรือเวลาในสมการทรานเฟอร์ฟังก์ชันนิยามด้วยค่า s ซึ่งเท่ากับ $j\omega$ จะแปรเปลี่ยนไปตามความถี่ในขณะที่ค่าแอมปลิจูดหรือขนาดของสัญญาณยังคงมีค่าคงที่เท่าเทียมกันไปตลอดย่านความถี่ใช้งานสมการ ทรานเฟอร์ฟังก์ชั่นแสดงในรูปของอัตราส่วนระหว่างเอ้าพุตต่ออินพุตของค่าโวลเตจหรือความต่างศักย์ตามรูปสมการดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H(s) = \frac{V_2(s)}{V_1(s)} \tag{2.49}$$

V_2 = แรงดันเอ้าพุต และ V_1 แรงดันอินพุต

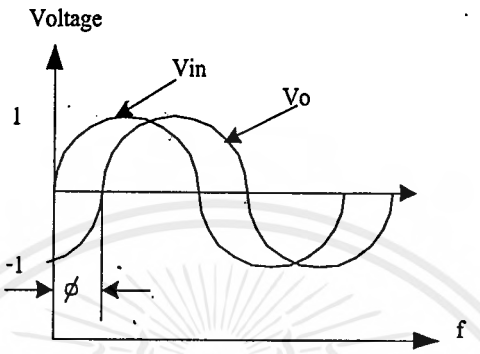
ที่ ω_0 (f_0 ถ้าคิดในหน่วย Hz) ถ้าค่าเฟสชิฟท์ (Phase Shift) หรือเฟสที่เลื่อนออกไปเป็นค่าลบ นั่นคือ $\Phi(\omega_0) = -\Phi_0$ จะได้ว่าที่ ω_0 นี้ค่าเฟสของอินพุต V_1 มีค่ามากกว่าค่าเฟสทางเอ้าพุต V_2 อยู่เท่ากับ Φ_0 องศา ฉะนั้นถ้าเราดูรูปคลื่นทั้งสองพร้อมกัน (ทั้งเอ้าพุตและอินพุตจับสัญญาณมาเทียบกัน) จะพบว่าสัญญาณอินพุตหรือรูปคลื่นทางอินพุตจะนำหน้ารูปคลื่นทางเอ้าพุตด้วยจำนวน Φ_0 องศา เพราะว่าสัญญาณเป็นแบบ periodic (หมายถึงรูปคลื่นจะซ้ำกันในช่วงเวลาหนึ่งที่คงที่ซึ่งเรียกว่าคาบเวลาของคลื่น) เมื่อนำจุดใดๆ ของคลื่นทั้งสองที่ห่างกัน 1 คาบเวลาหรือ 1 period มาพล็อต บนกราฟแอมปลิจูดกับเวลาจะได้กราฟที่คงที่เรียกว่า คอนสแตนท์ไทม์ดีเลย์ (Constant Time-delay) และด้วยเหตุที่สัญญาณความถี่หรือรูปคลื่นเป็นแบบ periodic $-\Phi_0$ จึงมีค่าเท่ากับ $360^0 - \Phi$ ตัวอย่างเช่น ถ้าให้รูปคลื่นทางเอ้าพุตตามหลังรูปคลื่นทางอินพุตเท่ากับ 270° เราสามารถกล่าวได้อีกแบบว่า รูปคลื่นทางเอ้าพุตนำหน้ารูปคลื่นทางอินพุตอยู่เท่ากับ 90 องศา เป็นต้น สำหรับผลการตอบสนองเชิงขนาดของสัญญาณสำหรับวงจรกรองผ่านทุกแถบความถี่นั้น ในทางอุดมคติจะมีค่าแอมปลิจูดคงที่ตลอดย่านความถี่ที่ใช้งานทั้งหมด แต่ในทางปฏิบัติจริงแล้วสามารถทำได้มีค่าเกือบคงที่ตลอดย่านความถี่ใช้งานเช่นกัน ส่วนผลการตอบสนองเชิงมุมหรือเฟส (Phase response) นั้นโดยทั่วไปมีลักษณะดังรูปที่2.39 ซึ่งเป็นการพล็อต $0^\circ \geq \Phi \geq -360^\circ$



รูปที่ 2.39 แสดงผลตอบสนองเชิงเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.39 แสดงรูปคลื่นทางเอ้าพุตตามหลังรูปคลื่นทางอินพุตเท่ากับ Φ_0 องศา(หรือกล่าวอีกนัยหนึ่งก็คือ รูปคลื่นทางเอ้าพุตนำหน้ารูปคลื่นทางอินพุตอยู่ 360-Φ องศา) และถ้าเราพล็อตบนแกนเวลา คือแทนแกน ωt ด้วยแกนเวลา ผลต่างระหว่างจุดใดๆ ที่ห่างกัน 1 คาบเวลา (1 period) ก็คือ ค่าหน่วงเวลานั่นเอง



รูปที่ 2.40 แสดงคลื่น 2 ลูกที่มีเฟสต่างกันเท่ากับ Φ_0

การประมาณค่าในรูปสมการอันดับที่สอง (Second-order polynomial function) สำหรับวงจร กรองผ่านทุกแถบความถี่จะออกมาในรูปสมการทรานเฟอร์ฟังก์ชันดังนี้

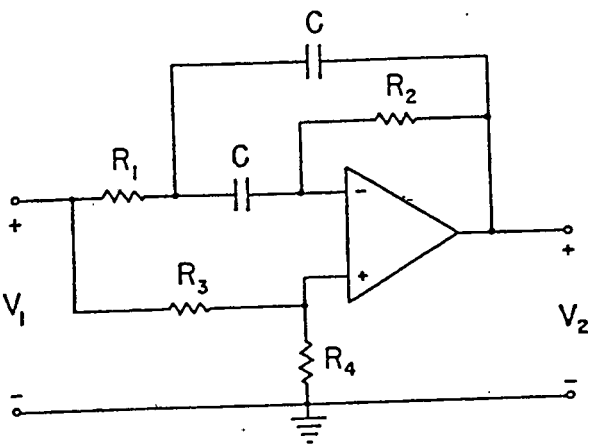
$$K(s) = \frac{V_2(s)}{V_1(s)} = \frac{K(s^2 - as + b)}{s^2 + as + b} \qquad (2.50)$$

โดยที่ a และ b เป็นค่าคงที่เฟสชิฟท์ $\Phi(\omega)$ ซึ่งอาจแทนด้วยเทอมของ $f = \omega/2\pi$ ได้มีค่าเท่ากับ

$$\Phi(\omega) = -2\arctan\left(\frac{a\omega}{b-\omega^2}\right) \qquad (2.51)$$

และค่าแอมปลิจูดคือ $|H(j\omega)|$ เท่ากับ K ซึ่งเป็นค่าอัตราขยายของวงจรกรองความถี่นี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.41 แสดงวงจรกรองผ่านทุกความถี่

แทนค่า R และ C ที่เหมาะสมในวงจรรูปที่ 2.41 ทำการวิเคราะห์วงจรจะได้ค่า a และ b ที่ทำให้สมการทรานเฟอร์ฟังก์ชั่นที่ เป็นจริงเมื่อ

$$a = \frac{2}{R_2 C} \tag{2.52}$$

$$b = \frac{1}{R_1 R_2 C^2} \tag{2.53}$$

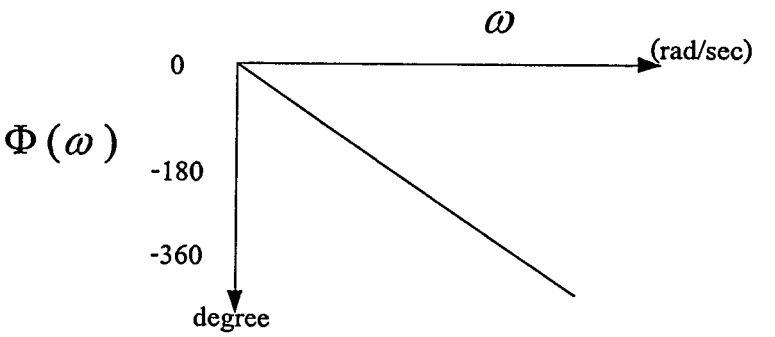
และมีค่าอัตราขยาย $K = R_4/(R_3 + R_4)$ โดยที่ $R_2 R_3 = 4R_1 R_4$

ดังนั้นผู้ออกแบบสามารถสร้างวงจรกรองผ่านทุกแถบความถี่ได้โดยกำหนดค่าเฟสชิฟท์ ณ ความถี่ที่ต้องการแล้วลงมือปฏิบัติตามสรุปในตอนท้ายของบทนี้ ซึ่งจะรวบรวมขั้นตอนการออกแบบไว้ พร้อมกลุ่มกราฟที่ออกแบบมาให้ใช้โดยมี Gain = 2 ในทุกกรณี

ข.วงจรกรองความถี่แบบหน่วงเวลาคงที่หรือแบบเบสเซล (Constant-Time-Delay หรือ Bessel Filter)

เป็นวงจรกรองความถี่ที่มีผลตอบสนองเชิงเฟสดังรูปที่ 2.39 เป็นกราฟเส้นตรงมีความชันเป็นลบ ซึ่งจะเรียกวงจรที่มีคุณสมบัติเช่นนี้ว่า วงจรลิเนียร์เฟส หรือคอนสแตนท์ไทม์ดีเลย์ฟิลเตอร์ วงจรประเภทนี้จะมีค่าเฟสชิฟท์เป็นสัดส่วนกับความถี่ด้วยค่าคงที่ไปตลอดย่านความถี่ใช้งานดังรูปที่ 2.42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.42 แสดงผลตอบสนองเชิงเฟสแบบลิเนียร์

วงจรกรองความถี่ที่เรารู้จักในชื่อว่า วงจรกรองความถี่แบบเบสเซลนั้นจะมีสมการทรานเฟอร์ฟังก์ชัน อยู่ในรูปของค่าคงที่หารด้วยสมการโพลิโนเมียล ซึ่งสามารถเทียบเคียงคุณลักษณะเฉพาะของวงจรหน่วงเวลาคงที่ (Constant-time-delay-circuit) มากที่สุด โดยมีรูปแบบสมการทรานเฟอร์ฟังก์ชันดังนี้

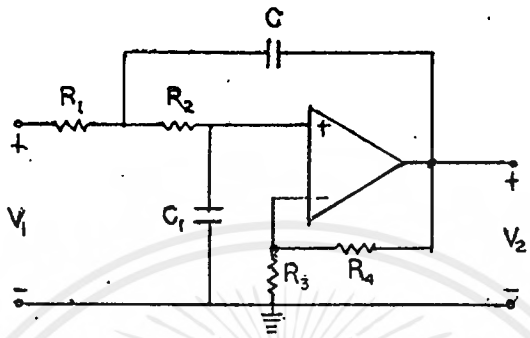
$$H(s) = \frac{V_2(s)}{V_1(s)} = \frac{K}{s^2 + 3\omega_0 s + 3\omega_0 s^2} \qquad (2.54)$$

วงจรนี้จะให้ผลการตอบสนองเชิงเฟสเป็นเส้นตรง หรือเวลาที่หน่วงมีค่าคงที่จากศูนย์ไปจนถึงความถี่ $f_0 = \omega_0 / 2\pi$ ส่วนผลการตอบสนองเชิงขนาดนั้นค่อนข้างใกล้เคียงผลตอบสนองของวงจรกรองผ่านทุกแถบความถี่ เว้นแต่ขนาดของสัญญาณจะลดลงอย่างช้าๆ จากค่าสูงสุดที่จุดความถี่เป็นศูนย์ ค่าแอมปลิจูดสูงสุดนั้นเท่ากับ $K/3\omega_0^2$

จากสมการทรานเฟอร์ฟังก์ชั่นสามารถที่จะอธิบายคุณลักษณะเฉพาะของวงจรกรองความถี่แบบเบสเซลได้ โดยจะพบว่าค่าเฟสชิฟท์จะแปรเปลี่ยนไปอย่างเป็นเชิงเส้นจาก 0 องศาที่ 0 Hz ไปเป็น –56.3 องศาที่ความถี่ f_0 และค่าหน่วงเวลาเท่ากับ $159.15/f_0$ msecที่ f_0 จะได้ค่าหน่วงเวลาเป็น 99.96% , 99.4% ที่ f_0/z 97.1%ที่ $3f_0/4$ และเป็น92.3% ที่ f_0 ตามลำดับ โดยที่เปอร์เซนต์หน่วงเวลาคิดเทียบจากค่าหน่วงเวลาที่ 0 Hz และค่าหน่วงเวลานี้จะมีค่าคงที่ไปจนถึง $2f_0$ ถ้าพิจารณารูปสมการทรานเฟอร์ฟังก์ชันของวงจรกรองความถี่แบบเบสเซลให้ถี่ถ้วน จะพบว่ามีรูปสมการเหมือนกับกรณีวงจรกรองความถี่ต่ำอันดับสองถ้าสมการทรานเฟอร์ฟังก์ชั่นกรณีอันดับที่สอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งเท่ากับ $K/s^2 + as + b$ มาเปรียบเทียบกับสมการโดยเทียบให้ $a = 3\omega_0$ และ $b = 3\omega_0^2$ จะเห็นว่าเราสามารถนำวงจร Sallen และ Key ดังรูปที่ 2.43 มาใช้กับวงจรกรองความถี่แบบเบสเซลได้



รูปที่ 2.43 แสดงวงจรกรองความถี่เบสเซล

ดังนั้นเราสามารถวิเคราะห์วงจร และแสดงให้เห็นว่าสมการจะเป็นจริงก็ต่อเมื่อ

$$K = \frac{\mu}{R_1 R_2 C C_1} \tag{2.55}$$

$$3\omega_0 = \frac{1}{R_2 C_1}(1-\mu) + \frac{1}{R_1 C} + \frac{1}{R_2 C} \tag{2.56}$$

$$3\omega_0^2 = \frac{1}{R_1 R_2 C C_1} \tag{2.57}$$

โดยที่

$$\mu = 1 + \frac{R_4}{R_3} \tag{2.58}$$

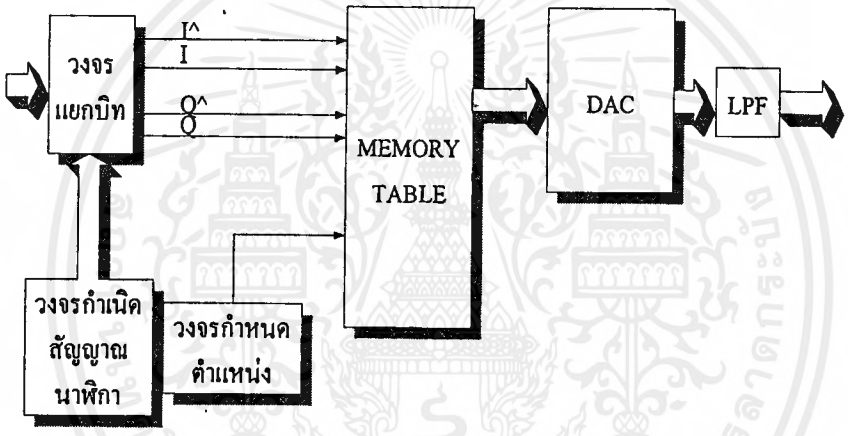
เป็นค่าอัตราขยายของวงจรกรองความถี่ชนิดนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การกำเนิดสัญญาณ 16 QAM ด้วยวิธี D.D.S.

การกำเนิดสัญญาณแบบ 16 QAM โดยวิธีการสังเคราะห์สัญญาณแบบ Direct Digital Synthesis (D.D.S.) เป็นการกำเนิดสัญญาณที่จะทำการส่งจากเครื่องส่งสัญญาณ จะอาศัยหน่วยความจำเป็นตัวเก็บคุณลักษณะต่างๆ ของสัญญาณทั้งหมดที่ใช้ในการสื่อสารแบบ 16 QAM แล้วส่งผ่านวงจร DAC เพื่อให้ได้สัญญาณที่เป็นอนาล็อกดังรูปที่ 3.1 จะเป็นหลักการของวงจรกำเนิดสัญญาณแบบ D.D.S. อย่างง่าย



รูปที่ 3.1 BLOCK DIAGRAM 16 QAM MODERM

จากรูป 3.1 ของบล็อคไดอะแกรมจะสามารถแบ่งวงจรหลักๆ ได้ ของภาคส่งได้ดังนี้

1 ส่วนของวงจรแยกบิท

2ส่วนของหน่วยความจำ

3 วงจร DAC 8 บิทแบบ Bipolar

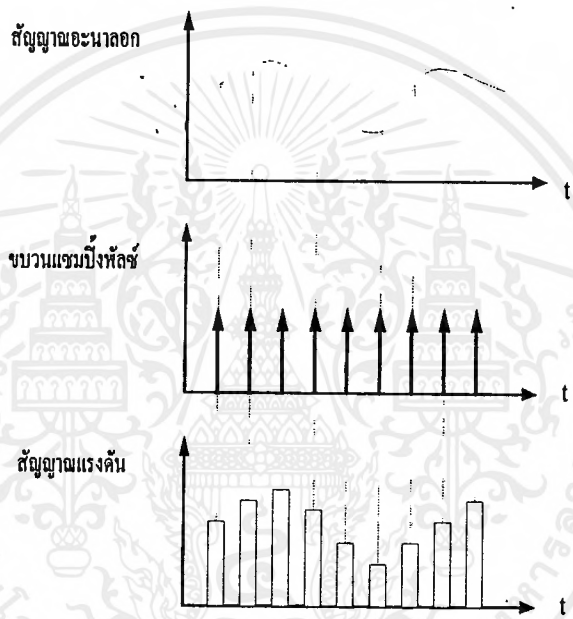
4 วงจรสร้างกำเนิดสัญญาณนาฬิกาแบบเปลี่ยนค่าได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1หลักการ Sampling

ก่อนที่จะเข้าวงจรกำเนิดสัญญาณ 16 QAM ด้วยวิธีการ D.D.S. นั้น จะทำการพูดถึงการ Sampling สัญญาณก่อนเพราะ จะใช้วิธีการนี้เพื่อที่จะเก็บข้อมูลที่มีไว้ในหน่วยความจำจะคล้ายกับเก็บสัญญาณของการมอดูเลตแบบ PCM

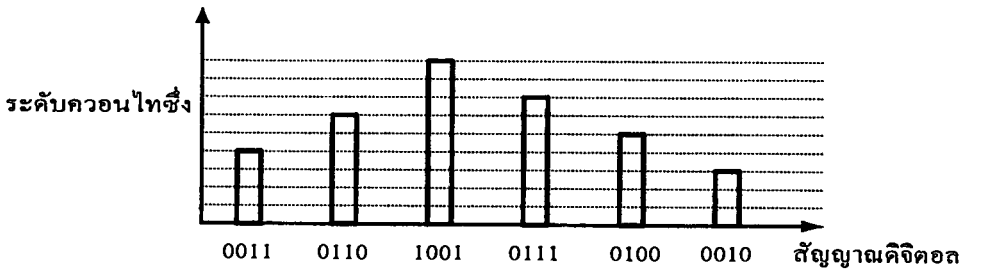
การ Sampling สัญญาณเป็นการสุ่มข้อมูลในช่วงเวลาหนึ่งโดยจะทำการเก็บไปเรื่อยจนกว่าจะหมดสัญญาณหลักดังรูปที่ 3.2



รูปที่ 3.2 การ Sampling สัญญาณอะนาลอก

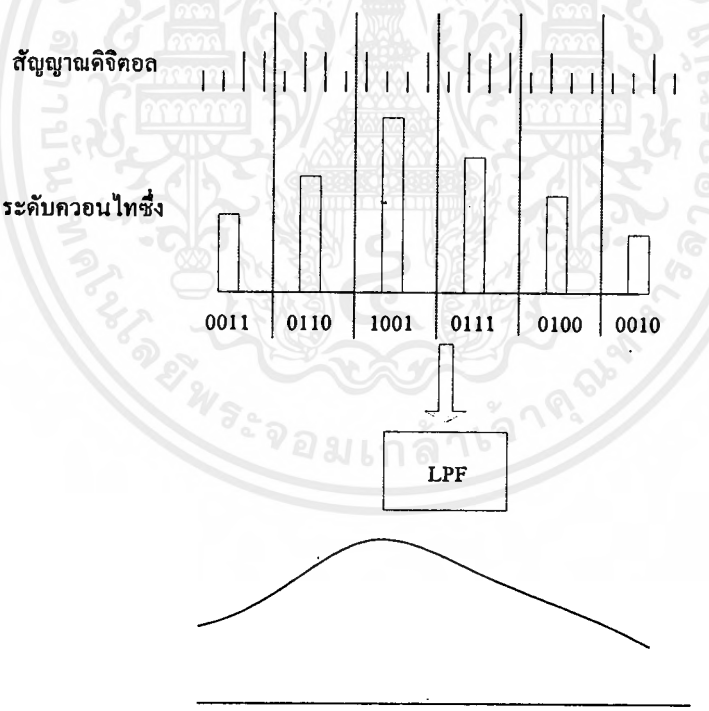
เราจะสมมติสัญญาณที่ต้องการสุ่มเป็นสัญญาณไซน์หนึ่งรูปสัญญาณ จากนั้นก็กำหนดสัญญาณในการ Sampling ว่าในหนึ่งรูปคลื่นจะต้องการเก็บข้อมูลทั้งหมดเท่าไร ยิ่งมีการ Sampling มาก เวลาคืนรูปสัญญาณก็จะเหมือนสัญญาณเดิมมากที่สุด เมื่อได้แล้วก็ทำการวัดระดับสัญญาณไซน์ที่จุด Sampling ว่ามีแรงดันเป็นอย่างไร จากรูปจะเห็นได้ว่าระดับของสัญญาณที่ Sampling ออกมาแรงดันจะขึ้นอยู่กับแรงดันของสัญญาณไซน์ ณ จุดที่ทำ การ Sampling เมื่อได้ข้อมูลที่เป็นแรงดัน ก็จะทำการเปลี่ยนเป็นระดับของสัญญาณดิจิตอล โดยนำแรงดันที่ได้มาเข้าตาราง Quantizing โดยจะได้จากรูปที่ 3.3 ซึ่งเป็นวิธีการเข้าสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 การเปลี่ยนข้อมูลเป็นสัญญาณดิจิตอลจากตาราง Quantizing

เมื่อ ได้ข้อมูลแล้วไปเก็บไว้ในหน่วยความจำต่าง ๆ เมื่อต้องการจะคืนรูปสัญญาณเดิมก็ทำขบวนการตรงกันข้ามกับการเข้ารหัส คือนำสัญญาณดิจิตอลมาเข้าตาราง Quantizing ใหม่เพื่อคืนระดับแรงดันตามข้อมูลดิจิตอลที่มีแต่ละจุด หลังจากนั้นก็เข้าวงจร LPF สัญญาณที่ออกมาก็เป็นเหมือนเดิม ขั้นตอนการถอดรหัสเป็นดังรูปที่ 3.4

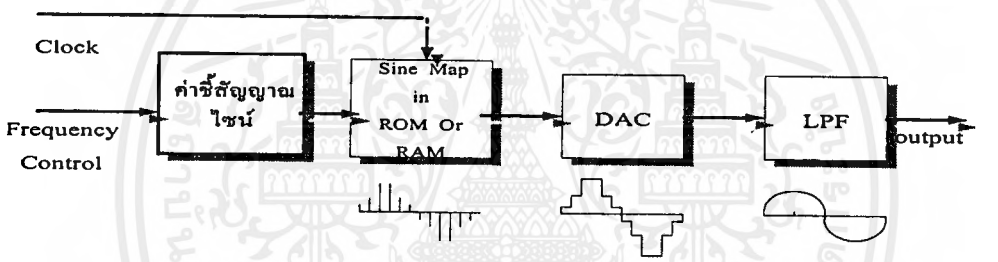


รูปที่ 3.4 ขั้นตอนการคืนสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การกำเนิดสัญญาณ 16 QAM ด้วยวิธีการ D.D.S.

การสร้างสัญญาณแบบ DDS คือเป็นการมองค่าจากตารางโดยตรง โดยที่สามารถจะกำหนดค่าของสัญญาณไซน์ทั้งหมดโดยที่ สัญญาณที่ใช้ในระบบ QAM ของโครงงานนี้เป็น M=16 จะมีทั้งหมด 16 รูปแบบสัญญาณ ในส่วนของโครงงานนี้จะแบ่งแรงดันและมุมดังตารางที่ 3.1 โดยข้อมูลจะถูกเก็บไว้ในหน่วยความจำ เมื่อจะสร้างสัญญาณไซน์ก็ทำการสเกนค่าในตารางออกมาเมื่อทำการสเกนสัญญาณครบหนึ่งรูปคลื่น ก็จะกลับไปเริ่มใหม่ และรูปของสัญญาณจะเปลี่ยนไปก็ต่อเมื่อเราเปลี่ยนค่าตัวชี้สัญญาณ หลักการสังเคราะห์สัญญาณด้วยวิธีมองค่าจากตารางสามารถอธิบายได้ดังรูปที่ 3.5



รูปที่ 3.5 หลักการสังเคราะห์สัญญาณ แบบ D.D.S.

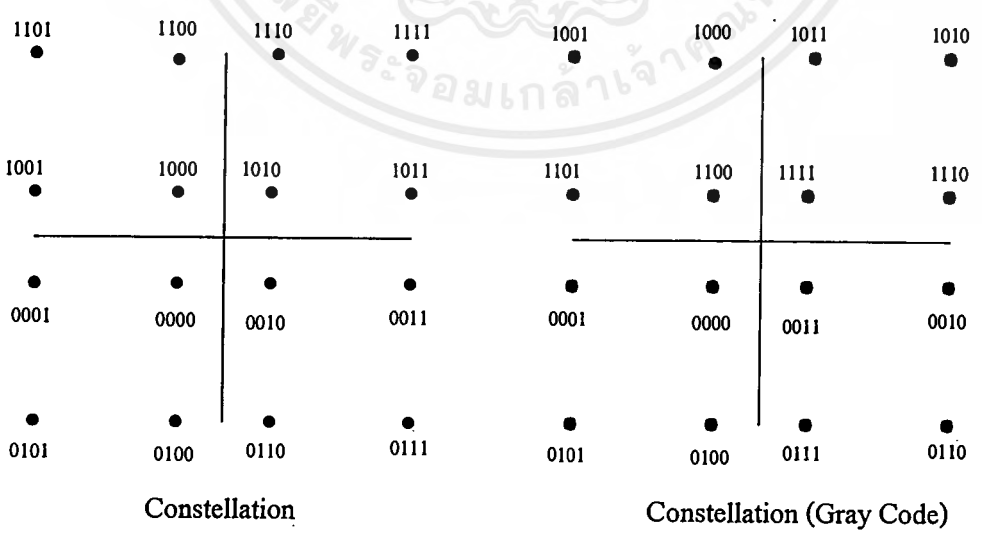
จะเห็นว่าเมื่อออกหน่วยความจำแล้วจะเข้าวงจร LPF เพื่อทำการกรองสัญญาณเอ้าพุตได้ก็เป็นสัญญาณไซน์

ในส่วนของหน่วยความจำ ในโครงงานนี้ใช้อีพรอมเบอร์ 27256 ซึ่งเป็นหน่วยความจำขนาด 32 K Byte โดยจะใช้สัญญาณในการ Sampling ทั้งหมดต่อหนึ่งรูปสัญญาณเอ้าพุตเท่ากับ 128 ตำแหน่ง เพราะ ฉะนั้น จำนวนสายแอดเดรสของอีพรอมทั้งหมด 7 เส้นคือ A0-A6 ในส่วนของการสเกนรูปสัญญาณ และส่วนที่ได้จากวงจรแยกบิทคือ $I, \overline{I}, Q$ และ $\overline{Q}$ จะมาทำการเลือกคุณลักษณะแต่ละรูปสัญญาณที่มีทั้งหมด 16 รูปแบบดั้งนั้นต้องใช้สายแอดเดรสเส้นที่ A7-A10 ของEPROM ซึ่งคุณลักษณะของสัญญาณที่ใช้ใน 16 QAM ในโครงงานนี้ได้ทำการแบ่งเป็นไปตามตารางที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Gray Code	Binary input	Voltage output	Phase
0 0 0 0	0 0 0 0	0.7	-135
0 0 0 1	0 0 0 1	1.5	-160.3
0 0 1 1	0 0 1 0	0.7	-45
0 0 1 0	0 0 1 1	1.5	-19.68
0 1 0 0	0 1 0 0	1.5	-109.68
0 1 0 1	0 1 0 1	2	-135
0 1 1 1	0 1 1 0	1.5	-70.31
0 1 1 0	0 1 1 1	2	-45
1 1 0 0	1 0 0 0	0.5	135
1 1 0 1	1 0 0 1	1.5	160.3
1 1 1 1	1 0 1 0	0.7	45
1 1 1 0	1 0 1 1	1.5	19.68
1 0 0 0	1 1 0 0	1.5	109.68
1 0 0 1	1 1 0 1	2	135
1 0 1 1	1 1 1 0	1.5	70.31
1 0 1 0	1 1 1 1	2	45

ตารางที่ 3.1 ตารางแสดงความสัมพันธ์ระหว่างข้อมูลดิจิตอล 16 ค่า แรงดันและเฟส ของสัญญาณ QAM



รูปที่ 3.6 ภาพ Constellation เปรียบเทียบจุดสัญญาณเมื่อทำการเปลี่ยนเป็น Gary Code

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.6 จะเห็นการเปลี่ยนตำแหน่งของสัญญาณอินพุตไป เนื่องจากได้ทำการแปลงสัญญาณ I, $\overline{I}$, Q และ $\overline{Q}$ เป็น Gray Code ก่อนเพื่อที่ต้องการให้มีการแปลงแปลงบิทน้อยที่สุด เพื่อป้องกันการผิดผลาดของสัญญาณอินพุต

จากหน่วยความจำการกำหนดตำแหน่งได้ใช้ความจำต่ออหนึ่งรูปสัญญาณคือ 128 ค่าดังนั้นต้องใช้ตำแหน่งของหน่วยความจำ 128 ตำแหน่งต่อรูปสัญญาณ เพราฉะนั้นใช้เส้นเอดเดรส ตั้งแต่ A0-A7 โดยจะใช้วงจรนับที่ได้มาจาก ไอซีเบอร์ 4040

I $\overline{I}$ Q $\overline{Q}$	ตำแหน่งการสแกน	เอ้าพุต
A10 A9 A8 A7	A6 A5 A4 A3 A2 A1 A0	
0 0 0 0	0 0 0 0 0 0 0 1 1 1 1 1 1 1	0.7 V -135 องศา
0 0 0 1	0 0 0 0 0 0 0 1 1 1 1 1 1 1	1.5V -160องศา
0 0 1 0	0 0 0 0 0 0 0 1 1 1 1 1 1 1	0.7V -45 องศา

ตารางที่ 3.2 ตัวอย่างการกำหนดตำแหน่งของแอดเดรส

จากตารางได้ข้อสังเกตแต่ละตำแหน่งจะขึ้นต้นด้วยค่าของข้อมูลที่รับเข้ามาจาก คือ I, $\overline{I}$, Q และ $\overline{Q}$ และจะมีส่วนที่เหมือน สังเกตได้ว่าจะนับขึ้นไปเรื่อยๆ และวนมาที่เดิมจำนวน 7 บิท จากหน่วยความจำ ใช้ IC 4040 ที่เป็น IC นับมาทำการสแกนตำแหน่ง โดยที่ความถี่ในการสแกนเท่ากับ

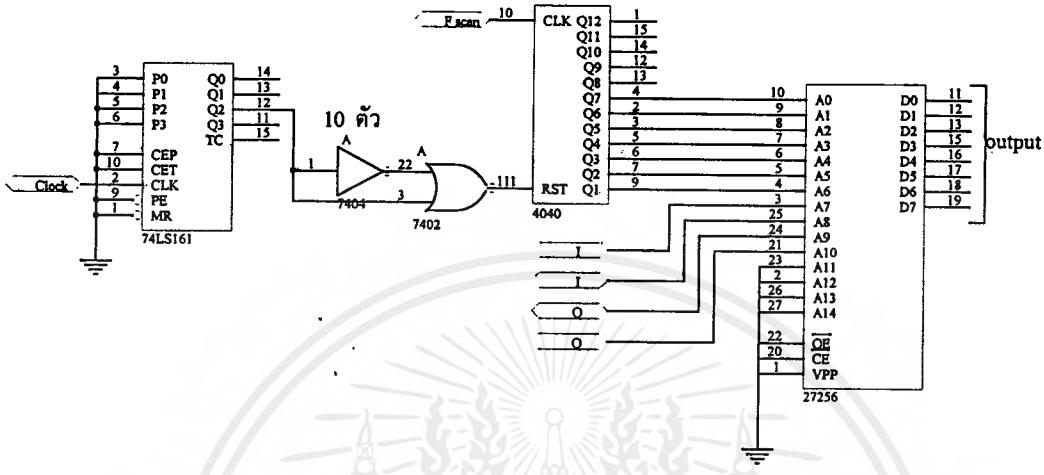
F scan = Sampling Point.(ความถี่ Carrier)

โดยที่ F scan คือความถี่ที่ป้อนให้ IC 4040

Sampling point คือ จำนวนพัลล์ Sampling ต่อหนึ่งรูปสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และในโครงงานนี้ได้ใช้ควาถี่ Carreir เท่ากับ 38.4 KHz จึงได้ความถี่ที่ป้อนให้ IC 4040 เป็น 4.9152 MHZ มาทำการป้อนที่ Clock ของ IC 4040 เพราะฉะนั้นจะได้วงจรของภาคหน่วยความจำเป็นไปดังรูปที่ 3.7



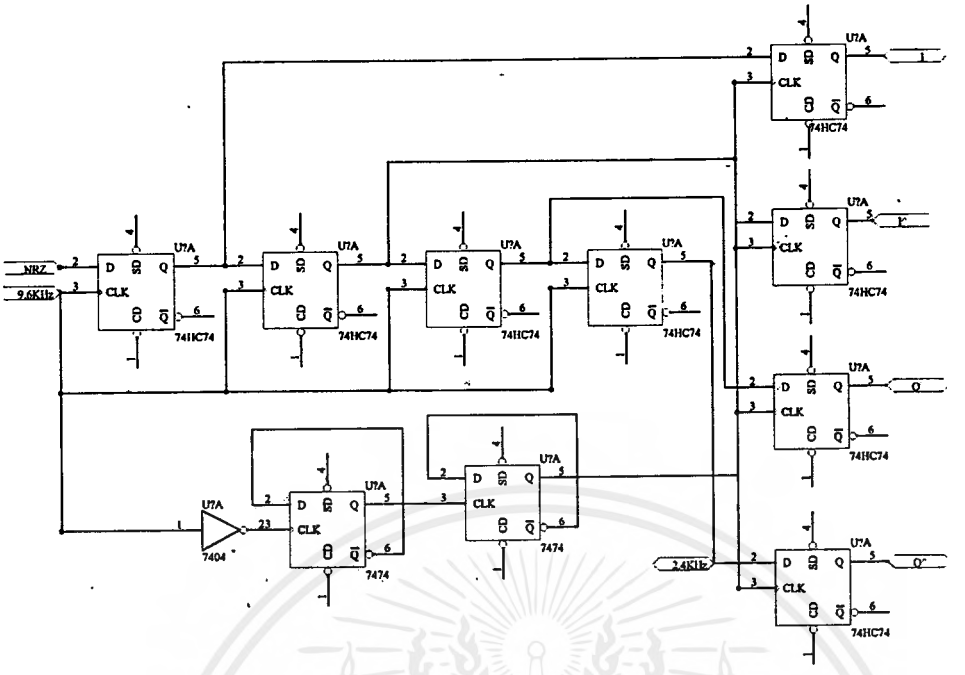
รูปที่ 3.7 วงจร EPROM ที่ใช้งานจริง

จากรูปที่ 3.7 ได้ทำการเพิ่มวงจรรีเซต ไอซีเบอร์ 4040 เพราะจากการทดลองใช้งานที่ผ่านมาในช่วงแรกของการทำงานของสัญญาณไอซีจะทำการนับโดยที่จะไม่ทำการนับที่ "0" แต่จะทำการนับไปก่อน จากนั้นก็จะเริ่มต้นนับ "1" ตามปกติทำให้สัญญาณช่วงแรกมีการผิดผลาดทางเฟส ทำให้การดีเทคสัญญาณผิดพลาด จึงใช้ไอซีหาร มาสร้าง Clock รีเซตที่ความถี่ 1200Hz ป้อนเข้าที่ขา 11 ของไอซี 4040

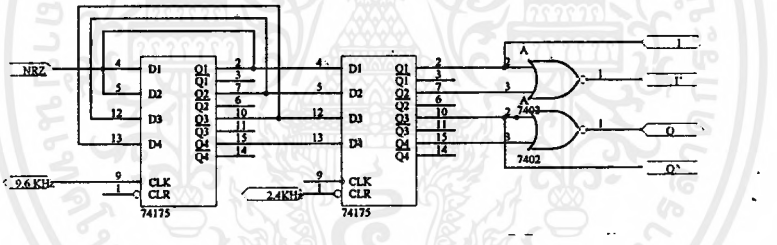
3.3 วงจรแยกบิท

วงจรแยกบิทของการส่งแบบ 16 QAM เราจะนำข้อมูลทางอินพุต ที่ได้มาแบบอนุกรมทำการแบ่งออกเป็นชุดๆละ 4 บิท เพื่อนำไปทำการเลือกตำแหน่งที่หน่วยความจำ ว่าอินพุตที่เข้ามาควรจะได้เอ้าพุตเป็นแบบใด วงจรที่เราออกแบบเราใช้ D F/F มาทำการเก็บข้อมูลที่เข้ามาเป็นแบบอณุกรมจำนวน 4 ตัว แล้วทำการส่งแบบขนาน ออกไปส่วนในการส่งออกไปเลือกตำแหน่งข้อมูลต้องส่งออกไปพร้อมกันทั้ง 4 บิท เราจึงต้องรออินพุตให้ครบก่อน เราจึงใช้ D F/F มาทำการหารเวลา CLOCK ของอินพุตจากนั้นเราก็ให้เอ้าพุตของชุด D F/F เป็นสัญญาณ CLOCK กับวงจร แยกบิทที่ส่งออกแบบขนาน จากนั้นเราจะได้วงจรออกมาเป็น ดัง รูปที่ 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 3.8 (ก) วงจรแยกบิท แบบ SIPO

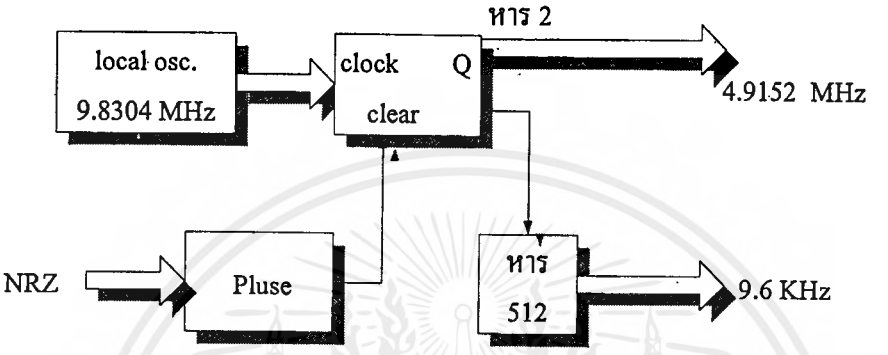
(ข) วงจรที่ใช้งานจริง

จากรูปที่ 3.8 จะได้จำนวนเอ้าพุต 4 เส้นให้กับวงจรกำเนิดสัญญาณ QAM คือ $I, \overline{I}, Q$ และ $\overline{Q}$ ซึ่งจากโครงงานนี้ได้ใช้วงจรรวมภายไอซีมาช่วย เบอร์ 74175 ทำให้วงจรแยกบิทมีขนาดลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

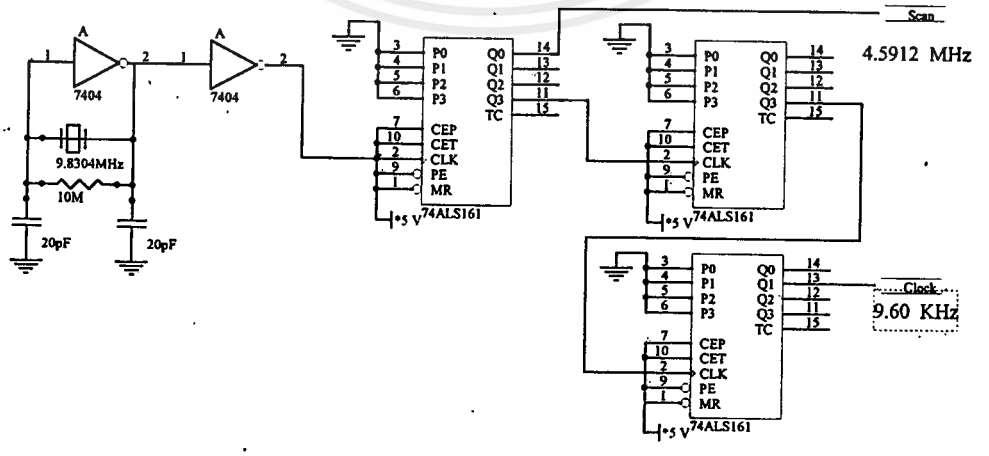
3.4 วงจรกำเนิดสัญญาณนาฬิกาแบบเปลี่ยนค่าได้

จากโครงงานนี้ได้ใช้อินพุตแบบ NRZ ที่มีบิทเรทขนาด 9.6 kbps ดังนั้นสัญญาณนาฬิกาที่ใช้ในวงจรภาคส่งที่จะซิงโครไนซ์กับสัญญาณอินพุตคือ 9.6 kHz



รูปที่ 3.9 บล็อคไดอะเกรมภาคกำเนิดสัญญาณนาฬิกา

จากรูปที่ 3.9 การสร้างสัญญาณความถี่อ้างอิงที่มีขนาด 9.8304 MHz จากนั้นมาเข้าวงจรหาร 2 จะทำให้ได้ขนาดของ Clock เป็น 4.9152 MHz จะทำการซิงโครไนซ์กับสัญญาณ NRZ โดยป้อนเข้าที่ขา clear ส่วน Clock ที่ใช้กับระบบเป็น 9.6 KHz ได้จากวงจรหาร 512 โดยวงจรที่ใช้ในโครงงานจะใช้ไอซี 74LS161 ซึ่งเป็นไอซีหารโดยที่ หาร 2 ได้มาจาก ขา 14 ของ 74LS161 ตัวแรกส่วนหาร 512 ใช้ไอซี 74LS161 ทั้งหมด 3 ตัวโดยแบ่ง 2 ตัวแรกเป็น หาร 16 ตัวที่ 3 เป็นหาร 4 ซึ่งวงจรที่ใช้ในโครงเป็นตามรูปที่ 3.10



รูปที่ 3.10 วงจรกำเนิดสัญญาณนาฬิกา

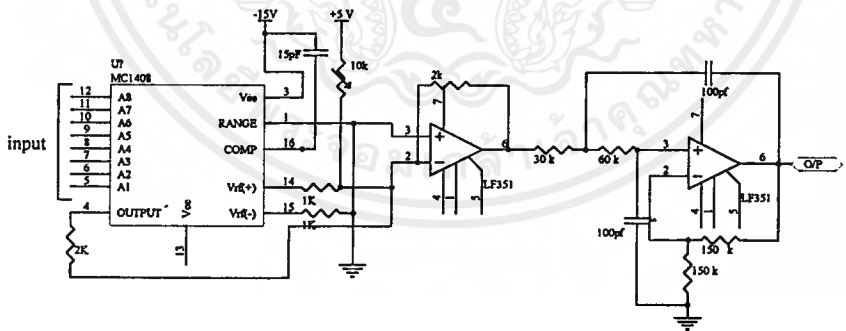
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจร DAC 8 บิท แบบ Bipolar

ในโครงงานจะใช้ไอซีเบอร์ MC1408 ซึ่งทำหน้าที่เป็น วงจรแปลงสัญญาณดิจิตอลเป็นอะนาลอก ซึ่งสามารถให้เอ้าพุต สูงสุดเท่ากับ 20 Vp-p แต่ในโครงงานนี้ได้ทำการออกแบบให้เอ้าพุตของสัญญาณสูงสุด 4 Vp-p จึงกำหนดแรงดันอ้างอิงของไอซี 1408 เป็น 2 V เพื่อที่เมื่อเวลาทำการแปลงสัญญาณจากดิจิตอลเป็นอะนาลอกมีความละเอียดมากยิ่งขึ้นตามตารางที่ 3.4 ซึ่งจะเห็นจำนวนแรงดันเอ้าพุตกับจำนวนบิทที่ใช้

A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	เอ้าพุต
1	1	1	1	1	1	1	1	+2 V
1	0	0	0	0	0	0	0	+0.04
0	1	1	1	1	1	1	1	-0.04
0	0	0	0	0	0	0	1	-2 V

ตารางที่ 3.4 การแปลงสัญญาณ DAC โดยใช้ไอซี 1408



รูปที่ 3.11 วงจรแปลงสัญญาณดิจิตอลเป็นอะนาลอก

จากรูปที่ 3.11 วงจรที่ใช้งานจะได้มาจาก Data Sheet ของไอซี เพียงแต่นำค่าอุปกรณ์ต่างที่เหมาะสมกับการใช้เท่านั้น โดยวงจรที่ใช้เป็นแบบ Bipolar คือเอ้าพุตจะสามารถสวิงได้จาก +2 ถึง –2 และเป็นดีเอซีขนาด 8 บิท ในส่วนสุดท้ายของวงจรจะเห็นว่ามีวงจร LPF ต่ออยู่ทั้งนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะเอ้าพุตที่ได้จากวงจร DAC ยังมีสัญญาณ Pluse แบบขั้นบันไดอยู่ทำให้สัญญาณที่ได้ยังมีลักษณะเป็นดิจิตอลอยู่ จึงต้องใช้วงจร LPF อันดับสองแบบบัตเตอร์เวิร์ธ มาทำการกรองสัญญาณก่อนจะส่งออกไปโดยที่จะทำการออกแบบให้วงจร LPF มีค่า fc ที่ 38.4 KHz

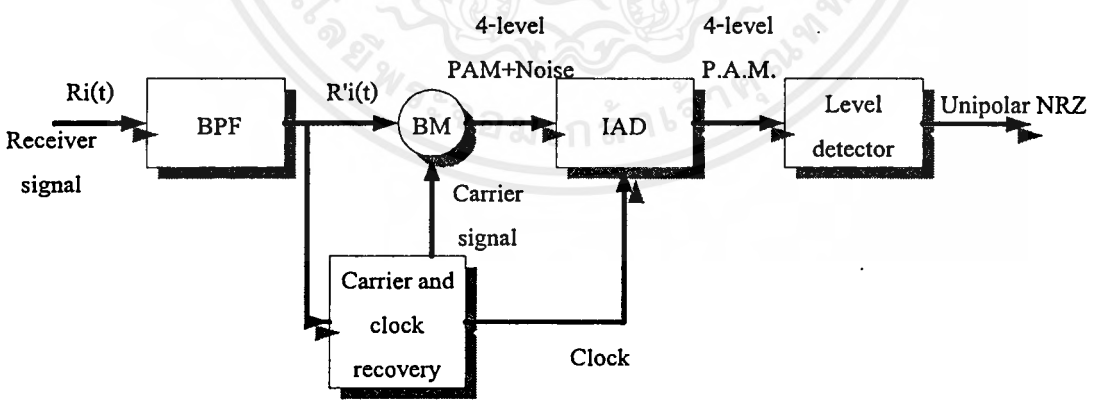
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ภาครับสัญญาณ 16 QAMแบบ Coherent Receiver

4.1 หลักการ Demodulation แบบ Correlation

ภาครับสัญญาณแบบคอร์รีเลชั่น(Correlation) นั้นจะถูกใช้การดีเทคสัญญาณที่ไม่มีการส่งสัญญาณคลื่นพาห์ออกมาจากภาคส่งเพราะในการมอดูเลตที่นำสัญญาณดิจิตอลเบสแบนด์มาคูณกับคลื่นพาห์ซึ่งวงจรที่ใช้เรียกว่า Balance Modulation (BM)ซึ่งวงจร BM นี้สัญญาณเอ้าพุตจะมีสเปคตรัมเหมือนกับการมอดูเลต AM แต่จะมีการกำจัดคลื่นพาห์ออกไป ดังนั้นที่ภาครับต้องมีการกู้สัญญาณคลื่นพาห์กลับคืนโดยที่ต้องมีการซิงโครไนซ์กันระหว่างเฟสของสัญญาณคลื่นพาห์ของออสซิเลเตอร์ที่ภาคส่งกับวงจรกู้สัญญาณที่ภาครับและระบบสื่อสารใดที่มีการซิงโครไนซ์ดังที่กล่าวมานี้เราเรียกระบบนี้ว่า "Coherent Communication" และภาครับแบบคอร์รีเลชั่นนี้ถือเป็นระบบโคฮีเรนท์แบบหนึ่งที่นิยมใช้กันมากเพราะสร้างได้ง่ายและข้อดีของระบบสื่อสารแบบโคฮีเรนท์คือจะมีความผิดพลาดในการรับสัญญาณน้อยกว่าแบบที่ไม่มีการซิงโครไนซ์และบล็อคไดอะแกรมของภาครับแบบคอร์รีเลชั่นแสดงดังรูปที่ 4.1



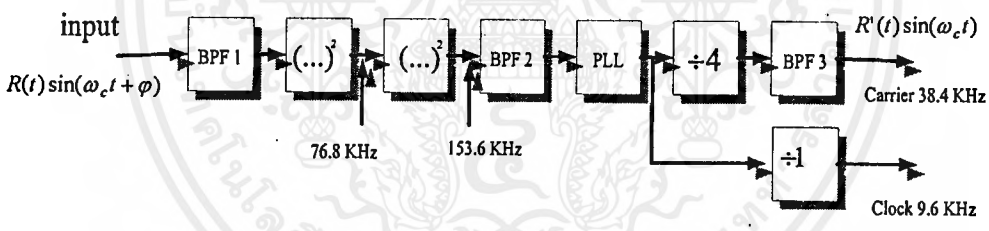
รูปที่ 4.1 แสดงบล็อคไดอะแกรมภาครับแบบ Correlation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อคสัญญาณรบกวนที่เข้ามาจะโดนลดทอนวงจร BPF จากนั้นสัญญาณเมื่อผ่านการอินทีเกรทสัญญาณแล้วซึ่งก็คือวงจรอินทีเกรเตอร์จะต้องมีการรีเซ็ทสัญญาณทุก ๆ 1 เพื่อที่จะให้วงจรดังกล่าวเริ่มอินทีเกรทสัญญาณอินพุตในลำดับต่อไปของสัญญาณซึ่งวงจรอินทีเกรเตอร์นี้จะทำหน้าที่เสมือนวงจรสุ่มตัวอย่าง 1 บิท ซึ่งเรียกวงจรนี้ว่า Integrate and Dump (IAD) ซึ่งจะทำให้สัญญาณเบสแบนด์มีค่าขนาดมากที่สุดจากการเลือกค่าเวลาคงที่ให้มี ค่าเหมาะสมและสัญญาณ ที่เอ้าพุตของวงจร IAD ทั้ง Inphase และ Quadrature จะถูกนำมารวมกันด้วยวงจรแปลงสัญญาณข้อมูลแบบขนานไปเป็นอนุกรม และที่เอ้าพุตจะได้สัญญาณเบสแบนด์แบบ Unipolar NRZ คืนมา

4.2 วงจร Carrier & Clock Recovery แบบวิธีลูปกำลังสี่

ในภาครับของโครงงานนี้ได้ใช้วิธีการกู้สัญญาณ Carrier ที่มีการ ซิงโครไนซ์ทางความถี่กับสัญญาณอินพุตที่ได้รับจากเครื่องส่งโดยวิธีการลูปกำลังสี่ซึ่งหลักการทำงานสามารถอธิบายได้ในรูปที่ 4.2

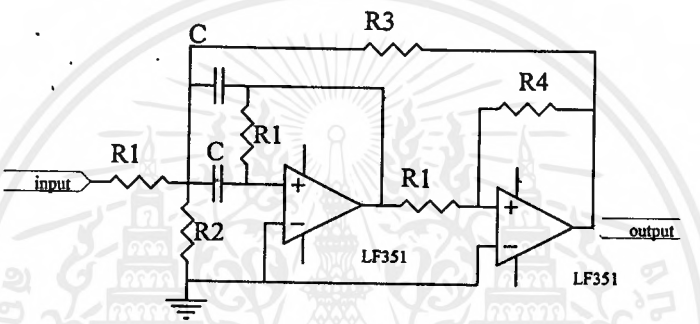


รูปที่ 4.2 บล็อคของวงจรกู้สัญญาณโดยวิธีลูปกำลังสี่

4.2.1 วงจรกรองความถี่เฉพาะย่านผ่านอันดับสองแบบป้อนกลับบวก (BPF) ก่อนที่จะเข้าวงจรกู้สัญญาณจะใช้วงจร BPF_1 เพื่อทำการกรองสัญญาณจากเครื่องส่งโดยนำสัญญาณ $R(t)\sin(\omega_c t+\phi)$ เข้ามาที่วงจร BPF_1 เพื่อทำการกรองข้อมูลที่เข้ามาออกให้หมดโดยที่การออกแบบต้องให้มีค่า Q มากเพื่อที่ให้ช่วงความถี่ผ่านน้อยที่สุดให้เหลือแ ต่ความถี่ Carrier ออกมาเท่านั้น โดยตั้งค่า Q=40 โดยที่เอ้าพุตไม่มีการออสซิเลท BW =0.025 fo และใน BPF_1 มีค่า fo=38.4 KHz ทำให้ได้ค่าอุปกรณ์คือ C=300 pf , R_1= 85 k , R_2=2.4 KHz , R3=30 KHz , R4=54 KHz

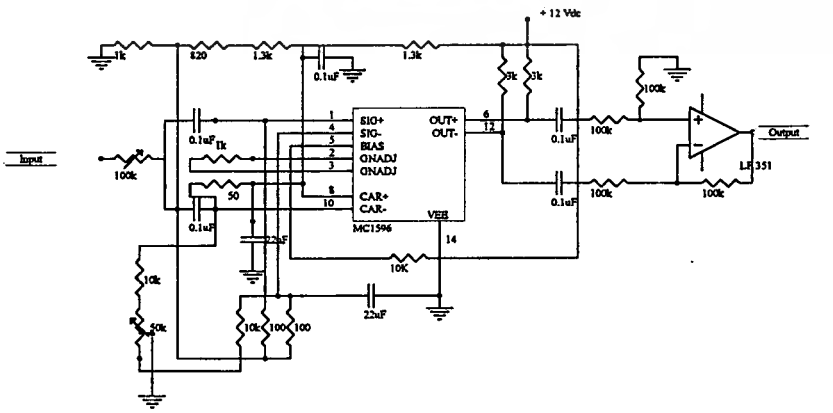
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน BPF_2 ที่ต่อไว้ก่อนจะเข้าวงจร PLL นี้จะทำหน้าที่เป็นตัวจำกัดสัญญาณรบกวนที่เกิดขึ้นระหว่างการยกกำลังสัญญาณเพื่อจะให้ PLL ทำงานได้ดีขึ้นโดยการออกแบบจะให้ค่า Q และค่า BW เท่ากับ BPF_1 โดยที่เปลี่ยน fo= 153.6 KHz ซึ่งทำให้ได้ค่าอุปกรณ์ ดังนี้ C=68 pf , R_1=85 KHz ,R_2=2.4 KHz, R_3=36 KHz,R_4=54KHz และส่วนใน BPF_3 เป็นวงจรที่ทำหน้าที่ต่อจากวงจร PLL เพื่อที่จะต้องทำการกรองสัญญาณ Pluse ให้เป็นสัญญาณ Sine ที่ซิงโครไนซ์ กับสัญญาณอินพุตโดยที่เฟสจะเป็น 0 องศา คือจะเหลือเป็น $R'(t)\sin(\omega_c t)$ เพื่อที่จะเป็น Carrier นำไปเข้าวงจรมอดูเลเตอร์ซึ่งอุปกรณ์ที่ใช้เหมือนกับของ BPF_1



รูปที่ 4.3 วงจร BPF ที่ใช้ในวงจรกู้สัญญาณ

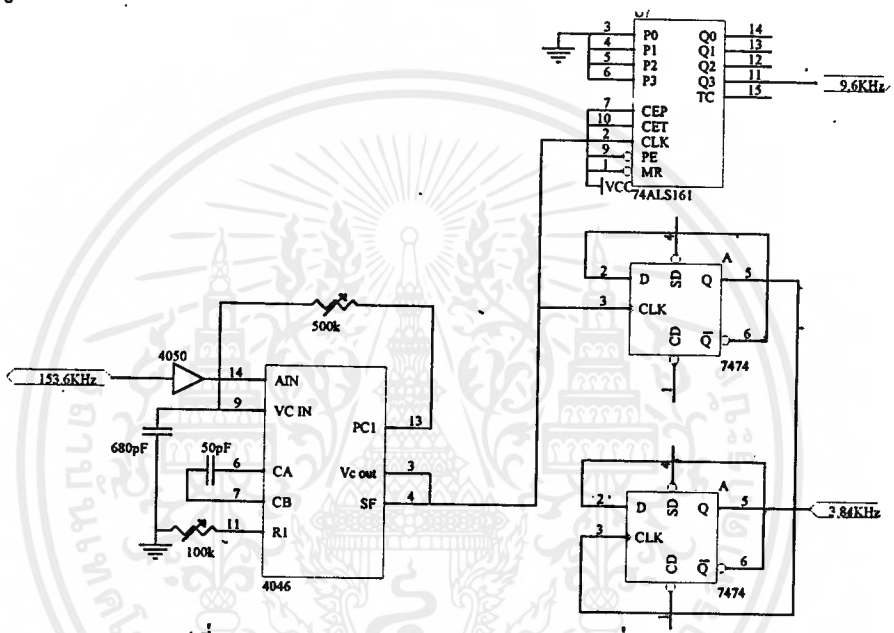
4.2.2 วงจรยกกำลังสอง เป็นวงจรคูณสัญญาณโดยใช้ IC เบอร์ MC 1596 โดยป้อนอินพุตที่ขา 1 และ ขา 10 เป็นการสร้างฮาร์โมนิคส์นั่นเองและเอาพุตจะได้ความถี่เป็นสองเท่าของสัญญาณอินพุตที่ขา 6 และ ขา 12 จากนั้นก็ป้อนให้กับวงจรยกกำลังสองอีกชุดหนึ่งทำให้ได้ความถี่เป็นสี่เท่าของสัญญาณออกมา



รูปที่ 4.4 วงจรยกกำลังสอง

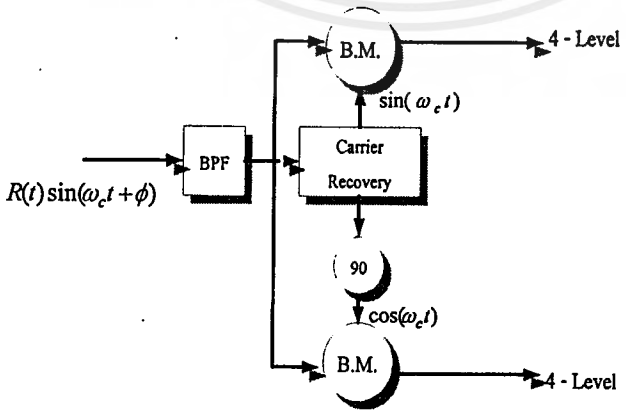
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 วงจร PLL เราใช้ PLL ทำหน้าที่ล็อคสัญญาณความถี่ ที่ออก จากวงจรยกกำลังสี่เพื่อ จะกำจัดสัญญาณฮาร์โมนิคส์ที่ปนออกมาเหลือแต่ ช่วงความถี่ที่ต้องการเท่านั้นและเอ้าพุตของ PLL จะนำไปเป็นสัญญาณ Carrier โดยเอ้าพุตที่ได้จะเป็น Pluse ที่มีความี่เป็น 1563.6 KHz นำไปเข้าวงจรหารสี่โดยใช้ D F/F ซึ่งทำหน้าที่เป็นวงจรหารสี่ ทำให้เหลือความถี่เป็น 38.4 KHz เพื่อป้อนเป็นสัญญาณให้กับวงจรBalance Demodulatorทั้งด้าน I และ Q และ นำความถี่จาก PLL นี้ไปเข้าไอซีหาร 16 เพื่อให้ได้สัญญาณ Pluse มีขนาดเป็น 9.6 KHz นำไปใช้ในวงจร PISO เพื่อจะคืนสัญญาณ NRZ



รูปที่ 4.5 วงจร PLL และวงจรหารความถี่

4.3 วงจรBalance Demodulator

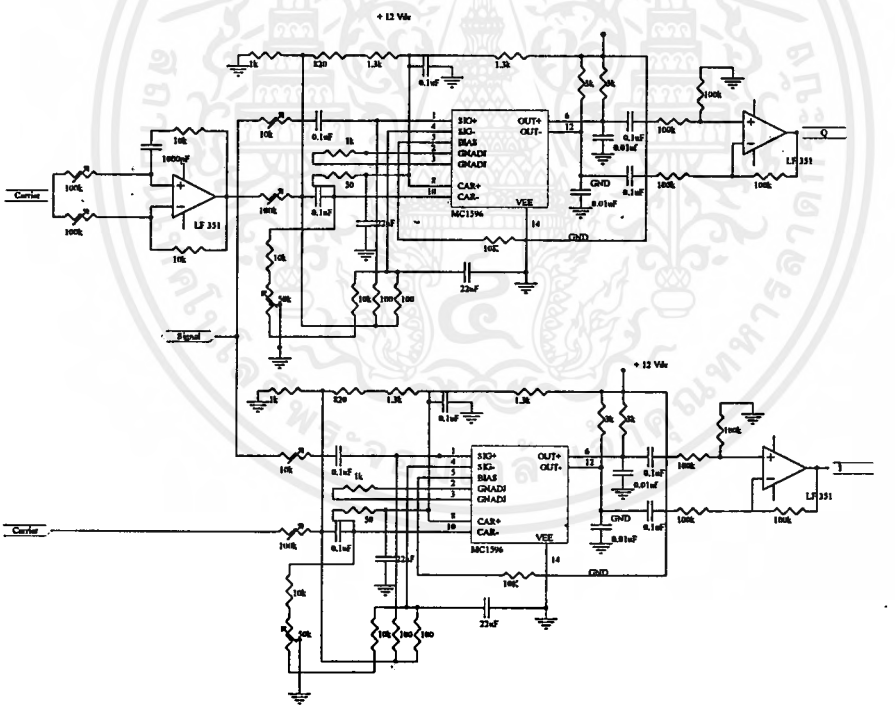


รูปที่ 4.6 บล็อคไดอะแกรมการDemodulatorสัญญาณ 16 QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากการ Demodulator ทางด้าน Quadrature ต้องใช้สัญญาณพาหะที่เป็น Cosine ในการ Demodulator ในขณะที่เอ้าพุตของวงจรกู้สัญญาณพาหะเป็น Sine ทำให้เราต้องทำการเปลี่ยนเป็นสัญญาณ Cosine จึงใช้วงจร Shift Phase ไป 90 องศา ซึ่งวงจรจะเป็นวงจรฟิลเตอร์ชนิดแบบ All Pass Filter ซึ่งจะให้เอ้าพุตกับอินพุตที่มีรูปร่างเหมือนกันแต่จะแตกต่างกันที่เฟสเท่านั้นคือทำให้เฟสเอ้าพุต Shift ไป 90 องศา

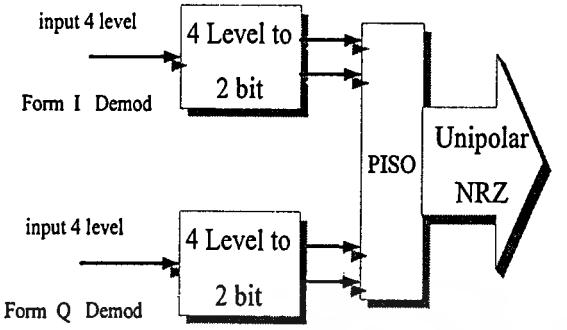
วงจรBalance Demodulator ที่ใช้ในภาคนี้จะเป็นวงจรที่ใช้ IC MC 1596 เหมือนกับวงจรยกกำลังสองแต่ต่างกันโดยที่ขา 1 และขา 10 ของวงจร Demodulatorจะไม่ต่อรวมกันโดยที่ขา 1 จะป้อนสัญญาณอินพุตจากเครื่องส่ง ส่วนที่ขา 10 จะป้อนสัญญาณ Carrier ให้โดยวงจรBalance Demodulator จะมีสองชุด คือทางด้าน Inphase และ ทางด้าน Quadrature โดยที่ด้าน Quadrature สัญญาณ Carrier ที่ใช้จะได้มาจากวงจรเลื่อนเฟส



รูปที่ 4. 7 วงจร Balance Demodulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 วงจรรวมบิทข้อมูลขนาน (4 to 1)



รูปที่ 4.8 บล็อคไดอะแกรมการทำงานของวงจรรวมบิท

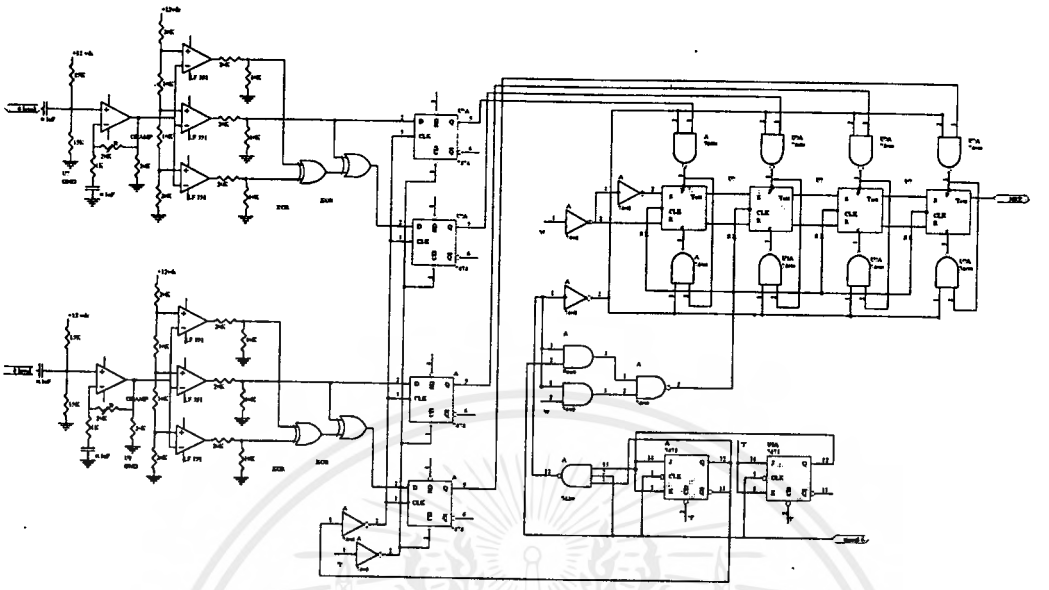
เมื่อสัญญาณที่ออกจากวงจร Demodulator ทางภาครับ จะเป็นสัญญาณความถี่ต่ำและเมื่อผ่านการตัดสินระดับจัดรูปพัลซ์แล้วจะเป็นสัญญาณ 4 ระดับดังนั้นเราจึงต้องเปลี่ยนสัญญาณดังกล่าวเป็นสัญญาณดิจิตอล 2 บิท เพื่อที่จะนำรวมกันเป็นข้อมูลต่อไป เพื่อความสะดวกในการตรวจจับ จึงได้ทำการออกแบบวงจรขยายสัญญาณ 4 ระดับ ให้มีขนาดใหญ่ขึ้นโดยวงจรเป็นวงจรขยายแบบ Noninvertingโดยใช้ตัวต้านทานแบ่งแรงดัน 12 V ให้ได้ 6 V เพื่อเป็นแรงดันอ้างอิงในการขยายส่วน VR จะเป็นตัวปรับเกนของวงจรขยาย

และเมื่อระดับของสัญญาณมีขนาดเพิ่มขึ้นจะถูกส่งไปยังวงจรแปลงระดับให้เป็น 2 บิท โดยใช้หลักการ Comparator ซึ่งอาศัย Op-ampและ Ex-or ทำหน้าที่ตรวจจับสัญญาณโดย Op amp แต่ละตัวจะทำการเปรียบเทียบแรงดันที่ขา Noninvertig กับขา Inverting และที่เอ้าพุตใช้ตัวต้านทานแบ่งแรงดันให้เหลือเพียง 5V

วงจร PISO เป็นวงจรที่มีลักษณะและการทำงาน ตรงกันข้ามกันกับวงจรแยกสัญญาณดิจิตอล ของทางภาคส่งเพื่อที่ทำหน้าที่รวมสัญญาณ Inphase กับ Quadrature จากสัญญาณดิจิตอลแบบขนานไปเป็นแบบอนุรมโดยอาศัยจังหวะการทำงานจากสัญญาณนาฬิกาที่ได้มาจากวงจร กู้สัญญาณนาฬิกา

วงจรหารสี่หรือวงจรหน่วงเวลาจะทำหน้าที่ในการบังคับจังหวะของ D F/F ให้มีจังหวะพอดีกับของ RS F/F และใช้ NAND Gate แบบ 3 อินพุตเข้าช่วยบังคับให้ D F/F ส่งข้อมูลเฉพาะสัญญาณลูกแรกเท่านั้น ดังวงจรรูปที่ 4.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 วงจรรวมบิทที่ใช้งานจริง

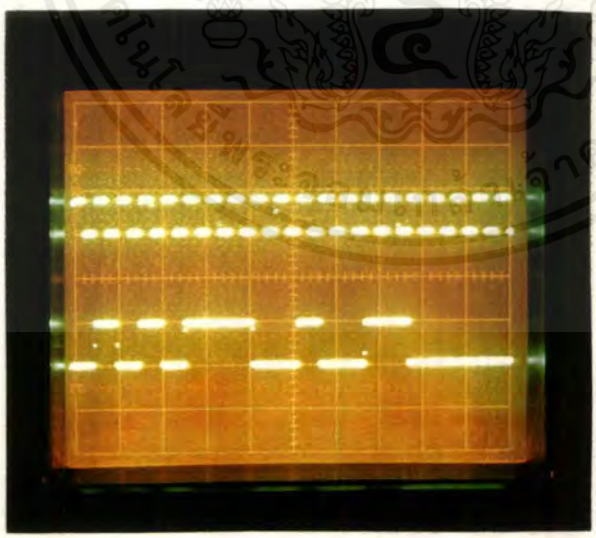
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การทดลองและผลการทดลอง

ผลการทดลองทางภาคส่ง 16 QAM แบบ D.D.S.

1. วงจรแยกบิท วงจรแยกบิท ใช้ไอซีเบอร์ 74F175,74LS161 และ 74LS04 ประกอบกันเป็นวงจร SIPO โดย IC เบอร์ 74F175 ตัวแรกทำหน้าที่รับข้อมูลแบบอนุกรม และส่งข้อมูลออกแบบขนาน ครั้ง และ 4 บิทเป็น อินพุตให้กับไอซีเบอร์ 74F175 ตัวที่สอง เวลาในการเลื่อนของข้อมูลถูกกำหนดโดยสัญญาณนาฬิกาของ NRZ ถูกหน่วงเวลาให้เป็น 4 เท่า โดย 74F161 ปัญหาที่เกิดในวงจรคือ ไม่สามารถกำหนดค่าเริ่มต้นของฟลิปฟลอปภายใน IC 74LS175 และ 74LS161 ได้เพราะฉะนั้นในการตรวจเช็คความถูกต้องของสัญญาณเบสแบนด์ที่ส่งในขณะนั้นจะต้องตรวจวัดที่ขาเอ้าพุตของ ไอซี 74F175 ตัวที่สองก่อนจะส่งเข้าวงจรแปลงไบนารีเป็น gray code ต่อไปเนื่องจากวงจร SIPO นี้ง่ายต่อการทำความเข้าใจจึงนำเสนอเฉพาะรูปของสัญญาณ NRZ ที่เป็นสัญญาณเบสแบนด์ของโครงงานนี้ ดังรูปที่ 5.1



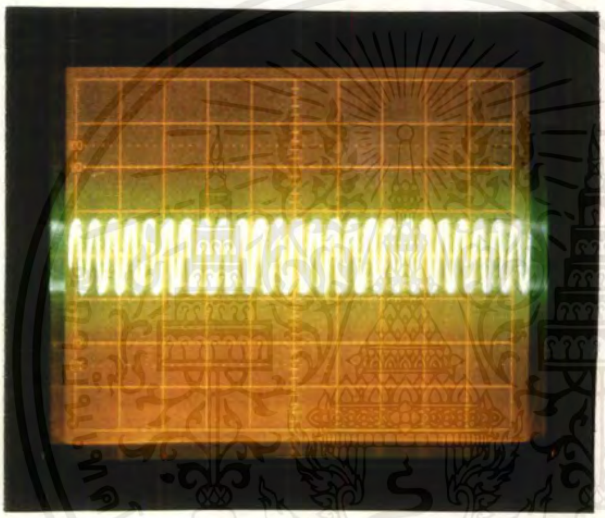
Time/div =0.2ms

Volts/div =5v

รูปที่ 5.1 แสดงสัญญาณ NRZ เปรียบเทียบกับ CLOCK 9.6 Kp/s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

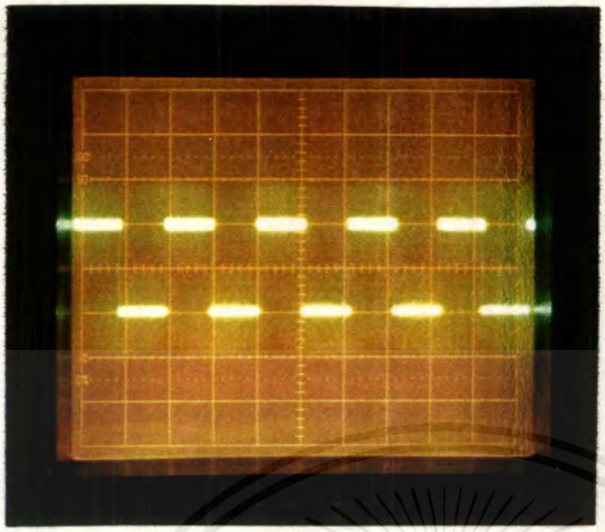
2. วงจรกำเนิดสัญญาณนาฬิกาและสัญญาณชี้ตำแหน่ง วงจรกำเนิดสัญญาณนาฬิกาควรใช้ค่าของคริสตอลที่มีค่าตรงตามที่คำนวณได้พอดีเพื่อให้ได้สัญญาณ ชี้ตำแหน่งและสัญญาณนาฬิกาที่อ้างอิงในวงจรที่แน่นอน และจากวงจรในบทข้างต้น ไอซีที่ทำหน้าที่ร่วมกับคริสตอลในการกำเนิดความถี่ ต้องเป็นแบบ CMOS คือเบอร์ 74HC04 จึงสามารถกำเนิดความถี่ได้อย่างมีประสิทธิภาพ ในโครงงานนี้ใช้คริสตอลผลิตความถี่ 9.8304 MHz ผ่านวงจรหาร 2 โดยไอซี 74LS161 ได้เป็นสัญญาณชี้ตำแหน่งความถี่ 4.9152 MHz ดังรูปที่ 5.2



รูปที่ 5.2 แสดงสัญญาณชี้ตำแหน่งความถี่ 4.9152 MHz

และจากความถี่คริสตอล 9.8304 MHz ผ่านวงจรหาร1024ได้เป็นความถี่สัญญาณนาฬิกา 9.6 1 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

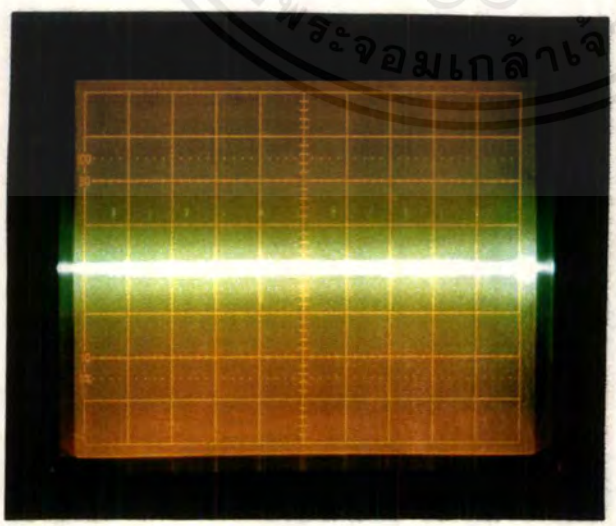


Time/Div =50us

Volts/Div =2V

รูปที่ 5.3 แสดงสัญญาณนาฬิกา 9.6 KHz

3. วงจรชี้ตำแหน่ง ในโครงงานนี้ใช้ไอซีที่ทำหน้าที่เป็น Binary Counter เบอร์ CD 4040 มีอินพุตที่ขา 10 ทำงานที่ขอบขาลงและมีขา 11 เป็นขารีเซตทำงานที่ขอบขาขึ้น โดยโครงงานนี้จะต้องต่อสัญญาณรีเซต ให้กับขา 11 โดยสัญญาณรีเซตจะได้มาจาก สัญญาณนาฬิกาหาร 8 เท่าได้ความถี่เป็น 1.2 KHz และทำการหน่วงเวลาด้วยนอทเกต เบอร์ 74LS04 จำนวน 10 ตัว ทำงานร่วมกับ ไอซีเบอร์74LS86 ได้เป็นสัญญาณรีเซตของวงจรชี้ตำแหน่งดังรูปที่ 5.4



Time/Div =0.5us

Volts/Div =2V

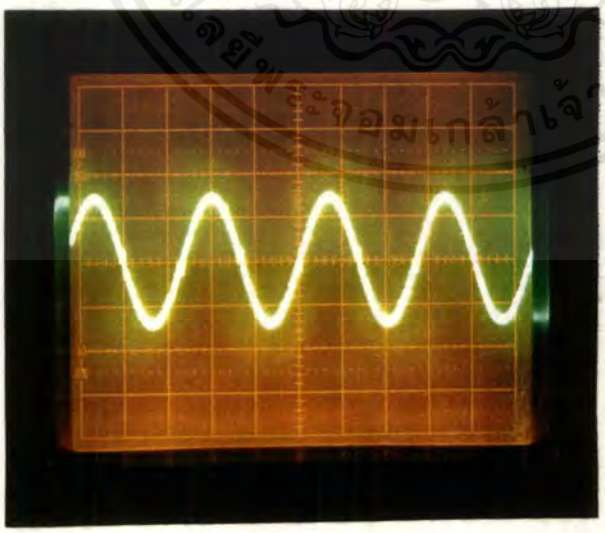
รูปที่ 5.4 แสดงสัญญาณรีเซตของวงจรชี้ตำแหน่ง (1.2 KHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. วงจรแปลงไบนารีเป็น gray code ในส่วนนี้ใช้ ไอซีเบอร์ 74 LS86 ซึ่งในการทดลองได้ผลออกมาเป็นที่น่าพอใจ

5. วงจรหน่วยความจำ วงจรนี้ใช้ไอซีเบอร์ 27C256 ซึ่งมีความจุขนาด 32Kbyte และในโครงงานนี้ต้องการใช้ความจุเพียง 2Kbyte จึงเพียงพอต่อการใช้งานแต่ถ้ามีการกำหนดค่า Sampling ที่สูงขึ้นและบิทเรทในการส่งข้อมูลอาจจะต้องเปลี่ยนไปใช้ EPROM เบอร์ที่มีความจุมากกว่านี้ ปัญหาที่เกิดในส่วนนี้คือ ทางผู้จัดทำโครงงานนี้มีประสบการณ์น้อยในการโปรแกรม EPROM จึงต้องใช้เวลาในการศึกษามากพอสมควร

6. วงจรแปลงสัญญาณดิจิตอลเป็นอะนาลอก (DAC) ใช้ไอซีเบอร์ MC 1408 และ LF351 ทำงานร่วมกัน เป็นวงจรแปลงสัญญาณดิจิตอลเป็นอะนาลอก ปัญหาที่เกิดในวงจรนี้คือ MC 1408 ทำงานได้ดีเฉพาะอัตราบิทเรทสัญญาณดิจิตอลที่เป็นอินพุตไม่สูงมากนักถ้าสูงมากจะทำให้รูปสัญญาณ เอ้าพุตที่ได้เกิดความผิดเพี้ยน การแก้ปัญหาให้รูปสัญญาณดีขึ้น เมื่อต้องการคงค่าบิทเรทไว้เท่าเดิม คือการเพิ่มค่าของการ Sampling ให้สูงขึ้น อย่างไรก็ตามการเพิ่มการ Sampling ให้สูงขึ้นจะส่งผลให้ต้องเพิ่มค่าความจุของ EPROM ให้สูงขึ้นด้วยเช่นกัน ผลการทดลองในโครงงานนี้ได้สัญญาณอะนาลอกออกมาดังรูปที่ 5.5



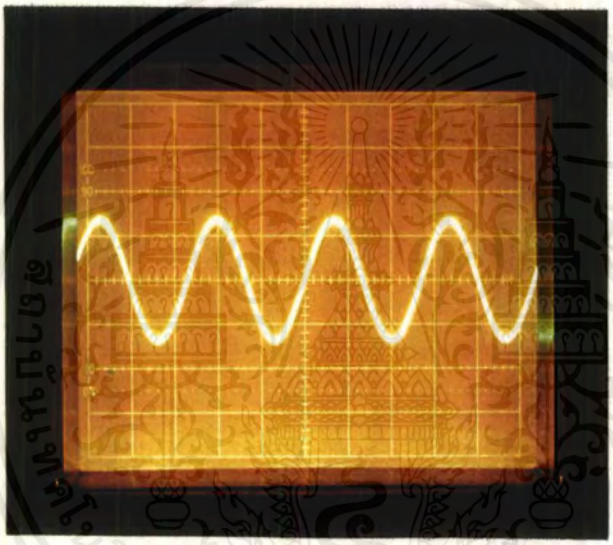
Time/Div =10us

Volts/Div =2V

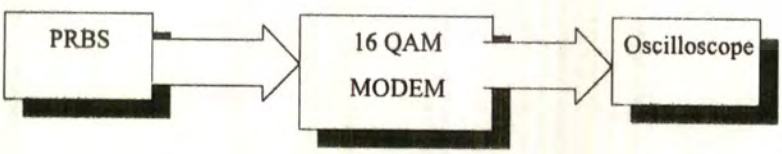
รูปที่ 5.5 แสดงสัญญาณอะนาลอกที่ได้จากวงจร DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. วงจรกรองความถี่ต่ำผ่าน (LPF) ใช้ ไอซีเบอร์ LF351 ประกอบกับอุปกรณ์ R,C ทำเป็นวงจร LPF แบบ บัทเตอร์เวิร์ธ ปัญหาที่เกิดในจุดนี้คือ ต้องปรับแต่งค่าที่คำนวณได้อีกครั้งหนึ่งเพราะค่า อุปกรณ์ที่ได้จากการคำนวณจะทำให้สัญญาณเอ้าพุตที่ได้เกิดการ shift phase กับอินพุตซึ่งเป็นสิ่งที่เราไม่ต้องการรวมทั้งต้องกำหนดจุด คัทออฟ (fc) ให้มีค่าสูงกว่าสัญญาณอินพุต (ในที่นี้คือสัญญาณที่ออกมาจากวงจร DAC มีค่าเท่ากับ 38.4 KHz) พอสมควรเพื่อไม่ให้ LPF ที่สร้างมาไปทำให้เฟสของสัญญาณ 16 QAM ผิดเพี้ยน เมื่อสัญญาณจาก DAC ผ่านวงจร LPF ที่ออกแบบแล้วจะได้ผลเป็นดังรูปที่ 5.6

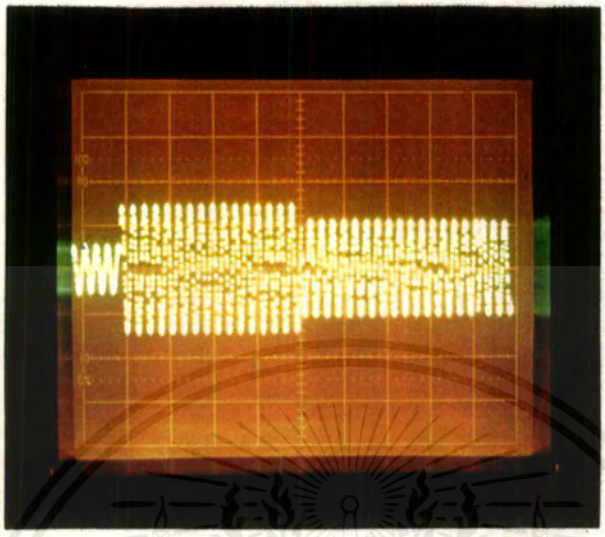


รูปที่ 5.6 แสดงสัญญาณที่ผ่านวงจรกรองความถี่ต่ำผ่าน



(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

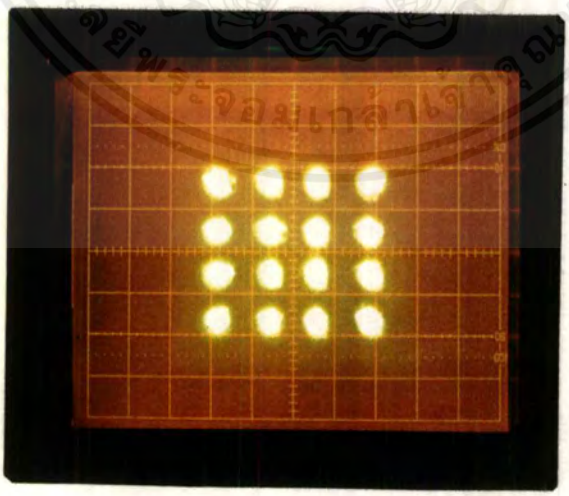


Time/Div =0.1ms

Volts/Div =2V

(ข)

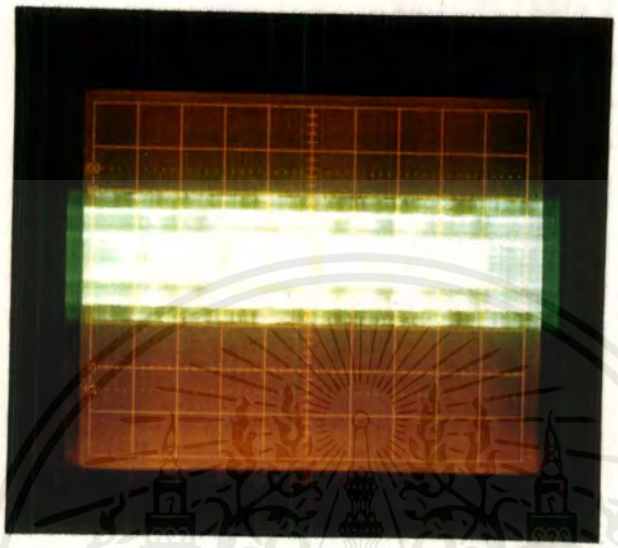
รูปที่ 5.7 (ก) แสดงวิธีการวัดสัญญาณเอ้าพุตของเครื่องส่ง 16 QAM แบบ D.D.S.
(ข) แสดงสัญญาณ 16 QAM แบบ D.D.S. ที่มีการเปลี่ยนทั้งเฟสและขนาด



รูปที่ 5.8 แสดง Constellation Diagram ของสัญญาณ 16 QAM ที่ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองภาครับ 16 QAM แบบ D.D.S.



Time/Div =0.1ms

Volts/div =2V

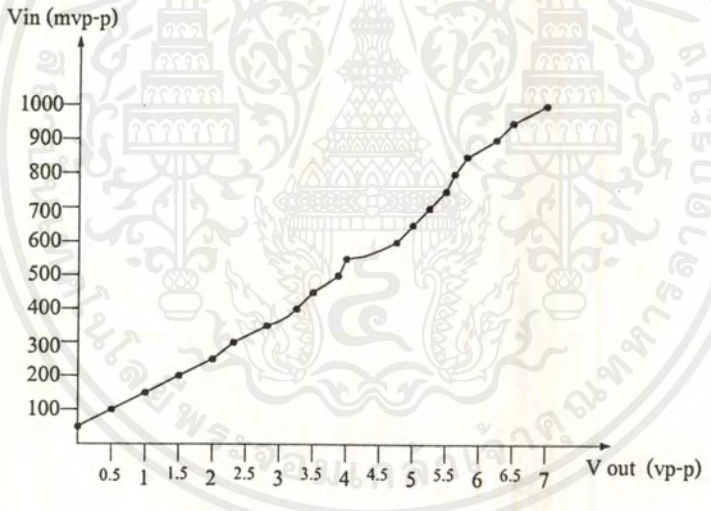
รูปที่ 5.9 แสดงสัญญาณ 16 QAM ที่รับจากภาคส่ง

1. วงจรกรองความถี่ต่ำผ่าน(LPF) วงจร LPF ทางภาครับซึ่งทำหน้าที่กรองเอาสัญญาณรบกวนความถี่สูงออกจากสัญญาณ 16 QAM ที่รับเข้ามาก่อนนำไปทำการดีมอด ผลการทดลองและปัญหาที่เกิดจะเหมือนกับวงจร LPF ทางด้านภาคส่งทุกประการ

2. วงจรกรองเฉพาะความถี่ (BPF) ทางด้านภาครับใช้ BPF แบบแบนด์แคบ โดยจะกำหนดความถี่ fo แยกออกเป็น 3 วงจรด้วยกันคือ ที่ fo = 38.4 KHz สองวงจรและ fo = 153.6 KHz 1 วงจรดังได้อธิบายรายละเอียดไว้ในบทหัวข้อที่ 5 ทางด้านภาครับแล้ว ปัญหาที่เกิดขึ้นในส่วนนี้คือ การออกแบบ BPF ให้สามารถทำงานในย่านความถี่แคบมาก ๆ และต้องการค่า Q ที่สูง ๆ ค่อนข้างยุ่งยากมาก เนื่องจากหาค่าอุปกรณ์ตามที่คำนวณให้พอดีได้ยาก รวมทั้งความคลาดเคลื่อนของอุปกรณ์ก็เป็นปัญหาสำคัญอย่างหนึ่งในการทดลอง จึงเป็นผลทำให้การกู้สัญญาณพาหะทำได้ไม่ค่อยสมบูรณ์เท่าที่ควร

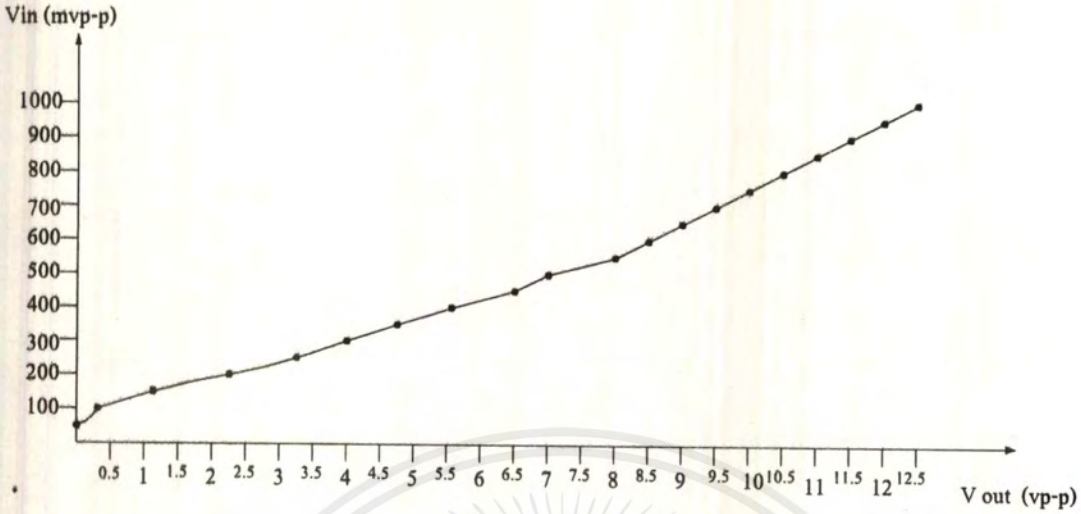
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วงจรยกกำลังสอง และ กำลังสี่ ในที่นี้ใช้ไอซีเบอร์ MC 1596 และเบอร์ LF351 ทำงานร่วมกันเป็นวงจรยกกำลังสอง ปัญหาที่เกิดขึ้น คือเราต้องการเกนการขยายหลังจากวงจรยกกำลังสอง และกำลังสี่ ที่มากพอเพื่อให้อัตรา S/N สูงพอที่จะทำให้เฟสล็อคลูปทำงาน แต่การปรับเกนของ LF351 ให้สูงขึ้นจะเกิดปัญหาการออสซิเลท การแก้ไขปัญหาในจุดนี้คือจะต้องต่อวงจร BPF หลังจากวงจรยกกำลังสี่ เพื่อช่วยกรองให้สัญญาณรบกวนลดลงทำให้อัตรา S/N สูงขึ้น แต่ทั้งนี้สัญญาณที่นำมาเข้าวงจรยกกำลัง เพื่อจะกู้สัญญาณพาหะกลับมาเป็นแบบ 16 QAM ซึ่งมีขนาดการเปลี่ยนแปลงทั้งเฟส และ ขนาด จึงทำให้สภาวะที่สัญญาณมีขนาดเล็กไม่สามารถปรับแต่งให้เอ้าพุตมี S/N ตามที่ต้องการได้สัญญาณพาหะที่กู้ได้จึงไม่สมบูรณ์เท่าที่ควร ผลการทดลองวงจรยกกำลังสอง และสี่ แสดงโดยรูปที่ 5.10 เป็นการวัดความสัมพันธ์ ระหว่างอินพุต กับเอ้าพุตของวงจรทั้งสอง



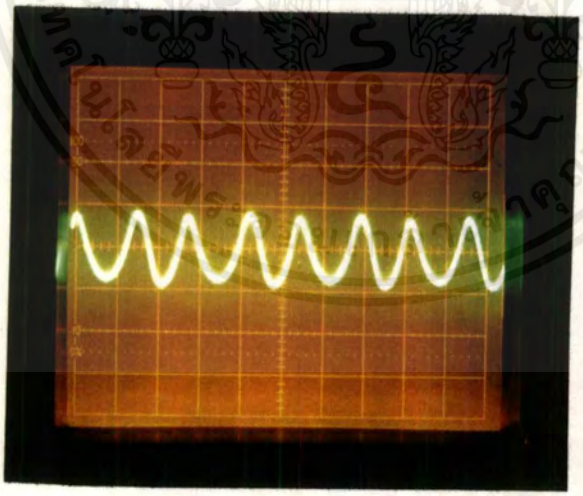
(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

รูปที่ 5.10 (ก) กราฟแสดงความสัมพันธ์ระหว่าง Vo และ Vin ของวงจรยกกำลังสอง
(ข) กราฟแสดงความสัมพันธ์ระหว่าง Vo และ Vin ของวงจรยกกำลังสี่



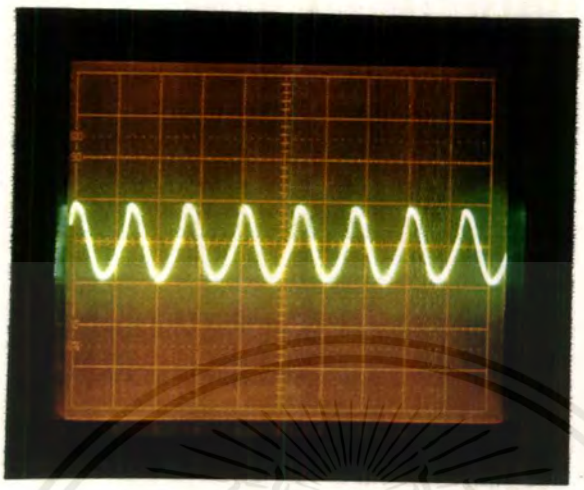
Time/Div =10us

Volts/Div =2V

ความถี่ fo=76.8kHz

(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Time/Div =5us

Volts/Div =5V

ความถี่ fo=153.6kHz

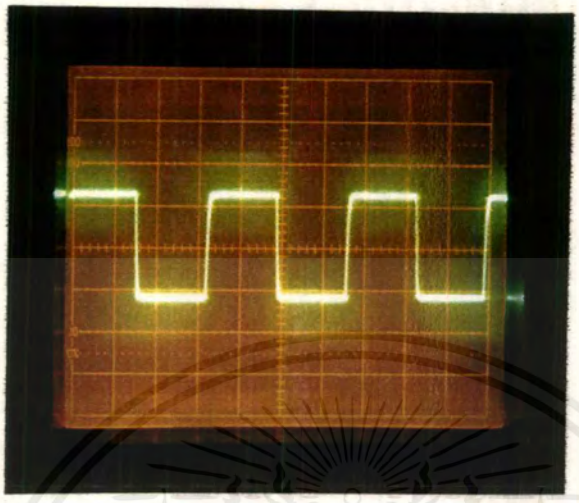
(ข)

รูปที่ 5.11 (ก) แสดงสัญญาณที่ได้จากวงจรยกกำลังสอง

(ข) แสดงสัญญาณที่ได้จากวงจรยกกำลังสี่

4. วงจร PLL ในส่วนนี้ใช้ไอซีเบอร์ 4046 ล็อคความถี่ 153.6 KHz (4fc)ซึ่งได้มาจากการนำสัญญาณ 16 QAM ที่รับมาจากภาคส่งทำการยกกำลังสี่ ปัญหาที่พบในจุดนี้คือการกำหนดค่า R และ C ในวงจร เมื่อใช้ค่าอุปกรณ์ตาม Data Sheet วงจรไม่สามารถล็อคความถี่ ณ ตำแหน่งที่ตัดการได้ดีเท่าที่การ อาจเนื่องมาจากค่าความคลาดเคลื่อนของอุปกรณ์ จึงแก้ปัญหาโดยการใช้ค่า R , C แบบปรับค่าได้ ซึ่งให้ผลเป็นที่น่าพอใจ ผลการทดลองวงจรเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

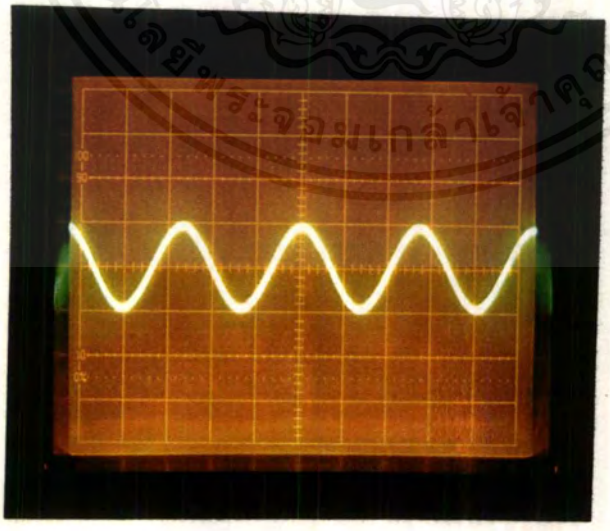


Time/Div =2us

Volts/Div =5v

รูปที่ 5.12 แสดงสัญญาณที่ได้จาก PLL

5. วงจร Shift Phase ในส่วนนี้ใช้ไอซีออปแอมป์ LF351 ทำงานร่วมกับอุปกรณ์ R ,C เป็นวงจร Shift Phase 90 องศา ผลการทดลองดังรูปที่ 5.13

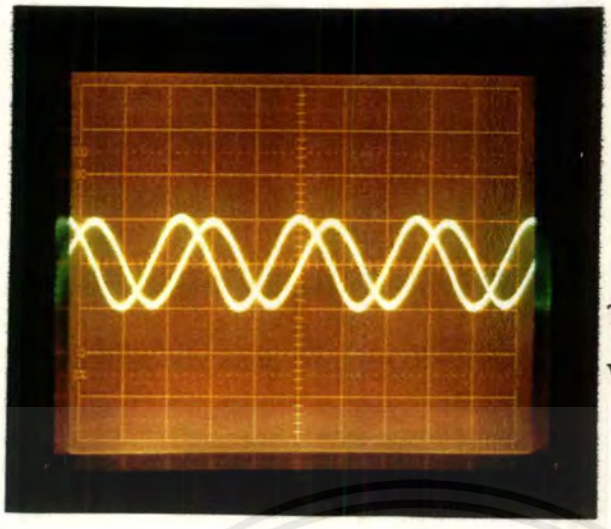


Time/Div =10us

Volts/Div =2V

รูปที่ 5.13 แสดงสัญญาณพาหะที่กู้ได้ทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

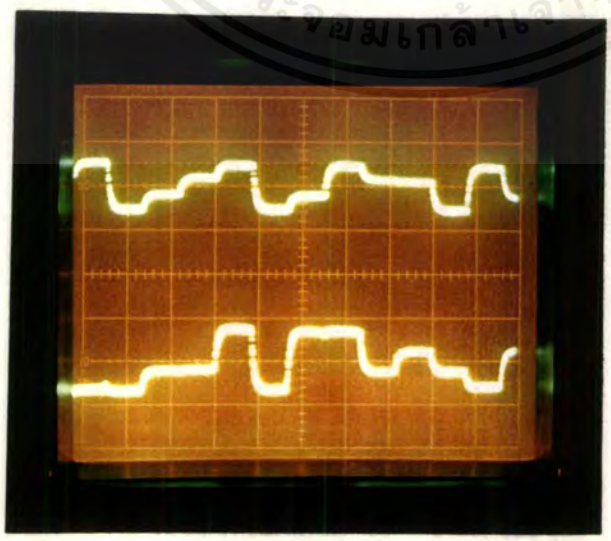


Time/Div =10Us

Volts/Div =2V

รูปที่ 5.14 เปรียบเทียบ อินพุต และเอ้าพุต ของวงจร Shift Phase

6. วงจรดีมอดูเลต ในส่วนนี้ใช้ไอซีเบอร์ MC1596 และ LF 351 ทำหน้าที่หลักในการดีทอดูเลต วงจรในส่วนนี้ทำให้ผู้จัดทำเสียเวลาในการศึกษาทดลองมากพอสมควร เนื่องจากขาดประสบการณ์ในด้านนี้อย่างมาก ในการทดลองสิ่งที่ต้องคำนึงถึงมากก็คือ สัญญาณ พาหะและสัญญาณที่จะนำมาทำการดีมอดูเลตจะต้องมีความแรงของสัญญาณ ไม่เกินที่ Data Sheet กำหนดมา และจุดที่สำคัญที่สุดที่ได้จากการทดลองคือ ต้องต่อ C ค่าที่เหมาะสมตรงขา 6 และ 12 ของ MC 1596 ด้วยเพราะกรองเอาความถี่สูงออก ให้เหลือเฉพาะความถี่ต่ำหรือสัญญาณ 4 ระดับ ที่ส่งมาจากภาคส่ง จากการทดลองแก้ไขข้างต้น ทำให้วงจรดีมอดูเลตมีประสิทธิภาพในการทำงานที่น่าประทับใจ ผลการทดลองเป็นดังรูปที่5.15



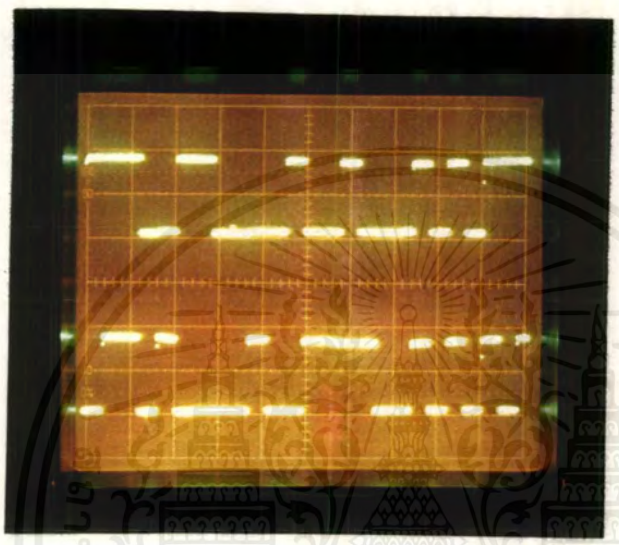
Time/Div =0.5ms

Volts/Div =0.2v

รูปที่ 5.15 แสดงสัญญาณ 4 ระดับที่ดีมอดูเลตได้ทั้งด้าน I และ Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

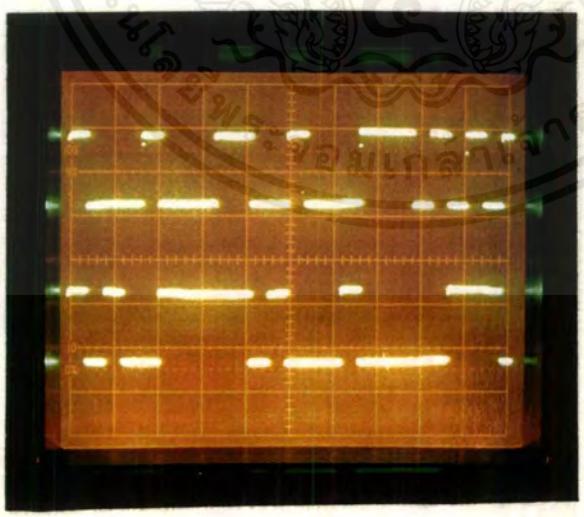
7 วงจรแปลง 4 ระดับเป็น 2 บิท ปัญหาในส่วนนี้คือ ต้องทำการปรับค่า R เพื่อให้ได้ระดับแรงดันตามที่ต้องการ เพราะสัญญาณ 4 ระดับที่ได้จากการดีมอด อาจมีช่วงระดับที่ผิดเพี้ยน(Slop) หรือค่าแรงดันที่ไม่เป็นระดับเดียวกันโดยตลอด ผลการทดลองที่ได้เป็นดังรูปที่ 5.16



Time/div =1ms

Volts/div =2v

รูปที่ 5.16 แสดงสัญญาณที่ได้จากวงจรแปลง 4 ระดับเป็น 2 บิททั้งด้าน I และ $\bar{I}$



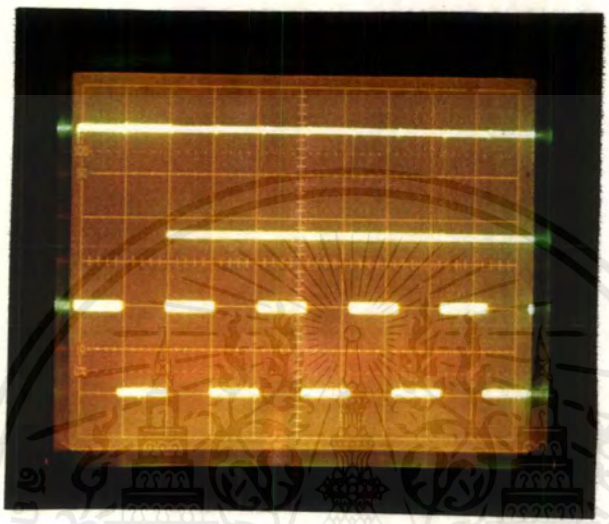
Time/div =1ms

Volts/Div =2v

รูปที่ 5.17 แสดงสัญญาณที่ได้จากวงจรแปลง 4 ระดับเป็น 2 บิททั้งด้าน Q และ $\bar{Q}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

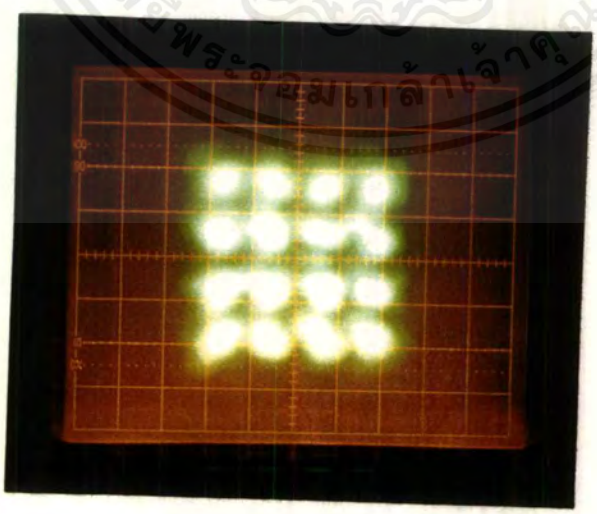
8 วงจรรวมบิท ในส่วนนี้จะต้อง ทำให้ Clock ที่กู้มาได้ซิงโคไนซ์กับทางด้านภาคส่งและมีประสิทธิภาพที่สุดเพื่อป้องกันการผิดเพี้ยนของสัญญาณ NRZ ที่รับมาได้ ผลการทดลองนี้ได้ดังรูปที่5.18



Time/Div =50us

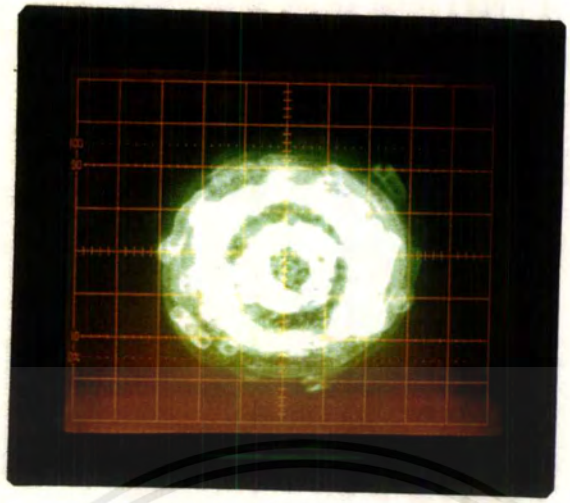
Volts/Div =2V

รูปที่ 5.18 แสดงสัญญาณ Unipolar NRZ ที่รับได้เทียบกับ Clock ที่ได้



รูปที่ 5.19 แสดง Comtellation Diagram ของภาครับเมื่อรวมกับ A.W.G.N.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.20 แสดง Constellation Diagram ขณะที่ Carrier recovery loop (out of lock) ไม่อยู่ในสภาวะล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปผลการทดลอง

การกำเนิดสัญญาณ QAM ด้วยวิธีการสังเคราะห์ทางดิจิตอลโดยตรง สามารถลดขนาดและจำนวนของอุปกรณ์ในภาคส่ง รวมทั้งความยุ่งยากในการปรับแต่งวงจร Balance Modulator ให้ได้คุณภาพสัญญาณตามที่ต้องการได้

อย่างไรก็ตามคุณภาพหรือความละเอียดของสัญญาณจะขึ้นอยู่กับจำนวนการ Sampling สัญญาณ ซึ่งก็จะถูกจำกัดด้วยจำนวนความจุของหน่วยความจำ และถ้าหากต้องการ กำเนิดสัญญาณ QAM ที่มีอัตราบิทเรทสูงๆ ก็จะถูกจำกัดด้วยคุณภาพของอุปกรณ์ เช่น IC ที่ทำหน้าที่ชี้ตำแหน่งให้ EPROM ค่าเวลาในการทำงานของ EPROM และคุณภาพของ IC ที่ทำหน้าที่เป็นวงจรแปลงสัญญาณดิจิตอลเป็นอะนาลอก เป็นต้น เพราะฉะนั้นในการออกแบบวงจรให้ใช้งานที่ความถี่สูงขึ้นและ บิทเรทสูงขึ้น อาจต้องใช้เทคโนโลยีที่ทันสมัยมากขึ้นในการทดลอง

ข้อเสนอแนะ

จากการทดลองโครงงานนี้ ส่วนที่ทำหน้าที่เป็นหน่วยความจำ คือ EPROM เบอร์ 27C256 อาจเปลี่ยนไปใช้เบอร์อื่นที่มีความจุมากกว่านี้หรืออาจเปลี่ยนเป็นหน่วยความจำแบบ EEPROM ซึ่งสามารถโปรแกรมและแก้ไขได้สะดวกมากกว่า EPROM

ในการพัฒนาขั้นต่อไปอาจประยุกต์นำเอาไมโครโปรเซสเซอร์ มาต่อร่วมกับหน่วยความจำที่มีความจุมากขึ้น ในการเลือกกำเนิดสัญญาณแบบอื่นๆ ร่วมกันอีก เช่น QPSK ,FSK,ASK เพื่อที่จะได้มาใช้งานเป็น โมเด็มหลายระบบในเครื่องส่งตัวเดียวกันโดยใช้ไมโครโปรเซสเซอร์ควบคุมการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

(1) Wayne Tomasi "ELECTRONIC COMMUNICATIONS SYSTEM"
Pretice HALL , Englewod Cliffs , New Jersey 07632

(2) Robertg Winch " TELE COMMUNICATION TRANSMISSION SYSTEM"
McGRAW-HILL INTEANATIONAL EDITIONS

(3) พิชัย ภักดีพานิชเจริญ "คู่มือการออกแบบวงจรกรองสัญญาณความถี่",
ห จ ก. สำนักพิมพ์ฟิสิกส์เซ็นเตอร์

(4) ธนัท ชัยชุทร , กณพ แก้วพิชัย "ดิจิตอลพื้นฐาน"
บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน)

(5) ดร. ประสิทธ์ ประพิณมงคลการ "หลักการระบบสื่อสาร"
บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน)

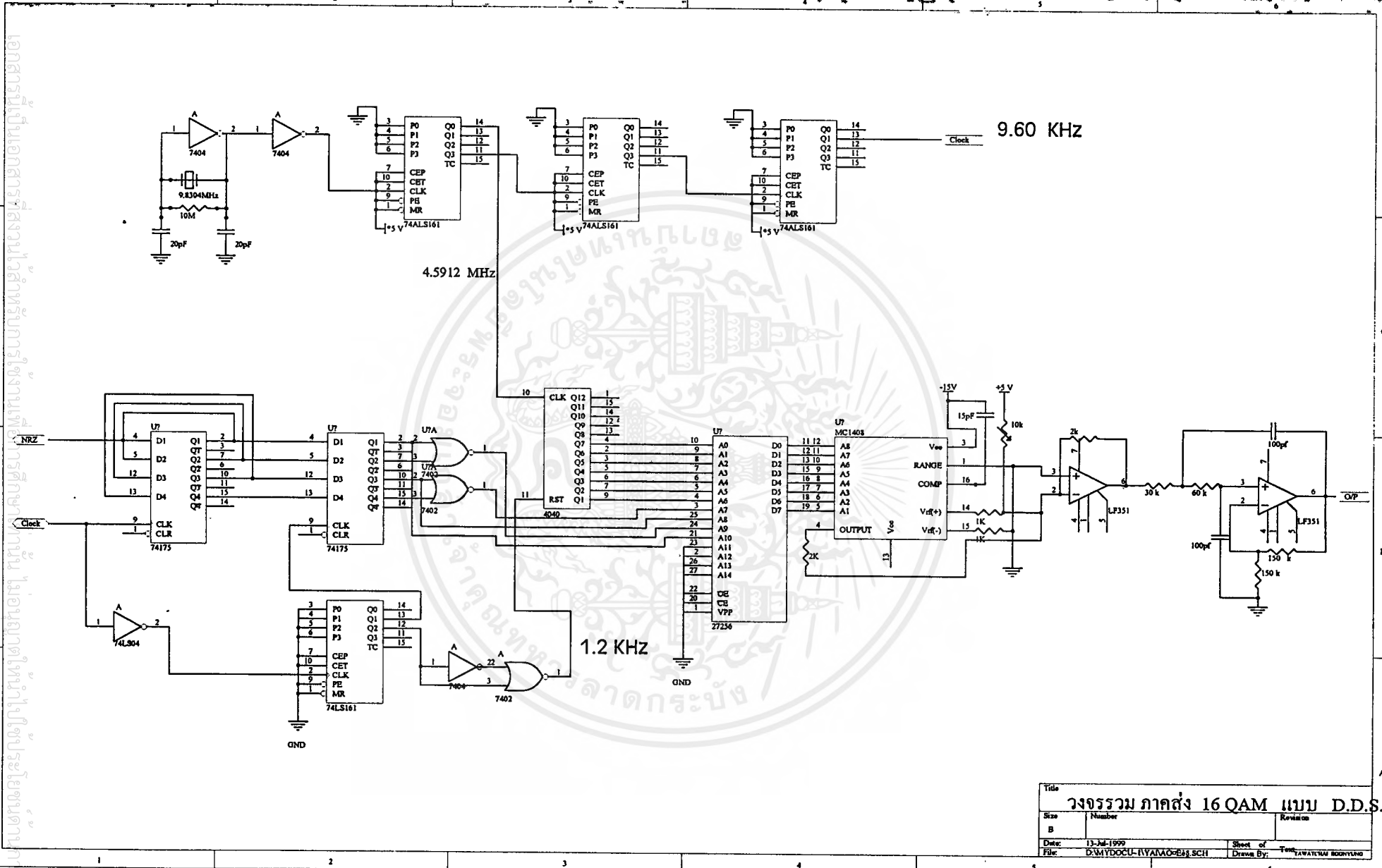
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

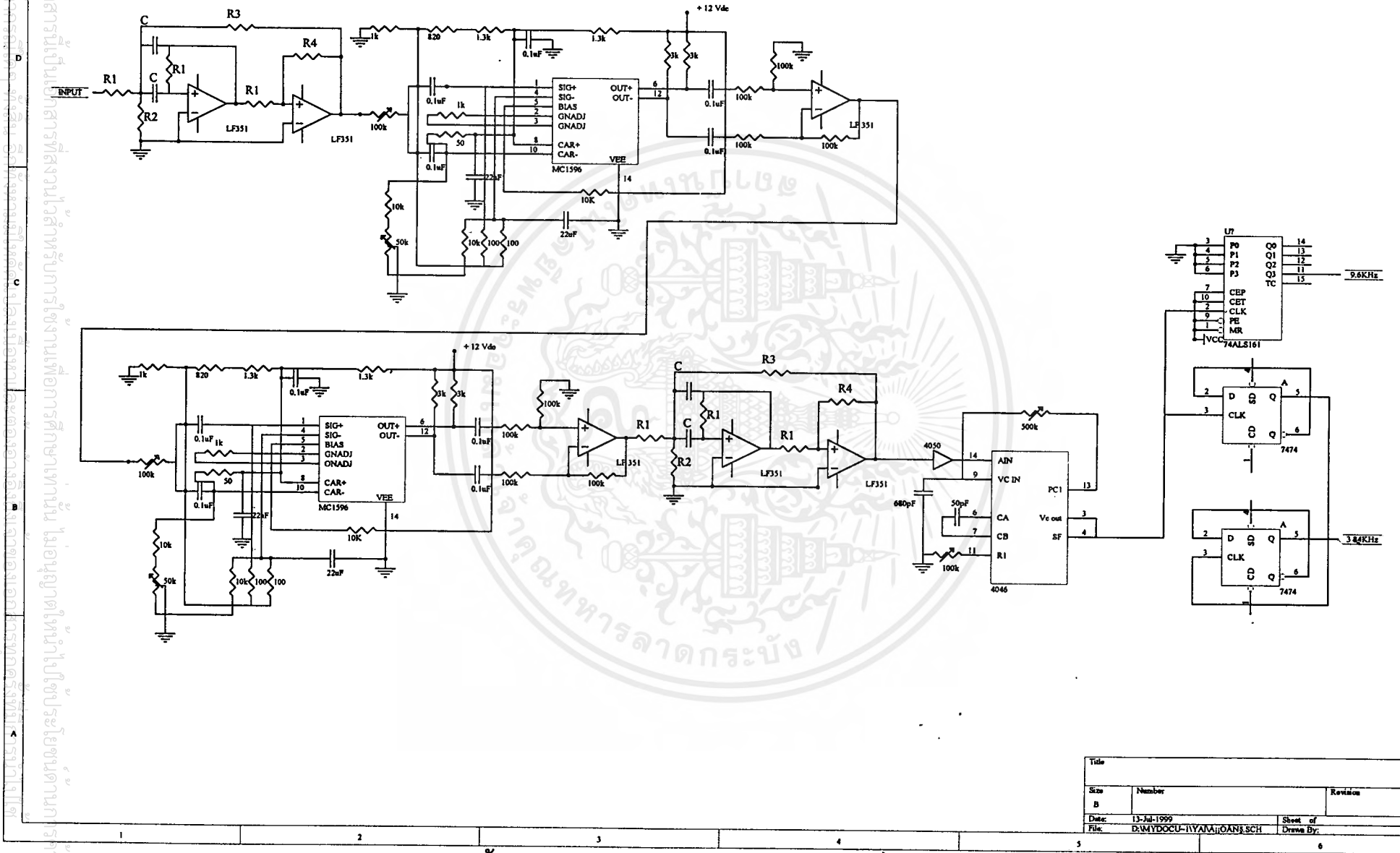
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

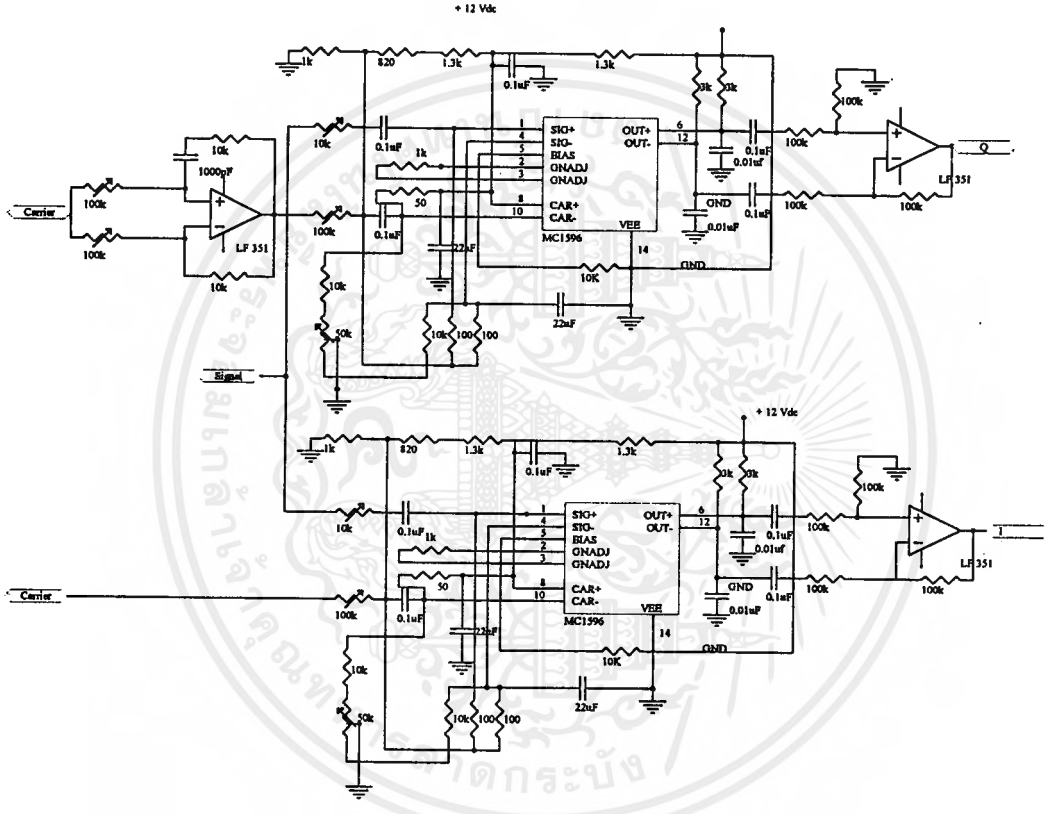


วงจรรวมภาคส่ง 16 QAM แบบ D.D.S.



Title		
Size: B	Number	Revision
Date: 13-Jul-1999		Sheet of
File: D:\MYDOCU~1\YAMA\JOAN\.SCH		Drawn By:

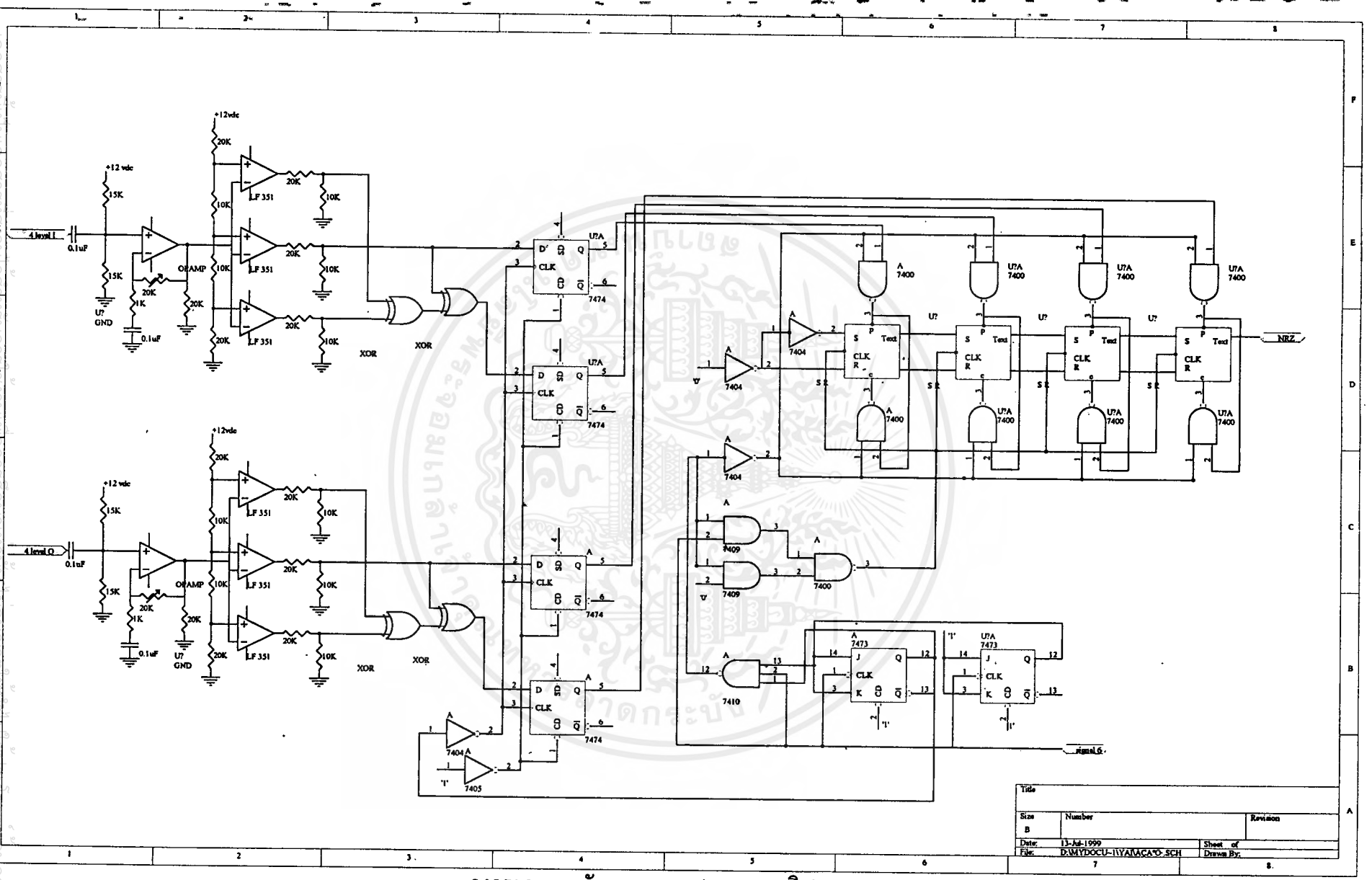
วงจรรวมภาครับ 16 QAM (ภาค Carrier & Clock Recovery)



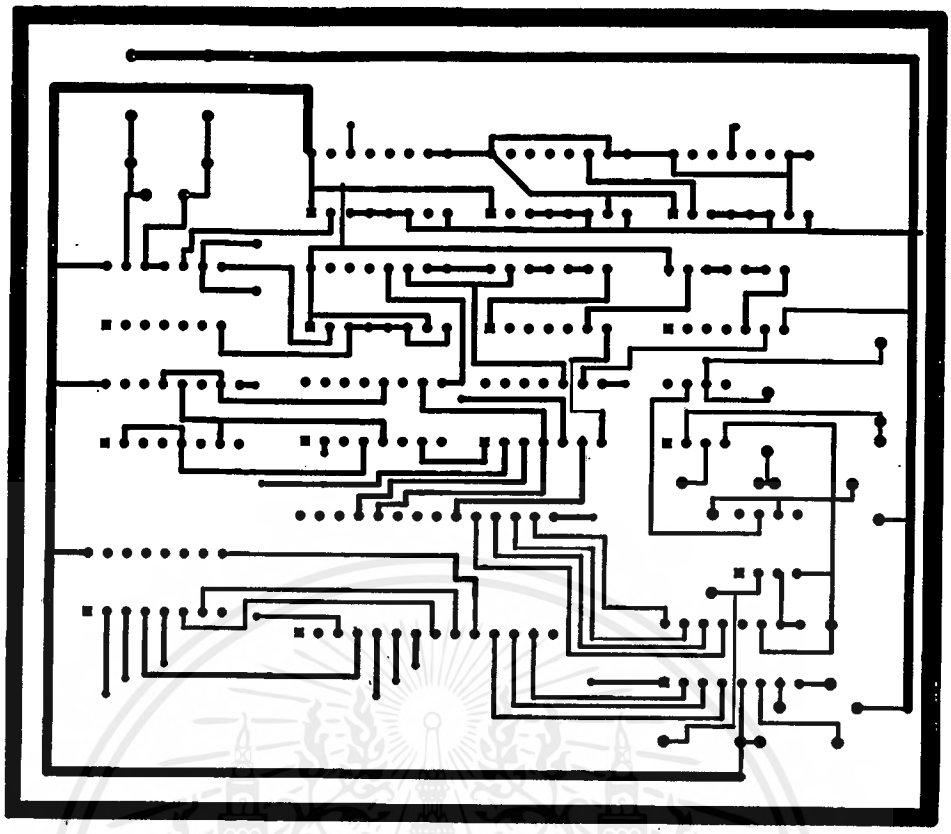
Title

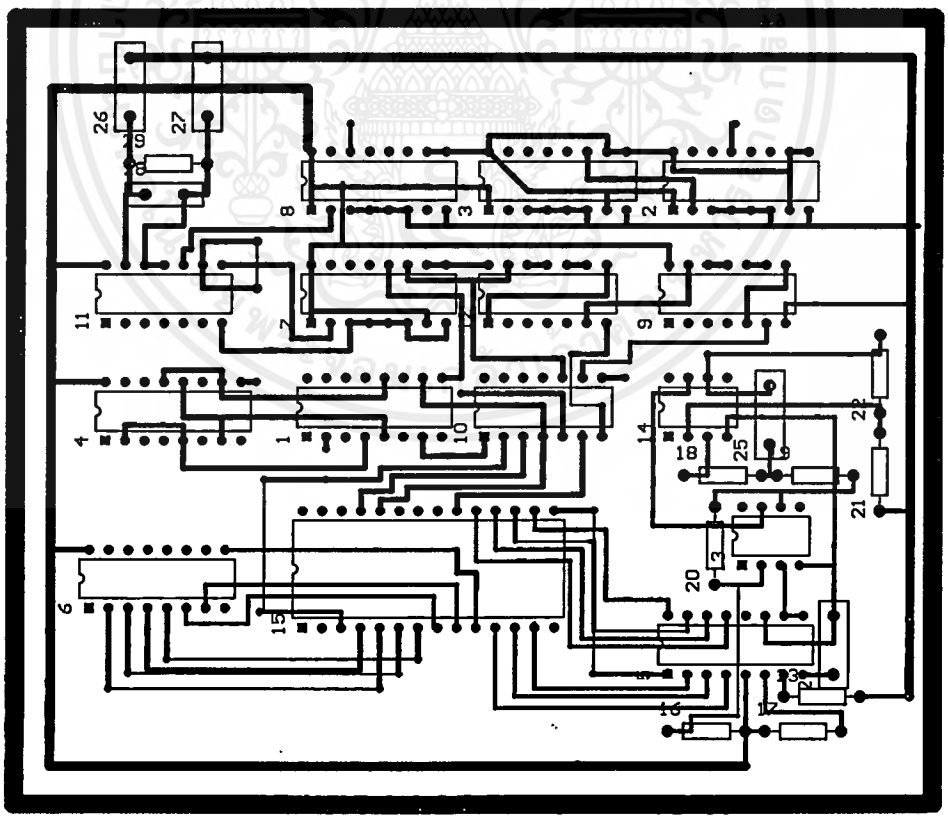
Size	Number	Revision
B		
Date: 13-Jul-1999		Sheet of
File: D:\MYDOCU~1\YA\SCH_4.SCH		Drawn By:

วงจรรวมภาครับ 16 QAM (ภาค Demodulator)



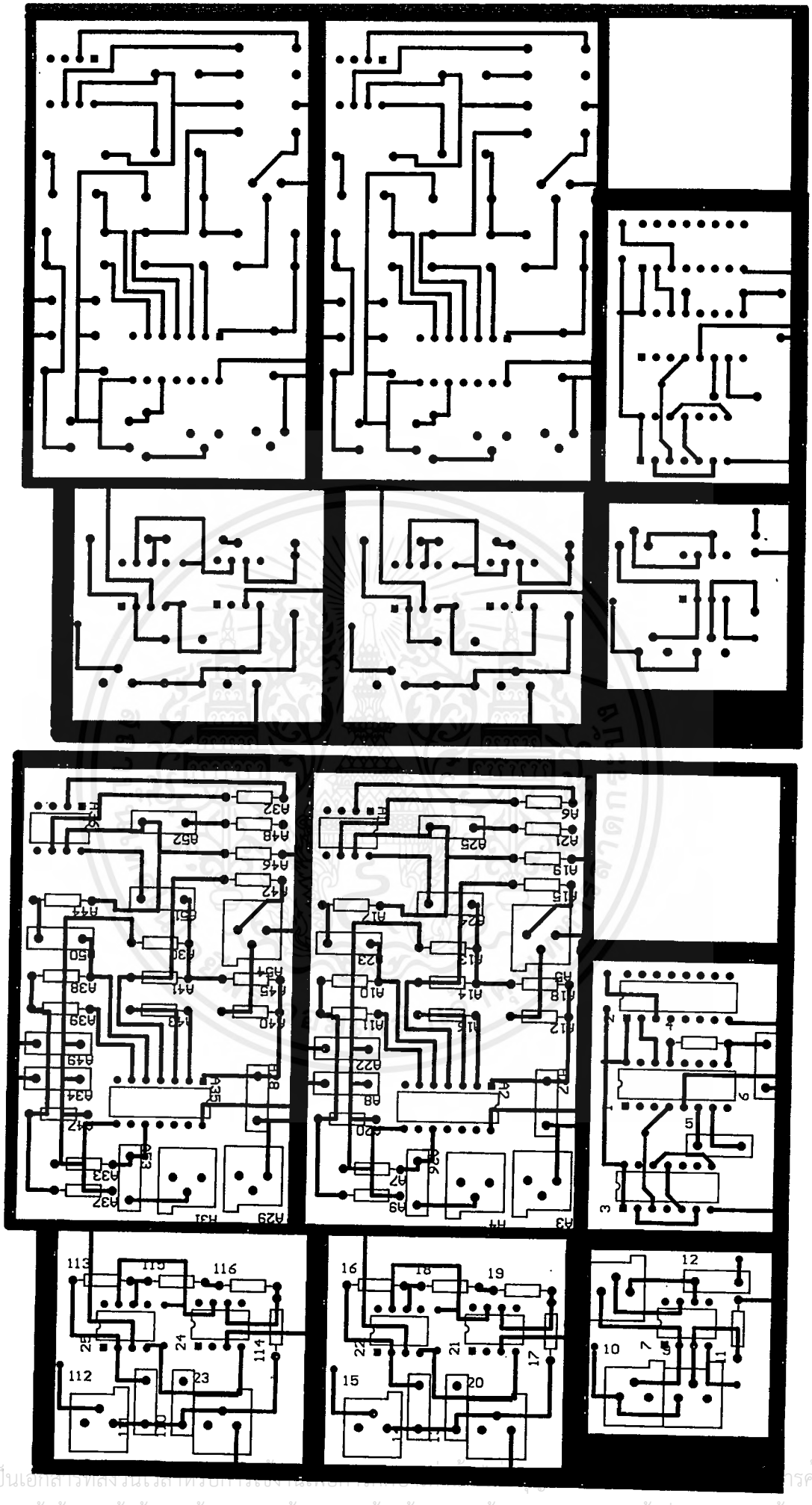
วงจรรวมภาครับ 16 QAM(ภาค รวมบิท)





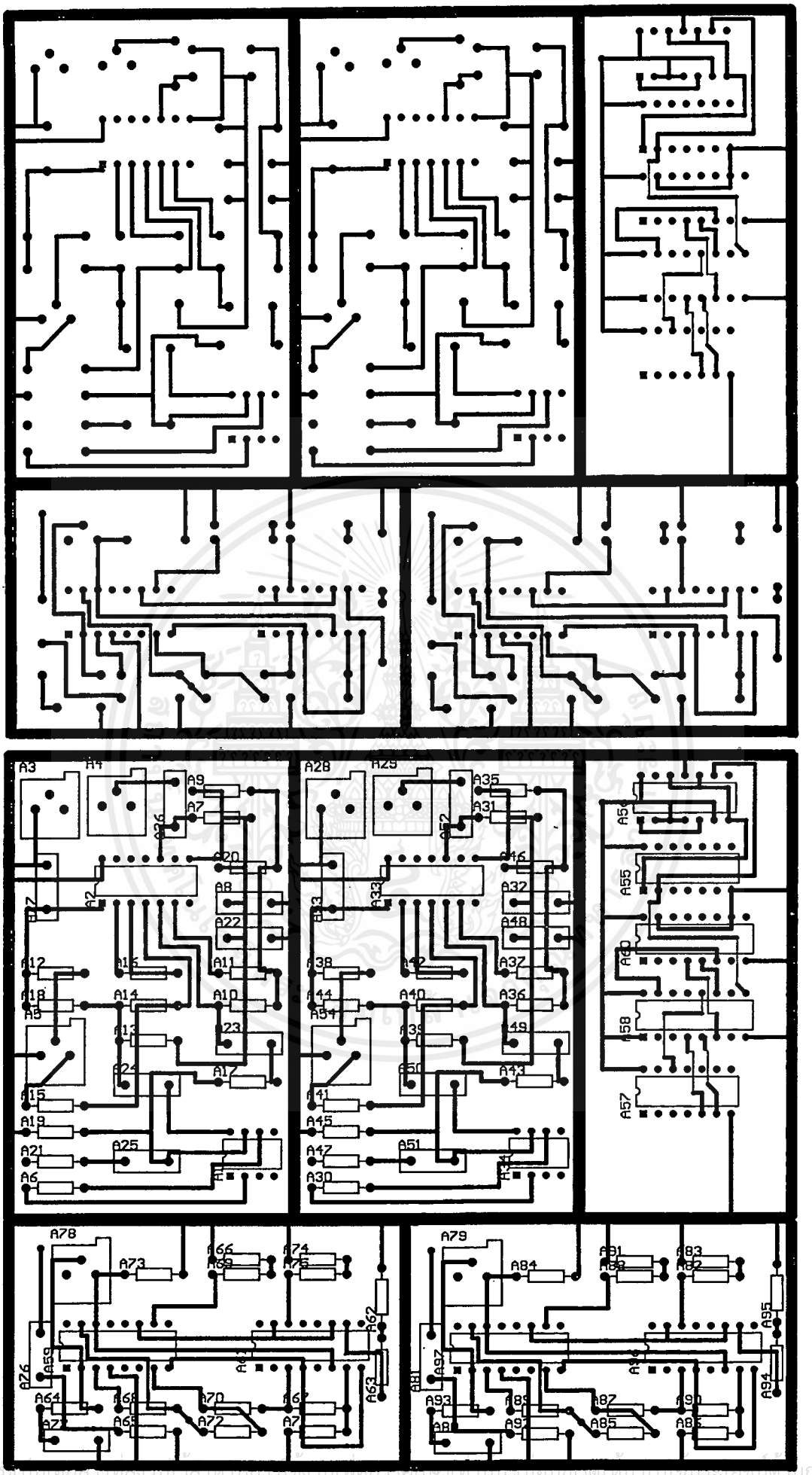
ลายวงจรภาคส่ง 16 QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายวงจรภาครับ 16 QAM ส่วนที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายวงจรภาครับ 16 QAM ส่วนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRELIMINARY

27256
256K (32K x 8) UV ERASABLE PROM

- Software Carrier Capability
- 250 ns Maximum Access Time
- Two-Line Control
- int$_e$ligent Identifier™ Mode
  —Automated Programming Operations
- TTL Compatible
- Industry Standard Pinout . . . JEDEC Approved
- Low Power
  —100 mA max. Active
  — 40 mA max. Standby
- int$_e$ligent Programming™ Algorithm
  —Fastest EPROM Programming

The Intel 27256 is a 5V only, 262,144-bit ultraviolet Erasable and Electrically Programmable Read Only Memory (EPROM). Organized as 32K words by 8 bits, individual bytes are accessed in under 250ns. This is compatible with high performance microprocessors, such as the Intel 8MHz iAPX 186, allowing full speed operation without the addition of performance-degrading WAIT states. The 27256 is also directly compatible with Intel's 8051 family of microcontrollers.

The 27256 enables implementation of new, advanced systems with firmware intensive architectures. The combination of the 27256's high density, cost effective EPROM storage, and new advanced microprocessors having megabit addressing capability provides designers with opportunities to engineer user-friendly, high reliability, high-performance systems.

The 27256's large storage capability of 32K bytes enables it to function as a high density software carrier. Entire operating systems, diagnostics, high-level language programs and specialized application software can reside in a 27256 EPROM directly on a system's memory bus. This permits immediate microprocessor access and execution of software and eliminates the need for time consuming disk accesses and downloads.

Several advanced features have been designed into the 27256 that allow for fast and reliable programming —the int$_e$ligent identifier™ mode and the int$_e$ligent Programming™ Algorithm. Programming equipment that takes advantage of these innovations will electronically identify the 27256 and then rapidly program it using an efficient programming method.

Two-line control and JEDEC-approved, 28-pin packaging are standard features of all Intel high-density EPROMs. This assures easy microprocessor interfacing and minimum design efforts when upgrading, adding, or choosing between nonvolatile memory alternatives.

The 27256 is manufactured using Intel's advanced HMOS*II-E technology.

*HMOS is a patented process of Intel Corporation.

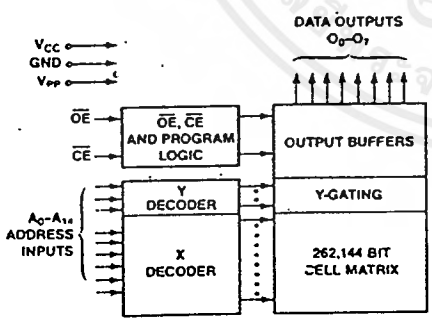
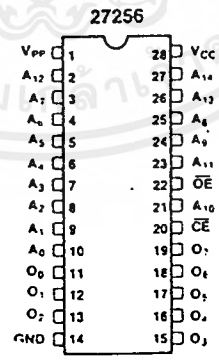


Figure 1. Block Diagram



PIN NAMES	
A_0–A_{14}	ADDRESSES
$\overline{CE}$	CHIP ENABLE
$\overline{OE}$	OUTPUT ENABLE
O_0–O_7	OUTPUTS

Figure 2. Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias ..... −10°C to +80°C
Storage Temperature ..... −65°C to +125°C
All Input or Output Voltages with Respect to Ground .....+6.25 V to −0.6V
Voltage on Pin 24 with Respect to Ground .....+13.5V to −0.6V
V_{PP} Supply Voltage with Respect to Ground .....+14.0 V to −0.6V

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	27256	27256-3	27256-4	27256-25	27256-30	27256-45
Operating Temperature Range	0°C–70°C	0°C–70°C	0°C–70°C	0°C–70°C	0°C–70°C	0°C–70°C
V_{CC} Power Supply[1,2]	5V ± 5%	5V ± 5%	5V ± 5%	5V ± 10%	5V ± 10%	5V ± 10%

READ OPERATION

D.C. CHARACTERISTICS

Symbol	Parameter	Limits			Units	Test Conditions
		Min.	Typ.[3]	Max.		
I_{LI}	Input Load Current			10	µA	V_{IN} = 5.5V
I_{LO}	Output Leakage Current			10	µA	V_{OUT} = 5.5V
I_{PP1}[2]	V_{PP} Current Read/Standby			5	mA	V_{PP} = 5.5V
I_{CC1}[2]	V_{CC} Current Standby		20	40	mA	$\overline{CE}$ = V_{IH}
I_{CC2}[2]	V_{CC} Current Active		45	100	mA	$\overline{CE}$ = $\overline{OE}$ = V_{IL}, V_{PP} = V_{CC}
V_{IL}	Input Low Voltage	−.1		+.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC}+1	V	
V_{OL}	Output Low Voltage			.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = −400 µA
V_{PP}[2]	V_{PP} Read Voltage	3.8		V_{CC}	V	V_{CC} = 5.0V ±0.25V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

READ OPERATION

A.C. CHARACTERISTICS

Symbol	Parameter	27256-25 & 27256 Limits		27256-30 & 27256-3 Limits		27256-45 & 27256-4 Limits		Units	Test Conditions
		Min.	Max.	Min.	Max.	Min.	Max.		
t_{ACC}	Address to Output Delay		250		300		450	ns	$\overline{CE}=\overline{OE}=V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		250		300		450	ns	$\overline{OE}=V_{IL}$
t_{OE}	$\overline{OE}$ to Output Delay		100		120		150	ns	$\overline{CE}=V_{IL}$
t_{DF}[4]	$\overline{OE}$ High to Output Float	0	60	0	105	0	130	ns	$\overline{CE}=V_{IL}$
t_{OH}	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		ns	$\overline{CE}=\overline{OE}=V_{IL}$

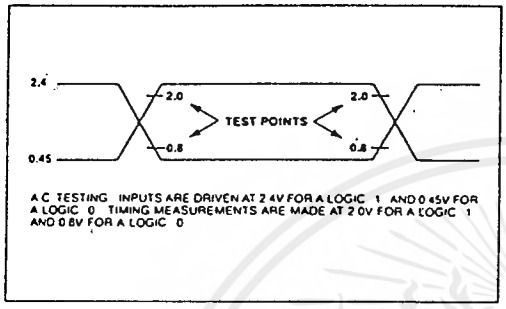
NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}.
3. Typical values are for t_A =25°C and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram on the following page.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

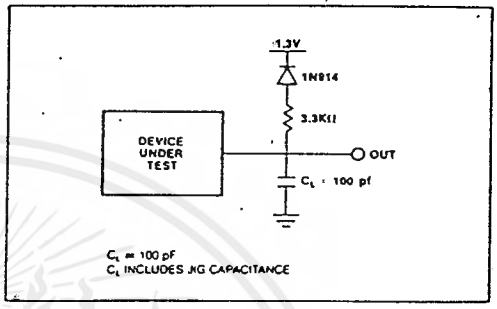
CAPACITANCE (T_A = 25°C, f = 1 MHz)

Symbol	Parameter	Typ.[1]	Max.	Unit	Conditions
C_{IN}[2]	Input Capacitance	4	6	pF	V_{IN}=0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT}=0V

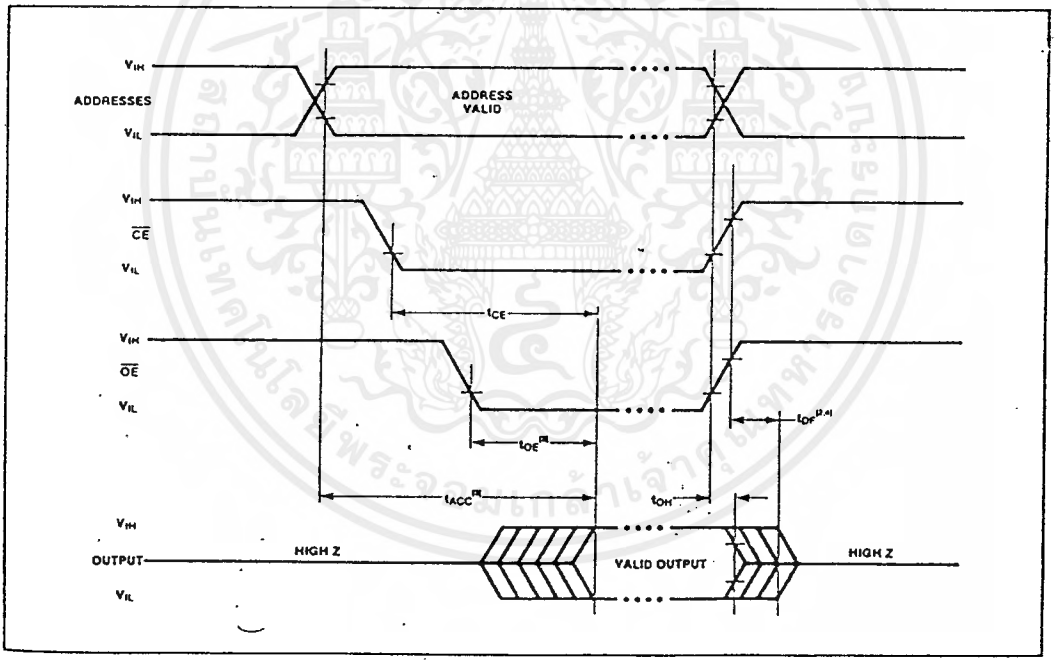
A.C. TESTING INPUT/OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



A.C. WAVEFORMS



NOTES:
1. Typical values are for T_A = 25°C and nominal supply voltages.
2. This parameter is only sampled and is not 100% tested.
3. $\overline{OE}$ may be delayed up to $t_{ACC} - t_{OE}$ after the falling edge of $\overline{CE}$ without impact on t_{ACC}.
4. t_{DF} is specified from $\overline{OE}$ or $\overline{CE}$, whichever occurs first.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE OPERATION

The eight modes of operation of the 27256 are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for V_{PP} and 12V on A9 for int$_e$ligent identifier mode.

Table 1. Operating Modes

MODE \ PINS	$\overline{CE}$ (20)	$\overline{OE}$ (22)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	OUTPUTS (11-13, 15-19)
Read	V_{IL}	V_{IL}	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	High Z
Standby	V_{IH}	X	X	V_{CC}	V_{CC}	High Z
int$_e$ligent Programming	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	D_{IN}
Verify	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{OUT}
Optional Verify	V_{IL}	V_{IL}	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	V_{IH}	X	V_{PP}	V_{CC}	High Z
int$_e$ligent Identifier	V_{IL}	V_{IL}	V_H	V_{CC}	V_{CC}	Code

NOTES:
1. X can be V_{IH} or V_{IL}
2. V_H = 12.0V ± 0.5V

READ MODE

The 27256 has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ($\overline{CE}$) is the power control and should be used for device selection. Output Enable ($\overline{OE}$) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, the address access time (t_{ACC}) is equal to the delay from $\overline{CE}$ to output (t_{CE}). Data is available at the outputs after a delay of t_{OE} from the falling edge of $\overline{OE}$, assuming that $\overline{CE}$ has been low and addresses have been stable for at least $t_{ACC}-t_{OE}$.

STANDBY MODE

The 27256 has a standby mode which reduces the maximum active current from 100 mA to 40 mA. The 27256 is placed in the standby mode by applying a TTL-high signal to the $\overline{CE}$ input. When in standby mode, the outputs are in a high impedance state, independent of the $\overline{OE}$ input.

Two Line Output Control

Because EPROMs are usually used in larger memory arrays, Intel has provided 2 control lines which accommodate this multiple memory connection. The two control lines allow for:

a) the lowest possible memory power dissipation, and
b) complete assurance that output bus contention will not occur.

To use these two control lines most efficiently, $\overline{CE}$ (pin 20) should be decoded and used as the primary device selecting function, while $\overline{OE}$ (pin 22) should be made a common connection to all devices in the array and connected to the $\overline{READ}$ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

System Considerations

The power switching characteristics of HMOS II-E EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer —the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive and inductive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control and by

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

properly selected decoupling capacitors. It is recommended that a 0.1 μF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7 μF bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effects of PC board traces.

PROGRAMMING

Caution: Exceeding 14V on pin 1 (V_{PP}) will permanently damage the 27256.

Initially, and after each erasure, all bits of the 27256 are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 27256 is in the programming mode when the V_{PP} input is at 12.5V and $\overline{CE}$ is at TTL-low. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

int$_e$ligent Programming™ Algorithm

The 27256 int$_e$ligent Programming Algorithm rapidly programs Intel 27256 EPROMS using an efficient and reliable method particularly suited to the production programming environment. Typical programming times for individual devices are on the order of five minutes. Programming reliability is also ensured as the incremental program margin of each byte is continually monitored to determine when it has been successfully programmed. A flowchart of the 27256 int$_e$ligent Programming Algorithm is shown in Figure 3.

The int$_e$ligent Programming Algorithm utilizes two different pulse types: initial and overprogram. The duration of the initial $\overline{CE}$ pulse(s) is one millisecond, which will then be followed by a longer overprogram pulse of length 3X msec: X is an iteration counter and is equal to the number of the initial one millisecond pulses applied to a particular 27256 location, before a correct verify occurs. Up to 25 one-millisecond pulses per byte are provided for before the overprogram pulse is applied.

The entire sequence of program pulses and byte verifications is performed at V_{CC} = 6.0 V and V_{PP} = 12.5V. When the int$_e$ligent Programming cycle has been completed, all bytes should be compared to the original data with V_{CC} = V_{PP} = 5.0V.

Program Inhibit

Programming of multiple 27256s in parallel with different data is easily accomplished by using the Program Inhibit mode. A high-level $\overline{CE}$ input inhibits the other 27256s from being programmed.

Except for $\overline{CE}$ and $\overline{OE}$, all like inputs of the parallel 27256s may be common. A TTL low-level pulse applied to the $\overline{CE}$ input with V_{PP} at 12.5V will program the selected 27256.

Verify

A verify should be performed on the programmed bits to determine that they have been correctly programmed. The verify is performed with $\overline{OE}$ at V_{IL}, $\overline{CE}$ at V_{IH} and V_{PP} at 12.5V.

Optional Verify

The optional verify may be performed in place of the verify mode. It is performed with $\overline{OE}$ at V_{IL}, $\overline{CE}$ at V_{IL} (as opposed to the standard verify which has $\overline{CE}$ at V_{IH}), and V_{PP} at 12.5V. The outputs will tri-state according to the signal presented to $\overline{OE}$. Therefore, all devices with V_{PP}=12.5V and $\overline{OE}$=V_{IL} will present data on the bus independent of the $\overline{CE}$ state. When parallel programming several devices which share a common bus, V_{PP} should be lowered to V_{CC} (=6.0V) and the normal read mode used to execute a program verify.

int$_e$ligent Identifier™ Mode

The int$_e$ligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ± 5°C ambient temperature range that is required when programming the 27256.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 24) of the 27256. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 (pin 10) from V_{IL} to V_{IH}. All other address lines must be held at V_{IL} during int$_e$ligent Identifier Mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

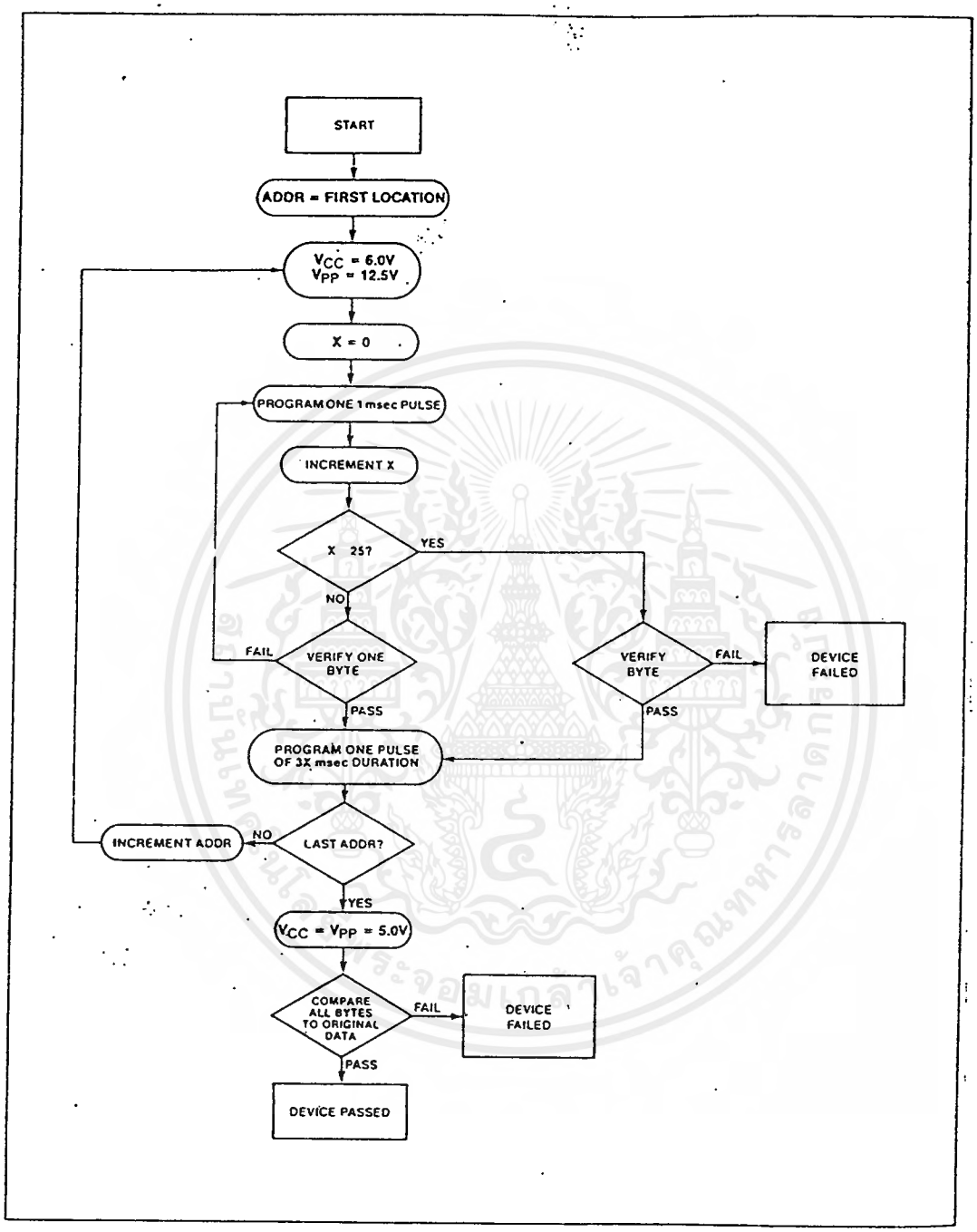


Figure 3. 27256 int$_e$ligent Programming™ Flowchart

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Byte 0 (A0 = V_{IL}) represents the manufacturer code and byte 1 (A0 = V_{IH}) the device identifier code. For the Intel 27256, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB (O_7) defined as the parity bit.

ERASURE CHARACTERISTICS

The erasure characteristics of the 27256 are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000–4000 Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical 27256 in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 27256 is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 27256 window to prevent unintentional erasure.

The recommended erasure procedure for the 27256 is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity × exposure time) for erasure should be a minimum of 15 $Wsec/cm^2$. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000 $\mu W/cm^2$ power rating. The 27256 should be placed within 1 inch of the lamp tubes during erasure. The maximum integrated dose a 27256 can be exposed to without damage is 7258 $Wsec/cm^2$ (1 week @ 12000 $\mu W/cm^2$). Exposure of the 27256 to high intensity UV light for long periods may cause permanent damage.

Table 2. 27256 inteligent Identifier™ Bytes

Identifier \ Pins	A_0 (10)	O_7 (19)	O_6 (18)	O_5 (17)	O_4 (16)	O_3 (15)	O_2 (13)	O_1 (12)	O_0 (11)	Hex Data
Manufacturer Code	V_{IL}	1	0	0	0	1	0	0	1	89
Device Code	VIH	0	0	0	0	0	1	0	0	04

NOTES:
1. $A_9 = 12.0V \pm 0.5V$
2. A_1–A_8, A_{10}–A_{13}, $\overline{CE}$, $\overline{OE} = V_{IL}$
3. $A_{14} = V_{IH}$ or V_{IL}

inteligent Programming™ Algorithm

D.C. PROGRAMMING CHARACTERISTICS:

$T_A = 25 \pm 5°C$, $V_{CC} = 6.0V \pm 0.25V$, $V_{PP} = 12.5V \pm 0.5V$

Symbol	Parameter	Limits			Test Conditions (see Note 1)
		Min.	Max.	Unit	
I_{LI}	Input Current (All Inputs)		10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	−0.1	0.8	V	
V_{IH}	Input High Level	2.0	V_{CC}	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage During Verify	2.4		V	$I_{OH} = -400$ μA
I_{CC2}	V_{CC} Supply Current (Program & Verify)		100	mA	
I_{PP2}	V_{PP} Supply Current (Program)		50	mA	$\overline{CE} = V_{IL}$
V_{ID}	A_9 inteligent Identifier Voltage	11.5	12.5	V	

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. PROGRAMMING CHARACTERISTICS:
$T_A = 25 \pm 5°C$, $V_{CC} = 6.0V \pm 0.25V$, $V_{PP} = 12.5V \pm 0.3V$

Symbol	Parameter	Limits				Test Conditions* (see Note 1)
		Min.	Typ.	Max.	Unit	
t_{AS}	Address Setup Time	2			μs	
t_{OES}	$\overline{OE}$ Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}[4]	$\overline{OE}$ High to Output Float Delay	0		130	ns	
t_{VPS}	V_{PP} Setup Time	2			μs	
t_{VCS}	V_{CC} Setup Time	2			μs	
t_{PW}	$\overline{CE}$ Initial Program Pulse Width	0.95	1.0	1.05	ms	(see Note 3)
t_{OPW}	$\overline{CE}$ Overprogram Pulse Width	2.85		78.75	ms	(see Note 2)
t_{OE}	Data Valid from $\overline{OE}$			150	ns	

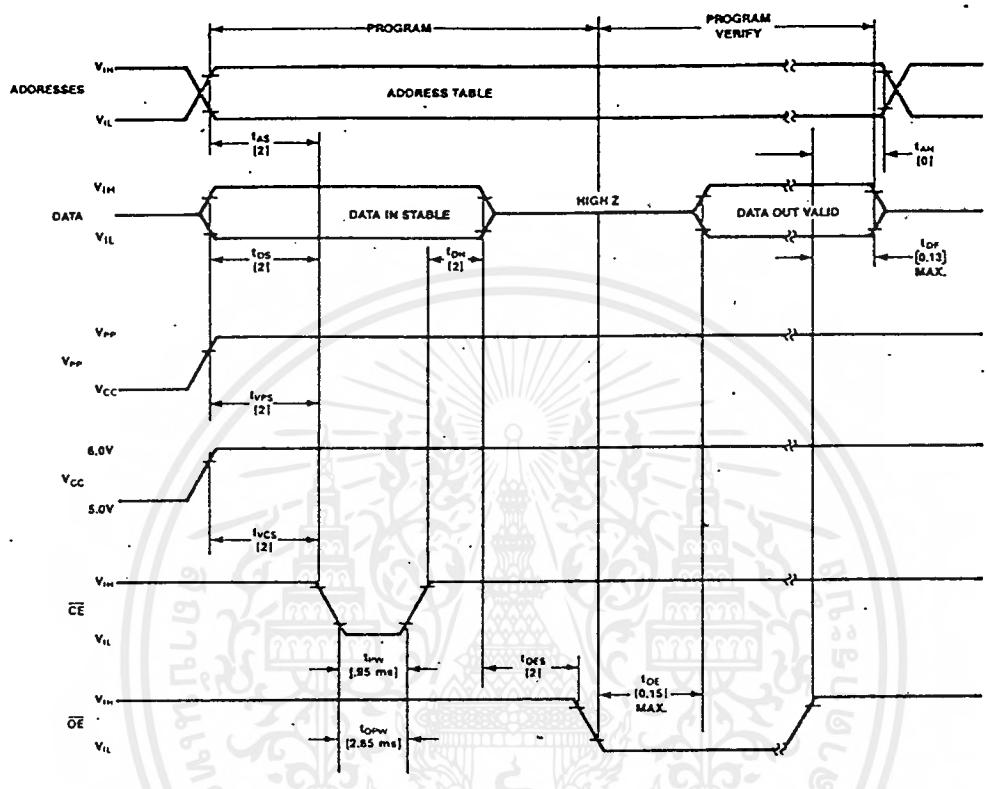
***A.C. CONDITIONS OF TEST**

Input Rise and Fall Times (10% to 90%) ... 20 ns
Input Pulse Levels ..... 0.45V to 2.4V
Input Timing Reference Level ..... 0.8V and 2.0V
Output Timing Reference Level ... 0.8V and 2.0V

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. The length of the overprogram pulse may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X.
3. Initial Program Pulse width tolerance is 1 msec ±5%.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram on the following page.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Int$_e$ligent Programming™ WAVEFORMS



NOTES:
1. ALL TIMES SHOWN IN [ ] ARE MINIMUM AND IN μSEC UNLESS OTHERWISE SPECIFIED.
2. THE INPUT TIMING REFERENCE LEVEL IS .8V FOR A V_{IL} AND 2V FOR A V_{IH}.
3. t_{OE} AND t_{DFP} ARE CHARACTERISTICS OF THE DEVICE BUT MUST BE ACCOMODATED BY THE PROGRAMMER.
4. WHEN PROGRAMMING THE 27256 A 0.1μF CAPACITOR IS REQUIRED ACROSS V_{PP} AND GROUND TO SUPRESS SPURIOUS VOLTAGE TRANSIENTS WHICH CAN DAMAGE THE DEVICE.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC54/74HC4040

12-Stage Binary Ripple Counter

High-Performance Silicon-Gate CMOS

The MC54/74HC4040 is identical in pinout to the standard CMOS MC14040. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This device consists of 12 master-slave flip-flops. The output of each flip-flop feeds the next and the frequency at each output is half that of the preceding one. The state of the counter advances on the negative-going edge of the Clock input. Reset is asynchronous and active-high.

State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and may have to be gated with the Clock of the HC4040 for some designs.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 398 FETs or 99.5 Equivalent Gates

J SUFFIX
CERAMIC
CASE 620-09

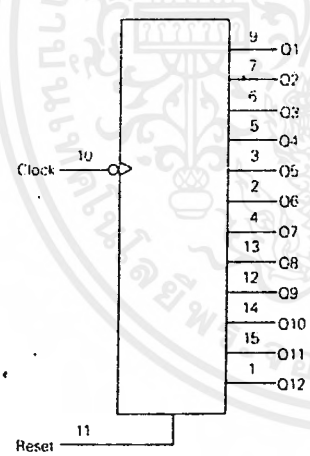
N SUFFIX
PLASTIC
CASE 648-08

ORDERING INFORMATION

MC74HCXXXXN	Plastic
MC54HCXXXXJ	Ceramic

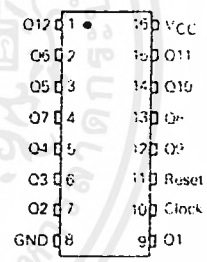
T_A = −55° to 125°C for all packages.
Dimensions in Chapter 6.

LOGIC DIAGRAM



Pin 16 = V_{CC}
Pin 8 = GND

PIN ASSIGNMENT



FUNCTION TABLE

Clock	Reset	Output State
⌐¬	L	No Change
¬⌐	L	Advance to next state
X	H	All Outputs are low

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP) (Ceramic DIP)	260 300	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $GND \le (V_{in} \text{ or } V_{out}) \le V_{CC}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
Ceramic DIP: −10 mW/°C from 100° to 125°C
For high frequency or heavy load considerations, see Chapter 4

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions		V_{CC} V	Guaranteed Limit 25°C to −55°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\| \le 20\ \mu A$		2.0	1.5	1.5	1.5	V
				4.5	3.15	3.15	3.15	
				6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\| \le 20\ \mu A$		2.0	0.3	0.3	0.3	V
				4.5	0.9	0.9	0.9	
				6.0	1.2	1.2	1.2	
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20\ \mu A$		2.0	1.9	1.9	1.9	V
				4.5	4.4	4.4	4.4	
				6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL}	$\|I_{out}\| \le 4.0$ mA	4.5	3.98	3.84	3.70	
			$\|I_{out}\| \le 5.2$ mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20\ \mu A$		2.0	0.1	0.1	0.1	V
				4.5	0.1	0.1	0.1	
				6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL}	$\|I_{out}\| \le 4.0$ mA	4.5	0.26	0.33	0.40	
			$\|I_{out}\| \le 5.2$ mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND		6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA		6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 4)	2.0 4.5 6.0	5.0 25 29	4.0 20 24	3.4 17 20	MHz
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q1* (Figures 1 and 4)	2.0 4.5 6.0	210 42 36	265 53 45	315 63 54	ns
t_{PHL}	Maximum Propagation Delay, Reset to Any Q (Figures 2 and 4)	2.0 4.5 6.0	240 48 41	300 60 51	360 72 61	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, QN to QN + 1 (Figures 3 and 4)	2.0 4.5 6.0	125 25 21	155 31 26	190 38 32	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 4)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 4.
2. Information on typical parametric values can be found in Chapter 4.

* For T_A = 25°C and C_L = 50 pF, typical propagation delay from Clock to other Q outputs may be calculated with the following equations.
V_{CC} = 2.0 V: t_p = [205 + 107.5(N − 1)] ns
V_{CC} = 4.5 V: t_p = [41 + 21.5(N − 1)] ns
V_{CC} = 6.0 V: t_p = [35 + 18.3(N − 1)] ns

C_{PD}	Power Dissipation Capacitance (Per Package) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$ For load considerations, see Chapter 4.	Typical @ 25°C, V_{CC} = 5.0 V 35	pF

TIMING REQUIREMENTS (Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{rec}	Minimum Recovery Time, Reset Inactive to Clock (Figure 2)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Reset (Figure 2)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

NOTE: Information on typical parametric values can be found in Chapter 4.

PIN DESCRIPTIONS

INPUTS

CLOCK (PIN 10) — Negative-edge triggering clock input. A high-to-low transition on this input advances the state of the counter.

RESET (PIN 11) — Active-high reset. A high level applied to this input asynchronously resets the counter to its zero state, thus forcing all Q outputs low.

OUTPUTS

Q1 THRU Q12 (PINS 9, 7, 6, 5, 3, 2, 4, 13, 12, 14, 15, 1) — Active-high outputs. Each QN output divides the Clock input frequency by 2^N.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

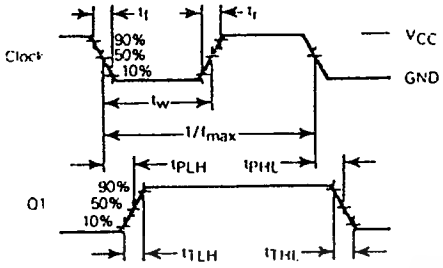


Figure 1.

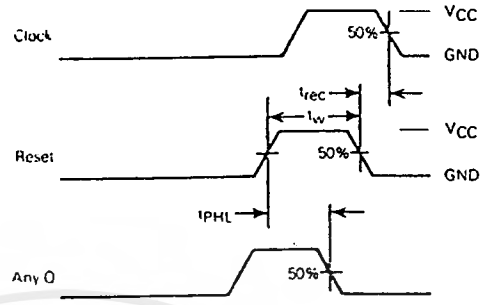


Figure 2.

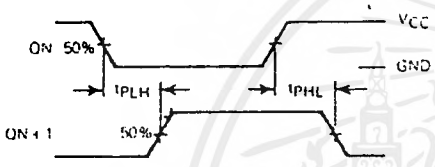


Figure 3.

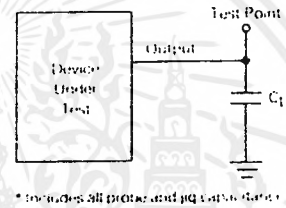
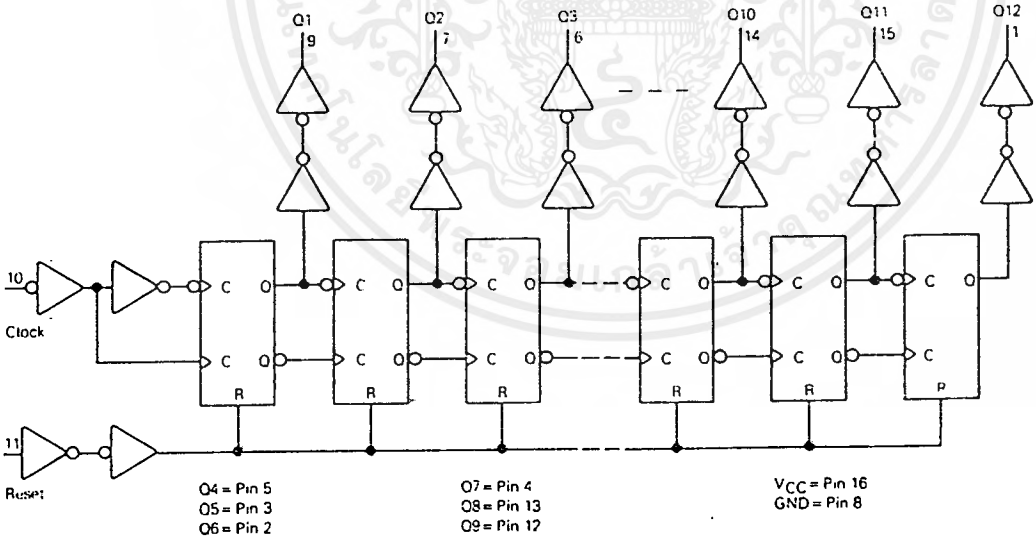


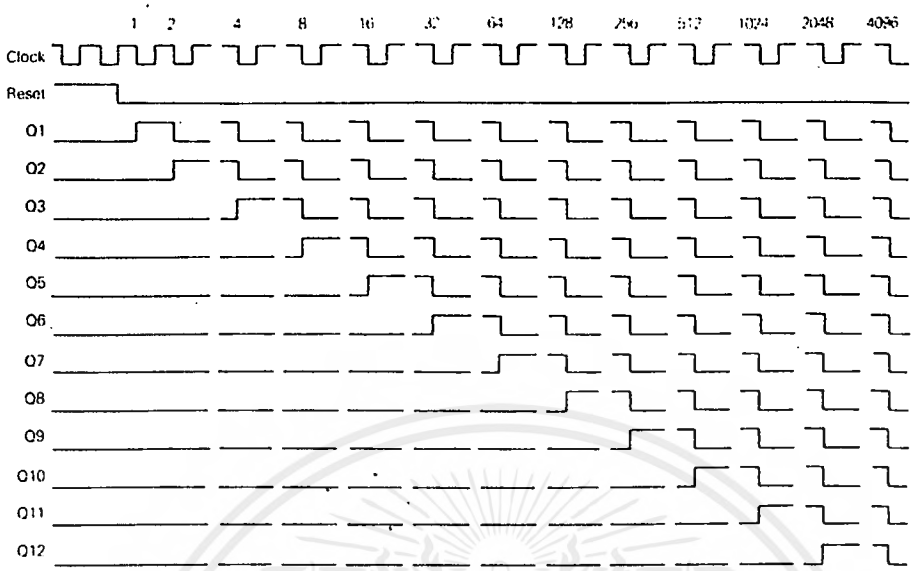
Figure 4. Test Circuit

EXPANDED LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

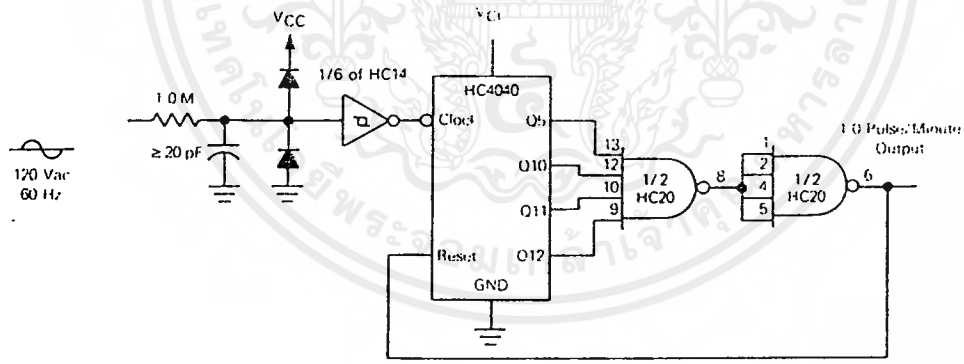
TIMING DIAGRAM



APPLICATIONS INFORMATION

TIME-BASE GENERATOR

A 60 Hz sinewave obtained through a 1.0 Megohm resistor connected directly to a standard 120 Vac power line is applied to the input of the HC14, Schmitt trigger inverter. The HC14 squares up the input waveform and feeds the HC4040. Selecting outputs Q5, Q10, Q11, and Q12 causes a reset every 3600 clocks. The HC20 decodes the counter outputs, produces a single (narrow) output pulse, and resets the binary counter. The resulting output frequency is 1.0 pulse/minute.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC54/74HC175

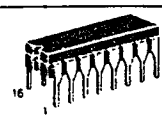
Quad D Flip-Flop with Common Clock and Reset

High-Performance Silicon-Gate CMOS

The MC54/74HC175 is identical in pinout to the LS175. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This device consists of four D flip-flops with common Reset and Clock inputs, and separate D inputs. Reset (active-low) is asynchronous and occurs when a low level is applied to the Reset input. Information at a D input is transferred to the corresponding Q output on the next positive-going edge of the Clock input.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 166 FETs or 41.5 Equivalent Gates



J SUFFIX
CERAMIC
CASE 620-09

N SUFFIX
PLASTIC
CASE 648-06

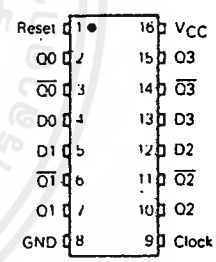
D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

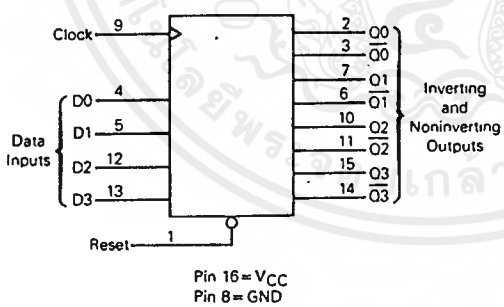
MC74HCXXXN	Plastic
MC54HCXXXJ	Ceramic
MC74HCXXXD	SOIC

T_A = −55° to 125°C for all packages.
Dimensions in Chapter 6.

PIN ASSIGNMENT



LOGIC DIAGRAM



Pin 16 = V_{CC}
Pin 8 = GND

FUNCTION TABLE

Inputs			Outputs	
Reset	Clock	D	Q	$\overline{Q}$
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	no change	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	− 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	− 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	− 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	− 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	(Plastic DIP or SOIC Package)	260	
	(Ceramic DIP)	300	

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: − 10 mW/°C from 65° to 125°C
Ceramic DIP: − 10 mW/°C from 100° to 125°C
SOIC Package: − 7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 4.

This device contains protec circuitry to guard against dam due to high static voltages or elec fields. However, precautions n be taken to avoid applications of voltage higher than maximum ra voltages to this high-impeda circuit. For proper operation, V_{in} V_{out} should be constrained to range GND ≤ (V_{in} or V_{out}) ≤ V_{C}

Unused inputs must always be to an appropriate logic voltage l (e.g., either GND or V_{CC}). Unu outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		− 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Uni
				25°C to − 55°C	≤ 85°C	≤ 125°C	
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\| \le 20\ \mu A$	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\| \le 20\ \mu A$	2.0	0.3	0.3	0.3	V
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20\ \mu A$	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 4.0$ mA	4.5	3.98	3.84	3.70	
		$\|I_{out}\| \le 5.2$ mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20\ \mu A$	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 4.0$ mA	4.5	0.26	0.33	0.40	
		$\|I_{out}\| \le 5.2$ mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 4)	2.0	6.0	4.8	4.0	MHz
		4.5	30	24	20	
		6.0	35	28	24	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q or $\overline{Q}$ (Figures 1 and 4)	2.0	150	190	225	ns
		4.5	30	38	45	
		6.0	26	33	38	
t_{PHL}	Maximum Propagation Delay, Reset to Q or $\overline{Q}$ (Figures 2 and 4)	2.0	125	155	190	ns
		4.5	25	31	38	
		6.0	21	26	32	
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 4)	2.0	75	95	110	ns
		4.5	15	19	22	
		6.0	13	16	19	
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 4.
2. Information on typical parametric values can be found in Chapter 4.

C_{PD}	Power Dissipation Capacitance (Per Flip-Flop) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$ For load considerations, see Chapter 4.	Typical @ 25°C, V_{CC} = 5.0 V 35	pF

TIMING REQUIREMENTS (Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{su}	Minimum Setup Time, Data to Clock (Figure 3)	2.0	100	125	150	ns
		4.5	20	25	30	
		6.0	17	21	26	
t_h	Minimum Hold Time, Clock to Data (Figure 3)	2.0	3	3	3	ns
		4.5	3	3	3	
		6.0	3	3	3	
t_{rec}	Minimum Recovery Time, Reset Inactive to Clock (Figure 2)	2.0	100	125	150	ns
		4.5	20	25	30	
		6.0	17	21	26	
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0	80	100	120	ns
		4.5	16	20	24	
		6.0	14	17	20	
t_w	Minimum Pulse Width, Reset (Figure 2)	2.0	80	100	120	ns
		4.5	16	20	24	
		6.0	14	17	20	
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0	1000	1000	1000	ns
		4.5	500	500	500	
		6.0	400	400	400	

NOTE: Information on typical parametric values can be found in Chapter 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

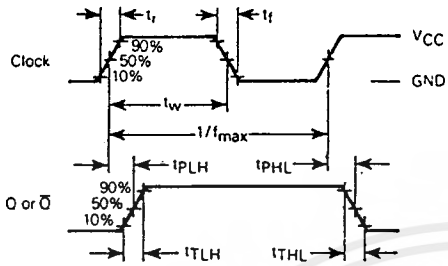


Figure 1.

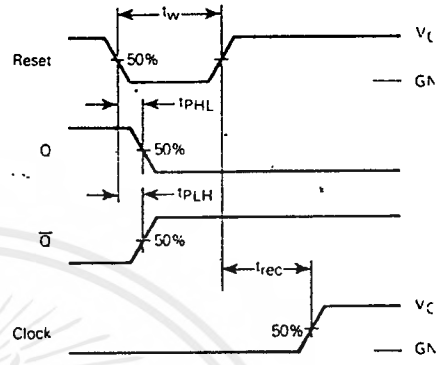


Figure 2.

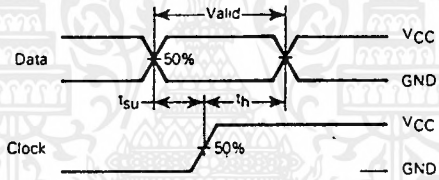
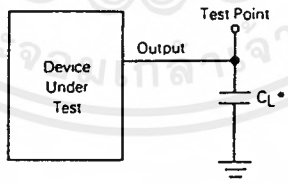


Figure 3.

TEST CIRCUIT



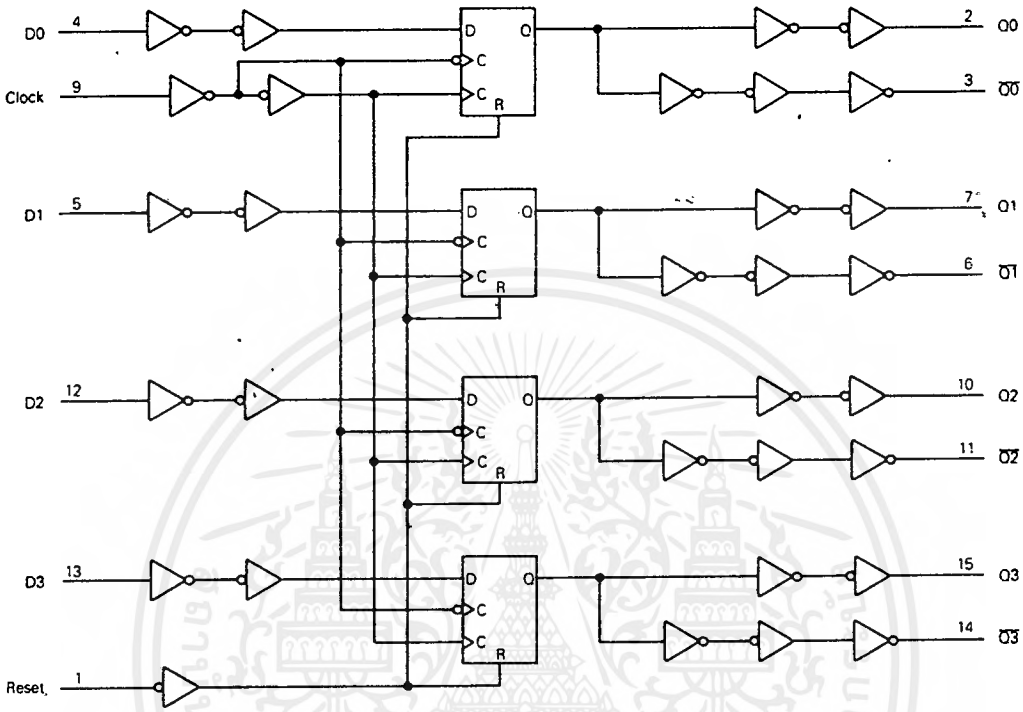
* Includes all probe and jig capacitance.

Figure 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

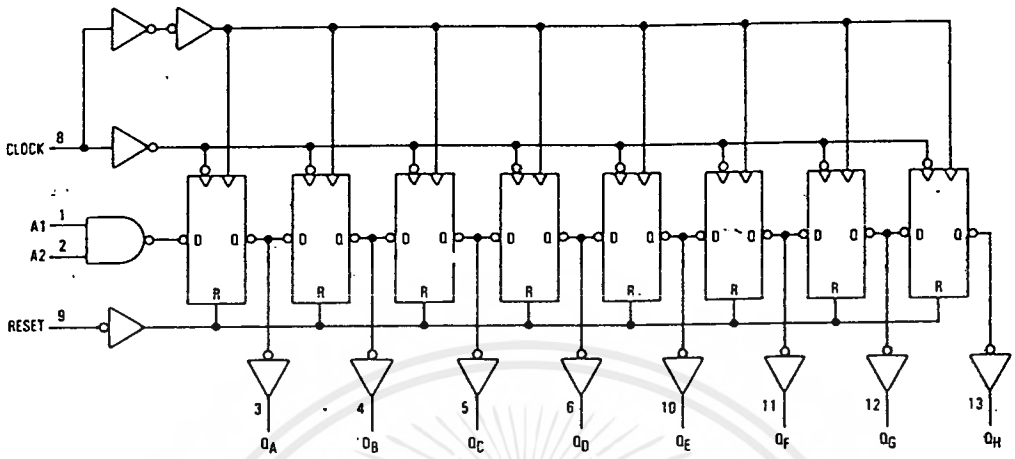
MC54/74HC175

EXPANDED LOGIC DIAGRAM

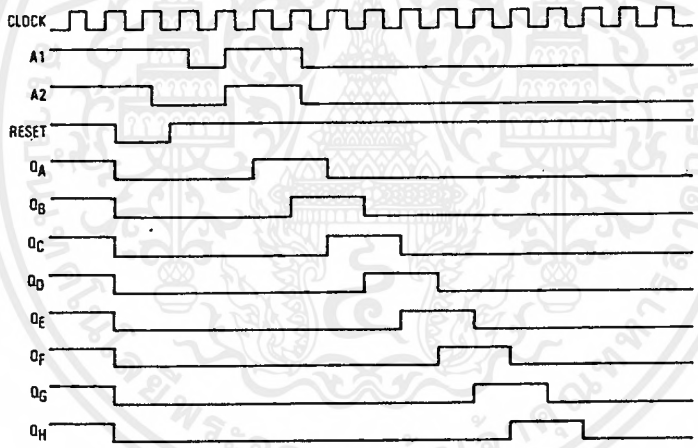


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPANDED LOGIC DIAGRAM



TIMING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC54/74HC16

8-Bit Serial or Parallel-Input/ Serial-Output Shift Register

High-Performance Silicon-Gate CMOS

The MC54/74HC165 is identical in pinout to the LS165. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This device is an 8-bit shift register with complementary outputs from the last stage. Data may be loaded into the register either in parallel or in serial form. When the Serial Shift/$\overline{\text{Parallel Load}}$ input is low, the data is loaded asynchronously in parallel. When the Serial Shift/$\overline{\text{Parallel Load}}$ input is high, the data is loaded serially on the rising edge of either Clock or Clock Inhibit (see the Function Table).

The 2-input NOR clock may be used either by combining two independent clock sources or by designating one of the clock inputs to act as a clock inhibit.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 286 FETs or 71.5 Equivalent Gates

J SUI
CERA
CASE 6

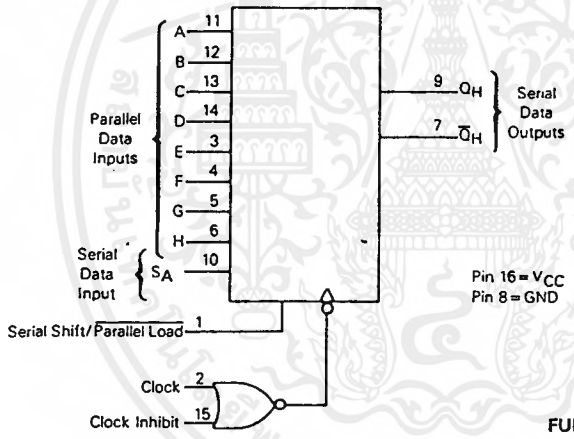
N SUF
PLAS
CASE 6

ORDERING INFORMATIO

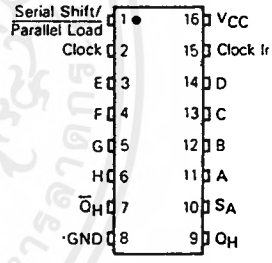
MC74HCXXXN	Plastic
MC54HCXXXJ	Ceramic

T_A = −55° to 125°C for all packa
Dimensions in Chapter 6.

LOGIC DIAGRAM



PIN ASSIGNMENT



FUNCTION TABLE

Inputs					Internal Stages		Output	
Serial Shift/ $\overline{\text{Parallel Load}}$	Clock	Clock Inhibit	S_A	A-H	Q_A	Q_B	Q_H	Operation
L	X	X	X	a...h	a	b	h	Asynchronous Parallel l
H	↑	L	L	X	L	Q_{An}	Q_{Gn}	Serial Shift via Cloc
H	↑	L	H	X	H	Q_{An}	Q_{Gn}	
H	L	↑	L	X	L	Q_{An}	Q_{Gn}	Serial Shift via Clock Inh
H	L	↑	H	X	H	Q_{An}	Q_{Gn}	
H	X	H	X	X	no change			Inhibited Clock
H	H	X	X	X				
H	L	L	X	X	no change			No Clock

X = don't care
Q_{An}-Q_{Gn} = Data shifted from the preceding stage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC} +1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC} −0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP) (Ceramic DIP)	260 300	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
Ceramic DIP: −10 mW/°C from 100° to 125°C

For high frequency or heavy load considerations, see Chapter 4.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit 25°C to −55°C	≤85°C	≤125°C	Unit
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V; $\|I_{out}\| \le 20\ \mu A$	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V; $\|I_{out}\| \le 20\ \mu A$	2.0	0.3	0.3	0.3	V
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL}; $\|I_{out}\| \le 20\ \mu A$	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL}; $\|I_{out}\| \le 4.0$ mA	4.5	3.98	3.84	3.70	
		$\|I_{out}\| \le 5.2$ mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL}; $\|I_{out}\| \le 20\ \mu A$	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL}; $\|I_{out}\| \le 4.0$ mA	4.5	0.26	0.33	0.40	
		$\|I_{out}\| \le 5.2$ mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND; I_{out} = 0 μA	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 8)	2.0 4.5 6.0	6.0 30 35	4.8 24 28	4.0 20 24	MHz
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock (or Clock Inhibit) to Q_H or $\overline{Q}_H$ (Figures 1 and 8)	2.0 4.5 6.0	150 30 26	190 38 33	225 45 38	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Serial Shift/$\overline{\text{Parallel Load}}$ to Q_H or $\overline{Q}_H$ (Figures 2 and 8)	2.0 4.5 6.0	175 35 30	220 44 37	265 53 45	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Input H to Q_H or $\overline{Q}_H$ (Figures 3 and 8)	2.0 4.5 6.0	150 30 26	190 38 33	225 45 38	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 8)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 4.
2. Information on typical parametric values can be found in Chapter 4.

C_{PD}	Power Dissipation Capacitance (Per Package) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$ For load considerations, see Chapter 4.	Typical @ 25°C, V_{CC} = 5.0 V	pF
		85	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 6$ ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{su}	Minimum Setup Time, Parallel Data Inputs to Serial Shift/$\overline{\text{Parallel Load}}$ (Figure 4)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_{su}	Minimum Setup Time, Input S_A to Clock (or Clock Inhibit) (Figure 5)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_{su}	Minimum Setup Time, Serial Shift/$\overline{\text{Parallel Load}}$ to Clock (or Clock Inhibit) (Figure 6)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_{su}	Minimum Setup Time, Clock to Clock Inhibit (Figure 7)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_h	Minimum Hold Time, Serial Shift/$\overline{\text{Parallel Load}}$ to Parallel Data Inputs (Figure 4)	2.0 4.5 6.0	5 5 5	5 5 5	5 5 5	ns
t_h	Minimum Hold Time, Clock (or Clock Inhibit) to Input S_A (Figure 5)	2.0 4.5 6.0	5 5 5	5 5 5	5 5 5	ns
t_h	Minimum Hold Time, Clock (or Clock Inhibit) to Serial Shift/$\overline{\text{Parallel Load}}$ (Figure 6)	2.0 4.5 6.0	5 5 5	5 5 5	5 5 5	ns
t_{rec}	Minimum Recovery Time, Clock to Clock Inhibit (Figure 7)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_w	Minimum Pulse Width, Clock (or Clock Inhibit) (Figure 1)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Serial Shift/$\overline{\text{Parallel Load}}$ (Figure 2)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

NOTE: Information on typical parametric values can be found in Chapter 4.

PIN DESCRIPTIONS

INPUTS

A, B, C, D, E, F, G, H (PINS 11, 12, 13, 14, 3, 4, 5, 6) — Parallel Data inputs. Data on these inputs are asynchronously entered in parallel into the internal flip-flops when the Serial Shift/$\overline{\text{Parallel Load}}$ input is low.

S_A (PIN 10) — Serial Data input. When the Serial Shift/$\overline{\text{Parallel Load}}$ input is high, data on this pin is serially entered into the first stage of the shift register with the rising edge of the Clock.

CONTROL INPUTS

SERIAL SHIFT/$\overline{\text{PARALLEL LOAD}}$ (PIN 1) — Data-entry control input. When a high level is applied to this pin, data at the Serial Data input (S_A) are shifted into the register with the rising edge of the Clock. When a low level is applied to this pin, data at the Parallel Data inputs are asynchronously loaded into each of the eight internal stages.

CLOCK, CLOCK INHIBIT (PINS 2, 15) — Clock inputs. These two clock inputs function identically. Either may be used as an active-high clock inhibit. However, to avoid double clocking, the inhibit input should go high only while the clock input is high.

The shift register is completely static, allowing Clock rates down to DC in a continuous or intermittent mode.

OUTPUTS

Q_H, $\overline{Q}_H$ (PINS 9, 7) — Complementary Shift Register outputs. These pins are the noninverted and inverted outputs of the eighth stage of the shift register.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

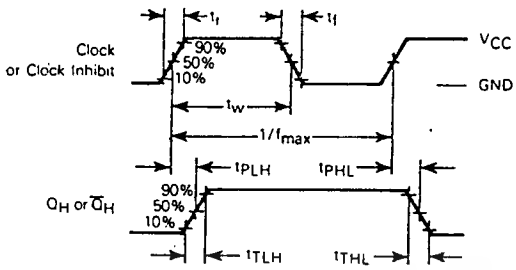


Figure 1. Serial-Shift Mode

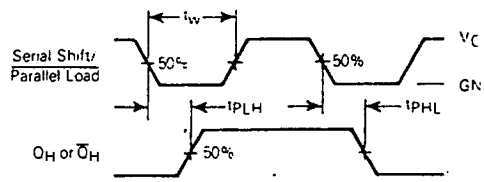


Figure 2. Parallel-Load Mode

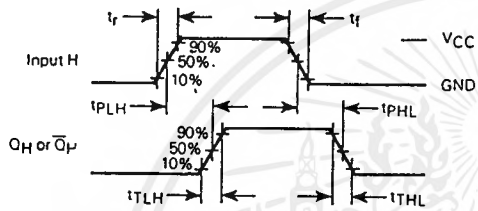


Figure 3. Parallel-Load Mode

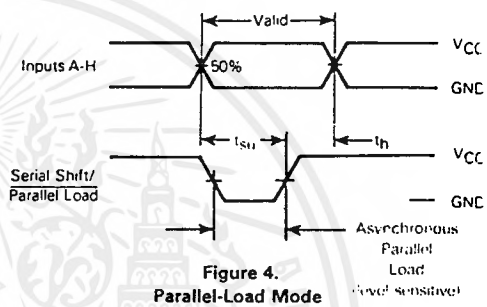


Figure 4.
Parallel-Load Mode

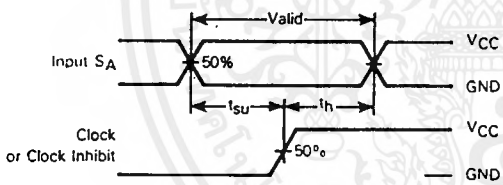


Figure 5. Serial-Shift Mode

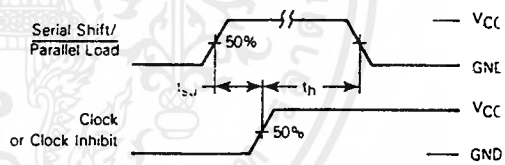


Figure 6. Serial-Shift Mode

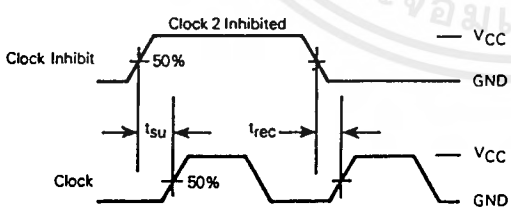
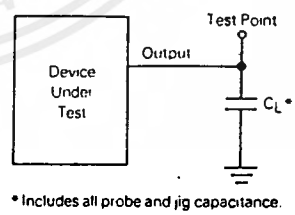


Figure 7. Serial-Shift,
Clock-Inhibit Mode

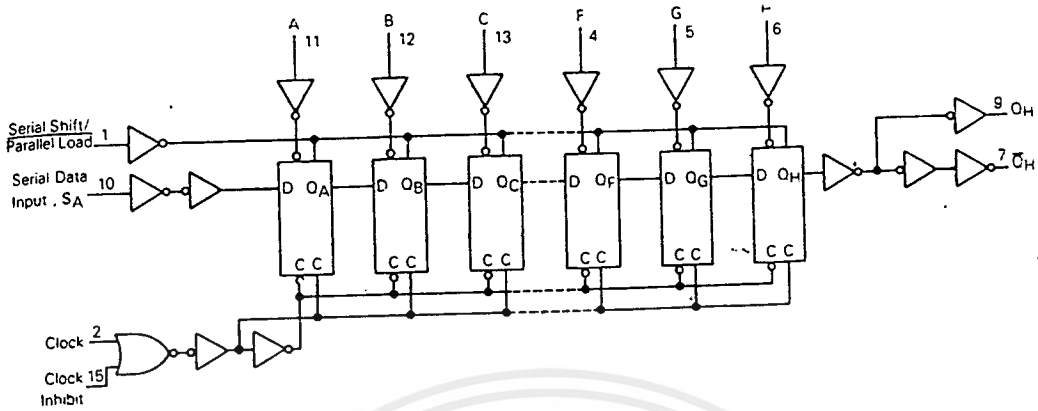


* Includes all probe and jig capacitance.

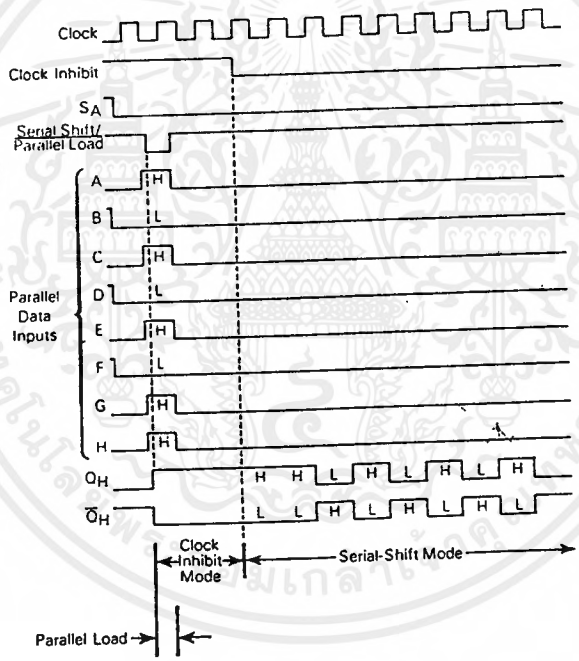
Figure 8. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPANDED LOGIC DIAGRAM



TIMING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

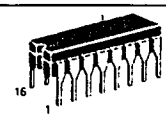
MC54/74HC160
MC54/74HC161
MC54/74HC162
MC54/74HC163

Presettable Counters
High-Performance Silicon-Gate CMOS

The MC54/74HC160 through HC163 are identical in pinout to the LS160 through LS163, respectively. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC160 and HC162 are programmable BCD counters with asynchronous and synchronous Reset inputs, respectively. The HC161 and HC163 are programmable 4-bit binary counters with asynchronous and synchronous reset, respectively.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 234 FETs or 58.5 Equivalent Gates



J SUFFIX
CERAMIC
CASE 620-09

N SUFFIX
PLASTIC
CASE 648-06

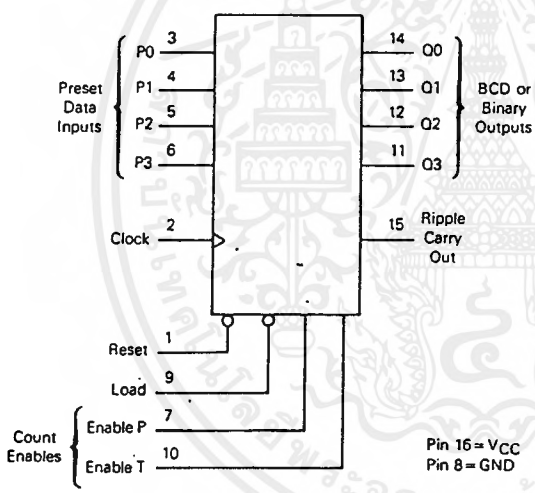
D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

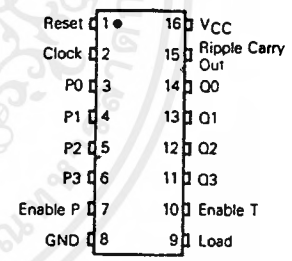
MC74HCXXXN	Plastic
MC54HCXXXJ	Ceramic
MC74HCXXXD	SOIC

T_A = −55° to 125°C for all packages.
Dimensions in Chapter 6.

LOGIC DIAGRAM



PIN ASSIGNMENT



Device	Count Mode	Reset Mode
HC160	BCD	Asynchronous
HC161	Binary	Asynchronous
HC162	BCD	Synchronous
HC163	Binary	Synchronous

FUNCTION TABLE

Inputs					Output
Clock	Reset*	Load	Enable P	Enable T	Q
↑	L	X	X	X	Reset
↑	H	L	X	X	Load Preset Data
↑	H	H	H	H	Count
↑	H	H	L	X	No Count
↑	H	H	X	L	No Count

*HC162 and HC163 only. HC160 and HC161 are Asynchronous-Reset Devices

H = high level
L = low level
X = don't care

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC}+1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC}+0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	(Plastic DIP or SOIC Package)	260	
	(Ceramic DIP)	300	

This device contains protectio circuitry to guard against damag due to high static voltages or electri fields. However, precautions mus be taken to avoid applications of an voltage higher than maximum rate voltages to this high-impedanc circuit. For proper operation, V_{in} an V_{out} should be constrained to th range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tie to an appropriate logic voltage leve (e.g., either GND or V_{CC}). Unuse outputs must be left open.

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
Ceramic DIP: −10 mW/°C from 100° to 125°C
SOIC Package: −7 mW/°C from 65° to 125°C
For high frequency or heavy load considerations, see Chapter 4.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time	V_{CC} = 2.0 V	0	1000	ns
	(Figure 1)	V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				25°C to −55°C	≤85°C	≤125°C	
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	0.3	0.3	0.3	V
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	3.98	3.84	3.70	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	0.26	0.33	0.40	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle)* (Figures 1 and 7)	2.0	6.0	4.8	4.0	MHz
		4.5	30	24	20	
		6.0	35	28	24	
t_{PLH}	Maximum Propagation Delay, Clock to Q (Figures 1 and 7)	2.0	170	215	255	ns
		4.5	34	43	51	
		6.0	29	37	43	
t_{PHL}		2.0	205	255	310	
		4.5	41	51	62	
		6.0	35	43	53	
t_{PHL}	Maximum Propagation Delay, Reset to Q (HC160 and HC161 Only) (Figures 2 and 7)	2.0	210	265	315	ns
		4.5	42	53	63	
		6.0	36	45	54	
t_{PLH}	Maximum Propagation Delay, Enable T to Ripple Carry Out (Figures 3 and 7)	2.0	160	200	240	ns
		4.5	32	40	48	
		6.0	27	34	41	
t_{PHL}		2.0	195	245	295	
		4.5	39	49	59	
		6.0	33	42	50	
t_{PLH}	Maximum Propagation Delay, Clock to Ripple Carry Out (Figures 1 and 7)	2.0	175	220	265	ns
		4.5	35	44	53	
		6.0	30	37	45	
t_{PHL}		2.0	215	270	325	
		4.5	43	54	65	
		6.0	37	46	55	
t_{PHL}	Maximum Propagation Delay, Reset to Ripple Carry Out (HC160 and HC161 Only) (Figures 2 and 7)	2.0	220	275	330	ns
		4.5	44	55	66	
		6.0	37	47	56	
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 7)	2.0	75	95	110	ns
		4.5	15	19	22	
		6.0	13	16	19	
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

*Applies to noncascaded/nonsynchronously clocked configurations only. With synchronously cascaded counters, (1) Clock to Ripple Carry Out propagation delays, (2) Enable T or Enable P to Clock setup times, and (3) Clock to Enable T or Enable P hold times determine f_{max}. However, if Ripple Carry Out of each stage is tied to the Clock of the next stage (nonsynchronously clocked), the f_{max} in the table above is applicable. See Applications Information in this data sheet.

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 4.
2. Information on typical parametric values can be found in Chapter 4.

C_{PD}	Power Dissipation Capacitance (Per Package) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$ For load considerations, see Chapter 4.	Typical @ 25°C, V_{CC} = 5.0 V 60	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 6$ ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			U
			25°C to −55°C	≤85°C	≤125°C	
t_{su}	Minimum Setup Time, Preset Data Inputs to Clock (Figure 5)	2.0	150	190	225	
		4.5	30	38	45	
		6.0	26	33	38	
t_{su}	Minimum Setup Time, Load to Clock (Figure 5)	2.0	135	170	205	
		4.5	27	34	41	
		6.0	23	29	35	
t_{su}	Minimum Setup Time, Reset to Clock (HC162 and HC163 only) (Figure 4)	2.0	160	200	240	
		4.5	32	40	48	
		6.0	27	34	41	
t_{su}	Minimum Setup Time, Enable T or Enable P to Clock (Figure 6)	2.0	200	250	300	
		4.5	40	50	60	
		6.0	34	43	51	
t_h	Minimum Hold Time, Clock to Preset Data Inputs (Figure 5)	2.0	50	65	75	
		4.5	10	13	15	
		6.0	9	11	13	
t_h	Minimum Hold Time, Clock to Load (Figure 5)	2.0	3	3	3	
		4.5	3	3	3	
		6.0	3	3	3	
t_h	Minimum Hold Time, Clock to Reset (HC162 and HC163 only) (Figure 4)	2.0	3	3	3	
		4.5	3	3	3	
		6.0	3	3	3	
t_h	Minimum Hold Time, Clock to Enable T or Enable P (Figure 6)	2.0	3	3	3	
		4.5	3	3	3	
		6.0	3	3	3	
t_{rec}	Minimum Recovery Time, Reset Inactive to Clock (HC160 and HC161 only) (Figure 2)	2.0	125	155	190	
		4.5	25	31	38	
		6.0	21	26	32	
t_{rec}	Minimum Recovery Time, Load Inactive to Clock (Figure 5)	2.0	125	155	190	
		4.5	25	31	38	
		6.0	21	26	32	
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0	80	100	120	
		4.5	16	20	24	
		6.0	14	17	20	
t_w	Minimum Pulse Width, Reset (HC160 and HC161 only) (Figure 2)	2.0	80	100	120	
		4.5	16	20	24	
		6.0	14	17	20	
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0	1000	1000	1000	
		4.5	500	500	500	
		6.0	400	400	400	

NOTE: Information on typical parametric values can be found in Chapter 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTION DESCRIPTION

The HC160/161/162/163 are programmable 4-bit synchronous counters that feature parallel Load, synchronous or asynchronous Reset, a Carry Output for cascading, and count-enable controls.

The HC160 and HC162 are BCD counters with asynchronous Reset, and synchronous Reset, respectively. The HC161 and HC163 are binary counters with asynchronous Reset and synchronous Reset, respectively.

INPUTS

Clock (Pin 2) — The internal flip-flops toggle and the output count advances with the rising edge of the Clock input. In addition, control functions, such as resetting (HC162 and HC163) and loading occur with the rising edge of the Clock input.

Preset Data Inputs P0, P1, P2, P3 (Pins 3, 4, 5, 6) — These are the data inputs for programmable counting. Data on these pins may be synchronously loaded into the internal flip-flops and appear at the counter outputs. P0 (pin 3) is the least-significant bit and P3 (pin 6) is the most-significant bit.

OUTPUTS

Q0, Q1, Q2, Q3 (Pins 14, 13, 12, 11) — These are the counter outputs (BCD or binary). Q0 (pin 14) is the least-significant bit and Q3 (pin 11) is the most-significant bit.

Ripple Carry Out (Pin 15) — When the counter is in its maximum state (1001 for the BCD counters or 1111 for the binary counters), this output goes high, providing an external look-ahead carry pulse that may be used to enable successive cascaded counters. Ripple Carry Out remains high only during the maximum count state. The logic equations for this output are:

Ripple Carry Out = Enable T•Q0•$\overline{Q1}$•$\overline{Q2}$•Q3
for BCD counters HC160 and HC162

Ripple Carry Out = Enable T•Q0•Q1•Q2•Q3
for binary counters HC161 and HC163

CONTROL FUNCTIONS

Resetting — A low level on the Reset pin (pin 1) resets th internal flip-flops and sets the outputs (Q0 through Q3) to low level. The HC160 and HC161 reset asynchronously, an the HC162 and HC163 reset with the rising edge of the Cloc input (synchronous reset).

Loading — With the rising edge of the Clock, a low lev on Load (pin 9) loads the data from the Preset Data input pin (P0, P1, P2, P3) into the internal flip-flops and onto the outpu pins, Q0 through Q3. The count function is disabled as lon as Load is low.

Although the HC160 and HC162 are BCD counters, the may be programmed to any state. If they are loaded with state disallowed in BCD code, they will return to their norma count sequence within two clock pulses (see the Output Stat Diagram).

Count Enable/Disable — These devices have two count enable control pins: Enable P (pin 7) and Enable T (pin 10) The devices count when these two pins and the Load pin ar high. The logic equation is:

Count Enable = Enable P•Enable T•Load

The count is either enabled or disabled by the control inputs according to Table 1. In general, Enable P is a count-enable control; Enable T is both a count-enable and a Ripple-Carry Output control.

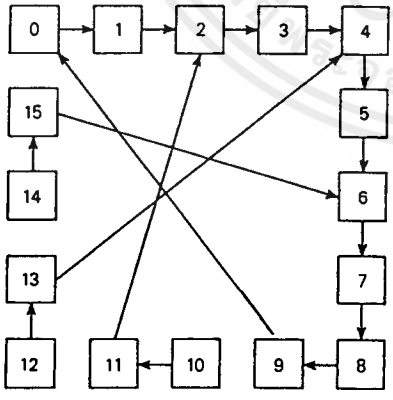
TABLE 1. COUNT ENABLE/DISABLE

Control Inputs			Result at Outputs	
Load	Enable P	Enable T	Q0-Q3	Ripple Carry Out
H	H	H	Count	High when Q0-Q3
L	H	H	No Count	are maximum*
X	L	H	No Count	High when Q0—Q3 are maximum*
X	X	L	No Count	L

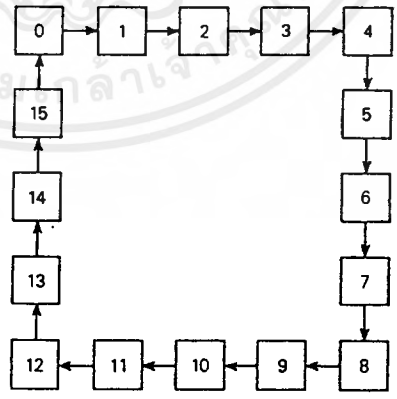
*Q0 through Q3 are maximum for the HC160 and HC162 when Q3 Q2 Q1 Q0 = 1001.
Q0 through Q3 are maximum for the HC161 and HC163 when Q3 Q2 Q1 Q0 = 1111.

OUTPUT STATE DIAGRAMS

HC160 and HC162
BCD Counters

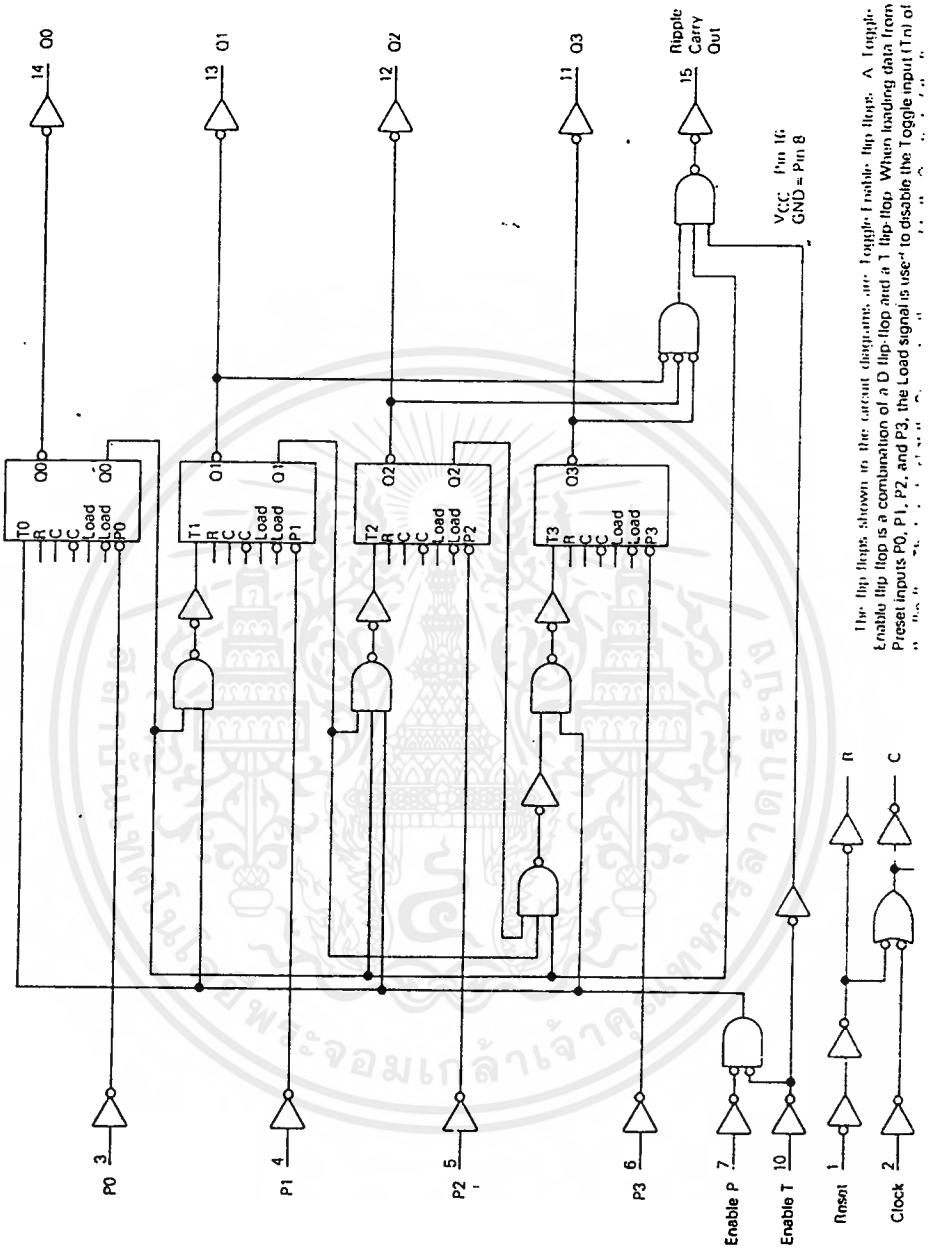


HC161 and HC163
Binary Counters



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54HC161 • MC74HC161
4-Bit Binary Counter with Asynchronous Reset

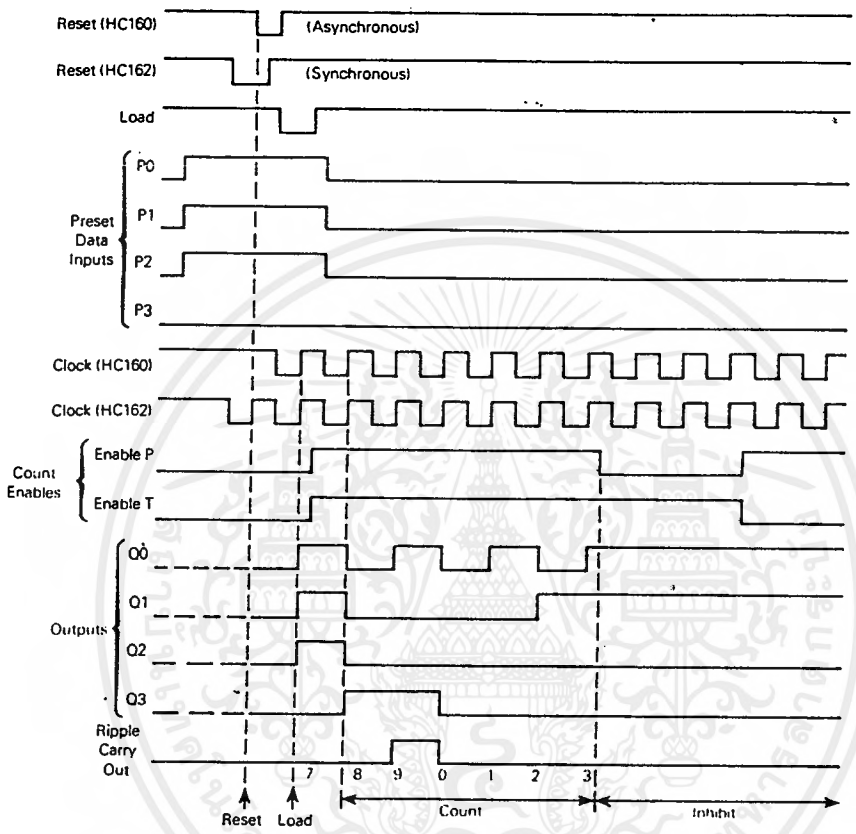


The flip flops shown in the circuit diagrams are Toggle Enable flip flops. A Toggle Enable flip flop is a combination of a D flip-flop and a T flip-flop. When loading data from Preset inputs P0, P1, P2, and P3, the Load signal is used to disable the Toggle input (T) of

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HC160, HC162 TIMING DIAGRAM

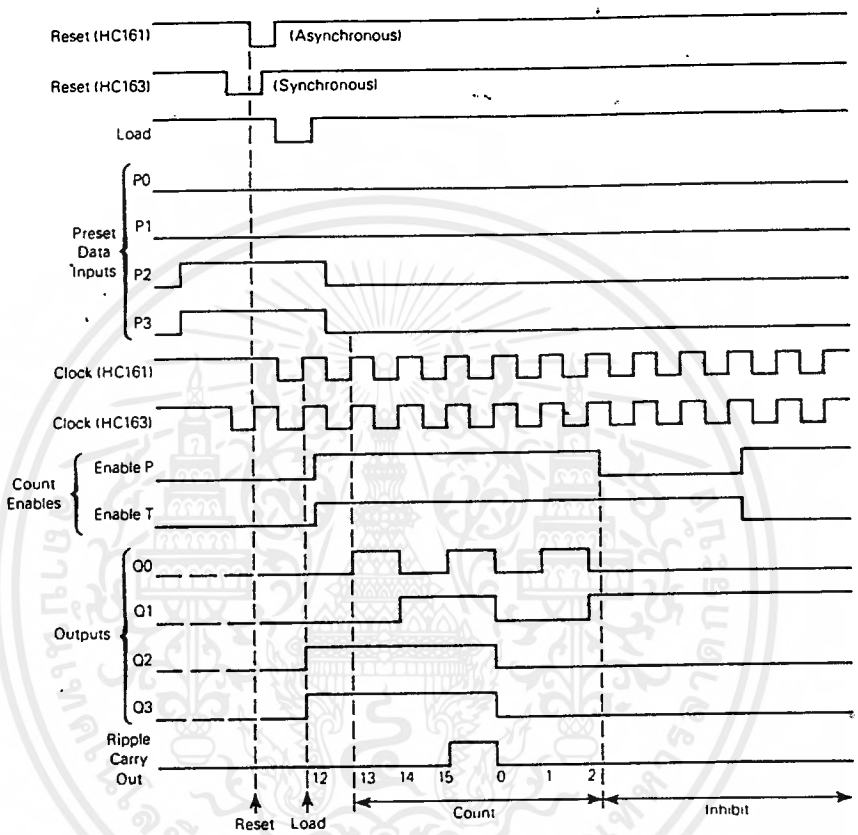
Sequence illustrated in waveforms:
1. Reset outputs to zero.
2. Preset to BCD seven.
3. Count to eight, nine, zero, one, two, and three
4. Inhibit.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

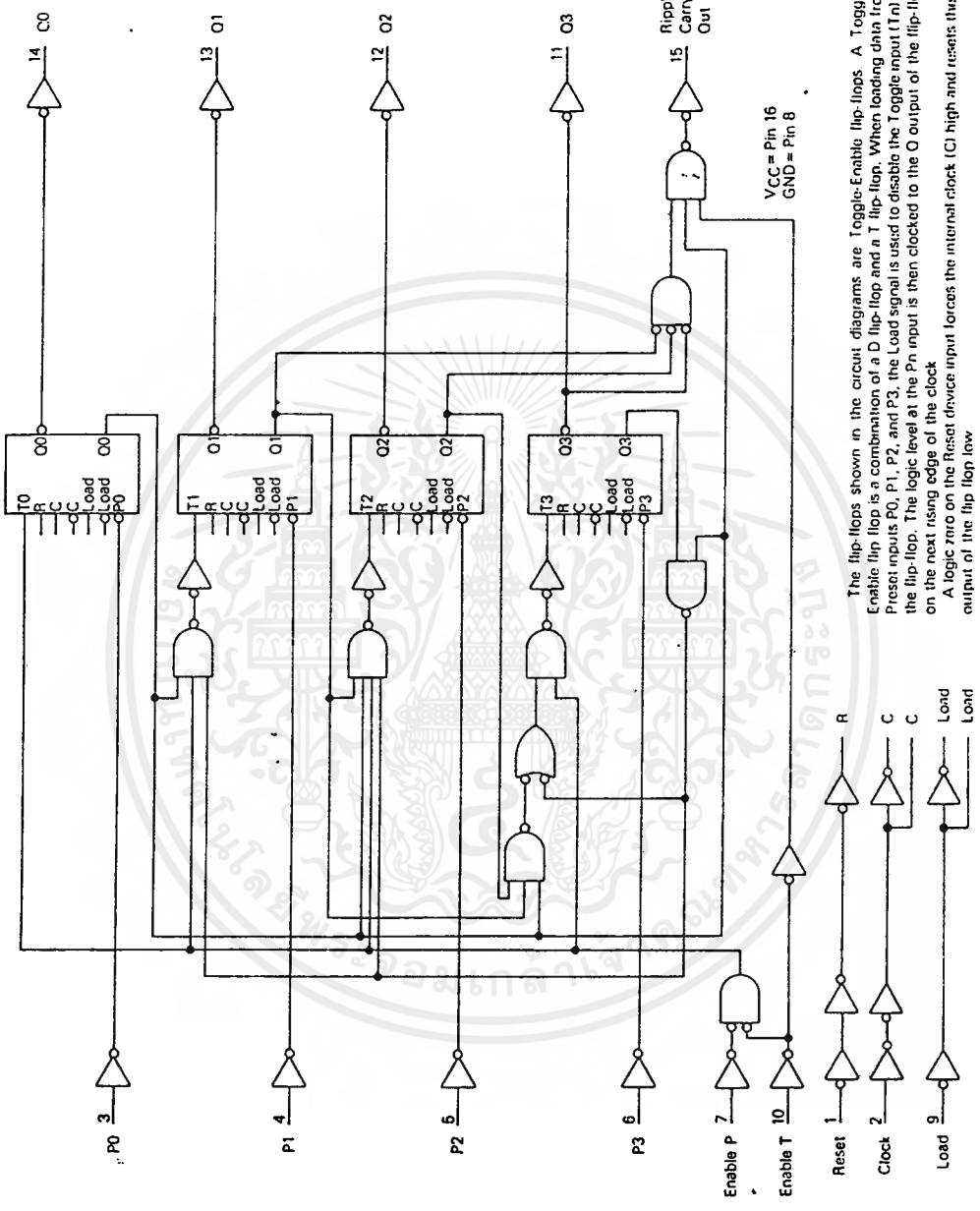
HC161, HC163 TIMING DIAGRAM

Sequence illustrated in waveforms.
1. Reset outputs to zero.
2. Preset to binary twelve.
3. Count to thirteen, fourteen, fifteen, zero, one, and two.
4. Inhibit.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54HC162 • MC74HC162
BCD Counter with Synchronous Reset

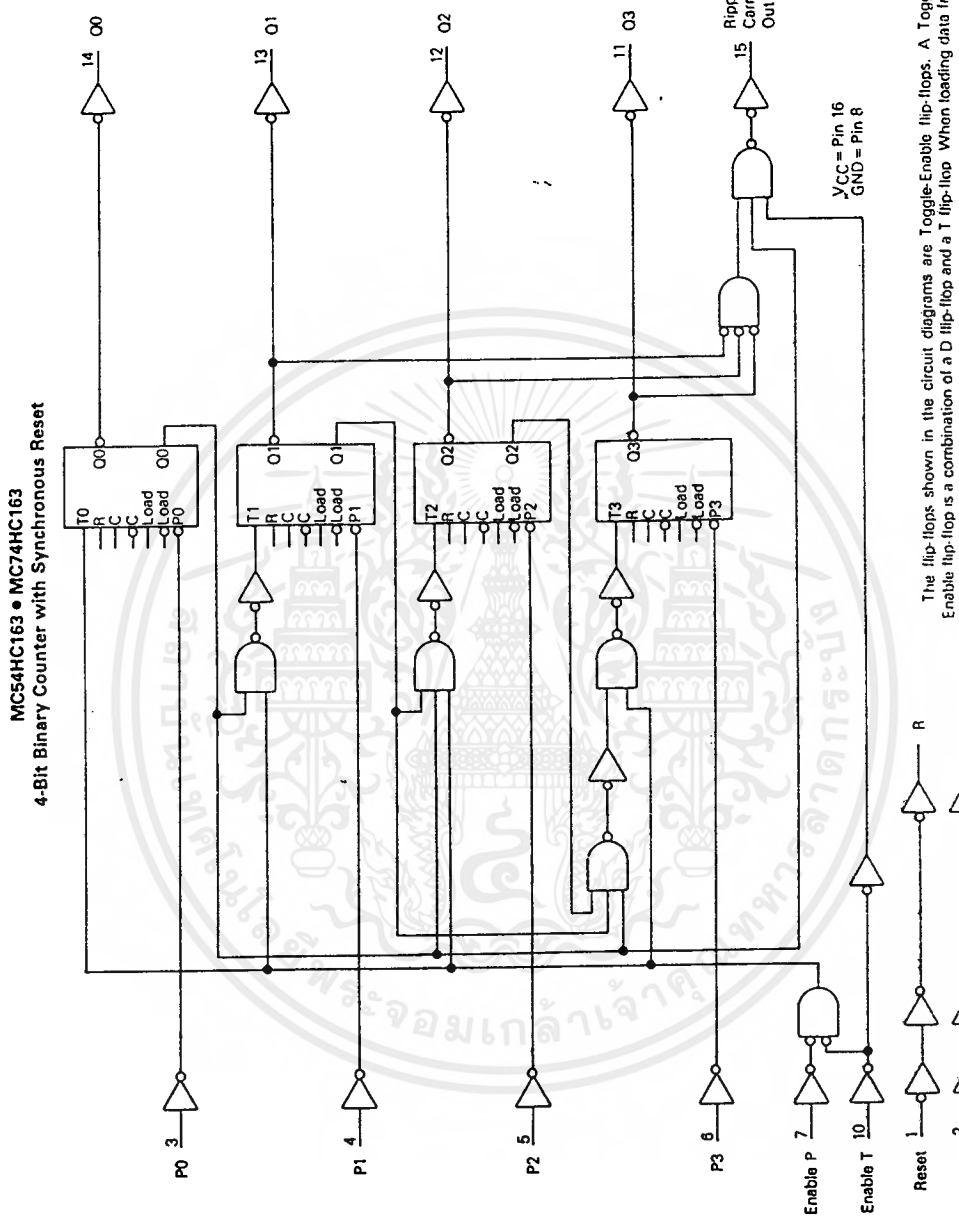


The flip-flops shown in the circuit diagrams are Toggle-Enable flip-flops. A Toggle-Enable flip flop is a combination of a D flip-flop and a T flip-flop. When loading data from Preset inputs P0, P1, P2, and P3, the Load signal is used to disable the Toggle input (Tn) of the flip-flop. The logic level at the Pn input is then clocked to the Q output of the flip-flop on the next rising edge of the clock.

A logic zero on the Reset device input forces the internal clock (C) high and resets the Q output of the flip flop low.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54HC163 • MC74HC163
4-Bit Binary Counter with Synchronous Reset

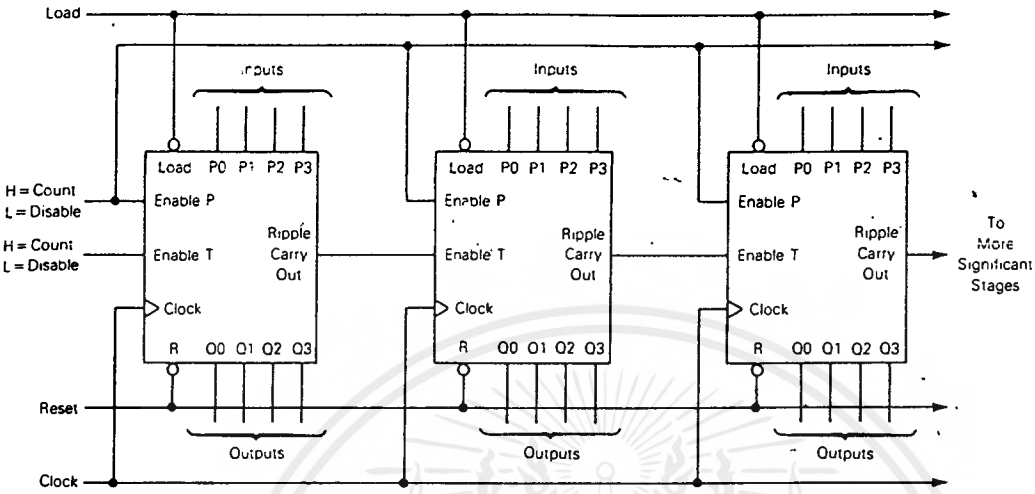


The flip-flops shown in the circuit diagrams are Toggle-Enable flip-flops. A Toggle-Enable flip-flop is a combination of a D flip-flop and a T flip-flop. When loading data from

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

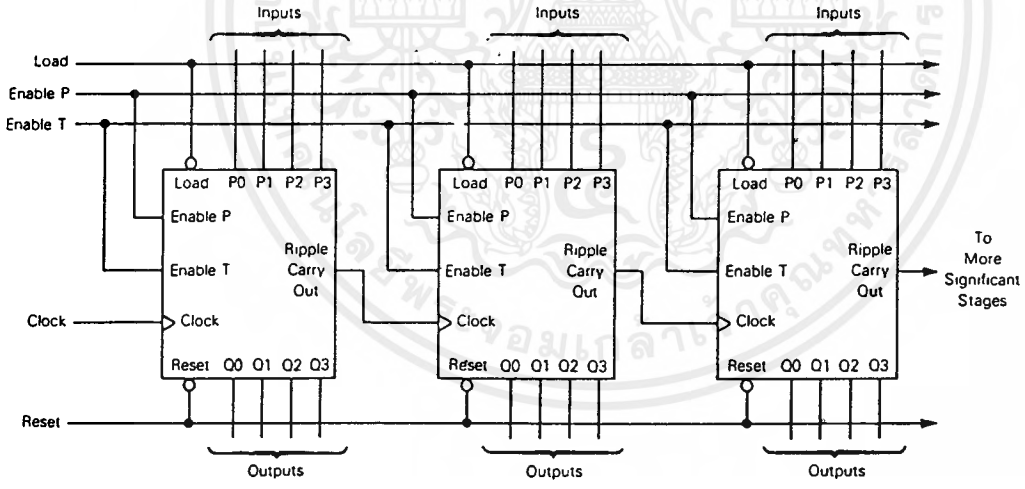
TYPICAL APPLICATIONS
CASCADING

N-Bit Synchronous Counters



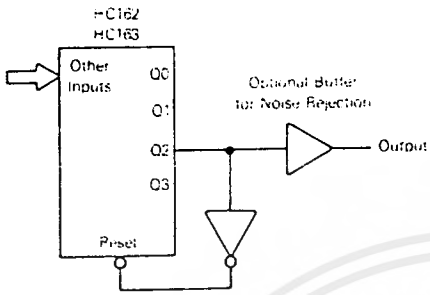
NOTE: When used in these cascaded configurations the clock f_{max} guaranteed limits may not apply. Actual performance will depend on number of stages. This limitation is due to set up times between Enable (Port) and Clock.

Nibble Ripple Counter

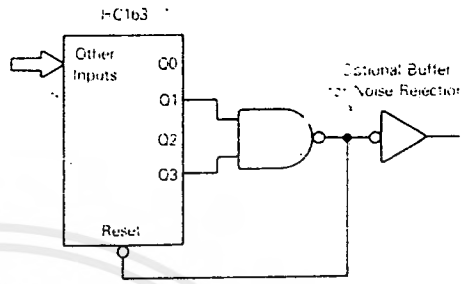


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS
VARYING THE MODULUS



Modulo-5 Counter



Modulo-11 Counter

The HC162 and HC163 facilitate designing counters of any modulus with minimal external logic. The output is glitch-free to the synchronous Reset

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC1496
MC1596

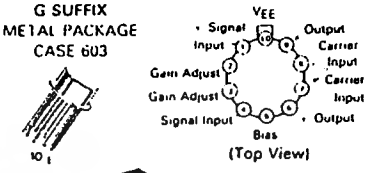
BALANCED MODULATOR/DEMODULATOR

BALANCED MODULATOR/ DEMODULATOR

. designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN 531 for additional design information.

- Excellent Carrier Suppression - 65 dB typ @ 0.5 MHz
  50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection - 85 dB typ

G SUFFIX
METAL PACKAGE
CASE 603

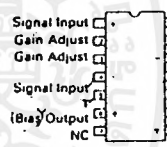


L SUFFIX
CERAMIC PACKAGE
CASE 632

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN ASSIGNMENTS



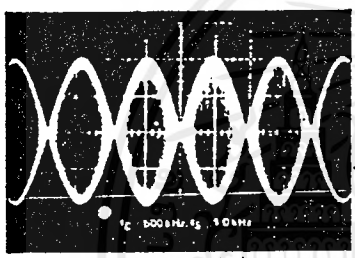


FIGURE 1
SUPPRESSED CARRIER
OUTPUT WAVEFORM

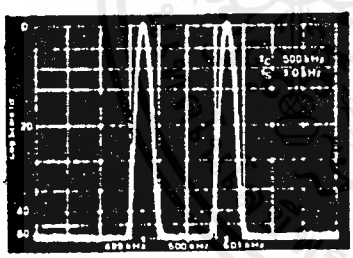


FIGURE 2 -
SUPPRESSED CARRIER
SPECTRUM

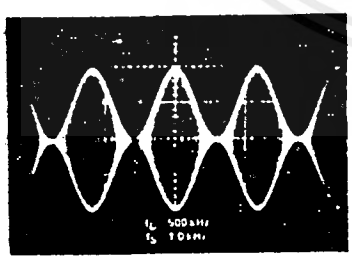
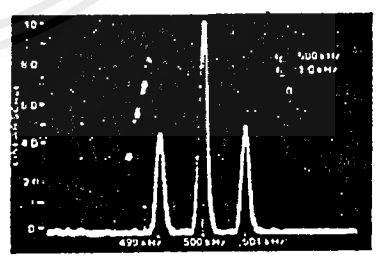


FIGURE 3
AMPLITUDE MODULATION
OUTPUT WAVEFORM

ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496G		Metal Can
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596G	-55°C to +125°C	Metal Can
MC1596L		Ceramic DIP

FIGURE 4 - AMPLITUDE-MODULATION SPECTRUM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage (V_6 – V_7, V_8 – V_1, V_9 – V_7, V_9 – V_8, V_7 – V_4, V_7 – V_1, V_8 – V_4, V_6 – V_8, V_7 – V_5, V_3 – V_5)	ΔV	30	Vdc
Differential Input Signal	V_7 – V_8 V_4 – V_1	±5.0 ±($5 + I_5R_e$)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 –55 to +125	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = –8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C, all input and output characteristics are single-ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough V_C = 60 mV(rms) sine wave and offset adjusted to zero, f_C = 1.0 kHz	5	1	V_{CFT}	—	40	—	—	40	—	μVrms
f_C = 10 MHz				—	140	—	—	140	—	
V_C = 300 mVp-p square wave: offset adjusted to zero, f_C = 1.0 kHz				—	0.04	0.2	—	0.04	0.4	mVrms
offset not adjusted, f_C = 1.0 kHz				—	20	100	—	20	200	
Carrier Suppression f_S = 10 kHz, 300 mV(rms) f_C = 500 kHz, 60 mV(rms) sine wave	5	2	V_{CS}	50	65	—	40	65	—	dB
f_C = 10 MHz, 60 mV(rms) sine wave				—	50	—	—	50	—	
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms) Carrier Input Port, V_C = 60 mV(rms) sine wave	8	8	BW_{3dB}	—	300	—	—	300	—	MHz
f_S = 1.0 kHz, 300 mV(rms) sine wave Signal Input Port, V_S = 300 mV(rms) sine wave				—	80	—	—	80	—	
$\|V_C\|$ = 0.5 Vdc										
Signal Gain V_S = 100 mV(rms), f = 1.0 kHz; $\|V_C\|$ = 0.5 Vdc	10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance	6	—	r_{ip}	—	200	—	—	200	—	kΩ
Parallel Input Capacitance			c_{ip}	—	2.0	—	—	2.0	—	pF
Single-Ended Output Impedance, f = 10 MHz Parallel Output Resistance	6	—	r_{op}	—	40	—	—	40	—	kΩ
Parallel Output Capacitance			c_{oo}	—	5.0	—	—	5.0	—	pF
Input Bias Current $I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_7 + I_8}{2}$	7	—	I_{bS} I_{bC}	— —	12 12	25 25	— —	12 12	30 30	μA
Input Offset Current $I_{ioS} = I_1 - I_4$; $I_{ioC} = I_7 - I_8$	7	—	$\|I_{ioS}\|$ $\|I_{ioC}\|$	— —	0.7 0.7	5.0 5.0	— —	0.7 0.7	7.0 7.0	μA
Average Temperature Coefficient of Input Offset Current (T_A = –55°C to +125°C)	7	—	$\|TC_{Iio}\|$	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_6 - I_9$)	7	—	$\|I_{oo}\|$	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = –55°C to +125°C)	7	—	$\|TC_{Ioo}\|$	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vpp
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_C\|$ = 0.5 Vdc	9	—	ACM	—	–85	—	—	–85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V_{out}	—	8.0	—	—	8.0	—	Vpp
Differential Output Voltage Swing Capability	10	—	V_{out}	—	8.0	—	—	8.0	—	Vpp
Power Supply Current $I_6 + I_9$	7	6	I_{CC}	—	2.0	3.0	—	2.0	4.0	mA
I_{10}			I_{EE}	—	3.0	4.0	—	3.0	5.0	
DC Power Dissipation	7	5	P_D	—	33	—	—	33	—	mW

* Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION *

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair — or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_O}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5.

$$V_S \cdot I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming V_9 V_6, I_5 I_6 I_9 and ignoring base current, P_D = 2 I_5 (V_6 V_{10}) + I_5 (V_5 V_{10}) where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_9$$

$$I_B \ll I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V \quad \phi}{I_5} \quad 500\ \Omega$$

where: R_5 is the resistor between pin 5 and ground

ϕ = 0.75 V at T_A = +25°C

The MC1596 has been characterized for the condition I_5 1.0 mA, and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_9 = V^+ - I_5 R_L$$

Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

30 Vdc $\geq$ [(V_6, V_9) $\cdot$ (V_7, V_8)] $\geq$ 2 Vdc

30 Vdc $\cdot$ [(V_7, V_8) (V_1, V_4)] $\geq$ 2.7 Vdc

30 Vdc $\geq$ [(V_1, V_4) $-$ (V_5)] $\geq$ 2.7 Vdc

The foregoing conditions are based on the following approximations:

$$V_6 = V_9,\ V_7 = V_8,\ V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y21C = \left| \frac{i_o \text{ (each sideband)}}{v_s \text{ (signal)}} \right| V_o = 0$$

Signal transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y21S \quad \left| \frac{i_o \text{ (signal)}}{v_s \text{ (signal)}} \right| V_c \cdot 0.5 \text{ Vdc}, V_o \cdot 0$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Output Signal, V_o

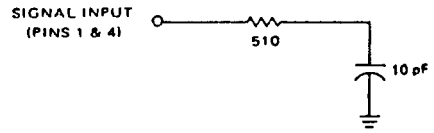
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 kOhm resistor in series with the inputs, pins 1 and 4. In the case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS*

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION

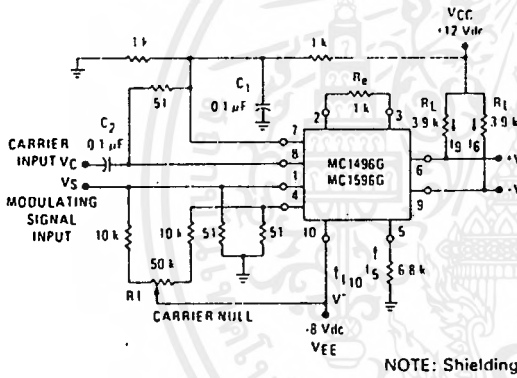
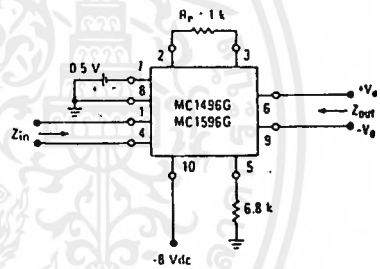


FIGURE 6 – INPUT-OUTPUT IMPEDANCE



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 7 – BIAS AND OFFSET CURRENTS

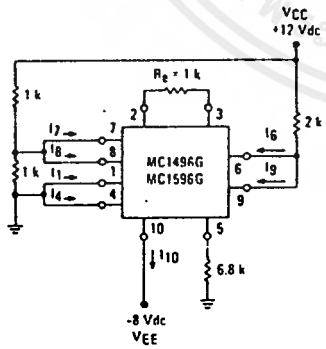
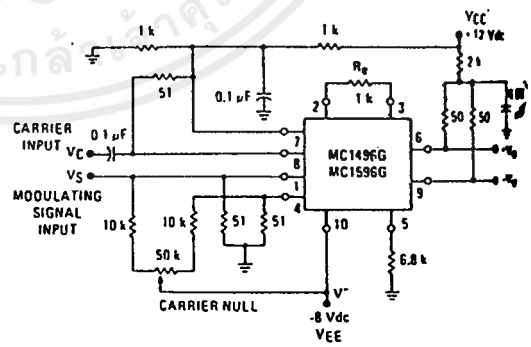


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 9 – COMMON MODE GAIN

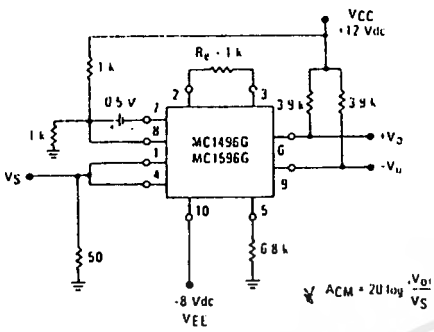
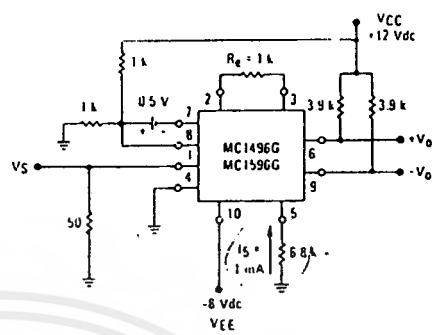


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

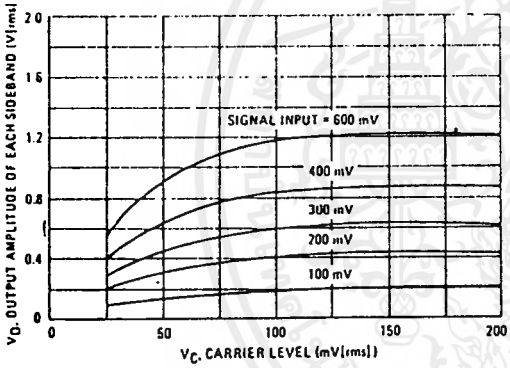


FIGURE 12 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

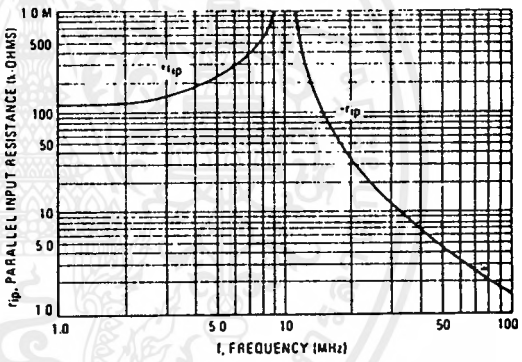


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

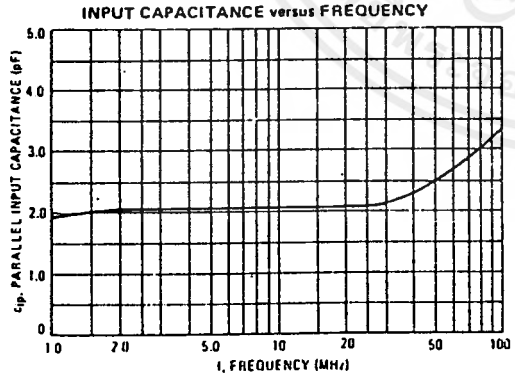
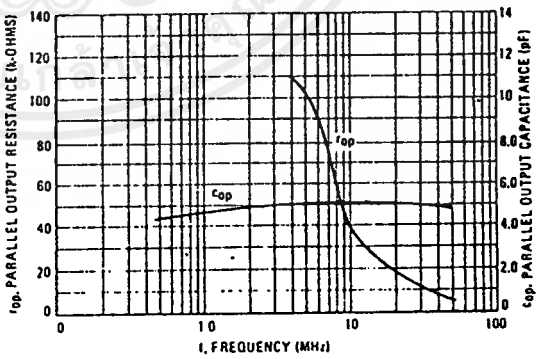


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

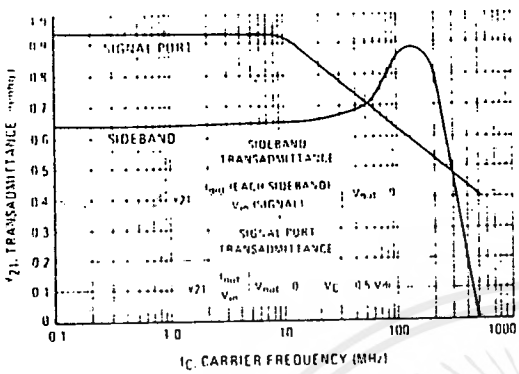


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

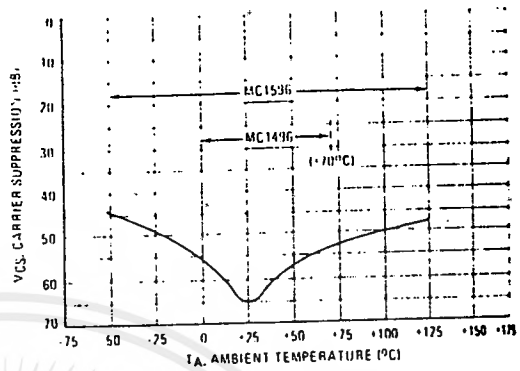


FIGURE 17 – SIGNAL PORT FREQUENCY RESPONSE

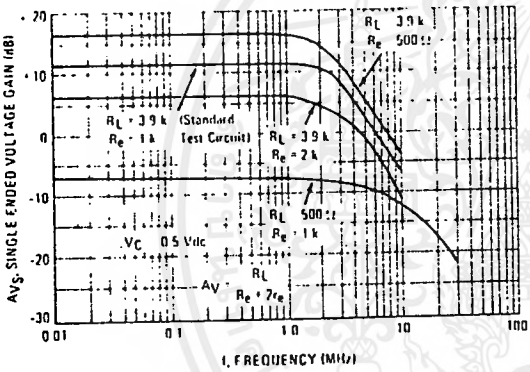


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

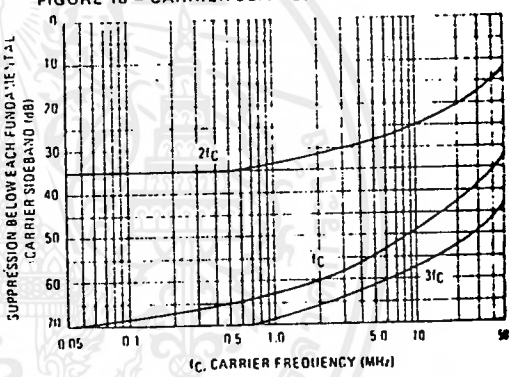


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

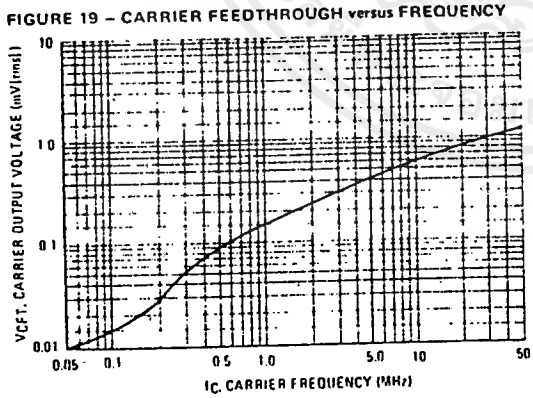
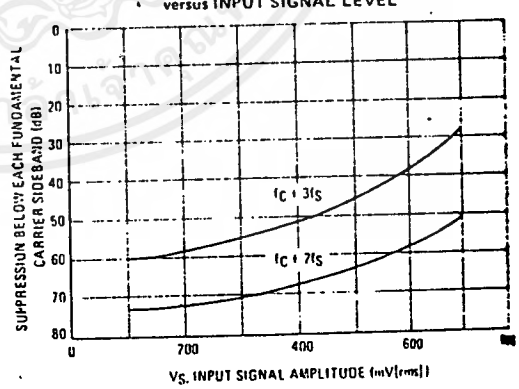


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

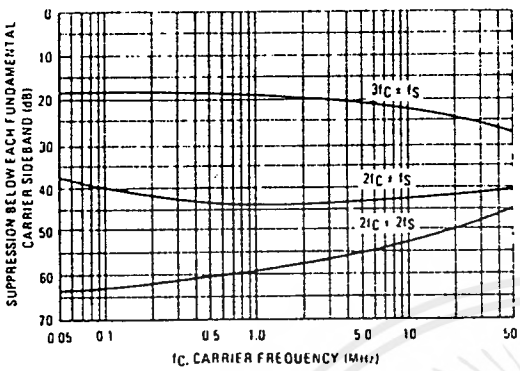
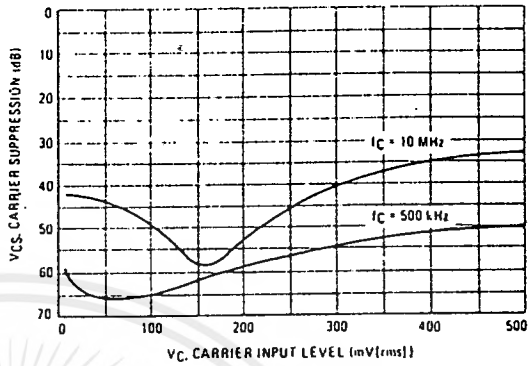


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

FIGURE 23 – CIRCUIT SCHEMATIC*

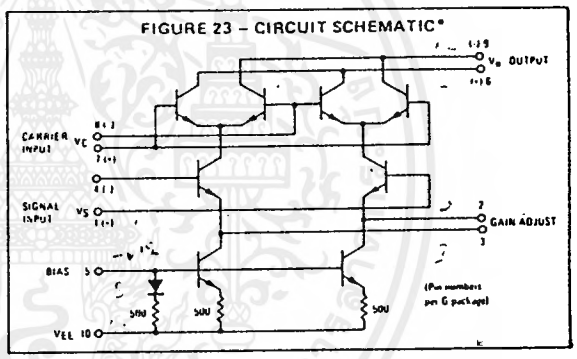
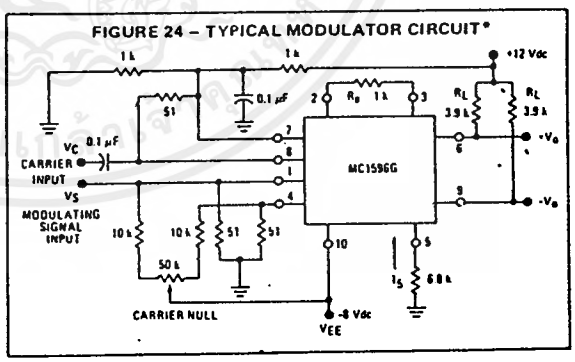


FIGURE 24 – TYPICAL MODULATOR CIRCUIT*



*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATIONS INFORMATION (continued)

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression.

$$V \approx (I_5)(R_E) \text{ volts peak}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637\, R_L}{R_E + 2r_e}$	$f_C \pm f_M$, $3f_C \pm f_M$, $5f_C \pm f_M$, . . .

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions.

1) Low-level dc
2) High-level dc
3) Low-level ac
4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:
1. Low-level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C:

$$r_e \approx \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$

7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.

$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on pins 7 and 8 should be increased to 1.0 μF. Also, the output filter at pin 9 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION (continued)

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 26 – BALANCED MODULATOR (+12 Vdc SINGLE SUPPLY)

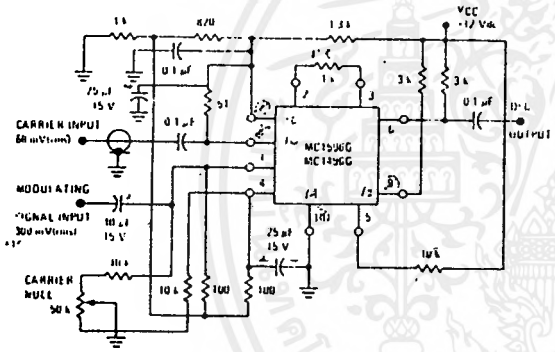


FIGURE 27 – BALANCED MODULATOR-DEMODULATOR

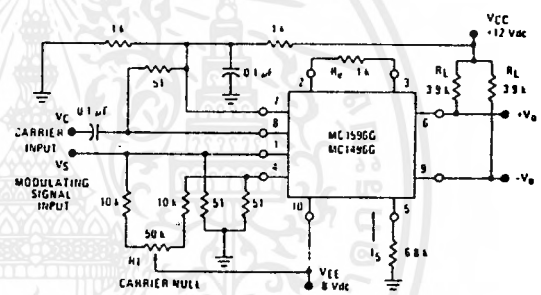


FIGURE 28 – AM MODULATOR CIRCUIT

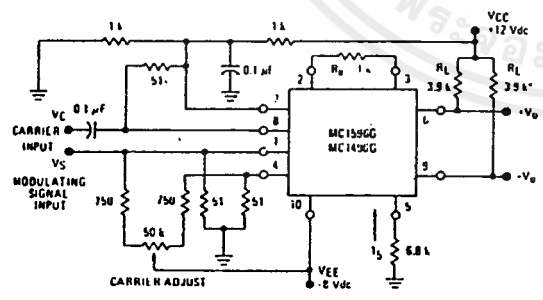
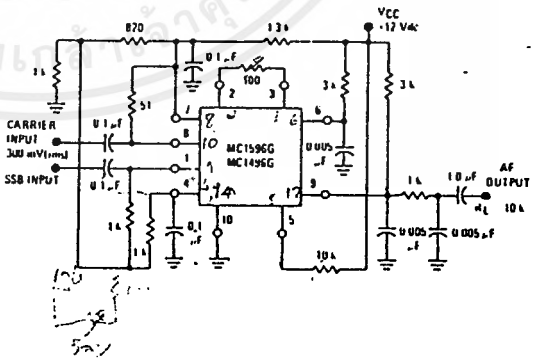


FIGURE 29 – PRODUCT DETECTOR (+12 Vdc SINGLE SUPPLY)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS (continued)

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 30 - DOUBLY BALANCED MIXER (BROADBAND INPUTS, 9.0 MHz TUNED OUTPUT)

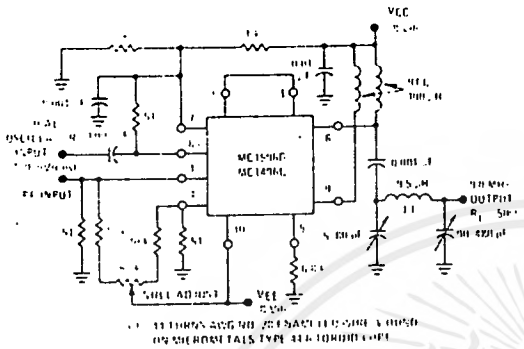


FIGURE 31 - LOW FREQUENCY DOUBLER

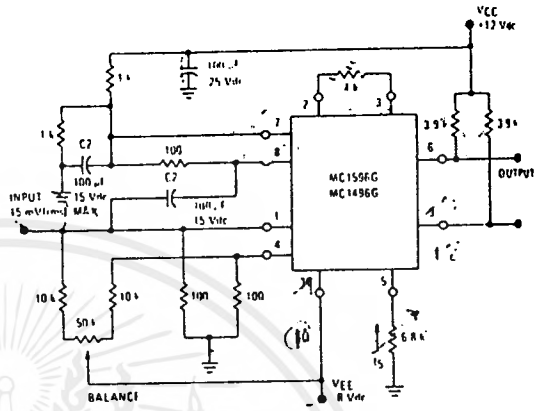
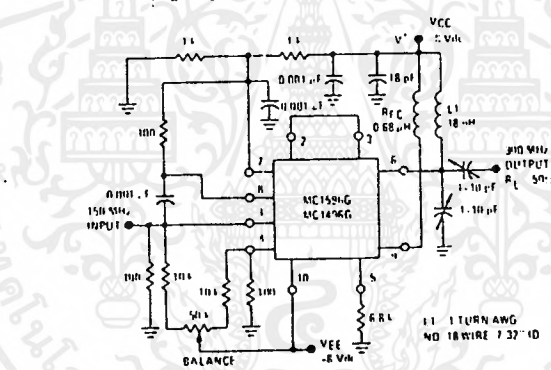
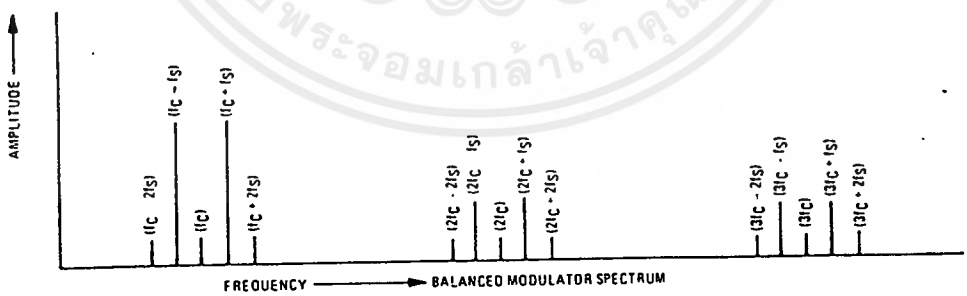


FIGURE 32 - 150 to 300 MHz DOUBLER



DEFINITIONS



f_C CARRIER FUNDAMENTAL
f_S MODULATING SIGNAL
$f_C \pm f_S$ FUNDAMENTAL CARRIER SIDEBANDS
$f_C \pm nf_S$ FUNDAMENTAL CARRIER SIDEBAND HARMONICS
nf_C CARRIER HARMONICS
$nf_C \pm nf_S$ CARRIER HARMONIC SIDEBANDS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้