

ปริญญานิพนธ์

เครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้ว

TWO-PORT NETWORK TRANSFER FUNCTION FINDER



ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาหลักสูตรศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม

ภาควิชาวิศวกรรมวัดคุมทางอุตสาหกรรม คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง เครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้ว

TWO-PORT NETWORK TRANSFER FUNCTION FINDER

ผู้จัดทำ

- | | |
|-----------------|------------|
| 1. นายนิมิตร | กรนุ้ม |
| 2. นายประสิทธิ์ | พรหมมาเกิด |
| 3. นายสมบัติ | สมพงษ์ |

อาจารย์ที่ปรึกษา

ลงนาม
(อาจารย์อำพล ทองระอา)

ลงนาม
(อาจารย์สุรพงษ์ สิริพงศ์ดี)

ลงนาม
(อาจารย์ไพฑูรย์ พวงวงศ์ตระกูล)

หัวหน้าภาควิชาวิศวกรรม

ลงนาม
(ผศ.ดร. วีระพล เทพหัสดิน ณ อยุธยา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง เครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้ว

TWO-PORT NETWORK TRANSFER FUNCTION FINDER

วัตถุประสงค์ของปริญญานิพนธ์

1. เพื่อศึกษาทฤษฎี และหลักการเบื้องต้น ของระบบการประมวลผลสัญญาณเชิงเลข
2. เพื่อศึกษา ออกแบบเครื่องวิเคราะห์ผลตอบสนองทางความถี่ โดยใช้ TMS320C50
3. เพื่อศึกษาการเขียนโปรแกรมวิชวลเบสิก 5.0 (Visual Basic 5.0) ได้
4. เพื่อสร้าง เครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้ว
5. เพื่อนำเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้วไปวิเคราะห์ผลตอบสนองทางความถี่ได้
6. เพื่อนำผลตอบสนองทางความถี่ไปแสดงผลที่จอแสดงผลได้
7. เพื่อนำผลตอบสนองทางความถี่ไปใช้ร่วมกับ ออสซิลอสโคปได้

ประโยชน์ที่คาดว่าจะได้รับ

1. สามารถนำระบบประมวลผลสัญญาณเชิงเลขมาประยุกต์ใช้งานได้
2. สามารถออกแบบเครื่องวิเคราะห์ผลตอบสนองทางความถี่ โดยใช้ TMS320C50
3. สามารถสร้าง เครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้ว
4. สามารถเขียนโปรแกรมวิชวลเบสิก 5.0 (Visual Basic 5.0) ได้
5. สามารถนำเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้วไปวิเคราะห์ผลตอบสนองทางความถี่ได้
6. สามารถนำผลตอบสนองทางความถี่ไปแสดงผลที่จอแสดงผลได้
7. สามารถนำผลตอบสนองทางความถี่ไปใช้ร่วมกับ ออสซิลอสโคปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I

เครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้ว

นายนิมิตร

กรนุ่ม

นายประสิทธิ์

พรหมมาเกิด

นายสมบัติ

สมพงษ์

อาจารย์ที่ปรึกษา

อาจารย์อำพล

ทองระอา

อาจารย์สุรพงษ์

สิริพงศ์ดี

อาจารย์ไพบุลย์

พวงวงศ์ตระกูล

ปีการศึกษา 2541

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ นำเสนอการออกแบบและการสร้าง เครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้ว โดยใช้ชิปประมวลผลสัญญาณเชิงเลขเบอร์ TMS320C50 (Digital Signal Processing : DSP) เครื่องนี้สามารถวิเคราะห์แถบความถี่ได้ 4 ย่าน (10 Hz - 100 Hz , 100 Hz - 1 kHz , 1 kHz - 10 kHz และ 10KHz - 100KHz) และแสดงผลสัญญาณที่ผ่านโครงข่ายแบบสองขั้วออกทางหน้าจอคอมพิวเตอร์ โดยใช้โปรแกรม Visual Basic Version 5.0

II

TWO-PORT NETWORK TRANSFER FUNCTION FINDER

MR. NIMIT KORNUM

MR. PRASIT PROMMAKERD

MR. SOMBUT SOMPONG

ADVISORS

MR. AMPHON THONGRA-AR

MR. SURAPONG SIRIPONGDEE

MR. PAIBOON PONGWONGTRAGULL

1998

ABSTRACT

This thesis presents a designing and creation of Two-Port Network Transfer Function Finder. Using TMS320C50 (Digital signal Processor :DSP) chip. This Two - Port Network Transfer Function Finder can analyze frequency four ranges (10 Hz - 100 Hz , 100 Hz - 1 kHz , 1 kHz - 10 kHz และ 10KHz - 100KHz) and show the analyzable signal on computer monitor by Visual Basic Version 5.0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

III

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี เนื่องจากความช่วยเหลืออันดีจากอาจารย์ที่ปรึกษาทุก ๆ ท่านที่ได้สละเวลาให้คำปรึกษา ในการดำเนินงาน และ ยังได้ให้คำแนะนำในการแก้ปัญหาด้วยดีเสมอมา รวมทั้งอาจารย์ประจำภาควิชาครุศาสตร์วิสุกรรมทุก ๆ ท่านที่ได้อำนวยความสะดวกในการติดต่อประสานงาน การใช้สถานที่ เครื่องมือ และวัสดุอุปกรณ์ที่จำเป็นในการจัดทำปริญญานิพนธ์

คณะผู้จัดทำ ใคร่ขอขอบคุณทุกท่าน ที่มีส่วนช่วยให้ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี ขอขอบพระคุณ บิดามารดา ผู้ให้การสนับสนุนด้านการศึกษามาโดยตลอด



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IV
สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VII
สารบัญภาพ	VIII
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปริญญานิพนธ์	1
1.2 ขีดความสามารถของโครงการ	2
1.3 เนื้อหาโดยสังเขปของปริญญานิพนธ์	2
บทที่ 2 ทฤษฎี และหลักการ	4
วิธีการตอบสนองความถี่ (FREQUENCY RESPONSE METHODS)	4
2.1 คำจำกัดความ	4
2.2 โปดไดอะแกรม	8
2.43 หลักการพื้นฐานของเครื่องมือวัดและการทดสอบ	11
2.4.1 ความผิดพลาดของการวัด	11
2.4.2 การเลือกช่วงวัดที่เหมาะสม	12
2.4.3 อุปกรณ์วัดแบบดิจิตอล	12
2.4.4 ค่าที่จะวัดและอุปกรณ์การวัด	13
2.4 ทฤษฎีการแปลงสัญญาณ (Data Acquisition and Conversion)	14
2.5.1 ทฤษฎีของการสุ่มข้อมูล	15
2.5.2 ทฤษฎีการควันไทซ์ (Quantizing Theorem)	16
2.5.3 วงจรแซมปลิงแอนด์โฮลด์ (Sampling And Hole)	18
2.5 การเปลี่ยนสัญญาณแอนะล็อกให้เป็นสัญญาณดิจิตอล (A/D Converter)	18

สารบัญ (ต่อ)

เรื่อง	หน้า
2.6.1 แบบใช้วงจรเปรียบเทียบขนานหรือแบบแฟลช	19
2.6.2 วงจรADCที่ใช้ในการอินทีเกรต	19
2.6.3 การเปลี่ยนสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอลแบบวงจรนับ และวงจรDACประกอบกัน	20
2.6 การเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณแอนะล็อก (D/A Converter)	21
2.6.1 แบ่งตามน้ำหนักที่อินพุท (Binary Weighted Resistor Ladder)	22
2.6.2 R-2R แลตเดอร์	22
2.7 หลักการของเครื่องวิเคราะห์สัญญาณ	23
2.7.1 เครื่องวิเคราะห์ความผิดเพี้ยน (Distortion analyzer)	23
2.7.2 เครื่องวิเคราะห์คลื่นสัญญาณ (Wave analyzer)	24
2.7.3 เครื่องวิเคราะห์สเปกตรัม (Spectrum analyzer)	26
2.7.4 เครื่องวิเคราะห์ทางฟูรีเยร์ (Fourier analyzer)	27
2.8 ชิป DSP เบอร์ TMS320C50	28
2.8.1 ลักษณะโครงสร้างของ TMS320C50	28
2.8.2 สถาปัตยกรรมของ TMS320C50 ชิป DSP โดยทั่วไป	29
2.8.3 ขาของ TMS320C50 DSP	30
2.8.4 การควบคุมการนำข้อมูลเข้าและส่งออก	32
2.8.5 การจัดหน่วยความจำ	32
บทที่ 3 การออกแบบ การสร้าง และการทำงาน	34
3.1 การออกแบบวงจร	34
3.1.1 แผนผังของเครื่องหาผลตอบสนองทางความถี่ของโครงข่าย แบบ 2 ขั้ว	34
3.1.2 วงจรผลิตความถี่	35
3.1.3 การทำงานของ XR-2206	36
3.1.4 การสวீปความถี่ (Frequency Sweep)	38
3.1.5 เอาต์พุตแอมพลิจูด (Output Amplitude)	39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VI

สารบัญ (ต่อ)

เรื่อง	หน้า
3.1.6 วงจรกำเนิดความถี่	39
3.1.7 วงจรเลือกความถี่	40
3.1.8 วงจรบัฟเฟอร์	42
3.1.8 วงจรแหล่งจ่ายกำลังไฟฟ้า	43
3.2 การออกแบบโปรแกรม	
3.2.1 แผนผังโปรแกรมของ VISUAL BASIC 5.0	44
บทที่ 4 การทดลอง และผลการทดลอง	46
4.1 การทดสอบวงจร	46
4.1.1 การทดลองวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน (VCO)	46
4.1.2 การทดลองโปรแกรมแสดงผล	50
บทที่ 5 บทสรุป ปัญหา แนวทางการแก้ไข และพัฒนา	51
5.1 บทสรุป	51
5.2 ปัญหา และแนวทางการแก้ไข	51
5.3 แนวทางพัฒนาโครงการ	52
ภาคผนวก ก ส่วนประกอบของเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้ว	53
ภาคผนวก ข วงจรสมบูรณั์, และการวางอุปกรณ์บนแผ่น วงจรพิมพ์	58
ภาคผนวก ค รายการอุปกรณ์	66
ภาคผนวก ง โปรแกรมควบคุมการทำงาน	69
ภาคผนวก จ คู่มือการใช้งาน	104
ภาคผนวก ฉ ข้อมูลทางเทคนิค	110
ประวัติผู้แต่ง	
บรรณานุกรม	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VII

สารบัญตาราง

ตาราง	หน้า
ตารางที่ 3.1 การดีโค้ดแฮดพุทของ ไอซีเบอร์ 74LS138N	42
ตารางที่ 3.2 การดีโค้ดเลือกย่านความถี่	43



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VIII

สารบัญภาพ

รูปภาพ	หน้า
รูปที่ 2.1 ระบบเชิงเส้น	5
รูปที่ 2.2 สัญญาณไซน์ (Sinusoidal) เข้าและออก	7
รูปที่ 2.3 ระบบที่มีการประมวลผลข้อมูลทางดิจิทัล	14
รูปที่ 2.4 การสุ่มตัวอย่างข้อมูล	16
รูปที่ 2.5 ทราบดีเฟิร์ฟกซ์ชันของการคว้น ไตซ์ 4 บิต	17
รูปที่ 2.6 วงจรพื้นฐานของการแซมปลิงแอนคโฮลด์	18
รูปที่ 2.7 วงจรDACแบบวงจรมับเตียวที่สร้างขึ้นโดยวงจรมับขึ้น และวงจรรDAC	21
รูปที่ 2.8 DAC แบบ Binary Weighted Resistor Ladder	22
รูปที่ 2.9 DAC แบบ R-2R แลคเคอร์	23
รูปที่ 2.10 แผนผังการทำงานเบื่องต้นของเครื่องวัดความผิดเพี้ยน	24
รูปที่ 2.11 วงจรพื้นฐานของเครื่องวิเคราะห์คลื่นสัญญาณ	25
รูปที่ 2.12 การอ่านค่าจากเครื่องวิเคราะห์คลื่นสัญญาณ	25
รูปที่ 2.13 แผนผังการทำงานของเครื่องวิเคราะห์สเปกตรัม	26
รูปที่ 2.14 แผนผังการทำงานของเครื่องวิเคราะห์ทางความถี่	28
รูปที่ 2.15 ลักษณะภายนอกของ TMS320C50	31
รูปที่ 2.16 ลักษณะการจัดพื้นที่หน่วยความจำของ TMS320C50	33
รูปที่ 3.1 แผนผังการทำงานของเครื่องหาผลตอบสนองทางความถี่ของโครงข่ายแบบ 2 ขั้ว	34
รูปที่ 3.2 ลักษณะการจัดขาและบล็อกไดอะแกรมของ XR-2206	35
รูปที่ 3.3 บล็อกไดอะแกรมการทำงานและขาต่างๆ ของ XR 2206	36
รูปที่ 3.4 การต่อวงจรสำหรับการสวัดความถี่	38
รูปที่ 3.5 วงจรกำเนิดความถี่	39
รูปที่ 3.6 วงจรการเลือกย่านความถี่ของวงจร VCO	41
รูปที่ 3.7 วงจรบัฟเฟอร์	42
รูปที่ 3.8 วงจรแหล่งจ่ายกำลังไฟฟ้า	43
รูปที่ 3.9 แผนผังการทำงานของโปรแกรม	44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IX

สารบัญภาพ

รูปภาพ	หน้า
รูปที่ 4.1 สัญญาณเอาต์พุตจากวงจรผลิตความถี่มีขนาด 4Vp-p	46
รูปที่ 4.2 สัญญาณ เอาต์พุตจากวงจรผลิตความถี่มีขนาด 20 Hz	47
รูปที่ 4.3 ย่านทำงานตั้งแต่ 100 Hz–1 kHz เมื่อ $A_0 = 0$, $A_1 = 1$	47
รูปที่ 4.4 สัญญาณเอาต์พุตจากวงจรผลิตความถี่มีขนาด 500 Hz	48
รูปที่ 4.5 ย่านทำงานตั้งแต่ 1 kHz – 10 kHz เมื่อ $A_0 = 1$, $A_1 = 0$	48
รูปที่ 4.6 สัญญาณเอาต์พุตจากวงจรผลิตความถี่มีขนาดความถี่ที่ 3 kHz	49
รูปที่ 4.7 ย่านทำงานตั้งแต่ 10 kHz–100 kHz เมื่อ $A_0 = 1$, $A_1 = 1$	49
รูปที่ 4.8 สัญญาณเอาต์พุตจากวงจรผลิตความถี่มีขนาดความถี่ที่ 20 kHz	50
รูปที่ 4.9 การแสดงผลของหน้าจอหลัก	50

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปริญญานิพนธ์

การวิเคราะห์โครงข่าย (Network Analysis) เป็นการวิเคราะห์ของระบบซึ่งระบบแต่ละระบบจะมีคุณสมบัติแตกต่างกันในการวิเคราะห์ผลของระบบ หรือวงจรสามารถกระทำได้หลายรูปแบบแต่ที่นิยมวิเคราะห์จะใช้วิธีวิเคราะห์ผลตอบสนองทางความถี่ (Frequency Response) หรือทำการวิเคราะห์ ความแตกต่างระหว่างสัญญาณที่ป้อนเข้าวงจรที่จะทดสอบและสัญญาณภายหลังการทดสอบเพื่อหาอัตราขยาย วิเคราะห์ผลของเฟสเลื่อน (Phase Shift) ซึ่งจะแสดงผลในรูปของ Bode Plot Polar Plot และ Log Magnitude versus Phase Plot

จากคุณสมบัติของ Network Analysis นี้เราสามารถนำไปใช้ในการวิเคราะห์หาคุณสมบัติต่าง ๆ ของระบบที่เราต้องการวิเคราะห์ได้ เช่น ในวงจรกรองความถี่ (Frequency Filter) เราสามารถใช้หา Bandwidth Transition Band Stop Band ของระบบได้

ในยุคเริ่มแรกของระบบเครื่องมือวัดทดสอบนั้นจะเป็นระบบที่มีการแยกชุดทดสอบออกเป็น ส่วน ๆ ซึ่งต้องใช้เครื่องมือและอุปกรณ์ต่าง ๆ เป็นจำนวนมาก เช่น มัลติมิเตอร์ (Multimeter) เครื่องกำเนิดสัญญาณ (Signal Generator) ออสซิลโลสโคป (Oscilloscope) เครื่องวิเคราะห์สัญญาณ (Spectrum analyzer) เป็นต้น ซึ่งจะเป็นระบบที่ยุ่งยาก และซับซ้อนเป็นอุปสรรคในการจัดหาเครื่องมือวัดทดสอบที่มีพื้นฐานมาจากเครื่องคอมพิวเตอร์ส่วนบุคคลหรือพีซี (Personal Computer) เพราะให้ความสะดวกรวดเร็วกับผู้ใช้เนื่องจากการได้รับประโยชน์จากการที่ใช้คอมพิวเตอร์ช่วยงาน โดยไม่ก่อให้เกิดความสูญเสียค่าใช้จ่ายในการพัฒนาทางด้านโปรแกรม และไม่เสียเวลามากนัก ซึ่งเครื่องมือเหล่านี้ สามารถลดค่าใช้จ่ายในด้านแรงงานสามารถเพิ่มผลผลิต และสามารถลดความผิดพลาดในการอ่านและการวัดที่เกิดขึ้นเนื่องจากความผิดพลาดของผู้ใช้ได้โดยเครื่องมือวัดทดสอบนี้จะใช้ประโยชน์จากความสามารถของซอฟต์แวร์ ทำให้สามารถทำหน้าที่ต่าง ๆ ได้หลากหลาย

โดยทั่วไปแล้วอุปกรณ์ที่ใช้กับเครื่องคอมพิวเตอร์ ที่ถูกออกแบบสำหรับการใช้งานจะเป็นสองลักษณะ คือ ใช้แผ่นการ์ดเสียบลงที่วางแผ่นขนเมนบอร์ดของเครื่องคอมพิวเตอร์ กับใช้สายต่อจากพอร์ตส่งสัญญาณข้อมูลจากนั้นอุปกรณ์ภายนอกที่ต่ออยู่จะถูกควบคุมโดยซอฟต์แวร์ที่ถูกสั่งการทำงานมาจากเครื่องคอมพิวเตอร์ซึ่งประโยชน์และเทคโนโลยีอันทันสมัยที่ได้กล่าวมาแล้วนั้นได้เกิดแรงจูงใจ และเกิดความร่วมมือกัน ในกลุ่มโครงการเพื่อที่จะศึกษาเทคโนโลยีเหล่านั้นแล้วนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาประยุกต์เพื่อที่จะได้เป็นประโยชน์ในการศึกษาและการทำงานในการวัดและทดสอบเป็นการช่วยให้สามารถประหยัดค่าใช้จ่ายในการสั่งซื้อเครื่องมือวัดและทดสอบมาจากต่างประเทศเพราะอุปกรณ์เหล่านั้นมีราคาสูงมาก ซึ่งทำให้ผู้ใช้ไม่สามารถซื้อมาใช้กันอย่างทั่วไปได้

จากแรงจูงใจ และความร่วมมือกันก่อให้เกิดความคิดว่า ในการทดสอบวงจรโครงข่ายแบบสองขั้วใช้เวลาในการทดสอบวงจรมากและต้องมีการปรับแต่งเครื่องมือวัดให้เหมาะสมกับวงจรที่ต้องการทดสอบ เพื่อที่จะสามารถอ่านค่าที่วัดออกมาได้ถูกต้อง และมีความชัดเจนที่สุด จากหลักการและทฤษฎีของเครื่องมือวัดจึงได้ประยุกต์สร้างเป็นชุดเครื่องมือวัดและทดสอบที่ใช้คอมพิวเตอร์ในการควบคุม ซึ่งมีชื่อเรียกว่า เครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้ว (Two-Port Network Transfer Function Finder) เพื่อทดสอบวงจร และเพื่อเพิ่มความสะดวก และมีประสิทธิภาพในการทดสอบและเพื่อใช้เปรียบเทียบผลที่ได้จากการวัด ว่าเป็นไปตามทฤษฎี หรือมีข้อแตกต่างกันอย่างไรบ้าง

1.2 ขีดความสามารถของโครงงาน

- 1.2.1 สามารถวัดผลตอบสนองทางความถี่ของวงจรทดสอบในช่วง 10 Hz - 10 kHz ได้
- 1.2.2 สามารถให้แอมพลิจูดของสัญญาณทดสอบในช่วง 0V - 5 V ได้ โดยการปรับ VR1
- 1.2.3 สามารถแสดงผลของการตอบสนองทางความถี่ทางจอภาพ (Monitor) ได้
- 1.2.4 สามารถควบคุมความถี่ได้อย่างละเอียดโดยการเปลี่ยนแปลงค่าที่โปรแกรมของ DSK Board
- 1.2.5 สามารถผลิตความถี่ได้ 3 ช่วง ตั้งแต่ 10 Hz – 10 kHz เป็นลอการิทึม

1.3 เนื้อหาโดยสังเขปของปริญญานิพนธ์

ในปริญญานิพนธ์ฉบับนี้ได้กล่าวถึงทฤษฎีและรายละเอียดเกี่ยวกับเทคนิคต่าง ๆ ในการสร้างเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้ว (Two-Port Network Transfer Function Finder) ซึ่งได้แบ่งเนื้อหาออกเป็น 5 บท ซึ่งในแต่ละบทมีเนื้อหาต่าง ๆ ดังนี้

บทที่ 2 เป็นรายละเอียดเกี่ยวกับทฤษฎี และหลักการทำงานของเครื่องมือวัดชนิดต่าง ๆ, การแปลงรูปสัญญาณ, การแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล, การแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก และรายละเอียดของ DSK Board

บทที่ 3 เป็นการออกแบบวงจรการสร้างและการทำงาน โดยแบ่งออกเป็น การออกแบบวงจร และการออกแบบโปรแกรมควบคุมการทำงานซึ่งในการออกแบบวงจร กล่าวถึงการออกแบบวงจรต่าง ๆ ที่ใช้ในเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้วและคำอธิบายการทำงานของแต่ละวงจร ส่วนการออกแบบโปรแกรมนั้นจะกล่าวถึงผังโปรแกรมและการออกแบบโปรแกรมในแต่ละโมดการทำงาน ของเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 เป็นการทดลองและผลการทดลอง โดยนำวงจรที่ออกแบบไว้แล้วในบทที่ 3 มาทำการทดลองว่าเป็นไปตามแนวทางที่ต้องการจริงหรือไม่ โดยกล่าวถึงผลการทดลองและการทดสอบเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้วและสรุปผลการทดลอง

บทที่ 5 เป็นบทสรุป ปัญหา แนวทางแก้ไขและการพัฒนาโครงงาน โดยกล่าวถึงปัญหาที่เกิดขึ้นและแนวทางการแก้ไขตลอดจนแนวทางในการพัฒนาเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้ว

ในภาคผนวก แสดงรายละเอียดของโปรแกรมและรายการอุปกรณ์ต่าง ๆ ตลอดจนสิ่งที่ประกอบประกอบที่ใช้จัดทำโครงงาน แบ่งออกเป็น 5 ภาคผนวก ประกอบด้วย

ภาคผนวก ก	ส่วนประกอบเครื่อง
ภาคผนวก ข	วงจรสมบูรณื์ ถายวงจรพิมพ์ และการวางอุปกรณ์บนแผ่นวงจรพิมพ์
ภาคผนวก ค	รายการอุปกรณ์
ภาคผนวก ง	โปรแกรมควบคุมการทำงาน
ภาคผนวก จ	คู่มือการใช้งาน
ภาคผนวก ฉ	รายละเอียดเกี่ยวกับคุณลักษณะของอุปกรณ์

บทที่ 2

ทฤษฎีและหลักการ

2.1 วิธีการตอบสนองความถี่

2.1.1 คำจำกัดความ

การตอบสนองทางความถี่ (Frequency Response) หมายถึง ผลตอบสนองที่สถานะคงตัว (Steady State) ของระบบต่ออินพุต ที่เป็นสัญญาณไซน์โดยการศึกษาผลตอบสนองความถี่นี้เราทำการปรับค่าความถี่ของสัญญาณอินพุตในช่วงหนึ่ง ๆ แล้วทำการศึกษาผลตอบสนองระบบช่วงหนึ่งต่อความถี่นั้น ๆ

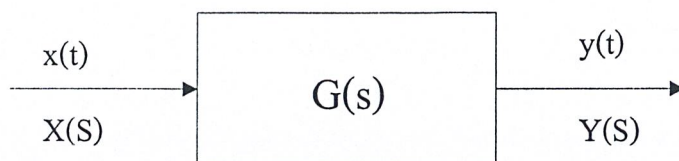
2.1.2 ประโยชน์ของการศึกษาวิธีการตอบสนองทางความถี่

1. ในการตรวจสอบเสถียรภาพของระบบนั้น ไม่จำเป็นต้องดูตำแหน่งโพลของระบบปิด (Closed - Loop Pole) หรือแก้สมการเพื่อหารากของสมการคุณลักษณะ (Characteristic Equation)
2. สามารถตรวจสอบทางความถี่ของระบบได้ง่ายและถูกต้องโดยการให้อินพุตเป็นสัญญาณไซน์จากเครื่องกำเนิดสัญญาณแล้วตรวจสอบการวัดผลตอบสนองเชิงความถี่
3. การหาทรานส์เฟอว์ฟังก์ชันของอุปกรณ์บางชนิดที่ซับซ้อนมักจะใช้วิธีการตรวจสอบโดยใช้ผลตอบสนองทางความถี่
4. วิธีการตอบสนองทางความถี่สามารถใช้วิเคราะห์ฟังก์ชันที่ไม่ได้อยู่ในรูปอัตราส่วน เช่น ระบบจำพวทรานสปอร์ตแล็ก (Transport Lag) เป็นต้น
5. วิธีการตอบสนองทางความถี่สามารถใช้กับระบบ(Plant)ที่มีลักษณะไม่แน่นอน (Uncertainly)
6. การออกแบบและวิเคราะห์ทางตอบสนองทางความถี่สามารถใช้กับระบบที่ไม่เป็นเชิงเส้นได้

2.1.3 การพิจารณาวิธีการตอบสนองทางความถี่

คุณลักษณะของการตอบสนองทางความถี่ของระบบซึ่งสามารถคำนวณหาได้โดยการหาจากการทรานส์เฟอว์ฟังก์ชันของสัญญาณไซน์ซึ่งเป็นการทรานส์เฟอว์ฟังก์ชันที่เราแทนค่า S ด้วย $j\omega$ โดย ω คือความถี่ พิจารณาระบบเชิงเส้นที่เวลาเดียวกัน (Stable Linear Time-Invariant) ดังรูปที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 ระบบเชิงเส้น

เมื่อ $X(t)$ เป็นสัญญาณแบบไซน์เราจะได้ว่าสัญญาณเอาต์พุต $Y(t)$ ที่สถานะคงตัวเป็นแบบไซน์ด้วย และจะเป็นสัญญาณไซน์ที่มีความถี่เท่ากัน แต่อาจมีค่าขนาด (Magnitude) และมุม (Phase) ต่างกัน

กำหนดให้สัญญาณอินพุตเป็น $X(t) = X \sin \omega t$ และให้ทรานส์ฟอร์มฟังก์ชันของระบบมีค่า $G(S)$ ซึ่งเราสามารถเขียนให้อยู่ในรูปอัตราส่วนของโพลีโนเมียลเทอม S ได้ดังนี้

$$G(S) = \frac{P(S)}{Q(S)} = \frac{P(S)}{(S + S_1)(S + S_2) \dots (S + S_N)} \quad (2.1)$$

และเราจะได้ค่าเอาต์พุตเป็นดังนี้

$$\begin{aligned} Y(S) &= G(S) X(S) \\ &= \frac{P(S)}{Q(S)} X(S) \end{aligned} \quad (2.2)$$

ผลตอบสนองที่สถานะตัวของสัญญาณอินพุต $X(t)$ ซึ่งเป็นแบบสัญญาณไซน์จะไม่ขึ้นกับค่าสถานะเริ่มต้น (Initial Conditions) ในที่นี้เรากำหนดให้สถานะเริ่มต้นเป็นศูนย์

$$Y(S) = G(S) X(S) = G(S) \frac{\omega}{S^2 + \omega^2} X(S) \quad (2.3)$$

โดย a และ b_i ($i = 1, 2, \dots, n$) เป็นค่าคงที่

$\bar{a}$ เป็นค่าเชิงซ้อน (Complex Conjugate) ของ a และจะได้รับการเปลี่ยนแปลงลาปลาซ (Inverse Laplace) เป็น

$$y(t) = ae^{-j\omega t} + \bar{a}e^{-j\omega t} + b_1e^{-s_1t} + b_2e^{-s_2t} + \dots + b_ne^{-s_nt} \quad (t \geq 0) \quad (2.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับระบบเสถียรจะได้

$-s_1, -s_2, \dots, -s_n$ มีส่วนจริงเป็นลบ

ดังนั้น $e^{-s_1'}, e^{-s_2'}, \dots, e^{-s_n'}$ มีค่าเข้าใกล้ศูนย์เมื่อ $t \rightarrow \infty$

ที่สถานะคงตัวจะได้คำตอบตอบสนองเอาต์พุตเป็น

$$y_{ss}(t) = ae^{-j\omega t} + \bar{a}e^{-j\omega t} \quad (2.5)$$

ค่าคงที่ a และ $\bar{a}$ หาได้โดยใช้ทฤษฎีเรซิดิว (Residue)

$$a = G(s) \frac{\omega x}{s^2 + \omega^2} (s + j\omega) = \frac{XG(-j\omega)}{-2j} \quad (2.6)$$

และ

$$\bar{a} = G(s) \frac{\omega X}{s^2 + \omega^2} (s - j\omega) = \frac{XG(j\omega)}{2j} \quad (2.7)$$

ค่าของ $G(j\omega)$ สามารถเขียนอยู่ในรูป

$$G(j\omega) = |G(j\omega)|e^{j\phi} \quad (2.8)$$

โดย $|G(j\omega)|$ คือขนาด (Magnitude) ของ $G(j\omega)$

ϕ คือมุมของ $G(j\omega)$

และ

$$\phi = \tan^{-1} \left[\frac{\text{Im}\{G(j\omega)\}}{\text{Re}\{G(j\omega)\}} \right]$$

ในทำนองเดียวกันเราหาค่า $G(-j\omega)$ ได้จาก

$$G(-j\omega) = |G(-j\omega)|e^{-j\phi} = |G(j\omega)|e^{-j\phi} \quad (2.9)$$

แทนค่าของ a , $\bar{a}$, $G(j\omega)$ และ $G(-j\omega)$ จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

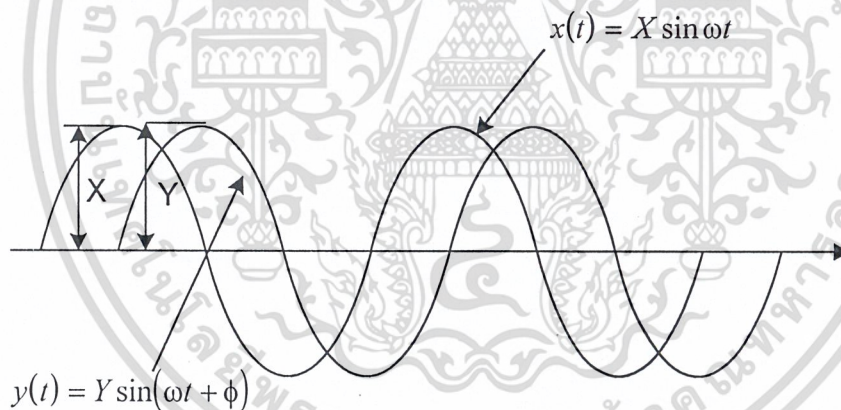
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 y_{ss}(t) &= X|G(j\omega)| \frac{e^{j(\omega t + \phi)} - e^{-j(\omega t + \phi)}}{2j} \\
 &= X|G(j\omega)| \sin(\omega t + \phi) \\
 &= Y \sin(\omega t + \phi)
 \end{aligned}
 \tag{2.10}$$

โดยที่ $Y = X|G(j\omega)|$

ระบบที่เป็นแบบเชิงเส้นคงตัวนี้เมื่อได้รับอินพุตแบบไซน์จะให้เอาต์พุตเป็นไซน์ที่มีความถี่เดียวกันแต่ขนาดและมุมอาจต่างกันไปโดยค่าขนาดของเอาต์พุตเท่ากับค่าขนาดของอินพุตคูณด้วยขนาดของ $G(j\omega)$ และค่ามุม

$\phi = \text{มุมของ } G(j\omega)$ ดังรูปที่ 2.2



รูปที่ 2.2 สัญญาณไซน์ (Sinusoidal) เข้าและออก

และเรามักนิยมนำค่าทรานส์เฟอว์ฟังก์ชันของสัญญาณไซน์ดังนี้

$$\frac{Y(j\omega)}{X(j\omega)} = G(j\omega)
 \tag{2.11}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่

$$|G(j\omega)| = \frac{|Y(j\omega)|}{|X(j\omega)|} \quad (2.12)$$

และ

$$\text{มุมของ } G(j\omega) = \text{มุมของ } \frac{Y(j\omega)}{X(j\omega)}$$

ถ้ามุมเป็นบวกเรียกว่า เฟสลีด (Phase Lead)

ถ้ามุมเป็นลบเรียกว่า เฟสลาก (Phase Lag)

การแทนผลตอบสนองทางความถี่ของระบบที่มีทรานส์เฟอร์ฟังก์ชันอยู่ในรูปของสัญญาณไซน์ที่เป็นฟังก์ชันเชิงซ้อนของความถี่ จะสามารถแทนในรูปของขนาดและมุม ที่ขึ้นกับความถี่

วิธีการแทนทรานส์เฟอร์ฟังก์ชันสัญญาณไซน์มี 3 วิธี คือ

1. โบทไดอะแกรม (Bode Diagram) เป็นการพล็อตของขนาดในหน่วยเดซิเบลต่อ ω ใน semilog

2. โพลพล็อต (Polar Plot) เป็นการพล็อตของขนาดต่อเฟสใน polar coordinates โดยมี ω แปรค่าจาก $0 - \infty$

3. ล็อกแมกนิจูดต่อเฟสพล็อต (Log-Magnitude VS Phase plot) เป็นการพล็อตของขนาดในหน่วยเดซิเบลต่อ phase ใน rectangular coordinates โดยมี ω เป็นพารามิเตอร์ที่แปรค่า

โดยการแทนผลตอบสนองความถี่ที่เราสนใจคือโบตไดอะแกรม

2.2 โบทไดอะแกรม

โบตไดอะแกรมจะประกอบด้วยกราฟ 2 ส่วนซึ่งพล็อตลงบนกราฟล็อกการิทึม ได้แก่

1. กราฟล็อกการิทึมของขนาดของทรานส์เฟอร์ฟังก์ชันสัญญาณไซน์
2. กราฟมุม

2.2.1 การพล็อตขนาดในหน่วยเดซิเบล

รูปแบบมาตรฐานของการแทนค่าล็อกแมกนิจูดของ $G(j\omega)$ คือ $20 \log |G(j\omega)|$ ซึ่งมีหน่วยเท่ากับเดซิเบล (dB) โดยการเขียนโบตไดอะแกรมนี้จะเขียนลงบนกระดาษกราฟเขมิล็อกซึ่งมีฐานของล็อกเท่ากับสิบและค่ามุมซึ่งพล็อตคู่กับขนาดนี้จะมีหน่วยเป็นองศา (degree)

ประโยชน์ของการใช้สเกลล็อกการิทึมในการพล็อตโบตไดอะแกรม ก็คือ ล็อกของผลคูณของขนาดจะเท่ากับผลบวกของค่าล็อกแมกนิจูดแต่ละเทอม ดังนั้นเราจึงได้ว่า การคูณกันของขนาดนั้นเมื่อแปลงเป็นขนาดของล็อกแล้วจะกลายเป็นผลบวกแทน

นอกจากนี้การแทนด้วยล๊อคการิทึมยังให้ประโยชน์ในการแสดงคุณลักษณะของทรานส์เฟอร์ฟังก์ชันที่มีความถี่ต่ำและความถี่สูงไว้ในรูปเดียวกันได้ (แต่ไม่แสดงผลตอบสนองทางความถี่ที่ความถี่ศูนย์ได้)

2.2.2 ส่วนประกอบพื้นฐานของค่า $G(j\omega)$ $H(j\omega)$

ส่วนประกอบของกราฟที่เรามักจะพบได้บ่อยในทรานส์เฟอร์ฟังก์ชันของสัญญาณไซน์ของ $G(j\omega)H(j\omega)$ ได้แก่

1. ขนาดของค่า K (Gain K)
2. ส่วนประกอบของการอินทิกรัลและการดิริเวทีฟ (Integral & Derivative Factor ($j\omega$))
3. ตัวแปรอันดับหนึ่งของ $(1+j\omega T)$ (First Order Factor $(1+j\omega T)^{\pm 1}$)
4. ตัวแปรควอดราติก (Quadratic factor $\left[1 + 2\zeta\left(\frac{j\omega}{\omega_n}\right) + \left(\frac{j\omega}{\omega_n}\right)^2\right]^{\pm 1}$)

การหาโพลพล็อตสามารถทำได้โดยการพล็อตรูปกราฟของตัวแปรแต่ละตัวแปรที่มีอยู่ในสมการทรานส์เฟอร์ฟังก์ชันแยกออกจากกันหลังจากนั้นจึงหากราฟรวมโดยนำค่าล๊อคแมกนิจูดที่ได้จากแต่ละตัวแปรนั้นมาบวกกันบนกราฟล๊อค

1. ขนาดของค่า K คือค่าคงที่ที่คูณอยู่ในทรานส์เฟอร์ฟังก์ชันในกรณีที่ขนาดที่มีค่ามากกว่า 1 จะให้ค่าเดซิเบลเป็นบวก และในกรณีที่ขนาดมีค่าน้อยกว่า 1 จะให้ค่าเดซิเบลเป็นลบรูปกราฟในโพลโคอะแกรมในส่วนตัวแปร K นี้จะได้เป็นเส้นตรงขนานกับแกนนอนที่มีขนาดเท่ากับ $20\log K$ dB และมีกราฟของมุมเป็นศูนย์

2. ส่วนประกอบของการอินทิกรัลและการดิริเวทีฟ

ในกรณีของตัวแปรอินทิกรัล

ขนาดของ $\frac{1}{j\omega}$ ในกราฟของล๊อคแมกนิจูด คือ

$$20\log\left|\frac{1}{j\omega}\right| = -20\log\omega \text{ dB} \quad (2.13)$$

และมีค่ามุมเป็น

$$\phi = -90 \text{ (องศา)}$$

ลักษณะของรูปกราฟล๊อคแมกนิจูดจะเป็นเส้นตรงที่มีความชันเท่ากับ -20 dB/decade ใน

กรณีของตัวแปรดิริเวทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดของ $j\omega$ ในกราฟของล๊อกล็อกแมกนิจูดจะเป็น

$$20\log|j\omega| = 20\log\omega \text{ dB} \quad (2.14)$$

และมีค่ามุมเป็น $\phi = 90$ (องศา)

ลักษณะรูปกราฟจะเป็นเส้นตรงที่มีความชันคงที่ 20 dB/decade ผ่านจุด 0 dB ที่ $\omega = 1$

3. ตัวแปรอันดับหนึ่งของ $(1 + j\omega T)^{\pm 1}$

สำหรับพจน์ $\frac{1}{(1 + j\omega T)}$ จะได้ค่าล๊อกล็อกแมกนิจูดเป็น

$$20\log\left|\frac{1}{(1 + j\omega T)}\right| = -20\log\sqrt{1 + \omega^2 T^2} \text{ dB} \quad (2.15)$$

กรณีค่าความถี่ต่ำคือ $\omega \ll 1/T$ จะสามารถประมาณกราฟล๊อกล็อกแมกนิจูดนี้ได้เป็น

$$-20\log\sqrt{1 + \omega^2 T^2} \cong -20\log 1 = 0 \text{ dB} \quad (2.16)$$

กรณีความถี่สูง กล่าวคือ $\omega \gg 1/T$ จะได้

$$-20\log\sqrt{1 + \omega^2 T^2} \cong -20\log\omega T \text{ dB} \quad (2.17)$$

ซึ่งก็คือกราฟเส้นตรงที่มีความชันเท่ากับ -20 dB/decade โดยเริ่มจากความถี่เชิงมุมที่ $\omega = 1/T$ เราจึง

ได้ข้อสรุปการแทนผลตอบแทนสนองทางความถี่ของ เทอม $\frac{1}{(1 + j\omega)}$ นี้โดยการประมาณผลตอบ

สนองด้วยเส้นตรง 2 เส้นคือ

1. เส้นตรงที่ศูนย์เดซิเบล สำหรับความถี่ในช่วง $0 < \omega < 1/T$

2. เส้นตรงที่มีความชันเท่ากับ -20 dB/decade ในช่วงความถี่ $1/T < \omega < \infty$

เส้นตรงทั้ง 2 นี้ทำหน้าที่เป็นเส้นสัมผัสโดยเส้นกราฟที่แท้จริง จะมีค่าต่ำกว่าเส้นสัมผัสที่

ความถี่เชิงมุม $\omega = 1/T$ เท่ากับ 3 dB ซึ่งมาจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned} -20\log\sqrt{1+1} + 20\log 1 &= -10\log 2 \\ &= -3.03 \text{ dB} \end{aligned}$$

มุมของตัวแปร $\frac{1}{(1+j\omega T)}$ จะมีค่าเป็น

$$\phi = -\tan^{-1} \omega T$$

ที่ $\omega = 0$ จะมี $\phi = 0$ องศา

ที่ $\omega = 1/T$ จะมี $\phi = -\tan^{-1} 1 = -45^\circ$

ที่ $\omega = \infty$ จะมี $\phi = -\tan^{-1} \infty = -90^\circ$

ทำนองเดียวกับการหากราฟของตัวแปร $1+j\omega T$ ก็สามารทำได้โดยการเปลี่ยนเครื่องหมายในกราฟลือกแมกนิจูดและมุม ดังนี้

$$20\log|1+j\omega T| = -20\log\left|\frac{1}{1+j\omega T}\right| \quad (2.18)$$

และ

$$\phi = \text{มุมของ } 1+j\omega T = \tan^{-1} \omega T = \text{มุมลบของ } \frac{1}{1+j\omega T}$$

ความถี่เชิงมุมจะมีค่าเท่ากับ $1/T$ เช่นกันแต่ความชันของเส้นสัมผัสด้านความถี่สูงจะเป็น 20 dB/decade แทนและมีมุมแปรค่าจากศูนย์องศาถึง 90 องศาเมื่อ ω เป็นศูนย์ถึงอินฟินิตี้

2.3 หลักการพื้นฐานของเครื่องมือวัดและการทดสอบ

2.3.1 ความผิดพลาดของการวัด

ในการวัดค่าต่าง ๆ นั้นจะต้องจำกัดความผิดพลาดในการวัดให้มีค่าน้อยที่สุดจึงจำเป็นต้องทราบถึงโอกาสการเกิดความผิดพลาดของการวัดซึ่งสามารถแบ่งออกได้เป็น

1. ความผิดพลาดจากระบบ

จะเป็นสัดส่วนโดยตรงกับคุณภาพของการทำงานของอุปกรณ์วัดนั้นคือผล จากการขาดความแม่นยำในออกแบบการสร้าง ตลอดจนขั้นตอนประกอบ และปรับแต่งขั้นสุดท้ายหากระบบมีวงจรในเรื่องเหล่านี้ความผิดพลาดก็จะน้อยลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ความผิดพลาดจากสภาวะแวดล้อม

เป็นผลจากการวัด ณ ตำแหน่งที่ต่าง ๆ บนโลก ซึ่งผลจากอุณหภูมิความชื้นสภาพของสนามแม่เหล็กไฟฟ้าจุดที่พบบ่อยที่สุดคือสนามแม่เหล็กกรอบ ๆ หม้อแปลงไฟฟ้า บางกรณีสนามแม่เหล็กโลกเองก็ก่อให้เกิดความผิดพลาดในการวัดขึ้นเช่นลำอิเล็กตรอนในออสซิลโลสโคปอาจเบี่ยงเบนได้จากสนามแม่เหล็กโลกจึงต้องมีการเพิ่มปุ่มควบคุม เพื่อแก้ไขการเบี่ยงเบนของลำอิเล็กตรอน

3. ความผิดพลาดจากมนุษย์

เกิดจากผู้ใช้อย่างไม่มีความเข้าใจแจ่มชัด ถึงวิธีการใช้เครื่องมือวัดดังกล่าว เช่น การไม่ทราบค่าความต้านทานอินพุตในขณะที่ทำการตรวจวัดแรงดันทำให้ค่าที่อ่านได้ไม่ถูกต้อง

4. ความผิดพลาดจากการใช้งาน

มักเกิดจากการนำอุปกรณ์วัดนั้นไปใช้งานผิดประเภทหรือผิดวัตถุประสงค์เช่นการใช้อุปกรณ์วัดที่มีค่าความต้านทานภายในพอ ๆ กับค่าความต้านทานภายในของวงจรที่จะวัด

5. ความผิดพลาดที่เกิดขึ้นในเชิงปฏิบัติ

อุปกรณ์ตรวจวัดส่วนมากจะอาศัยหลักการทำงานเชิงแอนะล็อกและใช้หน้าปัทม์เป็นมอเตอร์แบบเข็มซึ่งก็ยังนับว่าใช้งานได้ดีมากแต่ก็สามารถทำให้เกิดความผิดพลาดได้สังเกตว่าตัวมัลติมิเตอร์ที่ใช้กันทั่ว ๆ ไปจะมีความแม่นยำต่างกันมาก ในระหว่างการวัดเชิงไฟฟ้ากระแสตรงกับไฟฟ้ากระแสสลับปัญหาจะอยู่ในช่วงต่ำ ๆ ของย่านการวัดและความผิดพลาดจะน้อยลงมากเมื่อวัดอยู่ในช่วงสูง ๆ ของย่านการวัดนั้นในการวัดจึงควรเลือกช่วงการวัดให้เหมาะสม

2.3.2 การเลือกช่วงวัดที่เหมาะสม

สิ่งสำคัญของการเลือกช่วงการวัด คือ ต้องเลือกช่วงการวัดให้เหมาะสมกับค่าที่จะวัดซึ่งหากทราบล่วงหน้าก็สามารถหาอุปกรณ์วัดที่เหมาะสมมาใช้ในการวัดได้

2.3.3 อุปกรณ์วัดแบบดิจิตอล

ในการวัดเชิงดิจิตอลความแม่นยำของการวัดจะเทียบกับค่าที่อ่านได้นอกจากนี้โดยผลจากวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอลจึงต้องคำนึงถึงบิตเล็กสุดด้วยว่ามีความแม่นยำเพียงใดปกติแล้วความละเอียดของตัวเลขที่อ่านได้คือผิดพลาดได้ไม่เกิน ± 1 หน่วยการวัดในขณะที่ความแม่นยำของการวัดอาจมากถึง ± 2 หน่วยการวัด

กล่าวโดยสรุป ความแม่นยำของดิจิตอลโวลต์มิเตอร์โดยทั่ว ๆ ไปจะเป็นดังนี้

1. ในกรณีวัดค่าแรงดันไฟฟ้ากระแสตรง

0.1 เปอร์เซนต์เทียบกับค่าที่อ่านได้ ± 1 หน่วยการวัด

2. ในกรณีวัดแรงดันไฟฟ้ากระแสสลับ

2 เปอร์เซนต์เทียบกับค่าที่อ่านได้ ± 7 หน่วยการวัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ในกรณีวัดค่ากระแสไฟฟ้ากระแสตรง

0.35 เปอร์เซ็นต์เทียบกับค่าที่อ่านได้ ± 1 หน่วยการวัด

4. ในกรณีวัดค่ากระแสไฟฟ้ากระแสสลับ

0.9 เปอร์เซ็นต์เทียบกับค่าที่อ่านได้ ± 3 หน่วยการวัด

2.3.4 ค่าที่จะวัดและอุปกรณ์การวัด

ค่าที่จะวัดอาจอยู่ในรูปของรูปคลื่นต่าง ๆ เหตุนี้จึงต้องมีอุปกรณ์การวัดหลายชนิดตลอดจนมีวิธีการต่าง ๆ ในการวัดซึ่งก็อาจให้ค่าที่แตกต่างกันไปแม้กับรูปคลื่นแบบเดียวกันหากทราบถึงหลักการวัดที่ใช้ก็จะบอกถึงความหมายของค่าที่อ่านได้ เช่น มาตรการแบบขดลวดเคลื่อนที่ที่ไม่มีวงจรเรกติไฟร์เออร์จะให้ค่าวัดเป็นค่าเฉลี่ยเชิงคณิตศาสตร์ หากนำมาตราวัดนี้ไปใช้งานวัดรูปคลื่นแรงดันสัญญาณต่าง ๆ ผลการวัดจะแสดงเพียงองค์ประกอบเชิงไฟฟ้ากระแสตรงของค่าที่วัดนอกจากนี้หากแรงดันไฟฟ้ากระแสสลับที่ผสมมากับแรงดันไฟฟ้ากระแสตรงมีค่าสูงก็อาจทำให้มิเตอร์เกิดโอเวอร์โหลดแม้ว่าจะอ่านค่าไม่ได้ก็ตาม

ในการวัดแรงดันหรือกระแสของไฟฟ้ากระแสสลับ ด้วยมาตราวัดแบบขดลวดเคลื่อนที่ นั้นจำเป็นต้องต่อชุดเรกติไฟร์แบบอนุกรมกับมาตราวัดซึ่งเป็นกรณีที่เกิดขึ้นเมื่อตั้งย่านวัดเป็นแบบ AC แก่มาตราวัดทำให้เข็มชี้แสดงค่าไฟฟ้ากระแสตรงเฉลี่ยของค่าที่ผ่านการเรกติไฟร์แล้ว ค่าเฉลี่ยเชิงคณิตศาสตร์ ของการเรกติไฟร์แก่แรงดันรูปคลื่นไซน์ (V_a) คือ $0.318 V_{rms}$ ซึ่งก็คือค่าที่เข็มชี้แสดง สังเกตว่าค่าที่อ่านได้จะมีความสัมพันธ์โดยตรงกับค่าอาร์เอ็มเอส (Root Mean Square: RMS) ของแรงดันไฟฟ้ากระแสสลับทำให้มาตราวัดสามารถอ่านค่าไฟฟ้ากระแสสลับได้โดยปรับย่านเป็นค่าอาร์เอ็มเอสได้แต่ย่านจะอ่านถูกต้องได้ในกรณีรูปคลื่นไซน์เท่านั้นหากเป็นรูปคลื่นสี่เหลี่ยมจัตุรัสค่าที่อ่านได้จากมิเตอร์จะต้องคูณด้วย 0.89 จึงบอกเป็นค่าอาร์เอ็มเอสได้ ส่วนในกรณีของรูปคลื่นสามเหลี่ยมค่าที่แท้จริงจะเป็น 0.36 เปอร์เซ็นต์ของค่าที่เข็มชี้แสดงเท่านั้น

อีกองค์ประกอบหนึ่ง ที่ควรคำนึงถึงนอกเหนือจากการวัดรูปคลื่น คือ ความถี่ของคิจิตอลโวลต์มิเตอร์ส่วนมากวัดปริมาณไฟฟ้ากระแสสลับได้ถูกต้องเพียงกรณีปริมาณไฟฟ้ากระแสสลับที่จะวัดมีความถี่ต่ำกว่า 400 เฮิร์ตซ์ ในขณะที่การใช้แอนาลอกมิเตอร์ในระดับราคาเท่า ๆ กัน จะอ่านค่าได้แม่นยำจนถึงย่านความถี่ช่วงหลายกิโลเฮิร์ตซ์

อาจทำการวัดค่าอาร์เอ็มเอสจากอุปกรณ์วัดไฟฟ้ากระแสตรงได้โดยเพิ่มวงจรพิเศษเพื่อจะทำการคำนวณหาค่าอาร์เอ็มเอสจากแรงดันไฟฟ้ากระแสสลับขาเข้าแล้วแปลงเป็นแรงดันไฟฟ้ากระแสตรงเพื่อให้อ่านได้วงจรเหล่านี้มักใช้อุปกรณ์ไอซีต่าง ๆ

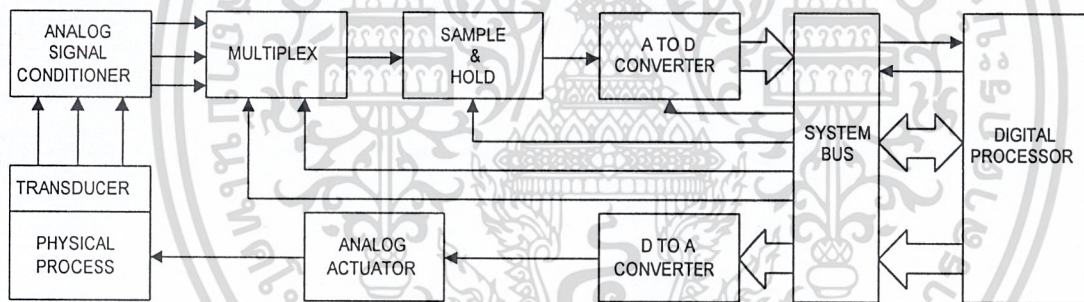
ในกรณีทำการวัดด้วยออสซิลโลสโคป จะคล่องตัวในการอ่านค่าต่าง ๆ เช่น ค่าสูงสุดได้รวดเร็วอย่างไรก็ดีการหาค่าอาร์เอ็มเอสก็ยังคงต้องอาศัยหลักการคำนวณอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ทฤษฎีการแปลงสัญญาณ (Data Acquisition and Conversion)

รูปแบบของสัญญาณไฟฟ้าที่เราคุ้นเคยกันตั้งแต่เดิมนั้นโดยมากมักจะอยู่ในรูปของสัญญาณแอนะล็อกแต่เดิมนั้นการที่จะนำสัญญาณไฟฟ้ามาประมวลผลเพื่อให้เกิดรูปแบบที่ต้องการกระทำได้โดยใช้อุปกรณ์ทางแอนะล็อกนั่นเองแต่ปัจจุบันเทคโนโลยีทางด้านดิจิทัลได้ก้าวหน้าไปมาก ทำให้การประมวลผลสัญญาณทางดิจิทัลทำได้อย่างรวดเร็วมีประสิทธิภาพและความเชื่อถือ

ดังนั้นในการเปลี่ยนรูปแบบของสัญญาณจึงได้มีความจำเป็นขึ้น จากสัญญาณแอนะล็อกที่มีอยู่แล้วได้ถูกเปลี่ยนแปลง ให้เป็นสัญญาณทางดิจิทัลโดยอุปกรณ์การแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล และจะถูกประมวลผลโดยตัวประมวลผลสัญญาณดิจิทัล เช่น คอมพิวเตอร์เป็นต้น จากผลลัพธ์ที่ได้จะถูกนำมาแสดงผลโดยตรงเลยหรือ อาจถูกเปลี่ยนแปลงให้อยู่ในรูปของสัญญาณแอนะล็อกที่ใช้งานได้การที่จะเปลี่ยนแปลงสัญญาณดิจิทัลกลับไปเป็นสัญญาณแอนะล็อกสามารถทำได้โดยใช้อุปกรณ์แปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อกสำหรับระบบที่มีการประมวลผลข้อมูลทางดิจิทัล แสดงดังรูปที่ 2.3



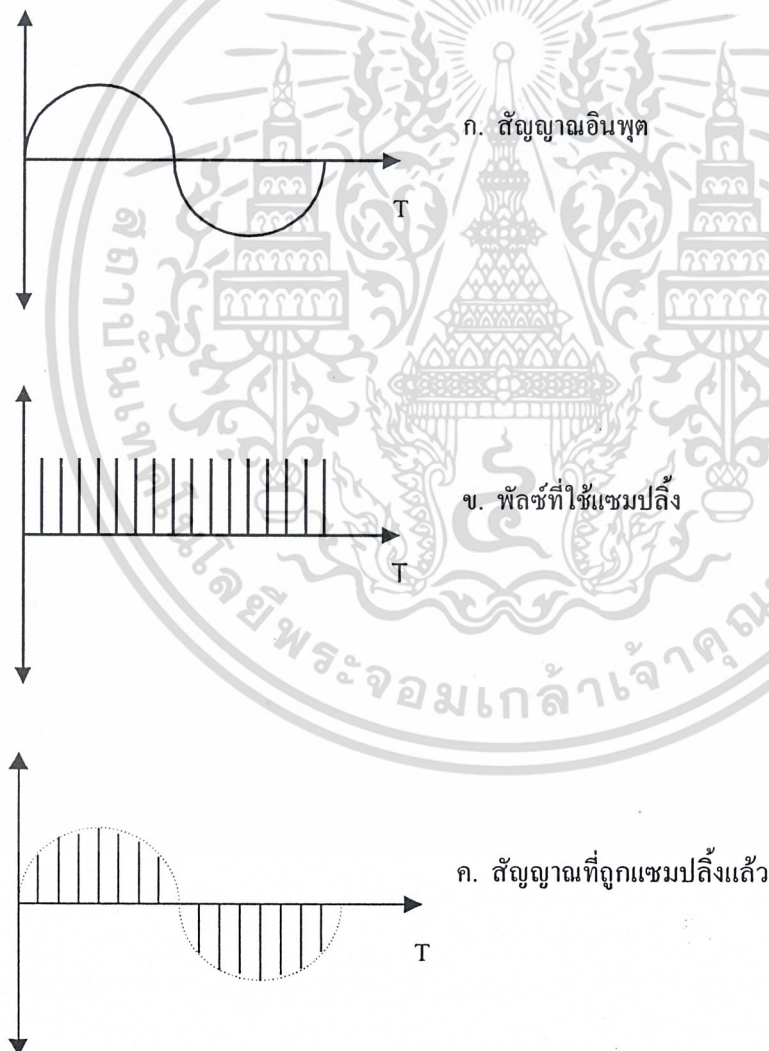
รูปที่ 2.3 ระบบที่มีการประมวลผลข้อมูลทางดิจิทัล

จากรูปที่ 2.3 สามารถอธิบายได้ คือ การเปลี่ยนแปลงทางกายภาพในลักษณะใด ๆ ก็ตาม เช่น อุณหภูมิ ความดัน ความเร็ว จะถูกเปลี่ยนให้มาเป็นสัญญาณไฟฟ้าแบบแอนะล็อก โดยตัวแปลงที่มีรูปแบบเหมาะสมกับลักษณะทางกายภาพนั้นสัญญาณทางไฟฟ้าก็就会被ปรับให้อยู่ในรูปแบบและขนาดที่เหมาะสมก่อนโดย Analog Signal Condition เช่น วงจรขยาย หรือวงจรกรองสัญญาณเป็นต้น ในระบบข้อมูลที่ต้องการประมวลผลหลายข้อมูลในเวลาเดียวกัน แต่เนื่องจาก ADC ทำงานได้เร็วจึงไม่จำเป็นที่จะต้องใส่ ADC หลาย ๆ ตัวแต่ละจะใช้วิธีแบ่งเวลา (Time Sharing) โดยใช้วิธีการมัลติเพล็กซ์วงจรแซมปลิงแอนด์โฮลด์จะสุ่มขนาดของสัญญาณแอนะล็อกมาโดยทำการโฮลด์สัญญาณนั้นไว้ชั่วขณะเพื่อไม่ต้องใช้วงจร ADC จากนั้นข้อมูลดิจิทัลจะถูกส่งต่อไปยังบัซของเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบซึ่งตัวโปรเซสเซอร์จะทำการประมวลผลทางข้อมูลแล้วเปลี่ยนข้อมูลผลลัพธ์กลับมาเพื่อมาควบคุมกิจกรรมทางกายภาพของระบบโดยผ่านตัวกระทำทางกล (Analog Actuator)

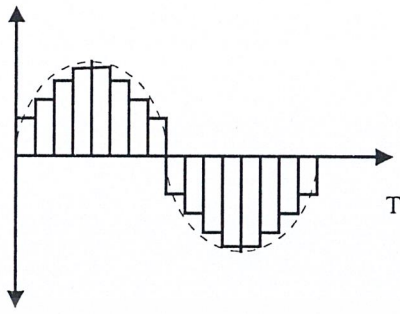
2.4.1 ทฤษฎีของการสุ่มข้อมูล

ในการสุ่มข้อมูลนั้นสัญญาณแอนะล็อกจะถูกสุ่มเป็นระยะคงที่กลุ่มของสัญญาณที่สุ่มจะแทนด้วยความเร็วสูง ซึ่งเกิดจากการตัดต่อสัญญาณแอนะล็อกด้วยระยะเวลาอันสั้น ผลของการสุ่มด้วยความเร็ว จะเหมือนกับการคูณขบวนพัลส์กับสัญญาณแอนะล็อก ซึ่งจะได้สัญญาณที่มอดูเลต (Modulate) ระหว่างขบวนพัลส์กับสัญญาณแอนะล็อก ดังแสดงในรูปที่ 2.3 และถ้าหากมีการโฮลดสัญญาณที่สุ่มได้เอาไว้เราจะได้สัญญาณดังรูปที่ 2.4



รูปที่ 2.4 การสุ่มตัวอย่างข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



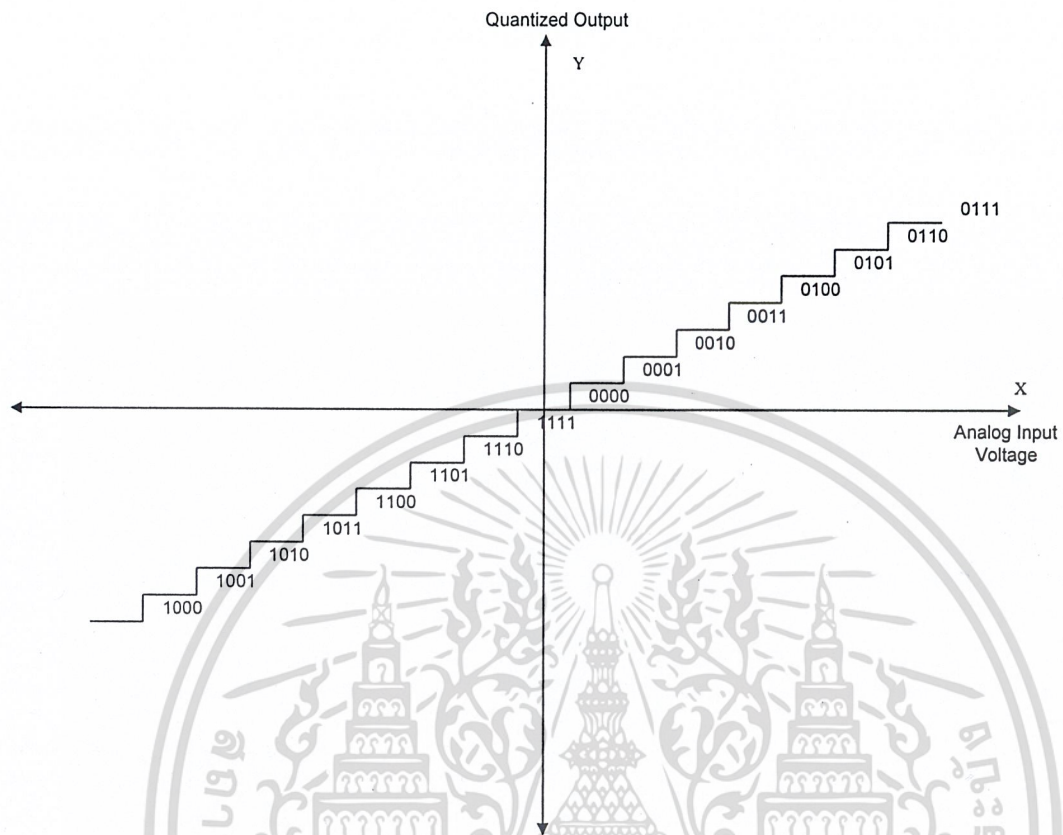
ง. สัญญาณที่ถูกโฮลด์ไว้

รูปที่ 2.4 (ต่อ) การสุ่มตัวอย่างข้อมูล

อัตราการสุ่มสัญญาณ หรือความถี่ของการสุ่มสัญญาณ ควรจะมีค่าเท่าใด ที่ข้อมูลที่สุ่มได้นี้จะเป็นตัวแทนที่ดีของสัญญาณต่อเนื่องนั้นขึ้นอยู่กับความถี่ของสัญญาณแอนะล็อกและจากทฤษฎีของการสุ่ม (Nyquist Theorem) กล่าวไว้ว่าถ้าสัญญาณต่อเนื่องที่มีความถี่ฮาร์มอนิก (Harmonic-Frequency) ไม่เกิน f แล้วสัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาเช่นเดิม โดยที่ไม่สูญเสียรายละเอียดหรือผิดเพี้ยนไป ถ้าอัตราการสุ่มมากกว่า $2f$

2.4.2 ทฤษฎีการควอนไทซ์ (Quantizing Theorem)

การควอนไทซ์เป็นขบวนการที่แปลงสัญญาณทางแอนะล็อกให้เป็นข้อมูลทางดิจิทัลที่เป็นสัดส่วนกับสัญญาณแอนะล็อก เช่น อยู่ในรูปของรหัสไบนารี เป็นต้น หากนำเอาเอาต์พุตที่ได้จากการควอนไทซ์และขนาดของสัญญาณแอนะล็อกมาเขียนเป็นกราฟจะได้รูปกราฟควอนไทซ์ของทรานส์เฟอร์ฟังก์ชันดังแสดงในรูปที่ 2.5



รูปที่ 2.5 กราฟฟังก์ชันของการควอนไทซ์ 4 บิต

จุดสำคัญของการควอนไทซ์นั้นได้แก่ รีโซลูชัน (Resolution) ของตัวควอนไทซ์ ซึ่งจะ
สามารถกำหนดได้จากจำนวนบิตของเอาต์พุตรหัสดิจิทัล หรือจากกราฟรูปที่ 2.5 ก็คือส่วนกลับ
ของความกว้างของขั้นบันไดทางแกนอนนั้นเอง

ค่าความกว้างของขั้นบันไดนี้สามารถคำนวณได้จาก

$$Q = FSR/2^n \quad (2.19)$$

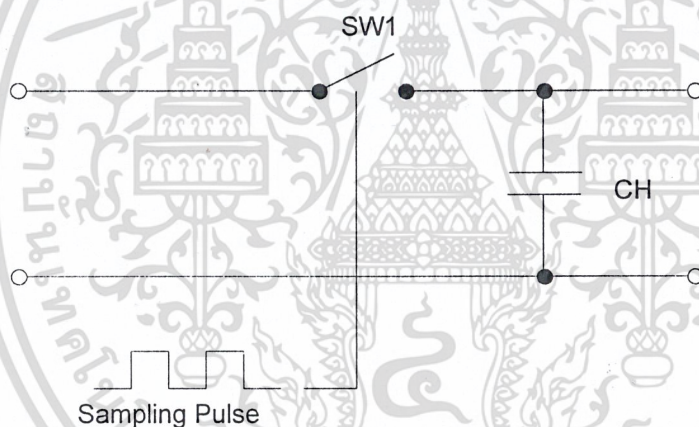
โดยที่ Q = ค่าความกว้างของขั้นบันไดทางแกนอน
 FSR = ช่วงเต็มย่านของสัญญาณแอนาล็อก (Full Scale Range)
 n = จำนวนบิตของรหัสดิจิทัล

จากสมการที่ (2.19) จะเห็นว่าเมื่อจำนวนบิตมากขึ้น ขนาดของ Q ก็จะลดลงและถ้าเรานำสัญญาณแอนาลอกใด ๆ มาทำการควอนไทซ์จะเห็นว่า เมื่อนำเอาผลที่ได้จากการควอนไทซ์มาเปรียบเทียบกับสัญญาณแอนาลอกนั้นแล้วก็จะพบว่าการผิดพลาดเกิดขึ้นซึ่งเรียกว่าความผิดพลาดควอนไทซ์

ความผิดพลาดนี้เป็นธรรมชาติของการควอนไทซ์ซึ่งจะทำการแก้ไขไม่ได้ แต่จะลดค่าความผิดพลาดนี้ได้ โดยการเพิ่มจำนวนบิตของการควอนไทซ์ ค่าความผิดพลาดนี้เองที่จะเป็นตัวกำหนดความแม่นยำในการใช้งาน DPS (Digital Signal Processing)

2.4.3 วงจรแซมปลิงแอนด์โฮลด์

วงจรแซมปลิงแอนด์โฮลด์โดยพื้นฐานแล้วเป็นวงจรหรืออุปกรณ์เก็บแรงดัน (Voltage Memory) ซึ่งใช้อุปกรณ์ที่สำคัญ คือ ตัวเก็บประจุดังรูปที่ 2.6



รูปที่ 2.6 วงจรพื้นฐานของการแซมปลิงแอนด์โฮลด์

อิเล็กทรอนิกส์สวิตช์จะต่อสัญญาณแรงดันเข้ากับตัวเก็บประจุ ซึ่งสวิตช์จะถูกควบคุมจากการสุ่มสัญญาณพัลส์ ช่วงเวลาการตัดสวิตช์ 1 และ CH เวลาในการประจุแรงดันถึงค่าที่สุ่มมานั้นจะเรียกว่าแพอร์เจอร์ไทม์ (Aperture time) ของการแซมปลิงแอนด์โฮลด์

2.5 การเปลี่ยนสัญญาณแอนาลอกให้เป็นสัญญาณดิจิตอล (A/D Converter)

วงจรเปลี่ยนสัญญาณแอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter : ADC) ที่ใช้กันอยู่ทั่ว ๆ ไปมีหลายแบบคือ

2.5.1 แบบใช้วงจรเปรียบเทียบขนานหรือแบบแฟลช

วงจร ADC แบบนี้ใช้หลักการง่าย ๆ อีกทั้งยังเป็นวิธีที่เร็วที่สุด คือใช้วงจรเปรียบเทียบที่ต่อขนานกัน ประกอบด้วยออปแอมป์ที่ต่อเป็นวงจรเปรียบเทียบ และตัวต้านทานต่อไว้เพื่อแบ่งแรงดันที่ขาอินพุตแบบกลับเฟสให้มีขนาดต่าง ๆ กันจากหลักการของวงจรเปรียบเทียบทั่ว ๆ ไป เมื่อแรงดันอินพุตที่ขาอินพุตแบบไม่กลับเฟสค่าสูงกว่าที่ขาอินพุตแบบกลับเฟสเอาต์พุตจะได้แรงดันค่าสูงเมื่อต้องการวงจรที่มีความละเอียดสูงขึ้น จำเป็นต้องใช้วงจรเปรียบเทียบเพิ่มขึ้น เช่น ถ้าต้องการความละเอียด 3 บิตต้องใช้วงจรเปรียบเทียบ 7 ตัว (8 ระดับ) ความละเอียด 4 บิตนั้นต้องใช้วงจรเปรียบเทียบ 15 ตัว (16 ระดับ) โดยหาจำนวนของวงจรเปรียบเทียบได้จาก $2^N - 1$ เมื่อ N แทนจำนวนบิต หรือความละเอียดที่ต้องการจะเห็นได้ว่าที่ความละเอียด 8 บิต ต้องใช้วงจรเปรียบเทียบมากถึง 255 ตัว ซึ่งเป็นข้อเสียของวงจร ADC แบบนี้ ข้อเสียอีกประการหนึ่งคือเอาต์พุตที่ไม่ได้เป็นฐานสองต้องมีวงจรเพิ่มเติมไปทำการเข้ารหัส

ข้อดีของวงจร ADC แบบขนาน คือ ความเร็วสูงมากบางครั้งจึงเรียกววงจร ADC แบบนี้ว่าแบบแฟลช (Flash type A/D Converter) วงจร ADC ชนิดนี้ใช้เวลาในการแปลงได้เร็วกว่าระดับนาโนวินาที

2.5.2 วงจร ADC ที่ใช้ในการอินทีเกรต

วงจรเปลี่ยนสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล ที่ใช้เทคนิคการอินทีเกรตสัญญาณจะมี 4 แบบคือ

1. แบบสโลปเดียวหรือแบบแรมป์ (Signal Ramp or Single Slope A/D Converter)

วงจร ADC แบบนี้ประกอบด้วยวงจรกำเนิดแรมป์ , วงจรเปรียบเทียบ , วงจรนับ BCD หรือนับเลขฐานสอง

วงจร ADC แบบนี้เป็นหลักการเบื้องต้นของดิจิทัลโวลต์มิเตอร์ ซึ่งถ้าใช้วงจรรับเลขฐานสองแทนแบบ BCD เอาต์พุตก็จะอ่านได้ค่าเลขฐานสองโดยตรง วงจรลักษณะนี้นักนำไปใช้งานในการเปลี่ยนเวลา เป็นขนาดของสัญญาณ หรืออาจใช้ในดิจิทัลโวลต์มิเตอร์ แต่ไม่ใช้กับงานที่ต้องการความถูกต้องสูง เนื่องจากการเปลี่ยนแปลงในแหล่งกำเนิดสัญญาณแรมป์ขึ้นอยู่กับการสุ่มและผลตอบสนองต่อสัญญาณอินพุต ทำให้ไม่มีความคงที่ ดังนั้น จึงมีการปรับปรุงให้ดีขึ้นกลายเป็นแบบสโลปคู่ (Dual Slope)

2. แบบสโลปคู่ (Dual Slope A/D Converter)

ADC แบบสโลปคู่ซึ่งวงจรส่วนใหญ่จะคล้ายกับแบบสโลปเดียวแต่มีสวิตช์ที่อินพุตเพิ่มขึ้นเพื่อทำการเลือกกระหว่างแรงดันอินพุตกับแรงดันอ้างอิง (วงจรเปรียบเทียบต่อขาสัญญาณกลับกันกับแบบสโลปเดียว)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดี ของวงจรเปลี่ยนสัญญาณแบบสโโลปคู่ คือ ความถูกต้องสูง ราคาถูก เสถียรภาพทางอุณหภูมิ ส่วนข้อเสีย คือ ความเร็วต่ำ ในการแปลงสัญญาณ 1 ครั้ง อาจใช้เวลาถึง 100 มิลลิวินาที (ในขณะที่แบบแฟลชใช้เวลาประมาณ 30 มิลลิวินาที)

3. แบบชาร์จบาลานซ์ (Charge Balance A/D Converter)

วงจรเปลี่ยนสัญญาณแบบชาร์จบาลานซ์ใช้วงจรสำคัญคล้ายกับแบบสโโลปคู่ นั่นเองแต่แทนที่จะให้อินพุตไปมาระหว่างแรงดันที่ไม่รู้ค่า ก็ทำการแทรกพัลส์ต่อท้ายอ้างอิงมาโดยตรง ที่จุดรวมของวงจรอินทิเกรตโดยจำนวนของพัลส์เป็นสัดส่วนโดยตรงกับแรงดันอินพุตประโยชน์ของเทคนิคนี้ คือ แรงดันตกคร่อมตัวเก็บประจุของวงจรอินทิเกรต มีค่าใกล้เคียง 0 โวลต์ ดังนั้นจึงเกิดการผิดพลาดผลของกระแสรั่วไหล ADC ชนิดนี้จึงมีความถูกต้องกว่าแบบสโโลปคู่

ข้อสรุปของวงจร ADC แบบอินทิเกรตสัญญาณ

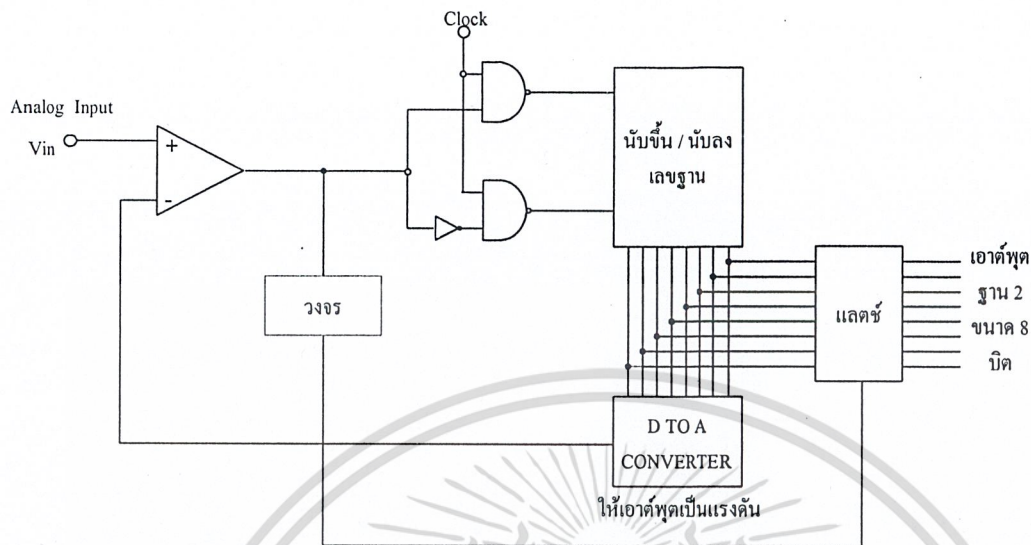
จุดสัญญาณของอินทิเกรตเชิงเทคนิค คือ อินพุตที่ป้อนให้กับวงจรอินทิเกรเตอร์นั้นต้องเป็นกระแสไอซีคอนเวอร์เตอร์ บางตัวอาจมีอินพุตให้สองขาแต่จะมีขาหนึ่งต่อกับจุด Summing Point ใช้กับอุปกรณ์ที่เป็นแหล่งจ่ายกระแสโดยตรง

ถ้าให้อินพุตเป็นกระแสก็ไม่ต้องคำนึงถึงแรงดันออฟเซตของวงจรอินทิเกรเตอร์ แต่ถ้าใช้กับอินพุตที่เป็นแรงดัน (ที่ต้องมีตัวต้านทานต่ออนุกรมอยู่เพื่อให้ได้เป็นกระแส) ต้องปรับออฟเซตให้กับออปแอมป์เสียก่อน การใช้อินพุตเป็นกระแสที่ทำให้ย่านทางไฟฟ้ากระแสล้นกว้าง

2.5.3 การเปลี่ยนสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบวงจรนับและวงจร DAC ประกอบกัน

1. แบบวงจรนับเดียว (Single converter)

แม้ที่จริงแล้วสัญญาณแร่มปีเชิงเส้น (Linear ramp) อาจประกอบขึ้นด้วยสัญญาณขั้นบันไดเล็ก ๆ จำนวนมาก ที่เกิดจากการต่อเอาต์พุตของวงจรนับเข้ากับวงจร DAC โดยขนาดของขั้นบันไดแต่ละขั้นขึ้นอยู่กับการนับหรือความละเอียดของวงจร DAC นั้น ๆ



รูปที่ 2.7 วงจร DAC แบบวงจรนับเดียวที่สร้างขึ้นโดยวงจรนับขึ้นและวงจร DAC

รูปที่ 2.7 แสดงการกำเนิดสัญญาณแรมป์เดี่ยว (Single Ramp) ด้วยวงจรนับและวงจร DAC (แทนวงจรอินทิเกรเตอร์) เมื่อเริ่มแปลงสัญญาณวงจรนับจะถูกรีเซ็ตเอาต์พุตของวงจร DAC มีระดับ 0 เมื่อแรงดันถูกป้อนเข้าไปยังอินพุตของวงจรเปรียบเทียบ เอาต์พุตก็จะขึ้นสู่ระดับ “High” และเปิดสัญญาณนาฬิกาไปสู่วงจรนับแต่ละพัลส์ของสัญญาณนาฬิกา ทำให้เกิดการนับและเพิ่มแรงดัน 1 ขึ้น

เมื่อเอาต์พุตของ DAC มีค่ามากกว่าอินพุต เอาต์พุตของวงจรเปรียบเทียบก็กลายเป็น “Low” ทำให้สัญญาณนาฬิกาไม่อาจผ่านไปยังวงจรนับได้ ดังนั้นวงจรควบคุมจะทำการแลตช์ของวงจรนับและรีเซ็ตวงจรนับให้เริ่มต้นรอบใหม่อีกครั้งหนึ่ง

2. แบบแทรกกิ้ง (Tracking A/D Converter)

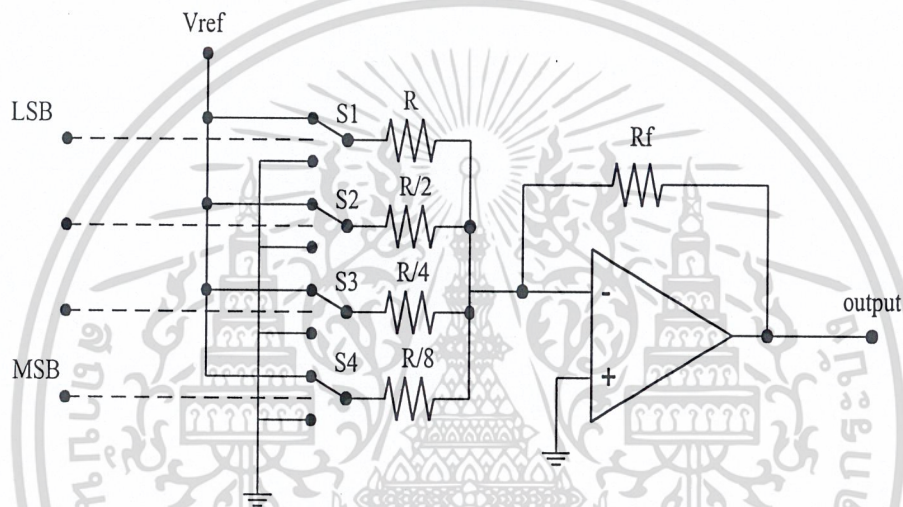
การทำงานจะคล้ายกับวงจรนับเดียว แต่การนับจะไม่ได้เริ่มจากศูนย์แต่จะทำการนับขึ้นนับลงจากค่าสุดท้ายไปยังค่าใหม่ แล้วแต่ค่าแรงดันอินพุตในรอบใหม่มีค่าสูงหรือต่ำกว่ารอบที่แล้ว ข้อดีของ ADC แบบแทรกกิ้ง คือ ทำงานได้เร็วขึ้น

2.6 การเปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณแอนาล็อก (D/A Converter)

การเปลี่ยนสัญญาณดิจิทัลเป็นแอนาล็อก (D/A Converter) มีวิธีการที่นิยมใช้กัน 2 วิธีด้วยกัน วิธีแรกเรียกว่า แบบ Weighted-Current-Source และวิธีที่ 2 เรียกว่า แบบ R-2R Ladder

2.6.1 แบ่งตามน้ำหนักที่อินพุต (Binary Weighted Resistor Ladder)

การวงจร Binary Weighted Resistor Ladder มีลักษณะตามรูปที่ 2.8 สวิตช์ S1-S4 จะถูกควบคุม เปิด-ปิด ด้วยรหัสดิจิทัลเพื่อตัด/ต่อ แรงดันอ้างอิงเข้ากับวงจร รีซิสเตอร์ที่มีค่า R 2R 4R 2R ตัวอย่าง ในกรณีที่ DAC นี้เป็นแบบ 4 บิต ก็จะใช้รีซิสเตอร์ เป็น 10 กิโลโอห์ม 20 กิโลโอห์ม และ 80 กิโลโอห์ม เป็นต้น

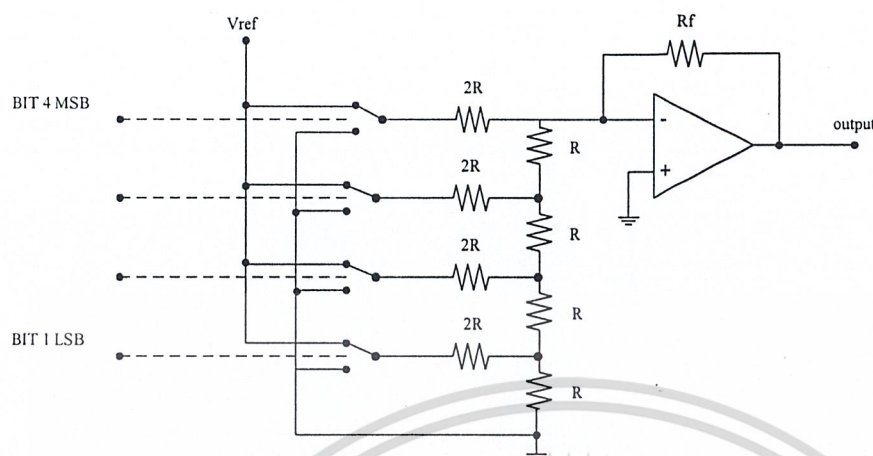


รูปที่ 2.8 DAC แบบ Binary Weighted Resistor Ladder

ค่ารีซิสเตอร์ที่ weight ค่าตามรหัสดิจิทัลที่เพิ่มขึ้นจะทำให้กระแสผ่านรีซิสเตอร์เข้าไปรวมกันก่อนเข้าออปแอมป์ลดลงด้วยแฟกเตอร์ 2 ตามค่าความต้านทานที่เพิ่มขึ้น เช่น หากแรงดันอ้างอิงเป็น 10 โวลต์ในตัวอย่างนี้ กระแสที่ผ่านรีซิสเตอร์จะเป็น 1.0 , 0.5 , 0.25 และ 0.125

2.7.2 R-2R แลตเตอร์

DAC ชนิดนี้เป็นอีกแบบหนึ่งซึ่งจะแก้ปัญหาในการหาความต้านทาน ซึ่งมีค่าที่แตกต่างกันมาก ๆ ให้เป็นวงจรที่ใช้ค่าความต้านทานต่างกันเพียง 2 ค่าเท่านั้น โดยการต่อวงจรที่เรียกว่า R-2R Network หรือ R-2R Ladder สัญญาณของอินพุตแต่ละบิตที่ป้อนเข้าวงจรจะทำให้เอาต์พุตที่ได้เปลี่ยนแปลงไป วงจรการทำงานดังรูปที่ 2.9



รูปที่ 2.9 DAC แบบ R-2R เลดเดอร์

2.7 หลักการของเครื่องวิเคราะห์สัญญาณ

ในการวัดสัญญาณสามารถแยกออกเป็น 2 วิธี

1. การวัดสัญญาณเชิงเวลา (Time domain) เป็นการวัดระหว่างแอมพลิจูดกับเวลา ตัวอย่างเครื่องวัดชนิดนี้ คือ ออสซิลโลสโคป

2. การวัดสัญญาณเชิงความถี่ (Frequency domain) หรือจะเรียกว่าการวิเคราะห์หาสเปกตรัม (Spectrum analysis) เป็นการวัดสัญญาณระหว่าง แอมพลิจูดกับความถี่ ซึ่งเป็นวิธีที่นิยมมาก เพราะสะดวกในการอ่านค่าเชิงความถี่ต่าง ๆ ตัวอย่างเครื่องมือวัดชนิดนี้ ก็คือ เครื่องวัดความผิดเพี้ยน เครื่องวิเคราะห์คลื่นสัญญาณ เครื่องวิเคราะห์สเปกตรัมและเครื่องวิเคราะห์ทางฟูเรียร์

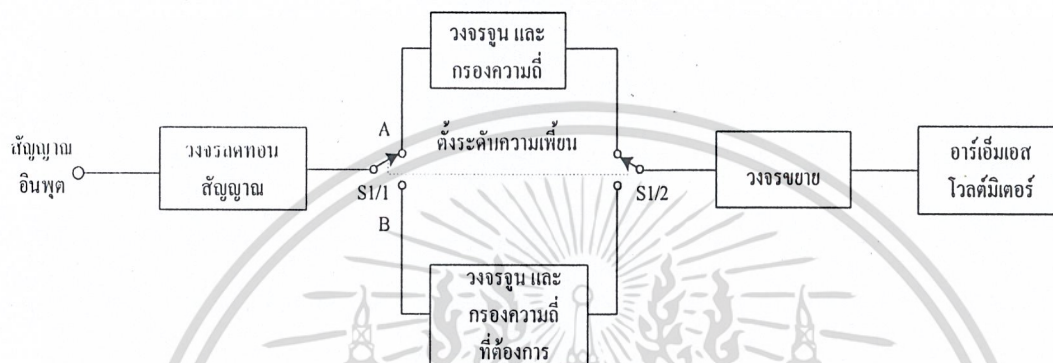
2.7.1 เครื่องวิเคราะห์ความผิดเพี้ยน (Distortion analyzer)

ความหมายของความผิดเพี้ยนของสัญญาณ (Distortion) นั่นคือ การที่สัญญาณทางเอาต์พุต มีลักษณะที่ผิดเพี้ยนหรือแตกต่างไปจากสัญญาณทางอินพุต เช่น เมื่อป้อนสัญญาณรูปคลื่นไซน์ (Sinusoidal Signal) เป็นสัญญาณอินพุตให้กับวงจรขยาย เมื่อทำการขยายแล้วสัญญาณที่ออกมาที่เอาต์พุตจะมีขนาดแอมพลิจูดที่สูงขึ้น แต่จะมีลักษณะสัญญาณที่ผิดเพี้ยนไปจากอินพุตเดิม อันเนื่องมาจากวงจรขยายทั่วไบนั้นจะประกอบขึ้นจากอุปกรณ์ประเภทแอกทีฟและอุปกรณ์ประเภทพาสซีฟ อุปกรณ์เหล่านี้จะมีลักษณะไม่เป็นเชิงเส้นความผิดเพี้ยนนี้สามารถวัดออกมาได้ว่ามีความผิดเพี้ยนมากน้อยเพียงใด ด้วยเครื่องมือวัดความผิดเพี้ยน

เมื่อทำการวัดสัญญาณทางเอาต์พุตของวงจรขยายด้วยเครื่องออสซิลโลสโคปจะพบว่าสัญญาณทางเอาต์พุตนั้นไม่ใช่สัญญาณคลื่นไซน์ที่สมบูรณ์เพราะจะประกอบไปด้วยสัญญาณที่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ต่าง ๆ ปะปนกันมาเช่น จะประกอบด้วยความถี่มูลฐาน (Fundamental frequency) และความถี่ฮาร์โมนิกต่าง ๆ ของความถี่มูลฐาน เช่น ฮาร์โมนิกที่ 2 (2f) , ฮาร์โมนิกที่ 3 (3f) , ฮาร์โมนิกที่ 4 (4f) ตามลำดับเป็นต้น เมื่อรวมกันหลายความถี่ก็จะได้รูปคลื่นไซน์ที่ผิดเพี้ยนไปจากเดิมมาปรากฏบนจอออสซิลโลสโคป



รูปที่ 2.10 แผนผังการทำงานเบื้องต้นของเครื่องวัดความผิดเพี้ยน

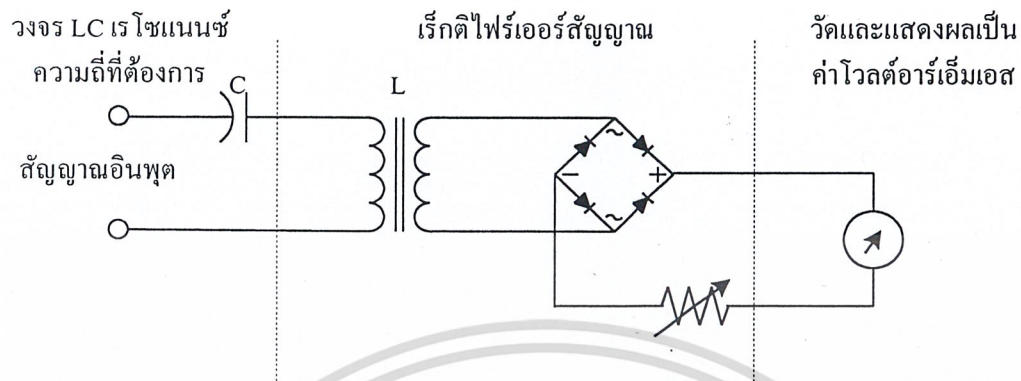
ลักษณะการวัดความผิดเพี้ยนเบื้องต้นสังเกตจากรูปที่ 2.10 เมื่อทำการเลื่อนสวิตช์ S1 มาที่ตำแหน่ง A สัญญาณอินพุตจะผ่านวงจรแบนด์พาสฟิลเตอร์เพื่อปรับหาความถี่มูลฐาน ซึ่งความถี่มูลฐานนี้จะมีแอมพลิจูดสูงสุดในบรรดาความถี่ฮาร์โมนิกทั้งหลายที่ปะปนมาส่วนวงจรลดทอนสัญญาณจะใช้ปรับค่าแอมพลิจูดรวมให้เหมาะสมกับสเกลของโวลต์มิเตอร์และค่าแอมพลิจูดของความถี่ฮาร์โมนิกอื่น ๆ ก็จะมีค่าลดลงตามลำดับและเมื่อเลือกสวิตช์ S1 ไปที่ตำแหน่ง B สัญญาณอินพุต ก็จะผ่านเข้าสู่วงจรรีเจ็คชันฟิลเตอร์ เพื่อที่จะทำการหาค่าของแอมพลิจูดของความถี่มูลฐานอีกชั้นหนึ่งที่เด่นชัดมากขึ้น นั้นหมายความว่า ความถี่ฮาร์โมนิกจะถูกกันไว้ไม่ให้ผ่านออกไป ในขณะที่วงจรลดทอนสัญญาณจะทำหน้าที่ปรับค่าแอมพลิจูดของความถี่มูลฐานให้ได้ค่าสูงสุดที่สามารถอ่านได้จากโวลต์มิเตอร์ซึ่งเมื่อวัดค่าต่างๆ ได้จากเครื่องวัดความผิดเพี้ยนแล้วก็จะทำการหาค่าเปอร์เซ็นต์ความผิดเพี้ยนรวม (Total Harmonic Distortion:THD) ได้

2.7.2 เครื่องวิเคราะห์คลื่นสัญญาณ (Wave analyzer)

การวัดความผิดเพี้ยน THD ที่ผ่านมานั้นจะเป็นการวัดทางฮาร์โมนิกรวมทั้งหมดที่ว่าด้วยแอมพลิจูดของความถี่ทั้งหมด แต่ในบางครั้งหาก ต้องการวัดค่าแอมพลิจูด ของความถี่ฮาร์โมนิกใดฮาร์โมนิกหนึ่งแยกจากกันต่างหากจำเป็นต้องอาศัยการวัดโดยใช้เครื่องวิเคราะห์ คลื่นสัญญาณ และวงจรพื้นฐานหรือหลักการพื้นฐานการวัดของเครื่องวิเคราะห์คลื่นสัญญาณก็ได้แสดงไว้ในรูปที่

2.11

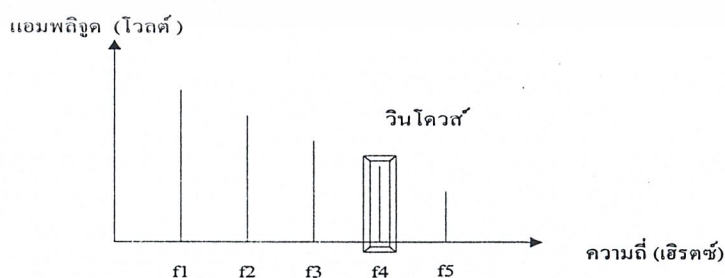
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 วงจรพื้นฐานของเครื่องวิเคราะห์คลื่นสัญญาณ

จากรูปที่ 2.11 หลักการพื้นฐานของการวิเคราะห์คลื่นสัญญาณส่วนแรก จะเป็นส่วนที่ตรวจจับคลื่นความถี่ที่ต้องการโดยมีลักษณะเป็นวงจรเทงค์ LC เรโซแนนซ์แล้วทำการปรับเอาความถี่ฮาร์มอนิกที่ต้องการทำการวิเคราะห์ ให้สามารถผ่านวงจรนี้เข้าสู่วงจรในส่วนที่สอง เพื่อทำการเรกติไฟเออร์แบบเต็มรูปคลื่นให้กลายเป็นค่าของแรงดันไฟฟ้ากระแสตรงให้สามารถวัดค่าได้ด้วยอาร์เอ็มเอสโวลต์มิเตอร์ เป็นวงจรส่วนสุดท้ายซึ่งสามารถปรับค่าได้เพื่อใช้ในการอ่านค่าแรงดันของอินพุตสัญญาณคลื่นไซน์

ลักษณะการอ่านค่าของแอมพลิจูดของความถี่ต่าง ๆ ที่กำลังทำการวิเคราะห์ จะอ่านค่าโดยมองผ่านแผนผัง หรือส่วนใหญ่เรียกว่าวินโดวส์ ดังแสดงในรูปที่ 2.11 ซึ่งหลักการนี้อาจเรียกได้อีกอย่างหนึ่งว่า นอน-เรียลไทม์อะนาไลเซอร์ (Non-Realtime-Analyzers) หมายถึง การอ่านค่าของแอมพลิจูดที่เวลาหนึ่งๆ นั้นสามารถอ่านค่าได้เพียงความถี่เดียว และเมื่อเวลาผ่านไปความถี่ค่าๆ หนึ่งนี้ ก็จะมีแอมพลิจูดที่คงที่ไม่ขึ้นกับเวลา



รูปที่ 2.12 การอ่านค่าจากเครื่องวิเคราะห์คลื่นสัญญาณ

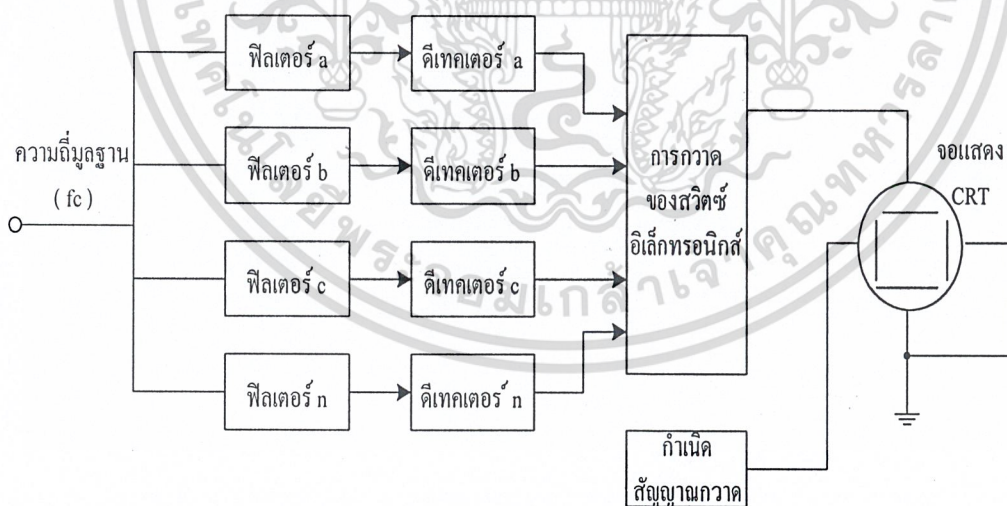
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประโยชน์ของหลักการของเครื่องวิเคราะห์คลื่นสัญญาณที่มีการนำไปใช้ในงานจริง ๆ และกว้างขวางรวมไปถึงจำเป็นต้องใช้ด้วยคือ

1. ใช้วัดค่าแอมพลิจูดของสัญญาณรบกวนและสัญญาณต่างๆ ที่ใช้ในการ อินเทอร์เน็ต
2. ใช้วัดค่าแอมพลิจูดของสัญญาณต่างๆ ที่มีแบนด์วิธแคบๆ

2.7.3 เครื่องวิเคราะห์สเปกตรัม (Spectrum analyzer)

โดยปกติเครื่องวิเคราะห์คลื่นสัญญาณนั้นเป็นแบบนอน-เรียลไทม์อะนาไลเซอร์ที่ทำการวิเคราะห์คลื่นความถี่เฉพาะช่วงแต่สำหรับเครื่องวิเคราะห์สเปกตรัมนี้จะแตกต่างจากเครื่องวิเคราะห์คลื่นสัญญาณอย่างมากกล่าวคือเครื่องวิเคราะห์สเปกตรัมจะเป็นแบบเรียลไทม์อะนาไลเซอร์ (Real-Time-Analyzer) ที่จะแสดงค่าแอมพลิจูดของคลื่นความถี่ทุก ๆ ความถี่ในช่วงความถี่ที่ต้องการวิเคราะห์พร้อมกันทั้งหมดแสดงออกมาเป็นกราฟทางจอแสดงผลแบบ CRT แพนฟังก์โดยจะแกรมหลักการเบื้องต้นของเครื่องวิเคราะห์สเปกตรัมแสดงไว้ในรูปที่ 2.13 เมื่อสัญญาณอินพุตถูกป้อนเข้าสู่วงจร กรองความถี่เพื่อแยกความถี่ต่าง ๆ ส่งไปให้อิเล็กทรอนิกส์สวิตช์ เพื่อเลือกความถี่ในการสแกนออกทางจอภาพ CRT โดยวงจรสวิตช์เฟ้นเนอร์จะผลิตสัญญาณฟันเลื่อยเพื่อใช้ในการสแกนให้ได้เวลาเดียวกับการสวิตช์ซึ่งการทำวิธีนี้นั้น วงจรกรองความถี่แต่ละวงจรจะต้องมีแบนด์วิธแคบๆ เพื่อให้ได้ความถี่ฮาร์โมนิกต่างๆ ที่แยกออกจากกันแล้วจริงๆ



รูปที่ 2.13 แผนผังการทำงานของเครื่องวิเคราะห์สเปกตรัม

การใช้งานต่างๆ ที่พอจะสรุปได้ของเครื่องวิเคราะห์สเปกตรัมคือ

1. ใช้วัดสเปกตรัมของคลื่นสัญญาณที่ต่อเนื่องต่างๆ (Continuous wave)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

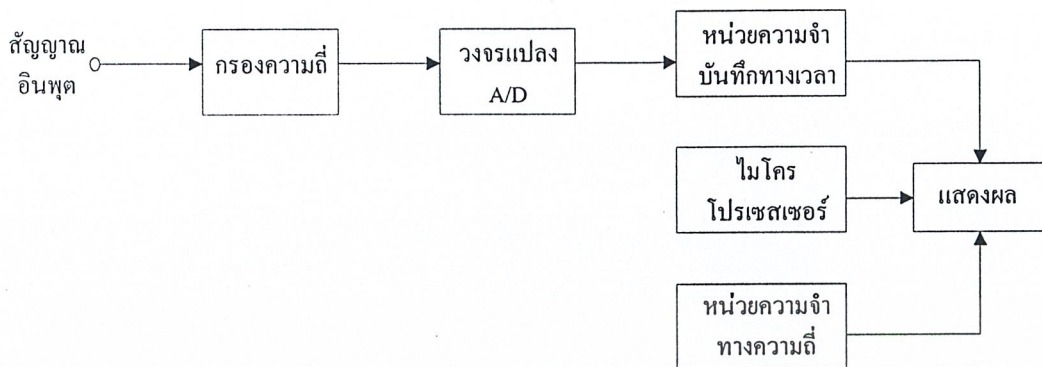
2. ใช้วัดเปอร์เซ็นต์การมอดูเลตทางแอมพลิจูด (ระบบ AM)
3. ใช้วัดความเบี่ยงเบนของการมอดูเลตทางความถี่ (ระบบ FM)
4. ใช้วัดสัญญาณรบกวนเช่นสัญญาณรบกวนอิมพัลส์และสัญญาณรบกวนแรนดอม (Impulse and Random Noise)
5. ใช้วัดการตอบสนองความถี่ของวงจรฟิลเตอร์ชนิดต่าง ๆ

2.7.4 เครื่องวิเคราะห์ทางฟูรีเยร์ (Fourier analyzer)

หลักการวัดของการวิเคราะห์คลื่นสัญญาณทางฟูรีเยร์จะใช้หลักการและทฤษฎีของการประมวลผลของสัญญาณทางดิจิทัล (Digital Signal Processing: DSP) วิธีนี้เป็นวิธีที่มีประสิทธิภาพในการวิเคราะห์สัญญาณมากกว่าการวิเคราะห์ทางสเปกตรัม กล่าวคือ การวิเคราะห์คลื่นสัญญาณทางฟูรีเยร์สามารถวัดค่าได้ทั้งความถี่ต่ำ ๆ ได้ (คือสัญญาณที่มีแบนด์วิดธ์ในการวัดกว้างกว่ามาก ๆ) และสามารถวัดสัญญาณที่มีความถี่ติดกัน หรือใกล้เคียงกันมาก ๆ ได้ (มีความละเอียดสูง)

เครื่องวิเคราะห์สัญญาณทางฟูรีเยร์มีพื้นฐานมาจากการคำนวณ Discrete Fourier Transform โดยใช้อัลกอริทึมแบบ FFT (Fast Fourier Transform) วิธีนี้จะใช้การสุ่มสัญญาณทางสัญญาณอินพุตเชิงเวลา ให้เปลี่ยนเป็นสัญญาณทางดิจิทัลเหมือนกับการแปลงสัญญาณแอนาลอกเป็นสัญญาณดิจิทัล แล้วค่อยนำไปคำนวณหาค่าความถี่ด้วยทฤษฎีของ DSP แผนผังไคอะแกรมของเครื่องวิเคราะห์สัญญาณทางฟูรีเยร์ แสดงไว้ในรูปที่ 2.14 เมื่อป้อนสัญญาณทางอินพุต สัญญาณจะผ่านวงจรกรองความถี่ต่ำผ่าน เพื่อกำจัดความถี่นอกแบนด์วิดธ์ออกก่อน แล้วจึงจะผ่านวงจรแปลงสัญญาณแอนาลอกเป็นสัญญาณดิจิทัลโดยการสุ่มผ่านย่อยจนหมดก่อน แล้วเก็บค่าไว้ในไทม์เรกคอร์ดส่วนไมโครโปรเซสเซอร์นั้นจะทำหน้าที่คำนวณจากไทม์โดเมนไปสู่ฟ्रीเควนซีโดเมนซึ่งผลจากการคำนวณเป็นความถี่ นี้จะถูกเก็บไว้ในหน่วยความจำความถี่ และสามารถแสดงผลออกทางจอ CRT หรือทางเครื่องพล็อตเตอร์ได้อีกด้วย

จากการที่เครื่องวิเคราะห์สัญญาณทางฟูรีเยร์มีการทำงานเป็นระบบดิจิทัลดังนั้นจึงสามารถอินเตอร์เฟสกับระบบคอมพิวเตอร์ หรือเครื่องมืออื่น ๆ ในระบบที่มีลักษณะการทำงานแบบดิจิทัลได้อีก ซึ่งในปัจจุบันนี้ การสื่อสารข้อมูลทางเครื่องคอมพิวเตอร์เป็นสิ่งที่ขาดไม่ได้ จากเหตุผลดังกล่าวเครื่องวิเคราะห์สัญญาณทางฟูรีเยร์ สามารถที่จะอินเตอร์เฟสข้อมูลกับระบบคอมพิวเตอร์ได้ทางพอร์ตมาตรฐาน IEEE-488 หรือ ทางพอร์ตเดียวกันนี้เองก็สามารถทำการอินเตอร์เฟส กับเครื่องมืออื่นที่มีพอร์ตอินเตอร์เฟส IEEE-488 เช่นเดียวกัน



รูปที่ 2.14 แผนผังการทำงานของเครื่องวิเคราะห์ทางฟูเรียร์

2.8 ชิป DSP เบอร์ TMS320C50

ชิพ DSP เบอร์ TMS320C50 ซึ่งเป็นชิพประมวลผลสัญญาณเชิงเลขที่ถูกออกแบบมาให้ใช้งานด้าน DSP จากประวัติการสร้างชิพ DSP บริษัทเท็กซัสอินสตรูเมนต์ได้แนะนำเป็นครั้งแรกเมื่อปี พ.ศ.2525 ด้วยเบอร์ TMS320C10 ได้รับเลือกเป็นผลิตภัณฑ์ดีเด่นในปีนั้นเอง ดังนั้นชิพ TMS320C10 จึงกลายเป็นแบบสำหรับ TMS320 ในรุ่นต่อ ๆ มา ปัจจุบัน TMS320C50 เป็นชิพประมวลผลสัญญาณเชิงเลขที่ใหม่ล่าสุดมีประสิทธิภาพสูงสุด มีหน่วยความจำและอุปกรณ์เชื่อมต่อภายในทำให้มีความสะดวกและประหยัดในการใช้งาน โดยเฉพาะมีไซเคิลของคำสั่งเพียง 50 นาโนวินาทีในการทำคำสั่งแต่ละคำสั่งจะใช้เวลาหนึ่งไซเคิล ทำให้สามารถประมวลผลสัญญาณได้ถึง 28 ล้าน คำสั่งต่อวินาทีและสามารถทำการประมวลผลแบบเวลาจริงได้ทันทีซึ่งชิพ TMS320C50 นี้เป็นชิพประมวลผลสัญญาณเชิงเลขชิพเดี่ยว (Single Chip) ขนาด 16 บิต แบบไม่คิดค่าจุดทศนิยมมีความยืดหยุ่นในการควบคุมด้วยความเร็วสูงซึ่งมีคุณสมบัติดังนี้

1. กลุ่มคำสั่งมีความยืดหยุ่นสูงมาก
2. สะดวกต่อการใช้งาน
3. มีความเร็วสูงสามารถปฏิบัติงานได้มากกว่า 28 ล้านคำสั่งต่อวินาที
4. ออกแบบด้วยสถาปัตยกรรมแบบขนาน
5. ราคาถูก

2.8.1 ลักษณะโครงสร้างของ TMS320C50

1. ไซเคิลในการทำงานของคำสั่งใช้เวลา 35-50 นาโนวินาที
2. ซอร์สโค้ดเข้ากันได้กับ C1x และ C2x
3. ทำคำสั่งได้ 28.6 ล้านคำสั่งต่อวินาที (MIPS)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. มีหน่วยความจำข้อมูลภายในชิพ (RAM) 9 กิโลเวิร์ด
5. มีหน่วยความจำโปรแกรม (ROM) 2 กิโลเวิร์ด
6. มีทางเข้าถึงหน่วยความจำข้อมูล 2 ทาง ภายในชิพ(RAM) 1056 กิโลเวิร์ด
7. มีพื้นที่หน่วยความจำภายนอก 224 กิโลเวิร์ด
8. หน่วยประมวลผลคณิตศาสตร์ (ALU) แอคคิวมูเลเตอร์ (ACC) และบัฟเฟอร์มีขนาด 32 บิต
9. หน่วยลอจิกขนานมีขนาด 16 บิต
10. การคูณเป็นแบบขนานขนาด $16 * 16$ บิต ซึ่งจะได้ผลลัพธ์เป็น 32 บิต
11. คูณเลขโดยใช้สัญณานาฬิกาหนึ่งไซเคิล
12. มีอ็อกซิลารีรีจิสเตอร์ จำนวน 8 ตัว
13. เพิ่มฮาร์ดแวร์สแตคขึ้นถึง 8 ระดับ
14. มีตัวเลื่อนบิต (Shifter) แบบขนาน 16 บิต และ 64 บิต ในการเลื่อนข้อมูล
15. มีการทวนคำสั่งที่เป็นคำสั่งเดียว และทวนรหัสโปรแกรมหรือข้อมูลเป็นบล็อก
16. มีการจัดการโปรแกรมหรือข้อมูลไปไว้ในบล็อกหน่วยความจำที่ดีกว่า
17. มีพอร์ตอนุกรมแบบเข้าจังหวะ (Synchronous) 2 ทาง (Full Duplex) สำหรับติดต่อกับพอร์ตอนุกรมกับอุปกรณ์อื่น ๆ
18. มีพอร์ตอินพุต เอาต์พุต แบบขนานทั้งหมด 64 K และมี 16 พอร์ต อยู่ในพื้นที่หน่วยความจำ
19. มีโปรแกรม Wait-state เพื่อใช้ในการติดต่อกับอุปกรณ์ หรือหน่วยความจำภายนอกที่ทำงานช้ากว่า
20. ปฏิบัติงานแบบ 4 ไปป์ไลน์
21. โหมดการอ้างข้อมูลแบบชี้ตำแหน่ง (Index-addressing)
22. มีตัวกำเนิดสัญญาณนาฬิกาภายในชิพ
23. ใช้เทคโนโลยีแบบ CMOS ใช้ไฟเลี้ยง 5 โวลต์
24. มี 32 ขา

2.8.2 สถาปัตยกรรมของ TMS320C50 ชิพ DSP โดยทั่วไป

โครงสร้างสำคัญของ TMS320C50 ประกอบด้วยส่วนสำคัญ 3 ส่วน คือ

1. หน่วยประมวลผลกลาง
2. หน่วยความจำ
3. วงจรอินเทอร์เฟซกับอุปกรณ์ภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TMS320C50 เป็นไมโครโปรเซสเซอร์ใช้สำหรับการประมวลผลสัญญาณเชิงเลขซึ่งจะมีลักษณะการทำงานคล้ายคลึงกับ TMS320C25 และใช้สถาปัตยกรรมเดียวกัน คือ สถาปัตยกรรมแบบ “ฮาวาร์ด” โดยจะแบ่งโครงสร้างของหน่วยความจำออกเป็น 2 ส่วนแยกจากกันคือหน่วยความจำโปรแกรมและหน่วยความจำข้อมูลซึ่งจะทำให้การทำงานต่าง ๆ เป็นไปด้วยความเร็วสูง นอกจากนี้ยังสามารถทำการโอนย้ายข้อมูลระหว่างกันได้

ในการคำนวณทางคณิตศาสตร์นั้น จะทำการคำนวณโดยใช้เลขแบบทศนิยมพลีเมนต์โดยใช้ ALU ซึ่งเป็นหน่วยกระทำทางคณิตศาสตร์ และลอจิกจะใช้ตัวกระทำขนาด 16 บิตเวิร์ด และแอสเซมบลีเตอร์ขนาด 32 บิต

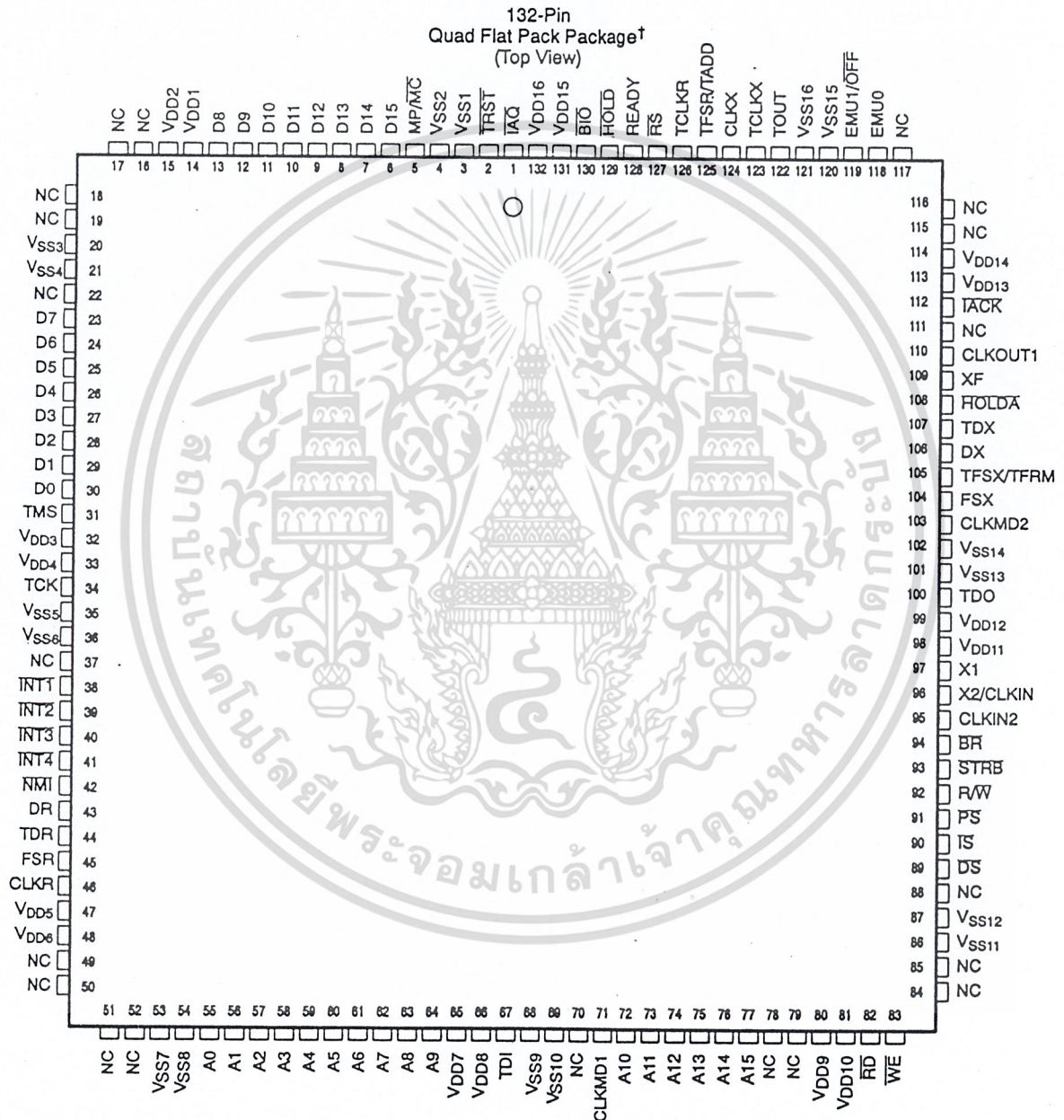
2.8.3 ขาของ TMS320C50 DSP

ชิปประมวลผลสัญญาณเชิงเลขเบอร์ TMS320C50 จะมีลักษณะเป็นเพ็กเกจ มีขาต่าง ๆ 132 ขารอบเพ็กเกจทั้ง 4 ด้าน (Quad Flat Pack Package: QFP) ซึ่งแต่ละขามีความสัมพันธ์กันดังรูปที่ 2.15



A.1 Pinout and Signal Descriptions

Figure A–1. TMS320C5x Pinout



† See Pin Assignments, Table A–1 (page A-3) for location and description of all pins. The 'C50, 'C51, and 'C53 are packaged in 132-pin plastic QFP in production. See Figure A–20 for mechanical data.
Note: NC = No connect. (These pins are reserved.)

รูปที่ 2.15 ลักษณะภายนอกของ TMS320C50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8.4 การอ้างถึงตำแหน่งข้อมูล

TMS320C50 สามารถอ้างหน่วยความจำโปรแกรมได้ 64 กิโลเวิร์ด และอ้างหน่วยความจำข้อมูล 96 กิโลเวิร์ด มีโหมดการอ้างถึงตำแหน่งข้อมูล 8 โหมด โหมดที่สำคัญมี 6 โหมด คือ

1. การอ้างตำแหน่งโดยตรง (Direct addressing mode)
2. การอ้างตำแหน่งโดยอ้อม (Indirect addressing mode)
3. การอ้างตำแหน่งแบบทันที (Immediate addressing mode)
4. การอ้างตำแหน่งแบบรีจิสเตอร์ (Dedicated register addressing mode)
5. การอ้างตำแหน่งผังหน่วยความจำรีจิสเตอร์ (Memory-mapped register addressing mode)
6. การอ้างตำแหน่งแบบแฝง (Circular addressing mode)

2.8.5 การควบคุมการนำข้อมูลเข้าและส่งออก (Peripheral Control)

ใน C50 มีคอนเนกเตอร์เชื่อมต่อกับ CPU ได้แก่ พอร์ตอนุกรม , พอร์ตอนุกรม TDM , ไทม์เมอร์ , ซอฟต์แวร์โปรแกรมสถานะการคอย (Wait-state) , อินพุต-เอาต์พุต พอร์ต , การหารโดยใช้คล็อกหนึ่งลูก (Divide by One Clock) และขา XF กับ BIO โดยอุปกรณ์เชื่อมต่อเหล่านี้สามารถควบคุมได้โดยตรงจากรีจิสเตอร์ที่เก็บผังหน่วยความจำไว้

2.8.6 การจัดหน่วยความจำ

ในตัว TMS320C50 มีหน่วยความจำความเร็วสูงขนาด 1056 เวิร์ด โดยที่แต่ละเวิร์ดมีขนาด 16 บิต และมีรวมภายในขนาด 256 เวิร์ด สามารถอ้างอิงหน่วยความจำภายนอกได้ถึง 224 กิโลเวิร์ด แบ่งเป็นหน่วยความจำข้อมูล, หน่วยความจำโปรแกรมและหน่วยความจำอินพุต-เอาต์พุต(I/O)อย่างละ 64 กิโลเวิร์ด นอกนั้นอีก 32 กิโลเวิร์ด สำหรับใช้งานทั่ว ๆ ไป

ส่วน ALU (Arithmetic Logic Unit) , แอคคิวมูเลเตอร์ (ACC) และแอสคิวมูเลเตอร์บัฟเฟอร์ (ACCB) มีขนาด 32 บิต ที่สามารถคูณเลขขนาด 32 บิต ได้ภายใน 1 แมกซีนไซเคิลทั้งนี้เนื่องจากตัว ALU มีวงจรคูณแบบ 16 X 16 บิต แบ่งเป็นอินพุต 16 แชนแนล เอาต์พุต 16 แชนแนล วงจรติดต่อกับหน่วยความจำร่วม (Globaldata Memory Interface)

ตัว TMS320C50 สามารถต่อใช้งานเพียงตัวเดียวหรือ จะต่อใช้งานขนานกันหลายตัวที่เรียกว่าเป็นระบบ Multi-Processor System ก็ได้

ในการใช้งานกับหน่วยความจำภายนอกไม่ว่าจะเป็นอีพรอมหรือรอมตัวชิพจะทำงานได้ช้ามากจึงได้เน้นให้ใช้หน่วยความจำแบบภายในชิพ DSP นี้เป็นที่เก็บโปรแกรมแทนในการใช้งานให้ดาวน์โหลดโปรแกรมจากหน่วยความจำภายนอกมาเก็บในชิพแล้วจึงรันโปรแกรมทำงานโดย TMS320C50 ได้เพิ่มคำสั่ง “Block Transfer” ที่ใช้ในการโหลดข้อมูลจากหน่วยความจำภายนอกมาทีละบล็อกแล้วมาเก็บไว้ในแรมของชิพวิธีการนี้จะช่วยให้การทำงานเร็วขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Program		Program		Data	
Hex		Hex		Hex	
0000	Interrupts and	0000	Interrupts and	0000	Memory-mapped
002F	Reserved External	002F	Reserved On chip		Registers
0300	External	0300	on-chip ROM	005F	On-ChipDARAMB
07FF		07FF		0060	
0800	On-Chip SARAM	0800	On-Chip SARAM	007F	Reserved
	(RAM=1)		(RAM=1)	0080	
	External		External		On-ChipDARAMC
	(RAM=0)		(RAM=0)	02FF	Reserved 1
2BFF	External	2BFF	External	0300	On-ChipDARAMB
2C00		2C00		04FF	Reserved
FDFF	On-Chip DARAM	FDFF		0500	
FE00		FE00		07FF	On-Chip SARAM 1
	B0(CNF=1)			0800	
	External(CNF=0)			2BBF	External 0
FFFF		FFFF		2C00	External
				FFFF	
MP/MC=1		MP/MC=1			
Microprocessor Mode		Microprocessor Mode			

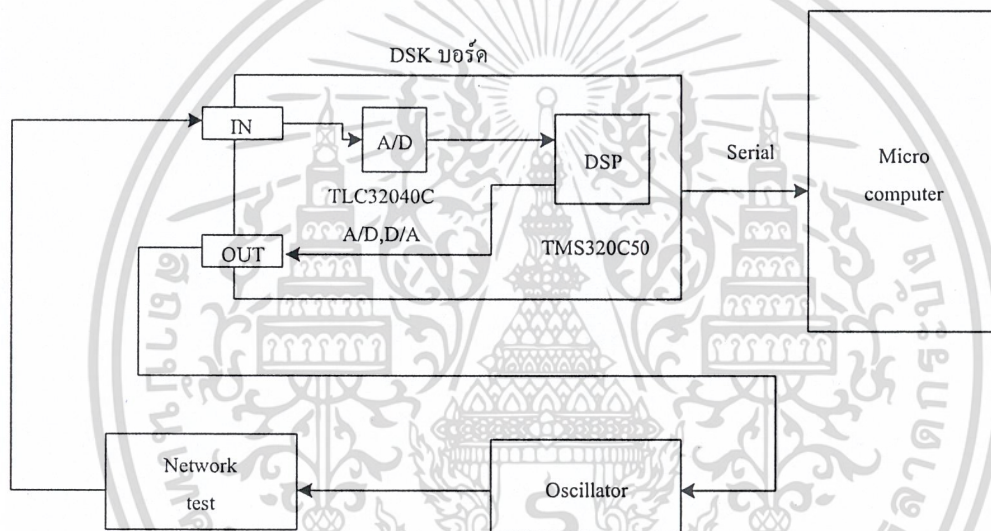
รูปที่ 2.16 ลักษณะการจัดพื้นที่หน่วยความจำของ TMS320C50

บทที่ 3

การออกแบบ การสร้าง และการทำงาน

3.1 การออกแบบวงจร

3.1.1 แผนผังของเครื่องหาผลตอบสนองทางความถี่ของโครงข่ายแบบ 2 ขั้ว



รูปที่ 3.1 แผนผังการทำงานของเครื่องหาผลตอบสนองทางความถี่ของ โครงข่ายแบบ 2 ขั้ว

แผนผังการทำงานของเครื่องหาผลตอบสนองทางความถี่ของโครงข่ายแบบ 2 ขั้ว ประกอบด้วยส่วนต่างๆ ดังต่อไปนี้

1. วงจรกำเนิดความถี่ ทำหน้าที่กำเนิดสัญญาณความถี่ที่ใช้ในการทดสอบ ซึ่งจะถูกควบคุมโดยแรงดัน จากวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อกในการ์ด DSP

2. การ์ด DSP เป็นการ์ดที่ทำหน้าที่ในการประมวลผลสัญญาณที่รับมาจาก วงจรที่ใช้ในการทดสอบ ซึ่งประกอบไปด้วยส่วนหลัก ๆ คือ วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลและวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก ซึ่งในส่วน of วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลนั้น สามารถรับสัญญาณแอนะล็อกที่อยู่ในช่วง -5 V ถึง $+5\text{ V}$ จึงทำให้รับสัญญาณที่เป็นสัญญาณกระแสสลับได้โดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

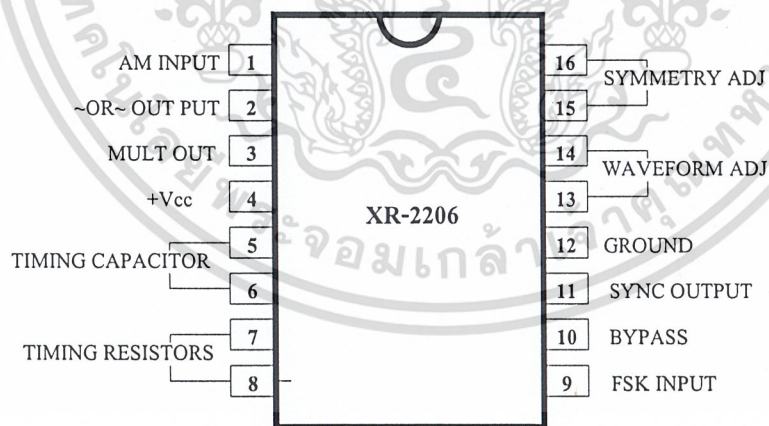
3. ไมโครคอมพิวเตอร์จะมีหน้าที่รับข้อมูลทำการประมวลผลแล้ว จากการ์ด DSP มาแสดงผลตอบสนองทางความถี่ออกทางหน้าจอคอมพิวเตอร์

3.1.2 วงจรผลิตความถี่

วงจรผลิตความถี่เป็นวงจรกำเนิดความถี่ที่จะใช้ในการสแกนความถี่ออกมาทางเอาต์พุต สามารถผลิตความถี่ได้ตั้งแต่ 10 Hz - 20 kHz ซึ่งจะควบคุมความถี่ผ่านทางการ์ด DSP ในโครงงานนี้ใช้ ไอซีเบอร์ XR-2206 เป็นตัวผลิตความถี่

ไอซีเบอร์ XR - 2206 นี้เป็นโมโนลิทิก ฟังก์ชันเจนเนอเรเตอร์ มีความสามารถในการผลิตคลื่นรูปไซน์, รูปคลื่นสามเหลี่ยม, สี่เหลี่ยม และ แรมป์ ได้ โดยที่มีความถี่ตั้งแต่ 0.01Hz จนถึง 1 MHz โดยต่อกับวงจรภายนอกอีกนิดหน่อย นอกจากนี้ยังสามารถนำไอซี XR-2206 มาควบคุมขนาดและความถี่ และ Phase Shift or Frequency Shift Key ได้อีก

สำหรับ XR-2206 นี้ผลิตโดยบริษัท Exar Integrated System Inc ซึ่งอยู่ในแพ็คเกจไอซี 16 ขา สามารถที่จะใช้กับไฟเลี้ยง (Power Supply) ตัวเดียวคือในช่วง 10 ถึง 26 โวลต์ ได้ หรืออาจจะใช้ไฟเลี้ยงคู่ได้ในช่วง 5 ถึง 13 โวลต์ ขณะที่ต้องผลิตสัญญาณคลื่นไซน์ นั้นค่า t.h.d. ของสัญญาณนั้นจะมีค่า 2.5 % เมื่อยังไม่มีการปรับแต่งก็สามารถปรับให้เหลือเพียง 0.5 % ได้โดยการควบคุมของวงจรที่นำมาต่อรวม โดยที่สัญญาณเอาต์พุต รูปไซน์นี้จะมีขนาดสูงสุด 2 V(r.m.s.) และมีเอาต์พุตอิมพีแดนซ์เท่ากับ 600 โอห์ม



รูปที่ 3.2 ลักษณะการจัดขาของ XR-2206

ลักษณะพิเศษของ XR-2206

ความเพี้ยนของสัญญาณ ไซน์

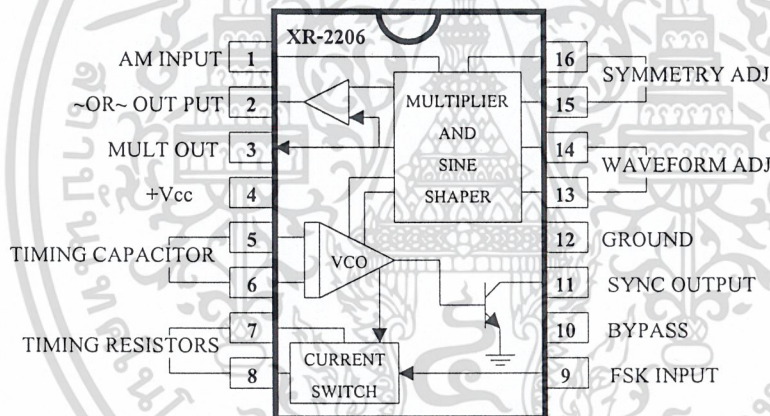
0.5 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เสถียรภาพทางอุณหภูมิ	20 ppm/ °C
ไวด์ สวีฟ เรนจ์ (Wide Sweep Range)	2000 : 1
โลว์ ซัพพลาย เซนซิวิตี (Low-Supply Sensitivity)	0.01 %V
ลิเนียร์ แอมพลิจูด มอดูเลชัน (Linear Amplitude Modulation)	
ทีทีแอล คอมเพทิเบิล เอฟเอสเค คอนโทรล (TTL Completable FSK Controls)	
แหล่งจ่ายไฟ	10 V ถึง 26 V
ปรับ ดิวตี้ ไซเคิล (Duty Cycle) ได้ตั้งแต่	1 % ถึง 99 %

3.1.3 การทำงานของ XR-2206

จากรูปที่ 3.3 แสดงบล็อกไดอะแกรมแต่ละส่วนของ XR-2206 ซึ่งเป็นแพ็คเกจขนาด 16 ขา หัวใจสำคัญของส่วนนี้คือ V.C.O. (Voltage Control Oscillator) ซึ่งจากรูปจะเห็นว่ามีการปาซิเตอร์จัดเวลา (Timing Capacitor) ซึ่งมีค่าได้ในช่วง 10 μ F ต่อที่ขา 5 และ 6 ซึ่งเป็นอินพุตของ V.C.O.



รูปที่ 3.3 บล็อกไดอะแกรมการทำงานของ XR-2206

สำหรับตัวต้านทานจัดเวลา (Timing Resistor) นั้นจะต่อกับขา 12 (V) และขา 7 หรือขา 8 ซึ่งจะมีค่าระหว่าง 1 กิโลโอห์ม ถึง 2 เมกะโอห์ม ค่าของตัวต้านทานจัดเวลาและตัวเก็บประจุจัดเวลานั้นจะมีผลต่อความถี่ในการออสซิลเลตซึ่งจะมีค่าเท่ากับ

$$f_o = \frac{1}{RC} \quad \text{Hz} \quad (3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่าเราสามารถที่จะเปลี่ยนแปลงค่าของ R หรือ C เพื่อทำให้ความถี่เปลี่ยนแปลงได้แต่เพื่อที่จะให้เกิดการคงตัวของอุณหภูมิ (Temperature Stability) และความเพี้ยนของสัญญาณรูปคลื่นไซน์น้อยที่สุด ควรจะให้ค่าของรีซิสเตอร์มีค่าอยู่ระหว่าง 4 กิโลโอห์ม ถึง 200 กิโลโอห์ม

ในการเลือกต่อตัวความต้านทานเวลานั้นว่าจะเลือกต่อกับขา 7 หรือขา 8 นั้นเราจะพิจารณาโดยดูว่า มีการป้อนสัญญาณเข้าที่ขา FSK INPUT (ขา9) นั้นเปิดวงจรหรือต่อกับสัญญาณแรงดันซึ่งมีขนาดมากกว่า 2 โวลต์ จะต้องต่อตัวต้านทานเข้าที่ขา 7 และในทางกลับกัน ถ้าขาFSK INPUT นี้ต่อกับแรงดันไฟฟ้าต่ำกว่า 1 โวลต์ ขา 8 จะต้องต่อตัวต้านทานด้วย

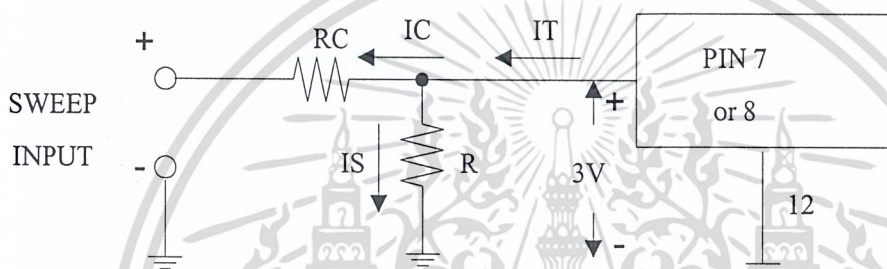
ซึ่งส่วนของ VCO ของไอซี นั้นผลิตรูปคลื่นได้ 2 ชนิดคือรูปคลื่นแรมพ์ซึ่งจะป้อนไปที่ส่วนของมัลติพลีเออร์ และไซน์ เชปเปอร์ บล็อก (Multiplier and Sine Shaper Block) อีกทีหนึ่งและรูปคลื่นสี่เหลี่ยม ซึ่งป้อนออกที่ ขาเอาต์พุต ที่ขา 11 โดยผ่านทรานซิสเตอร์ซึ่งการผลิตรูปคลื่นนี้ก็ขึ้นอยู่กับตัวเก็บประจุจัดเวลา โดยตัวเก็บประจุนี้จะเริ่มต้นเก็บประจุ ซึ่งเป็นผลทำให้เกิดสัญญาณแรมพ์ที่กำลังพุ่งขึ้นและอีกเอาต์พุตหนึ่งจะได้สัญญาณ “High” ที่รูปคลื่นสี่เหลี่ยมจนกระทั่งแรงดันไฟฟ้านั้นจะถึงจุดหนึ่งเรียกว่า ไฟร์อิงโวลต์เตจ (Firing Voltage) ที่จุดนี้จะทำให้สัญญาณของรูปคลื่นสี่เหลี่ยมจะกลับกลายเป็น “Low” และตัวเก็บประจุจัดเวลา จะเก็บประจุในทิศทางกลับกับในตอนต้นจะเป็นผลทำให้สัญญาณรูปแรมพ์ ตกลงซึ่งก็จะตกลงจนถึงที่จุดไฟร์อิง โวลต์เตจ (Firing Voltage) เช่นกัน จะทำให้คลื่นรูปสี่เหลี่ยมกลับกลายเป็นสัญญาณที่มีระดับ ไฮ และขบวนการต่าง ๆ ก็จะกลับไปกลับมาเช่นนี้เหมือนเดิม

จากการอธิบายข้างต้นจะเห็นว่า วิซีโอ (VCO) ของไอซี XR-2206 นี้ จะถูกนำเข้าไปในส่วน ของ มัลติพลีเออร์ และไซน์เชปเปอร์บล็อก (Multiplier and Shaper Block) อีกทีซึ่งส่วนนี้นั้นทำหน้าที่คล้าย ๆ กับวงจรขยายความแตกต่างซึ่งจะทำให้เอาต์พุตอิมพีแดนซ์ที่ขา 3 มีค่าสูง และที่ขาที่ 2 จะเป็นบัฟเฟอร์เอาต์พุตที่มีค่าอิมพีแดนซ์เท่ากับ 600 โอห์ม ในกรณีที่ทำการต่อวงจรให้ที่ขา 13 และ 14 เปิดวงจรออก (Open-Circuit) นั้นจะมีผลทำให้ที่เอาต์พุตขาที่ 2 และ 3 นั้นจะให้รูปคลื่นรูปแรมพ์ออกมาแต่ถ้าต่อรีซิสเตอร์ที่มีความต้านทานประมาณ 200-300โอห์มเข้าที่ขา 13 และ 14 จะทำให้ยอดของคลื่นรูปแรมพ์จะถูกตัดออกทำให้เอาต์พุตที่ขาที่ 2 และขา 3 เป็นคลื่นรูปไซน์ออกมาถ้ามีการปรับแต่งที่ถูกต้องและเหมาะสมจะทำให้คลื่นรูปไซน์ที่ได้มีความเพี้ยนเพียง 0.5 % เท่านั้น

สำหรับอัตราขยายและเฟสเอาต์พุตของมัลติพลีเออร์ สามารถที่จะเปลี่ยนแปลงได้โดยการเพิ่มสัญญาณแรงดันที่ขา 1 ของไอซีเอาต์พุตที่ได้นั้นจะควบคุมโดยการเปลี่ยนแปลงระดับสัญญาณแรงดันที่ขา 7 หรือ 8 ซึ่งค่าแรงดันนี้ควรอยู่ประมาณ ครึ่งหนึ่งของแรงดันที่ไฟเลี้ยงที่จะทำให้สัญญาณเอาต์พุตเพิ่มขึ้นเช่นกันแต่ถ้าเฟสที่ได้จะตรงกันข้ามกัน คุณสมบัตินี้เองสามารถนำมาใช้ในการมอดูเลตขนาด (AM) หรือเฟสชิฟท์คีย์ (Phase Shift Key) ซึ่งจะทำให้เอาต์พุตที่ขาที่ 2 และ 3

เนื่องจากว่าเอาพุตที่ขา 3 ของ ไอซี XR-2206 นั้นต่อกับ อินพุตของวงจรขยายที่มีอัตราขยายเท่ากับ 1 เท่านั้นซึ่งทำให้เกิดบัฟเฟอร์เอาต์พุตที่มีค่าอิมพีแดนซ์เท่ากับ 600 โอห์ม ที่ขา 2 ทำให้เราสามารถที่จะป้อนสัญญาณอินพุตเข้าที่วงจรขยายบัฟเฟอร์ได้โดยการที่ใช้วงจรแบ่งแรงดัน (Potential Divider) หรืออิมพีแดนซ์เข้าขาที่ 3 ได้โดยเทียบกับกราวด์ซึ่งคุณสมบัตินี้เองทำให้สามารถควบคุมอัตราขยายด้วยวิธีง่าย ๆ ได้

3.1.4 การสวீปความถี่ (Frequency Sweep)



รูปที่ 3.4 การต่อวงจรสำหรับการสวิตช์ความถี่

ความดีของการออสซิลเลตจะเป็นสัดส่วนกับกระแสไหลมีทั้งรวมทั้งหมดที่ไหลออกจากขา 7 หรือ 8

$$F = 320 I \quad (\text{mA}) \quad (3.2)$$

ขั้วต่อของการโหม้มิ่ง (ขา 7 หรือ 8) นั้นจะเป็นจุดที่มีอิมพีแดนซ์ต่ำ และ ภายในจะ ไปอัสไวด้วยแรงดันขนาด +3 V เทียบกับขา 12 ความถี่จะเปลี่ยนแปลงอย่างเชิงเส้นกับค่าตลอดช่วงกว้างของค่ากระแสจาก 1 μA ถึง 3 mA ความถี่สามารถควบคุมโดยการป้อนแรงดันควบคุม V_{in} เข้ามาที่ขา 7 โหม้มิ่งที่ใช้งานดังที่แสดงในรูปที่ความถี่ของการออสซิลเลตจะสัมพันธ์กับ V_C คือ

$$f = \frac{1}{RC} \left(1 + \frac{R}{Rc} \left(1 - \frac{Vc}{3} \right) \right) Hz \quad (3.3)$$

ซึ่ง V หน่วยเป็น โวลต์ อัตราขยาย ของการเปลี่ยนแรงดันเป็นความถี่ K คือ

$$K = \partial f / \partial V_c = -\frac{0.32}{R_c C} \quad \text{Hz/V} \quad (3.4)$$

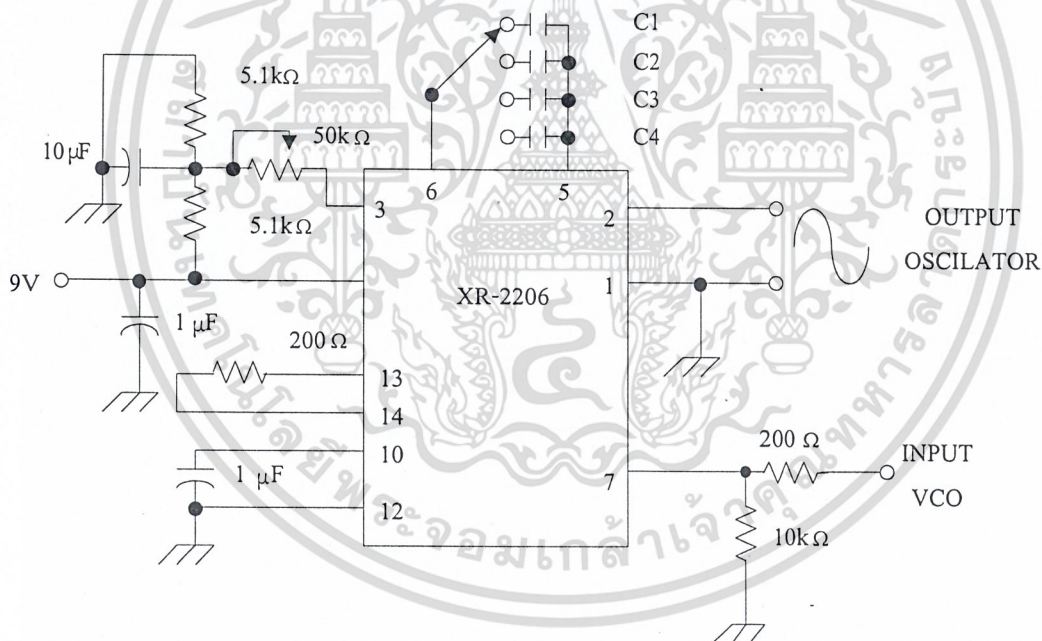
ข้อควรระวัง

สำหรับการทำงานของวงจรที่ปลอดภัย ควรจะจำกัด ๆ ไว้ที่ไม่ให้เกิน 3 mA

3.1.5 เอาต์พุตแอมพลิจูด (Output Amplitude)

แอมพลิจูดทางเอาต์พุตสูงสุดจะเป็นส่วนกลับของตัวต้านทานที่ต่ออยู่นอกคือตัวต้านทานที่ต่ออยู่กับขาที่ 3 ของไอซี สำหรับเอาต์พุตแบบไซน์เวฟแอมพลิจูด จะประมาณ 60 mV ต่อค่า R เท่ากับ 11 k ตัวอย่าง ถ้า R=50 kΩ จะให้สัญญาณแบบไซน์ทางเอาต์พุตประมาณ $\pm 3V$

3.1.6 วงจรกำเนิดความถี่



รูปที่ 3.5 วงจรกำเนิดความถี่

จากรูปที่ 3.5 เป็นวงจรกำเนิดความถี่ (Voltage Control Oscillator:VCO) ซึ่งควบคุมด้วยแรงดันโดยใช้ไอซีเบอร์ XR-2206 ซึ่งไอซี XR-2206 นี้ เป็นไอซีกำเนิดสัญญาณไซน์ เพื่อใช้ทดสอบวงจรโดยความถี่ที่สร้างขึ้นจะถูกกำหนดค่าโดยตัวเก็บประจุที่ต่ออยู่ระหว่างขา 5 และ ขา 6 (Timing Capacitor Input) และ ตัวต้านทานที่ต่ออยู่ที่ขา 7 (Timing Resistor Output) ของไอซีเมื่อเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องการให้วงจรทำหน้าที่กำเนิดความถี่ต้องมีแรงดันจ่ายเข้าที่ตัวต้านทาน 200 โอห์ม ที่ขา 7 และค่าคาปาซิเตอร์ที่ขา 5 กับขา 6 ซึ่งวงจร VCO วงจรนี้มีความถี่อยู่ด้วยกัน 4 ย่าน คือ 10 เฮิรตซ์ ถึง 100 เฮิรตซ์ , 100 เฮิรตซ์ ถึง 1 กิโลเฮิรตซ์ , 1 กิโลเฮิรตซ์ ถึง 10 กิโลเฮิรตซ์ และ 10 กิโลเฮิรตซ์ ถึง 100 กิโลเฮิรตซ์ ในการเปลี่ยนย่านความถี่ดังกล่าวนี้จะใช้ตัวเก็บประจุเป็นตัวเปลี่ยนคือ

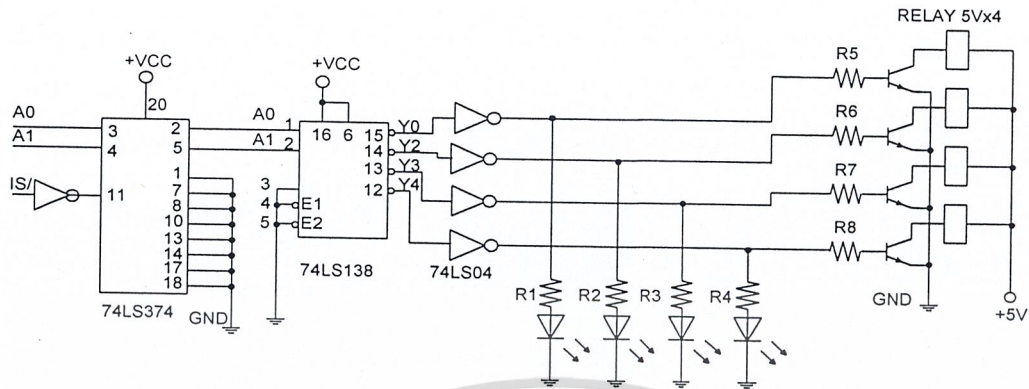
ตัวเก็บประจุ 10 μF	อยู่ที่ความถี่ต่ำ	10 Hz - 100 Hz
ตัวเก็บประจุ 1 μF	อยู่ที่ความถี่กลางต่ำ	100 Hz - 1 kHz
ตัวเก็บประจุ 0.1 μF	อยู่ที่ความถี่กลางสูง	1 kHz - 10 kHz
ตัวเก็บประจุ 0.01 μF	อยู่ที่ความถี่สูง	10 kHz - 100 kHz

VCO ที่เข้ามาที่ขา 7 นี้จะควบคุมค่าความถี่ ให้อยู่ในย่านความถี่ช่วง นั้น ๆ ซึ่งแรงดันของการควบคุมที่ขา 7 นี้จะอยู่ในช่วง 2.43 โวลต์ ถึง 3.00 โวลต์ ถ้าป้อนแรงดันให้เกิน 3.00 โวลต์ จะทำให้ไม่มีความถี่แต่หากจะมีก็จะทำให้สัญญาณเพี้ยนได้ส่วน VCO อินพุตที่ขา 7 จะใช้ความต้านทานคือ 200โอห์มและ10 กิโลโอห์มจะเป็นความต้านทานสำหรับปรับระดับของย่านความถี่นั้น ๆ ก็คือหากเราจะทำการเพิ่มความกว้างของย่านความถี่ในช่วงต่าง ๆ เราสามารถทำได้โดย การเปลี่ยนความต้านทานที่ขา 7นี้แต่ เนื่องจาก ค่าความต้านทาน 200โอห์ม และ 10กิโลโอห์ม ตามรูปที่ 3.5 เป็นค่าความต้านทานที่เหมาะสมแล้ว

วงจร VCO นี้ นอกเหนือจาก การผลิตความถี่ เป็นสัญญาณไซน์ แล้ว ยังสามารถผลิตเป็นรูปแบบอื่นได้อีกคือเป็นสัญญาณสแคววฟ (Square Wave) และสัญญาณฟันเลื่อย (Saw Tooth) ได้อีกด้วย โดยการถอดความต้านทาน 200โอห์ม ที่ขา 13 กับ 14 ออกจะทำให้ได้เป็นสัญญาณฟันเลื่อยเป็นต้น

3.1.7 วงจรเลือกความถี่

วงจรผลิตความถี่นั้นหากต้องการที่จะเป็นค่าความถี่เป็นย่าน ๆ ให้สูงขึ้นหรือต่ำลงก็ต้องทำการเปลี่ยนค่าตัวเก็บประจุซึ่งอาจทำได้โดยการเปลี่ยนด้วยมือ(Manual)หรือแบบอัตโนมัติ (Automatic)ซึ่งในที่นี้จะพูดถึง การเลือกแบบอัตโนมัติ เนื่องจากการเลือกความถี่ที่สูงทำให้ต้องมีการควบคุมย่านความถี่อย่างถูกต้องแม่นยำ



รูปที่ 3.6 วงจรเลือกย่านความถี่ของวงจร VCO

จากรูปที่ 3.6 เป็นวงจรการเลือกย่านความถี่ของวงจร VCO เป็นการเลือกย่านความถี่ทั้ง 4 ย่านความถี่ที่ต้องการใช้โดยอัตโนมัติ โดยการเปลี่ยนค่าของตัวเก็บประจุ เพียงตัวเดียวเท่านั้น ขั้นตอนการกำหนดย่านความถี่จะใช้ขา A0 กับ A1 เป็นตัวดีโค้ดให้สัญญาณดีโค้ดจะออกมา 4 เส้น คือ Y0 , Y1 , Y2 และ Y3 (โดย A2 = Low) จาก Data sheet ของ 74LS138N ถ้า A0 = Low A1 = Low A2 = Low ทำให้ Y0 จะมีสถานะเป็น Low ส่วน Y1-Y7 จะเป็น High หมดดังตาราง 3.1

ตารางที่ 3.1 การดีโค้ดของไอซี 74LS138N

INPUT						OUTPUT							
CS1	CS2	CS3	A2	A1	A0	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	X	H	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	L	H	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

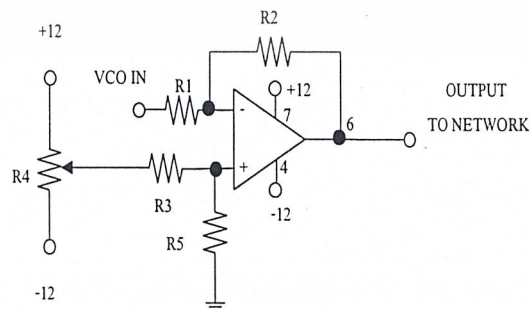
จากตารางถ้าป้อน $A0=L$ $A1=L$ $A2=L$ ทำให้ $Y0$ เพียงตัวเดียวที่มีสถานะเป็น โลว์ ดังนั้นเราจะนำโลว์ ที่ดีโค้ดได้นี้ไปเข้านอตเกตเพื่อเปลี่ยนสถานะของ โลว์ ให้เป็น ไฮ เมื่อเปลี่ยนสถานะแล้วก็เข้าทรานซิสเตอร์เป็นตัวควบคุมให้รีเลย์ทำงานทำให้สามารถใช้งานค่าตัวเก็บประจุตัวนั้นได้ เพื่อจะนำไปเลือกย่านความถี่ได้ 10 Hz ถึง 100 Hz เป็นต้น หากจะกำหนดให้เป็น ความถี่อื่น ๆ ก็ทำได้โดยการเปลี่ยนค่า $A0$ กับ $A1$ ถ้าตัวใดตัวหนึ่งหรือทั้งสองตัวก็ได้จะได้ค่าทั้ง 4 ย่านความถี่ดังตารางที่ 3.2

ตารางที่ 3.2 การดีโค้ดเลือกย่านความถี่

INPUT		OUTPUT	
A1	A0	CAPACITOR	RANGE
0	0	10 μ F	10 Hz-100 Hz
0	1	1 μ F	100 Hz-1 kHz
1	0	0.1 μ F	1 kHz-10 kHz
1	1	0.01 μ F	10 kHz-100 kHz

3.1.8 วงจรบัฟเฟอร์

วงจรบัฟเฟอร์จะทำหน้าที่ในการปรับระดับ ออฟเซต ของความถี่ที่ออกจาก VCO ให้มีค่าออฟเซต เป็นศูนย์ เพื่อให้สัญญาณมีความสมมาตรกันทั้งด้านบวก และ ลบ และยังช่วยให้สัญญาณความถี่ไม่เกิดความผิดเพี้ยนขึ้นเมื่อป้อนความถี่ให้แก่วงจรทดสอบต่างๆ วงจรบัฟเฟอร์แสดงไว้ในรูปที่ 3.6



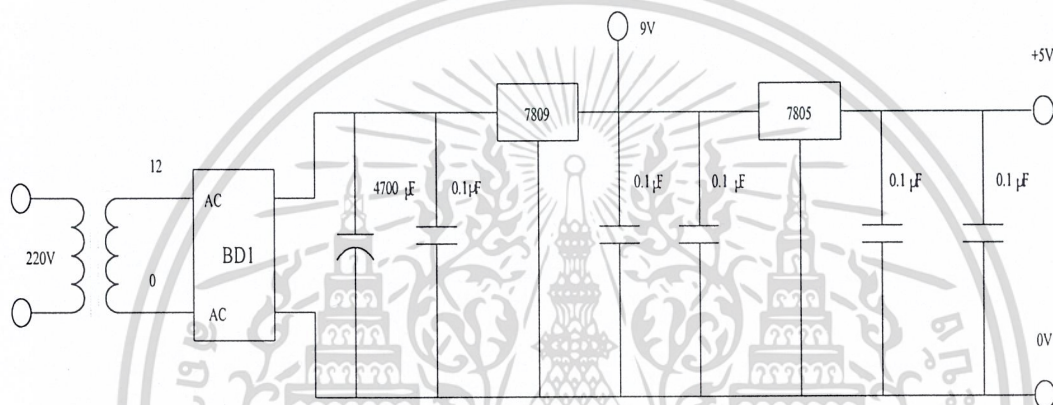
รูปที่ 3.7 วงจรบัฟเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบทำโดยต่อวงจรของออปแอมป์ที่มีอัตราขยายเท่ากับหนึ่งและมีวงจรในการปรับ ออฟเซต ต่อเข้าที่ขา 3 ของออปแอมป์เมื่อทำการปรับ VR เราก็สามารถจะปรับ ออฟเซต ของสัญญาณ เอาต์พุต ความถี่ได้ตามต้องการ

3.1.9 วงจรแหล่งจ่ายกำลังไฟฟ้า

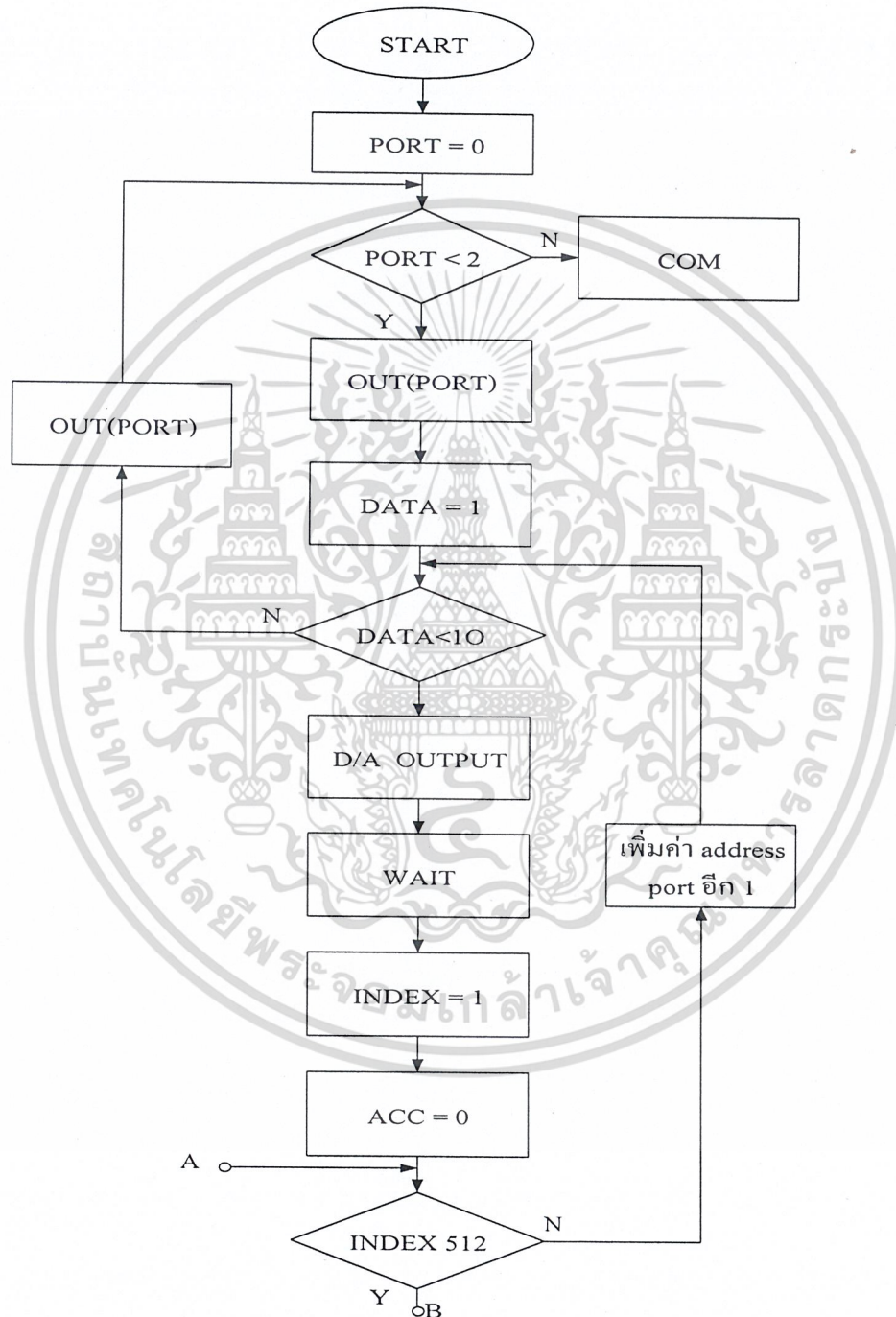
การออกแบบวงจรแหล่งจ่ายกำลังไฟฟ้าทำหน้าที่จ่ายแรงดันให้กับวงจรต่าง ๆ ของเครื่อง ฬผลตอบสนองทางความถี่ของโครงข่ายแบบ 2 ขั้ว แสดงได้ดังรูปที่ 3.7



รูปที่ 3.8 วงจรแหล่งจ่ายกำลังไฟฟ้า

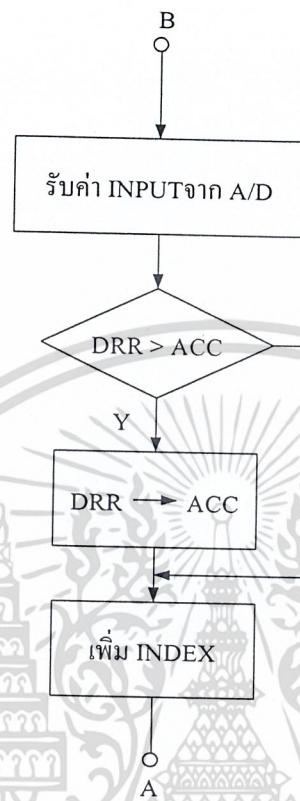
การทำงาน คือ เมื่อ มีแรงดัน 220 โวลต์ เข้ามาทางขดปฐมภูมิหม้อแปลงจะเกิดการเหนี่ยวนำทำให้มีแรงดันออกทางขดทุติยภูมิของหม้อแปลงเป็นแรงดันไฟฟ้ากระแสสลับค่า 12-0 โวลต์ จะถูกป้อนให้แก่วงจรเรกติไฟร์และจะได้เอาต์พุตออกมาเป็นไฟกระแสตรง

3.2 การออกแบบโปรแกรม



รูปที่ 3.9 ผังการทำงานของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 (ต่อ) ผังการทำงานของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

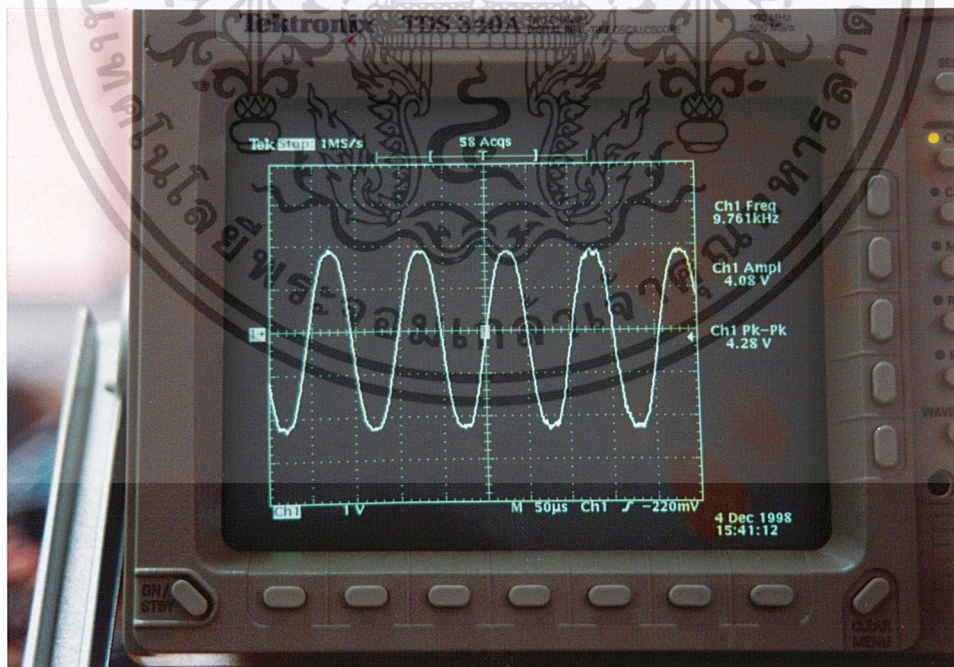
การทดลองและผลการทดลอง

4.1 การทดสอบวงจร

4.1.1 การทดลองวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน (VCO)

การทดลองวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน ในการเปลี่ยนค่าในย่านต่าง ๆ นั้นมีขั้นตอนการทดลองดังนี้

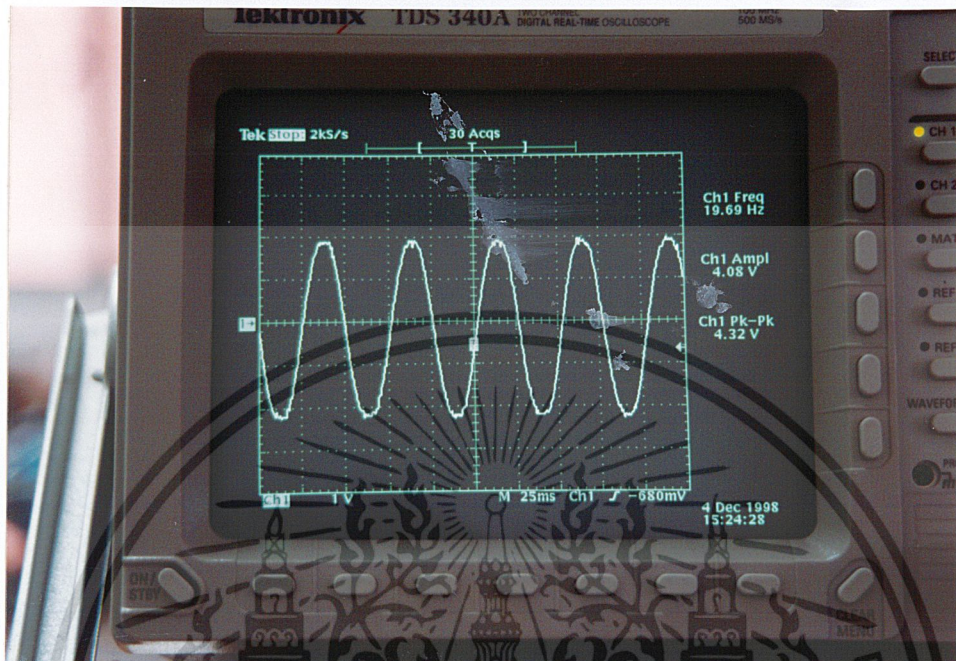
- 1.ทำการต่อแหล่งจ่ายให้กับวงจรกำเนิดความถี่โดยป้อนไฟเลี้ยง IC XR-2206 เป็น +9 V และต่อแหล่งจ่ายปรับค่าได้ ให้แก่อินพุตของ VCO เพื่อปรับความถี่ขึ้นลง
- 2.ทำการเลือกย่านความถี่การทำงานของวงจรกำเนิดความถี่ในย่านที่ 1 คือป้อนค่า A1 และ A0 แก่วงจรไดค็อดเป็น 00 (ย่านทำงานตั้งแต่ 10Hz–100Hz)
- 3.ทำการปรับขนาดของสัญญาณเอาต์พุตจากวงจรผลิตความถี่ให้มีขนาด 4Vp-p



รูปที่ 4.1 สัญญาณเอาต์พุตจากวงจรผลิตความถี่ขนาด 4Vp-p

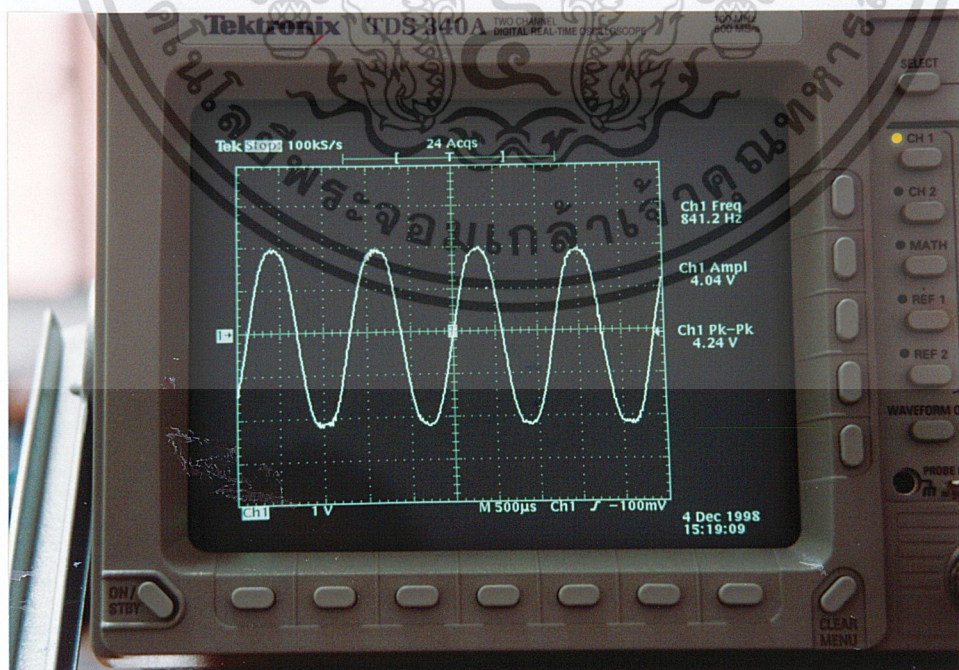
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ทำการเพิ่มแรงดันของ VCO ให้ผลิตความถี่ที่ 20 Hz



รูปที่ 4.2 สัญญาณ เอาต์พุตจากวงจรผลิตความถี่มีขนาด 20 Hz

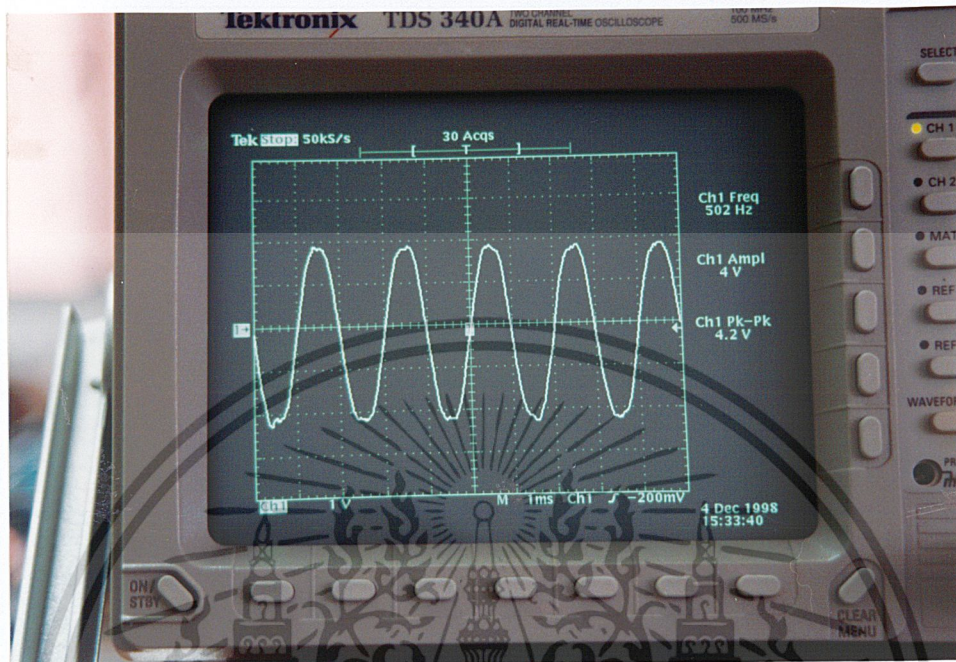
5. ทำการเลือกย่านความถี่การทำงานของวงจรกำเนิดความถี่ในย่านที่ 2 คือป้อนค่า A1 และ A0 แก่วงจรดีโค้ดเป็น 01 (ย่านทำงานตั้งแต่ 100 Hz–1 kHz)



รูปที่ 4.3 ย่านทำงานตั้งแต่ 100 Hz–1 kHz เมื่อ $A_0 = 0$, $A_1 = 1$

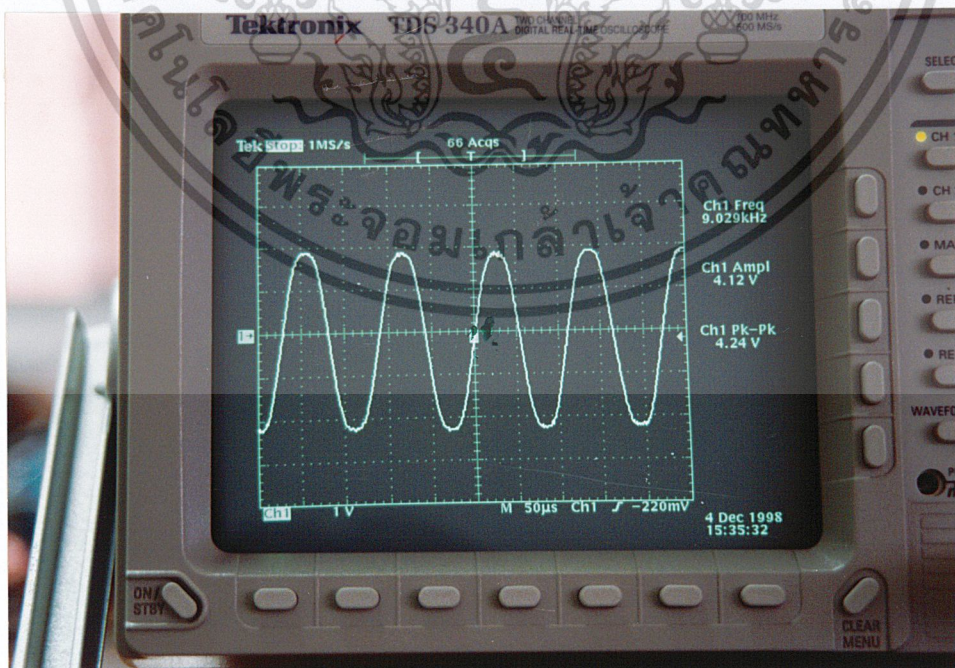
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. ทำการเพิ่มแรงดันของ VCO ให้ผลิตความถี่ที่ 500 Hz



รูปที่ 4.4 สัญญาณเอาต์พุตจากวงจรผลิตความถี่มีขนาด 500 Hz

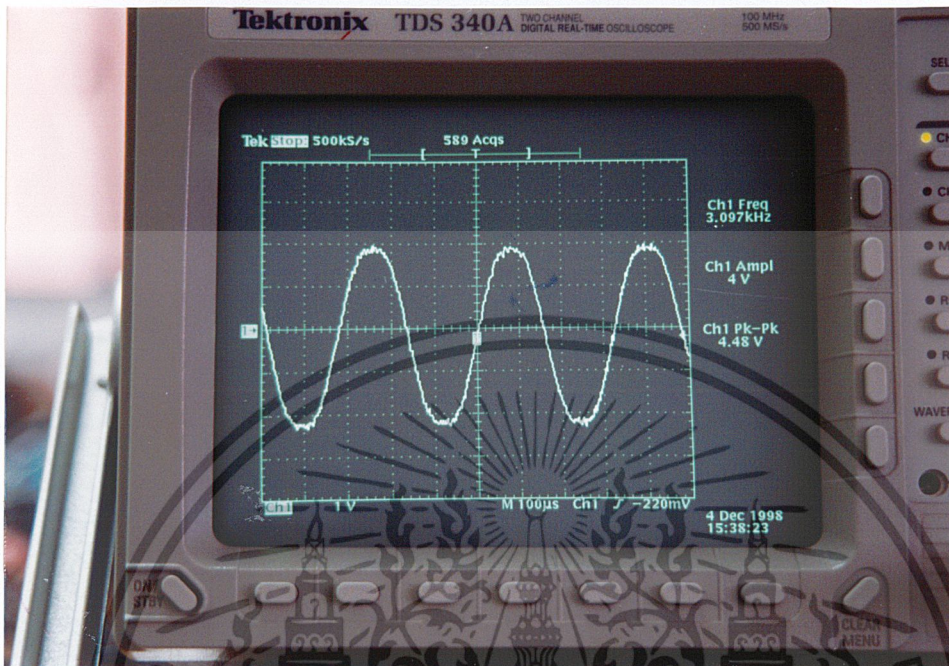
7. ทำการเลือกย่านความถี่การทำงานของวงจรกำเนิดความถี่ในย่านที่ 3 คือป้อนค่า A1 และ A0 แก่วงจรดีโค้ดเป็น 10 (ย่านทำงานตั้งแต่ 1 kHz–10 kHz)



รูปที่ 4.5 ย่านทำงานตั้งแต่ 1 kHz – 10 kHz เมื่อ $A_0 = 1$, $A_1 = 0$

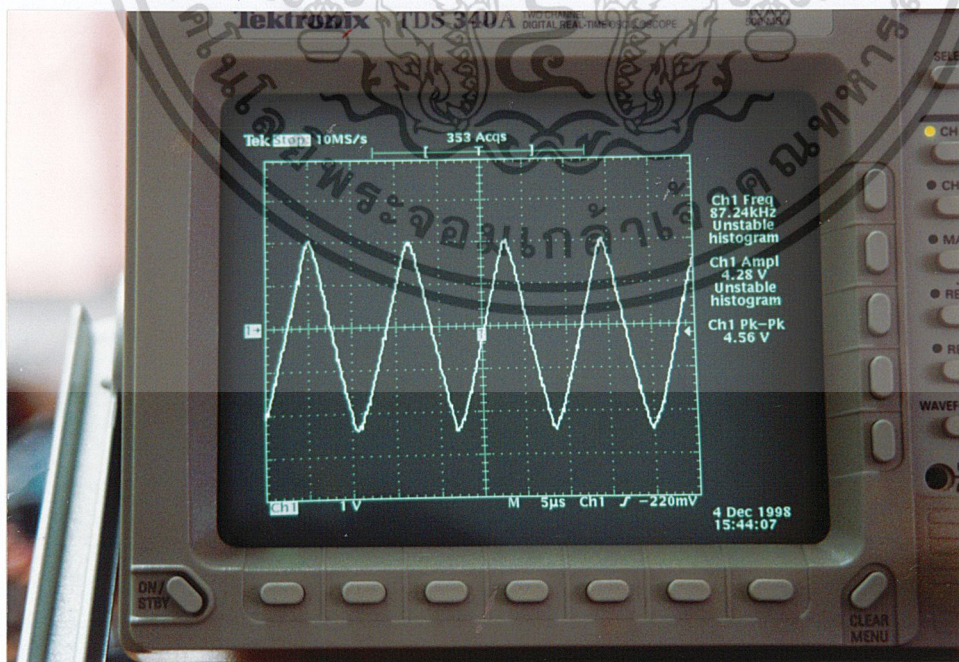
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. ทำการเพิ่มแรงดันของ VCO ให้ผลิตความถี่ที่ 3 kHz



รูปที่ 4.6 สัญญาณเอาต์พุตจากวงจรผลิตความถี่มีขนาดความถี่ที่ 3 kHz

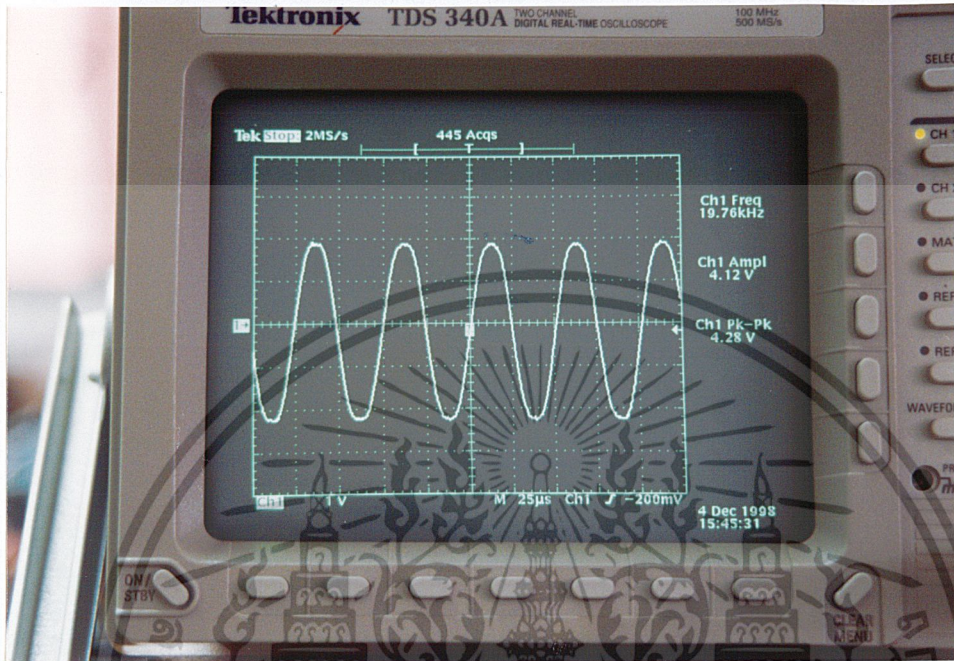
9. ทำการเลือกย่านความถี่การทำงานของวงจรกำเนิดความถี่ในย่านที่ 4 คือป้อนค่า A1 และ A0 แก่วงจรดีโค้ดเป็น 11 (ย่านทำงานตั้งแต่ 10 kHz–100 kHz)



รูปที่ 4.7 ย่านทำงานตั้งแต่ 10 kHz–100 kHz เมื่อ $A_0 = 1$, $A_1 = 1$

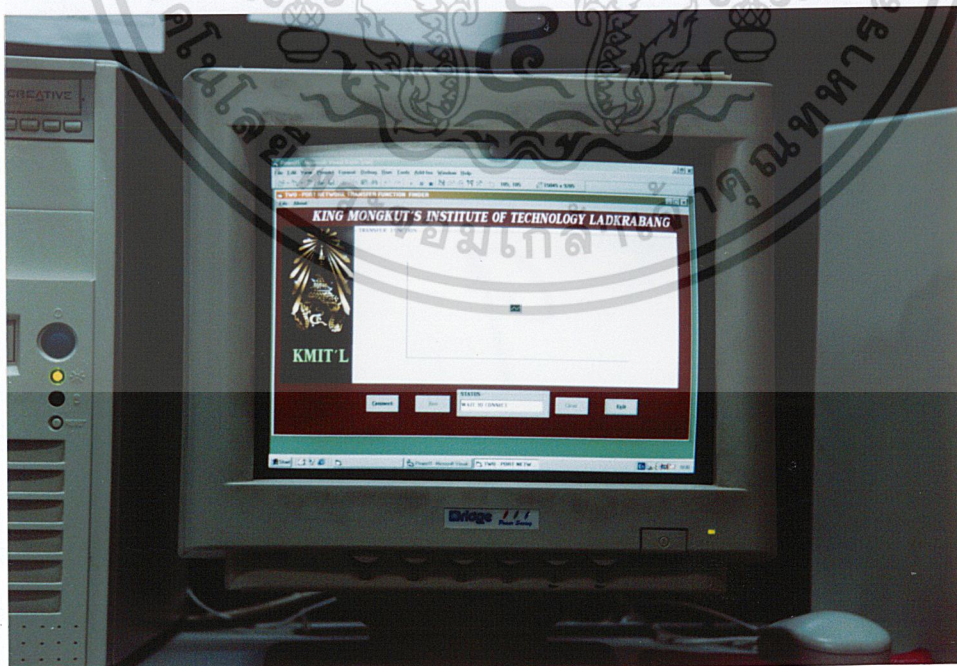
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10. ทำการเพิ่มแรงดันของ VCO ให้ผลิตความถี่ที่ 20 kHz



รูปที่ 4.8 สัญญาณเอาต์พุตจากวงจรผลิตความถี่มีขนาดความถี่ที่ 20 kHz

4.1.2 การทดลองโปรแกรมแสดงผล



รูปที่ 4.9 การแสดงผลของหน้าจอหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุป ปัญหา แนวทางการแก้ไข และพัฒนา

5.1 บทสรุป

เครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้วนี้จะสามารถใช้วิเคราะห์ความถี่ได้ 3 ย่านความถี่ คือ 10 Hz-100 Hz , 100 Hz-1 kHz และ 1 kHz-10 kHz หลักการทำงานของเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้วคือการป้อนความถี่เข้าไปในวงจรที่ต้องการจะทดสอบ แล้วนำสัญญาณทางด้านเอาต์พุตมาเข้าเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้วเพื่อทำการประมวลผลคำนวณหาจุดตัดของวงจรหนึ่งๆ แล้วแสดงกราฟของสัญญาณเอาต์พุตที่หน้าจอคอมพิวเตอร์

เครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้วนี้จะคำนวณและแสดงผลออกทางหน้าจอคอมพิวเตอร์แบบเวลาจริงเนื่องจากใช้ DSP เป็นตัวประมวลผล ดังนั้นจะทำให้เราได้ข้อมูลที่ถูกต้องและรวดเร็ว จากการวิเคราะห์ด้วยเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้วนี้

ถึงอย่างไรก็ตามแม้ว่าเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้วจะมีคุณสมบัติที่ดีแต่เราก็ยังมีข้อบกพร่องอยู่บ้างซึ่งทางคณะผู้จัดทำได้รวบรวมปัญหาที่เกิดขึ้นและแนวทางแก้ไข และแนวทางในการพัฒนาโดยมีรายละเอียดดังต่อไปนี้

5.2 ปัญหา และแนวทางการแก้ไข

1.การดีโค้ดเพื่อเลือกย่านความถี่ของสัญญาณโดยใช้ไอซีเบอร์ 74LS138N เป็นอุปกรณ์ที่ความเร็วในการทำงานค่อนข้างต่ำ เมื่อมีการผลิตความถี่ในย่านความถี่สูง ๆ มีผลทำให้การเลือกย่านสัญญาณไม่ทัน

แก้ไขปัญหาดังกล่าวโดยใช้ไอซีเบอร์ 74HC138 (High Speed) เพื่อจะช่วยให้การเพิ่มความถี่ในการเลือกย่านสัญญาณทำให้ถูกต้องได้

2.การดีโค้ดเลือกย่านความถี่จะไม่มีความถี่ 0 Hz เนื่องจากการดีโค้ดจะอยู่ในช่วงความถี่ในช่วง ดังนั้นสถานะของการเริ่มต้นจะอยู่ในย่าน 10 Hz-100 Hz เสมอ

3.สัญญาณที่ออกมาจาก VCO เพื่อเข้าวงจรทดสอบจะมีค่า ออฟเซต อยู่ทำให้สัญญาณความถี่ยกระดับจากระดับอ้างอิงที่สูงขึ้นขึ้นไปประมาณ 4V จึงทำให้เกิดความผิดพลาดในการวัดขึ้น

แก้ไขปัญหาดังกล่าวโดยใช้ บัฟเฟอร์ ที่ขาออกของสัญญาณจาก VCO โดยการต่อวงจรออปแอมป์ที่มีอัตราขยายเท่ากับ 1 เข้าไปแล้วทำการปรับ ออฟเซต ของออปแอมป์ให้สัญญาณไม่มีค่า ออฟเซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือให้เกิดการสวิตช์มีค่าเป็นบวกและลบที่เท่ากันเมื่อเปรียบเทียบกับกราวด์หรือแรงดันอ้างอิงที่ต้องการ

4.การกำหนดย่านความถี่ยังไม่แน่นอนตามที่ต้องการ ระยะความห่างสเกลต่าง ๆ ยังไม่เหมาะสม

แก้ไขปัญหโดย คำนวณค่าความต้านทานที่เหมาะสมจนได้ย่านที่ต้องการคือ $R1 = 200$ โอห์ม, $R2 = 10$ กิโลโอห์มค่าของตัวเก็บประจุมีค่าต่าง ๆ ดังนี้คือ $10 \mu F$, $1 \mu F$, $0.1 \mu F$ และ $0.01 \mu F$ จะได้ย่าน $10 \text{ Hz}-100 \text{ kHz}$ เป็นช่วง ๆ ตามลำดับที่ต้องการ

5.แรงดันเอาต์พุตของวงจรกำเนิดความถี่ XR-2206 ที่ออกมาเพื่อจ่ายให้วงจรทดสอบมีระดับแอมพลิจูดน้อยเกินไป (1 Vp-p) ทำให้การวิเคราะห์ไม่ละเอียด

แก้ไขปัญหโดยปรับความต้านทาน VR ที่ขา 3 จะทำให้เพิ่มแอมพลิจูดขึ้นได้ถึง 4 V

6.สัญญาณที่ใช้ในการเลือกย่านการทำงานของรีเลย์จะต้องใช้เวลาช่วงหนึ่งในการกำหนดให้รีเลย์ทำงานแต่สัญญาณที่ออกมาจาก DSP มีช่วงเวลาที่ทำงานน้อยจึงทำให้รีเลย์ทำงานไม่ทันและไม่ค้างสภาวะจึงทำให้ไม่สามารถเพิ่มความถี่ในแต่ละช่วงได้

แก้ไขปัญหโดย การต่อวงจรที่ทำหน้าที่ในการแลตช์ข้อมูลเพิ่มเข้าไปในวงจรระหว่าง DSP กับ วงจรเลือกย่านการทำงานของรีเลย์ทำให้สามารถค้างสภาวะการทำงานของรีเลย์ไว้ได้

5.3 แนวทางการพัฒนาโครงการ

1.ควรปรับปรุงวงจรกำเนิดความถี่ให้มีการกำหนดความถี่ที่มีความเป็นเชิงเส้น และให้ความแม่นยำของสัญญาณที่น้อยที่สุด

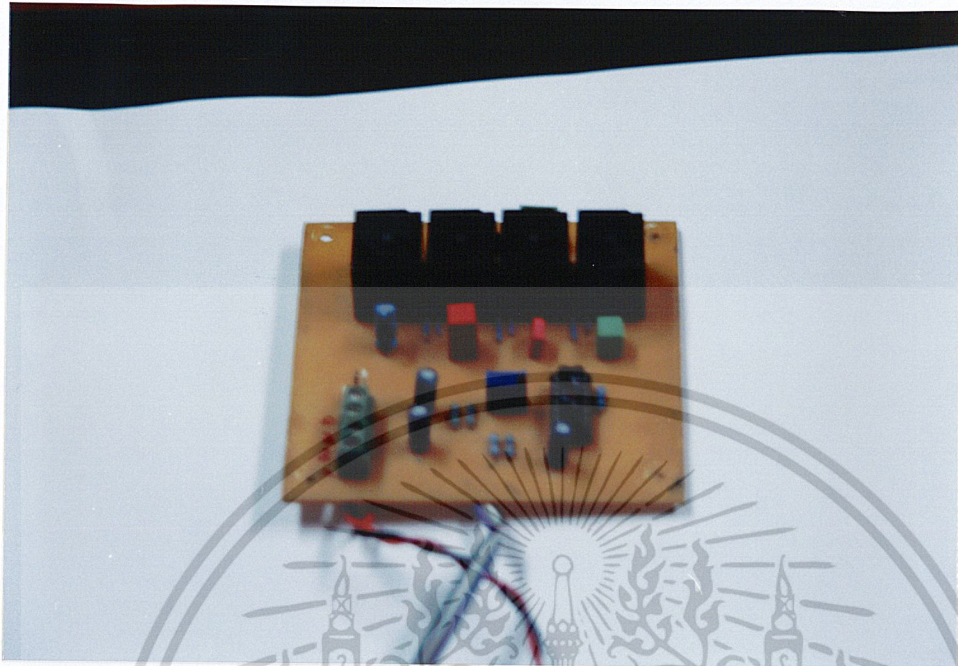
2.ควรปรับปรุงความแรงของสัญญาณจาก VCO ให้มากขึ้นเพราะเวลาที่ป้อนสัญญาณเข้าวงจรทดสอบจะได้ไม่ทำให้สัญญาณของ VCO เกิดการเปลี่ยนแปลงหรือผิดเพี้ยนไปจากเดิม

3. ควรออกแบบวงจรให้มีสัญญาณรบกวนให้น้อยที่สุดเพื่อเสถียรภาพของวงจร

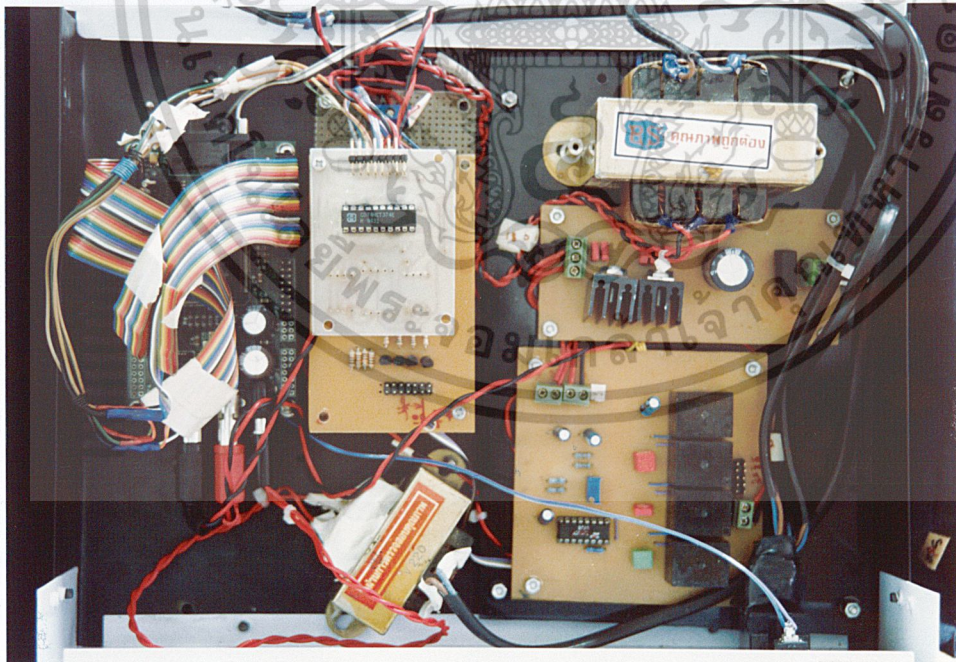


ภาคผนวก ก
ส่วนประกอบของเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

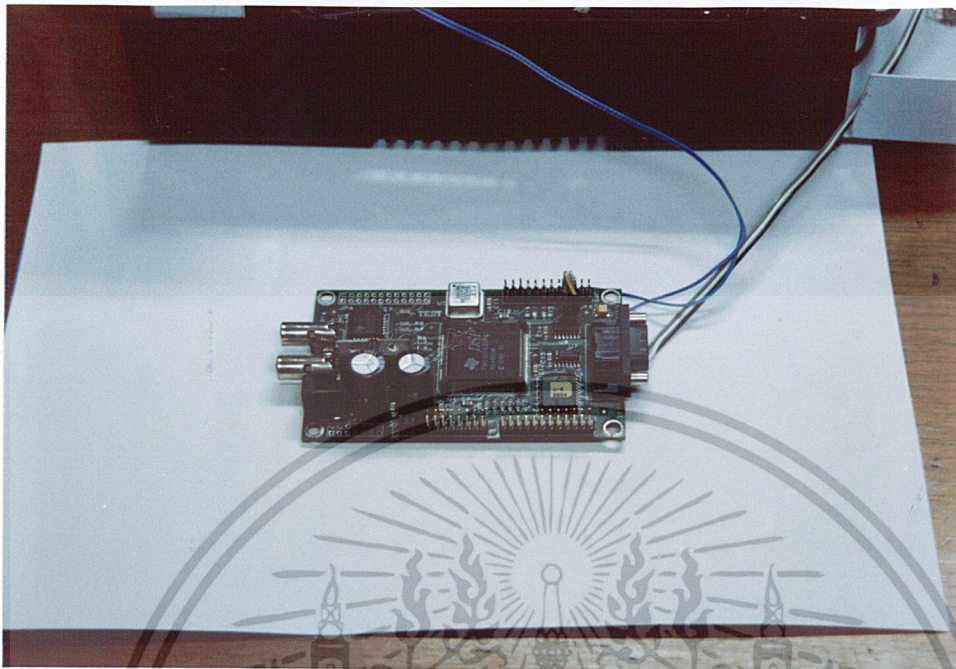


รูปที่ ก.1 วงจรผลิตความถี่



รูปที่ ก.2 แผงวงจรภาคจ่ายกำลังไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

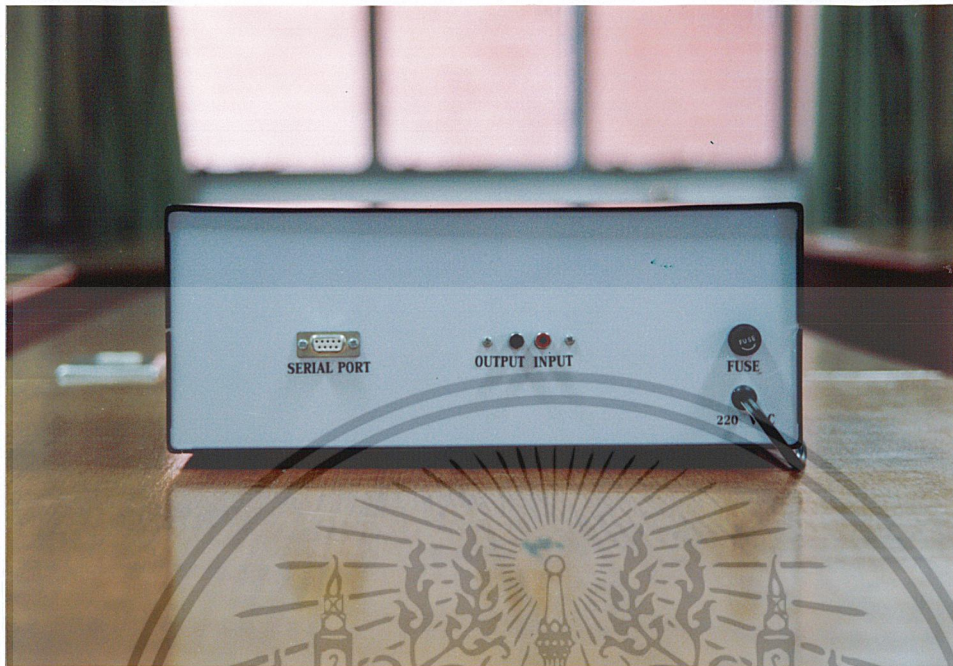


รูปที่ ก.3 แผงวงจรบอร์ด DSK

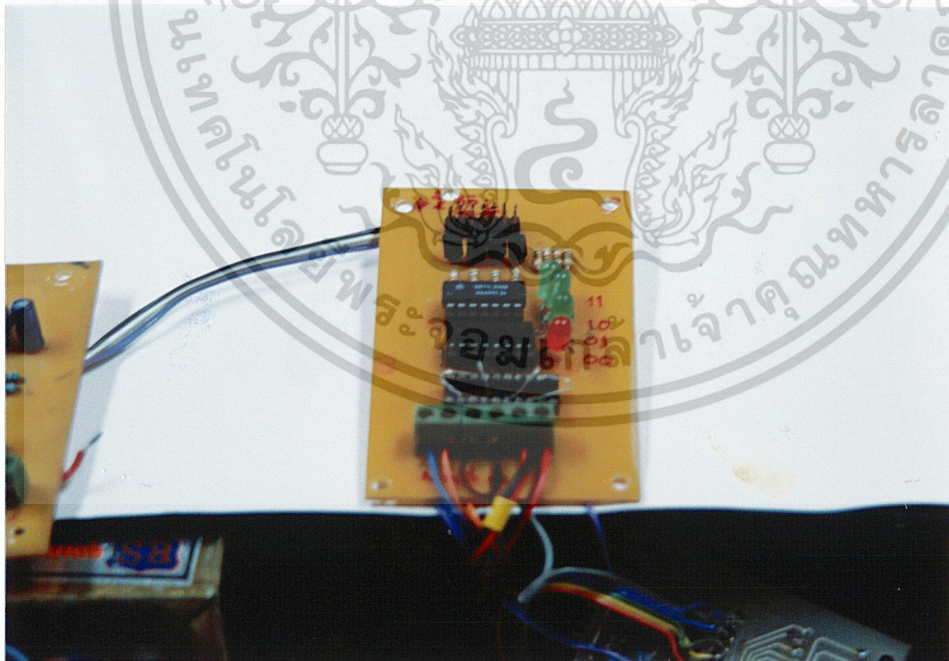


รูปที่ ก.4 ด้านหน้าของเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบ 2 ขั้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

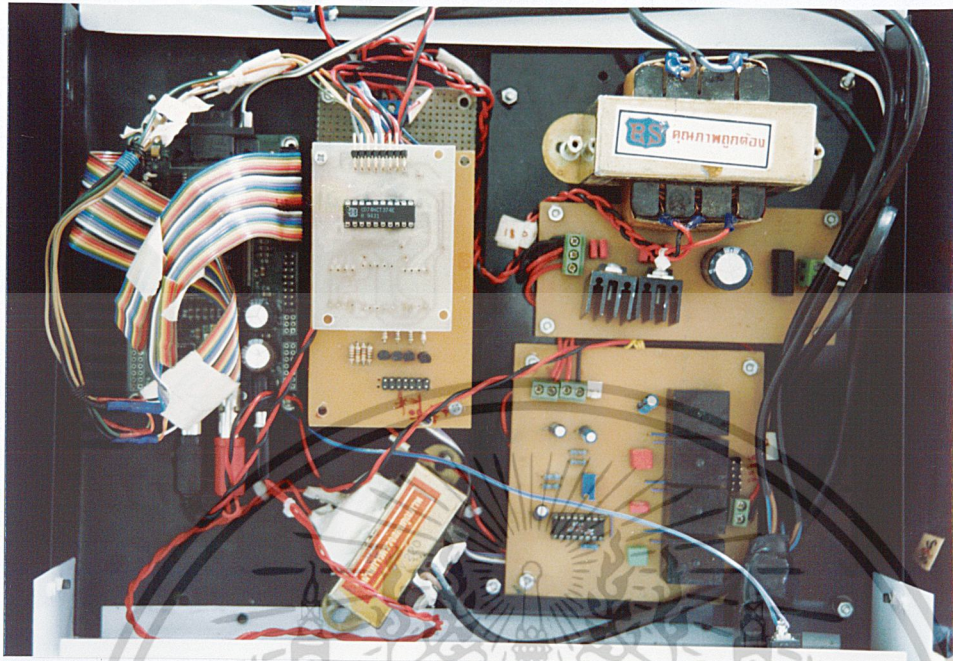


รูปที่ ก.5 ด้านหลังของเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบ 2 ขั้ว

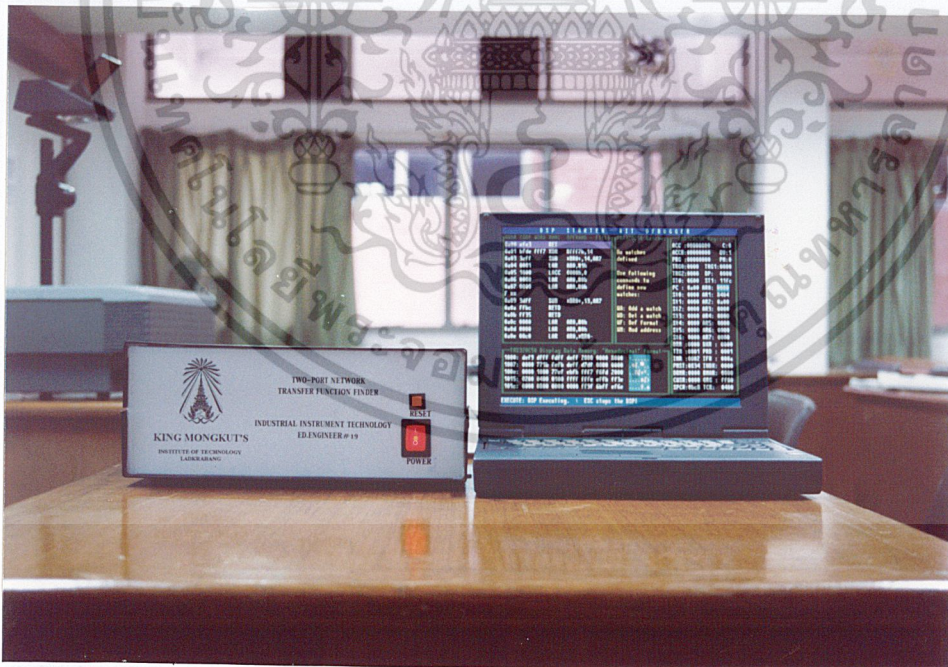


รูปที่ ก.6 แผงวงจรเลือกย่านความถี่ (Decoder)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.7 แผงวงจรรวมของเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบ 2 ขั้ว



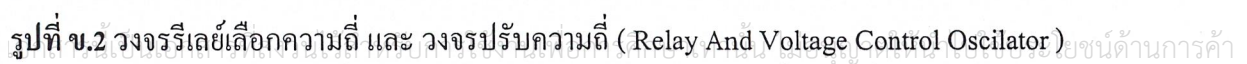
รูปที่ ก.8 การต่อใช้งานเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบ 2 ขั้ว

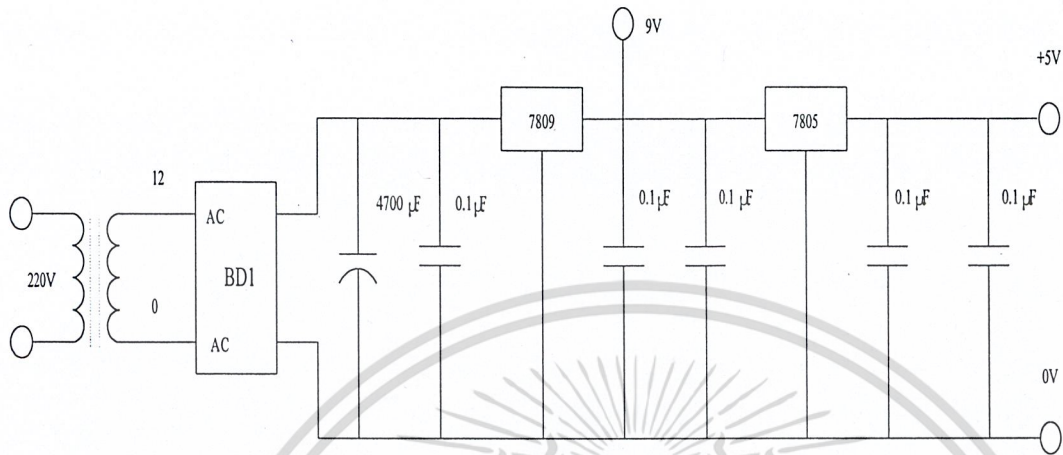
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ข
วงจรของเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



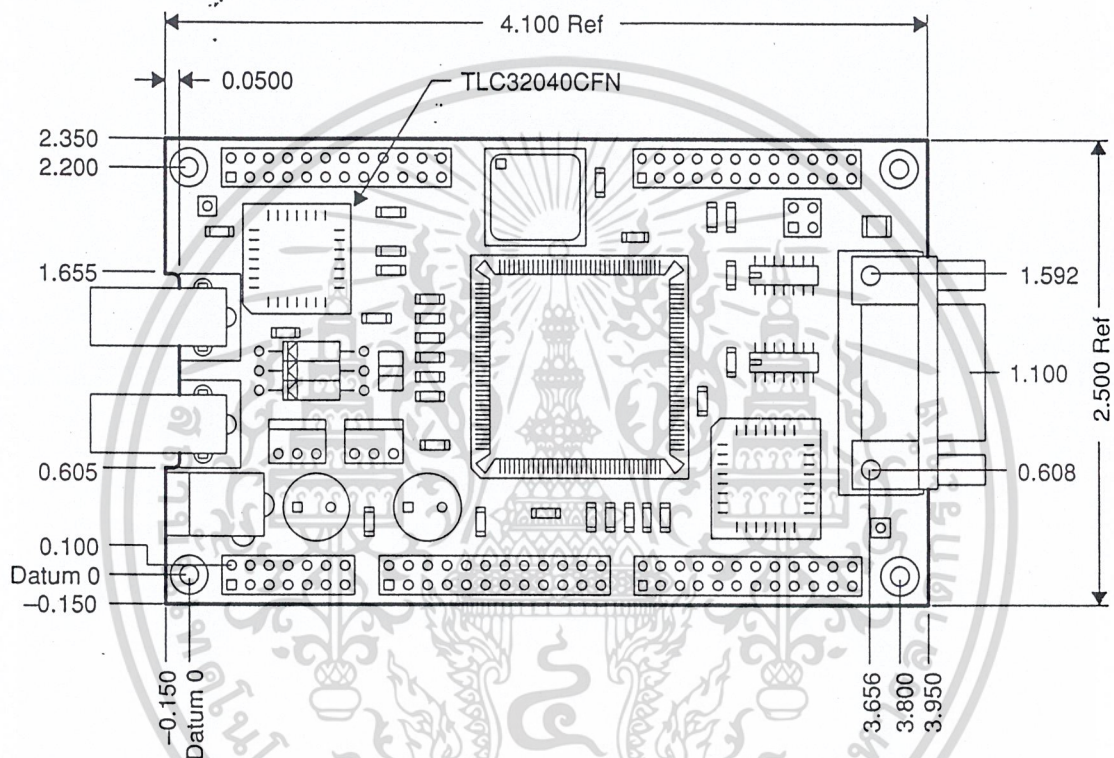


รูปที่ ข.3 วงจรแหล่งจ่ายกำลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Circuit Board Dimensions

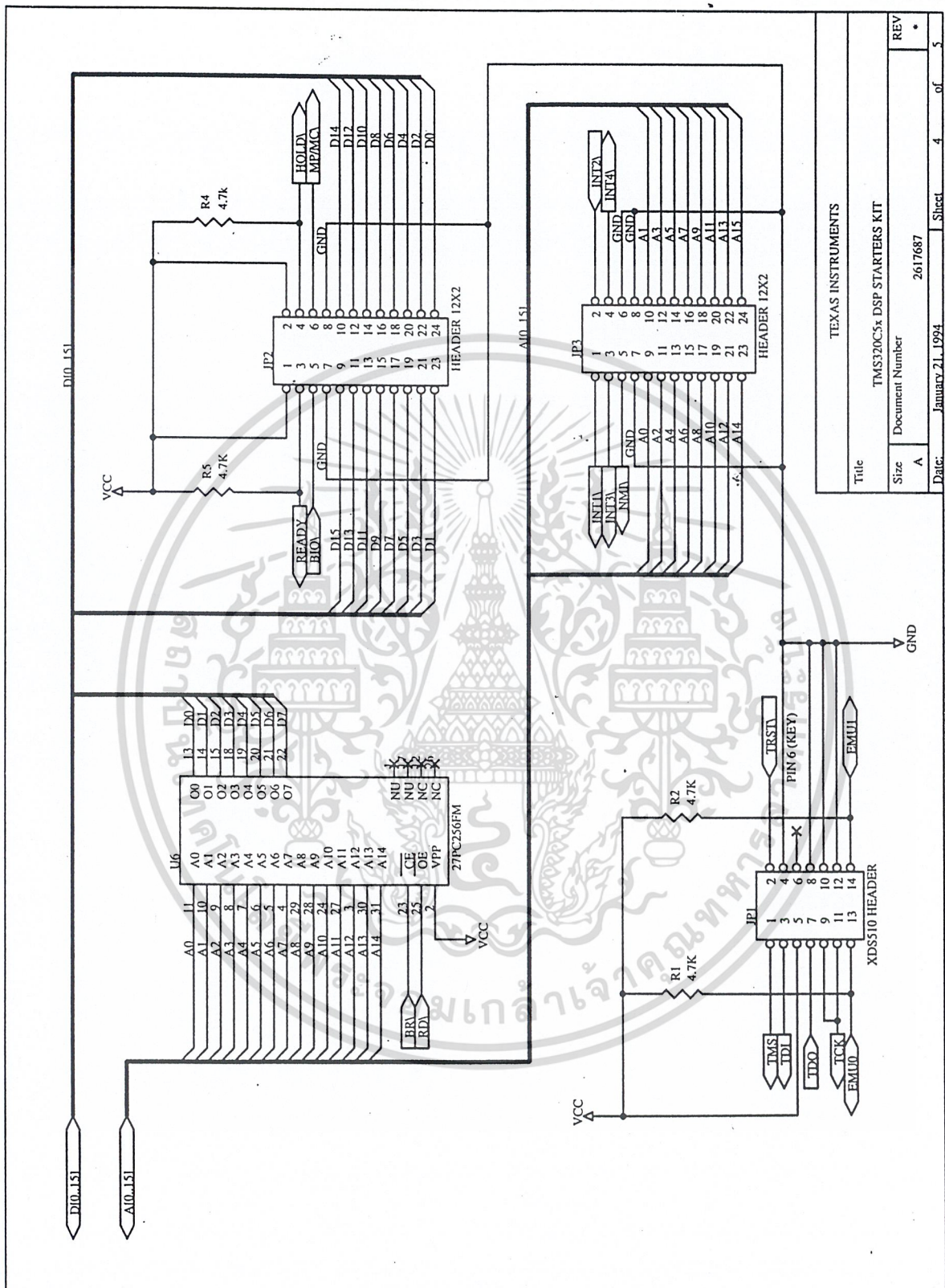
Figure A-1. TMS320C5x DSP Starter Kit (DSK) Circuit Board Dimensions



Note: Dimensions are in inches.

รูปที่ ข.4 TMS320C50 Circuit Board Dimensions

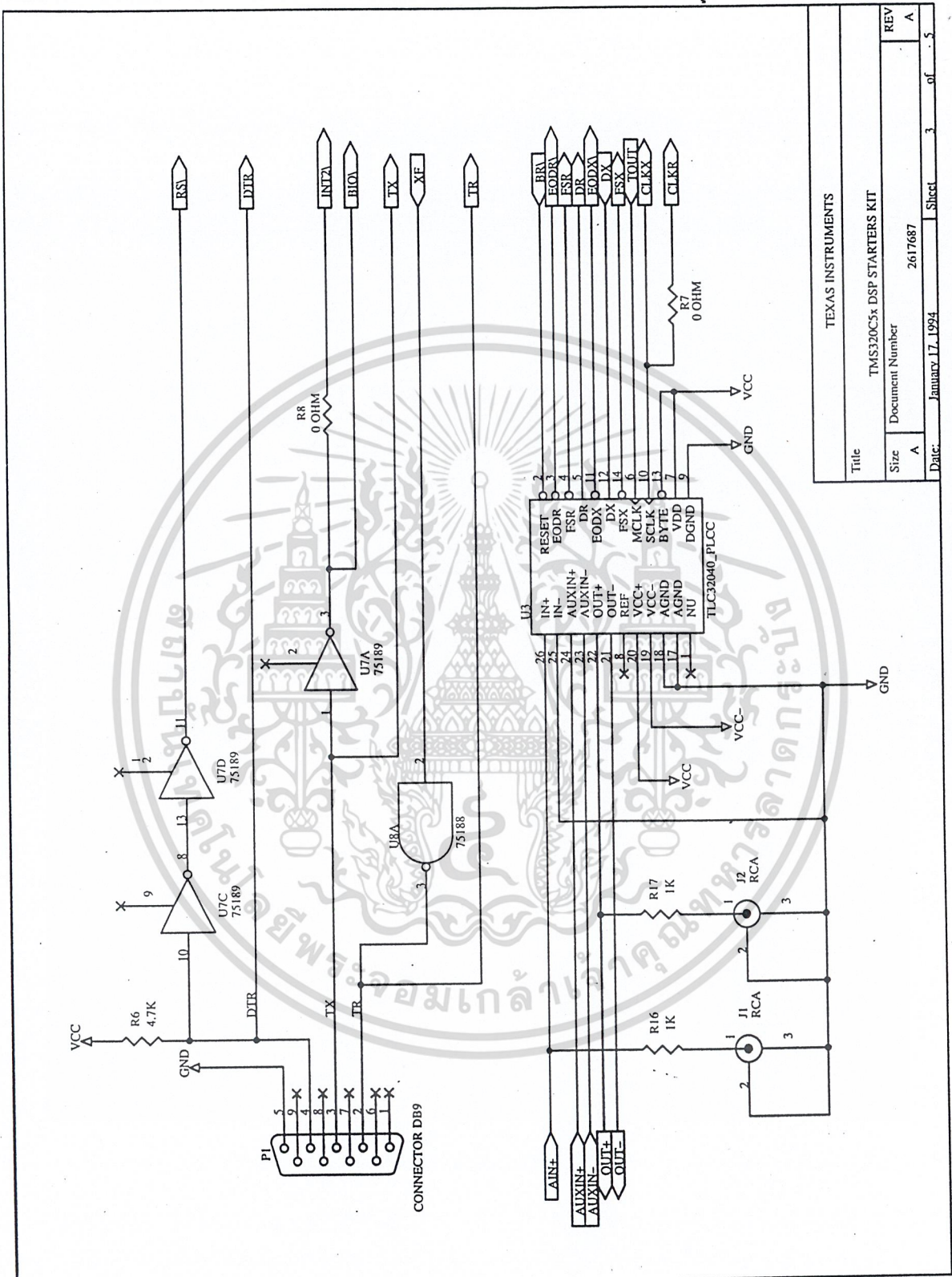
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.5 TMS320C50 Schematic Diagrams

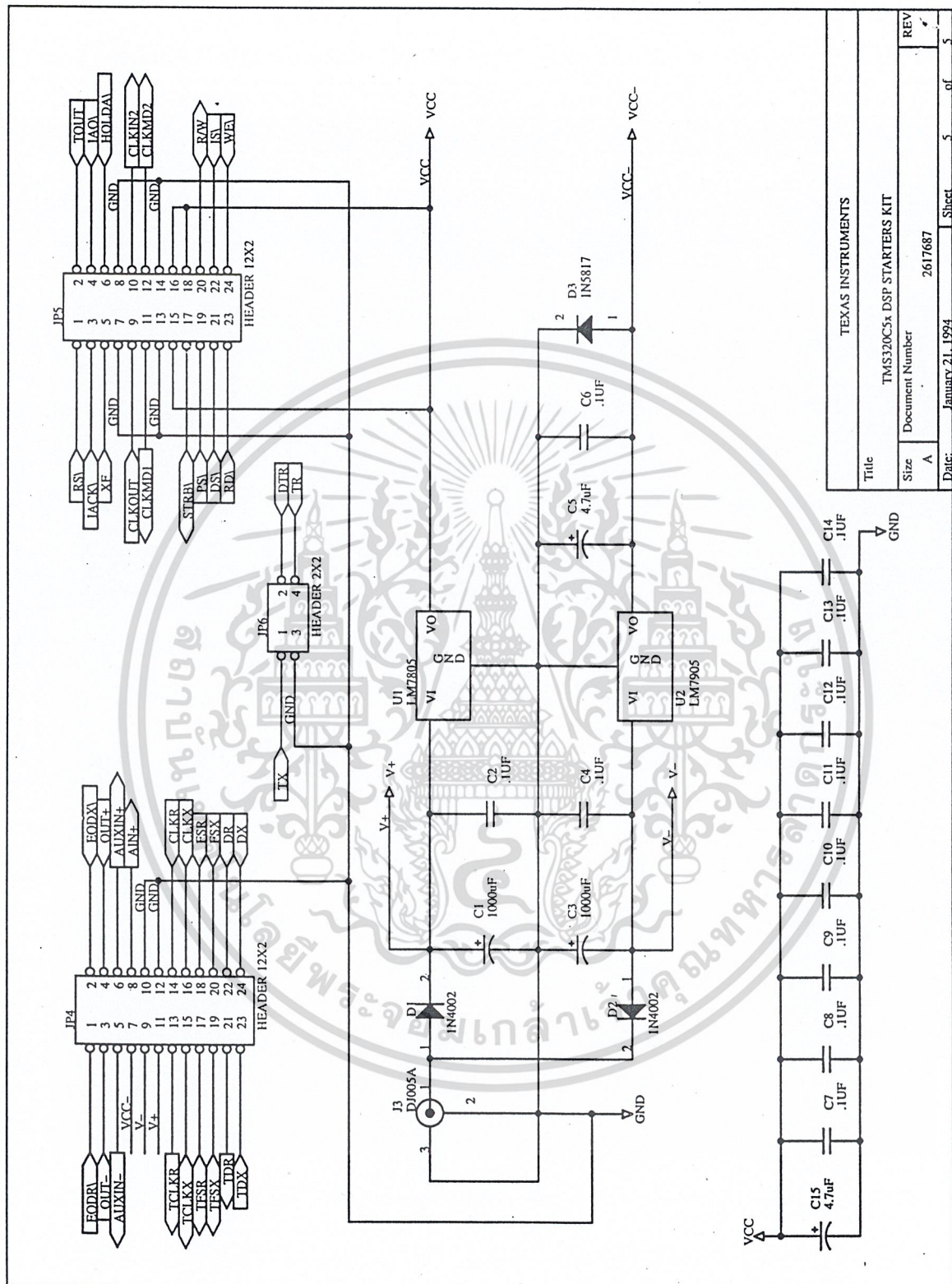
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagrams



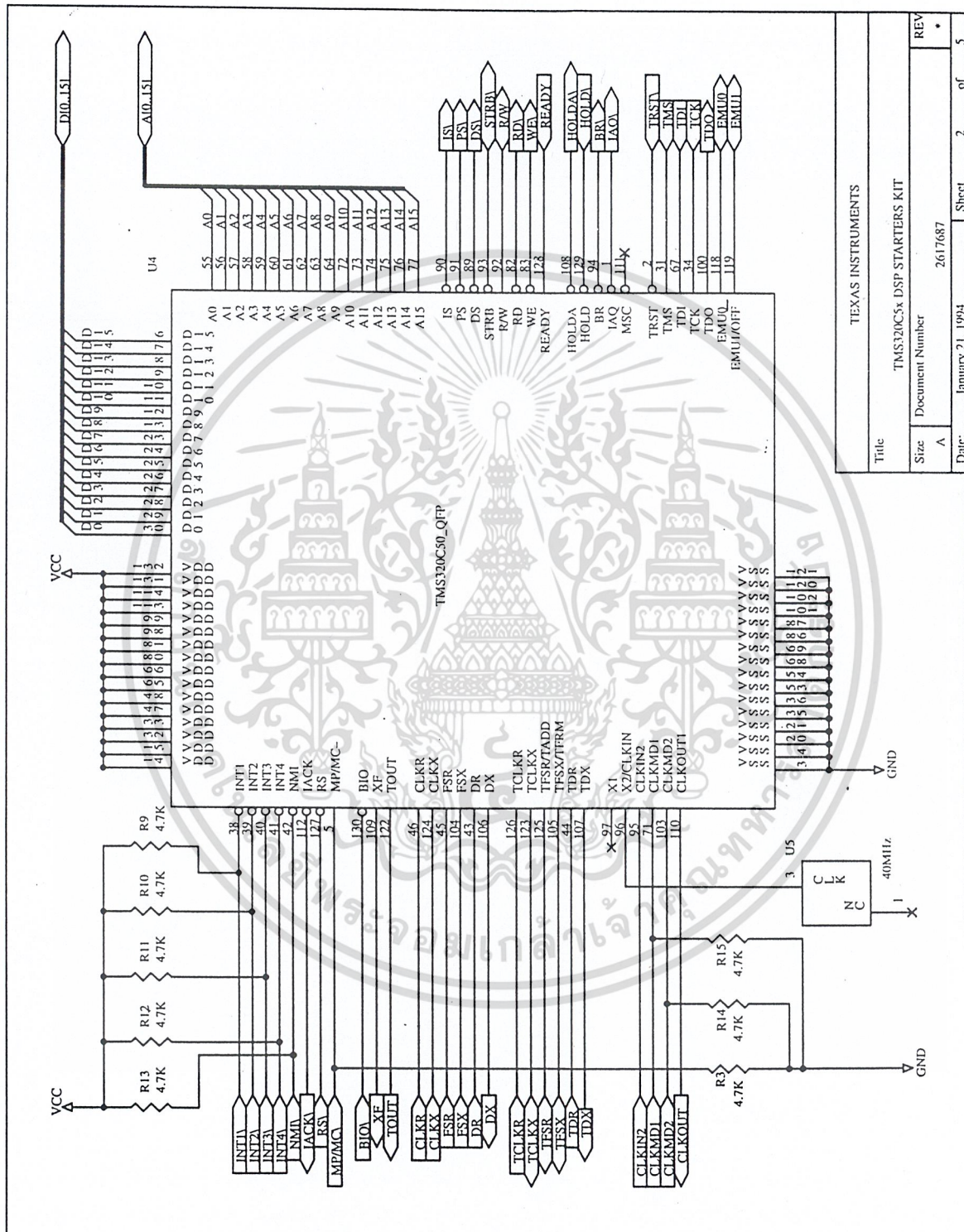
รูปที่ ข.6 (ต่อ) TMS320C50 Schematic Diagrams

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.7 (ต่อ) TMS320C50 Schematic Diagrams

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





ภาคผนวก ค
รายการอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์

ตารางที่ ค.1 รายการอุปกรณ์ของวงจรผลิตความถี่ (Oscillator)

อุปกรณ์	ชนิด	ค่า - เบอร์	จำนวน
IC1	Oscillator	XR-2206	1
VR1	Trimpot	50 k Ω	1
C1	Electrolytic	1 μ F	2
C2	Electrolytic	10 μ F	1
C3	Electrolytic	10 μ F	1
C4	WIMA	1 μ F	1
C5	WIMA	0.1 μ F	1
C6	WIMA	0.01 μ F	1
R1, R2	Carbon	5.1k Ω	2
R3, R4	Carbon	200 Ω	2

ตารางที่ ค.2 รายการอุปกรณ์ของวงจรรีเลย์เลือกความถี่และวงจรปรับความถี่

อุปกรณ์	ชนิด	ค่า/เบอร์	จำนวน
IC1	Decoder	74LS138N	1
IC2	HEX Inverter	74LS04	1
TR	Transister	C547	4
Relay	Relay	6 V	4
LED	Light Emitter Diode	Green	4
R1	Carbon	1k Ω	4
R2	Carbon	10k Ω	4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ค.3 รายการอุปกรณ์วงจรแหล่งจ่ายกำลัง

อุปกรณ์	ชนิด	ค่า - เบอร์	จำนวน
IC1	Regulator	7805	1
IC2	Regulator	7809	1
C1-C2	Electrolytic	4700 μ F/50V	2
C3-C8	WIMA	0.1 μ F	6
BD1	Bridge Diode	100V	1
T1	Transformer	12-0/2A	1
T2	Transformer	9-0/1A	1

ตารางที่ ค.4 รายการอุปกรณ์ของวงจรบัฟเฟอร์

อุปกรณ์	ชนิด	ค่า - เบอร์	จำนวน
IC1	OP-Amp	BC741	1
IC2	Regulator	7812	1
IC3	Regulator	7912	1
IC4	3State 'D' Flip Flop	74HC374	1
R1-R2	Carbon	100k Ω	1
R3	Carbon	15k Ω	1
R4	Carbon	50k Ω	1
VR1	Carbon	20k Ω	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง
โปรแกรมการทำงานของเครื่องหาฟังก์ชันถ้ายโอนของโครงข่ายแบบ 2 ชั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรม Visual Basic 5.0

```

Private Sub Command1_Click()
Dim buffer As Variant
Dim arr() As Byte
'(SET AND OPEN PORT)
MSComm1.CommPort = 1
MSComm1.PortOpen = True
'(SET INPUT MODE TO READ BINARY DATA)
MSComm1.InputMode = comInputModeBinary
'(WAIT BINARY DATA 16 BIT MEMORY IN BUFFER)
Do Until MSComm1.InBufferCount >= 16
DoEvents
Loop
'(PUT BINARY DATA IN BUFFER)
buffer = MSComm1.Input
'(ASSIGN TO BYTE ARRAY FOR PROCESSING)
arr = buffer
MMControl1.Command = "CLOSE"
MMControl1.filename = ("C:\WINDOWS\MEDIA\JUNGLE MAXIMIZE.WAV")
MMControl1.Command = "OPEN"
MMControl1.Command = "PLAY"
Command1.Enabled = False
Command2.Enabled = True
Command3.Enabled = False
Text1.Text = "WAIT TO RUN"
End Sub

Private Sub Command2_Click()
Picture1.DrawWidth = 2
Picture1.ScaleMode = 0
Picture1.Scale (-200, 1200)-(1200, -200)
Picture1.Line (0, 0)-(1000, 0), QBColor(5)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

Picture1.Line (0, 0)-(0, 1000), QBColor(5)
MMControl1.Command = "CLOSE"
MMControl1.filename = ("C:\WINDOWS\MEDIA\JUNGLE RECYCLE.WAV")
MMControl1.Command = "OPEN"
MMControl1.Command = "PLAY"
Command1.Enabled = False
Command2.Enabled = False
Command3.Enabled = True
Text1.Text = "DISPLAY TRANSFER FUNCTION"
End Sub

Private Sub Command3_Click()
Picture1.DrawWidth = 2
Picture1.ScaleMode = 0
Picture1.Scale (-200, 1200)-(1200, -200)
Picture1.Line (0, 0)-(1000, 0), QBColor(5)
Picture1.Line (0, 0)-(0, 1000), QBColor(5)
MMControl1.Command = "CLOSE"
MMControl1.filename = ("C:\WINDOWS\MEDIA\ROBOTZ OPEN.WAV")
MMControl1.Command = "OPEN"
MMControl1.Command = "PLAY"
Command1.Enabled = True
Command2.Enabled = False
Command3.Enabled = False
Text1.Text = "WAIT TO CONNECT"
End Sub

Private Sub Command4_Click()
If MsgBox("YOU WANT TO EXIT", 68, "CONFIRM") = 6 Then
End
End If
End Sub

Private Sub Form_Load()
Text1.Text = ""

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Command1.Enabled = True
Command2.Enabled = False
Command3.Enabled = False
End Sub

```

```

Private Sub Label2_Click()
If Timer1.Interval <> 200 Then
Timer1.Interval = 200
Label2.Enabled = True
Else
Timer1.Interval = 300
Label2.Enabled = False
End If
End Sub

```

```

Private Sub menuADVI_Click()
Form5.Show
End Sub

```

```

Private Sub menuClear_Click()
Picture1.DrawWidth = 2
Picture1.ScaleMode = 0
Picture1.Scale (-200, 1200)- (1200, -200)
Picture1.Line (0, 0)-(1000, 0), QBColor(5)
Picture1.Line (0, 0)-(0, 1000), QBColor(5)
MMControl1.Command = "CLOSE"
MMControl1.filename = ("C:\WINDOWS\MEDIA\ROBOTZ OPEN.WAV")
MMControl1.Command = "OPEN"
MMControl1.Command = "PLAY"
Command1.Enabled = True
Command2.Enabled = False
Command3.Enabled = False
Text1.Text = "WAIT TO CONNECT"

```

```
End Sub
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```
Private Sub menuConnect_Click()
```

```
Dim buffer As Variant
```

```
Dim arr() As Byte
```

```
'(SET AND OPEN PORT)
```

```
MSComm1.CommPort = 1
```

```
MSComm1.PortOpen = True
```

```
'(SET INPUT MODE TO READ BINARY DATA)
```

```
MSComm1.InputMode = comInputModeBinary
```

```
'(WAIT BINARY DATA 16 BIT MEMORY IN BUFFER)
```

```
Do Until MSComm1.InBufferCount >= 16
```

```
DoEvents
```

```
Loop
```

```
'(PUT BINARY DATA IN BUFFER)
```

```
buffer = MSComm1.Input
```

```
'(ASSIGN TO BYTE ARRAY FOR PROCESSING)
```

```
arr = buffer
```

```
MMControl1.Command = "CLOSE"
```

```
MMControl1.filename = ("C:\WINDOWS\MEDIA\JUNGLE MAXIMIZE.WAV")
```

```
MMControl1.Command = "OPEN"
```

```
MMControl1.Command = "PLAY"
```

```
Command1.Enabled = False
```

```
Command2.Enabled = True
```

```
Command3.Enabled = False
```

```
Text1.Text = "WAIT TO RUN"
```

```
End Sub
```

```
Private Sub menuExit_Click()
```

```
If MsgBox("YOU WANT TO EXIT", 68, "CONFIRM") = 6 Then
```

```
End
```

```
End Sub
```

```
Private Sub menumit_Click()
```

```
Form2.Show
```

```
End Sub
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Private Sub menuRun_Click()
Picture1.DrawWidth = 2
Picture1.ScaleMode = 0
Picture1.Scale (-200, 1200)-(1200, -200)
Picture1.Line (0, 0)-(1000, 0), QBColor(5)
Picture1.Line (0, 0)-(0, 1000), QBColor(5)
MMControl1.Command = "CLOSE"
MMControl1.filename = ("C:\WINDOWS\MEDIA\JUNGLE RECYCLE.WAV")
MMControl1.Command = "OPEN"
MMControl1.Command = "PLAY"
Command1.Enabled = False
Command2.Enabled = False
Command3.Enabled = True
Text1.Text = "DISPLAY TRANSFER FUNCTION"
End Sub
Private Sub menutao_Click()
Form3.Show
End Sub
Private Sub menutor_Click()
Form4.Show
End Sub
Private Sub Timer1_Timer()
If Timer2.Interval <> 200 Then
Timer2.Interval = 200
Text1.Enabled = True
Else
Timer2.Interval = 300
Text1.Enabled = False
End If
End Sub
Private Sub Timer2_Timer()

```

```

If Timer2.Interval <> 200 Then

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```
Timer2.Interval = 200  
Text1.Enabled = True  
Else  
Timer2.Interval = 300  
Text1.Enabled = False  
End If  
End Sub
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมส่วนต่าง ๆ ของดีเอสพี

* (C) COPYRIGHT TEXAS INSTRUMENTS, INC. 1992 *

* MODULE NAME: DSK Test *

* DESCRIPTION: This routine initializes the TMS320C50 and *

* TLC32040 on the C5x DSK. Generating a 0.2 *

* normalized frequency sinewave or random *

* noise. *

* *

* Random noise algorithm: *

* a b c d x x x x x x x x x x *

* \ / \ / *

* xor | | xor *

* \ / *

* xor +-----+ *

* | *

* x x x x x x x x x x x x x x s *

* *

.mmregs

*

-----;

; Bit definition of the control register in the AIC ;

-----;

;+-----+

;|LP xx G1 G0 | SY AX LB BP| G1 G0 gain

;+-----+-----+

;| GAIN | | | +-- BP Filter 0 0 4

;| Synch --+ | +---- Loopback 1 1 4

เอกสารนี้เป็นเอกสารที่ลงนามไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

;| Auxin -----+          0 1 2
; + (sinx)/x filter          1 0 1

.ds 0f00h ;

TA .word 24 ; Fcut = 8 KHz
RA .word 24 ; Fcut = 8 KHz
TAp .word 31 ;
RAp .word 31 ;
TB .word 18 ; Fs = 2*Fcut
RB .word 18 ; Fs = 2*Fcut
AIC_CTR .word 9h
ACC_lo .word 0 ;
ACC_hi .word 0 ;
STAT0 .word 0 ; STAT0 storage
STAT1 .word 0 ; STAT1 storage
TEMP .word 0 ; location of TEMPorary storage
TEMP1 .word 0 ;
SIN_SW .word 00000h ; 0 -> random noise
; 1 -> sinewave
y .word 0463ch ; sin(fn*pi), where fn is normalized
y1 .word 00000h ; frequency
seed .word 07e6dh ; seed for random noise generator
.ds 01000h
coeff .word 0678dh ; cos(fn*pi)

*****

* Set up the ISR vector *
*****

.ps 080ah
rint: B RECEIVE ;0A; Serial prot receive interrupt RINT.
xint: B TRANSMIT ;0C; Serial port transmit interrupt XINT.

```

* เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* TMS32C05X INITIALIZATION *

.ps 0a00h

.entry

START: SETC INTM ; Disable interrupts

LDP #0 ; Set data page pointer

OPL #0834h,PMST

LACC #0

SAMM CWSR ; Set software wait state to 0

SAMM PDWSR ;

* Reset AIC by writing to PA2 (address >52) to DSK

SPLK #022h,IMR ; Using XINT syn TX & RX

CALL AICINIT ; initialize AIC and enable interrupts

* This routine enables serial port rx interrupts & configures *

* TLC32040 for the frame sync. When RINT is triggered, read a *

* dummy data word from the AIC then generate a sine wave to *

* send out. *

;

CLRC OVM ; OVM = 0

SPM 0 ; PM = 0

SPLK #012h,IMR

CLRC INTM ; enable;

WAIT NOP ; wait for a transmit or receive

NOP

NOP

B WAIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```
;----- end of main program -----;
```

```
; RECIEVER INTERRUPT SERVICE ROUTINE
```

```
;RECEIVE:
```

```
LDP #TEMP
```

```
LAMM DRR ; read data from DRR
```

```
LDP #SIN_SW
```

```
BIT SIN_SW,15
```

```
BCND SINEWAVE,TC
```

```
;-----
```

```
; random noise generator
```

```
;-----
```

```
LACC seed,1 ;
```

```
XOR seed ;
```

```
SACL TEMP,2 ;
```

```
XOR TEMP ;
```

```
AND #8000h ;
```

```
ADD seed,16 ;
```

```
SACH seed,1 ; Reduce the output by at least 1/8
```

```
LACC seed,11 ; to prevent the overflow
```

```
AND #0FFFCh,15
```

```
RPT #14
```

```
SFR
```

```
SAMM DXR
```

```
RETE ; program
```

```
;-----
```

```
; sinewave generator
```

```
;-----
```

```
SINEWAVE:
```

```
MPY #0 ; clear P register
```

```
LACC y1,15 ; y1 ==> ACC shift left 15 bit
```

```
NEG ; -ACC ==> ACC
```

```
MACD coeff,y ; coeff * y
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

APAC          ;
APAC          ; 2*coeff*y - y1
SACH y,1      ; Reduce the output by at least 1/8
LACC y,15     ; to prevent the overflow
AND #0FFFCh,15 ; bit 0 & 1 has to be 0 for AIC
RPT #14
SFR
SAMM DXR      ; to tell its data, not command
RETE          ; program
*; TRANSMIT INTERRUPT SERVICE ROUTINE
;TRANSMIT:
RETE

*****
* DESCRIPTION: This routine initializes the TLC320C40 for *
* a 8Khz sample rate with a gain setting of 1 *
*****
* aic initialization data
*AICINIT: SPLK #20h,TCR ; To generate 10 MHz from Tout
SPLK #01h,PRD ; for AIC master clock
MAR *,AR0
LACC #0008h ; Non continuous mode
SACL SPC ; FSX as input
LACC #00c8h ; 16 bit words
SACL SPC
LACC #080h ; Pulse AIC reset by setting it low
SACH DXR
SACL GREG
LAR AR0,#0FFFFh
RPT #10000 ; and taking it high after 10000 cycles
LACC *,0,AR0 ; (.5ms at 50ns)
SACH GREG

```



```

;-----
LDP  #TA      ;
SETC  SXM      ;
LACC  TA,9      ; Initialized TA and RA register
ADD  RA,2      ;
CALL  AIC_2ND   ;
;-----
LDP  #TB
LACC  TB,9      ; Initialized TB and RB register
ADD  RB,2      ;
ADD  #02h      ;
CALL  AIC_2ND   ;
;-----
LDP  #AIC_CTR
LACC  AIC_CTR,2 ; Initialized control register
ADD  #03h      ;
CALL  AIC_2ND   ;
RET      ;
AIC_2ND:
LDP  #0
SACH  DXR      ;
CLRC  INTM
IDLE
ADD  #6h,15     ; 0000 0000 0000 0011 XXXX XXXX XXXX XXXX b
SACH  DXR      ;
IDLE
SACL  DXR      ;
IDLE
LACL  #0      ;
SACL  DXR      ; make sure the word got sent
IDLE

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RET ;

.end



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* Digital filter implementation on TMS-320C50 DSK starter it *

```

.mmregs
.ds 0f00h

ta .word 24      ; Fcut = 8 KHz
ra .word 24      ; Fcut = 8 KHz
tap .word 31     ;
rap .word 31     ;
tb .word 18      ; Fs = 2*Fcut
rb .word 18      ; Fs = 2*Fcut
aic_ctr .word 8h

*
* Set interrupt from A/D
*
.ps 080ah
b rint ;0A; Serial port receive interrupt RINT.
b xint ;0C; Serial port transmit interrupt XINT.

*
* Program entry point
*

.ps 00a00h
.entry

start: setc intm      ; Disable interrupts
      ldp #0          ; Set data page pointer
      opl #0834h,pmst
      lacc #0
      samm cwsr       ; Set software wait state to 0
      samm pdwsr

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* Reset AIC by writing to PA2 (address >52) to DSK

```
*      splk #022h,imr      ; Using XINT syn TX & RX
      call aicinit          ; initialize AIC and enable interrupts
      clrc ovm              ; OVM = 0
      spm 0                 ; PM = 0
      splk #022h,imr
      clrc intm             ; enable
```

*

* Digital filter code begin

*

```
      loop: lacc drr
      mar *,ar3
      lar ar3,#300h
      sac1 *
      lar ar3,#30ah
      zpr
      zac
      rpt #10
      macd coeff,*-
      apac
      rpt #16
      sfr
      sac1 dxr,3
      idle
      b loop
rint: rete
xint: rete
```


*

* Initializes the TLC320C40

*

aicinit: splk #20h,cr ; To generate 10 MHz from Tout

splk #01h,prd ; for AIC master clock

mar *,ar0

lacc #0008h ; Non continuous mode

sac1 spc ; FSX as input

lacc #00c8h ; 16 bit words

sac1 spc

lacc #080h ; Pulse AIC reset by setting it low

sach dxr

sac1 greg

lar ar0,#0FFFFh

rpt #10000 ; and taking it high after 10000 cycles

lacc *,0,ar0 ; (.5ms at 50ns)

sach greg

;

ldp #ta ;

setc sxm ;

lacc ta,9 ; Initialized TA and RA register

add ra,2 ;

call aic_2nd ;

;

ldp #tb

lacc tb,9 ; Initialized TB and RB register

add rb,2 ;

add #02h ;

call aic_2nd ;

;

ldp #aic_ctr

lacc aic_ctr,2 ; Initialized control register

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

add #03h      ;
call aic_2nd   ;
ret           ;

aic_2nd: ldp #0
sach dxr      ;
clrc intm
idle
add #6h,15    ; 0000 0000 0000 0011 XXXX XXXX XXXX XXXX b
sach dxr      ;
idle
sac1 dxr      ;
idle
lac1 #0       ;
sac1 dxr      ; make sure the word got sent
idle
setc intm
ret           ;
.ds 1000h

;coeff: .word -5430,-5760,0,7410,9050,2460,-7950,-11560,-4660,6900,12500
; .word 6900,-4660,-11560,-7950,2460,9050,7410,0,-5760,-5430
coeff: .word -4501, 0, 7502, 15918, 22507, 25000, 22507, 15918, 7502, 0, -4501

```

* TEST.ASM *

```

.mmregs
.ds 0f00h

ta .word 24    ; Fcut = 8 KHz
ra .word 24    ; Fcut = 8 KHz
tap .word 31   ;
rap .word 31   ;

```

tb .word 18 ; Fs = 2 * Fcut

การใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```
rb .word 18 ;Fs = 2*Fcut
```

```
aic_ctr.word 8h
```

```
*****
```

```
* Set interrupt from A/D *
```

```
*****
```

```
.ps 080ah
```

```
b rint ;0A; Serial prot receive interrupt RINT.
```

```
b xint ;0C; Serial port transmit interrupt XINT.
```

```
*****
```

```
* Program entry point *
```

```
*****
```

```
.ps 00a00h
```

```
.entry
```

```
start: setc intm ; Disable interrupts
```

```
ldp #0 ; Set data page pointer
```

```
opl #0834h,pmst
```

```
lacc #0
```

```
samm cwsr ; Set software wait state to 0
```

```
samm pdwsr
```

```
*****
```

```
* Reset AIC by writing to PA2 (address >52) to DSK *
```

```
*****
```

```
splk #022h,imr ; Using XINT syn TX & RX
```

```
call aicinit ; initialize AIC and enable interrupts
```

```
clrc ovm ; OVM = 0
```

```
spm 0 ; PM = 0
```

```
splk #022h,imr
```

```
clrc intm ; enable
```

```
*****
```

```
* Digital filter code begin *
```

เอกสารนี้เป็นเอกสารที่เผยแพร่เพื่อการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

LDP #0
LAMM IMR
OR #10h
SAMM IMR
LOOP: B LOOP
rint: lacc drr,0
SACL DXR,0
RETE
xint: rete
*****
* Initializes the TLC320C40 *
*****
aicinit: splk #20h,ucr ; To generate 10 MHz from Tout
        splk #01h,prd ; for AIC master clock
        mar *,ar0
        lacc #0008h ; Non continuous mode
        sacl spc ; FSX as input
        lacc #00c8h ; 16 bit words
        sacl spc
        lacc #080h ; Pulse AIC reset by setting it low
        sach dxr
        sacl greg
        lar ar0,#0FFFFh
        rpt #10000 ; and taking it high after 10000 cycles
        lacc *,0,ar0 ; (.5ms at 50ns)
        sach greg ;-----
        ldp #ta ;
        setc sxm ;
        lacc ta,9 ; Initialized TA and RA register
        add ra,2 ;
        call aic_2nd ;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

lacc tb,9          ; Initialized TB and RB register
add rb,2           ;
add #02h           ;
call aic_2nd       ;
;-----
ldp #aic_ctr
lacc aic_ctr,2     ; Initialized control register
add #03h           ;
call aic_2nd       ;
ret                ;
aic_2nd: ldp #0
sach dxr           ;
clrc intm
idle
add #6h,15
; 0000 0000 0000 0011 XXXX XXXX XXXX XXXX b
sach dxr           ;
idle
sac1 dxr           ;
idle
lac1 #0            ;
sac1 dxr           ; make sure the word got sent
idle
setc intm
ret                ;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VERSION: 1.02 ; 15.AUG.94 Copyright (c) 1993/4 Texas Instruments

PARAFILE: dsk5d.prm

ENTRYPOINT: 0x0a00

CONFMODE: 1

INIT_ST0: 0x0600

INIT_ST1: 0x11fc

INIT_PMST: 0x0030

TRACE: SCREEN.SCN

SCREEN: screen.scn

COFFFILE:

DSKFILE: testio.dsk

FORMATFILE:

SAFEFILE:

COFFPATH: C:\DSK

DSKPATH: C:\DSK

FORMATPATH: C:\DSK

SAVEPATH: C:\DSK

INVERSE: YES

BAUDRATE: 19200

COMPORT: 1

SCREENLEN: 25 ;-----;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```
; This is the source code for the DSK spectrum analyzer.  ;
; Assemble using the DSK5A assembler and execute the DSK  ;
; loader to load and run the application on your PC.      ;
```

```
;-----;
```

```
.mmregs
```

```
FFT_S      .set  1024
```

```
FFT_S-1    .set  1023
```

```
FFT_S/2    .set  512
```

```
(FFT_S/2)-1 .set  511
```

```
;-----;
```

```
TA      .set  6      ; Auxin ----+ +---- Loopback
```

```
RA      .set  6      ; Synch --+ | | +-- BP Filter
```

```
TAp     .set  1      ; | | | |
```

```
RAp     .set  1      ; +-----+
```

```
TB      .set  18     ;|00 00 G1 G0| SY AX LB BP|
```

```
RB      .set  18     ; +-----+
```

```
AIC_CMD .set  080h   ; GAIN
```

```
.ds  0f00h
```

```
TEMP     .word  0     ;location of TEMPorary storage
```

```
ACCU_lo  .word  0     ;
```

```
ACCU_hi  .word  0     ;
```

```
STAT1    .word  0     ;STAT1 storage
```

```
;-----;
```

```
.ps  080ah
```

```
B      RINT      ;0A; Serial port receive interrupt RINT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* TMS32C05X INITIALIZATION *

* This routine initializes the C5x registers, internal RAM and *

* external RAM from xxxx to FFFF *

```
.ps 0a00h
.entry
start setc INTM      ; Disable interrupts
ldp #0              ; Set data page pointer
splk #830h,PMST     ; 9K on-chip RAM as Data, No ROM
laci #0             ; Set Wait State Control Register
samm CWSR           ; for 0 waits in pgm & data memory
samm PDWSR          ;
*
* initialize and reset serial port
*
splk #20h,TCR
splk #1,PRD
mar *,AR0
laci #08h           ; set FSM bit for FSX/FSR per frame
samm spc            ; Configure for 16 bit mode with
laci #0C8h          ; external CLKX, reset tx and rx
samm spc
lamm drr            ; clear first int
lacc #0080h
sach dxr            ; clear first int
saci GREG           ; Pulse AIC reset by setting it low
lar AR0,#0FFFFFFh
rpt #10000          ; and taking it high after 1000 cycles
lacc *,0,AR0        ; (.5ms at 50ns)
sach GREG
setc SXM
```

เอกสารนี้เป็น SXM ที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

setc OVM
;-----
lar AR7,#0 ;Buffer initialy filled
call AIC_SET ; DO NOT CHANGE DP WITHOUT RESTORING IT!
laci #010h ; RINT
samm IMR ;
ldp #TEMP
;-----
;-----
loop: b loop

RINT: lacc drr,0 ;Recover the ARP from ARB (MON26 only)
saci dxr,1
rete ;
*****
AIC_SET: laci #020h
samm IMR ;XMIT interrupt
lacc #AIC_CMD,2 ;
add #03h ;
call AIC_2nd ;
;-----
lacc #TB,9 ;
add #RB,2 ;
add #02h ;
call AIC_2nd ;
;-----
lacc #TA,9 ;
add #RA,2 ;
call AIC_2nd ;
;-----
ret ;
;-----

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

AIC_2nd:          ;
    sach DXR      ;
    clrc INTM     ;;;
    idle          ;
    add #6,15     ;0000 0000 0000 0011 XXXX XXXX XXXX XXXX b
    sach DXR      ;
;   clrc INTM     ;;;Unlike C2x, IDLE does NOT eint's!
    idle          ;ACCU_hi requests 2nd XMIT
    samm DXR      ;
;   clrc INTM     ;;;
    idle          ;ACCU_lo sets up registers
    lacl #0       ;
    samm DXR      ;make sure the word got sent
;   clrc INTM     ;;;
    idle          ;
    setc INTM
    ret           ;
;-----

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

.mmregs
    .ds 0f00h

ta .word 6      ; Fcut = 8 KHz
ra .word 6      ; Fcut = 8 KHz
tap .word 1     ;
rap .word 1     ;
tb .word 18     ; Fs = 2*Fcut
rb .word 18     ; Fs = 2*Fcut
aic_ctr .word 040h

*
* Set interrupt from A/D
*
    .ps 080ah
    b rint      ;0A; Serial prot receive interrupt RINT.
    b xint      ;0C; Serial port transmit interrupt XINT.

*
* Program entry point
*

    .ps 00a00h
    .entry

start: setc intm      ; Disable interrupts
    ldp #0           ; Set data page pointer
    opl #0834h,pmst
    lacc #0
    samm cwsr        ; Set software wait state to 0
    samm pdwsr

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*

* Reset AIC by writing to PA2 (address >52) to DSK

*

```
splk #022h,imr    ; Using XINT syn TX & RX
call aicinit      ; initialize AIC and enable interrupts
clrc ovm          ; OVM = 0
spm 0             ; PM = 0
splk #022h,imr
clrc intm         ; enable
```

*

* Digital filter code begin

*

```
LDP #20h
LAMB IMR
OR #10h
SAMB IMR
lar ar0, #1000h
lacc #0222h,0,0
sar ar0,dar0
sacb
splk #512, brcr
rptb endb -1
```

startb:

```
idle
lacc drr,0
crgt
sac1 ar0
```

endb:

```
exar
```

เอกสารนี้สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOOP: B LOOP

rint: rete

xint: rete

*

* Initializes the TLC320C40

*

aicinit: splk #20h,tcr ; To generate 10 MHz from Tout

splk #01h,prd ; for AIC master clock

mar *,ar0

lacc #0008h ; Non continuous mode

sac1 spc ; FSX as input

lacc #00c8h ; 16 bit words

sac1 spc

lacc #080h ; Pulse AIC reset by setting it low

sach dxr

sac1 greg

lar ar0,#0FFFFh

rpt #10000 ; and taking it high after 10000 cycles

lacc *,0,ar0 ; (.5ms at 50ns)

sach greg

;-----

ldp #ta ;

setc sxm ;

lacc ta,9 ; Initialized TA and RA register

add ra,2 ;

call aic_2nd ;

;-----

ldp #tb

เอกสารนี้ lacc tb,9 ; Initialized TB and RB register
 เอกสารนี้เผยแพร่โดยกรมส่งเสริมการค้าระหว่างประเทศ กระทรวงพาณิชย์
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

add rb,2      ;
add #02h      ;
call aic_2nd   ;
;-----
ldp #aic_ctr
lacc aic_ctr,2 ; Initialized control register
add #03h      ;
call aic_2nd   ;
ret           ;

```

```

aic_2nd: ldp #0
sach dxr      ;
clrc intm
idle
add #6h,15    ; 0000 0000 0000 0011 XXXXX XXXXX XXXXX XXXXX b
sach dxr      ;
idle
sac1 dxr      ;
idle
lacl #0       ;
sac1 dxr      ; make sure the word got sent
idle
setc intm
ret           ;

```

```

.mmregs
.ps 0a00h
LDP #0
LAR AR0,#01002h
LAR AR1,#01000h

```

เอกสารนี้เป็น ar2, #01001h ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

SETC SXM
LACC #08000h
SACB
SPLK #9,BRCR
RPTB endb -1
startb: lacc #0h,0,1
; LACC *,0
CRGT
SACL *
; XC #1,C
; SAR ar2
MAR *+
endb:
.ds 01002h
.word 5000
.word 10000
.word 320
.word 3200
.word -5600
.word -2105
.word 2100
.word 32050
.word 1000
.word -1
.end

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

.mmregs
.ps 00a00h
.entry
LDP #0
LAMB IMR
OR #10h
SAMB IMR
LOOP: out DAT7,01h
B LOOP
.mmregs
.ds 0f00h
ta .word 6 ; Fcut = 8 KHz
ra .word 6 ; Fcut = 8 KHz
tap .word 1 ;
rap .word 1 ;
tb .word 18 ; Fs = 2*Fcut
rb .word 18 ; Fs = 2*Fcut
aic_ctr .word 080h

*
* Set interrupt from A/D
*

.ps 080ah
b rint ;0A; Serial prot receive interrupt RINT.
b xint ;0C; Serial port transmit interrupt XINT.

*
* Program entry point
*

.ps 00a00h

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

start: setc intm      ; Disable interrupts
      ldp #0          ; Set data page pointer
      opl #0830h,pmst
      lacc #0
      samm cwsr       ; Set software wait state to 0
      samm pdwsr

```

*

* Reset AIC by writing to PA2 (address >52) to DSK

*

```

      splk #022h,imr   ; Using XINT syn TX & RX
      call aicinit     ; initialize AIC and enable interrupts
      clrc ovm         ; OVM = 0
      spm 0            ; PM = 0
      splk #022h,imr
      clrc intm        ; enable

      LDP #0h
      LAMM IMR
      OR #10h
      SAMM IMR
      LOOP: ADD #10
      SACL DXR,3
      IDLE
      B LOOP

      rint: RETE
      xint: RETE

```

*

* Initializes the TLC320C40

*

aicinit: splk #20h, tcr ; To generate 10 MHz from Tout

splk #01h, prd ; for AIC master clock

mar *, ar0

lacc #0008h ; Non continuous mode

sac1 spc ; FSX as input

lacc #00c8h ; 16 bit words

sac1 spc

lacc #080h ; Pulse AIC reset by setting it low

sach dxr

sac1 greg

lar ar0, #0FFFFh

rpt #10000 ; and taking it high after 10000 cycles

lacc *, 0, ar0 ; (.5ms at 50ns)

sach greg

ldp #ta ;

setc sxm ;

lacc ta, 9 ; Initialized TA and RA register

add ra, 2 ;

call aic_2nd ;

ldp #tb

lacc tb, 9 ; Initialized TB and RB register

add rb, 2 ;

add #02h ;

call aic_2nd ;

ldp #aic_ctr

lacc aic_ctr, 2 ; Initialized control register

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

add #03h      ;
call aic_2nd   ;
ret           ;

```

```

aic_2nd: ldp #0

```

```

sach dxr      ;

```

```

clrc intm

```

```

idle

```

```

add #6h,15    ; 0000 0000 0000 0011 XXXX XXXX XXXX XXXX b

```

```

sach dxr      ;

```

```

idle

```

```

sac1 dxr      ;

```

```

idle

```

```

lac1 #0        ;

```

```

sac1 dxr      ; make sure the word got sent

```

```

idle

```

```

setc intm

```

```

ret           ;

```



ภาคผนวก จ

คู่มือการใช้งานเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบ 2 ชั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

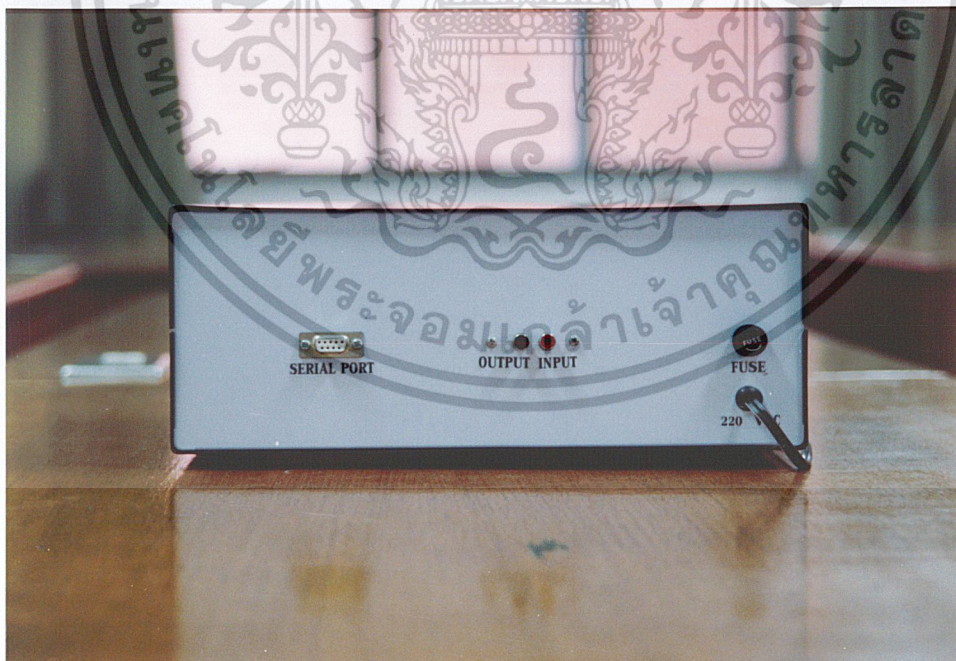
คู่มือการใช้งาน

เครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบ 2 ขั้ว

TWO-PORT NETWORK TRANSFER FUNCTION FINDER



รูปที่ จ.1 ด้านหน้าของเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบ 2 ขั้ว



รูปที่ จ.2 ด้านหลังของเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบ 2 ขั้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป จ.1 และ จ.2 เป็นรูปแสดงด้านหน้า และ ด้านหลังของเครื่องหาฟังก์ชันถ่ายโอน แบบ 2 ขั้วซึ่งประกอบไปด้วยส่วนต่างๆ ดังต่อไปนี้

ด้านหน้า

- เพาเวอร์ (POWER)
- รีเซ็ต (RESET)

ด้านหลัง

- อินพุต (INPUT)
- พอร์ต อนุกรม (SERIAL PORT)
- เอาต์พุต (OUTPUT)
- ฟิวส์ (FUSE)

หน้าที่ของส่วนประกอบต่างๆ

- เพาเวอร์ (POWER) ทำหน้าที่ปิด-เปิดวงจรภายในทั้งหมด ทำหน้าที่เหมือน Main Switch
- รีเซ็ต (RESET) ทำหน้าที่ควบคุมระดับของกระแสที่ใช้ภายในของเครื่อง
- พอร์ต อนุกรม (SERIAL PORT) ทำหน้าที่เป็นสื่อกลางในการติดต่อระหว่าง DSK Board กับ

Display Monitor

- อินพุต (INPUT) ทำหน้าที่รับสัญญาณจากวงจรทดสอบเข้ามาเพื่อประมวลผลและคำนวณค่าต่างๆ เพื่อควบคุมแรงดัน (VCO)

-เอาต์พุต (OUTPUT) ทำหน้าที่ส่งสัญญาณความถี่จาก เครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองขั้วออกไปยังวงจรทดสอบที่ต้องการจะทดสอบ

- ฟิวส์ (FUSE) ทำหน้าที่ควบคุมปริมาณกระแสที่ไหลเข้าวงจรทั้งหมด

ประโยชน์ของเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบ 2 ขั้ว

1. สามารถวัดผลตอบสนองทางความถี่ของวงจรทดสอบในช่วง 4 Hz-100 kHz ได้
2. สามารถผลิตความถี่ได้ 4 ช่วง ตั้งแต่ 10 Hz-100 kHz เป็นลอกลกาลีทึม
3. สามารถใช้แอมพลิฟายของสัญญาณทดสอบในช่วง 0 V - 5 V ได้ โดยการปรับ VR1
4. สามารถแสดงผลของการตอบสนองทางความถี่ทางจอภาพได้
5. สามารถควบคุมความถี่ได้อย่างละเอียดโดยการเปลี่ยนค่าที่ โปรแกรมของ DSK Board

อุปกรณ์ต่างๆ ในการปฏิบัติเพื่อทดสอบวงจร

1. เครื่องคอมพิวเตอร์ และ โปรแกรม Visual Basic 5.0
2. วงจรที่ต้องการทดสอบ
3. สายต่อวงจรรับ-ส่งสัญญาณระหว่าง DSK Board กับอุปกรณ์ภายนอก
4. เครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบ 2 ขั้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. สายไฟกระแสสลับ (AC)

6. สาย Serial Port (RS 232)

ขั้นตอนการใช้งานเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบ 2 ชั้น

1. ต่อดวงจรที่ต้องการทดสอบ คอมพิวเตอร์ และเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบ 2 ชั้น เข้าด้วยกันโดยการติดต่อระหว่าง DSK Board กับ คอมพิวเตอร์ จะใช้ การติดต่อแบบอนุกรมโดย RS 232 ส่วนการติดต่อระหว่าง เครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบสองชั้นกับ วงจรที่ต้องการทดสอบจะใช้สาย RF

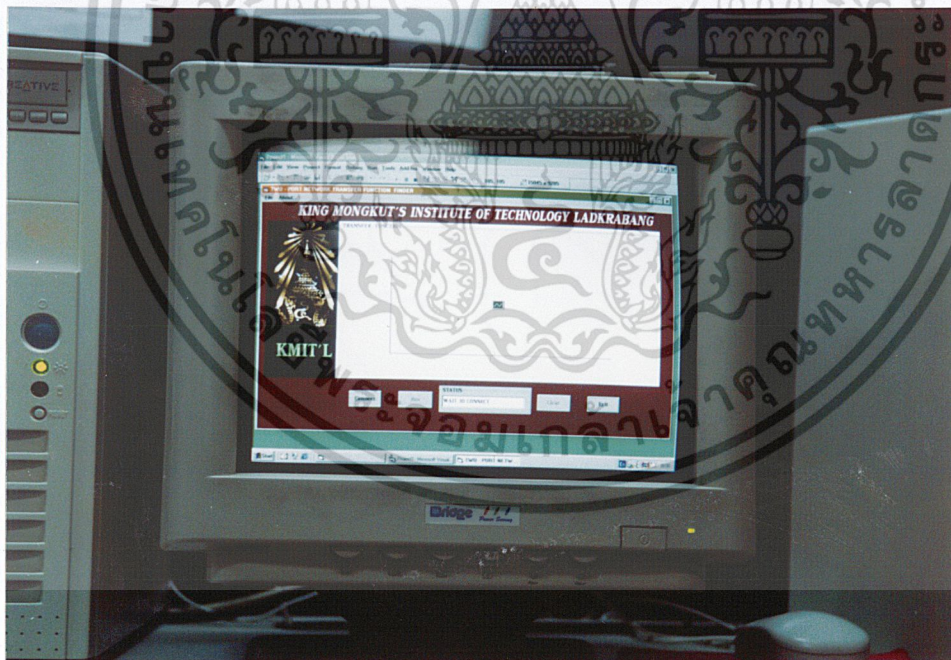
2. จ่ายไฟให้กับเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบ 2 ชั้น และ วงจรทดสอบ

3. ทำการเปิดสวิทช์ไฟฟ้า

4. ทำการเปิดเครื่องคอมพิวเตอร์เพื่อทำการ Run Program

5. ทำการ Run Program Visual Basic 5.0

6. เลือกฟังก์ชันการทำงานของเครื่องตามหน้าจอที่แสดงไว้



รูปที่ จ.3 เมนูหลักการใช้งานของเครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบ 2 ชั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

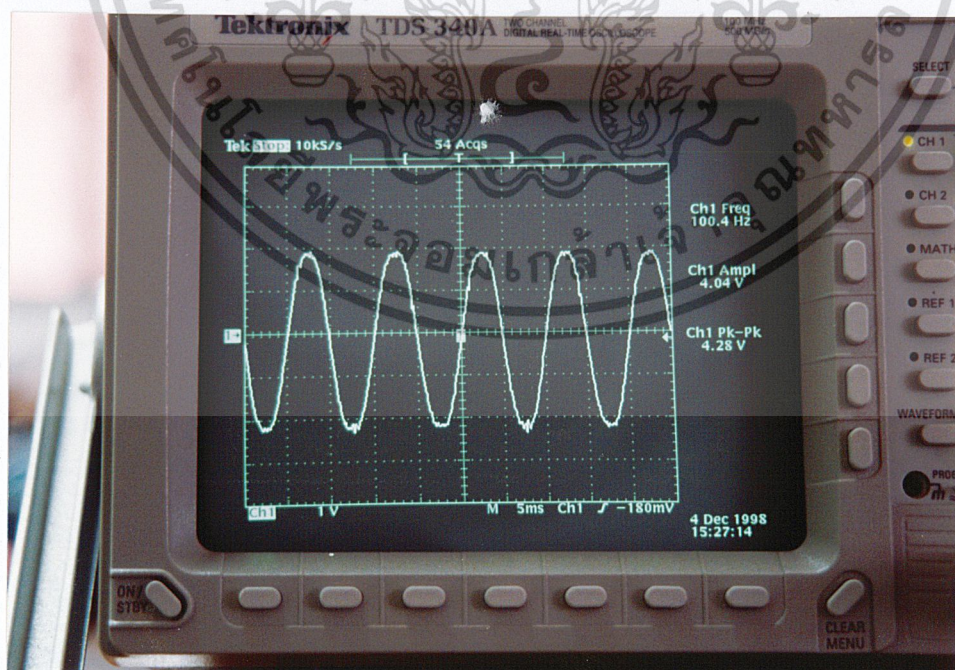
การวัดผลการตอบสนองทางความถี่ของวงจรทดสอบ

1. เมื่อต่อวงจรแล้วให้เลื่อน เมสส์ไปยังตำแหน่ง CONNECT จะได้สถานะว่า “Wait to run” แสดงว่าขณะนี้เครื่องพร้อมที่จะรับค่าเพื่อนำมาแสดงผลแล้ว



รูป จ.4 หน้าจอเมื่อเครื่องพร้อมที่จะรับค่าเพื่อนำมาแสดงผลแล้ว

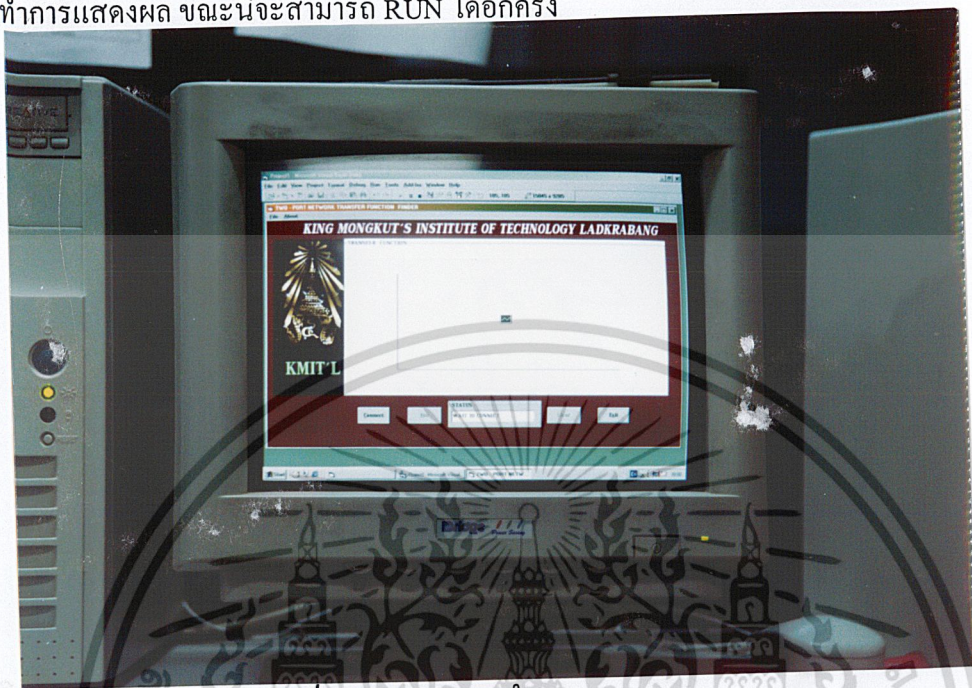
2. ทำการเลื่อนเมสส์ไปยังตำแหน่งที่ RUN จะได้สถานะว่า “Display transfer function” ขณะนี้เครื่องจะทำการแสดงผลของการตอบสนองทางความถี่ของวงจรทดสอบ



รูป จ.5 ผลของการตอบสนองทางความถี่ของวงจรที่ทดสอบ

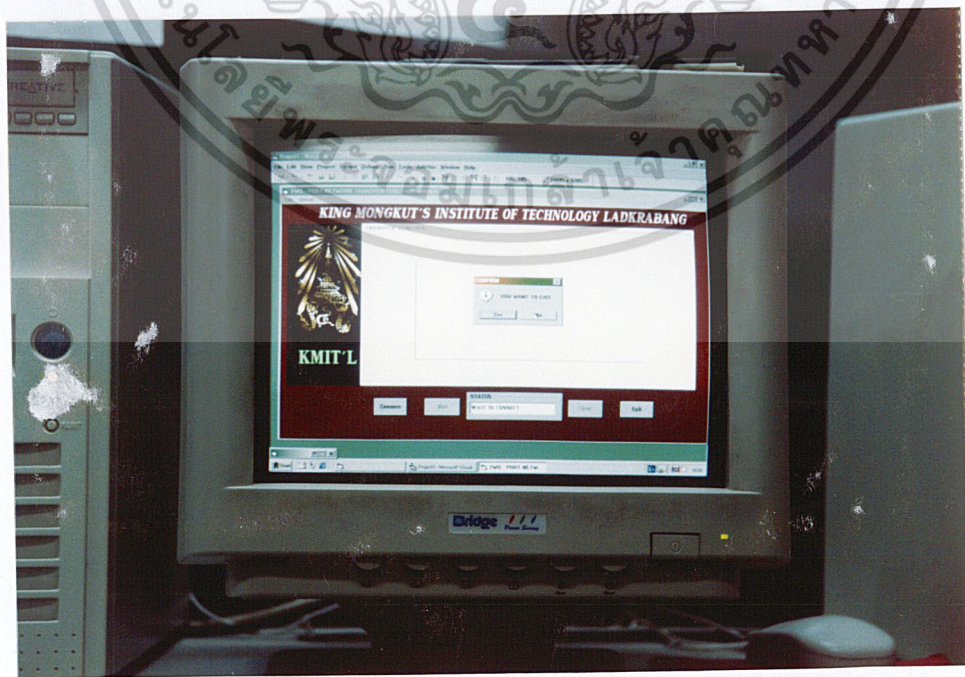
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. การหยุดการแสดงผลของการตอบสนองทางความถี่ของวงจรทดสอบให้เลื่อนตำแหน่ง เมาส์ไปอยู่ที่ตำแหน่ง **CLEAR** สถานะว่า **“Wait to connect”** ในขณะที่เครื่องหาฟังก์ชันถ่ายโอนแบบ 2 ขั้วจะหยุดทำการแสดงผล ขณะนี้จะสามารถ RUN ได้อีกครั้ง



รูป จ.6 ผลของหยุดทำการแสดงผล

4. การออกจากโปรแกรมให้เลื่อนตำแหน่งเมาส์ไปอยู่ที่ตำแหน่ง **EXIT** เครื่องหาฟังก์ชันถ่ายโอนของโครงข่ายแบบ 2 ขั้วจะถามว่า **“YOU WANT TO EXIT”** หากต้องการออกจากโปรแกรมก็คลิก **YES** แต่ถ้าไม่ต้องการออกจากโปรแกรมให้คลิก **NO** ก็จะออกจากโปรแกรม



รูป จ.7 ผลการออกจากโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูป จ.7 ผลการออกจากโปรแกรม เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Appendix A

DSK Circuit Board Dimensions and Schematic Diagrams

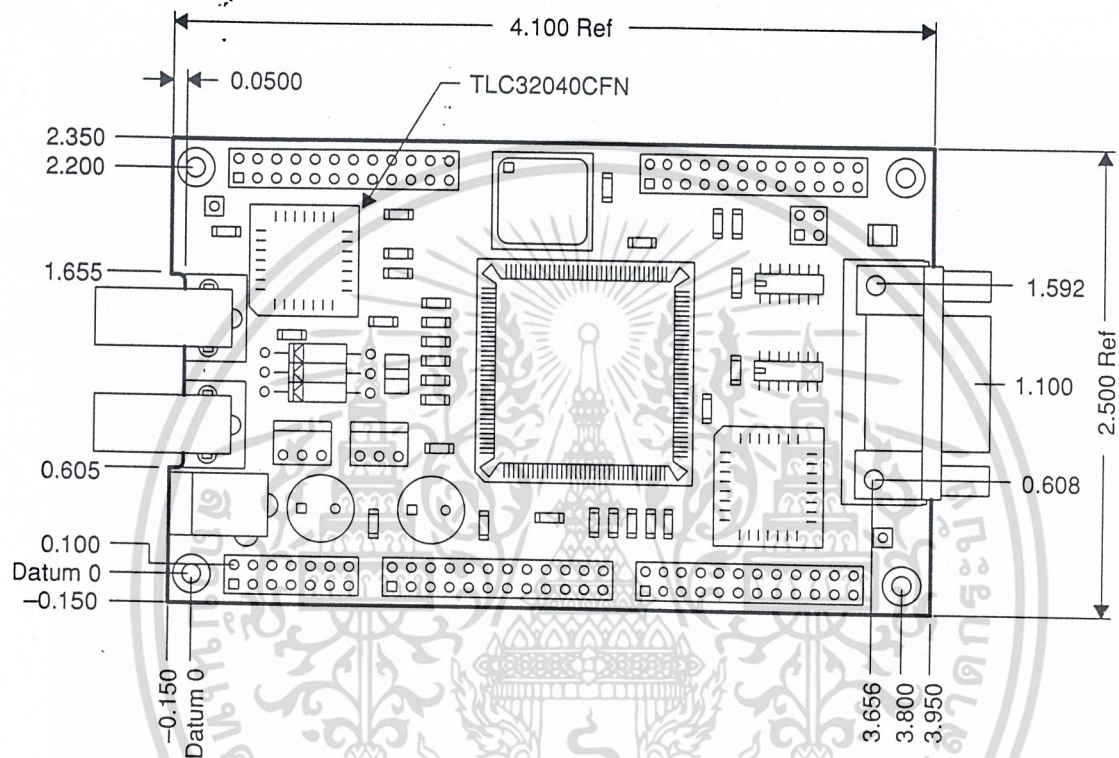
This appendix contains the circuit board dimensions and the schematic diagrams for the TMS320C5x DSP Starter Kit.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Circuit Board Dimensions

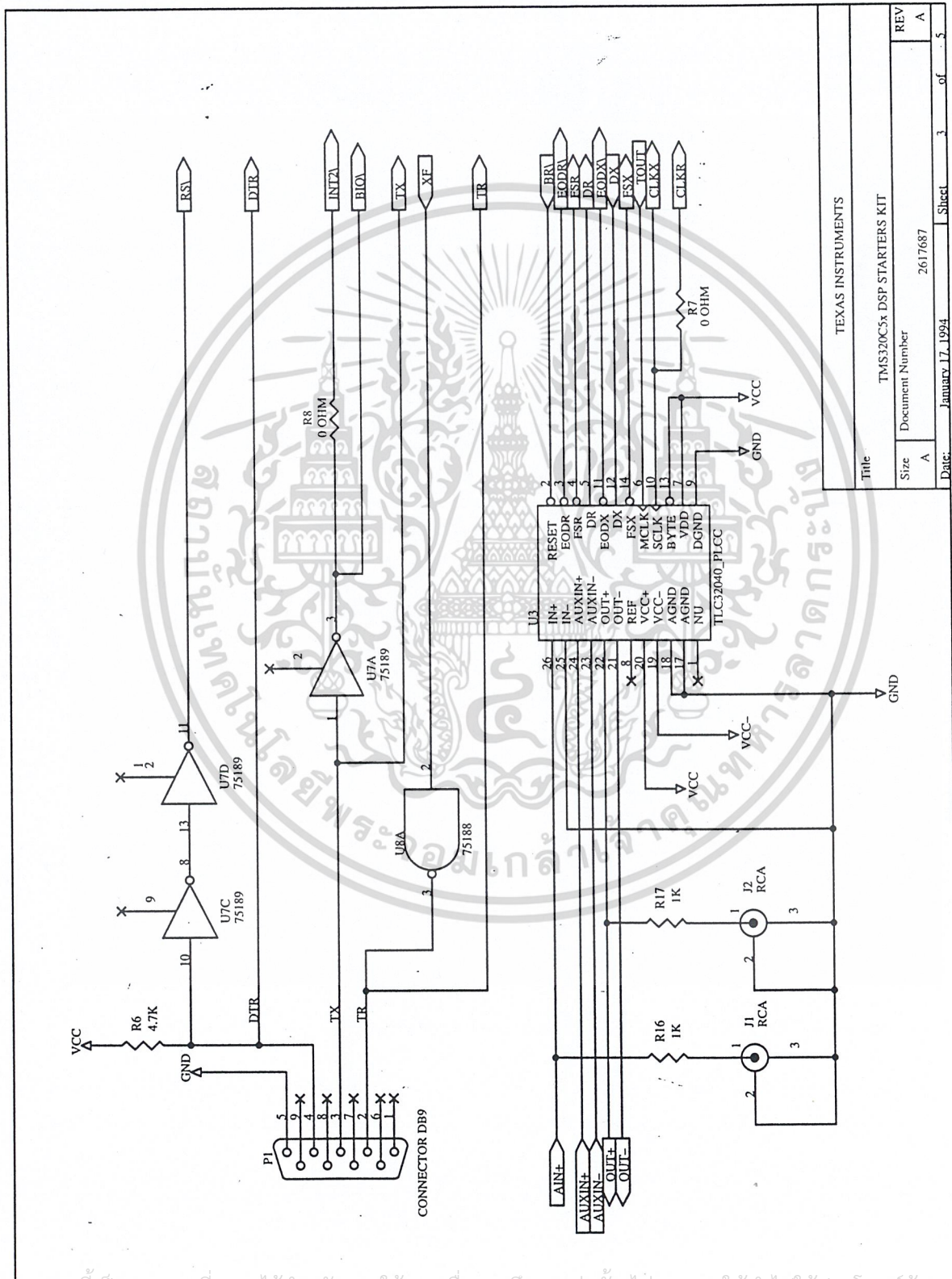
Figure A-1. TMS320C5x DSP Starter Kit (DSK) Circuit Board Dimensions



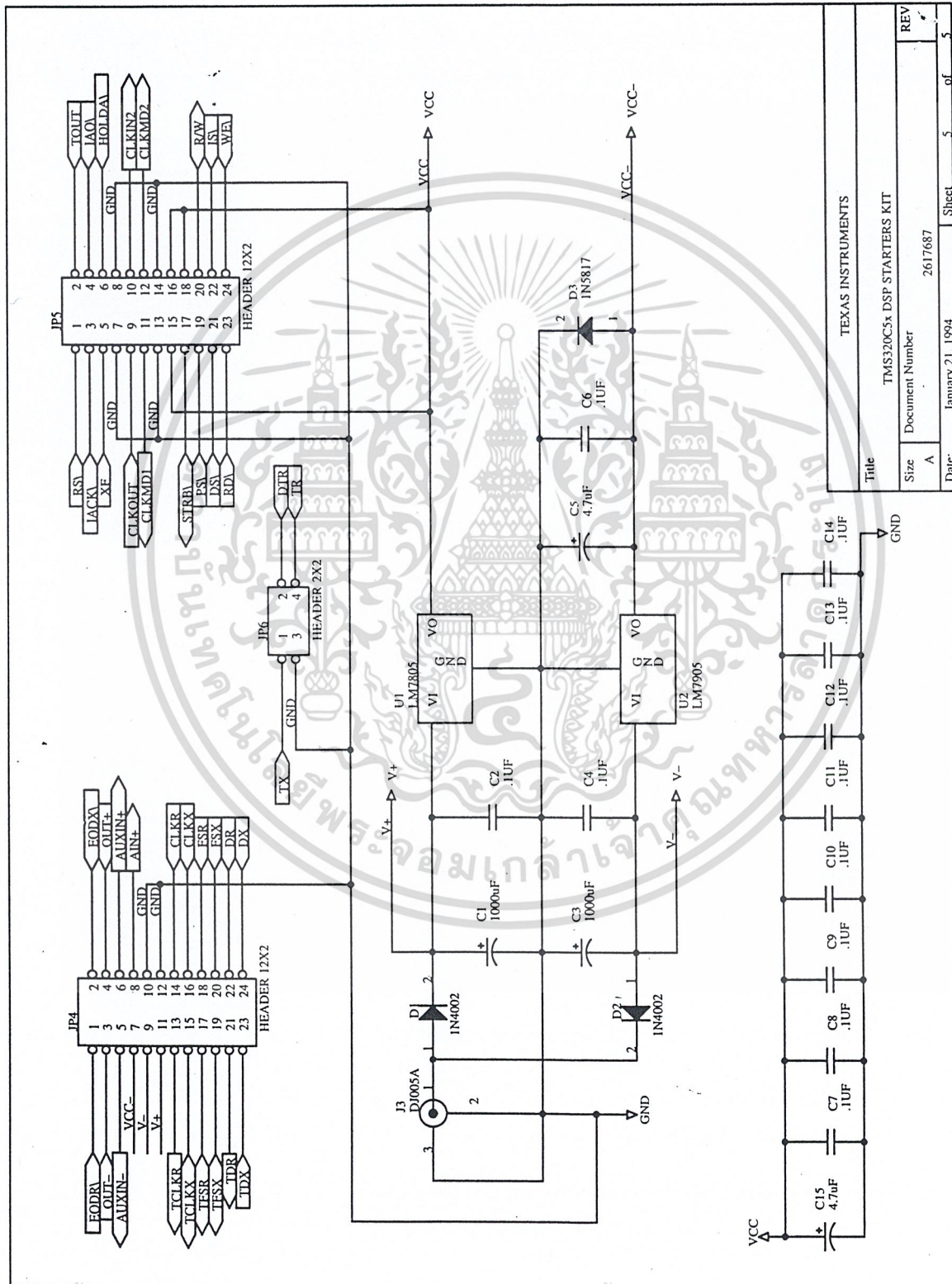
Note: Dimensions are in inches.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagrams



Schematic Diagrams

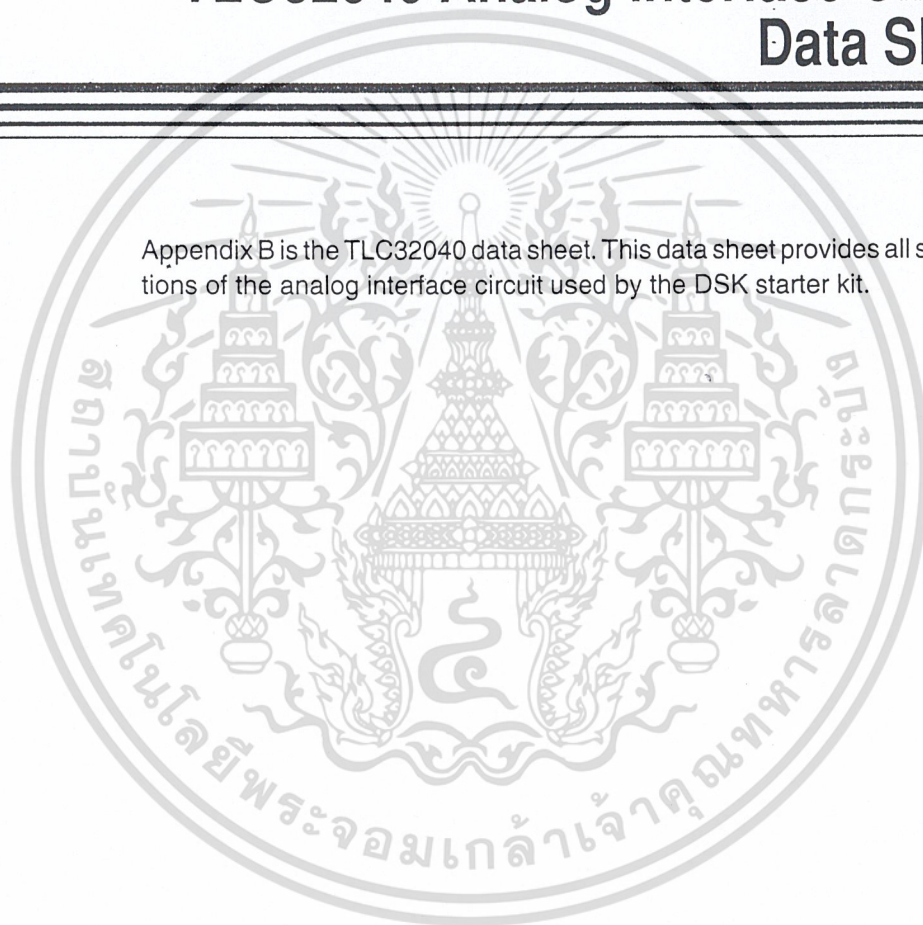


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Appendix B

TLC32040 Analog Interface Circuit Data Sheet

Appendix B is the TLC32040 data sheet. This data sheet provides all specifications of the analog interface circuit used by the DSK starter kit.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I, TLC32042C, TLC32042I ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

- Advanced LinCMOS™ Silicon-Gate Process Technology
- 14-Bit Dynamic Range ADC and DAC
- Variable ADC and DAC Sampling Rate Up to 19,200 Samples per Second
- Switched-Capacitor Antialiasing Input Filter and Output-Reconstruction Filter
- Serial Port for Direct Interface to TMS32011, TMS320C17, TMS32020, and TMS320C25 Digital Signal Processors
- Synchronous or Asynchronous ADC and DAC Conversion Rate With Programmable Incremental ADC and DAC Conversion Timing Adjustments
- Serial Port Interface to SN74299 Serial-to-Parallel Shift Register for Parallel Interface to TMS32010, TMS320C15, or Other Digital Processors
- 600-Mil Wide N Package (C_L to C_L)

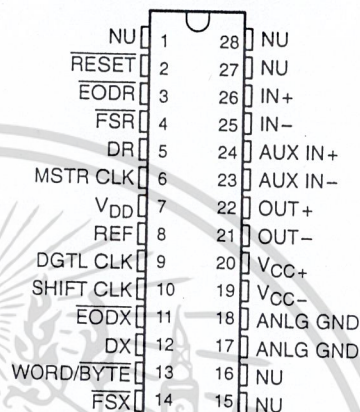
PART NUMBER	DESCRIPTION
TLC32040	Analog interface circuit with internal reference. Also a plug-in replacement for TLC32041.
TLC32041	Analog interface circuit without internal reference
TLC32042	Identical to TLC32040, but has a slightly wider bandpass filter bandwidth

description

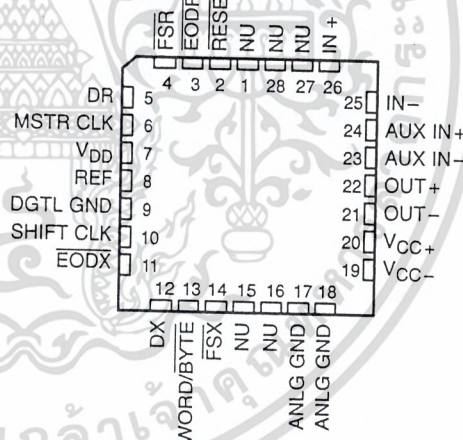
The TLC32040, TLC32041, and TLC32042 are complete analog-to-digital and digital-to-analog input/output systems, each on a single monolithic CMOS chip. This device integrates a bandpass switched-capacitor antialiasing input filter, a 14-bit-resolution A/D converter, four microprocessor-compatible serial port modes, a 14-bit-resolution D/A converter, and a low-pass switched-capacitor output-reconstruction filter. The device offers numerous combinations of master clock input frequencies and conversion/sampling rates, which can be changed via digital processor control.

Typical applications for this integrated circuit include modems (7.2-, 8-, 9.6-, 14.4-, and 19.2-kHz sampling rate), analog interface for digital signal processors (DSPs), speech recognition/storage systems, industrial process control, biomedical instrumentation, acoustical signal processing, spectral analysis, data acquisition, and instrumentation recorders. Four serial modes, which allow direct interface to the TMS32011, TMS320C17, TMS32020, and TMS320C25 digital signal processors, are provided. Also, when the transmit and receive

N PACKAGE
(TOP VIEW)



FN PACKAGE
(TOP VIEW)



NU – Nonusable; no external connection should be made to these pins.

Advanced LinCMOS™ is a trademark of Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS**

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

description (continued)

sections of the analog interface circuit (AIC) are operating synchronously, it will interface to two SN74299 serial-to-parallel shift registers. These serial-to-parallel shift registers can then interface in parallel to the TMS32010, TMS320C15, other digital signal processors, or external FIFO circuitry. Output data pulses are emitted to inform the processor that data transmission is complete or to allow the DSP to differentiate between two transmitted bytes. A flexible control scheme is provided so that the functions of this integrated circuit can be selected and adjusted coincidentally with signal processing via software control.

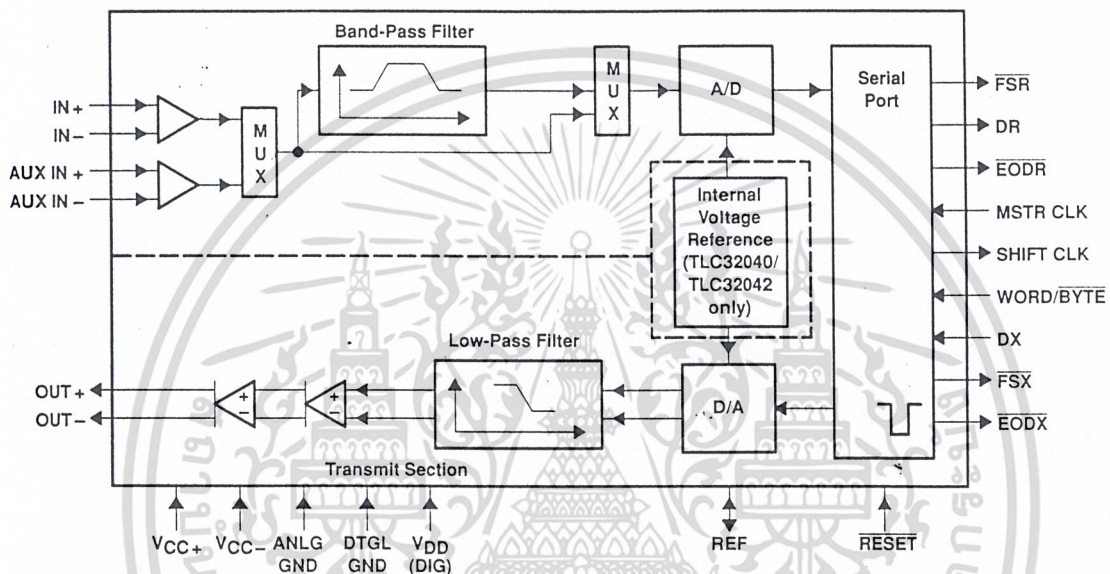
The antialiasing input filter comprises seventh-order and fourth-order CC-type (Chebyshev/elliptic transitional) low-pass and high-pass filters, respectively and a fourth-order equalizer. The input filter is implemented in switched-capacitor technology and is preceded by a continuous time filter to eliminate any possibility of aliasing caused by sampled data filtering. When no filtering is desired, the entire composite filter can be switched out of the signal path. A selectable, auxiliary, differential analog input is provided for applications where more than one analog input is required.

The A/D and D/A converters each have 14 bits of resolution. The A/D and D/A architectures ensure no missing codes and monotonic operation. An internal voltage reference is provided on the TLC32040 and TLC32042 to ease the design task and to provide complete control over the performance of this integrated circuit. The internal voltage reference is brought out to a pin and is available to the designer. Separate analog and digital voltage supplies and grounds are provided to minimize noise and ensure a wide dynamic range. Also, the analog circuit path contains only differential circuitry to keep noise to an absolute minimum. The only exception is the DAC sample and hold, which utilizes pseudo-differential circuitry.

The output-reconstruction filter is a seventh-order CC-type (Chebyshev/elliptic transitional low-pass filter followed by a fourth-order equalizer) and is implemented in switched-capacitor technology. This filter is followed by a continuous-time filter to eliminate images of the digitally encoded signal.

The TLC32040C, TLC32041C, and TLC32042C are characterized for operation from 0°C to 70°C, and the TLC32040I, TLC32041I and TLC32042I are characterized for operation from -40°C to 85°C.

functional block diagram



analog input

Two sets of analog inputs are provided. Normally, the IN+ and IN− input set is used; however, the auxiliary input set, AUX IN+ and AUX IN−, can be used if a second input is required. Each input set can be operated in either differential or single-ended modes, since sufficient common-mode range and rejection are provided. The gain for the IN+, IN−, AUX IN+, and AUX IN− inputs can be programmed to be either 1, 2, or 4 (see Table 2). Either input circuit can be selected via software control. It is important to note that a wide dynamic range is assured by the differential internal analog architecture and by the separate analog and digital voltage supplies and grounds.

A/D bandpass filter, A/D bandpass filter clocking, and A/D conversion timing

The A/D bandpass filter can be selected or bypassed via software control. The frequency response of this filter is presented in the following pages. This response results when the switched-capacitor filter clock frequency is 288 kHz. Several possible options can be used to attain a 288-kHz switched-capacitor filter clock. When the filter clock frequency is not 288 kHz, the filter transfer function is frequency scaled by the ratio of the actual clock frequency to 288 kHz. The low-frequency roll-off of the high-pass section is 300 Hz. However, the high-pass section low-frequency roll-off is less steep for the TLC32042 than for the TLC32040 and TLC32041.

The internal timing configuration and AIC DX data word format sections of this data sheet indicate the many options for attaining a 288-kHz bandpass switched-capacitor filter clock. These sections indicate that the RX Counter A can be programmed to give a 288-kHz bandpass switched-capacitor filter clock for several master clock input frequencies.

The A/D conversion rate is then attained by frequency dividing the 288-kHz bandpass switched-capacitor filter clock with the RX Counter B. Thus, unwanted aliasing is prevented because the A/D conversion rate is an integral submultiple of the bandpass switched-capacitor filter sampling rate, and the two rates are synchronously locked.

TLC32040C, TLC32040I, TLC32041C, TLC32041I

TLC32042C, TLC32042I

ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

A/D converter performance specifications

Fundamental performance specifications for the A/D converter circuitry are presented in the A/D converter operating characteristics section of this data sheet. The realization of the A/D converter circuitry with switched-capacitor techniques provides an inherent sample-and-hold.

analog output

The analog output circuitry is an analog output power amplifier. Both noninverting and inverting amplifier outputs are brought out of this integrated circuit. This amplifier can drive transformer hybrids or low-impedance loads directly in either a differential or single-ended configuration.

D/A low-pass filter, D/A low-pass filter clocking, and D/A conversion timing

The frequency response of this filter is presented in the following pages. This response results when the low-pass switched-capacitor filter clock frequency is 288 kHz. Like the A/D filter, the transfer function of this filter is frequency scaled when the clock frequency is not 288 kHz. A continuous-time filter is provided on the output on the output of the D/A low-pass filter to greatly attenuate any switched-capacitor clock feedthrough.

The D/A conversion rate is then attained by frequency dividing the 288-kHz switched-capacitor filter clock with TX Counter B. Thus, unwanted aliasing is prevented because the D/A conversion rate is an integral submultiple of the switched-capacitor low-pass filter sampling rate, and the two rates are synchronously locked.

TLC32042C, TLC32042I ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

PRINCIPLES OF OPERATION

asynchronous versus synchronous operation

If the transmit section of the AIC (low-pass filter and DAC) and receive section (bandpass filter and ADC) are operated asynchronously, the low-pass and band-pass filter clocks are independently generated from the master clock signal. Also, the D/A and A/D conversion rates are independently determined. If the transmit and receive sections are operated synchronously, the low-pass filter clock drives both low-pass and bandpass filters. In synchronous operation, the A/D conversion timing is derived from, and is equal to, the D/A conversion timing. (See description of the WORD/BYTE pin in the Terminal Functions table.)

D/A converter performance specifications

Fundamental performance specifications for the D/A converter circuitry are presented in the D/A converter operating characteristics section of the data sheet. The D/A converter has a sample-and-hold that is realized with a switched-capacitor ladder.

system frequency response correction

The $\sin x/x$ correction circuitry is performed in the digital processor software. The system frequency response can be corrected via DSP software to ± 0.1 -dB accuracy to band edge of 3000 Hz for all sampling rates. This correction is accomplished with a first-order digital correction filter, which requires only seven TMS320 instruction cycles. With a 200-ns instruction cycle, seven instructions represent an overhead factor of only 1.1% and 1.3% for sampling rates of 8 and 9.6 kHz, respectively (see the $\sin x/x$ correction section for more details).

serial port

The serial port has four possible modes that are described in detail in the Terminal Functions table. These modes are briefly described below and in the description for pin 13, WORD/BYTE.

1. The transmit and receive sections are operated asynchronously, and the serial port interfaces directly with the TMS32011 and TMS320C17.
2. The transmit and receive sections are operated asynchronously, and the serial port interfaces directly with the TMS32020 and the TMS320C25.
3. The transmit and receive sections are operated synchronously, and the serial port interfaces directly with the TMS32011 and TMS320C17.
4. The transmit and receive sections are operated synchronously, and the serial port interfaces directly with the TMS32020, TMS320C25, or two SN74299 serial-to-parallel shift registers, which can then interface in parallel to the TMS320C10, TMS32015, to any other digital signal processor, or to external FIFO circuitry.

operation of TLC32040 or TLC32042 with internal voltage reference

The internal reference of the TLC32040 and TLC32042 eliminates the need for an external voltage reference and provides overall circuit cost reduction. Thus, the internal reference eases the design task and provides complete control over the performance of this integrated circuit. The internal reference is brought out to a pin and is available to the designer. To keep the amount of noise on the reference signal to a minimum, an external capacitor may be connected between REF and ANLG GND.

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

PRINCIPLES OF OPERATION

operation of TLC32040, TLC32041, or TLC32042 with external voltage reference

The REF pin may be driven from an external reference circuit if so desired. This external circuit must be capable of supplying 250 μ A and must be adequately protected from noise such as crosstalk from the analog input.

reset

A reset function is provided to initiate serial communications between the AIC and DSP and allow fast, cost-effective testing during manufacturing. The reset functional will initialize all AIC registers, including the control register. After a negative-going pulse on the RESET pin, the AIC will be initialized. This initialization allows normal serial port communications activity to occur between AIC and DSP (see AIC DX data word format section).

loopback

This feature allows the user to test the circuit remotely. In loopback, the OUT+ and OUT– pins are internally connected to the IN+ and the IN– pins. Thus, the DAC bits (d15 to d2), which are transmitted to the DX pin, can be compared with the ADC bits (d15 to d2), which are received from the DR pin. An ideal comparison would be that the bits on the DR pin equal the bits on the DX pin. However, in practice there will be some difference in these bits due to the ADC and DAC output offsets.

In loopback, if the IN+ and the IN– pins are enabled, the external signals on the IN+ and the IN– pins are ignored. If the AUX IN+ and AUX IN– pins are enabled, the external signals on these pins are added to the OUT+ and OUT– signals in loopback operation.

The loopback feature is implemented with digital signal processor control by transmitting the appropriate serial port bit to the control register (see AIC DX data word format section).

Terminal Functions

PIN NAME	NO.	I/O	DESCRIPTION
ANLG GND	17,18		Analog ground return for all internal analog circuits. Not internally connected to DGTL GND.
AUX IN+	24	I	Noninverting auxiliary analog input state. This input can be switched into the bandpass filter and A/D converter path via software control. If the appropriate bit in the control register is a 1, the auxiliary inputs will replace the IN+ and IN– inputs. If the bit is a 0, the IN+ and IN– inputs will be used (see the AIC DX data word format section).
AUX IN–	23	I	Inverting auxiliary analog input (see the above AUX IN+ pin description)
DGTL GND	9		Digital ground for all internal logic circuits. Not internally connected to ANLG GND.
DR	5	O	This pin is used to transmit the ADC output bits from the AIC to the TMS320 serial port. This transmission of bits from the AIC to the TMS320 serial port is synchronized with the SHIFT CLK signal.
DX	12	I	This pin is used to receive the DAC input bits and timing and control information from the TMS320. This serial transmission from the TMS320 serial port to the AIC is synchronized with the SHIFT CLK signal.
EODR	3	O	End of data receive. See the WORD/BYTE pin description and the Serial Port Timing diagrams. During the word-mode timing, this signal is a low-going pulse that occurs immediately after the 16 bits of A/D information have been transmitted from the AIC to the TMS320 serial port. This signal can be used to interrupt a microprocessor upon completion of serial communications. Also, this signal can be used to strobe and enable external serial-to-parallel shift registers, latches, or external FIFO RAM, and to facilitate parallel data bus communications between the AIC and the serial-to-parallel shift registers. During the byte-mode timing, this signal goes low after the first byte has been transmitted from the AIC to the TMS320 serial port and is kept low until the second byte has been transmitted. The TMS32011 or TMS320C17 can use this low-going signal to differentiate between the two bytes as to which is first and which is second. EODR does not occur after secondary communication.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

Terminal Functions (continued)

PIN NAME	NO.	I/O	DESCRIPTION
EODX	11	O	End of data transmit. See the WORD/BYTE pin description and the Serial Port Timing diagram. During the word-mode timing, this signal is a low-going pulse that occurs immediately after the 16 bits of D/A converter and control or register information have been transmitted from the TMS320 serial port to the AIC. This signal can be used to interrupt a microprocessor upon the completion of serial communications. Also, this signal can be used to strobe and enable external serial-to-parallel shift registers, latches, or an external FIFO RAM, and to facilitate parallel data-bus communications between the AIC and the serial-to-parallel shift registers. During the byte-mode timing, this signal goes low after the first byte has been transmitted from the TMS320 serial port to the AIC and is kept low until the second byte has been transmitted. The TMS32011 or TMS320C17 can use this low-going signal to differentiate between the two bytes as to which is first and which is second.
FSR	4	O	Frame sync receive. In the serial transmission modes, which are described in the WORD/BYTE pin description, the FSR pin is held low during bit transmission. When the FSR pin goes low, the TMS320 serial port will begin receiving bits from the AIC via the DR pin of the AIC. The most significant DR bit will be present on the DR pin before FSR goes low. (See Serial Port Timing and Internal Timing Configuration diagrams.) FSR does not occur after secondary communication.
FSX	14	O	Frame Sync Transmit. When this pin goes low, the TMS320 serial port will begin transmitting bits to the AIC via the DX pin of the AIC. In all serial transmission modes, which are described in the WORD/BYTE pin description, the FSX pin is held low during bit transmission (see the Serial Port Timing and Internal Timing Configuration diagrams).
IN+	26	I	Noninverting input to analog input amplifier stage
IN-	25	I	Inverting input to analog input amplifier stage
MSTR CLK	6	I	The master clock signal is used to derive all the key logic signals of the AIC, such as the shift clock, the switched-capacitor filter clocks, and the A/D and D/A timing signals. The Internal Timing Configuration diagram shows how these key signals are derived. The frequencies of these key signals are synchronous submultiples of the Master Clock frequency to eliminate unwanted aliasing when the sampled analog signals are transferred between the switched-capacitor filters and the A/D and D/A converters (see the Internal Timing Configuration).
OUT+	22	O	Noninverting output of analog output power amplifier. Can drive transformer hybrids or high-impedance loads directly in either a differential or a single-ended configuration.
OUT-	21	O	Inverting output of analog output power amplifier. Functionally identical with and complementary to OUT+.
REF	8	I/O	For the TLC32040 and TLC32042, the internal voltage reference is brought out on this pin. For the TLC32040, TLC32041, and TLC32042, an external voltage reference can be applied to this pin.
RESET	2	I	A reset function is provided to initialize the TA, TA', TB, RA, RA', RB, and control registers. This reset function initiates serial communications between the AIC and DSP. The reset function will initialize all AIC registers including the control register. After a negative-going pulse on the RESET pin, the AIC registers will be initialized to provide an 8-kHz data conversion rate for a 5.184-MHz master clock input signal. The conversion rate adjust registers, TA' and RA', will be reset to 1. The control register bits will be reset as follows (see AIC DX data word format section): d7 = 1, d6 = 1, d5 = 1, d4 = 0, d3 = 0, d2 = 1 This initialization allows normal serial-port communication to occur between AIC and DSP.
SHIFT CLK	10	O	The shift clock signal is obtained by dividing the master clock signal frequency by four. This signal is used to clock the serial data transfers of the AIC, described in the WORD/BYTE pin description below (see the Serial Port Timing and Internal Timing Configuration diagrams).
VDD	7		Digital supply voltage, 5 V $\pm$ 5%
VCC+	20		Positive analog supply voltage, 5 V $\pm$ 5%
VCC-	19		Negative analog supply voltage, -5 V $\pm$ 5%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

Terminal Functions (continued)

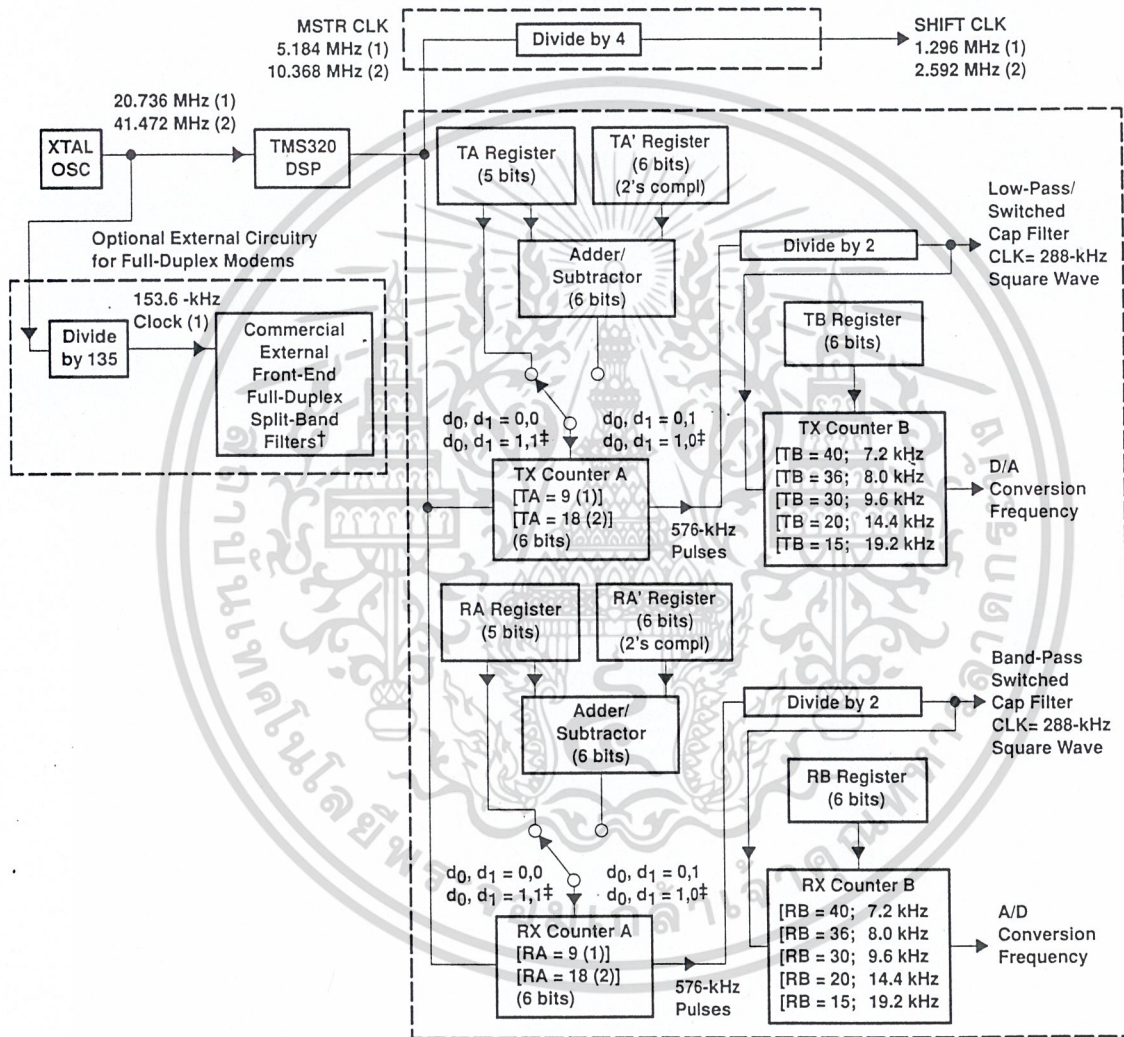
PIN		I/O	DESCRIPTION
NAME	NO.		
WORD/BYTE	13	I	This pin, in conjunction with a bit in the control register, is used to establish one of four serial modes. These four serial modes are described below. <i>AIC transmit and receive sections are operated asynchronously.</i> The following description applies when the AIC is configured to have asynchronous transmit and receive sections. If the appropriate data bit in the control register is a 0 (see the AIC DX data word format section), the transmit and receive sections will be asynchronous. L Serial port directly interfaces with the serial port of the TMS32011 or TMS320C17 and communicates in two 8-bit bytes. The operation sequence is as follows (see Serial Port Timing diagrams): 1. The $\overline{\text{FSX}}$ or $\overline{\text{FSR}}$ pin is brought low. 2. One 8-bit byte is transmitted or one 8-bit byte is received. 3. The $\overline{\text{EODX}}$ or $\overline{\text{EODR}}$ pin is brought low. 4. The $\overline{\text{FSX}}$ or $\overline{\text{FSR}}$ pin emits a positive frame-sync pulse that is four shift clock cycles wide. 5. One 8-bit byte is transmitted or one 8-bit byte is received. 6. The $\overline{\text{EODX}}$ or $\overline{\text{EODR}}$ pin is brought high. 7. The $\overline{\text{FSX}}$ or $\overline{\text{FSR}}$ pin is brought high. H Serial port directly interfaces with the serial port of the TMS32020, TMS320C25, or TMS320C30 and communicates in one 16-bit word. The operation sequence is as follows (see Serial Port Timing diagrams): 1. The $\overline{\text{FSX}}$ or $\overline{\text{FSR}}$ pin is brought low. 2. One 16-bit word is transmitted or one 16-bit word is received. 3. The $\overline{\text{FSX}}$ or $\overline{\text{FSR}}$ pin is brought high. 4. The $\overline{\text{EODX}}$ or $\overline{\text{EODR}}$ pin emits a low-going pulse. <i>AIC transmit and receive sections are operated synchronously.</i> If the appropriate data bit in the control register is a 1, the transmit and receive sections will be configured to be synchronous. In this case, the bandpass switched-capacitor filter and the A/D conversion timing will be derived from the TX Counter A, TX Counter B, and TA, TA', and TB registers, rather than the RX Counter A, RX Counter B, and RA, RA', and RB registers. In this case, the AIC $\overline{\text{FSX}}$ and $\overline{\text{FSR}}$ timing will be identical during primary data communication; however, $\overline{\text{FSR}}$ will not be asserted during secondary data communication since there is no new A/D conversion result. The synchronous operation sequences are as follows (see Serial Port Timing diagrams): L Serial port directly interfaces with the serial port of the TMS32011 or TMS320C17 and communicates in two 8-bit bytes. The operation sequence is as follows (see Serial Port Timing diagrams): 1. The $\overline{\text{FSX}}$ and $\overline{\text{FSR}}$ pins are brought low. 2. One 8-bit byte is transmitted and one 8-bit byte is received. 3. The $\overline{\text{EODX}}$ and $\overline{\text{EODR}}$ pins are brought low. 4. The $\overline{\text{FSX}}$ and $\overline{\text{FSR}}$ pins emit positive frame-sync pulses that are four Shift Clock cycles wide. 5. One 8-bit byte is transmitted and one 8-bit byte is received. 6. The $\overline{\text{EODX}}$ and $\overline{\text{EODR}}$ pins are brought high. 7. The $\overline{\text{FSX}}$ and $\overline{\text{FSR}}$ pins are brought high. H Serial port directly interfaces with the serial port of the TMS32020, TMS320C25, or TMS320C30 and communicates in one 16-bit word. The operation sequence is as follows (see Serial Port Timing diagrams): 1. The $\overline{\text{FSX}}$ and $\overline{\text{FSR}}$ pins are brought low. 2. One 16-bit word is transmitted and one 16-bit word is received. 3. The $\overline{\text{FSX}}$ and $\overline{\text{FSR}}$ pins are brought high. 4. The $\overline{\text{EODX}}$ or $\overline{\text{EODR}}$ pins emit low-going pulses. Since the transmit and receive sections of the AIC are now synchronous, the AIC serial port with additional NOR and AND gates will interface to two SN74299 serial-to-parallel shift registers. Interfacing the AIC to the SN74299 shift register allows the AIC to interface to an external FIFO RAM and facilitates parallel data bus communications between the AIC and the digital signal processor. The operation sequence is the same as the above sequence (see Serial Port Timing diagrams).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

INTERNAL TIMING CONFIGURATION



$$\text{SCF Clock Frequency} = \frac{\text{Master Clock Frequency}}{2 \times \text{Contents of Counter A}}$$

NOTE: Frequency 1,20.736 MHz is used to show how 153.6 kHz (for commercially available modem split-band filter clock), popular speech and modem sampling signal frequencies, and an internal 288-kHz switched-capacitor filter clock can be derived synchronously and as submultiples of the crystal oscillator frequency. Since these derived frequencies are synchronous submultiples of the crystal frequency, aliasing does not occur as the sampled analog signal passes between the analog converter and switched-capacitor filter stages. Frequency 2,41.472 MHz is used to show that the AIC can work with high-frequency signals, which are used by high-speed digital signal processors.

† Split-band filtering can alternatively be performed after the analog input function via software in the TMS320.

‡ These control bits are described in the AIC DX data word format section.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS**

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

explanation of internal timing configuration

All of the internal timing of the AIC is derived from the high-frequency clock signal that drives the MSTR CLK input pin. The SHIFT CLK signal, which strobes the serial port data between the AIC and DSP, is derived by dividing the master clock input signal frequency by four.

$$\text{SCF Clock Frequency} = \frac{\text{Master Clock Frequency}}{2 \times \text{Contents of Counter A}}$$

$$\text{Conversion Frequency} = \frac{\text{SCF Clock Frequency}}{\text{Contents of Counter B}}$$

$$\text{Shift Clock Frequency} = \frac{\text{Master Clock Frequency}}{4}$$

TX Counter A and TX Counter B, which are driven by the MSTR CLK signal, determine the D/A conversion timing. Similarly, RX Counter A and RX Counter B determine the A/D conversion timing. In order for the switched-capacitor low-pass and band pass filters to meet their transfer function specifications, the frequency of the clock inputs of the switched-capacitor filters must be 288 kHz. If the frequencies of the clock inputs are not 288 kHz, the filter transfer function frequencies are scaled by the ratios of the clock frequencies to 288 kHz. Thus, to obtain the specified filter responses, the combination of master clock frequency and TX Counter A and RX Counter A values must yield 288-kHz switched-capacitor clock signals. These 288-kHz clock signals can then be divided by the TX Counter B and RX Counter B to establish the D/A and A/D conversion timings.

TX Counter A and TX Counter B are reloaded every D/A conversion period, while RX Counter A and RX Counter B are reloaded every A/D conversion period. The TX Counter B and RX Counter B are loaded with the values in the TB and RB Registers, respectively. Via software control, the TX Counter A can be loaded with either the TA Register, the TA Register less the TA' Register, or the TA Register plus the TA' Register. By selecting the TA Register less the TA' Register option, the upcoming conversion timing will occur earlier by an amount of time that equals TA' times the signal period of the Master Clock. By selecting the TA Register plus the TA' Register option, the upcoming conversion timing will occur later by an amount of time that equals TA' times the signal period of the master clock. Thus, the D/A conversion timing can be advanced or retarded. An identical ability to alter the A/D conversion timing is provided. In this case, however, the RX Counter A can be programmed via software control with the RA Register, the RA Register less the RA' Register, or the RA Register plus the RA' Register.

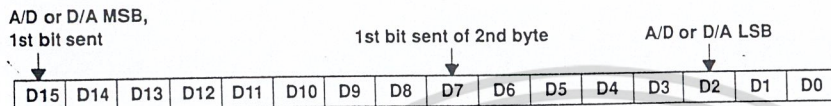
The ability to advance or retard conversion timing is particularly useful for modem applications. This feature allows controlled changes in the A/D and D/A conversion timing. This feature can be used to enhance signal-to-noise performance, to perform frequency-tracking functions, and to generate nonstandard modem frequencies.

If the transmit and receive sections are configured to be synchronous (see WORD/BYTE pin description), then both the low-pass and bandpass switched-capacitor filter clocks are derived from TX Counter A. Also, both the D/A and A/D conversion timing are derived from the TX Counter A and TX Counter B. When the transmit and receive sections are configured to be synchronous, the RX Counter A, RX Counter B, RA Register, RA' Register, and RB Registers are not used.

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

AIC DR or DX word bit pattern



AIC DX data word format section

d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0	COMMENTS
primary DX serial communication protocol																
←d15 (MSB) through d2 go to the D/A converter register														→	0 0	The TX and RX Counter As are loaded with the TA and RA register values. The TX and RX Counter Bs are loaded with TB and RB register values.
←d15 (MSB) through d2 go to the D/A converter register														→	0 1	The TX and RX Counter A's are loaded with the TA + TA' and RA + RA' register values. The TX and RX Counter Bs are loaded with TB and RB register values. NOTE: d1 = 0, d0 = 1 will cause the next D/A and A/D conversion periods to be changed by the addition of TA' and RA' master clock cycles, in which TA' and R/A' can be positive or negative or zero. Please refer to Table 1.
←d15 (MSB) through d2 go to the D/A converter register														→	1 0	The TX and RX Counter As are loaded with the TA – TA' and RA – RA' register values. The TX and RX Counter Bs are loaded with TB and RB register values. NOTE: d1 = 1, d0 = 0 will cause the next D/A and A/D conversion periods to be changed by the subtraction of TA' and RA' master clock cycles, in which TA' and R/A' can be positive or negative or zero. Please refer to Table 1.
←d15 (MSB) through d2 go to the D/A converter register														→	1 1	The TX and RX Counter As are loaded with the TA and RA register values. The TX and RX Counter Bs are loaded with the TB and RB register values. After a delay of four shift clock cycles, a secondary transmission will immediately follow to program the AIC to operate in the desired configuration.

NOTE: Setting the two least significant bits to 1 in the normal transmission of DAC information (primary communications) to the AIC will initiate secondary communications upon completion of the primary communications.

Upon completion of the primary communication, $\overline{\text{FSX}}$ will remain high for four SHIFT CLK cycles and will then go low and initiate the secondary communication. The timing specifications for the primary and secondary communications are identical. In this manner, the secondary communication, if initiated, is interleaved between successive primary communications. This interleaving prevents the secondary communication from interfering with the primary communications and DAC timing, thus preventing the AIC from skipping a DAC output. It is important to note that in the synchronous mode, $\overline{\text{FSR}}$ will not be asserted during secondary communications.

**TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS**
SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

secondary DX serial communication protocol

$x\ x\ \leftarrow \text{to TA register} \rightarrow x\ x\ \leftarrow \text{to RA register} \rightarrow $	0 0	d13 and d6 are MSBs (unsigned binary)
$x\ \leftarrow \text{to TA' register} \rightarrow x\ \leftarrow \text{to RA' register} \rightarrow $	0 1	d14 and d7 are 2's complement sign bits
$x\ \leftarrow \text{to TB register} \rightarrow x\ \leftarrow \text{to RB register} \rightarrow $	1 0	d14 and d7 are MSBs (unsigned binary)
$x\ x\ x\ x\ x\ x\ x\ x\ d7\ d6\ d5\ d4\ d3\ d2\ 1\ 1$		
Control Register		d2 = 0/1 deletes/inserts the bandpass filter d3 = 0/1 disables/enables the loopback function d4 = 0/1 disables/enables the AUX IN+ and AUX IN- pins d5 = 0/1 asynchronous/synchronous transmit receive sections d6 = 0/1 gain control bits (see gain control section) d7 = 0/1 gain control bits (see gain control section)

reset function

A reset function is provided to initiate serial communications between the AIC and DSP. The reset function will initialize all AIC registers, including the control register. After power has been applied to the AIC, a negative-going pulse on the RESET pin will initialize the AIC registers to provide an 8-kHz A/D and D/A conversion rate for a 5.184-MHz master clock input signal. The AIC, except the control register, will be initialized as follows (see AIC DX data word format section):

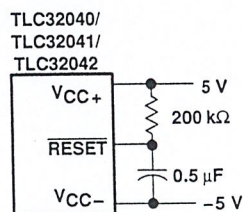
REGISTER	INITIALIZED REGISTER VALUE (HEX)	d7	d6	gain
TA	9	0	0	4
TA'	1	0	0	1
TB	24	0	1	2
RA	9	1	1	4
RA'	1			
RB	24			

The control register bits will be reset as follows (see AIC DX data word format section):

$$d7 = 1, d6 = 1, d5 = 1, d4 = 0, d3 = 0, d2 = 1$$

This initialization allows normal serial port communications to occur between AIC and DSP. If the transmit and receive sections are configured to operate synchronously and the user wishes to program different conversion rates, only the TA, TA', and TB register need to be programmed, since both transmit and receive timing are synchronously derived from these registers (see the pin descriptions and AIC DX word format sections).

The circuit shown below will provide a reset on power up when power is applied in the sequence given under power-up sequence. The circuit depends on the power supplies reaching their recommended values a minimum of 800 ns before the capacitor charges to 0.8 V above DGTL GND.



TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS
SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

power-up sequence

To ensure proper operation of the AIC, and as a safeguard against latch-up, it is recommended that a Schottky diode with a forward voltage less than or equal to 0.4 V be connected from V_{CC-} to ANLG GND (see Figure 17). In the absence of such a diode, power should be applied in the following sequence: ANLG GND and DGTL GND, V_{CC-} , then V_{CC+} and V_{DD} . Also, no input signal should be applied until after power up.

AIC responses to improper conditions

The AIC has provisions for responding to improper conditions. These improper conditions and the response of the AIC to these conditions are presented in Table 1 below.

AIC register constraints

The following constraints are placed on the contents of the AIC registers:

1. TA register must be ≥ 4 in word mode (WORD/BYTE = high).
2. TA register must be ≥ 5 in byte mode (WORD/BYTE = low).
3. TA' register can be either positive, negative, or zero.
4. RA register must be ≥ 4 in word mode (WORD/BYTE = high).
5. RA register must be ≥ 5 in byte mode (WORD/BYTE = low).
6. RA' register can be either positive, negative, or zero.
7. (TA register $\pm$ TA' register) must be > 1 .
8. (RA register $\pm$ RA' register) must be > 1 .
9. TB register must be > 1 .

Table 1. AIC Responses To Improper Conditions

IMPROPER CONDITIONS	AIC RESPONSE
TA register + TA' register = 0 or 1 TA register – TA' register = 0 or 1	Reprogram TX Counter A with TA register value
TA register + TA' register < 0	MODULO 64 arithmetic is used to ensure that a positive value is loaded into the TX Counter A, i.e., TA register + TA' register + 40 HEX is loaded into TX Counter A.
RA register + RA' register = 0 or 1 RA register – RA' register = 0 or 1	Reprogram RX Counter A with RA register value
RA register + RA' register = 0 or 1	MODULO 64 arithmetic is used to ensure that a positive value is loaded into RX Counter A, i.e., RA register + RA' register + 40 HEX is loaded into RX Counter A.
TA register = 0 or 1 RA register = 0 or 1	The AIC is shut down.
TA register < 4 in word mode TA register < 5 in byte mode RA register < 4 in word mode RA register < 5 in byte mode	The AIC serial port no longer operates.
TB register = 0 or 1	Reprogram TB register with 24 HEX
RB register = 0 or 1	Reprogram RB register with 24 HEX
AIC and DSP cannot communicate	Hold last DAC output

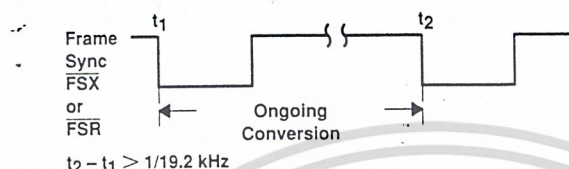
improper operation due to conversion times being too close together

If the difference between two successive D/A conversion frame syncs is less than 1/19.2 kHz, the AIC operates improperly. In this situation, the second D/A conversion frame sync occurs too quickly and there is not enough time for the ongoing conversion to be completed. This situation can occur if the A and B registers are improperly programmed or if the A + A' register or A – A' register result is too small. When incrementally adjusting the conversion period via the A + A' register options, the designer should be very careful not to violate this requirement (see following diagram).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

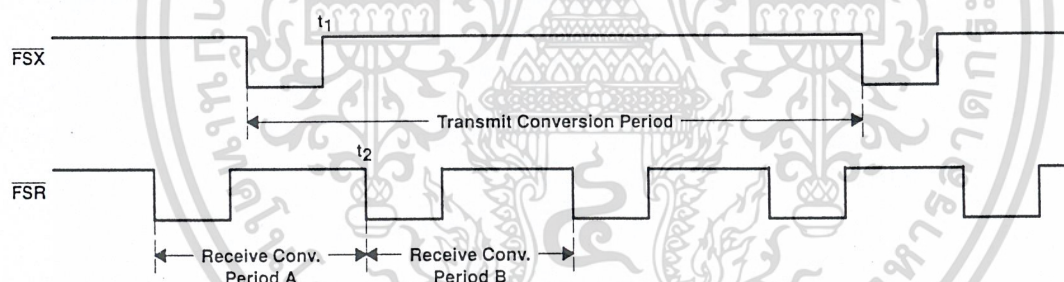
TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991



asynchronous operation — more than one receive frame sync occurring between two transmit frame syncs

When incrementally adjusting the conversion period via the A + A' or A – A' register options, a specific protocol is followed. The command to use the incremental conversion period adjust option is sent to the AIC during a $\overline{\text{FSX}}$ frame sync. The ongoing conversion period is then adjusted. However, either receive conversion period A or B may be adjusted. For both transmit and receive conversion periods, the incremental conversion period adjustment is performed near the end of the conversion period. Therefore, if there is sufficient time between t1 and t2, the receive conversion period adjustment will be performed during receive conversion period A. Otherwise, the adjustment will be performed during receive conversion period B. The adjustment command only adjusts one transmit conversion period and one receive conversion period. To adjust another pair of transmit and receive conversion periods, another command must be issued during a subsequent $\overline{\text{FSX}}$ frame (see figure below).

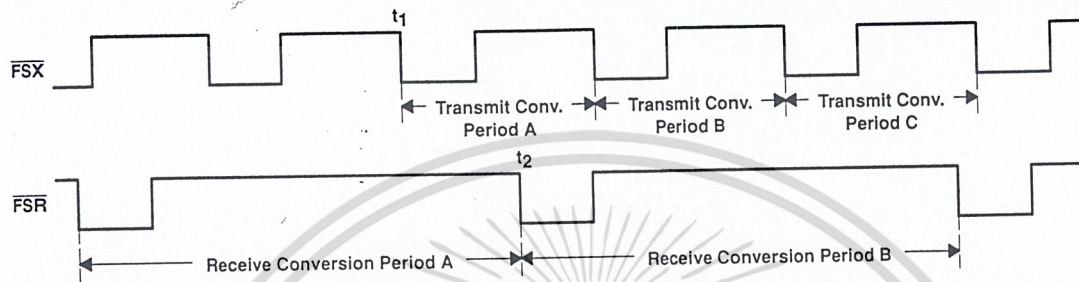


asynchronous operation — more than one receive frame sync occurring between two receive frame syncs

When incrementally adjusting the conversion period via the A + A' or A – A' register options, a specific protocol is followed. For both transmit and receive conversion periods, the incremental conversion period adjustment is performed near the end of the conversion period. The command to use the incremental conversion period adjust options is sent to the AIC during a $\overline{\text{FSX}}$ frame sync. The ongoing transmit conversion period is then adjusted. However, three possibilities exist for the receive conversion period adjustment in the diagram as shown in the following figure. If the adjustment command is issued during transmit conversion period A, receive conversion period A will be adjusted if there is sufficient time between t1 and t2. Or, if there is not sufficient time between t1 and t2, receive conversion period B will be adjusted. Or, the receive portion of an adjustment command may be ignored if the adjustment command is sent during a receive conversion period, which is already being or will be adjusted due to a prior adjustment command. For example, if adjustment commands are issued during transmit conversion periods A, B, and C, the first two commands may cause receive conversion periods A and B to be adjusted, while the third receive adjustment command is ignored. The third adjustment command is ignored since it was issued during receive conversion period B, which already will be adjusted via the transmit conversion period B adjustment command.

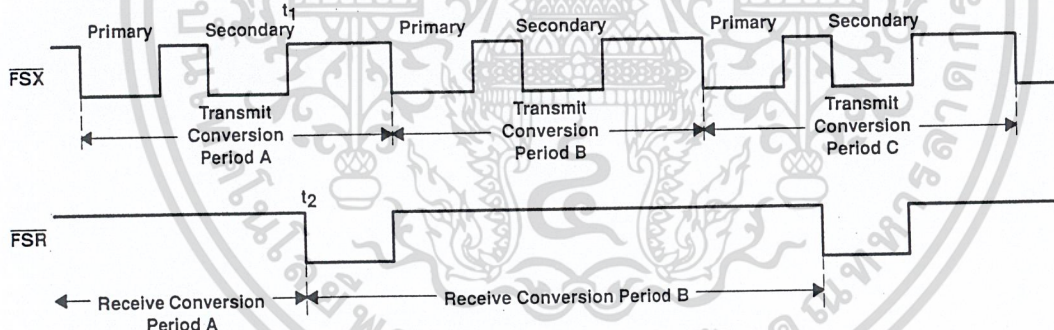
TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991



asynchronous operation — more than one set of primary and secondary DX serial communication occurring between two receive frame sync (see AIC DX data word format section)

The TA, TA', TB, and control register information that is transmitted in the secondary communications is always accepted and is applied during the ongoing transmit conversion period. If there is sufficient time between t1 and t2, the TA, RA', and RB register information, which is sent during transmit conversion period A, will be applied to receive conversion period A. Otherwise, this information will be applied during receive conversion period B. If RA, RA', and RB register information has already been received and is being applied during an ongoing conversion period, any subsequent RA, RA', or RB information that is received during this receive conversion period will be disregarded (see diagram below).



absolute maximum ratings over operating free-air temperature (unless otherwise noted)

Supply voltage range, V_{CC+} (see Note 1)	–0.3 V to 15 V
Supply voltage range, V_{DD}	–0.3 V to 15 V
Output voltage range, V_O	–0.3 V to 15 V
Input voltage range, V_I	–0.3 V to 15 V
Digital ground voltage range	–0.3 V to 15 V
Operating free-air temperature range:	
TLC32040C, TLC32041C, TLC32042C	0°C to 70°C
TLC32040I, TLC32041I, TLC32042I	–40°C to 85°C
Storage temperature range	–40°C to 125°C
Case temperature for 10 seconds: FN package	260°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds: N package	260°C

NOTE 1: Voltage values for maximum ratings are with respect to V_{CC-} .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS
 SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

recommended operating conditions

	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC+} (see Note 2)	4.75	5	5.25	V
Supply voltage, V_{CC-} (see Note 2)	-4.75	-5	-5.25	V
Digital supply voltage, V_{DD} (see Note 2)	4.75	5	5.25	V
Digital ground voltage with respect to ANLG GND, DGTL GND		0		V
Reference input voltage, $V_{ref(ext)}$ (see Note 2)	2		4	V
High-level input voltage, V_{IH}	2	$V_{DD}+0.3$		V
Low-level input voltage, V_{IL} (see Note 3)	-0.3		0.8	V
Load resistance at OUT + and/or OUT -, R_L	300			Ω
Load capacitance at OUT + and/or OUT -, C_L			100	pF
MSTR CLK frequency (see Note 4)	0.075	5	10.368	MHz
Analog input amplifier common mode input voltage (see Note 5)			± 1.5	V
A/D or D/A conversion rate			20	kHz
Operating free-air temperature, T_A	TLC32040C, TLC32041C, TLC32042C			$^{\circ}\text{C}$
	TLC32040I, TLC32041I, TLC32042I			

- NOTES: 2. Voltages at analog inputs and outputs, REF, V_{CC+} , and V_{CC-} , are with respect to the ANLG GND terminal. Voltages at digital inputs and outputs and V_{DD} are with respect to the DGTL GND terminal.
3. The algebraic convention, in which the least positive (most negative) value is designated minimum, is used in this data sheet for logic voltage levels and temperature only.
4. The bandpass low-pass switched-capacitor filter response specifications apply only when the switched-capacitor clock frequency is 288 kHz. For switched-capacitor filter clocks at frequencies other than 288 kHz, the filter response is shifted by the ratio of switched-capacitor filter clock frequency to 288 kHz.
5. This range applies when $(IN+ - IN-)$ or $(AUX IN+ - AUX IN-)$ equals ± 6 V.

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

electrical characteristics over recommended operating free-air temperature range, $V_{CC+} = 5\text{ V}$, $V_{CC-} = -5\text{ V}$, $V_{DD} = 5\text{ V}$ (unless otherwise noted)

total device, MSTR CLK frequency = 5.184 MHz, outputs not loaded

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V_{OH} High-level output voltage	$V_{DD} = 4.75\text{ V}$, $I_{OH} = -300\text{ }\mu\text{A}$	2.4			V
V_{OL} Low-level output voltage	$V_{DD} = 4.75\text{ V}$, $I_{OL} = 2\text{ mA}$			0.4	V
I_{CC+} Supply current from V_{CC+}	TLC3204_C			35	mA
	TLC3204_I			40	
I_{CC-} Supply current from V_{CC-}	TLC3204_C			-35	mA
	TLC3204_I			-40	
I_{DD} Supply current from V_{DD}	$f_{MSTR\ CLK} = 5.184\text{ MHz}$			7	mA
V_{ref} Internal reference output voltage		3		3.3	V
αV_{ref} Temperature coefficient of internal reference voltage			200		ppm/°C
r_o Output resistance at REF			100		k Ω

receive amplifier input

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
A/D converter offset error (filters bypassed)			25	65	mV
A/D converter offset error (filters in)			25	65	mV
CMRR Common-mode rejection ratio at $IN+$, $IN-$, or $AUX\ IN+$, $AUX\ IN-$	See Note 6		55		dB
r_i Input resistance at $IN+$, $IN-$, or $AUX\ IN+$, $AUX\ IN-$, REF			100		k Ω

transmit filter output

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V_{OO} Output offset voltage at $OUT+$, $OUT-$, (single-ended relative to $ANG\ GND$)			15	75	mV
V_{OM} Maximum peak output voltage swing across R_L at $OUT+$ or $OUT-$, (single ended)	$R_L \geq 300\text{ }\Omega$, Offset voltage = 0	± 3			V
V_{OM} Maximum peak output voltage swing between R_L at $OUT+$ and $OUT-$, (differential output)	$R_L \geq 600\text{ }\Omega$	± 6			V

† All typical values are at $T_A = 25^\circ\text{C}$.

NOTE 6: The test condition is a 0-dBm, 1-kHz input signal with an 8-kHz conversion rate.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

electrical characteristics over recommended operating free-air temperature range, $V_{CC+} = 5\text{ V}$,
 $V_{CC-} = -5\text{ V}$, $V_{DD} = 5\text{ V}$ (unless otherwise noted) (continued)

system distortion specifications, SCF clock frequency = 288 kHz

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
Attenuation of second harmonic of A/D input signal	Single ended	$V_{in} = -0.5\text{ dB to } -24\text{ dB}$ referred to V_{ref} .		70	dB
	Differential	See Note 7		62	
Attenuation of third and higher harmonics of A/D input signal	Single ended	$V_{in} = -0.5\text{ dB to } -24\text{ dB}$ referred to V_{ref} .		65	dB
	Differential	See Note 7		57	
Attenuation of second harmonic of D/A input signal	Single ended	$V_{in} = -0\text{ dB to } -24\text{ dB}$ referred to V_{ref} .		70	dB
	Differential	See Note 7		62	
Attenuation of third and higher harmonics of D/A input signal	Single ended	$V_{in} = -0\text{ dB to } -24\text{ dB}$ referred to V_{ref} .		65	dB
	Differential	See Note 7		57	

A/D channel signal-to-distortion ratio

PARAMETER	TEST CONDITIONS (see note 7)	$A_V = 1^\ddagger$		$A_V = 2^\ddagger$		$A_V = 4^\ddagger$		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	
A/D channel signal-to-distortion ratio	$V_{in} = -6\text{ dB to } -0.1\text{ dB}$	58		>58§		>58§		dB
	$V_{in} = -12\text{ dB to } -6\text{ dB}$	58		58		58		
	$V_{in} = -18\text{ dB to } -12\text{ dB}$	56		58		58		
	$V_{in} = -24\text{ dB to } -18\text{ dB}$	50		56		56		
	$V_{in} = -30\text{ dB to } -24\text{ dB}$	44		50		56		
	$V_{in} = -36\text{ dB to } -30\text{ dB}$	38		44		50		
	$V_{in} = -42\text{ dB to } -36\text{ dB}$	32		38		44		
	$V_{in} = -48\text{ dB to } -42\text{ dB}$	26		32		38		
	$V_{in} = -54\text{ dB to } -48\text{ dB}$	20		26		32		

D/A channel signal-to-distortion ratio

PARAMETER	TEST CONDITIONS (see note 7)	MIN	MAX	UNIT
D/A channel signal-to-distortion ratio	$V_{in} = -6\text{ dB to } 0\text{ dB}$	58		dB
	$V_{in} = -12\text{ dB to } -6\text{ dB}$	58		
	$V_{in} = -18\text{ dB to } -12\text{ dB}$	56		
	$V_{in} = -24\text{ dB to } -18\text{ dB}$	50		
	$V_{in} = -30\text{ dB to } -24\text{ dB}$	44		
	$V_{in} = -36\text{ dB to } -30\text{ dB}$	38		
	$V_{in} = -42\text{ dB to } -36\text{ dB}$	32		
	$V_{in} = -48\text{ dB to } -42\text{ dB}$	26		
	$V_{in} = -54\text{ dB to } -48\text{ dB}$	20		

† All typical values are at $T_A = 25^\circ\text{C}$.

‡ A_V is the programmable gain of the input amplifier.

§ A value > 58 is overrange and signal clipping occurs.

NOTE 7: The test condition V_{in} is a 1-kHz input signal with an 8-kHz conversion rate (0 dB relative to V_{ref}). The load impedance for the DAC is 600 Ω .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS
SLAS014D – D2954, SEPTEMBER 1987 – REVISED MAY 1991

electrical characteristics (continued)

gain and dynamic range

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
Absolute transmit gain tracking error while transmitting into 600 Ω	–48-dB to 0-dB signal range, see Note 8		± 0.05	± 0.15	dB
Absolute receive gain tracking error	–48-dB to 0-dB signal range, see Note 8		± 0.05	± 0.15	dB
Absolute gain of the A/D channel	Signal input is a –0.5-dB, 1-kHz sine wave		0.2		dB
Absolute gain of the D/A channel	Signal input is a 0-dB, 1-kHz sine wave		–0.3		dB

NOTE 8: Gain tracking is relative to the absolute gain at 1 kHz and 0 dB (0 dB relative to V_{ref}).

power supply rejection and crosstalk attenuation

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V_{CC+} or V_{CC-} supply voltage rejection ratio, receive channel	$f = 0$ to 30 kHz		30		dB
	$f = 30$ kHz to 50 kHz		45		
V_{CC+} or V_{CC-} supply voltage rejection ratio, transmit channel (single ended)	$f = 0$ to 30 kHz		30		dB
	$f = 30$ kHz to 50 kHz		45		
Crosswalk attenuation, transmit-to-receive (single ended)			80		dB

† All typical values are at $T_A = 25^\circ\text{C}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

delay distortion, SCF clock frequency = $288 \text{ kHz} \pm 2\%$, input (IN+ – IN–) is $\pm 3\text{-V}$ sinewave

Please refer to filter response graphs for delay distortion specifications.

TLC32040 and TLC32041 bandpass filter transfer function (see curves), SCF clock frequency = $288 \text{ kHz} \pm 2\%$, input (IN+ – IN–) is a $\pm 3\text{-V}$ sinewave (see Note 9)

PARAMETER	TEST CONDITIONS	FREQUENCY RANGE	MIN	MAX	UNIT
Filter gain (see Note 10)	Input signal reference is 0 dB	$f = 100 \text{ Hz}$		–42	dB
		$f = 170 \text{ Hz}$		–25	
		$300 \text{ Hz} \leq f \leq 3.4 \text{ kHz}$	–0.5	0.5	
		$f = 4 \text{ kHz}$		–16	
		$f \geq 4.6 \text{ kHz}$		–58	

TLC32042 bandpass filter transfer function (see curves), SCF clock frequency = $288 \text{ kHz} \pm 2\%$, input (IN+ – IN–) is a $\pm 3\text{-V}$ sinewave (see Note 9)

PARAMETER	TEST CONDITIONS	FREQUENCY RANGE	MIN	MAX	UNIT
Filter gain (see Note 10)	Input signal reference is 0 dB	$f = 100 \text{ Hz}$		–27	dB
		$f = 170 \text{ Hz}$		–2	
		$300 \text{ Hz} \leq f \leq 3.4 \text{ kHz}$	–0.5	0.5	
		$f = 4 \text{ kHz}$		–16	
		$f \geq 4.6 \text{ kHz}$		–58	

low-pass filter transfer function, SCF clock frequency = $288 \text{ kHz} \pm 2\%$ (see Note 9)

PARAMETER	TEST CONDITIONS	FREQUENCY RANGE	MIN	MAX	UNIT
Filter gain (see Note 10)	Output signal reference is 0 dB	$f \leq 3.4 \text{ kHz}$	–0.5	0.5	dB
		$f = 3.6 \text{ kHz}$		–4	
		$f = 4 \text{ kHz}$		–30	
		$f \geq 4.4 \text{ kHz}$		–58	

serial port

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V_{OH} High-level output voltage	$I_{OH} = -300 \mu\text{A}$	2.4			V
V_{OL} Low-level output voltage	$I_{OL} = 2 \text{ mA}$			0.4	V
I_I Input current				± 10	μA
C_i Input capacitance			15		pF
C_o Output capacitance			15		pF

† All typical values are at $T_A = 25^\circ\text{C}$.

NOTES: 9. The above filter specifications are for a switched-capacitor filter clock range of $288 \text{ kHz} \pm 2\%$. For switched-capacitor filter clocks at frequencies other than $288 \text{ kHz} \pm 2\%$, the filter response is shifted by the ratio of switched-capacitor filter clock frequency to 288 kHz .

10. The filter gain outside of the passband is measured with respect to the gain at 1 kHz . The filter gain within the passband is measured with respect to the average gain within the passband. The passbands are 300 to 3400 Hz and 0 to 3400 Hz for the bandpass and low-pass filters respectively.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

operating characteristics over recommended operating free-air temperature range, $V_{CC+} = 5\text{ V}$,
 $V_{CC-} = -5\text{ V}$, $V_{DD} = 5\text{ V}$

noise (measurement includes low-pass and bandpass switched-capacitor filters)

PARAMETER		TEST CONDITIONS	TYP†	MAX	UNIT
Transmit noise	Single ended	DX input = 00 00 00 00 00 00 00, constant input code	200		$\mu\text{V rms}$
			300	500	$\mu\text{V rms}$
	Differential		20		dBrncO
Receive noise (see Note 11)		Inputs grounded, gain = 1	300	475	$\mu\text{V rms}$
			20		dBrncO

timing requirements

serial port recommended input signals

	MIN	MAX	UNIT
$t_c(\text{MCLK})$ Master clock cycle time	95		ns
$t_r(\text{MCLK})$ Master clock rise time		10	ns
$t_f(\text{MCLK})$ Master clock fall time		10	ns
Master clock duty cycle	42%	58%	
RESET pulse duration (see Note 12)	800		ns
$t_{su}(\text{DX})$ DX setup time before SCLK↓	20		ns
$t_h(\text{DX})$ DX hold time after SCLK↓	$t_c(\text{SCLK})/4$		ns

- NOTES: 11. The noise is referred to the input with a buffer gain of one. If the buffer gain is two or four, the noise figure will be correspondingly reduced. The noise is computed by statistically evaluating the digital output of the A/D converter.
12. RESET pulse duration is the amount of time that the reset pin is held below 0.8 V after the power supplies have reached their recommended values.

serial port — AIC output signals, $C_L = 30\text{ pF}$ for SHIFT CLK output, $C_L = 15\text{ pF}$ for all other outputs

	MIN	TYP†	MAX	UNIT
$t_c(\text{SCLK})$ Shift clock (SCLK) cycle time	380			ns
$t_f(\text{SCLK})$ Shift clock (SCLK) fall time		3	8	ns
$t_r(\text{SCLK})$ Shift clock (SCLK) rise time		3	8	ns
Shift clock (SCLK) duty cycle	45		55	%
$t_d(\text{CH-FL})$ Delay from SCLK↑ to FSR/FSX/FSD↓		30		ns
$t_d(\text{CH-FH})$ Delay from SCLK↑ to FSR/FSX/FSD↑		35	90	ns
$t_d(\text{CH-DR})$ DR valid after SCLK↑			90	ns
$t_{dw}(\text{CH-EL})$ Delay from SCLK↑ to EODX/EODR↓ in word mode			90	ns
$t_{dw}(\text{CH-EH})$ Delay from SCLK↑ to EODX/EODR↑ in word mode			90	ns
$t_f(\text{EODX})$ EODX fall time		2	8	ns
$t_f(\text{EODR})$ EODR fall time		2	8	ns
$t_{db}(\text{CH-EL})$ Delay from SCLK↑ to EODX/EODR↓ in byte mode			90	ns
$t_{db}(\text{CH-EH})$ Delay from SCLK↑ to EODX/EODR↑ in byte mode			90	ns
$t_d(\text{MH-SL})$ Delay from MSTR CLK↑ to SCLK↓		65	170	ns
$t_d(\text{MH-SH})$ Delay from MSTR CLK↑ to SCLK↑		65	170	ns

† Typical values are at $T_A = 25^\circ\text{C}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

electrical characteristics over recommended operating free-air temperature range, $V_{CC+} = 5\text{ V}$,
 $V_{CC-} = -5\text{ V}$, $V_{DD} = 5\text{ V}$ (unless otherwise noted) (continued)

system distortion specifications, SCF clock frequency = 288 kHz

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
Attenuation of second harmonic of A/D input signal	Single ended	$V_{in} = -0.5\text{ dB to } -24\text{ dB}$ referred to V_{ref} .	70			dB
	Differential	See Note 7	62	70		
Attenuation of third and higher harmonics of A/D input signal	Single ended	$V_{in} = -0.5\text{ dB to } -24\text{ dB}$ referred to V_{ref} .	65			dB
	Differential	See Note 7	57	65		
Attenuation of second harmonic of D/A input signal	Single ended	$V_{in} = -0\text{ dB to } -24\text{ dB}$ referred to V_{ref} .	70			dB
	Differential	See Note 7	62	70		
Attenuation of third and higher harmonics of D/A input signal	Single ended	$V_{in} = -0\text{ dB to } -24\text{ dB}$ referred to V_{ref} .	65			dB
	Differential	See Note 7	57	65		

A/D channel signal-to-distortion ratio

PARAMETER	TEST CONDITIONS (see note 7)	$A_V = 1^\ddagger$		$A_V = 2^\ddagger$		$A_V = 4^\ddagger$		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	
A/D channel signal-to-distortion ratio	$V_{in} = -6\text{ dB to } -0.1\text{ dB}$	58		>58§		>58§		dB
	$V_{in} = -12\text{ dB to } -6\text{ dB}$	58		58		>58§		
	$V_{in} = -18\text{ dB to } -12\text{ dB}$	56		58		58		
	$V_{in} = -24\text{ dB to } -18\text{ dB}$	50		56		58		
	$V_{in} = -30\text{ dB to } -24\text{ dB}$	44		50		56		
	$V_{in} = -36\text{ dB to } -30\text{ dB}$	38		44		50		
	$V_{in} = -42\text{ dB to } -36\text{ dB}$	32		38		44		
	$V_{in} = -48\text{ dB to } -42\text{ dB}$	26		32		38		
	$V_{in} = -54\text{ dB to } -48\text{ dB}$	20		26		32		

D/A channel signal-to-distortion ratio

PARAMETER	TEST CONDITIONS (see note 7)	MIN	MAX	UNIT
D/A channel signal-to-distortion ratio	$V_{in} = -6\text{ dB to } 0\text{ dB}$	58		dB
	$V_{in} = -12\text{ dB to } -6\text{ dB}$	58		
	$V_{in} = -18\text{ dB to } -12\text{ dB}$	56		
	$V_{in} = -24\text{ dB to } -18\text{ dB}$	50		
	$V_{in} = -30\text{ dB to } -24\text{ dB}$	44		
	$V_{in} = -36\text{ dB to } -30\text{ dB}$	38		
	$V_{in} = -42\text{ dB to } -36\text{ dB}$	32		
	$V_{in} = -48\text{ dB to } -42\text{ dB}$	26		
	$V_{in} = -54\text{ dB to } -48\text{ dB}$	20		

† All typical values are at $T_A = 25^\circ\text{C}$.

‡ A_V is the programmable gain of the input amplifier.

§ A value > 58 is overrange and signal clipping occurs.

NOTE 7: The test condition V_{in} is a 1-kHz input signal with an 8-kHz conversion rate (0 dB relative to V_{ref}). The load impedance for the DAC is 600 Ω .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS
SLAS014D – 22664 SEPTEMBER 1987 – REVISED MAY 1991

electrical characteristics (continued)

gain and dynamic range

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
Absolute transmit gain tracking error while transmitting into 600 Ω	–48-dB to 0-dB signal range. see Note 8		± 0.05	± 0.15	dB
Absolute receive gain tracking error	–48-dB to 0-dB signal range. see Note 8		± 0.05	± 0.15	dB
Absolute gain of the A/D channel	Signal input is a –0.5-dB. 1-kHz sine wave		0.2		dB
Absolute gain of the D/A channel	Signal input is a C–dB. 1-kHz sine wave		–0.3		dB

NOTE 8: Gain tracking is relative to the absolute gain at 1 kHz and 0 dB (0 dB relative to V_{ref}).

power supply rejection and crosstalk attenuation

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V_{CC+} or V_{CC-} supply voltage rejection ratio, receive channel	$f = 0$ to 30 kHz		30		dB
	$f = 30$ kHz to 50 kHz		45		
V_{CC+} or V_{CC-} supply voltage rejection ratio, transmit channel (single ended)	$f = 0$ to 30 kHz		30		dB
	$f = 30$ kHz to 50 kHz		45		
Crosswalk attenuation, transmit-to-receive (single ended)			20		dB

† All typical values are at $T_A = 25^\circ\text{C}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

delay distortion, SCF clock frequency = 288 kHz $\pm$ 2%, input (IN+ – IN–) is $\pm$ 3-V sinewave

Please refer to filter response graphs for delay distortion specifications.

TLC32040 and TLC32041 bandpass filter transfer function (see curves), SCF clock frequency = 288 kHz $\pm$ 2%, input (IN+ – IN–) is a $\pm$ 3-V sinewave (see Note 9)

PARAMETER	TEST CONDITIONS	FREQUENCY RANGE	MIN	MAX	UNIT
Filter gain (see Note 10)	Input signal reference is 0 dB	f = 100 Hz		–42	dB
		f = 170 Hz		–25	
		300 Hz $\leq$ f $\leq$ 3.4 kHz	–0.5	0.5	
		f = 4 kHz		–16	
		f $\geq$ 4.6 kHz		–58	

TLC32042 bandpass filter transfer function (see curves), SCF clock frequency = 288 kHz $\pm$ 2%, input (IN+ – IN–) is a $\pm$ 3-V sinewave (see Note 9)

PARAMETER	TEST CONDITIONS	FREQUENCY RANGE	MIN	MAX	UNIT
Filter gain (see Note 10)	Input signal reference is 0 dB	f = 100 Hz		–27	dB
		f = 170 Hz		–2	
		300 Hz $\leq$ f $\leq$ 3.4 kHz	–0.5	0.5	
		f = 4 kHz		–16	
		f $\geq$ 4.6 kHz		–58	

low-pass filter transfer function, SCF clock frequency = 288 kHz $\pm$ 2% (see Note 9)

PARAMETER	TEST CONDITIONS	FREQUENCY RANGE	MIN	MAX	UNIT
Filter gain (see Note 10)	Output signal reference is 0 dB	f $\leq$ 3.4 kHz	–0.5	0.5	dB
		f = 3.6 kHz		–4	
		f = 4 kHz		–30	
		f $\geq$ 4.4 kHz		–58	

serial port

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
VOH High-level output voltage	I _{OH} = –300 μ A	2.4			V
VOL Low-level output voltage	I _{OL} = 2 mA			0.4	V
I _I Input current				$\pm$ 10	μ A
C _i Input capacitance				15	pF
C _o Output capacitance				15	pF

† All typical values are at T_A = 25°C.

NOTES: 9. The above filter specifications are for a switched-capacitor filter clock range of 288 kHz $\pm$ 2%. For switched-capacitor filter clocks at frequencies other than 288 kHz $\pm$ 2%, the filter response is shifted by the ratio of switched-capacitor filter clock frequency to 288 kHz.

10. The filter gain outside of the passband is measured with respect to the gain at 1 kHz. The filter gain within the passband is measured with respect to the average gain within the passband. The passbands are 300 to 3400 Hz and 0 to 3400 Hz for the bandpass and low-pass filters respectively.

**TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS**

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

operating characteristics over recommended operating free-air temperature range, $V_{CC+} = 5\text{ V}$, $V_{CC-} = -5\text{ V}$, $V_{DD} = 5\text{ V}$

noise (measurement includes low-pass and bandpass switched-capacitor filters)

PARAMETER		TEST CONDITIONS	TYP†	MAX	UNIT
Transmit noise	Single ended	DX Input = 00 00 00 00 00 00 00, constant input code	200		$\mu\text{V rms}$
	Differential		300	500	$\mu\text{V rms}$
			20		dBrncO
Receive noise (see Note 11)		Inputs grounded, gain = 1	300	475	$\mu\text{V rms}$
			20		dBrncO

timing requirements

serial port recommended input signals

	MIN	MAX	UNIT
$t_c(\text{MCLK})$ Master clock cycle time	95		ns
$t_r(\text{MCLK})$ Master clock rise time		10	ns
$t_f(\text{MCLK})$ Master clock fall time		10	ns
Master clock duty cycle	42%	58%	
RESET pulse duration (see Note 12)	800		ns
$t_{su}(\text{DX})$ DX setup time before SCLK↓	20		ns
$t_h(\text{DX})$ DX hold time after SCLK↓	$t_c(\text{SCLK})/4$		ns

- NOTES: 11. The noise is referred to the input with a buffer gain of one. If the buffer gain is two or four, the noise figure will be correspondingly reduced. The noise is computed by statistically evaluating the digital output of the A/D converter.
12. RESET pulse duration is the amount of time that the reset pin is held below 0.8 V after the power supplies have reached their recommended values.

serial port — AIC output signals, $C_L = 30\text{ pF}$ for SHIFT CLK output, $C_L = 15\text{ pF}$ for all other outputs

	MIN	TYP†	MAX	UNIT
$t_c(\text{SCLK})$ Shift clock (SCLK) cycle time	380			ns
$t_f(\text{SCLK})$ Shift clock (SCLK) fall time		3	8	ns
$t_r(\text{SCLK})$ Shift clock (SCLK) rise time		3	8	ns
Shift clock (SCLK) duty cycle	45		55	%
$t_d(\text{CH-FL})$ Delay from SCLK↑ to FSR/FSX/FSD↓		30		ns
$t_d(\text{CH-FH})$ Delay from SCLK↑ to FSR/FSX/FSD↑		35	90	ns
$t_d(\text{CH-DR})$ DR valid after SCLK↑			90	ns
$t_{dw}(\text{CH-EL})$ Delay from SCLK↑ to EODX/EODR↓ in word mode			90	ns
$t_{dw}(\text{CH-EH})$ Delay from SCLK↑ to EODX/EODR↑ in word mode			90	ns
$t_f(\text{EODX})$ EODX fall time		2	8	ns
$t_f(\text{EODR})$ EODR fall time		2	8	ns
$t_{db}(\text{CH-EL})$ Delay from SCLK↑ to EODX/EODR↓ in byte mode			90	ns
$t_{db}(\text{CH-EH})$ Delay from SCLK↑ to EODX/EODR↑ in byte mode			90	ns
$t_d(\text{MH-SL})$ Delay from MSTR CLK↑ to SCLK↓		65	170	ns
$t_d(\text{MH-SH})$ Delay from MSTR CLK↑ to SCLK↑		65	170	ns

† Typical values are at $T_A = 25^\circ\text{C}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS
SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

timing requirements (continued)

serial port — AIC output signals

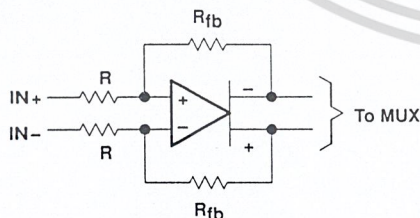
	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
$t_c(\text{SCLK})$ Shift clock (SCLK) cycle time		380			ns
$t_f(\text{SCLK})$ Shift clock (SCLK) fall time				50	ns
$t_r(\text{SCLK})$ Shift clock (SCLK) rise time				50	ns
Shift clock (SCLK) duty cycle		45		55	%
$t_d(\text{CH-FL})$ Delay from SCLK↑ to $\overline{\text{FSR}}/\text{FSX}↓$	$C_L = 50 \text{ pF}$			52	ns
$t_d(\text{CH-FH})$ Delay from SCLK↑ to $\overline{\text{FSR}}/\text{FSX}↑$	$C_L = 50 \text{ pF}$			52	ns
$t_d(\text{CH-DR})$ DR valid after SCLK↑				90	ns
$t_{dw}(\text{CH-EL})$ Delay from SCLK↑ to $\overline{\text{EODX}}/\overline{\text{EODR}}↓$ in word mode				90	ns
$t_{dw}(\text{CH-EH})$ Delay from SCLK↑ to $\overline{\text{EODX}}/\overline{\text{EODR}}↑$ in word mode				90	ns
$t_f(\text{EODX})$ $\overline{\text{EODX}}$ fall time				15	ns
$t_f(\text{EODR})$ $\overline{\text{EODR}}$ fall time				15	ns
$t_{db}(\text{CH-EL})$ Delay from SCLK↑ to $\overline{\text{EODX}}/\overline{\text{EODR}}↓$ in byte mode				100	ns
$t_{db}(\text{CH-EH})$ Delay from SCLK↑ to $\overline{\text{EODX}}/\overline{\text{EODR}}↑$ in byte mode				100	ns
$t_d(\text{MH-SL})$ Delay from MSTR CLK↑ to SCLK↓				65	ns
$t_d(\text{MH-SH})$ Delay from MSTR CLK↑ to SCLK↑				65	ns

† Typical values are at $T_A = 25^\circ\text{C}$.

Table 2. Gain Control Table Analog Input Signal Required for Full-Scale A/D Conversion

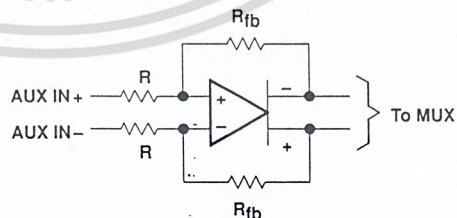
INPUT CONFIGURATIONS	CONTROL REGISTER BITS		ANALOG INPUT†	A/D CONVERSION RESULT
	d6	d7		
Differential configuration Analog input = $\text{IN}+ - \text{IN}-$ = $\text{AUX IN}+ - \text{AUX IN}-$	1	1	$\pm 6 \text{ V}$	Full scale
	0	0		
	1	0	$\pm 3 \text{ V}$	Full scale
	0	1	$\pm 1.5 \text{ V}$	Full scale
Single-ended configuration Analog input = $\text{IN}+ - \text{ANLG GND}$ = $\text{AUX IN}+ - \text{ANLG GND}$	1	1	$\pm 3 \text{ V}$	Half scale
	0	0		
	1	0	$\pm 3 \text{ V}$	Full scale
	0	1	$\pm 1.5 \text{ V}$	Full scale

† In this example, V_{ref} is assumed to be 3 V. In order to minimize distortion, it is recommended that the analog input not exceed 0.1 dB below full scale.



$R_{fb} = R$ for $d6 = 1, d7 = 1$
 $d6 = 0, d7 = 0$
 $R_{fb} = 2R$ for $d6 = 1, d7 = 0$
 $R_{fb} = 4R$ for $d6 = 0, d7 = 1$

Figure 1. $\text{IN}+$ and $\text{IN}-$ Gain Control Circuitry



$R_{fb} = R$ for $d6 = 1, d7 = 1$
 $d6 = 0, d7 = 0$
 $R_{fb} = 2R$ for $d6 = 1, d7 = 0$
 $R_{fb} = 4R$ for $d6 = 0, d7 = 1$

Figure 2. $\text{AUX IN}+$ and $\text{AUX IN}-$ Gain Control Circuitry

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

sin x/x correction section

The AIC does not have sin x/x correction circuitry after the digital-to-analog converter. The sin x/x correction can be accomplished easily and efficiently in digital signal processor (DSP) software. Excellent correction accuracy can be achieved to a band edge of 3000 Hz by using a first-order digital correction filter. The results, which are shown below, are typical of the numerical correction accuracy that can be achieved for sample rates of interest. The filter requires only seven instruction cycles per sample on the TMS320 DSPs. With a 200-ns instruction cycle, nine instructions per sample represents an overhead factor of 1.4% and 1.7% for sampling rates of 8000 Hz and 9600 Hz, respectively. This correction will add a slight amount of group delay at the upper edge of the 300–3000-Hz band.

sin x/x roll-off for a zero-order hold function

The sin x/x roll-off for the AIC DAC zero-order hold function at a band-edge frequency of 3000 Hz for the various sampling rates is shown in the table below.

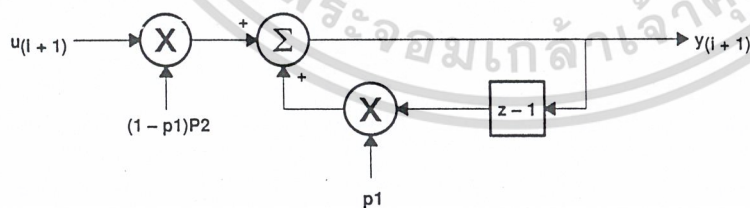
Table 3. sin x/x Roll-Off

f_s (Hz)	$20 \log \frac{\sin \pi f/f_s}{\pi f/f_s}$ ($f = 3000$ Hz) (dB)
7200	-2.64
8000	-2.11
9600	-1.44
14400	-0.63
19200	-0.35

Note that the actual AIC sin x/x roll-off will be slightly less than the above figures, because the AIC has less than a 100% duty cycle hold interval.

correction filter

To compensate for the sin x/x roll-off of the AIC, a first-order correction filter shown below, is recommended.



The difference equation for this correction filter is:

$$y_i + 1 = p2(1 - p1)(u_i + 1) + p1 y_i$$

where the constant p1 determines the pole locations.

The resulting squared magnitude transfer function is:

$$|H(f)|^2 = \frac{p2^2(1 - p1)^2}{1 - 2p1 \cos(2\pi f/f_s) + p1^2}$$

TLC32040C, TLC32040I, TLC32041C, TLC32041I
 TLC32042C, TLC32042I
 ANALOG INTERFACE CIRCUITS
 SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

correction results

Table 4 below shows the optimum p values and the corresponding correction results for 8000-Hz and 9600-Hz sampling rates.

Table 4.

f (Hz)	ERROR (dB) f _s = 8000 Hz p1 = -0.14813 p2 = 0.9888	ERROR (dB) f _s = 9600 Hz p1 = -0.1307 p2 = 0.9951
300	-0.099	-0.043
600	-0.089	-0.043
900	-0.054	0
1200	-0.002	0
1500	0.041	0
1800	0.079	0.043
2100	0.100	0.043
2400	0.091	0.043
2700	-0.043	0
3000	-0.102	-0.043

TMS320 software requirements

The digital correction filter equation can be written in state variable form as follows:

$$Y = k_1 Y + k_2 U$$

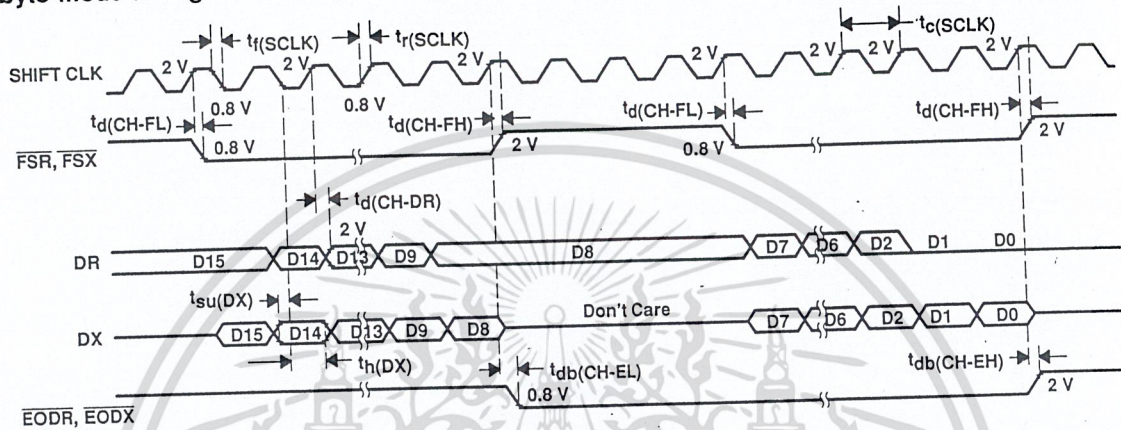
where k₁ equals p₁ (from the preceding page), k₂ equals (1 - p₁) p₂ (from the preceding page), Y is the filter state, and U is the next I/O sample. The coefficients k₁ and k₂ must be represented as 16-bit integers. The SACH instruction (with the proper shift) will yield the correct result. With the assumption that the TMS320 processor page pointer and memory configuration are properly initialized, the equation can be executed in seven instructions or seven cycles with the following program:

```
ZAC
LT K2
MPY U
LTA K1
MPY Y
APAC
SACH (dma), (shift)
```

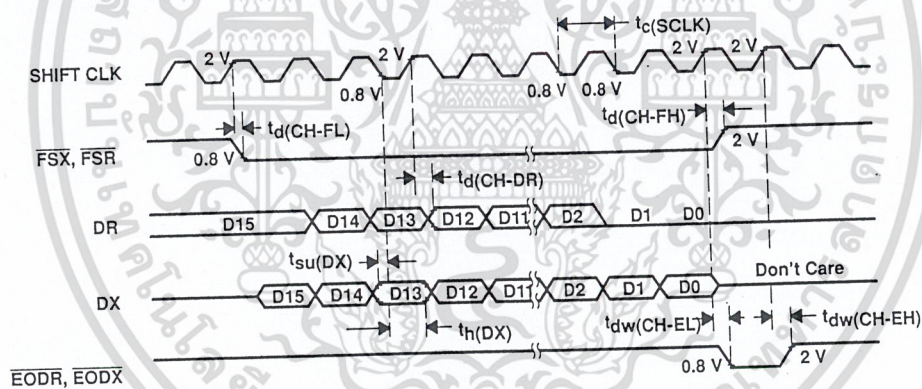
TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

byte-mode timing



word-mode timing



shift-clock timing

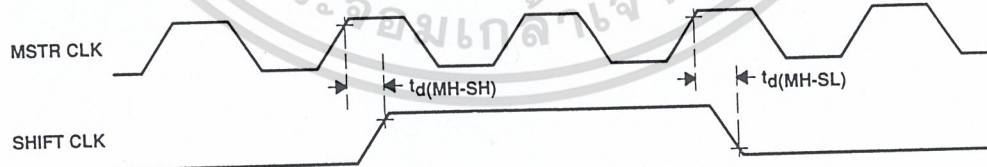


Figure 3. Serial Port Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS
SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

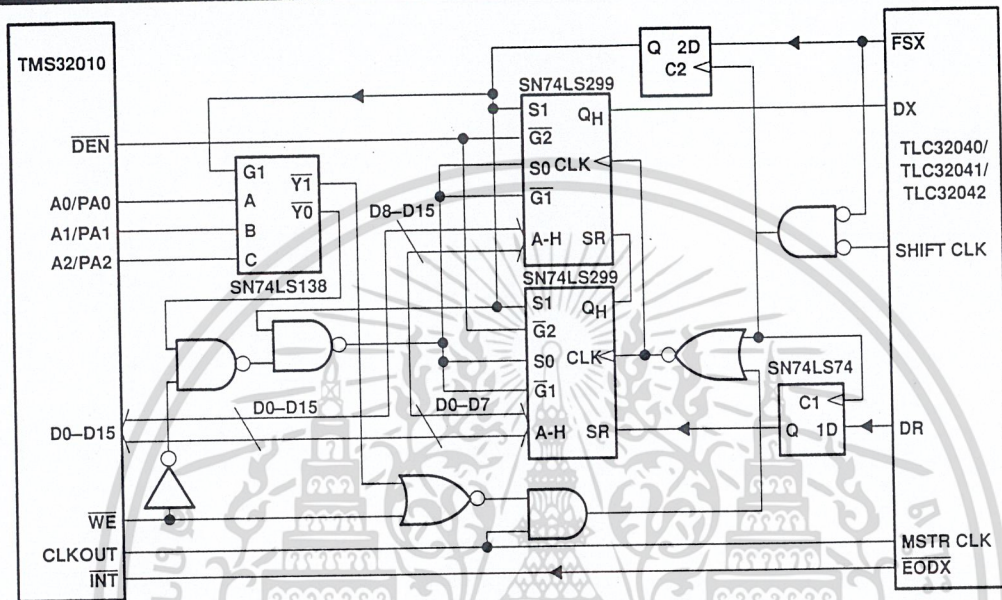
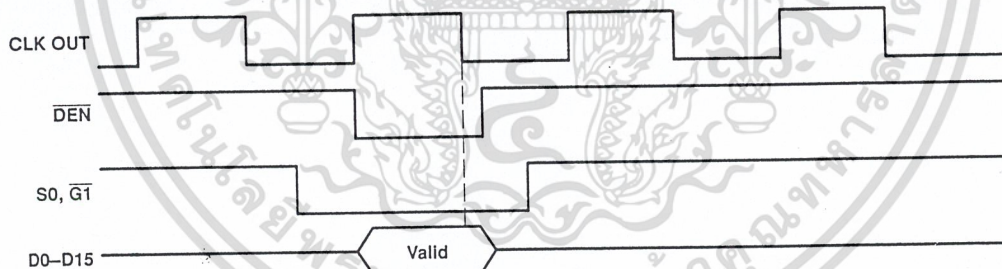


Figure 4. TMS32010-TLC32040/TLC32041/TLC32042 Interface Circuit

in instruction timing



out instruction timing

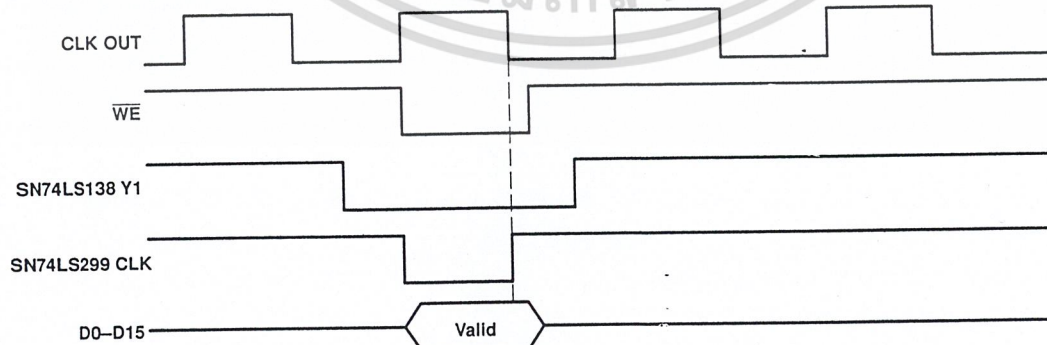


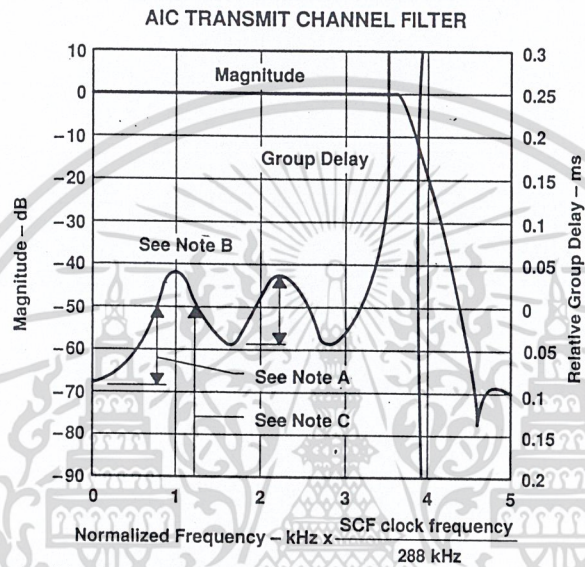
Figure 5. TMS32010-TLC32040/TLC32041/TLC32042 Interface Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

TYPICAL CHARACTERISTICS



- NOTES: A. Maximum relative delay (0 Hz to 600 Hz) = 125 μ s
B. Maximum relative delay (600 Hz to 3000 Hz) = $\pm$ 50 μ s
C. Absolute delay (600 Hz to 3000 Hz) = 700 μ s
D. Test conditions are V_{CC+} , V_{CC-} , and V_{DD} within recommended operating conditions, SCF clock f = 288 kHz $\pm$ 2% input = $\pm$ 3-V sinewave, and T_A = 25°C.

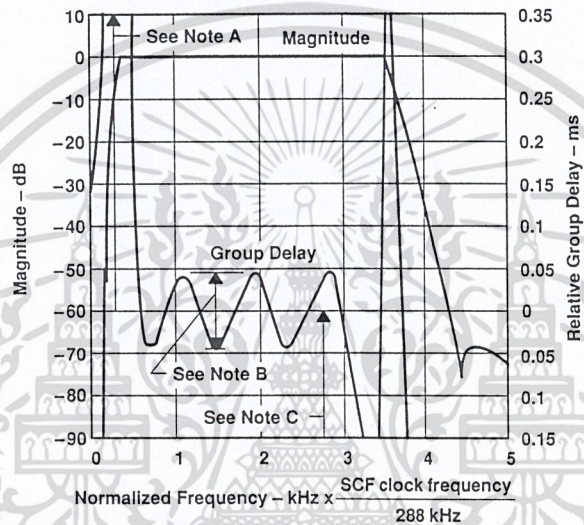
Figure 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
 TLC32042C, TLC32042I
 ANALOG INTERFACE CIRCUITS
 SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

TYPICAL CHARACTERISTICS

TLC32040 AND TLC32041
 RECEIVE CHANNEL FILTER



- NOTES: A. Maximum relative delay (200 Hz to 600 Hz) = 3350 μ s
 B. Maximum relative delay (600 Hz to 3000 Hz) = ± 50 μ s
 C. Absolute delay (600 Hz to 3000 Hz) = 1230 μ s
 D. Test conditions are V_{CC+} , V_{CC-} , and V_{DD} within recommended operating conditions, SCF clock $f = 288$ kHz $\pm 2\%$, input = ± 3 -V sinewave, and $T_A = 25^\circ\text{C}$.

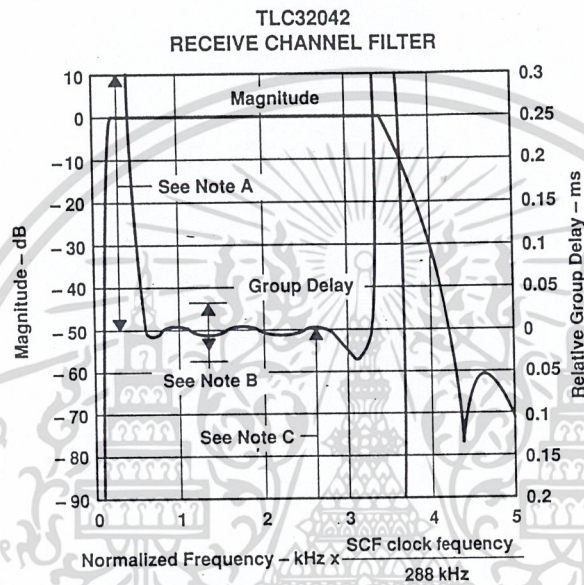
Figure 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

TYPICAL CHARACTERISTICS



- NOTES: A. Maximum relative delay (200 Hz to 600 Hz) = 3350 μ s
 B. Maximum relative delay (600 Hz to 3000 Hz) = $\pm$ 50 μ s
 C. Absolute delay (600 Hz to 3000 Hz) = 1080 μ s
 D. Test conditions are V_{CC+} , V_{CC-} , and V_{DD} within recommended operating conditions, SCF clock f = 288 kHz $\pm$ 2%, input = $\pm$ 3-V sinewave, and T_A = 25°C.

Figure 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS
SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

TYPICAL CHARACTERISTICS

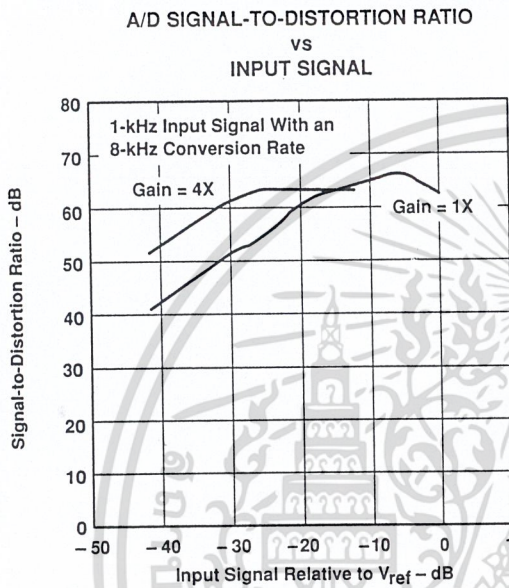


Figure 9

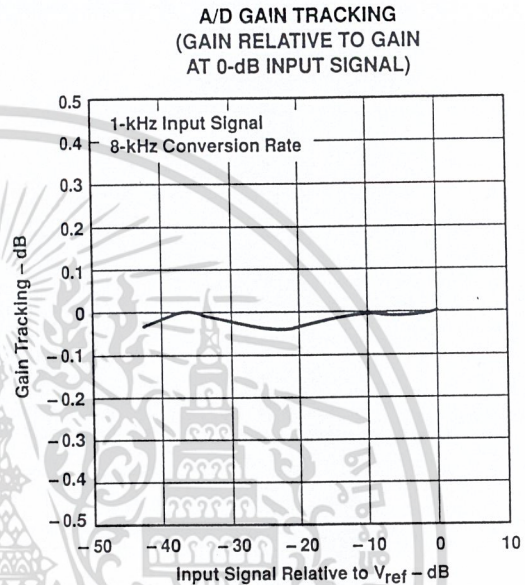


Figure 10

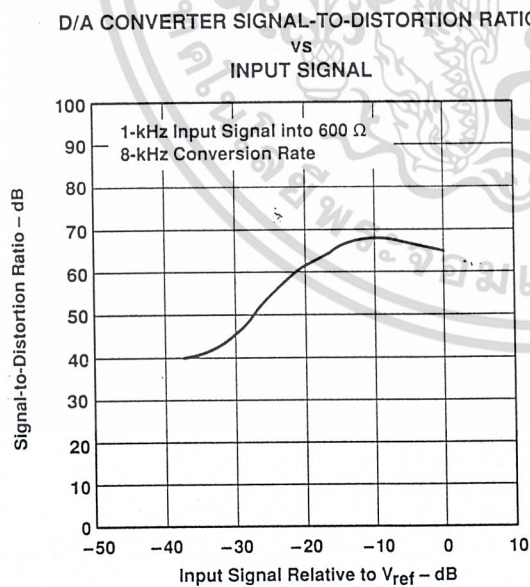


Figure 11

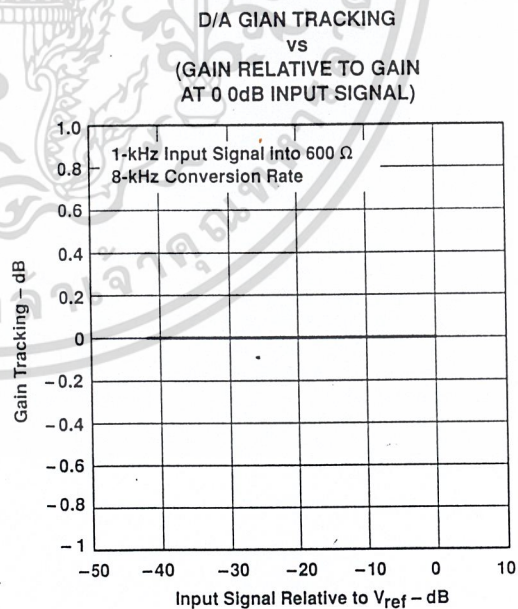


Figure 12

NOTE: Test conditions are V_{CC+} , V_{CC-} , V_{DD} and within recommended operating conditions set clock $f = 288 \text{ kHz} \pm 2\%$, and $T_A = 25^\circ\text{C}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS
SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

TYPICAL CHARACTERISTICS

ATTENUATION OF SECOND HARMONIC OF A/D INPUT

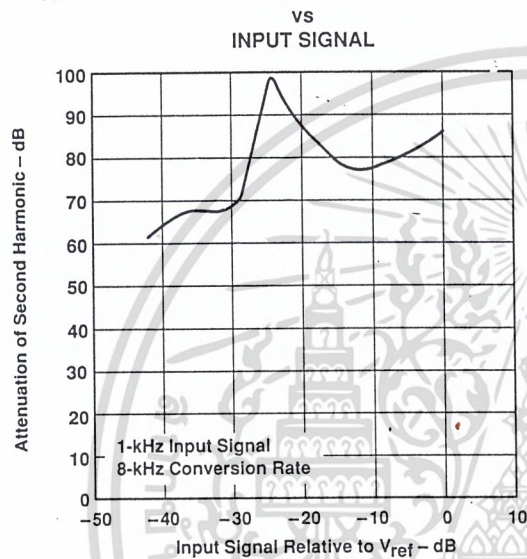


Figure 13

ATTENUATION OF THIRD HARMONIC OF A/D INPUT

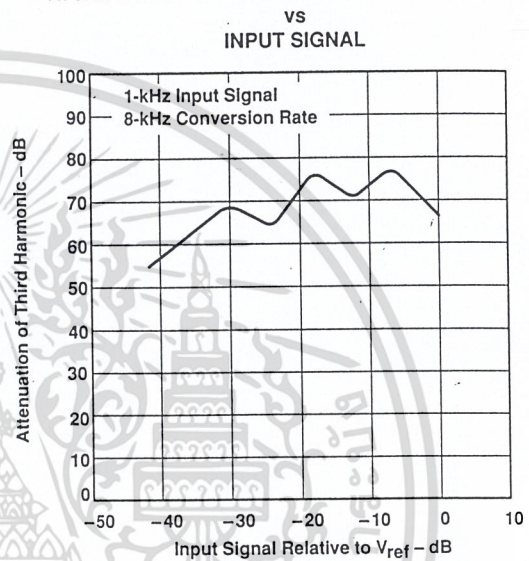


Figure 14

ATTENUATION OF SECOND HARMONIC OF D/A INPUT

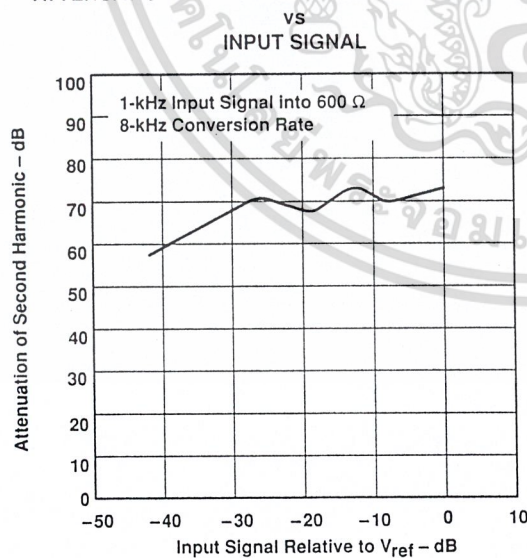


Figure 15

ATTENUATION OF THIRD HARMONIC OF D/A INPUT

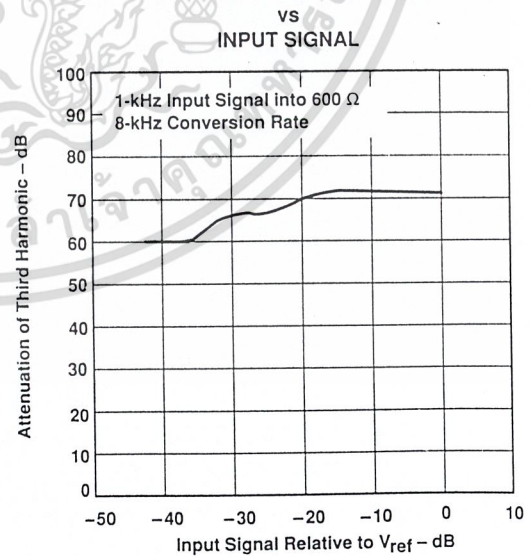


Figure 16

NOTE: Test conditions are V_{CC+} , V_{CC-} , and V_{DD} within recommended operating conditions set clock $f = 288 \text{ kHz} \pm 2\%$, and $T_A = 25^\circ\text{C}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TLC32040C, TLC32040I, TLC32041C, TLC32041I
TLC32042C, TLC32042I
ANALOG INTERFACE CIRCUITS

SLAS014D – D2964, SEPTEMBER 1987 – REVISED MAY 1991

TYPICAL APPLICATION INFORMATION

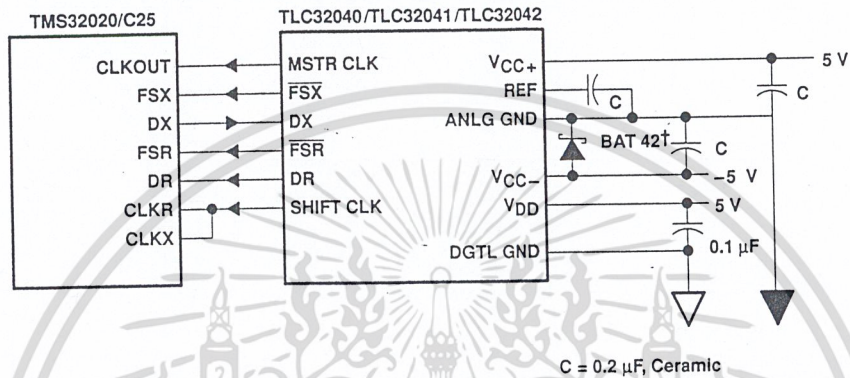


Figure 17. AIC Interface to the TMS32020/C25 Showing Decoupling Capacitors and Schottky Diode†

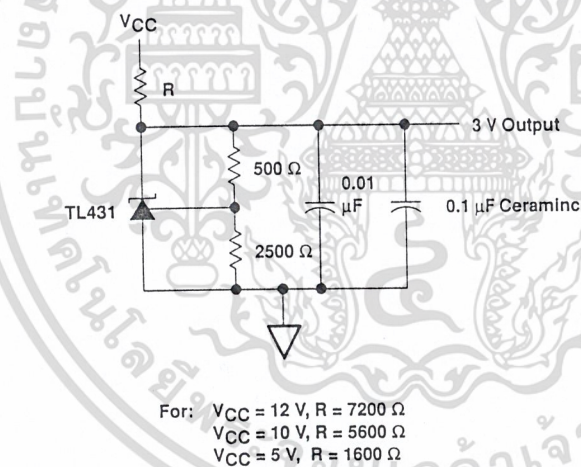


Figure 18. External Reference Circuit For TLC32045

† Thomson Semiconductors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Appendix A

Electrical Specifications

This appendix contains data sheet information on the TMS320C5x digital signal processors family, including the following devices:

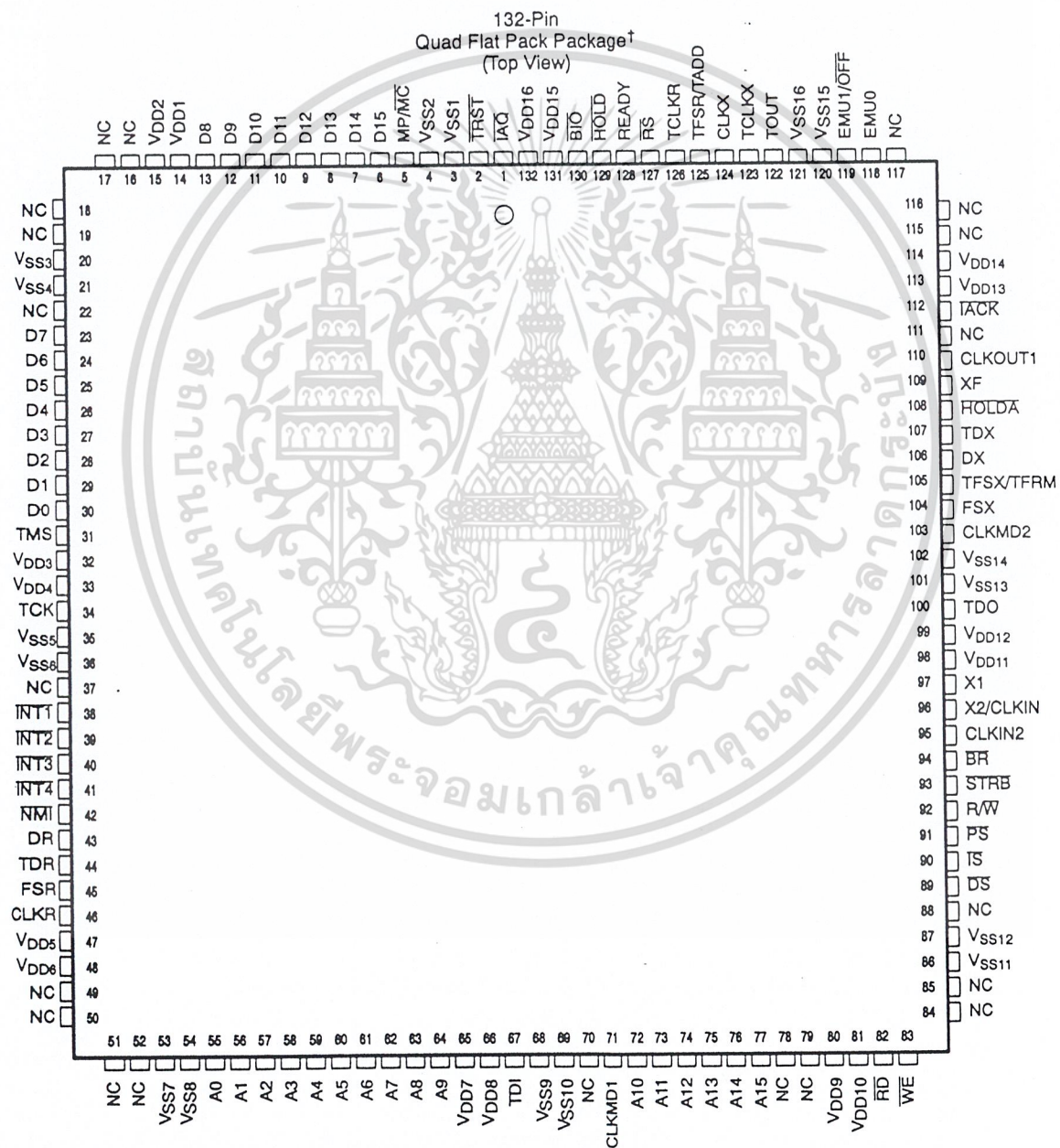
- ☐ TMS320C50
- ☐ TMS320C51
- ☐ TMS320C53

Figure A-1 shows the pinout of the 'C5x devices in a 132-pin quad flat pack; the pin assignments are given in Table A-1. This appendix also contains the electrical characteristics of the 'C5x devices and the mechanical data of the 132-pin quad flat pack.

Topic	Page
A.1 Pinout and Signal Descriptions	A-2
A.2 Electrical Characteristics and Operating Conditions	A-7
A.3 Clock Characteristics and Timing	A-10
A.4 Mechanical Data	A-27

A.1 Pinout and Signal Descriptions

Figure A-1. TMS320C5x Pinout



† See Pin Assignments, Table A-1 (page A-3) for location and description of all pins. The 'C50, 'C51, and 'C53 are packaged in 132-pin plastic QFP in production. See Figure A-20 for mechanical data.

Note: NC = No connect. (These pins are reserved.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table A-1. TMS320C5x Pin Assignments

Pin	Name	Type	Description
1	IAQ	O/Z	Instruction Acquisition
2	TRST	I	JTAG Test Reset
3	V _{SS}	Supply	Ground
4	V _{SS}	Supply	Ground
5	MP/MC	I	Microprocessor/Microcomputer
6	D15 (MSB)	I/O/Z	Parallel Data Port, High-Byte (8 pins)
7	D14	I/O/Z	
8	D13	I/O/Z	
9	D12	I/O/Z	
10	D11	I/O/Z	
11	D10	I/O/Z	
12	D9	I/O/Z	
13	D8	I/O/Z	
14	V _{DD}	Supply	+5 V
15	V _{DD}	Supply	+5 V
16	NC†		Reserved
17	NC†		Reserved
18	NC†		Reserved
19	NC†		Reserved
20	V _{SS}	Supply	Ground
21	V _{SS}	Supply	Ground
22	NC†		Reserved
23	D7	I/O/Z	Parallel Data Port, Low-Byte (8 pins)
24	D6	I/O/Z	
25	D5	I/O/Z	
26	D4	I/O/Z	
27	D3	I/O/Z	
28	D2	I/O/Z	
29	D1	I/O/Z	
30	D0 (LSB)	I/O/Z	
31	TMS	I	JTAG Test Mode
32	V _{DD}	Supply	+5 V
33	V _{DD}	Supply	+5 V
34	TCK	I	JTAG Test Clock

† NC = No connect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pinout and Signal Descriptions

Table A–1. TMS320C5x Pin Assignments (Continued)

Pin	Name	Type	Description
35	V _{SS}	Supply	Ground
36	V _{SS}	Supply	Ground
37	NC [†]		Reserved
38	INT1	I	Interrupt #1
39	INT2	I	Interrupt #2
40	INT3	I	Interrupt #3
41	INT4	I	Interrupt #4
42	NMI	I	Nonmaskable Interrupt
43	DR	I	Serial Port 1 Data Receive
44	TDR	I	Serial Port 2 Data Receive
45	FSR	I	Serial Port 1 Receiver Frame Sync
46	CLKR	I	Serial Port 1 Receiver Clock
47	V _{DD}	Supply	+5 V
48	V _{DD}	Supply	+5 V
49	NC [†]		Reserved
50	NC [†]		Reserved
51	NC [†]		Reserved
52	NC [†]		Reserved
53	V _{SS}	Supply	Ground
54	V _{SS}	Supply	Ground
55	A0 (LSB)	I/O/Z	Parallel Port Address Bus (10 pins)
56	A1	I/O/Z	
57	A2	I/O/Z	
58	A3	I/O/Z	
59	A4	I/O/Z	
60	A5	I/O/Z	
61	A6	I/O/Z	
62	A7	I/O/Z	
63	A8	I/O/Z	
64	A9	I/O/Z	
65	V _{DD}	Supply	+5 V
66	V _{DD}	Supply	+5 V
67	TDI	I	JTAG Scan Input

† NC = No connect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table A–1. TMS320C5x Pin Assignments (Continued)

Pin	Name	Type	Description
68	V _{SS}	Supply	Ground
69	V _{SS}	Supply	Ground
70	NC†		Reserved
71	CLKMD1	I	Clock Mode Pin 1
72	A10	I/O/Z	Parallel Port Address Bus (6 pins)
73	A11	I/O/Z	
74	A12	I/O/Z	
75	A13	I/O/Z	
76	A14	I/O/Z	
77	A15	I/O/Z	
78	NC†		Reserved
79	NC†		Reserved
80	V _{DD}	Supply	+5 V
81	V _{DD}	Supply	+5 V
82	RD	O/Z	Read Enable
83	WE	O/Z	Write Enable
84	NC†		Reserved
85	NC†		Reserved
86	V _{SS}	Supply	Ground
87	V _{SS}	Supply	Ground
88	NC†		Reserved
89	DS	O/Z	Data Space Select
90	IS	O/Z	I/O Space Select
91	PS	O/Z	Program Space Select
92	R/W	I/O/Z	Read/Write
93	STRB	I/O/Z	External Parallel Access Active
94	BR	I/O/Z	Bus Request
95	CLKIN2	I	Divide-by-One Clock Input
96	X2/CLKIN	I	Divide-by-Two Clock Input
97	X1	O	Oscillator Output
98	V _{DD}	Supply	+5 V
99	V _{DD}	Supply	+5 V
100	TDO	O/Z	JTAG Scan Output

† NC = No connect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pinout and Signal Descriptions

Table A-1. TMS320C5x Pins (Concluded)

Pin	Name	Type	Description
101	V _{SS}	Supply	Ground
102	V _{SS}	Supply	Ground
103	CLKMD2	I	Clock Mode Pin 2
104	FSX	I/O/Z	Serial Port 1 Transmitter Frame Sync
105	TFSX/TFRM	I/O/Z	Serial Port 2 Transmitter Frame Sync
106	DX	O/Z	Serial Port 1 Transmitter Output
107	TDX	O/Z	Serial Port 2 Transmitter Output
108	HOLDA	O/Z	Hold Acknowledge
109	XF	O/Z	External Flag
110	CLKOUT1	O/Z	Machine Clock Output
111	NC [†]		Reserved
112	IACK	O/Z	Interrupt Acknowledge
113	V _{DD}	Supply	+5 V
114	V _{DD}	Supply	+5 V
115	NC [†]		Reserved
116	NC [†]		Reserved
117	NC [†]		Reserved
118	EMU0	I/O/Z	Emulator Interrupt 0
119	EMU1/OFF	I/O/Z	Emulator Interrupt 1
120	V _{SS}	Supply	Ground
121	V _{SS}	Supply	Ground
122	TOUT	O/Z	Timer Output
123	TCLKX	I/O/Z	Serial Port 2 Transmitter Clock
124	CLKX	I/O/Z	Serial Port 1 Transmitter Clock
125	TFSR/TADD	I/O/Z	Serial Port 2 Receive Frame/Address
126	TCLKR	I	Serial Port 2 Receiver Clock
127	R _S	I	Device Reset
128	READY	I	External Access Ready to Complete
129	HOLD	I	Request Access of Local Memory
130	BI $\overline{O}$	I	Bit I/O Pin
131	V _{DD}	Supply	+5 V
132	V _{DD}	Supply	+5 V

† NC = No connect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.2 Electrical Characteristics and Operating Conditions

Table A-2. Absolute Maximum Ratings Over Specified Temperature Range (Unless Otherwise Noted)[†]

Supply voltage range, V_{DD} ‡	–0.3 V to 7 V
Input voltage range	–0.3 V to 7 V
Output voltage range	–0.3 V to 7 V
Operating case temperature range	0° to 85°C
Storage temperature range	–55° to 150°C

[†] Stresses beyond those listed under "Absolute Maximum Ratings" may cause damage to the device. This is a stress rating only, and functional operation of the device at these or any other conditions beyond those indicated in the "Recommended Operating Conditions" sections of this specification is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect reliability.

‡ All voltage values are with respect to V_{SS} .

Table A-3. Recommended Operating Conditions

Parameter	Min	Nom	Max	Unit
V_{DD} Supply voltage	4.75	5	5.25	V
V_{SS} Supply voltage		0		V
V_{IH} High-level input voltage	CLKIN, CLKIN2		$V_{DD}+0.3$	V
	CLKX, CLKR, TCLKX, TCLKR		$V_{DD}+0.3$	
	All others		$V_{DD}+0.3$	
V_{IL} Low-level input voltage	–0.3		0.8	V
I_{OH} High-level output current			–300 [†]	μA
I_{OL} Low-level output current			2	mA
T Operating case temperature	0		85	°C

[†] This I_{OH} may be exceeded when using a 1-kΩ pull-down resistor on the TDM serial port TADD output, however, this output still meets V_{OH} specifications under these conditions.

Electrical Characteristics and Operating Conditions

Table A-4. Electrical Characteristics Over Specified Free-Air Temperature Range (Unless Otherwise Noted)

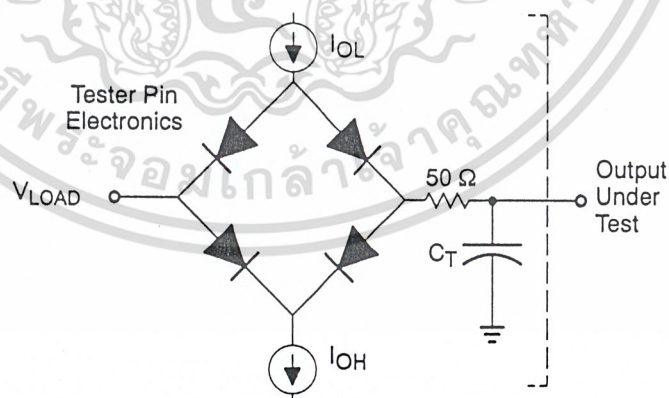
Parameter	Test Conditions	Min	Typ†	Max	Unit
V_{OH} High-level output voltage §	$I_{OH} = \text{Max}$	2.4	3		V
V_{OL} Low-level output voltage §	$I_{OL} = \text{Max}$		0.3	0.6	V
I_Z Three-state current ($V_{DD} = \text{Max}$)	BR	-400	‡	20	μA
	All other three-state	-20	‡	20	
I_I Input current ($V_I = V_{SS}$ to V_{DD})	TRST pin (with internal pulldown)	-10	‡	800	μA
	TMS, TCK, TDI pins (with internal pullups)	-400	‡	10	
	X2/CLKIN pin	-50	‡	+50	μA
	All other input-only pins	-10	‡	10	
I_{DDC} Supply current, core CPU	Operating $T_A = 25^\circ\text{C}$, $V_{DD} = 5.25\text{ V}$, $f_x = 40.96\text{ MHz}$		60		mA
I_{DDP} Supply current, pins	Operating $T_A = 25^\circ\text{C}$, $V_{DD} = 5.25\text{ V}$, $f_x = 40.96\text{ MHz}$		40		mA
I_{DD} Supply current, standby	IDLE2, clocks shut off		5		μA
C_i Input capacitance			15		pF
C_o Output capacitance			15		pF

† All typical nominal values are at $V_{DD} = 5\text{ V}$, $T_A = 25^\circ\text{C}$.

‡ These values are not specified, pending detailed characterization.

§ All input and output voltage levels are TTL-compatible. Figure A-2 shows the test load circuit and Figure A-3 shows the voltage reference levels.

Figure A-2. Test Load Circuit



Where: I_{OL} = 2.0 mA (all outputs)
 I_{OH} = 300 μA (all outputs)
 V_{LOAD} = 1.5 V
 C_T = 80 pF typical load circuit capacitance.

TTL output levels are driven to a minimum logic-high level of 2.4 volts and to a maximum logic-low level of 0.6 volt. Figure A-3 shows the TTL-level outputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure A-3. TTL-Level Outputs

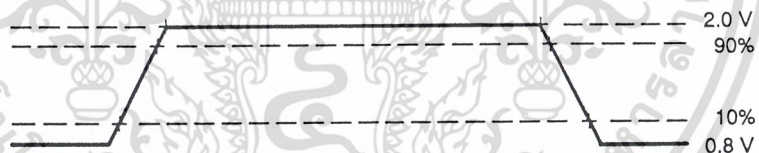


TTL-output transition times are specified as follows:

- ☐ For a *high-to-low transition*, the level at which the output is said to be no longer high is 2.0 volts, and the level at which the output is said to be low is 1.0 volt.
- ☐ For a *low-to-high transition*, the level at which the output is said to be no longer low is 1.0 volt, and the level at which the output is said to be high is 2.0 volts.

Figure A-4 shows the TTL-level inputs.

Figure A-4. TTL-Level Inputs



TTL-compatible input transition times are specified as follows:

- ☐ For a *high-to-low transition* on an input signal, the level at which the input is said to be no longer high is 2.0 volts, and the level at which the input is said to be low is 0.8 volt.
- ☐ For a *low-to-high transition* on an input signal, the level at which the input is said to be no longer low is 0.8 volt, and the level at which the input is said to be high is 2.0 volts.

Clock Characteristics and Timing

A.3 Clock Characteristics and Timing

The 'C5x can use either its internal oscillator or an external frequency source for a clock. The clock mode is determined by the CLKMD1 (pin 71) and CLKMD2 (pin 103) clock mode pins. The following table outlines the selection of the clock mode by these pins.

CLKMD1	CLKMD2	Clock Source
1	0	External divide-by-one clock option.
0	1	Reserved for test purposes.
1	1	External divide-by-two option or internal divide-by-two clock option with an external crystal.
0	0	External divide-by-two option with the internal oscillator disabled.

A.3.1 Internal Divide-by-Two Clock Option With External Crystal

The internal oscillator is enabled by connecting a crystal across X1 and X2/CLKIN. The frequency of CLKOUT1 is one-half the crystal's oscillating frequency. The crystal should be in either fundamental or overtone operation and parallel resonant, with an effective series resistance of 30 ohms and a power dissipation of 1 mW; it should be specified at a load capacitance of 20 pF. Note that overtone crystals require an additional tuned-LC circuit. Figure A-4 shows an external crystal (fundamental frequency) connected to the on-chip oscillator.

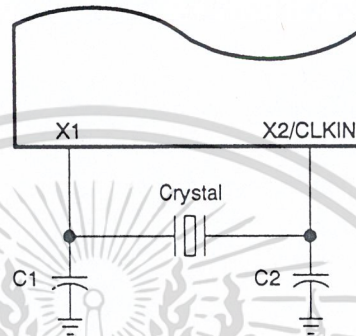
Table A–5. Recommended Operating Conditions

Parameter		Min	Nom	Max	Unit
f_x Input clock frequency	TMS320C5x-40	0 [†]		40.96	MHz
	TMS320C5x-57 [‡]	0 [†]		57.14	MHz
C1, C2			10		pF

[†] This device utilizes a fully static design and therefore can operate with $t_{C(CI)}$ approaching ∞ . The device is characterized at frequencies approaching 0 Hz but is tested at a minimum of 3.3 MHz to meet device test time requirements.

[‡] Other timings for the 57-MHz CLKIN devices are the same as those for the 40-MHz CLKIN devices, except where otherwise indicated.

Figure A-5. Internal Clock Option



A.3.2 External Divide-by-Two Clock Option

An external frequency source can be used by injecting the frequency directly into X2/CLKIN, with X1 left unconnected, CLKMD1 set high, and CLKMD2 set high. This external frequency is divided by two to generate the internal machine cycle.

The external frequency injected must conform to specifications listed in the timing requirements table.

Table A-6. Switching Characteristics Over Recommended Operating Conditions
($H = 0.5 t_{c(CO)}$)

Parameter.		Min	Typ	Max	Unit
$t_{c(CO)}$ CLKOUT1 cycle time	TMS320C5x-40	48.8	$2t_{c(CI)}$	†	ns
	TMS320C5x-57†	35	$2t_{c(CI)}$	†	ns
$t_{d(CIH-CO)}$ CLKIN high to CLKOUT1 high/low		3	11	20	ns
$t_f(CO)$ CLKOUT1 fall time			5		ns
$t_r(CO)$ CLKOUT1 rise time			5		ns
$t_w(COL)$ CLKOUT1 low pulse duration		$H - 2$	H	$H + 2$	ns
$t_w(COH)$ CLKOUT1 high pulse duration		$H - 2$	H	$H + 2$	ns

† This device utilizes a fully static design and therefore can operate with $t_{c(CI)}$ approaching ∞ . The device is characterized at frequencies approaching 0 Hz but is tested at a minimum of 3.35 MHz to meet device test time requirements.

‡ Other timings for the 57-MHz CLKIN devices are the same as those for the 40-MHz CLKIN devices, except where otherwise indicated.

Clock Characteristics and Timing

Table A–7. Timing Requirements Over Recommended Operating Conditions
($H = 0.5 t_{c(CO)}$)

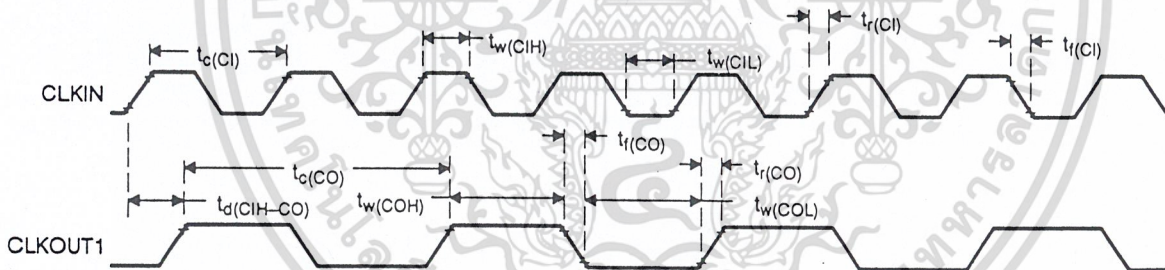
Parameter		Min	Max	Unit
$t_{c(CI)}$ CLKIN cycle time	TMS320C5x-40	24.4	§	ns
	TMS320C5x-57†	17.5	§	ns
$t_{f(CI)}$ CLKIN fall time †			5	ns
$t_{r(CI)}$ CLKIN rise time †			5	ns
$t_{w(CIL)}$ CLKIN low pulse duration	TMS320C5x-40	11	§	ns
	TMS320C5x-57†	8	§	ns
$t_{w(CIH)}$ CLKIN high pulse duration	TMS320C5x-40	11	§	ns
	TMS320C5x-57†	8	§	ns

† Values derived from characterization data and not tested.

‡ Other timings for the 57-MHz CLKIN devices are the same as those for the 40-MHz CLKIN devices, except where otherwise indicated.

§ This device utilizes a fully static design and therefore can operate with $t_{c(CI)}$ approaching ∞ . The device is characterized at frequencies approaching 0 Hz, but is tested at a minimum of 6.7 MHz to meet device test time requirements.

Figure A–6. External Divide-by-Two Clock Timing



A.3.3 External Divide-by-One Clock Option

An external frequency source can be used by injecting the frequency directly into CLKIN2, with X1 left unconnected and X2 connected to V_{DD} . This external frequency is divided by one to generate the internal machine cycle. The divide-by-one option is used when the CLKMD1 pin is strapped high and CLKMD2 is strapped low.

The external frequency injected must conform to specifications listed in the timing requirements table.

Table A-8. Switching Characteristics Over Recommended Operating Conditions
($H = 0.5 t_{c(CO)}$)

Parameter		Min	Typ	Max	Unit
$t_{c(CO)}$ CLKOUT1 cycle time	TMS320C5x-40	48.8	$t_{c(CI)}$	75 [§]	ns
	TMS320C5x-57 [‡]	35	$t_{c(CI)}$	75 [§]	ns
$t_{d(CIH-CO)}$ CLKIN2 high to CLKOUT1 high		2	9	16	ns
$t_f(CO)$ CLKOUT1 fall time			5		ns
$t_r(CO)$ CLKOUT1 rise time			5		ns
$t_w(COL)$ CLKOUT1 low pulse duration		H - 2	H	H + 2	ns
$t_w(COH)$ CLKOUT1 high pulse duration		H - 2	H	H + 2	ns
t_p Transitory phase—PLL synchronized after CLKIN2 supplied		256 [†]		1000 [†]	cycles

[†] Values derived from characterization data and not tested.

[‡] Other timings for the 57-MHz CLKIN devices are the same as those for the 40-MHz CLKIN devices, except where otherwise indicated.

[§] Clocks can be stopped only while the device executes IDLE2 when using the external divide-by-one clock option.

[†] Values guaranteed by design and not tested.

Table A-9. Timing Requirements Over Recommended Operating Conditions
($H = 0.5 t_{c(CO)}$)

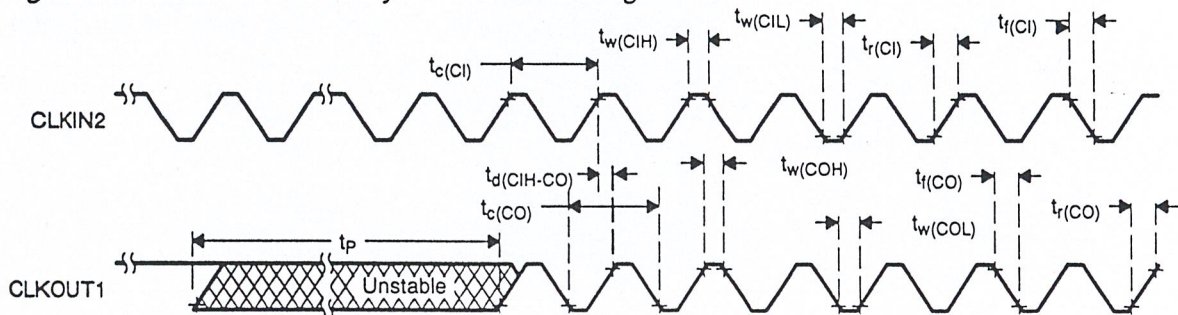
Parameter		Min	Max	Unit
$t_{c(CI)}$ CLKIN2 cycle time	TMS320C5x-40	48.8	75 [§]	ns
	TMS320C5x-57 [‡]	35	75 [§]	ns
$t_f(CI)$ CLKIN2 fall time [†]			5	ns
$t_r(CI)$ CLKIN2 rise time [†]			5	ns
$t_w(CIL)$ CLKIN2 low pulse duration	TMS320C5x-40	15	60	ns
	TMS320C5x-57 [‡]	11	64	ns
$t_w(CIH)$ CLKIN2 high pulse duration	TMS320C5x-40	15	60	ns
	TMS320C5x-57 [‡]	11	64	ns

[†] Values derived from characterization data and not tested.

[‡] Other timings for the 57-MHz CLKIN devices are the same as those for the 40-MHz CLKIN devices, except where indicated otherwise.

[§] Clocks can be stopped only while the device executes IDLE2 when using the external divide-by-one clock option. Note that t_p (the transitory phase) will occur when restarting clock from IDLE2 in this mode.

Figure A-7. External Divide-by-One Clock Timing



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Clock Characteristics and Timing

A.3.4 Memory and Parallel I/O Interface Read Timing

Table A-10. Switching Characteristics Over Recommended Operating Conditions
($H = 0.5t_{c(CO)}$)

Parameter	Min	Max	Unit
$t_{su(A)R}$ Setup time, address valid before $\overline{RD}$ low [†]	$H - 10^{\ddagger}$		ns
$t_{h(A)R}$ Hold time, address valid after $\overline{RD}$ high [†]	$0^{\ddagger}$		ns
$t_{w(RL)}$ $\overline{RD}$ low pulse duration ^{‡#}	$H - 2$	$H + 2$	ns
$t_{w(RH)}$ $\overline{RD}$ high pulse duration ^{‡#}	$H - 2$		ns
$t_{d(RW)}$ Delay time, $\overline{RD}$ high to $\overline{WE}$ low	$2H - 5$		ns

[†] A15-A0, PS, DS, IS, and BR timings are all included in timings referenced as address.

[‡] STRB and $\overline{RD}$ rising and falling edges track and are 0–4 and ± 2 ns, respectively, from CLKOUT1 edges on reads, following the cycle after reset, which is always 7 wait states; thus, tolerance of resulting pulsewidths is ± 2 ns, not ± 4 ns. See Appendix B.

[#] Values derived from characterization data and are not tested.

[†] See Figure A-9 for address bus timing variation with load capacitance.

Table A-11. Timing Requirements Over Recommended Operating Conditions
($H = 0.5t_{c(CO)}$)

Parameter		Min	Max	Unit
$t_a(A)$ Read data access from address valid	TMS320C5x-40		$2H - 18^{\ddagger}$	ns
	TMS320C5x-57 [‡]		$2H - 15^{\ddagger}$	ns
$t_{su(D)R}$ Read data setup time before $\overline{RD}$ high		10		ns
$t_{h(D)R}$ Read data hold time after $\overline{RD}$ high		0		ns
$t_a(R)$ Read data access time after $\overline{RD}$ low			$H - 10$	ns

[†] See Figure A-9 for address bus timing variation with load capacitance.

[‡] Other timings for 57-MHz CLKIN devices are the same as for the 40-MHz devices, except where indicated otherwise.

A.3.5 Memory and Parallel I/O Interface Write Timing

Table A-12. Switching Characteristics Over Recommended Operating Conditions
($H = 0.5t_{c(CO)}$)

Parameter	Min	Max	Unit
$t_{su(A)W}$ Setup time, address valid before $\overline{WE}$ low [†]	$H - 5^{\#}$		ns
$t_{h(A)W}$ Hold time, address valid after $\overline{WE}$ high [†]	$H - 10^{\#}$		ns
$t_{w(WL)}$ $\overline{WE}$ low pulse duration ^{‡†}	$2H - 2$	$2H + 2$	ns
$t_{w(WH)}$ $\overline{WE}$ high pulse duration ^{‡†}	$2H - 2$		ns
$t_{d(WR)}$ Delay time, $\overline{WE}$ high to $\overline{RD}$ low	$2H - 10$		ns
$t_{su(D)W}$ Setup time, write data valid before $\overline{WE}$ high [‡]	$2H - 20$	$2H^{\ddagger\S}$	ns
$t_{h(D)W}$ Hold time, write data valid after $\overline{WE}$ high [‡]	$H - 5$	$H + 10^{\ddagger}$	ns
$t_{en(D)W}$ Enable time, $\overline{WE}$ to data bus driven	$-5^{\ddagger}$		ns

[†] A15-A0, PS, DS, IS, R/W, and BR timings are all included in timings referenced as address.

[‡] STRB and $\overline{WE}$ edges are 0–4 ns from CLKOUT1 edges on writes. Rising and falling edges of these signals track each other; tolerance of resulting pulsewidths is ± 2 ns, not ± 4 ns. See Appendix B for logical device interface timings.

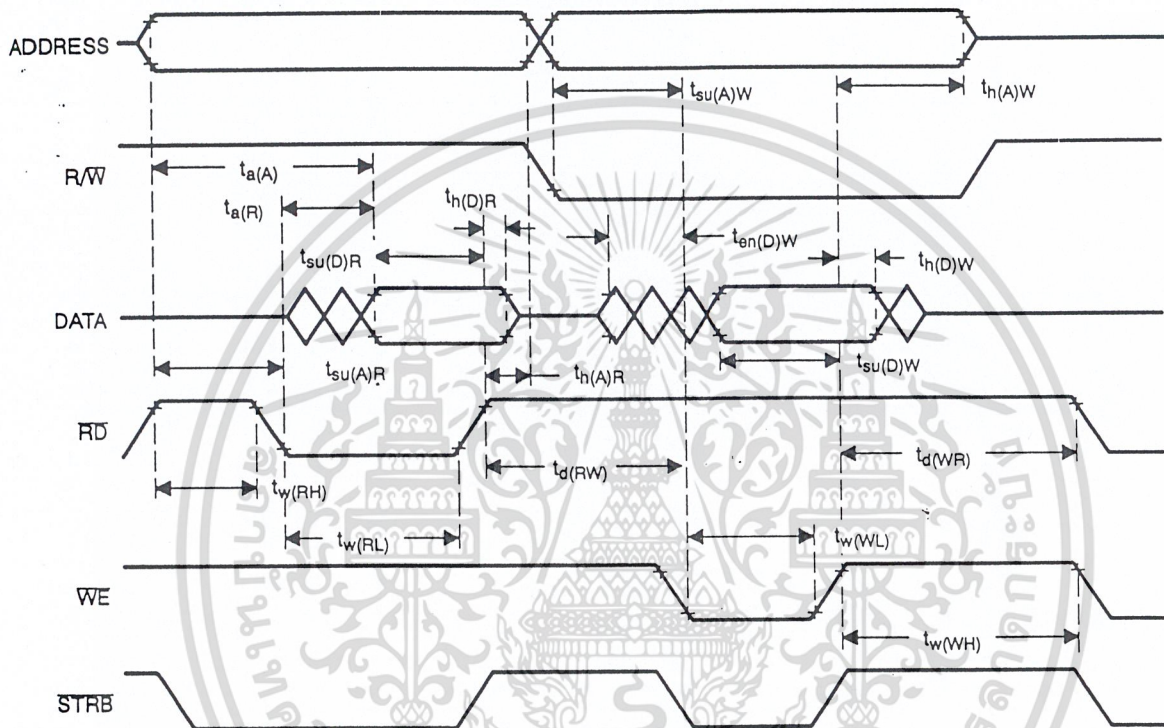
[†] Values derived from characterization data and are not tested.

^{\S} This value holds true for zero or one wait state only.

[#] See Figure A-9 for address bus timing variation with load capacitance.

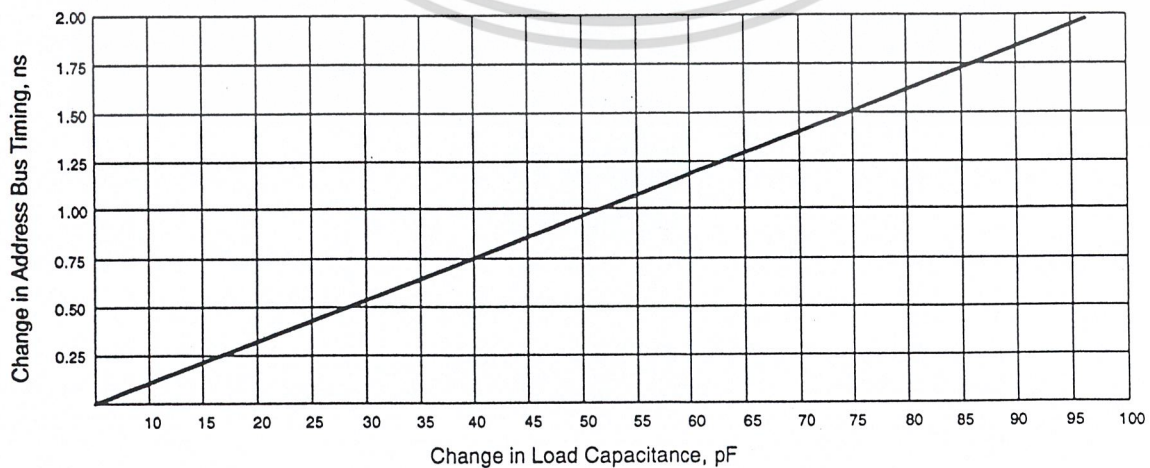
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure A-8. Memory and Parallel I/O Interface Read and Write Timing



Note: All timings are for 0 wait states. However, external writes always require two cycles to prevent external bus conflicts. The above diagram illustrates a one-cycle read and a two-cycle write and is not drawn to scale. All external writes immediately preceded by an external read or immediately followed by an external read require three machine cycles.

Figure A-9. Address Bus Timing Variation With Load Capacitance



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

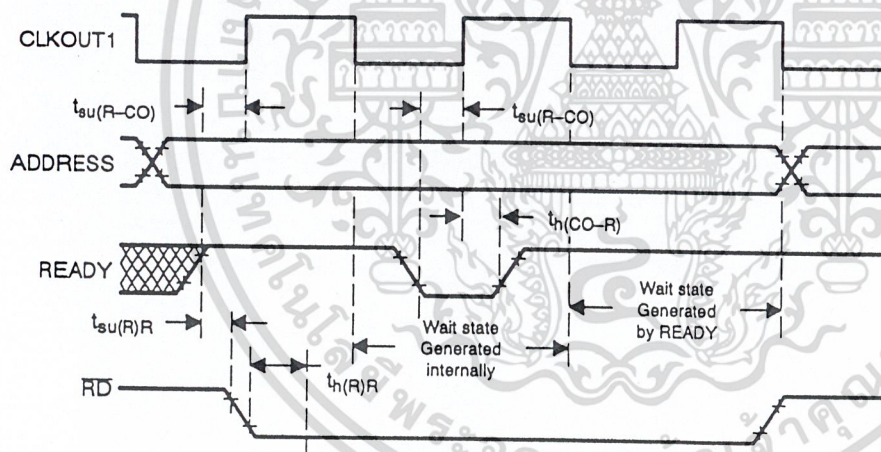
A.3.6 Ready Timing for Externally Generated Wait States

Table A-13. Timing Requirements Over Recommended Operating Conditions

Parameter		Min	Max	Unit
$t_{su}(R-CO)$	READY setup time before CLKOUT1 rises	10		ns
$t_h(CO-R)$	READY hold time after CLKOUT1 rises	0		ns
$t_{su}(R)R$	READY setup time before RD falls	10		ns
$t_h(R)R$	READY hold time after RD falls	5		ns
$t_v(R)W$	READY valid after WE falls	H - 15		ns
$t_h(R)W$	READY hold after WE falls	H + 5		ns

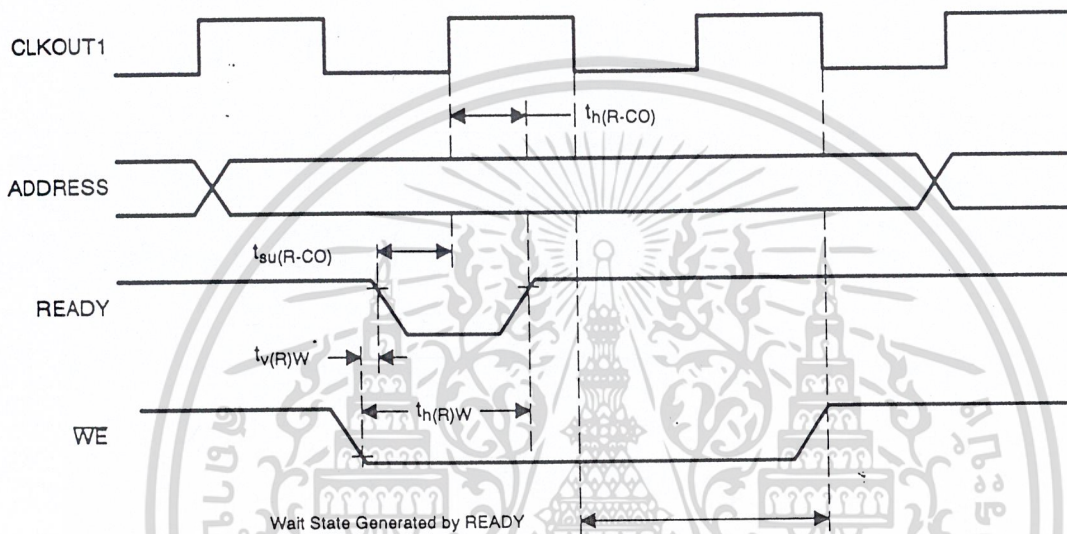
Note: The external READY input is sampled only after the internal software wait states are completed.

Figure A-10. Ready Timing for Externally Generated Wait States During an External Read Cycle



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure A–11. Ready Timing for Externally Generated Wait States During an External Write Cycle



A.3.7 Reset, Interrupt, and BIO Timings

Table A–14. Timing Requirements Over Recommended Operating Conditions
($H = 0.5t_{c(CO)}$)

Parameter	Min	Max	Unit
$t_{su(IN)}$ INT1–INT4, NMI, RS setup time before CLKOUT1 low †	15		ns
$t_{h(IN)}$ INT1–INT4, NMI, RS hold time after CLKOUT1 low †	0		ns
$t_{w(INL)s}$ INT1–INT4, NMI low pulse duration, synchronous	4H+15‡		ns
$t_{w(INH)s}$ INT1–INT4, NMI high pulse duration, synchronous	2H+15‡		ns
$t_{w(INL)a}$ INT1–INT4, NMI low pulse duration, asynchronous #	6H+15‡		ns
$t_{w(INH)a}$ INT1–INT4, NMI high pulse duration, asynchronous #	4H+15‡		ns
$t_{su(R)}$ RS set up time before X2/CLKIN low	10		ns
$t_{w(RSL)}$ RS low pulse duration	12H		ns
$t_d(EX)$ RS high to reset vector fetch	34H		ns
$t_{w(BI)s}$ BIO low pulse duration, synchronous	15		ns
$t_{w(BI)a}$ BIO low pulse duration, asynchronous #	H+15		ns
$t_{su(BI)}$ BIO setup before CLKOUT1 low	15		ns
$t_{h(BI)}$ BIO hold time after CLKOUT1 low	0		ns

† These parameters must be met to use the synchronous timings. Both reset and the interrupts can operate asynchronously. The pulse widths require an extra half-cycle to guarantee internal synchronization.

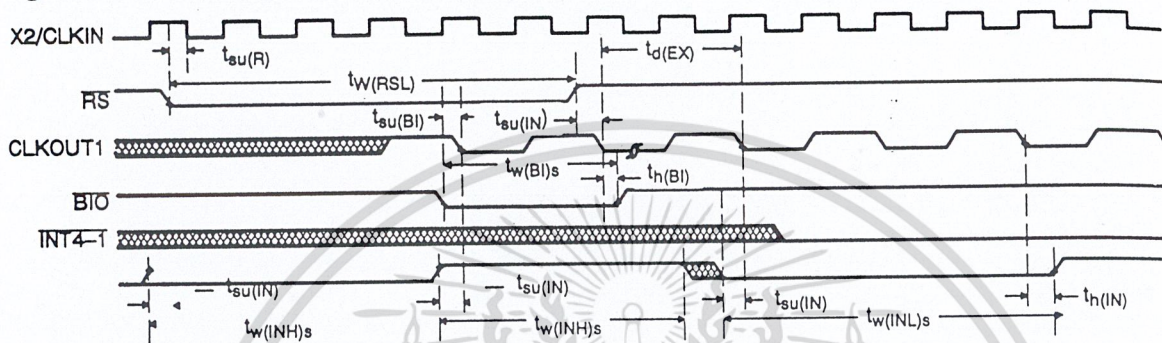
‡ If in IDLE2, add 4H to these timings.

Values derived from characterization data and are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Clock Characteristics and Timing

Figure A-12. Reset, Interrupt, and B $\overline{IO}$ Timings

A.3.8 Instruction Acquisition (IAQ), Interrupt Acknowledge (IACK), External Flag (XF), and TOUT Timings

Table A-15. Switching Characteristics Over Recommended Operating Conditions
($H = 0.5t_{c(CO)}$)

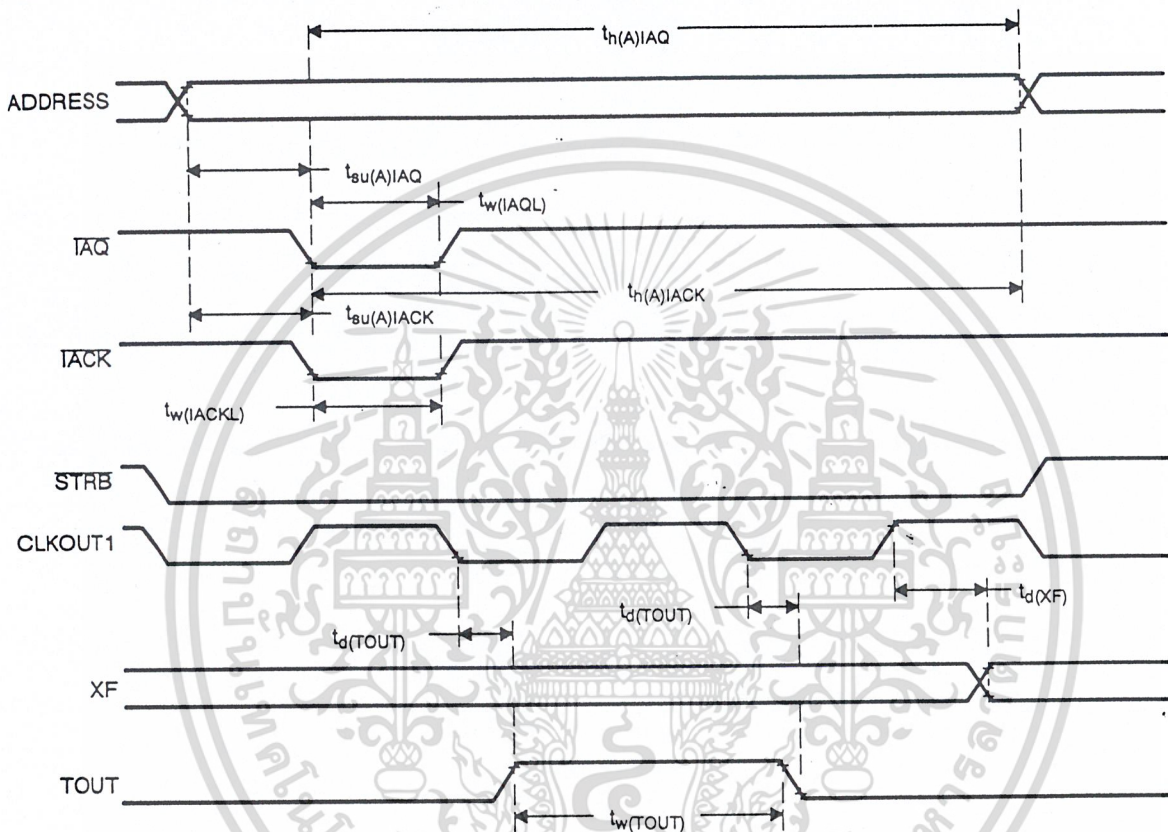
Parameter	Min	Max	Unit
$t_{su(A)IAQ}$ Setup time, address valid before IAQ low [†]	$H - 12^{\dagger}$		ns
$t_{h(A)IAQ}$ Hold time, address valid after IAQ low	$H - 10^{\dagger}$		ns
$t_w(IAQL)$ IAQ low pulse duration	$H - 10^{\dagger}$		ns
$t_d(TOUT)$ Delay time, CLKOUT1 falling to TOUT	-6	6	ns
$t_{su(A)IACK}$ Setup time, address valid before IACK low [‡]	$H - 12^{\dagger}$		ns
$t_{h(A)IACK}$ Hold time, address valid after IACK high [‡]	$H - 10^{\dagger}$		ns
$t_w(IACKL)$ IACK low pulse duration	$H - 10^{\dagger}$		ns
$t_w(TOUT)$ TOUT pulse width	$2H - 12$		ns
$t_d(XF)$ Delay time, XF valid after CLKOUT1	0	12	ns

[†] IAQ goes low during an instruction acquisition. It goes low only on the first cycle of the read when wait states are used. The falling edge should be used to latch the valid address. The AVIS bit in the PMST register must be set to zero for the address to be valid when the instruction being addressed resides in on-chip memory.

[‡] IACK goes low during the fetch of the first word of the interrupt vector. It goes low only on the first cycle of the read when wait states are used. Address pins A1 – A4 can be decoded at the falling edge to identify the interrupt being acknowledged. The AVIS bit in the PMST register must be set to zero for the address to be valid when the vectors reside in on-chip memory.

[†] Valid only if the external address reflects the current instruction activity (that is, code is executing on chip with no external bus cycles and AVIS is on or code is executing off-chip).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure A-13. $\overline{TAQ}$, $\overline{TACK}$, and XF Timings Example With Two External Wait States

Note: $\overline{TAQ}$ and $\overline{TACK}$ are not affected by wait states.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.3.9 External DMA Timing

Table A-16. Switching Characteristics Over Recommended Operating Conditions
($H = 0.5t_{c(CO)}$)

Parameter	Min	Max	Unit
$t_d(H-HA)$ Delay time, $HOLD$ low to $HOLDA$ low	4H	§	ns
$t_d(HH-HA)$ Delay time, $HOLD$ high before $HOLDA$ high	2H		ns
$t_z(M-HA)$ Address three-state before $HOLDA$ low †	$H - 15^¶$		ns
$t_{en}(HA-M)$ Enable time, $HOLDA$ high to address driven	$H - 5^¶$		ns
$t_d(B-I)$ Delay time, XBR low to IAQ low	4H [¶]	6H [¶]	ns
$t_d(BH-I)$ Delay time, XBR high to IAQ high	2H [¶]	4H [¶]	ns
$t_d(D)XR$ Delay time, read data valid after $XSTRB$ low		40	ns
$t_h(D)XR$ Read data hold time after $XSTRB$ high	0		ns
$t_{en}(I-D)$ Enable time, IAQ low to read data driven ‡	0 [¶]	2H [¶]	ns
$t_z(W)$ XR/W low to data three-state	0 [¶]	15 [¶]	ns
$t_z(I-D)$ IAQ high to data three-state		H	ns
$t_{en}(D)RW$ Enable time, data from XR/W going high		4	ns

† This parameter includes all memory control lines.

‡ This parameter refers to the delay between the time the condition ($IAQ = 0$ and $XR/W = 1$) is satisfied and the time that the 'C5x data lines become valid.

§ $HOLD$ is not acknowledged until current external access request is complete.

¶ Values derived from characterization data and are not tested.

Note: X preceding a name refers to external drive of the signal.

Table A-17. Timing Requirements Over Recommended Operating Conditions

Parameter	Min	Max	Unit
$t_d(HA-B)$ Delay time, $HOLDA$ low to XBR low †	0 [¶]		ns
$t_d(I-XS)$ Delay time, IAQ low to $XSTRB$ low †	0 [¶]		ns
$t_{su}(XA)$ Setup time, Xaddress valid before $XSTRB$ low	15		ns
$t_{su}(XD)W$ Setup time, Xdata valid before $XSTRB$ low	15		ns
$t_h(WD)W$ Hold time, Xdata hold after $XSTRB$ low	15		ns
$t_h(XA)W$ Hold time, Write Xaddress hold after $XSTRB$ low	15		ns
$t_w(XSL)$ Width $XSTRB$ low pulse	45		ns
$t_w(XSH)$ Width $XSTRB$ high pulse	45		ns
$t_{su}(XS)RW$ Setup time, R/W valid before $XSTRB$ low	20		ns
$t_h(XA)R$ Hold time, read Xaddress after $XSTRB$ high	0		ns

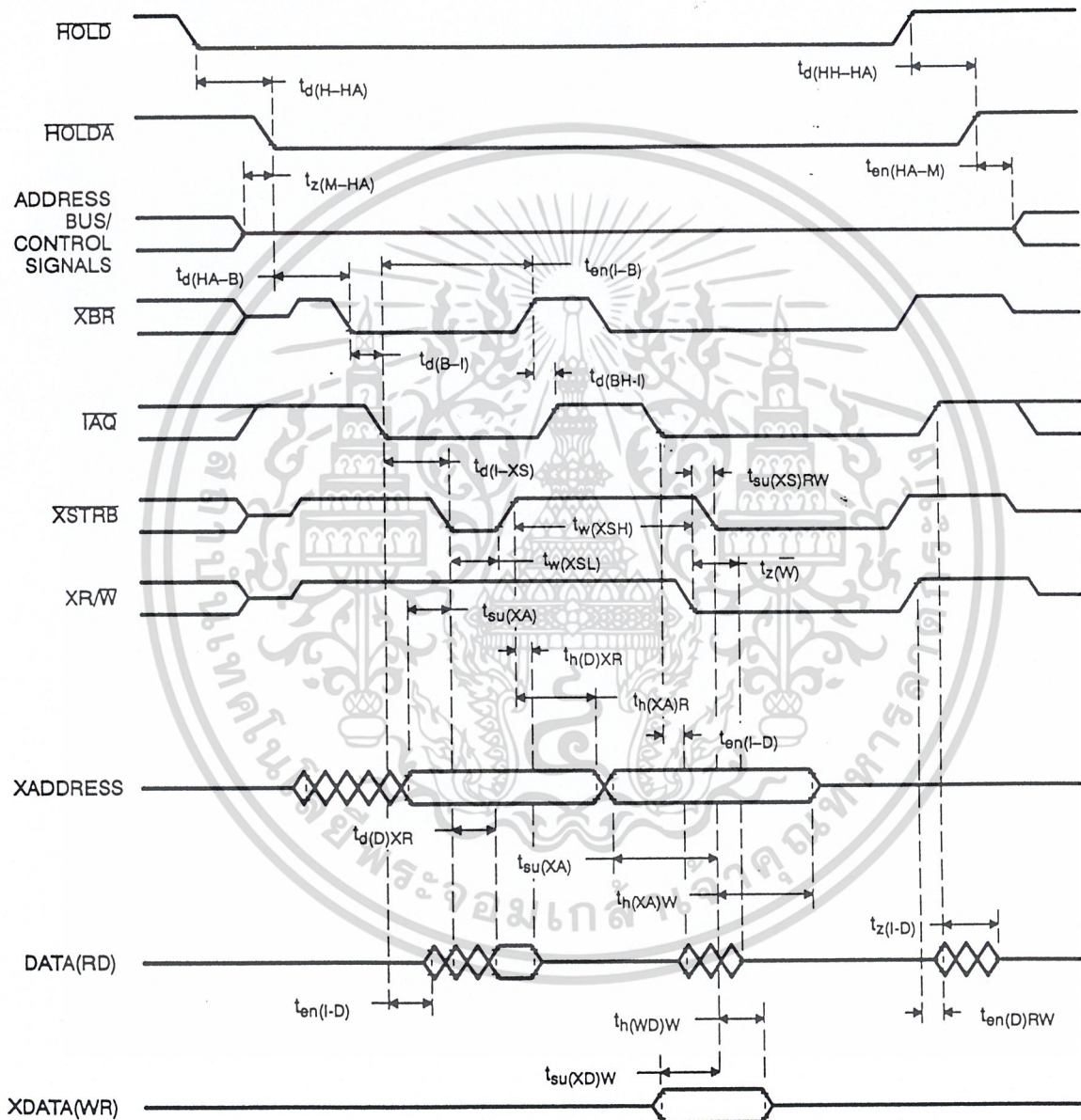
† XBR , XR/W , and $XSTRB$ lines should be pulled up with a 10-k Ω resistor to assure that they are in an inactive high state during the transition period between the TMS320C5x driving them and the external circuit driving them.

¶ Values derived from characterization data and are not tested.

Note: X preceding a name refers to external drive of the signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure A-14. External DMA Timing



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Clock Characteristics and Timing

A.3.10 Serial Port Receive Timing

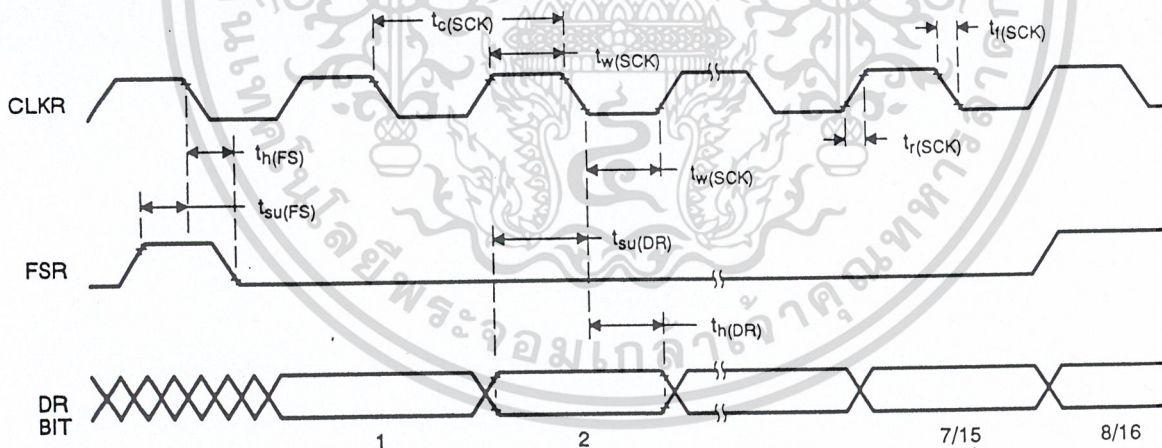
Table A-18. Timing Requirements Over Recommended Operating Conditions
($H = 0.5t_{c(CO)}$)

Parameter	Min	Max	Unit
$t_{c(SCK)}$ Serial port clock cycle time	5.2H	[‡]	ns
$t_f(SCK)$ Serial port clock fall time		8 [†]	ns
$t_r(SCK)$ Serial port clock rise time		8 [†]	ns
$t_w(SCK)$ Serial port clock low/high pulse duration	2.1H		ns
$t_{su(FS)}$ FSR setup time before CLKR falling edge	10		ns
$t_h(FS)$ FSR hold time after CLKR falling edge	10		ns
$t_{su(DR)}$ DR setup time before CLKR falling edge	10		ns
$t_h(DR)$ DR hold time after CLKR falling edge	10		ns

[‡] The serial port design is fully static and therefore can operate with $t_{c(SCK)}$ approaching ∞ . It is characterized approaching an input frequency of 0 Hz but tested at a much higher frequency to minimize test time.

[†] Values derived from characterization data and are not tested.

Figure A-15. Serial Port Receive Timing



A.3.11 Serial Port Transmit Timing of External Clocks and External Frames (see Note)

Table A-19. Switching Characteristics Over Recommended Operating Conditions
($S = 0.5t_{c(SCK)}$)

Parameter	Min	Max	Unit
$t_d(DX)$ Delay time, DX valid after CLKX rising		25	ns
$t_{dis}(DX)$ Disable time, DX after CLKX rising		40	ns
$t_h(DX)$ Hold time, DX valid after CLKX rising	-5		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table A-20. Timing Requirements Over Recommended Operating Conditions
($H = 0.5t_{c(CO)}$)

Parameter	Min	Max	Unit
$t_{c(SCK)}$ Serial port clock cycle time	5.2H	†	ns
$t_{f(SCK)}$ Serial port clock fall time		8 †	ns
$t_{r(SCK)}$ Serial port clock rise time		8 †	ns
$t_{w(SCK)}$ Serial port clock low/high pulse duration	2.1H		ns
$t_d(FS)$ FSX delay time after CLKX rising edge		2H-8	ns
$t_h(FS)$ FSX hold time after CLKX falling edge	10		ns
$t_h(FS)H$ FSX hold time after CLKX rising edge		2H-8 †	ns

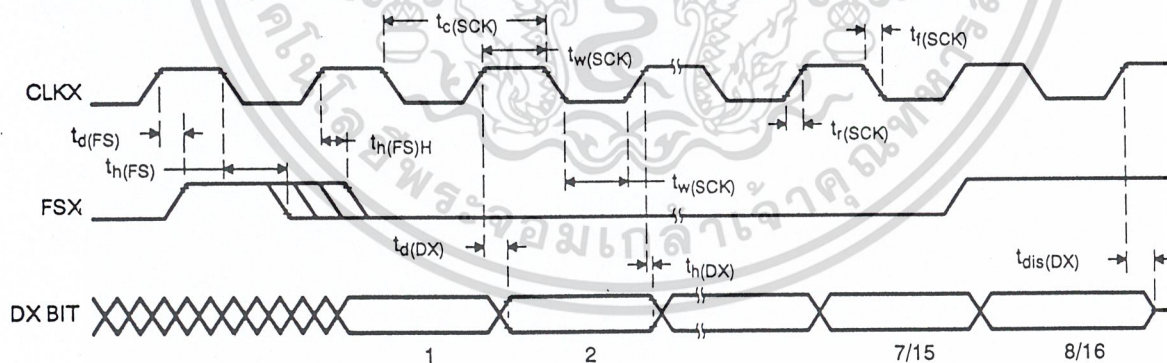
† If the FSX pulse does not meet this specification, the first bit of serial data will be driven on the DX pin until the falling edge of FSX. After the falling edge of FSX, data will be shifted out on the DX pin. The transmit buffer empty interrupt will be generated when the $t_h(FS)$ and $t_h(FS)H$ specification is met.

‡ The serial port design is fully static and therefore can operate with $t_{c(SCK)}$ approaching ∞ . It is characterized approaching an input frequency of 0 Hz but tested at a much higher frequency to minimize test time.

† Values derived from characterization data and are not tested.

Note: Internal clock with external FSX and vice versa are also allowable. However, FSX timings to CLKX are always defined depending on the source of FSX, and CLKX timings are always dependent upon the source of CLKX. Specifically, the relationship of FSX to CLKX is independent of the source of CLKX. Table A-20 shows external FSX and external CLKX timings; Table A-21 shows internal FSX and internal CLKX timings.

Figure A-16. Serial Port Transmit Timing of External Clocks and External Frames



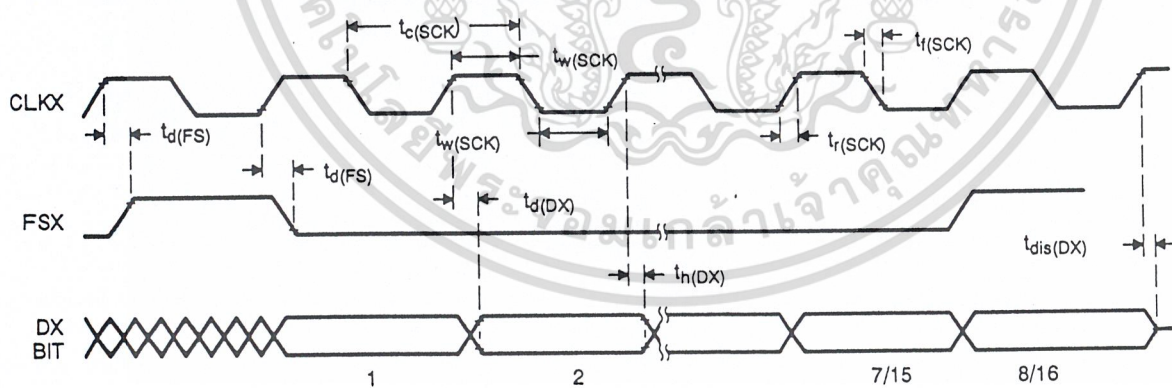
A.3.12 Serial Port Transmit Timing of Internal Clocks and Internal Frames (see Note)

Table A-21. Switching Characteristics Over Recommended Operating Conditions
($H = 0.5t_{c(CO)}$, $S = 0.5t_{c(SCK)}$)

Parameter	Min	Typ	Max	Unit
$t_d(FS)$			25	ns
$t_d(DX)$			25	ns
$t_{dis}(DX)$			40	ns
$t_c(SCK)$		8H		ns
$t_f(SCK)$		5		ns
$t_r(SCK)$		5		ns
$t_w(SCK)$	4H – 20			ns
$t_h(DX)$	-5			ns

Note: Internal clock with external FSX and vice versa are also allowable. However, FSX timings to CLKX are always defined depending on the source of FSX, and CLKX timings are always dependent upon the source of CLKX. Specifically, the relationship of FSX to CLKX is independent of the source of CLKX. Table A-20 shows external FSX and external CLKX timings; Table A-21 shows internal FSX and internal CLKX timings.

Figure A-17. Serial Port Transmit Timing of Internal Clocks and Internal Frames



A.3.13 Serial Port Receive Timing in TDM Mode

Table A-22. Timing Requirements Over Recommended Operating Conditions
($H = 0.5t_{c(CO)}$)

Parameter	Min	Max	Unit
$t_{c(SCK)}$ Serial port clock cycle time	5.2H	[§]	ns
$t_f(SCK)$ Serial port clock fall time		8 [#]	ns
$t_r(SCK)$ Serial port clock rise time		8 [#]	ns
$t_w(SCK)$ Serial port clock low/high pulse duration	2.1H		ns
$t_{su(LB)}$ TDAT/TADD setup time before TCLK rising	30		ns
$t_h(LB)$ TDAT/TADD hold time after TCLK rising	-5		ns
$t_{su(SB)}$ TDAT/TADD setup time before TCLK rising [†]	25		ns
$t_h(SB)$ TDAT/TADD hold time after TCLK rising [†]	0		ns
$t_{su(FS)}$ TRFM setup time before TCLK rising edge [‡]	10		ns
$t_h(FS)$ TRFM hold time after TCLK rising edge [‡]	10		ns

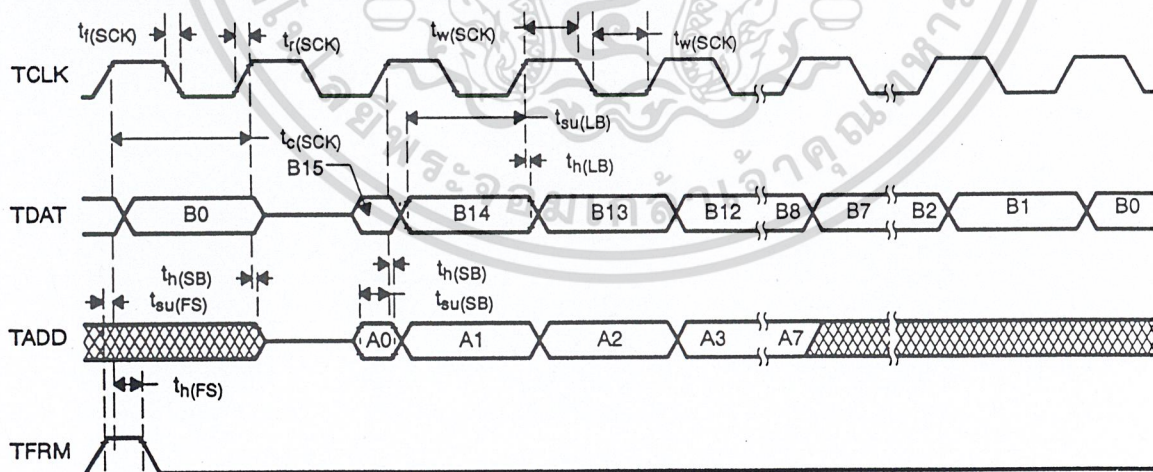
[†] These parameters apply only to the first bits in the serial bit string.

[‡] TRFM timing and waveforms shown in Figure A-18 are for external TRFM. TRFM can also be configured as internal. The TRFM internal case is illustrated in the transmit timing diagram in Figure A-19.

[§] The serial port design is fully static and therefore can operate with $t_{c(SCK)}$ approaching ∞ . It is characterized approaching an input frequency of 0 Hz but tested at a much higher frequency to minimize test time.

[#] Values derived from characterization data and are not tested.

Figure A-18. Serial Port Receive Timing in TDM Mode



Clock Characteristics and Timing

A.3.14 Serial Port Transmit Timing in TDM Mode

Table A-23. Switching Characteristics Over Recommended Operating Conditions
($S = 0.5t_{c(SCK)}$)

Parameter	Min	Typ	Max	Unit
$t_{h(AD)}$	Hold time, TDAT/TADD valid after TCLK rising	-2		ns
$t_{d(FS)}$	Delay time, TFRM valid after TCLK rising ‡	H	3H+10	ns
$t_{d(AD)}$	Delay time, TCLK to valid TDAT/TADD		25	ns

† These parameters apply only to the first bits in the serial bit string.

‡ TFRM timing and waveforms shown in Figure A-19 are for internal TFRM. TFRM can also be configured as external, and the TFRM external case is illustrated in the receive timing diagram in Figure A-18.

Table A-24. Timing Requirements Over Recommended Operating Conditions
($H = 0.5t_{c(CO)}$)

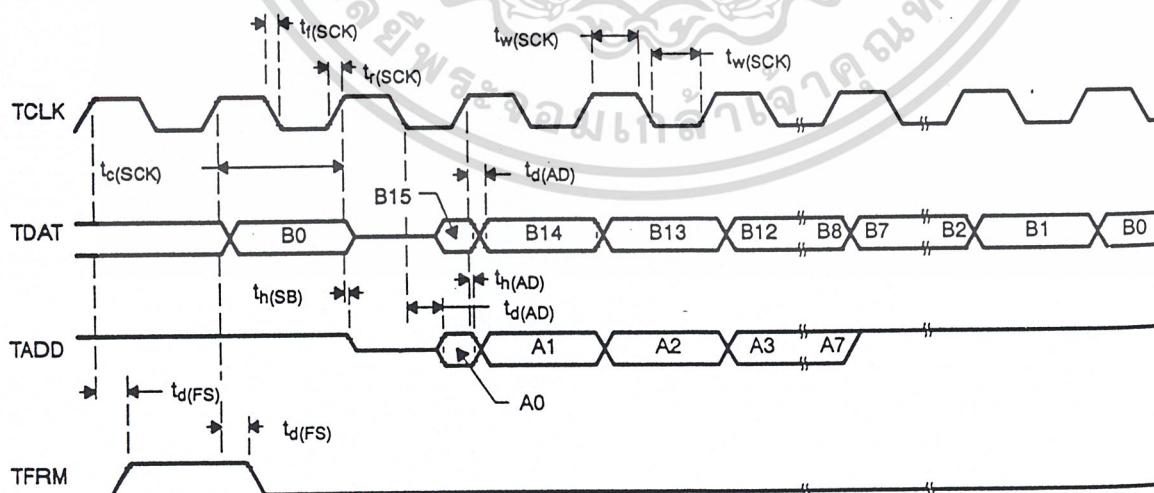
Parameter	Min	Typ	Max	Unit
$t_{c(SCK)}$	Serial port clock cycle time	5.2H	8H†	ns
$t_f(SCK)$	Serial port clock fall time		8#	ns
$t_r(SCK)$	Serial port clock rise time		8#	ns
$t_w(SCK)$	Serial port clock low/high pulse duration	2.1H		ns

† When SCK is generated internally.

‡ The serial port design is fully static and therefore can operate with $t_{c(SCK)}$ approaching ∞ . It is characterized approaching an input frequency of 0 Hz but tested at a much higher frequency to minimize test time.

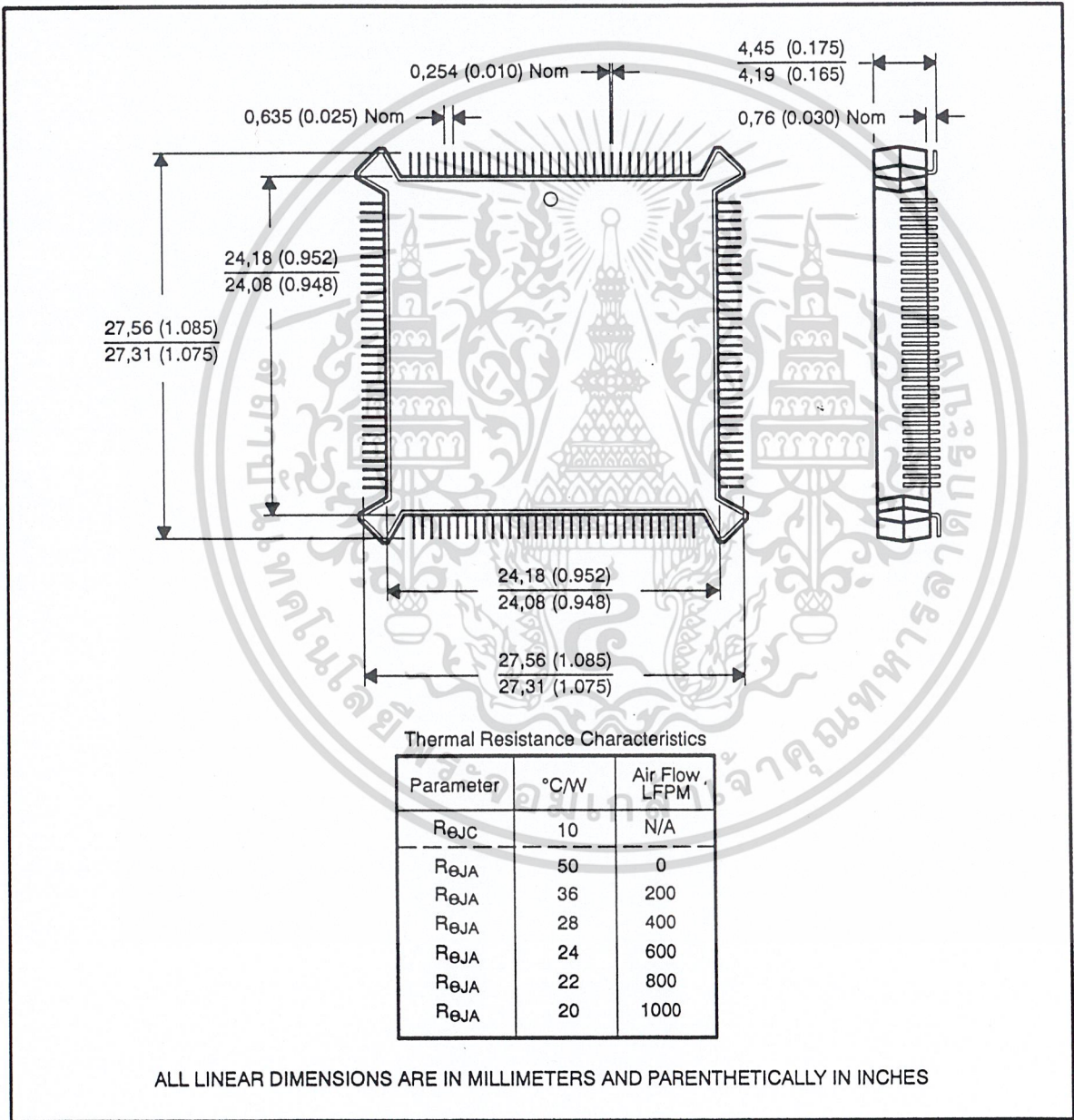
Values derived from characterization data and are not tested.

Figure A-19. Serial Port Transmit Timing in TDM Mode



A.4 Mechanical Data

Figure A–20. 132-Pin Quad Flat Pack Plastic Package



Note: The contact points are within 0,15 (0.006) of being planar.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Appendix B

External Interface Timings

This appendix discusses functional timing operations on the external memory interface bus. Detailed timing specifications for all 'C5x signals are contained in Appendix A, *Electrical Specifications*.

The 'C5x memory is organized into four selectable spaces: program, local data, global data, and I/O space. These spaces are multiplexed through a 16-bit data bus and a 16-bit address bus. Each space is selected by its corresponding select signal: data select (DS), program select (PS), and I/O space select (IS). Global data memory accesses are distinguished by the bus request (BR) pin. The read and write diagrams shown apply to accesses to all spaces.

B.1 Read/Write Timings

All bus cycles comprise integral numbers of CLKOUT1 cycles. One CLKOUT1 cycle is defined to be from one falling edge of CLKOUT1 to the next falling edge of CLKOUT1. For full-speed, zero-wait state operation, reads require one cycle and writes require two cycles. A write immediately preceded by a read or immediately followed by a read requires three bus cycles.

For read cycles, $\overline{\text{STRB}}$ goes low and ADDRESS becomes valid with the falling edge of CLKOUT1. The $\overline{\text{RD}}$ signal then goes low with the rising edge of CLKOUT1 and goes high again at the next falling edge of CLKOUT1 (for zero wait-states read cycles). For one more wait state (multicycle) read, $\overline{\text{RD}}$ stays low but goes high again with the falling edge of CLKOUT1 before the next cycle, even if the cycles are contiguous. Read data is sampled at the rising edge of $\overline{\text{RD}}$.

The R/W signal goes high at least one half CLKOUT1 cycle before any read cycle; for contiguous read cycles, $\overline{\text{STRB}}$ stays low. At the end of a read cycle or sequence of reads, $\overline{\text{STRB}}$ goes high along with $\overline{\text{RD}}$ on the falling edge of CLKOUT1.

Write cycles always have at least one inactive (pad) cycle of CLKOUT1 before and after the actual write operation, including contiguous writes. This allows a smooth transition between the write and any adjacent bus operations as well as other writes. For this pad cycle, $\overline{\text{STRB}}$ and $\overline{\text{WE}}$ are always high. The R/W signal always changes state on the rising edge of CLKOUT1 during the pad cycle before and after a write or sequence of writes. This prevents bus contention when making the transition between read and write operations. Note that for a sequence of contiguous writes, R/W stays low.

Timing of valid addresses for writes differs, depending on what activities occur before and after the write; between writes, and for the first and last write in a series, valid ADDRESS occurs on the rising edge of CLKOUT1. If a read immediately follows a write or series of writes, valid ADDRESS for that read cycle occurs one half CLKOUT1 cycle early — that is, on the rising edge, rather than on the falling edge, of CLKOUT1. Note that this is an exception to the usual read cycle address timing.

For the actual write operation, $\overline{\text{STRB}}$ and $\overline{\text{WE}}$ both go low on the falling edge of CLKOUT1 and stay low until the next falling edge of CLKOUT1 (for zero wait-state write cycles). For one or more wait-state (multicycle) writes, $\overline{\text{STRB}}$ and $\overline{\text{WE}}$ remain low but go high again on the falling edge of CLKOUT1 at the beginning of the pad cycle. Write data is driven approximately at the falling edge of $\overline{\text{STRB}}$ and $\overline{\text{WE}}$ and is held for approximately one half cycle of CLKOUT1 after $\overline{\text{STRB}}$ and $\overline{\text{WE}}$ go high (see Appendix A for actual timing specifications).

Note that transitions on the external parallel interface control outputs (CLKOUT1, $\overline{\text{STRB}}$, $\overline{\text{WE}}$, and $\overline{\text{RD}}$) are all initiated by the same two internal

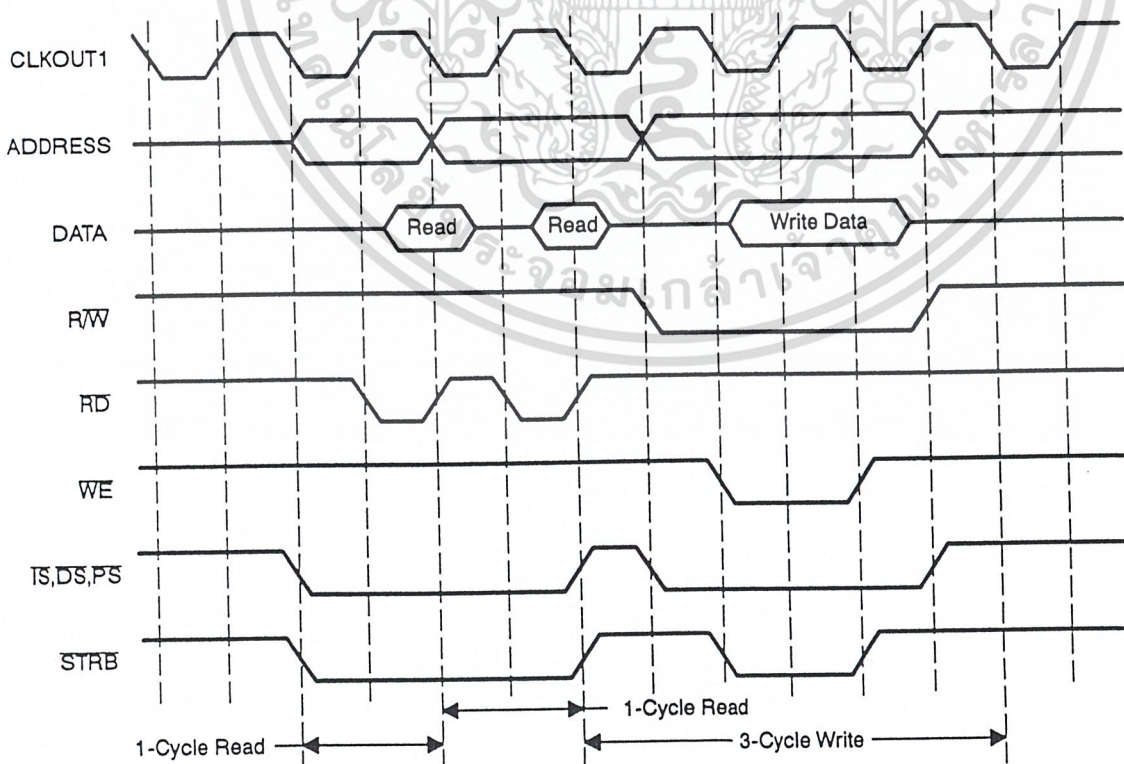
clocks. Since these signals also use the same output buffer circuitry, they all switch within close tolerances of each other, as specified in Appendix A.

Transitions on the address bus and other related outputs (IS, PS, DS, R/W, and BR) are initiated by the same internal signals that cause transitions on the control outputs; however, the internal device logic used to generate these outputs differs somewhat from the circuitry used for the control outputs. Because of this, transitions on the address bus and related outputs typically occur somewhat later than control-line transitions.

Timings of control outputs with respect to CLKOUT1 are specified in Appendix A; address timing with respect to CLKOUT1 can be derived from timings provided for address with respect to control signals and control signal timing with respect to CLKOUT1. Therefore, for example, the delay from CLKOUT1 falling to address bus valid at the beginning of a read cycle is calculated as $[H - t_{su(A)R}] + \text{maximum positive RD to CLKOUT1 skew}$ (refer to Appendix A for specific timing values). Other interface timings with respect to CLKOUT1 can be calculated in the same manner.

The following timing diagrams illustrate the varieties of logical timings for both read and write cycles in various orders.

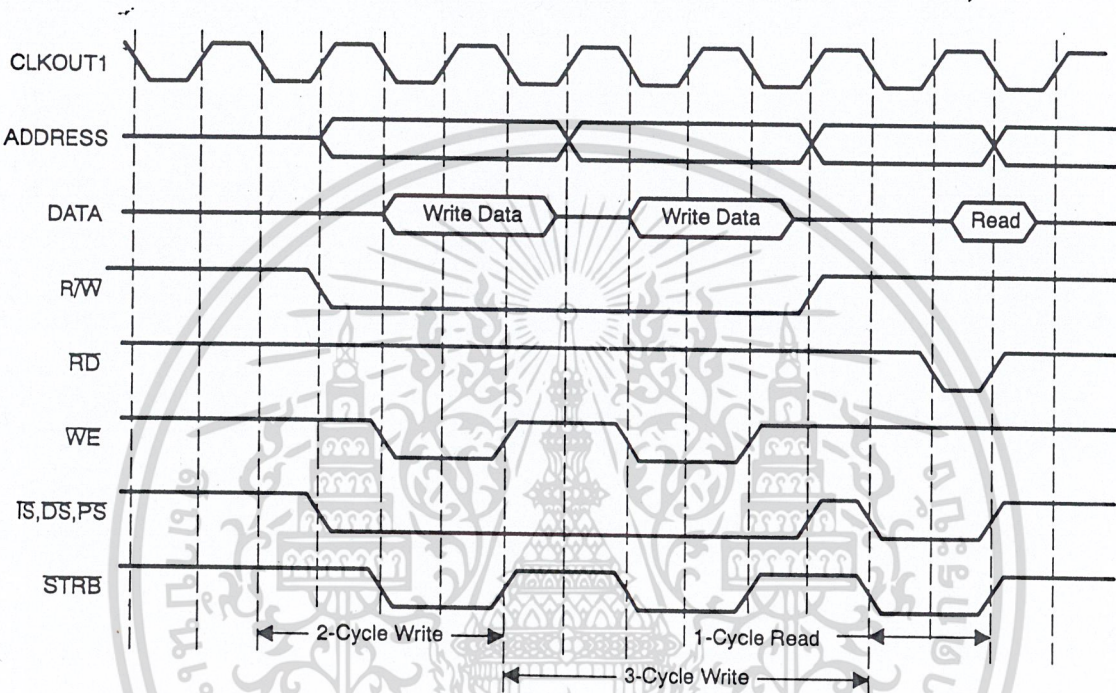
Figure B-1. Memory Interface Operation for Read-Read-Write (0 Wait States)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

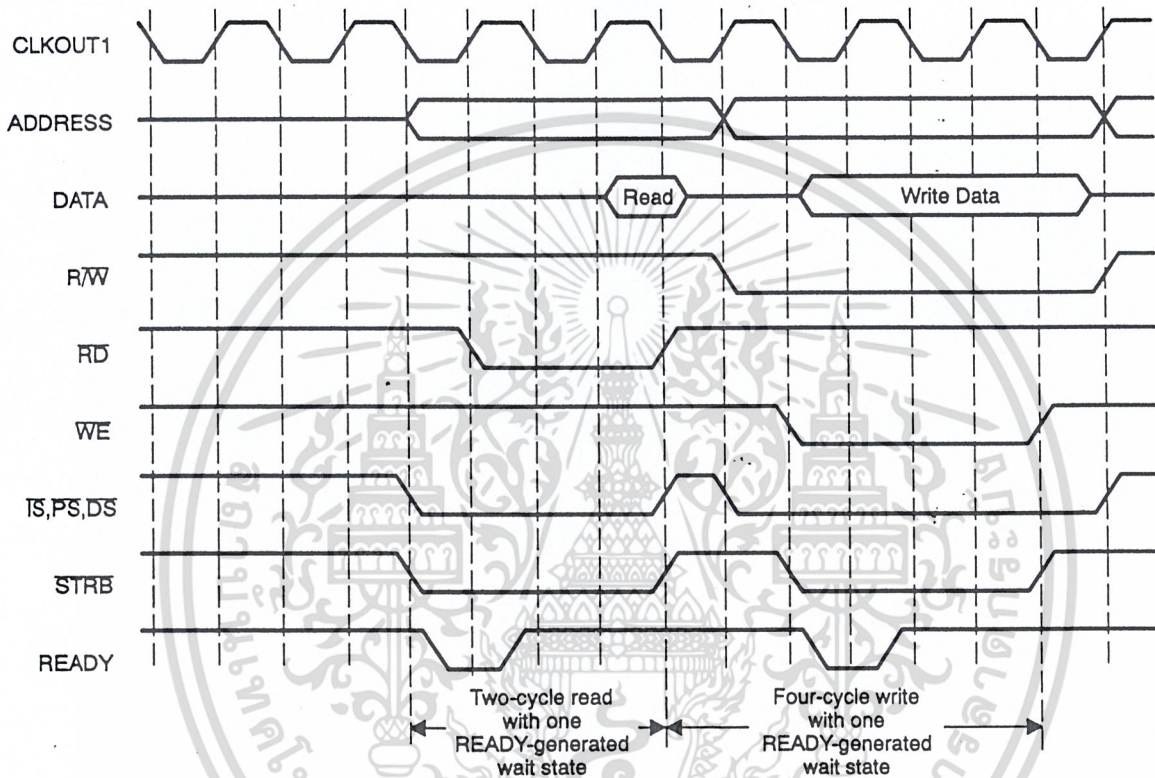
Read/Write Timings

Figure B-2. Memory Interface Operation for Write-Write-Read (0 Wait States)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure B-3. Memory Interface Operation for Read-Write (1 Wait State)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



XR-2206

Monolithic
Function Generator

June 1997-3

FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2206M	16 Lead 300 Mil CDIP	-55°C to +125°C
XR-2206P	16 Lead 300 Mil PDIP	-40°C to +85°C
XR-2206CP	16 Lead 300 Mil PDIP	0°C to +70°C
XR-2206D	16 Lead 300 Mil JEDEC SOIC	0°C to +70°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

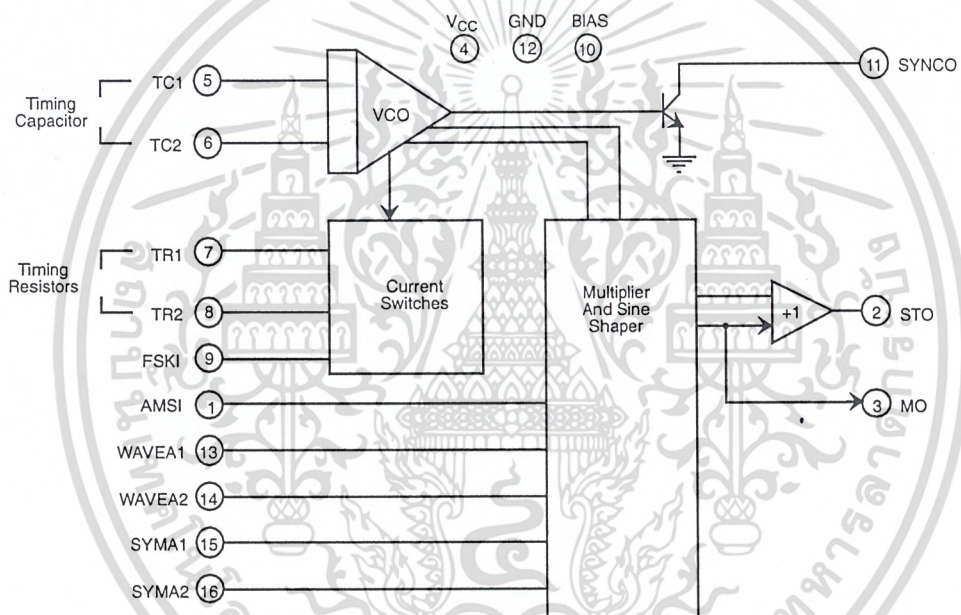
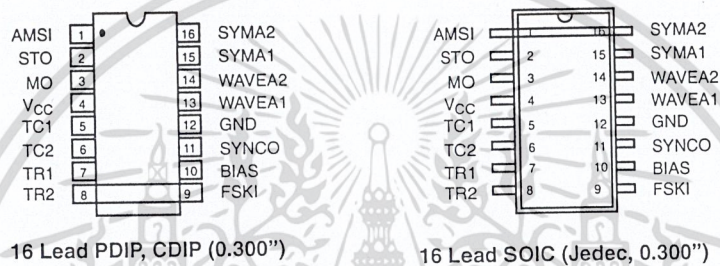
XR-2206**EXAR**

Figure 1. XR-2206 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



XR-2206



PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	AMSI	I	Amplitude Modulating Signal Input.
2	STO	O	Sine or Triangle Wave Output.
3	MO	O	Multiplier Output.
4	V _{CC}		Positive Power Supply.
5	TC1	I	Timing Capacitor Input.
6	TC2	I	Timing Capacitor Input.
7	TR1	O	Timing Resistor 1 Output.
8	TR2	O	Timing Resistor 2 Output.
9	FSKI	I	Frequency Shift Keying Input.
10	BIAS	O	Internal Voltage Reference.
11	SYNCO	O	Sync Output. This output is a open collector and needs a pull up resistor to V _{CC} .
12	GND		Ground pin.
13	WAVEA1	I	Wave Form Adjust Input 1.
14	WAVEA2	I	Wave Form Adjust Input 2.
15	SYMA1	I	Wave Symetry Adjust 1.
16	SYMA2	I	Wave Symetry Adjust 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206



DC ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 2 $V_{CC} = 12V$, $T_A = 25^\circ C$, $C = 0.01\mu F$, $R_1 = 100k\Omega$, $R_2 = 10k\Omega$, $R_3 = 25k\Omega$
Unless Otherwise Specified. S_1 open for triangle, closed for sine wave.

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
General Characteristics								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	R ₁ ≥ 10kΩ
Oscillator Section								
Max. Operating Frequency	0.5	1		0.5	1		MHz	C = 1000pF, R ₁ = 1kΩ
Lowest Practical Frequency		0.01			0.01		Hz	C = 50μF, R ₁ = 2MΩ
Frequency Accuracy		±1	±4		±2		% of f ₀	f ₀ = 1/R ₁ C
Temperature Stability Frequency		±10	±50		±20		ppm/°C	0°C ≤ T _A ≤ 70°C R ₁ = R ₂ = 20kΩ
Sine Wave Amplitude Stability ²		4800			4800		ppm/°C	
Supply Sensitivity		0.01	0.1		0.01		%/V	V _{LOW} = 10V, V _{HIGH} = 20V, R ₁ = R ₂ = 20kΩ
Sweep Range	1000:1	2000:1			2000:1		f _H = f _L	f _H * @ R ₁ = 1kΩ f _L @ R ₁ = 2MΩ
Sweep Linearity								
10:1 Sweep		2			2		%	f _L = 1kHz, f _H = 10kHz
1000:1 Sweep		8			8		%	f _L = 100Hz, f _H = 100kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	μF	Figure 5
Timing Resistors: R ₁ & R ₂	1		2000	1		2000	kΩ	
Triangle Sine Wave Output ¹								Figure 3
Triangle Amplitude		160			160		mV/kΩ	Figure 2, S ₁ Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	Figure 2, S ₁ Closed
Max. Output Swing		6			6		V _{p-p}	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	R ₁ = 30kΩ
With Adjustment		0.4	1.0		0.5	1.5	%	See Figure 7 and Figure 8

Notes

¹ Output amplitude is directly proportional to the resistance, R_3 , on Pin 3. See Figure 3.

² For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

Bold face parameters are covered by production test and guaranteed over operating temperature range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



XR-2206

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		ns	C _L = 10pF
Fall Time		50			50		ns	C _L = 10pF
Saturation Voltage		0.2	0.4		0.2	0.6	V	I _L = 2mA
Leakage Current		0.1	20		0.1	100	μA	V _{CC} = 26V
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Notes

¹ Output amplitude is directly proportional to the resistance, R_3 , on Pin 3. See Figure 3.

² For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

Bold face parameters are covered by production test and guaranteed over operating temperature range.

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V	Total Timing Current	6mA
Power Dissipation	750mW	Storage Temperature	-65°C to +150°C
Derate Above 25°C	5mW/°C		

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO produces an output frequency proportional to an input current, which is set by a resistor from the timing

terminals to ground. With two timing pins, two discrete output frequencies can be independently produced for FSK generation applications by using the FSK input control pin. This input controls the current switches which select one of the timing resistor currents, and routes it to the VCO.

XR-2206

EXAR

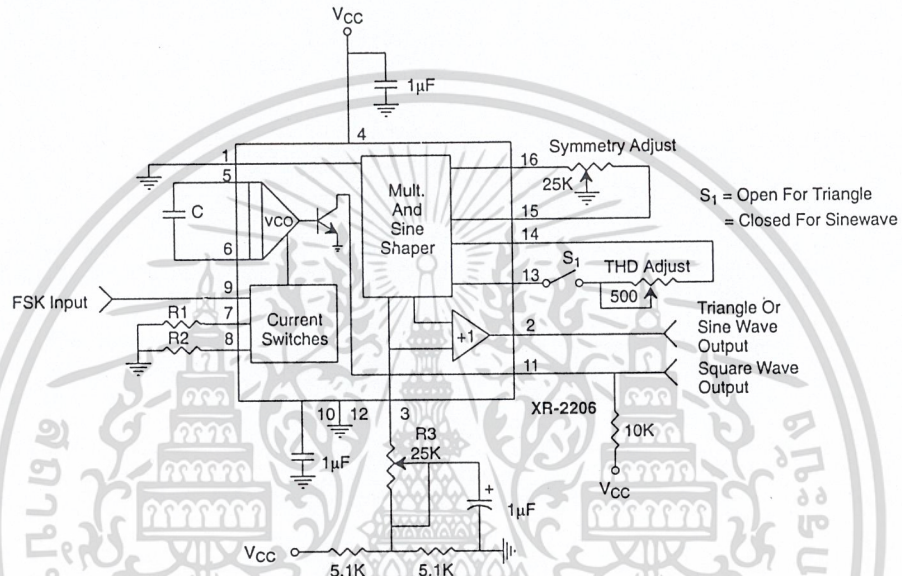


Figure 2. Basic Test Circuit

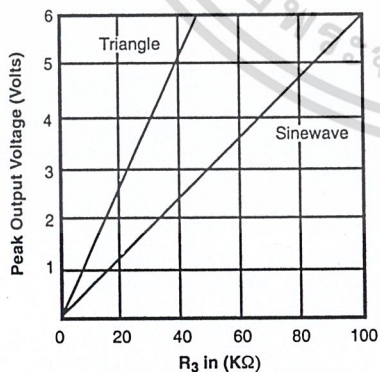


Figure 3. Output Amplitude as a Function of the Resistor, R3, at Pin 3

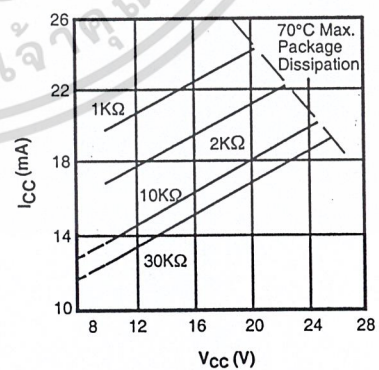


Figure 4. Supply Current vs Supply Voltage, Timing, R

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

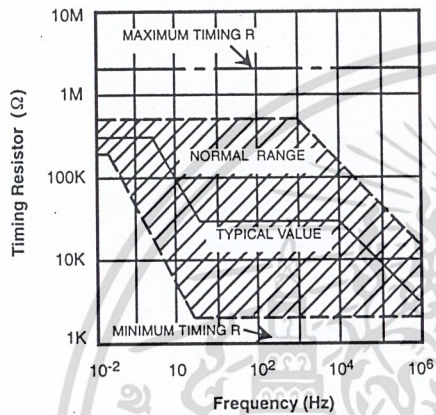
EXAR
XR-2206


Figure 5. R versus Oscillation Frequency.

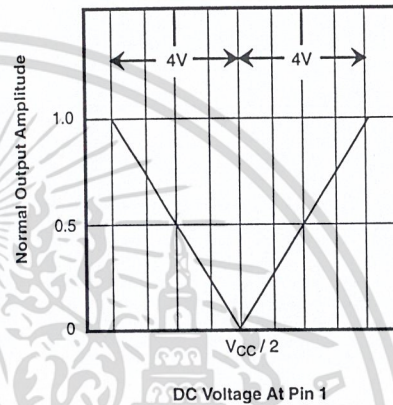


Figure 6. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1)

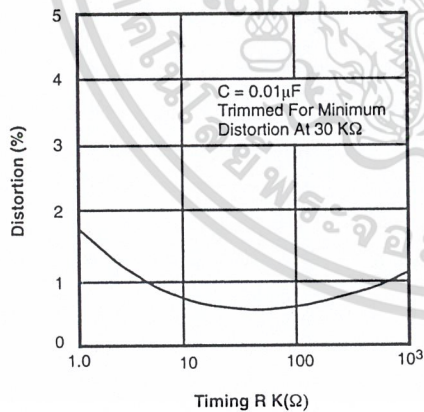


Figure 7. Trimmed Distortion versus Timing Resistor.

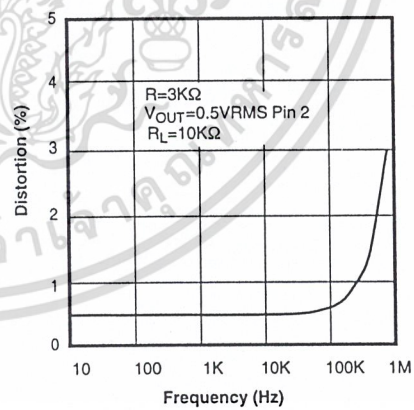


Figure 8. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

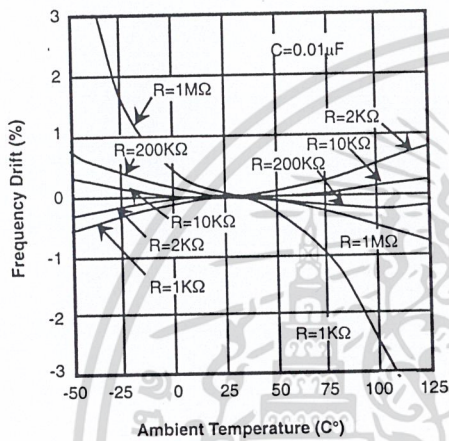
XR-2206**EXAR**

Figure 9. Frequency Drift versus Temperature.

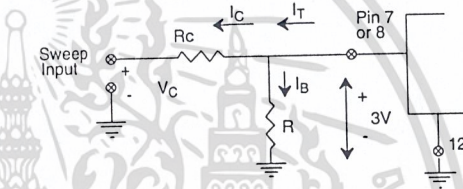


Figure 10. Circuit Connection for Frequency Sweep.

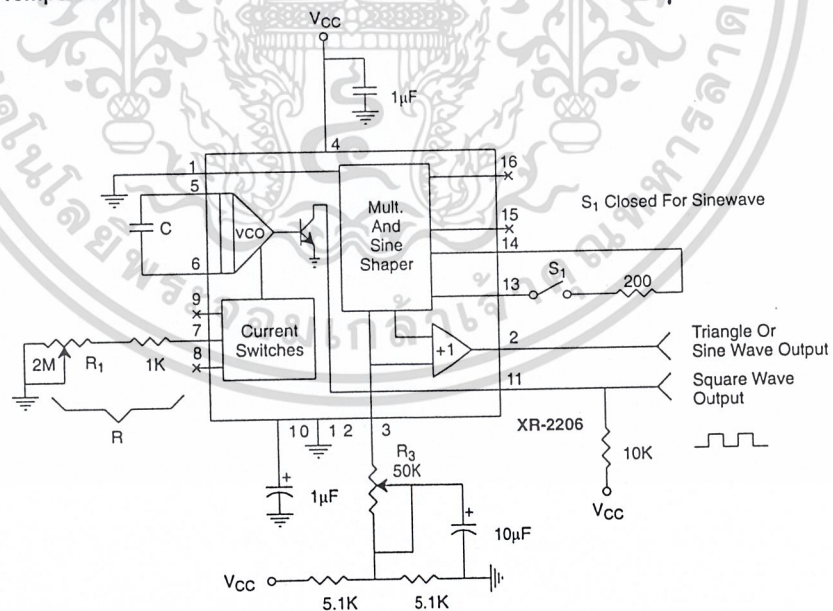


Figure 11. Circuit for Sine Wave Generation without External Adjustment.
(See Figure 3 for Choice of R_3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

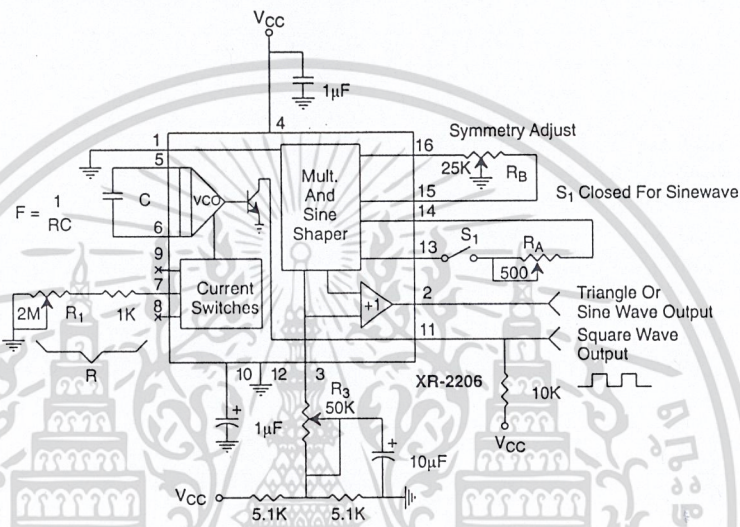


Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion.
(R_3 Determines Output Swing - See Figure 3)

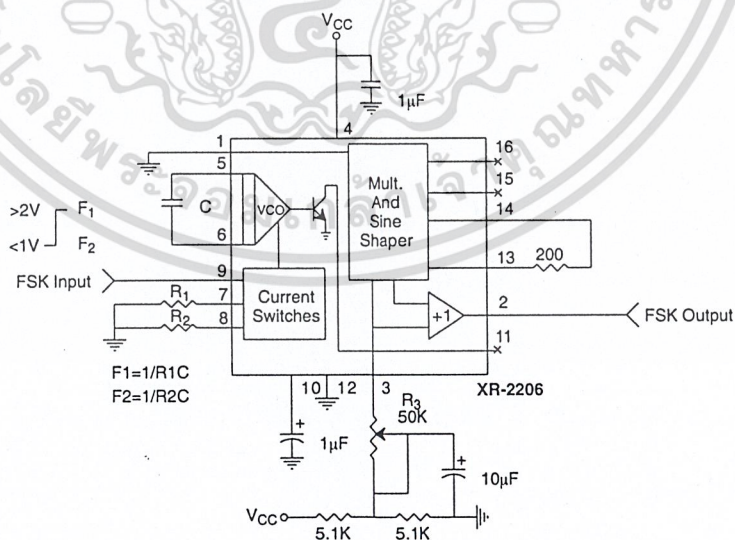


Figure 13. Sinusoidal FSK Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

EXAR

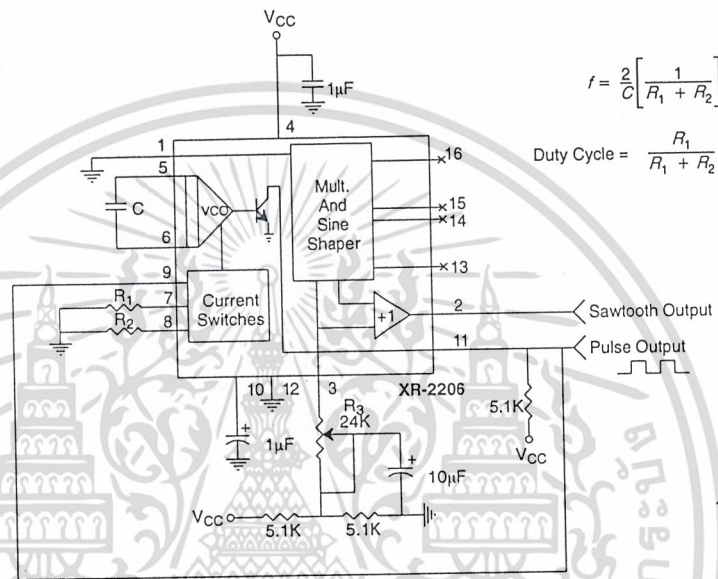


Figure 14. Circuit for Pulse and Ramp Generation.

Frequency-Shift Keying

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2 , connected to the timing Pin 7 and 8, respectively, as shown in Figure 13. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq 2V$, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq 1V$, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2 , as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^- .

Output DC Level Control

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figure 11, Figure 12 and Figure 13, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment

Figure 11 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is $< 2.5\%$. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 11 can be converted to split-supply operation, simply by replacing all ground connections with V^- . For split-supply operation, R_3 can be directly connected to ground.



XR-2206

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to -0.5% by additional adjustments as shown in *Figure 12*. The potentiometer, R_A , adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of *Figure 11* and *Figure 12* can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 13 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted by the choice of timing resistors, R_1 and R_2 ; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^- .

Pulse and Ramp Generation

Figure 14 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99% by the choice of R_1 and R_2 . The values of R_1 and R_2 should be in the range of $1k\Omega$ to $2M\Omega$.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o , is determined by the external timing capacitor, C , across Pin 5 and 6, and by the timing resistor, R , connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C . The recommended values of R , for a given frequency range, as shown in *Figure 5*. Temperature stability is optimum for $4k\Omega < R < 200k\Omega$. Recommended values of C are from $1000pF$ to $100\mu F$.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T , drawn from Pin 7 or 8:

$$f = \frac{320I_T(mA)}{C(\mu F)} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T , over a wide range of current values, from $1\mu A$ to $3mA$. The frequency can be controlled by applying a control voltage, V_C , to the activated timing pin as shown in *Figure 10*. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC} \left(1 + \frac{R}{R_c} \left(1 - \frac{V_C}{3} \right) \right) \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K , is given as:

$$K = \partial f / \partial V_C = -\frac{0.32}{R_c C} \text{ Hz/V}$$

CAUTION: For safety operation of the circuit, I_T should be limited to $\leq 3mA$.

XR-2206

EXAR

Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, R_3 , connected to Pin 3 (see Figure 3). For sine wave output, amplitude is approximately 60mV peak per k Ω of R_3 ; for triangle, the peak amplitude is approximately 160mV peak per k Ω of R_3 . Thus, for example, $R_3 = 50\text{k}\Omega$ would produce approximately 13V sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance

at Pin 1 is approximately 100k Ω . Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within 14 volts of $V_{CC}/2$ as shown in Figure 6. As this bias level approaches $V_{CC}/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V_{CC} .

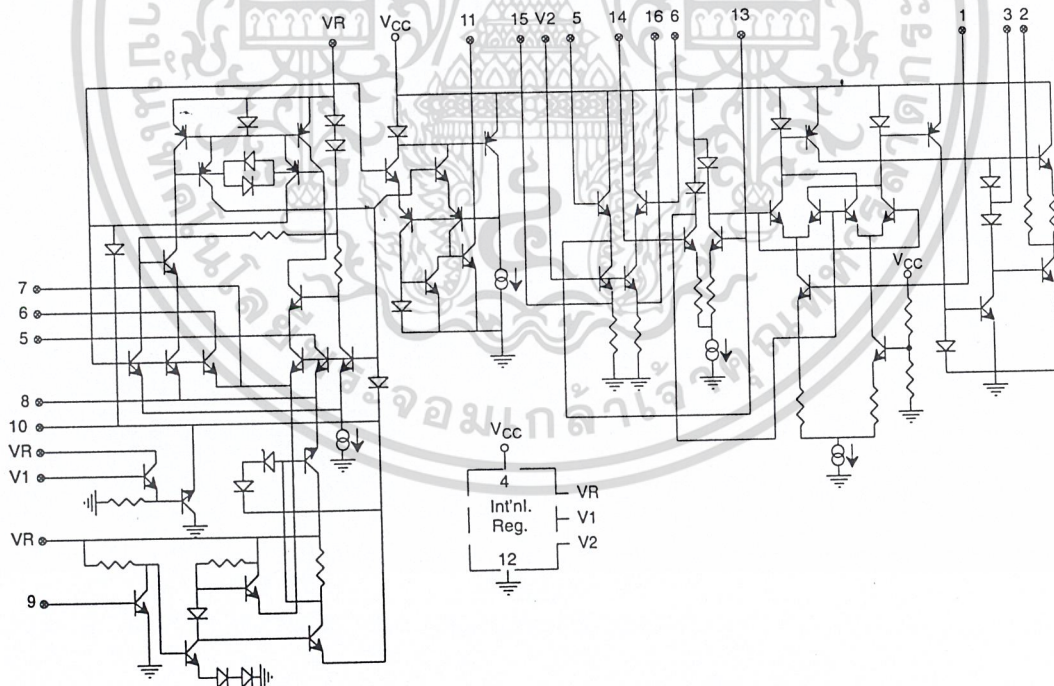


Figure 15. Equivalent Schematic Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

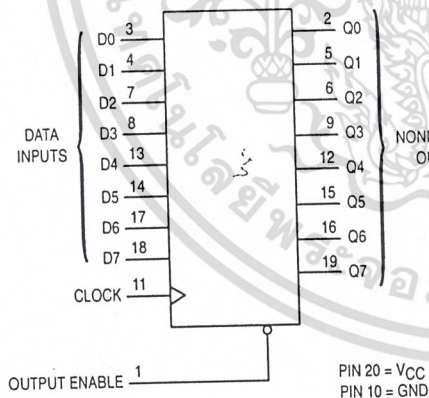
Octal 3-State Non-Inverting D Flip-Flop High-Performance Silicon-Gate CMOS

The MC54/74HC374A is identical in pinout to the LS374. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

Data meeting the setup time is clocked to the outputs with the rising edge of the clock. The Output Enable input does not affect the states of the flip-flops, but when Output Enable is high, the outputs are forced to the high-impedance state; thus, data may be stored even when the outputs are not enabled.

The HC374A is identical in function to the HC574A which has the input pins on the opposite side of the package from the output. This device is similar in function to the HC534A which has inverting outputs.

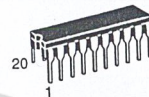
- Output Drive Capability: 15 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2.0 to 6.0 V
- Low Input Current: 1.0 μ A
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 266 FETs or 66.5 Equivalent Gates

LOGIC DIAGRAM

FUNCTION TABLE

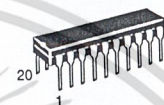
Inputs			Output
Output Enable	Clock	D	Q
L		H	H
L		L	L
L	L,H,	X	No Change
H	X	X	Z

X = don't care
Z = high impedance

MC54/74HC374A



J SUFFIX
CERAMIC PACKAGE
CASE 732-03



N SUFFIX
PLASTIC PACKAGE
CASE 738-03



DW SUFFIX
SOIC PACKAGE
CASE 751D-04



SD SUFFIX
SSOP PACKAGE
CASE 940C-03



DT SUFFIX
TSSOP PACKAGE
CASE 948E-02

ORDERING INFORMATION

MC54HCXXXAJ	Ceramic
MC74HCXXXAN	Plastic
MC74HCXXXADW	SOIC
MC74HCXXXASD	SSOP
MC74HCXXXADT	TSSOP

PIN ASSIGNMENT

OUTPUT ENABLE	1	20	VCC
Q0	2	19	Q7
D0	3	18	D7
D1	4	17	D6
Q1	5	16	Q6
Q2	6	15	Q5
D2	7	14	D5
D3	8	13	D4
Q3	9	12	Q4
GND	10	11	CLOCK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC374A

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	- 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	- 0.5 to $V_{CC} + 0.5$	V
V_{out}	DC Output Voltage (Referenced to GND)	- 0.5 to $V_{CC} + 0.5$	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 35	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 75	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package† SSOP or TSSOP Package†	750 500 450	mW
T_{stg}	Storage Temperature	- 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP, SOIC, SSOP or TSSOP Package) (Ceramic DIP)	260 300	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $GND \leq (V_{in} \text{ or } V_{out}) \leq V_{CC}$. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

† Derating — Plastic DIP: - 10 mW/°C from 65° to 125°C
Ceramic DIP: - 10 mW/°C from 100° to 125°C
SOIC Package: - 7 mW/°C from 65° to 125°C
SSOP or TSSOP Package: - 6.1 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit	
V _{CC}	DC Supply Voltage (Referenced to GND)	2.0	6.0	V	
V _{in} , V _{out}	DC Input Voltage, Output Voltage (Referenced to GND)	0	V _{CC}	V	
T _A	Operating Temperature, All Package Types	− 55	+ 125	°C	
t _r , t _f	Input Rise and Fall Time (Figure 1)	V _{CC} = 2.0 V V _{CC} = 4.5 V V _{CC} = 6.0 V	0 0 0	1000 500 400	ns

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				- 55 to 25°C	$\leq 85^\circ\text{C}$	$\leq 125^\circ\text{C}$	
V_{IH}	Minimum High-Level Input Voltage	$V_{out} = 0.1 \text{ V or } V_{CC} - 0.1 \text{ V}$ $ I_{out} \leq 20 \mu\text{A}$	2.0 3.0 4.5 6.0	1.50 2.10 3.15 4.20	1.50 2.10 3.15 4.20	1.50 2.10 3.15 4.20	V
V_{IL}	Maximum Low-Level Input Voltage	$V_{out} = 0.1 \text{ V or } V_{CC} - 0.1 \text{ V}$ $ I_{out} \leq 20 \mu\text{A}$	2.0 3.0 4.5 6.0	0.50 0.90 1.35 1.80	0.50 0.90 1.35 1.80	0.50 0.90 1.35 1.80	V
V_{OH}	Minimum High-Level Output Voltage	$V_{in} = V_{IH} \text{ or } V_{IL}$ $ I_{out} \leq 20 \mu\text{A}$	2.0 4.5 6.0	1.90 4.40 5.90	1.90 4.40 5.90	1.90 4.40 5.90	V
		$V_{in} = V_{IH} \text{ or } V_{IL}$ $ I_{out} \leq 2.4 \text{ mA}$ $ I_{out} \leq 6.0 \text{ mA}$ $ I_{out} \leq 7.8 \text{ mA}$	3.0 4.5 6.0	2.48 2.98 5.48	2.34 3.84 5.34	2.20 3.70 5.20	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V _{CC} V	Guaranteed Limit			Unit
				- 55 to 25°C	≤ 85°C	≤ 125°C	
V _{OL}	Maximum Low-Level Output Voltage	V _{in} = V _{IH} or V _{IL} I _{out} ≤ 20 μA	2.0	0.10	0.10	0.10	V
			4.5	0.10	0.10	0.10	
			6.0	0.10	0.10	0.10	
		V _{in} = V _{IH} or V _{IL} I _{out} ≤ 2.4 mA I _{out} ≤ 6.0 mA I _{out} ≤ 7.8 mA	3.0	0.26	0.33	0.40	V
			4.5	0.26	0.33	0.40	
			6.0	0.26	0.33	0.40	
I _{in}	Maximum Input Leakage Current	V _{in} = V _{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA
I _{OZ}	Maximum Three-State Leakage Current	Output in High-Impedance State V _{in} = V _{IL} or V _{IH} V _{out} = V _{CC} or GND	6.0	± 0.5	± 5.0	± 10	μA
I _{CC}	Maximum Quiescent Supply Current (per Package)	V _{in} = V _{CC} or GND I _{out} = 0 μA	6.0	4	40	160	μA

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input t_r = t_f = 6.0 ns)

Symbol	Parameter	V _{CC} V	Guaranteed Limit			Unit
			- 55 to 25°C	≤ 85°C	≤ 125°C	
f _{max}	Maximum Clock Frequency (50% Duty Cycle)	2.0	6	5	4	MHz
		3.0	15	10	8	
		4.5	30	24	20	
		6.0	35	28	24	
t _{PLH} t _{PHL}	Maximum Propagation Delay, Input Clock to Q (Figures 1 and 5)	2.0	125	155	190	ns
		3.0	80	110	130	
		4.5	25	31	38	
		6.0	21	26	32	
t _{PLZ} t _{PHZ}	Maximum Propagation Delay, Output Enable to Q (Figures 3 and 6)	2.0	150	190	225	ns
		3.0	100	125	150	
		4.5	30	38	45	
		6.0	26	33	38	
t _{PLZ} t _{PHZ}	Maximum Propagation Delay, Output Enable to Q (Figures 3 and 6)	2.0	150	190	225	ns
		3.0	100	125	150	
		4.5	30	38	45	
		6.0	26	33	38	
t _{TLH} t _{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 5)	2.0	75	95	110	ns
		3.0	27	32	36	
		4.5	15	19	22	
		6.0	13	16	19	
C _{in}	Maximum Input Capacitance		10	10	10	pF
C _{out}	Maximum Three-State Output Capacitance (Output in High-Impedance State)		15	15	15	pF

NOTE: For propagation delays with loads other than 50 pF, and information on typical parametric values, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

C _{PD}	Power Dissipation Capacitance (Per Enabled Output)*	Typical @ 25°C, V _{CC} = 5.0 V	
		34	pF

* Used to determine the no-load dynamic power consumption: P_D = C_{PD} V_{CC}² f + I_{CC} V_{CC}. For load considerations, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. กิตติ ตรีเศรษฐ์, การวิเคราะห์ระบบควบคุมเชิงเส้น, คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, กรุงเทพมหานคร 2540
2. กิตติ ภัคดีวัฒนกุล และ จำลอง ครุธตสาหะ, Visual Basic 5.0 ฉบับโปรแกรมเมอร์, กรุงเทพมหานคร : ไทยเจริญการพิมพ์, 2541
3. โครงการเครื่องมือวัด, ฟังก์ชันเจนเนอเรเตอร์, กรุงเทพมหานคร : ซีเอ็ดยูเคชั่น, 2539, หน้า 127 - 134
4. เซมิคอนดักเตอร์อิเล็กทรอนิกส์, โครงการเครื่องจ่ายไฟ, กรุงเทพมหานคร : ซีเอ็ดยูเคชั่น, 2538, หน้า 35 - 42
5. นรินทร์ เนาวประทีป, ออปแอมป์, กรุงเทพมหานคร : สำนักพิมพ์ฟิสิกส์เซ็นเตอร์, มปป
6. พุศิกดิ์ ชิวสุวิทย์, ระบบควบคุมป้อนกลับ, คณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, กรุงเทพมหานคร
7. ผศ. สมยศ จุณณะปิยะ, การใช้งานไมโครคอนโทรลเลอร์ตระกูล MCS-51, คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, กรุงเทพมหานคร : 2537
8. Digital Signal Processing Products, TMS320C5X User's Guide, Texas Instruments : 1993
9. Microprocessor Development Systems, TMS320C5X DSP Starter Kit User's Guide, Texas Instruments : 1994

ประวัติผู้แต่ง



ชื่อผู้ทำปริญญานิพนธ์

นายนิมิตร กรนุ้ม

วัน เดือน ปี เกิด

1 เมษายน 2520

สถานที่เกิด

จังหวัดสมุทรปราการ

ภูมิลำเนาเดิม

58 / 1 ม. 5 ต. ในคลองบางปลากด อ. พระสมุทรเจดีย์
จ. สมุทรปราการ 10290

ที่อยู่ปัจจุบัน

204 ม. 9 5 ต. ในคลองบางปลากด อ. พระสมุทรเจดีย์
จ. สมุทรปราการ 10290

โทรศัพท์

(02) 8161680

ประวัติการศึกษา

ประถมศึกษา

โรงเรียนวัดใหญ่

มัธยมศึกษาตอนต้น

โรงเรียนป้อมนาคราชสวนยานนท์

ประกาศนียบัตรวิชาชีพ (ปวช.)

วิทยาลัยเทคนิคสมุทรปราการ

ประกาศนียบัตรวิชาชีพ ชั้นสูง (ปวส.)

วิทยาลัยเทคนิคสมุทรปราการ

ปริญญาตรี

สาขาเทคโนโลยีการวัดคุมทางอุตสาหกรรม

ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

ผลงานที่ได้รับรางวัล

-

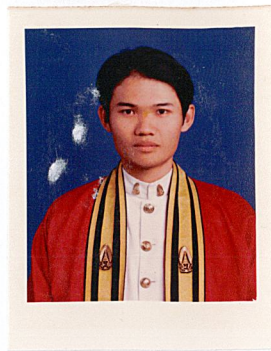
คติพจน์

เมื่อพระเจ้าปิดประตู

พระเจ้ายักษ์จะแง้มหน้าต่างไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อผู้ทำปริญญานิพนธ์

นายประสิทธิ์ พรหมมาเกิด

วัน เดือน ปี เกิด

4 ตุลาคม 2519

สถานที่เกิด

จังหวัดชลบุรี

ภูมิลำเนาเดิม

605 ม. 1 ต. หนองขาม อ. ศรีราชา จ. ชลบุรี 20280

ที่อยู่ปัจจุบัน

605 ม. 1 ต. หนองขาม อ. ศรีราชา จ. ชลบุรี 20280

โทรศัพท์

--

ประวัติการศึกษา

ประถมศึกษา

โรงเรียนบ้านหนองปรือ

มัธยมศึกษาตอนต้น

โรงเรียนบึงศรีราชาพิทยาคม

ประกาศนียบัตรวิชาชีพ (ปวช.)

วิทยาลัยเทคนิคสัตหีบ

ประกาศนียบัตรวิชาชีพ ชั้นสูง (ปวส.)

วิทยาลัยเทคนิคสัตหีบ

ปริญญาตรี

สาขาเทคโนโลยีการวิศวกรรมอุตสาหการ

ภาควิชาวิศวกรรมวิศวกรรม

คณะวิศวกรรมอุตสาหการ

ผลงานที่ได้รับรางวัล

-

คติพจน์

การเรียนรู้ไม่มีที่สิ้นสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อผู้ทำปริญญานิพนธ์

นายสมบัติ สมพงษ์

วัน เดือน ปี เกิด

9 พฤศจิกายน 2519

สถานที่เกิด

จังหวัดระยอง

ภูมิลำเนาเดิม

109/4 ม.4 ต. บ้านฉาง อ. บ้านฉาง จ. ระยอง 21130

ที่อยู่ปัจจุบัน

109/4 ม.4 ต. บ้านฉาง อ. บ้านฉาง จ. ระยอง 21130

โทรศัพท์

(038) 630294

ประวัติการศึกษา

ประถมศึกษา

โรงเรียนวัดบ้านฉาง

มัธยมศึกษาตอนต้น

โรงเรียนบ้านฉางกาญจนกุลวิทยา

ประกาศนียบัตรวิชาชีพ (ปวช.)

วิทยาลัยเทคนิคสัตหีบ

ประกาศนียบัตรวิชาชีพ ชั้นสูง (ปวส.)

วิทยาลัยเทคนิคสัตหีบ

ปริญญาตรี

สาขาเทคโนโลยีการวัดคุมทางอุตสาหกรรม

ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

ผลงานที่ได้รับรางวัล

-

คติพจน์

ไม่มีอะไรที่ตัวเราทำไม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้