

สำนักงานหอสมุดกลาง พระจอมเกล้าลาดกระบัง



ภาควิชาวิศวกรรม
 คณะครุศาสตร์อุตสาหกรรม
 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 ใบรับรองปริญญาโท

ชื่อหัวข้อ โมเด็ม โดยใช้ตัวประมวลผลสัญญาณเชิงเลข TMS320C26
 MODEM on the TMS320C26 Digital Signal Processor

ชื่อนักศึกษา 1. นายเกรียงศักดิ์ ประเสริฐศิลป์ รหัสประจำตัว 40031202
 2. นายทวิช วิภาพรรณ รหัสประจำตัว 40031210
 3. นายสุนทร ชุมศรี รหัสประจำตัว 40031234
 4. นายอนุชิต กูรมารักษ์ รหัสประจำตัว 40031239

หลักสูตร วิศวกรรมศาสตรบัณฑิต สาขาวิชา วิศวกรรมโทรคมนาคม
 อาจารย์ที่ปรึกษา อาจารย์วรวิชย์ สมหา
 อาจารย์ที่ปรึกษาร่วม อาจารย์โกศล ตราชู

คณะกรรมการสอบปริญญาโท	ลายมือชื่อ
1. อาจารย์วรวิชย์ สมหา	
2. อาจารย์โกศล ตราชู	
3. อาจารย์กิติพงศ์ มะโน	
4. อาจารย์สุระชัย ทิมพ์สาลี	
5. อาจารย์อมรชัย ชัยชนะ	

วัน/เดือน/ปีที่สอบ วันเสาร์ที่ 1 พฤษภาคม พ.ศ. 2542 เวลา 20.00 น.

สถานที่สอบ ห้อง ก.310 คณะครุศาสตร์อุตสาหกรรม สจล.

เลขหมู่.....
 เลขทะเบียน..... 32790
 วัน, เดือน, ปี 10 ส.ย. 2542



ภาควิชารับรองแล้ว

ผศ.ดร.ธีระพล เทพหัสดิน ณ อยุธยา
 หัวหน้าภาควิชาวิศวกรรม
 วันที่.....เดือน.....ปี.....พ.ศ.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาานิพนธ์

โมเด็มโดยใช้ตัวประมวลผลสัญญาณเชิงเลขเบอร์ TMS320C26

MODEM on the TMS320C26 Digital Signal Processor



นายเกรียงศักดิ์ ประเสริฐศิลป์

นายทวิช วิภาพรรณ

นายสุนทร ชุมศรี

นายอนุชิต กุรมาภิรักษ์

ปริญญาานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง โมเด็ม โดยใช้ตัวประมวลผลสัญญาณเชิงเลขเบอร์ TMS320C26
MODEM on the TMS320C26 Digital Signal Processor

วัตถุประสงค์ของปริญญานิพนธ์

1. เพื่อศึกษาการเขียนโปรแกรมสั่งงานวงจรของบอร์ดประมวลผลสัญญาณเชิงเลข (Digital Signal Processing Starter Kit : DSK)
2. เพื่อออกแบบโมเด็ม โดยใช้ตัวประมวลผลสัญญาณเชิงเลข
3. เพื่อสร้างโมเด็ม โดยใช้ตัวประมวลผลสัญญาณเชิงเลข
4. เพื่อทดลองโมเด็ม โดยใช้ตัวประมวลผลสัญญาณเชิงเลข
4. เพื่อนำโมเด็ม โดยใช้ตัวประมวลผลสัญญาณเชิงเลขไปใช้งานจริง

ประโยชน์ที่คาดว่าจะได้รับ

1. ได้รับความรู้เรื่องการเขียนโปรแกรมสั่งงานวงจรบอร์ดประมวลผลสัญญาณเชิงเลข (Digital Signal Processing Starter Kit : DSK)
2. ได้เครื่องต้นแบบ โมเด็ม โดยใช้ตัวประมวลผลสัญญาณเชิงเลข
3. ได้ทราบสัญญาณที่จุดต่างๆของ โมเด็ม โดยใช้ตัวประมวลผลสัญญาณเชิงเลข
4. ได้นำโมเด็ม โดยใช้ตัวประมวลผลสัญญาณเชิงเลขไปใช้งานจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อหัวข้อ

โมเด็มโดยใช้ตัวประมวลผลสัญญาณเชิงเลข

ชื่อนักศึกษา

เบอร์ TMS320C26

นายเกรียงศักดิ์ ประเสริฐศิลป์

นายทวิช วิชาพรณ

นายสุนทร ชุมศรี

นายอนุชิต กุรมาภิรักษ์

อาจารย์ที่ปรึกษา

อาจารย์วรวิทย์ สมหา

อาจารย์ที่ปรึกษาร่วม

อาจารย์โกศล ตราชู

หลักสูตร

วิศวกรรมอุตสาหการระดับบัณฑิต

สาขาวิชา

วิศวกรรมโทรคมนาคม

ปีการศึกษา

2541

บทคัดย่อ

ปฏิญานิพนธ์ฉบับนี้ได้นำเสนอเกี่ยวกับการสร้างโมเด็มโดยใช้ตัวประมวลผลสัญญาณเชิงเลข (Digital Signal Processor) ซึ่งใช้บอร์ดชุดตัวประมวลผลสัญญาณเชิงเลข (DSP. Starter Kit: DSK) เบอร์ TMS320C26 ซึ่งโครงการนี้ได้ประยุกต์ใช้บอร์ดชุดตัวประมวลผลสัญญาณเชิงเลข (DSK) มาทำการประมวลผลข้อมูลโดยการผสมสัญญาณดิจิทัลแบบดิฟเฟอเรนเชียลเฟสชิฟต์คีย์อิง (Differential Phase Shift Keying) มาตรฐานที่ใช้กับโมเด็มคือ V.22 เป็นมาตรฐานตามคำแนะนำของคณะกรรมการที่ปรึกษาโทรศัพท์และโทรเลขระหว่างประเทศ (The International Telegraph and Telephone Consultative Committee) มีความเร็วในการส่งบอด (Baud) 1,200 บอด

Thesis Title	MODEM Using TMS320C26 Digital Signal Processor
Students	Mr.Kreangsak Praseartsin Mr.Tawit Wiphapan Mr.Suntorn Chumsri Mr.Anuchit Kuramapirak
Advisor	Mr.Worawit Somha
Co-Advisor	Mr.Koson Trachu
Education Level	Bachelor of Science in Industrial Education
Program in	Telecommunication Engineering
Academic Year	1998

ABSTRACT

This thesis presents the create of MODEM using Digital Signal Processor (DSP) which used TMS320C26 Digital Signal Processor board (DSP Starter Kit : DSK). This thesis used TMS320C26 Digital Signal Processor board for data processing by digital signal modulation for use Differential Phase Shift Keying (DPSK) The standard for this MODEM is V.22 by the International Telephone and Telegraph Consulative Committee (CCITT) Reccommendation. This standard V.22 have speed 1200 bauds.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปได้ด้วยดีเนื่องจากความอนุเคราะห์ของอาจารย์ประจำภาควิชาครุศาสตร์วิศวกรรมทุกท่าน ตลอดจนเพื่อนๆ ที่คอยให้คำแนะนำและให้กำลังใจตลอดมาจนเสร็จสมบูรณ์

ขอกราบขอบพระคุณ คุณพ่อคุณแม่ ที่คอยให้กำลังใจและทุนสนับสนุนในการทำโครงการครั้งนี้อย่างดียิ่ง และขอขอบคุณท่านอาจารย์วรวิทย์ สมหา เป็นอย่างสูงที่คอยให้การช่วยเหลือรวมทั้งให้คำแนะนำในส่วนที่สำคัญเป็นอย่างมาก รวมทั้งท่านอาจารย์โกศล ตราชู เป็นอย่างสูง ที่ได้ให้คำแนะนำเป็นอย่างดี และขอขอบคุณท่านอาจารย์ทุกท่าน และเพื่อนๆ ทุกคนที่ได้ให้ความช่วยเหลือในการทำโครงการครั้งนี้ คุณงามความดีครั้งนี้มอบแด่ คุณพ่อคุณแม่ และครูบาอาจารย์ที่ท่านได้ให้ความรู้ และทุกสิ่งทุกอย่างมาตั้งแต่ต้นจนถึงปัจจุบัน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VII
สารบัญรูป	VIII
บทที่ 1 บทนำ	1
1.1 ความเป็นมา และความสำคัญของปริญญานิพนธ์	1
1.2 ชัดความสามารถของโครงการ	3
1.3 เนื้อหาโดยสังเขป	3
บทที่ 2 ทฤษฎี และหลักการ	5
2.1 บทนำ	5
2.2 ตัวประมวลผลสัญญาณดิจิทัลตระกูล TMS320	6
2.3 ลักษณะ โครงสร้างของ TMS320C26	6
2.4 สถาปัตยกรรมของ TMS320C26	7
2.5 ตัวประมวลผลกลาง	8
2.6 ขาของ TMS320C26 DSP	9
2.7 การจัดการหน่วยความจำ	9
2.8 สรุปสถาปัตยกรรมทั่วไป	10
2.9 การสื่อสารข้อมูลแบบอนุกรม	11
2.9.1 พอร์ตสื่อสารข้อมูลอนุกรม RS-232	12
2.9.2 การจัดหาสัญญาณของ RS-232	12
2.9.3 จังหวะเวลาของการสื่อสารข้อมูลอนุกรม	13
2.9.3 รูปแบบของการส่งข้อมูลอนุกรม	14
2.10 ทฤษฎีการแปลงสัญญาณ	15
2.10.1 A/D แบบเชอร์โรว์	16
2.10.2 A/D แบบคูอัลส โลป อินทีเกรต	16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
2.10.3 A/D แบบซัคเซสซีฟ-แอฟพรีอกซิมาชั่น	16
2.10.4 A/D แบบคอมพาราเตอร์แบบขนาน	16
2.11 ทฤษฎีของการสุ่มข้อมูล	17
2.12 หลักการของโมเด็ม	17
2.12.1 ฟังก์ชันการทำงานของโมเด็ม	17
2.12.2 โมเด็มด้านส่ง	19
2.12.3 โมเด็มด้านรับ	22
2.13 มาตรฐานโมเด็ม V.22	27
2.13.1 คลื่นพาหะ และระดับของเส้นสัญญาณ guard tone	27
2.13.2 ข้อมูลและระดับเส้นสัญญาณ guard tone	27
2.13.3 มอดูเลชัน	27
2.13.4 ความคลาดเคลื่อนของสัญญาณทางด้านรับ	28
2.14 ดิฟเฟอเรนเชียลพีเอสเค	29
บทที่ 3 การออกแบบการสร้างและการทำงาน	34
3.1 หลักการออกแบบฮาร์ดแวร์	34
3.1.1 บอร์ดโมเด็ม	34
3.1.2 วงจรไฮบริด	36
3.1.3 แหล่งจ่ายไฟฟ้ากระแสสลับ 9 โวลต์	37
3.1.4 การออกแบบปุ่มควบคุมการทำงาน และจุดต่อต่างๆของโครงการ	37
3.2 หลักการออกแบบซอฟต์แวร์	38
3.2.1 หลักการออกแบบโปรแกรมภาคส่งของโมเด็ม	39
3.2.2 หลักการออกแบบโปรแกรมภาครับของโมเด็ม	44
บทที่ 4 การทดลอง และผลการทดลอง	45
4.1 การทดสอบความเป็นปกติของบอร์ด DSK	45
4.2 การทดสอบการส่งข้อมูลของโมเด็ม	47
4.3 การทดสอบการรับข้อมูลของโมเด็ม	49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา	52
5.1 บทสรุป	52
5.2 ปัญหาที่พบ	52
5.2.1 ปัญหาในส่วนของฮาร์ดแวร์	52
5.2.2 ปัญหาในส่วนของซอฟต์แวร์	52
5.3 แนวทางในการพัฒนา	53
ภาคผนวก ก เครื่องต้นแบบ	54
ภาคผนวก ข วงจรและแผ่นวงจรพิมพ์	58
ภาคผนวก ค โปรแกรมที่ใช้ในโครงการ	64
ภาคผนวก ง รายละเอียด และคุณสมบัติของอุปกรณ์	77
บรรณานุกรม	137
ประวัติผู้แต่ง	138

สารบัญตาราง

ตาราง	หน้า
ตารางที่ 2.1 รีจิสเตอร์ภายใน TMS320C26	8
ตารางที่ 2.2 ขาสัญญาณของ RS-232 ทั้ง 2 แบบ	13
ตารางที่ 2.3 อัตราบอดและช่วงเวลาของแต่ละบิตข้อมูลในการสื่อสารข้อมูลอนุกรม	14
ตารางที่ 2.4 ผังการทำงานของ โมเด็ม	18
ตารางที่ 2.5 การมอดูเลชันของแต่ละบิตข้อมูล	28
ตารางที่ 2.6 การเข้ารหัสแบบดิฟเฟอเรนเชียลซีบีทีพีเอสเคและการถอดรหัส	30
ตารางที่ 3.1 เฟสของความถี่ที่ส่งออกมาจากบิตข้อมูลต่างๆ	39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูป	หน้า
รูปที่ 1.1 ลักษณะการใช้คอมพิวเตอร์ควบคุมการทำงานของบอร์ด DSK	2
รูปที่ 1.2 ผังการทำงานของเครื่อง โมเด็ม โดยใช้ตัวประมวลผลสัญญาณเชิงเลข TMS320C26	3
รูปที่ 2.1 ลักษณะภายนอกของ TMS320C26	9
รูปที่ 2.2 การจัดหน่วยความจำของ TMS320C26	10
รูปที่ 2.3 การส่งข้อมูลแบบอนุกรม จำนวน 8 บิตจะส่งทีละบิตจนครบ 1 ไบต์	12
รูปที่ 2.4 ระบบที่มีการประมวลผลข้อมูลทางดิจิทัล	15
รูปที่ 2.5 แผนผังการทำงานที่เปรียบเทียบระหว่าง โมเด็มด้านส่งและ โมเด็มด้านรับ	18
รูปที่ 2.6 แผนผังการทำงานของ โมเด็มด้านส่ง	21
รูปที่ 2.7 แผนผังการทำงานของ โมเด็มด้านรับ	23
รูปที่ 2.8 โครงสร้างของดีมอดูเลเตอร์	25
รูปที่ 2.9 กราฟการไหลของสัญญาณดีสแกรมเบลอร์ในภาครับ	25
รูปที่ 2.10 วงจรกู้คลื่นพาหะด้วยเฟสล็อกคูล	26
รูปที่ 2.11 เครื่องมอดูเลเตอร์ดีพีเอสเค	29
รูปที่ 2.12 เครื่องดีมอดูเลเตอร์ดีพีเอสเค	30
รูปที่ 3.1 แผนผังการต่อทำงานร่วมกันของโมเด็ม	34
รูปที่ 3.2 การเชื่อมต่อระหว่างเครื่อง โมเด็มกับคอมพิวเตอร์	35
รูปที่ 3.3 การเชื่อมต่อระหว่าง DSK 2 ชุด	36
รูปที่ 3.4 วงจรไฮบริด	36
รูปที่ 3.5 วงจรแหล่งจ่ายไฟฟ้ากระแสสลับ 9 โวลต์	37
รูปที่ 3.6 ปุ่มควบคุมการทำงานของเครื่อง โมเด็ม	38
รูปที่ 3.7 การออกแบบด้านหลังของเครื่อง โมเด็ม	38
รูปที่ 3.8 ผังการทำงานของ โปรแกรมทางด้านส่ง	40
รูปที่ 4.1 การต่ออุปกรณ์ทดลอง	46
รูปที่ 4.2 ลักษณะรูปคลื่นจากผลการทดลองที่ออกซซิลโลสโคป	46
รูปที่ 4.3 การต่ออุปกรณ์ทดสอบการส่งข้อมูลของ โมเด็ม	48
รูปที่ 4.4 ลักษณะรูปคลื่นจากการส่งข้อมูล D8H	48

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

เรื่อง	หน้า
รูปที่ 4.5 ลักษณะรูปคลื่นจากการส่งข้อมูล 4EH	49
รูปที่ 4.6 การต่ออุปกรณ์การทดลอง	50
รูปที่ 4.7 ลักษณะรูปคลื่นของสัญญาณช่อง I กับสัญญาณอินพุต	51
รูปที่ 4.8 ลักษณะรูปคลื่นของสัญญาณช่อง Q กับสัญญาณอินพุต	51
รูปที่ ก.1 เครื่อง โมเด็ม โดยใช้ตัวประมวลผลสัญญาณเชิงเลขเบอร์ TMS320C26	55
รูปที่ ก.2 ด้านหน้าเครื่อง โมเด็ม โดยใช้ตัวประมวลผลสัญญาณเชิงเลขเบอร์ TMS320C26	55
รูปที่ ก.3 ด้านหลังเครื่อง โมเด็ม โดยใช้ตัวประมวลผลสัญญาณเชิงเลขเบอร์ TMS320C26	56
รูปที่ ก.4 การวางอุปกรณ์อุปกรณ์ภายใน	56
รูปที่ ก.5 บอร์ด DSK	57
รูปที่ ก.6 วงจรไฮบริด	57
รูปที่ ข.1 การวางอุปกรณ์บนบอร์ด DSK	59
รูปที่ ข.2 TMS320C26 DSK1	60
รูปที่ ข.3 TMS320C26 DSK2	61
รูปที่ ข.4 วงจรไฮบริด	62
รูปที่ ข.5 ลายวงจรไฮบริด	63
รูปที่ ข.6 การวางอุปกรณ์วงจรไฮบริด	63
รูปที่ ค.1 โปรแกรมกำเนิดสัญญาณรูปคลื่นพื้นเลื้อย TRY1.ASM	65
รูปที่ ค.2 โปรแกรมภาคส่ง G5.ASM	66
รูปที่ ค.3 โปรแกรมภาคส่ง G6.ASM	70
รูปที่ ค.4 โปรแกรมตัวกรองความถี่ผ่านแถบช่อง I	73
รูปที่ ค.5 โปรแกรมตัวกรองความถี่ผ่านแถบช่อง Q	75

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปริญญานิพนธ์

ในปัจจุบันความเจริญก้าวหน้าทางเทคโนโลยี ในด้านการผลิตวงจรรวมขนาดใหญ่ ให้ความมีประสิทธิภาพสูงยิ่งขึ้น โดยเฉพาะสารกึ่งตัวนำประเภทมอส (MOS) ตลอดจนข้อดีของการผลิตวงจรวีแอลเอสไอ VLSI ด้วยวงจรวีตซ์คาปาซิเตอร์ และประกอบกับวิธีการ ซึ่งเป็นตัวกำหนดแนวทางในการแก้ปัญหาได้อย่างมีประสิทธิภาพนั้น จึงมีการพัฒนาทางด้านดิจิทัลเข้ามาแทนที่แอนะล็อกที่มีใช้อยู่เดิมมากขึ้น ทั้งนี้เพราะเทคโนโลยีทางด้านดิจิทัล ที่นำมาใช้ในการประมวลผลสัญญาณ มีข้อดีหลายอย่าง เช่น ความเชื่อถือได้, ความถูกต้อง และสามารถทำการประมวลผลสัญญาณได้ด้วยวิธีการทางด้านฮาร์ดแวร์ทำให้มีความสะดวกในการเก็บ และถ่ายโอนข้อมูล (Storing and Transferring) และมีความยืดหยุ่นต่อการใช้งานสูง

อุปกรณ์ประมวลผลสัญญาณเชิงเลข (Digital Signal Processing : DSP) มีการประยุกต์ใช้งานได้อย่างกว้างขวาง เช่น

1. ฟิเตอร์, อะแดปทีฟฟิเตอร์, อีควอไลเซอร์ และตัวเลื่อนเฟส
2. มิกเซอร์, มอดูเลเตอร์ และตัวเปรียบเทียบเฟส
3. วงจรกำเนิดสัญญาณ, ออสซิลเลเตอร์ปรับค่าได้ และแหล่งสัญญาณรบกวน
4. ฟาสต์ฟูเรียร์ทรานสฟอร์ม (Fast Fourier Transform : FFT)
5. อุปกรณ์ไม่เป็นเชิงเส้น, ลิมิตเตอร์ และคอมพาราเตอร์
6. การควบคุม, วงจรควบคุมแบบต่างๆ และเซอร์โว
7. วงจรประมวลผลสัญญาณภาพและเสียงพูด
8. วงจรวิเคราะห์สเปกตรัม (Spectrum Analyzer)
9. อุปกรณ์ทางการสื่อสารข้อมูล

การประมวลผลสัญญาณเชิงเลขเป็นกระบวนการที่ใช้ความรู้ทางด้านคณิตศาสตร์ขั้นสูง มาอธิบายการประมวลผลสัญญาณต่างๆ ซึ่งมีทั้งแบบเป็นเชิงเส้น และแบบไม่เป็นเชิงเส้น เพื่อให้ได้สัญญาณเอาต์พุตตามต้องการด้วยกระบวนการทางดิจิทัลหรือเชิงเลข โดยใช้การประมวลผลจากไมโครโปรเซสเซอร์ที่ใช้ความเร็วสูง

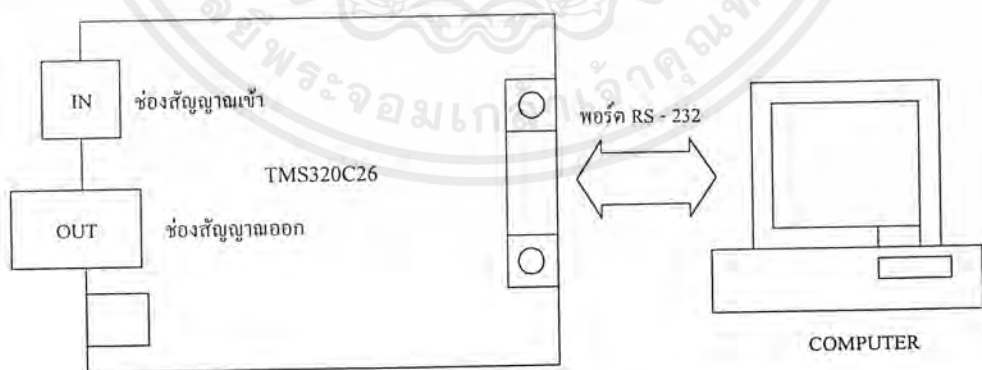
ในอดีต การศึกษาเรื่องของ DSP จะเป็นเรื่องที่ยุ่งยาก และลำบากมาก เนื่องจากการจัดหาตัวชิพ DSP คู่มือซอฟต์แวร์แอสเซมเบลอร์และดีบั๊กเกอร์ (Assembler and debugger) ฯลฯ แต่ในเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัจจุบันไม่เป็นเรื่องยาก เนื่องจากมีบางบริษัทได้จัดทำชิปและอุปกรณ์ต่างๆ ที่เกี่ยวข้อง รวมทั้งซอฟต์แวร์ซึ่งจัดจำหน่ายในราคาที่ไม่สูงมากนัก เพื่อต้องการให้มีการใช้งานอย่างแพร่หลาย อาทิ บริษัทเท็กซัสอินสตรูเมนต์ ผู้ผลิตชิป DSP ตระกูล TMS320Cxx ได้จัดทำชุดพัฒนาที่สมบูรณ์แบบมีตัวชิป คู่มือ และอุปกรณ์ต่างๆ ทั้งหมด รวมทั้งซอฟต์แวร์และโปรแกรมตัวอย่าง และในปัจจุบันได้มีผู้นำเข้าชุดพัฒนาระบบประมวลผลสัญญาณเชิงเลข TMS320C26 DSP Start Kit (DSK) ของบริษัทเท็กซัสอินสตรูเมนต์เข้ามาจำหน่ายให้นักศึกษา และผู้สนใจนำไปทดลองศึกษาพัฒนาและออกแบบใช้งานด้านต่างๆเป็นการพัฒนาชิป DSP ในประเทศไทย

TMS320C26 ซึ่งใช้สถาปัตยกรรมฮาร์ดแวร์ซึ่งแยกแยะระหว่างโปรแกรม และข้อมูลออกจากกันจึงทำให้จังหวะการอ่านคำสั่ง และการประมวลผลคำสั่ง (Fetch and Execute) สามารถทำพร้อมกันได้ แต่มีการตัดแปลงจากสถาปัตยกรรมฮาร์ดแวร์ ให้เกิดการถ่ายเทข้อมูลระหว่างโปรแกรมและข้อมูลได้ จึงทำให้มีการทำงานได้คล่องตัวยิ่งขึ้น และความเร็วของการทำคำสั่งทางคณิตศาสตร์สามารถกระทำได้รวดเร็วขึ้น โดยมีเงื่อนไขของชิป DSP ที่ออกแบบไว้ คือ

1. สถาปัตยกรรมเน้นการทำงานด้านฮาร์ดแวร์
2. มีกลไกของฮาร์ดแวร์ การคูณ โดยเฉพาะ
3. มีคำสั่งที่ใช้งานการประมวลผลสัญญาณ โดยเฉพาะ
4. ใช้หลักการของไปป์ไลน์นี้

ด้วยหลักการดังกล่าวจึงทำให้การประมวลผลสัญญาณเชิงเลขสามารถใช้ข้อมูลได้เป็นจำนวนมาก และการทำงานส่วนใหญ่ในแต่ละคำสั่งจะเสร็จสิ้นในรอบเดียว



รูปที่ 1.1 ลักษณะการใช้คอมพิวเตอร์ควบคุมการทำงานของบอร์ด DSK

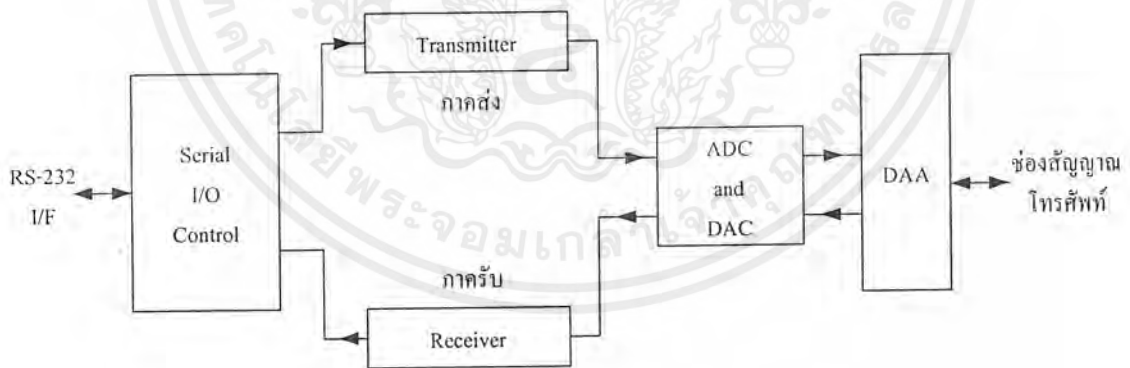
จากชุดพัฒนา DSK สามารถทำการต่อใช้งานแทนระบบแอนะล็อกได้อย่างกว้างขวาง ซึ่งใช้ตัวไมโครโปรเซสเซอร์ประมวลผลสัญญาณดิจิทัล เบอร์ TMS320C26 พร้อมด้วย ตัวแปลงเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล (Analog To Digital : A/D) อินพุตที่ต้องการวิเคราะห์จะผ่านวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล จากนั้น TMS320C26 จะวิเคราะห์สัญญาณแถบความถี่ขึ้น แล้วแสดงผลออกทางจอคอมพิวเตอร์ ซึ่งกระบวนการทั้งหมด กระทำด้วยเวลาจริง (Real Time) โดยชุดพัฒนา DSK ได้รับการพัฒนาโปรแกรม แก้ไขทดสอบและปรับปรุงซอฟต์แวร์ให้ได้ผลตามต้องการ ซึ่งใช้สายเชื่อมโยงกับคอมพิวเตอร์ผ่านทางพอร์ต RS-232 แสดงดังรูปที่ 1.1

1.2 ขีดความสามารถของโครงการ

การสร้างโมเด็มโดยใช้ตัวประมวลผลสัญญาณเชิงเลขเบอร์ TMS320C26 ขึ้นมานี้มีวัตถุประสงค์ เพื่อที่จะศึกษาการทำงานของระบบประมวลผลสัญญาณเชิงเลข โดยนำมาประยุกต์ใช้งานจริง ซึ่งมีขีดความสามารถดังนี้

1. สามารถผสมสัญญาณแบบ DPSK ได้
2. สามารถแยกสัญญาณแบบ DPSK ได้
3. สามารถส่งข้อมูลได้ในอัตรา 1,200 บิตต่อวินาที
4. สามารถรับข้อมูลได้ในอัตรา 1,200 บิตต่อวินาที
5. สามารถต่อเข้าไมโครคอมพิวเตอร์โดยผ่านทางพอร์ตอนุกรม RS-232



รูปที่ 1.2 ผังการทำงานของเครื่องโมเด็มโดยใช้ตัวประมวลผลสัญญาณเชิงเลข TMS320C26

1.3 เนื้อหาโดยสังเขป

ในส่วนของเนื้อหาในปริญญาณิพนธ์ ได้จัดแบ่งเนื้อหาไว้อย่างเป็นสัดส่วน โดยเริ่มจากบทที่ 1 บทนำ ซึ่งเป็นเนื้อหาเกี่ยวกับ ความเป็นมา และความสำคัญของปัญหา ที่ทำให้เกิดโครงการนี้ขึ้น ตลอดจนทฤษฎี และหลักการอย่างคร่าวๆ เพื่อให้ผู้อ่านเข้าใจหลักการง่ายๆ ในเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกแบบโครงการ รวมทั้งยังกล่าวถึงวัตถุประสงค์, และประโยชน์ของการทำปฏิญาณพันธันในครั้งนี้

บทที่ 2 ทฤษฎีและหลักการ จะเป็นเนื้อหาที่กล่าวเกี่ยวกับทฤษฎีและหลักการ ซึ่งได้แสดงรายละเอียด ของโครงสร้างทั่วไปทางสถาปัตยกรรมของชิป TMS320C26 ซึ่งเป็นตัวประมวลผลสัญญาณ และหลักการของโมเด็ม รวมทั้งการมอดูเลต, มาตรฐานที่ใช้ในโมเด็ม

บทที่ 3 การออกแบบการสร้างและการทำงาน ในส่วนนี้เป็นเนื้อหาโดยละเอียดตั้งแต่ขั้นตอนในการออกแบบวงจรในส่วนต่างๆ การนำส่วนต่างๆ มาอินเตอร์เฟสกันเพื่อให้สามารถทำงานร่วมกันได้อย่างมีประสิทธิภาพ

บทที่ 4 การทดลองและผลการทดลอง ในส่วนนี้เป็นการนำเครื่อง โมเด็มที่ใช้ตัว ประมวลผลสัญญาณเชิงเลข TMS320C26 ที่สร้างขึ้น มาทดสอบการทำงาน ของเครื่อง โดยแบ่งเป็นลำดับขั้น การทดลองลำดับต่างๆ ตลอดจนผลการทดลองที่ได้ ตรงตามวัตถุประสงค์ที่ตั้งไว้หรือไม่

บทที่ 5 บทสรุป ปัญหา แนวทางการแก้ไขและการพัฒนา ซึ่งเป็นการสรุปผลเกี่ยวกับความสามารถ รวมทั้งประสิทธิภาพในการทำงานของเครื่อง โมเด็มที่ใช้ตัวประมวลผลสัญญาณเชิงเลข TMS320C26 พร้อมทั้ง กล่าวถึงปัญหา ที่เกิดขึ้นระหว่างการทำให้โครงการ ตลอดจนแนวทางแก้ไข ปัญหาที่เกิดขึ้น นอกจากนี้ยังได้ เสนอแนะแนวทางการพัฒนาเครื่อง โมเด็มให้มีประสิทธิภาพ ดียิ่งขึ้น สามารถนำไปประยุกต์ใช้งาน อย่างกว้างขวางมากขึ้น

ในภาคผนวกแสดงรายละเอียดของโปรแกรม, วงจรและรายละเอียดของอุปกรณ์ต่างๆ ที่ใช้จัดทำโครงการดังนี้

ภาคผนวก ก เครื่องต้นแบบ

ภาคผนวก ข วงจร และแผ่นวงจรพิมพ์

ภาคผนวก ค โปรแกรมการทำงาน

ภาคผนวก ง รายละเอียดและคุณสมบัติของอุปกรณ์

บทที่ 2

ทฤษฎีและหลักการ

2.1 บทนำ

โดยทั่วไปแล้ว การสื่อสารข้อมูลระหว่างเครื่องคอมพิวเตอร์ในระยะทางไกลๆ นั้นจะกระทำได้โดยส่งข้อมูลผ่านระบบเครือข่ายโทรศัพท์ แต่เนื่องจากว่าสัญญาณของคอมพิวเตอร์นั้นเป็นสัญญาณดิจิทัล แต่สัญญาณของเครือข่ายโทรศัพท์นั้นเป็นสัญญาณแอนะล็อก จึงจำเป็นต้องมีอุปกรณ์ที่ทำหน้าที่เป็นตัวกลางในการส่งผ่านข้อมูล อุปกรณ์นั้นเรียกว่าโมเด็ม (MODEM) ซึ่งเป็นอุปกรณ์ที่ทำหน้าที่แปลงสัญญาณดิจิทัลจากคอมพิวเตอร์ให้เป็นสัญญาณแอนะล็อกแล้วจึงส่งออกไปตามสายโทรศัพท์ หรือทำหน้าที่ รับสัญญาณแอนะล็อกเข้ามา แล้วเปลี่ยนให้เป็นสัญญาณดิจิทัล จากนั้นจึงส่งไปยังเครื่องคอมพิวเตอร์

นับเป็นเวลาหลายทศวรรษแล้วที่วิศวกรด้านการสื่อสารอิเล็กทรอนิกส์ได้คิดค้นและพัฒนาให้ทั้งโมเด็มและเครื่องคอมพิวเตอร์ สามารถทำงานร่วมกันเพื่อส่งข้อมูลต่างๆ ระหว่างเครื่องคอมพิวเตอร์ ซึ่งในช่วงต้นๆ ของการพัฒนานั้น โอกาสที่จะส่งข้อมูลได้สำเร็จนั้น มีอยู่เพียงร้อยละห้าสิบเท่านั้น ในปัจจุบันได้มีการพัฒนาและออกแบบให้โมเด็มมีความสามารถส่งผ่านข้อมูลได้รวดเร็ว และมีความจุของข้อมูลที่สูง รวมทั้งให้มีความเที่ยงตรงและความปลอดภัยของข้อมูลด้วย

จากแนวความคิดในการสร้างโมเด็มนั้น จึงนำไมโครโปรเซสเซอร์มาทำการประมวลผลสัญญาณแบบเวลาจริง และเลือกหน่วยความจำที่มีความเหมาะสมกับการใช้งาน มีพอร์ตอินพุตและพอร์ตเอาต์พุต เพียงพอสำหรับการใช้งาน

ชิป DSP เป็นไมโครโปรเซสเซอร์ ที่ใช้เฉพาะงานประมวลผลสัญญาณเชิงเลข ในการประยุกต์ใช้ DSP จะเกี่ยวข้องกับการสุ่มค่าของอินพุต เพื่อให้การคำนวณมีประสิทธิภาพมีความละเอียดสูงมากขึ้น และสามารถทำงานได้กับข้อมูลได้จำนวนมาก ซึ่งในปัจจุบันมีผู้นำเข้าชุดพัฒนา TMS320C26 หรือ DSP Starter Kit บอร์ด (DSK) ซึ่งผลิตโดย บริษัทเท็กซัสอินสตรูเมนต์ เข้ามาในประเทศไทยเพื่อให้นักศึกษาออกแบบทดลองใช้งาน โดยที่บน DSK บอร์ด มีหัวใจหลักที่สำคัญ คือ TMS320C26 ซึ่งเป็นชิปไมโครโปรเซสเซอร์ ที่ใช้งานในด้านการประมวลผลสัญญาณเชิงเลขโดยเฉพาะ และอุปกรณ์เชื่อมต่อภายใน ทำให้มีความสะดวก และประหยัดการใช้งาน โดยเฉพาะการทำงานตามคำสั่งแต่ละคำสั่งจะใช้เวลา 50 นาโนวินาที ต่อ 1 ไชเคิล ทำให้สามารถประมวลผลสัญญาณได้ถึง 28.6 ล้านคำสั่งต่อวินาที จึงทำการประมวลผลแบบเวลาจริงได้ทัน เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชิปประมวลผลสัญญาณเชิงเลขบนชิปเดี่ยวขนาด 16 บิต แบบไม่คิดจุดทศนิยม ทำให้เลือกประยุกต์ใช้งานได้อย่างกว้างขวาง

2.2 ตัวประมวลผลสัญญาณดิจิทัลตระกูล TMS320

ตัวประมวลผลสัญญาณดิจิทัลชิปเดี่ยว ประกอบด้วยการประมวลผลชนิด 16 บิตเป็นแบบไม่คิดจุดทศนิยม และชนิด 32 บิต แบบคิดจุดทศนิยม เป็นตัวประมวลผลที่ใช้งานเกี่ยวกับการประมวลผลสัญญาณที่ต้องการความเร็วสูง (Real Time) และใช้สำหรับการประมวลผลเกี่ยวกับตัวเลขซึ่งเป็นการวัดความสามารถหลักของตัวประมวลผลตระกูล TMS320 โดยเฉพาะ

ตัวประมวลผล TMS320 ใช้เทคโนโลยีแบบ VLSI และได้แยกไมโครโปรเซสเซอร์ชิปในตระกูลนี้ตามลำดับ และการประยุกต์ใช้งาน คือ TMS320C1x, TMS320C2x, TMS320C5x เป็นกลุ่มไมโครโปรเซสเซอร์ที่ประมวลผลโดยไม่คิดจุดทศนิยม และ TMS320C4x, TMS320C6x เป็นกลุ่มที่ประมวลผลโดยคิดจุดทศนิยมด้วย

ในปี พ.ศ. 2525 บริษัทเท็กซัสอินสตรูเมนต์ ได้แนะนำชิป DSP เป็นครั้งแรก ในตระกูล TMS320 ซึ่งเป็นชิปที่ใช้ประมวลผลสัญญาณดิจิทัลแบบไม่คิดจุดทศนิยมคือเบอร์ TMS320C10 และปีนั้นเองก็ได้รับรางวัล “ผลิตภัณฑ์ดีเด่นแห่งปี” จากนิตยสารผลิตภัณฑ์อิเล็กทรอนิกส์ และชิปเบอร์ TMS320C10 ก็ได้เป็นต้นแบบให้กับรุ่นต่อๆ มา

ในปัจจุบันชิปตระกูล TMS320 ประกอบด้วย 5 รุ่นคือ C1x, C2x, C3x, C4x, C5x ในแต่ละเบอร์ของชิป TMS320 มี ซีพียู ภายในมีหน่วยความจำ และอุปกรณ์สำหรับเชื่อมต่อภายนอกซึ่งคุณลักษณะต่างๆ เป็นที่ต้องการของตลาดอิเล็กทรอนิกส์ และการที่ชิป DSP มีหน่วยความจำ อุปกรณ์ และระบบต่างๆ อยู่ภายในชิปตัวเดียวทำให้มีขนาดลดลง และประหยัดพื้นที่มากกว่า

2.3 ลักษณะโครงสร้างของ TMS320C26

ลักษณะโครงสร้างที่สำคัญของ TMS320C26 มีดังนี้

- 1) ไซเคิลในการทำงานของคำสั่งใช้เวลา 100 นาโนวินาที
- 2) ทำคำสั่งได้ 28.6 ล้านคำสั่งต่อวินาที (MIPS)
- 3) มีหน่วยความจำข้อมูลภายในชิป (RAM) 9 กิโลเวิร์ด
- 4) มีหน่วยความจำโปรแกรม (ROM) 4 กิโลเวิร์ด
- 5) มีทางเข้าถึงหน่วยความจำข้อมูล 2 ทาง ภายในชิป (RAM) 1568 เวิร์ด
- 6) มีพื้นที่หน่วยความจำภายนอก 128 กิโลเวิร์ด

- 7) หน่วยประมวลผลคณิตศาสตร์ (ALU), แอคคิวมูเลเตอร์ (ACC) และบัฟเฟอร์มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 7) หน่วยประมวลผลคณิตศาสตร์ (ALU) ,แอดคิวมูเลเตอร์ (ACC) และบัฟเฟอร์มีขนาด 32 บิต
- 8) หน่วยลอจิกมีขนาด 16 บิต
- 9) การคูณเป็นแบบขนานขนาด 16 บิต
- 10) คูณเลขโดยใช้สัญญาณนาฬิกา 1 ไชเคลก
- 11) มีไทม์เมอร์สำหรับควบคุมการทำงาน
- 12) เพิ่มฮาร์ดแวร์สแตกขึ้นถึง 8 ระดับ
- 13) มีตัวเลื่อนบิต (Shifter) แบบขนาน 16 บิตและ 64 บิตในการเลื่อนข้อมูล
- 14) มีการทวนคำสั่งที่เป็นคำสั่งเดี่ยว และทวนรหัสโปรแกรมข้อมูลเป็นแผนผังการทำงาน
- 15) มีการจัดการ โปรแกรมหรือข้อมูลไปไว้ในบด็อกหน่วยความจำที่ลึกกว่า
- 16) มีพอร์ตอนุกรมแบบเข้าจังหวะ (Synchronous) 2 ทาง (Full Duplex) สำหรับติดต่อกับพอร์ตอนุกรมกับอุปกรณ์อื่นๆ
- 18) มีซอร์สโค้ดเข้ากันได้กับ TMS320C1x
- 19) มีคำสั่งสำหรับอะแดปทีฟฟิลเตอร์, FFT
- 20) ปฏิบัติงานแบบ 4 ไปป์ไลน์
- 21) โหมดการอ้างข้อมูลแบบชี้ตำแหน่ง (Index-Addressing)
- 22) มีตัวกำเนิดสัญญาณนาฬิกาภายในชิพ
- 23) ใช้เทคโนโลยีแบบ CMOS ใช้ไฟเลี้ยง 5 โวลท์
- 24) มี 68 ขา รอบตัวถังตั้งสี่ด้าน (Quad Flat Package : QFP)

2.4 สถาปัตยกรรมของ TMS320C26

โครงสร้างส่วนสำคัญของ TMS320C26 DSP ประกอบด้วยส่วนสำคัญ 3 ส่วน คือ

- 1) หน่วยประมวลผลกลาง (CPU)
- 2) หน่วยความจำ (Memory)
- 3) วงจรอินเทอร์เฟซกับอุปกรณ์ภายนอก

TMS320C26 เป็นโปรเซสเซอร์ที่ใช้สำหรับในการประมวลผลสัญญาณเชิงเลข ซึ่งจะมีลักษณะการทำงาน คล้ายคลึงกับ TMS320C50 และใช้สถาปัตยกรรมแบบเดียวกัน คือสถาปัตยกรรมแบบ “ฮาวเวิร์ด” โดยจะแบ่งโครงสร้างของหน่วยความจำออกเป็น 2 ส่วนแยกจากกัน คือ หน่วยความจำโปรแกรม และหน่วยความจำข้อมูล ซึ่งจะทำให้การทำงานต่างๆ เป็นไปด้วยความเร็วสูง นอกจากนั้น ยังสามารถทำการ โอนย้ายข้อมูลระหว่างกันได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 ตัวประมวลผลกลาง

การพัฒนาปรับปรุง CPU TMS320C1x ยังรักษาซอร์สโค้ด (Source Code) ให้เข้ากันได้กับ TMS320C1x ในขณะที่มีการปรับปรุงสมรรถนะ และความสะดวกในการใช้งาน ในการปรับปรุงมี แอคคิวมูเลเตอร์บัพเฟอร์ 32 บิต และเพิ่มการตรวจสอบมีคำสั่งใหม่ในการอินเตอร์เฟสอุปกรณ์ภายนอกสำหรับผู้ใช้งานมากขึ้น มีฟังก์ชัน (Function) ควบคุมอิสระของหน่วยลอจิกแบบขนาน (Parallel Logic Unit ; PLU) สำหรับการปฏิบัติงานแบบบูลีน (Boolean) และเซต (Set) รีจิสเตอร์คอนแทคสวิตช์ (Contaxt-Switch register) ในการกำหนด Zero-atency ซึ่ง Contaxt-Switch สามารถทำการให้บริการตำแหน่งการอินเทอร์รัพต์ (Interrupt)

TMS320C26 มีหน่วยความจำที่ใช้เก็บข้อมูลหรือตำแหน่งรีจิสเตอร์ (Register) ขนาด 1 ไบต์ ภายใน CPU จำนวน 6 ตัว ดังตารางที่ 2.1

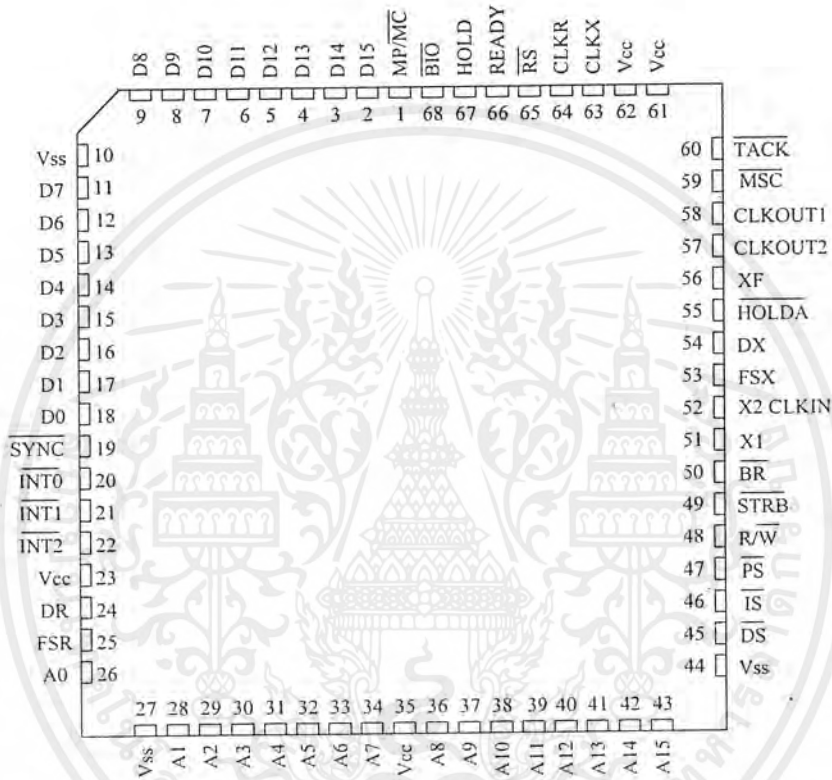
ทำให้ TMS320C26 มีลักษณะพิเศษ เนื่องจากมีหน่วยความจำรอม (ROM) ภายในขนาด 4k x 16 บิตสามารถโปรแกรม (EPROM) เป็นหน่วยความจำที่ใช้ในการบูตหน่วยความจำรอมภายนอก ด้วยโปรแกรมจากภายนอก ซึ่งเป็น โปรแกรมที่มีความเร็วสูงที่อยู่ภายในหรือจาก สเตติกแรม (SRAM) ภายนอก ที่สามารถเลือกรีเซ็ต (Reset) หน่วยความจำรอมได้โดยการให้ขา MP/MC มีสถานะเป็น Low

ตารางที่ 2.1 รีจิสเตอร์ภายใน TMS320C26

รีจิสเตอร์	ตำแหน่ง	คำอธิบาย
DRR (15-0)	0	รีจิสเตอร์รับข้อมูลพอร์ตอนุกรม
DXR (15-0)	1	รีจิสเตอร์ส่งข้อมูลพอร์ตอนุกรม
TIM (15 - 0)	2	รีจิสเตอร์ไทม์เมอร์
PRD (15 - 0)	3	รีจิสเตอร์คาบเวลา
IMR (5 - 0)	4	รีจิสเตอร์อินเทอร์รัพต์
GREG (7 - 0)	5	รีจิสเตอร์หน่วยความจำ

2.6 ขาของ TMS320C26 DSP

ชิปประมวลสัญญาณเชิงเลข เบอร์ TMS320C26 จะมีลักษณะเป็นเพ็ทเทจ มีขาต่างๆ 68 ขา รอบเพ็ทเทจทั้ง 4 ด้าน (Quad Flat Pack : QFP) ซึ่งแต่ละขามีความสัมพันธ์กัน แสดงดังรูปที่ 2.1



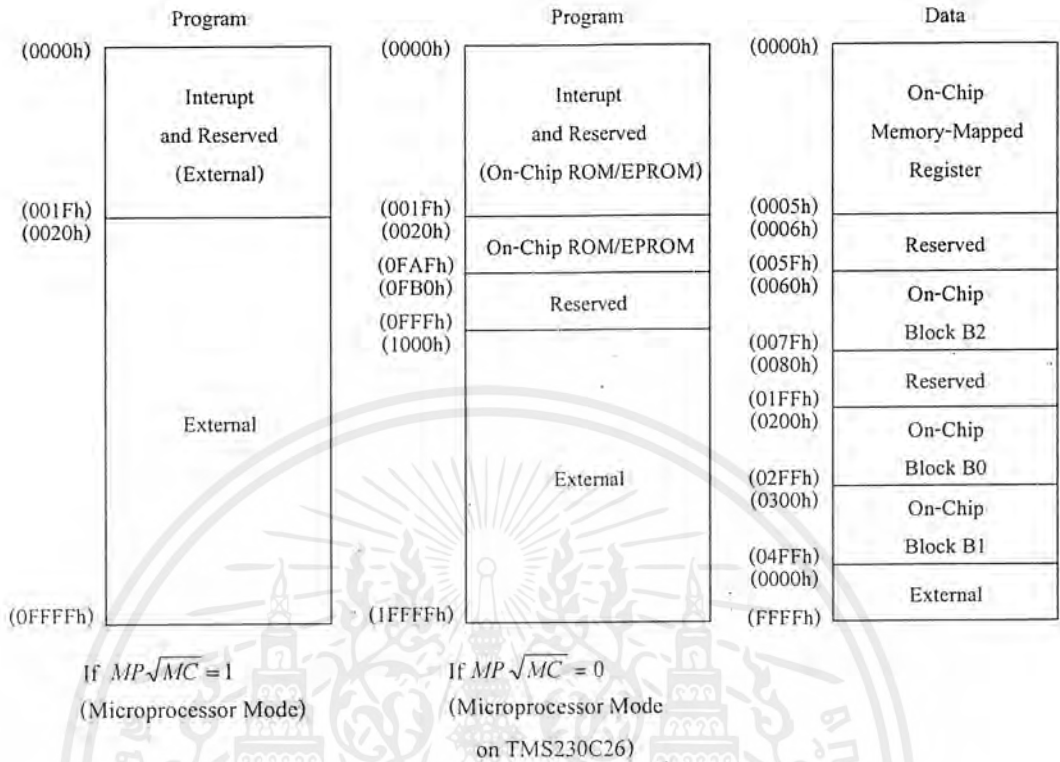
รูปที่ 2.1 ลักษณะขาภายนอกของ TMS320C26

2.7 การจัดหน่วยความจำ

ในตัว TMS320C26 มีหน่วยความจำความเร็วสูงขนาด 1568 เวิร์ด โดยแต่ละเวิร์ดมีขนาด 16 บิต และมีรอมภายในขนาด 544 เวิร์ด ซึ่งสามารถอ้างอิงหน่วยความจำภายนอก 224 กิโลเวิร์ด แบ่งเป็นหน่วยความจำข้อมูล, หน่วยความจำโปรแกรม และหน่วยความจำอินพุต เอาต์พุต อย่างละ 64 กิโลเวิร์ด นอกนั้นอีก 32 กิโลเวิร์ด มีไว้สำหรับใช้งานทั่วไป ส่วน ALU , แอคคิวมูเลเตอร์ และแอคคิวมูเลเตอร์บัพเฟอร์มีขนาด 32 บิต ที่คูณเลขขนาด 32 บิต ได้ภายในเวลา 1 แมกซีนไซเคิล ทั้งนี้ เนื่องจาก ALU มีวงจรคูณแบบ 16 x16 แบ่งเป็นอินพุต 16 ช่อง เอาต์พุต 16 ช่อง วงจร

ติดต่อหน่วยความจำรวม (Global Data Memory Interface) แสดงดังรูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 การจัดหน่วยความจำของ TMS320C26

ตัว TMS320C26 สามารถต่อใช้งานเพียงตัวเดียวหรือจะต่อใช้งานขนานกันหลายตัวที่เรียกว่าเป็นระบบ Multi - Processor System ก็ได้

ในการทำงานกันหน่วยความจำภายนอก ไม่ว่าจะเป็รอมหรืออีพรอม ตัวชิพจะทำงานได้ช้ามาก จึงได้เน้นให้ใช้หน่วยความจำแบบภายในชิพเป็นที่เก็บโปรแกรมแทน ในการใช้งานให้ดาวน์โหลดโปรแกรมจากหน่วยความจำภายนอกมาเก็บในชิพ แล้วจึงสั่งให้โปรแกรมทำงานโดย TMS320C26 ได้เพิ่มคำสั่ง “Block Transfer” ที่ใช้ในการโหลดข้อมูลจากหน่วยความจำภายนอกมาที่ตะแวนผังการทำงาน แล้วมาเก็บไว้ในแรมของชิพ วิธีการนี้จะช่วยให้การทำงานเร็วขึ้น

2.8 สรุปสถาปัตยกรรมทั่วไป

TMS320C26 เป็นตัวประมวลผลสัญญาณทางดิจิทัลตลอด ที่มีสมรรถนะสูงซึ่งโดยทั่วไป ได้ถูกออกแบบให้มีโครงสร้างที่เหมือนกับ TMS320C5x ส่วนทางด้านโครงสร้างใช้เทคโนโลยีแบบฮาร์วาร์ด มีสมรรถนะในการประมวลผลสูงที่สุด โดยได้แยกหน่วยความจำออกจากกัน เป็น หน่วยความจำโปรแกรม และหน่วยความจำข้อมูล ใช้สำหรับการปฏิบัติตามคำสั่งได้ด้วยความเร็วสูงสุด

คำสั่งจะรอรับการส่งข้อมูลระหว่างสองระยะเวลา

TMS320C26 ใช้ในการปฏิบัติการคำนวณแบบ 2's Complement ขนาด 32 บิต ของ หน่วยคำนวณแบบคณิตศาสตร์และลอจิก และแอสคิวิมูเลเตอร์

ALU สำหรับใช้งานทั่วไปใช้เป็นหน่วยคำนวณมีขนาด 16 บิตเวิร์ด จากหน่วยความจำและโครงสร้างคำสั่ง หรือผลของการคูณขนาด 32 บิต เป็นการเพิ่มการปฏิบัติงานเกี่ยวกับคณิตศาสตร์ ทำให้ ALU สามารถปฏิบัติงานแบบบูลีนได้ โดยมีแอสคิวิมูเลเตอร์ทำหน้าที่เป็นตัวเก็บผลลัพธ์ที่ได้จากการคำนวณของ ALU และเป็นอินพุตให้กับ ALU ด้วย

แอสคิวิมูเลเตอร์มีขนาด 32 บิต แบ่งออกเป็นไบต์ระดับสูง (บิต 31 ถึงบิต 16) และตำแหน่งไบต์ระดับต่ำ (บิต 15 ถึงบิต 0) คำสั่งในการเก็บข้อมูลจะอยู่ในเงื่อนไข สำหรับการเก็บที่ตำแหน่งระดับสูงหรือระดับต่ำ ในหน่วยความจำของแอสคิวิมูเลเตอร์ ในการเก็บข้อมูลชั่วคราวจะมีแอสคิวิมูเลเตอร์ขนาด 32 บิต

วิธีการบวกของ ALU จะมีหน่วยลอจิกแบบขนาน PLU จะเป็นตัวจัดการเกี่ยวกับบิตที่มีความเร็วสูงมาก และทำให้ไม่มีการสลับซับซ้อนในการกำหนดบิต การทดสอบความต้องการในการควบคุม และการปฏิบัติการของรีจิสเตอร์สถานะ

การดำเนินการของตัวคูณมีขนาด 16×16 บิต แบบ 2's Complement ผลของการคูณจะมีขนาด 32 บิต คำสั่งเดียวใน 1 ไซเคิล ตัวคูณพื้นฐานจะมีอยู่ 3 ตัวคือ

1) Multiplier Array เป็นตัวคูณแบบอาร์เรย์

2) PREG (Product Register) เป็นรีจิสเตอร์ใช้เก็บผลคูณขนาด 32 บิต ซึ่งค่าตัวคูณนำมาจากหน่วยความจำข้อมูล และนำมาจากหน่วยความจำโปรแกรม ตัวคูณภายในชิพจะมีความเร็วมาก ทำให้มีประสิทธิภาพในการจัดการการปฏิบัติงานที่เป็นปัจจัยพื้นฐานของ DSP เช่น การหมุนวน การเกี่ยวพันกัน และการยอมให้คำสั่งหรือโปรแกรม มีข้อมูลหรือสภาพตามเงื่อนไข

3) TREG0 (Temporary Register) เป็นรีจิสเตอร์เก็บผลคูณชั่วคราวขนาด 16 บิต

2.9 การสื่อสารข้อมูลแบบอนุกรม

การสื่อสารข้อมูลแบบอนุกรม เป็นการรับและส่งข้อมูลคราวละ 1 บิต เป็นลำดับจนสิ้นสุดกลุ่มข้อมูลการสื่อสารแบบนี้ แตกต่างจากการสื่อสารแบบขนาน เนื่องจากการส่งข้อมูลแบบขนานจะโอนย้ายข้อมูลพร้อมกัน จึงต้องใช้จำนวนเส้นของสัญญาณมากขึ้นตามจำนวนบิตของข้อมูลด้วย ในขณะที่การสื่อสารแบบข้อมูลอนุกรมต้องการเส้นสัญญาณเพียง 2 หรือ 3 เส้นเท่านั้น ดังนั้นการสื่อสารแบบขนานจึงไม่เหมาะในการสื่อสารกับอุปกรณ์ภายนอกที่เป็นระยะทางไกลๆ เพราะจะทำให้สิ้นเปลืองค่าใช้จ่ายมาก ดังรูปที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 การส่งข้อมูลแบบอนุกรม จำนวน 8 บิตจะส่งทีละบิตจนครบ 1 ไบต์

2.9.1 พอร์ตสื่อสารข้อมูลอนุกรม RS-232

คุณสมบัติของพอร์ตสื่อสารอนุกรม RS-232

- 1) อัตราการรับส่งข้อมูล 0 - 20,000 บิตต่อวินาที
- 2) ระดับแรงดันเอาต์พุตสูงสุดในภาวะไม่มีโหลด
 - 25 โวลต์ (ลอจิก "1")
 - +25 โวลต์ (ลอจิก "0")
- 3) ระดับแรงดันเอาต์พุตสำหรับโหลด 3 - 7 กิโลโอห์ม
 - ลอจิก "1" - 15 โวลต์ (7 กิโลโอห์ม)
 - ลอจิก "1" - 5 โวลต์ (3 กิโลโอห์ม)
 - ลอจิก "0" +15 โวลต์ (7 กิโลโอห์ม)
 - ลอจิก "0" +5 โวลต์ (3 กิโลโอห์ม)
- 4) กระแสเอาต์พุต เมื่อลัดวงจรสูงสุด 500 มิลลิแอมป์
- 5) เอาต์พุตอิมพีแดนซ์เมื่อจ่ายไฟเลี้ยงต่ำสุด 300 โอห์ม
- 6) สลั้ว์เรตทางเอาต์พุตสูงสุด 30 โวลต์ต่อไมโครวินาที
- 7) ความต้านทานอินพุตของภาครับ
 - สูงสุด 7 กิโลโอห์ม
 - ต่ำสุด 3 กิโลโอห์ม
- 8) ค่าความจุของภาครับ สูงสุด 2,500 พิโกฟารัด
- 9) ย่านแรงดันอินพุตของภาครับ - 25 โวลต์ ถึง + 25 โวลต์

2.9.2 การจัดขาสัญญาณของ RS-232

การจัดขาสัญญาณของ RS - 232 นั้นมีด้วยกัน 2 แบบคือ แบบ 9 ขา (DB9) และแบบ 25 ขา (DB25) ดังในตารางข้างล่างนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 ขาสัญญาณของ RS-232 ทั้ง 2 แบบ

ชื่อสัญญาณ	DB9	DB25
TD Transmitted Data	3	2
RD Received Data	2	3
RTS Request To Send	7	4
CTS Clear To Send	8	5
DSR Data Set Ready	6	6
SG Signal Ground	5	7
CD Carrier Detect	1	8
DTR Data Terminal Ready	4	20
RI Ring Indicator	9	22

การเชื่อมต่อสัญญาณของ RS-232 มีลักษณะการเชื่อมต่อ 2 แบบด้วยกัน แบบแรกเป็นการเชื่อมต่อกันระหว่างอุปกรณ์เทอร์มินัล (Data Terminal Equipment : DTE) เช่น เครื่องคอมพิวเตอร์ เป็นต้น กับอุปกรณ์สื่อสารข้อมูล (Data Communication Equipment : DCE) เช่น โมเด็ม แบบที่สองเป็นการต่อระหว่างอุปกรณ์เทอร์มินอล (DTE) ด้วยกันทั้งสองฝ่าย หรือเชื่อมต่อคอมพิวเตอร์ 2 ตัวเข้าด้วยกันเพื่อส่งผ่านถ่ายเทข้อมูล

2.9.3. จังหวะเวลาของการสื่อสารข้อมูล

เนื่องจากการสื่อสารแบบอนุกรมเป็นการรับส่งข้อมูลเป็นกลุ่มของบิตข้อมูล (Bit Stream) ทีละบิต ดังนั้นจึงต้องพิจารณาถึงความเร็วในการรับส่งข้อมูลเป็นอันดับแรก โดยทั่วไปความเร็วจะระบุกันในหน่วยที่เรียกว่า อัตราบอด (Baud Rate) คือ เป็นหน่วยของจำนวนบิตข้อมูลภายในเวลาหนึ่งวินาที ตามค่ามาตรฐานดังตารางที่ 2.3

โมเด็มเป็นอุปกรณ์ที่สลับซับซ้อนประกอบด้วยแผนผังการทำงานมากมายที่จะต้องดำเนินการอย่างถูกต้อง ตัวอินเทอร์เฟซของแผนผังการทำงานจะต้องมีการปรับแต่งอย่างเหมาะสม ให้เป็นไปตามโครงสร้างให้ตรงตามคุณสมบัติการทำงานความแตกต่างของหน้าที่การทำงานสามารถดำเนินการสร้างได้ในหลายทาง ตัวอย่างเช่น เครื่องรับแบนด์พาส สามารถทำให้เป็น ฟิลเตอร์ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.3 อัตราบอดและช่วงเวลาของแต่ละบิตข้อมูลในการสื่อสารข้อมูลอนุกรม

อัตราบอด	ช่วงเวลาของแต่ละบิต
110	9.091 ms
150	6.67 ms
300	3.33 ms
600	1.67 ms
1200	833 ms
2400	417 μ s
4800	208 μ s
9600	104 μ s
192000	52.08 μ s

2.9.4. รูปแบบของการส่งข้อมูลอนุกรม

วิธีการที่จะทำให้ข้อมูลในการสื่อสารอนุกรมถูกต้องมากยิ่งขึ้นนั้น จะใช้วิธีการเพิ่มบิตข้อมูลบางอย่างร่วมไปกับการส่งข้อมูลจริง คือ

1) บิตเริ่มต้น (Start Bit)

มีหน้าที่สำหรับบอกให้ฮาร์ดแวร์ทราบว่าถึงตำแหน่งเริ่มต้นของบิตข้อมูลกลุ่มใหม่แล้ว เพื่อที่จะปรับจังหวะของสัญญาณรับข้อมูลให้ตรงกัน ดังนั้นบิตเริ่มต้นนี้จึงถูกเพิ่มเข้าไปก่อนมีการส่งข้อมูลจริง โดยทั่วไปแล้วค่าของบิตเริ่มต้นมักจะมีระดับลอจิกตรงข้ามกับระดับลอจิกของสายส่งข้อมูลเมื่อไม่มีการส่งข้อมูล

2) บิตพาริตี (Parity Bit)

มีหน้าที่เพื่อตรวจสอบความผิดพลาดของข้อมูลโดยจะนำไปต่อท้ายบิตข้อมูล ค่าของบิตขึ้นอยู่กับจำนวนของบิตข้อมูลที่เป็น 1 ซึ่งพาริตีนี้จะเป็นได้ 2 ลักษณะ คือ พาริตีคู่ (Even Parity) และ พาริตีคี่ (Odd Parity)

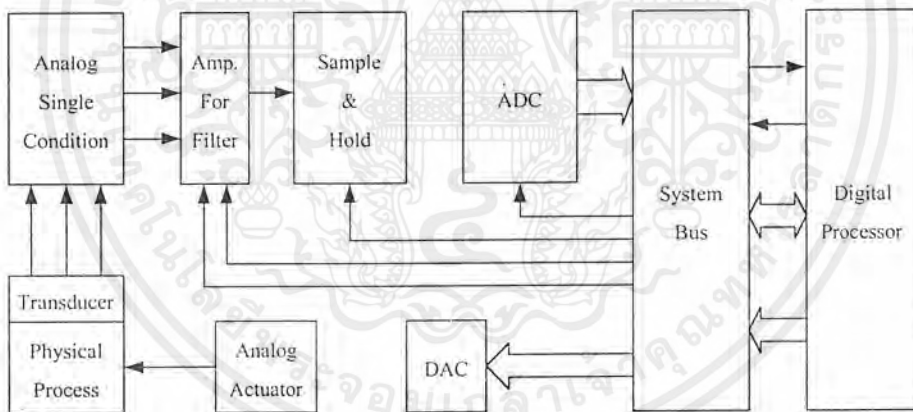
3) บิตหยุด (Stop Bit)

บิตหยุด เป็นบิตที่เพิ่มเข้าไปเพื่อบอกขอบเขตการสิ้นสุดของกลุ่มบิตข้อมูล บิตหยุดนี้จะมีมากกว่า 1 บิต ก็ได้ คือ 1 บิต, 1 บิตครึ่ง และ 2 บิต ดังนั้นในกรณีของการส่งข้อมูล 8 บิต

2.10 ทฤษฎีการแปลงสัญญาณ (Data Acquisition and Conversion)

ในอดีตรูปแบบของสัญญาณไฟฟ้าโดยมากมักจะอยู่ในรูปของสัญญาณแอนะล็อก การนำเอาสัญญาณไฟฟ้ามาประมวลผล เพื่อให้เกิดรูปแบบที่ต้องการนั้น ต้องใช้อุปกรณ์ทางแอนะล็อก แต่ปัจจุบันนี้เทคโนโลยีทางด้านดิจิทัลก้าวหน้าไปมาก ทำให้การประมวลผลสัญญาณทางดิจิทัลสามารถทำได้อย่างรวดเร็วและมีประสิทธิภาพ

ดังนั้นการแปลงรูปแบบสัญญาณ (Conversion) จึงมีความจำเป็นในการแปลงสัญญาณแอนะล็อกที่มีอยู่แล้วให้กลายเป็นสัญญาณดิจิทัล โดยอุปกรณ์การแปลงสัญญาณแอนะล็อกไปเป็นสัญญาณดิจิทัล และจะถูกประมวลผลโดยตัวประมวลผลสัญญาณดิจิทัล เช่นคอมพิวเตอร์ เป็นต้น จากผลลัพธ์ที่ได้อาจจะถูกนำมาแสดงผลโดยตรงเลย หรืออาจจะถูกแปลงให้อยู่ในรูปของสัญญาณแอนะล็อกที่ใช้งานได้ การที่จะแปลงสัญญาณแอนะล็อกไปเป็นสัญญาณดิจิทัลได้นั้นสามารถทำได้โดยใช้อุปกรณ์แปลงสัญญาณดิจิทัลให้เป็นรูปสัญญาณแอนะล็อก สำหรับระบบที่มีการประมวลผลสัญญาณข้อมูลทางดิจิทัล แสดงดังรูปที่ 2.4



รูปที่ 2.4 ระบบที่มีการประมวลผลข้อมูลทางดิจิทัล

จากรูปที่ 2.4 การเปลี่ยนแปลงทางกายภาพในลักษณะใดๆ ก็ตาม เช่น อุณหภูมิ ความดัน ความเร็ว จะถูกเปลี่ยนให้เป็นสัญญาณไฟฟ้าแบบแอนะล็อก โดยทรานสดิวเซอร์ทฤษฎีการสุ่มที่มีรูปแบบเหมาะสมกับทางกายภาพนั้นๆ จากนั้นสัญญาณทางไฟฟ้า ก็จะถูกปรับให้อยู่ในรูปแบบและขนาดที่เหมาะสมก่อน โดยวงจรต่างๆ เช่น วงจรขยาย หรือวงจรกรองสัญญาณ เป็นต้น วงจรแอมป์ลิงแอนด์โฮลด์ จะสุ่มขนาดของสัญญาณแอนะล็อกมาแล้วจะทำการโฮลด์สัญญาณนั้นไว้ชั่วคราว โดยไม่จำเป็นต้องใช้วงจร ADC แล้วข้อมูลทางดิจิทัลจะถูกส่งต่อไปยังบัสของระบบ จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นั่นตัวไมโครโปรเซสเซอร์จะทำการประมวลผลข้อมูลกลับมา เพื่อควบคุมกิจการทางกายภาพของระบบโดยผ่านตัวกระทำทางกล (Analog Actuator) วงจรแปลงสัญญาณแอนะล็อก เป็นสัญญาณดิจิทัล

การติดต่อระหว่างมนุษย์ส่วนมากจะใช้สัญญาณต่อเนื่องแอนะล็อก เป็นสัญญาณติดต่อกัน แต่ว่าการทำงานของระบบคอมพิวเตอร์ จะใช้สัญญาณเป็นช่วงดิจิทัลเป็นสัญญาณในการทำงาน ดังนั้นถ้าเราต้องการที่จะให้ คอมพิวเตอร์ช่วยเราทำงานแล้ว เราจึงต้องเปลี่ยนสัญญาณแอนะล็อกที่เราใช้อยู่ ให้ไปเป็นสัญญาณดิจิทัลเพื่อให้คอมพิวเตอร์ หรือเครื่องประมวลสัญญาณดิจิทัลรับรู้ได้ เมื่อประมวลสัญญาณเสร็จก็จะส่งข้อมูลออกมาเป็นสัญญาณดิจิทัลซึ่งเป็นเรื่องที่ยุ่งยาก ที่เราจะเข้าใจในข้อมูลนั้น ดังนั้นเราจึงต้องเปลี่ยนข้อมูลที่เป็นสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อกเพื่อให้มนุษย์เข้าใจในข้อมูลนั้น ดังนั้นพอจะสรุปได้ว่าการเปลี่ยนสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล และการเปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก ซึ่งเป็นการประสานโลกของคอมพิวเตอร์เข้ากับโลกของมนุษย์ เพื่อให้มนุษย์ได้ใช้คอมพิวเตอร์ได้อย่างสมบูรณ์ยิ่งขึ้น การเปลี่ยนสัญญาณแอนะล็อกไปเป็นสัญญาณดิจิทัล เรียกว่า Analog to Digital Conversion (ADC) หรือเรียกย่อๆว่า A to D หรือ A/D ในทำนองเดียวกัน การเปลี่ยนสัญญาณดิจิทัลไปเป็นสัญญาณแอนะล็อก เรียกว่า Digital to Analog Conversion : DAC หรือเรียกย่อๆว่า D to A หรือ D/A การเปลี่ยนสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล A/D มีขบวนการอยู่หลายวิธีแต่ละวิธีต่างมีข้อดีและข้อเสียรวมทั้งราคาที่แตกต่างกันไป จึงขอกล่าวถึงวิธีการแปลงสัญญาณอย่างคร่าวๆ ซึ่งมีหลักการดังนี้

2.10.1) A/D แบบเซอร์โว (Servo)

เป็นแบบที่ง่ายและราคาถูกที่สุด แต่การทำงานไม่เที่ยงตรง อันเนื่องมาจาก อุณหภูมิ เวลา และความไวในการรับสัญญาณอินพุต

2.10.2) A/D แบบคู่อัสตโรป อินทิเกรต (Dual - Slope Intergrator)

เป็นแบบที่มีความละเอียดถูกต้องสูง ราคาค่อนข้างแพง ทางด้านอุณหภูมิมีผลน้อย แต่มีความเร็วในการทำงานต่ำ

2.10.3) A/D แบบซัคเซสซีฟ - แอพพร็อกซิเมชัน (Successive - Approximation)

เป็นแบบที่ใช้งานกันทั่วไป และเป็นแบบซึ่งทำงานได้อย่างรวดเร็ว มีความถูกต้องสูง แต่การสร้างวงจรมันต้องใช้ D/A

2.10.4) A/D แบบคอมพาราเตอร์แบบขนาน (Parallel - Comparator)

เป็นแบบที่มีความเร็วสูงแบบหนึ่ง แต่ราคาก็สูงที่สุดในบรรดา A/D ทุกชนิด หลักการทำงานไม่ยุ่งยากและไม่ซับซ้อน แต่ต้องใช้ส่วนประกอบอื่นค่อนข้างมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.11 ทฤษฎีของการสุ่มข้อมูล (Sampling)

ในการสุ่มข้อมูลนั้นสัญญาณแอนะล็อกจะถูกสุ่มเป็นระยะคงที่ กลุ่มของสัญญาณที่ทำการสุ่มจะแทนด้วยความเร็วสูง ซึ่งเกิดจากการตัดต่อสัญญาณแอนะล็อกด้วยระยะเวลาอันสั้น ผลของการสุ่มด้วยความเร็วจะเหมือนกับการคูณของสัญญาณพัลส์กับสัญญาณแอนะล็อกซึ่งจะได้สัญญาณที่ มอดูเลต (Modulate) ระหว่างขบวนพัลส์กับสัญญาณแอนะล็อก

อัตราการสุ่มสัญญาณหรือความถี่ของการสุ่มสัญญาณควรมีค่าเท่าใด ข้อมูลที่สุ่มได้นี้จะเป็นตัวแทนที่ดี ของสัญญาณต่อเนื่องนั้น คำตอบคือขึ้นอยู่กับความถี่สัญญาณแอนะล็อก และจากทฤษฎีของการสุ่มในสแควท (Nyquist Theorem) กล่าวไว้ว่า “ถ้าสัญญาณต่อเนื่องที่มีความถี่ฮาร์โมนิก (Harmonic Frequency) ไม่เกินความถี่เริ่มต้นแล้วสัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาเช่นเดิม โดยไม่สูญเสียรายละเอียดหรือผิดเพี้ยนไปถ้าอัตราการสุ่มมากกว่า $2F$ ”

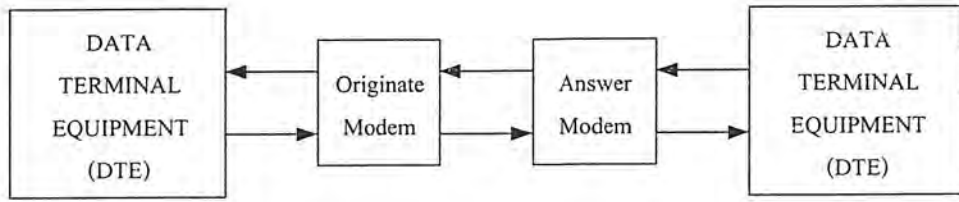
2.12 หลักการของโมเด็ม

ในปัจจุบันการใช้คอมพิวเตอร์สำหรับการสื่อสารข้อมูลนั้น มีความสำคัญเพิ่มมากขึ้นเรื่อยๆ การสื่อสารระหว่างระบบคอมพิวเตอร์หลายๆ ระบบกับเทอร์มินอล (Terminal) สามารถทำได้โดยผ่านโครงข่ายชุมสายโทรศัพท์สาธารณะ (Public Switched Telephone Network : PSTN) อุปกรณ์ที่เป็นสิ่งสำคัญของการสื่อสารข้อมูลคือ โมเด็ม (MODulator DEModulator : MODEM) ใช้ระบบการอินเตอร์เฟซ (Interface) คอมพิวเตอร์ และเทอร์มินอลเข้ากับโครงข่ายโทรศัพท์

โมเด็มจะนำไปดำเนินการในโดเมนแอนะล็อก จะใช้ช่องเก็บประกอบทางดิสครีต (Discrete) การสร้างโมเด็มต้องคำนึงถึงความยืดหยุ่นและการทำงานได้สูง ตามกระบวนการทางดิจิทัลโดยมีผลตอบสนองที่รวดเร็วของ DSP ซึ่งการประมวลผลสัญญาณดิจิทัลสามารถให้การดำเนินการในโมเด็มเป็นไปด้วยความเร็วสูง

2.12.1 ฝั่งการทำงานของโมเด็ม

โมเด็ม เป็นอุปกรณ์มอดูเลตข่าวสารเบสแบนด์ (Baseband) ที่มาตรฐาน Bell 212A เป็นโมเด็มฟูลดูเพล็กซ์ (Full Duplex) ที่ทำงานได้อย่างเต็มรูปแบบ ซึ่งสามารถทำการส่งและรับข้อมูลได้ในโมเด็มตัวเดียวกัน โดยมันทำงานโดยการแบ่งแบนวิดท์ (Bandwidth) ของช่องการสื่อสาร โมเด็มนี้ได้กล่าวถึงโหมดเริ่มแรก (Originate Mode) และโหมดตอบรับ (Answer Mode) ในโหมดเริ่มแรกโมเด็มจะเริ่มต้นกระบวนการสื่อสาร โดยทำการส่งคลื่นความถี่พาหะที่ 1,200 เฮิรตซ์ และรับที่ความถี่ขาเข้า 2,400 เฮิรตซ์ ที่ปลายช่องการสื่อสาร เป็นโมเด็มที่ทำงานในโหมดตอบรับ ที่รับที่ความถี่ 1,200 เฮิรตซ์ และส่งที่ 2,400 เฮิรตซ์



รูปที่ 2.5 แสดงผังการทำงานที่เปรียบเทียบระหว่างโมเด็มด้านส่งและโมเด็มด้านรับ

ตารางที่ 2.4 ลักษณะการทำงานของโมเด็ม

Modem Trasmitter	Implemented
Guard Tone Generator	No
Scrambler	Yes
Encoder	Yes
Digital Low Pass Filfter	Yes
Originate Mode Modulator	Yes
Answer Mode Modulator	No
Modem Receiver	Implemented
Notch Filter	No
Originate Mode Bandpass Filters	Yes
Answer Mode Bandpass Filters	No
Automatic Gain Control	Yes
Demodulator	Yes
Decision Block	Yes
Decoder	Yes
Descrambler	Yes
Clock Recovery	Yes
Carrier Recovery	Yes

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในสองส่วนย่อยๆ ต่อไปนี้ เป็นการทำงานของโมเด็มด้านส่งและด้านรับ ด้านส่งจะรับข้อมูลจาก อุปกรณ์เทอร์มินอล (เป็นบิต), อุปกรณ์เทอร์มินอลนี้อาจจะเป็นเทอร์มินอลธรรมดา, เป็นเครื่องคอมพิวเตอร์ส่วนบุคคล หรือเครื่องคอมพิวเตอร์ขนาดใหญ่ (Main Frame) โมเด็มด้านส่งเมื่อทำการประมวลผลข้อมูลเรียบร้อยแล้ว จะนำข้อมูลเหล่านี้ไปเข้ารูปร่างเพื่อส่งผ่านโครงข่ายโทรศัพท์สาธารณะ การประมวลผลข้อมูลขั้นต้นนั้นจะประกอบไปด้วยการมอดูเลตข่าวสารแบบเบสแบนด์ (ที่เป็นลอจิก 1 หรือ 0 ที่สุ่มโดย อุปกรณ์เทอร์มินอล) ให้กับเบสแบนด์ของช่องการสื่อสารเพื่อส่งให้สายส่ง ทางด้านรับจะรับข่าวสารจากชุมสายโทรศัพท์ แล้วแปลงกลับไปในรูปแบบข่าวสารเดิมซึ่งส่งด้วย อุปกรณ์เทอร์มินอล

โมเด็มเป็นอุปกรณ์ที่สลับซับซ้อน ประกอบด้วยแผนผังการทำงานมากมายที่จะต้องดำเนินการอย่างถูกต้อง ตัวอินเตอร์เฟซของแผนผังการทำงานจะต้องมีการปรับแต่งอย่างเหมาะสมให้เป็นไปตามโครงสร้างให้ตรงตามคุณสมบัติการทำงาน ความแตกต่างของหน้าที่การทำงานสามารถดำเนินการสร้างได้ในหลายทาง ตัวอย่างเช่น เครื่องรับแบนด์พาส สามารถทำให้เป็นฟิลเตอร์ เป็นต้น

2.12.2 โมเด็มด้านส่ง (Modem transmitter)

มาตรฐาน Bell 212A / V.22 คือ โมเด็มที่รับส่งสัญญาณด้วยความเร็ว 1200 บิตต่อวินาทีใช้เทคนิคการมอดูเลตแบบดิฟเฟอเรนเชียลเฟสเค (DPSK) ในการส่งข้อมูลข่าวสารผ่านช่องทางการสื่อสารทำงานสามารถอธิบายได้ดังสมการที่จะกล่าวถึงต่อไปนี้

ดิฟเฟอเรนเชียลเฟสเค เป็นการมอดูเลตข่าวสารที่จะถูกเข้ารหัสโดยการสลับเฟสของคลื่นพาหะส่ง ด้วยค่า $\phi(n)$ แทนเฟสของข่าวสารที่ส่งออก สัญญาณที่ส่งออก $S(n)$ แสดงเป็นเชิงคณิตศาสตร์ได้โดย

$$S(n) = A \cos[\omega n + \phi(n)] \quad (2.1)$$

เมื่อ ω คือความถี่พาหะ

ค่า A ในแอมพลิจูดของสัญญาณที่ส่ง จากกฎของตรีโกณมิติคือ

$$\cos(X + Y) = \cos(X)\cos(Y) - \sin(X)\sin(Y) \quad (2.2)$$

จะได้

$$S(n) = A \cos(\omega n)[\cos \phi(n)] - \sin(\omega n)\sin[\phi(n)] \quad (2.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากส่วนย่อยของ

$$I(n) = A \cos[\phi(n)]$$

$$Q(n) = -A \sin[\phi(n)]$$

แทนลงในสมการที่ (2.2) จะได้สมการที่ (2.3) ใช้อธิบายระบบการมอดูเลต DPSK คือ

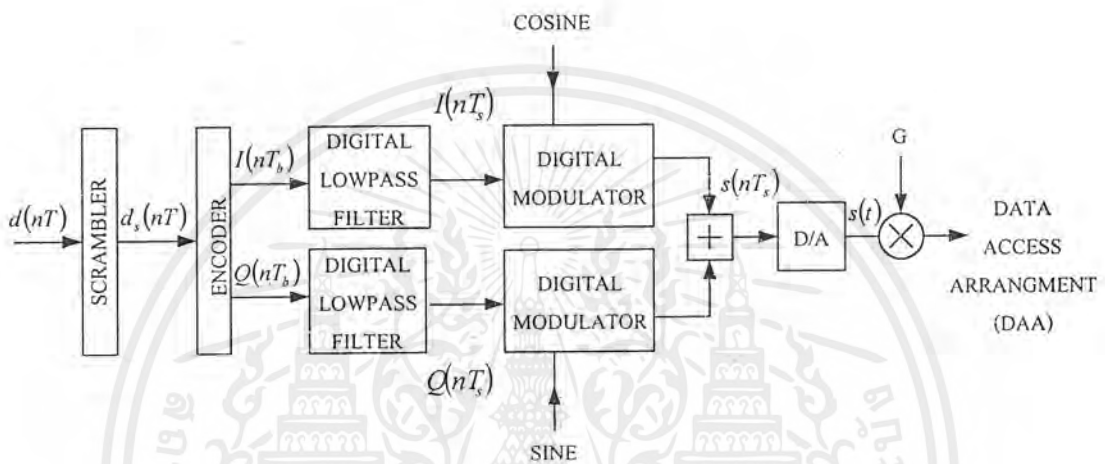
$$S(n) = I(n)\cos(\omega n) + Q(n)\sin(\omega n) \quad (2.4)$$

จากสมการที่ 2.3 สามารถมองให้อยู่ในรูปการส่งผ่านสัญญาณเบสแบนด์ $\{I(n), Q(n)\}$ ก็จะทำให้สมบูรณ์ได้ โดยการใช้คลื่นพาหะแยกเป็นสองส่วนคือ, คลื่นไซน์ (Sine Wave) และคลื่นโคไซน์ (Cosine Wave) คลื่นเหล่านี้ในออร์ทोगอนอล (Orthogonal) คือข่าวสารที่มีทิศทางไปในทางใดทางหนึ่งที่แยกเป็นอิสระจากทิศทางของข่าวสารอื่นๆ และข่าวสารนี้ถูกนำมาได้แต่ละค่าของลำดับ (Sequence) $\{I(n), Q(n)\}$ จะตรงกับองค์ประกอบของสัญญาณทางด้านส่ง (Signaling Element) จำนวนองค์ประกอบสัญญาณที่ส่งต่อวินาทีจะอ้างอิงกับค่าอัตราบอด (Baud Rate) ซึ่งตามมาตรฐาน Bell 212A/V.22 ได้ทำการเซตไว้โดย 00 โปรโตคอลเป็น 600

โดยทั่วไปแล้วสมการที่ (2.3) จะใช้กันอย่างกว้างขวางสัญญาณเบสแบนด์ ที่ทำการมอดูเลตกับสัญญาณโคไซน์ เรียกว่า “Inphase Sequence” ส่วน Baseband Sequence ที่มอดูเลตกับสัญญาณไซน์ เรียกว่า “Quadrature-phase Sequence” เมื่อคลื่นพาหะไซน์มีมุมเท่ากับ 90° (เรียกว่า One Quadrant) ต่างเฟสกัน จากคลื่นพาหะโคไซน์ ในส่วนของเครื่องรับเครื่องส่ง ที่ทำการประมวลผล Inphase Sequence จะอ้างอิงค่านี้ของ I ในขณะที่ส่วนของ Transmitter / Receiver ที่ประมวลผลที่ Quadrature-phase Sequence จะอ้างอิงด้วยช่อง Q

การพิสูจน์ที่มาของสมการที่ 2.3 และแสดง Incoming Sequence เมื่อเข้ารหัสไปลงใน Sequence $\{I(n), Q(n)\}$, และตัวหลังคือ ส่วน (Transmitted) กฎ Mapping ใช้ในหน่วยของระบบนี้ เมื่อ กฎ Mapping สำหรับมาตรฐาน Bell 212A/V.22 แตกต่างจาก Mapping Value ที่ใช้ในโมเด็มชนิดนั้น (V.22 bis, V.27, V.29, ect) ต้องอ้างอิงมาตรฐาน Bell 212A/V.22, Sequence $\{I(n), Q(n)\}$ ประกอบด้วย ข่าวสารเฟส ในขณะที่มาตรฐาน V.22 bis จะประกอบด้วยข่าวสารทางเฟส และแอมพลิจูด ในเซตของปริมาณที่เป็นไปได้ของ Sequence $\{I(n), Q(n)\}$ จะได้หากกลุ่มสัญญาณซึ่งให้อยู่ในรูปแบบ 2 ชั้น กลุ่มสัญญาณ (Signal Constellation) มีพื้นฐานที่อ้างอิงด้วยกลุ่มฟังก์ชันการทำงาน เป็นภาพเรขาคณิตที่เน้นให้ความสำคัญตามความเป็นจริงจะได้ว่า ถ้าทั้งสองช่องเป็น 90° จะมีเฟส

มาตรฐาน Bell 212A/V.22 มีอัตราบอด 600 ที่สายส่งจะเป็น 1,200 bps โดยการเข้ารหัสด้วย 2 (Incoming Bit) ภายในบอดเดียว ถ้าเป็น 4 ค่าในทุกๆ คิบิต : กลุ่มแผนผังของมาตรฐาน Bell 212A/V.22 จะมี 4 จุด แต่ละจุด Constellation คือแต่ละค่าของลำดับ $\{I(n), Q(n)\}$ จะตรงกับค่าของเฟสทั้งหมดที่จะต้องส่ง การคำนวณค่าเฟสทั้งหมดจาก Incoming Dibits จะตัดสินใจ



รูปที่ 2.6 แผนผังการทำงานของ โมเด็มด้านส่ง

1) Scrambler

ตัวสแกนเบลอร์ (Scrambler) จะทำการสแกนเบล (Scramble) บิตข้อมูลและส่งออกโดยการอุปกรณ์เทอร์มินอล การทำความเข้าใจตัวสแกนเบลอร์พิจารณาที่สถานะอุปกรณ์เทอร์มินอล ส่งข้อมูลคิบิต 01 อนุกรม แต่ละคิบิต 1 ตรงกับการเปลี่ยนแปลงเฟส 0 องศา ผลรวมของเฟสที่ทำการส่งก็จะเหมือนกันหมด

2) Encoder

หน้าที่ของ Encoder คือ การทำการแมป (Mapping) ใส่ไว้ในค่าของ $\{I(n), Q(n)\}$ โดยการเปลี่ยนการสุ่มความถี่ที่การเข้ารหัสทุกๆ 2 บิตที่โมเด็มด้านส่งที่รับได้จากอุปกรณ์เทอร์มินอลซึ่งจะตรงกับเฟสที่ทำการส่งออกไป ดังนั้นที่การเข้ารหัสเอาต์พุตคาบเวลาที่ทำการสุ่มจะเปลี่ยนจาก T เป็น T_b นั่นคือ จาก 1/1,200 วินาทีไปเป็น 1/600 วินาที ในที่นี้ T_b คือ บอดที่ได้ทำการเข้ารหัสแล้วไปเป็นอัตราบอด

3) Digital Modulators and Lowpass Filter

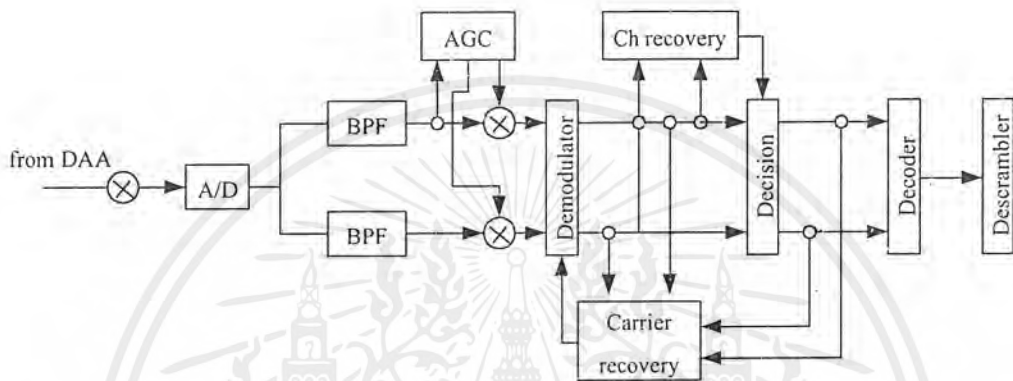
เมื่อใดที่โครงข่ายโทรศัพท์ปฏิบัติงานด้วยย่านความถี่เริ่มต้นที่ประมาณ 300 เฮิรตซ์ และจบที่ประมาณ 3200 เฮิรตซ์ เอาต์พุตของตัวเข้ารหัสแบบ I(nTb) และ Q(nTb) ไม่สามารถส่งผ่านตัวกลางการสื่อสารได้โดยตรงดังนั้นต้องการมอดูเลตเพื่อเพิ่มความถี่ให้สูงขึ้น การมอดูเลตนี้ไม่สามารถทำได้โดยตรงที่การเข้ารหัสที่เอาต์พุต ซึ่งมีเหตุผลอธิบายได้ 2 เหตุผล เหตุผลแรกความถี่สุ่มจะต้องเพิ่มขึ้นจาก $1/Tb$ ไปเป็น $1/Ts$ อย่างน้อย 6.4 กิโลเฮิรตซ์ การเพิ่มความถี่สุ่มนี้ทำได้โดยการสอดแทรก (Interpolation) เข้าไป เหตุผลที่ 2 ถ้าการมอดูเลตพยายามทำให้การเข้ารหัสที่เอาต์พุตโดยตรงการเปลี่ยนช่วงเวลาสั้นๆ ของ I(nTb) และ Q(nTb) ก็จะเกิดเป็นฮาร์โมนิก อันดับที่สูงๆ ซึ่งฮาร์โมนิกบางส่วนนี้จะตกลงในรอยต่อความถี่ที่ให้กับเครื่องรับ การทำการขจัดฮาร์โมนิกแล้วเพิ่มค่าความถี่การสุ่มโดยการสอดแทรกการเข้ารหัสที่เอาต์พุตจะต้องเป็น Digital Lowpass Filter

2.12.3 โมเด็มด้านรับ (Modem Receiver)

ในส่วนนี้จะอธิบายเกี่ยวกับฝั่งการทำงาน ที่ต้องสร้างในมาตรฐานของ Bell 212A/V.122 โมเด็มโครงสร้างของเครื่องรับจะความสลับซับซ้อนกว่าด้านเครื่องส่ง ในการทำการที่มีอัตราการผิดพลาดบิตต่ำ (เปอร์เซ็นต์ของบิตผิดพลาดที่รับได้), ระบบย่อย AGC, Adaptive Equalization ของระบบการส่งทั้งหมด และวงจรกู่คลื่นพาหะที่อิสระจากสัญญาณรบกวน และวงจรกู่สัญญาณนาฬิกา ห่วงข้อที่กล่าวจะเกี่ยวกับการกู่คลื่นพาหะ และกู่สัญญาณนาฬิกา เป็นสิ่งสำคัญในการออกแบบโมเด็ม และทำความเข้าใจยาก

Adaptive Equalizer เป็น Adaptive Filter ที่ชดเชยการรบกวนจากสัญญาณรบกวนระหว่างสัญญาณ และปรากฏการณ์ doppler Spread ได้แนะนำไว้ที่ช่วงสายนำสัญญาณของโทรศัพท์ ขนาดของปรากฏการณ์ดังกล่าวจะพึ่งพาอัตราบิต และประสิทธิภาพของสายโทรศัพท์ ปรากฏการณ์จะมีค่ามากที่ ค่าอัตราสูง ๆ (2,400 bps หรือมากกว่า) และสายโทรศัพท์ที่แย่ที่สุด ซึ่งปกติจะแสดงด้วย 3002 ไลน์ซิมูเลเตอร์ (Line Simulator) ตามมาตรฐาน Bell 212 A/V.22 ไม่เป็นสิ่งที่ต้องการของ Adaptive Equalizer ดังนั้น การดำเนินการสร้าง จะไม่รวมหัวข้อดังกล่าวไว้ อย่างไรก็ตามในการดำเนินการเพื่อขึ้นจาก 3002 Line จะใช้ในโมเด็มความเร็วปานกลาง เช่น 1,200 บิตต่อวินาที, สัญญาณรบกวนระหว่างสัญญาณและปรากฏการณ์ คือ ดอปเพิอร์สปรืด (Doppier Spread) มีค่ามาก Adaptive Equalizer ได้แนะนำไว้แล้ว ความสำคัญของจุดนี้ได้รวมเอาไว้ในส่วน Adaptive Equalizer ภายใน การสร้าง TMS32010 ของโมเด็ม Bell 212 A/V.22 โดยไม่ต้องเปลี่ยนฮาร์ดแวร์ ผลจากการสร้างให้มากขึ้นก็จะทำให้ Algorithm สลับซับซ้อนขึ้นด้วย

ผังการทำงานทั้งหมดของ โมเด็มด้านรับดังรูปที่ 2.7 เป็นแผนผังการทำงาน เครื่องรับ โมเด็ม พื้นฐานประกอบด้วย BPF, AGC, Demodulator, Decision Dlock Decoder, Descrambler, Carrier Recovery และ Clock Recovery



รูปที่ 2.7 แผนผังการทำงานของ โมเด็มด้านรับ

1) แบนด์พาสฟิลเตอร์ขาเข้า (Input Band Pass Filter : BPF)

สัญญาณแอนะล็อกขาเข้า $S(t)$ จะถูกเปลี่ยนเป็น สัญญาณดิจิทัล โดยการสุ่มตัวอย่าง ความถี่ f_s ประกอบกับ $S(nTs)$ (Digital Counterpart) สัญญาณนี้ต้องผ่านแบนด์พาสฟิลเตอร์ ด้วย เหตุผล 3 ประการ คือ

- 1.1) ขจัดสัญญาณรบกวนที่อยู่นอกแบนด์ (Band) ประกอบด้วย การจัดสเปกตรัมของ สัญญาณส่ง เนื่องจากช่องสัญญาณ Near-End-Echo
- 1.2) นำเอาสัญญาณที่เลื่อนเฟสไป 90 องศา มาใช้สำหรับแยกช่อง I และ Q
- 1.3) กำหนดการยกระดับการลดทอนของสายให้คงที่

เหตุผลที่นอกเหนือจากความต้องการของแบนด์พาสฟิลเตอร์ ด้านเครื่องรับที่จะได้รับการ เลื่อนเฟส 90° โดยไม่มีฮาร์โมนิกส์ (Harmonics) ที่เอาต์พุตของเครื่องลดครหัสสัญญาณทางด้านรับ แต่ถ้าเงื่อนไขไม่ตรง จะทำให้เกิดฮาร์โมนิกส์ขึ้นที่คลื่นพาหะทั้ง 2 ซึ่งฮาร์โมนิกส์มีผลต่อการสร้าง โมเด็ม ที่เซ็ทช่วงการกรองสัญญาณได้ไม่ตรงกับเงื่อนไข ของช่องความถี่ที่ต้องการขจัดฮาร์โมนิกส์ เนื่องจากการเลื่อนเฟสไม่ตรงกับ 90° โดยใช้เครื่องกรองสัญญาณความถี่ต่ำ (Low Pass Filter : LPF) ที่เอาต์พุตของเครื่องลดครหัส อย่างไรก็ตามจะมีการล่าช้า และการลดทอนของเฟส โดยใช้เครื่อง กรองความถี่ต่ำ จะมีผลกระทบต่อสัญญาณพาหะซดเซช (Carrier Recovery) และเคสิชั่นอัลกอรึทึม เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Decision Algorithm) การชดเชยสัญญาณสะท้อนของเครื่องกรองความถี่ต่ำเกิดขึ้นได้ถ้าทำการออกแบบ โมเด็มที่มากขึ้นในโดเมนแอนะล็อก (Analog-Domain) เมื่อเกิดการเลื่อนหองค์ประกอบใด ๆ ลงเนื่องจากอายุการทำงาน หรือเกิดจากผลของอุณหภูมิก็จะไม่เกิดขึ้นในการออกแบบวงจรกรองความถี่ต่ำผ่าน จะทำให้ได้การเลื่อนเฟส 90° อย่างแน่นอน วงจรกรองแบบดิจิทัลที่ใช้ในการออกแบบ BPF ที่จะได้การเลื่อนเฟส 90° แน่ชอนนั้น ทำได้โดยคือ Digital Filter Design Packages (DFDP) นำเสนอโดย Atlanta Signal Processor Incorporatal (ASPI) สามารถใช้ออกแบบ Modem Receiver Input Filter โดยใช้ TMS32010 ที่ทำให้ได้การเลื่อนเฟส 90° ตามต้องการ คุณลักษณะและการสร้าง Modem Receiver Input Filter หารายละเอียดได้ในส่วน Receiver Filter ใน “Funtions Implemoted in the TMS32010”

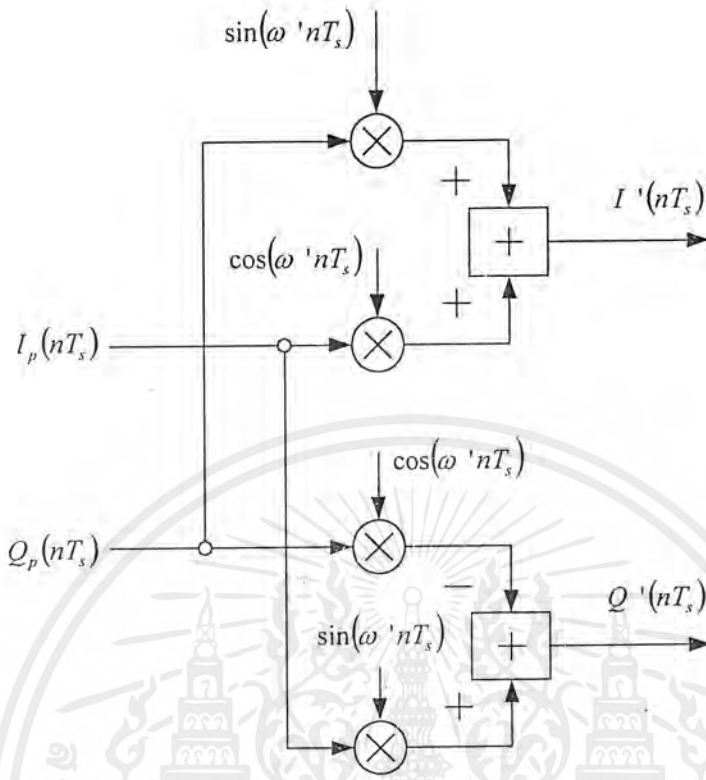
2) Automatic Gain Control (AGC)

จากการทำการลดทอนสัญญาณที่สายโทรศัพท์ Vp-p ของสัญญาณแอนะล็อกขาเข้า จะอยู่ในช่วง 2mV-700mV แม้ว่าระดับสัญญาณในเครื่องรับจะต้องเป็นอิสระจากการลดทอน จากการต้องการการสื่อสาร หัวข้อนี้สำคัญมากเพราะ Algorithm ของ Carrier-Clock Recover ใช้สัญญาณผิดพลาด (Error Signal) และ Thresholds ในค่าช่อง I และ Q ดังนั้น AGC ก็ต้องการปรับค่า Envelope ของช่อง I และ Q นั่นคือต้องมี Magnitude คล้ายกัน AGC Algorithm ต้องใช้มันในการดำเนินการในส่วนการทำงานของ AGC ในส่วน Automatic Gain Control ของ Functions Implemented in the TMS32010

3) Demodulater

ดีมอดูเลเตอร์ได้แปลงจากข้อมูลผ่านแถบ (Passband) กลับไปเป็นเบสแบนด์ด้วย $I_p(nT_s)$ และ $Q_p(nT_s)$ อินพุตไปให้ ดีมอดูเลเตอร์ เอาต์พุต $I'(nT_s)$ และ $Q'(nT_s)$ ซึ่งกำหนดโดยเมื่อ w' คือ ความถี่พาหะที่สร้างขึ้นเองรูปที่ 2.8 แสดง โครงสร้างดีมอดูเลเตอร์ ที่สร้างขึ้นจากสมการ (2.3) และ (2.6)

ดีมอดูเลเตอร์ได้ทำการแปลงจากข้อมูลผ่านแถบ กลับไปเป็นเบสแบนด์ด้วย $I_p(nT_s)$ และ $Q_p(nT_s)$ อินพุตไปให้ดีมอดูเลเตอร์ เอาต์พุต $I'(nT_s)$ และ $Q'(nT_s)$ กำหนดโดย เมื่อ w' คือ ความถี่พาหะที่สร้างขึ้นเอง รูปที่ 2.8 แสดง โครงสร้างของดีมอดูเลเตอร์ ที่สร้างขึ้นจากสมการ (2.3) และ จากสมการ (2.6)

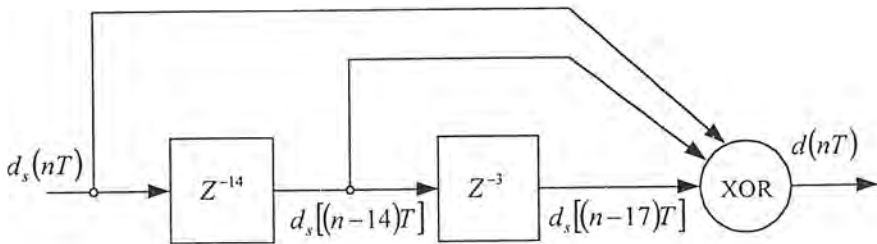


รูปที่ 2.8 โครงสร้างของดีมอดูเลเตอร์

4) Decision Block and Descrambler

Decision Block ใน คำนำหนาพสรวมจากค่าเบสแบนด์ ช่อง I และ Q โดยการลบมันออก จากเฟสช่วงที่มีการเปลี่ยนแปลงโดยรวดเร็ว

แต่ละเฟสที่เปลี่ยนแปลง (โดยรวมมี 4 มุม) มีความสัมพันธ์กับคิบิต คิบิตนี้จะทำการส่งให้ กับคิสแกรมเบลอร์ (Descrambler) ได้ด้วย เมื่อ T เป็นคาบของข้อมูล สำหรับระยะของ กราฟการ ไหลสัญญาณของสแกรมเบลอร์ในเครื่องรับแสดงดังในรูปที่ 2.9

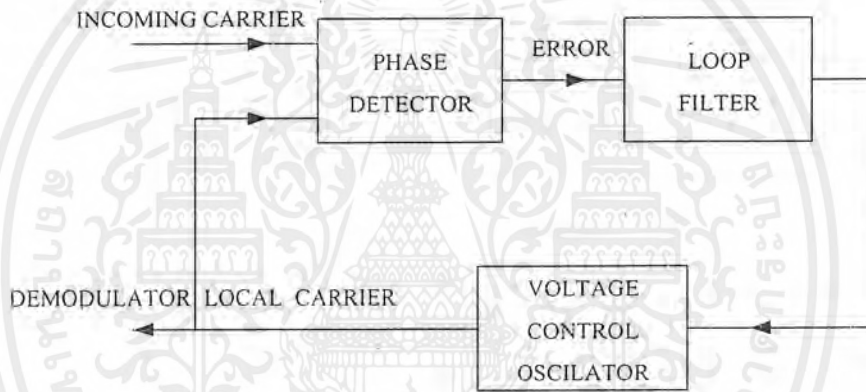


รูปที่ 2.9 กราฟการไหลของสัญญาณคิสแกรมเบลอร์ในภากรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5) Carrier Recovery

สิ่งสำคัญของเครื่องรับ โมเด็ม คือการกำเนิดสัญญาณพาหะให้มีความถี่และเฟสเหมือนกับสัญญาณพาหะที่เข้ามา การกำเนิดคลื่นสัญญาณพาหะนี้เรียกว่าโลคัลแคเรียร์ (Local carrier) ที่ใช้ในดีมอดูเลเตอร์ ในรูปที่ 2.7 ที่ดีมอดูเลเตอร์สัญญาณที่เข้ามาแล้ว จะได้สัญญาณเบสแบนด์ กระบวนการกำเนิดพาหะนี้เรียกว่าการกู้คลื่นพาหะ (Carrier recovery) ขั้นตอนมาตรฐานในกระบวนการนี้คือ กระบวนการเฟสล็อกกลูป (Phase Locked Loop:PLL) ดังรูปที่ 2.9 แสดงผังการทำงานพื้นฐานของเฟสล็อกกลูป, เฟสดีเทคเตอร์ (Phase detector), เฟสลูปฟิลเตอร์ (Phase Loop filter) และ Voltage Controlled Oscillator : VCO)



รูปที่ 2.10 วงจรกู้คลื่นพาหะด้วยเฟสล็อกกลูป

การสร้างกับ ผังการทำงานของไมโครโปรเซสเซอร์ในรูปที่ 2.7 เป็นการดำเนินการทางดิจิทัลได้อธิบายรายละเอียดไว้ใน Functions Implemented in the TMS32010 เป็นหัวข้อที่เกี่ยวข้องกับ Carrier Recovery Phase Lock Loop เท่านั้น

เฟสดีเทคเตอร์ จะกำเนิดสัญญาณผิดพลาด (Error Signal) โดยใช้ในการ Synchronize Local Carrier กับ Incoming Carrier สัญญาณผิดพลาดนี้จะต้องประกอบด้วยข่าวสารที่มีความถี่และเฟสแตกต่างกันระหว่างโลคัลแคเรียร์ กับ Incoming Carrier การกู้คลื่นพาหะที่มึนที่ถูกต้องคือสิ่งที่ต้องการสร้างเป็นสิ่งที่ต้องการทำให้ตรงกัน โดยการฟังพาของเฟสดีเทคเตอร์ เป็นเฟสและความถี่ที่แตกต่างกันระหว่างพาหะทั้งสอง

2.13 มาตรฐานโมเด็ม V.22

โมเด็มนี้จัดทำขึ้นมีจุดประสงค์เพื่อใช้ในการเชื่อมต่อสวิตช์แบบธรรมดาของเครือข่ายโทรศัพท์ (GSTN) และวงจรที่เชื่อมต่อแบบจุดต่อจุด เมื่ออยู่ในสภาวะที่เหมาะสม โดยทั่วไปคุณสมบัติของโมเด็มนี้ จะมีลักษณะดังนี้

- 1) การทำงานแบบ duplex operation กับสวิตช์สองสายแบบธรรมดาของเครือข่ายโทรศัพท์ (GSTN) และวงจรเช่าที่เชื่อมต่อแบบจุดต่อจุด
- 2) การแบ่งแยกช่องสัญญาณ โดยใช้ frequency division
- 3) การมอดูเลชันแบบ differential phase shift keying สำหรับแต่ละช่องสัญญาณ กับ Synchronous Line Transmission ที่ 600 bauds
- 4) การสแกนเบลอร์ (scrambler)
- 5) อุปกรณ์ทดสอบ

2.13.1 คลื่นพาหะ และ ระดับของเส้นสัญญาณ Guard Tone

ความถี่พาหะควรจะเป็น 1200 เฮิร์ตซ์ ± 0.5 เฮิร์ตซ์ของช่องต่ำ และ 2,400 เฮิร์ตซ์ ± 1 เฮิร์ตซ์ ของช่องสูง ส่วน guard tone เป็น 1800 เฮิร์ตซ์ ± 20 เฮิร์ตซ์ เฉพาะเครื่องส่งเท่านั้น เมื่อโมเด็มส่งสัญญาณในช่องสูงค่าเหล่านี้อาจไม่ตรงตามทางเลือกของนานาชาติ การ์ดโทนที่ 550 ± 20 เฮิร์ตซ์ อาจจะตรงตามทางเลือกของนานาชาติ ถ้าถามของนานาชาติที่มีการเรียกร่องระหว่างเมืองต่างๆ ที่กำลังต้องการ Guard Tone ที่แตกต่างกันไป ยังเป็นสิ่งเล็กๆ น้อยๆ ที่จะต้องทำการศึกษากันต่อไป

2.13.2 ข้อมูลและระดับเส้นสัญญาณ guard tone

Guard Tone ที่มีความถี่ 1,800 เฮิร์ตซ์ ควรจะอยู่ที่ระดับของ 6 ± 1 dB ซึ่งต่ำกว่าระดับของกำลังงานข้อมูลในช่องสูง ระดับของทางเลือกสัญญาณเสียง 500 เฮิร์ตซ์ เป็นระดับที่ต้องศึกษาต่อไป กำลังงานทั้งหมดที่ส่งถึงสายควรจะสอดคล้องกับกับคำแนะนำของมาตรฐาน V.22 และควรจะคล้ายกับเครื่องส่งในแต่ละช่องสัญญาณ เนื่องจาก Guard Tone 1,800 เฮิร์ตซ์ ระดับกำลังงานของสัญญาณข้อมูลในช่องสัญญาณสูงมีค่าประมาณ 1 dB ต่ำกว่าสัญญาณข้อมูลในช่องสัญญาณต่ำ

2.13.3 มอดูเลชัน

1) อัตราส่วนสัญญาณข้อมูล

ทางเลือก A และ B อัตราส่วนสัญญาณข้อมูลที่ส่งถึงสายควรจะเป็น 1,200 บิตต่อวินาที หรือ 600 บิตต่อวินาที ± 0.01 % กับอัตราส่วนการมอดูเลตของ 600 บอด ± 0.01 %

ทางเลือก C ในโหมด i), ii), iii) และ iiiii) อัตราส่วนสัญญาณข้อมูลเปรียบเทียบกับทางเลือก A และ B ในโหมด v) อัตราส่วนสัญญาณข้อมูลที่ส่งถึงสายควรเป็น $1,205 \pm 1$ บิตต่อวินาที กับอัตราส่วนการมอดูเลต 602.5 บิตต่อวินาที ± 0.5 บอด ทางเลือกในโหมด v) , อัตราส่วนของสายควรจะเป็น $1,223 \pm 2$ บิตต่อวินาที กับอัตราส่วนการมอดูเลต 611.5 ± 1 บอด

2) การถอดรหัสของบิตข้อมูล 1200 บิตต่อวินาที

การไหลของข้อมูลจากเครื่องส่งควรจะถูกแบ่งเป็นกลุ่มๆ ข้อมูลสองบิตที่เรียงกันเป็นลำดับที่ ดิบิต(dibits) ซึ่งแต่ละ ดิบิต ควรจะถอดรหัสในขณะที่เฟสเปลี่ยนแปลงสัมพันธ์กับเฟสของสัญญาณที่เกิดขึ้นก่อน (ดูตารางที่ 2.5) ที่เครื่องรับดิบิตควรที่จะถอดรหัส และ บิตต่างๆ ควรจะรวบรวมอีกครั้งหนึ่งในคำสั่งที่ถูกต้อง หลักทางซ้ายมือสุดของดิบิต เป็นตัวแรกที่เกิดขึ้นในการไหลของข้อมูลที่เข้าไปในส่วนขงมอดูเลเตอร์ของ โมเด็ม หลังจากผ่านสแกรมเบลอร์แล้ว

ตารางที่ 2.5 การมอดูเลชันของแต่ละบิตข้อมูล

ค่าดิบิต (1,200 บิตต่อวินาที)	ค่าบิต (600 บิตต่อวินาที)	การเปลี่ยนแปลงเฟส (โหมด i,ii,iii,iii)	การเปลี่ยนแปลงเฟส (โหมด v)
00	0	+90 องศา	+270 องศา
01	-	0 องศา	+180 องศา
11	1	+270 องศา	+90 องศา
10	-	+180 องศา	0 องศา

3) การถอดรหัสของบิตข้อมูล 600 บิตต่อวินาที

ข้อมูลแต่ละบิตควรที่จะเข้ารหัสให้เกิดการเปลี่ยนแปลงเฟสที่สัมพันธ์กับเฟสของสัญญาณที่เกิดขึ้นก่อน ดังในตารางที่ 2.5

2.13.4 ความคลาดเคลื่อนของสัญญาณทางด้านรับ

การบันทึกความถี่นั้นมีความคลาดเคลื่อนของคลื่นพาหะของเครื่องส่งเป็น ± 1 เฮิร์ตซ์ หรือน้อยกว่านี้ และ สันนิษฐานว่าสัญญาณความถี่จะเลื่อนสูงสุด ± 6 เฮิร์ตซ์ ในจุดเชื่อมต่อเครื่องรับควรที่จะยอมรับความผิดพลาดที่ต่ำสุด ± 7 เฮิร์ตซ์ ในความถี่ทางด้านรับ

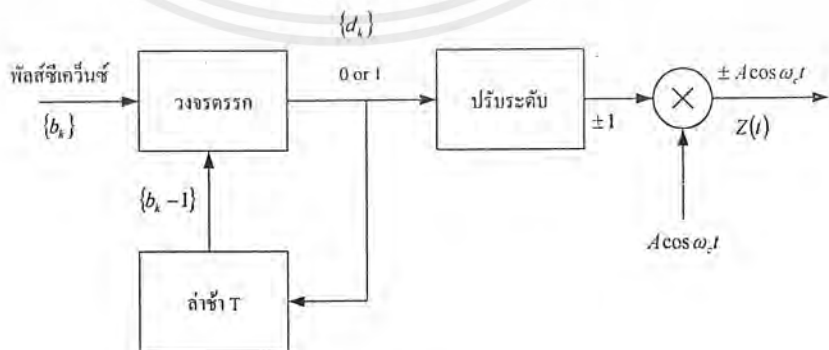
2.14 ดิฟเฟอเรนเชียลพีเอสเค

ระบบพีเอสเค แม้จะมีวิสัยความสามารถสูงหรือมีความน่าจะเป็นของความผิดพลาดต่ำ เมื่อเทียบกับระบบดิจิทัลออลมอดูเลชันอื่นที่ค่า SNR หรือ E/η เดียวกัน แต่ก็มีข้อเสียที่ต้องมีสัญญาณอ้างอิงที่มีความถี่เดียวกับสัญญาณพีเอสเคเข้าหรือที่เรียกว่า การรับแบบโคฮีเร้นท์ ในทางปฏิบัติสัญญาณอ้างอิงนั้นกำเนิดได้ยากเพราะไม่มีเครื่องต้นความถี่ (Oscillator) ใดที่จะกำเนิดความถี่คงที่ได้ตลอดเวลา จึงมีการวิจัยค้นดิฟเฟอเรนเชียลพีเอสเคขึ้น โดยใช้หลักการเปรียบเทียบความแตกต่างของชั่วของบิตที่เข้ามาเทียบกับบิตก่อนที่ถูกป้อนกลับโดยมีการล่าช้าทางเวลาเท่ากับ 1 ช่วงเวลาของพัลส์บิตพอดิ T ถ้าไม่มีความแตกต่างให้ได้พัลส์ “1” และถ้ามีความแตกต่างให้ได้พัลส์ “0” และเฟสของดิฟเฟอเรนเชียลพีเอสเคให้มีค่าเท่ากับ 0 เมื่อได้พัลส์ “1” และ เท่ากับ π เมื่อได้พัลส์ “0” ดังรูปที่ 2.11 การลงรหัสสั้นแสดงในตารางที่ 2.6

ส่วนภาครับของดิฟเฟอเรนเชียลพีเอสเค (DPSK) ก็เช่นเดียวกับภาคส่ง สัญญาณดิฟเฟอเรนเชียลพีเอสเคที่มีเฟสเท่ากับ 0 หรือ π หรือมีขั้วเป็น 1 หรือ -1 (ถ้าค่าไม่อมัลติพลายจะได้ $+A$ และ $-A$) นั้นจะถูกลบกับบิตก่อนที่จะถูกป้อนไปข้างหน้าโดยมีการล่าช้าทางเวลาเท่ากับ T ผลคูณเลขฐานสองก็จะให้พัลส์เป็น 1

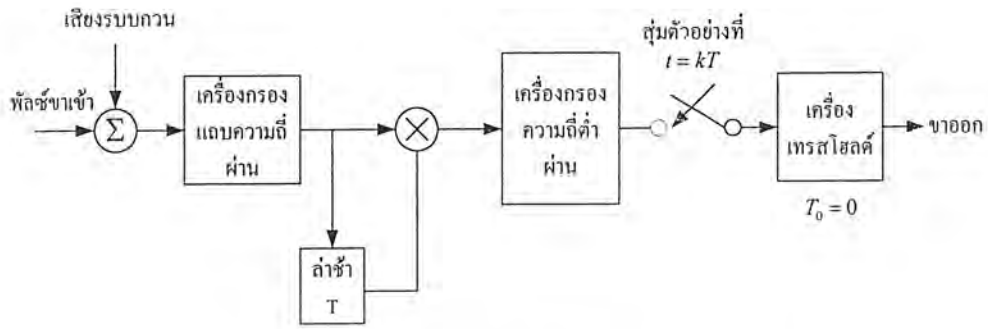
หรือ 0 ตามต้องการ ซึ่งตรงกับพัลส์ซีเควินซ์ทางภาคส่ง ในกรณีที่เกิดปรากฏการณ์เฟดดิ้งช้าๆ เมื่อเทียบกับอัตราการส่งบิตจะทำให้เฟสของพัลส์ $s(t)$ และ $s(t-T)$ ได้รับผลกระทบเท่ากัน ข่าวสารที่ได้จากการเปรียบเทียบความแตกต่างของเฟสระหว่าง 2 พัลส์นี้ก็ยังคงอยู่ไม่เปลี่ยนแปลง

ความแตกต่างอย่างมากระหว่างระบบดิฟเฟอเรนเชียลพีเอสเคและระบบพีเอสเค ไม่ได้อยู่ที่การลงรหัสแบบดิฟเฟอเรนเชียล (Differential Encoding) แต่อยู่ที่ระบบดิฟเฟอเรนเชียลพีเอสเคสามารถสร้างสัญญาณอ้างอิงที่อิงกันจากสัญญาณขาเข้าเครื่องรับอย่างง่ายได้



รูปที่ 2.11 เครื่องมอดูเลเตอร์ดิฟเฟอเรนเชียลพีเอสเค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 เครื่องคิมอดูเลเตอร์ดีพีเอสเค

ตารางที่ 2.6 การเข้ารหัสแบบดิฟเฟอเรนเชียลดีพีเอสเคและการถอดรหัส

ซีเควินซ์ขาเข้า (bk)	1 0 1 1 0 1 0 0 1
ซีเควินการลงรหัส (bk)	1 1 0 0 0 1 1 0 1 1
เฟสที่ส่ง	0 0 π π π 0 0 π 0 0
ขาออกของเฟสที่เปรียบเทียบ	+ - + + - + - - +
ซีเควินของบิตขาออก	1 0 1 1 0 1 0 0 1

ต่อไปนี้จะกำหนดค่าความน่าจะเป็นของความผิดพลาดของดีพีเอสเค โดยสมมติว่าเฟสของตัวพาระหว่างช่วงเวลา $(k-1)$ และ k พัลส์มีค่าเท่ากับ "0" นั่นคือ $\theta_k = 0$ ความผิดพลาดในการถอดรหัส k บิตจะเกิดขึ้น ถ้าสัญญาณขาออกของเครื่องเปรียบเทียบเฟส (phase comparator) เป็นค่าที่ติดลบ สัญญาณเข้าที่เครื่องกรองความถี่ต่ำในรูปที่ 2.12 เขียนได้ดังนี้

$$S(t) = [A \cos \omega_c t + n_1(t)] [A \cos \omega_c t' + n_1(t')] \quad (k-1)T \leq t \leq kT \quad (2.5)$$

ในที่นี้ $t' = t - T$ และ $n_1(t)$ คือ เสียงรบกวนที่ผ่านเครื่องกรองความถี่ผ่านแถบแล้ว $n_1(t)$ สามารถแตกเป็นส่วนประกอบอินเฟสและควอดราเจอร์

$$n_1(t) = n_c(t) \cos \omega_c t - n_s(t) \sin \omega_c t \quad (2.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนสมการ (2.6) ในสมการ (2.5) จะได้

$$\begin{aligned}
 S(t) &= [A + n_c(t)]\cos\omega_c t [A + n_c(t')]\cos\omega_c t' \\
 &\quad - [A + n_c(t)]\cos\omega_c t [n_s(t')\sin\omega_c t'] \\
 &\quad - n_s(t)\sin\omega_c t [A + n_c(t')\cos\omega_c t'] \\
 &\quad \quad n_s(t)n_s(t')\sin\omega_c t\sin\omega_c t'
 \end{aligned} \tag{2.7}$$

สัญญาณ $S(t)$ จะผ่านเครื่องกรองความถี่ผ่านต่ำ เครื่องกรองความถี่ผ่านต่ำจะยอมให้สัญญาณที่มีความถี่ต่ำกว่าความถี่ตัดออก (cutoff frequency) ของเครื่องกรองความถี่ต่ำผ่านผ่านได้ ส่วนสัญญาณที่มีความถี่ 2 เท่าของ ω_c จะถูกกรองออกไปเนื่องจากเราสมมติว่าเฟสของพัลส์ $k-1$ และ k มีค่าเท่ากับ “0” เหมือนกัน $\sin\omega_c t = \sin\omega_c t'$ และ $\cos\omega_c t = \cos\omega_c t'$ สัญญาณขาออกของเครื่องกรองความถี่ผ่านต่ำ $S_o(kT)$ จะได้

$$S_o(kT) = C[A + n_c(t)][A + n_c(t')] + n_s(t)n_s(t') \tag{2.8}$$

ในที่นี้ C คือค่าคงที่ที่เป็นค่าบวก $t = kT$ และ $t' = (k-1)T$ ค่าความน่าจะเป็นของความผิดพลาด P_e หาได้ดังนี้

$$P_e = P[S_o(kT) \neq 0] = \left[\frac{1}{C} S_o(kT) \neq 0 \right]$$

เพื่อให้สมการความน่าจะเป็นของความผิดพลาดง่ายขึ้น ให้

$$\begin{aligned}
 u_1 &= A + \frac{n_c(t) + n_c(t')}{2}, \quad u_2 = \frac{n_c(t) - n_c(t')}{2} \\
 v_1 &= \frac{n_s(t) + n_s(t')}{2}, \quad v_2 = \frac{n_s(t) - n_s(t')}{2}
 \end{aligned} \tag{2.9}$$

แทนสมการ (2.8) ในสมการ (2.9) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 \frac{1}{C} S_0(kT) &= (u_1^2 + u_2^2) - (v_1^2 + v_2^2) \\
 P\left(\frac{1}{C} S_0(kT) > 0\right) &= P(u_1^2 + u_2^2 > v_1^2 + v_2^2) \\
 &= P(R_1^2 > R_2^2) \\
 &= P(R_1 > R_2)
 \end{aligned} \tag{2.10}$$

ในที่นี้

$$\begin{aligned}
 R_1 &= \sqrt{u_1^2 + u_2^2} \\
 R_2 &= \sqrt{v_1^2 + v_2^2}
 \end{aligned}$$

R_1 เป็นเอ็นเวลลอปของสัญญาณบวกเสียงรบกวนและ R_2 เป็นเอ็นเวลลอปของสัญญาณเสียงรบกวนเพียงอย่างเดียว R_1 จึงมีค่าความน่าจะเป็นของเคนซีตีฟังก์ชันเป็นไรเซียน (Rician) และ R_2 จึงมีค่าความน่าจะเป็นของฟังก์ชันเป็นเรเลย์ (Reyleigh)

ค่าความน่าจะเป็นของความผิดพลาด P_e จะมีสมการดังนี้

$$P_e = P(R_1 < R_2) = \int_0^\alpha P(R_2 > r_1 | R_1 = r_1) p(r_1) dr_1 \tag{2.11}$$

ในที่นี้

$$P(R_2 > r_1 | R_1 = r_1) = \int_{r_1}^\alpha p(r_2) dr_2$$

เนื่องจาก R_1 และ R_2 มีสถิติเป็นอิสระกัน ซึ่งจะเป็นการวิเคราะห์ค่าความน่าจะเป็นของความผิดพลาดของดีพีเอสเค จะได้

$$P_e = \frac{1}{2} \exp\left(-\frac{A^2 T}{2\eta}\right) \tag{2.12}$$

หรือ

$$P_e = \frac{1}{2} \exp\left(-\frac{A^2}{2N}\right)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่าดีพีเอสเคใช้ SNR น้อยกว่าอนโคฮีเร้นท์เอฟเอสเค 3dB ที่ค่าความน่าจะเป็นของความผิดพลาด 10^{-4} ดีพีเอสเคต้องการกำลังสัญญาณมากกว่าพีเอสเคประมาณ 1dB แต่ดีพีเอสเคมีข้อดีมากกว่าพีเอสเคที่ไม่ต้องใช้สัญญาณอ้างอิง แต่ในขณะที่เดียวกันดีพีเอสเคมีข้อเสียว่า ถ้าเกิดความผิดพลาดของพัลส์ 1 บิตแล้ว ความผิดพลาดจะขยายไปอีก 1 บิต ทั้งนี้เพราะใช้สัญญาณบิตก่อนเป็นสัญญาณอ้างอิงคู่กับสัญญาณบิตที่ตามมา เมื่อสัญญาณบิตก่อนผิด สัญญาณบิตที่ตามมาก็พลอยผิดไปด้วย พีเอสเคจะมีวิสัยความสามารถเกือบทัดเทียมกับพีเอสเคที่ค่า SNR หรือ E/η สูง



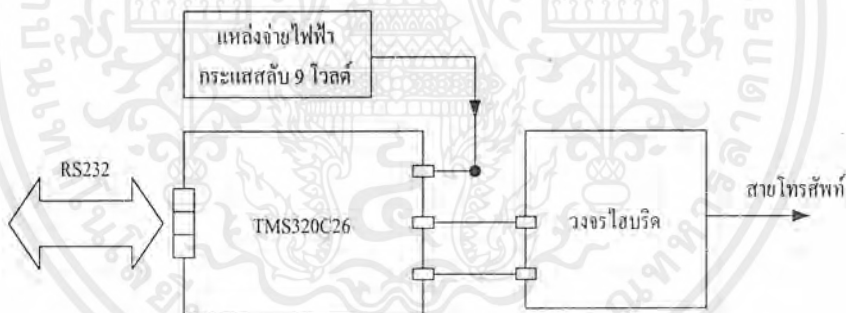
บทที่ 3

การออกแบบ การสร้างและการทำงาน

การออกแบบและการสร้างโมเด็มโดยใช้ตัวประมวลผลสัญญาณเชิงเลขเบอร์ TMS320C26 ได้แบ่งออกเป็นสองส่วนดังนี้ ส่วนที่ 1 เป็นการออกแบบด้านฮาร์ดแวร์ ซึ่งประกอบไปด้วยการออกแบบบอร์ดของโมเด็ม, วงจรไฮบริด, และแหล่งจ่ายไฟ ส่วนที่ 2 จะเป็นการออกแบบทางด้านซอฟต์แวร์ซึ่งประกอบไปด้วยการออกแบบโปรแกรมทางด้านเครื่องส่ง และทางด้านเครื่องรับ

3.1 หลักการออกแบบฮาร์ดแวร์

ในการออกแบบฮาร์ดแวร์ในโครงการนี้ประกอบไปด้วยสามส่วน คือ บอร์ดโมเด็ม, วงจรไฮบริด และแหล่งจ่ายไฟ ซึ่งแต่ละบอร์ดจะต่อร่วมกันในเครื่องโมเด็ม โดยเขียนแผนผังการทำงานร่วมกันได้ดังรูปที่ 3.1



รูปที่ 3.1 แผนผังการทำงานร่วมกันของโมเด็ม

3.1.1 บอร์ดโมเด็ม

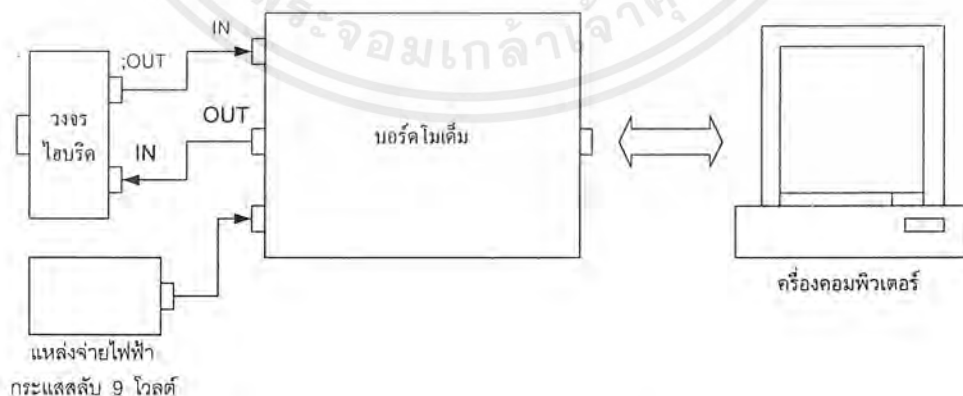
บอร์ดโมเด็มเลือกใช้ชิพ DSP เบอร์ TMS320C26 ซึ่งมีการจัดทำเป็นชุดรวมเป็นบอร์ดซึ่งเรียกว่าบอร์ด DPS Starter Kit หรือ บอร์ด DSK รูปร่างภายนอกของบอร์ด DSK แสดงในรูปที่ 3.2 จะแสดงส่วนประกอบต่าง ๆ ของบอร์ด DSK ซึ่งในบอร์ดจริงนั้น อุปกรณ์โดยส่วนใหญ่จะติดตั้งบนผิวหน้าของแผ่นวงจรพิมพ์ โดยบอร์ด DSK ไมโครโปรเซสเซอร์ และชิพแปลงสัญญาณจากดิจิทัลไปเป็นแอนะล็อกและจากแอนะล็อกไปเป็นดิจิทัลเป็นเบอร์ TLC32040CFN ที่หัวข้อต่อชนิด D แบบตัวเมียเมื่อใช้เชื่อมต่อกับคอมพิวเตอร์ผ่านทางบอร์คอนุกรม RS-232 1 ชุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้บอร์ดนี้ต่อกับคอมพิวเตอร์สำหรับการรับส่งสัญญาณดิจิทัลจากคอมพิวเตอร์ สำหรับหัวอีกหัวหนึ่งของบอร์ด DSK คือแจ็ค RCA ซึ่งมีอยู่ 2 ชุด :ซึ่งใช้สำหรับการรับสัญญาณ แอนะลอกอีกชุดหนึ่ง ซึ่งคุณลักษณะ โดยทั่วไปของบอร์ดมีดังนี้

1. มีความเร็ว 40 MHz
2. มีหน่วยความจำแรม (RAM) ในชิพ 1568 เวิร์ด
3. ประมวลผลข้อมูลได้สูงถึง 12.8 ล้านคำสั่งต่อวินาที
4. มีชิพแอนะลอกอินเตอร์เฟสเบอร์ TLC32040 ขนาด 14 บิต เป็นทั้ง A/D และ D/A มีแจ็ค ไลน์ RCA 2 แจ็ค ซึ่งเป็นทั้งอินพุตและเอาต์พุต โดยสามารถรับและส่งสัญญาณในระดับ (Line) ได้โดยตรง
5. มีบอร์ดอนุกรม RS-232 สำหรับต่อกับคอมพิวเตอร์
6. ใช้แหล่งจ่าย 9VAC
7. มีขนาดเล็กกระทัดรัด

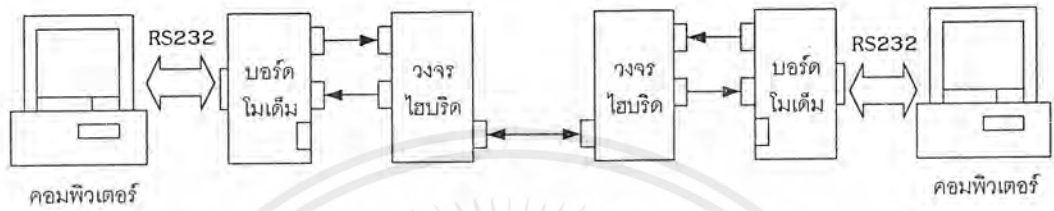
ในบอร์ด DSK มีชิพอินเตอร์เฟสแอนะลอกเบอร์ T2C32040 เป็น A/D และ D/A ในตัว ทำหน้าที่รับสัญญาณแอนะลอกทางอินพุตที่จ่ายเข้ามา แล้วแปลงข้อมูลทางอินพุตที่ได้รับเข้ามาแล้ว แปลงข้อมูลทางดิจิทัลส่งไปประมวลต่อที่ชิพ DSP ความละเอียดของการแปลงสัญญาณดิจิทัลจะมีขนาด 14 บิต สามารถกำหนดอัตราแซมปลิ่งได้สูงสุด 19,200 แซมปลิ่งใน 1 วินาที ดังนั้นจึงมีความสะดวกในการทำงานบอร์ด DSK ที่มีชิพ DSP TMS320C26 ซึ่งเป็นหัวใจสำคัญของบอร์ด ประมวลผลสัญญาณชิพ DSP จะเป็นตัวควบคุมการรับและส่งสัญญาณ รวมทั้งกระบวนการของการมอดูเลต และดีมอดูเลตสัญญาณทั้งหมด



รูปที่ 3.2 แสดงการเชื่อมต่อระหว่างเครื่องโมเด็มกับคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

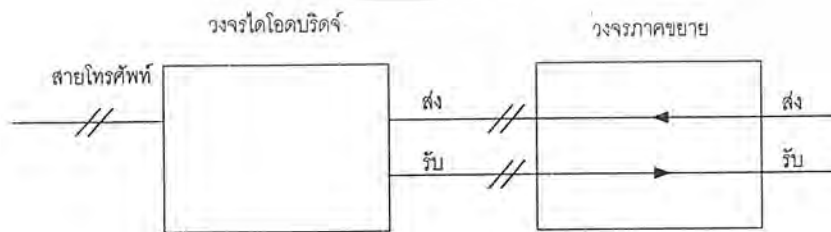
ในส่วนของโมเด็มที่สร้างขึ้นนี้สามารถติดต่อสื่อสารได้แบบฟูลดูเพล็กซ์ (Full Duplex) ตามมาตรฐาน Bell 212A หรือ CCITT V.22 ความเร็ว 1,200 บิตต่อวินาที (bps) ที่มีการมอดูเลตแบบ Differential Phase Shift Keing การทำงานแบ่งเป็น 2 ส่วนคือ ส่วนของภาคส่ง (Transmitter) และส่วนของภาครับ (Receiver)



รูปที่ 3.3 การเชื่อมต่อระหว่าง DSK 2 ชุด

3.1.2 วงจรไฮบริด

วงจรไฮบริดนี้จะทำหน้าที่อินเตอร์เฟสระหว่างชุมสายโทรศัพท์กับบอร์ด DSK เนื่องจากปกติสายโทรศัพท์ของโครงข่ายชุมสายโทรศัพท์สาธารณะ (GSTN) เป็นสาย 2 เส้น คือ สายทิป (Tip) กับสายริง (Ring) มีไฟปกติ -48 V และขณะเรียกเข้า-ออก มีไฟเลี้ยง -110 V เมื่อต้องการติดต่อกับบอร์ดโมเด็ม (DSK) ในการสื่อสารข้อมูลนั้นจะต้องใช้การแยกช่องทางส่งและรับ ออกจากกัน วงจรที่เราจะนำมาใช้ในการอินเตอร์เฟสนี้ก็คือวงจรเปลี่ยน 2-4 เส้น (2-4 Wire conversion) หรือที่รู้จักกันในชื่อ วงจรไฮบริด (Hybrid) นั่นเอง ซึ่งวงจรไฮบริดที่เรียกใช้ในโครงงานนี้ได้เลือกใช้ ไอซีสำเร็จรูปเบอร์ MC34014 ของโมโตโรลามาใช้ต่อกับอุปกรณ์ภายนอกจำพวกตัวความต้านทาน, ตัวเก็บประจุ และอื่น ๆ ดังรูปที่ 3.4 เป็นแผนผังวงจรไฮบริดที่ใช้ในโมเด็มนี้



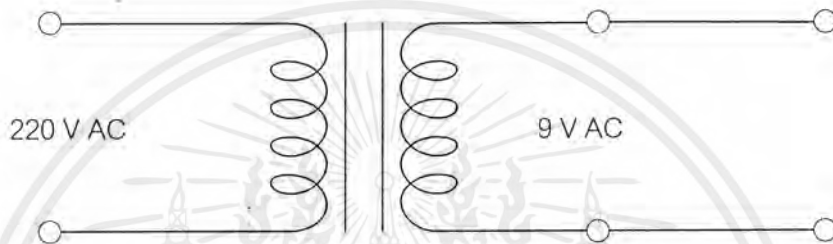
รูปที่ 3.4 แผนผังวงจรไฮบริด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.3 เป็นการต่อโมเด็มเข้ากับเครื่องคอมพิวเตอร์โดยทำการเชื่อมต่อบอร์ดทางพอร์ต RS-232 จากนั้นจึงทำการเชื่อมต่อผ่านทางสายโทรศัพท์ (Telephone Line) ดังแสดงดังรูปที่ 3.4

3.1.3 แหล่งจ่ายไฟฟ้ากระแสสลับ 9 โวลต์

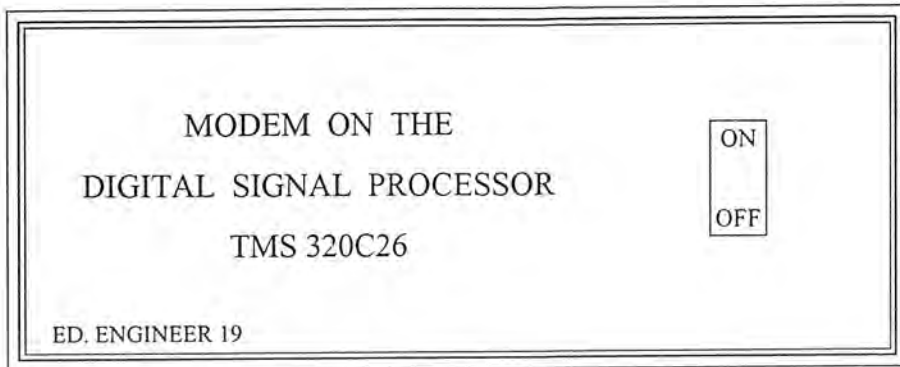
เนื่องจากบอร์ด DSK ใช้แรงดันไฟฟ้ากระแสสลับขนาด 9 โวลต์ ดังนั้นจึงสามารถใช้ระดับแรงดันที่ออกจากหม้อแปลงได้โดยตรงดังรูปที่ 3.5 สำหรับหลายวงจรที่สมบูรณ์ดูได้ในภาคผนวก



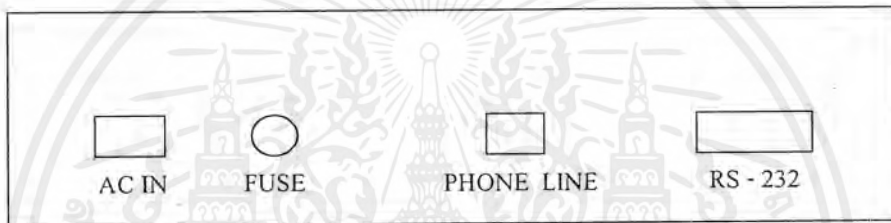
รูปที่ 3.5 วงจรแหล่งจ่ายไฟฟ้ากระแสสลับ 9 โวลต์

3.1.4 การออกแบบปุ่มควบคุมการทำงาน และจุดต่อต่างๆ ของโครงการ

การออกแบบปุ่มควบคุมการทำงานของเครื่องโมเด็ม สำหรับในส่วนหน้าของการออกแบบปุ่มควบคุมการทำงานต่างๆของเครื่องโมเด็มที่สร้างขึ้นนี้มีอยู่เพียงปุ่มเดียวคือ สวิตช์ เปิด-ปิด จ่ายไฟฟ้ากระแสสลับให้กับตัวเครื่องโมเด็มที่สร้างขึ้น โดยสวิตช์ตัวนี้จะทำการติดตั้งอยู่ทางด้านหน้าเยื้องไปทางข้างซ้ายของเครื่องโมเด็ม ซึ่งมีลักษณะเป็นสวิตช์แบบสองทางที่มีไดโอดเปล่งแสงสีแดงเพื่อที่จะทำการแสดงผลการทำงาน การทำงานของสวิตช์ตัวนี้ทำงานได้โดยถ้าหากทำการกดสวิตช์ไปยังตำแหน่ง “ON” ที่แสดงที่ด้านหน้าของเครื่องโมเด็มที่สร้างขึ้น ไดโอดเปล่งแสงจะแดงสถานะเป็นแสงสว่างสีแดง แสดงให้เห็นว่าเป็นการเปิดเครื่องหรือจ่ายกระแสไฟฟ้าให้กับตัวโมเด็มเพื่อให้ตัวโมเด็มพร้อมที่จะทำงาน ถ้าหากกดปุ่มสวิตช์ไปที่ตำแหน่ง “OFF” ที่แสดงที่ด้านหน้าของเครื่องโมเด็มที่สร้างขึ้น ไดโอดเปล่งแสงจะดับหรือไม่มีแสง ซึ่งแสดงให้เห็นว่าเป็นการปิดเครื่องหรือหยุดจ่ายกระแสไฟฟ้าให้กับตัวโมเด็มเพื่อให้ตัวโมเด็มหยุดการทำงานของเครื่องโมเด็ม ส่วนทางด้านหลังของตัวโมเด็มที่สร้างขึ้นเป็นช่องเสียบสายไฟฟ้ากระแสสลับ, ฟิวส์, สายต่อโทรศัพท์, และช่องต่อสายสื่อสารอนุกรม สำหรับลักษณะของปุ่มควบคุมการทำงานต่างๆของเครื่องโมเด็มเป็นดังรูปที่ 3.10



รูปที่ 3.6 ปุ่มควบคุมการทำงานของเครื่องโมเด็ม



รูปที่ 3.7 การออกแบบด้านหลังของเครื่อง โมเด็ม

การออกแบบจุดต่อต่างๆ ของเครื่องโมเด็ม สำหรับจุดต่อต่างๆ ของโมเด็มเครื่องนี้จะอยู่ด้านหลังของเครื่อง โมเด็มซึ่งมีทั้งหมดสี่จุดด้วยกัน โดยจะแยกอธิบายแต่ละจุดดังต่อไปนี้

1. AC IN เป็นจุดต่อไฟฟ้ากระแสสลับ 220 โวลต์นำเข้าไปแปลงเป็นไฟฟ้ากระแสสลับ 9 โวลต์เพื่อเป็นไฟเลี้ยงให้กับวงจรต่อไป
2. Fuse เป็นจุดต่อฟิวส์ขนาด 5 แอมป์เพื่อป้องกันวงจรจากการเกิดไฟเกินเข้าวงจร
3. Phone Line เป็นจุดต่อสายโทรศัพท์ที่เข้าเครื่อง โมเด็ม
4. RS-232 เป็นจุดต่อพอร์ตอนุกรม RS-232 เข้าเครื่อง โมเด็ม

3.2 หลักการออกแบบซอฟต์แวร์

ในการออกแบบซอฟต์แวร์นั้น ได้จัดแบ่งการออกแบบเป็นสองส่วน โดยส่วนที่ 1 จะเป็นการออกแบบโปรแกรมในส่วนของภาคส่ง และส่วนที่ 2 เป็นการออกแบบโปรแกรมในส่วนของภาครับของโมเด็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 หลักการออกแบบโปรแกรมภาคส่งของโมเด็ม

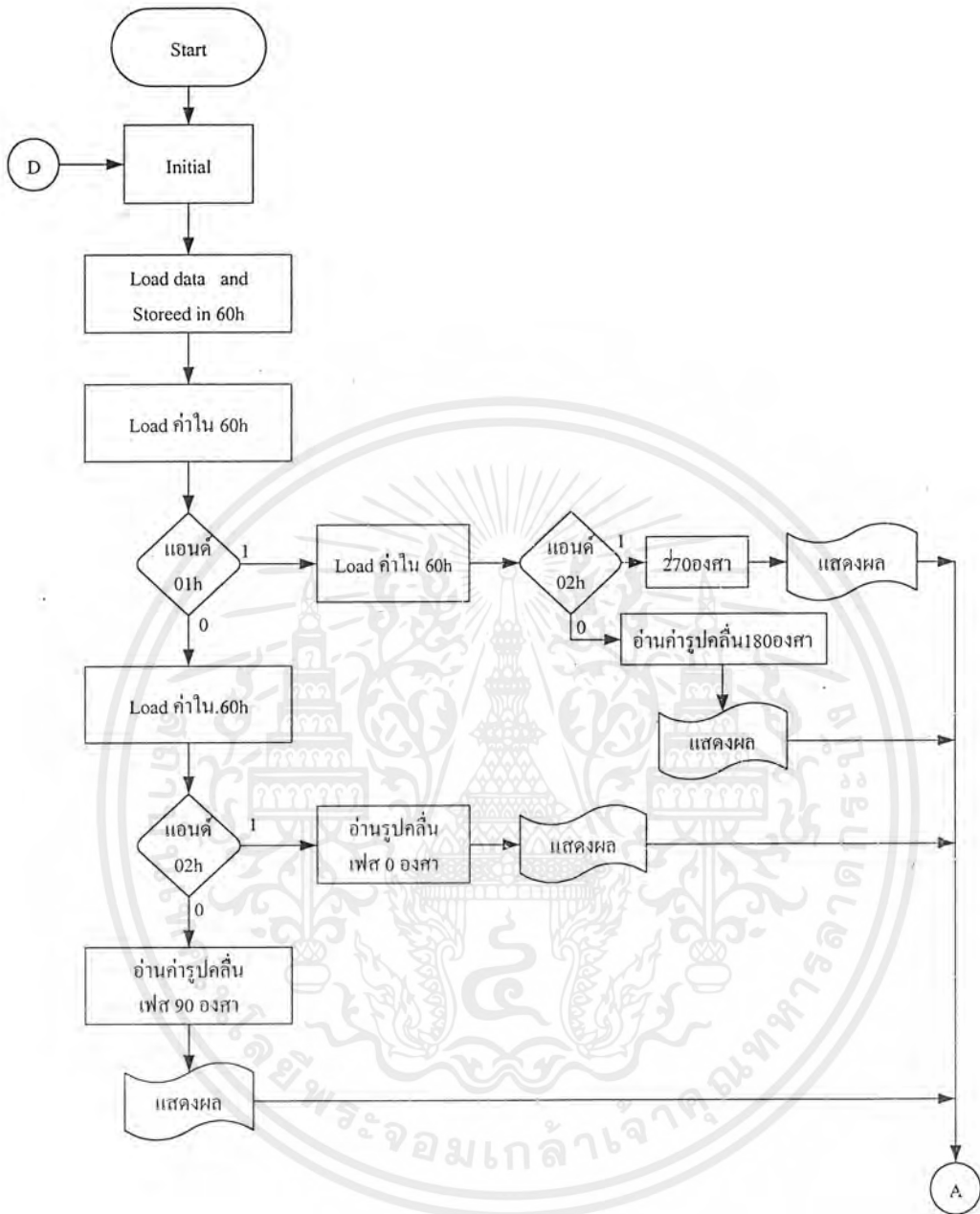
การออกแบบโปรแกรมภาคส่งของโมเด็ม หากพิจารณาจากการทำงานของโมเด็มด้านเครื่องส่ง มีขั้นตอนการออกแบบดังนี้

1. โหลดข้อมูลมาเก็บไว้ในตำแหน่ง 60h จำนวน 8 บิต
2. ทดสอบบิตที่ละ 2 บิต เริ่มจากบิตต่ำไปหาบิตสูง โดยการแอนด์ค่าข้อมูลกับค่า 01h เพื่อทดสอบบิตที่ 0(b0), แอนด์ค่า 02h เพื่อทดสอบบิตที่ 1(b1), แอนด์ค่า 04h เพื่อทดสอบบิตที่ 2(b2), แอนด์ค่า 08h เพื่อทดสอบบิตที่ 3(b3), แอนด์กับค่า 10h เพื่อทดสอบบิตที่ 4(b4), แอนด์กับค่า 20h เพื่อทดสอบบิตที่ 5(b5), แอนด์กับค่า 40h เพื่อทดสอบบิตที่ 6(b6), และแอนด์กับค่า 80h เพื่อทดสอบบิตที่ 7(b7) ลักษณะการอ่านจะอ่านออกมาทีละ 2 บิต
3. นำค่าที่อ่านได้ทีละ 2 บิต มาเป็นตัวกำหนดในการทำการส่งความถี่ออกที่มีเฟสแตกต่างกันตามมาตรฐานการมอดูเลตแบบ Differential Phase Shift Keying (DPSK) ดังในตารางที่ 3.1
4. การที่จะผลิตรูปคลื่นความถี่ส่งไปจะทำได้โดยการโหลดค่าประจำของรูปคลื่นคือค่าดังนี้ 1, 707, 1000, -707 และ -1000 มาแสดงผลผ่านรีจิสเตอร์ ARO และลบรูปคลื่นด้วยค่า 0

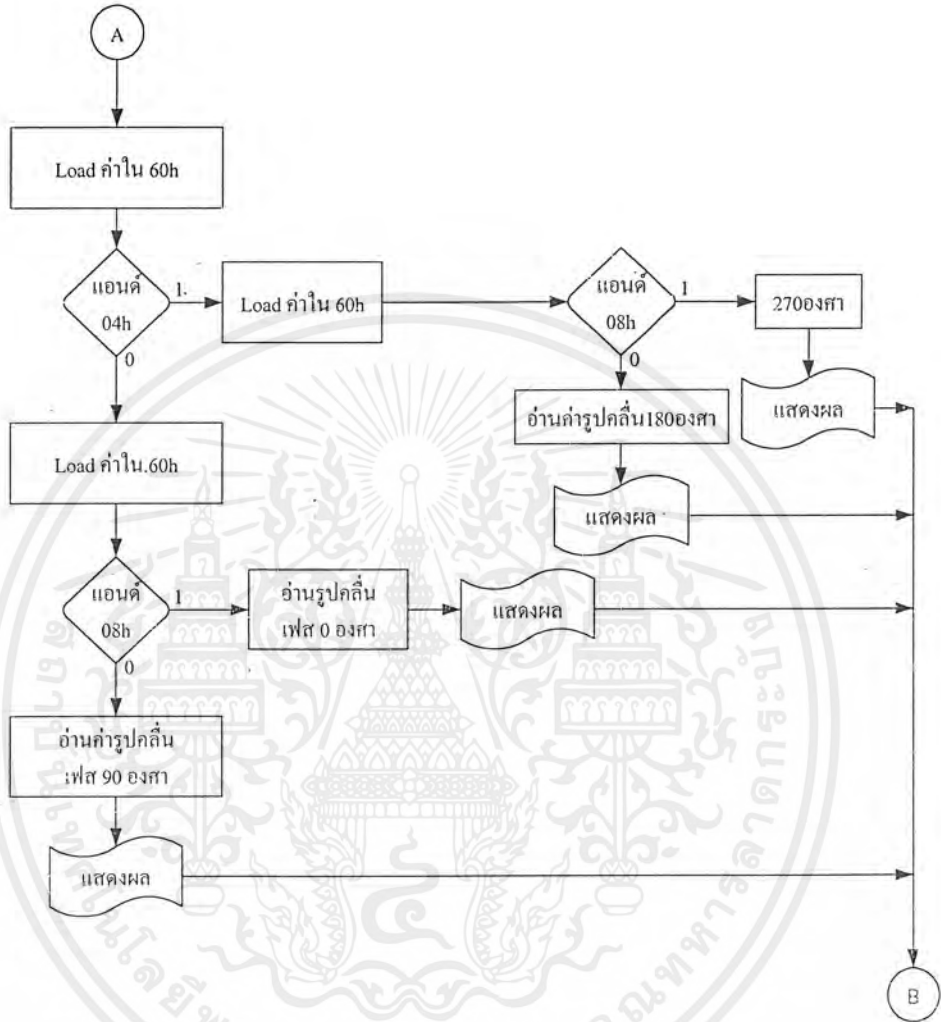
ตารางที่ 3.1 เฟสของความถี่ที่ส่งออกมาจากบิตข้อมูลต่างๆ

บิตข้อมูล	เฟสของความถี่ที่ส่งออก
00	90 องศา
01	0 องศา
11	180 องศา
10	270 องศา

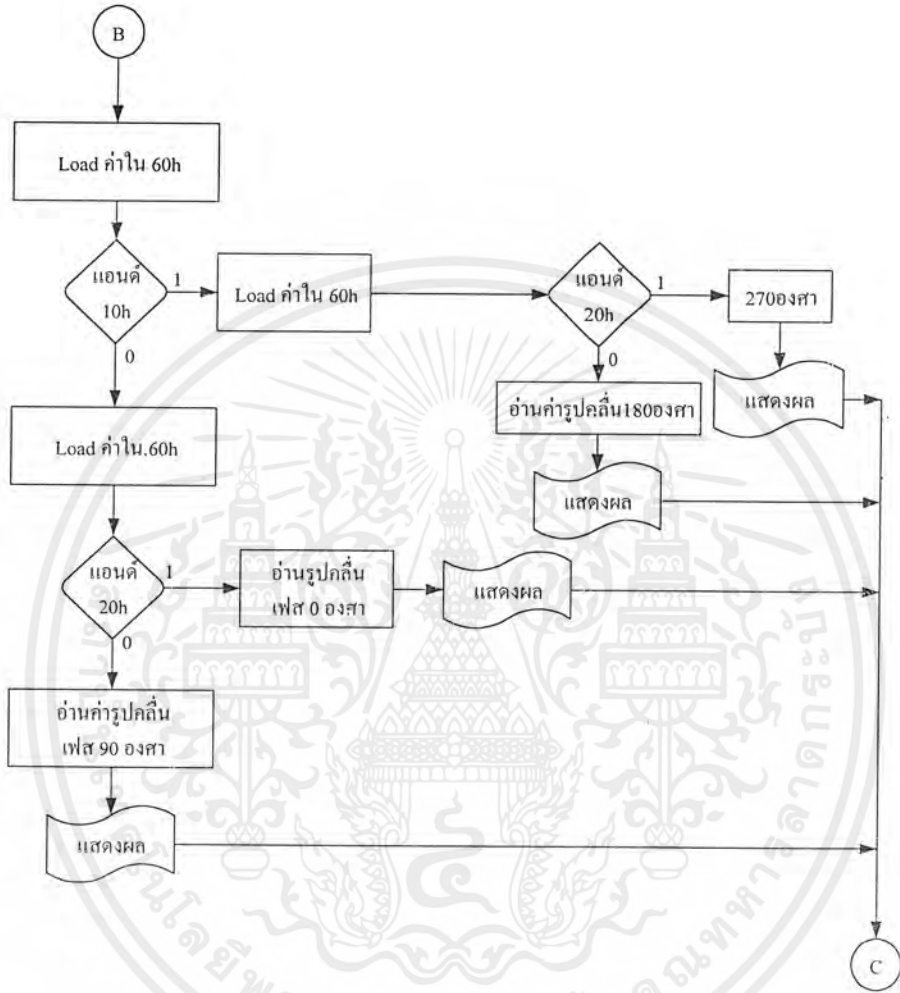
5. เมื่อแสดงผลรูปคลื่นเฟสได้ออกไปตามข้อมูลที่ส่งมาให้แล้ว ก็ให้หมุนไปทดสอบทีละ 2 บิต ต่อไปจนครบ 4 เฟส (8บิต) แล้วจึงทำการโหลดค่าข้อมูลใหม่ออกมาอีก 8บิต เพื่อทดสอบใหม่เรื่อยๆ



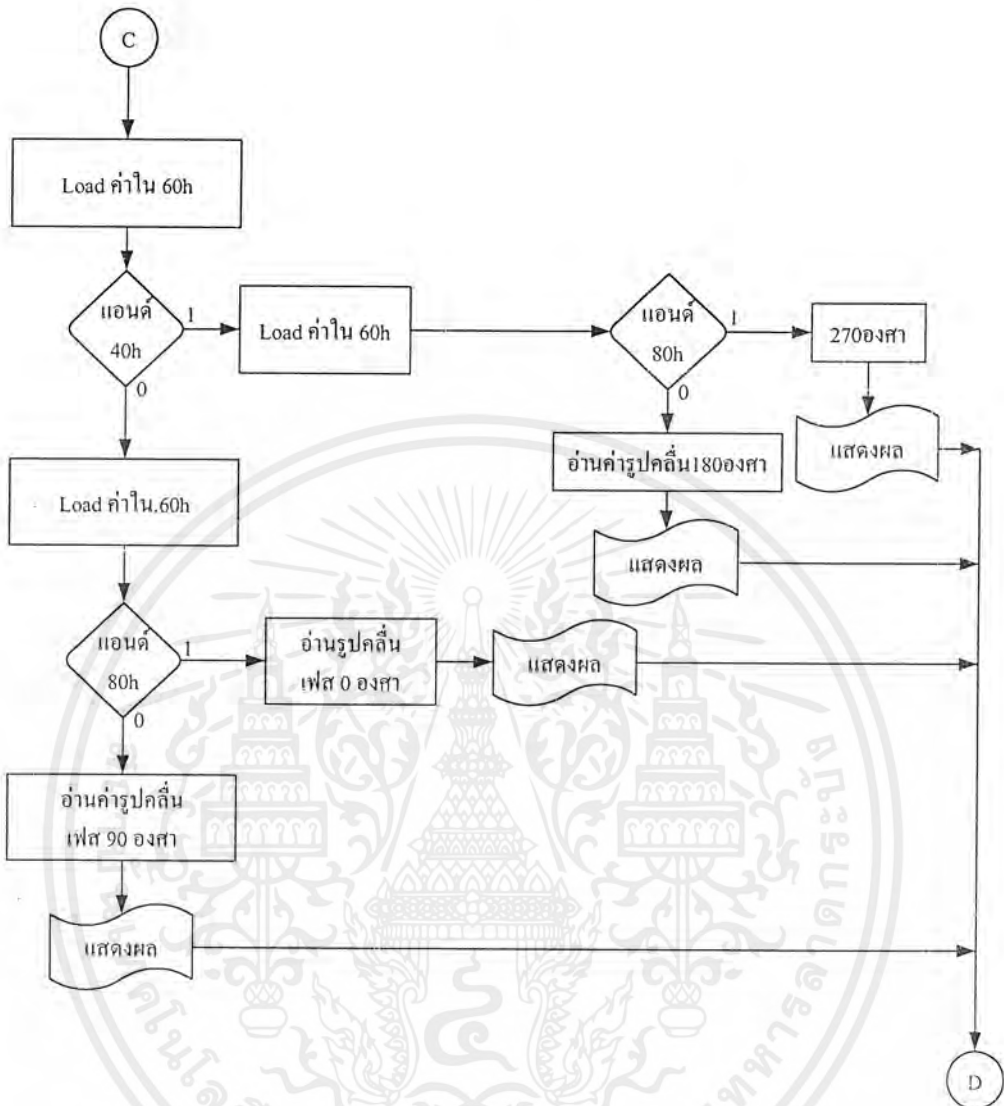
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 ผังงานของ โปรแกรมทางด้านส่ง

3.2.2 หลักการออกแบบโปรแกรมภาครับของโมเด็ม

การออกแบบโปรแกรมภาครับของโมเด็มในการสร้างโมเด็มครั้งนี้ ยังไม่ค่อยจะสมบูรณ์ ซึ่งยังขาด โปรแกรมมอดูเลต, Carry Recovery, Clock Recovery และการติดต่อกับคอมพิวเตอร์ ซึ่งในการออกแบบครั้งนี้สามารถออกแบบได้เพียงการแยกช่อง I และช่อง Q ด้วยการใช้โปรแกรม Band Pass Filter 2 ชุด ซึ่งมีขั้นตอนดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. หาค่าสัมประสิทธิ์ของแต่ละแชนเนล ด้วยโปรแกรม FIR ด้วยค่าความถี่กลาง 2,000 Hz มีแถบความถี่ข้างเคียง 600 Hz คือตั้งแต่แถบความถี่ข้างเคียงที่ 1,400Hz จนถึงแถบความถี่ข้างเคียงที่ 2,600 Hz ก็จะได้ค่าสัมประสิทธิ์ 48 จำนวน
2. นำค่าสัมประสิทธิ์ที่ได้ของแต่ละแชนเนลด้วยโปรแกรม FIR ที่ได้มาทำการคำนวณหาค่าสัมประสิทธิ์แชนเนลโดยสูตรของช่อง I และช่อง Q
3. นำมาเขียนโปรแกรมโดยนำค่าสัมประสิทธิ์แชนเนลมาลงใน .int ของโปรแกรม
4. เขียนโปรแกรม CHI.ASM และโปรแกรม CHQ.ASM (แสดงดังภาคผนวก)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลอง และผลการทดลอง

โมเด็มที่สร้างขึ้นโดยใช้ตัวประมวลผลสัญญาณเชิงเลขเบอร์ TMS320C26 นี้ เป็นโมเด็มที่รับส่งสัญญาณดิจิทัลได้ด้วยความเร็ว 1,200 บิตต่อวินาที ตามมาตรฐานของคณะกรรมการที่ปรึกษาทางโทรศัพท์และโทรเลขระหว่างประเทศ (The International Telegraph and Telephone Consultative Committee) ตามมาตรฐาน V.22 มีกระบวนการทำงานและทฤษฎีตามบทที่ 1-3 ซึ่งได้กล่าวถึงแนวความคิด ทฤษฎี หลักการ การออกแบบ และการสร้างมาแล้ว ในบทนี้จะกล่าวถึงการทดสอบการทำงานของโมเด็มที่สร้างขึ้น

การทดสอบการทำงานในบทนี้จะทำการทดสอบความเป็นปกติของบอร์ดดีเอสเค และการทดสอบการรับส่งข้อมูลระหว่างคอมพิวเตอร์กับ โมเด็มดังนี้

4.1 การทดสอบความเป็นปกติของบอร์ดดีเอสเค

การทดลองนี้เป็นการทดสอบการทำงานของบอร์ดดีเอสเคว่ามีความสามารถทำงานได้หรือไม่ และใช้กับโครงการได้หรือไม่ ซึ่งมีลำดับการทดสอบดังนี้

อุปกรณ์การทดลอง

1. บอร์ดดีเอสเค
2. เครื่องคอมพิวเตอร์
3. สายเชื่อมต่อพอร์ตอนุกรม (DB9)
4. โปรแกรมทดสอบ TRY1.ASM , DSKA และ DSKD
5. ออสซิลโลสโคป
6. แหล่งจ่ายไฟฟ้ากระแสสลับ 9 โวลต์

ลำดับขั้นการทดลอง

1. ทำการเชื่อมต่อพอร์ตสื่อสารอนุกรมระหว่างคอมพิวเตอร์กับบอร์ดดีเอสเค และ เชื่อมต่อ
2. สายนำสัญญาณระหว่างเอาต์พุตของบอร์ดดีเอสเคกับออสซิลโลสโคปช่องที่ 1
3. ทำการจ่ายไฟฟ้ากระแสสลับ 9 โวลต์ ให้กับบอร์ดดีเอสเค
4. เปิดคอมพิวเตอร์แล้วทำการแปลงโปรแกรม TRY1.ASM ไปเป็น TRY1.DSK ด้วยคำสั่ง DSKA TRY1.ASM
5. เข้าสู่โปรแกรมแสดงผลของบอร์ดดีเอสเค (Debugger) ด้วยคำสั่ง DSKD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

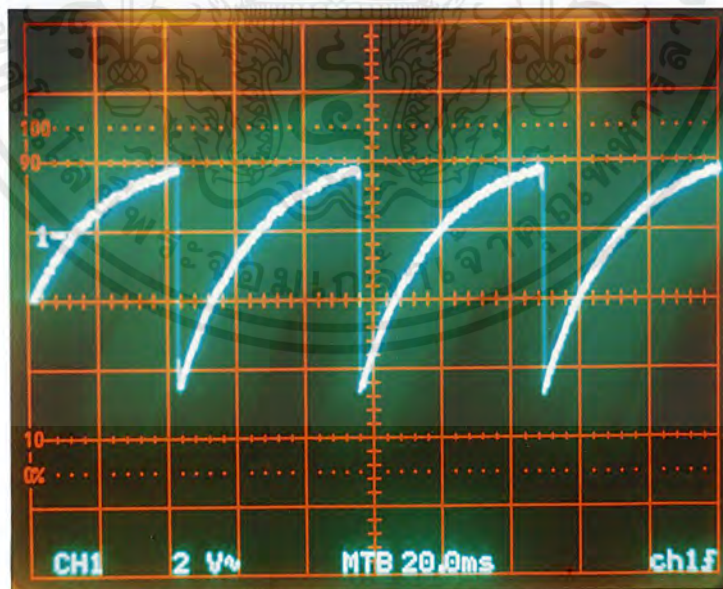
6. โหลด (LOAD) โปรแกรม TRY1.DSK ด้วยคำสั่ง LD
7. ปฏิบัติการ (EXECUTE) โปรแกรมด้วยคำสั่ง XG หรือ XR
8. สังเกตผลการทดลองจากออสซิลโลสโคป



รูปที่ 4.1 การต่ออุปกรณ์ทดลอง

ผลการทดลอง

จากการทดลองเมื่อสังเกตผลที่ได้รับจากออสซิลโลสโคป จะเห็นว่าผลที่ได้เป็นรูปคลื่นฟันเลื่อยซึ่งนั่นก็คือผลจากโปรแกรม TRY1.ASM เป็น โปรแกรมกำเนิดรูปคลื่นฟันเลื่อยนั่นเอง



รูปที่ 4.2 ลักษณะรูปคลื่นจากผลการทดลองที่ออสซิลโลสโคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลอง

จากการทดลองก็จะทราบได้ว่าบอร์ดดีเอสเคสามารถทำงานตอบสนองโปรแกรมได้เป็นปกติ แต่ถ้าหากผลการทดลองไม่ได้ตามลักษณะรูปคลื่นฟันเลื่อยนั้นก็หมายความว่าบอร์ดดีเอสเคเกิดความผิดปกติขึ้น และไม่สามารถนำไปใช้สร้างโมเด็มในโครงการที่ต้องการได้

4.2 การทดสอบการส่งข้อมูลของโมเด็ม

การทดสอบการรับส่งข้อมูลนี้เป็นการทดสอบการทำงานภาคส่งของโมเด็มตามหลักการมอดูเลตสัญญาณเฟสซีฟคืออิง ซึ่งในการทดลองจะทำการส่งข้อมูลออก 2 ชุดชุดละ 8 บิต คือ D8h และ 4Eh ตามลำดับดังนี้

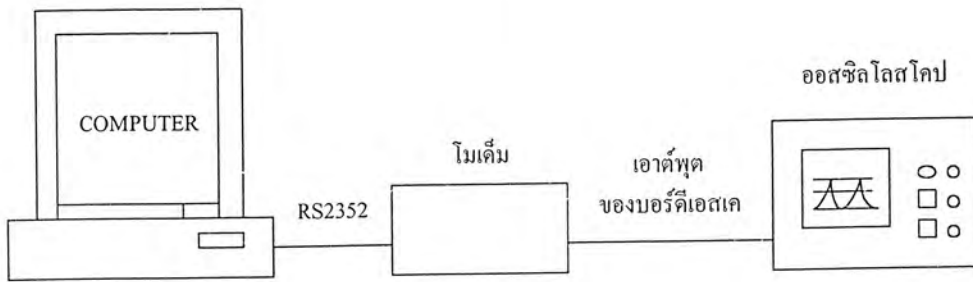
อุปกรณ์การทดลอง

1. โมเด็ม
2. เครื่องคอมพิวเตอร์
3. สายเชื่อมต่อพอร์ตอนุกรม (DB9)
4. ออสซิลโลสโคป
5. สาย RCA
7. สายนำสัญญาณ
8. โปรแกรมทดสอบการส่ง G5.ASM และ G6.ASM

ลำดับขั้นตอนการทดลอง

1. ทำการเชื่อมต่อพอร์ตอนุกรมของ โมเด็มเข้ากับคอมพิวเตอร์
2. จ่ายไฟเลี้ยงให้กับ โมเด็ม และเปิดเครื่องคอมพิวเตอร์
3. ทำการแปลงข้อมูล โปรแกรม G5.ASM ไปเป็น G5.DSK ด้วยคำสั่ง DSKA G5.ASM
4. เข้าสู่โปรแกรมแสดงผลของบอร์ด DSK ด้วยคำสั่ง DSKD
5. โหลดโปรแกรม G5.DSK ด้วยคำสั่ง LD
6. ปฏิบัติการ โปรแกรมด้วยคำสั่ง XG หรือ XR
7. วัดรูปสัญญาณทางเอาต์พุตของบอร์ด DSK
8. ทำซ้ำข้อ 3 ใหม่ แต่ใช้โปรแกรม G6.ASM แทนซึ่งเป็น โปรแกรม 4Eh

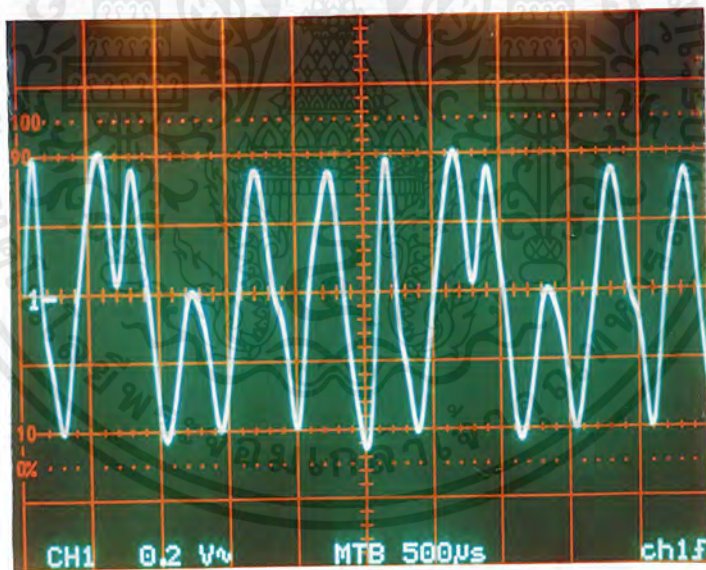
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 การต่ออุปกรณ์ทดสอบการส่งข้อมูลของไมโครคอนโทรลเลอร์

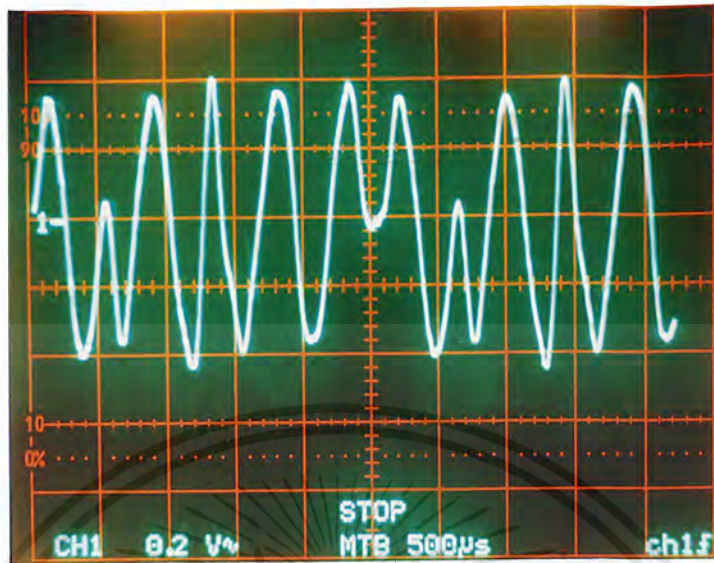
ผลการทดลอง

จากการทดลองเมื่อสังเกตผลที่ได้รับจากออสซิลโลสโคป จะเห็นว่าผลที่ได้จากโปรแกรมส่งข้อมูล D8h จะได้รูปคลื่นออกมาเป็นมมเฟสที่ออกมาจะเป็นไปตามเลขฐานสอง จากบิตต่ำไปหาบิตสูง คือ 00, 01, 10, และ 11 จะได้มุม 90 องศา, 0 องศา, 180 องศา และ 270 องศา ดังรูป



รูปที่ 4.4 ลักษณะรูปคลื่นจากการส่งข้อมูล D8h

และเมื่อทำการเปลี่ยนข้อมูลที่จะส่งจาก D8h ไปเป็น 4Eh ก็จะได้มุมเฟสเป็น 0 องศา, 270 องศา, 90 องศา และ 180 องศา ตามลำดับ ดังรูป



รูปที่ 4.5 ลักษณะรูปคลื่นจากการส่งข้อมูล 4Eh

สรุปผลการทดลอง

จากการทดลองจะเห็นได้ว่าโปรแกรมส่งข้อมูลที่สร้างขึ้น สามารถส่งข้อมูลที่กำหนดไว้ไปเก็บในแอสคิวเตอร์ก่อนและสามารถแสดงผลการมอดูเลต จากบิตฐานล่างก่อน แล้วแสดงผลซึ่งบิต 00 ก็คือ เฟสเลื่อนไป 90 องศา ส่วน 01 คือ 00 , 10 คือ 180 องศา, 11 คือ 270 องศาลำดับแต่โมเด็มนี้ยังไม่สามารถใช้งานได้จริง คือยังไม่ได้รับข้อมูลโดยตรงจากเครื่องคอมพิวเตอร์ซึ่งยังต้องทำการปรับปรุงในโอกาสต่อไป ไม่ว่าจะข้อมูลจะเข้ามาแบบใด โปรแกรมสามารถอ่านทีละ 2 บิต แล้วแสดงผลจากการมอดูเลตเป็นรูปคลื่นที่มีมุมเฟสตามข้อกำหนดของ การมอดูเลตดีพีเอสเค

4.3 การทดสอบการรับข้อมูลของโมเด็ม

สัญญาณช่อง I และ Q ที่รับเข้ามา โดยใช้ Band Pass Filter เฟสต่างกัน 90 องศา ซึ่งการทดสอบการรับข้อมูลของโมเด็ม มีขั้นตอนดังนี้

อุปกรณ์การทดสอบ

1. โมเด็ม
2. เครื่องคอมพิวเตอร์
3. ออสซิลโลสโคป
4. เครื่องกำเนิดความถี่รูปคลื่นไซน์
5. สายเชื่อมต่อพอร์ตอนุกรม
6. สายนำสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

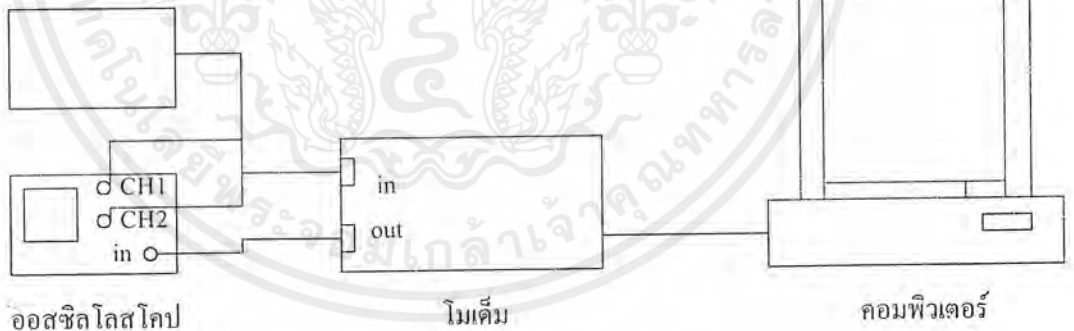
7. สายต่อ RCA

8. โปรแกรมทดสอบ CHI.ASM และ CHQ.ASM

ลำดับขั้นตอนการทดลอง

1. ทำการเชื่อมต่อพอร์ตอนุกรมของโมเด็มเข้ากับคอมพิวเตอร์
2. จ่ายไฟเลี้ยงให้กับโมเด็ม และเปิดเครื่องคอมพิวเตอร์
3. ทำการแปลงข้อมูลโปรแกรม CHQ.ASM ไปเป็น CHQ.DSK ด้วยคำสั่ง DSKA.CHI.ASM เข้าสู่โปรแกรมแสดงผลของบอร์ด DSK ด้วยคำสั่ง DSKD
4. ป้อนสัญญาณความถี่ 2 kHz ลดแอมพลิจูดให้ต่ำสุดเพื่อลดการผิดเพี้ยนของสัญญาณ และต่อเอาต์พุตของบอร์ดคิเอสเคเข้ากับออสซิลโลสโคป เพื่อวัดเปรียบเทียบระหว่างสัญญาณขาเข้ากับสัญญาณที่ออกทางช่อง I
5. ทำการโหลดโปรแกรม CH I.DSK ด้วยคำสั่ง LD
6. ปฏิบัติการ (Execute) โปรแกรมด้วยคำสั่ง XG หรือ XR
7. วัดรูปสัญญาณที่ได้ทางเอาต์พุตของบอร์ด คิเอสเค พร้อมทั้งสังเกตผลที่ได้
8. กลับไปทำข้อ 7 ใหม่ แต่เปลี่ยนเป็นสัญญาณช่อง Q ด้วยโปรแกรม CHQ.ASM

เครื่องกำเนิดความถี่

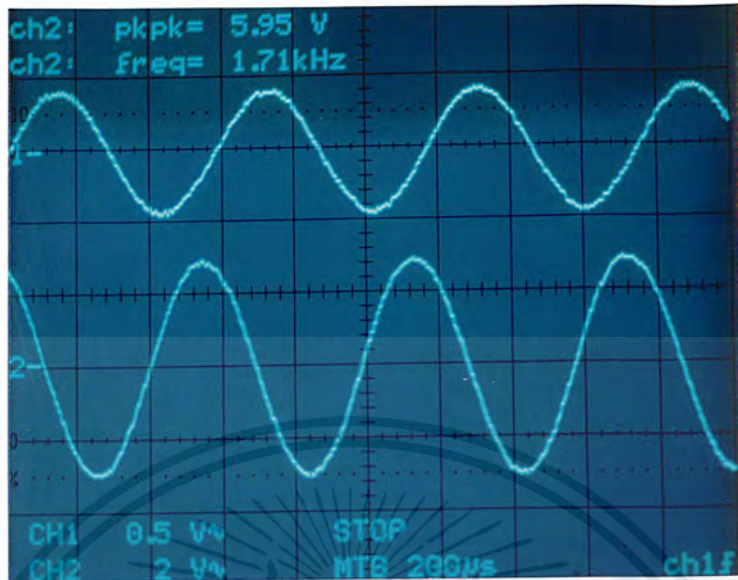


รูปที่ 4.6 การต่ออุปกรณ์การทดลอง

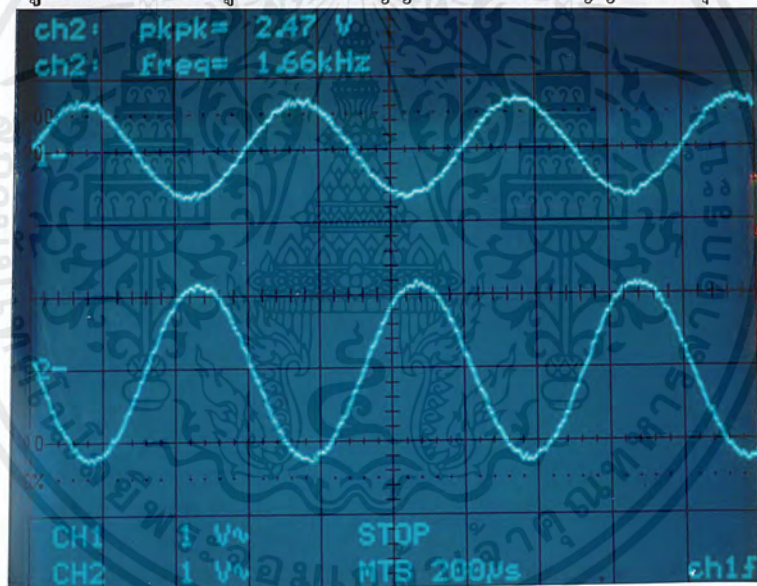
ผลการทดลอง

เมื่อทำการปฏิบัติการโปรแกรม CHI.DSK จะเห็นว่าคลื่นเฟสไป 90° จากสัญญาณขาเข้า ส่วนเมื่อทำการปฏิบัติการโปรแกรม CHQ.DSK จะได้เอาต์พุตที่เฟสไป 180° ซึ่งแตกต่างจากช่อง I อยู่ 90° เสมอ ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 ลักษณะรูปคลื่นของสัญญาณช่อง I กับสัญญาณอินพุต



รูปที่ 4.8 สัญญาณรูปคลื่นของช่องสัญญาณ Q กับสัญญาณอินพุต

สรุปผลการทดลอง

การทดลองนี้เป็นการทดลองที่ยังไม่ได้ทำการรับข้อมูลจากโมเด็มอื่นโดยตรงและเป็นการป้อนสัญญาณจากภายนอก จากเครื่องกำเนิดความถี่เข้ามาแล้วปฏิบัติการโปรแกรม Band Pass Filter เพื่อแยกช่อง I และ Q ซึ่งตามทฤษฎีทั้งสอง ต่างเฟสกันอยู่ 90° เสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา

5.1 บทสรุป

โมเด็มโดยใช้ TMS320C26 ที่สร้างขึ้นเพื่อศึกษาการประยุกต์ใช้ระบบประมวลผลสัญญาณดิจิทัลในการส่งและรับข้อมูลระหว่างเครื่องคอมพิวเตอร์ โดยใช้หลักการการมอดูเลตแบบ DPSK ซึ่งสามารถส่งสัญญาณได้ครั้งละ 2 บิต โดยมีความเร็วในการรับส่งข้อมูลที่ 1,200 บอด ตามมาตรฐานโมเด็ม V.22 ซึ่งความเร็วในระดับนี้ถือว่าเป็นความเร็วที่มีความพอดีที่จะทำการศึกษาเกี่ยวกับการส่งผ่านข้อมูลโดยโมเด็ม

จากการทำการสร้างโมเด็มสิ่งที่ขาดหายไปคือ โปรแกรมการมอดูเลตสัญญาณ, โปรแกรม Clock Recovery , และโปรแกรม Carrier Recovery เนื่องจากโปรแกรมเหล่านี้เป็นโปรแกรมที่มีความยากมาก และยังไม่เคยมีผู้ใดได้ทำการศึกษากันคว้ามามาก่อน จึงขอเสนอเป็นแนวทางแก้ไขเพื่อการพัฒนาต่อไป ในการสร้างโมเด็มนี้ก็ยังไม่สามารถทำการรับส่งข้อมูลโดยผ่านทางอินเตอร์เฟซได้ จึงควรนำไปปรับปรุงต่อไป

5.2 ปัญหาที่พบ

5.2.1 ปัญหาในส่วนของฮาร์ดแวร์

ปัญหา วงจรไฮบริดที่ใช้ทรานสเฟอร์เมอร์ขนาดใหญ่

แนวทางแก้ไข ใช้วงจร IC ที่มีขนาดเล็กกระทัดรัด

ปัญหา ในช่วงแรกใช้บอร์ด DSK ของเบอร์ TMS320C50 ในส่วนของสัญญาณอินเตอร์รัปต์จากการรับสัญญาณข้อมูลพอร์ตอนุกรม ใช้งานไม่ได้

แนวทางแก้ไข เปลี่ยนบอร์ด DSK เป็นเบอร์ TMS320C26 แทน

5.2.2 ปัญหาในส่วนของซอฟต์แวร์

ปัญหา การศึกษาการเขียนโปรแกรมควบคุมการทำงานของ DSK เป็นไปได้ช้า เนื่องจากความยุ่งยากและความซับซ้อนของคำสั่ง

แนวทางแก้ไข ต้องใช้ระยะเวลาในการศึกษาด้านซอฟต์แวร์มาก

ปัญหา โปรแกรมภาคกรองแถบความถี่ผ่านในด้านรับ ซึ่งแบ่งเป็น 2 ช่อง คือช่อง I และช่อง Q มีขนาดเท่ากันทำให้ช่อง Q เกิดการบิดเบี้ยว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แนวทางแก้ไข ทำการลดทอนช่องสัญญาณทั้ง 2 ลง

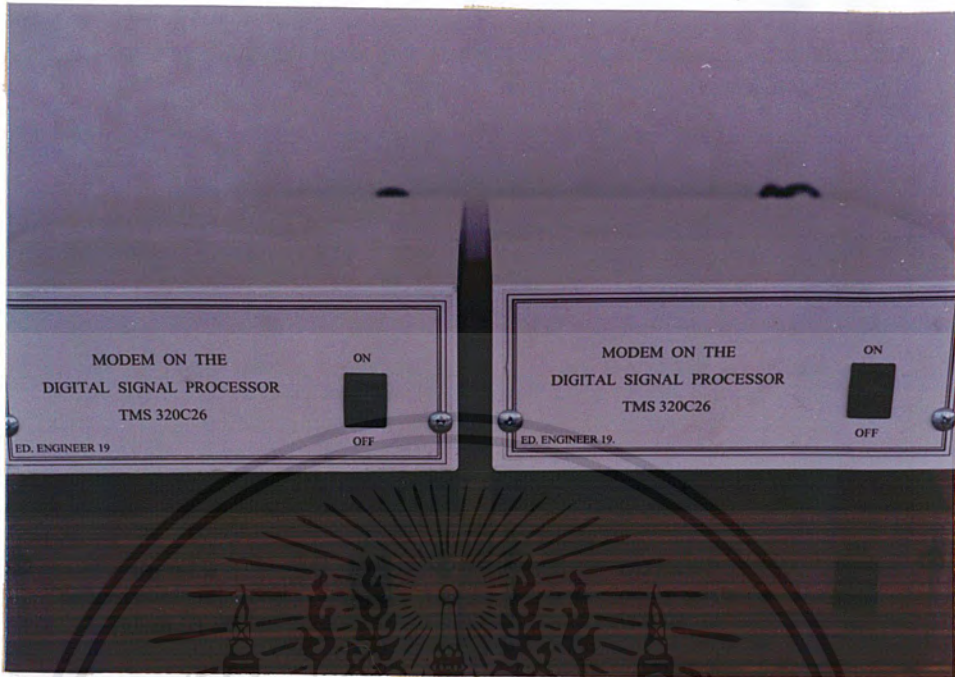
5.3 แนวทางในการพัฒนา

1. ควรใช้อุปกรณ์การประมวลผลสัญญาณเชิงเลขที่มีความไวในการทำงานสูงกว่าเบอร์ TMS320C26
2. ควรปรับปรุงให้มีความเร็วในการรับส่งที่สูงขึ้น
3. ควรใช้วิธีการมอดูเลตแบบอื่นที่มีประสิทธิภาพดีกว่าแบบนี้
4. ควรทดลองออกแบบโปรแกรมที่มีการทำงานในลักษณะที่ดีขึ้นแต่ใช้จำนวนคำสั่งน้อยที่สุด
5. ควรใช้วงจรไฮบริดที่มีลักษณะที่เหมาะสมกับความเร็วของข้อมูล
6. พัฒนาโปรแกรมในส่วนของการคิมอดูเลชันในภากรับให้เสร็จเรียบร้อย
7. ปรับปรุงวงจรไฮบริดให้มีประสิทธิภาพมากขึ้น โดยใช้ไอซีสำเร็จรูปที่เหมาะสมกับตัวโมเด็มประกอบด้วยวงจรจัดการเรียงการเข้าถึงข้อมูล (DAA) และการเปลี่ยน 2 เป็น 4 เส้น (2-4 Wire Conversion) อย่างสมบูรณ์อยู่แล้ว

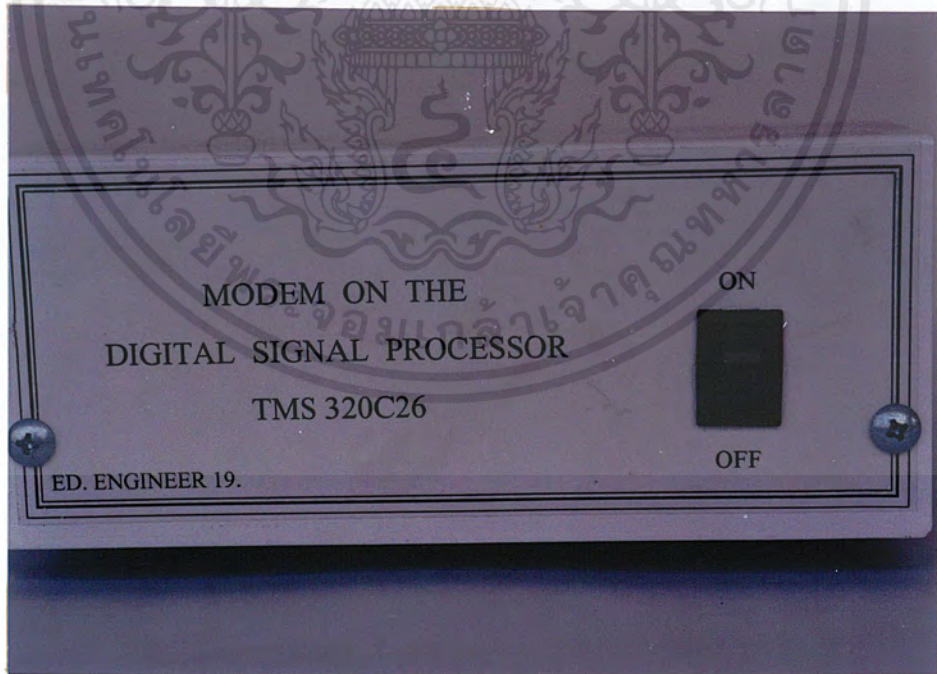
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

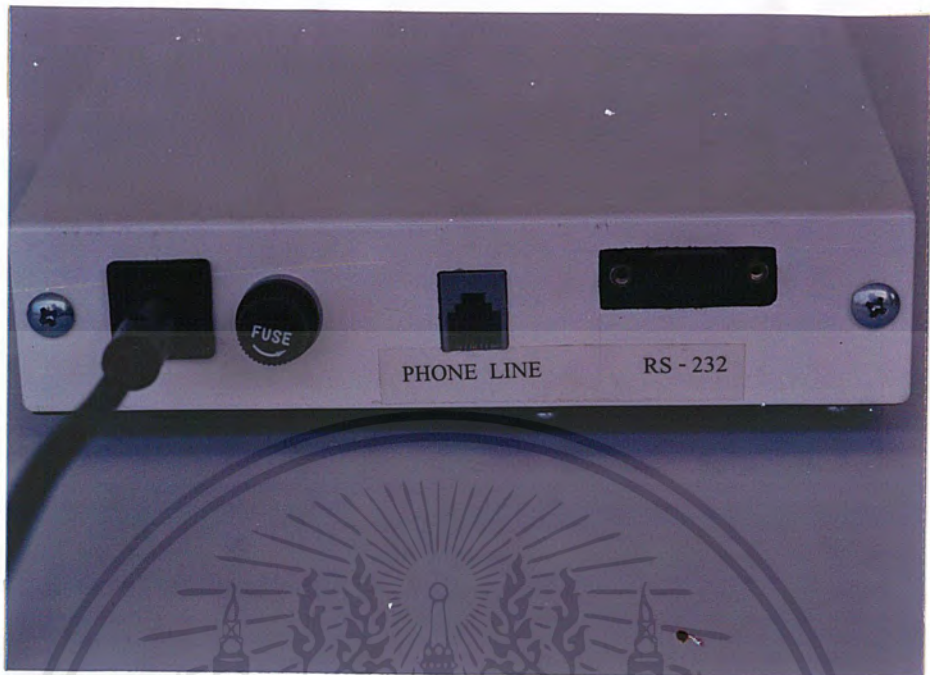


รูปที่ ก.1 เครื่องโมเด็มโดยใช้ตัวประมวลผลสัญญาณเชิงเลขเบอร์ TMS320C26

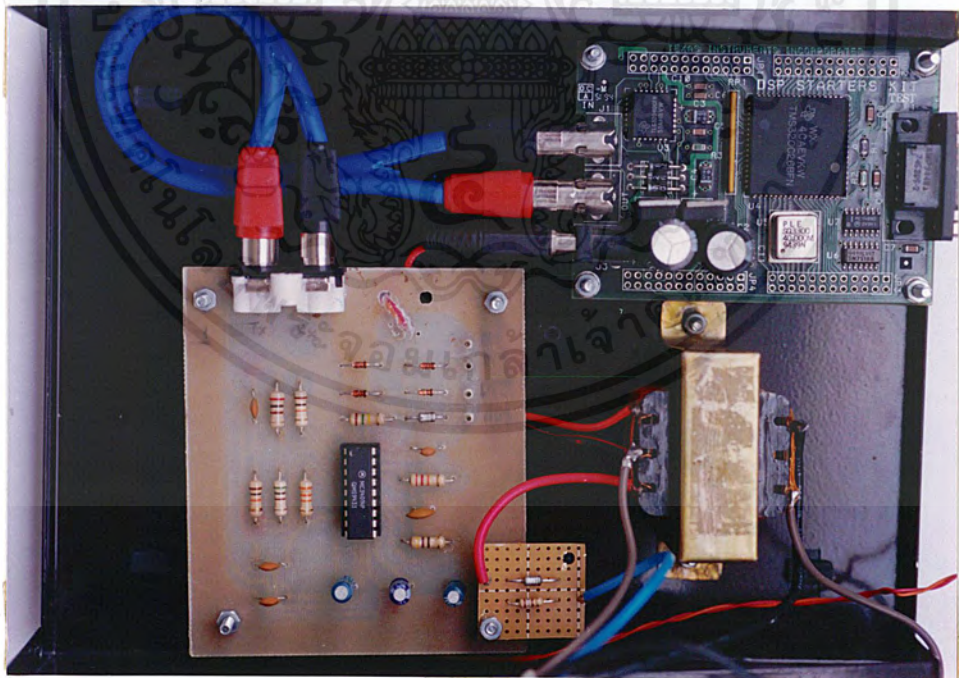


รูปที่ ก.2 ด้านหน้าเครื่องโมเด็มโดยใช้ตัวประมวลผลสัญญาณเชิงเลขเบอร์ TMS320C26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

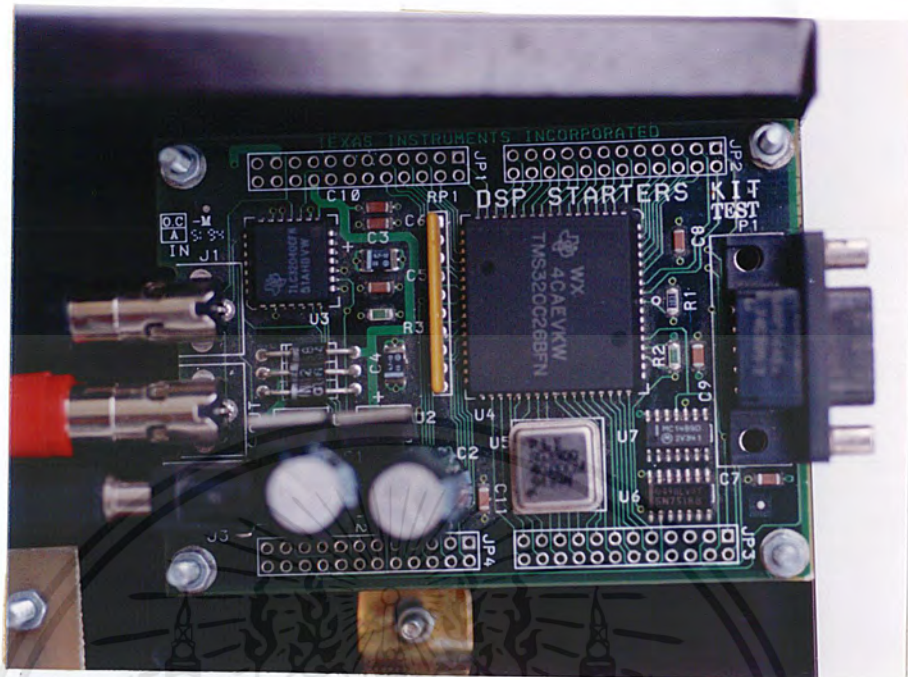


รูปที่ ก.3 ด้านหลัง เครื่อง โมเด็ม โดยใช้ตัวประมวลผลสัญญาณเชิงเลขเบอร์ TMS320C26

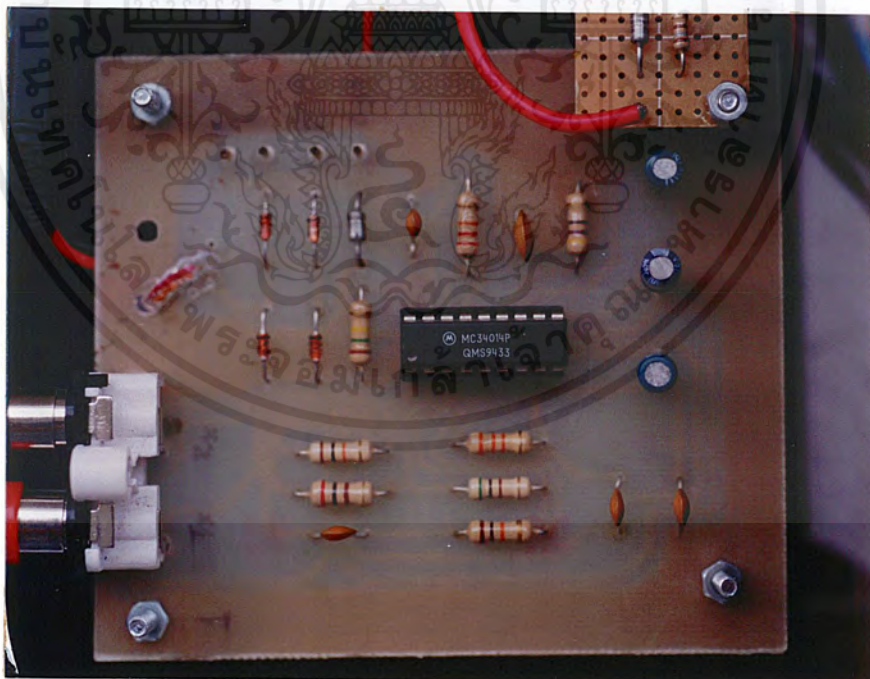


รูปที่ ก.4 การวางอุปกรณ์ภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.5 บอร์ด DSK



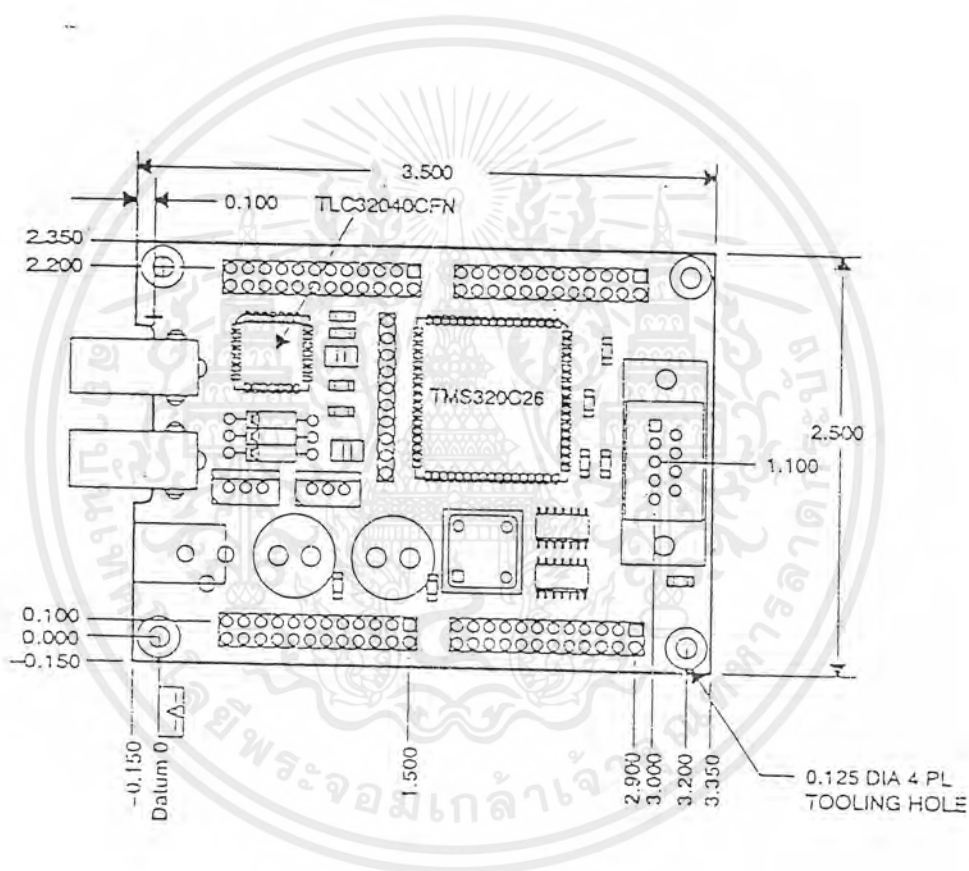
รูปที่ ก.6 วงจรไฮบริด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



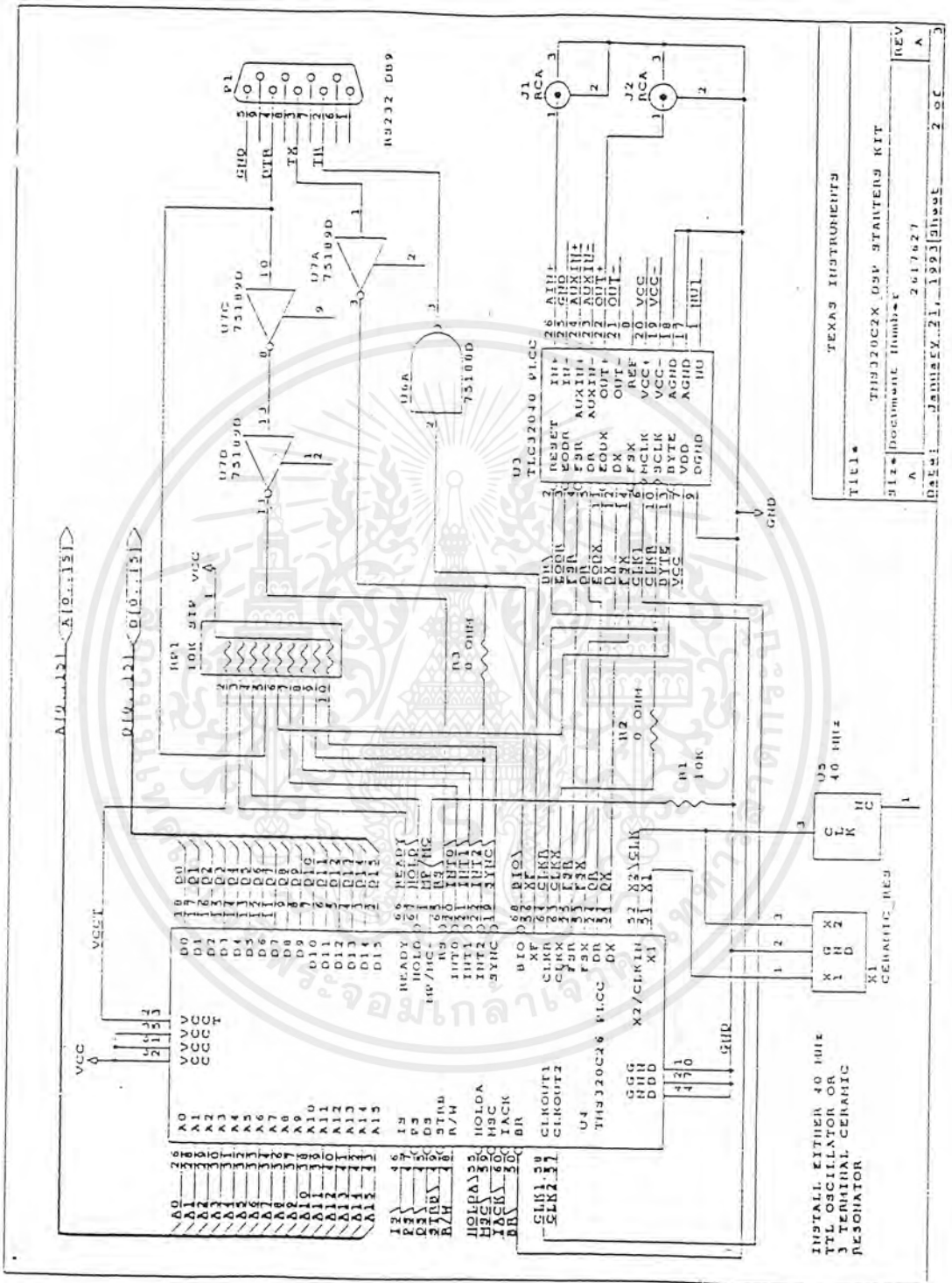
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TMS320C2x DSP Starter Kit



รูปที่ ข.1 การวางอุปกรณ์บนบอร์ด DSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

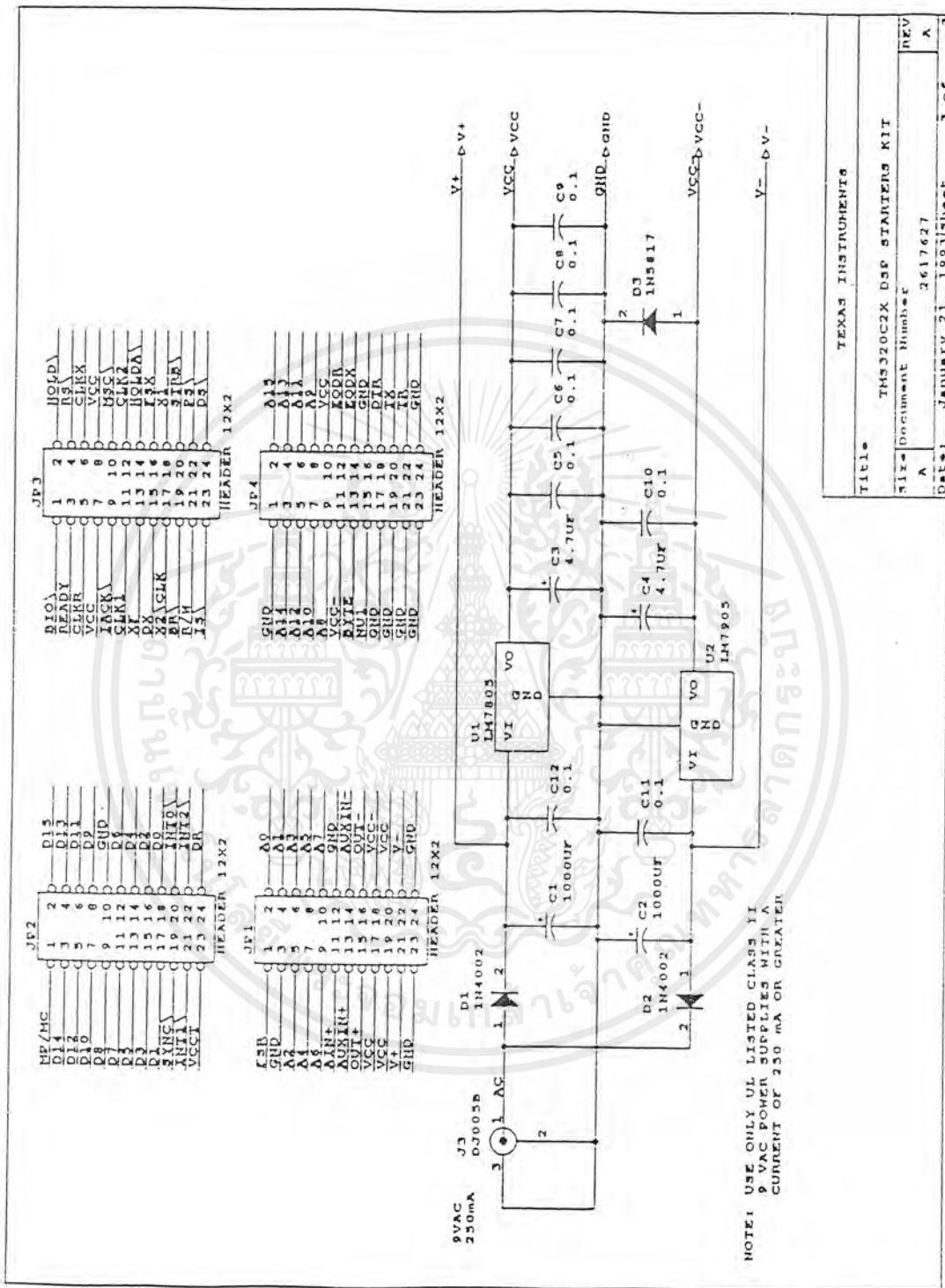


TEXAS INSTRUMENTS	
TITLE	TMS320C26 DSP STARTERS KIT
SIZE	Document Number
A	2617627
DATE	JANUARY 21, 1993
REV	A
	2 of 3

INSTALL EITHER 40 MHz TTL OSCILLATOR OR 3 TERMINAL CERAMIC RESONATOR

รูปที่ ข.2 TMS320C26 DSK 1

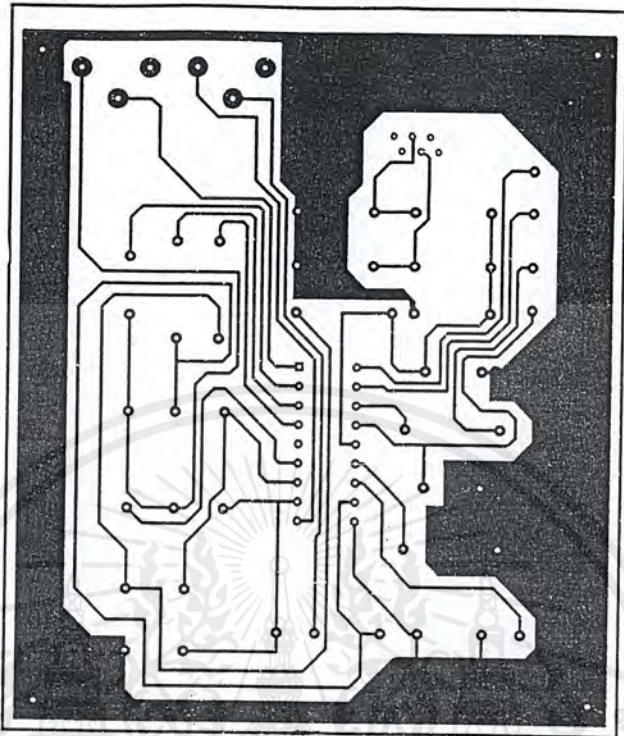
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



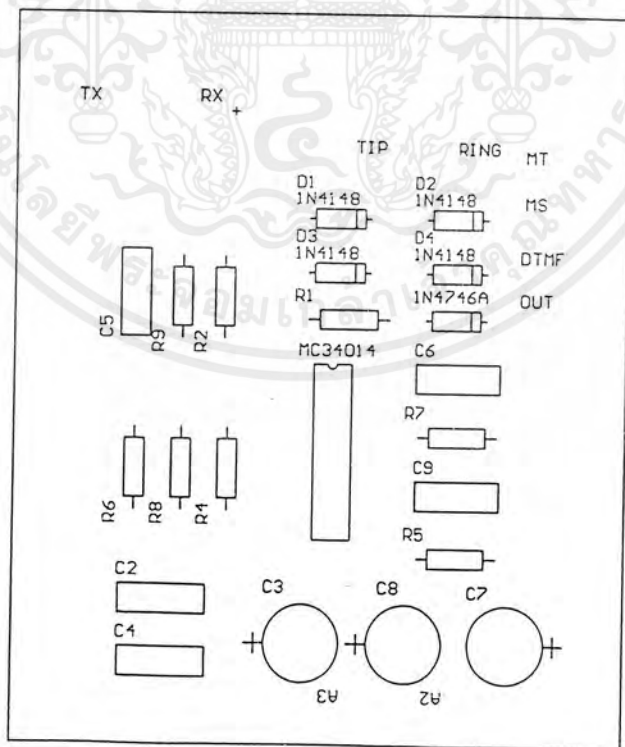
TEXAS INSTRUMENTS	
TITLE TMS320C26 DSP STARTERS KIT	
Size Document Number 2617627	
A	REV A
Date: January 21, 1993	Sheet 3 of 3

รูปที่ ข.3 TMS320C26 DSK 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป ข.5 ลายวงจรพิมพ์วงจรไฮบริด



รูป ข.6 การวางอุปกรณ์วงจรไฮบริด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ก

โปรแกรมที่ใช้ในโครงการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

DXR    .set    1
IMR    .set    4

        .ps    0fa0ah
        B      RINT

        .ps    0fb00h
        .entry

LDPK   DXR
LAC    IMR
ORK    010h
SACL   IMR

LOOP:  ADDK   10
        SACL  DXR, 3
        IDLE
        B     LOOP

RINT:  EINT
        RET

```

รูป ค.1 โปรแกรมกำเนิดสัญญาณรูปคลื่นฟันเลื่อย TRY1.ASM

```

        .include "mmregs.asm"
        .ps    0fa00h

        b      start
        b      start
        b      start
        b      start
        b      start
        b      rint
        eint
        ret

        .ps    0fb00h
        .entry

start:  ldpk   0
        lack  14h
        sacl  IMR

        lack  0d8h
        sacl  60h

TBO:   lac    60h
        andk  01h
        bz    DPL
        b     DPH

```

DPL:	lac	60h
	andk	02h
	bz	b0
	b	b1
b0:	call	P90
	b	TB2
b1:	call	P0
	b	TB2
DPH:	lac	60h
	andk	02h
	bz	b2
	b	b3
b2:	call	P18
	b	TB2
b3:	call	P27
	b	TB2
TB2:	lac	60h
	andk	04h
	bz	DPL2
	b	DPH2
DPL2:	lac	60h
	andk	08h
	bz	c0
	b	c1
c0:	call	P90
	b	TB4
c1:	call	P0
	b	TB4
DPH2:	lac	60h
	andk	08h
	bz	c2
	b	c3
c2:	call	P18
	b	TB4
c3:	call	P27
	b	TB4
TB4:	lac	60h
	andk	10h
	bz	DPL4
	b	DPH4
DPL4:	lac	60h

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	andk	20h
	bz	d0
	b	d1
d0:	call	P90
	b	TB6
d1:	call	P0
	b	TB6
DPH4:	lac	60h
	andk	20h
	bz	d2
	b	d3
d2:	call	P18
	b	TB6
d3:	call	P27
	b	TB6
TB6:	lac	60h
	andk	40h
	bz	DPL6
	b	DPH6
DPL6:	lac	60h
	andk	80h
	bz	e0
	b	e1
e0:	call	P90
	b	TB0
e1:	call	P0
	b	TB0
DPH6:	lac	60h
	andk	80h
	bz	e2
	b	e3
e2:	call	P18
	b	TB0
e3:	call	P27
	b	TB0
P90:	lr1k	AR0,coe0
	call	s0
	ret	
P0:	lr1k	AR0,coe1
	call	s0
	ret	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

P18:      lrlk   AR0,coe2
          call   s0
          ret

P27:      lrlk   AR0,coe3
          call   s0
          ret

s0:       idle
          lac    *+
          bz     a0
          sac1   DXR,2
          b      s0

a0:       ret

rint:     eint
          ret

          .ds    400h

coe0:     .word   1000,707,1
          .word   -707,-1000
          .word   -707,1,707
          .word   1000,0

coe1:     .word   1,707,1000
          .word   707,1,-707
          .word   -1000,-707
          .word   1,0

coe2:     .word   1,-707,-1000
          .word   -707,1
          .word   707,1000
          .word   707,1,0

coe3:     .word   -1000,-707,1
          .word   707,1000
          .word   707,1,-707
          .word   -1000,0

```

รูป ค.2 โปรแกรมภาคส่ง G5.ASM

```

.include "mmregs.asm"
.ps      0fa00h

b        start
b        start
b        start
b        start
b        start
b        rint

```

```

        eint
        ret

        .ps      0FB00h
        .entry

start:   ldpk    0
        lack   14h
        sacl   IMR

        lack   0D8h
        sacl   60h

TB0:    lac     60h
        andk   01h
        bz     DPL
        b      DPH

DPL:    lac     60h
        andk   02h
        bz     b0
        b      b1

b0:     call   P90
        b      TB2

b1:     call   P0
        b      TB2

DPH:    lac     60h
        andk   02h
        bz     b2
        b      b3

b2:     call   P18
        b      TB2

b3:     call   P27
        b      TB2

B2:     lac     60h
        andk   04h
        bz     DPL2
        b      DPH2

DPL2:   lac     60h
        andk   08h
        bz     c0
        b      c1

c0:     call   P90
        b      TB4

c1:     call   P0
        b      TB4

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DPH2:	lac	60h
	andk	08h
	bz	c2
	b	c3
c2:	call	P18
	b	TB4
c3:	call	P27
	b	TB4
TB4:	lac	60h
	andk	10h
	bz	DPL4
	b	DPH4
DPL4:	lac	60h
	andk	20h
	bz	d0
	b	d1
d0:	call	P90
	b	TB6
d1:	call	P0
	b	TB6
DPH4:	lac	60h
	andk	20h
	bz	d2
	b	d3
d2:	call	P18
	b	TB6
d3:	call	P27
	b	TB6
TB6:	lac	60h
	andk	40h
	bz	DPL6
	b	DPH6
DPL6:	lac	60h
	andk	80h
	bz	e0
	b	e1
e0:	call	P90
	b	TB0
e1:	call	P0
	b	TB0
DPH6:	lac	60h
	andk	80h

```

        bz      e2
        b       e3

e2:     call   P18
        b       TB0

e3:     call   P27
        b       TB0

P90:    lr1k   AR0,coe0
        call   s0
        ret

P0:     lr1k   AR0,coe1
        call   s0
        ret

P18:    lr1k   AR0,coe2
        call   s0
        ret

P27:    lr1k   AR0,coe3
        call   s0
        ret

s0:     idle
        lac    *+
        bz     a0
        sac1   DXR,2
        b      s0
a0:     ret

rint:   eint
        ret

        .ds   400h

coe0:   .word   1000,707,1
        .word   -707,-1000
        .word   -707,1,707
        .word   1000,0

coe1:   .word   1,707,1000
        .word   707,1,-707
        .word   -1000,-707
        .word   1,0

coe2:   .word   1,-707,-1000
        .word   -707,1
        .word   707,1000
        .word   707,1,0

coe3:   .word   -1000,-707,1

```

```
.word 707,1000
.word 707,1,-707
.word -1000,0
```

รูป ค.3 โปรแกรมภาคส่ง G6.ASM

```
.include "mmregs.asm"
.ps 0fa00h
b start
b start
b start
b start
b start
b rint
eint
ret

.ps 0fb00h
.entry
start: ldpk 0
lack 14h
sac1 IMR
conf 2

sl: idle
lac DRR
larp AR3

lrlk AR3,600h
sac1 *

lrlk AR3,650h
sac1 *

lrlk AR3,630h
mpyk 0
rptk 48

macd coeff1,*-
apac
sach 60h

lrlk AR3,680h
mpyk 0
rptk 48

macd coeff2,*-
apac
sach 61h
```

```

lac      61h
sacl     DXR, 2
b        s1

rint:    eint
         ret

coeff1:  .int    0, -40, 0
         .int    171, 384
         .int    315, 0
         .int    -385, -511
         .int    -282, 0
         .int    -81, -536
         .int    -7570, 1741
         .int    , 3293, 2960
         .int    0, -4283
         .int    -6971, -5533

         .int    0, 6516
         .int    9692, 7061
         .int    0, -7049
         .int    -9642, -64390
         .int    5286, 6428
         .int    3727, 0
         .int    -1973, -1552
         .int    -263, 0
         .int    -1169, -2437
         .int    -2145, 0

         .int    2560, 3611
         .int    2411, 0
         .int    -1787, -1906

coeff2:  .int    -3118, -2975
         .int    0, 4164
         .int    356, 4595
         .int    0, -4007
         .int    -4647, -2278
         .int    0, -535
         .int    -3233, -4208
         .int    0, 8348
         .int    14773, 12475
         .int    0, -16073

         .int    -24788, -18688
         .int    0, 19980
         .int    28391, 19793
         .int    0, -18170
         .int    -23876, -15336
         .int    0, 11681
         .int    13703, 7670
         .int    0, -3793
         .int    -2886, -473
         .int    0, -1975
         .int    -3990, -3406
         .int    0, 3828

```

```

.int    5242,3399
.int    0,-2379
.int    -2467,

```

รูป ค.5 โปรแกรมตัวกรองความถี่ผ่านแถบช่อง I

```

.include "mmregs.asm"
.ps    0fa00h
b      start
b      start
b      start
b      start
b      start
b      rint
eint
ret

.ps    0FB00h
.entry
start:  ldpk    0
        lack   14h
        sacl   IMR
        conf   2

sl:     idle
        lac    DRR
        larp   AR3

        lrlk   AR3,600h
        sacl   *

        lrlk   AR3,650h
        sacl   *

        lrlk   AR3,630h
        mpyk   0
        rptk   48

        macd   coeff1,*-
        apac
        sach   60h

        lrlk   AR3,680h
        mpyk   0
        rptk   48

        macd   coeff2,*-
        apac
        lach   60h

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใส่ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

lac      60h
sacl     DXR,2
b        sl

rint:    eint
         ret

coeff1:  .int    0,-40
         .int    0,171
         .int    384,315
         .int    0,-385
         .int    -511,-282
         .int    0,-81
         .int    -536,-757
         .int    0,1741
         .int    3293,2960
         .int    0,-4283

         .int    -6971,-5533
         .int    0,6516
         .int    9692,7061
         .int    0,-7049
         .int    -9642,-6439
         .int    0,5286
         .int    6428,3727
         .int    0,-1973
         .int    -1552,-263
         .int    0,-1169

         .int    -2437,-2145
         .int    0,2560
         .int    3611,2411
         .int    0,-1787,-1906

coeff2:  .int    -3118,-2975
         .int    0,4164
         .int    356,4595
         .int    0,-4007
         .int    -4647,-2278
         .int    0,-535
         .int    -3233,-4208
         .int    0,8348
         .int    14773,12475
         .int    0,-16073

         .int    -24788,-18688
         .int    0,19980
         .int    28391,19793
         .int    0,-18170
         .int    -23876,-15336
         .int    0,11681
         .int    13703,7670
         .int    0,-3793
         .int    -2886,-473
         .int    0,-1975

```

.int	-3990,-3406
.int	0,3828,5242
.int	3399,0
.int	-2379,-2467

รูป ค.6 โปรแกรมตัวกรองความถี่ผ่านแถบช่อง Q



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN NOMENCLATURE

SIGNALS	I/O/Z*	DEFINITION
V _{CC}	I	5-V supply pins.
V _{SS}	I	Ground pins.
X1	O	Output from internal oscillator for crystal.
X2 / CLKIN	I	Input to internal oscillator from crystal or external clock.
CLKOUT1	O	Master clock output (crystal or CLKIN frequency / 4).
CLKOUT2	O	A second clock output signal.
D15 - D0	I/O/Z	16-bit data bus D15 (MSB) through D0 (LSB). Multiplexed between program, data and I/O spaces.
A15 - A0	O/Z	16-bit address bus A15 (MSB) through A0 (LSB).
PS, DS, IS	O/Z	Program, data and I/O space select signals.
R / \overline{W}	O/Z	Read / write signal.
\overline{STRB}	O/Z	Strobe signal.
RS	I	Reset input.
$\overline{INT2}, \overline{INT0}$	I	External user interrupt inputs.
$\overline{MP/MC}$	I	Microprocessor/microcomputer mode select pin.
\overline{MSC}	O	Microstate complete signal.
\overline{IACK}	O	Interrupt acknowledge signal.
READY	I	Data ready input. Asserted by external logic when using slower devices to indicate that the current bus transaction is complete.
\overline{BR}	O	Bus request signal. Asserted when the TMS320C26 requires access to an external global data memory space.
XF	O	External flag output (latched software-programmable signal).
HOLD	I	Hold input. When asserted, TMS320C26 goes into an idle mode and places the data address and control lines in the high-impedance state.
\overline{HOLDA}	O	Hold acknowledge signal.
\overline{SYNC}	I	Synchronization input.
BIO	I	Branch control input. Polled by BIOZ instruction.
DR	I	Serial data receive input.
CLKR	I	Clock input for serial port receiver.
FSR	I	Frame synchronization pulse for receive input.
DX	O/Z	Serial data transmit output.
CLXX	I	Clock input for serial port transmitter.
FSX	I/O/Z	Frame synchronization pulse for transmit. May be configured as either an input or an output.

*I/O/Z denotes input/output/high-impedance state.

description

The TMS320C26 Digital Signal Processor is a member of the TMS320 family of VLSI digital signal processors and peripherals. The TMS320 family supports a wide range of digital signal processing applications, such as telecommunications, modems, image processing, speech processing, spectrum analysis, audio processing, digital filtering, high-speed control, graphics, and other computation intensive applications.

With a 100-ns instruction cycle time and an innovative memory configuration, the TMS320C26 performs operations necessary for many real time digital signal processing algorithms. Since most instructions require only one cycle, the TMS320C26 is capable of executing ten million instructions per second. On-chip data RAM of 1568 words of 16 bits, on-chip program ROM of 256-words, direct addressing of up to 64K-words of external data memory space and 64K-words of external program memory space, and multiprocessor interface features for sharing global memory minimize unnecessary data transfers to take full advantage of the capabilities of the processor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 2. TMS320C26 INSTRUCTION SET SUMMARY

ACCUMULATOR MEMORY REFERENCE INSTRUCTIONS			
MNEMONIC	DESCRIPTION	NO. WORDS	INSTRUCTION BIT CODE
			15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
ABS	Absolute value of accumulator	1	1 1 0 0 1 1 1 0 0 0 0 1 1 0 1 1
ADD	Add to accumulator with shift	1	0 0 0 0 ←S→ M ←D→
ADDC	Add to accumulator with carry	1	0 1 0 0 0 0 1 1 M ←D→
ADDH	Add to high accumulator	1	0 1 0 0 1 0 0 0 M ←D→
ADDK	Add to accumulator short immediate	1	1 1 0 0 1 1 0 0 ←K→
ADDS	Add to low accumulator with sign extension suppressed	1	0 1 0 0 1 0 0 1 M ←D→
AODT [†]	Add to accumulator with shift specified by T register	1	0 1 0 0 1 0 1 0 M ←D→
ADLK [†]	Add to accumulator long immediate with shift	2	1 1 0 1 ←S→ C 0 0 0 0 0 1 0
AND	AND with accumulator	1	0 1 0 0 1 1 1 0 M ←D→
ANDK [†]	AND immediate with accumulator with shift	2	1 1 0 1 ←S→ 0 0 0 0 0 1 0 0
CMPL [†]	Complement accumulator	1	1 1 0 0 1 1 1 0 0 0 1 0 0 1 1 1
LAC	Load accumulator with shift	1	0 0 1 0 ←S→ M ←D→
LACK	Load accumulator immediate short	1	1 1 0 0 1 0 1 0 ←K→
LACT [†]	Load accumulator with shift specified by T register	1	0 1 0 0 0 0 1 0 M ←D→
LALK [†]	Load accumulator long immediate with shift	2	1 1 0 1 ←S→ 0 0 0 0 0 0 0 1
NEG [†]	Negate accumulator	1	1 1 0 0 1 1 1 0 0 0 1 0 0 0 1 1
NORM [†]	Normalize contents of accumulator	1	1 1 0 0 1 1 1 0 1 ←D→
OR	OR with accumulator	1	0 1 0 0 1 1 0 1 M ←D→
ORK [†]	OR immediate with accumulator with shift	2	1 1 0 1 ←S→ 0 0 0 0 0 1 0 1
ROL	Rotate accumulator left	1	1 1 0 0 1 1 1 0 0 0 1 1 0 1 0 0
ROR	Rotate accumulator right	1	1 1 0 0 1 1 0 0 0 1 1 0 1 0 1 0
SACH	Store high accumulator with shift	1	0 1 1 0 1 ←X→ M ←D→
SACL	Store low accumulator with shift	1	0 1 1 0 0 ←X→ M ←D→
SBLK [†]	Subtract from accumulator long immediate with shift	2	1 1 0 1 ←S→ 0 0 0 0 0 0 1 1
SFL [†]	Shift accumulator left	1	1 1 0 0 1 1 1 0 0 0 0 1 1 0 0 0
SFR [†]	Shift accumulator right	1	1 1 0 0 1 1 1 0 0 0 0 1 1 0 0 1
SUB	Subtract from accumulator with shift	1	0 0 0 1 ←S→ M ←D→
SUBB	Subtract from accumulator with borrow	1	0 1 0 0 1 1 1 1 M ←D→
SUBC	Conditional subtract	1	0 1 0 0 0 1 1 1 M ←D→
SUBH	Subtract from high accumulator	1	0 1 0 0 0 1 0 0 M ←D→
SUBK	Subtract from accumulator short immediate	1	1 1 0 0 1 1 0 1 ←K→
SUBS	Subtract from low accumulator with sign extension suppressed	1	0 1 0 0 0 1 0 1 M ←D→
SUBT [†]	Subtract from accumulator with shift specified by T register	1	0 1 0 0 0 1 1 0 M ←D→
XOR	Exclusive OR with accumulator	1	0 1 0 0 1 1 0 0 M ←D→
XORK [†]	Exclusive OR immediate with accumulator with shift	2	1 1 0 1 ←S→ 0 0 0 0 0 1 1 0
ZAC	Zero accumulator	1	1 1 0 0 1 0 1 0 0 0 0 0 0 0 0 0
ZALH	Zero low accumulator and load high accumulator	1	0 1 0 0 0 0 0 0 M ←D→
ZALR	Zero low accumulator and load high accumulator with rounding	1	0 1 1 1 1 0 1 1 M ←D→
ZALS	Zero accumulator and load low accumulator with sign extension suppressed	1	0 1 0 0 0 0 0 1 M ←D→

[†]These instructions are not included in the TMS32010 instruction set.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 2. TMS320C26 INSTRUCTION SET SUMMARY (CONTINUED)

AUXILIARY REGISTERS AND DATA PAGE POINTER INSTRUCTIONS			
MNEMONIC	DESCRIPTION	NO. WORDS	INSTRUCTION BIT CODE
			15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
ADRK	Add to auxiliary register short immediate	1	0 1 1 1 1 1 1 0 ←K→
CMPR [†]	Compare auxiliary register with auxiliary register ARO	1	1 1 0 0 1 1 1 0 0 1 0 1 0 0 ←CM→
LAR	Load auxiliary register	1	0 0 1 1 0 ←R→ M ←D→
LARK	Load auxiliary register short immediate	1	1 1 0 0 0 ←R→ ←K→
LARP	Load auxiliary register pointer	1	0 1 0 1 0 1 0 1 1 0 0 0 1 ←R→
LDP	Load data memory page pointer	1	0 1 0 1 0 0 1 0 M ←D→
LDPK	Load data memory page pointer immediate	1	1 1 0 0 1 0 0 ←DP→
LRLK [†]	Load auxiliary register long immediate	2	1 1 0 1 0 ←R→ 0 0 0 0 0 0 0 0
MAR	Modify auxiliary register	1	0 1 0 1 0 1 0 1 M ←D→
SAR	Store auxiliary register	1	0 1 1 1 0 ←R→ M ←D→
SBRK	Subtract from auxiliary register short immediate	1	0 1 1 1 1 1 1 1 ←K→
T REGISTER, P REGISTER, AND MULTIPLY INSTRUCTIONS			
MNEMONIC	DESCRIPTION	NO. WORDS	INSTRUCTION BIT CODE
			15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
APAC	Add P register to accumulator	1	1 1 0 0 1 1 1 0 0 0 0 1 0 1 0 1
LPH [†]	Load high P register	1	0 1 0 1 0 0 1 1 M ←D→
LT	Load T register	1	0 0 1 1 1 0 0 M ←D→
LTA	Load T register and accumulate previous product	1	0 0 1 1 1 1 0 1 M ←D→
LTD	Load T register, accumulate previous product, and move data	1	0 0 1 1 1 1 1 1 M ←D→
LTP [†]	Load T register and store P register in accumulator	1	0 0 1 1 1 1 1 0 M ←D→
LTS [†]	Load T register and subtract previous product	1	0 1 0 1 1 0 1 1 M ←D→
MAC	Multiply and accumulate	2	0 1 0 1 1 1 0 1 M ←D→
MACD [†]	Multiply and accumulate with data move	2	0 1 0 1 1 1 0 0 M ←D→
MPY	Multiply (with T register, store product in P register)	1	0 0 1 1 1 0 0 0 M ←D→
MPYA	Multiply and accumulate previous product	1	0 0 1 1 1 0 1 0 M ←D→
MPYK	Multiply immediate	1	1 0 1 ←K→
MPYS	Multiply and subtract previous product	1	0 0 1 1 1 0 1 1 M ←D→
MPYU	Multiply unsigned	1	1 1 0 0 1 1 1 1 M ←D→
PAC	Load accumulator with P register	1	1 1 0 0 1 1 1 0 0 0 1 0 1 0 0
SPAC	Subtract P register from accumulator	1	1 1 0 0 1 1 1 0 0 0 0 1 0 1 1 0
SPH	Store high P register	1	0 1 1 1 1 1 0 1 M ←D→
SPL	Store low P register	1	0 1 1 1 1 1 0 0 M ←D→
SPM [†]	Set P register output shift mode	1	1 1 0 0 1 1 1 0 0 0 0 0 1 0 ←PM→
SQRA [†]	Square and accumulate	1	0 0 1 1 1 0 0 1 M ←D→
SQRS [†]	Square and subtract previous product	1	0 1 0 1 1 0 1 0 M ←D→

[†]These instructions are not included in the TMS32010 instruction set

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 2. TMS320C26 INSTRUCTION SET SUMMARY (CONTINUED)

BRANCH/CALL INSTRUCTIONS			
MNEMONIC	DESCRIPTION	NO. WORDS	INSTRUCTION BIT CODE
			15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
B	Branch unconditionally	2	1 1 1 1 1 1 1 1 1 1 ← 0 →
BACC [†]	Branch to address specified by accumulator	1	1 1 0 0 1 1 1 0 0 0 0 1 0 0 1 0 1
BANZ	Branch on auxiliary register not zero	2	1 1 1 1 1 0 1 1 1 1 ← 0 →
BBNZ [†]	Branch if TC bit = 0	2	1 1 1 1 1 0 0 1 1 1 ← 0 →
BBZ [†]	Branch if TC bit = 0	2	1 1 1 1 1 0 0 0 1 1 ← 0 →
BC	Branch on carry	2	1 1 1 1 1 0 0 0 1 1 ← 0 →
BGEZ	Branch if accumulator ≥ 0	2	0 1 0 1 1 1 1 0 0 1 ← 0 →
BGZ	Branch if accumulator > 0	2	1 1 1 1 0 1 0 0 1 1 ← 0 →
BIOZ	Branch on I/O status = 0	2	1 1 1 1 0 0 0 1 1 1 ← 0 →
BLEZ	Branch if accumulator ≤ 0	2	1 1 1 1 0 1 0 1 1 1 ← 0 →
BLZ	Branch if accumulator < 0	2	1 1 1 1 0 0 1 0 1 1 ← 0 →
BNC	Branch on no carry	2	1 1 1 1 0 0 1 1 1 1 ← 0 →
BNV [†]	Branch if no overflow	2	0 1 0 1 1 1 1 1 1 1 ← 0 →
BNZ	Branch if accumulator ≠ 0	2	1 1 1 1 0 1 1 1 1 1 ← 0 →
BV	Branch on overflow	2	1 1 1 1 0 1 0 1 1 1 ← 0 →
BZ	Branch if accumulator = 0	2	1 1 1 1 0 0 0 0 1 1 ← 0 →
CALA	Call subroutine indirect	1	1 1 1 1 0 1 1 0 1 1 ← 0 →
CALL	Call subroutine	2	1 1 0 0 1 1 1 0 0 0 0 1 0 0 1 0 0
RET	Return from subroutine	1	1 1 0 0 1 1 1 0 0 0 0 1 0 0 1 1 0
I/O AND DATA MEMORY OPERATIONS			
MNEMONIC	DESCRIPTION	NO. WORDS	INSTRUCTION BIT CODE
			15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
BLKD [†]	Block move from data memory to data memory	2	1 1 1 1 1 1 0 1 M ← 0 →
BLKP [†]	Block move from program memory to data memory	2	1 1 1 1 1 1 0 0 M ← 0 →
DMOV	Data move in data memory	1	0 1 0 1 0 1 1 0 M ← 0 →
FORT [†]	Format serial port registers	1	1 1 0 0 1 1 1 0 0 0 0 0 1 1 1 FO
IN	Input data from port	1	1 0 0 0 ← PA → M ← 0 →
OUT	Output data to port	1	1 1 1 0 ← PA → M ← 0 →
RFSM	Reset serial port frame synchronization mode	1	1 1 0 0 1 1 1 0 C 0 1 1 0 1 1 0
RTXM [†]	Reset serial port transmit mode	1	1 1 0 0 1 1 1 0 0 0 0 1 0 0 0 0 0
RXF [†]	Reset external flag	1	1 1 0 0 1 1 1 0 0 0 0 1 0 0 0 0 0
SFSM	Set serial port frame synchronization mode	1	1 1 0 0 1 1 1 0 C 0 1 1 0 1 1 0 0
STXM [†]	Set serial port transmit mode	1	1 1 0 0 1 1 1 0 0 0 0 1 0 1 1 1 1
SXF [†]	Set external flag	1	1 1 0 0 1 1 1 0 0 0 0 1 0 0 0 0 1
TBLR	Table read	1	1 1 0 0 1 1 1 0 0 0 0 0 1 1 0 1
TBLW	Table write	1	0 1 0 1 1 0 0 0 M ← 0 →
		1	0 1 0 1 1 0 0 1 M ← 0 →

[†] These instructions are not included in the TMS32010 instruction set.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 2. TMS320C26 INSTRUCTION SET SUMMARY (CONCLUDED)

CONTROL INSTRUCTIONS			
MNEMONIC	DESCRIPTION	NO. WORDS	INSTRUCTION BIT CODE
			15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
BIT [†]	Test bit	1	1 0 0 1 ←B→ M ←D→
BITT [†]	Test bit specified by T register	1	0 1 0 1 0 1 1 1 M ←D→
CONF0#	Configure all blocks as Data	1	1 1 0 0 1 1 1 0 0 0 1 1 1 1 0 0
CONF1#	Configure block B0 as program	1	1 1 0 0 1 1 1 0 0 0 1 1 1 1 0 1
CONF2#	Configure blocks B0 and B1 as program	1	1 1 0 0 1 1 1 0 0 0 1 1 1 1 1 0
CONF3#	Configure blocks B0, B1 and B3 as program	1	1 1 0 0 1 1 1 0 0 0 1 1 1 1 1 1
DINT	Disable interrupt	1	1 1 0 0 1 1 1 0 0 0 0 0 0 0 0 1
EINT	Enable interrupt	1	1 1 0 0 1 1 1 0 0 0 0 0 0 0 0 0
IDLE [†]	Idle until interrupt	1	1 1 0 0 1 1 1 0 0 0 0 1 1 1 1 1
LST	Load status register ST0	1	0 1 0 1 0 0 0 0 M ←D→
LST1 [†]	Load status register ST1	1	0 1 0 1 0 0 0 1 M ←D→
NOP	No operation	1	0 1 0 1 0 1 0 1 0 0 0 0 0 0 0 0
POP	Pop top of stack to low accumulator	1	1 1 0 0 1 1 1 0 0 0 0 1 1 1 0 1
POPD [†]	Pop top of stack to data memory	1	0 1 1 1 1 0 1 0 M ←D→
PSHD [†]	Push data memory value onto stack	1	0 1 0 1 0 1 0 0 M ←D→
PUSH	Push low accumulator onto stack	1	1 1 0 0 1 1 1 0 0 0 0 1 1 1 0 0
RC	Reset carry bit	1	1 1 0 0 1 1 1 0 0 0 1 1 0 0 0 0
RHM	Reset hold mode	1	1 1 0 0 1 1 1 0 0 0 1 1 1 0 0 0
ROVM	Reset overflow mode	1	1 1 0 0 1 1 1 0 0 0 0 0 0 0 0 1
RPT [†]	Repeat instruction as specified by data memory value	1	0 1 0 0 1 0 1 1 M ←D→
RPTK [†]	Repeat instruction as specified by immediate value	1	1 1 0 0 1 0 1 1 ←K→
RSXM [†]	Reset sign-extension mode	1	1 1 0 0 1 1 1 0 0 0 0 0 0 1 1 0
RTC	Reset test/control flag	1	1 1 0 0 1 1 1 0 0 0 1 1 0 0 0 1
SC	Set carry bit	1	1 1 0 0 1 1 1 0 0 0 1 1 0 0 0 1
SHM	Set hold mode	1	1 1 0 0 1 1 1 0 0 0 1 1 1 0 0 1
SOVM	Set overflow mode	1	1 1 0 0 1 1 1 0 0 0 0 0 0 0 0 1
SST	Store status register ST0	1	0 1 1 1 1 0 0 0 M ←D→
SST1 [†]	Store status register ST1	1	0 1 1 1 1 0 0 1 M ←D→
SSXM [†]	Set sign-extension mode	1	1 1 0 0 1 1 1 0 0 0 0 0 0 1 1 1
STC	Set test/control flag	1	1 1 0 0 1 1 1 0 0 0 1 1 0 0 0 1
TRAP [†]	Software interrupt	1	1 1 0 0 1 1 1 0 0 0 0 0 1 1 1 0

[†] These instructions are not included in the TMS32010 instruction set

These instructions replace CNFD and CNFP in the TMS320C25 instruction set.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Caution. This device contains circuits to protect its inputs and outputs against damage due to high static voltages or electrostatic fields. These circuits have been qualified to protect this device against electrostatic discharges (ESD) of up to 2 kV according to MIL-STD-883C, Method 3015, however, it is advised that precautions be taken to avoid application of any voltage higher than maximum rated voltages to these high-impedance circuits. During storage or handling, the device leads should be shorted together or the device should be placed in conductive foam. In a circuit, unused inputs should always be connected to an appropriate logic voltage level, preferably either V_{CC} or ground. Specific guidelines for handling devices of this type are contained in the publication "Guidelines for Handling Electrostatic-Discharge Sensitive (ESDS) Devices and Assemblies" available from Texas Instruments.

absolute maximum ratings over specified temperature range (unless otherwise noted) †

Supply voltage range, V_{CC}^{\ddagger}	-0.3 V to 7 V
Input voltage range	-0.3 V to 7 V
Output voltage range	-0.3 V to 7 V
Continuous power dissipation	1.5 W
Operating free-air temperature	0°C to 70°C
Storage temperature range	-55°C to 150°C

† Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the "Recommended Operating Conditions" section of this specification is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

‡ All voltage values are with respect to V_{SS} .

recommended operating conditions

		MIN	NOM	MAX	UNIT	
V_{CC}	Supply voltage	4.75	5	5.25	V	
V_{SS}	Supply voltage		0		V	
V_{IH}	High-level input voltage	All inputs except CLKIN/CLKX/CLKR / INT $\bar{}$ (0-2)				
		INT $\bar{}$ (0-2)	2.5	$V_{CC} - 0.3$	V	
		CLKIN/CLKX/CLKR	3.5	$V_{CC} - 0.3$	V	
V_{IL}	Low-level input voltage	All inputs except CLKIN		-0.3	0.8	V
		CLKIN	-0.3	0.8	V	
I_{OH}	High-level output current			300	μ A	
I_{OL}	Low-level output current			2	mA	
T_A	Operating free-air temperature	0		70	°C	

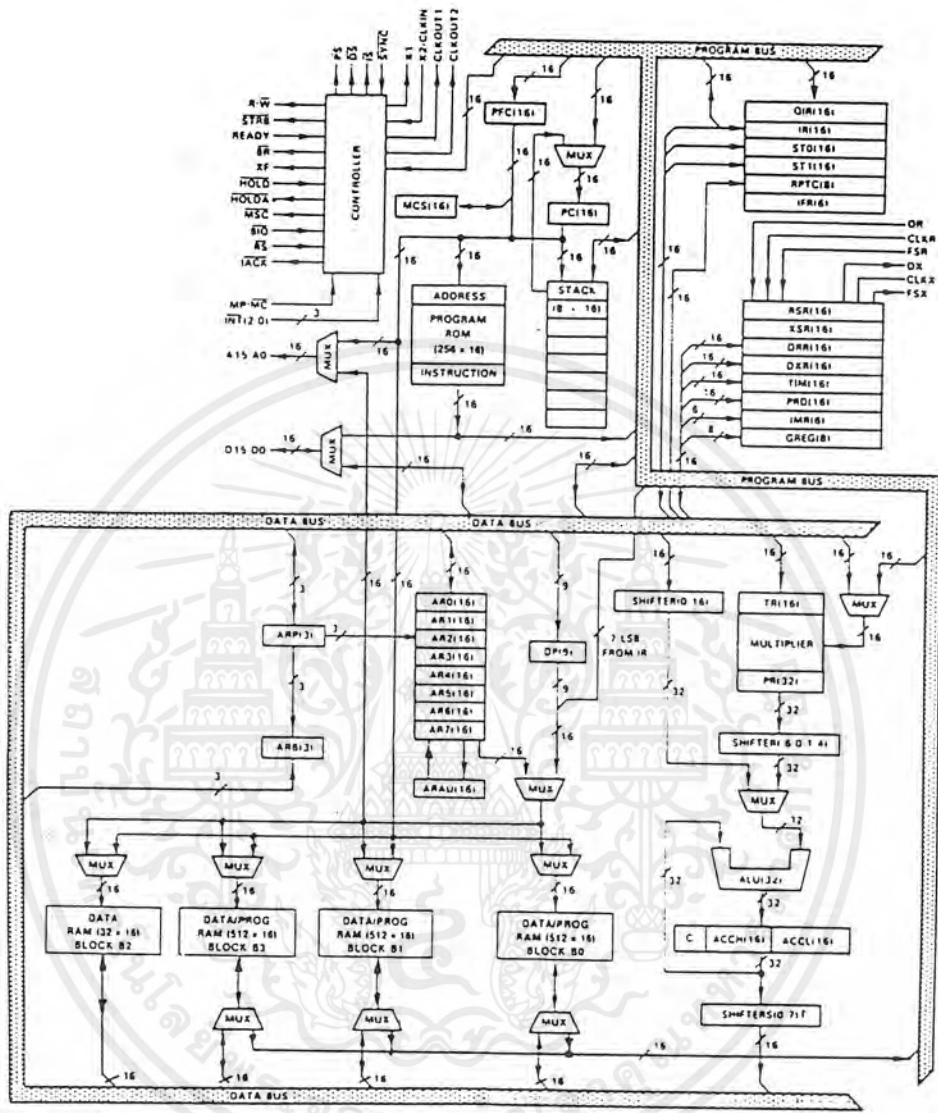
electrical characteristics over specified free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP [†]	MAX	UNIT	
V_{OH}	High-level output voltage		2.4	3	V	
V_{OL}	Low-level output voltage		0.3	0.6	V	
I_Z	Three-state current		-20	20	μ A	
I_I	Input current		-10	10	μ A	
I_{CC}	Supply current	Normal		110	220	mA
		Idle HOLD		70	100	
C_I	Input capacitance		15		pF	
C_O	Output capacitance		15		pF	

† All typical values are at $V_{CC} = 5$ V, $T_A = 25^\circ\text{C}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

functional block diagram (TMS320C26)



LEGEND			
ACCH	Accumulator high	IFR	Interrupt flag register
ACCL	Accumulator low	IMR	Interrupt mask register
ALU	Arithmetic logic unit	IR	Instruction register
ARAU	Auxiliary register arithmetic unit	MCS	Microcode stack
ARB	Auxiliary register pointer buffer	QIR	Queue instruction register
ARP	Auxiliary register pointer	PR	Product register
ARQ	Auxiliary register pointer	PRO	Parade register for timer
DRR	Serial port data receive register	TIM	Timer
DXR	Serial port data transmit register	TR	Temporary register
		PC	Program counter
		PFC	Prefetch counter
		RPTC	Repeat instruction counter
		GREG	Global memory allocation register
		RSR	Serial port receive shift register
		TSR	Serial port transmit shift register
		ARQ-AR7	Auxiliary registers
		ST0-ST1	Status registers
		C	Carry bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

architecture

The TMS320C26 architecture is based on the TMS320C25 with a different internal RAM and ROM configuration. The TMS320C26 integrates 256 words of on-chip ROM and 1568 words of on-chip RAM compared to 4K words of on-chip ROM and 544 words of on-chip RAM for the TMS320C25. The TMS320C26 is pin for pin compatible with the TMS320C25.

Increased throughput on the TMS320C26 for many DSP applications is accomplished by means of single-cycle multiply/accumulate instructions with a data move option, eight auxiliary registers with a dedicated arithmetic unit, and faster I/O necessary for data intensive signal processing.

The architectural design of the TMS320C26 emphasizes overall speed, communication, and flexibility in processor configuration. Control signals and instructions provide floating point support, block memory transfers, communication to slower off-chip devices, and multiprocessing implementations.

Three large on-chip RAM blocks, configurable either as separate program and data spaces or as three contiguous data blocks, provide increased flexibility in system design. Programs of up to 256 words can be masked into the internal program ROM. The remainder of the 64K-word program memory space is located externally. Large programs can execute at full speed from this memory space. Programs can also be downloaded from slow external memory to high speed on-chip RAM. A total data memory address space of 64K words is included to facilitate implementation of DSP algorithms. The VLSI implementation of the TMS320C26 incorporates all of these features as well as many others, including a hardware timer, serial port, and block data transfer capabilities.

32-bit ALU/accumulator

The TMS320C26 32-bit Arithmetic Logic Unit (ALU) and accumulator perform a wide range of arithmetic and logic instructions, the majority of which execute in a single clock cycle. The ALU executes a variety of branch instructions dependent on the status of the ALU or a single bit in a word. These instructions provide the following capabilities:

- Branch to an address specified by the accumulator.
- Normalize fixed point numbers contained in the accumulator.
- Test a specified bit of a word in data memory.

One input to the ALU is always provided from the accumulator, and the other input may be provided from the Product Register (PR) of the multiplier or the input scaling shifter which has fetched data from the RAM on the data bus. After the ALU has performed the arithmetic or logical operations, the result is stored in the accumulator.

The 32-bit accumulator is split into two 16-bit segments for storage in data memory. Additional shifters at the output of the accumulator perform shifts while the data is being transferred to the data bus for storage. The contents of the accumulator remain unchanged.

scaling shifter

The TMS320C26 scaling shifter has a 16-bit input connected to the data bus and a 32-bit output connected to the ALU. The scaling shifter produces a left shift of 0 to 16-bits on the input data, as specified in the instruction word. The LSBs of the output are filled with zeroes, and the MSBs may be either filled with zeroes or sign extended, depending upon the value of the SXM (sign extension mode) bit of status register STO.

16 × 16 bit parallel multiplier

The TMS320C26 has a 16 × 16 bit-hardware multiplier, which is capable of computing a signed or unsigned 32-bit product in a single machine cycle. The multiplier has the following two associated registers:

- A 16-bit Temporary Registers (TR) that holds one of the operands for the multiplier, and
- A 32-bit Product Register (PR) that holds the product.

Incorporated into the TMS320C26 instruction set are single-cycle multiply/accumulate instructions that allow both operands to be fetched simultaneously. The data for these operations may reside anywhere in internal or external memory, and can be transferred to the multiplier each cycle via the program and data buses.

Four product shift modes are available at the Product Register (PR) output that are useful when performing multiply/accumulate operations, fractional arithmetic, or justifying fractional products.

timer

The TMS320C26 provides a memory mapped 16-bit timer for control operations. The on-chip timer (TIM) register is a down counter that is continuously clocked by CLKOUT 1. A timer interrupt (TINT) is generated every time the timer decrements to zero, provided the timer interrupt is enabled. The timer is reloaded with the value contained in the period (PRD) register within the next cycle after it reaches zero so that interrupts may be programmed to occur at regular intervals of $PRD + 1$ cycles of CLKOUT 1.

memory control

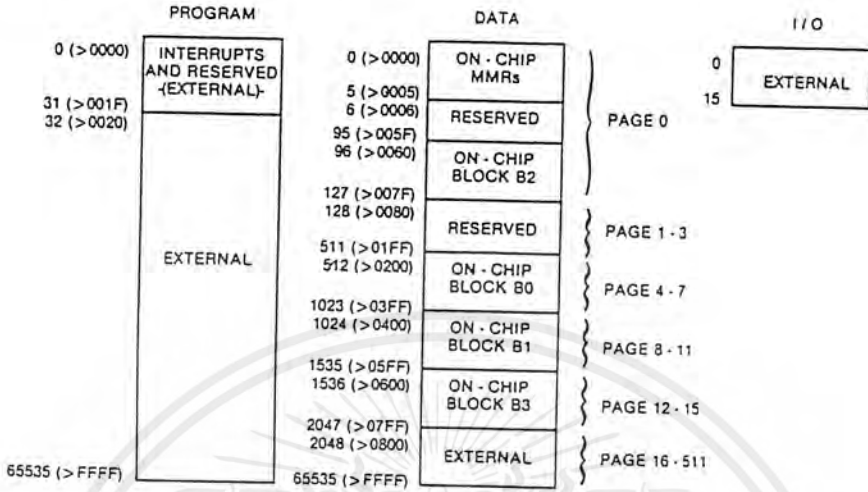
The TMS320C26 provides a total of 1568 words of 16 bit on-chip data RAM, divided into four separate blocks (B0, B1, B2, and B3). Of the 1568 words, 32 words (block B2) are always data memory, and all other words are programmable as either data or program memory. A data memory size of 1568 words allows the TMS320C26 to handle a data array of 1536 words, while still leaving 32 locations for intermediate storage. When using B0, B1, or B3 as program memory, instructions can be downloaded from external program memory into on-chip RAM, and then executed.

When using on-chip program RAM, ROM, or high speed external program memory, the TMS320C26 runs at full speed without wait states. However, the READY line can be used to interface the TMS320C26 to slower, less expensive external memory. Downloading programs from slow off-chip memory to on-chip program RAM speeds processing and cuts system costs.

The TMS320C26 provides three separate address spaces for program memory, data memory, and I/O. The on-chip memory is mapped into either the 64K-word data memory or program memory space, depending upon the choice of memory configuration. The CONF 0 (configure all blocks as data memory), CONF 1 (configure block B0 as program memory), CONF 2 (configure block B0 and B1 as program memory) and CONF 3 (configure B0, B1, and B3 as program memory) instructions allow dynamic configuration of the memory maps through software. Regardless of the configuration, the user may still execute from external program memory.

The TMS320C26 has six registers that are mapped into the data memory space at locations 0-5; a serial port data receive register, serial port data transmit register, timer register, period register, interrupt mask register, and global memory allocation register.

A. MEMORY MAPS AFTER A RESET OR CONF 0
 A.1 MP/MC = 1



A.2 MP/MC = 0

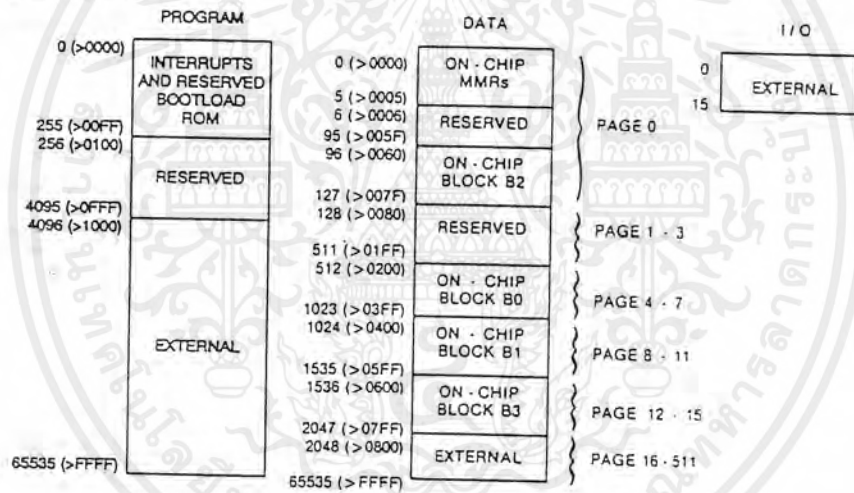


Figure 1a. Memory maps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

timing requirements over recommended operating conditions (see Note 3)

	MIN	NOM	MAX	UNIT
$t_{su}(IN)$ $\overline{INT}, \overline{BIO}/\overline{RS}$ setup before CLKOUT1 high	32			ns
$t_h(IN)$ $\overline{INT}/\overline{BIO}/\overline{RS}$ hold after CLKOUT1 high	0			ns
$t_f(IN)$ $\overline{INT}/\overline{BIO}$ fall time			8*	ns
$t_w(IN)$ $\overline{INT}/\overline{BIO}$ low pulse duration	$t_{c1}(C)$			ns
$t_w(RS)$ \overline{RS} low pulse duration	$3t_{c1}(C)$			ns

*Value not tested

NOTES: 3. $Q = 1.4t_{c1}(C)$

8. \overline{RS} , \overline{INT} , and \overline{BIO} are asynchronous inputs and can occur at any time during a clock cycle. However, if the specified setup time is met, the exact sequence shown in the timing diagrams will occur.

HOLD TIMING

switching characteristics over recommended operating conditions (see Note 3)

PARAMETER	MIN	TYP	MAX	UNIT
$t_d(C1L-A)$ \overline{HOLDA} low after CLKOUT1 low	0		10	ns
$t_{dis}(AL-A)$ \overline{HOLDA} low to address three-state		0*		ns
$t_{dis}(C1L-A)$ Address three-state after CLKOUT1 low (\overline{HOLD} mode, see Note 9)			20*	ns
$t_d(HH-AH)$ \overline{HOLD} high to \overline{HOLDA} high			25	ns
$t_{en}(A-C1L)$ Address driven before CLKOUT1 low (\overline{HOLD} mode, see Note 9)			8*	ns

*Value derived from characterization data and not tested

NOTES: 3. $Q = 1.4t_{c1}(C)$

9. A15-A0, \overline{PS} , \overline{DS} , \overline{IS} , \overline{STRB} , and \overline{RW} timings are all included in timings referenced as "address."

timing requirements over recommended operating conditions (see Note 3)

	MIN	NOM	MAX	UNIT
$t_d(C2H-H)$ \overline{HOLD} valid after CLKOUT2 high			$Q - 24$	ns

NOTE 3. $Q = 1.4t_{c1}(C)$

SERIAL PORT TIMING

switching characteristics over recommended operating conditions (see Note 3)

PARAMETER	MIN	TYP	MAX	UNIT
$t_d(CH-DX)$ DX valid after CLKX rising edge (see Note 10)			75	ns
$t_d(FL-DX)$ DX valid after FSX falling edge (TXM = 0, see Note 10)			40	ns
$t_d(CH-FS)$ FSX valid after CLKX rising edge (TXM = 1)			40	ns

NOTES: 3. $Q = 1.4t_{c1}(C)$

10. The last occurrence of FSX falling and CLKX rising.

timing requirements over recommended operating conditions (see Note 3)

	MIN	NOM	MAX	UNIT
$t_c(SCK)$ Serial port clock (CLKX/CLKR) cycle time**	200			ns
$t_f(SCK)$ Serial port clock (CLKX/CLKR) fall time			25*	ns
$t_r(SCK)$ Serial port clock (CLKX/CLKR) rise time			25*	ns
$t_w(SCK)$ Serial port clock (CLKX/CLKR) low pulse duration (see Note 11)	80			ns
$t_w(SCK)$ Serial port clock (CLKX/CLKR) high pulse duration (see Note 11)	80			ns
$t_{su}(FS)$ FSX/FSR setup time before CLKX/CLKR falling edge (TXM = 0)	18			ns
$t_h(FS)$ FSX/FSR hold time after CLKX/CLKR falling edge (TXM = 0)	20			ns
$t_{su}(DR)$ DR setup time before CLKR falling edge	10			ns
$t_h(DR)$ DR hold time after CLKR falling edge	20			ns

*Value not tested

**The serial port is tested at a minimum frequency of 1.25MHz. However, the serial port is fully static and will properly function down to $f_{sx} = 0$ Hz

NOTES: 3. $Q = 1.4t_{c1}(C)$

11. The duty cycle of the serial port clock must be within 40-60%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MEMORY AND PERIPHERAL INTERFACE TIMING

switching characteristics over recommended operating conditions (see Note 3)

PARAMETER	MIN	TYP	MAX	UNIT
$t_{d(C1\ S)}$ \overline{STRB} from CLKOUT1 (if \overline{STRB} is present)	0 - 6	0	0 - 6	ns
$t_{d(C2\ S)}$ CLKOUT2 to \overline{STRB} (if \overline{STRB} is present)	- 5	0	6	ns
$t_{su(A)}$ Address setup time before \overline{STRB} low (see Note 5)	0 - 12			ns
$t_{h(A)}$ Address hold time after \overline{STRB} high (see Note 5)	0 - 3			ns
$t_{w(SL)}$ \overline{STRB} low pulse duration (no wait states, see Note 6)	20 - 5		20 - 5	ns
$t_{w(SH)}$ \overline{STRB} high pulse duration (between consecutive cycles, see Note 6)	20 - 5		20 + 5	ns
$t_{su(D)W}$ Data write setup time before \overline{STRB} high (no wait states)	20 - 20			ns
$t_{h(D)W}$ Data write hold time from \overline{STRB} high	0 - 10	0		ns
$t_{en(D)}$ Data bus starts being driven after \overline{STRB} low (write cycle)	0*			ns
$t_{dis(D)}$ Data bus three-state after \overline{STRB} high (write cycle)		0	0 + 15*	ns
$t_{d(MSC)}$ \overline{MSC} valid from CLKOUT1	- 12	0	12	ns

*Value derived from characterization data and not tested

NOTES 3 Q = 1/4 t_{C1C} 5 A15 A0 \overline{PS} , \overline{DS} , \overline{IS} , \overline{RW} and \overline{BR} timings are all included in timings referenced as address6 Delays between CLKOUT1/CLKOUT2 edges and \overline{STRB} edges track each other, resulting in $t_{w(SL)}$ and $t_{w(SH)}$ being 2Q with no wait states

timing requirements over recommended operating conditions (see Note 3)

	MIN	NOM	MAX	UNIT
$t_{a(A)}$ Read data access time from address time (read cycle, see Notes 5 and 7)			30 - 35	ns
$t_{su(DIR)}$ Data read setup time before \overline{STRB} high	20			ns
$t_{h(DIR)}$ Data read hold time from \overline{STRB} high	0			ns
$t_{d(SL\ R)}$ READY valid after \overline{STRB} low (no wait states)			0 - 20	ns
$t_{d(C2H\ R)}$ READY valid after CLKOUT2 high			0 - 20	ns
$t_{h(SL\ R)}$ READY hold time after \overline{STRB} low (no wait states)	0 - 3			ns
$t_{h(C2H\ R)}$ READY hold after CLKOUT2 high	0 - 3			ns
$t_{d(M\ R)}$ READY valid after \overline{MSC} valid			20 - 25	ns
$t_{h(M\ R)}$ READY hold time after \overline{MSC} valid	0			ns

NOTES 3 Q = 1/4 t_{C1C} 5 A15 A0 \overline{PS} , \overline{DS} , \overline{IS} , \overline{RW} and \overline{BR} timings are all included in timings referenced as address7 Read data access time is defined as $t_{a(A)} - t_{su(DIR)} - t_{w(SL)} - t_{su(DIR)}$ \overline{RS} , \overline{INT} , \overline{BIO} , and XF TIMING

switching characteristics over recommended operating conditions (see Note 3)

PARAMETER	MIN	TYP	MAX	UNIT
$t_{d(RS)}$ CLKOUT1: low to reset state entered			22*	ns
$t_{d(IACK)}$ CLKOUT1: to IACK valid	- 5	0	12	ns
$t_{d(XF)}$ XF valid before falling edge of \overline{STRB}	0 - 15			ns

*Value derived from characterization data and not tested

NOTES 3 Q = 1/4 t_{C1C} 8 \overline{RS} , \overline{INT} and \overline{BIO} are asynchronous inputs and can occur at any time during a clock cycle. However, if the specified setup time is met, the exact sequence shown in the timing diagrams will occur.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

timing requirements over recommended operating conditions (see Note 3)

	MIN	NOM	MAX	UNIT
$t_{c(CI)}$ CLKIN cycle time	24.4		150	ns
$t_{f(CI)}$ CLKIN fall time			5*	ns
$t_{r(CI)}$ CLKIN rise time			5*	ns
$t_{w(CIL)}$ CLKIN low pulse duration, $t_{c(CI)} = 50$ ns (see Note 4)	20			ns
$t_{w(CIH)}$ CLKIN high pulse duration, $t_{c(CI)} = 50$ ns (see Note 4)	20			ns
$t_{su(S)}$ SYNC setup time before CLKIN low	5	Q-8		ns
$t_{h(S)}$ SYNC hold time from CLKIN low	8			ns

*Value not tested

NOTES 3. Q = 1.4 $t_{c(CI)}$

4. CLKIN duty cycle $(t_{r(CI)} + t_{w(CIH)})/t_{c(CI)}$ must be within 40-60%

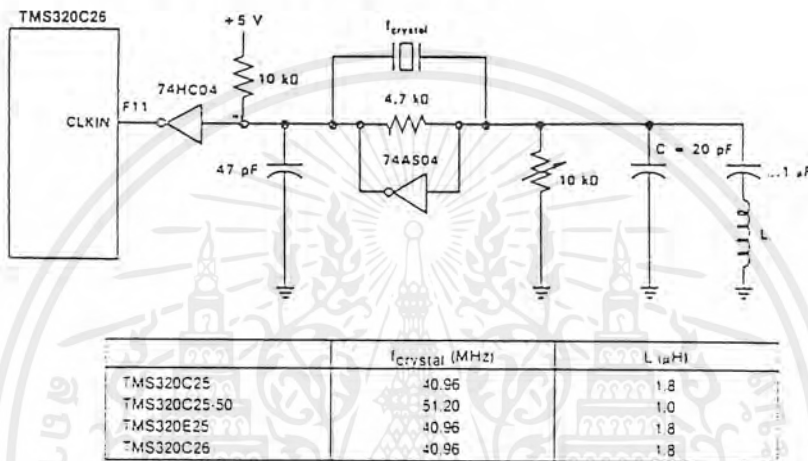


FIGURE 3. EXTERNAL CLOCK OPTION

Shown above is a crystal oscillator circuit suitable for providing the input clock signal to the TMS320C25, TMS320C26, TMS320E25, and TMS320C25-50. Please refer to *Hardware Interfacing to the TMS320C25* (document number SPRA014A) for details on circuit operation.

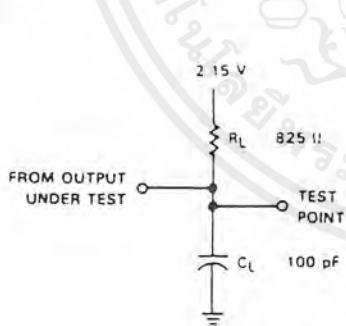


FIGURE 4. TEST LOAD CIRCUIT

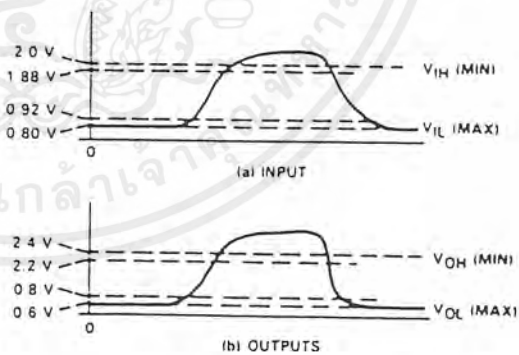


FIGURE 5. VOLTAGE REFERENCE LEVELS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CLOCK CHARACTERISTICS AND TIMING

The TMS320C26 can use either its internal oscillator or an external frequency source for a clock.

internal clock option

The internal oscillator is enabled by connecting a crystal across X1 and X2/CLKIN (see Figure 2). The frequency of CLKOUT1 is one-fourth the crystal fundamental frequency. The crystal should be either fundamental or overtone mode, and parallel resonant, with an effective series resistance of 30 ohms, a power dissipation of 1 mW, and be specified at a load capacitance of 20 pF. Note that overtone crystals require an additional tuned LC circuit (see the application report, *Hardware Interfacing to the TMS320C25*).

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_x Input clock frequency	$T_A = 0^\circ\text{C to } 70^\circ\text{C}$	6.7	40.96		MHz
f_{sx} Serial port frequency	$T_A = 0^\circ\text{C to } 70^\circ\text{C}$	0*	5.120		kHz
C1, C2	$T_A = 0^\circ\text{C to } 70^\circ\text{C}$		10		pF

* The serial port is tested at a minimum frequency of 1.25MHz. However, the serial port is fully static and will properly function down to $f_{sx} = 0\text{Hz}$

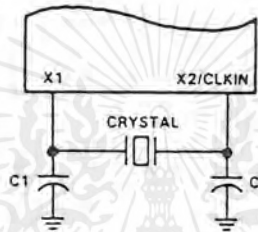


FIGURE 2. INTERNAL CLOCK OPTION

external clock option

An external frequency source can be used by injecting the frequency directly into X2/CLKIN with X1 left unconnected. The external frequency injected must conform to the specifications listed in the following table.

switching characteristics over recommended operating conditions (see Note 3)

PARAMETER	MIN	TYP	MAX	UNIT
$t_{c1(C)}$ CLKOUT1/CLKOUT2 cycle time	97.7		597	ns
$t_{d(C1H-C)}$ CLKIN high to CLKOUT1/CLKOUT2/STRB high/low	5		30	ns
$t_{f(C)}$ CLKOUT1/CLKOUT2/STRB fall time			5	ns
$t_{r(C)}$ CLKOUT1/CLKOUT2/STRB rise time			5	ns
$t_{w(CL)}$ CLKOUT1/CLKOUT2 low pulse duration	$2Q - 8$	$2Q$	$2Q - 8$	ns
$t_{w(CH)}$ CLKOUT1/CLKOUT2 high pulse duration	$2Q - 8$	$2Q$	$2Q - 8$	ns
$t_{d(C1-C2)}$ CLKOUT1 high to CLKOUT2 low, CLKOUT2 high to CLKOUT1 high, etc	$Q - 5$	Q	$Q - 5$	ns

NOTE 3: $Q = 1/4t_{c1(C)}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

addressing modes

The TMS320C26 instruction set provides three memory addressing modes: direct, indirect, and immediate addressing.

Both direct and indirect addressing can be used to access data memory. In direct addressing, seven bits of the instruction word are concatenated with the nine bits of the data memory page pointer to form the 16-bit data memory address. Indirect addressing accesses data memory through the eight auxiliary registers. In immediate addressing, the data is embedded in the instruction word (s).

In direct memory addressing, the instruction word contains the lower seven bits of the data memory address. This field is concatenated with the nine bits of the data memory page pointer to form the full 16-bit address. Thus, memory is paged in the direct addressing mode with a total of 512 pages, each page containing 128 words.

Eight auxiliary registers (AR0-AR7) provide flexible and powerful indirect addressing. To select a specific auxiliary register, the Auxiliary Register Pointer (ARP) is loaded with a value from 0 through 7 for AR0 through AR7 respectively.

There are seven types of indirect addressing: auto increment, auto decrement, post indexing by either adding or subtracting the contents of AR0, single indirect addressing with no increment or decrement and bit reversal addressing (used in FFTS) with increment or decrement. All operations are performed on the current auxiliary register in the same cycle as the original instruction, followed by an ARP update.

repeat feature

A repeat feature, used with instructions such as multiply/accumulates, block moves, I/O transfers, and table read/writes, allows a single instruction to be executed up to 256 times. The repeat counter (RPTC) is loaded with either a data memory value (RPT instruction) or an immediate value (RPTK instruction). The value of this operand is one less than the number of times that the next instruction is executed. Those instructions that are normally multicycle are pipelined when using the repeat feature, and effectively become single-cycle instructions.

instruction set summary

Table 1 lists the symbols and abbreviations used in Table 2, the instruction set summary. Table 2 consists primarily of single-cycle, single-word instructions. Infrequently used branch, I-O, and CALL instructions are multicycle. The instruction set summary is arranged according to function and alphabetized within each functional grouping. The symbol (†) indicates those instructions that are not included in the TMS32010 instruction set. The symbol (#) indicates instructions that are not included in the TMS320C25 instruction set.

TABLE 1. INSTRUCTION SYMBOLS

SYMBOL	MEANING
B	4-bit field specifying a bit code
CM	2-bit field specifying compare mode
D	Data memory address field
FO	Format status bit
M	Addressing mode bit
K	Immediate operand field
PA	Port address (PA0 through PA 15 are predefined assembler symbols equal to 0 through 15 respectively.)
PM	2-bit field specifying P register output shift code
R	3-bit operand field specifying auxiliary register
S	4-bit left-shift code
X	3-bit accumulator left-shift field

A built in mechanism protects multicycle instructions from interrupts. If an interrupt occurs during a multicycle instruction, the interrupt is not processed until the instruction is completed. This mechanism applies both to instructions that are repeated or become multicycle due to the READY signal.

external interface

The TMS320C26 supports a wide range of system interfacing requirements. Program, data, and I/O address spaces provide interface to memory and I/O, this maximizing system throughput. I/O design is simplified by having I/O treated the same way as memory. I/O devices are mapped into the I/O address space using the processor's external address and data busses in the same manner as memory-mapped devices. Interface to memory and I/O devices of varying speeds is accomplished by using the READY line. When transactions are made with slower devices, the TMS320C26 processor waits until the other device completes its function and signals the processor via the READY line. Then, the TMS320C26 continues execution.

A serial port provides communication with serial devices, such as codecs, serial A/D converters, and other serial systems. The interface signals are compatible with codecs and many other serial devices with a minimum of external hardware. The serial port may also be used for intercommunication between processors in multiprocessing applications.

The serial port has two memory mapped registers; the data transmit register (DXR) and the data receive register (DRR). Both registers operate in either the byte mode or 16-bit word mode, and may be accessed in the same manner as any other data memory location. Each register has an external clock, a framing signal, and associated shift registers. One method of multiprocessing may be implemented by programming one device to transmit while the others are in the receive mode.

multiprocessing

The flexibility of the TMS320C26 allows configurations to satisfy a wide range of system requirements. The TMS320C26 can be used as follows:

- A standalone processor.
- A multiprocessor with devices in parallel
- A multiprocessor with global memory space.
- A peripheral processor interfaced via processor controlled signals to another device.

For multiprocessing applications, the TMS320C26 has the capability of allocating global data memory space and communicating with that space via the BR (bus request) and READY control signals. Global memory is data memory shared by more than one processor. Global data memory access must be arbitrated. The 8-bit memory mapped GREG (global memory allocation register) specifies part of the TMS320C26's data memory as global external memory. The contents of the register determines the size of the global memory space. If the current instruction addresses a location within that space, BR is asserted to request control of the data bus. The length of the memory cycle is controlled by the READY line.

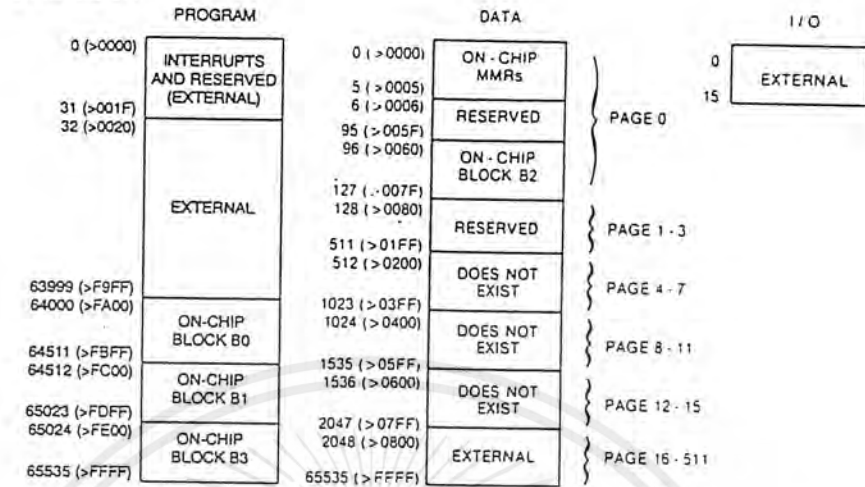
The TMS320C26 supports DMA (direct memory access) to its external program/data memory using the HOLD and HOLDA signals. Another processor can take complete control of the TMS320C26's external memory by asserting HOLD low. This causes the TMS320C26 to place its address, data, and control lines in a high impedance state, and assert HOLDA.

instruction set

The TMS320C26 microprocessor implements a comprehensive instruction set that supports both numeric intensive signal processing operations as well as general purpose applications, such as multiprocessing and high speed control.

For maximum throughput, the next instruction is prefetched while the current one is being executed. Since the same data lines are used to communicate to external data/program or I/O space, the number of cycles may vary depending upon whether the next data operand fetch is from internal or external program memory. Highest throughput is achieved by maintaining data memory on-chip and using either internal or fast external program memory.

D. MEMORY MAPS AFTER CONF 3
D.1 MP/MP_{IC} = 1



D.2 MP/MP_{IC} = 0

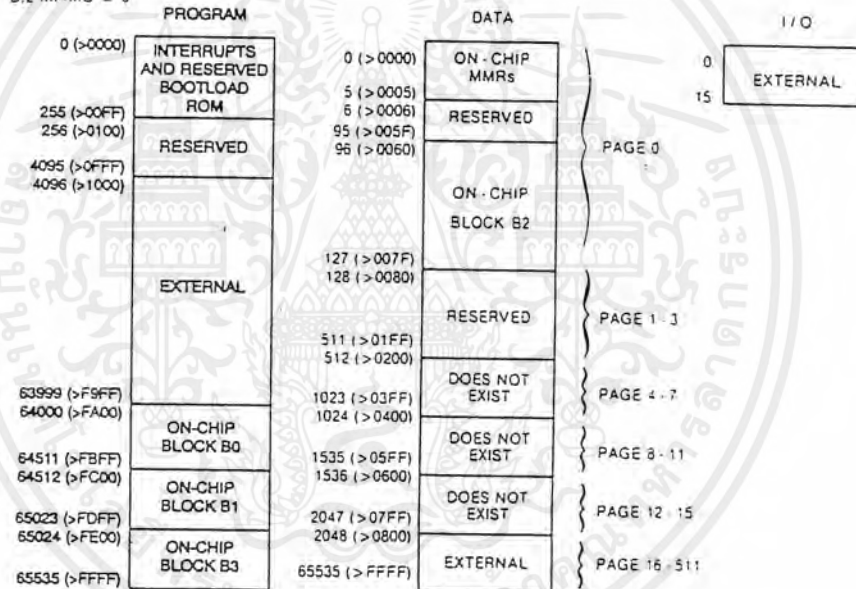


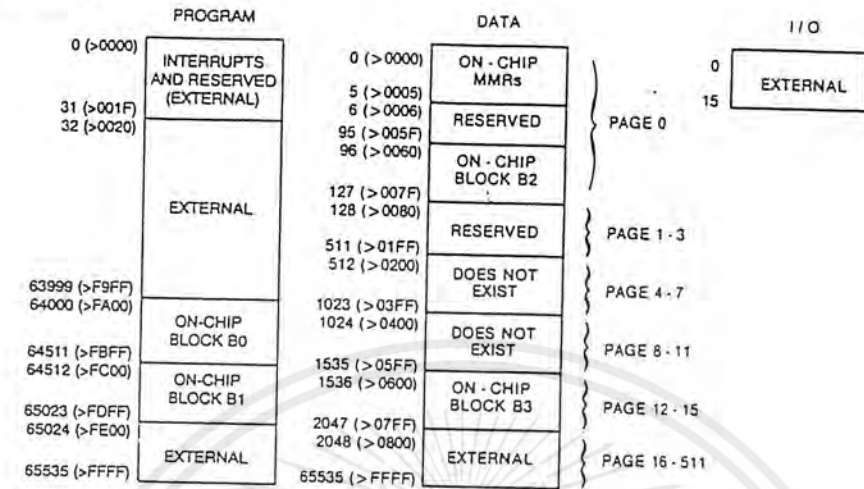
Figure 1d. Memory maps

interrupts and subroutine

The TMS320C26 has three external maskable user interrupts $\overline{INT} 2 - \overline{INT} 0$, available for external devices that interrupt the processor. Internal interrupts are generated by the serial port (RINT and XINT), by the timer (TINT), and by the software interrupt (TRAP) instruction. Interrupts are prioritized with reset (\overline{RS}) having the highest priority and the serial port transmit interrupt (XINT) having the lowest priority. All interrupt locations are on two-words boundaries so that branch instructions can be accommodated in those locations if desired.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C. MEMORY MAPS AFTER CONF 2
C.1 MPI/MC = 1



C.2 MPI/MC = 0

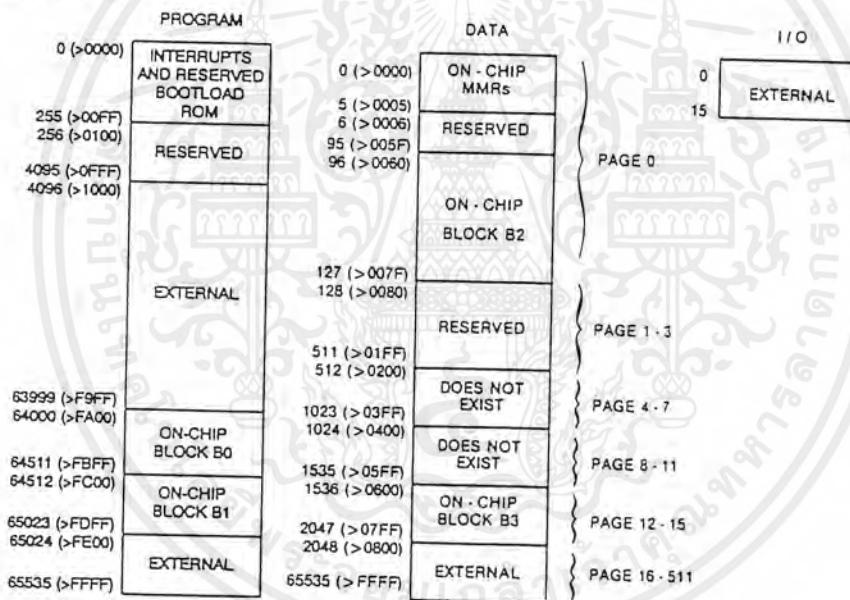
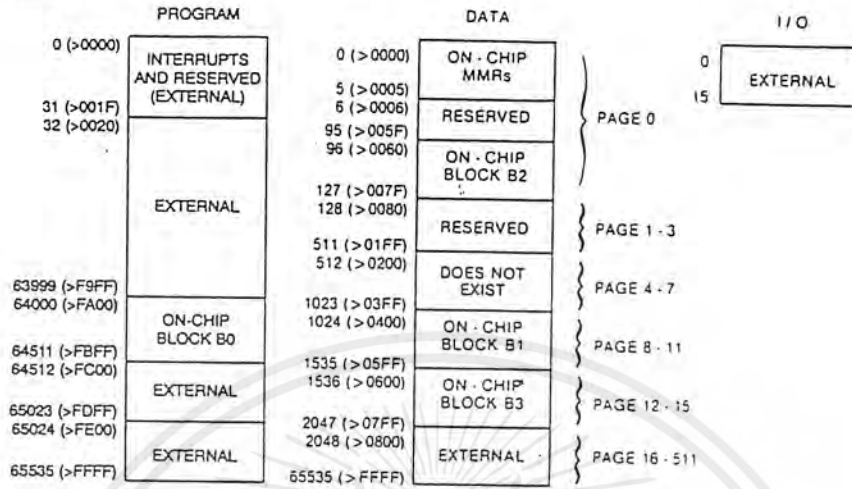


Figure 1c. Memory maps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

B. MEMORY MAPS AFTER CONF 1
 B.1 $MP/\overline{MC} = 1$



B.2 $MP/\overline{MC} = 0$

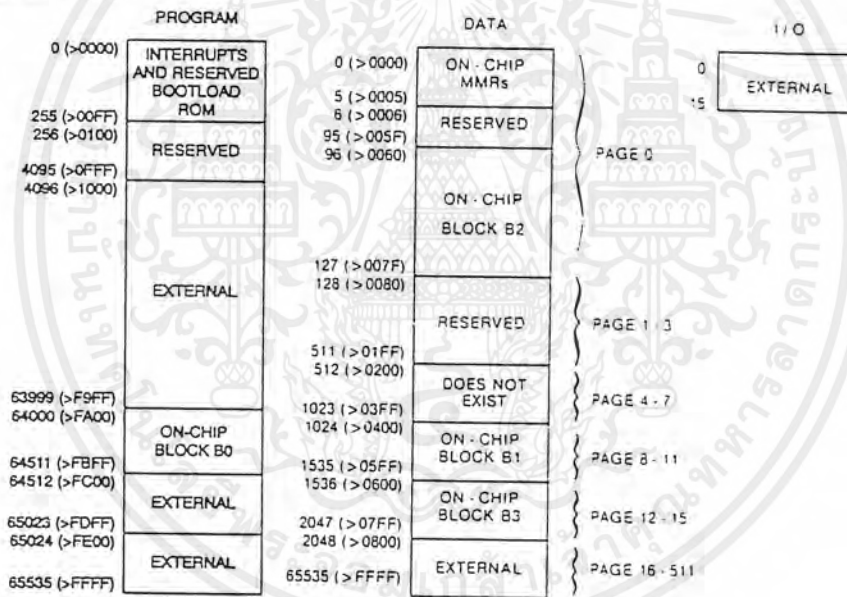


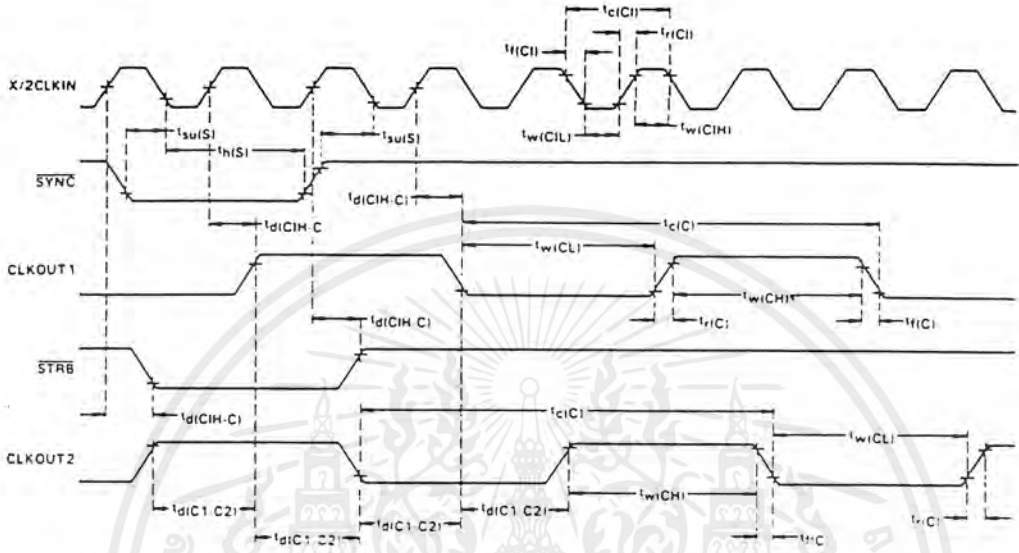
Figure 1b. Memory maps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

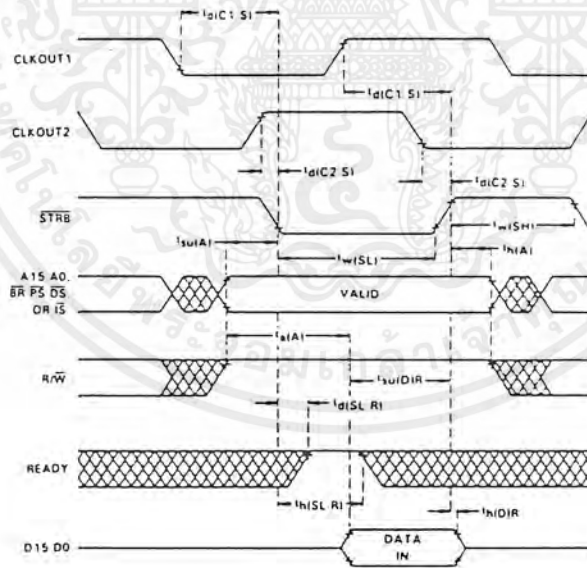
TIMING DIAGRAMS

Timing measurements are referenced to and from a low voltage of 0.8 volts and a high voltage of 2.0 volts, unless otherwise noted.

clock timing

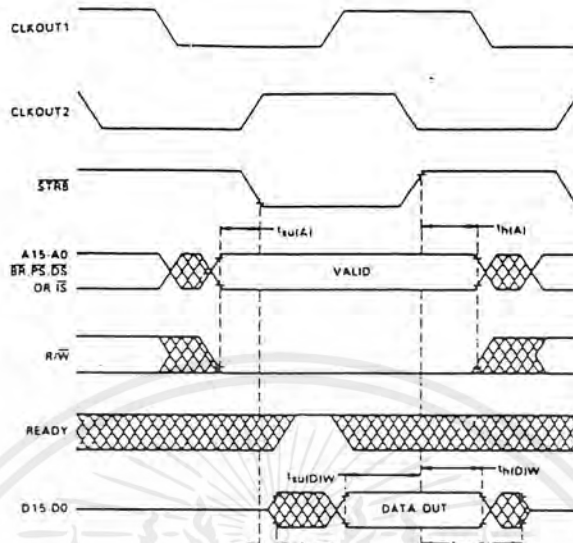


memory read timing

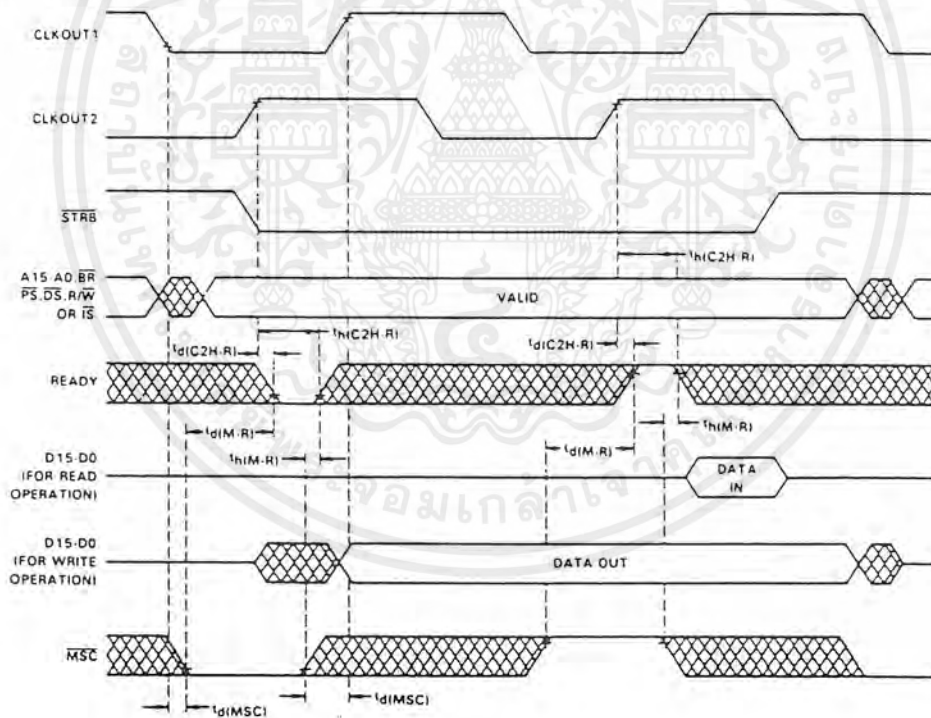


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

memory write timing

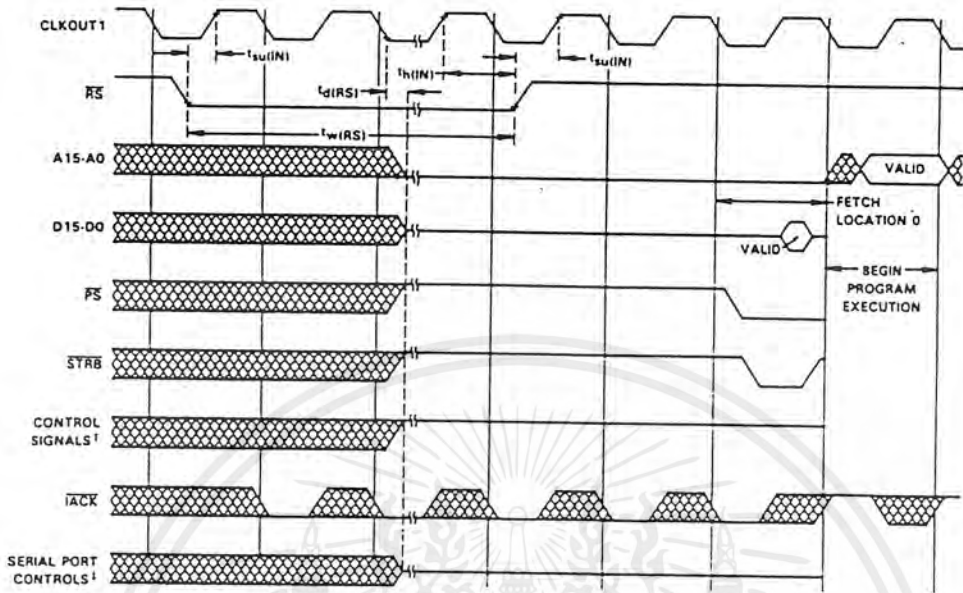


one wait-state memory access timing



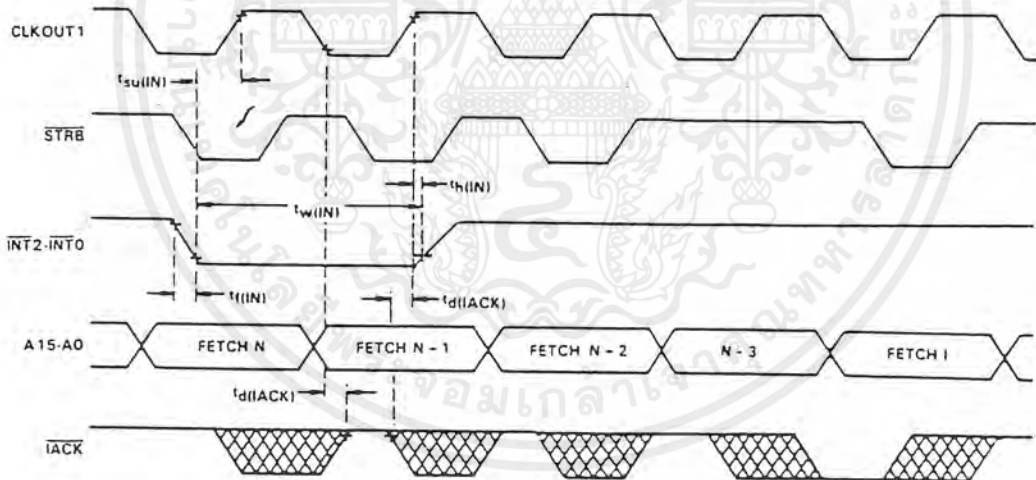
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

reset timing



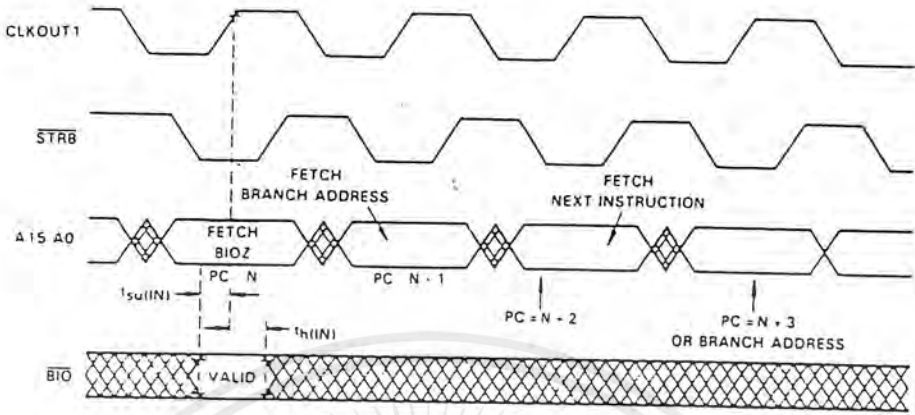
¹Control signals are \overline{DS} , \overline{IS} , R/\overline{W} , and $X\overline{F}$
²Serial port controls are \overline{DX} and \overline{FSX} .

interrupt timing

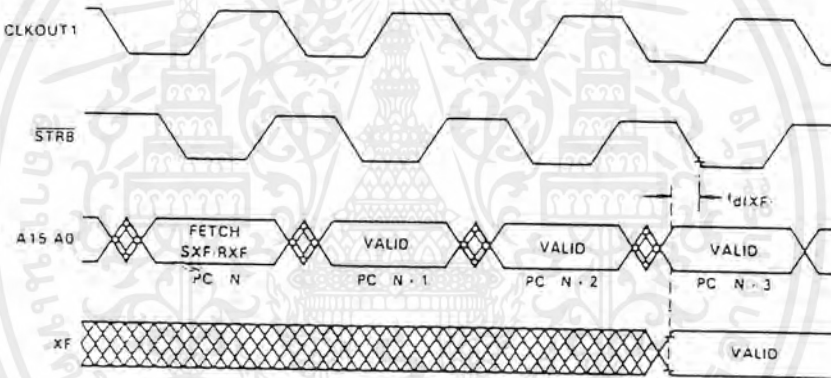


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

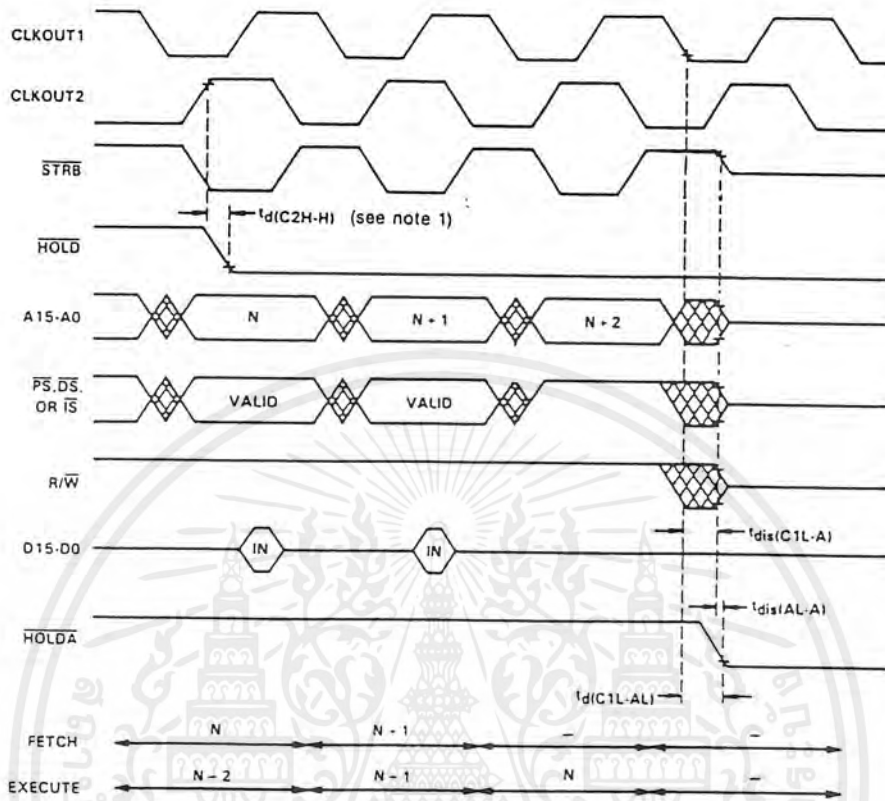
$\overline{\text{BIO}}$ timing



external flag timing



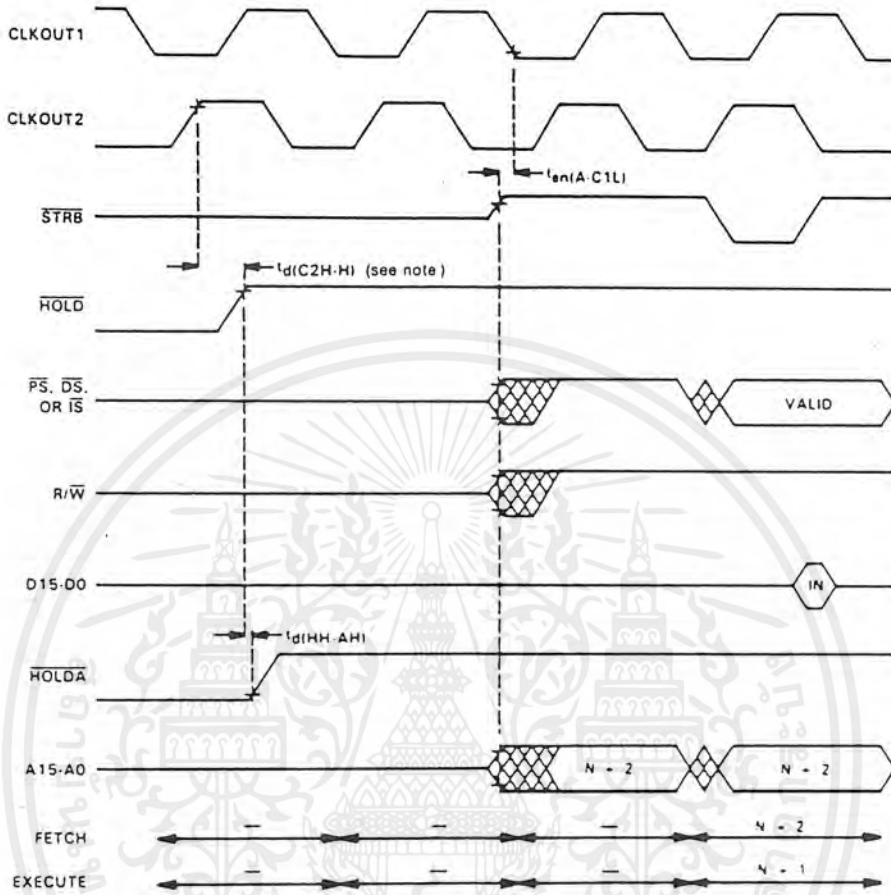
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{\text{HOLD}}$ timing (part A)

Note: $\overline{\text{HOLD}}$ is an asynchronous input and can occur at any time during a clock cycle. If the specified timing is met, the exact sequence shown will occur; otherwise a delay of one CLKOUT2 cycle will occur.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

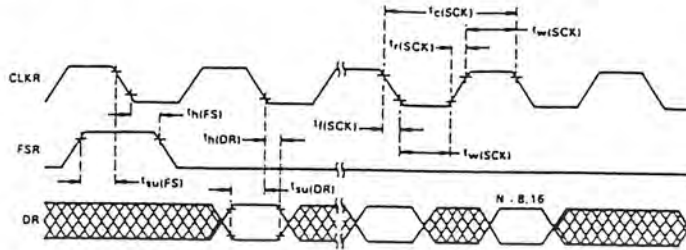
HOLD timing (part B)



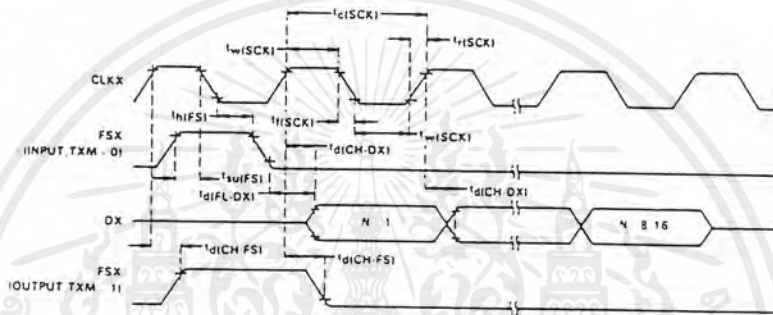
Note: HOLD is an asynchronous input and can occur at any time during a clock cycle. If the specified timing is met, the exact sequence shown will occur; otherwise a delay of one CLKOUT2 cycle will occur.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

serial port receive timing



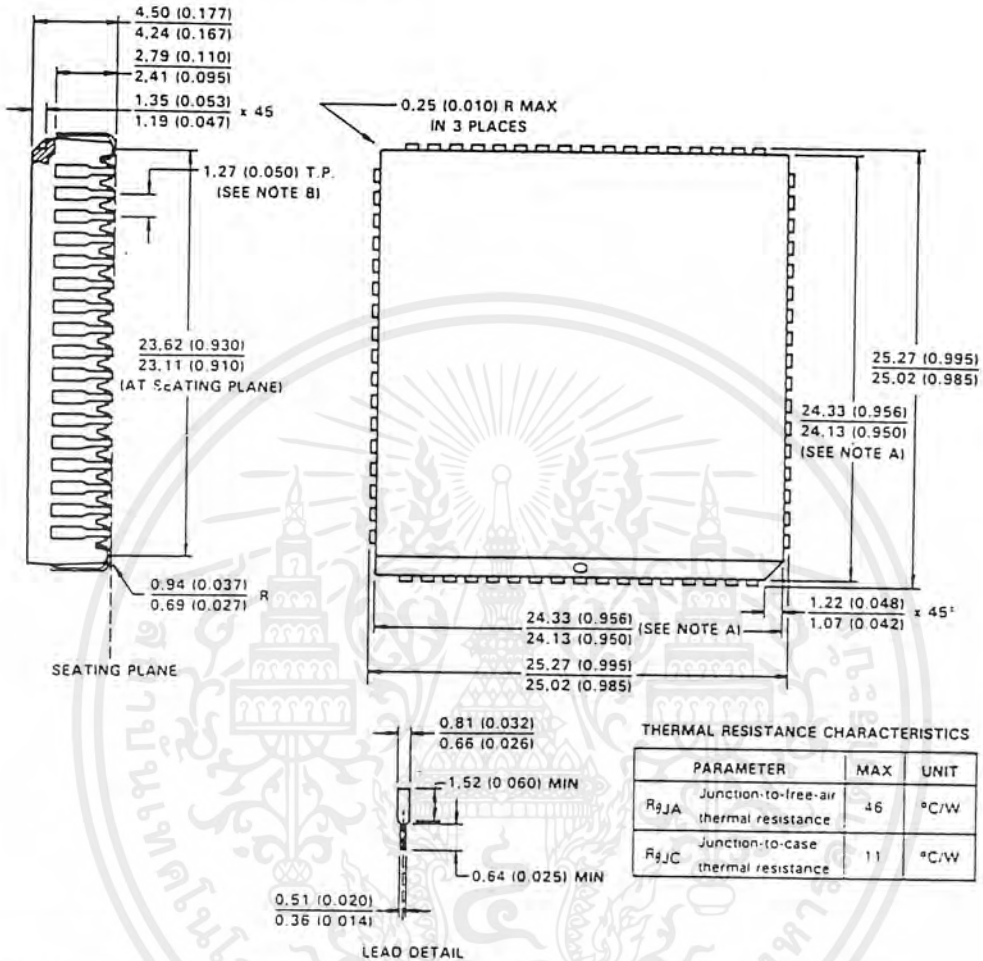
serial port transmit timing



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MECHANICAL DATA

68-pin plastic leaded chip carrier package



NOTES A Centerline of center pin each side is within 0.10 (0.004) of package centerline as determined by this dimension.
 B Location of each pin is within 0.127 (0.005) of true position with respect to center pin on each side.

ALL LINEAR DIMENSIONS ARE IN MILLIMETERS AND PARENTHETICALLY IN INCHES.

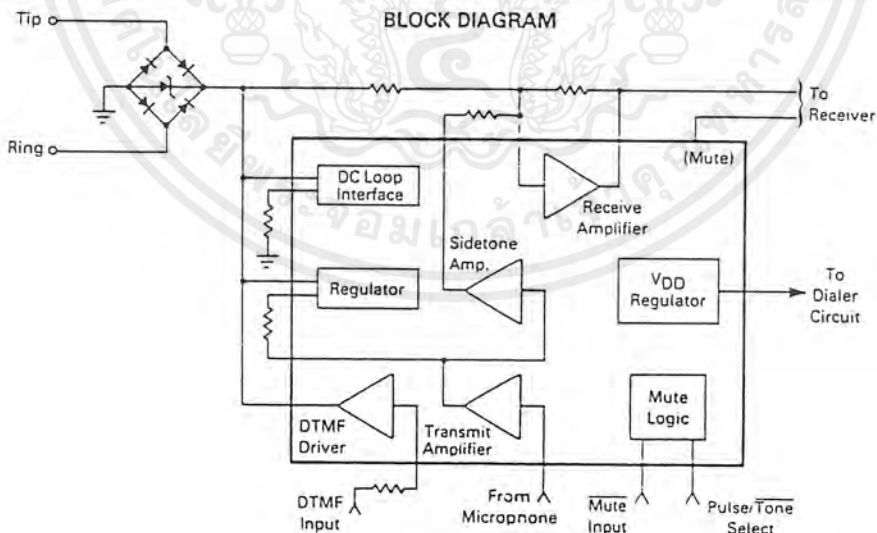
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA**
MC34014
**Specifications and Applications
Information**
**TELEPHONE SPEECH NETWORK WITH DIALER
INTERFACE**

The MC34014 is a Telephone Speech Network integrated circuit which incorporates adjustable transmit, receive, and sidetone functions, a dc loop interface circuit, tone dialer interface, and a regulated output voltage for a pulse/tone dialer. Also included is an equalization circuit which compensates gains for line length variations. The conversion from 2-to-4 wire is accomplished with a supply voltage as low as 1.5 volts. The MC34014 is packaged in a standard 18-pin (0.3" wide) plastic DIP and a 20-pin SOIC package.

- Transmit, Receive, and Sidetone Gains Set by External Resistors
- Loop Length Equalization for Transmit, Receive, and Sidetone Functions
- Operates Down to 1.5 volts (V+) in Speech Mode
- Provides Regulated Voltage for CMOS Dialer
- Speech Amplifiers Muted During Pulse and Tone Dialing
- DTMF Output Level Adjustable with a Single Resistor
- Compatible with 2-Terminal Electret Microphones
- Compatible with Receiver Impedances of 150 Ω and Higher

**TELEPHONE SPEECH NETWORK
WITH
DIALER INTERFACE**
**SILICON MONOLITHIC
INTEGRATED CIRCUIT**

**P SUFFIX
PLASTIC PACKAGE
CASE 707**
**DW SUFFIX
PLASTIC PACKAGE
CASE 751D
SO-20L**


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

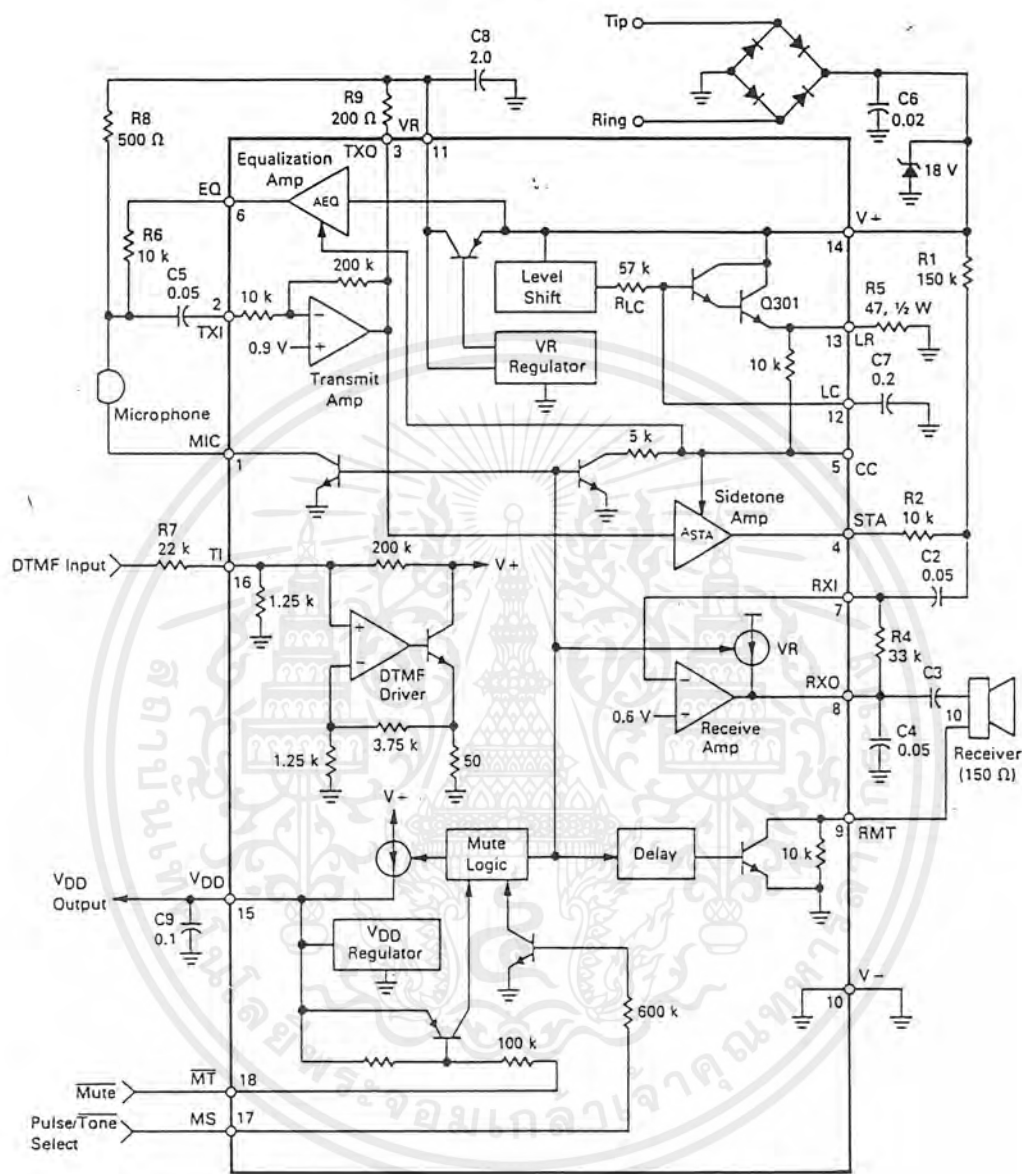
PIN DESCRIPTION (See Figure 1)

Pin # SOIC	Pin # DIP	Name	Description
1	1	MIC	Microphone negative supply. Bias current from the electret microphone is returned to V- through this pin, through an open collector NPN transistor whose base is controlled by an internal mute signal. During dialing, the transistor is off, disabling the microphone.
2	2	TXI	Transmit amplifier input. Input impedance is 10 k Ω . Signals from the microphone are input through capacitor C5 to TXI.
3	3	TXO	Transmit amplifier output. The ac signal current from this output flows through the V _Q series pass transistor via R9 to drive the line at V+. Increasing R9 will decrease the signal at V-. The output is biased at ≈ 0.65 V to allow for maximum swing of ac signals. The closed loop gain from TXI to TXO is internally set at 26 dB.
4	4	STA	Sidetone amplifier output. Input to this amplifier is TXO. The signal at STA cancels the sidetone signals in the receive amplifier. The signal level at STA increases with loop length.
5	5	CC	Compensation Capacitor. A capacitor from CC to ground will compensate the loop length equalization circuit when additional stability is required. In most applications, CC remains open.
7	6	EQ	Equalization amplifier output. A portion of the V- signal is present on this pin to provide negative feedback around the transmit amplifier. The feedback decreases with increasing loop length, causing the ac impedance of the circuit to increase.
8	7	RXI	Receive amplifier input. Input impedance is >100 k Ω . Signals from the line and sidetone amplifier are summed at RXI.
9	8	RXO	Receive Amplifier output. RXO is biased by a 2.5 mA current source. Feedback maintains the dc bias voltage at ≈ 0.65 V. Increasing R4 (between RXO and RXI) will increase the receive gain. C4 stabilizes the amplifier. C3 couples the signals to the receiver. The 2.5 mA current source is reduced to 0.4 mA when dialing.
10	9	RMT	Receiver Mute. The ac receiver current is returned to V- through an open collector NPN transistor and a parallel 10 k Ω resistor. The base of the NPN is controlled by an internal mute signal. During dialing the transistor is off, leaving the 10 k Ω resistor in series with the receiver.

Pin # SOIC	Pin # DIP	Name	Description
11	10	V-	Negative supply. The most negative input connected to Tip and Ring through the polarity guard diode bridge.
12	11	VR	Regulated voltage output. The VR voltage is regulated at 1.2 V and biases the microphone and the speech circuits. An internal series pass PNP transistor allows for regulation with a line voltage as low as 1.5 V. Capacitor C8 stabilizes the regulator.
13	12	LC	DC load capacitor. An external capacitor C7 and an internal resistor form a low pass filter between V- and LR to prevent ac signals from being loaded by the dc load resistor R5. Forcing LC to V- will turn off the dc load current and increase the V- voltage.
14	13	LR	DC load resistor. Resistor R5 from LR to V- determines the dc resistance of the telephone, and removes power dissipation from the chip. The LR pin is biased 2.8 volts below the V- voltage (4.5 volts in the tone dialing mode).
15	14	V+	Positive supply. V+ is the positive line voltage (from Tip & Ring) through the polarity guard bridge. All sections of the MC34014 are powered by V-.
17	15	VDD	VDD regulator. VDD is the output of a shunt type regulator with a nominal voltage of 3.3 V. The nominal output current is increased from 550 μ A to 2 mA when dialing. Capacitor C5 stabilizes the regulator and sustains the VDD voltage during pulse dialing.
18	16	TI	Tone input. The DTMF signal from a dialer circuit is input at TI through an external resistor R7. The current at TI is amplified to drive the line at V-. Increasing R7 will reduce the DTMF output levels. The input impedance at TI is nominally 1.25 k Ω .
19	17	MS	Mode select. This pin is connected through an internal 600 k Ω resistor to the base of an NPN transistor. A Logic "1" (>2.0 V) selects the pulse dialing mode. A Logic "0" (<0.3 V) selects the tone dialing mode.
20	18	MT	Mute input. MT is connected through an internal 100 k Ω resistor to the base of a PNP transistor, with the emitter at VDD. A Logic "0" (<1.0 V) will mute the network for either pulse or tone dialing. A Logic "1" ($>VDD - 0.3$ V) puts the MC34014 into the speech mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 — TEST CIRCUIT



NOTE: Pin numbers are for 18 pin DIP.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (Voltages referred to V-, T_A = 25°C) (See Note 1.)

Parameter	Value	Units
V+ Voltage	-1.0, +18	Vdc
V _{DD} (externally applied, V+ = 0)	-1.0, +6	Vdc
V _{LR}	-1.0, V+ - 3.0	Vdc
M _T , MS Inputs	-1.0, V _{DD} + 1.0	Vdc
Storage Temperature	-65, +150	°C

NOTE 1: Devices should not be operated at these values. The "Recommended Operating Conditions" provide conditions for actual device operation.

RECOMMENDED OPERATING CONDITIONS

Parameter	Value	Units
V+ Voltage (Speech Mode) (Tone Dialing Mode)	+1.5 to +15 +3.3 to +15	Vdc Vdc
I _{TXO} (Instantaneous)	0 to 10	mA
Ambient Temperature	-20 to +60	°C

ELECTRICAL CHARACTERISTICS (Refer to Figure 1) (T_A = 25°C)

Parameter	Symbol	Min	Typ	Max	Units
LINE INTERFACE					
V+ Voltage I _{loop} = 20 mA (Speech Pulse Mode) I _{loop} = 30 mA (Speech/Pulse Mode) I _{loop} = 120 mA (Speech/Pulse Mode) I _{loop} = 20 mA (Tone Mode) I _{loop} = 30 mA (Tone Mode)	V+	2.6 3.0 7.0 4.1 4.6	3.2 3.7 8.2 4.9 5.4	3.8 4.4 9.5 5.7 6.2	Vdc
V+ Current (Pin 12 Grounded) V+ = 1.7 V (Speech Mode) V+ = 12 V (Speech/Pulse Modes) V+ = 12 V (Tone Mode)	I-	4.0 5.5 6.0	5.6 8.4 8.8	8.5 12.5 14.0	mA
LR Level Shift (V- - V _{LR}) (Speech/Pulse Mode) (Tone Mode)	ΔV _{LR}	—	2.7 4.3	—	Vdc
LC Terminal Resistance	R _{LC}	36	57	94	kΩ
VOLTAGE REGULATORS					
VR Voltage (V- = 1.7 V) Load Regulation (0 mA < I _R < 6.0 mA) Line Regulation (2.0 V < V- < 6.5 V)	V _R ΔV _R LD ΔV _R LN	1.1 — —	1.2 20 25	1.3 — —	Vdc mV mV
V _{DD} Voltage (V- = 4.5 V) Load Regulation (0 < I _{DD} < 1.6 mA) (Dialing Mode) Line Regulation (All Modes) (4.0 V < V- < 9.0 V) Max. Output Current (Speech Mode) Max. Output Current (Dialing Mode)	V _{DD} ΔV _{DD} LD ΔV _{DD} LN I _{DDSP} I _{DDDL}	3.0 — — 375 1.6	3.3 0.25 50 550 2.0	3.8 — — 1000 3.6	Vdc Vdc mV μA mA
V _{DD} Leakage Current (V- = 0, V _{DD} = 3.0 V)	I _{DDLK}	—	—	1.5	μA
SPEECH AMPLIFIERS					
Transmit Amplifier Gain (TXI to TXO) TXO Bias Voltage (Speech/Pulse Mode) TXO Bias Voltage (Tone Mode Mode) TXO High Voltage (Speech/Pulse Mode) TXO Low Voltage (Speech/Pulse Mode) TXI Input Resistance	A _{TXO} V _{TXOSP} V _{TXODL} V _{TXOH} V _{TXOL} R _{TXI}	— 0.45 VR - 25 VR - 25 — —	20 0.52 VR - 5.0 VR - 5.0 125 10	— 0.60 — — 250 —	V/V x V _R mV mV mV kΩ
Receive Amplifier RXO Bias Voltage (All Modes) RXO Source Current (Speech Mode) RXO Source Current (Pulse/Tone Mode) RXO High Voltage (All Modes) RXO Low Voltage (All Modes)	V _{RXO} I _{RXOSP} I _{RXODL} V _{RXOH} V _{RXOL}	0.45 1.5 200 VR - 100 —	0.52 2.0 400 VR - 50 50	0.60 — — — 150	x V _R mA μA mV mV

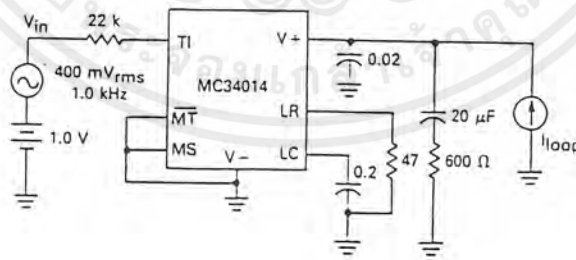
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS — (continued) ($T_A = 25^\circ\text{C}$)

Parameter	Symbol	Min	Typ	Max	Units
MICROPHONE, RECEIVER CONTROLS					
MIC Saturation Voltage (Speech Mode, $I = 500 \mu\text{A}$)	VOLMIC	—	50	125	mV
MIC Leakage Current (Dialing Mode, Pin 1 = 3.0 V)	IMICLK	—	0	5.0	μA
RMT Resistance (Speech Mode) (Dialing Mode)	RRMTSP RRMTDL	— 5.0	8.0 10	15 18	Ω k Ω
RMT Delay (Dialing to Speech)	:RMT	2.0	4.0	20	ms
DIALING INTERFACE					
MT Input Resistance	RMT	58	100	—	k Ω
MT Input High Voltage	V _{IHMT}	$V_{DD} - 0.3$	—	—	V _d c
MT Input Low Voltage	V _{ILMT}	—	—	1.0	V _d c
MS Input Resistance	RMS	280	600	—	k Ω
MS Input High Voltage	V _{IHMS}	2.0	—	—	V _d c
MS Input Low Voltage	V _{ILMS}	—	—	0.3	V _d c
TI Input Resistance	R _{TI}	—	1.25	—	k Ω
DTMF Gain (See Figure 2) ($V - V_{in}$)	A _{DTMF}	3.2	4.8	6.2	dB
SIDETONE AMPLIFIER					
Gain (TXO to STA) (Speech Mode) @ $V_{LR} = 0.5 \text{ V}$ (Speech Mode) @ $V_{LR} = 2.5 \text{ V}$ (Pulse Mode) @ $V_{LR} = 0.2 \text{ V}$ (Pulse Mode) @ $V_{LR} = 1.0 \text{ V}$	A _{STA}	— — — —	— -15 -15 -21	— — — —	dB
STA Bias Voltage (All Modes)	V _{STA}	0.65	0.8	0.9	$\times V_R$
EQUALIZATION AMPLIFIER					
Gain (V - to EQ) (Speech Mode) @ $V_{LR} = 0.5 \text{ V}$ (Speech Mode) @ $V_{LR} = 2.5 \text{ V}$ (Pulse Mode) @ $V_{LR} = 0.2 \text{ V}$ (Pulse Mode) @ $V_{LR} = 1.0 \text{ V}$	A _{EQ}	— — — —	— -12 -2.5 -12	— — — -2.5	dB
EQ Bias Voltage (Speech Mode) @ $V_{LR} = 0.5 \text{ V}$ (Pulse Mode) @ $V_{LR} = 0.5 \text{ V}$ (Speech, Pulse) @ $V_{LR} = 2.5 \text{ V}$	V _{EQ}	— — —	— 0.66 1.3	— — —	V _d c

NOTE: Typical values are not tested or guaranteed.

FIGURE 2 — DTMF DRIVER TEST



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYSTEM SPECIFICATIONS (T_A = 25°C) (See Figures 1-4)

Parameter	Min	Typ	Max	Unit
Tip-Ring Voltage (including polarity guard bridge drop of 1.4 V) (Speech Mode) I _{loop} = 5.0 mA I _{loop} = 10 mA I _{loop} = 20 mA I _{loop} = 40 mA I _{loop} = 60 mA	—	2.4 3.9 4.6 5.6 6.6	—	Vdc
Transmit Gain from V _S to V+ (Figure 3) (I _{loop} = 20 mA) Gain change as I _{loop} is increased to 60 mA Distortion Output noise	28 -6.0 — —	30 -4.5 2.0 11	31 -3.6 — —	dB dB % dBrc
Receive V _{RXO} /V _S (f = 1.0 kHz, I _{loop} = 20 mA) (See Figure 4) Receive gain change as I _{loop} is increased to 60 mA Distortion	-16 -5.0 —	-15 -3.0 2.0	-13 -2.0 —	dB dB %
Sidetone Level V _{RXO} /V- (Figure 3) I _{loop} = 20 mA I _{loop} = 60 mA	— —	-36 -21	—	dB
Sidetone Cancellation $\left[\frac{V_{RXO}}{V-} \right]_{\text{dB}} - \left[\frac{V_{RXO}}{V+} \right]_{\text{dB}}$ (Figure 4) I _{loop} = 20 mA	20	26	—	dB
DTMF Driver V+ / V _{IN} (Figure 2) I _{loop} = 20 mA	3.2	4.8	6.2	dB
AC Impedance Speech mode (incl. C ₆ , See Figure 4) Z _{ac} = (600)V- / (V _S - V-) Tone mode (including C ₆) 20 mA < I _{loop} < 50 mA	— — —	750 300 1650	— — —	Ω

NOTE: Typical values are not tested or guaranteed.

FIGURE 3 — TRANSMIT AND SIDETONE LEVEL TEST

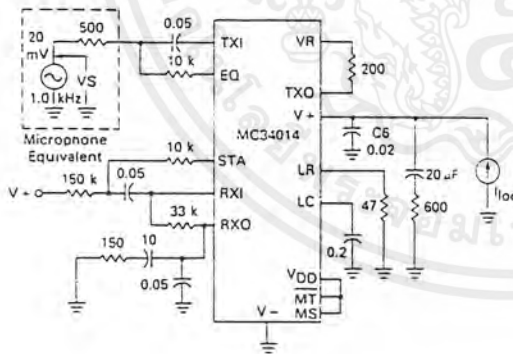
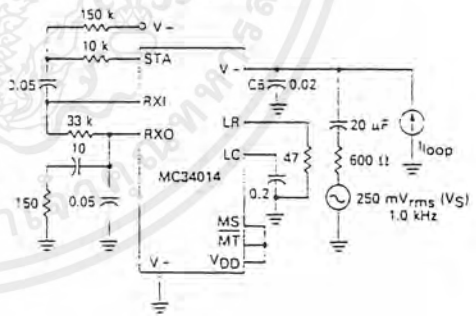


FIGURE 4 — AC IMPEDANCE, RECEIVE AND SIDETONE CANCELLATION TEST



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN GUIDELINES (Refer to Figure 1)

INTRODUCTION

The MC34014 is a speech network meant for connection to the Tip & Ring lines through a polarity guard bridge. The circuit incorporates four amplifiers: transmit, receive, sidetone, and equalization. Some parameters of each amplifier are set by external components, and in addition, the gains of the sidetone and equalization amplifiers vary with loop current.

The line interface portion determines the dc volt-

age versus loop current characteristics, and provides the required regulated voltages for internal and external use.

The dialer interface provides three modes of operation: speech (non-dialing), pulse dialing, and tone (DTMF) dialing. When switching to either dialing mode some parameters of the various sections are changed in order to optimize the circuit operation for that mode. The following table summarizes those changes:

TABLE 1 — OPERATING PARAMETERS AS A FUNCTION OF OPERATING MODE

Function	Speech	Pulse	Tone
LR Level Shift ($V+ - V_{LR}$)	2.7 V	2.7 V	4.3 V
V_{DD} Source Current	550 μ A	2.0 mA	2.0 mA
Transmit Amplifier	Functional	Functional	Inoperative
MIC Switch (Pin 1)	On	Off	Off
Equalization Amplifier	See Transfer Curves — Figure 8		
Sidetone Amplifier	See Transfer Curves — Figure 6		
Receive Amplifier Output Current	2.5 mA	400 μ A	400 μ A
RMT (Pin 9) Impedance	8.0 Ω	10 k Ω	10 k Ω
DTMF Amplifier	Inoperative	Inoperative	Functional
CC Voltage	$V_{LR}/3$	V_{LR}	V_{LR}

DC LINE INTERFACE (Figure 5)

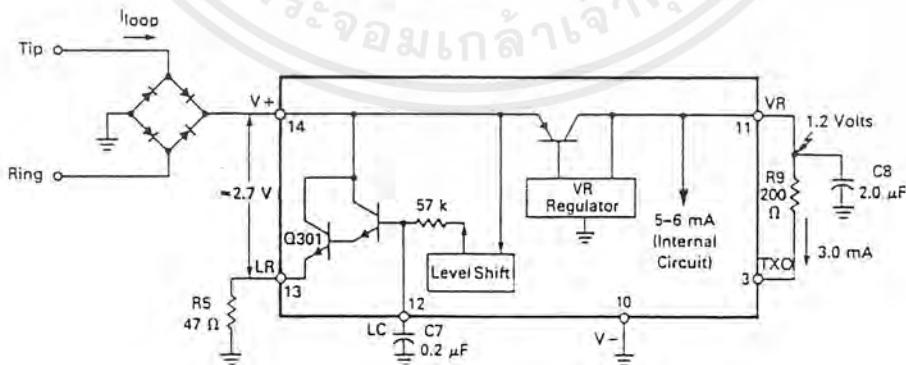
The dc line interface circuit (Pins 10, 12–14) sets the dc voltage characteristics with respect to the loop current. The loop current enters at Pin 14 where the internal circuitry of the MC34014 draws 5–6 mA. Pin 3 sinks (typically) 3 mA through R_9 . The remainder of the loop current is passed through Q_{301} and R_5 . The resulting voltage across the entire circuit is therefore equal to the voltage across R_5 , plus the level shift voltage from Pin 13 (LR) to Pin 14 ($V+$), nominally 2.7 volts in the speech and pulse modes. In the tone mode, the level shift increases to 4.3 volts, the internal current changes slightly (Figure 6), and the current required at Pin 3 decreases to near zero. These changes increase the equivalent dc

resistance of the circuit, raising the voltage at $V+$ to ensure adequate voltage at V_{DD} for the external tone dialer. See Figure 7 for typical voltage versus loop current characteristics.

Capacitor C_7 at Pin 12 provides high frequency rolloff (above 10 Hz) so that R_5 does not load down the speech and DTMF signals.

The voltage at V_R is an internally regulated 1.2 volt supply which provides the bias currents for the microphone and the transmit amplifier output (Pin 3), as well as internal bias for the various amplifiers. Capacitor C_8 stabilizes the regulator. The use of an (internal) PNP transistor allows V_R to be regulated with a $V+$ voltage as low as 1.5 volts.

FIGURE 5 — DC LINE INTERFACE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 6 — INTERNAL CURRENT versus VOLTAGE

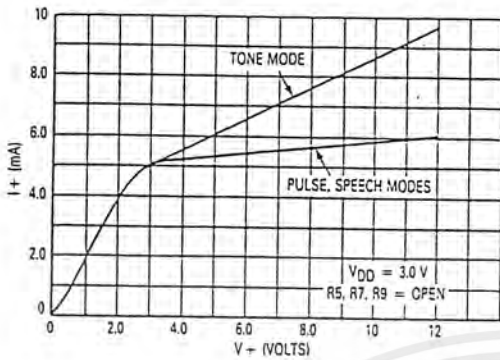
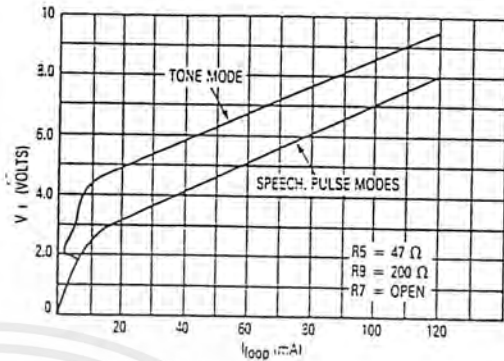


FIGURE 7 — CIRCUIT VOLTAGE versus LOOP CURRENT



TRANSMIT AMPLIFIER

The transmit amplifier (from TXI to TXO) is inverting, with a fixed internal gain of 20 V/V (26 dB), and a typical input impedance of 10 kΩ (Figure 8). The input bias currents are internally supplied, allowing capacitive coupling of the microphone signals to the amplifier.

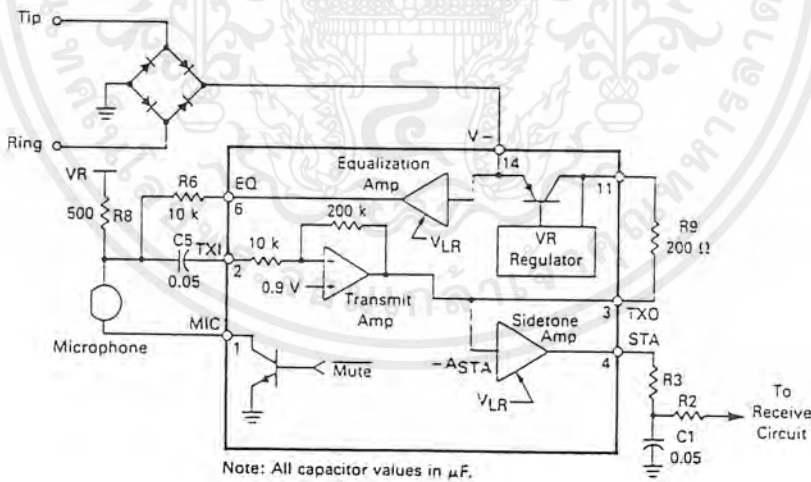
In the speech and pulse modes, the dc bias level at TXO is typically 0.52 × VR (=0.63 V), which permits the output to swing 0.55 volts in both positive and negative directions without clipping. The ac voltage signal at TXO (the amplified speech signal) is converted to an ac current by R9. The ac current passes

through the VR series pass transistor to V-, modulating the loop current. The voltage signal at V+ is out of phase with the signal at TXI.

In the tone dialing mode, the TXO dc bias level is clamped at approximately VR-10 mV, rendering the amplifier inoperative. This action also reduces the TXO bias current from 3.0 mA to less than 125 μA.

MIC (Pin 1) is connected to an open-collector NPN transistor, and provides the ground path for the microphone bias current. In either dialing mode, the transistor is off, disabling the microphone.

FIGURE 8 — TRANSMIT SECTION



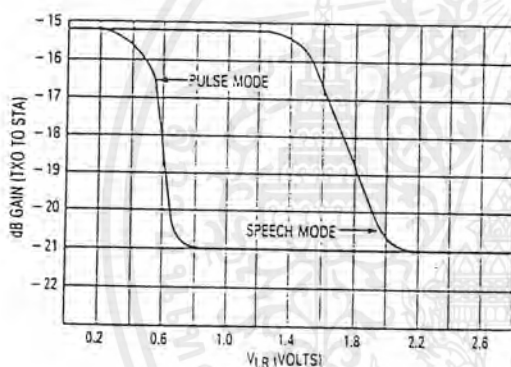
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIDETONE AMPLIFIER

The sidetone amplifier provides inversion of the TXO signal for the reduction of the sidetone signal at the receive amplifier (Figure 8). Resistors R_2 and R_3 determine the amount of sidetone cancellation. Capacitor C_1 provides phase shift to compensate for the phase shift created by the complex impedance of the Tip & Ring lines.

The gain of the sidetone amplifier varies with the voltage at LR (Pin 13), in effect making it a function of the loop current. The maximum gain is -15 dB (0.17 V/V) at low loop currents, and the minimum gain is -21 dB (0.09 V/V) at high loop current (see Figure 9 for transfer curves). For example, using 47Ω for R_5 , the gain would begin to decrease at ≈ 30 mA, and would stop decreasing at ≈ 57 mA (speech mode). The dc bias voltage at STA (Pin 4) changes slightly (≈ 50 mV) with variations in loop current. The output is inverted from TXO, which is the input to this amplifier. Since the transmit amplifier is inoperative in the tone dialing mode, the sidetone amplifier is also inoperative in that mode.

FIGURE 9 — SIDETONE AMPLIFIER GAIN



RECEIVE AMPLIFIER

The gain of the receive amplifier (from V_+ to RXO) is determined according to the following equation (refer to Figure 10):

$$\frac{V_{RXO}}{V_+} = \frac{R_4}{R_1} + \frac{(X_C \cdot R_2) (A_{EQ}) (A_{TXO}) (A_{STA}) \times R_A \times R_4}{((X_C \cdot R_2) + R_3) (R_A + R_6) \times R_2}$$

Where $R_A = R_8 / 10 \text{ k}\Omega$ ($10 \text{ k}\Omega = R_{in}$ of T_x Amp)
 A_{EQ} = Gain of Equalization Amp
 A_{TXO} = Gain of Transmit Amp (20 V/V)
 A_{STA} = Gain of sidetone Amp
 X_C = Impedance of C_1 at frequency of interest

The waveform at STA (Pin 4) is in phase with that at V_+ (for receive signals), hence the plus sign between the terms. Due to the variations of A_{EQ} and A_{STA} with

loop current, the receive gain will vary by ≈ 1.5 dB. If capacitor C_1 is not used, the above equation is simplified by deleting the terms containing X_C .

The output at RXO is inverted from V_+ in the receive mode. In the transmit mode, the V_+ -to-RXO phase relationship depends on the amount of sidetone cancellation (determined by R_2 and R_3 and C_1), and can vary from 0° to 180° .

In the speech mode, the output current capability (at RXO) is typically 2.0 mA. In either dialing mode, the current capability is reduced to $400 \mu\text{A}$ in order to reduce internal current consumption. This feature is beneficial when this device is used in conjunction with a line-powered speakerphone circuit, such as the MC34018, where the majority of the loop current is needed for the speakerphone.

RMT (Pin 9) is the return path for the receiver's ac current. This pin is internally connected to an open collector NPN transistor, paralleled by a $10 \text{ k}\Omega$ resistor. In the speech mode, the transistor is on, providing a low impedance from RMT to ground. In either dialing mode, the transistor is off, muting the receive signal. This prevents loud "clicks" or loud DTMF tones from being heard in the receiver during dialing. When switching from either dialing mode to the speech mode (MT switches from low to high), the RMT pin switches back to a low impedance after a delay of 2–20 ms. The delay reduces clicks in the receiver associated with switching from the dialing to speech mode.

EQUALIZATION AMPLIFIER

The equalization amplifier gain varies with loop current, and is configured in the circuit so as to cause a variation of the network ac impedance (when looking in from the Tip & Ring lines). The gain varies with the voltage at LR (Pin 13), in effect making it a function of the loop current. The maximum gain is -2.5 dB (0.75 V/V) at high loop current, and the minimum gain is -12 dB (0.25 V/V) and low loop current (see Figure 11 for transfer curve). For example, using 47Ω for R_5 , the gain would begin to increase at ≈ 30 mA, and would stop increasing at ≈ 57 mA (speech mode). The output signal is in phase with the signal at V_- , which is the input to this amplifier.

The dc bias level at EQ (Pin 6) varies with the voltage at LR (Pin 13) according to the curve of Figure 12. In most applications, this level shift is of little consequence, and may be ignored. If a particular circuit configuration should be sensitive to the shift, however, the output signal at EQ may be ac coupled to the rest of the circuit.

The equalization amplifier remains functional in all three modes, although in the tone mode, its function has no consequence when the circuit is configured as shown in Figure 1.

V_{DD} REGULATOR

The V_{DD} regulator is a shunt type regulator which supplies a nominal 3.3 volts for external dialers, and/or

other circuitry. In the speech mode, the output current capability at Pin 15 is typically 550 μ A. In either dialing mode, the current capacity is increased to 2.0 mA.

V_{DD} will be regulated whenever $V+$ is >300 mV above the regulated value. As $V+$ is lowered, and the internal pass transistor becomes saturated, the circuit steers current away from the external load through an internal current source, in order that the V_{DD} capacitor (C9) does not load down speech and DTMF signals at $V+$. As $V+$ is lowered below 1 volt, Pin 15 switches to a high impedance state to prevent discharging of any storage capacitors, or batteries used for memory retention.

The V_{DD} voltage is unaffected by the choice of operating mode.

DIALER INTERFACE

The dialer interface consists of the mode control pins, \overline{MT} and MS (Pins 18 and 17), and the DTMF current amplifier.

The \overline{MT} pin, when at a Logic "1" ($> V_{DD} - 0.3$ V), sets the circuit into the speech mode, independent of the state of the MS pin. When the \overline{MT} pin is at a Logic "0" (< 1.0 V), the dialing mode is determined by the MS pin. When MS is at a Logic "1" (> 2.0 V), the circuit is in the pulse dialing mode, and when at a Logic "0" (< 0.3 V) the tone (DTMF) mode is in effect.

The input impedance of the \overline{MT} pin is typically 100 k Ω , with the input current flowing out of the pin (from V_{DD}). The input impedance of the MS pin is typically 600 k Ω , and the input current flows into the pin (Figure 1).

The DTMF amplifier (Figure 13) is a current amplifier which transmits DTMF signals to the $V+$ pin, and consequently onto the Tip & Ring lines. Waveforms from a DTMF dialer are input at TI (Pin 16) through a current limiting resistor (R_7). Negative feedback around the amplifier reduces the overall gain so that return loss specifications may be met. The voltage gain is calculated using the following equation:

$$\frac{V+}{V_i} = \frac{80 R_E}{(1 + 0.795R_7 + 0.4R_E R_7)}$$

(R_E, R_7 in k Ω)
 where $R_E = R_L // 2$ k Ω (2 k Ω = internal dynamic impedance)

Using 22 k Ω for R_7 , and 600 Ω for R_L , the voltage gain is a nominal 4.3 dB. The minimum loop current at which the circuit of Figure 1 will operate without distortion is 12 mA.

The DTMF amplifier is functional only in the tone dialing mode, and the waveform at $V+$ is inverted from that at TI. The TI pin requires a dc bias current (into the pin) of 20–50 μ A, which may be supplied by the Tone dialer circuit, or by using the biasing scheme of Figure 14.

CC (PIN 5)

The CC pin (Compensation Capacitor) has two functions; 1) to provide equalization loop stability where the normal stabilizing components are ineffective; and 2) to allow optional control of the equalization functions.

In most applications, the capacitor at LC (Pin 12) provides the required stability, and no further compensation is required. In applications where changes are forced at Pin 12 and/or 13 (e.g., see Figure 23), the LC capacitor's effectiveness may be lost. The addition of a 10 μ F capacitor to Pin 5 will provide the required additional compensation.

The CC pin may be used to force the loop length compensation circuits to specific modes. Grounding CC will set the sidetone and equalization amplifiers at the low loop current values. Connecting CC to V_R will set the amplifiers at the high loop current values.

Variations in the curves of Figures 9 and 11 may be obtained by using external resistors from LR to CC, and from CC to $V-$.

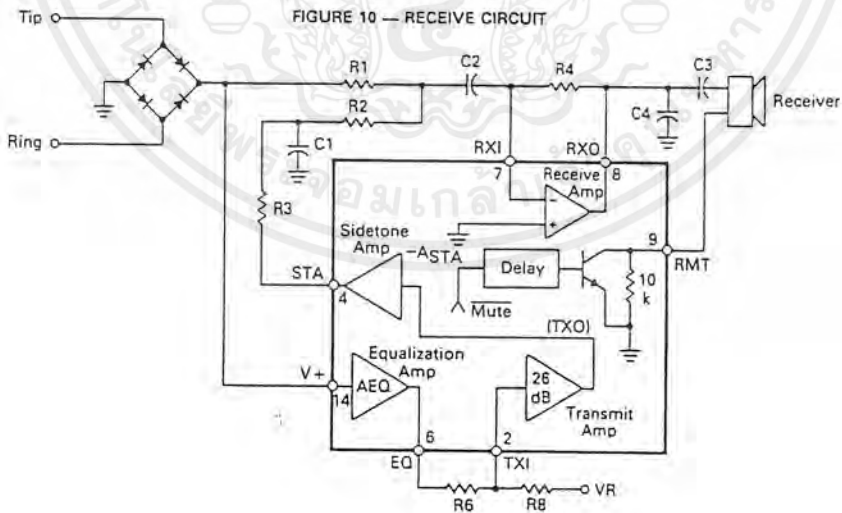


FIGURE 10 — RECEIVE CIRCUIT

FIGURE 11 — EQUALIZATION AMPLIFIER GAIN

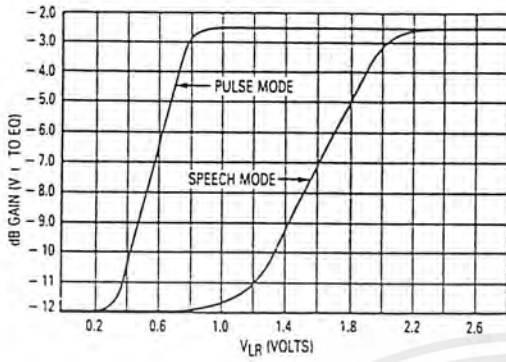


FIGURE 12 — EQ (PIN 6) DC VOLTAGE

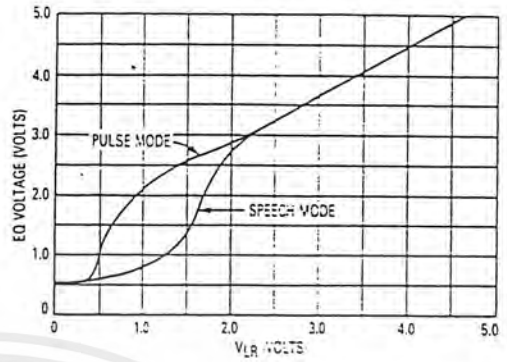


FIGURE 13 — DTMF TONE DIALER

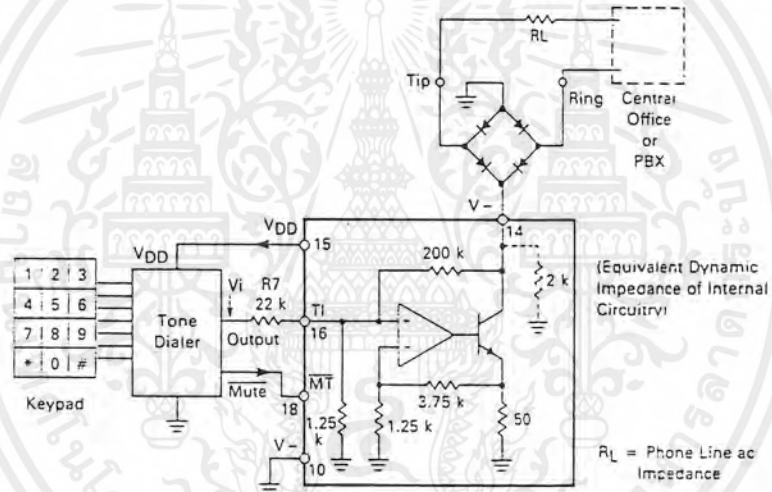
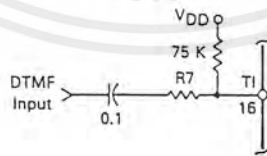


FIGURE 14 — INPUT BIASING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

AC IMPEDANCE

One of the basic problems with early telephones is that the performance varied with different line lengths (distance from the Central Office to the telephone). If a particular phone were optimized for short loops and then connected to a long loop, both the transmitted and receive signals would be difficult to hear. On the other hand, phones optimized for long loops would then be annoyingly loud on short loops. The process of equalization is one whereby the performance is forced to vary with loop length inversely to the expected variations. Monitoring of loop length is accomplished by monitoring the loop current at the telephone. In the MC34014, loop length equalization is provided by varying the ac impedance of the telephone circuit. In this manner the MC34014 mimics a passive network, with varistors providing the equalization.

Figure 15 depicts the situation in the receive mode. The receive signal coming from the Central Office is V_S and is independent of the loop length. Z_R is the ac impedance of the Central Office, nominally 900 Ω . Z_L is

the characteristic impedance of the phone line, and is a nominal 600 Ω . The signal applied to the line (V_1) is therefore a portion of V_S . That signal is attenuated by the distributive impedance of the phone line, with a resulting signal V_2 at the telephone. The amplitude of V_2 depends on the amount of attenuation, the impedance of the phone line at the telephone and the ac impedance of the telephone (Z_{ac}), according to:

$$V_2 = \frac{V_1' \times Z_{ac}}{Z_{ac} + Z_L}$$

where V_1' is the equivalent signal source at the receive end of the phone line, providing the signal V_2 through the impedance equal to the characteristic impedance of the line (Z_L). The value of V_1' depends on how much V_1 has been attenuated by the length of phone line. By increasing Z_{ac} on long loops, V_2 is a greater portion of V_1' , resulting in a stronger receive signal at the telephone.

FIGURE 15 — RECEIVE MODE

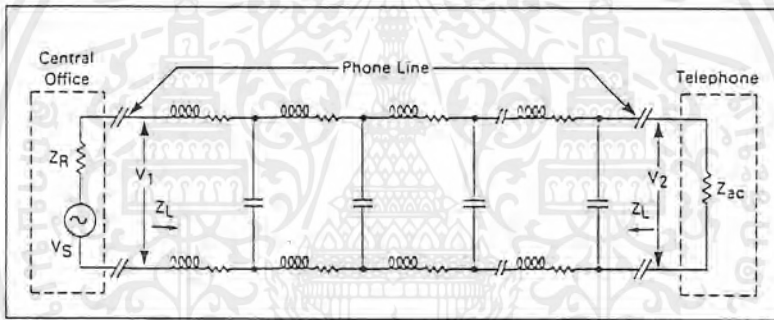
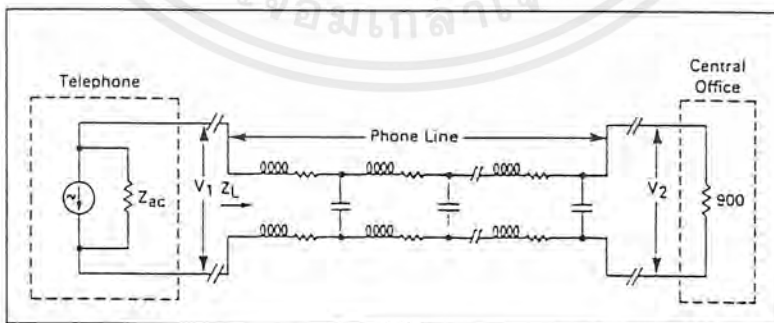


Figure 16 depicts the situation in the transmit mode. In this mode, the MC34014 is an ac current source, with a finite output impedance, modulating the loop current. The voltage signal V_1 is therefore equal to the ac signal current acting on Z_{ac} in parallel with the characteristic

impedance of the phone line (Z_L). The signal is attenuated by the distributive impedance of the phone line, and so only a portion of that signal (V_2) appears at the Central Office. By increasing Z_{ac} on long loops, V_1 is increased, resulting in a higher signal level at V_2 .

FIGURE 16 — TRANSMIT MODE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The ac impedance of the telephone circuit is determined by the transmit amplifier, equalization amplifier, and external resistors R_6 , R_8 , and R_9 . In Figure 17, a portion of the receive signal at $V+$ appears at EQ. That signal is reduced at TXI by the R_8 - R_6 divider (the electret microphone is a high impedance). The signal at TXI is then amplified by 20, and that signal (at TXO) is converted to an ac current by R_9 . The ac impedance of the circuit is therefore $V+/I_{TXO}$, and is defined by the following equation:

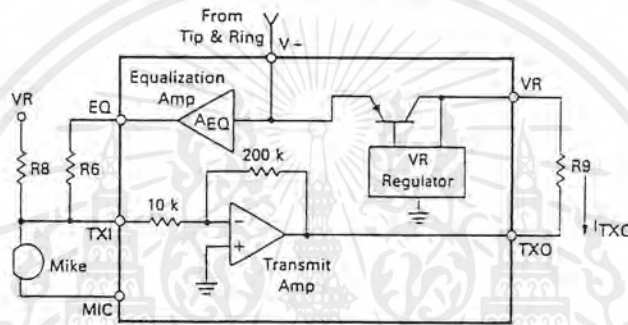
$$Z_{ac} = \frac{(1 + R_8/R_6) (R_9)}{20 \times A \times (R_8/R_6)}$$

where A = the gain of the equalization amplifier (0.25 to 0.75)

Since the gain of the equalization amplifier varies by a factor of 3, the ac impedance will vary the same amount. Using the resistor values indicated in Figure 1, the ac impedance will vary from 280 Ω (short loop) to 840 Ω (long loop).

When calculating or measuring the ac impedance, capacitor C_6 (≈ 8.0 k Ω at 1.0 kHz) and the dynamic impedance of the MC34014 (≈ 10 k Ω) must be taken into account. If the microphone has an impedance lower than that of a typical electret, then its dynamic impedance must be accounted for in the above equation.

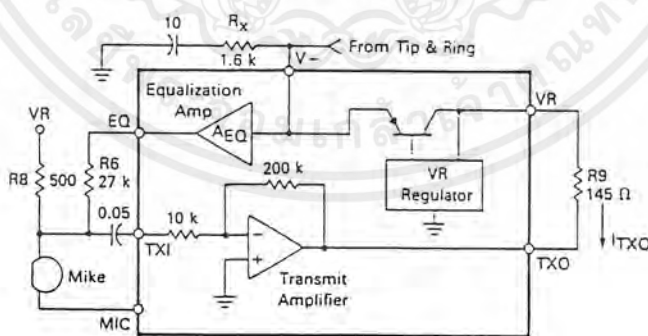
FIGURE 17 — DETERMINING AC IMPEDANCE



If a variation in Z_{ac} of less than 3:1 is desired, the circuit configuration of Figure 18 may be used. The ac impedance is the parallel combination of R_x and the

impedance presented by the remainder of the circuit. With the values shown in Figure 18, the ac impedance varies from 400 Ω to 800 Ω .

FIGURE 18 — REDUCED AC IMPEDANCE VARIATION



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRANSMIT DESIGN PROCEDURE

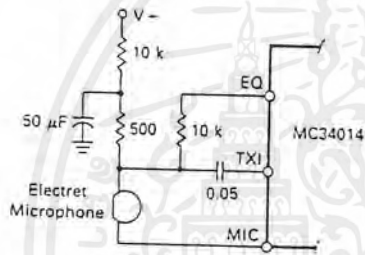
Referring to Figure 17, first select R_g for the desired maximum output level at Tip & Ring, assuming a signal level at TXO of 1.0 V p-p. The maximum signal level at Tip & Ring will be approximately:

$$\frac{(V_{TXO})(Z_L)}{R_g}$$

where Z_L is the characteristic ac impedance of the phone line. Capacitor C_G and the $\approx 10 \text{ k}\Omega$ dynamic impedance of the MC34014 must also be considered in the above computation, since they are in parallel with Z_L .

The next step is to select the R_g/R_R ratio, according to the required Z_{ac} , using the equation on the previous page. Then R_g is selected to set the microphone sensitivity. R_g is typically in the range of 0.5 k to 1.5 k Ω , and is dependent on the characteristics of the microphone. R_R is then calculated from the above mentioned ratio.

FIGURE 19 — ALTERNATE MICROPHONE BIAS



The overall gain from the microphone to V^- will vary with loop current due to the influence of the equalization amplifier on TXI. The signal at EQ is out of phase with that at TXI, therefore the signal at V^- decreases as loop current (and the EQ signal) increases. Variations are typically 2.0 to 5.0 dB and depend largely on the impedance characteristics of the microphone.

ALTERNATE MICROPHONE BIASING

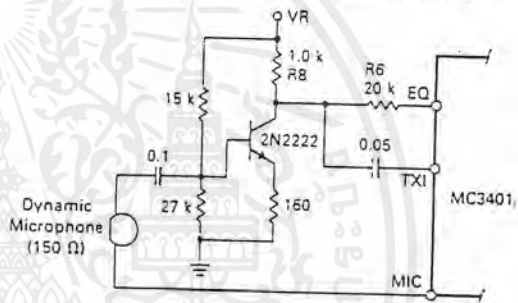
In the event that the microphone cannot be properly biased from the 1.2 volt VR supply, a higher voltage can be obtained by biasing from the V^+ supply. The configuration shown in Figure 19, provides a higher voltage to the microphone, and also filters the speech signals at V^+ from reaching it, preventing an oscillatory loop from forming. The maximum voltage limit of the microphone must be considered when biasing this way.

If a dynamic microphone is to be used in place of an electret unit, the circuit in Figure 20 will buffer its low impedance from the MC34014 circuit, maintaining the high impedance required at the junction of R_g and R_R . The circuit shown provides a gain of ≈ 2.6 for the microphone signals, and can be adjusted by varying the 160 Ω resistor.

HANDSET/HANDS-FREE TELEPHONE

Figure 23 indicates a circuit using the MC34014 speech network, MC34018 speakerphone circuit, and the MC34017 tone ringer to provide a complete telephone/speakerphone. Switch HS (containing one normally open and one normally closed contact) is the hook switch actuated by the handset, shown in the on-hook position. When the handset is off-hook (HS1 open, HS2 closed), power is applied to the MC34014, and consequently the handset, and the \overline{CS} pin of the MC34018 is held high so as to disable it. Upon closing the two poles of switch SS, and placing switch HS in the on-hook position, power is then applied to both the MC34014 and the MC34018, and \overline{CS} is held low, enabling the speakerphone function. Anytime the handset is removed from switch HS, the circuit reverts to the handset mode. The diode circuitry sets the MC34014 to the pulse dialing mode to mute the handset microphone and receiver when using the speakerphone. To compensate for the different equalization response of the MC34014 when in

FIGURE 20 — INTERFACING A DYNAMIC MICROPHONE



the pulse dialing mode (Figures 9 and 11), the 47 Ω resistor normally found at Pin 13 of the MC34014 is instead divided into two resistors (33 Ω and 15 Ω). This arrangement provides similar equalization response in both the handset and in the speakerphone modes. Since the LC capacitor (Pin 12) is ineffective in the speakerphone mode, a capacitor is added at Pin 5 (CC) to provide compensation for the equalization loop when the speakerphone mode is in effect.

SWITCHABLE TONE/PULSE TELEPHONE

Figure 21 indicates a switchable tone/pulse telephone circuit using the MC145412 tone/pulse dialer, MC34014 speech network, and the MC34017 tone ringer. The dialer is programmable, and can store up to 10 phone numbers. As can be seen, the interface to the MC34014 is straightforward.

PULSE ONLY TELEPHONE

Figure 22 indicates a pulse only telephone circuit using the MC145409 pulse dialer, MC34014 speech network, and the MC34017 tone ringer. The dialer has last number redial, and provides a pacifier tone to the receiver during dialing.

FIGURE 21 — COMPLETE TELEPHONE WITH PULSE/TONE DIALING

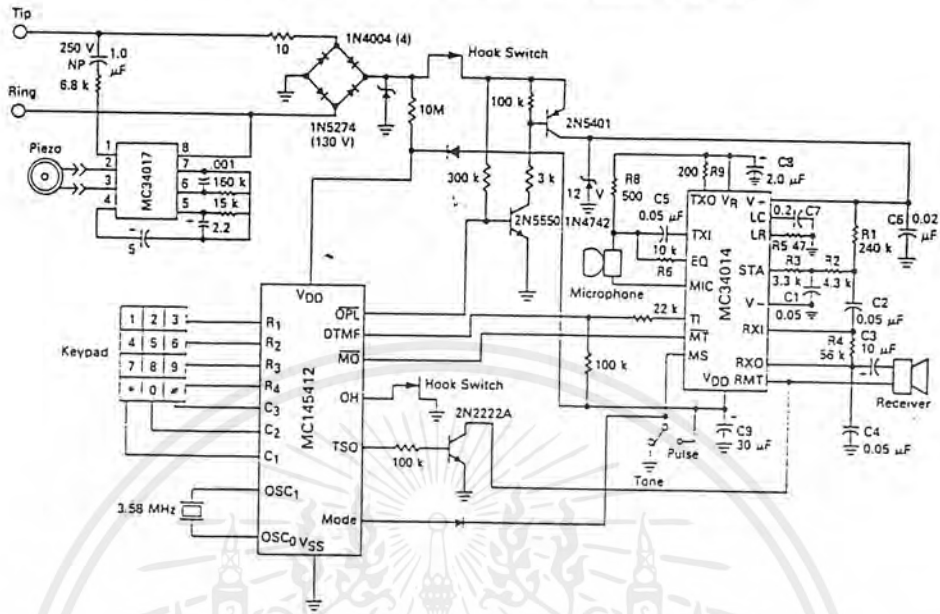
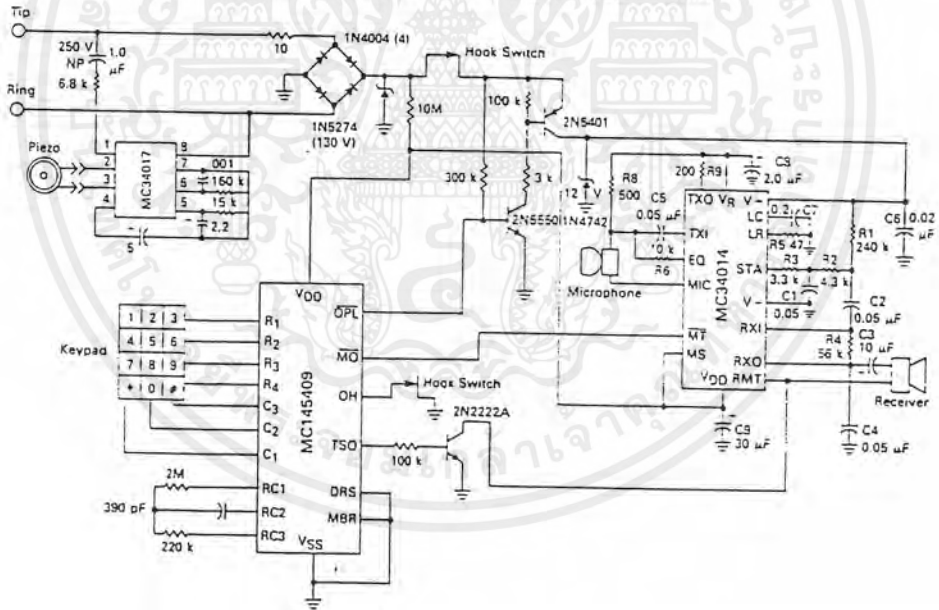


FIGURE 22 — COMPLETE TELEPHONE WITH PULSE DIALING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Recommended External Components
Piezo Sounder
 Models KSN 1113-1116
 Motorola, Inc.
 Albuquerque, N.M.
 505-822-8801

Microphone/Receiver
 Microphone model EM-95
 Receiver model DH-34
 Primo Microphone, Inc.
 Elk Grove Village, Ill.
 312-595-1022

Microphone Model KUC2123
 Hosiden Electronics
 Chicago, Ill.
 312-956-7707

TRANSIENT PROTECTION & RFI SUPPRESSION

Protection from voltage transients is necessary in most telephone circuits, and may take the form of zener diodes, RC or LC filters, transient suppressors, or a combination of the above.

Potential radio frequency interference problems should be addressed early in the electrical and mechanical design of the telephone. RFI may enter the cir-

cuitry through the Tip & Ring lines, through the microphone and/or receiver leads in the handset cord, or through any of the wiring or PC board traces. Ceramic decoupling capacitors, ferrite beads, and other RFI suppression techniques may be needed. Good PC board design techniques, such as the avoidance of loops, should be used. Long tracks on high impedance nodes should be avoided.



PRINCIPLES OF OPERATION

operation of TLC32040, TLC32041, or TLC32042 with external voltage reference

The REF pin may be driven from an external reference circuit if so desired. This external circuit must be capable of supplying 250 μ A and must be adequately protected from noise such as crosstalk from the analog input.

reset

A reset function is provided to initiate serial communications between the AIC and DSP and allow fast, cost-effective testing during manufacturing. The reset functional will initialize all AIC registers, including the control register. After a negative-going pulse on the $\overline{\text{RESET}}$ pin, the AIC will be initialized. This initialization allows normal serial port communications activity to occur between AIC and DSP (see AIC DX data word format section).

loopback

This feature allows the user to test the circuit remotely. In loopback, the $\text{OUT}+$ and $\text{OUT}-$ pins are internally connected to the $\text{IN}+$ and the $\text{IN}-$ pins. Thus, the DAC bits (d15 to d2), which are transmitted to the DX pin, can be compared with the ADC bits (d15 to d2), which are received from the DR pin. An ideal comparison would be that the bits on the DR pin equal the bits on the DX pin. However, in practice there will be some difference in these bits due to the ADC and DAC output offsets.

In loopback, if the $\text{IN}+$ and the $\text{IN}-$ pins are enabled, the external signals on the $\text{IN}+$ and the $\text{IN}-$ pins are ignored. If the $\text{AUX IN}+$ and $\text{AUX IN}-$ pins are enabled, the external signals on these pins are added to the $\text{OUT}+$ and $\text{OUT}-$ signals in loopback operation.

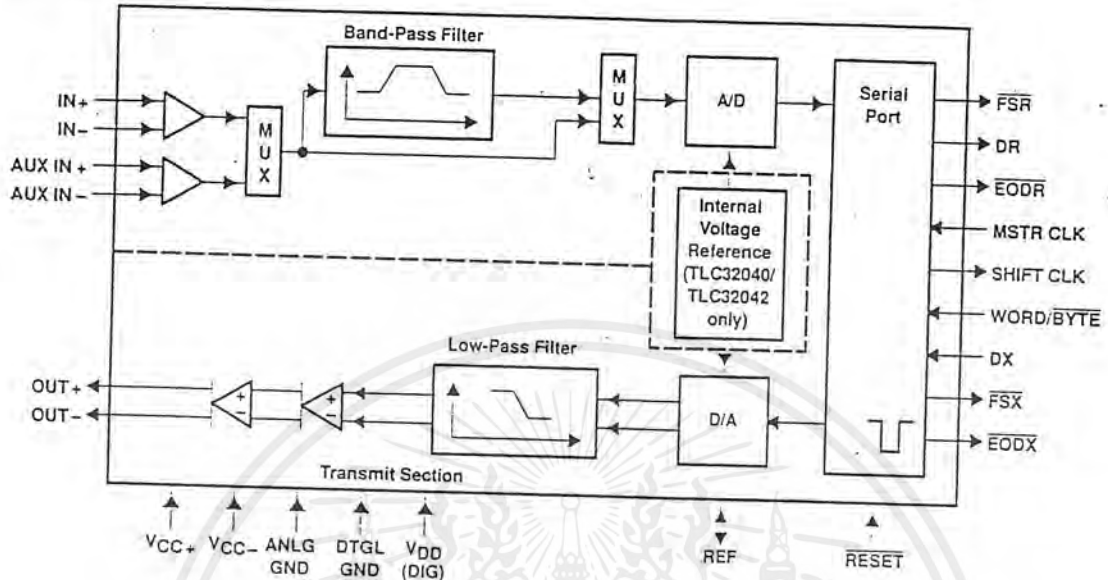
The loopback feature is implemented with digital signal processor control by transmitting the appropriate serial port bit to the control register (see AIC DX data word format section).

Terminal Functions

PIN NAME	NO.	I/O	DESCRIPTION
ANLG GND	17,18		Analog ground return for all internal analog circuits. Not internally connected to DGTL GND.
AUX IN+	24	I	Noninverting auxiliary analog input state. This input can be switched into the bandpass filter and A/D converter path via software control. If the appropriate bit in the control register is a 1, the auxiliary inputs will replace the $\text{IN}+$ and $\text{IN}-$ inputs. If the bit is a 0, the $\text{IN}+$ and $\text{IN}-$ inputs will be used (see the AIC DX data word format section).
AUX IN-	23	I	Inverting auxiliary analog input (see the above AUX IN+ pin description).
DGTL GND	9		Digital ground for all internal logic circuits. Not internally connected to ANLG GND.
DR	5	O	This pin is used to transmit the ADC output bits from the AIC to the TMS320 serial port. This transmission of bits from the AIC to the TMS320 serial port is synchronized with the SHIFT CLK signal.
DX	12	I	This pin is used to receive the DAC input bits and timing and control information from the TMS320. This serial transmission from the TMS320 serial port to the AIC is synchronized with the SHIFT CLK signal.
$\overline{\text{EODR}}$	3	O	End of data receive. See the WORD BYTE pin description and the Serial Port Timing diagrams. During the word-mode timing, this signal is a low-going pulse that occurs immediately after the 16 bits of A/D information have been transmitted from the AIC to the TMS320 serial port. This signal can be used to interrupt a microprocessor upon completion of serial communications. Also, this signal can be used to strobe and enable external serial-to-parallel shift registers, latches, or external FIFO RAM, and to facilitate parallel data bus communications between the AIC and the serial-to-parallel shift registers. During the byte-mode timing, this signal goes low after the first byte has been transmitted from the AIC to the TMS320 serial port and is kept low until the second byte has been transmitted. The TMS32011 or TMS320C17 can use this low-going signal to differentiate between the two bytes as to which is first and which is second. $\overline{\text{EODR}}$ does not occur after secondary communication.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

functional block diagram



analog input

Two sets of analog inputs are provided. Normally, the IN+ and IN- input set is used; however, the auxiliary input set, AUX IN+ and AUX IN-, can be used if a second input is required. Each input set can be operated in either differential or single-ended modes, since sufficient common-mode range and rejection are provided. The gain for the IN+, IN-, AUX IN+, and AUX IN- inputs can be programmed to be either 1, 2, or 4 (see Table 2). Either input circuit can be selected via software control. It is important to note that a wide dynamic range is assured by the differential internal analog architecture and by the separate analog and digital voltage supplies and grounds.

A/D bandpass filter, A/D bandpass filter clocking, and A/D conversion timing

The A/D bandpass filter can be selected or bypassed via software control. The frequency response of this filter is presented in the following pages. This response results when the switched-capacitor filter clock frequency is 288 kHz. Several possible options can be used to attain a 288-kHz switched-capacitor filter clock. When the filter clock frequency is not 288 kHz, the filter transfer function is frequency scaled by the ratio of the actual clock frequency to 288 kHz. The low-frequency roll-off of the high-pass section is 300 Hz. However, the high-pass section low-frequency roll-off is less steep for the TLC32042 than for the TLC32040 and TLC32041.

The internal timing configuration and AIC DX data word format sections of this data sheet indicate the many options for attaining a 288-kHz bandpass switched-capacitor filter clock. These sections indicate that the RX Counter A can be programmed to give a 288-kHz bandpass switched-capacitor filter clock for several master clock input frequencies.

The A/D conversion rate is then attained by frequency dividing the 288-kHz bandpass switched-capacitor filter clock with the RX Counter B. Thus, unwanted aliasing is prevented because the A/D conversion rate is an integral submultiple of the bandpass switched-capacitor filter sampling rate, and the two rates are synchronously locked.

description (continued)

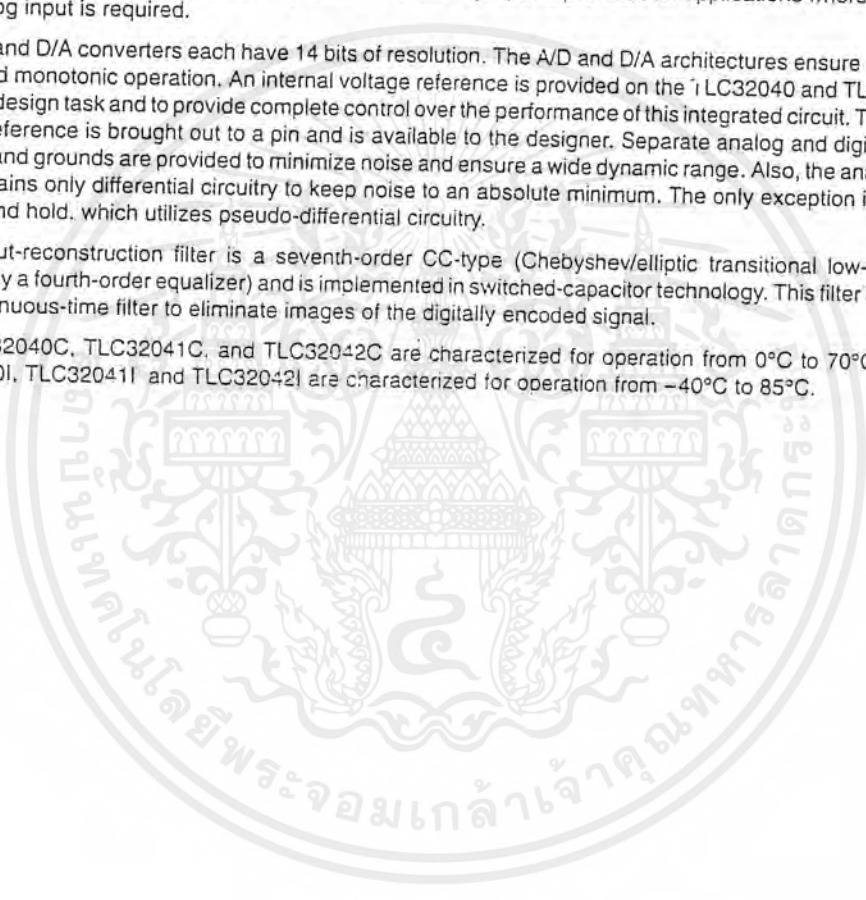
sections of the analog interface circuit (AIC) are operating synchronously, it will interface to two SN74299 serial-to-parallel shift registers. These serial-to-parallel shift registers can then interface in parallel to the TMS32010, TMS320C15, other digital signal processors, or external FIFO circuitry. Output data pulses are emitted to inform the processor that data transmission is complete or to allow the DSP to differentiate between two transmitted bytes. A flexible control scheme is provided so that the functions of this integrated circuit can be selected and adjusted coincidentally with signal processing via software control.

The antialiasing input filter comprises seventh-order and fourth-order CC-type (Chebyshev/elliptic transitional) low-pass and high-pass filters, respectively and a fourth-order equalizer. The input filter is implemented in switched-capacitor technology and is preceded by a continuous time filter to eliminate any possibility of aliasing caused by sampled data filtering. When no filtering is desired, the entire composite filter can be switched out of the signal path. A selectable, auxiliary, differential analog input is provided for applications where more than one analog input is required.

The A/D and D/A converters each have 14 bits of resolution. The A/D and D/A architectures ensure no missing codes and monotonic operation. An internal voltage reference is provided on the TLC32040 and TLC32042 to ease the design task and to provide complete control over the performance of this integrated circuit. The internal voltage reference is brought out to a pin and is available to the designer. Separate analog and digital voltage supplies and grounds are provided to minimize noise and ensure a wide dynamic range. Also, the analog circuit path contains only differential circuitry to keep noise to an absolute minimum. The only exception is the DAC sample and hold, which utilizes pseudo-differential circuitry.

The output-reconstruction filter is a seventh-order CC-type (Chebyshev/elliptic transitional low-pass filter followed by a fourth-order equalizer) and is implemented in switched-capacitor technology. This filter is followed by a continuous-time filter to eliminate images of the digitally encoded signal.

The TLC32040C, TLC32041C, and TLC32042C are characterized for operation from 0°C to 70°C, and the TLC32040I, TLC32041I and TLC32042I are characterized for operation from -40°C to 85°C.



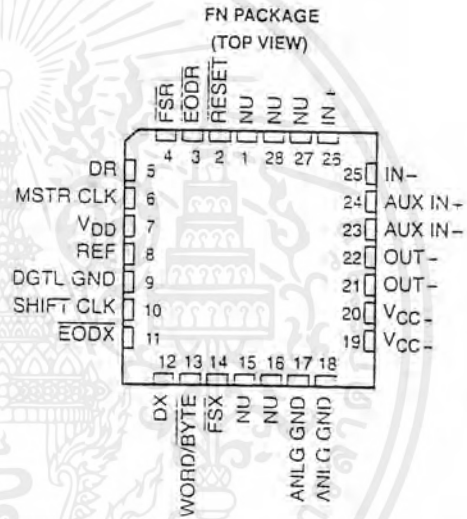
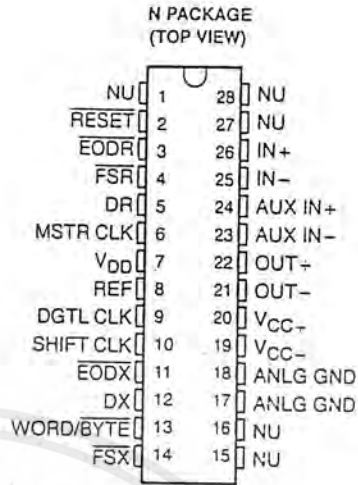
- Advanced LinCMOS™ Silicon-Gate Process Technology
- 14-Bit Dynamic Range ADC and DAC
- Variable ADC and DAC Sampling Rate Up to 19,200 Samples per Second
- Switched-Capacitor Antialiasing Input Filter and Output-Reconstruction Filter
- Serial Port for Direct Interface to TMS32011, TMS320C17, TMS32020, and TMS320C25 Digital Signal Process
- Synchronous or Asynchronous ADC and DAC Conversion Rate With Programmable Incremental ADC and DAC Conversion Timing Adjustments
- Serial Port Interface to SN74299 Serial-to-Parallel Shift Register for Parallel Interface to TMS32010, TMS320C15, or Other Digital Processors
- 600-Mil Wide N Package (C_L to C_L)

PART NUMBER	DESCRIPTION
TLC32040	Analog interface circuit with internal reference. Also a plug-in replacement for TLC32041.
TLC32041	Analog interface circuit without internal reference
TLC32042	Identical to TLC32040, but has a slightly wider bandpass filter bandwidth

description

The TLC32040, TLC32041, and TLC32042 are complete analog-to-digital and digital-to-analog input/output systems, each on a single monolithic CMOS chip. This device integrates a bandpass switched-capacitor antialiasing input filter, a 14-bit-resolution A/D converter, four microprocessor-compatible serial port modes, a 14-bit-resolution D/A converter, and a low-pass switched-capacitor output-reconstruction filter. The device offers numerous combinations of master clock input frequencies and conversion/sampling rates, which can be changed via digital processor control.

Typical applications for this integrated circuit include modems (7.2-, 8-, 9.6-, 14.4-, and 19.2-kHz sampling rate), analog interface for digital signal processors (DSPs), speech recognition/storage systems, industrial process control, biomedical instrumentation, acoustical signal processing, spectral analysis, data acquisition, and instrumentation recorders. Four serial modes, which allow direct interface to the TMS32011, TMS320C17, TMS32020, and TMS320C25 digital signal processors, are provided. Also, when the transmit and receive



NU - Nonusable: no external connection should be made to these pins.

A/D converter performance specifications

Fundamental performance specifications for the A/D converter circuitry are presented in the A/D converter operating characteristics section of this data sheet. The realization of the A/D converter circuitry with switched-capacitor techniques provides an inherent sample-and-hold.

analog output

The analog output circuitry is an analog output power amplifier. Both noninverting and inverting amplifier outputs are brought out of this integrated circuit. This amplifier can drive transformer hybrids or low-impedance loads directly in either a differential or single-ended configuration.

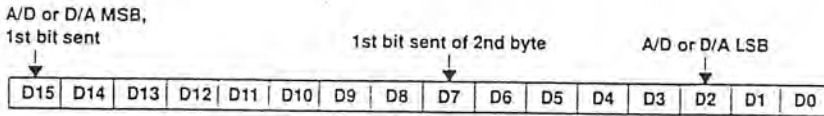
D/A low-pass filter, D/A low-pass filter clocking, and D/A conversion timing

The frequency response of this filter is presented in the following pages: This response results when the low-pass switched-capacitor filter clock frequency is 288 kHz. Like the A/D filter, the transfer function of this filter is frequency scaled when the clock frequency is not 288 kHz. A continuous-time filter is provided on the output on the output of the D/A low-pass filter to greatly attenuate any switched-capacitor clock feedthrough.

The D/A conversion rate is then attained by frequency dividing the 288-kHz switched-capacitor filter clock with TX Counter B. Thus, unwanted aliasing is prevented because the D/A conversion rate is an integral submultiple of the switched-capacitor low-pass filter sampling rate, and the two rates are synchronously locked.



AIC DR or DX word bit pattern



AIC DX data word format section

d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0	COMMENTS	
primary DX serial communication protocol																	
←d15 (MSB) through d2 go to the D/A converter register														→	0	0	The TX and RX Counter As are loaded with the TA and RA register values. The TX and RX Counter Bs are loaded with TB and RB register values.
←d15 (MSB) through d2 go to the D/A converter register														→	0	1	The TX and RX Counter A's are loaded with the TA + TA' and RA + RA' register values. The TX and RX Counter Bs are loaded with TB and RB register values. NOTE: d1 = 0, d0 = 1 will cause the next D/A and A/D conversion periods to be changed by the addition of TA' and RA' master clock cycles, in which TA' and RA' can be positive or negative or zero. Please refer to Table 1.
←d15 (MSB) through d2 go to the D/A converter register														→	1	0	The TX and RX Counter As are loaded with the TA - TA' and RA - RA' register values. The TX and RX Counter Bs are loaded with TB and RB register values. NOTE: d1 = 1, d0 = 0 will cause the next D/A and A/D conversion periods to be changed by the subtraction of TA' and RA' master clock cycles, in which TA' and RA' can be positive or negative or zero. Please refer to Table 1.
←d15 (MSB) through d2 go to the D/A converter register														→	1	1	The TX and RX Counter As are loaded with the TA and RA register values. The TX and RX Counter Bs are loaded with the TB and RB register values. After a delay of four shift clock cycles, a secondary transmission will immediately follow to program the AIC to operate in the desired configuration.

NOTE: Setting the two least significant bits to 1 in the normal transmission of DAC information (primary communications) to the AIC will initiate secondary communications upon completion of the primary communications.

Upon completion of the primary communication, \overline{FSX} will remain high for four SHIFT CLK cycles and will then go low and initiate the secondary communication. The timing specifications for the primary and secondary communications are identical. In this manner, the secondary communication, if initiated, is interleaved between successive primary communications. This interleaving prevents the secondary communication from interfering with the primary communications and DAC timing, thus preventing the AIC from skipping a DAC output. It is important to note that in the synchronous mode, \overline{FSR} will not be asserted during secondary communications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

power-up sequence

To ensure proper operation of the AIC, and as a safeguard against latch-up, it is recommended that a Schottky diode with a forward voltage less than or equal to 0.4 V be connected from V_{CC-} to ANLG GND (see Figure 17). In the absence of such a diode, power should be applied in the following sequence: ANLG GND and DGTL GND, V_{CC-} , then V_{CC+} and V_{DD} . Also, no input signal should be applied until after power up.

AIC responses to improper conditions

The AIC has provisions for responding to improper conditions. These improper conditions and the response of the AIC to these conditions are presented in Table 1 below.

AIC register constraints

The following constraints are placed on the contents of the AIC registers:

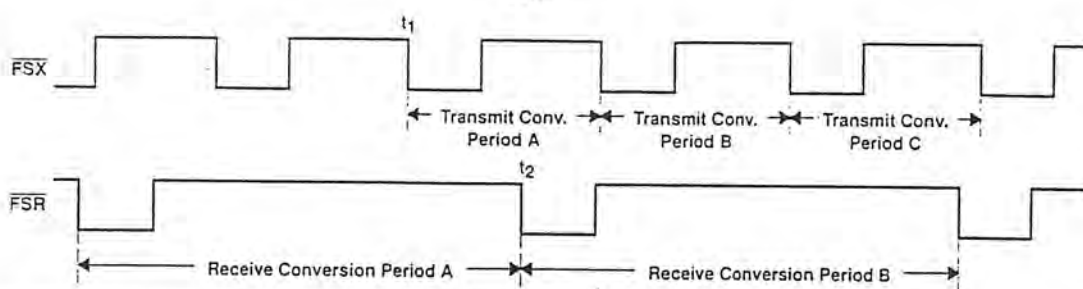
1. TA register must be ≥ 4 in word mode (WORD/BYTE = high).
2. TA register must be ≥ 5 in byte mode (WORD/BYTE = low).
3. TA' register can be either positive, negative, or zero.
4. RA register must be ≥ 4 in word mode (WORD/BYTE = high).
5. RA register must be ≥ 5 in byte mode (WORD/BYTE = low).
6. RA' register can be either positive, negative, or zero.
7. (TA register \pm TA' register) must be > 1 .
8. (RA register \pm RA' register) must be > 1 .
9. TB register must be > 1 .

Table 1. AIC Responses To Improper Conditions

IMPROPER CONDITIONS	AIC RESPONSE
TA register + TA' register = 0 or 1 TA register - TA' register = 0 or 1	Reprogram TX Counter A with TA register value
TA register + TA' register < 0	MODULO 64 arithmetic is used to ensure that a positive value is loaded into the TX Counter A, i.e., TA register + TA' register + 40 HEX is loaded into TX Counter A.
RA register + RA' register = 0 or 1 RA register - RA' register = 0 or 1	Reprogram RX Counter A with RA register value
RA register + RA' register = 0 or 1	MODULO 64 arithmetic is used to ensure that a positive value is loaded into RX Counter A, i.e., RA register + RA' register + 40 HEX is loaded into RX Counter A.
TA register = 0 or 1 RA register = 0 or 1	The AIC is shut down.
TA register < 4 in word mode TA register < 5 in byte mode RA register < 4 in word mode RA register < 5 in byte mode	The AIC serial port no longer operates.
TB register = 0 or 1	Reprogram TB register with 24 HEX
RB register = 0 or 1	Reprogram RB register with 24 HEX
AIC and DSP cannot communicate	Hold last DAC output

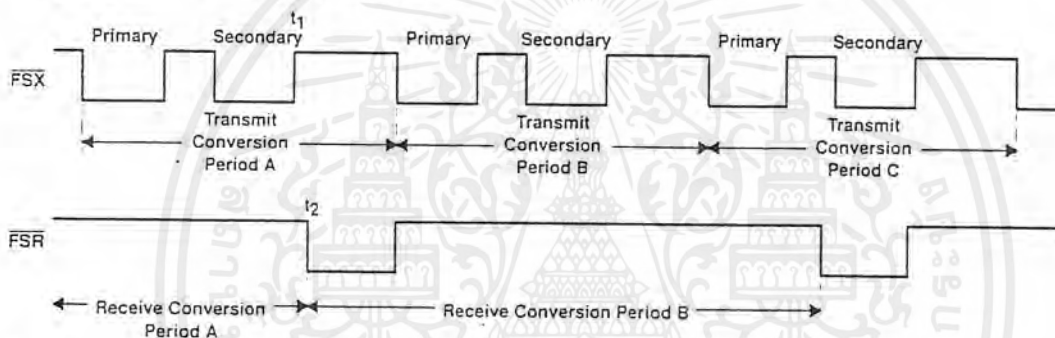
Improper operation due to conversion times being too close together

If the difference between two successive D/A conversion frame syncs is less than 1/19.2 kHz, the AIC operates improperly. In this situation, the second D/A conversion frame sync occurs too quickly and there is not enough time for the ongoing conversion to be completed. This situation can occur if the A and B registers are improperly programmed or if the A + A' register or A - A' register result is too small. When incrementally adjusting the conversion period via the A + A' register options, the designer should be very careful not to violate this requirement (see following diagram).



asynchronous operation — more than one set of primary and secondary DX serial communication occurring between two receive frame sync (see AIC DX data word format section)

The TA, TA', TB, and control register information that is transmitted in the secondary communications is always accepted and is applied during the ongoing transmit conversion period. If there is sufficient time between t_1 and t_2 , the TA, RA', and RB register information, which is sent during transmit conversion period A, will be applied to receive conversion period A. Otherwise, this information will be applied during receive conversion period B. If RA, RA', and RB register information has already been received and is being applied during an ongoing conversion period, any subsequent RA, RA', or RB information that is received during this receive conversion period will be disregarded (see diagram below).



absolute maximum ratings over operating free-air temperature (unless otherwise noted)

Supply voltage range, V_{CC+} (see Note 1)	-0.3 V to 15 V
Supply voltage range, V_{DD}	-0.3 V to 15 V
Output voltage range, V_O	-0.3 V to 15 V
Input voltage range, V_I	-0.3 V to 15 V
Digital ground voltage range	-0.3 V to 15 V
Operating free-air temperature range: TLC32040C, TLC32041C, TLC32042C	0°C to 70°C
TLC32040I, TLC32041I, TLC32042I	-40°C to 85°C
Storage temperature range	-40°C to 125°C
Case temperature for 10 seconds: FN package	260°C
Lead temperature 1.6 mm (1/16 inch) from case for 10 seconds: N package	260°C

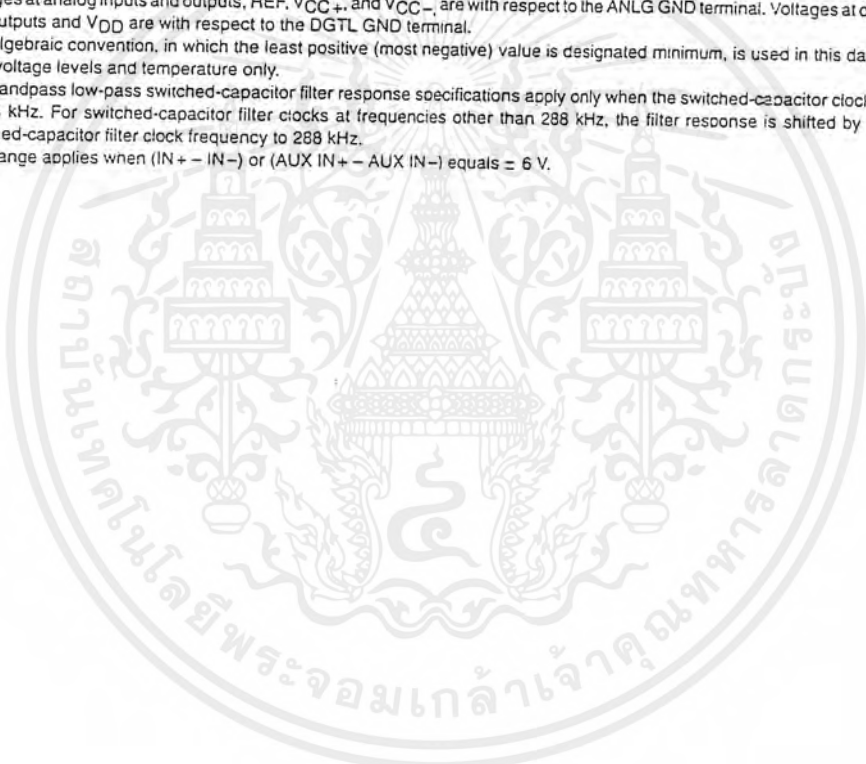
NOTE 1: Voltage values for maximum ratings are with respect to V_{CC-}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

recommended operating conditions

	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC+} (see Note 2)	4.75	5	5.25	V
Supply voltage, V_{CC-} (see Note 2)	-4.75	-5	-5.25	V
Digital supply voltage, V_{DD} (see Note 2)	4.75	5	5.25	V
Digital ground voltage with respect to ANLG GND, DGTL GND		0		V
Reference input voltage, $V_{ref(ext)}$ (see Note 2)	2		4	V
High-level input voltage, V_{IH}	2	$V_{DD}+0.3$		V
Low-level input voltage, V_{IL} (see Note 3)	-0.3		0.8	V
Load resistance at OUT+ and/or OUT-, R_L	300			Ω
Load capacitance at OUT+ and/or OUT-, C_L			100	pF
MSTR CLK frequency (see Note 4)	0.075	5	10.368	MHz
Analog input amplifier common mode input voltage (see Note 5)			± 1.5	V
A/D or D/A conversion rate			20	kHz
Operating free-air temperature, T_A	TLC32040C, TLC32041C, TLC32042C		0	70
	TLC32040I, TLC32041I, TLC32042I		-40	85

- NOTES: 2. Voltages at analog inputs and outputs, REF, V_{CC+} , and V_{CC-} , are with respect to the ANLG GND terminal. Voltages at digital inputs and outputs and V_{DD} are with respect to the DGTL GND terminal.
3. The algebraic convention, in which the least positive (most negative) value is designated minimum, is used in this data sheet for logic voltage levels and temperature only.
4. The bandpass low-pass switched-capacitor filter response specifications apply only when the switched-capacitor clock frequency is 288 kHz. For switched-capacitor filter clocks at frequencies other than 288 kHz, the filter response is shifted by the ratio of switched-capacitor filter clock frequency to 288 kHz.
5. This range applies when $(IN+ - IN-)$ or $(AUX IN+ - AUX IN-)$ equals ± 6 V.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics over recommended operating free-air temperature range, $V_{CC+} = 5\text{ V}$, $V_{CC-} = -5\text{ V}$, $V_{DD} = 5\text{ V}$ (unless otherwise noted) (continued)

system distortion specifications, SCF clock frequency = 288 kHz

PARAMETER		TEST CONDITIONS	MIN	TYPT	MAX	UNIT
Attenuation of second harmonic of A/D input signal	Single ended	$V_{in} = -0.5\text{ dB to } -24\text{ dB}$ referred to V_{ref} . See Note 7	70		dB	
	Differential		62	70		
Attenuation of third and higher harmonics of A/D input signal	Single ended	$V_{in} = -0.5\text{ dB to } -24\text{ dB}$ referred to V_{ref} . See Note 7	65		dB	
	Differential		57	65		
Attenuation of second harmonic of D/A input signal	Single ended	$V_{in} = -0\text{ dB to } -24\text{ dB}$ referred to V_{ref} . See Note 7	70		dB	
	Differential		62	70		
Attenuation of third and higher harmonics of D/A input signal	Single ended	$V_{in} = -0\text{ dB to } -24\text{ dB}$ referred to V_{ref} . See Note 7	65		dB	
	Differential		57	65		

A/D channel signal-to-distortion ratio

PARAMETER	TEST CONDITIONS (see note 7)	$A_V = 1\ddagger$		$A_V = 2\ddagger$		$A_V = 4\ddagger$		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	
A/D channel signal-to-distortion ratio	$V_{in} = -6\text{ dB to } -0.1\text{ dB}$	58	>58§	>58§				dB
	$V_{in} = -12\text{ dB to } -6\text{ dB}$	58	58	>58§				
	$V_{in} = -18\text{ dB to } -12\text{ dB}$	56	58	58				
	$V_{in} = -24\text{ dB to } -18\text{ dB}$	50	56	58				
	$V_{in} = -30\text{ dB to } -24\text{ dB}$	44	50	56				
	$V_{in} = -36\text{ dB to } -30\text{ dB}$	38	44	50				
	$V_{in} = -42\text{ dB to } -36\text{ dB}$	32	38	44				
	$V_{in} = -48\text{ dB to } -42\text{ dB}$	26	32	38				
$V_{in} = -54\text{ dB to } -48\text{ dB}$	20	26	32					

D/A channel signal-to-distortion ratio

PARAMETER	TEST CONDITIONS (see note 7)	MIN	MAX	UNIT
D/A channel signal-to-distortion ratio	$V_{in} = -6\text{ dB to } 0\text{ dB}$	58		dB
	$V_{in} = -12\text{ dB to } -6\text{ dB}$	58		
	$V_{in} = -18\text{ dB to } -12\text{ dB}$	56		
	$V_{in} = -24\text{ dB to } -18\text{ dB}$	50		
	$V_{in} = -30\text{ dB to } -24\text{ dB}$	44		
	$V_{in} = -36\text{ dB to } -30\text{ dB}$	38		
	$V_{in} = -42\text{ dB to } -36\text{ dB}$	32		
	$V_{in} = -48\text{ dB to } -42\text{ dB}$	26		
$V_{in} = -54\text{ dB to } -48\text{ dB}$	20			

† All typical values are at $T_A = 25^\circ\text{C}$.

‡ A_V is the programmable gain of the input amplifier.

§ A value > 58 is overrange and signal clipping occurs.

NOTE 7: The test condition V_{in} is a 1-kHz input signal with an 8-kHz conversion rate (0 dB relative to V_{ref}). The load impedance for the DAC is 600 Ω .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics (continued)

gain and dynamic range

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
Absolute transmit gain tracking error while transmitting into 600 Ω	-48-dB to 0-dB signal range, see Note 8		± 0.05	± 0.15	dB
Absolute receive gain tracking error	-48-dB to 0-dB signal range, see Note 8		± 0.05	± 0.15	dB
Absolute gain of the A/D channel	Signal input is a -0.5-dB, 1-kHz sinewave		0.2		dB
Absolute gain of the D/A channel	Signal input is a 0-dB, 1-kHz sinewave		-0.3		dB

NOTE 8: Gain tracking is relative to the absolute gain at 1 kHz and 0 dB (0 dB relative to V_{ref}).

power supply rejection and crosstalk attenuation

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V_{CC+} or V_{CC-} supply voltage rejection ratio, receive channel	$f = 0$ to 30 kHz		30		dB
	$f = 30$ kHz to 50 kHz		45		
V_{CC+} or V_{CC-} supply voltage rejection ratio, transmit channel (single ended)	$f = 0$ to 30 kHz		30		dB
	$f = 30$ kHz to 50 kHz		45		
Crosswalk attenuation, transmit-to-receive (single ended)			80		dB

† All typical values are at $T_A = 25^\circ\text{C}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

delay distortion, SCF clock frequency = 288 kHz \pm 2%, input (IN+ – IN–) is \pm 3-V sinewave

Please refer to filter response graphs for delay distortion specifications.

TLC32040 and TLC32041 bandpass filter transfer function (see curves), SCF clock frequency = 288 kHz, \pm 2%, input (IN+ – IN–) is a \pm 3-V sinewave (see Note 9)

PARAMETER	TEST CONDITIONS	FREQUENCY RANGE	MIN	MAX	UNIT
Filter gain (see Note 10)	Input signal reference is 0 dB	f = 100 Hz		-42	dB
		f = 170 Hz		-25	
		300 Hz \leq f \leq 3.4 kHz	-0.5	0.5	
		f = 4 kHz		-16	
		f \geq 4.6 kHz		-58	

TLC32042 bandpass filter transfer function (see curves), SCF clock frequency = 288 kHz \pm 2%, input (IN+ – IN–) is a \pm 3-V sinewave (see Note 9)

PARAMETER	TEST CONDITIONS	FREQUENCY RANGE	MIN	MAX	UNIT
Filter gain (see Note 10)	Input signal reference is 0 dB	f = 100 Hz		-27	dB
		f = 170 Hz		-2	
		300 Hz \leq f \leq 3.4 kHz	-0.5	0.5	
		f = 4 kHz		-16	
		f \geq 4.6 kHz		-58	

low-pass filter transfer function, SCF clock frequency = 288 kHz \pm 2% (see Note 9)

PARAMETER	TEST CONDITIONS	FREQUENCY RANGE	MIN	MAX	UNIT
Filter gain (see Note 10)	Output signal reference is 0 dB	f \leq 3.4 kHz	-0.5	0.5	dB
		f = 3.5 kHz		-4	
		f = 4 kHz		-30	
		f \geq 4.4 kHz		-58	

serial port

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V _{OH} High-level output voltage	I _{OH} = -300 μ A	2.4			V
V _{OL} Low-level output voltage	I _{OL} = 2 mA			0.4	V
I _i input current				\pm 10	μ A
C _i input capacitance			15		pF
C _O Output capacitance			15		pF

† All typical values are at T_A = 25°C.

- NOTES: 9. The above filter specifications are for a switched-capacitor filter clock range of 288 kHz \pm 2%. For switched-capacitor filter clocks at frequencies other than 288 kHz \pm 2%, the filter response is shifted by the ratio of switched-capacitor filter clock frequency to 288 kHz.
10. The filter gain outside of the passband is measured with respect to the gain at 1 kHz. The filter gain within the passband is measured with respect to the average gain within the passband. The passbands are 300 to 3400 Hz and 0 to 3400 Hz for the bandpass and low-pass filters respectively.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

operating characteristics over recommended operating free-air temperature range, $V_{CC+} = 5\text{ V}$, $V_{CC-} = -5\text{ V}$, $V_{DD} = 5\text{ V}$

noise (measurement includes low-pass and bandpass switched-capacitor filters)

PARAMETER		TEST CONDITIONS	TYP†	MAX	UNIT
Transmit noise	Single ended	DX input = 00 00 00 00 00 00, constant input code	200		$\mu\text{V rms}$
	Differential		300	500	$\mu\text{V rms}$
Receive noise (see Note 11)		Inputs grounded, gain = 1	20		dBmCO
			300	475	$\mu\text{V rms}$
			20		dBmCO

timing requirements

serial port recommended input signals

	MIN	MAX	UNIT
$t_c(\text{MCLK})$ Master clock cycle time	95		ns
$t_r(\text{MCLK})$ Master clock rise time		10	ns
$t_f(\text{MCLK})$ Master clock fall time		10	ns
Master clock duty cycle	42%	58%	
$\overline{\text{RESET}}$ pulse duration (see Note 12)	800		ns
$t_{su}(\text{DX})$ DX setup time before $\text{SCLK}\downarrow$	20		ns
$t_h(\text{DX})$ DX hold time after $\text{SCLK}\downarrow$		$t_c(\text{SCLK})/2$	ns

- NOTES: 11. The noise is referred to the input with a buffer gain of one. If the buffer gain is two or four, the noise figure will be correspondingly reduced. The noise is computed by statistically evaluating the digital output of the A/D converter.
12. $\overline{\text{RESET}}$ pulse duration is the amount of time that the reset pin is held below 0.8 V after the power supplies have reached their recommended values.

serial port — AIC output signals, $C_L = 30\text{ pF}$ for SHIFT CLK output, $C_L = 15\text{ pF}$ for all other outputs

	MIN	TYP†	MAX	UNIT
$t_c(\text{SCLK})$ Shift clock (SCLK) cycle time	380			ns
$t_f(\text{SCLK})$ Shift clock (SCLK) fall time		3	8	ns
$t_r(\text{SCLK})$ Shift clock (SCLK) rise time		3	8	ns
Shift clock (SCLK) duty cycle	45		55	%
$t_d(\text{CH-FL})$ Delay from $\text{SCLK}\uparrow$ to $\overline{\text{FSR}}/\overline{\text{FSX}}/\overline{\text{FSD}}\downarrow$		30		ns
$t_d(\text{CH-FH})$ Delay from $\text{SCLK}\uparrow$ to $\overline{\text{FSR}}/\overline{\text{FSX}}/\overline{\text{FSD}}\uparrow$		35	90	ns
$t_d(\text{CH-DR})$ DR valid after $\text{SCLK}\uparrow$			90	ns
$t_{dw}(\text{CH-EL})$ Delay from $\text{SCLK}\uparrow$ to $\overline{\text{EODX}}/\overline{\text{EODR}}\downarrow$ in word mode			90	ns
$t_{dw}(\text{CH-EH})$ Delay from $\text{SCLK}\uparrow$ to $\overline{\text{EODX}}/\overline{\text{EODR}}\uparrow$ in word mode			90	ns
$t_f(\text{EODX})$ $\overline{\text{EODX}}$ fall time		2	8	ns
$t_f(\text{EODR})$ $\overline{\text{EODR}}$ fall time		2	8	ns
$t_{db}(\text{CH-EL})$ Delay from $\text{SCLK}\uparrow$ to $\overline{\text{EODX}}/\overline{\text{EODR}}\downarrow$ in byte mode			90	ns
$t_{db}(\text{CH-EH})$ Delay from $\text{SCLK}\uparrow$ to $\overline{\text{EODX}}/\overline{\text{EODR}}\uparrow$ in byte mode			90	ns
$t_d(\text{MH-SL})$ Delay from $\text{MSTR CLK}\uparrow$ to $\text{SCLK}\downarrow$		65	170	ns
$t_d(\text{MH-SH})$ Delay from $\text{MSTR CLK}\uparrow$ to $\text{SCLK}\uparrow$		65	170	ns

† Typical values are at $T_A = 25^\circ\text{C}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

timing requirements (continued)

serial port — AIC output signals

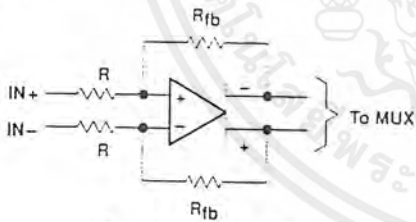
	TEST CONDITIONS	MIN	TYPT	MAX	UNIT
$t_c(SCLK)$ Shift clock (SCLK) cycle time		380			ns
$t_f(SCLK)$ Shift clock (SCLK) fall time				50	ns
$t_r(SCLK)$ Shift clock (SCLK) rise time				50	ns
Shift clock (SCLK) duty cycle		45		55	%
$t_d(CH-FL)$ Delay from $SCLK\uparrow$ to $\overline{FSR}/FSX\downarrow$	$C_L = 50\text{ pF}$			52	ns
$t_d(CH-FH)$ Delay from $SCLK\uparrow$ to $\overline{FSR}/FSX\uparrow$	$C_L = 50\text{ pF}$			52	ns
$t_d(CH-DR)$ DR valid after $SCLK\uparrow$				90	ns
$t_{dw}(CH-EL)$ Delay from $SCLK\uparrow$ to $\overline{EODX}/\overline{EODR}\downarrow$ in word mode				90	ns
$t_{dw}(CH-EH)$ Delay from $SCLK\uparrow$ to $\overline{EODX}/\overline{EODR}\uparrow$ in word mode				90	ns
$t_f(\overline{EODX})$ \overline{EODX} fall time				15	ns
$t_f(\overline{EODR})$ \overline{EODR} fall time				15	ns
$t_{db}(CH-EL)$ Delay from $SCLK\uparrow$ to $\overline{EODX}/\overline{EODR}\downarrow$ in byte mode				100	ns
$t_{db}(CH-EH)$ Delay from $SCLK\uparrow$ to $\overline{EODX}/\overline{EODR}\uparrow$ in byte mode				100	ns
$t_d(MH-SL)$ Delay from $MSTR\ CLK\uparrow$ to $SCLK\downarrow$			65		ns
$t_d(MH-SH)$ Delay from $MSTR\ CLK\uparrow$ to $SCLK\uparrow$			65		ns

† Typical values are at $T_A = 25^\circ\text{C}$.

Table 2. Gain Control Table Analog Input Signal Required for Full-Scale A/D Conversion

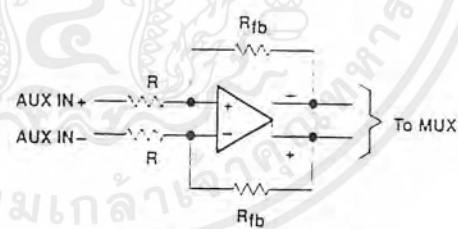
INPUT CONFIGURATIONS	CONTROL REGISTER BITS		ANALOG INPUT†	A/D CONVERSION RESULT
	d6	d7		
Differential configuration Analog input = $IN+ - IN-$ = $AUX\ IN+ - AUX\ IN-$	1	1	= 6 V	Full scale
	0	0		
	1	0	= 3 V	Full scale
	0	1	= 1.5 V	Full scale
Single-ended configuration Analog input = $IN+ - ANLG\ GND$ = $AUX\ IN+ - ANLG\ GND$	1	1	= 3 V	Half scale
	0	0		
	1	0	= 3 V	Full scale
	0	1	= 1.5 V	Full scale

† In this example, V_{ref} is assumed to be 3 V. In order to minimize distortion, it is recommended that the analog input not exceed 0.1 dB below full scale.



$R_{fb} = R$ for $d6 = 1, d7 = 1$
 $d6 = 0, d7 = 0$
 $R_{fb} = 2R$ for $d6 = 1, d7 = 0$
 $R_{fb} = 4R$ for $d6 = 0, d7 = 1$

Figure 1. $IN+$ and $IN-$ Gain Control Circuitry



$R_{fb} = R$ for $d6 = 1, d7 = 1$
 $d6 = 0, d7 = 0$
 $R_{fb} = 2R$ for $d6 = 1, d7 = 0$
 $R_{fb} = 4R$ for $d6 = 0, d7 = 1$

Figure 2. $AUX\ IN+$ and $AUX\ IN-$ Gain Control Circuitry

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

- ประสิทธิ์ ประพัฒน์มงคลการ. หลักการระบบสื่อสาร. กรุงเทพฯ : เอช เอ็น การพิมพ์. 2533
- วิสันต์ อาษาเดโชพล & Advanced Engineering Group. ระบบโทรศัพท์ดิจิทัล. กรุงเทพฯ : หจก
สำนักพิมพ์ฟิสิกส์เซ็นเตอร์. 2536
- Microprocessor Development System, TMS320C2x DSP Starter Kit User's Guide, Texas : Texas
Instruments Incorporated. 1994
- Digital Signal Processing Products. TMS320C2x User's Guide. Texas : Texas Instruments
Incorporated. 1994
- Microprocessor Development System, TMS320C5x DSP Starter Kit User's Guide, Texas : Texas
Instruments Incorporated. 1993
- Digital Signal Processing Products. TMS320C5x User's Guide. Texas : Texas Instruments
Incorporated. 1993
- George Troullinos. et. al. Theory and Implementation of a Splitband Modem Using the TMS 320
10. Texas : Texas Instruments Incorporated. 1997

ประวัติผู้แต่ง



ชื่อผู้ทำปฏิญยานิพนธ์	นายเกรียงศักดิ์ ประเสริฐศิลป์
วันเดือนปีเกิด	18 พฤศจิกายน 2518
สถานที่เกิด	จังหวัดราชบุรี
ภูมิลำเนาเดิม	จังหวัดราชบุรี
ที่อยู่ปัจจุบัน	9 หมู่ 10 ตำบลท่าเคย อำเภอสวนผึ้ง จังหวัดราชบุรี 70180
โทรศัพท์	01-9226080
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนชุมชนบ้านซำป่าหวาย
มัธยมศึกษาตอนต้น	โรงเรียนสวนผึ้งวิทยา
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคราชบุรี
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคราชบุรี
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
คติพจน์	บทสุภาษิตของลักษณะชีวิตที่ดี คือ ตัวอักษรแห่งชีวิต ที่ ได้รับการจารึกไว้ในใจคนนิรันดร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อผู้ทำปฏิญยานิพนธ์	นายวิช วิภาพรรณ
วันเดือนปีเกิด	8 กันยายน 2519
สถานที่เกิด	จังหวัดสงขลา
ภูมิลำเนาเดิม	จังหวัดสตูล
ที่อยู่ปัจจุบัน	เลขที่ 82 หมู่ที่ 12 ตำบลฉลุง อำเภอเมือง จังหวัดสตูล 91140
โทรศัพท์	-
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนเมืองสตูล
มัธยมศึกษาตอนต้น	โรงเรียนพิมานพิทยาสรรค์
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคสตูล
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคหาดใหญ่
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม อุดมการณ์เหนือสิ่งใด
คติพจน์	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อผู้ทำปริญญาบัตร	นายสุนทร ชุมศรี
วันเดือนปีเกิด	11 กุมภาพันธ์ 2519
สถานที่เกิด	จังหวัดพังงา
ภูมิลำเนาเดิม	จังหวัดพังงา
ที่อยู่ปัจจุบัน	24 หมู่ที่ 6 ตำบล มะรุ่ย อำเภอ ทับปุด จังหวัด พังงา 82080
โทรศัพท์	(01) 607-9205, (01) 891-3340
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนศึกษาสงเคราะห์เขาพนม
มัธยมศึกษาตอนต้น	โรงเรียนท้ายเหมืองวิทยา
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคพังงา
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคตรัง
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
คติพจน์	พัฒนาตนเอง เพื่อ พัฒนาถิ่นฐาน สังคม ชาติ ไทย คือสำนึกที่ต้องปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อผู้ทำปฏิญานិพนธ์

นายอนุชิต กุรมาภีร์

วันเดือนปีเกิด

27 พฤษภาคม 2519

สถานที่เกิด

จังหวัดภูเก็ต

ภูมิลำเนาเดิม

จังหวัดภูเก็ต

ที่อยู่ปัจจุบัน

26/3 ถนนแม่หลวน ตำบลตลาดเหนือ
อำเภอเมือง จังหวัดภูเก็ต

โทรศัพท์

ประวัติการศึกษา

ประถมศึกษา

โรงเรียนธรรมสุภาภักดี

มัธยมศึกษาตอนต้น

โรงเรียนภูเก็ตวิทยาลัย

ประกาศนียบัตรวิชาชีพ (ปวช.)

วิทยาลัยเทคนิคภูเก็ต

ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)

วิทยาลัยเทคนิคภูเก็ต

ปริญญาตรี

สาขาวิชาวิศวกรรมโทรคมนาคม

ภาควิชาวิศวกรรมวิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

คติพจน์

สิ่งที่คิด อาจไม่เป็นอย่างที่คิดหากปราศจาก
การกระทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้