



ภาควิชาครุศาสตร์วิศวกรรม
 คณะครุศาสตร์อุตสาหกรรม
 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 ใบรับรองปริญญาโท

ชื่อหัวข้อ ดิจิตอลออสซิลโลสโคป
 Digital Oscilloscope

ชื่อนักศึกษา 1. นายปรีชาพล จันทะมุงคุณ รหัสประจำตัว 43035379
 2. นางสาวปานฤทัย นะวะมวัฒน์ รหัสประจำตัว 43035381
 3. นายอภิสิทธิ์ ใหม่วงษ์ รหัสประจำตัว 43035401
 4. นายวรพงษ์ ขาวยังยืน รหัสประจำตัว 43035617

หลักสูตร ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชา อิเล็กทรอนิกส์และคอมพิวเตอร์

อาจารย์ที่ปรึกษา อาจารย์สุชิน อาจารย์หาญ

อาจารย์ที่ปรึกษาร่วม อาจารย์อมรชัย ชัยชนะ

คณะกรรมการสอบปริญญาโท	ลายมือชื่อ
1. อาจารย์สุชิน อาจารย์หาญ	
2. อาจารย์อมรชัย ชัยชนะ	
3. อาจารย์ไพบุลย์ พวงวงศ์ตระกูล	
4. อาจารย์ปิยะ ศุภรวิวัฒน์	
5. อาจารย์สุระชัย พิมพ์สาลี	

วัน/เดือน/ปีที่สอบ วันพฤหัสบดีที่ 22 พฤศจิกายน พ.ศ. 2544 เวลา 10.00 น.

สถานที่สอบ ห้อง ค.311 คณะครุศาสตร์อุตสาหกรรม สจล.

ภาควิชารับรองแล้ว

ลงนาม.....

(ผศ.วิสุทธิ์ อธิพรธรรม)

หัวหน้าภาควิชาครุศาสตร์วิศวกรรม

วันที่.....เดือน.....ปี.....



<BT4402102>

ดิจิตอลออสซิลโลสโคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

ดิจิทัลออสซิลโลสโคป

DIGITAL OSCILLOSCOPE



นายปรีชาพล จันทะมุงคุณ
นางสาวปานฤทัย นวะระมวัฒน์
นายอภิสิทธิ์ ไหมวงษ์
นายวรพงษ์ ขาวยั้งยืน

เลขหน้.....
เลขทะเบียน..... 43147
วัน, เดือน, ปี..... 23 ก.ค. 2545

b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์

ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง ดิจิตอลออสซิลโลสโคป

Digital Oscilloscope

วัตถุประสงค์

1. เพื่อศึกษาการทำงานของดิจิตอลออสซิลโลสโคป
2. เพื่อออกแบบวงจรดิจิตอลออสซิลโลสโคป
3. เพื่อสร้างดิจิตอลออสซิลโลสโคป
4. เพื่อทดลองดิจิตอลออสซิลโลสโคป
5. เพื่อนำดิจิตอลออสซิลโลสโคปไปใช้งาน

ประโยชน์ที่คาดว่าจะได้รับ

1. มีความรู้ความเข้าใจเกี่ยวกับทฤษฎีและการทำงานของดิจิตอลออสซิลโลสโคป
2. ได้วงจรต้นแบบของดิจิตอลออสซิลโลสโคปโดยใช้เครื่องรับโทรทัศน์แสดงผล
3. ได้เครื่องต้นแบบของดิจิตอลออสซิลโลสโคปโดยใช้เครื่องรับโทรทัศน์แสดงผล
4. ได้ผลการทดลองของดิจิตอลออสซิลโลสโคปโดยใช้เครื่องรับโทรทัศน์แสดงผล
5. ได้ดิจิตอลออสซิลโลสโคปไปใช้งานโดยใช้เครื่องรับโทรทัศน์แสดงผล

I

ชื่อหัวข้อ	ดิจิตอลออสซิลโลสโคป	
นักศึกษา	นายปรีชาพล	จันทะมุงคุณ
	นางสาวปานฤทัย	นะวะมวัฒน์
	นายอภิสิทธิ์	ใหม่วงษ์
	นายวรพงษ์	ขาวยังยืน
อาจารย์ปรึกษา	อาจารย์สุชิน	อาจหาญ
อาจารย์ที่ปรึกษาร่วม	อาจารย์อมรชัย	ชัยชนะ
หลักสูตร	ครุศาสตร์อุตสาหกรรมบัณฑิต	
สาขาวิชา	อิเล็กทรอนิกส์และคอมพิวเตอร์	
ปีการศึกษา	2544	

บทคัดย่อ

ปฏิญานิพนธ์ฉบับนี้ เสนอดิจิตอลออสซิลโลสโคป (Digital Oscilloscope) ซึ่งเป็นเครื่องวัดสัญญาณที่ทำการวัดได้ทั้งสัญญาณไฟฟ้ากระแสตรง และสัญญาณไฟฟ้ากระแสสลับ โดยมีความถี่สูงสุดที่ทำการวัดได้ 300 กิโลเฮิร์ตซ์ และจะมีค่าความผิดพลาดน้อยเมื่อทำการวัดสัญญาณที่มีความถี่สูง สามารถวัดสัญญาณได้พร้อมกัน 2 ช่อง ปรับย่านการวัดได้ 5 ระดับ ปรับฐานเวลาได้ 8 ช่วง หลักการทำงานของดิจิตอลออสซิลโลสโคป คือ ทำการแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอลเพื่อนำไปเก็บในหน่วยความจำการสุ่มข้อมูล จากนั้นจึงทำการอ่านออกมาสร้างเป็นตำแหน่งในการเขียนลงหน่วยความจำแสดงผล และอ่านข้อมูลออกมาผสมกับสัญญาณภาพรวมเป็นสัญญาณภาพวิดีโอ (Audio Video) เพื่อให้สามารถแสดงผลทางเครื่องรับโทรทัศน์ ซึ่งจากผลการทดลองใช้ดิจิตอลออสซิลโลสโคปวัดสัญญาณจะมีความผิดพลาดไม่เกิน ± 15 เปอร์เซ็นต์ เมื่อเทียบกับผลการวัดด้วยดิจิตอลออสซิลโลสโคปที่ใช้งานจริง

II

Thesis Title	Digital Oscilloscope
Students	Mr. Preechapon Chantamoongkoon Miss Panruthai Nawamawat Mr. Apisit Maiwong Mr. Worapong Khawyangyuen
Advisor	Mr. Suchin Adhan
Co-Advisor	Mr. Amornchai Chaichana
Education	Bachelor of Science in Industrial Education
Program in	Electronics and Computer
Academic Year	2001

ABSTRACT

This thesis presents the project of Digital Oscilloscope which can measure Direct current and Alternating current. with frequency maximum at 300 kHz. The Digital Oscilloscope consists of 2 input channels, 5 level of Vol/Div and 8 level Time/Div. The principle of Digital Oscilloscope is changing the analogs to digital signals and write these sampling signals to RAM. Then the control unit will read the data and convert to the appropriate Addresses for writing to video RAM. After that the data in video RAM is read to modulate with sync signals and display on television. This Digital Oscilloscope has the error at $\pm 15\%$ when compare to commercial Oscilloscope.

กิตติกรรมประกาศ

ปริญญาบัตรฉบับนี้สามารถสำเร็จลุล่วงไปได้ด้วยดีนั้น คณะผู้จัดทำขอขอบคุณอาจารย์ที่ปรึกษา อาจารย์สุชิน อาจหาญ อาจารย์อมรชัย ชัยชนะ และอาจารย์ในภาควิชาครุศาสตร์วิศวกรรมทุกท่าน ที่ได้ให้คำปรึกษา ข้อเสนอแนะ และแนวทางแก้ไขปัญหาต่างๆ รวมทั้งรุ่นพี่ครุศาสตร์วิศวกรรมทุกคนที่ให้ความช่วยเหลือ เอื้อเฟื้ออุปถัมภ์ ข้อมูลต่างๆ และกำลังใจที่ดีเสมอมา และที่สำคัญที่สุดขอขอบพระคุณบิดา-มารดา ที่ให้โอกาสที่ดีที่สุดมาทั้งชีวิต ให้การส่งเสริมทางการศึกษาเป็นอย่างดี ให้ความรัก ความเอาใจใส่ และกำลังใจที่ดีที่สุดตลอดมา คณะผู้จัดทำขอระลึกถึงด้วยหัวใจทั้งหมดไว้ ณ ที่นี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VII
สารบัญรูป	VIII
บทที่ 1 บทนำ	1
1.1 กล่าวนำ	1
1.2 ชี้ความสามารถของโครงงาน	1
1.3 เนื้อหาโดยสังเขป	2
บทที่ 2 ทฤษฎี และหลักการ	3
2.1 ทฤษฎีของโทรทัศน์เบื้องต้น	3
2.1.1 ส่วนประกอบของภาพ	3
2.1.2 วิธีการสแกน และหักเหของลำอิเล็กตรอน	3
2.1.3 เครื่องส่ง และเครื่องรับโทรทัศน์	4
2.1.4 สัญญาณโทรทัศน์	4
2.2 ทฤษฎี และหลักการทำงานของดิจิทัลออสซิลโลสโคป	8
2.2.1 ลักษณะการทำงานทั่วไปของดิจิทัลออสซิลโลสโคป	8
2.2.2 ออสซิลโลสโคปเก็บภาพแบบดิจิทัล	9
2.3 หลักการสุ่มสัญญาณ	11
2.4 หลักการแปลงสัญญาณแอนะล็อกเป็นดิจิทัล	16
2.5 โมโนสเตเบิลิตีไวด์เบรเตอร์	18
2.6 หน่วยความจำ	20
2.6.1 หน่วยความจำแรม	20
2.6.2 หน่วยความจำรอม	21
2.7 ไมโครคอนโทรลเลอร์ ตระกูล MCS-51	22
2.8 ไอซี 8255	26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
2.8.1 การใช้งานขาต่างๆ	27
บทที่ 3 การออกแบบ การสร้าง และการทำงาน	31
3.1 การออกแบบวงจร	31
3.2 การสร้าง และการทำงาน	33
3.2.1 วงจรลดทอนและขยายสัญญาณ	33
3.2.2 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล	35
3.2.3 วงจรตรวจสอบขอบขาขึ้นของสัญญาณ	37
3.2.4 วงจรกำเนิดความถี่	39
3.2.5 วงจรควบคุมการทำงาน	40
3.2.6 วงจรนับตำแหน่งหน่วยความจำการสุ่มข้อมูล	45
3.2.7 วงจรนับตำแหน่งขนาด 512 ตำแหน่ง	46
3.2.8 วงจรหน่วยความจำการสุ่มข้อมูล	47
3.2.9 วงจรสร้างสัญญาณการเขียนหน่วยความจำแสดงผล	48
3.2.10 วงจรหน่วยความจำแสดงผล	49
3.2.11 วงจรวงจรมับตำแหน่งขนาด 2,048 ตำแหน่ง (2 กิโลไบต์)	51
3.2.12 วงจรกำเนิดสัญญาณภาพ	52
3.2.13 วงจรผสมสัญญาณภาพ	55
บทที่ 4 การทดลองและผลการทดลอง	58
4.1 การทดลองวงจรลดทอนและขยายสัญญาณ	58
4.1.1 ผลการทดลองวงจรลดทอนและขยายสัญญาณ	58
4.2 การทดลองกำเนิดความถี่	62
4.2.1 ผลการทดลองวงจรมับตำแหน่ง	62
4.3 การทดลองวงจรผลิตสัญญาณภาพ	66
4.3.1 ผลการทดลองวงจรผลิตสัญญาณภาพ	66
4.4 การทดลองวัดสัญญาณโดยใช้เครื่องรับโทรทัศน์แสดงผล	68
4.4.1 ผลการทดลองวัดสัญญาณ โดยใช้เครื่องรับโทรทัศน์แสดงผล	68

สารบัญ (ต่อ)

เรื่อง	หน้า
บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา	79
5.1 บทสรุป	79
5.2 ปัญหา และแนวทางแก้ไข	81
5.3 แนวทางในการพัฒนา	82
ภาคผนวก ก เครื่องต้นแบบ	83
ภาคผนวก ข วงจร และแผ่นวงจรพิมพ์	86
ภาคผนวก ค ผังการทำงาน และ โปรแกรม	111
ภาคผนวก ง รายการอุปกรณ์	117
ภาคผนวก จ รายละเอียด และคุณสมบัติของอุปกรณ์	122
บรรณานุกรม	150
ประวัติผู้แต่ง	151

สารบัญตาราง

ตาราง	หน้า
ตารางที่ 2.1 ตารางความจริงของวงจร โมโนสเตเบิลมัลติไวเบรเตอร์ แบบใช้ไอซีเบอร์ 74121	6
ตารางที่ 2.2 แสดงการเลือกพอร์ตของ 8255	29
ตารางที่ 3.1 ตารางการคำนวณอัตราขยายสัญญาณ	34
ตารางที่ 3.2 หน้าที่ของขาสัญญาณของพอร์ต P3	41
ตารางที่ 3.3 หน้าที่ของขาสัญญาณของพอร์ต P2	42
ตารางที่ 3.4 การเลือกพอร์ตการทำงานของ 8255	43
ตารางที่ 4.1 ผลการทดลองวงจรลดทอน และขยายสัญญาณ	58
ตารางที่ 4.2 การทดลองวงจรกำเนิดความถี่	63
ตารางที่ 4.3 การทดลองวัดสัญญาณโดยใช้เครื่องรับโทรทัศน์แสดงผล	68
ตารางที่ 5.1 การวัดสัญญาณอินพุตรูปคลื่นไซน์	80
ตารางที่ 5.2 การวัดสัญญาณอินพุตรูปสามเหลี่ยม	80
ตารางที่ 5.3 การวัดสัญญาณอินพุตรูปสี่เหลี่ยม	81

สารบัญรูป

รูป	หน้า
รูปที่ 2.1 การเคลื่อนที่หักเหของลำอิเล็กตรอนในจังหวะที่ถูกต้อง	3
รูปที่ 2.2 การหักเหของลำอิเล็กตรอน โดยอาศัยสนามแม่เหล็กไฟฟ้าช่วยเหลือ	4
รูปที่ 2.3 ความถี่ของกระแสรูปฟันเลื่อยในวงจรการหักเหทางแนวนอน และวงจรการหักเหทางแนวตั้งทางด้านเครื่องส่งและเครื่องรับโทรทัศน์	5
รูปที่ 2.4 การสแกนสองครั้งสำหรับภาพนิ่ง โดยแบ่งหนึ่งเฟรมออกเป็นสองฟิลด์	6
รูปที่ 2.5 รูปร่างของสัญญาณ โทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบ	7
รูปที่ 2.6 หลักการทำงานของดิจิตอลออสซิลโลสโคป	8
รูปที่ 2.7 หลักการสุ่มตัวอย่างสัญญาณและเก็บรักษาของออสซิลโลสโคปแบบดิจิตอล	9
รูปที่ 2.8 หลักการแปลงข้อมูลจากหน่วยความจำ เพื่อแสดงบนหลอด CRT	10
รูปที่ 2.9 ผังการทำงานตามแนวความคิดของทฤษฎีการแซมปลิง	11
รูปที่ 2.10 จุดการแซมปลิง และค่าแซมเปิ้ล	12
รูปที่ 2.11 อิมพัลส์เรสปอนส์	15
รูปที่ 2.12 แฟลชคอนเวเตอร์	16
รูปที่ 2.13 สแกนคอนเวเตอร์	17
รูปที่ 2.14 แผนผังของวงจร โมโนสเตเบิลมัลติไวเบรเตอร์ และสัญญาณอินพุต เอาต์พุต	18
รูปที่ 2.15 วงจร โมโนสเตเบิลมัลติไวเบรเตอร์ใช้ไอซีเบอร์ 74121	19
รูปที่ 2.16 เซลล์ความจำ และวงจรติดต่อกับภายนอก	21
รูปที่ 2.17 แผนผังการทำงาน โครงสร้างของ 8051	22
รูปที่ 2.18 แผนภูมิหน่วยความจำของ 8051	25
รูปที่ 2.19 โครงสร้างของไอซี 8255	27
รูปที่ 3.1 แผนผังการทำงานของดิจิตอลออสซิลโลสโคป	31
รูปที่ 3.2 วงจรลดทอนสัญญาณ	33
รูปที่ 3.3 วงจรขยายสัญญาณ	33
รูปที่ 3.4 วงจรปรับระดับทางแนวตั้ง	34
รูปที่ 3.5 วงจรลดทอน และขยายสัญญาณ	35
รูปที่ 3.6 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอล	36
รูปที่ 3.7 วงจรควบคุมการนับตำแหน่งการสุ่มสัญญาณ	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ 3.8 วงจรตรวจสอบขอขมาขึ้นของสัญญาณ	38
รูปที่ 3.9 วงจรกำเนิดความถี่	39
รูปที่ 3.10 วงจรควบคุมการทำงาน	40
รูปที่ 3.11 วงจรแสดงผล Time / Div	42
รูปที่ 3.12 วงจรสวิตช์เลือก Time / Div	43
รูปที่ 3.13 วงจรสวิตช์หยุดสัญญาณ	44
รูปที่ 3.14 วงจรนับตำแหน่งหน่วยความจำการสุ่มข้อมูล	45
รูปที่ 3.15 วงจรนับตำแหน่งขนาด 512 ตำแหน่ง	46
รูปที่ 3.16 วงจรหน่วยความจำการสุ่มข้อมูล	47
รูปที่ 3.17 วงจรสร้างตำแหน่งการเขียนหน่วยความจำแสดงผล	48
รูปที่ 3.18 วงจรหน่วยความจำแสดงผลชุดที่ 1	49
รูปที่ 3.19 วงจรหน่วยความจำแสดงผลชุดที่ 2	50
รูปที่ 3.20 วงจรนับตำแหน่งขนาด 131,072 ตำแหน่ง	51
รูปที่ 3.21 วงจรกำเนิดสัญญาณภาพรวม	52
รูปที่ 3.22 คาบเวลาของข้อมูลในการสร้างสัญญาณภาพรวม	53
รูปที่ 3.23 วงจรสร้างสัญญาณลบเส้นสลับกลับทางแนวตั้ง	54
รูปที่ 3.24 วงจรสร้างสัญญาณอ่านข้อมูลจากหน่วยความจำแสดงผล	55
รูปที่ 3.25 วงจรผสมสัญญาณภาพ	55
รูปที่ 3.26 ผังการทำงานของโปรแกรม	57
รูปที่ 4.1 ผลการวัดสัญญาณความถี่ 1 กิโลเฮิร์ตซ์ ย่านการวัด X 0.5	59
รูปที่ 4.2 ผลการวัดสัญญาณความถี่ 1 กิโลเฮิร์ตซ์ ย่านการวัด X 0.2	59
รูปที่ 4.3 ผลการวัดสัญญาณความถี่ 100 กิโลเฮิร์ตซ์ ย่านการวัด X 0.2	60
รูปที่ 4.4 ผลการวัดสัญญาณความถี่ 100 กิโลเฮิร์ตซ์ ย่านการวัด X 5	60
รูปที่ 4.5 ผลการวัดสัญญาณความถี่ 1 กิโลเฮิร์ตซ์ ย่านการวัด X 10	61
รูปที่ 4.6 ผลการวัดสัญญาณความถี่ 1 เมกะเฮิร์ตซ์ ย่านการวัด X 1 ลดทอน 10 เท่า	61
รูปที่ 4.7 ผลการวัดสัญญาณความถี่ 3 เมกะเฮิร์ตซ์ ย่านการวัด X 1 ลดทอน 10 เท่า	62
รูปที่ 4.8 ผลการวัดสัญญาณวงจรมกำเนิดความถี่ 10 เมกะเฮิร์ตซ์	63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ 4.9 ผลการวัดสัญญาณวงจรกำเนิดความถี่ 500 กิโลเฮิร์ตซ์	64
รูปที่ 4.10 ผลการวัดสัญญาณวงจรกำเนิดความถี่ 100 กิโลเฮิร์ตซ์	64
รูปที่ 4.11 ผลการวัดสัญญาณวงจรกำเนิดความถี่ 50 กิโลเฮิร์ตซ์	65
รูปที่ 4.12 ผลการวัดสัญญาณวงจรกำเนิดความถี่ 10 กิโลเฮิร์ตซ์	65
รูปที่ 4.13 ผลการวัดสัญญาณวงจรกำเนิดความถี่ 500 เฮิร์ตซ์	66
รูปที่ 4.14 ผลการวัดสัญญาณภาพรวมด้วยออสซิลโลสโคป	67
รูปที่ 4.15 ผลการนำสัญญาณภาพรวมออกทางช่องสัญญาณเอวี	67
รูปที่ 4.16 ผลการทดลองวัดสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 2 เฮิร์ตซ์	69
รูปที่ 4.17 ผลการทดลองวัดสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 100 เฮิร์ตซ์	70
รูปที่ 4.18 ผลการทดลองวัดสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 1 กิโลเฮิร์ตซ์	70
รูปที่ 4.19 ผลการทดลองวัดสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 10 กิโลเฮิร์ตซ์	71
รูปที่ 4.20 ผลการทดลองวัดสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 100 กิโลเฮิร์ตซ์	71
รูปที่ 4.21 ผลการทดลองวัดสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 300 กิโลเฮิร์ตซ์	72
รูปที่ 4.22 ผลการทดลองวัดสัญญาณรูปคลื่นสี่เหลี่ยมความถี่ 2 เฮิร์ตซ์	72
รูปที่ 4.23 ผลการทดลองวัดสัญญาณรูปคลื่นสี่เหลี่ยมความถี่ 100 เฮิร์ตซ์	73
รูปที่ 4.24 ผลการทดลองวัดสัญญาณรูปคลื่นสี่เหลี่ยมความถี่ 1 กิโลเฮิร์ตซ์	73
รูปที่ 4.25 ผลการทดลองวัดสัญญาณรูปคลื่นสี่เหลี่ยมความถี่ 10 กิโลเฮิร์ตซ์	74
รูปที่ 4.26 ผลการทดลองวัดสัญญาณรูปคลื่นสี่เหลี่ยมความถี่ 100 กิโลเฮิร์ตซ์	74
รูปที่ 4.27 ผลการทดลองวัดสัญญาณรูปคลื่นสี่เหลี่ยมความถี่ 300 กิโลเฮิร์ตซ์	75
รูปที่ 4.28 ผลการทดลองวัดสัญญาณรูปคลื่นซายน์ความถี่ 2 เฮิร์ตซ์	75
รูปที่ 4.29 ผลการทดลองวัดสัญญาณรูปคลื่นซายน์ความถี่ 100 เฮิร์ตซ์	76
รูปที่ 4.30 ผลการทดลองวัดสัญญาณรูปคลื่นซายน์ความถี่ 1 กิโลเฮิร์ตซ์	76
รูปที่ 4.31 ผลการทดลองวัดสัญญาณรูปคลื่นซายน์ความถี่ 10 กิโลเฮิร์ตซ์	77
รูปที่ 4.32 ผลการทดลองวัดสัญญาณรูปคลื่นซายน์ความถี่ 100 กิโลเฮิร์ตซ์	77
รูปที่ 4.33 ผลการทดลองวัดสัญญาณรูปคลื่นซายน์ความถี่ 300 กิโลเฮิร์ตซ์	78

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ ก.1 เครื่องวัดสัญญาณดิจิทัลออสซิลโลสโคปด้านหน้า	84
รูปที่ ก.2 เครื่องวัดสัญญาณดิจิทัลออสซิลโลสโคป	84
รูปที่ ก.3 เครื่องต้นแบบดิจิทัลออสซิลโลสโคป	85
รูปที่ ข.1 วงจรลดทอนสัญญาณ	87
รูปที่ ข.2 วงจรขยายสัญญาณ	87
รูปที่ ข.3 วงจรปรับระดับทางแนวตั้ง	88
รูปที่ ข.4 วงจรลดทอนและขยายสัญญาณ	88
รูปที่ ข.5 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล	89
รูปที่ ข.6 วงจรตรวจสอบขอบขาขึ้นของสัญญาณ	89
รูปที่ ข.7 วงจรควบคุมการนับตำแหน่งการสุ่มข้อมูล	90
รูปที่ ข.8 วงจรกำเนิดความถี่	91
รูปที่ ข.9 วงจรควบคุมการทำงาน	92
รูปที่ ข.10 วงจรแสดงผล Time / Div	92
รูปที่ ข.11 วงจรสวิตช์เลือก Time / Div	93
รูปที่ ข.12 วงจรสวิตช์หยุดสัญญาณ	93
รูปที่ ข.13 วงจรนับตำแหน่งหน่วยความจำการสุ่มข้อมูล	94
รูปที่ ข.14 วงจรนับตำแหน่งขนาด 512 ตำแหน่ง	95
รูปที่ ข.15 วงจรหน่วยความจำการสุ่มข้อมูล	96
รูปที่ ข.16 วงจรสร้างตำแหน่งการเขียนหน่วยความจำแสดงผล	97
รูปที่ ข.17 วงจรหน่วยความจำแสดงผล	98
รูปที่ ข.18 วงจรนับตำแหน่งขนาด 131,072 ตำแหน่ง	99
รูปที่ ข.19 วงจรกำเนิดสัญญาณภาพรวม	100
รูปที่ ข.20 วงจรสร้างสัญญาณลบเส้นสลับกลับทางแนวตั้ง	100
รูปที่ ข.21 วงจรสร้างสัญญาณอ่านข้อมูลจากหน่วยความจำแสดงผล	101
รูปที่ ข.22 วงจรผสมสัญญาณภาพ	101
รูปที่ ข.23 แผ่นพิมพ์ลายวงจรลดทอนและขยายสัญญาณด้านบน	102
รูปที่ ข.24 แผ่นพิมพ์ลายวงจรลดทอนและขยายสัญญาณด้านล่าง	102

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ ข.25 แผ่นพิมพ์ลายวงจรลวดทอนและขยายสัญญาณด้านอุปกรณ์	103
รูปที่ ข.26 แผ่นพิมพ์ลายวงจรถ้าเน็คความถี่ด้านบน	103
รูปที่ ข.27 แผ่นพิมพ์ลายวงจรถ้าเน็คความถี่ด้านล่าง	103
รูปที่ ข.28 แผ่นพิมพ์ลายวงจรถ้าเน็คความถี่ด้านอุปกรณ์	104
รูปที่ ข.29 แผ่นพิมพ์ลายวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลด้านบน	104
รูปที่ ข.30 แผ่นพิมพ์ลายวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลด้านล่าง	104
รูปที่ ข.31 แผ่นพิมพ์ลายวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลด้านอุปกรณ์	105
รูปที่ ข.32 แผ่นพิมพ์ลายวงจรควบคุมการทำงานด้านบน	105
รูปที่ ข.33 แผ่นพิมพ์ลายวงจรควบคุมการทำงานด้านล่าง	103
รูปที่ ข.34 แผ่นพิมพ์ลายวงจรควบคุมการทำงานด้านอุปกรณ์	106
รูปที่ ข.35 แผ่นพิมพ์ลายวงจรหน่วยความจำการสุ่มข้อมูลด้านบน	107
รูปที่ ข.36 แผ่นพิมพ์ลายวงจรหน่วยความจำการสุ่มข้อมูลด้านล่าง	108
รูปที่ ข.37 แผ่นพิมพ์ลายวงจรหน่วยความจำแสดงผลด้านล่าง	109
รูปที่ ข.38 แผ่นพิมพ์ลายวงจรหน่วยความจำการสุ่มข้อมูลด้านอุปกรณ์	110
รูปที่ ข.39 แผ่นพิมพ์ลายวงจรหน่วยความจำแสดงผลด้านอุปกรณ์	110
รูปที่ ค.1 ผังการทำงานของโปรแกรม	112
รูปที่ ค.2 โปรแกรมควบคุมการทำงาน	116

บทที่ 1

บทนำ

1.1 กล่าวนำ

ในปัจจุบันเทคโนโลยีทางด้านอิเล็กทรอนิกส์ (Electronic) และคอมพิวเตอร์ (Computer) ได้พัฒนาไปอย่างรวดเร็ว ซึ่งการทำงานทางด้านอิเล็กทรอนิกส์และคอมพิวเตอร์เหล่านี้ มักเกิดปัญหาจากการทำงานทั้งด้านฮาร์ดแวร์ (Hardware) และซอฟต์แวร์ (Software) ซึ่งปัญหาเหล่านี้ ต้องอาศัยเครื่องมือที่ถูกต้องและแม่นยำในการตรวจสอบและแก้ปัญหา ดังนั้นเครื่องมือที่ใช้ในการวิเคราะห์สัญญาณตรวจสอบความผิดพลาดและแก้ปัญหาจึงมีความจำเป็นอย่างมาก แต่ในปัจจุบัน ทั้งที่เทคโนโลยีทางด้านต่างๆ พัฒนาขึ้นอย่างต่อเนื่อง แต่เครื่องมือที่ใช้วัดและวิเคราะห์สัญญาณส่วนใหญ่ที่ใช้ยังเป็นระบบแอนะล็อก (Analog) ซึ่งไม่อำนวยความสะดวกต่อผู้ใช้เท่ากับเครื่องมือวัดระบบดิจิทัล (Digital) เพราะในระบบดิจิทัลสามารถรักษาคุณภาพสัญญาณได้ดีกว่า และสามารถทำการปรับเปลี่ยนหรือปรับปรุงสัญญาณได้ตามความพอใจ แต่ด้วยความซับซ้อนในการทำงานและต้องใช้อุปกรณ์ที่มีคุณภาพสูง จึงเป็นเครื่องมือที่มีราคาสูงมาก ทำให้ไม่พอเพียงต่อความต้องการของผู้ใช้ แต่ในปัจจุบันนี้ ด้วยวิวัฒนาการทางด้านเทคโนโลยีที่ก้าวหน้าทำให้มีอุปกรณ์ทางด้านอิเล็กทรอนิกส์ที่มีคุณภาพสูงในราคาที่ถูกลงให้เลือกใช้อย่างหลากหลาย ดังนั้นจึงได้พัฒนาเครื่องวัดสัญญาณดิจิทัลออสซิลโลสโคปขึ้นมา เพื่อให้เพียงพอต่อความต้องการและอำนวยความสะดวกแก่ผู้ใช้งาน อีกทั้งยังเป็นแนวทางในการพัฒนาขีดความสามารถของดิจิทัลออสซิลโลสโคปเพื่อใช้งานต่อไป

1.2 ขีดความสามารถของโครงการ

โครงการนี้มีขีดความสามารถดังนี้

- 1) สามารถรับสัญญาณทางอินพุตได้ 2 ช่องสัญญาณ
- 2) สามารถปรับย่านการวัดทางแรงดันได้ 5 ระดับ คือ 0.5 โวลต์, 1 โวลต์, 2 โวลต์, 5 โวลต์ และ 10 โวลต์
- 3) สามารถปรับย่านการวัดทางเวลาได้ 8 ระดับ คือ 5 ไมโครวินาที, 10 ไมโครวินาที, 100 ไมโครวินาที, 500 ไมโครวินาที, 1 มิลลิวินาที, 5 มิลลิวินาที, 10 มิลลิวินาที และ 100 มิลลิวินาที
- 4) สามารถแสดงผลการวัดออกทางจอโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 เนื้อหาโดยสังเขป

เนื้อหาภายในปฏิญานิพนธ์ฉบับนี้แบ่งออกเป็นบทต่างๆ เพื่อสะดวกต่อการศึกษา และทำความเข้าใจ ในแต่ละบทจะประกอบด้วยเนื้อหาดังต่อไปนี้

บทที่ 1 บทนำ ความเป็นมา และความสำคัญของปฏิญานิพนธ์, ชี้ความสามารถของโครงการ และเนื้อหาโดยสังเขป

บทที่ 2 ทฤษฎีและหลักการ ประกอบด้วยเนื้อหาดังนี้ คือ ทฤษฎีโทรทัศน์เบื้องต้น, หลักการของดิจิทัลออสซิลโลสโคป, หลักการสุ่มสัญญาณ, หลักการแปลงสัญญาณแอนะล็อกเป็นดิจิทัล, วงจรโมโนสเตเบิลมัลติไวเบรเตอร์, หน่วยความจำ, ไมโครคอนโทรลเลอร์ เบอร์ 8051 และไอซีพอร์ตขนานเบอร์ 8255

บทที่ 3 การออกแบบ การสร้าง และการทำงาน เป็นเนื้อหาโดยละเอียด ตั้งแต่ขั้นตอนการออกแบบ วงจรในส่วนต่างๆ ตลอดไปจนถึงการนำวงจรในส่วนต่างๆ มาประกอบกันเพื่อให้สามารถทำงานร่วมกันได้

บทที่ 4 การทดลองและผลการทดลอง ซึ่งประกอบด้วย การทดลองและผลการทดลองของวงจรลดทอนและขยายสัญญาณ, วงจรกำเนิดความถี่, วงจรกำเนิดสัญญาณภาพรวม, วงจรผสมสัญญาณภาพ และผลการทดลองใช้ดิจิทัลออสซิลโลสโคปวัดสัญญาณต่างๆ

บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา ขั้นการสรุป ในการจัดทำโครงการปัญหาที่เกิดขึ้น และได้เสนอแนวทางในการแก้ไขปัญหา รวมทั้งแนวทางในการพัฒนาโครงการให้มีประสิทธิภาพมากยิ่งขึ้น

ภาคผนวก ก เครื่องต้นแบบ

ภาคผนวก ข วงจร และแผ่นวงจรพิมพ์

ภาคผนวก ค ผังการทำงาน และ โปรแกรม

ภาคผนวก ง รายการอุปกรณ์

ภาคผนวก จ รายละเอียด และคุณสมบัติของอุปกรณ์

บทที่ 2

ทฤษฎี และหลักการ

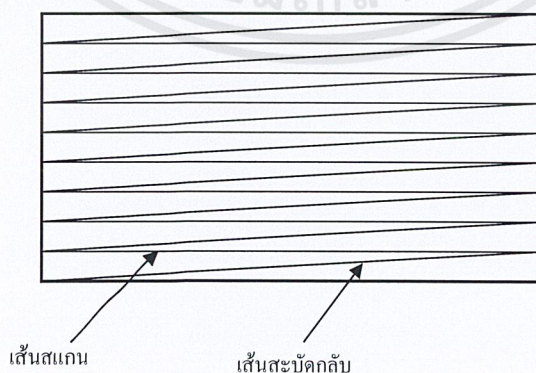
2.1 ทฤษฎีของโทรทัศน์เบื้องต้น

2.1.1 ส่วนประกอบของภาพ

ภาพที่ปรากฏบนจอหลอดภาพของเครื่องรับโทรทัศน์นั้นประกอบด้วยเส้นขวางเล็กๆจำนวนมาก ซึ่งแต่ละเส้นนี้มีหน้าที่ด้านนิท, ส่วนที่ด้านข้าง และส่วนที่ด้านมากรวมกันอยู่ เส้นขวางเล็กๆตามแนวนอนนี้เรียกว่า เส้นสแกน (Line) ซึ่งประกอบส่วนที่เป็นจุดเล็กๆ ที่มีทั้งมืด และสว่างปะปนกัน ดังนั้น ภาพที่ปรากฏบนจอภาพจึงประกอบขึ้นด้วยจุดเล็กๆ ที่มีระดับของความสว่างแตกต่างกันเป็นจำนวนมากมาย จุดเล็กๆ เหล่านี้เรียกว่า ส่วนประกอบของภาพ (Picture Elements) ซึ่งมีความสัมพันธ์กับความละเอียดของภาพมาก หากจำนวนจุดเล็กๆ หรือ จำนวนเส้นสแกนในแนวนอนมีมากยิ่งขึ้นเพียงไร ภาพที่เห็นบนจอภาพจะมีความละเอียดมากขึ้นเท่านั้น

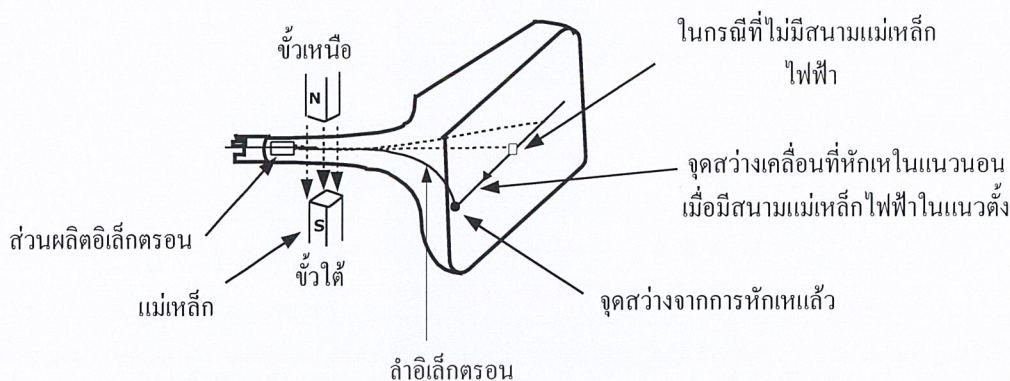
2.1.2 วิธีการสแกน และหักเหของลำอิเล็กตรอน

ภายในหลอดภาพของเครื่องรับโทรทัศน์ อิเล็กตรอน (Electron) ที่หลุดออกจากขั้วแคโทด (Cathode) จะถูกดึงดูดให้วิ่งเป็นลำไปกระทบขั้วแอโนด (Anode) หรือ จอหลอดภาพที่ฉาบวัสดุเรืองแสงบางชนิดเอาไว้ทำให้เห็นเป็นจุดสว่างขึ้นที่จอภาพ คือ ทำให้จุดสว่างเคลื่อนในจุดที่ถูกต้องทั้งในแนวนอน และแนวตั้งของจอหลอดภาพ โดยอาศัยความเข้มของสนามแม่เหล็กไฟฟ้าเข้าช่วยเหลือ ดังแสดงในรูปที่ 2.1 และรูปที่ 2.2



รูปที่ 2.1 การเคลื่อนที่หักเหของลำอิเล็กตรอนในจังหวะที่ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 การหักเหของลำอิเล็กตรอน โดยอาศัยสนามแม่เหล็กไฟฟ้าช่วยเหลือ

ดังนั้นการสแกน (Scan) ภาพนิ่ง จะประกอบด้วย การสแกนภาพนิ่งฟิลด์ (Field) เส้นคี่ และการสแกนภาพนิ่งฟิลด์เส้นคู่ ความถี่ของกระแสสำหรับหักเหทางแนวนอน และทางแนวตั้ง

2.1.3 เครื่องส่ง และเครื่องรับโทรทัศน์

เครื่องส่ง และเครื่องรับโทรทัศน์ต้องมีการสแกนทั้งทางแนวนอน และแนวตั้งพร้อมกัน จึงจะมีภาพเกิดขึ้นที่เครื่องรับโทรทัศน์ แสดงลักษณะการสแกนดังรูปที่ 2.1 และรูปที่ 2.2 ดังนั้น ความถี่ของวงจรของการหักเหทางแนวนอน และแนวตั้งที่ใช้ในเครื่องส่งโทรทัศน์ และในเครื่องรับโทรทัศน์จะต้องเท่ากันตลอดเวลาจึงทำให้เกิดภาพที่เครื่องรับโทรทัศน์ ด้วยเหตุนี้ ต้องมีวิธีทำให้ ความถี่ของวงจรดังกล่าวทางเครื่องส่ง และเครื่องรับเท่ากันตลอดเวลา

2.1.4 สัญญาณโทรทัศน์

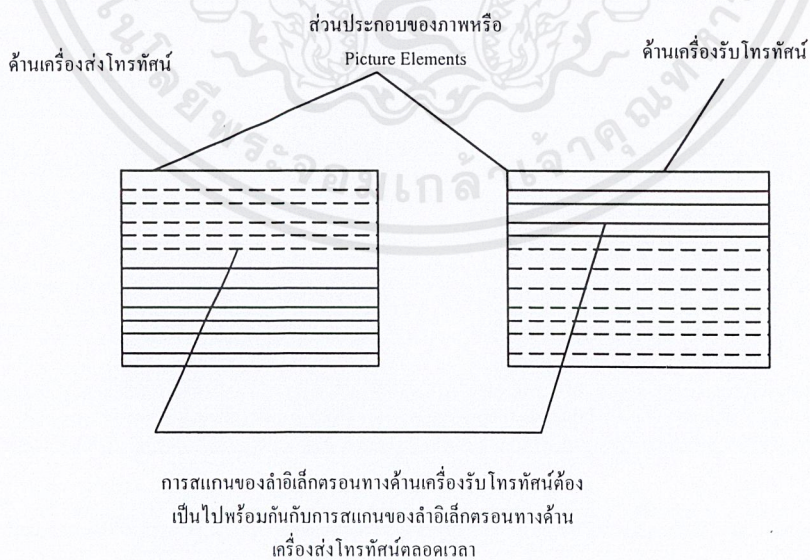
การส่งภาพขาวดำ จำเป็นต้องส่งสัญญาณหลายอย่าง คือ สัญญาณเสียง สัญญาณภาพ สัญญาณแบล็งค์กิ้ง (Blanking) สัญญาณซิงค์ (Synchronize) และสัญญาณอีควอลไลซิง (Equalizing) เพื่อให้การส่งมีประสิทธิภาพ และเครื่องรับสามารถรับภาพได้อย่างถูกต้อง สัญญาณเสียงมีคลื่นพาห์ (Carrier Wave) ของตัวเองโดยเฉพาะ ส่วนสัญญาณภาพ และสัญญาณอื่นๆ นั้นจะถูกรวมเป็นรูปร่างเดียวกัน ซึ่งเรียกว่าสัญญาณภาพรวม (Composite Video Signal) แล้วใช้คลื่นพาห์เป็นตัวพาออกอากาศรวมกับคลื่นพาห์ของเสียงส่งไปยังเครื่องรับโทรทัศน์เหตุผล และความจำเป็นในการใช้สัญญาณต่างๆ มีดังนี้

- 1) สัญญาณภาพ และสัญญาณเสียง เป็นสัญญาณที่ใช้เพื่อทำให้เกิดภาพ และเสียงทางเครื่องรับโทรทัศน์ตามความต้องการ
- 2) สัญญาณแบล็งค์กิ้ง เป็นสัญญาณที่ถูกส่งมาเพื่อใช้ลบเส้นสแกนสะบัดกลับทั้งในแนวนอน และแนวตั้ง เพื่อมิให้สังเกตเห็นได้ชัดทางจอหลอดภาพ

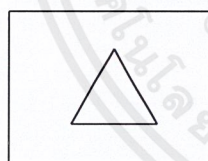
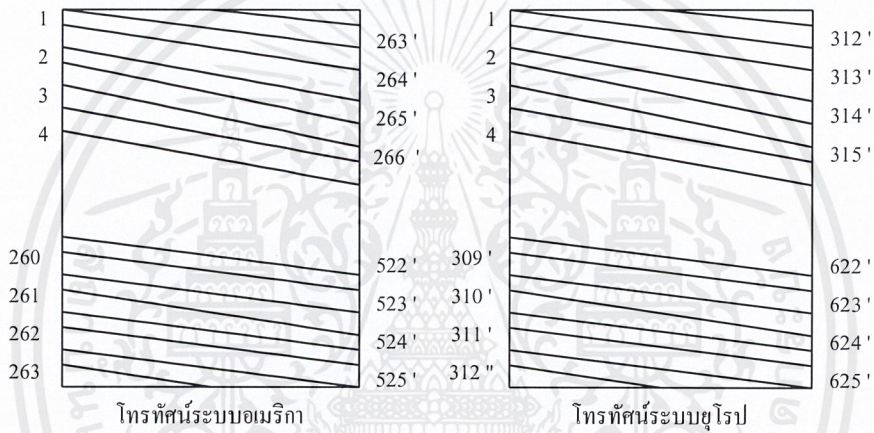
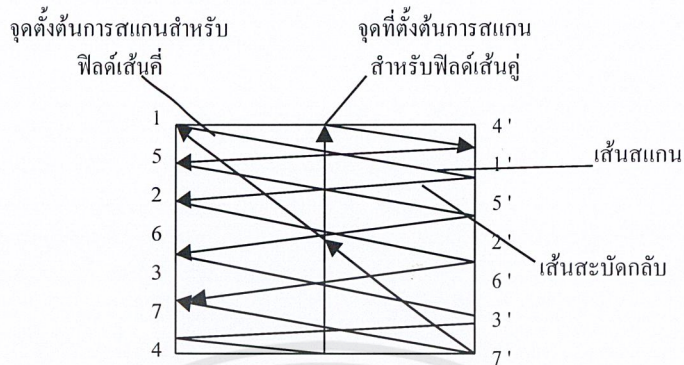
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) สัญญาณซิงค์ เป็นสัญญาณที่ถูกส่งมาเพื่อทำให้วงจรการหักเหทางแนวนอน และวงจรการหักเหทางแนวตั้งในเครื่องส่ง และเครื่องรับโทรทัศน์มีความถี่ตรงกันเสมอ สัญญาณซิงค์ทางแนวนอนมีความถี่ 15,750 เฮิรตซ์ (Hertz) เท่ากับความถี่ของวงจรหักเหทางแนวนอน และสัญญาณซิงค์ทางแนวตั้งมีความถี่ประมาณ 60 เฮิรตซ์ ซึ่งเท่ากับความถี่ของวงจรหักเหทางแนวตั้ง เนื่องจากความถี่ของสัญญาณซิงค์มีค่าเท่ากับความถี่ของสัญญาณแบล็งค์กึ่งพอดิ จึงต้องป้องกันการรบกวนที่เกิดขึ้น โดยการกำหนดขนาดของซิงค์พัลส์ (Synchronize Pulse) ให้น้อยกว่าขนาดของแบล็งค์กึ่งพัลส์ (Blanking Pulse) คือ ทำให้ซิงค์พัลส์ทางด้านแนวนอนมีขนาด 5 ไมโครวินาที (Microsecond) และซิงค์พัลส์ด้านแนวตั้งมีขนาด 190 ไมโครวินาที เท่านั้น นอกจากนี้ ยังวิธีส่งพัลส์เหล่านี้ปนกับแบล็งค์กึ่งพัลส์อีกด้วย โดยให้ฐานของซิงค์พัลส์ทับอยู่ขอบบนของแบล็งค์กึ่งพัลส์อีกชั้น ดังนั้นเมื่อจัดเขตความต่างศักย์ให้ระดับสูงสุดของแบล็งค์กึ่งพัลส์ที่อยู่บนยอดสุดก็จะเป็นระดับดำมืดสนิทและไม่ทำให้เกิดการรบกวนภาพที่จอภาพ

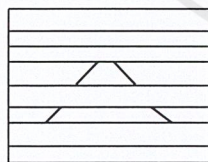
4) สัญญาณอีควอไลซิ่ง เป็นสัญญาณที่ใช้เพื่อช่วยให้สัญญาณซิงค์ทางแนวตั้งยังคงมีรูปร่างดีเหมือนเดิม หลังจากแยกออกจากสัญญาณซิงค์ทางแนวนอนแล้ว นอกจากนี้ยังช่วยทำให้การสแกนแบบไขว้กันเป็นไปด้วยความเรียบร้อยสม่ำเสมอ รวมทั้งสัญญาณซิงค์ทางแนวนอนก็ไม่ขาดหายไปในช่วงเวลาของสัญญาณซิงค์ทางแนวตั้งอีกด้วย ขนาดของพัลส์ที่กล่าวถึงนี้ จะเท่ากับสัญญาณซิงค์ทางแนวตั้ง หรือ 190 ไมโครวินาที หรือ ประมาณ 3 เท่าของขนาดสัญญาณซิงค์ทางแนวนอน และยังมีแบ่งพัลส์นี้ออกเป็น 6 พัลส์



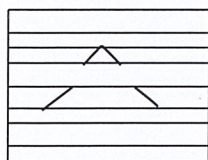
รูปที่ 2.3 ความถี่ของกระแสรูปฟันเลื่อยในวงจรการหักเหทางแนวนอน และวงจรการหักเหทางแนวตั้งทางด้านเครื่องส่ง และเครื่องรับโทรทัศน์



รูปหรือภาพที่มองเห็นในหนึ่งเฟรม



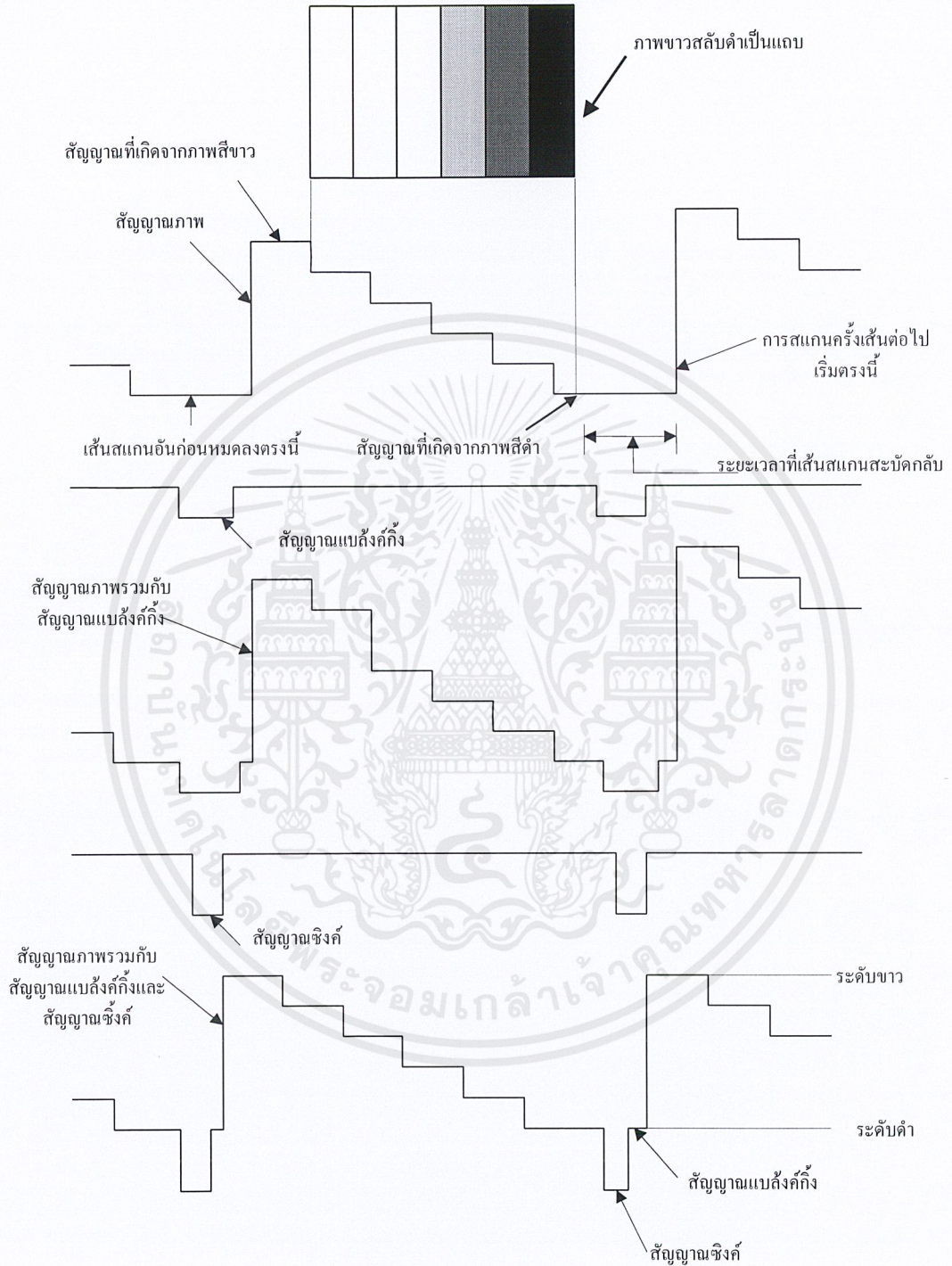
การสแกนครั้งที่หนึ่งเป็นการสแกนสำหรับฟิลด์คี่



การสแกนครั้งที่สองเป็นการสแกนสำหรับฟิลด์คู่

รูปที่ 2.4 การสแกนสองครั้งสำหรับภาพนิ่ง โดยแบ่งหนึ่งเฟรม (Frame) ออกเป็นสองฟิลด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



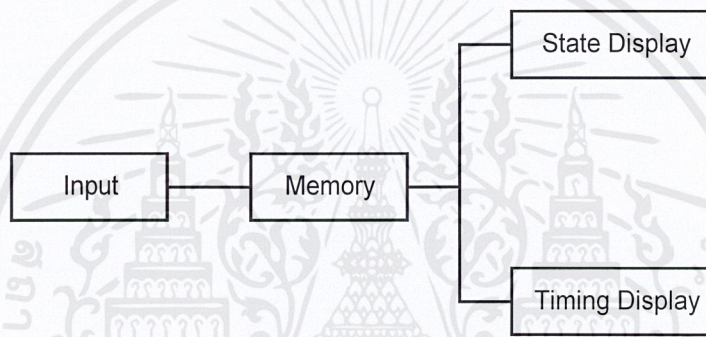
รูปที่ 2.5 รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ทฤษฎี และหลักการการทำงานของเครื่องดิจิตอลออสซิลโลสโคป

2.2.1. ลักษณะการทำงานทั่วไปของดิจิตอลออสซิลโลสโคป

จากรูปที่ 2.6 แสดงแผนผังการทำงานของดิจิตอลออสซิลโลสโคป (Digital Oscilloscope) โดยการสุ่มสัญญาณ (Sampling) อินพุต (Input) จากสัญญาณนาฬิกา (Clock) ภายใน หรือ ภายนอก เข้ามา แล้วนำเอาข้อมูลไปเก็บไว้ในหน่วยความจำ จากนั้นนำข้อมูลในหน่วยความจำไปแสดงที่เอาต์พุต (Output) เช่น จอมอนิเตอร์ (Monitor) โดยอาจแสดงในรูปของสเตตัสเพลย์ (State Display) หรือ ไทม์มิงดิสเพลย์ (Timing Display) ซึ่งเครื่องนี้มีประโยชน์ในการวัด และทดสอบสัญญาณ



รูปที่ 2.6 หลักการทำงานของดิจิตอลออสซิลโลสโคป

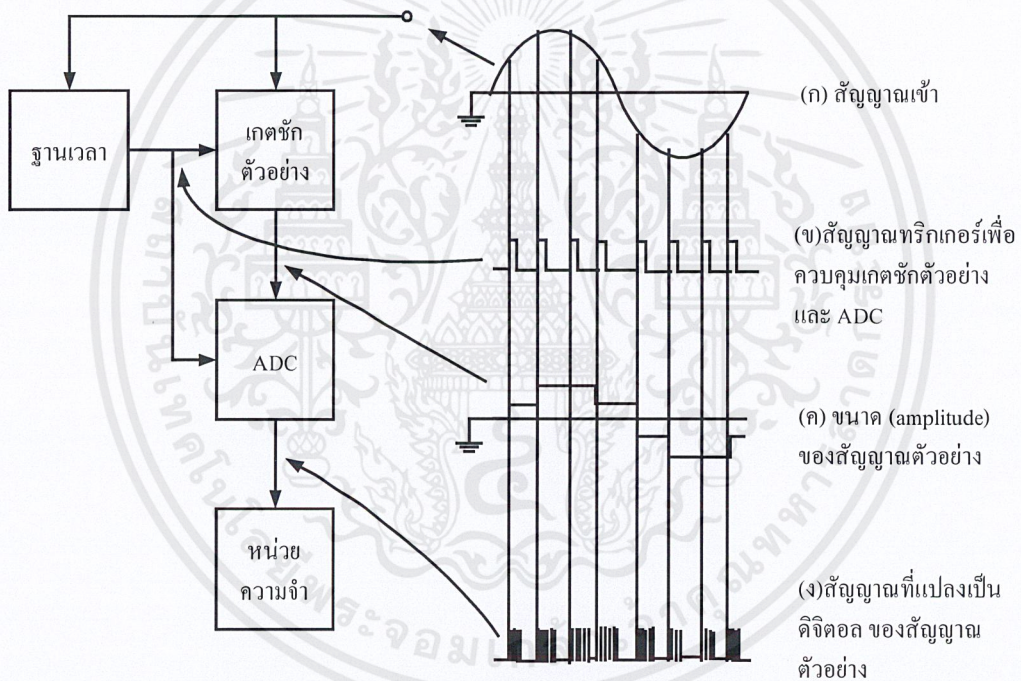
ดิจิตอลออสซิลโลสโคปจะมีวิธีเก็บบันทึกที่รูปคลื่นด้วยระบบดิจิตอล (Digital) ข้อมูลจะถูกบันทึกไว้ในหน่วยความจำแบบดิจิตอลซึ่งดิจิตอลออสซิลโลสโคปนี้ จะมีขบวนการในการทำงานอยู่ด้วยกัน 3 ช่วงใหญ่ๆ คือ ช่วงของการสุ่มตัวอย่าง และการแปลงเป็นสัญญาณดิจิตอล, ช่วงของการเก็บข้อมูล และสุดท้ายคือ ช่วงของการแสดงผลค่าต่างๆ

เริ่มต้นด้วยการสุ่มตัวอย่างสัญญาณที่เข้ามาเพื่อให้ได้จำนวนของจุดบนสัญญาณเหล่านี้ จากนั้นจะเป็นขั้นตอนการนำค่าที่ได้จากการสุ่มตัวอย่างมาแปลงเป็นสัญญาณดิจิตอลด้วยวงจรสัญญาณแอนะล็อก (Analog) เป็นดิจิตอล หากเป็นวงจรที่ใช้สัญญาณดิจิตอล 8 บิต (Bit) ก็จะได้ระดับของสัญญาณที่แปลงออกมา 2^8 หรือ 256 ระดับ ขั้นตอนที่กล่าวมา ถูกควบคุมความเร็วในการทำงานด้วยฐานเวลาเดียวกัน ซึ่งเป็นฐานเวลาแบบดิจิตอลที่มีความเที่ยงตรงสูงมาก และใช้เป็นเวลาอ้างอิงในการทำงานของวงจร ค่าที่แปลงเป็นสัญญาณดิจิตอลแล้วนั้นจะถูกเก็บไว้ในหน่วยความจำสำหรับการแสดงผลของดิจิตอลออสซิลโลสโคป ซึ่งอาศัยการทำงานแบบแอนะล็อกดังนั้น ในช่วงของการแสดงผลจึงต้องแปลงสัญญาณดิจิตอลไปเป็นสัญญาณแอนะล็อกก่อน เพื่อให้ได้สัญญาณควบคุมลำอิเล็กตรอน (Electron Beam) ทางแนวตั้ง และแนวนอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 ออสซิลโลสโคปเก็บภาพแบบดิจิทัล (Digital Storage Oscilloscopes)

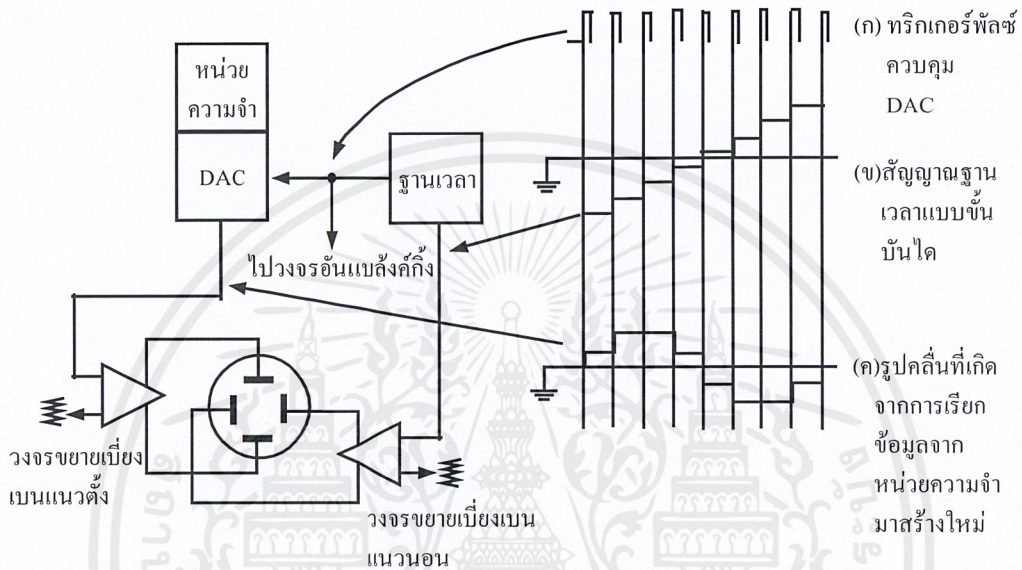
ออสซิลโลสโคปชนิดนี้ใช้เทคนิคดิจิทัลในการเก็บภาพ คือ ในขณะที่ออสซิลโลสโคปแบบแอนะล็อก เก็บภาพโดยใช้กลไกของหลอด CRT (Cathode Ray-Tube) ออสซิลโลสโคปแบบดิจิทัล จะทำการเก็บภาพโดยใช้หน่วยความจำ และจะทำการสุ่มสัญญาณตัวอย่างโดยอาศัยกลไกสวิตช์ทางอิเล็กทรอนิกส์ (Switch Electronic) ต่อจากนั้น สัญญาณที่ถูกสุ่มตัวอย่างออกมาจะถูกเปลี่ยนจากแอนะล็อกเป็นดิจิทัล แล้วเก็บไว้ในหน่วยความจำ หากต้องการแสดงสัญญาณนั้นใหม่ ข้อมูลที่เก็บในหน่วยความจำ จะถูกเรียงลำดับออกมา แล้วเปลี่ยนจากดิจิทัลเป็นแอนะล็อก เพื่อควาภาพให้เห็นบนจอ CRT ต่อไป



รูปที่ 2.7 หลักการสุ่มตัวอย่างสัญญาณ และเก็บรักษาของออสซิลโลสโคปแบบดิจิทัล

รูปที่ 2.7 แสดงหลักการเบื้องต้นของการสุ่มตัวอย่างสัญญาณ และการเก็บรักษาข้อมูลของออสซิลโลสโคปแบบดิจิทัล จากรูปที่ 2.7 วงจรกำเนิดสัญญาณฐานเวลา จะให้พัลส์ (Pulse) ออกมา ความถี่ห่างของพัลส์นี้ ขึ้นอยู่กับขนาดความถี่สัญญาณที่เราต้องการวัด สัญญาณพัลส์จะควบคุมการเปิดของเกตสุ่มตัวอย่าง (Sampling Gate) กล่าวคือ เกตสุ่มตัวอย่างจะเปิด (ON) เป็นช่วงสั้นๆ เพื่อให้สัญญาณผ่านได้เมื่อมีพัลส์มาทริกเกอร์ (Trigger) ดูความสัมพันธ์ของรูป (ก) รูป (ข) และรูป (ค) วงจรขาออกของเกตสุ่มตัวอย่างจะคงค่าแรงดัน (Voltage) ไว้จนกว่าจะมีพัลส์ถูกใหม่ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาทริกเกอร์ (รูป ก) และจะป้อนสัญญาณจากเกตให้กับตัวแปลงสัญญาณแอนะลอกเป็นดิจิทัล (Analog-To-Digital Converter หรือ ADC) ซึ่งจะได้ผลลัพธ์เป็นจำนวนพัลส์ซึ่งมีจำนวนแปรผันกับขนาดของสัญญาณที่ถูกสุ่มตัวอย่างออกมา (ดูความสัมพันธ์ของรูป (ก) กับรูป (ง) และสัญญาณดิจิทัลที่ได้นี้ก็จะถูกส่งไปเก็บในหน่วยความจำ



รูปที่ 2.8 หลักการแปลงข้อมูลจากหน่วยความจำ เพื่อแสดงบนหลอด CRT

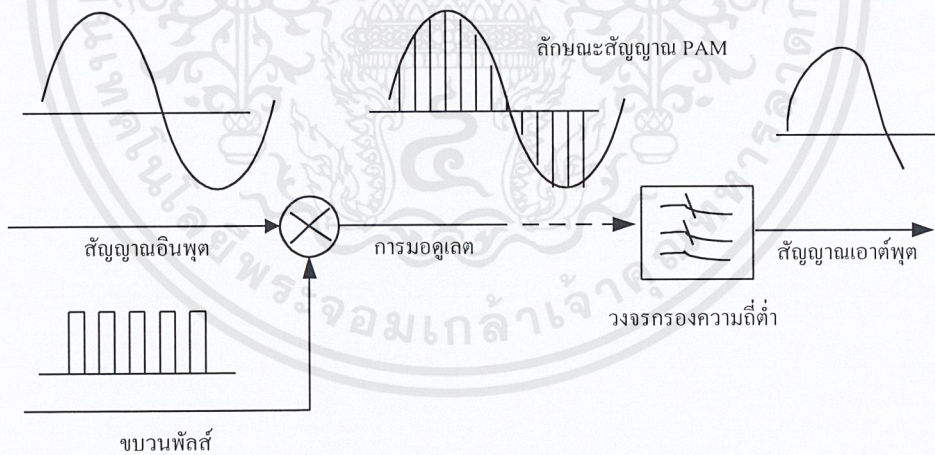
ในทำนองเดียวกัน เมื่อเราต้องการแสดงภาพสัญญาณบนหลอด CRT เราจะมีหลักการทำงานดังรูปที่ 2.8 สัญญาณพัลส์จากวงจรถ่ายฐานเวลา (รูป (ก)) จะทริกเกอร์ให้ตัวแปลงดิจิทัลเป็นแอนะลอก (Digital-To-Analog Converter หรือ DAC) ทำงานตามจังหวะเวลาที่สอดคล้องกับฐานเวลา (ดูความสัมพันธ์ของรูป (ก) และรูป (ข) สัญญาณจาก DAC ซึ่งกลายเป็นแรงดันสัญญาณแอนะลอก (รูป (ค)) จะป้อนให้กับวงจรถ่ายเบี่ยงเบนแนวตั้ง ขณะที่สัญญาณฐานเวลา (สัญญาณขั้นบันได) จะป้อนให้กับวงจรถ่ายเบี่ยงเบนแนวนอน สัญญาณพัลส์ในรูป (ก) ยังป้อนต่อไปยังวงจรถ่ายแบบลั้งคั้ง เพื่อควบคุมการปล่อยลำอิเล็กตรอน โดยการประสานจังหวะดังกล่าวนี้ ภาพที่ปรากฏบนจอภาพจึงเป็นจุด ตามช่วงจังหวะของสัญญาณพัลส์ (รูป (ก)) ซึ่งการจะให้ได้ภาพที่ดูต่อเนื่องนั้น จำเป็นต้องเพิ่มอัตราการสุ่มตัวอย่าง (Sampling Ratio) ต่อคาบเวลาของสัญญาณให้สูงขึ้น

เมื่อนำออสซิลโลสโคปเก็บภาพแบบดิจิทัล มาเทียบกับออสซิลโลสโคปแบบแอนะลอก จะพบข้อดี คือ สามารถเก็บภาพไว้ในหน่วยความจำนานเท่าใดก็ได้ และสามารถเรียกกลับมาดูอีก

เมื่อใดก็ได้เช่นกัน ทำให้สะดวกในการใช้งาน แต่อย่างไรก็ตามออกสวิตช์โคโปกเก็บภาพแบบดิจิทัล ก็ยังมีข้อจำกัดในด้านช่วงความกว้างของแบนด์ (Band Width) เนื่องจากความเร็วของวงจรเอซีซี ยังมีขีดจำกัด

2.3 หลักการสุ่มสัญญาณ

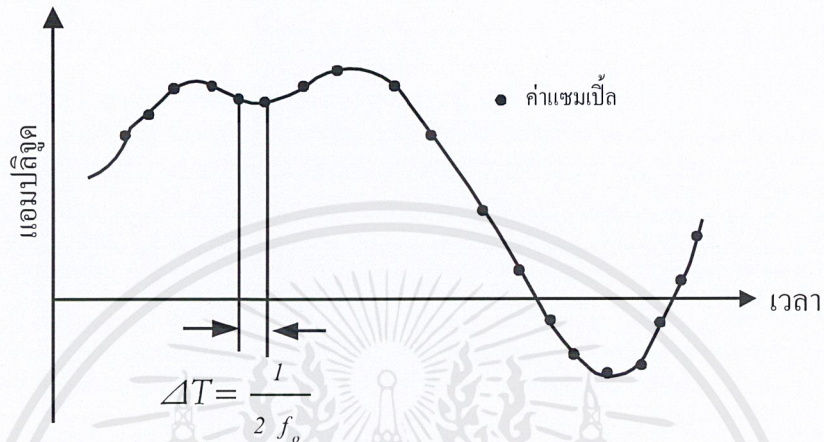
กระบวนการเบื้องต้นที่จะแปลงสัญญาณแอนะล็อกให้เป็นดิจิทัลนั้นจะอาศัยทฤษฎีการแซมปลิง (Sampling Theorem) โดยมีแนวความคิดเบื้องต้นตามรูปที่ 2.9 ขบวนการพัลส์ที่เอาต์พุตของมอดูเลเตอร์ (Modulator) จะเปลี่ยนแปลงไปตามระดับของสัญญาณอินพุต สำหรับด้านรับนั้น เมื่อองค์ประกอบความถี่สูงของขบวนการพัลส์ถูกกำจัดออกโดยวงจรกรองความถี่ต่ำ (Low Pass Filter) แล้ว จะได้รับสัญญาณเดิม กล่าวอีกนัยหนึ่งคือ ถ้าแซมปลิง (Sampling) สัญญาณอินพุตด้วยระยะห่างที่เท่ากันแล้ว ก็สามารถจะทำให้เกิดสัญญาณเดิมได้อย่างสมบูรณ์ที่ด้านรับ ซึ่งตามทฤษฎีการแซมปลิงกล่าวว่า ถ้าข่าวสารในสัญญาณถูกจำกัดให้มีความถี่สูงสุดเป็น f_0 แล้ว หากใช้ขบวนการพัลส์ที่มีความถี่เท่ากับ หรือ มากกว่า $2f_0$ ทำการแซมปลิงก็สามารถจะเก็บข่าวสารได้อย่างสมบูรณ์



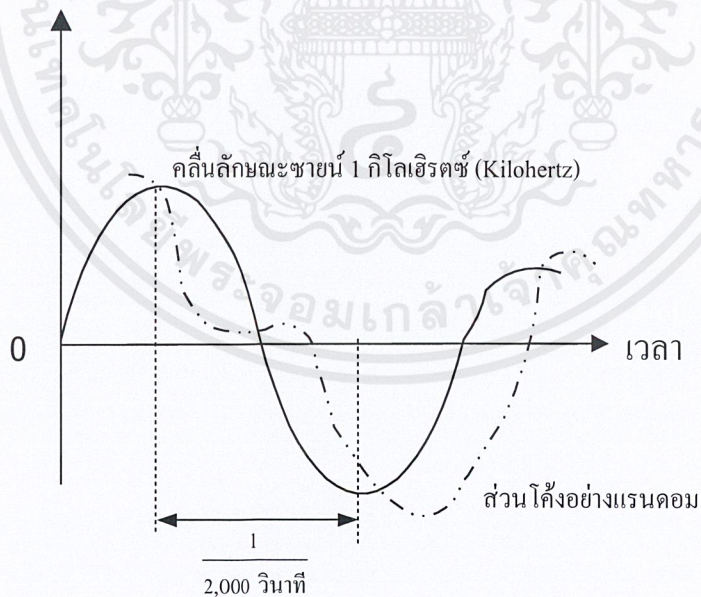
รูปที่ 2.9 ผังการทำงานตามแนวความคิดของทฤษฎีการแซมปลิง

ตัวอย่าง เช่น ถ้าลักษณะคลื่น $g(t)$ ตามรูป 2.10 (ก) เป็นสัญญาณที่ถูกจำกัดแถบความถี่ให้มีเพียง f_0 และถ้าแอมพลิจูด (Amplitude) ของคลื่นถูกกำหนดให้เป็นแบบดิครีท (discret) ที่ทุกๆ $1/2 f_0$ วินาทีแล้วที่ด้านรับจะได้รับสัญญาณ $g(t)$ อย่างแน่นอน สำหรับ “●” ในลักษณะ

คลื่นตามรูป 2.10 (ก) นั้น ค่าแซมเปิ้ล (Sample) ระยะห่างของแต่ละจุดที่แซมปลิง คือ $1/2 f_o$ จะเรียกว่า ไนควิสต์อินเทอร์วอล (Nyquist Interval)



(ก) ตั๊กขณะคลื่น $g(t)$



(ข) การแซมปลิงคลื่นลักษณะซายน์ 1 กิโลเฮิร์ตซ์

รูปที่ 2.10 จุดการแซมปลิง และค่าแซมเปิ้ล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แม้ว่าจะเขียนส่วนโค้งผ่านจุดแหลมปลีทั้งสองในระหว่างในควิสต์อินเทอวอลได้หลายแบบก็ตาม แต่จริงๆแล้ว ส่วนโค้งเหล่านี้จะมีองค์ประกอบความถี่ f_0 เพียงส่วนโค้งเดียวเท่านั้น สำหรับส่วนโค้งอื่นๆ จะมีองค์ประกอบความถี่สูงกว่า f_0 ทั้งสิ้น ตัวอย่าง เช่น การแหลมปลีคลื่นลักษณะซายน์ (Sine) ความถี่ 1 กิโลเฮิร์ตซ์ ถ้าใช้เวลาในการแหลมปลีทุกๆ $1/2,000$ วินาทีตามรูป 2.3 (ข) แล้วองค์ประกอบของความถี่ที่สูงกว่า 1 กิโลเฮิร์ตซ์ จะประกอบขึ้นตามที่ได้กล่าวมา ซึ่งเป็นการอธิบายทฤษฎีการแหลมปลีอย่างกว้างๆ และในขณะที่เดียวกันเพื่อทำให้เข้าใจทฤษฎีนี้มากยิ่งขึ้นจึงแสดงการพิสูจน์ทางคณิตศาสตร์ไว้ดังต่อไปนี้

สมมติว่า $g(t)$ เป็นสัญญาณอินพุตซึ่งความถี่ถูกจำกัดไว้เป็น f_0 และมีสเปกตรัม (Spectrum) ความถี่เป็น $G(f)$ แล้วเมื่อใช้ฟูริเยร์อินเวอร์สทรานฟอร์ม (Fourier Inverse Transform) จะได้

$$g(t) = \int_{-\infty}^{\infty} G(f) e^{j2\pi f t} df \quad (2.1)$$

เนื่องจาก $G(f)$ ถูกจำกัดแถบความถี่ให้มีค่าระหว่าง $|f| \leq f_0$ ดังนั้นจึงเขียนสมการ (2.1) ใหม่ได้ดังนี้

$$g(t) = \int_{-f_0}^{f_0} G(f) e^{j2\pi f t} df \quad (2.2)$$

ดังนั้นค่าของ $g(t)$ ที่ทุกๆ $t = \frac{n}{2f_0}$ คือ

$$g\left(\frac{n}{2f_0}\right) = \int_{-f_0}^{f_0} G(f) e^{j2\pi f \left(\frac{n}{2f_0}\right)} df \quad (2.3)$$

ตามที่ทราบกันดีว่า สามารถแสดง $G(f)$ ในรูปของอนุกรมฟูริเยร์ได้ดังนี้

$$G(f) = \sum_{n=-\infty}^{\infty} C_{-n} e^{-j2\pi f \left(\frac{n}{2f_0}\right)} \quad (2.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในที่นี้

$$\begin{aligned} c_n &= \frac{1}{2f_o} \frac{f_o}{f_o} G(f) e^{j2\pi f \left(\frac{n}{2f_o}\right) df} \\ &= \frac{1}{2f_o} g\left(\frac{n}{2f_o}\right) \end{aligned} \quad (2.5)$$

แทนค่าสมการ (2.5) ลงในสมการ (2.4) จะได้

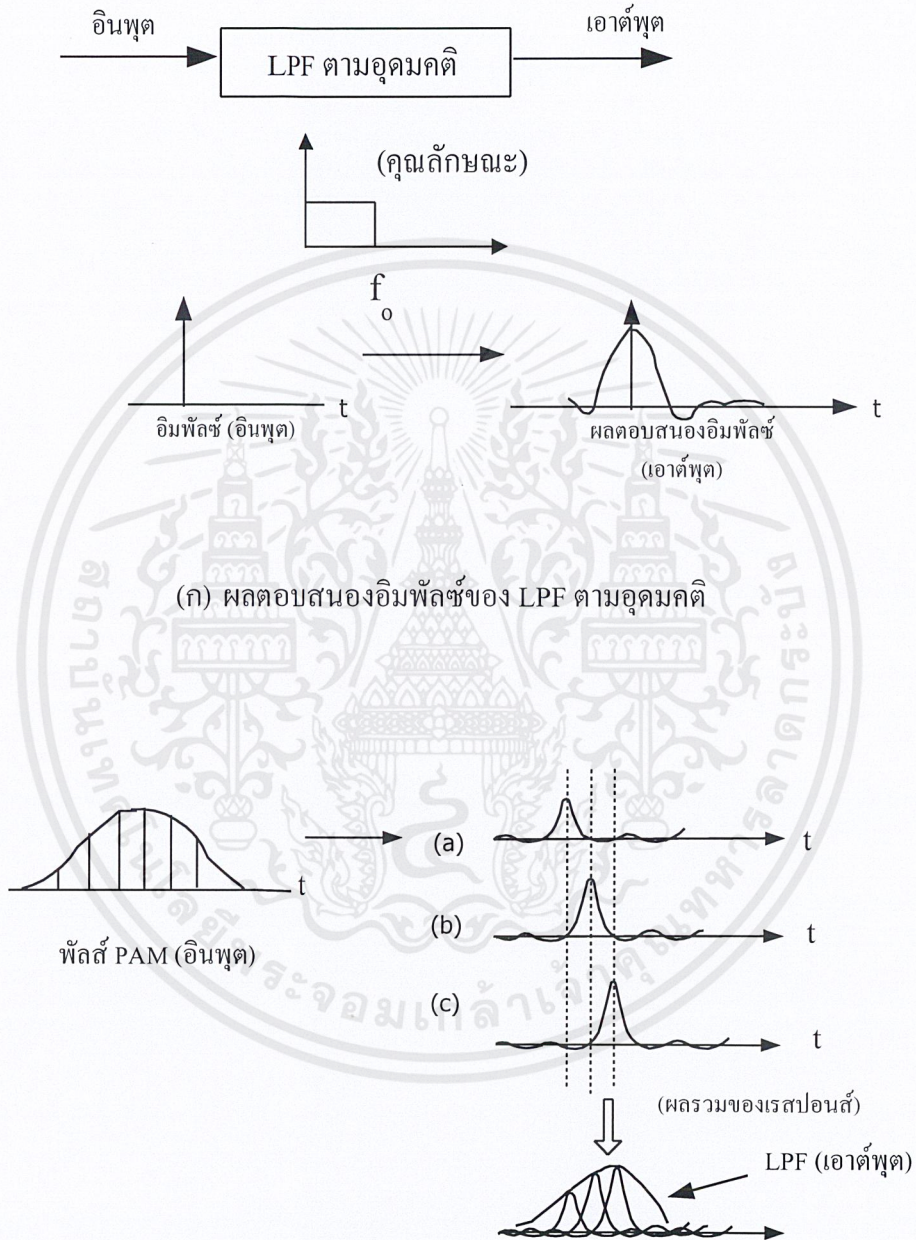
$$G(f) = \sum_{n=-\infty}^{\infty} \frac{1}{2f_o} g\left(\frac{n}{2f_o}\right) e^{-j\frac{2\pi n f}{2f_o}} \quad (2.6)$$

และแทนค่าสมการ (2.6) ลงในสมการ (2.1) แล้วคำนวณต่อไปจะได้

$$\begin{aligned} g(t) &= \int_{-\infty}^{\infty} G(f) e^{j2\pi f t} df \\ &= \frac{1}{2f_o} \int_{-f_o}^{f_o} \sum_{n=-\infty}^{\infty} g\left(\frac{n}{2f_o}\right) e^{-j\frac{2\pi n f}{2f_o}} e^{j2\pi f t} df \\ &= \frac{1}{2f_o} \sum_{n=-\infty}^{\infty} g\left(\frac{n}{2f_o}\right) \int_{-f_o}^{f_o} e^{-j2\pi f \left(t - \frac{n}{2f_o}\right)} df \\ &= \sum_{n=-\infty}^{\infty} \underbrace{g\left(\frac{n}{2f_o}\right)}_I \underbrace{\frac{\sin \pi(2f_o t - n)}{\pi(2f_o t - n)}}_{II} \end{aligned} \quad (2.7)$$

จากสมการ (2.7) เทอม (I) แสดงค่าแอมพลิจูดของสัญญาณเดิม $g(t)$ ที่แซมปลิงทุกๆ $1/2 f_o$ วินาที กล่าวคือ เป็นขบวนพัลส์พีเอเอ็ม (Pulse Amplitude Modulation :PAM) ที่มีระยะห่างกันทุกๆ $1/2 f_o$ วินาที สำหรับเทอม (II) แสดงคุณสมบัติของวงจรกรองความถี่ต่ำผ่านแบบอุดมคติ (Ideal Low Pass Filter:ILPF) ซึ่งมีความถี่คัทออฟ (Cut Off) f_o ฟังก์ชันที่อยู่ในรูปของ $\sin x/x$ นี้ถูกเรียกว่าแซมปลิงฟังก์ชัน (Sampling Function) เมื่อกล่าวโดยสรุปแล้วสมการ (2.7) หมายความว่า ถ้าแซมปลิงสัญญาณแอนะล็อก $g(t)$ ด้วยอัตรา 2 เท่าของความถี่สูงสุด จะสามารถสร้างสัญญาณ

เดิมใหม่ได้อย่างสมบูรณ์หลังจากแชนเปลิ่งพัลส์ได้ผ่านวงจรกรองความถี่ต่ำผ่านไปแล้วแสดงไว้ตามรูปที่ 2.11



(ข) ผลตอบสนองของขบวนพัลส์พีเอเอ็ม

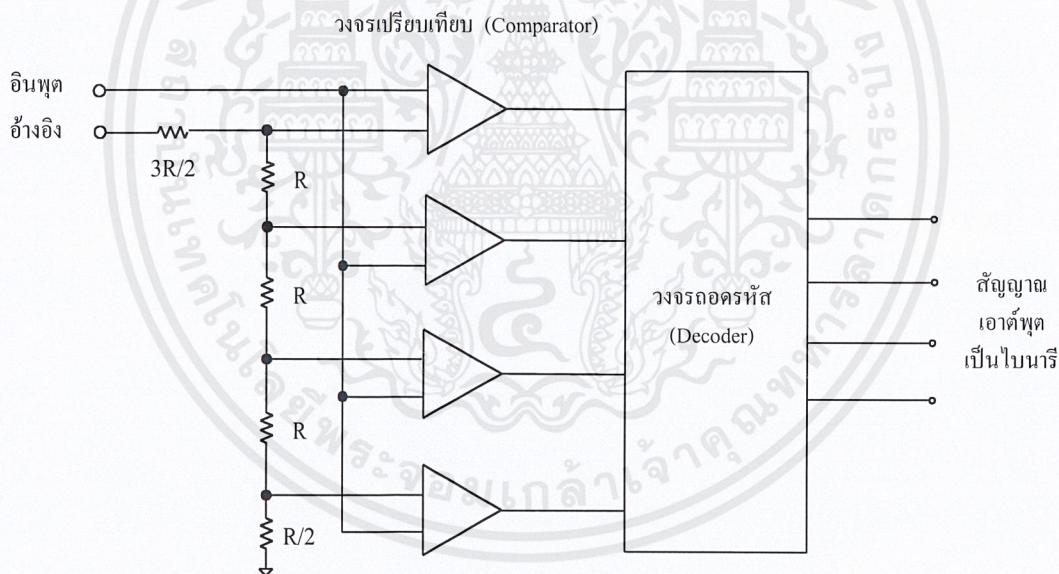
รูปที่ 2.11 ผลตอบสนองอินพัลส์ (Impulse Response)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 หลักการแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล

แรงดันของตัวอย่างที่สุ่มเข้ามานั้น (Sample Voltage) จะถูกบัฟเฟอร์ (Buffer) และเปลี่ยนเป็นรูปดิจิทัลโดยใช้วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล วิธีใช้เปลี่ยนระดับต่างๆ ของรูปคลื่นเป็นเชิงตัวเลขมีหลายวิธี แต่ที่นิยมที่สุดมี 3 วิธี คือ

1) **ซัคเซสซีฟ แอพรอกซิเมชัน คอนเวอร์เตอร์ (Successive Approximation Converters)** การทำงานจะเปรียบเทียบแรงดันอินพุตกับเอาต์พุตของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล บิตที่มีค่าสูงสุด (Most Significant Bit : MSB) จะเป็นสถานะสูง แต่ถ้าสัญญาณอินพุตต่ำกว่าเอาต์พุตของวงจรแปลงสัญญาณดิจิทัลเป็นแอนะล็อกแล้วบิตที่มีค่าสูงสุดจะถูกเซต (Set) เป็นสถานะต่ำ จากนั้นวงจรก็จะเปรียบเทียบค่าบิต (Bit) ต่างๆ ต่อไป ขบวนการนี้ ใช้เวลานานต้องใช้สัญญาณพัลส์อย่างน้อย 1 ลูก ต่อการควอนไทซ์ (Quantile) 1 บิต ดังนั้นวงจรนี้จึงไม่นิยมใช้ในออสซิลโลสโคปเท่าใดนัก

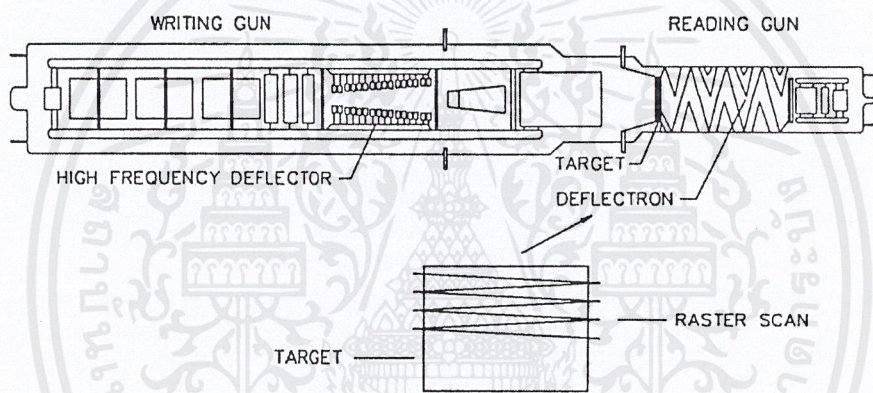


รูปที่ 2.12 แฟลชคอนเวอร์เตอร์

2) **แฟลชคอนเวอร์เตอร์ (Flash Converters)** เป็นวงจรเปลี่ยนสัญญาณแอนะล็อกให้เป็นเลขไบนารี (Binary) โดยใช้สัญญาณพัลส์เพียง 1 ลูก ในขณะที่ซัคเซสซีฟแอพรอกซิเมชันคอนเวอร์เตอร์ใช้สัญญาณเพียง 8 ลูก เพื่อสร้างเลข 7 บิต การเปลี่ยนสัญญาณแอนะล็อกเป็นดิจิทัลของวงจรแฟลชคอนเวอร์เตอร์ทำได้โดยสร้างตัวเปรียบเทียบแรงดันแบบขนาน สัญญาณอินพุตของตัวเปรียบเทียบแรงดันแบบขนานจะถูกต่อกับชุดตัวหารตัวต้านทานถ่วงน้ำหนัก (Wiegthed Resister Divider) เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งวัดค่าทางแอนะล็อกออกมา ตัวเปรียบเทียบแรงดันนี้จะทำงานหรือไม่ขึ้นอยู่กับขนาดของแรงดันอินพุต จำนวนของตัวเปรียบเทียบแรงดันที่ทำงานจะแปรผันตรงกับขนาดของแรงดันอินพุต ซึ่งชุดลอจิกสแตติคจะเปลี่ยนเป็นจำนวนของตัวเปรียบเทียบแรงดันคงที่ทำงานเป็นเลขไบนารีเพื่อใช้ในกระบวนการอื่นๆ ต่อไป

3) สแกนคอนเวอร์ชัน (Scan Conversion) เป็นกลไกที่ทำการเปลี่ยนจากข้อมูลแอนะล็อกเป็นข้อมูลดิจิทัล และยังเกี่ยวข้องถึงการเก็บข้อมูลลงบนจอ รวมทั้งการอ่านข้อมูลจากจอภาพโดยใช้ลำแสงสแกนภาพ ซึ่งประกอบด้วยจอภาพที่มีปลาย 2 ด้าน (Double Ended CRT) และลำแสงที่ใช้เขียนจอภาพ (Write Beam) ก็เหมือนกับที่ใช้ในออสซิลโลสโคปทั่วไป แตกต่างกันตรงที่ว่าลำแสงแบบนี้ใช้กับเป้าที่เล็กกว่าปกติ

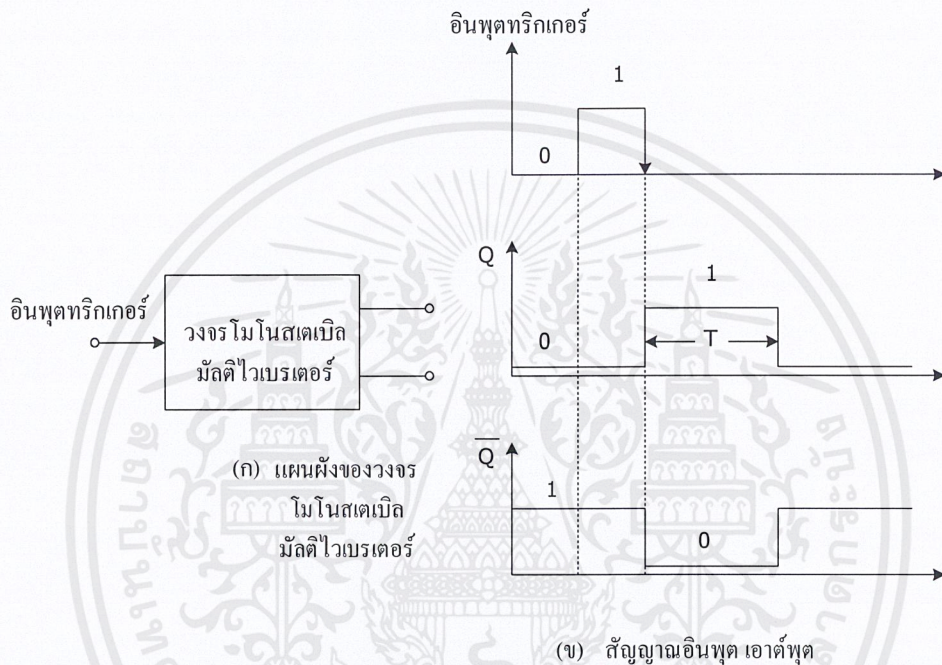


รูปที่ 2.13 สแกนคอนเวอร์เตอร์

หลังจากนั้น เป้าจอภาพจะถูกอ่านอย่างซ้ำๆ ด้วยลำแสงที่จะสแกนบนเป้า ด้วยวิธีนี้การสุ่มตัวอย่างสามารถทำได้ในแบนด์วิดท์ของคลื่นที่สูงถึง 500 เมกะเฮิร์ตซ์ (Megahertz) เนื่องจากประสิทธิภาพที่สูงนี้เอง ทำให้สแกนคอนเวอร์เตอร์ถูกติดตั้งในสตอเรจออสซิลโลสโคปที่มีราคาแพงเท่านั้น

2.5 วงจรโมนอสเตเบิลมัลติไวเบรเตอร์

วงจรโมนอสเตเบิลมัลติไวเบรเตอร์ (Monostable Multivibrator) จะมีสถานะเอาต์พุตตรงกันข้ามกับสถานะปกติ เมื่อมีสัญญาณทรiggerทางด้านอินพุต ดังรูปที่ 2.14 ซึ่งเป็นแผนผังของวงจรโมนอสเตเบิลมัลติไวเบรเตอร์ และสัญญาณอินพุต เอาต์พุต

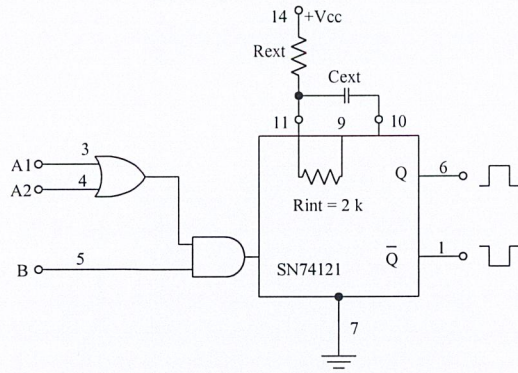


รูปที่ 2.14 แผนผังของวงจรโมนอสเตเบิลมัลติไวเบรเตอร์ และสัญญาณอินพุต เอาต์พุต

จากรูปที่ 2.14 (ก) ถ้าไม่มีสัญญาณทรiggerที่อินพุต วงจรจะคงอยู่ในสถานะคงที่ (Stable State Or Reset State) โดยมี Q เป็น 0 และ \bar{Q} เป็น 1 แต่ถ้าหากขณะใดมีสัญญาณทรiggerที่อินพุตก็จะทำให้เอาต์พุตของวงจรเปลี่ยนเป็นสถานะตรงกันข้าม คือ Q เป็น 1 และ \bar{Q} เป็น 0 โดยจะคงอยู่ในสภาวะนี้ชั่วคราว ซึ่งก็คือ ช่วงเวลา T แสดงดังรูปที่ 2.14 (ข) วงจรนี้จะเริ่มเปลี่ยนสถานะที่คมลบของพัลส์ทรiggerทางด้านอินพุต หลังช่วงเวลา T แล้ว วงจรจะกลับสู่สถานะคงที่เช่นเดิม และถ้าหากไม่มีสัญญาณทรiggerทางด้านอินพุตอีก วงจรก็จะคงสถานะนี้ตลอดไป

2.5.1 วงจรโมนอสเตเบิลมัลติไวเบรเตอร์ใช้ไอซีเบอร์ 74221

ไอซีเบอร์ 74221 มีหน้าที่การทำงานเป็นวงจรโมนอสเตเบิลมัลติไวเบรเตอร์ โดยการต่อตัวความต้านทาน และคาปาซิเตอร์กำหนดช่วงเวลาภายนอก



รูปที่ 2.15 วงจรโมโนสเตเบิลมัลติไวเบรเตอร์ใช้ไอซีเบอร์ 74221

จากวงจรรูปที่ 2.15 ถ้าทำการป้อนลอจิก (Logic) “0” ให้กับอินพุต A_1 และ A_2 ด้วยวิธีต่อลงกราวด์ (Ground) จะทำให้เอาต์พุตของออร์เกต (OR Gate) เป็นลอจิก “1” ซึ่งในขณะนี้อาจทำการทริกที่อินพุต B ด้วยสัญญาณลอจิก “1” ทำให้สัญญาณทำงานในสถานะไม่คงที่ได้ หรือ อาจป้อนอินพุต B ด้วยลอจิก “1” แล้วใช้สัญญาณลอจิก “0” ทริกที่อินพุต A_1 หรือ A_2 หรือ A_1 และ A_2 พร้อมกันก็จะทำให้เอาต์พุตทำงานสถานะไม่คงที่ได้เช่นกัน ดังแสดงในตารางที่ 2.1

ตารางที่ 2.1 ตารางความจริงของวงจร โมโนสเตเบิลมัลติไวเบรเตอร์แบบใช้ไอซีเบอร์ 74121

อินพุต			เอาต์พุต	
A1	A2	B	Q	\bar{Q}
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	↓	H	⏏	⏏
↓	H	H	⏏	⏏
↓	↓	H	⏏	⏏
L	X	↑	⏏	⏏
X	L	↑	⏏	⏏

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 หน่วยความจำ

2.6.1 หน่วยความจำแรม

เมื่อสัญญาณอินพุตถูกสุ่มตัวอย่าง และทำการแปลงเชิงตัวเลข ตัวเลขไบนารีก็จะถูกเก็บลงในหน่วยความจำ หน่วยความจำแบ่งออกเป็น 2 ประเภท ได้แก่ แรม (RAM : Random Access Memory) ส่วนหน่วยความจำประเภทสนามแม่เหล็ก ได้แก่ เทปคาสเซ็ท และแผ่นดิสก์ เป็นต้น

หน่วยความจำแรม มีความเร็วกว่าแบบสนามแม่เหล็กด้วยเวลาการเข้าถึงข้อมูลเพียง 100 นาโนวินาที หรือ น้อยกว่านั้น แรมประกอบด้วยบล็อกของฟังก์ชัน 2 บล็อก ได้แก่ พื้นที่ในเซลล์ความจำ และวงจรติดต่อกับภายนอก วิธีการออกแบบใช้งานเซลล์ความจำแบบแยกส่วนนั้นมีหลายแบบ แต่ที่พบตามปกติ ได้แก่ เซลล์แบบสแตติกฟลิปฟลอป และเซลล์ไดนามิก

เซลล์ความจำแบบสแตติก เป็นไบสเทเบิลมัลติไวเบรเตอร์ ที่ประกอบด้วยฟลิปฟลอปทรานซิสเตอร์ 2 ตัว การทำงานของทรานซิสเตอร์ด้านซ้าย หรือ ด้านขวาด้านใดด้านหนึ่งจะเกิดสัญญาณ 0 หรือ 1 ซึ่งจะถูกเก็บลงในเซลล์ ข้อมูลที่ได้นี้จะคงอยู่จนกระทั่งมีกระแสจากภายนอกมาซาร์จ หรือ จนกระทั่งไฟเลี้ยงทรานซิสเตอร์หมดไป เซลล์แบบนี้เรียกว่า “สแตติก” เพราะว่ามันจะเก็บข้อมูลได้เฉพาะเมื่อมีไฟเลี้ยงเท่านั้น

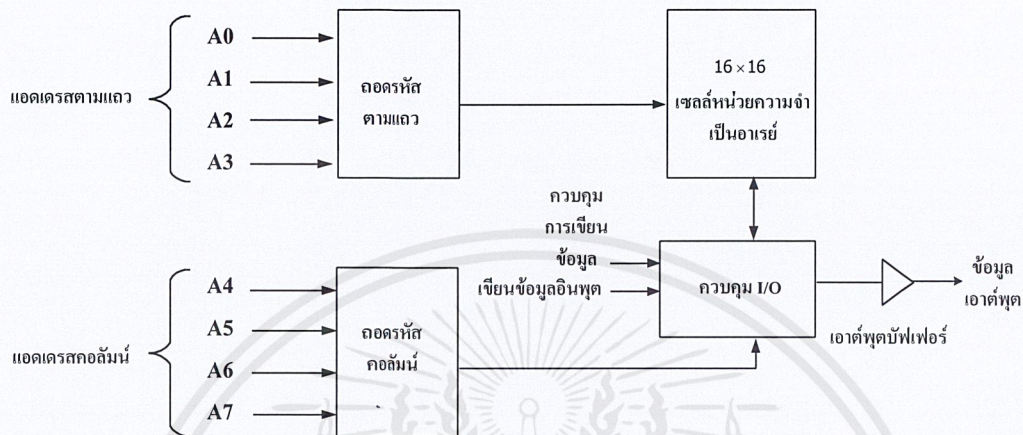
เซลล์ความจำแบบไดนามิก ประกอบด้วยทรานซิสเตอร์ตัวเดียว กระแสที่ไหลเข้าเบสของทรานซิสเตอร์จะสร้างประจุตรงบริเวณเบสของทรานซิสเตอร์ เรียกว่าสถานะเปิด คือ 1 ในขณะที่สถานะปิด คือ 0 เซลล์ไดนามิกซึ่งเป็นทรานซิสเตอร์ตัวเดียวนี้มีข้อดีมากกว่าเซลล์สแตติกที่เป็นทรานซิสเตอร์ 2 ตัว เพราะเมื่อมีองค์ประกอบของส่วนต่างๆ น้อยกว่าจึงใช้พลังงานน้อยกว่า เซลล์ไดนามิก ไม่สามารถรักษาสถานะเปิดได้ตลอดเวลา มันจึงต้องการการรีเฟรช คำว่าไดนามิกแสดงถึงการเปลี่ยนสถานะตลอดเวลา เมื่อเวลาเปลี่ยนไปทรานซิสเตอร์จะสามารถรักษาประจุที่เบสได้เพียงไม่กี่มิลิวินาทีก่อนที่มันจะหายไป ถ้าประจุไหลโดยไม่ได้ถูกทำให้เต็มใหม่อีกครั้งข้อมูลก็จะสูญหายไปด้วยการทำให้เต็มใหม่ หรือ การรีเฟรชนี้ต้องอาศัยวงจรรีเฟรชที่ถูกสร้างมาพร้อมกับไดนามิกแรม

รูปที่ 2.16 แสดงให้เห็นว่าแรมจะถูกกำหนดเป็นตำแหน่งผ่านทางจุดสายตำแหน่งการเลือกใช้แรม ก็จะกำหนดตำแหน่งเป็นแถว และคอลัมน์ถ้าข้อมูลถูกเขียนลงบนพื้นที่ความจำ หน่วยควบคุมข้อมูลอินพุตจะเปิด หรือ ปิดตำแหน่งของเซลล์ความจำโดยใช้สถานะ 0 หรือ 1 สำหรับการอ่านหน่วยความจำนั้นเซลล์ความจำจะถูกควบคุมโดยวงจรควบคุมอินพุต และเอาต์พุตเพื่อบอกตำแหน่งการอ่าน

การรีเฟรชเซลล์ไดนามิกโดยทั่วไปทำได้โดยการซาร์จเซลล์ความจำทุกครั้งในแถวที่มีการอ่าน ดังนั้นแรมจึงต้องใช้เวลาในการถูกอ่านอย่างน้อย 2 มิลิวินาที หน่วยความจำประเภท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สนามแม่เหล็ก มักเป็นอุปกรณ์ภายนอกที่ต่อเข้ากับระบบ เช่น ฟลอปปีดิสก์ เป็นต้น ซึ่งใช้เป็นตัวบรรจุข้อมูลขนาดใหญ่ที่ต่อเข้ากับ GPIB หรือ RS-232 โดยผ่านทางตัวควบคุม



รูปที่ 2.16 เซลล์ความจำ และวงจรติดต่อกับภายนอก

2.6.2 หน่วยความจำรอม (Read Only Memory)

รอม (ROM:Read Only Memory) หมายถึงหน่วยความจำประเภทที่มีการเข้าถึงข้อมูลโดยการอ่านข้อมูลได้เพียงอย่างเดียว ไม่สามารถเขียนข้อมูลเข้าไปยังหน่วยความจำประเภทนี้ได้ ซึ่งสามารถแบ่งชนิดของรอมได้ดังนี้

1) มาสค์รอม (Mask-ROM) เป็นระบบความจำที่ผู้ผลิตใส่ข้อมูลต่างๆ มาแล้วเป็นหน่วยความจำแบบข้อมูลสำเร็จใช้ไดโอด (Diode) เป็นตัวเชื่อมต่อกับระบบการเลือกข้อมูล

2) ฟิร์ม หรือ พรอม (PROM:Programmable Read Only Memory) ซึ่งผู้ใช้สามารถโปรแกรมเองได้ โดยการสร้างหน่วยความจำเหมือนกับมาสค์รอม แต่ใส่ฟิวส์ไว้ที่ไดโอด ในภาวะปกติเอาต์พุตที่ออกมาเป็นลอจิก 0 หากต้องการโปรแกรมต้องให้ลอจิก 1 คือ ทำการจ่ายแรงดันไฟเข้าไปเพื่อละลายฟิวส์ และมีวงจรเพิ่มสำหรับการโปรแกรม คือ วงจรเกตสามสถานะ และวงจรตรวจระดับแรงดัน แต่จะสามารถโปรแกรมได้เพียงครั้งเดียวไม่สามารถลบแล้วโปรแกรมใหม่ได้

3) อีพรอม (EPROM:Erased PROM) หมายถึงหน่วยความจำประเภทที่สามารถนำมาโปรแกรมข้อมูลได้หลายครั้ง หากต้องการลบเพื่อโปรแกรมข้อมูลใหม่เข้าไปแทนที่ข้อมูลเก่า ก็ทำการลบได้โดยใช้รังสีอัลตราไวโอเล็ต (Ultra Violet Light) ฉายแสงลงไปทีกระจกไอซี (Integrate Circuit) โดยมีช่วงระยะเวลามาตรฐาน แต่มีข้อเสีย คือ ถ้าทำการฉายแสงไม่ได้มาตรฐาน จะลบโปรแกรมเก่าออกไม่หมดก็จะเกิดการด้านทำให้รอมตัวนี้ใช้งานไม่ได้อีก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

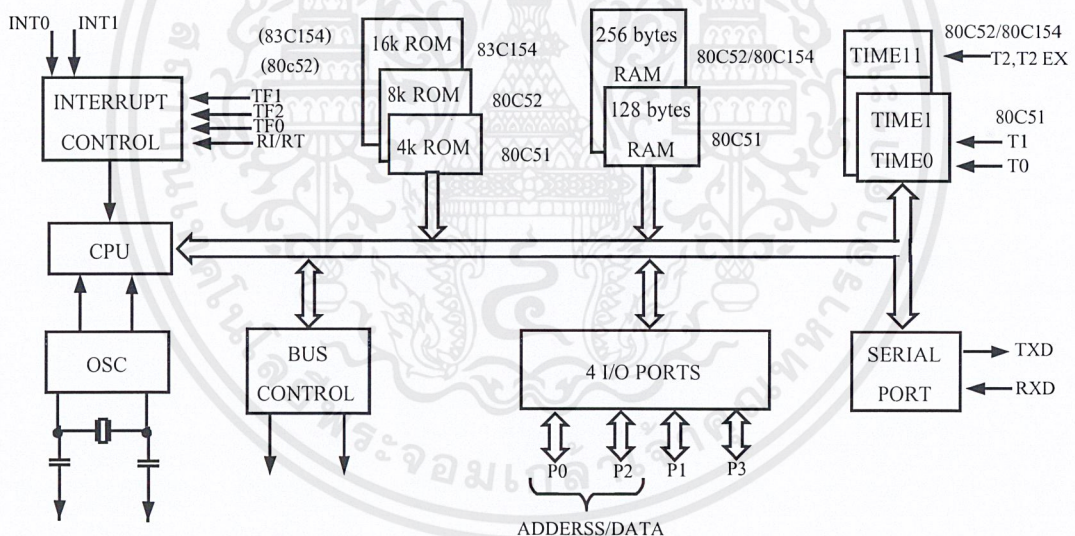
4) อีอีพรอม (EEPROM:Electrically Erasable PROM) รอมประเภทนี้ผลิตออกมา เพื่อแก้ไขข้อเสียดของอีพรอม ก็คือ เสียเวลามากในการลบโปรแกรมโดยกรรมวิธีการฉายแสง และเสี่ยงต่อการเกิดการด้านของรอม ฉะนั้นอีอีพรอม จึงเป็นรอมที่สามารถลบ และเขียนใหม่ได้ด้วยวิธีการทางไฟฟ้าโดยอาศัยเครื่องลบที่ใช้สัญญาณไฟฟ้าแทนการใช้รังสีอัลตราไวโอเลตเพื่อลบข้อมูลในหน่วยความจำ และมีความแน่นอน ไม่ทำให้ไอซีเกิดการด้านได้ง่าย

ข้อมูล หรือ โปรแกรมที่ถูกเก็บในรอมนี้จะไม่สูญหาย ถึงแม้ว่าไม่มีไฟเลี้ยงจากแหล่งจ่าย หากมีแหล่งจ่ายไฟจากแหล่งอื่น ข้อมูลในหน่วยความจำแต่ละตำแหน่งก็ยังคงเหมือนเดิมทุกประการ

2.7 ไมโครคอนโทรลเลอร์ เบอร์ 8051

2.7.1 โครงสร้างของไมโครคอนโทรลเลอร์ เบอร์ 8051

โครงสร้างภายในของ 8051 จะประกอบด้วยส่วนย่อยๆ ดังแผนผังการทำงานรูปที่ 2.17



รูปที่ 2.17 แผนผังการทำงานโครงสร้างของ 8051

แผนผังการทำงานในรูปที่ 2.17 เป็นโครงสร้างใหญ่ๆ ของ 8051 เนื่องจากลักษณะของ 8051 เป็นคอมพิวเตอร์จึงประกอบด้วย 3 ส่วนหลักๆ คือ

ส่วนที่ 1 คือ CPU (Central Processing Unit) หรือ ตัวประมวลผล ซึ่งส่วนนี้จะมีส่วนที่ทำหน้าที่สร้างสัญญาณควบคุมในการติดต่อกับส่วนอื่นๆ เรียกว่า วงจรควบคุม (Control Unit) สัญญาณที่สร้างจากวงจรควบคุม ได้แก่ สัญญาณสำหรับการติดต่อกับหน่วยความจำ (Interrupt เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Control) และส่วนควบคุมบัส (Bus Control) ก็เป็นส่วนหนึ่งของวงจรควบคุมด้วย การสร้างสัญญาณควบคุมจากส่วน CPU นี้จะทำการสร้างสัญญาณโดยการถอดรหัสจากคำสั่ง (Instruction) ที่กำหนด และสัญญาณที่สร้างขึ้นจะถูกอ้างอิงกับสัญญาณนาฬิกาที่สร้างจากวงจรออสซิลเลเตอร์ (Oscillator) เพื่อให้ทุกๆ ส่วนในวงจรทำงานประสานกันอย่างถูกต้อง

ใน CPU นี้ ยังประกอบด้วยส่วนย่อยอีกส่วนที่เรียกว่า ส่วนประมวลผล (Arithmetic Logic Unit) ส่วนนี้จะทำหน้าที่ประมวลผลข้อมูล เช่น การบวก, ลบ, คูณ และหารข้อมูลแล้วนำผลลัพธ์ไปเก็บไว้ในรีจิสเตอร์ (Register) หรือ หน่วยความจำที่ต้องการ

ส่วนที่ 2 คือ หน่วยความจำ (Memory) มีไว้สำหรับจัดจำข้อมูล ซึ่งหน่วยความจำเปรียบเหมือนกล่องเก็บเอกสารจำนวนมากที่นำมาต่อเรียงกันไว้ แต่ละกล่องจะมีเอกสาร 1 แผ่น ถ้าต้องการเอาเอกสารจากกล่องใด หรือ เอาเอกสารไปเก็บกล่องใด จะต้องรู้หมายเลขของกล่องข้อมูลก่อน ถ้าเป็นหน่วยความจำ หมายเลขของกล่องก็เป็นตำแหน่งของหน่วยความจำ หรือ แอดเดรส (Address) การนำข้อมูลไปเก็บในหน่วยความจำเรียกว่าการเขียน (Write) ข้อมูล และการนำข้อมูลออกจากหน่วยความจำจะเรียกว่าการอ่าน (Read) ข้อมูล ซึ่งแต่ละตำแหน่งของหน่วยความจำจะเก็บข้อมูลได้เพียงค่าเดียวเท่านั้น ในไมโครโปรเซสเซอร์ (Microprocessor) ทั่วไปรวมทั้ง 8051 นั้นข้อมูลในแต่ละตำแหน่งของหน่วยความจำจะมีค่าได้เพียง 8 หลักของเลขฐานสอง 8 บิต เท่ากับ 1 ไบต์ (Byte) ดังนั้น แต่ละตำแหน่งของหน่วยความจำจะเก็บข้อมูลมีค่าได้ระหว่าง 0 ถึง 255 (00000000 ถึง 11111111 ในเลขฐาน 2) จำนวนตำแหน่งที่จะเก็บข้อมูลขึ้นกับไมโครโปรเซสเซอร์แต่ละเบอร์ การติดต่อกับหน่วยความจำจะต้องมีสัญญาณ 3 กลุ่ม คือ

1) แอดเดรส หรือ ค่าตำแหน่งที่ต้องการติดต่อกับหน่วยความจำในตัว 8051 จะติดต่อกับหน่วยความจำประเภท Program Memory หรือ Data Memory ได้สูงสุดชนิดละ 65,536 ตำแหน่ง ดังนั้นการอ้างอิงแต่ละตำแหน่งของหน่วยความจำจะต้องใช้เส้นแสดงตำแหน่งในเลขฐานสองทั้งหมด 16 เส้น (2^{16} เท่ากับ $64 \times 1024 = 65,536$)

2) ข้อมูลที่จะอ่าน หรือ เขียนกับหน่วยความจำที่ตำแหน่งต้องการติดต่อกับหน่วยความจำ

3) สัญญาณควบคุมที่จะส่งไปยังหน่วยความจำ เพื่อบอกกับหน่วยความจำว่าต้องการอ่านหรือ เขียนข้อมูลความจำ Program Memory เข้าไปทำงาน จากในรูปที่ 2.17 หน่วยความจำ ได้แaggerอมขนาด 4 กิโลไบต์ (Kilobytes) หรือ แรมขนาด 128 ไบต์ ซึ่งขนาดของหน่วยความจำนี้ มีขนาดต่างๆ กันตามเบอร์ของไมโครคอนโทรลเลอร์

ส่วนที่ 3 อุปกรณ์อินพุต และเอาต์พุต (Input and Output Devide) ซึ่งเป็นส่วนที่จะใช้รับข้อมูลเข้า หรือ ส่งข้อมูลออกจากตัว 8051 ทำให้ 8051 ติดต่อกับภายนอกได้ ดังแสดงในแผนผัง

การทำงานรูปที่ 2.17 ซึ่งอุปกรณ์อินพุต และเอาต์พุต ได้แก่ พอร์ตอินพุต และพอร์ตเอาต์พุต, ไทม์เมอร์ 0, ไทม์เมอร์ 1, พอร์ตอนุกรม การทำงานของแต่ละส่วนมีดังนี้

1) พอร์ตอินพุต และพอร์ตเอาต์พุต ซึ่งคำว่า พอร์ต หมายถึง จุดที่ใช้ติดต่อกับส่วนที่อยู่ภายนอก มีจำนวน 4 พอร์ต ซึ่งพอร์ตอินพุต และเอาต์พุตทั้ง 4 พอร์ตของ 8051 นั้น เป็นที่ใช้สำหรับรับ และส่งข้อมูลซึ่งเป็นสัญญาณดิจิทัลเข้า หรือ ออกจากตัว 8051 โดยแต่ละพอร์ตจะรับ และส่งข้อมูลได้ 8 บิต มีพอร์ต P0, P1, P2 และ P3 บางพอร์ตจะใช้ทำงานมากกว่าหนึ่งอย่างก็ได้ เช่น พอร์ต P0 และ P2 จะใช้สำหรับการส่งค่าตำแหน่งของหน่วยความจำที่ต้องการติดต่อ และพอร์ต P0 จะใช้รับส่งข้อมูลเมื่อติดต่อกับหน่วยความจำ ซึ่งสิ่งเหล่านี้ไม่ได้เกิดขึ้นในเวลาเดียวกัน แต่จะใช้วิธีทำงานตามลำดับ โดยควบคุมจากสัญญาณควบคุมที่ถอดรหัสมาจากแต่ละคำสั่งที่ให้คอมพิวเตอร์ทำงาน และสัญญาณทั้งหมดจะอ้างอิงกับสัญญาณนาฬิกา

2) ไทม์เมอร์ 0 และไทม์เมอร์ 1 เป็นวงจรนับที่สามารถกำหนดให้ทำการนับจำนวนไซเคิลของสัญญาณที่ต่อภายนอกกับ 8051 หรือ จำนวนไซเคิลของสัญญาณนาฬิกาภายใน 8051 ก็ได้ ซึ่งค่าจากการนับจะถูกอ่าน หรือ ตั้งค่าเริ่มต้นของการนับได้โดยหน่วยประมวลผลกลาง

3) Serial Port หรือ พอร์ตอนุกรม หน่วยประมวลผลกลางจะอ่าน และเขียนข้อมูลกับพอร์ตอนุกรม เป็นแบบ 8 บิต แต่ข้อมูลจะถูกส่งออกจาก 8051 เรียงไปที่ละบิต ออกจากขา TXD (Serial Output Port) และในการรับข้อมูลเข้าก็จะรับเข้ามาที่ละบิตทางขา RXD (Serial Input Port) แล้วจัดเรียงใหม่เป็น 8 บิตเพื่อให้หน่วยประมวลผลกลางอ่านไปใช้งานต่อไป

8051 มีพอร์ตให้ใช้งานได้หลายแบบทำให้สะดวกแก่การนำไปใช้งานต่างๆ มากมาย ซึ่งการจะนำพอร์ตเหล่านี้ไปใช้งานได้จะต้องเขียนโปรแกรมขึ้นมาควบคุม

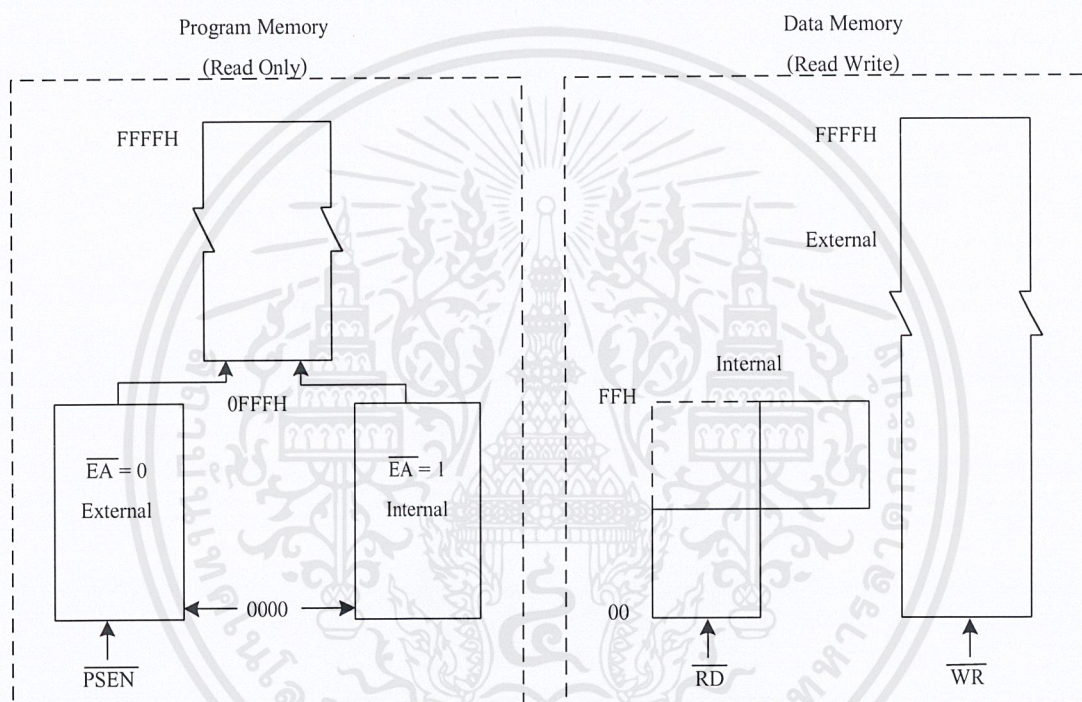
2.7.2 การจัดการหน่วยความจำของ 8051

หน่วยความจำของ 8051 แบ่งออกได้เป็น 2 แบบ ตามลักษณะของการใช้งาน คือ

1) **Program Memory** เป็นหน่วยความจำที่ใช้เก็บคำสั่งในรูปรหัสภาษาเครื่อง (Machine Language) ซึ่งต้องการให้ 8051 ทำงาน เมื่อ 8051 ทำงานก็จะอ่านข้อมูลที่เก็บในหน่วยความจำประเภทนี้เข้าไปถอดรหัสแล้วสร้างสัญญาณควบคุมส่วนอื่นๆ ตามการทำงานของแต่ละคำสั่งนั้น หน่วยความจำแบบนี้จะต้องเป็นแบบรอม และผู้ใช้จะต้องเขียนข้อมูลในแต่ละตำแหน่งของหน่วยความจำเป็นรหัสภาษาเครื่องของ 8051 ตามลำดับการทำงานที่ต้องการ (หน่วยความจำแบบรอมเป็นแบบ Non Volatile ซึ่งเมื่อปิดไฟแล้วข้อมูลก็ไม่มีสูญหาย) การเขียนข้อมูลลงไปในรอมจะต้องใช้เครื่องมือพิเศษ ในระหว่างการทำงานของ 8051 จะไม่สามารถใช้คำสั่งทำการเขียนข้อมูลลงในหน่วยความจำแบบนี้ได้ ซึ่งจำนวนตำแหน่งสูงสุดของหน่วยความจำแบบนี้ที่ 8051 จะใช้งานได้ คือ 65,536 ตำแหน่ง ค่าของตำแหน่งจะเขียนเป็นเลขฐาน 16 ได้ตั้งแต่ 0000H ถึง FFFFH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำตำแหน่ง 0000H ถึง 0FFFH จำนวน 4 กิโลไบต์ นั้นผู้ใช้จะเลือกได้ว่าเป็นตำแหน่งของรอมที่อยู่ภายใน หรือ ภายนอก 8051 ถ้าต้องการให้ 8051 ทำงานตามคำสั่งที่เก็บไว้ในรอมภายใน 8051 ก็ให้ป้อนสัญญาณสถานะลอจิก High (1) เข้าที่ขา \overline{EA} ของ 8051 แต่ถ้าต้องการให้ทำงานในโปรแกรมที่เก็บไว้ในรอมภายนอก 8051 ก็ให้ต่อลอจิก Low (0) เข้าที่ขา \overline{EA} ของ 8051 ส่วนหน่วยความจำที่ตำแหน่ง 1FFFH ถึง FFFFH จะต้องต่ออยู่ภายนอก 8051 เสมอ ดังแสดงในแผนภูมิหน่วยความจำในรูปที่ 2.18



รูปที่ 2.18 แผนภูมิหน่วยความจำของ 8051

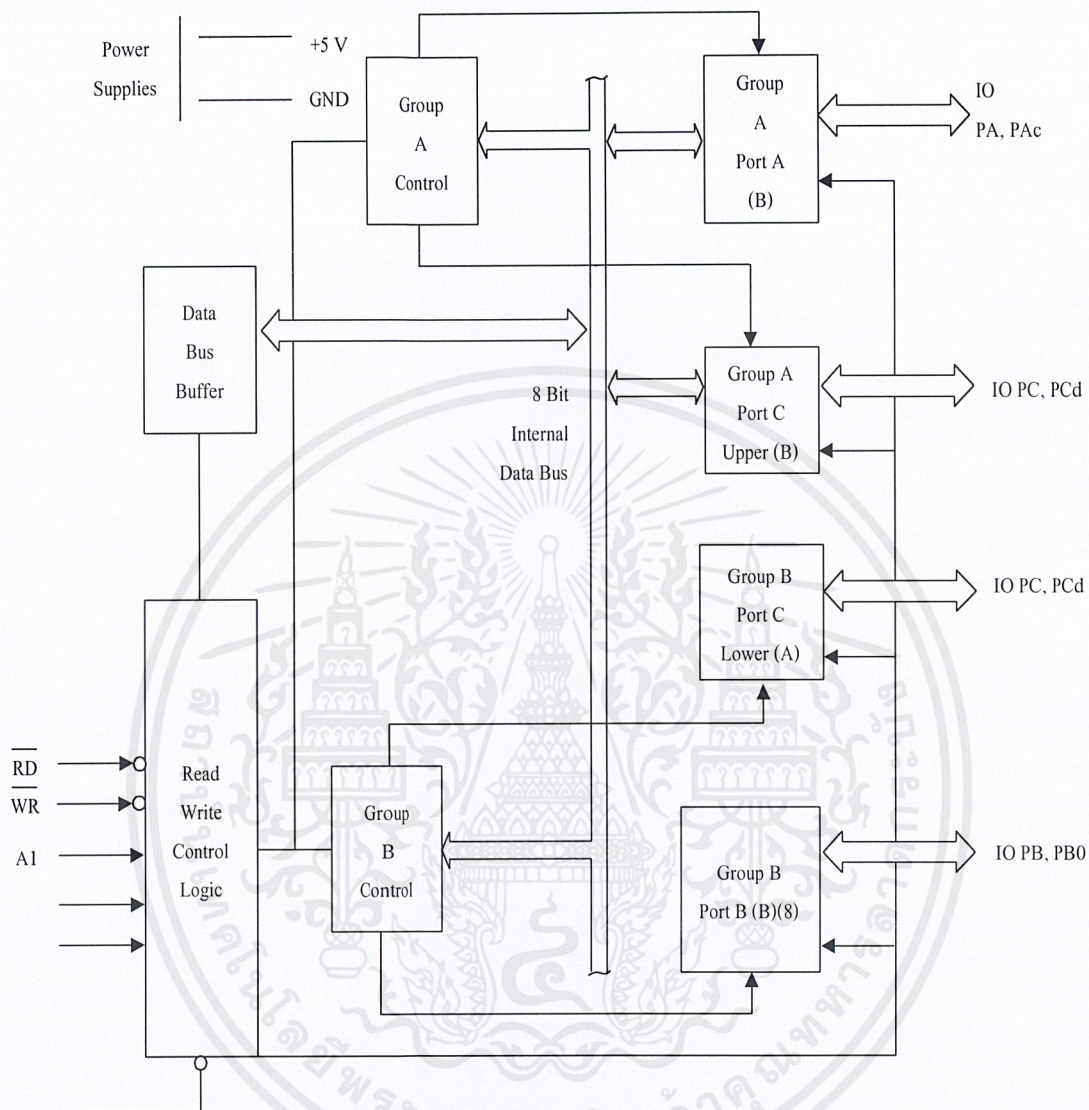
Internal Memory หมายถึงหน่วยความจำที่อยู่ภายในตัว 8051 ส่วน External Memory หมายถึงหน่วยความจำนั้นอยู่ภายนอก 8051

8051 จะมีรอมขนาด 4 กิโลไบต์อยู่ภายใน ถ้าต้องการเก็บคำสั่งควบคุมการทำงานไว้ในหน่วยความจำส่วนนี้ จะต้องส่งโปรแกรมคำสั่งไปให้โรงงานผู้ผลิตทำการเขียนคำสั่งลงไปนรอมให้ตั้งแต่ในขั้นตอนของการผลิตวงจรรวม ผู้ใช้ไม่สามารถโปรแกรมเองได้ ถ้าจะมาใช้งานโดยเก็บโปรแกรมไว้ในหน่วยความจำช่วง 4 กิโลไบต์ แรกอยู่ภายนอกก็สามารถทำได้ โดยการต่อรอมไว้ภายนอก แล้วต่อขา \overline{EA} ของ 8051 ไว้กับสัญญาณที่มีสถานะลอจิกเป็น “0”

2) **Data Memory** เป็นหน่วยความจำที่ 8051 จะใช้สำหรับพัก, เก็บข้อมูล แล้วเรียกมาใช้ใหม่ระหว่างการทำงานของ 8051 การอ่าน หรือ เขียนข้อมูลจากหน่วยความจำจะกระทำโดยคำสั่งที่เก็บไว้ใน Program Memory หน่วยความจำแบบนี้เป็นประเภทแรม ถ้ามีไฟเลี้ยงอยู่ข้อมูลที่เก็บไว้จะไม่สูญหาย แต่ถ้าปิดเครื่อง หรือ ไม่จ่ายไฟให้แก่แรมแล้ว ข้อมูลในแรมก็จะสูญหายไป ซึ่งจากการสูญหายของข้อมูลไม่ได้หมายความว่าไม่มีอะไรอยู่เลยแต่เป็นการที่มีข้อมูลใหม่ที่ไม่ใช่ข้อมูลที่มีอยู่เดิมเข้ามาแทนที่ เช่นเดิมเก็บข้อมูล 18H ไว้ที่ตำแหน่ง 1900H เมื่อปิดไฟแล้วเปิดใหม่ ข้อมูลที่ตำแหน่ง 1900H จะไม่ใช่ 18H จะเป็นค่าอะไรก็ได้ ซึ่งเรียกการเกิดลักษณะแบบนี้ว่า ข้อมูลสูญหายไป หน่วยความจำแบบ Data Memory ของ 8051 จะมีอยู่ 2 ชุด ชุดหนึ่งอยู่ภายใน 8051 มีขนาดจำนวน 128 ไบต์ ที่ตำแหน่ง 00H ถึง 7FH และหน่วยความจำอีกชุดหนึ่งจะต้องอยู่นอกวงจรรวมของ 8051 ซึ่งมีขนาดสูงสุด 65,536 ไบต์ อยู่ที่ตำแหน่ง 0000H ถึง FFFFH ดังแสดงในรูปที่ 2.18 หน่วยความจำแบบ Data Memory ภายในตัว 8051 ที่ตำแหน่ง 80H ถึง FFH นั้นไม่ได้มีอยู่ทุกตำแหน่ง แต่จะมีเฉพาะในบางตำแหน่งเท่านั้น เรียกหน่วยความจำพิเศษตำแหน่งนี้ว่า เอสเอฟอาร์ (Special Function Register : SFR) เพราะจะใช้หน่วยความจำเหล่านี้สำหรับงานพิเศษเท่านั้น แต่ละตำแหน่งของหน่วยความจำแบบเอสเอฟอาร์นี้อาจเป็นแรม, วงจรนับ หรือ วงจรตั้งเวลาก็ได้ เช่น เป็น ไทม์เมอร์ 0 หรือ ไทม์เมอร์ 1 ดังนั้นจึงไม่ถือว่าหน่วยความจำพิเศษเอสเอฟอาร์นี้เป็นหน่วยความจำข้อมูล

2.8 ไอซี 8255

ไอซี 8255 เป็นไอซีพอร์ตขนานที่สามารถโปรแกรมให้ทำงานเป็นพอร์ตอินพุต หรือ พอร์ตเอาต์พุตก็ได้ มี 40 ขา การเรียกพอร์ตของ 8255 จะเรียกว่า พอร์ต A, B และ C โดยแต่ละพอร์ตจะมีขนาด 8 บิต และพอร์ต C จะแยกออกเป็น 2 ส่วน คือ PC0-PC3 เรียกว่า พอร์ต C ล่าง จำนวน 4 บิต และพอร์ต C บน คือ PC4-PC7 พอร์ตทุกพอร์ตเป็นได้ทั้งอินพุตและเอาต์พุต ลักษณะของ 8255 แสดงได้ดังรูปที่ 2.19



รูปที่ 2.19 โครงสร้างของไอซี 8255

2.8.1 การใช้งานขาต่างๆ ของ 8255

D0-D7 เป็นขาที่ข้อมูลอินพุต และเอาต์พุตจะต้องผ่านเข้าออกจากส่วนนี้ จึงเป็นส่วนที่จะต่อเข้ากับระบบบัสของไมโครคอนโทรลเลอร์ เพื่อให้ไมโครคอนโทรลเลอร์สามารถอ่าน หรือเขียนข้อมูลจากพอร์ตผ่านทางบัสนี้

CS ขานี้เป็นขาอินพุตที่จะรับสัญญาณจากภายนอกเพื่อเลือกชิพ 8255 โดยเมื่อให้ขานี้เป็นลอจิก “0” จะทำให้ 8255 ต่อเข้ากับระบบบัสของไมโครคอนโทรลเลอร์ที่ต่อใช้งานอยู่เพื่อให้ไมโครคอนโทรลเลอร์เขียน หรือ อ่านข้อมูลจากพอร์ตได้

RD ขาสัญญาณการอ่าน เป็นสัญญาณอินพุตที่ส่งมาจาก CPU เมื่อสัญญาณนี้เป็นลอจิก “0” ด้วยตัว 8255 จะทำให้ตัว CPU อ่านข้อมูลจากบัสในขณะที่เป็นพอร์ตอินพุต

WR ขาสัญญาณการเขียน จะแอกทีฟเมื่อสัญญาณ WR เป็นลอจิก “0” และ CS เป็นลอจิก “0” สัญญาณนี้มาจาก CPU เมื่อต้องการเขียนข้อมูลลงบนพอร์ตที่กำหนด

A0-A1 เป็นขาแอดเดรส ลอจิกของทั้งสองขานี้ จะถอดรหัสออกมาได้ 4 ค่า เพื่อกำหนดค่ารีจิสเตอร์ภายในที่เชื่อมต่อเข้ากับพอร์ตอินพุต และเอาต์พุตของ 8255 เพื่อเลือกใช้พอร์ต A, B และ C

RESET ขารีเซต เป็นขาสัญญาณที่ส่งมาจากภายนอกเพื่อทำการรีเซต 8255 เพื่อเคลียร์สถานะต่างๆของ 8255 เมื่อ 8255 ได้รับการรีเซต ก็จะกลับเข้าสู่พอร์ตอินพุต หรือ ทุกพอร์ตเป็นพอร์ตอินพุต

PA0-PA7 เป็นสายสัญญาณที่เป็นพอร์ตของ 8255 ชื่อพอร์ต A การเลือกพอร์ตจะเลือกโดยขา A0-A1

PB0-PB7 เป็นสายสัญญาณที่เป็นพอร์ตของ 8255 ชื่อพอร์ต B การเลือกพอร์ตจะเลือกโดยขา A0-A1

PC0-PC7 เป็นสายสัญญาณที่เป็นพอร์ตของ 8255 การกำหนดพอร์ตนี้จะได้รับการกำหนดโดยขาแอดเดรส A0-A1 พอร์ต C สามารถแบ่งออกได้ 2 กลุ่ม คือ กลุ่ม PC0-PC3 และกลุ่ม PC4-PC7

ถ้าต้องการให้ 8255 ทำงานจะต้องทำให้ขา CS แอกทีฟ จากนั้นเลือกพอร์ตที่จะติดต่อโดย A0-A1 รีจิสเตอร์แต่ละตัวใน 8255 จะได้รับการกำหนดค่าควบคุมกับสัญญาณ RD และ WR เพื่อแสดงการทำงานต่างๆ ดังนั้นสัญญาณของขาควบคุมที่นำมาประกอบกันจะมีความหมายดังตารางที่ 2.2

ตารางที่ 2.2 การเลือกพอร์ตของ 8255

RD	WR	A0	A1	ความหมาย
1	0	0	0	ส่งข้อมูลไปที่พอร์ต A
0	1	0	0	อ่านข้อมูลจากพอร์ต A
1	0	0	1	ส่งข้อมูลไปที่พอร์ต B
0	1	0	1	อ่านข้อมูลจากพอร์ต B
1	0	1	0	ส่งข้อมูลไปที่พอร์ต C
0	1	1	0	อ่านข้อมูลจากพอร์ต C
1	0	1	1	เขียนข้อมูลซึ่งเป็น รหัสควบคุม
0	1	1	1	ไม่ใช่

การทำงานของไอซีเบอร์ 8255 จะทำงานได้ 3 โหมด คือ โหมด 0, โหมด 1 และ โหมด 2 ซึ่งสามารถเลือกการทำงานได้โดยการโปรแกรมให้กับ 8255 คำสั่งที่โปรแกรมจะมี 8 บิต แต่ละบิตมีความหมายดังนี้

บิต 7 เป็นบิตแสดงรหัสคำสั่งควบคุม ถ้าบิตนี้เป็นลอจิก “1” จะหมายถึงรหัสควบคุมนี้มีผลต่อการเปลี่ยนการเซตโหมดต่างๆของ 8255

บิต D5 และ D6 เป็นโหมดของพอร์ต A ซึ่งมีการทำงาน 3 โหมด คือ โหมด 0, 1 และ 2

บิต D4 ถ้ามีค่าเท่ากับ “0” หมายถึง การกำหนดให้พอร์ต A เป็นเอาต์พุต ถ้ามีค่าเป็น “1” จะกำหนดให้พอร์ต A เป็นอินพุต

บิต D3 เป็นบิตที่บอกการเซตพอร์ต C บน ถ้าเป็นลอจิก “0” จะทำให้พอร์ต C บนเป็นเอาต์พุต

บิต D2 เป็นบิตที่บอกการเซตโหมคของพอร์ต B ถ้าเป็นลอจิก “0” หมายถึงเลือกพอร์ต B เป็นโหมค 0 และถ้าเป็น “1” คือ การเลือกโหมค “1”

บิต D1 เป็นการกำหนดอินพุต และเอาต์พุตของพอร์ต B ถ้าเป็น “0” คือ พอร์ตเอาต์พุต ถ้าเป็น “1” คือ พอร์ตอินพุต

บิต D0 เป็นบิตที่บอกการเซตพอร์ต C ล่าง ถ้าเป็นลอจิก “0” จะทำให้พอร์ต C ล่างเป็นเอาต์พุต

การทำงานในโหมค 0 จะเป็นการทำงานแบบอินพุต และเอาต์พุตพื้นฐาน ซึ่งจะประกอบด้วยพอร์ต 8 บิต 2 พอร์ต คือ พอร์ต A และพอร์ต B พอร์ตขนาด 4 บิต 2 พอร์ต คือ พอร์ต C บน และพอร์ต C ล่าง ทุกๆพอร์ตสามารถโปรแกรมให้เป็นอินพุต หรือ เอาต์พุตได้ซึ่งมีการทำงานทั้งหมด 16 รูปแบบ

การทำงานในโหมค 1 จะประกอบด้วยพอร์ต 8 บิต 2 พอร์ต คือ พอร์ต A และพอร์ต B ซึ่งสามารถโปรแกรมให้เป็นอินพุต หรือ เอาต์พุต ส่วนพอร์ต 4 บิตอีก 2 พอร์ตจะใช้ทำ Handshaking ของพอร์ต A และพอร์ต B

การทำงานในโหมค 2 การทำงานในโหมคนี้ จะใช้พอร์ต 8 บิตของพอร์ต A เป็นแบบ 2 ทิศทางทั้งอินพุต และเอาต์พุต โดยมีพอร์ต C เป็นสัญญาณบอกสถานะ (Status) และคอนโทรล (Control) กับพอร์ต A โดยมีการทำ Handshaking ดังเช่น โหมค 1

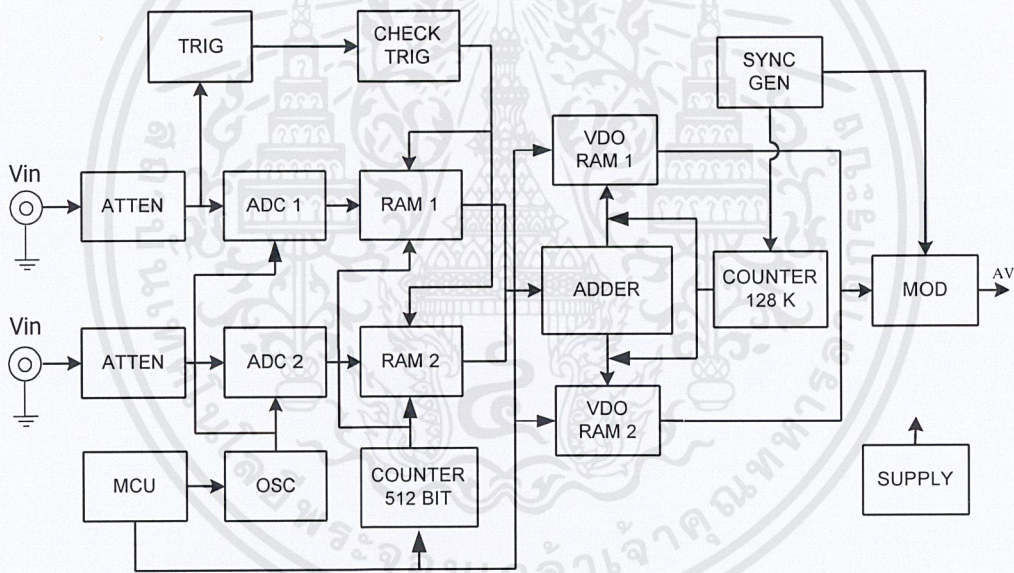
บทที่ 3

การออกแบบ การสร้าง และการทำงาน

จากหลักการ และทฤษฎีต่างๆ ที่เกี่ยวข้องกับการทำงานของดิจิตอลออสซิลโลสโคป สามารถทำการออกแบบ และสร้างวงจรการทำงานของดิจิตอลออสซิลโลสโคปในแต่ละส่วน โดยมีขั้นตอนเริ่มตั้งแต่การออกแบบ ไปจนถึงการสร้าง และการทำงาน ดังต่อไปนี้

3.1 การออกแบบวงจร

ออกแบบวงจรดิจิตอลออสซิลโลสโคปตามขั้นตอนการทำงานในแต่ละภาคดังนี้



รูปที่ 3.1 แผนผังการทำงานของดิจิตอลออสซิลโลสโคป

จากการออกแบบแผนผังการทำงานของดิจิตอลออสซิลโลสโคป ในรูปที่ 3.1 สามารถแยกโครงสร้างการทำงานในแต่ละส่วนของดิจิตอลออสซิลโลสโคปได้ดังนี้

- 1) วงจรลดทอน และขยายสัญญาณ (Attenuation)
- 2) วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอล (Analog To Digital Converter)
- 3) วงจรตรวจสอบขอบขาขึ้นของสัญญาณ (Check Trigger)
- 4) วงจรกำเนิดความถี่ (Counter Oscillator)
- 5) วงจรควบคุมการทำงาน (Control)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

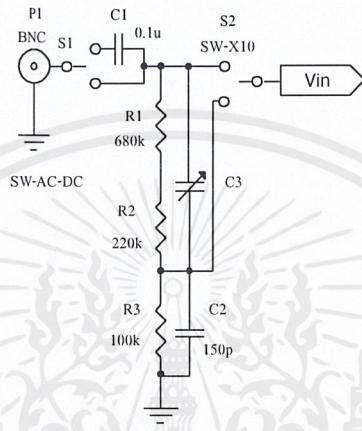
- 6) วงจรนับตำแหน่งหน่วยความจำการสุ่มข้อมูล (Counter Sampling Ram)
- 7) วงจรนับตำแหน่งขนาด 512 ตำแหน่ง (Counter 512 Byte)
- 8) วงจรหน่วยความจำการสุ่มข้อมูล (Sampling Ram)
- 9) วงจรสร้างตำแหน่งการเขียนหน่วยความจำแสดงผล (Adder)
- 10) วงจรหน่วยความจำแสดงผล (Video Ram)
- 11) วงจรนับตำแหน่งขนาด 131,072 ตำแหน่ง (Counter 128 Kilobytes)
- 12) วงจรกำเนิดสัญญาณภาพรวม (Synchronize)
- 13) วงจรผสมสัญญาณภาพ (Modulation)

ในการออกแบบวงจรของดิจิทัลลอจิกโคป สามารถกำหนดหลักการทำงานเป็นแผนผังการทำงานดังรูปที่ 3.1 การทำงานของดิจิทัลลอจิกโคปจะเริ่มจากการปรับสัญญาณอินพุตที่เข้ามาผ่านวงจรลดทอน และขยายสัญญาณเพื่อปรับให้สัญญาณที่จะผ่านไปยังวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลไม่สูงเกินไป จนทำให้ไอซีแปลงสัญญาณแอนะล็อกเป็นดิจิทัลเกิดความเสียหายเมื่อสัญญาณได้รับการปรับเรียบร้อยแล้ว จากนั้นจะถูกแปลงให้เป็นสัญญาณดิจิทัลโดยวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล ได้ข้อมูลขนาด 8 บิต ส่วนจังหวะที่จะกำหนดให้วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลเริ่มทำงานนั้นถูกกำหนดโดยวงจรตรวจสอบขอบขาขึ้นของสัญญาณเพื่อให้สัญญาณที่แสดงผลบนหน้าจอเครื่องรับโทรทัศน์ไม่มีการเลื่อนของสัญญาณข้อมูลขนาด 8 บิตที่ได้จะถูกนำไปเก็บยังหน่วยความจำการสุ่มข้อมูลซึ่งทำการเก็บแยกกันระหว่างช่องสัญญาณ 1 และ 2 เมื่อทำการสุ่มข้อมูล และเก็บข้อมูลจนเต็มหน่วยความจำการสุ่มข้อมูลแล้วจะทำการอ่านข้อมูลออกมาเพื่อทำการสร้างเป็นตำแหน่งในการเขียนข้อมูลลงในหน่วยความจำแสดงผลโดยวงจรสร้างตำแหน่งการเขียนหน่วยความจำแสดงผลมีวงจรมับตำแหน่งขนาด 512 ตำแหน่งใช้ในการอ่านข้อมูลจากหน่วยความจำการสุ่มข้อมูลหลังจากเขียนข้อมูลลงในหน่วยความจำแสดงผลแล้วจะทำการอ่านข้อมูลจากหน่วยความจำแสดงผลเพื่อนำไปผสมสัญญาณร่วมกับสัญญาณที่ผลิตโดยวงจรกำเนิดสัญญาณภาพรวมจะได้สัญญาณภาพรวมนำไปแสดงผลที่เครื่องรับโทรทัศน์ในขั้นตอนการอ่านข้อมูลจากหน่วยความจำแสดงผลจะมีวงจรมับตำแหน่งขนาด 131,072 ตำแหน่งเป็นวงจรสร้างสัญญาณในการอ่านข้อมูลจากหน่วยความจำแสดงผล สำหรับจังหวะการอ่าน และเขียนหน่วยความจำแสดงผลทั้ง 2 วงจรจะสลับกันทำงาน โดยเมื่ออ่านข้อมูลจากหน่วยความจำแสดงผล ตัวที่ 1 หน่วยความจำแสดงผลตัวที่ 2 จะทำการสุ่มลบ และเขียนข้อมูลในทางกลับกันเมื่ออ่านข้อมูลจากหน่วยความจำแสดงผล ตัวที่ 2 หน่วยความจำแสดงผลตัวที่ 1 จะทำการสุ่มลบ และเขียนข้อมูลโดยมีไมโครคอนโทรลเลอร์ทำหน้าที่ควบคุมการทำงานทั้งหมด

3.2 การสร้าง และการทำงาน

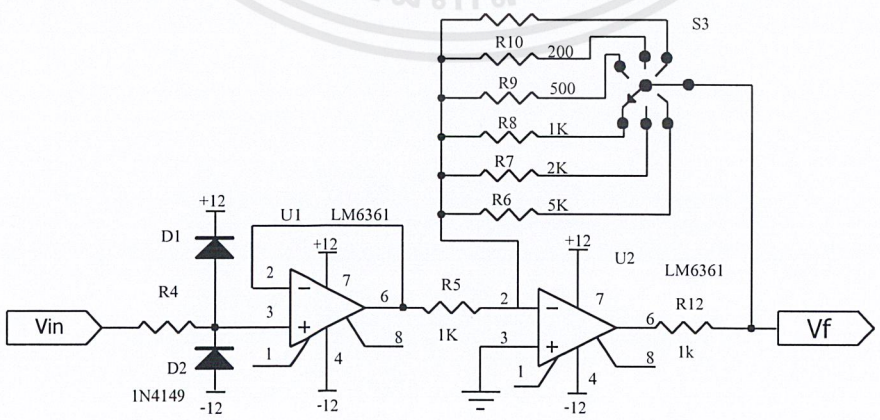
3.2.1 วงจรลดทอน และขยายสัญญาณ

สัญญาณอินพุตที่วัดได้อาจมีขนาดเกินแรงดันอ้างอิง จึงต้องปรับให้มีขนาดที่เหมาะสม ด้วยวงจรลดทอน และขยายสัญญาณก่อนส่งไปแปลงเป็นสัญญาณดิจิทัลต่อไป



รูปที่ 3.2 วงจรลดทอนสัญญาณ

จากรูปที่ 3.2 เป็นวงจรลดทอนสัญญาณที่เข้ามาทางอินพุต ซึ่งอาจมีขนาดแรงดันไฟฟ้าเกินกำหนดเพื่อให้มีขนาดลดลง สวิตช์ S1 ใช้เลือกวัดสัญญาณไฟฟ้ากระแสตรง หรือ ไฟฟ้ากระแสสลับ สวิตช์ S2 ใช้ในการเลือกขนาดการลดทอนสัญญาณ 10 เท่า ด้วยการต่อตัวต้านทาน R1, R2 และ R3 แบบแบ่งแรงดัน



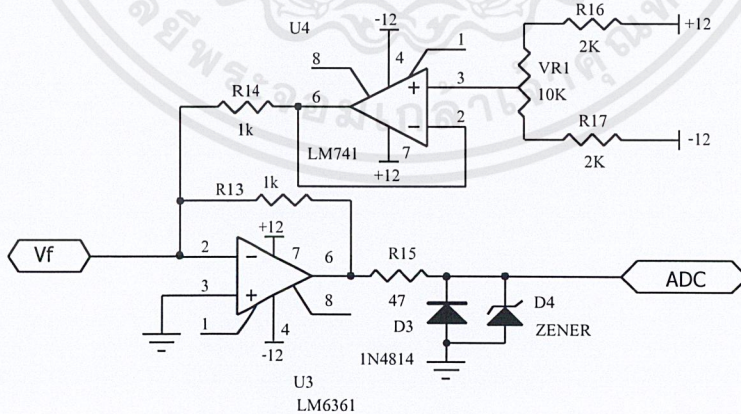
รูปที่ 3.3 วงจรขยายสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.3 เป็นวงจรที่ทำหน้าที่ในการเลือกย่านการวัดของคิจิตลออสซิลโลสโคป โดยมีไอซี U1 เป็นออปแอมป์เบอร์ LM6361 ทำการต่อแบบไม่กลับเฟส และไม่ขยายสัญญาณ โดยทำหน้าที่เป็นบัฟเฟอร์ให้กับวงจร ไอซี U2 เป็นส่วนของการขยายสัญญาณใช้ออปแอมป์เบอร์ LM6361 ทำการขยายแบบกลับเฟสซึ่งมีการขยายทั้งหมด 6 ระดับ มีสวิตช์ S3 เป็นตัวเลือกย่านการขยายสัญญาณ โดยมีสูตรการคำนวณหาอัตราขยาย ดังนี้ $AV = \frac{RF}{Rin} = \frac{RF}{1k}$

ตารางที่ 3.1 การคำนวณอัตราขยายสัญญาณ

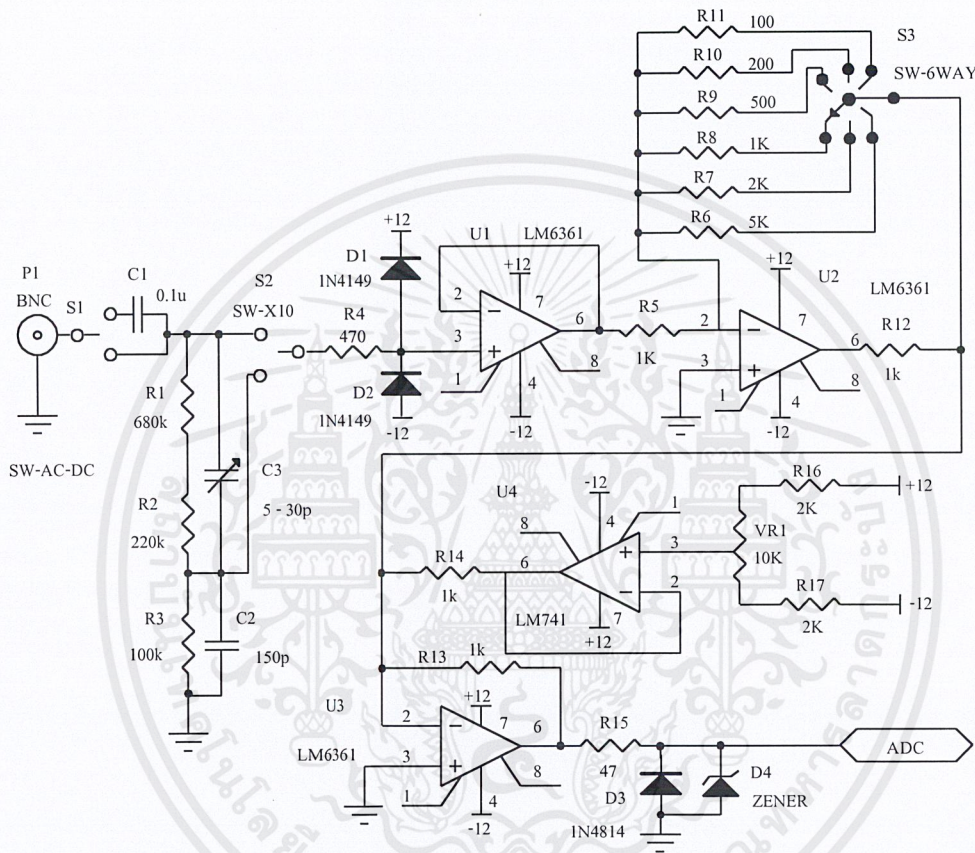
ค่าความต้านทาน (RF)	อัตราขยายสัญญาณ	ย่านการวัด
100	0.1 เท่า	X10
200	0.2 เท่า	X5
500	0.5 เท่า	X2
1k	1 เท่า	X1
2k	2 เท่า	X0.5
5k	5 เท่า	X0.2



รูปที่ 3.4 วงจรปรับระดับทางแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

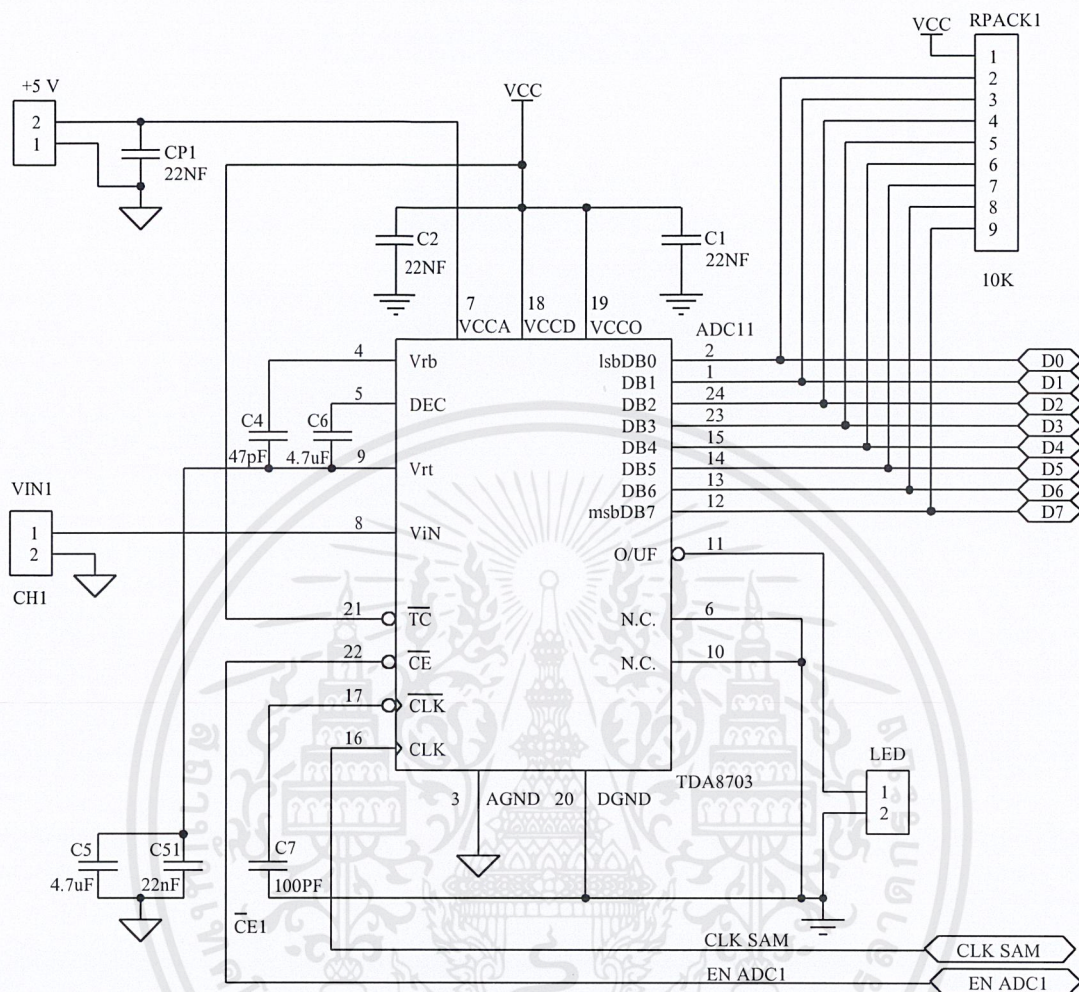
จากวงจรรูปที่ 3.4 ไอซี U4 ทำหน้าที่ยกระดับสัญญาณด้วยไฟกระแสตรงจากการปรับตัวต้านทานปรับค่าได้ แรงดันที่ยกระดับนี้จะถูกส่งไปรวมกับสัญญาณจากวงจรขยายสัญญาณที่ไอซี U3 เพื่อรวมสัญญาณทั้งสองเข้าด้วยกัน และส่งต่อไปยังวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล



รูปที่ 3.5 วงจรลดทอน และขยายสัญญาณ

3.2.2 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล

เนื่องจากสัญญาณที่ทำการวัดเข้ามาเป็นสัญญาณแอนะล็อก แต่การทำงานของวงจรทุกส่วนถูกออกแบบมาให้ใช้สัญญาณดิจิทัล จึงต้องทำการแปลงสัญญาณที่วัดเข้ามาให้เป็นสัญญาณดิจิทัล โดยใช้ไอซีแปลงสัญญาณแอนะล็อกเป็นดิจิทัลที่มีขนาด 8 บิตเป็นตัวแปลง

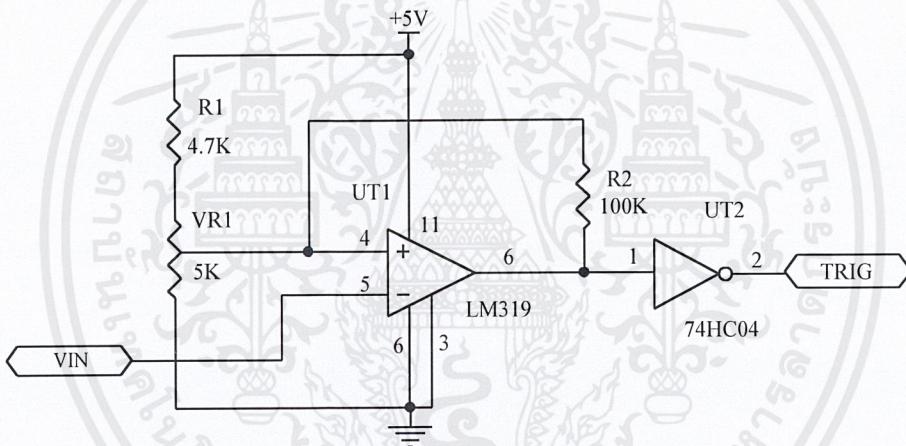


รูปที่ 3.6 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล

จากรูปที่ 3.6 เป็นวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล ใช้ไอซีเบอร์ TDA8703 ในการแปลงสัญญาณแอนะล็อกเป็นดิจิทัลขนาด 8 บิต โดยมีอัตราการสุ่มข้อมูลสูงสุดถึง 40 เมกะเฮิร์ตซ์แต่ในการใช้งานจริงใช้เพียง 10 เมกะเฮิร์ตซ์ โดยมีแรงดันอ้างอิงอยู่ที่ 1.55 ถึง 3.26 โวลต์ จัดวงจรให้ทำงานที่ขอบขาขึ้นของสัญญาณนาฬิกา โดยต่อขา 17 กับคาปาซิเตอร์ C8 ลงกราวด์ (Ground : GND) C1, C2, C3, C4 และ C5 ต่อคร่อมระหว่างขา VCC กับขา GND เพื่อกรองเอาสัญญาณรบกวนที่คร่อมทับอยู่บน VCC ทิ้งไปโดยต่อให้ใกล้กับขาไอซีที่สุด ขา 9 ของ TDA8703 เป็นขาอินพุตรับสัญญาณแอนะล็อก ขา 11 เป็นขาสัญญาณโอเวอร์โฟล (Over Flow) ซึ่งจะเป็นลอจิก “1” ต่อเมื่อสัญญาณอินพุตที่รับเข้ามามีแรงดันต่ำกว่า หรือ สูงกว่าแรงดันอ้างอิง ข้อมูลที่ได้จากการแปลงสัญญาณแอนะล็อกเป็นดิจิทัลขนาด 8 บิต (D0-D7) นำไปเก็บที่หน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

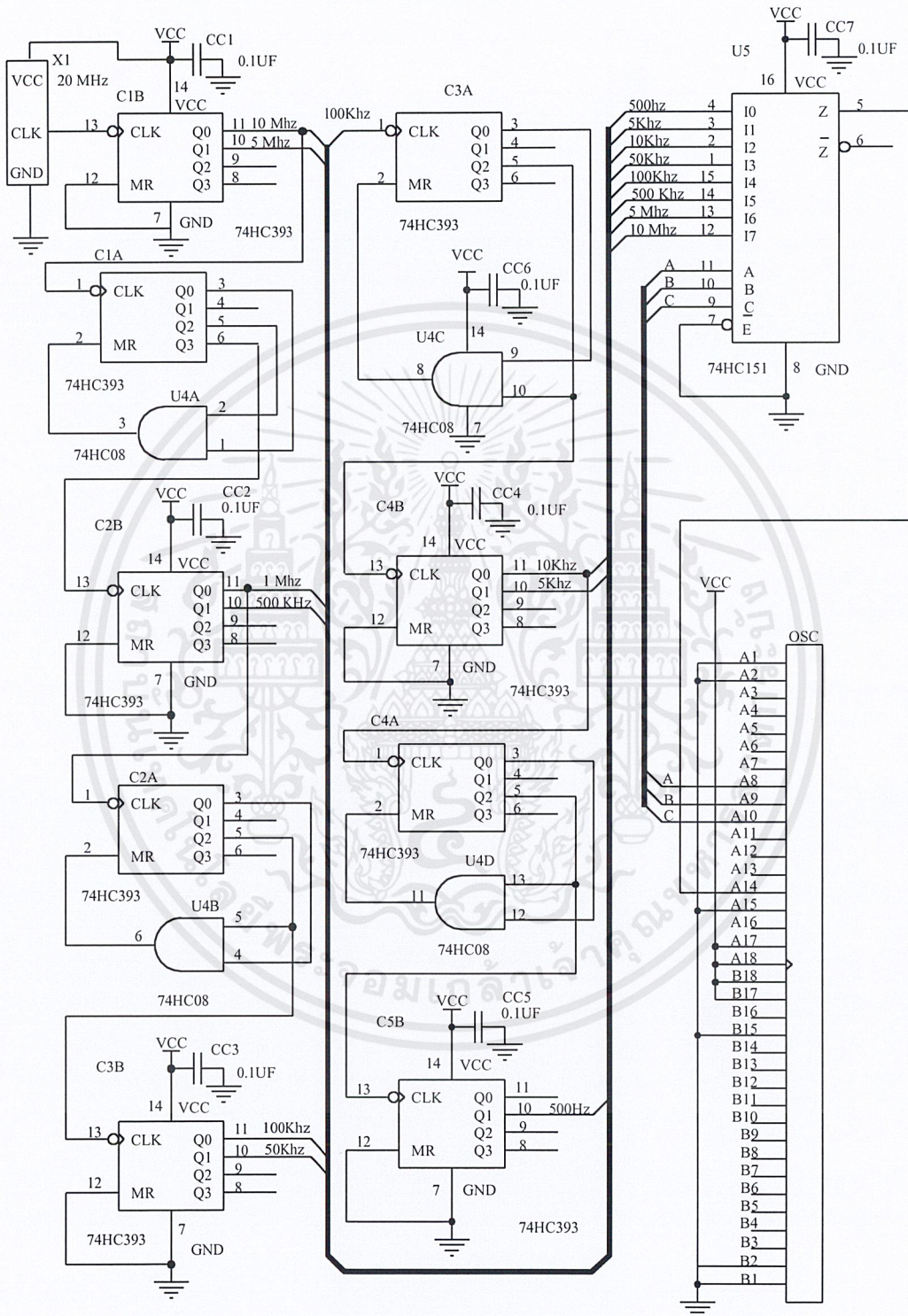
จากรูปที่ 3.7 สภาวะเริ่มต้นกำหนดให้ ICU1A ทำการรีเซตขา \bar{Q} เป็นลอจิก “1” ทำการเคลียร์ตำแหน่งในการสุ่มข้อมูล ICU1B ทำการเซตขา Q เป็นลอจิก “1” ผ่านนี้่อดเกต ICU2B ได้สัญญาณลอจิก “0” ไปออร์กับสัญญาณ CLK SAM ที่ได้จากนี้่อดเกต สร้างเป็นสัญญาณเขียนลงหน่วยความจำการสุ่มข้อมูล เมื่อสัญญาณทริกเปลี่ยนจากลอจิก “0” เป็น “1” จะทำการส่งลอจิก “0” ออกที่ขา \bar{Q} ของ ICU1A ทำการหยุดการเคลียร์ วงจรนับตำแหน่งทำการนับตำแหน่งเริ่มเขียนข้อมูลลงหน่วยความจำการสุ่มข้อมูลจนเต็มจะทำให้ Q12 เปลี่ยนจากลอจิก “0” เป็นลอจิก “1” ส่งผลให้ ICU1B เปลี่ยนสัญญาณลอจิกที่ขา \bar{Q} จากลอจิก “1” เป็นลอจิก “0” ทำให้ขา WR ของหน่วยความจำการสุ่มข้อมูลเป็นลอจิก “1” หยุดการเขียนข้อมูลลงหน่วยความจำการสุ่มข้อมูล และทำให้สัญญาณ RD MEM เปลี่ยนจากลอจิก “1” เป็นลอจิก “0”



รูปที่ 3.8 วงจรตรวจสอบขอบขาขึ้นของสัญญาณ

จากรูปที่ 3.8 วงจรตรวจสอบขอบขาขึ้นของสัญญาณอาศัยหลักการของวงจรเปรียบเทียบแรงดันโดยใช้ไอซี UT1 เบอร์ LM319 มาทำการต่อเป็นวงจรเปรียบเทียบที่มีอัตราการขยายสูง สัญญาณอินพุตต่อกับขาอินเวอร์ตติง (Inverting) เพื่อตรวจสอบสัญญาณอินพุตที่เข้ามาใช้เป็นสัญญาณเริ่มต้นในการเก็บข้อมูลลงหน่วยความจำ แต่สัญญาณเอาต์พุตที่ออกจาก UT1 มีลักษณะกลับเฟสกับสัญญาณที่ต้องการ จึงต้องนำมาผ่านไอซีนี้่อดเกตเพื่อทำการกลับเฟสสัญญาณ

3.2.4 วงจรกำเนิดความถี่

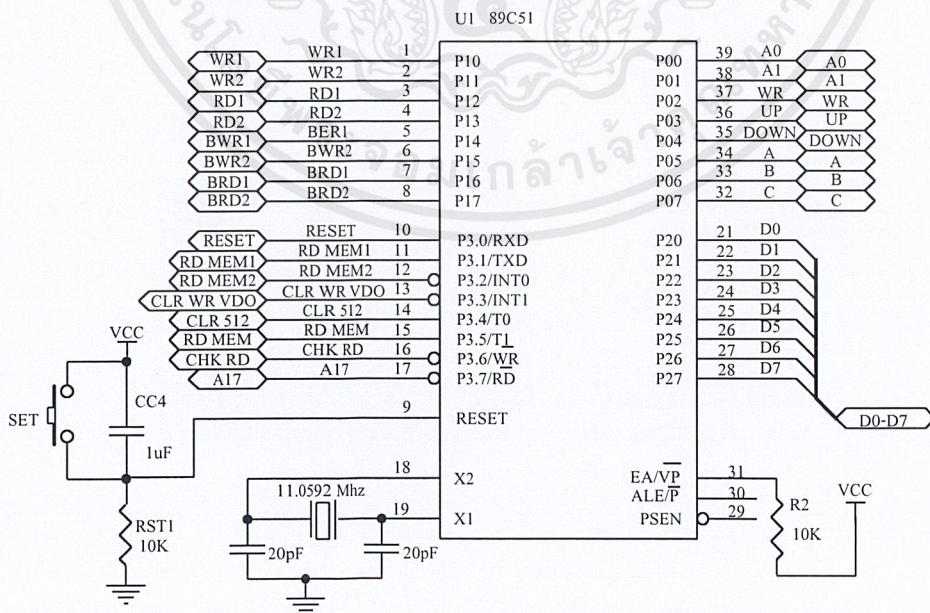


รูปที่ 3.9 วงจรกำเนิดความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.9 วงจรกำเนิดความถี่ใช้คริสตอล (Crystal) ความถี่ 20 เมกะเฮิร์ตซ์ ป้อนสัญญาณเข้าที่ขา 13 ของไอซี C1B เบอร์ 74HC393 ตัวที่ 1 ทำการหารความถี่ที่ขา 11 ได้ 10 เมกะเฮิร์ตซ์ ที่ขา 10 ได้ความถี่ 5 เมกะเฮิร์ตซ์ จากนั้นนำสัญญาณ 10 เมกะเฮิร์ตซ์ ไปหารด้วย 5 ซึ่งใช้ไอซี C1A ชุดที่ 2 ป้อนสัญญาณ 10 เมกะเฮิร์ตซ์ เข้าที่ขา 1 มีแอนด์เกต (AND Gate) เบอร์ 74HC08 เป็นตัวทำการหาร 5 สัญญาณที่ได้จากขา 5 ป้อนให้กับขา 13 ของไอซี 74HC393 ตัวที่ 2 ชุดที่ 1 ทำการหาร 2 ที่ขา 11 ได้ความถี่ 1 เมกะเฮิร์ตซ์ และ 500 กิโลเฮิร์ตซ์ ที่ขา 10 สัญญาณ 1 เมกะเฮิร์ตซ์ นำไปหาร 10 ได้ 100 กิโลเฮิร์ตซ์ ที่ขา 11 ของไอซี 74HC393 ตัวที่ 3 ชุดที่ 2 และ 50 กิโลเฮิร์ตซ์ ที่ขา 10 นำสัญญาณ 100 กิโลเฮิร์ตซ์ ไปหารด้วย 10 จะได้ความถี่ 10 กิโลเฮิร์ตซ์ ที่ขา 11 ของไอซีตัวที่ 4 ชุดที่ 2 และ 5 กิโลเฮิร์ตซ์ ที่ขา 10 และสุดท้าย นำสัญญาณ 10 กิโลเฮิร์ตซ์ ไปหารด้วย 20 จะได้ความถี่ 500 เฮิร์ตซ์ ที่ขา 10 ของ 74HC393 ตัวที่ 5 ชุดที่ 2 จากนั้นนำสัญญาณ 10 เมกะเฮิร์ตซ์, 5 เมกะเฮิร์ตซ์, 1 เมกะเฮิร์ตซ์, 500 กิโลเฮิร์ตซ์, 100 กิโลเฮิร์ตซ์, 50 กิโลเฮิร์ตซ์, 10 กิโลเฮิร์ตซ์, 5 กิโลเฮิร์ตซ์ และ 500 เฮิร์ตซ์ ไปทำการเลือกโดยใช้ไอซี 74HC151 มีขา 9, 10 และ 11 ใช้ในการเลือกความถี่แซมปลิง (Sampling) โดย ABC เป็น 000 จะเลือกความถี่ต่ำที่สุดคือ 500 เฮิร์ตซ์ ABC เป็น 111 จะเป็นการเลือกความถี่แซมปลิง 10 เมกะเฮิร์ตซ์ เป็นเอาต์พุตที่ขา 5 ของไอซี 74HC151 ซึ่งความถี่แต่ละความถี่ที่ได้มานั้น จะนำไปทำฐานเวลาในการบอกระดับ Time/Div ของดิจิตอลออสซิลโลสโคป

3.2.5 วงจรควบคุมการทำงาน



รูปที่ 3.10 วงจรควบคุมการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

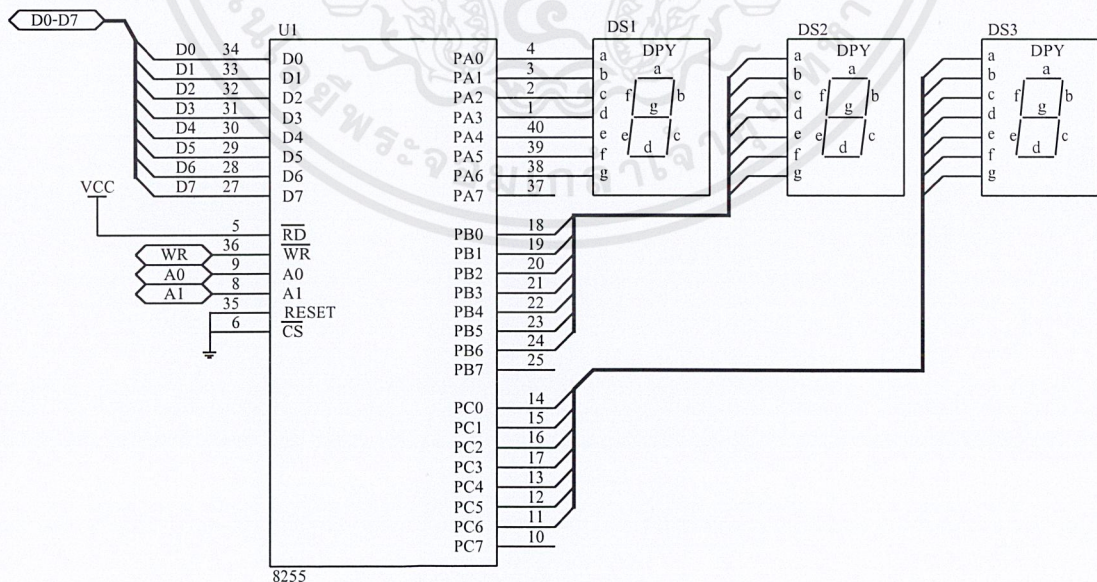
จากรูปที่ 3.10 วงจรควบคุมการทำงานใช้ไมโครคอนโทรลเลอร์เบอร์ 89C51 โดยแบ่งการทำงานออกเป็น 2 ส่วน ส่วนแรกควบคุมการเลือกอัตราการสุ่มข้อมูลโดยมีสัญญาณ UP ต่อเข้าที่ขา P0.0 และสัญญาณ DOWN ต่อเข้าที่ขา P0.1 สัญญาณทั้ง 2 สัญญาณ เมื่อมีการกดปุ่มเลือกอัตราการสุ่มข้อมูลโปรแกรมจะทำการส่งข้อมูลออกที่พอร์ต P0.5, P0.6, P0.7 และทำการส่งข้อมูลออกที่พอร์ต P2 ไปยัง 8255 เพื่อทำการแสดงผลการเลือกย่าน Time/Div มีสัญญาณควบคุมในการเขียน 3 สัญญาณ คือ A0, A1 และ WR โดย A0, A1 เป็นขาสัญญาณเลือกพอร์ตของ 8255 ขาสัญญาณ WR ใช้ในการเขียนข้อมูลไปยังพอร์ตของ 8255 เพื่อแสดงผลการเลือกย่าน Time/Div ที่เซเว่นเซกเมนต์ (7-Segment) การทำงานส่วนที่ 2 ทำหน้าที่ควบคุมขั้นตอนการทำงานในการลบข้อมูลจากหน่วยความจำแสดงผล, การสุ่มข้อมูล, การอ่านข้อมูลจากหน่วยความจำการสุ่มข้อมูล และการเขียนข้อมูลในหน่วยความจำแสดงผล โดยการทำงานแต่ละขั้นตอนจะต้องส่งข้อมูลออกที่พอร์ต P3 ดังตารางที่ 3.2 ส่วนพอร์ต P1 ถูกกำหนดให้เป็นพอร์ตในการตรวจสอบลำดับขั้นตอนการทำงาน โดยขาสัญญาณต่างๆ มีหน้าที่ดังตารางที่ 3.3

ตารางที่ 3.2 หน้าที่ของขาสัญญาณของพอร์ต P3

พอร์ต	ขาสัญญาณ	การทำงาน
P3.0	WR1	เป็นขาสัญญาณในการเขียนข้อมูลลงในหน่วยความจำแสดงผลตัวที่ 1
P3.1	WR2	เป็นขาสัญญาณในการเขียนข้อมูลลงในหน่วยความจำแสดงผลตัวที่ 2
P3.2	RD1	เป็นขาสัญญาณในการอ่านข้อมูลจากหน่วยความจำแสดงผลตัวที่ 1
P3.3	RD2	เป็นขาสัญญาณในการอ่านข้อมูลจากหน่วยความจำแสดงผลตัวที่ 2
P3.4	BWR1	เป็นขาสัญญาณในการควบคุมบัฟเฟอร์ตำแหน่งในการเขียนข้อมูลหน่วยความจำแสดงผลตัวที่ 1
P3.5	BWR2	เป็นขาสัญญาณในการควบคุมบัฟเฟอร์ตำแหน่งในการเขียนข้อมูลหน่วยความจำแสดงผล ตัวที่ 2
P3.6	BRD1	เป็นขาสัญญาณในการควบคุมบัฟเฟอร์ตำแหน่งในการลบ และ อ่านข้อมูลหน่วยความจำแสดงผลตัวที่ 1
P3.7	BRD2	เป็นขาสัญญาณในการควบคุมบัฟเฟอร์ตำแหน่งในการลบ และ อ่านข้อมูลหน่วยความจำแสดงผลตัวที่ 2

ตารางที่ 3.3 หน้าที่ใช้สัญญาณของพอร์ต P2

พอร์ต	ขาสัญญาณ	การทำงาน
P2.0	RESET	เป็นขาสัญญาณในการเริ่มส่งข้อมูลใหม่
P2.1	RD MEM1	เป็นขาสัญญาณในการอ่านข้อมูลจากหน่วยความจำส่งข้อมูลตัวที่ 1
P2.2	RD MEM2	เป็นขาสัญญาณในการอ่านข้อมูลจากหน่วยความจำส่งข้อมูลตัวที่ 2
P2.3	CLR 512	เป็นขาสัญญาณในเคลียร์ตำแหน่งในวงจรนับตำแหน่ง 512 ตำแหน่ง
P2.4	CLR WR VDO	เป็นขาสัญญาณในเคลียร์ตำแหน่งในวงจรรวมตำแหน่ง
P2.5	RD MEM	เป็นขาสัญญาณในการตรวจสอบการเขียนข้อมูลหน่วยความจำส่งข้อมูล
P2.6	CHK MEM	เป็นขาสัญญาณในการตรวจสอบการอ่านข้อมูลหน่วยความจำส่งข้อมูล
P2.7	A17	เป็นขาสัญญาณในการนับจำนวนรอบของการแสดงผลที่จอเครื่องรับโทรทัศน์



รูปที่ 3.11 วงจรแสดงผล Time/Div

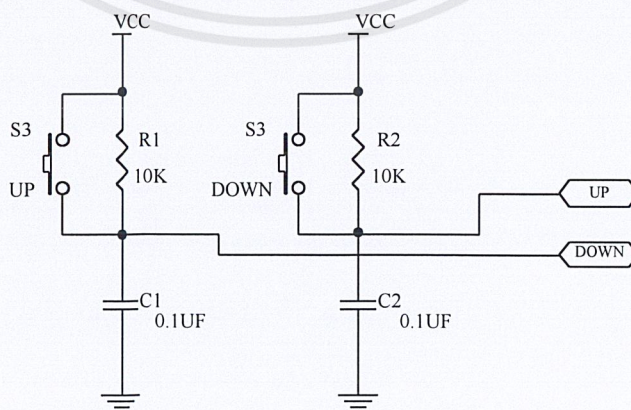
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.11 วงจรแสดงผลการเลือกย่าน Time/Div ใช้ไอซี 8255 ในการจับตัวแสดงผล 7 Segment แบบแคโทดร่วมโดยพอร์ต PA จะใช้แสดงหลักร้อย พอร์ต PB จะใช้แสดงหลักสิบ พอร์ต PC จะใช้แสดงหลักหน่วย ข้อมูล D0-D7 ส่งมาจากไมโครคอนโทรลเลอร์เบอร์ 89C51 เป็นข้อมูลในการแสดงผล ขาสัญญาณ WR ใช้ในการเขียนข้อมูลไปยังตัว 8255 โดยมี สัญญาณ A0 และ A1 ในการเลือกการทำงานของ 8255 ดังตารางที่ 3.4

ตารางที่ 3.4 การเลือกพอร์ตการทำงานของ 8255

ขาสัญญาณ		การทำงาน
A1	A0	
0	0	เลือกการทำงานที่ พอร์ต PA
0	1	เลือกการทำงานที่ พอร์ต PB
1	0	เลือกการทำงานที่ พอร์ต PC
1	1	เขียนข้อมูลควบคุม 8255

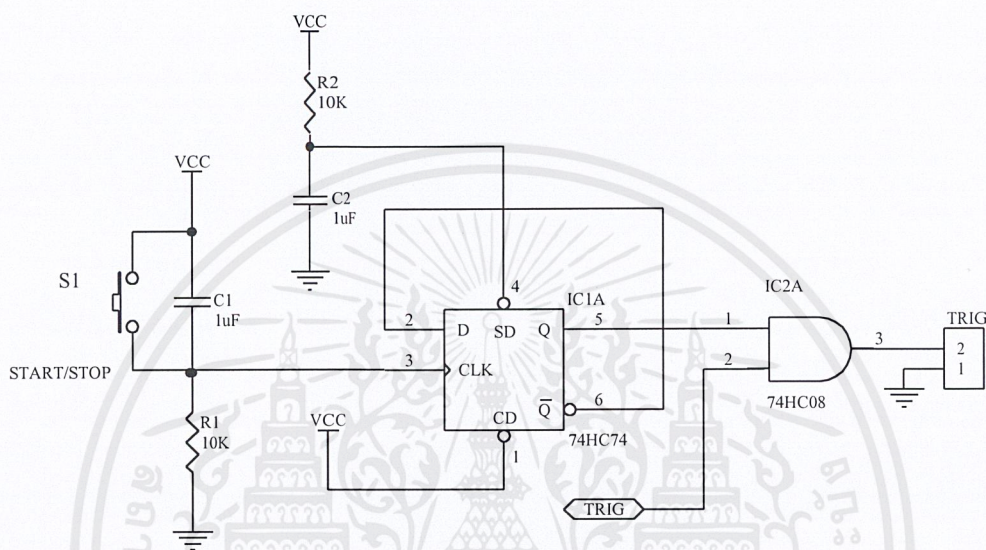
ในการส่งข้อมูลเพื่อแสดงผลการเลือกย่าน Time/Div ไม่สามารถจะส่งข้อมูลพร้อมกันที่เดียวทั้ง 3 พอร์ตได้ (PA, PB และ PC) การส่งข้อมูลต้องส่งไปที่ละพอร์ตโดยการเลือกพอร์ตจากขาสัญญาณ A0 และ A1 ตามตารางที่ 3.4 เช่น เมื่อต้องการส่งข้อมูลออกที่พอร์ต PA จะต้องกำหนดให้ลอจิกของ A0 และ A1 เป็น “0” และเมื่อต้องการส่งข้อมูลออกที่พอร์ต PB จะต้องกำหนดให้ลอจิกของ A0 เป็น “0” และ A1 เป็น “1”



รูปที่ 3.12 วงจรสวิตช์เลือก Time / Div

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

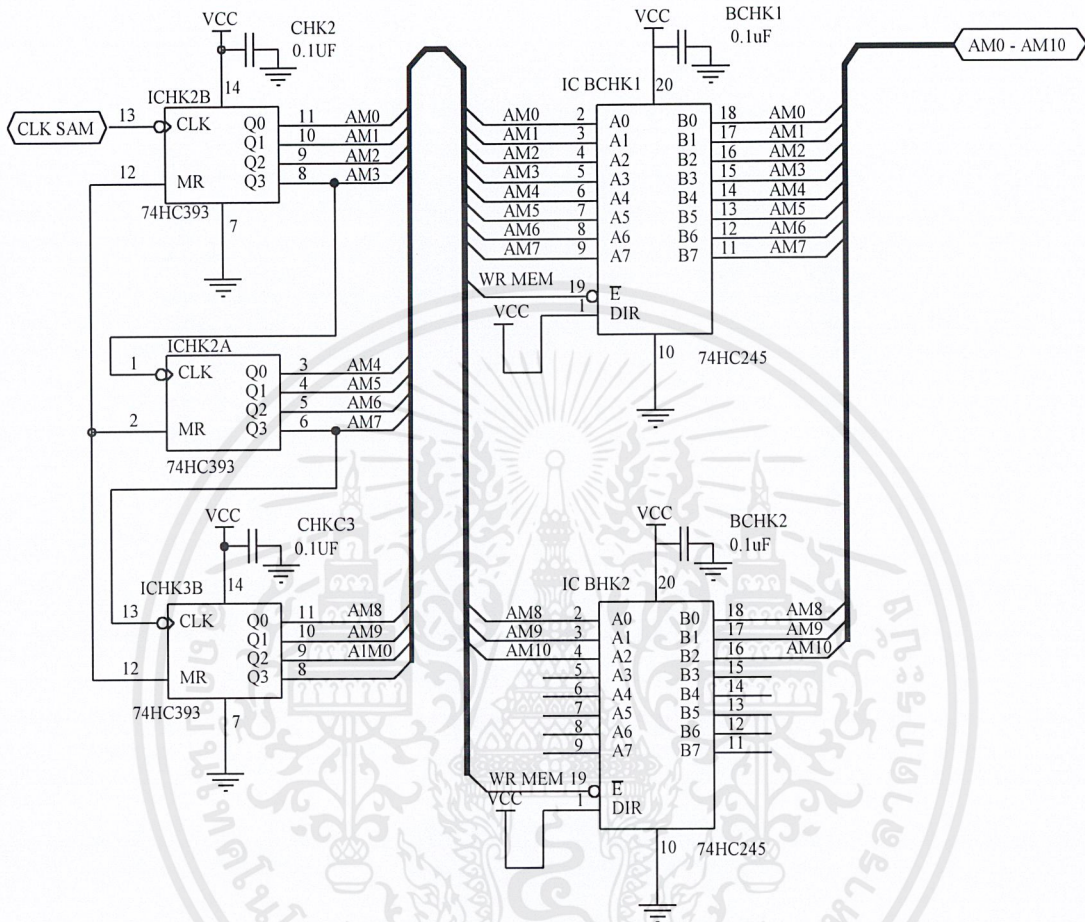
จากรูปที่ 3.12 วงจรสวิตช์เลือก Time / Div ออกแบบให้สถานะปกติวงจรจะให้เอาต์พุตเป็นลอจิก “1” เมื่อมีการกดเลือกย่าน วงจรจะส่งลอจิก “0” ออกไปยังไมโครคอนโทรลเลอร์ทำการตรวจสอบการกดสวิตช์ต่อไป ตัวเก็บประจุ และตัวต้านทานต่อไว้เพื่อป้องกันสัญญาณรบกวนเนื่องมาจากการกดสวิตช์



รูปที่ 3.13 วงจรสวิตช์หยุดสัญญาณ

จากรูปที่ 3.13 ในขั้นตอนการสุ่มข้อมูลใหม่นั้นวงจรควบคุมการนับตำแหน่งการสุ่มข้อมูลจะต้องได้รับสัญญาณ TRIG จากวงจรตรวจสอบขอบขาขึ้นของสัญญาณแต่ก่อนที่จะนำสัญญาณ TRIG ส่งไปยังวงจรตรวจสอบขาขึ้นของสัญญาณจะต้องถูกควบคุมโดยวงจรหยุดสัญญาณเพื่อทำการหยุดสัญญาณเมื่อผู้ใช้ต้องการคูลสัญญาณบางช่วงซึ่งวงจรหยุดสัญญาณประกอบด้วยสวิตช์ S1, C1, R1 ทำการสร้างสัญญาณให้กับฟลิปฟลอปซึ่งต่อเป็นวงจร ที่ ฟลิปฟลอป โดยสถานะเริ่มต้นฟลิปฟลอปจะให้ลอจิก “1” ที่ขา 5 ทำให้เอาต์พุตของแอนด์เกตเปลี่ยนแปลงไปตามสัญญาณ TRIG ทำให้เครื่องทำงานแสดงผลตามปกติแต่เมื่อมีการกดสวิตช์จะทำให้ฟลิปฟลอป เปลี่ยนสถานะที่ขา 5 เป็น “0” ส่งผลให้เอาต์พุตของแอนด์เกตเป็น “0” หยุดการสุ่มข้อมูลในการแสดงผล ทำให้การแสดงผลในขณะนี้เป็นข้อมูลที่หยุดนิ่ง เมื่อต้องการให้สุ่มข้อมูลเข้ามาใหม่ต้องมีการกดสวิตช์อีกครั้งหนึ่ง

3.2.6 วงจรนับตำแหน่งหน่วยความจำการสุ่มข้อมูล

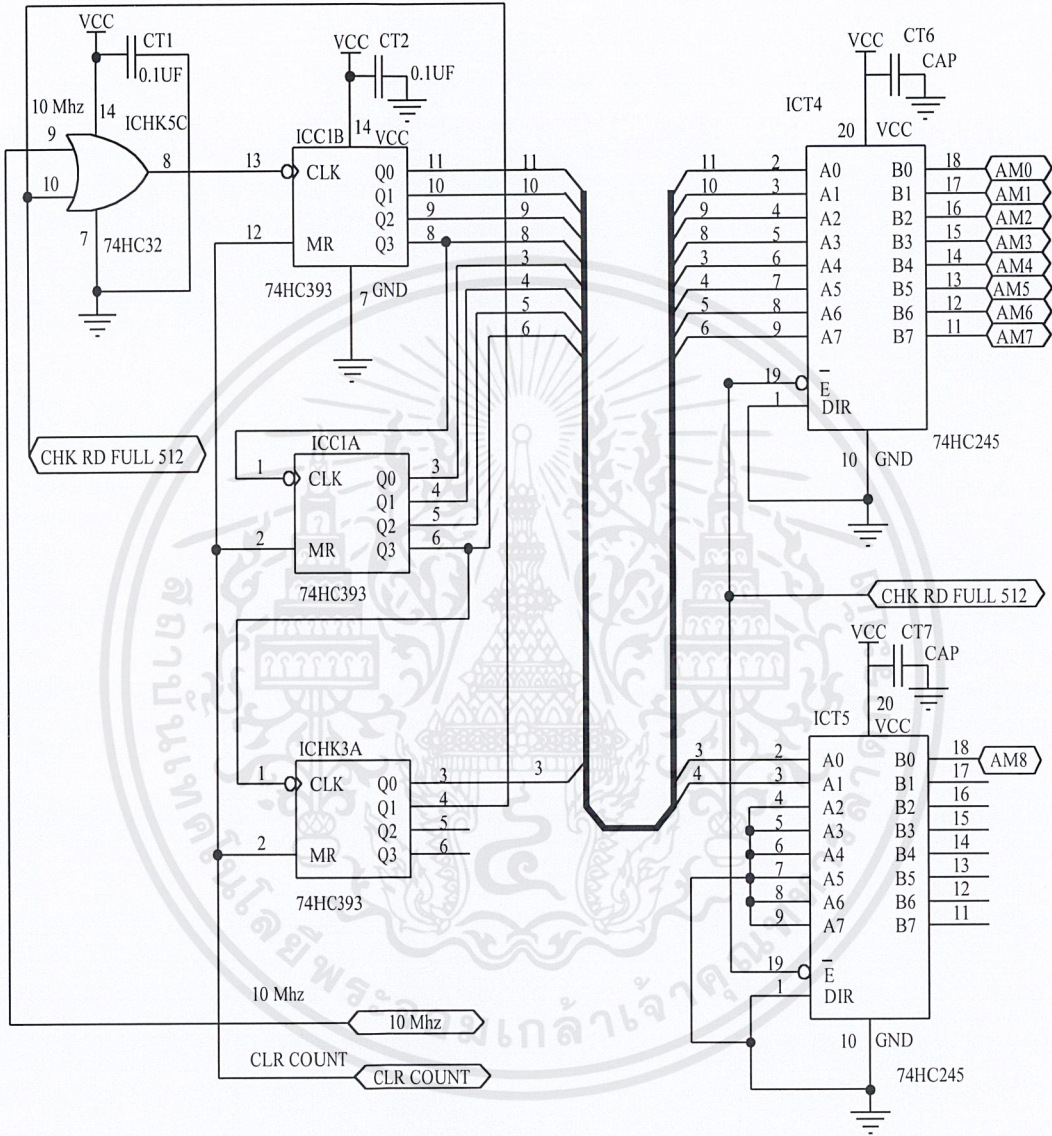


รูปที่ 3.14 วงจรนับตำแหน่งหน่วยความจำการสุ่มข้อมูล

จากรูปที่ 3.14 วงจรนับตำแหน่งขนาด 2,048 ตำแหน่ง มีจำนวนบิตเท่ากับ 11 บิตสร้างจาก ไอซี 74HC393 จำนวน 3 ชุด ต่อเป็นวงจรรนับแบบไบนารี 11 บิต โดยไอซี 74HC393 หนึ่งตัว จะมี วงจรรนับไบนารี 4 บิตอยู่ 2 ชุด ฉะนั้นจะต้องใช้วงจรร 3 ชุด ไอซี HK5C ทำหน้าที่หยุดการนับเมื่อนับ ครบ 2,048 ตำแหน่ง โดยขา 9 ต่อกับสัญญาณ 10 เมกะเฮิร์ตซ์ เมื่อนับตำแหน่งที่ 2,049 ทำให้ขา 13 ของไอซี C1B เป็น 1 เป็นการหยุดนับ และส่งสัญญาณไปยัง CPU เพื่อบอกว่านับครบ 2,048 แล้ว สัญญาณนับตำแหน่งที่ได้จะผ่านไอซี 74HC245 เป็นบัฟเฟอร์ก่อนส่งต่อไปยังภาคหน่วยความจำ การสุ่มข้อมูล ขา MR ของไอซี 74HC393 ต่อเป็นขาเคลียร์ (Clear : CLR) สำหรับการเคลียร์ข้อมูล ของวงจรรนับตำแหน่ง ซึ่งสัญญาณถูกส่งมาจากวงจรควบคุมลำดับการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.7 วงจรนับตำแหน่งขนาด 512 ตำแหน่ง

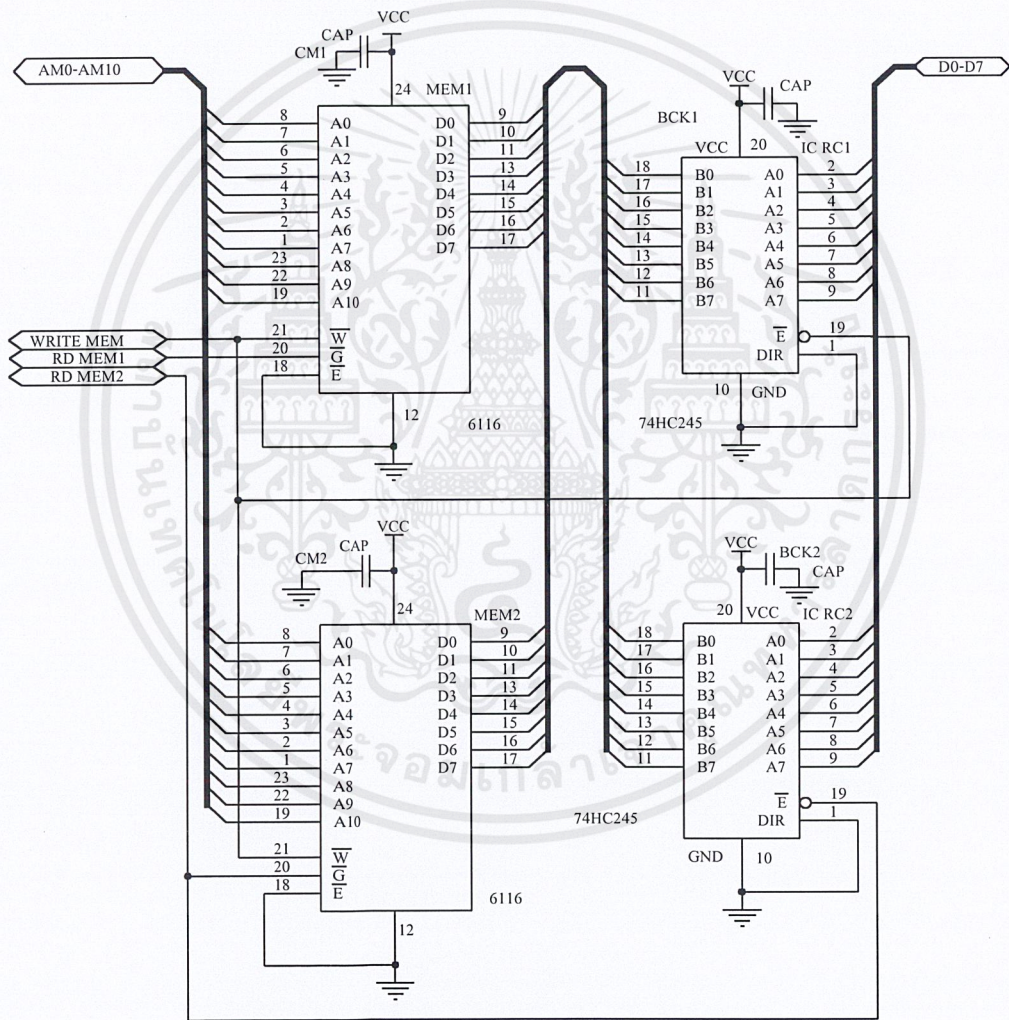


รูปที่ 3.15 วงจรนับตำแหน่งขนาด 512 ตำแหน่ง

จากรูปที่ 3.15 วงจรนับตำแหน่งขนาด 512 ตำแหน่ง มีจำนวนบิตเท่ากับ 9 บิต สร้างจาก ไอซี 74HC393 จำนวน 2 ชุด ต่อเป็นวงจรนับแบบไบนารี 9 บิต โดยไอซี 74HC393 หนึ่งตัว จะมี วงจรนับไบนารี 4 บิตอยู่ 2 ชุด ฉะนั้นจะต้องใช้วงจร 3 ชุด ไอซี HK4C เป็นไอซีออร์เกต (OR Gate) ทำหน้าที่หยุดการนับเมื่อนับครบ 512 ตำแหน่ง โดยขา 9 ต่อกับสัญญาณ 10 เมกะเฮิร์ตซ์ และ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 10 ต่อกับขา 4 ของ ไอซี HK3A เมื่อนับตำแหน่งที่ 513 ขานี้จะเป็น 1 ทำให้ขา 13 ของไอซี C1B เป็น 1 เป็นการหยุดนับ และส่งสัญญาณไปยังซีพียูเพื่อบอกว่านับครบ 512 แล้ว สัญญาณนับตำแหน่งที่ได้จะผ่านไอซี 74HC245 เป็นบัฟเฟอร์ก่อนต่อไปยังภาคหน่วยความจำการสุ่มข้อมูล ขา MR ของไอซี 74HC393 ต่อเป็นขาเคลียร์สำหรับเคลียร์ข้อมูลของวงจรนับตำแหน่ง ซึ่งสัญญาณถูกส่งมาจากวงจรควบคุมการทำงาน

3.2.8 วงจรหน่วยความจำการสุ่มข้อมูล

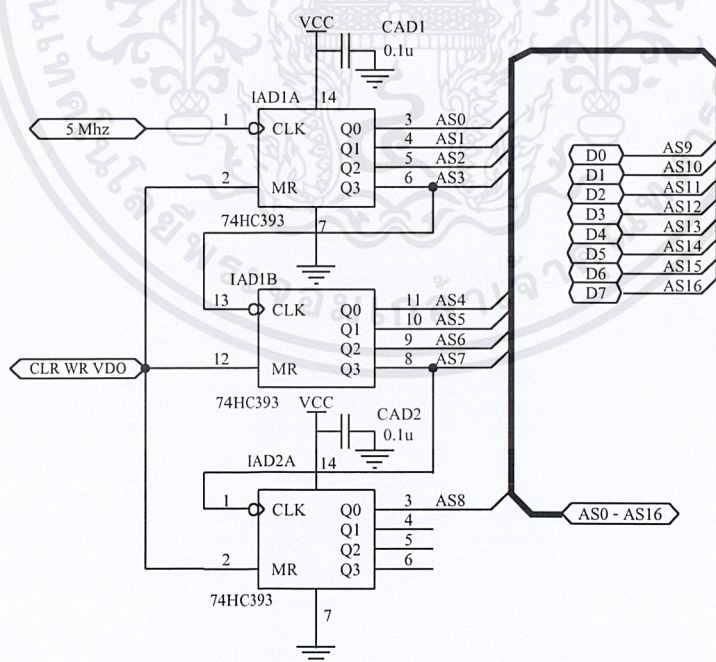


รูปที่ 3.16 วงจรหน่วยความจำการสุ่มข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.16 ในการสุ่มข้อมูล 1 ครั้ง จะมีจำนวนการสุ่มข้อมูลเท่ากับ 512 ครั้ง โดยเลือกใช้ IC เบอร์ 6116 ซึ่งเป็นหน่วยความจำขนาด 2 กิโลไบต์ ในการเก็บข้อมูลจะแยกเป็น 2 ชุด ระหว่างข้อมูลชุดที่ 1 และข้อมูลชุดที่ 2 ทำให้ในการเขียนข้อมูลลงหน่วยความจำสามารถเขียนพร้อมกันได้ จึงต่อขา W ของหน่วยความจำทั้ง 2 ตัวรวมกัน แต่ในการอ่านข้อมูลจากหน่วยความจำนั้นจะต้องผลัดกันอ่านทีละตัว ซึ่งจะเริ่มอ่านจากหน่วยความจำการสุ่มข้อมูลตัวที่ 1 ก่อนโดยใช้สัญญาณ RD MEM1 สำหรับอ่านข้อมูลจากหน่วยความจำการสุ่มข้อมูลตัวที่ 1 และ RD MEM2 สำหรับการอ่านข้อมูลจากหน่วยความจำชนิดที่ 2 โดยตำแหน่งที่ใช้ในการอ่าน และเขียนหน่วยความจำทั้งสองตัวจะใช้ร่วมกันในการอ่านข้อมูล ข้อมูล D0-D7 ของทั้งสองตัวจะผ่านบัฟเฟอร์ 74HC640 ซึ่งเป็นบัฟเฟอร์แบบน็อกเกต เหตุผลที่ต้องใช้บัฟเฟอร์แบบน็อกเกต เพราะในการเขียนข้อมูลเพื่อแสดงผลที่จอเครื่องรับโทรทัศน์เส้นแรกที่จะต้องมิตำแหน่งเท่ากับ 0 (A9-A16) แต่เอาต์พุตที่เป็นข้อมูลจากกลุ่มข้อมูลเมื่อมีการวาดที่ตำแหน่งเส้นแรกให้ข้อมูลออกมาเป็น FFH ทำให้การวาดเส้นที่จะแสดงผลที่จอเครื่องรับโทรทัศน์กลายเป็นเส้นที่ 256 ของจอภาพซึ่งเป็นเส้นล่างสุดของจอ ดังนั้นจึงได้นำบัฟเฟอร์แบบน็อกเกตมาแก้ไขตำแหน่งในการเขียนให้ถูกต้อง

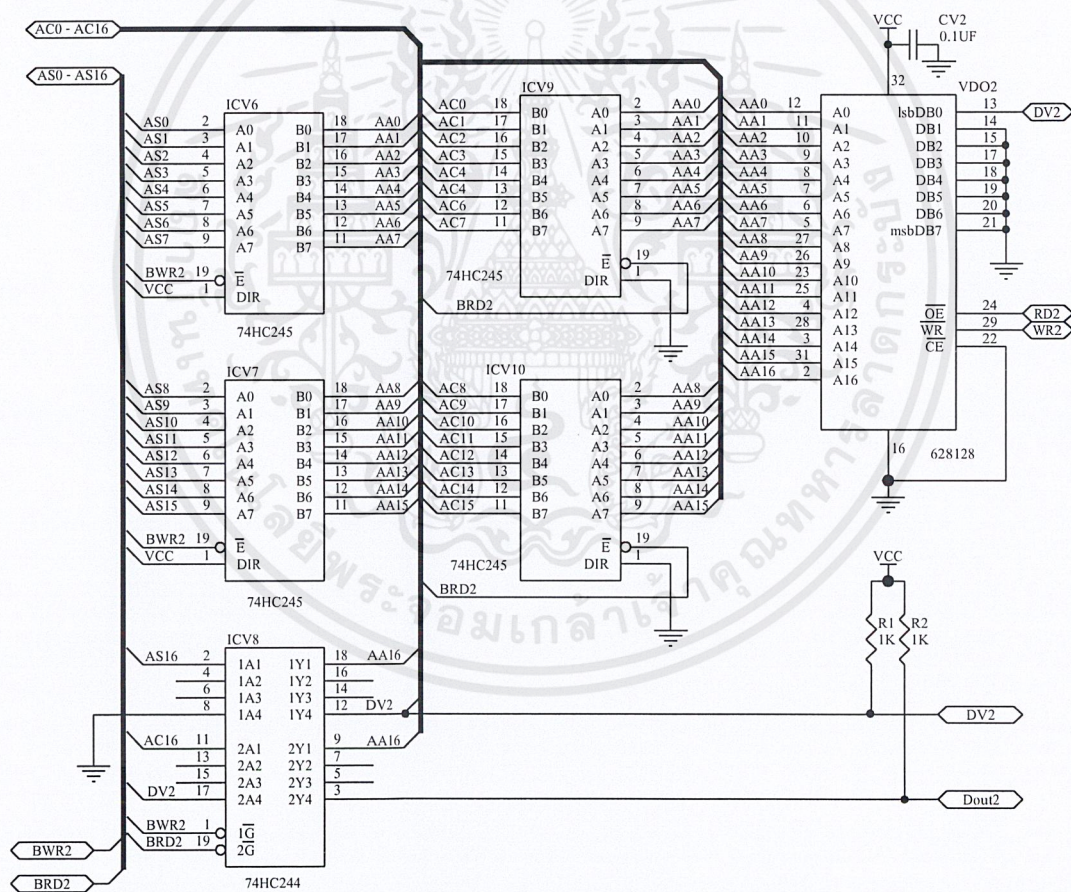
3.2.9 วงจรสร้างตำแหน่งการเขียนหน่วยความจำแสดงผล



รูปที่ 3.17 วงจรสร้างตำแหน่งการเขียนหน่วยความจำแสดงผล

จากรูปที่ 3.18 เป็นวงจรหน่วยความจำการแสดงผลชุดที่ 1 โดยเลือกใช้หน่วยความจำขนาด 131,072 ตำแหน่ง มี ICV1, ICV2 และ ICV3 (A) เป็นบัฟเฟอร์เลือกสัญญาณตำแหน่งในการเขียนข้อมูลลงหน่วยความจำแสดงผล ส่วน ICV4, ICV5 และ ICV3B เป็นบัฟเฟอร์เลือกสัญญาณตำแหน่งในการลบ และอ่านข้อมูลจากหน่วยความจำแสดงผล โดยมีสัญญาณควบคุม BWR1 เป็นตัวเลือกให้ทำการเขียนข้อมูลลงหน่วยความจำแสดงผลโดยจะทำงานที่ลอจิก “0” ส่วน BRD1 เป็นตัวเลือกให้ทำการลบ และอ่านข้อมูลจากหน่วยความจำแสดงผลโดยจะทำงานที่ลอจิก “0” ซึ่งสัญญาณ BWR1 และ BRD1 จะทำงานสลับกัน ในการเขียนข้อมูลลงหน่วยความจำจะใช้เพียงบิตเดียวคือ D0

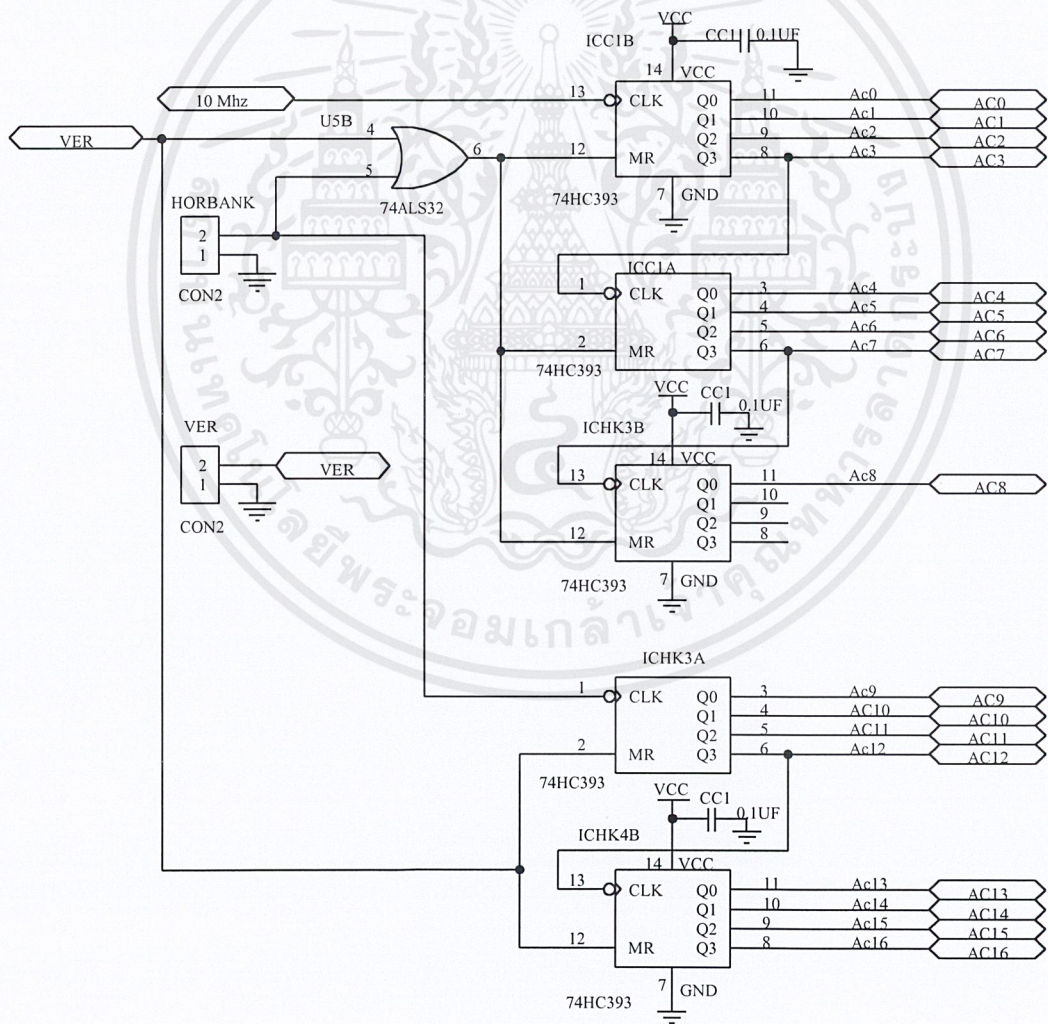
2) วงจรหน่วยความจำแสดงผลชุดที่ 2



รูปที่ 3.19 หน่วยความจำแสดงผลชุดที่ 2

จากรูปที่ 3.19 เป็นวงจรหน่วยความจำการแสดงผลชุดที่ 2 โดยเลือกใช้หน่วยความจำขนาด 131,072 ตำแหน่ง มี ICV6, ICV7 และ ICV8 (A) เป็นบัฟเฟอร์เลือกสัญญาณตำแหน่งในการเขียนข้อมูลลงหน่วยความจำแสดงผล ส่วน ICV9, ICV10 และ ICV8B เป็นบัฟเฟอร์เลือกสัญญาณตำแหน่งในการลบ และอ่านข้อมูลจากหน่วยความจำแสดงผล โดยมีสัญญาณควบคุม BWR2 เป็นตัวเลือกให้ทำการเขียนข้อมูลลงหน่วยความจำแสดงผลโดยจะทำงานที่ลอจิก “0” ส่วน BRD2 เป็นตัวเลือกให้ทำการลบ และอ่านข้อมูลจากหน่วยความจำแสดงผลโดยจะทำงานที่ลอจิก “0” ซึ่งสัญญาณ BWR2 และ BRD2 จะทำงานสลับกัน ในการเขียนข้อมูลลงหน่วยความจำจะใช้เพียงบิตเดียวคือ D0 เช่นเดียวกับหน่วยความจำแสดงผลชุดที่ 1

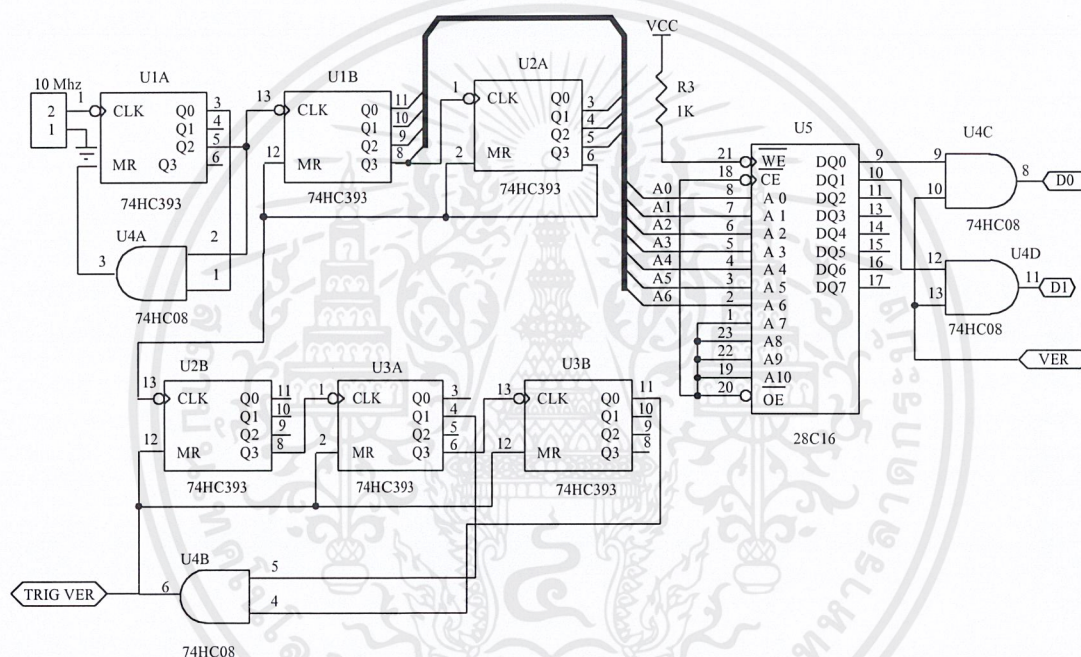
3.2.11 วงจรนับตำแหน่งขนาด 131,072 ตำแหน่ง



รูปที่ 3.20 วงจรนับตำแหน่งขนาด 131,072 ตำแหน่ง

จากรูปที่ 3.20 วงจรนับตำแหน่งขนาด 131,072 ตำแหน่ง มีจำนวนบิตเท่ากับ 17 บิตสร้างจากไอซี 74HC393 จำนวน 5 ชุด โดยวงจรถับแบบไบนารี 9 บิตแรกจะใช้สัญญาณนาฬิกาในการนับตำแหน่งเท่ากับ 10 เมกะเฮิร์ตซ์ และใช้สัญญาณฮอริซอลตอล (Horizontal : HOR) ในการเคลียร์และนำไปเป็นสัญญาณอินพุตให้กับ 8 บิตที่เหลือ เพื่อให้การอ่านข้อมูลจากหน่วยความจำแสดงผลอ่านข้อมูลได้ถูกต้อง จึงนำสัญญาณเวอร์ติคอลล (Vertical : VER) มาเคลียร์ตำแหน่งทั้งหมดอีกครั้ง

3.2.12 วงจรกำเนิดสัญญาณภาพรวม

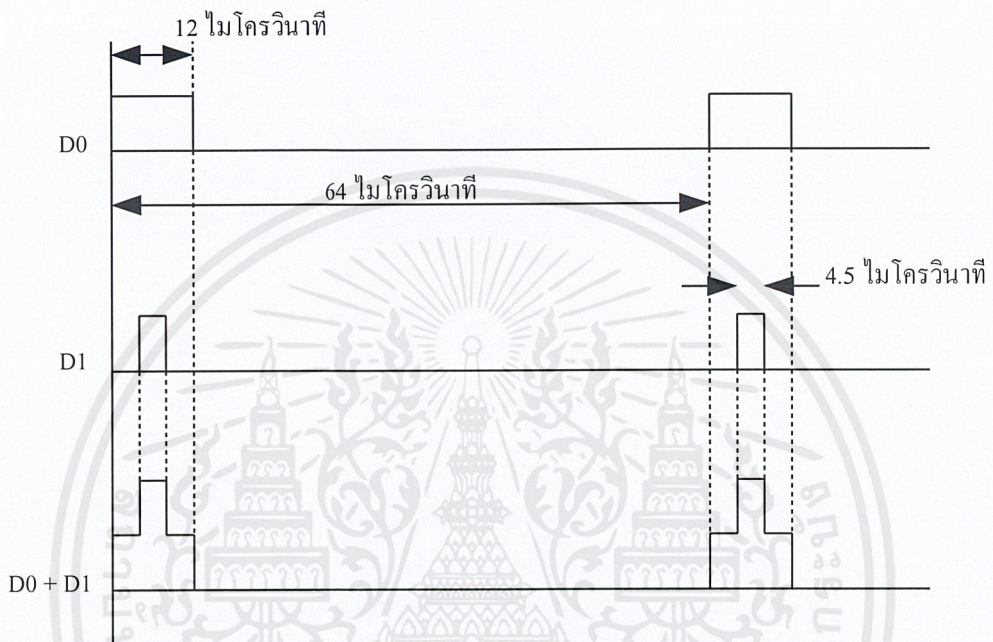


รูปที่ 3.21 วงจรกำเนิดสัญญาณภาพรวม

ในการผลิตสัญญาณภาพรวมจากรูปที่ 3.21 เพื่อนำไปผสมกับข้อมูลสำหรับนำไปแสดงผลบนหน้าจอของเครื่องรับโทรทัศน์นั้น คาบเวลาของสัญญาณ HOR BLANK (Horizontal Blanking) มีค่าประมาณ 12 ไมโครวินาที และคาบเวลาของสัญญาณ HOR SYNC (Horizontal Synchronize) มีค่าประมาณ 4.7 ไมโครวินาที ซึ่งจากการออกแบบจะประมาณค่าเป็น 4.5 ไมโครวินาที โดยจะแสดงคาบเวลาในการทำงานของวงจร ดังรูปที่ 3.22 เพื่อให้ง่ายต่อการสร้างฐานเวลา โดยจะใช้ฐานเวลาเท่ากับ 0.5 ไมโครวินาที ต่อหนึ่ง สัญญาณนาฬิกา ฉะนั้นหากต้องการผลิตสัญญาณ HOR BLANK จะต้องใช้สัญญาณนาฬิกาทั้งหมด 24 ลูก โดยใช้ EEPROM เบอร์ 28416 เป็นตัวเก็บข้อมูลสัญญาณ D0 ใช้เก็บข้อมูลของ HOR BLANK จำนวน 24 ไบต์ และ D1 ใช้เก็บข้อมูลของ

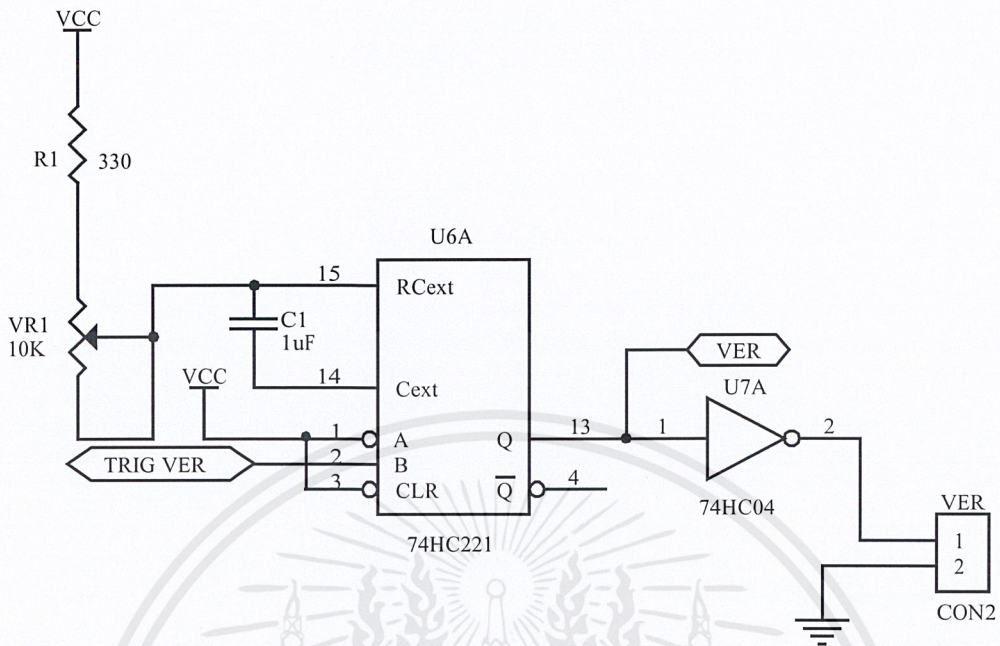
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HOR SYNC จำนวน 9 ไบต์ ในการอ่านข้อมูลออกจาก EEPROM เพื่อการสร้างสัญญาณภาพรวม จะทำการอ่านข้อมูลจำนวน 7 ไบต์แรกซึ่งกำหนดให้ D0 มีข้อมูลเป็นลอจิก “1” และ D1 มีข้อมูลเป็นลอจิก “0” จะได้ป่าของสัญญาณซึ่งมีคาบเวลาเท่ากับ 3.5 ไมโครวินาที



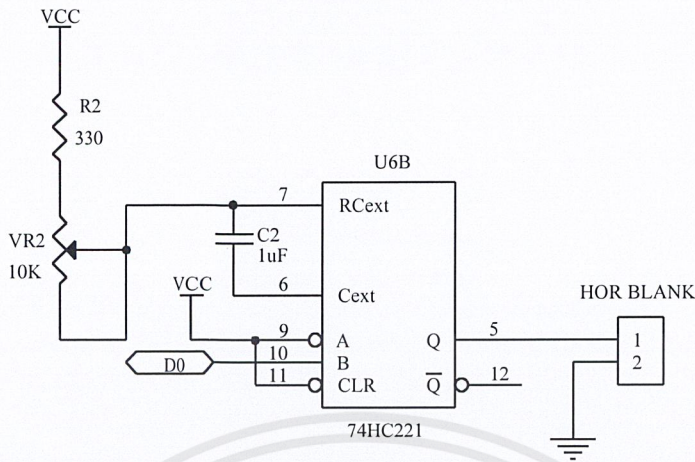
รูปที่ 3.22 คาบเวลาของข้อมูลในการสร้างสัญญาณภาพรวม

จากนั้น D0 และ D1 จะมีข้อมูลเป็น 1 จำนวน 9 ไบต์ ซึ่งจะทำให้ได้สัญญาณซึ่งมีคาบเวลาเท่ากับ 4.5 ไมโครวินาที สัญญาณ 8 ไบต์ต่อมา D0 มีข้อมูลเป็นลอจิก “1” D1 มีข้อมูลเป็นลอจิก “0” จะได้ป่าของสัญญาณซึ่งมีคาบเวลาเท่ากับ 4 ไมโครวินาที รวมคาบเวลาทั้งหมด 12 ไมโครวินาที เพื่อให้ได้สัญญาณภาพรวมที่มีคาบเวลาเท่ากับ 64 ไมโครวินาที โดยลบสัญญาณ HOR SYNC และ HOR BLANK จะเหลือคาบเวลาที่ใช้ในการผสมสัญญาณภาพที่แสดงผลเท่ากับ 52 ไมโครวินาที หรือ 104 ไบต์ที่กำหนดให้สัญญาณ D0 และ D1 มีข้อมูลเป็นลอจิก “0” รวมคาบเวลาทั้งหมด 64 ไมโครวินาที หรือ ข้อมูลจำนวน 128 ไบต์ ทำให้ได้สัญญาณแสดงผลจำนวน 1 เส้น จากนั้นจะเริ่มกลับไปอ่านข้อมูลจากไบต์แรกใหม่จนกระทั่งได้สัญญาณแสดงผลจำนวน 287 เส้น โดยมีไอซีเบอร์ 74HC393 U2B, U3A และ U3B ต่อเป็นวงจรนับ 287 จะได้สัญญาณ TRIG VER 1 ครั้ง เพื่อนำไปสร้างสัญญาณเวอร์ทิคอล ไอซีแอนด์เกต U4C และ U4D ทำการแอนด์สัญญาณ D0 และ D1 กับสัญญาณเวอร์ทิคอล เพื่อลบสัญญาณฮอริซอลตอลในช่วงที่สัญญาณเวอร์ทิคอลเป็นลอจิก “0”



รูปที่ 3.23 วงจรสร้างสัญญาณลบเส้นสับกลับทางแนวตั้ง

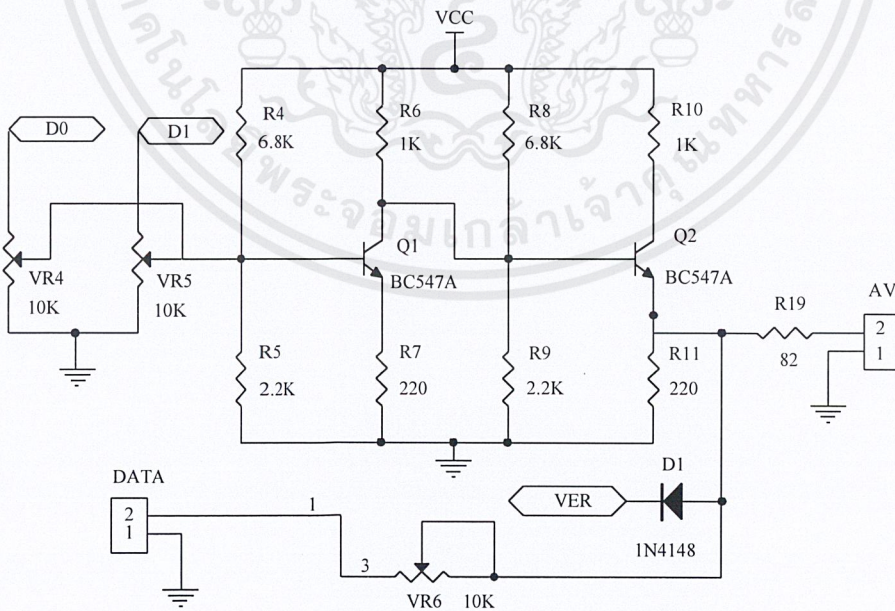
จากรูปที่ 3.23 เป็นวงจรโมโนสเตเบิลมัลติไวเบเรเตอร์ มีสัญญาณ TRIG VER เป็นสัญญาณกระตุ้นให้วงจรทำการสร้างพัลส์บวกที่มีขนาดความกว้างของพัลส์เท่ากับ 1.6 มิลลิวินาที แต่สัญญาณ TRIG VER มีคาบเวลาไม่ถึง 1.6 มิลลิวินาที จึงต้องมีตัวต้านทานปรับค่าได้ VR1 เป็นตัวปรับความกว้างของพัลส์ ช่วงเวลา 1 คาบของสัญญาณเวอ์ติคอลลมีค่าประมาณ 25 เฮิร์ตโดยในการผสมสัญญาณภาพเพื่อทำการแสดงผลที่เครื่องรับโทรทัศน์นั้นจะต้องมีช่วงเวลาที่ เป็น “0” เท่ากับ 18.4 มิลลิวินาที และช่วงเวลาที่ เป็น “1” เท่ากับ 1.6 มิลลิวินาที โดยช่วงเวลาที่ เป็นลอจิก “0” จะเป็นช่วงที่เครื่องรับโทรทัศน์ทำการสับกลับเส้นสัญญาณการสแกนจึงต้องนำสัญญาณเวอ์ติคอลลที่เป็นลอจิก “1” ผ่านน็อดเกตเพื่อกลับระดับของสัญญาณให้เป็นลอจิก “0” จะได้สัญญาณเวอ์ติคอลลส่งไปยังวงจรผสมสัญญาณโดยต่อผ่านทางคอนเนคเตอร์ สัญญาณเวอ์ติคอลลอีกส่วนที่ไม่ผ่านน็อดเกตจะถูกนำไปใช้ในการเคลียร์สัญญาณผลิตตำแหน่งในการอ่านหน่วยความจำแสดงผลของวงจรมินิต้าแหน่งขนาด 131,072 ตำแหน่ง



รูปที่ 3.24 วงจรสร้างสัญญาณอ่านข้อมูลจากหน่วยความจำแสดงผล

จากรูปที่ 3.24 เป็นวงจรโมโนสเตเบิลมัลติไวเบเรเตอร์ มีสัญญาณ D0 เป็นสัญญาณกระตุ้นเพื่อสร้างสัญญาณเคลียร์ตำแหน่งของการอ่านข้อมูลจากหน่วยความจำแสดงผลโดยในการเคลียร์ตำแหน่งต้องใช้ลอจิก “1” ในการเคลียร์จึงต่อขาอินพุตของ ไอซี 74HC221 ขา B ซึ่งจะทำงานที่ขอบขาขึ้นของสัญญาณอินพุตเพื่อสร้าง พัลส์บวกเมื่อมีสัญญาณอินพุตเข้ามากระตุ้น

3.2.13 วงจรผสมสัญญาณภาพ



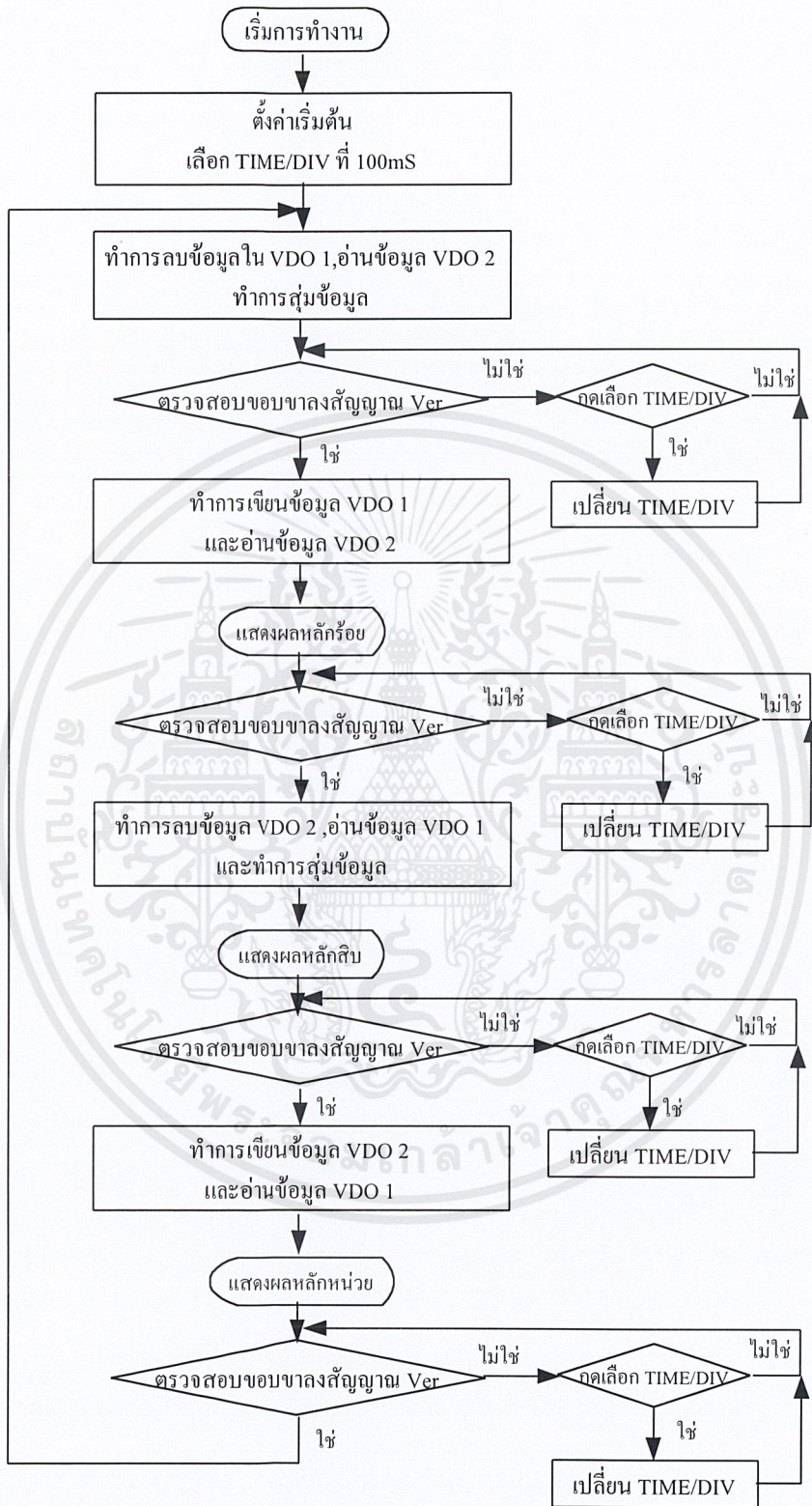
รูปที่ 3.25 วงจรผสมสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.25 ประกอบด้วยวงจรถายทรานซิสเตอร์ 2 ภาควิ D0 เป็นข้อมูล HOR BLANK และ D1 เป็นข้อมูล HOR SYNC โดยมี VR4 และ VR5 เป็นตัวปรับแรงดันเพื่อนำไปขยายโดยทรานซิสเตอร์ Q1 จัดเป็นวงจรคอมมอนอิมิตเตอร์ (Common-Emitter) ขยายแบบกลับเฟส จะได้แรงดันเอาต์พุตที่ขาคอลเลกเตอร์ประมาณ 2 โวลต์ แล้วนำไปทำการขยายแบบไม่กลับเฟสโดยทรานซิสเตอร์ Q2 จะได้แรงดันเอาต์พุตที่ขาอิมิตเตอร์ประมาณ 1.5 โวลต์ จากนั้นนำไปผสมกับสัญญาณข้อมูล และสัญญาณเวอริติคอลล ได้เป็นสัญญาณภาพรวมนำไปแสดงผลที่จอภาพโทรทัศน์

3.3 การออกแบบโปรแกรมควบคุมการทำงาน

จากรูปที่ 3.26 เป็นผังการทำงานของโปรแกรมเมื่อเริ่มใช้งาน โปรแกรมจะทำการตั้งค่า TIME/DIV ไว้ที่ 100 มิลลิวินาที จากนั้นจะทำการลบข้อมูลที่อยู่ในหน่วยความจำแสดงผลตัวที่ 1 พร้อมกับการสุ่มข้อมูลเข้ามาเก็บที่หน่วยความจำการสุ่มข้อมูลโดยอาศัยการตรวจสอบสัญญาณ VER ว่าเปลี่ยนจากลอจิก “1” เป็น “0” หรือไม่ ถ้าเปลี่ยนแล้ว ให้ทำการแสดงข้อมูลของการเลือก TIME/DIV ในหลักร้อย และทำการอ่านข้อมูลจากหน่วยความจำการสุ่มข้อมูล เพื่อเขียนข้อมูลลงหน่วยความจำแสดงผลโดยจะอ่านจากหน่วยความจำการสุ่มข้อมูลตัวที่ 1 ก่อนจากนั้นงานจะอ่านจากหน่วยความจำการสุ่มข้อมูลตัวที่ 2 และรอตรวจสอบสัญญาณ VER เพื่อทำงานในขั้นตอนการแสดงผลข้อมูลของการเลือก TIME/DIV ในหลัก สิบ และการลบข้อมูลที่อยู่ในหน่วยความจำแสดงผลตัวที่ 2 พร้อมกับการสุ่มข้อมูลเข้ามาเก็บที่หน่วยความจำการสุ่มข้อมูล และตรวจสอบสัญญาณ VER จากนั้นทำการแสดงผลข้อมูลของการเลือก TIME/DIV ในหลัก หน่วยและกลับ ไปรีทำงานในขั้นตอนของการลบข้อมูลที่อยู่ในหน่วยความจำแสดงผลตัวที่ 1 พร้อมกับการสุ่มข้อมูลเข้ามาเก็บที่หน่วยความจำการสุ่มข้อมูลใหม่ ถ้าในแต่ละขั้นตอนมีการทำงานจบก่อนที่สัญญาณ VER จะทำการเปลี่ยนจากลอจิก “1” เป็น “0” โปรแกรมจะทำการตรวจสอบว่ามีการกดสวิทช์เพื่อเลือก TIME/DIV อีกครั้งหรือไม่



รูปที่ 3.26 ผังการทำงานของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลอง และผลการทดลอง

ในบทนี้กล่าวถึงการทดลองคิวิตอลออสซิลโลสโคป และผลการทดลองของวงจรลดทอน และขยายสัญญาณ วงจรกำเนิดความถี่ วงจรกำเนิดสัญญาณภาพ และผลการผสมสัญญาณ ดังนี้

4.1 การทดลองวงจรลดทอน และขยายสัญญาณ

วงจรลดทอน และขยายสัญญาณ เป็นวงจรที่ทำหน้าที่ปรับระดับสัญญาณอินพุตที่รับเข้ามา ให้มีขนาดที่เหมาะสม เพื่อส่งต่อไปยังภาคแปลงสัญญาณแอนะล็อกเป็นคิวิตอล

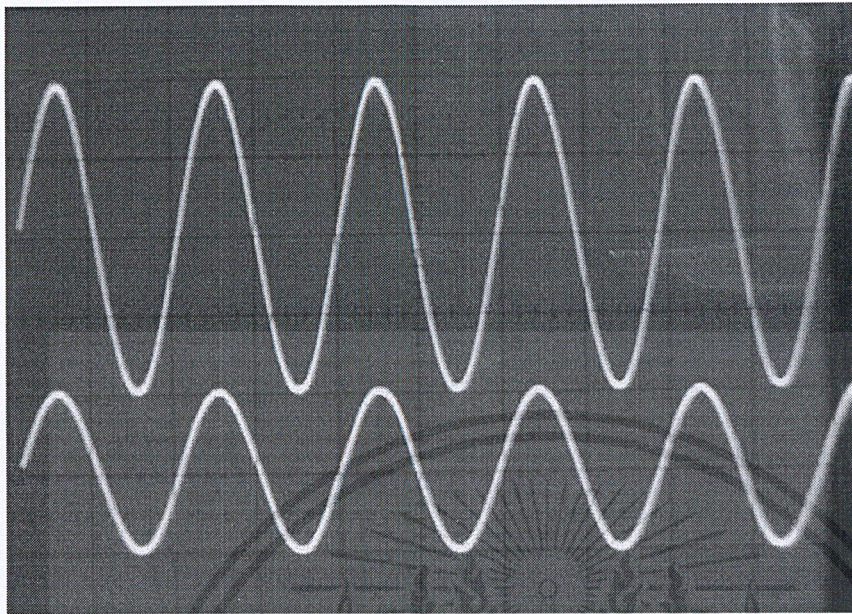
4.1.1 ผลการทดลอง

- 1) ทำการปรับสัญญาณความถี่อินพุตรูปคลื่นไซน์ จากเครื่องกำเนิดสัญญาณ
- 2) ป้อนสัญญาณรูปคลื่นไซน์ จากเครื่องกำเนิดความถี่เข้าทางอินพุตของวงจรลดทอน และขยายสัญญาณ ปรับอัตราลดทอน ปรับย่านการวัด และปรับอัตราขยายของสัญญาณ ตามตารางที่ 4.1
- 3) วัดสัญญาณที่เอาต์พุตของวงจรลดทอน และขยายสัญญาณด้วยออสซิลโลสโคป

ตารางที่ 4.1 ผลการทดลองวงจรลดทอน และขยายสัญญาณ

ผลการทดลอง	ความถี่อินพุต	แรงดันอินพุต	ย่านการวัด	อัตราขยาย	อัตราลดทอน	แรงดันเอาต์พุต
รูปที่ 4.1	1 kHz	2 โวลต์	0.5	2 เท่า	1:1	4 โวลต์
รูปที่ 4.2	1 kHz	2 โวลต์	2	0.5 เท่า	1:1	1 โวลต์
รูปที่ 4.3	100 kHz	1 โวลต์	0.2	5 เท่า	1:1	5 โวลต์
รูปที่ 4.4	100 kHz	10 โวลต์	5	0.2 เท่า	1:1	2 โวลต์
รูปที่ 4.5	1 MHz	10 โวลต์	10	0.1 เท่า	1:1	1 โวลต์
รูปที่ 4.6	1 MHz	5 โวลต์	1	1 เท่า	10:1	0.5 โวลต์
รูปที่ 4.7	3 MHz	10 โวลต์	1	1 เท่า	10:1	1 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



สัญญาณเอาต์พุต

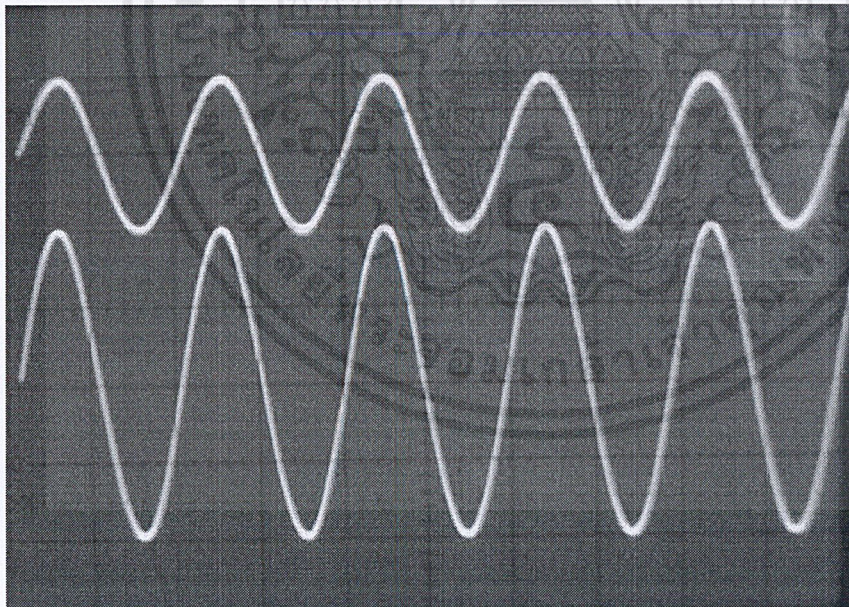
Vol / Div = 1 V

สัญญาณอินพุต

Vol / Div = 1 V

Time / Div = 0.5 mS

รูปที่ 4.1 ผลการวัดสัญญาณความถี่ 1 กิโลเฮิร์ตซ์ ย่านการวัด x0.5



สัญญาณเอาต์พุต

Vol / Div = 1 V

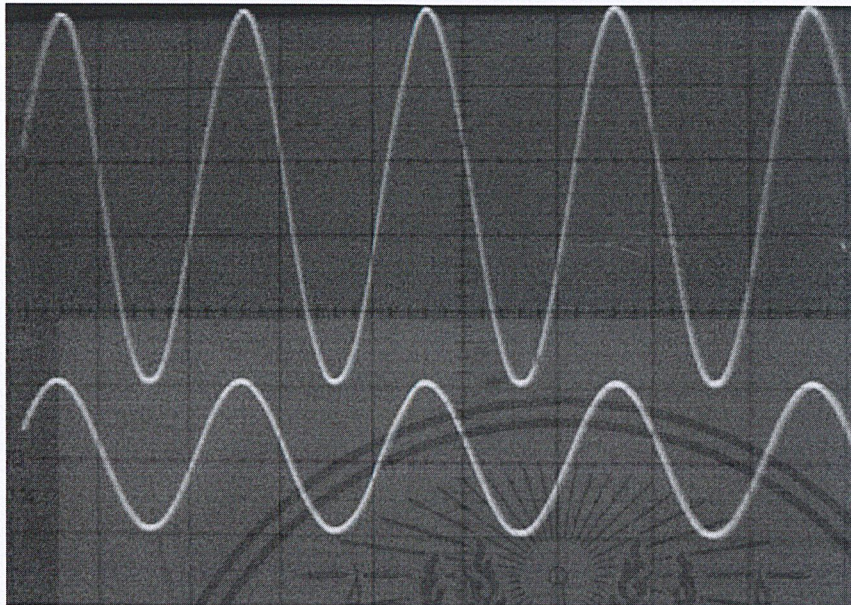
สัญญาณอินพุต

Vol / Div = 1 V

Time / Div = 0.5 mS

รูปที่ 4.2 ผลการวัดสัญญาณความถี่ 1 กิโลเฮิร์ตซ์ ย่านการวัด x0.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



สัญญาณเอาต์พุต

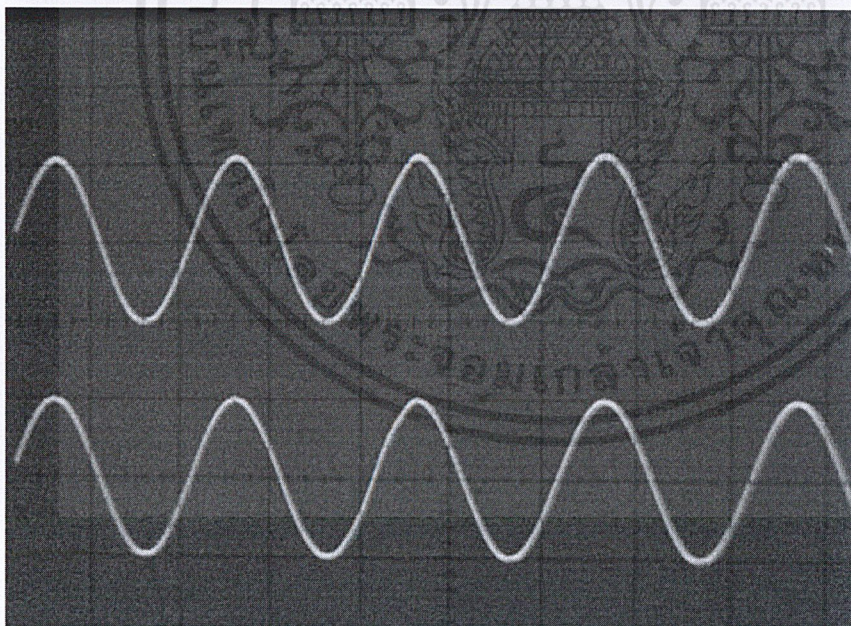
Vol / Div = 1 V

สัญญาณอินพุต

Vol / Div = 0.5 V

Time / Div = 5 μ S

รูปที่ 4.3 ผลการวัดสัญญาณความถี่ 100 กิโลเฮิร์ตซ์ ย่านการวัด x0.2



สัญญาณเอาต์พุต

Vol / Div = 1 V

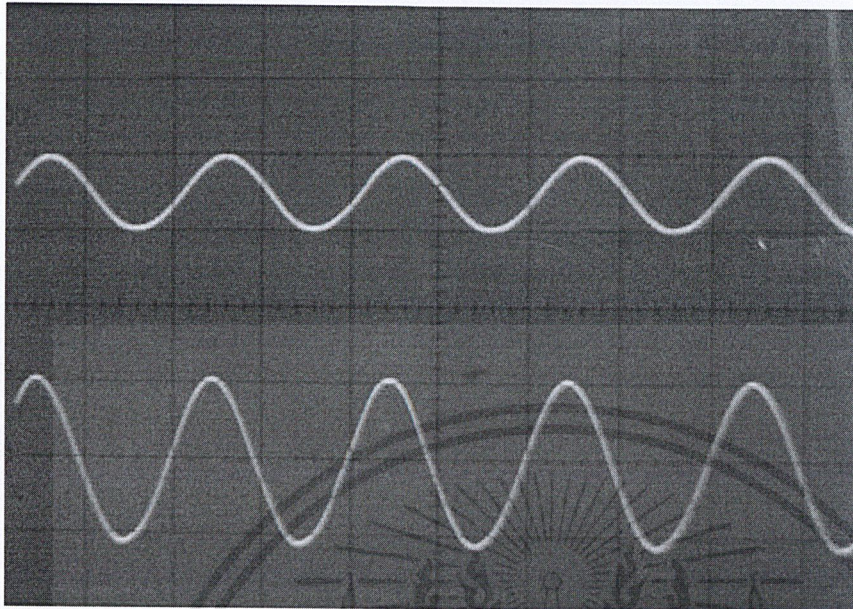
สัญญาณอินพุต

Vol / Div = 5 V

Time / Div = 5 μ S

รูปที่ 4.4 ผลการวัดสัญญาณ 100 กิโลเฮิร์ตซ์ ย่านการวัด x5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



สัญญาณเอาต์พุต

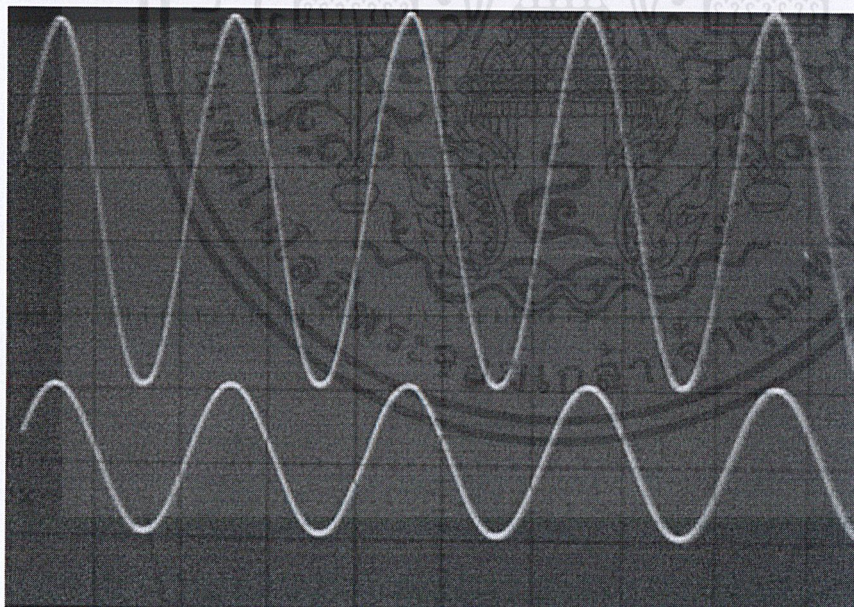
Vol / Div = 1 V

สัญญาณอินพุต

Vol / Div = 5 V

Time / Div = 0.5 μ S

รูปที่ 4.5 ผลการวัดสัญญาณความถี่ 1 เมกะเฮิรตซ์ ย่านการวัด $\times 10$



สัญญาณเอาต์พุต

Vol / Div = 0.5 V

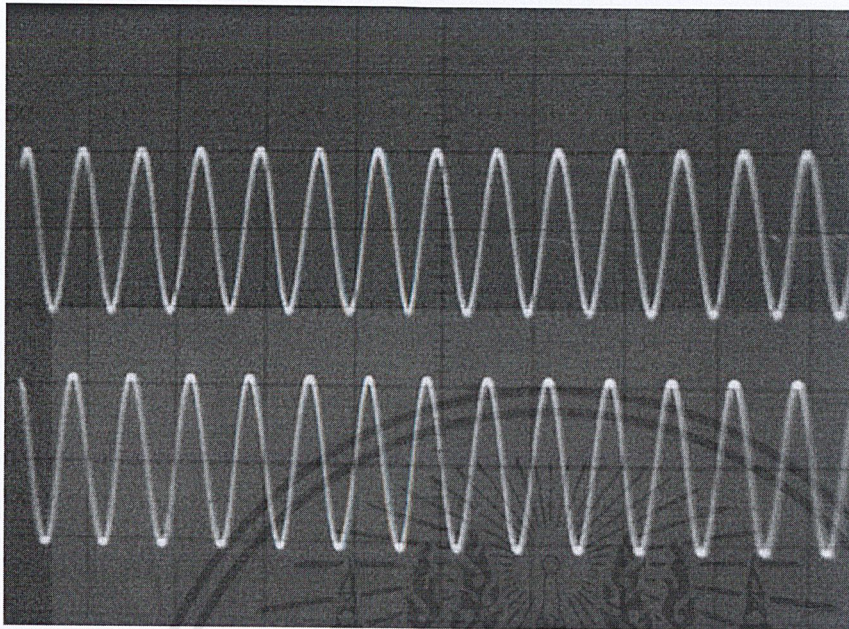
สัญญาณอินพุต

Vol / Div = 2 V

Time / Div = 0.5 μ S

รูปที่ 4.6 ผลการวัดสัญญาณความถี่ 1 เมกะเฮิรตซ์ ย่านการวัด $\times 1$ ลดทอน 10 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 ผลการวัดสัญญาณความถี่ 3 เมกะเฮิร์ตซ์ ย่านการวัด x1 ลดทอน 10 เท่า

4.2 การทดลองวงจรกำเนิดความถี่

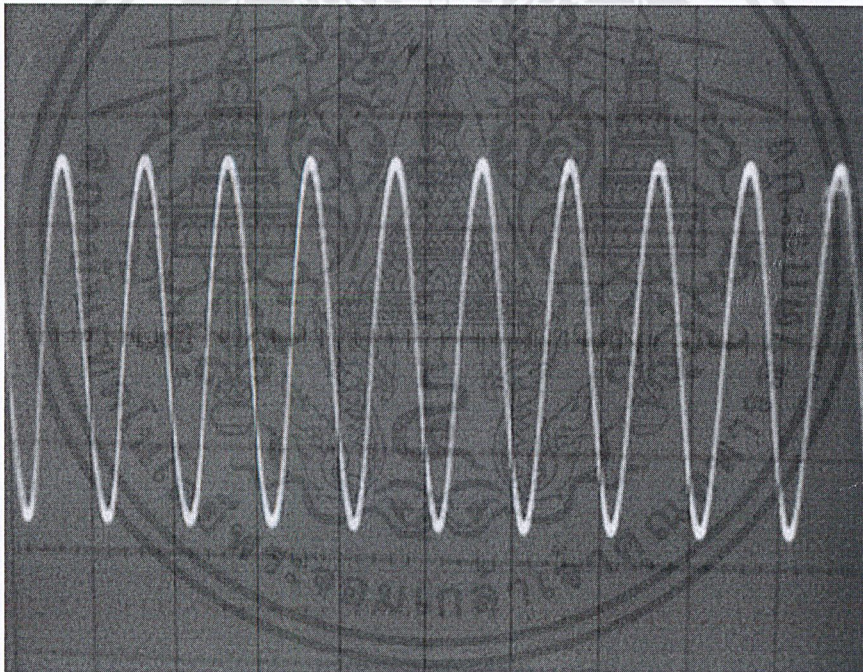
วงจรกำเนิดความถี่ เป็นวงจรที่ทำหน้าที่สร้างความถี่ในการส่งข้อมูล ซึ่งความถี่นี้จะนำไปเป็นฐานเวลาในการบอกระดับ Time/Div ของดิจิตอลออสซิลโลสโคป

4.2.1 ผลการทดลอง

- 1) ประกอบวงจรกำเนิดความถี่ป้อนแหล่งจ่ายไฟกระแสตรง 5 โวลต์
- 2) วัดสัญญาณทางเอาต์พุตด้วยออสซิลโลสโคป

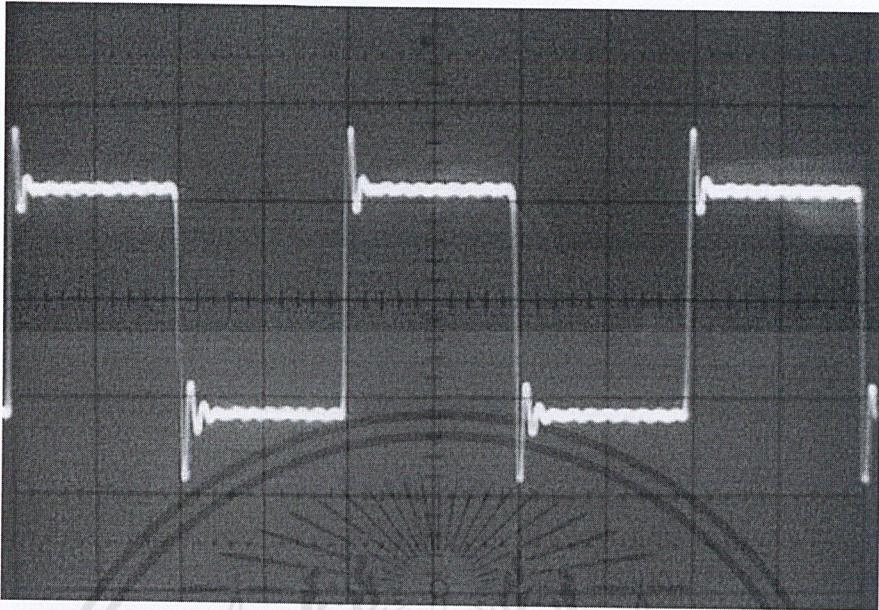
ตารางที่ 4.2 การทดลองวงจรกำเนิดความถี่

ผลการทดลอง	ความถี่
รูปที่ 4.8	10 เมกะเฮิร์ตซ์
รูปที่ 4.9	500 กิโลเฮิร์ตซ์
รูปที่ 4.10	100 กิโลเฮิร์ตซ์
รูปที่ 4.11	50 กิโลเฮิร์ตซ์
รูปที่ 4.12	10 กิโลเฮิร์ตซ์
รูปที่ 4.13	500 เฮิร์ตซ์

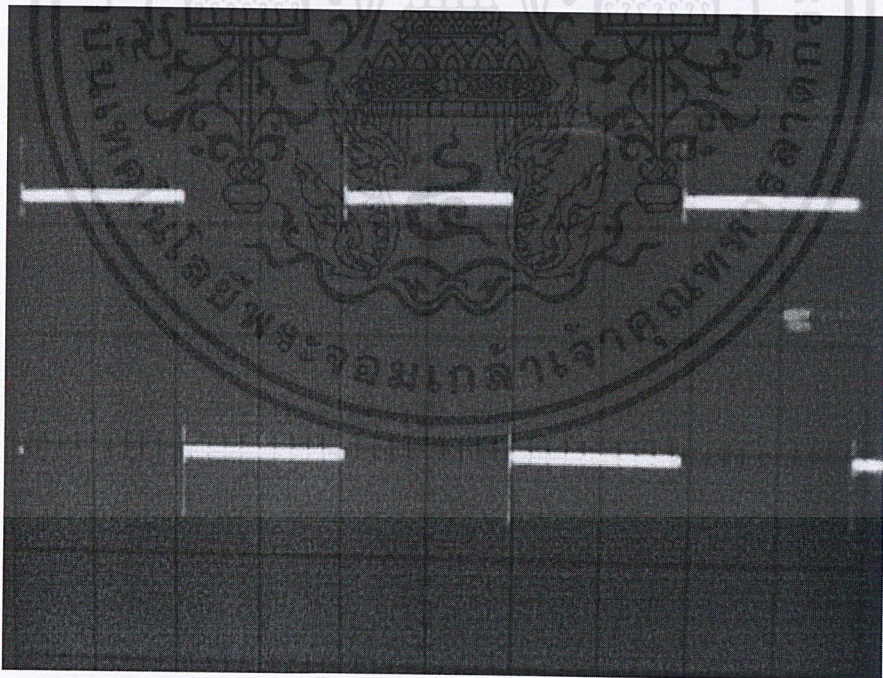


รูปที่ 4.8 ผลการวัดสัญญาณวงจรกำเนิดความถี่ 10 เมกะเฮิร์ตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

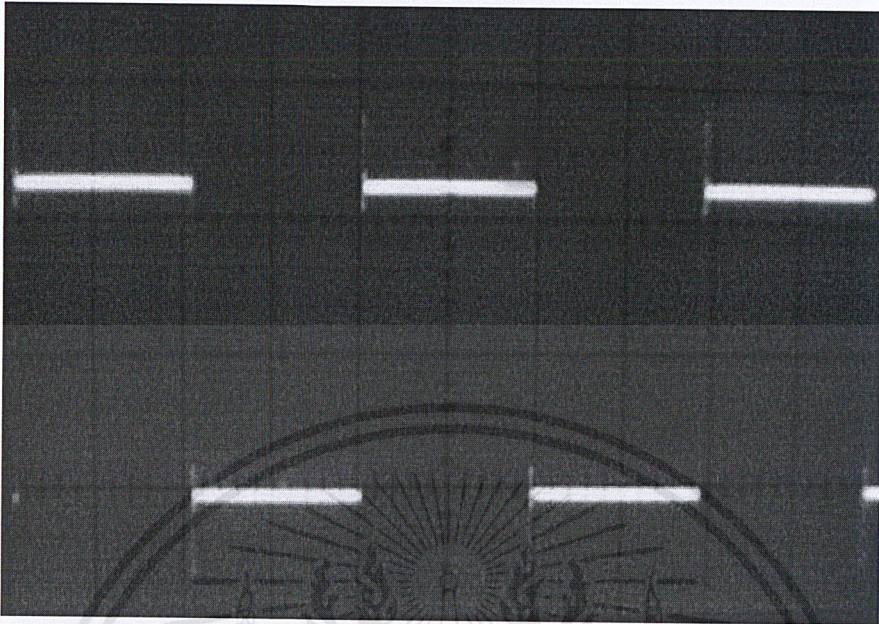


รูปที่ 4.9 ผลการวัดสัญญาณวงจรถ้าเนคความถี่ 500 กิโลเฮิร์ตซ์

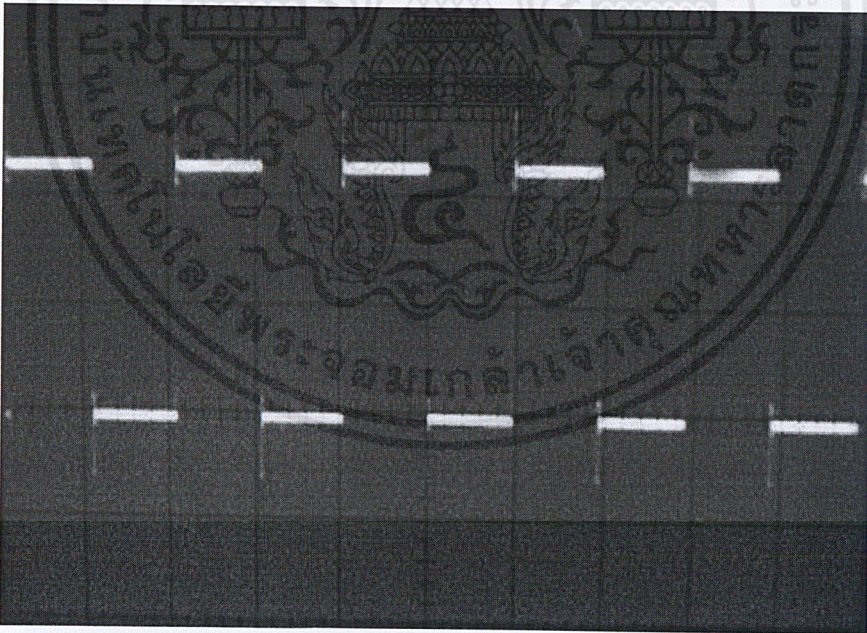


รูปที่ 4.10 ผลการวัดสัญญาณวงจรถ้าเนคความถี่ 100 กิโลเฮิร์ตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

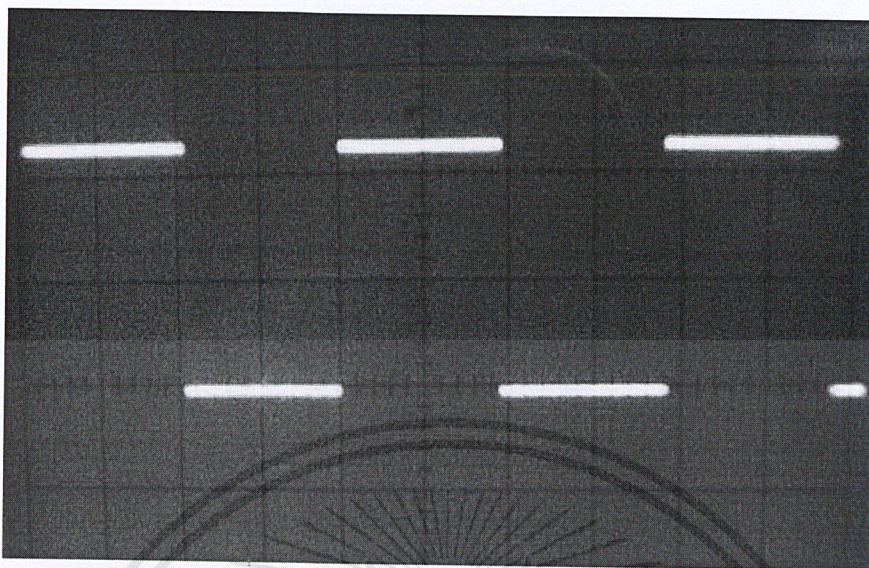


รูปที่ 4.11 ผลการวัดสัญญาณวงจรถ้าเน็ดความถี่ 50 กิโลเฮิร์ตซ์



รูปที่ 4.12 ผลการวัดสัญญาณวงจรถ้าเน็ดความถี่ 10 กิโลเฮิร์ตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



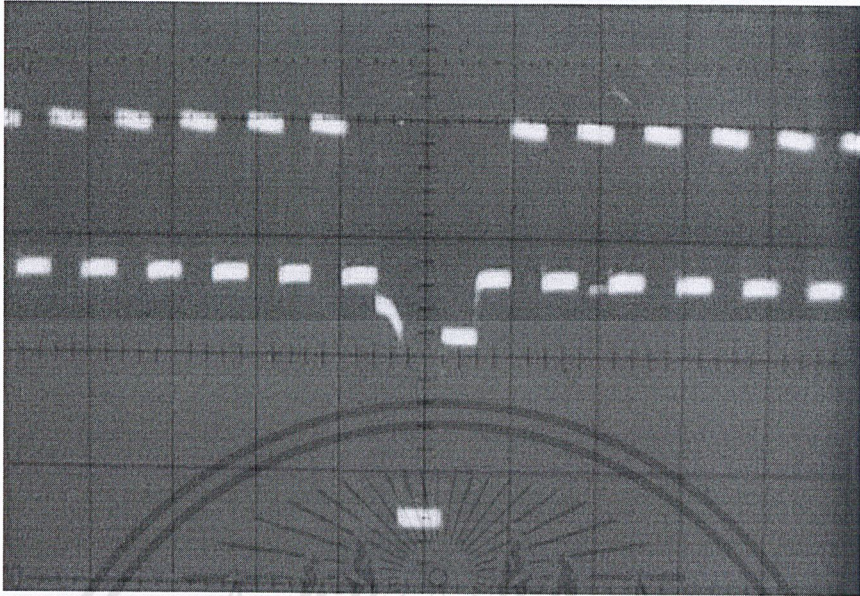
รูปที่ 4.13 ผลการวัดสัญญาณวงจรกำเนิดความถี่ 500 เฮิรตซ์

4.3 การทดลองวงจรกำเนิดสัญญาณภาพ

ในการกำเนิดสัญญาณภาพรวมนั้น จะต้องประกอบด้วยสัญญาณ HOR SYNC ซึ่งมีคาบเวลาประมาณ 4.7 ไมโครวินาที สัญญาณ HOR BLANK มีคาบเวลาประมาณ 12 ไมโครวินาที โดยใช้หน่วยความจำ EEPROM เป็นตัวเก็บข้อมูล และสัญญาณ VER ที่ถูกสร้างมาจากวงจรโมโนสเตเบิลมัลติไวเบรเตอร์ จากนั้นจะนำสัญญาณ VER และ สัญญาณ HOR ซึ่งเป็นสัญญาณภาพที่ถูกผลิตขึ้น มาทำการผสมกับข้อมูลที่ต้องการแสดงผลด้วยวงจรผสมสัญญาณภาพ เพื่อแสดงผลที่เครื่องรับโทรทัศน์ต่อไป

4.3.1 ผลการทดลอง

- 1) ประกอบวงจรกำเนิดสัญญาณภาพ และวงจรผสมสัญญาณภาพ ป้อนแหล่งจ่ายไฟตรง 5 โวลต์
- 2) นำสัญญาณข้อมูลผสมกับสัญญาณภาพรวม โดยวงจรผสมสัญญาณภาพ
- 3) ต่อสัญญาณเอาต์พุตของวงจรผสมสัญญาณภาพไปยังช่องสัญญาณภาพวีดีโอ (AV) ของเครื่องรับโทรทัศน์
- 4) วัดสัญญาณภาพรวมด้วยออสซิลโลสโคป



รูปที่ 4.14 ผลการวัดสัญญาณภาพรวมด้วยออสซิลโลสโคป



รูปที่ 4.15 ผลการนำสัญญาณภาพรวมออกทางช่องเอวี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การทดลองวัดสัญญาณโดยใช้เครื่องรับโทรทัศน์แสดงผล

ประกอบวงจรทุกภาคของคิจิตอลออสซิลโลสโคปที่ทำการทดลองแล้วรวมกัน ทดลองวัดสัญญาณ โดยใช้เครื่องรับโทรทัศน์แสดงผลทางช่องสัญญาณเอวี

4.1 ผลการทดลอง

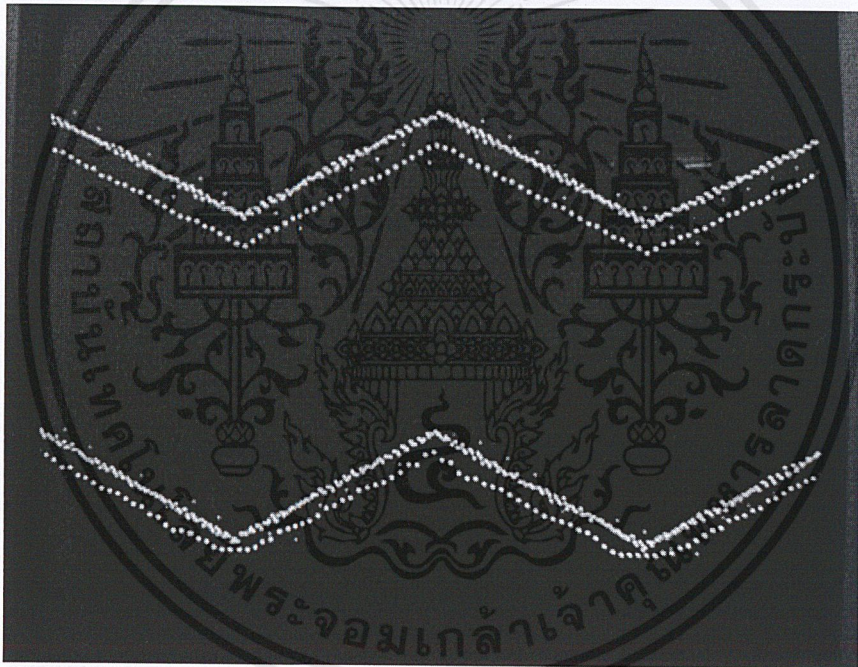
- 1) ประกอบคิจิตอลออสซิลโลสโคป ทำการป้อนแหล่งจ่ายไฟกระแสสลับ 220 โวลต์ ทำการป้อนรูปคลื่นสัญญาณต่างๆ ด้วยเครื่องกำเนิดสัญญาณ
- 2) ทดลองวัดสัญญาณอินพุตรูปคลื่นสามเหลี่ยม รูปคลื่นสี่เหลี่ยม และรูปคลื่นซายน์ จากเครื่องกำเนิดสัญญาณ แรงดัน 2 โวลต์ ความถี่ตามตารางที่ 4.3
- 3) ต่อสัญญาณเอาต์พุตออกจากคิจิตอลออสซิลโลสโคป เข้าที่ช่องสัญญาณเอวีของเครื่องรับโทรทัศน์

ตารางที่ 4.3 การทดลองวัดสัญญาณโดยใช้เครื่องรับโทรทัศน์แสดงผล

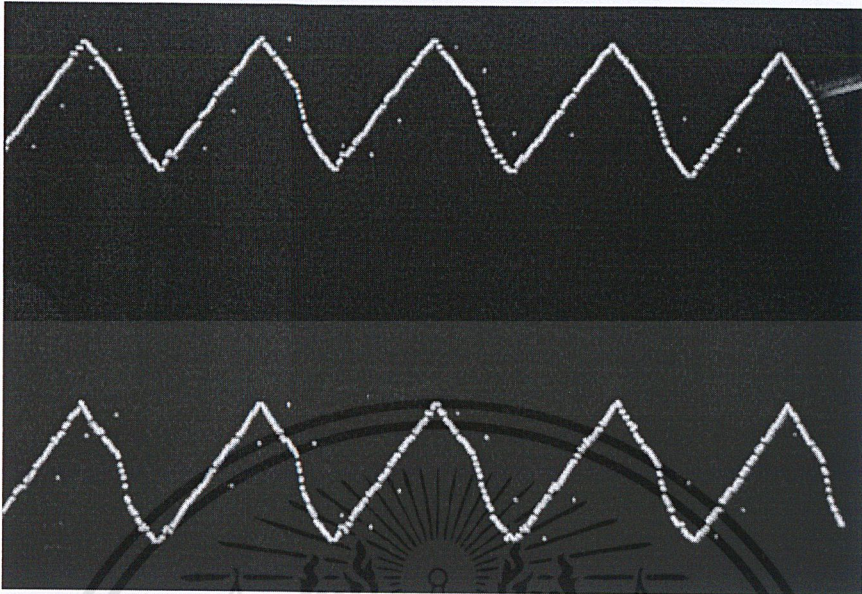
การทดลอง	ความถี่สัญญาณอินพุต	รูปคลื่นสัญญาณ
รูปที่ 4.18	2 เฮิร์ตซ์	สามเหลี่ยม
รูปที่ 4.19	100 เฮิร์ตซ์	สามเหลี่ยม
รูปที่ 4.20	1 กิโลเฮิร์ตซ์	สามเหลี่ยม
รูปที่ 4.21	10 กิโลเฮิร์ตซ์	สามเหลี่ยม
รูปที่ 4.22	100 กิโลเฮิร์ตซ์	สามเหลี่ยม
รูปที่ 4.23	300 กิโลเฮิร์ตซ์	สามเหลี่ยม
รูปที่ 4.24	2 เฮิร์ตซ์	สี่เหลี่ยม
รูปที่ 4.25	100 เฮิร์ตซ์	สี่เหลี่ยม
รูปที่ 4.26	1 กิโลเฮิร์ตซ์	สี่เหลี่ยม
รูปที่ 4.27	10 กิโลเฮิร์ตซ์	สี่เหลี่ยม
รูปที่ 4.28	100 กิโลเฮิร์ตซ์	สี่เหลี่ยม
รูปที่ 4.29	300 กิโลเฮิร์ตซ์	สี่เหลี่ยม

ตารางที่ 4.3 (ต่อ) การทดลองวัดสัญญาณโดยใช้เครื่องรับโทรทัศน์แสดงผล

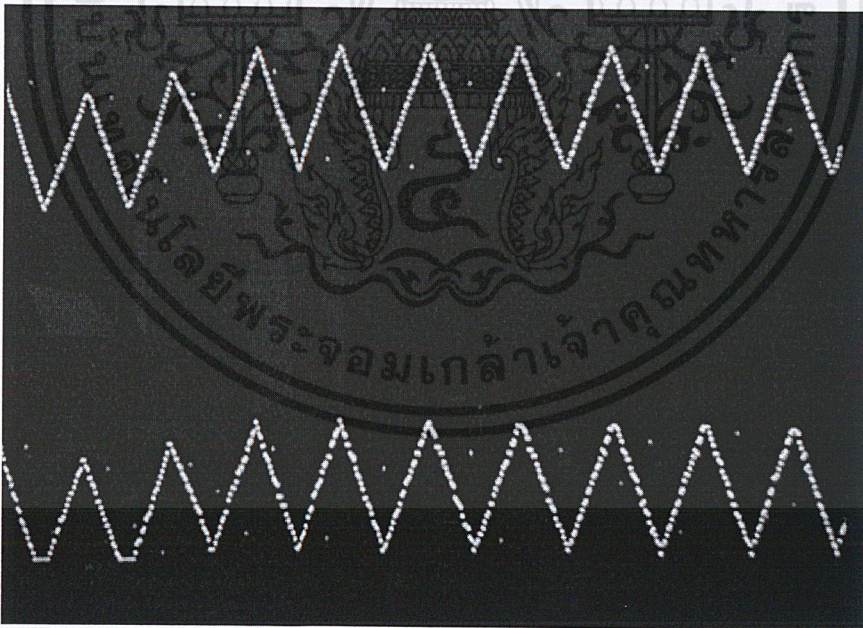
รูปที่ 4.30	2 เฮิรตซ์	รูปคลื่นซายน์
รูปที่ 4.31	100 เฮิรตซ์	รูปคลื่นซายน์
รูปที่ 4.32	1 กิโลเฮิรตซ์	รูปคลื่นซายน์
รูปที่ 4.33	10 กิโลเฮิรตซ์	รูปคลื่นซายน์
รูปที่ 4.34	100 กิโลเฮิรตซ์	รูปคลื่นซายน์
รูปที่ 4.35	300 กิโลเฮิรตซ์	รูปคลื่นซายน์



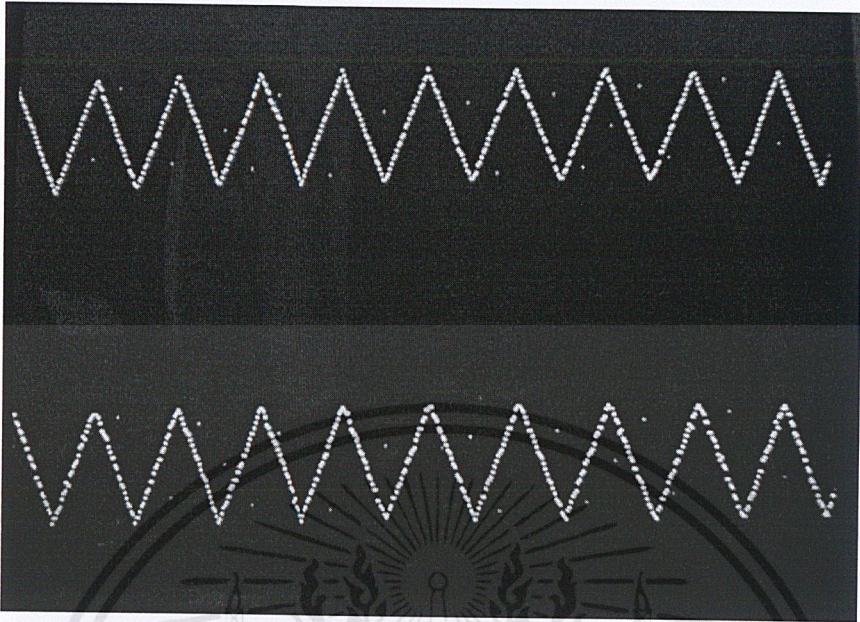
รูปที่ 4.16 ผลการทดลองวัดสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 2 เฮิรตซ์



รูปที่ 4.17 ผลการทดลองวัดสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 100 เฮิรตซ์



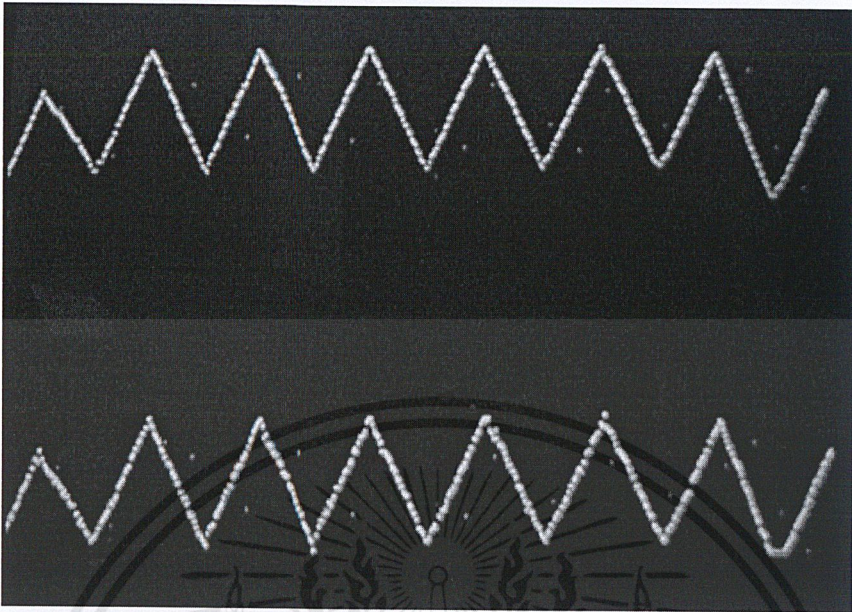
รูปที่ 4.18 ผลการทดลองวัดสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 1 กิโลเฮิรตซ์



รูปที่ 4.19 ผลการทดลองวัดสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 10 กิโลเฮิร์ตซ์



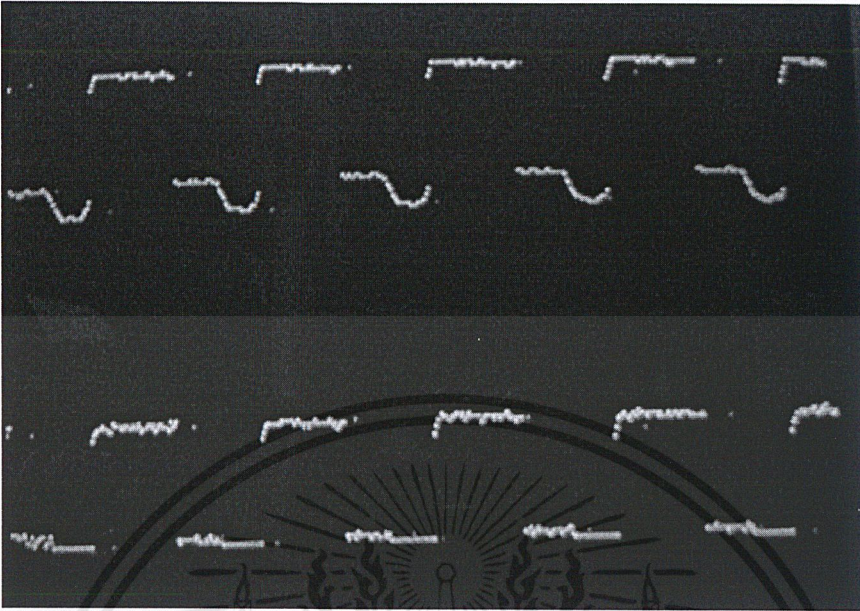
รูปที่ 4.20 ผลการทดลองวัดสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 100 กิโลเฮิร์ตซ์



รูปที่ 4.21 ผลการทดลองวัดสัญญาณรูปคลื่นสามเหลี่ยมความถี่ 300 กิโลเฮิร์ตซ์



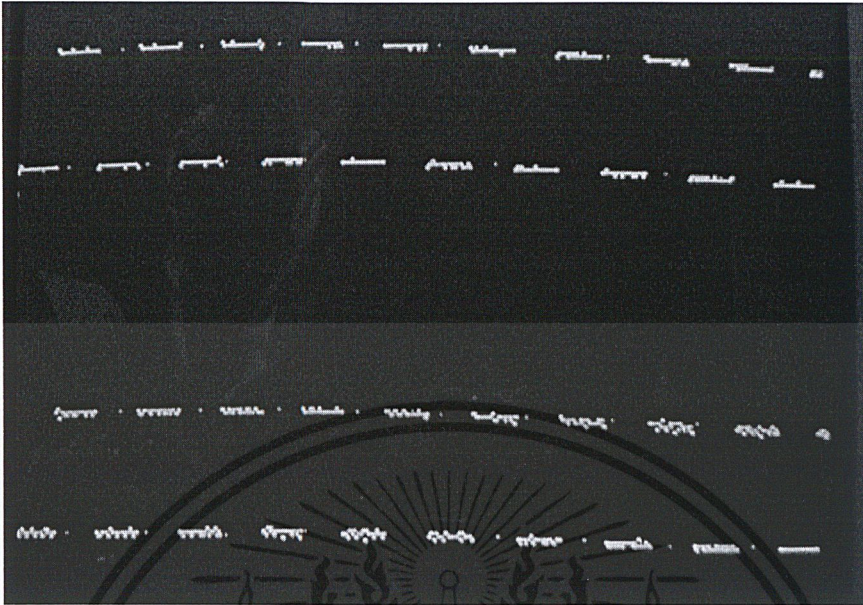
รูปที่ 4.22 ผลการทดลองวัดสัญญาณรูปคลื่นสี่เหลี่ยมความถี่ 2 เฮิร์ตซ์



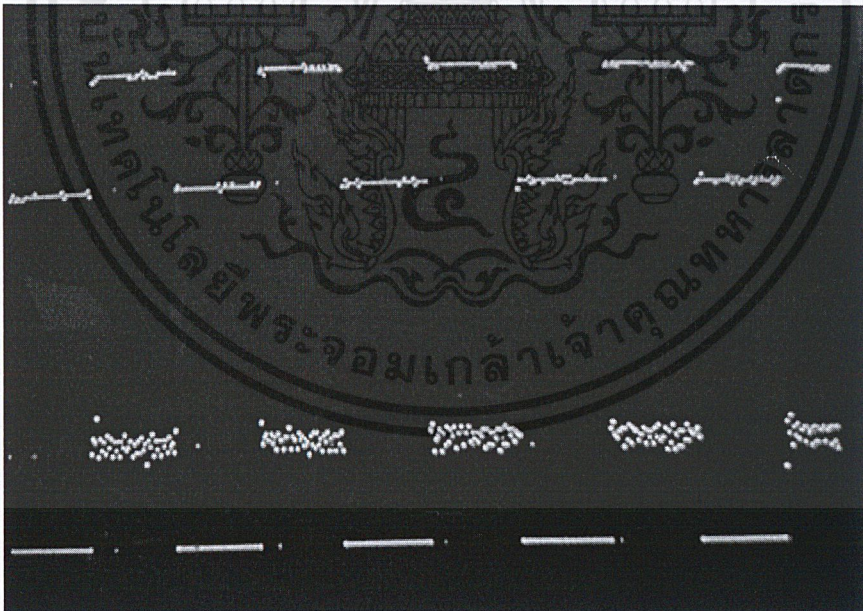
รูปที่ 4.23 ผลการทดลองวัดสัญญาณรูปคลื่นสี่เหลี่ยมความถี่ 100 เฮิรตซ์



รูปที่ 4.24 ผลการทดลองวัดสัญญาณรูปคลื่นสี่เหลี่ยมความถี่ 1 กิโลเฮิรตซ์



รูปที่ 4.25 ผลการทดลองวัดสัญญาณรูปคลื่นสี่เหลี่ยมความถี่ 10 กิโลเฮิร์ตซ์



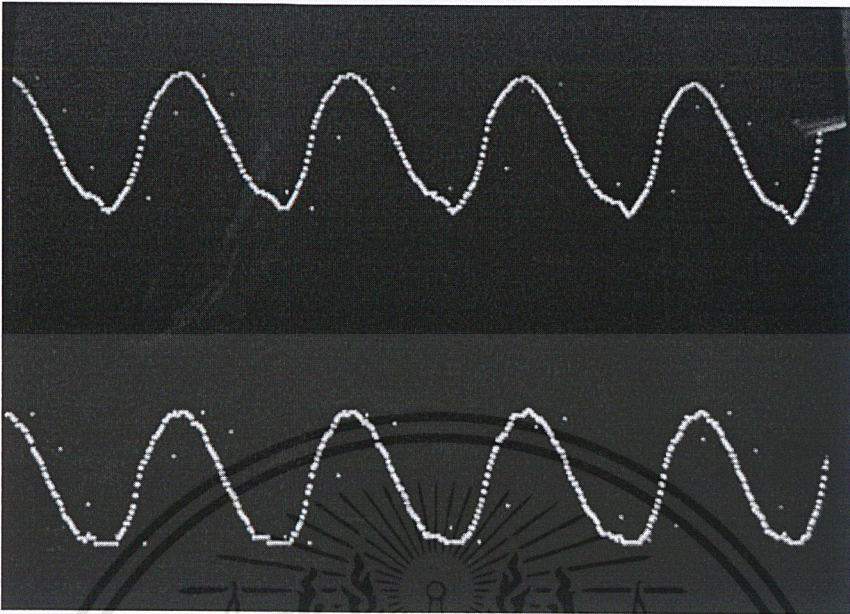
รูปที่ 4.26 ผลการทดลองวัดสัญญาณรูปคลื่นสี่เหลี่ยมความถี่ 100 กิโลเฮิร์ตซ์



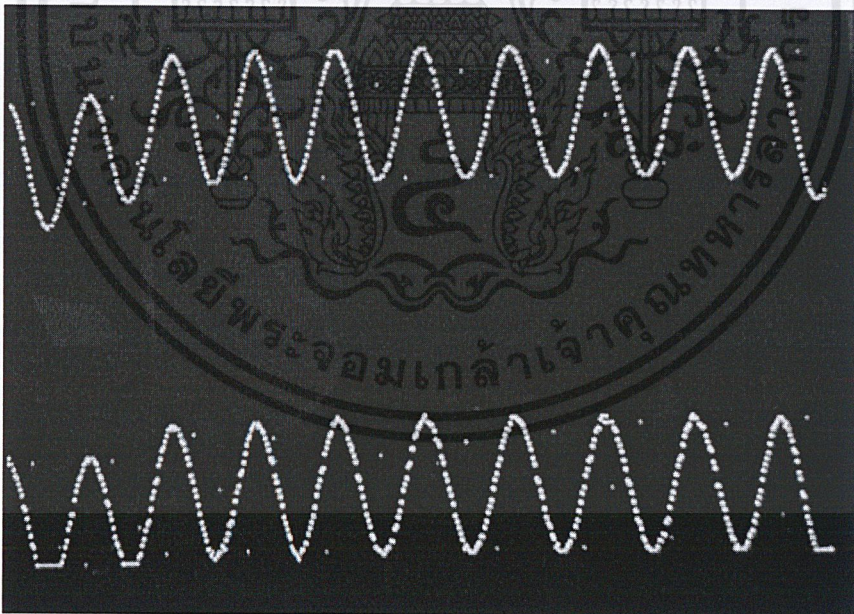
รูปที่ 4.27 ผลการทดลองวัดสัญญาณรูปคลื่นที่เหลี่ยมความถี่ 300 กิโลเฮิร์ตซ์



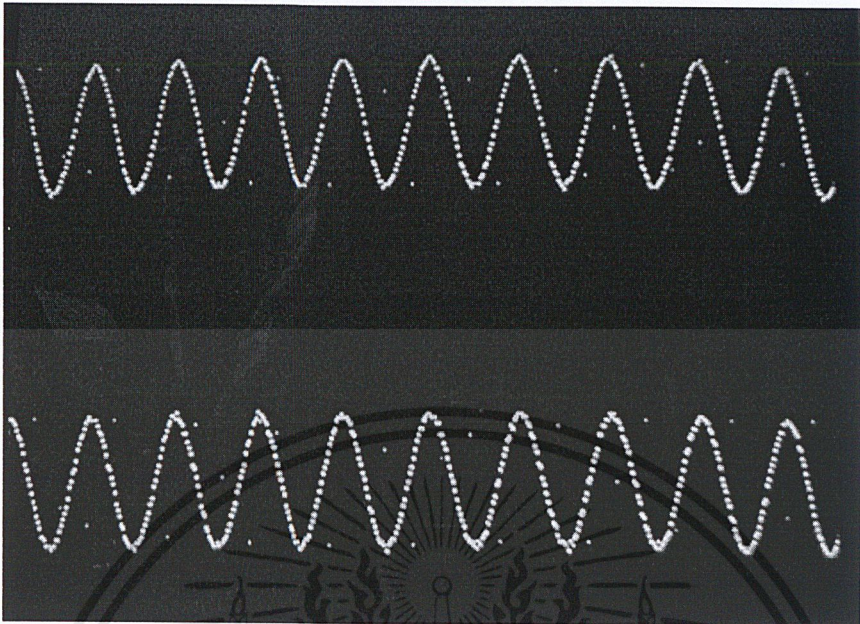
รูปที่ 4.28 ผลการทดลองวัดสัญญาณรูปคลื่นชายันความถี่ 2 เฮิร์ตซ์



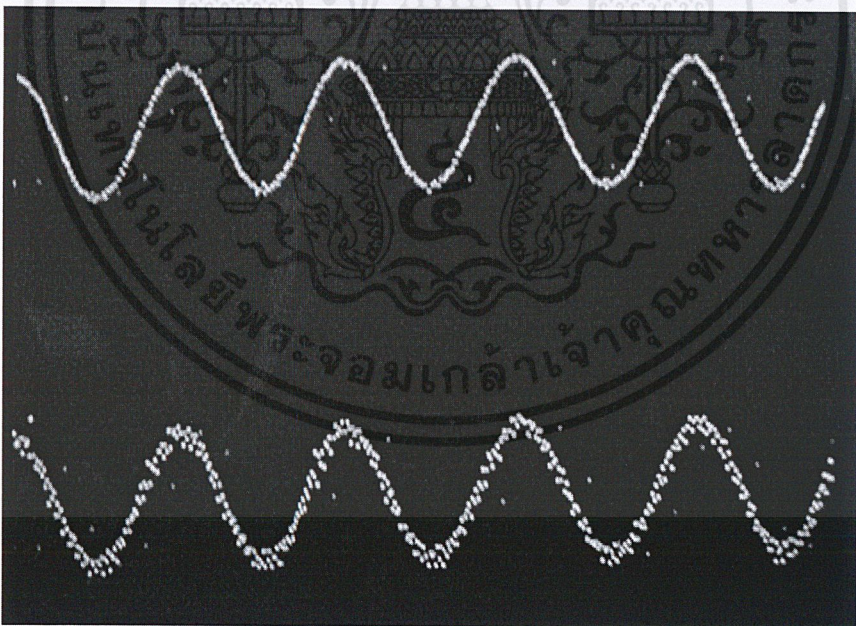
รูปที่ 4.29 ผลการทดลองวัดสัญญาณรูปคลื่นไซน์ความถี่ 100 เฮิรตซ์



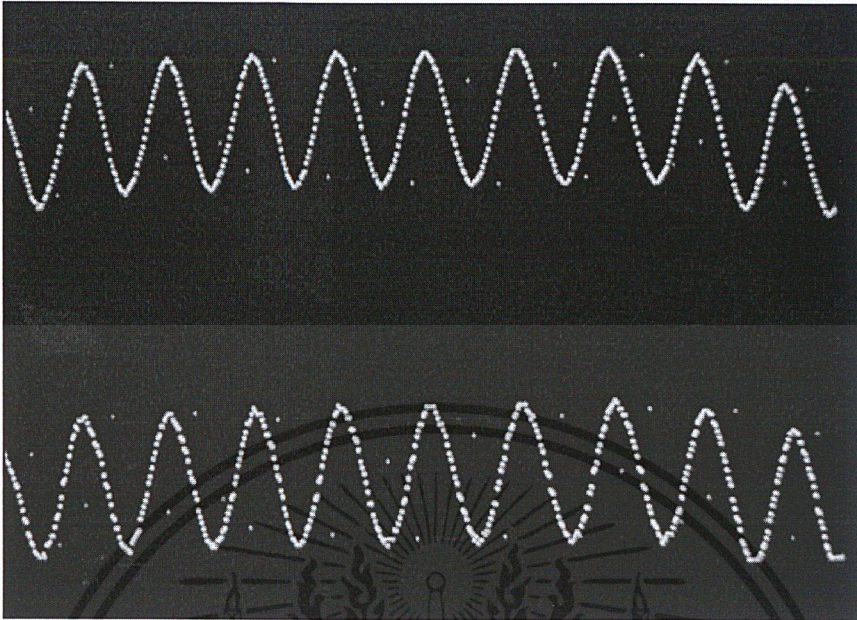
รูปที่ 4.30 ผลการทดลองวัดสัญญาณรูปคลื่นไซน์ความถี่ 1 กิโลเฮิรตซ์



รูปที่ 4.31 ผลการทดลองวัดสัญญาณรูปคลื่นไซน์ความถี่ 10 กิโลเฮิร์ตซ์



รูปที่ 4.32 ผลการทดลองวัดสัญญาณรูปคลื่นไซน์ความถี่ 100 กิโลเฮิร์ตซ์



รูปที่ 4.33 ผลการทดลองวัดสัญญาณรูปคลื่นไซน์ความถี่ 300 กิโลเฮิรตซ์

บทที่ 5

บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา

5.1 บทสรุป

ดิจิทัลออสซิลโลสโคป (Digital Oscilloscope) จัดทำขึ้นเพื่อใช้เป็นเครื่องมือวัดสัญญาณ โดยใช้หลักการสุ่มสัญญาณเข้ามาแล้วทำการเปลี่ยนเป็นสัญญาณดิจิทัล แล้วบันทึกลงหน่วยความจำการสุ่มข้อมูล จากนั้นทำการอ่านข้อมูลออกมาเพื่อสร้างเป็นตำแหน่งในการเขียนข้อมูลลงหน่วยความจำแสดงผล โดยมีการสลับกันระหว่างการเขียน และการอ่าน นำข้อมูลที่ต้องการแสดงผลไปทำการผสมกับสัญญาณภาพรวมเพื่อแสดงผลไปยังเครื่องรับโทรทัศน์ โดยผ่านช่องสัญญาณเอวี (Audio Video:AV)

จากการศึกษา และทดลองสร้างดิจิทัลออสซิลโลสโคป ได้ผลการทดลองวัดสัญญาณต่างๆ จากดิจิทัลออสซิลโลสโคปโดยสัญญาณที่ทำการวัดประกอบด้วย

1) สัญญาณรูปคลื่นไซน์พบว่าการวัดสัญญาณที่ความถี่ต่ำกว่า 1 กิโลเฮิร์ตซ์มีสัญญาณรบกวนสูง รูปคลื่นที่วัดได้มีลักษณะทับซ้อนกันของสัญญาณ ซึ่งการวัดความถี่ที่สูงขึ้นสัญญาณรบกวนที่ทำให้รูปคลื่นมีความผิดเพี้ยนลดลงแต่มีลักษณะการกระเพื่อมของสัญญาณ ความถูกต้องของรูปคลื่นมีมากขึ้น ความถี่ประมาณ 300 กิโลเฮิร์ตซ์ เป็นความถี่สูงสุดที่วัดได้แล้วสามารถมองเห็นเป็นสัญญาณรูปคลื่นไซน์

2) สัญญาณรูปคลื่นสามเหลี่ยมพบว่าการวัดสัญญาณที่ความถี่ต่ำกว่า 1 กิโลเฮิร์ตซ์ มีสัญญาณรบกวนสูงเช่นเดียวกับรูปคลื่นไซน์ รูปคลื่นที่วัดได้มีลักษณะผิดเพี้ยนไม่เหมือนกับสัญญาณอินพุต การวัดความถี่ที่สูงขึ้นสัญญาณรบกวนที่ทำให้รูปคลื่นมีความผิดเพี้ยนลดลงแต่มีลักษณะการกระเพื่อมของสัญญาณ ความถูกต้องของรูปคลื่นมีมากขึ้น ความถี่ประมาณ 300 กิโลเฮิร์ตซ์ เป็นความถี่สูงสุดที่วัดได้แล้วสามารถมองเห็นเป็นสัญญาณรูปสามเหลี่ยม

3) สัญญาณรูปคลื่นสี่เหลี่ยมพบว่าการวัดสัญญาณที่ความถี่ต่ำกว่า 1 กิโลเฮิร์ตซ์มีสัญญาณรบกวนสูงเช่นเดียวกับรูปคลื่นไซน์ รูปคลื่นที่วัดได้มีลักษณะผิดเพี้ยนไม่เหมือนกับสัญญาณอินพุต การวัดความถี่ที่สูงขึ้นสัญญาณรบกวนที่ทำให้รูปคลื่นมีความผิดเพี้ยนลดลงแต่มีลักษณะการกระเพื่อมของสัญญาณ ความถูกต้องของรูปคลื่นมีมากขึ้น ความถี่ประมาณ 250 กิโลเฮิร์ตซ์ เป็นความถี่สูงสุดที่วัดได้แล้วสามารถมองเห็นเป็นสัญญาณรูปคลื่นสี่เหลี่ยม

ตารางที่ 5.1 การวัดสัญญาณอินพุตรูปคลื่นชานน์

อินพุต		เอาต์พุต
แรงดัน (โวลต์)	ความถี่	ความผิดเพี้ยนของรูปคลื่น
0.1	2 เฮิร์ตซ์	10%
0.1	1กิโลเฮิร์ตซ์	3%
0.1	100 กิโลเฮิร์ตซ์	5%
1	2 เฮิร์ตซ์	10%
1	1กิโลเฮิร์ตซ์	3%
1	100 กิโลเฮิร์ตซ์	5%
10	2 เฮิร์ตซ์	10%
10	1กิโลเฮิร์ตซ์	3%
10	100 กิโลเฮิร์ตซ์	5%

ตารางที่ 5.2 การวัดสัญญาณอินพุตรูปสามเหลี่ยม

อินพุต		เอาต์พุต
แรงดัน (โวลต์)	ความถี่	ความผิดเพี้ยนของรูปคลื่น
0.1	2 เฮิร์ตซ์	10%
0.1	1กิโลเฮิร์ตซ์	3%
0.1	100 กิโลเฮิร์ตซ์	5%
1	2 เฮิร์ตซ์	10%
1	1กิโลเฮิร์ตซ์	3%
1	100 กิโลเฮิร์ตซ์	5%
10	2 เฮิร์ตซ์	10%
10	1กิโลเฮิร์ตซ์	3%
10	100 กิโลเฮิร์ตซ์	5%

ตารางที่ 5.3 การวัดสัญญาณอินพุตรูปสี่เหลี่ยม

อินพุต		เอาต์พุต
แรงดัน (โวลต์)	ความถี่	ความผิดเพี้ยนของรูปคลื่น
0.1	2 เฮิรตซ์	10%
0.1	1กิโลเฮิรตซ์	3%
0.1	100 กิโลเฮิรตซ์	5%
1	2 เฮิรตซ์	10%
1	1กิโลเฮิรตซ์	3%
1	100 กิโลเฮิรตซ์	5%
10	2 เฮิรตซ์	10%
10	1กิโลเฮิรตซ์	3%
10	100 กิโลเฮิรตซ์	5%

5.2 ปัญหา และแนวทางแก้ไข

1) ปัญหา ในส่วนของภาคแปลงสัญญาณแอนะล็อกเป็นดิจิทัล โดยใช้ไอซีเบอร์ TDA8703 เกิดความเพี้ยนในการสุ่มสัญญาณ

แนวทางการแก้ไขปัญหา ใส่ตัวต้านทานพูลอัพเข้าไป ทำให้สัญญาณรบกวนลดลง

2) ปัญหา วงจรตรวจสอบสัญญาณบิตที่ 8 ซึ่งทำหน้าที่ตรวจสอบขอบขาขึ้นของสัญญาณใช้งานไม่ได้ เนื่องจากสัญญาณที่สุ่มเข้ามาในแต่ละครั้งมีตำแหน่งในการสุ่มไม่ตรงกัน

แนวทางการแก้ไขปัญหา ใช้วงจรตรวจสอบขอบขาขึ้นของสัญญาณที่สร้างจากวงจรเปรียบเทียบในการตรวจสอบสัญญาณแทนวงจรตรวจสอบสัญญาณบิตที่ 8

3) ปัญหา ในการสร้างวงจรผสมและสร้างสัญญาณภาพรวมที่ใช้วงจรจากปริยญาณีพันธ์ เรื่องเครื่องผสมสัญญาณภาพ 8 ช่อง ปีการศึกษา 2543 นั้น ไม่สามารถใช้งานได้โดยสัญญาณที่ผลิตออกมาไม่ตรงกับมาตรฐานของสัญญาณที่ใช้ในระบบโทรทัศน์

แนวทางการแก้ไขปัญหา ใช้ อีอีพรอมในการสร้างสัญญาณภาพรวมแทน

4) ปัญหา ในการทำแผ่นวงจรพิมพ์โดยใช้โปรแกรม Protel 99SE ในขั้นตอนการทำ PCB เกิดปัญหาในการเชื่อมต่อวงจรคือลายวงจรเชื่อมต่อผิดพลาดเมื่อนำมาประกอบวงจรแล้วไม่ทำงาน

แนวทางการแก้ไขปัญหา ตรวจสอบลายวงจร PCB อย่างละเอียด ก่อนส่งทำลายวงจร

5) ปัญหา ในการนำข้อมูลจากการสุ่มสัญญาณมาทำการสร้างเป็นตำแหน่งในการเขียนข้อมูลลงหน่วยความจำแสดงผล เกิดความผิดพลาดในการเขียนโดยตำแหน่งของการเขียนสลับกัน ทำให้รูปคลื่นที่เป็นผลการทดลองมีลักษณะกลับเฟส 180 องศา

แนวทางการแก้ไขปัญหา ใช้ไอซีบัฟเฟอร์นี้่อตเกต เบอร์ 74HC640 แทน ไอซีบัฟเฟอร์เบอร์74HC245

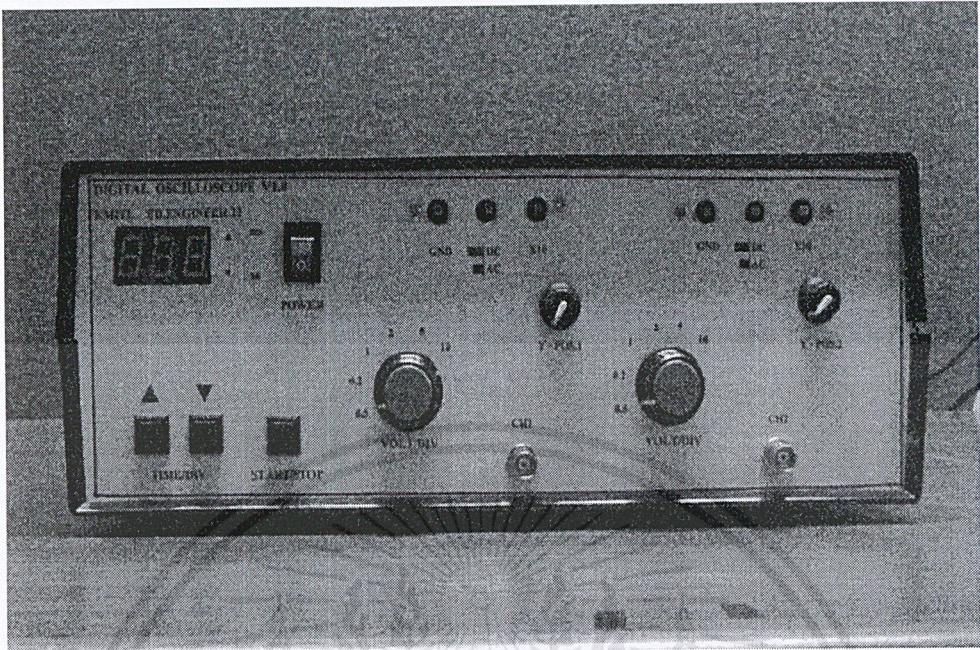
5.3 แนวทางการพัฒนา

ในการพัฒนาให้ดิจิทัลลอจิกซิสเต็มเพื่อให้ใช้งานได้สมบูรณ์ ต้องพัฒนาส่วนต่างๆ ดังนี้

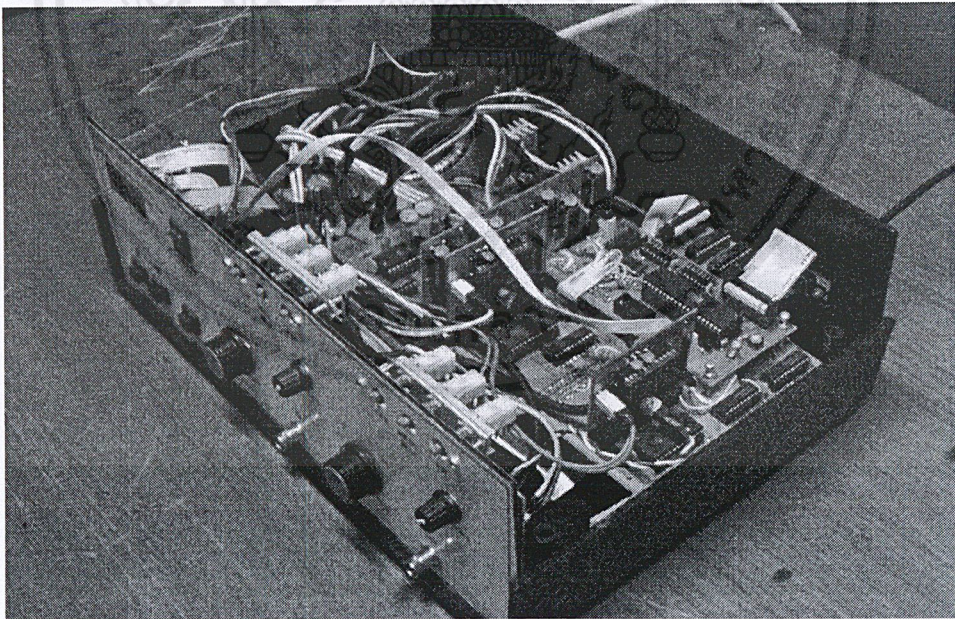
- 1) พัฒนาด้านการแสดงผลหน้าจอภาพให้สามารถบอกค่าความถี่ และ โวลต์ แสดงผลบนจอภาพได้
- 2) พัฒนาด้านภาพ ให้ภาพที่ปรากฏบนจอมีสัญญาณรบกวนน้อยที่สุด
- 3) พัฒนาด้านโปรแกรมให้สามารถแสดงผลออกหน้าจอคอมพิวเตอร์ และบันทึกข้อมูลได้
- 4) พัฒนาด้านการสุ่มข้อมูลให้มีคาบเวลาในการสุ่มข้อมูลที่ละเอียดขึ้น



ภาคผนวก ก
เครื่องต้นแบบ

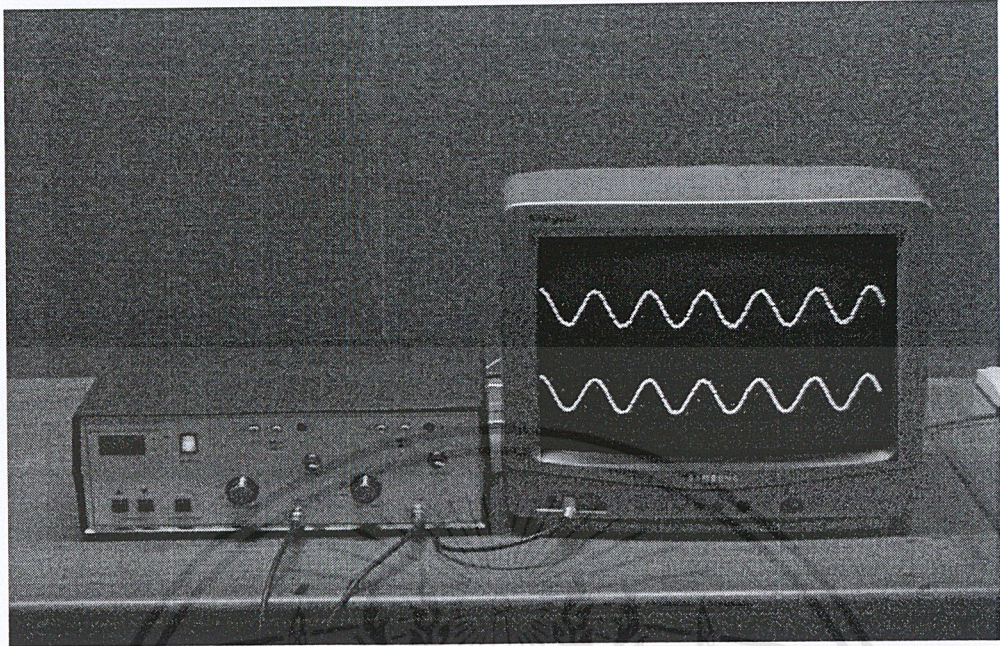


รูปที่ ก.1 เครื่องวัดสัญญาณดิจิทัลออสซิลโลสโคปด้านหน้า



รูปที่ ก.2 เครื่องต้นแบบดิจิทัลออสซิลโลสโคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

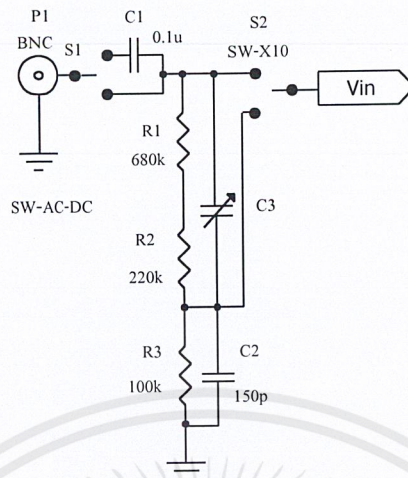


รูปที่ ก.3 เครื่องต้นแบบดิจิทัลออสซิลโลสโคป

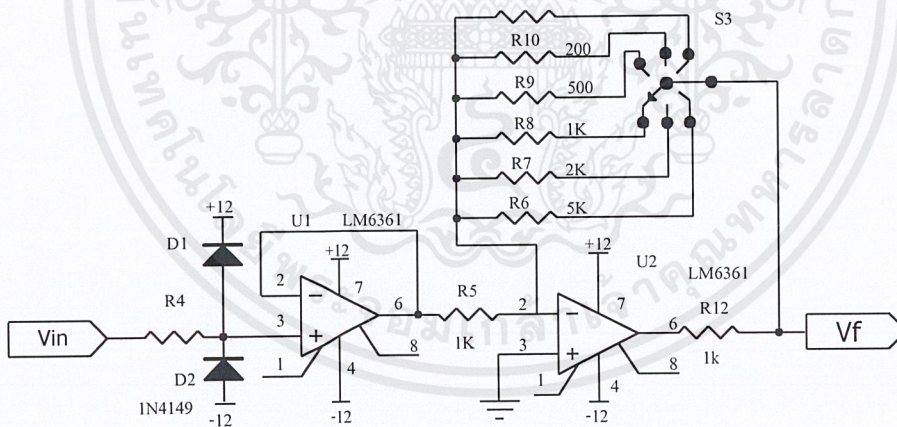


ภาคผนวก ข
วงจร และแผ่นวงจรพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

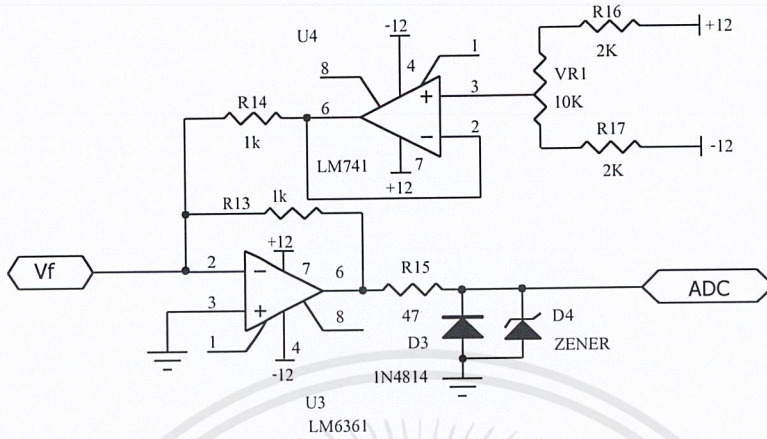


รูปที่ ข.1 วงจรลดทอนสัญญาณ

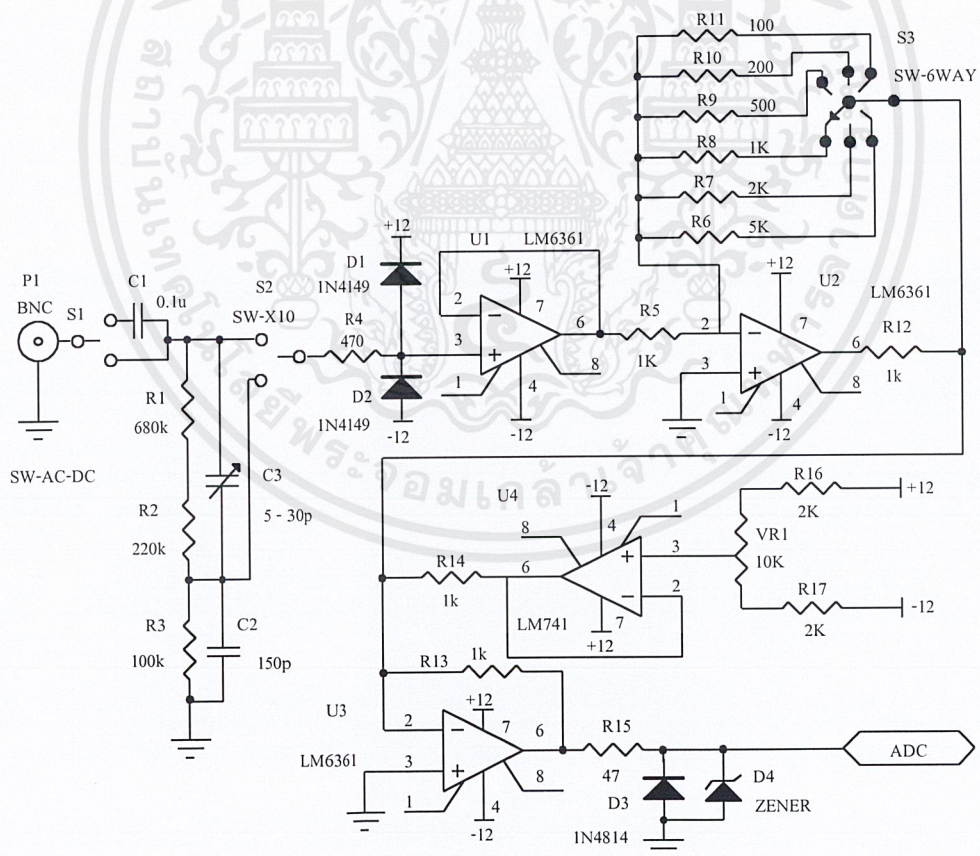


รูปที่ ข.2 วงจรขยายสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

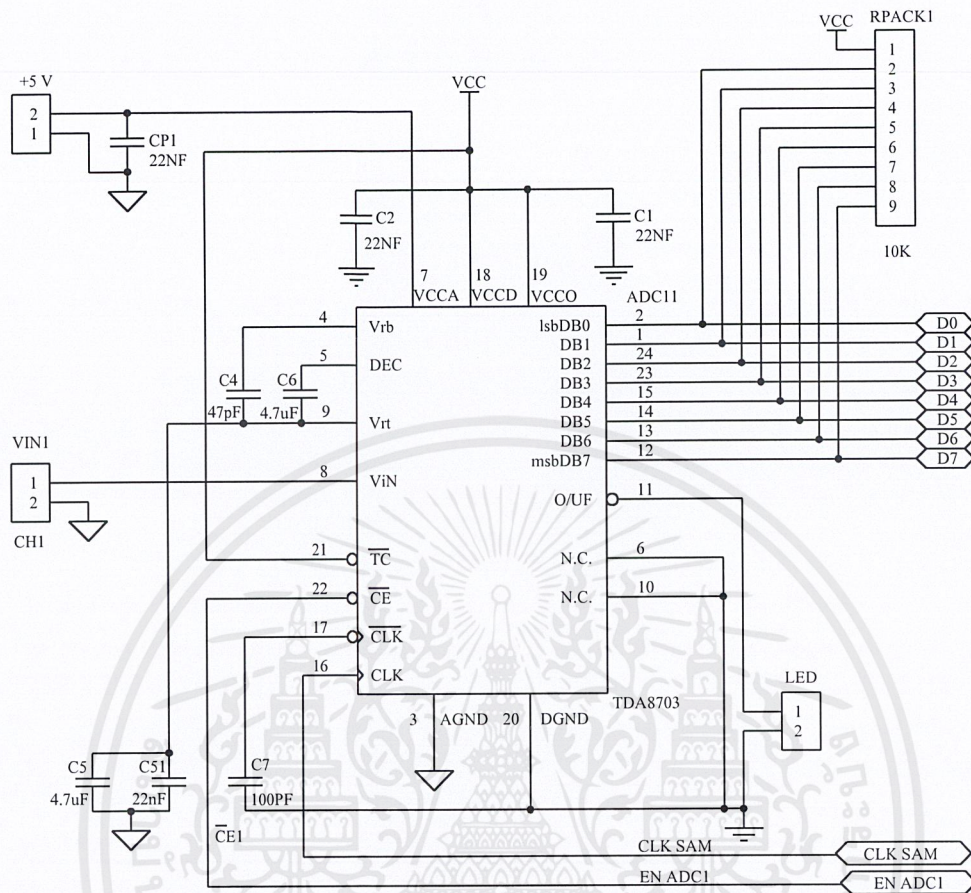


รูปที่ ข.3 วงจรปรับระดับทางแนวตั้ง

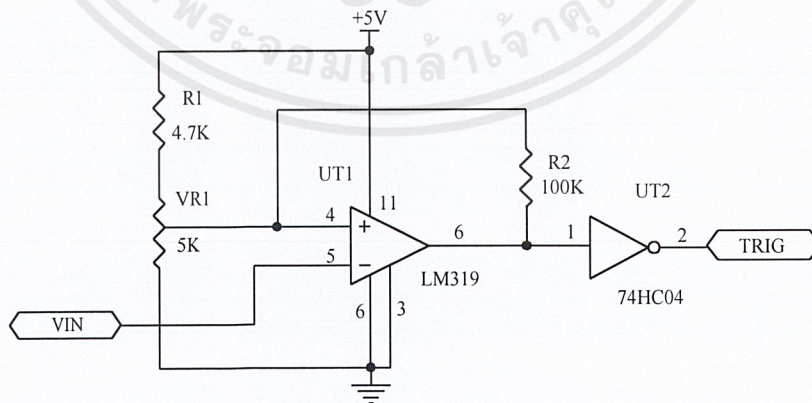


รูปที่ ข.4 วงจรลดทอน และขยายสัญญาณ

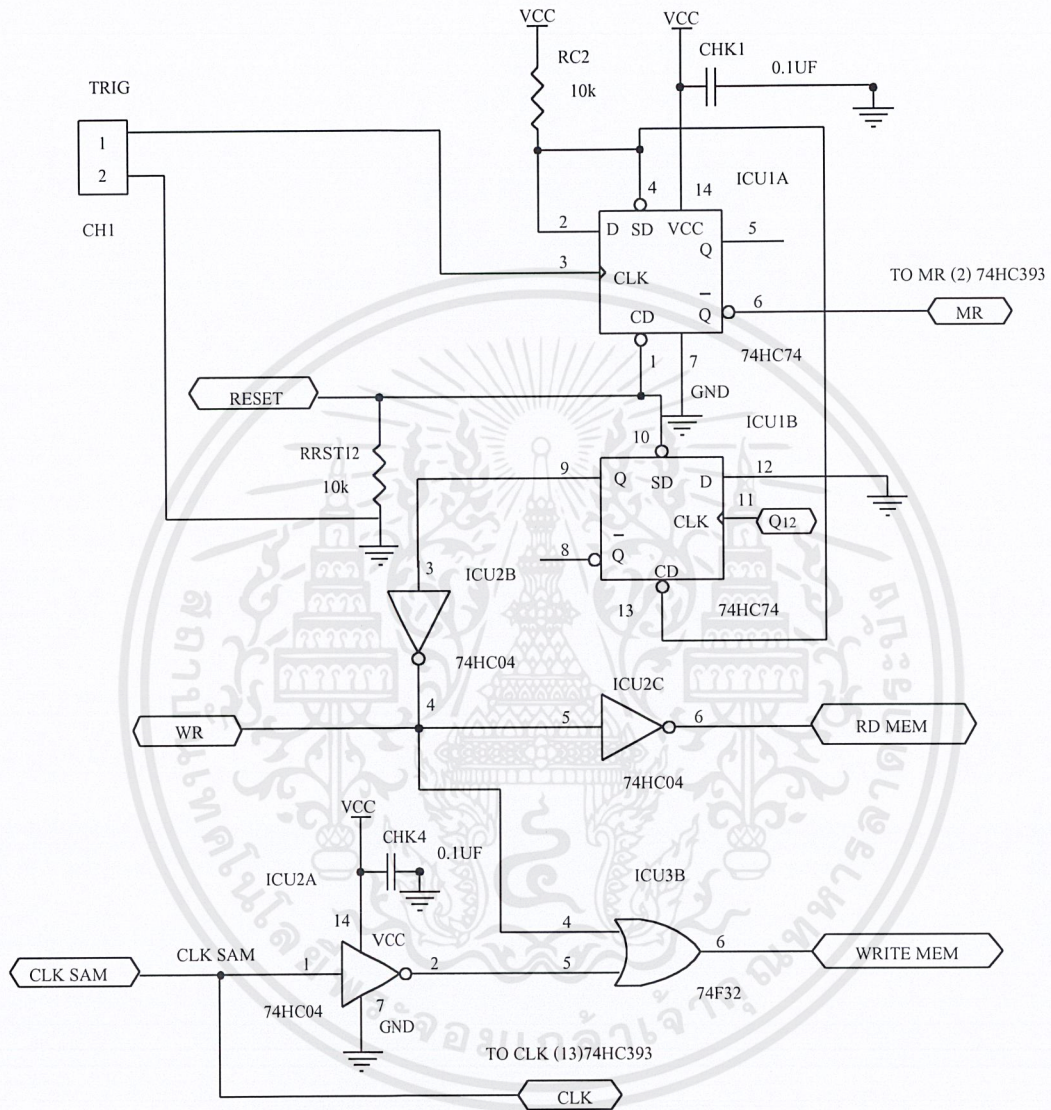
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



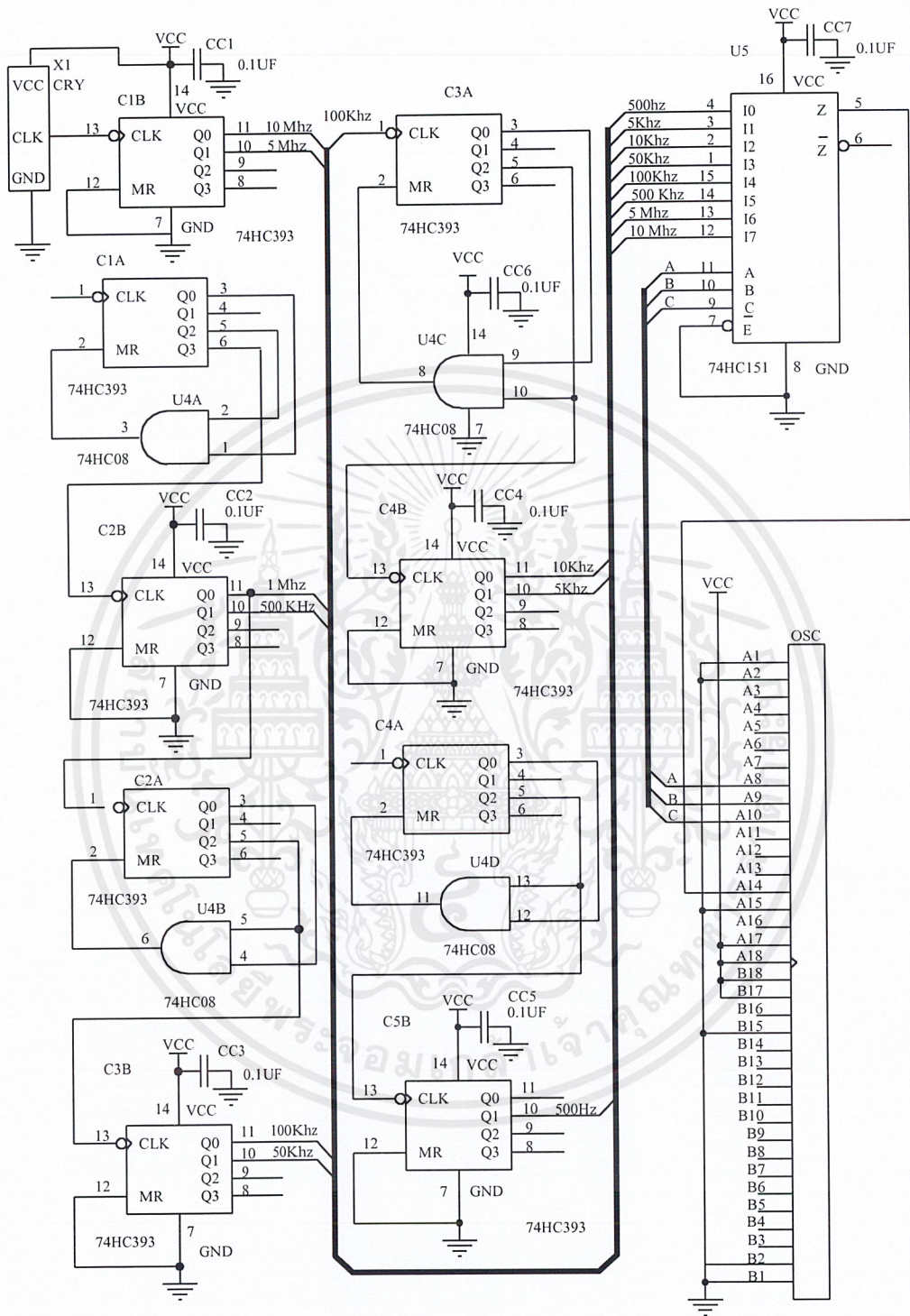
รูปที่ ข.5 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล



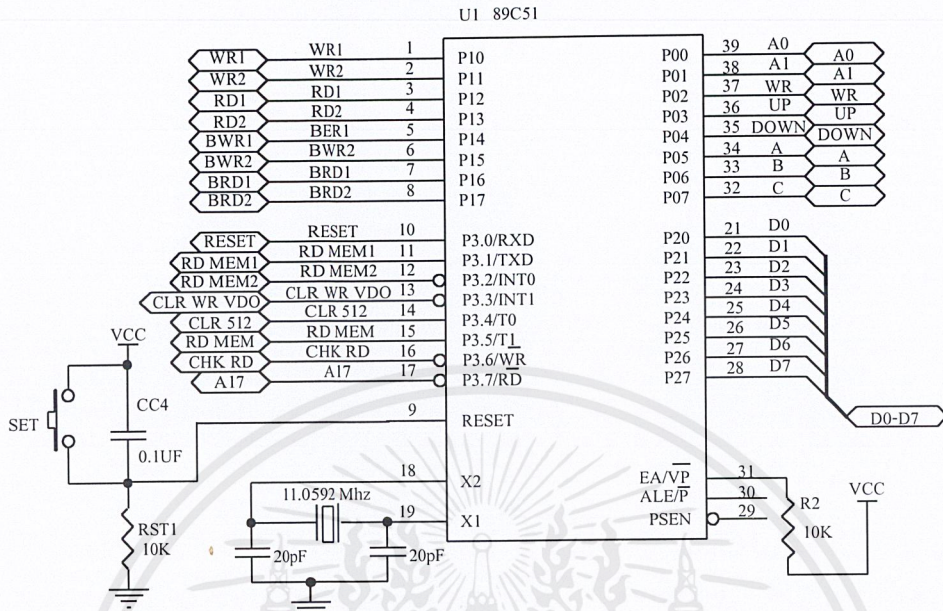
รูปที่ ข.6 วงจรตรวจสอบขอบขาขึ้นของสัญญาณ



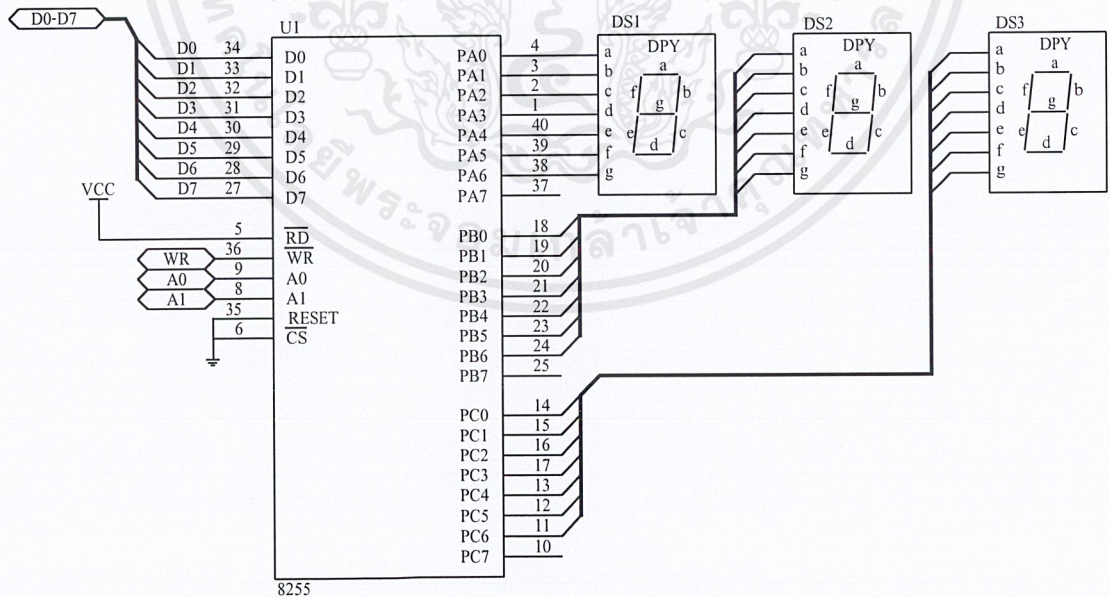
รูปที่ ข.7 วงจรควบคุมการนับตำแหน่งการส่งข้อมูล



รูปที่ ข.8 วงจรกำเนิดความถี่

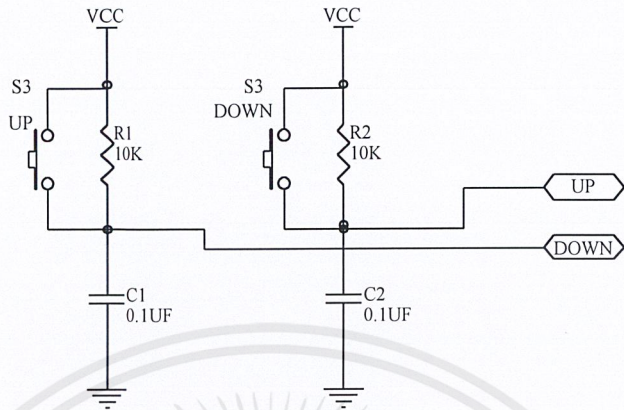


รูปที่ ข.9 วงจรควบคุมการทำงาน

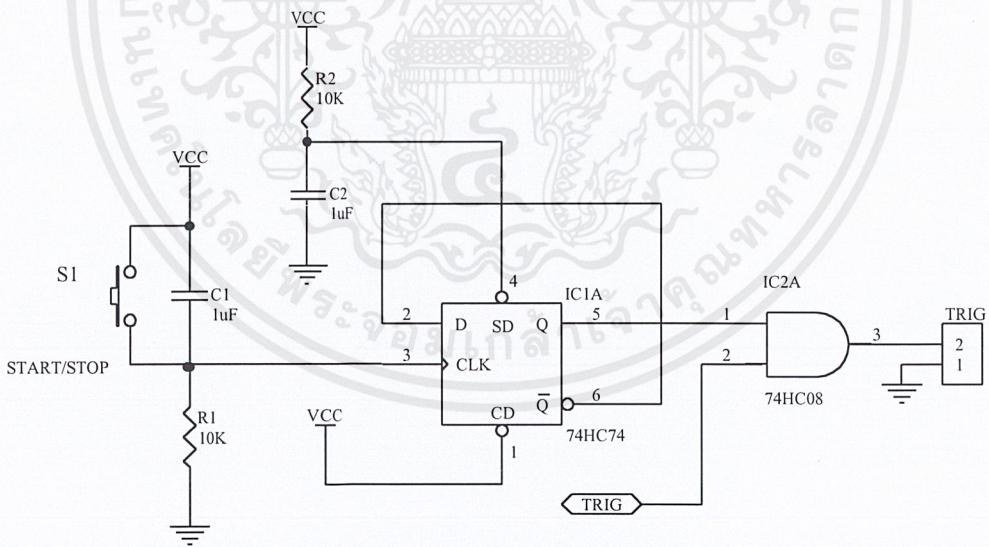


รูปที่ ข.10 วงจรแสดงผล Time/Div

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

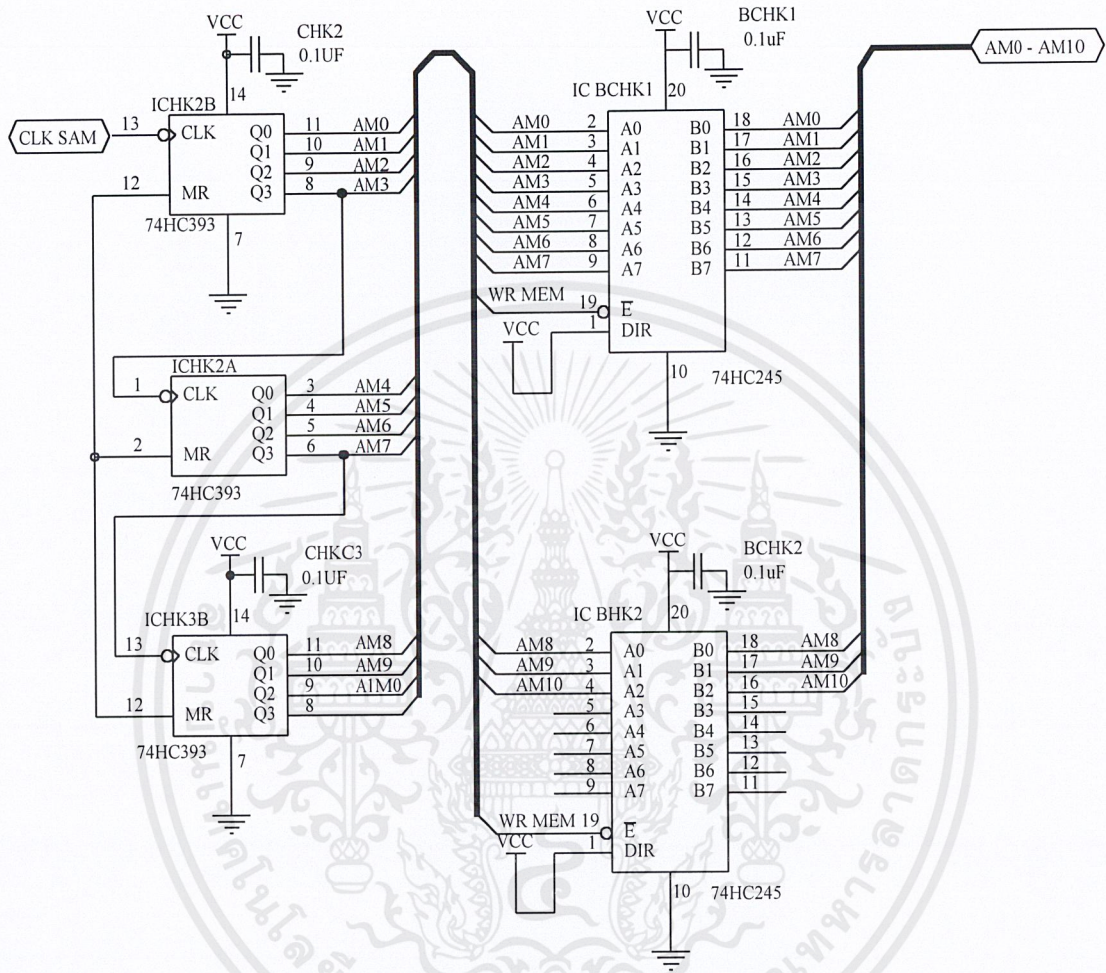


รูปที่ ข.11 วงจรสวิตช์เลือก Time/Div

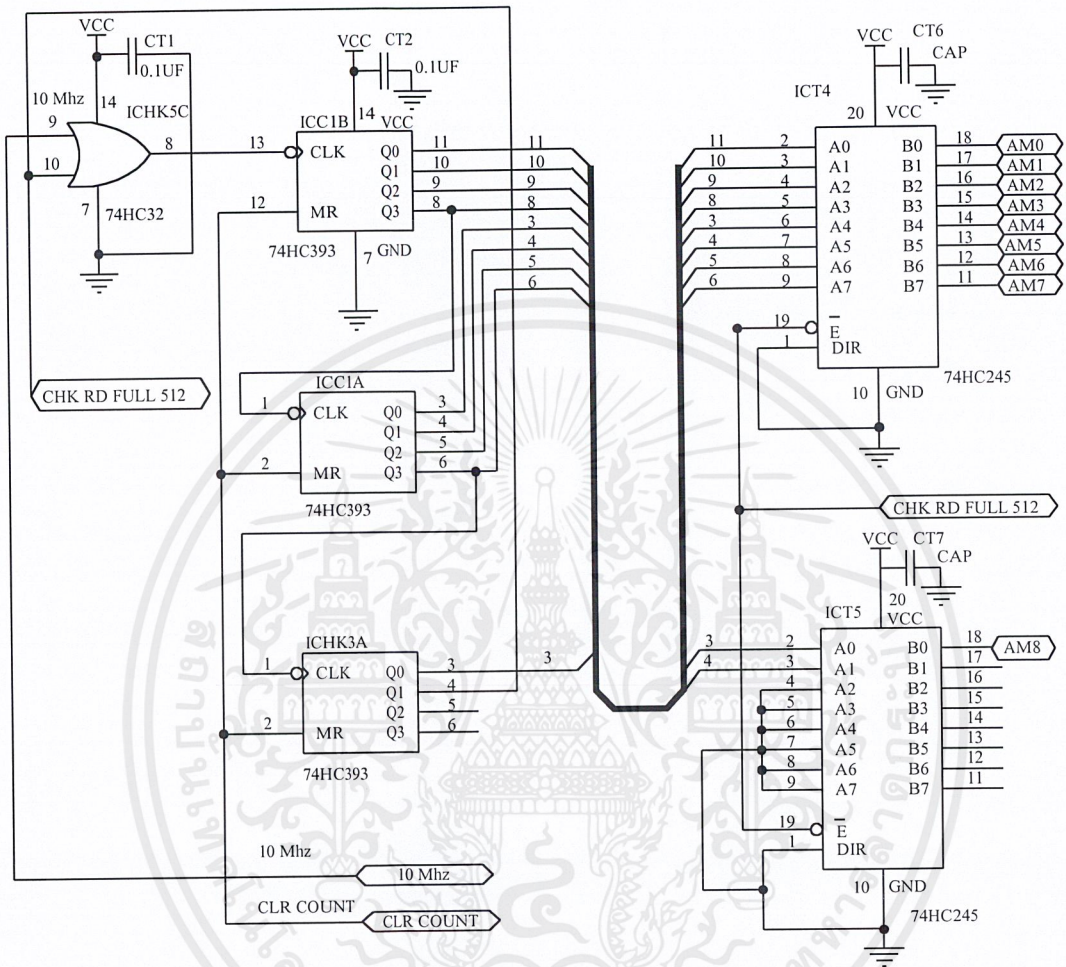


รูปที่ ข.12 วงจรสวิตช์หยุดสัญญาณ

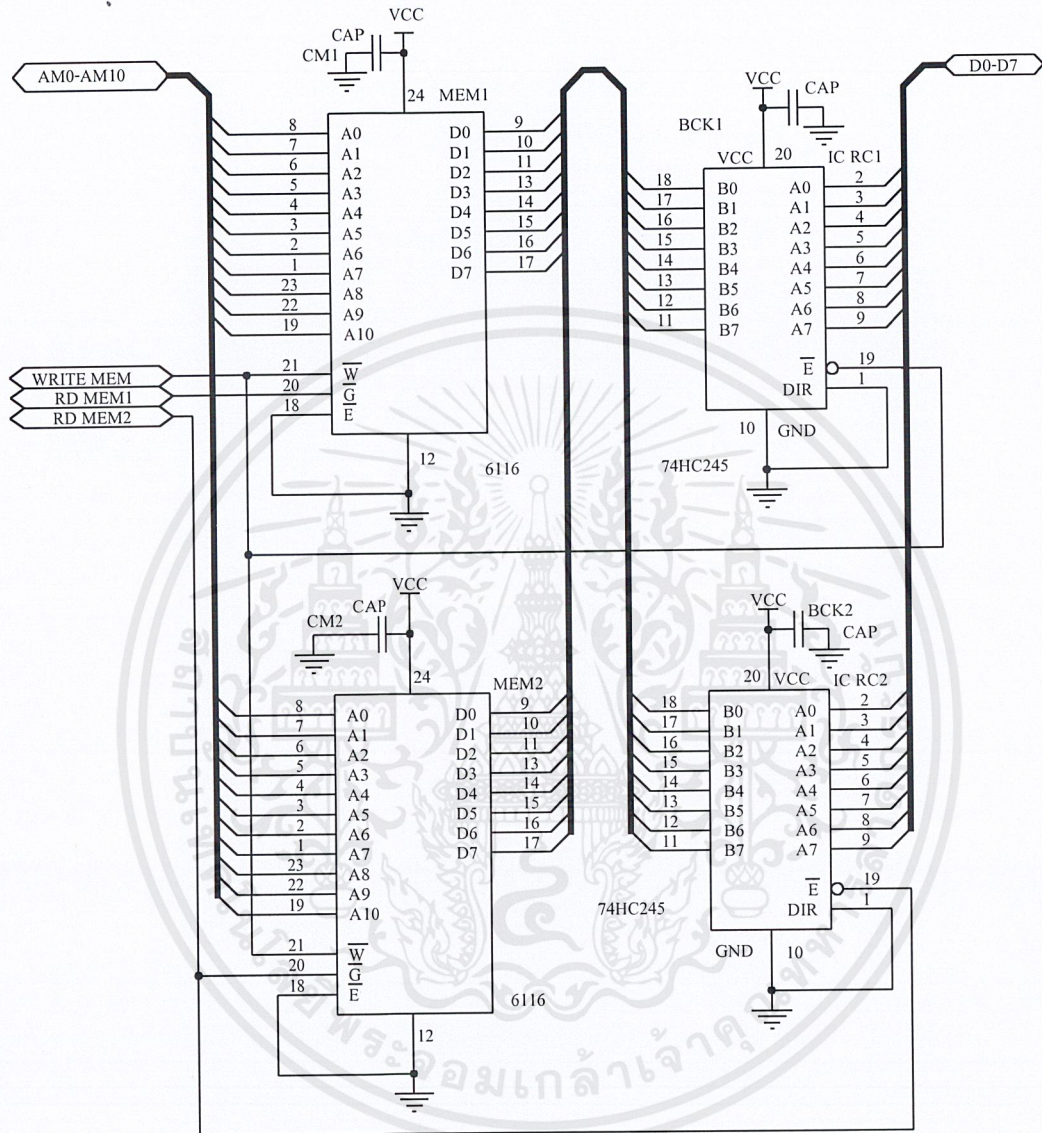
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



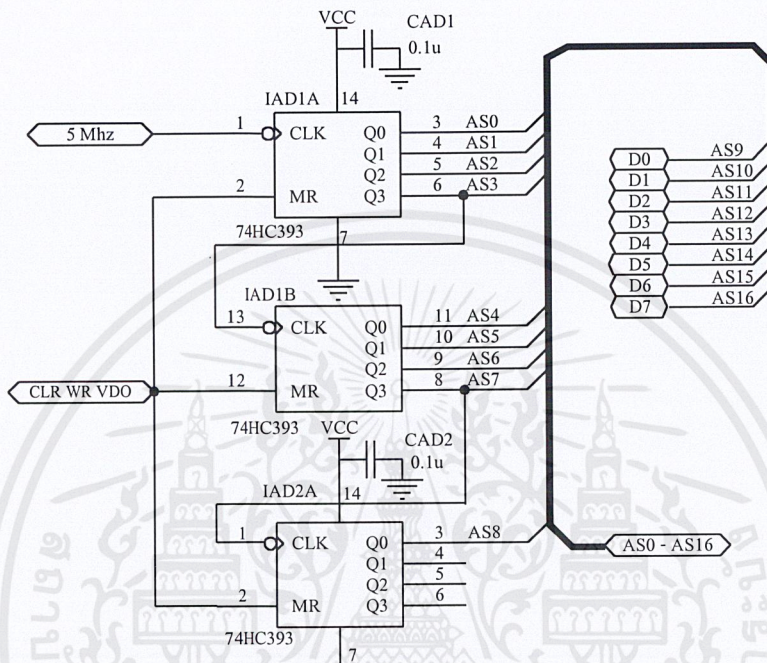
รูปที่ ข.13 วงจรนับตำแหน่งหน่วยควายจำการลุ่มข้อมูล



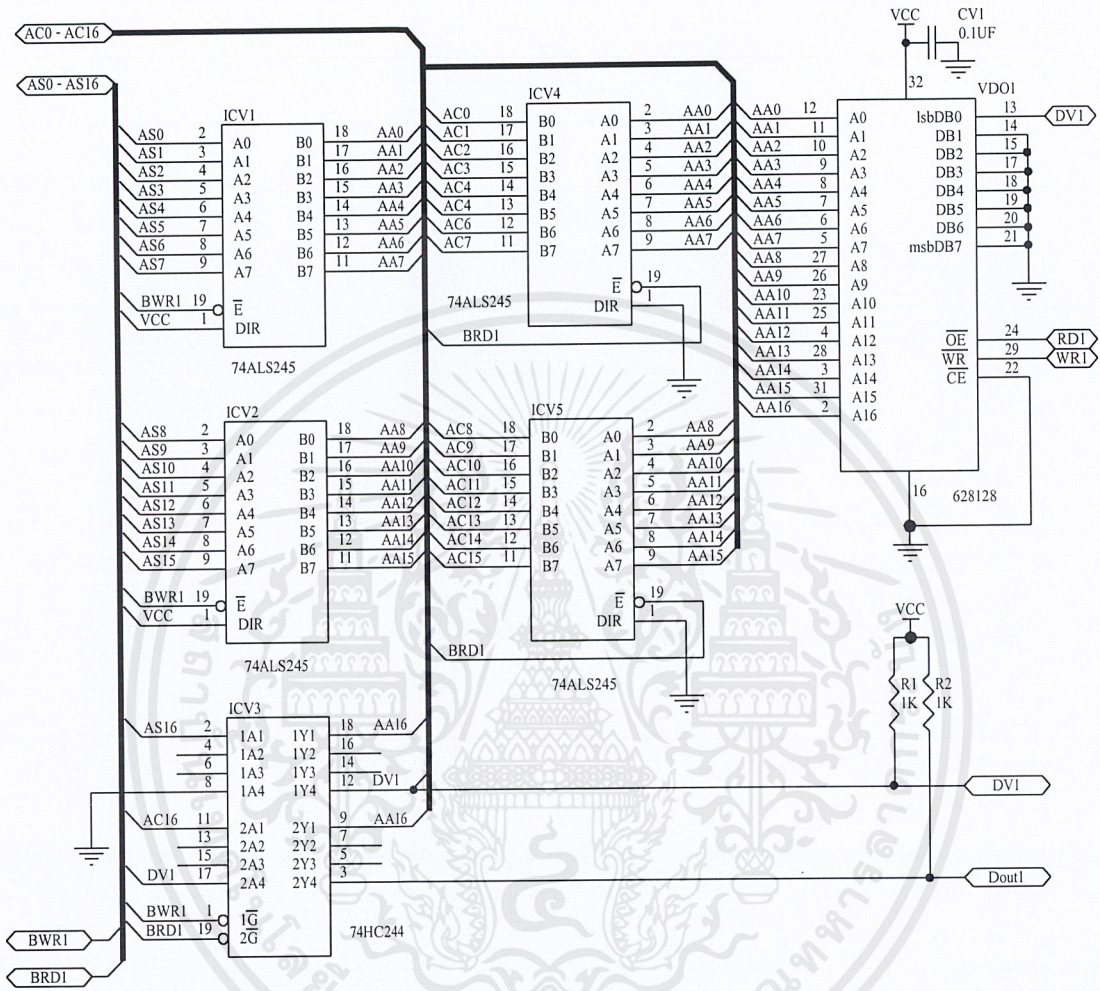
รูปที่ ข.14 วงจรนับตำแหน่งขนาด 512 ตำแหน่ง



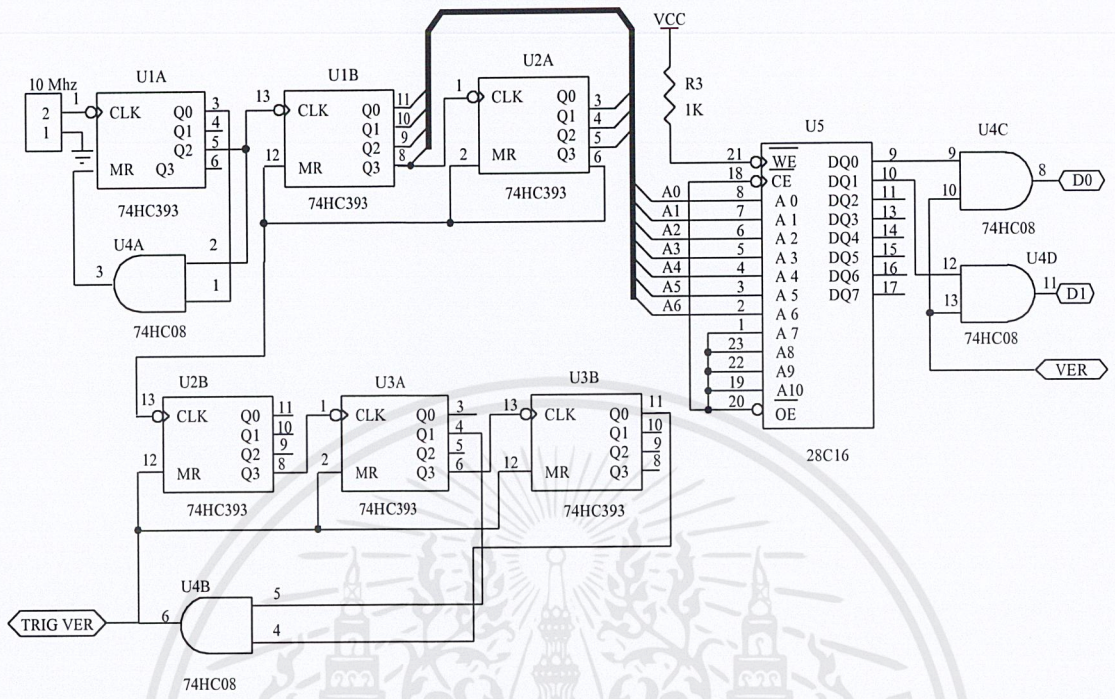
รูปที่ ข.15 วงจรหน่วยความจำการสุ่มข้อมูล



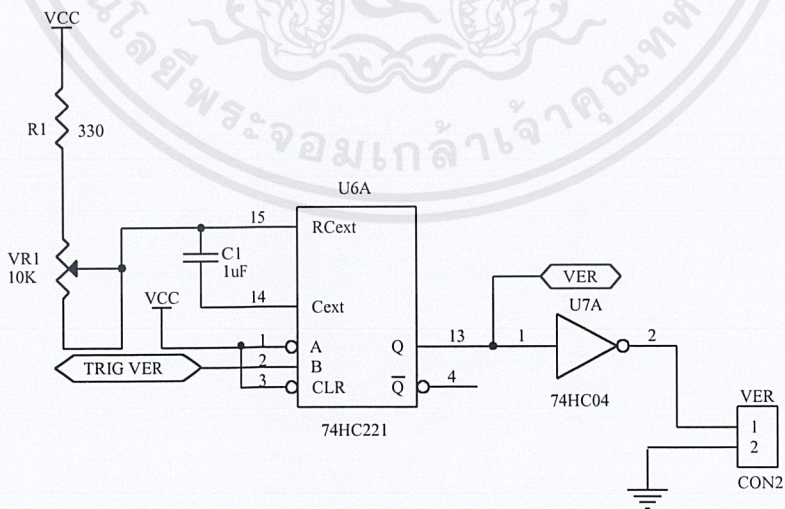
รูปที่ ข.16 วงจรสร้างตำแหน่งการเขียนหน่วยความจำแสดงผล



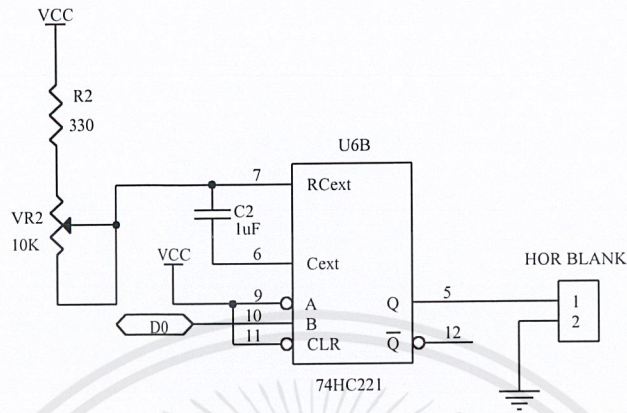
รูปที่ ข.17 วงจรหน่วยความจำแสดงผลชุดที่ 1



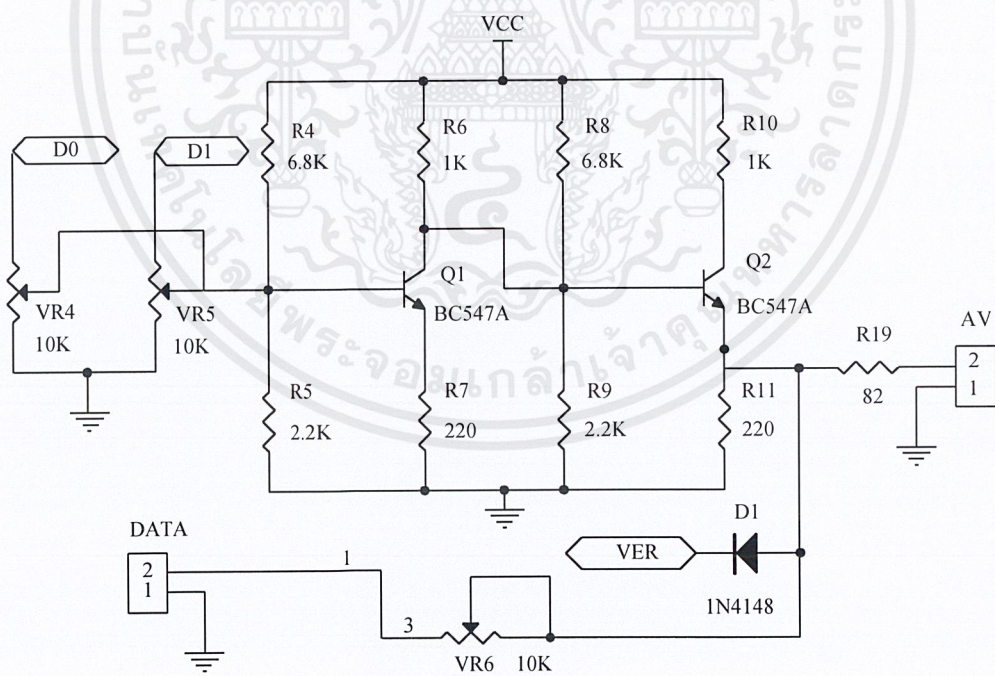
รูปที่ ข.19 วงจรกำเนิดสัญญาณภาพรวม



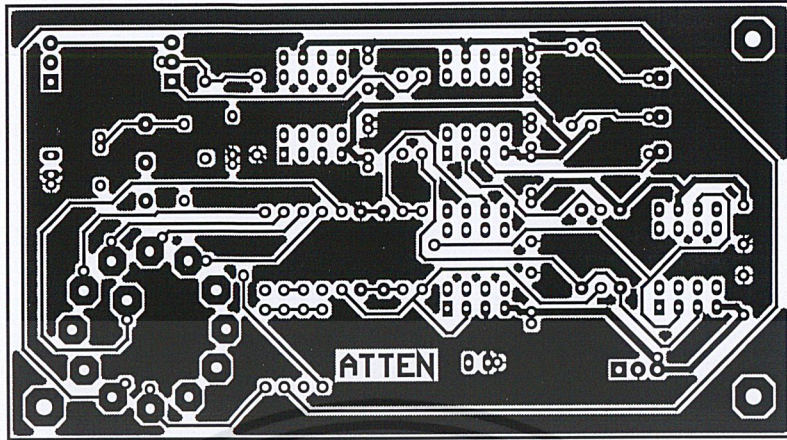
รูปที่ ข.20 วงจรสร้างสัญญาณลบเส้นสะบัดกลับทางแนวตั้ง



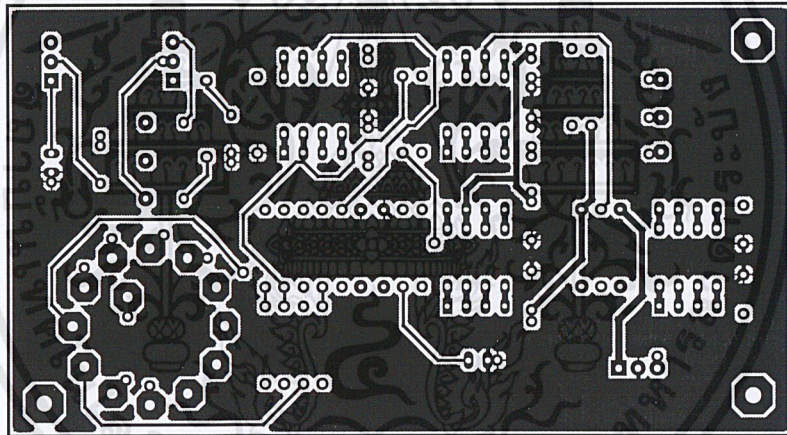
รูปที่ ข.21 วงจรสร้างสัญญาณอ่านข้อมูลจากหน่วยความจำแสดงผล



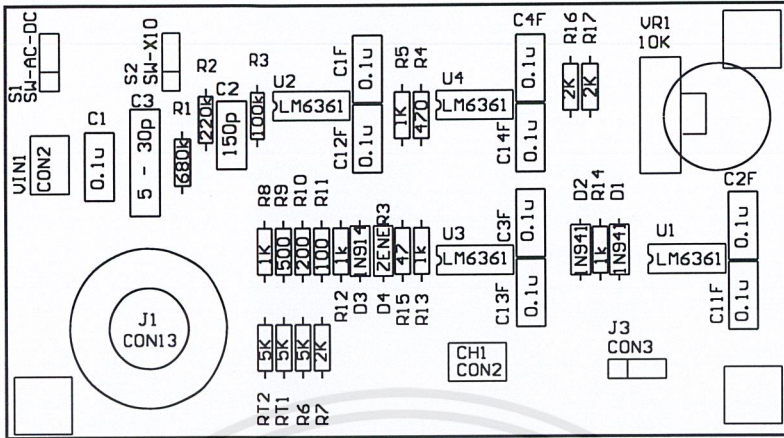
รูปที่ ข.22 วงจรผสมสัญญาณภาพ



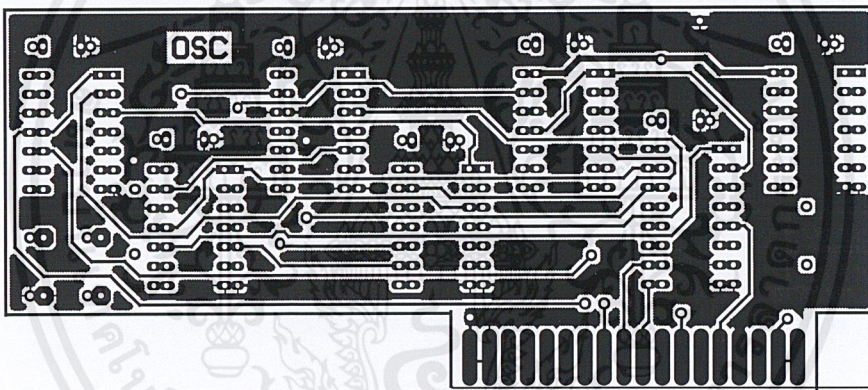
รูปที่ ข.23 แผ่นพิมพ์ลายวงจรลดทอนและขยายสัญญาณด้านบน



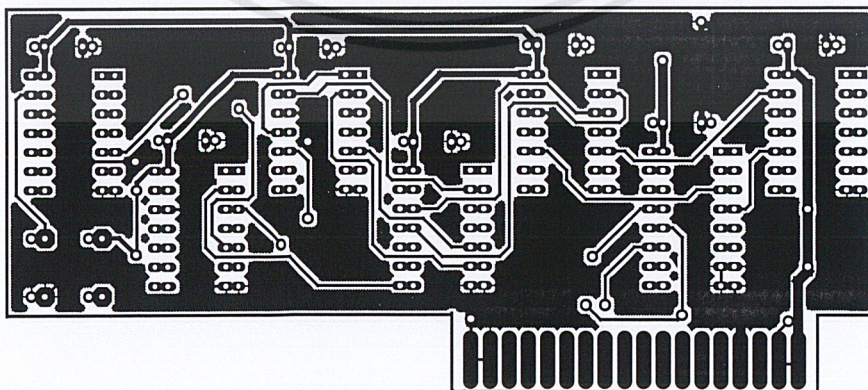
รูปที่ ข.24 แผ่นพิมพ์ลายวงจรลดทอนและขยายสัญญาณด้านล่าง



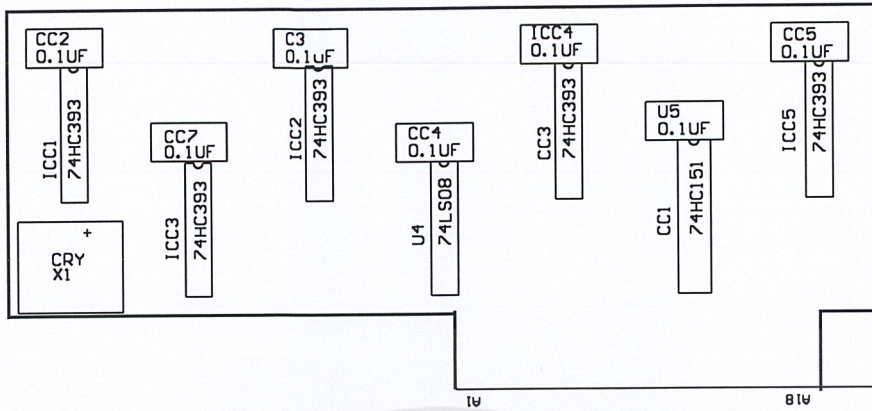
รูปที่ ข.25 แผ่นพิมพ์ลายวงจรลดทอนและขยายสัญญาณด้านอุปกรณ์



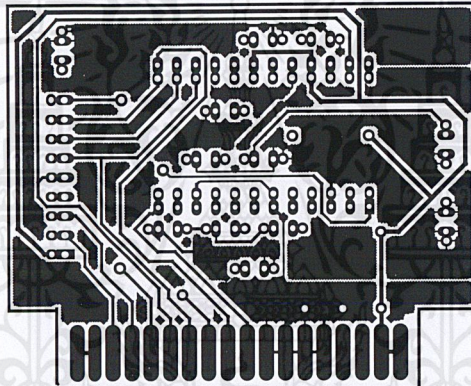
รูปที่ ข.26 แผ่นพิมพ์ลายวงจรกำเนิดความถี่สัญญาณด้านบน



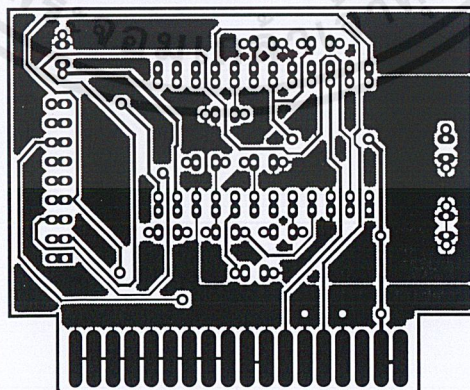
รูปที่ ข.27 แผ่นพิมพ์ลายวงจรกำเนิดความถี่สัญญาณด้านล่าง



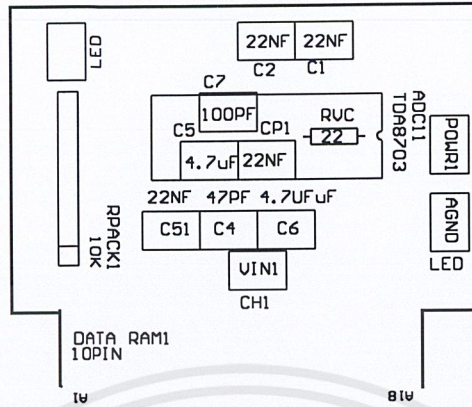
รูปที่ ข.28 แผ่นพิมพ์ลายวงจรกำเนิดความถี่สัญญาณด้านอุปกรณ์



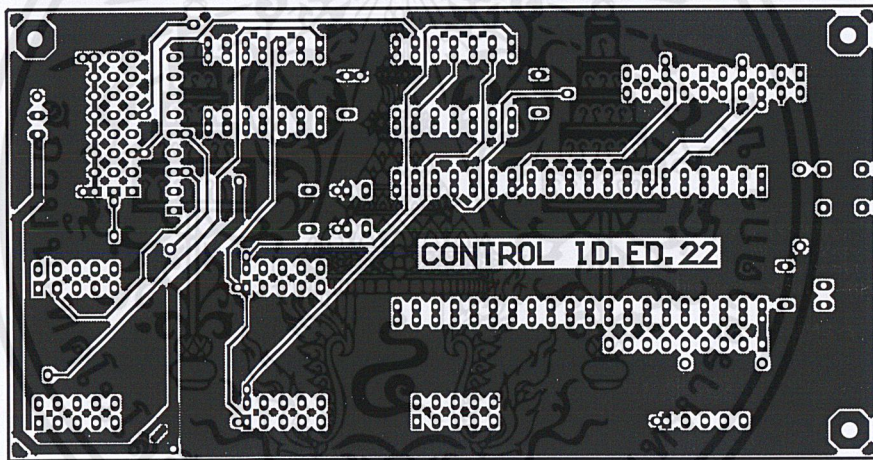
รูปที่ ข.29 แผ่นพิมพ์ลายวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลด้านบน



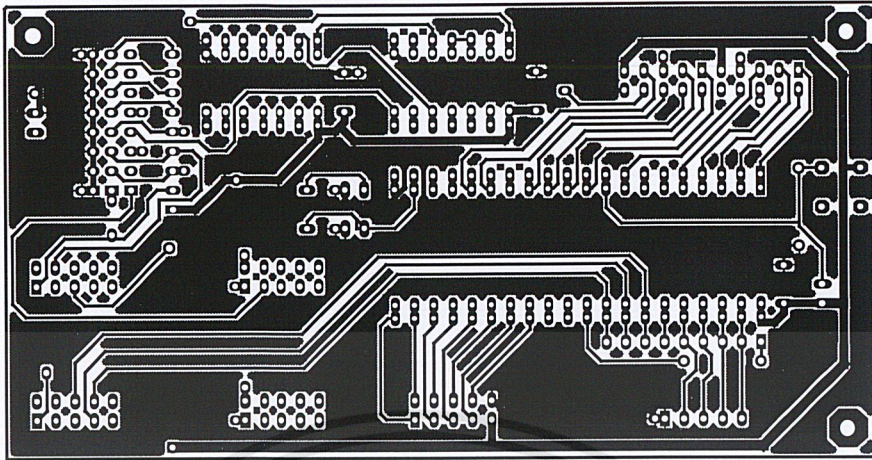
รูปที่ ข.30 แผ่นพิมพ์ลายวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลด้านล่าง



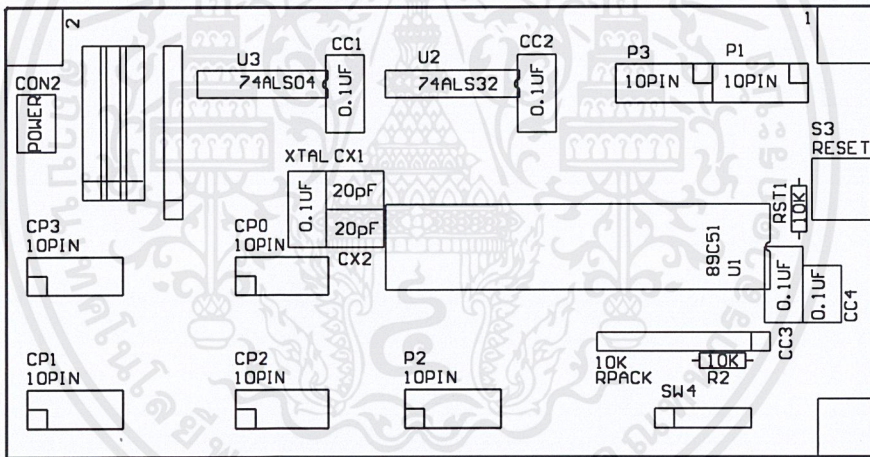
รูปที่ ข.31 แผ่นพิมพ์ลายวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัลด้านอุปกรณ์



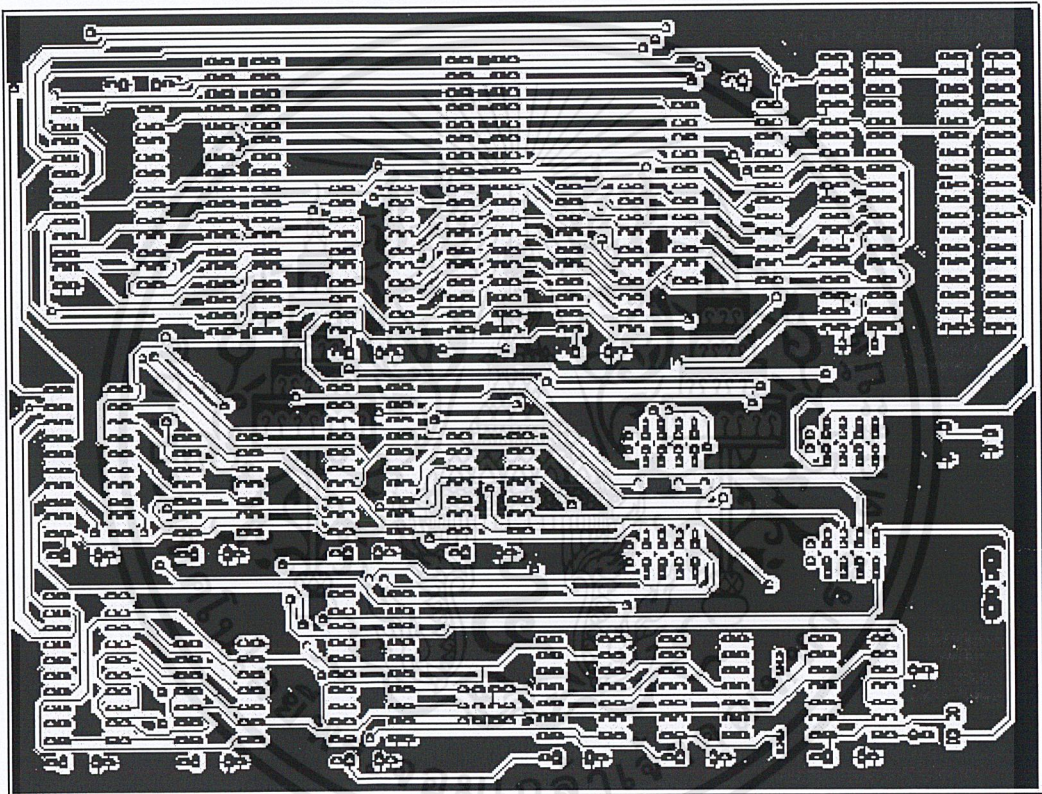
รูปที่ ข.32 แผ่นพิมพ์ลายวงจรควบคุมด้านบน



รูปที่ ข.33 แผ่นพิมพ์ลายวงจรควบคุมด้านล่าง

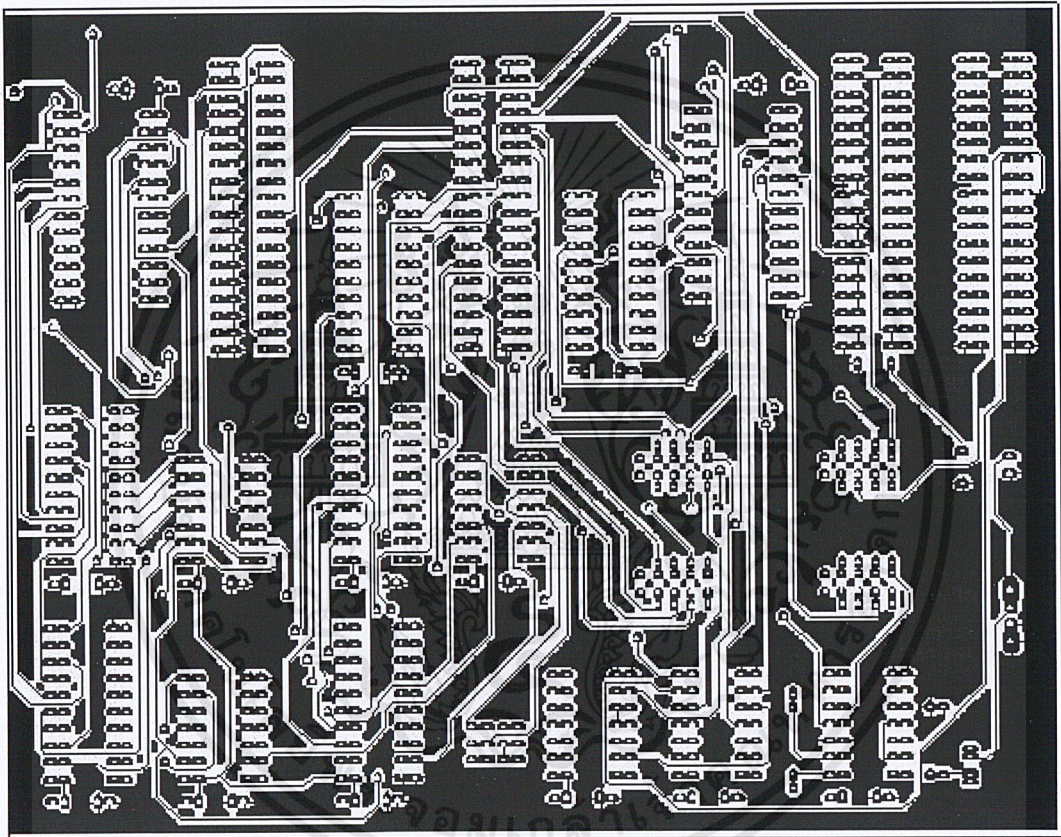


รูปที่ ข.34 แผ่นพิมพ์ลายวงจรควบคุมด้านบน



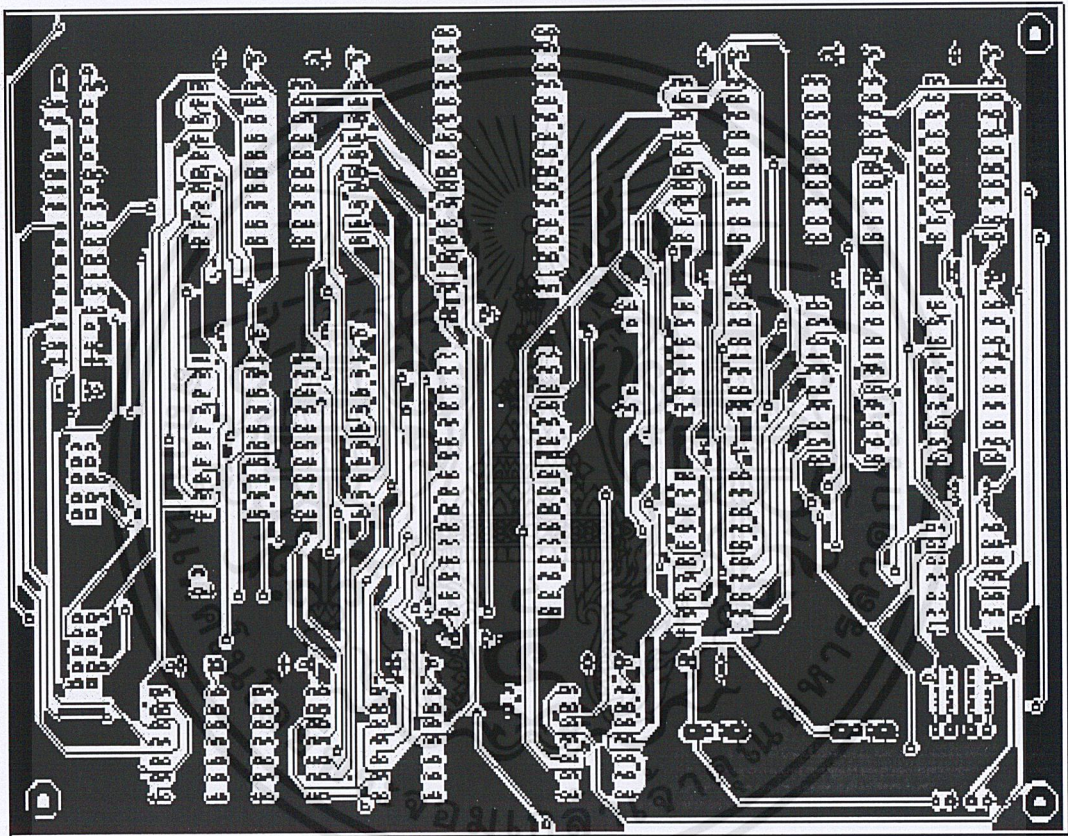
รูปที่ ข.35 แผ่นพิมพ์ลายวงจรหน่วยความจำการสุ่มข้อมูลด้านบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

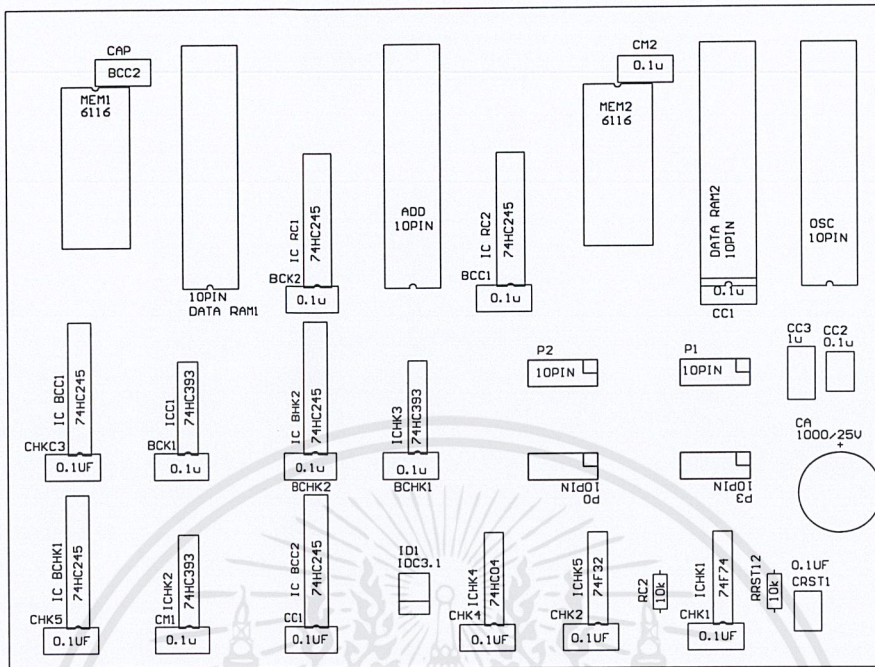


รูปที่ ข.36 แผ่นพิมพ์ลายวงจรหน่วยความจำการสุ่มข้อมูลด้านล่าง

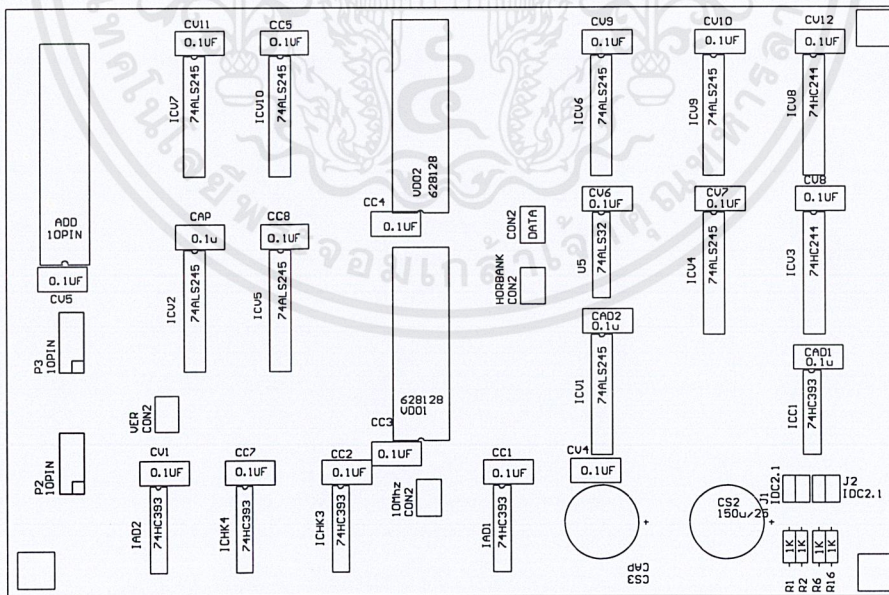
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.37 แผ่นพิมพ์ลายวงจรหน่วยความจำแสดงผลด้านล่าง



รูปที่ ข.38 แผ่นพิมพ์ลายวงจรหน่วยความจำการลุ่มข้อมูลด้านอุปกรณ์

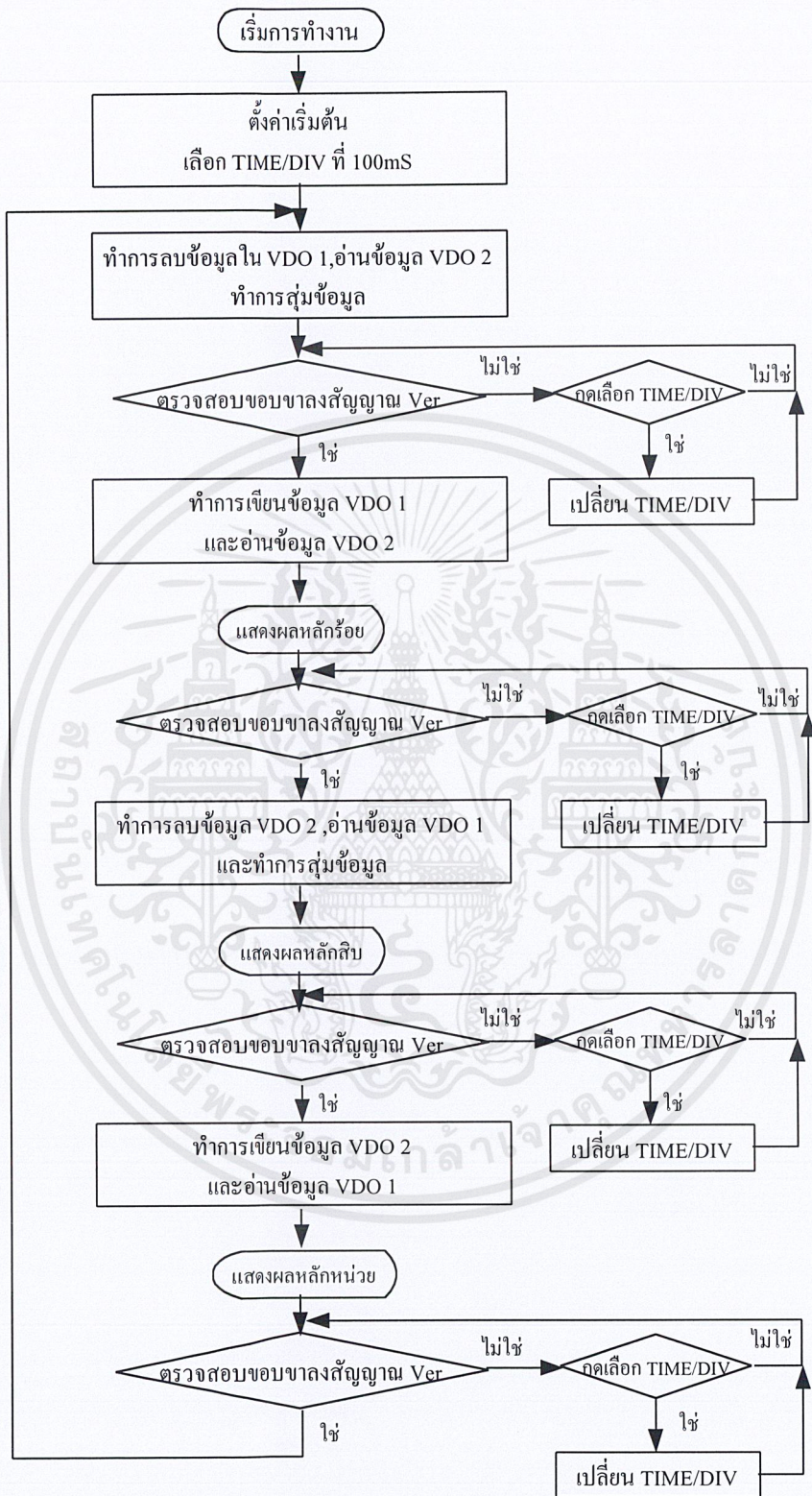


รูปที่ ข.39 แผ่นพิมพ์ลายวงจรหน่วยความจำแสดงผลด้านอุปกรณ์



ภาคผนวก ก
ผังการทำงาน และโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.1 ฟังก์ชันการทำงานของ โปรแกรม

```

ORG 0000

MOV P0, #00
MOV R0, #0
MOV R1, #100
MOV R2, #0
MOV R3, #100
MOV R4, #0
MOV DPTR, #TTB
MOV R7, #00
MOV A, #0FH

;*****
;
; CLR VDO1
;*****
MAIN1: MOV P1, #0FFH
CLR P1.0
SETB P1.0
MOV P3, #0A5H
LP11: JB P1.5, LP11 ;RD MEM
LP21: JNB P1.7, LP21 ;VER
LP211: JB P1.7, LP211
;*****
;
; WR VDO1, RD VDO2
;*****
MOV P3, #0A6H
MOV P1, #0FFH
MOV P1, #0E5H
LP31: JNB P1.6, LP31
LP51Z: JNB P1.7, LP51Z
MOV P3, #0FDH
LP311: JB P1.7, LP311

```



```

;*****
;
;                               WR VDO1, RD VDO2
;*****
;
MOV   P3, #59H
MOV   P1, #0FFH
MOV   P1, #0E3H
LP91: JNB   P1.6, LP91
LP911: JNB  P1.7, LP911
MOV   P3, #0EFH
LP91Z: JB   P1.7, LP91Z
      LCALL KEY
      LJMP MAIN1
KEY:  JB   P0.0, MM1
      DJNZ R0, MM1
      MOV  R0, #0
      DJNZ R1, MM1
      CJNE A, #0FFH, QA
      SJMP QB
QA:   ADD  A, #32
QB:   LCALL DELAY
MN1:  MOV  P2, A
      MOV  P0, A
      MOV  R1, #100
MM1:  JB   P0.1, MM2
      DJNZ R2, MM2
      MOV  R2, #0
      DJNZ R3, MM2
      LCALL DELAY
      CJNE A, #00001111B, MNX

```

	SJMP	MN2
MNX:	SUBB	A, #32
MN2:	MOV	P2, A
	MOV	P0, A
	MOV	R3, #100
MM2:	RET	
DELAY:	MOV	6, #50
DD:	MOV	R5, #250
DDD:	DJNZ	R5, DDD
	DJNZ	R6, DD
	RET	
TTB:	DB	00FH, 02FH, 04FH, 06FH, 0F8H, 0AFH, 0CFH, 0DFH
	END	

รูปที่ ค.2 โปรแกรมควบคุมการทำงาน



ภาคผนวก ง
รายการอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) วงจรนับตำแหน่งขนาด 2,048 ตำแหน่ง

อุปกรณ์	ค่า/เบอร์	จำนวน
ตัวเก็บประจุ (เซรามิก)	0.1 μ F	8 ตัว
ไอซี	74HC32	1 ตัว
	74HC393	3 ตัว
คอนเน็คเตอร์	2 ขา	1ตัว

2) วงจรลดทอนและขยายสัญญาณ

อุปกรณ์	ค่า/เบอร์	จำนวน
ตัวเก็บประจุ (เซรามิก)	0.1 μ F	9 ตัว
ตัวต้านทาน 1/4 วัตต์ 5%	47 Ω	5 ตัว
	100 Ω	3 ตัว
	200 Ω	1 ตัว
	470 Ω	1 ตัว
	500 k Ω	1 ตัว
	1 k Ω	5 ตัว
	2 k Ω	3 ตัว
	5 k Ω	3 ตัว
	10 k Ω	1 ตัว
	100 k Ω	1 ตัว
	220 k Ω	1 ตัว
	680 k Ω	1 ตัว
ไดโอด	1N4148	3 ตัว
คอนเน็คเตอร์	2 ขา	2 ตัว
	3ขา	1 ตัว
สวิตช์เลือก	6 ช่อง	1 ตัว
ไอซี	LM6361	4 ตัว
สวิตช์	2 ทาง	2 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล

อุปกรณ์	ค่า/เบอร์	จำนวน
ตัวเก็บประจุ (อิเล็กโทรไลต์)	4.7 μ F	2 ตัว
ตัวเก็บประจุ (เซรามิก)	22 nF	4 ตัว
	100 pF	1 ตัว
	47 pF	1 ตัว
ตัวต้านทานแบบชุด	10 k Ω	1 ตัว
ไอซี	TDA8703	1 ตัว
คอนเน็คเตอร์	2 ขา	1 ตัว

4) วงจรผสมสัญญาณภาพ

อุปกรณ์	ค่า/เบอร์	จำนวน
ตัวต้านทาน 1/4 วัตต์ 5%	1 k Ω	2 ตัว
	6.8 k Ω	2 ตัว
	2.2 k Ω	2 ตัว
	82 Ω	1 ตัว
ตัวต้านทานปรับค่า	10 k Ω	3 ตัว
ทรานซิสเตอร์	BC547 A	2 ตัว
คอนเน็คเตอร์	2 ขา	2 ตัว

5) วงจรหน่วยความจำการสุ่มข้อมูล

อุปกรณ์	ค่า/เบอร์	จำนวน
ตัวเก็บประจุ (เซรามิก)	0.1 μ F	8 ตัว
ไอซี	74HC245	2 ตัว
ไอซี (แรม)	6116	2 ตัว

6) วงจรกำเนิดสัญญาณภาพรวม

อุปกรณ์	ค่า/เบอร์	จำนวน
ตัวเก็บประจุ (เซรามิก)	1 μ F	11 ตัว
ตัวต้านทาน 1/4 วัตต์ 5%	1 k Ω	1 ตัว
	330 Ω	1 ตัว
ตัวต้านทานปรับค่า	10 k Ω	2 ตัว
คอนเน็คเตอร์	2 ขา	1 ตัว
ไอซี	74HC04	1 ตัว
	74HC123	1 ตัว
	74HC393	3 ตัว
ไอซี (EEPROM)	M28C18-90P1	1 ตัว

7) วงจรหน่วยความจำแสดงผล

อุปกรณ์	ค่า/เบอร์	จำนวน
ตัวต้านทาน 1/4 วัตต์ 5%	1 k Ω	2 ตัว
ตัวเก็บประจุ (เซรามิก)	0.1 μ F	6 ตัว
ไอซี	74HC245	4 ตัว
	74HC244	4 ตัว
ไอซี (แรม)	628128	1 ตัว
จัมเปอร์	4 จุด	2 ตัว

8) วงจรกำเนิดความถี่

อุปกรณ์	ค่า/เบอร์	จำนวน
ตัวเก็บประจุ (เซรามิก)	0.1 μ F	7 ตัว
ไอซี	74HC08 74HC151 74HC393	1 ตัว
คริสตอล	20 MHz	1 ตัว

9) วงจรควบคุมการทำงาน

อุปกรณ์	ค่า/เบอร์	จำนวน
ตัวต้านทาน 1/4 วัตต์ 5%	6.8 k Ω	1 ตัว
	10 k Ω	1 ตัว
ตัวเก็บประจุ (เซรามิก)	20 pF	2 ตัว
	0.1 μ F	2 ตัว
ตัวเก็บประจุ (อิเล็กโทรไลติก)	4.7 μ F	1 ตัว
ไอซี	89C51	1 ตัว
สวิตช์ (กดติดปล่อยดับ)	4 ขา	1 ตัว
คริสตอล	11.059 MHz	1 ตัว
คอนเน็คเตอร์	2 ขา	1 ตัว

10) วงจรแสดงผล Time/Div

อุปกรณ์	ค่า/เบอร์	จำนวน
ตัวเก็บประจุ (เซรามิก)	0.1 μ F	1 ตัว
ไอซี	8255A	1 ตัว
7 - Segment	CM2-0561200	2 ตัว



ภาคผนวก จ
รายละเอียด และคุณสมบัติของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-bit high-speed analog-to-digital converter

TDA8703

FEATURES

- 8-bit resolution
- Sampling rate up to 40 MHz
- High signal-to-noise ratio over a large analog input frequency range (7.1 effective bits at 4.43 MHz full-scale input)
- Binary or two's complement 3-state TTL outputs
- Overflow/underflow 3-state TTL output
- TTL compatible digital inputs
- Low-level AC clock input signal allowed
- Internal reference voltage generator
- Power dissipation only 290 mW (typical)
- Low analog input capacitance, no buffer amplifier required
- No sample-and-hold circuit required.

ORDERING INFORMATION

TYPE NUMBER	PACKAGE		
	NAME	DESCRIPTION	VERSION
TDA8703	DIP24	plastic dual in-line package; 24 leads (600 mil)	SOT101-1
TDA8703T	SO24	plastic small outline package; 24 leads; body width 7.5 mm	SOT137-1

APPLICATIONS

- General purpose high-speed analog-to-digital conversion
- Digital TV, IDTV
- Subscriber TV decoder
- Satellite TV decoders
- Digital VCR.

GENERAL DESCRIPTION

The TDA8703 is an 8-bit high-speed Analog-to-Digital Converter (ADC) for video and other applications. It converts the analog input signal into 8-bit binary-coded digital words at a maximum sampling rate of 40 MHz. All digital inputs and outputs are TTL compatible, although a low-level AC clock input signal is allowed.

8-bit high-speed analog-to-digital converter

TDA8703

QUICK REFERENCE DATA

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
V _{CCA}	analog supply voltage		4.5	5.0	5.5	V
V _{CCD}	digital supply voltage		4.5	5.0	5.5	V
V _{CCO}	output stages supply voltage		4.2	5.0	5.5	V
I _{CCA}	analog supply current		–	28	36	mA
I _{CCD}	digital supply current		–	19	25	mA
I _{CCO}	output stages supply current		–	11	14	mA
ILE	DC integral linearity error		–	–	±1	LSB
DLE	DC differential linearity error		–	–	±1/2	LSB
AILE	AC integral linearity error	note 1	–	–	±2	LSB
B	–3 dB bandwidth	note 2; f _{CLK} = 40 MHz	–	19.5	–	MHz
f _{CLK} /f _{CLK}	maximum conversion rate	note 3	40	–	–	MHz
P _{tot}	total power dissipation		–	290	415	mW

Notes

1. Full-scale sinewave (f_i = 4.4 MHz; f_{CLK}; f_{CLK} = 27 MHz).
2. The –3 dB bandwidth is determined by the 3 dB reduction in the reconstructed output (full-scale signal at input).
3. The circuit has two clock inputs CLK and $\overline{\text{CLK}}$. There are four modes of operation:
 - a) TTL (mode 1); $\overline{\text{CLK}}$ decoupled to DGND by a capacitor. CLK input is TTL threshold voltage of 1.5 V and sampling on the LOW-to-HIGH transition of the input clock signal.
 - b) TTL (mode 2); CLK decoupled to DGND by a capacitor. $\overline{\text{CLK}}$ input is TTL threshold voltage of 1.5 V and sampling on the HIGH-to-LOW transition of the input clock signal.
 - c) AC drive modes (modes 3 and 4); When driving the CLK input directly and with any AC signal of 0.5 V (peak-to-peak value) imposed on a DC level of 1.5 V, sampling takes place on the LOW-to-HIGH transition of the clock signal. When driving the $\overline{\text{CLK}}$ input with such a signal, sampling takes place on the HIGH-to-LOW transition.
 - d) If one of the clock inputs is not driven, then it is recommended to decouple this input to DGND with a 100 nF capacitor.

8-bit high-speed analog-to-digital converter

TDA8703

BLOCK DIAGRAM

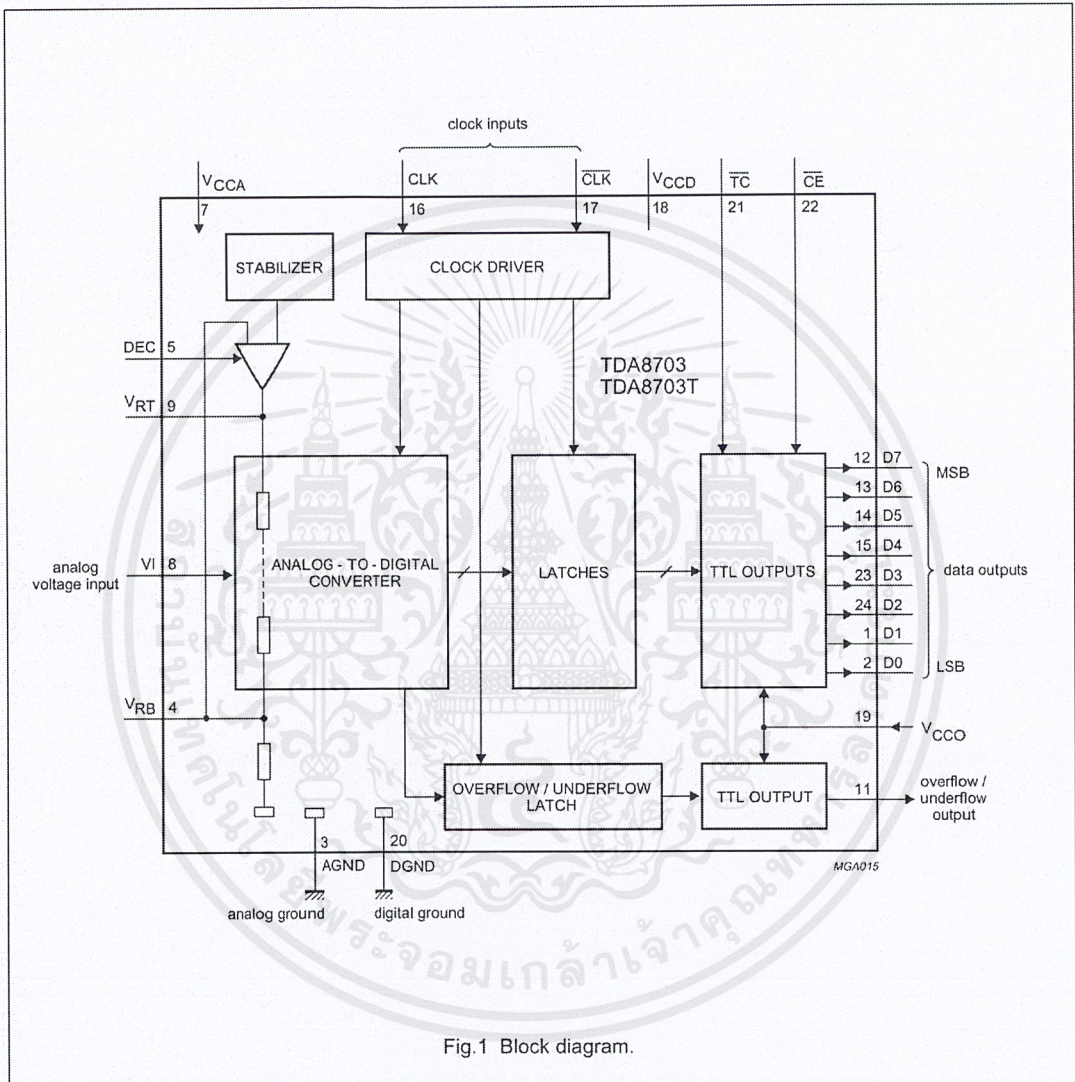


Fig.1 Block diagram.

8-bit high-speed analog-to-digital converter

TDA8703

PINNING

SYMBOL	PIN	DESCRIPTION
D1	1	data output; bit 1
D0	2	data output; bit 0 (LSB)
AGND	3	analog ground
V _{RB}	4	reference voltage bottom (decoupling)
DEC	5	decoupling input (internal stabilization loop decoupling)
n.c.	6	not connected
V _{CCA}	7	positive supply voltage for analog circuits (+5 V)
V _I	8	analog voltage input
V _{RT}	9	reference voltage top (decoupling)
n.c.	10	not connected
O/UF	11	overflow/underflow data output
D7	12	data output; bit 7 (MSB)
D6	13	data output; bit 6
D5	14	data output; bit 5
D4	15	data output; bit 4
CLK	16	clock input
$\overline{\text{CLK}}$	17	complementary clock input
V _{CCD}	18	positive supply voltage for digital circuits (+5 V)
V _{CCO}	19	positive supply voltage for output stages (+5 V)
DGND	20	digital ground
$\overline{\text{TC}}$	21	input for two's complement output (TTL level input, active LOW)
$\overline{\text{CE}}$	22	chip enable input (TTL level input, active LOW)
D3	23	data output; bit 3
D2	24	data output; bit 2

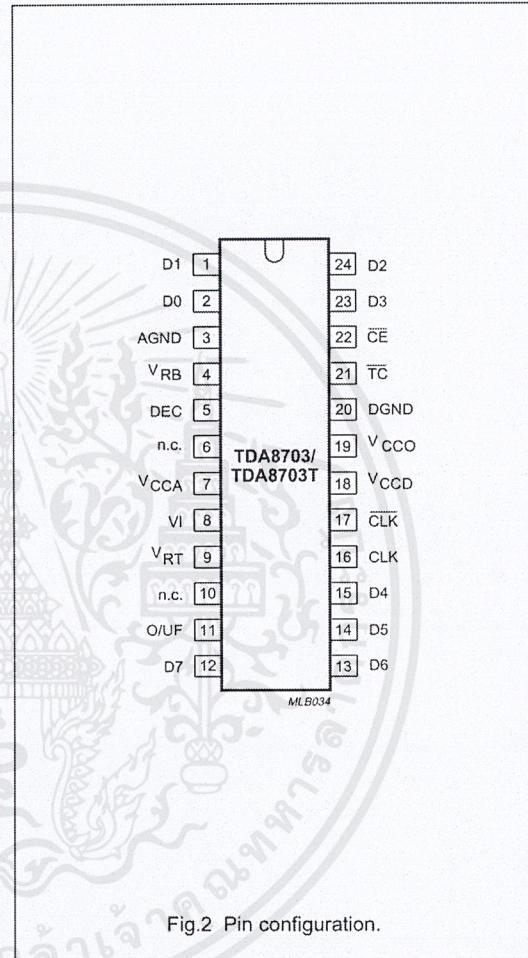


Fig.2 Pin configuration.

8-bit high-speed analog-to-digital converter

TDA8703

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{CCA}	analog supply voltage		-0.3	+7.0	V
V_{CCD}	digital supply voltage		-0.3	+7.0	V
V_{CCO}	output stages supply voltage		-0.3	+7.0	V
$V_{CCA} - V_{CCD}$	supply voltage differences		-1.0	+1.0	V
$V_{CCO} - V_{CCD}$	supply voltage differences		-1.0	+1.0	V
$V_{CCA} - V_{CCO}$	supply voltage differences		-1.0	+1.0	V
V_{VI}	input voltage range	referenced to AGND	-0.3	+7.0	V
$V_{CLK}/\overline{V_{CLK}}$	AC input voltage for switching (peak-to-peak value)	note 1; referenced to DGND	-	2.0	V
I_O	output current		-	+10	mA
T_{stg}	storage temperature		-55	+150	°C
T_{amb}	operating ambient temperature		0	+70	°C
T_j	junction temperature		-	+125	°C

Notes

- The circuit has two clock inputs CLK and \overline{CLK} . There are four modes of operation:
 - TTL (mode 1); \overline{CLK} decoupled to DGND by a capacitor. CLK input is TTL threshold voltage of 1.5 V and sampling on the LOW-to-HIGH transition of the input clock signal.
 - TTL (mode 2); CLK decoupled to DGND by a capacitor. \overline{CLK} input is TTL threshold voltage of 1.5 V and sampling on the HIGH-to-LOW transition of the input clock signal.
 - AC drive modes (modes 3 and 4); When driving the CLK input directly and with any AC signal of 0.5 V (peak-to-peak value) imposed on a DC level of 1.5 V, sampling takes place on the LOW-to-HIGH transition of the clock signal. When driving the \overline{CLK} input with such a signal, sampling takes place on the HIGH-to-LOW transition.
 - If one of the clock inputs is not driven, then it is recommended to decouple this input to DGND with a 100 nF capacitor.

HANDLING

Inputs and outputs are protected against electrostatic discharges in normal handling. However, to be totally safe, it is desirable to take normal precautions appropriate to handling integrated circuits.

THERMAL RESISTANCE

SYMBOL	PARAMETER	VALUE	UNIT
$R_{th\ j-a}$	from junction to ambient in free air		
	SOT101-1	55	K/W
	SOT137-1	75	K/W

8-bit high-speed analog-to-digital converter

TDA8703

CHARACTERISTICS

$V_{CCA} = V_7 - V_3 = 4.5 \text{ V to } 5.5 \text{ V}$; $V_{CCD} = V_{18} - V_{20} = 4.5 \text{ V to } 5.5 \text{ V}$; $V_{CCO} = V_{19} - V_{20} = 4.5 \text{ V to } 5.5 \text{ V}$; AGND and DGND shorted together; $V_{CCA} - V_{CCD} = -0.5 \text{ V to } +0.5 \text{ V}$; $V_{CCO} - V_{CCD} = -0.5 \text{ V to } +0.5 \text{ V}$;

$V_{CCA} - V_{CCD} = -0.5 \text{ V to } +0.5 \text{ V}$; $T_{amb} = 0 \text{ }^\circ\text{C to } +70 \text{ }^\circ\text{C}$; unless otherwise specified (typical values measured at $V_{CCA} = V_{CCD} = V_{CCO} = 5 \text{ V}$ and $T_{amb} = 25 \text{ }^\circ\text{C}$).

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Supply						
V_{CCA}	analog supply voltage		4.5	5.0	5.5	V
V_{CCD}	digital supply voltage		4.5	5.0	5.5	V
V_{CCO}	output stages supply voltage		4.2	5.0	5.5	V
I_{CCA}	analog supply current		–	28	36	mA
I_{CCD}	digital supply current		–	19	25	mA
I_{CCO}	output stage supply current	all outputs LOW	–	11	14	mA
Inputs						
CLOCK INPUT $\overline{\text{CLK}}$ AND CLK (note 1; REFERENCED TO DGND)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	$V_{\text{CLK}}/V_{\overline{\text{CLK}}} = 0.4 \text{ V}$	–400	–	–	μA
I_{IH}	HIGH level input current	$V_{\text{CLK}}/V_{\overline{\text{CLK}}} = 0.4 \text{ V}$	–	–	100	μA
		$V_{\text{CLK}}/V_{\overline{\text{CLK}}} = V_{CCD}$	–	–	300	μA
Z_i	input impedance	$f_{\text{CLK}}/f_{\overline{\text{CLK}}} = 10 \text{ MHz}$	–	4	–	k Ω
C_i	input capacitance	$f_{\text{CLK}}/f_{\overline{\text{CLK}}} = 10 \text{ MHz}$	–	4.5	–	pF
$V_{\text{CLK}} - V_{\overline{\text{CLK}}}$	AC input voltage for switching (peak-to-peak value)	note 1; DC level = 1.5 V	0.5	–	2.0	V
$\overline{\text{TC}}$ AND $\overline{\text{CE}}$ (REFERENCED TO DGND)						
V_{IL}	LOW level input voltage		0	–	0.8	V
V_{IH}	HIGH level input voltage		2.0	–	V_{CCD}	V
I_{IL}	LOW level input current	$V_{IL} = 0.4 \text{ V}$	–400	–	–	μA
I_{IH}	HIGH level input current	$V_{IH} = 2.7 \text{ V}$	–	–	20	μA
VI (ANALOG INPUT VOLTAGE REFERENCED TO AGND)						
$V_{VI(B)}$	input voltage (bottom)		1.33	1.41	1.48	V
$V_{VI(0)}$	input voltage	output code = 0	1.455	1.55	1.635	V
$V_{OS(B)}$	offset voltage (bottom)	$V_{VI(0)} - V_{VI(B)}$	0.125	–	0.155	V
$V_{VI(T)}$	input voltage (top)		3.2	3.36	3.5	V
$V_{VI(255)}$	input voltage	output code = 255	3.115	3.26	3.385	V
$V_{OS(T)}$	offset voltage (top)	$V_{VI(T)} - V_{VI(255)}$	0.085	–	0.115	V
$V_{VI(p-p)}$	input voltage amplitude (peak-to-peak value)		1.66	1.71	1.75	V
I_{IL}	LOW level input current	$V_{VI} = 1.4 \text{ V}$	–	0	–	μA
I_{IH}	HIGH level input current	$V_{VI} = 3.6 \text{ V}$	60	120	180	μA
Z_i	input impedance	$f_i = 1 \text{ MHz}$	–	10	–	k Ω
C_i	input capacitance	$f_i = 1 \text{ MHz}$	–	14	–	pF

8-bit high-speed analog-to-digital converter

TDA8703

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Reference resistance						
R_{ref}	reference resistance	V_{RT} to V_{RB}	–	220	–	Ω
Outputs						
DIGITAL OUTPUTS (D7 - D0) (REFERENCED TO DGND)						
V_{OL}	LOW level output voltage	$I_O = 1$ mA	0	–	0.4	V
V_{OH}	HIGH level output voltage	$I_O = -0.4$ mA	2.7	–	V_{CCD}	V
I_{OZ}	output current in 3-state mode	0.4 V < V_O < V_{CCD}	–20	–	+20	μ A
Switching characteristics (note 2; see Fig.3)						
$f_{CLK}/f_{\overline{CLK}}$	maximum clock frequency		40	–	–	MHz
Analog signal processing ($f_{CLK} = 40$ MHz)						
B	–3 dB bandwidth	note 3	–	19.5	–	MHz
G_d	differential gain	note 4	–	0.6	–	%
ϕ_d	differential phase	note 4	–	0.8	–	deg
f_1	fundamental harmonics (full-scale)	$f_i = 4.43$ MHz	–	–	0	dB
f_{all}	harmonics (full-scale), all components	$f_i = 4.43$ MHz	–	–55	–	dB
SVRR1	supply voltage ripple rejection	note 5	–	–28	–25	dB
SVRR2	supply voltage ripple rejection	note 5	–	1	2.5	%/V
Transfer function						
ILE	DC integral linearity error		–	–	± 1	LSB
DLE	DC differential linearity error		–	–	$\pm 1/2$	LSB
AILE	AC integral linearity error	note 6	–	–	± 2	LSB
EB	effective bits	$f_i = 4.43$ MHz	–	7.1	–	bits
Timing (note 7; see Figs 3 to 6; $f_{CLK} = 40$ MHz)						
t_{dS}	sampling delay		–	–	2	ns
t_{HD}	output hold time		6	–	–	ns
t_{dLH}	output delay time	LOW-to-HIGH transition	–	8	10	ns
t_{dHL}	output delay time	HIGH-to-LOW transition	–	16	20	ns
t_{dZH}	3-state output delay times	enable-to-HIGH	–	19	25	ns
t_{dZL}	3-state output delay times	enable-to-LOW	–	16	20	ns
t_{dHZ}	3-state output delay times	disable-to-HIGH	–	14	20	ns
t_{dLZ}	3-state output delay times	disable-to-LOW	–	9	12	ns

8-bit high-speed analog-to-digital converter

TDA8703

Notes

1. The circuit has two clock inputs CLK and $\overline{\text{CLK}}$. There are four modes of operation:
 - a) TTL (mode 1); $\overline{\text{CLK}}$ decoupled to DGND by a capacitor. CLK input is TTL threshold voltage of 1.5 V and sampling on the LOW-to-HIGH transition of the input clock signal.
 - b) TTL (mode 2); CLK decoupled to DGND by a capacitor. $\overline{\text{CLK}}$ input is TTL threshold voltage of 1.5 V and sampling on the HIGH-to-LOW transition of the input clock signal.
 - c) AC drive modes (modes 3 and 4); When driving the CLK input directly and with any AC signal of 0.5 V (peak-to-peak value) imposed on a DC level of 1.5 V, sampling takes place on the LOW-to-HIGH transition of the clock signal. When driving the $\overline{\text{CLK}}$ input with such a signal, sampling takes place on the HIGH-to-LOW transition.
 - d) If one of the clock inputs is not driven, then it is recommended to decouple this input to DGND with a 100 nF capacitor.
2. In addition to a good layout of the digital and analog ground, it is recommended that the rise and fall times of the clock must not be less than 2 ns.
3. The -3 dB bandwidth is determined by the 3 dB reduction in the reconstructed output (full-scale signal at the input).
4. Low frequency ramp signal ($V_{VI(p-p)} = 1.8$ V and $f_i = 15$ kHz) combined with a sinewave input voltage ($V_{VI(p-p)} = 0.5$ V, $f_i = 4.43$ MHz) at the input.
5. Supply voltage ripple rejection:
 - a) SVRR1; variation of the input voltage producing output code 127 for supply voltage variation of 1 V:

$$\text{SVRR1} = 20 \log (\Delta V_{VI(127)} / \Delta V_{CCA})$$
 - b) SVRR2; relative variation of the full-scale range of analog input for a supply voltage variation of 1 V:

$$\text{SVR2} = \{ \Delta(V_{VI(0)} - V_{VI(255)}) / (V_{VI(0)} - V_{VI(255)}) \} + \Delta V_{CCA}$$
6. Full-scale sinewave ($f_i = 4.4$ MHz; f_{CLK} ; $f_{\overline{\text{CLK}}} = 27$ MHz).
7. Output data acquisition:
 - a) Output data is available after the maximum delay of t_{dHL} and t_{dLH} .

8-bit high-speed analog-to-digital converter

TDA8703

Table 1 Output coding and input voltage (referenced to AGND; typical values)

STEP	$V_{VI(p-p)}$	O/UF	BINARY OUTPUT BITS								TWO'S COMPLEMENT OUTPUT BITS							
			D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
Underflow	<1.55	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
0	1.55	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
1	—	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	1
.
.
254	.	0	1	1	1	1	1	1	1	0	0	1	1	1	1	1	0	
255	3.26	0	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	
Overflow	>3.26	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	

Table 2 Mode selection

\overline{TC}	\overline{CE}	D7-D0	O/UF
X ⁽¹⁾	1	high impedance	high impedance
0	0	active; two's complement	active
1	0	active; binary	active

Note

- 1. X = don't care.

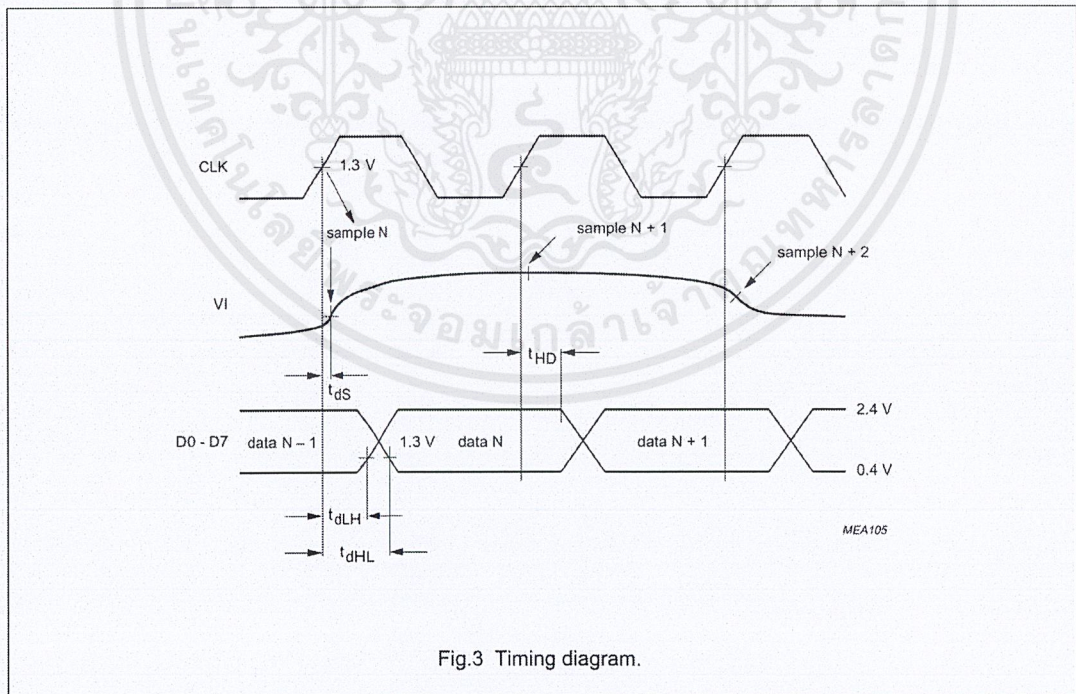


Fig.3 Timing diagram.

8-bit high-speed analog-to-digital converter

TDA8703

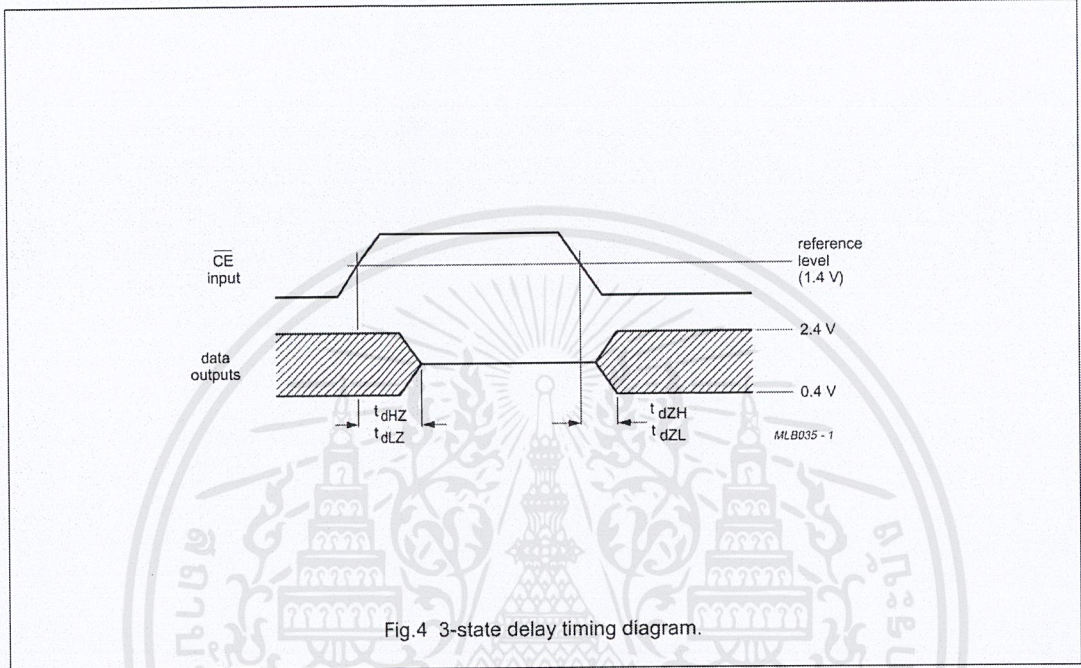


Fig.4 3-state delay timing diagram.

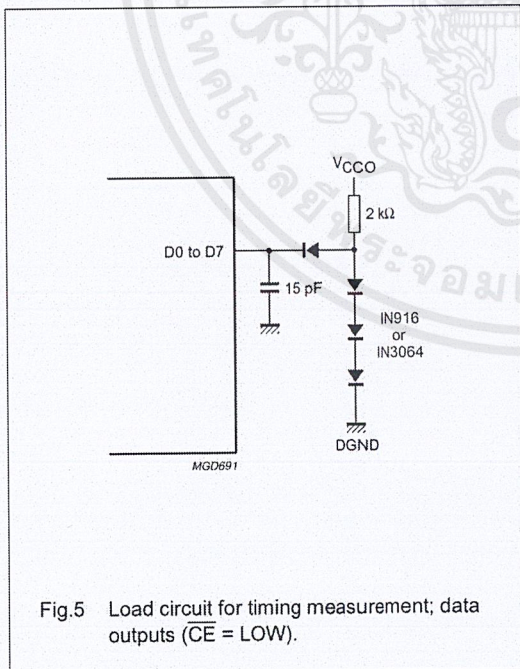


Fig.5 Load circuit for timing measurement; data outputs ($\overline{CE} = \text{LOW}$).

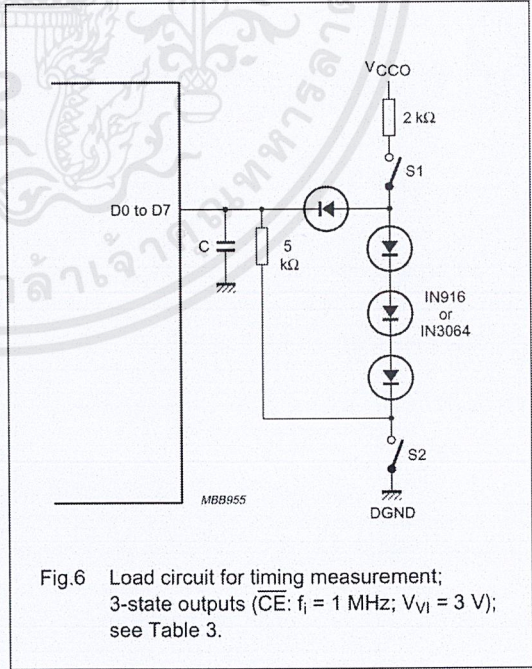


Fig.6 Load circuit for timing measurement; 3-state outputs (\overline{CE} : $f_i = 1 \text{ MHz}$; $V_{V1} = 3 \text{ V}$); see Table 3.

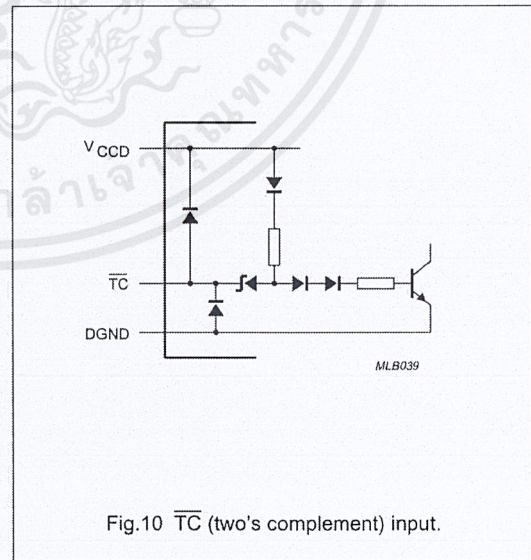
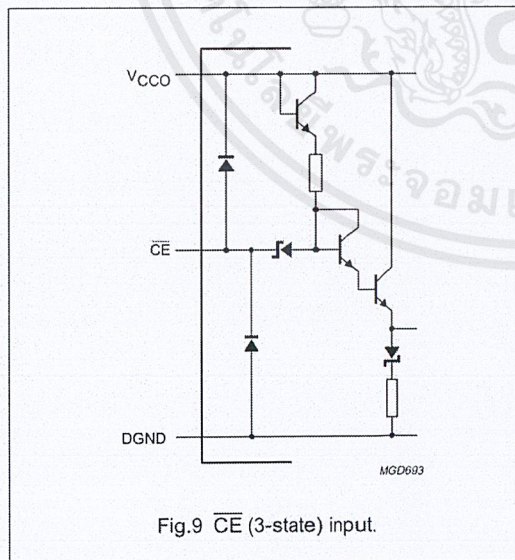
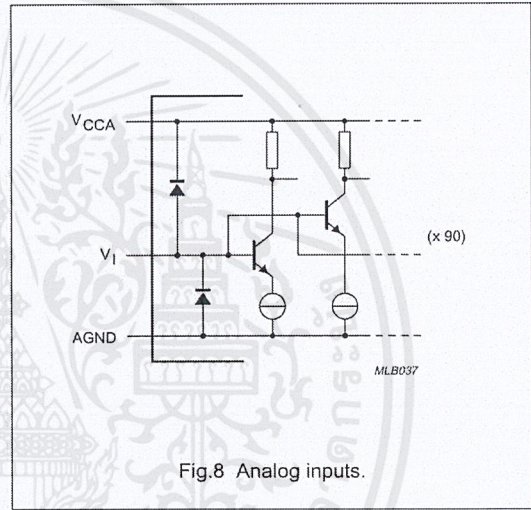
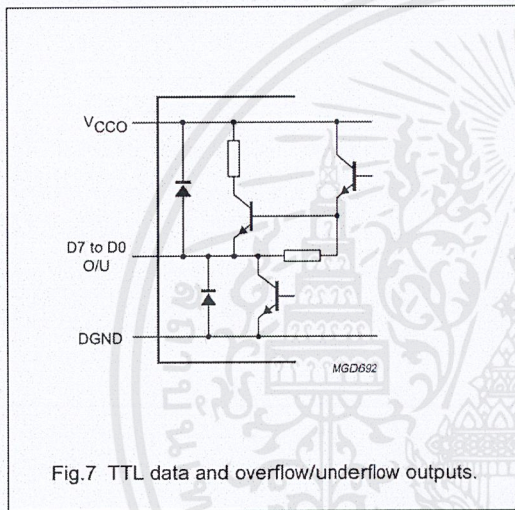
8-bit high-speed analog-to-digital converter

TDA8703

Table 3 Mode selection

TIMING MEASUREMENT	SWITCH S1	SWITCH S2	CAPACITOR
t_{dZH}	open	closed	15 pF
t_{dZL}	closed	open	15 pF
t_{dHZ}	closed	closed	5 pF
t_{dLZ}	closed	closed	5 pF

INTERNAL PIN CONFIGURATIONS



8-bit high-speed analog-to-digital converter

TDA8703

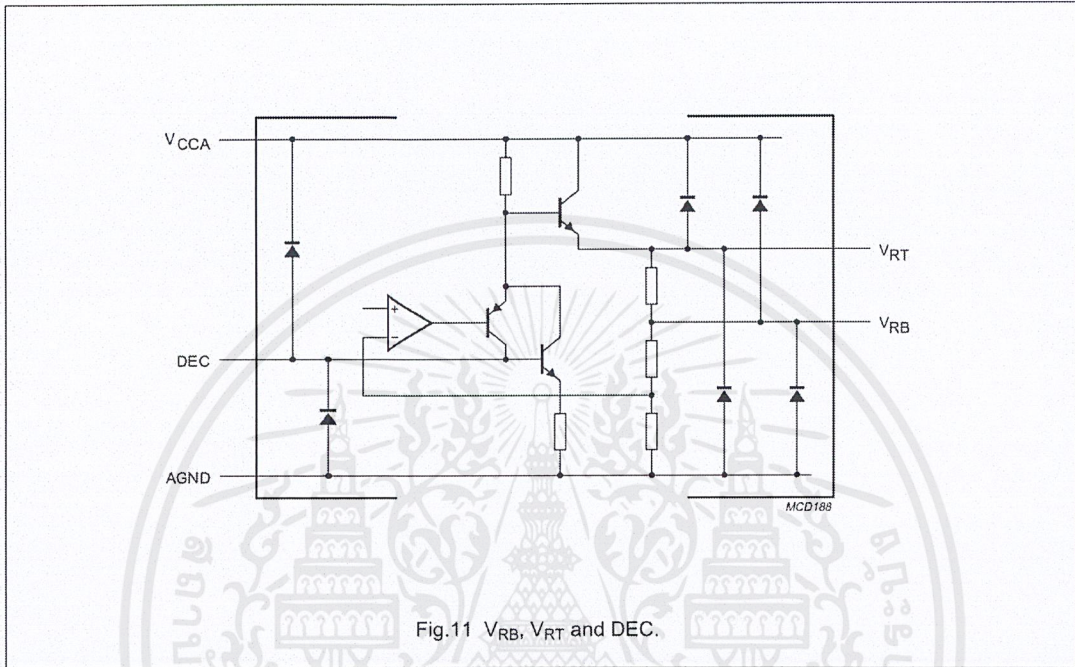


Fig.11 V_{RB} , V_{RT} and DEC.

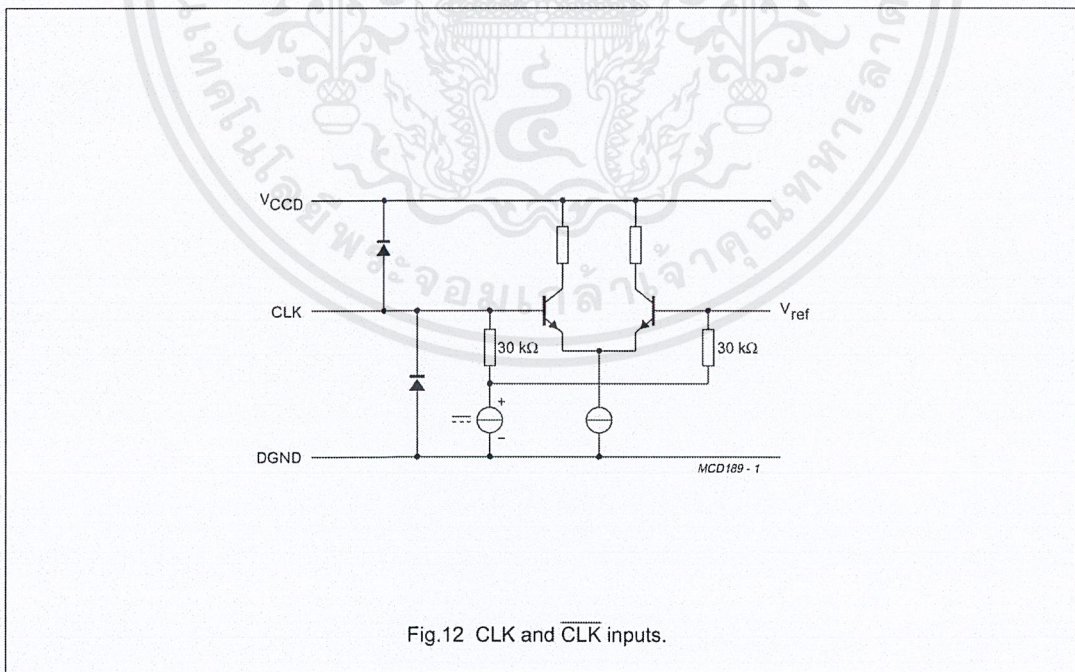


Fig.12 CLK and $\overline{\text{CLK}}$ inputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

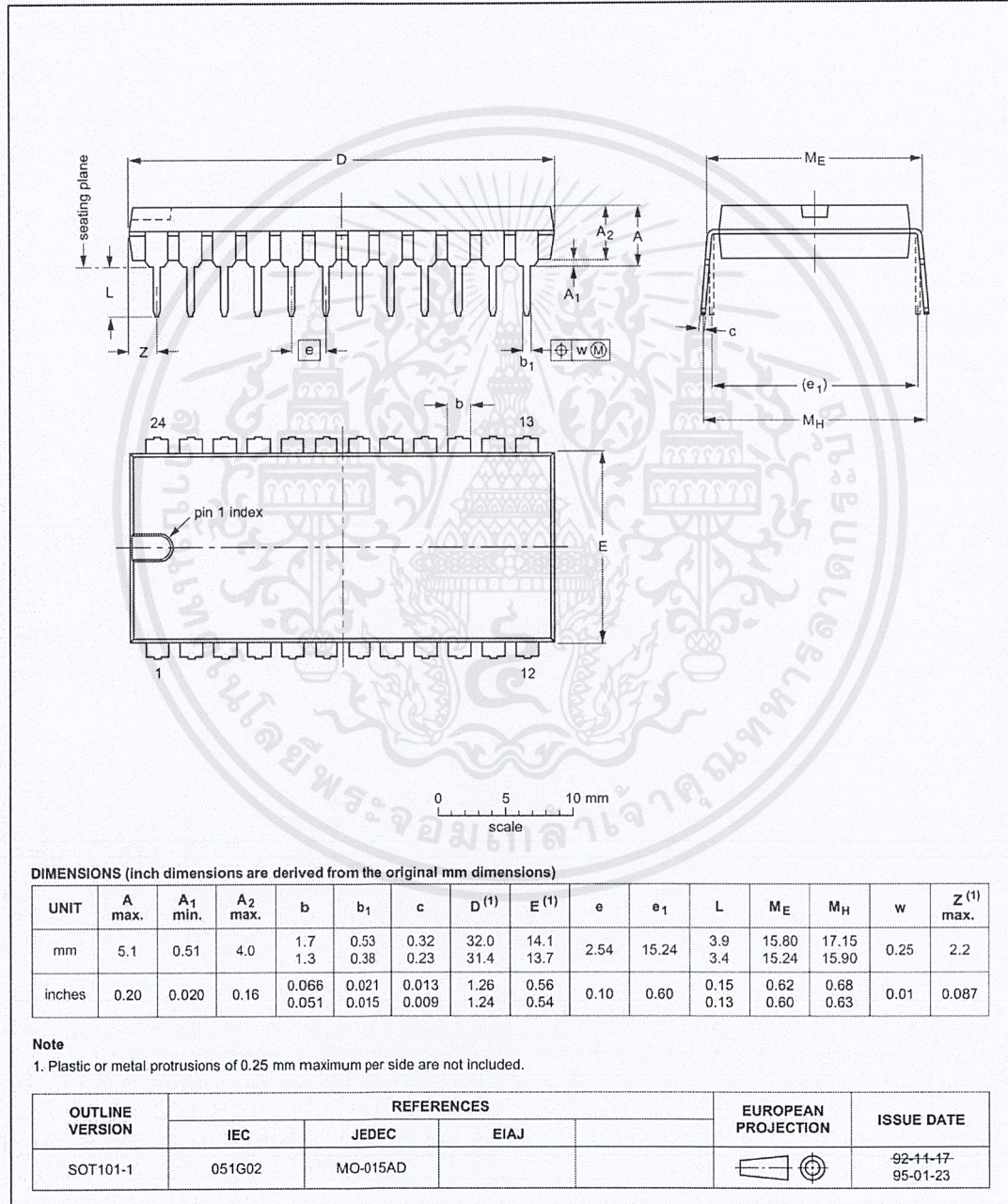
8-bit high-speed analog-to-digital converter

TDA8703

PACKAGE OUTLINES

DIP24: plastic dual in-line package; 24 leads (600 mil)

SOT101-1

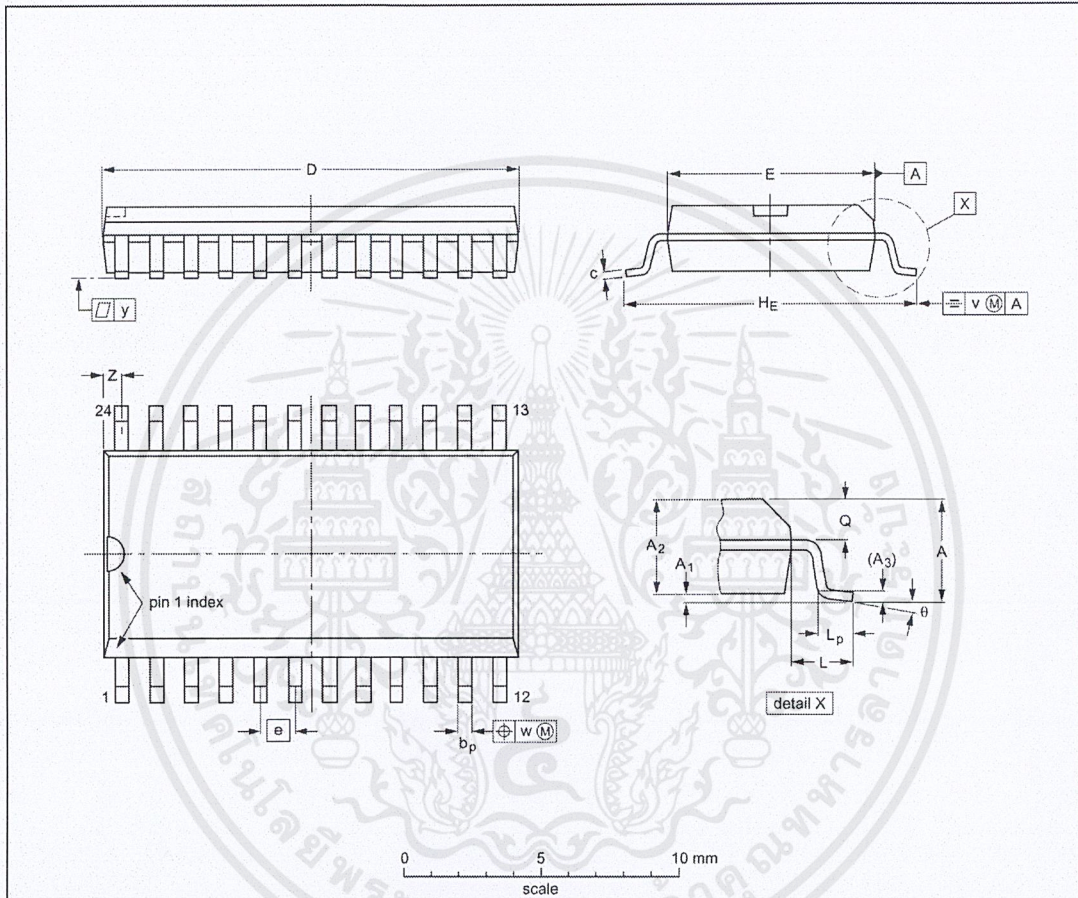


8-bit high-speed analog-to-digital converter

TDA8703

SO24: plastic small outline package; 24 leads; body width 7.5 mm

SOT137-1



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A ₁	A ₂	A ₃	b _p	c	D ⁽¹⁾	E ⁽¹⁾	e	H _E	L	L _p	Q	v	w	y	Z ⁽¹⁾	θ
mm	2.65	0.30 0.10	2.45 2.25	0.25	0.49 0.36	0.32 0.23	15.6 15.2	7.6 7.4	1.27	10.65 10.00	1.4	1.1 0.4	1.1 1.0	0.25	0.25	0.1	0.9 0.4	8° 0°
inches	0.10	0.012 0.004	0.096 0.089	0.01	0.019 0.014	0.013 0.009	0.61 0.60	0.30 0.29	0.050	0.42 0.39	0.055	0.043 0.016	0.043 0.039	0.01	0.01	0.004	0.035 0.016	

Note

1. Plastic or metal protrusions of 0.15 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT137-1	075E05	MS-013AD				92-11-17 95-01-24

8-bit high-speed analog-to-digital converter

TDA8703

SOLDERING**Introduction**

There is no soldering method that is ideal for all IC packages. Wave soldering is often preferred when through-hole and surface mounted components are mixed on one printed-circuit board. However, wave soldering is not always suitable for surface mounted ICs, or for printed-circuits with high population densities. In these situations reflow soldering is often used.

This text gives a very brief insight to a complex technology. A more in-depth account of soldering ICs can be found in our "IC Package Databook" (order code 9398 652 90011).

DIP**SOLDERING BY DIPPING OR BY WAVE**

The maximum permissible temperature of the solder is 260 °C; solder at this temperature must not be in contact with the joint for more than 5 seconds. The total contact time of successive solder waves must not exceed 5 seconds.

The device may be mounted up to the seating plane, but the temperature of the plastic body must not exceed the specified maximum storage temperature ($T_{slg\ max}$). If the printed-circuit board has been pre-heated, forced cooling may be necessary immediately after soldering to keep the temperature within the permissible limit.

REPAIRING SOLDERED JOINTS

Apply a low voltage soldering iron (less than 24 V) to the lead(s) of the package, below the seating plane or not more than 2 mm above it. If the temperature of the soldering iron bit is less than 300 °C it may remain in contact for up to 10 seconds. If the bit temperature is between 300 and 400 °C, contact may be up to 5 seconds.

SO**REFLOW SOLDERING**

Reflow soldering techniques are suitable for all SO packages.

Reflow soldering requires solder paste (a suspension of fine solder particles, flux and binding agent) to be applied to the printed-circuit board by screen printing, stencilling or pressure-syringe dispensing before package placement.

Several techniques exist for reflowing; for example, thermal conduction by heated belt. Dwell times vary between 50 and 300 seconds depending on heating method. Typical reflow temperatures range from 215 to 250 °C.

Preheating is necessary to dry the paste and evaporate the binding agent. Preheating duration: 45 minutes at 45 °C.

WAVE SOLDERING

Wave soldering techniques can be used for all SO packages if the following conditions are observed:

- A double-wave (a turbulent wave with high upward pressure followed by a smooth laminar wave) soldering technique should be used.
- The longitudinal axis of the package footprint must be parallel to the solder flow.
- The package footprint must incorporate solder thieves at the downstream end.

During placement and before soldering, the package must be fixed with a droplet of adhesive. The adhesive can be applied by screen printing, pin transfer or syringe dispensing. The package can be soldered after the adhesive is cured.

Maximum permissible solder temperature is 260 °C, and maximum duration of package immersion in solder is 10 seconds, if cooled to less than 150 °C within 6 seconds. Typical dwell time is 4 seconds at 250 °C.

A mildly-activated flux will eliminate the need for removal of corrosive residues in most applications.

REPAIRING SOLDERED JOINTS

Fix the component by first soldering two diagonally-opposite end leads. Use only a low voltage soldering iron (less than 24 V) applied to the flat part of the lead. Contact time must be limited to 10 seconds at up to 300 °C. When using a dedicated tool, all other leads can be soldered in one operation within 2 to 5 seconds between 270 and 320 °C.

8-bit high-speed analog-to-digital converter

TDA8703

DEFINITIONS

Data sheet status	
Objective specification	This data sheet contains target or goal specifications for product development.
Preliminary specification	This data sheet contains preliminary data; supplementary data may be published later.
Product specification	This data sheet contains final product specifications.
Limiting values	
Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.	
Application information	
Where application information is given, it is advisory and does not form part of the specification.	

LIFE SUPPORT APPLICATIONS

These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips for any damages resulting from such improper use or sale.

Features

- Fast Read Access Time - 150 ns
- Fast Byte Write - 200 μ s or 1 ms
- Self-Timed Byte Write Cycle
 - Internal Address and Data Latches
 - Internal Control Timer
 - Automatic Clear Before Write
- Direct Microprocessor Control
 - DATA POLLING
- Low Power
 - 30 mA Active Current
 - 100 μ A CMOS Standby Current
- High Reliability
 - Endurance: 10^4 or 10^5 Cycles
 - Data Retention: 10 Years
- 5V \pm 10% Supply
- CMOS & TTL Compatible Inputs and Outputs
- JEDEC Approved Byte Wide Pinout
- Commercial and Industrial Temperature Ranges

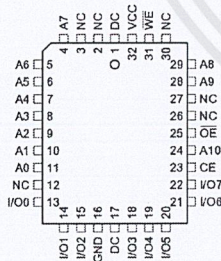
Description

The AT28C16 is a low-power, high-performance Electrically Erasable and Programmable Read Only Memory with easy to use features. The AT28C16 is a 16K memory organized as 2,048 words by 8 bits. The device is manufactured with Atmel's reliable nonvolatile CMOS technology. *(continued)*

Pin Configurations

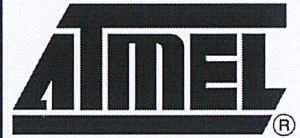
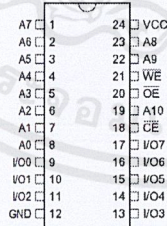
Pin Name	Function
A0 - A10	Addresses
\overline{CE}	Chip Enable
\overline{OE}	Output Enable
\overline{WE}	Write Enable
I/O0 - I/O7	Data Inputs/Outputs
NC	No Connect
DC	Don't Connect

PLCC
Top View



Note: PLCC package pins 1 and 17 are DON'T CONNECT.

PDIP, SOIC
Top View



16K (2K x 8)
Parallel
EEPROMs

AT28C16

Rev. 0540B-10/98

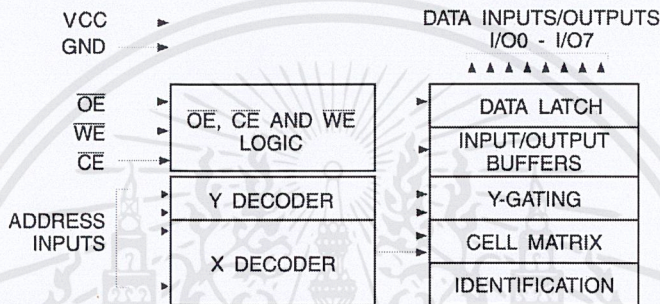


The AT28C16 is accessed like a static RAM for the read or write cycles without the need of external components. During a byte write, the address and data are latched internally, freeing the microprocessor address and data bus for other operations. Following the initiation of a write cycle, the device will go to a busy state and automatically clear and write the latched data using an internal control timer. The end of a write cycle can be determined by DATA POLLING of I/O₇. Once the end of a write cycle has been detected, a new access for a read or a write can begin.

The CMOS technology offers fast access times of 150 ns at low power dissipation. When the chip is deselected the standby current is less than 100 μ A.

Atmel's 28C16 has additional features to ensure high quality and manufacturability. The device utilizes error correction internally for extended endurance and for improved data retention characteristics. An extra 32 bytes of EEPROM are available for device identification or tracking.

Block Diagram



Absolute Maximum Ratings*

Temperature Under Bias	-55°C to +125°C
Storage Temperature	-65°C to +150°C
All Input Voltages (including NC Pins) with Respect to Ground	-0.6V to +6.25V
All Output Voltages with Respect to Ground	-0.6V to $V_{CC} + 0.6V$

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

AT28C16

Device Operation

READ: The AT28C16 is accessed like a Static RAM. When \overline{CE} and \overline{OE} are low and \overline{WE} is high, the data stored at the memory location determined by the address pins is asserted on the outputs. The outputs are put in a high impedance state whenever \overline{CE} or \overline{OE} is high. This dual line control gives designers increased flexibility in preventing bus contention.

BYTE WRITE: Writing data into the AT28C16 is similar to writing into a Static RAM. A low pulse on the \overline{WE} or \overline{CE} input with \overline{OE} high and \overline{CE} or \overline{WE} low (respectively) initiates a byte write. The address location is latched on the last falling edge of \overline{WE} (or \overline{CE}); the new data is latched on the first rising edge. Internally, the device performs a self-clear before write. Once a byte write has been started, it will automatically time itself to completion. Once a programming operation has been initiated and for the duration of t_{WC} , a read operation will effectively be a polling operation.

FAST BYTE WRITE: The AT28C16E offers a byte write time of 200 μ s maximum. This feature allows the entire device to be rewritten in 0.4 seconds.

DATA POLLING: The AT28C16 provides \overline{DATA} POLLING to signal the completion of a write cycle. During a write

cycle, an attempted read of the data being written results in the complement of that data for I/O₇ (the other outputs are indeterminate). When the write cycle is finished, true data appears on all outputs.

WRITE PROTECTION: Inadvertent writes to the device are protected against in the following ways: (a) V_{CC} sense—if V_{CC} is below 3.8V (typical) the write function is inhibited; (b) V_{CC} power on delay—once V_{CC} has reached 3.8V the device will automatically time out 5 ms (typical) before allowing a byte write; and (c) write inhibit—holding any one of \overline{OE} low, \overline{CE} high or \overline{WE} high inhibits byte write cycles.

CHIP CLEAR: The contents of the entire memory of the AT28C16 may be set to the high state by the CHIP CLEAR operation. By setting \overline{CE} low and \overline{OE} to 12 volts, the chip is cleared when a 10 msec low pulse is applied to \overline{WE} .

DEVICE IDENTIFICATION: An extra 32 bytes of EEPROM memory are available to the user for device identification. By raising A9 to $12 \pm 0.5V$ and using address locations 7E0H to 7FFH the additional bytes may be written to or read from in the same manner as the regular memory array.

Device Operation

READ: The AT28C16 is accessed like a Static RAM. When \overline{CE} and \overline{OE} are low and \overline{WE} is high, the data stored at the memory location determined by the address pins is asserted on the outputs. The outputs are put in a high impedance state whenever \overline{CE} or \overline{OE} is high. This dual line control gives designers increased flexibility in preventing bus contention.

BYTE WRITE: Writing data into the AT28C16 is similar to writing into a Static RAM. A low pulse on the \overline{WE} or \overline{CE} input with \overline{OE} high and \overline{CE} or \overline{WE} low (respectively) initiates a byte write. The address location is latched on the last falling edge of \overline{WE} (or \overline{CE}); the new data is latched on the first rising edge. Internally, the device performs a self-clear before write. Once a byte write has been started, it will automatically time itself to completion. Once a programming operation has been initiated and for the duration of t_{WC} , a read operation will effectively be a polling operation.

FAST BYTE WRITE: The AT28C16E offers a byte write time of 200 μ s maximum. This feature allows the entire device to be rewritten in 0.4 seconds.

DATA POLLING: The AT28C16 provides $\overline{DATA POLLING}$ to signal the completion of a write cycle. During a write

cycle, an attempted read of the data being written results in the complement of that data for I/O_7 (the other outputs are indeterminate). When the write cycle is finished, true data appears on all outputs.

WRITE PROTECTION: Inadvertent writes to the device are protected against in the following ways: (a) V_{CC} sense—if V_{CC} is below 3.8V (typical) the write function is inhibited; (b) V_{CC} power on delay—once V_{CC} has reached 3.8V the device will automatically time out 5 ms (typical) before allowing a byte write; and (c) write inhibit—holding any one of \overline{OE} low, \overline{CE} high or \overline{WE} high inhibits byte write cycles.

CHIP CLEAR: The contents of the entire memory of the AT28C16 may be set to the high state by the CHIP CLEAR operation. By setting \overline{CE} low and \overline{OE} to 12 volts, the chip is cleared when a 10 msec low pulse is applied to \overline{WE} .

DEVICE IDENTIFICATION: An extra 32 bytes of EEPROM memory are available to the user for device identification. By raising A9 to $12 \pm 0.5V$ and using address locations 7E0H to 7FFH the additional bytes may be written to or read from in the same manner as the regular memory array.



DC and AC Operating Range

		AT28C16-15
Operating Temperature (Case)	Com.	0°C - 70°C
	Ind.	-40°C - 85°C
V _{CC} Power Supply		5V ± 10%

Operating Modes

Mode	\overline{CE}	\overline{OE}	\overline{WE}	I/O
Read	V _{IL}	V _{IL}	V _{IH}	D _{OUT}
Write ⁽²⁾	V _{IL}	V _{IH}	V _{IL}	D _{IN}
Standby/Write Inhibit	V _{IH}	X ⁽¹⁾	X	High Z
Write Inhibit	X	X	V _{IH}	
Write Inhibit	X	V _{IL}	X	
Output Disable	X	V _{IH}	X	High Z
Chip Erase	V _{IL}	V _H ⁽³⁾	V _{IL}	High Z

- Notes: 1. X can be V_{IL} or V_{IH}.
 2. Refer to AC Programming Waveforms.
 3. V_H = 12.0V ± 0.5V

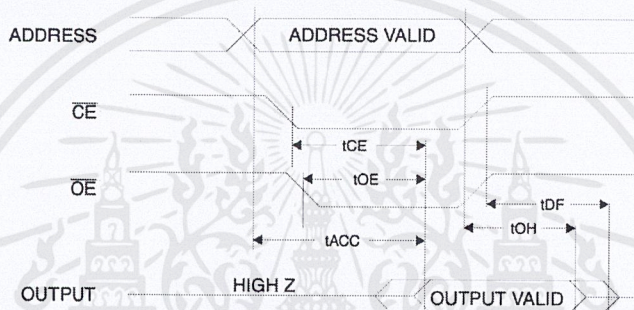
DC Characteristics

Symbol	Parameter	Condition	Min	Max	Units
I _{LI}	Input Load Current	V _{IN} = 0V to V _{CC} + 1V		10	μA
I _{LO}	Output Leakage Current	V _{IO} = 0V to V _{CC}		10	μA
I _{SB1}	V _{CC} Standby Current CMOS	$\overline{CE} = V_{CC} - 0.3V$ to V _{CC} + 1.0V		100	μA
I _{SB2}	V _{CC} Standby Current TTL	$\overline{CE} = 2.0V$ to V _{CC} + 1.0V	Com.	2	mA
			Ind.	3	mA
I _{CC}	V _{CC} Active Current AC	f = 5 MHz; I _{OUT} = 0 mA $\overline{CE} = V_{IL}$	Com.	30	mA
			Ind.	45	mA
V _{IL}	Input Low Voltage			0.8	V
V _{IH}	Input High Voltage		2.0		V
V _{OL}	Output Low Voltage	I _{OL} = 2.1 mA		.4	V
V _{OH}	Output High Voltage	I _{OH} = -400 μA	2.4		V

AC Read Characteristics

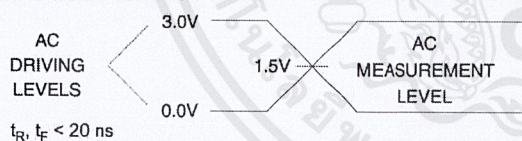
Symbol	Parameter	AT28C16-15		Units
		Min	Max	
t_{ACC}	Address to Output Delay		150	ns
$t_{CE}^{(1)}$	\overline{CE} to Output Delay		150	ns
$t_{OE}^{(2)}$	\overline{OE} to Output Delay	10	70	ns
$t_{DF}^{(3)(4)}$	\overline{CE} or \overline{OE} High to Output Float	0	50	ns
t_{OH}	Output Hold from \overline{OE} , \overline{CE} or Address, whichever occurred first	0		ns

AC Read Waveforms⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾

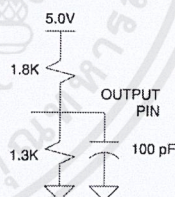


- Notes:
- \overline{CE} may be delayed up to $t_{ACC} - t_{CE}$ after the address transition without impact on t_{ACC} .
 - \overline{OE} may be delayed up to $t_{CE} - t_{OE}$ after the falling edge of \overline{CE} without impact on t_{CE} or by $t_{ACC} - t_{OE}$ after an address change without impact on t_{ACC} .
 - t_{DF} is specified from \overline{OE} or \overline{CE} whichever occurs first ($C_L = 5$ pF).
 - This parameter is characterized and is not 100% tested.

Input Test Waveforms and Measurement Level



Output Test Load



Pin Capacitance

$f = 1$ MHz, $T = 25^\circ\text{C}^{(1)}$

Symbol	Typ	Max	Units	Conditions
C_{IN}	4	6	pF	$V_{IN} = 0V$
C_{OUT}	8	12	pF	$V_{OUT} = 0V$

Note: 1. This parameter is characterized and is not 100% tested.

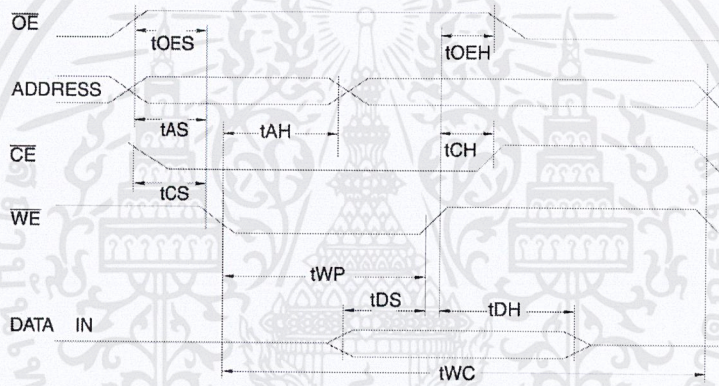


AC Write Characteristics

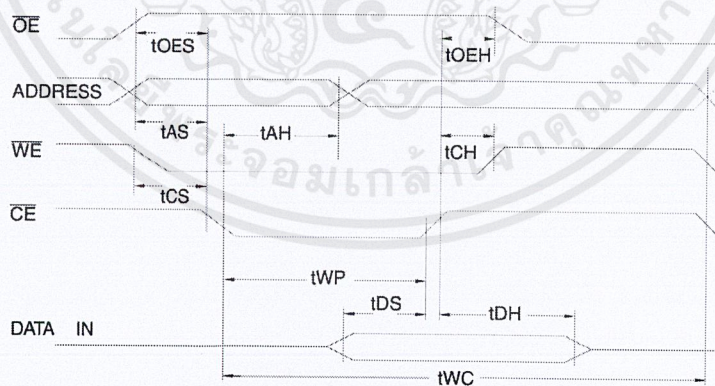
Symbol	Parameter	Min	Typ	Max	Units
t_{AS}, t_{OES}	Address, \overline{OE} Set-up Time	10			ns
t_{AH}	Address Hold Time	50			ns
t_{WP}	Write Pulse Width (\overline{WE} or \overline{CE})	100		1000	ns
t_{DS}	Data Set-up Time	50			ns
t_{DH}, t_{OEH}	Data, \overline{OE} Hold Time	10			ns
t_{CS}, t_{CH}	\overline{CE} to \overline{WE} and \overline{WE} to \overline{CE} Set-up and Hold Time	0			ns
t_{WC}	Write Cycle Time	AT28C16	0.5	1.0	ms
		AT28C16E	100	200	μ s

AC Write Waveforms

\overline{WE} Controlled



\overline{CE} Controlled

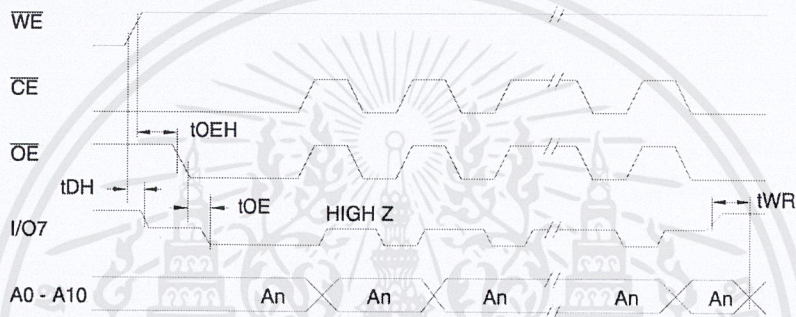


Data Polling Characteristics⁽¹⁾

Symbol	Parameter	Min	Typ	Max	Units
t_{DH}	Data Hold Time	10			ns
$t_{OE\bar{H}}$	$\bar{O}\bar{E}$ Hold Time	10			ns
t_{OE}	$\bar{O}\bar{E}$ to Output Delay ⁽²⁾				ns
t_{WR}	Write Recovery Time	0			ns

Notes: 1. These parameters are characterized and not 100% tested.
 2. See AC Characteristics.

Data Polling Waveforms



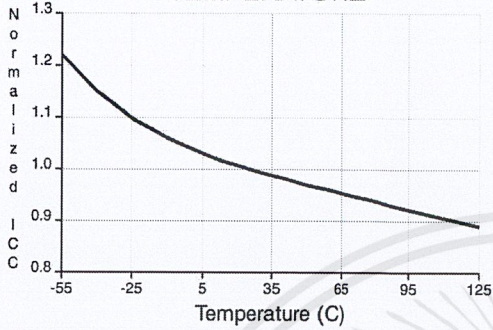
Chip Erase Waveforms



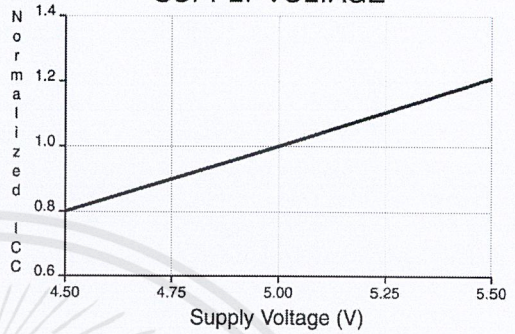
$t_S = t_H = 1 \mu\text{sec (min.)}$
 $t_W = 10 \text{ msec (min.)}$
 $V_H = 12.0V \pm 0.5V$



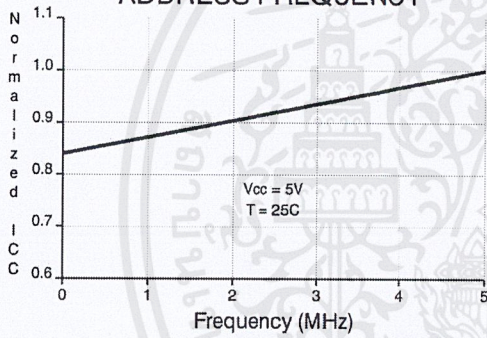
NORMALIZED SUPPLY CURRENT vs. TEMPERATURE



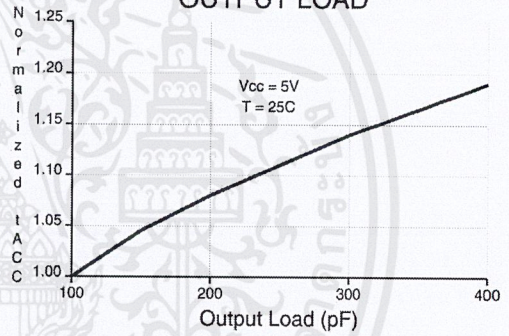
NORMALIZED SUPPLY CURRENT vs. SUPPLY VOLTAGE



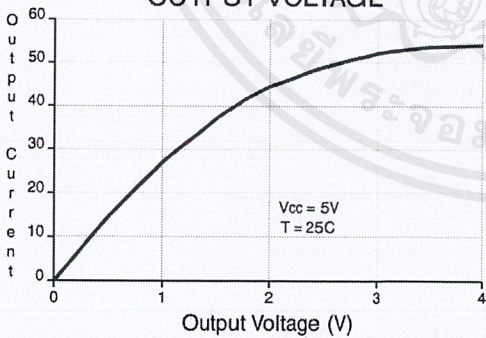
NORMALIZED SUPPLY CURRENT vs. ADDRESS FREQUENCY



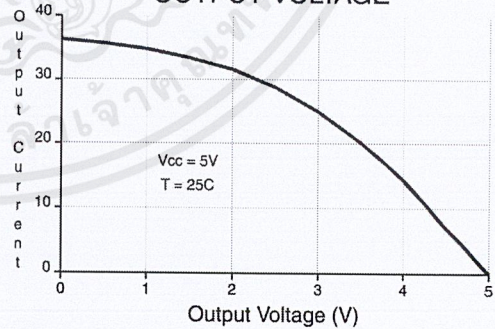
NORMALIZED ACCESS TIME vs. OUTPUT LOAD



OUTPUT SINK CURRENT vs. OUTPUT VOLTAGE



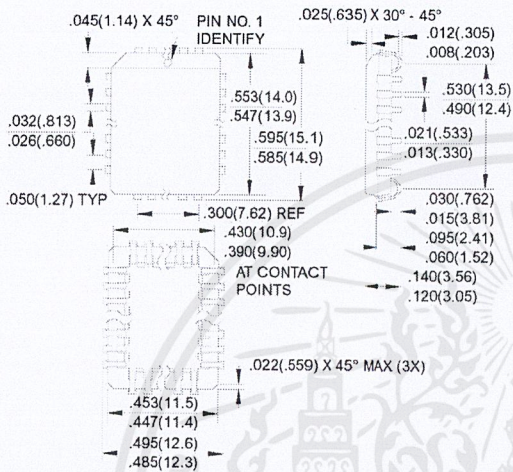
OUTPUT SOURCE CURRENT vs. OUTPUT VOLTAGE



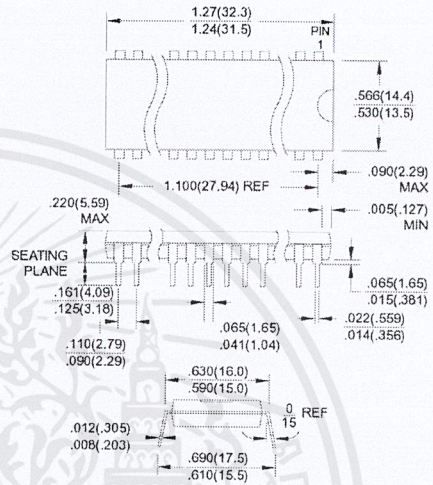


Packaging Information

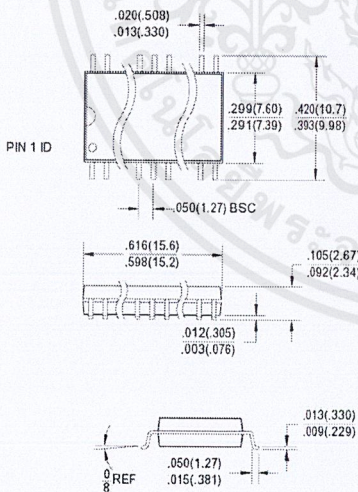
32J, 32-Lead, Plastic J-Leaded Chip Carrier (PLCC)
 Dimensions in Inches and (Millimeters)
 JEDEC STANDARD MS-018 AA



24P6, 24-Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
 Dimensions in Inches and (Millimeters)
 JEDEC STANDARD MS-011 AA



24S, 24-Lead, 0.300" Wide, Plastic Gull Wing Small Outline (SOIC)
 Dimensions in Inches and (Millimeters)



Ordering Information⁽¹⁾

t _{ACC} (ns)	I _{CC} (mA)		Ordering Code	Package	Operation Range
	Active	Standby			
150	30	0.1	AT28C16(E)-15JC	32J	Commercial (0°C to 70°C)
			AT28C16(E)-15PC	24P6	
			AT28C16(E)-15SC	24S	
	45	0.1	AT28C16(E)-15JI	32J	Industrial (-40°C to 85°C)
			AT28C16(E)-15PI	24P6	
			AT28C16(E)-15SI	24S	

- Notes:
1. See Valid Part Numbers table below.
 2. The 28C16 200 ns and 250 ns speed selections have been removed from valid selections table and are replaced by the faster 150 ns T_{AA} offering.
 3. The 28C16 ceramic package offerings have been removed. New designs should utilize the 28C256 ceramic offerings.

Valid Part Numbers

The following table lists standard Atmel products that can be ordered.

Device Numbers	Speed	Package and Temperature Combinations
AT28C16	15	JC, JI, PC, PI, SC, SI
AT28C16E	15	JC, JI, PC, PI, SC, SI
AT28C16	-	W

Die Products

Reference Section: Parallel EEPROM Die Products

Package Type	
32J	32 Lead, Plastic J-Leaded Chip Carrier (PLCC)
24P6	24 Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
24S	24 Lead, 0.300" Wide, Plastic Gull Wing Small Outline (SOIC)
W	Die
Options	
Blank	Standard Device: Endurance = 10K Write Cycles; Write Time = 1 ms
E	High Endurance Option: Endurance = 100K Write Cycles; Write Time = 200 μs

บรรณานุกรม

ขวัญชัย ใจคำลือ และคณะ. “เครื่องผสมสัญญาณภาพ 8 ช่อง.”

ปริญญาานิพนธ์ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม,
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.2543

นัฐกร ชาติประทีป และคณะ. “เครื่องวัดและวิเคราะห์สัญญาณดิจิทัล.”

ปริญญาานิพนธ์ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์,
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.2543

ถวิล กิ่งทอง. “เทคโนโลยีการส่งสัญญาณดิจิทัล.” ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.
กรุงเทพฯ.2534.

สุนันต์ แสงโพธิ์ และคณะ. เครื่องมือวัดอิเล็กทรอนิกส์. กรุงเทพฯ :

หจก.สำนักพิมพ์ฟิสิกส์เซนเตอร์.

ประวัติผู้แต่ง



ชื่อผู้ทำปริญญาโท	นายปรีชาพล จันทะมุงคุณ
วันเดือนปีเกิด	8 กุมภาพันธ์ 2522
สถานที่เกิด	จังหวัดสกลนคร
ภูมิลำเนาเดิม	189/3 ตำบลสว่างแดนดิน อำเภอสว่างแดนดิน จังหวัดสกลนคร 47110
ที่อยู่ปัจจุบัน	228/45 ซอยหลังธนาคารกรุงเทพฯ ถนนอ่อนนุช เขตลาดกระบัง กรุงเทพฯ 10520
โทรศัพท์	0-2739-0738-40 #403, 0-4272-1676
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนสว่างวิทยา
มัธยมศึกษาตอนต้น	โรงเรียนสว่างศึกษา
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคอุดรธานี
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	สถาบันเทคโนโลยีราชมงคล วิทยาเขตภาคตะวันออกเฉียงเหนือ นครราชสีมา
ปริญญาตรี	สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับรางวัล	-
ทุนการศึกษา	-
คติพจน์	ทำวันนี้ให้ดีที่สุด

ประวัติผู้แต่ง



ชื่อผู้ทำปริญญาบัตร	นางสาวปานฤทัย นวะมวัฒน์
วันเดือนปีเกิด	3 กันยายน 2521
สถานที่เกิด	จังหวัดอุทัยธานี
ภูมิลำเนาเดิม	38/1 หมู่ 5 ตำบลหนองเต่า อำเภอเมืองอุทัยธานี จังหวัดอุทัยธานี 61000
ที่อยู่ปัจจุบัน	187-189 หอพักถาวรพลฤกษ์ ห้อง 419 ถนนฉลองกรุง แขวงลาดกระบัง เขตลาดกระบัง กรุงเทพฯ 10520
โทรศัพท์	0-2739-0211-20 ต่อ 419, 01-3797481
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนอนุบาลเมืองอุทัยธานี
มัธยมศึกษาตอนต้น	โรงเรียนอุทัยวิทยาคม
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคอุทัยธานี
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคท่าหลวงซิเมนต์ไทยอุสรณ์
ปริญญาตรี	สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับรางวัล	-
ทุนการศึกษา	-
คติพจน์	อย่าอนตืนสาย อย่าอายทำกิน อย่าหมิ่นเงินน้อย อย่าคอยวาสนา

ประวัติผู้แต่ง



ชื่อผู้ทำปฏิญานិพนธ์	นายอภิสิทธิ์ ไหม่วงษ์
วันเดือนปีเกิด	13 กรกฎาคม 2523
สถานที่เกิด	จังหวัดหนองคาย
ภูมิลำเนาเดิม	204 หมู่ 4 ตำบลโพธิ์ชัย อำเภอเมืองหนองคาย จังหวัดหนองคาย 43000
ที่อยู่ปัจจุบัน	228/45 ซอยหลังธนาคารกรุงเทพฯ ถนนอ่อนนุช เขตลาดกระบัง กรุงเทพฯ 10520
โทรศัพท์	0-2739-0738-40 ห้อง 404, 01-9657030
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนเทศบาล 1 สว่างวิทยา
มัธยมศึกษาตอนต้น	โรงเรียนปทุมเทพวิทยาคาร
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคหนองคาย
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคหนองคาย
ปริญญาตรี	สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับรางวัล	-
ทุนการศึกษา	-
คติพจน์	นับถือตนเอง นับถือผู้อื่น รับผิดชอบในสิ่งที่ตนเองทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อผู้ทำปริญญาบัตร	นายวรพงษ์ ขาวยังยืน
วันเดือนปีเกิด	21 เมษายน 2522
สถานที่เกิด	จังหวัดฉะเชิงเทรา
ภูมิลำเนาเดิม	87 หมู่ 1 ตำบลท่าไข่ อำเภอเมืองฉะเชิงเทรา จังหวัดฉะเชิงเทรา 24000
ที่อยู่ปัจจุบัน	261/138 ซอยดัดเพลิง ถนนหลวงแพ่ง แขวงทับยาว เขตลาดกระบัง กรุงเทพฯ 10520
โทรศัพท์	0-2738-0006-9 ห้อง 118, 0-3881-6784
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนทวีวิทย์วิทยาคม
มัธยมศึกษาตอนต้น	โรงเรียนปทุมวิทยาคาร
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคฉะเชิงเทรา
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคฉะเชิงเทรา
ปริญญาตรี	สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับรางวัล	-
ทุนการศึกษา	-
คติพจน์	ทำวันนี้ให้ดีที่สุด และทำพรุ่งนี้ให้ดีกว่าวันนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้