สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องส่งและรับ PCM - TDM แบบ 2 ช่องสัญญาณ

2 - Channel PCM - TDM Transmitter and Receiver

โดย

นาย คัมภีร์ อิทธิเวชช์

นาย ธีรเทพ เอกกมลกุล

เลขหมู่.....
เลขทะเบียน 42193
วัน, เดือน, ปี 15 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่งและรับ PCM - TDM แบบ 2 ช่องสัญญาณ

2 - Channel PCM - TDM Transmitter and Receiver

โดย

นาย คัมภีร์ อิทธิเวชช์ 40010105

นาย ธีรเทพ เอกกมลกุล 40010328

อาจารย์ที่ปรึกษา

รศ. ดร. กอบชัย เดชหาญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2543

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องส่งและรับ PCM - TDM แบบ 2 ช่องสัญญาณ**

2 - Channel PCM - TDM Transmitter and Receiver

ผู้จัดทำ

1. นาย คัมภีร์ อิทธิเวชช์ **40010105**

2. นาย ธีรเทพ เอกกมลกุล **40010328**

..... อาจารย์ที่ปรึกษา

(รศ. ดร. กอบชัย เดชหาญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่งและรับ PCM - TDM แบบ 2 ช่องสัญญาณ

2 - Channel PCM - TDM Transmitter and Receiver

โดย นาย คัมภีร์ อิทธิเวชช์ 40010105
นาย ธีรเทพ เอกกมลกุล 40010328

อาจารย์ที่ปรึกษา รศ. ดร. กอบชัย เดชหาญ

บทคัดย่อ

โครงงานนี้นำเสนอระบบการสื่อสารแบบดิจิตอลในการรับ-ส่งข้อมูลแบบ PCM-TDM เพื่อเป็นการศึกษาระบบสื่อสารแบบดิจิตอลที่สามารถส่งสัญญาณพร้อม ๆ กันได้หลายช่อง ในระบบ PCM นี้จะส่งสัญญาณแบบดิจิตอล จึงเกิดการเพี้ยนของสัญญาณน้อยกว่าการส่งสัญญาณแบบอนาล็อก ความผิดเพี้ยนที่เกิดขึ้นได้ เช่น ความผิดเพี้ยนในการจัดระดับ (quantizing error) เป็นต้น ซึ่งระบบ PCM จะมีประโยชน์ในงานโทรคมนาคม เช่น การส่งสัญญาณเสียงและภาพ หลักการของ PCM - TDM คือ ข่าวสารที่ต้องการส่งในแต่ละช่อง ซึ่งเป็นสัญญาณอนาลอก (analog signal) นำไปผ่าน filter กรองความถี่ จากนั้นทำการสุ่มตัวอย่าง (sampling), แปลงสัญญาณอนาลอกเป็นดิจิตอล, จะถูกมัลติเพล็กซ์ (multiplex) รวมเป็นช่องเดียวกัน จากนั้นจะทำการส่งออกไป ทางภาครับก็จะแยกสัญญาณออกมาทำในลักษณะกลับกันกับด้านส่ง ดังนั้นจึงได้สัญญาณเอาท์พุทจากภาครับที่เป็นสัญญาณอนาลอก ในรูปแบบที่ใกล้เคียงกับสัญญาณอนาลอกที่ส่งมา (original analog signal)

ABSTRACT

This project presents a digital communication system for both transmitter and receiver by PCM-TDM. As it is known that the digital communication system with multi-channel transmission system, the PCM has more stability and less quantizing error than the analog transmission system. The PCM system is useful for wide application of telecommunication such as voice and video signal transmission.

The PCM-TDM consists of message multiplexing, sampling, quantizing, encoding before transmission. At the receiver side, PCM signaling is converted to PAM and demultiplexed. So the experimental results are quite the same as the original analog signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	
2.1 คำนำ	2
2.2 หลักการของอนาลอกทูดิจิตอลคอนเวิร์ทเตอร์	2
2.2.1 อนาลอกทูดิจิตอลคอนเวิร์ทเตอร์	2
2.2.2 ทฤษฎีการสุ่มตัวอย่าง (Sampling Theory)	3
2.2.3 แฟลชคอนเวิร์ทเตอร์	4
2.2.4 A/D แบบสโลปเดี่ยว	6
2.2.5 A/D แบบสโลปคู่	7
2.2.6 A/D แบบมีการป้อนกลับ	9
2.2.7 A/D แบบประมาณค่าหลาย ๆ ครั้ง	11
2.2.8 ควอนไตซิ่งเออเร่อร์ (Quantizing Error)	12
2.3 หลักการของดิจิตอลทูอนาลอกคอนเวิร์ทเตอร์	14
2.3.1 Binary – Weighted Resistor D/A	16
2.3.2 Ladder network D/A	17
2.4 เทคนิคการ Modulated แบบ PCM	19
2.4.1 สัญญาณ Analog และการส่ง	20
2.4.2 สัญญาณ Digital และการส่ง	21
2.4.3 Pulse Modulation	23
2.4.4 หลักการของระบบ Pulse Code Modulation (PCM)	26
2.4.5 การสุ่มตัวอย่าง (Sampling)	27
2.4.6 การแบ่งย่าน Amplitude ออกเป็นระดับต่าง ๆ (Quantizing)	28
2.4.7 การเข้ารหัส (Coding)	29
บทที่ 3 หลักการออกแบบวงจร	
3.1 คำนำ	32
3.2 การออกแบบวงจรภาคส่งทางด้านพีซีเอ็ม (PCM)	32
3.3 วงจรการทำงานทางด้านภาคส่ง	34
3.4 วงจรสร้างสัญญาณคล๊อก	38
3.5 การออกแบบวงจรภาครับทางด้านพีซีเอ็ม (PCM)	39
3.6 วงจรการทำงานทางด้านภาครับ	39
บทที่ 4 ผลการทดลอง	45
บทที่ 5 บทวิจารณ์และบทสรุป	62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 2.1 ความละเอียดของ A/D จะแปรผันตรงกับจำนวนบิททางเอาท์พุท 2

รูปที่ 2.2 การสุ่มหลาย ๆ ช่วงจะมีลักษณะใกล้เคียงกับสัญญาณเดิม 3

รูปที่ 2.3 แฟลช A/D มีความเร็วในการเปลี่ยนแปลงสัญญาณสูง 5

รูปที่ 2.4 ส่วนประกอบที่สำคัญของ A/D แบบสโลปเดี่ยว 6

รูปที่ 2.5 A/D แบบสโลปคู่ ให้เสถียรภาพในการทำงานสูงกว่า A/D แบบสโลปเดี่ยว 8

รูปที่ 2.6 D/A ถูกใช้ในวงจร A/D เพื่อสร้างแรงดันแรมป์ไปควบคุม A/D แบบวงจรนับเดี่ยวได้ 9

รูปที่ 2.7 วงจรนับเลขฐานสองแบบขึ้น – ลง ทำให้ A/D เปลี่ยนแปลงสัญญาณป้อนกลับ 10

รูปที่ 2.8 Successive Approximation Register (SAR) 12

รูปที่ 2.9 Quantizing Error 13

รูปที่ 2.10 วงจร S/H แบบง่าย ๆ สามารถกำจัดผลกระทบที่เกิดจาก Quantizing Error ได้ 14

รูปที่ 2.11 ความละเอียดของแรงดันเอาท์พุท 15

รูปที่ 2.12 วงจร Binary – Weighted D/A และกราฟเอาท์พุทของ D/A 17

รูปที่ 2.13 วงจร Binary Ladder D/A 18

รูปที่ 2.14 Monotonic D/A จะมากขึ้นทุก ๆ ค่าของสัญญาณอนาลอกอินที่ถูกต้อง 19

รูปที่ 2.15 สัญญาณ Analog 20

รูปที่ 2.16 ลักษณะการส่งสัญญาณ Analog 20

รูปที่ 2.17 สัญญาณ Digital 21

รูปที่ 2.18 ลักษณะการส่งสัญญาณ Digital 22

รูปที่ 2.19 หลักการเบื้องต้นของ Time Division Multiplex 23

รูปที่ 2.20 PAM Signal ของสัญญาณ 4 ช่อง 24

รูปที่ 2.21 การแปลงสัญญาณ Analog เป็นสัญญาณ Digital ที่ใช้ในระบบ PCM 25

รูปที่ 2.22 Block Diagram ของระบบ PCM 26

รูปที่ 2.23 การสุ่มตัวอย่าง (Sampling) 27

รูปที่ 2.24 การแบ่งย่าน Amplitude ออกเป็นระดับต่าง ๆ (Quantizing) 28

รูปที่ 2.25 การเข้ารหัส Coding 29

รูปที่ 2.26 หลักการของระบบ PCM จำนวน 4 ช่อง 31

รูปที่ 3.1 บล๊อกไดอะแกรมภาคส่งของพีซีเอ็ม 32

รูปที่ 3.2 วงจรภาคส่งของพีซีเอ็ม 33

รูปที่ 3.3 วงจรจัดแอดเดรสของไอซีเบอร์ ADC0809 34

รูปที่ 3.4 สัญญาณที่เกิดดีเลย์ (Delay) 35

รูปที่ 3.5 ไทม์มิ่งไดอะแกรมของไอซีเบอร์ 4017 35

รูปที่ 3.6 ไทม์มิ่งไดอะแกรม (Timing Diagram) ของสัญญาณ 36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.7 วงจรเปลี่ยนข้อมูลจากแบบขนานเป็นแบบอนุกรม 37
รูปที่ 3.8 ไทม์มิ่งไดอะแกรมของสัญญาณเอาท์พุท 37
รูปที่ 3.9 วงจรสร้างสัญญาณคล๊อก 38
รูปที่ 3.10 บล๊อกไดอะแกรมภาครับของพีซีเอ็ม 39
รูปที่ 3.11 วงจรภาครับของพีซีเอ็ม 40
รูปที่ 3.12 วงจรซิงโครไนซ์เซชั่น 41
รูปที่ 3.13 สัญญาณแต่ละจุดของวงจรซิงโครไนซ์เซชั่น 42
รูปที่ 3.14 วงจรดีมัลติเพล็กซ์ 43
รูปที่ 3.15 รูปสัญญาณที่ใช้ควบคุมไอซีเบอร์ 4051 44
รูปที่ 4.1 แสดงสัญญาณคล๊อกจากวงจรกำเนิดความถี่ที่ผ่านอินเวอร์เตอร์แล้ว
ความถี่ 666.66 kHz (CH1) เทียบกับ ความถี่ 1.33 MHz (CH2) 45
รูปที่ 4.2 แสดงสัญญาณคล๊อกจากวงจรกำเนิดความถี่ที่ผ่านอินเวอร์เตอร์แล้ว
ความถี่ 166.66 kHz (CH1) เทียบกับ ความถี่ 333.33 kHz (CH2) 45
รูปที่ 4.3 แสดงสัญญาณเอาท์พุทจากดีเคดเคาท์เตอร์ 4017
ขา 2 (CH1) เทียบกับ ขา 7 (CH2) 46
รูปที่ 4.4 แสดงสัญญาณที่ขา 3 ของไอซีเบอร์ 74LS08 (AND Gate : CH1)
เทียบกับ สัญญาณที่ขา 12 ของไอซีเบอร์ 74LS73 (T – Flipflop : CH2) 46
รูปที่ 4.5 แสดงสัญญาณคล๊อกที่เข้าขา 2 (CH1)
เทียบกับ สัญญาณที่เข้าขา 15 (CH2) ของไอซีเบอร์ 74LS165 47
รูปที่ 4.6 แสดงสัญญาณคล๊อกที่เข้าขา 2 (CH1)
เทียบกับ สัญญาณที่เข้าขา 1 (CH2) ของไอซีเบอร์ 74LS165 47
รูปที่ 4.7 แสดงสัญญาณเอาท์พุทที่ขา 9 ของไอซีเบอร์ 74LS165 (CH1)
เมื่อให้อินพุทเป็นไฟ DC 5 V เทียบกับ สัญญาณคล๊อก 333.33 kHz (CH2) 48
รูปที่ 4.8 แสดงสัญญาณเอาท์พุทที่ขา 9 ของไอซีเบอร์ 74LS165 (CH1)
เมื่อให้อินพุทเป็นไฟ DC 0 V เทียบกับ สัญญาณคล๊อก 333.33 kHz (CH2) 48
รูปที่ 4.9 แสดงสัญญาณเอาท์พุทที่ขา 9 ของไอซีเบอร์ 74LS165 (CH1)
เมื่อให้อินพุทเป็นไฟ DC 4.14 V เทียบกับ สัญญาณคล๊อก 333.33 kHz (CH2) 49
รูปที่ 4.10 แสดงสัญญาณเอาท์พุทที่ขา 9 ของไอซีเบอร์ 74LS165 (CH1) เมื่อให้อินพุท
เป็นไฟ DC 5 V เทียบกับ สัญญาณที่ผ่านการแอนด์กับคล๊อก 333.33 kHz
(ทำแบบ Unipolar Return to Zero : CH2) 49
รูปที่ 4.11 แสดงสัญญาณที่ออกจากการแอนด์กับคล๊อก วัดได้ที่ขา 11 ของไอซีเบอร์ 74LS08 (CH1)
เทียบกับ สัญญาณเอาท์พุทที่ขา 3 ของไอซีเบอร์ 74LS164 (CH2) 50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.12 แสดงสัญญาณที่ผ่านการออร์กัน เพื่อทำเวิร์ดซิงค์ วัดได้ที่ขา 3
ของไอซีเบอร์ 74LS32 (CH1) เทียบกับ สัญญาณก่อนเข้าที่ออร์เกท (CH2) 50
รูปที่ 4.13 แสดงสัญญาณเอาท์พุทที่ขา 9 ของไอซีเบอร์ 74LS165 (CH1) เมื่อให้อินพุทเป็น
Sine wave 1 kHz 5 V เทียบกับ สัญญาณคล๊อก 333.33 kHz (CH2) 51
รูปที่ 4.14 แสดงสัญญาณอินพุทที่ภาครับรับได้ เมื่อภาคส่งให้อินพุทเป็นไฟ DC 4.14 V (CH1)
เทียบกับ สัญญาณที่ผ่านการเลื่อนเฟสของไอซีเบอร์ 74LS164 (Q_A : CH2) 51
รูปที่ 4.15 แสดงสัญญาณที่วัดได้ที่ขา 4 (Q_B : CH1)
เทียบกับ ขา 3 (Q_A : CH2) ของไอซีเบอร์ 74LS164 52
รูปที่ 4.16 แสดงสัญญาณ Q_B ของไอซีเบอร์ 74LS164 (CH1)
เทียบกับ สัญญาณที่วัดได้ที่ขา 8 ของไอซีเบอร์ 74LS32 (h : CH2) 52
รูปที่ 4.17 แสดงสัญญาณที่วัดได้ที่ขา 6 ของไอซีเบอร์ 74LS11 (e : CH1)
เทียบกับ สัญญาณ Q_B ของไอซีเบอร์ 74LS164 (CH2) 53
รูปที่ 4.18 แสดงสัญญาณที่วัดได้ที่ขา 6 ของไอซีเบอร์ 74LS32 (f+g : CH1)
เทียบกับ สัญญาณ Q_B ของไอซีเบอร์ 74LS164 (CH2) 53
รูปที่ 4.19 แสดงสัญญาณที่เป็นเอาท์พุทที่ขา 9 ของไอซีเบอร์ 74LS73 (CH1)
เทียบกับ สัญญาณที่วัดได้ที่ขา 6 ของไอซีเบอร์ 74LS11 (e : CH2) 54
รูปที่ 4.20 แสดงสัญญาณที่วัดได้ที่ขา 8 ของไอซีเบอร์ 74LS32 (h : CH1)
เทียบกับ สัญญาณที่วัดได้ที่ขา 11 ของดีเคดเคาท์เตอร์ 4017 (CH2) 54
รูปที่ 4.21 แสดงสัญญาณที่วัดได้ที่ขา 11 ของไอซีเบอร์ 74LS32 (CH1)
เทียบกับ สัญญาณที่ผ่านการแอนด์กับคล๊อก 333.33 kHz (CH2) 55
รูปที่ 4.22 แสดงสัญญาณที่วัดได้ที่ขา 12 (CH1)
เทียบกับ ขา 1 (CH2) ของไอซีเบอร์ 74LS73 55
รูปที่ 4.23 แสดงสัญญาณที่วัดได้ที่ขา 12 ของไอซีเบอร์ 74LS73 (CH1)
เทียบกับ สัญญาณที่ผ่านการเลื่อนเฟสของดีฟลิปฟลอป (D – Flipflop : CH2) 56
รูปที่ 4.24 แสดงสัญญาณที่ผ่านการเลื่อนเฟสของดีฟลิปฟลอปแล้ว (D – Flipflop : CH1)
เทียบกับ สัญญาณที่ป้อนเข้าที่ขา 3 ของไอซีเบอร์ 4051 (CH2) 56
รูปที่ 4.25 แสดงสัญญาณที่ป้อนเข้าที่ขา 3 (CH1)
เทียบกับ สัญญาณเอาท์พุทของไอซีเบอร์ 4051 (CH2) 57
รูปที่ 4.26 แสดงสัญญาณที่วัดได้ที่ขา 18 ของไอซีเบอร์ 74LS374 (CH1) เทียบกับ
สัญญาณคล๊อกดีเทคข้อมูลที่บิทสุดท้าย วัดได้ที่ขา 11 (CH2) ของไอซีเบอร์เดียวกัน 57
รูปที่ 4.27 แสดงสัญญาณที่วัดได้ที่ขา 3 ของไอซีเบอร์ 74LS374 (CH1) เทียบกับ
สัญญาณคล๊อกดีเทคข้อมูลที่บิทแรก วัดได้ที่ขา 11 (CH2) ของไอซีเบอร์เดียวกัน 58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.28 แสดงระดับสัญญาณเอาท์พุทจาก D / A
เมื่อป้อนอินพุทจากทางภาคส่งเป็น Sine wave 500 Hz 5 V 58
รูปที่ 4.29 แสดงระดับสัญญาณเอาท์พุทจาก D / A
เมื่อป้อนอินพุทจากทางภาคส่งเป็น Sine wave 1 kHz 5 V 59
รูปที่ 4.30 แสดงระดับสัญญาณเอาท์พุทจาก D / A
เมื่อป้อนอินพุทจากทางภาคส่งเป็น Sine wave 1.5 kHz 5 V 59
รูปที่ 4.31 แสดงสัญญาณเอาท์พุทจาก D / A เมื่อป้อนอินพุทจากทางภาคส่ง
เป็น Sine wave 1 kHz (CH1) เทียบกับ สัญญาณที่ผ่าน Low Pass Filter แล้ว (CH2) 60
รูปที่ 4.32 แสดงสัญญาณอินพุทจากทางภาคส่ง (CH1)
เทียบกับ สัญญาณเอาท์พุทสุดท้ายของวงจร (CH2) 60
รูปที่ 4.33 แสดงรูปชิ้นงานภาคส่ง 61
รูปที่ 4.34 แสดงรูปชิ้นงานภาครับ 61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การสื่อสาร หมายถึง การติดต่อระหว่างด้านส่ง (Transmitter) และด้านรับ (Reciever) โดยผ่านตัวกลางหนึ่ง ๆ การติดต่อกันระหว่างด้านส่งและด้านรับนั้น มีทั้งในรูปแบบของข้อมูลหรือเสียง แต่เดิมนั้น ระบบการส่งสัญญาณจะเป็นแบบสัญญาณอนาลอก (Analog) ซึ่งการส่งส่งสัญญาณอนาลอกจะมีข้อจำกัดหลายประการ อาทิเช่น การลดทอนระหว่างการส่งสัญญาณ มี noise รบกวน ทำให้ด้านรับอาจได้รับสัญญาณที่ผิดเพี้ยนไป ในปัจจุบันจึงมีการพัฒนาให้เป็นระบบการส่งสัญญาณแบบดิจิตอล (Digital) เพราะเนื่องจากเราสามารถสร้างสัญญาณดิจิตอลขึ้นมาใหม่ได้ ทำให้ผลที่เกิดจาก noise น้อยกว่าแบบอนาลอก จึงเป็นผลให้มีประสิทธิภาพในการติดต่อสื่อสารที่ดีกว่า อีกทั้งยังมีระบบการรวมช่องสัญญาณหลาย ๆ ช่องเข้าด้วยกัน โดยเทคนิคต่าง ๆ จึงสามารถใช้งานได้มากขึ้นอย่างมีประสิทธิภาพขึ้น

ในโครงงานนี้ เป็นการจำลองระบบการส่งสัญญาณแบบดิจิตอล โดยวิธี Pulse Code Modulation (PCM) และมีการรวมช่องสัญญาณเข้าด้วยกันด้วยเทคนิคการแบ่งตามคาบเวลา Time Division Multiplex (TDM) ดังนั้น โครงงานนี้จะเป็นระบบการส่งสัญญาณดิจิตอลแบบ PCM-TDM 2 ช่องสัญญาณ

รายงานเล่มนี้ จะกล่าวถึง ทฤษฎีต่าง ๆ หลักการทำงาน และขั้นตอนการทำงาน รวมถึงผลการทดลองเอาไว้ด้วย

บทที่ 2 จะกล่าวถึง ทฤษฎีและหลักการทำงานต่าง ๆ ในวงจร

บทที่ 3 จะกล่าวถึง หลักการออกแบบวงจร บล๊อกไดอะแกรม และรูปวงจรรวม

บทที่ 4 จะกล่าวถึง ผลการทดลองต่าง ๆ

บทที่ 5 จะกล่าวถึง สรุปและวิจารณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

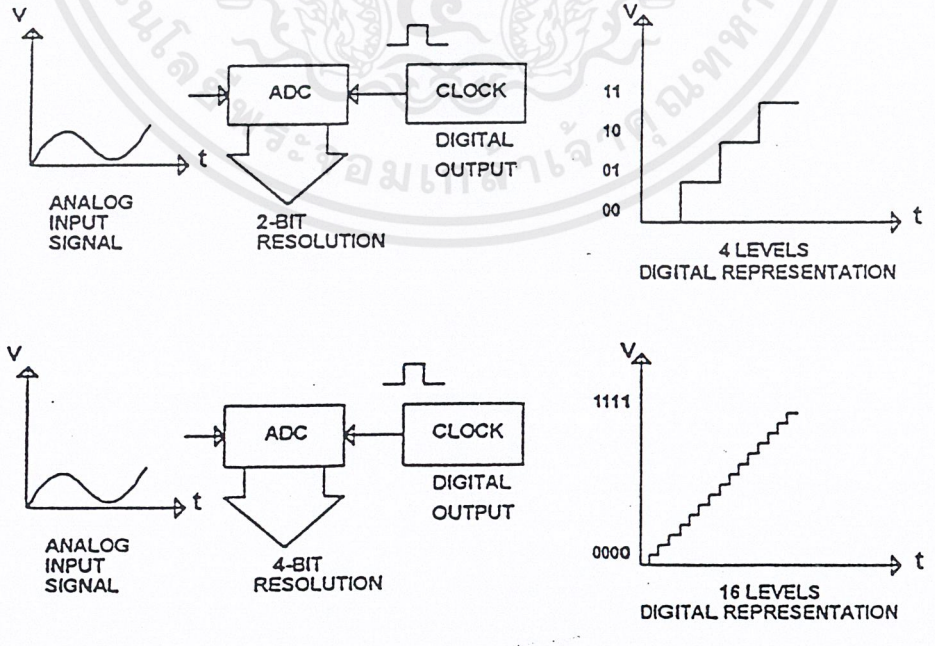
2.1 คำนำ

สัญญาณที่ส่งผ่านในระบบนี้ ถ้าเป็นสัญญาณประเภทอนาลอก (Analog) เช่น สัญญาณเสียงจะต้องถูกเปลี่ยนเป็นสัญญาณดิจิตอล (Digital) โดย อนาลอกทูดิจิตอลคอนเวิร์ทเตอร์ หรือ เอทูดี (Analog to Digital Converter or A/D) ถ้าเป็นสัญญาณประเภทดิจิตอลอยู่แล้วจะนำเข้าเครื่องส่ง ทำการส่งสัญญาณนี้ไปยังเครื่องรับปลายทาง กรณีถ้าปลายทางต้องการสัญญาณแบบดิจิตอล ก็นำสัญญาณจากจุดนี้ไปใช้งานได้เลย แต่ถ้าปลายทางต้องการสัญญาณแบบอนาลอก ให้นำสัญญาณจากจุดนี้ส่งผ่าน ดิจิตอลทูอนาลอกคอนเวิร์ทเตอร์ หรือ ดีทูเอ (Digital to Analog Converter or D/A) เพื่อแปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาลอก

2.2 หลักการของอนาลอกทูดิจิตอลคอนเวิร์ทเตอร์

2.2.1 อนาลอกทูดิจิตอลคอนเวิร์ทเตอร์

อนาลอกทูดิจิตอลคอนเวิร์ทเตอร์ ใช้สำหรับการแปลงสัญญาณอินพุทที่เป็นอนาลอกให้เป็นจำนวนจำกัดของดิจิตอลบิท ผลลัพธ์ที่ได้จะอยู่ในรูปของ เวิร์ด (Word) ทางดิจิตอล ซึ่งจะกลายเป็นรหัสเลขฐานสองที่แทนระดับแต่ละระดับของสัญญาณอนาลอก ในขณะที่ A/D กำลังทำการแปลงสัญญาณอยู่ความละเอียดของ A/D อย่างมาก ๆ กล่าวคือ จำนวนบิททางเอาท์พุทมีหลาย ๆ บิท ความละเอียดของ A/D ตัวนั้นก็จะมีมากขึ้น เช่น A/D ขนาด 12 บิท ก็จะมีความละเอียดเท่ากับ 12 เป็นต้น ดังแสดงอยู่ในรูปที่ 2.1



รูปที่ 2.1 ความละเอียดของ A/D จะแปรผันตรงกับจำนวนบิททางเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

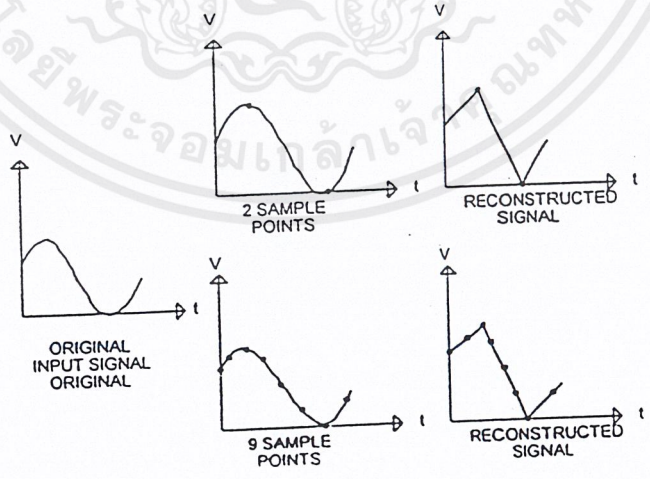
ค่าเวลาการแปลงผัน คอนเวิร์สชั่นไทม์ (Conversion Time) เป็นเกณฑ์ที่สำคัญอีกตัวหนึ่งของ A/D ซึ่งจะเห็นได้ว่าการแปลงสัญญาณอนาลอกให้กลายเป็นสัญญาณทางดิจิตอล ไม่ได้เกิดขึ้นโดยทันทีทันใด แต่ต้องมีการผ่านกระบวนการต่าง ๆ ด้วยเหตุที่ผลลัพธ์ ต้องเป็นเวลาค่าเวลาขณะหนึ่งที่จะทำการสุ่ม (Sample) สัญญาณอินพุท และให้สัญญาณดิจิตอลที่เป็นรหัสไบนารี ออกมาที่เอาท์พุท ดังนั้นค่าเวลาการแปลงผัน คือ ช่วงเวลาที่ต้องการกระทำกระบวนการให้เสร็จสิ้นซึ่งมีค่าอยู่ประมาณเป็น ไมโครวินาที สำหรับ D/A ความเร็วสูง และเป็น มิลลิวินาที สำหรับ D/A แบบธรรมดา เนื่องจากการเปลี่ยน A/D นั้นต้องการกระบวนการซิงโครไนซ์ที่แน่นอนและแม่นยำ แหล่งกำเนิดสัญญาณนาฬิกาจึงมีความสำคัญมากต่อวงจร

2.2.2 ทฤษฎีการสุ่มตัวอย่าง (Sampling Theory)

เนื่องจาก A/D ต้องการค่าเวลาขณะหนึ่ง ที่นำไปใช้ในกระบวนการแปลงสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอล ช่วงเวลาช่วงหนึ่งจะใช้สำหรับการสุ่มตัวอย่าง (Sampling) ของสัญญาณตัวอย่าง เช่น A/D สามารถเปลี่ยนสัญญาณเสร็จสมบูรณ์ได้ภายใน 1 มิลลิวินาที ดังนั้นมันจึงสามารถเปลี่ยนสัญญาณได้ 1,000 ครั้งใน 1 วินาที (ในทางทฤษฎี) อัตราการเปลี่ยนสัญญาณสูงสุดมีค่าเท่ากับส่วนกลับของค่าเวลาการเปลี่ยน

(Conversion Rate = 1 / Conversion Time)

ตัวคอนเวิร์ทเตอร์ จะสุ่มตัวอย่างของสัญญาณด้วยอัตราต่ำสุดเป็น 2 เท่าของความถี่สูงสุดของสัญญาณอินพุทที่เข้ามา อัตราการสุ่มนี้เรียกว่า “Nyquist rate” พิจารณาสัญญาณอนาลอกที่เป็นคลื่นรูป sine 10 Hz จ่ายให้กับตัว A/D ตามรูปที่ 2.2



รูปที่ 2.2 การสุ่มหลาย ๆ ช่วงจะมีลักษณะใกล้เคียงกับสัญญาณเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราต่ำสุดของการสุ่มตัวอย่างเป็น 2f หรือ 20 Hz ซึ่งจะให้ข้อมูลดิจิตอลขนาด 2 บิทออกมาในแต่ละไซเคิล เมื่อข้อมูลดิจิตอลถูกนำมาสร้างเป็นสัญญาณอนาลอกขึ้นมาใหม่โดย D/A สัญญาณอนาลอกตัวใหม่จะมีลักษณะคล้ายคลึงกับสัญญาณดังเดิม (ตัวฟิลเตอร์บนตัว A/D จะทำให้รูปร่างของสัญญาณเอาท์พุทเรียบขึ้น) ถ้าความถี่ 10 Hz เป็นความถี่สูงสุดที่เข้ามายังตัว A/D ค่าเวลาที่ใช้ในการเปลี่ยนสัญญาณสูงสุดเป็น 1/20 Hz หรือ 50 มิลลิวินาที เป็นต้น

การที่เราจะปรับปรุงประสิทธิภาพของ A/D ในแง่ความเหมือนจริงของสัญญาณการแปลงให้อยู่ในรูปดิจิตอล เราจะต้องเพิ่มอัตราการสุ่มขึ้นในขณะที่คาบเวลาเท่าเดิมอัตราการสุ่ม 8 จุดต่อไซเคิลต้องการอัตราการสุ่มของส่วนประกอบความถี่สูงสุดอินพุท 8 ครั้ง เช่น ความถี่อินพุท 10 Hz จะต้องสุ่มตัวอย่างที่ 80 Hz ดังนั้นตัวคอนเวิร์ทเตอร์ควรจะมีค่าเวลาการเปลี่ยนเป็น 1/80 Hz หรือ 12.5 มิลลิวินาที ถ้าตัว A/D ไม่สามารถสุ่มตัวอย่างได้เร็วพอต่อสัญญาณอินพุทที่เปลี่ยนแปลงไป ข่าวสารข้อมูลที่บรรจุในสัญญาณอนาลอกทางอินพุทจะสูญหายไป

ความสัมพันธ์ระหว่างความถี่ทางอินพุท ค่าเวลาในการเปลี่ยนสัญญาณและอัตราการสุ่ม เป็นพารามิเตอร์ของ A/D ที่สำคัญตัวหนึ่ง วิธีการหลาย ๆ วิธี ได้ถูกพัฒนาในช่วงหลายปีที่ผ่านมา เพื่อที่จะทำการแปลงสัญญาณอนาลอก ให้อยู่ในรูปของสัญญาณดิจิตอล หลายวิธีที่ยังใช้อยู่ทุกวันนี้มี 6 วิธีด้วยกัน คือ

1) เทคนิคแบบแฟลช (Flash Techniques)
2) เทคนิคแบบสโลปเดี่ยว (Single Slope Techniques)
3) เทคนิคแบบสโลปคู่ (Double Slope Techniques)
4) เทคนิคแบบเคาท์เตอร์เดียว (Single Counter Techniques)
5) เทคนิคแบบแทร็คกิ้งเคาท์เตอร์ (Tracking Counter Techniques)
6) เทคนิคแบบการประมาณค่าหลายครั้ง (Secessive Approximation Techniques)

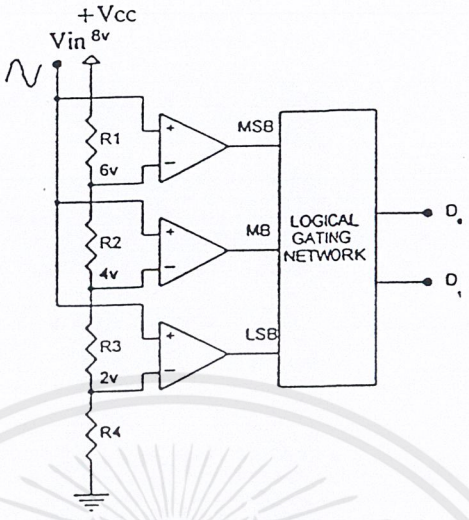
2.2.3 แฟลชคอนเวิร์ทเตอร์

แฟลชคอนเวิร์ทเตอร์ เป็น A/D ที่เร็วที่สุดในบรรดา A/D ที่ใช้เทคนิคแบบอื่น ลักษณะวงจรของแฟลชคอนเวิร์ทเตอร์ จะใช้ชุดของตัวเปรียบเทียบ (Comparator) ที่ต่อในลักษณะขนานกัน เพื่อจะทำการแปลงสัญญาณอนาลอกทางอินพุทให้เป็นรหัสดิจิตอล ดังนั้นแฟลชคอนเวิร์ทเตอร์ จึงเป็นคอนเวิร์ทเตอร์แบบขนาน

พิจารณาวงจรในรูปที่ 2.3 ตัวต้านทานที่ต่ออนุกรมกัน จะอยู่ในรูปวงจรแบ่งแรงดันที่ตกคร่อมตัวเปรียบเทียบแต่ละตัว แรงดันอินพุทสูงสุดจะขึ้นอยู่กับค่าของ V_{CC} สัญญาณเอาท์พุทจากตัวเปรียบเทียบแต่ละตัวจะเป็น “1” หรือ “0” ซึ่งเป็นระดับสัญญาณโลจิกของวงจรดิจิตอล

เมื่อไม่มีแรงดันอินพุทเข้ามา เอาท์พุทของตัวเปรียบเทียบแต่ละตัวจะเป็นโลจิก “0” ต่อมาแรงดันอินพุทเพิ่มขึ้น เอาท์พุทของตัวเปรียบเทียบแต่ละตัวจะเป็นโลจิก “1” ไล่ตามลำดับขึ้นไป เมื่อแรงดันอินพุทมีมากกว่าแรงด้นอ้างอิงแต่ละค่าที่ถูกเช็คโดยวงจรแบ่งแรงดัน เน็ทเวิร์ค (Network) ของดิจิตอลเกท (Digital Gate) ใช้ในการเรียงลำดับของสัญญาณจากตัวเปรียบเทียบให้อยู่ในรูปรหัสเลขฐานสองซึ่งเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Vin	BINARY OUTPUT		COMPARATOR OUTPUT		
	D_1	D_0	MSB	MB	LSB
0 - 2v	0	0	0	0	0
2 - 4v	0	1	0	0	1
4 - 6v	1	0	0	1	1
6 - 8v	1	1	1	1	1

รูปที่ 2.3 แฟลช A/D มีความเร็วในการเปลี่ยนแปลงสัญญาณสูง

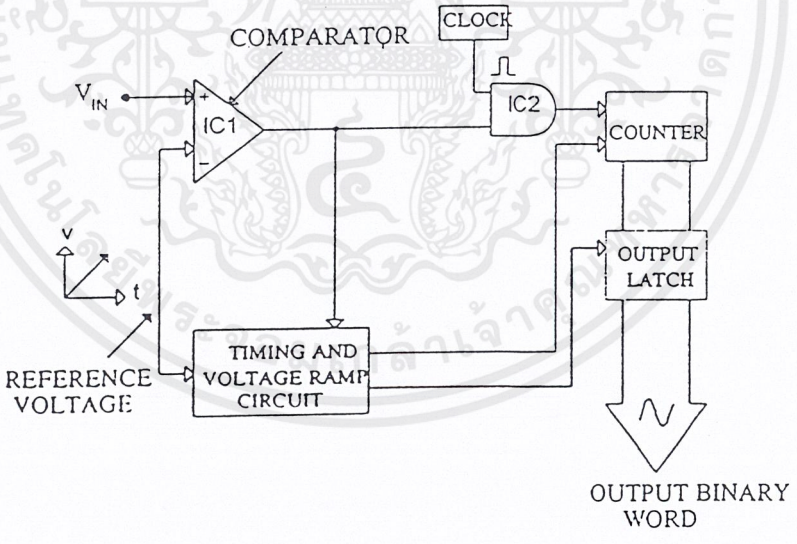
การสร้างรหัสที่เอาท์พุทของคอนเวิร์ทเตอร์ ตัวอย่างที่ยกมาให้ดูในรูปที่ 2.3 นั้นเป็น A/D ขนาด 2 บิท ซึ่งไม่สามารถนำไปใช้งานจริง ๆ ได้ เนื่องจากความละเอียดต่ำเกินไป แต่มันก็แสดงแนวความคิดที่สำคัญ ๆ ในการสร้าง A/D แบบแฟลชคอนเวิร์ทเตอร์ได้เป็นอย่างดี ถ้าเราสังเกตวงจรในรูปที่ 2.3 ให้ดีจะพบว่าวงจรจะใช้ตัวเปรียบเทียบ 2^n-1 ตัว เป็นการแสดงถึงความละเอียดของคอนเวิร์ทเตอร์ จากตัวอย่าง คอนเวิร์ทเตอร์ขนาด 2 บิทจะต้องการตัวเปรียบเทียบ 2^2-1 = 3 ตัว , คอนเวิร์ทเตอร์ขนาด 4 บิท จะต้องการตัวเปรียบเทียบ 2^4-1 = 15 ตัว และคอนเวิร์ทเตอร์ขนาด 8 บิท จะต้องการตัวเปรียบเทียบ 2^8-1 = 255 ตัว จึงจะเห็นได้ว่าขนาดของคอนเวิร์ทเตอร์ยิ่งมากขึ้นเท่าไร ตัวเปรียบเทียบที่ใช้ก็ยิ่งมากขึ้นเป็นทวีคูณ จึงทำให้เกิดความซับซ้อนยุ่งยากในการสร้างวงจรแฟลชคอนเวิร์ทเตอร์ขึ้นมาใช้ ข้อนี้เองจึงเป็นข้อเสียของแฟลชคอนเวิร์ทเตอร์ และข้อเสียอีกข้อหนึ่ง ก็คือ เมื่อใช้ตัวเปรียบเทียบมากขึ้น วงจรก็จะมีขนาดใหญ่เทอะทะเกินกว่าจะนำไปใช้งานจริง ๆ ได้

แฟลชคอนเวิร์ทเตอร์ ไม่ได้มีแต่ข้อเสียของมันเพียงอย่างเดียว แต่มันยังมีข้อดีที่ A/D แบบอื่นไม่มีทางสู้ได้ คือ ความเร็ว เพราะว่าสัญญาณอนาลอกทางอินพุทถูกจ่ายให้ตัวเปรียบเทียบแต่ละตัวพร้อม ๆ กัน ช่วงเวลาในการเปลี่ยนคอนเวิร์สชั่นไทม์นั้น จึงมีค่าเท่ากับเวลาหน่วงในตัวเปรียบเทียบแต่ละตัว และวงจรเกทในวงจรเท่านั้น ซึ่งในเวลาเพียงไม่กี่ไมโครวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.4 A/D แบบสโลปเดี่ยว

วิธีการแปลง สัญญาณอนาลอก ให้เป็น สัญญาณดิจิตอล ที่มีประสิทธิภาพสูงวิธีหนึ่ง คือ วิธีแบบ A/D แบบสโลปเดี่ยว หรือเรียกว่า A/D แบบแรมป์เดียว (Single – ramp A/D) ดังแสดงใน รูปที่ 2.4 จากวงจรวัฏจักรการทำงานของวงจร A/D แบบสโลปเดี่ยว เริ่มต้นที่การรีเซ็ต วงจรนับ (Counter) และแรงดันแรมป์อยู่ที่ศูนย์ เอาท์พุทของตัวเปรียบเทียบที่จุดเริ่มต้นเป็นศูนย์ ดังนั้นจึงไม่มีสัญญาณนาฬิกาจ่ายให้กับวงจรนับเมื่อแรงดันอินพุทถูกจ่ายให้กับตัวคอนเวิร์ทเตอร์ ขาอินพุทนอนอินเวิร์ทติ้ง (non inverting +) จะมีค่าของแรงดันเกินกว่าแรงดันที่ ขาอินพุทอินเวิร์ทติ้ง (inverting -) ดังนั้นเอาท์พุทของตัวเปรียบเทียบจึงเป็นโลจิก “High” สัญญาณโลจิก “High” นี้จะไป enable ให้แอนด์เกท (AND Gate) ทำงานยอมให้พัลส์ของสัญญาณนาฬิกาผ่านตัวมันเข้าไปยังวงจรนับเลขฐานสองให้ทำงาน ในขณะเดียวกันวงจรไทม์มิ่ง (Timing) จะขับให้แรงดันแรมป์เพิ่มขึ้น ซึ่งทำให้แรงดันอ้างอิงที่ขาอินเวิร์ทติ้งของตัวเปรียบเทียบเพิ่มขึ้นอย่างรวดเร็วเมื่อแรงดันแรมป์เริ่มมากกว่าแรงดันอินพุท เอาท์พุทของตัวเปรียบเทียบจะตกลงเป็นโลจิก “Low” อีกครั้งหนึ่ง พัลส์ของสัญญาณนาฬิกาจึงหยุดลง เนื่องจากไม่สามารถผ่านตัวแอนด์เกทได้ และวงจรไทม์มิ่งส่งสัญญาณไปยังวงจรนับเลขฐานสองเกิดการช้า แลทช์ (Latch) ค่าที่นับไว้ขณะหนึ่ง ต่อมาจึงทำการรีเซ็ทตัวนับสำหรับวัฏจักรการแปลงสัญญาณช่วงต่อไป



รูปที่ 2.4 ส่วนประกอบที่สำคัญของ A/D แบบสโลปเดี่ยว

เมื่อแรงดันแรมป์อ้างอิงมีค่าเท่ากับแรงดันอินพุทที่จ่ายเข้ามา วงจรนับจะถูกกระตุ้นให้นับเลขฐานสอง ในขณะเดียวกันค่าที่นับได้จึงเป็นสัญญาณดิจิตอลของสัญญาณอนาลอกทางด้านอินพุทที่เข้ามาขณะนั้น จะสังเกตได้ว่าความเร็วของสัญญาณนาฬิกา และอัตราการเพิ่มขึ้นในลักษณะเป็นแรงดันแรมป์ต้องมีความสัมพันธ์กันอย่างถูกต้อง เพื่อให้วงจรนับทำงานตามหน้าที่ได้อย่างถูกต้องนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าเวลาที่ต้องการทำการเปลี่ยนขึ้นอยู่กับระดับสัญญาณอนาลอกทางอินพุท เพราะว่าวงจรนับและแรงดันแรมป์อ้างอิงทั้งคู่เริ่มต้นจากศูนย์ที่ทุก ๆ วัฏจักรการแปลงผัน มันจึงใช้เวลาค่อนข้างนานที่จะทำให้แรงดันอ้างอิงเท่ากับแรงดันอินพุท ในทางตรงกันข้าม ถ้าแรงดันอินพุทมีค่าน้อย ช่วงเวลาที่แรงดันแรมป์อ้างอิงเพิ่มขึ้นจนเท่ากับแรงดันอินพุท จึงใช้เวลาน้อยกว่า กรณีแรงดันอินพุทมีค่ามาก ๆ

แรงดันแรมป์อ้างอิงสามารถเปลี่ยนแปลงเพิ่มขึ้นจนเท่ากับแรงดันอินพุทได้เร็วกว่า 1 โวลท์ ต่อ 1/100 วินาที เช่น ถ้าแรงดันอินพุทเป็น 2 โวลท์ ถูกจ่ายให้กับวงจรในรูปที่ 2.4 วงจรจะใช้เวลา 2×1 โวลท์ ต่อ มิลลิวินาที ซึ่งเท่ากับ 2 มิลลิวินาที สำหรับแรงดันแรมป์ที่จะเพิ่มขึ้นจนมีระดับแรงดันเท่ากับแรงดันอินพุท การนับเลขฐานสองจะกระทำหลังจาก 2 มิลลิวินาทีไปแล้ว ความเร็วในช่วงนี้ขึ้นอยู่กับ ความเร็วของสัญญาณนาฬิกา ถ้าความเร็วของสัญญาณนาฬิกามีค่าสูง จะทำให้จังหวะในการนับเร็วขึ้นด้วย

เนื่องจากการทำงานของสัญญาณนาฬิกาขึ้นอยู่กับ แรงดันแรมป์ จึงเป็นลักษณะพิเศษของ A/D แบบสโลปเดี่ยว ที่มีสัญญาณเอาท์พุทออกมาเป็นเลขฐานสองโดยตรง ไอซีและเครื่องมือวัดบางตัวที่ใช้เทคนิคแบบสโลปเดี่ยวนี้จะแปลงรหัสบีซีดี (BCD) ไปขับภาคแสดงผล 7 เซ็คเมนท์ (7 - Segment) ได้โดยตรงซึ่งทำให้สะดวก และมีข้อได้เปรียบกว่าเทคนิค A/D แบบอื่นอย่างมาก

ข้อเสียของ A/D แบบสโลปเดี่ยว คือ การทำงานที่ไม่ค่อยมีเสถียรภาพ เมื่อใช้งาน A/D เป็นเวลานาน ๆ โดยปราศจากการประสานจังหวะ (Synchronization) ระหว่างวงจรผลิตสัญญาณนาฬิกา และวงจรสร้างสัญญาณแรมป์ทุก ๆ การเลื่อนของความเร็วสัญญาณนาฬิกา หรือแรงดันแรมป์ เป็นเหตุทำให้เกิดความผิดพลาดขึ้นที่รหัสทางเอาท์พุท จึงเป็นสาเหตุที่สำคัญที่ทำให้ A/D แบบสโลปเดี่ยว ไม่นำไปใช้ในงานที่ต้องการความถูกต้องสูง ๆ

2.2.5 A/D แบบสโลปคู่

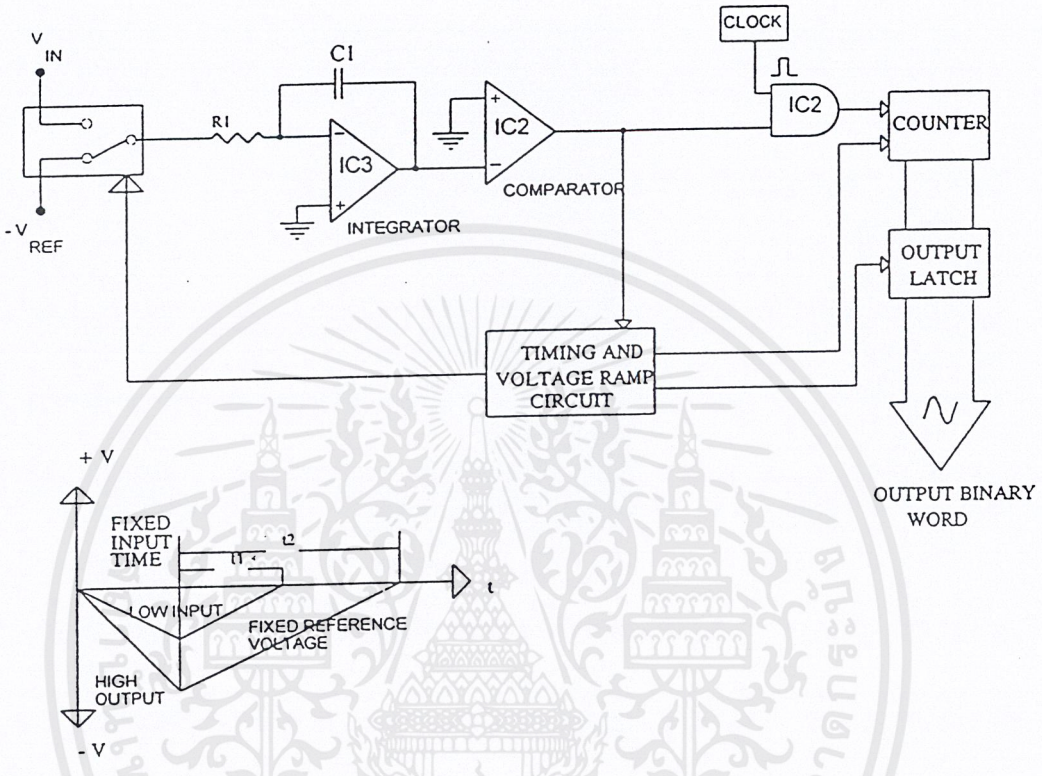
เทคนิคการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบสโลปคู่ เป็นเทคนิคที่ให้ข้อดีในด้านเสถียรภาพของการแปลงสัญญาณ เมื่อสัญญาณอินพุทมีการเปลี่ยนแปลงอย่างรวดเร็ว วงจรผลิตสัญญาณแรมป์อ้างอิงได้ปรับปรุงขึ้นโดยตัดเอาผลกระทบของการเลื่อนไหลเมื่อใช้วงจรไปนาน ๆ

สัญญาณอินพุทของตัวคอนเวิร์ทเตอร์แบบสโลปคู่จะป้อนให้วงจรอินทิเกรตเตอร์ เมื่อสัญญาณอินพุทที่เป็นบวกถูกป้อนเข้ามายังตัว A/D ความชันของแรงดันแรมป์ทางด้านเอาท์พุทของวงจรอินทิเกรต-เตอร์ (Integrater) จะมีทิศทางเป็นลบ และจะมีค่าเป็นลบ (เพราะป้อนอินพุทเข้าขาอินเวิร์ทติ้งของออปแอมป์) ด้วยแรงดันลบที่ได้นี้ ทำให้เอาท์พุทของวงจรเปรียบเทียบเป็น “High” ด้วยเหตุนี้ จึงเป็นการกระตุ้นให้เกิดสัญญาณนาฬิกาป้อนเข้าไปยังขาอินพุทของวงจรนับ ซึ่งจะเป็นการเริ่มต้นนับขึ้นไปเรื่อย ๆ วงจรอินทิเกรตเตอร์จะให้สัญญาณแรมป์เพียงคาบเวลาที่คงที่ขณะหนึ่งเท่านั้น หลังจากช่วงเวลานี้แล้ว วงจรควบคุมจะทำการเคลียร์วงจรนับ และทำการเปลี่ยนอินพุทของวงจรอินทิเกรตเตอร์ไปต่อกับแรงดันอ้างอิงที่มีค่าเป็นลบ ($-V_{Ref}$)

ดังนั้นในขณะที่แรงดันลบถูกป้อนให้กับวงจรอินทิเกรตเตอร์ ความชันของสัญญาณแรมป์ทางเอาท์พุทกลับมามีทิศทางเป็นบวก วงจรนับจะเริ่มต้นนับใหม่จนกระทั่งเอาท์พุทของวงจรอินทิเกรตเตอร์ตกลงเป็นศูนย์ ที่จุดนี้เอาท์พุทของวงจรเปรียบเทียบกลายเป็น “Low” ซึ่งทำให้สัญญาณนาฬิกาที่ป้อนให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ทำซ้ำ ดัดแปลง เผยแพร่ หรือกระทำการใดๆ ในลักษณะเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนับหยุดลง วงจรควบคุมจะทำการตรวจสอบ ซึ่งเปลี่ยนและแลทช์การนับที่เอาท์พุทไว้ แล้วทำการเคลียร์วงจรนับอีกครั้ง คอนเวิร์ทเตอร์แบบสโลปคู่นี้ สัญญาณดิจิตอลที่นับได้ครั้งสุดท้ายนี้จะทนแรงดันอินพุทอนาลอกที่เข้ามา



รูปที่ 2.5 A/D แบบสโลปคู่ให้เสถียรภาพในการทำงานสูงกว่า A/D แบบสโลปเดี่ยว

อัตราของการอินทิเกรตขึ้นอยู่กับขนาดของแรงดันอินพุท เช่นเดียวกับค่าของ R1 และ C1 ดังนั้น แรงดันอินพุทที่ต่ำ ๆ จะลดเอาท์พุทของวงจรอินทิเกรตเตอร์ให้น้อยกว่าแรงดันอินพุทที่มีค่าสูง ๆ ในช่วงคาบเวลาอินพุทที่แน่นอนของวัฏจักรการแปลงผัน (Conversion Cycle)

เมื่อแรงดันลบอ้างอิงที่มีค่าคงที่ถูกป้อนเข้ามา (ค่าของ R1 และ C1 ยังคงเหมือนเดิม) เวลาที่ต้องการสำหรับเอาท์พุทของวงจรอินทิเกรตเตอร์ย่างเข้าสู่ศูนย์ เป็นอัตราแปรผันโดยตรงต่อขนาดดั้งเดิมของแรงดันอินพุททุก ๆ การเปลี่ยนแปลง เพราะฉะนั้นในวงจรอินทิเกรตเตอร์ เวลาหรืออุณหภูมิที่มีผลต่อการทำงานของวงจรจะถูกตัดออกโดยอัตโนมัติ ดังนั้นคอนเวิร์ทเตอร์แบบสโลปคู่จึงมีเสถียรภาพ เหมาะสำหรับการประยุกต์ใช้งานที่มีความแม่นยำสูง

คอนเวิร์ทเตอร์แบบสโลปคู่มีสิ่งที่คล้ายคลึงกับคอนเวิร์ทเตอร์แบบสโลปเดี่ยวคือ สัญญาณอินพุทสามารถถูกเปลี่ยนให้อยู่ในรูปบีซีดีโค๊ด หรืออยู่ในรูปอื่น ๆ ได้โดยตรง เช่น รหัสไบนารีในดิจิตอลโวลท์-มิเตอร์ โดยมากแล้วจะใช้เทคนิคแบบสโลปคู่ในการแปลงสัญญาณอินพุทให้อยู่ในรูปบีซีดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

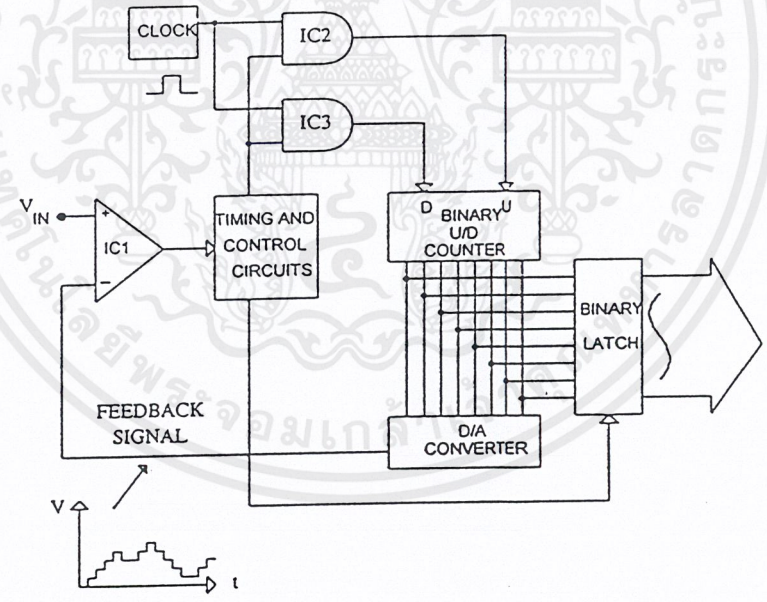
ข้อเสียของการแปลงผันแบบสโลปคู่ คือ คาบเวลาที่ขยายออกไปที่ต้องการใช้ในการแปลงผันคอนเวิร์ทเตอร์แบบสโลปคู่ ต้องการคาบเวลาที่มากกว่า 100 มิลลิวินาที ต่อการเปลี่ยนสัญญาณอินพุทที่มีแรงดันสูง ๆ ให้อยู่ในรูปสัญญาณดิจิตอล

2.2.6 A/D แบบมีการป้อนกลับ

D/A คอนเวิร์ทเตอร์ที่ใช้สัญญาณป้อนกลับมาเป็นสัญญาณอ้างอิงที่วงจรเปรียบเทียบมี 2 ชนิด คือ

1) วงจรนับแบบเดี่ยว (Single Counter)
2) วงจรนับแบบแทร็คกิ้ง (Tracking Counter)

วงจรของ A/D แบบวงจรนับเดี่ยว ได้มีการพัฒนาจนมีลักษณะคล้ายคลึงกับ A/D แบบสโลปเดี่ยว ตลอดจนการทำงานของวงจรทั้งสองยังคล้ายกันอีกด้วย แต่ A/D แบบวงจรนับเดี่ยวอ่านการนับสัญญาณนาฬิกาที่ได้จากวงจรนับเลขฐานสอง แล้วทำให้เป็นแรงดันป้อนกลับไปยังวงจรเปรียบเทียบแทนวงจรอินทิเกรตเตอร์ หรือแหล่งจ่ายแรงดันแรมป์อื่น ๆ



รูปที่ 2.6 D/A ถูกใช้ในวงจร A/D เพื่อสร้างแรงดันแรมป์ไปควบคุม A/D แบบวงจรนับเดี่ยวได้

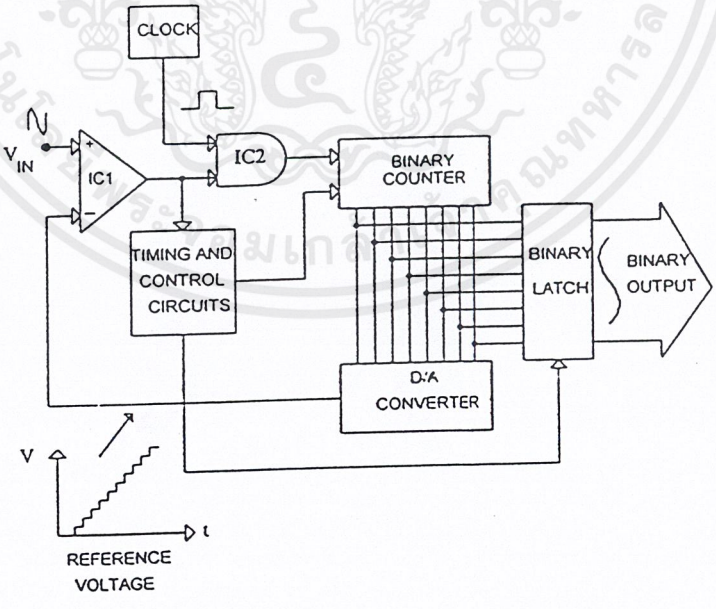
เมื่อสัญญาณอนาลอกทางอินพุทถูกจ่ายให้วงจรเปรียบเทียบเอาท์พุทของมันจะมีสถานะเป็น "High" ดังนั้นวงจรควบคุมจึงยอมให้สัญญาณนาฬิกาผ่านเข้าไปยังวงจรนั้น ๆ ก็จะนับเลขฐานสองขึ้นไปเรื่อย ๆ เมื่อวงจรนับนับค่าเพิ่มขึ้นไป แรงดันเอาท์พุทของตัว D/A ก็จะเพิ่มขึ้นตามด้วยเอาท์พุทของ D/A ที่ได้นี้จะถูกป้อนกลับไปยังอินพุทขาลงของวงจรเปรียบเทียบ เมื่อระดับแรงดันเอาท์พุทของ D/A เริ่มมีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มากกว่า ระดับแรงดันอินพุทที่เข้ามา เอาท์พุทของวงจรเปรียบเทียบจะมีสถานะเป็น “Low” (วงจรเปรียบเทียบหยุดทำงาน) วงจรควบคุมก็จะส่งสัญญาณไปยังวงจรแลทช์เลขฐานสอง (Binary Latch) ให้ค้างค่าที่ได้จากการนับที่เอาท์พุทไว้ หลังจากนั้นวงจรควบคุมจะทำการรีเซ็ทวงจรนับสำหรับวัฏจักรการแปลงผันต่อไป

ถึงแม้ว่าการแปลงผันแบบวงจรนับเดี่ยวเป็นวิธีที่รวดเร็วกว่าวิธีสโลปคู่ แต่ความแม่นยำของวงจรก็ขึ้นอยู่กับ D/A ที่ใช้ในวงจร ถ้าต้องการให้ A/D แบบวงจรนับเดี่ยว มีความแม่นยำสูง D/A ที่ต้องการใช้ในวงจรต้องมีความแม่นยำสูงด้วย เพื่อให้ได้สัญญาณป้อนกลับที่เป็นเอาท์พุทของ D/A มีความแม่นยำป้อนกลับไปยังวงจรเปรียบเทียบ วงจร A/D แบบวงจรนับเดี่ยว ยังต้องใช้วงจรนับที่เริ่มต้นจากศูนย์ทุก ๆ การแปลงผัน ดังนั้น จึงมีความเป็นไปได้ที่จะมีการสูญหายของข้อมูล เป็นบิทของเวลาไปทุก ๆ วัฏจักร โดยเฉพาะอย่างยิ่งถ้าแรงดันที่ถูกแปลงนั้นมีค่าใกล้เคียงกับระดับแรงดันสูงสุดของ A/D

เทคนิคแบบวงจรนับแทร็คกิ้ง สามารถทำการแปลงผันได้รวดเร็วกว่า เทคนิคแบบวงจรนับเดี่ยว ซึ่งการแปลงผันที่รวดเร็วกว่านี้ เป็นเพราะวงจรนับแทร็คกิ้ง ใช้วงจรนับเลขฐานสองแบบ ขึ้น / ลง ได้ (Binary Up / Down (U/D) Counter) แทนวงจรนับขึ้นอย่างเดียวเหมือนกับตัวอย่างที่ผ่านมา วงจรนับสามารถเพิ่มค่าขึ้น หรือลดลงได้ขึ้นอยู่กับสถานะทางเอาท์พุทของวงจรเปรียบเทียบ ซึ่งจะทำให้รหัสไบนารีที่ได้มีความเป็นจริงต่อสัญญาณอนาลอกมากขึ้น



รูปที่ 2.7 วงจรนับเลขฐานสองแบบขึ้น – ลง ทำให้ A/D เปลี่ยนแปลงสัญญาณป้อนกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัฏจักรการทำงานของ A/D แบบวงจรนับแทร็คกิ้ง เริ่มต้นที่สัญญาณอนาลอกถูกป้อนมายังอินพุทของวงจรเปรียบเทียบ การนับบนวงจรเลขฐานสอง ขึ้น / ลง อาจจะเริ่มที่ค่าใด ๆ ก็ได้นั้น หมายถึงแรงดันป้อนกลับที่มาจากตัว D/A อาจจะมากกว่าหรือน้อยกว่าสัญญาณอนาลอกทางอินพุทก็ได้ ถ้าแรงดันป้อนกลับมีค่ามากกว่าสัญญาณอนาลอกทางอินพุท เอาท์พุทของวงจรเปรียบเทียบจะมีสถานะเป็น "Low" และวงจรควบคุมจะส่งสัญญาณไปเปิดเกทให้พัลส์ของสัญญาณนาฬิกาผ่านไปยังวงจรนับ แต่การนับครั้งนี้จะเป็นการนับลง ดังนั้นจึงเป็นการลดค่าเลขฐานสอง ซึ่งเป็นเอาท์พุทของวงจรนับ และเป็นการลดรงดันป้อนกลับที่วงจรเปรียบเทียบลง เมื่อแรงดันป้อนกลับตกลงต่ำกว่าแรงดันทางอินพุท เอาท์พุทของวงจรเปรียบเทียบจะเป็น "High" ทันที และวงจรควบคุมส่งสัญญาณไปยังวงจรแลทช์ทางเอาท์พุทให้ค้างข้อมูลเอาท์พุทไว้ วงจรเกทจะส่งสัญญาณนาฬิกาไปเพิ่มอินพุทของวงจรนับขึ้น (วงจรนับจะไม่ถูกรีเซ็ต) และเป็นเหตุให้วงจรนับทำการนับค่าขึ้นอีกครั้ง สำหรับการเปลี่ยนแปลงของสถานะช่วงต่อไป ถ้าสัญญาณอินพุทยังคงมีค่าคงที่อยู่ เอาท์พุทไบนารีที่ได้มักจะเกิดการออสซิลเลตขึ้น 1×LSB คล้ายกับตัวคอนเวิร์ทเตอร์พยายามปรับค่าให้เข้าสู่กลางของมัน ปัญหาระดับของการออสซิลเลตจึงเป็นปัญหาสำคัญของ A/D คอนเวิร์ทเตอร์แบบวงจรนับแทร็คกิ้ง และกลายมาเป็นข้อเสียของ A/D แบบนี้ตามที่เราคาดไว้ว่า เทคนิคแบบวงจรนับแทร็คกิ้งนั้นมีความเร็วสูงกว่าเทคนิคแบบวงจรนับเดี่ยว แต่มันยังมีข้อดีกว่าอีก คือ เทคนิคแบบวงจรนับแทร็คกิ้งนั้นเหมาะสำหรับการแปลงสัญญาณอินพุทที่มีการเปลี่ยนแปลงอย่างรวดเร็วให้อยู่ในรูปสัญญาณดิจิตอลได้ดี

2.2.7 A/D แบบประมาณค่าหลาย ๆ ครั้ง

เทคนิคแบบการประมาณค่าหลาย ๆ ครั้ง มีชื่อว่า "Successive Approximation" ซึ่งย่อว่า SA เป็นเทคนิคเทคนิคที่น่าเลือกใช้ เพราะมีราคาถูกมีความละเอียดพอสมควร และเป็น A/D คอนเวิร์ทเตอร์ที่มีความเร็วสูง เทคนิคการประมาณค่าหลาย ๆ ครั้ง เป็นเทคนิคที่มีความสามารถสูง และใช้งานได้ดี ซึ่งสามารถใช้แปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลได้รวดเร็ว และมีประสิทธิภาพ เพราะไม่เกิดการออสซิลเลต แต่กระบวนการทางเทคนิคแบบนี้จะเข้าใจได้ยากกว่าเทคนิคแบบวงจรนับที่ได้กล่าวมาแล้ว

หัวใจของ SA คอนเวิร์ทเตอร์ คือ อุปกรณ์ที่เรียกว่า "Successive Approximation Register" (SAR) ซึ่งเป็นอุปกรณ์ที่มีจุดประสงค์แตกต่างวงจรนับทั่ว ๆ ไปอย่างมาก ดังแสดงในรูปที่ 2.8

วัฏจักรการแปลงผัน เริ่มต้นเมื่อสัญญาณอนาลอกถูกป้อนให้คอนเวิร์ทเตอร์ และพัลส์การแปลงเริ่มต้น (Start conversion pulse : SOC) ถูกป้อนให้กับตัว SAR พัลส์สัญญาณนาฬิกาลูกแรกที่ป้อนให้กับตัว SAR จะ "ON" เอาท์พุทของบิทนับสูงสุด ดังนั้นจึงเป็นการปรับให้เอาท์พุทของ D/A เป็น 50% ของแรงดันเอาท์พุทของอินเวิร์ทเตอร์ ตัว SAR จะมองไปยังเอาท์พุทของวงจรเปรียบเทียบว่าเอาท์พุทของ D/A มีค่ามากกว่าหรือน้อยกว่าสัญญาณอนาลอกทางอินพุท ถ้าแรงดันของ D/A มีค่ามากกว่าวงจรเปรียบเทียบจะยังคงอยู่ในสภาวะ "OFF"

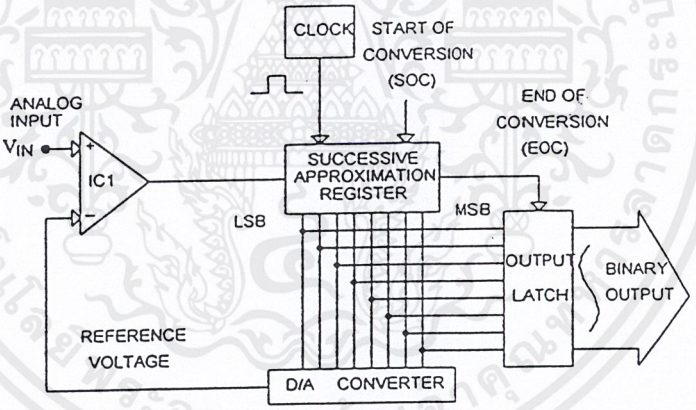
ดังนั้นตัว SAR จะ "OFF" บิทนัยสูงสุดลง และให้ชื่อว่าสภาวะ "0" ถ้าแรงดันของ D/A มีค่าน้อยกว่าสัญญาณอนาลอกทางอินพุทวงจรเปรียบเทียบจะยังคงทำงานอยู่ ดังนั้นตัว SAR จะยังคงปล่อยให้บิทนัยสูงสุด "ON" อยู่ และเราเรียกสภาวะนี้ว่า "1" ซึ่งสภาวะ "1" หรือ "0" นี้จะกระทำภายในพัลส์ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนาฬิกาเพียงพัลส์เดียวบนสัญญาณนาฬิกาถัดไปตัว SAR จะ "ON" บิทนัยสูงสุดอันดับ 2 และทำการตรวจสอบผลลัพธ์ที่ได้อีกครั้งหนึ่งจากวงจรเปรียบเทียบ ถ้าสัญญาณจาก D/A ครั้งใหม่นี้มีค่ามากกว่าแรงดันอินพุท เอาท์พุทของวงจรเปรียบเทียบยังจะไม่มี ดังนั้นตัว SAR จะ "OFF" บิทนัยสูงสุดอันดับ 2 ทิ้งและเรียกมันว่า "0" แต่ถ้าสัญญาณจาก D/A มีค่าน้อยกว่าวงจรเปรียบเทียบจะยังคงทำงาน และตัว SAR จะปล่อยให้บิทนัยสูงสุดอันดับ 2 นี้ "ON"

ตัว SAR จะพิจารณาแต่ละบิทด้วยวิธีเดียวกัน (บิทนัยสูงสุดถึงบิทนัยต่ำสุด) จนกระทั่งทุก ๆ บิทถูกพิจารณาหมด เนื่องจาก 1 บิท ถูกหาค่าภายใน 1 พัลส์ A/D ขนาด 8 บิท จึงใช้สัญญาณนาฬิกาเพียง 8 พัลส์ ก็สามารถทำการแปลงได้จนจบกระบวนการ เมื่อบิทนัยต่ำสุดถูกพิจารณาเสร็จสิ้นแล้ว ตัว SAR จะส่งสัญญาณสิ้นสุดการแปลงผัน (End of Conversion : EOC) ไปทำการค้างผลลัพธ์ที่ได้ ซึ่งเป็นเลขฐานสองทางเอาท์พุทไว้

SA Converter เป็นคอนเวิร์ทเตอร์ที่มีประสิทธิภาพสูงมาก และสามารถทำการแปลงสัญญาณได้อย่างรวดเร็วพร้อมทั้งมีความละเอียดสูงอีกด้วย คอนเวิร์ทเตอร์หลายตัวที่ใช้เทคนิคแบบนี้สามารถทำการแปลง A/D ขนาด 12 บิท ได้โดยใช้เวลาน้อยกว่า 10 ไมโครวินาที

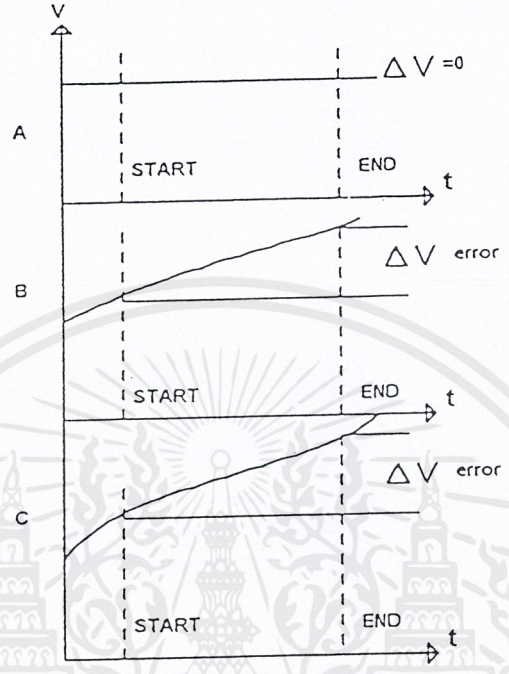


รูปที่ 2.8 Successive Approximation Register (SAR) เป็นตัวเร่งความเร็วของกระบวนการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล

2.2.8 ควอนไตซิ่งเออเร่อร์ (Quantizing Error)

หลังจากจบการอธิบายการทำงานของ A/D ทั้ง 6 แบบแล้ว ในตอนนี้ก็จะมีความเข้าใจเกี่ยวกับเรื่องการทำงานของ A/D ดีขึ้น ต่อมาเราจะพูดถึงคุณลักษณะเฉพาะตัวของ A/D อีกตัวหนึ่ง ซึ่งเราเรียกว่า Quantizing Error ซึ่งจะมีสาเหตุเนื่องมาจาก การเปลี่ยนแปลงระดับสัญญาณอนาลอกทางด้านอินพุทในระหว่างที่ทำการแปลงสัญญาณอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 Quantizing Error เมื่อ

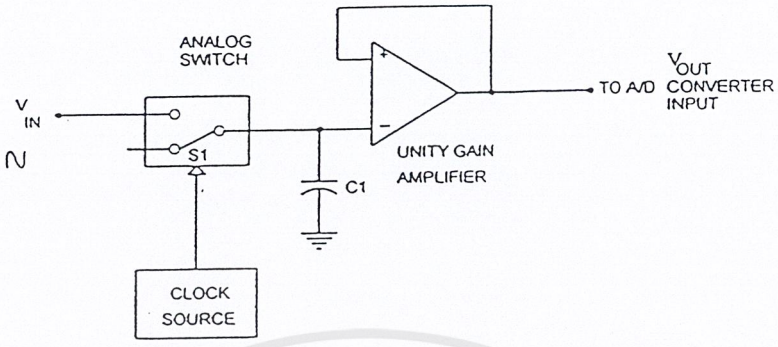
A. จะไม่เกิด Quantizing Error ขึ้น

B. เกิด Quantizing Error ขึ้นเล็กน้อย

C. สัญญาณ Input มีความถี่สูง Quantizing Error จะมาก

สัญญาณอนาลอกของ A/D ถูกจ่ายให้กับวงจรเปรียบเทียบเมื่อวัฏจักรเริ่มต้นขึ้น A/D ต้องการเวลาอยู่ช่วงหนึ่ง เพื่อที่จะสร้างสัญญาณดิจิตอลออกมาทางเอาท์พุท ถ้าแรงดันอินพุทเกิดการเปลี่ยนแปลงขึ้นในระหว่างการแปลงสัญญาณไบนารี เอาท์พุทสุดท้ายจะแทนระดับแรงดันที่ท้ายสุดของวัฏจักรแทนที่จะเป็นช่วงเริ่มต้น เมื่อไม่มีการเปลี่ยนแปลงแรงดันอินพุทขึ้น เช่น ในกรณีของแรงดันไฟตรง ในกรณีนี้จะไม่เกิด Quantizing Error ขึ้น สัญญาณที่มีการเปลี่ยนแปลงอย่างรวดเร็ว หรือที่เราเรียกว่า “Slew Rate” นั้นจะก่อให้เกิด Quantizing Error มากกว่ายิ่งขึ้น วิธีหนึ่งที่สามารถกำจัด Quantizing Error ได้คือ ใช้วงจร S/H (Sampling and Hold Circuit) ก่อนวงจรเปรียบเทียบ ซึ่งในรูปที่ 2.10 จะแสดงวงจรของ A/D ที่ใช้ S/H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 วงจร S/H แบบง่าย ๆ สามารถกำจัดผลกระทบที่เกิดจาก Quantizing Error ได้

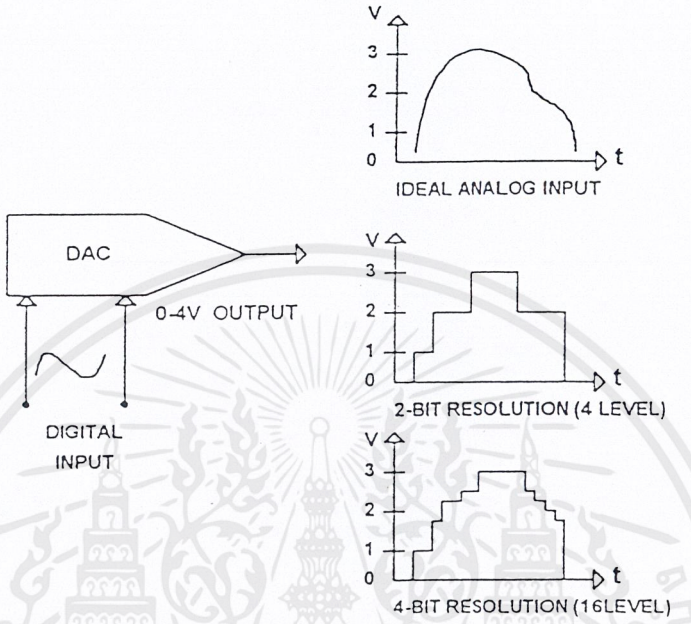
สวิตช์อิเล็กทรอนิกส์จะปิดวงจร เพื่อทำการสุ่มสัญญาณอนาลอกทางอินพุท ตัวเก็บประจุ C1 มีหน้าที่เก็บประจุค่าของสัญญาณอินพุทที่เข้ามา ต่อมาสวิตช์อิเล็กทรอนิกส์จะเปิดวงจรออก ดังนั้นจึงเป็นการกำจัดผลกระทบที่เกิดจาก Quantizing Error ทิ้งไป เพราะตัวเก็บประจุยังคงเก็บค่าของสัญญาณอนาลอกที่สุ่มไว้ โดยไม่คำนึงถึงสัญญาณอินพุทจะเปลี่ยนแปลงไปอย่างไรเมื่อต้องการแปลงสัญญาณช่วงเวลาถัดไป วงจรก็จะทำการสุ่มสัญญาณขึ้นใหม่อีกครั้ง

2.3 หลักการของดิจิตอลทูอนาลอกคอนเวิร์ทเตอร์

ดิจิตอลทูอนาลอกคอนเวิร์ทเตอร์ (Digital to Analog Converter or D/A) เป็นตัวแปลงรหัสเลขฐานสองจากคอมพิวเตอร์หรือจากวงจรดิจิตอลใด ๆ ให้กลายเป็นระดับแรงดันอนาลอกที่มีความสัมพันธ์กับระบบเลขฐานสอง ตัว DAC สามารถนำไปใช้กับอุปกรณ์ที่เป็นอนาลอกได้ เช่น มิเตอร์ มอเตอร์ อุปกรณ์ควบคุม หรือวงจรที่เกี่ยวกับสัญญาณเสียง เช่น เครื่องเล่น CD ตัว D/A ในเครื่องเล่น CD นั้น ถูกใช้สำหรับการเปลี่ยนข้อมูลที่บันทึกเป็นสัญญาณดิจิตอลบนแผ่น CD ให้กลายเป็นสัญญาณเสียงที่มีคุณภาพสูงออกมาให้เราได้ยิน

ต่อไปเราจะพิจารณาแนวความคิดที่สำคัญของ D/A เริ่มจากความละเอียดของ D/A เราจะนิยามไว้เป็นระดับแรงดันในแต่ละขั้นที่เอาท์พุทสามารถจะผลิตออกมาได้ ซึ่งมีความสัมพันธ์โดยตรงต่อจำนวนของบิททางด้านอินพุทที่อยู่ในรูปของรหัสไบนารี D/A ขนาด 4 บิทมีอินพุทบิทอยู่ 4 อินพุท ซึ่งจะมีความละเอียดเท่ากับ 4 จำนวนของระยะ และความแตกต่างของระดับสัญญาณอนาลอกทางด้านเอาท์พุทที่ D/A ขนาด 4 บิทสามารถผลิตได้จะมีค่าเท่ากับ (2^4) = 16 ระดับนั้น ย่อมหมายถึงสัญญาณอนาลอกทางเอาท์พุทสามารถถูกแทนได้ด้วยระดับแรงดัน 16 ขั้นด้วยกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 ความละเอียดของแรงดันเอาท์พุท

D/A ขนาด 8 บิท สามารถให้สัญญาณอนาลอกทางด้านเอาท์พุทที่เป็นระดับแรงดันได้ 2^8 หรือ 256 ระดับ D/A ขนาด 12 บิท สามารถให้ระดับแรงดันทางเอาท์พุทได้ 2^{12} หรือ 4096 ระดับ จะเห็นได้ว่า D/A มีขนาดอินพุทบิทมากเท่าไร ความละเอียดและความถูกต้องของระดับแรงดันอนาลอกทางเอาท์พุทที่ D/A สามารถผลิตได้จะมากขึ้นตาม ดังแสดงในรูปที่ 2.11

ความละเอียดของ D/A เราจะมาพิจารณาถึง เวลาเข้าสู่สภาวะของตัว (Setting time) เวลาเข้าสู่สภาวะคงตัวเป็นค่าของเวลาที่ระดับแรงดันเอาท์พุทเข้าสู่สภาวะคงที่เมื่อรหัสไบนารีทางอินพุทเปลี่ยนแปลงไป โดยปกติจะติดที่สัญญาณทางเอาท์พุทคงที่ในช่วงของ LSB (Least significant bit) ของค่าที่คาดว่าจะเป็นหลังจากรหัสไบนารีทางด้านอินพุทเปลี่ยนไปนั้น หมายความว่าในเงื่อนไขของการปฏิบัติงานจริง ๆ มีความสัมพันธ์กับค่าซึ่งเป็นอยู่ในขณะนั้นต่อ LSB ของมันเอง ถ้า D/A ขนาด 8 บิท มีช่วงแรงดันทางเอาท์พุทอยู่ในช่วง 0-10 โวลท์ ดังนั้น LSB มีค่าเท่ากับ $10 / 2^8$ หรือ 0.039 โวลท์ ครึ่งหนึ่งของค่า $10 / 2^8$ เป็น 0.0195 โวลท์

ดังนั้นค่าเวลาที่ระดับแรงดันเอาท์พุทเข้าสู่สภาวะคงที่ควรจะเป็นค่าเวลาที่เอาท์พุทเพิ่มขึ้นถึง 0.0195 โวลท์ ของค่าระดับที่คาดหมายไว้ ตามปกติค่าเวลาเข้าสู่สภาวะคงตัวมีค่าน้อยกว่า 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความแม่นยำเป็นแฟกเตอร์ที่สำคัญอีกตัวหนึ่งของ D/A ในเงื่อนไขปกติ ค่าความแม่นยำของ D/A คือ ทุก ๆ ตำแหน่งจาก ½ ถึง 2 ค่าของ LSB สำหรับ D/A ซึ่งมีค่าความแม่นยำ 1 ค่า LSB แรงดันเอาท์พุทสามารถเปลี่ยนแปลงไปในทาง + หรือ – ค่าของ 1 บิท ถ้า D/A มีแรงดันเอาท์พุทอยู่ในช่วง 0 ถึง 5 โวลท์ มีความละเอียดเท่ากับ 12 บิท LSB ควรจะเป็น 5 / 2^{12} หรือ 0.00122 โวลท์ สำหรับทุก ๆ ค่าของรหัสไบนารีทางด้านเอาท์พุทแรงดัน อาจจะสูงหรือต่ำกว่าค่าที่คาดหมายไว้ 0.00122 โวลท์ ถ้า D/A ตัวเดียวกันมีค่าความแม่นยำเท่ากับ ½ ค่าความถูกต้อง LSB ค่าเอาท์พุทจะสามารถพลาดไปได้ 0.00122 / 2 หรือ 0.00061 โวลท์ยิ่งค่าความแม่นยำน้อยเท่าไร ค่าความละเอียดก็จะมากขึ้นตาม และจะมีค่าใกล้เคียงกับค่าเอาท์พุทที่คาดไว้

หลายปีที่ผ่านมา ได้มีการค้นคิดพัฒนาวิธีการของการเปลี่ยนสัญญาณดิจิตอล (Digital) ไปเป็นสัญญาณอนาลอก (Analog) ซึ่งเราจะพูดถึงหลักการใหญ่ของวิธีเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณอนาลอก 2 วิธี ด้วยกัน คือ Binary - Weighted และ Binary Ladder D/A

2.3.1 Binary – Weighted Resistor D/A

เทคนิคจัดน้ำหนักของรหัสไบนารี เป็นวิธีที่ง่ายที่สุด และเก่าที่สุดของการแปลงดิจิตอลบิทให้กลายเป็นสัญญาณอนาลอก วงจรของ Binary – Weighted Resistor D/A แสดงไว้ในรูปที่ 2.12

รหัสไบนารีจะถูกป้อนให้ขาเกทของอนาลอกสวิตช์ เมื่อรหัสไบนารี 0000 ถูกป้อนให้ที่เกทของอนาลอกสวิตช์ทั้งหมดจะเปิดวงจร ดังนั้นจึงไม่มีแรงดันเอาท์พุท จ่ายไปให้ออปแอมป์ เอาท์พุทจากออปแอมป์จึงเป็นศูนย์ เมื่อรหัสไบนารีเป็น 0001 สวิตช์ S_1 จะปิดลงและแรงดัน 10 โวลท์ จะจ่ายให้กับ R_1 เพราะว่าอินพุทของออปแอมป์จะมองได้ว่าเป็น กราวด์เสมือน (Virtual Ground) เป็นผลให้แรงดัน 10 โวลท์ ตกคร่อมตัวต้านทาน 8k (R_1) ซึ่งเป็นเหตุให้เกิดกระแส 1.25 mA (10 V / 8000) ไหลผ่านความต้านทานป้อนกลับ (R_f) ค่า 800 Ω แรงดันตกคร่อม R_f ควรจะมีค่า 800 × 1.25 mA หรือเท่ากับ 1 โวลท์

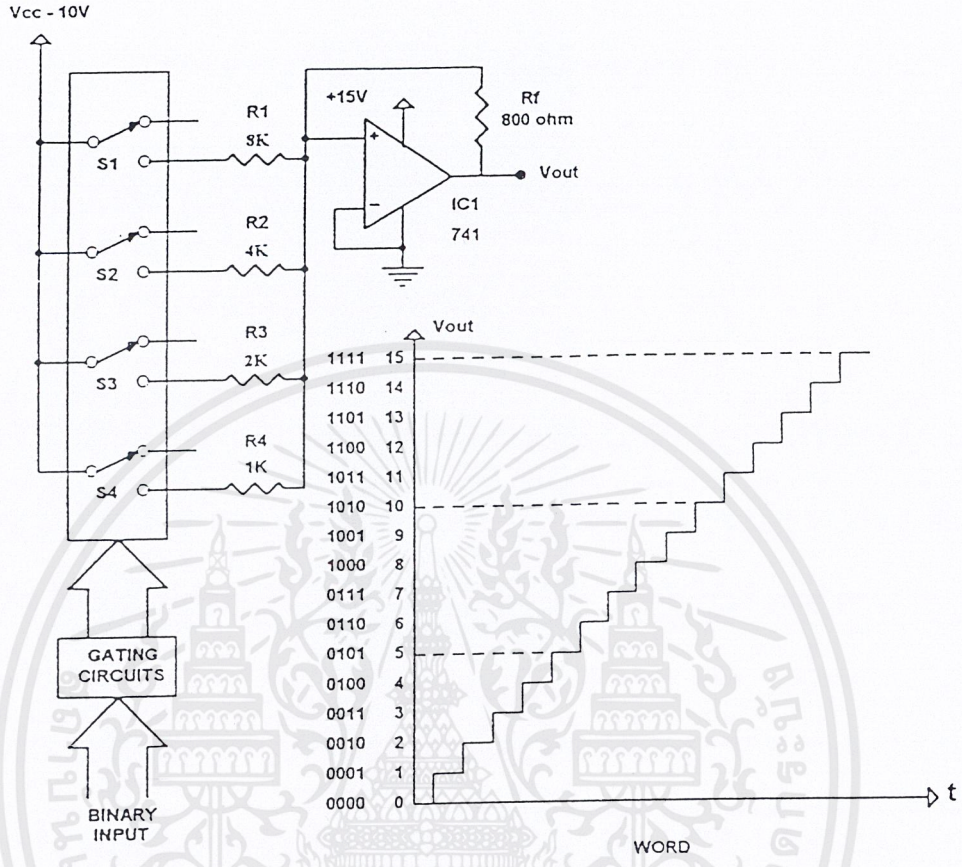
เมื่อรหัสไบนารีเปลี่ยนไปเป็น 0010 S_1 จะเปิด และ S_2 ปิดวงจรเป็นเหตุให้กระแส 2.5 mA (10 V / 4000) ไหลผ่าน R_2 แรงดันตกคร่อม R_f มีค่าเท่ากับ 800 × 2.5 mA หรือ 2 โวลท์ รหัสไบนารี 0100 จะให้แรงดันเอาท์พุทเท่ากับ 4 โวลท์ และถ้ารหัสไบนารีเป็น 1000 แรงดันเอาท์พุทจะมีค่าเป็น 8 โวลท์ จะสังเกตได้ว่ารหัสทางอินพุทและค่าของ R_f มีผลต่อระดับแรงดันทางเอาท์พุท

สวิตช์แต่ละตัวสามารถปิดวงจรพร้อมกัน เมื่อทำการรวมกัน เพื่อสร้างสัญญาณอนาลอกอินทางเอาท์พุทที่มีค่าจาก 0 ถึง 15 โวลท์ (0000 = 0 โวลท์ , 0111 = 7 โวลท์ และ 1111 = 15 โวลท์) ในการเพิ่มขึ้น 1 โวลท์ ต่อ 1 ขั้น

ถึงแม้ว่า Binary – Weighted Resistor D/A มีลักษณะวงจรที่ง่าย ๆ ตรงไปตรงมา แต่ไม่สะดวกในการนำไปใช้งาน ถ้าต้องการความละเอียดของ D/A มากกว่า 4 บิท เพราะว่าค่าของตัวต้านทานที่ใช้มีมากมายหลายค่าเกินไป ซึ่งต่างจาก Ladder Network ที่ต้องการใช้ตัวต้านทานเพียง 2 ค่าเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 2.12 วงจร Binary – Weighted D/A และกราฟเอาท์พุทของ D/A

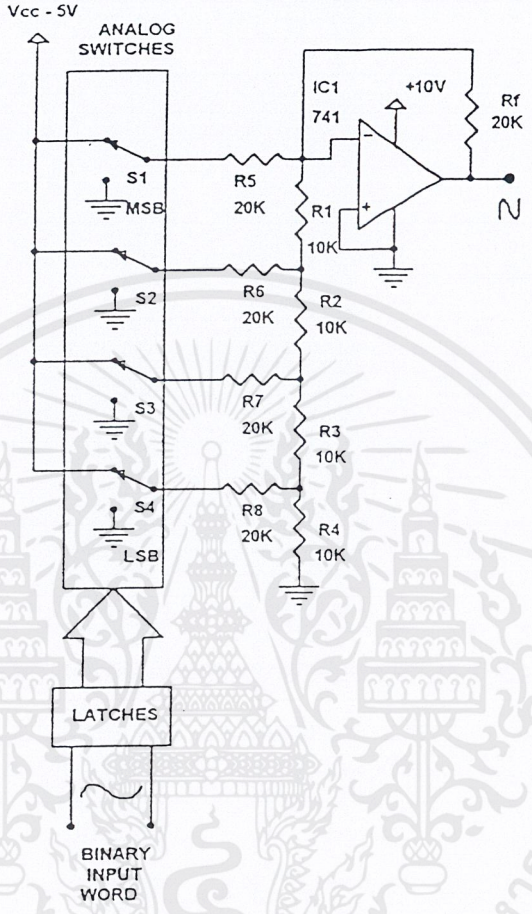
2.3.2 Ladder network D/A

เทคนิคแลดเดอร์เน็ทเวิอร์ค สามารถสร้างแรงดันตามน้ำหนักของรหัสไบนารี่ โดยอาศัยความต้านทานเพียง 2 ค่าเท่านั้น ที่จัดในลักษณะวงจรแบ่งแรงดันหรือที่เรียกว่าไบนารีเลดเดอร์ (Binary ladder) ดังแสดงในรูปที่ 2.13

ถึงแม้ว่าการทำงานของวงจร D/A แบบแลดเดอร์เน็ทเวิอร์คดูผ่าน ๆ แล้วค่อนข้างจะยาก แต่การทำงานก็ยังคล้ายกับการทำงานของวงจร Binary weighted D/A (รูปที่ 2.12) โดยอาศัยเกทที่ต่ออยู่ในลักษณะอนุกรม ถูกใช้สำหรับขับอนาลอกสวิตช์ เมื่อรหัสไบนารี 0000 ถูกส่งมายังเกทอนาลอกอิน สวิตช์ทั้งหมดจะเปิดออก ดังนั้นแรงดันเอาท์พุทที่ได้จากออปแอมป์จึงมีค่าเป็นศูนย์ สวิตช์ S_1 จะปิดลงเมื่อเกทได้รับรหัสไบนารีเป็น 1000 เป็นผลให้เกิดแรงดันเอาท์พุท 5 โวลท์ ออกมาจากออปแอมป์ ถ้ารหัสไบนารีเป็น 0010 สวิตช์ S_3 ก็จะปิด และทำให้เกิดแรงดัน 1.25 โวลท์ ที่เอาท์พุทและสุดท้ายถ้าอินพุทเป็น 0001 สวิตช์ S_4 จะปิดลง ออปแอมป์จะให้แรงดันเอาท์พุทออกมา 0.0625 โวลท์จะสังเกตได้ว่าแต่ละแรงดันเอาท์พุทอยู่ในรูปอันดับของไบนารี คือ เอาท์พุทสามารถเปลี่ยนจาก 0 ถึง 10 โวลท์ เพิ่มขึ้น ขั้นละ 0.625 โวลท์ (24 หรือ 16 ขั้น)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42193



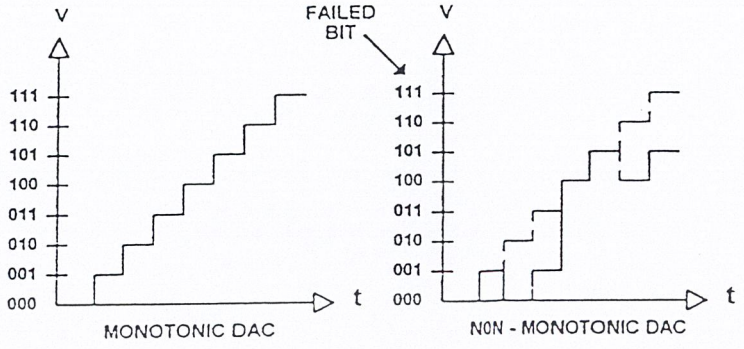
รูปที่ 2.13 วงจร Binary Ladder D/A

ข้อดีของแลดเดอร์เน็ทเวิอร์ค D/A คือ สามารถออกแบบได้ง่าย เนื่องจากใช้ความต้านทานเพียง 2 ค่าเท่านั้น และในทุกวันนี้บริษัทผู้ผลิต D/A เกือบทั้งหมดจะใช้เทคนิคแบบเลดเดอร์เน็ทเวิอร์คในการผลิต D/A

วงจรไบนารีแลดเดอร์ มักจะความถูกต้องแม่นยำมากกว่าวงจร Binary – Weighted เพราะว่าเราจะหาค่าความต้านทานที่ถูกต้อง 2 ค่า (เช่น 10 k หรือ 20 k) ได้ง่ายกว่าค่าความต้านทานหลาย ๆ ค่าที่ใช้ในวงจร Binary – Weighted D/A ไอซี D/A สำเร็จรูปที่นิยมใช้อยู่คือ เบอร์ DAC-08

หลักการเริ่มทำงานของ D/A เราสามารถพิจารณารายละเอียดที่สำคัญสุดท้ายของ Monotonicity แรงดันเอาท์พุทที่เป็นสัญญาณอนาลอกอินของ D/A จะเพิ่มขึ้นเป็นลำดับคล้ายกับการเพิ่มของรหัสไบนารีทางอินพุท ดังแสดงอยู่ในรูปที่ 2.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 Monotonic D/A จะมากขึ้นทุก ๆ ค่าของสัญญาณอนาลอกอินที่ถูกต้อง

ในทางอุดมคติแล้ว การเพิ่มขึ้นของสัญญาณอินพุทที่เป็นรหัสไบนารี จะเป็นเหตุให้เราสามารถทายและรู้ถึงแรงดันเอาท์พุทได้ในอุปกรณ์บางตัว ส่วนของการสวิทชิ่ง และส่วนขยายสัญญาณ ไม่สามารถจ่ายกระแสไฟฟ้า ภายในเงื่อนไขเหล่านั้นได้อย่างเพียงพอ จึงเป็นสาเหตุที่ทำให้ D/A เกิดการ "Skip" หรือการกระโดดข้ามขั้นนั่นเอง การเกิด Skip นี้จะมีปัญหาน้อยในบิทนัยต่ำ ๆ แต่จะมีมากขึ้นเมื่อน้ำหนักของบิทเพิ่มขึ้น

2.4 เทคนิคการ Modulated แบบ PCM

ในการส่งสัญญาณไฟฟ้าจากจุดหนึ่งไปยังอีกจุดหนึ่ง ไม่ว่าที่จะส่งสัญญาณแบบ Analog หรือ Digital สิ่งที่หลีกเลี่ยงไม่ได้คือ สิ่งรบกวน (Noise) และความเพี้ยน (Distortion) ซึ่งเกิดขึ้นตลอดเส้นทางของการส่ง ในการรักษาคุณภาพของสัญญาณที่รับได้ที่ปลายทางไว้ให้ดีที่สุดก็ควรจะให้สิ่งรบกวน และความเพี้ยนอยู่ในขีดจำกัดอันพึงยอมรับได้ การส่งสัญญาณใด ๆ เราสามารถส่ง Analog Transmission หรือ Digital Transmission ก็ได้ แต่ปัจจุบันนิยมส่งสัญญาณ Analog ในลักษณะของ Digital Transmission ด้วยกรรมวิธีของ Time Division Multiplex – Pulse Code Modulation (TDM-PCM) มากขึ้น

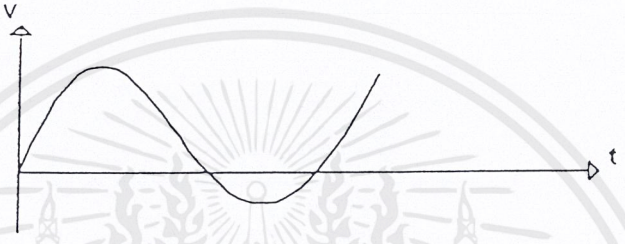
การรวมสัญญาณชนิดเดียวกันจำนวนหลาย ๆ วงจรหรือหลาย ๆ ช่อง ให้สามารถส่งผ่านตัวกลางได้เราเรียกว่า Multiplexing Technique วิธี Multiplex ซึ่งนิยมใช้กันมาก่อน คือ Frequency Division Multiplex (FDM) กล่าวคือ เป็นการรวมสัญญาณชนิดเดียวกันหลาย ๆ สัญญาณ โดยแต่ละสัญญาณจะถูกจัดให้อยู่ในช่วงความถี่ที่ต่างกัน หรือเรียกว่าเป็นการรวมหลาย ๆ สัญญาณด้วยวิธีแบ่งความถี่กัน แต่หลักการของ Pulse Code Modulation นั้นจะใช้วิธีการของ Time Division Multiplex (TDM) กล่าวคือ เราจะทำการแบ่งเวลาออกเป็นช่องเวลา (Time Slot) และกำหนดช่องเวลาหนึ่ง ๆ สำหรับสัญญาณแต่ละวงจรที่ต้องการรวมกัน การรวมสัญญาณชนิดเดียวกันหลายวงจร หรือหลาย ๆ ช่อง ด้วยวิธีแบ่งเวลากันและจัดการส่งด้วยวิธีการของ Pulse Code Modulation เรียกว่าระบบ Time Division Multiplex – Pulse Code Modulation หรือ (TDM-PCM) พร้อมกันโดยปราศจากการรบกวนซึ่งกันและกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1 สัญญาณ Analog และการส่ง

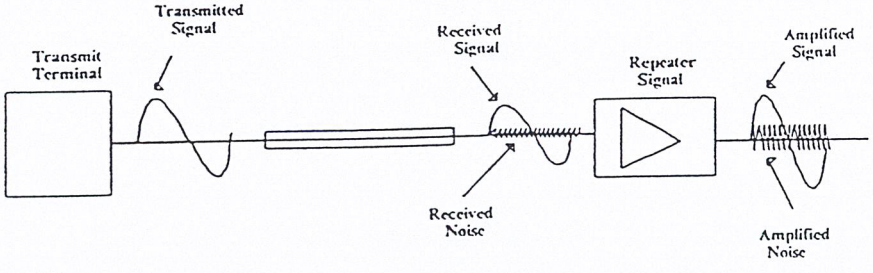
สัญญาณ Analog ในรูปของไฟฟ้า หมายถึงสัญญาณที่ Amplitude ของมันแปรผันต่อเนื่องกันกับเวลา ดังแสดงตามรูปที่ 2.15

สัญญาณ Analog ที่นิยมใช้กันโดยทั่วไปในระบบรับ-ส่ง ได้แก่ สัญญาณโทรศัพท์ สัญญาณวิทยุกระจายเสียง สัญญาณโทรทัศน์ เป็นต้น เมื่อวิเคราะห์รูปคลื่นของสัญญาณ Analog อันหนึ่งจะพบว่าประกอบด้วย Sine Wave ที่ความถี่ต่าง ๆ กัน



รูปที่ 2.15 สัญญาณ Analog

การส่งสัญญาณ Analog นั้นไม่มีความจำเป็นที่จะต้องส่งข่าวสารทาง Amplitude ต่อเนื่องกันไปตลอดเวลา การทดลองค้นคว้าพบว่า ถ้าทำการสุ่มตัวอย่าง (Sampling) สัญญาณ Analog ด้วยช่วงเวลาที่สม่ำเสมอในอัตราอย่างน้อยเป็น 2 เท่าของความถี่สูงสุดของสัญญาณนั้น ๆ แล้ว ตัวอย่างที่สุ่มมาได้จะบรรจุข่าวสารของสัญญาณเดิมครบถ้วน เช่น สัญญาณ Analog ที่ใช้มีความถี่สูงสุด 2000 Hz ดังนั้น ถ้าทำการสุ่มตัวอย่างเป็นช่วงสม่ำเสมอในอัตราอย่างน้อย = 2 × 2000 = 4000 ตัวอย่างต่อวินาที แล้วตัวอย่างที่สุ่มมาได้จะบรรจุไว้ด้วย Amplitude ของสัญญาณเดิมครบถ้วน วิธีการนี้เราเรียกว่า ทฤษฎีการสุ่มตัวอย่าง (Sampling Theorem) และได้ถูกนำไปใช้ในวิธีการของ Pulse Code Modulation (PCM)



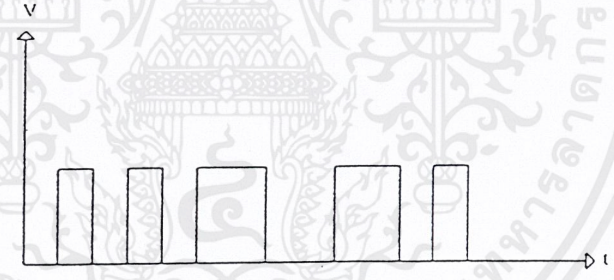
รูปที่ 2.16 ลักษณะการส่งสัญญาณ Analog

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งสัญญาณ Analog สามารถกระทำได้ในรูปเดิมของมัน สำหรับการส่งสัญญาณ Analog ในระยะทางไกล สิ่งที่หลีกเลี่ยงไม่ได้ก็คือ สัญญาณที่ส่งจะอ่อนกำลังลง หรือถูกลดทอน (Attenuation) และสิ่งที่รบกวน (Noise) ที่เสริมเข้ามาตลอดเส้นทางของการส่ง เราจะต้องรักษาระดับกำลังของสัญญาณที่ส่งให้สูงกว่าระดับกำลังของสิ่งรบกวนมาก ซึ่งสามารถทำได้โดยการขยายกำลังของสัญญาณที่ส่ง เป็นระยะที่เหมาะทางการส่ง แต่อย่างไรก็ตามสิ่งรบกวนที่เกิดขึ้นที่ Input ของเครื่องขยายกำลัง ย่อมจะได้รับการขยายกำลังให้สูงขึ้นไปพร้อมกับตัวสัญญาณที่ส่งด้วย ดังแสดงตามรูปที่ 2.16 นอกจากนี้การส่งสัญญาณ Analog ในระยะทางไกล ๆ ผ่านตัวกลางและเครื่องขยายกำลังย่อมจะทำให้เกิดความเพี้ยน (Distortion) ขึ้นอีกด้วย ในการรักษาให้สิ่งรบกวนและความเพี้ยนของสัญญาณ Analog ที่รับได้ที่ปลายทางอยู่ในขอบเขตจำกัดอันพึงยอมให้ได้นั้น จึงต้องมีการออกแบบที่ดีทั้งระบบและอุปกรณ์ที่ใช้

2.4.2 สัญญาณ Digital และการส่ง

สัญญาณ Digital หมายถึง สัญญาณที่ Amplitude ของมันถูกจัดระดับให้แปรผันไปกับเวลาตามค่าที่กำหนดให้ เช่น ถ้าแปรผันอยู่ระหว่าง 2 ค่า เรียกว่า Binary Signal ถ้าแปรผันอยู่ระหว่าง 3 ค่า เรียกว่า Ternary Signal เป็นต้น ดังแสดงตามรูปที่ 2.17



รูปที่ 2.17 สัญญาณ Digital

สัญญาณ Digital ที่ใช้กันในงานด้านโทรคมนาคม โดยทั่วไปจะเป็นแบบ Binary Signal ทั้งสิ้น ซึ่งเป็นลักษณะของ Pulse ที่มีอยู่ 2 ค่า คือ 0 และ 1 โดยที่ 0 หมายถึงไม่มี Pulse และ 1 หมายถึงมี Pulse เราสามารถจัดกลุ่มของ Binary Signal ให้อยู่ในรูปของรหัส (Code) เพื่อใช้แทนค่าระดับของแรงดัน (Voltage) ในการกำหนดจำนวน Bit ของ Binary Code นั้นจะขึ้นอยู่กับจำนวนระดับของแรงดัน เช่น

- Bit Code แทนได้ 2 ค่า คือ 0 และ 1
- Bit Code แทนได้ 4 ค่า คือ 00, 01, 10 และ 11
- Bit Code แทนได้ 8 ค่า คือ 000, 001, 010, 011, 100, 101, 110 และ 111

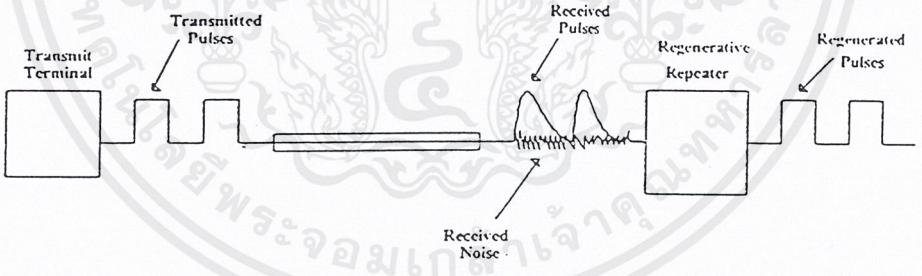
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยทั่วไปแล้ว n Bit Code สามารถแทนจำนวนระดับของแรงดันได้ 2^n ค่า เช่น 8 Bit Code สามารถแทนจำนวนระดับของแรงดันได้ $2^8 = 256$ เป็นต้น

ในการส่งสัญญาณ Digital Amplitude ของ Binary Signal จะมีค่าได้เพียงค่าใดค่าหนึ่งใน 2 ค่าเท่านั้น ซึ่งแทนด้วยเลข Binary ได้คือ 1 หรือ 0 การตรวจหาว่ามี Pulse (Logic 1) หรือไม่มี Pulse (Logic 0) ของ Binary Signal สามารถทำได้ภายใต้ภาวะที่มีสิ่งรบกวน และความเพี้ยนมากกว่าที่จะพึงยอมให้เกิดขึ้นได้ ในการส่งสัญญาณ Analog การยอมให้มีสิ่งรบกวนและความเพี้ยนเกิดขึ้นได้มากกว่า จึงนับได้ว่าเป็นข้อได้เปรียบประการหนึ่งของวิธีการส่งสัญญาณ Digital ข้อได้เปรียบอีกประการหนึ่งก็คือ การผลิตสัญญาณ Digital ขึ้นมาใหม่ที่ Regenerative Repeater โดยที่ Binary Signal มีค่าได้เพียงค่าใดค่าหนึ่งใน 2 ค่า คือ มี Pulse และไม่มี Pulse เมื่อ Binary Signal ถูกส่งมาถึง Regenerative Repeater มันจะตรวจดูว่ามี Pulse หรือไม่มี Pulse ที่ Input ของมัน ถ้ามี Pulse มันก็จะผลิต Pulse ที่ปราศจากสิ่งรบกวนและความเพี้ยนขึ้นมาใหม่ ถ้าตรวจพบว่าไม่มี Pulse มันก็จะไม่ผลิต Pulse ออกไป ดังแสดงตามรูปที่ 2.18

จากที่ได้กล่าวมาแล้ว จะเห็นว่า การส่งสัญญาณ Digital มีข้อได้เปรียบเหนือกว่า การส่งสัญญาณ Analog อยู่ 2 ประการ คือ

- มีภูมิคุ้มกันต่อสิ่งรบกวนและความเพี้ยนได้มากกว่า
- สามารถผลิตสัญญาณ Digital ที่ปราศจากสิ่งรบกวน และความเพี้ยนขึ้นมาใหม่ที่ Regenerative Repeater ได้



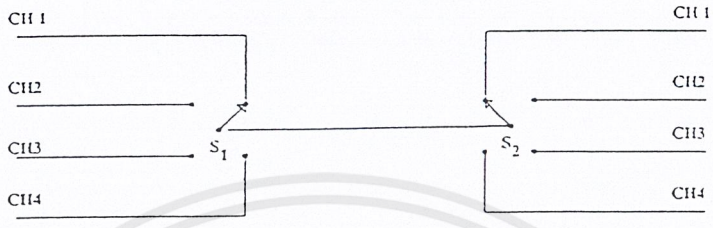
รูปที่ 2.18 ลักษณะการส่งสัญญาณ Digital

เนื่องจากการส่งสัญญาณ Digital มีข้อได้เปรียบเหนือกว่าการส่งสัญญาณ Analog ดังนั้นจึงมีแนวโน้มในอันที่จะส่งสัญญาณ Analog ในรูปของการส่งสัญญาณ Digital มากขึ้นตามลำดับ ด้วยวิธีการนี้ จึงจำเป็นต้องแปลงสัญญาณ Analog ให้เป็นสัญญาณ Digital ที่ปลายทางด้านส่ง และแปลงสัญญาณ Digital กลับมาเป็นสัญญาณ Analog ตามเดิมที่ปลายทางด้านรับ วิธีที่นิยมใช้มากที่สุด คือ วิธีการของ Pulse Code Modulation (PCM)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.3 Pulse Modulation

Pulse Modulation เป็นวิธีการหนึ่งนำมาใช้ในการรวมสัญญาณชนิดเดียวกันหลาย ๆ วงจร หรือหลาย ๆ ช่องโดยวิธีแบ่งเวลากัน



รูปที่ 2.19 หลักการเบื้องต้นของ Time Division Multiplex

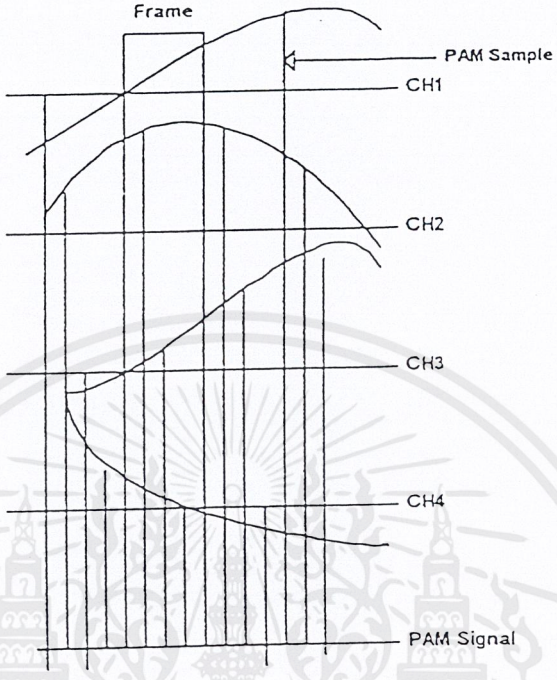
รูปที่ 2.19 แสดงหลักการเบื้องต้นของ Time Division Multiplex (TDM) ซึ่งใช้ทางสาย 1 คู่ สำหรับส่งสัญญาณ 4 วงจรสลับกันไป ช่วงเวลาที่ใช้ของแต่ละวงจรจะขึ้นอยู่กับอัตราเร็วในการหมุน (Switching Rate) ของ Sampling Switch (S1 และ S2) ส่วนมาก Sampling Switch จะเป็นแบบ Electronic Switches

Pulse Modulation ใช้กันมีอยู่หลายแบบ เช่น Pulse Amplitude Modulation (PAM), Pulse Time Modulation (PTM) เป็นต้น แต่แบบที่ใช้กับระบบ PCM มี Amplitude แปรผันต่อเนื่องกันกับเวลา จะถูกสุ่มตัวอย่าง ทำให้ได้กระบวนของ Pulse (Pulse Train) ซึ่งเรียกว่า ตัวอย่าง (Samples) Amplitude ของแต่ละตัวอย่างที่สุ่มมาได้จะเป็นสัดส่วนโดยตรงกับ Amplitude ชั่วขณะของสัญญาณที่ต่อเนื่อง ณ เวลาที่ได้มีการสุ่มตัวอย่างนั้น

รูปที่ 2.20 แสดง PAM Signal ของสัญญาณ 4 ช่อง แต่ละตัวอย่างที่ทำการส่งมาได้ของสัญญาณแต่ละช่อง เรียกว่า PAM Sample และเมื่อนำ PAM Sample ทั้งหมดของทุกสัญญาณมารวมกันจะเรียกว่า PAM Signal ช่วงเวลาของการสุ่มตัวอย่างแต่ละครั้งในสัญญาณเดียวกันเรียกว่า Frame

หลักการขั้นต้นของระบบ Pulse Code Modulation คือการแปลงสัญญาณ Analog ให้เป็นสัญญาณ Digital ในการแปลงสัญญาณให้ไปเป็นกระบวนของ Pulse ในรูปของรหัส (Binary Code) แล้วส่งไปในตัวกลาง ที่ปลายทางด้านรับกระบวนของ Pulse ในรูปของรหัสดังกล่าว จะถูกแปลงกลับเป็นสัญญาณ Analog ดังเดิม การส่งกระบวน Pulse ในรูปของรหัสจะเป็นการส่งสัญญาณในลักษณะ Digital Transmission มีข้อได้เปรียบเหนือกว่าการส่งสัญญาณแบบ Analog Transmission ในเรื่องภูมิคุ้มกันต่อสิ่งรบกวนและความเพี้ยน ดังได้กล่าวมาแล้ว การแปลงสัญญาณ Analog ให้เป็นสัญญาณ Digital ดังแสดงตามรูปที่ 2.21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 PAM Signal ของสัญญาณ 4 ช่อง

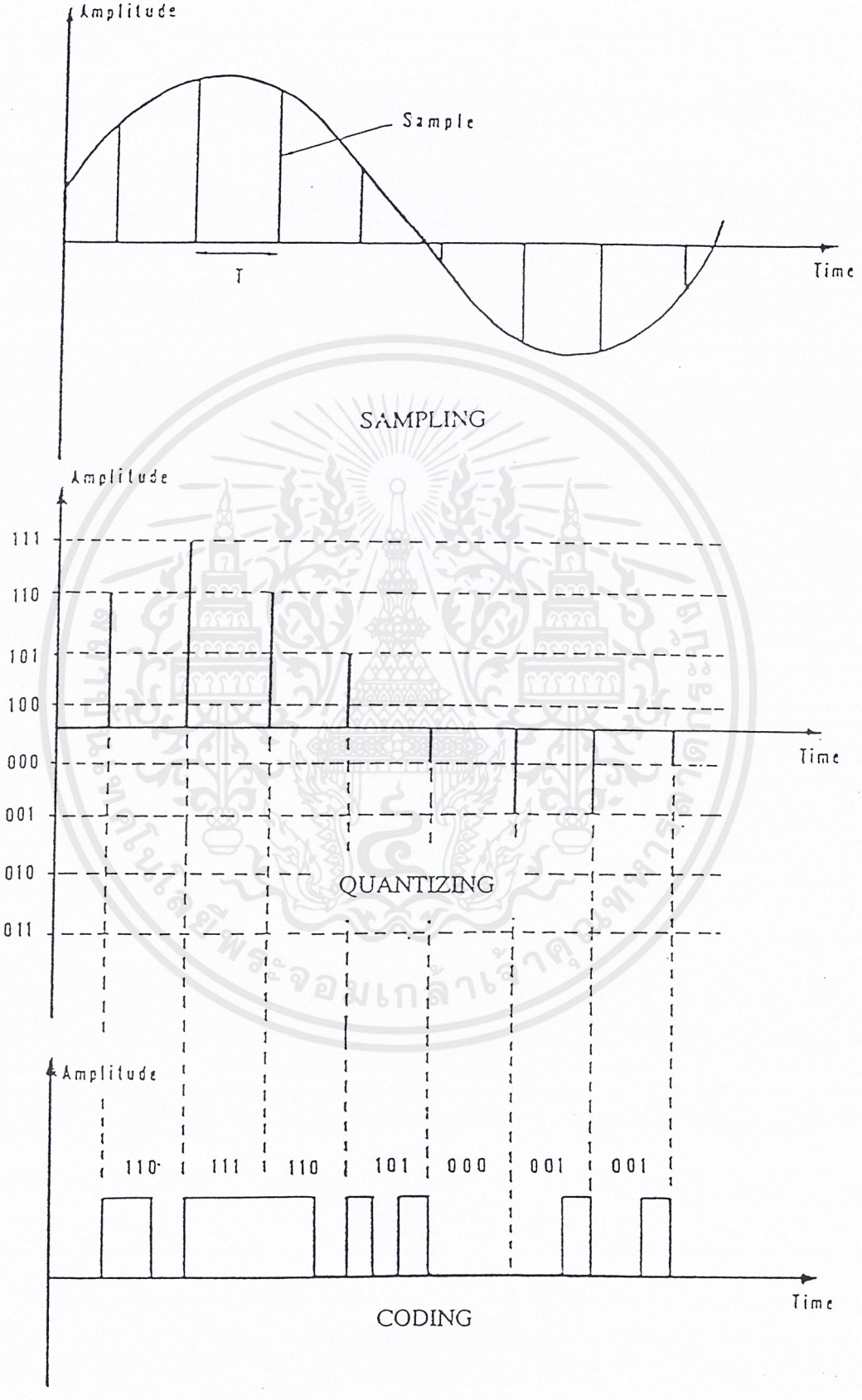
จะประกอบด้วยหลักการที่สำคัญ 3 ประการ คือ

- การสุ่มตัวอย่าง (Sampling)
- การแบ่งย่าน Amplitude ออกเป็นระดับต่าง ๆ (Quantizing)
- การเข้ารหัส (Coding)

ระบบรับส่ง PCM ประกอบด้วยเครื่องส่ง สายส่ง และเครื่องรับ เพื่อทำให้เกิดการติดต่อ จึงต้องใช้ทั้งเครื่องส่ง (Transmitter) และเครื่องรับ (Receiver) ติดตั้งที่แต่ละแห่งของปลายทาง (Terminal) สายส่ง (Transmission Line) จะจัดให้อยู่ในระยะทางที่เหมาะสม Binary Code ในระบบ PCM สามารถทำการส่งได้อย่างรวดเร็วมาก ดังนั้นเพื่อเป็นการเพิ่มจำนวนสัญญาณที่ต้องการส่ง หรือเพิ่มจำนวนช่องสื่อสารให้มากขึ้น

จึงสามารถใช้ระบบ Time Division Multiplex (TDM) มาใช้ คือ สุ่มตัวอย่างที่ได้มาจากแหล่งกำเนิดต่าง ๆ สามารถที่จะแบ่งเวลากันส่งโดยใช้สายส่งร่วมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



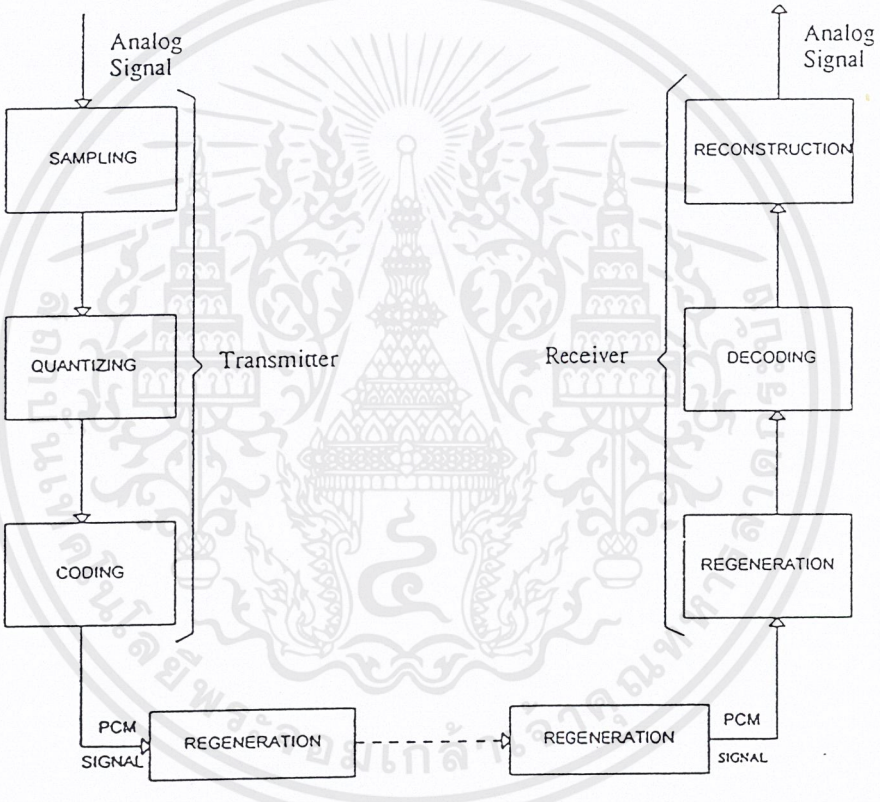
รูปที่ 2.21 การแปลงสัญญาณ Analog เป็นสัญญาณ Digital ที่ใช้ในระบบ PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.4 หลักการของระบบ Pulse Code Modulation (PCM)

Pulse Code Modulation (PCM) เป็นวิธีการที่เปลี่ยนสัญญาณ Analog Speech Signal ให้เป็นสัญญาณ Digital ซึ่งแต่ละสัญญาณจะถูกกำหนดให้เป็นกระบวนของ Pulse ในรูปของ Binary code การเปลี่ยนสัญญาณจะต้องประกอบด้วยหลักการที่สำคัญ 3 ประการ เรียงตามลำดับ คือ

- การสุ่มตัวอย่าง (Sampling)
- การแบ่งย่าน Amplitude ออกเป็นระดับต่าง ๆ (Quantizing)
- การเข้ารหัส (Coding)



รูปที่ 2.22 Block Diagram ของระบบ PCM

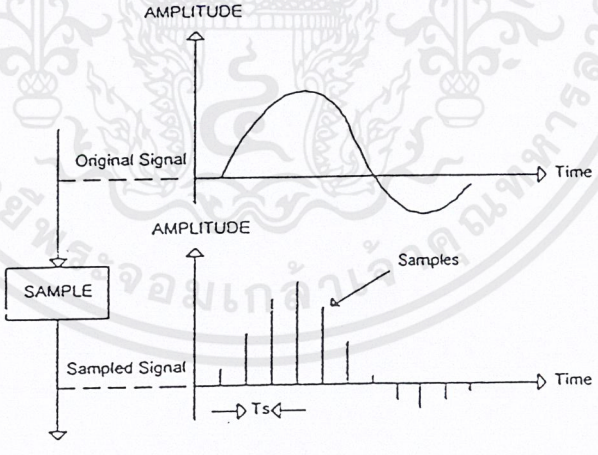
รูปที่ 2.22 แสดง Block Diagram ของระบบ PCM วิธีการขั้นแรก คือ การสุ่มตัวอย่างสัญญาณแต่ละช่องด้วย Sampler จะทำให้ได้ Pulse ที่มี Amplitude เท่ากับของสัญญาณ ณ เวลาที่ทำการสุ่มนั้น ๆ ซึ่งเรียกว่า PAM Signal จากนั้น PAM Signal จะถูกป้อนเข้าที่ Quantizer และในกรณีนี้ Amplitude ของแต่ละตัวอย่างที่สุ่มมาได้จะถูกจัดให้อยู่ในระดับที่ตรงกัน หรือใกล้เคียงกับระดับที่ได้กำหนดไว้ ขั้นต่อไปคือการให้ Binary Code กับตัวอย่างที่สุ่มมาได้โดยตัวเข้ารหัส (Coder) ซึ่ง Binary Code ที่ให้นี้จะตรงกับระดับของ Amplitude ที่ได้ถูกแบ่งไว้แล้วในตอนแรกกระบวน Pulse ในรูปของ Binary Code ของสัญญาณหลาย ๆ ช่อง ซึ่งเรียกว่า PCM Signal จะถูกส่งเข้าไปในสายส่ง (Transmission Line) หากสายส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีความยาวมากก็จะใช้ Regenerative Repeater ติดตั้งในระยะทางที่เหมาะสม เพื่อทำการผลิต PCM Signal ตัวเดิมที่ปราศจากสิ่งรบกวน และความเพี้ยนขึ้นมาใหม่ และที่ปลายทางด้านรับก็จะมี Regenerative Repeater ติดตั้งไว้ด้วยเช่นเดียวกัน Output ที่ได้จาก Regenerative Repeater นี้จะมีรูปร่างลักษณะเหมือนกับ PCM Signal ที่ส่งมาจากทางด้านส่งจากนั้น PCM Signal ดังกล่าว จะถูกส่งไปยังตัวถอดรหัส (Decoder) เพื่อทำการถอดรหัส PCM Signal ให้ได้เป็น PCM Signal แล้วส่งผ่าน Sampler ไปยังช่องสัญญาณที่ตรงกัน จึงทำให้ได้สุ่มตัวอย่างของสัญญาณแต่ละช่อง สุดท้ายจะเป็นการสร้าง Analog Speech Signal เดิมด้วย Low Pass Filter เรียกว่า Reconstruction

2.4.5 การสุ่มตัวอย่าง (Sampling)

การสุ่มตัวอย่าง (Sampling) หมายถึง การเลือกเอาค่า Amplitude ที่จุดใด ๆ ของสัญญาณ Analog ที่มีช่วงเวลาเท่ากัน ตัวอย่างที่สุ่มมาได้ก็คือ Pulse Train หรือเรียกว่า PAM Sample จำนวนสุ่มตัวอย่างต่อวินาทีคือ Sampling Rate จาก Sampling Theorem ที่กล่าวไว้ว่า "ถ้าได้ทำการสุ่มตัวอย่าง (Sampling) สัญญาณ Analog ด้วยช่วงเวลาที่สม่ำเสมอ ในอัตราอย่างน้อยเป็น 2 เท่าของความถี่สูงสุดของสัญญาณนั้น ๆ แล้ว ตัวอย่างที่สุ่มมาได้จะบรรจุข่าวสารของสัญญาณเดิมครบถ้วน" ในระบบ PCM สัญญาณที่ถูกสุ่มตัวอย่างด้วย Sampling Rate เรียกว่า Sampling Interval ตามรูปที่ 2.23



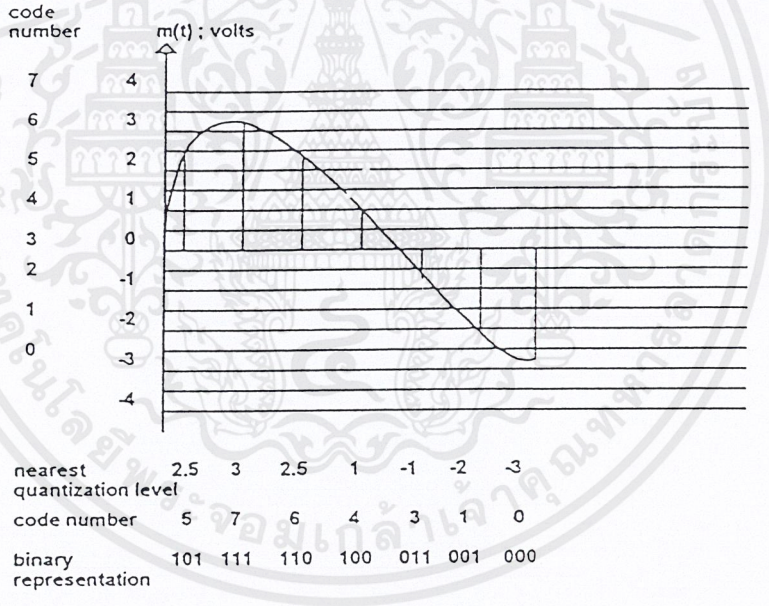
รูปที่ 2.23 การสุ่มตัวอย่าง (Sampling)

วิธีการสุ่มตัวอย่างในระบบ Time Division Multiplex (TDM) นั้นกระทำเป็นจำนวนหลายช่องสัญญาณเรียงกันตามลำดับ โดยใช้ Electronic Switch หรือ Gate จากผลการสุ่มตัวอย่างจำนวนหลายช่องสัญญาณดังกล่าว จึงทำให้ได้ PAM Signal ที่มีขนาดของ Amplitude ต่าง ๆ กันของแต่ละช่องเรียงกันตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.6 การแบ่งย่าน Amplitude ออกเป็นระดับต่าง ๆ (Quantizing)

การสุ่มตัวอย่างสัญญาณในอัตราที่สม่ำเสมอนั้น จะทำให้ได้ PAM Signal ที่ Amplitude ของมันเป็นสัดส่วนกับระดับของสัญญาณ ณ เวลาที่ได้ทำการสุ่มนั้น Amplitude ดังกล่าวอาจมีค่าได้มากมายไม่จำกัด การให้ Binary Code กับสุ่มตัวอย่างที่มี Amplitude จำนวนมากได้ทุกตัวนั้น ก็จำเป็นที่จะต้องใช้จำนวน Bit ในกลุ่มรหัส (Code Word) มากตามไปด้วย ทำให้ไม่เหมาะสมในทางปฏิบัติ อย่างไรก็ดีการแบ่งย่าน Amplitude ออกเป็นระดับต่าง ๆ ด้วยจำนวนที่จำกัด เราก็สามารถที่จะแทน Amplitude ค่าต่าง ๆ ของสัญญาณที่สุ่มมาได้ด้วยจำนวนจำกัดของระดับที่ได้แบ่งไว้ ซึ่งอาจจะมีความคลาดเคลื่อนได้บ้าง การให้ Binary Code ก็กำหนดเอาค่าที่ตรงกัน หรือใกล้เคียงที่สุดกับระดับที่ได้แบ่งไว้ กรรมวิธีในการแบ่งย่าน Amplitude ของตัวอย่างที่สุ่มมาได้ออกเป็นระดับต่าง ๆ ที่มีจำนวนจำกัดและกำหนดระดับที่แน่นอนให้กับ PAM Signal นั้นเราเรียกว่า Quantizing โดยเรียกระดับหนึ่ง ๆ ที่แบ่งไว้ว่า Quantizing Level และจะเรียกช่วงห่างระหว่าง Quantizing Level ว่า Quantizing Interval ดังแสดงตามรูปที่ 2.24



รูปที่ 2.24 การแบ่งย่าน Amplitude ออกเป็นระดับต่าง ๆ (Quantizing)

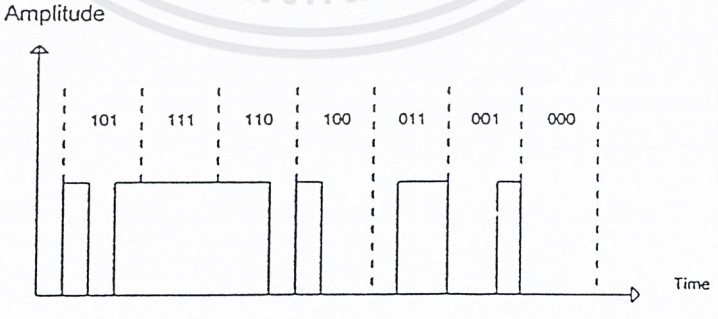
จากรูปที่ 2.24 สัญญาณที่จะทำการสุ่มตัวอย่างมีย่าน Amplitude อยู่ระหว่าง +4 โวลท์ และ –4 โวลท์ โดยสมมุติว่าเราแบ่งย่าน Amplitude นี้ออกเป็น 8 ระดับ คือที่ –3.5, -2.5, -1.5, -0.5, 0.5, 1.5, 2.5 และ 3.5 โวลท์ (Quantizing Interval = 1 โวลท์) การสุ่มตัวอย่างครั้งแรกตรงกับ Amplitude 1.3 โวลท์ เรากำหนดให้อยู่ใน Quantizing Level ที่ 1.5 โวลท์ เพราะเป็นระดับที่ใกล้เคียงที่สุด การสุ่มตัวอย่างครั้งที่สองตรงกับ Amplitude 3.6 โวลท์ เรากำหนดให้อยู่ใน Quantizing Level ที่ 3.5 โวลท์ (ระดับที่ใกล้เคียงที่สุด) การสุ่มตัวอย่างครั้งต่อ ๆ ไปก็เป็นเช่นเดียวกัน จึงเห็นได้ว่า Quantizing Level เรากำหนดให้นั้นเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพียงค่าใกล้เคียงกับค่าของ Amplitude จริงที่ได้มาจากการสุ่มตัวอย่าง ความคลาดเคลื่อนจากการ Quantizing ย่อมจะต้องเกิดขึ้นบ้าง เช่น จากการสุ่มตัวอย่างในครั้งแรก Quantizing Level ที่กำหนดให้จะคลาดเคลื่อนไป 0.2 โวลท์เป็นต้น ความคลาดเคลื่อนนี้เกิดขึ้นในลักษณะที่ไม่แน่นอน (Random) และเราเรียกความคลาดเคลื่อนนี้ว่า Quantizing Error หรือ Quantizing Noise ซึ่งเป็นแหล่งกำเนิดที่สำคัญของความเพี้ยนในขั้นตอนของ Quantizing ถ้าเพิ่มจำนวนของ Quantizing Level ให้มากขึ้นก็จะทำให้ Quantizing Noise มีค่าน้อยลง แต่ในการเพิ่มจำนวน Quantizing Level ให้มากขึ้น จะทำให้ Binary Code มีจำนวน Bit มากขึ้นตามไปด้วย และเป็นผลทำให้ การส่งสัญญาณ Binary Code ต้องการ Bandwidth กว้างมากขึ้น โดยทั่วไปแล้วเราจะลองกำหนดให้จำนวน Quantizing Level และจำนวน Bit ในกลุ่มรหัสหนึ่งโดยมีวัตถุประสงค์เพื่อให้การส่งสัญญาณ Binary Code ได้ผลเป็นที่น่าพอใจโดยใช้ Bandwidth น้อยที่สุดเป็นหลัก

2.4.7 การเข้ารหัส (Coding)

เมื่อได้ทำการสุ่มตัวอย่างสัญญาณ Analog เรียบร้อยแล้วเราก็จะได้ PAM Signal ที่มีขนาดของ Amplitude ต่าง ๆ กัน ส่งเข้าไปยัง Quantizer โดยกำหนดให้ Quantizing Level อันใดซึ่งตรงกัน หรือใกล้เคียงที่สุดกับระดับของ Amplitude ที่สุ่มมาได้ ตัวเข้ารหัส (Coder) ก็จะผลิต Binary Code Signal ตรงตาม Quantizing Level นั้น ๆ แล้วจึงจะส่งออกไปในสายส่ง (Transmission Line) รูปที่ 2.24 สมมุติว่าเราได้กำหนดค่าของรหัส (Code Number) ที่ใช้กับ Quantizing Level ที่ระดับต่าง ๆ คือ -3.5, -2.5, -1.5, ..., 3.5 โวลท์ เป็น 0, 1, 2, ..., 7 ตามลำดับ แล้วตัวอย่างที่สุ่มมาได้อันดับแรก คือ 1.3 โวลท์ Quantizing Level ที่ใกล้เคียงที่สุดของมัน คือ 1.5 โวลท์ ซึ่งตรงกับค่าของรหัส 5 ดังนั้น รหัสที่ส่งออกไปเป็น Code Word ขนาด 3 Bits คือ 101 ตัวอย่างที่สุ่มมาได้อันที่สองคือ 3.6 โวลท์ Quantizing Level ที่ใกล้เคียงที่สุดคือ 3.5 โวลท์ ของรหัส 7 ดังนั้น รหัสที่ส่งออกไปเป็น Code Word คือ 111 เช่นนี้เป็นต้น ตามรูปที่ 2.25



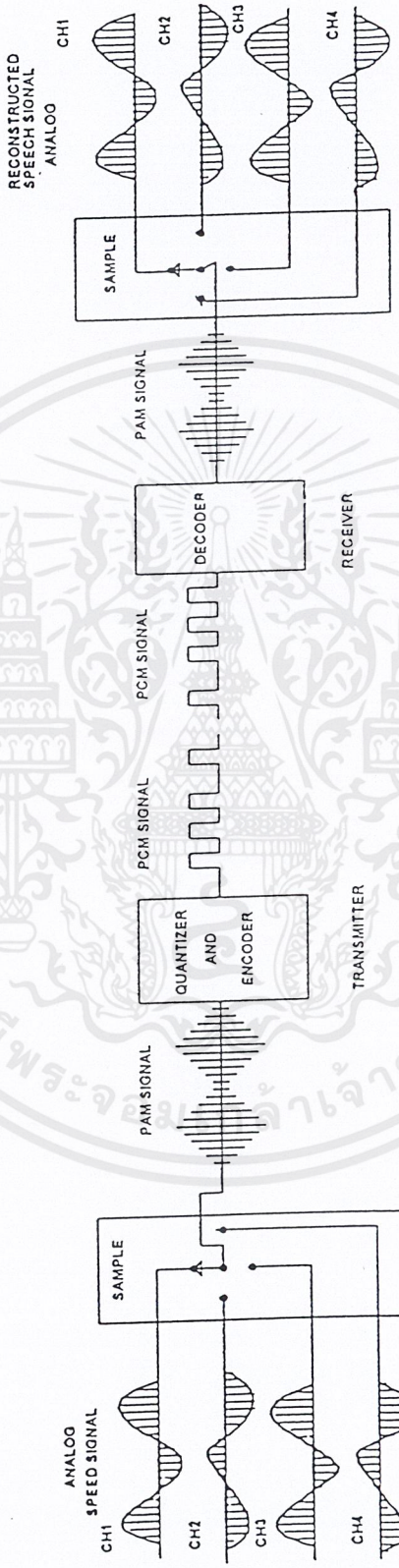
รูปที่ 2.25 การเข้ารหัส Coding

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบ PCM จะมีจำนวน Quantizing Level เป็น 256 Levels จึงทำให้แต่ละตัวอย่างที่สุ่มมาได้ถูกเข้ารหัสเป็น Code Group หรือ PCM Word จำนวน 8 Bits และ Sampling Rate ที่ใช้จะเป็น 8000 Samples / Second ดังนั้น 1 Pulse Code Modulation Speech Signal จะผลิตสัญญาณจำนวน 8 × 8000 = 64KBits / Second ซึ่งเป็น Binary Code

การสุ่มตัวอย่างในระบบ PCM จะเริ่มสุ่มตั้งแต่ Channel แรกไปจนถึง Channel สุดท้ายเรียงตามลำดับ และกลับมาทำการสุ่มตัวอย่างที่ Channel แรกใหม่อีกครั้งหนึ่ง และเป็นเช่นนี้เรื่อย ๆ ไป ตัวอย่างที่สุ่มมาได้แต่ละตัวอย่างจะถูกส่ง ผ่าน Quantizer และนำไปเข้ารหัส ดังที่ได้กล่าวมาแล้วรูปที่ 2.26 แสดงหลักการของระบบ PCM จำนวน 4 ช่อง ทางด้านส่ง (Transmitter) สัญญาณ Analog Speech Signal ทั้ง 4 ช่อง ถูกส่งผ่านไปยัง Sampler ทีละช่องเรียงกันตามลำดับ จึงทำให้ได้ PAM Signals จากนั้น PAM Signal จะถูกป้อนเข้าไปยัง Quantizer และ Coder ซึ่งทำให้ได้ PCM Signals ที่เป็น Binary Code ของสัญญาณทั้ง 4 ช่อง และส่งออกไปในสายส่งต่อไป ส่วนที่ปลายทางด้านรับ (Receiver) เมื่อได้รับ PCM Signals แล้วก็จะถอดรหัสด้วยตัวถอดรหัส (Decoder) ทำให้ได้ PAM Signals และเมื่อผ่าน Sampler ซึ่ง Synchronized กับ Sampler ทางด้านส่ง PAM Signals จึงถูกแยกออกเป็นสุ่มตัวอย่างของสัญญาณแต่ละช่อง และทำการสร้าง (Reconstruction) Analog Speech Signal อันเดิมด้วย Low Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.26 หลักการของระบบ PCM จำนวน 4 ช่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
หลักการออกแบบวงจร

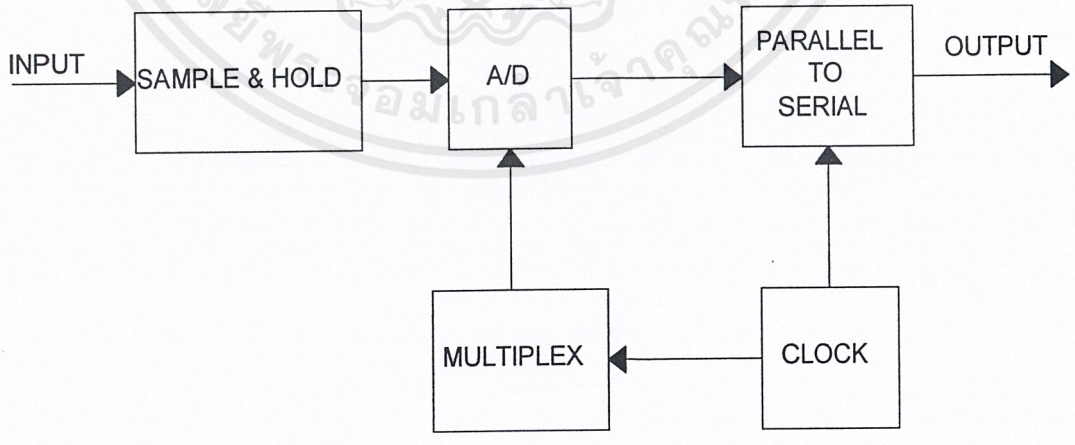
3.1 คำนำ

ในการออกแบบวงจรจะออกแบบเป็นส่วน ๆ เพื่อที่จะเข้าใจได้ง่าย ซึ่งจะแสดงเป็นวงจร และบล๊อกไดอะแกรม การออกแบบจะอาศัยหลักของความเป็นจริงที่เป็นไปได้ โดยอาศัยแหล่งข้อมูลอ้างอิงถึงวงจรการทำงาน ซึ่งแต่ละส่วนของวงจรจะนำมารวมกันเป็นวงจรที่สมบูรณ์ จะประกอบด้วย

1) การออกแบบวงจรภาคส่ง
2) การออกแบบวงจรภาครับ

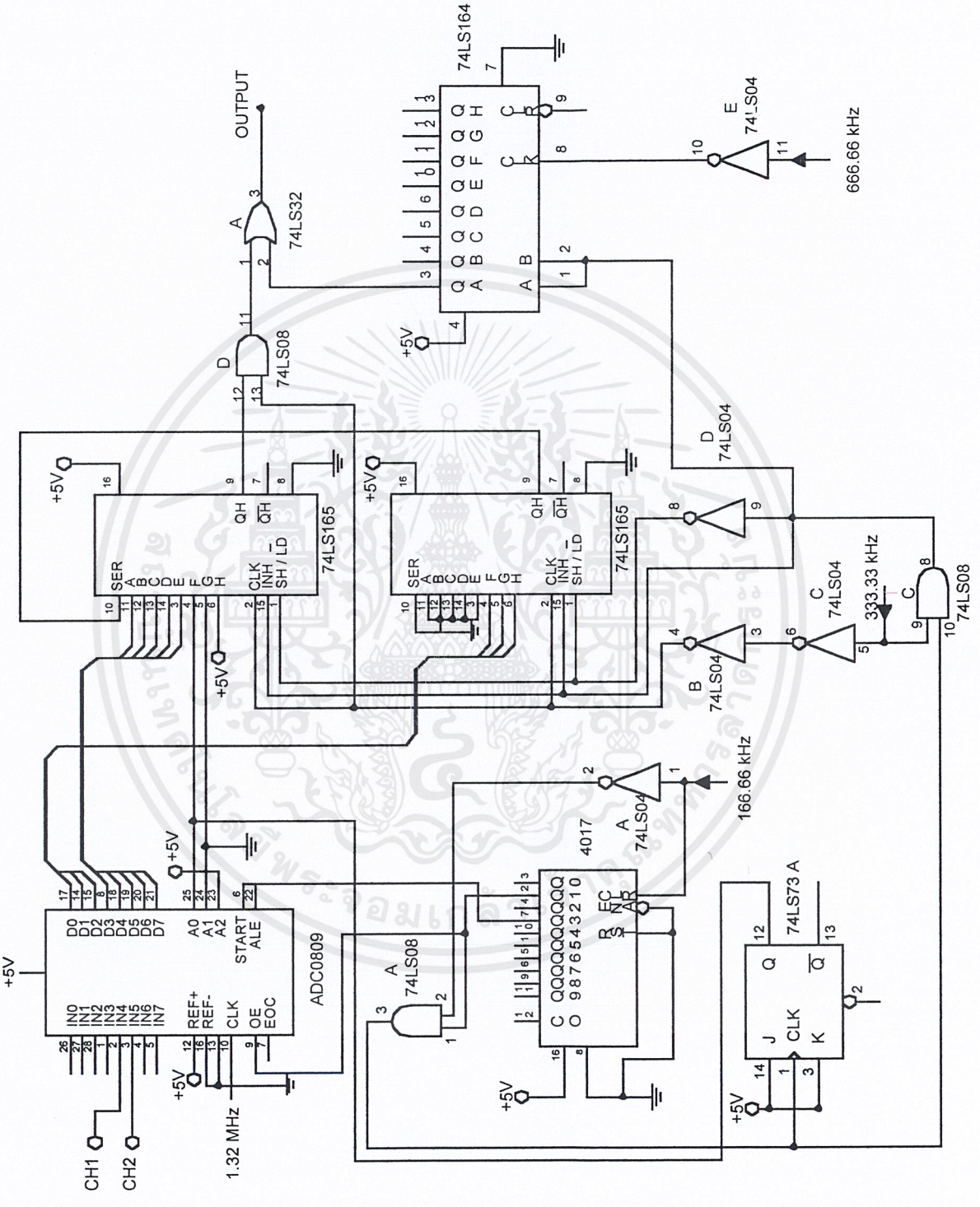
3.2 การออกแบบวงจรภาคส่งทางด้านพีซีเอ็ม (PCM)

การทำงานในส่วนของพีซีเอ็ม เมื่อมีสัญญาณอนาลอกเข้ามาเป็น input ของ A/D จะทำการแซมเปิ้ลแอนด์โฮลด์ โดยคล๊อกความถี่ที่ป้อนให้กับ A/D ซึ่ง A/D ที่ใช้นี้จะเป็นไอซีสำเร็จรูป ที่มีอินพุทจำนวนหลายช่อง แต่ในโครงงานนี้จะใช้เพียง 2 ช่องสัญญาณเท่านั้น โดยมีมัลติเพล็กซ์เป็นตัวควบคุมสัญญาณแต่ละช่อง เมื่อมีสัญญาณอินพุทเข้ามาหลายช่อง และผ่าน A/D คอนเวิร์ทเตอร์ จะได้ออกมาเป็นสัญญาณดิจิตอลที่มีข้อมูลแบบขนานมาอยู่ที่เอาท์พุทแบบขนาน (Parallel output) ข้อมูลจะถูกเปลี่ยนไปเป็นแบบอนุกรม (Serial Data) ส่งออกไปเป็นเอาท์พุท ส่วนวงจรคล๊อก (Clock) จะผลิตความถี่เพื่อที่จะส่งให้วงจรต่าง ๆ ให้มีการทำงานที่ตรงกับความต้องการของแต่ละวงจร โดยแต่ละภาคของวงจรจะต้องมีการซิงโครไนซ์ (Syncronize) กัน



รูปที่ 3.1 บล๊อกไดอะแกรมภาคส่งของพีซีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 วงจรภาคส่งของพีซีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

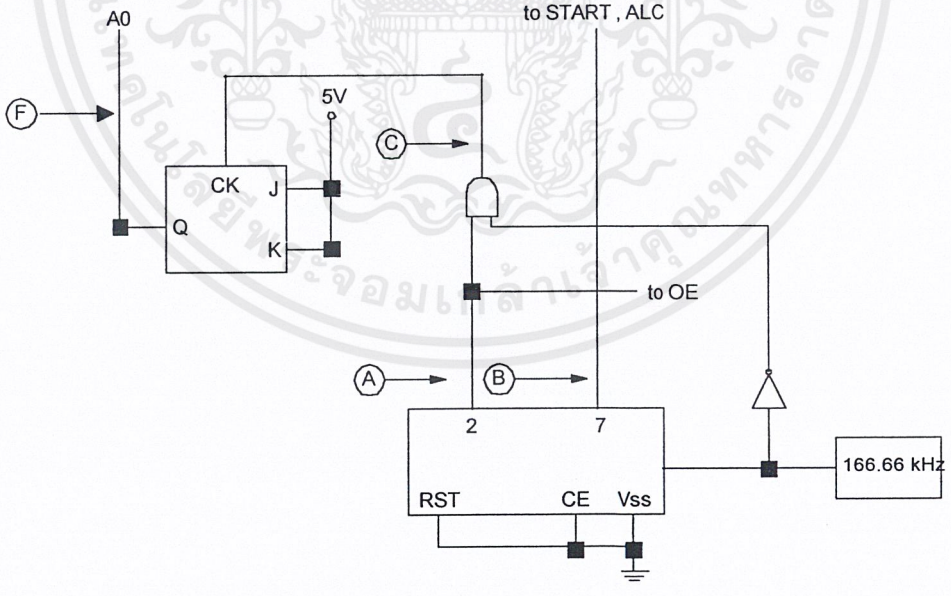
3.3 วงจรการทำงานทางด้านภาคส่ง

เนื่องจากโครงงานชิ้นนี้ ใช้ในการส่งสัญญาณเสียง ซึ่งเป็นความถี่ปานกลาง จึงออกแบบให้มีความถี่ในช่วง 0.5-1.5 kHz เท่านั้น ซึ่งเพียงพอที่จะสื่อสารกันได้

การทำงานจะใช้วิธีการมัลติเพล็กซ์ แบบทีดีเอ็ม (Time Division Multiplex) หรือแบบแบ่งตามคาบเวลา สัญญาณแต่ละช่องจะผ่านกระบวนการตั้งแต่ ผ่านตัวกรอง (Filter) การแซมปลิ้ง จนถึงการเปลี่ยนจากอนาลอกเป็นดิจิตอล การเข้าโค้ดด้วยรูปแบบที่กำหนดไว้แล้ว หลังจากนั้นก็ส่งผ่านตัวกลางไปยังเครื่องรับ ที่เครื่องรับจะมีการเปลี่ยนกลับคืนเป็นสัญญาณอนาลอกอย่างเดิม

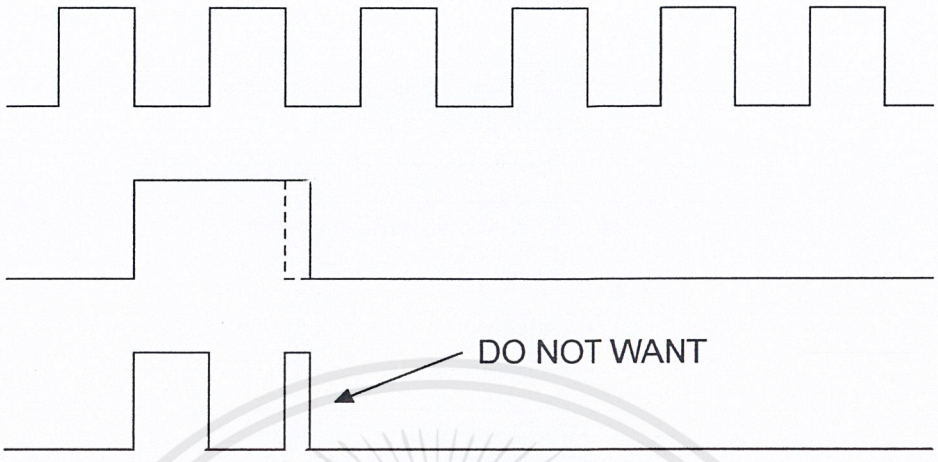
วงจรทางด้านภาคส่ง แสดงดังรูปที่ 3.2 แล้ว สัญญาณอินพุทจะมี 2 ช่องสัญญาณ จะถูกทำการชิฟท์ (Shift) ให้มีโวลเตจอยู่ในช่วง 0 โวลท์ ถึง +5 โวลท์ แล้วจึงนำสัญญาณเข้าไปยัง A/D คอนเวิร์ทเตอร์ เบอร์ ADC0809 ซึ่งสามารถแซมปลิ้งได้ในตัวของมันเอง และมีมัลติเพล็กเซอร์ (Multiplexer) ในตัว 8 ช่อง แล้วผ่านกระบวนการจัดเรียงข้อมูลจากแบบขนานเป็นแบบอนุกรม โดยมีเวิร์ดซิงค์ (Word Synch) 1 บิท บิทแอดเดรส (Bit Address) แสดงว่าข้อมูลมาจากช่องไหน 2 บิท และบิทข้อมูล 8 บิท รวมทั้งหมด 11 บิท ต่อ 1 แซลแนล

สัญญาณเอาท์พุทอีนาเบิ้ล (Output Enable) กับสัญญาณสตาร์ท จะได้มาจากไอซีเบอร์ 4017 ดีเคดเคาท์เตอร์ (Decade Counter) โดยอินพุทคล๊อกมีความถี่ 166.66 kHz



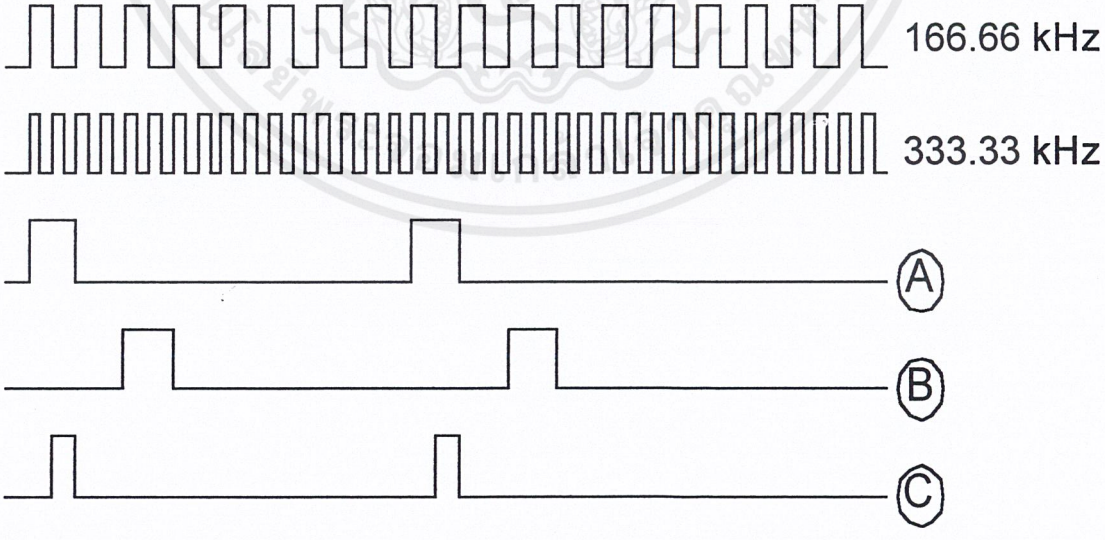
รูปที่ 3.3 วงจรจัดแอดเดรสของไอซีเบอร์ ADC0809

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 สัญญาณที่เกิดดีเลย์ (Delay)

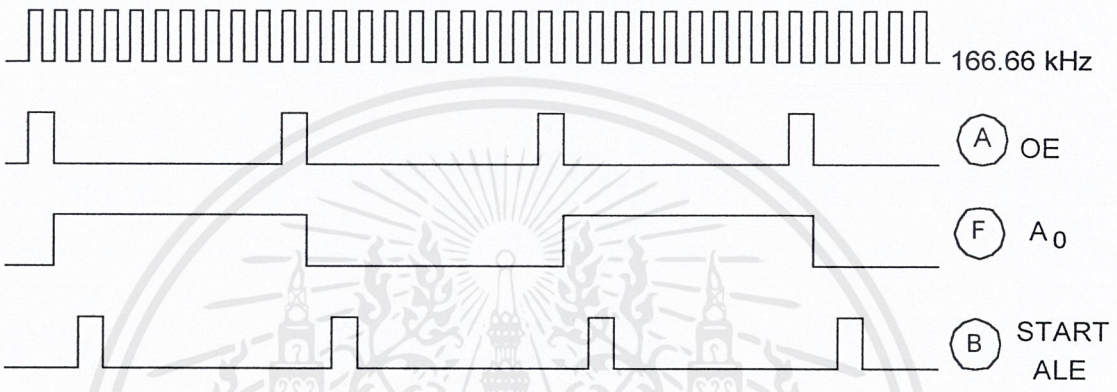
การใส่อินเวิร์ทเตอร์ (Inverter) ให้คล๊อกก่อนจะเข้าแอนด์เกท (And Gate) เพื่อจำกัดพัลส์ (Pulse) ที่เกิดจากการดีเลย์ (Delay) ของตัวนับ ดังแสดงในรูปที่ 3.4 ส่วนไทม์มิ่งไดอะแกรมของไอซีเบอร์ 4017 จะแสดงอยู่ในรูปที่ 3.5



รูปที่ 3.5 ไทม์มิ่งไดอะแกรมของไอซีเบอร์ 4017

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนการทำงานของไอซีเบอร์ ADC0809 นั้นจะมีขาอินพุทอยู่ 8 ขา (IN0-IN7) โดยมี 3 บิทแอดเดรสเป็นตัวควบคุมว่าจะให้อนาลอกอินพุทช่องไหนเข้า เนื่องจากจะใช้อินพุทเพียง 2 ช่อง จึงกำหนดให้ 3 บิทแอดเดรสเป็น 100 และ 101 โดยจะได้มาจากการนำสัญญาณที่จุด C (รูปที่ 3.3) เป็นคล๊อกของทีฟลิบฟลอบ (T Flip-Flop) เป็นบิทต่ำสุดของแอดเดรสเข้าที่ขาแอดเดรส A_0 ส่วนที่ขาแอดเดรส A_1 นั้นต่อลง Ground และขาแอดเดรส A_2 นั้นต่อเข้าจุด Vcc



รูปที่ 3.6 ไทม์มิ่งไดอะแกรม (Timing Diagram) ของสัญญาณ

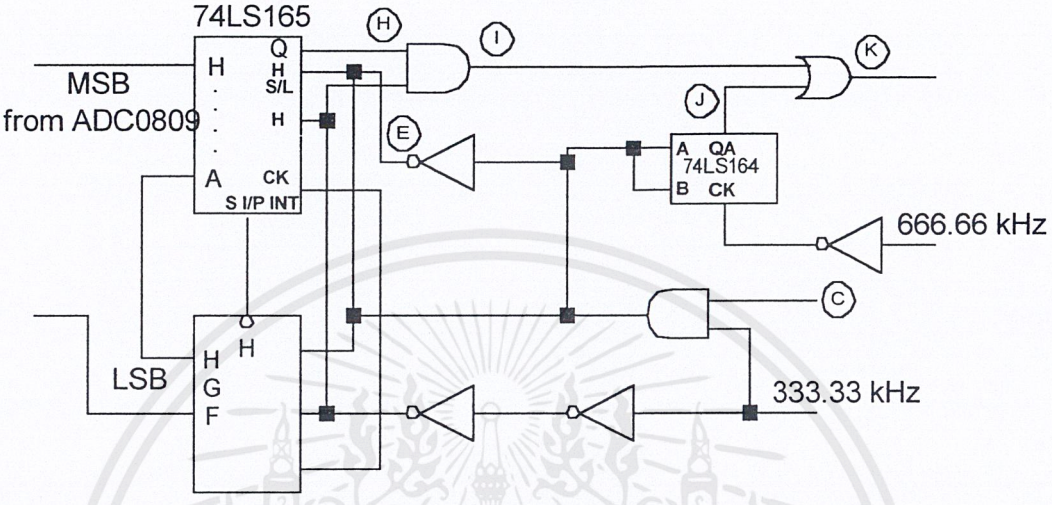
ส่วนสัญญาณเอาท์พุทอีนาเบิ้ล ซึ่งควบคุมให้ A/D คอนเวิร์ทเตอร์ส่งข้อมูลออกมา และจะนำไปป้อนเข้าวงจรแปลงข้อมูลจากแบบขนานเป็นแบบอนุกรมต่อไป

ส่วนสัญญาณที่ขาสตาร์ท (Start) และแอดเดรสแลชอีนาเบิ้ล (Address Latch Enable : ALE) ซึ่งจะเป็นตัวควบคุมให้ A/D เริ่มการคอนเวอร์ชั่น (Conversion) โดยรับแอดเดรสที่ขาขึ้นของสัญญาณเอแอลอี จึงใช้สัญญาณที่จุด B มาใช้เป็นตัวควบคุมสัญญาณสำหรับคล๊อกของตัว ADC นั้น ใช้ประมาณ 1,000 kHz ซึ่งความถี่ขนาดนี้ ค่าคอนเวอร์ชั่นไทม์จะมีค่าประมาณ 100 ไมโครวินาที ต่อแซมปลิ้ง (μs / Sampling) ซึ่งน้อยกว่าคาบของการแซมปลิ้ง ซึ่งสัญญาณต่าง ๆ นี้จะแสดงอยู่ในรูปที่ 3.6

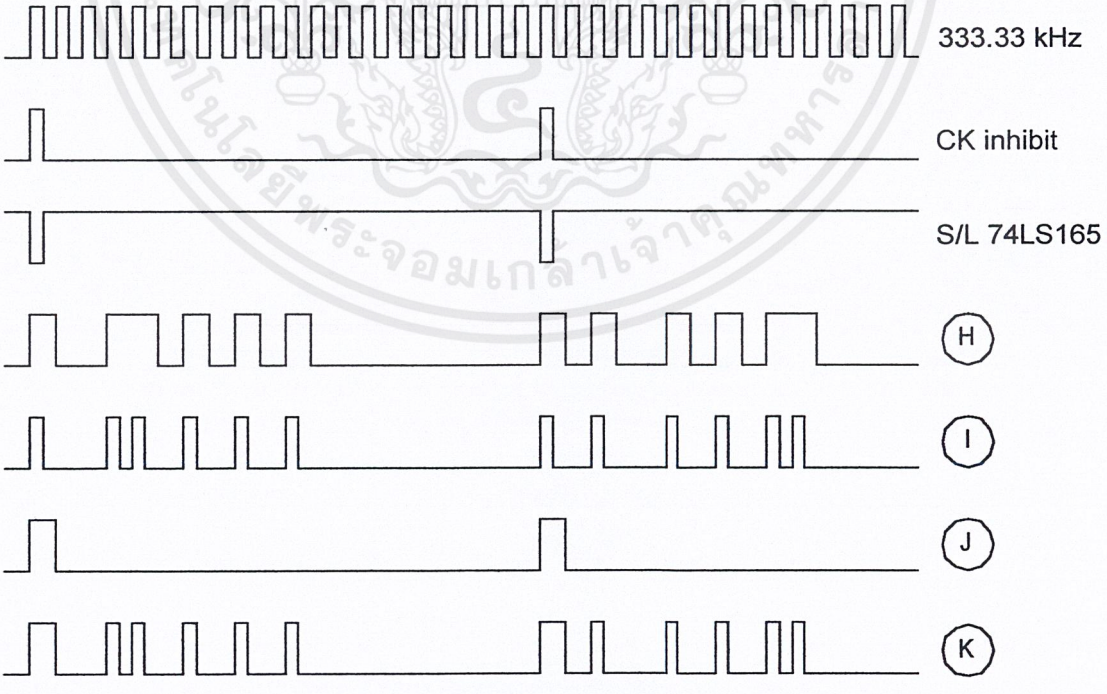
เมื่อข้อมูลแบบดิจิตอลของตัว ADC มาอยู่ที่เอาท์พุทแบบขนาน โดยสัญญาณโออี (OE) แล้ว ข้อมูลแบบขนาน (Parallel Data) ของไอซีเบอร์ ADC0809 จะถูกเปลี่ยนไปเป็นข้อมูลแบบอนุกรม (Serial Data) โดยใช้ไอซีเบอร์ 74LS165 (8 Bit PISO) ข้อมูลแบบอนุกรมที่จะถูกส่งออกไปทีละเวิร์ด โดยใช้ 1 เวิร์ด แทนข้อมูล 1 ช่อง โดยจะมีด้วยกัน 11 บิท บิทแรกจะเป็นเวิร์ดซิงค์ (Word Synch) 2 บิทถัดมาจะเป็นบิทแอดเดรส ซึ่งจะเป็นตัวบอกว่าเป็นข้อมูลจากช่องไหน อีก 8 บิทหลังจะเป็นค่าของข้อมูลอนาลอก บิทเรท (Bit Rate) ของข้อมูล (Data) ที่ออกจากไอซีเบอร์ 74LS165 จะเท่ากับคล๊อกที่ป้อนให้ ซึ่งจะใช้ 333.33 kHz จะมีช่วงเวลาที่จะต้องส่งให้เสร็จเท่ากับ 1 / 16.66 kHz เท่ากับ 60 ไมโครวินาที มีแค่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11 บิท ซึ่งมีความกว้างของแต่ละบิทเท่ากับ 1 / 333.33 kHz เท่ากับ 3 ไมโครวินาที เพราะฉะนั้น ในการส่ง 11 บิทจะใช้เวลาประมาณ 33 ไมโครวินาทีเท่านั้น ซึ่งดูได้จากรูปที่ 3.7



รูปที่ 3.7 วงจรเปลี่ยนข้อมูลจากแบบขนานเป็นแบบอนุกรม



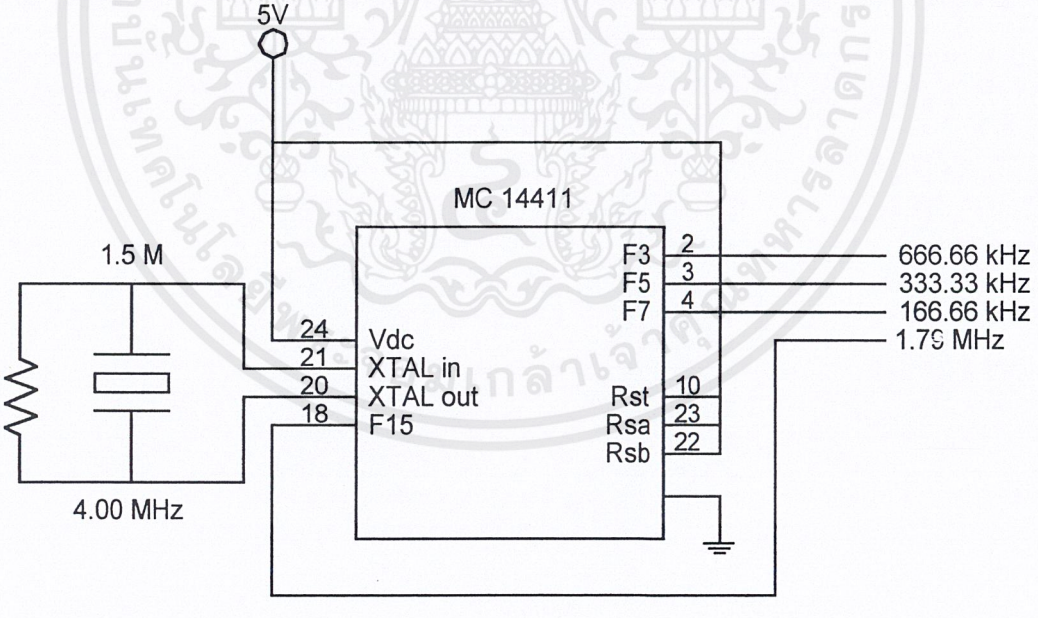
รูปที่ 3.8 ไทม์มิ่งไดอะแกรมของสัญญาณเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากข้อมูลที่จะส่งมี 11 บิท แต่อินพุทแบบขนานของไอซีเบอร์ 74LS165 มีแค่ 8 บิท จึงใช้ไอซีเบอร์ 74LS165 จำนวน 2 ตัวมาอนุกรมกัน บิทนัยสำคัญมากสุด (MSB) จะให้เป็นเวิร์ทชิงค์ ซึ่งเป็น 1 (High) 2 บิทถัดมา ได้มาจากบิทแอดเดรสของไอซีเบอร์ ADC0809 อินพุทแบบขนานที่ไม่ได้ใช้ของไอซีเบอร์ 74LS165 จะโหลดข้อมูลเข้าด้วยสัญญาณชิฟท์โหลด (Shift / Load) จากนั้นจึงชิฟท์ออกไปด้วยความถี่คล๊อกของมันเอง หลังจากสัญญาณคล๊อกอินไฮบิท (Clock Inhibit) เป็น 0 (Low) ดูรูปที่ 3.8 ไทม์มิ่งไดอะแกรม สัญญาณที่ส่งออกไปจะต้องมีการเข้าโค้ด เพื่อใช้ในการดีเทค (Detect) สัญญาณ ในภาครับจะใช้แบบยูนิโพลาร์รีเทอร์นทูซีโร่ (Unipolar Return to Zero) โดยนำสัญญาณที่จุด H ไปแอนด์กับคล๊อกความถี่ 333.33 kHz ได้สัญญาณที่จุด I ต่อไปเมื่อต้องการเวิร์ดซิงค์ มีความกว้าง 1 บิท ทำได้โดยนำสัญญาณคล๊อกอินไฮบิทไปชิฟท์ถอยไปอีกครึ่งบิท โดยผ่านไอซีเบอร์ 74LS164 ได้เป็นสัญญาณออกที่จุด J เมื่อนำไปออร์ (OR) กับสัญญาณที่จุด I ก็จะได้สัญญาณที่จุด K

3.4 วงจรสร้างสัญญาณคล๊อก

ในส่วนของวงจรสร้างคล๊อกจะใช้ไอซีเบอร์ MC14411 ซึ่งสามารถผลิตความถี่ออกมา โดยใช้คริสตอล (Crystal) ได้ 16 ค่าต่าง ๆ กัน สามารถที่จะเลือกใช้ได้ตามต้องการ ดังรูปที่ 3.9

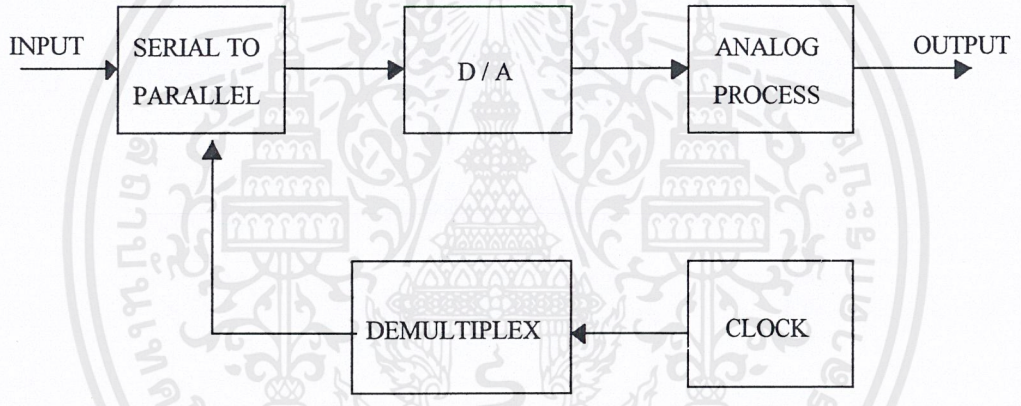


รูปที่ 3.9 วงจรสร้างสัญญาณคล๊อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 การออกแบบวงจรภาครับทางด้านพีซีเอ็ม (PCM)

การทำงานในภาครับจะออกแบบเป็นวงจรซิงโครไนซ์ เมื่อข้อมูล (Data) เข้ามาเป็นข้อมูลแบบอนุกรม (Serial Data) จะถูกเปลี่ยนเป็นข้อมูลแบบขนาน (Parallel Data) โดยใช้ไอซีประเภทเอสไอพีโอ (Serial In Parallel Out หรือ SIPO) จะทำหน้าที่จัดเรียงข้อมูลให้เป็นแบบขนานอย่างเดิม การที่จะควบคุมข้อมูลให้ตรงกับสัญญาณอินพุททางด้านส่งนั้น จะต้องทำการจัดช่องสัญญาณให้ตรงกัน (Demux) เมื่อสัญญาณข้อมูลแต่ละชุดเข้าไปในช่องสัญญาณจะถูกวงจรดีทูเอคอนเวิร์ทเตอร์ เปลี่ยนสัญญาณข้อมูลที่เป็นสัญญาณข้อมูลแบบดิจิตอลกลับมาเป็นสัญญาณข้อมูลแบบอนาลอกตามเดิมเหมือนกับสัญญาณที่ถูกป้อนมาทางอินพุทของภาคส่ง ซึ่งจะใช้วงจรแอมพลิฟลายเป็นตัวขยาย และจัดรูปสัญญาณร่วมกับวงจรกรองความถี่ต่ำ (Low Pass Filter) ซึ่งในทางภาครับจะต้องมีสัญญาณนาฬิกาที่ผลิตออกมาสัมพันธ์กับสัญญาณอินพุทจากด้านส่งที่เข้ามา



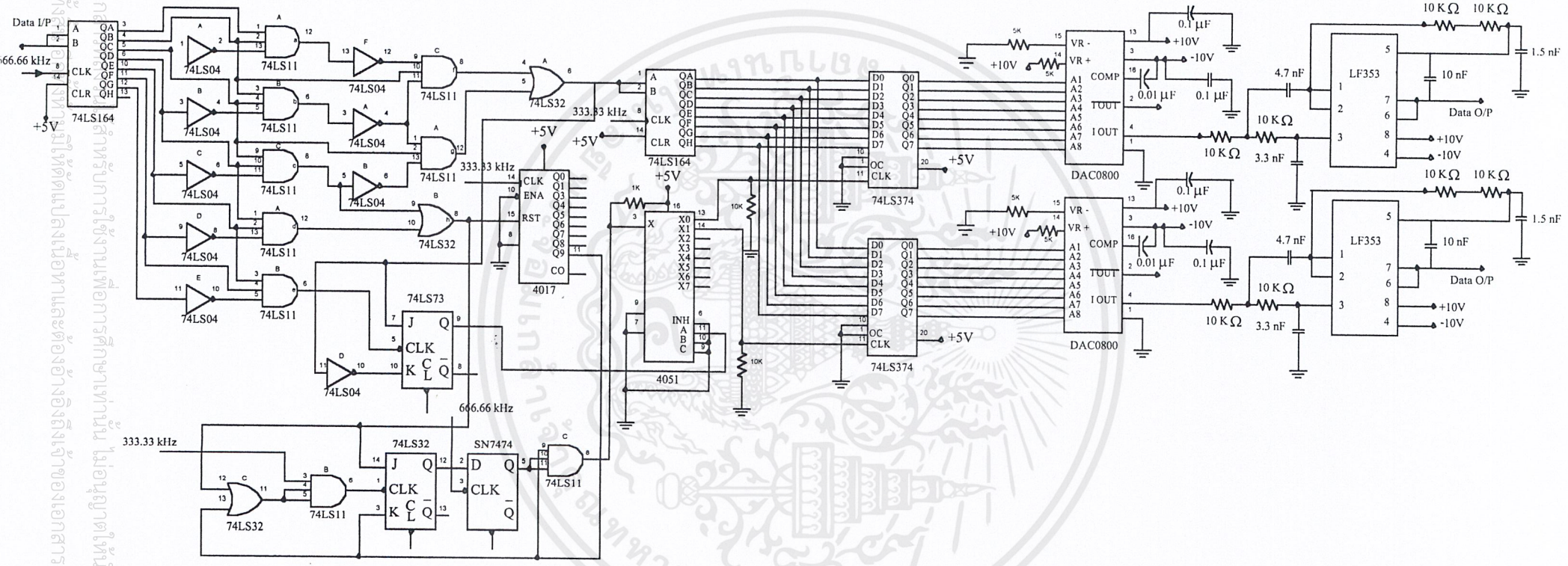
รูปที่ 3.10 บล๊อกไดอะแกรมภาครับของพีซีเอ็ม

3.6 วงจรการทำงานทางด้านภาครับ

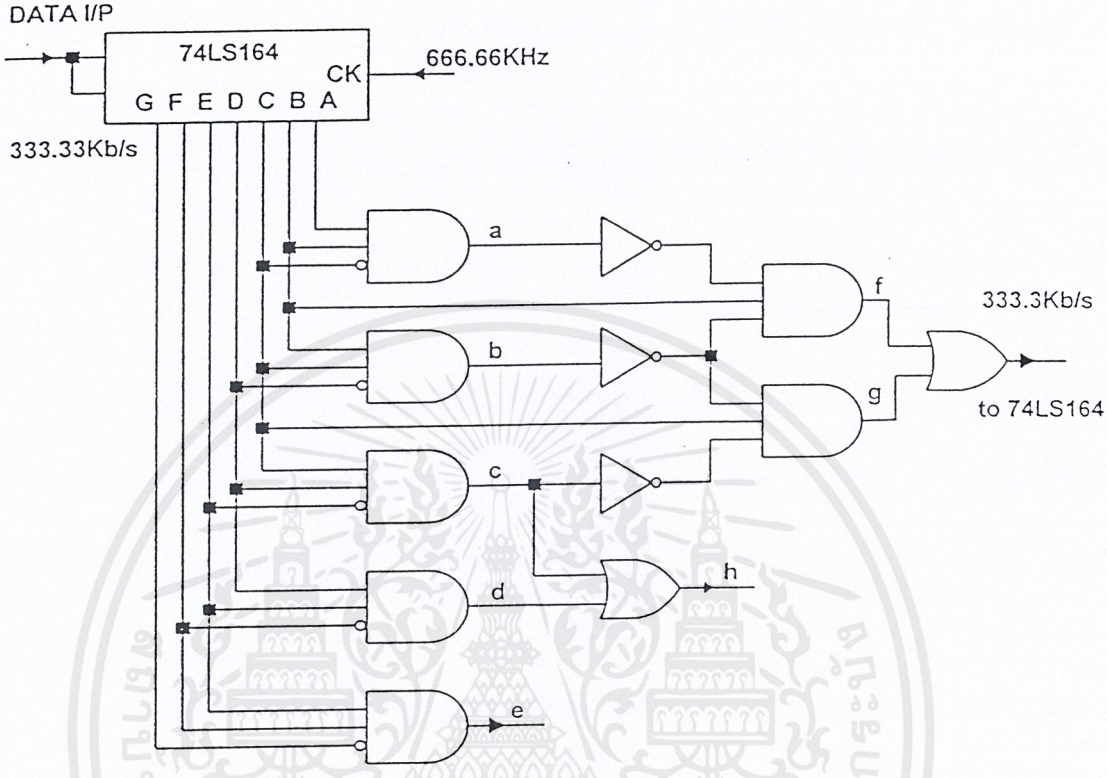
ในภาครับได้ใช้วงจรสร้างคล๊อกไอซีเบอร์ MC14411 ซึ่งสามารถผลิตความถี่ออกมาโดยใช้คริสตอล (Crystal) ได้ 16 ค่าต่าง ๆ กัน เช่นเดียวกับวงจรสร้างคล๊อกในภาคส่ง เราจะนำค่าความถี่ 666.66 kHz และ 333.33 kHz มาใช้ภายในวงจรภาครับ เพื่อให้ภาครับและภาคส่งสามารถซิงโครไนซ์กันได้ ซึ่งรูปที่ 3.11 จะเป็นรูปแสดงวงจรซิงโครไนส์เซชั่น โดยมีไอซีเบอร์ 74LS164 เป็นตัวทำให้ข้อมูลที่รับมามีความสัมพันธ์กับคล๊อกของเครื่องรับ

จากรูปที่ 3.12 จะเห็นได้ว่า เมื่อข้อมูลเข้ามาที่ไอซีเบอร์ 74LS164 ซึ่งเป็นไอซีที่รับอินพุทแบบอนุกรม แล้วเปลี่ยนไปเป็นเอาท์พุทแบบขนาน โดยจะใช้ความถี่คล๊อกเป็น 2 เท่าของบิทเรทของข้อมูล ดังนั้นเอาท์พุทแต่ละขาจะดีเลย์กันอยู่ 1/2 บิท เอาท์พุทที่ออกมาแต่ละขาจะสัมพันธ์กับคล๊อกเสมอ จึงตัดปัญหาความไม่สัมพันธ์กันของบิทข้อมูลกับคล๊อกไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 วงจรภาครับของพีซีเอ็ม

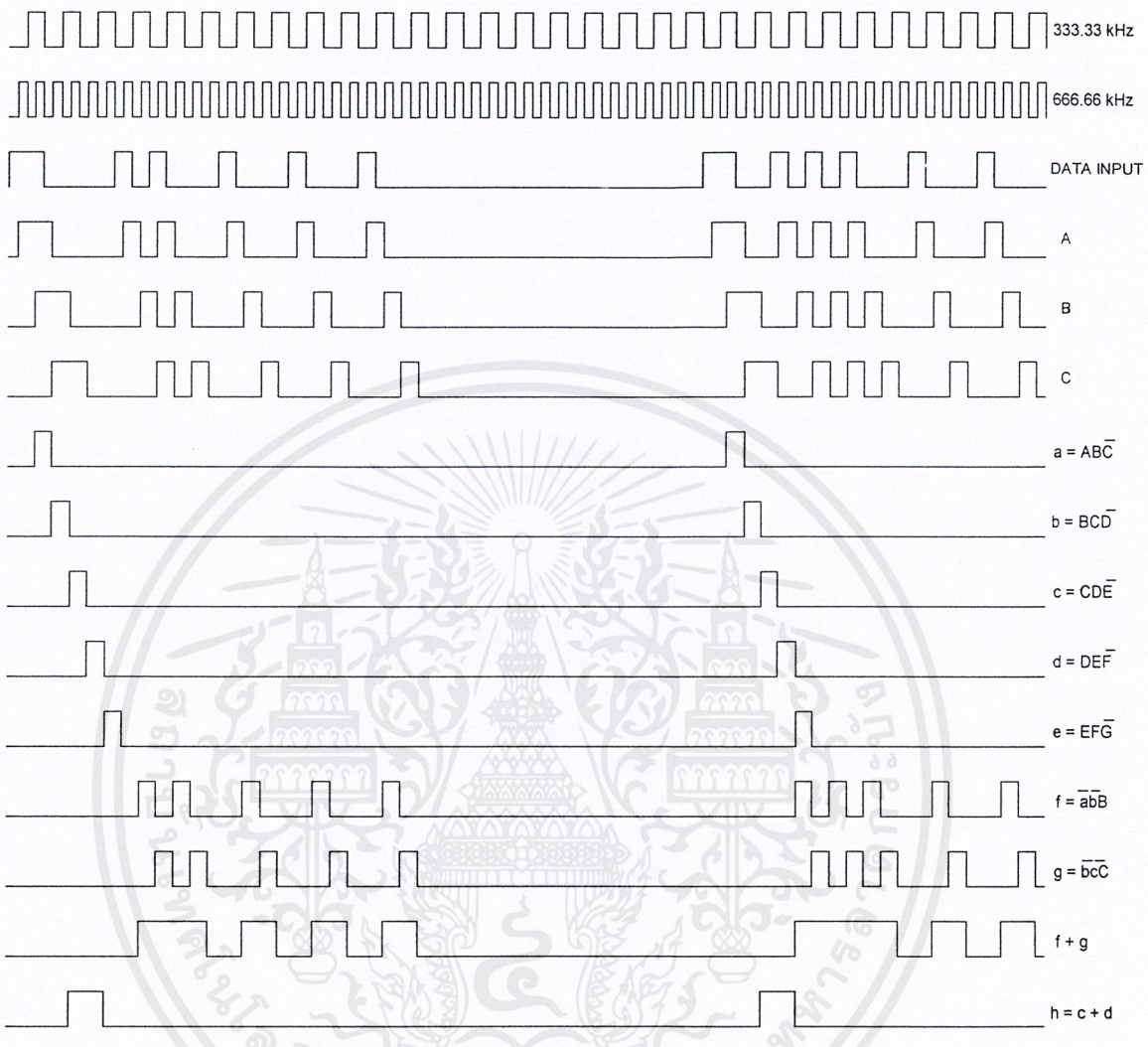


รูปที่ 3.12 วงจรซิงโครไนซ์เซชั่น

รูปที่ 3.12 แสดงการดีเทคเวิร์ดซิงค์บิท (Word Sync Bit), แอดเดรสบิท และดาต้าบิทออกมา ส่วนรูปที่ 3.13 แสดงสัญญาณที่ออกจากจุดต่าง ๆ

- รูปสัญญาณ a, b, c, d, e นำมาจัดวงจรซิงโครไนซ์เซชั่นเพื่อจัดเงื่อนไขดีเทคเวิร์ดซิงค์บิทออกไป จะได้สัญญาณ f และ g ที่ประกอบด้วย แอดเดรสบิทและดาต้าบิท
- จากรูปสัญญาณที่ f และสัญญาณที่ g จะนำมาเข้าออร์เกท เพื่อแปลงข้อมูลจากการเข้ารหัสจากทางด้านส่งแบบ Return to Zero (RZ) ให้กลับมาเป็นข้อมูลตามเดิมก่อน ซึ่งจะเป็นแอดเดรสบิท และดาต้าบิทที่ตรงกับจังหวะสัญญาณรูป B (ใช้เป็นหลักในการพิจารณาของวงจร)
- รูปสัญญาณ e จะตรงกับแอดเดรสบิตที่ 2 เทียบกับสัญญาณรูป B เพื่อป้อนเข้าเป็นแอดเดรสของตัวดีมัลติเพล็กซ์อีกครั้งหนึ่ง โดยใช้เจเคฟลิปฟลอป (JK – FF) ทำเป็นดีฟลิปฟลอป (D - FF) อินพุทเข้า ได้จากสัญญาณ (f+g) โดยใช้สัญญาณ e เป็นคล็อก ซึ่งจะได้เอาท์พุท Q ก็คือ A_0

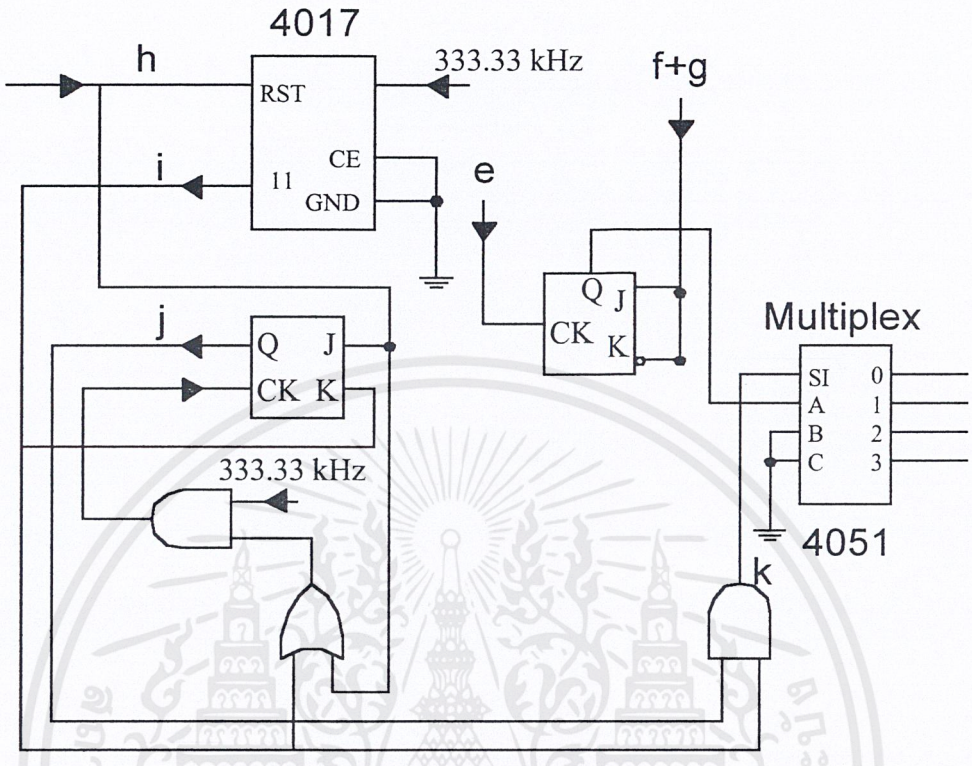
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 สัญญาณแต่ละจุดของวงจรซิงโครไนซ์เซชั่น

ตัวดีมัลติเพล็กซ์ในโครงงานนี้ จะใช้ไอซีเบอร์ 4051 เป็นตัวดีมัลติเพล็กซ์สัญญาณที่จะไปเป็นคล๊อกควบคุมให้ไอซีเบอร์ 74LS374 (Octal D-Type Flip-Flop) ทำการโหลดข้อมูลนั้นไปซึ่งจะต้องเป็นช่วงที่ข้อมูลดิจิตอล 8 บิท มาอยู่ตรงกลาง Q_H จนถึง Q_A ของไอซีเบอร์ 74LS164 พอดีนั้น คือ ช่วงเวลาขาขึ้นของคล็อกควบคุมนั้น จะต้องอยู่ระหว่างบิทสำคัญต่ำสุดของข้อมูล เพราะไอซีเบอร์ 74LS374 จะโหลดข้อมูลเข้าช่วงขาขึ้นของคล๊อก สัญญาณควบคุมสร้างโดยใช้คล๊อกความถี่ 333.33 kHz ผ่านวงจรนับสิบโดยใช้ไอซีเบอร์ 4017

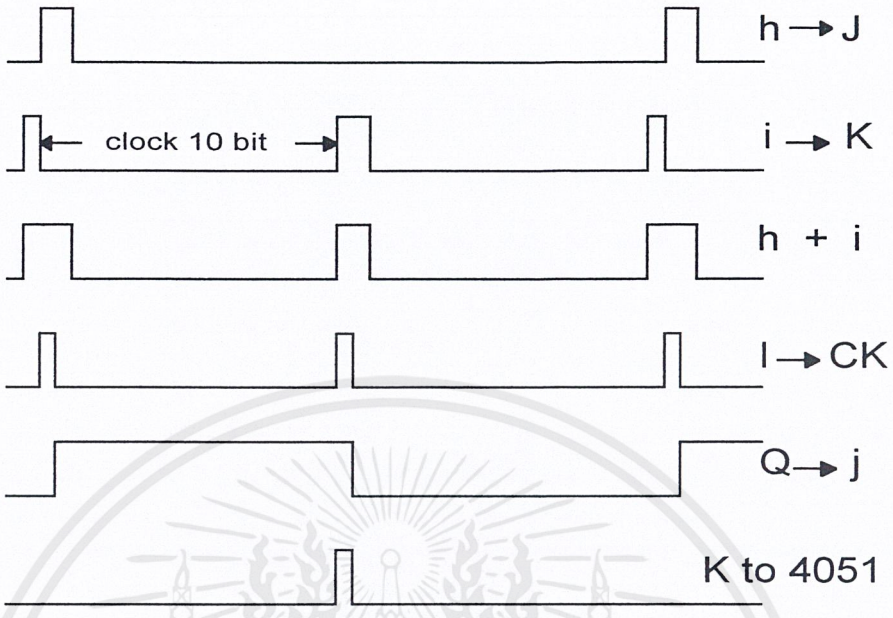
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 วงจรดีมัลติเพล็กซ์

ใช้สัญญาณที่จุด h เข้าขารีเซ็ต (Reset) ของไอซีเบอร์ 4017 เป็นตัวบอกให้เริ่มต้นนับเนื่องจากสัญญาณที่จุด h ตรงกับแอดเดรสบิท (A_0) ห่างจากบิทนัยสำคัญต่ำสุดของข้อมูล 10 บิท จึงให้ไอซีเบอร์ 4017 ทำการนับสิบ แล้วนำสัญญาณออกที่ขา 11 เนื่องจากในคาบหนึ่งของสัญญาณ h มีคล็อกที่ออกจากไอซีเบอร์ 4017 หลายลูก แต่เราต้องการเพียงลูกที่ตรงกับบิทนัยสำคัญต่ำสุดของข้อมูลเท่านั้น ซึ่งสามารถทำได้โดยใช้ เจเคฟลิปฟลอบ ให้สัญญาณ h เข้าขา j สัญญาณ i จากขาดีโคดเดอร์เอาท์พุท (Decoded Output) Q_9 (ขา 11 ของไอซีเบอร์ 4017) เข้าขา k ส่วนคล็อกของเจเคฟลิปฟลอบได้จากการนำสัญญาณ h ไปรวมกับสัญญาณ i แล้วลดความกว้างของคล็อกลงครึ่งหนึ่ง (เพราะมีผลต่อการทำงานของฟลิป-ฟลอบ ถ้าใช้ความกว้างของคล็อกเท่าเดิม) จะได้เอาท์พุทเป็นสัญญาณ j แล้วนำไปผ่านดีฟลิปฟลอบอีกครั้งหนึ่ง เพื่อเลื่อนเฟสทำให้สามารถกำจัดสัญญาณส่วนเกินออกไปได้ ก่อนที่จะนำไปแอนด์กับสัญญาณ i จะได้สัญญาณ k ดังรูปที่ 3.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



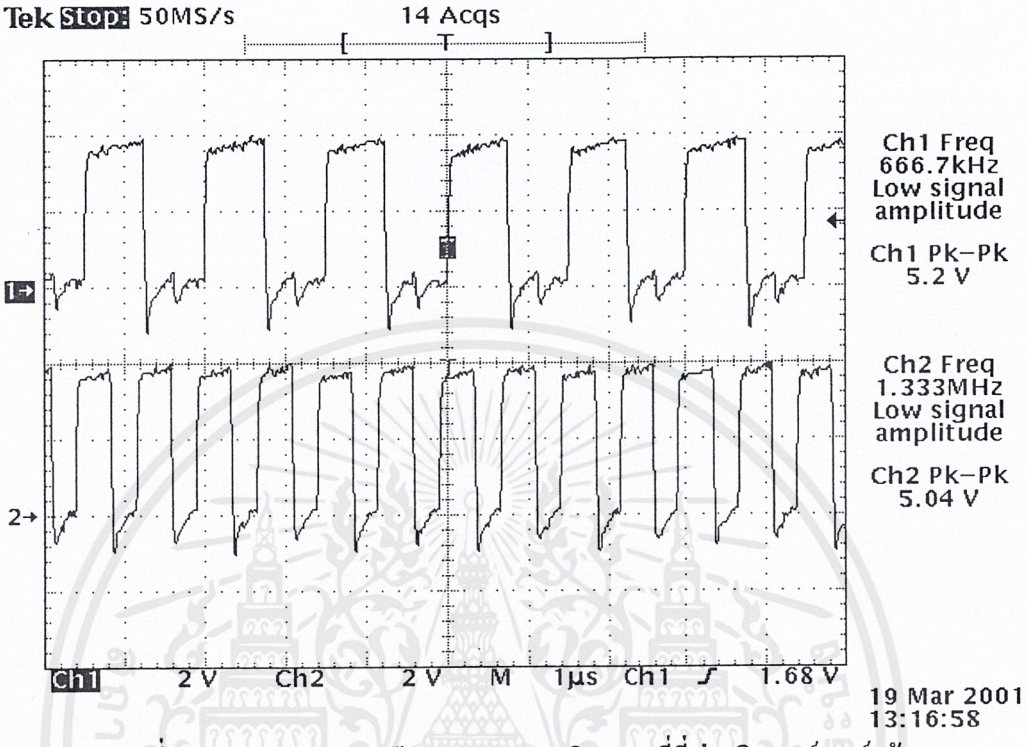
รูปที่ 3.15 รูปสัญญาณที่ใช้ควบคุมไอซีเบอร์ 4051

เมื่อได้สัญญาณ k แล้วจะนำไปดีมัลติเพล็กซ์ เพื่อจ่ายเป็นคล๊อกของไอซีเบอร์ 74LS374 ควบคุมการโหลดข้อมูลให้แยกเป็น 2 ช่อง จากนั้นไอซีเบอร์ DAC 0800 จะเปลี่ยนข้อมูลจากดิจิตอล เป็นเอาท์พุทแบบอนาลอกของไอซีเบอร์ DAC 0800 ซึ่งจะอยู่ในรูปของการเปลี่ยนแปลงของกระแส จะได้เอาท์พุทที่เหมือนกับสัญญาณพีเอเอ็มในภาคส่ง แล้วเมื่อนำมาผ่านฟิลเตอร์จึงจะได้สัญญาณอนาลอกเป็นเอาท์พุทสุดท้าย มีลักษณะเหมือนกับสัญญาณอนาลอกของภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

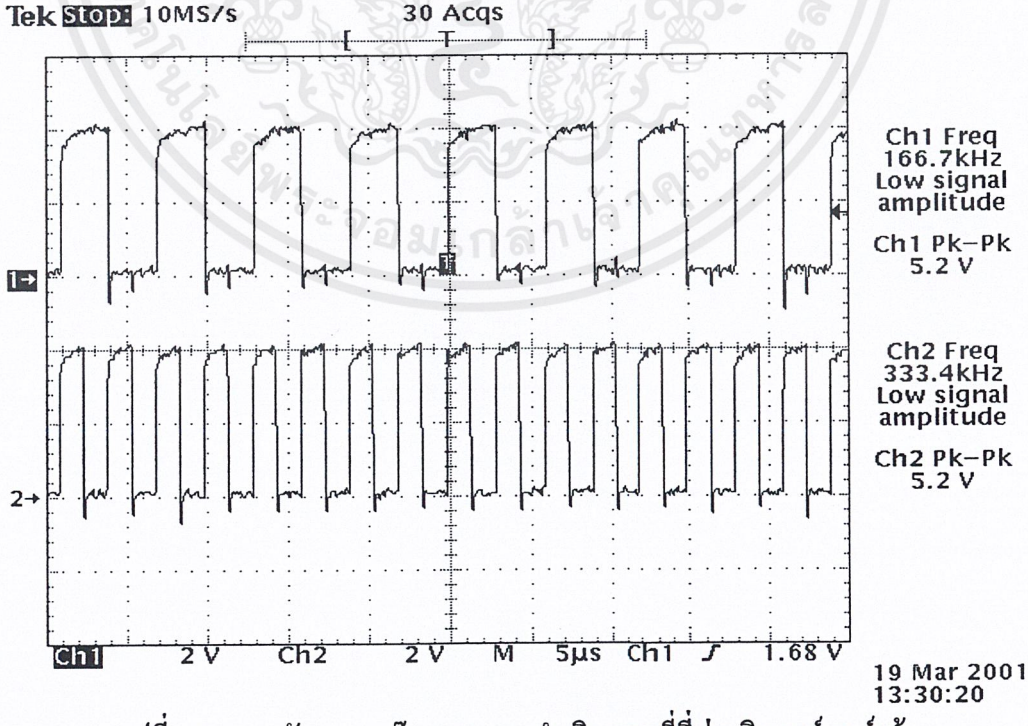
บทที่ 4

ผลการทดลอง



รูปที่ 4.1 แสดงสัญญาณคล็อกจากวงจรกำเนิดความถี่ที่ผ่านอินเวอร์เตอร์แล้ว

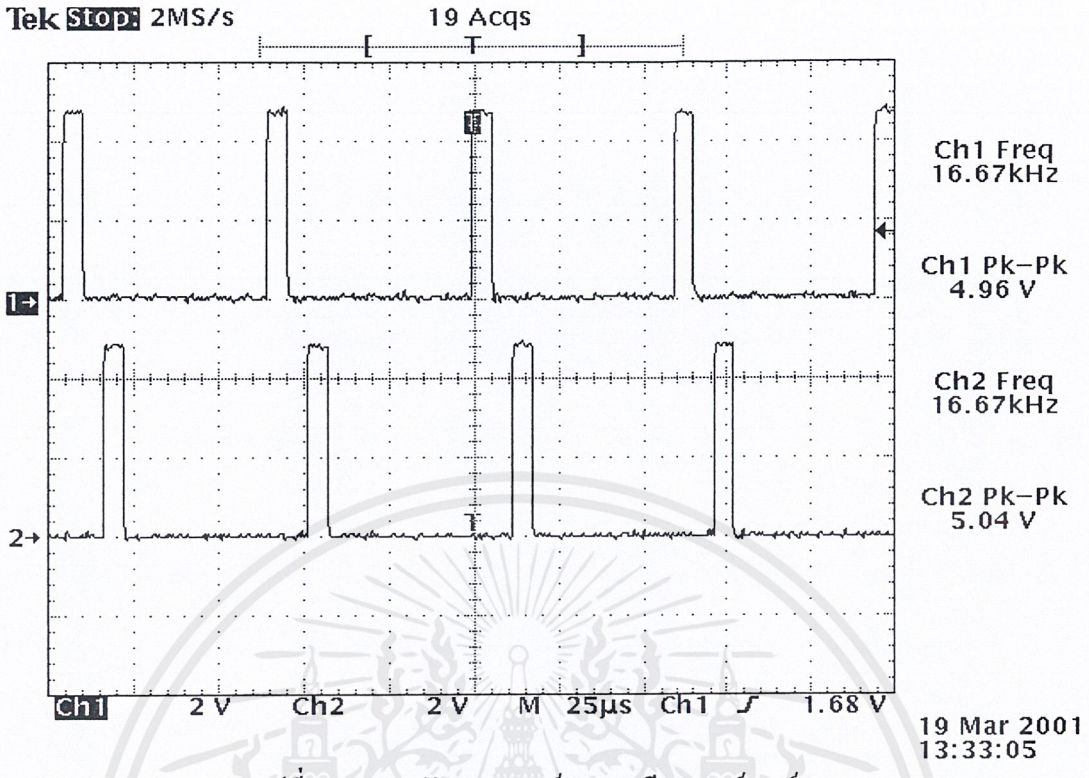
ความถี่ 666.66 kHz (CH1) เทียบกับ ความถี่ 1.33 MHz (CH2)



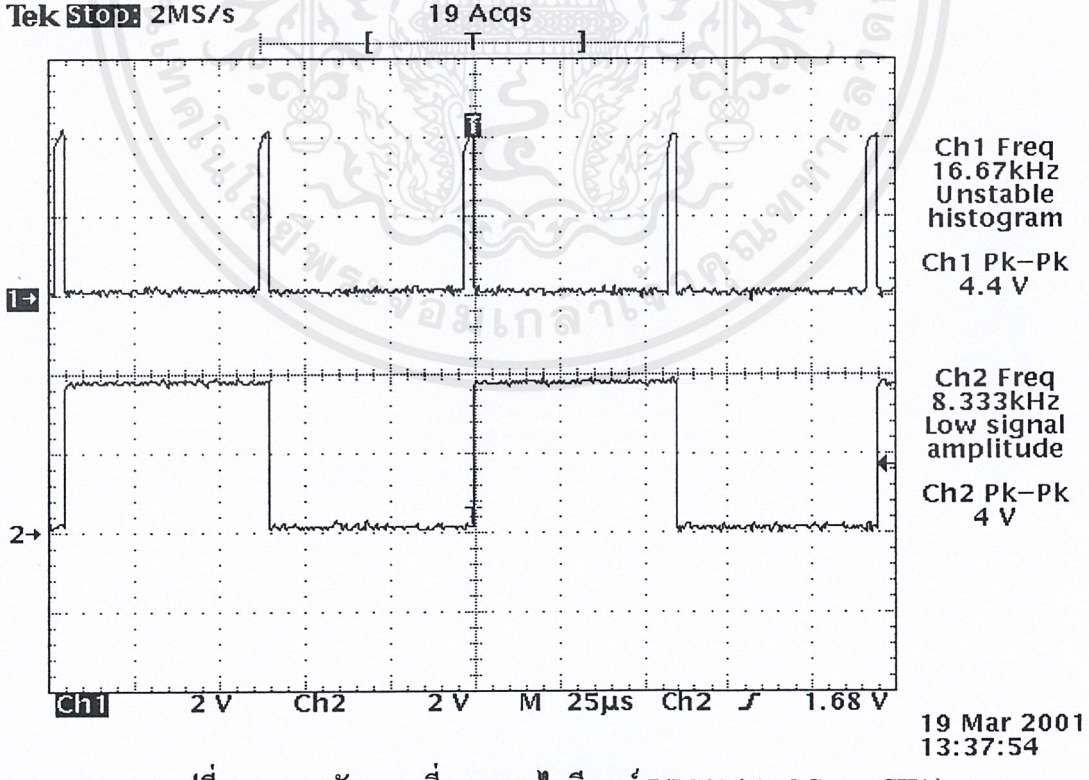
รูปที่ 4.2 แสดงสัญญาณคล็อกจากวงจรกำเนิดความถี่ที่ผ่านอินเวอร์เตอร์แล้ว

ความถี่ 166.66 kHz (CH1) เทียบกับ ความถี่ 333.33 kHz (CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

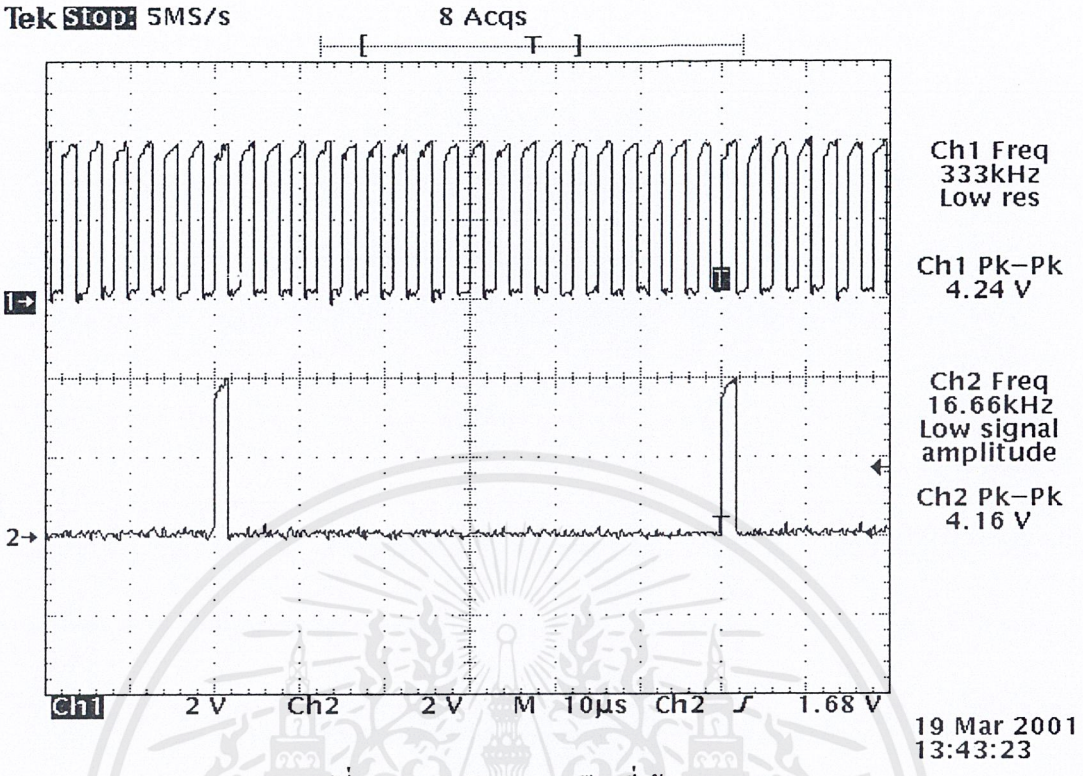


รูปที่ 4.3 แสดงสัญญาณเอาท์พุทจากดีเคดเคาท์เตอร์ 4017
ขา 2 (CH1) เทียบกับ ขา 7 (CH2)



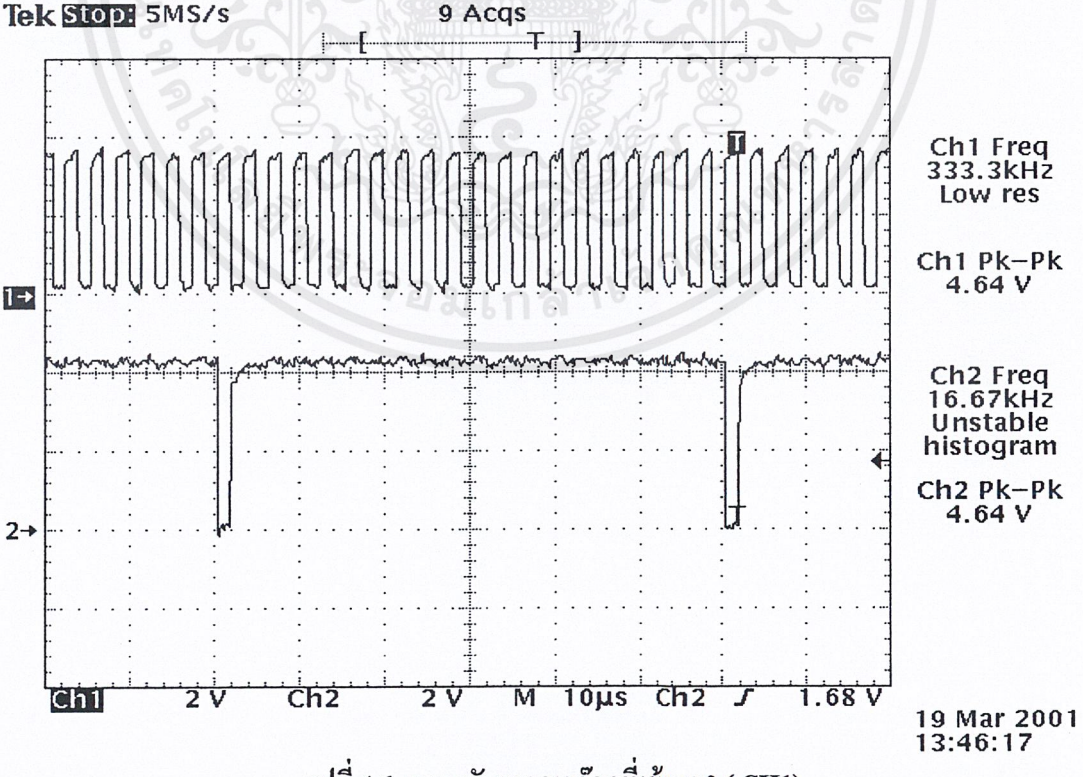
รูปที่ 4.4 แสดงสัญญาณที่ขา 3 ของไอซีเบอร์ 74LS08 (And Gate : CH1)
เทียบกับ สัญญาณที่ขา 12 ของไอซีเบอร์ 74LS73 (T – Flipflop : CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 แสดงสัญญาณคล็อกที่เข้าขา 2 (CH1)

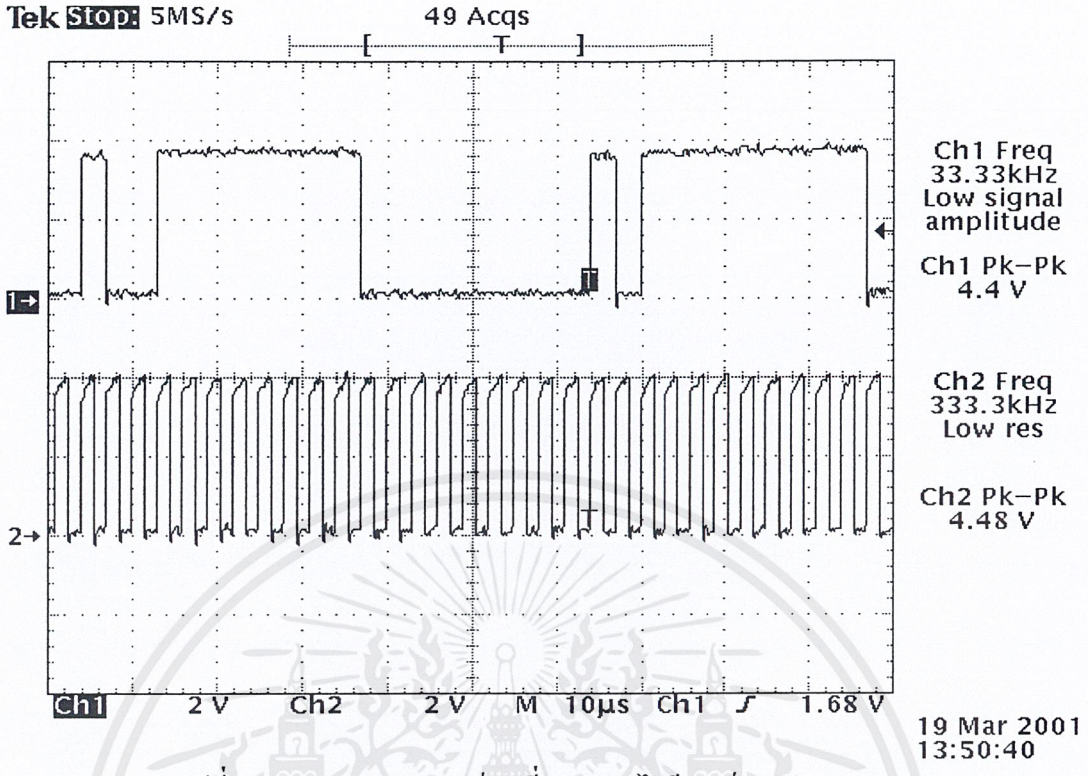
เทียบกับ สัญญาณที่เข้าขา 15 (CH2) ของไอซีเบอร์ 74LS165



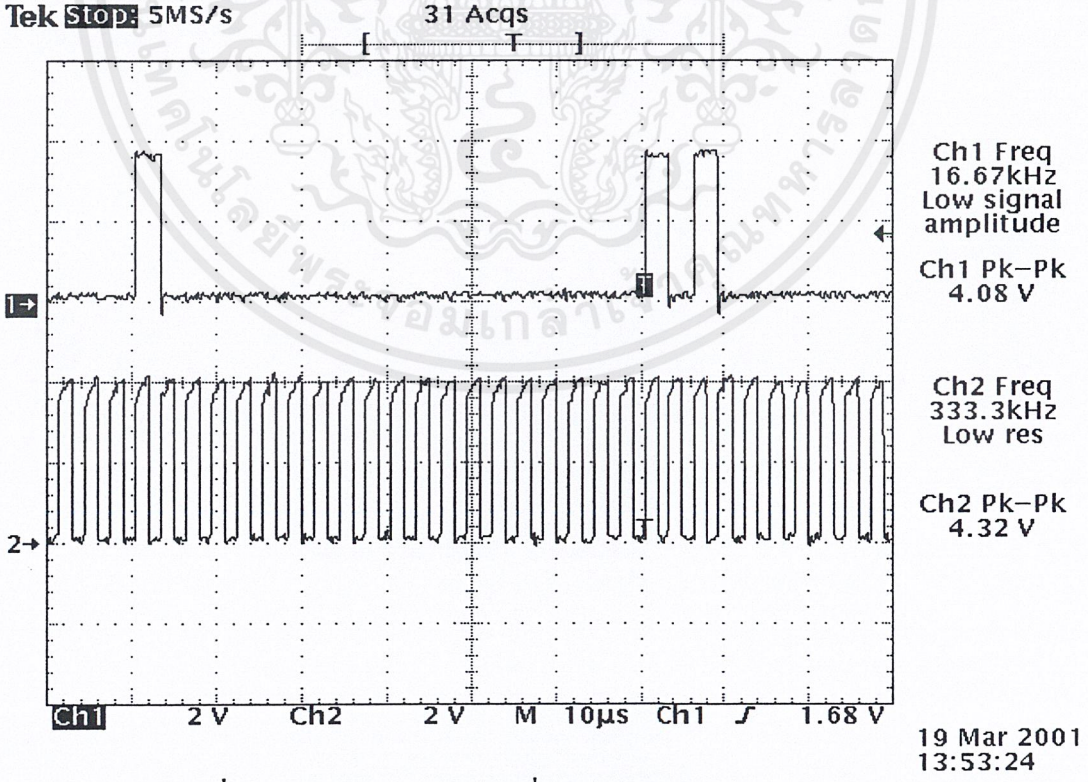
รูปที่ 4.6 แสดงสัญญาณคล็อกที่เข้าขา 2 (CH1)

เทียบกับ สัญญาณที่เข้าขา 1 (CH2) ของไอซีเบอร์ 74LS165

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

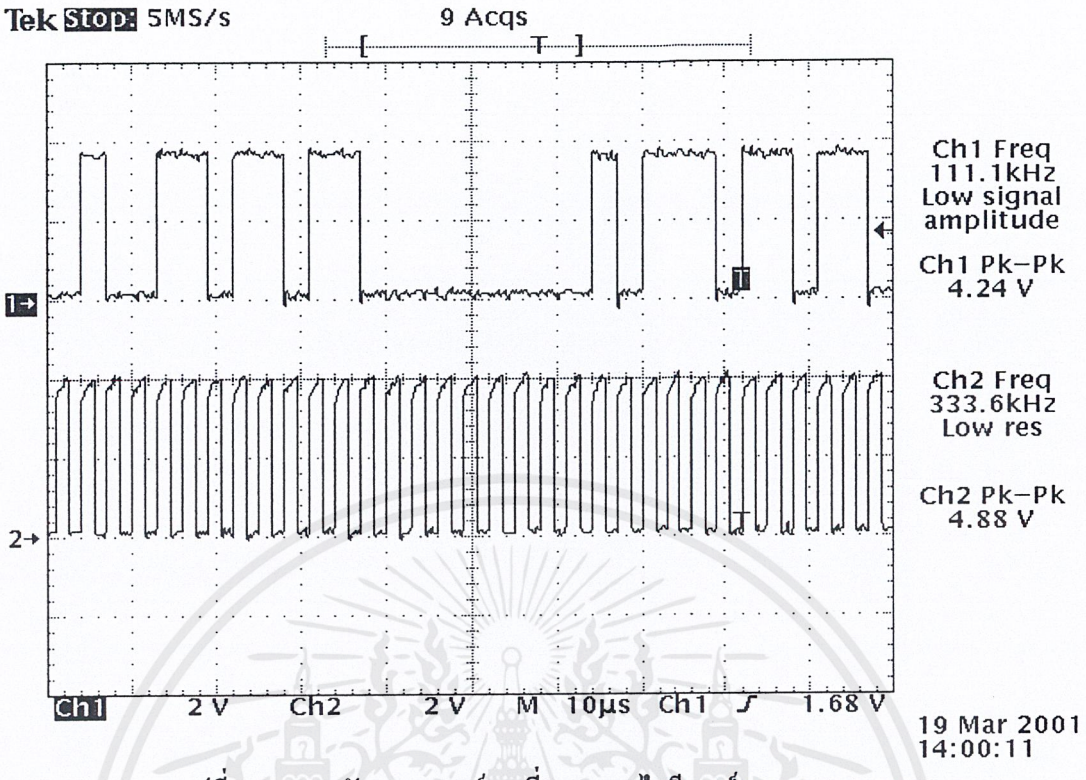


รูปที่ 4.7 แสดงสัญญาณเอาท์พุทที่ขา 9 ของไอซีเบอร์ 74LS165 (CH1)
เมื่อให้อินพุทเป็นไฟ DC 5 V เทียบกับ สัญญาณคล๊อก 333.33 kHz (CH2)

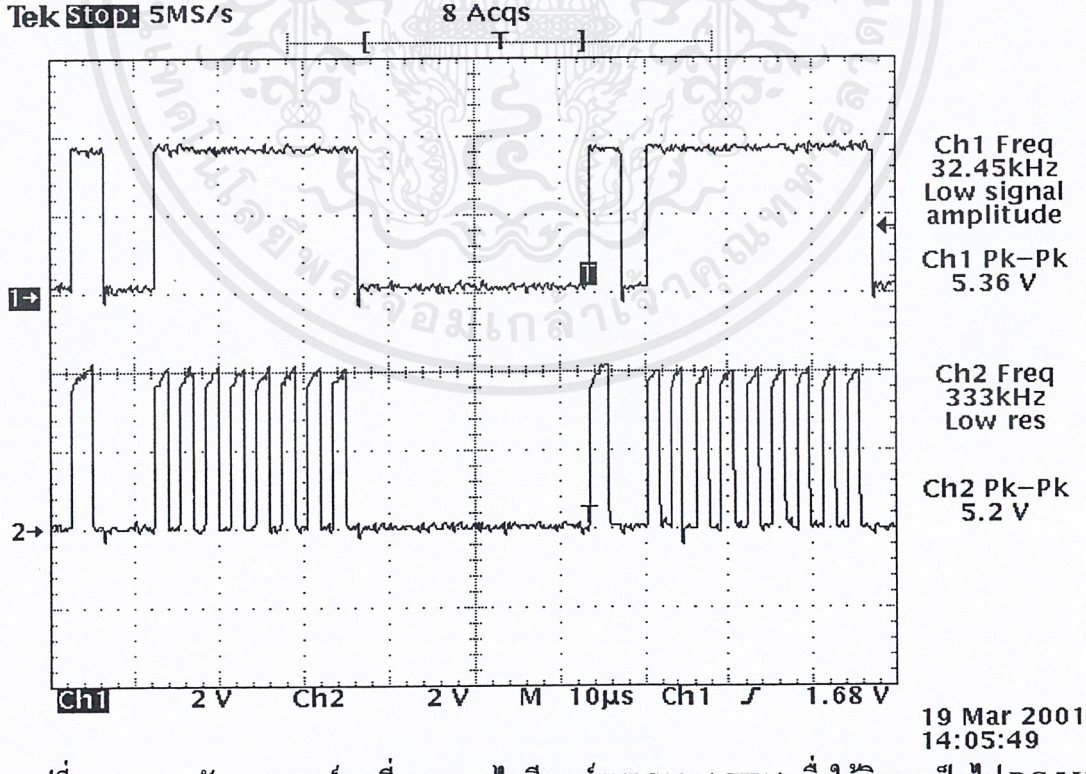


รูปที่ 4.8 แสดงสัญญาณเอาท์พุทที่ขา 9 ของไอซีเบอร์ 74LS165 (CH1)
เมื่อให้อินพุทเป็นไฟ DC 0 V เทียบกับ สัญญาณคล๊อก 333.33 kHz (CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

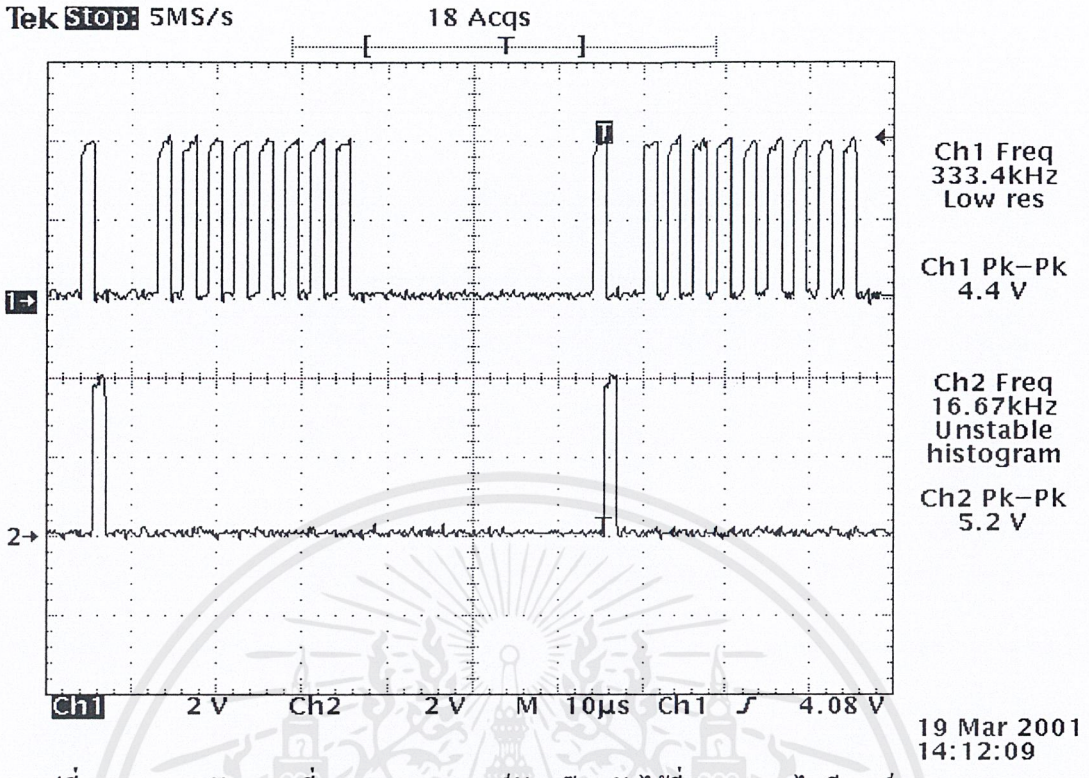


รูปที่ 4.9 แสดงสัญญาณเอาท์พุทที่ขา 9 ของไอซีเบอร์ 74LS165 (CH1)
เมื่อให้อินพุทเป็นไฟ DC 4.14 V เทียบกับ สัญญาณคล็อก 333.33 kHz (CH2)

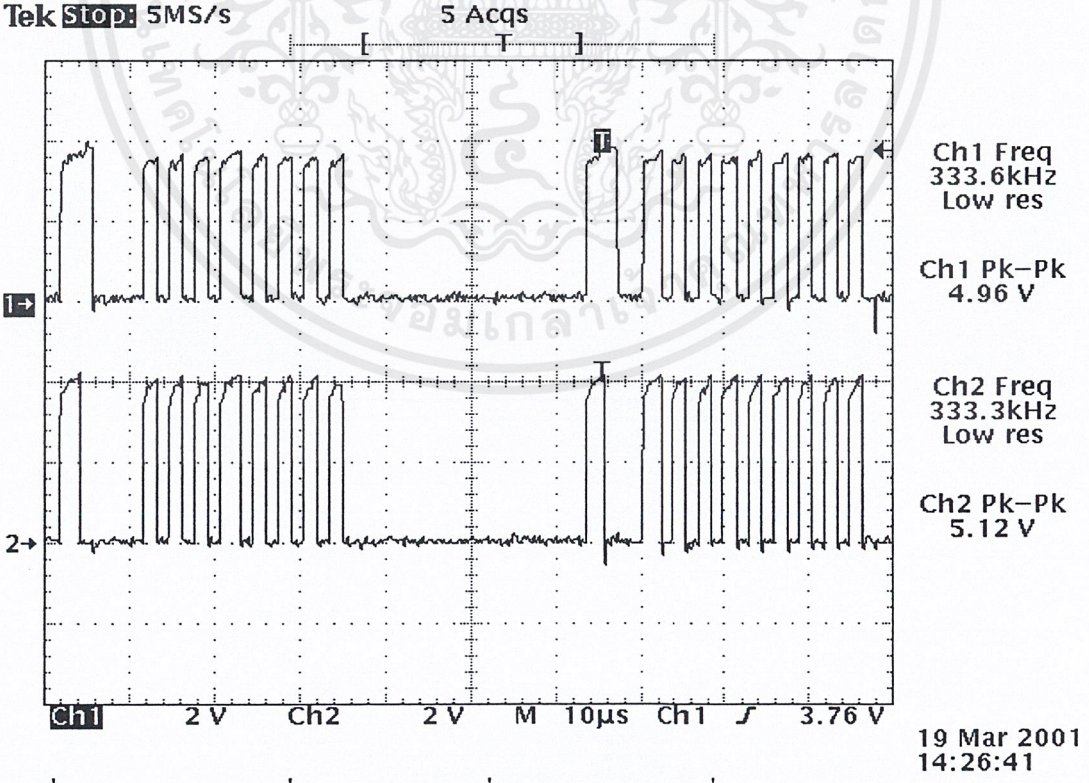


รูปที่ 4.10 แสดงสัญญาณเอาท์พุทที่ขา 9 ของไอซีเบอร์ 74LS165 (CH1) เมื่อให้อินพุทเป็นไฟ DC 5 V
เทียบกับ สัญญาณที่ผ่านการแอนด์กับคล็อก 333.33 kHz (ทำแบบ Unipolar Return to Zero : CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

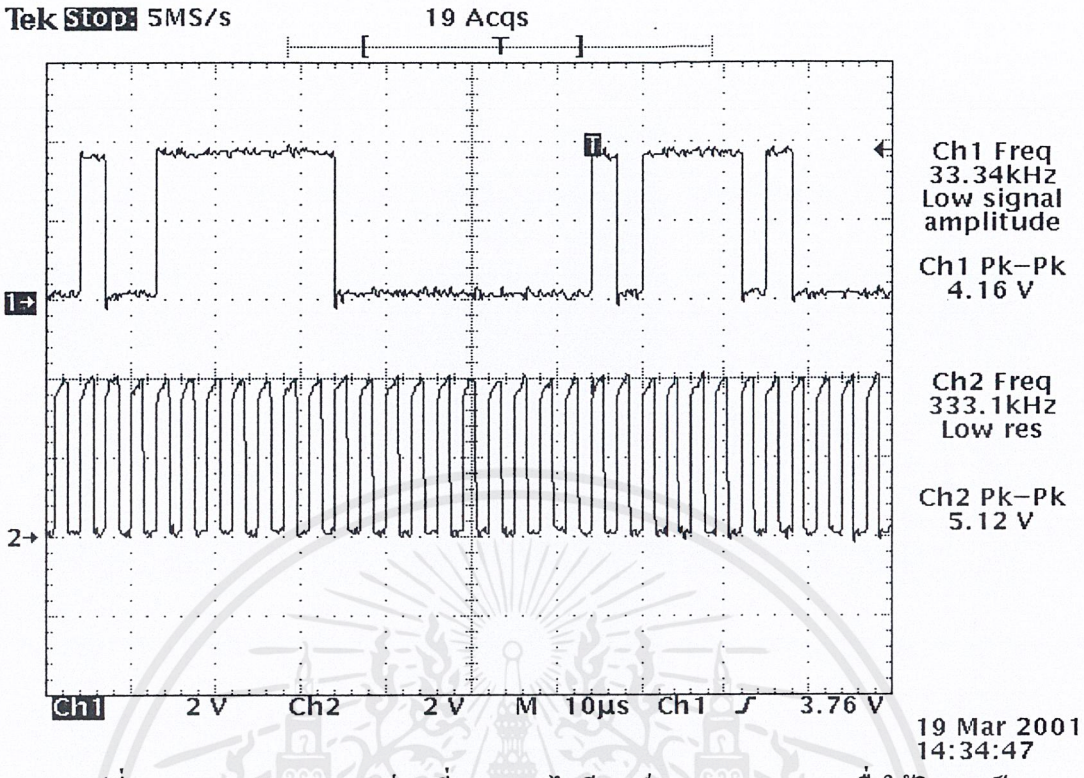


รูปที่ 4.11 แสดงสัญญาณที่ออกจากการแอนด์กับคล๊อก วัดได้ที่ขา 11 ของไอซีเบอร์ 74LS08 (CH1) เทียบกับ สัญญาณเอาท์พุทที่ขา 3 ของไอซีเบอร์ 74LS164 (CH2)

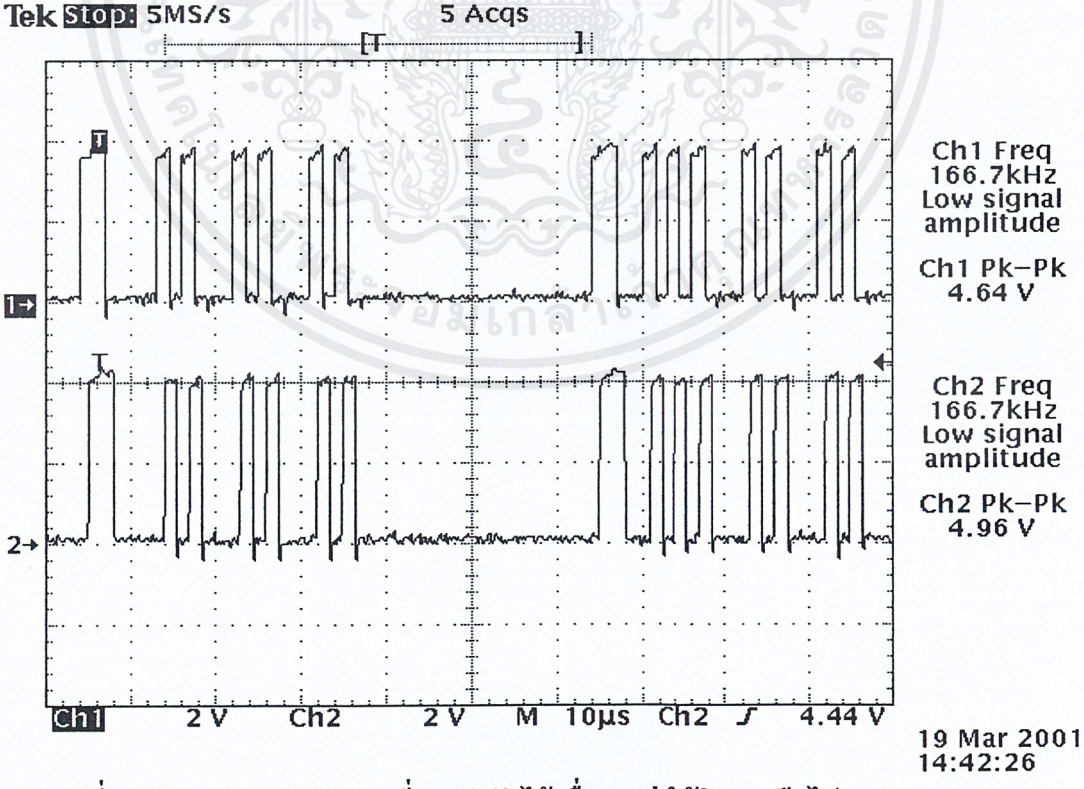


รูปที่ 4.12 แสดงสัญญาณที่ผ่านการออร์กัน เพื่อทำเวิร์ดซิงค์ วัดได้ที่ขา 3 ของไอซีเบอร์ 74LS32 (CH1) เทียบกับ สัญญาณก่อนเข้าที่ออร์เกท (CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

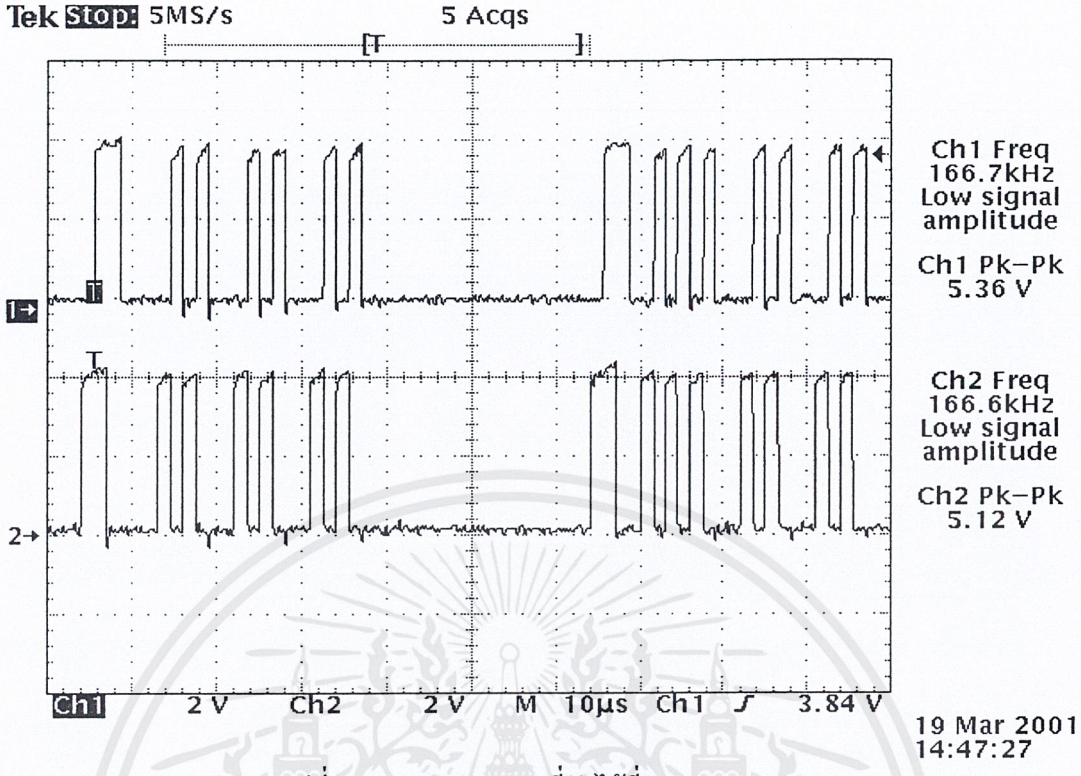


รูปที่ 4.13 แสดงสัญญาณเอาท์พุทที่ขา 9 ของไอซีเบอร์ 74LS165 (CH1) เมื่อให้อินพุทเป็น Sine wave 1 kHz 5 V เทียบกับ สัญญาณคล็อก 333.33 kHz (CH2)

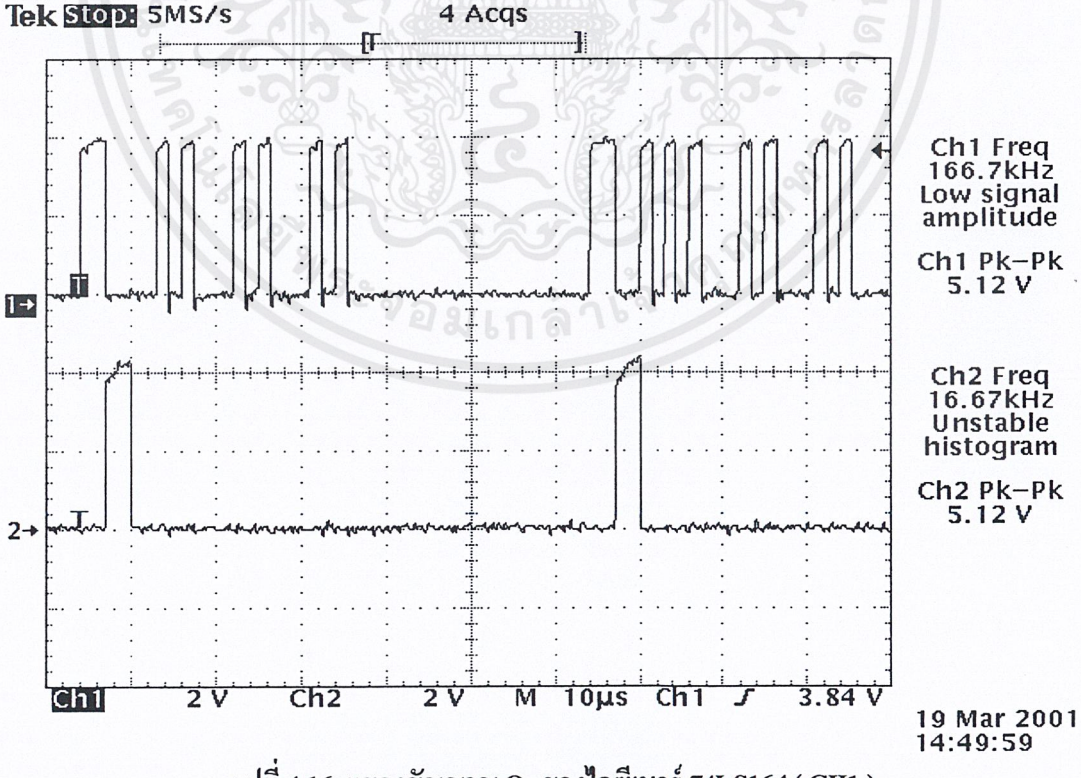


รูปที่ 4.14 แสดงสัญญาณอินพุทที่ภาครับรับได้ เมื่อภาคส่งให้อินพุทเป็นไฟ DC 4.14 V (CH1) เทียบกับ สัญญาณที่ผ่านการเลื่อนเฟสของไอซีเบอร์ 74LS164 (Q_A : CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

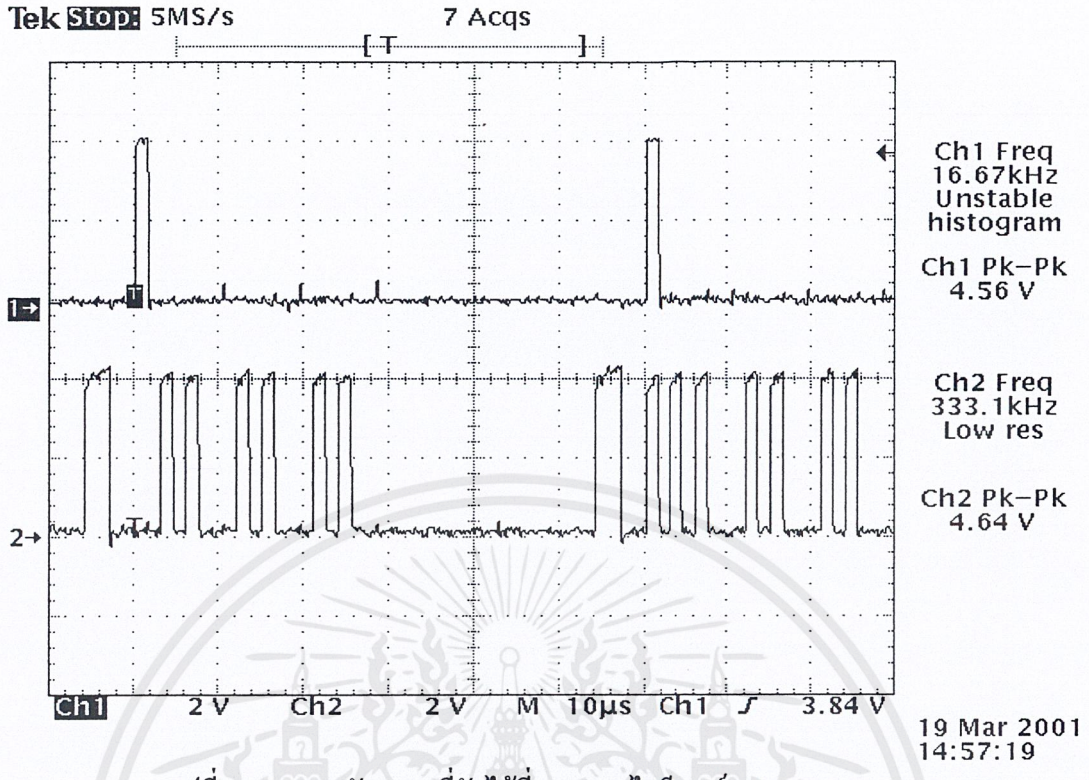


รูปที่ 4.15 แสดงสัญญาณที่วัดได้ที่ขา 4 (Q_B : CH1)
เทียบกับ ขา 3 (Q_A : CH2) ของไอซีเบอร์ 74LS164



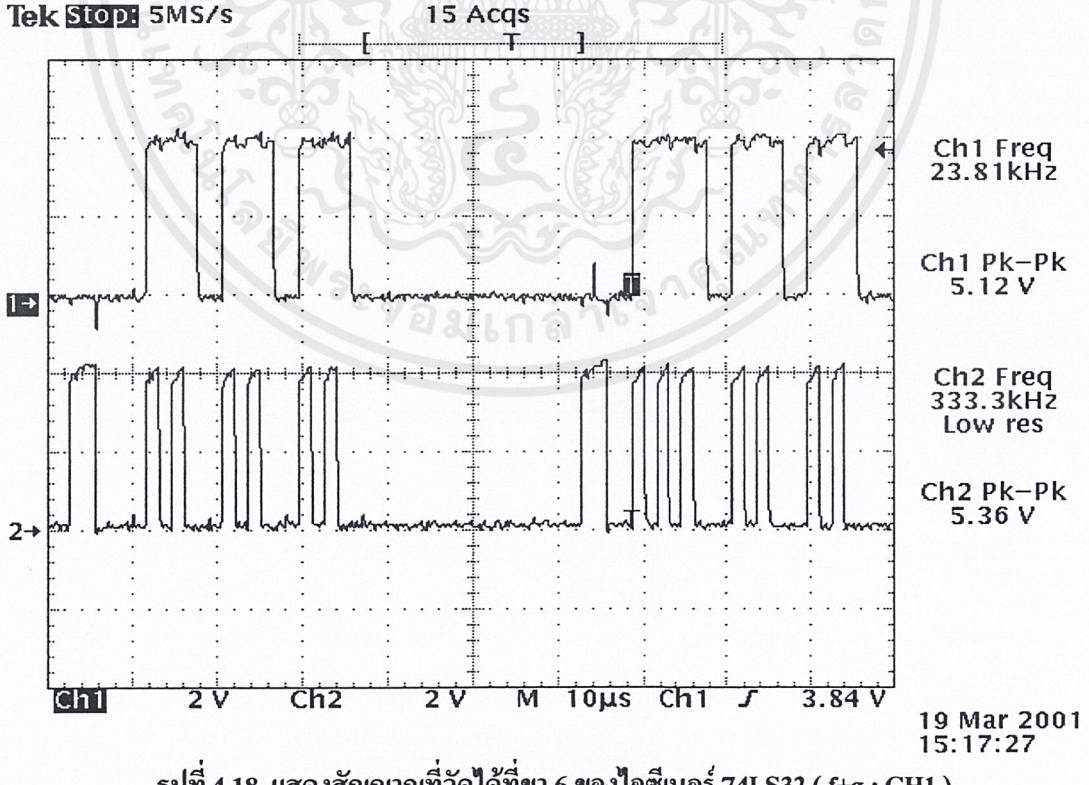
รูปที่ 4.16 แสดงสัญญาณ Q_B ของไอซีเบอร์ 74LS164 (CH1)
เทียบกับ สัญญาณที่วัดได้ที่ขา 8 ของไอซีเบอร์ 74LS32 (h : CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 แสดงสัญญาณที่วัดได้ที่ขา 6 ของไอซีเบอร์ 74LS11 (e : CH1)

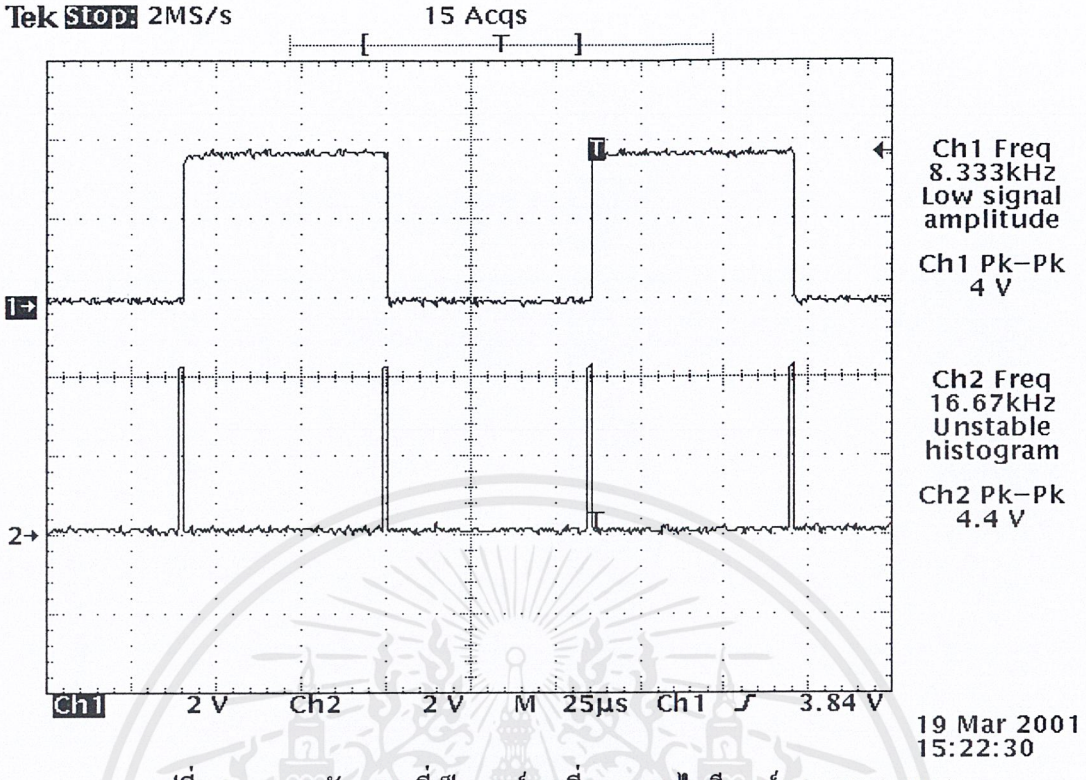
เทียบกับ สัญญาณ Q_B ของไอซีเบอร์ 74LS164 (CH2)



รูปที่ 4.18 แสดงสัญญาณที่วัดได้ที่ขา 6 ของไอซีเบอร์ 74LS32 (f+g : CH1)

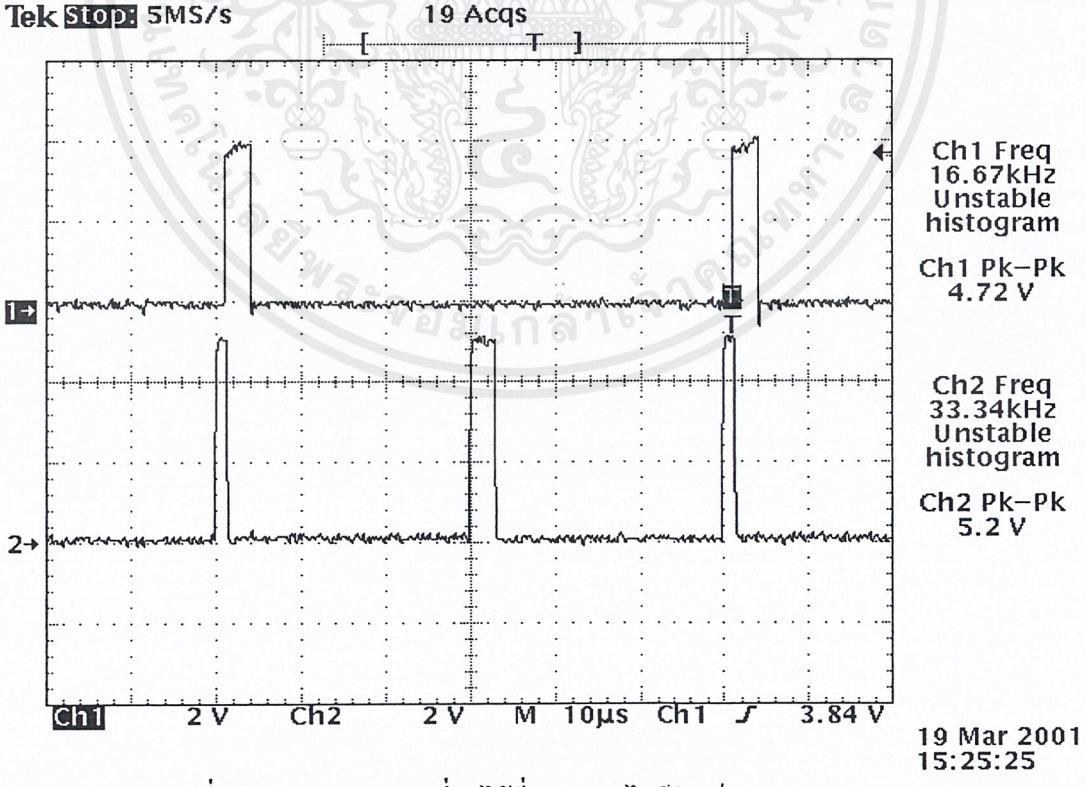
เทียบกับ สัญญาณ Q_B ของไอซีเบอร์ 74LS164 (CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.19 แสดงสัญญาณที่เป็นเอาท์พุทที่ขา 9 ของไอซีเบอร์ 74LS73 (CH1)

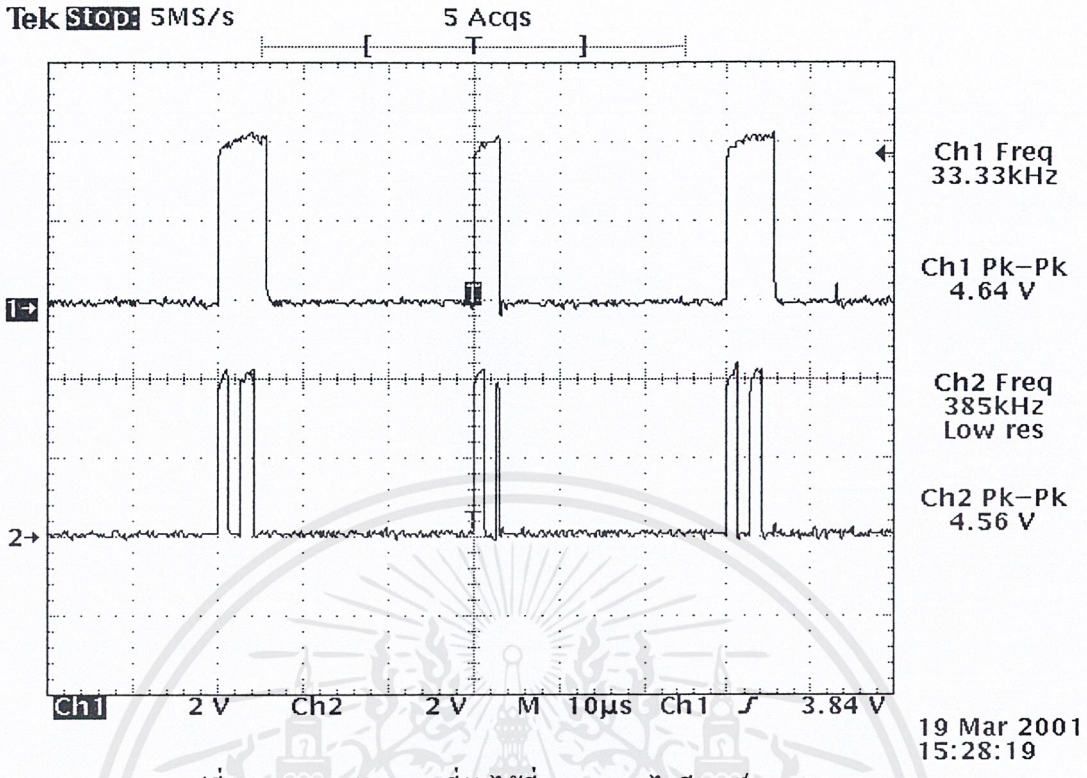
เทียบกับ สัญญาณที่วัดได้ที่ขา 6 ของไอซีเบอร์ 74LS11 (e : CH2)



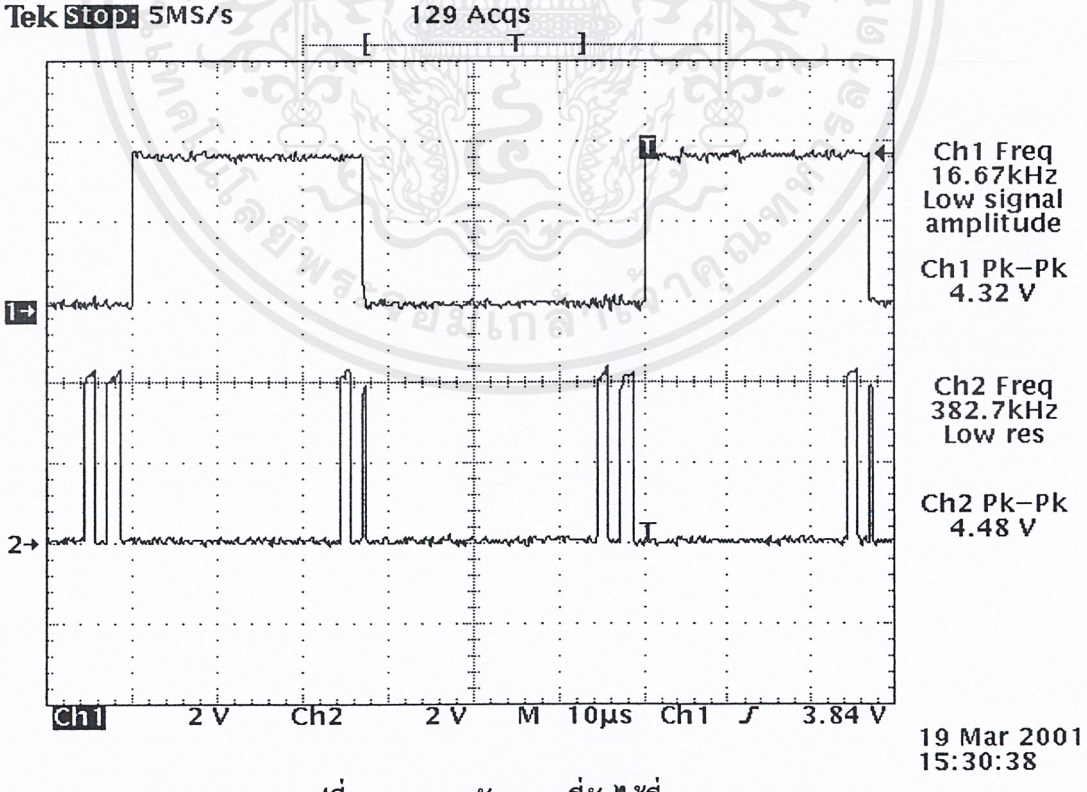
รูปที่ 4.20 แสดงสัญญาณที่วัดได้ที่ขา 8 ของไอซีเบอร์ 74LS32 (h : CH1)

เทียบกับ สัญญาณที่วัดได้ที่ขา 11 ของดีเคดเคาท์เตอร์ 4017 (CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

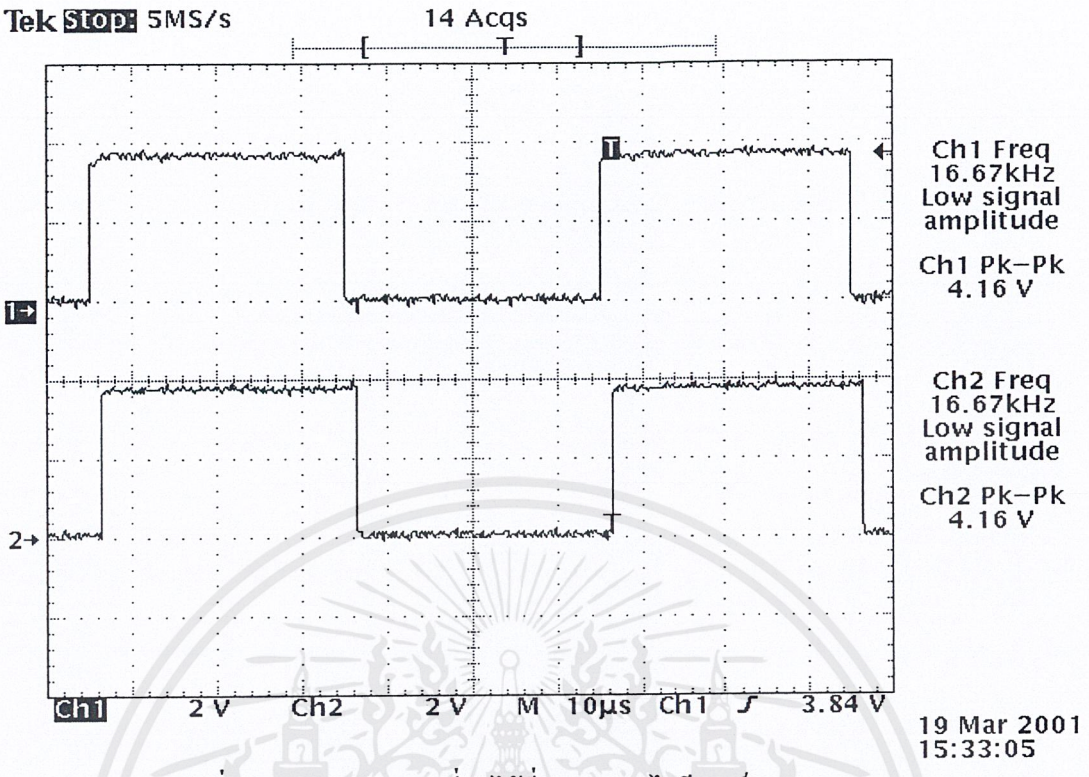


รูปที่ 4.21 แสดงสัญญาณที่วัดได้ที่ขา 11 ของไอซีเบอร์ 74LS32 (CH1)
เทียบกับ สัญญาณที่ผ่านการแอนด์กับคล็อก 333.33 kHz (CH2)

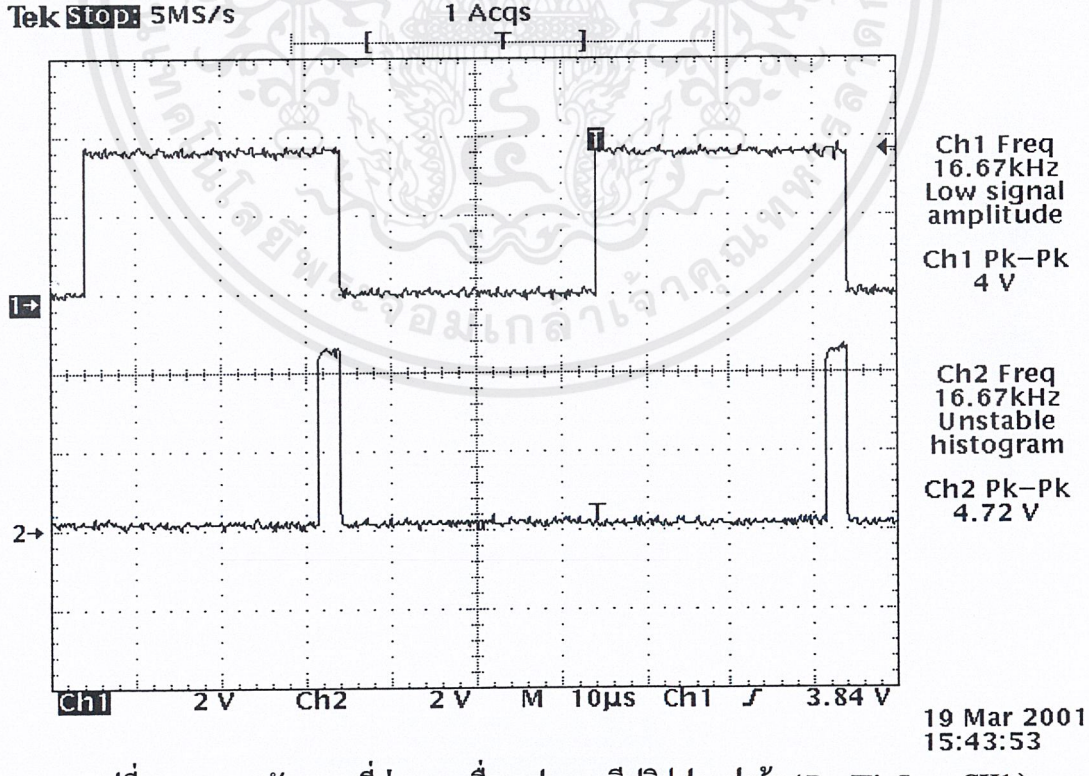


รูปที่ 4.22 แสดงสัญญาณที่วัดได้ที่ขา 12 (CH1)
เทียบกับ ขา 1 (CH2) ของไอซีเบอร์ 74LS73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

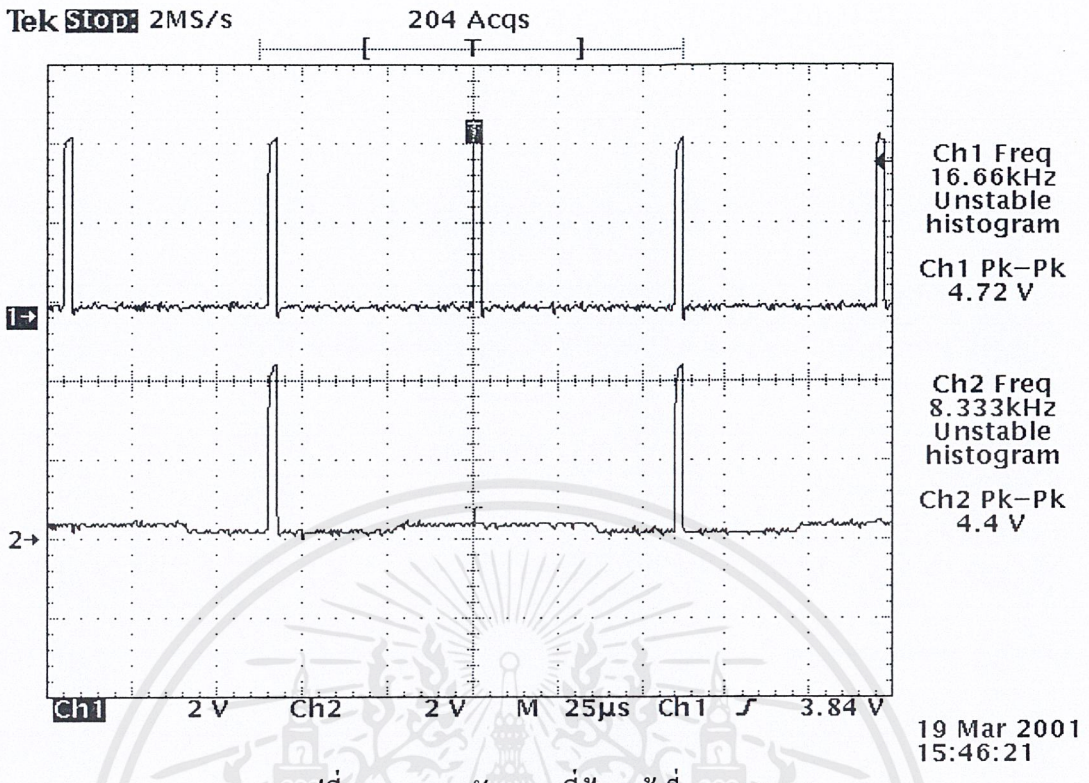


รูปที่ 4.23 แสดงสัญญาณที่วัดได้ที่ขา 12 ของไอซีเบอร์ 74LS73 (CH1)
เทียบกับ สัญญาณที่ผ่านการเลื่อนเฟสของดีฟลิปฟลอป (D – Flipflop : CH2)

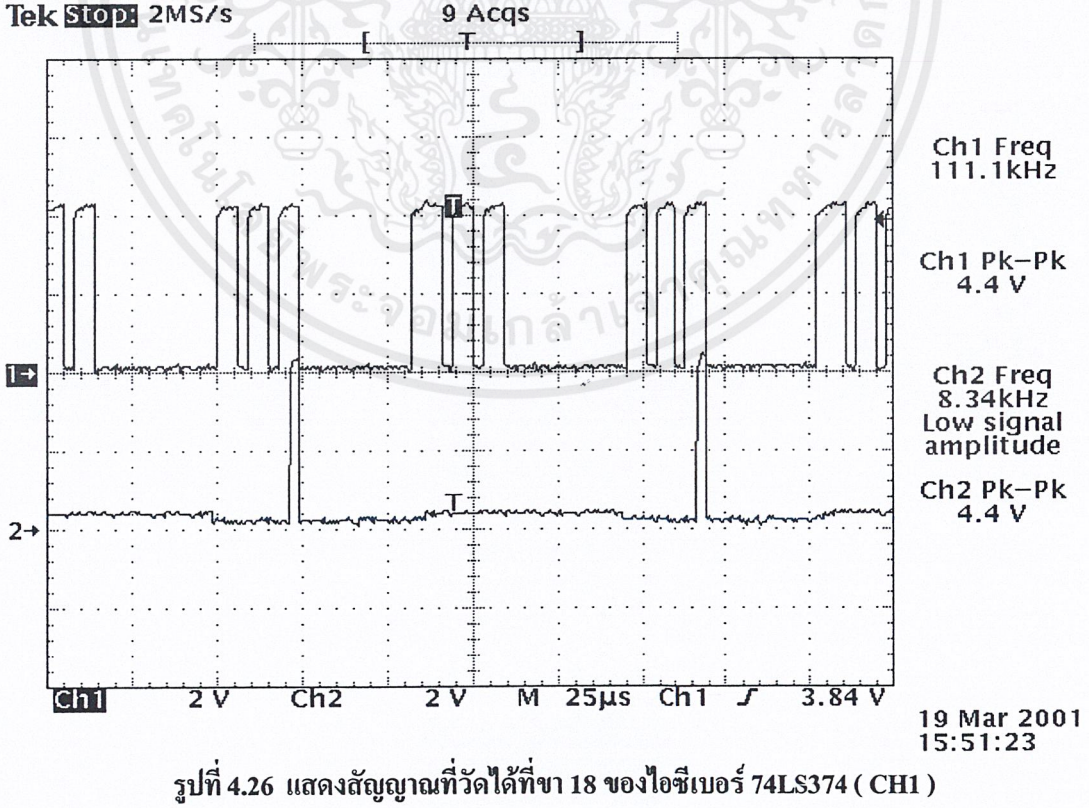


รูปที่ 4.24 แสดงสัญญาณที่ผ่านการเลื่อนเฟสของดีฟลิปฟลอปแล้ว (D – Flipflop : CH1)
เทียบกับ สัญญาณที่ป้อนเข้าที่ขา 3 ของไอซีเบอร์ 4051 (CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

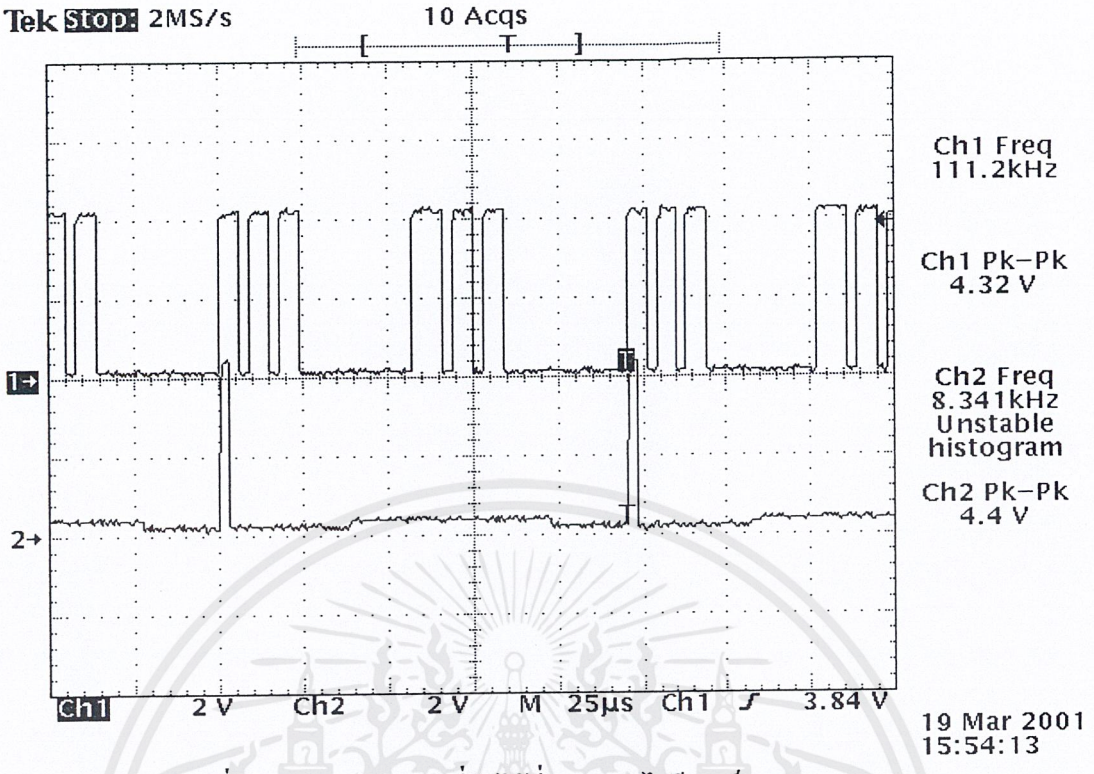


รูปที่ 4.25 แสดงสัญญาณที่ป้อนเข้าที่ขา 3 (CH1)
เทียบกับ สัญญาณเอาท์พุทของไอซีเบอร์ 4051 (CH2)

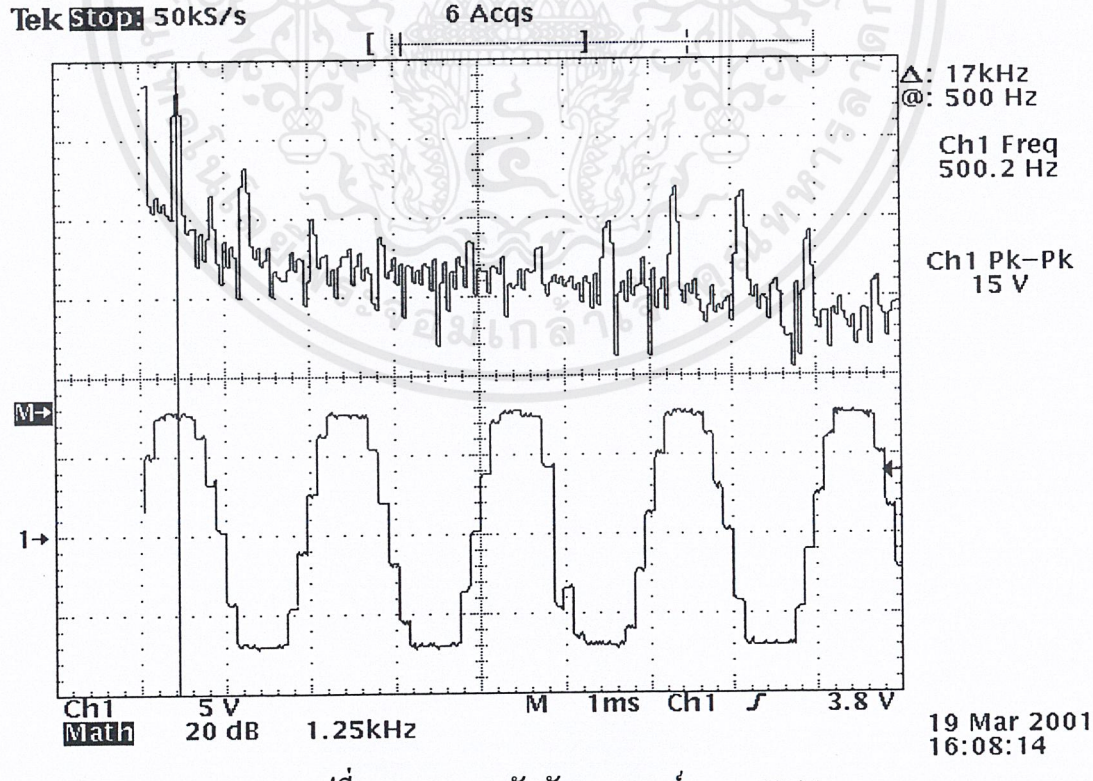


รูปที่ 4.26 แสดงสัญญาณที่วัดได้ที่ขา 18 ของไอซีเบอร์ 74LS374 (CH1)
เทียบกับ สัญญาณคล็อกดีเทคข้อมูลที่บิทสุดท้าย วัดได้ที่ขา 11 (CH2) ของไอซีเบอร์เดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

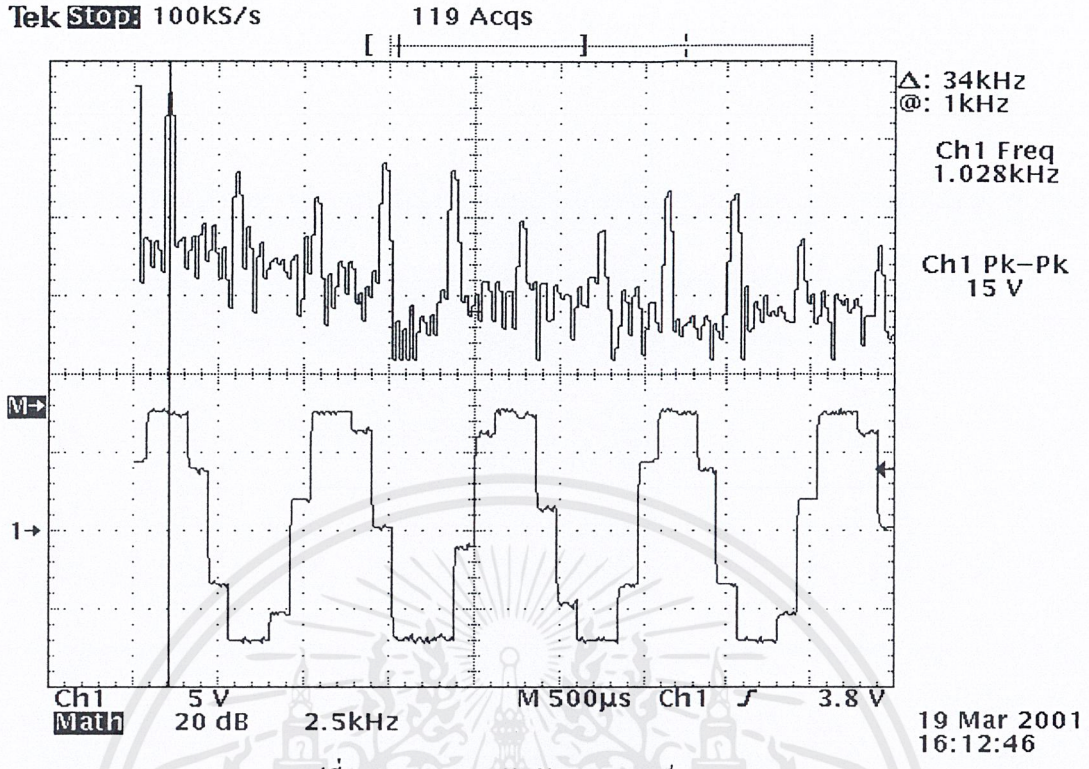


รูปที่ 4.27 แสดงสัญญาณที่วัดได้ที่ขา 3 ของไอซีเบอร์ 74LS374 (CH1)
เทียบกับ สัญญาณคล๊อกดีเทคข้อมูลที่บิทแรก วัดได้ที่ขา 11 (CH2) ของไอซีเบอร์เดียวกัน



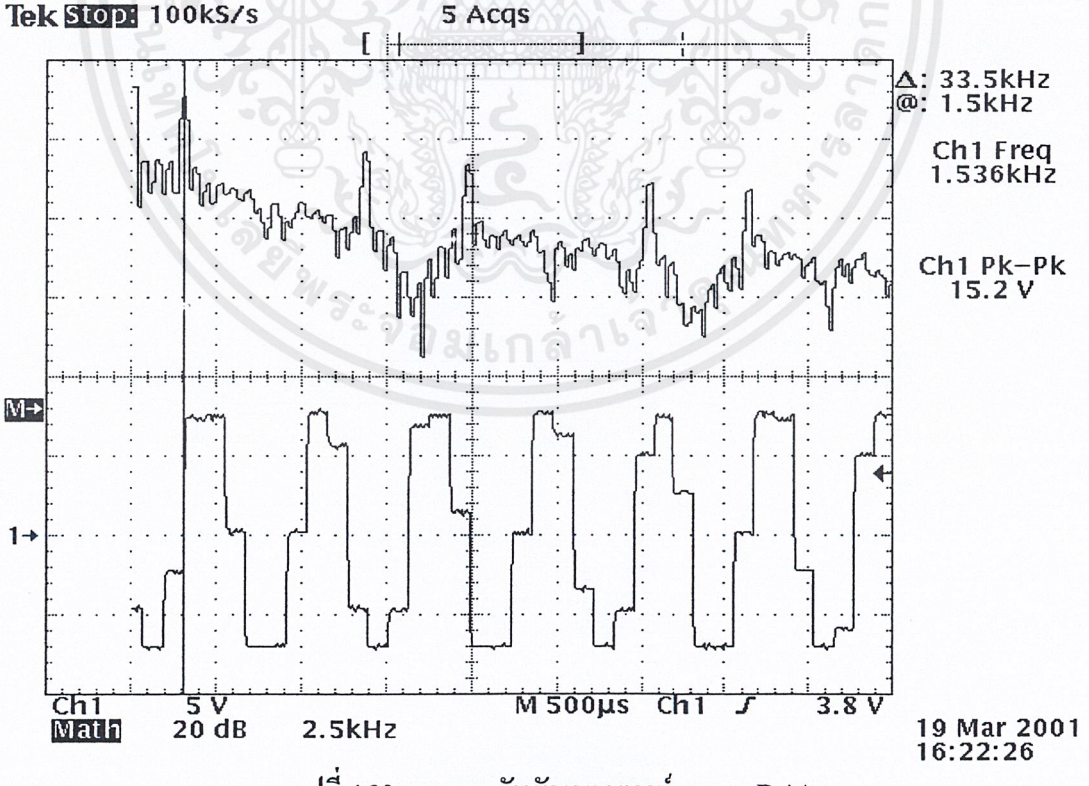
รูปที่ 4.28 แสดงระดับสัญญาณเอาท์พุทจาก D / A
เมื่อป้อนอินพุทจากทางภาคส่งเป็น Sine wave 500 Hz 5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.29 แสดงระดับสัญญาณเอาท์พุทจาก D / A

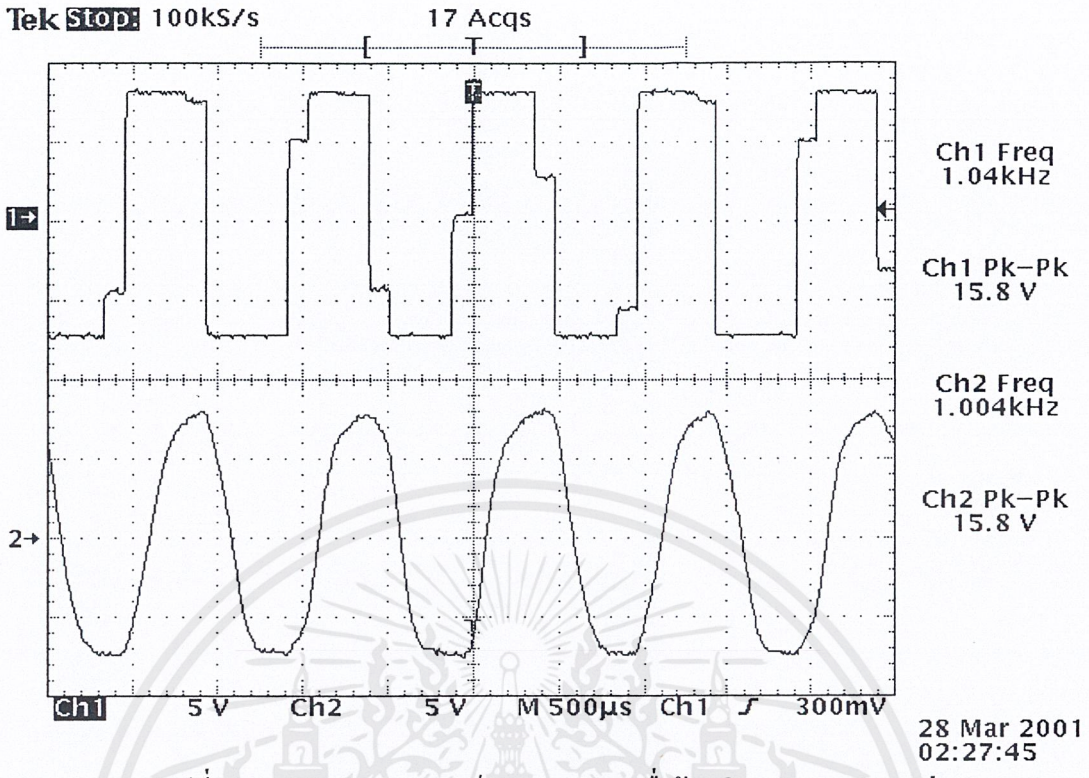
เมื่อป้อนอินพุทจากทางภาคส่งเป็น Sine wave 1 kHz 5 V



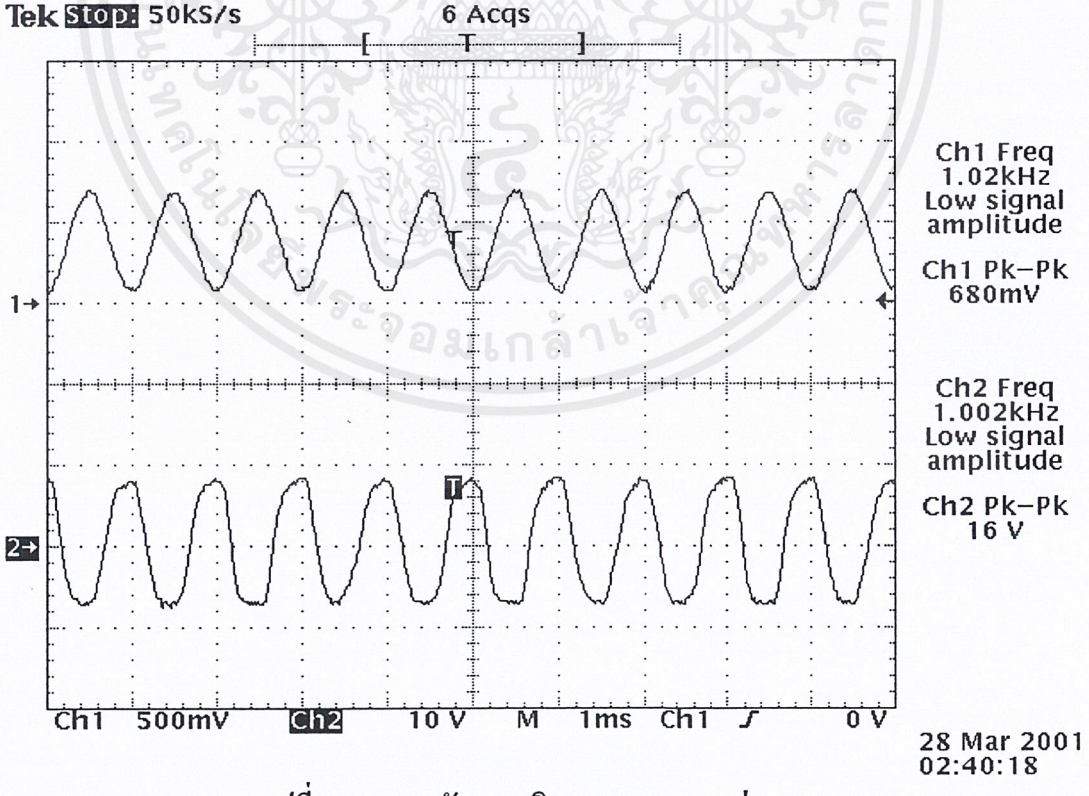
รูปที่ 4.30 แสดงระดับสัญญาณเอาท์พุทจาก D / A

เมื่อป้อนอินพุทจากทางภาคส่งเป็น Sine wave 1.5 kHz 5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

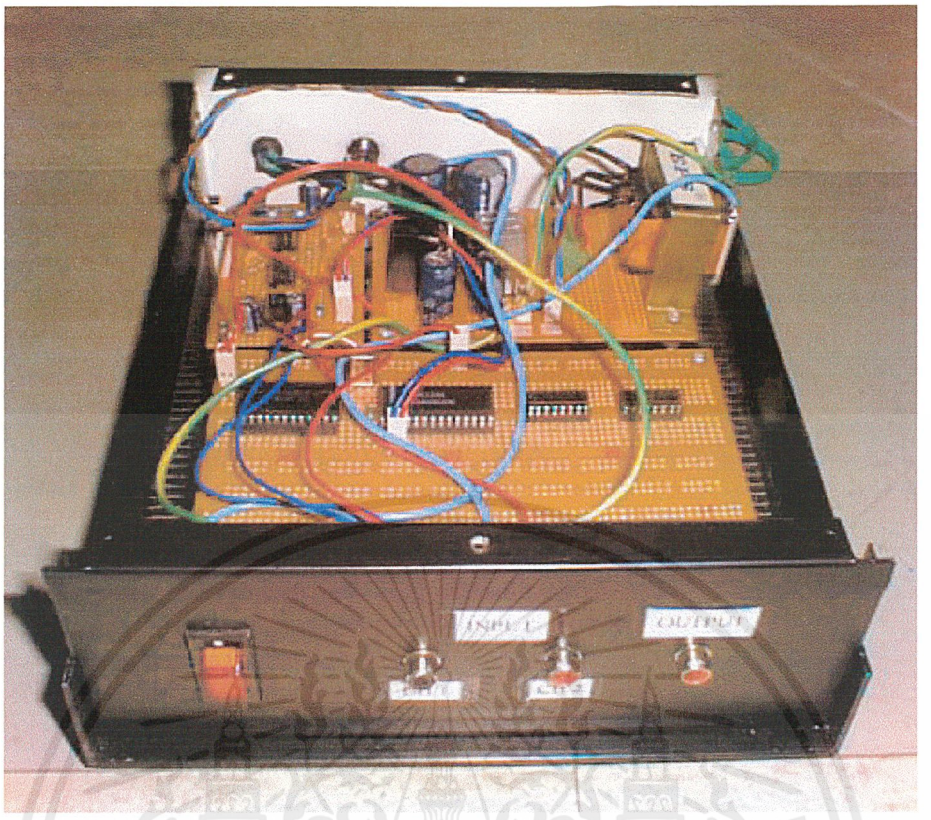


รูปที่ 4.31 แสดงสัญญาณเอาท์พุทจาก D / A เมื่อป้อนอินพุทจากทางภาคส่ง
เป็น Sine wave 1 kHz (CH1) เทียบกับ สัญญาณที่ผ่าน Low Pass Filter แล้ว (CH2)

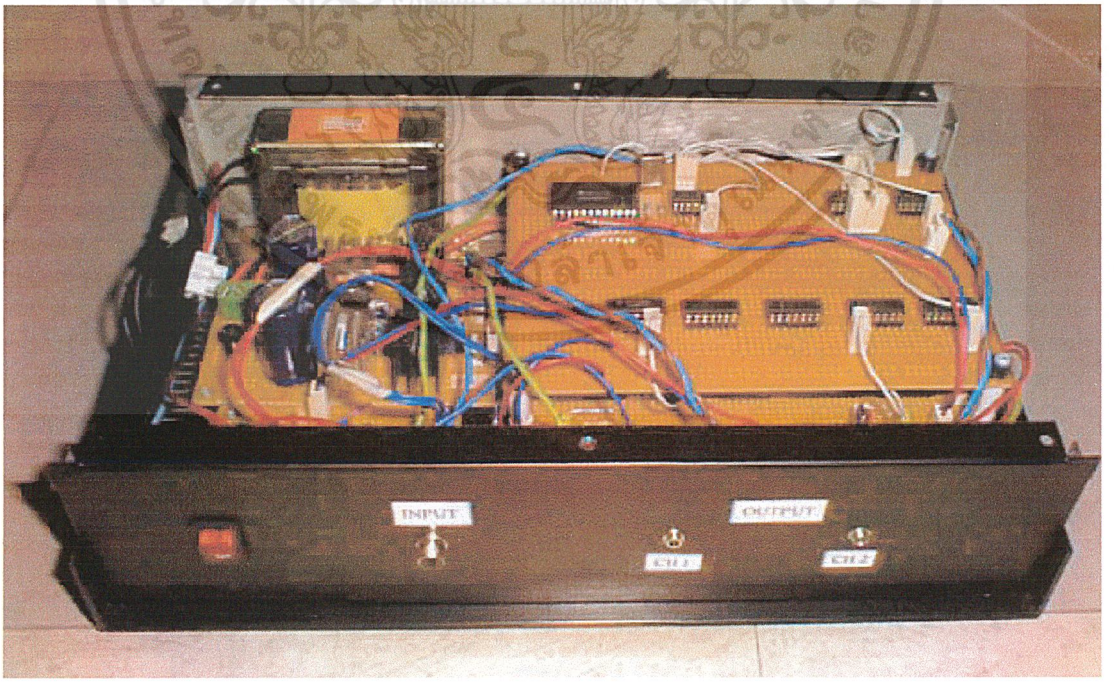


รูปที่ 4.32 แสดงสัญญาณอินพุทจากทางภาคส่ง (CH1)
เทียบกับ สัญญาณเอาท์พุทสุดท้ายของวงจร (CH2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.33 แสดงรูปชิ้นงานภาคส่ง



รูปที่ 4.34 แสดงรูปชิ้นงานภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

โครงงานนี้ได้แบ่งส่วนของโครงงานไว้เป็น 2 ส่วน คือ ภาคส่งและภาครับ ในส่วนของภาคส่งจะประกอบไปด้วย A/D คอนเวิร์ทเตอร์แบบมัลติเพล็กซ์ได้ 8 ช่องสัญญาณ แต่เราใช้ 2 ช่องสัญญาณ โดยมีวงจรสัญญาณนาฬิกามาควบคุมการทำงานต่าง ๆ ในวงจร ทั้ง A/D คอนเวิร์ทเตอร์ และวงจรเลือกช่องสัญญาณออก อีกทั้งยังมีวงจรที่แปลงข้อมูลจากแบบขนานมาเป็นแบบอนุกรม ก็จะทำให้สัญญาณอนาลอกที่เข้าด้านอินพุทของภาคส่ง แปลงเป็นสัญญาณดิจิตอล แล้วส่งข้อมูลออกไปเป็นแบบ Unipolar Return to Zero (RZ)

ในส่วนของภาครับจะประกอบไปด้วย วงจรซิงโครไนซ์เซชั่น วงจรดีมัลติเพล็กซ์ และ D/A คอนเวิร์ทเตอร์ โดยต้องทำให้สัญญาณนาฬิกาของทางด้านรับมีความสัมพันธ์กันกับข้อมูลจากทางด้านส่ง ซึ่งจะทำให้สามารถดีเทคชุดข้อมูลได้อย่างถูกต้อง ซึ่งทางภาครับนี้จะแปลงสัญญาณดิจิตอลกลับไปเป็นสัญญาณอนาลอก และได้เอาท์พุทออกมาเป็นสัญญาณแบบเดียวกับอินพุทของภาคส่ง ซึ่งทั้งหมดนี้จะเป็นการส่งข้อมูล PCM-TDM แบบ 2 ช่องสัญญาณ

ปัญหาและแนวทางการแก้ไข

โครงงานนี้ ปัญหาที่พบจากทางด้านส่ง คือ ตัว A/D คอนเวิร์ทเตอร์ เราจะต้องกำหนด Timing ต่าง ๆ ของ A / D ให้ตรงกับความต้องการของ ADC0809 ถ้าผิดเอาท์พุทก็จะไม่ออก

ปัญหาที่พบจากทางด้านรับ คือ การดีเทคแอดเดรสบิท ถ้าเกิดสัญญาณที่ไม่ต้องการขึ้น เช่น การเหลื่อมกันของสัญญาณต่าง ๆ จะทำให้การดีเทคข้อมูลผิดพลาด และปัญหาที่พบทั้งทางภาคส่งและภาครับอีกประการ คือ การลงแผ่น print จะต้องลงให้ดี ถูกต้อง ไม่ช็อตกัน จึงจะทำให้วงจรทำงานอย่างสมบูรณ์

แนวทางทางการประยุกต์ใช้งาน

เราสามารถพัฒนาต่อขึ้นไปอีกได้ โดยการเพิ่มจำนวนช่วงสัญญาณ ทำให้ส่งข้อมูลได้หลายช่องสัญญาณมากขึ้น แล้วยังสามารถเพิ่มความเร็วในการส่งข้อมูลได้อีก ทำให้ส่งข้อมูลได้มากขึ้น และยังสามารถประยุกต์ใช้โดยการใช้ไมโครคอนโทรเลอร์ควบคุมการทำงานอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

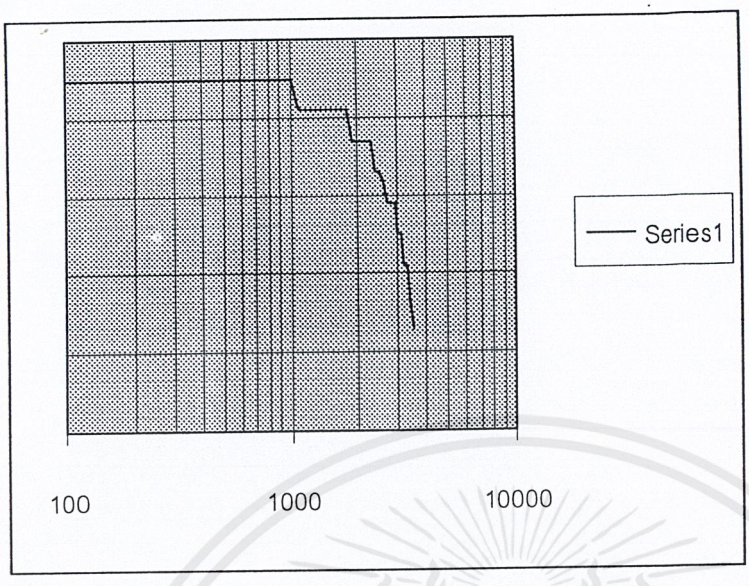
1. รศ. ถวิล กิ่งทอง , "เทคโนโลยีการส่งสัญญาณดิจิตอล" ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , สิงหาคม 2539.
2. รัชนู อินทุสัย , "การสื่อสารโทรคมนาคม" , 2537.
3. รศ.ดร. ถวัลย์วงศ์ ไกรโรจนานันท์ , "อิเล็กทรอนิกส์ระบบดิจิตอล" : กองบรรณาธิการสื่อสารสนเทศ , ธันวาคม 2539.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOW PASS FILTER



ความถี่ (HZ)	กำลัง (dB)
100	4.49
200	4.49
300	4.49
400	4.49
500	4.49
600	4.49
700	4.49
800	4.49
900	4.49
1000	4.49
1100	4.09
1200	4.09
1300	4.09
1400	4.09
1500	4.09
1600	4.09
1700	4.09
1800	4.09
1900	3.69
2000	3.69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2100	3.69
2200	3.69
2300	3.69
2400	3.29
2500	3.29
2600	3.29
2700	2.89
2800	2.89
2900	2.89
3000	2.49
3100	2.49
3200	2.09
3300	2.09
3400	1.69
3500	1.29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14411

CMOS LSI

(LOW-POWER COMPLEMENTARY MOS)

BIT RATE GENERATOR

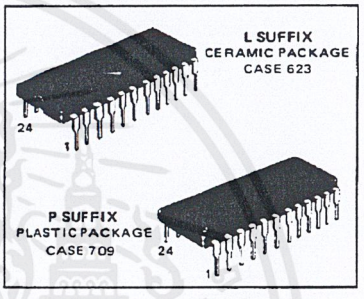
BIT RATE GENERATOR

The MC14411 bit rate generator is constructed with complementary MOS enhancement mode devices. It utilizes a frequency divider network to provide a wide range of output frequencies.

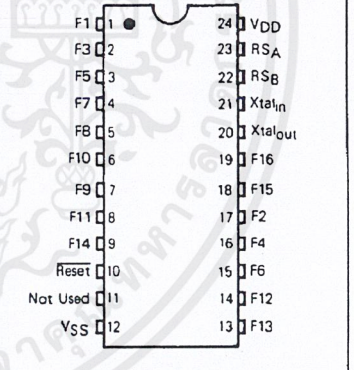
A crystal controlled oscillator is the clock source for the network. A two-bit address is provided to select one of four multiple output clock rates.

Applications include a selectable frequency source for equipment in the data communications market, such as teleprinters, printers, CRT terminals, and microprocessor systems.

- Single 5.0 Vdc (±5%) Power Supply
- Internal Oscillator Crystal Controlled for Stability (1.8432 MHz)
- Sixteen Different Output Clock Rates
- 50% Output Duty Cycle
- Programmable Time Bases for One of Four Multiple Output Rates
- Buffered Outputs Compatible with Low Power TTL
- Noise Immunity = 45% of V_{DD} Typical
- Diode Protection on All Inputs
- External Clock May be Applied to Pin 21
- Internal Pullup Resistor on Reset Input



PIN ASSIGNMENT

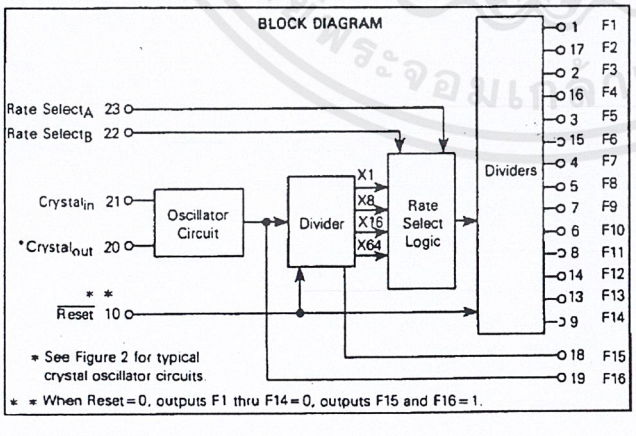


V_{DD} = Pin 24
V_{SS} = Pin 12

MAXIMUM RATINGS (Voltages referenced to V_{SS}, Pin 12.)

Rating	Symbol	Value	Unit
DC Supply Voltage Range	V_{DD}	5.25 to −0.5	V
Input Voltage, All Inputs	V_{in}	V_{DD} + 0.5 to V_{SS} − 0.5	V
DC Current Drain per Pin	I	10	mA
Operating Temperature Range	T_A	−40 to +85	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

BLOCK DIAGRAM



* See Figure 2 for typical crystal oscillator circuits.

* * When Reset = 0, outputs F1 thru F14 = 0, outputs F15 and F16 = 1.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

Washington University EE Document Service 5/19/97 Page 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	−40°C Min	−40°C Max	25°C Min	25°C Typ	25°C Max	+85°C Min	+85°C Max	Unit
Supply Voltage	V_{DD}	–	4.75	5.25	4.75	5.0	5.25	4.75	5.25	V
Output Voltage "0" Level	V_{out}	5.0	–	0.05	–	0	0.05	–	0.05	V
"1" Level		5.0	4.95	–	4.95	5.0	–	4.95	–	V
Input Voltage (V_O = 4.5 or 0.5 V)	V_{IL}	5.0	–	1.5	–	2.25	1.5	–	1.5	V
(V_O = 0.5 or 4.5 Vdc)	V_{IH}	5.0	3.5	–	3.5	2.75	–	3.5	–	V
Output Drive Current (V_{OH} = 2.5 V) Source	I_{OH}	5.0	−0.23	–	−0.20	−1.7	–	−0.16	–	mA
(V_{OL} = 0.4 V) Sink	I_{OL}	5.0	0.23	–	0.20	0.78	–	0.16	–	mA
Input Current Pins 21, 22, 23	I_{in}	–	–	±0.1	–	±0.00001	±0.1	–	±1.0	μA
Pin 10		5.0	–	–	−1.5	–	−7.5	–	–	μA
Input Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	–	–	–	pF
Quiescent Dissipation	P_Q	5.0	–	2.5	–	0.015	2.5	–	15	mW
Power Dissipation**† (Dynamic plus Quiescent) (C_L = 15 pF)	P_D	5.0	$P_D = (7.5\ mW/MHz)\ f + P_Q$							mW
Output Rise Time** t_r = (3.0 ns/pF) C_L + 25 ns	t_{TLH}	5.0	–	–	–	70	200	–	–	ns
Output Fall Time** t_f = (1.5 ns/pF) C_L + 47 ns	t_{THL}	5.0	–	–	–	70	200	–	–	ns
Input Clock Frequency	f_{CL}	5.0	–	1.85	–	–	1.85	–	1.85	MHz
Clock Pulse Width	$t_{W(C)}$	–	200	–	200	–	–	200	–	ns
Reset Pulse Width	$t_{W(R)}$	–	500	–	500	–	–	500	–	ns

†For dissipation at different external capacitance (C_L) refer to corresponding formula:
$P_T(C_L = P_D + 2.6 \times 10^{-3}(C_L - 15\ pF)\ V_{DD}{}^2 f$
where: P_T, P_D in mW, C_L in pF, V_{DD} in Vdc, and f in MHz.
**The formula given is for the typical characteristics only.

TABLE 1 — OUTPUT CLOCK RATES

Rate Select B	Rate Select A	Rate
0	0	X1
0	1	X8
1	0	X16
1	1	X64

Output Number	Output Rates (Hz) X64	X16	X8	X1
F1	614.4 k	153.6 k	76.8 k	9600
F2	460.8 k	115.2 k	57.6 k	7200
F3	307.2 k	76.8 k	38.4 k	4800
F4	230.4 k	57.6 k	28.8 k	3600
F5	153.6 k	38.4 k	19.2 k	2400
F6	115.2 k	28.8 k	14.4 k	1800
F7	76.8 k	19.2 k	9600	1200
F8	38.4 k	9600	4800	600
F9	19.2 k	4800	2400	300
F10	12.8 k	3200	1600	200
F11	9600	2400	1200	150
F12	8613.2	2153.3	1076.6	134.5
F13	7035.5	1758.8	879.4	109.9
F14	4800	1200	600	75
F15	921.6 k	921.6 k	921.6 k	921.6 k
F16*	1.843 M	1.843 M	1.843 M	1.843 M

*F16 is buffered oscillator output.

Washington University EE Document Service 5/19/97 Page 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 — DYNAMIC SIGNAL WAVEFORMS

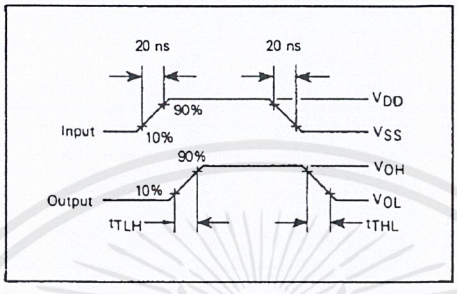
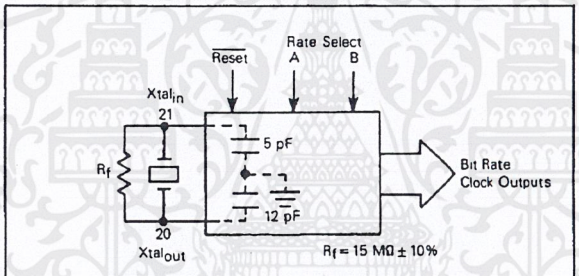


FIGURE 2 — TYPICAL CRYSTAL OSCILLATOR CIRCUIT



Crystal Specifications

Crystal Mode	Parallel
Frequency	1.8432 MHz ±0.05% @13 pF
R_S	540 Ω max
C_0	7.0 pF max
Temperature Range	0 to 70°C
Test Level	1 mW
Test Set	TS — 330/TSM or Equivalent

*Suggested Crystal Suppliers:
Tyco, CTS Knights

Circuit diagrams utilizing Motorola products are included as a means of illustrating typical semiconductor applications; consequently, complete information sufficient for construction purposes is not necessarily given. The information has been carefully checked and is believed to be entirely reliable. However, no responsibility is assumed for inaccuracies. Furthermore, such information does not convey to the purchaser of the semiconductor devices described any license under the patent rights of Motorola Inc., or others.

Washington University EE Document Service 5/19/97 Page 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

October 1999

ADC0808/ADC0809
8-Bit µP Compatible A/D Converters with 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

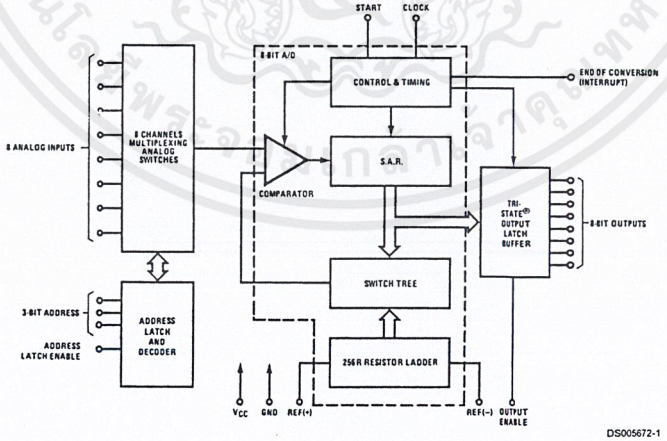
Features

- Easy interface to all microprocessors
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- No zero or full-scale adjust required
- 8-channel multiplexer with address logic
- 0V to 5V input range with single 5V power supply
- Outputs meet TTL voltage level specifications
- Standard hermetic or molded 28-pin DIP package
- 28-pin molded chip carrier package
- ADC0808 equivalent to MM74C949
- ADC0809 equivalent to MM74C949-1

Key Specifications

■ Resolution	8 Bits
■ Total Unadjusted Error	±½ LSB and ±1 LSB
■ Single Supply	5 V_{DC}
■ Low Power	15 mW
■ Conversion Time	100 µs

Block Diagram



See Ordering Information

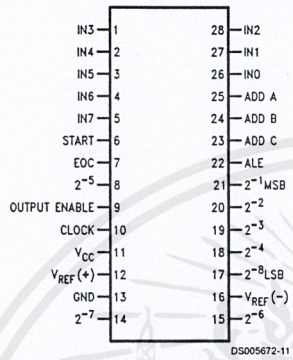
TRI-STATE® is a registered trademark of National Semiconductor Corp.

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams

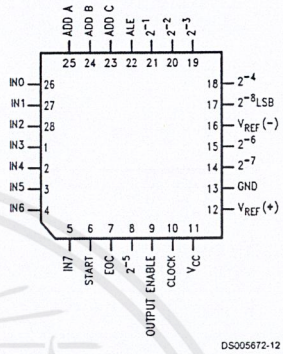
Dual-In-Line Package



DS005672-11

Order Number ADC0808CCN or ADC0809CCN
See NS Package J28A or N28A

Molded Chip Carrier Package



DS005672-12

Order Number ADC0808CCV or ADC0809CCV
See NS Package V28A

Ordering Information

TEMPERATURE RANGE		−40°C to +85°C			−55°C to +125°C
Error	±½ LSB Unadjusted	ADC0808CCN	ADC0808CCV	ADC0808CCJ	ADC0808CJ
	±1 LSB Unadjusted	ADC0809CCN	ADC0809CCV		
Package Outline		N28A Molded DIP	V28A Molded Chip Carrier	J28A Ceramic DIP	J28A Ceramic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 2, 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	−0.3V to (V_{CC}+0.3V)
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	−0.3V to +15V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A=25°C	875 mW
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Molded Chip Carrier Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
ESD Susceptibility (Note 8)	400V

Operating Conditions (Notes 1, 2)

Temperature Range (Note 1)	$T_{MIN} \le T_A \le T_{MAX}$
ADC0808CCN,ADC0809CCN	−40°C≤T_A≤+85°C
ADC0808CCV, ADC0809CCV	−40°C ≤ T_A ≤ +85°C
Range of V_{CC} (Note 1)	4.5 V_{DC} to 6.0 V_{DC}

Electrical Characteristics

Converter Specifications: V_{CC}=5 V_{DC}=V_{REF+}, $V_{REF(-)}$=GND, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK}=640 kHz unless otherwise stated.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	ADC0808					
	Total Unadjusted Error	25°C			±½	LSB
	(Note 5)	T_{MIN} to T_{MAX}			±¾	LSB
	ADC0809					
	Total Unadjusted Error	0°C to 70°C			±1	LSB
	(Note 5)	T_{MIN} to T_{MAX}			±1¼	LSB
	Input Resistance	From Ref(+) to Ref(−)	1.0	2.5		kΩ
	Analog Input Voltage Range	(Note 4) V(+) or V(−)	GND−0.10		V_{CC}+0.10	V_{DC}
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		V_{CC}	V_{CC}+0.1	V
$\frac{V_{REF(+)}+V_{REF(-)}}{2}$	Voltage, Center of Ladder		V_{CC}/2-0.1	V_{CC}/2	V_{CC}/2+0.1	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(−)	−0.1	0		V
I_{IN}	Comparator Input Current	f_c=640 kHz, (Note 6)	−2	±0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, 4.75≤V_{CC}≤5.25V, −40°C≤T_A≤+85°C unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER						
$I_{OFF(+)}$	OFF Channel Leakage Current	V_{CC}=5V, V_{IN}=5V,				
		T_A=25°C		10	200	nA
		T_{MIN} to T_{MAX}			1.0	μA
$I_{OFF(-)}$	OFF Channel Leakage Current	V_{CC}=5V, V_{IN}=0,				
		T_A=25°C	−200	−10		nA
		T_{MIN} to T_{MAX}	−1.0			μA
CONTROL INPUTS						
$V_{IN(1)}$	Logical "1" Input Voltage		V_{CC}−1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	V_{IN}=15V			1.0	μA
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	V_{IN}=0	−1.0			μA
I_{CC}	Supply Current	f_{CLK}=640 kHz		0.3	3.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, $4.75 \le V_{CC} \le 5.25V$, $-40^{\circ}C \le T_A \le +85^{\circ}C$ unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
DATA OUTPUTS AND EOC (INTERRUPT)						
$V_{OUT(1)}$	Logical "1" Output Voltage	V_{CC} = 4.75V I_{OUT} = −360µA I_{OUT} = −10µA		 2.4 4.5		 V(min) V(min)
$V_{OUT(0)}$	Logical "0" Output Voltage	I_O=1.6 mA			0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC	I_O=1.2 mA			0.45	V
I_{OUT}	TRI-STATE Output Current	V_O=5V V_O=0	 -3		3	µA µA

Electrical Characteristics

Timing Specifications $V_{CC}=V_{REF(+)}=5V$, $V_{REF(-)}=GND$, $t_r=t_f=20$ ns and $T_A=25^{\circ}C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	(*Figure 5*)		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	(*Figure 5*)		100	200	ns
t_s	Minimum Address Set-Up Time	(*Figure 5*)		25	50	ns
t_H	Minimum Address Hold Time	(*Figure 5*)		25	50	ns
t_D	Analog MUX Delay Time From ALE	R_S=0Ω (*Figure 5*)		1	2.5	µs
t_{H1}, t_{H0}	OE Control to Q Logic State	C_L=50 pF, R_L=10k (*Figure 8*)		125	250	ns
t_{1H}, t_{0H}	OE Control to Hi-Z	C_L=10 pF, R_L=10k (*Figure 8*)		125	250	ns
t_c	Conversion Time	f_c=640 kHz, (*Figure 5*) (Note 7)	90	100	116	µs
f_c	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	(*Figure 5*)	0		8+2 µS	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE Output Capacitance	At TRI-STATE Outputs		10	15	pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists, internally, from V_{CC} to GND and has a typical breakdown voltage of 7 V_{DC}.

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC}n supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute $0V_{DC}$ to $5V_{DC}$ input voltage range will therefore require a minimum supply voltage of 4.900 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See *Figure 3*. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See *Figure 13*.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence (*Figure 6*). See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

Note 8: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

Multiplexer. The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. *Table 1* shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE 1.

SELECTED ANALOG CHANNEL	ADDRESS LINE C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach (*Figure 1*) was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached +½ LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed through a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

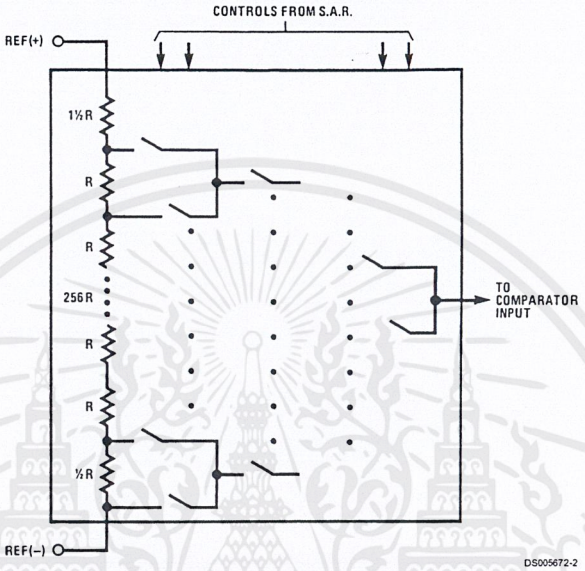


FIGURE 1. Resistor Ladder and Switch Tree

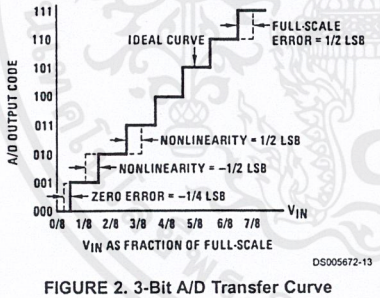


FIGURE 2. 3-Bit A/D Transfer Curve

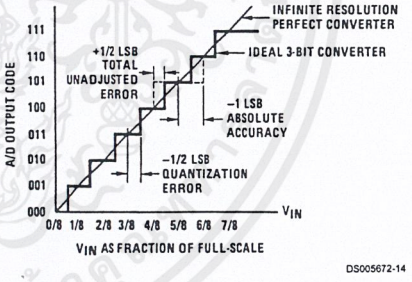


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

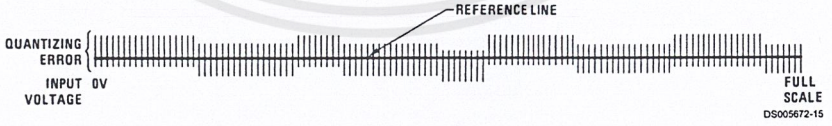


FIGURE 4. Typical Error Curve

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagram

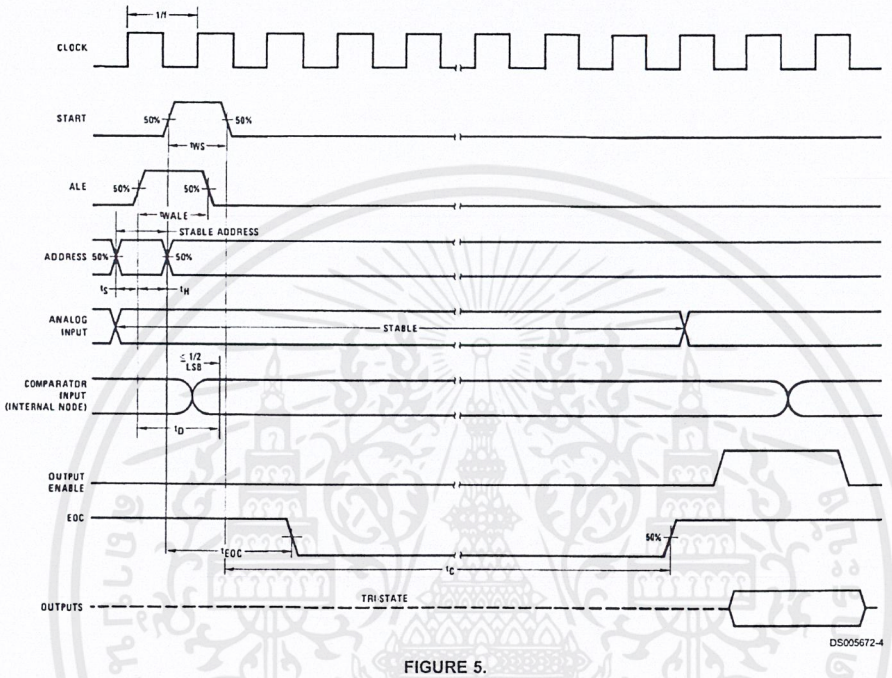


FIGURE 5.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

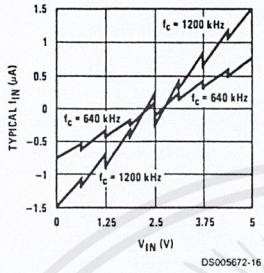


FIGURE 6. Comparator I_{IN} vs V_{IN} (V_{CC}=V_{REF}=5V)

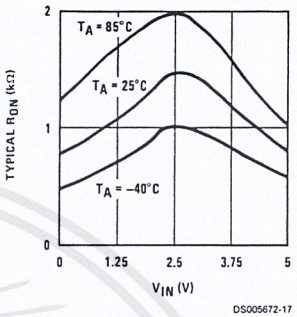


FIGURE 7. Multiplexer R_{ON} vs V_{IN} (V_{CC}=V_{REF}=5V)

TRI-STATE Test Circuits and Timing Diagrams

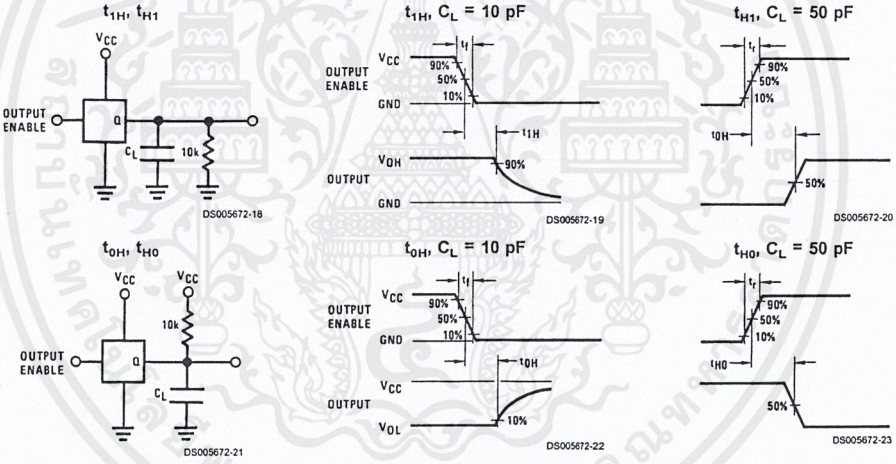


FIGURE 8.

Applications Information

OPERATION

1.0 RATIOMETRIC CONVERSION

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation

$$\frac{V_{IN}}{V_{fs}-V_Z}=\frac{D_X}{D_{MAX}-D_{MIN}} \qquad (1)$$

V_{IN}=Input voltage into the ADC0808

V_{fs}=Full-scale voltage

V_Z=Zero voltage

D_X=Data point being measured

D_{MAX}=Maximum data limit

D_{MIN}=Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs, (*Figure 9*).

Ratiometric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are suitable for measuring proportional relationships; however, many types of measurements must be referred to an absolute standard such as voltage or current. This means a sys-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

tem reference must be used which relates the full-scale voltage to the standard volt. For example, if $V_{CC}=V_{REF}=5.12V$, then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is then 20 mV.

2.0 RESISTOR LADDER LIMITATIONS

The voltages from the resistor ladder are compared to the selected into 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref(+), should not be more positive than the supply, and the bottom of the ladder, Ref(−), should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches. These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

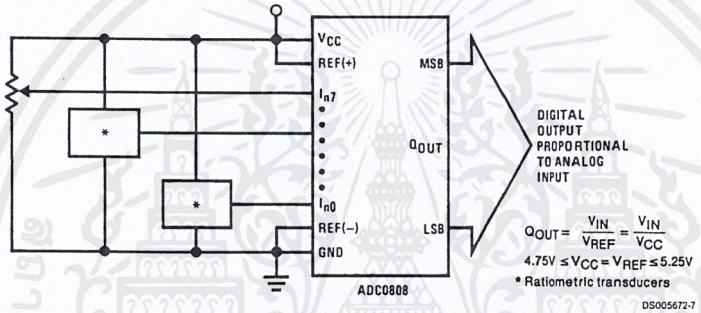


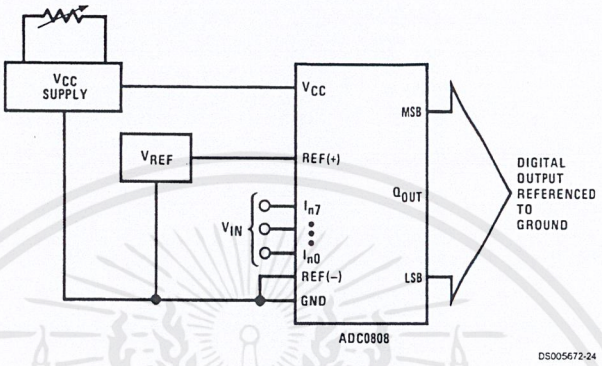
FIGURE 9. Ratiometric Conversion System

The ADC0808 needs less than a milliamp of supply current so developing the supply from the reference is readily accomplished. In *Figure 11* a ground referenced system is shown which generates the supply from the reference. The buffer shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in *Figure 12*. The LM301 is overcompensated to insure stability when loaded by the 10 µF output capacitor.

The top and bottom ladder voltages cannot exceed V_{CC} and ground, respectively, but they can be symmetrically less than V_{CC} and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In *Figure 13*, a 2.5V reference is symmetrically centered about $V_{CC}/2$ since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

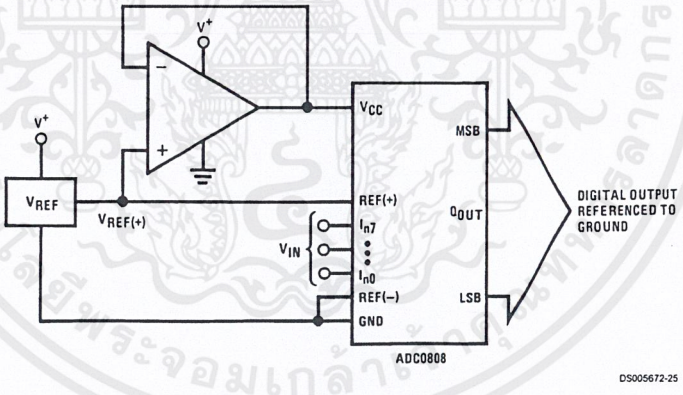
Applications Information (Continued)



$$Q_{OUT} = \frac{V_{IN}}{V_{REF}}$$

$4.75V \leq V_{CC} = V_{REF} \leq 5.25V$

FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply



$$Q_{OUT} = \frac{V_{IN}}{V_{REF}}$$

$4.75V \leq V_{CC} = V_{REF} \leq 5.25V$

FIGURE 11. Ground Referenced Conversion System with Reference Generating V_{CC} Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

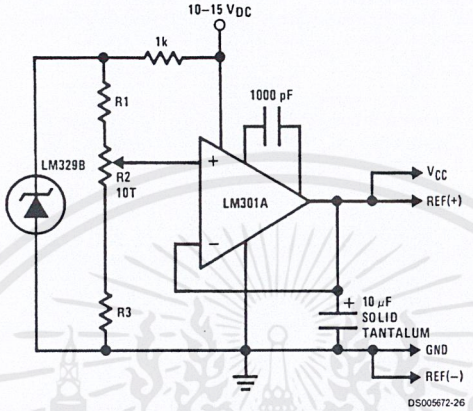
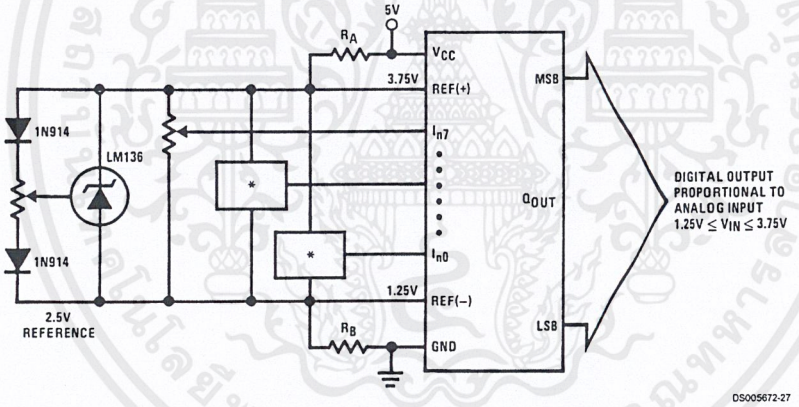


FIGURE 12. Typical Reference and Supply Circuit



$R_A = R_B$

*Ratiometric transducers

FIGURE 13. Symmetrically Centered Reference

3.0 CONVERTER EQUATIONS

The transition between adjacent codes N and N+1 is given by:

$$V_{IN} = \left\{ (V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} + \frac{1}{512} \right] \pm V_{TUE} \right\} + V_{REF(-)} \quad (2)$$

The center of an output code N is given by:

$$V_{IN} \left\{ (V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} \right] \pm V_{TUE} \right\} + V_{REF(-)} \quad (3)$$

The output code N for an arbitrary input are the integers within the range:

$$N = \frac{V_{IN} - V_{REF(-)}}{V_{REF(+)} - V_{REF(-)}} \times 256 \pm \text{Absolute Accuracy} \quad (4)$$

Where: V_{IN}=Voltage at comparator input
$V_{REF(+)}$=Voltage at Ref(+)
$V_{REF(-)}$=Voltage at Ref(−)
V_{TUE}=Total unadjusted error voltage (typically $V_{REF(+)} \div 512$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

4.0 ANALOG COMPARATOR INPUTS

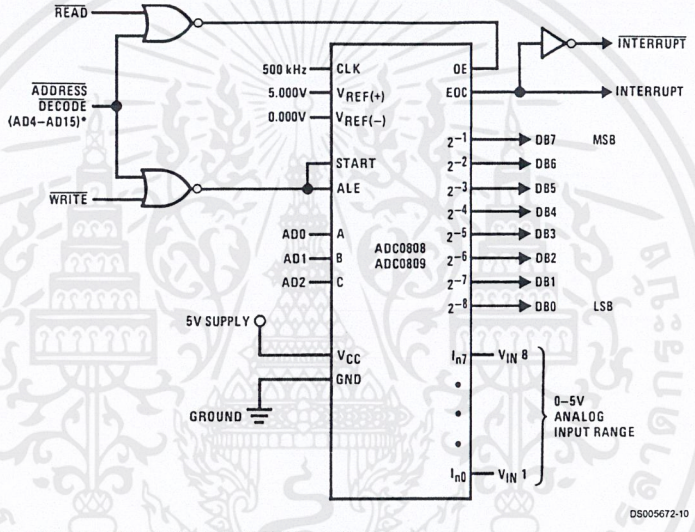
The dynamic comparator input current is caused by the periodic switching of on-chip stray capacitances. These are connected alternately to the output of the resistor ladder/switch tree network and to the comparator input as part of the operation of the chopper stabilized comparator.

The average value of the comparator input current varies directly with clock frequency and with V_{IN} as shown in *Figure 6*.

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator input current should not introduce converter errors, as the transient created by the capacitance discharge will die out before the comparator output is strobed.

If input filter capacitors are desired for noise reduction and signal conditioning they will tend to average out the dynamic comparator input current. It will then take on the characteristics of a DC bias current whose effect can be predicted conventionally.

Typical Application



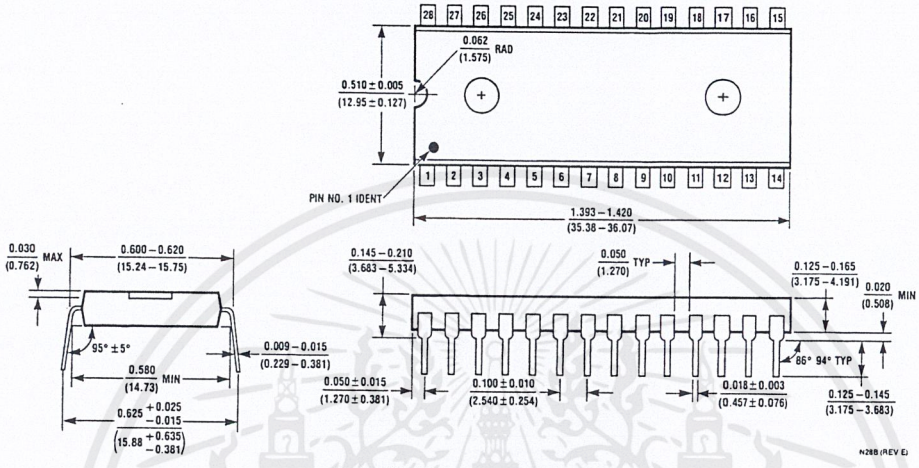
*Address latches needed for 8085 and SC/MP interfacing the ADC0808 to a microprocessor

TABLE 2. Microprocessor Interface Table

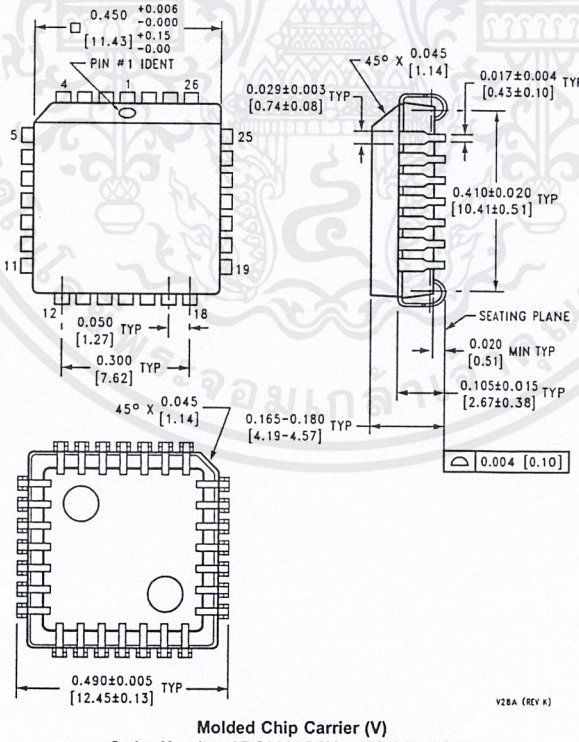
PROCESSOR	$\overline{\text{READ}}$	$\overline{\text{WRITE}}$	INTERRUPT (COMMENT)
8080	$\overline{\text{MEMR}}$	$\overline{\text{MEMW}}$	INTR (Thru RST Circuit)
8085	$\overline{\text{RD}}$	$\overline{\text{WR}}$	INTR (Thru RST Circuit)
Z-80	$\overline{\text{RD}}$	$\overline{\text{WR}}$	$\overline{\text{INT}}$ (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	VMA•φ2•R/W	VMA•φ•$\overline{\text{R/W}}$	$\overline{\text{IRQA}}$ or $\overline{\text{IRQB}}$ (Thru PIA)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



Molded Dual-In-Line Package (N)
Order Number ADC0808CCN or ADC0809CCN
NS Package Number N28B



Molded Chip Carrier (V)
Order Number ADC0808CCV or ADC0809CCV
NS Package Number V28A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR™

October 1987
Revised January 1999

CD4017BC • CD4022BC

Decade Counter/Divider with 10 Decoded Outputs • Divide-by-8 Counter/Divider with 8 Decoded Outputs

General Description

The CD4017BC is a 5-stage divide-by-10 Johnson counter with 10 decoded outputs and a carry out bit.

The CD4022BC is a 4-stage divide-by-8 Johnson counter with 8 decoded outputs and a carry-out bit.

These counters are cleared to their zero count by a logical "1" on their reset line. These counters are advanced on the positive edge of the clock signal when the clock enable signal is in the logical "0" state.

The configuration of the CD4017BC and CD4022BC permits medium speed operation and assures a hazard free counting sequence. The 10/8 decoded outputs are normally in the logical "0" state and go to the logical "1" state only at their respective time slot. Each decoded output remains high for 1 full clock cycle. The carry-out signal completes a full cycle for every 10/8 clock input cycles and is used as a ripple carry signal to any succeeding stages.

Features

- Wide supply voltage range: 3.0V to 15V
- High noise immunity: 0.45 V_{DD} (typ.)
- Low power Fan out of 2 driving 74L
  TTL compatibility: or 1 driving 74LS
- Medium speed operation: 5.0 MHz (typ.)
  with 10V V_{DD}
- Low power: 10 µW (typ.)
- Fully static operation

Applications

- Automotive
- Instrumentation
- Medical electronics
- Alarm systems
- Industrial electronics
- Remote metering

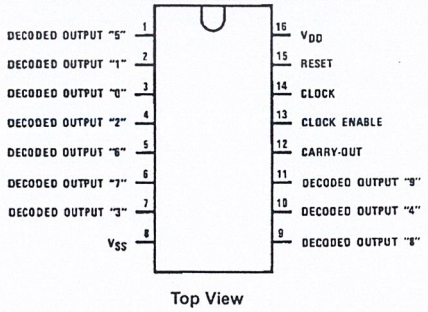
Ordering Code:

Order Number	Package Number	Package Description
CD4017BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4017BCSJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4017BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
CD4022BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4022BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

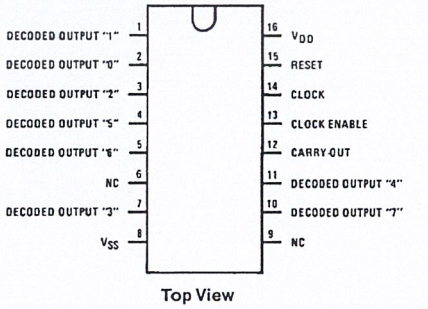
Connection Diagrams

Pin Assignments for DIP, SOIC and SOP
CD4017B



Top View

Pin Assignments for DIP and SOIC
CD4022B



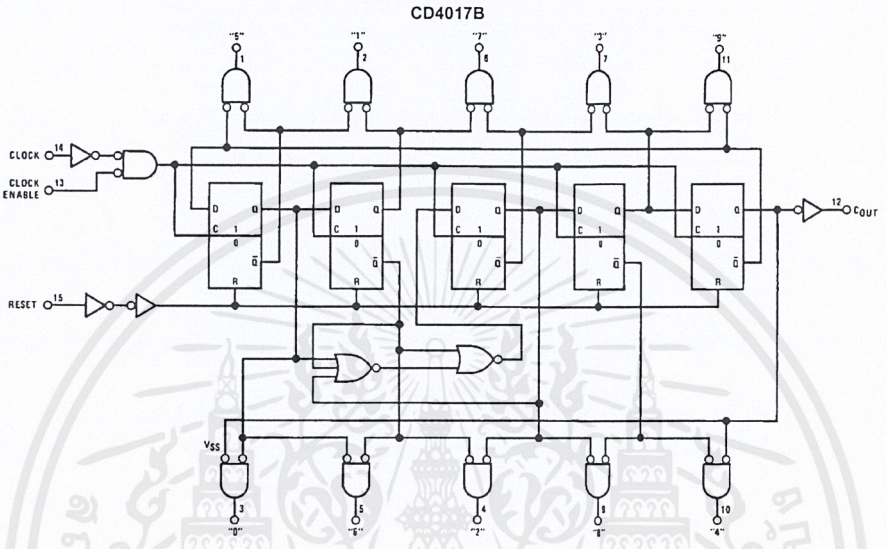
Top View

© 1999 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

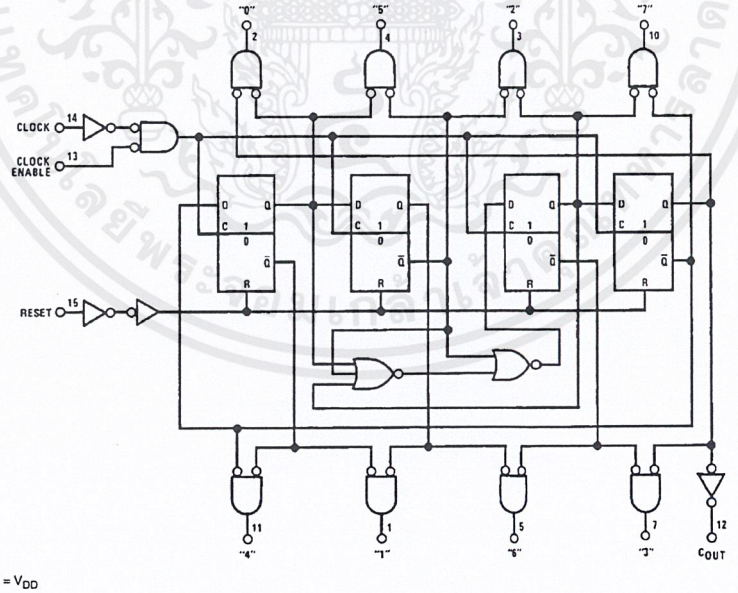
Logic Diagrams

CD4017B



Terminal No. 8 = GND
Terminal No. 16 = V_{DD}

CD4022B



Terminal No. 16 = V_{DD}
Terminal No. 8 = GND

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

(Note 2)

DC Supply Voltage (V_{DD})	−0.5 V_{DC} to +18 V_{DC}
Input Voltage (V_{IN})	−0.5 V_{DC} to V_{DD} +0.5 V_{DC}
Storage Temperature (T_S)	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	+3 V_{DC} to +15 V_{DC}
Input Voltage (V_{IN})	0 to V_{DD} V_{DC}
Operating Temperature Range (T_A)	−40°C to +85°C

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed, they are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

DC Electrical Characteristics (Note 2)

Symbol	Parameter	Conditions	−40°C		+25°			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	V_{DD} = 5V		20		0.5	20		150	µA
		V_{DD} = 10V		40		1.0	40		300	µA
		V_{DD} = 15V		80		5.0	80		600	µA
V_{OL}	LOW Level Output Voltage	$\|I_O\|$ < 1.0 µA								
		V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	HIGH Level Output Voltage	$\|I_O\|$ < 1.0 µA								
		V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	LOW Level Input Voltage	$\|I_O\|$ < 1.0 µA								
		V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5			1.5		1.5	V
		V_{DD} = 10V, V_O = 1.0V or 9.0V		3.0			3.0		3.0	V
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0			4.0		4.0	V
V_{IH}	HIGH Level Input Voltage	$\|I_O\|$ < 1.0 µA								
		V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5			3.5		V
		V_{DD} = 10V, V_O = 1.0V or 9.0V	7.0		7.0			7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0			11.0		V
I_{OL}	LOW Level Output Current (Note 3)	V_{DD} = 5V, V_O = 0.4V	0.52		0.44	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.3		1.1	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	3.6		3.0	8.8		2.4		mA
I_{OH}	HIGH Level Output Current (Note 3)	V_{DD} = 5V, V_O = 4.6V	−0.2		−0.16	−0.36		−0.12		mA
		V_{DD} = 10V, V_O = 9.5V	−0.5		−0.4	−0.9		−0.3		mA
		V_{DD} = 15V, V_O = 13.5V	−1.4		−1.2	−3.5		−1.0		mA
I_{IN}	Input Current	V_{DD} = 15V, V_{IN} = 0V		−0.3		-10^{-5}	−0.3		−1.0	µA
		V_{DD} = 15V, V_{IN} = 15V		0.3		10^{-5}	0.3		1.0	µA

Note 3: I_{OL} and I_{OH} are tested one output at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 4)

T_A = 25°C, C_L = 50 pF, R_L = 200k, t_{rCL} and t_{fCL} = 20 ns, unless otherwise specified

Symbol	Parameter	Conditions		Min	Typ	Max	Units
CLOCK OPERATION							
t_{PHL}, t_{PLH}	Propagation Delay Time Carry Out Line	V_{DD} = 5V			415	800	ns
		V_{DD} = 10V			160	320	ns
		V_{DD} = 15V			130	250	ns
	Carry Out Line	V_{DD} = 5V			240	480	ns
		V_{DD} = 10V	C_L = 15 pF		85	170	ns
		V_{DD} = 15V			70	140	ns
	Decode Out Lines	V_{DD} = 5V			500	1000	ns
		V_{DD} = 10V			200	400	ns
		V_{DD} = 15V			160	320	ns
t_{TLH}, t_{THL}	Transition Time Carry Out and Decode Out Lines						
	t_{TLH}	V_{DD} = 5V			200	360	ns
		V_{DD} = 10V			100	180	ns
		V_{DD} = 15V			80	130	ns
	t_{THL}	V_{DD} = 5V			100	200	ns
		V_{DD} = 10V			50	100	ns
		V_{DD} = 15V			40	80	ns
f_{CL}	Maximum Clock Frequency	V_{DD} = 5V	Measured with	1.0	2		MHz
		V_{DD} = 10V	Respect to Carry	2.5	5		MHz
		V_{DD} = 15V	Output Line	3.0	6		MHz
t_{WL}, t_{WH}	Minimum Clock Pulse Width	V_{DD} = 5V			125	250	ns
		V_{DD} = 10V			45	90	ns
		V_{DD} = 15V			35	70	ns
t_{rCL}, t_{fCL}	Clock Rise and Fall Time	V_{DD} = 5V				20	µs
		V_{DD} = 10V				15	µs
		V_{DD} = 15V				5	µs
t_{SU}	Minimum Clock Inhibit Data Setup Time	V_{DD} = 5V			120	240	ns
		V_{DD} = 10V			40	80	ns
		V_{DD} = 15V			32	65	ns
C_{IN}	Average Input Capacitance				5	7.5	pF

Note 4: AC Parameters are guaranteed by DC correlated testing.

AC Electrical Characteristics (Note 4)

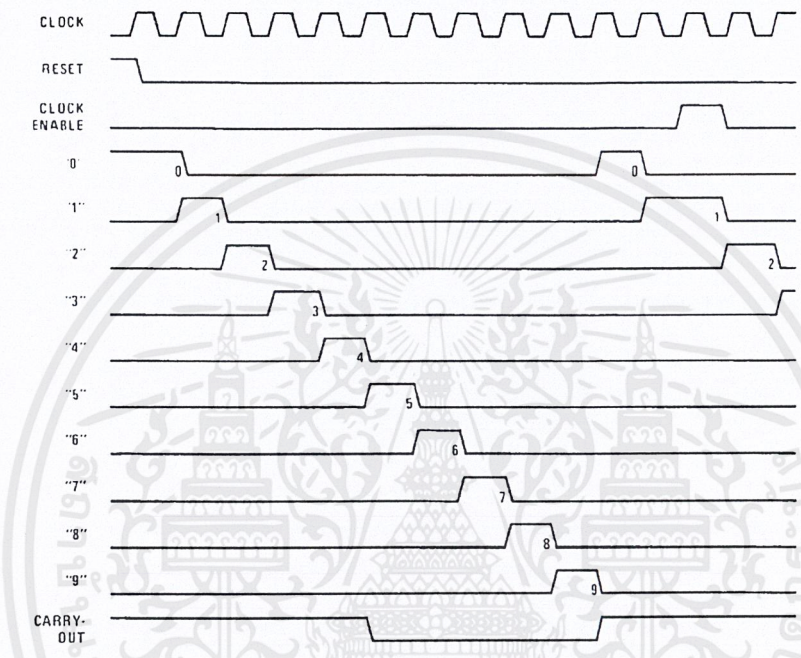
T_A = 25°C, C_L = 50 pF, R_L = 200k, t_{rCL} and t_{fCL} = 20 ns, unless otherwise specified

Symbol	Parameter	Conditions		Min	Typ	Max	Units
RESET OPERATION							
t_{PHL}, t_{PLH}	Propagation Delay Time						
	Carry Out Line	V_{DD} = 5V			415	800	ns
		V_{DD} = 10V			160	320	ns
		V_{DD} = 15V			130	250	ns
	Carry Out Line	V_{DD} = 5V			240	480	ns
		V_{DD} = 10V	C_L = 15 pF		85	170	ns
		V_{DD} = 15V			70	140	ns
	Decode Out Lines	V_{DD} = 5V			500	1000	ns
		V_{DD} = 10V			200	400	ns
		V_{DD} = 15V			160	320	ns
t_W	Minimum Reset	V_{DD} = 5V			200	400	ns
	Pulse Width	V_{DD} = 10V			70	140	ns
		V_{DD} = 15V			55	110	ns
t_{REM}	Minimum Reset	V_{DD} = 5V			75	150	ns
	Removal Time	V_{DD} = 10V			30	60	ns
		V_{DD} = 15V			25	50	ns

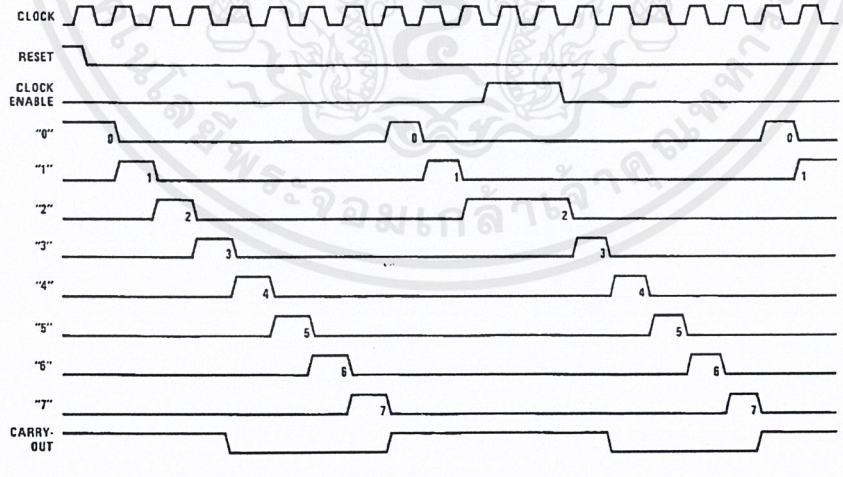
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagrams

CD4017B

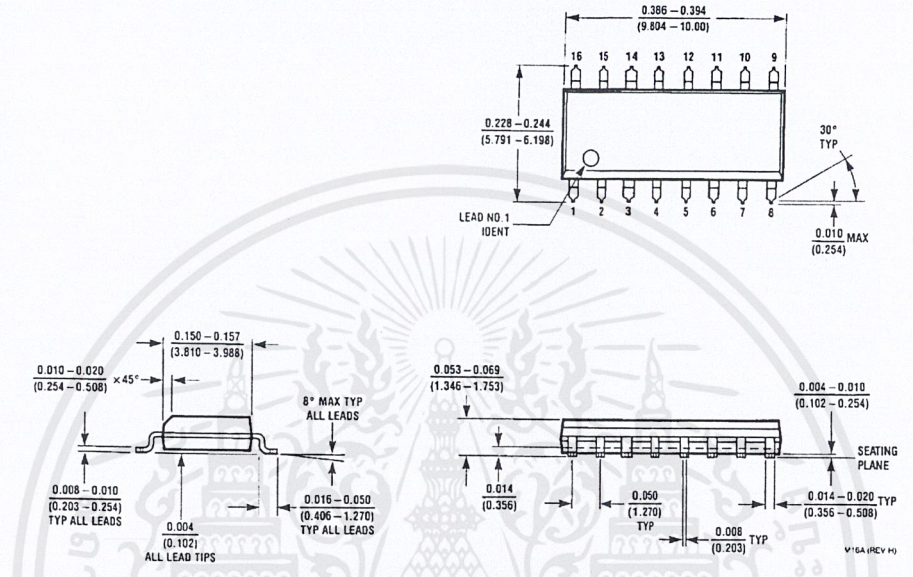


CD4022B

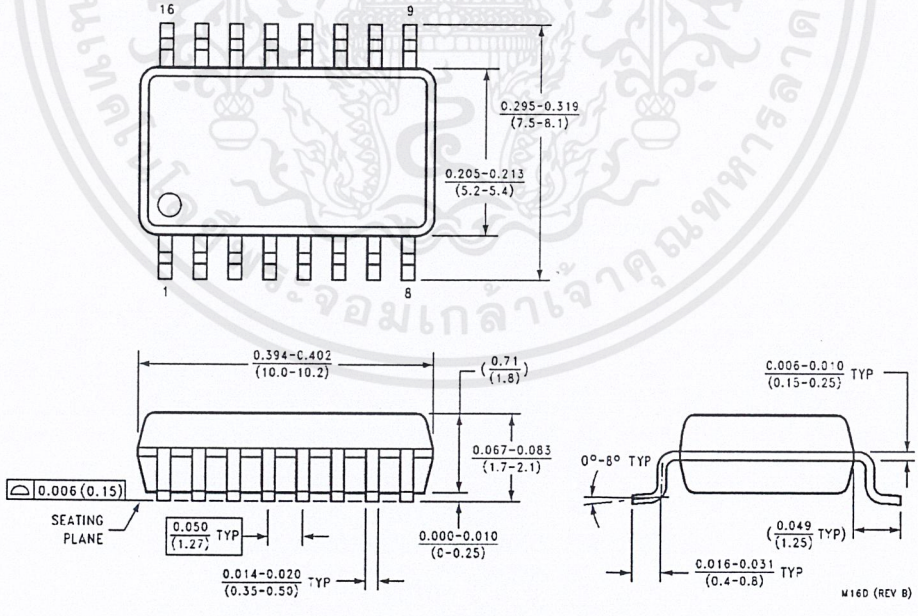


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



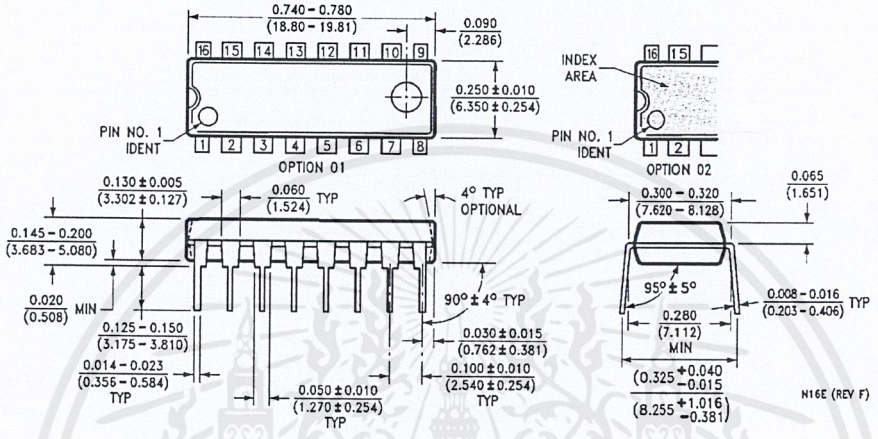
16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
Package Number M16A



16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
Package Number M16D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-1, 0.300" Wide
Package Number N16E

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

October 1989

CD4051BM/CD4051BC Single 8-Channel Analog Multiplexer/Demultiplexer
CD4052BM/CD4052BC Dual 4-Channel Analog Multiplexer/Demultiplexer
CD4053BM/CD4053BC Triple 2-Channel Analog Multiplexer/Demultiplexer

General Description

These analog multiplexers/demultiplexers are digitally controlled analog switches having low "ON" impedance and very low "OFF" leakage currents. Control of analog signals up to $15V_{p-p}$ can be achieved by digital signal amplitudes of 3–15V. For example, if $V_{DD}=5V$, $V_{SS}=0V$ and $V_{EE}=-5V$, analog signals from −5V to +5V can be controlled by digital inputs of 0–5V. The multiplexer circuits dissipate extremely low quiescent power over the full $V_{DD}-V_{SS}$ and $V_{DD}-V_{EE}$ supply voltage ranges, independent of the logic state of the control signals. When a logical "1" is present at the inhibit input terminal all channels are "OFF".

CD4051BM/CD4051BC is a single 8-channel multiplexer having three binary control inputs, A, B, and C, and an inhibit input. The three binary signals select 1 of 8 channels to be turned "ON" and connect the input to the output.

CD4052BM/CD4052BC is a differential 4-channel multiplexer having two binary control inputs, A and B, and an inhibit input. The two binary input signals select 1 or 4 pairs of channels to be turned on and connect the differential analog inputs to the differential outputs.

CD4053BM/CD4053BC is a triple 2-channel multiplexer having three separate digital control inputs, A, B, and C, and an inhibit input. Each control input selects one of a pair of channels which are connected in a single-pole double-throw configuration.

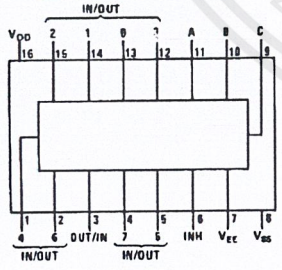
Features

- Wide range of digital and analog signal levels: digital 3–15V, analog to $15V_{p-p}$
- Low "ON" resistance: 80Ω (typ.) over entire $15V_{p-p}$ signal-input range for $V_{DD}-V_{EE}=15V$
- High "OFF" resistance: channel leakage of ±10 pA (typ.) at $V_{DD}-V_{EE}=10V$
- Logic level conversion for digital addressing signals of 3–15V ($V_{DD}-V_{SS}=3-15V$) to switch analog signals to 15 V_{p-p} ($V_{DD}-V_{EE}=15V$)
- Matched switch characteristics: $\Delta R_{ON}=5\Omega$ (typ.) for $V_{DD}-V_{EE}=15V$
- Very low quiescent power dissipation under all digital-control input and supply conditions: 1 μW (typ.) at $V_{DD}-V_{SS}=V_{DD}-V_{EE}=10V$
- Binary address decoding on chip

Connection Diagrams

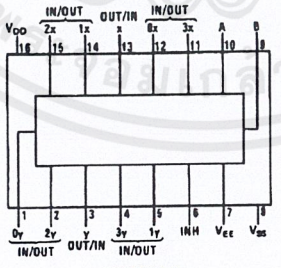
Dual-In-Line Packages

CD4051BM/CD4051BC



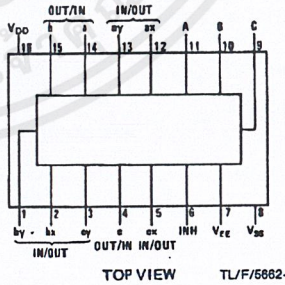
TOP VIEW

CD4052BM/CD4052BC



TOP VIEW

CD4053BM/CD4053BC



TOP VIEW

TL/F/5662–1

Order Number CD4051B, CD4052B, or CD4053B

©1995 National Semiconductor Corporation TL/F/5662

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

DC Supply Voltage (V_{DD}) $-0.5\ V_{DC}$ to $+18\ V_{DC}$
Input Voltage (V_{IN}) $-0.5\ V_{DC}$ to $V_{DD}+0.5\ V_{DC}$
Storage Temperature Range (T_S) $-65°C$ to $+150°C$
Power Dissipation (P_D)
Dual-In-Line 700 mW
Small Outline 500 mW
Lead Temp. (T_L) (soldering, 10 sec.) 260°C

Recommended Operating Conditions

DC Supply Voltage (V_{DD}) $+5\ V_{DC}$ to $+15\ V_{DC}$
Input Voltage (V_{IN}) 0V to V_{DD} V_{DC}
Operating Temperature Range (T_A)
4051BM/4052BM/4053BM $-55°C$ to $+125°C$
4051BC/4052BC/4053BC $-40°C$ to $+85°C$

DC Electrical Characteristics (Note 2)

Symbol	Parameter	Conditions		−55°C		+25°			+125°C		Units
				Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	$V_{DD}=5V$			5			5		150	μA
		$V_{DD}=10V$			10			10		300	μA
		$V_{DD}=15V$			20			20		600	μA
Signal Inputs (V_{IS}) and Outputs (V_{OS})											
R_{ON}	"ON" Resistance (Peak for $V_{EE} \le V_{IS} \le V_{DD}$)	$R_L=10\ k\Omega$ (any channel selected)	$V_{DD}=2.5V$, $V_{EE}=-2.5V$ or $V_{DD}=5V$, $V_{EE}=0V$		800		270	1050		1300	Ω
			$V_{DD}=5V$ $V_{EE}=-5V$ or $V_{DD}=10V$, $V_{EE}=0V$		310		120	400		550	Ω
			$V_{DD}=7.5V$, $V_{EE}=-7.5V$ or $V_{DD}=15V$, $V_{EE}=0V$		200		80	240		320	Ω
ΔR_{ON}	Δ"ON" Resistance Between Any Two Channels	$R_L=10\ k\Omega$ (any channel selected)	$V_{DD}=2.5V$, $V_{EE}=-2.5V$ or $V_{DD}=5V$, $V_{EE}=0V$				10				Ω
			$V_{DD}=5V$, $V_{EE}=-5V$ or $V_{DD}=10V$, $V_{EE}=0V$				10				Ω
			$V_{DD}=7.5V$, $V_{EE}=-7.5V$ or $V_{DD}=15V$, $V_{EE}=0V$				5				Ω
	"OFF" Channel Leakage Current, any channel "OFF"	$V_{DD}=7.5V$, $V_{EE}=-7.5V$ O/I = ±7.5V, I/O = 0V			±50		±0.01	±50		±500	nA
	"OFF" Channel Leakage Current, all channels "OFF" (Common OUT/IN)	Inhibit = 7.5V	CD4051		±200		±0.08	±200		±2000	nA
		$V_{DD}=7.5V$, $V_{EE}=-7.5V$, O/I = 0V,	CD4052		±200		±0.04	±200		±2000	nA
		I/O = ±7.5V	CD4053		±200		±0.02	±200		±2000	nA
Control Inputs A, B, C and Inhibit											
V_{IL}	Low Level Input Voltage	$V_{EE}=V_{SS}$ $R_L=1\ k\Omega$ to V_{SS} $I_{IS}<2\ \mu A$ on all OFF channels $V_{IS}=V_{DD}$ thru 1 kΩ									
		$V_{DD}=5V$			1.5			1.5		1.5	V
		$V_{DD}=10V$			3.0			3.0		3.0	V
		$V_{DD}=15V$			4.0			4.0		4.0	V
V_{IH}	High Level Input Voltage	$V_{DD}=5$		3.5		3.5			3.5		V
		$V_{DD}=10$		7		7			7		V
		$V_{DD}=15$		11		11			11		V

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: All voltages measured with respect to V_{SS} unless otherwise specified.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics (Note 2) (Continued)

Symbol	Parameter	Conditions	−40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{IN}	Input Current	$V_{DD}=15V$, $V_{EE}=0V$, $V_{IN}=0V$		−0.1		-10^{-5}	−0.1		−1.0	μA
		$V_{DD}=15V$, $V_{EE}=0V$, $V_{IN}=15V$		0.1		10^{-5}	0.1		1.0	μA
I_{DD}	Quiescent Device Current	$V_{DD}=5V$		20			20		150	μA
		$V_{DD}=10V$		40			40		300	μA
		$V_{DD}=15V$		80			80		600	μA
Signal Inputs (V_{IS}) and Outputs (V_{OS})										
R_{ON}	"ON" Resistance (Peak for $V_{EE} \le V_{IS} \le V_{DD}$)	$R_L=10\ k\Omega$ (any channel selected), $V_{DD}=2.5V$, $V_{EE}=-2.5V$ or $V_{DD}=5V$, $V_{EE}=0V$		850		270	1050		1200	Ω
		$V_{DD}=5V$, $V_{EE}=-5V$ or $V_{DD}=10V$, $V_{EE}=0V$		330		120	400		520	Ω
		$V_{DD}=7.5V$, $V_{EE}=-7.5V$ or $V_{DD}=15V$, $V_{EE}=0V$		210		80	240		300	Ω
ΔR_{ON}	Δ"ON" Resistance Between Any Two Channels	$R_L=10\ k\Omega$ (any channel selected), $V_{DD}=2.5V$, $V_{EE}=-2.5V$ or $V_{DD}=5V$, $V_{EE}=0V$				10				Ω
		$V_{DD}=5V$, $V_{EE}=-5V$ or $V_{DD}=10V$, $V_{EE}=0V$				10				Ω
		$V_{DD}=7.5V$, $V_{EE}=-7.5V$ or $V_{DD}=15V$, $V_{EE}=0V$				5				Ω
	"OFF" Channel Leakage Current, any channel "OFF"	$V_{DD}=7.5V$, $V_{EE}=-7.5V$, $O/I=\pm7.5V$, $I/O=0V$		±50		±0.01	±50		±500	nA
	"OFF" Channel Leakage Current, all channels "OFF" (Common OUT/IN)	Inhibit=7.5V CD4051, $V_{DD}=7.5V$, $V_{EE}=-7.5V$, $O/I=0V$, $I/O=\pm7.5V$		±200		±0.08	±200		±2000	nA
		Inhibit=7.5V CD4052, $V_{DD}=7.5V$, $V_{EE}=-7.5V$, $O/I=0V$, $I/O=\pm7.5V$		±200		±0.04	±200		±2000	nA
		Inhibit=7.5V CD4053, $V_{DD}=7.5V$, $V_{EE}=-7.5V$, $O/I=0V$, $I/O=\pm7.5V$		±200		±0.02	±200		±2000	nA
Control Inputs A, B, C and Inhibit										
V_{IL}	Low Level Input Voltage	$V_{EE}=V_{SS}$ $R_L=1\ k\Omega$ to V_{SS}, $I_{IS}<2\ \mu A$ on all OFF Channels, $V_{IS}=V_{DD}$ thru 1 kΩ, $V_{DD}=5V$		1.5			1.5		1.5	V
		$V_{DD}=10V$		3.0			3.0		3.0	V
		$V_{DD}=15V$		4.0			4.0		4.0	V
V_{IH}	High Level Input Voltage	$V_{DD}=5$	3.5		3.5			3.5		V
		$V_{DD}=10$	7		7			7		V
		$V_{DD}=15$	11		11			11		V
I_{IN}	Input Current	$V_{DD}=15V$, $V_{EE}=0V$, $V_{IN}=0V$		−0.1		-10^{-5}	−0.1		−1.0	μA
		$V_{DD}=15V$, $V_{EE}=0V$, $V_{IN}=15V$		0.1		10^{-5}	0.1		1.0	μA

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: All voltages measured with respect to V_{SS} unless otherwise specified.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics* $T_A = 25°C$, $t_r = t_f = 20$ ns, unless otherwise specified.

Symbol	Parameter	Conditions	V_{DD}	Min	Typ	Max	Units
t_{PZH}, t_{PZL}	Propagation Delay Time from Inhibit to Signal Output (channel turning on)	$V_{EE} = V_{SS} = 0V$ $R_L = 1\ k\Omega$ $C_L = 50$ pF	5V 10V 15V		600 225 160	1200 450 320	ns ns ns
t_{PHZ}, t_{PLZ}	Propagation Delay Time from Inhibit to Signal Output (channel turning off)	$V_{EE} = V_{SS} = 0V$ $R_L = 1\ k\Omega$ $C_L = 50$ pF	5V 10V 15V		210 100 75	420 200 150	ns ns ns
C_{IN}	Input Capacitance Control Input Signal Input (IN/OUT)				 5 10	 7.5 15	 pF pF
C_{OUT}	Output Capacitance (common OUT/IN)						
	CD4051 CD4052 CD4053	$V_{EE} = V_{SS} = 0V$	10V 10V 10V		30 15 8		pF pF pF
C_{IOS}	Feedthrough Capacitance				0.2		pF
C_{PD}	Power Dissipation Capacitance						
	CD4051 CD4052 CD4053				110 140 70		pF pF pF
Signal Inputs (V_{IS}) and Outputs (V_{OS})							
	Sine Wave Response (Distortion)	$R_L = 10\ k\Omega$ $f_{IS} = 1$ kHz $V_{IS} = 5\ V_{p-p}$ $V_{EE} = V_{SI} = 0V$	10V		0.04		%
	Frequency Response, Channel "ON" (Sine Wave Input)	$R_L = 1\ k\Omega$, $V_{EE} = 0V$, $V_{IS} = 5V_{p-p}$, $20 \log_{10} V_{OS}/V_{IS} = -3$ dB	10V		40		MHz
	Feedthrough, Channel "OFF"	$R_L = 1\ k\Omega$, $V_{EE} = V_{SS} = 0V$, $V_{IS} = 5V_{p-p}$, $20 \log_{10} V_{OS}/V_{IS} = -40$ dB	10V		10		MHz
	Crosstalk Between Any Two Channels (frequency at 40 dB)	$R_L = 1\ k\Omega$, $V_{EE} = V_{SS} = 0V$, $V_{IS}(A) = 5V_{p-p}$ $20 \log_{10} V_{OS}(B)/V_{IS}(A) = -40$ dB (Note 3)	10V		3		MHz
t_{PHL} t_{PLH}	Propagation Delay Signal Input to Signal Output	$V_{EE} = V_{SS} = 0V$ $C_L = 50$ pF	5V 10V 15V		25 15 10	55 35 25	ns ns ns
Control Inputs, A, B, C and Inhibit							
	Control Input to Signal Crosstalk	$V_{EE} = V_{SS} = 0V$, $R_L = 10\ k\Omega$ at both ends of channel. Input Square Wave Amplitude = 10V	10V		65		mV (peak)
t_{PHL}, t_{PLH}	Propagation Delay Time from Address to Signal Output (channels "ON" or "OFF")	$V_{EE} = V_{SS} = 0V$ $C_L = 50$ pF	5V 10V 15V		500 180 120	1000 360 240	ns ns ns

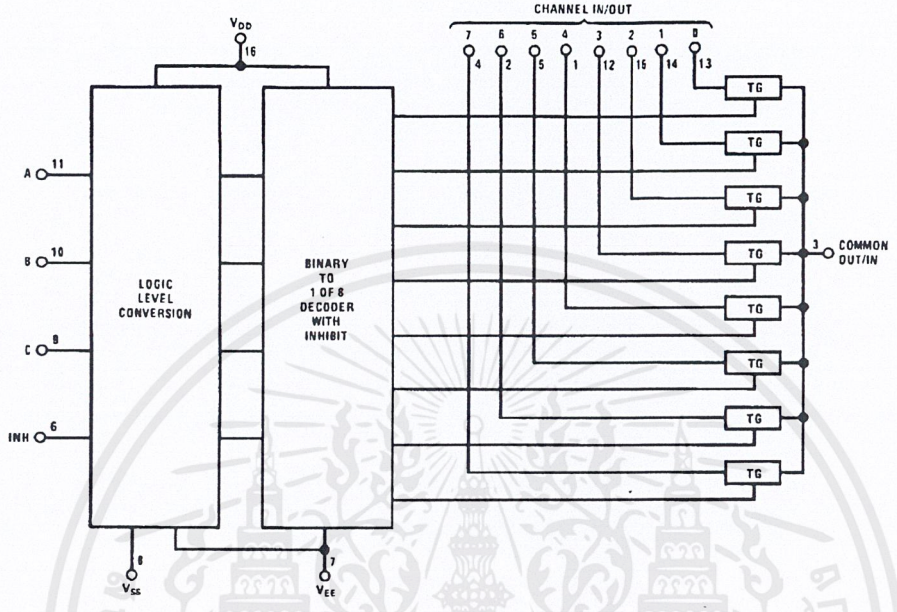
*AC Parameters are guaranteed by DC correlated testing.

Note 3: A, B are two arbitrary channels with A turned "ON" and B "OFF".

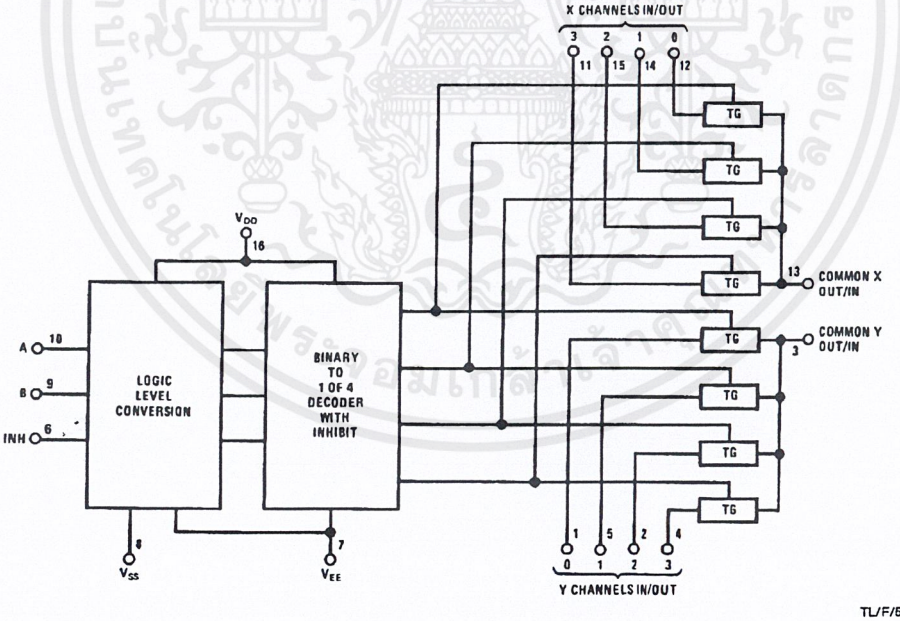
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagrams

CD4051BM/CD4051BC



CD4052BM/CD4052BC

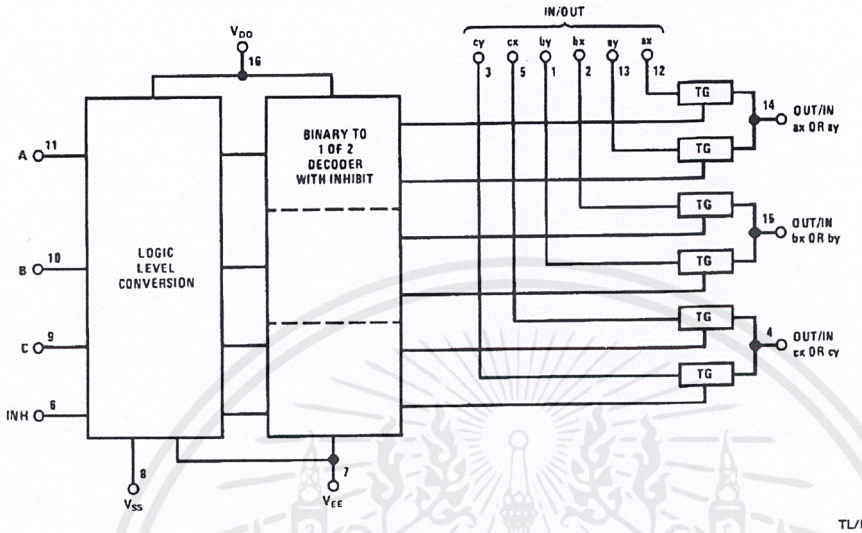


TL/F/5662–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagrams (Continued)

CD4053BM/CD4053BC



TL/F/5662–3

Truth Table

INPUT STATES				"ON" CHANNELS		
INHIBIT	C	B	A	CD4051B	CD4052B	CD4053B
0	0	0	0	0	0X, 0Y	cx, bx, ax
0	0	0	1	1	1X, 1Y	cx, bx, ay
0	0	1	0	2	2X, 2Y	cx, by, ax
0	0	1	1	3	3X, 3Y	cx, by, ay
0	1	0	0	4		cy, bx, ax
0	1	0	1	5		cy, bx, ay
0	1	1	0	6		cy, by, ax
0	1	1	1	7		cy, by, ay
1	*	*	*	NONE	NONE	NONE

*Don't Care condition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

June 1999

National Semiconductor

DAC0800/DAC0802
8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, and DAC-08H, respectively.

Features

- Fast settling output current: 100 ns
- Full scale error: ±1 LSB
- Nonlinearity over temperature: ±0.1%
- Full scale current drift: ±10 ppm/°C
- High output compliance: −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range: ±4.5V to ±18V
- Low power consumption: 33 mW at ±5V
- Low cost

Typical Applications

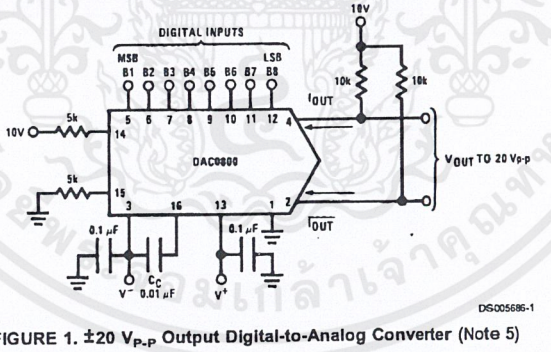


FIGURE 1. ±20 V_{P-P} Output Digital-to-Analog Converter (Note 5)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A) (Note 1)		N Package (N16E) (Note 1)		SO Package (M16A)
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM

Note 1: Devices may be ordered by using either order number.

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 3)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs (V_S − = −15V)	4.25 mA
ESD Susceptibility (Note 4)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 2)

	Min	Max	Units
Temperature (T_A)			
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics

The following specifications apply for V_S = ±15V, I_{REF} = 2 mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			Units
			Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19	%FS
t_s	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", T_A=25°C		100	135				ns
		DAC0800L					100	135	ns
		DAC0800LC					100	150	ns
tPLH, tPHL	Propagation Delay	T_A=25°C							
	Each Bit			35	60		35	60	ns
	All Bits Switched			35	60		35	60	ns
TCI_{FS}	Full Scale Tempco			±10	±50		±10	±50	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change <½ LSB, R_{OUT}>20 MΩ Typ	−10		18	−10		18	V
I_{FS4}	Full Scale Current	V_{REF}=10.000V, R14=5.000 kΩ R15=5.000 kΩ, T_A=25°C	1.984	1.992	2.000	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	I_{FS4}−I_{FS2}		±0.5	±4.0		±1	±8.0	µA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0	µA
I_{FSR}	Output Current Range	V^-=−5V	0	2.0	2.1	0	2.0	2.1	mA
		V^-=−8V to −18V	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels								
V_{IL}	Logic "0"	V_{LC}=0V			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			V
	Logic Input Current	V_{LC}=0V							
I_{IL}	Logic "0"	−10V≤V_{IN}≤+0.8V		−2.0	−10		−2.0	−10	µA
I_{IH}	Logic "1"	2V≤V_{IN}≤+18V		0.002	10		0.002	10	µA
V_{IS}	Logic Input Swing	V^-=−15V	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	V_S=±15V	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0	µA
dI/dt	Reference Input Slew Rate	(*Figure 11*)	4.0	8.0		4.0	8.0		mA/µs
$PSSI_{FS+}$	Power Supply Sensitivity	4.5V≤V^+≤18V		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		−4.5V≤V^-≤18V		0.0001	0.01		0.0001	0.01	%/%
		I_{REF}=1mA							

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for V_S = ±15V, I_{REF} = 2 mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			Units
			Min	Typ	Max	Min	Typ	Max	
	Power Supply Current	V_S=±5V, I_{REF}=1 mA							
I+				2.3	3.8		2.3	3.8	mA
I−				−4.3	−5.8		−4.3	−5.8	mA
		V_S=5V, −15V, I_{REF}=2 mA							
I+				2.4	3.8		2.4	3.8	mA
I−				−6.4	−7.8		−6.4	−7.8	mA
		V_S=±15V, I_{REF}=2 mA							
I+				2.5	3.8		2.5	3.8	mA
I−				−6.5	−7.8		−6.5	−7.8	mA
P_D	Power Dissipation	±5V, I_{REF}=1 mA		33	48		33	48	mW
		5V,−15V, I_{REF}=2 mA		108	136		108	136	mW
		±15V, I_{REF}=2 mA		135	174		135	174	mW

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

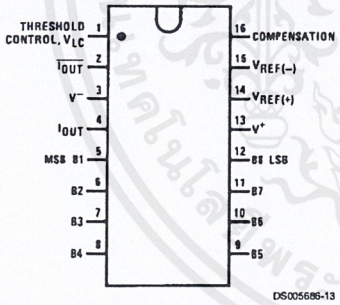
Note 3: The maximum junction temperature of the DAC0800 and DAC0802 is 125˚C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100˚C/W, junction-to-ambient, 175˚C/W for the molded Dual-In-Line N package and 100˚C/W for the Small Outline M package.

Note 4: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 5: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

Connection Diagrams

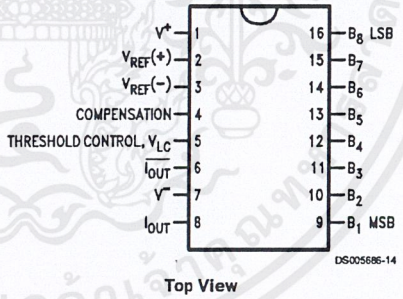
Dual-In-Line Package



DS005686-13

Top View

Small Outline Package



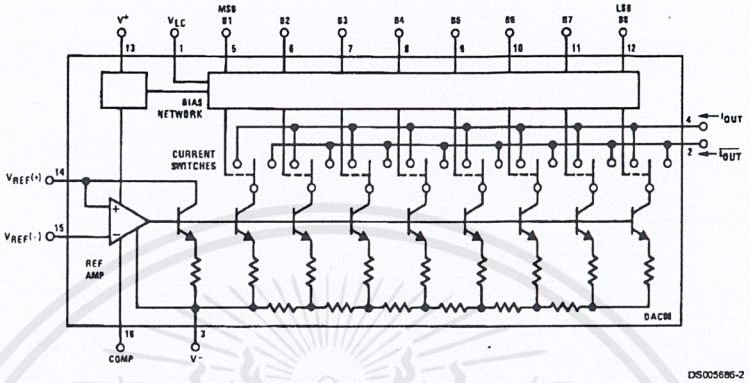
DS005686-14

Top View

See Ordering Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

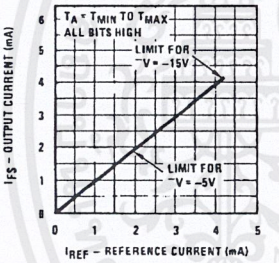
Block Diagram (Note 5)



DS005686-2

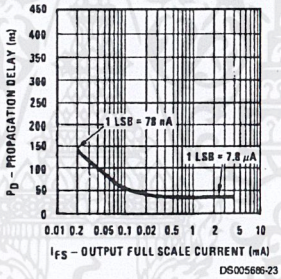
Typical Performance Characteristics

Full Scale Current vs Reference Current



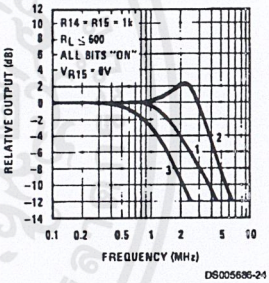
DS005686-22

LSB Propagation Delay vs I_{FS}



DS005686-23

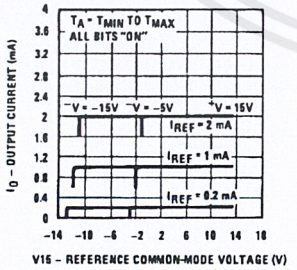
Reference Input Frequency Response



DS005686-24

Curve 1: C_C=15 pF, V_{IN}=2 Vp-p centered at 1V.
Curve 2: C_C=15 pF, V_{IN}=50 mVp-p centered at 200 mV.
Curve 3: C_C=0 pF, V_{IN}=100 mVp-p centered at 0V and applied through 50Ω connected to pin 14.2V applied to R14.

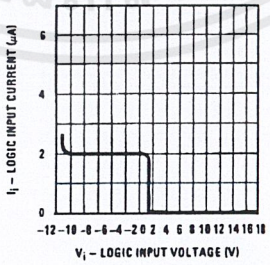
Reference Amp Common-Mode Range



DS005686-25

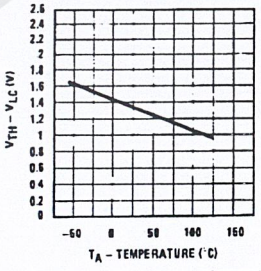
Note. Positive common-mode range is always (V+) − 1.5V.

Logic Input Current vs Input Voltage



DS005686-26

V_{TH} — V_{LC} vs Temperature

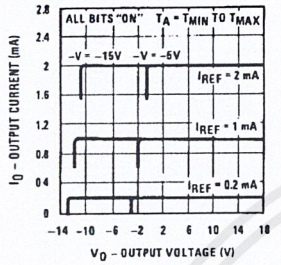


DS005686-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

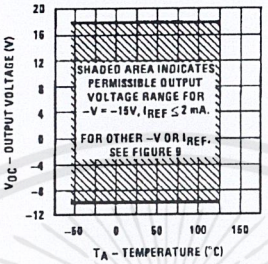
Typical Performance Characteristics (Continued)

Output Current vs Output Voltage (Output Voltage Compliance)



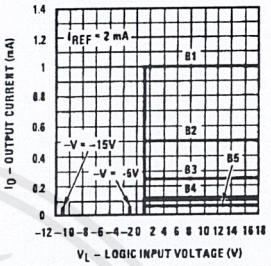
DS005686-28

Output Voltage Compliance vs Temperature



DS005686-29

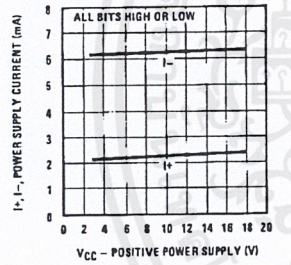
Bit Transfer Characteristics



DS005686-30

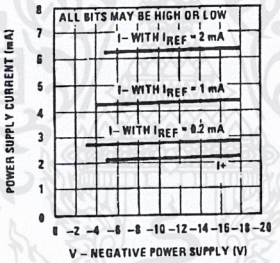
Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ±100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

Power Supply Current vs +V



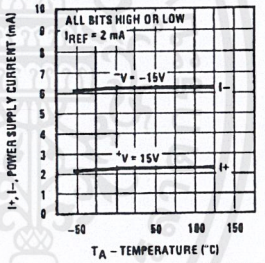
DS005686-31

Power Supply Current vs −V



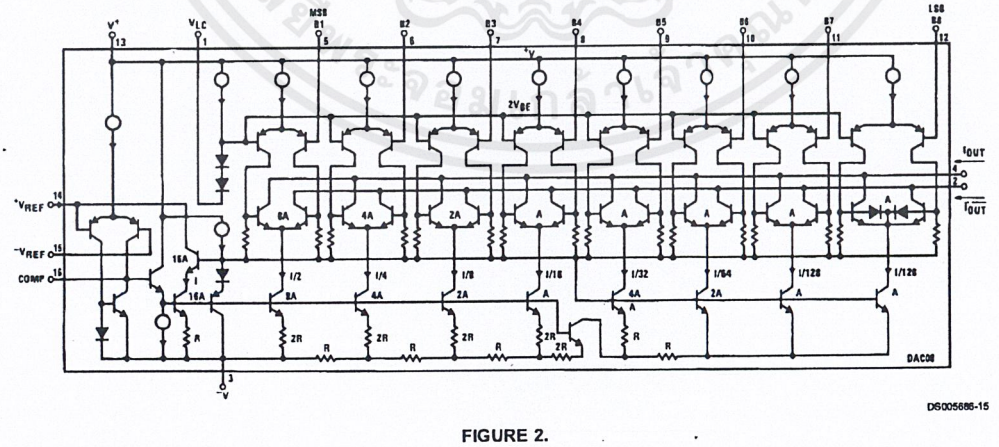
DS005686-32

Power Supply Current vs Temperature



DS005686-33

Equivalent Circuit

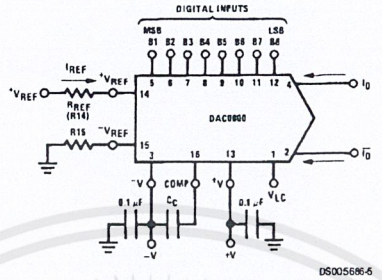


DS005686-15

FIGURE 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications



$$I_{FS} \simeq \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \overline{I}_O = I_{FS}$ for all logic states
For fixed reference, TTL operation, typical values are:
V_{REF} = 10.000V
R_{REF} = 5.000k
R15 = R_{REF}
C_C = 0.01 µF
V_{LC} = 0V (Ground)

FIGURE 3. Basic Positive Reference Operation (Note 5)

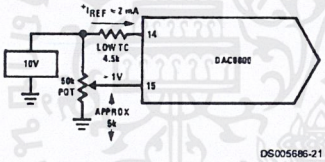
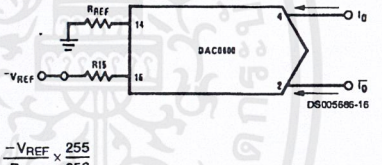


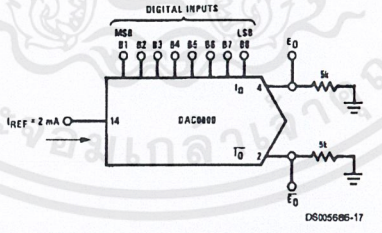
FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 5)



$$I_{FS} \simeq \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note. R_{REF} sets I_{FS}; R15 is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 5)

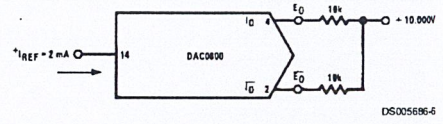


	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I}_O$mA	E_O	$\overline{E}_O$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale−LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale+LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale−LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale+LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

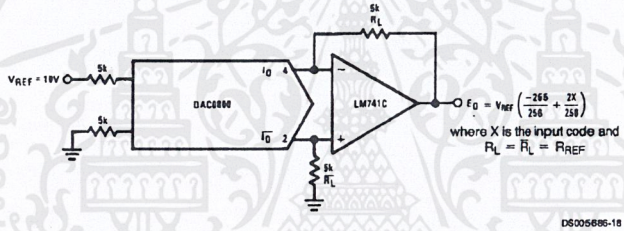
Typical Applications (Continued)



DS005686-6

	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E}_O$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale+LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale−LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

FIGURE 7. Basic Bipolar Output Operation (Note 5)

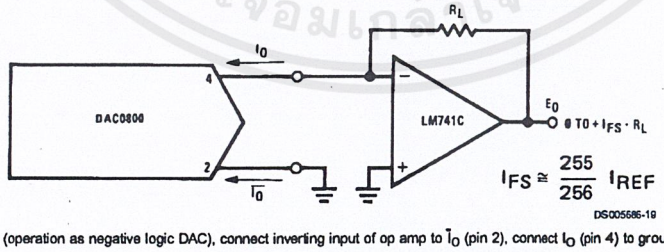


DS005686-18

If $R_L = \overline{R}_L$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 5)



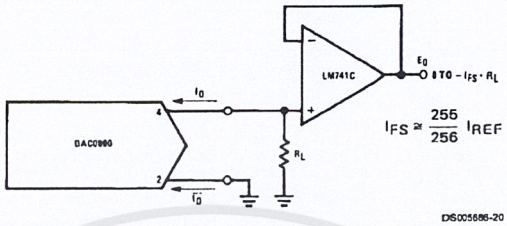
DS005686-19

For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I}_O$ (pin 2), connect I_O (pin 4) to ground.

FIGURE 9. Positive Low Impedance Output Operation (Note 5)

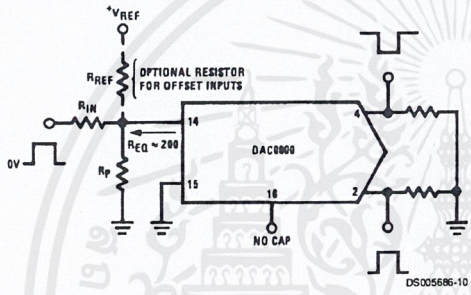
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



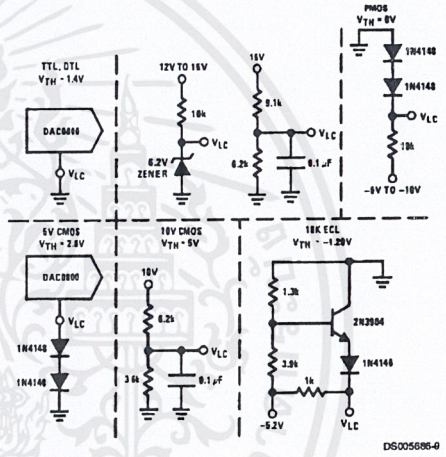
For complementary output (operation as a negative logic DAC) connect non-inverting input of op am to $\overline{I}_O$ (pin 2); connect I_O (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 5)



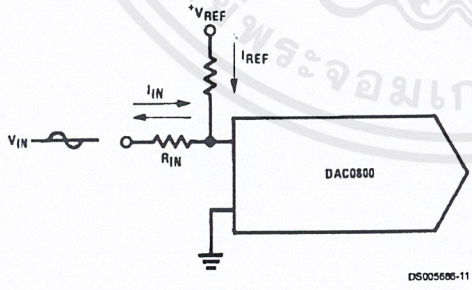
Typical values: R_{IN}=5k,+V_{IN}=10V

FIGURE 11. Pulsed Reference Operation (Note 5)

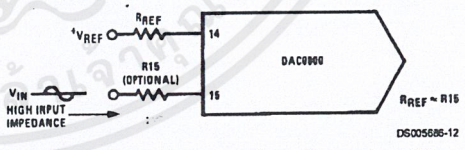


$V_{TH} = V_{LC} + 1.4V$
15V CMOS, HTL, HNIL
V_{TH} = 7.6V
Note. Do not exceed negative logic input range of DAC.

FIGURE 12. Interfacing with Various Logic Families



(a) $I_{REF} \geq$ peak negative swing of I_{IN}



(b) $+V_{REF}$ must be above peak positive swing of V_{IN}

FIGURE 13. Accommodating Bipolar References (Note 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

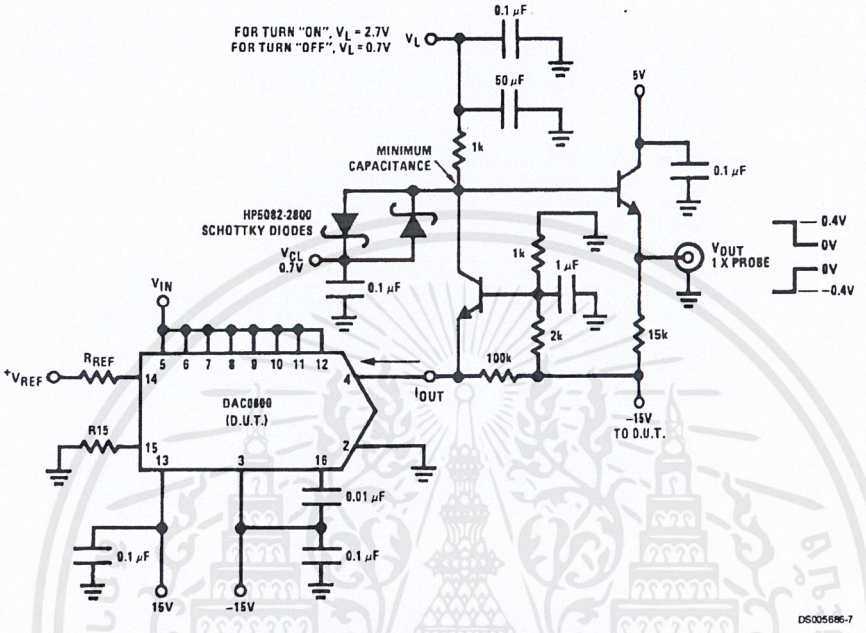
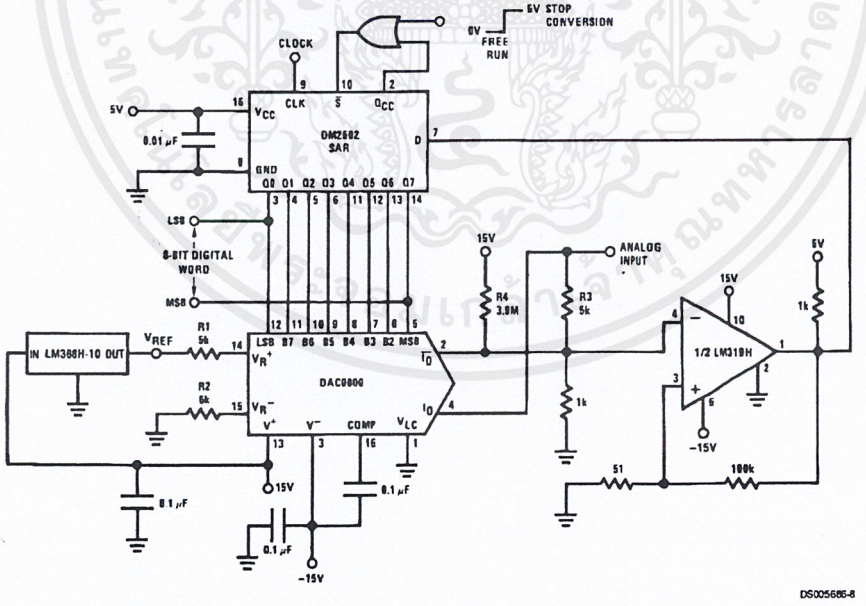


FIGURE 14. Settling Time Measurement (Note 5)

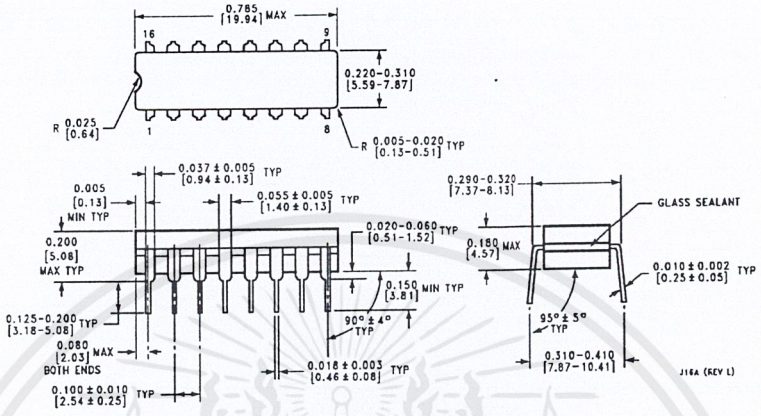


Note. For 1 μs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

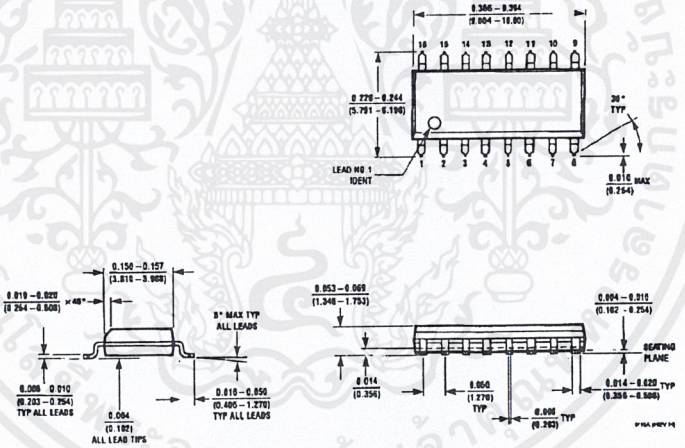
FIGURE 15. A Complete 2 μs Conversion Time, 8-Bit A/D Converter (Note 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



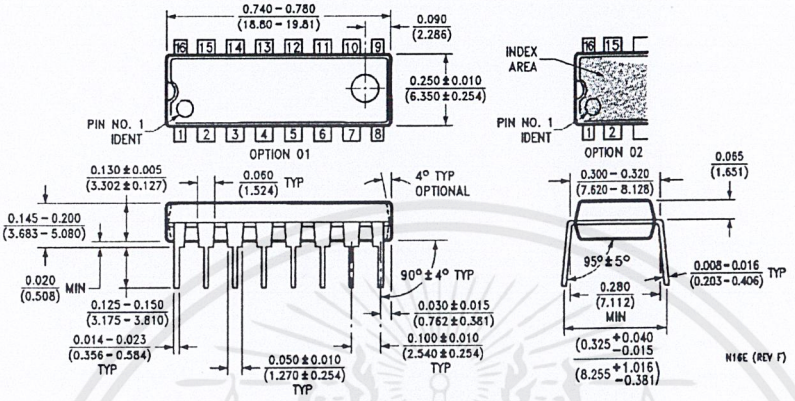
Molded Small Outline Package (SO)
Order Numbers DAC0800LCM,
or DAC0802LCM
NS Package Number M16A



Molded Small Outline Package (SO)
Order Numbers DAC0800LCM,
or DAC0802LCM
NS Package Number M16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Dual-In-Line Package
Order Numbers DAC0800, DAC0802
NS Package Number N16E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com
www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้