สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ชุดฝึกโทรศัพท์ระบบสัญญาณอนาลอก

THE ANALOG TELEPHONE TRAINING SET

โดย

นายวัชรินทร์ กาญบุตร

นายอนุชา กิจเจริญ

เลขหมู่.....
เลขทะเบียน 42151
วัน, เดือน, ปี 14 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

ชุดฝึกโทรศัพท์ระบบสัญญาณอนาลอก

THE ANALOG TELEPHONE TRAINING SET

โดย

นายวัชรินทร์ กาญบุตร 41013067

นายอนุชา กิจเจริญ 41013081

อาจารย์ที่ปรึกษา

อ.สุรพล บุญจันทร์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

ปริญญานิพนธ์ปีการศึกษา 2543

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **ชุดฝึกเครื่องรับโทรศัพท์ระบบสัญญาณอนาลอก**

THE ANALOG TELEPHONE TRAINING SET

ผู้จัดทำ

1.นายวัชรินทร์ กาญบุตร 41013067

2.นายอนุชา กิจเจริญ 41013081

อาจารย์ที่ปรึกษา

(อ.สุรพล บุญจันทร์)

ชุดฝึกโทรศัพท์ระบบสัญญาณอนาลอก

THE ANALOG TELEPHONE TRAINING SET

โดย นายวัชรินทร์ กาญบุตร 41013067
นายอนุชา กิจเจริญ 41013081

อาจารย์ที่ปรึกษา อ.สุรพล บุญจันทร์

บทคัดย่อ

ในปริญญานิพนธ์ฉบับนี้ เป็นการนำเสนอชุดฝึกโทรศัพท์ระบบสัญญาณอนาลอก ในชุดฝึกนี้ประกอบไปด้วย 3 ส่วน คือ ส่วนที่เป็นเครื่องรับโทรศัพท์ระบบสัญญาณอนาลอก (THE ANALOG TELEPHONE SET) ส่วนที่เป็นชุดเชื่อมต่อ ANALOG LINE INTERFACE และ ANALOG TRUNK INTERFACE ซึ่งมีจุดมุ่งหมายเพื่อที่จะสามารถใช้ชุดฝึกนี้ศึกษาถึงระบบ หน้าที่ และการทำงานของระบบโทรศัพท์ที่ใช้ในการติดต่อสื่อสารโดยทั่วๆไปในปัจจุบัน

ABSTRACT

This project proposes the analog telephone trainer.This trainer consists of 3 parts. There are the analog telephone set, analog line interface and analog trunk interface. This project describes a function, operation and construction of telephone system.

สารบัญ

	หน้า
บทที่ 1 บทนำ	
1.1 คำนำ	1
1.2 วัตถุประสงค์	1
1.3 ขั้นตอนการดำเนินงาน	1
บทที่ 2 ทฤษฎีและหลักการ	
2.1 สัญญาณพื้นฐานที่ใช้ในระบบโทรศัพท์	3
2.2 ระบบโทรศัพท์	5
2.3 เครื่องโทรศัพท์	6
2.4 ชุมสายโทรศัพท์	11
2.5 ขั้นตอนการทำงานของระบบโทรศัพท์	14
2.6 ความรู้ทั่วไปเกี่ยวกับ MT8870	17
2.7 ไมโครคอนโทรลเลอร์ MCS-51	21
บทที่ 3 รายละเอียดและการออกแบบของระบบ	
3.1 คำนำ	31
3.2 การทำงานของบล็อกไดอะแกรมในชุดเครื่องรับโทรศัพท์ระบบสัญญาณอนาลอก	31
3.3 การทำงานของบล็อกไดอะแกรมในส่วนของการเชื่อมต่อในระบบสัญญาณอนาลอก	32
3.4 ภาคเครื่องรับโทรศัพท์ในระบบสัญญาณอนาลอก	33
3.5 ภาคการเชื่อมต่อระบบสัญญาณอนาลอก	50
บทที่ 4 การทดลองและผลการทดลอง	
4.1 ส่วนของวงจรสัญญาณเสียงกริ่ง (Ringer Circuit)	65
4.2 ส่วนของวงจรเสียงพูดผ่านและชุดแฮนด์เซ็ตของเครื่องรับโทรศัพท์	72
4.3 ส่วนของวงจรกำเนิดสัญญาณหมายเลข (Dialer Circuit)	76
4.4 ส่วนของวงจรสปีคเกอร์โฟน (Speakerphone Circuit)	79
4.5 ภาคควบคุมการแสดงผล (Display Circuit)	81
บทที่ 5 บทวิจารณ์และบทสรุป	82

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 บล็อกไดอะแกรมการทำงานของเครื่องโทรศัพท์ 7
รูปที่ 2.2 ระบบโทรศัพท์แบบพัลส์ 8
รูปที่ 2.3 พัลส์เลขหมายของระบบโทรศัพท์แบบพัลส์ 8
รูปที่ 2.4 ระบบโทรศัพท์แบบส่งสัญญาณความถี่คู่ผสม 10
รูปที่ 2.5 ส่วนประกอบของวงจร SLIC 12
รูปที่ 2.6 ส่วนรับรู้ความต้องการใช้โทรศัพท์ด้วยวิธีลูปสตาร์ท 13
รูปที่ 2.7 ส่วนรับรู้ความต้องการใช้โทรศัพท์ด้วยวิธีกราวด์สตาร์ท 14
รูปที่ 2.8 แสดงไฟกระแสตรงเลี้ยงคู่สาย 15
รูปที่ 2.9 แสดงโลเดิลลูป 16
รูปที่ 2.10 ส่วนประกอบของไฟกระแสตรงและไฟกระแสสลับ 16
รูปที่ 2.11 แสดงโครงสร้างภายในของ MT8870 17
รูปที่ 2.12 แสดงความถี่ที่ได้จากภาคกรองความถี่ 18
รูปที่ 2.13 แสดงการต่อวงจรผลิตความถี่ 19
รูปที่ 2.14 แสดงรายละเอียดขาของ MT8870 20
รูปที่ 2.15 แสดงวงจรใช้งานเบื้องต้นของ MT8870 20
รูปที่ 2.16 แสดงตำแหน่งขาของชิปไมโครคอนโทรลเลอร์ MCS-51 24
รูปที่ 2.17 แสดงวงจรสำหรับรีเซ็ตชิปไมโครคอนโทรลเลอร์ 26
รูปที่ 2.18 แผนภาพแสดงหน่วยความจำสำหรับเก็บข้อมูลภายในชิป MCS-51 27
รูปที่ 2.19 แสดงตำแหน่งหน่วยความจำของโปรแกรม 29
รูปที่ 3.1 แสดงบล็อกไดอะแกรมของเครื่องรับโทรศัพท์ระบบสัญญาณอนาลอก 31
รูปที่ 3.2 บล็อกไดอะแกรมของวงจร Analog Line Interface 32
รูปที่ 3.3 บล็อกไดอะแกรมของวงจรสัญญาณเสียงกริ่งในระบบโทรศัพท์ 33
รูปที่ 3.4 แสดงถึงวงจรสัญญาณเสียงกริ่ง 34
รูปที่ 3.5 แสดงถึงสัญญาณเสียงกริ่งที่จุดต่างๆ 35
รูปที่ 3.6 แสดงการเชื่อมต่อระหว่างเครื่องโทรศัพท์ทั้งสองกับชุมสาย 36
รูปที่ 3.7 แสดงวงจรเสียงพูดผ่านและชุดแฮนด์เซ็ตของเครื่องโทรศัพท์ 37
รูปที่ 3.8 แสดงบล็อกไดอะแกรมของการต่อระหว่างเครื่องโทรศัพท์กับชุมสายในระบบโทน 38
รูปที่ 3.9 แสดงสัญญาณ 2 สัญญาณระหว่างจุด DTMF และจุด MS 39
รูปที่ 3.10 แสดงความถี่ของ row และ column ในแต่และปุ่มกด 39
รูปที่ 3.11 แสดงบล็อกไดอะแกรมของการต่อระหว่างเครื่องโทรศัพท์กับชุมสายระบบพัลส์ 40
รูปที่ 3.12 แสดงพัลส์ที่เกิดจากการกดหมายเลข 123 40
รูปที่ 3.13 แสดงถึงวงจรที่ใช้กำเนิดสัญญาณหมายเลขระบบพัลส์ 41

รูปที่ 3.14 แสดงวงจรของชุดสปีคเกอร์โฟน 42
รูปที่ 3.15 แสดงชุดควบคุมการติดของหลอด 43
รูปที่ 3.16 แสดงชุดถอดรหัสสัญญาณความถี่คู่ผสม 44
รูปที่ 3.17 วงจร 7-Segment 45
รูปที่ 3.18 แสดง Flow chart การเขียนโปรแกรม 50
รูปที่ 3.19 แสดงบล็อกไดอะแกรมของชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์ 51
รูปที่ 3.20 แสดงการเชื่อมต่อของแบตเตอรี่ที่ชุมสายโทรศัพท์กับเครื่องรับโทรศัพท์ 53
รูปที่ 3.21 แสดงกระแสไหลของวงจรชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์ 53
รูปที่ 3.22 แสดงวงจรการป้องกันแรงดันเกิน 54
รูปที่ 3.23 แสดงวงจรสมมูลย์สภาวะฮุคออฟ 55
รูปที่ 3.24 แสดงวงจรสมมูลย์ในสภาวะฮุคออน 55
รูปที่ 3.25 แสดงวงจรสมมูลย์ในกรณีที่เกิดอุบัติเหตุ 56
รูปที่ 3.26 แสดงการเชื่อมต่อกับเครื่องรับโทรศัพท์ 57
รูปที่ 3.27 แสดงวงจรไฮบริดจ์ของชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์ 58
รูปที่ 3.28 แสดงสภาวะของสัญญาณที่รับมาจากส่วนของวงจรเข้ารหัสและถอดรหัสสัญญาณ 59
รูปที่ 3.29 แสดงสภาวะการหักล้างกันของเฟสเพื่อลดเอคโคร์ 60
รูปที่ 3.30 แสดงบล็อกไดอะแกรมของชุดเชื่อมต่อระหว่างชุมสายโทรศัพท์ 60
รูปที่ 3.31 แสดงวงจรเสียงพูดผ่านของชุดเชื่อมต่อระหว่างชุมสายโทรศัพท์ 61
รูปที่ 3.32 แสดงวงจรสมมูลย์ของชุดดูเพล็กเซอร์ 62
รูปที่ 3.33 แสดงวงจรชุดเชื่อมต่อระหว่างชุมสายโทรศัพท์ 63
รูปที่ 3.34 แสดงบล็อกไดอะแกรมของสัญญาณระหว่าง PABX กับชุมสายโทรศัพท์ 64
รูปที่ 4.1 แสดงวงจรสัญญาณเสียงกริ่ง 65
รูปที่ 4.2 แสดงสัญญาณที่วัดได้จากสายทิปและสายริง 66
รูปที่ 4.3 แสดงสัญญาณที่วัดได้ที่ไดโอดบริดจ์ 67
รูปที่ 4.4 แสดงสัญญาณที่วัดได้ที่ขา 4 และขา 7 68
รูปที่ 4.5 แสดงสัญญาณที่วัดได้ที่ขา 5 และขา 7 69
รูปที่ 4.6 แสดงสัญญาณที่วัดได้ที่ขา 6 และขา 7 70
รูปที่ 4.7 แสดงสัญญาณที่วัดได้ที่ขา 2 และขา 3 72
รูปที่ 4.8 แสดงลักษณะสัญญาณที่วัดได้ที่จุด TX+ กับขา 2 73
รูปที่ 4.9 แสดงลักษณะสัญญาณที่วัดได้ที่ขา 2 และขา 3 74
รูปที่ 4.10 แสดงสัญญาณที่วัดได้ที่จุด RX+ 75
รูปที่ 4.11 แสดงสัญญาณที่วัดได้ที่จุดโทนและจุด MS 76
รูปที่ 4.12 แสดงสัญญาณที่วัดได้ระหว่างหมายเลข1 กับ # 77
รูปที่ 4.13 แสดงสัญญาณที่วัดได้ระหว่างหมายเลข 2 กับ 0 78

รูปที่ 4.14 แสดงสัญญาณที่วัดได้ระหว่างหมายเลข 8 กับ 2 ในระบบพัลส์ 79
รูปที่ 4.15 แสดงอัตราการขยายของไอซีที่เอาท์พุต(ลำโพง) 80
รูปที่ 4.16 แสดงอัตราการขยายของไอซีที่เอาท์พุตไปยังชุดวงจรเสียงพูดผ่าน (Speech Circuit) 80
รูปที่ 4.17 แสดงหน้าปัดของชุด Telephone Set และ Display 82
รูปที่ 4.18 แสดงหน้าปัดของชุด Line and Trunk Interface 82
รูปที่ 4.19 แสดงการวางอุปกรณ์ของชุด Telephone Set และ Display 83
รูปที่ 4.20 แสดงการวางอุปกรณ์ของชุด Line and Trunk Interface 83

สารบัญตาราง

	หน้า
ตารางที่ 2.1 คุณสมบัติของสัญญาณต่างๆที่ใช้ในการแจ้งภาวะการใช้โทรศัพท์	4
ตารางที่ 2.2 ระดับสัญญาณระหว่างคู่สายโทรศัพท์ในช่วงการใช้งานต่างๆ	5
ตารางที่ 2.3 แสดงค่าที่ถอดรหัสได้จากความถี่ต่างๆ	18
ตารางที่ 2.4 แสดงความแตกต่างของสมาชิกไมโครคอนโทรลเลอร์	23
ตารางที่ 4.1 แสดงผลการทดลองการถอดรหัสสัญญาณคู่ผสม	81
ตารางที่ 4.2 แสดงผลการโปรแกรมเพื่อควบคุมการติดของ LED DISPLAY	81

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทที่ 1
บทนำ

1.1 คำนำ

การติดต่อสื่อสารในปัจจุบัน ได้เข้ามามีบทบาทสำคัญต่อชีวิตประจำวันมากขึ้น มีความต้องการในการใช้บริการทางการติดต่อสื่อสารมากยิ่งขึ้นในอนาคต เพราะฉะนั้นการพัฒนาทางด้านเทคโนโลยีทางการติดต่อสื่อสารจึงมีความสำคัญอย่างยิ่งในการรองรับการเพิ่มปริมาณการสื่อสารที่จะเกิดขึ้น

แต่เดิมในการติดต่อสื่อสารในระบบโทรศัพท์ ระหว่างภายในกับภายนอกนั้น จะแยกระบบอุปกรณ์การติดต่อระหว่างภายในกับภายนอกออกจากกัน เช่น มีโทรศัพท์ติดต่อระหว่างชุมสายภายนอกได้ 2-4 คู่สาย และมีการอินเตอร์คอม (Intercom)สำหรับการติดต่อภายใน ซึ่งจะเห็นว่าเป็นการสิ้นเปลืองค่าใช้จ่ายมาก จึงได้มีการพัฒนาโดยจัดทำเป็นระบบชุมสายโทรศัพท์สาขาปลายทางอัตโนมัติ (PABX)ขึ้น ซึ่งเป็นชุมสายขนาดเล็กสามารถควบคุมได้โดยใช้พนักงานเพียงคนเดียว (Operator) แต่ในปัจจุบันได้มีการพัฒนาชุมสายขึ้นโดยไม่ต้องมีพนักงานตัดต่อให้ ทำให้สะดวกรวดเร็วในการติดต่อ

สำหรับโครงงานนี้ ได้จัดทำขึ้น เพื่อให้นักศึกษาใช้เป็นชุดทดลองประกอบกับหลักของทฤษฎีต่างๆ โดยรวมของระบบโทรศัพท์ที่ใช้กันอยู่ในปัจจุบัน รวมถึงสามารถเห็นถึงรูปแบบของสัญญาณในลักษณะต่างๆ และสามารถนำไปประยุกต์ในส่วนของระบบโทรศัพท์ที่ใช้ในชีวิตประจำวันได้

1.2 วัตถุประสงค์ของโครงงาน

1.2.1 เพื่อศึกษาถึงระบบโทรศัพท์ที่ใช้กันอยู่ในปัจจุบัน
1.2.2 เพื่อศึกษาถึงรูปแบบการทำงานในส่วนต่างๆของระบบโทรศัพท์
1.2.3 เพื่อศึกษาถึงรูปแบบของสัญญาณต่างๆในระบบโทรศัพท์
1.2.4 สามารถนำลักษณะของสัญญาณต่างๆในระบบโทรศัพท์ มาประกอบความรู้เพิ่มเติมทางทฤษฎี

1.3 ขั้นตอนการดำเนินงาน

1.3.1 ศึกษารายระเอียดและวงจรภายในโครงงาน
1.3.2 เสนอโครงงาน
1.3.3 ศึกษาทฤษฎีเกี่ยวกับระบบโทรศัพท์
1.3.4 ออกแบบ BLOCK DIAGRAM ของโครงงานทั้งหมด
1.3.5 ออกแบบวงจรที่ใช้ใน BLOCK DIAGRAM ที่ออกแบบไว้แล้ว
1.3.6 ทดสอบวงจรที่ออกแบบ ให้ได้คุณสมบัติตามที่ต้องการ

1.3.7 นำวงจรที่ผ่านการทดลองแล้วในแต่ละส่วน มาประกอบรวมกัน และทำการตรวจสอบให้ได้ตามต้องการและแก้ไขปรับปรุงเมื่อไม่ได้ตามต้อง

1.3.8 สร้างและประกอบแผงวงจร

1.3.9 ประกอบแผงวงจรทั้งหมดลงกล่องและทดลองใช้งานจริง พร้อมทั้งแก้ไขข้อผิดพลาด

1.3.10 จัดทำปริญญานิพนธ์

1.3.11 จัดทำแผ่นใส (Transparency Film)

บทที่ 2
ทฤษฎีและหลักการ

2.1 สัญญาณพื้นฐานที่ใช้ในระบบโทรศัพท์

สัญญาณ (Signalling) คือ ข่าวสารที่ใช้ติดต่อระหว่างเครื่องโทรศัพท์กับชุมสาย หรือข่าวสารที่ติดต่อกันระหว่างชุมสายกับชุมสาย

หน้าที่ทั่วๆไปของสัญญาณที่ใช้กับโทรศัพท์ในปัจจุบันมีอยู่ 4 หน้าที่ คือ

1.การเตรียมพร้อม (Alerting)

2.การส่งที่อยู่ของข่าวสาร (Transmitting address information)

3.การตรวจตรา (Supervising)

4.การส่งสัญญาณข่าวสาร (Transmittimg information Signalling)

2.1.1 สัญญาณระหว่างผู้เช่ากับชุมสาย (Subscriber Signalling)

1. สัญญาณที่ส่งจากผู้เช่ากับชุมสาย

1.1 ออฟฮุค (Off Hook) คือ สภาพผู้ใช้ยกหูโทรศัพท์ สายจะมีสภาพเป็นลูปปิด (Closed Loop Low Impedance)

1.2 ออนฮุค (On Hook) คือ สภาพที่ผู้ใช้วางหูโทรศัพท์หรือสภาพว่าง สายจะมีสภาพเป็นลูปเปิด(Open Loop High Impedance)

1.3 Dialling คือ สภาพที่ผู้เช่าหมุนเลขหมาย ซึ่งถ้าเป็นเครื่องโทรศัพท์แบบหมุน (Rotary dial) สัญญาณจะเป็นแบบพัลส์ ค่าอิมพีแดนซ์จะสูงต่ำสลับกันไปตามที่หมุนหมายเลข ถ้าเครื่องเป็นแบบกดปุ่ม (Touch-Tone) สัญญาณที่ได้ก็จะเป็นความถี่ DTMF ส่งออกไปยังชุมสาย

2. สัญญาณที่ส่งมาจากชุมสายไปยังเครื่องรับ

2.1 สัญญาณให้หมุน (Dial Tone) คือ สัญญาณที่บอกถึงสภาพการว่างของอุปกรณ์ชุมสาย และชุมสายพร้อมจะรับ code ที่ทำการหมุนเข้ามา สัญญาณให้หมุน (Dial Tone) นี้เป็นสัญญาณต่อเนื่องความถี่ 425 Hz มอดดูเลตด้วยความถี่ 50 Hz ผู้เช่าจะได้ยินเมื่อทำการยกหูโทรศัพท์

2.2 สัญญาณแจ้งว่าสายไม่ว่าง (Busy Tone) คือ สัญญาณที่บอกให้ทราบว่า อุปกรณ์ชุมสายไม่ว่าง ถ้ายกหูแล้วได้ยินสัญญาณนี้แสดงว่า อุปกรณ์ในชุมสายไม่ว่าง และถ้าได้ยินเสียงนี้หลังจากหมุนหมายเลขไปแล้วแสดงว่า ผู้เช่าฝ่ายถูกเรียกไม่ว่าง สัญญาณแจ้งว่าสายไม่ว่างนี้ (Busy Tone) เป็นสัญญาณความถี่ 425 Hz ดัง 0.5 วินาที หยุด 0.5 วินาที สลับกัน

2.3 สัญญาณเรียกกลับ (Ringback Tone) คือ สัญญาณที่ผู้เรียกได้ยินหลังจากหมุนหมายเลขเสร็จแล้ว ที่ชุมสายโทรศัพท์แจ้งให้ทราบว่า การต่อได้สำเร็จแล้ว เป็นสัญญาณ 425 Hz โดยดัง 1 วินาที หยุด 4 วินาที

2.4 สัญญาณกริ่งเรียก (Ringing Tone) เป็นสัญญาณความถี่ 25 Hz ค่าแรงดัน 70-100 Vpp โดยส่ง 1 วินาที หยุด 4 วินาที เป็นสัญญาณที่ส่งไปให้ผู้ถูกเรียกทราบ

2.5 สัญญาณโทนอื่นๆ เช่น Nu Tone (Number Unobtainble Tone) เป็นสัญญาณที่บอกให้ทราบว่าเลขหมายที่หมุนยังไม่มีการใช้งาน

2.1.2 สัญญาณติดต่อระหว่างชุมสายกับชุมสาย (Inter Exchange Signalling)

สัญญาณพื้นฐานมี 5 ประเภท คือ

1. สัญญาณจับวงจร (Seizure) เป็นสัญญาณให้ชุมสายปลายทางทราบว่าคู่สายขณะนี้ถูกใช้งานอยู่ ชุมสายปลายทางจะทำการเตรียมอุปกรณ์ที่รับเลขหมายของผู้ถูกเรียกที่จะส่งมา

2. สัญญาณบอกเลขหมาย (Address Information) เป็นสัญญาณบอกเลขหมาย หรือ ประเภทของผู้เช่า

3. สัญญาณตอบรับ (Answer Signal) สัญญาณนี้จะถูกส่งเมื่อผู้ถูกเรียกยกหูรับ หน้าที่หลักของสัญญาณนี้ คือ

3.1 เริ่มต้นคิดเงิน

3.2 ส่งสัญญาณคิดเงิน

3.3 ตัดวงจรการจับเวลาการใช้อุปกรณ์

4. สัญญาณยกเลิกการติดต่อ (Clear Forward) จะถูกส่งเมื่อผู้เรียกวางหู ผลของสัญญาณนี้จะทำให้วงจรทางด้านปลายทางทำการยกเลิกการต่อวงจรต่างๆ

5. สัญญาณยกเลิกการติดต่อกลับ (Clear Back) จะถูกส่งเมื่อผู้ถูกเรียกวางหู ผลของสัญญาณนี้จะทำให้ชุมสายต้นทางเริ่มต้นจับเวลา เมื่อเวลาผ่านไป 90-120 วินาที ชุมสายต้นทางจะยกเลิกการติดต่อพร้อมกับส่งสัญญาณยกเลิกการติดต่อออกไป เพื่อให้ชุมสายปลายทางยกเลิกเช่นกัน

ตารางแสดงคุณสมบัติของสัญญาณต่างๆที่ใช้ในการแจ้งภาวะการใช้โทรศัพท์

ชนิดของสัญญาณ	การส่งสัญญาณ	ความถี่ (Hz)
สัญญาณพร้อมให้หมุน	ต่อเนื่องไม่ขาดหาย	350 มอดูเลตกับ 480
สัญญาณเรียกกลับ	ดัง 1 วินาที หยุด 4 วินาที	440 มอดูเลตกับ 480
สัญญาณกริ่งเรียก	ดัง 1 วินาที หยุด 4 วินาที	25
สัญญาณแจ้งคู่สายไม่ว่าง	ดัง 0.5 วินาที หยุด 0.5 วินาที	480 มอดูเลตกับ 620
สัญญาณแจ้งว่าชุมสายไม่ว่าง	ดัง 0.2 วินาที หยุด 0.3 วินาที	480 มอดูเลตกับ 620

ตารางที่ 2.1 คุณสมบัติของสัญญาณต่างๆที่ใช้ในการแจ้งภาวะการใช้โทรศัพท์

สัญญาณระหว่างคู่สายโทรศัพท์มีทั้งสัญญาณกระแสไฟตรง (DC) และสัญญาณไฟกระแสสลับ (AC) ซึ่งสัญญาณระหว่างคู่สายโทรศัพท์จะแตกต่างกันไปดังที่แสดงไว้ในตารางที่ 2.1

ตารางแสดงระดับสัญญาณระหว่างคู่สายโทรศัพท์ในช่วงการใช้งานต่างๆ

ช่วงเวลาการใช้งาน	ระดับสัญญาณไฟกระแสตรง	ระดับสัญญาณไฟกระแสสลับ
ไม่ได้ใช้งาน(ไม่ได้ยกหูฟังขึ้น)	48 โวลท์	
ยกหูฟังขึ้น มีสัญญาณให้หมุน	10 โวลท์	600 มิลลิโวลท์
ขณะกดหมายเลข	10 โวลท์	ไม่เกิน 0.5 โวลท์
มีสัญญาณแจ้งว่าสายไม่ว่าง	10 โวลท์	400 มิลลิโวลท์
มีสัญญาณเรียกกลับ	10 โวลท์	400 มิลลิโวลท์
มีสัญญาณกริ่ง(เครื่องผู้รับ)	48 โวลท์	110 โวลท์
มีการพูดระหว่างคู่สาย	10 โวลท์	ไม่เกิน 1 โวลท์

ตารางที่ 2.2 ระดับสัญญาณระหว่างคู่สายโทรศัพท์ในช่วงการใช้งานต่างๆ

2.2 ระบบโทรศัพท์

ระบบโทรศัพท์ คือ ระบบการสื่อสารที่มีโครงข่ายชุมสายบริการระหว่างสมาชิก และผู้รู้เลขหมายสมาชิกโดยนำเสียงพูดระหว่างผู้ใช้ที่อยู่ ณ สถานที่แห่งหนึ่งกับบุคคลที่ต้องการติดต่อด้วย ณ สถานที่อีกแห่งหนึ่ง ให้สามารถสนทนาติดต่อกันได้เหมือนบุคคลทั้งสองนั่งสนทนาอยู่ด้วยกัน

ระบบโทรศัพท์มีส่วนประกอบที่สำคัญ 3 ส่วน คือ

2.2.1 เครื่องรับโทรศัพท์

เครื่องรับโทรศัพท์จัดเป็นอุปกรณ์ปลายทางอย่างหนึ่ง ซึ่งทำหน้าที่รับส่งสัญญาณเสียงพูดระหว่างผู้เช่า โดยทำหน้าที่แปลงสัญญาณเสียงเป็นสัญญาณไฟฟ้าส่งเข้าไปในสาย และในทางกลับกันก็เปลี่ยนพลังงานไฟฟ้ากลับมาเป็นพลังงานเสียง

2.2.2 สายโทรศัพท์

เครื่องรับโทรศัพท์แต่ละเครื่อง จะมีคู่สายโทรศัพท์ 1 คู่ เพื่อเชื่อมโยงและเป็นสื่อนำสัญญาณต่างๆจากชุมสายมายังเครื่องรับโทรศัพท์ ในขณะเดียวกันก็ทำหน้าที่เป็นสื่อในการนำส่งสัญญาณไฟฟ้าที่แปลงมาจากสัญญาณเสียงระหว่างเครื่องโทรศัพท์ และสายโทรศัพท์ที่ต่อเชื่อมโยงระหว่างชุมสายเพื่อให้บริการระหว่างชุมสาย เรียกว่า ทรั้งค์ (Trunk)

2.2.3 ชุมสายโทรศัพท์

ชุมสายโทรศัพท์ เป็นสถานที่ที่รวมคู่สายของเครื่องรับโทรศัพท์แต่ละเครื่อง ในบริเวณที่ใกล้เคียงกัน และทำหน้าที่เชื่อมคู่สายให้กับผู้ใช้โทรศัพท์ พร้อมกับส่งสัญญาณแจ้งภาวะการใช้ต่างๆให้ผู้ใช้ทราบ

2.3 เครื่องโทรศัพท์

หน้าที่ของเครื่องโทรศัพท์มีดังต่อไปนี้

1. ทำหน้าที่ส่งสัญญาณเรียกไปยังชุมสายท้องถิ่น (Local-Exchang),(Hook off)

2.ทำหน้าที่ส่งสัญญาณ Code ที่ใช้แทนเลขหมายของผู้ถูกเรียก (B Subscriber)

3.ทำหน้าที่รับเสียงโทน (Tone) ที่ตอบรับจากชุมสายตลอดจนสัญญาณเรียก (Ringing Tone)

4.ทำหน้าที่ส่งสัญญาณยกเลิกการติดต่อเรียกไปยังชุมสาย (Hook on)

เครื่องโทรศัพท์ จะประกอบด้วยองค์ประกอบหลักใหญ่ๆ 7 อย่างด้วยกัน คือ

1.วงจรกำเนิดสัญญาณหมายเลข ซึ่งจะทำหน้าที่สร้างสัญญาณของสัญญาณหมายเลขโทรศัพท์ ซึ่งอาจจะเป็นสัญญาณพัลส์หรือสัญญาณความถี่คู่ผสม (DTMF Signal) ก็แล้วแต่โทรศัพท์ที่ใช้งาน

2.วงจรเสียงเรียก ทำหน้าที่แจ้งให้ผู้ใช้โทรศัพท์ทราบว่ามีการเรียกเข้ามา

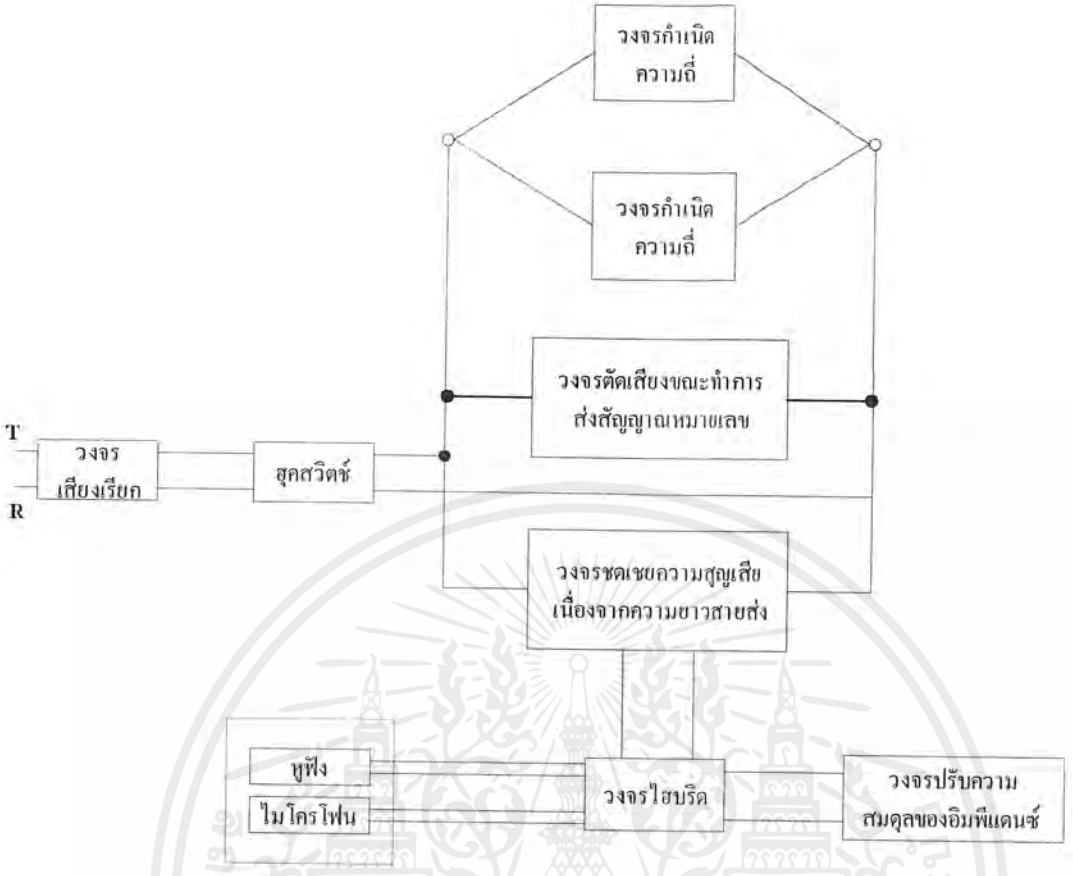
3.ฮุคสวิทช์ เป็นตัวบอกให้ชุมสายโทรศัพท์ทราบว่ามีการยกหูใช้งานโทรศัพท์แล้ว

4.วงจรตัดเสียงขณะทำการส่งหมายเลข จะช่วยให้การส่งหมายเลขมีความชัดเจนถูกต้องไม่ถูกรบกวนด้วยสัญญาณเสียงพูด

5.วงจรชดเชยความสูญเสียเนื่องจากความยาวสาย จะทำให้สัญญาณที่ติดต่อระหว่างต้นทางและปลายทางมีความแรงและชัดเจนมากที่สุด

6.วงจรไฮบริดจ์ ทำหน้าที่เสมือนวงจรขยาย 2 ทิศทาง หรือสามารถให้สัญญาณผ่านเข้าออกได้ตลอดเวลา จึงมีเสียงจากปลายทางมาปรากฏที่หูฟัง ในขณะที่สัญญาณจากปากพูดก็จะผ่านออกไปทางคู่สายได้

7.วงจรปรับความสมดุลย์ของอิมพีแดนซ์ มีไว้เพื่อทำให้อิมพีแดนซ์ของส่วนต่างๆในโทรศัพท์เหมาะสม เพื่อให้การถ่ายทอดสัญญาณเป็นไปได้อย่างมีประสิทธิภาพมากที่สุด



รูปที่ 2.1 บล็อกไดอะแกรมการทำงานของเครื่องโทรศัพท์

ส่วนประกอบหลักของเครื่องโทรศัพท์ แบ่งออกได้ 3 ส่วนดังนี้

1.ส่วนรับส่งสัญญาณเสียงพูด (Speech Transmission)

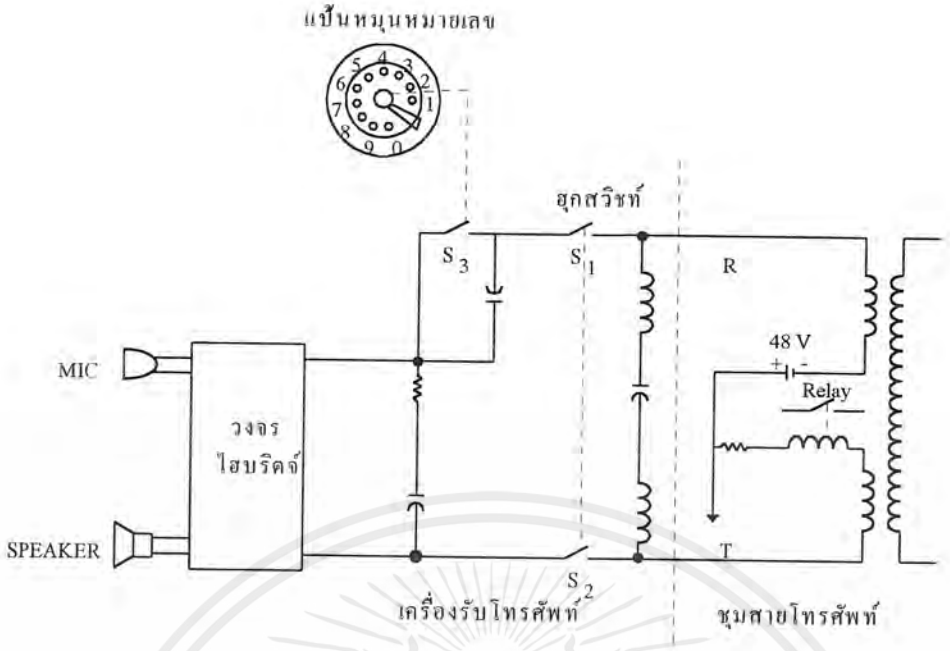
2.ส่วนกำเนิดสัญญาณเลขหมายของผู้เรียก (Generator Tone Code)

3.ส่วนที่รับสัญญาณเรียกจากชุมสาย (Ringing Tone)

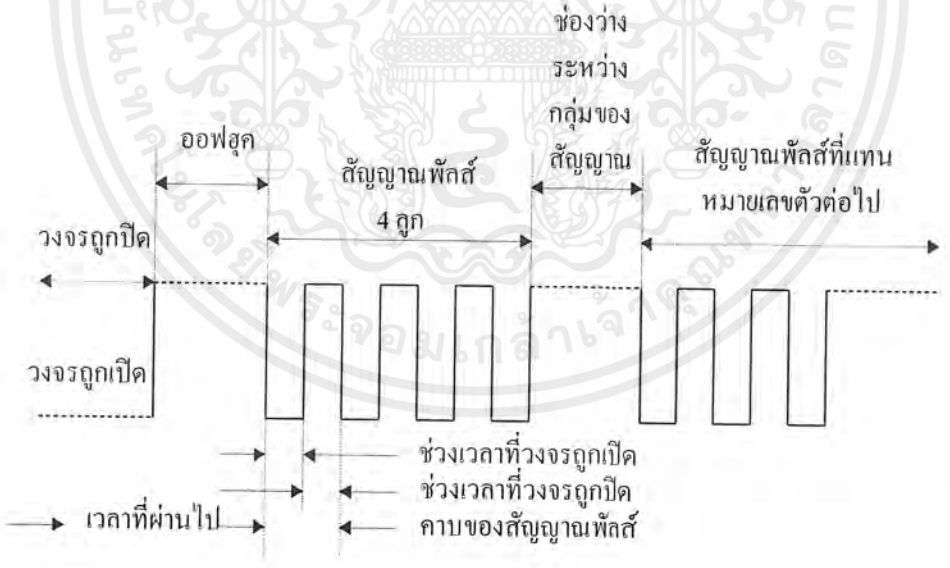
นอกจากนี้เครื่องโทรศัพท์ยังแบ่งออกเป็น 2 ชนิด คือ

2.3.1 ระบบโทรศัพท์แบบพัลส์

ระบบโทรศัพท์แบบนี้ สร้างสัญญาณจากกระแสลูป โดยต่อเข้ากับอุปกรณ์สวิตช์ ทำหน้าที่ "เปิด" และ "ปิด" เข้ากับกลไกการหมุนเลขหมายในเครื่อง ทำให้กระแสพัลส์ตอบสนองเข้ากับหมายเลขที่หมุนดังรูป 2.2



รูปที่ 2.2 ระบบโทรศัพท์แบบพัลส์



รูปที่ 2.3 พัลส์เลขหมายของระบบโทรศัพท์แบบพัลส์

ก่อนการใช้งานสัญญาณจะมีระดับต่ำอยู่ เมื่อมีการยกหูจะเกิดสภาวะออฟฮุค เกิดสัญญาณบวกขึ้น จนกระทั่งเริ่มหมุนหมายเลข ในที่นี้กำหนดให้หมุนหมายเลข 4 ก็จะเกิดพัลส์ 4 ลูกและจะเกิดช่อง

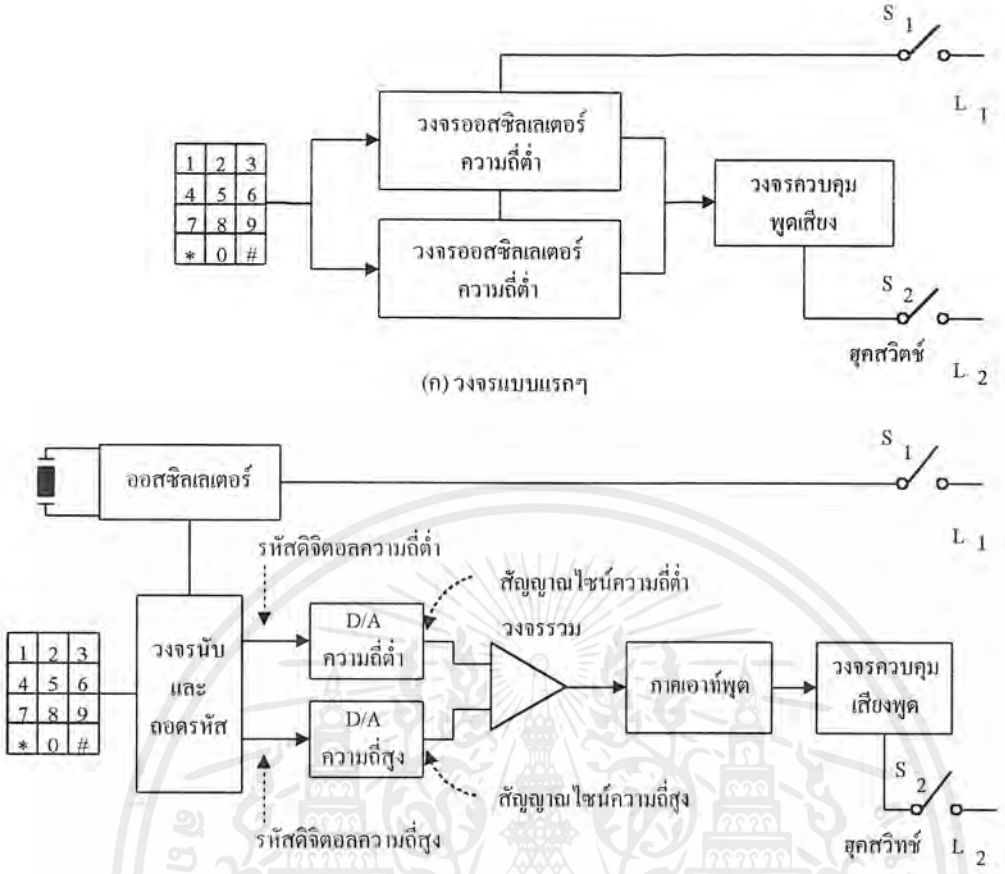
ว่างสำหรับแยกหมายเลขด้วย จากนั้นจึงเริ่มหมุนหมายเลขต่อไป ในทางปฏิบัติผู้ใช้สามารถหมุนหมายเลขต่อเนื่องไปได้เลย วงจรภายในของโทรศัพท์ จะเป็นตัวแบ่งแยกพัลส์ของแต่ละหมายเลขเองในระบบโทรศัพท์แบบพัลส์นี้ จำนวนพัลส์ถูกกำหนดให้มีอัตรา 10 พัลส์ต่อวินาที คาบเวลาของสัญญาณพัลส์มีค่าอย่างต่ำ 100 มิลลิวินาที ช่วงเวลาที่วงจรถูกเปิดจะต้องไม่น้อยกว่า 60 มิลลิวินาที (ในอเมริกา) หรือ 67 (สำหรับประเทศอื่นๆ) และจากการใช้มือหมุนพบว่า ช่วงเวลาเฉลี่ยก่อนหมุนแต่ละเลข มีค่าประมาณ 0.5-3 วินาที

2.3.2 ความเพี้ยนของสัญญาณเนื่องจากอุปกรณ์แฝง

ตามปกติในสายส่ง สัญญาณที่เชื่อมต่อระหว่างชุมสายกับเครื่องรับโทรศัพท์ จะมีค่าความต้านทาน ตัวเก็บประจุ และขดลวดเหนี่ยวนำแฝงอยู่ โดยเฉลี่ยแล้วทุกๆ ระยะทาง 1 ไมล์ที่เพิ่มขึ้นของสายส่งจะเสมือนว่า มีตัวเก็บประจุต่อคร่อมอยู่ระหว่างสายส่งประมาณ 0.07 μF และมีตัวต้านทานกับขดลวดเหนี่ยวนำต่ออนุกรมกันอยู่ โดยจะมีค่าประมาณ 42 โอห์ม และ 1 mH ตามลำดับ ซึ่งอุปกรณ์แฝงพวกนี้จะมีผลให้สัญญาณพัลส์ (Pulse Signal)ที่ถูกส่งไปตามสายส่งเกิดความผิดเพี้ยนทั้งขนาด (amplitude) และคาบเวลา (period) ดังนั้น ชุมสายจึงจำเป็นต้องมีวงจรที่สามารถรับรู้สัญญาณที่ผิดเพี้ยนเหล่านี้ไว้และไม่ทำ ให้เกิดความผิดเพี้ยนในการติดต่อ

2.3.3 ระบบโทรศัพท์แบบส่งสัญญาณความถี่คู่ผสม (DTMF : Dual Tone Multifrequency Type)

บล็อกไดอะแกรมของระบบโทรศัพท์แบบส่งสัญญาณความถี่คู่ผสม (DTMF Signal) แสดงดังรูป 2.4 จะเห็นว่าจากรูปที่ 2.4 (ก) เป็นวงจรในยุคแรกๆ ซึ่งต้องมีวงจรแยกความถี่สูงและความถี่ต่ำออกจากกันเพื่อตรวจสอบหมายเลขที่ส่งเข้ามา ต่อมามีการพัฒนามาใช้ไอซีสำเร็จรูป ดังรูป 2.4 (ข) โดยใช้หลักการของวงจรดิจิตอล แปลงรหัสทางดิจิตอลเป็นสัญญาณอนาลอก ซึ่งมีความแม่นยำในการถอดรหัสสัญญาณความถี่คู่ผสม (DTMF Signal)มากกว่า จากการพัฒนานี้เองทำให้ปัจจุบันขนาดของโทรศัพท์เล็กลงมาก เพราะไม่ต้องมีขดลวดกระดิ่งใหญ่ๆแบบระบบพัลส์ เนื่องจากในการใช้ทรานสดิวเซอร์เป็นตัวส่งเสียงเรียกแทน



รูปที่ 2.4 ระบบโทรศัพท์แบบส่งสัญญาณความถี่คู่ผสม

โทรศัพท์ชนิดนี้สร้างสัญญาณความถี่คู่ผสม (Daul Tone Multiple Frequency)ในการส่งเลขหมายโดยการกดแต่ละเลขหมายบนหน้าปัดโทรศัพท์ จากการกดปุ่มแต่ละปุ่มจะมีสองความถี่ส่งออกไปพร้อมกันความถี่แต่ละคู่ที่ส่งออกไปจะมีค่าเวลาประมาณ 40 มิลลิวินาที และช่วงเวลาห่างระหว่างเลขหมายมีค่า 60 มิลลิวินาทีเป็นอย่างต่ำโทรศัพท์แบบกดปุ่มจึงทำงานเร็วกว่าแบบหมุนอยู่ประมาณ 10 เท่า

2.3.4 ข้อเปรียบเทียบระหว่างระบบสัญญาณความถี่คู่ผสม(DTMF) กับระบบสัญญาณพัลส์ (Pulse)

คราวนี้มาลองเปรียบเทียบระหว่างระบบโทรศัพท์ทั้ง 2 ระบบ ว่าแบบใดจะมีประสิทธิภาพมากกว่ากัน ในตอนต้นทราบแล้วว่า ในการส่งสัญญาณแบบพัลส์ 1 ลูก ต้องใช้เวลาอย่างน้อย 100 มิลลิวินาที(60 มิลลิวินาที สำหรับช่วงการเปิดวงจรและ 40 มิลลิวินาที สำหรับช่วงการปิดวงจร) และยังต้องมีช่วงเวลาที่แยกสัญญาณแต่ละกลุ่มออกอีกอย่างน้อย 700 มิลลิวินาที ยิ่งถ้าหมายเลขที่ต้องการติดต่อด้วยมีค่ามากและยาวมากขึ้นเท่าใด ย่อมต้องทำให้เสียเวลาในการส่งสัญญาณมากยิ่งขึ้น ตัวอย่างเช่น หมายเลข 555-5555 จะใช้เวลาในการส่งสัญญาณพัลส์ = 5 (มิลลิวินาที) x 7 (หมายเลข) = 3.5 วินาที และระยะเวลาของช่องว่างระหว่างกลุ่มสัญญาณ = 700 (มิลลิวินาที) x 6 = 4.2 วินาที จะใช้เวลาในการส่งทั้งหมด = 3.5+4.2 =7.7 วินาที แต่ถ้าเป็นโทรศัพท์ที่ใช้การส่งระบบสัญญาณความถี่คู่ผสม

(DTMF) จะใช้เวลาเท่ากับ 7x100 (□ลลิวินาที) = 0.7วินาทีเท่านั้นเอง ดังนั้นจะเห็นได้ชัดเจนประการหนึ่งแล้วว่าระบบสัญญาณความถี่คู่ผสม (DTMF Signal) จะสามารถประหยัดเวลาในการส่งหมายเลขไปยังชุมสายโทรศัพท์ได้มากกว่าระบบที่ใช้การส่งสัญญาณพัลส์ เป็นผลให้ชุมสายโทรศัพท์สามารถใช้อุปกรณ์ประเภทหน่วยความจำได้อย่างมีประสิทธิภาพมากขึ้นตามไปด้วย

ข้อดีสำหรับระบบการส่งสัญญาณแบบสัญญาณความถี่คู่ผสม (DTMF Signal)

1.ลดระยะเวลาในการส่งหมายเลขโทรศัพท์ไปยังชุมสาย

2.สามารถใช้อุปกรณ์โซลิดสเตทได้ ซึ่งจะทำให้เกิดความประหยัด และสะดวก

3.ลดอุปกรณ์จำพวกหน่วยความจำที่ใช้ภายในชุมสายโทรศัพท์

4.สามารถนำไปเชื่อมต่อกับอุปกรณ์ภายในชุมสายโทรศัพท์ได้อย่างมีประสิทธิภาพ

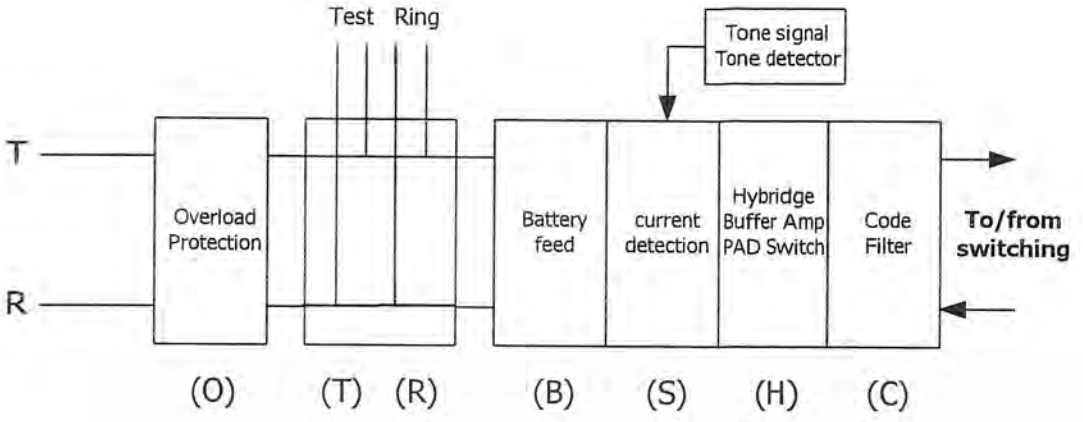
2.4 ชุมสายโทรศัพท์

ฟังก์ชั่นการทำงานโดยหลักๆ ของชุมสายโทรศัพท์ คือ การส่งสัญญาณควบคุมไปยังอุปกรณ์อินเตอร์เฟส การรับหมายเลขจากผู้เรียกไปยังผู้ถูกเรียก การควบคุมระบบสวิตชิ่ง การกำหนดมาตรฐานของสัญญาณที่ใช้

2.4.1 ระบบการเชื่อมต่อโทรศัพท์และชุมสาย

ภายในชุมสายโทรศัพท์จะประกอบด้วยลูกข่ายหรือผู้ใช้ (Subscriber) หลายๆจุด สายสัญญาณที่ใช้ในการเชื่อมต่อจากผู้ใช้มายังชุมสายก็คือ สายทิป (Tip) และริง (Ring) ซึ่งจะเรียกการติดต่อโดยผ่านสายสัญญาณเหล่านี้ว่า ระบบไลน์ไซด์ (Lineside) ซึ่งการเชื่อมต่อเครื่องโทรศัพท์ของผู้ใช้เข้ากับชุมสายโดยการผ่านฮุกสวิทช์ภายในเครื่องรับโทรศัพท์

ในส่วนนี้ ใช้วงจรไฮบริดจ์ ทำหน้าที่แยกสัญญาณออกเป็นสองส่วน คือ เป็นสายสัญญาณที่ใช้สำหรับรับสัญญาณเพียงอย่างเดียวและส่งเพียงอย่างเดียว ดังนั้นสัญญาณตั้งแต่ส่วนนี้ไปเรียกว่า ทรั้งไซด์(Trunk side) ซึ่งทรั้งไซด์เป็นการติดต่อกันระหว่างชุมสายเท่านั้น สำหรับเหตุผลที่ต้องแยกสัญญาณรับและส่งออกจากกัน ก็เพื่อที่จะสามารถปรับระดับที่เหมาะสมกับระยะทางระหว่างชุมสาย ได้อย่างเป็นอิสระนั่นเองซึ่งทำให้เกิดผลดีต่อประสิทธิภาพการได้ยินของผู้ใช้



รูป 2.5 ส่วนประกอบของวงจร SLIC

2.4.2 การเชื่อมต่อระหว่างเครื่องโทรศัพท์กับชุมสาย

นับว่าเป็นส่วนสำคัญมากที่สุดของระบบโทรศัพท์ ฟังก์ชั่นการทำงานในส่วนนี้ก็ คือ ฟังก์ชั่น BORSCHT นั่นเอง ซึ่งประกอบด้วยส่วนต่างๆคือ

1. แบตเตอรี่ฟีด (Battery feed :B) วงจรในส่วนนี้ทำหน้าที่คือ เป็นแหล่งจ่ายแบตเตอรี่ขนาด 48 โวลท์ ให้แก่เครื่องโทรศัพท์ สามารถทำหน้าที่ส่งผ่านสัญญาณต่างๆได้ โดยมีความต้านทานต่ำและมีอิมพีแดนซ์สูง

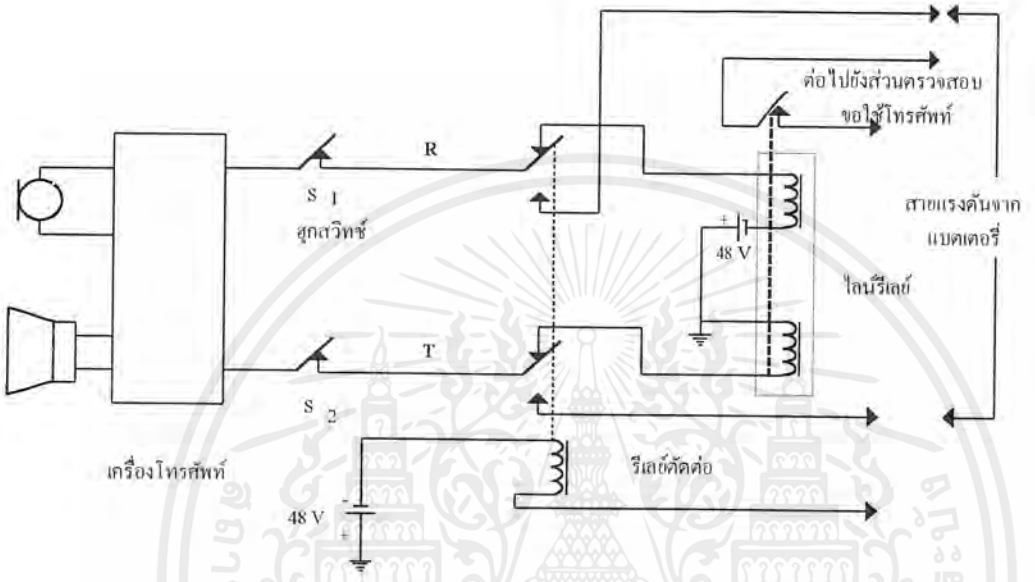
2. ส่วนป้องกันแรงดันเกิน (Over voltage Protection :O) จะทำหน้าที่ป้องกันความเสียหายที่อาจเกิดจากสัญญาณทรานเซี้ยนสูงๆ เช่น แรงดันที่เหนี่ยวนำเข้ามาในวงจรขณะเกิดฟ้าผ่า หรืออันตรายที่เกิดจากการลัดวงจร

3. ส่วนกำเนิดสัญญาณกระดิ่ง (Ringing :R) หลังจากที่ระบบสวิตชิ่งได้ทำการต่อวงจรของผู้เรียกเข้ากับชุมสายแล้ว ชุมสายก็จะส่งสัญญาณกระดิ่งไปยังโทรศัพท์เครื่องนั้น วิธีการจะใช้รีเลย์เป็นตัวช่วยในการต่อวงจรสร้างสัญญาณเข้ากับสัญญาณทิปและริง

4. ส่วนรับรู้การทำงานของโทรศัพท์ (Supervision :S) หน้าที่ในส่วนนี้คือรับรู้การขอใช้โทรศัพท์เมื่อมีการยกหูขึ้น การรับรู้เลขหมายโทรศัพท์ที่ถูกส่งมา โดยเป็นระบบที่ใช้สัญญาณพัลซ์แทนหมายเลขตลอดจนตรวจสอบสถานะการใช้งาน เช่น กำลังสนทนากันอยู่หรือสิ้นสุดการสนทนา วงจรในส่วนนี้จะต้องสามารถแยกแยะระหว่างผลอันเนื่องมาจากสัญญาณรบกวน กระแสรั่วไหลและผลอันเนื่องจากความยาวสายสัญญาณที่จะลดทอนกระแสไปบางส่วน เนื่องจากวงจรในส่วนรับรู้สภาพการทำงานของโทรศัพท์ใช้ตรวจสอบการทำงานจากปริมาณกระแสที่ไหลสำหรับวิธีการนั้น ก็มีอยู่ 2 วิธีด้วยกัน คือ ลูปสตาร์ทและกราวด์สตาร์ท

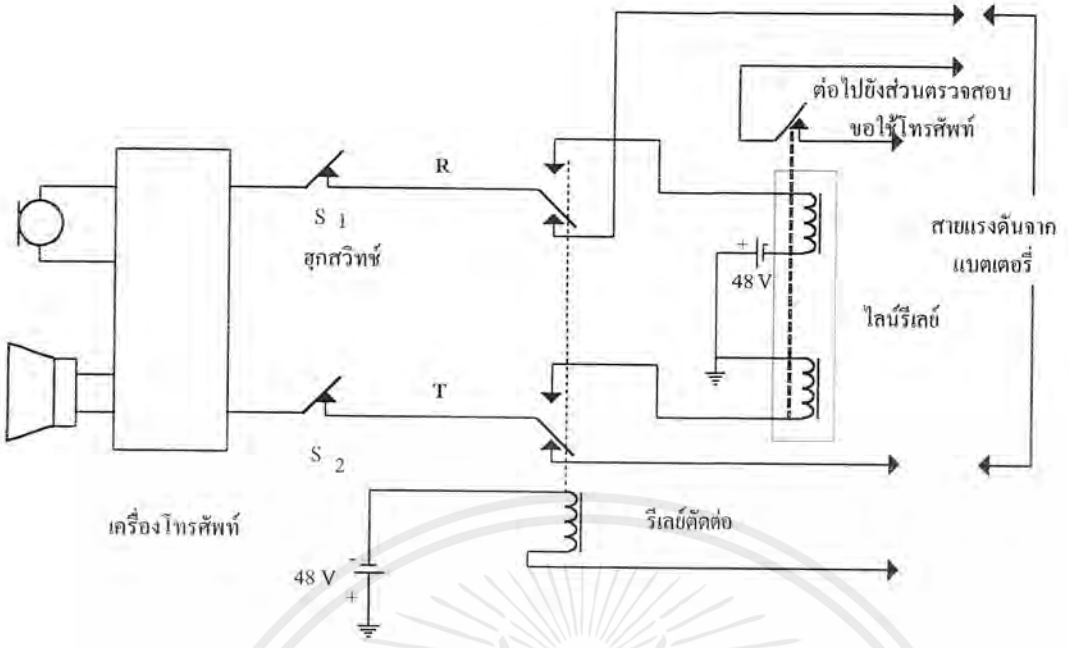
วิธีลูปสตาร์ท (Loop Start ดังรูปที่ 2.6 แสดงให้เห็นวงจรสมมูลย์ของวิธีการลูปสตาร์ทในวงจรใช้รีเลย์ 2 ตัว ทำหน้าที่ตรวจสอบการทำงานของโทรศัพท์ โดยในสภาวะ ออน-ฮุก (On Hook) ทั้งไลน์รีเลย์ (Line Relay) และคัทออฟรีเลย์ (Cut-off Relay) จะไม่ถูกกระตุ้นให้ทำงาน และไม่มีกระแสไหลเข้าสู่เครื่องรับโทรศัพท์ เพราะวงจรถูกเปิดอยู่ เมื่อผู้ใช้ยกหูโทรศัพท์ขึ้น จะมีกระแสจากแบตเตอรี่ไหลผ่าน

ไปยังขดลวดของไลน์รีเลย์ ทำให้รีเลย์ทำงานหน้าสัมผัสของรีเลย์จะถูกต่อเข้ากับส่วนตรวจสอบการขอใช้โทรศัพท์ (Line finder) จากนั้นวงจรกำเนิดสัญญาณให้หมุน (Dial tone) ก็จะส่งสัญญาณให้หมุนออกไปซึ่งสัญญาณนี้จะไปกระตุ้นให้ คัทออฟรีเลย์ทำงาน และทำให้สายสัญญาณทิปและริงที่ตอนแรกต่ออยู่กับไลน์รีเลย์ ไปต่อกับส่วนของแบตเตอรี่ฟีดแทน



รูปที่ 2.6 ส่วนรับรู้ความต้องการใช้โทรศัพท์ด้วยวิธีลูปสตาร์ท

วิธีการกราวด์สตาร์ท (Ground start) วิธีนี้ใช้ตรวจสอบความต้องการใช้สายของอุปกรณ์ PBXs (private Branch Exchanges) ดังรูปที่ 2.7 วงจรสมมูลย์ของวิธีการกราวด์สตาร์ท จะเห็นว่าสวิทช์ของอุปกรณ์ใน PBXs จะทำหน้าที่เชื่อมต่อไลน์รีเลย์เข้ากับอุปกรณ์ PBXs และฮุกสวิทช์ต่อเข้ากับอุปกรณ์สวิตชิ่งของ PBXs อีกทีหนึ่ง ภายใน PBXs จะทำหน้าที่ต่อวงจรให้กระแสไหลครบวงจรโดยผ่านกราวด์ ดังนั้นทำให้มีกระแสไหลผ่านขดลวดของรีเลย์เพียงขดเดียว ซึ่งก็เพียงพอให้รีเลย์ทำงานได้แล้ว หลังจากนั้นการทำงานก็เหมือนกับลูปสตาร์ท เมื่ออุปกรณ์ PBXs ได้รับสัญญาณให้หมุนจากชุมสายแล้ว สวิทช์ของอุปกรณ์ PBXs ที่ต่ออยู่กับกราวด์จะถูกปลดออกเป็นอันสิ้นสุดการทำงานในส่วนนี้



รูปที่ 2.7 ส่วนรับรู้ความต้องการใช้โทรศัพท์ด้วยวิธีกราวด์สตาร์ท

5.การเข้า/ถอดรหัส (Coding :C) หน้าที่ของส่วนนี้คือ การเข้ารหัสข้อมูลดิจิตอลที่ใช้กันก็คือวิธีการ PCM (Pulse Code Modulation) ซึ่งภาครับจะต้องใช้วงจรถอดรหัสและแปลงรหัสให้อยู่ในรูปของสัญญาณอนาลอกต่อไป

6.วงจรไฮบริดจ์ (Hybridge : H) วงจรนี้ทำหน้าที่แปลงระบบสายส่งจากระบบ 2 สายให้เป็น 4 สาย เพื่อที่จะแยกสัญญาณส่งและรับออกจากกันทำให้สามารถใช้วงจรขยายสัญญาณที่จะรับหรือส่งให้เหมาะสมได้

7.ส่วนทดสอบ (Test : T) เป็นส่วนที่ออกแบบไว้สำหรับใช้ในการตรวจสอบหาจุดบกพร่อง ของการทำงาน ในวงจรอินเตอร์เฟส ตรวจสอบอุปกรณ์สวิตชิ่งที่ต่ออยู่กับคู่สายนั้นๆ ซึ่งทั้งหมดก็คือ ฟังก์ชั่น BORSCHT ส่วนในการใช้งานจริงนั้นปัจจุบันอยู่ในรูปของไอซีเป็นส่วนใหญ่โดยวงจรอินเตอร์เฟสที่มีฟังก์ชั่นการทำงาน BORSCHT ครบเรียกว่า SLIC (Subscriber Line Interface Circuit)

2.5 ขั้นตอนการทำงานของระบบโทรศัพท์

2.5.1 กรณีผู้เรียก (CALLING SUBSCRIBER)

ขณะที่หูโทรศัพท์วางไว้นั้นจะมีไฟกระแสตรงตกคร่อมคู่สายโทรศัพท์อยู่ 48 โวลท์ และเมื่อหูโทรศัพท์ถูกยกขึ้น ไฟกระแสตรงที่ตกคร่อมคู่สายโทรศัพท์ 48 โวลท์ จะตกลงมาเหลือ 5-10 โวลท์ ทั้งนี้ขึ้นอยู่กับระบบชุมสายย่อย ขณะเดียวกันนั้นก็จะมีสัญญาณส่งมาจากชุมสาย เสียงที่เราได้ยิน ก็คือสัญญาณให้หมุน (DIAL TONE) แสดงว่าพร้อมที่จะหมุนเลขหมายได้หรือพร้อมที่จะกดเลขหมายได้ ถ้าเลขหมายที่ถูกเรียกไม่ว่าง ผู้เรียกจะได้ยินเสียงสัญญาณสายไม่ว่าง(BUSY TONE)ในกรณีที่คู่สายเลขหมาย

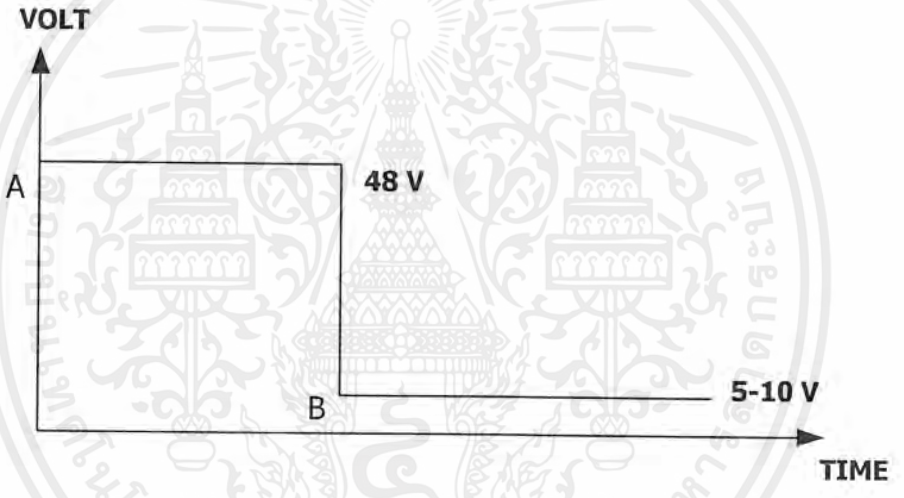
ที่ถูกเรียกว่างลง ชุมสายจะต่อหมายเลขที่เรียกให้ได้ยินเสียงสัญญาณเรียกกลับ (RING BACK TONE) แสดงว่าเลขหมายที่เรียกไปพร้อมจะพูดได้ให้คอยจนกว่าผู้ถูกเรียกจะยกหูรับ

2.5.2 กรณีผู้ถูกเรียก (CALLED SUBSCRIBER)

ขณะที่คู่สายว่างจะมีไฟกระแสตรงคร่อมคู่สาย 48 โวลท์ และเมื่อมีการเรียกเลขหมาย ทางชุมสายจะต่อให้จะส่งสัญญาณเรียก (RINGING SIGNAL) เป็นแรงดันไฟสลับประมาณ 110-150 โวลท์ และเมื่อมีการยกหูโทรศัพท์ทำให้วงจรภายในของเครื่องรับโทรศัพท์มีอิมพีแดนซ์ ประมาณ 600 โอห์ม ต่อเข้ากับชุมสายในขณะเดียวกันชุมสายจะหยุดส่งสัญญาณ (RINGING SIGNAL) และทำการต่อคู่สายโทรศัพท์ให้

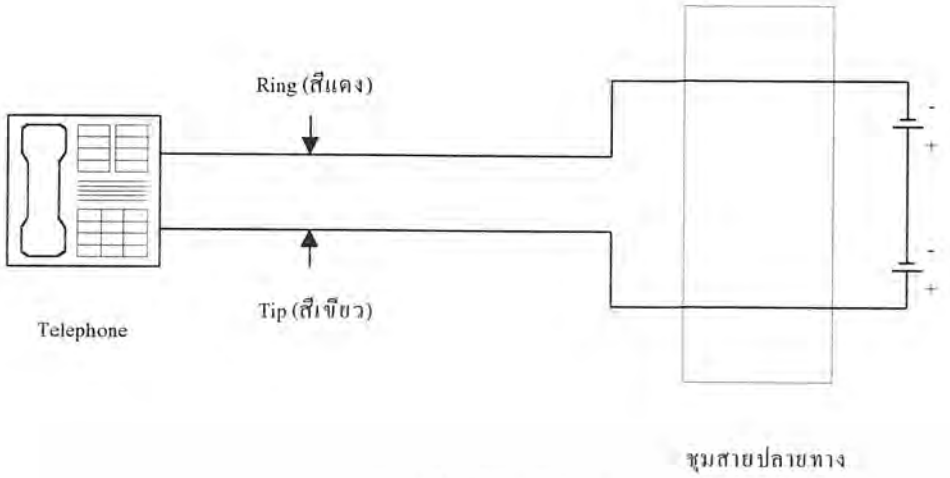
ช่วง A ขณะที่วางหูโทรศัพท์อยู่ มีไฟ DC ตกคร่อม 48 โวลท์

ช่วง B ขณะยกหูโทรศัพท์ขึ้นจะมีไฟ DC ตกคร่อม 5-10 โวลท์



รูปที่ 2.8 แสดงไฟกระแสตรงเลี้ยงคู่สาย

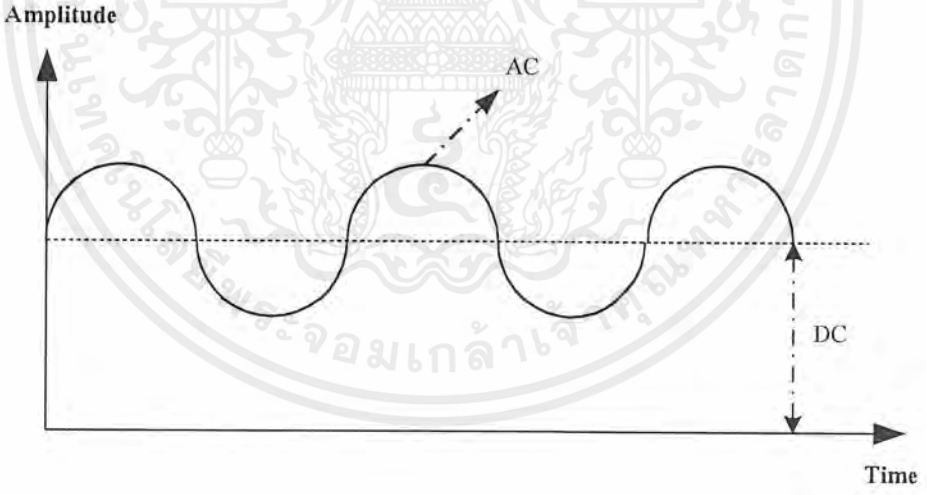
Local Loop : ความหมายของ Local Loop คือ สายส่งสองสายจากเครื่องโทรศัพท์ไปชุมสายปลายทางและมีค่าอิมพีแดนซ์ของสายเองประมาณ 500-1000 โอห์ม แต่ค่าที่ใช้ทั่วไป คือ 600 โอห์ม ถ้าในชุมสายปลายทางมีการติดตั้งแหล่งจ่ายไฟร่วม DC ขนาด 48โวลต์ ให้แต่ละลูปของผู้ใช้โทรศัพท์ลวดตัวนำ 2 เส้นในลูป มีชื่อว่าทิป (Tip) และ ริง (Ring) โดยริงจะต่อกับสัญญาณไฟ□ □ 48 โวลท์ดีซี ทิปจะต่อกับกราวด์ ดังรูป 2.9



รูปที่ 2.9 แสดงโลเคิลลูป

เมื่อผู้ใช้โทรศัพท์ยกหูโทรศัพท์ มีผลทำให้ฮุกสวิทช์ปิดลง (Hook off) จากนั้นกระแสไฟตรงขนาด 20 มิลลิแอมป์ไหลวนอยู่ในลูป ซึ่งสภาวะยกหูโทรศัพท์นี้ ระดับแรงดันไฟฟ้าระหว่างทิปกับริงมีค่าลดลงเหลือประมาณ 4 โวลท์

สัญญาณเสียงพูดจากเครื่องโทรศัพท์ถูกส่งไปในทิศใดทิศหนึ่งในลูป โดยทำให้เกิดการเปลี่ยนแปลงเล็กน้อย ภายในกระแสลูป (20mA) ซึ่งเกิดจากสัญญาณ AC ทับบนกระแสลูป DC ดังรูป 2.10



รูปที่ 2.10 ส่วนประกอบของไฟกระแสตรงและไฟกระแสสลับ

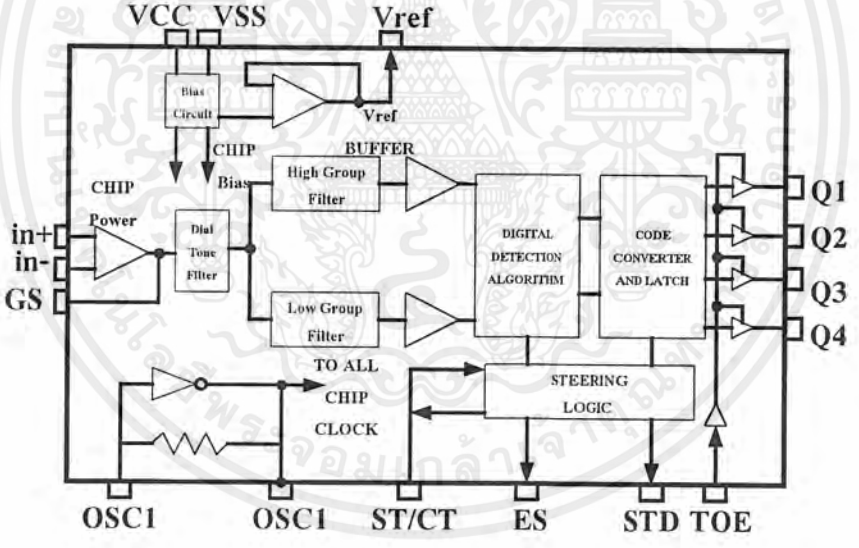
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.6 ความรู้ทั่วไปเกี่ยวกับ MT8870

2.6.1 โครงสร้างของ MT8870

โครงสร้างภายในของ MT8870 ประกอบไปด้วยวงจรกรองความถี่และวงจรถอดรหัสฟังก์ชั่นทางดิจิตอลเป็นไอซีที่สร้างโดยใช้เทคโนโลยี ISO-CMOS ในส่วนของวงจรกรองความถี่ใช้เทคนิคของสวิตช์คา-ปาซิเตอร์ สำหรับกรองความถี่สูงและต่ำ ส่วนวงจรถอดรหัส ใช้เทคนิคการนับทางดิจิตอลเพื่อตรวจจับและถอดรหัสทั้ง 16 ความถี่เป็นเลขฐานสองขนาด 4 บิท และเช็คช่วงเวลาที่สัญญาณเข้ามาส่วนภาคอินพุท (input) เป็นออปแอมป์ซึ่งสามารถปรับอัตราขยาย (gain) ได้โดยต่ออุปกรณ์ภายนอกเอาท์พุท (output) เป็นวงจรแลตช์ (latch) 3 สถานะ

โครงสร้างภายในของ MT8870 ประกอบด้วยวงจรกรองความถี่ และวงจรถอดรหัส ฟังก์ชั่นทางดิจิตอล เป็นไอซีสร้างขึ้นโดยเทคโนโลยี ISO2CMOS ในส่วนวงจรกรองความถี่ใช้เทคนิค สวิทช์คาปาซิเตอร์ฟิลเตอร์ สำหรับกรองความถี่สูงและกรองความถี่ต่ำ ส่วนวงจรถอดรหัสใช้เทคนิคการนับดิจิตอลเพื่อการตรวจจับ ถอดรหัสทั้ง 16 ความถี่ออกเป็นเลขฐาน 2 ขนาด 4 บิท และเช็คช่วงเวลาที่สัญญาณเข้ามา ส่วนภาคอินพุทเป็นออปแอมป์ ซึ่งสามารถปรับขยายได้โดยต่ออุปกรณ์ภายนอกเอาท์พุทเป็นวงจรแลตช์ 3 สถานะ



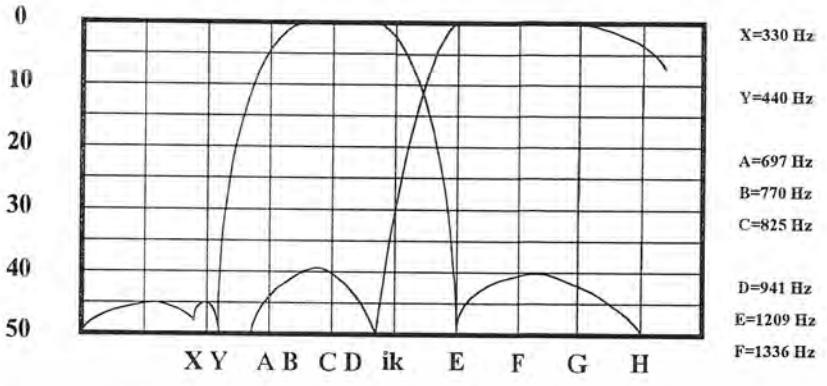
รูปที่ 2.11 แสดงโครงสร้างภายในของ MT 8870

2.6.2 ฟังก์ชั่นการทำงานภายในของ MT 8870 ประกอบด้วยส่วนสำคัญ 5 ส่วน คือ

2.6.2.1 ภาคกรองสัญญาณความถี่ (filter section)

ในส่วนนี้จะแยกสัญญาณความถี่คู่ผสม (DTMF SIGNAL) ที่เข้าออกมาเป็น 2 กลุ่มความถี่ คือ ช่วงความถี่สูง และช่วงความถี่ต่ำ โดยใช้วงจรกรองผ่านแถบความถี่อันดับ 6 ชนิดสวิทซ์คาปาซิเตอร์ (six orders switched capator band pass filter) ซึ่งความถี่ที่แยกได้มี 2 ช่วงคือช่วงความถี่สูงและช่วงความถี่ต่ำ

42151



รูปที่2.12 แสดงความถี่ที่ ได้จากภาคกรองความถี่

2.6.3 ภาคถอดรหัส (decorder section)

สัญญาณความถี่คู่ผสม (DTMF SIGNAL) ที่ถูกกรองเรียบร้อยแล้ว จะผ่านเข้าวงจรถอดรหัสความถี่ ออกเป็นตัวเลขโดยใช้เทคนิคการนับทางดิจิตอล และมีการตรวจสอบความถี่ที่เข้ามาว่าเป็นความถี่มาตราฐาน DTMF หรือไม่เพื่อป้องกันความถี่อื่นเข้ามาผสม เมื่อตรวจสอบความถี่เข้ามาผสมเมื่อตรวจสอบความถี่นั้นว่าถูกต้องสัญญาณที่ขา Est (early steering) ก็จะแอคทีฟสำหรับค่าที่ถอดรหัสได้จากความถี่ต่างๆนั้นแสดงในตารางที่ 2.3

Flow	Fhigh	NO	TOE	Q4	Q3	Q2	Q1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1447	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1447	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1447	9	H	1	0	0	1
941	1209	0	H	1	0	1	0
941	1336	*	H	1	0	1	1
941	1447	#	H	1	1	0	0

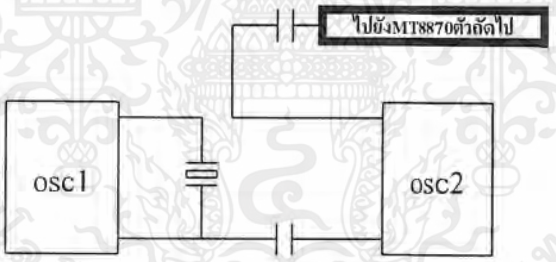
ตารางที่ 2.3 แสดงค่าที่ถอดรหัสได้จากความถี่ต่างๆ

2.6.4 ภาคตรวจสอบสัญญาณ (Steering Circuit)

ก่อนที่จะมีการถอดรหัสความถี่ออกไปที่เอาท์พุท จะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาตามกำหนดหรือไม่ โดยสังเกตระยะเวลาการกดปุ่มโทรศัพท์ซึ่งต้องกดปุ่มให้มีความถี่ออกมาเป็นช่วงเวลาพอสมควรมิฉะนั้นวงจรส่วนนี้จะไม่รับ โดยถือว่าสัญญาณนั้นไม่ถูกต้อง ส่วนช่วงเวลายาวเท่าไรสามารถตั้งได้โดยใช้ RC ต่อภายนอกสัญญาณที่ขา Est จะเป็น "High" นานใกล้เคียงกับระยะเวลาที่มีความถี่คู่ผสม (DTMF) เข้ามาจากรูปที่ 2.14 เมื่อขา Est เป็น "High" ทำให้ Vc สูงขึ้น ตัวเก็บประจุ C จะคายประจุทำให้แรงดัน Vc สูงขึ้นจนถึงค่าเทรชโฮลด์วงจรถอดรหัสจึงถอดรหัสออกเป็นตัวเลขขนาด 4 บิทสำหรับคำว่า การ์ดไทม์ (Gard Time) นั้นหมายถึงช่วงคาบเวลาของความถี่ที่เข้ามา ซึ่งจะต้องนานเท่ากับหรือมากกว่า ช่วงเวลาที่เราตั้งไว้จึงจะได้รับการยอมรับว่า สัญญาณความถี่นั้นถูกต้องหรือพูดได้ว่าเวลาที่เราตั้งไว้โดย RC ก็คือการ์ดไทม์นั่นเองเมื่อสัญญาณความถี่เข้ามานาน หรือมากกว่าเวลาที่ตั้งใจไว้จึงจะสามารถแปลงเป็นตัวเลขได้ ถ้าสัญญาณความถี่เข้ามาสั้นกว่าก็จะไม่มีการถอดรหัสเป็นตัวเลขออกไป

2.6.5 ภาคกำเนิดความถี่ (Oscillator)

ในภาคนี้ภายใน ไอซีจะมีวงจรเวลาอยู่ภายในเพียงแต่ต่อแร่คริสตอล ขนาด 3.58 MHz. ก็สามารถใช้งานได้ทันที การต่อวงจรกำเนิดความถี่แสดงได้ดังรูปที่2.13



รูปที่2.13 แสดงการต่อวงจรผลิตความถี่

2.6.6 การนำ MT8870 ไปใช้งาน

2.6.6.1 นำไปใช้งานด้านรีโมตคอนโทรล

2.6.6.2 เครื่องป้องกันโทรศัพท์ทางไกล

2.6.6.3 ใช้งานเกี่ยวกับเครดิตการ์ด

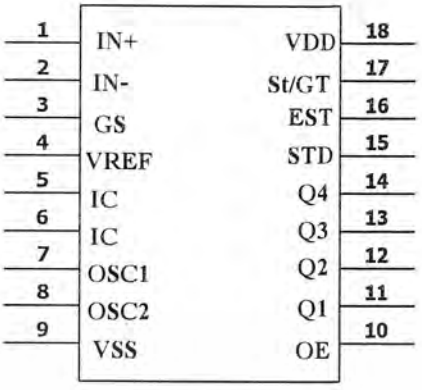
2.6.6.4 ใช้งานเกี่ยวกับคอมพิวเตอร์

2.6.6.5 ใช้งานในชุมสายขนาดย่อยหรือ PABX

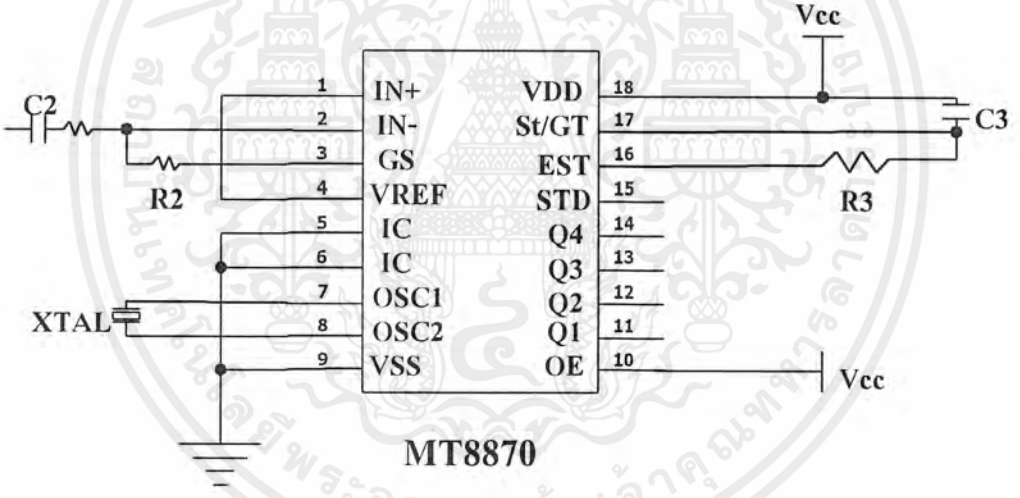
2.6.6.6 ใช้งานด้านโทรศัพท์ทั่วไป

2.6.6.7 เครื่องกันขโมย

2.6.6.8 การควบคุมอุปกรณ์ทางโทรศัพท์



รูปที่2.14 แสดงรายละเอียดขาของ MT8870



รูปที่2.15 แสดงวงจรใช้งานเบื้องต้นของ MT8870

2.7 ไมโครคอนโทรลเลอร์ MCS-51

2.7.1 สมาชิกของไมโครคอนโทรลเลอร์ตระกูล MCS-51

จะกล่าวถึงโครงสร้างรวมทั้งรายละเอียดของไมโครคอนโทรลเลอร์เบอร์ 8051 ซึ่งเป็นเบอร์พื้นฐานของตระกูลนี้เป็นหลัก ดังนั้นชื่อ MCS-51 ส่วนใหญ่จะหมายถึงชิปไมโครคอนโทรลเลอร์เบอร์ 8051 เท่านั้น และในบางครั้งอาจจะมีการกล่าวเฉพาะเบอร์ที่สำคัญๆด้วยเบอร์อื่นๆ ตระกูล MCS-51 จะมีความสามารถพิเศษมากน้อยแตกต่างกันไป ดังแสดงให้เห็นในตารางที่ 2.4

คุณสมบัติของ MCS-51

คุณสมบัติที่สำคัญๆ ของชิปไมโครคอนโทรลเลอร์ตระกูล MCS-51 ดังนี้

- ต้องการแหล่งจ่ายไฟ 5 โวลต์ เพียงชุดเดียว
- มีหน่วยความจำสำหรับเก็บโปรแกรมควบคุมการทำงาน อยู่ภายในชิปจำนวน 4 กิโลไบต์ (เบอร์ 8031,8032 ไม่มีหน่วยความจำส่วนนี้ เบอร์ 8052 มีหน่วยความจำ 8 กิโลไบต์และเบอร์ 83C51FB จะมีความจำ 16 กิโลไบต์)
- มีหน่วยความจำสำหรับเก็บข้อมูลทั่วไป (RAM) อยู่ภายในชิปจำนวน 128 ไบต์ (ในเบอร์8031,8051) หรือ 256 ไบต์ (ในเบอร์ 8032,8052)
- สามารถใช้หน่วยความจำสำหรับโปรแกรมและข้อมูลที่อยู่ภายในนอกชิปได้อย่างละ 64 กิโลไบต์ แยกจากกัน
- คำสั่งส่วนใหญ่ใช้เวลาเพียง 1 ไมโครวินาที เมื่อใช้คริสตอลความถี่ 12 เมกกะเฮิรตซ์
- มีพอร์ตที่สามารถรับหรือส่งข้อมูลได้ทั้ง 2 ทิศทาง จำนวน 4 พอร์ตๆ ละ 8 บิต หรือสามารถใช้งานเป็นพอร์ตขนาด 1 บิตแยกจากกัน ทำให้เสมือนมีพอร์ตขนาด 1 บิตใช้งานรวมทั้งสิ้น 32 พอร์ต
- รับและส่งข้อมูลแบบอนุกรมได้ในตัวเอง โดยสามารถกำหนดอัตราเร็วในการรับ และส่งข้อมูล (baud rate) ได้ตั้งแต่ 300 ถึง 375 กิโลบิตต่อวินาที
- จัดลำดับความสำคัญของสัญญาณอินเตอร์รัปต์ได้ 2 ระดับ
- มีรีจิสเตอร์ สำหรับใช้งานเป็นไทม์เมอร์หรือเคาน์เตอร์ เพื่อนับจำนวนสัญญาณนาฬิกาภายในชิป หรือนับการเปลี่ยนสถานะของสัญญาณภายนอกขนาด 16 บิต จำนวน 2 ตัว เพื่อใช้สำหรับนับจำนวนพัลส์ วัดความกว้างของพัลส์หรือใช้วัดช่วงเวลา (ส่วนเบอร์ 8052 จะมี 3 ตัว)
- หน่วยความจำสำหรับเก็บข้อมูลภายในบางส่วน สามารถเข้าถึงข้อมูลได้ทั้งระดับไบต์และบิต เพื่อให้การออกแบบโปรแกรมและการควบคุมระบบทำให้ง่ายขึ้น
- มีคำสั่งคูณและหารเลขขนาด 8 บิตในตัวเอง
- สามารถประมวลผลแบบบูลีน เพื่อใช้ในงานควบคุมโดยเฉพาะ
- ใช้โปรแกรมของไมโครคอนโทรลเลอร์ตระกูล MSC-48 (upwardly compatible) ได้ด้วย

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 เบอร์ ที่จัดว่าเป็นเบอร์พื้นฐานในตระกูลนี้คือเบอร์ 8051,8751 และ 8031 มีจำนวนขาภายนอก 40 ขาเท่ากันใช้เวลาและสัญญาณในการปฏิบัติคำสั่งเท่ากัน (มีไทม์มิ่งไดอะแกรมเหมือนกัน) ใช้แรงดันไฟฟ้าเท่ากัน สิ่งที่ต่างกันระหว่างเบอร์ทั้งสาม คือ ขนาดของหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป (on chip program memory) มีไว้เพื่อตอบสนองความต้องการที่ไม่เหมือนกัน ดังจะกล่าวต่อไปนี้

เบอร์ 8751 มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น EPR (Erasable Programable Read Only Memory) ขนาด 4 กิโลไบต์ ทำให้สามารถใช้ รังสี อัลตราไวโอเลตในการลบโปรแกรมเก่าที่มีอยู่และบรรจุโปรแกรมใหม่ลงไปได้ทันที ทั้งนี้เพื่อความสะดวกในการแก้ไขหรือปรับปรุงโปรแกรม ไมโครคอนโทรลเลอร์ MCS-51 เบอร์ 8751 จะใช้งานเป็นการพัฒนาเบื้องต้น (prototypeing) ซึ่งจำเป็นต้องทดสอบโปรแกรมเพื่อหาข้อผิดพลาด (bugs) และแก้ไขเรียบร้อยก่อนทำการผลิตจริง การแก้ไขโดยการใช้รังสีอัลตราไวโอเลตและการบรรจุโปรแกรมที่แก้ไขใหม่สามารถทำได้ในจำนวนครั้งที่จำกัด ทั้งนี้เพราะหน่วยความจำที่เป็น EPROM เมื่อใช้ไปนานๆ จะเกิดเสื่อมสภาพ ทำให้ไม่สามารถบรรจุโปรแกรมเข้าไปได้

เบอร์ 8051 หลังจากทดสอบโปรแกรมจนไม่พบข้อผิดพลาดแล้ว จะเป็นช่วงของการผลิตจริงซึ่งจะต้องพิจารณาถึงต้นทุนเป็นอันดับแรก ซึ่งในการผลิตจริงจะใช้ไมโครคอนโทรลเลอร์เบอร์8051 มีหน่วยความจำสำหรับเก็บโปรแกรมภายในเป็น ROM (Read Only Memory) ขนาด 4 กิโลไบต์แทน เพราะราคาต่ำกว่ามาก แต่มีข้อจำกัดตรงที่ไม่สามารถแก้ไขโปรแกรมที่ได้บรรจุไปแล้วไม่ว่าจะด้วยวิธีใดก็ตาม

เบอร์ 8031 เบอร์นี้ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป แต่สามารถใช้หน่วยความจำเพื่อเก็บโปรแกรมที่อยู่ภายนอกได้มากถึง 64 กิโลไบต์อาจจะใช้เป็น ROM,PROM,EPROM ตามความต้องการของผู้ผลิต เบอร์ 8031 นี้มีไว้ใช้ในกรณีที่โปรแกรมมีขนาดเล็กกว่า 4 กิโลไบต์หรือมากกว่า 4 กิโลไบต์มาก (เบอร์ 8751 และ 8051 จะใช้โปรแกรมจากหน่วยความจำภายนอกได้เองเมื่อโปรแกรมมีความยาวเกิน 4 กิโลไบต์ หรืออาจบังคับให้ไมโครคอนโทรลเลอร์ทั้งสองเบอร์ใช้โปรแกรมจากหน่วยความจำภายนอกเพียงอย่างเดียวด้วยการต่อขา 31 ลงกราวด์ ทำให้มีคุณสมบัติเหมือนเบอร์ 8031 ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป)

Device	ROMless Version	EPROM Version	ROM Bytes	RAM Bytes	8-bit I/O Ports	16-bit Timer/ Counters	Interrupt Sources/ Vectors
8051	8031	-	4K	128	4	2	6/5
8051AH	8031AH	8751H	4K	128	4	2	6/5
		8751BH					
8052AH	8032AH	8752BH	8K	256	4	3	8/6
80C51BH	80C31BH	87C51	4K	128	4	2	6/5
83C51FA	80C51FA	87C51FA	8K	256	4	3	14/7
83C51FB	80C51FA	87C51FB	16K	256	4	3	14/7
83C51GA	80C51GA	87C51GA	4K	128	4	2	8/7
83C152JA	50C152JA	-	8K	256	5	2	19/11
-	80C152JB	-	-	256	7	2	19/11
83C152JC	80C152JC	-	8K	256	5	2	19/11
-	80C152JD	-	-	256	7	2	19/11
83C451	80C451	-	4K	128	7	2	6/5
83C452	80C452	87C452P	8K	256	5	2	9/8

ตารางที่ 2.4 แสดงความแตกต่างของสมาชิกไมโครคอนโทรลเลอร์

2.7.2 โครงสร้างของไมโครคอนโทรลเลอร์ตระกูล MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีสมาชิกในตระกูลหลายเบอร์ด้วยกัน แต่ละเบอร์จะมีคุณสมบัติพิเศษบางอย่างแตกต่างกัน เช่น มีหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายในชิปเพิ่มขึ้น มีวงจรเปลี่ยนค่าสัญญาณอนาล็อกเป็นดิจิตอลในตัว สามารถรับอินเตอร์รัปต์ได้หลายชนิดทำกระบวนการ DMA (Direct Memory Access) ได้ในตัว มีรีจิสเตอร์สำหรับใช้เป็นไทมเมอร์หรือเคาน์เตอร์เพิ่มมากขึ้น คุณสมบัติพิเศษที่แตกต่างกันของไมโครคอนโทรลเลอร์แต่ละเบอร์ในตระกูลนี้แสดงในตารางที่ 2.5 ที่ผ่านมา

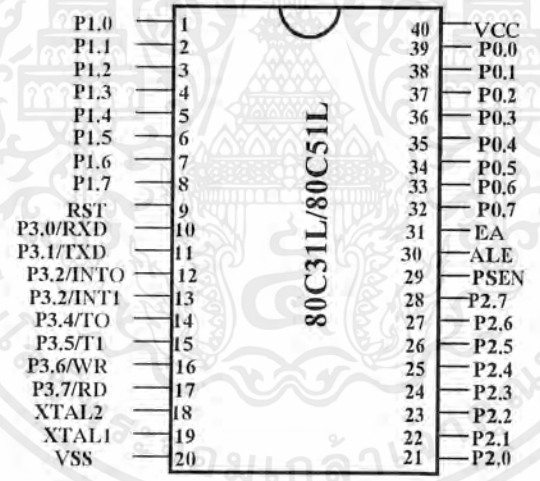
ไมโครคอนโทรลเลอร์เบอร์ที่นับได้ว่าเป็นเบอร์พื้นฐาน สำหรับตระกูล MCS-51 นี้ได้แก่เบอร์ 8051,8031,8751 โดยเบอร์ 8051 จัดเป็นสมาชิกตัวแรกในตระกูล มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น ROM ขนาด 4 กิโลไบต์ และหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายใน MCS-51 (RAM) เองจำนวน 128 ไบต์ มีพอร์ตขนาด 16 บิตรวม 2 ตัว รับสัญญาณอินเตอร์รับจากภายนอกได้ 2 ชนิด สามารถรับและส่งข้อมูลแบบอนุกรมผ่านทางพอร์ตสื่อสารข้อมูลแบบอนุกรม มีวงจรออสซิลเล

เตอร์เพื่อสร้างสัญญาณนาฬิกาควบคุมการทำงานในตัวเองส่วน เบอร์ 8751 จะมีคุณสมบัติเหมือนเบอร์ 8051 ทุกอย่าง ต่างกันเพียงชนิดของหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปของเบอร์ 8751 จะเป็น EPROM แทนที่จะเป็น ROM ส่วนเบอร์ 8031 จะเหมือนกับเบอร์8051 ต่างกันเพียงเบอร์ 8031 ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเท่านั้น

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์ ใช้แรงดันไฟเพียง 5 โวลต์ในการทำงาน ส่วนกระแสไฟที่ใช้จะแตกต่างกันไปตามชนิดของเทคโนโลยีที่ใช้ในการผลิต เบอร์ของไมโครคอนโทรลเลอร์ตระกูลนี้มีอักษร C อยู่ตรงกลางเบอร์ เช่น 80C31,80C51 เป็นเบอร์ของชิปที่ผลิตโดยอาศัยเทคโนโลยี CHMOSใช้พลังงานในการทำงานน้อยกว่าและสามารถควบคุมการใช้พลังงานของตัวชิบได้จากโปรแกรมเพื่อการประหยัดพลังงานในระบบ

2.7.3 ตำแหน่งขาของ MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์มีตำแหน่งขาพื้นฐานที่เหมือนกัน ดังแสดงในรูปที่ 3.1



รูปที่ 2.16 แสดงตำแหน่งขาของชิปไมโครคอนโทรลเลอร์ MCS-51

หน้าที่การใช้งานแต่ละขาของชิปไมโครคอนโทรลเลอร์ในตระกูล มีดังนี้

- ขา Vss (ขา 20) สำหรับต่อลงกราวด์
- ขา Vcc (ขา 40) สำหรับต่อแหล่งจ่ายแรงดันกระแสตรงขนาด 5 โวลต์ (DC 5 V)

ขาพอร์ต O (ขา 32-39) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต O ขนาด 8 บิต (PO.O-PO.7) แบบ OpenDrain Bidirectional พอร์ตนี้ สามารถใช้งานเป็นอินพุตเอาต์พุตพอร์ตทั่วไปได้ โดยหากใช้งานเป็นอินเตอร์พุตพอร์ตต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อบังคับให้ขาอยู่ในสถานะถูกปล่อยลอย (มีสถานะ high impedance) นอกจากใช้งานเป็นอินพุตเอาต์พุตพอร์ตแล้ว พอร์ต 0 ยังใช้ในการติดต่อ

หน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกชิปด้วย โดยส่งแอดเดรสบัสไบต์ต่ำ (A0-A7) และมัลติเพลกซ์กับการรับส่งข้อมูล (D0-D7) จากหน่วยความจำภายนอก ในระหว่างการเขียนหรืออ่านข้อมูล โดยมีวงจรพูลอัพภายใน

- ขาพอร์ต 1 (ขา 1-8) มี 8 ขาใช้เป็นขาสำหรับพอร์ต 1 (P1.0-P1.7) สามารถใช้เป็นอินพุตหรือเอาต์พุตพอร์ตทั่วไปได้ หากต้องการใช้งานเป็นอินพุตพอร์ตต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อให้มีสถานะ high impedance โดยมีวงจรพูลอัพ (pull up) ภายใน

- ขาพอร์ต 2 (ขา 21-28) มี 8 ขาใช้เป็นขาสำหรับพอร์ต 2 (P2.0-P2.7) ขนาด 8 บิตแบบ Open Drain Bidirectional พอร์ตนี้สามารถใช้งานเป็นอินพุตเอาท์พุตพอร์ตทั่วไปได้โดยหากใช้งานเป็นอินพุตพอร์ตต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้เพื่อบังคับให้ขาอยู่ในสถานะอิมพีแดนซ์สูง (high impedance) นอกจากจะใช้งานเป็น อินพุต เอาต์พุตพอร์ตทั่วไป พอร์ต 2 พอร์ต ยังใช้ในการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกด้วย โดยใช้สำหรับส่งค่าแอดเดรสบัสไบต์สูง(A8-A15) และมีวงจรพูลอัพ (Pull up) ภายใน

- ขาพอร์ต 3 (ขา 10-17) มี 8 ขาใช้เป็นขาสำหรับพอร์ต 3 (P3.0-P3.7) สามารถใช้งานเป็นอินพุตเอาต์พุตพอร์ตทั่วไปได้ หากต้องการใช้งานเป็นอินพุตพอร์ตต้องต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อให้มีสถานะอิมพีแดนซ์สูง (high impedance) โดยใช้วงจรพูลอัพ (PULL UP) ภายใน นอกจากนี้ยังใช้งานในหน้าที่พิเศษต่างๆอีกหลายอย่างดังนี้

  ขา P3.0 ใช้รับข้อมูลจากภายนอกแบบอนุกรม

  ขา P3.1 ใช้ส่งข้อมูลออกไปภายนอกแบบอนุกรม

  ขา P3.2 ใช้เป็นอินพุตเพื่อรับสัญญาณอินเตอร์รัปต์ชนิด 0

  ขา P3.3 ใช้เป็นอินพุตเพื่อรับสัญญาณอินเตอร์รัปต์ชนิด 1

  ขา P3.4 สัญญาณอินพุตให้เคาน์เตอร์ของไทม์เมอร์ 0

  ขา P3.5 สัญญาณอินพุตให้เคาร์เตอร์ของไทม์เมอร์ 1

  ขา P3.6 สัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป

  ขา P3.7 สัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป

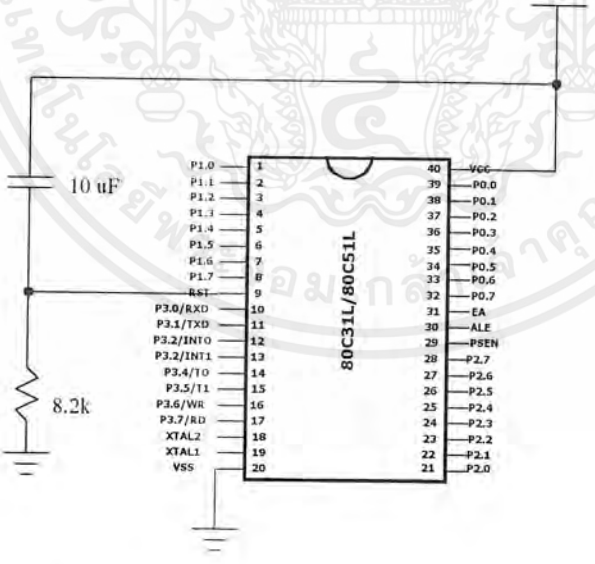
  การใช้งานพอร์ต 3 ในหน้าที่พิเศษดังกล่าวนี้ จะต้องโหลดค่า 1 ไปยังแต่ละบิตที่ต้องการใช้ก่อนทุกครั้ง

- ขา RST (ขา 9) ใช้สำหรับการรีเซตวงจรทุกอย่างภายในชิป เพื่อเริ่มต้นการทำงานใหม่ การรีเซตใช้เมื่อเริ่มจ่ายพลังงานหรือเมื่อโปรแกรมเกิดทำงานผิดพลาด เมื่อต้องการรีเซตชิป MCS-51 ขานี้ต้องมีสถานะ 1 เป็นเวลาอย่างน้อย 2 แมชชีนไซเกิล ระหว่างที่ออสซิลเลเตอร์ยังทำงานอยู่ โดยต้องต่อตัวต้านทานค่า 8.2 กิโลโอหม์ เพื่อจะทำหน้าที่พูลดาวน์ (รักษาค่าแรงดันไฟฟ้าให้มีสถานะเป็นกราวด์) และเพื่อให้ตัวชิปรีเซตเอง เมื่อเริ่มจ่ายพลังงานให้ตัวเก็บประจุขนาด 10 uF คร่อมระหว่างขา RST กับ Vcc ดังแสดงในรูปที่ 2.17

- ขา ALE/PROG (ขา 30) เป็นขาสำหรับใช้ส่งสัญญาณออกไปภายนอก เพื่อควบคุมแลตช์แอด

เดรสไบต์ต่ำ (address latch enable) จากพอร์ต 0 ในระหว่างการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมหรือข้อมูลภายนอกโดยปกติ เมื่อไม่มีการติดต่อหน่วยความจำภายนอกขานี้จะลดลงครึ่งหนึ่งในระหว่างที่ติดต่ออยู่กับหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิปนอกจากนี้ขา ALE ยังใช้สำหรับควบคุมการเขียนโปรแกรมลงไปใน EPROM สำหรับ MCS-51 ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น EPROM

- ขา PSEN (ขา 29) ใช้ส่งสัญญาณสโตรบ เพื่ออ่านคำสั่งจากโปรแกรมที่เก็บไว้ในหน่วยความจำนอกชิป (program strobeenable) เมื่อชิปทำงานด้วยโปรแกรมจากภายนอกขานี้จะส่งสัญญาณสโตรบสองครั้งในแต่ละแมชชีนไซเกิล แต่ในช่วงการเขียนหรืออ่านข้อมูลกับหน่วยความจำภายนอก หรือเมื่อใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปจะไม่มีสัญญาณออกมาจากขานี้
- ขา EA/VPP (ขา 31) เป็นขาสำหรับใช้เลือกให้ MCS-51 ทำงานจากโปรแกรมที่อยู่ภายในหรือภายนอกชิป โดยถ้าหากขานี้มีสถานะเป็น 0 ก็จะหมายถึงการให้ใช้โปรแกรมจากหน่วยความจำที่เก็บโปรแกรมภายนอก หากขานี้มีสถานะเป็น 1 หมายถึงบังคับให้ MCS-51 ใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป และสำหรับ MCS-51 ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปสามารถเลือกให้ทำงานได้ ทั้งจากโปรแกรมที่เก็บในหน่วยความจำภายในชิปหรือ จากโปรแกรมที่อยู่ในหน่วยความจำภายนอกชิปด้วยการต่อขา EA กับไฟเลี้ยงหรือกราวด์ตามลำดับ ส่วนใน MCS-51 ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป ให้ต่อขานี้ลงกราวด์เสมอ
- ขา XTAL (ขา 19) ใช้ต่อคริสตอลจากภายนอก โดยใช้เป็นขาอินพุตเข้าสู่วงจรออสซิลเลเตอร์
- ขา XTAL (ขา 18) ใช้ต่อคริสตอลภายนอก โดยเป็นขาเอาต์พุตออกจากวงจรออสซิลเลเตอร์



รูปที่ 2.17 แสดงวงจรสำหรับรีเซ็ตชิปไมโครคอนโทรลเลอร์ MCS-51

2.7.4 โครงสร้างหน่วยความจำภายใน MCS-51

ไมโครคอนโทรลเลอร์ ในตระกูล MCS-51 ทุกเบอร์จะแบ่งหน่วยความจำออกเป็น 2 ส่วน คือ

- หน่วยความจำสำหรับเก็บโปรแกรม (program memmory)
- หน่วยความจำสำหรับเก็บข้อมูล (data memory)

2.7.4.1 หน่วยความจำสำหรับเก็บโปรแกรม

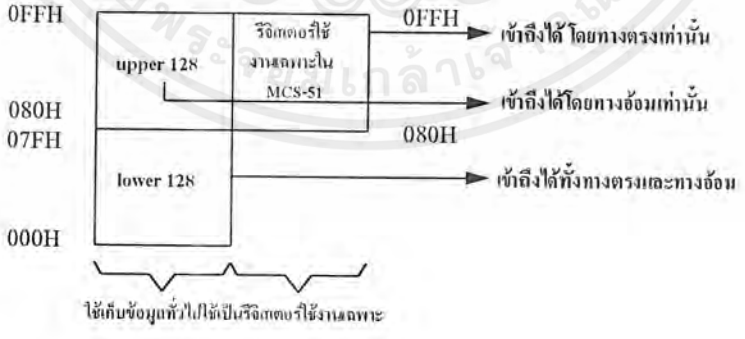
หน่วยความจำสำหรับเก็บโปรแกรมในชิป MCS-51 จะแบ่งออกเป็น 2 ส่วน คือ หน่วยความจำสำหรับเก็บโปรแกรมภายในชิป (internal program memory) และหน่วยความจำสำหรับเก็บโปรแกรมภายนอกชิป (external program memory) ขนาดของหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปมีตั้งแต่ 0,4,8,16 กิโลไบต์ ขึ้นอยู่กับเบอร์ของชิป

2.7.4.2 หน่วยความจำสำหรับเก็บข้อมูล

หน่วยความจำสำหรับเก็บข้อมูลของ MCS-51 จะแบ่งออกเป็น 2 ส่วน คือ หน่วยความจำสำหรับเก็บข้อมูลภายในชิป และหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป หน่วยความจำสำหรับเก็บข้อมูลภายในชิปของ MCS-51 ยังแบ่งออกเป็น 3 ส่วนย่อยดังนี้

- ส่วนที่ใช้เก็บข้อมูลทั่วไป (internal ram) บริเวณ 128 ไบต์ล่าง (lower 128)
- ส่วนที่ใช้เก็บข้อมูลทั่วไป (internal ram) บริเวณ 128 ไบต์บน (upper 128)
- ส่วนที่ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะ (special function register)

หน่วยความจำส่วนที่ใช้เก็บข้อมูลทั่วไปภายในชิปเป็นหน่วยความจำสำหรับเก็บข้อมูลที่มีอยู่ภายใน MCS-51 หน่วยความจำส่วนนี้มีไว้สำหรับเก็บข้อมูลในขณะทำงาน ส่วนหน่วยความจำสำหรับเก็บข้อมูลภายในชิปที่ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะ เป็นหน่วยความจำสำหรับเก็บข้อมูลภายใน MCS-51 ซึ่งถูกกำหนดให้เป็นรีจิสเตอร์ใช้งานเฉพาะ เพื่อควบคุมการทำงานและบอกสถานะของซีพียู ซึ่งแผนภาพแสดงหน่วยความจำสำหรับเก็บข้อมูลภายในชิปทั้งสองบริเวณ ดังแสดงในรูปที่ 3.5



รูปที่ 2.18 แผนภาพแสดงหน่วยความจำสำหรับเก็บข้อมูลภายในชิป MCS-51

2.7.5 ไทม์เมอร์/เคาน์เตอร์

ใน MCS-51 มีรีจิสเตอร์ใช้งานเฉพาะ ที่สามารถนับจำนวนสัญญาณนาฬิกาหรือแมชชีนไซเกิลของวงจรออสซิลเลเตอร์ภายใน (ทำงานเป็นตัวไทม์เมอร์) หรือนับจำนวนครั้งของการเปลี่ยนสถานะของสัญญาณภายนอก (นับจำนวนพัลส์ภายนอก) ที่ขา T0,T1 ของพอร์ต 3 (ทำงานเป็นเคาน์เตอร์) รีจิสเตอร์ที่ใช้เป็นไทม์เมอร์หรือเคาน์เตอร์มีขนาด 16 บิตจำนวน 2 ตัว คือ รีจิสเตอร์ไทม์เมอร์ 0 และรีจิสเตอร์ไทม์เมอร์ 1 ตามลำดับ (ในเบอร์ 8052 มีรีจิสเตอร์ไทม์เมอร์ 2 เพิ่มให้อีก 1 ตัว) เมื่อต้องการใช้ไทม์เมอร์ 0 ไทม์เมอร์ 1 จะต้องโหลดค่าที่ต้องการนับไปไว้ในรีจิสเตอร์ไทม์เมอร์ 0 หรือรีจิสเตอร์ไทม์เมอร์ 1 และเมื่อนับครบจำนวนที่ตั้งไว้จะสัญญาณอินเตอร์รัปต์เพื่อบอกให้ซีพียูทราบ

การควบคุมการทำงานของไทม์เมอร์หรือเคาน์เตอร์ สามารถควบคุมได้จากวงจรภายนอก (ควบคุมด้วยสัญญาณที่ขา INTO,INTI) หรือควบคุมจากคำสั่งโปรแกรม ดังนั้นรีจิสเตอร์ที่ใช้เป็นไทม์เมอร์ใน MCS-51 จะสามารถวัดช่างห่างของเวลา วัดความกว้างของพัลส์ หรือนับจำนวนครั้งของเหตุการณ์ที่เกิดขึ้นภายนอกที่เปลี่ยนให้อยู่ในรูปของสัญญาณไฟฟ้าแล้ว รวมทั้งใช้ในการกำเนิดสัญญาณอินเตอร์รัปต์ที่มีคาบเวลาแน่นอนได้

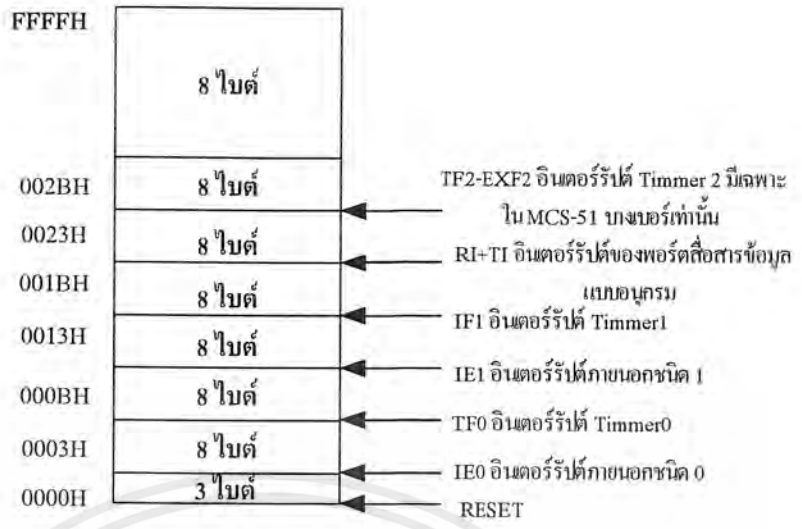
2.7.6 พอร์ตสื่อสารข้อมูลแบบอนุกรม MCS-51

สามารถรับส่งข้อมูลแบบอนุกรมได้ โดยไม่ต้องพึ่งอุปกรณ์ภายนอกอื่นๆ แต่อย่างใด ในด้านอัตราเร็วของการรับส่งข้อมูลก็สามารถกำหนดค่าได้ตามความต้องการของผู้ใช้ โดยสามารถเลือกอัตราเร็วในการรับส่งข้อมูล (baud rate) มาตรฐานได้ตั้งแต่ 110,1.2k,2.4k,4.8k,9.6k,19.2k,375k ตามมาตรฐานของ UART นอกจากนี้สามารถกำหนดการทำงานที่แตกต่างกันถึง 4 รูปแบบ ตามความเหมาะสมในแต่ละงาน

2.7.7 โครงสร้างการอินเตอร์รัปต์ MCS-51

สามารถรับสัญญาณอินเตอร์รัปต์ได้ถึง 5 ชนิด โดยจะเป็นสัญญาณอินเตอร์รัปต์ที่เกิดจากภายนอก 2 ชนิดและที่เกิดจากภายในชิปอีก 3 ชนิด เมื่อมีสัญญาณอินเตอร์รัปต์เกิดขึ้น MCS-51 จะละการทำงานโปรแกรมที่กำลังทำอยู่และข้ามไปทำงานโปรแกรมบริการอินเตอร์รัปต์(interruptservice routine) ที่อยู่ในหน่วยความจำตำแหน่งต่างๆ ขึ้นอยู่กับชนิดและสัญญาณอินเตอร์รัปต์ดังแสดงในรูปที่ 2.19

เราสามารถเลือกใช้ซีพียูใน MCS-51 ถูกอินเตอร์รัปต์โดยสัญญาณอินเตอร์รัปต์ที่เกิดขึ้นได้ โดยการกำหนดค่าในรีจิสเตอร์ใช้งานเฉพาะ IE นอกจากนี้ยังสามารถควบคุมลำดับความสำคัญ ในการตอบสนองต่อสัญญาณอินเตอร์รัปต์ของ MCS-51 ได้ด้วยรีจิสเตอร์ใช้งานเฉพาะ IP



รูปที่ 2.19 แสดงตำแหน่งหน่วยความจำของโปรแกรมบริการอินเตอร์รัปต์แต่ละชนิดใน MCS-51

2.7.8 วิธีการเข้าถึงข้อมูล

วิธีการเข้าถึงข้อมูลในคำสั่งของ MCS-51 มี 6 วิธีคือ

- การเข้าถึงข้อมูลโดยตรง (direct addressing)
- การเข้าถึงข้อมูลโดยทางอ้อม (indirect addressing)
- การเข้าถึงข้อมูลในรีจิสเตอร์ใช้งานทั่วไป (register instructions)
- การเข้าถึงข้อมูลในรีจิสเตอร์เฉพาะของคำสั่ง (register-specific instructions)
- การเข้าถึงข้อมูลที่กำหนดเองโดยตรง (immediate constants)
- การเข้าถึงข้อมูลที่มีตัวชี้อ้างอิง (indexed addressing)

2.7.8.1 การเข้าถึงข้อมูลโดยตรง

วิธีนี้จะระบุค่าตำแหน่งหน่วยความจำที่เก็บข้อมูลโดยตรงในคำสั่ง ข้อมูลที่นำมาประมวลผลโดยวิธีนี้จะเป็นค่าของข้อมูลในหน่วยความจำ สำหรับเก็บข้อมูลที่ใช้เก็บข้อมูลทั่วไปเฉพาะในบริเวณ 128 ไบต์ล่างและหน่วยความจำสำหรับเก็บข้อมูลที่ใช้เป็นรีจิสเตอร์ ใช้งานเฉพาะเท่านั้น และเนื่องจากหน่วยความจำสำหรับเก็บข้อมูลที่ใช้เก็บข้อมูลทั่วไปในบริเวณ 128 ไบต์ ล่างกับหน่วยความจำสำหรับเก็บข้อมูลที่ใช้เป็นรีจิสเตอร์ ใช้งานเฉพาะมีขนาดรวมกันทั้งสิ้น 256 ไบต์ ดังนั้นค่าตำแหน่งหน่วยความจำที่ใช้ต้องเป็นเลขไบนารีขนาด 8 บิท เท่านั้น

2.7.8.2 การเข้าถึงข้อมูลโดยทางอ้อม

ค่าตำแหน่งหน่วยความจำที่ต้องการติดต่อจะเก็บไว้ในรีจิสเตอร์เฉพาะของคำสั่ง ดังนั้นวิธีนี้จึงถือเป็นวิธีการเข้าถึงข้อมูลโดยทางอ้อม คือ แทนที่ผู้เขียนโปรแกรมจะระบุค่าตำแหน่งข้อมูลโดยตรง วิธีนี้จะใช้ค่าที่เก็บไว้ในรีจิสเตอร์ที่ระบุในรหัสคำสั่งชี้ไปยังตำแหน่งของหน่วยความจำแทน หน่วยความจำ

ที่สามารถใช้วิธีที่เข้าถึงข้อมูลแบบนี้จะเป็นหน่วยความจำสำหรับเก็บข้อมูลที่ใช้เก็บข้อมูลทั่วไปในบริเวณ 128 ไบต์ล่าง และ 128 ไบต์บน รวมทั้งหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิป

2.7.8.3 การเข้าถึงข้อมูลในรีจิสเตอร์ใช้งานทั่วไป

วิธีนี้เป็นการเข้าถึงข้อมูลที่อยู่ในรีจิสเตอร์ R0-R7 ของรีจิสเตอร์ใช้งานทั่วไป แต่ละกลุ่มรีจิสเตอร์ใช้งานทั่วไปแต่ละกลุ่มทั้ง 4 กลุ่ม คือบริเวณหนึ่งของหน่วยความจำสำหรับเก็บข้อมูลที่ใช้เก็บข้อมูลในบริเวณ 128 ไบต์ล่าง หรือตำแหน่ง 32 ไบต์ ล่างสุดของหน่วยความจำสำหรับเก็บข้อมูลที่ใช้เก็บข้อมูลทั่วไป ดังนั้นหากผู้เขียนโปรแกรมต้องการอ่านหรือเขียนข้อมูลในรีจิสเตอร์ทั้ง 32 ตัว แต่ละตัวมีหน่วยความจำในตำแหน่งที่แน่นอนก็สามารถชี้ตำแหน่งของหน่วยความจำที่ตรงกับรีจิสเตอร์ แต่ละตำด้วยวิธีการเข้าถึงข้อมูลโดยตรงหรือโดยทางอ้อม

2.7.8.4 การเข้าถึงข้อมูลในรีจิสเตอร์เฉพาะของคำสั่ง

คำสั่งบางคำสั่งของ MCS-51 จะระบุไว้แล้วว่าต้องปฏิบัติการกับข้อมูลในรีจิสเตอร์ตัวใดเช่น รีจิสเตอร์ A รีจิสเตอร์ DPTR รีจิสเตอร์ SP ในรหัสคำสั่งของคำสั่งที่ใช้วิธีการเข้าถึงข้อมูลประเภทนี้ MCS-51 จะทราบเองว่าต้องทำงานกับรีจิสเตอร์ตัวใดโดยไม่จำเป็นต้องระบุตำแหน่งรีจิสเตอร์ที่ใช้โดยคำสั่งเองเลย

2.7.8.5 การเข้าถึงข้อมูลที่กำหนดเองโดยตรง

เป็นการกำหนดค่าข้อมูลที่จะนำไปประมวลผลโดยตรง ข้อมูลที่นำมาประมวลผลในคำสั่งจะอยู่ตามหลังรหัสคำสั่งโดยการใช้เครื่องหมาย "#" ระบุหน้าข้อมูลที่ต้องการ

2.7.8.6 การเข้าถึงข้อมูลโดยใช้ตัวชี้อ้างอิง

ข้อมูลที่ใช้วิธีการอ้างแบบนี้ เป็นข้อมูลที่อยู่ในหน่วยความจำสำหรับเก็บโปรแกรมเท่านั้น นั่นแสดงว่าเราสามารถอ่านข้อมูลนี้ออกมา ได้แต่ไม่สามารถนำข้อมูลไปเก็บโดยวิธีนี้ได้จุดประสงค์ของการอ้างข้อมูลแบบนี้มีไว้เพื่อ ใช้ในการเปิดหาค่าข้อมูลในหน่วยความจำสำหรับเก็บโปรแกรม ซึ่งเป็นหน่วยความจำชนิดถาวร (ROM) ข้อมูลในส่วนนี้จะไม่หายไปแม้ไม่มีพลังงาน ในการทำงานของคำสั่งที่ใช้การเข้าถึงข้อมูลวิธีนี้จะใช้ค่าของรีจิสเตอร์ใช้งานเฉพาะ DPTR หรือ PC มารวมกับค่าในรีจิสเตอร์ A เพื่อชี้ไปยังตำแหน่งของหน่วยความจำสำหรับเก็บโปรแกรมที่เก็บข้อมูลไว้ ดังนั้นค่าในรีจิสเตอร์ใช้งานเฉพาะ DPTR หรือ PC จะต้องมีค่าเท่ากับตำแหน่งต้นของหน่วยความจำสำหรับเก็บโปรแกรมในส่วนที่เก็บข้อมูลโดยใช้ค่าของรีจิสเตอร์ A เป็นตัวระบุว่าข้อมูลอยู่ห่างจากตำแหน่งเริ่มต้นในรีจิสเตอร์ใช้งานเฉพาะ DPTR หรือ PC เท่าใด จุดประสงค์ของวิธีการอ้างข้อมูลแบบนี้คือใช้ในการเปิดหาค่าข้อมูลในตารางซึ่งอยู่ในหน่วยความจำสำหรับเก็บโปรแกรมเรียงต่อกันไป

บทที่ 3
รายละเอียดและการออกแบบของระบบ

3.1 คำนำ

ในการออกแบบวงจรนี้ จะแบ่งวงจรออกเป็น 2 ส่วน ด้วยกัน คือภาคที่เป็นเครื่องรับโทรศัพท์ (Telephone Set) ระบบสัญญาณอนาลอก และภาคที่เป็นส่วนของการเชื่อมต่อระบบสัญญาณอนาลอก (Analog Line/Trunk Interface) มีดังต่อไปนี้ คือ

3.1.1 ภาคเครื่องรับโทรศัพท์ระบบสัญญาณอนาลอก ประกอบด้วยส่วนของวงจร 5 ส่วน คือ

3.1.1.1 วงจรสัญญาณเสียงกริ่ง (Ringer Circuit)

3.1.1.2 วงจรเสียงพูดผ่านและชุดแฮนด์เซ็ตของเครื่องโทรศัพท์ (The Telephone Handset and Speech Circuit)

3.1.1.3 วงจรกำเนิดสัญญาณหมายเลข (Dialer Circuit)

3.1.1.4 วงจรสปีคเกอร์โฟน (Speakerphone Circuit)

3.1.1.5 วงจรควบคุมการแสดงผล (Display Circuit)

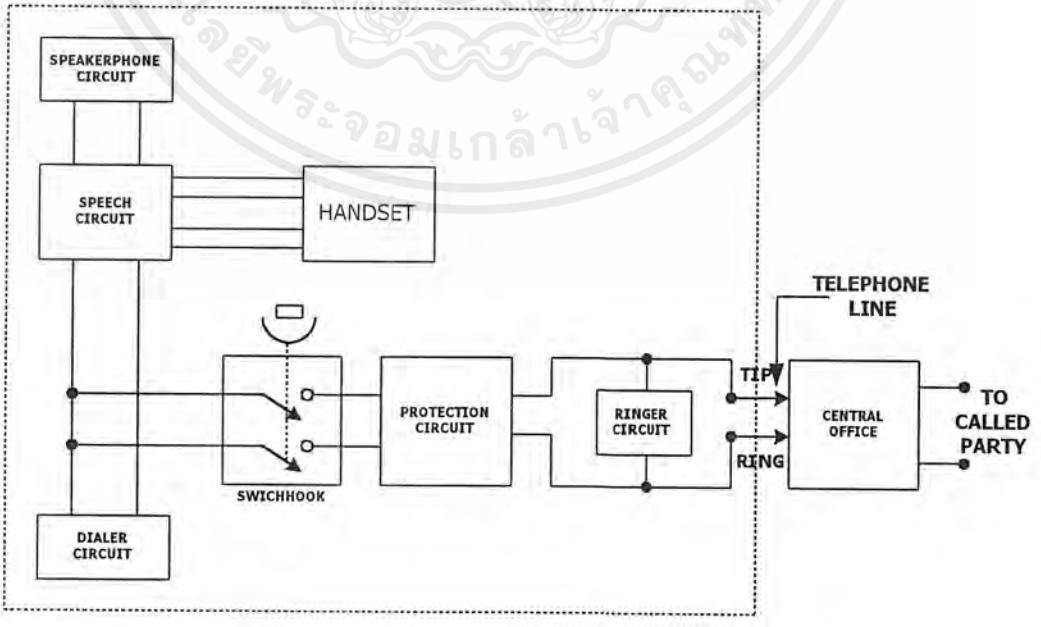
3.1.2 ภาคของการเชื่อมต่อระบบสัญญาณอนาลอก (Analog Line/Trunk Interface)

3.1.2.1 ชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์ (Analog Line Interface)

3.1.2.2 ชุดเชื่อมต่อระหว่างชุมสายโทรศัพท์ (Analog Trunk Interface)

3.2 การทำงานของบล็อกไดอะแกรมในชุดเครื่องรับโทรศัพท์ระบบสัญญาณอนาลอก

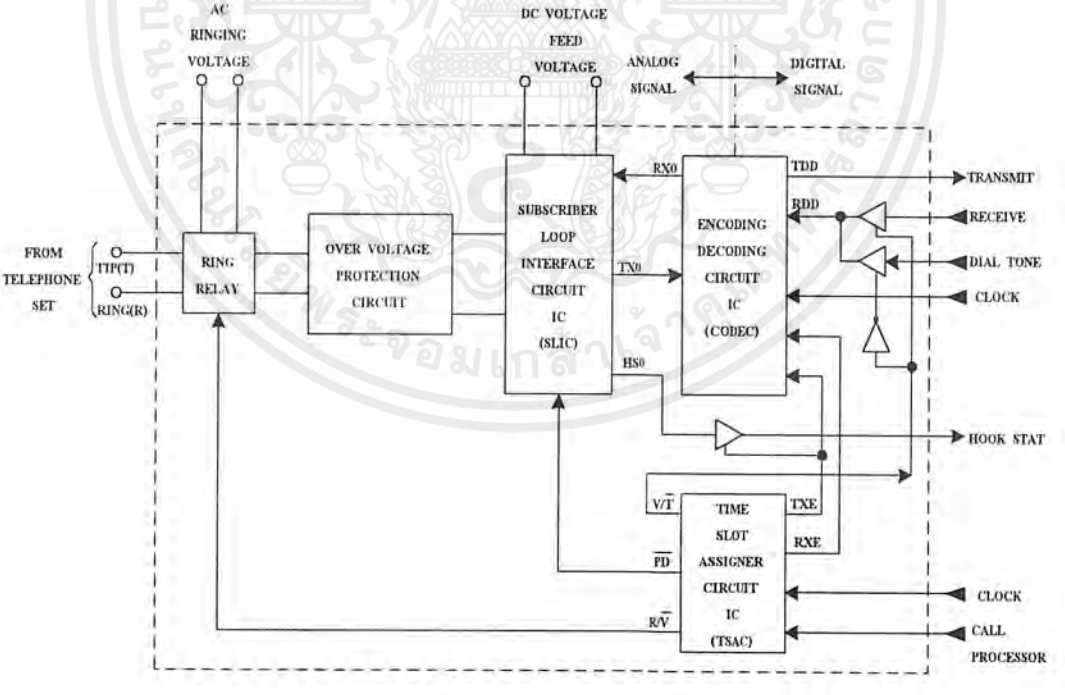
จากรูปที่ 3.1 แสดงถึงบล็อกไดอะแกรมของเครื่องรับโทรศัพท์ ซึ่งมีหน้าที่และหลักการทำงานในส่วนต่างๆดังต่อไปนี้



รูปที่ 3.1 แสดงบล็อกไดอะแกรมของเครื่องรับโทรศัพท์ระบบสัญญาณอนาลอก

ในสภาวะปกติไม่มีการยกหูโทรศัพท์ วงจรในส่วนต่างๆจะถูกตัดออกจากชุมสาย ยกเว้นแต่วงจรสัญญาณเสียงกริ่งที่จะถูกต่อคร่อมระหว่างคู่สายตลอดเวลา เมื่อมีการยกหูโทรศัพท์เกิดขึ้น สุกสวิทช์อยู่ในตำแหน่งออฟ วงจรในส่วนต่างๆก็จะถูกต่อเข้ากับชุมสาย ชุมสายก็จะตรวจสอบการยกหูได้โดยกระแสในลูป เมื่อผู้เรียกกดปุ่ม ส่วนนี้จะเป็นหน้าที่ของวงจรกำเนิดสัญญาณหมายเลข (Dialer Circuit) โดยการผลิตสัญญาณความถี่คู่ผสม (DTMF Signal) ในระบบโทน หรือสัญญาณพัลส์ในระบบพัลส์ออกมาและส่งออกไปยังชุมสายโทรศัพท์ เมื่อชุมสายทำการเชื่อมต่อเส้นทางตามสัญญาณหมายเลขที่ส่งออกไปแล้ว ในลักษณะของการสนทนากันนั้น จะเป็นส่วนของวงจรเสียงพูดผ่านและชุดแฮนด์เซ็ต ซึ่งจะเปลี่ยนสัญญาณเสียงพูดเป็นสัญญาณไฟฟ้า และส่งออกไปตามสายโทรศัพท์รวมไปถึงการเปรียบเทียบสัญญาณที่รับเข้ามาและส่งออกไปตามความแตกต่างของความยาวสาย ก็จะเกิดการสนทนากันระหว่างผู้เรียกและผู้ถูกเรียก ในส่วนของวงจรสปีคเกอร์โฟนนั้น ก็มีวัตถุประสงค์เดียวกันกับชุดของแฮนด์เซ็ต คือการสนทนา แต่จะแตกต่างตรงที่สามารถสนทนากันได้หลายคนนั่นเอง แต่ในชุดสปีคเกอร์โฟนนี้ก็จะต้องต่อผ่านในส่วนของวงจรเสียงพูดผ่านด้วย ส่วนของวงจรสัญญาณเสียงกริ่งนั้น จะเป็นวงจรที่คอยตรวจสอบการเรียกเข้ามาของผู้เรียกซึ่งในส่วนนี้จะต่ออยู่กับวงจรอยู่ตลอดเวลา

3.3 การทำงานของบล็อกไดอะแกรมในส่วนของการเชื่อมต่อในระบบสัญญาณอนาลอก

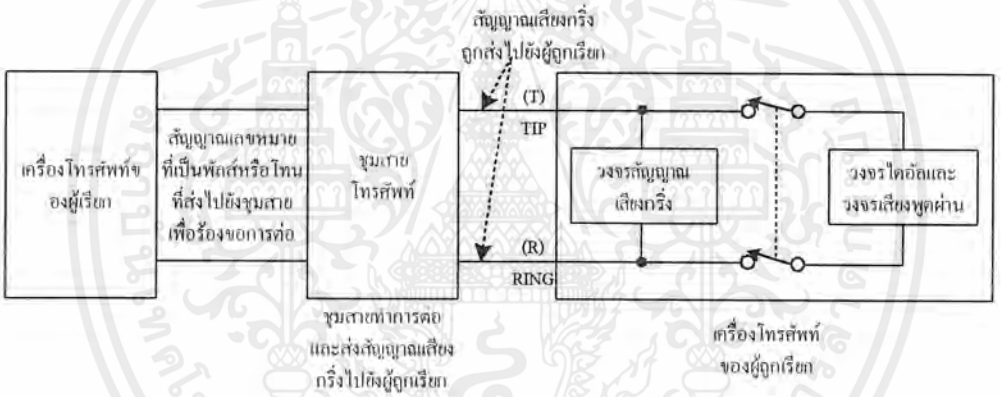


รูปที่ 3.2 บล็อกไดอะแกรมของการเชื่อมต่อระหว่างเครื่องรับโทรศัพท์

3.4 ภาคเครื่องรับโทรศัพท์ระบบสัญญาณอนาลอก

3.4.1 วงจรสัญญาณเสียงกริ่ง (Ringer Circuit)

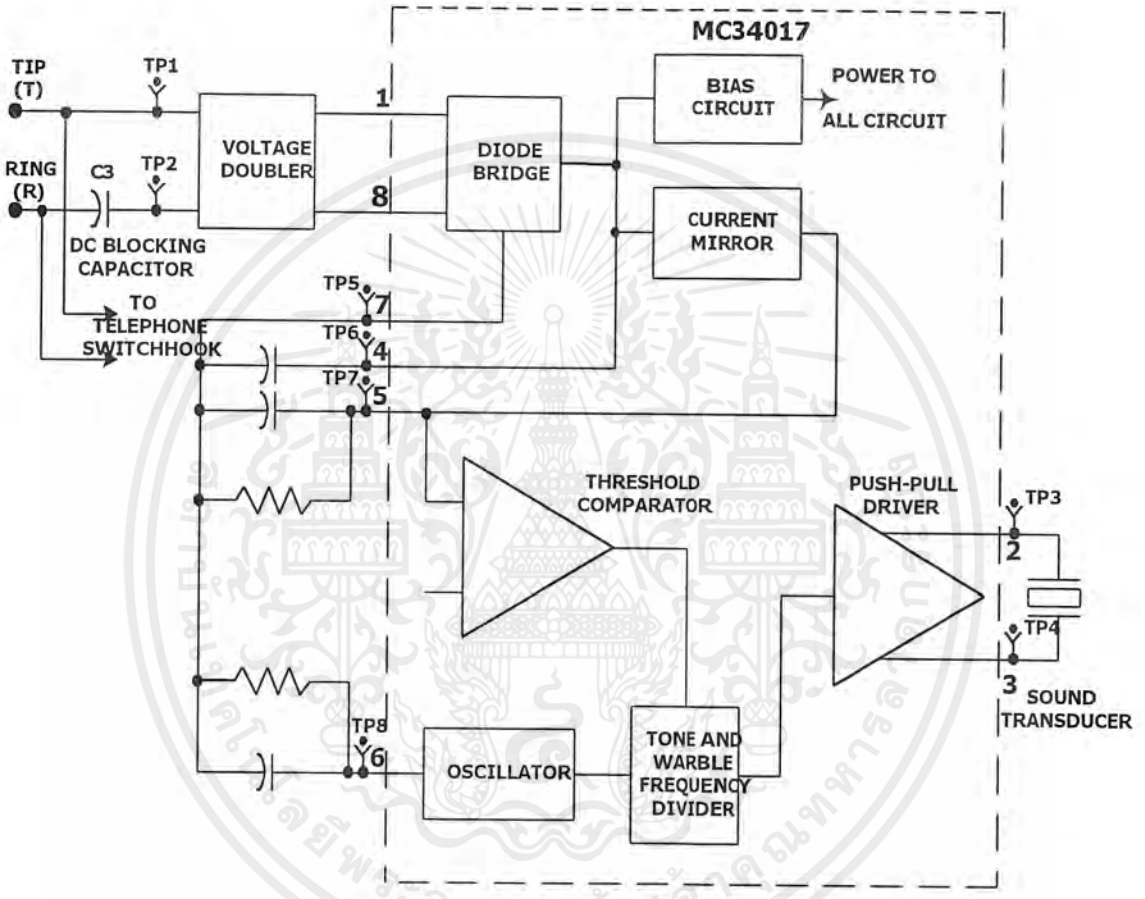
สัญญาณเสียงกริ่ง (Ringing Signal) เป็นสัญญาณที่ทางชุมสายโทรศัพท์ส่งให้กับผู้ถูกเรียก เพื่อให้ผู้ถูกเรียกทราบว่ามีผู้ต้องการติดต่อด้วย จากรูป 3.3 เป็นบล็อกไดอะแกรมของวงจรสัญญาณเสียงกริ่งในระบบโทรศัพท์ โดยทั่วไปแล้วสัญญาณเสียงกริ่งจะมีลักษณะเป็นแรงดันไฟฟ้ากระแสสลับ ที่มีความถี่ประมาณ 20 Hz และมีขนาดประมาณ 75-100 โวลท์ เมื่อวัดจากยอดคลื่นด้านบนถึงยอดคลื่นด้านล่าง (Peak to Peak) ซึ่งสัญญาณนี้จะไปกระตุ้นให้วงจรสัญญาณเสียงกริ่งทำงาน และมีเสียงดังขึ้น จนกว่าจะมีการตอบรับจากผู้ถูกเรียกหรือผู้เรียกยกเลิกการติดต่อ เสียงกริ่งจึงจะหยุดดัง



รูปที่ 3.3 บล็อกไดอะแกรมของวงจรสัญญาณเสียงกริ่งในระบบโทรศัพท์

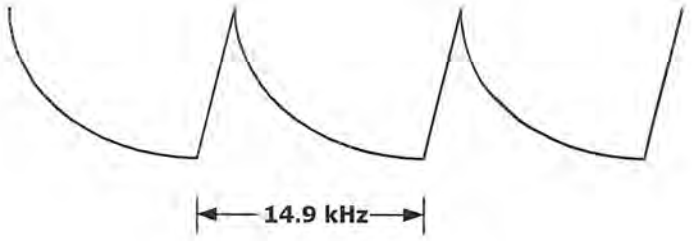
วงจรสัญญาณเสียงกริ่งในโครงงานนี้ จะเหมือนกับวงจรที่อยู่ในเครื่องรับโทรศัพท์โดยทั่วๆไป จากรูป 3.4 แสดงถึงวงจรสัญญาณเสียงกริ่ง ซึ่งในที่นี้จะใช้ไอซีเบอร์ MC34017 สัญญาณเสียงกริ่งที่ส่งมาจากชุมสายโทรศัพท์จะเข้ามายังไอซี โดยผ่านตัวเก็บประจุ (C3) ซึ่งทำหน้าที่เป็นตัวบล็อกแรงดันไฟฟ้ากระแสตรง ในส่วนภายในของตัวไอซี จะเห็นว่ามีไดโอดบริดจ์ซึ่งจะเปลี่ยนสัญญาณเสียงกริ่งให้เป็นแรงดันไฟฟ้ากระแสตรงขนาดประมาณ 4 โวลท์ วัดได้ที่ขาที่4 ของตัวไอซี(TP6) แรงดันดังกล่าวนี้จะใช้ ในการจ่ายให้แก่วงจรภายในตัวไอซี และวงจร current mirror ที่อยู่ภายในตัวไอซี จะเปลี่ยนแรงดันไฟฟ้ากระแสตรงขนาด 4 โวลท์ ให้เหลือประมาณ 1.5 โวลท์ ซึ่งวัดได้ที่ขาที่5(TP7) และจะถูกนำไปเปรียบเทียบกับแรงดันอ้างอิงภายในตัวของ threshold comparator หากแรงดันไฟฟ้ากระแสตรงที่ออกจากวงจร current mirror มีค่าเกินกว่าแรงดันขีดเริ่ม (threshold voltage) threshold comparator จะให้สัญญาณที่สามารถทำให้วงจรหารความถี่ (Tone and warble frequency divider) ทำงานและให้เอาท์พุตไป

ขับให้กำเนิดเสียงดังขึ้น ซึ่งวัดสัญญาณความถี่เสียงที่ออกจาก push-pull driver ได้ที่ขาที่2(TP3) และ ขาที่ 3(TP4) แต่ถ้าเอาท์พุตที่ออกจาก current mirror มีค่าต่ำกว่าแรงดันขีดเริ่ม (threshold voltage) threshold comparator จะให้สัญญาณเอาท์พุตที่ต่ำ ซึ่งไม่สามารถที่จะทำให้วงจรหารความถี่ทำงานได้ ทั้งนี้ threshold comparator มีไว้เพื่อป้องกันทรานส์เซี้ยนที่จะเกิดขึ้นในสาย ซึ่งจะเป็นตัวทำให้เกิดเสียงกริ่งที่ผิดพลาดขึ้น

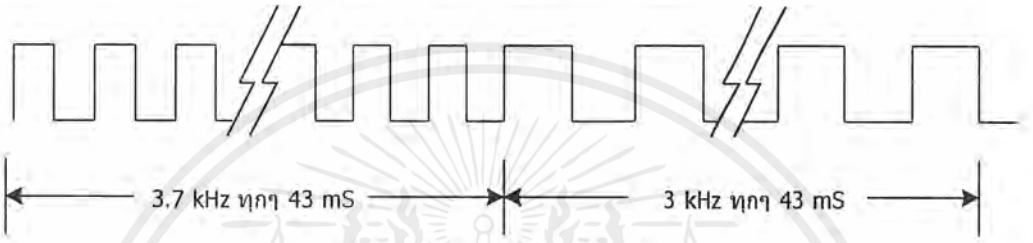


รูปที่ 3.4 แสดงถึงวงจรสัญญาณเสียงกริ่ง

ในขณะเดียวกัน ออสซิเลเตอร์จะเป็นตัวผลิตสัญญาณเสียงกริ่งซึ่งวัดได้ที่ขาที่ 6 (TP8) จะมีความถี่ประมาณ 14.9 kHz ดังแสดงในรูป 3.5 a) และสัญญาณที่ไปขับให้ทรานสดิวเซอร์กำเนิดเสียงเมื่อมีสัญญาณเสียงกริ่งเข้ามานั้น จะมีความถี่ 2 ความถี่ คือ 3.7 kHz และ 3 kHz สลับกัน ทุกๆ 43 mS โดยประมาณ ดังแสดงในรูป 3.5 b)



a) สัญญาณที่จุด TP8

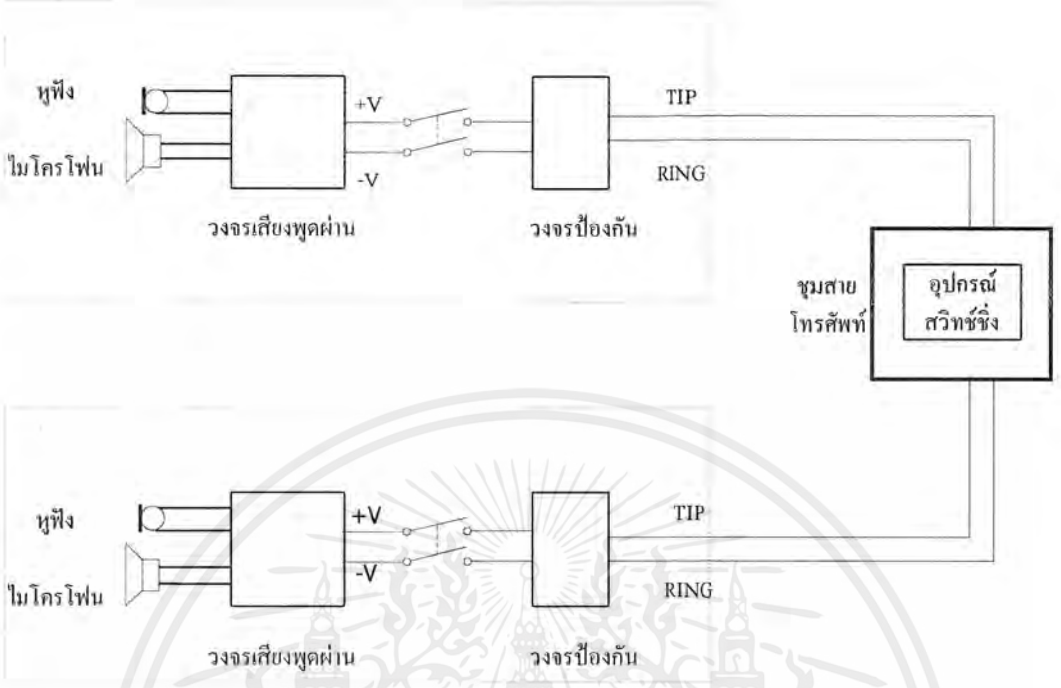


b) สัญญาณที่จุด TP3 และ TP4

รูปที่ 3.5 แสดงถึงสัญญาณเสียงกริ่งที่จุดต่างๆ

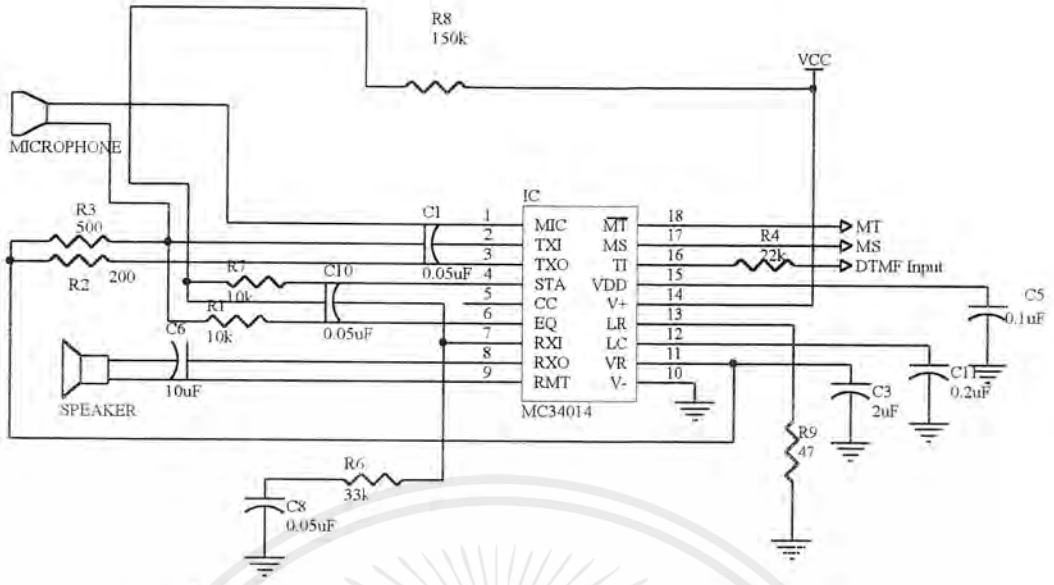
3.4.2 วงจรเสียงพูดผ่านและชุดแฮนด์เซ็ตของเครื่องรับโทรศัพท์ (The Telephone Handset and Speech Circuit)

ในลักษณะของการทำการติดต่อระหว่างผู้เรียกและผู้ถูกเรียก เมื่อผู้เรียกทำการยกหูโทรศัพท์ขึ้น และหมุนเลขหมายที่ต้องการติดต่อด้วย ชุมสายโทรศัพท์จะส่งสัญญาณเสียงกริ่งที่เป็นแรงดันไฟฟ้ากระแสสลับไปยังคู่สายของผู้ถูกเรียก เมื่อผู้ถูกเรียกทำการตอบรับโดยการยกหูโทรศัพท์ขึ้น สัญญาณเสียงกริ่งจะหยุดดังและเกิดการเชื่อมต่อระหว่างคู่สายทั้งสอง บล็อกไดอะแกรมที่แสดงการเชื่อมต่อระหว่างเครื่องโทรศัพท์ทั้งสองโดยผ่านชุมสายโทรศัพท์ แสดงดังรูปที่ 3.6 การสนทนาจะเกิดขึ้นที่แฮนด์เซ็ต (handset) ของเครื่องโทรศัพท์ ซึ่งแต่ละแฮนด์เซ็ตจะประกอบด้วยไมโครโฟน (microphone) และหูฟัง (earpiece) ไมโครโฟนจะเปลี่ยนคลื่นเสียงให้เป็นสัญญาณเสียงที่เป็นแรงดัน ซึ่งจะให้เอาท์พุตโดยผ่านวงจรเสียงพูดผ่าน ออกไปยังชุมสายโทรศัพท์ วงจรเสียงพูดผ่านจะทำการปรับอัตราการขยายโดยเปรียบเทียบกับการสูญเสียที่เกิดขึ้นในสายระหว่างเครื่องโทรศัพท์กับชุมสาย และในส่วนของหูฟังจะเปลี่ยนสัญญาณเสียงที่เป็นแรงดันไฟฟ้าไปเป็นคลื่นเสียง การสนทนาเกิดขึ้นอย่างต่อเนื่องเมื่อสัญญาณเสียงเดินทางไปและกลับตามคู่สายโทรศัพท์ ระหว่างไมโครโฟนและหูฟังของเครื่องโทรศัพท์ทั้งสอง การสนทนาจะสิ้นสุดลงเมื่อวางหูโทรศัพท์(on-hook) และชุมสายโทรศัพท์จะทำการตัดการติดต่อระหว่างคู่สายทั้งสอง



รูปที่ 3.6 แสดงการเชื่อมต่อระหว่างเครื่องโทรศัพท์ทั้งสองกับชุมสาย

ทุกความยาวของคู่สายโทรศัพท์ จะเกิดการลดทอนสัญญาณเสียง อันเนื่องมาจากค่าอิมพีแดนซ์ของสาย สายที่ยาวจะมีค่าอิมพีแดนซ์ของสายสูงและเกิดการลดทอนสัญญาณมากกว่าสายที่สั้น ซึ่งมีค่าอิมพีแดนซ์ที่ต่ำกว่า ความแตกต่างตามความยาวสายดังกล่าว จึงต้องมีการชดเชยโดยวงจรเสียงพูดผ่านที่เครื่องรับโทรศัพท์ ในชุดของแฮนด์เซ็ต จะประกอบด้วยหูฟัง และไมโครโฟน ซึ่งใช้สำหรับการสนทนาและการฟัง ไมโครโฟนและหูฟังจะถูกต่อเข้ากับวงจรเสียงพูดผ่าน ในลักษณะ 4 สาย (four-wire) 2 สาย สำหรับไมโครโฟน และ2 สายสำหรับหูฟังวัตถุประสงค์หลักของวงจรเสียงพูดผ่านนี้ ก็เพื่อต่อโดยตรงระหว่าง 4 สายของชุดแฮนด์เซ็ตเข้ากับ 2 สายของคู่สายโทรศัพท์ สัญญาณที่ได้รับจากคู่สายโทรศัพท์จะเข้าไปยังหูฟัง และสัญญาณที่ออกจากไมโครโฟนก็จะเข้าไปยังคู่สายโทรศัพท์ ขบวนการนี้เรียกว่า การติดต่อ 2 สาย ไปเป็น 4 สาย (two- wire to four-wire)



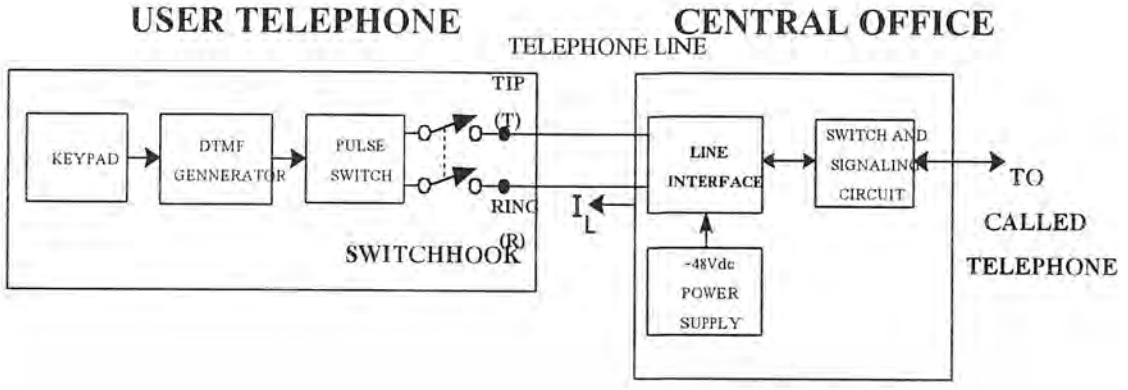
รูปที่ 3.7 แสดงวงจรเสียงพูดผ่านและชุดแฮนด์เซ็ตของเครื่องโทรศัพท์

3.4.3 วงจรกำเนิดสัญญาณหมายเลข (Dialer Circuit)

จะแบ่งออกเป็น 2 ระบบ คือ ระบบโทนและระบบพัลส์

ระบบโทน

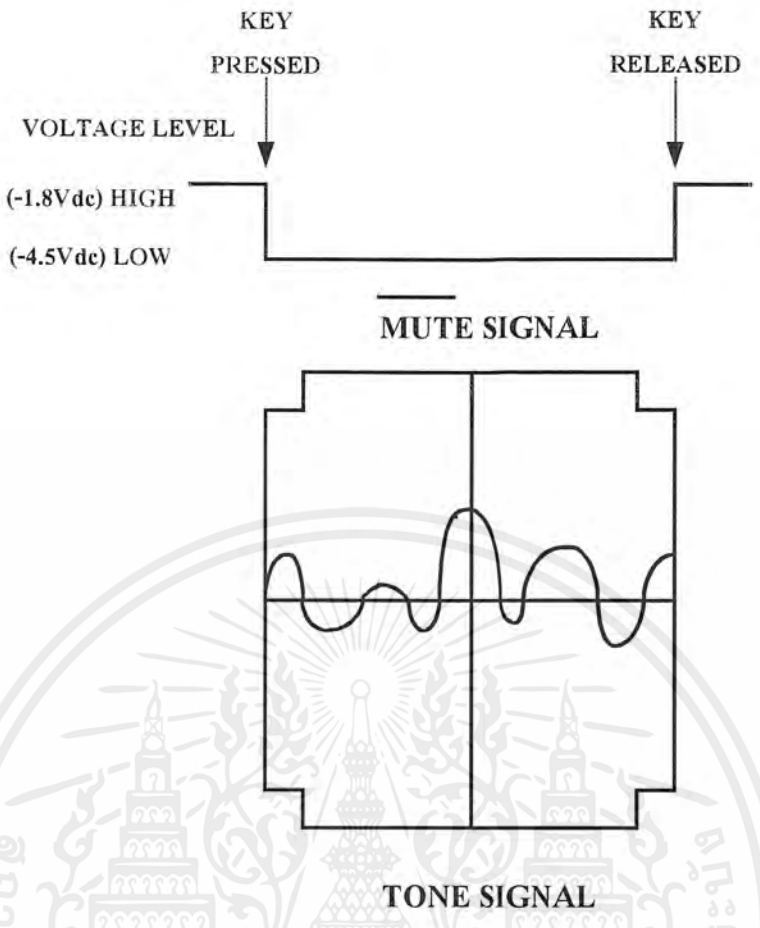
จากรูปที่ 3.8 เป็นบล็อกไดอะแกรมของการต่อระหว่างเครื่องโทรศัพท์กับชุมสายระบบโทน สัญญาณโทนจะเกิดขึ้นจากไอซีที่ผลิตสัญญาณความถี่ผสม โดยมาจากการกดปุ่มในแต่ละปุ่ม ซึ่งในแต่ละปุ่มจะประกอบด้วย 2 ความถี่ที่ผสมกันจากความถี่ 7 ความถี่ โดยความถี่ที่เกิดขึ้นในแต่ละปุ่มนั้นจะถูกส่งไปยังชุมสายโทรศัพท์ ชุมสายโทรศัพท์จะตรวจจับสัญญาณโทนและแปลเป็นตัวเลขในแต่ละปุ่มกด จากนั้นจะถูกนำไปเก็บไว้ในหน่วยความจำ เมื่อได้ครบจำนานตามหมายเลข(หมายเลขของผู้ถูกเรียก) ชุมสายโทรศัพท์ก็จะทำการแปล และส่งไปสัญญาณไปยังผู้ถูกเรียก การติดต่อก็จะเกิดขึ้นถ้าสายของผู้ถูกเรียกว่าง โดยชุมสายโทรศัพท์จะส่งสัญญาณเสียงกริ่งที่เป็นแรงดันไฟฟ้าไปตามสาย และในขณะเดียวกันก็จะส่งสัญญาณเรียกกลับ (Ringback Tone) ไปยังผู้เรียก เพื่อที่จะแสดงว่าเครื่องโทรศัพท์ของผู้ถูกเรียกได้รับการติดต่อ สัญญาณเสียงกริ่ง (Ringing Signal) และสัญญาณเรียกกลับ (Ringback Tone) จะถูกตัดออกหากผู้เรียกได้รับการตอบรับ



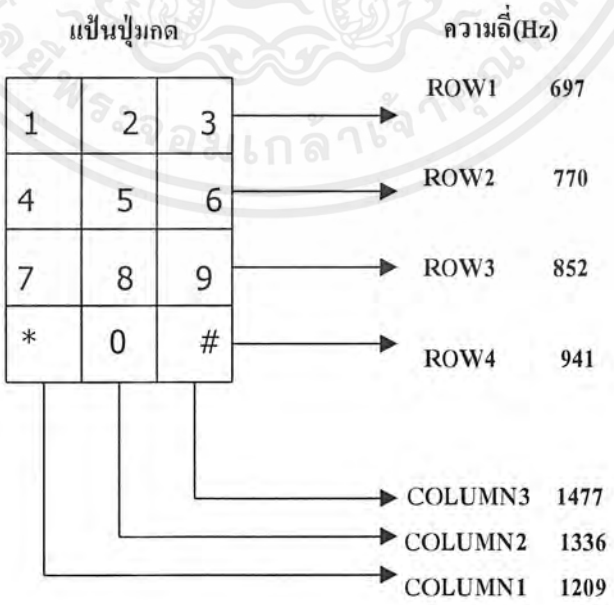
รูปที่ 3.8 แสดงบล็อกไดอะแกรมของการต่อระหว่างเครื่องโทรศัพท์กับชุมสายในระบบโทน

ในสภาวะปกติไม่มีการยกหูโทรศัพท์ แรงดันระหว่างคู่สายโทรศัพท์จะมีค่าประมาณ 48 โวลท์ (แรงดันไฟฟ้ากะแสตรง) กระแสในลูปจะเป็นศูนย์เพราะวงจรของเครื่องโทรศัพท์ไม่ได้ถูกต่อเข้ากับคู่สายโทรศัพท์ เมื่อมีการยกหูโทรศัพท์ขึ้น กระแสในลูปจะเพิ่มขึ้นซึ่งขึ้นอยู่กับจำนวนของค่าความต้านทานของวงจรเครื่องรับโทรศัพท์และสายโทรศัพท์ ในขณะเดียวกันนั้นแรงดันระหว่างคู่สาย คือ สายทิป (Tip) และสายริง (Ring) จะลดลงเหลือประมาณ 8 โวลท์ (แรงดันไฟฟ้ากระแสตรง) แรงดันดังกล่าวใช้ในการทำงานของวงจรในเครื่องรับโทรศัพท์ ในสภาวะนี้ชุมสายโทรศัพท์ก็จะส่งสัญญาณ ให้หมุนเพื่อบอกว่าตอนนี้ชุมสายพร้อมที่จะรับสัญญาณหมายเลขและให้เริ่มต้นการหมุนได้

การกำเนิดสัญญาณหมายเลขระบบโทน จะประกอบด้วยส่วนของปุ่มกด (Keypad), ไอซีกำเนิดสัญญาณความถี่คู่ผสม (DTMF generator IC), ตัวขับสัญญาณความถี่ผสมในตัวไอซีของวงจรเสียงพูดผ่าน และส่วนของการป้องกันวงจร โดยจะป้องกันทรานส์เซี้ยน (Transients) และการกลับขั้วของแรงดันไฟฟ้ากระแสตรงที่จะเกิดขึ้นกับวงจร ซึ่งจะไม่มีผลกับสัญญาณเสียง สัญญาณโทนจะเกิดขึ้นได้ก็ต่อเมื่อมีการกดปุ่มหมายเลข การกดปุ่มจะเป็นการต่อระหว่าง 1 แถว (row) และ1 แนว (column) โดยผ่านทางจุด – V ซึ่งตัวกำเนิดสัญญาณความถี่ผสมนี้จะควบคุมให้คริสตอล (crystal) ผลิตความถี่ออกมา โดยที่ขึ้นอยู่กับเอาท์พุตของสัญญาณ 2 สัญญาณ สัญญาณแรกจะออกมาที่ขา 10 (MS) ของตัวไอซี ซึ่งลักษณะของสัญญาณจะแสดงดังรูป 3.9จะถูกส่งไปยังตัวไอซีของวงจรเสียงพูดผ่าน ให้ลอจิก 0 เพื่อที่จะให้ไอซีของวงจรเสียงพูดผ่านอยู่ในโหมดของการหมุนหมายเลข และสัญญาณที่ 2 คือ สัญญาณโทนเป็นสัญญาณที่ออกจากขา 18 (DTMF) วัดได้ ดังแสดงในรูปที่ 3.9 สัญญาณโทนจะเป็นการผสมของความถี่ 2 ความถี่ ตามแต่ละหมายเลข และสัญญาณโทนนี้จะส่งไปยังภาคขับสัญญาณความถี่ผสม (DTMF Driver) ในตัวของไอซีของวงจรเสียงพูดผ่าน และออกไปตามคู่สายโทรศัพท์



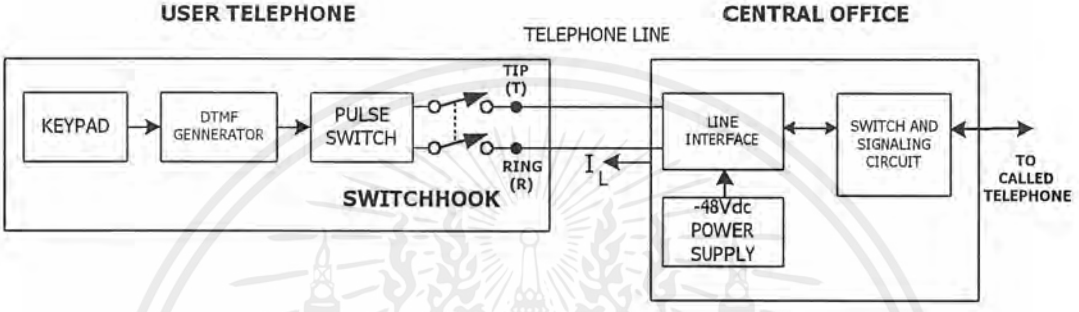
รูปที่ 3.9 แสดงสัญญาณ 2 สัญญาณระหว่างจุด DTMF และจุด MS



รูปที่ 3.10 แสดงความถี่ของ row และ column ในแต่ละปุ่มกด

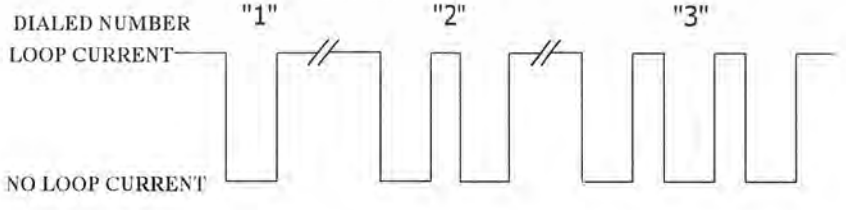
ระบบพัลส์

เนื่องจากชุมสายโทรศัพท์บางชุมสายยังเป็นระบบเก่าอยู่นั้น การหมุนหมายเลขระบบพัลส์นั้นจึงจำเป็นที่จะต้องมีอยู่ในเครื่องโทรศัพท์ จากรูปที่ 3.11 เป็นบล็อกไดอะแกรมของการต่อระหว่างวงจรกำเนิดสัญญาณหมายเลขระบบพัลส์ ที่อยู่ในเครื่องรับโทรศัพท์กับชุมสายโทรศัพท์ เมื่อมีการยกหูโทรศัพท์ก็จะเกิดการไหลของกระแสในลูปจากชุมสายโทรศัพท์มายังวงจรเครื่องรับโทรศัพท์ชุมสายก็สามารถตรวจพบและส่งสัญญาณให้หมุนไปยังเครื่องรับโทรศัพท์ของผู้ใช้ เพื่อเป็นการบอกให้ทราบว่าสามารถเริ่มต้นการหมุนได้



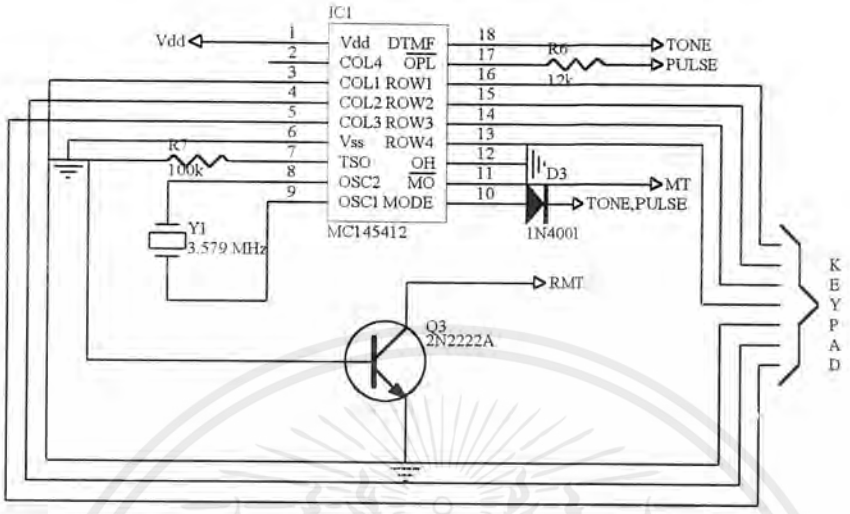
รูปที่ 3.11 แสดงบล็อกไดอะแกรมของการต่อระหว่างเครื่องโทรศัพท์กับชุมสายระบบพัลส์

จากการกดปุ่มหมายเลขในแต่ละปุ่มนั้นจะเป็นการควบคุมให้ตัวกำเนิดสัญญาณพัลส์(Pulse generator) ส่งสัญญาณพัลส์ออกมา ซึ่งพัลส์ 1 ลูก หมายถึงการกดหมายเลข 1 , 2 ลูก ก็หมายถึงการกดหมายเลข 2 ส่วนหมายเลข 0 จะเกิดพัลส์ 10 ลูก และ # กับ *จะไม่มีพัลส์เกิดขึ้น จากรูปที่ 3.12 แสดงถึงสัญญาณพัลส์ที่เกิดจากการกดหมายเลข 123 จะเห็นว่าพัลส์แต่ละลูกจะเป็นการหยุดกระแสในลูป ซึ่งสามารถที่จะผลิตได้ถึง 10 ลูก ใน 1 วินาที



รูปที่ 3.12 แสดงพัลส์ที่เกิดจากการกดหมายเลข 123

และจากรูปที่ 3.13 แสดงถึงวงจรที่ใช้กำเนิดสัญญาณหมายเลขระบบพัลส์ วงจรจะประกอบด้วย ไอซีกำเนิดสัญญาณหมายเลขระบบโทน/พัลส์ ,สวิทช์พัลส์ (Q1 และ Q2),ปุ่มกดหมายเลข



รูปที่ 3.13 แสดงถึงวงจรที่ใช้กำเนิดสัญญาณหมายเลขระบบพัลส์

3.4.4 ส่วนของวงจร สปีคเกอร์โฟน (speakerphone)

ในส่วนของการชดเชยการสูญเสีย เนื่องจากความยาวของสายที่แตกต่างกัน ในส่วนของชุดสปีคเกอร์โฟน (speakerphone) โดยการเพิ่มอัตราการขยายของทางด้านรับและด้านส่งของสัญญาณในการกำจัดสัญญาณรบกวน (Noise) ที่เกิดจากไมโครโฟนจะทำการถูกจำกัดโดยใช้หลักการของการป้อนกลับแบบบวก (Positive Feedback) และความยาวทำให้เกิดทอคเอคโคร์ (Talk Echo) ซึ่งปัญหาเหล่านี้จะถูกแก้ไขโดยวอยซ์สวิทชิ่ง (vioce switching)ซึ่งเป็นการกระตุ้นการส่งเพียงช่วงเวลาและเมื่อเราทำการเปิดสวิทช์ของชุดสปีคเกอร์โฟน ซึ่งจะเป็นการเชื่อมต่อเข้ากับสัญญาณไฟ +v และ –v ซึ่งในชุดฝึกสวิทช์ฮุก คือ S1 ซึ่งในสภาวะนี้ชุดโทรศัพท์จะอยู่ในสภาวะฮุกออน (Hook On) แต่สำหรับชุด สปีคเกอร์จะทำการเชื่อมต่อกับสายโทรศัพท์

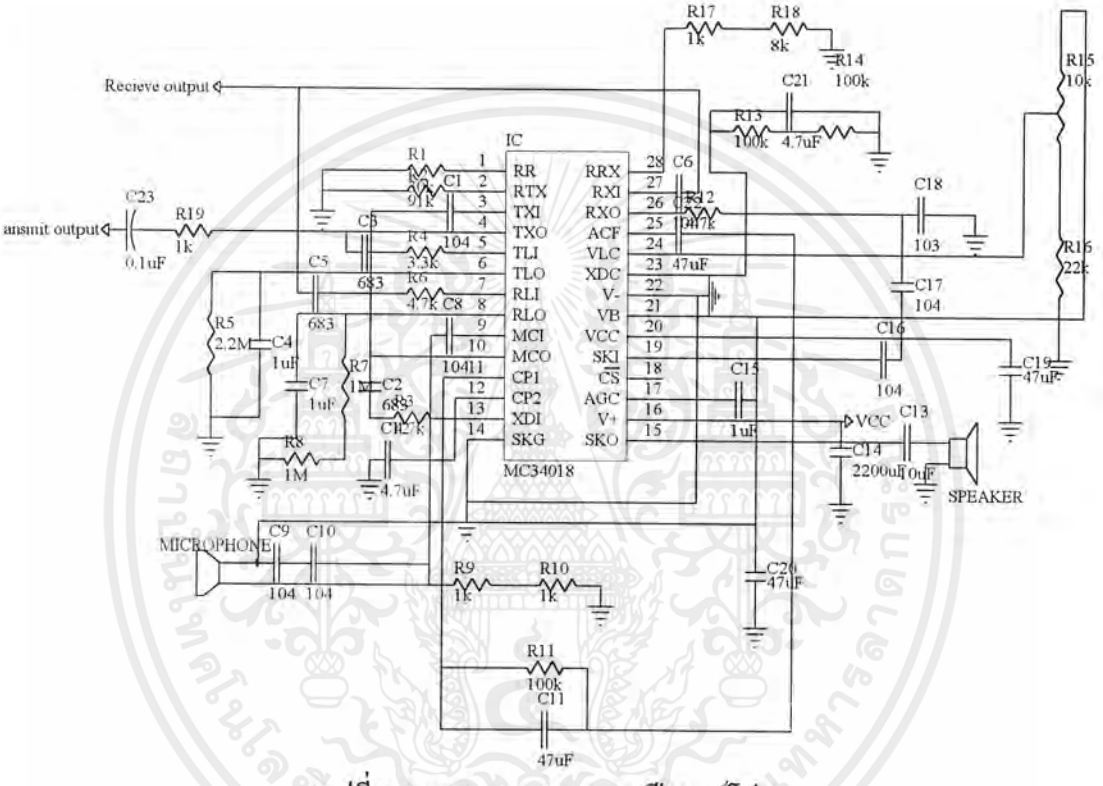
สัญญาณที่ออกจากชุดสปีคเกอร์โฟน (Speakerphone) จะออกจากขา 4 ของ IC (MC34018) เพื่อไปเชื่อมต่อกับชุดวงจรเสียงพูดผ่าน (Speech Circuit) ซึ่งจะมีการควบคุมอัตราการขยายให้เท่ากัน สัญญาณที่รับเข้ามายังชุดสปีคเกอร์โฟน จะอยู่ที่ขา 27 ของ IC ซึ่งรับมาจากชุดวงจรเสียงพูดผ่าน (Speech Circuit) การจัดระดับของการขยายของชุดวงจรเสียงพูดผ่าน (Speech Circuit) จะปรับที่สัญญาณที่ส่งออกและสัญญาณที่รับเข้ามาขึ้นอยู่กับความแตกต่างของความยาวสาย

ชุดสปีคเกอร์โฟน มีโหมดการทำงานอยู่ 3 โหมด คือ รับสัญญาณ , ส่งสัญญาณ และสภาวะทำงานในส่วนของวงจร Logic ของชุด Speakerphone จะทำการเปรียบเทียบกำลังงานของชุด Speech ของสัญญาณที่รับและสัญญาณที่ส่งออกไป Background noise จะทำหน้าที่ตัดสินใจว่าควรจะกระตุ้นหรือไม่Attenuator ของตัวรับสัญญาณและการส่งสัญญาณซึ่งเป็นส่วนประกอบของฟังชันก์

สภาวะหนึ่งคือ อัตราขยายสูงสุดและจะทำให้ชุดลดทอนสัญญาณจะอยู่ที่สูงสุดและอีกส่วนหนึ่งก็เป็นเหมือนกัน อาจจะมีการ เปิด ทั้งคู่หรือ ปิด ทั้งคู่ ซึ่งเป็นส่วนประกอบหลักของการควบคุมการรับส่งสัญญาณ

Half Duplex Operation (คือวงจรที่ยอมให้มีการรับกับการส่งสัญญาณคนละเวลา) เพื่อป้องกัน การเกิดเอคโคร์ในส่วนของวงจรสปีคเกอร์โฟน

ในสภาวะ Idle Mode (คือ ไม่มีการรับหรือการส่งสัญญาณ) ซึ่งชุดลดทอนสัญญาณของทั้งสองจะมีอัตราขยายแค่ครึ่งเดียว



รูปที่ 3.14 แสดงวงจรของชุดสปีคเกอร์โฟน

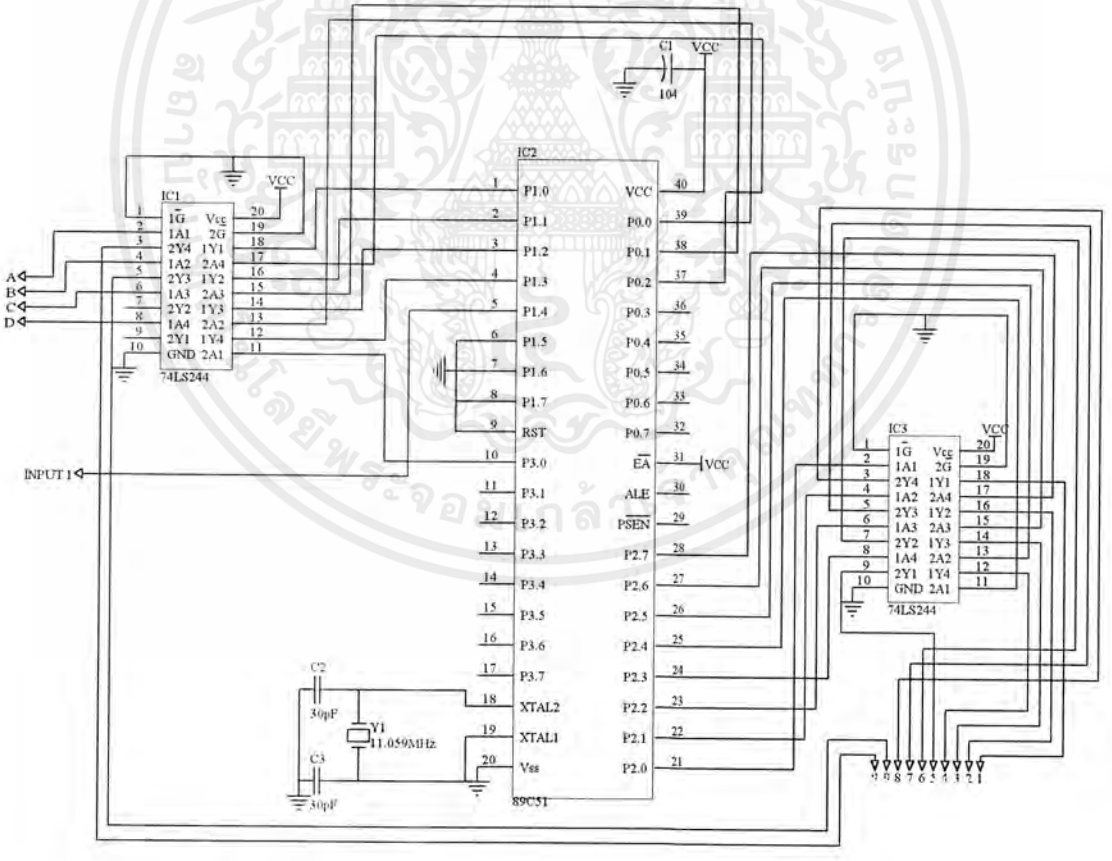
ในส่วนของชุดเปรียบเทียบสัญญาณรับและสัญญาณส่ง (Transmit –Receive comparator)ซึ่งเป็นการเปรียบเทียบของสัญญาณที่รับเข้ามาและ ส่งออกไป

Background Noise Monitorในการตรวจจับสัญญาณที่ส่งออกไปของวงจรเป็นการจัดหาและแบ่งแยกเสียงพูดออกจากสัญญาณรบกวน (โดยการเปรียบเทียบกับสัญญาณคงที่) โดยทำการเก็บระดับแรงดันเพื่อทดแทนค่าสูญเสียของ Background Noise สภาวะที่ไม่มีเสียงเข้ามาจากชุดวงจรเสียงพูดผ่าน (Speech Circuit) ในส่วนของการจับของสัญญาณที่ส่งออกไป จะส่งสัญญาณ Idle (Low) ไปที่ชุดลดทอนสัญญาณ แม้แต่ในส่วนของชุดเปรียบเทียบสัญญาณรับและสัญญาณส่ง(Transmit –Receive Comparator) อยู่ในสภาวะการส่งสัญญาณซึ่ง ชุดลดทอนสัญญาณจะทำการใส่สัญญาณ Idle Mode ในสภาวะสัญญาณที่เป็น (Low)ที่ได้จาก Background noise Monitor

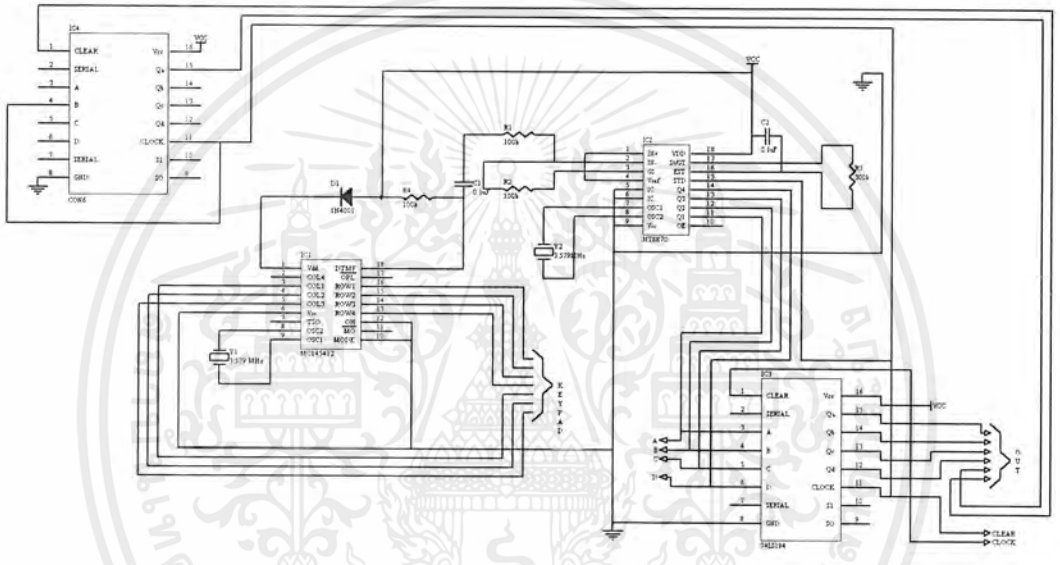
เมื่อเราเปล่งเสียงไปที่ ไมโครโฟนสัญญาณจาก Background Noise monitor จะถูกส่งออกไปเป็น (High) ไปที่ชุดลดทอนสัญญาณ ถ้าชุดเปรียบเทียบสัญญาณรับและสัญญาณส่ง (Transmit –Receive Comparator) อยู่ในตำแหน่งการส่งสัญญาณในส่วนของชุดลดทอนสัญญาณ จะไปอยู่สภาวะโหมดของการส่งถ้าชุดเปรียบเทียบสัญญาณรับและสัญญาณส่ง (Transmit-Receive Comparator) อยู่ในสภาวะการรับสัญญาณที่ใหญ่กว่าสัญญาณที่ส่งออกไปตัวชุดลดทอนสัญญาณจะทำการหน่วงในสภาวะ Receive Mode

3.4.5 ส่วนของวงจรการแสดงผล (Display Circuit)

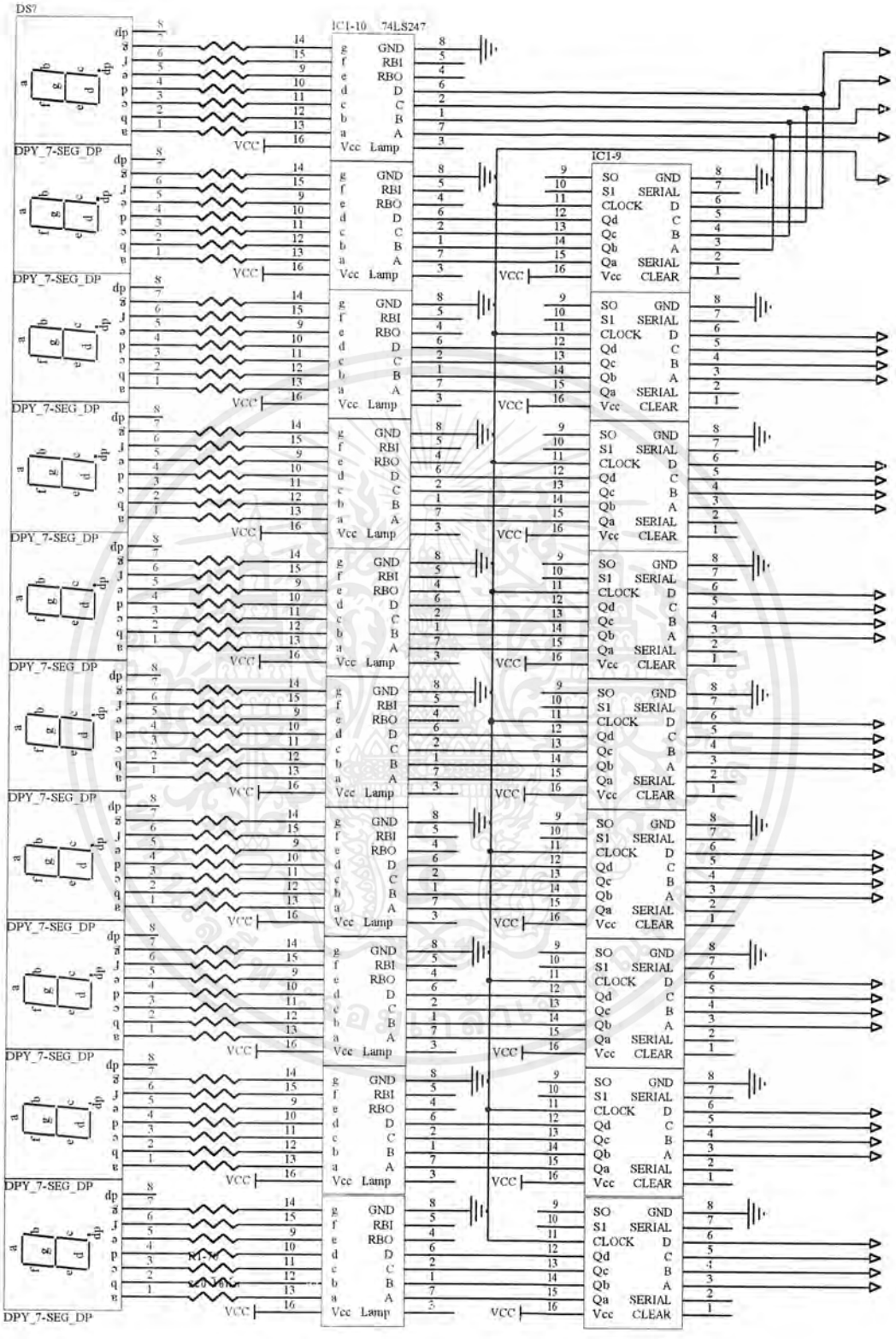
ในส่วนของวงจรการแสดงผลนี้ จะใช้ LED DISPLAY ในการแสดงผลของหมายเลขที่กด โดยใช้อุปกรณ์ไมโครคอนโทรลเลอร์ควบคุมวงจรในการแสดงผลเพื่อควบคุมการติดทีละหลักของ LED DISPLAY และใช้ Shift Registor ร่วมกับอุปกรณ์ถอดรหัสสัญญาณความถี่คู่ผสม (DTMF SIGNAL) เพื่อถอดรหัสเป็นรหัส 4 บิต โดยอุปกรณ์ที่ใช้ถอดรหัสนี้จะใช้ IC เบอร์ MT8870 เป็นตัวถอดรหัสสัญญาณ ดังแสดงในรูปที่ 3.15 รูปที่ 3.16 และ รูปที่ 3.17



รูปที่ 3.15 แสดงชุดควบคุมการติดของหลอด

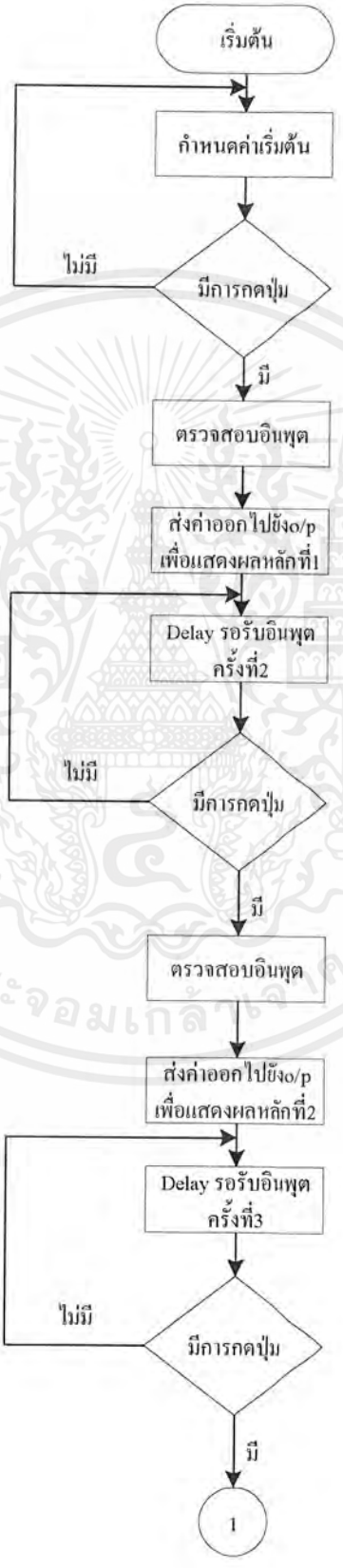


รูปที่ 3.16 แสดงชุดถอดรหัสสัญญาณความถี่คู่ผสม

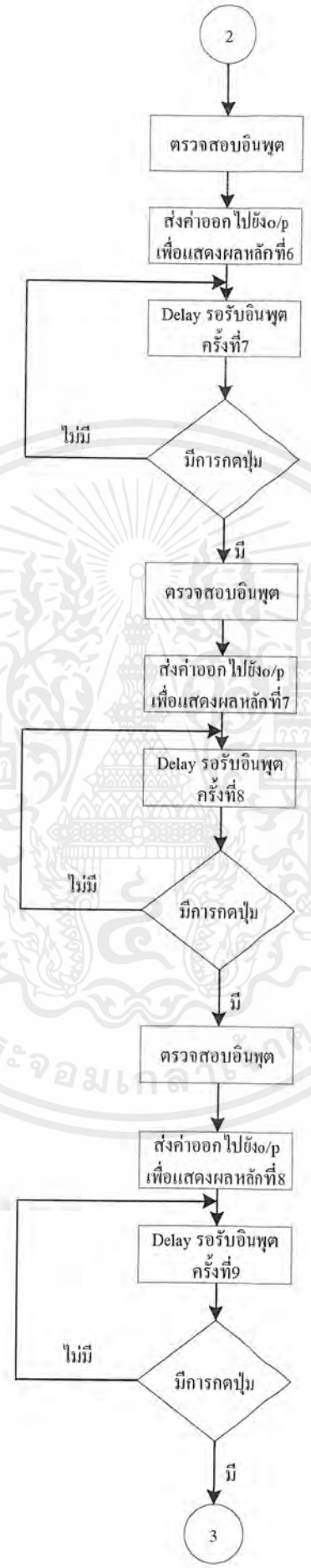


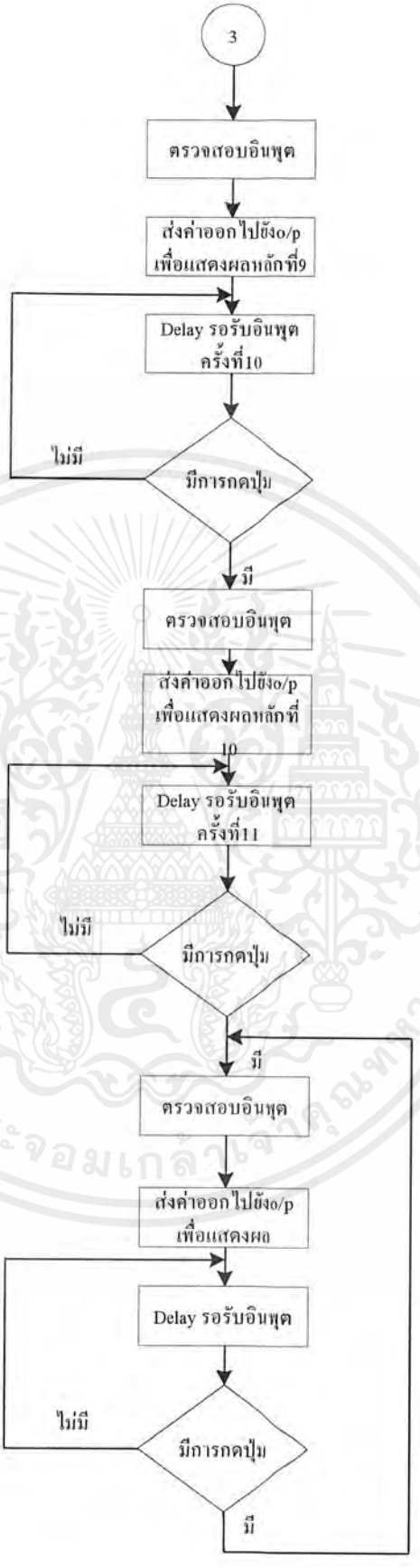
รูปที่ 3.17 วงจร 7- Segment

Flow chart แสดงการทำงานของชุดโปรแกรมควบคุมการแสดงผล



1
ตรวจสอบอินพุต
ส่งค่าออกไปยังo/p
เพื่อแสดงผลหลักที่3
Delay รอรับอินพุต
ครั้งที่4
ไม่มี
มีการกดปุ่ม
มี
ตรวจสอบอินพุต
ส่งค่าออกไปยังo/p
เพื่อแสดงผลหลักที่4
Delay รอรับอินพุต
ครั้งที่5
ไม่มี
มีการกดปุ่ม
มี
ตรวจสอบอินพุต
ส่งค่าออกไปยังo/p
เพื่อแสดงผลหลักที่5
Delay รอรับอินพุต
ครั้งที่6
ไม่มี
มีการกดปุ่ม
มี
2


2
ตรวจสอบอินพุต
ส่งค่าออกไปยังo/p
เพื่อแสดงผลหลักที่6
Delay รอรับอินพุต
ครั้งที่7
ไม่มี
มีการกดปุ่ม
มี
ตรวจสอบอินพุต
ส่งค่าออกไปยังo/p
เพื่อแสดงผลหลักที่7
Delay รอรับอินพุต
ครั้งที่8
ไม่มี
มีการกดปุ่ม
มี
ตรวจสอบอินพุต
ส่งค่าออกไปยังo/p
เพื่อแสดงผลหลักที่8
Delay รอรับอินพุต
ครั้งที่9
ไม่มี
มีการกดปุ่ม
มี
3



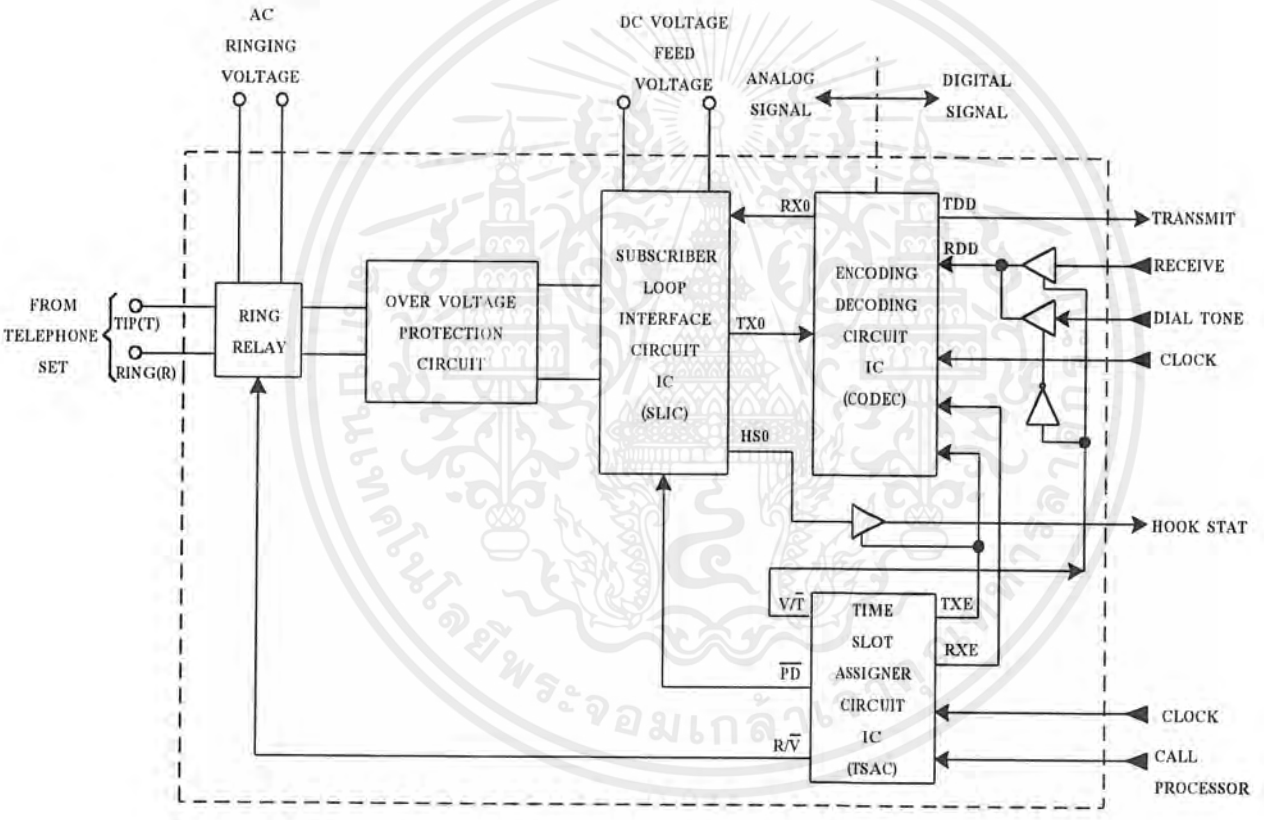
รูปที่ 3.18 แสดง FLOW CHART การเขียนโปรแกรม

3.5 ภาคการเชื่อมต่อระบบสัญญาณอนาลอก

3.5.1 ชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์ (Analog Line Interface)

เป็นวงจรที่มีอยู่ในชุมสายโทรศัพท์หรืออยู่ใน PABX มันเป็นวงจรที่ใช้ในการเชื่อมต่อแต่ละโทรศัพท์เข้าด้วยกัน และใช้ในการ Loop ไปยังส่วนของสัญญาณสวิทช์ชิ่ง และไปยังส่วนของการรับรู้และประมวลผล ซึ่งจะทำการจัดการกับชุดโทรศัพท์ และควบคุมการเชื่อมต่อระหว่างเครื่องรับโทรศัพท์

ชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์ จะทำการเปลี่ยนสัญญาณเสียงจากเครื่องรับโทรศัพท์ ที่ส่งมาเป็นสัญญาณดิจิตอล การมัลติเพล็กซ์สัญญาณแบบแบ่งคาบเวลา TDM (Time – Division Multiplexed) จะทำการรับสัญญาณมามัลติเพล็กซ์หรือดีมัลติเพล็กซ์ และทำการเปลี่ยนเป็นสัญญาณอนาลอก



รูปที่ 3.19 บล็อกไดอะแกรมของชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์

รูปที่ 3.19 เป็นบล็อกไดอะแกรมของชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์ ซึ่งประกอบด้วย 5 ส่วน คือ 1.ส่วนกำเนิดสัญญาณเสียงกริ่ง (Ring Relay) 2.ส่วนป้องกันแรงดันเกิน (Over Voltage Protection Circuit) 3. Subscriber Loop Interface Circuit (SLIC) 4. Time Slot Assigner Circuit (TSAC) 5. ส่วนของการเข้ารหัสและถอดรหัสสัญญาณ (Encode / Decoder)

ส่วนกำเนิดสัญญาณเสียงกริ่งใช้ในการจ่ายแรงดันที่เป็นสัญญาณเสียงกริ่ง ซึ่งจะทำงานที่ Logic " 1 " ที่รับมาจาก TSAC ที่ขา R / V มีสภาวะเป็น High

ส่วนป้องกันแรงดันเกิน เพื่อป้องกันผู้ใช้ โทรศัพท์ ในกรณีเกิดฟ้าฝ่า หรือการ Short กับไฟฟ้าภายในบ้านเข้าไปในสายโทรศัพท์

SLIC จะแรงดันไฟฟ้ากระแสตรงจากแบตเตอรี่ ไปยังเครื่องรับโทรศัพท์ และ ยังทำหน้าที่ในการเปลี่ยน 2 wire / 4 wire ระหว่าง 2 wire ที่ Local Loop มาเป็น 4 wire ที่ชุมสายโทรศัพท์ (Central office) คือ มันเป็นเรื่องง่ายในการเอาสัญญาณที่เป็นแบบ 4 wire มาขยาย อันเนื่องจาก ความยาวของสายและทำให้ง่ายในการทำเป็นระบบดิจิตอล ใน SLIC มีวงจร Logic ที่ใช้ในการตรวจจับกระแสในลูปซึ่งจะเป็น Logic " 1 " ส่งไปที่ HSO (Hook Status out put) ของสาย และ Logic " 0 " สำหรับในกรณีไม่มีกระแสในลูป

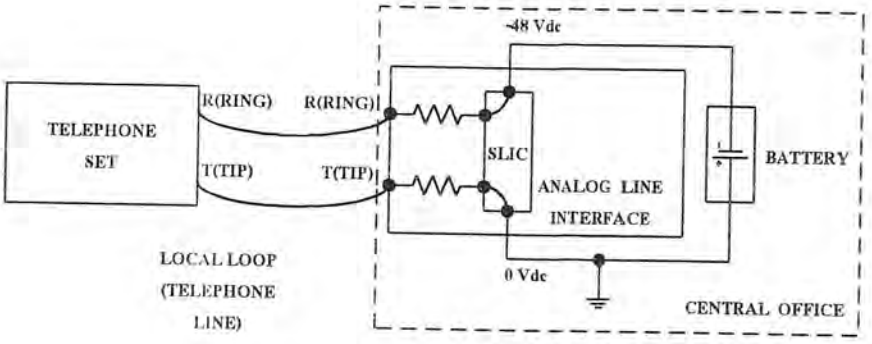
สัญญาณ HSO เป็นการมัลติเพล็กซ์ 3 สถานะของ Buffer ไปยัง ส่วนการรับรู้และประมวลผล เพื่อตัดสินใจในการเลือกแต่ละเส้นทาง

ส่วนการเข้ารหัสและถอดรหัสสัญญาณ (Codec) เพื่อใช้ในการเข้ารหัสสัญญาณอนาลอกที่รับมาไปเป็นสัญญาณดิจิตอลและส่งออกไป และทำการถอดรหัสสัญญาณดิจิตอลที่รับเข้ามาเป็นสัญญาณอนาลอก ซึ่งใช้หลักการของ PCM

PCM เป็นกระบวนการสุ่มสัญญาณ 8000 ครั้งต่อ 1 วินาที ของสัญญาณอนาลอก และทำการเข้ารหัสสัญญาณเป็นสัญญาณดิจิตอลสำหรับการส่ง ในส่วนของการรับ เพื่อทำการเปลี่ยนสัญญาณดิจิตอลกลับมาเป็นสัญญาณอนาลอก ซึ่งข้อได้เปรียบของการเข้ารหัส แบบดิจิตอล จะง่ายในการ มัลติเพล็กซ์มากกว่า การ มัลติเพล็กซ์ แบบสัญญาณที่เป็นอนาลอก ซึ่งจะนำหลักการของการมัลติเพล็กซ์สัญญาณแบบแบ่งตามเวลา TDM (Time Division Multiplex)

TSAC เป็นสัญญาณเอาท์พุตที่ส่งออกไปเพื่อทำให้เกิดการซิงค์โครไนซ์ของตัวรับและตัวส่ง ให้ตรงกับช่วงเวลาหนึ่ง ซึ่ง TSAC จะมีเอาท์พุตที่ส่งออกที่ TDE และรับเข้ามาที่ RDE ที่ส่วนของการเข้ารหัสและถอดรหัสสัญญาณ

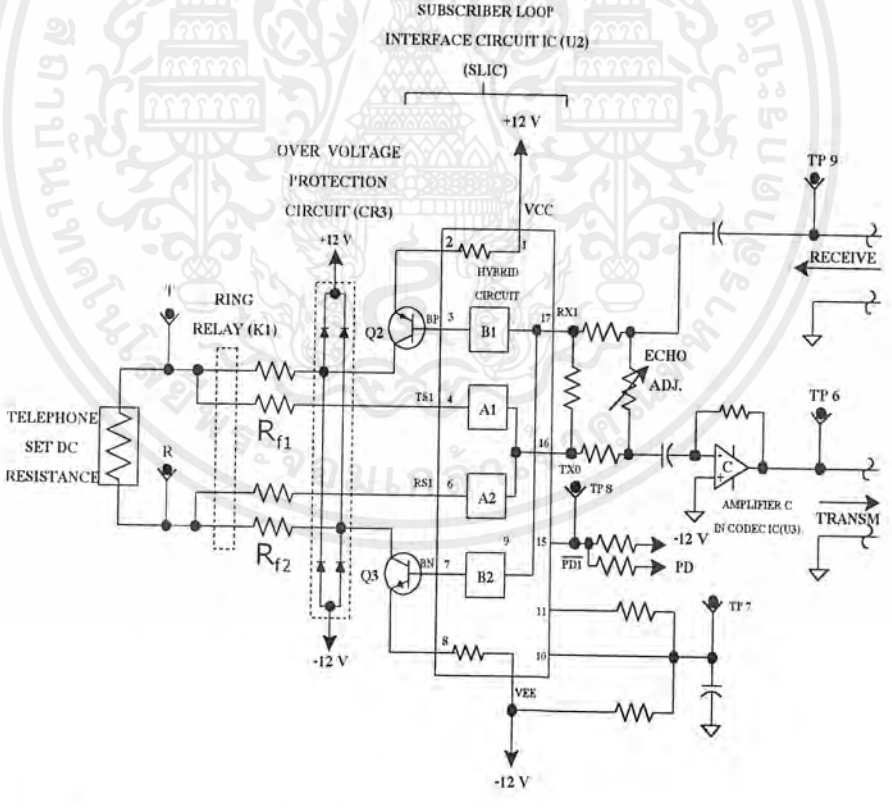
โทรศัพท์ตามบ้านจะต้องใช้ ไฟฟ้ากับอุปกรณ์อิเล็กทรอนิคส์ เพื่อใช้ในการปฏิบัติงานของเครื่องรับโทรศัพท์ซึ่งไม่ได้เชื่อมต่อกับไฟฟ้าในบ้านโดยตรง แต่จะใช้กับแบตเตอรี่ ที่อยู่ในชุมสายโทรศัพท์ ที่แสดงในรูปที่ 3 .20



รูปที่ 3.20 แสดงการเชื่อมต่อของแบตเตอรี่ที่ชุมสายโทรศัพท์กับเครื่องรับโทรศัพท์

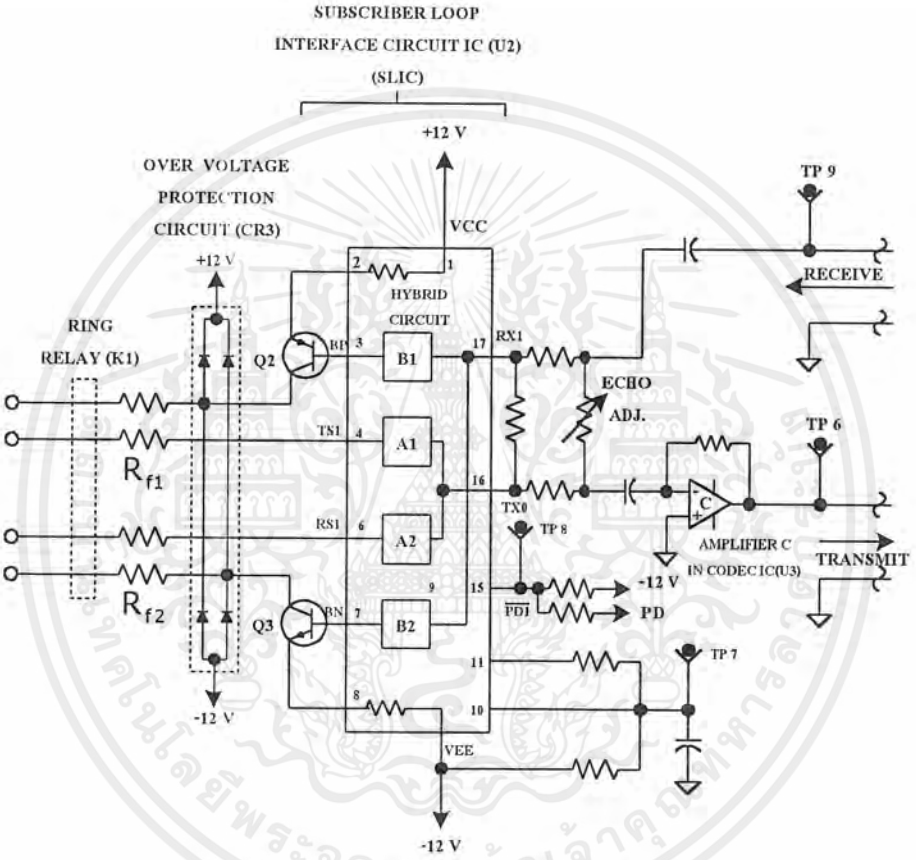
ขั้วแบตเตอรี่ จะเชื่อมต่อกับ SLIC ของชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์และเชื่อมต่อกับเครื่องรับโทรศัพท์ ในการหลีกเลี่ยงการใช้ไฟบวก เพราะว่าสายที่อยู่ด้านนอกจะมีความชื้นและทองแดงของสาย จะทำให้เกิดการสูญเสีย อันเนื่องจากการแยกสารประกอบโดยไฟฟ้า ซึ่งเมื่อยกหูโทรศัพท์จะมีกระแสในลูปไหลประมาณ 20 ถึง 80 mA(dc)

ถ้าขั้วทิป (Tip) และริง (Ring) เกิดการ Short กันจะมีกระแสไม่เกิน 120 mA(dc) โดยที่ค่าความต้านทานที่ใช้งานจริงประมาณ 400Ω ซึ่งสามารถมีค่าความต้านทานสูงถึง 1.3 KΩ ขึ้นอยู่กับความยาวสาย



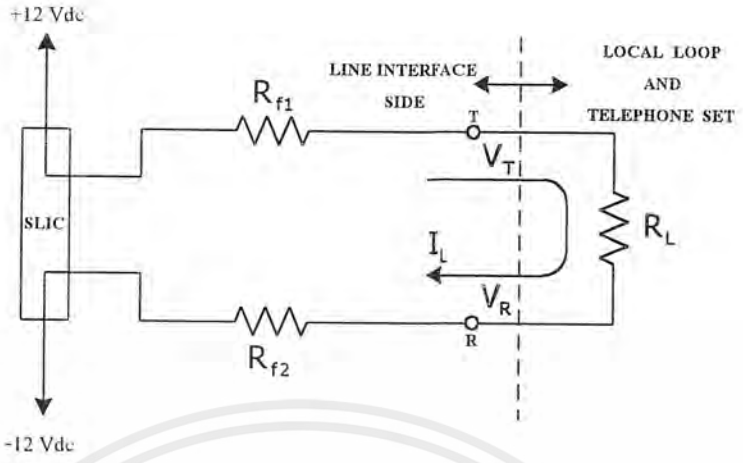
รูปที่ 3.21 แสดงกระแสไหลในวงจรชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์

รูปที่ 3.21 แสดงกระแสไหลของวงจรชุดเชื่อมต่อระหว่างเครื่องรับ โดยใช้เป็นแรงดันไฟฟ้ากระแสตรง ± 12 โวลต์ (ปกติจะใช้ – 48 โวลต์) เพื่อให้เกิดความปลอดภัย กระแสที่ไหลจากแบตเตอรี่ 12 V มาที่ SLIC ที่ขา E และขา C ของ Q 2 คือค่าความต้านทานไปยังสายโทรศัพท์และ RF2 ของสายโทรศัพท์มีค่าความต้านทานที่ขา C และ E ของ Q3 ที่ SLIC จะต่อกับ – 12 V ซึ่งปกติกระแสในลูป(IL) จะมีค่า 60 mA ค่าความต้านทาน RF1 และ RF2 เป็นค่าความต้านทานของวงจรชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์



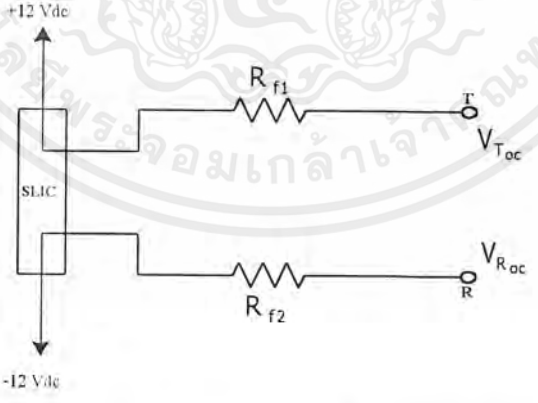
รูปที่ 3.22 แสดงวงจรการป้องกัน Over Voltage

รูปที่ 3 .22 แสดงส่วนของวงจรป้องกันแรงดันเกินของชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์ ซึ่งเป็นตัวป้องกันคนและอุปกรณ์ ป้องกันช่วงทรานส์เชี้ยน (Transient) CR3 จะทำหน้าที่แรงดันทรานส์เชี้ยนสูงที่นอกเหนือจาก ± 12 Vdc



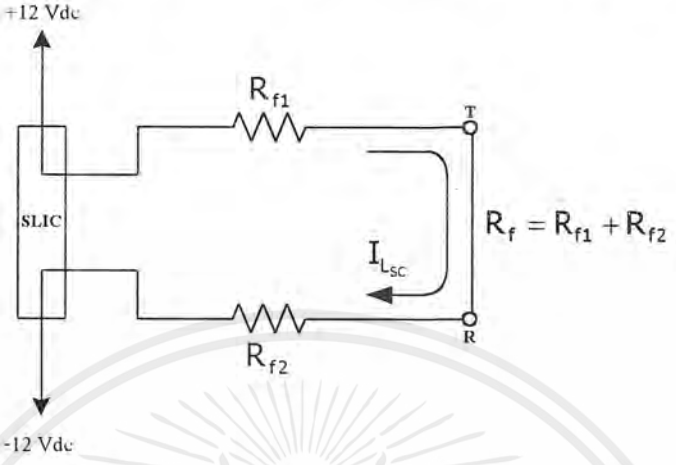
รูปที่ 3.23 แสดงวงจรสมมูลย์สภาวะฮุคออฟ

รูปที่ 3.23 แสดงวงจรสมมูลย์ ของแหล่งจ่าย และชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์ (Analog Line Interface) กับเครื่องรับโทรศัพท์ ซึ่งวงจรสมมูลย์จะช่วยให้เราเข้าใจ แรงดัน ค่าความต้านทาน และกระแสที่มาเกี่ยวข้องของแหล่งจ่ายโดยที่ ค่า R1 เป็นค่าความต้านทานสมมูลย์ของวงจรเครื่องรับโทรศัพท์ กระแสในลูปจะแทนด้วย IL แรงดันที่สายทิป คือ (VT) และแรงดันที่สายริง คือ (VR) ซึ่งเป็นแรงดันขณะเปิด วงจรในชุดฝึก แรงดันขณะเปิดวงจร VT และ VR จะอยู่ในสถานะปกติที่ 5 Vcd และ – 2.6 Vcd ผลรวม 7.6 Vdc กระแสในลูป (IL) ที่อยู่ในชุดฝึกนี้ ปกติจะมีค่า 65 mA โดยที่ ค่าความต้านทาน RF1 , RF2 เป็นแรงดันตกคร่อมในชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์ (Analog Line Interface)



รูปที่ 3.24 แสดงวงจรสมมูลย์ในสภาวะออนฮุค

รูปที่ 3.24 เป็นการแสดงวงจรสมมูลย์ในสภาวะออนสุด (Open Circuit Connection) จะไม่มีกระแสไหล และที่ VT และ VR จะมีค่าแรงดันน้อยกว่าแรงดันที่ SLIC ที่มีค่าการสูญเสียในชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์ (Analog Line Interface) จะมีค่าประมาณ 10.5 Vdc และ – 10.5 Vdc



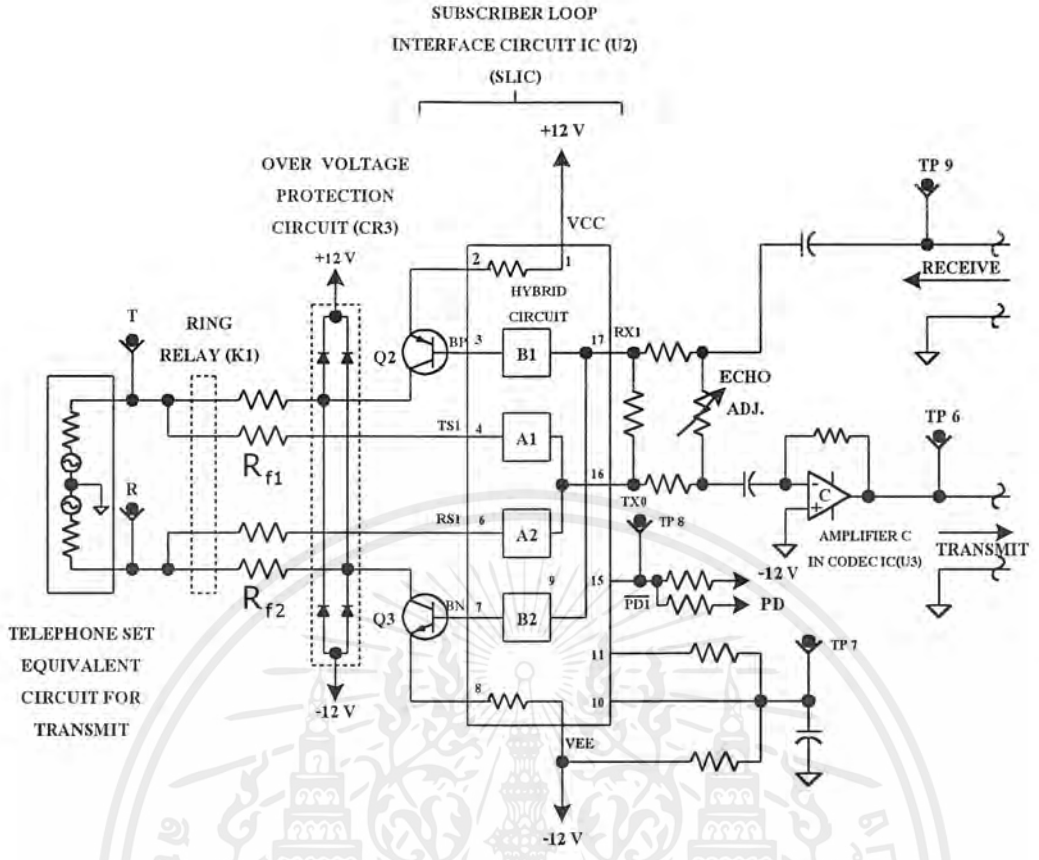
รูปที่ 3.25แสดงวงจรสมมูลย์ในกรณีที่เกิดอุบัติเหตุ(การ Shot)

รูปที่ 3.25 เป็นการแสดงวงจรสมมูลย์ในกรณีที่เกิดอุบัติเหตุ ทำให้เกิดการ Short RF1 และ RF2 จะเป็นตัวจำกัดกระแส (ILSC) ในกรณี Shorและเป็นตัวป้องกันแหล่งจ่ายไฟ การวัดกระแส Shor(ILSC) จะเป็นการวัดรวม คือ RF = RF1 + RF2 สามารถคำนวณได้จาก

$R = RF$, $V = (12 - (- 12)) = 24$, $I = I_{LSC}$

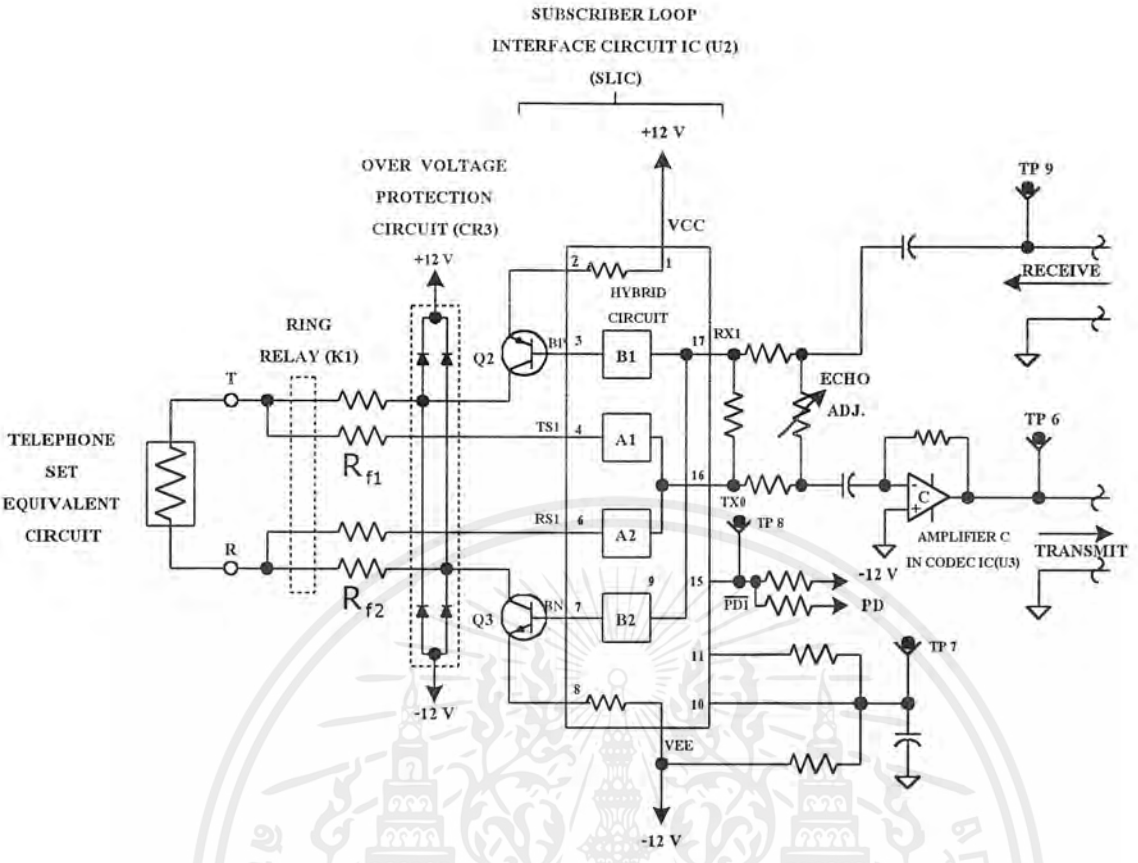
$\therefore RF = \frac{24}{I_{LSC}}$

ส่วนของวงจรไฮบริดจ์ ใช้ในการเปลี่ยน 2 wire คือในการเชื่อมต่อ แบบ 2 wire จะทำให้ค่าใช้จ่ายลดลงในกรณีที่ Local Loop ระยะทางไกลมาก



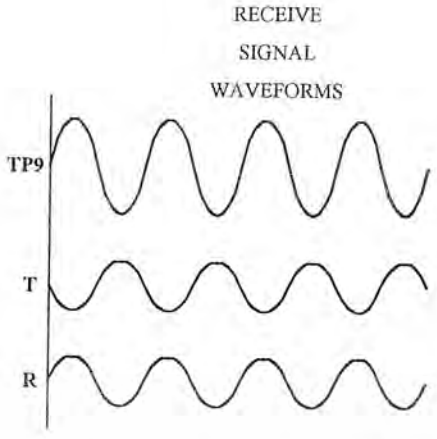
รูปที่ 3.26 แสดงการเชื่อมต่อกับเครื่องรับโทรศัพท์

ในรูปที่ 3.26 ในการใช้การเชื่อมโยงแบบ 2 wire จะมี Local Carries จะทำให้เกิดการสมดุลย์ของสัญญาณรับและสัญญาณส่ง คือว่าสายทิป (Tip) และริง (Ring) จะมีเฟสต่างกัน 180 $^{\circ}$ วงจร 4 wire จะประกอบด้วยสายรับสัญญาณและสายส่งสัญญาณปกติจะใช้วงจรระหว่างชุมสายโทรศัพท์ในการแยกตัวรับและตัวส่ง เพื่อจะได้ขยายอันเนื่องมาจากความยาวของสาย ซึ่งการแยกกันจะเป็นผลดี ในการส่งแบบดิจิตอล



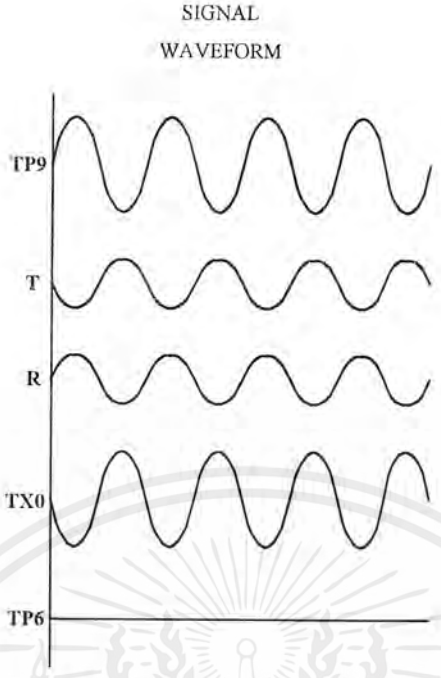
รูปที่ 3.27 แสดงวงจรไฮบริดจ์ของชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์

รูปที่ 3.27 จะแสดงว่าสัญญาณที่ส่งจากเครื่องรับโทรศัพท์ไปยังวงจรไฮบริดจ์ วงจรไฮบริดจ์จะอยู่ในชุด SLIC ซึ่งสายริงจะถูกขยายโดย A2 และมาทำการบวกกับสัญญาณที่สายทิปที่ถูกขยายโดย A2 (เป็นการบวกทางเฟส) ซึ่งการบวกกันของสองสัญญาณจะเรียกว่า Single Ending ซึ่งสัญญาณ Single Ended Signal จะอยู่ที่เอาท์พุตที่ TXO และจะถูกขยายโดย C และให้เอาท์พุตออกที่ TP6 และจะทำการเข้ารหัส ซึ่งสัญญาณที่ TP6 จะต่างเฟสกัน 180° กับ TXO



รูปที่ 3.28 แสดงสภาวะของสัญญาณที่รับมาจาก Codec

รูปที่ 3.28 เป็นการแสดงการรับสัญญาณที่มาจากเครื่องรับโทรศัพท์เข้าไปในส่วนการเข้ารหัสและถอดรหัสสัญญาณ (Codec) ซึ่งจะเป็นอินพุตที่ TP9 และสัญญาณที่ TP9 จะถูกแยกออกเมื่อผ่านวงจรไฮบริดจ์ของ SLIC โดยที่สัญญาณที่ทิป จะมีขนาดเป็นครึ่งหนึ่งของแอมพลิจูดของสัญญาณที่ TP9 และจะมีเฟสต่างกัน 180° สัญญาณของสายทิปและสายริง ที่ได้รับมาจาก TP9 จะไม่ใช้ในการส่งสัญญาณเพียงอย่างเดียวแต่จะถูกขยายโดย A1 และ A2 สามารถวัดเอาท์พุตได้ที่ TP9 การป้อนกลับจะเป็นสาเหตุของการเกิดเอคโคร์ซึ่งเป็นสิ่งที่ไม่ต้องการ และทำให้ผู้ใช้โทรศัพท์อาจได้ยินเสียงล่าช้า สัญญาณที่เกิดเอคโคร์สามารถป้องกันได้ โดยที่แสดงในรูปที่ 3 .29

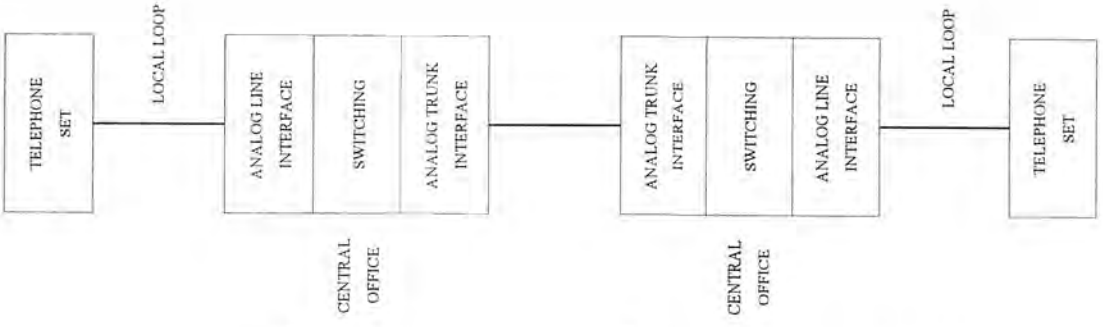


รูปที่ 3.29 แสดงสภาวะการหักล้างกันทางเฟสเพื่อลด Echo

สัญญาณที่รับมาจาก TP9 จะมีเฟสต่างกัน 180° กับสัญญาณเอคโคร์ที่เกิดขึ้นที่ TXO สัญญาณเอคโคร์จะถูกกำจัดโดยการบวกส่วนที่รับมาจาก TP9 จะมีแอมพลิจูดเท่ากันแต่เฟสต่างกัน180° ซึ่งจะเท่ากับสัญญาณเอคโคร์ทำให้เกิดการหักล้างกัน สัญญาณเอคโคร์สามารถปรับได้โดยใช้ Potentionmeter ควบคุมการขยายและการกำจัดจาก TP9 มันเป็นการปรับขนาดของแอมพลิจูดของการป้อนกลับซึ่งอยู่กับความยาวของสายโทรศัพท์

3.5.2 ชุดเชื่อมต่อระหว่างชุมสายโทรศัพท์ (Analog Trunk Interface)

ชุดดูเพล็กเซอร์ คือการกลับจาก 2 wire เป็น 4 wire บล็อกไดอะแกรมของชุดเชื่อมต่อระหว่างชุมสายโทรศัพท์ดังแสดงในรูปที่ 3.30



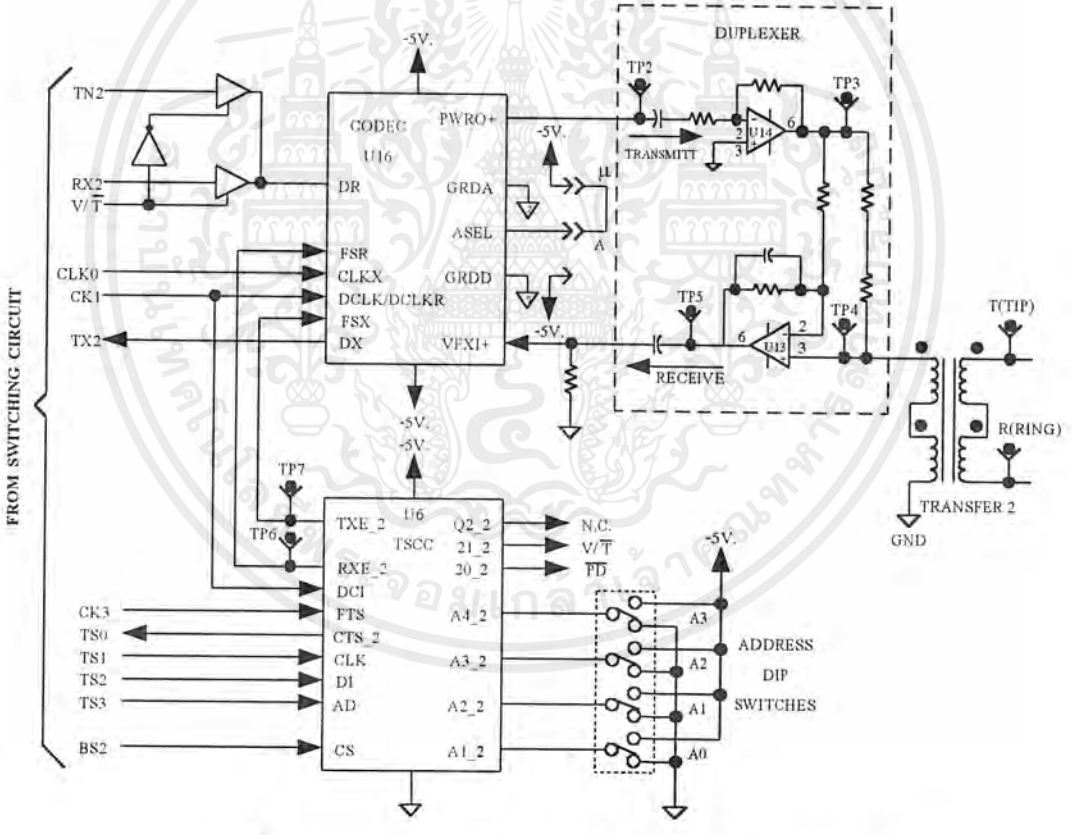
รูปที่ 3.30 บล็อกไดอะแกรมของชุดเชื่อมต่อระหว่างชุมสายโทรศัพท์

วงจรเสียงพูดผ่านของชุดเชื่อมต่อระหว่างชุมสายโทรศัพท์ ประกอบด้วยส่วนการเข้ารหัสและถอดรหัสสัญญาณ (U16) , TSAC (U6) , คูเพล็กเซอร์ (U13) และ (U14) , หม้อแปลงไฟฟ้าส่วนการเข้ารหัสและถอดรหัสและถอดรหัสสัญญาณ และ TSAC จะกระทำตัวเปลี่ยนแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

การกระทำงานของส่วนการเข้ารหัสและถอดรหัสสัญญาณ และ TSAC จะมีลักษณะเหมือนกับชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์

คูเพล็กเซอร์และหม้อแปลง จะกระทำตัวเปลี่ยน 2 wire / 4 wire ระหว่างส่วนการเข้ารหัสและถอดรหัสสัญญาณ และการทำให้เกิดความสมดุลย์ของสาย

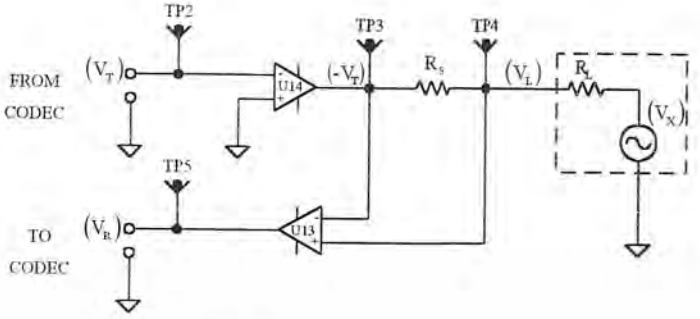
การเชื่อมต่อ PABX ไปที่ชุมสายโทรศัพท์ ประกอบด้วย จะใช้ 2 wire (ในกรณีระยะทางไม่ไกล) ถ้าระยะทางระหว่างชุมสายโทรศัพท์กับชุมสายโทรศัพท์มีระยะไกลจะใช้การเชื่อมต่อแบบ 4 wire (เป็นการแยกกันระหว่างตัวรับและตัวส่ง) เมื่อชุดเชื่อมต่อระหว่างชุมสายโทรศัพท์เชื่อมต่อแบบ 4 wire การเปลี่ยน 2 wire / 4 wire โดยอาศัยชุดคูเพล็กเซอร์และหม้อแปลงเป็นตัวกำจัดสิ่งที่ไม่ต้องการ



รูปที่ 3.31 วงจรเสียงพูดผ่านของชุดเชื่อมต่อระหว่างชุมสายโทรศัพท์

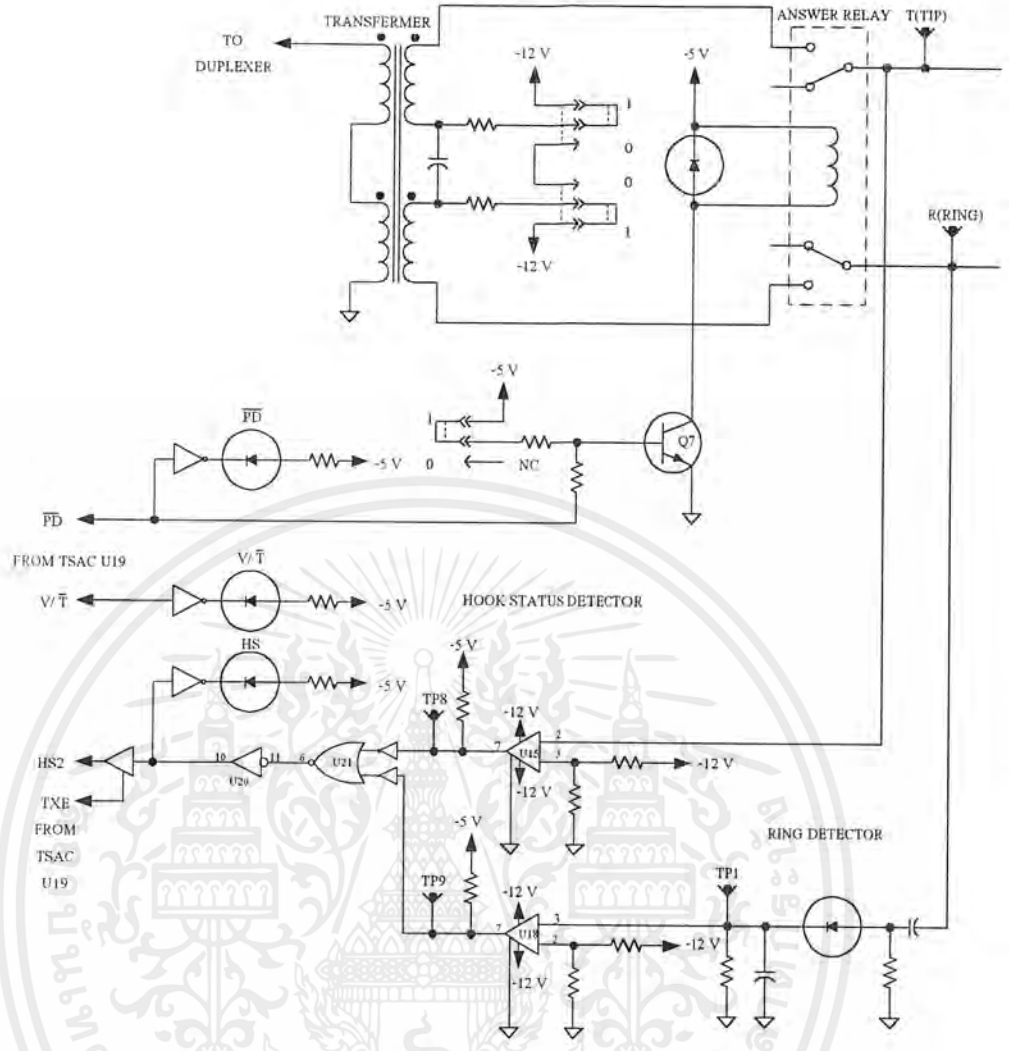
ในรูปที่ 3.31 คูเพล็กเซอร์ประกอบด้วยหน้าที่ 2 อย่าง คือ ทำการขยาย ที่ไอซี U13 และไอซี U14 และส่วนของการเข้ารหัสและถอดรหัสสัญญาณ จะทำการรับส่งสัญญาณเพื่อแยกสัญญาณ ซึ่งสัญญาณส่ง

อยู่ที่ TP2 และ GND , สัญญาณที่รับอยู่ที่ TP5 และ GND ในส่วนของหม้อแปลง จะทำหน้าที่รวมสัญญาณเป็น 2 wier อยู่ที่ TPA และ GND



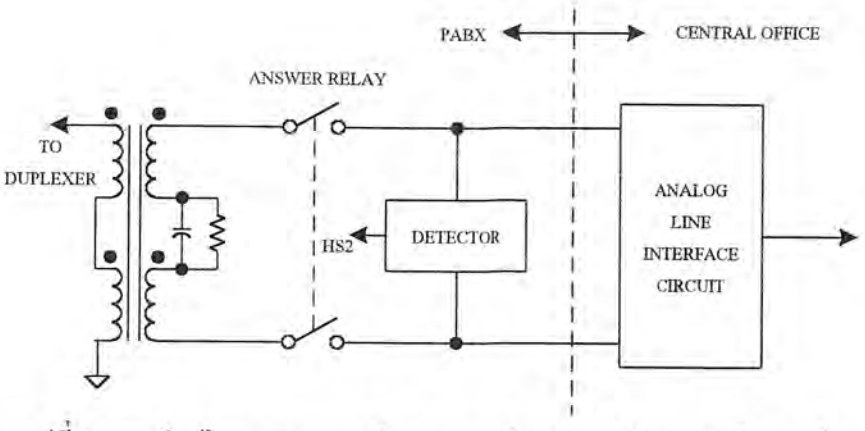
รูปที่ 3.32 วงจรสมมูลย์ของชุดดูเพล็กเซอร์

ในรูปที่ 3.32 แสดงวงจรสมมูลย์ของชุดดูเพล็กเซอร์ โดยที่มีการขยายที่ไอซี U14 ทั้งด้านรับและส่งจะได้สัญญาณจากชุดเข้ารหัสและถอดรหัสสัญญาณ เป็นการขยายแบบ Inverting ที่มีอัตราขยายเท่ากับ 1 สัญญาณที่ส่งเข้าจะอยู่ที่ TP2 และสัญญาณส่งออกจะอยู่ที่ TP3 สัญญาณที่ส่งที่ TP3 และ TP4 จะมีการป้อนกลับมาที่ตัวรับสัญญาณขยายโดยไอซี U13และเป็นสาเหตุของสัญญาณ เอคโคร์ (echo) TP3 เป็นจุดเชื่อมต่อที่เป็นการขยายแบบ Inverting ที่เป็นสัญญาณอินพุตของไอซี U13 ซึ่งมีอัตราการขยายเป็น " 1 " ในทางอุดมคติ (Ideally) R-Source (RS) ควรมีค่าเท่ากับ R-Load (RL) ดังนั้นสัญญาณที่ส่งออกที่ TP4 จะมี แอมพลิจูดเป็นแค่ครึ่งหนึ่ง จาก TP3 (นี้เป็นการป้องกันสัญญาณเอคโคร์จากสัญญาณที่รับมาของไอซีU13 ที่ TP3 และ TP4 จะทำหน้าที่กำจัดสัญญาณเอคโคร์อื่น ๆ หม้อแปลงจะทำหน้าที่เปลี่ยนจาก 4 wire ไปเป็น 2 wire จากสัญญาณที่ได้จาก TP4 โดยที่สัญญาณที่สายทิป จะมีเฟสเดียวกันกับ TP4 และในส่วนของสัญญาณที่สายริงจะต่างเฟสกัน 180 องศากับ TP4 (เพราะหม้อแปลงจะเป็นตัวกำหนดคุณสมบัติ) ในส่วนของสายทิปและสายริงจะมี แอมพลิจูด 10% ของ TP4 ถ้าในกรณีที่ RS และ RL มีค่าเท่ากัน แอมพลิจูดของสัญญาณที่รับได้ที่ TP4 (VL) จะมีค่าเป็นครึ่งหนึ่งของแอมพลิจูดที่แหล่งจ่าย (VX) สัญญาณเอาท์พุต (VR) มีการขยายโดยไอซี U13 ที่ TP5 จะมีค่าเท่ากับแอมพลิจูดจากแหล่งจ่าย (VX) เพราะเป็นวงจร Inverting มีอัตราขยายเท่ากัน " 2 "



รูปที่ 3.33 วงจรของชุดเชื่อมต่อระหว่างชุมสายโทรศัพท์

ในรูปที่ 3.33 จะแสดงวงจรของชุดเชื่อมต่อระหว่างชุมสายโทรศัพท์ ในวงจรประกอบด้วยตัวตรวจจับสถานะการยกหู , ส่วนการตรวจจับสัญญาณเสียงกริ่ง และรีเลย์ตอบรับ ส่วนการตรวจจับสถานะการยกหูเป็นการตรวจจับการกระแสในลูป ซึ่งเมื่อมีกระแสไหลในลูป แรงดันที่สายทิปจะลดลง จาก 10 Vdc เป็น 7 Vdc และเป็นสัญญาณเปรียบเทียบที่ไอซี U15 O/P จะให้เอาท์พุตสถานะ " 0 " ที่ TP8 ส่งไปยังไอซี U21 และไอซี U21 - 6 จะมีเอาท์พุตเป็น " 0 " ด้วย และที่ไอซี U20 – 10 จะมี logic " 1 " ซึ่งจะเป็นการแสดงสถานะการยกหูโทรศัพท์ ส่วนการตรวจจับสัญญาณเสียงกริ่งจะแปลงสัญญาณเสียงกริ่งที่เป็นแรงดันไฟฟ้ากระแสสลับเป็น 1 Vdc ที่ TP1 ใช้เปรียบเทียบกับไอซี U18 และผลการเปรียบเทียบ จะมีเอาท์พุตสถานะเป็น " 0 " และส่งไปที่ไอซี U21 – 5 เพื่อให้เป็นตัวเปรียบเทียบกับสถานะการยกหู ส่วนรีเลย์ตอบรับจะทำหน้าที่เหมือนสุดสวิทช์ ในเครื่องรับโทรศัพท์



รูปที่ 3.34 บล็อกไดอะแกรมของสัญญาณระหว่าง PABX กับชุมสายโทรศัพท์

บล็อกไดอะแกรม สำหรับสัญญาณระหว่าง PABX กับชุมสายโทรศัพท์จะแสดงในรูปที่ 3.34 PABX เริ่มเรียกโดยการ ปิดสวิทช์ที่รีเลย์ตอบรับ (เทียบเท่ากับการใช้ฮุคสวิทช์ของโทรศัพท์) ซึ่งเป็นสาเหตุที่ทำให้เกิดการไหลของกระแสในลูป และจะถูกตรวจจับได้โดยวงจรตอบสนองการยกหู (Hook Status Logic Circuit) ในชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์

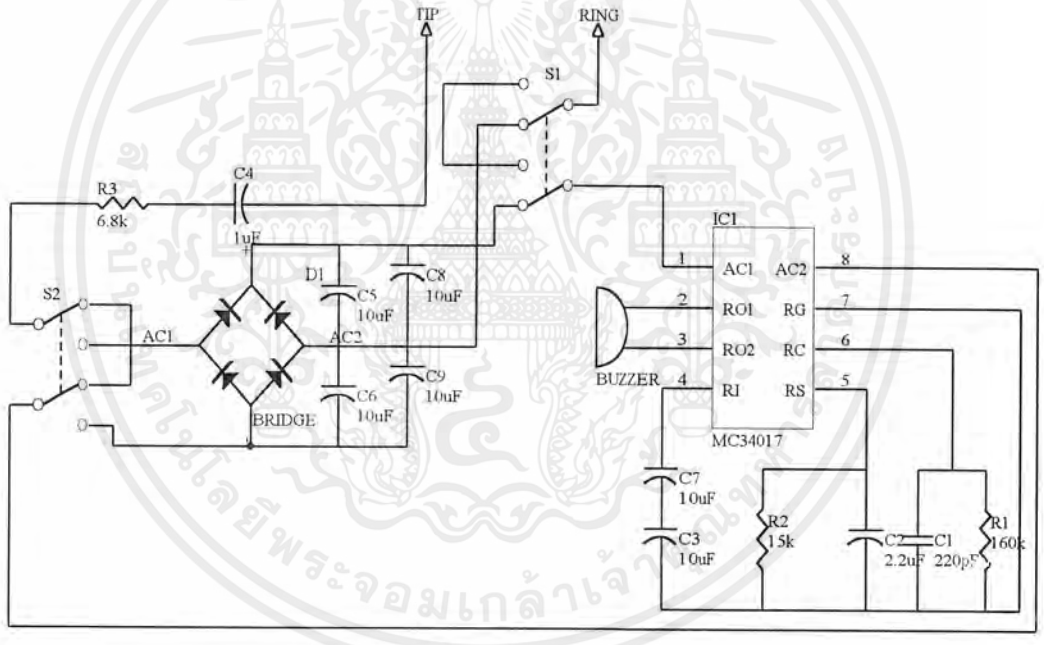
ชุดเชื่อมต่อระหว่างเครื่องรับโทรศัพท์จะจับสถานะการยกหู เมื่อมี Logic " 1 " ซึ่งจะเป็นตัวแจ้งให้ชุมสายโทรศัพท์ และจะเรียกไปยังส่วนการรับรู้และประมวลผลว่ามีการเรียกมาจาก PABX ชุดตรวจจับสถานะการยกหูจะตรวจจับการไหลของกระแสในลูปและให้สถานะเป็น " 1 " เป็นการแสดงสถานะการทำงานของชุดเชื่อมต่อระหว่างชุมสายโทรศัพท์

บทที่ 4

การทดลองและผลการทดลอง

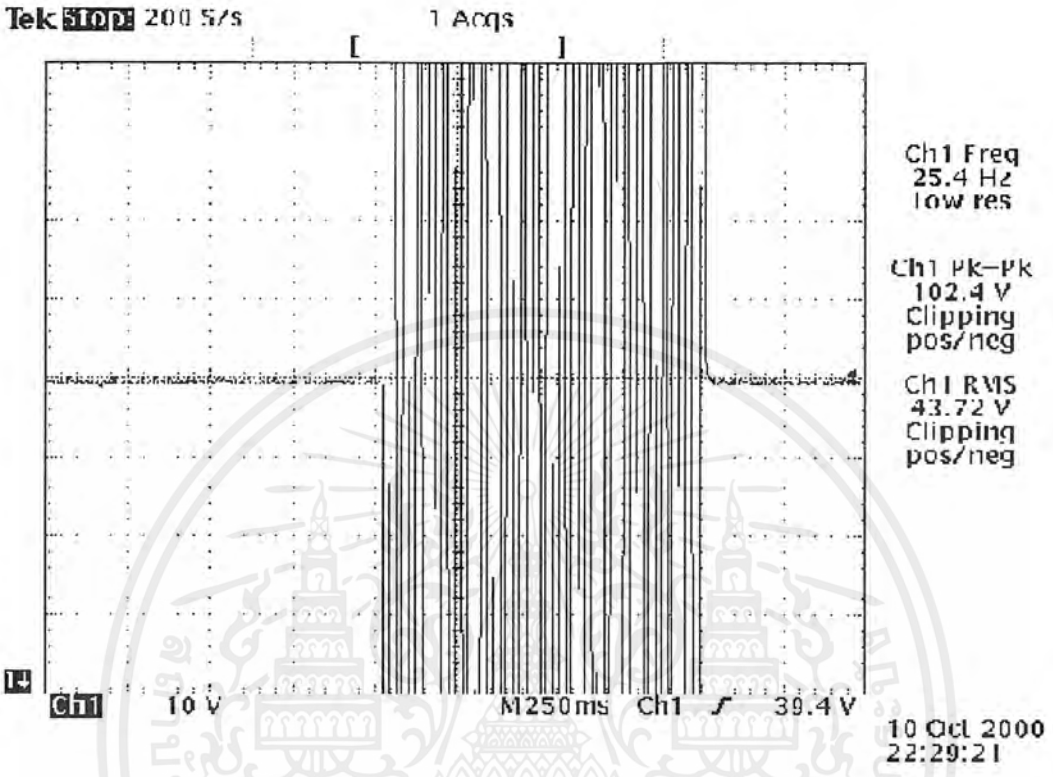
4.1 ส่วนของวงจรสัญญาณเสียงกริ่ง (Ringer Circuit)

จากการต่อวงจรสัญญาณเสียงกริ่งดังแสดงในรูปที่ 4.1 และป้อนอินพุตเป็นสัญญาณเสียงกริ่งให้กับวงจรแล้วทำการวัดสัญญาณที่จุดต่างๆได้ดังนี้



รูปที่ 4.1 แสดงวงจรสัญญาณเสียงกริ่ง

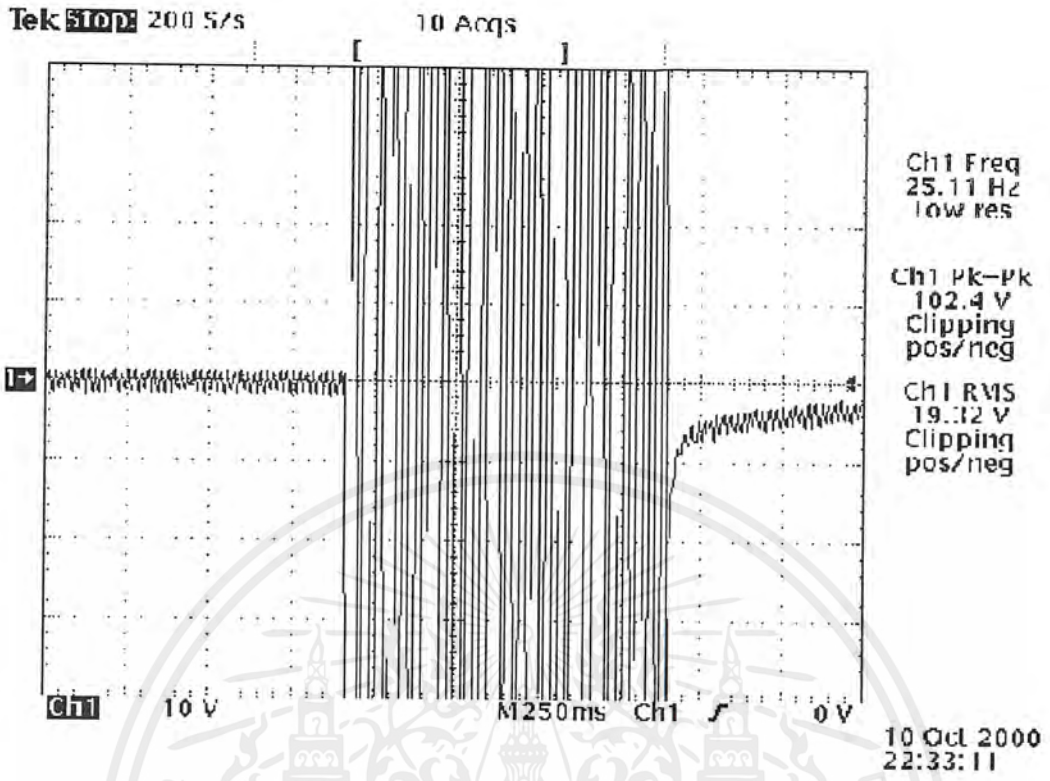
4.1.1 สัญญาณเสียงกริ่งที่วัดได้ระหว่างสายทิปและสายริง



รูปที่ 4.2 แสดงสัญญาณที่วัดได้จากสายทิปและสายริง

4.1.2 สัญญาณที่วัดได้ที่ไดโอดบริดจ์ (AC1 และ AC2)

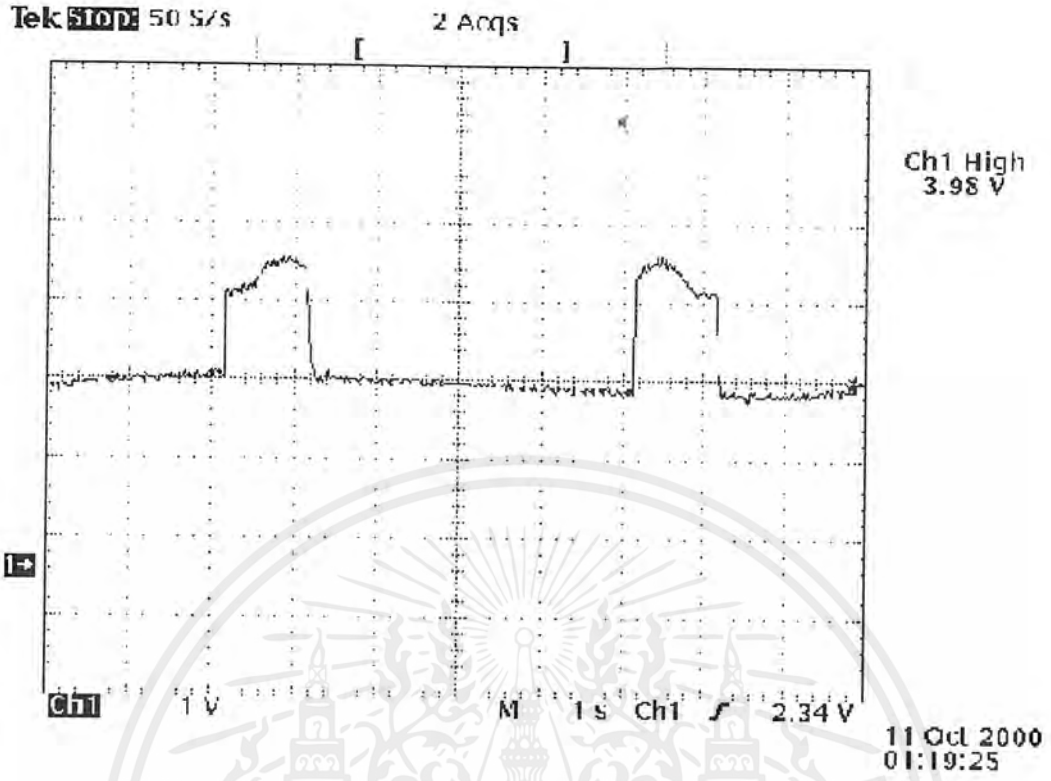
เมื่อทำการวัดสัญญาณเสียงกริ่งที่ผ่านตัวเก็บประจุC3 ซึ่งจะเป็นตัวป้องกันไม่ให้สัญญาณไฟฟ้ากระแสตรงผ่านไปได้ จึงเหลือแต่สัญญาณที่เป็นไฟฟ้ากระแสสลับ ดังแสดงในรูปที่ 4.3



รูปที่ 4.3 แสดงสัญญาณที่วัดได้ที่ไดโอดบริดจ์ (AC1 และ AC2)

4.1.3 สัญญาณที่วัดได้ที่ขา4 และ7

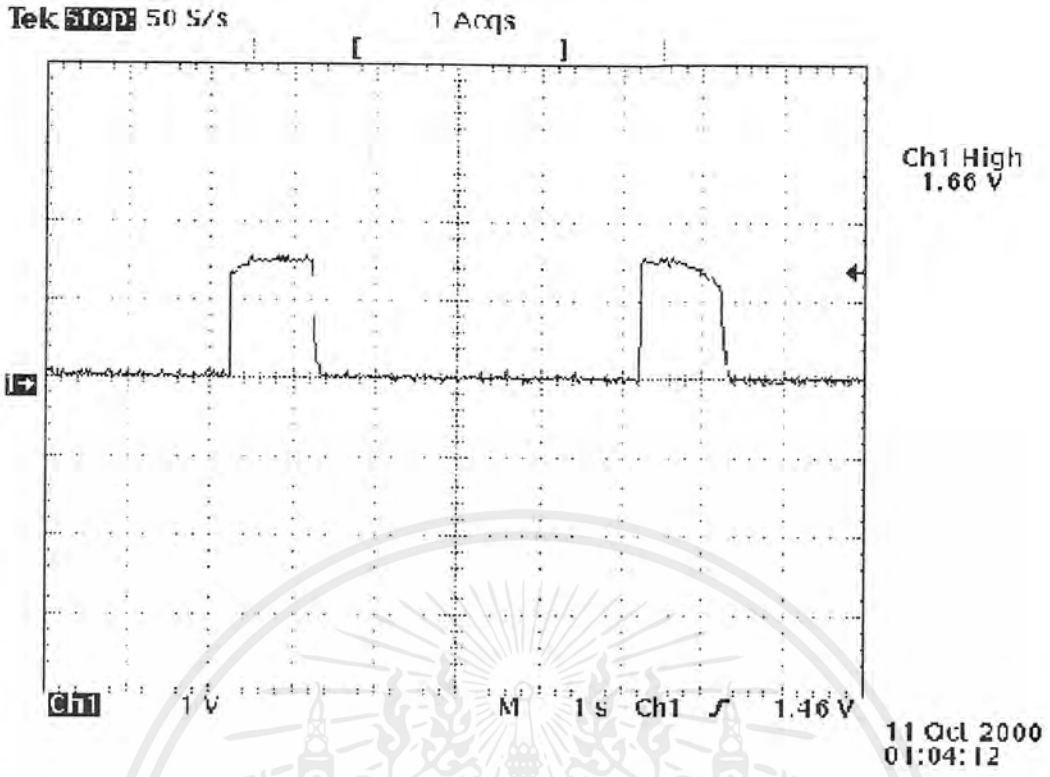
เมื่อทำการวัดสัญญาณที่ออกจากขาที่ 4 และขาที่ 7 ของตัวไอซี ในขณะที่มีสัญญาณเสียงกริ่งเข้ามา ซึ่งเป็นสัญญาณไฟฟ้ากระแสตรงสำหรับใช้เป็นไฟเลี้ยงวงจรภายในตัวไอซี ดังแสดงในรูปที่ 4.4



รูปที่ 4.4 แสดงสัญญาณที่วัดได้ที่ขา 4 และ ขา 7

4.1.4 สัญญาณที่วัดได้ที่ขา 5 และขา 7

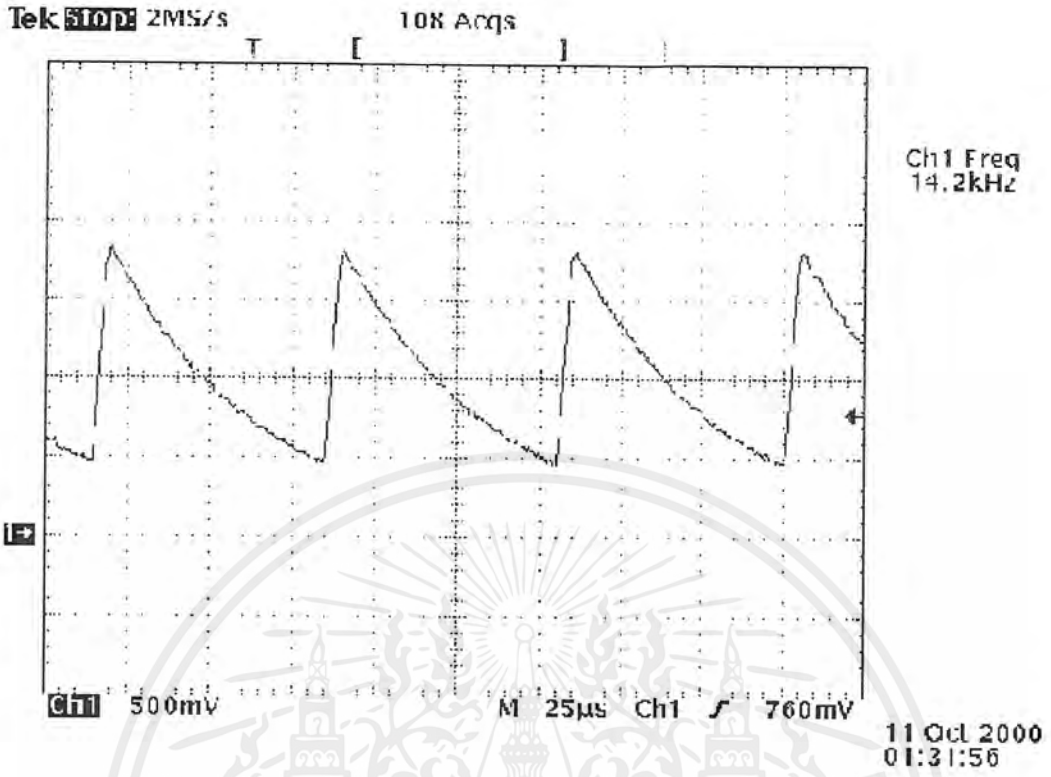
เมื่อทำการวัดสัญญาณที่ออกจากขาที่ 5 และขาที่ 7 ของตัวไอซี ในขณะที่มีสัญญาณเสียงกริ่งเข้ามา ซึ่งเป็นสัญญาณไฟฟ้ากระแสตรงที่ออกจากภาคของ current mirror ภายในตัวไอซี ซึ่งจะใช้เป็นตัวเปรียบเทียบกับแรงดันอ้างอิงในภาคของ threshold comparator



รูปที่ 4.5 แสดงสัญญาณที่วัดได้ที่ขา5 และ ขา 7

4.1.5 สัญญาณที่วัดได้ที่ขา 6 และขา 7

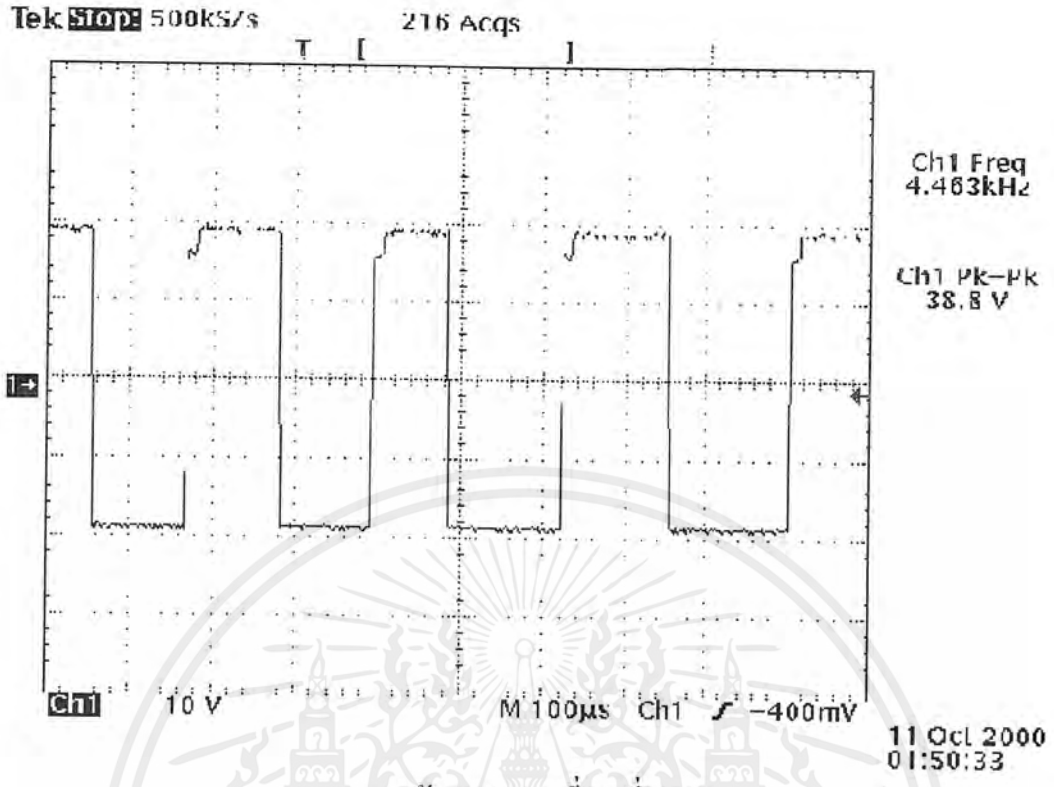
เมื่อทำการวัดสัญญาณที่ออกจากขาที่ 6 และขาที่ 7 ของตัวไอซี ในขณะที่มีสัญญาณเสียงกริ่งเข้ามา ได้สัญญาณดังรูปที่ 4.6



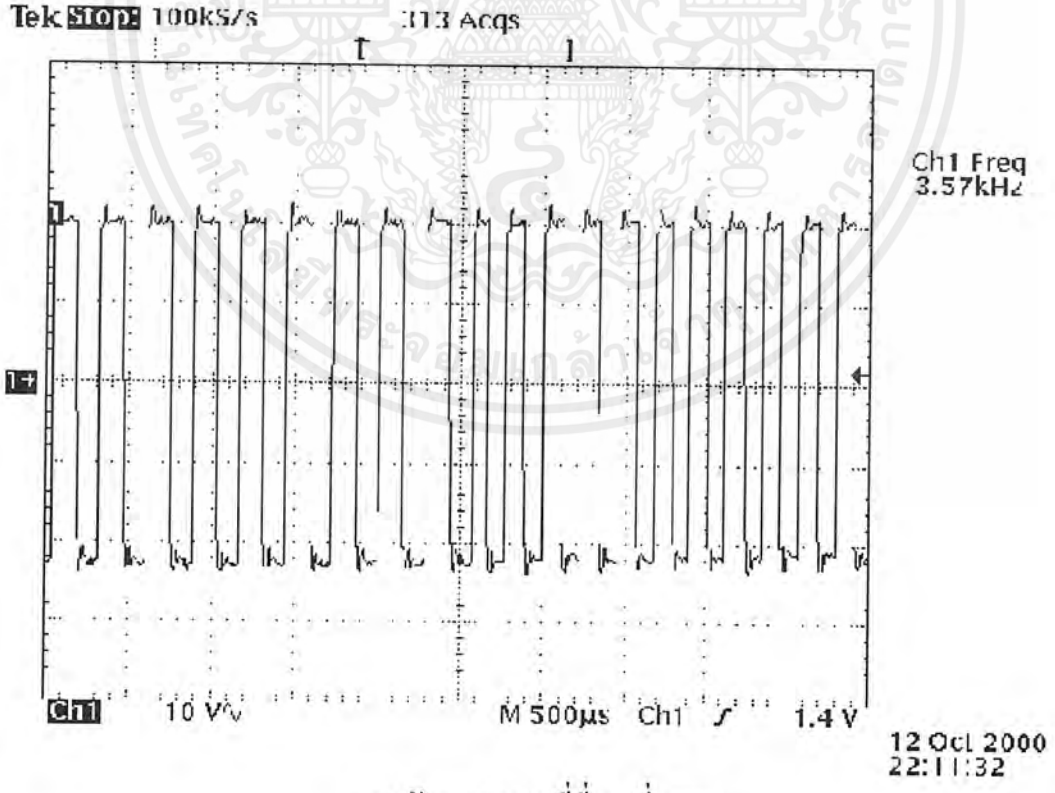
รูปที่ 4.6 แสดงสัญญาณที่วัดได้ที่ขา 6 และขา 7

4.1.6 สัญญาณที่วัดได้ที่ขา 2 และขา 3

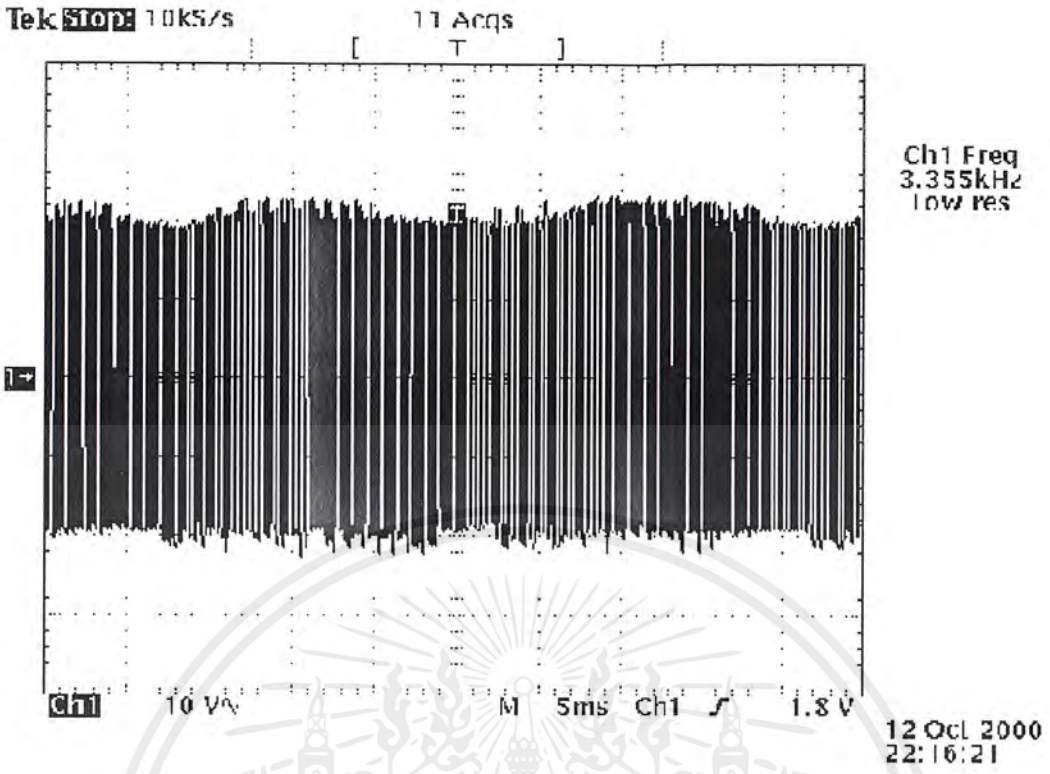
เมื่อทำการวัดสัญญาณที่ออกจากขาที่ 2 และขาที่ 3 ของตัวไอซี ในขณะที่มีสัญญาณเสียงกริ่งเข้ามา ซึ่งสัญญาณที่จุดนี้จะเป็นสัญญาณที่ใช้ขับให้ทรานสดิวเซอร์กำเนิดเสียงดังขึ้น โดยจะมีความถี่แตกต่างกัน 2 ความถี่สลับกัน ดังแสดงในรูปที่ 4.7



a) สัญญาณความถี่แรกที่ออกมา



b) สัญญาณความถี่ที่สองที่ออกมา



c) การเปรียบเทียบระหว่าง 2 สัญญาณ

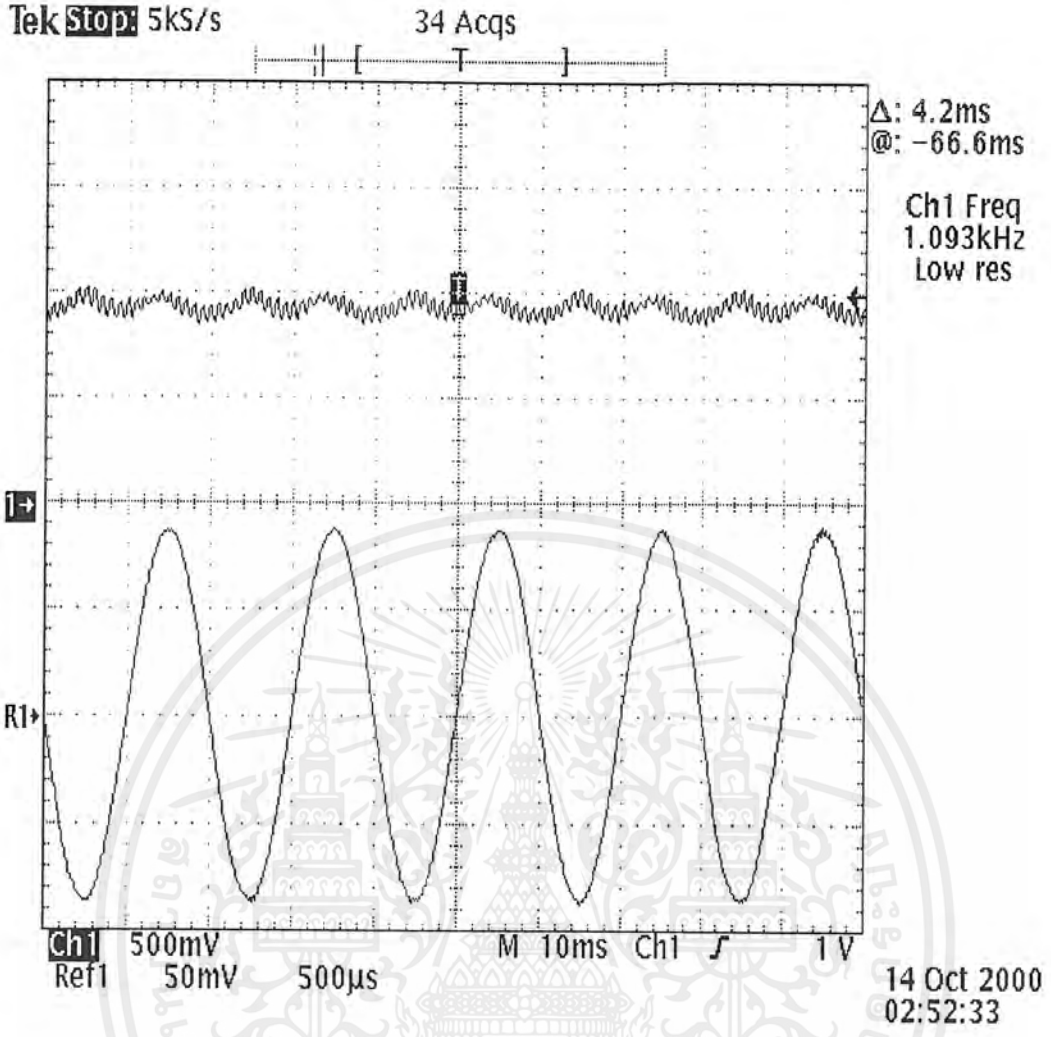
รูปที่ 4.7 แสดงสัญญาณที่วัดได้ที่ขา 2 และขา 3

4.2 ส่วนของวงจรเสียงพูดผ่านและชุดแฮนด์เซ็ตของเครื่องโทรศัพท์ (The Telephone Handset and Speech Circuit)

จากการต่อวงจรดังรูปที่ 3.7 แล้วทำการป้อนอินพุตเป็นไฟเลี้ยงวงจรขนาดประมาณ 6 โวลท์ (แรงดันไฟฟ้ากระแสตรง)และความถี่ที่อยู่ในย่านความถี่เสียงคือ 1000 Hz ให้กับวงจร เมื่อวัดสัญญาณที่จุดเอาท์พุตต่างๆแล้วได้รูปสัญญาณดังนี้

4.2.1 สัญญาณที่วัดที่จุด TX+ กับสัญญาณที่ขา2

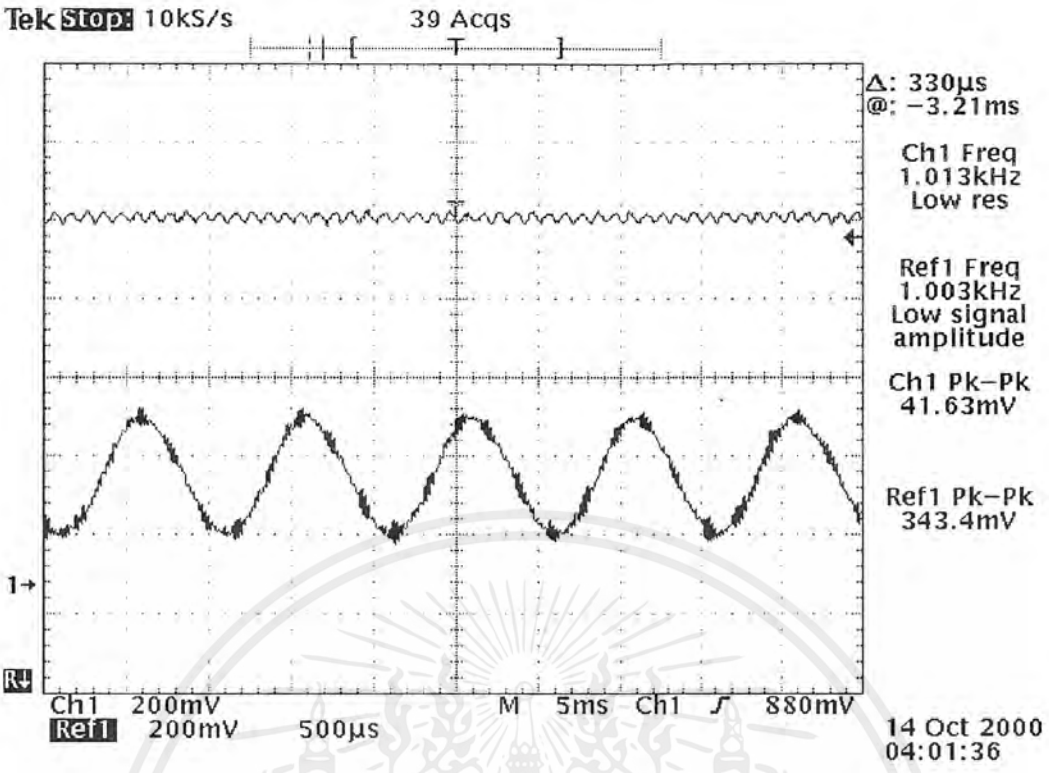
เมื่อทำการวัดที่จุด TX+ โดยการทำการป้อนสัญญาณที่มีความถี่ 1000 Hz และวัดสัญญาณที่ขา2 โดยเป็นสัญญาณอินพุตที่จะเข้าไปยังภาคขยายสัญญาณส่ง (Transmit Amplifier) ดังแสดงในรูปที่ 4.8



รูปที่ 4.8 แสดงลักษณะสัญญาณที่วัดได้ที่จุด TX+ กับขา2

4.2.2 สัญญาณที่วัดได้ที่ ขา2 และขา 3

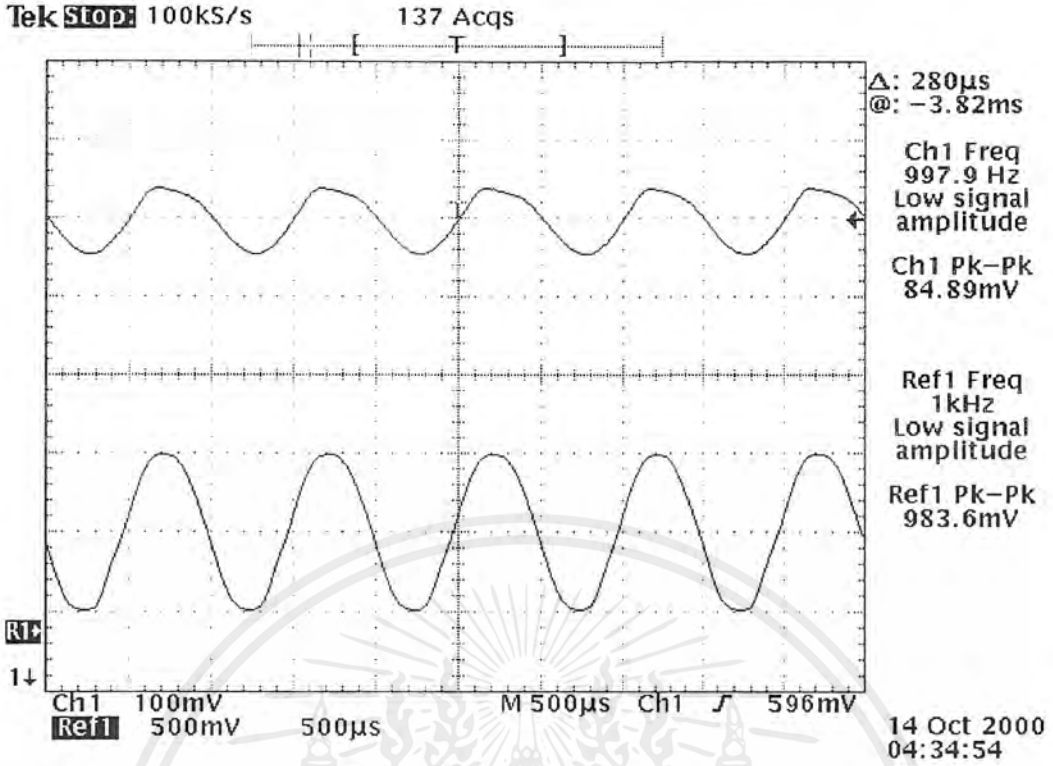
เมื่อทำการวัดสัญญาณที่ขา 2 และขา3 เพื่อเปรียบเทียบสัญญาณที่เข้าที่ภาคขยายสัญญาณส่ง (Transmit Amplifier) และสัญญาณที่เอาท์พุตของภาคนี้ ดังแสดงในรูปที่ 4.9



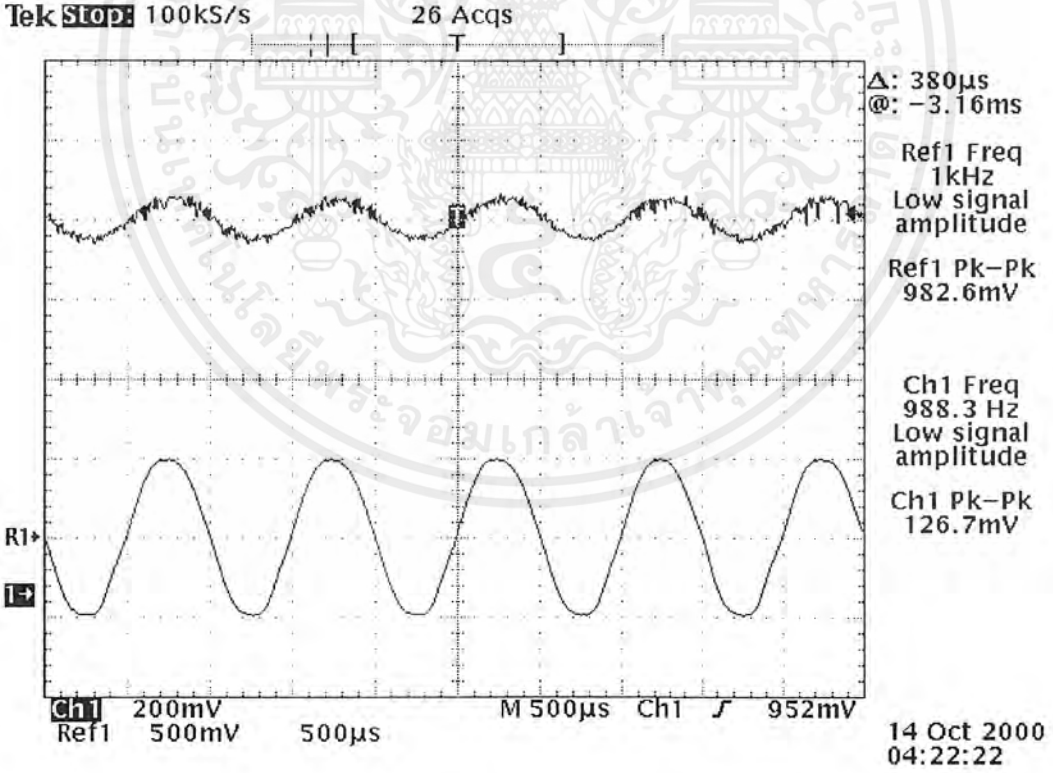
รูปที่ 4.9 แสดงลักษณะสัญญาณที่วัดได้ที่ขา 2 และขา 3

4.2.3 สัญญาณที่วัดได้ที่จุด RX+

เมื่อทำการวัดสัญญาณที่จุด RX+ เพื่อทำการเปรียบเทียบลักษณะสัญญาณที่เกิดขึ้น โดยมีภาคขยายไซด์โทน (Sidetone Amplifier) เป็นส่วนประกอบและสัญญาณที่ได้โดยปราศจากภาคนี้ แสดงดังในรูปที่ 4.10



a) สัญญาณที่มีไซด์โทนเทียบกับสัญญาณอินพุต



b) สัญญาณที่ไม่มีไซด์โทนเทียบกับสัญญาณอินพุต

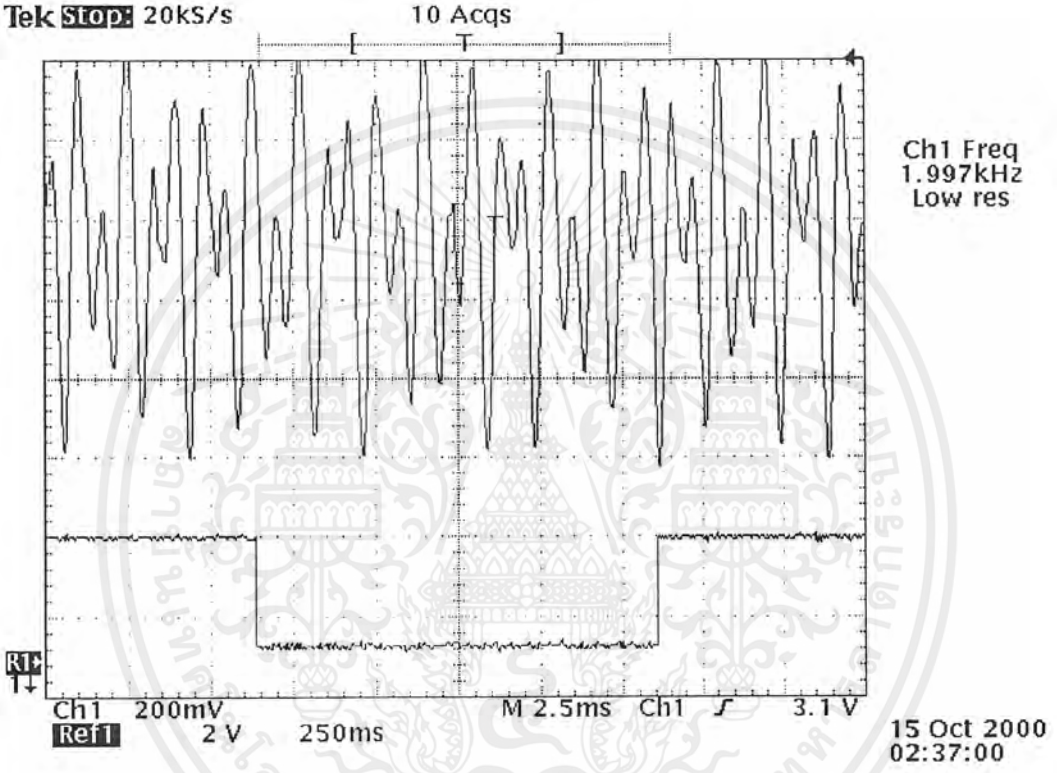
รูปที่ 4.10 แสดงสัญญาณที่วัดได้ที่จุด RX+

4.3 ส่วนของวงจรกำเนิดสัญญาณหมายเลข (Dialer Circuit)

จากการต่อวงจรดังแสดงในรูปที่ 3.13 แล้วทำการป้อนอินพุตที่เป็นแรงดันไฟฟ้ากระแสตรงขนาดประมาณ 3 โวลท์ เพื่อเลี้ยงวงจร จากนั้นทำการวัดสัญญาณได้ดังนี้

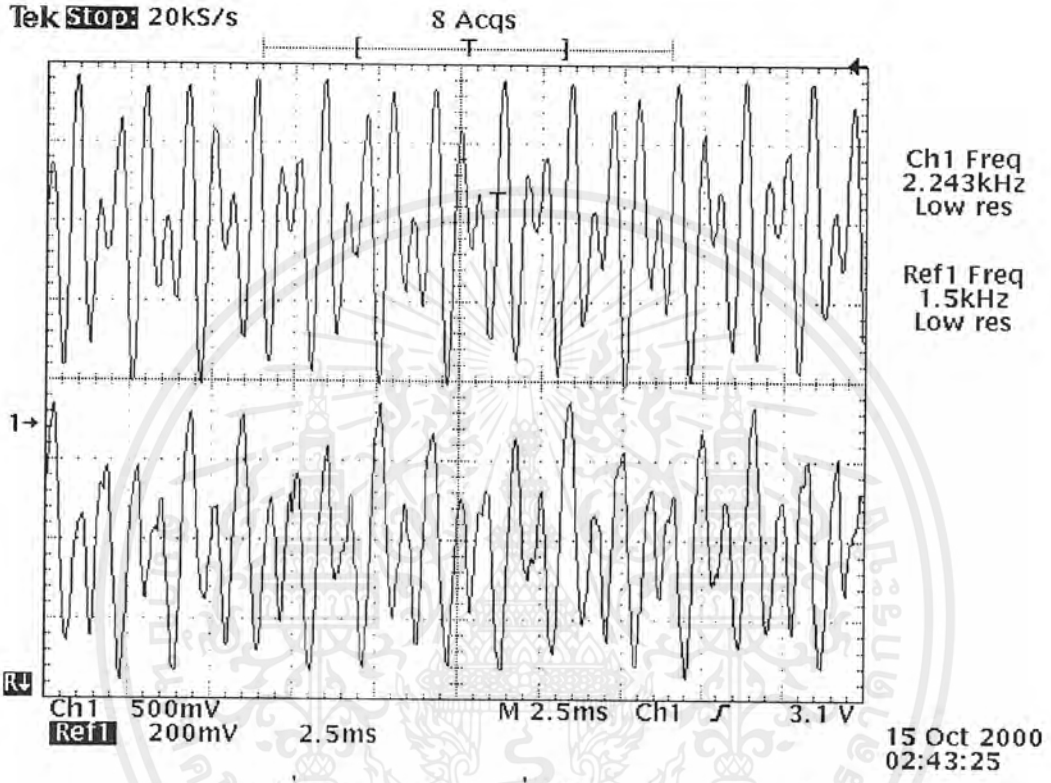
4.3.1 สัญญาณที่วัดได้ที่จุด Toneโดยการกดหมายเลข5 เทียบกับสัญญาณที่วัดได้ที่จุด MS

เมื่อป้อนไฟเลี้ยงวงจรแล้วทำการวัดความถี่ที่ออกมาจากการกดปุ่มหมายเลข ดังแสดงในรูปที่ 4.11



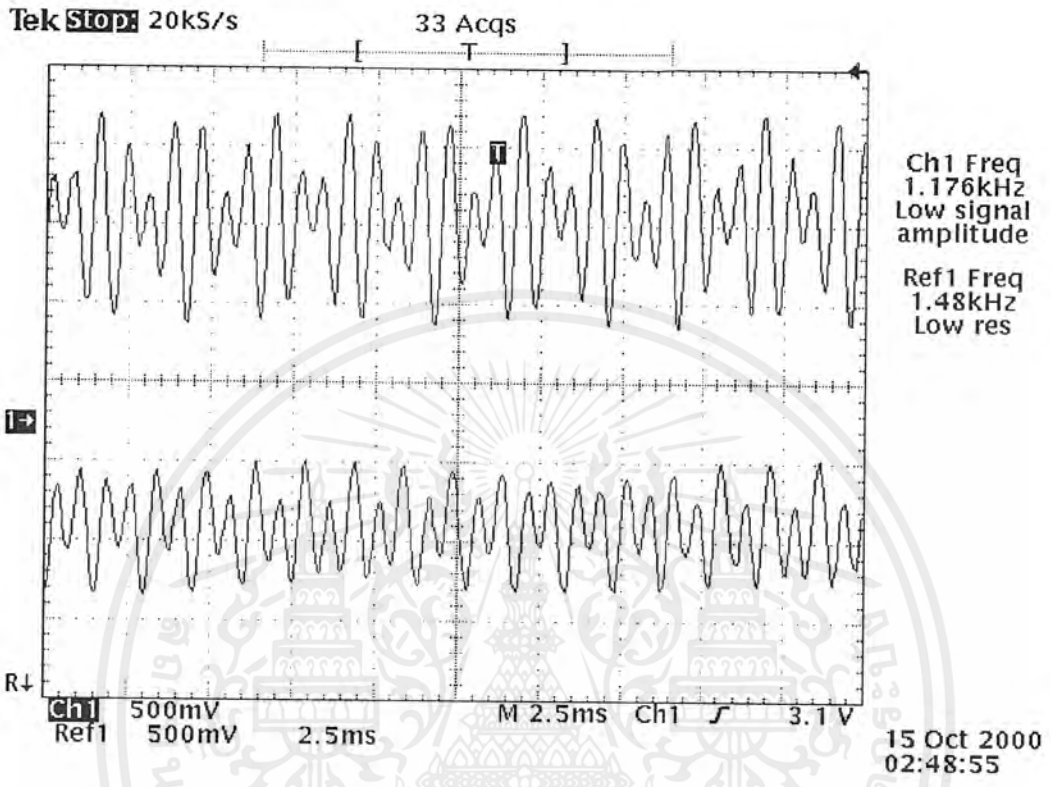
รูปที่ 4.11 แสดงสัญญาณที่วัดได้ที่จุด Tone และจุด MS

4.3.2 สัญญาณที่วัดได้ที่จุด Tone ระหว่างหมายเลข 1 กับ #



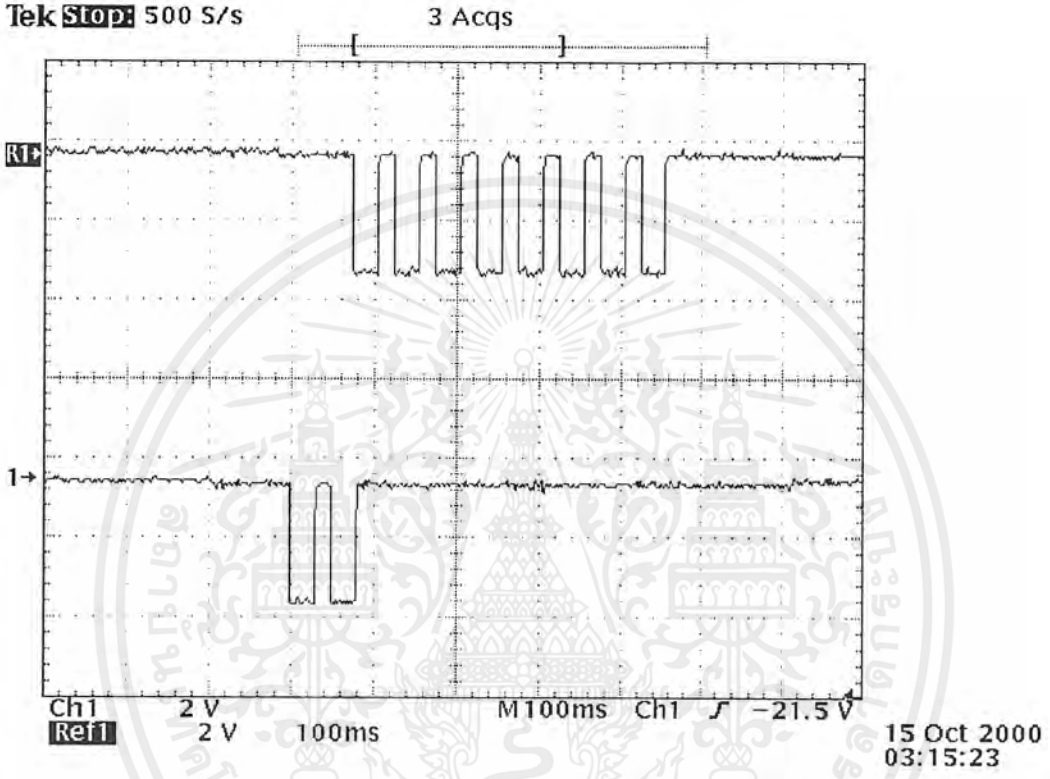
รูปที่ 4.12 แสดงสัญญาณที่วัดได้ระหว่างหมายเลข 1 กับ #

4.3.3 สัญญาณที่วัดได้ระหว่างหมายเลข 2 กับ 0



รูปที่ 4.13 แสดงสัญญาณที่วัดได้ระหว่างหมายเลข 2 กับ 0

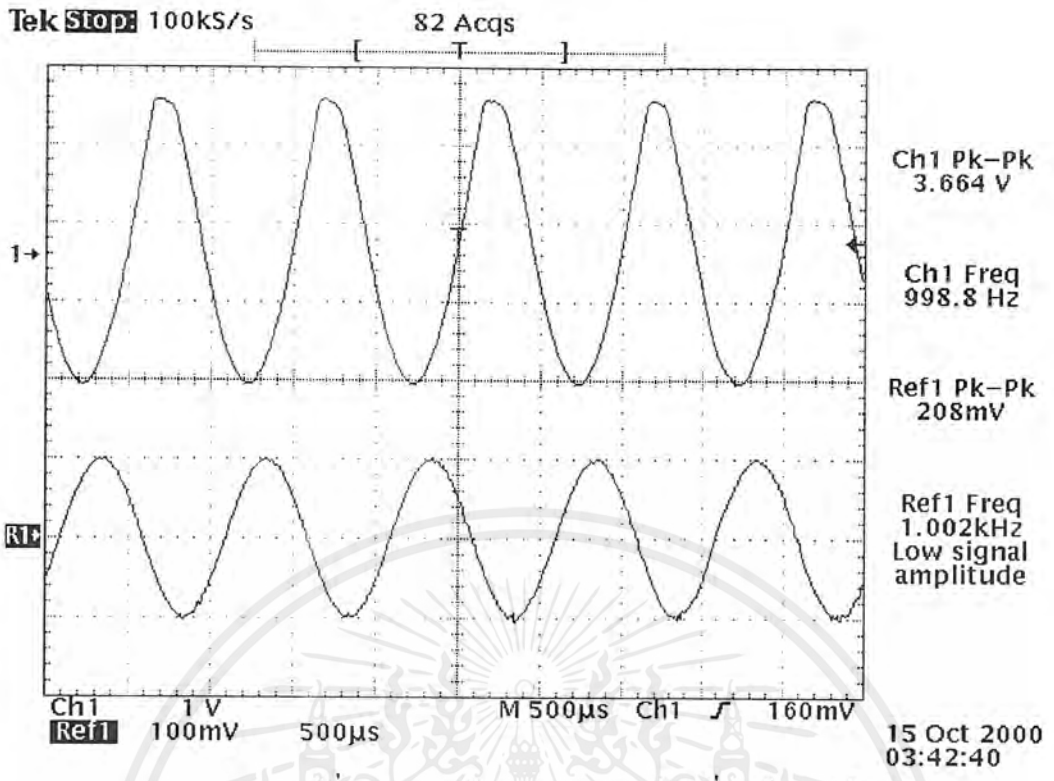
4.3.4 สัญญาณที่เปลี่ยนเป็นระบบพัลส์โดยวัดเทียบระหว่างหมายเลข 8 กับ 2



รูปที่ 4.14 แสดงสัญญาณที่วัดได้ระหว่างหมายเลข 8 กับ 2ในระบบพัลส์

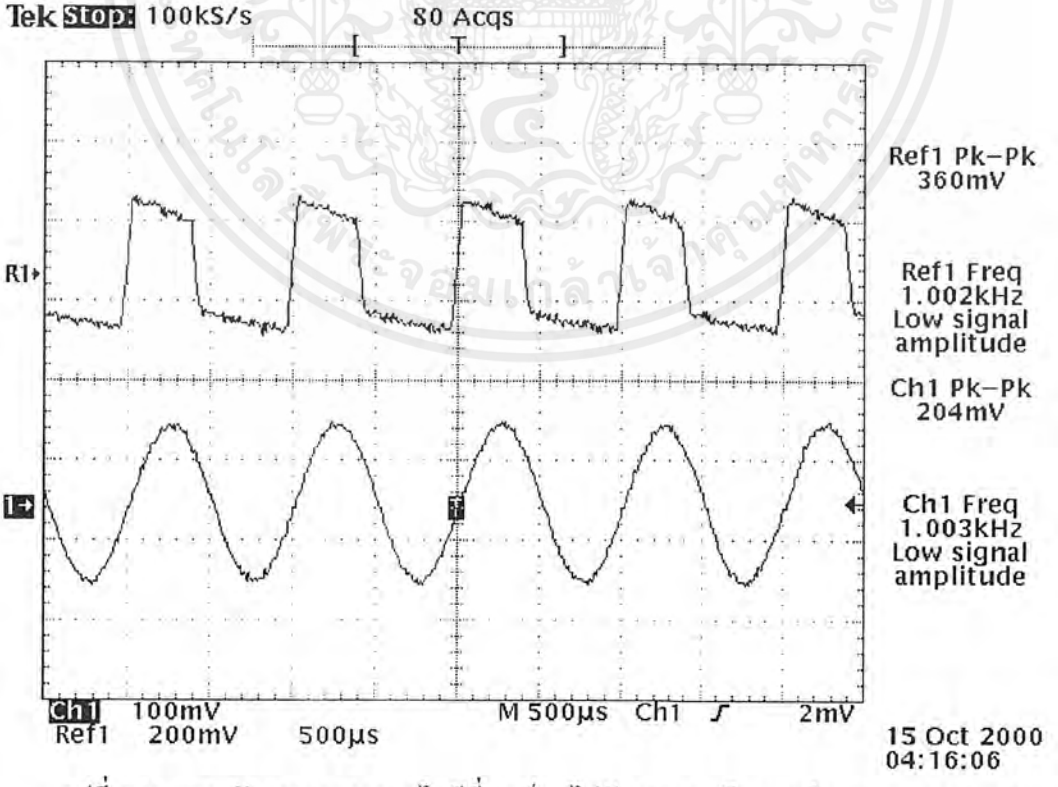
4.4 ส่วนของวงจรสปีคเกอร์โฟน (Speakerphone Circuit)

เมื่อต่อวงจรดังรูปที่ 3.14 แล้วได้ผลดังรูป4.15 เป็นการวัดอัตราการขยายของไอซี MC 34018 ที่มีอัตราการขยาย 40 dB โดยการป้อนสัญญาณรับ เข้าที่ขา 27 และได้สัญญาณเอาท์พุตออกที่ลำโพงที่ขา 15 ของไอซี



รูปที่ 4.15 แสดงอัตราการขยายของไอซีที่เอาท์พุต (ลำโพง)

รูปที่ 4.16 เป็นการวัดอัตราการขยายของ IC MC 34018 ที่มีอัตราการขยาย -4 dB ที่ออกทางสัญญาณเอาท์ที่ขา 4 ของ IC เมื่อทำการป้อนสัญญาณอินพุตที่ขา 4 ของ IC



รูปที่ 4.16 แสดงอัตรการขยายของไอซีที่เอาท์พุตไปยังชุดวงจรเสียงพูดผ่าน (Speech Circuit)

4.5 ภาคควบคุมการแสดงผล (Display Circuit)

จากการต่อวงจรดังรูปที่3.15 , 3.16 และ3.17 แล้วนำมาทำการทดสอบ มีผลการทดลองดังต่อไปนี้ จากรูปที่3.16โดยใช้ MT8870 เป็นตัวถอดรหัสสัญญาณความถี่คู่ผสม (DTMF) ผลการทดลองเป็นดังตารางที่4.1

หมายเลข	1	2	3	4	5	6	7	8	9	0	*	#
รหัส 4 บิต	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100

ตารางที่ 4.1 แสดงผลการทดลองการถอดรหัสสัญญาณความถี่คู่ผสม

จากรูปที่ 3.15 เมื่อทำการเขียนโปรแกรมเข้าไปนำมาทดสอบ ผลการทดสอบเป็นดังต่อไปนี้

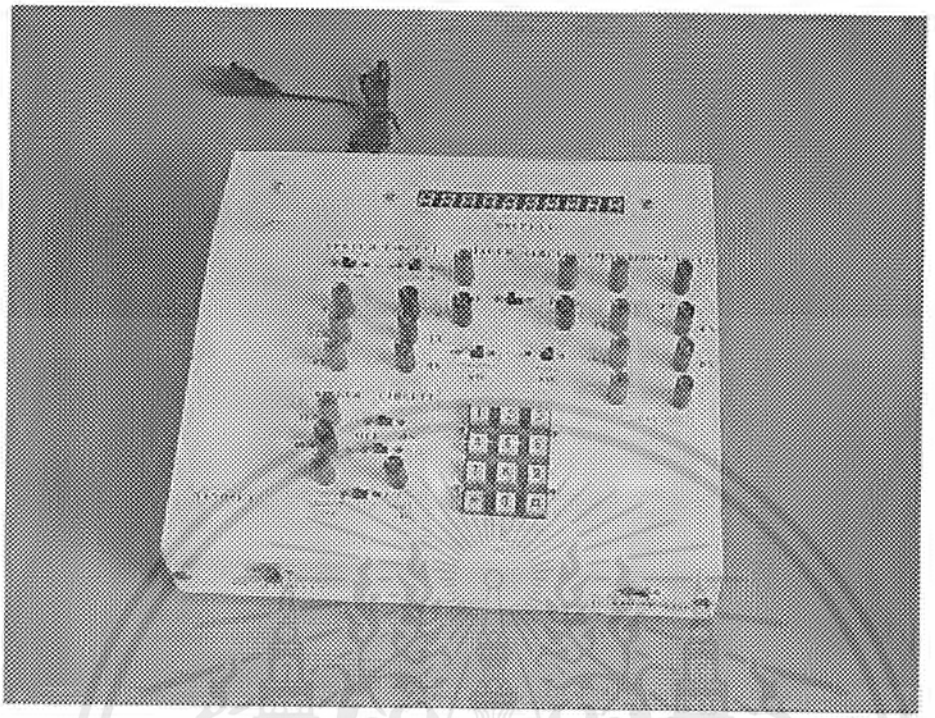
กดครั้งที่ / LED หลักที่	1	2	3	4	5	6	7	8	9	10
1	ติด	ติด	ติด	ติด	ติด	ติด	ติด	ติด	ติด	ติด
2	ดับ	ติด	ติด	ติด	ติด	ติด	ติด	ติด	ติด	ติด
3	ดับ	ดับ	ติด	ติด	ติด	ติด	ติด	ติด	ติด	ติด
4	ดับ	ดับ	ดับ	ติด	ติด	ติด	ติด	ติด	ติด	ติด
5	ดับ	ดับ	ดับ	ดับ	ติด	ติด	ติด	ติด	ติด	ติด
6	ดับ	ดับ	ดับ	ดับ	ดับ	ติด	ติด	ติด	ติด	ติด
7	ดับ	ดับ	ดับ	ดับ	ดับ	ดับ	ติด	ติด	ติด	ติด
8	ดับ	ดับ	ดับ	ดับ	ดับ	ดับ	ดับ	ติด	ติด	ติด
9	ดับ	ดับ	ดับ	ดับ	ดับ	ดับ	ดับ	ดับ	ติด	ติด
10	ดับ	ดับ	ดับ	ดับ	ดับ	ดับ	ดับ	ดับ	ดับ	ติด

ตารางที่ 4.2 แสดงผลการโปรแกรมเพื่อควบคุมการติดของ LED DISPLAY

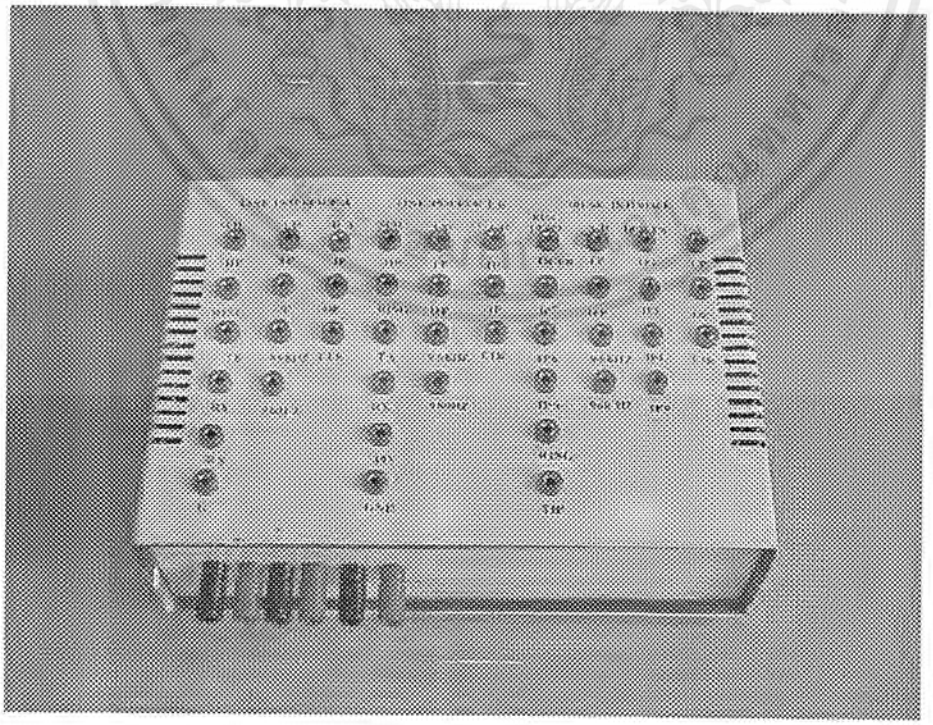
บทที่ 5
บทวิจารณ์และบทสรุป

ชุดฝึกโทรศัพท์ระบบสัญญาณอนาลอกนี้ เป็นการออกแบบและพัฒนาวงจร โดยอ้างอิงถึงคู่มือของชุดฝึกโทรศัพท์ที่มีอยู่จริง ซึ่งมีราคาแพง และได้ดัดแปลงบ้างในบางส่วน แต่ลักษณะการทำงานก็ได้ตรงตามหน้าที่ที่มีในคู่มือนั้น โดยได้มีการออกแบบในส่วนต่างๆ ที่จะจัดทำขึ้นก่อน แล้วนำส่วนต่างๆ เหล่านั้นมาประกอบเป็นวงจรขึ้นมา ซึ่งสามารถใช้งานได้จริงและสามารถใช้เป็นชุดสำหรับการทดสอบได้ด้วย

วงจรในส่วนต่างๆ ที่นำมาประกอบกันเป็นวงจรที่สมบูรณ์นั้น ประกอบไปด้วยอุปกรณ์ที่ใช้งานกันโดยทั่วๆไป ซึ่งสามารถหาซื้อได้ง่าย และราคาถูก ในการพัฒนาหรือปรับปรุงวงจรนั้น สามารถเพิ่มเติมชุดอื่นๆที่อ้างอิงโดยคู่มือได้ เพื่อนำมาประกอบกันเป็นชุดฝึกที่สมบูรณ์ขึ้น และสามารถนำชุดฝึกที่พัฒนาขึ้นใหม่มาประกอบและทดสอบกับชุดที่จัดทำขึ้นนี้ได้ ซึ่งจะให้ผลและประสิทธิภาพที่เหมือนกับชุดฝึกจริงที่มีขายอยู่ โดยมีค่าใช้จ่ายที่ประหยัดขึ้น



รูปที่ 4.17 แสดงหน้าปัดของชุด Telephone Set และ Display



รูปที่ 4.18 แสดงหน้าปัดของชุด Line and Trunk Interface

รูปที่ 4.19 แสดงการวางอุปกรณ์ของชุด Telephone Set และ Display

รูปที่ 4.20 แสดงการวางอุปกรณ์ของชุด Line and Trunk Interface

ภาคผนวก

ISO²-CMOS

MT8870D/MT8870D-1

Integrated DTMF Receiver

ISSUE 5 March 1997

Features

- Complete DTMF Receiver
- Low power consumption
- Internal gain setting amplifier
- Adjustable guard time
- Central office quality
- Power-down mode
- Inhibit mode
- Backward compatible with MT8870C/MT8870C-1

Ordering Information

MT8870DE/DE-1	18 Pin Plastic DIP
MT8870DS/DS-1	18 Pin SOIC
MT8870DN/DN-1	20 Pin SSOP

-40 °C to +85 °C

Applications

- Receiver system for British Telecom (BT) or CEPT Spec (MT8870D-1)
- Paging systems
- Repeater systems/mobile radio
- Credit card systems
- Remote control
- Personal computers
- Telephone answering machine

Description

The MT8870D/MT8870D-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.

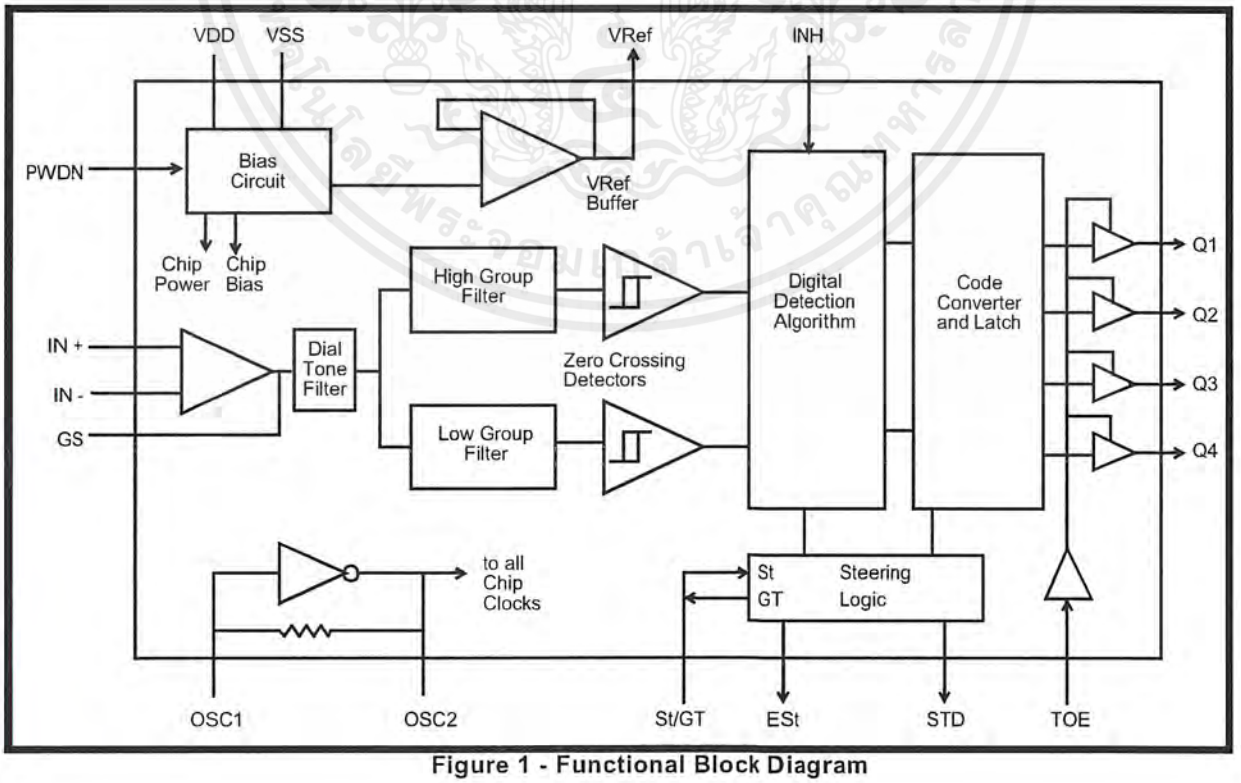
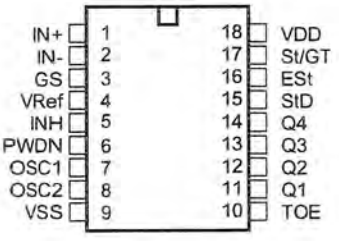
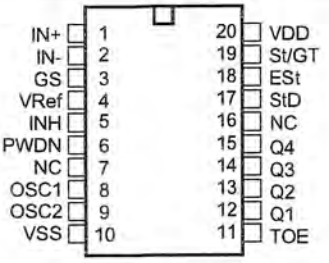


Figure 1 - Functional Block Diagram



18 PIN PLASTIC DIP/SOIC



20 PIN SSOP

Figure 2 - Pin Connections

Pin Description

Pin #		Name	Description
18	20		
1	1	IN+	**Non-Inverting Op-Amp (Input).**
2	2	IN-	**Inverting Op-Amp (Input).**
3	3	GS	**Gain Select.** Gives access to output of front end differential amplifier for connection of feedback resistor.
4	4	V_{Ref}	**Reference Voltage (Output).** Nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig. 6 and Fig. 10).
5	5	INH	**Inhibit (Input).** Logic high inhibits the detection of tones representing characters A, B, C and D. This pin input is internally pulled down.
6	6	PWDN	**Power Down (Input).** Active high. Powers down the device and inhibits the oscillator. This pin input is internally pulled down.
7	8	OSC1	**Clock (Input).**
8	9	OSC2	**Clock (Output).** A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit.
9	10	V_{SS}	**Ground (Input).** 0V typical.
10	11	TOE	**Three State Output Enable (Input).** Logic high enables the outputs Q1-Q4. This pin is pulled up internally.
11-14	12-15	Q1-Q4	**Three State Data (Output).** When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1). When TOE is logic low, the data outputs are high impedance.
15	17	StD	**Delayed Steering (Output).**Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/GT falls below V_{TSt}.
16	18	ESt	**Early Steering (Output).** Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
17	19	St/GT	**Steering Input/Guard time (Output) Bidirectional.** A voltage greater than V_{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
18	20	V_{DD}	**Positive power supply (Input).** +5V typical.
	7, 16	NC	No Connection.

Functional Description

The MT8870D/MT8870D-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Separation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 3). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while

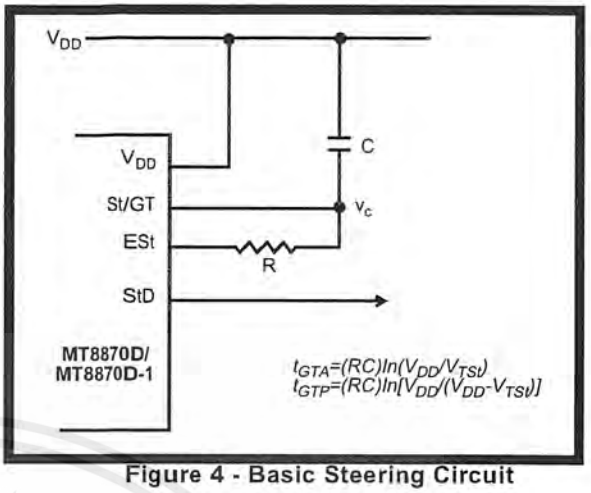


Figure 4 - Basic Steering Circuit

providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state (see "Steering Circuit").

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes v_c (see Figure 4) to rise as the capacitor discharges. Provided signal

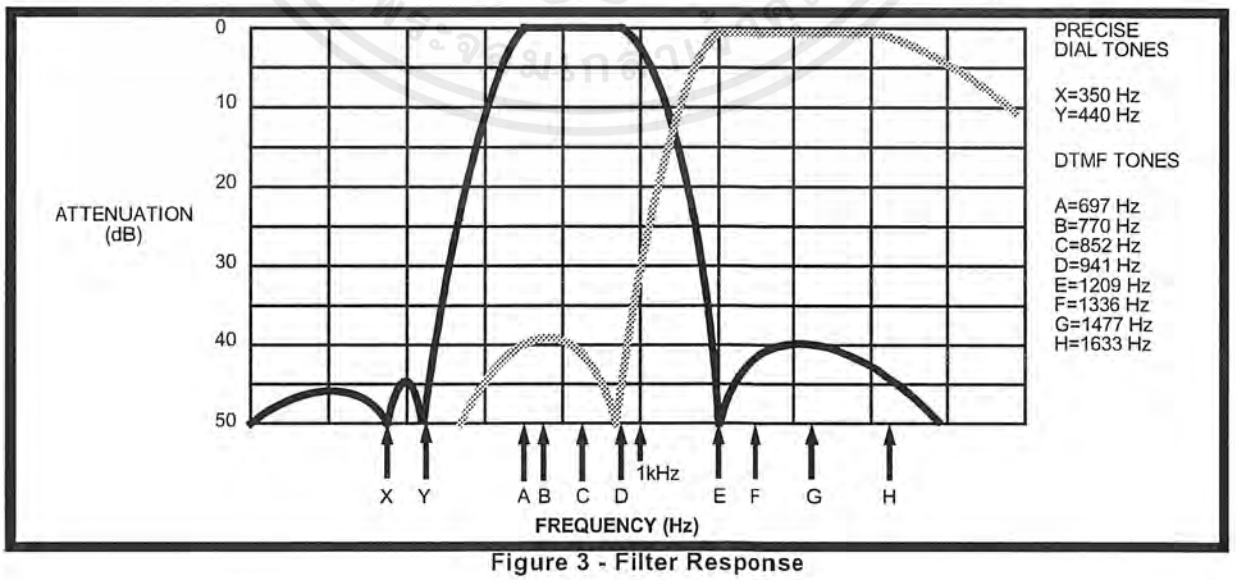


Figure 3 - Filter Response

condition is maintained (ESt remains high) for the validation period (t_{GTP}). v_c reaches the threshold (V_{TSt}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives v_c to V_{DD}. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Digit	TOE	INH	ESt	Q_4	Q_3	Q_2	Q_1
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
*	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	undetected, the output code will remain the same as the previous detected code			
B	H	H	L				
C	H	H	L				
D	H	H	L				

Table 1. Functional Decode Table

L=LOGIC LOW, H=LOGIC HIGH, Z=HIGH IMPEDANCE
X = DON'T CARE

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 4 is applicable. Component values are chosen according to the formula:

$$t_{REC}=t_{DP}+t_{GTP}$$
$$t_{ID}=t_{DA}+t_{GTA}$$

The value of t_{DP} is a device parameter (see Figure 11) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 µF is recommended for most applications, leaving R to be selected by the designer.

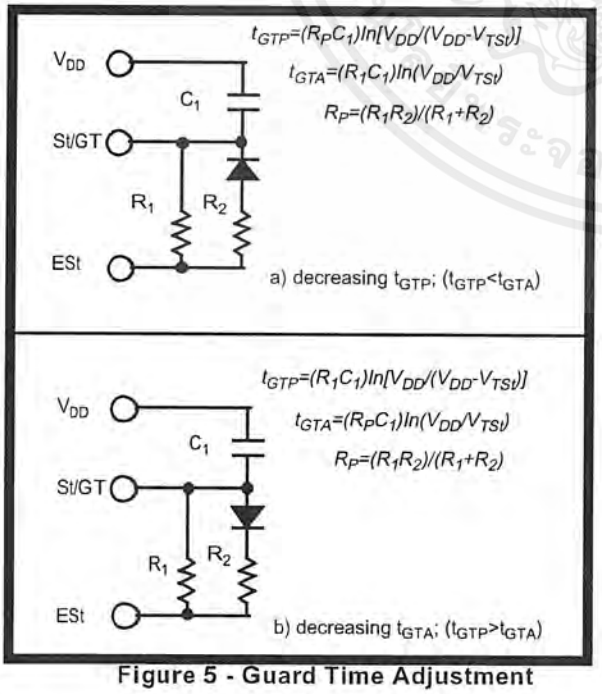


Figure 5 - Guard Time Adjustment

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 5.

Power-down and Inhibit Mode

A logic high applied to pin 6 (PWDN) will power down the device to minimize the power consumption in a standby mode. It stops the oscillator and the functions of the filters.

Inhibit mode is enabled by a logic high input to the pin 5 (INH). It inhibits the detection of tones representing characters A, B, C, and D. The output code will remain the same as the previous detected code (see Table 1).

Differential Input Configuration

The input arrangement of the MT8870D/MT8870D-1 provides a differential-input operational amplifier as well as a bias source (V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 10 with the op-amp connected for unity gain and V_{Ref} biasing the input at $^1/_2V_{DD}$. Figure 6 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_5.

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 10 (Single-Ended Input Configuration). However, it is possible to configure several MT8870D/MT8870D-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 7 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, i.e., precision balancing capacitors are not required.

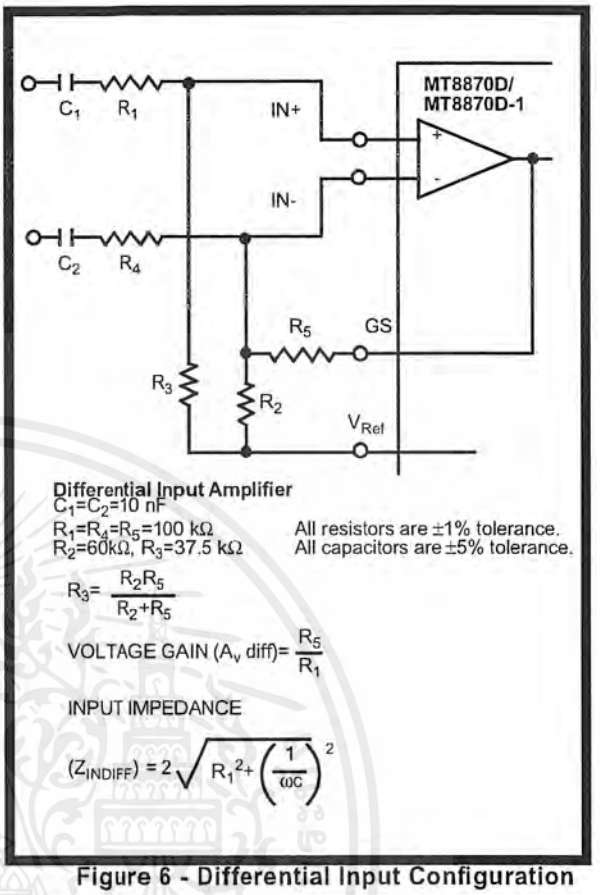


Figure 6 - Differential Input Configuration

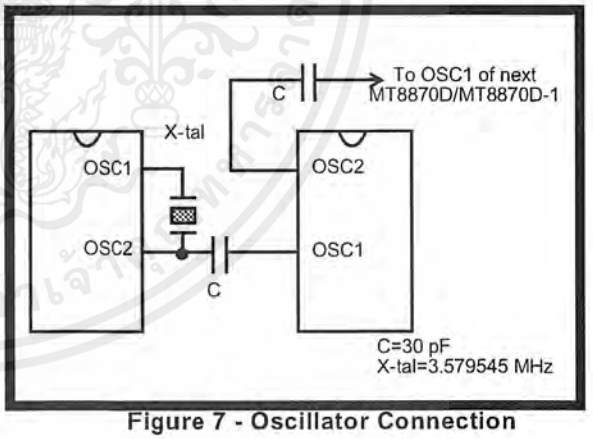


Figure 7 - Oscillator Connection

Parameter	Unit	Resonator
R1	Ohms	10.752
L1	mH	.432
C1	pF	4.984
C0	pF	37.915
Qm	-	896.37
Δf	%	±0.2%

Table 2. Recommended Resonator Specifications

Note: Qm=quality factor of RLC model, i.e., 1/2ΠfR1C1.

Applications

RECEIVER SYSTEM FOR BRITISH TELECOM SPEC POR 1151

The circuit shown in Fig. 9 illustrates the use of MT8870D-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of R_1 and R_2 to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting pin GS of MT8870D-1. As shown in the diagram, the component values of R_3 and C_2 are the guard time requirements when the total component tolerance is 6%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 8.

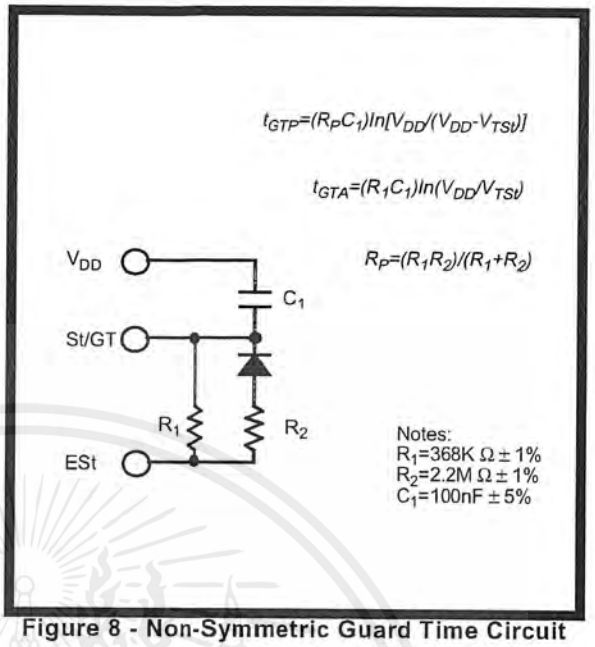


Figure 8 - Non-Symmetric Guard Time Circuit

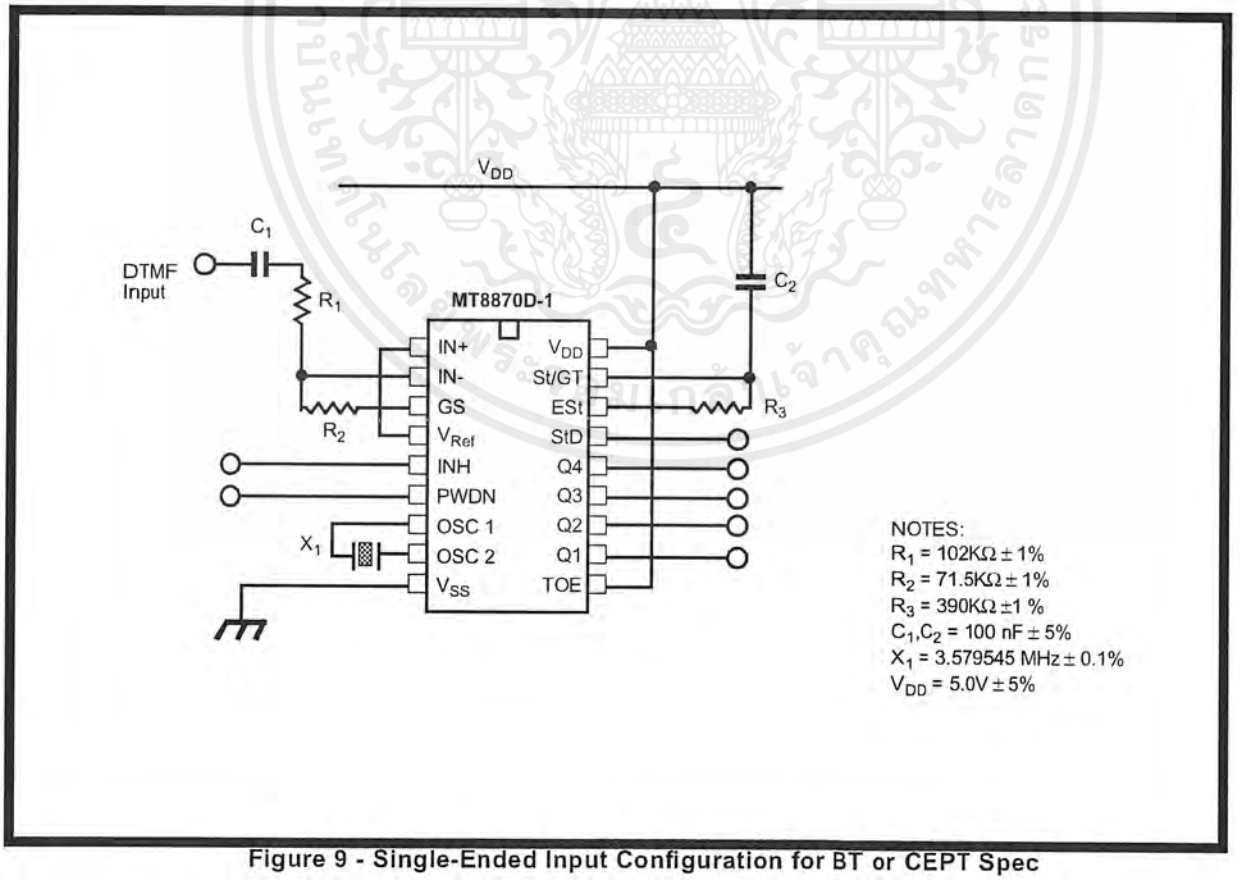


Figure 9 - Single-Ended Input Configuration for BT or CEPT Spec

Absolute Maximum Ratings†

	Parameter	Symbol	Min	Max	Units
1	DC Power Supply Voltage	V_{DD}		7	V
2	Voltage on any pin	V_I	V_{SS}-0.3	V_{DD}+0.3	V
3	Current at any pin (other than supply)	I_I		10	mA
4	Storage temperature	T_{STG}	-65	+150	°C
5	Package power dissipation	P_D		500	mW

† Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied. Derate above 75 °C at 16 mW / °C. All leads soldered to board.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Parameter	Sym	Min	Typ‡	Max	Units	Test Conditions
1	DC Power Supply Voltage	V_{DD}	4.75	5.0	5.25	V	
2	Operating Temperature	T_O	-40		+85	°C	
3	Crystal/Clock Frequency	fc		3.579545		MHz	
4	Crystal/Clock Freq.Tolerance	Δfc		±0.1		%	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - V_{DD}=5.0V± 5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C, unless otherwise stated.

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	SUPPLY	Standby supply current	I_{DDQ}		10	25	µA	PWDN=V_{DD}
2		Operating supply current	I_{DD}		3.0	9.0	mA	
3		Power consumption	P_O		15		mW	fc=3.579545 MHz
4	INPUTS	High level input	V_{IH}	3.5			V	V_{DD}=5.0V
5		Low level input voltage	V_{IL}			1.5	V	V_{DD}=5.0V
6		Input leakage current	I_{IH}/I_{IL}		0.1		µA	V_{IN}=V_{SS} or V_{DD}
7		Pull up (source) current	I_{SO}		7.5	20	µA	TOE (pin 10)=0, V_{DD}=5.0V
8		Pull down (sink) current	I_{SI}		15	45	µA	INH=5.0V, PWDN=5.0V, V_{DD}=5.0V
9		Input impedance (IN+, IN-)	R_{IN}		10		MΩ	@ 1 kHz
10		Steering threshold voltage	V_{TSt}	2.2	2.4	2.5	V	V_{DD} = 5.0V
11	OUTPUTS	Low level output voltage	V_{OL}			V_{SS}+0.03	V	No load
12		High level output voltage	V_{OH}	V_{DD}-0.03			V	No load
13		Output low (sink) current	I_{OL}	1.0	2.5		mA	V_{OUT}=0.4 V
14		Output high (source) current	I_{OH}	0.4	0.8		mA	V_{OUT}=4.6 V
15		V_{Ref} output voltage	V_{Ref}	2.3	2.5	2.7	V	No load, V_{DD} = 5.0V
16		V_{Ref} output resistance	R_{OR}		1		kΩ	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

Operating Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C ,unless otherwise stated.

Gain Setting Amplifier

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Input leakage current	I_{IN}			100	nA	$V_{SS} \le V_{IN} \le V_{DD}$
2	Input resistance	R_{IN}	10			MΩ	
3	Input offset voltage	V_{OS}			25	mV	
4	Power supply rejection	PSRR	50			dB	1 kHz
5	Common mode rejection	CMRR	40			dB	0.75 V ≤ V_{IN} ≤ 4.25 V biased at V_{Ref} =2.5 V
6	DC open loop voltage gain	A_{VOL}	32			dB	
7	Unity gain bandwidth	f_C	0.30			MHz	
8	Output voltage swing	V_O	4.0			V_{pp}	Load ≥ 100 kΩ to V_{SS} @ GS
9	Maximum capacitive load (GS)	C_L			100	pF	
10	Resistive load (GS)	R_L			50	kΩ	
11	Common mode range	V_{CM}	2.5			V_{pp}	No Load

MT8870D AC Electrical Characteristics - V_{DD}=5.0V ±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C , using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-29		+1	dBm	1,2,3,5,6,9
			27.5		869	mV_{RMS}	1,2,3,5,6,9
2	Negative twist accept				8	dB	2,3,6,9,12
3	Positive twist accept				8	dB	2,3,6,9,12
4	Frequency deviation accept		±1.5% ± 2 Hz				2,3,5,9
5	Frequency deviation reject		±3.5%				2,3,5,9
6	Third tone tolerance			-16		dB	2,3,4,5,9,10
7	Noise tolerance			-12		dB	2,3,4,5,7,9,10
8	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

***NOTES**

1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5 %± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Guaranteed by design and characterization.

MT8870D-1 AC Electrical Characteristics

- V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C , using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-31		+1	dBm	Tested at V_{DD}=5.0V 1,2,3,5,6,9
			21.8		869	mV_{RMS}	
2	Input Signal Level Reject		-37			dBm	Tested at V_{DD}=5.0V 1,2,3,5,6,9
			10.9			mV_{RMS}	
3	Negative twist accept				8	dB	2,3,6,9,13
4	Positive twist accept				8	dB	2,3,6,9,13
5	Frequency deviation accept		±1.5%± 2 Hz				2,3,5,9
6	Frequency deviation reject		±3.5%				2,3,5,9
7	Third zone tolerance			-18.5		dB	2,3,4,5,9,12
8	Noise tolerance			-12		dB	2,3,4,5,7,9,10
9	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

***NOTES**

1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5 %± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Referenced to Fig. 10 input DTMF tone level at -25dBm (-28dBm at GS Pin) interference frequency range between 480-3400Hz.
13. Guaranteed by design and characterization.

AC Electrical Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ To ≤ +85°C , using Test Circuit shown in Figure 10.

		Characteristics	Sym	Min	Typ‡	Max	Units	Conditions
1	TIMING	Tone present detect time	t_{DP}	5	11	14	ms	Note 1
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	Note 1
3		Tone duration accept	t_{REC}			40	ms	Note 2
4		Tone duration reject	$t_{\overline{REC}}$	20			ms	Note 2
5		Interdigit pause accept	t_{ID}			40	ms	Note 2
6		Interdigit pause reject	t_{DO}	20			ms	Note 2
7	OUTPUTS	Propagation delay (St to Q)	t_{PQ}		8	11	µs	TOE=V_{DD}
8		Propagation delay (St to StD)	t_{PStD}		12	16	µs	TOE=V_{DD}
9		Output data set up (Q to StD)	t_{QStD}		3.4		µs	TOE=V_{DD}
10		Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	load of 10 kΩ, 50 pF
11		Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	load of 10 kΩ, 50 pF
12	PDWN	Power-up time	t_{PU}		30		ms	Note 3
13		Power-down time	t_{PD}		20		ms	
14	CLOCK	Crystal/clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
15		Clock input rise time	t_{LHCL}			110	ns	Ext. clock
16		Clock input fall time	t_{HLCL}			110	ns	Ext. clock
17		Clock input duty cycle	DC_{CL}	40	50	60	%	Ext. clock
18		Capacitive load (OSC2)	C_{LO}			30	pF	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

***NOTES:**
1. Used for guard-time calculation purposes only.
2. These, user adjustable parameters, are not device specifications. The adjustable settings of these minimums and maximums are recommendations based upon network requirements.
3. With valid tone present at input, t_{PU} equals time from PDWN going low until ESt going high.

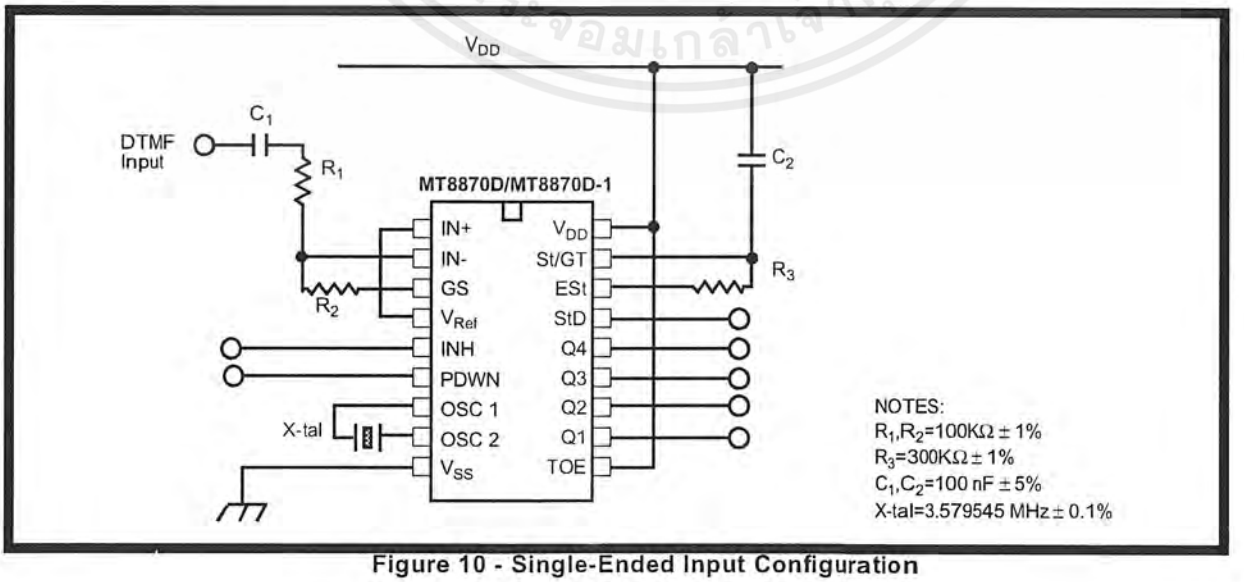
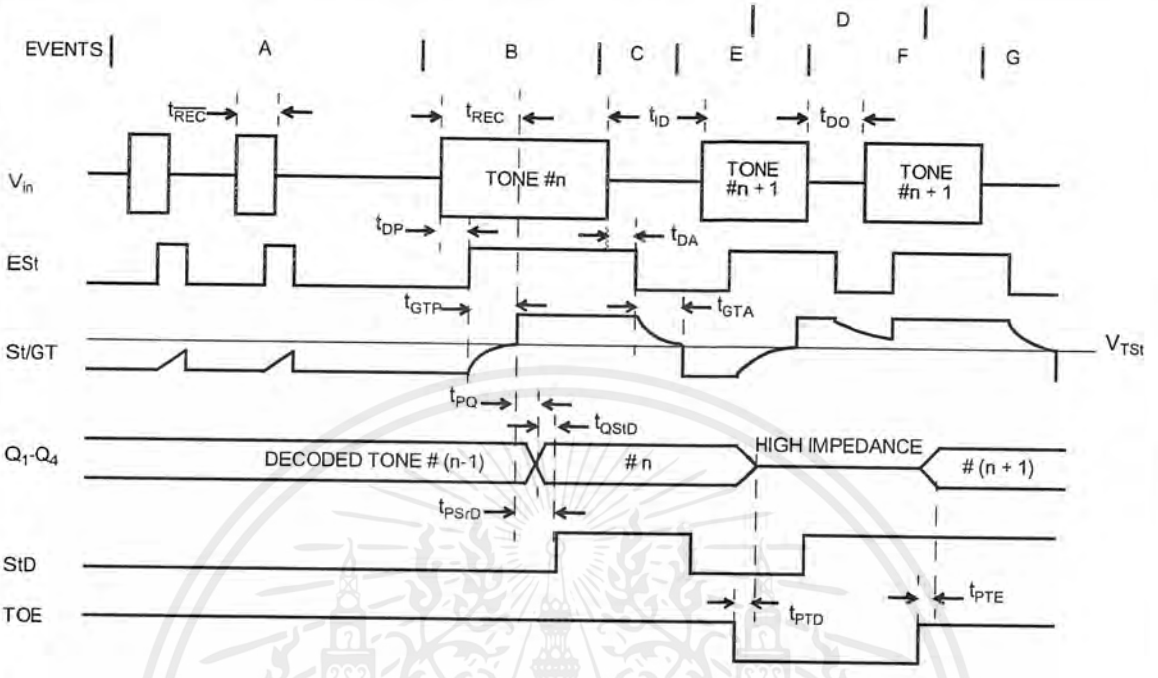


Figure 10 - Single-Ended Input Configuration



EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED.

B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS

C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMIAN LATCHED UNTIL NEXT VALID TONE.

D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.

E) TONE #n + 1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).

F) ACCEPTABLE DROPOUT OF TONE #n + 1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCHED.

G) END OF TONE #n + 1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

V_{in} DTMF COMPOSITE INPUT SIGNAL.

ESt EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.

St/GT STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.

Q_1-Q_4 4-BIT DECODED TONE OUTPUT.

StD DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.

TOE TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.

$t_{\overline{REC}}$ MAXIMUM DTMF SIGNAL DURATION NOT DETECED AS VALID

t_{REC} MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION

t_{ID} MAXIMUM TIME BETWEEN VALID DTMF SIGNALS.

t_{DO} MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL.

t_{DP} TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS.

t_{DA} TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.

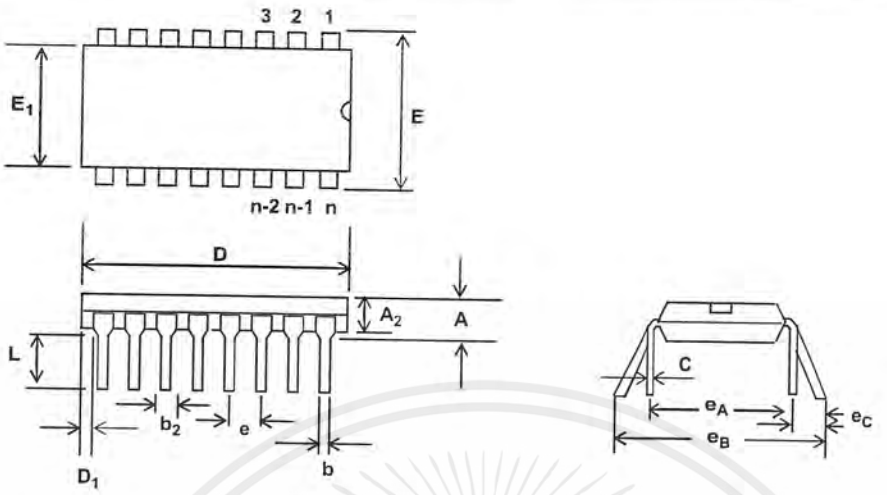
t_{GTP} GUARD TIME, TONE PRESENT.

t_{GTA} GUARD TIME, TONE ABSENT.

Figure 11 - Timing Diagram

Notes:

Package Outlines

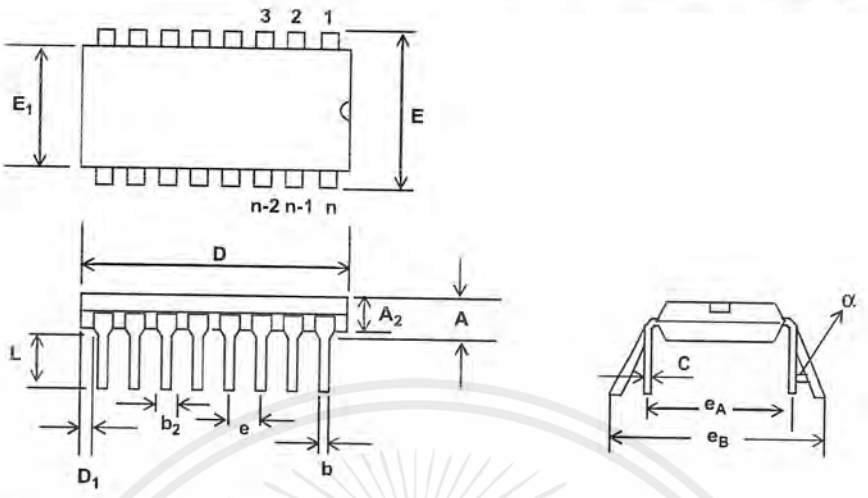


Notes:
1) Not to scale
2) Dimensions in inches
3) (Dimensions in millimeters)

Plastic Dual-In-Line Packages (PDIP) - E Suffix

DIM	8-Pin		16-Pin		18-Pin		20-Pin	
	Plastic		Plastic		Plastic		Plastic	
	Min	Max	Min	Max	Min	Max	Min	Max
A		0.210 (5.33)		0.210 (5.33)		0.210 (5.33)		0.210 (5.33)
A_2	0.115 (2.92)	0.195 (4.95)	0.115 (2.92)	0.195 (4.95)	0.115 (2.92)	0.195 (4.95)	0.115 (2.92)	0.195 (4.95)
b	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)
b_2	0.045 (1.14)	0.070 (1.77)	0.045 (1.14)	0.070 (1.77)	0.045 (1.14)	0.070 (1.77)	0.045 (1.14)	0.070 (1.77)
C	0.008 (0.203)	0.014 (0.356)	0.008 (0.203)	0.014(0.356)	0.008 (0.203)	0.014 (0.356)	0.008 (0.203)	0.014 (0.356)
D	0.355 (9.02)	0.400 (10.16)	0.780 (19.81)	0.800 (20.32)	0.880 (22.35)	0.920 (23.37)	0.980 (24.89)	1.060 (26.9)
D_1	0.005 (0.13)		0.005 (0.13)		0.005 (0.13)		0.005 (0.13)	
E	0.300 (7.62)	0.325 (8.26)	0.300 (7.62)	0.325 (8.26)	0.300 (7.62)	0.325 (8.26)	0.300 (7.62)	0.325 (8.26)
E_1	0.240 (6.10)	0.280 (7.11)	0.240 (6.10)	0.280 (7.11)	0.240 (6.10)	0.280 (7.11)	0.240 (6.10)	0.280 (7.11)
e	0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)	
e_A	0.300 BSC (7.62)		0.300 BSC (7.62)		0.300 BSC (7.62)		0.300 BSC (7.62)	
L	0.115 (2.92)	0.150 (3.81)	0.115 (2.92)	0.150 (3.81)	0.115 (2.92)	0.150 (3.81)	0.115 (2.92)	0.150 (3.81)
e_B		0.430 (10.92)		0.430 (10.92)		0.430 (10.92)		0.430 (10.92)
e_C	0	0.060 (1.52)	0	0.060 (1.52)	0	0.060 (1.52)	0	0.060 (1.52)

NOTE: Controlling dimensions in parenthesis ( ) are in millimeters.

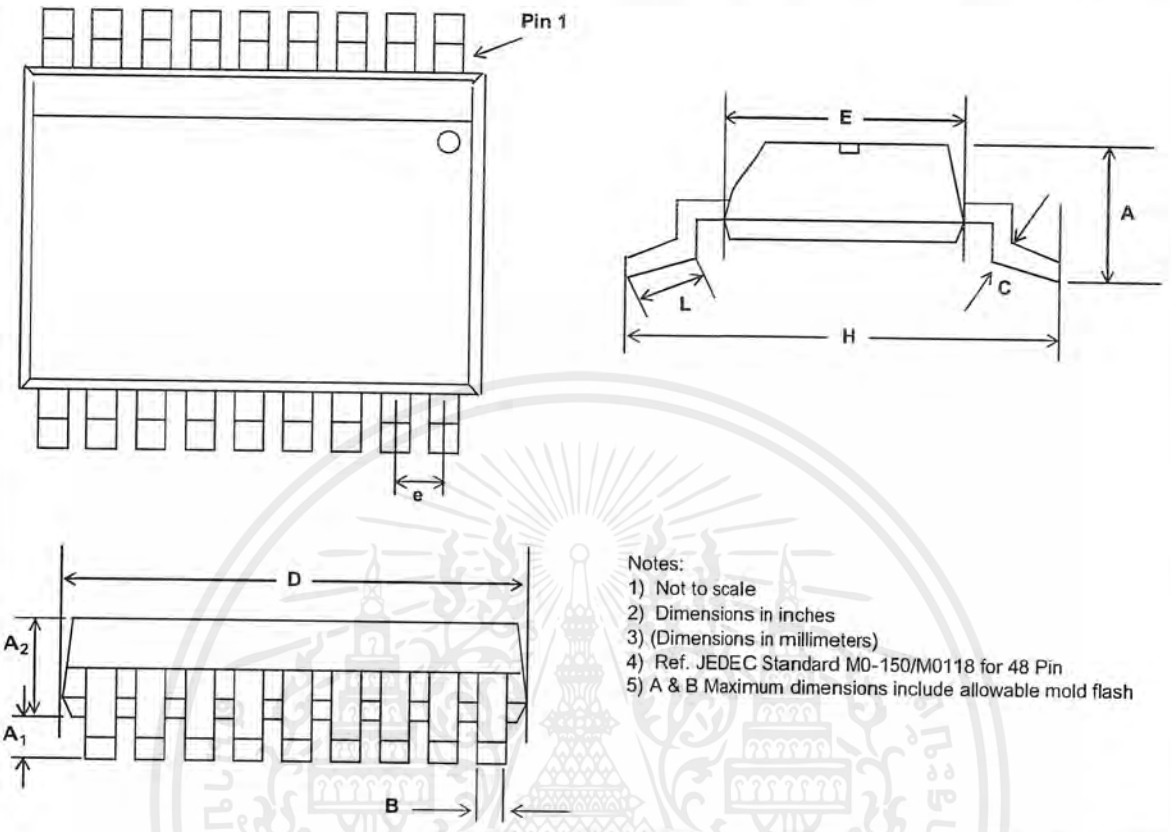


Notes:
1) Not to scale
2) Dimensions in inches
3) (Dimensions in millimeters)

Plastic Dual-In-Line Packages (PDIP) - E Suffix

DIM	22-Pin Plastic		24-Pin Plastic		28-Pin Plastic		40-Pin Plastic	
	Min	Max	Min	Max	Min	Max	Min	Max
A		0.210 (5.33)		0.250 (6.35)		0.250 (6.35)		0.250 (6.35)
A_2	0.125 (3.18)	0.195 (4.95)	0.125 (3.18)	0.195 (4.95)	0.125 (3.18)	0.195 (4.95)	0.125 (3.18)	0.195 (4.95)
b	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)
b_2	0.045 (1.15)	0.070 (1.77)	0.030 (0.77)	0.070 (1.77)	0.030 (0.77)	0.070 (1.77)	0.030 (0.77)	0.070 (1.77)
C	0.008 (0.204)	0.015 (0.381)	0.008 (0.204)	0.015 (0.381)	0.008 (0.204)	0.015 (0.381)	0.008 (0.204)	0.015 (0.381)
D	1.050 (26.67)	1.120 (28.44)	1.150 (29.3)	1.290 (32.7)	1.380 (35.1)	1.565 (39.7)	1.980 (50.3)	2.095 (53.2)
D_1	0.005 (0.13)		0.005 (0.13)		0.005 (0.13)		0.005 (0.13)	
E	0.390 (9.91)	0.430 (10.92)	0.600 (15.24)	0.670 (17.02)	0.600 (15.24)	0.670 (17.02)	0.600 (15.24)	0.670 (17.02)
E			0.290 (7.37)	0.330 (8.38)				
E_1	0.330 (8.39)	0.380 (9.65)	0.485 (12.32)	0.580 (14.73)	0.485 (12.32)	0.580 (14.73)	0.485 (12.32)	0.580 (14.73)
E_1			0.246 (6.25)	0.254 (6.45)				
e	0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)	
e_A	0.400 BSC (10.16)		0.600 BSC (15.24)		0.600 BSC (15.24)		0.600 BSC (15.24)	
e_A			0.300 BSC (7.62)					
e_B				0.430 (10.92)				
L	0.115 (2.93)	0.160 (4.06)	0.115 (2.93)	0.200 (5.08)	0.115 (2.93)	0.200 (5.08)	0.115 (2.93)	0.200 (5.08)
α		15°		15°		15°		15°

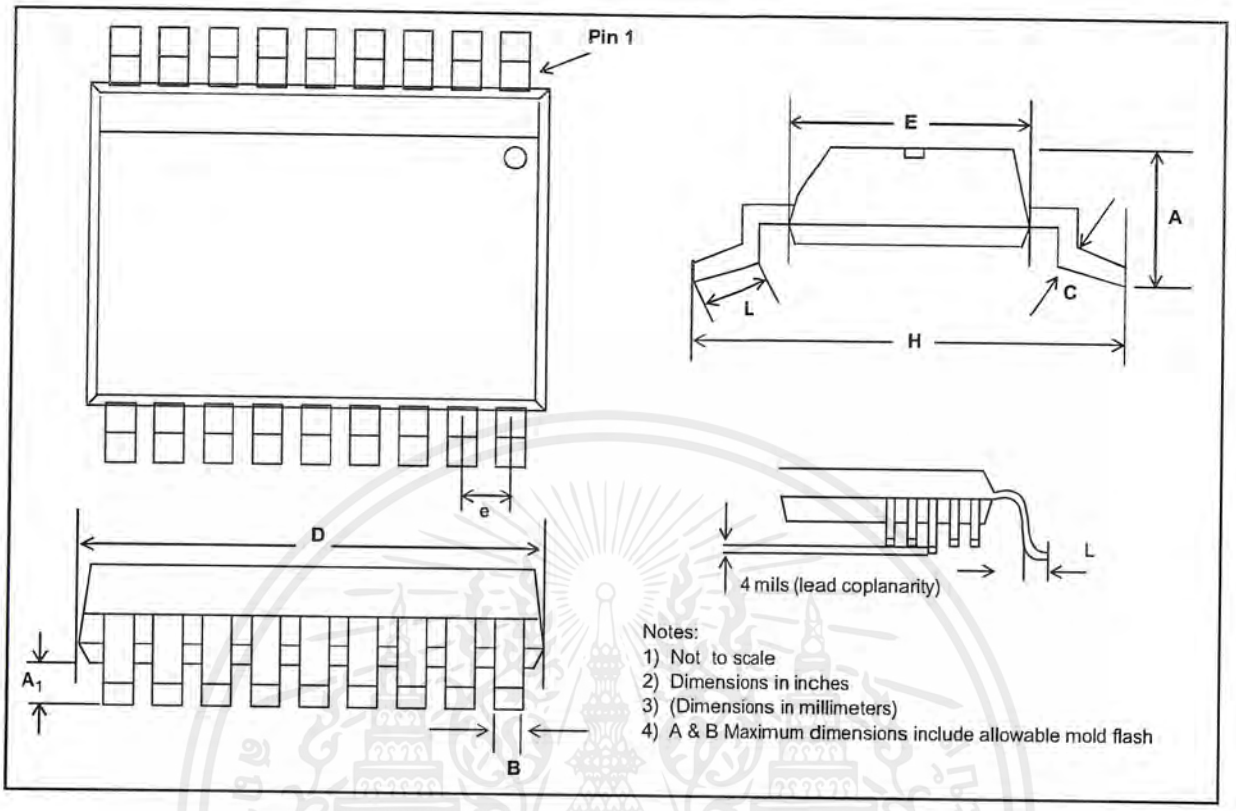
Shaded areas for 300 Mil Body Width 24 PDIP only



Notes:
1) Not to scale
2) Dimensions in inches
3) (Dimensions in millimeters)
4) Ref. JEDEC Standard M0-150/M0118 for 48 Pin
5) A & B Maximum dimensions include allowable mold flash

Dim	20-Pin		24-Pin		28-Pin		48-Pin	
	Min	Max	Min	Max	Min	Max	Min	Max
A		0.079 (2)	-	0.079 (2)		0.079 (2)	0.095 (2.41)	0.110 (2.79)
A_1	0.002 (0.05)		0.002 (0.05)		0.002 (0.05)		0.008 (0.2)	0.016 (0.406)
B	0.0087 (0.22)	0.013 (0.33)	0.0087 (0.22)	0.013 (0.33)	0.0087 (0.22)	0.013 (0.33)	0.008 (0.2)	0.0135 (0.342)
C		0.008 (0.21)		0.008 (0.21)		0.008 (0.21)		0.010 (0.25)
D	0.27 (6.9)	0.295 (7.5)	0.31 (7.9)	0.33 (8.5)	0.39 (9.9)	0.42 (10.5)	0.62 (15.75)	0.63 (16.00)
E	0.2 (5.0)	0.22 (5.6)	0.2 (5.0)	0.22 (5.6)	0.2 (5.0)	0.22 (5.6)	0.291 (7.39)	0.299 (7.59)
e	0.025 BSC (0.635 BSC)		0.025 BSC (0.635 BSC)		0.025 BSC (0.635 BSC)		0.025 BSC (0.635 BSC)	
A_2	0.065 (1.65)	0.073 (1.85)	0.065 (1.65)	0.073 (1.85)	0.065 (1.65)	0.073 (1.85)	0.089 (2.26)	0.099 (2.52)
H	0.29 (7.4)	0.32 (8.2)	0.29 (7.4)	0.32 (8.2)	0.29 (7.4)	0.32 (8.2)	0.395 (10.03)	0.42 (10.67)
L	0.022 (0.55)	0.037 (0.95)	0.022 (0.55)	0.037 (0.95)	0.022 (0.55)	0.037 (0.95)	0.02 (0.51)	0.04 (1.02)

Small Shrink Outline Package (SSOP) - N Suffix



DIM	16-Pin		18-Pin		20-Pin		24-Pin		28-Pin	
	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max
A	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)
A_1	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)
B	0.013 (0.33)	0.020 (0.51)	0.013 (0.33)	0.030 (0.51)	0.013 (0.33)	0.020 (0.51)	0.013 (0.33)	0.020 (0.51)	0.013 (0.33)	0.020 (0.51)
C	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)
D	0.398 (10.1)	0.413 (10.5)	0.447 (11.35)	0.4625 (11.75)	0.496 (12.60)	0.512 (13.00)	0.5985 (15.2)	0.614 (15.6)	0.697 (17.7)	0.7125 (18.1)
E	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)
e	0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)	
H	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)
L	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)

Lead SOIC Package - S Suffix

NOTES: 1. Controlling dimensions in parenthesis ( ) are in millimeters.
2. Converted inch dimensions are not necessarily exact.

http://www.mitelsemi.com

World Headquarters - Canada
Tel: +1 (613) 592 2122
Fax: +1 (613) 592 6909

North America
Tel: +1 (770) 486 0194
Fax: +1 (770) 631 8213

Asia/Pacific
Tel: +65 333 6193
Fax: +65 333 6192

Europe, Middle East, and Africa (EMEA)
Tel: +44 (0) 1793 518528
Fax: +44 (0) 1793 518581

Information relating to products and services furnished herein by Mitel Corporation or its subsidiaries (collectively Mitel) is believed to be reliable. However, Mitel assumes no liability for errors that may appear in this publication, or for liability otherwise arising from the application or use of any such information, product or service or for any infringement of patents or other intellectual property rights owned by third parties which may result from such application or use. Neither the supply of such information or purchase of product or service conveys any license, either express or implied, under patents or other intellectual property rights owned by Mitel or licensed from third parties by Mitel, whatsoever. Purchasers of products are also hereby notified that the use of product in certain ways or in combination with Mitel, or non-Mitel furnished goods or services may infringe patents or other intellectual property rights owned by Mitel.

This publication is issued to provide information only and (unless agreed by Mitel in writing) may not be used, applied or reproduced for any purpose nor form part of any order or contract nor to be regarded as a representation relating to the products or services concerned. The products, their specifications, services and other information appearing in this publication are subject to change by Mitel without notice. No warranty or guarantee express or implied is made regarding the capability, performance or suitability of any product or service. Information concerning possible methods of use is provided as a guide only and does not constitute any guarantee that such methods of use will be satisfactory in a specific piece of equipment. It is the user s responsibility to fully determine the performance and suitability of any equipment using such information and to ensure that any publication or data used is up to date and has not been superseded. Manufacturing does not necessarily include testing of all functions or parameters. These products are not suitable for use in any medical products whose failure to perform may result in significant injury or death to the user. All products and materials are sold and services provided subject to Mitel s conditions of sale which are available on request.

Purchase of Mitel Semiconductor s I^2C components conveys a licence under the Philips I^2C Patent rights to use these components in an I^2C System, provided that the system conforms to the I^2C Standard Specification as defined by Philips

Mitel, M Mitel and other "Mitel" licensed marks are owned by Mitel Networks Corporation used under license
Mitel Semiconductor is an ISO 9001 Registered Company
Copyright 2001 MITEL Corporation
All Rights Reserved

TECHNICAL DOCUMENTATION - NOT FOR RESALE

MOTOROLA
SEMICONDUCTOR
APPLICATION NOTE

AN960

Equalization of DTMF Signals Using the MC34014

by
Scott Bader and Dennis Morgan
Bipolar Analog IC Division

INTRODUCTION

This application note will describe how to obtain equalization (line length compensation) of the DTMF dialing tones using the MC34014 speech network. While the MC34014 does not have an internal dialer, it has the interface for a dialer so as to provide the means for putting the DTMF tones onto the Tip & Ring lines. The Equalization amplifier, whose gain varies with loop current, was meant primarily to equalize the speech signals. However, by adding one resistor, it can be used to equalize the DTMF signals as well.

CIRCUIT DESCRIPTION

Referring to Figure 1, the gain of the equalization amplifier varies with loop current as it is a function of the voltage at the LR pin (Pin 13). The gain varies from a minimum of −12 dB at low loop currents (long line), to −2.5 dB at high loop currents (short line). The output at EQ (Pin 6) is in phase with the signals going out onto Tip & Ring, but is out of phase with the DTMF input signals from the dialer at R7 (see Figure 2). Because of the out-of-phase relationship, the signal at EQ can be used to partially cancel the signals at the Tone Input (Pin 16). The addition of resistor R10 provides the path for this function, with the result that the DTMF gain increases as loop current decreases.

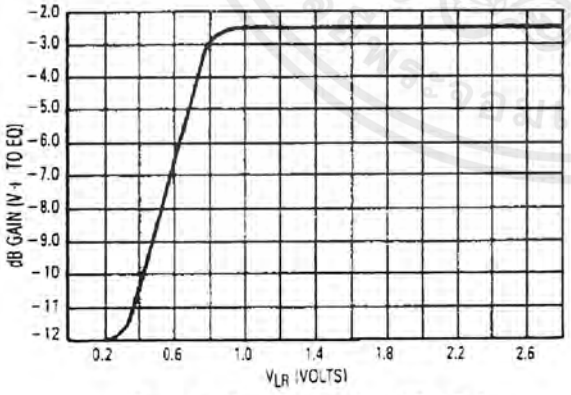


Figure 1. Equalization Amplifier Gain

Because the addition of R10 cancels some of the signal going into Pin 16, resistor R7 must be decreased in order to restore the overall gain from the dialer to Tip & Ring.

The DTMF gain values indicated in Figures 3 and 4 is the gain from the tone dialer (input at R7) to the Tip & Ring lines terminated with a 600 ohm resistor. Figure 3 indicates the gain CHANGE (as the loop current is varied from 60 to 20 mA) versus different values of R10. The gain change is a function of R10, and independent of R7. Figure 4 indicates the DTMF gain versus R7 for different values of R10 at a loop current of 20 mA.

Because the typical telephone line is not purely resistive, there will be a phase shift of other than 180° from the DTMF dialer to Tip & Ring in most applications. For this reason, the values of R10 and R7 will have to be adjusted slightly from those in the graphs to compensate for the phase shift.

The MC34014 data sheet mentions that a dc bias current of 20–50 μA is required into Pin 16 in order to bias the DTMF amplifier. The addition of R10 will provide the bias current from the EQ output for most applications, in which case it may be desirable to ac couple the dialer to R7 with a 0.5 μF capacitor. Excessive bias current will result in clipping of the signals at Tip & Ring. If just the addition of R10 results in excessive bias current, then the EQ output should be ac coupled to R10 with a 0.5 μF capacitor, and the bias current supplied either from the dialer or from an additional resistor as shown in Figure 5.

For further information on the MC34014, refer to its' data sheet.

©MOTOROLA INC., 1985

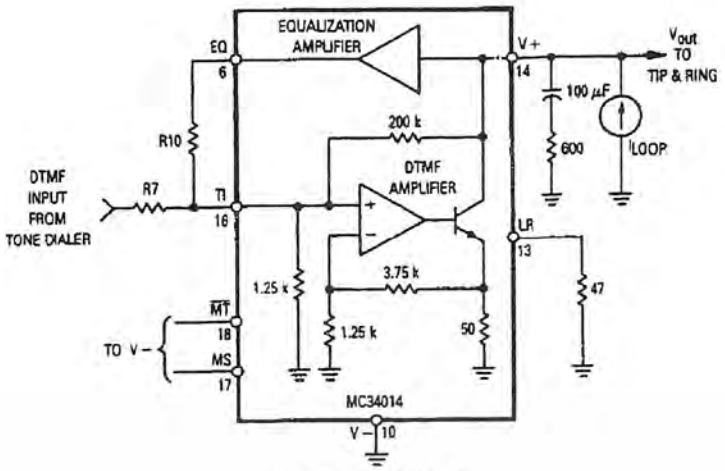


Figure 2. DTMF Driver

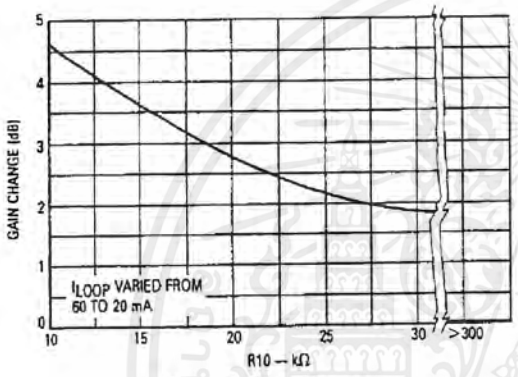


Figure 3. Gain Change

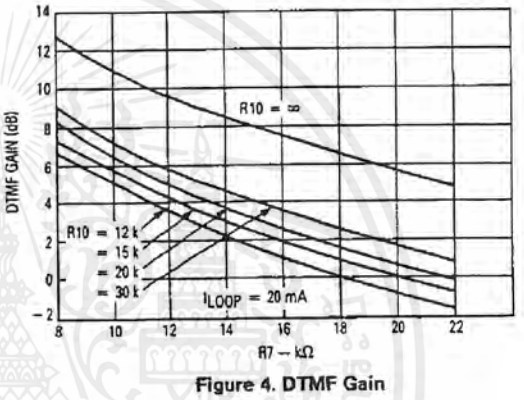


Figure 4. DTMF Gain

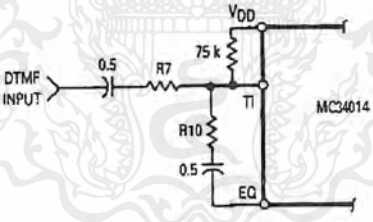


Figure 5. Alternate Biasing

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters can and do vary in different applications. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

Literature Distribution Centers:
USA: Motorola Literature Distribution; P.O. Box 20912; Phoenix, Arizona 85036.
EUROPE: Motorola Ltd.; European Literature Centre; 88 Tanners Drive, Blakelands, Milton Keynes, MK14 5BP, England.
JAPAN: Nippon Motorola Ltd.; 4-32-1, Nishi-Gotanda, Shinagawa-ku, Tokyo 141, Japan.
ASIA PACIFIC: Motorola Semiconductors H.K. Ltd.; Silicon Harbour Center, No. 2 Dai King Street, Tai Po Industrial Estate, Tai Po, N.T., Hong Kong.

MOTOROLA
19432-1 PRINTED IN USA (1994) MPS/POD LIN MISC YCAEAA

AN960/D

AN1608

Guidelines for the Speaker in a Line-Powered Speakerphone

Prepared by: Dennis Morgan
Motorola Analog Applications

INTRODUCTION

In the design of a speakerphone, the selection, and mounting, of a speaker plays a major role in the resulting quality of sound which the user hears in using the end product. The purpose of this application note is to provide some guidelines in selecting the optimum speaker impedance, drive configuration, and the mounting within the speakerphone enclosure. Among the key items to be discussed here are the choice of speaker impedance, and the drive configuration to the speaker.

BASICS

First some basics – the power provided to a speaker is defined by Ohm's laws:

- $P = Vrms^2/R$
- $P = R \times Irms^2$

where R is the impedance of the speaker, Vrms is the rms voltage across the speaker terminals, and Irms is the rms current through the speaker. While this is very basic information, it is included as a reminder that when a speakerphone is designed to be powered off the telephone line, the available power out of the speaker is limited (on long loops) by the loop current, rather than by the electronics. In other words, on a long loop, where the loop current is 20 to 30 mA, there is only so much power that can be had at the speaker. Changing the speaker amplifier to a more powerful one won't help. Today's more efficient speakerphone ICs consume less current internally, thereby making more of the incoming loop current available for the speaker. But even with the most efficient circuits available, the speaker power is still limited by the loop current.

For your reference, the graphs of Figures 3 through 6 indicate the current and voltage required to produce different power levels in speakers of various impedances.

SINGLE–ENDED OR DIFFERENTIAL DRIVE?

Figure 1 depicts a typical single–ended drive to the speaker, and Figure 2 depicts a differential drive.

Figure 1. Single–Ended Speaker Drive

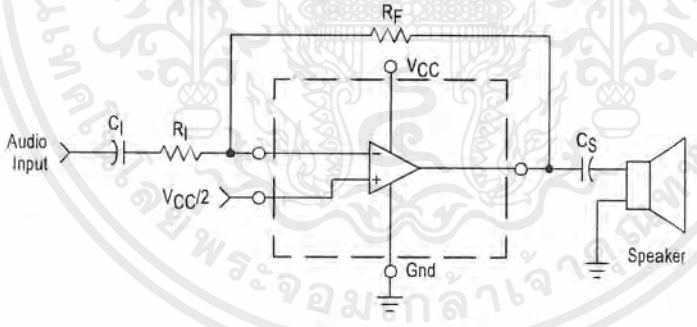
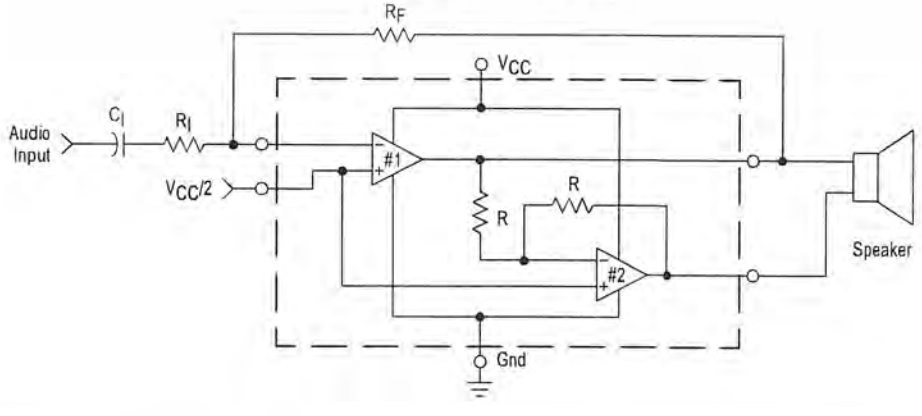


Figure 2. Differential Drive



© Motorola, Inc. 1997

The audio gain to the speaker in Figure 1 is R_F/R_I, and in Figure 2 it is 2 x R_F/R_I. Capacitor C_I is mainly for dc separation of the bias voltage at the speaker amplifier from the audio source, but it can also be used for low frequency roll–off.

Which configuration should be used? It would seem the differential circuit is preferable since the large capacitor (C_S, typically 47 μF) is not needed, and since twice as much voltage (and therefore four times the power) can be applied across the speaker for a given value of V_{CC}. However, the single–ended configuration has a huge advantage for phone–line powered speakerphones: It can deliver twice the power to the speaker for a given amount of available current. Since the operation of a line powered speakerphone is limited mostly by the available current, and less by voltage constraints, this feature of a single–ended driver can be a dominant consideration.

Data taken to support this concept (Table 1) was taken using the MC34119 speaker amplifier wired single–ended and differentially to a 25 Ω speaker, and monitoring the supply current required for different speaker power levels. The Supply Current indicated is that required for the speaker. The internal bias current required by the MC34119 was subtracted when taking this data.

Table 1. Current Requirements for Single–Ended and Differential Mode Speaker Amplifiers with 25 Ω Speaker

Speaker			Supply Current	
Power	Voltage	Current	Single–Ended Mode	Differential Mode
20 mW	0.707 Vrms	28 mArms	13 mA	25 mA
30 mW	0.866 Vrms	35 mArms	16 mA	31 mA
50 mW	1.11 Vrms	45 mArms	20 mA	40 mA
70 mW	1.32 Vrms	53 mArms	24 mA	48 mA
90 mW	1.50 Vrms	60 mArms	27 mA	54 mA
110 mW	1.66 Vrms	66 mArms	30 mA	60 mA
130 mW	1.80 Vrms	72 mArms	33 mA	65 mA
150 mW	1.94 Vrms	78 mArms	35 mA	70 mA

The Supply Current is essentially an average of the speaker rms current. For the single–ended mode, it is:

$$I_{sup} = \frac{(Irms \times 1.414)}{\pi}$$

and for the differential mode, it is twice that. Proofs of this are contained in Appendices A and B.

HOW MUCH SPEAKER POWER IS AVAILABLE IN A SPEAKERPHONE?

In a speakerphone powered by the phone line, there is not unlimited current available – in fact it is defined by the phone line to which the speakerphone is connected. Keeping in mind that each phone line is, in effect, a current source, and that its current **must** be accepted by the telephone circuitry, then whatever current is supplied by a phone line is what is available for the speaker – minus whatever current is needed to power the internal circuitry.

Since the available current is defined by the telephone line, and since $P = I^2R$, it would seem logical to select the highest impedance speaker available. But higher impedance means higher voltage requirements, and there are two voltage limitations in this kind of application:

– Those imposed by the telephone companies, and

– Those imposed by the telephone's internal circuitry.

The most difficult situation for a line powered speakerphone is, of course, at the lowest loop current. The telephone companies guarantee (and have for decades) that the minimum loop current on any phone line is 20 mA. Although less current than that can flow in an individual telephone if parallel phones are off–hook, 20 mA will be used as the minimum in this discussion. At this current value, the telephone companies would like the voltage across the phone line to not exceed 6.0 V[1]. Since every electronic telephone has a diode bridge at the phone line connection, that leaves a maximum of 4.6 V for the internal electronics. In an ideal situation, where all 20 mA could be delivered to the speaker, there would theoretically be 92 mW available for the speaker power (4.6 V x 20 mA).

But circuits are not ideal, and allowances must be made for powering of the various ICs within a phone, as well as other realities. Typically (in 1997), dialers consume 1.0 to 2.0 mA, speech network/speakerphone circuits consume 1.0 to 5.0 mA, and speaker amplifiers use another 1.0 to 3.0 mA. A best case scenario would leave 17 mA for the speaker, and a worst case scenario would leave about 10 mA. Additionally, the speaker amplifier generally cannot be powered from the same internal point as the speech network (4.6 V in this example), but must be powered by some kind of regulator which will have a voltage drop of 0.5 to 1.5 V.

Using the best case scenario of the above numbers, the 17 mA of current to the speaker amplifier would translate to 37.8 mArms at the speaker (in a single–ended configuration). If the speaker amplifier has a true rail–to–rail output (4.1 Vpp swing), that calculates to 55 mW at the speaker. This assumes a 38 Ω speaker is used, since that is what would be required to make the above numbers be true.

The above calculations do not include voltage drops for the hookswitch, protection devices, and any other circuitry between the phone line and the speaker amplifier, as well as the fact that even rail–to–rail amplifiers need some head–room. Since these items lower the available peak–to–peak voltage to the speaker, the best speaker impedance ends up something less than 38 Ω.

At higher loop currents, the situation improves in that more power is available for the speaker, but only up to a point. For example, if the loop current is 60 mA, and assuming the internal dc voltages are a bit higher than in the above example, the current consumed by the ICs will be assumed to be 4.0 mA instead of 3.0 mA. That leaves 56 mA for the speaker, which translates to 124 mArms. Using the same 38 Ω speaker as above, the maximum voltage swing would be 13.3 V, requiring the ICs to operate at 14 to 15 V. But most telephone ICs have a maximum rating of 10 to 12 V, which provides an upper limit for the voltage swing at the speaker. But even if the 38 Ω speaker could make full use of the 124 mArms current, that represents 584 mW, which is substantially more than what any common speakerphone needs.

SELECTING THE SPEAKER IMPEDANCE

In a circuit which has a power supply powered by the 110 Vac (or 220 Vac) commercial power source, the choice of speaker impedance is usually easy. Since there is, for all practical purposes, unlimited power available, the choice of an 8.0 Ω speaker makes good sense for two reasons:

- They are usually the least expensive, and
- The low impedance value means a high voltage is not needed to obtain significant power.

However, as described in the section above, in a speakerphone powered by the phone line, the situation is different. There is not unlimited current available – it is defined by the phone line to which the speakerphone is connected. Selecting the right speaker impedance involves making best use of the available current, while staying within the voltage limitations of the system.

As described above, a speaker impedance less than 38 Ω is best. Since it can be shown that, at a loop current of 20 mA, a best case scenario would produce only 11 mW of power with an 8.0 Ω speaker, it is obvious something between 8.0 Ω and 38 Ω is needed.

To determine the optimum speaker impedance, data was taken using the MC33215[2] Speech network/speakerphone IC which contains integral speaker amplifier.

The MC33215 provides the phone line interface (except for the diode bridge), the speech network, speakerphone, and speaker amplifier, and therefore contains the majority of a basic telephone's circuitry. The only additional circuit required for a POTS phone is a dialer, which typically consumes ≈ 1.0 mA. The MC33215's dc characteristics was optimized for speakerphone operation while staying within the industry's guidelines[1], and the circuit's block diagram is shown in Figure 7. The maximum speaker power, for different values of loop current, was determined by increasing the 1.0 kHz R_X signal until the speaker amplifier's peak limiter circuit prevented any further increase in the output to the speaker. Figure 8 indicates the results for various standard speaker impedance values. Figure 9 indicates the dc voltage at the VLN pin, which is at the output of the diode bridge.

The MC34018 speakerphone IC was also tested with similar results. Since the MC34018 does not contain the speech network (but does contain a speaker amplifier with peak limiting), it offers more flexibility as far as system configuration is concerned. This makes a direct comparison with the MC33215 difficult to do in a fair manner. The MC33215 was studied in detail for this document since it was designed, and optimized, specifically for a line–powered speakerphone, and to be used with a 25 Ω speaker.

Figure 8 indicates that the highest impedance speakers do best at the low currents, while the lowest impedance speakers do best at the highest currents. The best compromise, however, for both long and short lines, is a 25 Ω speaker. The second best choice would be a 16 Ω speaker, which provides more power at high loop currents, but slightly less power at 20 mA.

MORE POWER?

A common goal among many designers of speakerphones, and speakerphone–like products, is for louder sound from the speaker. This is particularly understandable if the end product is to be used in a somewhat noisy environment (noisy office area, apartment lobby intercom, elevator emergency phone, etc.). The discussion above shows how, in a telephone line powered product, the available power to the speaker, in milliwatts, is limited by the phone line. But the sound level coming from the speaker, in dBspl, is not limited only by the number of milliwatts. The mounting of the speaker – or in other words, the acoustics of the cabinetry, has a significant impact on the sound level, and has the same level of importance as the electronics for the performance of the end product.

Four line powered speakerphones were tested for sound level using a sound level meter. The results showed a difference of as much as 15 dBspl. Three units incorporated the MC34018 speakerphone IC, and one unit used the MC33215. All four had 25 Ω speakers, and were connected to the same telephone line. The main difference among the four was the design of the enclosure, which significantly affected the sound level.

While this author does not imply to be an expert at acoustics, it has become obvious after working with many speakerphone designers for several years, and after investigating many speakerphone designs, that the cabinetry design is a significant factor which **should be considered from the very beginning of the product design.** Leaving the cabinet design to the end usually results in poor acoustic performance. Generally, speaker manufacturers can be consulted for assistance in the design of the unit's cabinet.

A word of caution here – While it is possible to obtain a higher sound level from the speaker with proper electrical and acoustic design, keep in mind that acoustic coupling from the speaker to the microphone is one of the more significant factors, and potential problem areas, in the design of a voice activated speakerphone. If the speaker's sound level is raised too high, the circuit will either oscillate, or have a poor switching response. Therefore, the acoustic coupling must also be considered in the design of the cabinetry from the very beginning.

CONCLUSION

An 8.0 Ω speaker, while usually the least expensive, is not the best choice for a line powered speakerphone. A 25 Ω speaker is the best compromise. A survey of well designed speakerphones on the market today will find most of them use a 25 Ω speaker.

REFERENCES

1. EIA–470–A, Electronic Industries Association, July 1987
2. MC33215 Data Sheet, Advanced Information, April 1997, Revision 0
3. MC34018 Data Sheet, Specifications and Applications Information
4. 1988 Bell System Technical Journal, Volume XXXIX, March 1960, No. 2

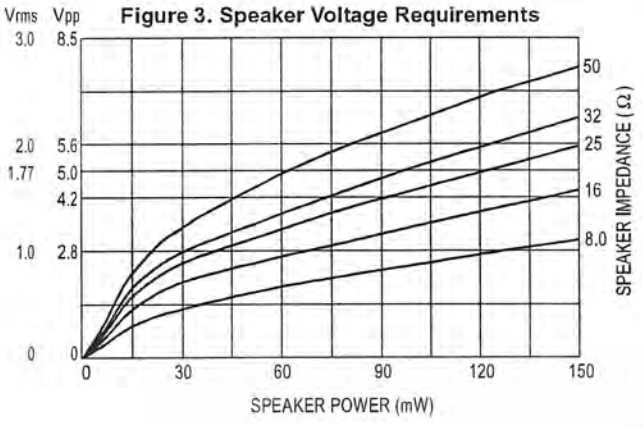


Figure 3. Speaker Voltage Requirements

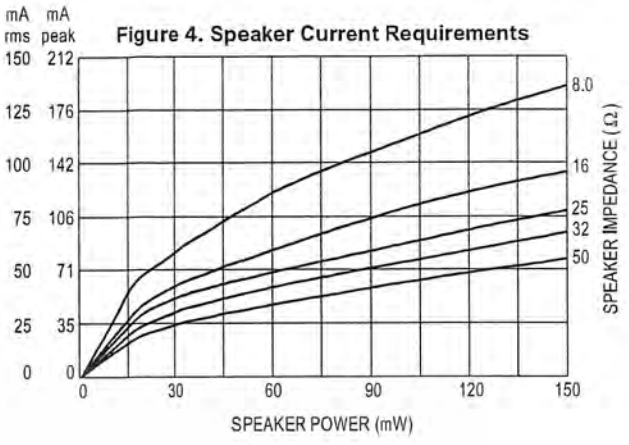


Figure 4. Speaker Current Requirements

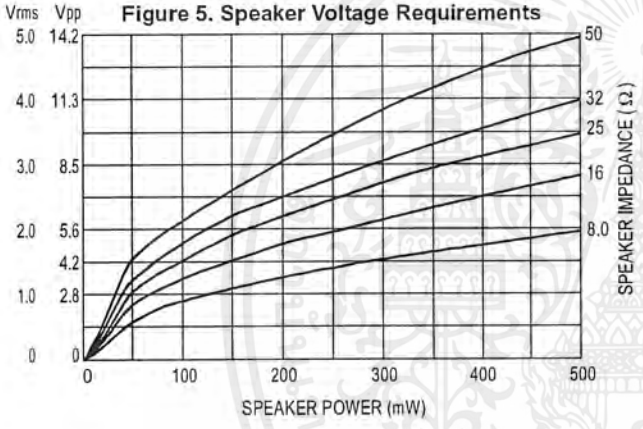


Figure 5. Speaker Voltage Requirements

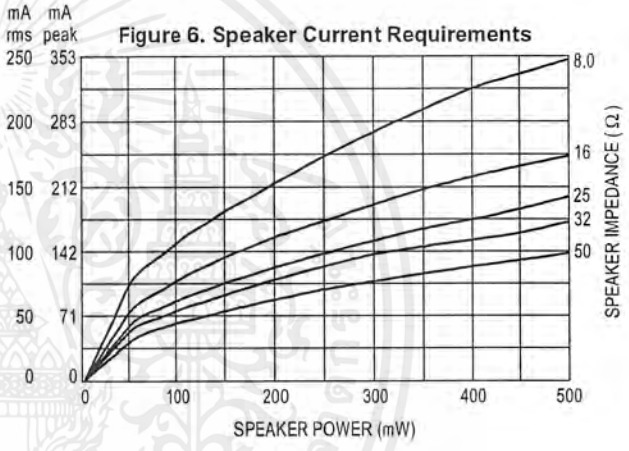


Figure 6. Speaker Current Requirements

Figure 7. MC33215 Test Circuit

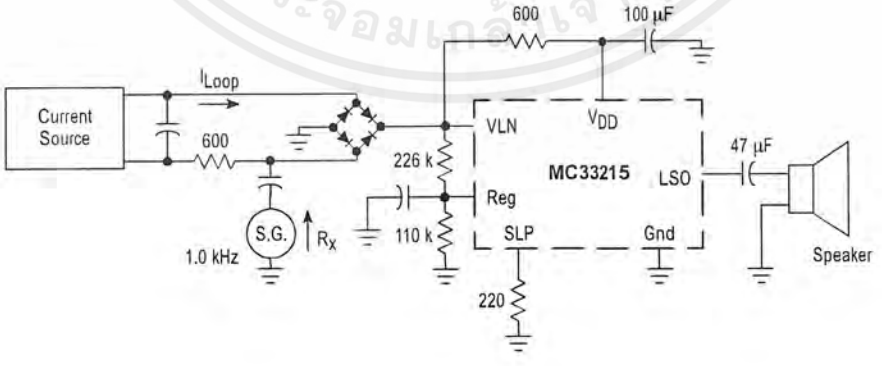


Figure 8. MC33215 Maximum Speaker Power versus Speaker Impedance

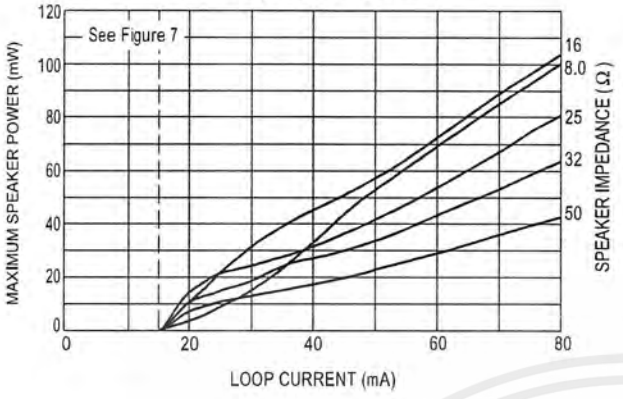
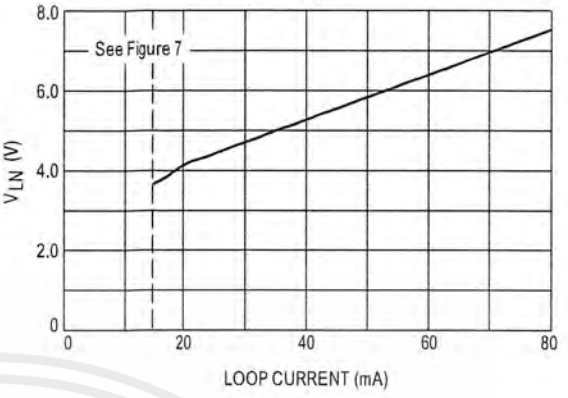


Figure 9. MC33215 DC Voltage at VLN versus Loop Current

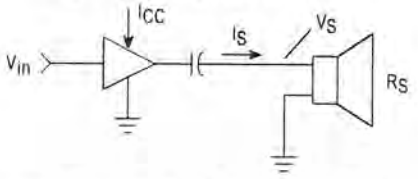


APPENDIX A

The following analysis explains why a single–ended speaker configuration uses half the current of a differential configuration for the same amount of power delivered to the speaker.

A) First the single–ended configuration will be described:

Figure 10. Single–Ended Drive

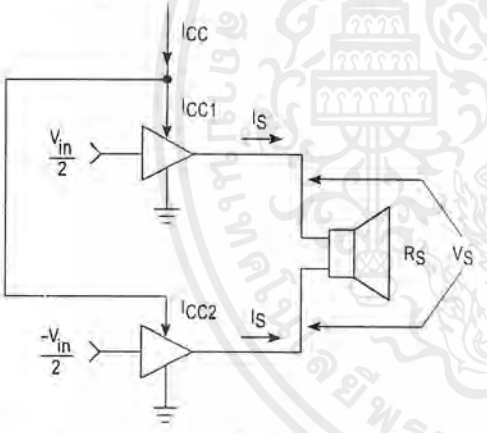


For a given power level in the speaker (P_S), the rms current in the speaker (I_S) is ($\sqrt{P_S/R_S}$), which is equal to V_S/R_S. The dc supply current to the amplifier is I_{CC}, and is proportional to I_S (neglecting the bias current required by the amplifier).

$$I_{CC} \equiv I_S = \frac{V_S}{R_S} \qquad \text{Equation 1}$$

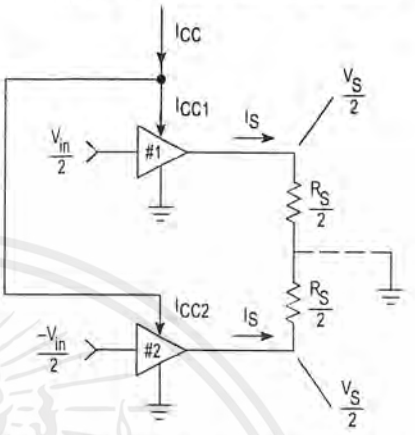
B) Now consider the differential output configuration:

Figure 11. Differential Drive



The rms voltage across the speaker (V_S) is the same as in example A above, providing the same power. In this case, it is provided by two amplifiers which are providing equal, but oppositely phased signals to the speaker. (The amplitude at each output is $V_S/2$). Because of this arrangement, the speaker impedance can be considered as two impedances in series, each $R_S/2$, with their midpoint being a virtual ground.

Figure 12. Differential Drive Detail



Since the voltage swing at each amplifier's output is $V_S/2$, then the current from each amplifier is:

$$I_S = \frac{V_S/2}{R_S/2} \text{ or } \frac{V_S}{R_S} \qquad \text{Equation 2}$$

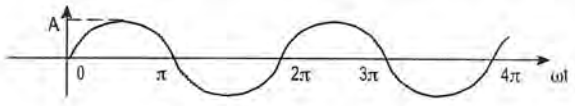
The current out of each amplifier is the same as in example A, which is logical since the speaker's current should be the same for a given power level. Since the supply current for each amplifier is proportional to its speaker current, the total current (I_{CC}) is equal to:

$$I_{CC} = (I_{CC1} + I_{CC2}) \equiv 2 \times I_S = 2 \times \frac{V_S}{R_S} \qquad \text{Equation 3}$$

If the supply voltage is the same in both examples, then twice the power is being dissipated in example B as in example A. If the power in the speaker is the same in both cases, where does the extra power go to? The answer is that it is dissipated in the output stage of amplifiers #1 and #2. Since their output voltage swing is only half that in example A, there is more voltage difference between the outputs and the supply rails. Since the speaker current has to go through that voltage difference, the extra power is dissipated there.

APPENDIX B

When supplying a sine wave signal to a speaker via an amplifier, the average current for each half cycle is calculated as follows:



$I = A \text{ Sin } \omega t$

$$\text{Average} = \frac{\int I \, d\omega t \Big]_0^{\pi}}{\pi} = \frac{-(A \text{ Cos } \omega t) \Big]_0^{\pi}}{\pi} = \frac{A + A}{\pi} = \frac{2A}{\pi}$$

$$\text{Average} = \frac{A}{1.57}$$

In a single–ended configuration, such as in Figure 10, the amplifier output will source current to the speaker as its voltage is increasing, such as from $3\pi/2$ to $5\pi/2$ in the above waveform. This current is supplied from the external power supply as I_{CC}. During this time the coupling capacitor to the speaker is being charged.

When the amplifier's output voltage is decreasing (from $5\pi/2$ to $7\pi/2$), the amplifier is sinking current from the charge stored in the capacitor to ground. During this time, the external power supply is not supplying any current to the amplifier.

The overall average power supply current for this configuration is therefore equal to one half of the sine wave's average value, or

$$I_{CC} = \frac{A}{\pi} \quad \text{(Single–Ended Mode)}$$

In a differential configuration, (Figure 11), when amplifier #1's output is greater than that of amplifier #2, it is sourcing current to the speaker, and amplifier #2's output is sinking that current to ground. The average supply current to amplifier #1 during this half cycle is $2A/\pi$, and zero to amplifier #2. During the next half cycle, amplifier #2 is sourcing current to the speaker, and amplifier #1 is sinking that current to ground. The average supply current during this half cycle is also $2A/\pi$ (to amplifier #2). Therefore, the overall average power supply current for this configuration is:

$$I_{CC} = \frac{2A}{\pi} \quad \text{(Differential Mode)}$$

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

Mfax is a trademark of Motorola, Inc.

How to reach us:

USA/EUROPE/Locations Not Listed: Motorola Literature Distribution; P.O. Box 5405, Denver, Colorado 80217. 303–675–2140 or 1–800–441–2447

Mfax™: RMFAX0@email.sps.mot.com – TOUCHTONE 602–244–6609 – US & Canada ONLY 1–800–774–1848

INTERNET: http://motorola.com/sps

JAPAN: Nippon Motorola Ltd.: SPD, Strategic Planning Office, 4–32–1, Nishi–Gotanda, Shinagawa–ku, Tokyo 141, Japan. 81–3–5487–8488

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

Order this document by MC34017/D

MOTOROLA

MC34017

Telephone Tone Ringer

Bipolar Linear/I^2L

- Complete Telephone Bell Replacement Circuit with Minimum External Components
- On–Chip Diode Bridge and Transient Protection
- Direct Drive for Piezoelectric Transducers
- Push Pull Output Stage for Greater Output Power Capability
- Base Frequency Options – MC34017–1: 1.0 kHz
  – MC34017–2: 2.0 kHz
  – MC34017–3: 500 Hz
- Input Impedance Signature Meets Bell and EIA Standards
- Rejects Rotary Dial Transients

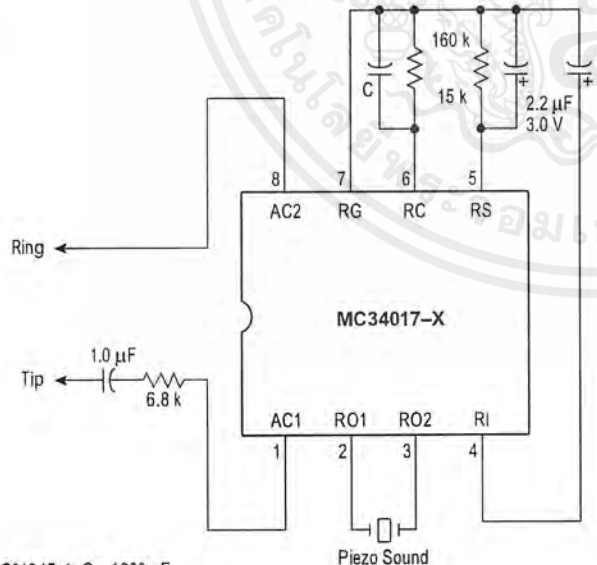
TELEPHONE TONE RINGER
BIPOLAR LINEAR/I^2L

SEMICONDUCTOR TECHNICAL DATA

D SUFFIX
PLASTIC PACKAGE
CASE 751

P SUFFIX
PLASTIC PACKAGE
CASE 626

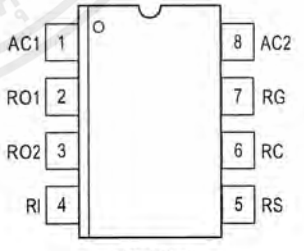
Typical Application



MC34017–1: C = 1000 pF
MC34017–2: C = 500 pF
MC34017–3: C = 2000 pF

This device contains 97 active transistors and 79 gates.

PIN CONNECTIONS



(Top View)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC34017D	T_A = –20° to +60°C	SOIC
MC34017P		Plastic DIP

© Motorola, Inc. 1996

MAXIMUM RATINGS (Voltages Referenced to RG, Pin 7)

Rating	Symbol	Value	Unit
Operating AC Input Current (Pins 1, 8)	–	20	mA, RMS
Transient Input Current (Pins 1, 8) (T<2.0 ms)	V_{in}	±300	mA, peak
Voltage Applied at RC (Pin 6)	V_{RC}	5.0	V
Voltage Applied at RS (Pin 5)	V_{RS}	5.0	V
Voltage Applied to Outputs (Pins 2, 3)	V_O	–2.0 to V_{RI}	V
Power Dissipation (@ 25°C)	P_D	1.0	W
Operating Ambient Temperature	T_A	–20 to +60	°C
Storage Temperature	T_{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (T_A = 25°C)

Characteristic	Test	Symbol	Min	Typ	Max	Unit
Ringing Start Voltage V_{Start} = V_I at Ring Start						Vdc
V_I > 0	1a	V_{Start} (+)	34	37.5	41	
V_I < 0	1b	V_{Start} (–)	–34	–37.5	–41	
Ringing Stop Voltage V_{Stop} = V_I at Ring Stop	1c	V_{Stop}				Vdc
MC34017–1			14	16	22	
MC34017–2			12	14	20	
MC34017–3			14	16	22	
Output Frequencies (V_I = 50 V)	1d					Hz
MC34017–1 High Tone		f_H	937	1010	1083	
Low Tone		f_L	752	808	868	
Warble Tone		f_W	11.5	12.5	14	
MC34017–2 High Tone		f_H	1874	2020	2166	
Low Tone		f_L	1504	1616	1736	
Warble Tone		f_W	11.5	12.5	14	
MC34017–3 High Tone		f_H	937	1010	1083	
Low Tone		f_L	752	808	868	
Warble Tone		f_W	23	25	28	
Output Voltage (V_I = 50 V)	6	V_O	34	37	43	Vpp
Output Short–Circuit Current	2	I_{RO1}, I_{RO2}	35	60	80	mApp
Input Diode Voltage (I_I = 5.0 mA)	3	V_D	5.4	6.2	6.8	Vdc
Input Voltage – SCR "Off" (I_I = 30 mA)	4a	V_{off}	30	38	43	Vdc
Input Voltage – SCR "On" (I_I = 100 mA)	4b	V_{on}	3.2	4.1	6.0	Vdc
RS Clamp Voltage (V_I = 50 V)	5	V_{clamp}	1.3	1.5	1.8	Vdc

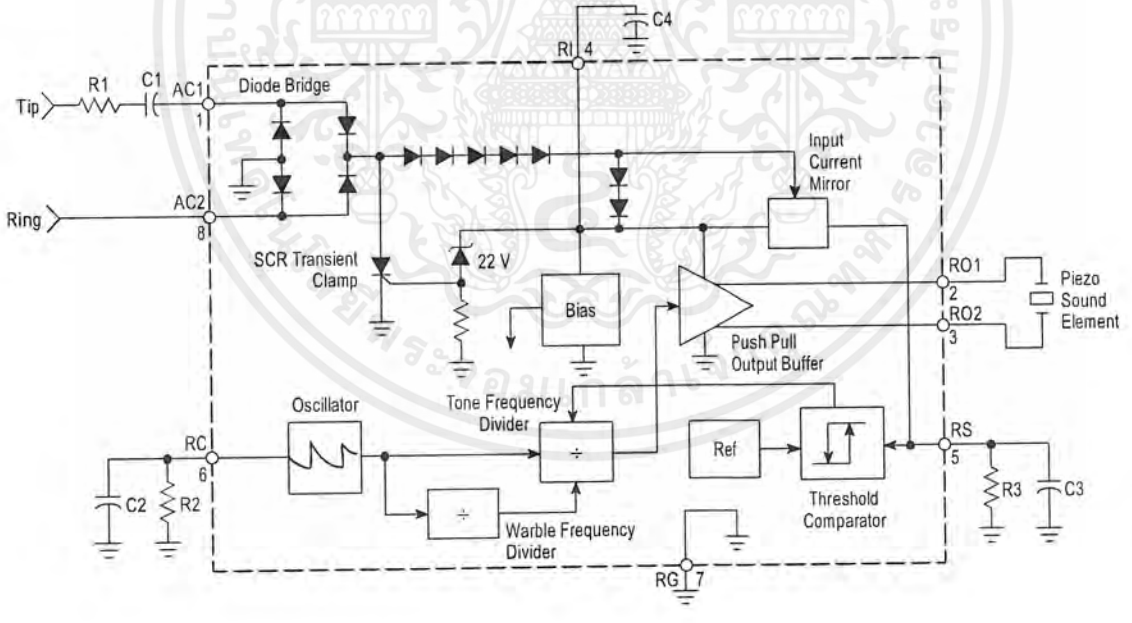
PIN FUNCTION DESCRIPTION

Pin	Symbol	Description
1, 8	AC1, AC2	The input terminals to the full–wave diode bridge. The ac ringing signal from the telephone line energizes the ringer through this bridge.
5	RS	The input of the threshold comparator to which diode bridge current is mirrored and sensed through an external resistor (R3). Nominal threshold is 1.2 V. This pin internally clamps at 1.5 V.
4	RI	The positive supply terminal for the oscillator, frequency divider and output buffer circuits.
2, 3	RO1, RO2	The tone ringer output terminals through which the sound element is driven.
7	RG	The negative terminal of the diode bridge and the negative supply terminal of the tone generating circuitry.
6	RC	The oscillator terminal for the external resistor and capacitor which control the tone ringer frequencies (R2, C2).

APPLICATION CIRCUIT PERFORMANCE (Refer to Typical Application)

Characteristic	Typical Value	Units
Output Tone Frequencies MC34017–1 MC34017–2 MC34017–3 Warble Frequencies	 808/1010 1616/2020 404/505 12.5	Hz
Output Voltage ($V_I \geq 60$ Vrms, 20 Hz)	37	Vpp
Output Duty Cycle	50	%
Ringing Start Input Voltage (20 Hz)	36	Vrms
Ringing Stop Input Voltage (20 Hz)	21	Vrms
Maximum AC Input Voltage (≤ 68 Hz)	150	Vrms
Impedance When Ringing V_I = 40 Vrms, 15 Hz V_I = 130 Vrms, 23 Hz	 >16 12	kΩ
Impedance When Not Ringing V_I = 10 Vrms, 24 Hz V_I = 2.5 Vrms, 24 Hz V_I = 10 Vrms, 5.0 Hz V_I = 3.0 Vrms, 200 – 3200 Hz	 28 >1.0 55 >200	 kΩ MΩ kΩ kΩ
Maximum Transient Input Voltage (T ≤ 2.0 ms)	1500	V
Ringer Equivalence: Class A Class B	0.5 0.9	– –

Block Diagram



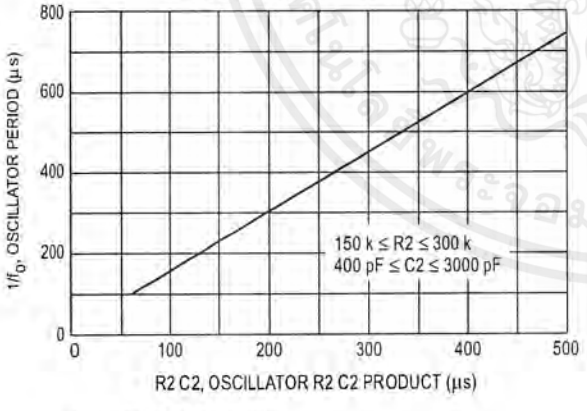
CIRCUIT DESCRIPTION

The MC34017 Tone Ringer derives its power supply by rectifying the ac ringing signal. It uses this power to activate a tone generator and drive a piezo–ceramic transducer. The tone generation circuitry includes a relaxation oscillator and frequency dividers which produce high and low frequency tones as well as the tone warble frequency. The relaxation oscillator frequency f_O is set by resistor R2 and capacitor C2 connected to Pin RC. The oscillator will operate with f_O from 1.0 kHz to 10 kHz with the proper choice of external components (see Figure 1).

The frequency of the tone ringer output signal at RO1 and RO2 alternates between $f_O/4$ to $f_O/5$. The warble rate at which the frequency changes is $f_O/320$ for the MC34017–1, $f_O/640$ for the MC34017–2 and $f_O/160$ for the MC34017–3. With a 4.0 kHz oscillator frequency, the MC34017–1 produces 800 Hz and 1000 Hz tones with a 12.5 Hz warble rate. The MC34017–2 generates 1600 Hz and 2000 Hz tones with a similar 12.5 Hz warble frequency from an 8.0 kHz oscillator frequency. The MC34017–3 will produce 400 Hz and 500 Hz tones with a 12.5 Hz warble rate from a 2.0 kHz oscillator frequency. The tone ringer output circuit can source or sink 20 mA with an output voltage swing of 37 V peak–to–peak. Volume control is readily implemented by adding a variable resistance in series with the piezo transducer.

Input signal detection circuitry activates the tone ringer output when the ac line voltage exceeds programmed threshold level. Resistor R3 determines the ringing signal amplitude at which an output signal at RO1 and RO2 will be generated. The ac ringing signal is rectified by the internal diode bridge. The rectified input signal produces a voltage across R3 which is referenced to RG. The voltage across resistor R3 is filtered by capacitor C3 at the input to the threshold circuit.

Figure 1. Oscillator Period ($1/f_O$) versus Oscillator R2 C2 Product



($1/f_O$ = 1.45 R2 C2 + 10 µs)

When the voltage on capacitor C3 exceeds 1.2 V, the threshold comparator enables the tone ringer output. Line transients produced by pulse dialing telephones do not charge capacitor C3 sufficiently to activate the tone ringer output.

Capacitors C1 and C4 and resistor R1 determine the 10 V, 24 Hz signature test impedance. C4 also provides filtering for the output stage power supply to prevent droop in the square wave output signal. Six diodes in series with the rectifying bridge provide the necessary non–linearity for the 2.5 V, 24 Hz signature tests.

An internal shunt voltage regulator between the RI and RG terminals provides dc voltage to power the output stage, oscillator and frequency dividers. The dc voltage at RI is limited to approximately 22 V in regulation. To protect the IC from telephone line transients, an SCR is triggered when the regulator current exceeds 50 mA. The SCR diverts current from the shunt regulator and reduces the power dissipation within the IC.

EXTERNAL COMPONENTS

R1	**Line Input Resistor** R1 affects the tone ringer input impedance. It also influences ringing threshold voltage and limits current from line transients. (Range: 2.0 to 10 kΩ).
C1	**Line Input Capacitor** C1 ac couples the tone ringer to the telephone line and controls ringer input impedance at low frequencies. (Range: 0.4 to 2.0 µF).
R2	**Oscillator Resistor** (Range: 150 to 300 kΩ).
C2	**Oscillator Capacitor** (Range: 400 to 3000 pF).
R3	**Input Current Sense Resistor** R3 controls the ringing threshold voltage. Increasing R3 decreases the ring–start voltage. (Range: 5.0 to 18 kΩ).
C3	**Ringing Threshold Filter Capacitor** C3 filters the ac voltage across R3 at the input of the ringing threshold comparator. It also provides dialer transient rejection. (Range: 0.5 to 5.0 µF).
C4	**Ringer Supply Capacitor** C4 filters supply voltage for the tone generating circuits. It also provides an ac current path for the 10 Vrms ringer signature impedance. (Range: 1.0 to 10 µF).

Figure 2. Test One

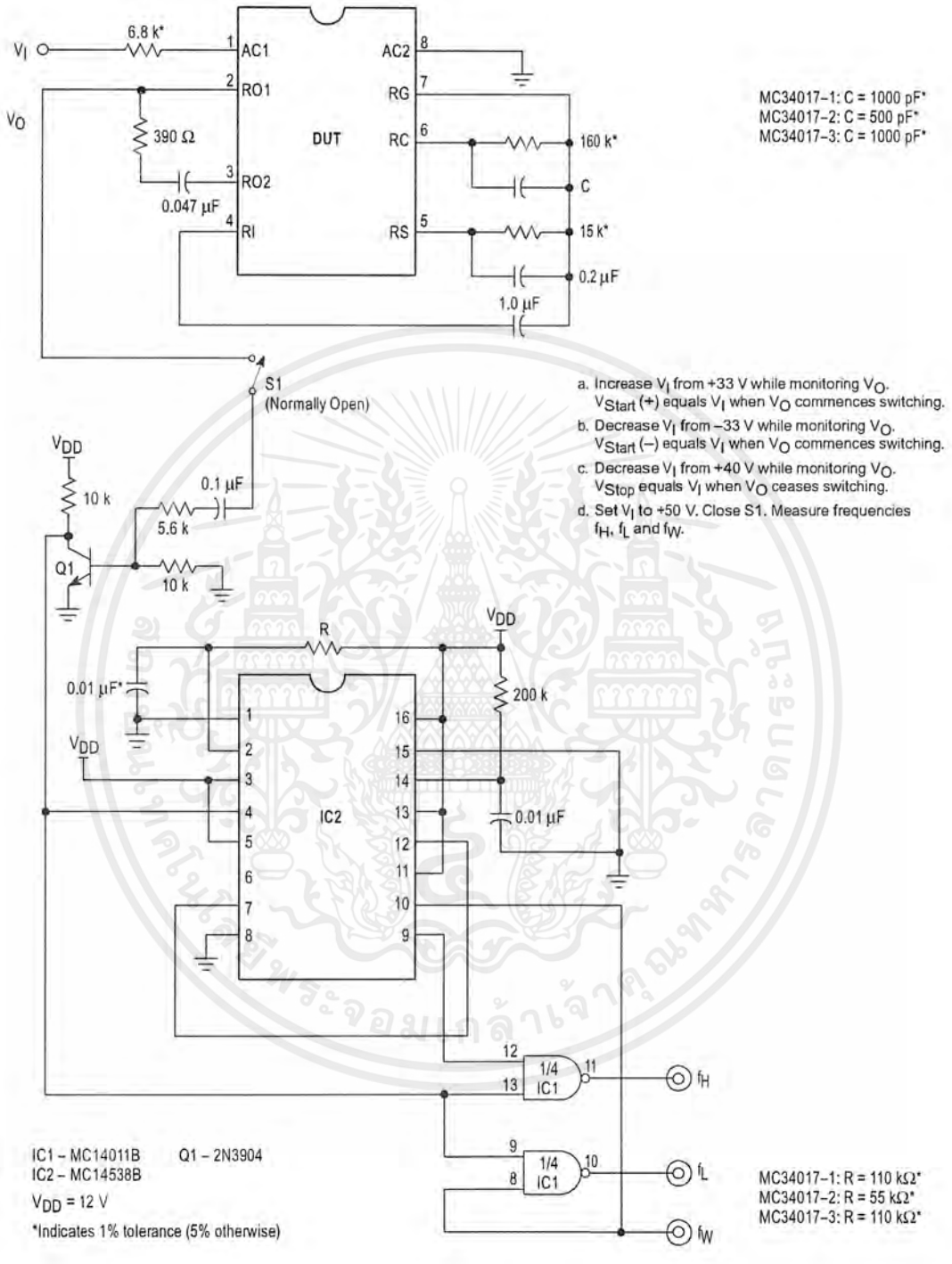
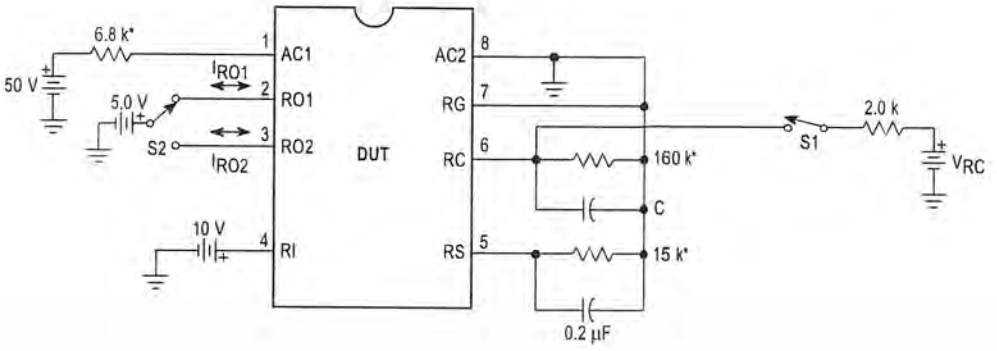


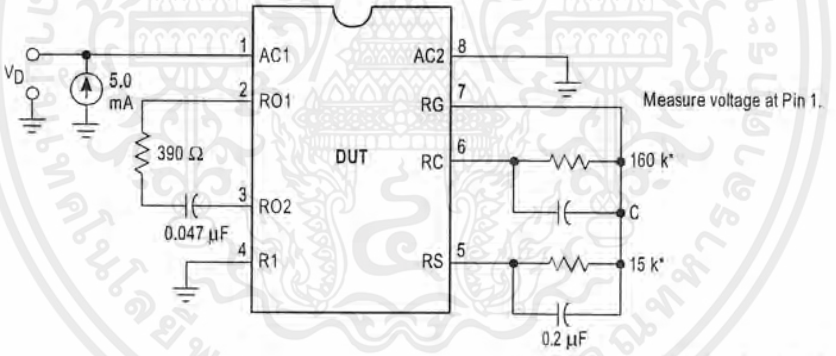
Figure 3. Test Two



MC34017–1: C = 1000 pF*
MC34017–2: C = 500 pF*
MC34017–3: C = 1000 pF*
*Indicates 1% tolerance (5% otherwise)

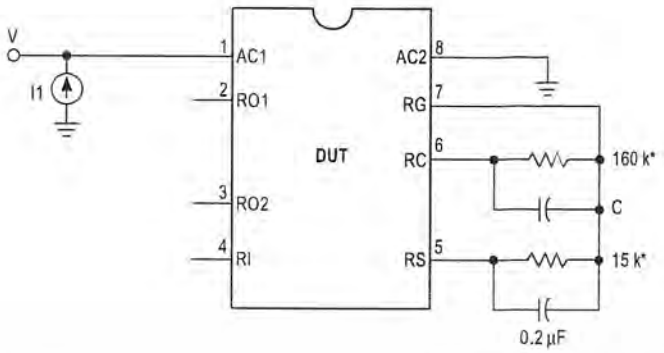
With V_{RC} = 4.0 V, close S1. Switch S2 to Pin 2 and measure current at Pin 2 (I_{O1}). Repeatedly switch V_{RC} between 4.0 V and 0 V until Pin 2 current changes polarity. Measure the opposite polarity current (I_{O2}).
Calculate: $I_{RO1} = |I_{O1}| + |I_{O2}|$.
Switch S2 to Pin 3 and repeat.
Calculate: $I_{RO2} = |I_{O1}| + |I_{O2}|$.

Figure 4. Test Three



MC34017–1: C = 1000 pF*
MC34017–2: C = 500 pF*
MC34017–3: C = 1000 pF*
*Indicates 1% tolerance (5% otherwise)

Figure 5. Test Four

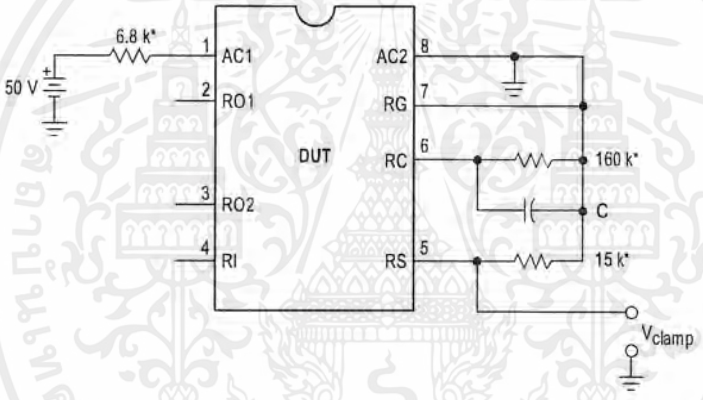


MC34017–1: C = 1000 pF*
MC34017–2: C = 500 pF*
MC34017–3: C = 1000 pF*

*Indicates 1% tolerance (5% otherwise)

a. Set I1 to 30 mA. Measure voltage at Pin 1 (V_{off}).
b. Set I1 to 100 mA. Measure voltage at Pin 1 (V_{on}).
(Each test < 30 ms)

Figure 6. Test Five

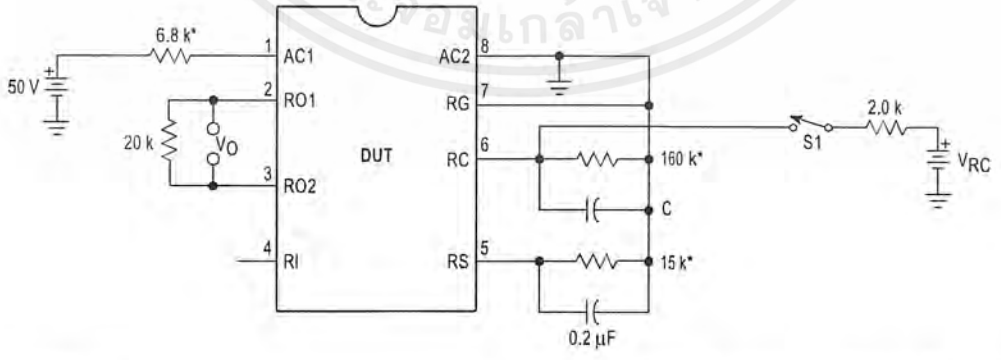


MC34017–1: C = 1000 pF*
MC34017–2: C = 500 pF*
MC34017–3: C = 1000 pF*

*Indicates 1% tolerance (5% otherwise)

Measure voltage at Pin 5 (V_{clamp}).

Figure 7. Test Six



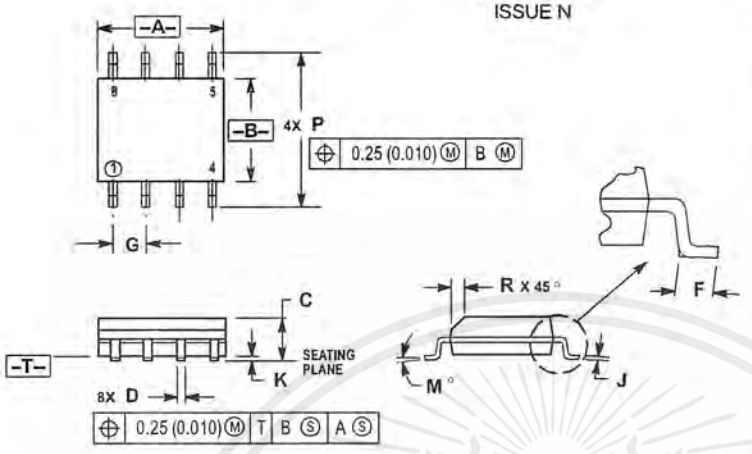
MC34017–1: C = 1000 pF*
MC34017–2: C = 500 pF*
MC34017–3: C = 1000 pF*

*Indicates 1% tolerance (5% otherwise)

With V_{RC} = 4.0 V, close S1. Measure dc voltage between Pins 2 and 3 (V_{O1}). Repeatedly switch V_{RC} between 4.0 V and 0 V until Pins 2 and 3 change state. Measure the new voltage between Pins 2 and 3 (V_{O2}). Calculate: $V_O = |V_{O1}| + |V_{O2}|$.

OUTLINE DIMENSIONS

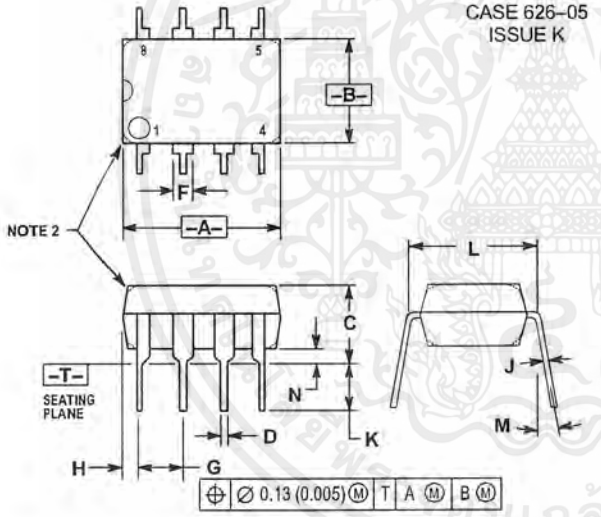
D SUFFIX
PLASTIC PACKAGE
CASE 751–05
ISSUE N



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	4.80	5.00	0.189	0.196
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.18	0.25	0.007	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.229	0.244
R	0.25	0.50	0.010	0.019

P SUFFIX
PLASTIC PACKAGE
CASE 626–05
ISSUE K



NOTES:
1. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
2. PACKAGE CONTOUR OPTIONAL (ROUND OR SQUARE CORNERS).
3. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	9.40	10.16	0.370	0.400
B	6.10	6.60	0.240	0.260
C	3.94	4.45	0.155	0.175
D	0.39	0.51	0.015	0.020
F	1.02	1.78	0.040	0.070
G	2.54 BSC		0.100 BSC	
H	0.76	1.27	0.030	0.050
J	0.20	0.30	0.008	0.012
K	2.92	3.43	0.115	0.135
L	7.62 BSC		0.300 BSC	
M	—	10°	—	10°
N	0.76	1.01	0.030	0.040

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and M are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution; P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447 or 602–303–5454

MFAX: RMFAX0@email.sps.mot.com – TOUCHTONE 602–244–6609
INTERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, 6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–81–3521–8315

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

FAIRCHILD
SEMICONDUCTOR TM

August 1986
Revised March 2000

DM74LS194A
4-Bit Bidirectional Universal Shift Register

General Description

This bidirectional shift register is designed to incorporate virtually all of the features a system designer may want in a shift register; they feature parallel inputs, parallel outputs, right-shift and left-shift serial inputs, operating-mode-control inputs, and a direct overriding clear line. The register has four distinct modes of operation, namely:

Parallel (broadside) load

Shift right (in the direction Q_A toward Q_D)

Shift left (in the direction Q_D toward Q_A)

Inhibit clock (do nothing)

Synchronous parallel loading is accomplished by applying the four bits of data and taking both mode control inputs, S0 and S1, HIGH. The data is loaded into the associated flip-flops and appear at the outputs after the positive transition of the clock input. During loading, serial data flow is inhibited.

Shift right is accomplished synchronously with the rising edge of the clock pulse when S0 is HIGH and S1 is LOW. Serial data for this mode is entered at the shift-right data input. When S0 is LOW and S1 is HIGH, data shifts left synchronously and new data is entered at the shift-left serial input.

Clocking of the flip-flop is inhibited when both mode control inputs are LOW.

Features

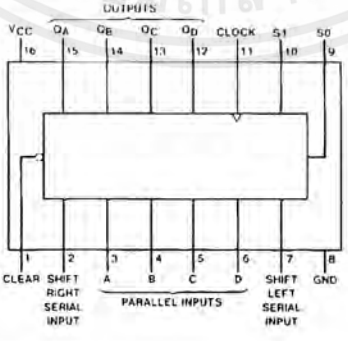
- Parallel inputs and outputs
- Four operating modes:
  - Synchronous parallel load
  - Right shift
  - Left shift
  - Do nothing
- Positive edge-triggered clocking
- Direct overriding clear

Ordering Code:

Order Number	Package Number	Package Description
DM74LS194AM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS194AN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



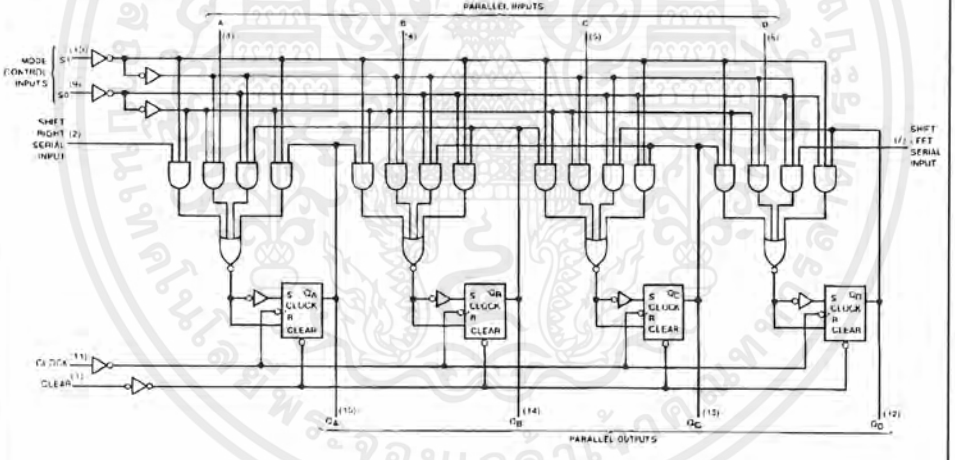
© 2000 Fairchild Semiconductor Corporation

Function Table

Inputs										Outputs			
Clear	Mode		Clock	Serial		Parallel				Q_A	Q_B	Q_C	Q_D
	S1	S0		Left	Right	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	Q_{An}	Q_{Bn}	Q_{Cn}
H	L	H	↑	X	L	X	X	X	X	L	Q_{An}	Q_{Bn}	Q_{Cn}
H	H	L	↑	H	X	X	X	X	X	Q_{Bn}	Q_{Cn}	Q_{Dn}	H
H	H	L	↑	L	X	X	X	X	X	Q_{Bn}	Q_{Cn}	Q_{Dn}	L
H	L	L	X	X	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}

H = HIGH Level (steady state)
L = LOW Level (steady state)
X = Don't Care (any input, including transitions)
↑ = Transition from LOW-to-HIGH level
a, b, c, d = The level of steady state input at inputs A, B, C or D, respectively.
Q_{A0}, Q_{B0}, Q_{C0}, Q_{D0} = The level of Q_A, Q_B, Q_C, or Q_D, respectively, before the indicated steady state input conditions were established.
Q_{An}, Q_{Bn}, Q_{Cn}, Q_{Dn} = The level of Q_A, Q_B, Q_C, respectively, before the most-recent ↑ transition of the clock.

Logic Diagram



Absolute Maximum Ratings(Note 1)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter		Min	Nom	Max	Units
V_{CC}	Supply Voltage		4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage		2			V
V_{IL}	LOW Level Input Voltage				0.8	V
I_{OH}	HIGH Level Output Current				−0.4	mA
I_{OL}	LOW Level Output Current				8	mA
f_{CLK}	Clock Frequency (Note 2)		0		25	MHz
	Clock Frequency (Note 3)		0		20	
t_W	Pulse Width	Clock	20			ns
	(Note 4)	Clear	20			
t_{SU}	Setup Time	Mode	30			ns
	(Note 4)	Data	20			
t_H	Hold Time (Note 4)		0			ns
t_{REL}	Clear Release Time (Note 4)		25			ns
T_A	Free Air Operating Temperature		0		70	°C

Note 2: C_L = 15 pF, T_A = 25°C and V_{CC} = 5V.

Note 3: C_L = 50 pF, R_L = 2 kΩ, T_A = 25°C and V_{CC} = 5V.

Note 4: T_A = 25°C and V_{CC} = 5V.

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 5)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA			−1.5	V
V_{OH}	HIGH Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	2.7	3.4		V
V_{OL}	LOW Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min		0.35	0.5	V
		I_{OL} = 4 mA, V_{CC} = Min			0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V			0.1	mA
I_{IH}	HIGH Level Input Current	V_{CC} = Max, V_I = 2.7V			20	µA
I_{IL}	LOW Level Input Current	V_{CC} = Max, V_I = 0.4V			−0.4	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 6)	−20		−100	mA
I_{CC}	Supply Current	V_{CC} = Max (Note 7)		15	23	mA

Note 5: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 6: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 7: With all outputs open, inputs A through D grounded, and 4.5V applied to S0, S1, CLEAR, and the serial inputs, I_{CC} is tested with momentary ground, then 4.5V applied to CLOCK.

Switching Characteristics

at $V_{CC} = 5V$ and $T_A = 25°C$

Symbol	Parameter	From (Input) To (Output)	$C_L = 50$ pF, $R_L = 2$ kΩ		Units
			Min	Max	
f_{MAX}	Maximum Clock Frequency		20		MHz
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Clock to Any Q		26	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Clock to Any Q		35	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Output	Clear to Any Q		38	ns

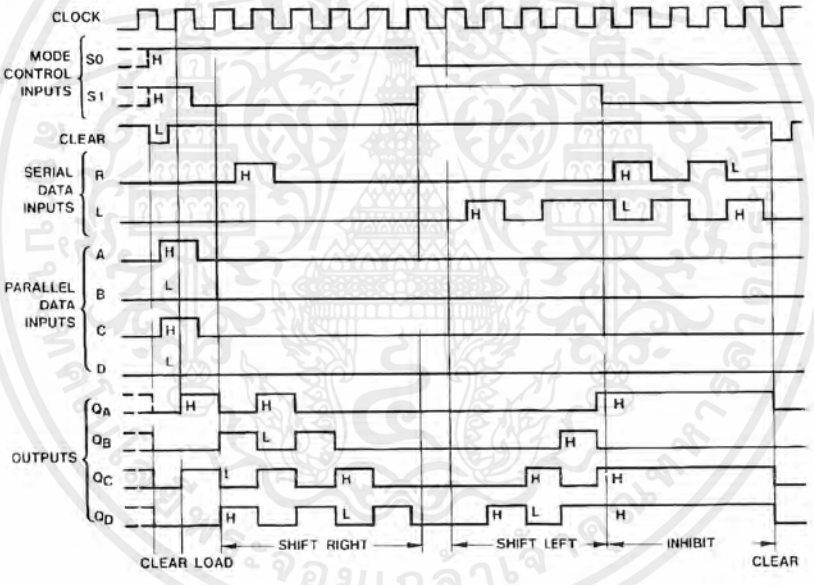
Note 8: All typicals are at $V_{CC} = 5V$, $T_A = 25°C$.

Note 9: Not more than one output should be shorted at a time, and the duration should not exceed one second.

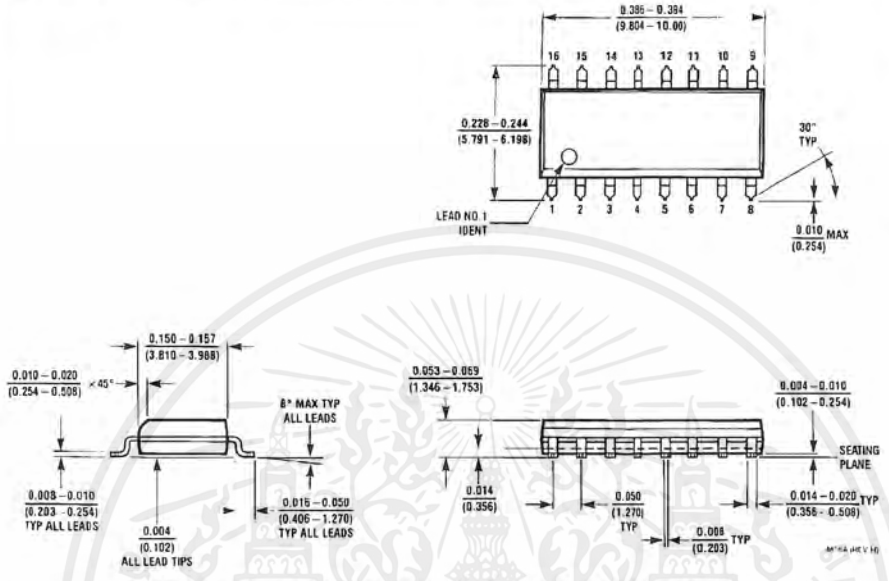
Note 10: With all outputs open, inputs A through D grounded, and 4.5V applied to S0, S1, CLEAR, and the serial inputs, I_{CC} is tested with momentary ground, then 4.5V applied to CLOCK.

Timing Diagram

Typical Clear, Load, Right-Shift, Left-Shift, Inhibit, and Clear Sequences

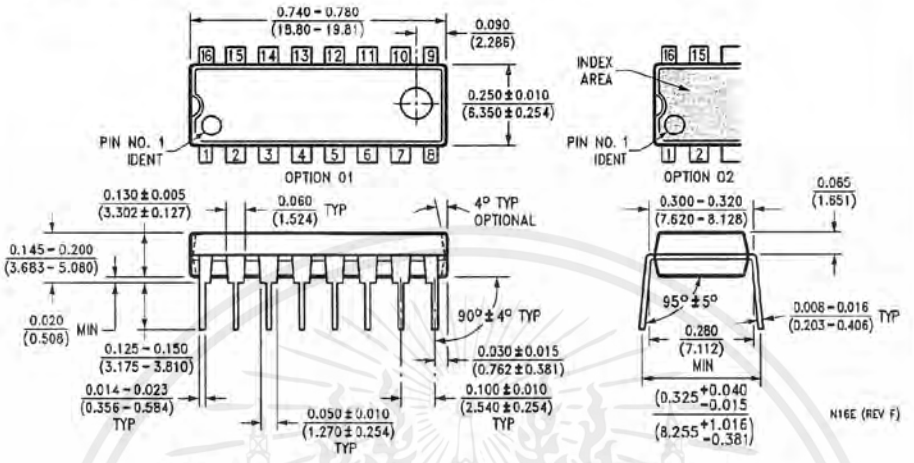


Physical Dimensions inches (millimeters) unless otherwise noted



16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
Package Number M16A

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide
Package Number N16E

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

FAIRCHILD SEMICONDUCTOR™

August 1986
Revised March 2000

DM74LS244
Octal 3-STATE Buffer/Line Driver/Line Receiver

General Description

These buffers/line drivers are designed to improve both the performance and PC board density of 3-STATE buffers/drivers employed as memory-address drivers, clock drivers, and bus-oriented transmitters/receivers. Featuring 400 mV of hysteresis at each low current PNP data line input, they provide improved noise rejection and high fanout outputs and can be used to drive terminated lines down to 133Ω.

Features

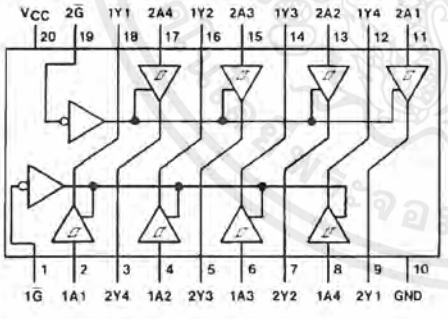
- 3-STATE outputs drive bus lines directly
- PNP inputs reduce DC loading on bus lines
- Hysteresis at data inputs improves noise margins
- Typical I_{OL} (sink current) 24 mA
- Typical I_{OH} (source current) −15 mA
- Typical propagation delay times
  - Inverting 10.5 ns
  - Noninverting 12 ns
- Typical enable/disable time 18 ns
- Typical power dissipation (enabled)
  - Inverting 130 mW
  - Noninverting 135 mW

Ordering Code:

Order Number	Package Number	Package Description
DM74LS244WM	M20B	20-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300 Wide
DM74LS244SJ	M20D	20-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS244N	N20A	20-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

Inputs		Output
$\overline{G}$	A	Y
L	L	L
L	H	H
H	X	Z

L = LOW Logic Level
H = HIGH Logic Level
X = Either LOW or HIGH Logic Level
Z = High Impedance

© 2000 Fairchild Semiconductor Corporation

Absolute Maximum Ratings(Note 1)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage	2			V
V_{IL}	LOW Level Input Voltage			0.8	V
I_{OH}	HIGH Level Output Current			−15	mA
I_{OL}	LOW Level Output Current			24	mA
T_A	Free Air Operating Temperature	0		70	°C

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 2)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
HYS	Hysteresis ($V_{T+} - V_{T-}$) Data Inputs Only	V_{CC} = Min		0.2	0.4		V
V_{OH}	HIGH Level Output Voltage	V_{CC} = Min, V_{IH} = Min V_{IL} = Max, I_{OH} = −1 mA		2.7			V
		V_{CC} = Min, V_{IH} = Min V_{IL} = Max, I_{OH} = −3 mA		2.4	3.4		
		V_{CC} = Min, V_{IH} = Min V_{IL} = 0.5V, I_{OH} = Max		2			
V_{OL}	LOW Level Output Voltage	V_{CC} = Min V_{IL} = Max V_{IH} = Min	I_{OL} = 12 mA			0.4	V
			I_{OL} = Max			0.5	
I_{OZH}	Off-State Output Current, HIGH Level Voltage Applied	V_{CC} = Max V_{IL} = Max	V_O = 2.7V			20	μA
I_{OZL}	Off-State Output Current, LOW Level Voltage Applied	V_{IH} = Min	V_O = 0.4V			−20	μA
I_I	Input Current at Maximum Input Voltage	V_{CC} = Max	V_I = 7V			0.1	mA
I_{IH}	HIGH Level Input Current	V_{CC} = Max	V_I = 2.7V			20	μA
I_{IL}	LOW Level Input Current	V_{CC} = Max	V_I = 0.4V	−0.5		−200	μA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 3)		−40		−225	mA
I_{CC}	Supply Current	V_{CC} = Max, Outputs Open	Outputs HIGH		13	23	mA
			Outputs LOW		27	46	
			Outputs Disabled		32	54	

Note 2: All typicals are at V_{CC} = 5V, T_A = 25°C.

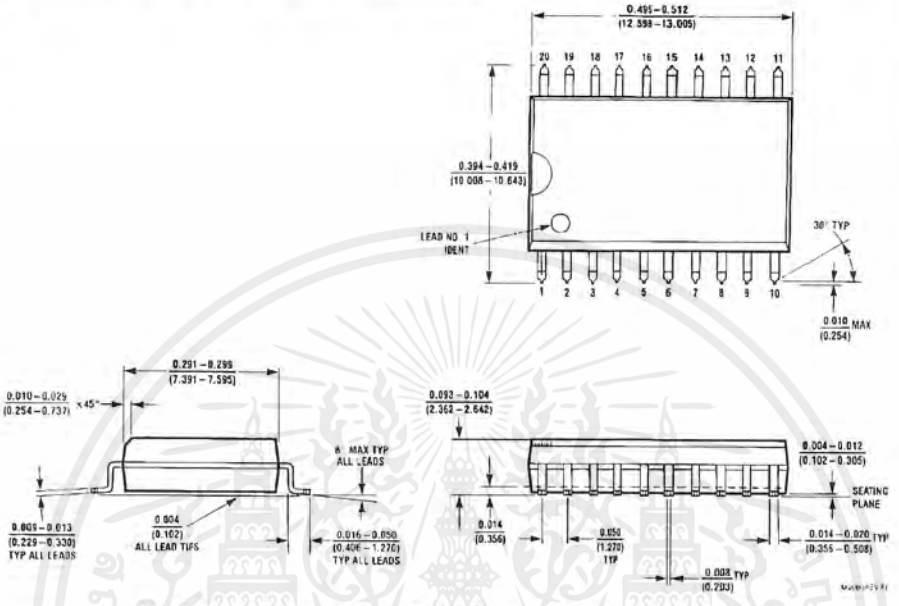
Note 3: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Switching Characteristics

at $V_{CC} = 5V$, $T_A = 25°C$

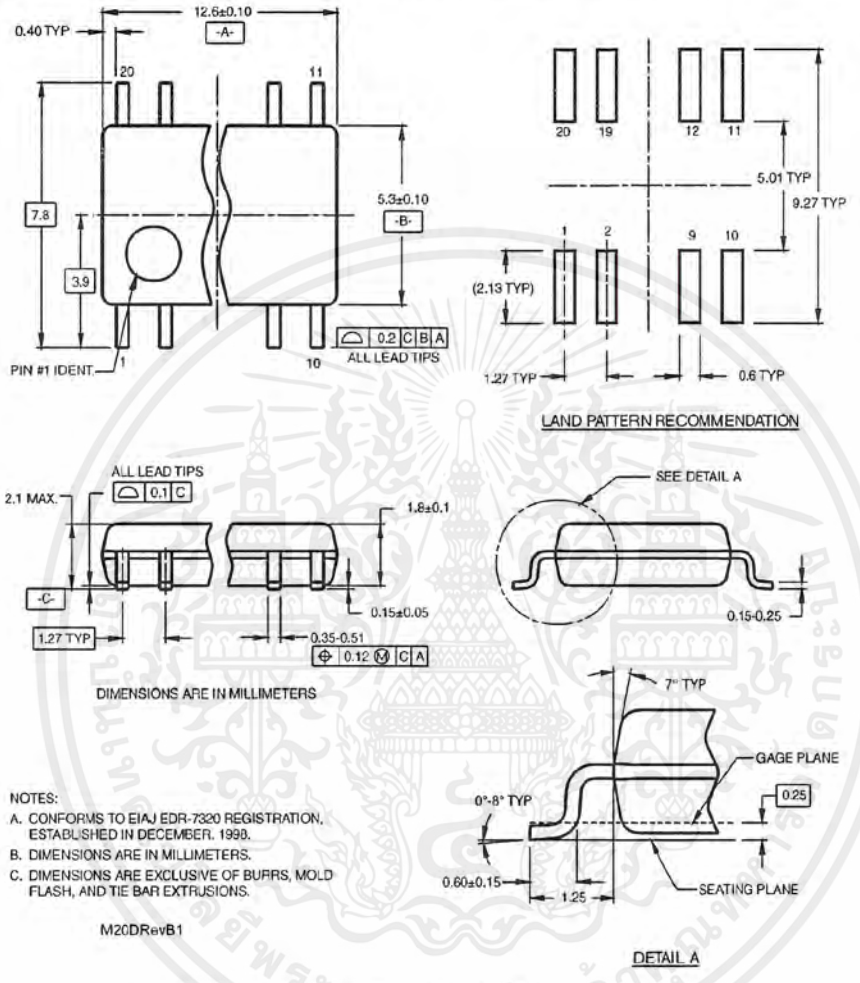
Symbol	Parameter	Conditions	Max	Units
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	$C_L = 45$ pF $R_L = 667\Omega$	18	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	$C_L = 45$ pF $R_L = 667\Omega$	18	ns
t_{PZL}	Output Enable Time to LOW Level	$C_L = 45$ pF $R_L = 667\Omega$	30	ns
t_{PZH}	Output Enable Time to HIGH Level	$C_L = 45$ pF $R_L = 667\Omega$	23	ns
t_{PLZ}	Output Disable Time from LOW Level	$C_L = 5$ pF $R_L = 667\Omega$	25	ns
t_{PHZ}	Output Disable Time from HIGH Level	$C_L = 5$ pF $R_L = 667\Omega$	18	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	$C_L = 150$ pF $R_L = 667\Omega$	21	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	$C_L = 150$ pF $R_L = 667\Omega$	22	ns
t_{PZL}	Output Enable Time to LOW Level	$C_L = 150$ pF $R_L = 667\Omega$	33	ns
t_{PZH}	Output Enable Time to HIGH Level	$C_L = 150$ pF $R_L = 667\Omega$	26	ns

Physical Dimensions inches (millimeters) unless otherwise noted



20-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300 Wide
Package Number M20B

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



NOTES:

A. CONFORMS TO EIAJ EDR-7320 REGISTRATION, ESTABLISHED IN DECEMBER, 1998.

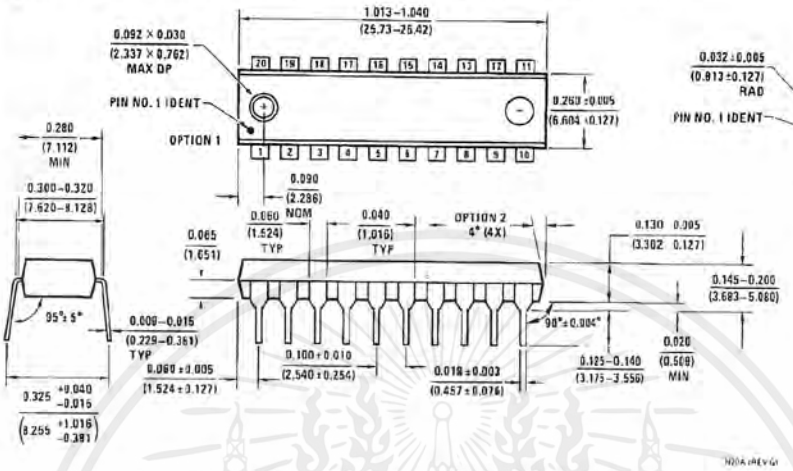
B. DIMENSIONS ARE IN MILLIMETERS.

C. DIMENSIONS ARE EXCLUSIVE OF BURRS, MOLD FLASH, AND TIE BAR EXTRUSIONS.

M20DRevB1

20-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
Package Number M20D

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



20-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide
Package Number N20A

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

MOTOROLA

SN54/74LS247
SN54/74LS248
SN54/74LS249

BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

LOW POWER SCHOTTKY

The SN54/74LS247 thru SN54/74LS249 are BCD-to-Seven-Segment Decoder/Drivers.

The LS247 and LS248 are functionally and electrically identical to the LS47 and LS48 with the same pinout configuration. The LS249 is a 16-pin version of the 14-pin LS49 and includes full functional capability for lamp test and ripple blanking which was not available in the LS49.

The composition of all characters, except the 6 and 9 are identical between the LS247, 248, 249 and the LS47, 48 and 49. The LS47 thru 49 compose the 6 and 9 without tails, the LS247 thru 249 compose the 6 and 9 with the tails. The LS247 has active-low outputs for direct drive of indicators. The LS248 and 249 have active-high outputs for driving lamp buffers.

All types feature a lamp test input and have full ripple-blanking input/output controls. On all types an automatic leading and/or trailing-edge zero-blanking control (RBI and RBO) is incorporated and an overriding blanking input (BI) is contained which may be used to control the lamp intensity by pulsing or to inhibit the output's lamp test may be performed at any time when the BI/RBO node is at high level. Segment identification and resultant displays are shown below. Display pattern for BCD input counts above 9 are unique symbols to authenticate input conditions.

LS247

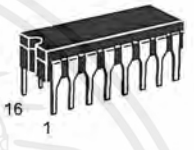
- Open-Collector Outputs Drive Indicators Directly
- Lamp-Test Provision
- Leading/Trailing Zero Suppression

LS248

- Internal Pull-Ups Eliminate Need for External Resistors
- Lamp-Test Provision
- Leading/Trailing Zero Suppression

LS249

- Open-Collector Outputs
- Lamp-Test Provision
- Leading/Trailing Zero Suppression



J SUFFIX
CERAMIC
CASE 620-09

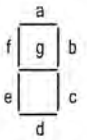
N SUFFIX
PLASTIC
CASE 648-08

D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

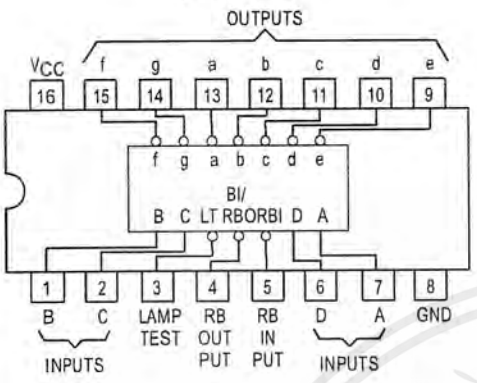
SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXDW	SOIC

NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS

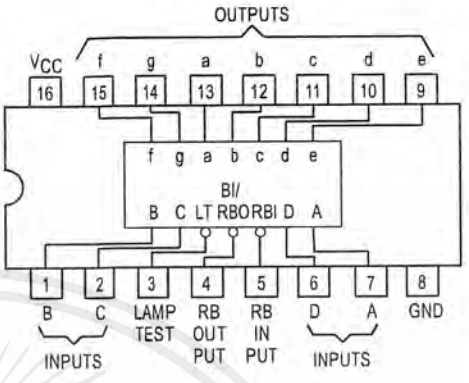


SEGMENT IDENTIFICATION

SN54/74LS247
(TOP VIEW)



SN54/74LS248
SN54/74LS259
(TOP VIEW)

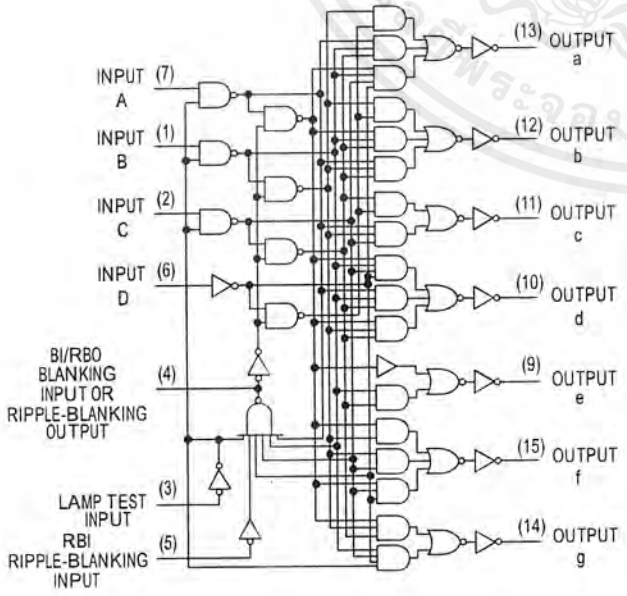


ALL CIRCUIT TYPES FEATURE LAMP INTENSITY MODULATION CAPABILITY

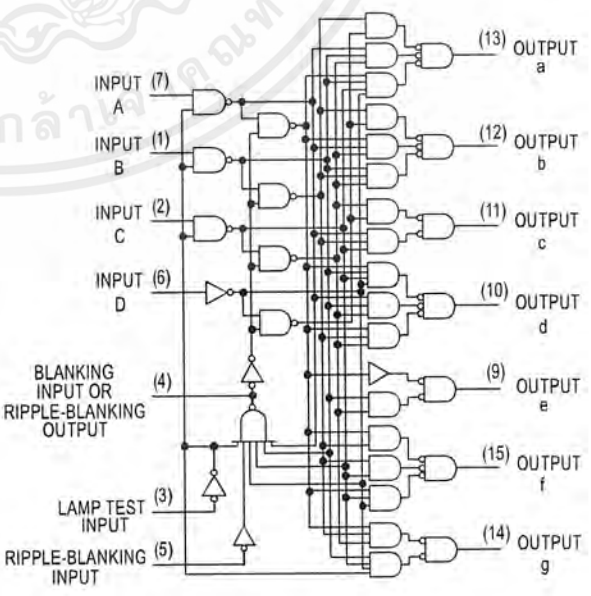
TYPE	DRIVER OUTPUTS				TYPICAL POWER DISSIPATION
	ACTIVE LEVEL	OUTPUT CONFIGURATION	SINK CURRENT	MAX VOLTAGE	
SN54LS247	low	open-collector	12 mA	15 V	35 mW
SN54LS248	high	2.0 kΩ pull-up	2.0 mA	5.5 V	125 mW
SN54LS249	high	open-collector	4.0 mA	5.5 V	40 mW
SN74LS247	low	open-collector	24 mA	15 V	35 mW
SN74LS248	high	2.0 kΩ pull-up	6.0 mA	5.5 V	125 mW
SN74LS249	high	open-collector	8.0 mA	5.5 V	40 mW

LOGIC DIAGRAM

LS247



LS248, LS249



LS247
FUNCTION TABLE

DECIMAL OR FUNCTION	INPUTS						BI/RBO†	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	ON	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	1
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	ON	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

LS248, LS249
FUNCTION TABLE

DECIMAL OR FUNCTION	INPUTS						BI/RBO†	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	H	H	H	H	H	H	L	1
1	H	X	L	L	L	H	H	L	H	H	L	L	L	L	1
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H	
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H	
6	H	X	L	H	H	L	H	H	L	H	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L	1
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	H	H	L	H	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	X	H	H	L	H	H	H	L	L	H	L	H	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L	
BI	X	X	X	X	X	X	L	L	L	L	L	L	L	L	2
RBI	H	L	L	L	L	L	L	L	L	L	L	L	L	L	3
LT	L	X	X	X	X	X	H	H	H	H	H	H	H	H	4

H = HIGH Level, L = LOW Level, X = Irrelevant

NOTES: 1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input (RBI) must be open or high if blanking of a decimal zero is not desired.

2. When a low logic level is applied directly to the blanking input (BI), all segment outputs are off regardless of the level of any other input.

3. When ripple-blanking input (RBI) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go off and the ripple-blanking output (RBO) goes to a low level (response condition).

4. When the blanking input/ripple blanking output (BI/RBO) is open or held high and a low is applied to the lamp-test input, all segment outputs are on.

† BI/RBO is wire-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO).

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High BI/RBO	54, 74			−50	µA
I_{OL}	Output Current — Low BI/RBO	54 74			1.6 3.2	mA
$V_{O(off)}$	Off-State Output Voltage a–g	54, 74			15	V
$I_{O(on)}$	On-State Output Current a–g a–g	54 74			12 24	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage BI/RBO	54	2.4	4.2		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.4	4.2		V		
V_{OL}	Output LOW Voltage BI/RBO	54, 74		0.25	0.4	V	I_{OL} = 1.6 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 3.2 mA	
$I_{O(off)}$	Off-State Output Current a–g	54, 74			250	µA	V_{CC} = MAX, V_{IH} = 2.0 V, $V_{O(off)}$ = 15 V, V_{IL} = MAX	
$V_{O(on)}$	On-State Output Voltage a–g	54, 74		0.25	0.4	V	$I_{O(on)}$ = 12 mA	V_{CC} = MIN, V_{IH} = 2.0 V, V_{IL} per Truth Table
		74		0.35	0.5	V	$I_{O(on)}$ = 24 mA	
I_{IH}	Input HIGH Current				20	µA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current Any Input, except BI/RBO				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
	BI/RBO				−1.2			
I_{OS}	Short Circuit Current BI/RBO (Note 1)		−0.3		−2.0	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current			7.0	13	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (V_{CC} = 5.0 V, T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH} t_{PHL}	Turn-Off Time from A Input Turn-On Time from A Input			100 100	ns	C_L = 15 pF, R_L = 665 Ω
t_{PHL} t_{PLH}	Turn-Off Time from RBI Input Turn-On Time from RBI Input			100 100	ns	

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High BI/RBO	54, 74			−50	µA
	a–g	54, 74			−100	
I_{OL}	Output Current — Low BI/RBO BI/RBO	54 74			1.6 3.2	mA
	a–g a–g	54 74			2.0 6.0	

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage a–g and BI/RBO	54	2.4	4.2		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.4	4.2		V		
I_{OH}	Output Current a–g	54, 74	−1.3	−2.0		mA	V_{CC} = MIN, V_O = 0.85 V, Input Conditions as for V_{OH}	
V_{OL}	Output LOW Voltage a–g	54, 74		0.25	0.4	V	I_{OL} = 2.0 mA	V_{CC} = MIN, V_{IH} = 2.0 V, V_{IL} = per Truth Table
		74		0.35	0.5		I_{OL} = 6.0 mA	
	BI/RBO	54, 74		0.25	0.4	V	I_{OL} = 1.6 mA	
		74		0.35	0.5		I_{OL} = 3.2 mA	
I_{IH}	Input HIGH Current Any Input, except BI/RBO				20	µA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current Any Input, except BI/RBO				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
	BI/RBO				−1.2			
I_{OS}	Short Circuit Current BI/RBO (Note 1)		−0.3		−2.0	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current			25	38	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (V_{CC} = 5.0 V, T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PLH} t_{PHL}	Propagation Delay Time, High-to-Low-Level Output from A Input Propagation Delay Time, Low-to-High-Level Output from A Input			100 100	ns	C_L = 15 pF R_L = 4.0 kΩ
t_{PHL} t_{PLH}	Propagation Delay Time, High-to-Low-Level Output from RBI Input Propagation Delay Time, Low-to-High-Level Output from RBI Input			100 100	ns	C_L = 15 pF R_L = 6.0 kΩ

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High BI/RBO	54, 74			−50	µA
I_{OL}	Output Current — Low BI/RBO BI/RBO	54 74			1.6 3.2	mA
V_{OH}	Output Voltage — High a–g	54, 74			5.5	V
I_{OL}	Output Current — Low a–g a–g	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage BI/RBO	54	2.4	4.2		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.4	4.2		V		
I_{OH}	Output HIGH Current a–g	54, 74			250	µA	V_{CC} = MIN, V_{IH} = 2.0 V, V_{OH} = 5.5 V, V_{IL} = MAX	
V_{OL}	Output LOW Voltage BI/RBO	54, 74		0.25	0.4	V	I_{OL} = 1.6 mA	V_{CC} = MIN, V_{IH} = 2.0 V, V_{IL} = per Truth Table
		74		0.35	0.5		I_{OL} = 3.2 mA	
	a–g	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	
		74		0.35	0.5		I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current Any Input, except BI/RBO				20	µA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current Any Input, except BI/RBO				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
	BI/RBO				−1.2			
I_{OS}	Short Circuit Current BI/RBO (Note 1)		−0.3		−2.0	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current			8.0	15	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (V_{CC} = 5.0 V, T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
t_{PHL} t_{PLH}	Propagation Delay Time, High-to-Low-Level Output from A Input Propagation Delay Time, Low-to-High-Level Output from A Input			100 100	ns	C_L = 15 pF, R_L = 2.0 Ω
t_{PHL} t_{PLH}	Propagation Delay Time, High-to-Low-Level Output from RBI Input Propagation Delay Time, Low-to-High-Level Output from RBI Input			100 100	ns	C_L = 15 pF, R_L = 6.0 Ω

AT89C51 In-Circuit Programming

This application note illustrates the in-circuit programmability of the Atmel AT89C51 Flash-based microcontroller. Guidelines for the addition of in-circuit programmability to AT89C51 applications are presented along with an application example and the modifications to it required to support in-circuit programming. A method is then shown by which the AT89C51 microcontroller in the application can be reprogrammed remotely, over a commercial telephone line. The circuitry described in this application note supports five volt programming only, requiring the use of an AT89C51-XX-5. The standard AT89C51 requires 12 volts for programming.

The software for this application may be obtained by downloading from Atmel's BBS: (408) 436-4309.

General Considerations

Circuitry added to support AT89C51 in-circuit programming should appear transparent to the application when programming is not taking place.

$\overline{EA}$/VPP must be held high during programming. In applications which do not utilize external program memory, this pin may be permanently strapped to V_{CC}. Applications utilizing external program memory require that this pin be held low during normal operation.

RST must be held active during programming. A means must be provided for overriding the application reset circuit, which typically asserts RST only briefly after power is applied.

$\overline{PSEN}$ must be held low during programming, but must not be driven during normal operation.

ALE/$\overline{PROG}$ is pulsed low during programming, but must not be driven during normal operation.

During programming, AT89C51 I/O ports are used for the application of mode select, addresses and data, possibly requiring that the controller be isolated from the application circuitry. How this is done is application dependent and will be addressed here only in general terms.

Port Used for Input

During programming, the controller must be isolated from signals sourced by the application circuitry. A buffer with three-state outputs might be inserted between the application circuitry and the controller, with the buffer outputs three-stated when programming is enabled. Alternately, a multiplexer might be used to select between signal sources, with signals applied to the controller by either the application circuitry or the programmer circuitry.

Port Used for Output

No circuit changes are required if the application circuitry can tolerate the state changes which occur at the port during programming. If the prior state of the application circuitry must be maintained during programming, a latch might be inserted between the controller and the application circuitry. The latch is enabled during programming, preserving the state of the application circuitry.

An Application Example

The AT89C51 application shown in Figure 1 is an implementation of a moving display. This application was selected for its simplicity and ability to show graphically the results of in-circuit reprogramming. The text to be displayed is programmed into the controller as part of its firmware, and cannot be changed without reprogramming the device.

0287D-B–9/97

The displayed text is presented in one of two modes selected by the four-position DIP switch. In the first mode, one character at a time enters the display from the right and moves quickly to the left through each element of the display to its final position in the assembled message. In the second mode, the message moves through the display, from right to left, with the display acting as a window onto the message. This mode is familiar as the method often used in displays of stock prices.

The output consists of four DL1414T, four-digit, 17-segment alphanumeric displays with integral decoders and drivers. This yields 16 total display elements, each capable of displaying digits 0-9, the upper case alphabet, and some punctuation characters. The displayable character codes are ASCII 20H-5FH.

A power-on reset circuit and a 6-MHz crystal oscillator complete the application. Neither external program memory nor external data memory is used.

Modifications to the Application to Support In-Circuit Programming

Figure 2 shows the application modified for in-circuit programming.

It is assumed that the programmer, when inactive, will neither drive nor excessively load the application.

Since the application does not use external program memory, $\overline{EA}$/VPP on the controller is connected to V_{CC}. This meets the requirement for programming.

The reset circuit has been modified by the addition of two transistors, which allow RST on the controller to be forced high by the programmer.

$\overline{PSEN}$ and ALE/$\overline{PROG}$, unused in the basic application, are under the direct control of the programmer.

Programming requires programmer access to all of the four AT89C51 I/O ports, as documented in the data sheet. The programmer is connected directly to those controller pins which are unused by the application, while access to pins used by the application requires special treatment, as explained in the following paragraphs.

The least significant four bits of the address generated by the programmer are multiplexed onto port one of the controller with the data from the DIP switch. Note that the four resistors added at the switch are not required in the basic application, since the AT89C51 provides internal pull-ups on port one.

During the normal operation of the application, controller ports zero and two provide data and control signals (respectively) to the displays. During programming and program verification, the programmer asserts control of port zero and part of port two. The programmer is connected to ports zero and two without buffering, since, when inactive, its presence does not affect the normal operation of the application.

A transparent latch has been added between port two of the controller and the display control inputs. The latch holds the display control signals inactive during programming, which eliminates erratic operation of the displays due to programmer activity on ports zero and two. No isolation of the display data inputs is required, since data applied to the inputs is ignored when the control signals are inactive.

The AT89C51 reset circuit, input multiplexer and output latch are controlled by a single signal generated by the programmer. During programming, reset is asserted, the multiplexer switches inputs, and the latch freezes the display control lines.

To ensure that the display control lines are in a known state before they are latched, an AT89C51 external interrupt is used to allow the programmer to signal the application before asserting reset. The application firmware responds to the interrupt by displaying a message and deactivating the display control lines.

After programming, when reset is deasserted, the controller ports are high as the latch becomes transparent. Since the display control inputs are inactive high, the display contents are not disturbed until the new program writes the display.

Although not essential to this application, it might be imperative in some applications that the state of the peripheral circuitry not be disturbed during programming.

The Programmer

The programmer (Figure 3) generates the addresses, data and control signals necessary to program the AT89C51 embedded in the application.

The programmer circuitry consists of an AT89C51 and an RS-232 level translator. The controller runs at 11.0592 MHz, which allows the serial port to operate at a number of standard baud rates. A Maxim MAX232 line driver/receiver produces RS-232 levels at the serial interface while requiring only a five volt supply.

Many of the signals generated by the programmer are connected directly, without buffering, to the AT89C51 in the application. These signals, when inactive, are not three-stated, but are pulled high. The AT89C51 has internal pull-ups of approximately three Kohms on ports one, two and three. Because port zero does not have internal pull-ups, external pull-ups of ten Kohms have been added to permit proper operation of program verification mode. The sample application operates correctly in this environment. If required for compatibility with an application, programmer signals may be buffered with three-state buffers similar to the 74xx125.

The AT89C51 in the programmer does not utilize external program or data memory, which would require sacrificing needed I/O pins. This requires that program code and I/O buffers be kept small enough to fit in on-chip memory.

Remote Programming Over a Commercial Telephone Line

The programmer and display application described previously are connected to a phone line via a modem at a remote site. Using a personal computer with a modem, a user can upload a new program containing a new message, which is programmed into the AT89C51 embedded in the application. When programming is complete, the application executes the new program, which displays the new message.

Local Station

The local station in the test configuration consists of an IBM PC AT-class computer connected to a Hayes-compatible, Prometheus 1200 baud modem. The modem was selected because it was inexpensive and available. A faster modem may be used if desired, although once the file transmission time is reduced below one minute, further reductions in transmission time do not further reduce connect time charges. A possible advantage to higher transmission speeds is the automatic error detection and correction available in some high speed modems.

Procomm Plus version 2.01, a commercial data communications package, is used to configure the modem, set up communications parameters, and establish a link with the remote modem. Procomm Plus includes a macro language called ASPECT, which allows the user to write and compile scripts which implement custom file transfer protocols. A simple ASPECT script was written to read the contents of a program file and upload it to the remote programmer.

The file transfer protocol (FTP) implemented is a simple send-and-wait, packet-oriented protocol. The transmit and receive modes of the FTP are illustrated by the flowcharts in figures 4 and 5, respectively. The transmitter sends each packet without flow control and waits for a response. The programmer (the receiver) reads and dissects the packet while calculating a checksum. If the calculated checksum is valid, the programmer acknowledges the packet by sending an ACK. If the checksum is in error, the programmer negatively acknowledges the packet by sending a NAK. Upon receipt of an ACK, the transmitter sends the next packet. If the transmitter receives a NAK, it resends the same packet. Transmission proceeds in this manner until the entire file has been transferred.

The programmer might respond to a packet by sending a CAN, which indicates that a non-recoverable error has occurred and that the transmitter should immediately abort the file transfer. If the programmer fails to respond to a packet within a limited period of time, the transmitter will resend the same packet. The transmitter will continue to resend the same packet until a valid response is received or until the allowed number of attempts is exceeded, at which time the file transfer is aborted.

After each packet is received and validated by the programmer, the data contained in the packet is programmed into the AT89C51 controller in the application. After programming, the data is read back from the controller and verified against the received packet data. Successful verification indicates successful programming, causing the programmer to send ACK to the transmitter. If programming fails, the programmer sends CAN to signal the transmitter to abort the file transfer.

The simplicity of the FTP reduces the amount of AT89C51 program memory used in the programmer. The send-and-wait nature of the FTP allows inter-packet delays due to AT89C51 program and erase times to be easily absorbed. Support for program verification is transparent, requiring no explicit command or result codes, or additional data transfers.

The files which are uploaded to the programmer are created with the tools in the Intel MCS-51 Software Development Package for the IBM PC. Included in the package are the MCS-51 Macro Assembler, MCS-51 Relocator and Linker, and a useful utility, OH. OH converts an absolute 8051 object file to an equivalent ASCII hexadecimal object file.

The records in the hex file produced by the OH utility serve, unchanged, as the packets in the FTP described above; no service fields need to be added. The colon which begins each record serves as the packet signature field. The load address field serves as the packet sequence number. A checksum is provided as the last field in each record. Since seven-bit ASCII coding is utilized, the eighth bit of each byte is available to be used for parity checking.

Because the AT89C51 in the programmer does not utilize external data memory, necessary packet buffering must be done using internal RAM. Limited memory precludes the use of conventional FTPs which utilize packets of 128 bytes and larger. The hex packet format used in this application limits packet data fields to 16 or fewer entries, requiring little memory for buffering.

The ready availability of a utility for creating the packetized program file, combined with small packet size and adequate error checking, makes the hex packet format a near ideal solution for this application. A disadvantage is the use of ASCII, which requires each program data byte to be expressed as two hex characters. This demands that nearly twice as many bytes be transferred as might otherwise be required. This is not a severe limitation, however, since typical file transfer times are less than one minute. Overall, the simplicity of the custom FTP/hex packet format implementation outweighs the drawbacks.

Remote Station

The remote station in the test configuration consists of the display application and programmer circuits, described previously, connected to a Hayes-compatible, Prometheus

1200 baud modem. During normal operation, the application executes its internal program while the modem and programmer monitor the phone line for incoming calls.

After a call has been detected and a connection established, the programmer forces the application to suspend execution of its program. The new program is then downloaded and programmed into the AT89C51 embedded in the application. When programming is complete, the application is allowed to begin execution of its new program, and the programmer returns to monitoring the phone line for the next call.

The programmer powers up with its programming control outputs inactive, allowing the application to run normally. After configuring the modem to answer incoming calls, the programmer puts itself to sleep. The programmer will not disturb the application until a new program is to be downloaded.

The programmer controls the modem by sending ASCII command strings over the serial interface, to which the modem responds with Hayes-style ASCII numeric codes. The software is designed for use with Hayes-compatible modems, which includes the Prometheus ProModem 1200 used here.

The serial interface, through which the programmer connects to the modem, supports two handshaking signals, DTR and DSR. On power up, the programmer asserts DTR, to which the modem responds by asserting DSR. If the modem should fail to respond to any command, including the command to hang up, the programmer deasserts DTR, which forces the modem to drop the line.

The modem monitors the phone line while the programmer sleeps, waiting for an incoming call. When a call is detected, the modem answers and attempts to establish communication with the caller. If a connection is established, the modem sends a code to the programmer, waking it up. The programmer verifies the connect code and begins polling for a valid packet header.

Incoming packets must arrive fewer than thirty seconds apart, or the modem drops the line (hangs up) and the programmer returns to sleep, waiting for the next call. If the caller hangs up, the thirty second period must expire before another call will be answered. Calls incoming during the reset delay period are ignored.

If a valid packet header is received prior to the expiration of the reset delay period, the programmer will attempt to read and validate the incoming packet. At any time during packet reception, an invalid character, parity error or timeout during character reception will cause the partial packet to be declared invalid and discarded.

Two packet types are defined: data and end-of-file. A data packet contains five fields in addition to the packet header, one of which is a variable length data field. The data field contains program data to be written into the AT89C51 controller in the application. The load address field contains the address at which the data is to be written. The end-of-file packet contains the same fields as the data packet, except that the data field is empty. This packet type has special meaning to the programmer, as explained below.

Any packet which contains an invalid record type, record length or checksum is invalid. Program data accumulated during the processing of an invalid packet is discarded. The programmer sends a NAK to the transmitter to signal reception of an invalid packet and resumes polling for a valid packet header.

Receipt of the first valid data packet causes the programmer to interrupt the application controller. The controller responds to the interrupt by abandoning execution of its usual program and displaying a message indicating that programming is taking place. If this is the first valid data packet since power was applied or an end-of-file packet was received, the programmer asserts the control signals necessary to erase the program memory in the application controller. The programmer then places the controller in programming mode.

The first and subsequent valid data packets are dissected as they are received and the data which they contain is programmed into the application controller at the address indicated in the packet load address field. After programming, the data is read back from the controller and verified against the received packet data. Successful verification indicates that programming was successful, causing the programmer to send ACK to the transmitter. The programmer then resumes polling for a valid packet header, subject to the thirty second reset delay.

If programming fails, the programmer sends CAN to signal the transmitter to abort the file transfer. The modem drops the line and the programmer returns to sleep, waiting for the next call. The application controller is left in programming mode, preventing it from executing the incomplete or invalid program which it contains.

It is important to note that invalid packets are NEVER programmed into the application controller. To do so would require that the program memory in the controller be completely erased before the error could be corrected, causing the non-recoverable loss of all previous program data.

Upon receipt of an end-of-file packet, the programmer returns its control outputs to the inactive, power on state, allowing the application controller to begin execution of the new program. The programmer then resumes polling for a valid packet header, subject to the thirty second reset delay.

If a valid packet is received prior to the expiration of the thirty second delay, another programming cycle begins, which can only be terminated by the reception of a valid end-of-file packet.

If the reset delay expires prior to the reception of a valid end-of-file packet, the modem will drop the line and the programmer will return to sleep, waiting for the next call. In this case, the application controller is left in programming mode, preventing it from executing its program. To return the application to normal operation, another call must be received, and a valid program file uploaded, terminated by an end-of-file packet.

Setting Up the Hardware

Local Station

Connect the IBM PC to the ProModem 1200 through one of the system COM ports. Connect the modem to an analog telephone line and set the modem switches as indicated below.

Switch settings:

1	ON
2	ON
3	OFF
4	ON
5	OFF
6	ON
7	OFF
8	OFF
9	OFF
10	OFF

Remote Station

Connect the display application/programmer to the second ProModem 1200 through the programmer serial port. Connect the modem to an analog telephone line and set the modem switches as indicated below.

Turn the modem on and apply power to the display application/programmer. The application will begin executing its program, if it contains one. The programmer will initialize the modem, as shown by the activity on the modem status indicators.

Switch settings:

1	ON
2	ON
3	ON
4	OFF
5	ON
6	ON
7	ON
8	OFF
9	OFF
10	OFF

Installing and Configuring Procomm Plus, Version 2.01

Install Procomm Plus as instructed in the User Manual. When prompted to specify the modem in use, select 'Prometheus ProModem 1200' from the list.

Run Procomm Plus and create a dialing directory entry for the remote station. The baud rate must be set to 1200, parity to EVEN, number of data bits to 7, number of stop bits to 1, plex to HALF.

Enter the Setup utility (ALT-S). Select 'PROTOCOL OPTIONS', then 'EXTERNAL PROTOCOL OPTIONS' from the menus and modify the entry for 'EXTERNAL PROTOCOL 1' as indicated below.

EXTERNAL PROTOCOL 1:	
A - NAME:	<any name>
B - TYPE:	ASPECT
C - UPLOAD COMMAND:	ATX.ASX

Note: 'ATX.ASX.' is the filename of the compiled ASPECT script to be associated with External Protocol 1.

Save the changes and exit the Setup utility.

Creating a Hex File

The hex files which are uploaded to the programmer are created with the tools in the Intel MCS-51 Software Development Package for the IBM PC. In the example below, the 8051 assembler source file is called 'TEST.ASM'.

Assemble the source file 'TEST.ASM' and create the object file 'TEST.OBJ':

```
ASM51 TEST.ASM
```

Link and locate the object file 'TEST.OBJ' and create the absolute object file 'TEST.ABS':

```
RL51 TEST.OBJ TO TEST.ABS
```

Convert the absolute object file 'TEST.ABS' to the hex file 'TEST.HEX':

```
OH TEST.ABS TO TEST.HEX
```

The resulting file, 'TEST.HEX' is ready to be uploaded.

Note: ASM51 is version 2.3; RL51 is version 3.1; OH is version 1.1.

Uploading a Hex File

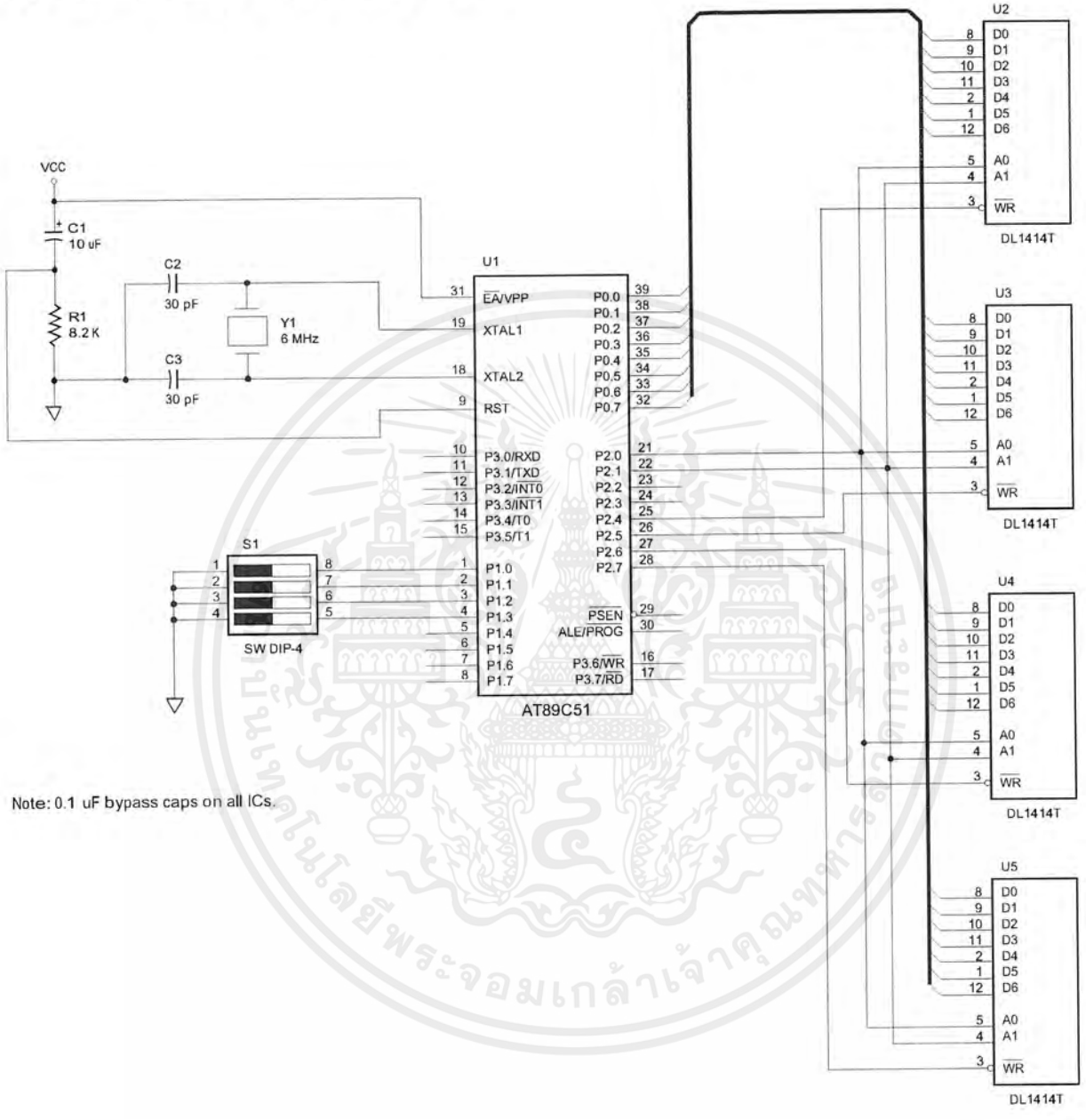
Run Procomm Plus and use the proper dialing directory entry to dial the remote station.

After the connection with the remote station is established, press the 'PgUp' key and select '1' (External Protocol 1) from the menu of upload protocols. This will execute the ASPECT script associated with External Protocol 1.

When prompted, enter the name of the file to be uploaded, including the extension and path, if required.

When the upload is complete, press ALT-H to hang up and ALT-X to exit Procomm Plus and return to DOS.

Figure 1. AT89C51 Moving Display Application Example



Note: 0.1 uF bypass caps on all ICs.

Figure 2. AT89C51 Moving Display Application Modified for In-Circuit Programming

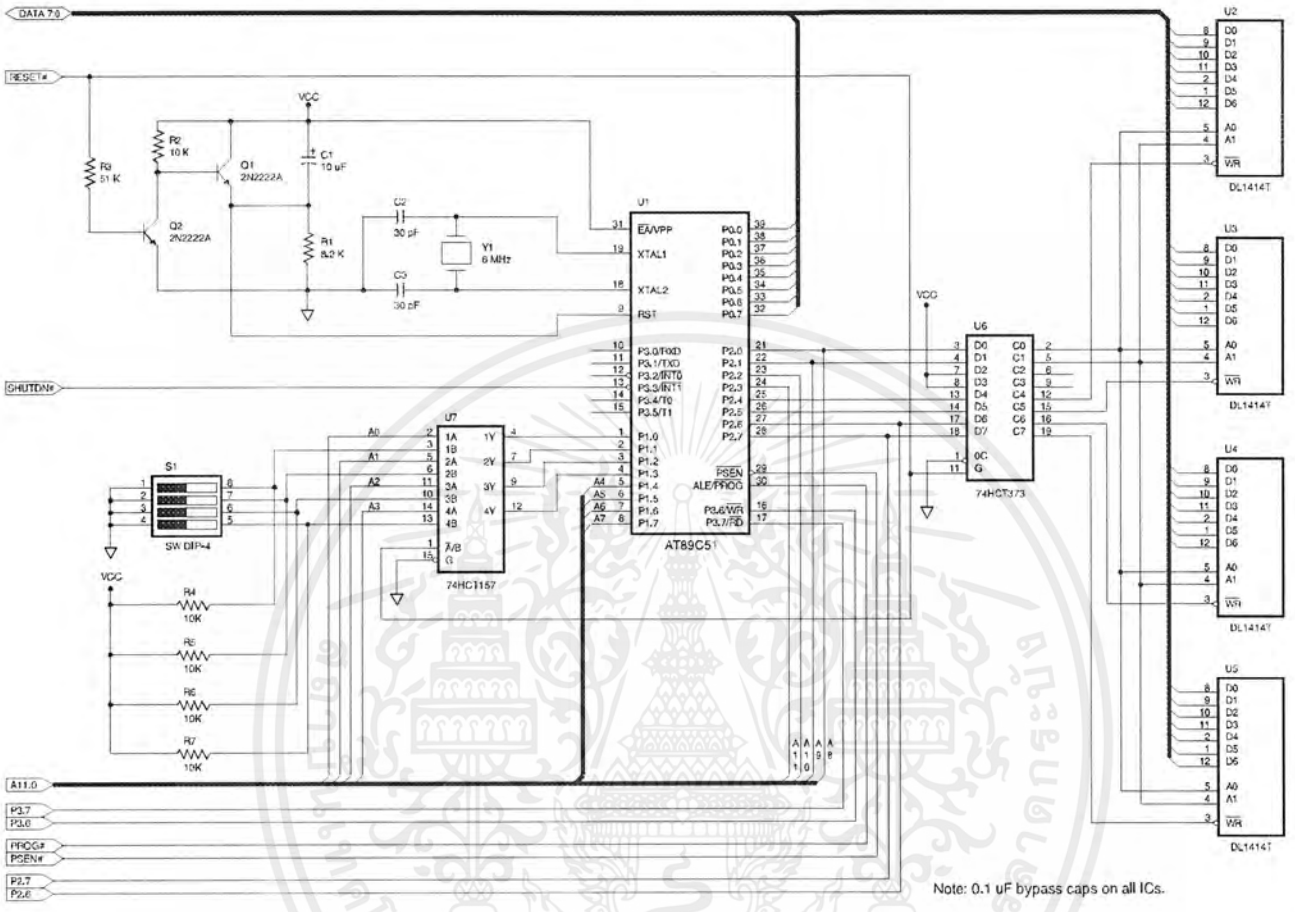


Figure 3. AT89C51 Programmer

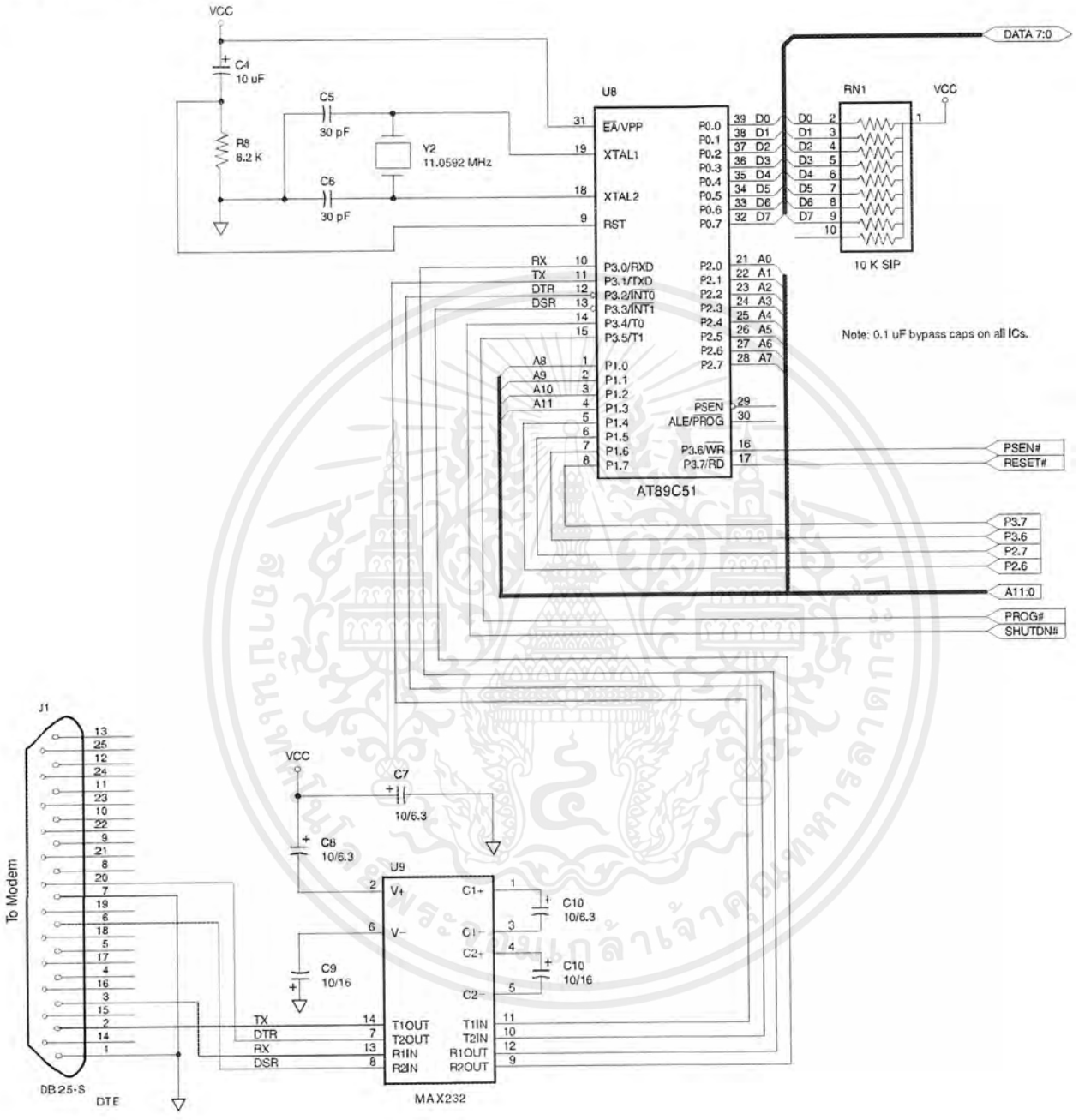


Figure 4. FTP Transmit Mode

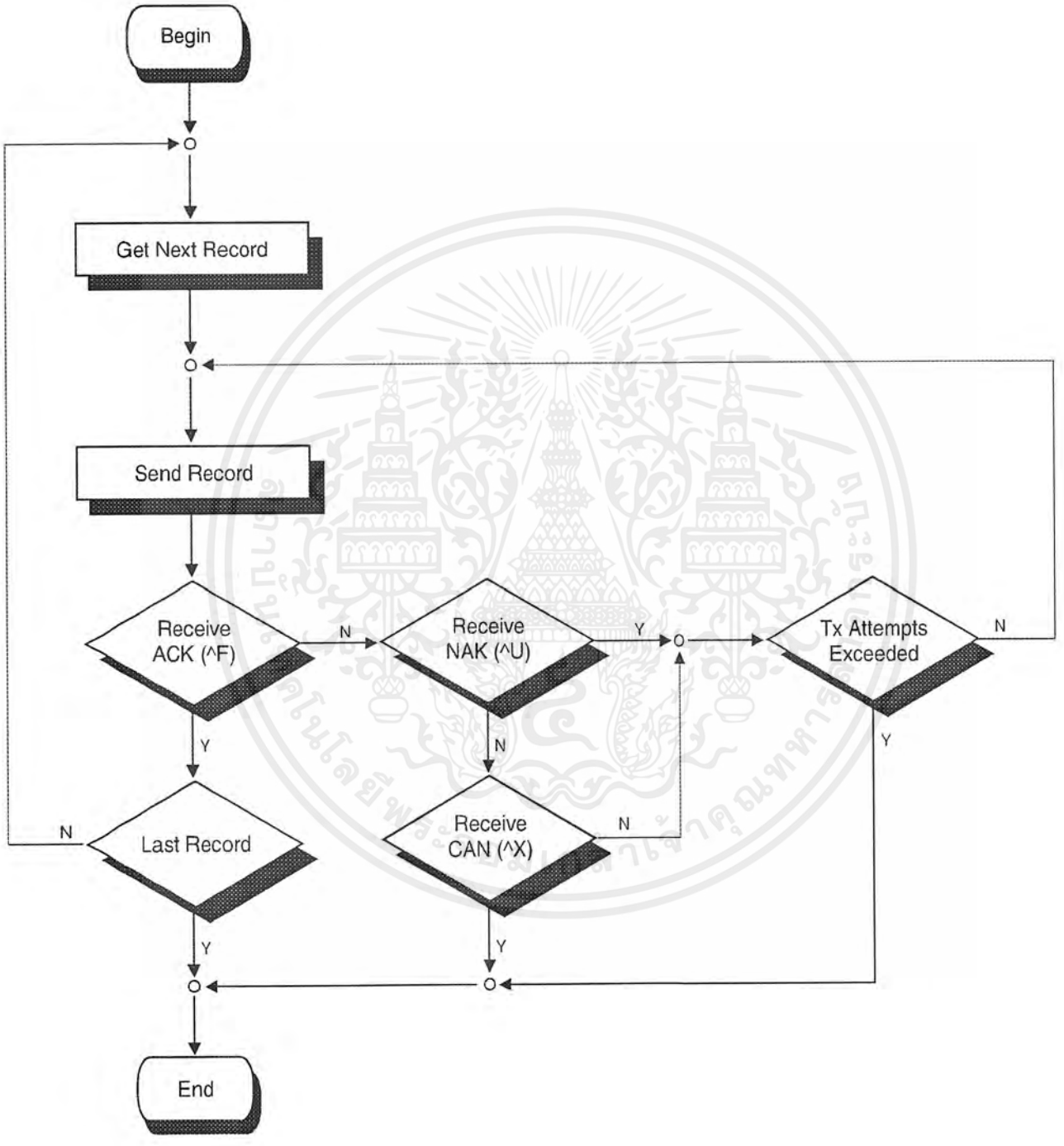
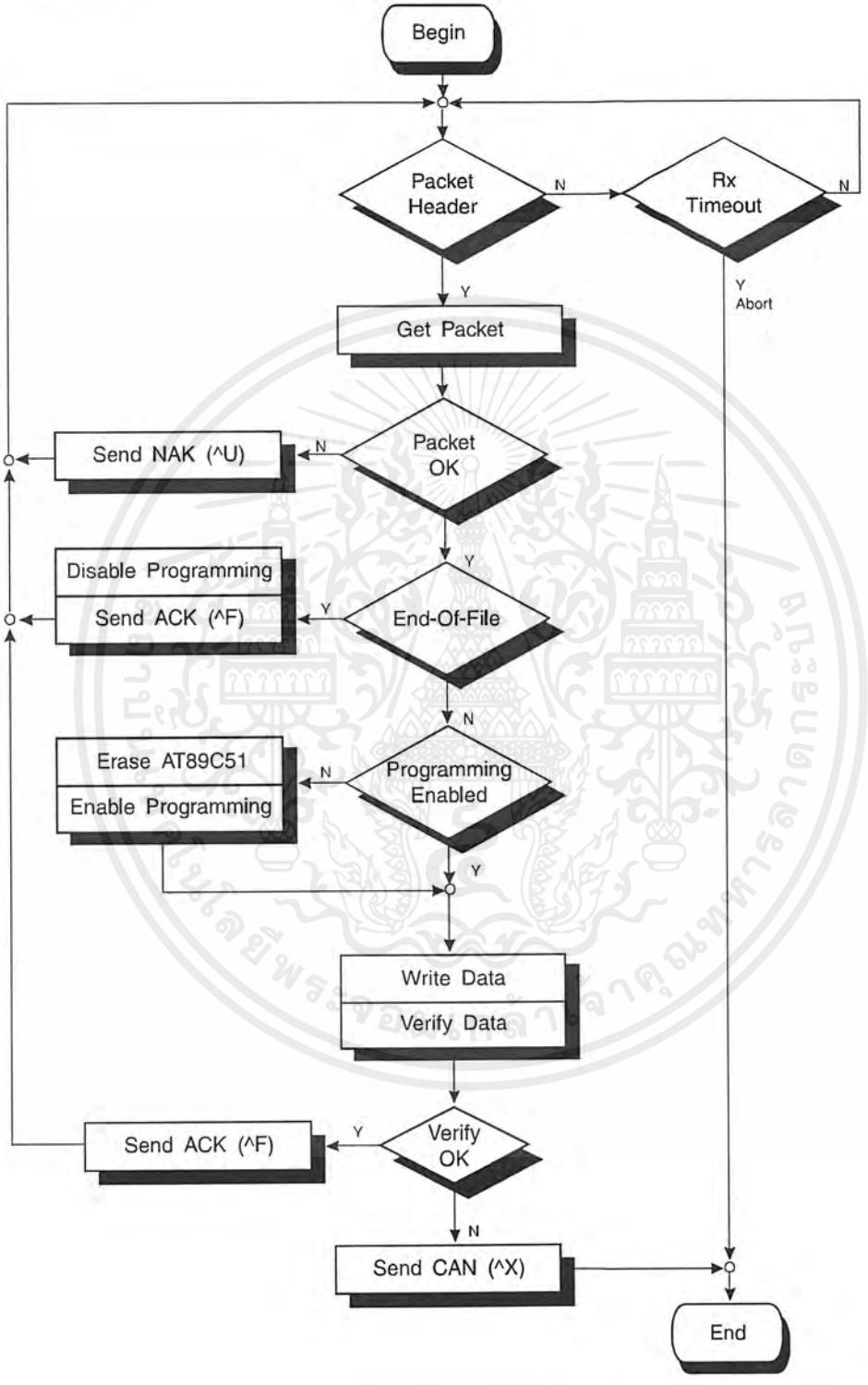


Figure 5. FTP Receive Mode



Appendix I: Intel Hex File Definition

Hexadecimal object file format (Intel hex) is produced by most 80C51 assembler products.

Each record in the file contains the following fields:

<:><rec length><load address><rec type><data><checksum>

The colon is the record header.

The record length field consists of two hex digits, and represents the number of entries in the data field. OH outputs records containing 16 or fewer data field entries.

The load address field consists of four hex digits, and indicates the absolute address at which the data in the data field is to be loaded.

The record type field consists of two hex digits, which are always zero in data records.

The data field contains from one to 16 pairs of hex digits.

The last two hex digits are a checksum on the record length, load address, record type, and data fields. The sum of the binary equivalents of these fields and the checksum itself is zero.

Each record in the file is terminated by a carriage return and line feed.

A type one record marks the end of the file. The record always contains the following value: ':00000001FF'.

กิตติกรรมประกาศ

ขอบพระคุณอาจารย์ สุรพล บุญจันทร์ ที่ให้โอกาสและให้การช่วยเหลือแนะนำต่างๆจนปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปด้วยดีและขอขอบพระคุณ ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ให้การสนับสนุนจนกระทั่งโครงงานนี้สำเร็จลุล่วงไปด้วยดี

คณะผู้จัดทำ

หนังสืออ้างอิง

1. Lab-Volt, "Telephony Training System Concepts and Applications", Lab-Volt System,Inc,1996.
2. สุทธินันท์ พรศิริกุลม, "ลึกอีกนิดกับโทรศัพท์" , เซมิคอนดักเตอร์อิเลคทรอนิกส์,ฉบับที่ 121 (ตุลาคม 2535) 108-116, ฉบับที่122 (พฤศจิกายน 2535) 52-60
3. ธวัชชัย เลื่อนฉวี, " เทคโนโลยีโทรศัพท์", พิมพ์ครั้งที่3, โรงพิมพ์สุภาลัย, กรุงเทพฯ,2533.
4. รองศาสตราจารย์ สมยศ จุณณะปิยะ, " การประยุกต์ใช้งานไมโครคอนโทรลเลอร์", พิมพ์ครั้งที่ 3 พ.ศ. 2543, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.
5. David J Comer, "Electric Design with Integrated Clecuits, Mcgraw-Hill, Book company, Singapore, 1989.
6. เกสร กาลจิตร์, ฉัฐมา สืบพงษ์พันธุ์ และ อมาวสี สังฆพรหม, "เครื่องโทรศัพท์สาขาปลายทางอัตโนมัติ", ปริญญานิพนธ์ ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2541