สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การสื่อสารข้อมูลภาพและเสียงแบบทีดีเอ็ม

VIDEO AND AUDIO COMMUNICATION BY TDM TECHNIQUE

โดย

นางสาวยุพรัตน์ บุณฑริก

นางสาววงศ์วรัณ ศิลาน้อย

เลขหมู่.....
เลขทะเบียน 42217
วัน, เดือน, ปี 15 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสื่อสารข้อมูลภาพและเสียงแบบทีดีเอ็ม

VIDEO AND AUDIO COMMUNICATION BY TDM TECHNIQUE

โดย

นางสาวยุพรัตน์ บุณฑริก 40010621

นางสาววงศ์วรัณ ศิลาน้อย 40010659

อาจารย์ที่ปรึกษา

ศ.ดร.วิวัฒน์ กิรานนท์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2543

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **การสื่อสารข้อมูลภาพและเสียงแบบทีดีเอ็ม**

Video and Audio communication by TDM technique

ผู้จัดทำ

1. นางสาวยุพรัตน์ บุณฑริก 40010621

2. นางสาววงศ์วรัณ ศิลาน้อย 40010659

---------- อาจารย์ที่ปรึกษา

(ศ.ดร.วิวัฒน์ กิรานนท์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสื่อสารข้อมูลภาพและเสียงแบบทีดีเอ็ม

Video and Audio communication by TDM technique

โดย นางสาว ยุพรัตน์ บุณฑริก 40010621

นางสาว วงศ์วรัณ ศิลาน้อย 40010659

อาจารย์ที่ปรึกษา ศ.ดร.วิวัฒน์ กิรานนท์

บทคัดย่อ

โครงงานนี้เป็นการศึกษาและออกแบบระบบมัลติเพล็กซ์แบบแบ่งเวลา เป็นการมัลติเพล็กซ์จาก 2 ช่องสัญญาณ ได้แก่ สัญญาณภาพและสัญญาณเสียง ผ่านทางสายนำสัญญาณ โดยข้อมูลที่ถูกส่งไปจะถูกทำให้อยู่ในรูปของสัญญาณดิจิตอล ส่วนทางด้านรับจะทำการดีมัลติเพล็กซ์ออกเป็นสัญญาณภาพและเสียง จากนั้นนำไปแปลงกลับเป็นสัญญาณอนาล็อกแล้วส่งออกเป็นสัญญาณเอาต์พุตเพื่อนำไปใช้งานต่อไป

ABSTRACT

This project relates to study and design a transmission of video and audio signal by using time division multiplex (TDM) technique. The multiplexed signal are fed through a transmission line in a digital format. At the receiver , the received signal is demultiplexed to be the original analog audio and video signal which will be applied for specific work.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	
2.1 การส่งผ่านข้อมูลดิจิตอลแบบเบสแบนด์	2
2.2 การมัลติเพล็กซ์	3
2.3 การมัลติเพล็กซ์สัญญาณแบบแบ่งเวลา	3
2.4 วงจรดีมัลติเพล็กซ์	8
2.5 หลักการเอทูดีและดีทูเอที่ใช้กับสัญญาณเสียง	8
2.6 หลักการเอทูดีที่ใช้กับสัญญาณภาพ	12
2.7 หลักการพื้นฐานของวงจรกรองความถี่แบบแอคทีฟ	18
2.8 ทฤษฎีโทรทัศน์และการเกิดภาพ	20
2.9 หลักการรับและส่งข้อมูลอนุกรม	28
2.10 การทำงานของวงจรเฟสล็อกลูป	33
บทที่ 3 การออกแบบและการสร้าง	
3.1 ระบบการส่งข้อมูลเสียงและภาพแบบทีดีเอ็ม	36
3.2 วงจรสร้างสัญญาณภาพโดยใช้ไอซี ZNA234	41
3.3 การทำงานของวงจรส่งข้อมูลภาพดิจิตอล	43
3.4 ส่วนมัลติเพล็กซ์สัญญาณ	48
3.5 วงจรดีมัลติเพล็กซ์	50
3.6 การออกแบบวงจรเฟสล็อกลูป	51
3.7 การทำงานของวงจรส่งและรับข้อมูลภาพดิจิตอล	52
บทที่ 4 การทดลองและผลการทดลอง	
4.1 ภาคส่งข้อมูลเสียงดิจิตอล	71
4.2 สัญญาณภาพที่สร้างจากไอซี ZNA234	73
4.3 ภาคส่งข้อมูลภาพดิจิตอล	75
4.4 ส่วนการแยกสัญญาณซิงค์	85
4.5 ส่วนควบคุมการสร้างแอดเดรสแนวโรว์	86
4.6 ส่วนควบคุมการสร้างแอดเดรสแนวคอลัมน์	87
4.7 ส่วนกำเนิดสัญญาณซิงค์และสัญญาณแบลงก์กิ้ง	88
4.8 ส่วนการสร้างสัญญาณนาฬิกา 48 kHz	88
4.9 ส่วนมัลติเพล็กซ์	89

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.10 วงจรแปลงข้อมูลดิจิตอลเป็นสัญญาณอนาล็อก 89
บทที่ 5 บทวิจารณ์และบทสรุป 94

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 แนวคิดหลักของการมัลติเพล็กซ์	3
รูปที่ 2.2 แสดงช่องเวลาของการมัลติเพล็กซ์สัญญาณแบบทีดีเอ็ม	4
รูปที่ 2.3 แสดงการส่งซิงค์บิตของทางภาคส่งและการตรวจเช็คซิงค์บิต ของทางภาครับ	4
รูปที่ 2.4 รูปที่ 2.3 แสดงการต่อวงจรชิพรีจิสเตอร์เพื่อสร้างสัญญาณซิงค์เวอร์ด	5
รูปที่ 2.5 แสดงวงจรมัลติเพล็กซ์	6
รูปที่ 2.6 แสดงวงจรการตรวจสอบซิงค์เวอร์ดและซิงโครไนซ์	6
รูปที่ 2.7 แสดงวงจรดีมัลติเพล็กซ์	8
รูปที่ 2.8 แผนผังของระบบซีวีเอสดีในส่วนแปลงสัญญาณเสียงเป็นข้อมูลดิจิตอล	10
รูปที่ 2.9 แผนผังของระบบซีวีเอสดีในส่วนแปลงกลับจากดิจิตอลเป็นสัญญาณเสียง	10
รูปที่ 2.10 ซีวีเอสดีมอดูเลเตอร์	11
รูปที่ 2.11 ซีวีเอสดีดีมอดูเลเตอร์	11
รูปที่ 2.12 รูปแบบสัญญาณที่ได้จากไอซีเบอร์3417 (CVSD MODULATOR/DEMODULATOR)	12
รูปที่ 2.13(ก) แสดงการต่อวงจรเอทูดีแบบขนานหรือแฟลช	13
รูปที่ 2.14 ตัวแปลงดิจิตอลเป็นอนาล็อกแบบไบนารี่แลดเดอร์	14
รูปที่ 2.15 ไบนารีแลดเดอร์ที่มีอินพุตทั้งหมดเป็น 1	15
รูปที่ 2.16 ไบนารีแลดเดอร์ที่มีอินพุตทั้งหมดเป็น 0	15
รูปที่ 2.17 วงจรสมมูลย์ของไบนารี่แลดเดอร์ที่มีอินพุต 1000	16
รูปที่ 2.18 ตัวแปลงดิจิตอลเป็นอนาล็อกแบบ 2R	17
รูปที่ 2.19 วงจรสมมูลย์ของโครงข่าย 2R	17
รูปที่ 2.20 โครงสร้างการป้อนกลับแบบลบ	19
รูปที่ 2.21 วงจรกรองความถี่ต่ำผ่าน	20
รูปที่ 2.22 แสดงวิธีการเบื้องต้นของการสแกน	21
รูปที่ 2.23 รายละเอียดของการสแกนสลับเส้นหรือแบบสอดแทรก	21
รูปที่ 2.24 การหักเหของลำอิเล็กตรอนเมื่ออยู่ในสนามไฟฟ้าและสนามแม่เหล็ก	22
รูปที่ 2.25 สัญญาณฟันเลื่อยที่จะใช้บังคับการสแกนทั้งทางแนวตั้งและทางแนวนอน	23
รูปที่ 2.26 หลักการเบื้องต้นที่เป็นตัวอย่างในการอธิบายเรื่องการสแกน	24
รูปที่ 2.27 แสดงระดับสัญญาณขาวดำโดยเกรย์สเกล	25
รูปที่ 2.28 แสดงลักษณะสัญญาณภาพรวมเบื้องต้น	27
รูปที่ 2.29 แสดงสัญญาณภาพรวมที่มีรายละเอียดทุกอย่าง	28
รูปที่ 2.30 แสดงระบบพัลส์ในฟิลด์ของการซิงโครไนซ์ของระบบโทรทัศน์	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.31 ชิพรีจิสเตอร์แบบอินพุตขนานเอาต์พุตอนุกรม 30
รูปที่ 2.32 การส่งข้อมูลแบบอนุกรม 30
รูปที่ 2.33 แสดงวงจรกำหนดบิตเริ่มต้น 31
รูปที่ 2.34 ไดอะแกรมเวลาของวงจรหาบิตเริ่มต้น 32
รูปที่ 2.35 วงจรหาบิตเริ่มต้นที่ใช้ในการรับข้อมูลอนุกรม 33
รูปที่ 2.36 บล็อกไดอะแกรมของวงจรเฟสล็อกลูป 34
รูปที่ 2.37 ไดอะแกรมแสดงล็อกเรนจ์และแคปเจอร์เรนจ์ของเฟสล็อกลูป 35
รูปที่ 3.1 บล็อกไดอะแกรมการส่งข้อมูลเสียงและภาพแบบทีดีเอ็ม 36
รูปที่ 3.2 บล็อกไดอะแกรมของวงจรภาคส่งข้อมูลเสียง 36
รูปที่ 3.3 วงจรขยายไม่กลับเฟส 37
รูปที่ 3.4 วงจรขยายไม่กลับเฟสที่ใช้ในโครงงาน 37
รูปที่ 3.5 วงจรกรองความถี่ต่ำผ่าน 38
รูปที่ 3.6 โครงสร้างภายในของไอซี MC3417 39
รูปที่ 3.7 วงจรส่งข้อมูลเสียงดิจิตอล 40
รูปที่ 3.8 โครงสร้างภายในและการจัดขาของ ZNA234 41
รูปที่ 3.9 รูปสัญญาณเอาต์พุตของ ZNA234 42
รูปที่ 3.10 เป็นการต่อวงจรที่สมบูรณ์ที่สามารถนำไปใช้งานได้ของ ZNA234 42
รูปที่ 3.11 วงจรแปลงสัญญาณภาพเป็นข้อมูลดิจิตอล 43
รูปที่ 3.12 วงจรสร้างสัญญาณนาฬิกา 2.5 MHz 44
รูปที่ 3.13 วงจรส่วนควบคุมภาคส่งสัญญาณภาพ 46
รูปที่ 3.14 วงจรบัฟเฟอร์ภาคส่ง 47
รูปที่ 3.15 วงจรมัลติเพล็กซ์โดยวิธีทีดีเอ็ม 49
รูปที่ 3.16 วงจรสร้างสัญญาณนาฬิกาความถี่ 48 kHz 49
รูปที่ 3.17 วงจรดีมัลติเพล็กซ์ 51
รูปที่ 3.18 วงจรเฟสล็อกลูป 51
รูปที่ 3.19 บล็อกไดอะแกรมภาคส่งข้อมูลภาพดิจิตอล 53
รูปที่ 3.20 บล็อกไดอะแกรมภาครับข้อมูลภาพดิจิตอล 53
รูปที่ 3.21 วงจรแยกสัญญาณซิงค์ 54
รูปที่ 3.22 วงจรควบคุมการสร้างแอดเดรสแนวโรว์ 56
รูปที่ 3.23 วงจรควบคุมการสร้างแอดเดรสแนวคอลัมน์ 58
รูปที่ 3.24 แสดงวงจรส่วนควบคุมภาครับ 60
รูปที่ 3.25 แสดงวงจรบัฟเฟอร์ภาครับ 62
รูปที่ 3.26 แสดงบล็อกไดอะแกรมการทำงานของวงจรกำเนิดสัญญาณซิงค์และแบลงก์กิ้ง 63
รูปที่ 3.27 แสดงวงจรกำเนิดสัญญาณซิงค์และแบลงก์กิ้ง 64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.28 ไดอะแกรมแสดงเวลาของ Hsync 65
รูปที่ 3.29 แสดงไดอะแกรมเวลาของ Vsync 66
รูปที่ 3.30 แสดงวงจรแปลงสัญญาณภาพดิจิตอลเป็นอนาล็อก 67
รูปที่ 3.31 วงจรสร้างสัญญาณภาพรวม 68
รูปที่ 3.32 วงจรซีวีเอสดีมอดูเลเตอร์ 68
รูปที่ 3.33 วงจรกรองความถี่ต่ำผ่าน 69
รูปที่ 3.34 วงจรขยายภาคสุดท้าย 69
รูปที่ 3.35 วงจรรวมภาครับเสียงดิจิตอล 70
รูปที่ 4.1สัญญาณเสียงที่ผ่านวงจรขยายสัญญาณแบบไม่กลับเฟส 71
รูปที่ 4.2 กราฟคุณลักษณะของวงจรกรองความถี่ต่ำผ่าน 72
รูปที่ 4.3 สัญญาณเสียงที่ผ่านวงจรซีวีเอสดีมอดูเลเตอร์ 73
รูปที่ 4.4 สัญญาณซิงค์รวมและสัญญาณวิดีโอแบลงก์กิ้ง 74
รูปที่ 4.5 สัญญาณแบบจุด (Dot) 74
รูปที่ 4.6 สัญญาณภาพเส้นแนวตั้ง (Vertical Line) 75
รูปที่ 4.7 สัญญาณภาพแบบตาราง (Cross Hatch) 75
รูปที่ 4.8 สัญญาณเอาต์พุตดิจิตอลบิตที่ 1 77
รูปที่ 4.9 สัญญาณเอาต์พุตดิจิตอลบิตที่ 2 78
รูปที่ 4.10 สัญญาณเอาต์พุตดิจิตอลบิตที่ 3 78
รูปที่ 4.11สัญญาณเอาต์พุตดิจิตอลบิตที่ 4 78
รูปที่ 4.12 สัญญาณเอาต์พุตดิจิตอลบิตที่ 5 79
รูปที่ 4.13 สัญญาณเอาต์พุตดิจิตอลบิตที่ 6 79
รูปที่ 4.14 และ 4.15 สัญญาณเอาต์พุตดิจิตอลบิตที่ 1 80
รูปที่ 4.16 และ 4.17 สัญญาณเอาต์พุตดิจิตอลบิตที่ 2 81
รูปที่ 4.18 และ 4.19 สัญญาณเอาต์พุตดิจิตอลบิตที่ 3 82
รูปที่ 4.20 และ 4.21 สัญญาณเอาต์พุตดิจิตอลบิตที่ 4 83
รูปที่ 4.22 และ 4.23 สัญญาณเอาต์พุตดิจิตอลบิตที่ 5 84
รูปที่ 4.24 และ 4.25 สัญญาณเอาต์พุตดิจิตอลบิตที่ 6 85
รูปที่ 4.26 สัญญาณซิงโครไนซ์แนวนอน 86
รูปที่ 4.27 สัญญาณซิงโครไนซ์แนวตั้ง 86
รูปที่ 4.28 สัญญาณแอดเดรสแนวโรว์ A7-A10 86
รูปที่ 4.29 สัญญาณแอดเดรสแนวโรว์ A11-A13 87
รูปที่ 4.30 สัญญาณแอดเดรสแนวคอลัมน์ A0-A3 87
รูปที่ 4.31 สัญญาณแอดเดรสแนวคอลัมน์ A4-A6 87
รูปที่ 4.32 ส่วนกำเนิดสัญญาณซิงโครไนซ์ทางแนวนอน 88

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.33 สัญญาณซิงโครไนซ์แนวตั้ง 88
รูปที่ 4.34 สัญญาณนาฬิกา 48 kHz 89
รูปที่ 4.35 สัญญาณที่ถูกมัลติเพล็กซ์โดยวิธีทีดีเอ็ม 89
รูปที่ 4.36 สัญญาณที่ผ่านวงจรแปลงดิจิตอลเป็นอนาล็อก 90
รูปที่ 4.37 วงจรสร้างสัญญาณภาพทดสอบที่สร้างขึ้น 90
รูปที่ 4.38 วงจรเครื่องส่งข้อมูลภาพและเสียงแบบทีดีเอ็ม 91
รูปที่ 4.39 วงจรเครื่องรับข้อมูลภาพและเสียงแบบทีดีเอ็ม 91
รูปที่ 4.40 เครื่องสร้างสัญญาณภาพทดสอบ 92
รูปที่ 4.41 เครื่องส่งข้อมูลภาพและเสียงแบบทีดีเอ็ม 92
รูปที่ 4.42 เครื่องรับข้อมูลภาพและเสียงแบบทีดีเอ็ม 93

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.12(ข) ตารางความสัมพันธ์ระหว่างแรงดันอินพุตที่เป็นอนาล็อกกับเอาต์พุตที่เป็นดิจิตอล	13
ตารางที่ 4.1 ตารางแสดงค่าโวลเตจที่วัดได้ที่ค่าความถี่ต่างๆของวงจรกรองความถี่ต่ำผ่าน	72
ตารางที่ 4.2 ตารางแสดงรหัสสัญญาณเอาต์พุตแต่ละบิตของไอซี CA3306	76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1

บทนำ

ปัจจุบันเทคโนโลยีการสื่อสารข้อมูลดิจิตอลได้เข้ามามีบทบาทมากขึ้น เนื่องจากประโยชน์หลายประการของระบบดิจิตอลนั่นเอง สำหรับปริญญานิพนธ์ฉบับนี้จะกล่าวถึงการสื่อสารข้อมูลภาพและเสียงแบบทีดีเอ็ม ในส่วนของระบบจะประกอบด้วยส่วนสำคัญอันได้แก่ ส่วนที่ทำหน้าที่แปลงสัญญาณเสียงและภาพที่เป็นอนาล็อกให้เป็นข้อมูลดิจิตอล , ส่วนของการมัลติเพล็กซ์ ซึ่งจะส่งผ่านตามสายนำสัญญาณ, ส่วนของการดีมัลติเพล็กซ์ ซึ่งจะรับข้อมูลที่ถูกมัลติเพล็กซ์ที่ส่งผ่านมาตามสายนำสัญญาณ และส่วนของการแปลงข้อมูลเสียงและภาพดิจิตอลที่ได้จากการดีมัลติเพล็กซ์ ให้มาเป็นสัญญาณเสียงและภาพอนาล็อกเหมือนเดิม เนื้อหาในปริญญานิพนธ์ฉบับนี้มีรายละเอียดดังนี้

บทที่ 1 เป็นการกล่าวเกี่ยวกับสาระสำคัญและขอบเขตของปริญญานิพนธ์

บทที่ 2 กล่าวถึงทฤษฎีและหลักการของระบบการส่งข้อมูลดิจิตอล , การมัลติเพล็กซ์แบบแบ่งเวลา , วงจรดีมัลติเพล็กซ์ , หลักการแปลงสัญญาณเสียงและภาพอนาล็อกให้เป็นดิจิตอล , การแปลงสัญญาณเสียงและภาพดิจิตอลให้เป็นอนาล็อก , หลักการของไอซีเบอร์ MC3417 , วงจรกรองความถี่แบบแอคทีฟ , หลักการเบื้องต้นของสัญญาณโทรทัศน์ , หลักการส่งและรับข้อมูลอนุกรม และ หลักการของเฟสล็อกลูป

บทที่ 3 กล่าวถึงการออกแบบและการสร้างของวงจรที่ใช้ในปริญญานิพนธ์

บทที่ 4 กล่าวถึงวิธีการทดลองและผลการทดลอง

บทที่ 5 สรุปและวิจารณ์

นอกจากนี้ข้อมูลของไอซีบางตัวจะมีอยู่ในภาคผนวก เพื่อความเข้าใจในรายละเอียดของไอซีตัวนั้นๆมากยิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 การส่งผ่านข้อมูลดิจิตอลแบบเบสแบนด์

การสื่อสารที่ใช้ส่งและรับสัญญาณซึ่งอยู่ในรูปของข้อมูลดิจิตอล โดยทั่วไปเรียกว่า การสื่อสารแบบดิจิตอล (Digital Communication) ซึ่งระบบสื่อสารแบบดิจิตอลมีข้อดีหลายอย่าง เช่นการทำงานร่วมกับระบบคอมพิวเตอร์ และเหมาะกับการพัฒนาของวงจรรวมขนาดใหญ่ (VLSI) เป็นต้น โดยระบบการสื่อสารแบบดิจิตอลนี้ แบ่งประเภทของการส่งผ่านข้อมูลดิจิตอลออกเป็นการส่งผ่านข้อมูลดิจิตอลแบบเบส-แบนด์ และการส่งผ่านดิจิตอลแบบแบนด์พาส โดยในโครงงานนี้จะใช้การศึกษาและทดลองการส่งสัญญาณดิจิตอลแบบเบสแบนด์

โครงสร้างและความต้องการของระบบส่งผ่านข้อมูลดิจิตอลแบบเบสแบนด์

ในระบบการส่งผ่านข้อมูลแบบเบสแบนด์ ข้อมูลดิจิตอลถูกส่งออกไปโดยไม่ทำการมอดูเลตกับคลื่นพาห์ ผ่านไปตามสายนำสัญญาณที่ทำด้วยโลหะ เช่นสายโคแอกเชียล เป็นต้น ซึ่งเป็นระบบที่ง่าย เพราะเป็นระบบที่ไม่ต้องใช้อุปกรณ์ความถี่สูง

ข้อมูลดิจิตอลที่ส่งออกมาควรมีคุณสมบัติดังนี้คือ มีแบนด์วิดท์ยิ่งแคบยิ่งดี และไม่ควรมีส่วนประกอบกระแสตรง เพื่อไม่ไปสร้างปัญหาให้กับวงจรเปรียบเทียบระดับสัญญาณที่ภาครับ ดังนั้นจึงต้องมีการสร้างข้อมูลดิจิตอลเพื่อที่จะส่งออกทางสายนำสัญญาณในระบบเบสแบนด์นี้ ซึ่งโดยทั่วไปเรียกว่า ไลน์-โค้ดดิง (Line Coding)

การแปลงสัญญาณอนาล็อกให้อยู่ในรูปข้อมูลดิจิตอล เป็นกระบวนการเริ่มต้นในการสื่อสารข้อมูลดิจิตอล มีข้อดีคือการที่มัลติเพล็กซ์เชิงเวลาได้ จึงมีเทคนิคการแปลงจำนวนมากถูกคิดค้นขึ้น การเลือกเทคนิคเหล่านี้ไปใช้ขึ้นกับการใช้งานและระดับประสิทธิภาพที่ต้องการ โดยค่าพารามิเตอร์ที่สำคัญมากตัวหนึ่ง ซึ่งนิยมนำมาใช้ในการประเมินผลประสิทธิภาพ คือ อัตราส่วนสัญญาณต่อความผิดเพี้ยน (Signal to - distortion ratio) ซึ่งความผิดเพี้ยนที่เกิดขึ้นส่วนใหญ่ เป็นความผิดเพี้ยนที่เกิดจากการจัดระดับ (Quantization distortion) และความเพี้ยนที่เกิดจากการโอเวอร์โหลดของความชันหรือขนาดของสัญญาณ (Slope or amplitude overload distortion)

การแปลงสัญญาณอนาล็อกเป็นข้อมูลดิจิตอล เรียกได้อีกอย่างหนึ่งว่า การเข้ารหัสข้อมูลดิจิตอล ซึ่งสามารถแบ่งได้เป็น 2 ประเภท

1.การเข้ารหัสรูปสัญญาณ (Waveform coder) ถูกทำขึ้นเพื่อจัดเตรียมการสร้างสัญญาณอินพุตขึ้นใหม่ โดยปราศจากการพิจารณาค่าข้อมูลที่อยู่ก่อนหน้านี้ เช่น พัลส์โค้ดมอดูเลชั่น แม้จะมีคุณสมบัติ (Performance) ที่สม่ำเสมอตลอดช่วงกว้างของระดับสัญญาณอินพุต และทนทานต่อสภาพต่างๆที่ทำให้สัญญาณเลวลงแต่ก็มีข้อเสียคือ มีอัตราบิตข้อมูลในการส่งที่สูง

2.การเข้ารหัสตัวสัญญาณ (Source coder) ถูกทำขึ้นเพื่อจัดเตรียมการสร้างสัญญาณอินพุตขึ้นใหม่ โดยการทำนายค่าตัวอย่างข้อมูลที่จะเกิดขึ้น อาศัยค่าตัวอย่างข้อมูลก่อนหน้านี้มาใช้ในการคาดคะเน

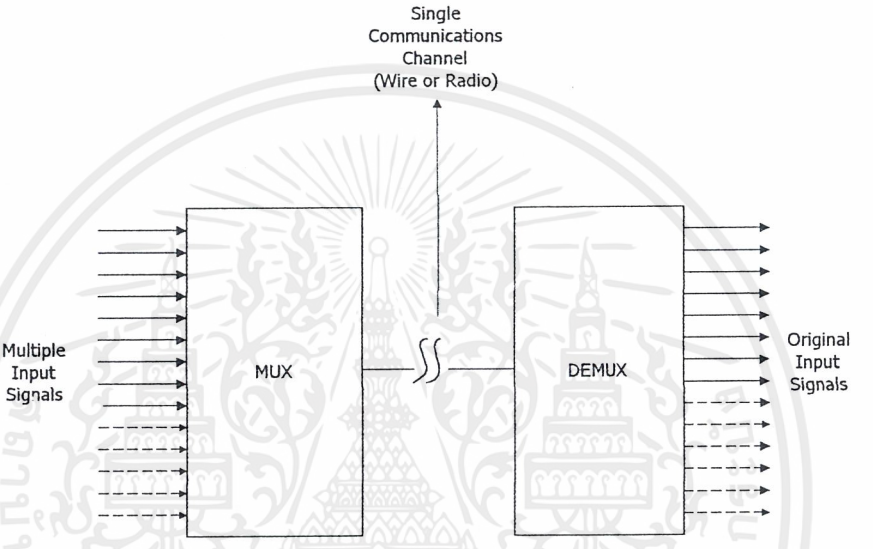
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถกำจัดลักษณะที่ซ้ำซ้อนของข้อมูลได้ และทำให้อัตราบิตข้อมูลในการส่งต่ำลง แต่สัญญาณที่ได้ก็จะมีความใกล้เคียงกับสัญญาณจากแหล่งกำเนิดน้อยลงด้วยเช่นกัน

2.2 การมัลติเพล็กซ์

การมัลติเพล็กซ์เป็นกระบวนการที่ทำให้เกิดการส่งสัญญาณสองช่องหรือมากกว่าไปบนช่องทางการติดต่อสื่อสารช่องเดียว การมัลติเพล็กซ์จะมีผลให้เกิดการเพิ่มของช่องสัญญาณสื่อสาร ดังนั้นข่าวสาร

แนวความคิดหลักของการมัลติเพล็กซ์อย่างง่ายจะแสดงดังรูปที่2.1สัญญาณอินพุตหลายๆ สัญญาณ จะถูกรวมเข้าด้วยกัน ด้วยตัวมัลติเพล็กเซอร์ เข้าไปเป็นสัญญาณเดียวซึ่งจะส่งผ่านตัวกลางการสื่อสาร ที่ปลายสุดของการติดต่อสื่อสารตัวดีมัลติเพล็กเซอร์จะใช้เพื่อแยกแต่ละสัญญาณให้อยู่ในรูปเดิม



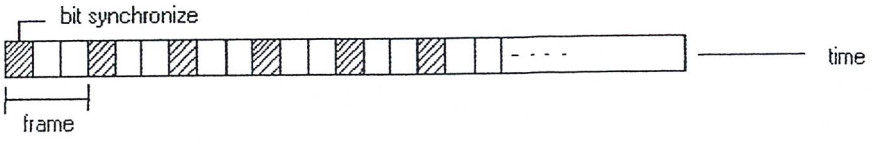
รูปที่ 2.1 แนวคิดหลักของการมัลติเพล็กซ์

การมัลติเพล็กซ์จะมีอยู่ 2 ชนิดพื้นฐาน ได้แก่การมัลติเพล็กซ์ตามการแบ่งความถี่ (Frequency Division Multiplex : FDM) และการมัลติเพล็กซ์ตามการแบ่งตามเวลา (Time Division Multiplex : TDM) ซึ่งในโครงงานนี้จะศึกษาการมัลติเพล็กซ์ตามการแบ่งเวลา ดังนั้นในปริญญานิพนธ์ฉบับนี้จึงจะขอกล่าวถึงรายละเอียดเฉพาะการมัลติเพล็กซ์ตามการแบ่งเวลาเท่านั้น

2.3 การมัลติเพล็กซ์สัญญาณแบบแบ่งเวลา (Time Division Multiplex : TDM)

รูปแบบการมัลติเพล็กซ์ที่นำมาใช้ในโครงงานนี้ เป็นการมัลติเพล็กซ์สัญญาณแบบแบ่งเวลาสำหรับสัญญาณดิจิตอล ข่าวสารข้อมูลในรูปแบบอนุกรม จะถูกนำมาจัดลำดับลงในช่วงเวลาหนึ่งเรียกว่าช่องเวลา(Time slot) ใน 1ช่วงเวลา จะมีข้อมูล1บิตข้อมูลจากช่องสัญญาณหนึ่งๆที่ส่งไปในหนึ่งเฟรม อาจใช้ช่องเวลามากกว่าหนึ่งช่องได้ แต่จะถูกกำหนดไว้แน่นอน การส่งข้อมูล 1ชุดเรียกเฟรม(Frame) จะเริ่มต้นด้วย ช่องเวลาที่ใช้เป็นตัวเก็บข้อมูล สำหรับขบวนการซิงโครไนเซชั่น ตามด้วยช่องเวลาของข่าวสารแต่ละช่องสัญญาณ ซึ่งถูกกำหนดไว้แน่นอนเรียงตามลำดับและอาจปิดท้ายด้วยช่องเวลาของข้อมูลของระบบอีกจำนวนหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.2 แสดงช่องเวลาของการมัลติเพล็กซ์สัญญาณแบบทีดีเอ็ม

โดยทั่วไปในหนึ่งเฟรม จะใช้ข้อมูลในการซิงโครไนซ์เพียง 1 บิต ซึ่งเรียกว่า ซิงค์บิต (Sync bit) และเมื่อนำหลายๆเฟรมมารวมกัน กลายเป็น 1ซุปเปอร์เฟรม จะมีซิงค์เวอร์ดเหมือนกัน ซิงค์เวอร์ดจะเป็นข้อมูลควบคุมที่จะบอกให้ทางด้านรับทราบว่าขณะนั้น การรับส่งข้อมูลอยู่ในสภาวะซิงโครไนซ์กันหรือไม่

กระบวนการซิงโครไนเซชั่น

สมมติให้ข้อมูล 1 เฟรมมี 3 ช่องเวลาโดยเริ่มจากซิงค์บิตสัญญาณ1 บิตจากช่องสัญญาณช่องที่1 และสัญญาณ1บิตจากช่องสัญญาณช่องที่2ตามลำดับและให้ซิงค์เวอร์ด มีขนาด3 บิตเป็น110นั้น คือ 1ในซุปเปอร์เฟรม จะประกอบด้วย เฟรมย่อยๆ3 เฟรม ถ้าให้ลำดับการส่งสัญญาณจากช่องสัญญาณช่องที่1เป็น 111010100 และจากช่องที่2 เป็น 010101000

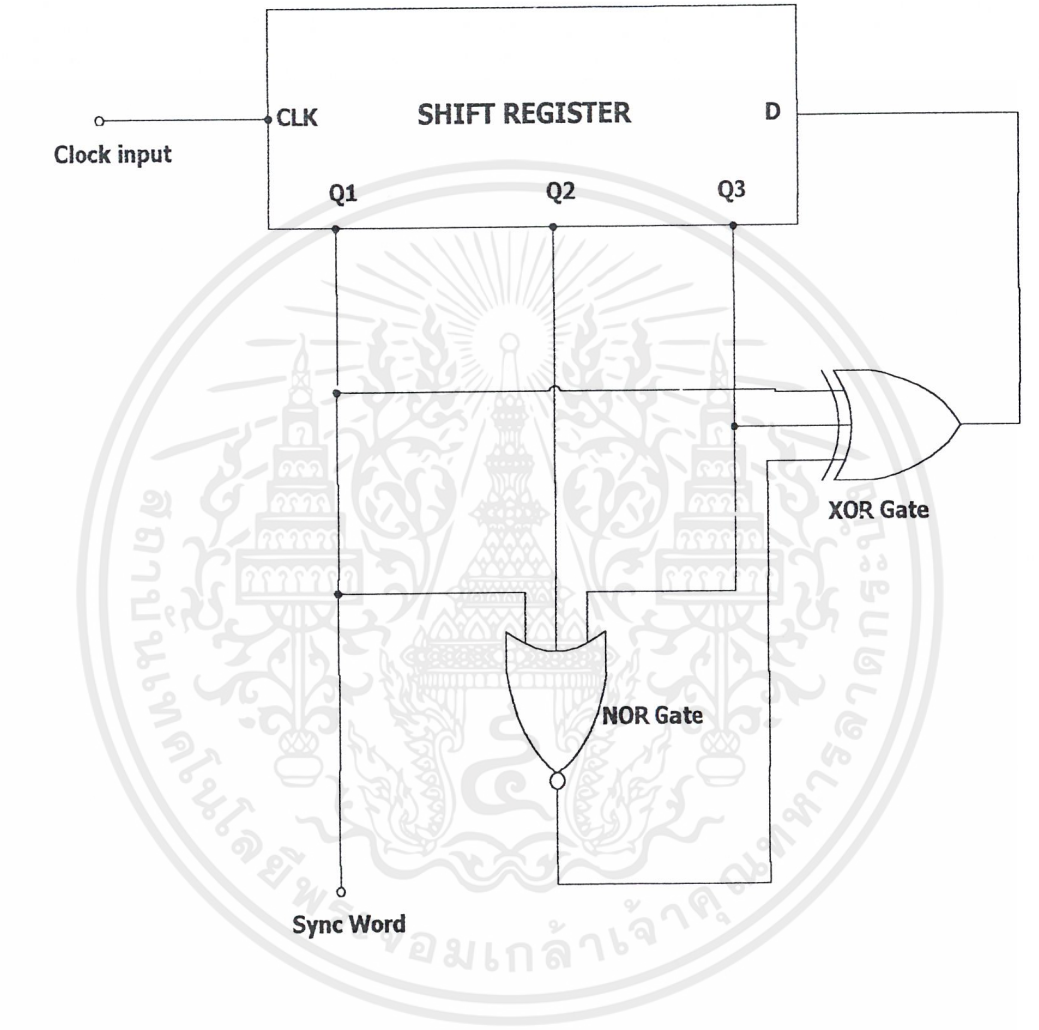
รูปที่ 2.3 แสดงการส่งซิงค์บิตของทางภาคส่งและการตรวจเช็คซิงค์บิตของทางภาครับ

สมมติตอนแรก ให้สเกลเวลาด้านรับไม่ตรงกับด้านส่ง ดังรูปข้างบน เมื่อด้านรับตรวจเช็คซิงค์-บิตจนครบ 3 บิต พบว่า ไม่ถูกต้องก็จะทำการเปลี่ยนสเกลเวลาใหม่ โดยการหยุดสเกลเวลาไป 1 ช่องเวลา แล้วตรวจเช็คซิงค์เวอร์ดในรอบต่อไป จนกระทั่งตรวจพบซิงค์เวอร์ดได้ถูกต้อง แสดงว่าซิงโครไนซ์แล้ว ด้วยเทคนิคดังกล่าว ถ้าซิงค์เวอร์ดขนาด N บิตและแต่ละเฟรมแบ่งเป็น M ช่องเวลา ดังนั้นเวลาที่ใช้จนกระทั่งได้รับซิงค์เวอร์ดคือ M*N ช่องเวลา จำนวนช่องเวลาที่อาจผิดพลาดได้สูงสุดคือ M ซึ่งทำให้เวลาซิงโครไนซ์มากที่สุดไม่เกิน M(M*N) ช่องเวลา เวลาที่ใช้น้อยที่สุดในกรณีที่ไม่ผิดพลาดเลยก็คือ M*N ช่องเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างซิงค์เวอร์ดและการมัลติเพล็กซ์

วงจรสร้างซิงค์เวอร์ดจะใช้ชิฟรีจิสเตอร์ (Shift Register) ขนาด 3 บิต ต่อเป็นวงจรดังรูปที่ 2.4 สัญญาณที่ออกจากขา Q_1 จะเป็นชุดลำดับไบนารี่แบบสุ่มเทียม (Pseudo-random series) ขนาด 7 บิต ซึ่งมีคุณสมบัติที่สำคัญคือ ถ้านำสัญญาณนี้บวกแบบมอดูโล 2 กับสัญญาณที่ถูกเลื่อนไปจำนวน K บิต (K=7) จะให้สัญญาณอนุกรมแบบเดิม ซึ่งทำให้สามารถตรวจจับ (Detect) ได้ง่าย

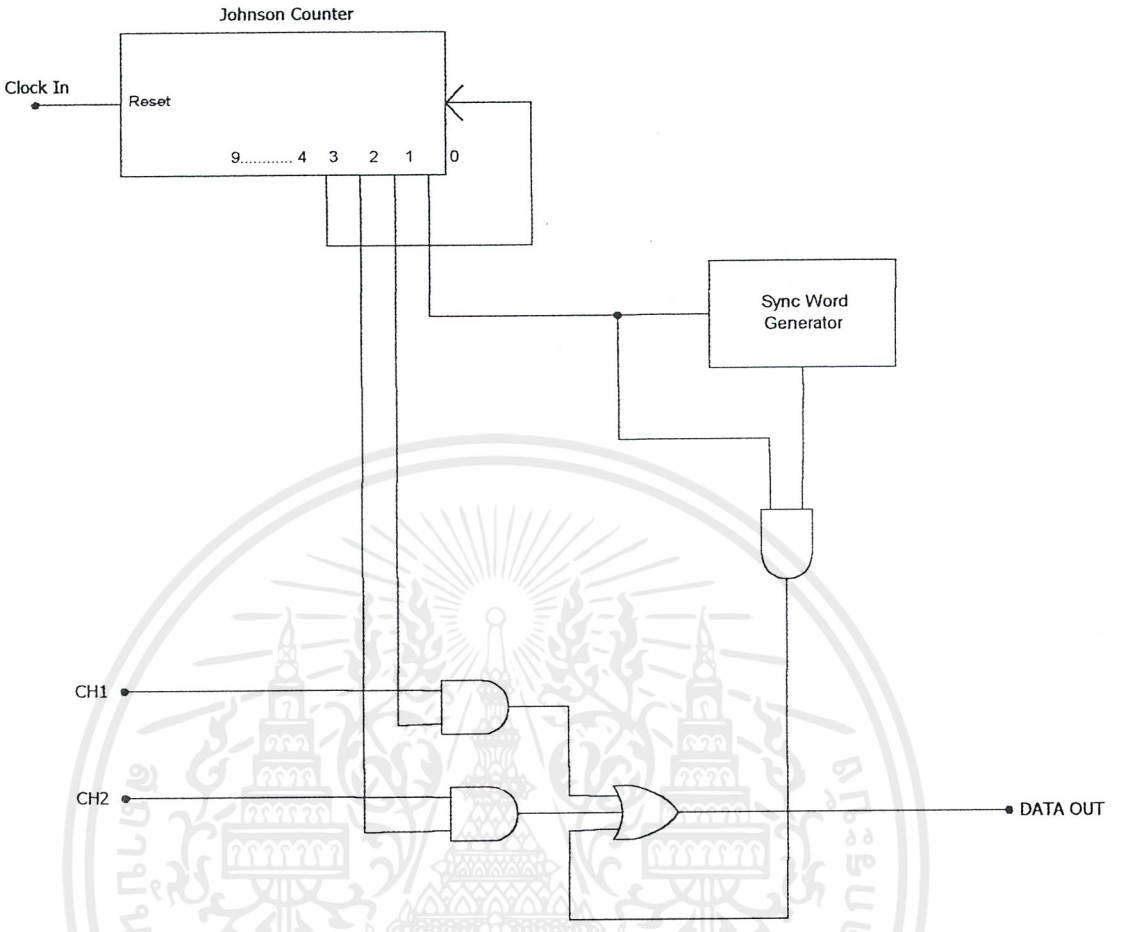


รูปที่ 2.4 แสดงการต่อวงจรชิฟรีจิสเตอร์เพื่อสร้างสัญญาณซิงค์เวอร์ด

การออกแบบวงจรมัลติเพล็กซ์ เนื่องจากในการส่งเราจะทำการส่งทั้งสัญญาณเสียงและภาพ ซึ่งเป็นการมัลติเพล็กซ์แบบ 2 ช่องสัญญาณ โดยที่ 1 ช่องสัญญาณจะใช้ 1 ช่องเวลา ดังนั้นใน 1 เฟรมจะต้องใช้ 3 ช่องเวลา และใช้ซิงค์เวอร์ดขนาด 7 บิต ใน 1 ซุปเปอร์เฟรมจะมี 7 เฟรม

วงจรมัลติเพล็กซ์ที่สมบูรณ์แสดงดังรูปที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

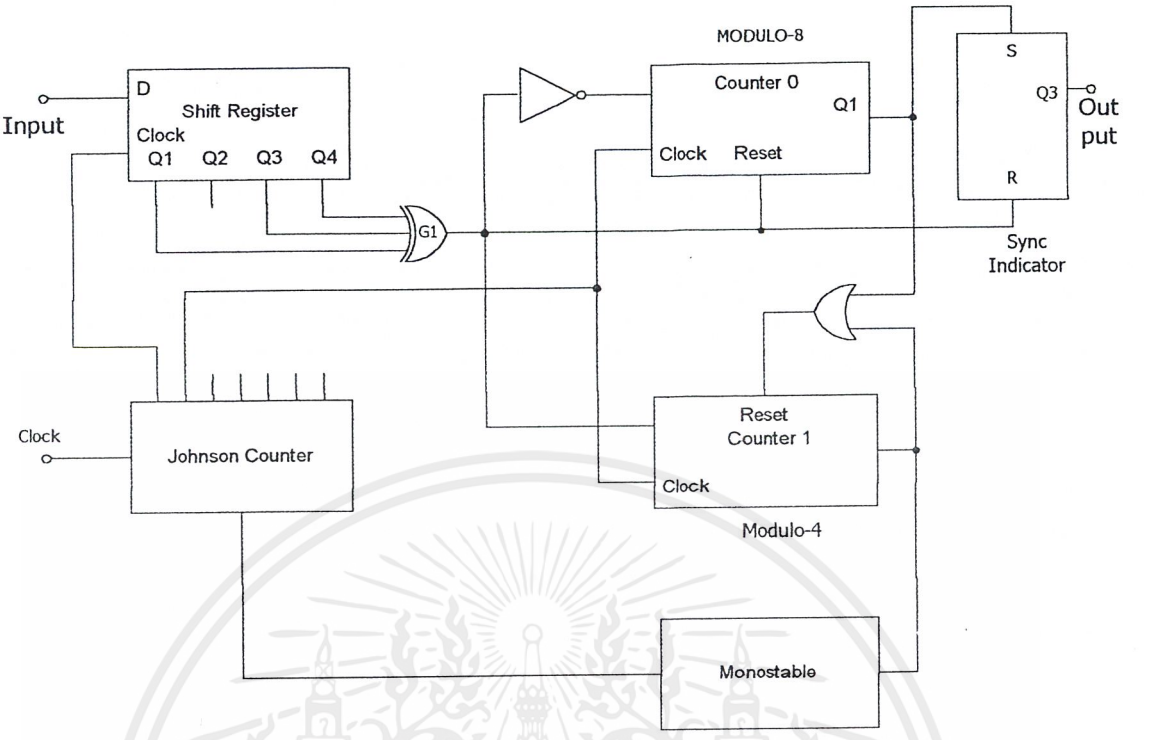


รูปที่ 2.5 แสดงวงจรมัลติเพล็กซ์

การตรวจสอบซิงค์เวอร์ดและการซิงโครไนเซชั่น

ข้อดีประการหนึ่งของการใช้ซิงค์เวอร์ดที่เป็นลำดับไบนารี่แบบสุ่มเทียมคือ ถ้านำสัญญาณซิงค์นี้บวกแบบมอดูโล 2 กับสัญญาณที่ถูกเลื่อนไป 2 และ 4 บิต จะให้ผลลัพธ์เป็น " 0 " จากคุณสมบัตินี้ทางด้านวงจรตรวจสอบจะใช้ชิฟรีจิสเตอร์ขนาด 4 บิต ต่อเป็นวงจรได้ดังรูปที่ 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แสดงวงจรการตรวจสอบซิงค์เวอร์ดและซิงโครไนซ์

การทำงานของวงจรรูปที่ 2.6 สามารถพิจารณาได้ 3 กรณี คือ

- กรณีที่อยู่ในสภาวะซิงโครไนเซชั่น สัญญาณออก G_1 จะเป็น " 0 " ซึ่งทำให้เคาน์เตอร์ (0) นับจนครบ 7 แล้วเซ็ตค่า Q ของฟลิปฟลอปเป็น " 1 " ซึ่งเป็นตัวแสดงสภาวะซิงโครไนซ์ ในขณะเดียวกันจะรีเซ็ตเคาน์เตอร์ (1)

- กรณีที่เกิดการผิดพลาดเพียงชั่วขณะ G_1จะเป็น "1 " เพียงครั้งเดียว ซึ่งจะเป็นการรีเซตเคาน์เตอร์ (0) และหลังจากนั้น G_1 จะเป็น " 0 " ตลอด ทำให้เคาน์เตอร์ (0) นับจนครบ 7 และเซ็ตค่า Q ของฟลิปฟลอปเป็น " 1 " พร้อมทั้งรีเซตเคาน์เตอร์ (1) ซึ่งเป็นการกลับเข้าสู่สภาวะซิงโครไนเซชั่นอีกครั้งหนึ่ง

- กรณีที่ไม่ซิงโครไนซ์ สัญญาณที่ออกจาก G_1 อาจเป็น " 0 " หรือเป็น " 1 " ทุกครั้งที่ G_1 เป็น " 1 " เคาน์เตอร์ (0) จะถูกรีเซ็ตและเคาน์เตอร์ (1) จะนับค่าเพิ่มขึ้นอีกหนึ่ง ถ้าในขณะที่เคาน์เตอร์ (1) นับครบ 4 แสดงว่ามีการตรวจสอบซิงค์บิตครบทั้ง 7 บิต และมีข้อผิดพลาด ซึ่งจะต้องเปลี่ยนสเกลเวลาใหม่ โดยที่ Q_2 จะเป็น " 1 " และไปกระตุ้นวงจรโมโนสเตเบิ้ล เพื่อไปดิสอะเบิล (Disable) วงจรจอห์นสัน-เคาน์เตอร์ (Johnson counter) ให้หยุดเวลาไป 1 ช่วงเวลาและเคาน์เตอร์ (1) จะรีเซ็ตตัวเองเพื่อรอตรวจสอบซิงค์เวอร์ดในรอบต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

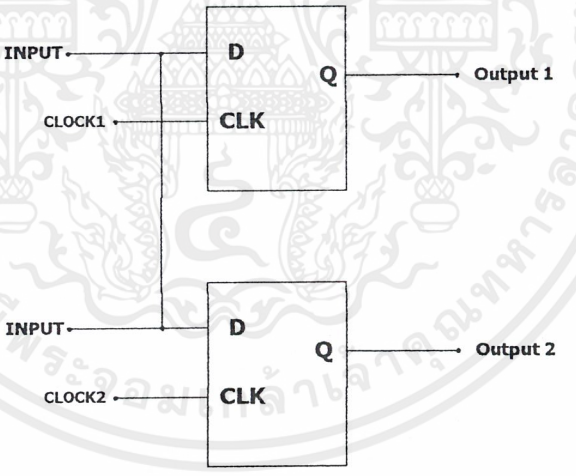
2.4 วงจรดีมัลติเพล็กซ์

เมื่อทางด้านรับได้รับสัญญาณที่เป็นส่วนประกอบ (Composite Signal) หรือสัญญาณจากตัวมัลติเพล็กซ์ มันจะถูกดีมัลติเพล็กซ์ โดยดีมัลติเพล็กเซอร์ (DEMUX) ตัว DEMUX นี้จะทำงานกลับกันกับตัวมัลติเพล็กเซอร์ จะมีอินพุตเดียวและมีหลายเอาต์พุตแต่ละอันสำหรับสัญญาณอินพุตดั้งเดิมที่เข้ามาแต่ละอัน

ปัญหาหลักที่ต้องทำให้ได้ในการดีมัลติเพล็กซ์ก็คือการซิงโครไนเซชั่น นั่นก็คือในการที่จะทำให้สัญญาณผ่านการดีมัลติเพล็กซ์อย่างถูกต้อง จะต้องมีวิธีการบางวิธีที่จะรับประกันได้ว่าความถี่คล็อกที่ใช้ในวงจรดีมัลติเพล็กซ์จะต้องมีลักษณะเหมือนกันทุกประการ และตรงกับที่ใช้ในวงจรมัลติเพล็กซ์ ยิ่งไปกว่านั้นนอกจากการที่คล็อกจะต้องเป็นอันหนึ่งเดียวกันแล้ว ลำดับของการดีมัลติเพล็กซ์ก็จะต้องเป็นอันหนึ่งอันเดียวกันกับลำดับของการมัลติเพล็กซ์ด้วย นั่นคือ เมื่อช่องหนึ่งถูกแซมปลิ้งทางด้านส่ง ช่องนั้นจะต้องเปิดทางด้านรับของส่วนดีมัลติเพล็กซ์ในเวลาเดียวกัน การซิงโครนัสเช่นนี้ปกติแล้วจะมีการใช้พัลส์ซิงโครนัสพิเศษซึ่งรวมอยู่ในส่วนหนึ่งของเฟรมด้วย

แทนที่จะใช้ออสซิลเลเตอร์แยกจากฝั่งส่ง สัญญาณคล็อกของฝั่งดีมัลติเพล็กซ์จะหามาจากสัญญาณที่มาจากสัญญาณที่ส่งมาโดยมีการกู้สัญญาณนาฬิกาที่มาจากทางด้านส่ง

วงจรดีมัลติเพล็กซ์ที่ใช้ในที่นี้ แสดงดังรูปที่ 2.7 ซึ่งจะให้ ดี-ฟลิปฟลอป 2 ตัว เพื่อแยกสัญญาณจาก 2 ช่องเวลาออกเป็น 2 สัญญาณ และสัญญาณนาฬิกาของ ดี-ฟลิปฟลอปแต่ละตัว จะถูกควบคุมจากวงจรจอห์นสันเคาน์เตอร์เพื่อซิงโครไนซ์สัญญาณในแต่ละช่องเวลา



รูปที่ 2.7 แสดงวงจรดีมัลติเพล็กซ์

2.5 หลักการเอทูดีและดีทูเอที่ใช้กับสัญญาณเสียง

เนื่องจากสัญญาณเสียงเป็นสัญญาณที่มีการเปลี่ยนแปลงไปอย่างช้าๆ ดังนั้น สัญญาณจากการสุ่มตัวอย่างสัญญาณเสียงที่อยู่ติดกัน มักมีความสัมพันธ์กัน เช่นมีขนาดใกล้เคียงกัน เป็นต้น ลักษณะเช่นนี้เมื่อพิจารณาจากทฤษฎีข่าวสาร จะเข้าลักษณะที่มีความซ้ำซ้อนกัน ดังนั้นถ้าเราสามารถลดความซ้ำซ้อนนี้ลงได้ ก็จะมีโอกาสที่จะทำการเข้ารหัสด้วยจำนวนบิตที่น้อยลง ซึ่งหมายความว่า จะสามารถลด อัตรา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งข้อมูลดิจิตอลลงไปได้ เป็นผลให้การส่งผ่านข้อมูลต้องการแบนด์วิดท์ของตัวกลางน้อยลงด้วย เท่ากับเป็นการลดค่าใช้จ่ายลงไปได้ จึงมีการคิดค้นวิธีการมอดูเลตที่มีการนำมาใช้งานทั่วไป มีดังต่อไปนี้

- ดิฟเฟอเรนเชียล พัลส์โค้ดมอดูเลชั่น
  (Differntial Pulse Code Modulation)
- อะแดปทิฟ ดิฟเฟอเรนเชียล พัลส์โค้ดมอดูเลชั่น
  (Adaptive Differential Pulse Code Modulation)
- เดลต้า มอดูเลชั่น
  (Delta Modulation)
- อะแดปทิฟ เดลต้ามอดูเลชั่น
  (Adaptive Delta Modulation)
- ลิเนียร์ พรีดิคทิฟโค้ดดิ้ง
  (Linear Predictive Coding)

สำหรับในโครงงานนี้ เลือกวิธีการมอดูเลตแบบ อะแดปทิฟ เดลต้า มอดูเลชั่นในรูปแบบหนึ่ง (ในหลายๆรูปแบบที่มีอยู่) ที่เรียกกันทั่วไปว่า เดลต้ามอดูเลชั่นที่มีการเปลี่ยนแปลงความชันต่อเนื่อง (Continuously Variable Slope Delta Modulation: CVSD) มาใช้งาน เพราะว่ามีลักษณะที่ไม่ซับซ้อนยุ่งยาก , อัตราการส่งข้อมูลค่อนข้างต่ำเมื่อเทียบกับ PCM และมีการผลิตขึ้นเป็นอุปกรณ์ไอซีแบบ Single - Integrated Circuit ขึ้นอย่างแพร่หลาย ด้วยเหตุนี้จึงมีความง่าย , ความเหมาะสม และความสะดวกต่อการนำไปใช้งาน

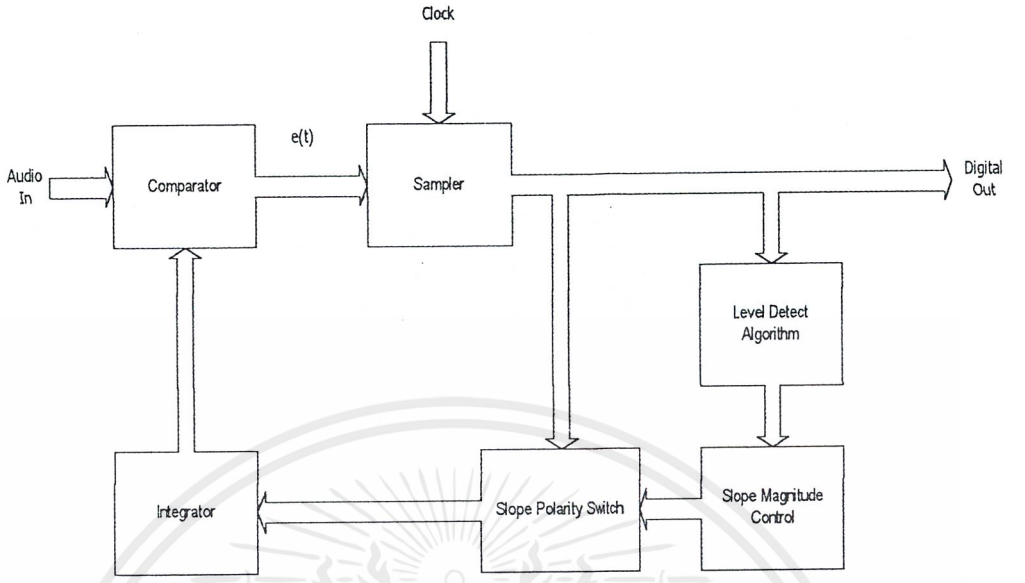
รูปแบบการของวงจรและการทำงานของวงจรมอดูเลชั่นและดีมอดูเลชั่น
แบบเดลต้ามอดูเลชั่นที่มีการเปลี่ยนแปลงอย่างต่อเนื่อง

วิธีการของซีวีเอสดี (CVSD) อาศัยการตรวจระดับสัญญาณที่ได้จากการเปรียบเทียบค่าสัญญาณปัจจุบันกับค่าสัญญาณที่คาดคะเนขึ้นจากวงจรอินทิเกรเตอร์ โดยอาจใช้วิธีการจัดให้มีรีจิสเตอร์สำหรับเก็บข้อมูลดิจิตอลล่าสุด จำนวน 3 ถึง4 บิต แล้วตรวจว่าเป็น " 0 " หมด หรือ " 1 " หมดหรือไม่ ถ้าใช่แสดงว่า ในขณะนี้ อัตราการขยายของอินทิเกรเตอร์ต่ำไป ตอบสนองต่อความชันไม่ทัน ก็จะทำการเพิ่มอัตราการขยายให้สูงขึ้นเฉพาะในช่วงนั้น

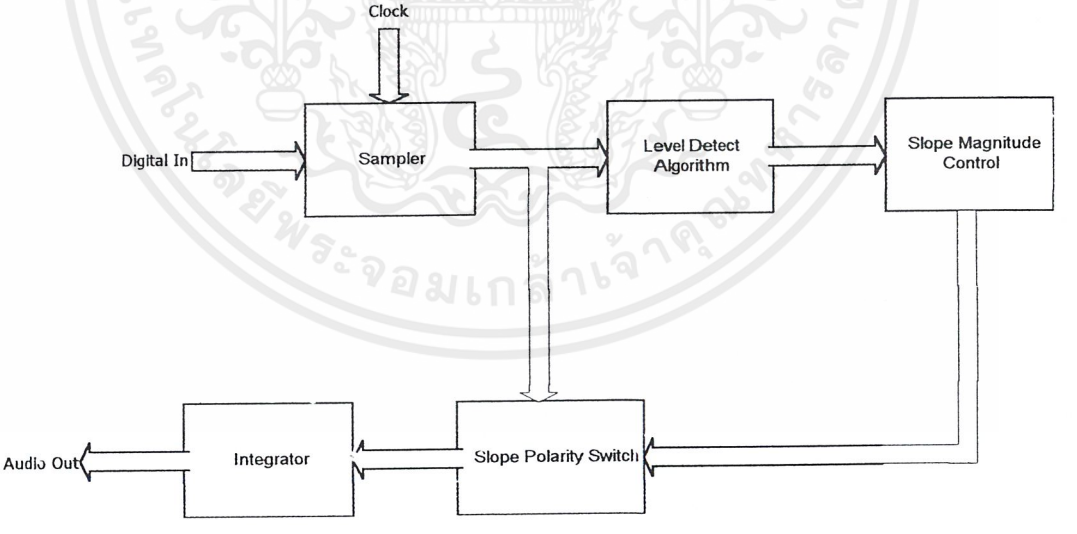
ในส่วนของการแปลงกลับ จะต้องมีการทำงานในลักษณะเดียวกัน คือ มีรีจิสเตอร์ตรวจดูข้อมูลว่า เป็น " 0 " หมด หรือ " 1 " หมดหรือไม่ แล้วจัดการควบคุมอัตราการขยายของอินทิเกรเตอร์ให้สอดคล้องกัน

ในปัจจุบัน ได้มีผู้พัฒนาวงจรมอดูเลชั่นและดีมอดูเลชั่นแบบเดลต้ามอดูเลชั่นที่มีการเปลี่ยนแปลงความชันต่อเนื่องขึ้น เป็นอุปกรณ์ไอซี ซึ่งแสดงบล็อกไดอะแกรมของแผนผังการทำงานได้ดังรูปที่ 2.8 และ 2.9 และแสดงวงจรในรูปแบบอย่างง่ายดังรูปที่ 2.10 และ 2.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

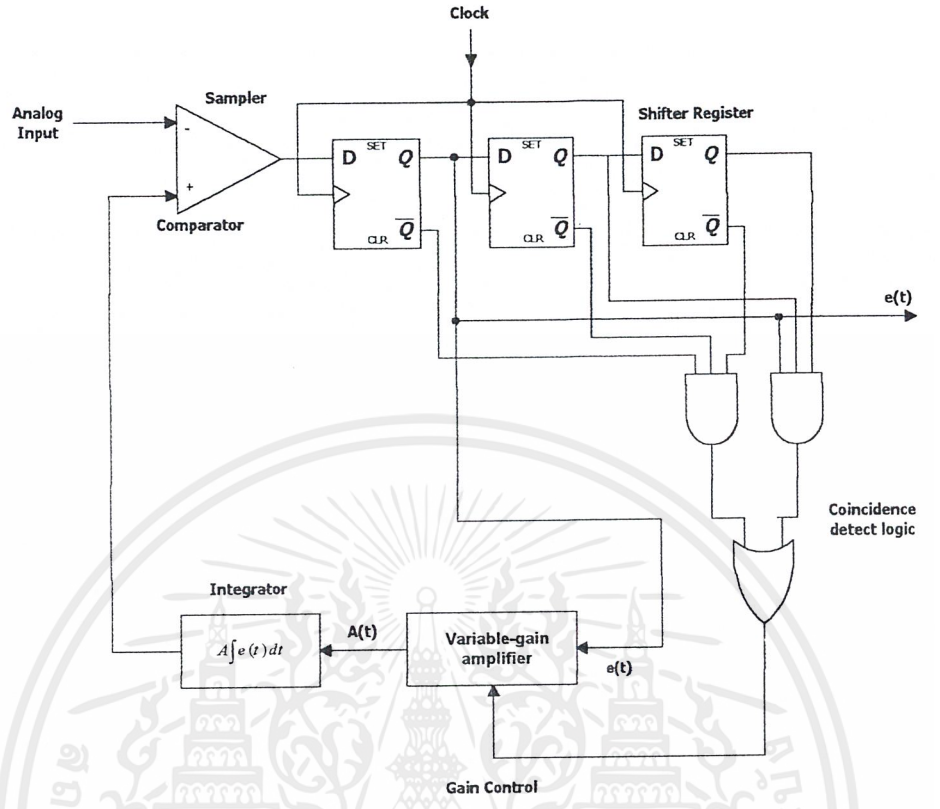


รูปที่ 2.8 แผนผังของระบบซีวีเอสดี ในส่วนแปลงสัญญาณเสียงเป็นข้อมูลดิจิตอล

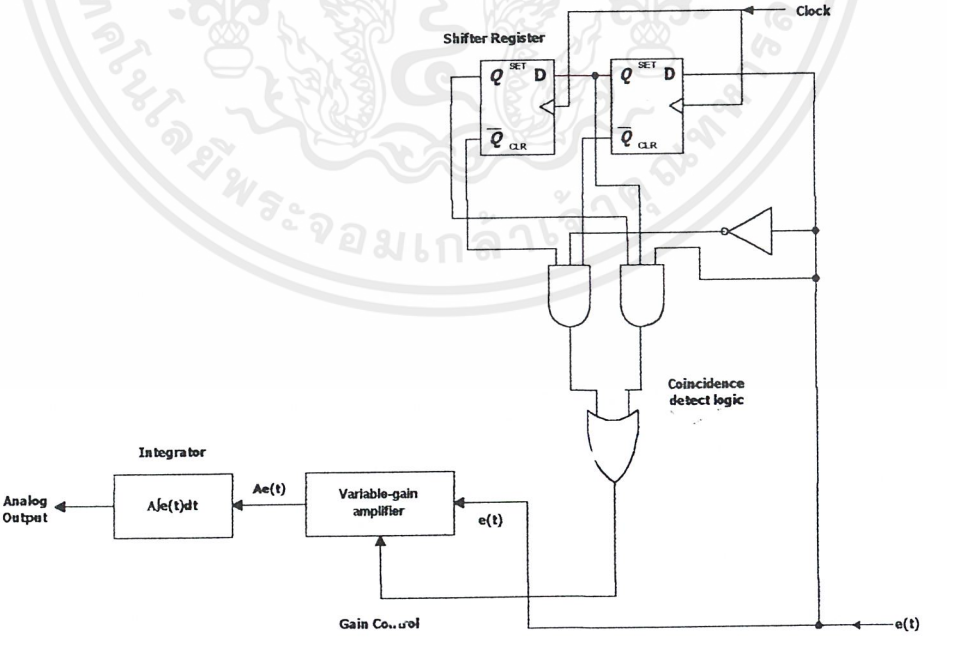


รูปที่ 2.9 แผนผังของระบบซีวีเอสดี ในส่วนการแปลงกลับจากดิจิตอลเป็นสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 ซีวีเอสดี มอดูเลเตอร์

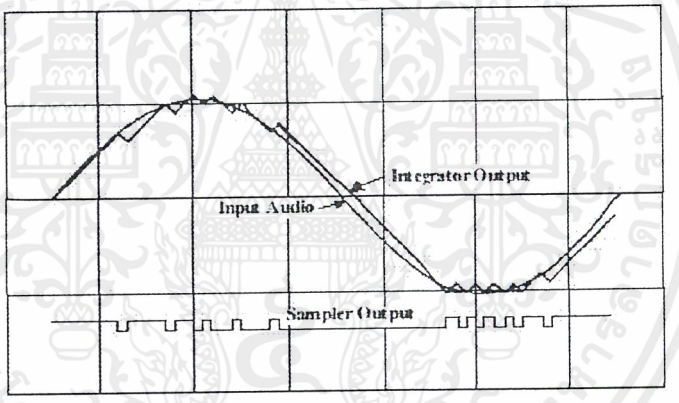


รูปที่ 2.11 ซีวีเอสดี ดีมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่2.11 จะเห็นได้ว่าการทำงานของวงจรจะเกี่ยวข้องกับการสุ่มตัวอย่างค่าอันก่อนของสัญญาณผลต่างของ 2 สัญญาณกับค่าปัจจุบัน เพื่อมอดูเลตขนาดสัญญาณอินพุตของอินทิเกรเตอร์ ค่าสัญญาณผลต่างอันก่อน 2 ค่า e(t) ถูกเก็บชั่วคราวในชิฟรีจิสเตอร์ วงจรโคอินซิเดนซ์ดีเทคเตอร์ (Coincidence Detector) จะตรวจจับค่าอันก่อน 2 ค่า และค่าปัจจุบันของ e(t) และสร้างสัญญาณควบคุม-อัตราการขยาย (Gain-Control Signal) สัญญาณควบคุมอัตราการขยายจะเพิ่มค่าอินพุตอินทิเกรเตอร์ เมื่อไรก็ตามที่มันตรวจจับลอจิก " 1 " จำนวน 3 ตัว หรือลอจิก " 0 " จำนวน 3 ตัวต่อเนื่องกัน ลอจิก " 1 " จำนวน 3 ตัวต่อเนื่องที่เอาต์พุตของชิฟรีจิสเตอร์ที่ต่อไปยังโคอินซิเดนซ์ดีเทคเตอร์ แสดงให้ทราบว่าขนาดของสัญญาณอนาล็อกเพิ่มขึ้นชันเกินไป และลอจิก " 0 " จำนวน 3 ตัวต่อเนื่องกัน แสดงให้ทราบว่ามีการตกลงชันเกินไป ซึ่งจะกระตุ้นให้มีการเพิ่มค่าอินพุตของอินทิเกรเตอร์ เพื่อไม่ให้เกิดโอเวอร์โหลดทางความชันขึ้น

รูปคลื่นของสัญญาณอนาล็อกอินพุต , สัญญาณผลต่าง e(t) และสัญญาณเอาต์พุตของอินทิเกรเตอร์แสดงดังรูปที่ 2.12สำหรับกรณีนี้จะแสดงอนาล็อกอินพุตเป็นสัญญาณรูปซายน์ ซึ่งรูปที่2.12 จะนำมาจากรายละเอียดของไอซีเบอร์ 3417 ซีวีเอสดี มอดูเลเตอร์/ดีมอดูเลเตอร์ ของโมโตโรล่า



รูปที่ 2.12 รูปแบบสัญญาณที่ได้จากไอซีเบอร์ 3417 (CVSD Modulator/Demodulator)

2.6 หลักการเอทูดีที่ใช้กับสัญญาณภาพ

ลักษณะการส่งภาพในโครงงานนี้ เป็นการส่งภาพนิ่ง โดยนำสัญญาณภาพในช่วงเวลาหนึ่ง มาแปลงเป็นข้อมูลดิจิตอลแล้วเก็บไว้ในหน่วยความจำ เมื่อต้องการส่งภาพไปยังด้านรับ ก็จะทำการอ่านข้อมูลที่เก็บไว้ออกมา ซึ่งเราสามารถกำหนดอัตราการส่งข้อมูลได้ จากการเลือกใช้สัญญาณความถี่นาฬิกา ที่จะนำมาใช้ในการสร้างแอดเดรสอ่านข้อมูล เพื่อแปลงข้อมูลให้เป็นแบบอนุกรมส่งออกไปยังด้านรับ ให้ทำการเก็บไว้ในหน่วยความจำอีกครั้งหนึ่งแล้วทำการอ่านข้อมูลนี้ออกมาแปลงเป็นสัญญาณอนาล็อกด้วยแอดเดรสที่สร้างขึ้น โดยอาศัยสัญญาณนาฬิกาที่มีความถี่สูง เพื่อนำไปรวมเข้ากับสัญญาณซิงค์และ แบลงก์กิ้ง เกิดเป็นสัญญาณภาพรวม ด้วยเหตุนี้การลดอัตราเร็วในการส่งข้อมูลภาพจึงทำได้โดยง่าย ไม่จำเป็นต้องใช้เทคนิคในการแปลงข้อมูลดิจิตอลที่ซับซ้อน

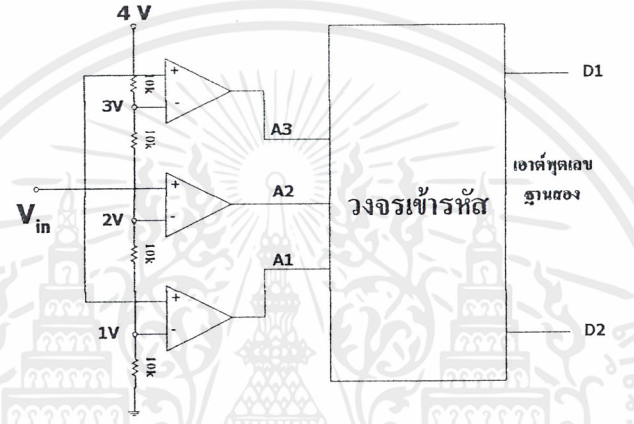
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในโครงงานนี้จะเลือกใช้ไอซีเอทูดีแบบแฟลช เบอร์ CA3306 ความละเอียด 6 บิต ซึ่งสามารถแสดงระดับสัญญาณได้ 64 ระดับ ความเร็วในการทำงานสูงสุด 5 MHz ซึ่งมีหลักการทำงานโดยทั่วไปดังนี้

วงจรเอทูดีแบบขนานหรือ " แฟลช "

(Parallel Comparator Simultaneous or "Flash" A/D Converter)

ถ้าคำนึงถึงความเร็วในการแปลงสัญญาณเป็นอันดับแรก ก็ควรใช้วิธีการแปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบขนานหรือแฟลช โดยวิธีการนี้จะเป็นการป้อนอินพุตพร้อมๆกัน เข้าไปในกลุ่มของคอมพาราเตอร์ที่ต่อแบบขนาน ซึ่งแต่ละตัวประกอบด้วย ออปแอมป์ที่ต่อเป็นวงจรเปรียบเทียบและตัวต้านทานที่ต่อไว้เพื่อแบ่งแรงดันที่ขาอินพุตแบบกลับ (Inverting) ให้มีขนาดต่างๆกัน



(ก)

แรงดันอินพุต Vin (โวลต์)	เอาต์พุตของ วงจรเปรียบเทียบ			เอาต์พุต เลขฐานสอง	
	A1	A2	A3	D1	D2
0 - 1	0	0	0	0	0
1 - 2	1	0	0	0	1
2 – 3	1	1	0	1	0
3 - 4	1	1	1	1	1

(ข)

รูปที่ 2.13 (ก) แสดงการต่อวงจรเอทูดีแบบขนานหรือแฟลช

(ข) ตารางความสัมพันธ์ระหว่างแรงดันอินพุตที่เป็นอนาล็อกกับเอาต์พุตที่เป็นดิจิตอล

จากหลักการของวงจรเปรียบเทียบทั่วไป เมื่อแรงดันที่ขาอินพุตแบบไม่กลับ (Noninverting) มีค่าสูงกว่าที่ขาอินพุตแบบกลับ เอาต์พุตจะได้แรงดันค่าสูง ดังรูปที่ 2.13ข จะได้เข้าใจยิ่งขึ้นว่าที่แรงดันค่าต่างๆมีผลต่อเอาต์พุตวงจรเปรียบเทียบแต่ละวงจรอย่างไร ซึ่งเอาต์พุตที่ได้จากวงจรเปรียบเทียบนี้จะนำไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้ารหัสให้เป็นเลขฐานสองต่อไป จำนวนของวงจรเปรียบเทียบที่ต้องใช้ในวงจรขึ้นอยู่กับขนาดของสัญญาณอนาล็อกที่อินพุต

จากรูปที่ 2.13 ถ้าแรงดันอินพุตมีค่า 1 โวลต์ ไม่เพียงพอที่จะทำให้วงจรเปรียบเทียบตัวใดให้ค่าเอาต์พุตเป็นสัญญาณสูง (High) ที่แรงดันระหว่าง 1 ถึง 2 โวลต์ วงจรเปรียบเทียบที่ระดับเทรชโฮลด์ (Threshold) ต่ำสุด ก็จะให้เอาต์พุตเป็นสัญญาณสูง

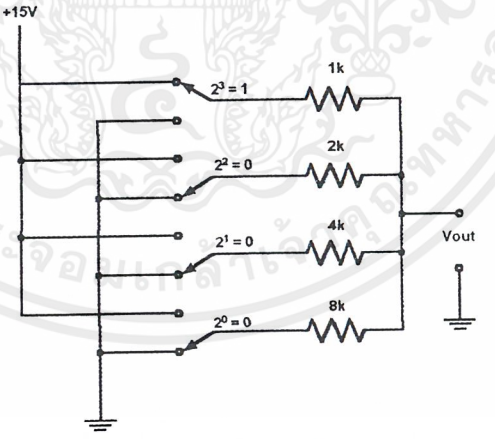
แรงดัน 2-3 โวลต์ วงจรเปรียบเทียบทั้ง A_1และ A_2 ให้เอาต์พุตเป็น (High) ถ้าแรงดันอินพุตมากกว่า 3 โวลต์ วงจรเปรียบเทียบก็จะให้เอาต์พุตเป็นสัญญาณสูงทั้งหมด เมื่อต้องการวงจรที่มีความละเอียดสูงขึ้น จำเป็นต้องใช้วงจรเปรียบเทียบเพิ่มขึ้น เช่น ถ้าต้องการความละเอียด 3 บิต ต้องใช้วงจรเปรียบเทียบ 7 ตัว ความละเอียด 4 บิต ต้องใช้วงจรเปรียบเทียบ 15 ตัว (16 ระดับ) โดยหาจำนวนวงจรเปรียบเทียบได้จาก 2^N-1 เมื่อ N แทนจำนวนบิตหรือความละเอียดที่ต้องการ จะเห็นว่าที่ความละเอียด 8 บิต ต้องใช้วงจรเปรียบเทียบมากถึง 255 ตัว ซึ่งเป็นข้อเสียของวงจรเอทูดี แบบนี้ข้อเสียอีกประการหนึ่งคือ เอาต์พุตที่ไม่ได้เป็นเลขฐานสอง ต้องมีวงจรเพิ่มเติมไปทำการเข้ารหัส

ข้อดีของวงจรเอทูดีแบบขนานนี้ คือ ความเร็วสูงมาก จึงเรียกวงจรเอทูดีแบบนี้ว่าแบบ "แฟลช" (Flash type A/D converter) ซึ่งใช้เวลาในการแปลงได้เร็วในระดับนาโนวินาที

วงจรดีทูเอแบบใช้โครงข่ายตัวต้านทาน

(Resistor Networks for Digital-Analog Conversion)

พิจารณาที่โครงข่ายตัวต้านทาน 2 โครงข่ายที่ทำงานเป็นตัวแปลงเลขฐานสอง ให้เป็นระดับแรงดันที่เป็นปฏิภาคกัน ขั้นแรกเราจะมาดูที่ไบนารีแลดเดอร์ ในรูปที่ 2.14 แสดงให้เห็นถึงไบนารีแลดเดอร์ที่ทำจากสวิตช์ สำหรับเลขฐานสองแต่ละบิตจะใช้เอาต์พุตของ TTL แทน



รูปที่ 2.14 ตัวแปลงดิจิตอลเป็นอนาล็อกแบบไบนารีแลดเดอร์

เลขฐานสองที่เซ็ตโดยสวิตช์คือ 1000 หรือเลขฐานสิบคือ 8 เลขที่มากที่สุดที่สวิตช์ 4 ตัวนี้จะรับได้คือ 1111 หรือ 15 ในฐานสิบ ในกรณีนี้ 1 คือ +15 โวลต์ และ 0 คือ กราวด์ หรือ 0 โวลต์ ถ้าใส่เลขฐานสอง 1111 หรือ 15 ในฐานสิบลงไปในสวิตช์ เอาต์พุตของไบนารีแลดเดอร์จะขึ้นอยู่กับแรงดัน +15 โวลต์ ที่ต่ออยู่กับตัวต้านทานซึ่งต่อขนานกัน ในรูปที่ 2.15 กระบวนการนี้ให้เอาต์พุต 15 โวลต์ ถ้าเอาต์พุตทุกตัวสวิตช์ไปที่ตำแหน่ง 0 เอาต์พุตจะเป็น 0 โวลต์หรือ กราวด์ แสดงในรูปที่ 2.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

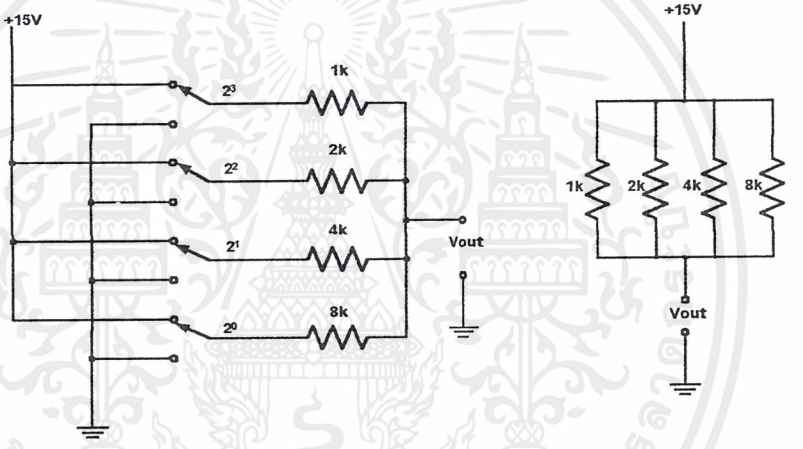
ต่อไปเราจะวิเคราะห์สวิตช์ ในรูปที่ 2.14 วงจรสมมูลย์แสดงในรูป 2.17 ถ้าเราลดตัวต้านทานให้เหลือเพียง 2 ตัว แรงดันเอาต์พุตที่ตกคร่อม R_B โดยการใช้โวลเตจดีไวเดอร์ (Voltage Divider) เราจะได้แรงดันเอาต์พุตของเลขฐานสอง 1000 หรือ 8 (ฐานสิบ) เป็น 8 โวลต์

$$R_B = \frac{1}{\frac{1}{2k\Omega}+\frac{1}{4k\Omega}+\frac{1}{8k}} = 1.1429k\Omega$$

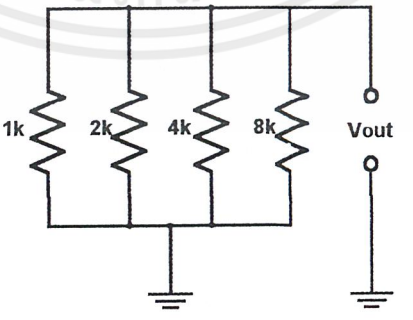
$$V_{out} = V_s\left[\frac{R_B}{R_A + R_B}\right]$$

$$V_{out} = 15V\left[\frac{1.1429}{1+1419}\right]$$

$$V_{out} = 8V$$

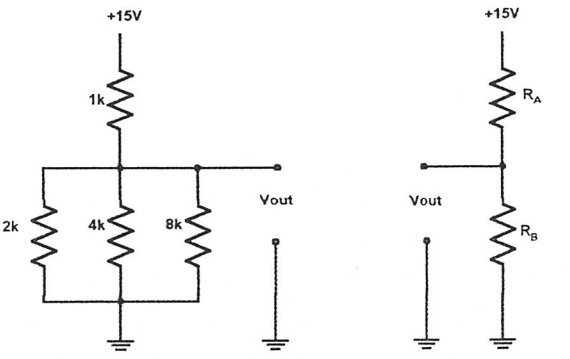


รูปที่ 2.15 ไบนารีแลดเดอร์ที่มีอินพุตทั้งหมดเป็น 1



รูปที่ 2.16 ไบนารีแลดเดอร์ที่มีอินพุตทั้งหมดเป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 วงจรสมมูลย์ของไบนารีแลดเดอร์ที่มีอินพุต 1000

แรงดันเอาต์พุตของเลขฐานสอง เลขอื่นที่เป็นไปได้นั้นสามารถคำนวณได้ เราพบว่าการเพิ่มขึ้นของแรงดันเป็น 1 โวลต์ สำหรับไบนารีแลดเดอร์นี้เลขฐานสองที่มีค่าเท่ากับ 10 จะสร้างแรงดันเอาต์พุต 10 โวลต์ และเลขฐานสองที่มีค่าสมมูลย์กับ 7 จะสร้างแรงดันเอาต์พุต 7 โวลต์ หรือถ้าจะกล่าวอีกทางหนึ่งก็คือ การเพิ่มขึ้นของแรงดันเท่ากับแรงดันที่แหล่งจ่ายถูกแบ่งโดยเลขฐานสองที่มากที่สุดที่เป็นอินพุตของโครงข่ายตัวต้านทาน การเพิ่มขึ้นของแรงดันของไบนารีแลดเดอร์ใช้สูตรข้างล่างนี้

แรงดันที่เพิ่มขึ้นของไบนารีแลดเดอร์ = $\left[\frac{V_s}{2^N - 1}\right]$

เมื่อ V_s = แรงดันที่แหล่งจ่าย

N = จำนวนบิตอินพุตเลขฐานสอง

เมื่อ N เท่ากับจำนวนบิตอินพุตของไบนารีแลดเดอร์ 2^N-1 เป็นจำนวนเลขที่มากที่สุดที่สามารถแสดงได้ในเลขฐานสองจำนวน N บิต ถ้าสูตรนี้เป็นจำนวนการเพิ่มขึ้นของแต่ละครั้ง แรงดันเอาต์พุตสุดท้ายจะต้องมีค่าเท่ากับอินพุตเลขฐานสองคูณกับการเพิ่ม1ขึ้นของแรงดัน

สูตรข้างล่างนี้ใช้สำหรับหาแรงดันเอาต์พุตของวงจรในรูป 2.14

ไบนารีแลดเดอร์ : V_{OUT} = อินพุตเลขฐานสอง $\left[\frac{V_s}{2^N - 1}\right]$

สำหรับการเพิ่มกำลังของเลขฐานสอง แต่ละครั้งค่าตัวต้านทานในไบนารีแลดเดอร์ถูกหารด้วย 2 นั่นคือ 2^0 ความต้านทานเป็น 8 กิโลโอห์ม 2^1 ความต้านทานเป็น 4 กิโลโอห์ม 2^2 ตัวต้านทานเป็น 2 กิโลโอห์ม และ 2^3 ตัวต้านทานเป็น 1 กิโลโอห์ม ถ้าเราเติมบิตที่ 5 ลงไปไบนารีแลดเดอร์ ค่าความต้านทานจะเป็นครึ่งหนึ่งของค่าความต้านทาน 2^3 หรือเท่ากับ 500 โอห์ม จะเห็นว่าสามารถรับเลขฐานสองได้มากขึ้นและต้องใช้ตัวต้านทานที่มีค่าน้อยกว่า อย่างไรก็ตามมันไม่ง่ายนักที่จะหาตัวต้านทานที่พอดีเหมือนกันนี้

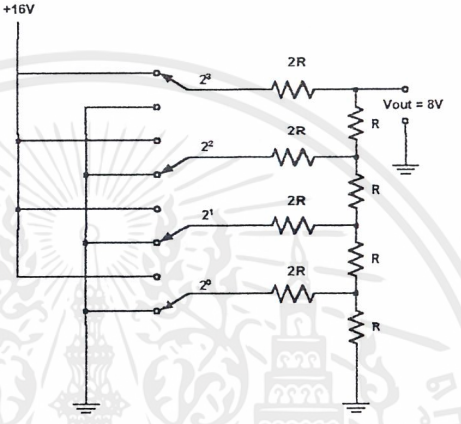
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

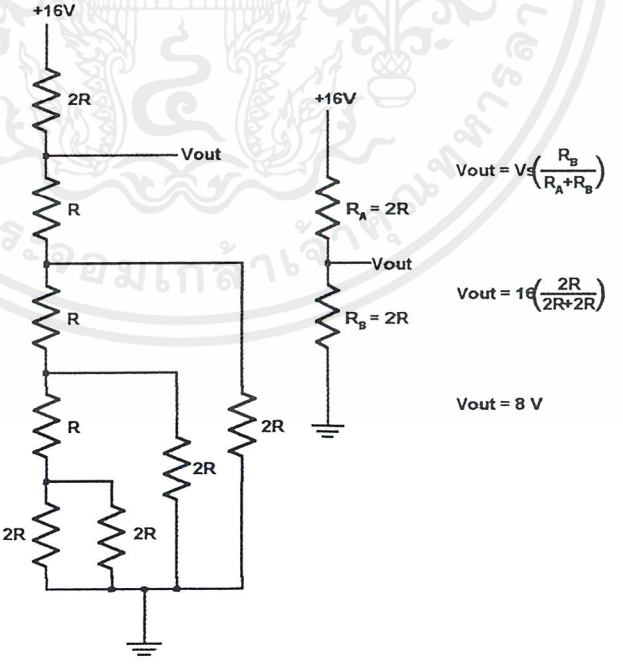
สำหรับปัญหาสองประการนี้สามารถตัดทิ้งไปได้เลยโดยการใช้โครงข่ายแบบอื่น เพื่อสร้างระดับแรงดันที่เป็นปฏิภาคกัน นั่นคือ โครงข่าย 2R แสดงในรูปที่ 2.18 ใช้ทฤษฎีเดียวกันในรูปที่ 2.17 เราสามารถจำกัดแรงดันเอาต์พุตของเลขฐานสองที่สวิตช์ไปที่โครงข่าย 2R ดังรูป 2.18 แสดงในรูปที่ 2.19

2R แลดเดอร์จะคล้ายกับไบนารีแลดเดอร์ เว้นแต่ว่าการเพิ่มขึ้นของแรงดันจะเท่ากับแรงดันที่แหล่งจ่ายหารด้วยจำนวนรวมทั้งหมดของอินพุตเลขฐานสอง N บิต คือ 2^N สูตรสำหรับแรงดันเอาต์พุตของโครงข่าย 2R เท่ากับอินพุตเลขฐานสองคูณกับแรงดันที่แหล่งจ่ายหารด้วย 2^N

โครงข่าย 2R : V_{OUT} = เลขฐานสอง $\left[\frac{V_S}{2^N}\right]$



รูปที่ 2.18 ตัวแปลงดิจิตอลเป็นอนาล็อกแบบ 2R



รูปที่ 2.19 วงจรสมมูลย์ของโครงข่าย 2R

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42217

2.7 หลักการพื้นฐานของวงจรกรองความถี่แบบแอคทีฟ

2.7.1 ทรานสเฟอร์ฟังก์ชั่นของวงจรกรองความถี่

$$H(s) = \frac{a_n(s - z_1)(s - z_2).....(s - z_n)}{b_n(s - p_1)(s - p_2).....(s - p_n)}$$

ค่า $Z_1, Z_2, Z_3, ...Z_n$ เรียกว่า ซีโร่ (Zero) ของฟังก์ชั่น H(s)

ค่า $P_1, P_2, P_3, ...P_n$ เรียกว่า โพล (Pole) ของฟังก์ชั่น H(s)

ค่าโพล หรือ ซีโร่ อาจเป็นจำนวนจริงหรือจำนวนเชิงซ้อน วงจรจะเสถียรหรือไม่ ดูจากตำแหน่งโพลบนระนาบเชิงซ้อนเอส (Complex S-Plane) โดยโพลของฟังก์ชั่นอัตราการขยาย (Gain function) จะต้องอยู่ทางซ้ายของระนาบ S เสมอ วงจรจึงจะเสถียร ในกรณีของวงจรกรองแบบพาสซีฟ (Passive filter) ไม่จำเป็นต้องพิจารณาเสถียรภาพ เนื่องจากวงจรกรองความถี่แบบพาสซีฟแบบพาสซีฟไม่มีอัตราขยาย แต่สำหรับวงจรกรองความถี่แบบแอคทีฟ (Active filter) จะประกอบด้วยออปแอมป์ , ความต้านทานและตัวเก็บประจุ เสถียรภาพวงจรมีความสำคัญมาก เพราะออปแอมป์มีอัตราขยายและ R-C เน็ตเวอร์ค เป็นเน็ตเวอร์คที่มีการป้อนกลับ ซึ่งอาจออสซิลเลตได้

2.7.2 ข้อดีของวงจรกรองความถี่แบบแอคทีฟ

-มีขนาดเล็ก น้ำหนักเบา ไม่ต้องพัน L

-ความถูกต้องของวงจรสูง

- สามารถสร้างได้ในราคาถูก

- การออกแบบยุ่งยากน้อยกว่าวงจรกรองความถี่แบบพาสซีฟ จึงไม่มีปัญหาเรื่อง Matching

- มีรูปแบบของวงจรให้เลือกใช้งานได้มาก

- มีอัตราขยาย ในขณะที่วงจรกรองความถี่แบบพาสซีฟมีการลดทอน

2.7.3 ฟังก์ชั่นของอัตราขยาย

$$LPF(gain) = \frac{kw_p^2}{s^2 + (w_p / Q_p)s + w_p^2}$$

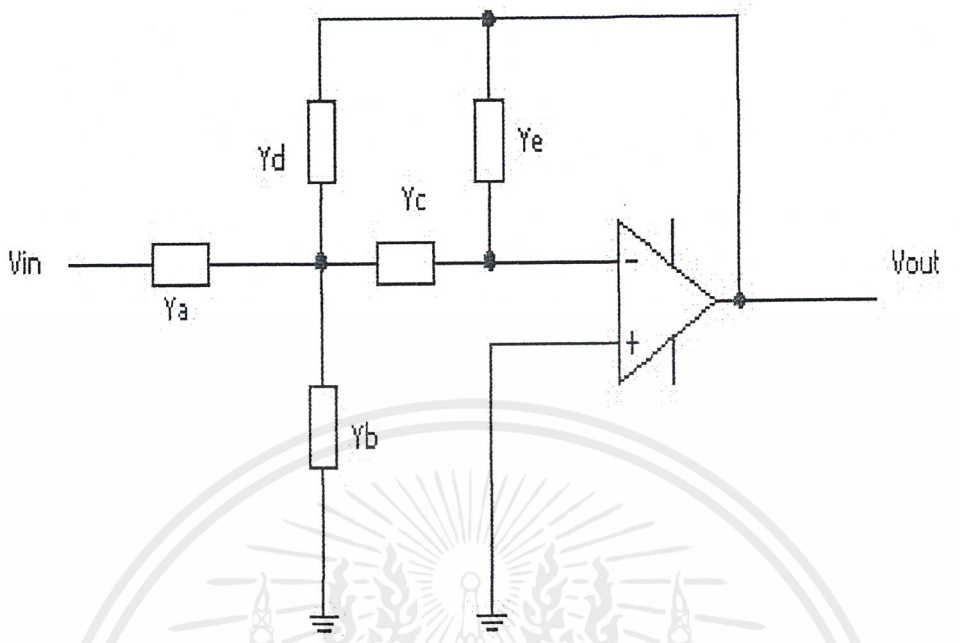
W_p : Cut off Frequency

K : Gain

Q_p : Quality Factor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7.4 โครงสร้างการป้อนกลับแบบลบ



รูปที่ 2.20โครงสร้างการป้อนกลับแบบลบ

จากรูปที่ 2.20 วงจรกรองความถี่ที่มีการป้อนกลับแบบลบโดยทั่วไป ใช้การวิเคราะห์โนด (Node analysis) ได้ดังนี้

$$\frac{V_o}{V_{in}} = \frac{-Y_a Y_c}{Y_e(Y_a + Y_b + Y_c + Y_d) + Y_d Y_c}$$

สำหรับวงจรกรองความถี่ต่ำ ให้

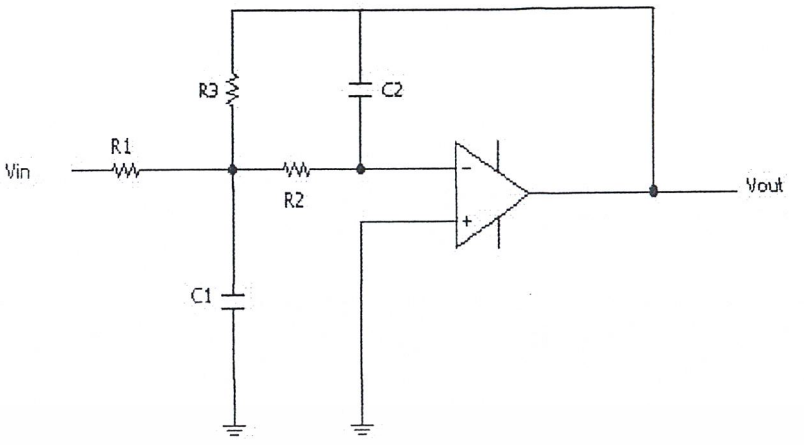
$Y_a = 1/R_1$, $Y_c = 1/R_2$, $Y_d = 1/R_3$, $Y_b = sC_1$, $Y_e = sC_2$

จะได้

$$\frac{V_o}{V_{in}} = \frac{1/R_1 R_2 C_1 C_2 R_2}{s^2 + s(1/R_1 C_1 + 1/R_1 C_2 + 1/R_3 C_1 + 1/R_2 R_3 C_1 C_2)}$$

จะได้ว:จรกรองความถี่ต่ำดังรูปที่ 2.21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 วงจรกรองความถี่ต่ำผ่าน

จากหลักการของวงจรกรองความถี่แบบแอคทีฟที่ได้กล่าวมานี้ สามารถนำมาใช้ในการคำนวณค่าอัตราการขยายของวงจรกรองความถี่ต่ำแบบแอคทีฟที่ใช้ในระบบการส่งข้อมูลดิจิตอลได้

2.8 ทฤษฎีโทรทัศน์ และการเกิดภาพ

องค์ประกอบภาพ

หากเราตัดภาพจากหนังสือพิมพ์มาสักภาพหนึ่ง แล้วขยายให้ใหญ่ขึ้นด้วยกล้องหรือแว่นขยาย จะพบว่าภาพมีองค์ประกอบมาจากจุดสีขาวและจุดสีดำมากมาย มาเรียงกันขึ้นเป็นภาพ จุดเหล่านี้เองที่เรียกว่า องค์ประกอบภาพ หรือพิคเจอร์อีลีเมนท์ (Picture Element) หรือ พิกเซล (Pixel)

ทำนองเดียวกัน ภาพที่ปรากฏทางจอโทรทัศน์ก็นำมาจากหลักการนี้ ภาพที่เกิดขึ้นบนจอโทรทัศน์ประกอบด้วยเส้นขวางเล็กๆในแนวนอนเป็นจำนวนมาก แต่ละเส้นนั้นมีทั้งส่วนที่ดำสนิท ส่วนที่จาง และส่วนที่สว่างรวมกันอยู่ เส้นเหล่านี้เราได้มาจากการกวาดลำแสง (Scan) ความแตกต่างกันบนเส้นกวาดลำแสงหรือเส้นสแกนเหล่านี้เองที่เราจัดว่าเป็นองค์ประกอบภาพ

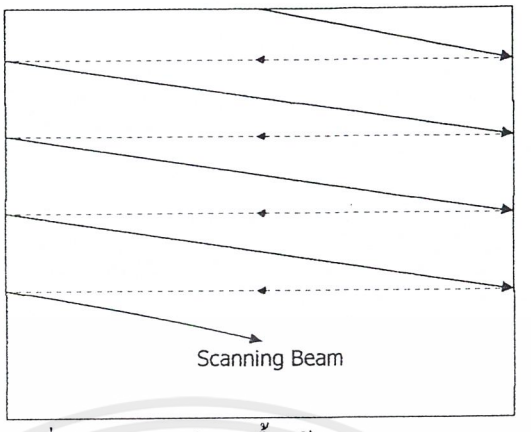
ปัจจุบันส่วนที่เรียกว่าองค์ประกอบภาพได้ถูกนำไปใช้งานอย่างเป็นจริงเป็นจังมากขึ้นในโทรทัศน์หรือ เครื่องเล่นวิดีโอคาสเซ็ทเรคคอร์เดอร์ จะมีการนำเอาพิกเซลเหล่านี้เก็บไว้ในหน่วยความจำ เพราะพิกเซลเท่านั้นที่ระบบดิจิตอลจะจัดการข้อมูลได้ เราจะพบวิธีการนี้ในโทรทัศน์ระบบดิจิตอล, โทรทัศน์ระบบคอมพิวเตอร์, โทรทัศน์จอภาพแอลซีดี, ดิจิตอล วีซีอาร์, ระบบภาพซ้อนภาพ ฯลฯ

การสแกน

จากองค์ประกอบภาพที่ได้กล่าวมาแล้วตอนต้น เครื่องส่งจะรับภาพแล้วเปลี่ยนพลังงานแสงเป็นพลังงานไฟฟ้าส่งเป็นจุดขาวดำมา เครื่องรับจะรับเอาสัญญาณเหล่านี้มาเรียงกันใหม่ โดยการกวาดเป็นเส้นภาพขึ้นที่หน้าจอ วิธีการนี้เราเรียกว่า การสแกน (Scanning) โดยตัวที่มีหน้าที่สำคัญคือจอภาพหรือหลอดภาพนั่นเอง หลอดภาพมีโครงสร้างคล้ายกับหลอดสุญญากาศ ทั่วไปที่ปล่อยอิเล็กตรอนออกมาจากคาโถด แล้วจะมีการดึงลำอิเล็กตรอนให้วิ่งไปเป็นลำกระทบเข้ากับอาโนดหรือหน้าจอ ตรงหน้าจอนั้นมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การฉาบสารเรืองแสงไว้เพื่อให้เกิดการเรืองแสงของจอ การสแกนมี 2 วิธี คือ การสแกนแบบก้าวหน้า (Progressive Scanning) กับ การสแกนแบบสลับเส้น (Interlaced Scanning)



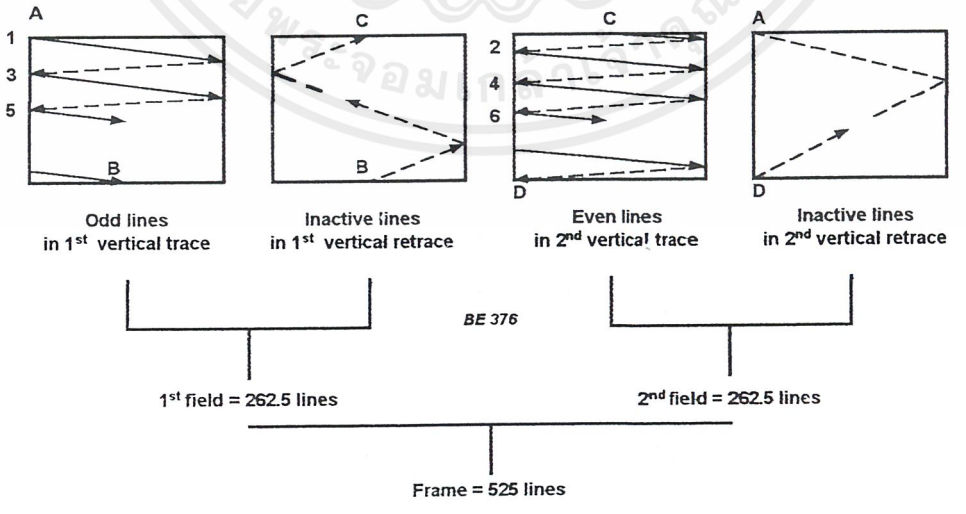
รูปที่ 2.22 แสดงวิธีการเบื้องต้นของการสแกน

การที่จะทำให้การสแกนมีความต่อเนื่องขององค์ประกอบภาพดังที่กล่าวมาแล้ว จะต้องคำนึงถึงหลัก 3 ประการคือ

1. ลำอิเล็กตรอนที่กวาดไปทางแนวนอน (Horizontal Scanning) ในแต่ละครั้ง จะต้องสามารถครอบคลุมองค์ประกอบภาพทั้งหมดของเส้นนั้นๆ

2. ในแต่ละเส้นของการสแกนลำอิเล็กตรอน ลำแสงจะต้องกวาดกลับด้วยความเร็วสูงไปยังด้านซ้ายเพื่อเริ่มต้นเส้นภาพทางแนวนอนลำดับต่อไป เวลาของการสะบัดกลับเราเรียกว่า " รีเทรซ " (Retrace) หรือ ฟลายแบ็ค (Flyback) ในกรณีดังกล่าวจะต้องไม่มีข้อมูลภาพใดๆ เพราะว่าทั้งกล้องถ่ายและหลอดภาพจะเกิดการแบลงก์เอาต์ (Blank Out) ในขณะนั้น

3. ในขณะที่เส้นสแกนสะบัดกลับมาเพื่อเริ่มต้นทางซ้ายใหม่ ตำแหน่งทางแนวตั้งต้องต่ำกว่าตำแหน่งเดิม เพื่อทำให้การสแกนเส้นต่อไปไม่ทับกัน ทั้งนี้โดยการควบคุมของสัญญาณทางแนวตั้ง (Vertical Scanning)



รูปที่ 2.23 รายละเอียดของการสแกนแบบสลับเส้นหรือแบบสอดแทรก

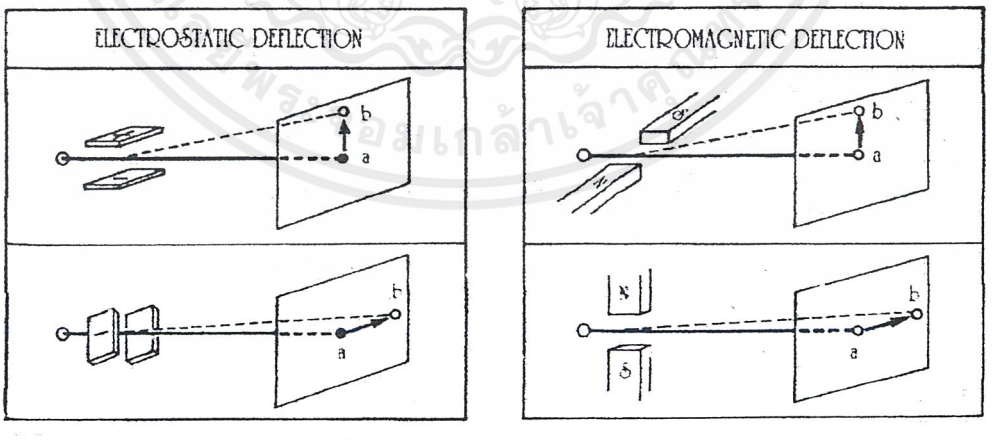
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสแกนที่ใช้ในเครื่องรับโทรทัศน์ถึงแม้เราจะพบว่าหากให้มีการเรียงภาพเกินกว่า16 ภาพต่อวินาทีแล้ว สายตาจะเห็นเป็นภาพที่ต่อเนื่อง จากการทดลองสแกนเส้นภาพเราพบว่า แม้ภาพที่เกิดขึ้นจะเกิดขึ้น 24 ภาพต่อวินาทีแล้วก็ตาม ยังมีการกะพริบ (Flicker) เกิดขึ้น เนื่องจากว่าในขณะที่การสแกนเริ่มจากขอบบนลงมาด้านล่าง (ซึ่งคล้ายกับการเขียนหนังสือที่เริ่มจากซ้ายไปขวา, บนลงล่าง) เมื่อเส้นสแกนลงมาถึงขอบด้านล่าง แสงทางด้านบนในความรู้สึกของมนุษย์เริ่มมืดกว่าด้านล่าง เวลาที่ลำแสงการ-สแกนวกกลับไปด้านบน ด้านล่างก็เกิดปัญหาเช่นเดียวกัน ความรู้สึกต่อกรณีนี้ก็คือ เกิดแสงกะพริบหรือวูบวาบขึ้น (Flicker) จึงต้องใช้การสแกนสลับเส้น หรือบางคนเรียกว่า การสแกนแบบสอดแทรก (Interlaced Scanning) โดยครั้งแรกจะสแกนฟิลด์คู่ (Even Line Trace) เป็นการสแกนแบบเส้นเว้นเส้น นั่นหมายถึงว่าการได้ภาพ 1 ภาพ หรือที่เรียกภาพ 1 เฟรม (Frame) ต้องใช้การสแกนแนวตั้งถึง 2 ครั้ง หรือ 2 ฟิลด์

การหักลำอิเล็กตรอน

เมื่อกล่าวถึงการสแกนเพื่อเปลี่ยนสัญญาณภาพให้เป็นสัญญาณไฟฟ้าทางเครื่องส่ง หรือสแกนเพื่อเปลี่ยนสัญญาณไฟฟ้าให้เป็นสัญญาณภาพบนจอของหลอดภาพในเครื่องรับโทรทัศน์ ล้วนต้องใช้ลำอิเล็กตรอนเป็นตัวสำคัญ โดยเฉพาะในเครื่องรับ ภาคแสดงผลของสัญญาณภาพคือหลอดภาพ ซึ่งโครงสร้างของหลอดภาพเบื้องต้นอาศัยการยิงลำอิเล็กตรอนจากปืนอิเล็กตรอน (Electron Gun) โดยมีไฟแรงสูงเป็นตัวคอยดึงให้ลำอิเล็กตรอนวิ่งเข้าชนสารเรืองแสงที่หน้าจอ กรณีเช่นนี้จะทำให้เกิดแสงเพียงจุดเดียวที่กลางจอ เราจะทำให้ได้เส้นภาพอย่างที่กล่าวมาแล้วสามารถทำได้โดยการเบี่ยงเบนหรือหักเหลำ-อิเล็กตรอน (Deflection) ให้เกิดการกวาด (Scan) ตามหลักการที่กล่าวมา

ลักษณะของลำอิเล็กตรอนนั้นเมื่อมันวิ่งเข้าไปยังสนามไฟฟ้าสถิตย์หรือสนามแม่เหล็กจะสามารถเปลี่ยนทิศทางได้ดังแสดงดังรูปที่ 2.24



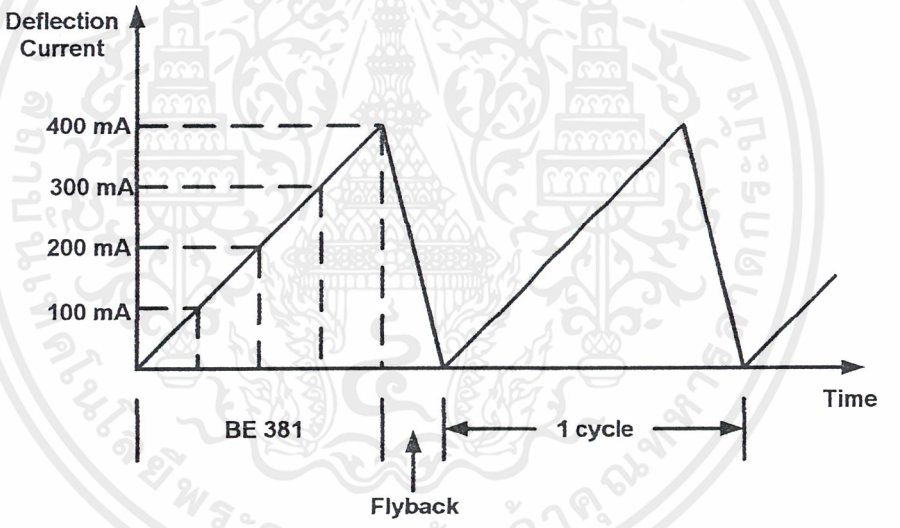
รูปที่ 2.24 การหักของลำอิเล็กตรอนเมื่ออยู่ในสนามไฟฟ้าและสนามแม่เหล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากหลักการของสนามไฟฟ้ากับเรื่องของสนามแม่เหล็กมีความแตกต่างกันอยู่ตามหลักการของการเบี่ยงเบนหักเห อย่างเช่นในเรื่องของสนามไฟฟ้าเมื่อมาพบกับลำอิเล็กตรอน เราต้องอาศัยหลักการของสนามไฟฟ้า ที่มีหลักการว่าขั้วหรือศักย์ไฟฟ้าเหมือนกันจะผลักกัน ต่างกันจะดึงดูดกัน

หากเอาการหักเหลำอิเล็กตรอนตามหลักการของสนามแม่เหล็ก จำเป็นต้องอาศัยทฤษฎีแม่เหล็กเข้ามาอธิบาย หลักการของสนามแม่เหล็กตามกฎมือซ้าย ทำให้เราสามารถอธิบายได้ว่า การที่ลำอิเล็กตรอนวิ่งเข้าชนสารเรืองแสงที่หน้าจอนั่นเปรียบกระแสวิ่งออก ดังนั้นทิศทางของสนามแม่เหล็กจึงหมุนด้วยทิศทางทวนเข็มนาฬิกา เมื่อมาเจอกับสนามแม่เหล็กที่ใช้หักเหลำอิเล็กตรอนแนวตั้ง ในทางตรงกันข้าม หากวางแม่เหล็กในแนวตั้งจะเกิดการหักเหในแนวนอน

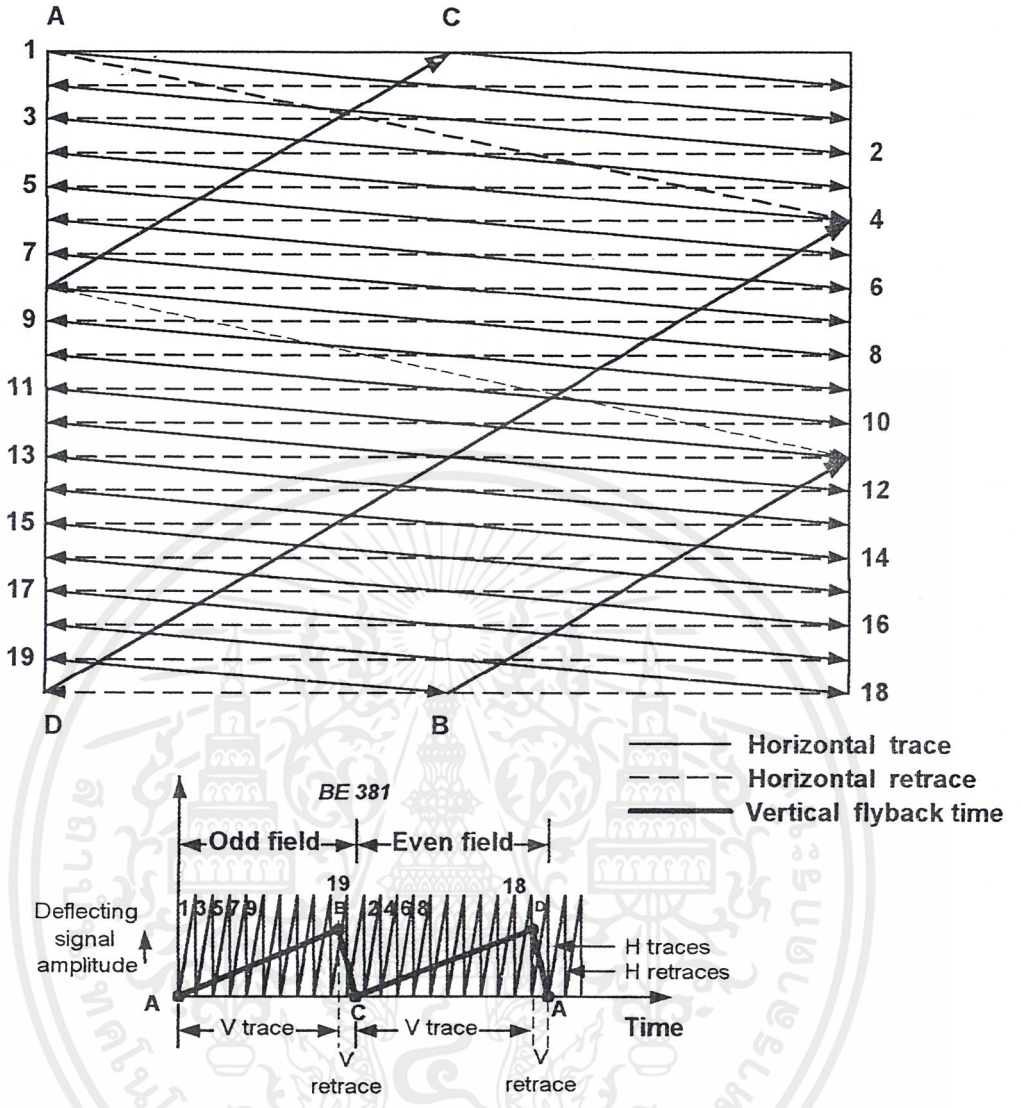
จากหลักการดังกล่าวถ้าเอามาเทียบกับสัญญาณทางไฟฟ้าแล้ว เราจะพบว่าหากจะสร้างกรรมวิธีสแกน ต้องสร้างสัญญาณเพื่อการสแกนเป็นรูปฟันเลื่อย และสัญญาณดังกล่าวต้องเป็นเส้นตรงจริงๆ จึงจะทำงานได้ถูกต้อง เมื่อเราเอาหลักการเบี่ยงเบนลำอิเล็กตรอนดังกล่าวมาใช้ในรูปแบบของสนามแม่เหล็ก ซึ่งตัวที่จะสร้างอำนาจแม่เหล็กไฟฟ้าคือ ดีเฟลคชั่น โย้ค (Deflection Yoke) ซึ่งเป็นขดลวดสร้างสนามแม่เหล็กไฟฟ้า สัญญาณที่จะต้องป้อนเข้าไปยังขดลวดชุดนี้จึงต้องมีลักษณะเบื้องต้นดังรูปที่ 2.25



รูปที่ 2.25 สัญญาณฟันเลื่อยที่จะใช้บังคับการสแกน ทั้งทางแนวตั้งและทางแนวนอน

จากรูปที่ 2.26 เป็นรูปแบบของการสแกนที่เราแสดงการสแกนเพียง 21 เส้น โดยในระบบ 525 เส้นหรือจะเป็น 625 เส้น ครึ่งหนึ่งของ 21 เส้นคือ 10.5 เส้น ในส่วนนี้มีผลจากเส้นรีเทรซทางเวอร์ติคอลพ่วงเข้ามาด้วย ดังนั้นเส้นภาพที่ปรากฏจริงจึงไม่ครบ 21 เส้น สมมติว่าเราสามารถเห็นเส้นภาพในการสแกนในกรณีเพียงครั้งละ 9.5 เส้นเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.26 หลักการเบื้องต้นที่เป็นตัวอย่างในการอธิบายเรื่องการสแกน

สัญญาณภาพรวม

สัญญาณภาพรวมประกอบไปด้วย

1. สัญญาณเสียง
2. สัญญาณภาพ
3. สัญญาณแบลงก์กิ้ง
4. สัญญาณซิงโครไนซ์
5. สัญญาณอีควอไลซิ่ง

ในส่วนของระบบสัญญาณเสียงเราจะใช้คลื่นพาห์เฉพาะ เพราะทราบกันเบื้องต้นแล้วว่าระบบเสียงในโทรทัศน์เป็นระบบ เอฟเอ็ม ส่วนสัญญาณภาพและอื่นๆที่เหลือนั้น เราจะส่งเป็นสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพรวมหรือ คอมโพสิท วิดีโอ ซิกแนล (Composite Video Signal) แล้วใช้คลื่นพาห์ภาพส่งออกไป การที่เราต้องส่งสัญญาณทั้ง 5 ตัว ออกอากาศแพร่คลื่นออกไปเพื่อวัตถุประสงค์ดังนี้

1.สัญญาณภาพและสัญญาณเสียง เป็นสัญญาณที่ส่งไปเพื่อให้เกิดภาพและเสียงขึ้นในเครื่องรับโทรทัศน์

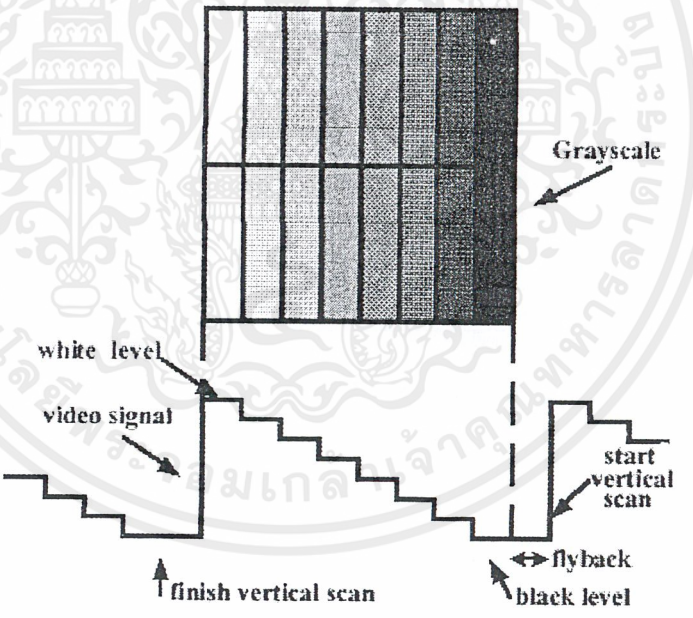
2.สัญญาณแบลงก์กิ้ง เป็นสัญญาณที่ส่งเพื่อให้ลบเส้นสะบัดกลับทั้งในแนวตั้งและแนวนอน

3. สัญญาณซิงโครไนซ์ เป็นสัญญาณที่ส่งมาเพื่อช่วยให้วงจรหักเหทางแนวตั้งและวงจรหักเหทางแนวนอน เพื่อให้เครื่องรับกับเครื่องส่งทำงานสอดคล้องกัน

4. สัญญาณอีควอไลซิ่ง เป็นสัญญาณที่ช่วยให้สัญญาณซิงโครไนซ์ทั้งแนวตั้งและแนวนอนยังคงรูปเดิมอยู่ได้ แม้ว่าจะเป็นการสแกนแบบสลับเส้นก็ตาม

ก. สัญญาณภาพขาว-ดำ

สมมติว่าเราจะดูระดับสัญญาณขาว-ดำ กรณีที่เรากล่าวถึงสัญญาณขาว-ดำ หรือสัญญาณโมโนโครมได้ดีที่สุด ต้องกล่าวว่าภาพที่เป็นสีขาวคือภาพที่มีความสว่างมากที่สุด และภาพที่เป็นสีดำคือภาพที่ไม่มีความสว่างเลย ภาพจำลองที่ดีที่สุดของกรณีก็คือแถบภาพที่มีความแตกต่างของระดับขาวดำทีละน้อย ซึ่งเราเรียกว่า ระดับเกรย์สเกลนั่นเอง



รูปที่ 2.27 แสดงระดับสัญญาณขาว-ดำ โดยเกรย์ สเกล

จากภาพที่ 2.27 แสดงให้เห็นระดับของเกรย์สเกล ในกรณีที่ระดับสัญญาณภาพเป็นสัญญาณสีขาวเข้ามา นั่นหมายความว่าระดับความแรงของสัญญาณภาพมากที่สุดจึงให้ความส่องสว่างที่หน้าจอสว่างมากที่สุด และเมื่อระดับสัญญาณสีขาวลดลงเป็นสีมัว, เทา และ ดำนั้น ระดับสัญญาณจะลดลงมาเรื่อยๆ นั่นหมายความว่าเมื่อสัญญาณมีความแรงน้อยลงความส่องสว่างจะน้อยลงตามไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อันที่จริงแล้วภาพแต่ละภาพเป็นสัญญาณความถี่ทางไฟฟ้าที่มีความถี่สูงต่ำไม่เท่ากัน โดยความถี่สูงสุดจะไม่เกิน 4 เมกะเฮิรตซ์ในระบบเอฟซีซี และไม่เกิน 5 เมกะเฮิรตซ์ในระบบซีซีไออาร์ ภาพที่เกิดจากความถี่สูงย่อมมีความละเอียดกว่าความถี่ต่ำ (มีจำนวนจุดคำมากกว่า)

ข. สัญญาณแบลงก์กิ้ง

เราทราบแล้วว่า เมื่อมีการสแกนลำอิเล็กตรอนที่หน้าจอ จะเกิดเส้นรีเทรซหรือเส้นสะบัดกลับ ซึ่งเป็นเส้นภาพที่เราไม่ต้องการ เครื่องส่งจึงต้องส่งสัญญาณแบลงก์กิ้ง (Blanking) เพื่อบังคับให้เครื่องรับสามารถลบเส้นสะบัดกลับได้ สัญญาณแบลงก์กิ้งส่วนหนึ่งเครื่องรับต้องสร้างขึ้นเหมือนการสร้างสัญญาณซิงโครไนซ์ แต่มันจะสัมพันธ์กับเครื่องส่งได้อย่างไร จึงต้องมีการส่งสัญญาณแบลงก์กิ้งมาจากเครื่องส่งเพื่อลบเส้นสะบัดกลับในเครื่องรับ สัญญาณแบลงก์กิ้งมีอยู่ 2 อย่างคือ เวอร์ติคอลแบลงก์กิ้งกับ ฮอริซอนตอลแบลงก์กิ้ง

ค. สัญญาณซิงโครไนซ์

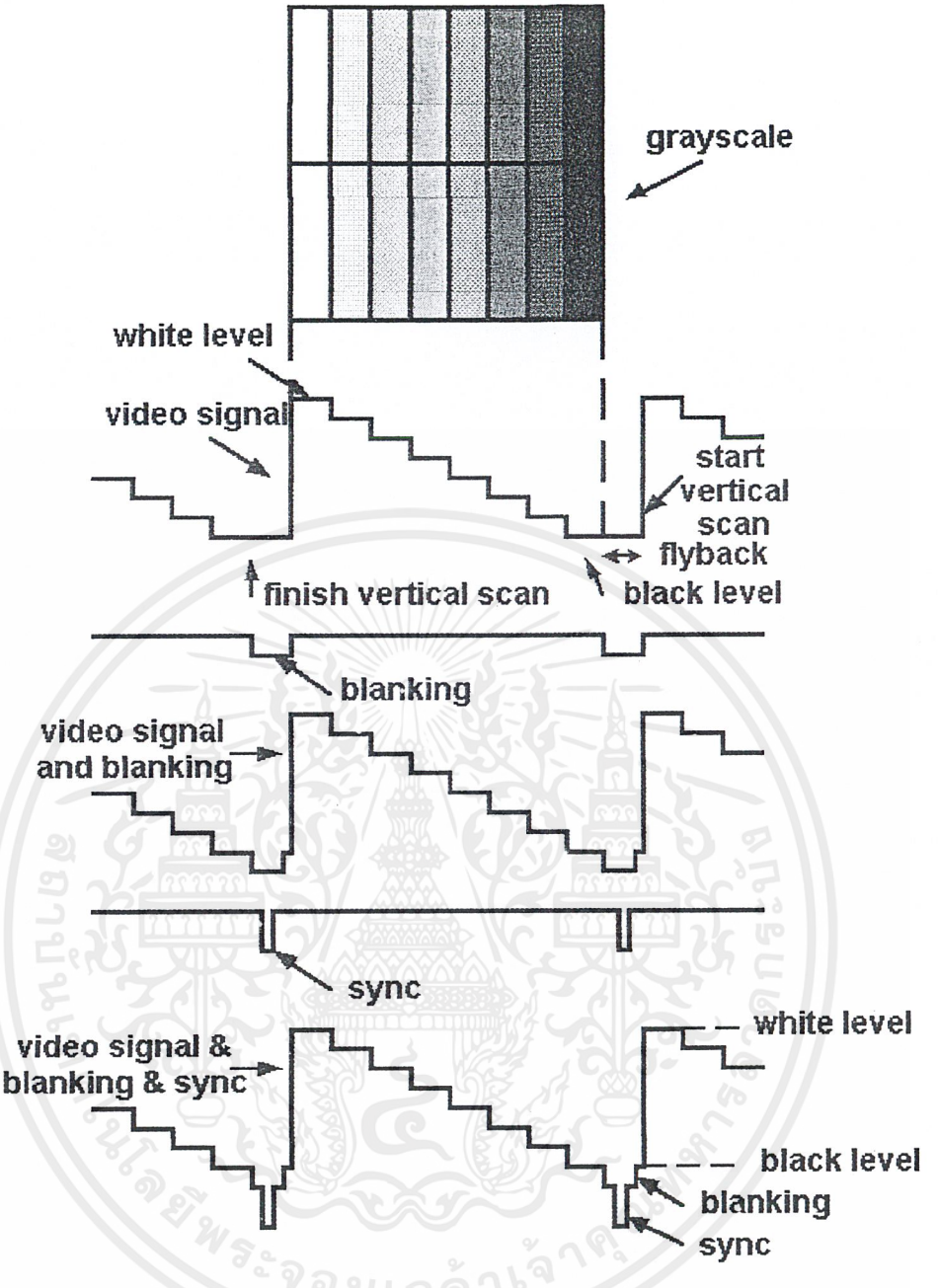
เป็นสัญญาณเพื่อให้การสแกนเป็นไปอย่างถูกต้อง ทั้งการสแกนแนวตั้งและแนวนอน โดยสัญญาณซิงโครไนซ์หรือสัญญาณซิงค์มีอยู่ 2 สัญญาณ คือ

1.ฮอริซอนตอล ซิงโครไนซ์ (Horizontal Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวนอน ซึ่งมีความถี่15,625 เฮิรตซ์ (ในระบบซีซีไออาร์) หรือ 15,750 เฮิรตซ์ (ในระบบ เอฟซีซี) ถ้าไม่มีการส่งสัญญาณส่วนนี้มาจะทำให้ภาพเกิดการล้มได้

2.เวอร์ติคอลซิงโครไนซ์ (Vertical Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวตั้ง ซึ่งมีความถี่ 50 เฮิรตซ์ (ในระบบซีซีไออาร์) หรือ 60 เฮิรตซ์ (ในระบบเอฟซีซี) ถ้าไม่มีการส่งสัญญาณส่วนนี้มาจะทำให้ภาพเลื่อน

เนื่องจากสัญญาณซิงโครไนซ์กับสัญญาณแบลงก์กิ้งไม่ว่าจะเป็นแนวตั้งหรือแนวนอนจะมีความถี่เท่ากัน เวลาส่งจึงต้องกำหนดตำแหน่งของการส่งให้ถูกต้อง มิฉะนั้นจะเกิดการกวนกันได้ ในทางปฏิบัติจึงให้สัญญาณซิงค์พัลส์มีขนาดความกว้างน้อยกว่าแบลงก์กิ้งพัลส์ แล้วใช้วิธีการส่งแบบผสม กล่าวคือส่งซิงค์พัลส์กับแบลงก์กิ้งพัลส์ไปด้วยกัน ให้แบลงก์กิ้งพัลส์เป็นฐานของสัญญาณซิงค์พัลส์ เมื่อมีการจัดระดับของสัญญาณส่วนนี้เทียบกับเกรย์สเกล ระดับของแบลงก์กิ้งจะอยู่ที่ระดับต่ำกว่าดำ ส่วนซิงค์จะเป็นระดับต่ำกว่าระดับดำมากกว่าลงไปอีก สัญญาณเหล่านี้จึงไม่มีการส่งผลต่อการมองเห็น(หรือไม่กวนสัญญาณภาพ) ดังรูปที่ 2.28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

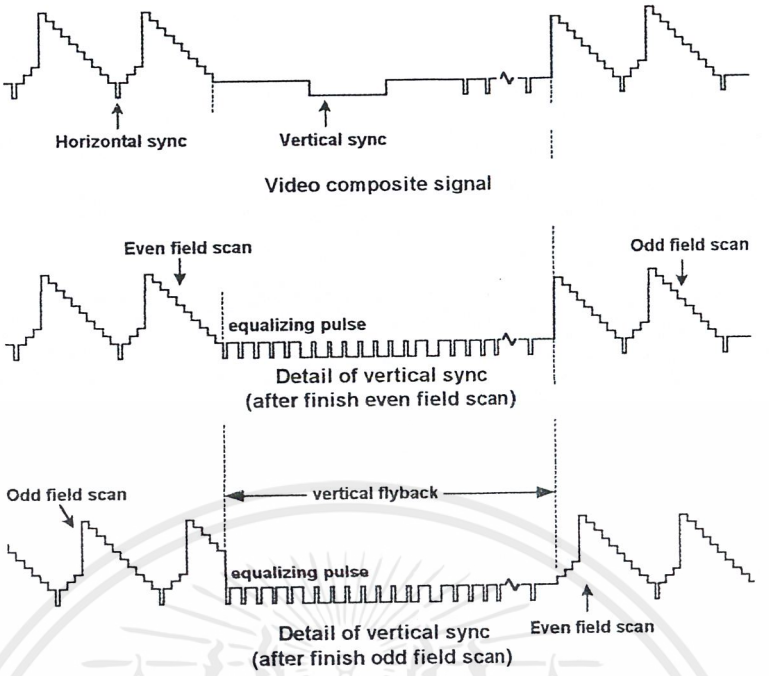


รูปที่ 2.28 แสดงลักษณะสัญญาณภาพรวมเบื้องต้น

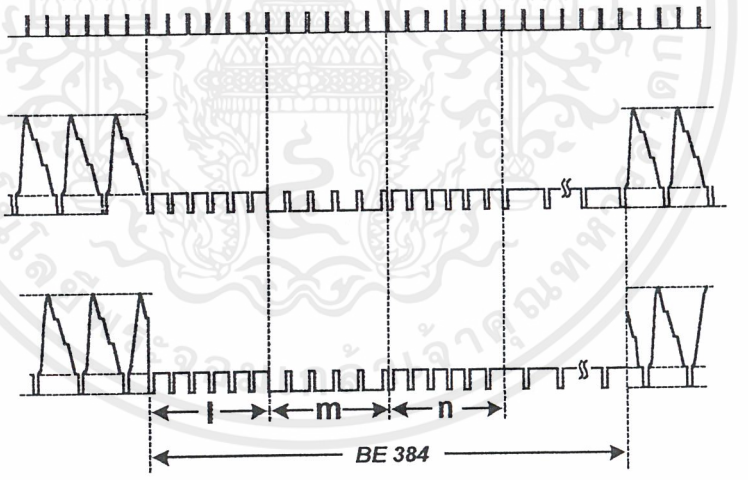
ง. สัญญาณอีควอไลซิ่ง

เป็นสัญญาณบังคับรูปร่างของสัญญาณซิงโครไนซ์ทางแนวตั้ง เพื่อให้สามารถคงรูปถูกต้อง แล้วยังช่วยให้การสแกนแบบสลับเส้นเป็นไปได้ถูกต้องด้วย สามารถขึ้นเส้นคู่เส้นคี่ในตำแหน่งที่ถูกต้องได้ ทั้งยังส่งผลทางอ้อมให้สัญญาณซิงโครไนซ์ทางแนวนอนไม่ขาดช่วงหายไปในระหว่างการส่งสัญญาณทางแนวตั้งด้วย สัญญาณตัวนี้จะมีขนาดของพัลส์รวมเท่ากับเวอร์ติคอล ซิงโครไนซ์ พัลส์ สัญญาณส่วนนี้จะถูกแบ่งออกเป็น 6 ลูกเล็กๆ ในระบบ 525 เส้น และ ถูกแบ่งเป็น 5 ลูกใน ระบบ 625 เส้น ดังแสดงในรูปที่ 2.29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.29 แสดงสัญญาณภาพรวมที่มีรายละเอียดทุกอย่าง



รูปที่ 2.30 แสดงระบบพัลส์ในฟิลด์ของการซิงโครไนซ์ของระบบโทรทัศน์

2.9 หลักการส่งและรับข้อมูลอนุกรม

การส่งและรับข้อมูลภาพดิจิตอลในลักษณะข้อมูลอนุกรมนี้ ทางด้านภาครับข้อมูลภาพมีความจำเป็นที่จะต้องทราบว่า ทางด้านภาคส่งข้อมูลภาพได้ส่งข้อมูลมาแล้วหรือไม่ เพื่อกระตุ้นให้ภาครับข้อมูลภาพเริ่มต้นบันทึกข้อมูลภาพที่ทางภาคส่งส่งมาให้ เพื่อนำไปใช้แสดงผลทางมอนิเตอร์ได้ถูกต้อง ดัง-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นั้นทางด้านภาคส่งจึงต้องมีการส่งข่าวสารแจ้งการเริ่มต้นข้อมูลให้ทางภาครับข้อมูลภาพทราบ โดยจะให้รูปแบบแฟลกหรือบิตเริ่มต้น ซึ่งขึ้นอยู่กับว่า การส่งข้อมูลภาพเป็นรูปแบบซิงโครนัสหรืออะซิงโครนัส สำหรับการพิจารณาในเรื่องนี้ เราจะเลือกส่งข้อมูลภาพทางวงจรภาครับ กำเนิดจากออสซิลเลเตอร์คนละตัวกัน โดยมีความถี่เท่ากัน และความเร็วในการส่งข้อมูลภาพไม่สูงนัก (ประมาณ 16 กิโลบิต /วินาที)

การส่งและรับข้อมูลอนุกรมที่ได้กล่าวในข้างต้น พิจารณารายละเอียดได้ดังนี้

- การส่งข้อมูลอนุกรม (Serial Data transmission)

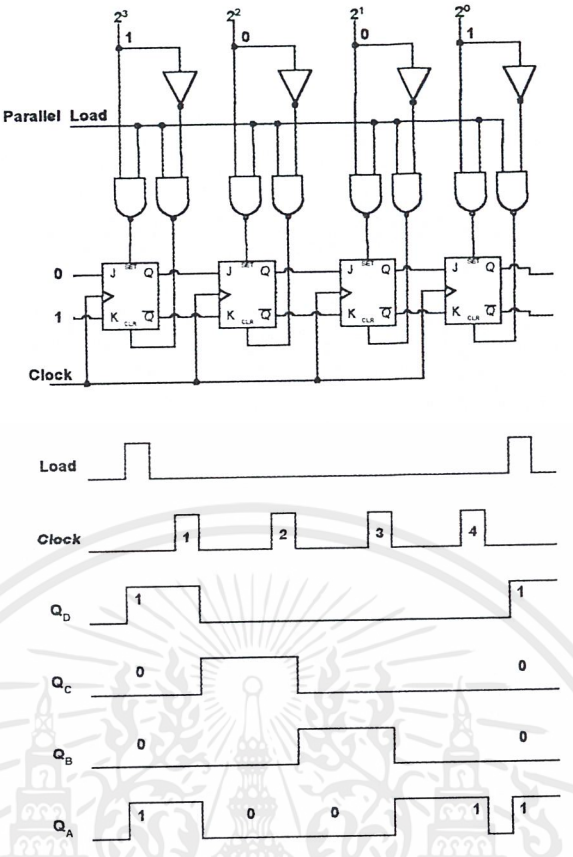
การส่งข้อมูลอนุกรมเริ่มจากการอ่านข้อมูลภาพที่บันทึกไว้ในหน่วยความจำ และนำข้อมูลที่ออกมาในลักษณะขนานนี้ ไปทำการแปลงให้อยู่ในลักษณะอนุกรม โดยเก็บข้อมูลขนานทุกบิตไว้ในชิฟรีจิสเตอร์แล้วส่งออกไปทีละบิต บิตที่มีนัยสำคัญน้อยที่สุด (LSB) จะถูกส่งออกไปก่อน และบิตต่อมาจะทยอยส่งตามกันออกไป จนกระทั่งส่งบิตที่มีนัยสำคัญสูงสุดแล้ว จึงรับข้อมูลขนานชุดต่อไปเข้ามา นอกจากนี้ในกลุ่มบิตข้อมูลที่ส่งออกไป ควรมีบิตบอกการเริ่มต้นข้อมูลด้วย เพื่อให้รับข้อมูลได้อย่างมีประสิทธิภาพ ดังนั้นการส่งข้อมูลจะต้องอาศัยวงจรเลื่อนข้อมูลและวงจรสร้างบิตเริ่มต้น

- วงจรเลื่อนข้อมูล (Shift Register)

จากรูปด้านล่างแสดงให้เห็นชิฟรีจิสเตอร์แบบอินพุตขนานและเอาต์พุตอนุกรมขนาด 4 บิตและรูปคลื่นสำหรับการส่งเลขไบนารี 9 และเลื่อนข้อมูลไปทางขวา ซึ่งสร้างจากเจเคฟลิปฟลอป โดยฟลิปฟลอป A จะมีค่า " 0 " ที่ขาอินพุต J และ " 1 " ที่อินพุต K ซึ่งทำให้ขาเอาต์พุต Q ของฟลิปฟลอปA กลายเป็น " 0 " หลังจากขอบขาลงของสัญญาณนาฬิกาซึ่งเป็นอินพุต ถ้ารีจิสเตอร์เลื่อนได้รับสัญญาณนาฬิกา 4 ครั้ง เอาต์พุต Q ของทุก ฟลิปฟลอปจะเป็น " 0 " และคงค่า " 0 " อยู่จนกระทั่งชิฟรีจิสเตอร์ถูกโหลดพร้อมกันหรือส่งเลขไบนารีใหม่

สิ่งเหล่านี้สามารถทำได้โดยการส่งเลขไบนารีบนอินพุตแบบขนานและยกอินพุตโหลดขนาน หรือสัญญาณควบคุมเป็น " 1 " จะทำให้อินาเบิลแนนด์เกต ซึ่งจะไปเลี้ยงขาพรีเซ็ต และเคลียร์ ของแต่ละ ฟลิปฟลอป เพราะว่าสัญญาณอินพุตที่ตรงข้ามกันของแนนด์เกต ขาหนึ่งเป็น " 1 " อีกขาก็ต้องเป็น " 0 " (เพราะถ้าขาอินพุตทั้งสองเหมือนกันจะไม่สามารถทำให้อินาเบิลแนนด์เกตได้) สิ่งนี้จะทำให้ ขา Q ของฟลิปฟลอปเซ็ตหรือรีเซ็ตโดยขึ้นอยู่กับค่าของสัญญาณอินพุตแบบขนานที่เข้ามายังแนนด์เกตที่กำลังเลี้ยงฟลิปฟลอปอยู่เพราะว่าขา เคลียร์ และ พรีเซ็ต มีความสำคัญเหนืออินพุตใดๆของ เจเคฟลิปฟลอป ขา Q ซึ่งเป็นเอาต์พุตของฟลิปฟลอปจะไม่เปลี่ยนในขณะที่ โหลดขนาน(Parallel load) เป็น " 1 " เมื่อโหลดขนาน เป็น " 0 " แนนด์เกตจะถูกห้าม และเอาต์พุตจะออกมาเป็น " 1 " เพราะว่า " 0 " ใดเข้าไปสู่แนนด์เกตจะสร้าง "1" ออกมาที่เอาต์พุต

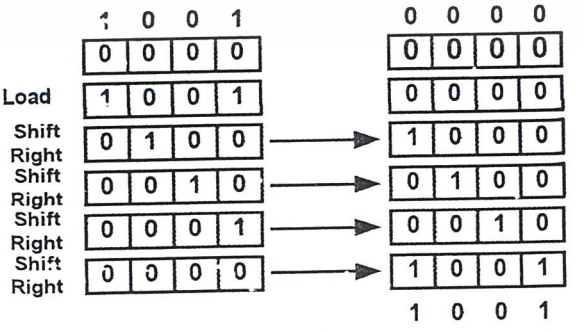
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.31 ชิฟรีจิสเตอร์แบบอินพุตขนาน เอาต์พุตอนุกรม

ขณะนี้ชิฟรีจิสเตอร์จะถูกส่งโดยเลขไบนารีที่ออกแบบไว้ในรูปที่ 2.30 เลขไบนารีมี 9 ขาพรีเซ็ต และขาเคลียร์ จะเป็น " 1 " ซึ่งหมายความว่าเมื่อขอบขาลงของสัญญาณนาฬิกาเกิดขึ้น ชิฟรีจิสเตอร์จะเลื่อนไปทางขวาโดยเลื่อนบิต " 0 " ทางซ้ายมือเข้าไป และเลื่อนบิต " 1 " ทางขวามือออกไปหลังจากสัญญาณพัลส์นาฬิกา 4 ลูก เลขไบนารีจะถูกเลื่อนและชิฟรีจิสเตอร์จะว่างและพร้อมจะรับเลขไบนารีใหม่

ขา Q ซึ่งเป็นเอาต์พุตของ ดี-ฟลิปฟลอป สามารถเชื่อมต่อเพื่อทำเป็นชิฟรีจิสเตอร์แบบอินพุตอนุกรมและเอาต์พุตแบบขนานซึ่งได้รับสัญญาณนาฬิกาเหมือนกัน และเลขไบนารีมีค่า 9 จะถูกถ่ายโอนไปยังชิฟรีจิสเตอร์อื่นๆในพัลส์สัญญาณนาฬิกา 4 ลูกดังรูปที่ 2.32



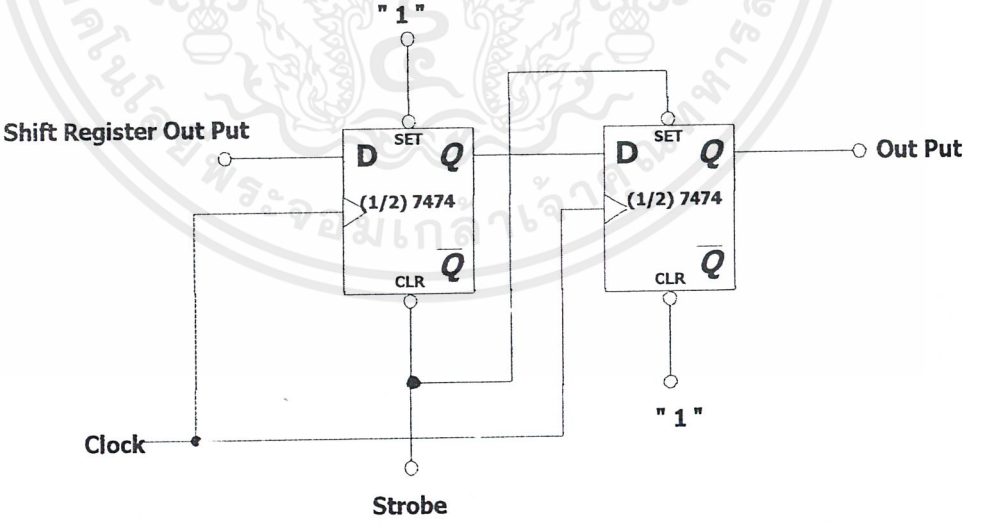
รูปที่ 2.32 การส่งข้อมูลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- วงจรสร้างบิตเริ่มต้น

วงจรนี้ทำหน้าที่ในการกำหนดบิตเริ่มต้น โดยสร้างพัลส์ที่มีระดับลอจิก " 1 " เมื่อสัญญาณ สโตรบเข้ามา พัลส์ที่สร้างขึ้นจะต้องมีช่วงกว้างของพัลส์เท่ากับสัญญาณนาฬิกา 1 ลูกพอดี ในกรณีนี้ไม่ควรใช้วงจรโมโนสเตเบิล เนื่องจากวงจรดังกล่าวใช้ตัวต้านทานและตัวเก็บประจุ กำหนดค่าความกว้างของพัลส์ หากสัญญาณนาฬิกามีความถี่สูง หรือมีการเปลี่ยนแปลงความถี่ของสัญญาณนาฬิกาแต่ละครั้ง ก็ต้องหาอุปกรณ์ทั้งสองนี้ที่จะให้ค่าความถี่ที่ต้องการ ทำให้เกิดความยุ่งยาก

วงจรสร้างบิตเริ่มต้น จึงควรเป็นวงจรที่ใช้ฟลิปฟลอปเป็นส่วนประกอบ เนื่องจากสัญญาณ สโตรบนี้มีช่วงกว้างขึ้นอยู่กับวงจรดิจิตอลที่นำไปประยุกต์ใช้งาน ดังนั้นต้องให้วงจรสร้างบิตเริ่มต้นทำงานหลังจากสัญญาณสโตรบสิ้นสุดลง ในการสร้างบิตเริ่มต้นนี้ การที่จะทำให้เอาต์พุตQมี ลอจิก "1 " ได้นั้น มี 2 วิธีคือ ให้สัญญาณเข้าไปที่ขา พรีเซ็ต และอีกวิธีหนึ่ง ให้ขา D เป็นลอจิก " 1 " แล้วป้อนสัญญาณนาฬิกาเข้าไป 1 ลูก จะเห็นได้ว่าวิธีแรกนั้นทำได้ง่ายกว่า แต่เอาต์พุต Q อาจเป็นลอจิก " 1 " นานเกินไป ในกรณีที่สัญญาณเข้าขาพรีเซ็ต มีช่วงเวลานานกว่าสัญญาณนาฬิกา ทำให้บิตเริ่มต้นผิดพลาดไป ซึ่งแก้ไขได้โดยให้ลอจิก " 1 " ออกมาหลังจากพรีเซ็ตแล้ว จึงจำเป็นต้องเพิ่มอุปกรณ์มากั้นไม่ให้ลอจิก " 1 " ออกไประหว่างการพรีเซ็ต ในที่นี้จะใช้ ฟลิปฟลอปอีก 1 ตัวมาเป็นตัวกั้นและเพื่อให้ข้อมูลผ่านออกไปได้ด้วย จึงต้องต่อฟลิปฟลอปในลักษณะชิฟรีจิสเตอร์ ส่วนการบังคับให้ฟลิปฟลอปตัวหลังนี้เป็นลอจิก " 0 " ในขณะที่เอาต์พุตของฟลิปฟลอปตัวแรกถูกพรีเซ็ต ให้เป็นลอจิก " 1 " ทำได้โดยการให้สัญญาณเข้าที่ขาเคลียร์จะทำให้เอาต์พุต Q ของฟลิปฟลอปเป็นลอจิก " 0 "ได้ ดังนั้นต้องนำเอาสัญญาณสโตรบที่ต่อเข้าขาพรีเซ็ตของฟลิปฟลอปตัวแรกมาต่อกับขาเคลียร์ของฟลิปฟลอปตัวที่สอง วงจรกำหนดบิตเริ่มต้นแสดง ดังรูปที่ 2.33



รูปที่ 2.33 แสดงวงจรกำหนดบิตเริ่มต้น

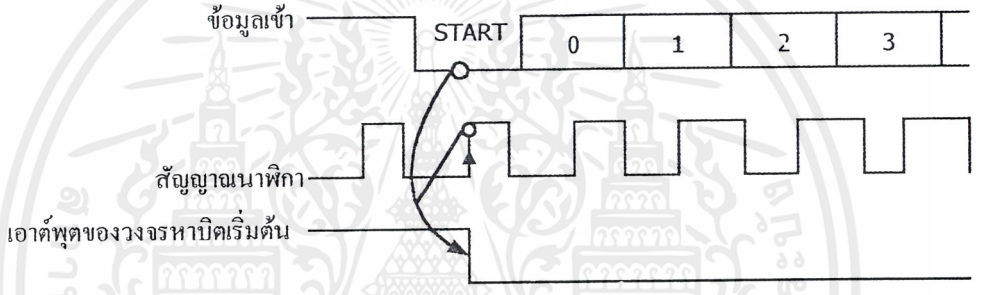
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- การรับข้อมูลอนุกรม

วงจรที่ทำหน้าที่รับข้อมูลอนุกรมนี้จะมีความซับซ้อนน้อยกว่าวงจรการส่งข้อมูลอนุกรม มีหน้าที่คือ เมื่อพบลอจิก " 1 " ซึ่งเป็นบิตเริ่มต้นแล้ว จะให้เอาต์พุตไปเปิดเกต เพื่อให้สัญญาณนาฬิกา ผ่านเกตไปสู่วงจรเลื่อนข้อมูล วงจรเลื่อนข้อมูลก็ทำการเลื่อนข้อมูลที่ได้จากอินพุตเข้ามาเก็บเรียงกันทีละบิต จนครบ 8 บิต จงส่งออกไปพร้อมกันทั้ง 8 บิต ในการทำงานที่กล่าวมานี้ จะเป็นไปได้ต้องมีวงจรหาบิตเริ่มต้น และวงจรเลื่อนข้อมูล ซึ่งอธิบายรายละเอียดของวงจรทั้งสองได้ดังนี้

- วงจรหาบิตเริ่มต้น

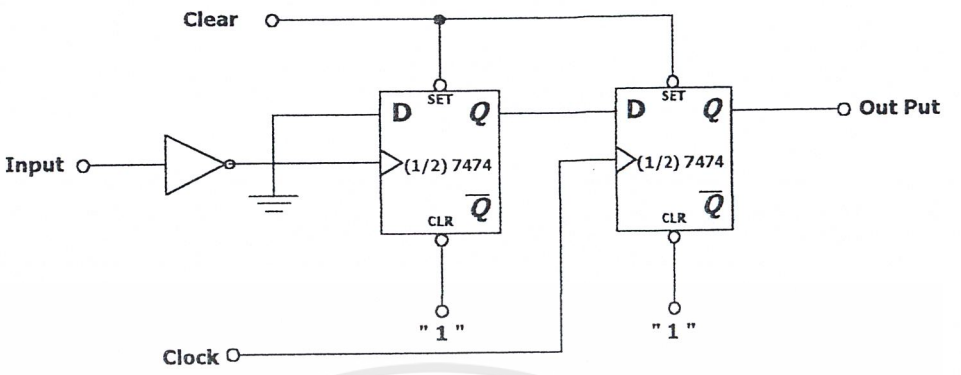
ปรกติสายส่งที่รับข้อมูลเข้ามา ถ้ายังไม่มีการส่งข้อมูล จะมีลอจิกเป็น " 0 " แต่ถ้าหากมีการส่งข้อมูลมาก็จะเริ่มต้นด้วยบิตเริ่มต้นซึ่งมีระดับลอจิกเป็น " 1 " ดังนั้นวงจรนี้จะทำการตรวจจับ ลอจิก "1 " แต่เมื่อตรวจพบแล้วก็ยังส่งเอาต์พุตออกไปทันทีเลยไม่ได้ โดยจะต้องทำงานตามสัญญาณคล็อก ของระบบดังรูปที่ 2.34



รูปที่ 2.34 ไดอะแกรมเวลาของวงจรหาบิตเริ่มต้น

จากรูป จะเห็นว่าข้อมูลที่เข้ามาและสัญญาณนาฬิกาของระบบมีเฟสไม่ตรงกัน ซึ่งเป็นเรื่องปกติ เนื่องจากใช้วงจรออสซิลเลเตอร์กำเนิดสัญญาณนาฬิกาคนละวงจรกัน แต่ความถี่ของของทั้งสองต้องเท่ากัน และจะสังเกตได้ว่าบิตเริ่มต้นที่เป็นลอจิก " 1 " เข้ามาแล้ว ก็ยังต้องรอให้ถึงช่วงขอบขาขึ้นของสัญญาณนาฬิกาลูกถัดไปก่อน เอาต์พุตของวงจรหาบิตเริ่มต้น จึงจะเริ่มต้นทำงาน วงจรที่ทำงานตามสถานะของสัญญาณนาฬิกาอย่างนี้ จะต้องมีฟลิปฟลอปเป็นส่วนประกอบร่วมด้วยเสมอ ซึ่งเมื่อบิตเริ่มต้นเข้ามา วงจรจะรอให้ช่วงขอบขาขึ้นของสัญญาณนาฬิกามาถึงก่อนมันถึงจะทำงาน ในที่นี้จะทำได้โดยให้สัญญาณข้อมูลเข้ามาเป็นสัญญาณนาฬิกาของ ฟลิปฟลอปตัวแรก และต่อขา D กับสัญญาณลอจิก " 0 " หากมีข้อมูลที่เป็นลอจิก " 1 " เข้ามา ก็จะทำให้เอาต์พุต Q เป็นลอจิก " 0 " ได้ เมื่อมีขอบขาขึ้นของสัญญาณนาฬิกาเข้ามาก่อน ตรงกับไดอะแกรมเวลาในรูปที่2.34 วงจรหาบิตเริ่มต้นที่ออกแบบแล้วเป็นดังรูปที่ 2.35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.35 วงจรหาบิตเริ่มต้นที่ใช้ในการรับข้อมูลอนุกรม

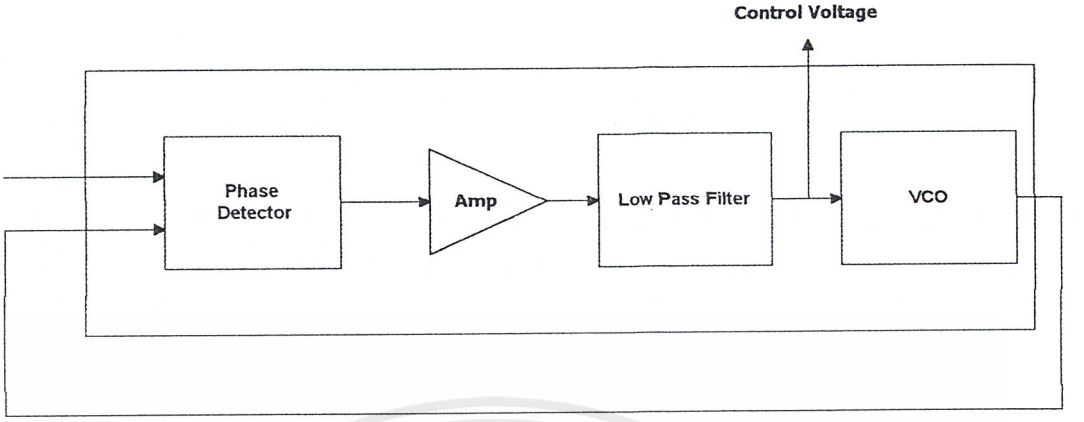
จากรูป วงจรหาบิตเริ่มต้นนี้ สร้างขึ้นโดยใช้ไอซี ดี-ฟลิปฟลอป เบอร์ 7474 ขาสัญญาณนาฬิกาของไอซี ดี-ฟลิปฟลอปตัวแรก ซึ่งทำงานที่ขอบขาขึ้นจะต่อเข้ากับข้อมูลที่ค้นส่งส่งมา ไอซี ดี-ฟลิปฟลอปตัวที่สอง ขาสัญญาณนาฬิกาของมันต่อเข้ากับสัญญาณนาฬิกาของระบบ เพื่อให้ทำงานพร้อมกันกับสัญญาณนาฬิกาของระบบ การทำงานจะเริ่มขึ้น เมื่อทีสัญญาณสโตรบเข้ามาเคลียร์ที่ขาพรีเซ็ต ของฟลิปฟลอปทั้งสองตัว ส่งผลให้ขา Q ของมันเป็นลอจิก " 1 " ดังนั้นถ้าหากมีข้อมูลจากค้านส่งเข้ามา ขาเอาต์พุต Q จะเปลี่ยนจากลอจิก " 1 " เป็น ลอจิก " 0 " และเมื่อถึงช่วงขอบขาขึ้นของสัญญาณนาฬิกา ลอจิก " 0 " ก็จะไปปรากฏที่ขาเอาต์พุต Q ของฟลิปฟลอปตัวที่สอง

2.10 การทำงานของวงจรเฟสล็อกลูป

เทคโนโลยีของวงจรรวมเชิงเส้น (Linear Integrate Circuit) ในการนำมาใช้งานของเฟสล็อกลูป (Phase Lock Loop : PLL) อย่างกว้างขวางเฟสล็อกลูปจะเป็นการใช้ความถี่ที่ใช้ในการสื่อสารดิจิตอลและอนาล็อก รวมถึงการใช้งานในระบบควบคุม ในหัวข้อนี้จะอธิบายถึงการทำงานของเฟสล็อกลูปและตัวอย่างการใช้งาน

การทำงานของเฟสล็อกลูปจะทำงานในลักษณะที่ความถี่และเฟสของเอาต์พุตของออสซิลเลเตอร์ที่ควบคุมด้วยแรงดัน (Voltage Control Oscillator : VCO) จะซิงโครไนซ์กับสัญญาณอ้างอิงอันที่สอง ส่วนย่อยหลักๆของตัวอย่างของเฟสล็อกลูปจะแสดงดังรูป 2.36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

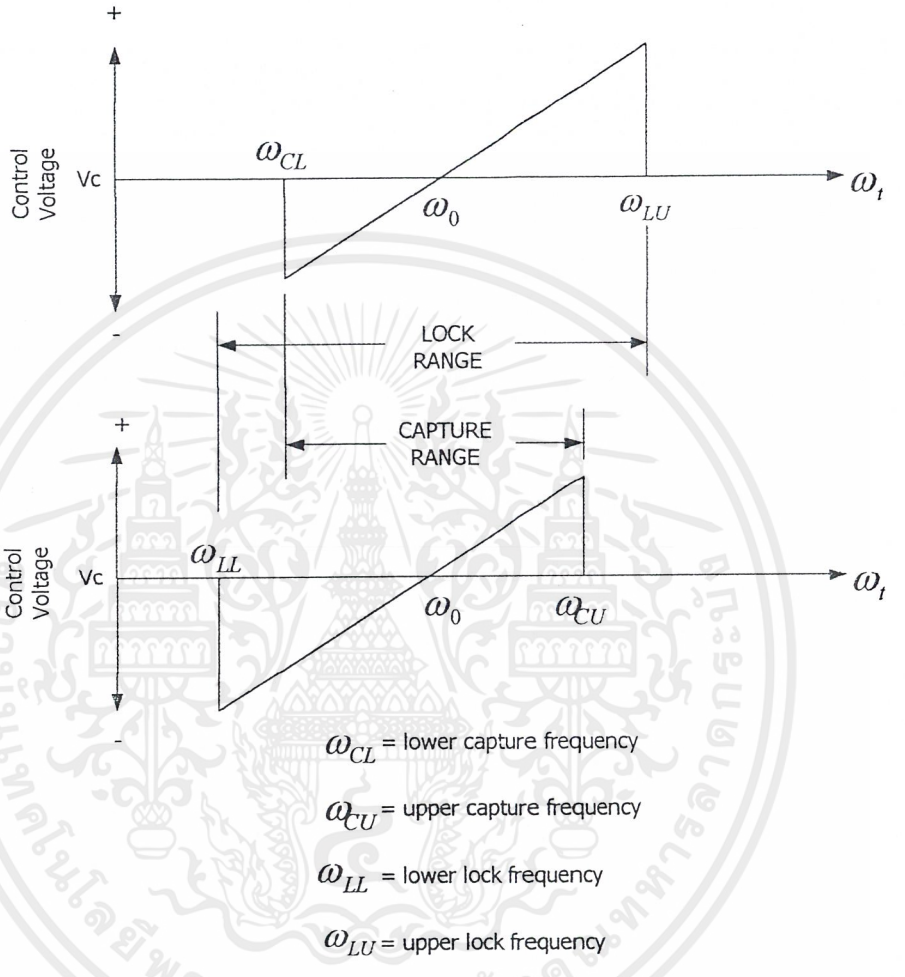


รูปที่ 2.36 บล็อกไดอะแกรมของเฟสล็อกลูปพื้นฐาน

การทำงานของตัวเฟสล็อกลูปจะสามารถอธิบายได้ดังนี้ ให้เราสมมติว่าในตอนเริ่มยังไม่มีการใส่สัญญาณอ้างอิงเข้าไป ภายใต้เงื่อนไขนี้ ตัว VCO จะทำงานในความถี่ที่เรียกว่า "ความถี่ฟรีรันนิ่ง (ω_o)" ดังนั้นตัวเฟสล็อกลูปจะเรียกว่าทำงานอยู่ในสภาวะ ฟรีรันนิ่งโหมด ค่าความถี่ฟรีรันนิ่งของตัว VCO มักจะสามารถปรับได้ สำหรับเหตุผลที่จะอธิบายต่อไป มาถึงตอนนี้ให้เราสมมติว่าสัญญาณอ้างอิงได้ใส่เข้าไปในเฟสล็อกลูป ถ้าสัญญาณอ้างอิงที่ใส่เข้าไปอยู่ภายในย่านความถี่ที่แน่นอนรอบๆ ω_o ตัวเฟสล็อกลูปจะเริ่มทำงานโดยการตาม (Track) สัญญาณ ซึ่งการทำงานในช่วงนี้จะเรียกว่า เฟสล็อก หรือ แทรกกิ้งโหมด และสำหรับย่านของความถี่ตลอดย่านที่ตัวเฟสล็อกลูปสามารถจะเปลี่ยนสภาวะฟรีรันนิ่งโหมด ไปยัง เฟสล็อกโหมดนั้นจะเรียกว่าย่านแคปเจอร์เรนจ์ เมื่ออยู่ในสภาวะแคปเจอร์โหมด ค่าความแตกต่างทางด้านเฟสระหว่างสัญญาณอ้างอิง และสัญญาณจาก VCO จะสร้างค่าแรงดันซึ่งเป็นสัดส่วนกับค่าความแตกต่างระหว่างเฟส (เฟสเออร์เรอร์) ระหว่างสัญญาณสองสัญญาณนี้ ค่าแรงดันผิดพลาดนี้จะถูกป้อนให้กับส่วนอินพุตควบคุมของตัว VCO ซึ่งมันจะไปบังคับค่าความถี่ของออสซิลเลเตอร์ให้ไปตรงกับค่าความถี่ของสัญญาณอ้างอิง สมมติว่าไม่มีเฟสชิปในเส้นทางป้อนกลับ (Feed Back Path) ตัวสัญญาณป้อนกลับที่สร้างโดย VCO จะนำสัญญาณอ้างอิงอยู่ 90 องศา เมื่อเกิดสภาวะเฟสล็อกขึ้น (สำหรับการออกแบบเฟสล็อกลูปทั่วๆไป)

เมื่อตัวเฟสล็อกลูปได้ล็อกเข้ากับสัญญาณอ้างอิงแล้ว มันจะตามสัญญาณนั้นจนกว่าค่าสัญญาณอ้างอิงจะเกินขีดจำกัด(ทางด้านความถี่) ซึ่งเราจะเรียกว่าค่าล็อกเรนจ์ของเฟสล็อกลูป ค่าล็อกเรนจ์ของเฟสจะต้องเป็นค่าเดียวกันหรือกว้างกว่าค่าแคปเจอร์เรนจ์ สำหรับเฟสล็อกลูปโดยทั่วๆไปแล้วค่าล็อกเรนจ์จะกว้างกว่า การแสดงทางด้านกราฟฟิกของการทำงานของเฟสล็อกลูปจะสามารถอธิบายได้ดังรูป 2.37 เมื่อค่าแรงดันควบคุมแสดงต่อค่าความถี่ของสัญญาณอ้างอิงถูกพล็อตตามตัวอย่างนี้ ค่าล็อกเรนจ์ของเฟสล็อกลูปจะมีย่านจาก ± 1 เปอร์เซ็นต์ ถึง ± 60 เปอร์เซ็นต์ ของค่าความถี่ฟรีรันนิ่งของ VCO โดยขึ้นอยู่กับชนิดของอุปกรณ์ที่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



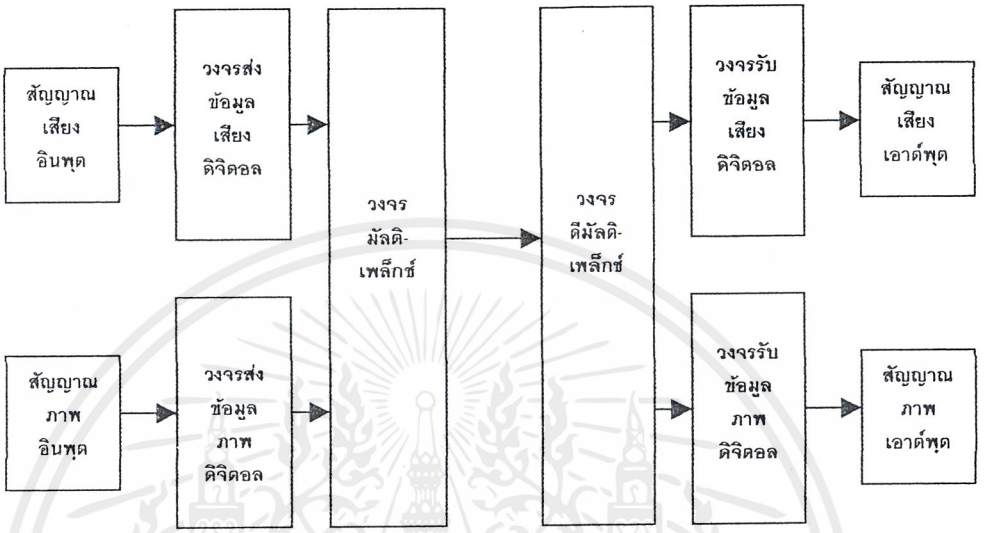
รูปที่ 2.37 ไดอะแกรมแสดงล็อกเรนจ์และแคปเจอร์เรนจ์ของเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบและการสร้าง

ระบบการส่งข้อมูลเสียงและภาพแบบทีดีเอ็ม



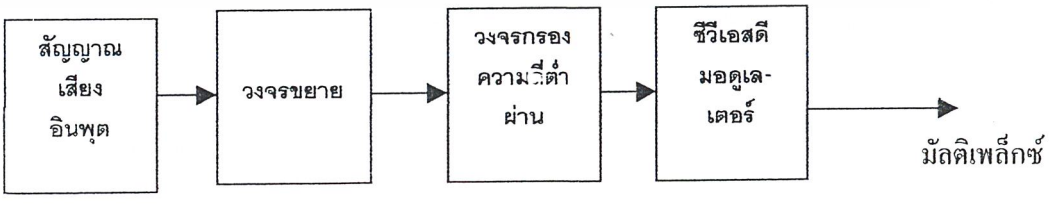
รูปที่ 3.1 บล็อกไดอะแกรมการส่งข้อมูลเสียงและภาพแบบทีดีเอ็ม

วงจรภาคส่ง

3.1 วงจรภาคส่งข้อมูลเสียงดิจิตอล

ประกอบด้วย

- วงจรขยาย
- วงจรกรองความถี่ต่ำผ่าน
- วงจรแปลงสัญญาณเสียงอนาล็อกเป็นข้อมูลดิจิตอล

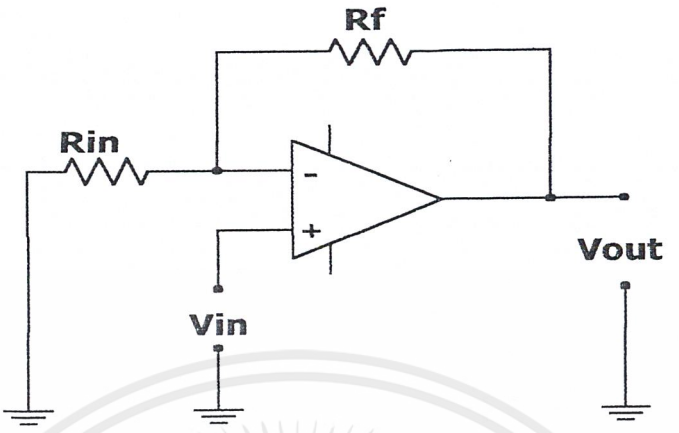


รูปที่ 3.2 บล็อกไดอะแกรมของวงจรภาคส่งข้อมูลเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 วงจรขยาย

วงจรนี้ทำหน้าที่ขยายสัญญาณเสียงที่เข้ามาครั้งแรก ให้มีความชัดเจนโดยสัญญาณที่ได้ จะถูกขยายให้มีความแรงเพิ่มขึ้น รูปแบบของวงจรจะเป็นดังรูปที่ 3.3



รูปที่ 3.3 วงจรขยายไม่กลับเฟส

จากรูปที่แสดง จะเห็นว่าวงจรนี้ มีชุดของความต้านทานป้อนกลับ R_{in} และ R_f ต่อเป็นแบบแบ่งแรงดัน โดยที่ V_{out} ของสัญญาณ จะมีเฟสเดียวกับ V_{in} ดังนั้นจึงเรียกวงจรนี้ว่าไม่กลับเฟส (non-inverting amplifier) สามารถทำการวิเคราะห์วงจรเพื่อหาค่าอัตราการขยายได้ดังนี้

อัตราขยายเมื่อลูปปิด (close loop) หาได้จาก

$$A_v = 1+(R_f / R_{in})$$

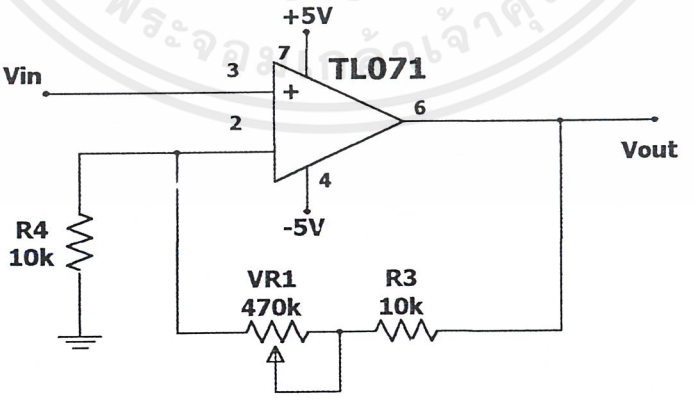
จะเห็นว่าอัตราการขยายขึ้นกับค่า R_f และ R_{in} ดังนั้นในการออกแบบวงจรควรเลือกค่า R_f และ R_{in} ให้เหมาะสม

สำหรับโครงงานนี้วงจรจะเป็นดังนี้

R4 = 10 กิโลโอห์ม

R3 = 10 กิโลโอห์ม

VR_1 = 470 กิโลโอห์ม



รูปที่ 3.4 วงจรขยายไม่กลับเฟสที่ใช้ในโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

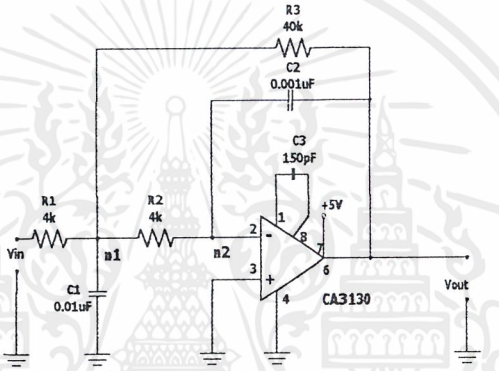
$$A_v = 1+((VR+10*10^3)/10*10^2)$$

จะเห็นได้ว่า ค่าอัตราการขยายสามารถปรับค่าได้ โดยการเปลี่ยนแปลงค่า VR1 ซึ่งมีค่าตั้งแต่ 0-470 กิโลโอห์ม จะมีผลทำให้อัตราการขยายต่ำไปด้วย

3.1.2 วงจรกรองความถี่ต่ำผ่าน

เมื่อสัญญาณเสียงถูกขยาย โดยวงจรขยายภาคแรกแล้ว ก็จะมีสัญญาณแรงขึ้น หลังจากนั้น สัญญาณก็จะผ่านเข้าวงจรกรองความถี่ต่ำผ่าน เพื่อกำจัดองค์ประกอบของสัญญาณเสียงที่มีความถี่สูงทิ้งไป ในส่วนนี้จะใช้ ออปแอมป์ต่อกับความต้านทานและตัวเก็บประจุ เป็นวงจรกรองความถี่ โดยทั่วไปจะเรียกแอคทีฟ-ฟิลเตอร์

ในโครงงานนี้จะใช้ ไอซี CA3130 ในการสร้างวงจรแอคทีฟฟิลเตอร์ โดยต่อกับความต้านทาน และตัวเก็บประจุค่าต่างๆ ดังรูปที่ 3.5



รูปที่ 3.5 วงจรกรองความถี่ต่ำผ่าน

สามารถหาค่าอัตราการขยาย และความถี่คัทออฟ ของวงจรแอคทีฟฟิลเตอร์ได้ดังนี้

จากรูป 3.5 node1 $(V_1-V_{in})/R_1 + (V_1-V_o)/R_3 + (V_1-V_2)/R_2 + SC_1V_1 = 0$ ..... (1)

node2 $(V_2-V_1)/R_2 + SC_2(V_2-V_o) = 0$ ..... (2)

จาก (1) จะได้ $V_1/R_1 - V_{in}/R_1 + V_1/R_3 - V_o/R_3 + V_1/R_2 + SC_1V_1 = 0$ ..... (3)

จาก (2) จะได้ $-V_1/R_2 - SC_2V_o = 0$ ..... (4)

จาก (4) จะได้ $V1 = -SC_2V_oR_2$ ..... (5)

แทน (5) ใน (3) $-SC_2V_oR_2/R_1 - V_{in}/R_1 - SC_2V_oR_2/R_3 - V_o/R_3 - SC_2V_oR_2/R_2 - SC_1(SC_2V_oR_2) = 0$

$-SC_2V_oR_2^2R_3 - V_{in}R_2R_3 - SC_2V_oR_1R_2^2 - V_oR_1R_2 - SC_2V_0R_1R_2R_3 - SC_1(SC_2V_oR_2)R_1R_2R_3 = 0$

$V_{in}R_2R_3 = -(SC_2V_oR_2^2R_3 + SC_2V_0R_1R_2^2 + V_oR_1R_2 + SC_2V_oR_1R_2R_3 + SC_1(SC_2V_0R_2)R_1R_2R_3$

$V_{in}/V_o = -(SC_2R_2 + SC_2R_1R_2/R_3 + R_1/R_3 + SC_2R_1 + S^2C_1C_2R_1R_2)$

$V_o/V_{in} = -R_3/(SC_2R_2R_3 + SC_2R_1R_2 + R_1 + SC_2R_1R_3 + S^2C_1C_2R_1R_2R_3)$

$1/(C_1C_2R_1R_2R_3)$ คูณตลอด

$V_o/V_{in} = (-1/C_1C_2R_1R_2)/(S/C_1R_1 + S/C_1R_3 + 1/C_1C_2R_2R_3 + S/C_1R_2 + S^2)$

$V_o/V_{in} = (-1/C_1C_2R_1R_2)/(1/C_1C_2R_2R_3 + (1/C_1R_1 + 1/C_1R_2 + 1/C_1R_3)S + S^2)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก $T(S) = kw_o^2 / (S^2 + w_oS/Q + w_o^2)$

ดังนั้น $w_o^2 = 1 / C_1C_2R_2R_3$

$= 1 / (4\times10^3\times40\times10^3\times0.01\times10^{-6}\times0.001\times10^{-6})$

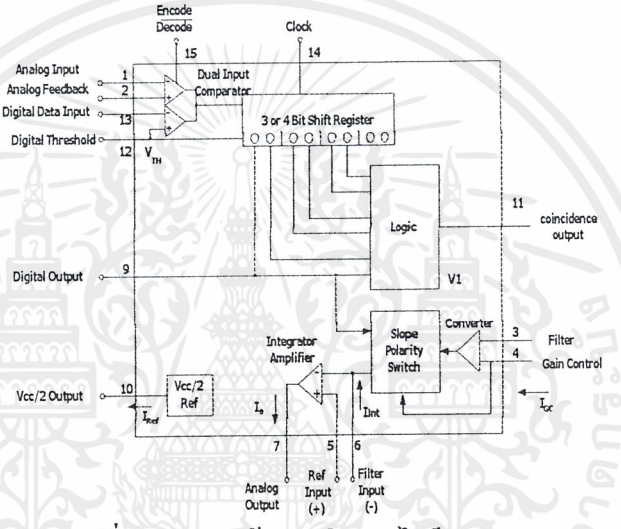
$w_o = 25$ kHz

$f_o = 3.98$ kHz

$k = R_3/R_1 = 40k/4k = 10$ เท่า

3.1.3 วงจรแปลงสัญญาณเสียงอนาล็อกเป็นข้อมูลดิจิตอล

ในโครงงานนี้จะใช้ไอซี MC3417 ซึ่งเทคนิคที่ใช้ในการแปลงสัญญาณนี้เรียกว่า ซีวีเอสดี โดยโครงสร้างภายในของไอซีนี้แสดงดังรูปที่ 3.6



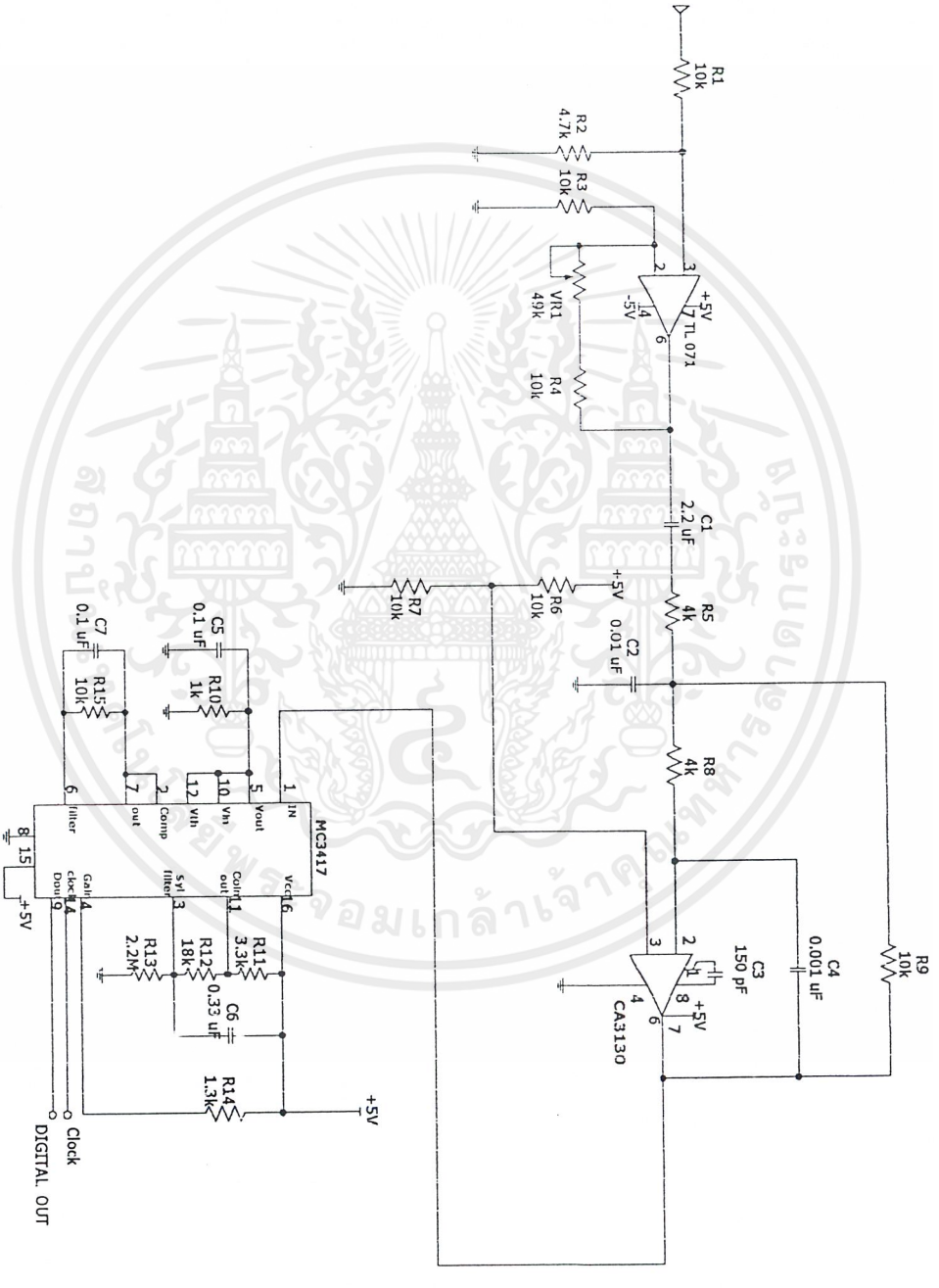
รูปที่ 3.6 โครงสร้างภายในของไอซี MC3417

จากรูปที่ 3.6 ไอซี MC3417 จะอาศัยการป้อนสัญญาณลอจิก "1"หรือ "0"เข้าไปยังขา 15 ที่ทำหน้าที่เข้ารหัส/ถอดรหัส(Encode/Decode) เพื่อควบคุมการทำงานของคอมพาราเตอร์ทำให้เกิดการเข้ารหัสหรือถอดรหัส ส่วนสัญญาณนาฬิกานำมาป้อนให้กับไอซีเพื่อแซมปลิ้งสัญญาณและกำหนดอัตราการส่งข้อมูล

การแปลงสัญญาณเสียงให้เป็นข้อมูลดิจิตอล ทำได้โดยต่อสัญญาณเสียงเข้ากับส่วนอินพุตของภาคส่ง โดยในวงจรของภาคส่งจะมีการป้อนสัญญาณลอจิก "1"ให้กับขา 15 ของไอซี ดังนั้นสภาวะของขาที่ 15 จึงเป็นการเข้ารหัสซึ่งจะเลือกใช้คอมพาราเตอร์ตัวบนอัตราการแปลงสัญญาณ มีค่าเท่ากับความถี่ของสัญญาณนาฬิกา ข้อมูลดิจิตอลที่ได้จากการเปรียบเทียบค่าจะถูกส่งออกไปยังขา 9 เพื่อที่จะนำไปใช้เป็นอินพุตของช่องสัญญาณในวงจรมัลติเพล็กซ์ต่อไปปัญหาของการเข้ารหัสคือ ในช่วงที่สัญญาณอินพุตมีความชันมากๆ จะทำให้ขนาดของสเต็ปไซด์ (step side) ตามไม่ทัน เป็นผลทำให้การเข้ารหัสสัญญาณผิดเพี้ยนไป เมื่อแปลงเป็นสัญญาณอนาล็อกเช่นเดิม ก็จะทำให้ข้อมูลคลาดเคลื่อนไปด้วยไอซี MC3417 จะแก้ปัญหาโดยการตรวจสภาพข้อมูลทุก3 บิต ที่เรียงติดกัน ถ้าหากว่าสัญญาณมีค่าเป็น"1"หรือ"0"หมดทั้งสามบิต ก็จะเพิ่ม สเต็ปไซด์แต่ถ้าเป็นกรณีอื่นๆนอกจากนี้ก็จะลดสเต็ปไซด์โดยส่วนที่ทำหน้าที่ตรวจสภาพข้อมูลคือชิฟรีจิสเตอร์ขนาด 3 บิต จะถ่ายเทลงที่ส่วนของลอจิก ผลของการตรวจสภาพว่าเป็น "1"หรือ "0"หมดหรือไม่ จะออกจากลอจิกไป-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยังส่วนควบคุมอัตราการขยาย (gain control) เพื่อเพิ่มหรือลดขนาดสเต็ปไซด์ แล้วผ่านไปยังส่วนของการสวิตช์สภาพขั้วทางความชัน (Slope Polarity Switch) ซึ่งเป็นส่วนที่ตัดสินว่าสเต็ปไซด์ที่ได้จากส่วนควบคุมอัตราการขยาย จะอยู่ในทิศทางบวกหรือลบ และจะผ่านวงจรอินทิเกรเตอร์เพื่อนำไปใช้เปรียบเทียบต่อไป โดยสัญญาณดิจิตอลที่ได้จากขา 9 ซึ่งเป็นขาดิจิตอลเอาต์พุตนี้จะนำไปต่อเข้ากับส่วนมัลติเพล็กซ์ เพื่อทำการมัลติเพล็กซ์ข้อมูลส่งไปยังสายนำสัญญาณต่อไป วงจรส่งข้อมูลเสียงดิจิตอลแสดงดังรูปที่ 3.7



รูปที่ 3.7 วงจรส่งข้อมูลเสียงดิจิตอล

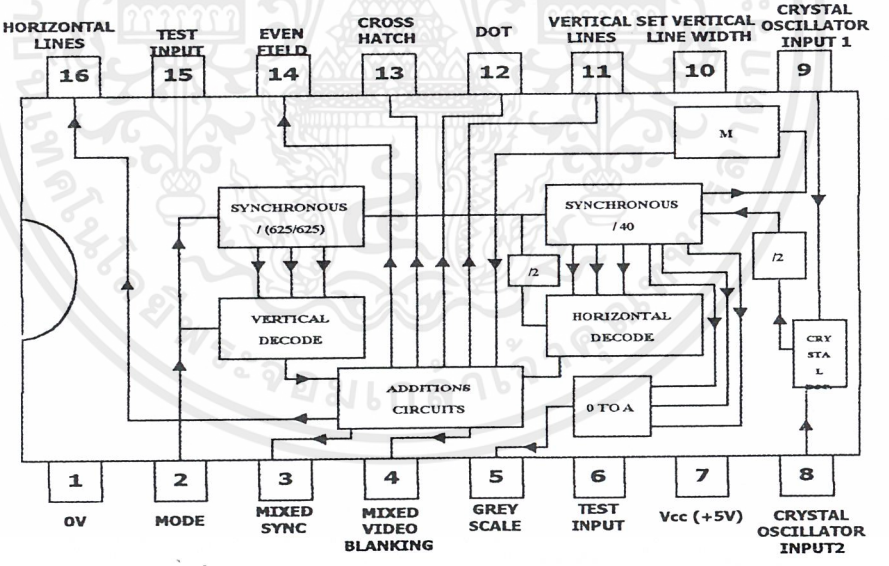
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจรสร้างสัญญาณภาพโดยใช้ไอซี ZNA234

3.2.1 คุณสมบัติของ ZNA234

- ใช้แหล่งจ่ายไฟตรงชุดเดียว 5 โวลต์
- ใช้ได้ทั้งระบบ 625 เส้น(CCIR/PAL) หรือระบบ 525 เส้น(NTSC)
- มีสัญญาณซิงค์และสัญญาณแบลงก์กิ้งของระบบ CCIR หรือตามมาตรฐาน EIA
- มีเอาต์พุตฟิลด์อ้างอิง (Field Reference)
- กำเนิดสัญญาณได้หลายรูปแบบ
  1. เส้นตาราง (Crosshatch)
  2. จุด (Dot)
  3. เส้นแนวตั้ง (Vertical lines)
  4. เส้นแนวนอน (Horizontal lines)
  5. เกรย์สเกล (Greyscale)
  6. ซิงค์รวม (Mixed Sync)
  7. วิดีโอแบลงก์กิ้งรวม (Mixed Video Blanking)
- สามารถปรับขนาดเส้นแนวตั้งได้

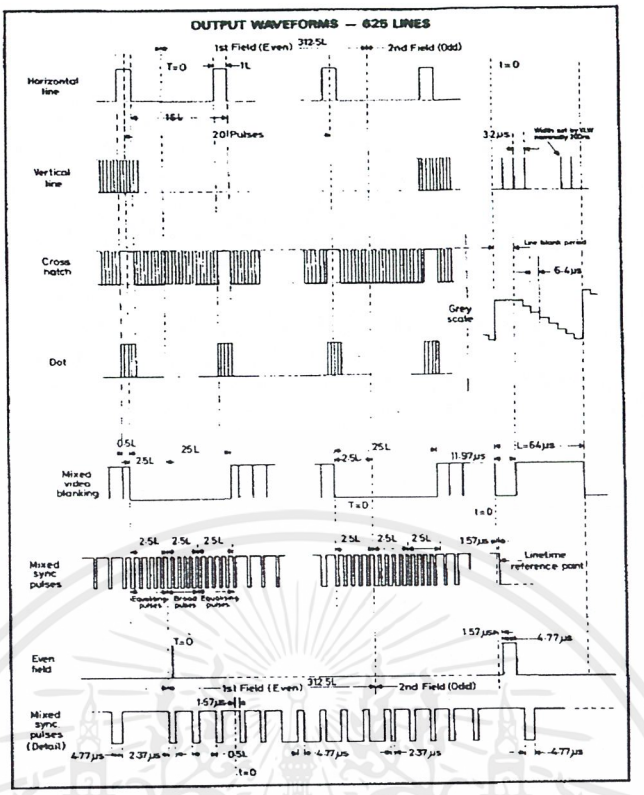
3.2.2 โครงสร้างและการทำงานเบื้องต้น



รูปที่ 3.8 โครงสร้างภายในและการจัดขาของ ZNA234

โครงสร้างภายในและการจัดขาของ ZNA234 แสดงในรูปที่ 3.8 ZNA234 ต้องการเพียงไฟเลี้ยงกับออสซิลเลเตอร์ที่ขา 7,8 และขา 9 เท่านั้น ก็สามารถทำงานได้แล้ว ขา 2 ใช้เลือกโหมดการทำงานระบบ 625 เส้น หรือระบบ 525 เส้น ถ้าต่อกับ V_{CC} จะเป็นระบบ 625 เส้น ถ้าต่อลงกราวด์จะเป็นระบบ 525 เส้น คริสตอลที่ต่อเป็นออสซิลเลเตอร์ขา 8 และ 9 ใช้ความถี่ 2.5 MHz สำหรับระบบ 625 เส้น และใช้ความถี่ 2.52 MHz สำหรับระบบ 525 เส้น

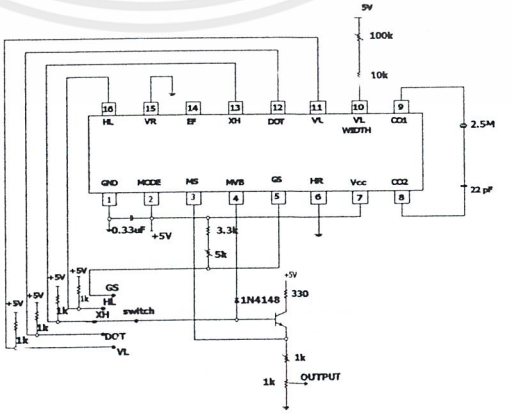
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 รูปสัญญาณเอาต์พุตของ ZNA234

สำหรับรูปที่ 3.9 แสดงรูปสัญญาณเอาต์พุตของ ZNA234 ในระบบ 625 เส้น ที่ขา 16 จะให้เอาต์พุตของเส้นแนวนอน อันประกอบด้วยรูปคลื่นพัลส์ที่มีช่วงกว้างของพัลส์แต่ละลูกเท่ากับการกวาด 1 เส้นภาพแนวนอนพอดี โดยเกิดขึ้นทุกๆ 16 เส้น เส้นแนวนอนนี้จะกวาดบนจอในลักษณะการกวาดแบบอินเตอร์เลสซิ่ง (interlacing) รวมทั้งหมด 20 เส้น โดยให้ภาพที่ปรากฏบนจอ 18 ภาพ อีก 2 เส้นที่เหลือจะมองไม่เห็นเพราะอยู่ในช่วงเวลาฟิลด์แบลงก์กิ้ง (Field Blanking) และที่ขา 11 จะให้เอาต์พุตเส้นแนวตั้ง 16 เส้น อีก 4 เส้นอยู่ในช่วงเวลาไลน์แบลงก์กิ้ง (Line Blanking) ซึ่งมองไม่เห็นเช่นกัน

เอาต์พุตเส้นแนวนอนและเส้นแนวตั้งจะถูกนำมาผ่านวงจรแอนด์เกต (AND Gate) ภายในตัวไอซีเอง เพื่อสร้างรูปภาพจุดขึ้นที่ขา 12 ดังรูปที่ 3.9 รูปพัลส์ที่ขา 12 จะเป็นลอจิก “1” ได้ก็ต่อเมื่อพัลส์ที่ขา 11 และขา 16 ต่างเป็น ลอจิก “1”



รูปที่ 3.10 เป็นการต่อวงจรที่สมบูรณ์ที่สามารถนำไปใช้งานได้ของ ZNA234

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

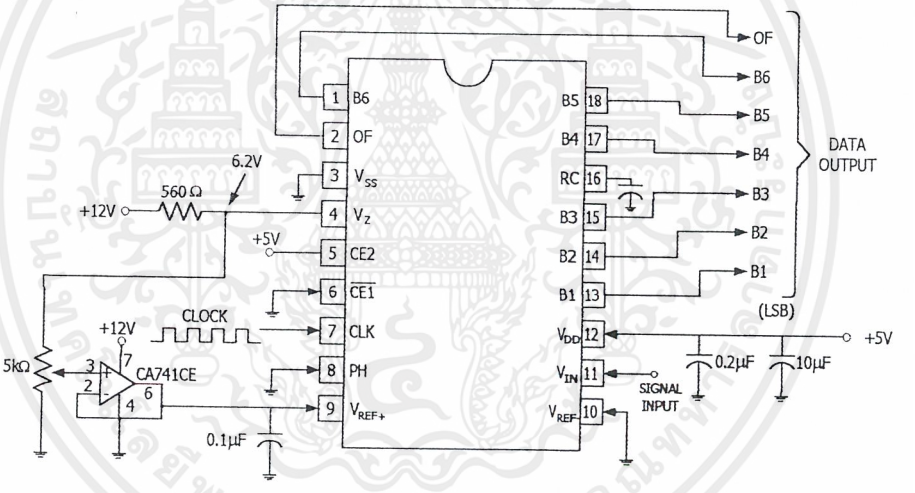
3.3 การทำงานของวงจรส่งข้อมูลภาพดิจิตอล

ในส่วนของการส่งข้อมูลภาพดิจิตอลประกอบด้วยส่วนต่างๆดังนี้

3.3.1 วงจรแปลงสัญญาณอนาล็อกเป็นข้อมูลดิจิตอล

เนื่องจากสัญญาณภาพเป็นสัญญาณที่มีความถี่สูงวงจรเอทูดีที่ใช้จำเป็นต้องมีความเร็วในการแปลงสัญญาณสูงเช่นกัน ในโครงงานนี้จึงเลือกใช้ไอซีเอทูดีแบบแฟลช ความละเอียด 6 บิต (แปลงสัญญาณได้ 64 ระดับชั้น) ด้วยเหตุผลที่ราคาไม่แพงนัก และสามารถทำงานที่ระดับไฟเลี้ยง +5 โวลต์ ที่มีใช้อยู่ในวงจรได้

ในโครงงานนี้จะใช้ไอซีเอทูดีเบอร์ CA3306 ซึ่งเป็นไอซีเอทูดีแบบแฟลช มีความเร็วในการแปลงข้อมูลสูงมาก ซึ่งรายละเอียดและหลักการทำงานของการแปลงเอทูดีแบบแฟลชได้กล่าวไว้แล้วในบทที่ 2 เอาต์พุตของไอซีมี 6 บิต ใช้เวลาในการแปลง 55-83 นาโนวินาที เอาต์พุตจะอยู่ในช่วงระหว่าง $+V_{ref}$ และ $-V_{ref}$ สำหรับตัวต้านทานปรับค่าได้ นำมาต่อร่วมกับวงจรนี้เพื่อทำการปรับระดับเทรชโฮลด์ของการแปลงในการควบคุมความสว่างของภาพ การปรับตัวต้านทานที่ควบคุมความสว่าง จะทำให้ได้ความชัดเจนของภาพสูงสุด วงจรแปลงสัญญาณภาพเป็นข้อมูลดิจิตอลแสดงดังรูปที่ 3.11



รูปที่ 3.11 วงจรแปลงสัญญาณภาพเป็นข้อมูลดิจิตอล

3.3.2 วงจรสร้างความถี่ 2.5 MHz

ในโครงงานนี้ต้องการเก็บภาพที่มีขนาดองค์ประกอบของภาพ (Picture Elements) เท่ากับ 128 จุด × 128 เส้น ซึ่งสามารถคำนวณหาความถี่ของสัญญาณนาฬิกาที่ใช้ในการสุ่มตัวอย่างของสัญญาณได้ดังนี้

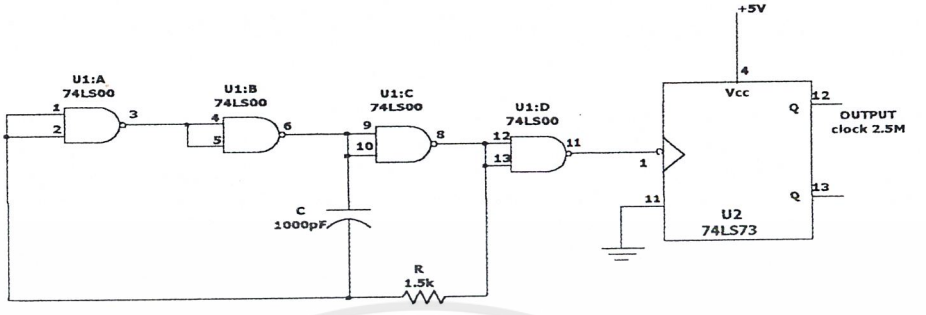
เวลาของภาพในการสแกน 1 เส้นมี

- สัญญาณภาพรวม 64 ไมโครวินาที
- สัญญาณซิงค์และแบลงก์กิ้ง 12.8 ไมโครวินาที

ดังนั้นเวลาที่ใช้ในการแปลงสัญญาณภาพ 1 เส้น เท่ากับ 64-12.8 = 51.2 ไมโครวินาที จากความต้องการเก็บภาพ 128 จุด/เส้น จะต้องใช้สัญญาณนาฬิกา 128 ลูก/เส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะฉะนั้น เวลาที่ใช้ในการแปลงสัญญาณแต่ละจุด จะเท่ากับ $51.2 \times 10^{-6} / 128 = 400$ นาโนวินาที ทำให้สัญญาณนาฬิกาที่ใช้ต้องมีความถี่ 1/400นาโนวินาที = 2.5 MHz สำหรับวงจรสร้างความถี่ 2.5 MHz จะต่อดังรูป 3.12



รูปที่ 3.12 วงจรสร้างสัญญาณนาฬิกา 2.5 MHz

3.3.3 วงจรส่วนควบคุมภาคส่งสัญญาณ

จากรูป 3.13 เมื่อต้องการส่งข้อมูลก็จะทำการกดสวิตช์ SW1 ซึ่งต่ออยู่กับขาสัญญาณนาฬิกาของฟลิปฟลอป 1 (U12 : B) เมื่อสวิตช์ถูกกดลงแล้วปล่อยสถานะจะเปลี่ยนจาก "0"ไป "1" จะไปกระตุ้นฟลิปฟลอป 1 ให้สร้างสัญญาณร้องขอการส่ง นั่นคือ $\overline{Q_1}$ มีค่าลอจิกเปลี่ยนจาก "0" เป็น "1"

เนื่องจากฟลิปฟลอปไม่มีความแน่นอนขณะเปิดเครื่อง จึงใช้โมโนสเตเบิลมัลติไวเบรเตอร์ มาพรีเซต ฟลิปฟลอปขณะเปิดเครื่อง เพื่อให้ได้สถานะที่แน่นอน ส่งผลไปพรีเซตให้ฟลิปฟลอป 1 มีค่าเอาต์พุต $\overline{Q_1}$ เป็น "1" (Q_1 เป็น "0") และพรีเซตฟลิปฟลอป 2 (U12 : A) ให้ Q_2 มีค่าเป็น "1"

จากการที่ $\overline{Q_1}$ มีค่าลอจิกเป็น "1" ส่งผลให้สัญญาณนาฬิกา 16 kHz สามารถผ่านแอนด์เกตไปเข้าอินพุตของเคาน์เตอร์1 (U5) ซึ่งก็คือไอซี 74193 และขาสัญญาณนาฬิกาของไอซี 74165 ที่ทำหน้าที่แปลงข้อมูลขนานให้ออกมาเป็นข้อมูลอนุกรมทุกขาขึ้นของสัญญาณนาฬิกาที่ป้อนให้มัน สัญญาณนาฬิกาที่เข้าอินพุตไอซี 74165 จะพร้อมกัน จากรูป เราจึงให้เอาต์พุต Q_A ของเคาน์เตอร์1 แทนอัตราการไหลของข้อมูลอนุกรม โดยในส่วนของเคาน์เตอร์นี้ เมื่อได้รับสัญญาณนาฬิกา 16 kHz เข้าที่อินพุต มันจะทำการนับร่วมกันกับเคาน์เตอร์อีก 4 ตัว ซึ่งเชื่อมต่อถึงกันทั้งหมด คือ ขาทดออก (Carry out (C_O)) ของไอซีตัวหนึ่งไปต่อเข้ากับขาอินพุต (Up) ของไอซีอีกตัวหนึ่งดังรูปที่ 3.13

นอกจากนี้ขาอินพุต Q_A ของเคาน์เตอร์1 จะต่อเข้าขาสัญญาณนาฬิกาของฟลิปฟลอป3 (U13 : A) และขาเอาต์พุต Q_D ของเคาน์เตอร์1 จะต่อเข้าขา D ของฟลิปฟลอป3 สัญญาณเอาต์พุตของฟลิปฟลอป Q_3 ที่ได้ในที่นี้ขอเรียกว่าสัญญาณ A

สัญญาณ A จะมีการเปลี่ยนแปลงที่จุดสิ้นสุดของข้อมูลบิตที่ 8 พอดี นั่นแสดงว่าข้อมูลบิตที่ 8 ถูกดึงออกไปแล้ว เราจะนำสัญญาณ A ที่ได้มาสร้างสัญญาณชิพ/โหลดให้แก่ไอซี 74165 โดยการนำไปป้อนเข้าไอซี 74123 ที่ทำหน้าที่เป็นโมโนสเตเบิลมัลติไวเบรเตอร์สัญญาณAจะป้อนเข้าที่อินพุต B ของไอซี 74123 ตัวแรกอินพุตนี้จะแอคทีฟที่ลอจิก"1"มีผลให้เอาต์พุตเปลี่ยนเกิดการเปลี่ยนแปลงระดับสัญญาณเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

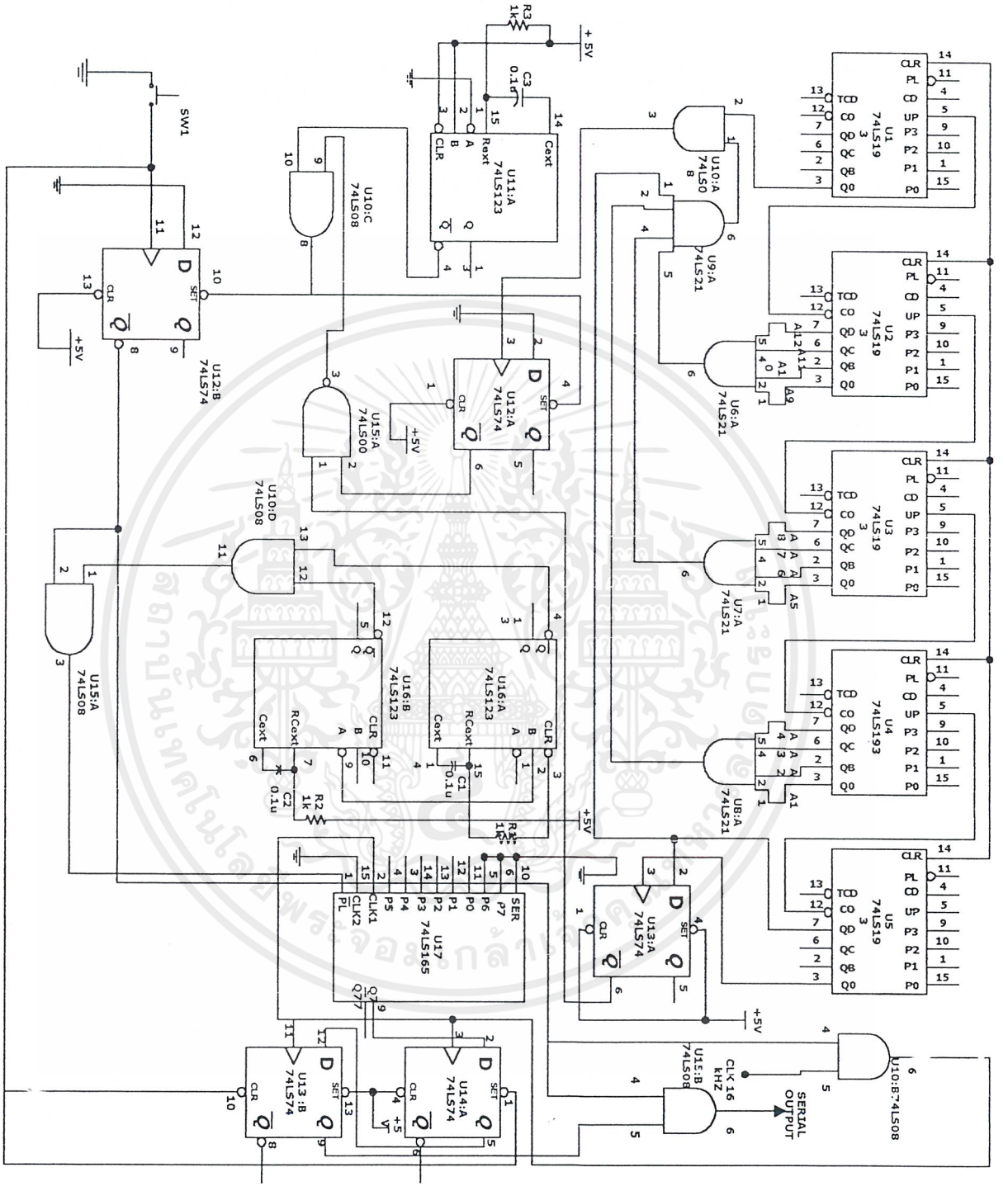
"0" ในช่วงเวลาสั้นๆที่ขอบขาขึ้นของสัญญาณ A ในที่นี้ขอเรียกสัญญาณเอาต์พุตที่ได้นี้ว่าสัญญาณ B และป้อนสัญญาณ A เข้าขาอินพุตA ซึ่งแอคทีฟที่ลอจิก "0" ของไอซี 74123 ตัวที่สอง เป็นผลให้เอาต์พุตของไอซีนี้มีการเปลี่ยนระดับสัญญาณจาก "1" ลงมาเป็น "0" ในช่วงเวลาสั้นๆ ที่ตำแหน่งขอบขาลงของสัญญาณ A สัญญาณเอาต์พุตนี้ขอเรียกว่าสัญญาณ C

ดังนั้น เมื่อนำสัญญาณ B และ C มาแอนด์กัน ก็จะเกิดเป็นสัญญาณชิพ/โหลด ใช้สำหรับป้อนเข้าขาชิพ/โหลด ของไอซี 74165 สัญญาณชิพ/โหลดจะพอดีกับช่วงเวลาของไอซี 74165 ในการดึงข้อมูลขนานมาแปลงเป็นอนุกรมครบ 8 บิต และเมื่อดึงข้อมูลขนานแปลงเป็นอนุกรมครบ 16K จะมีการส่งสัญญาณกระตุ้นให้หยุดการร้องขอการส่งเพื่อเพื่อหยุดการส่งข้อมูล โดยสัญญาณกระตุ้นนี้ได้จากการดีเทคที่มาขาเอาต์พุตของเคาน์เตอร์ทั้ง 5 ตัว รวม 14 เอาต์พุตในขณะที่รับสัญญาณนาฬิกาเข้ามาทำการนับก็จะใช้เอาต์พุตของเคาน์เตอร์เหล่านี้เป็นขาแอดเดรส ในการอ่านข้อมูลออกจากแรมด้วย โดยเอาต์พุต Q_D ของเคาน์เตอร์1 จะใช้เป็นนัยสำคัญต่ำสุด (LSB) ของสัญญาณแอดเดรส (A_0) เรื่อยไป จนเอาต์พุต Q_A ของเคาน์เตอร์5 (U1) ซึ่งเป็นนัยสำคัญสูงสุด (MSB) ของสัญญาณแอดเดรส (A_{13}) จะเห็นว่าเมื่อส่งข้อมูลครบทุกๆ 8 บิต ในแต่ละครั้ง ค่าแอดเดรสจะเปลี่ยนแปลงค่าไป 1 ค่า ขาเอาต์พุตทั้ง 14 เอาต์พุต จะต่อเข้ากับอินพุตของแอนด์เกต

เมื่อเคาน์เตอร์ทำการนับสัญญาณนาฬิกาไป จนกระทั่งขาเอาต์พุตทั้ง 14 เอาต์พุต มีค่าลอจิกเป็น "1" ทั้งหมด นั่นคือแสดงว่า ได้อ่านข้อมูลจากหน่วยความจำจนหมดแล้ว จะมีผลให้เอาต์พุตของแอนด์เกตมีค่าลอจิกเป็น "1" ไปกระตุ้นขาสัญญาณนาฬิกาของฟลิปฟลอป2 ทำให้ขาเอาต์พุต Q_2 มีการเปลี่ยนแปลงค่า ลอจิกเป็น "1" ผ่านไปเข้าอินพุตของแนนด์เกต และอีกอินพุตหนึ่งของแนนด์เกตจะมาจากขา A เมื่อมีการดึงข้อมูลจากแรมครบ 16K ตำแหน่งข้อมูลส่งออกเป็นอนุกรมหมดแล้ว ขาA ก็จะมีค่าลอจิกเป็น "1" จากการที่อินพุตทั้งสองของแนนด์เกตมีค่าลอจิกเป็น"1"ทำให้เอาต์พุตของแนนท์เกตที่ได้มีค่าลอจิกเป็น "0" ค่าเอาต์พุตนี้จะหยุดสัญญาณร้องขอการส่ง โดยทำการพรีเซตฟลิปฟลอป1 เป็นผลให้ค่าเอาต์พุต Q_1 ที่ได้จะมีค่าลอจิกเป็น "0" รวมทั้งทำการพรีเซตฟลิปฟลอป2 ด้วยเช่นกัน นอกจากนี้การพรีเซตฟลิปฟลอป1 ทำให้เอาต์พุต Q_1 มีค่าลอจิกเป็น "1" ซึ่งจะเป็นสัญญาณลอจิกที่ทำการเคลียร์ค่าเอาต์พุตของเคาน์เตอร์ทั้ง 5 ตัว และหยุดการนับไป จนกระทั่งผู้ใช้ทางด้านส่งกดสวิตช์ SW_1 เพื่อทำการส่งภาพต่อไปอีกครั้ง

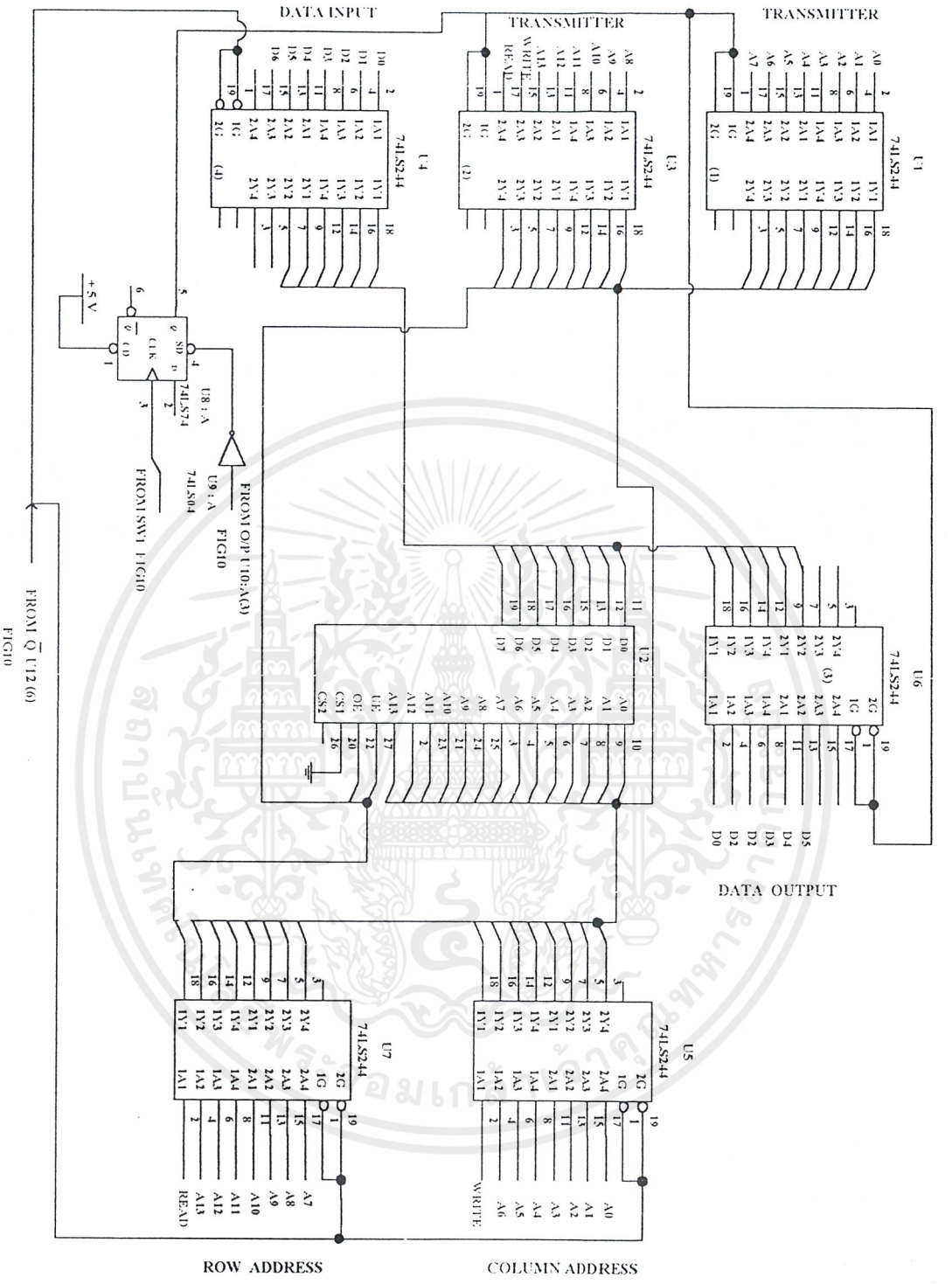
สำหรับในส่วนที่ทำการส่งข้อมูลซึ่งรับมาจากแรม โดยผ่านบัฟเฟอร์แล้วส่งออกไปเป็นข้อมูลอนุกรมจะเป็นหน้าที่ของไอซี 74165เมื่อไอซีนี้ได้รับสัญญาณนาฬิกาและสัญญาณชิพ/โหลด ก็จะโหลดข้อมูลจากแรมผ่านทางบัฟเฟอร์มาแปลงเป็นข้อมูลอนุกรม ข้อมูลอนุกรมที่ได้นี้ จะถูกส่งต่อให้กับฟลิป-ฟลอป4 (U14 : A)และ ฟลิปฟลอป5 (U13 : B) ซึ่งเป็นส่วนที่สร้างบิตเริ่มต้น (START BIT) โดยนำมาไว้ข้างหน้าข้อมูลอนุกรมที่ต้องการส่ง เพื่อให้ด้านรับทราบได้ว่าด้านส่งได้ส่งข้อมูลภาพมาแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 วงจรส่วนควบคุมภาคส่งสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 วงจรบัฟเฟอร์ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรบัฟเฟอร์ภาคส่ง

ในวงจรบัฟเฟอร์ภาคส่งนี้จะประกอบไปด้วยไอซีบัฟเฟอร์เป็นส่วนหลักในการทำงาน ซึ่งทำหน้าที่ควบคุมการส่งผ่านข้อมูล แอดเดรส และสัญญาณในการอ่านหรือเขียนข้อมูลให้กับหน่วยความจำ โดยอาศัยสวิตช์และสัญญาณควบคุมจากวงจรส่วนควบคุมภาคส่งข้อมูลมาควบคุมการทำงานของบัฟเฟอร์

จากรูป 3.14 ไอซีบัฟเฟอร์ 1 , 2 และ 4 จะเป็นบัฟเฟอร์ให้กับวงจรส่วนควบคุมภาคส่งข้อมูลในการติดต่อกับหน่วยความจำ เพื่อส่งแอดเดรส และสัญญาณอ่านเขียนข้อมูลให้กับหน่วยความจำ ในขณะเดียวกันก็จะรับข้อมูลจากหน่วยความจำเข้ามา เพื่อทำการส่งออกด้วยเช่นกัน ซึ่งบัฟเฟอร์เหล่านี้จะถูก อีนาเบิล (ENABLE) ก็ต่อเมื่อมีการกดสวิตช์ที่วงจรส่วนควบคุมภาคส่งข้อมูลและจะถูกดิสเอเบิล (DISABLE) เมื่อทำการอ่านข้อมูลจากหน่วยความจำจนครบ 16K ตำแหน่ง สัญญาณแอดเดรสที่ส่งไปในที่นี้จะใช้ในการอ่านข้อมูลออกมาจากหน่วยความจำ โดยนำสัญญาณที่ขาเอาต์พุตของเคาน์เตอร์ทั้ง 5 ตัว ในวงจรส่วนควบคุมภาคส่งข้อมูลนี้ มาใช้เป็นสัญญาณแอดเดรส ซึ่งส่งผ่านบัฟเฟอร์ 1 และบัฟเฟอร์2 ส่วนสัญญาณอ่านข้อมูลจะนำสัญญาณชิพ/โหลดที่สร้างขึ้นมาใช้ และให้สัญญาณเขียนข้อมูลเป็นสัญญาณสูง (ลอจิก "1") ตลอดทั้งสองสัญญาณนี้ จะส่งให้กับหน่วยความจำผ่านทางบัฟเฟอร์2 ข้อมูลที่ถูกอ่านออกมาจากหน่วยความจำจะส่งผ่านทางบัฟเฟอร์3 เพื่อเตรียมที่จะทำการส่งออกต่อไป

สำหรับไอซีบัฟเฟอร์4 เป็นบัฟเฟอร์ให้กับวงจรเอทูดี เพื่อเก็บข้อมูลภาพเข้าหน่วยความจำ โดยจะอีนาเบิล เมื่อยังไม่ได้ทำการกดสวิตช์ส่งข้อมูลในวงจรส่วนควบคุมภาคส่งข้อมูลด้วยเช่นกัน

3.4 <u>ส่วนมัลติเพล็กซ์สัญญาณ</u>

วงจรมัลติเพล็กซ์ที่นำมาใช้ในโครงงานนี้เป็นมัลติเพล็กซ์แบบทีดีเอ็ม (Time Division Multiplex) 2 ช่องสัญญาณ สำหรับการมัลติเพล็กซ์ข้อมูลดิจิตอลของเสียง,ภาพและสัญญาณซิงค์เข้าด้วยกันเป็น เฟรมส่งออกไปในสายนำสัญญาณ ซึ่งวงจรประกอบด้วย 2 ส่วนคือ

1.ส่วนการสร้างสัญญาณนาฬิกาควบคุมการสแกน

2.ส่วนการสวิตช์สัญญาณ

3.4.1 ส่วนการสร้างสัญญาณนาฬิกาควบคุมการสแกน

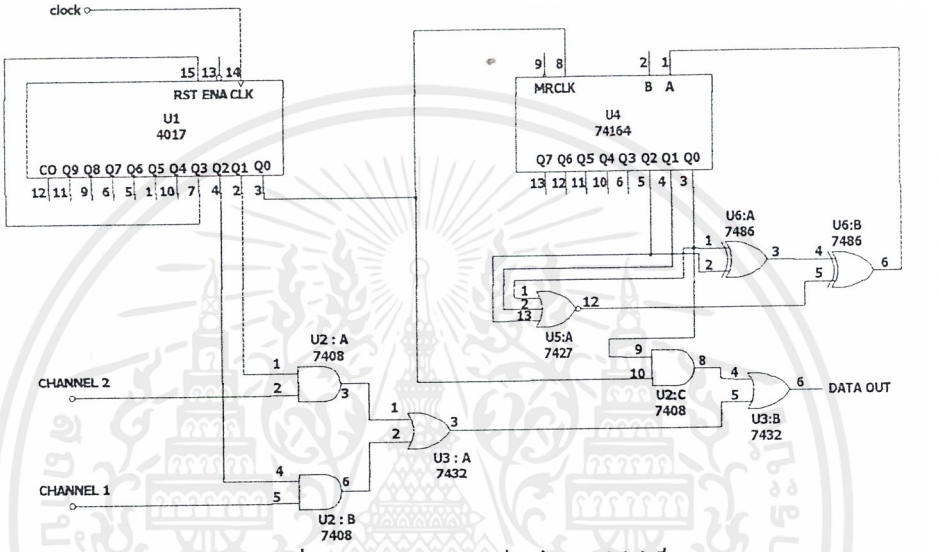
วงจรนี้จะทำหน้าที่ในการสร้างสัญญาณนาฬิกาควบคุมการสวิตช์ข้อมูลในช่องสัญญาณต่างๆ รวมทั้งการสร้างสัญญาณซิงค์ สำหรับการสร้างสัญญาณนาฬิกาเพื่อควบคุมการสวิตช์ข้อมูลในช่องสัญญาณต่างๆนั้น ได้จากการพิจารณาไดอะแกรมเวลาของไอซี 4017 จะเห็นว่าเอาต์พุตของไอซี 4017 จะให้สัญญาณเอาต์พุตที่ไม่ซ้อนทับกัน (Overlap) จึงใช้ไอซี 4017ให้สัญญาณนาฬิกาซึ่งใช้ในการสแกน เพื่อสวิตช์ เอาข้อมูลของแต่ละช่องสัญญาณทางด้านอินพุต ยิ่งความถี่ในการสแกนมากเท่าใด ก็จะทำให้การสวิตช์ของข้อมูลในช่องสัญญาณมีความเร็วสูงขึ้น ส่วนการสร้างสัญญาณซิงค์จะใช้ชิฟรีจิสเตอร์ขนาด3บิตต่อเป็นวงจรกำเนิดซิงค์เวิร์ด โดยใช้ไอซี 4017 จะจ่ายสัญญาณที่ขา 3 ของมัน ป้อนเป็นสัญญาณนาฬิกาให้กับไอซี 74164 เอาต์พุตของชิฟรีจิสเตอร์นี้ ที่ขา 3,4,5 จะถูกป้อนกลับไปที่อินพุตของชิฟรีจิสเตอร์ จะได้เอาต์พุตขนาด 7 บิต ใช้เป็นสัญญาณซิงค์เวิร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.2 ส่วนการสวิตช์สัญญาณ

วงจรนี้จะทำหน้าที่ในการสวิตช์กวาดข้อมูลในช่องสัญญาณต่างๆ โดยจะอาศัยสัญญาณจากส่วนการสร้างสัญญาณนาฬิกาควบคุมการสแกน มาควบคุมและรวมข้อมูลที่ได้รับจากการสวิตช์ช่องสัญญาณต่างๆเข้าด้วยกันกับสัญญาณซิงค์ ทำการมัลติเพล็กซ์ให้อยู่ในรูปเฟรม โดยการมัลติเพล็กซ์จะมีช่องสัญญาณอินพุตอยู่ 2 ช่องสัญญาณ ป้อนเข้ากับแอนด์เกต โดยจะนำสัญญาณที่ได้จากเอาต์พุตของแอนด์-เกตมาผ่านออร์เกต ซึ่งจะได้เป็นเอาต์พุตของวงจรมัลติเพล็กซ์

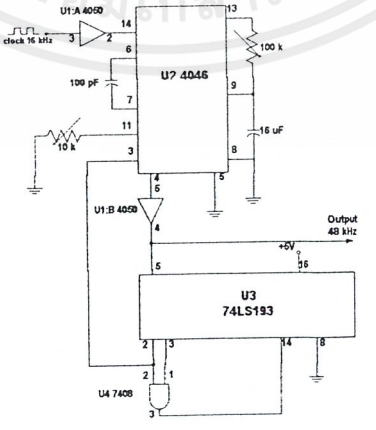
วงจรมัลติเพล็กซ์แสดงได้ดังรูปที่ 3.15



รูปที่ 3.15 วงจรมัลติเพล็กซ์โดยวิธีทีดีเอ็ม

3.4.3 วงจรส่วนสร้างสัญญาณนาฬิกาสำหรับการมัลติเพล็กซ์

วงจรส่วนนี้จะทำการสร้างสัญญาณนาฬิกาเพื่อใช้สำหรับการมัลติเพล็กซ์ โดยสัญญาณนาฬิกาที่นำมาใช้นี้มีความถี่ 48 kHz ซึ่งจะนำสัญญาณนาฬิกา 16 kHzที่ใช้สำหรับวงจรแปลงสัญญาณเสียงอนาล็อกเป็นข้อมูลดิจิตอล มาผ่านวงจรเฟสล็อกลูปเพื่อสร้างเป็นสัญญาณนาฬิกา 48 kHz ตามต้องการซึ่งรูปวงจรแสดงได้ดังรูปที่ 3.16



รูปที่ 3.16 วงจรสร้างสัญญาณนาฬิกา 48kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจรดีมัลติเพล็กซ์

สำหรับวงจรดีมัลติเพล็กซ์ที่สร้างขึ้น จะอาศัยหลักการที่เสนอไว้ดังบทที่ 2 ซึ่งการทำงานของวงจรแบ่งออกได้เป็น 3 ส่วน คือ

1. ส่วนการแยกสัญญาณซิงค์
2. ส่วนกู้สัญญาณนาฬิกาและควบคุมการซิงโครไนซ์ในการสแกน
3. ส่วนการสวิตช์สัญญาณ

3.5.1 ส่วนการแยกสัญญาณซิงค์

ในส่วนนี้ จะทำหน้าที่ในการแยกสัญญาณซิงค์ออกจากสัญญาณทีดีเอ็ม ซึ่งจะให้เอาต์พุตเป็นพัลส์ของสัญญาณซิงค์ และทำให้สัญญาณซิงค์มีเฟสตรงกันกับสัญญาณทีดีเอ็ม

3.5.2 ส่วนกู้สัญญาณนาฬิกาและควบคุมการซิงโครไนซ์ในการสแกน

ในส่วนนี้ จะทำหน้าที่ในการสร้างสัญญาณนาฬิกาของภาครับให้มีความถี่,เฟส ตรงกันกับทางด้านภาคส่ง โดยใช้หลักการของเฟสล็อกลูป

3.5.3 ส่วนการสวิตช์สัญญาณ

ในส่วนนี้ จะทำหน้าที่ในการสแกนช่องสัญญาณทางด้านรับให้ตรงกันกับการสแกนทางด้านส่ง โดยมีสัญญาณซิงค์เป็นตัวควบคุม ซึ่งจะให้เอาต์พุตที่ช่องสัญญาณด้านรับตรงกับที่อินพุตของช่องสัญญาณทางด้านส่ง

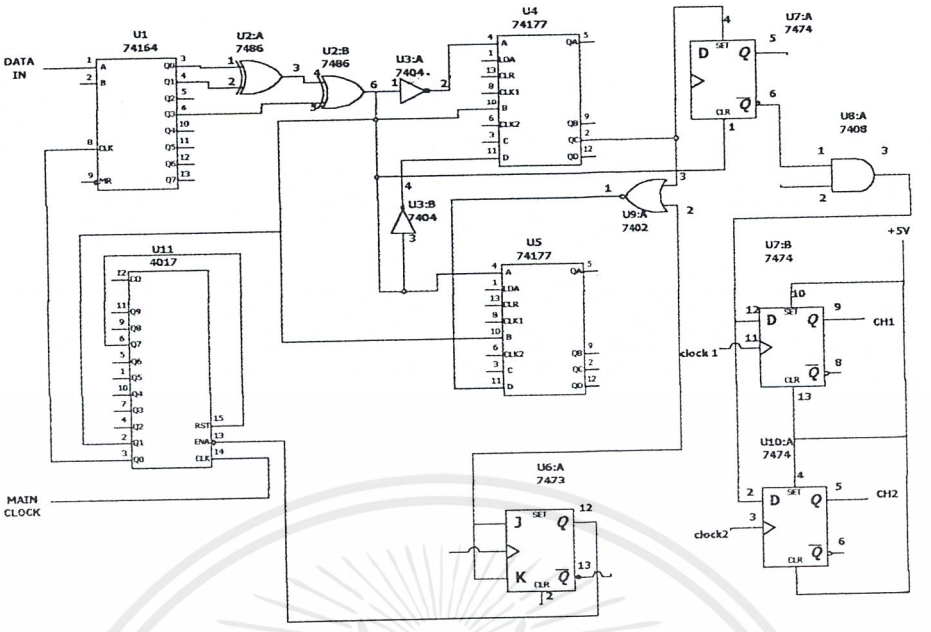
วงจรดีมัลติเพล็กซ์ที่สร้างขึ้นดังรูปที่ 3.16 สามารถอธิบายการทำงานของวงจรได้ดังดังนี้

จากรูปที่ 3.16 จะเห็นว่า สัญญาณอินพุตซึ่งเป็นสัญญาณทีดีเอ็มที่ได้รับมาจากทางด้านส่ง จะถูกป้อนเข้าไอซีชิฟรีจิสเตอร์เบอร์ 74164 ซึ่งเป็นส่วนของการตรวจสอบซิงค์เวิร์ด และการซิงโครไนซ์ ดังที่ได้อธิบายการทำงานของส่วนนี้มาแล้ว นอกจากนี้ ในวงจรยังมีส่วนที่มีการบวกแบบมอดูโล 4 และ มอดูโล 8 โดยทั้ง 2 จะเป็นตัวตรวจสอบว่าสัญญาณซิงค์เวิร์ดตรงกันกับของทางด้านส่งหรือไม่ เมื่อตรวจสอบได้ว่าไม่ตรงกัน จะทำให้เกิดพัลส์ที่ฟลิปฟลอป2 (U6:A) เพื่อกระตุ้นไอซีจอห์นสันเคาน์เตอร์เบอร์ 4017 ให้ทำการหน่วงเวลาไป 1 ช่วงเวลา เป็นผลให้สัญญาณทางด้านอินพุตและเอาต์พุตตรงกัน โดยไอซีเบอร์ 4017 นี้ จะต้องทำงานด้วยความถี่สัญญาณนาฬิกาเท่ากับความถี่ที่ใช้ในการสแกนช่องสัญญาณใน วงจรมัลติเพล็กซ์ รวมทั้งเฟสของสัญญาณนาฬิกาควรใกล้เคียงกันมากที่สุดด้วย เพื่อให้หน้าที่ของมันในการแยกข้อมูลดิจิตอลออกไปช่องสัญญาณเอาต์พุตในวงจรดีมัลติเพล็กซ์ทำได้ถูกต้อง ดังนั้นสัญญาณนาฬิกาที่ป้อนให้ไอซีนี้ ควรเป็นสัญญาณนาฬิกาที่ได้มาโดยการกู้มาจากสัญญาณทีดีเอ็มทางด้านส่ง ในที่นี้จะใช้วงจรกู้สัญญาณนาฬิกา โดยอาศัยหลักการเฟสล็อกลูปทำหน้าที่นี้

3.5.4 วงจรกู้สัญญาณนาฬิกา

ในการส่งและรับข้อมูล จำเป็นอย่างยิ่งที่จะต้องทำให้ทางด้านส่งและด้านรับทำงานด้วยความสัมพันธ์กัน(Synchronize) ดังนั้นจังหวะในการทำงานซึ่งอาศัยการสัญญาณนาฬิกาจะต้องตรงกันทั้งทางด้านส่งและด้านรับ โดยทั่วไปแล้วทางด้านรับจะทำการกู้สัญญาณนาฬิกาจากข้อมูลที่ทางด้านส่งได้ส่งออกไป วิธีการดังกล่าวนี้จะอาศัยวงจรเฟสล็อกลูปเพื่อทำการกู้สัญญาณนาฬิกากลับคืนมา

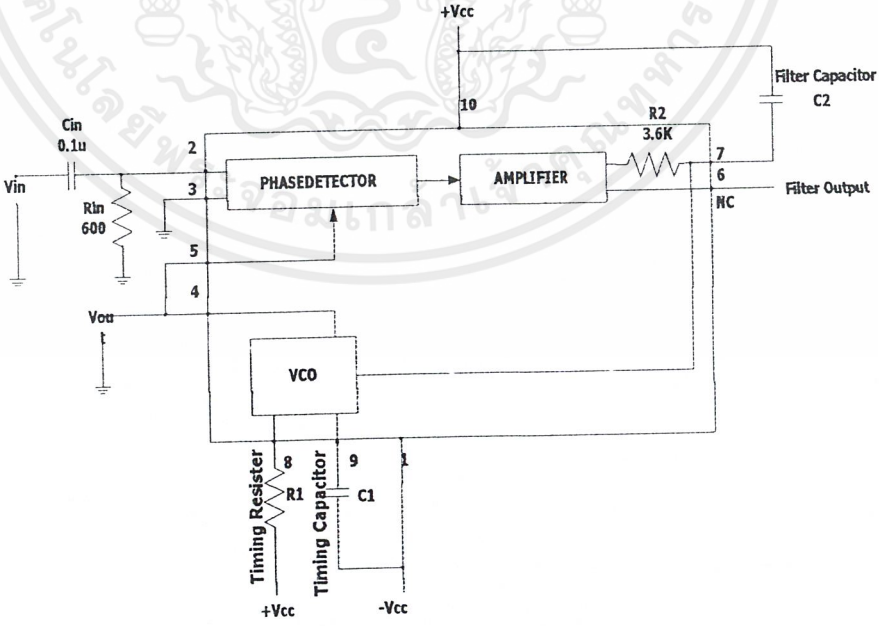
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 วงจรดีมัลติเพล็กซ์

3.6 การออกแบบวงจรเฟสล็อกลูป

ในโครงงานนี้ ภาครับจะต้องกู้สัญญาณนาฬิกาจากข้อมูลที่รับมาจากทางด้านส่ง ที่อัตราการส่งข้อมูล 48 กิโลบิตต่อวินาที ดังนั้นต้องกู้สัญญาณนาฬิกาความถี่ 48 กิโลเฮิรตซ์ออกมาจากข้อมูล เพื่อที่จะป้อนให้กับวงจรดีมัลติเพล็กซ์ต่อไป



รูปที่ 3.18 วงจรเฟสล็อกลูป่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปวงจรรูปที่ 3.18 จะใช้ไอซีเบอร์ LM565 ซึ่งไอซีนี้จะใช้กับไฟเลี้ยงทั้งบวกและลบ มีค่าอยู่ระหว่าง แรงดัน ± 5 โวลต์ ถึง ± 12 โวลต์

พิสัยการล็อก คือ ช่วงความถี่ของ V_{in} ที่อยู่รอบๆความถี่ศูนย์กลางที่วิ่งได้อิสระของออสซิลเลเตอร์ที่ควบคุมด้วยแรงดันไฟฟ้า (VCO) มีค่า $\pm 60\%$ เมื่อ $\pm V = \pm 6$ โวลต์

การล็อกเกิดขึ้นได้ เราจะต้องจูน VCO ให้มีความถี่ใกล้เคียงกับความถี่ของ V_{in} ที่การล็อกยังคงเกิดขึ้น ซึ่งเรียกว่า พิสัยแคปเจอร์ (Capture Range) ตามปกติ VCO ควรได้รับการจูนให้มีความถี่ใกล้เคียงกับความถี่ศูนย์กลางของพิสัยการล็อกด้วยการปรับค่าไทม์มิ่งของความต้านทาน R1

พิสัยแคปเจอร์กำหนดได้โดยค่าคงที่ทางเวลา RC ของวงจรฟิลเตอร์ ซึ่งประกอบด้วย C_2 และความต้านทานภายใน 3600 โอห์ม

สูตรการออกแบบ

1. ความถี่ศูนย์กลางของ VCO

   $f_0 = 0.3/R_1C_1$ Hz

2. พิสัยการล็อก

   $f_L = 8f_0/Vcc$ Hz

3. พิสัยแคปเจอร์

   $f_c = (1/2\pi)(2\pi f_L/t)$ Hz

เมื่อ t เท่ากับ $3600 \times C_2$

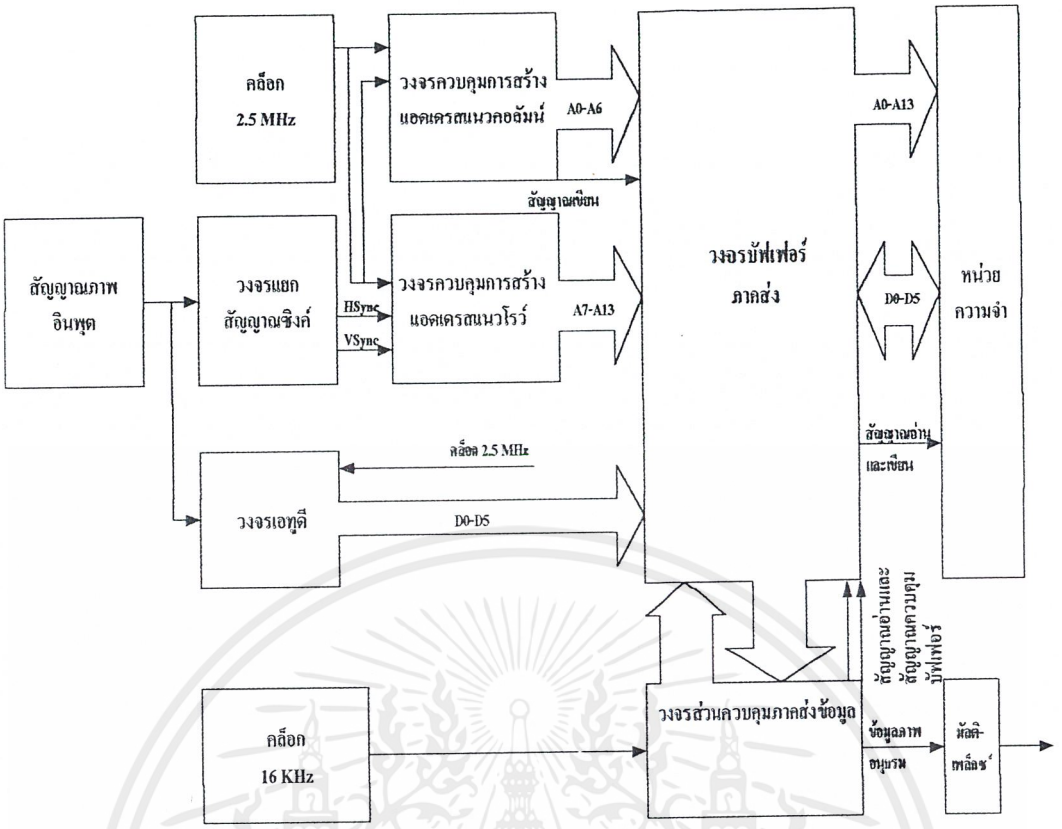
ในโครงงานนี้ f_0 มีค่า 48 kHz จากสูตรที่ 1 เราเลือก ค่า$C_1 = 0.001$ uF เราจะได้ค่า $R_1 = 6.3$ k

อนึ่ง วงจรแปลงข้อมูลดิจิตอลให้เป็นข้อมูลเสียงและภาพ จะใช้สัญญาณนาฬิกา 16kHz ดังนั้น เราจะมีวงจรเฟสล็อกลูปอีกชุดหนึ่ง ทำการกู้สัญญาณนาฬิกา เพื่อป้อนกลับให้วงจรดังกล่าวด้วย โดยกระทำเช่นเดียวกันกับวิธีดังกล่าว เราจะได้ค่า $R_1 = 18.7$ k เมื่อเลือกค่า $C_1 = 0.001$ uF เวลา ปฏิบัติจริง ควรจะเลือกค่าความต้านทานที่ปรับค่าได้ เพื่อปรับค่าความต้านทานให้วงจรเฟสล็อกลูปมีความถี่ตรงกับความถี่ที่ต้องการได้

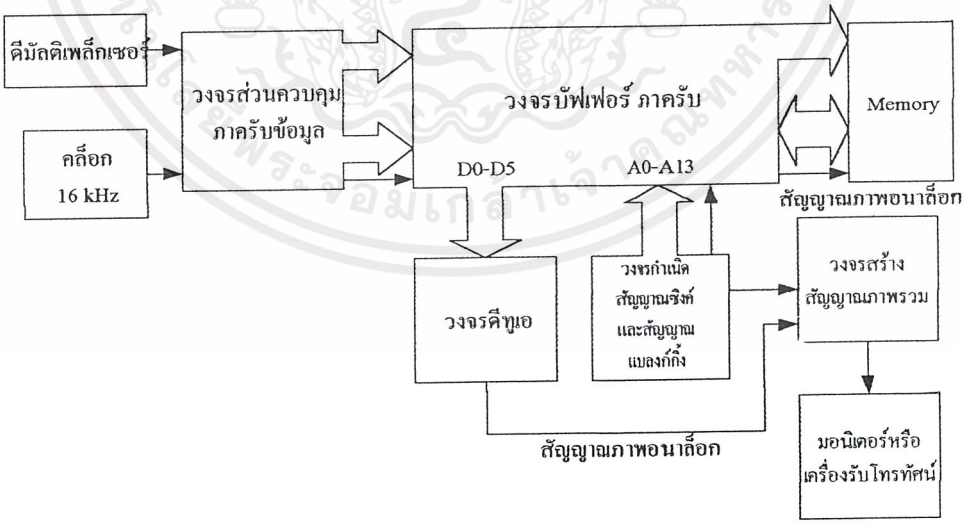
3.7 <u>การทำงานของวงจรส่งและรับข้อมูลภาพดิจิตอล</u>

บล็อกไดอะแกรมการทำงานของวงจรส่งและรับข้อมูลภาพดิจิตอลแสดงดังรูปที่ 3.19 และ 3.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 บล็อกไดอะแกรมภาคส่งข้อมูลภาพดิจิตอล



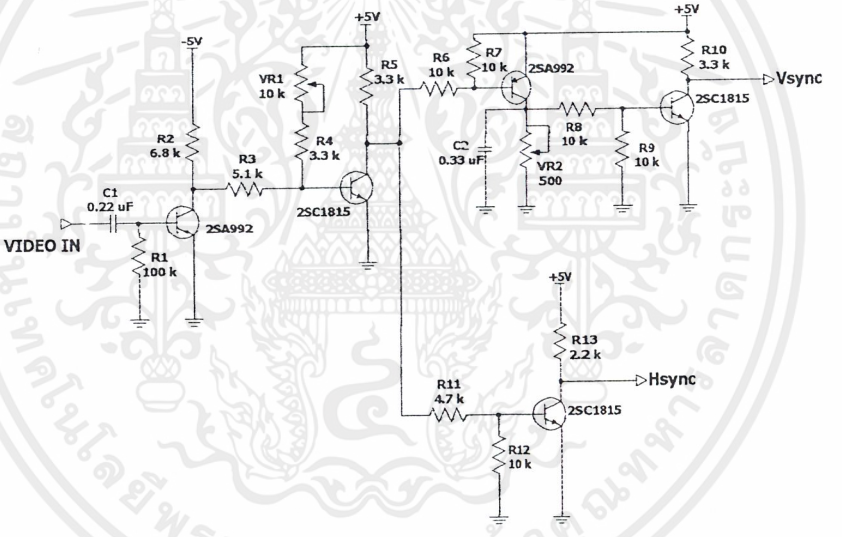
รูปที่ 3.20 บล็อกไดอะแกรมภาครับข้อมูลภาพดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการทำงาน จะอธิบายตามรูปบล็อกไดอะแกรมที่แสดงในรูปที่ 3.19 และ 3.20 ซึ่งแต่ละส่วนมีรายละเอียดดังนี้

3.7.1 วงจรแยกสัญญาณซิงค์

วงจรแยกสัญญาณซิงค์ จะทำหน้าที่แยกสัญญาณซิงค์ออกไปจากสัญญาณภาพ และทำการแยกสัญญาณซิงค์ที่ได้ ออกเป็นสัญญาณซิงค์แนวนอนและสัญญาณซิงค์แนวตั้ง เพื่อนำสัญญาณซิงค์ที่ได้นี้ไปใช้ในการควบคุมระบบ สำหรับในส่วนของการแยกสัญญาณซิงค์ออกจากสัญญาณภาพ จะอาศัยระดับสัญญาณเป็นตัวเปรียบเทียบ โดยใช้วงจรแยกระดับสัญญาณซึ่งมีตัวต้านทานปรับค่าได้ 10 กิโลโอห์มเป็นตัวปรับระดับสัญญาณที่มีอยู่ในช่วงสัญญาณซิงค์ ก็จะผ่านออกมา ในที่นี้จะเรียกสัญญาณที่ได้นี้ว่า ทีวีซิงค์ (TV Sync) สัญญาณนี้จะประกอบด้วยสัญญาณซิงค์แนวตั้งและสัญญาณซิงค์แนวนอน โดยทั้งสองสัญญาณนี้มีความถี่แตกต่างกันมาก เมื่อส่งผ่าน สัญญาณทีวีซิงค์ เข้าวงจรอินทิเกรเตอร์และวงจรดิฟเฟอเรนทิเอเตอร์ ก็สามารถแยกสัญญาณทั้งสองให้ออกจากกันได้ สำหรับสัญญาณซิงค์แนวนอนมีความถี่สูงมาก (15625 Hz) จะแยกออกมาได้ในส่วนเอาต์พุตของวงจรดิฟเฟอเรนทิเอเตอร์และสัญญาณซิงค์แนวตั้งซึ่งมีความถี่ต่ำมาก (50Hz) ก็จะแยกออกมาในส่วนเอาต์พุตของวงจรอินทิเกรเตอร์



รูปที่ 3.21 วงจรแยกสัญญาณซิงค์

3.7.2 วงจรควบคุมการสร้างแอดเดรสแนวโรว์

การทำงานของวงจรควบคุมการสร้างแอดเดรสแนวโรว์ รูปที่ 3.22 โดยย่อ

-ดีเลย์ $\overline{H}sync$ (สัญญาณซิงค์ทางแนวนอน : Horizontal Sync) ที่ผ่านอินเวอร์เตอร์เกต 16 ลูกแรกก่อน

-นำ $\overline{H}sync$ มาป้อนเข้าวงจรเคาน์เตอร์ โดยเลือกเอา $\overline{H}sync$ ลูกหนึ่งแล้วเว้นไปอีกลูกหนึ่ง เพื่อเลือก $\overline{H}sync$ ลูกต่อไป

-ทำการนับ $\overline{H}sync$ ที่เลือกมาจนครบ 128 ลูก(จะได้เส้นภาพ 128 เส้น โดยเส้นภาพที่ได้จะเป็นแบบเส้นเว้นเส้น)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-ให้เอาต์พุต1ถึงเอาต์พุต5 (A_7-A_{13}) ของเคาน์เตอร์ที่ทำการนับเป็นสัญญาณที่ใช้ป้อนเข้าขาแอดเดรสของแรมในการอ้างอิงถึงตำแหน่งเส้นภาพ

รายละเอียดการทำงานของวงจรตามรูปที่ 3.22

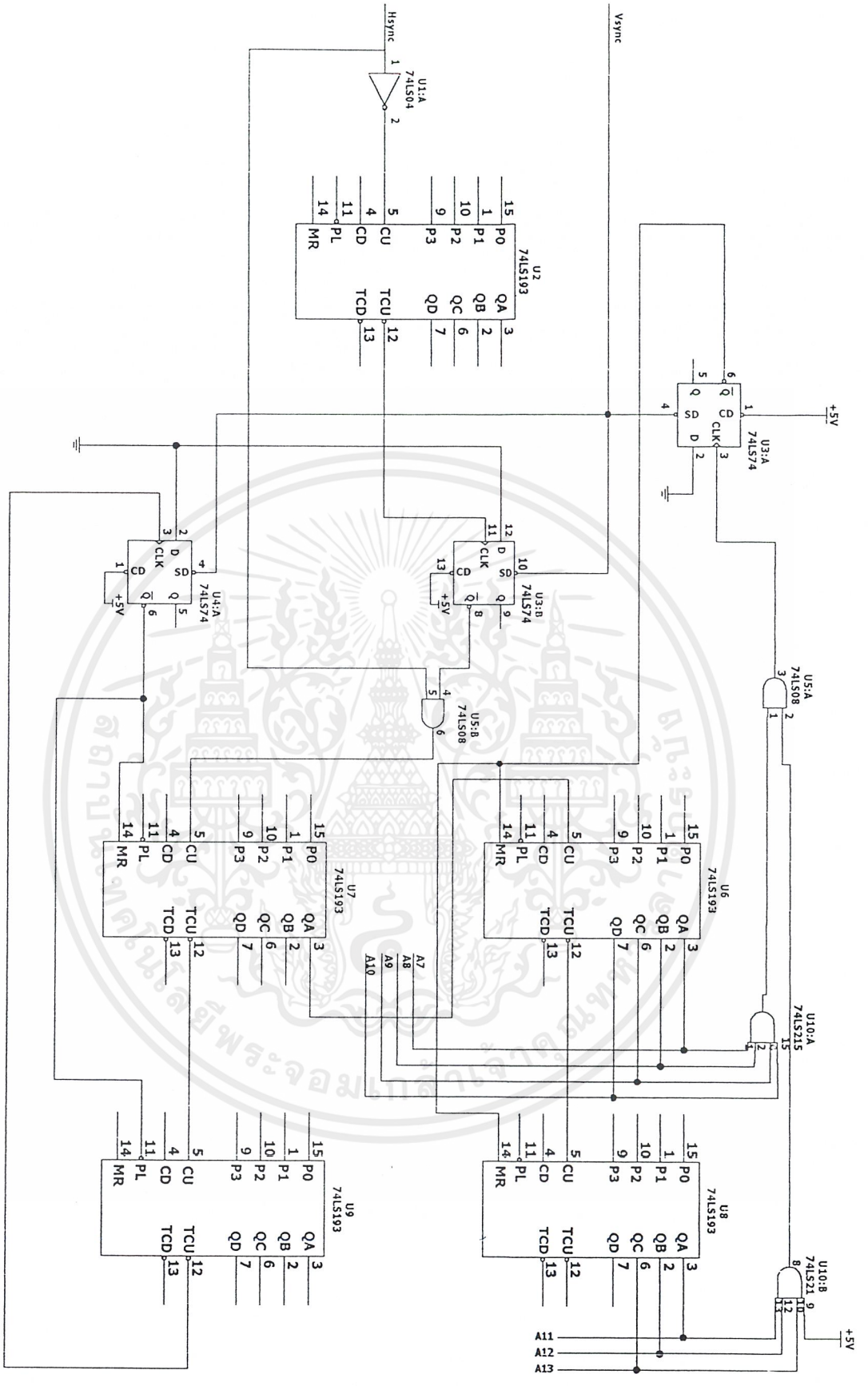
นำสัญญาณซิงค์แนวนอน และสัญญาณซิงค์แนวตั้ง ที่แยกมาแล้วจากสัญญาณภาพมาเป็นสัญญาณควบคุม โดยช่วงเวลาของสัญญาณภาพ 1 ภาพ อาศัยวีซิงค์(Vsync) 1 ลูก เป็นตัวกำหนด เมื่อวีซิงค์ที่เข้ามามีค่าลอจิกเป็น "0" จะเป็นการบอกให้ทราบว่า ได้เริ่มต้นสแกนฟิลด์ใหม่ ซึ่งกระตุ้นให้ฟลิปฟลอป1 (U3:B) ,ฟลิปฟลอป2(U4:A),ฟลิปฟลอป4(U3:A) ถูกพรีเซ็ตให้มีค่าเอาต์พุต Q ของมันเหล่านี้เป็นลอจิก "1"

เนื่องจากช่วงแรกของสัญญาณเป็นช่วงที่ไม่จำเป็นต้องใช้ เพื่อให้ได้สัญญาณเฉพาะช่วงที่ปรากฏออกมอนิเตอร์เท่านั้น จึงนำ ช่วงแรกๆที่เมื่อสแกนแล้วจะไม่เห็นบนจอตัดทิ้งไป 16 เส้น โดยใช้ไอซี ซิงโครนัส อัพ ดาวน์ไบนารี่ เคาน์เตอร์ เบอร์ 74LS193

ดังนั้นเมื่อสิ้นสุดช่วงระยะเวลาที่สัญญาณซิงค์ทางแนวตั้งมีลอจิกเป็น "0" แล้ว เคาน์เตอร์ก็จะทำการนับ (เป็นช่วงระยะเวลาของสัญญาณภาพ 1 เส้น) เมื่อครบ 16 ลูกแรก ก็จะกระตุ้นให้ฟลิปฟลอป1มีค่าเอาต์พุต Q_1กลับมาเป็น "0"และค่า Q_1มีค่าลอจิก เป็น "1" $\overline{Q_1} \cdot \overline{H}sync$ จะเป็นอินพุตของเคาน์เตอร์1 (U7) ซึ่งจะเริ่มนับหลังจาก $\overline{H}sync$ 16 ลูกแรกผ่านพ้นไปแล้ว เคาน์เตอร์ตัวนี้และเคาน์เตอร์2(U9) จะทำการนับ $\overline{H}sync$ ต่อไปอีก จนกระทั่งครบ 256 ลูก เอาต์พุต C_0 (สัญญาณทด)ของเคาน์เตอร์2 จะกระตุ้นให้ฟลิปฟลอป2มีเอาต์พุตQ_2เป็นลอจิก "1" เกิดสัญญาณที่ทำการเคลียร์เคาน์เตอร์1และเคาน์เตอร์2ให้หยุดการนับ จนกระทั่ง มีลอจิกกลับมาเป็น "0" อีกครั้ง (เริ่มต้นฟิลด์ใหม่) สภาวะการเคลียร์ของเคาน์เตอร์ทั้งสองจึงหายไป และเนื่องจากโครงงานนี้จะเลือกเส้นภาพแบบเส้นเว้นเส้น และทำการสแกนแบบก้าวหน้า (Progressive Scanning) บนจอโทรทัศน์ทางด้านรับ ดังนั้นเอาต์พุตQ_A ของเคาน์เตอร์1จึงถูกนำไปใช้เป็นอินพุตของเคาน์เตอร์3 (U6) โดยที่เอาต์พุตQ_Aนี้จะได้สัญญาณ $\overline{H}sync$ / 2 ซึ่งก็คือสัญญาณ Hsyncที่ถูกเลือกแบบเส้นเว้นเส้น เคาน์เตอร์3ได้รับสัญญาณ $\overline{H}sync$ / 2 ก็จะทำการนับร่วมกับเคาน์เตอร์4(U8) เมื่อนับ จนครบ128 ลูกแล้ว จะกระตุ้นให้ฟลิปฟลอป4มีเอาต์พุตQ_4เป็น "0" และเป็น "1" ส่งผลให้เกิดการเคลียร์เคาน์เตอร์3และเคาน์เตอร์4ให้หยุดนับ จนกระทั่งสัญญาณ Vsync มีลอจิกกลับมา เป็น "0" อีกครั้งหนึ่ง จึงจะเริ่มต้นการนับสัญญาณ ใหม่ $\overline{H}sync$ / 2

การนำ มาใช้โดยเลือกเอาลูกหนึ่งเว้นลูกหนึ่งนี้ ป้อนให้เคาน์เตอร์ทำการนับ เพื่อสร้างสัญญาณแอดเดรสในการเขียนข้อมูลภาพที่รับมาจากวงจรเอทูดีแบบแฟลชลงในหน่วยความจำ เมื่อส่งข้อมูลที่เก็บไว้ออกไปยังทางด้านรับ จะเป็นผลให้ภาพที่แสดงออกบนจอโทรทัศน์ด้านรับมีเส้นภาพที่เรียงกันแบบไม่ต่อเนื่อง (ผลจากการเลือกเส้นภาพต้นฉบับแบบเส้นเว้นเส้น) แม้ทำให้ภาพมีความใกล้เคียงกับภาพต้นฉบับน้อยลงบ้าง แต่ก็จะได้ภาพที่มีรายละเอียด ครอบคลุมเนื้อที่มาก และเป็นการประหยัดหน่วยความจำในการเก็บข้อมูล รวมทั้งสามารถส่งข้อมูลภาพแต่ละภาพได้เร็วขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.22 วงจรควบคุมการสร้างแอดเดรสแนวโรว์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7.3 วงจรควบคุมการสร้างแอดเดรสแนวคอลัมน์

วงจรควบคุมการสร้างแอดเดรสแนวคอลัมน์ ดังรูปที่ 3.23 สามารถอธิบายการทำงานได้ดังนี้ การสร้างสัญญาณแอดเดรสแนวคอลัมน์ จะต้องนำ Hsync มาดีเลย์ก่อน เพื่อตัดสัญญาณช่วงแรกของ $\overline{H}sync$ นี้ออกไป เพราะในช่วงแรกของสัญญาณนี้จะรวมเอาสัญญาณเบิรสท์เข้าไว้ด้วย เนื่องจากไม่จำเป็นต้องใช้สัญญาณเบิรสท์เพราะเป็นสัญญาณควบคุมสี ในที่นี้ต้องการเพียงข้อมูลภาพขาวดำ เพื่อไม่ให้เปลืองเนื้อที่หน่วยความจำ จึงตัดสัญญาณเบิรสท์ทิ้งเสีย โดยใช้ไอซีโมโนสเตเบิลมัลติไวเบรเตอร์ เบอร์ 74221 เป็นตัวดีเลย์ จากนั้นนำสัญญาณที่ได้มาทำการแอนด์กับสัญญาณนาฬิกาความถี่ 2.5 MHz สัญญาณนาฬิกานี้ผ่านไปยังอินพุตของแอนด์เกตได้ก็ต่อเมื่อ และ มีค่าลอจิกเป็น "1"ทั้งคู่ ผลของการแอนด์ ทำให้ได้สัญญาณนาฬิกาที่อยู่ในช่วง $\overline{H}sync$ 1 ลูก ซึ่งปราศจากสัญญาณเบิรสท์ โดยจะนำไปใช้ในการป้อนเป็น อินพุตให้กับเคาน์เตอร์ เพื่อทำการนับเอาต์พุต1 ถึงเอาต์พุต7ใช้เป็นสัญญาณแอดเดรสให้กับขาแอดเดรสของหน่วยความจำ (A_0- A_6) เมื่อเคาน์เตอร์ทำการนับจนครบ 128 เอาต์พุต1 ถึงเอาต์พุต7 (A_0- A_6) จะมีค่าลอจิกเป็น "1" ทั้งหมด ส่งผลไปกระตุ้นฟลิปฟลอป3(U3:A) ให้ขาเอาต์พุต ของมัน เป็นลอจิก "1" ทำให้เคาน์เตอร์ทั้งสองในวงจรนี้อยู่ในสภาวะเคลียร์ เมื่อสัญญาณ $\overline{H}sync$ ที่ถูกดีเลย์แล้วมีค่าลอจิกเป็น "0" และจะคอยจนกว่าสัญญาณ $\overline{H}sync$ ที่ถูกดีเลย์นี้ มีค่ากลับมาเป็นลอจิก "1" อีกครั้ง เคาน์เตอร์จึงจะเริ่มต้นทำการนับต่อไปดังที่อธิบายไว้ข้างต้น

สัญญาณควบคุมการทำงานของวงจรดังรูปที่ 3.23 นี้ สามารถสร้างขึ้นได้จากสัญญาณเอาต์พุตต่างๆของไอซีในวงจร ดังต่อไปนี้

สัญญาณควบคุมการเคลียร์ สร้างจากสัญญาณเอาต์พุต $Q_1 + \overline{Q}_4 + \overline{Q}_3 + Q_{221}$ ซึ่งจะทำการเคลียร์เมื่อสัญญาณทั้งหมดทำการออร์กันได้ค่าลอจิกเป็น "1"(สัญญาณใดสัญญาณหนึ่ง มีค่าลอจิกเป็น"1")

โดย $\overline{Q}_4$ มีค่าลอจิกเป็น "1" เมื่อนับ $\overline{H}sync$ /2 ครบ128 ลูก

Q_1 มีค่าลอจิกเป็น "1" เมื่อสแกนจบ 1 ฟิลด์ โดยมีวีซิงค์มาช่วยกระตุ้นให้ เป็น "1" ซึ่งจะเป็น "1" ตลอดช่วงเวลาที่มีวีซิงค์เกิดขึ้น จนกระทั่ง $\overline{H}sync$ ถูกนับครบ 16 ลูกแรก

$\overline{Q}_3$ มีค่าลอจิกเป็น "1" เมื่อขาเอาต์พุต1 ถึงเอาต์พุต7 (A_0- A_7)ของเคาน์เตอร์มีค่าลอจิกเป็น "1" หมด

$\overline{Q}_{221}$ มีค่าลอจิกเป็น "1" เมื่ออยู่ในช่วงเวลาที่ Hsync ซึ่งถูกดีเลย์มีค่าลอจิกเป็น "0"

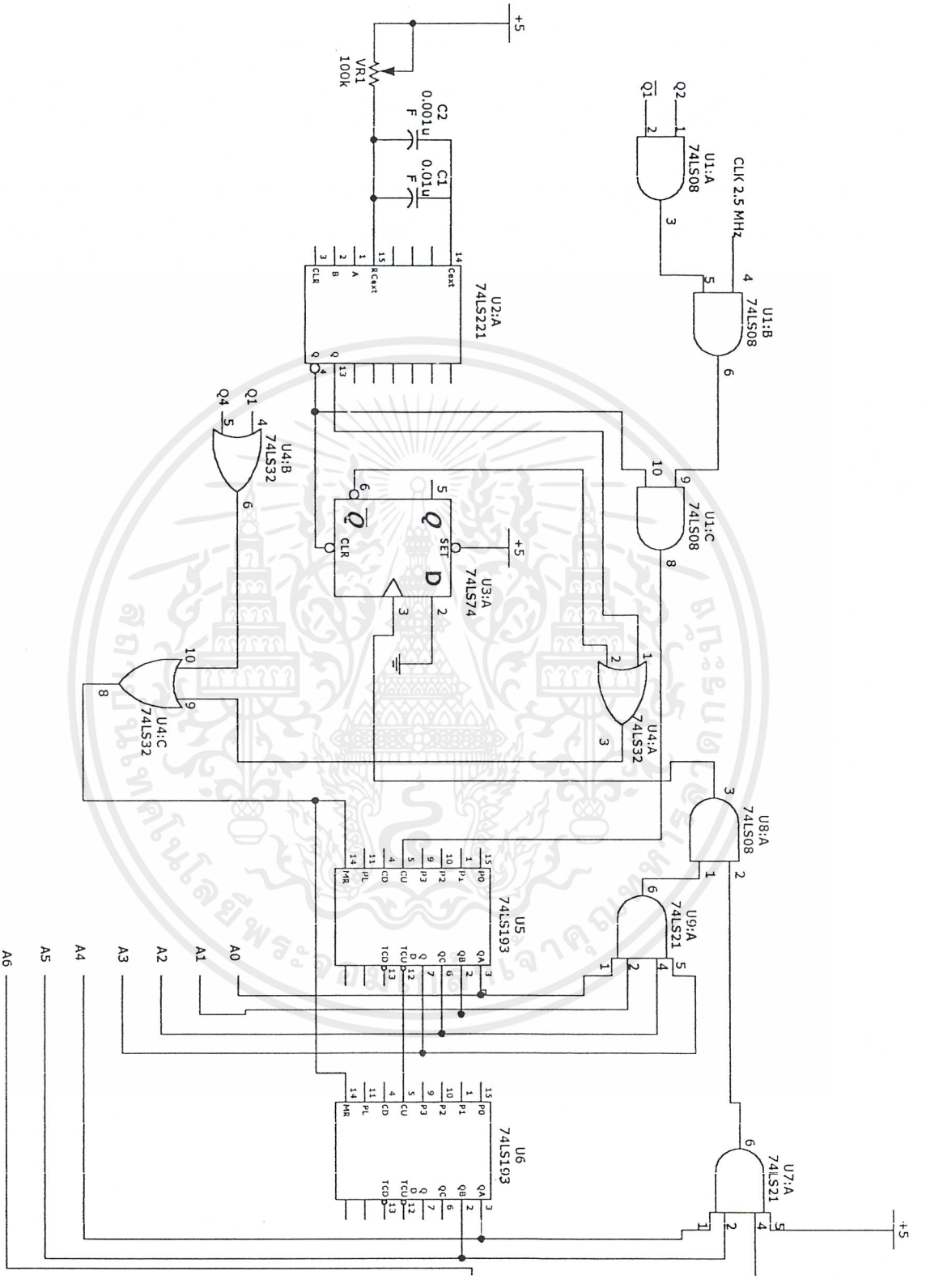
สัญญาณที่ทำหน้าที่ควบคุมการป้อนสัญญาณนาฬิกาให้กับเคาน์เตอร์ สร้างขึ้นจากสัญญาณเอาต์พุต $\overline{Q}_1 \cdot Q_2 \cdot \overline{Q}_{221}$

โดย Q_1 มีค่าลอจิกเป็น "1"เมื่อหลังจากทำการนับ ครบ16ลูกแรกแล้ว จนกระทั่งสแกนจบ 1 ฟิลด์ และมีวีซิงค์ลูกใหม่เข้ามา

Q_2 มีค่าลอจิกเป็น "1" เมื่อมีวีซิงค์ปรากฏขึ้นและคงค่าลอจิก "1"ไว้ จนกระทั่งได้ทำการนับ 16 ลูกแรก และนับ ลูกต่อไปอีก 256 ลูกจนครบแล้ว

$\overline{Q}_{221}$ มีค่าลอจิกเป็น "1"เมื่อ $\overline{H}sync$ ที่ถูกดีเลย์มีค่าลอจิกเป็น "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.23 วงจรควบคุมการสร้างแอดเดรสแนวคอลัมน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

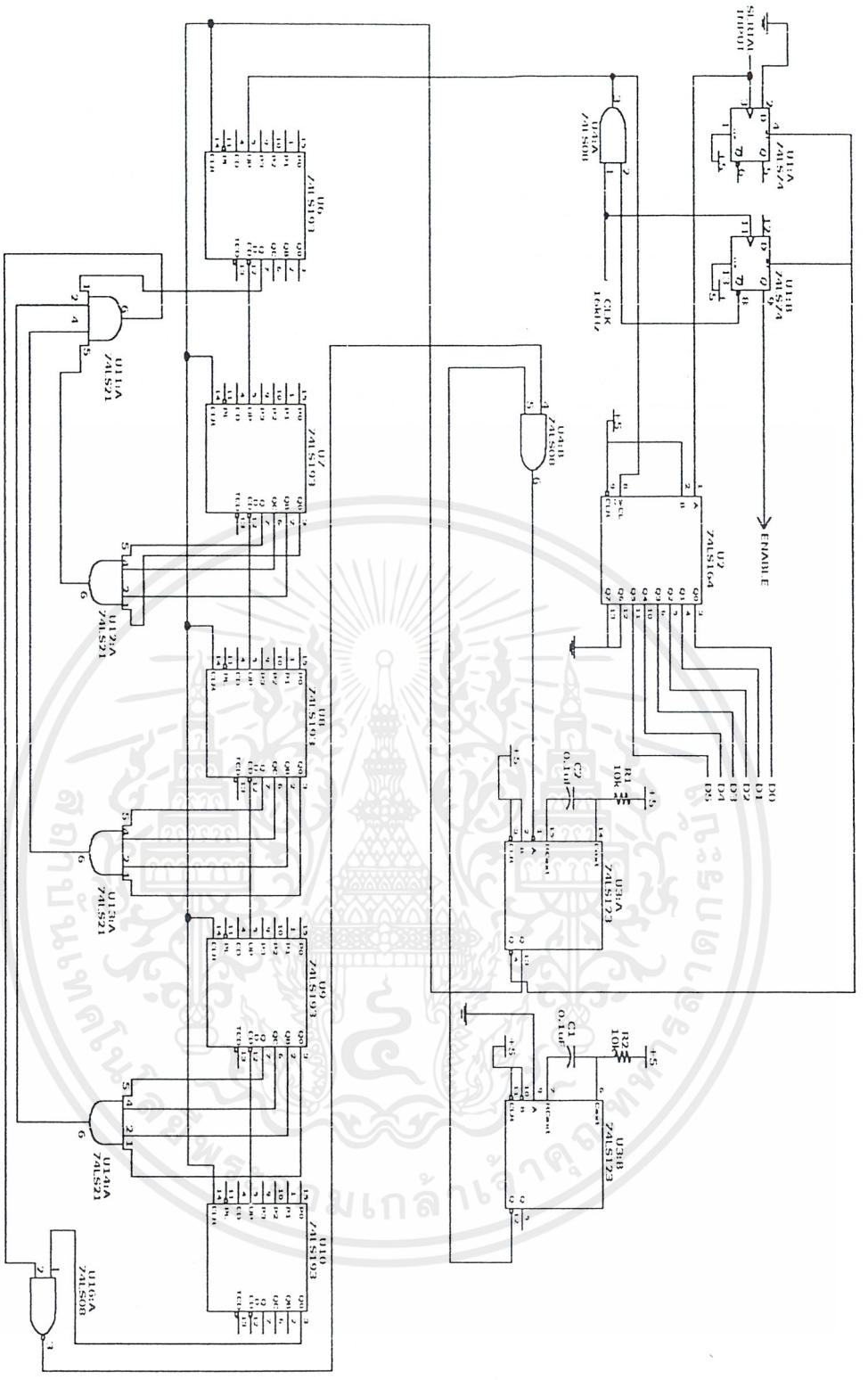
3.7.4 วงจรส่วนควบคุมภาครับข้อมูล

จากรูปวงจรรูปที่ 3.24 ฟลิปฟลอป1(U1:A) และฟลิปฟลอป2(U2:B) จะเป็นตัวตรวจจับบิตเริ่มต้น ซึ่งมาก่อนหน้าข้อมูล เมื่อตรวจจับบิตเริ่มต้นได้แล้ว ก็จะเกิดสัญญาณอีนาเบิล (สัญญาณที่ขาเอาต์พุต Q ของฟลิปฟลอป2 ซึ่งเป็นลอจิก "0") สัญญาณอีนาเบิลที่ได้นี้ใช้ในการอีนาเบิลบัฟเฟอร์ในวงจรบัฟเฟอร์ภาครับ ทำให้แอดเดรส,ข้อมูล รวมทั้งสัญญาณอ่านและเขียนข้อมูล สามารถผ่านไปยังหน่วยความจำได้ ส่วนเอาต์พุต $\overline{Q}$ ของฟลิปฟลอป2นี้ นำไปแอนด์กับสัญญาณาพิกาความถี่ 16 kHz เมื่อตรวจพบบิตเริ่มต้นแล้ว จะส่งผลให้สัญญาณนาฬิกาสามารถผ่านเข้าไปที่ขาสัญญาณของไอซีเบอร์ 74164 ในการแปลงข้อมูลอนุกรมเป็น ข้อมูลขนาน ซึ่งทำการรับข้อมูลภาพที่ส่งมาในรูปอนุกรม เข้าทางขา A ของไอซี เพื่อแปลงเป็นข้อมูลขนานไปบันทึกลงในหน่วยความจำ อาศัยการเลื่อนข้อมูลที่ทำทุกๆขาขึ้นของสัญญาณนาฬิกาที่ป้อนให้ไอซีนี้ ข้อมูลอนุกรมบิตแรกจะถูกเลื่อนไปปรากฏที่ตำแหน่งเอาต์พุต Q_H และข้อมูลอนุกรมบิตสุดท้ายถูกเลื่อนให้ไปปรากฏที่ตำแหน่งเอาต์พุต Q_A พอดี ณ เวลานี้จะได้ข้อมูลขนาน 1 เวิร์ด

สำหรับสัญญาณนาฬิกาความถี่ 16 kHz ควบคุมการทำงานของวงจรได้โดยป้อนเข้าขาสัญญาณนาฬิกาของไอซีเบอร์ 74193 โดยสัญญาณนาฬิกาคล็อก 16 kHz จะถูกป้อนให้เคาน์เตอร์ทำการนับไปจนกว่าเก็บข้อมูลอนุกรมที่ส่งมาจนครบแอดเดรสหน่วยความจำที่เรากำหนด นั่นคือเท่ากับจำนวนข้อมูลภาพซึ่งมีค่าเป็น 16K ในเลขฐานสองคือค่า "1" จำนวน 14 หลัก จะใช้สัญญาณขาเอาต์พุตของเคาน์เตอร์ทั้ง 5 ตัวที่ทำการนับสัญญาณนาฬิกาความถี่ 16 K มาเป็นสัญญาณแอดเดรสจำนวน 14 เอาต์พุต โดยในการสร้างสัญญาณแอดเดรสป้อนไปยังหน่วยความจำ ต้องมีการเปลี่ยนแปลงค่าสัญญาณ ณ ช่วงเวลาที่ข้อมูลอนุกรมถูกแปลงเป็นข้อมูลขนานครบ 1 เวิร์ดพอดี ดังนั้น เรากำหนดให้เอาต์พุต Q_D ของเคาน์เตอร์1(U5) เป็นตำแหน่งบิตนัยสำคัญต่ำสุด (A_0) ของค่าแอดเดรสเรื่อยไปจนถึงเอาต์พุต Q_Aของเคาน์เตอร์5 (U10) ให้เป็นตำแหน่งบิตนัยสำคัญสูงสุด (A_{13}) ของค่าแอดเดรส เราจะใช้แอนด์เกตเป็นตัวดีเทคแอดเดรสที่ได้นี้ เมื่อเคาน์เตอร์นับไปจนครบค่า 16Kจะดีเทคสัญญาณออกมาเป็นลอจิก "0" ส่งไปกระตุ้นไอซีเบอร์ 74123 ตัวที่1 (U3:B) ค่าเอาต์พุตที่ได้จากการแอนด์จะเป็นลอจิก "0" ส่งไปกระตุ้นไอซีเบอร์ 74123 ตัวที่2 (U3:A) เพื่อสร้างพัลส์ไปเคลียร์เคาน์เตอร์ทั้งหมดพร้อมกับพรีเซ็ตฟลิปฟลอป1และฟลิปฟลอป2 ยับยั้งไม่ให้คล็อกถูกป้อนเข้าอินพุตของเคาน์เตอร์เหล่านี้ จนกว่าจะมีการตรวจพบบิตเริ่มต้นของข้อมูลภาพชุดใหม่

สำหรับไอซีเบอร์ 74123 ตัวที่1 ทำหน้าที่กระตุ้นให้ฟลิปฟลอปทั้งสองเป็นลอจิก "1" ในตอนเริ่มต้นการทำงานของวงจรส่วนควบคุมภาครับข้อมูลนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.24 แสดงวงจรส่วนควบคุมภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

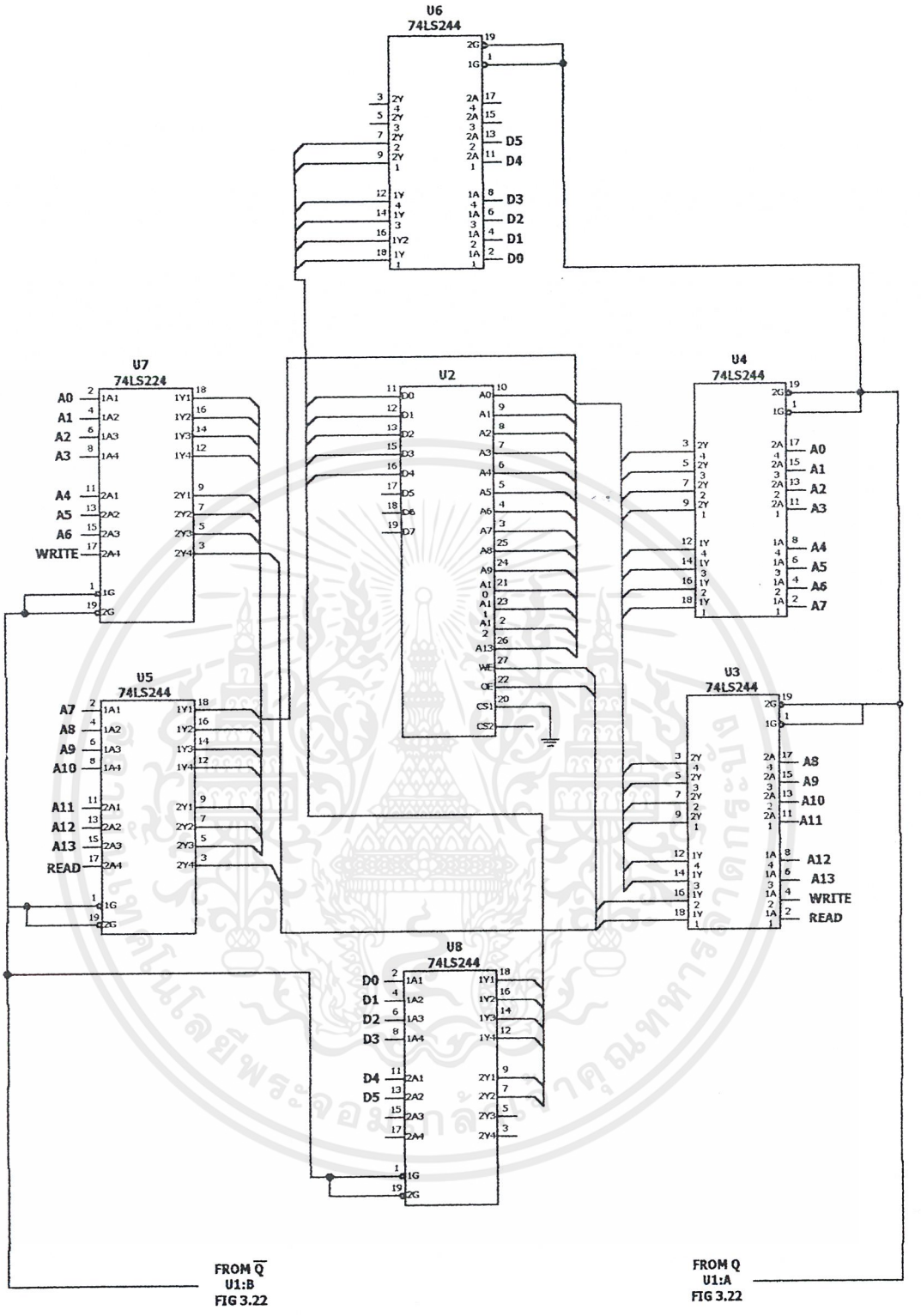
3.7.5 วงจรบัฟเฟอร์ภาครับ

วงจรบัฟเฟอร์ภาครับมีหน้าที่เช่นเดียวกันกับวงจรบัฟเฟอร์ภาคส่งคือ เป็นตัวกลางในการส่งผ่านแอดเดรส, ข้อมูล และสัญญาณอ่านเขียนข้อมูลให้กับหน่วยความจำ

จากรูปวงจรรูปที่ 3.25 ไอซีบัฟเฟอร์1(U7),บัฟเฟอร์2(U5) และบัฟเฟอร์3(U6) จะเป็นบัฟเฟอร์ให้กับวงจรส่วน ควบคุมภาครับข้อมูล เพื่อทำการส่งแอดเดรส,ข้อมูล รวมทั้งสัญญาณอ่านเขียนข้อมูลให้กับหน่วยความจำในช่วงเวลาที่ทำการบันทึกข้อมูล โดยจะนำสัญญาณเอาต์พุตทั้ง 5 ตัว จำนวน 14 เอาต์พุต จากวงจรส่วนควบคุมภาครับข้อมูลดังที่กล่าวมาแล้วมาใช้เป็นแอดเดรสและข้อมูลก็นำเอาข้อมูลขนานที่ได้จากเอาต์พุตของไอซี เบอร์ 74164 ส่วนสัญญาณเขียนข้อมูล ใช้สัญญาณจากขาเอาต์พุต Q_A ของเคาน์เตอร์ 1 ในวงจรส่วนควบคุมภาครับข้อมูล ซึ่งนำมาผ่านอินเวอร์เตอร์เกต เพื่อเป็นสัญญาณในการเขียนข้อมูลลงในหน่วยความจำ ในจังหวะเดียวกับการเปลี่ยนแอดเดรสไป 1 ครั้ง โดยทำงานที่ขอบหน้าของสัญญาณ ฉะนั้นเราจึงใช้สัญญาณ Q_A โดยตรงไม่ได้ และสัญญาณอ่านข้อมูลจะกำหนดให้เป็นสัญญาณสูง(ลอจิก "1") ตลอด บัฟเฟอร์เหล่านี้จะอีนาเบิลก็ต่อเมื่อมีการตรวจพบบิตเริ่มต้นและจะดิสเอเบิลเมื่อบันทึกข้อมูลลงหน่วยความจำครบ 16K แล้ว

สำหรับไอซีบัฟเฟอร์4 (U4) และบัฟเฟอร์5 (U5) จะทำหน้าที่ส่งแอดเดรสและสัญญาณอ่านเขียนข้อมูลให้หน่วยความจำ ในช่วงเวลาของการอ่านข้อมูลที่เก็บไว้ เพื่อทำการแสดงผลออกทางจอภาพ โดยแอดเดรสนี้นำมาจากสัญญาณเอาต์พุต Q_0- Q_1 ของไอซีเคาน์เตอร์เบอร์ 74LS161,สัญญาณเอาต์พุต Q_1- Q_5 ของไอซีเคาน์เตอร์เบอร์ 4040 ตัวที่ 1 และสัญญาณเอาต์พุต Q_1- Q_7 ตัวที่ 2 ในวงจรกำเนิดสัญญาณชิงค์และแบลงก์กิ้ง โดยใช้เอาต์พุตของไอซีเคาน์เตอร์เบอร์ 74LS161 และไอซีเคาน์เตอร์เบอร์ 4040 ตัวที่ 1 (U3) เป็นสัญญาณแอดเดรส $A_0 - A_6$ และใช้เอาต์พุตของไอซีเคาน์เตอร์เบอร์ 4040 ตัวที่ 2 (U4) เป็นสัญญาณแอดเดรส $A_7 - A_{13}$ ส่วนสัญญาณอ่านข้อมูลจะนำสัญญาณ CCLK ในวงจรกำเนิดสัญญาณชิงค์ และสัญญาณแบลงก์กิ้งที่ป้อนเข้าอินเวอร์เตอร์เกตมาใช้ และสัญญาณเขียนข้อมูล จะกำหนดให้เป็นสัญญาณสูง (ลอจิก "1") ตลอด โดยบัฟเฟอร์เหล่านี้จะอีนาเบิล เมื่อทำการบันทึกข้อมูลลงหน่วยความจำครบ 16K แล้ว และยังไม่ตรวจพบบิตเริ่มต้นของข้อมูลภาพชุดใหม่

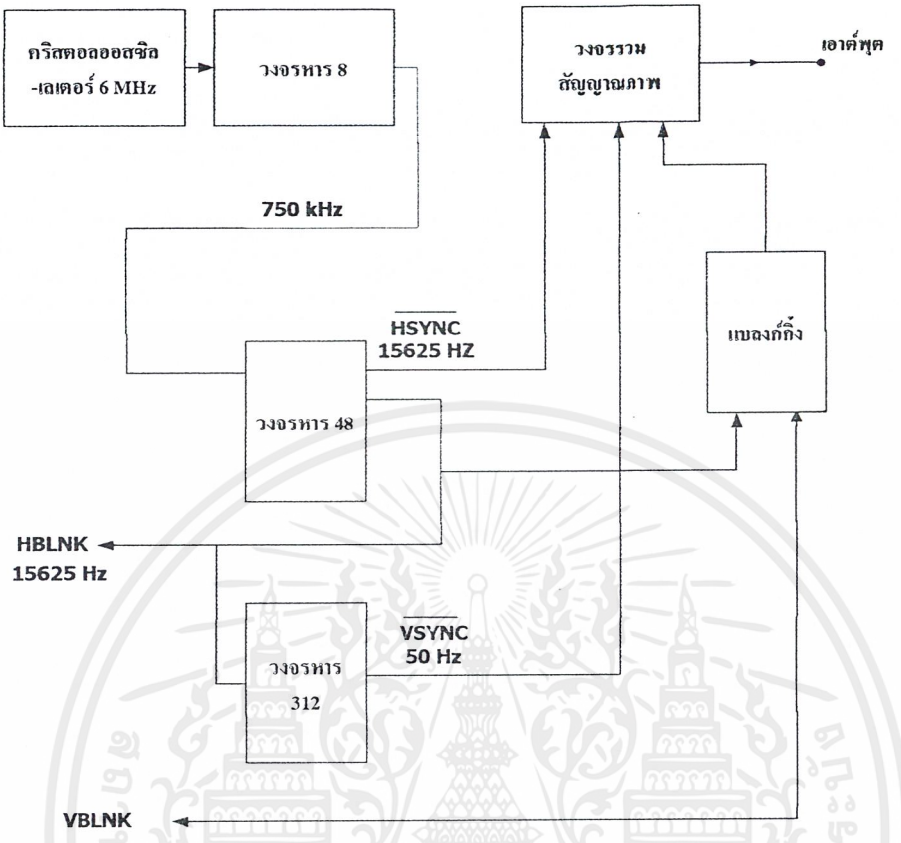
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.25 แสดงวงจรบัฟเฟอร์ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7.6 วงจรกำเนิดสัญญาณซิงค์และสัญญาณแบลงก์กิ้ง



รูปที่ 3.26 แสดงบล็อกไดอะแกรมการทำงานของวงจร

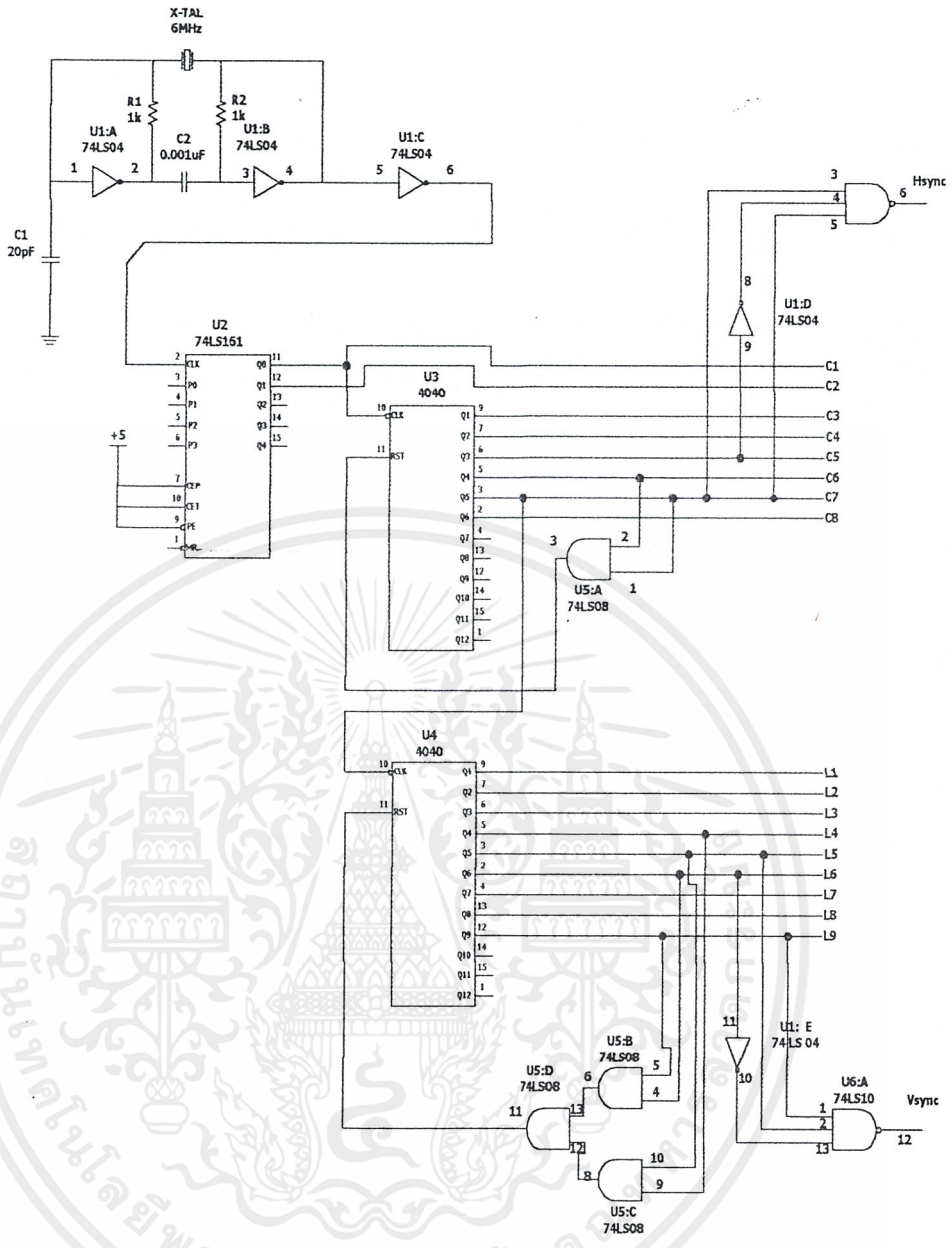
หน้าที่ของวงจรในส่วนนี้คือ การผลิตสัญญาณซิงค์และสัญญาณแบลงก์กิ้งขึ้นตามข้อกำหนดที่ใช้กันแล้ว นำไปผสมกับสัญญาณภาพที่รับมาจากด้านส่งให้ได้เป็นสัญญาณภาพรวม เพื่อนำไปป้อนให้กับมอนิเตอร์ หรือ โทรทัศน์

จากรูปที่ 3.26 จะเห็นว่าได้มีการแบ่งการทำงานของวงจรออกเป็นภาคต่างๆซึ่งการทำงานของแต่ละภาคมีดังต่อไปนี้

ภาคออสซิลเลเตอร์

เป็นคริสตอลออสซิลเลเตอร์ซึ่งทำหน้าที่ในการกำเนิดสัญญาณนาฬิกาหลักของวงจรที่ความถี่ 6 MHz แล้ว นำความถี่นี้ไปผ่านวงจรหาร 8 ให้เหลือเป็นความถี่ 750kHz แล้วนำไปหาร48อีกครั้งหนึ่ง ซึ่งจะเหลือความถี่ 15,625 Hz โดยเราจะนำความถี่นี้ไปเป็นสัญญาณ Hsync (Horizontal Sync) และจากผลของการหารในภาคนี้เอง ก็จะได้สัญญาณ HBLNK (Horizontal Blanking) ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

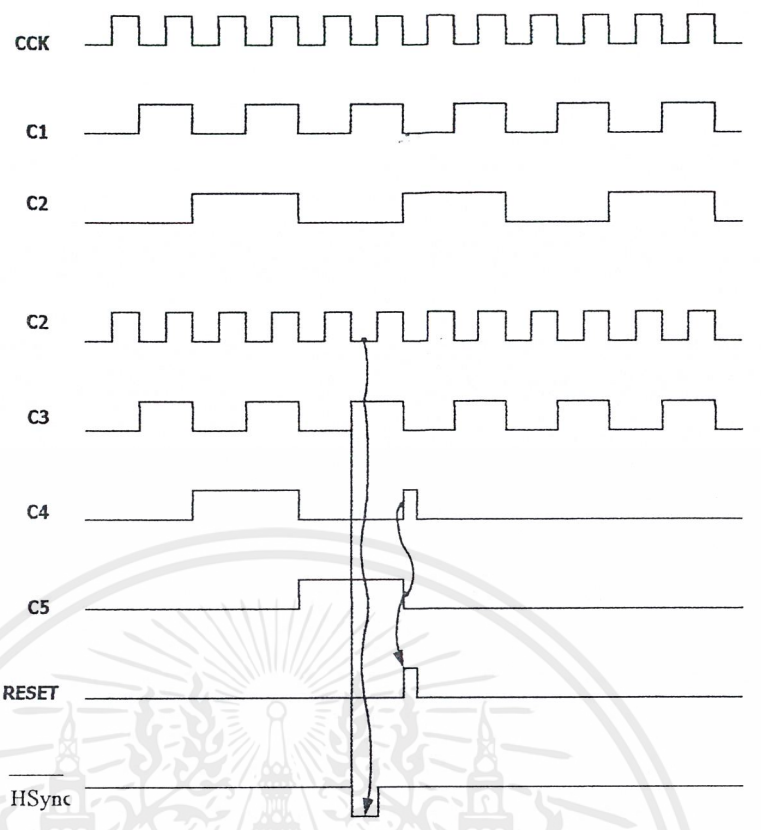


รูปที่ 3.27 แสดงวงจรกำเนิดสัญญาณซิงค์และแบลงก์กิ้ง

รายละเอียดของการสร้าง Hsync และ HBLNK

จากที่กล่าวมาแล้วข้างต้น เราต้องสร้าง Hsync ที่ความถี่ 15,625 Hz หรือ ทุกๆ 64 ไมโครวินาที และนาน 5 ไมโครวินาที (ความกว้างของพัลส์) จากสัญญาณ DCLK หาร8 มาเป็นสัญญาณ CCLK 750 kHz หรือมีคาบเวลาเท่ากับ 1.333 ไมโครวินาที เพื่อให้ได้ Hsync กับ HBLNK จากวงจรดังรูปที่ 3.26 ซึ่งจัดเป็นวงจรหาร 48 (30H) โดยนำ C_5 และ C_6 มาแอนด์กันและไปทำเป็นสัญญาณรีเซ็ตไอซีเบอร์ 4040 ตัวที่ 1(U3) ที่ต้องการลอจิก "1" ในการรีเซ็ตเราจะให้ช่วงเวลาการแสดงภาพจาก CCLK ลูกที่ 1 ถึง ลูกที่ 32 ของทุกๆ Hsync 1 ลูก เวลาที่เหลือจะเป็นการแบลงก์ พิจารณาได้จากรูปที่ 3.28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.28 ไดอะแกรมแสดงเวลาของ Hsync

สำหรับวงจรสร้าง Hsync จะใช้เกตต่อกันดังรูปที่ 3.27 เพื่อให้ได้สัญญาณ Hsync เป็นลอจิก "0" ไป 4 CCLK (คือ 4 x 1.3 = 5.2 ไมโครวินาที) ซึ่งสามารถเขียนตามพีชคณิตบูลลีนได้คือ

$$H_{sync} = \overline{C}_3 \cdot C_4 \cdot C_6$$

ส่วนคล็อกลูกที่ 33 ถึง 48 จัดให้เป็นช่วงเวลาแบลงก์ โดยต่อตรงมาจากขา C_6 ของไอซีเบอร์ 4040 ตัวที่ 2 (U4) ด้วย

รายละเอียดการสร้าง Vsync และ VBLNK

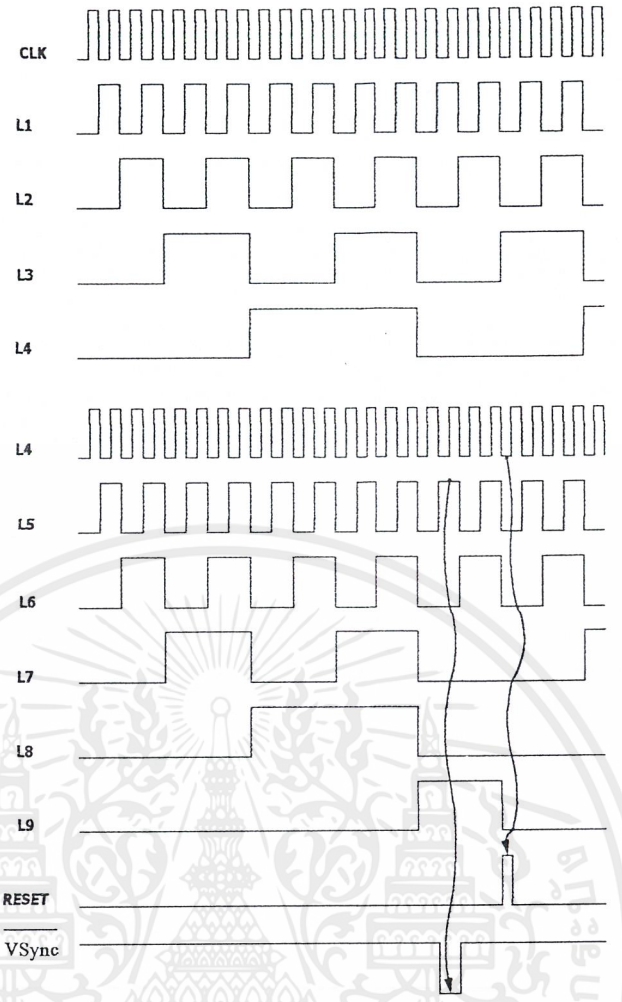
สัญญาณ Vsync นี้มีความถี่ 50 Hz คาบเวลาเท่ากับ 20 มิลลิวินาทีและนานประมาณ 1 มิลลิวินาที จากรูปที่ 3.26 จะเห็นว่าความถี่ 50.08 Hz ซึ่งใกล้เคียงกับค่ามาตรฐานและใช้ได้ ตัวหารนั้นจะใช้ไอซีเบอร์ 4040 ตัวที่ 2 โดยเลือกสัญญาณเอาต์พุตที่ได้มาต่อเข้าแนนด์เกต เพื่อให้ได้สัญญาณเวลาตามที่ต้องการ เราจะใช้ 16 CLK หรือ เท่ากับ 16 × (1/15,625) = 1.024 มิลลิวินาที ฉะนั้น ส่วนที่เหลือจะต้องแบลงก์ไว้ใช้เป็นสัญญาณ VBLNK เราสรุปการจัดสัญญาณต่างๆเขียนเป็นพีชคณิตบูลลีนได้ดังนี้

$$\text{RE}SET = L_4 \cdot L_5 \cdot L_6 \cdot L_9$$

$$VBLNK = L_9$$

$$V_{SYNC} = L_5 \cdot \overline{L}_6 \cdot L_9$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.29 แสดงไดอะแกรมเวลาของ Vsync

จะสังเกตได้ว่า มีการจัด Hsync และ Vsync อยู่ในช่วงลอจิก "0" เพื่อความสะดวกในการจัดวงจรรวมสัญญาณ เพราะระดับของสัญญาณซิงค์ในสัญญาณภาพรวมทั่วๆไปจะอยู่ในระดับแรงดัน 0 โวลต์ และจากการอินเวิร์สสัญญาณทั้งสองนี้ จะได้สัญญาณเป็น $\overline{H}_{SYNC}$ และ $\overline{V}_{SYNC}$

ดังนั้นในขณะนี้เราจะได้สัญญาณต่างๆที่จะประกอบเป็นสัญญาณภาพรวม ขาดแต่สัญญาณภาพเท่านั้นที่ต้องรับมาจากด้านส่ง และจากที่กล่าวมาทั้งหมดในการทำงานของวงจร เราสรุปที่มาของสัญญาณต่างๆได้ดังนี้

สร้าง DCLK ความถี่ 6 MHz

นำ DCLK มาหาร 8 เป็น CCLK

นำ CCLK มาหาร 48 เป็น LCLK และในวงจรหารนี้ได้จัดวงจรสำหรับ Hsync ชุดหนึ่ง ส่วน HBLNK ได้โดยตรงจากขาเอาต์พุต $Q_6(C_6)$ ของไอซีเบอร์ 4040 ตัวที่ 1

นำ LCLK มาหาร 312 เป็นความถี่ฟิลด์ (50 Hz) ในวงจรหาร 312 นี้ ได้จัดวงจรไว้สำหรับ Vsync อีกเช่นกัน ส่วน VBLNK ได้จากขาเอาต์พุต $Q_9(L_9)$ ของไอซีเบอร์ 4040 ตัวที่ 2

นอกจากนี้ ไอซีเบอร์ 74161 ,ไอซีเบอร์ 4040 ตัวที่ 1 และตัวที่ 2 ในวงจร ยังทำหน้าที่สร้างสัญญาณแอดเดรสในการอ่านข้อมูลที่เก็บไว้ในหน่วยความจำทางด้านรับ

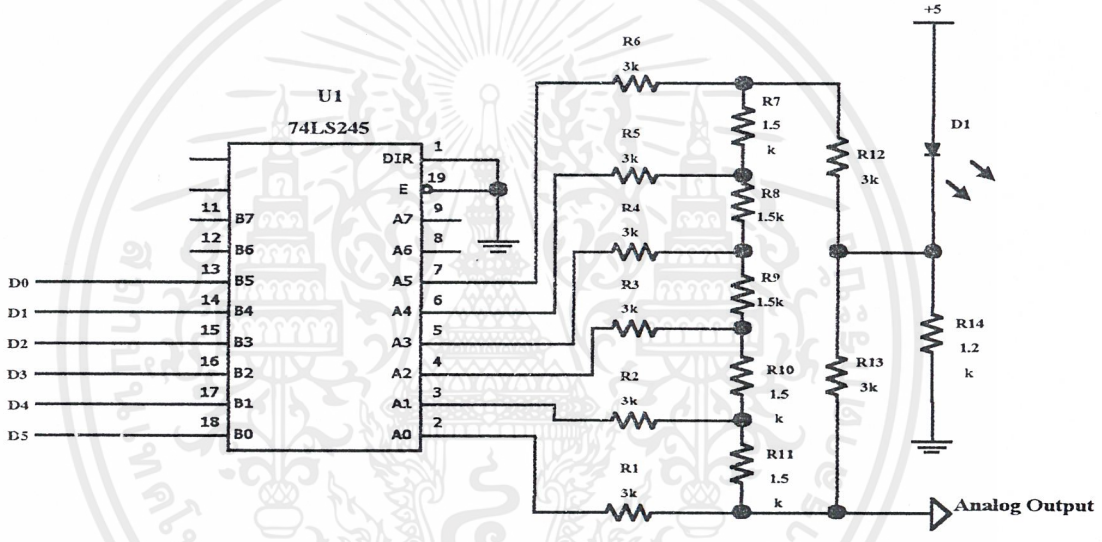
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคแบลงก์กิ้ง

จะทำหน้าที่รวมสัญญาณ HBLNK และ VBLNK เข้าด้วยกัน โดยกลับลอจิก ซึ่งอาศัยอินเวอร์เตอร์เกต เพื่อให้สัญญาณแอคทีฟในลอจิก "0" และจะใช้ดี-ฟลิปฟลอปหน่วงเวลาไป 2 CCLK ป้องกันไม่ให้ช่วงข้อมูลทางด้านขวาสุดของจอภาพหายไป ทำให้ได้ภาพกลางจอภาพพอดี ในรูปวงจรจะเรียกสัญญาณชุดนี้ว่า DSPEN (Disable Display Enable) เพื่อความสะดวกในการอ้างถึง

3.7.7 วงจรแปลงข้อมูลดิจิตอลเป็นสัญญาณอนาล็อก

วงจรนี้โดยทั่วไปเรียกว่า วงจร D/A Converter ในที่นี้จะใช้ในการแปลงข้อมูลภาพดิจิตอลที่อ่านออกมาจากหน่วยความจำ เป็นสัญญาณภาพอนาล็อก วงจร A/D Converter ที่นำมาใช้งานคือ วงจร R/2R SUMMING โดยมีไอซีบัฟเฟอร์ 74LS245 กั้นอยู่ระหว่างวงจรนี้และหน่วยความจำ ช่วยขับกระแสที่ได้จากขาข้อมูลของหน่วยความจำให้สูงขึ้น วงจรแปลงสัญญาณภาพดิจิตอลเป็นอนาล็อก แสดงดังรูปที่ 3.30



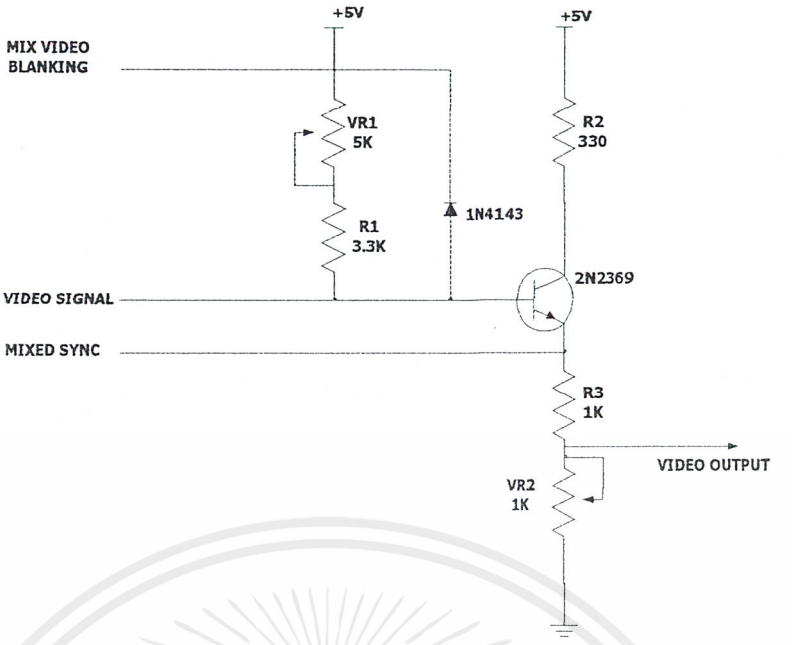
รูปที่ 3.30 แสดงวงจรแปลงสัญญาณภาพดิจิตอลเป็นอนาล็อก

3.7.8 วงจรสร้างสัญญาณภาพรวม

ในการเกิดภาพบนจอโทรทัศน์ได้นั้น นอกจากจะต้องมีสัญญาณภาพแล้ว ยังจำเป็นต้องมีสัญญาณซิงค์และสัญญาณแบลงก์กิ้งร่วมด้วย

เนื่องจากสัญญาณที่ได้จากวงจรดีทูเอ เป็นสัญญาณภาพเพียงอย่างเดียว ดังนั้นจึงต้องอาศัยวงจรนี้ทำการรวมสัญญาณภาพ,สัญญาณซิงค์และสัญญาณแบลงก์กิ้งเข้าด้วยกัน ให้เกิดเป็นสัญญาณภาพรวม ส่งเข้าเครื่องรับโทรทัศน์ เพื่อแสดงผลภาพที่ได้มาจากด้านส่ง วงจรสร้างสัญญาณภาพรวมแสดงดังรูปที่ 3.31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

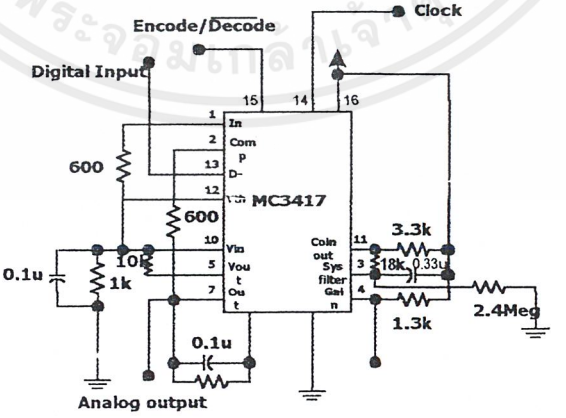


รูปที่ 3.31 วงจรสร้างสัญญาณภาพรวม

3.8 ภาครับข้อมูลเสียงดิจิตอล

3.8.1 วงจรซีวีเอสดีดีมอดูเลเตอร์

เป็นวงจรที่ทำการแปลงข้อมูลเสียงดิจิตอลเป็นสัญญาณเสียงอนาล็อก โดยจะใช้ไอซี MC3417 ซึ่งเป็นไอซีเบอร์เดียวกับที่ใช้ในวงจรแปลงสัญญาณเสียงเป็นดิจิตอล โดยในวงจรนี้จะทำการป้อนสัญญาณลอจิก "0"เข้าไปที่ขา 15 ทำให้สถานะของขา 15 เป็นการถอดรหัส วงจรแปลงข้อมูลดิจิตอลเป็นสัญญาณเสียงนี้จะรับสัญญาณเสียงดิจิตอลทางช่องสัญญาณเสียงของวงจรดีมัลติเพล็กซ์มาเข้าขา 13 ซึ่งเป็นขาอินพุตดิจิตอลแล้วคอมพาราเตอร์ในไอซี จะทำการเปรียบเทียบค่า V_{TH} ซึ่งมีค่าเท่ากับ Vcc/2 ก็จะมีค่าเป็น "1" ถ้าต่ำกว่าจะมีค่าเป็น "0" สัญญาณที่ได้นี้จะถูกควบคุมอัตราขยายโดยการตรวจสภาพของข้อมูลดิจิตอลที่ชิฟรีจิสเตอร์ เมื่อตรวจพบว่าเป็น "1" หรือเป็น "0" ทั้ง3 บิตก็จะส่งสัญญาณควบคุมอัตราขยายของส่วนอินทิเกรเตอร์ให้ได้ออกมาเป็นสัญญาณอนาล็อกเช่นเดิม

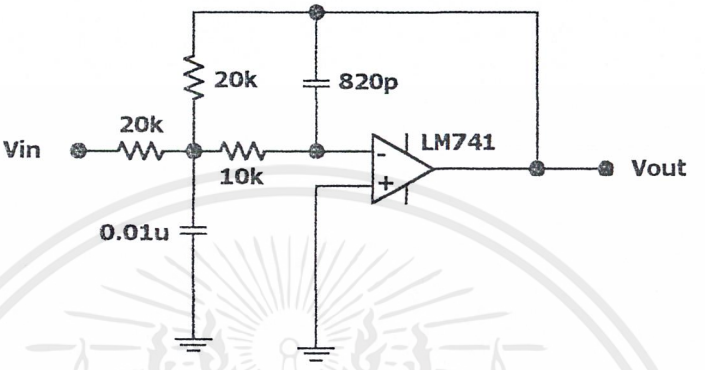


รูปที่ 3.32 วงจรซีวีเอสดีดีมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8.2 วงจรกรองความถี่ต่ำผ่าน

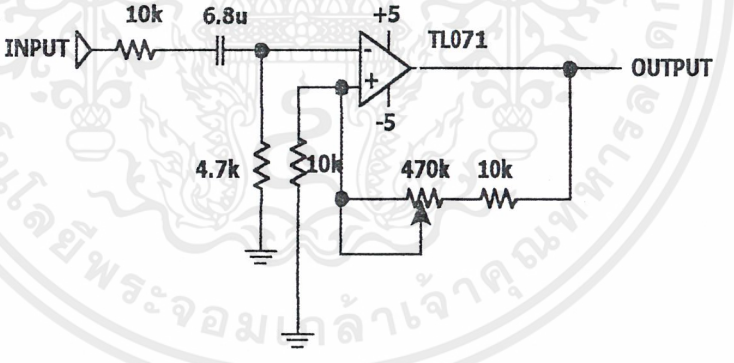
จะเป็นวงจรกรองความถี่เช่นเดียวกับวงจรกรองความถี่ทางภาคส่ง แต่จะใช้ไอซีออปแอมป์เบอร์ LM741



รูปที่ 3.33 วงจรกรองความถี่ต่ำผ่าน

3.8.3 วงจรขยายภาคสุดท้าย

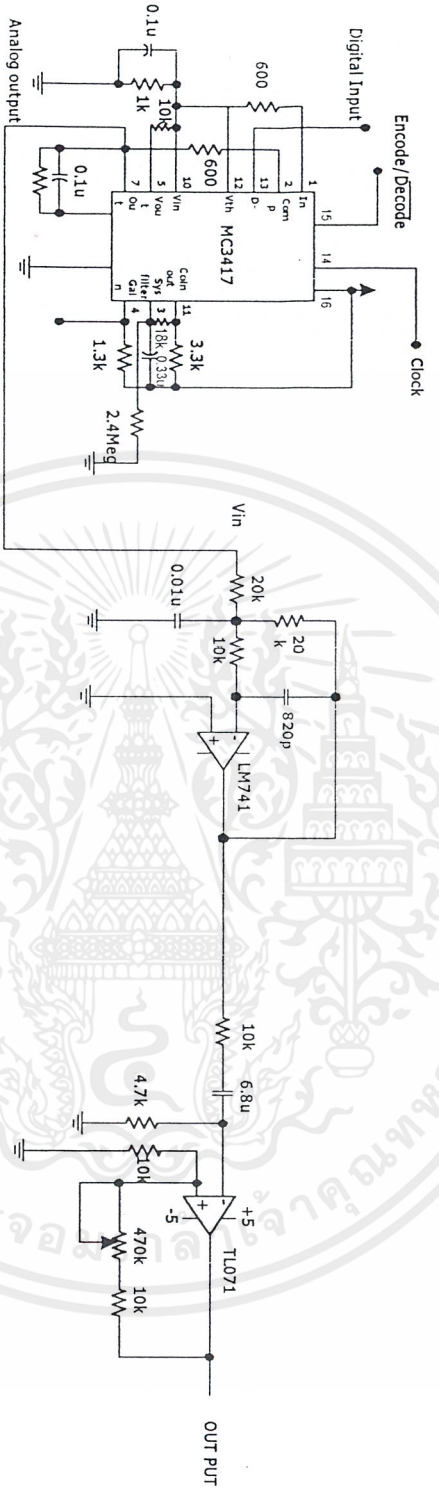
จะใช้วงจรเดียวกับทางภาคส่ง



รูปที่ 3.34 วงจรขยายภาคสุดท้าย

วงจรรวมของภาครับข้อมูลเสียงดิจิตอลแสดงดังรูปที่ 3.35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.35 วงจรรวมภาครับข้อมูลเสียงดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

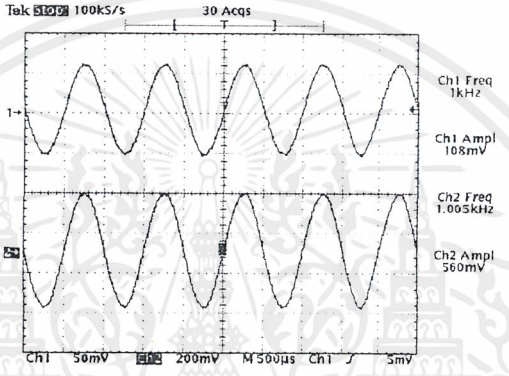
บทที่ 4

ผลการทดลอง

4.1 ภาคส่งข้อมูลเสียงดิจิตอล

4.1.1 วงจรขยายสัญญาณเสียง

ทำการทดลองโดยต่อวงจรขยายสัญญาณเสียงตามรูปที่ 3.4 ป้อนสัญญาณอินพุตให้กับวงจรขยายแบบไม่กลับเฟส ซึ่งสัญญาณอินพุตนำมาจากฟังก์ชันเจนเนอเรเตอร์ เป็นสัญญาณคลื่นไซน์ความถี่ 1kHz แอมปลิจูด 100 มิลลิโวลต์ วัดสัญญาณเอาต์พุตที่ออกจากวงจรขยายแบบไม่กลับเฟส ได้ผลการทดลองดังรูปที่ 4.1



รูปที่ 4.1 สัญญาณเสียงที่ผ่านวงจรขยายสัญญาณแบบไม่กลับเฟส
CH 1 สัญญาณอินพุตที่ป้อนให้วงจรขยายแบบไม่กลับเฟส
CH 2 สัญญาณเอาต์พุตที่ออกจากวงจรขยายแบบไม่กลับเฟส

สัญญาณเอาต์พุตที่ได้จากวงจรขยายแบบไม่กลับเฟส จะมีแอมปลิจูดมากกว่าสัญญาณอินพุต ซึ่งสามารถปรับค่าได้โดยการปรับค่า R ในวงจรตามรูป 3.4 และสัญญาณเอาต์พุตที่ได้จะมีเฟสเหมือนกับสัญญาณอินพุตที่ป้อนเข้ามา

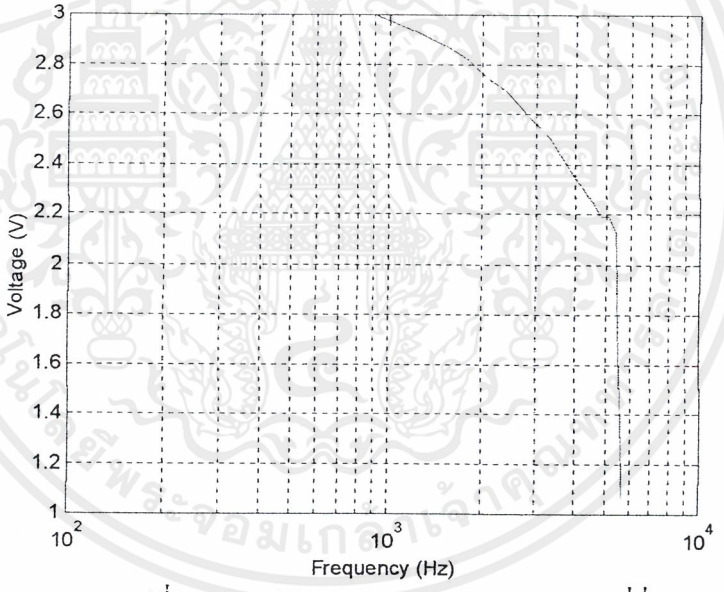
4.1.2 วงจรกรองความถี่ต่ำผ่าน

ทำการทดลองโดยการต่อวงจรกรองความถี่ต่ำผ่านตามรูป 3.5 ป้อนสัญญาณคลื่นไซน์ขนาด 3 V_{P-P} ที่ความถี่ค่าต่างๆตั้งแต่ 300 Hz และเพิ่มค่าขึ้นเรื่อยๆเพื่อดูคุณลักษณะของฟิลเตอร์ พร้อมทั้งบันทึกค่าโวลเตจที่วัดได้ที่ความถี่ต่างๆ ได้ผลดังตารางที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ (Hz)	โวลเตจที่วัดได้ (V)	ความถี่ (Hz)	โวลเตจที่วัดได้ (V)
300	3	3300	2.500
600	3	3600	2.438
900	3	3900	2.375
1200	2.938	4200	2.313
1500	2.875	4500	2.250
1800	2.813	4800	2.188
2100	2.750	5100	2.188
2400	2.688	5400	2.125
2700	2.625	5700	2.063
3000	2.563		

ตารางที่ 4.1 ตารางแสดงค่าโวลเตจที่วัดได้ที่ค่าความถี่ต่างๆของวงจรกรองความถี่ต่ำผ่าน



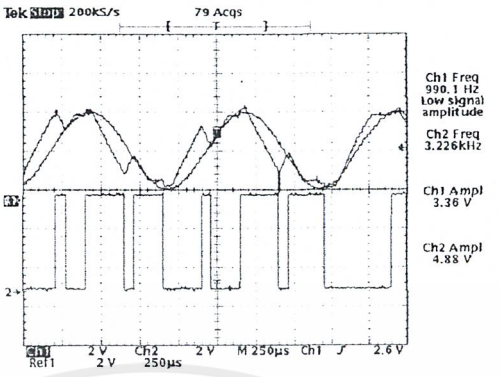
รูปที่ 4.2 กราฟคุณลักษณะของวงจรกรองความถี่ต่ำผ่าน

จากข้อมูลในตารางที่ 4.1 สามารถนำมาพล็อตเป็นกราฟเพื่อศึกษาคุณลักษณะของวงจรกรองความถี่ต่ำผ่านได้ดังรูปที่ 4.2

จากรูปที่ 4.2 จะเห็นว่าความถี่ที่วัดได้ที่โวลเตจตกลงมาที่ 2.121 V มีค่าประมาณ 5.4 kHz ซึ่งความถี่ที่จุดนี้คือค่าความถี่คัทออฟ ซึ่งจากการคำนวณในบทที่ 3 มีค่าเท่ากับ 3.98 kHz ซึ่งคลาดเคลื่อนจากการทดลอง อาจเป็นผลมาจากการต่ออุปกรณ์ภายในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 วงจรแปลงสัญญาณเสียงอนาล็อกเป็นข้อมูลดิจิตอล



รูปที่ 4.3 สัญญาณเสียงที่ผ่านวงจรซีวีเอสดีมอดูเลเตอร์

REF 1 สัญญาณเสียงอินพุตที่ป้อนให้วงจรซีวีเอสดีมอดูเลเตอร์

CH1 สัญญาณเปรียบเทียบระดับสัญญาณกับสัญญาณอินพุต วัดที่ขา 6 ของไอซี MC3417

CH 2 สัญญาณเอาต์พุตที่ออกจากวงจรซีวีเอสดีมอดูเลเตอร์

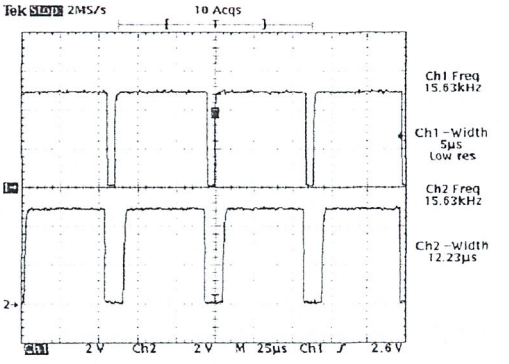
ในการทดลองจะทำการต่อวงจรโดยใช้ไอซี MC3417 ซึ่งเป็นไอซีซีวีเอสดีมอดูเลเตอร์ทำการเข้ารหัสสัญญาณเสียงอนาล็อกให้เป็นข้อมูลดิจิตอล การทดลองจะทำการต่อวงจรตามรูปที่ 3.7 สัญญาณอินพุตที่ป้อนให้วงจรซีวีเอสดีมอดูเลเตอร์ ได้มาจากเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน วัดสัญญาณเอาต์พุตของวงจรซีวีเอสดีมอดูเลเตอร์ที่ออกจากขา 9 ของไอซี MC3417 และทำการวัดสัญญาณเปรียบเทียบที่ขา 6 ของไอซี MC3417 (ซึ่งสัญญาณเปรียบเทียบนี้สร้างจากส่วนอินทิเกรเตอร์ในไอซีทำการเปรียบเทียบระดับของสัญญาณเปรียบเทียบกับระดับของสัญญาณอินพุต เพื่อให้ได้สัญญาณเอาต์พุตออกไป) ได้ผลดังรูปที่ 4.3

จากรูปที่ 4.3 จะเห็นว่าเมื่อระดับสัญญาณเปรียบเทียบสูงกว่าระดับสัญญาณอินพุต สัญญาณเอาต์พุตที่ได้จะเป็นสัญญาณระดับสูง แต่ถ้าระดับสัญญาณเปรียบเทียบต่ำกว่าระดับสัญญาณอินพุต สัญญาณเอาต์พุตที่ได้จะเป็นสัญญาณระดับต่ำ

4.2 สัญญาณภาพที่สร้างจากไอซี ZNA234

ทำการทดลองโดยการต่อวงจรสร้างสัญญาณภาพ ตามรูป 3.10 ทำการวัดสัญญาณซิงค์รวม ที่ขา 3 และสัญญาณวิดีโอแบลงก์กิ้ง (blanking) ที่ขา 4 ของไอซี ZNA234 ได้ผลดังรูป 4.4

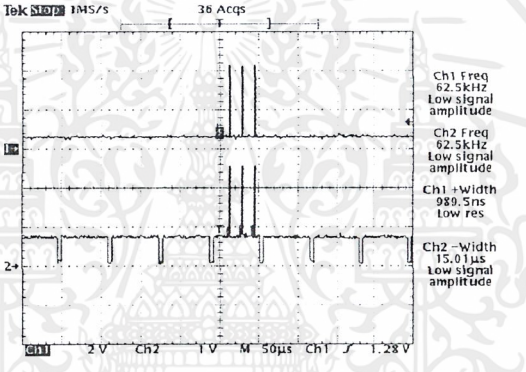
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 สัญญาณซิงค์รวมและสัญญาณวิดีโอแบลงก์กิ้ง

CH 1 สัญญาณซิงค์รวมวัดที่ขา 3 ของไอซี ZNA234

CH 2 สัญญาณวิดีโอแบลงก์กิ้งวัดที่ขา 4 ของไอซี ZNA234



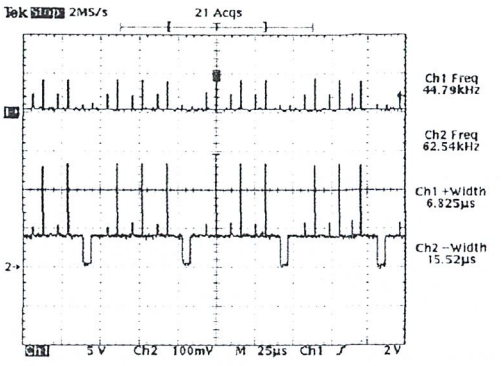
รูปที่ 4.5 สัญญาณแบบจุด(Dot)

CH 1 สัญญาณภาพแบบจุดที่วัดที่ขา 12 ของไอซี ZNA234

CH 2 สัญญาณภาพแบบจุดที่รวมสัญญาณซิงค์วัดที่ขาอีมิตเตอร์ของทรานซิสเตอร์ 2N2369

ทำการวัดสัญญาณภาพแต่ละแบบโดยจับที่ขาต่างๆของไอซี ZNA234 และวัดสัญญาณภาพที่รวมสัญญาณซิงค์ซึ่งทำการรวมสัญญาณภาพและสัญญาณซิงค์โดยใช้ทรานซิสเตอร์ 2N2369 จับสัญญาณ เอาต์พุตที่ขาอีมิตเตอร์ของทรานซิสเตอร์ 2N2369 ได้ผลดังรูปที่ 4.5

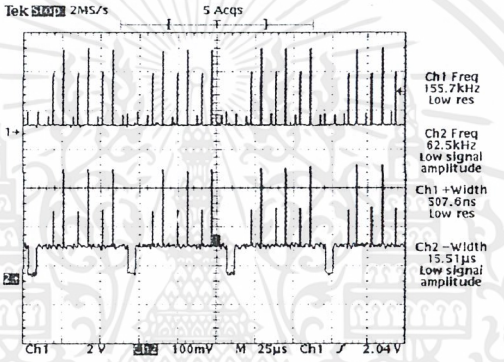
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 สัญญาณภาพแบบเส้นแนวตั้ง (Vertical line)

CH 1 สัญญาณภาพแบบเส้นแนวตั้งวัดที่ขา 11 ของไอซี ZNA234

CH 2 สัญญาณภาพแบบเส้นแนวตั้งที่รวมสัญญาณซิงค์ วัดที่ขาอีมิตเตอร์ของทรานซิสเตอร์ 2N2369



รูปที่ 4.7 สัญญาณภาพแบบตาราง (Cross Hatch)

CH 1 สัญญาณภาพแบบตารางที่วัดที่ขา 13 ของไอซี ZNA234

CH 2 สัญญาณภาพแบบตารางที่รวมสัญญาณซิงค์วัดที่ขาอีมิตเตอร์ของทรานซิสเตอร์ 2N2369

4.3 ภาคส่งข้อมูลภาพดิจิตอล

4.3.1 วงจรแปลงสัญญาณภาพเป็นข้อมูลดิจิตอล

ตอนที่1 ทำการทดลองโดยการต่อวงจรแปลงสัญญาณภาพเป็นข้อมูลดิจิตอล โดยใช้ไอซี CA3306 ตามรูปที่ 3.11 ทำการปรับสัญญาณ V_{ref} ที่ขา 9 ของไอซี CA3306 โดยการปรับค่าความต้านทานปรับค่าได้ 5 กิโลโอห์มที่ขา 3 ของไอซี CA741CE ให้ได้ค่า V_{ref} 3.2V ทำการป้อนสัญญาณอินพุตเป็นค่าลงที่โดยให้มีค่าตั้งแต่ 0.00V , 0.05V , 0.10V, ..., 3.20V ทำการวัดค่าสัญญาณเอาต์พุตแต่ละบิต (บิต 1 ขา 13, บิต 2 ขา 14 , บิต 3 ขา 15 , บิต 4 ขา 17 , บิต 5 ขา 18 , บิต 6 ขา 1 และโอเวอร์โฟลว์บิต ขา 2) ที่ค่าอินพุตแต่ละค่าได้ผลดังตารางที่ 4.2 ซึ่งเป็นตารางแสดงรหัสของสัญญาณเอาต์พุตของไอซี CA3306

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุตโวลเตจ(V) (V_{out} 3.2V)	OF	B6	B5	B4	B3	B2	B1	อินพุตโวลเตจ(V) (V_{out} 3.2V)	OF	B6	B5	B4	B3	B2	B1
0.00	0	0	0	0	0	0	0	1.15	0	0	1	0	1	1	1
0.05	0	0	0	0	0	0	1	1.20	0	0	1	1	0	0	0
0.10	0	0	0	0	0	1	0	1.25	0	0	1	1	0	0	1
0.15	0	0	0	0	0	1	1	1.30	0	0	1	1	0	1	0
0.20	0	0	0	0	1	0	0	1.35	0	0	1	1	0	1	1
0.25	0	0	0	0	1	0	1	1.40	0	0	1	1	1	0	0
0.30	0	0	0	0	1	1	0	1.45	0	0	1	1	1	0	1
0.35	0	0	0	0	1	1	1	1.50	0	0	1	1	1	1	0
0.40	0	0	0	1	0	0	0	1.55	0	0	1	1	1	1	1
0.45	0	0	0	1	0	0	1	1.60	0	1	0	0	0	0	0
0.50	0	0	0	1	0	1	0	1.65	0	1	0	0	0	0	1
0.55	0	0	0	1	0	1	1	1.70	0	1	0	0	0	1	0
0.60	0	0	0	1	1	0	0	1.75	0	1	0	0	0	1	1
0.65	0	0	0	1	1	0	1	1.80	0	1	0	0	1	0	0
0.70	0	0	0	1	1	1	0	1.85	0	1	0	0	1	0	1
0.75	0	0	0	1	1	1	1	1.90	0	1	0	0	1	1	0
0.80	0	0	1	0	0	0	0	1.95	0	1	0	0	1	1	1
0.85	0	0	1	0	0	0	1	2.00	0	1	0	1	0	0	0
0.90	0	0	1	0	0	1	0	2.05	0	1	0	1	0	0	1
0.95	0	0	1	0	0	1	1	2.10	0	1	0	1	0	1	0
1.00	0	0	1	0	1	0	0	2.15	0	1	0	1	0	1	1
1.05	0	0	1	0	1	0	1	2.20	0	1	0	1	1	0	0
1.10	0	0	1	0	1	1	0	2.25	0	1	0	1	1	0	1

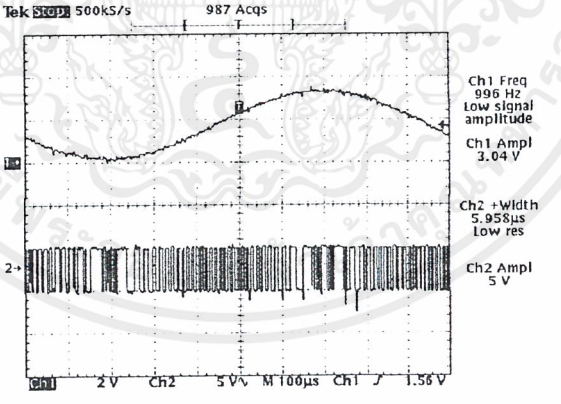
ตารางที่ 4.2 ตารางแสดงรหัสสัญญาณเอาต์พุตแต่ละบิตของไอซี CA3306

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุตโวลเตจ(V) (V_{out} 3.2V)	OF	B6	B5	B4	B3	B2	B1	อินพุตโวลเตจ(V) (V_{out} 3.2V)	OF	B6	B5	B4	B3	B2	B1
2.30	0	1	0	1	1	1	0	2.80	0	1	1	1	0	0	0
2.35	0	1	0	1	1	1	1	2.85	0	1	1	1	0	0	1
2.40	0	1	1	0	0	0	0	2.90	0	1	1	1	0	1	0
2.45	0	1	1	0	0	0	1	2.95	0	1	1	1	0	1	1
2.50	0	1	1	0	0	1	0	3.00	0	1	1	1	1	0	0
2.55	0	1	1	0	0	1	1	3.05	0	1	1	1	1	0	1
2.60	0	1	1	0	1	0	0	3.10	0	1	1	1	1	1	0
2.65	0	1	1	0	1	0	1	3.15	0	1	1	1	1	1	1
2.70	0	1	1	0	1	1	0	3.20	1	1	1	1	1	1	1
2.75	0	1	1	0	1	1	1								

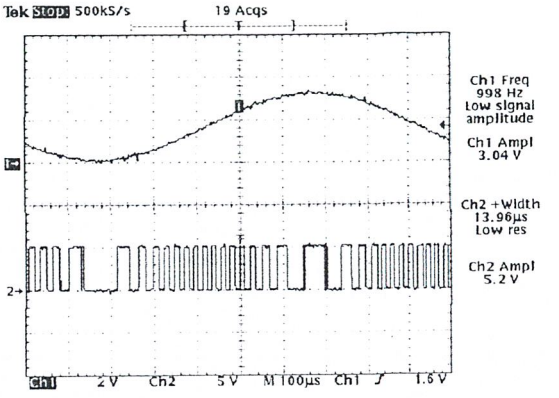
ตารางที่ 4.2 ตารางแสดงรหัสสัญญาณเอาต์พุตแต่ละบิตของไอซี CA3306 (ต่อ)

<u>ตอนที่2</u> ทำการต่อวงจรแปลงสัญญาณภาพเป็นข้อมูลดิจิตอลตามรูปที่ 3.11 ทำการป้อนสัญญาณอินพุตเข้าที่ขา 11 ของไอซี CA3306 โดยสัญญาณอินพุตที่ป้อนเข้าในวงจรนำมาจากฟังก์ชันเจนเนอเรเตอร์ เป็นสัญญาณไซน์ ความถี่ 1kHz ขนาด 3.2V ปรับสัญญาณ Vref ที่ขาของไอซี CA3306 ให้มีค่า 3.2V ทำการจัดสัญญาณเอาต์พุตดิจิตอลแต่ละบิต ได้ผลการทดลองดังรูปที่ 4.8 ถึง 4.13



รูปที่ 4.8 สัญญาณเอาต์พุตดิจิตอลบิตที่ 1
CH1 สัญญาณอินพุตคลื่นไซน์ความถี่ 1kHz
CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่ 1 ที่ออกจากขา 13 ของไอซี CA3306

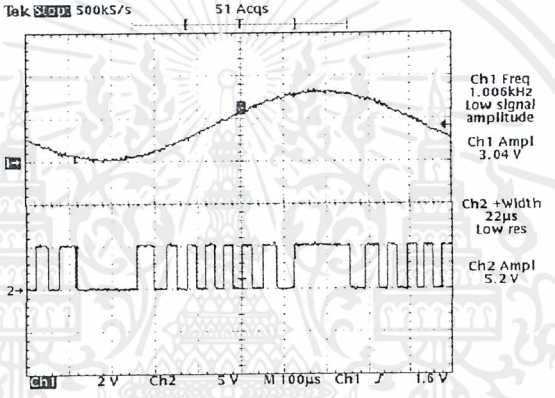
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 สัญญาณเอาต์พุตดิจิตอลบิตที่ 2

CH1 สัญญาณอินพุตคลื่นไซน์ความถี่ 1kHz

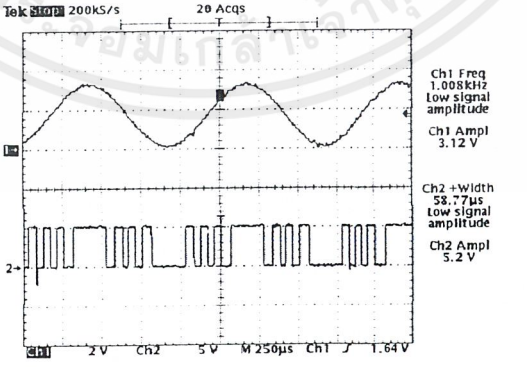
CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่2 ที่ออกจากขา 14 ของไอซี CA3306



รูปที่ 4.10 สัญญาณเอาต์พุตดิจิตอลบิตที่ 3

CH1 สัญญาณอินพุตคลื่นไซน์ความถี่ 1kHz

CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่ 3 ที่ออกจากขา 15 ของไอซี CA3306

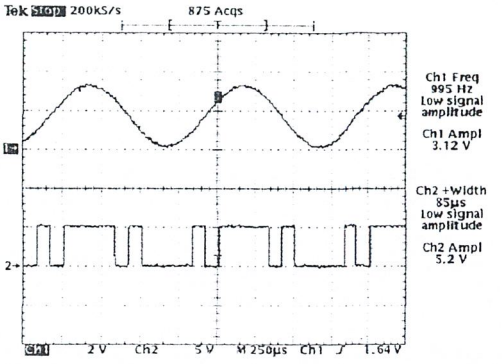


รูปที่ 4.11 สัญญาณเอาต์พุตดิจิตอลบิตที่ 4

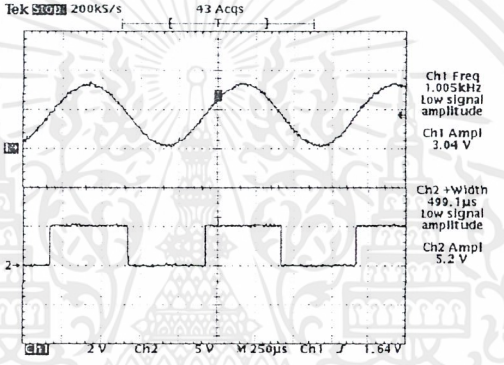
CH1 สัญญาณอินพุตคลื่นไซน์ความถี่ 1kHz

CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่ 4 ที่ออกจากขา 17 ของไอซี CA3306

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



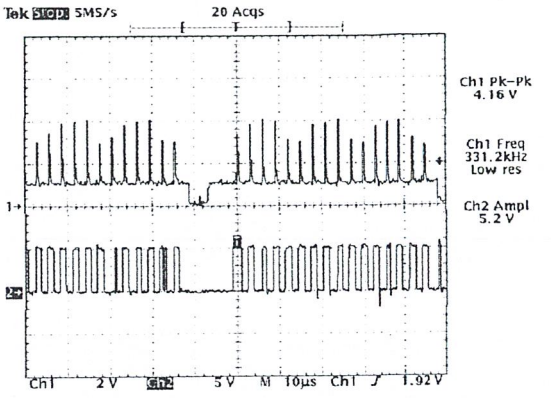
รูปที่ 4.12 สัญญาณเอาต์พุตดิจิตอลบิตที่ 5
CH1 สัญญาณอินพุตคลื่นไซน์ความถี่ 1kHz
CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่ 5 ที่ออกจากขา 18 ของไอซี CA3306



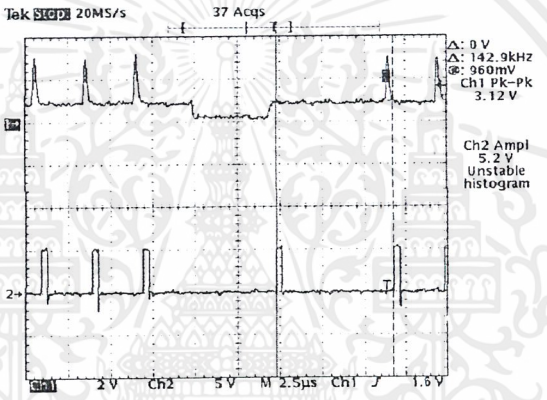
รูปที่ 4.13 สัญญาณเอาต์พุตดิจิตอลบิตที่ 6
CH1 สัญญาณอินพุตคลื่นไซน์ความถี่ 1kHz
CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่ 6 ที่ออกจากขา 1 ของไอซี CA3306

<u>ตอนที่ 3</u> ทำการทดลองโดยต่อวงจรแปลงสัญญาณภาพเป็นข้อมูลดิจิตอลตามรูปที่ 3.11 ทำการป้อนสัญญาณอินพุตเข้าที่ขา11ของไอซี CA3306โดยสัญญาณอินพุตทำการป้อนเข้าเป็นสัญญาณภาพเอาต์พุตที่ได้จากขาอีมิตเตอร์ของวงจรในรูปที่ 3.10 โดยสัญญาณภาพที่ทำการป้อนเป็นอินพุตนี้เป็นสัญญาณภาพแบบตาราง (CROSS HATCH) ทำการปรับสัญญาณ Vref ที่ขา 9 ของไอซี CA3306 ให้มีค่าเท่ากับสัญญาณอินพุตที่ป้อนเข้ามาคือมีค่าประมาณ 3.2V ทำการวัดสัญญาณเอาต์พุตสัญญาณดิจิตอลแต่ละบิต ได้ผลการทดลองดังรูปที่ 4.14 ถึง 4.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



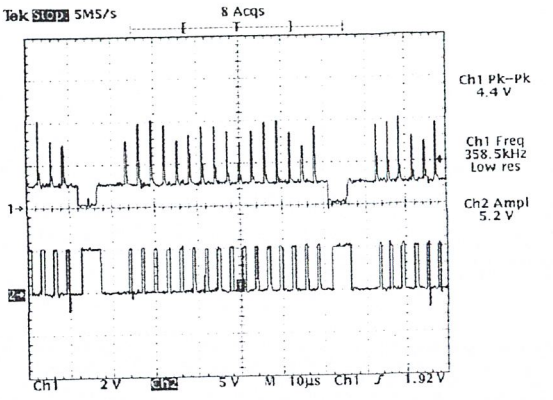
รูปที่ 4.14 สัญญาณเอาต์พุตดิจิตอลบิตที่ 1
CH1 สัญญาณอินพุตเป็นสัญญาณภาพแบบตารางจากไอซี ZNA234
CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่1ที่ออกจากขาที่ 13 ของไอซี CA3306



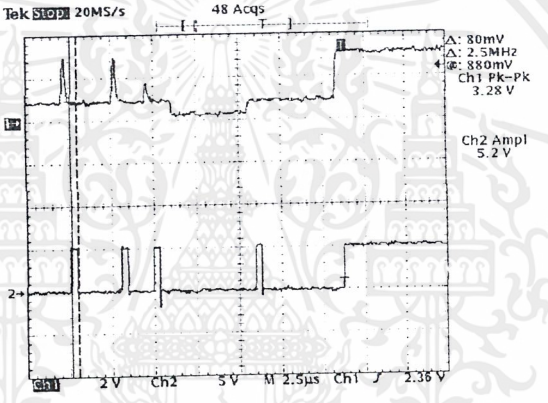
รูปที่ 4.15 สัญญาณเอาต์พุตดิจิตอลบิตที่ 1
CH1 สัญญาณอินพุตเป็นสัญญาณภาพแบบตารางจากไอซี ZNA234
CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่1ที่ออกจากขาที่ 13 ของไอซี CA3306

ในการทดลองจะทำการป้อนสัญญาณนาฬิกาให้ไอซี CA3306 มีความถี่ 2.5MHz จากรูปที่ 4.15 สัญญาณอินพุตที่ถูกแซมปลิ้ง ด้วยสัญญาณนาฬิกาที่ระดับสัญญาณอินพุตที่ถูกแซมปลิ้ง ในแต่ละเวลา จะได้ระดับโวลเตจต่างๆกัน ซึ่งระดับโวลเตจต่างๆกันนี้จะนำไปแปลงเป็นระดับสัญญาณดิจิตอลเอาต์พุตสูงหรือต่ำ ตามตารางแสดงรหัสสัญญาณเอาต์พุต ตารางที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



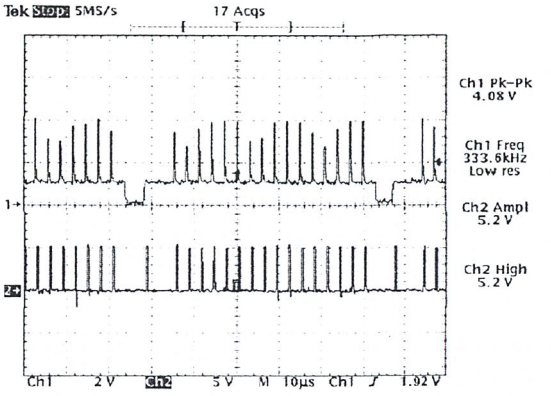
รูปที่ 4.16 สัญญาณเอาต์พุตดิจิตอลบิตที่ 2
CH1 สัญญาณอินพุตเป็นสัญญาณภาพแบบตารางจากไอซี ZNA234
CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่2 ที่ออกจากขาที่ 14 ของไอซี CA3306



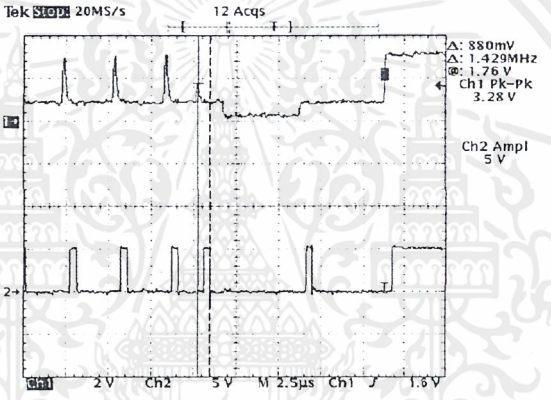
รูปที่ 4.17 สัญญาณเอาต์พุตดิจิตอลบิตที่ 2
CH1 สัญญาณอินพุตเป็นสัญญาณภาพแบบตารางจากไอซี ZNA234
CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่2 ที่ออกจากขาที่ 14 ของไอซี CA3306

จากรูปที่ 4.17 สัญญาณอินพุตที่ถูกแซมปลิ้ง ด้วยสัญญาณนาฬิกาที่ระดับสัญญาณอินพุตที่ถูกแซมปลิ้ง ในแต่ละเวลา จะได้ระดับโวลเตจต่างๆกัน ซึ่งระดับโวลเตจต่างๆกันนี้จะนำไปแปลงเป็นระดับสัญญาณดิจิตอลเอาต์พุตสูงหรือต่ำ ตามตารางแสดงรหัสสัญญาณเอาต์พุต ตารางที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



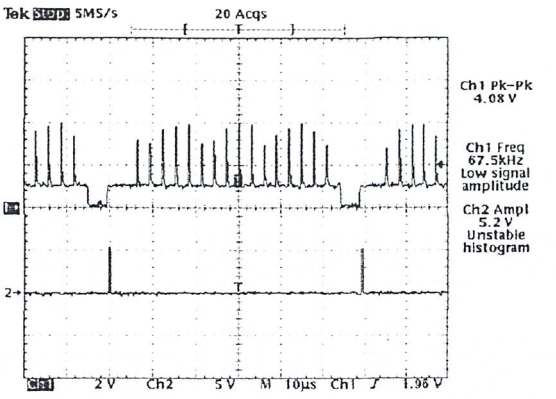
รูปที่ 4.18 สัญญาณเอาต์พุตดิจิตอลบิตที่ 3
CH1 สัญญาณอินพุตเป็นสัญญาณภาพแบบตารางจากไอซี ZNA234
CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่3 ที่ออกจากขาที่ 15 ของไอซี CA3306



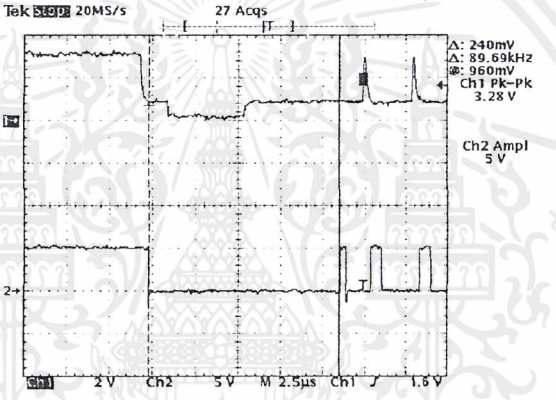
รูปที่ 4.19 สัญญาณเอาต์พุตดิจิตอลบิตที่ 3
CH1 สัญญาณอินพุตเป็นสัญญาณภาพแบบตารางจากไอซี ZNA234
CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่3 ที่ออกจากขาที่ 15 ของไอซี CA3306

จากรูปที่ 4.19 สัญญาณอินพุตที่ถูกแซมปลิ้ง ด้วยสัญญาณนาฬิกาที่ระดับสัญญาณอินพุตที่ถูกแซมปลิ้ง ในแต่ละเวลา จะได้ระดับโวลเตจต่างๆกัน ซึ่งระดับโวลเตจต่างๆกันนี้จะนำไปแปลงเป็นระดับสัญญาณดิจิตอลเอาต์พุตสูงหรือต่ำ ตามตารางแสดงรหัสสัญญาณเอาต์พุต ตารางที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



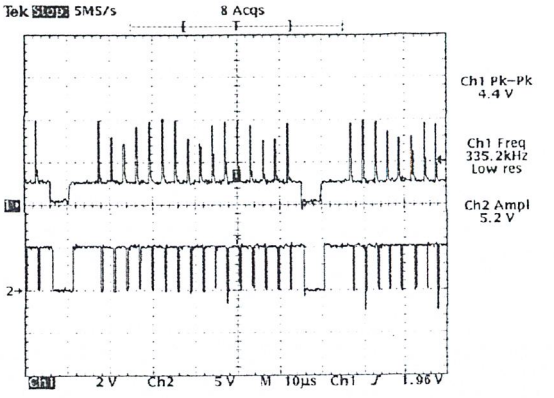
รูปที่ 4.20 สัญญาณเอาต์พุตดิจิตอลบิตที่ 4
CH1 สัญญาณอินพุตเป็นสัญญาณภาพแบบตารางจากไอซี ZNA234
CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่4 ที่ออกจากขาที่ 15 ของไอซี CA3306



รูปที่ 4.21 สัญญาณเอาต์พุตดิจิตอลบิตที่ 4
CH1 สัญญาณอินพุตเป็นสัญญาณภาพแบบตารางจากไอซี ZNA234
CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่4 ที่ออกจากขาที่ 15 ของไอซี CA3306

จากรูปที่ 4.21 สัญญาณอินพุตที่ถูกแซมปลิ้ง ด้วยสัญญาณนาฬิกาที่ระดับสัญญาณอินพุตที่ถูกแซมปลิ้ง ในแต่ละเวลา จะได้ระดับโวลเตจต่างๆกัน ซึ่งระดับโวลเตจต่างๆกันนี้จะนำไปแปลงเป็นระดับสัญญาณดิจิตอลเอาต์พุตสูงหรือต่ำ ตามตารางแสดงรหัสสัญญาณเอาต์พุต ตารางที่ 4.2

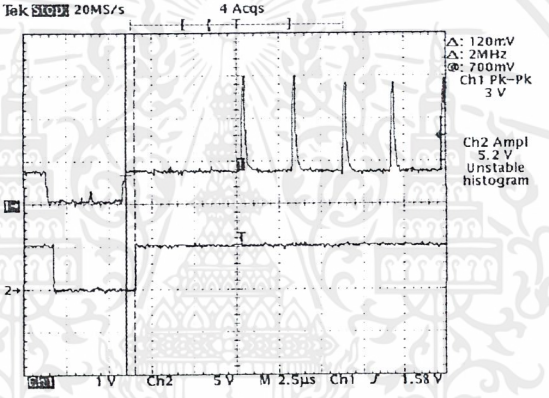
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.22 สัญญาณเอาต์พุตดิจิตอลบิตที่ 5

CH1 สัญญาณอินพุตเป็นสัญญาณภาพแบบตารางจากไอซี ZNA234

CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่5 ที่ออกจากขาที่ 16 ของไอซี CA3306



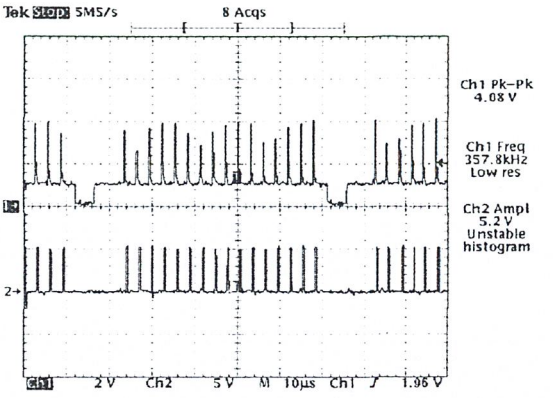
รูปที่ 4.23 สัญญาณเอาต์พุตดิจิตอลบิตที่ 5

CH1 สัญญาณอินพุตเป็นสัญญาณภาพแบบตารางจากไอซี ZNA234

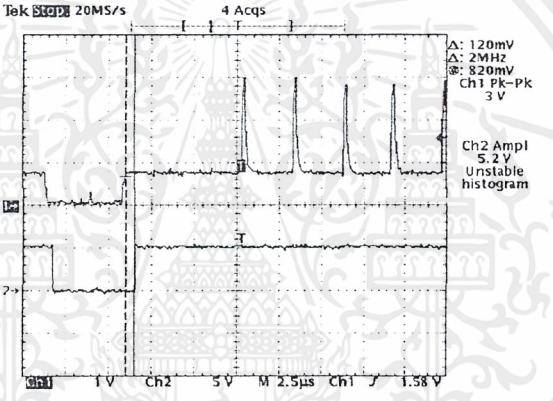
CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่5 ที่ออกจากขาที่ 16 ของไอซี CA3306

จากรูปที่ 4.23 สัญญาณอินพุตที่ถูกแซมปลิ้ง ด้วยสัญญาณนาฬิกาที่ระดับสัญญาณอินพุตที่ถูกแซมปลิ้ง ในแต่ละเวลา จะได้ระดับโวลเตจต่างๆกัน ซึ่งระดับโวลเตจต่างๆกันนี้จะนำไปแปลงเป็นระดับสัญญาณดิจิตอลเอาต์พุตสูงหรือต่ำ ตามตารางแสดงรหัสสัญญาณเอาต์พุต ตารางที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.24 สัญญาณเอาต์พุตดิจิตอลบิตที่ 6
CH1 สัญญาณอินพุตเป็นสัญญาณภาพแบบตารางจากไอซี ZNA234
CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่6 ที่ออกจากขาที่ 1 ของไอซี CA3306



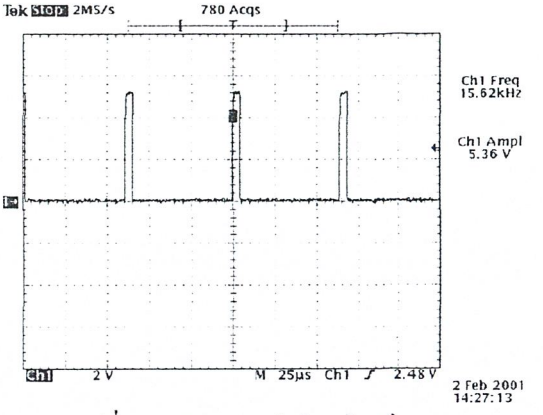
รูปที่ 4.25 สัญญาณเอาต์พุตดิจิตอลบิตที่ 6
CH1 สัญญาณอินพุตเป็นสัญญาณภาพแบบตารางจากไอซี ZNA234
CH2 สัญญาณเอาต์พุตดิจิตอลบิตที่6 ที่ออกจากขาที่ 1 ของไอซี CA3306

จากรูปที่ 4.25 สัญญาณอินพุตที่ถูกแซมปลิ้ง ด้วยสัญญาณนาฬิกาที่ระดับสัญญาณอินพุตที่ถูกแซมปลิ้ง ในแต่ละเวลา จะได้ระดับโวลเตจต่างๆกัน ซึ่งระดับโวลเตจต่างๆกันนี้จะนำไปแปลงเป็นระดับสัญญาณดิจิตอลเอาต์พุตสูงหรือต่ำ ตามตารางแสดงรหัสสัญญาณเอาต์พุต ตารางที่ 4.2

4.4 ส่วนการแยกสัญญาณซิงค์

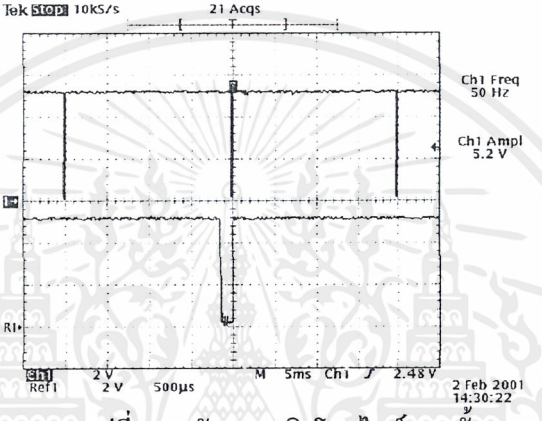
ทำการทดลองโดยต่อวงจรดังรูปที่ 3.21 แล้วทำการป้อนสัญญาณภาพที่ได้จากไอซี ZNA234 เป็นอินพุตของวงจร จะทำให้ได้ผลการทดลองดังรูปที่ 4.26 และ 4.27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.26 สัญญาณซิงโครไนซ์แนวนอน

CH1 สัญญาณซิงโครไนซ์แนวนอน (horizontal synchronization)

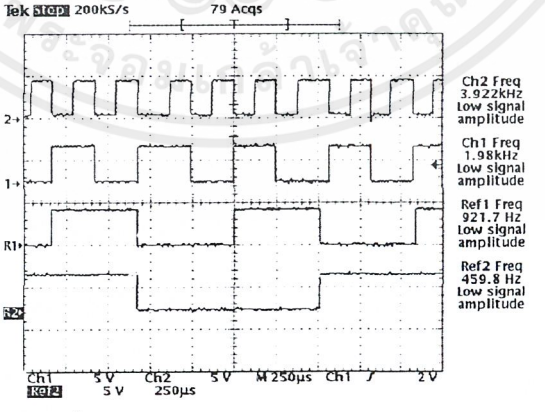


รูปที่ 4.27 สัญญาณซิงโครไนซ์แนวตั้ง

CH1 สัญญาณซิงโครไนซ์แนวตั้ง (vertical synchronization)

4.5 <u>ส่วนควบคุมการสร้างแอดเดรสแนวโรว์</u>

ทำการทดลองโดยต่อวงจรดังรูปที่ 3.22 ป้อนสัญญาณอินพุตเป็นสัญญาณซิงโครไนซ์แนวตั้ง ความถี่ 50 เฮิรตซ์และสัญญาณซิงโครไนซ์แนวนอน 15625 เฮิรตซ์ ที่แยกมาแล้วจากสัญญาณภาพ ทำให้ได้สัญญาณเอาต์พุตเป็นแอดเดรส $A_7 - A_{13}$ ดังรูปที่ 4.28 และ 4.29

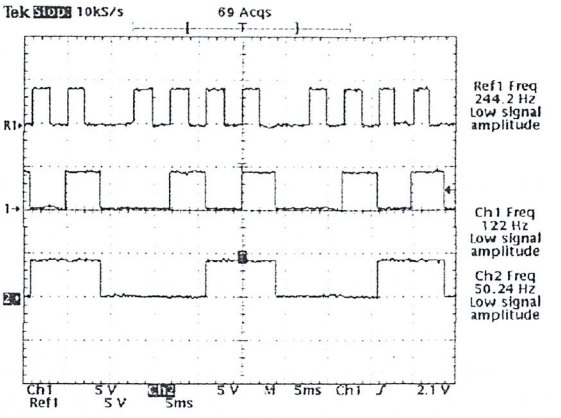


รูปที่ 4.28 สัญญาณแอดเดรสแนวโรว์ A7-A10

Ref1 สัญญาณแอดเดรสแนวโรว์ A7 Ref2 สัญญาณแอดเดรสแนวโรว์ A8

CH1 สัญญาณแอดเดรสแนวโรว์ A9 CH2 สัญญาณแอดเดรสแนวโรว์ A10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



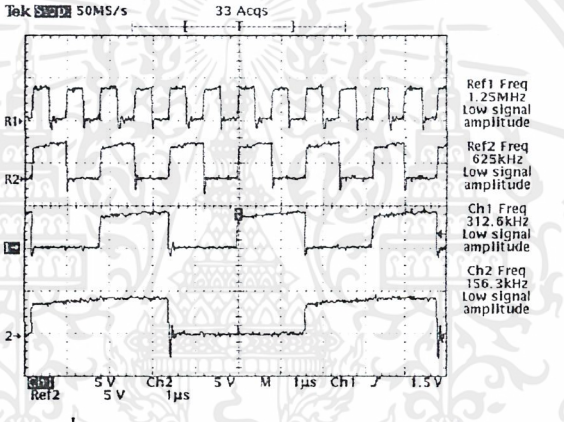
รูปที่ 4.29 สัญญาณแอดเดรสแนวโรว์ A11-A13

Ref1 สัญญาณแอดเดรสแนวโรว์ A11

CH1 สัญญาณแอดเดรสแนวโรว์ A12 CH2 สัญญาณแอดเดรสแนวโรว์ A13

4.6 ส่วนควบคุมการสร้างแอดเดรสแนวคอลัมน์

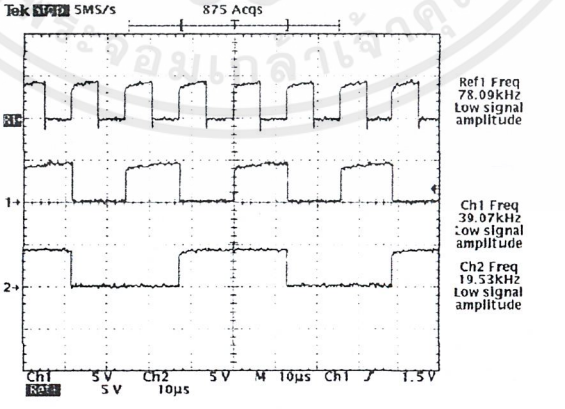
ทำการทดลองโดยต่อวงจรดังรูปที่ 3.23 ได้เอาต์พุตเป็นแอดเดรส $A_0 - A_6$ ดังรูปที่ 4.30 และ 4.31



รูปที่ 4.30 สัญญาณแอดเดรสแนวคอลัมน์ A1-A4

Ref1 สัญญาณแอดเดรสแนวคอลัมน์ A1 Ref2 สัญญาณแอดเดรสแนวคอลัมน์ A2

CH1 สัญญาณแอดเดรสแนวคอลัมน์ A3 CH2 สัญญาณแอดเดรสแนวคอลัมน์ A4



รูปที่ 4.31 สัญญาณแอดเดรสแนวคอลัมน์ A5-A7

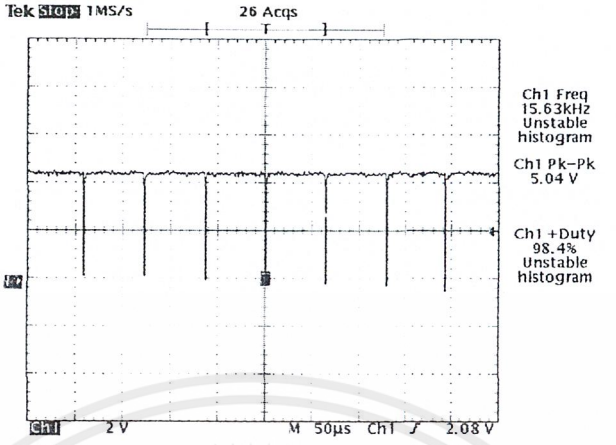
Ref1 สัญญาณแอดเดรสแนวคอลัมน์ A5

CH1 สัญญาณแอดเดรสแนวคอลัมน์ A6 CH2 สัญญาณแอดเดรสแนวคอลัมน์ A7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

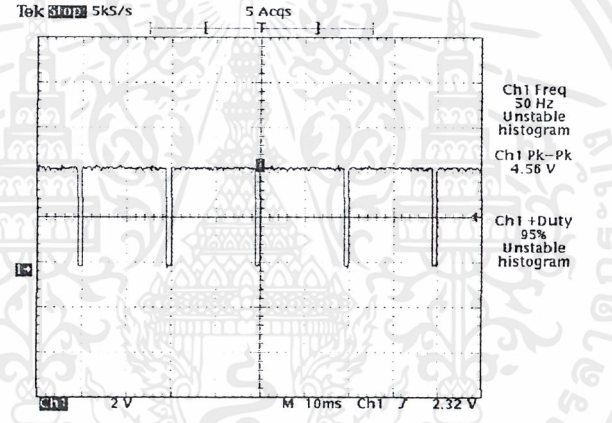
4.7 ส่วนกำเนิดสัญญาณซิงค์และสัญญาณแบลงก์กิ้ง

ส่วนนี้จะทำการทดลองโดยต่อวงจรดังรูปที่ 3.27 โดยจะสร้างสัญญาณเอาต์พุตทั้งสองทำให้ได้สัญญาณซิงโครไนซ์ทางแนวนอนและสัญญาณซิงโครไนซ์ทางแนวตั้ง ดังรูปที่ 4.32และ 4.33



รูปที่ 4.32 ส่วนกำเนิดสัญญาณซิงโครไนซ์ทางแนวนอน

CH1 สัญญาณซิงโครไนซ์ทางแนวนอน ความถี่ 15,625 เฮิรตซ์



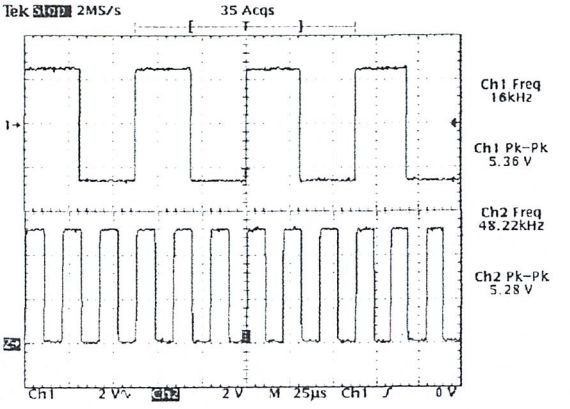
รูปที่ 4.33 สัญญาณซิงโครไนซ์ทางแนวตั้ง

CH2 สัญญาณซิงโครไนซ์ทางแนวตั้งความถี่ 50 เฮิรตซ์

4.8 ส่วนการสร้างสัญญาณนาฬิกา 48 กิโลเฮิรตซ์

ในส่วนนี้จะอาศัยการทำงานของเฟสล็อกลูปและวงจรหาร 3 การทดลองทำได้โดยการต่อวงจรดังรูปที่ 3.16 โดยอินพุตที่เข้ามาจะเป็นความถี่ 16 กิโลเฮิรตซ์ ทำให้ได้เอาต์พุตออกมาเป็น 48 กิโลเฮิรตซ์ มีผลการทดลองดังรูปที่ 4.34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



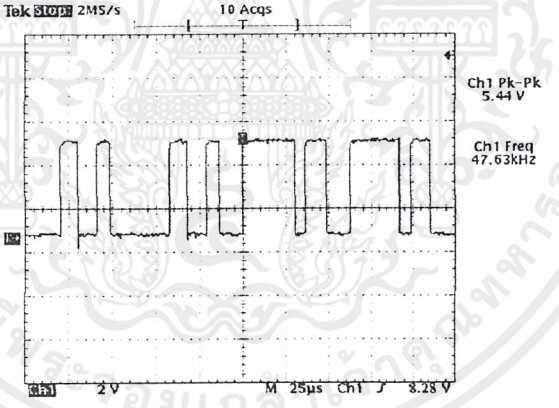
รูปที่ 4.34 วงจรสร้างสัญญาณนาฬิกา 48 กิโลเฮิรตซ์

CH 1 อินพุตของวงจร มีค่า 16 กิโลเฮิรตซ์

CH 2 เอาต์พุตของวงจรภายหลังผ่านวงจร มีค่า 48 กิโลเฮิรตซ์

4.9 <u>ส่วนมัลติเพล็กซ์</u>

ทำการทดลองโดยต่อวงจรตามรูปที่ 3.15 ป้อนสัญญาณอินพุตที่ช่องสัญญาณที่ 1 เป็นสัญญาณข้อมูลเสียงดิจิตอลที่ได้จากการทดลองในตอนที่ 4.1 ส่วนช่องสัญญาณที่ 2 ป้อนสัญญาณอินพุตเป็นสัญญาณพัลส์ความถี่ 16 kHz แอมปลิจูด 5V จากฟังก์ชันเจนเนอเรเตอร์ วัดสัญญาณเอาต์พุตที่ออกจากวงจร ได้ผลดังรูป 4.35



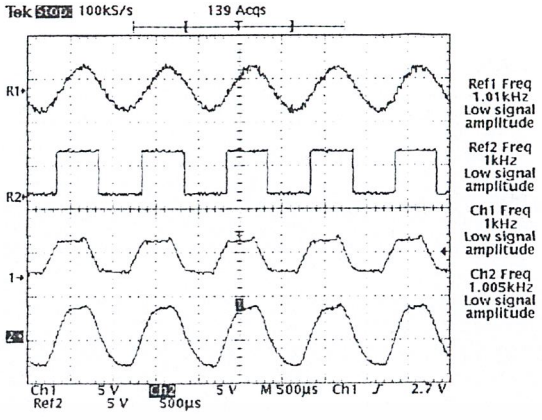
รูปที่ 4.35 สัญญาณที่ถูกมัลติเพล็กซ์โดยวิธีทีดีเอ็ม

จากรูป 4.35 จะเห็นว่าสัญญาณที่ได้จะเป็นสัญญาณ 2 สัญญาณรวมกันโดยจะเห็นว่าที่เวลาช่วงหนึ่งจะเป็นสัญญาณของช่องสัญญาณ 1 ซึ่งมีความถี่ต่ำ กว่าอีกช่วงเวลาหนึ่ง ซึ่งเป็นสัญญาณของช่องสัญญาณ 2

4.10 <u>วงจรแปลงข้อมูลดิจิตอลเป็นสัญญาณอนาล็อก</u>

ทำการทดลองโดยนำข้อมูลดิจิตอลที่ได้จากวงจรแปลงสัญญาณอนาล็อกเป็นข้อมูลดิจิตอล ไปเป็นอินพุตของวงจรแปลงข้อมูลดิจิตอลเป็นสัญญาณอนาล็อก ซึ่งใช้ไอซีตัวเดียวกัน ได้แก่ MC3417 ทำให้ได้เอาต์พุตออกมา และนำมาผ่านวงจรกรองความถี่ต่ำผ่านและวงจรขยายแบบไม่กลับเฟส ตามลำดับ ได้ผลการทดลองดังรูปที่ 4.36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



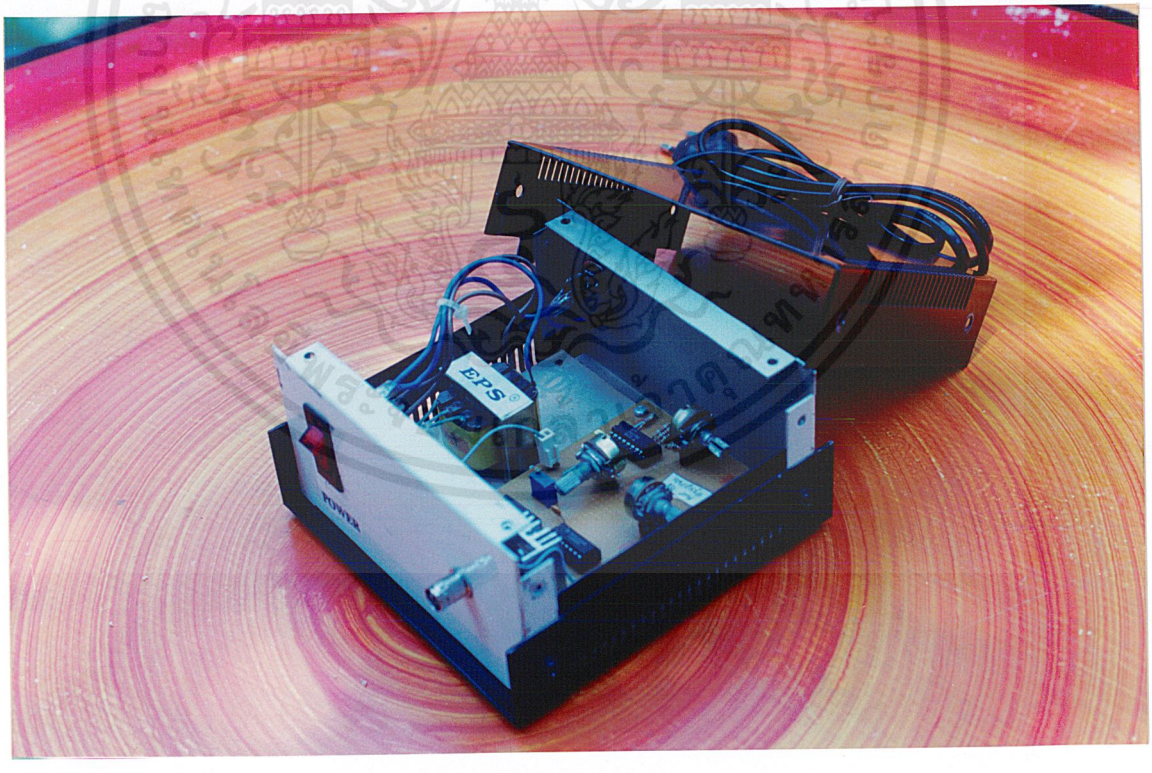
รูปที่ 4.36 สัญญาณที่ออกจากวงจรกรองความถี่ต่ำผ่านและวงจรขยายแบบไม่กลับเฟส เทียบกับสัญญาณที่เข้าและออกจากซีวีเอสดีดีมอดูเลเตอร์ และสัญญาณอินพุตก่อนเข้าซีวีเอสดีมอดูเลเตอร์

REF 1 สัญญาณอินพุตอนาล็อก 1 กิโลเฮิรตซ์ ก่อนเข้าซีวีเอสดีมอดูเลเตอร์

REF 2 สัญญาณเอาต์พุตดิจิตอลที่ออกจากซีวีเอสดีมอดูเลเตอร์

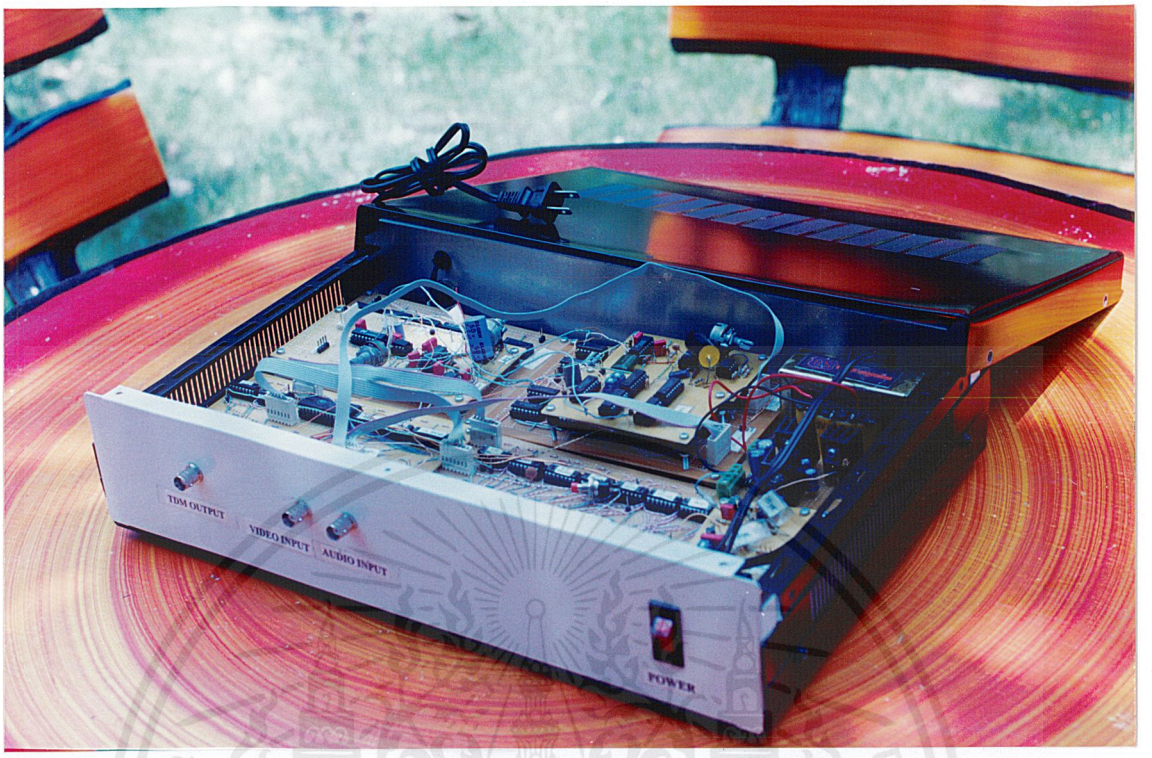
CH 1 สัญญาณเอาต์พุตอนาล็อกที่ออกจากซีวีเอสดีดีมอดูเลเตอร์

CH 2 สัญญาณเอาต์พุตอนาล็อกที่ออกจากวงจรกรองความถี่ต่ำผ่านและวงจรขยายแบบไม่กลับเฟส

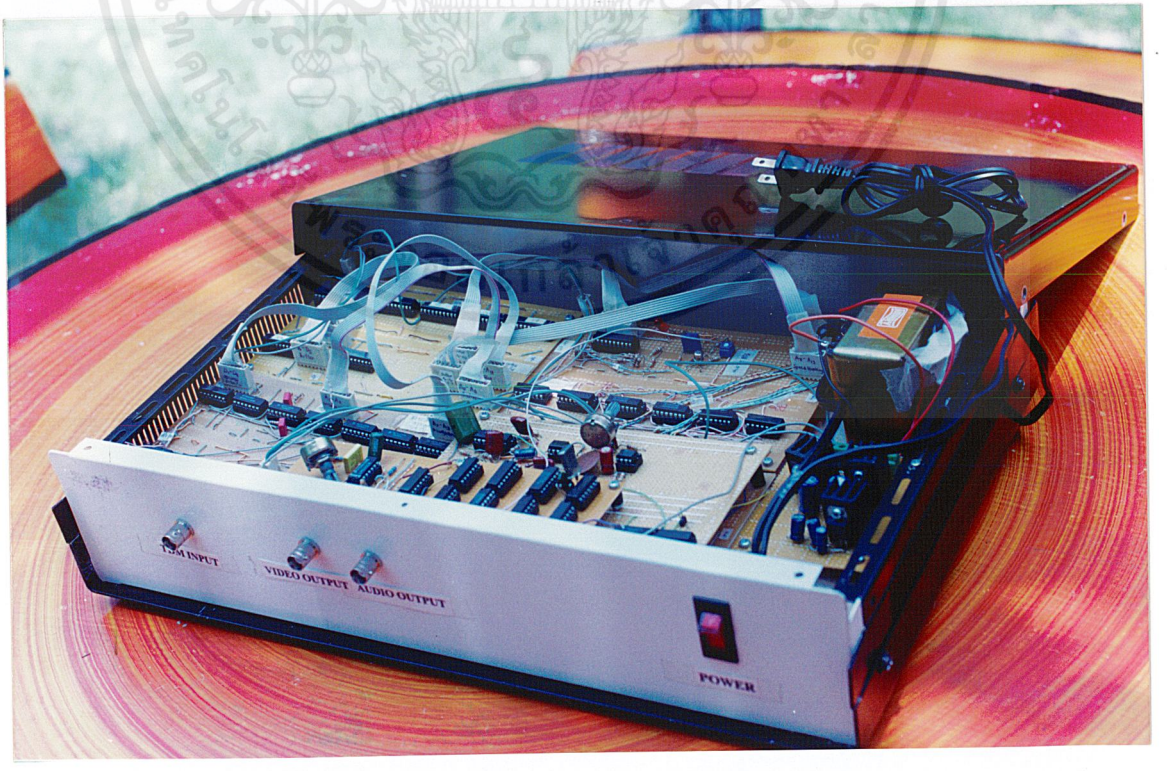


รูปที่ 4.37 วงจรสร้างสัญญาณภาพทดสอบ (TV Pattern generator) ที่สร้างขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

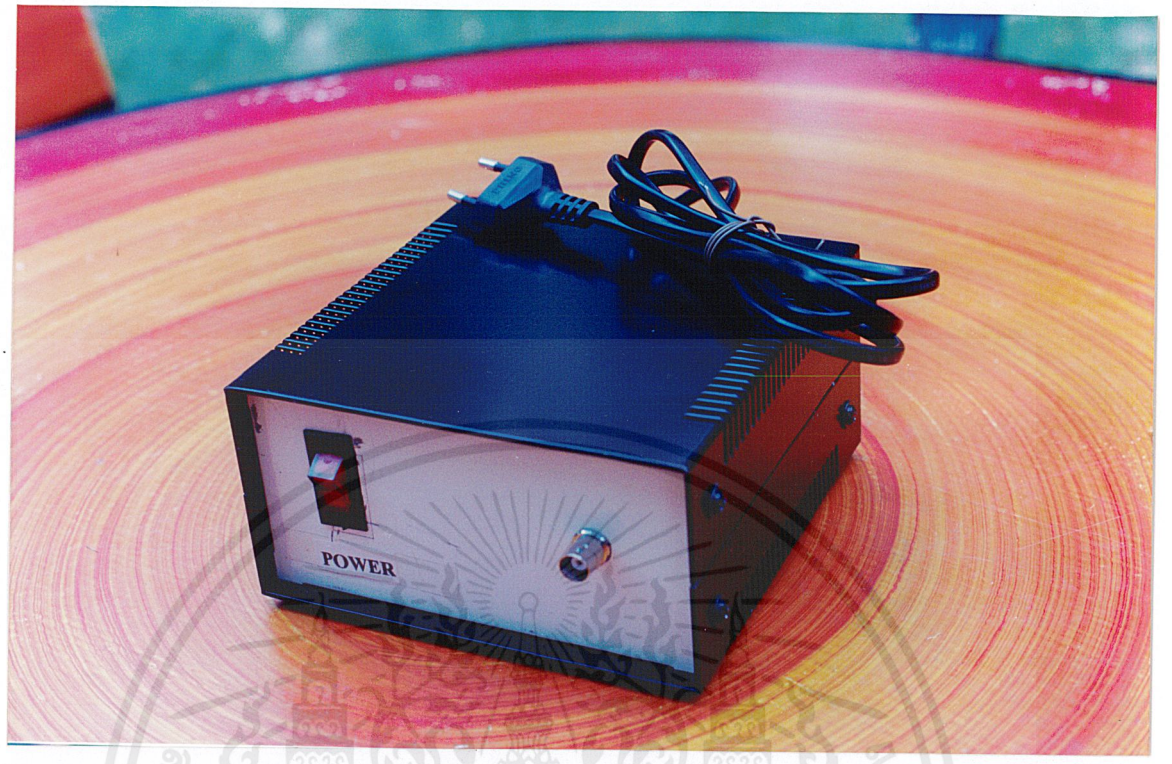


รูปที่ 4.38 วงจรเครื่องส่งข้อมูลภาพและเสียงแบบทีดีเอ็ม



รูปที่ 4.39 วงจรเครื่องรับข้อมูลภาพและเสียงแบบทีดีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.40 เครื่องสร้างสัญญาณภาพทดสอบ (TV Pattern generator)

รูปที่ 4.41 เครื่องส่งข้อมูลภาพและเสียงแบบทีดีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.42 เครื่องรับข้อมูลภาพและเสียงแบบทีดีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทวิจารณ์และบทสรุป

โครงงานนี้ประกอบด้วยส่วนหลักๆ 2 ส่วน นั่นคือ ส่วนของภาคส่งและส่วนของภาครับ ในส่วนของภาคส่งนั้น ปัญหาที่พบมักจะเกี่ยวเนื่องและมีสาเหตุมาจากสัญญาณภาพ เพราะสัญญาณภาพมีความถี่ค่อนข้างสูงเมื่อเทียบกับสัญญาณเสียงจึงทำให้เกิดการกวนกันขึ้น และนอกจากนั้นสัญญาณภาพยังต้องอาศัยกระบวนการมากมายในการที่จะส่งผ่านข้อมูลไปยังด้านรับ เช่น การแปลงจากข้อมูลขนานเป็นข้อมูลอนุกรม , การแยกสัญญาณซิงค์ , การกำหนดแอดเดรสต่างๆ ได้แก่แอดเดรสแนวโรว์และแอดเดรสแนวคอลัมน์ , การทำให้สัญญาณนาฬิกาทั้งทางด้านส่งและด้านรับมีความสัมพันธ์กัน กล่าวคือ เป็นสัญญาณนาฬิกาตัวเดียวกันหรือมีความสอดคล้องกันมากที่สุด เพื่อผลของการดีมัลติเพล็กซ์ที่สมบูรณ์ อย่างไรก็ตามจะมาพิจารณาวงจรแต่ละส่วนว่ามีรายละเอียดอย่างไร

วงจรทางภาคส่ง ได้แก่วงจรส่งข้อมูลเสียงดิจิตอล เมื่อป้อนสัญญาณไซน์ความถี่ 1 กิโลเฮิรตซ์ แอมปลิจูด 100 มิลลิโวลต์เข้าไปแทนสัญญาณเสียง พบว่าเมื่อผ่านวงจรกรองความถี่ต่ำผ่านจะมีสัญญาณที่ค่อนข้างต่ำอยู่และมีค่าลดลงเมื่อความถี่สูงขึ้น เมื่อนำไปผ่านวงจรขยายแบบไม่กลับเฟสจะได้รูปสัญญาณที่มีขนาดใหญ่ขึ้น ไม่กลับเฟส จากนั้นนำไปผ่านวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลโดยใช้ ซีวีเอสดีมอดูเลเตอร์ ก็จะได้สัญญาณเสียงดิจิตอลออกมา ซึ่งก็พบว่ามีลักษณะเป็นไปตามคุณสมบัติของแต่ละวงจร โดยมีบางส่วนที่ไม่ตรงอยู่บ้าง , วงจรสร้างสัญญาณภาพโดยใช้ไอซี ZNA234 ซึ่งเป็นไอซีผลิตสัญญาณได้หลายแบบ ในที่นี้จะใช้แบบตาราง , วงจรแยกสัญญาณซิงค์ จะให้เอาต์พุตออกมาเป็นสัญญาณการซิงโครไนส์แนวตั้งและแนวนอน เพื่อไปควบคุมการสร้างแอดเดรสทั้งแนวโรว์และแนวคอลัมน์ , วงจรแปลงเอทูดีของภาพที่ใช้ไอซี CA3306 ก็จะให้ข้อมูลที่เป็นดิจิตอลออกมา 6 บิตแบบขนาน และเนื่องจากการส่งออกทางสายส่งจะต้องส่งแบบอนุกรมกันออกไป ดังนั้นจึงต้องมีส่วนที่ทำการแปลงข้อมูลขนานให้เป็นข้อมูลอนุกรมก่อนทำการส่งเสียก่อน

ปัญหาที่พบในวงจรทางด้านภาคส่ง คือ ในส่วนของหน่วยความจำที่ใช้กับสัญญาณภาพ ไม่สามารถเขียนข้อมูลลงไปเก็บและอ่านข้อมูลออกจากหน่วยความจำได้ ซึ่งอาจมีสาเหตุมาจากสัญญาณอ่านและเขียนไม่สัมพันธ์กับแอดเดรส , การจัดเก็บแอดเดรสไม่ดี ทำให้ไม่สามารถแสดงภาพได้

วงจรทางภาครับ ได้แก่ วงจรแปลงเอทูดีของภาพที่ใช้ซีวีเอสดีดีมอดูเลเตอร์ สัญญาณที่ได้ยังต่ำและมีสัญญาณรบกวนอยู่จึงนำไปผ่านวงจรกรองความถี่ต่ำผ่านและวงจรขยายแบบไม่กลับเฟส , วงจรสร้างสัญญาณซิงค์และแบลงก์กิ้ง เพื่อนำไปรวมกับสัญญาณภาพที่ผ่านการแปลงจากดิจิตอลเป็นอนาล็อกออกไปเป็นสัญญาณภาพรวม

แนวทางการแก้ไขและพัฒนา โดยการศึกษาเพิ่มเติมเกี่ยวกับการจัดเก็บแอดเดรสข้อมูลภาพ และวงจรอื่นๆที่เกี่ยวข้องกับสัญญาณภาพเพื่อประสิทธิภาพของวงจรต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3306, CA3306A, CA3306C

6-Bit, 15 MSPS, Flash A/D Converters

August 1997

Features

- CMOS Low Power with Video Speed (Typ) 70mW
- Parallel Conversion Technique
- Signal Power Supply Voltage . . . . . 3V to 7.5V
- 15MHz Sampling Rate with Single 5V Supply
- 6-Bit Latched Three-State Output with Overflow Bit
- Pin-for-Pin Retrofit for the CA3300

Applications

- TV Video Digitizing
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- High Speed Oscilloscope Storage/Display
- General Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- Robot Vision

Description

The CA3306 family are CMOS parallel (FLASH) analog-to-digital converters designed for applications demanding both low power consumption and high speed digitization. Digitizing at 15MHz, for example, requires only about 50mW.

The CA3306 family operates over a wide, full scale signal input voltage range of 1V up to the supply voltage. Power consumption is as low as 15mW, depending upon the clock frequency selected. The CA3306 types may be directly retrofitted into CA3300 sockets, offering improved linearity at a lower reference voltage and high operating speed with a 5V supply.

The intrinsic high conversion rate makes the CA3306 types ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3306s in series to increase the resolution of the conversion system. A series connection of two CA3306s may be used to produce a 7-bit high speed converter. Operation of two CA3306s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

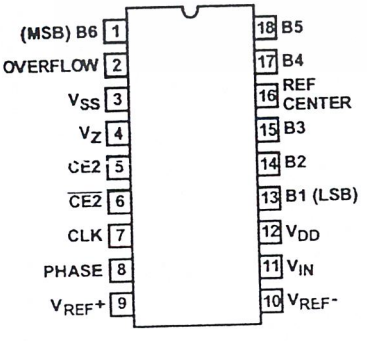
Sixty-four paralleled auto balanced comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3306. Sixty-three comparators are required to quantize all input voltage levels in this 6-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

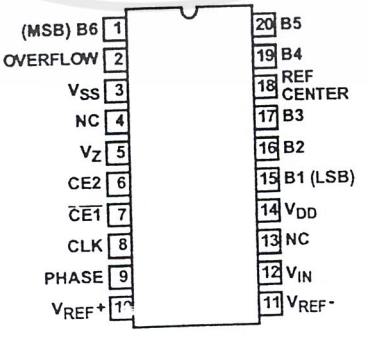
PART NUMBER	LINEARITY (INL, DNL)	SAMPLING RATE	TEMP. RANGE (^{o}C)	PACKAGE	PKG. NO.
CA3306E	±0.5 LSB	15MHz (67ns)	-40 to 85	18 Ld PDIP	E18.3
CA3306CE	±0.5 LSB	10MHz (100ns)	-40 to 85	18 Ld PDIP	E18.3
CA3306M	±0.5 LSB	15MHz (67ns)	-40 to 85	20 Ld SOIC	M20.3
CA3306CM	±0.5 LSB	10MHz (100ns)	-40 to 85	20 Ld SOIC	M20.3
CA3306D	±0.5 LSB	15MHz (67ns)	-55 to 125	18 Ld SBDIP	D18.3
CA3306CD	±0.5 LSB	10MHz (100ns)	-55 to 125	18 Ld SBDIP	D18.3
CA3306J3	±0.5 LSB	15MHz (67ns)	-55 to 125	20 Ld CLCC	J20.B
CA3306J3	±0.5 LSB	10MHz (100ns)	-55 to 125	20 Ld CLCC	J20.B

Pinouts

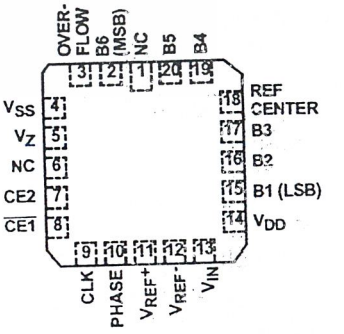
CA3306 (PDIP, SBDIP)
TOP VIEW



CA3306 (SOIC)
TOP VIEW



CA3306 (CLCC)
TOP VIEW



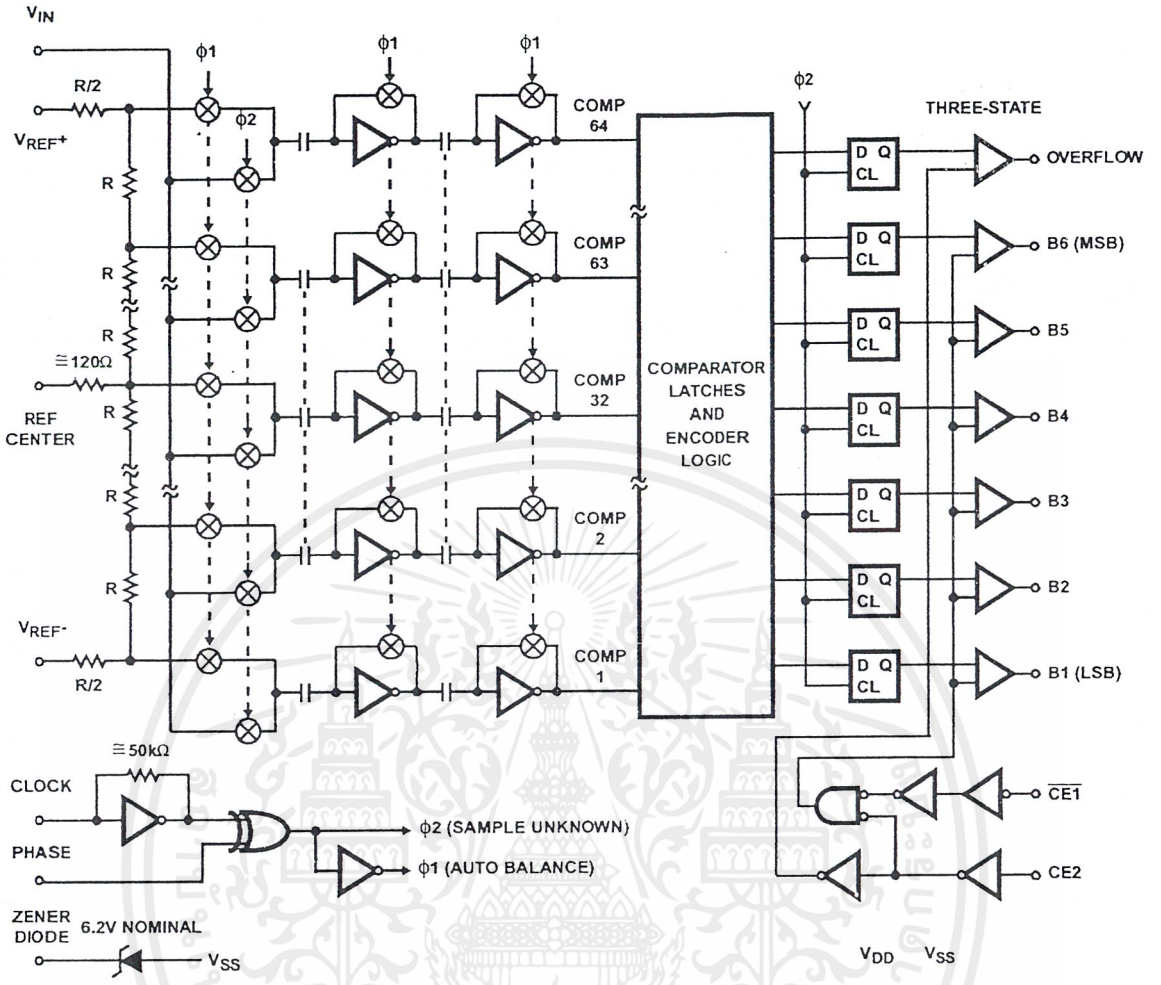
CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.

File Number **3102.1**

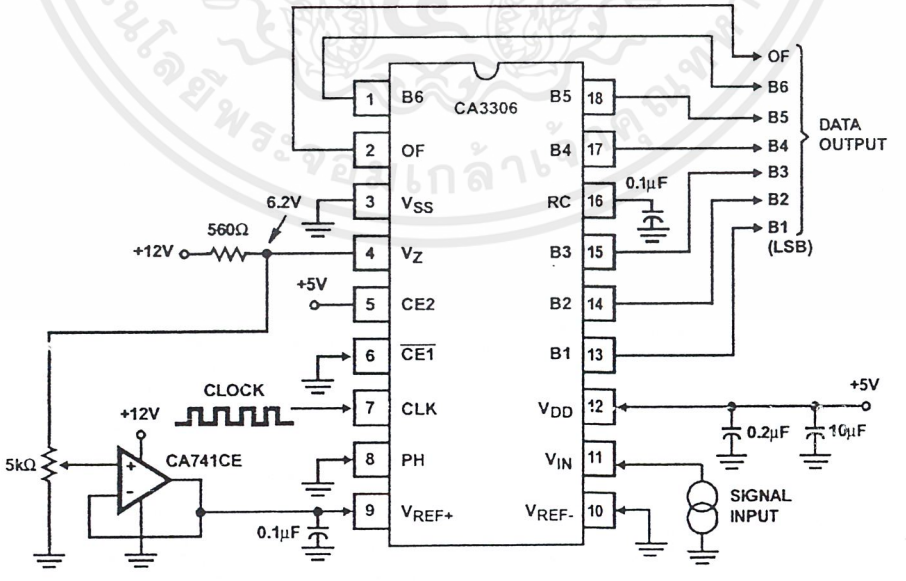
http://www.intersil.com or 407-727-9207 | Copyright © Intersil Corporation 1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



Typical Application Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

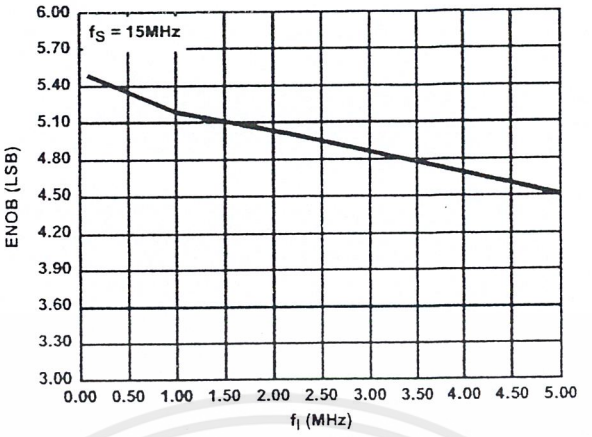


FIGURE 16. ENOB vs INPUT FREQUENCY

Pin Descriptions

PIN NUMBER		NAME	DESCRIPTION
DIP	SOIC		
1	1	B6	Bit 6, Output (MSB).
2	2	OF	Overflow, Output.
3	3, 4	V_{SS}	Digital Ground.
4	5	VZ	Zener Reference Output.
5	6	CE2	Three-State Output Enable Input, Active Low. See Table 1.
6	7	$\overline{CE1}$	Three-State Output Enable Input, Active High. See Table 1.
7	8	CLK	Clock Input.
8	9	Phase	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).
9	10	$V_{REF}+$	Reference Voltage Positive Input.
10	11	$V_{REF}-$	Reference Voltage Negative Input.
11	12	V_{IN}	Analog Signal Input.
12	13, 14	V_{DD}	Power Supply, +5V.
13	15	B1	Bit 1, Output (LSB).
14	16	B2	Bit 2, Output.
15	17	B3	Bit 3, Output.
16	18	REF(CTR)	Reference Ladder Midpoint.
17	19	B4	Bit 4, Output.
18	20	B5	Bit 5, Output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1. CHIP ENABLE TRUTH TABLE

$\overline{CE1}$	CE2	B1 - B6	OF
0	1	Valid	Valid
1	1	Three-State	Valid
X	0	Three-State	Three-State

X = Don't care

TABLE 2. OUTPUT CODE TABLE

CODE DESCRIPTION	(NOTE 1) INPUT VOLTAGE V_{REF} 6.40 (V)	V_{REF} 5.12 (V)	V_{REF} 4.80 (V)	V_{REF} 3.20 (V)	BINARY OUTPUT CODE (LSB) OF	B6	B5	B4	B3	B2	B1	DECIMAL COUNT
Zero	0.00	0.00	0.00	0.00	0	0	0	0	0	0	0	0
1 LSB	0.10	0.08	0.075	0.05	0	0	0	0	0	0	1	1
2 LSB	0.20	0.16	0.15	0.10	0	0	0	0	0	1	0	2
.		.						.				.
.		.						.				.
.		.						.				.
.		.						.				.
$^1/_2$ Full Scale - 1 LSB	3.10	2.48	2.325	1.55	0	0	1	1	1	1	1	31
$^1/_2$ Full Scale	3.20	2.56	2.40	1.60	0	1	0	0	0	0	0	32
$^1/_2$ Full Scale + 1 LSB	3.30	2.64	2.475	1.65	0	1	0	0	0	0	1	33
.		.						.				.
.		.						.				.
.		.						.				.
.		.						.				.
Full Scale - 1 LSB	6.20	4.96	4.65	3.10	0	1	1	1	1	1	0	62
Full Scale	6.30	5.04	4.725	3.15	0	1	1	1	1	1	1	63
Overflow	6.40	5.12	4.80	3.20	1	1	1	1	1	1	1	127

NOTE:

1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1988

CD40174BM/CD40174BC Hex D Flip-Flop
CD40175BM/CD40175BC Quad D Flip-Flop

General Description

The CD40174B consists of six positive-edge triggered D-type flip-flops; the true outputs from each flip-flop are externally available. The CD40175B consists of four positive-edge triggered D-type flip-flops; both the true and complement outputs from each flip-flop are externally available.

All flip-flops are controlled by a common clock and a common clear. Information at the D inputs meeting the set-up time requirements is transferred to the Q outputs on the positive-going edge of the clock pulse. The clearing operation, enabled by a negative pulse at Clear input, clears all Q outputs to logical "0" and $\overline{Q}$s (CD40175B only) to logical "1".

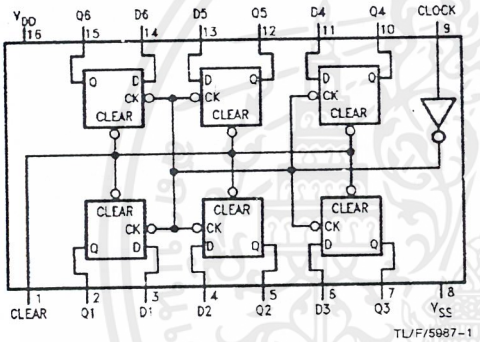
All inputs are protected from static discharge by diode clamps to V_{DD} and V_{SS}.

Features

- Wide supply voltage range — 3V to 15V
- High noise immunity — 0.45 V_{DD} (typ.)
- Low power TTL compatibility — fan out of 2 driving 74L or 1 driving 74 LS
- Equivalent to MC14174B, MC14175B
- Equivalent to MM74C174, MM74C175

Connection Diagrams

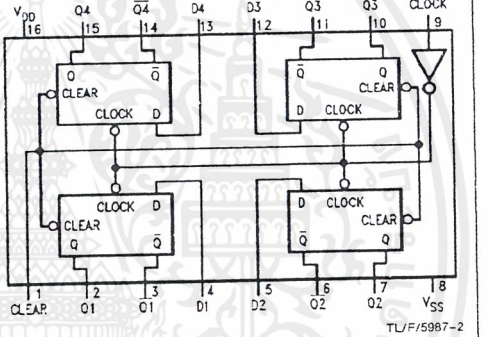
CD40174B
Dual-In-Line Package



TL/F/5987–1

Top View

CD40175B
Dual-In-Line Package



TL/F/5987–2

Top View

Order Number CD40174B or CD40175B

Truth Table

Inputs			Outputs	
Clear	Clock	D	Q	$\overline{Q}$*
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	H	X	NC	NC
H	L	X	NC	NC

H = High level
L = Low level
X = Irrelevant
↑ = Transition from low to high level
NC = No change
* = $\overline{Q}$ for CD40175B only

©1995 National Semiconductor Corporation TL/F/5987

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC3417, MC3517
MC3418, MC3518

Specifications and Applications Information

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

LASER-TRIMMED INTEGRATED CIRCUIT

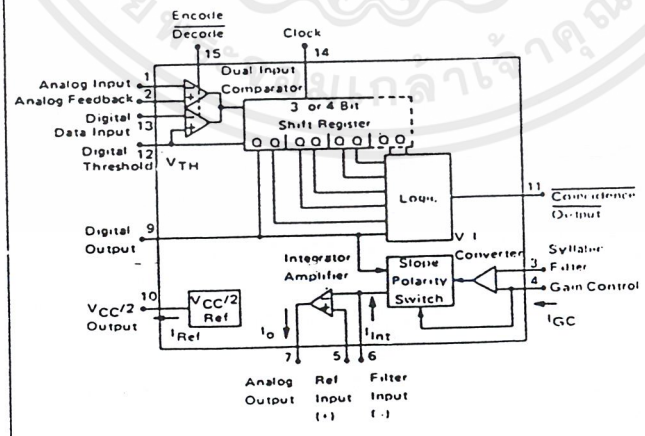
CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

Providing a simplified approach to digital speech encoding/decoding, the MC3517/18 series of CVSDs is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

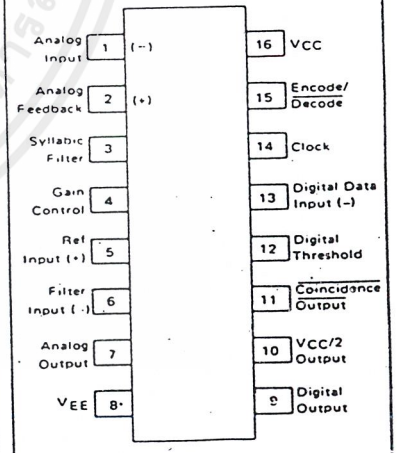
- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I^2L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ reference provided on chip)
- MC3417/MC3517 has a 3-Bit Algorithm (General Communications)
- MC3418/MC3518 has a 4-Bit Algorithm (Commercial Telephone)

L SUFFIX
CERAMIC PACKAGE
CASE 620

CVSD BLOCK DIAGRAM



PIN CONNECTIONS

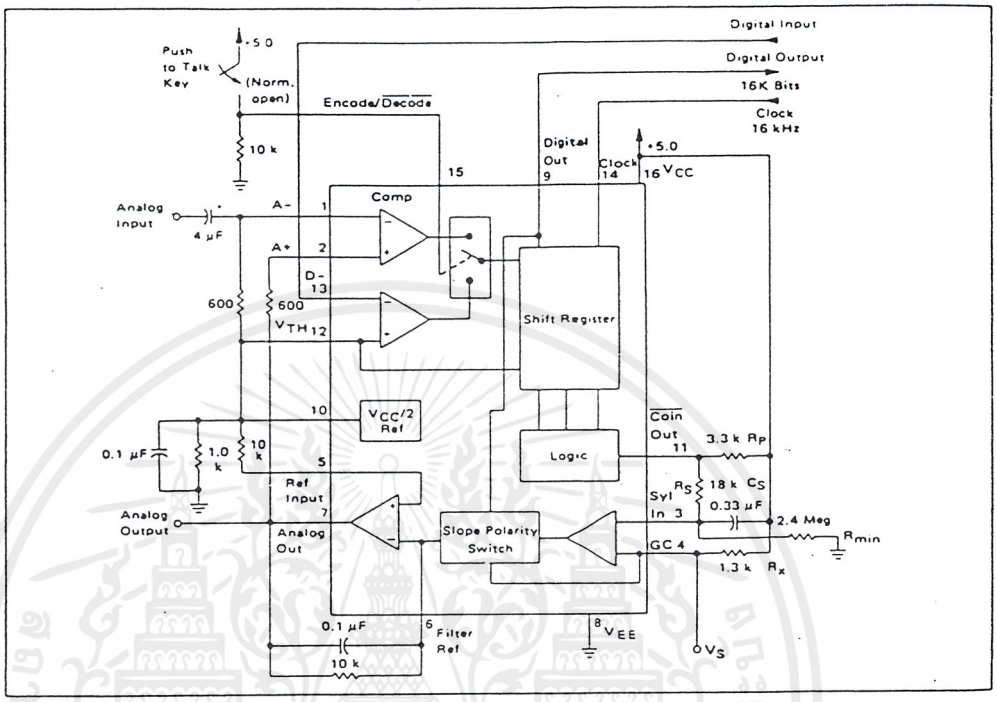


ORDERING INFORMATION

Device	Package	Temperature Range
MC3417L	Ceramic DIP	0°C to +70°C
MC3418L	Ceramic DIP	0°C to +70°C
MC3517L	Ceramic DIP	−55°C to +125°C
MC3518L	Ceramic DIP	−55°C to +125°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 14 – 16 kHz SIMPLEX VOICE CODEC
(Using MC3417, Single Pole Companding and Single Integration)



CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting locations tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4 kHz and clock rates from 8 k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ZNA234E

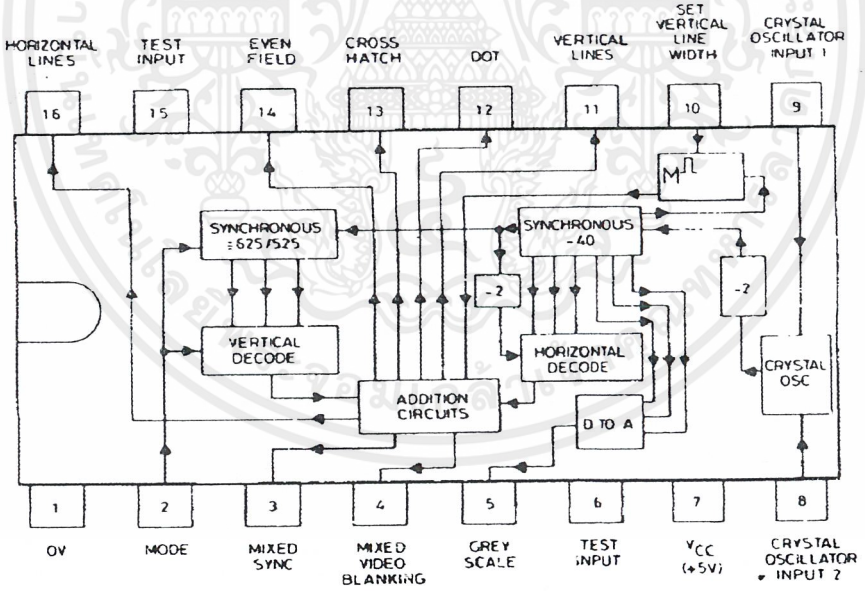
TV PATTERN GENERATOR

FEATURES

- Single 5V supply.
- 625 or 525 line operation.
- Sync and Blanking outputs to CCIR or EIA Standard.
- Field Reference output.
- Separate outputs for:
  - Crosshatch
  - Dot
  - Vertical Lines
  - Horizontal Lines
  - Greyscale
  - Mixed Sync
  - Mixed Video Blanking
- Adjustable vertical line width.

DESCRIPTION

The ZNA234E integrated circuit makes available all the waveforms necessary to produce cross-hatch, dot and greyscale test patterns on a television screen. All that is required is a 2.50MHz crystal (or external oscillator) and a minimum number of external components for mixing video, sync and blanking pulses to give a composite video signal. This can be either injected directly into the video stages of a receiver, or used to drive a UHF modulator/oscillator for connection to the aerial socket. The device is contained in a 16 pin DIL package.



System Diagram

DP16

This Material Copyrighted By Its Respective Manufacturer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

Supply Voltage	7 volts
Input Voltage	5 volts
Operating Temperature Range	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

OPERATING CHARACTERISTICS (over recommended temperature range).

Parameter	Symbol	Min.	Typ.	Max.	Units	Test Conditions
Supply Voltage	V_{CC}	4.75	5.0	5.25	Volts	
Supply Current	I_S	—	135	—	mA	
High-level Input Voltage	V_{IH}	2.4	—	—	Volts	
Low-level Input Voltage	V_{IL}	—	—	0.8	Volts	
High-level Input Current	I_{IH}	—	—	40	μA	$V_{CC}=5V$, $V_I=2.4V$ (See Note 1)
Low-level Input Current	I_{IL}	−40	—	—	μA	$V_{CC}=5V$, $V_I=0V$ (See Note 1)
High-level Output Voltage	V_{OH}	2.4	—	—	Volts	$V_{CC}=5V$, $I_{Source}\leqslant 250\mu A$ (See Note 2)
Low-level Output Voltage	V_{OL}	—	—	0.5	Volts	$V_{CC}=5V$, $I_{Sink}\leqslant 5.0mA$ (See Note 2)
Clock Frequency	f_{clock}	— —	2.500 2.520	— —	MHz MHz	625 lines, Mode = '1' 525 lines, Mode = '0'
External Oscillator Pulse Width	t_w	150	200	250	ns	−ve going pulse, 625/525 lines

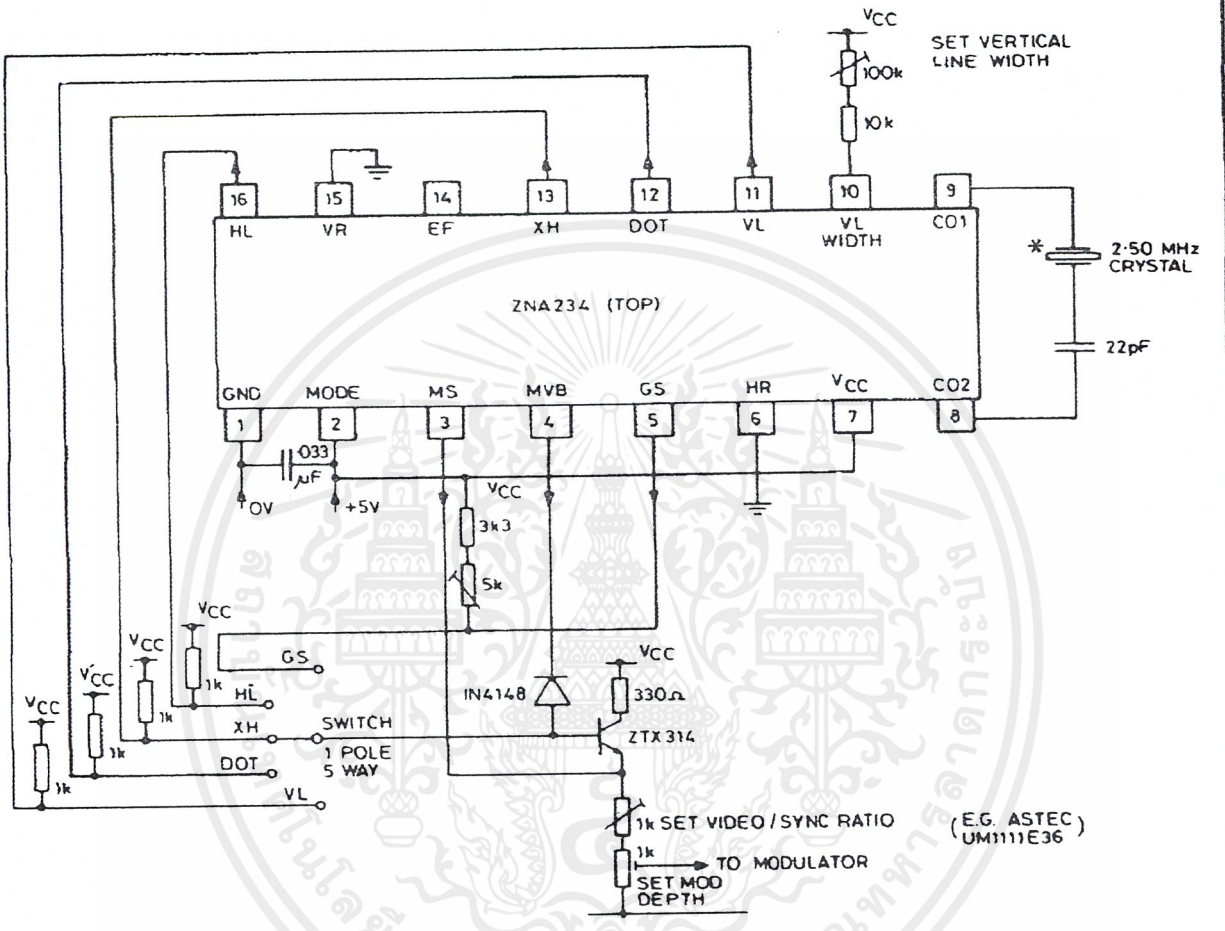
Note 1:
Input conditions only apply to mode input. For input conditions of oscillator inputs C01, C02, see applications section.

Note 2:
All outputs except greyscale, i.e. mixed sync, mixed video blanking, vertical lines, dots, crosshatch, even field and horizontal lines have internal 3k3 pull-up resistors. Edge speeds and sourcing capability can be increased, if required, by the addition of external pull-up resistors, These should have a minimum value of 1 kΩ.

This Material Copyrighted By Its Respective Manufacturer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COMPLETE PATTERN GENERATOR USING THE ZNA234
(for detailed information see applications section)



*The following Companies can supply suitable crystals for use with the ZNA234

McKnight Crystal Company,
Hardley Industrial Estate,
Hythe, Southampton.
Tel: 0703 848961 Telex: 47506
Contact: Mr. Carpenter

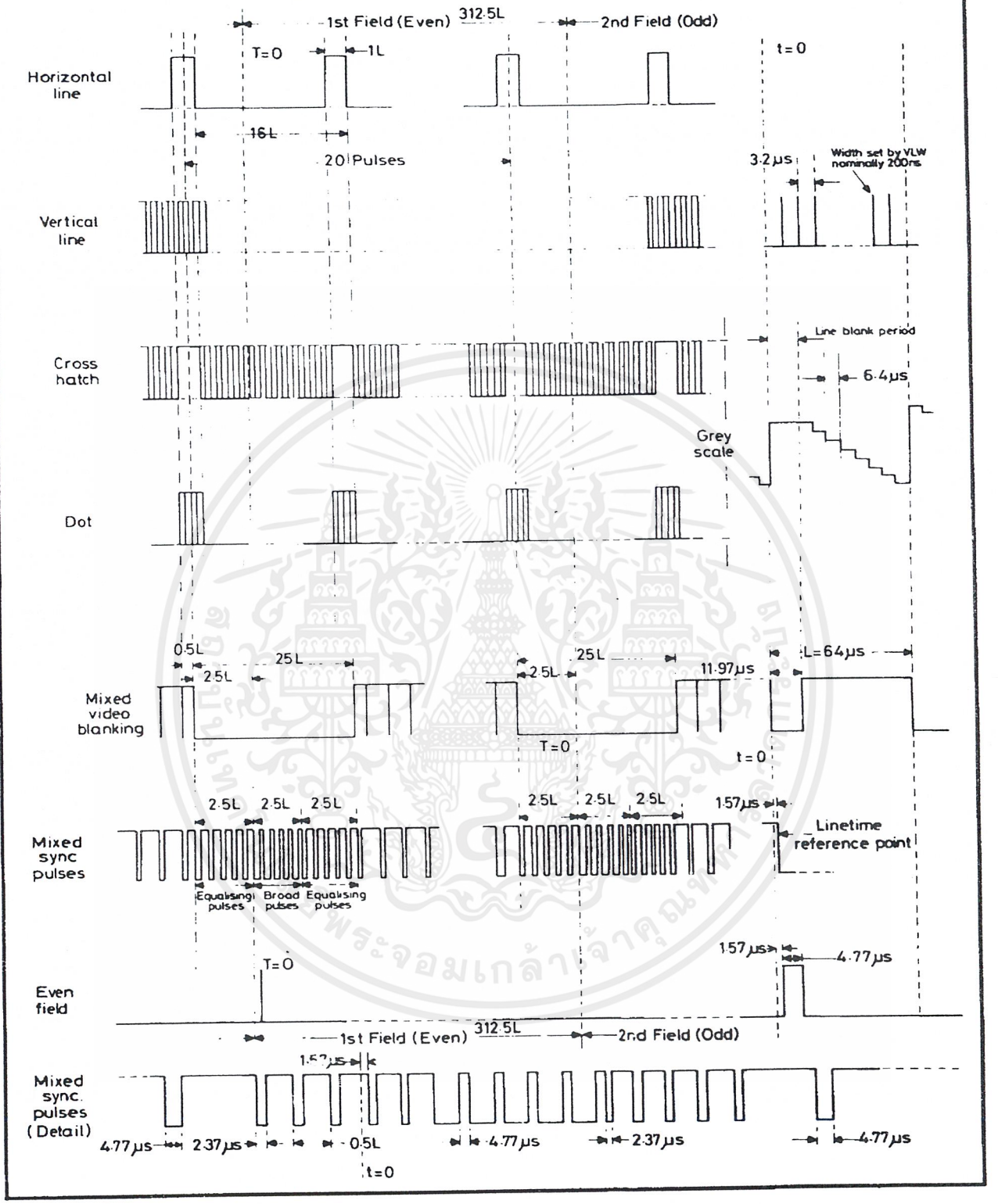
IQD
(Interface Quartz Devices Limited),
Crewkerne,
Somerset.
Tel: 0460 74433 Telex: 46283
Contact: Mr. Jarvis

SEI
(Salford Electrical Instruments Limited),
Times Mill,
Heywood, Lancashire OL10 4NE
Tel: 0706 67501 Telex: 635106
Contact: Mr. P. Kenyon or Mr. D. Standring

This Material Copyrighted By Its Respective Manufacturer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTPUT WAVEFORMS — 625 LINES



This Material Copyrighted By Its Respective Manufacturer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR™

October 1987
Revised January 1999

CD4046BC
Micropower Phase-Locked Loop

General Description

The CD4046BC micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shifts at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitor and resistors connected to pin $C1_A$, $C1_B$, R1 and R2.

The source follower output of the VCO_{IN} (demodulator Out) is used with an external resistor of 10 kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation, if necessary.

Features

- Wide supply voltage range: 3.0V to 18V
- Low dynamic power consumption: 70 µW (typ.) at f_o = 10 kHz, V_{DD} = 5V
- VCO frequency: 1.3 MHz (typ.) at V_{DD} = 10V
- Low frequency drift: 0.06%/°C at V_{DD} = 10V with temperature
- High VCO linearity: 1% (typ.)

Applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

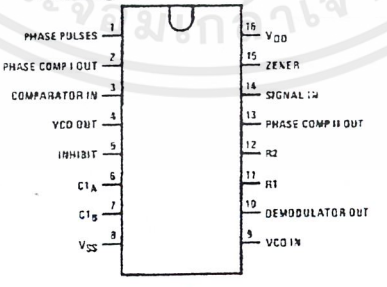
Ordering Code:

Order Number	Package Number	Package Description
CD4046BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow Body
CD4046BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram

Pin Assignments for SOIC and DIP



Top View

© 1999 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram

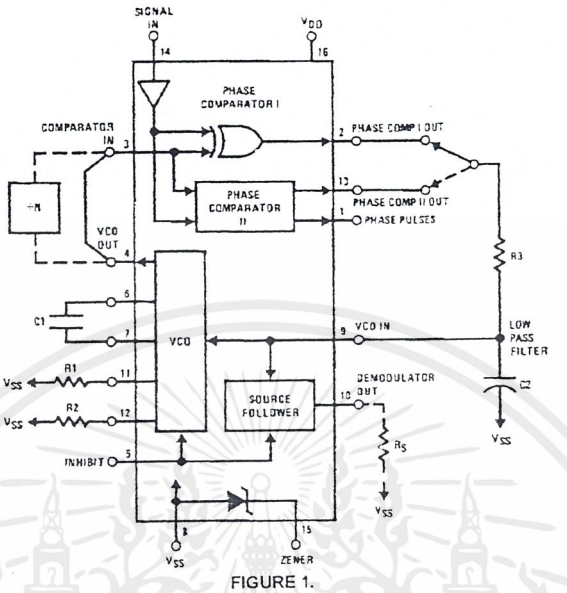


FIGURE 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Waveforms

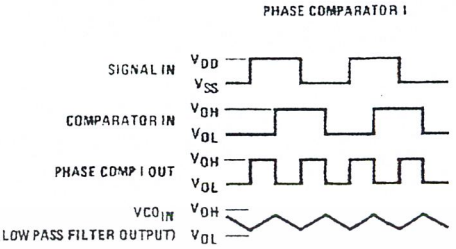


FIGURE 3. Typical Waveform Employing Phase Comparator I in Locked Condition

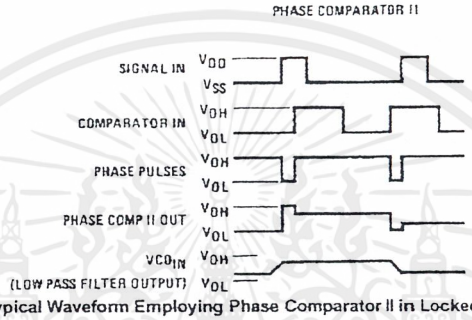


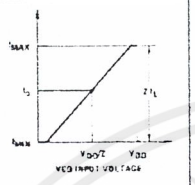
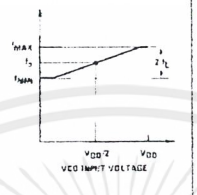
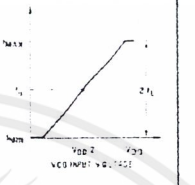
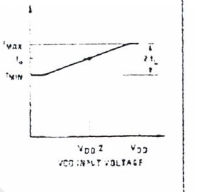
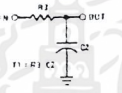
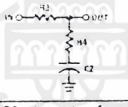
FIGURE 4. Typical Waveform Employing Phase Comparator II in Locked Condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design Information

This information is a guide for approximating the value of external components for the CD4046B in a phase-locked-loop system. The selected external components must be within the following ranges: R1, R2 ≥ 10 kΩ, R_S ≥ 10 kΩ, C1 ≥ 50 pF.

In addition to the given design information, refer to Figure 5, Figure 6, Figure 7 for R1, R2 and C1 component selections.

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset R2 = ∞	VCO With Offset	VCO Without Offset R2 = ∞	VCO With Offset
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_o		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 $2f_C \simeq \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{\tau 1}}$			
Loop Filter Component Selection	 For $2f_C$, see Ref.		$f_C = f_L$	
Phase Angle Between Single and Comparator	90° at center frequency (f_o), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset $R2 = \infty$	VCO With Offset	VCO Without Offset $R2 = \infty$	VCO With Offset
VCO Component Selection	Given: f_o. Use f_o with Figure 5 to determine R1 and C1.	Given: f_o and f_L. Calculate f_{min} from the equation $f_{min} = f_o - f_L$. Use f_{min} with Figure 6 to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_o + f_L}{f_o - f_L}$. Use $\frac{f_{max}}{f_{min}}$ with Figure 7 to determine ratio R2/R1 to obtain R1.	Given: f_{max}. Calculate f_o from the equation $f_o = \frac{f_{max}}{2}$. Use f_o with Figure 5 to determine R1 and C1.	Given: f_{min} and f_{max}. Use f_{min} with Figure 6 to to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$ Use $\frac{f_{max}}{f_{min}}$ with Figure 7 to determine ratio R2/R1 to obtain R1.

References

G.S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.
Floyd Gardner, "Phaselock Techniques", John Wiley & Sons, 1966.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณ ศ. ดร. วิวัฒน์ กิรานนท์ และ ผศ. วิภา แสงพิสิทธิ์ ที่ให้คำปรึกษา แนะนำ ดูแล เอาใจใส่อยู่เสมอ

ผู้จัดทำ

21 มีนาคม 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] เจน สงสมพันธุ์ , นิคม อนันต์ทิพย์ ,"เทคโนโลยีโทรทัศน์", สถาบันอิเล็คทรอนิกส์กรุงเทพ ,2536

[2] ดร.ประสิทธ์ ประพิณมงคลการ , "หลักการระบบสื่อสาร" , ซีเอ็ดยูเคชั่น ,2533

[3] รศ.สมศักดิ์ มิตะถา , "การออกแบบวงจรดิจิตอลและวงจรตรรก" , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2543

[4] วารสารเซมิคอนดัคเตอร์อิเล็คทรอนิกส์ เล่ม 103 , "ไอซี ZNA234", ซีเอ็ดยูเคชั่น , 2533

[5] วารสารเซมิคอนดัคเตอร์อิเล็คทรอนิกส์ เล่ม 102 , "พื้นฐานวงจรเอทูดี,ดีทูเอ",ซีเอ็ดยูเคชั่น ,2533

[6] วารสารเซมิคอนดัคเตอร์อิเล็คทรอนิกส์ เล่ม 111 , "เทคนิคการออกแบบวงจรดิจิตอล",ซีเอ็ดยูเคชั่น, 2534

[7] Dugan ,Frank R. , "Electronic Communications Systems", Delma ,1993

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้