

โมเด็ม 4,800 บิตต่อวินาที

4,800 bps MODEM



โดย

นางสาวสุภาภักดิ์ พฤทธิเทพ

นางสาวอัมภารัตน์ ฐรัตน์

เลขหมู่.....
เลขทะเบียน..... 42211
วัน, เดือน, ปี 15 พ.ค. 2545

b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

โมเด็ม 4,800 บิตต่อวินาที

4,800 bps MODEM

โดย

นางสาวสุภาภักดิ์ พฤทธิเทพ 40010897

นางสาวอัมรินทร์ คุ้มรัตน์ 40010992

อาจารย์ที่ปรึกษา
ผศ. วิภา แสงพิลลิตี

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

ปริญญานิพนธ์ ปีการศึกษา 2543

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง โมเด็ม 4,800 บิตต่อวินาที

4,800 bps MODEM

ผู้จัดทำ

1.นางสาวสุภาภัก พฤทธิเทพ 40010897

2.นางสาวอัยฎารัตน์ ฤๅรัตน์ 40010992



อาจารย์ที่ปรึกษา

(ผศ. วิภา แสงพิสิทธิ์)



โมเด็ม 4,800 บิตต่อวินาที

4,800 bps MODEM

โดย นางสาว สุภาภัก พฤทธิเทพ 40010897

นางสาว อัมภารัตน์ กุรัตน์ 40010992

อาจารย์ที่ปรึกษา ผศ. วิภา แสงพิสิทธิ์

บทคัดย่อ

ปริญญานิพนธ์นี้เป็นการทำโมเด็มที่มีความเร็ว 4,800 บิตต่อวินาที ซึ่งใช้การมอดูเลตแบบ QPSK (Quadrature Phase Shift Keying) โดยจะนำเอาข้อมูลดิจิทัลที่มีการส่งข้อมูลแบบอนุกรมมาเปลี่ยนให้เป็นข้อมูลแบบขนาน 2 บิต มาทำการมอดูเลตกับคลื่นพาห์ สัญญาณที่ได้จะถูกส่งไปตามสายส่ง และจะถูกดีมอดูเลตเพื่อให้ได้ข้อมูลดิจิทัลกลับคืนมา ข้อมูลที่ได้จะถูกเปลี่ยนให้เป็นข้อมูลแบบอนุกรมเพื่อส่งเข้าพอร์ท RS-232C

ABSTRACT

This 4,800 bps MODEM is based on QPSK (Quadrature Phase Shift Keying) modulation will change serial data to 2-bit parallel data. The modulated signal is transmitted via transmission line and then it's demodulated for recovering digital data. This digital data is changed to be serial digital data and sent to RS-232C port.

เรื่อง	หน้า
บทที่ 1 บทนำ	1
1.1 รายละเอียดโดยย่อของโครงการ	1
1.2 วัตถุประสงค์ของโครงการ	1
1.3 ขอบเขตของโครงการ	1
1.4 ประโยชน์หรือผลที่คาดว่าจะได้รับ	1
บทที่ 2 ทฤษฎี	2
2.1 ระบบสื่อสาร (COMMUNICATION SYSTEM)	2
2.1.1 ระบบสื่อสารแบบอนาล็อก	2
2.1.2 ระบบสื่อสารแบบดิจิทัล	4
2.2 การสื่อสารข้อมูล (DATA COMMUNICATION)	4
2.3 การรับส่งข้อมูลแบบขนานและอนุกรม	5
2.4 ความเร็วในการส่ง	6
2.4.1 ความเร็วในการส่งข้อมูล	6
2.4.2 ความเร็วในการมอดูเลต	7
2.5 ลักษณะการส่งข้อมูลแบบอนุกรม	8
2.5.1 การส่งข้อมูลแบบซิงโครนัส (Synchronous)	8
2.5.2 การส่งข้อมูลแบบอะซิงโครนัส (Asynchronous)	8
2.6 การส่งสัญญาณ (Transmission)	9
2.6.1 การส่งผ่านแบบทิศทางเดียว (Simplex)	9
2.6.2 การส่งผ่านแบบสองทิศทางแต่ต่างเวลา (Half duplex)	9
2.6.3 การส่งผ่านแบบสองทิศทางที่เวลาเดียวกัน (Full duplex)	9
2.7 ลักษณะการรับส่ง และการ Echo ของข้อมูล	10
2.8 เทคนิคที่ใช้ส่งข้อมูลแบบ Full Duplex ด้วยสายคู่เดียว	10
2.9 โมเด็ม (MODEM)	11
2.9.1 ความหมายของโมเด็ม	11
2.9.2 หน้าที่ของโมเด็ม	12
2.9.3 โมเด็มชนิดต่อภายนอก	12
2.10 การอินเตอร์เฟซ (INTERFACE)	13
2.10.1 มาตรฐาน CCITT V.24	13
2.10.2 มาตรฐาน CCITT V.28	13

2.10.3	มาตรฐาน EIA RS-232C/D	13
2.11	พอร์ท RS-232C	14
2.11.1	ลักษณะสมบัติทางไฟฟ้าของสัญญาณ RS-232C	14
2.11.2	ลักษณะสมบัติเชิงกลของข้อต่อ (connector)	14
2.11.3	สัญญาณที่ใช้ทั้งหมดใน RS-232C	15
2.11.4	DB-25 และ DB-9	17
2.12	Null Modem Cable	18
2.13	การอินเตอร์เฟสกับคอมพิวเตอร์หรือไมโครคอมพิวเตอร์	20
2.14	การมอดูเลต	22
2.15	ชนิดของการมอดูเลต	22
2.16	การมอดูเลตชนิดเปลี่ยนเฟสคลื่นพาห์ (Phase Modulation)	23
2.17	QPSK (Quadrature Phase Shift Keying)	25
บทที่ 3	หลักการและการออกแบบ	30
3.1	หลักการทำงาน	30
3.2	การออกแบบวงจรภาคส่ง	31
3.2.1	ตัวรับและส่งสัญญาณที่มาจาก RS-232	31
3.2.2	วงจรสร้างสัญญาณนาฬิกา	39
3.2.3	วงจรแปลงข้อมูลจากอนุกรมเป็นแบบขนาน (Serial to Parallel)	39
3.2.4	วงจรปรับระดับสัญญาณ	40
3.2.5	วงจรผลิตสัญญาณ Sine และ Cosine	41
3.2.6	วงจรมอดูเลเตอร์ (Modulator)	42
3.2.7	วงจร Summing Amplifier และ Inverting Amplifier	43
3.3	การออกแบบวงจรภาครับ	44
3.3.1	วงจรกู้สัญญาณนาฬิกา(Carrier Recovery)	44
3.3.2	วงจรดีมอดูเลเตอร์	48
3.3.3	วงจรแปลงข้อมูลจากขนานเป็นอนุกรม	49
3.3.4	วงจรตรวจสอบความถูกต้องของเฟส	49
3.3.5	วงจรเลื่อนเฟสของแครี่เรียร์	50
บทที่ 4	การทดลองและผลการทดลอง	52
4.1	การทดลอง	52
4.2	ผลการทดลองทางด้านส่ง	52
4.2.1	วงจรสร้างสัญญาณนาฬิกา	52

4.2.2	ตัวรับและส่งสัญญาณจาก RS-232	53
4.2.3	วงจรแปลงสัญญาณแบบอนุกรมเป็นขนาน 2 บิต	54
4.2.4	วงจรปรับระดับสัญญาณ	59
4.2.5	วงจรผลิตสัญญาณ Sine และ Cosine	60
4.2.6	วงจรมอดูเลเตอร์ (Modulator)	61
4.2.7	วงจร Summing Amplifier และ Inverting Amplifier	63
4.3	ผลการทดลองทางด้านรับ	64
4.3.1	วงจรกู้สัญญาณนาฬิกา	64
4.3.2	วงจรมอดูเลเตอร์	70
4.3.3	วงจรแปลงข้อมูลขนานเป็นแบบอนุกรม	73
4.4	ภาพถ่ายชิ้นงานและการทดลอง	74
บทที่ 5	สรุปและวิจารณ์	78
ภาคผนวก		
กิตติกรรมประกาศ		
บรรณานุกรม		

สารบัญรูปภาพ

รูป	หน้า
รูปที่ 2.1 ระบบสื่อสาร	2
รูปที่ 2.2 แสดงการกำหนดค่าความกว้างแถบ	2
รูปที่ 2.3 แสดงระบบสื่อสารแบบอนาลอก	3
รูปที่ 2.4 แสดงการสื่อสารทั้งแบบอนาลอกและแบบดิจิทัล	4
รูปที่ 2.5 การส่งข้อมูลแบบขนานและอนุกรม	5
(ก.) การส่งข้อมูลแบบขนาน	
(ข.) การส่งข้อมูลแบบอนุกรม	
รูปที่ 2.6 Start bit และ Stop bit	6
รูปที่ 2.7 วิธีการเข้าจังหวะเฟล็ก	6
รูปที่ 2.8 ตัวอย่างความเร็วในการส่งข้อมูล	7
รูปที่ 2.9 ตัวอย่างความเร็วในการส่งข้อมูลและความเร็วในการมอดูเลชัน	8
รูปที่ 2.10 หลักการสื่อสารแบบ Simplex, Half Duplex และ Full Duplex	9
(ก.) การสื่อสารแบบ Simplex	
(ข.) การสื่อสารแบบ Half Duplex	
(ค.) การสื่อสารแบบ Full Duplex	
รูปที่ 2.11 แสดงตัวอย่างการใช้โมเด็ม	11
รูปที่ 2.12 แสดงการกำหนดของข้อต่อ RS-232C	15
รูปที่ 2.13 การต่อสายสลับของ RS-232C หรือ Null Modem Cable	19
รูปที่ 2.14 การต่อสายตรงจาก DB-25 ไปยัง DB-9	19
รูปที่ 2.15 การต่อสายสลับจาก DB-9 ไปยัง DB-25	20
รูปที่ 2.16 การติดต่อระหว่าง DTE กับ DCE	20
รูปที่ 2.17 การอินเตอร์เฟสกับคอมพิวเตอร์หรือไมโครคอมพิวเตอร์	21
รูปที่ 2.18 รูปแบบของการสื่อสารในการรับส่งสัญญาณ	22
รูปที่ 2.19 แสดงการมอดูเลตเชิงขนาด, เชิงความถี่ และ เชิงเฟส	23
รูปที่ 2.20 แสดงคุณสมบัติของคลื่นรูปไซน์	24
(ก.) คลื่นสัญญาณ	
(ข.) เฟสของสัญญาณ	
รูปที่ 2.21 แสดงเทคนิคการมอดูเลตสัญญาณชนิดเปลี่ยนเฟสของคลื่นพาห์	24
รูปที่ 2.22 แสดงตัวอย่างของการมอดูเลตชนิดเปลี่ยนเฟสของคลื่นพาห์	24
รูปที่ 2.23 รหัส 4 คู่ของสัญญาณ QPSK	25
รูปที่ 2.24 Gray Code ที่ใช้ใน QPSK	26

รูปที่ 2.25 วงจรมอดูเลต QPSK	26
รูปที่ 2.26 เปรียบเทียบเฟสของสัญญาณในช่วงสัญญาณ P และ Q	27
รูปที่ 2.27 เวกเตอร์ผลลัพธ์ของสัญญาณ QPSK	27
รูปที่ 2.28 สัญญาณ QPSK ถูกเลื่อนเฟส $\pi/4$	28
รูปที่ 2.29 คีมอดูเลตสัญญาณ QPSK	28
รูปที่ 2.30 การดีเทคสัญญาณ QPSK ออกเป็น BPSK 2 สัญญาณ	29
รูปที่ 3.1 บล็อกไดอะแกรมของโมเด็ม 4,800 บิตต่อวินาที	30
รูปที่ 3.2 (ก.) วงจรแปลงสัญญาณจากอนุกรมเป็นขนาน 2 บิต	31
(ข.) วงจรมอดูเลเตอร์	32
(ค.) วงจรกู้สัญญาณคลื่นพาห์	33
(ง.) แสดงวงจรคีมอดูเลต	34
(จ.) วงจรแปลงสัญญาณขนานเป็นแบบอนุกรม	35
(ฉ.) วงจรตรวจสอบความถูกต้องของข้อมูล	36
(ซ.) วงจรเลื่อนเฟสของแครี่เรียร์	37
รูปที่ 3.3 แสดงการต่อ IC DS275	38
รูปที่ 3.4 แสดงวงจรสร้างสัญญาณนาฬิกา 4.8kHz	39
รูปที่ 3.5 แสดงวงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน	39
รูปที่ 3.6 วงจรปรับระดับสัญญาณ	40
รูปที่ 3.7 วงจรผลิตสัญญาณ Sine และ Cosine	41
รูปที่ 3.8 วงจรมอดูเลตแบบบาลานซ์มอดูเลชัน	42
รูปที่ 3.9 แสดงสเปกตรัมความถี่ของสัญญาณที่มอดูเลชันแล้ว	42
รูปที่ 3.10 วงจร Summing Amplifier และ Inverting Amplifier	43
รูปที่ 3.11 บล็อกไดอะแกรมแสดงการรีคอปเวอรัสัญญาณแครี่เรียร์	44
รูปที่ 3.12 แสดงวงจรคูณความถี่	45
รูปที่ 3.13 วงจรกรองแถบความถี่ผ่าน	46
รูปที่ 3.14 บล็อกไดอะแกรมแสดงการทำงานของเฟสล็อกคูลูป	46
รูปที่ 3.15 แสดงวงจรเฟสล็อกคูลูป	47
รูปที่ 3.16 แสดงวงจรหารความถี่สี่เท่า	47
รูปที่ 3.17 วงจรกรองความถี่ต่ำผ่าน	48
รูปที่ 3.18 วงจรแปลงระดับสัญญาณเป็นแบบทีทีแอล	49
รูปที่ 3.19 บล็อกไดอะแกรมแสดงการตรวจสอบความถูกต้องของเฟส	49
รูปที่ 4.1 ชุดกำเนิดข้อมูล 4,800 บิตต่อวินาที	52
รูปที่ 4.2 Ch1แสดงสัญญาณนาฬิกา 4.8kHz ที่วัดได้จากขา13ของ IC MC4060	53
รูปที่ 4.3 Ch1แสดงสัญญาณที่มาจากชุดกำเนิดข้อมูล 4,800 บิตต่อวินาทีก่อนเข้าDS275	53

Ch2แสดงสัญญาณหลังผ่านDS275	
รูปที่ 4.4 Ch1แสดงสัญญาณที่ขา2ของIC1A(7474) Ch2แสดงสัญญาณที่ขา5ของIC1A(7474)	54
รูปที่ 4.5 Ch1แสดงสัญญาณที่ขา12ของIC1B(7474) Ch2แสดงสัญญาณที่ขา9ของIC1B(7474)	55
รูปที่ 4.6 Ch1แสดงสัญญาณนาฬิกา 4.8kHzที่เข้าที่ขา4ของ IC 74109 Ch2แสดงสัญญาณนาฬิกา 2.4kHzที่ขา6ของ IC 74109	55
รูปที่ 4.7 Ch1แสดงสัญญาณที่ขา2ของIC2A(7474) Ch2แสดงสัญญาณที่ขา5ของIC2A(7474)	56
รูปที่ 4.8 Ch1แสดงสัญญาณขาเข้าที่ขา12ของ IC2B(7474) Ch2แสดงสัญญาณขาออกที่ขา9ของ IC2B(7474)	57
รูปที่ 4.9 แสดงการเปรียบเทียบสัญญาณ โดยที่ Ch1แสดงสัญญาณที่ขา5ของ IC2A(7474)Bit A Ch2แสดงสัญญาณที่ขา9ของ IC2A(7474)Bit B	58
รูปที่ 4.10 Ch1แสดงสัญญาณขาเข้าที่ Bit A ก่อนเข้าOP1B Ch2แสดงสัญญาณหลังผ่านวงจรปรับระดับสัญญาณที่ขา7 ของOP1B	59
รูปที่ 4.11 Ch1แสดงสัญญาณขาเข้าที่ Bit B ก่อนเข้าOP1A Ch2แสดงสัญญาณหลังผ่านวงจรปรับระดับสัญญาณที่ขา1ของOP1A	59
รูปที่ 4.12 Ch1แสดงสัญญาณSineที่ขา1ของOP2Aที่สร้างจากวงจรOscillator Ch2แสดงสัญญาณCosineที่ขา17ของOP2Bที่สร้างจากวงจรOscillator	60
รูปที่ 4.13 Ch1แสดงสัญญาณที่ขา1ของIC3 MC1596 ก่อนมอดูเลชั่น Ch2แสดงสัญญาณ I ที่ขา6ของIC3 MC1596 หลังมอดูเลชั่น	61
รูปที่ 4.14 Ch1แสดงสัญญาณที่ขา1ของIC4 MC1596 ก่อนมอดูเลชั่น Ch2แสดงสัญญาณ Q ที่ขา6ของIC4 MC1596 หลังมอดูเลชั่น	61
รูปที่ 4.15 แสดงการเปรียบเทียบสัญญาณ โดยที่ Ch1แสดงสัญญาณที่ขา6ของIC3 MC1596(I Signal) Ch2แสดงสัญญาณที่ขา6ของIC4 MC1596(Q Signal)	62
รูปที่ 4.16 Ch1แสดงสัญญาณหลังผ่านวงจร Summing Amplifier ที่ขา1ของOP3A Ch2แสดงสัญญาณหลังผ่านวงจร Inverting Amplifier ที่ขา17ของOP3B	63
รูปที่ 4.17 Ch1 แสดงสัญญาณ QPSK ที่ส่งมาจากทางภาคส่ง Ch2 แสดงสัญญาณที่ผ่านการคูณสอง	64
รูปที่ 4.18 Ch1 แสดงสัญญาณหลังผ่านวงจรคูณสอง Ch2 แสดงสัญญาณหลังผ่านวงจรคูณสี่	65

รูปที่ 4.19 Ch1 แสดงสัญญาณก่อนผ่านวงจรกรองแถบความถี่ผ่าน	66
Ch2 แสดงสัญญาณหลังผ่านวงจรกรองแถบความถี่ผ่าน	
รูปที่ 4.20 Ch1 แสดงสัญญาณก่อนเข้าวงจรเฟสล็อกคูล	66
Ch2 แสดงสัญญาณหลังผ่านวงจรเฟสล็อกคูล	
รูปที่ 4.21 Ch1 แสดงสัญญาณก่อนเข้าวงจรหารความถี่	67
Ch2 แสดงสัญญาณหลังเข้าวงจรหารสอง	
รูปที่ 4.22 Ch1 แสดงสัญญาณจากวงจรหารสอง	68
Ch2 แสดงสัญญาณหลังผ่านวงจรหารสี่	
รูปที่ 4.23 Ch1 แสดงสัญญาณก่อนเข้าวงจรกรองแถบความถี่ผ่าน	69
Ch2 แสดงสัญญาณหลังผ่านวงจรกรองแถบความถี่ผ่าน	
รูปที่ 4.24 Ch1 แสดงสัญญาณ QPSK ที่ได้มาจากทางภาคส่ง	70
Ch2 แสดงสัญญาณที่ผ่านวงจรคิมอดูเลตโดยใช้สัญญาณชาแนลเป็นตัวคูณ	
รูปที่ 4.25 Ch1 แสดงสัญญาณ QPSK ที่ได้มาจากทางภาคส่ง	70
Ch2 แสดงสัญญาณ Q ที่คิมอดูเลตออกมาได้โดยใช้สัญญาณโคชาแนลเป็นตัวคูณ	
รูปที่ 4.26 Ch1 แสดงสัญญาณ I ที่ได้จากการคิมอดูเลตก่อนเข้าวงจรกรองแถบความถี่ต่ำผ่าน	71
Ch2 แสดงสัญญาณ I หลังผ่านวงจรกรองแถบความถี่ต่ำผ่าน	
รูปที่ 4.27 Ch1 แสดงสัญญาณ I ก่อนเข้าวงจรคอมพาราเตอร์	71
Ch2 แสดงสัญญาณ I หลังผ่านวงจรคอมพาราเตอร์	
รูปที่ 4.28 Ch1 แสดงสัญญาณ Q ที่ได้จากการคิมอดูเลตก่อนเข้าวงจรกรองความถี่ต่ำผ่าน	72
Ch2 แสดงสัญญาณ Q หลังผ่านวงจรกรองความถี่ต่ำผ่าน	
รูปที่ 4.29 Ch1 แสดงสัญญาณ Q ที่ได้จากการคิมอดูเลตก่อนเข้าวงจรกรองแถบความถี่ต่ำผ่าน	72
Ch2 แสดงสัญญาณ Q หลังผ่านวงจรกรองแถบความถี่ต่ำผ่าน	
รูปที่ 4.30 แสดงการเปรียบเทียบสัญญาณ	73
Ch1 แสดงสัญญาณ I ที่ได้จากวงจรคอมพาราเตอร์	
Ch2 แสดงสัญญาณ Q ที่ได้จากวงจรคอมพาราเตอร์	
รูปที่ 4.31 Ch1 แสดงสัญญาณที่ได้หลังผ่านวงจรแปลงข้อมูลจากขนานเป็นแบบอนุกรม	73
Ch2 แสดงสัญญาณนาฬิกาที่ใช้ในวงจรแปลงข้อมูลจากขนานเป็นแบบอนุกรม	
รูปที่ 4.32 แสดงชิ้นงานที่ประกอบลงกล่องเรียบร้อยแล้ว	74
(ก.) ทางด้านส่ง	
(ข.) ทางด้านรับ	
รูปที่ 4.33 แสดงวงจรทั้งหมดภายในชิ้นงาน	75
(ก.) ทางด้านส่ง	
(ข.) ทางด้านรับ	
รูปที่ 4.34 แสดงภาพการทดลองรวมโดยการต่อชิ้นงานกับเครื่องคอมพิวเตอร์ผ่านพอร์ต RS-232	76



สารบัญตาราง

ตาราง	หน้า
ตารางที่ 2.1 ตารางมาตรฐานของการใช้แรงดันไฟฟ้า	14
ตารางที่ 2.2 เปรียบเทียบ DB-25 และ DB-9	17
ตารางที่ 3.1 แสดง QPSK Signal และเฟส ณ data logic ต่าง ๆ	43



บทที่ 1

บทนำ

1.1 รายละเอียดโดยย่อของโครงการ

ในปัจจุบันการสื่อสารข้อมูลมีความสำคัญมากในชีวิตประจำวัน โดยเฉพาะการสื่อสารข้อมูลระหว่างอุปกรณ์คอมพิวเตอร์โดยใช้โมเด็มเป็นตัวแปลงข้อมูลที่ได้จากคอมพิวเตอร์ไปเป็นสัญญาณไฟฟ้า ซึ่งสามารถส่งผ่านไปตามสายโทรศัพท์ทั่วไปได้ ที่ปลายอีกด้านหนึ่งของสายโทรศัพท์นี้จะมีโมเด็มอีกตัวหนึ่งทำหน้าที่รับสัญญาณดังกล่าวมาทำการแปลงกลับมาเป็นสัญญาณในรูปแบบเดิมที่คอมพิวเตอร์ใช้อยู่ และด้วยวิธีการนี้เองทำให้การสื่อสารในโลกปัจจุบันได้ขยายตัวไปอย่างกว้างขวาง

จากเหตุผลที่กล่าวมาข้างต้น จึงได้เกิดแนวคิดที่จะศึกษาแนวทางในการสร้างโมเด็มที่มีความเร็วในการส่งข้อมูล 4,800 บิตต่อวินาที โดยเลือกใช้วิธีการมอดูเลชันและดีมอดูเลชันแบบ QPSK (Quadrature Phase Shift Keying) ซึ่งได้ทำการออกแบบวงจรบางส่วนและหาวงจรที่เหมาะสมกับการใช้งานมาทำการทดลอง เพื่อให้สำเร็จตามวัตถุประสงค์ที่วางไว้

1.2 วัตถุประสงค์ของโครงการ

ในโครงการนี้มีวัตถุประสงค์อยู่ด้วยกันดังนี้

- 1.2.1 เพื่อศึกษาและเรียนรู้การใช้งานโมเด็มเบื้องต้น
- 1.2.2 เพื่อศึกษาและเรียนรู้คุณสมบัติต่างๆของระบบการมอดูเลตสัญญาณแบบ QPSK
- 1.2.3 สามารถออกแบบวงจร โมเด็ม 4,800 บิตต่อวินาที โดยใช้การมอดูเลตแบบ QPSK
- 1.2.4 สร้างและทดสอบวงจรทั้งทางด้านส่งและทางด้านรับ

1.3 ขอบเขตของโครงการ

เมื่อสิ้นสุดระยะเวลาดำเนินงานจะต้องได้รับสิ่งต่อไปนี้

- 1.3.1 ได้รับความรู้และแนวทางในการพัฒนาวิธีการมอดูเลชันและดีมอดูเลชันแบบ QPSK
- 1.3.2 ส่วนของวงจรต่างๆทั้งทางด้านส่ง (มอดูเลชัน) และทางด้านรับ (ดีมอดูเลชัน) ที่ใช้ในโครงการ
- 1.3.3 รายงานเกี่ยวกับการศึกษาและทดสอบคุณภาพของสัญญาณที่วัดได้

1.4 ประโยชน์หรือผลที่คาดว่าจะได้รับ

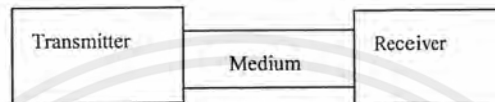
เนื่องจากในปัจจุบันนี้การสื่อสารข้อมูลมีความสำคัญมาก มนุษย์จึงได้พยายามหาวิธีการที่จะทำให้การติดต่อสื่อสารข้อมูลสะดวกและรวดเร็วที่สุด วิธีการหนึ่งก็คือ การส่งข้อมูลแบบดิจิทัลผ่านสายโทรศัพท์โดยอาศัยโมเด็มเป็นตัวแปลงสัญญาณ ดังนั้นการทำโครงการนี้จึงเป็นส่วนหนึ่งที่จะช่วยให้พื้นฐานในการเรียนรู้ในเรื่องโมเด็ม เพื่อจะได้ใช้เป็นความรู้ในการที่จะนำไปศึกษาเพื่อออกแบบโมเด็มความเร็วสูงที่มีประสิทธิภาพในการรับส่งข้อมูลที่ติดต่อไปในอนาคต.

บทที่ 2

ทฤษฎี

2.1 ระบบสื่อสาร (COMMUNICATION SYSTEM)

ระบบสื่อสารมีความหมายกว้างขวาง การส่งข่าวสารทางสายก็เป็นชนิดหนึ่งของระบบสื่อสาร โดยพื้นฐานแล้วระบบสื่อสารจะประกอบด้วยส่วนใหญ่ๆ 3 ส่วนคือ ตัวส่งข่าวสาร (Transmitter), ตัวกลางในการส่งข่าวสาร (Medium) และตัวรับข่าวสาร (Receiver) แต่ละส่วนมีความสัมพันธ์กัน ดังรูปที่ 2.1



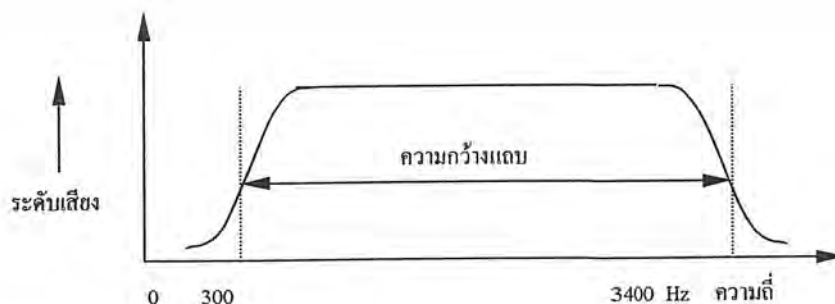
รูปที่ 2.1 ระบบสื่อสาร

ในที่นี้จะกล่าวถึงระบบสื่อสารในความหมายทางโทรคมนาคม เราสามารถแบ่งชนิดของระบบสื่อสารได้ 2 แบบ ตามลักษณะสัญญาณที่ใช้ในระบบคือ

- แบบสัญญาณอนาล็อก เช่น เสียงพูด
- แบบสัญญาณดิจิทัล

2.1.1 ระบบสื่อสารแบบอนาล็อก

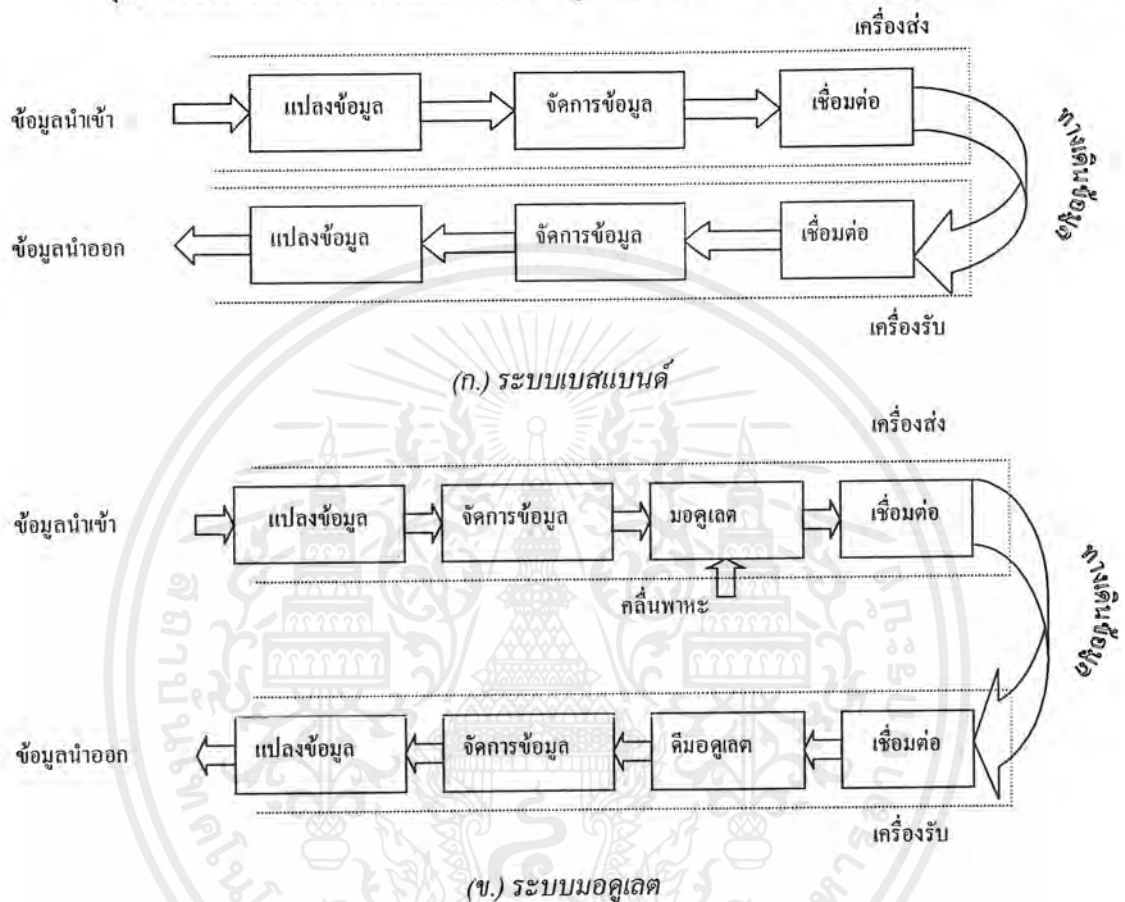
สิ่งที่ใช้พิจารณาขีดความสามารถของระบบนี้ คือ อัตราส่วนของสัญญาณหลักต่อสัญญาณรบกวน หรือค่า S/N โดยที่ ถ้าค่า S/N สูง แสดงว่าระบบมีประสิทธิภาพดี แต่ถ้าค่า S/N ต่ำ แสดงว่าระบบมีประสิทธิภาพไม่ดีและอีกประเด็นสำคัญประการหนึ่งที่เราใช้พิจารณาด้วย คือ ค่าความกว้างแถบ (Band width) ซึ่งหมายถึง ช่วงความถี่ที่ครอบคลุมกำลังงานส่วนมาก หรือ ช่วงความถี่ที่มีอัตราขยายหรือค่าการลดทอนเพียงเล็กน้อยในช่วงกลางๆ ของความกว้างแถบที่จุด 3 dB หรือครึ่งหนึ่งของกำลังงานสูงสุด ดังเช่นใน รูปที่ 2.2 ที่แสดงค่าความกว้างแถบของสัญญาณเสียง ซึ่งมีค่าความกว้างแถบเท่ากับ 3,000 Hz



รูปที่ 2.2 แสดงการกำหนดค่าความกว้างแถบ

เห็นได้ว่ากรณีที่ช่องสัญญาณติดต่อมีความกว้างแถบไม่เพียงพอต่อสัญญาณที่เราสนใจอยู่ ทำให้สัญญาณไม่สามารถส่งผ่านได้หมด เราเรียกลักษณะการเกิดกรณีนี้ว่าความเพี้ยน (Distortion)

ในรูปที่ 2.3 พิจารณาระบบสื่อสารแบบอนาล็อก ซึ่งมีการทำงานภายในต่างกัน แต่มีจุดหลักที่เหมือนกันคือ การรับและการส่งข้อมูลในแบบอนาล็อก เช่น เสียงหรือภาพที่มองเห็นได้



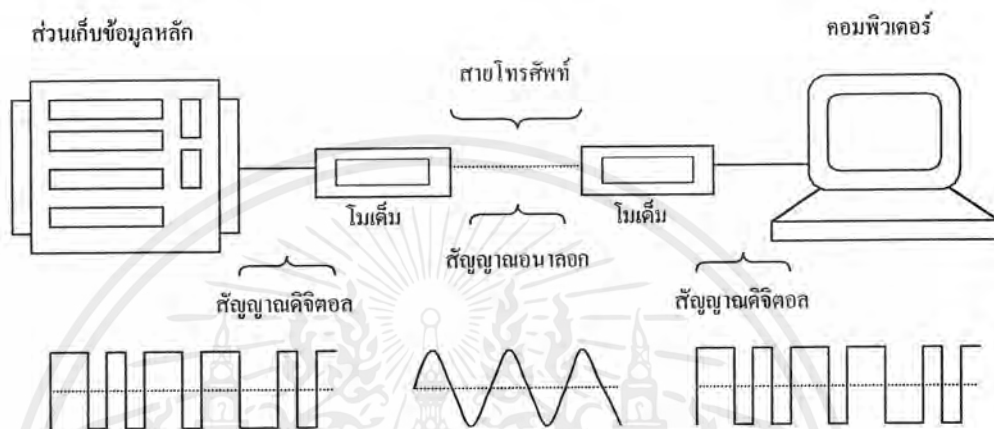
รูปที่ 2.3 แสดงระบบสื่อสารแบบอนาล็อก

จากรูปที่ 2.3 (ก.) แสดงให้เห็นถึงระบบเบสแบนด์ที่มีลักษณะสำคัญ คือ รูปสัญญาณที่ส่งออกมา จะมีรูปสเปกตรัมของความถี่เดียวกับแหล่งต้นทาง หรือแหล่งผลิตความถี่ ซึ่งหมายถึงไม่มีการมอดูเลตกับคลื่นพาหะที่มีความถี่สูงกว่า ส่วนขั้นตอนที่เกี่ยวกับสัญญาณในด้านส่ง อาจมีการขยายสัญญาณ การกรองความถี่ หรือการแมชชิงอิมพีแดนซ์ เพื่อลดการสูญเสียในการส่งและการรับ

ส่วนรูปที่ 2.3 (ข.) แสดงถึงระบบสื่อสารแบบอนาล็อก ที่มีการรวมและการแยกสัญญาณในทางคณิตศาสตร์ (Modulation and Demodulation) อธิบายได้ว่า การรวมหรือการแยกสัญญาณจะใช้การเปลี่ยนรูปสเปกตรัมความถี่ของสัญญาณให้เข้ากันกับช่วงความถี่ที่เลือกไว้ หรือในอีกแง่หนึ่งเป็นการป้องกันสัญญาณอื่นแทรกเข้ามาในช่วงความถี่เดียวกัน ตัวอย่างของการใช้ระบบนี้ที่มีใช้กันอย่างแพร่หลาย คือการกระจายเสียงวิทยุในแบบ AM และ FM

2.1.2 ระบบสื่อสารแบบดิจิทัล

ลักษณะข้อมูลที่ใช้ในระบบนี้จะเป็น “1” หรือ “0” เช่น เลขฐานสอง เลขฐานสิบหก เป็นต้น บางครั้งอาจมีความต้องการส่งสัญญาณอนาลอกผ่านระบบดิจิทัล จึงต้องมีการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิทัลก่อน เรียกว่า การสุ่มตัวอย่าง (Sampling) ซึ่งเป็นวิธีทางคณิตศาสตร์ ค่าที่ได้จากการสุ่มตัวอย่างจัดเป็นรหัสเลขฐานสอง (Binary code) ที่สามารถจัดการตามเทคนิคทางดิจิทัลได้



รูปที่ 2.4 แสดงการสื่อสารทั้งแบบอนาลอกและแบบดิจิทัล

จากรูปที่ 2.4 แสดงการสื่อสารทั้งแบบอนาลอกและแบบดิจิทัล แสดงสัญญาณในการติดต่อระหว่างเครื่องคอมพิวเตอร์กับส่วนเก็บข้อมูลหลักผ่านทางสายโทรศัพท์ โดยมีอุปกรณ์โมเด็มทำหน้าที่ช่วยเครื่องคอมพิวเตอร์ ให้สามารถรับและส่งข้อมูลผ่านสายโทรศัพท์ได้ โดยแปลงสัญญาณคอมพิวเตอร์ให้เป็นสัญญาณไฟฟ้าทางด้านส่งและแปลงกลับอีกทางด้านรับ

ประเด็นอย่างหนึ่งที่ควรสนใจในระบบสื่อสารแบบดิจิทัล คือ ประสิทธิภาพของระบบ โดยพิจารณาจากค่าอัตราการผิดพลาดข้อมูล (Bit Error Rate : BER) ซึ่งเป็นอัตราส่วนระหว่างจำนวนข้อมูลที่ผิดพลาดเทียบกับจำนวนข้อมูลที่ส่งไปทั้งหมดในช่วงเวลาหนึ่ง โดยถ้า BER มีค่าต่ำ หมายถึงระบบมีประสิทธิภาพสูง (เพราะจำนวนข้อมูลที่ผิดพลาดมีน้อย)

2.2 การสื่อสารข้อมูล (DATA COMMUNICATION)

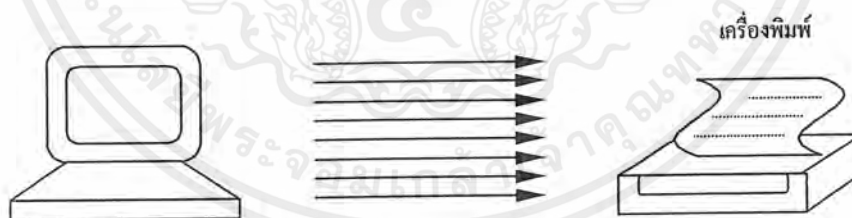
คำว่า “data” หมายถึงข้อมูล และคำว่า “communication” หมายถึงการติดต่อสื่อสาร รวมความแล้วคำว่า “data communication” แปลว่าการสื่อสารข้อมูล ซึ่งหมายถึงการแลกเปลี่ยนข้อมูลกันระหว่างอุปกรณ์ 2 ชนิดโดยมีการส่งสัญญาณแบบอิเล็กทรอนิกส์ ข้อมูลในที่นี้มักได้แก่ข้อมูลดิจิทัลที่มีค่า “0” และ “1” อุปกรณ์สื่อสารข้อมูลที่ใช้กันมากได้แก่ระบบคอมพิวเตอร์ ซึ่งมักจะประกอบด้วยคอมพิวเตอร์และเทอร์มินัลเป็นอุปกรณ์หลัก การจะทำให้การสื่อสารประสบผลสำเร็จนั้น ผู้ส่งสารและผู้รับสารต้องทำความเข้าใจร่วมกัน เช่น ทิศทางในการส่งข้อมูลสัญลักษณ์ที่ใช้ อัตราความเร็วที่ใช้ในการ

ถ่ายเทข้อมูล เป็นต้น โดยทั่วไปการสื่อสารข้อมูลหมายถึง วิธีการที่มีประสิทธิภาพที่รวมเอาการประมวลผลและการส่งข้อมูลเข้าด้วยกัน โดยใช้การสื่อสารเชื่อมโยงระหว่างหน่วย อินพุต/เอาต์พุต (input/output) ที่อยู่ห่างไกลกัน ระบบที่ถูกสร้างขึ้นมาเพื่อการสื่อสารข้อมูลเรียกว่า ระบบสื่อสารข้อมูล (Data Communication System)

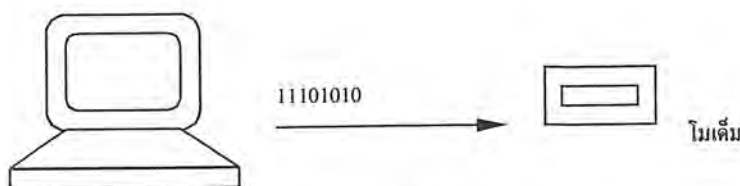
2.3 การรับส่งข้อมูลแบบขนานและอนุกรม

โดยทั่วไปเครื่องคอมพิวเตอร์มีมาตรฐานการรับส่งข้อมูลแบ่งออกเป็น 2 แบบ คือการรับส่งข้อมูลแบบขนาน และการรับส่งข้อมูลแบบอนุกรม

ในรูปที่ 2.5 แสดงการส่งข้อมูลแบบขนานและอนุกรม ในรูป/ 2.5 (ก.) การส่งข้อมูลแบบขนาน เรียกอีกชื่อหนึ่งว่า Parallel Interface ปกติจะใช้สำหรับส่งข้อมูลจากคอมพิวเตอร์ไปให้เครื่องพิมพ์ การรับส่งข้อมูลแบบขนานนี้ คอมพิวเตอร์จะส่งข้อมูลออกไปครั้งละ 8 บิต หรือ 1 ไบต์เลยทีเดียว ดังนั้นสายเคเบิลที่ใช้ส่งข้อมูลจึงมีจำนวนเส้นค่อนข้างมาก คือต้องใช้ 8 เส้น สำหรับสัญญาณแต่ละบิต พร้อมกับมีสัญญาณควบคุมอีกหลายเส้น ข้อดีของการรับส่งแบบนี้ก็คือสามารถส่งข้อมูลได้รวดเร็ว เพราะส่งครั้งหนึ่งเท่ากับข้อมูล 8 บิต นอกจากนี้วงจรทางค่านฮาร์ดแวร์ของตัวรับและตัวส่งยังมีขนาดเล็ก และราคาถูกด้วย เครื่องพิมพ์เกือบทุกยี่ห้อมักจะต่อแบบขนานนี้กับเครื่องคอมพิวเตอร์ ข้อจำกัดของการรับส่งข้อมูลแบบขนานก็คือ ส่งได้ไม่ไกล เนื่องจากว่าสัญญาณไฟฟ้าที่ใช้ในการส่งมีค่าเพียง 0 ถึง +5 โวลต์เท่านั้น เมื่อต่อสายยาวๆ ความต้านทานภายในสายไฟจะทำให้สัญญาณอ่อนลงจนรับไม่ได้ในที่สุด เนื่องจากสายมีค่า C แฉง สัญญาณดิจิทัลมีลักษณะเป็นพัลส์จะทำให้ขนาดลดลงและเสียรูป จนอุปกรณ์ปลายทางไม่สามารถรับได้ และจำเป็นต้องใช้สายจำนวนมาก ทำให้ค่าใช้จ่ายสูง ดังนั้นส่วนมากมักจะใช้วิธีการส่งเช่นนี้ในอุปกรณ์เดียวกัน หรือภายในอาคารเดียวกันที่มีระยะทางการส่งสั้นๆ



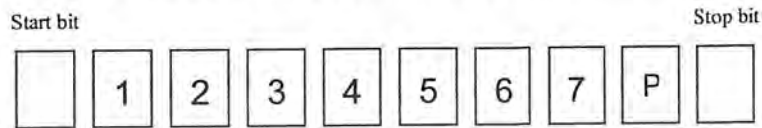
(ก.) การส่งข้อมูลแบบขนาน



(ข.) การส่งข้อมูลแบบอนุกรม

รูปที่ 2.5 การส่งข้อมูลแบบขนานและอนุกรม

จากรูปที่ 2.5 (ข.) การรับส่งข้อมูลแบบอนุกรม เรียกอีกชื่อหนึ่งว่า Serial Interface หรือ RS-232C การรับส่งข้อมูลแบบนี้ซับซ้อนกว่าแบบแรกมากวิธีการส่งข้อมูลจะนำข้อมูล 1 ไบต์มาส่งออกไปทางสาย ทีละ 1 บิตเรียงกันไปจนครบ 8 บิตจากการที่ส่งข้อมูลเรียงกันไปนี้ จำนวนสายที่ใช้ส่งข้อมูลจึงลดลงเหลือ เพียง 3 ถึง 5 เส้นเท่านั้น ความซับซ้อนอยู่ตรงที่ ทำอย่างไรทางด้านรับจึงจะรู้ว่าข้อมูลมาถึงเมื่อไหร่ ตรงไหนคือข้อมูลบิตแรก บิตที่สอง ไปจนถึงบิตสุดท้าย เราจึงต้องเพิ่มส่วนเริ่มต้นข้อมูลและส่วนปิดท้าย ข้อมูลเข้าไปด้วยเรียกว่า Start Bit และ Stop Bit ดังแสดงในรูปที่ 2.6



รูปที่ 2.6 Start bit และ Stop bit

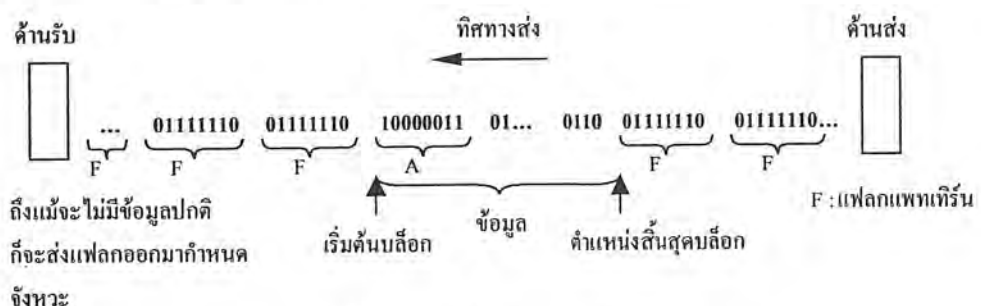
คราวนี้ผู้รับหรือคอมพิวเตอร์ที่รับข้อมูลก็จะสามารถแยกแยะสัญญาณที่ได้รับออกมาเป็นข้อมูล ได้ถูกต้อง ข้อดีของการส่งข้อมูลแบบอนุกรมก็คือ เหมาะสำหรับการรับส่งข้อมูลระยะไกลมากกว่าการส่งข้อมูลแบบขนาน เพราะใช้จำนวนสายน้อยกว่าและระดับแรงดันไฟฟ้าที่ใช้ในการส่งมีค่า +12 โวลต์ กับ -12 โวลต์ ทำให้เราสามารถส่งข้อมูลได้ไกลถึง 35 เมตร โดยไม่ต้องมีอุปกรณ์เพิ่มเติมเข้าช่วยเลย ข้อเสียของการส่งข้อมูลแบบอนุกรมคือ ความเร็วในการส่งข้อมูลจำกัดอยู่ที่ 19,200 บิตต่อวินาทีสูงสุด นับว่าช้ากว่าการส่งข้อมูลแบบขนานอยู่มากทีเดียว นอกจากนี้นังวงจรฮาร์ดแวร์ที่ใช้ในการรับส่งข้อมูลแบบอนุกรมายังมีราคาแพงกว่าด้วย

การส่งข้อมูลแบบอนุกรมนี เราต้องคำนึงถึงรายละเอียดในการส่งข้อมูลมากกว่าการส่งแบบขนานหลายอย่าง เช่น ความเร็วในการรับส่งข้อมูล การตรวจสอบความถูกต้องของข้อมูล จำนวนบิตของข้อมูล ทั้งหมดนี้ถ้ามีอะไรไม่ตรงกันระหว่างผู้รับและผู้ส่ง การส่งข้อมูลแบบอนุกรมก็จะผิดพลาดหรือรับส่งกันไม่ได้

2.4 ความเร็วในการส่ง

วิธีแสดงถึงความเร็วในการส่งรหัส จะแสดงด้วยความเร็วในการส่งข้อมูลกับความเร็วของการมอดูเลต

2.4.1 ความเร็วในการส่งข้อมูล



รูปที่ 2.7 วิธีการเข้าจังหวะแฟลค

จากรูปที่ 2.7 วิธีการเข้าจังหวะแฟลค แสดงการส่งข้อมูลโดยความเร็วในการส่งข่าวสารในช่วง 1 วินาทีนั่นเอง เรียก “ ความเร็วของสัญญาณข้อมูล ” หน่วยที่ใช้วัดคือบิตต่อวินาที (Bit/sec :bps) แสดงดังสูตรต่อไปนี้

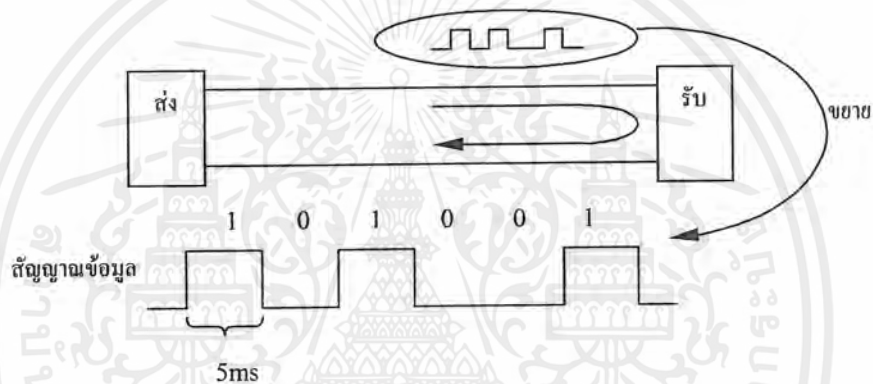
$$S = \sum_{i=1}^m \frac{1}{T_i} \times \log_2 n_i \quad (\text{Bit/sec})$$

S : ความเร็วในการส่งข้อมูล

m : จำนวนเส้นทางการส่งในกรณีแบบขนาน ($m = 1$ ในกรณีส่งแบบอนุกรม)

T_i : ความกว้างของพัลส์ 1 ลูก (sec) ของเส้นทางการส่งลำดับที่ i

n_i : จำนวนของสถานะซึ่งแสดงโดย 1 พัลส์ ของเส้นทางการส่งลำดับที่ i



รูปที่ 2.8 ตัวอย่างความเร็วในการส่งข้อมูล

จากรูปที่ 2.8 ตัวอย่างความเร็วในการส่งข้อมูล โดยการส่งแบบอนุกรม $m=1$ ความกว้างพัลส์ = 5 ms ตัวเลขแสดงสถานะของพัลส์ 0 และ 1 $n=2$ ดังนั้น ความเร็วข้อมูลเป็น

$$S = \frac{1}{5 \times 10^{-3}} \times \log_2 2 = 200 \quad (\text{bit/sec})$$

2.4.2 ความเร็วในการมอดูเลต

การเปลี่ยนแปลงของเฟสความถี่หรือแอมพลิจูดของสัญญาณอนาลอก เรียกว่า การมอดูเลต และการมอดูเลตนี้ใน 1 วินาทีได้ปฏิบัติการไปกี่ครั้ง จะวัดในหน่วยของความเร็ว เรียกว่า ความเร็วในการมอดูเลต

ความเร็วในการมอดูเลต เราใช้หน่วยว่า บอด (Baud) แสดงได้โดยสูตรดังต่อไปนี้

$$B = 1/T \text{ (บอด)}$$

B : ความเร็วการมอดูเลต (บอด)

T: เวลาระหว่างจุดที่มีการเปลี่ยนแปลง (วินาที)

ในรูปที่ 2.9 แสดงตัวอย่างความเร็วในการส่งข้อมูลและความเร็วในการมอดูเลชัน

รูปที่ 2.9 (ก.) ในสถานะที่มีการเปลี่ยนแปลง คือ การมอดูเลตครั้งหนึ่ง ถ้าสามารถแสดงสถานะ 2 สถานะได้ ก็สามารถแบ่งแยก 0 กับ 1 ได้ และเป็นการแทนข่าวสาร 1 บิต ในกรณีนี้ค่าความเร็วของการส่งข้อมูลจะเท่ากับความเร็วในการมอดูเลต และถ้าหากการมอดูเลตครั้งหนึ่งสามารถแทนสถานะได้มากกว่า 2 ก็สามารถส่งข่าวสารได้มากกว่า 1 บิต

รูปที่ 2.9 (ข.) แสดงถึงการมอดูเลตครั้งหนึ่งแสดงสถานะได้ 4 สถานะ และถ้า $T = 1/1,200$ (วินาที) ความเร็วในการมอดูเลตใน 1 วินาที สามารถเปลี่ยนสถานะได้ 1,200 ครั้ง ก็จะเท่ากับ 1,200 บอด แต่ถ้าการเปลี่ยนแปลงแต่ละครั้งสามารถแบ่งแยกสถานะได้ 4 สถานะ เราก็สามารถส่งข่าวสารได้ทีละ 2 บิต โดยที่ความเร็วในการส่งข้อมูลจะเป็น 2 เท่าของความเร็วของการมอดูเลต หรือจะเท่ากับ 2,400 บิต/วินาที

(ก.) กรณิการมอดูเลชันความถี่

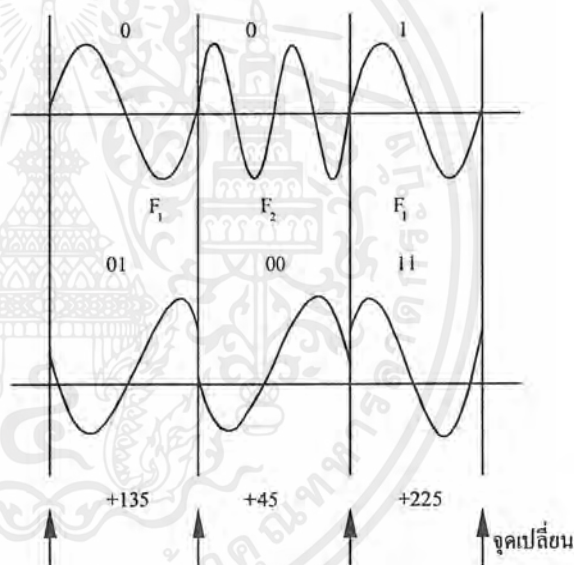
(ที่จุดเปลี่ยนความถี่นั้น

ค่าความถี่จะเป็น F_1 หรือ F_2)

(ข.) กรณิการมอดูเลชัน 4 เฟส

(ที่จุดเปลี่ยนเฟสนั้นเฟสเมื่อเทียบกับสัญญาณ

ก่อนหน้านั้น +45 +135 +225 +315)



รูปที่ 2.9 ตัวอย่างความเร็วในการส่งข้อมูลและความเร็วในการมอดูเลชัน

2.5 ลักษณะการส่งข้อมูลแบบอนุกรม

แบ่งออกเป็น

2.5.1 การส่งข้อมูลแบบซิงโครนัส (Synchronous)

จำเป็นต้องมีสัญญาณนาฬิกา (clock) เพิ่มเข้ามาเพื่อใช้ในการควบคุมการส่งข้อมูล ฉะนั้นจึงต้องเพิ่มสายส่งสำหรับสัญญาณนาฬิกาอีกเส้นหนึ่งด้วย

2.5.2 การส่งข้อมูลแบบอะซิงโครนัส (Asynchronous)

ไม่มีสัญญาณนาฬิกาควบคุม ดังนั้นจึงจำเป็นต้องเพิ่ม start bit, stop bit และ parity bit เพื่อจะให้ตัวรับทราบว่าส่วนใดเป็นข้อมูลที่ส่งออกมา

2.6 การส่งสัญญาณ (Transmission)

การส่งสัญญาณในที่นี้ หมายถึง การนำสัญญาณจากจุดหนึ่งไปอีกจุดหนึ่งโดยผ่านสื่อกลางและวิธีการทางไฟฟ้า ก่อนอื่นเราต้องรู้ความหมายต่างๆ ที่ใช้อธิบายการส่งสัญญาณ ซึ่งมีดังต่อไปนี้

2.6.1 การส่งผ่านแบบทิศทางเดียว (Simplex)

หมายถึง รูปแบบการ ส่งสัญญาณให้ด้านรับได้ฝ่ายเดียว โดยไม่สามารถโต้ตอบได้ อย่างเช่น การกระจายเสียงของวิทยุหรือสัญญาณทีวี เป็นต้น การสื่อสารแบบ Simplex นี้ เรามักจะไม่ค่อยนำมาใช้ในการสื่อสารข้อมูล เนื่องจากว่าเราจำเป็นต้องได้ตอบกันระหว่างการรับส่งข้อมูล หรือบางทีก็เปลี่ยนจากผู้รับมาเป็นผู้ส่ง ซึ่งทำไม่ได้สำหรับการติดต่อกันในแบบ Simplex

2.6.2 การส่งผ่านแบบสองทิศทางแต่ต่างเวลา (Half duplex)

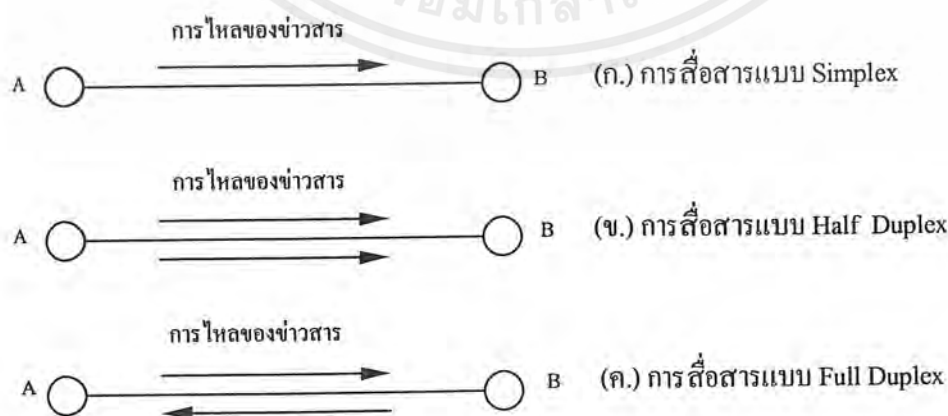
แบบนี้สถานีทั้งสองด้าน สามารถส่งและรับสัญญาณระหว่างกันได้ โดยมีข้อกำหนดว่าต้องมีด้านหนึ่งเป็นด้านรับเสมอ อย่างเช่น การใช้วิทยุสมัครเล่นที่สามารถโต้ตอบกันได้ แต่ไม่พร้อมกัน เมื่อฝ่ายใดฝ่ายหนึ่งส่งอีกฝ่ายก็จะทำหน้าที่รับ จนกระทั่งฝ่ายแรกส่งจบฝ่ายหลังจึงจะกลับเป็นผู้ส่งได้ และฝ่ายส่งในตอนแรกก็จะเป็นผู้รับสลับกันเช่นนี้เรื่อยไป ทั้งสองฝ่ายจะเป็นผู้ส่งพร้อมกันไม่ได้ เพราะสัญญาณจะชนกันทำให้ฟังไม่รู้เรื่อง

2.6.3 การส่งผ่านแบบสองทิศทางที่เวลาเดียวกัน (Full duplex)

หมายถึง การที่ด้านส่ง และด้านรับ สามารถส่งสัญญาณได้ในเวลาพร้อมกันและไม่ต้องสลับด้านกันส่ง ตัวอย่างเช่น การพูดโทรศัพท์ของเรา ถึงแม้ปกติเมื่อผู้หนึ่งพูดอีกฝ่ายจะคอยฟังแล้วตอบกลับมาเมื่อฝ่ายแรกพูดจบซึ่งเป็นลักษณะของการติดต่อแบบ Half duplex ก็ตาม แต่เราอาจจะพูดพร้อมๆ กัน หรือพูดสวนกลับไปได้ทันทีโดยยังคงฟังอยู่เหมือนเดิม

การสื่อสารข้อมูลระหว่างคอมพิวเตอร์สองเครื่องมีใช้ทั้งแบบ Half duplex และ Full duplex ขึ้นอยู่กับลักษณะการเชื่อมต่อและงานของมัน

ในรูปที่ 2.10 แสดงการส่งผ่านทั้ง 3 แบบ



รูปที่ 2.10 หลักการสื่อสารแบบ Simplex, Half Duplex และ Full Duplex

2.7 ลักษณะการรับส่ง และการ Echo ของข้อมูล

เมื่อคอมพิวเตอร์รับส่งข้อมูลในแบบ Half Duplex หรือ Full Duplex ก็ตามมันจะต้องใช้การรับส่งให้เหมือนกันทั้งสองด้าน การรับส่งข้อมูลแบบ Half Duplex เครื่องคอมพิวเตอร์ผลัดกันรับส่งข้อมูล และมีหน้าที่พิมพ์ข้อความที่ตัวเองได้ส่งออกไปขึ้นแสดงบนจอภาพด้วยหรือมีคุณสมบัติที่เรียกว่า “ Echo On ” นั่นเอง ข้อความไม่ว่าจะส่งออกไปโดยการพิมพ์หรืออ่านจากแผ่นดิสก์ก็ตาม เครื่องคอมพิวเตอร์ที่ส่งข้อความจะต้องนำข้อความนั้นแสดงผลออกทางจอภาพด้วยตัวเอง การรับส่งข้อมูลในแบบ Half Duplex จึงต้องกำหนดให้เครื่องคอมพิวเตอร์หรือเทอร์มินัลที่ใช้ ทำงานในลักษณะ Echo On เสมอมิฉะนั้นเราจะมองไม่เห็นข้อความที่เราส่งออกไป จะมองเห็นแต่เฉพาะข้อความที่อีกฝ่ายส่งมาเท่านั้น

เมื่อคอมพิวเตอร์รับส่งข้อมูลในแบบ Full Duplex มันก็สามารถรับและส่งข้อมูลสวนทางกันได้ ในเวลาเดียวกัน เครื่องคอมพิวเตอร์ที่รับส่งแบบ Full Duplex จะไม่พิมพ์ข้อความที่ตัวเองส่งออกไปขึ้นแสดงบนจอภาพ แต่จะรอรับฟังข้อความจากอีกฝ่ายหนึ่งส่งกลับมาให้เท่านั้น เราเรียกว่า “ Echo Off ” ข้อความจากแป้นพิมพ์และจากแผ่นดิสก์ที่ส่งออกไป ปกติเราจะมองไม่เห็น เครื่องคอมพิวเตอร์อีกด้านหนึ่งจะส่งข้อความนั้นกลับมาให้ปรากฏบนจอภาพของเราเมื่อมีความจำเป็นการรับส่งข้อมูลแบบ Full Duplex จึงต้องกำหนดให้เครื่องคอมพิวเตอร์ทำงานในลักษณะ Echo Off เสมอ ถ้ากำหนดผิดเราจะเห็นข้อความที่พิมพ์ออกไปเป็นสองตัวซ้อนกันอย่างนี้นับจอภาพ “ LLiikkee TThhiiss”

ในการเชื่อมต่อระหว่างคอมพิวเตอร์นั้น การรับส่งแบบ Half Duplex จะมีประสิทธิภาพต่ำกว่า เนื่องจากต้องผลัดกันส่งข้อมูล แต่ก็มีข้อดี คือประหยัดสายส่งข้อมูล เพราะเราสามารถใช้สายเพียงคู่เดียว ในการรับส่งข้อมูลแบบ Half Duplex ส่วนการรับส่งข้อมูลแบบ Full Duplex จะต้องใช้สายสองคู่ คือ สำหรับส่งข้อมูลหนึ่งคู่ และรับข้อมูลอีกหนึ่งคู่ แยกวงจรรับส่งให้เป็นอิสระออกจากกัน ประสิทธิภาพในการรับส่งข้อมูลจึงสูงกว่าในแบบ Half Duplex ถึงสองเท่า

2.8 เทคนิคที่ใช้ส่งข้อมูลแบบ Full Duplex ด้วยสายคู่เดียว

จากการที่ Full Duplex มีข้อดีหลายอย่างในการรับส่งข้อมูล แต่มีข้อเสียตรงที่ต้องใช้สายสองคู่ หรือสี่เส้นเพื่อส่งข้อมูล จึงได้มีผู้พยายามพัฒนาลดจำนวนสายส่งลงให้เหลือเพียงหนึ่งคู่เท่ากับที่ใช้ใน Half Duplex ทั้งนี้เนื่องจากค่าสายส่งระยะทางไกลๆ มีราคาแพง ถ้าต้องใช้สายถึงสองคู่ก็จะทำให้ค่าใช้จ่ายของสายส่งข้อมูลแพงมากจนเกินไป สำหรับการเชื่อมต่อระยะทางใกล้ๆ เราอาจยอมใช้สายสองคู่ รับส่งข้อมูลแยกจากกันได้ แต่การใช้งานระยะทางไกลแล้ว สายคู่เดียวจะสะดวกและประหยัดกว่ามาก โดยเฉพาะอย่างยิ่งในกรณีที่เรารับส่งข้อมูลด้วยความเร็วไม่สูงมากนัก การใช้สายเพียงคู่เดียวในแบบ Full Duplex เป็นสิ่งที่เป็นไปได้ และนับว่าเป็นการใช้งานสายส่งข้อมูลอย่างคุ้มค่าอีกด้วย

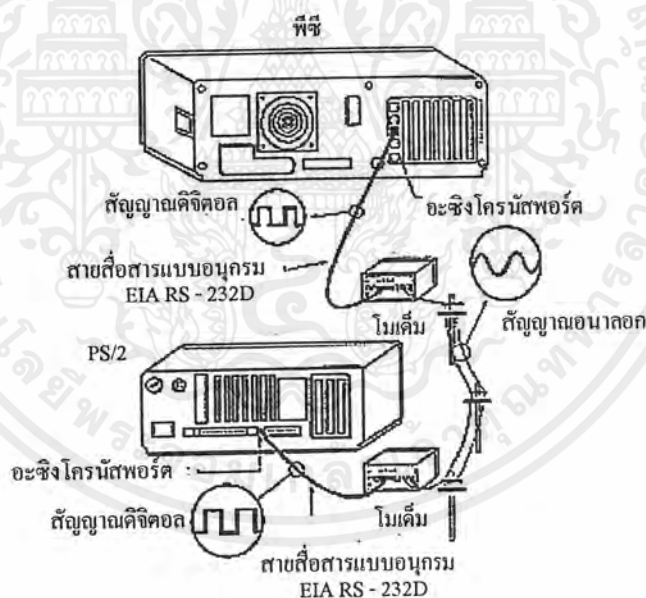
คุณสมบัติของสายส่งข้อมูลนั้น จะสามารถส่งสัญญาณไฟฟ้าไปยังปลายทางได้โดยมีช่วงความถี่ ช่วงหนึ่ง ช่วงความถี่ที่สายส่งข้อมูลส่งผ่านไปถึงปลายทางได้นี้ เราเรียกว่า Bandwidth ของสายส่ง อย่างเช่น สายโทรศัพท์ที่เราใช้กันอยู่ในทุกวันนี้รับส่งความถี่ในช่วงความถี่ไม่เกิน 4kHz ความถี่ที่สูงกว่าจะถูกลดทอนเนื่องจากค่า R, L และ C ในการรับส่งข้อมูลต่างๆ ที่มีความเร็วไม่สูงมากนัก เราจะไม่ใช้ความถี่

ทั้งหมดของสายในการรับส่งข้อมูล ดังนั้นจึงมีผู้คิดขึ้นมาว่า ความถี่ที่ไม่ได้ใช้ของสายส่งที่เหลือ น่าจะนำมาใช้ให้เป็นประโยชน์ได้ โดยแบ่งความถี่ของสายส่งออกเป็นสองส่วน ส่วนที่หนึ่งใช้สำหรับส่ง และส่วนที่สองใช้สำหรับรับ เทคนิคนี้เรียกว่า Frequency Division เช่น ด้านส่งใช้ความถี่ 1,200 Hz และด้านรับใช้ความถี่ 2,400 Hz เป็นต้น เพียงเท่านี้ก็สามารถรับส่งข้อมูลในแบบ Full Duplex ที่เราใช้กันอยู่ทุกวันนี้ นั่นเอง

2.9 โมเด็ม (MODEM)

2.9.1 ความหมายของโมเด็ม

เนื่องจากแบนด์วิดท์ของวงจรโทรศัพท์ที่มีช่วงจำกัดเท่ากับ 300-3,400 Hz หรือประมาณ 3.1 kHz จัดว่าไม่กว้างพอที่จะส่งสัญญาณดิจิทัลได้ ทำให้สัญญาณข้อมูลมีลักษณะเพี้ยนไปจากเดิม และยิ่งระยะทางไกลขึ้นเท่าไร อัตราการส่งข้อมูลสูงขึ้นเท่าใด ความเพี้ยนของสัญญาณก็จะเพิ่มมากขึ้นเท่านั้น ดังนั้นในการส่งสัญญาณข้อมูล จำเป็นต้องมีการแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาล็อกในช่วงความถี่เสียงเพื่อให้สามารถส่งผ่านเน็ตเวิร์คของโทรศัพท์ได้ และที่ปลายทาง รูปสัญญาณจะถูกแปลงกลับเป็นสัญญาณดิจิทัลเดิมอีกหรืออีกแง่หนึ่งก็ต้องมีอุปกรณ์ประเภท D/A และ A/D ในอุปกรณ์โมเด็ม



รูปที่ 2.11 แสดงตัวอย่างการใช้โมเด็ม

ตามมาตรฐานของ CCITT และ EIA นิยามให้โมเด็มหมายถึง Data Communication Equipment (DCE) เราติดตั้งเครื่องโมเด็มที่ปลายจุดต่อแต่ละด้านผ่านเน็ตเวิร์ค โทรศัพท์ โดยใช้วงจรให้เช่า (Leased) หรือ ผ่านการหมุนหมายเลขของเครือข่ายโทรศัพท์สาธารณะ (dial-up connection via the pstn) มีการใช้สัญญาณรูป sine นี้เป็นเครื่องนำ (carrier wave) นำข้อมูลผ่านวงจรสายโทรศัพท์ ซึ่งกระบวนการนำข้อมูลจากผู้ส่งต้นทาง (source) ไปส่งไปในคลื่นนำเพื่อที่

จะส่งไปตามสายนี้เรียกว่าการ มอดูเลชัน (modulation) และที่ผู้รับปลายทาง (receiver) จะมีกระบวนการแยกสัญญาณ (demodulation) ซึ่งจะเอาข้อมูลออกจากคลื่นนำและทำเป็นสัญญาณดิจิทัล เครื่องมือที่ใช้ในการรวมและแยกสัญญาณนี้เรียกว่า โมเด็ม ดังแสดงตัวอย่างการใช้โมเด็มในรูปที่ 2.11

2.9.2 หน้าที่ของโมเด็ม

มีอยู่ด้วยกันหลายประเด็นดังนี้

- 1.) จัดการขั้นตอนเริ่มต้นในการติดต่อ (handshaking)
- 2.) จัดการการส่งและรับข้อมูล
- 3.) แปลงสัญญาณดิจิทัลให้อยู่ในรูปที่เหมาะสมในการส่งผ่านสายโทรศัพท์ และแปลงกลับมารูปเดิม เมื่อการส่งสิ้นสุดลง
- 4.) จัดการ “เรียก” เองได้โดยส่งสัญญาณหมายเลขออกไป และติดตามการตอบรับจากปลายทาง
- 5.) สามารถตอบรับ การเรียกเข้ามาของอุปกรณ์อื่นได้อย่างอัตโนมัติ
- 6.) ตรวจสอบและแก้ไขความผิดพลาดของข้อมูล
- 7.) ตรวจหากรณีที่มีการส่งข้อมูลล้มเหลวขึ้นมา และวิเคราะห์หาข้อผิดพลาด รวมทั้งจัดการแก้ไข

โมเด็มมีทั้งชนิดต่อภายนอกเครื่องคอมพิวเตอร์ โดยเพียงแต่นำมาต่อสายเข้ากับเครื่องคอมพิวเตอร์ที่มีอยู่ หรือจะใช้ชนิดที่เป็นการ์ด (Card) ซึ่งใช้สำหรับการติดตั้งไว้ภายในเครื่องคอมพิวเตอร์ ทั้งสองประเภทนี้สามารถใช้งานได้เหมือนกัน ในที่นี้จะกล่าวถึงแต่โมเด็มชนิดต่อภายนอก

2.9.3 โมเด็มชนิดต่อภายนอก

โมเด็มชนิดต่อภายนอกสามารถติดตั้งได้ง่าย เพียงแค่เสียบสายสัญญาณต่างๆ ให้เรียบร้อยเท่านั้น ซึ่งสายสัญญาณที่จะต้องต่อ มีดังนี้

- 1.) สายที่ต่อเข้ากับพอร์ตอนุกรม (Serial port) ของเครื่องคอมพิวเตอร์
- 2.) สายโทรศัพท์
- 3.) สายไฟที่ต่อเข้ากับปลั๊กไฟ AC

ข้อดีของโมเด็มชนิดนี้คือ สามารถพกพาหรือเคลื่อนย้ายได้สะดวก (เพียงแค่ถอดสายออกจากเครื่องคอมพิวเตอร์เครื่องหนึ่ง และนำไปต่อเข้ากับเครื่องคอมพิวเตอร์อีกเครื่องหนึ่งเท่านั้น) และอีกประการคือ ชุดไฟสัญญาณที่หน้าปัดสามารถบอกให้ทราบได้ว่าสถานะเป็นอย่างไร (เช่น มีสัญญาณการรับ-ส่งข้อมูลกันหรือไม่ หรือสถานะไฟสัญญาณที่จะต้องเกิดขึ้นเมื่อมีการออนไลน์ถูกต้องหรือไม่)

ข้อเสียของโมเด็มชนิดนี้คือ

- 1.) ต้องมีแหล่งจ่ายไฟต่างหาก (ต้องจัดหาปลั๊กไฟเพิ่มเติมสำหรับโมเด็ม)
- 2.) ต้องใช้กับพอร์ตอนุกรมของเครื่องคอมพิวเตอร์จำนวน 1 พอร์ต (ถ้าหากเครื่องคอมพิวเตอร์ที่มีอยู่มีเพียง 1 พอร์ตอนุกรม และได้ต่อกับเมาส์แล้ว ทางเลือกก็คือต้องเพิ่มพอร์ตอนุกรม หรือไม่ก็ต้องใช้โมเด็มชนิดที่ต่ออยู่ภายในเครื่องคอมพิวเตอร์แทน)
- 3.) กินเนื้อที่บนโต๊ะสำหรับวางโมเด็ม
- 4.) มีโอกาสที่จะเสียหายได้จากเด็ก ๆ สัตว์เลี้ยงหรือน้ำหกใส่ เป็นต้น
- 5.) ราคาจะสูงกว่าโมเด็มชนิดต่อภายในเล็กน้อย

2.10 การอินเตอร์เฟซ (INTERFACE)

ปัจจุบันนี้อุปกรณ์คอมพิวเตอร์รวมทั้งโมเด็มที่วางขายกันตามท้องตลาดมีหลายชนิดและมีหลายยี่ห้อ ดังนั้นเพื่อให้อุปกรณ์เหล่านี้สามารถใช้งานติดต่อกันได้จำเป็นต้องมีการอินเตอร์เฟซระหว่างอุปกรณ์เหล่านี้ และอินเตอร์เฟซควรมีมาตรฐานที่แน่นอน สำหรับอินเตอร์เฟซระหว่างอุปกรณ์คอมพิวเตอร์และโมเด็มนั้น มาตรฐานที่ใช้กันมากในปัจจุบันคือ CCITT V.24 ของยุโรปซึ่งคล้ายคลึงกับมาตรฐาน EIA RS-232 (Electronic Industries Association Recommended Standard-232) ซึ่งมาตรฐานทั้งสองจะกำหนดจำนวนสาย (wire) ของสัญญาณรูปแบบของสัญญาณไฟฟ้า ระดับไฟฟ้าที่ส่งระหว่างอุปกรณ์คอมพิวเตอร์กับโมเด็ม ในมาตรฐานนี้จะเรียกเทอร์มินอลหรือพอร์ตหนึ่งๆ ของคอมพิวเตอร์ว่า DTE (Data Terminal Equipment) และเรียกโมเด็มว่า DCE (Data Circuit-terminating Equipment)

2.10.1 มาตรฐาน CCITT V.24

กล่าวถึงชนิดและหน้าที่ตลอดจนลำดับ (sequence) ของสัญญาณต่างๆ ที่ส่งได้ต่อบริเวณ DTE และ DCE เพื่อจะส่งข้อมูลผ่านโมเด็ม V.24 เป็นการอินเตอร์เฟซเชิงตรรกะ (logical interface) ซึ่งไม่กล่าวถึงคุณสมบัติของไฟฟ้าของสัญญาณ หรือชนิดของปลั๊ก(plug) รูปแบบต่างๆ ของเข็ม (pin) ความยาวของสายเคเบิล หรืออัตราการส่งข้อมูลเป็นต้น นั่นคือ V.24 กล่าวถึงชนิดของสัญญาณต่างๆ ที่ถูกส่งได้ต่อกันเท่านั้น

2.10.2 มาตรฐาน CCITT V.28

กำหนดคุณสมบัติทางไฟฟ้าของสัญญาณที่กล่าวใน V.24 ซึ่งสัญญาณไฟฟ้าเหล่านี้ถูกกำหนดไว้ในการส่งสัญญาณข้อมูลด้วยความเร็วไม่เกิน 20,000 bps จึงกล่าวได้ว่า V.28 เป็นอินเตอร์เฟซเชิงไฟฟ้าของ V.24

2.10.3 มาตรฐาน EIA RS-232C/D

ตัวอักษร C หมายถึงการแก้ไขปรับปรุงครั้งที่ 3 ของมาตรฐาน RS-232 และในปี พ.ศ. 2530 EIA ได้ปรับปรุง RS-232 ให้เป็นมาตรฐาน RS-232D กำหนดอินเตอร์เฟซเชิงตรรกะทำนองเดียวกับ V.24

RS ย่อมาจาก Recommend Standard ส่วน 232 เป็นหมายเลขบ่งบอกมาตรฐานตัวนี้

RS-232 เป็นมาตรฐานสำหรับการอินเทอร์เฟซอุปกรณ์ Data Terminal เข้ากับอุปกรณ์ Data Communication โดยอาศัยวิธีการส่งข้อมูลดิจิทัลแบบอนุกรม

2.11 พอร์ท RS-232C

2.11.1 ลักษณะสมบัติทางไฟฟ้าของสัญญาณ RS-232C

2.11.1.1 สถานะ

แรงดันไฟฟ้า	ลอจิก	สัญญาณ	ฟังก์ชันในการควบคุม
บวก	0	Space	On
ลบ	1	Mark	Off

ตารางที่ 2.1 ตารางมาตรฐานของการใช้แรงดันไฟฟ้า

สำหรับมาตรฐานของการใช้แรงดันไฟฟ้ากำหนดไว้ดังตารางที่ 2.1 แสดงมาตรฐานแรงดันไฟฟ้า แรงดันสูงสุดที่วงจรใน DTE และ DCE ไม่ควรเกิน 25 โวลต์ และ Open circuit voltage ต้องไม่เกิน 2 โวลต์ (วัดเทียบกับ Signal ground)

2.11.1.2 วงจรขับสัญญาณ

หากเกิดสภาพการลัดวงจรของสายเชื่อมต่อใดๆ จะต้องมีการแสดงลัดวงจรไม่เกิน 0.5 แอมแปร์ และแรงดันที่ DCE ต้องไม่เกิน 25 โวลต์ เมื่อถอด connector

2.11.1.3 ความต้านทาน

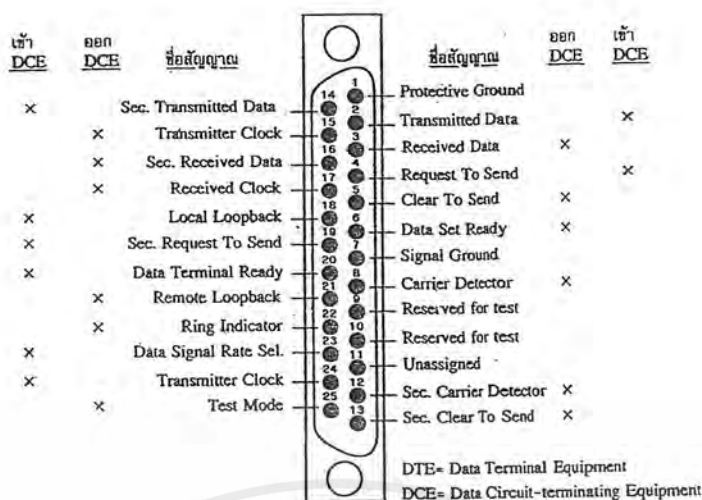
เมื่อมองจากจุด Interface Point ไปยัง DCE จะต้องมีความต้านทาน 3,000 โอห์ม – 7,000 โอห์ม

2.11.1.4 ความไว

สัญญาณควบคุมจะต้องผ่านช่วงเปลี่ยนแปลงระดับ (-3 V ถึง +3 V) ภายในเวลาไม่เกิน 1 msec ส่วนสัญญาณข้อมูลจะต้องผ่านช่วงเปลี่ยนแปลงระดับภายในเวลาไม่เกิน 1 msec หรือ 4 เปอร์เซ็นต์ของความกว้างของรูปสัญญาณนั้น

2.11.2 ลักษณะสมบัติเชิงกลของข้อต่อ (connector)

RS-232C ไม่ได้กำหนดว่าจะต้องใช้ connector รูปปร่างอย่างไร แต่ที่นิยมใช้กันทั่วไป คือ DB-25 connector ซึ่งประกอบด้วยขาทั้งหมด 25 ขา ดังรูปที่ 2.12



รูปที่ 2.12 แสดงการกำหนดของข้อต่อ RS-232C

2.11.3 สัญญาณที่ใช้ทั้งหมดใน RS-232C

-Protective Ground (PG ขาที่ 1)

หมายถึงตัวถังของเครื่องหรือสายดิน

-Transmit0 data (TD ขาที่ 2)

0 เป็นสัญญาณที่ส่งออกจาก DTE (ตัวไมโครคอมพิวเตอร์) ไปยังโมเด็ม หรือต่อเข้าโดยตรงกับไมโครคอมพิวเตอร์ตัวอื่นหรือเครื่องพิมพ์ เมื่อไม่มีสัญญาณ 0 ส่งออกสถานภาพของลอจิกจะมีค่าเท่ากับ “1” สภาวะ “ OFF ” หรือเทียบเท่ากับ stop bit ไม่ว่าจะเป็นระบบอะไร DTE ต้องไม่ส่งข้อมูลออกไปจนกว่าสัญญาณ Request To Send (RTS), Clear To Send (CTS), Data Set Ready (DSR) และ Data Terminal Ready (DTR) อยู่ในสภาวะ “ ON ” อยู่

-Receive Data (RD ขาที่ 3)

เป็นทางของสัญญาณเข้าไปยัง DTE เมื่อไม่มีสัญญาณรับเข้ามา ขานี้จะมี สถานภาพทางลอจิกเป็น “ 1 ” หรือสภาวะ “ OFF ”

-Request To Send (RTS ขาที่ 4)

จาก DTE ไปยัง DCE

สภาวะ ON คือบังคับให้ DCE อยู่ใน Transmitting Mode ต่อไป

สภาวะ OFF คือบังคับให้ DCE อยู่ใน Receiving Mode ต่อไป

การเปลี่ยนจาก OFF ไปเป็น ON เป็นการบอกให้ DCE จัดการกับระบบสื่อสาร เพื่อให้เส้นทางต่อเชื่อมและให้สัญญาณ Clear To Send (CTS) กลับมาเป็นการบอกว่าส่งได้

การเปลี่ยนจาก ON ไปเป็น OFF เป็นการบอกให้ DCE ส่งข้อมูลผ่านช่องทางสื่อสารให้หมดแล้วกลับไปอยู่ใน Receiving mode หรืออยู่เฉยๆ พร้อมกับให้ CTS เป็น 0

-Clear To Send (DTS ขาที่ 5)

จาก DCE ไป DTE สภาวะ ON หมายความว่าข้อมูลจาก DTE ขา 2 จะถูกส่งต่อไปในช่องทางสื่อสาร (โมเด็มส่งข้อมูลออกสายโทรศัพท์) ทันที CTS จะ ON หลังจาก DSR และ RTS อยู่ในสภาวะ ON และการต่อเชื่อมวงจรสื่อสาร (ชุมสายโทรศัพท์) เสร็จแล้ว

-Data Set Ready (DTS ขาที่ 6)

จาก DCE ไป DTE คือ ความพร้อมของโมเด็มนั่นเอง จะเป็น ON (พร้อม) ต่อเมื่อ

1. DCE (โมเด็ม) เปิดเครื่องอยู่ และอยู่ในสภาวะ off-hook (เหมือนยกหูโทรศัพท์)

2. DCE ไม่อยู่ใน test mode

3. DCE ทำการส่งสัญญาณไปยังชุมสายเสร็จแล้ว

DSR อยู่ในสภาวะ ON เป็นการบอก DTE ว่า โมเด็มต่อเข้ากับสายโทรศัพท์เรียบร้อยแล้วและพร้อมที่จะส่งได้แล้ว

DSR อยู่ในสภาวะ OFF หมายถึงให้ DTE เลิกสนใจสัญญาณตัวอื่นๆ ยกเว้น

Ring Indicator

-Signal Ground (SG ขาที่ 7)

คือสายร่วมของสัญญาณทุกตัว

-Carrier Detect (CD ขาที่ 8)

จาก DCE ไป DTE

สภาวะ ON หมายถึงว่า DCE จับสัญญาณพาหะในช่องทางสื่อสารที่จะทำ demodulate ได้

สภาวะ OFF คือไม่รับสัญญาณอะไรเลย หรือได้รับสัญญาณแต่ไม่สามารถ demodulate เอาข้อมูลออกมาได้

-Data Terminal Ready (DTR ขาที่ 20)

จาก DCE ไป DTE

สภาวะ ON หมายถึงว่า DCE เตรียมเพื่อเชื่อมต่อกับตัวอื่น และรักษาสัญญาณติดต่อไว้ต่อไป (การเชื่อม channel ทำได้หลายทางคือหมุนเรียกด้วยมือหรืออัตโนมัติ) ถ้า DCE สามารถตอบรับสัญญาณเรียก (cell) ได้ ก็ให้ตอบรับ (answering) เมื่อมีสัญญาณเรียก Ring Indicator และ DTR On อยู่

สภาวะ OFF คือวางหู และเมื่อ OFF แล้วต้องไม่ ON อีกจนกว่า DSR จะ OFF

-Ring Indicator (RI ขาที่ 22)

จาก DCE ไป DTE เหมือนสัญญาณเรียกของโทรศัพท์ แต่เป็นดิจิทัล ใช้ในระบบตอบได้อัตโนมัติ (Auto-answer) สัญญาณนี้จะ ON เมื่อมีสัญญาณกระดิ่งเข้ามา และจะ OFF ระหว่างเสียงดังของกระดิ่ง

ส่วนขาอื่นๆ ที่เหลือนั้น ส่วนมากมีหน้าที่คล้ายกับ 8 ขาแรกทีกล่าวมา และบางเส้นใช้กับงานพิเศษเท่านั้นจึงไม่ขอกล่าวถึงในที่นี้ ขาที่เราใช้สำหรับรับส่งข้อมูลของข้อต่อแบบ DB-25 จึงเหลือเพียงขา 2,3,4,5,6,7,8,20 และ 22 ยกเว้นการต่อใช้งานบางอย่างถึงจะต่อครบทุกเส้น

2.11.4 DB-25 และ DB-9

จากการที่ข้อต่อแบบ 25 ขาเราใช้งานจริงเพียง 9 ขาเท่านั้น เครื่องคอมพิวเตอร์รุ่นใหม่ ๆ จึงได้ลดข้อต่อลงมาใช้แบบ 9 ขาแทน ซึ่งเราเรียกข้อต่อแบบนี้ว่า DB-9 การใช้ข้อต่อแบบ DB-9 นี้มีข้อดีหลายอย่างคือ ขนาดเล็กกระทัดรัด ราคาของข้อต่อถูกกว่า การต่อเคเบิลสะดวกขึ้น และการใช้งานคล่องตัว สัญญาณต่างๆของข้อต่อแบบ DB-9 บางเส้นจะตรงกับที่ใช้ใน DB-25 ดังที่แสดงในตารางที่ 2.2 เปรียบเทียบ DB-25 และ DB-9 เครื่องคอมพิวเตอร์แบบไอบีเอ็ม และรุ่นใหม่ ๆ มักจะใช้ข้อต่อแบบ DB-9 สำหรับรับส่งข้อมูลอนุกรมทั้งนั้น แต่อุปกรณ์ต่อพ่วงส่วนมากยังคงใช้ข้อต่อแบบ DB-25 อยู่ เราจึงต้องใช้สายเคเบิลที่เหมาะสมสำหรับทั้งสองด้านในการรับส่งข้อมูล

DB-25 pin	DB-9 pin	Assignment/Function
8	1	Carrier detect
3	2	Receive data
2	3	Transmit data
20	4	Data terminal ready
7	5	Signal Ground
6	6	Data Set ready
4	7	Request to sent
5	8	Clear to Send
22	9	Ring indicator

ตารางที่ 2.2 เปรียบเทียบ DB-25 และ DB-9

สายเคเบิลของการรับส่งข้อมูลอนุกรมแบ่งออกได้เป็นสองแบบ คือสายตรงและสายสลับ ที่ต้องมีสายสองแบบนี้ก็เพราะการเชื่อมต่อส่งข้อมูลมีสองกรณีคือ คอมพิวเตอร์ต่อกับคอมพิวเตอร์ และคอมพิวเตอร์ต่อกับอุปกรณ์ต่างๆ เมื่อเราต่อคอมพิวเตอร์เข้ากับคอมพิวเตอร์เพื่อรับส่งข้อมูลกัน สายสัญญาณรับส่งข้อมูลต้องสลับไขว้กัน เพื่อให้สัญญาณส่งของตัวแรกไปเข้าสัญญาณรับของตัวที่สอง เราจึงเรียกสายเคเบิลแบบนี้ว่าสายสลับ ส่วนการต่อคอมพิวเตอร์เข้ากับอุปกรณ์ต่อพ่วงนั้น สายสัญญาณของอุปกรณ์ต่อพ่วง เช่น โมเด็มและพล็อตเตอร์ (Plotter) มักจะสลับสัญญาณไว้ภายในแล้ว สายเคเบิลจากเครื่องคอมพิวเตอร์จึงต่อเข้าแต่ละเส้นของอุปกรณ์ได้เลย เราจึงเรียกสายเคเบิลแบบนี้ว่าสายตรง กรณีที่วงจรของอุปกรณ์ต่อพ่วงไม่ได้สลับสายไว้ภายใน เราก็ต้องใช้สายสลับต่อระหว่างคอมพิวเตอร์กับอุปกรณ์นั้น ไม่จำเป็นต้องใช้สายตรงเสมอ

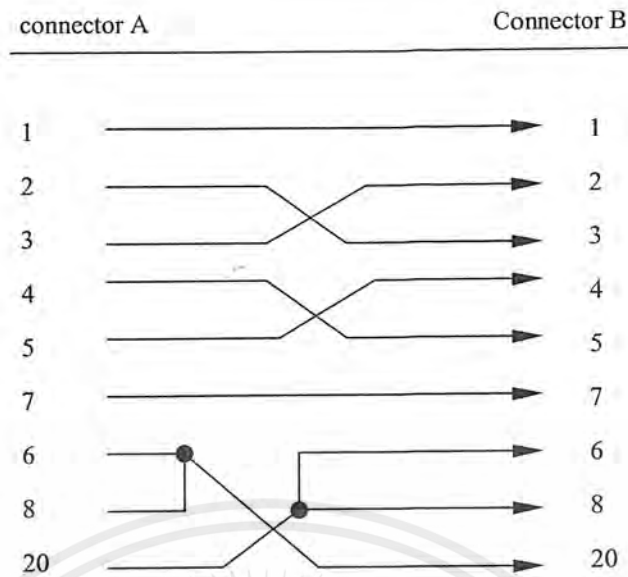
การต่อสายเคเบิลแบบสายตรงนั้นไม่ยุ่งยากเท่าใดนัก เนื่องจากสัญญาณแต่ละเส้นตามเบอร์ต่างๆ ของ DB-25 จะเชื่อมต่อเข้าหากันตรงๆ ทั้ง 8 เส้น หรือ 9 เส้น ตามสัญญาณที่ใช้ อย่างที่กล่าวไว้ในตอนต้น เพียงเท่านี้ก็สามารถรับส่งข้อมูลได้ การที่สัญญาณรับส่งข้อมูลและสัญญาณควบคุมต่อเข้าคู่ของมันตรงๆ ทำให้สายเคเบิลแบบนี้ทำขึ้นอย่างง่ายได้ โดยใช้ข้อต่อแบบไม่ต้องบัดกรีและสายเคเบิลแบบแผ่น (Ribbon Cable) เท่านั้น

2.12 Null Modem Cable

สำหรับสายเคเบิลแบบสลับ สัญญาณรับส่งข้อมูลและสัญญาณควบคุมต้องเชื่อมต่อสลับกันให้ถูกต้องของมัน จึงจะสามารถรับส่งข้อมูลได้ ขา 2 กับ ขา 3 ต่อสลับกัน ให้สัญญาณส่งไปเข้าขารับข้อมูลและขา 4 กับ ขา 5 ต่อสลับกัน เป็นการทำให้คอมพิวเตอร์ทั้งสองรู้ว่าอีกฝ่ายหนึ่งพร้อมที่จะรับส่งข้อมูลหรือไม่ ส่วนขาที่ 7 ต่อถึงกันโดยตรงเพราะเป็น Ground ของแต่ละด้าน ขาที่ 6 กับ 8 ต่อเข้าหากันและไปต่อกับขา 20 ของอีกด้านหนึ่ง เพื่อให้คอมพิวเตอร์รู้ว่าต่อเข้ากับอีกด้านหนึ่งได้แล้วสายสลับบางที่อาจต่อแตกต่างจากที่ว่าเป็น แต่ก็ทำให้สัญญาณควบคุมถูกต้องเหมือนกัน

แผนผังการต่อสายแบบสายตรงและสายสลับ ดังรูปที่ 2.13

สายสลับนี้มีชื่อเรียกอีกชื่อหนึ่งว่า Null Modem Cable ซึ่งหมายถึงการเชื่อมต่อระหว่างคอมพิวเตอร์สองเครื่องโดยไม่ผ่านโมเด็มนั่นเอง ข้อดีของการใช้สายเคเบิลส่งข้อมูลไม่ผ่านโมเด็มก็คือ เราสามารถรับส่งข้อมูลด้วยความเร็วสูงสุด ถึง 9,600 บิตต่อวินาที หรือ 19,200 บิตต่อวินาที ระหว่างเครื่องคอมพิวเตอร์ได้ในระยะทางไกลๆ ซึ่งสะดวกรวดเร็วกว่าการส่งข้อมูลผ่านโมเด็มมาก เช่น ใช้ในการรับส่งไฟล์ระหว่าง LAPTOP กับเครื่องตั้งโต๊ะ

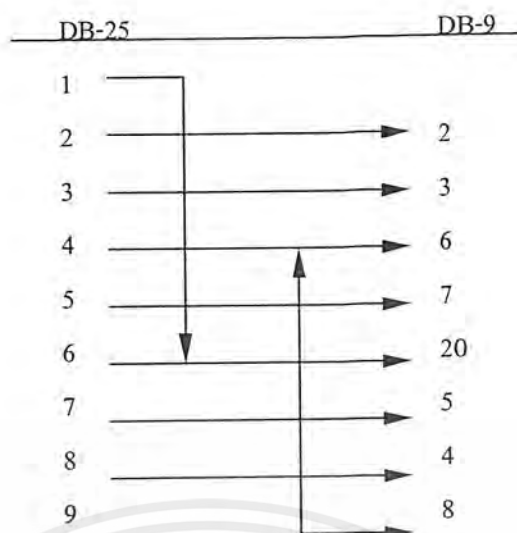


รูปที่ 2.13 การต่อสายสลับของ RS-232C หรือ Null Modem Cable

ส่วนการต่อระหว่างข้อต่อแบบ DB-25 ไปยังข้อต่อแบบ DB-9 นั้น เราได้เปรียบเทียบกับ การต่อในแบบ DB-25 กับ DB-25 โดยดูจากชื่อของสัญญาณที่ต่อเข้าหากันเป็นหลัก จะต่อตามเบอร์แต่ละขาเข้าด้วยกันตรงๆ ไม่ได้ สายเคเบิลแบบสายตรงจาก DB-25 ไปยัง DB-9 จะเป็นดังรูปที่ 2.14 และสายแบบสลับจากข้อต่อ DB-9 เข้ากับ DB-25 ดังรูปที่ 2.15 ทั้งหมดนี้เป็นเรื่องของสัญญาณและการต่อสายเคเบิล RS-232C

DB-25			DB-9	
Assignment	Pin		Pin	Assignment
Carrier detect	8	→	1	Carrier detect
Receive data	3	→	2	Receive data
Transmit data	2	→	3	Transmit data
Data terminal ready	20	→	4	Data terminal ready
Signal Ground	7	→	5	Signal Ground
Data Set ready	6	→	6	Data Set ready
Request to sent	4	→	7	Request to sent
Clear to Send	5	→	8	Clear to Send
Ring indicator	22	→	9	Ring indicator

รูปที่ 2.14 การต่อสายตรงจาก DB-25 ไปยัง DB-9



รูปที่ 2.15 การต่อสายสลับจาก DB-9 ไปยัง DB-25



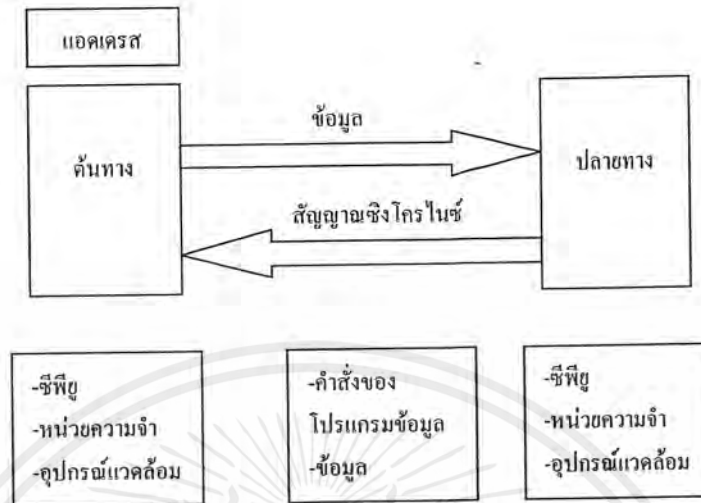
รูปที่ 2.16 การติดต่อระหว่าง DTE กับ DCE

จากรูปที่ 2.16 ในการสื่อสารข้อมูลระหว่างกันนั้น มีคำสองคำที่เราพบอยู่เป็นประจำคือ DTE กับ DCE คำว่า DTE (Data Terminal Equipment) หมายถึงตัวเครื่องคอมพิวเตอร์หรือเทอร์มินัล (Terminal) ซึ่งเป็นต้นกำเนิดข้อมูลและตัวปลายทางที่รับข้อมูลนั่นเอง อาจมองในรูปของจุดเริ่มต้นและจุดสุดท้ายของการรับส่งข้อมูลระหว่างกันได้ ส่วน DCE (Data Communications Equipment) จะหมายถึงอุปกรณ์ที่ต่อเข้ากับสายส่งข้อมูล และทำหน้าที่รับส่งข้อมูลผ่านสายส่งนั้นในการรับส่งข้อมูลทั่วไป DTE หมายถึงเครื่องคอมพิวเตอร์ที่เราใช้ และ DCE หมายถึงโมเด็มนั่นเอง การติดต่อระหว่างโมเด็มส่วนมากจะใช้แบบ RS-232C เป็นหลัก ซึ่งจัดเป็นมาตรฐานสำหรับการต่อโมเด็มทั่ว ๆ ไป สายที่ใช้ต่ออาจเป็นแบบสายตรงหรือสายสลับก็ได้ขึ้นอยู่กับวงจรภายในของคอมพิวเตอร์และโมเด็ม

2.13 การอินเตอร์เฟสกับคอมพิวเตอร์หรือไมโครคอมพิวเตอร์

ในรูปที่ 2.17 การอินเตอร์เฟสกับคอมพิวเตอร์หรือไมโครคอมพิวเตอร์ คือ การทำงานติดต่อกันระหว่างซีพียูกับอุปกรณ์อื่นๆ กับการโอนถ่ายข้อมูลระหว่างอุปกรณ์ต่างๆ นอกเหนือจากจะต้องทำงานติดต่อกับ RAM, ROM แล้วยังต้องมีการติดต่อกับอุปกรณ์ภายนอกที่มีการส่งข้อมูลอินพุต, เอาท์พุตอีกทาง

หนึ่ง ซึ่งเป็นการเพิ่มประสิทธิภาพระบบให้สมบูรณ์ ในระบบต่างๆ ของอุปกรณ์อิเล็กทรอนิกส์ จะทำงานต่อเนื่องเป็นลูกโซ่ ดังเช่น การรับส่งข้อมูลจากชิพไปยังส่วนต่างๆ เป็นต้น



รูปที่ 2.17 การอินเตอร์เฟสกับคอมพิวเตอร์หรือไม่ ไมโครคอมพิวเตอร์

การที่จะโอนย้ายข้อมูลทุกตัวนั้นจะต้องมีแหล่งที่ส่งข้อมูล และแหล่งที่รับข้อมูลสำหรับ ขบวนการเหล่านั้น จะมีส่วนที่สำคัญว่า ข้อมูลนั้นเป็น แอดเดรสหรือว่าเป็นค่า จะส่งไปยังจุดไหน ตัวอย่างเช่น ส่งไปยังหน่วยความจำ หรืออุปกรณ์อินพุต/เอาต์พุต และจะส่งเมื่อใด การทำงานเหล่านี้โดยทั่วไป จะต้องมีความสัมพันธ์ ในการตรวจสอบอุปกรณ์ว่าพร้อมที่จะรับส่งข้อมูลหรือยังก่อนเสมอ เนื่องจากจุดที่ส่งและรับข้อมูล จะต้องมีความตรวจสอบความพร้อมเพื่อที่จะให้ข้อมูลที่เรากำลังใช้งานนั้นๆ เป็นระเบียบ ตัวอย่างเช่น ส่งข้อมูลจากชิพไปยังอุปกรณ์รอบข้าง เป็นต้น ซึ่งจุดรับส่งข้อมูลต่างๆ อาจจะเป็น ระหว่างชิพด้วยกัน หรือ ชิปกับอุปกรณ์ รอบข้าง หรือระหว่างอุปกรณ์รอบข้างด้วยกัน หรือ ระหว่าง หน่วยความจำกับอุปกรณ์รอบข้าง ก็ได้ สำหรับข้อมูลที่โอนย้ายไปมานั้นจะอยู่ในลักษณะของเลขฐานสอง เช่น 01101100 ซึ่งเลขแต่ละตัวจะแทนด้วย 1 บิต อาจเป็น 8 บิต หรือ 16 บิต ก็ขึ้นอยู่กับระบบนั้นๆ ถ้าหากเป็นการต่อจากพอร์ตพีซี ไม่ว่าจะเป็นอนุกรมหรือขนาน ในสัญญาณที่ส่งมาจะมีระบบแรงดันไฟฟ้า ดังนี้

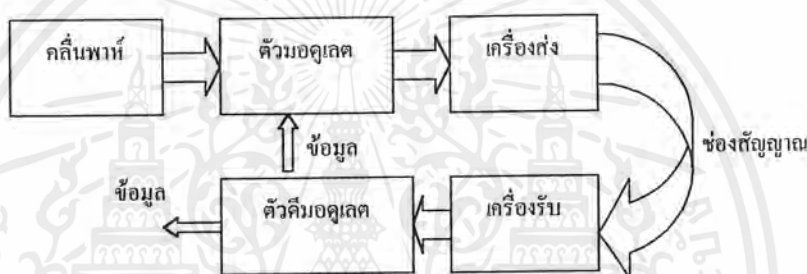
-Serial port (RS-232) ระดับไฟฟ้าประมาณ ± 3 ถึง ± 25 Vdc

-Parallel port (Printer port) ระดับไฟฟ้าประมาณ 5 Vdc (TTL) ต่อ 1 บิต

จะเห็นได้ว่าระดับสัญญาณแรงดันไฟฟ้าที่ขมามาให้ดูนี้ เราสามารถที่จะควบคุมและนำมาใช้กับ อุปกรณ์รอบข้างหรืออุปกรณ์ภายนอกได้

2.14 การมอดูเลต

การมอดูเลต (modulation) เป็นการผสมสัญญาณของข้อมูลเข้ากับสัญญาณอีกสัญญาณหนึ่ง เรียกว่า คลื่นพาห์ (carrier) ซึ่งสัญญาณนี้มีความถี่ที่เหมาะสมกับช่องสัญญาณนั้นๆ เพื่อให้ข้อมูลที่ส่งเข้าไปในช่องสัญญาณเดินทางได้ไกลมากขึ้น รูปที่ 2.18 แสดงรูปแบบของการสื่อสารในการรับส่งสัญญาณอย่างง่าย โดยคลื่นพาห์ผสมสัญญาณข้อมูลที่ตัวมอดูเลต (modulator) แล้วส่งไปที่เครื่องส่ง จากเครื่องส่งไปยังเครื่องรับจะเป็นช่องสัญญาณสำหรับลำเลียงสัญญาณผสมนี้ ดังได้กล่าวไว้ในบทที่แล้ว สัญญาณผสมจากเครื่องรับจะไปเข้าตัวดีมอดูเลต (demodulator) เพื่อแยกสัญญาณข้อมูลออกมา การเลือกวิธีมอดูเลตขึ้นอยู่กับปัจจัยหลายประการ เช่น ชนิดของช่องสัญญาณ แบนด์วิดท์ ประสิทธิภาพของระบบที่ต้องการ และความต้านทานต่อสัญญาณรบกวน เป็นต้น เมื่อมีการมอดูเลตที่ภาคส่ง การที่จะรับข้อมูลได้นั้นต้องมีการดีมอดูเลต (demodulation) ที่ภาครับด้วย

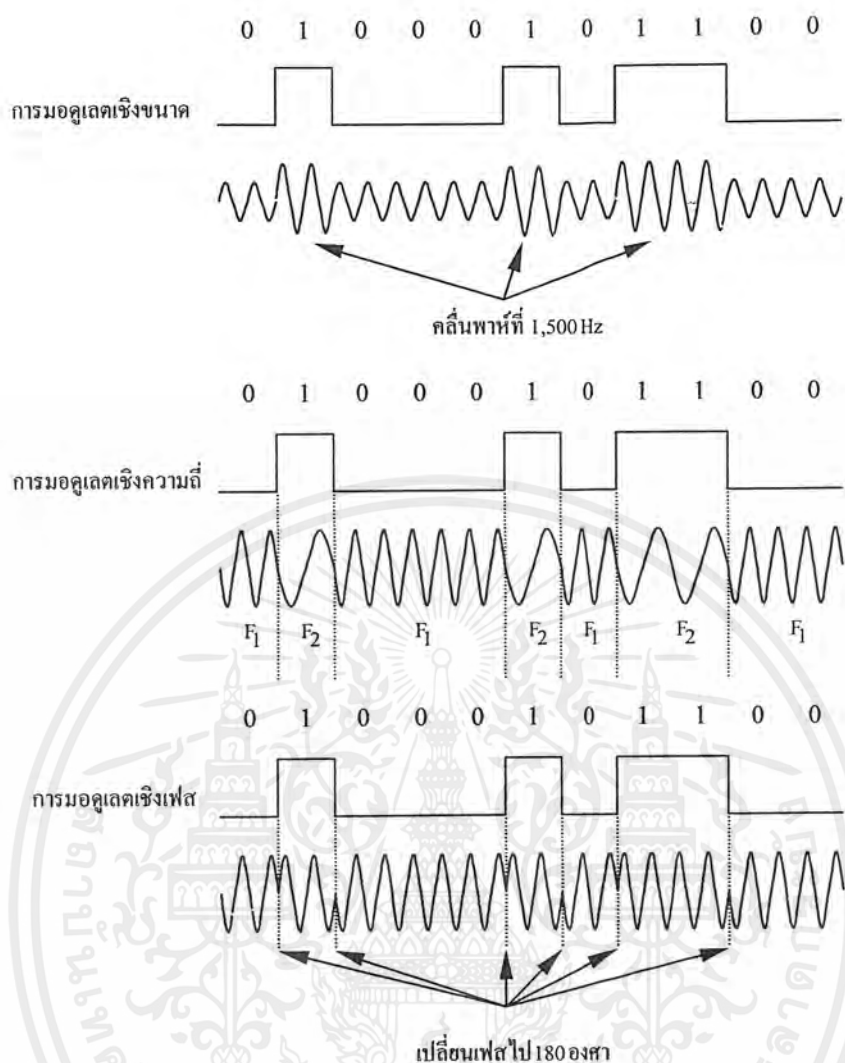


รูปที่ 2.18 รูปแบบของการสื่อสารในการรับส่งสัญญาณ

ปกติสัญญาณแอนาล็อกซึ่งมีลักษณะเป็นคลื่นรูปไซน์ ความถี่ไม่เกินแบนด์วิดท์ของช่องสัญญาณของสายส่ง จะสามารถส่งผ่านเครือข่ายโทรศัพท์ได้ จึงมีการใช้สัญญาณรูปไซน์นี้เป็นคลื่นพาห์นำข้อมูลผ่านวงจรสายโทรศัพท์ซึ่งก็คือการมอดูเลตนั่นเอง และที่ผู้รับปลายทางจะมีกระบวนการดีมอดูเลต เอาข้อมูลออกจากคลื่นพาห์และทำเป็นสัญญาณดิจิทัล

2.15 ชนิดของการมอดูเลต

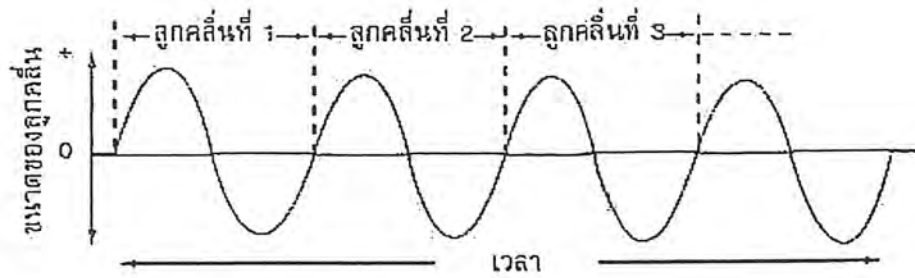
การมอดูเลตสัญญาณเป็นเทคนิคที่จะปรับและเปลี่ยนแปลงรูปแบบของสัญญาณไฟฟ้าคลื่นพาห์เพื่อที่สัญญาณนั้นสามารถที่จะนำข้อมูลผ่านตัวกลางสื่อสารได้ ซึ่งเทคนิคพื้นฐานของการมอดูเลตนี้ทำได้ 3 รูปแบบคือ การมอดูเลตชนิดเปลี่ยนขนาดของคลื่นพาห์ (Amplitude Modulation) การมอดูเลตชนิดเปลี่ยนความถี่คลื่นพาห์ (Frequency Modulation) และการมอดูเลตชนิดเปลี่ยนเฟสคลื่นพาห์ (Phase Modulation) ในรูปที่ 2.19 แสดงรูปสัญญาณทั้ง 3 แบบ แต่ในที่นี้ จะกล่าวเฉพาะการมอดูเลตชนิดเปลี่ยนเฟสคลื่นพาห์เท่านั้น



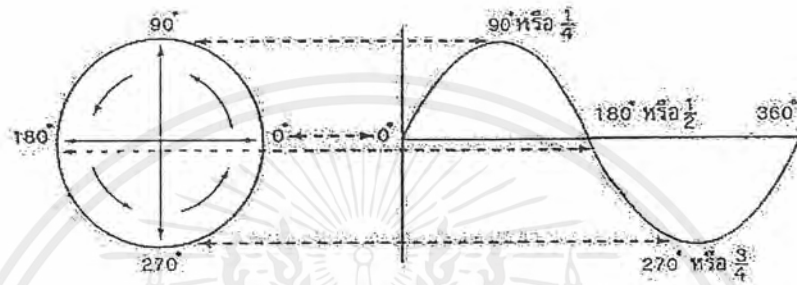
รูปที่ 2.19 แสดงการมอดูเลตเชิงขนาด, เชิงความถี่ และ เชิงเฟส

2.16 การมอดูเลตชนิดเปลี่ยนเฟสคลื่นพาห้ (Phase Modulation)

ในรูปที่ 2.20 แสดงถึงคุณสมบัติของคลื่นรูปไซน์ ซึ่งขนาดของสัญญาณเปลี่ยนไปตามมุมเฟส เทคนิคนี้จึงใช้หลักการของ Phase Shift Keying (PSK) กล่าวคือทุกๆครั้งที่มีการเปลี่ยนแปลงข้อมูลจาก 1 ไป 0 หรือ 0 ไป 1 นั้น จะเลื่อนเฟสของคลื่นไป 180 องศา ดังตัวอย่างแสดงในรูปที่ 2.21 และ 2.22 จะเห็นได้ว่าจากรูปที่ 2.21 ก่อนมีการเปลี่ยนแปลงข้อมูลจาก 1 ไป 0 นั้น เฟสของสัญญาณคลื่นนำจะเท่ากับ 180 องศา เมื่อมีการเปลี่ยนแปลงของข้อมูล เฟสของสัญญาณจะถูกเลื่อนไปอีก 180 องศา เป็น 360 องศา (หรือ 0 องศา) ดังนั้นแทนที่รูปคลื่นจะมีขนาดลดลงเป็นลบ กลับเพิ่มขึ้นมีค่าเป็นบวก เป็นต้น และจากรูปที่ 2.22 จะเห็นได้ว่าเมื่อไม่มีการเปลี่ยนค่าบิตข้อมูล เช่น ค่า 0 ติดต่อกัน ก็จะไม่มีการเปลี่ยนของเฟสของสัญญาณคลื่นพาห้ แต่ผู้รับทราบได้ว่ามีบิตค่า 0 ตัวใหม่เข้ามาแล้ว โดยการนับจำนวนลูกคลื่นที่ใช้ต่อ 1 บิต ซึ่งในรูปนี้มีการใช้ 2 ลูกคลื่นต่อแต่ละบิต ดังนั้นเมื่อสัญญาณผ่านไปแล้ว 2 ลูกคลื่น ยังไม่มีการเปลี่ยนเฟส ก็แสดงว่ามีบิตค่าเดิมเข้ามาอีกนั่นเอง

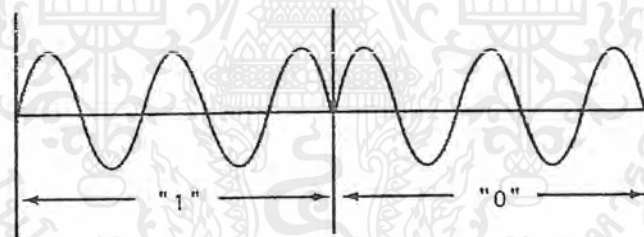


(ก.) คลื่นสัญญาณ

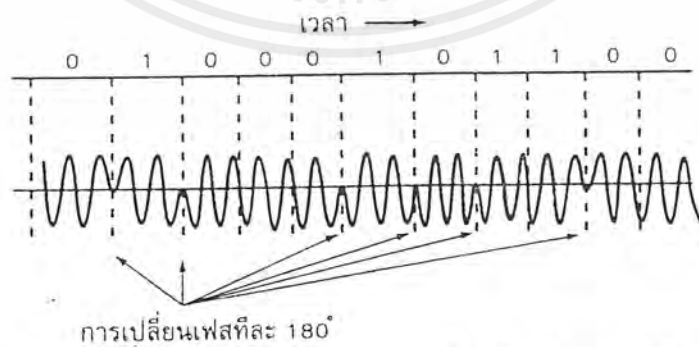


(ข.) เฟสของสัญญาณ

รูปที่ 2.20 แสดงคุณสมบัติของคลื่นรูปไซน์



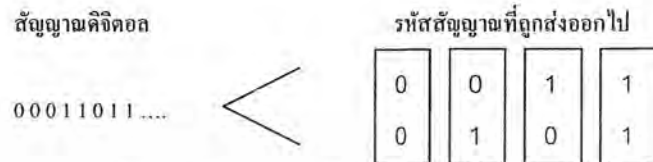
รูปที่ 2.21 แสดงเทคนิคการมอดูเลตสัญญาณชนิดเปลี่ยนเฟสของคลื่นพาห้

การเปลี่ยนเฟสทีละ 180°

รูปที่ 2.22 แสดงตัวอย่างของการมอดูเลตชนิดเปลี่ยนเฟสของคลื่นพาห้

2.17 QPSK (Quadrature Phase Shift Keying)

ในรูปที่ 2.23 วิธีการ QPSK สัญญาณ 2 บิตจะถูกส่งไปพร้อม ๆ กัน โดยระดับสัญญาณดิจิทัลที่จะส่งถูกแบ่งเป็นบล็อก 2 บิต แต่ละบล็อกประกอบด้วย 2 บิตถูกส่งไปพร้อม ๆ กัน ในกรณีนี้จะมีการรวมรหัส 4 คู่ด้วยกันคือ 00,01,10 และ 11 คู่ของรหัสทั้ง 4 คู่นี้จะเทียบกับ initial phase 4 เฟสของสัญญาณ QPSK



รูปที่ 2.23 รหัส 4 คู่ของสัญญาณ QPSK

ในรูปที่ 2.24 แสดงความสัมพันธ์ระหว่างรหัส และ initial phase ใน Gray code ซึ่งใช้ใน QPSK เฟส 0 แทนรหัส 00 เฟส $\pi/2$ แทนรหัส 01 เฟส π แทนรหัส 11 และ เฟส $3\pi/2$ แทนรหัส 10 จะเห็นว่าถ้าเปรียบเทียบรหัสระหว่างสองเฟสข้างเคียง หนึ่งในสองบิตจะเหมือนกันในทุก ๆ กรณี ดังนั้นการใช้ Gray code จะมีเพียงบิตเดียวที่เกิดการผิดพลาด แม้ว่าสัญญาณที่รับได้ถูกคีมอคูเลตผิดไปเป็นเฟสข้างเคียง

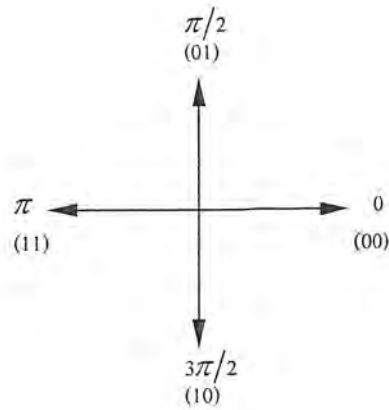
สมมติว่าสัญญาณกำหนดโดย

$$s(t) = A \cos 2\pi f_c t \quad \text{สำหรับรหัส 00}$$

$$\begin{aligned} s(t) &= A \cos(2\pi f_c t + \pi/2) \\ &= -A \sin 2\pi f_c t \end{aligned} \quad \text{สำหรับรหัส 01}$$

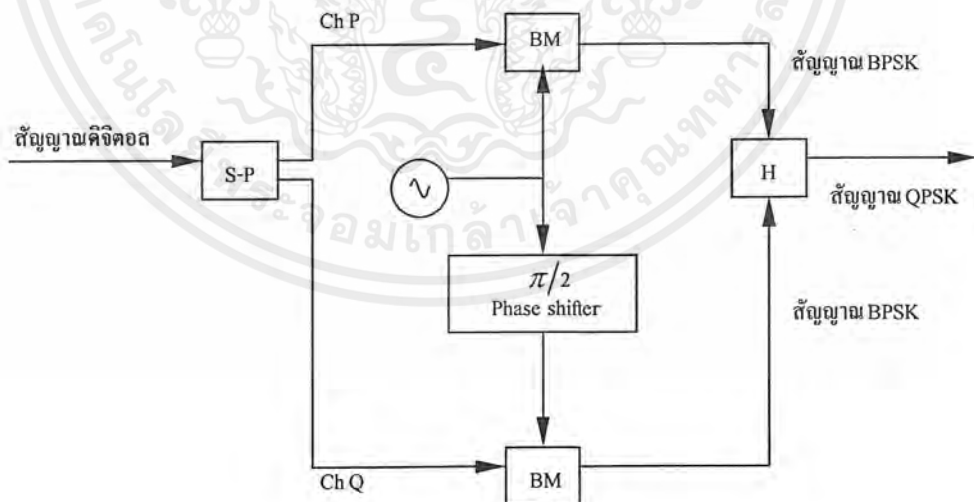
$$\begin{aligned} s(t) &= A \cos(2\pi f_c t + \pi) \\ &= -A \cos 2\pi f_c t \end{aligned} \quad \text{สำหรับรหัส 11}$$

$$\begin{aligned} s(t) &= A \cos(2\pi f_c t + 3\pi/2) \\ &= A \sin 2\pi f_c t \end{aligned} \quad \text{สำหรับรหัส 10}$$



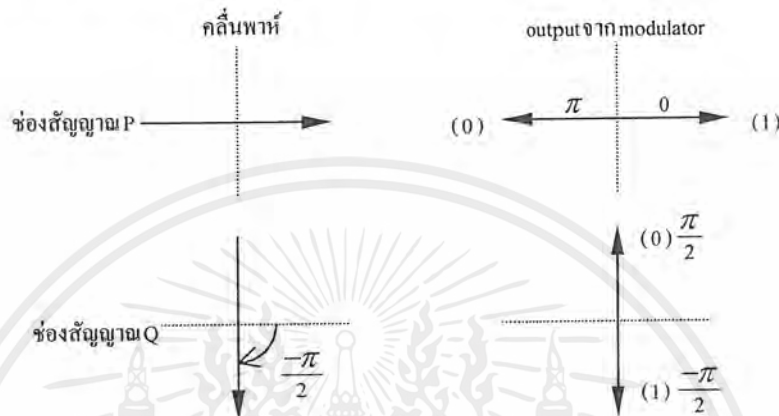
รูปที่ 2.24 Gray Code ที่ใช้ใน QPSK

ในรูปที่ 2.25 เป็นตัวอย่างวงจร QPSK มอดูเลชั่น วงจรนี้สร้างสัญญาณ Gray code ขึ้นมา วงจรประกอบด้วยวงจรมอดูเลชั่น 2 binary PSK คู่กัน สัญญาณดิจิทัลที่จะส่งแยกออกจากช่องสัญญาณ P และช่องสัญญาณ Q โดยตัวเปลี่ยนอนุกรมเป็นขนาน (S/P converter) แต่ละด้านถูกมอดูเลตแบบ BPSK โดย balance modulator คลื่นพาที่ใช้ในการมอดูเลตทางช่องสัญญาณ P จะใช้จากเอาต์พุตของออสซิลเลเตอร์โดยตรง ส่วนคลื่นพาที่ใช้สำหรับช่องสัญญาณ Q เฟสจะถูกเลื่อนไป $\pi/2$ หลังจากผ่าน $\pi/2$ phase shifter สัญญาณมอดูเลต BPSK ทั้งสองนี้ได้รับโดยการใส่คลื่นพาที่ต่างเฟสกัน $\pi/2$ และถูกรวมกันโดยวงจรไฮบริดก็จะได้สัญญาณ QPSK ออกมา



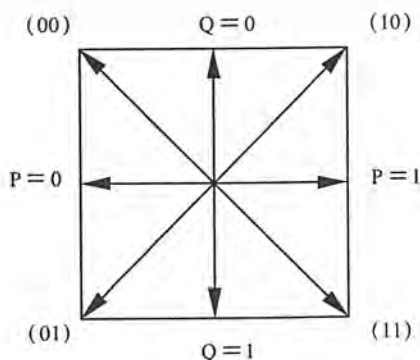
รูปที่ 2.25 วงจรมอดูเลต QPSK

เรามาลองพิจารณาความสัมพันธ์ระหว่างคลื่นพาห์ที่ใช้ในช่องสัญญาณที่ใช้ในช่องสัญญาณ P และ Q และสัญญาณ BPSK สำหรับรหัส 0 และ 1 โดยใช้เวกเตอร์โคออร์เดเนต ดังแสดงในรูปที่ 2.26 ถ้าเฟสเริ่มแรกของสัญญาณเอาต์พุต จากออสซิลเลเตอร์กำหนดเป็นตัวอย่างอิง คลื่นพาห์ที่ใช้ในช่องสัญญาณ P จะอยู่ในเฟสเดียวกันกับสัญญาณอ้างอิง ส่วนคลื่นพาห์ของสัญญาณ Q ได้จากการเลื่อนเฟส $\pi/2$ จากสัญญาณเอาต์พุตของออสซิลเลเตอร์สัญญาณที่มอดูเลตแบบ BPSK ในช่องสัญญาณ P และ Q จะอยู่ในเฟสเดียวกันกับคลื่นพาห์ สำหรับรหัส 1 แต่จะต่างเฟสกับเฟสพาห์เท่ากับ π สำหรับรหัส 0



รูปที่ 2.26 เปรียบเทียบเฟสของสัญญาณในช่องสัญญาณ P และ Q

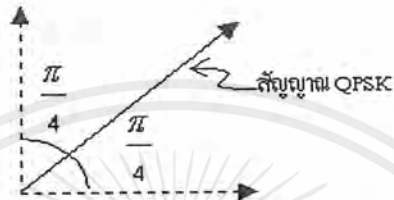
โดยการรวมสัญญาณ BPSK ที่ได้รับการมอดูเลตในช่องสัญญาณ P และช่องสัญญาณ Q เราจะได้สัญญาณ QPSK เมื่อรหัสในช่องสัญญาณ P เป็น “1” และรหัสในช่องสัญญาณ Q เป็น “0” เวกเตอร์ผลลัพธ์จะแสดงดังรูปที่ 2.27 เวกเตอร์ผลลัพธ์นี้แสดงสัญญาณ QPSK สำหรับ 10 ซึ่งสัญญาณ QPSK นี้จะต่างเฟส $\pi/4$ กับคลื่นพาห์ของช่องสัญญาณ P สัญญาณ QPSK สำหรับรหัส 00 จะต่างเฟสเท่ากับ $3\pi/4$ สัญญาณสำหรับรหัส 01 จะต่างเฟส $5\pi/4$ และสัญญาณสำหรับรหัส 11 จะต่างเฟส $7\pi/4$ กับคลื่นพาห์ของช่องสัญญาณ P รหัสสัญญาณเหล่านี้เรียกว่า “Gray code” เมื่อเปรียบเทียบรหัสของ 2 เฟสที่อยู่ใกล้เคียงกัน จะเห็นว่า หนึ่งใน 2 บิตจะเหมือนกัน



รหัส	เฟส
1 0	$\pi/4$
0 0	$3\pi/4$
0 1	$5\pi/4$
1 1	$7\pi/4$

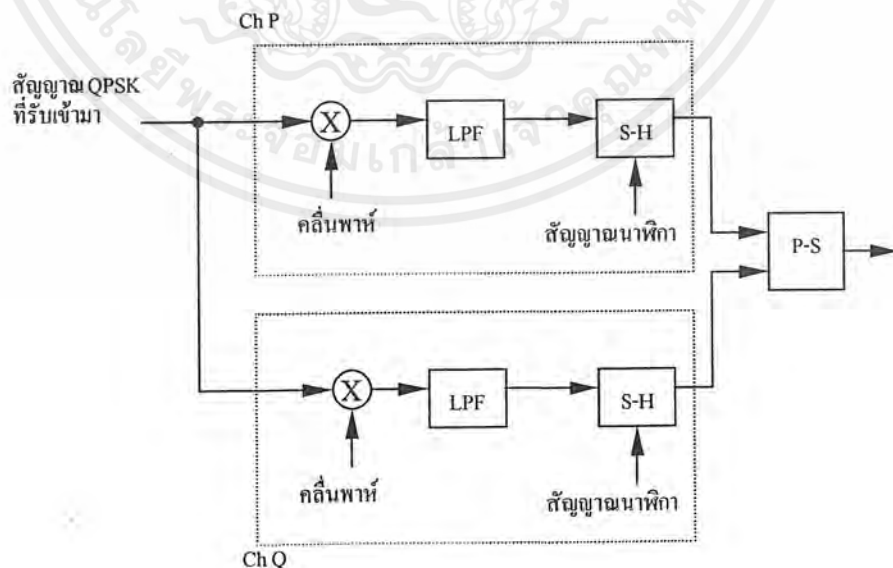
รูปที่ 2.27 เวกเตอร์ผลลัพธ์ของสัญญาณ QPSK

ตอนนี้เรามาศึกษาหลักการของการคิโมดูลเลตสัญญาณ QPSK โดย coherent detection ในรูปที่ 2.28 เวกเตอร์ที่แสดงโดยเส้นทึบเป็นสัญญาณ QPSK ที่รับได้ ซึ่งสัญญาณ QPSK นี้สามารถพิจารณาได้ว่าเป็นสัญญาณผลลัพธ์ที่ได้โดยการรวมสัญญาณ BPSK ที่ตั้งฉากกันคู่หนึ่ง ซึ่งแสดงโดยเส้นประ นั่นคือการคิโมดูลเลตสัญญาณ QPSK ก็เท่ากับการคิโมดูลเลตสัญญาณ BPSK สองสัญญาณดังกล่าวข้างต้น การคิเทศสัญญาณแบบ coherent โดยการใช้คลื่นพาห้อ้างอิงที่ตั้งฉากกันคู่หนึ่ง ซึ่งได้โดยการเลื่อนเฟสของสัญญาณที่รับไปเท่ากับ $\pi/4$ นั่นคือ สัญญาณ BPSK ที่ตั้งฉากกันแต่ละสัญญาณถูกการคิเทศแบบ coherent



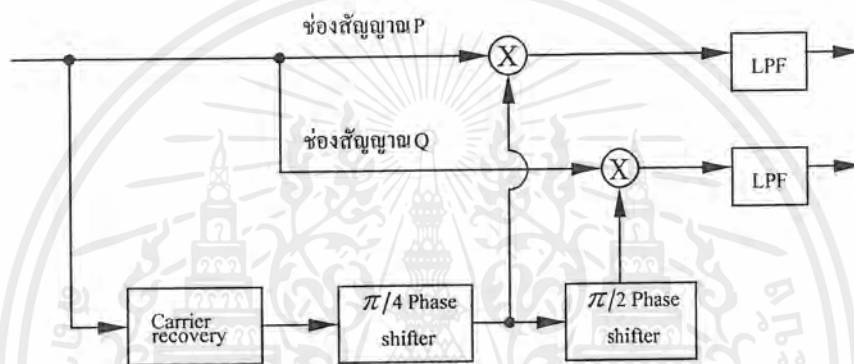
รูปที่ 2.28 สัญญาณ QPSK ถูกเลื่อนเฟส $\pi/4$

ในรูปที่ 2.29 เป็นวงจรคิโมดูลเลตสำหรับสัญญาณ QPSK โดยการคิเทศแบบ coherent ซึ่งวงจรประกอบด้วยวงจรคิโมดูลเลตแบบ coherent คู่หนึ่งสำหรับสัญญาณ BPSK ที่ตั้งฉากกัน สัญญาณ QPSK ที่รับได้ถูกแบ่งออกเป็นขบวนสัญญาณ 2 ขบวน ซึ่งถูกคิเทศแบบ coherent แยกกัน คู่ของคลื่นพาห้อ้างอิงที่ตั้งฉากกันถูกป้อนเข้า multiplier ของช่องสัญญาณ P และช่องสัญญาณ Q แต่ละช่องสัญญาณ ซึ่งเอาต์พุตจะผ่าน low pass filter เพื่อตัดฮาร์โมนิกสูง ๆ ออก หลังจากนั้นก็ผ่านไปยังวงจร sample holder พร้อมด้วย clock pulse ดังนั้นสัญญาณจะถูกคิโมดูลเลตแยกกันในช่องสัญญาณ P และ Q ขบวนสัญญาณที่ขนานกันนี้ ถูกรวมเข้าด้วยกันที่ P/S converter เพื่อจัดรูปแบบเรียงเป็นสัญญาณอนุกรมตามเดิม



รูปที่ 2.29 คิโมดูลเลตสัญญาณ QPSK

ในการดีเทคสัญญาณ QPSK แบบ coherent จำเป็นที่จะต้องเลื่อนเฟสของคลื่นพาห้อ้างอิงทั้งคู่ไป $\pi/4$ เมื่อเทียบกับเฟสของสัญญาณที่รับได้ เพื่อจุดประสงค์นี้จำเป็นต้องใช้วงจร carrier recovery วงจร $\pi/4$ phase shifter และวงจร $\pi/2$ phase shifter ในวงจร multiplier ของช่องสัญญาณ P คลื่นพาห้อ้างอิงได้จากการเลื่อนเฟสของสัญญาณ ซึ่งเป็นเอาต์พุตของวงจร carrier recovery แล้วเลื่อนเฟสไปโดยใช้ $\pi/4$ phase shifter ส่วนวงจร multiplier ของช่องสัญญาณ Q คลื่นพาห้อ้างอิงได้จาก เอาต์พุตของ $\pi/4$ phase ผ่านวงจร $\pi/2$ phase shifter อีกครั้งหนึ่ง คลื่นพาห้อ้างอิงนี้จะตั้งฉากกับคลื่นพาห้ในช่องสัญญาณ P โดยผ่านการดีเทคแบบ coherent ของสัญญาณ QPSK ซึ่งใช้คลื่นพาห้อ้างอิงคู่หนึ่งนี้เราก็จะได้สัญญาณ BPSK 2 สัญญาณ ซึ่งรวมกันมาจากทางตอนมอดูเลต สามารถดีเทคแยกออกมาได้ โดยวิธี coherent ดังแสดงในรูปที่ 2.30

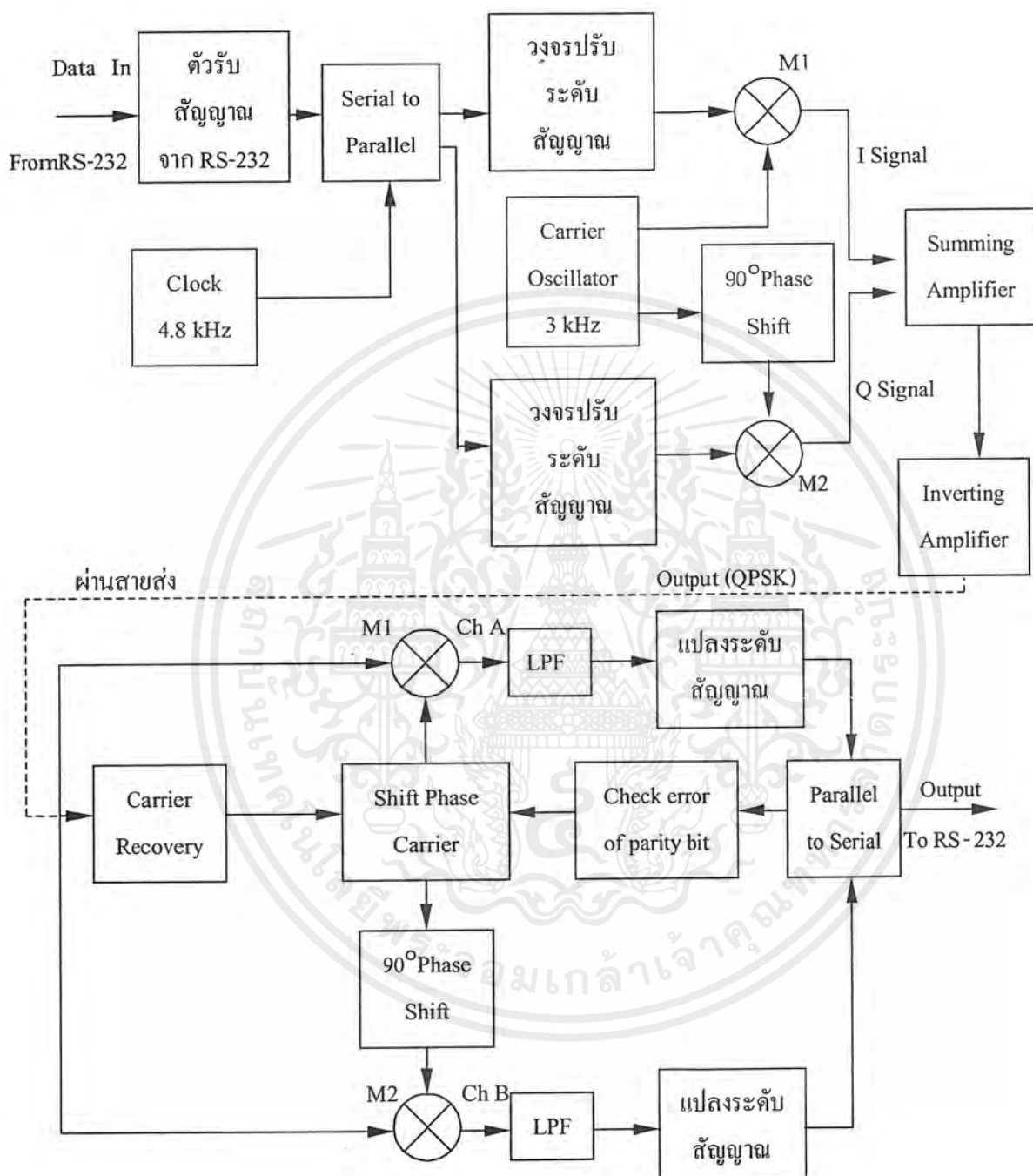


รูปที่ 2.30 การดีเทคสัญญาณ QPSK ออกเป็น BPSK 2 สัญญาณ

หลักการพื้นฐานของ carrier recovery จากสัญญาณ QPSK ก็เหมือนกันกับกรณีของสัญญาณ BPSK เฟสของคลื่นพาห้อ้างอิงที่ได้กลับคืนมาจะต้องตรงกันกับหนึ่งในสี่เฟสของสัญญาณ QPSK ที่รับได้ แต่เป็นไปได้ที่จะกำหนดว่าเฟสไหนในสี่เฟสเหล่านี้ตรงกับเฟสของคลื่นพาห้ที่แท้จริง โดยลักษณะนี้ปัญหาของการผิดพลาดของเฟส $\pi/2$ ก็จะเกิดขึ้นใน QPSK ซึ่งปัญหานี้สามารถแก้ไขโดยใช้ differential coding technique หรือโดยใช้ unique word เข้าช่วย.

บทที่ 3

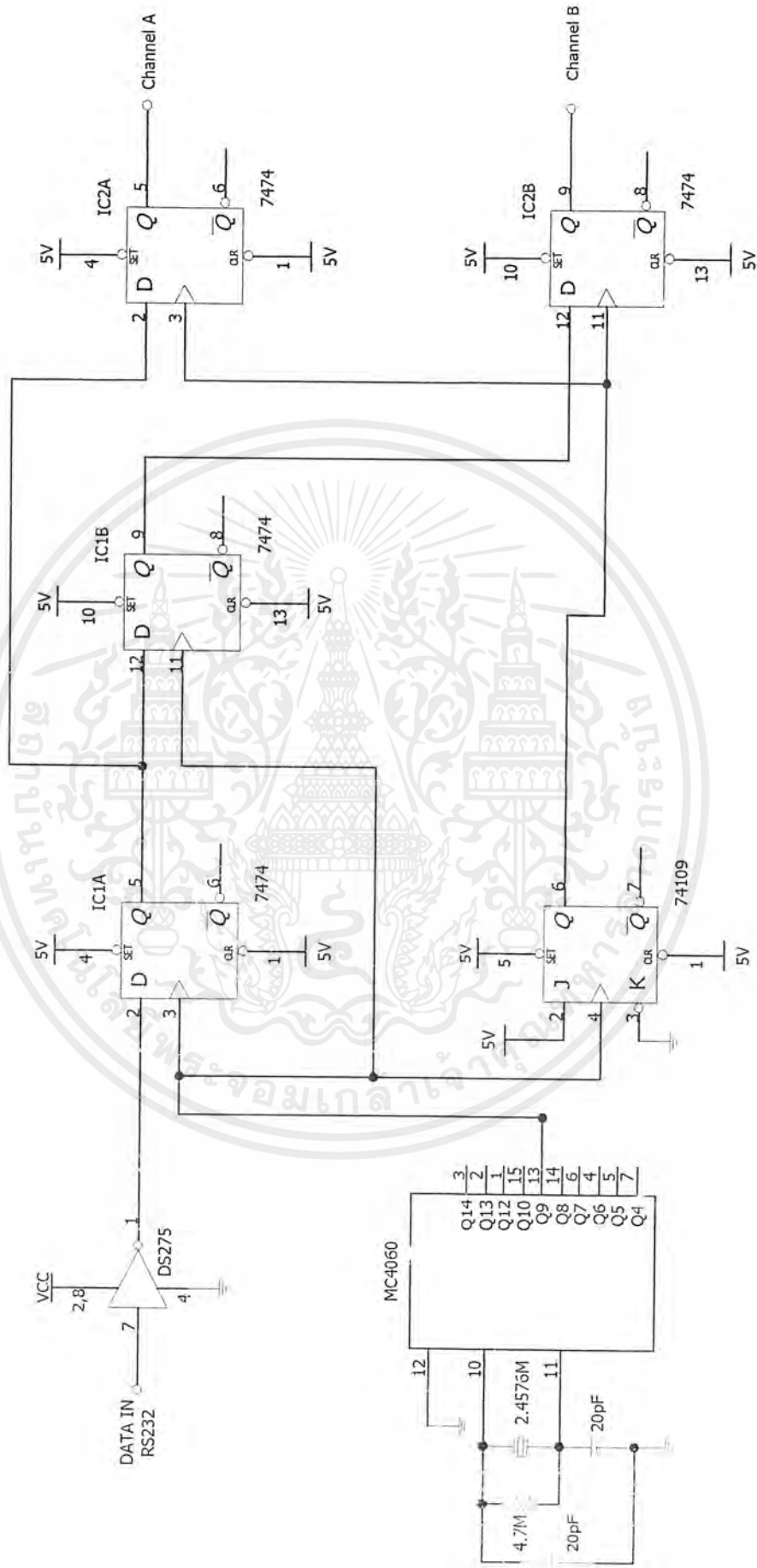
หลักการและการออกแบบ



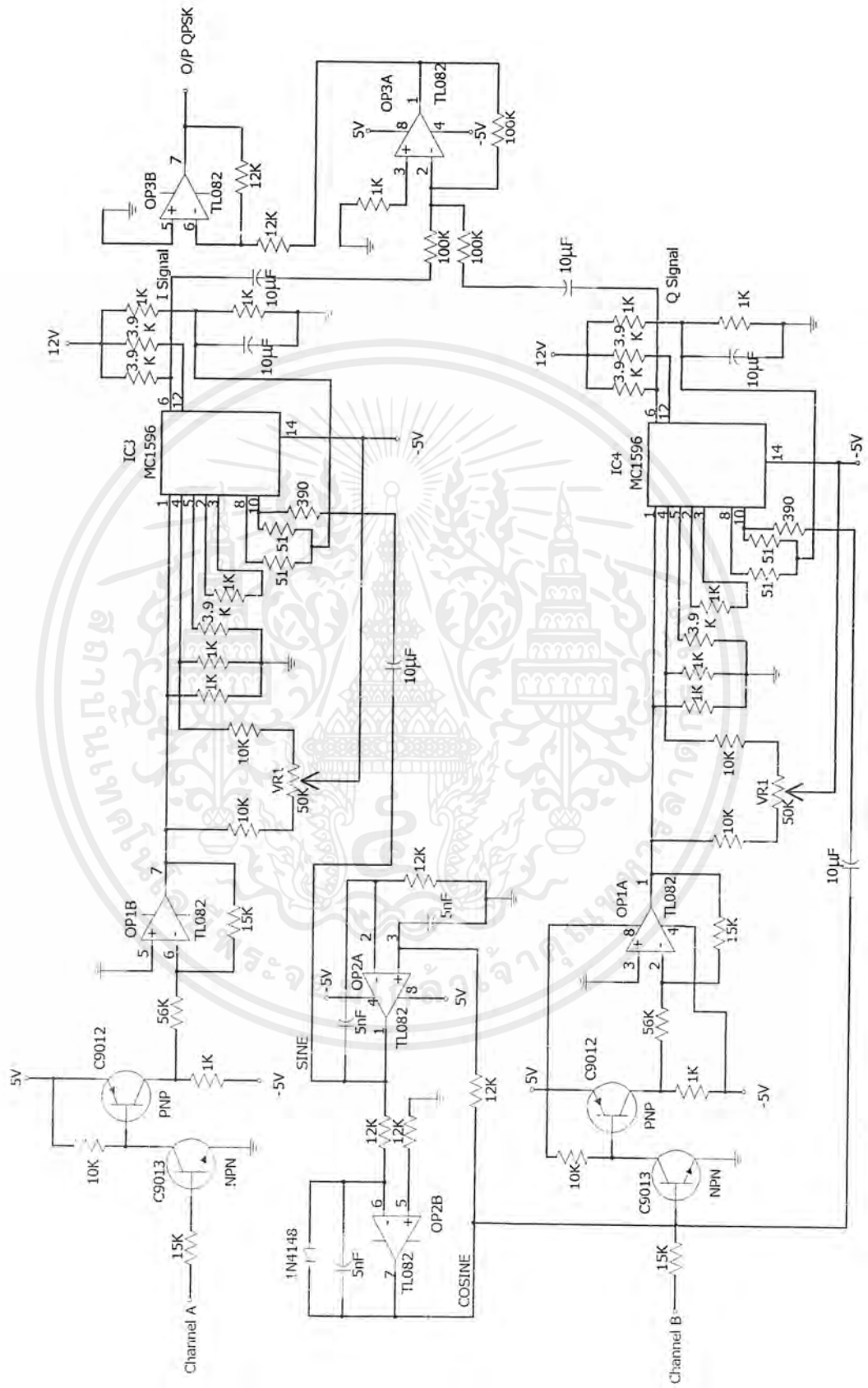
รูปที่ 3.1 บล็อกไดอะแกรมของโมเด็ม 4,800 บิตต่อวินาที

3.1 หลักการทำงาน

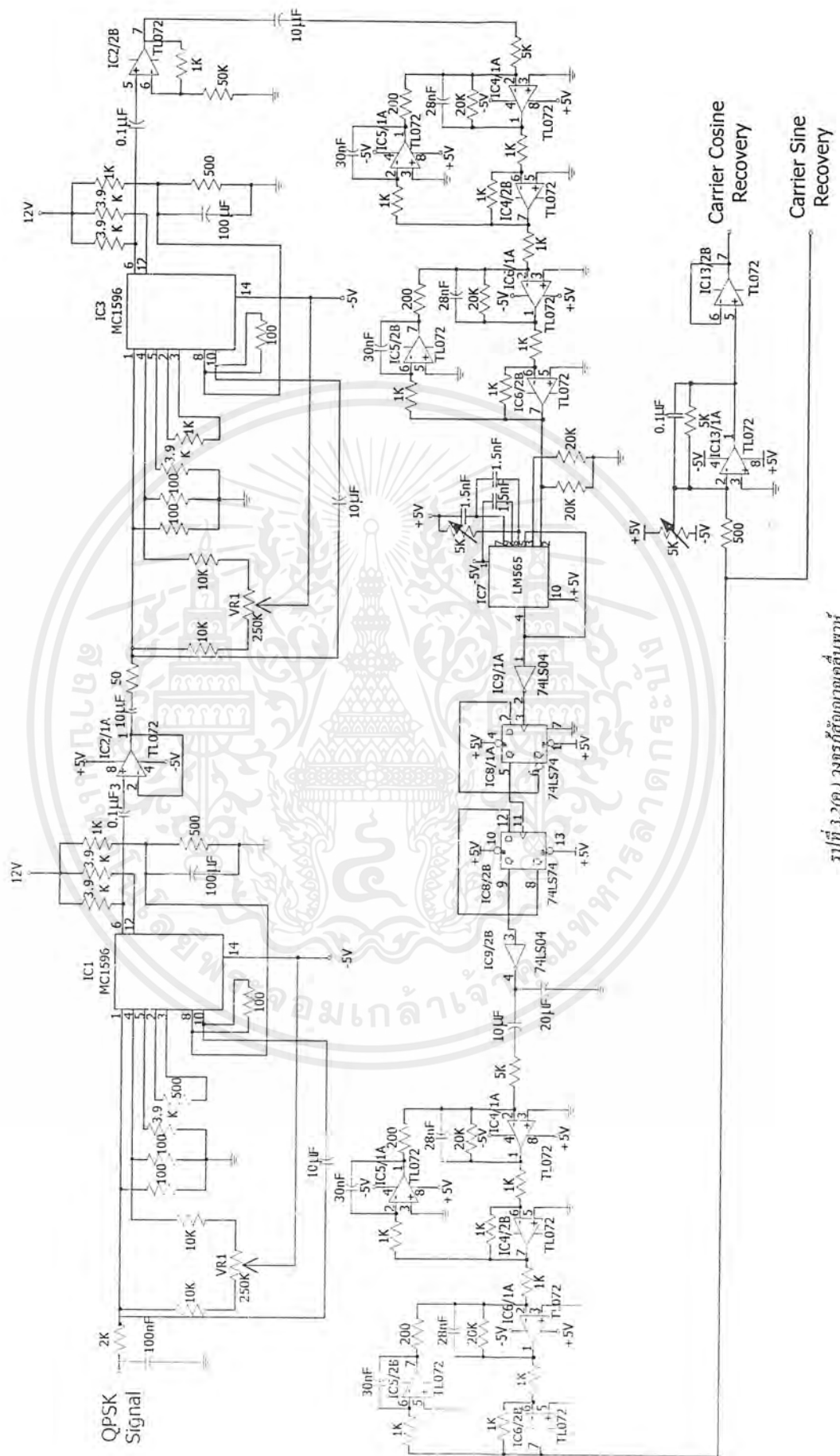
จากรูปที่ 3.1 แสดงบล็อกไดอะแกรมของโมเด็ม 4,800 บิตต่อวินาที เมื่อคอมพิวเตอร์ส่งข้อมูลดิจิทัลมาทางพอร์ทอนุกรม ข้อมูลดังกล่าวผ่านจะผ่านอินเทอร์เฟซ RS-232 และถูกเปลี่ยนขนาดของ



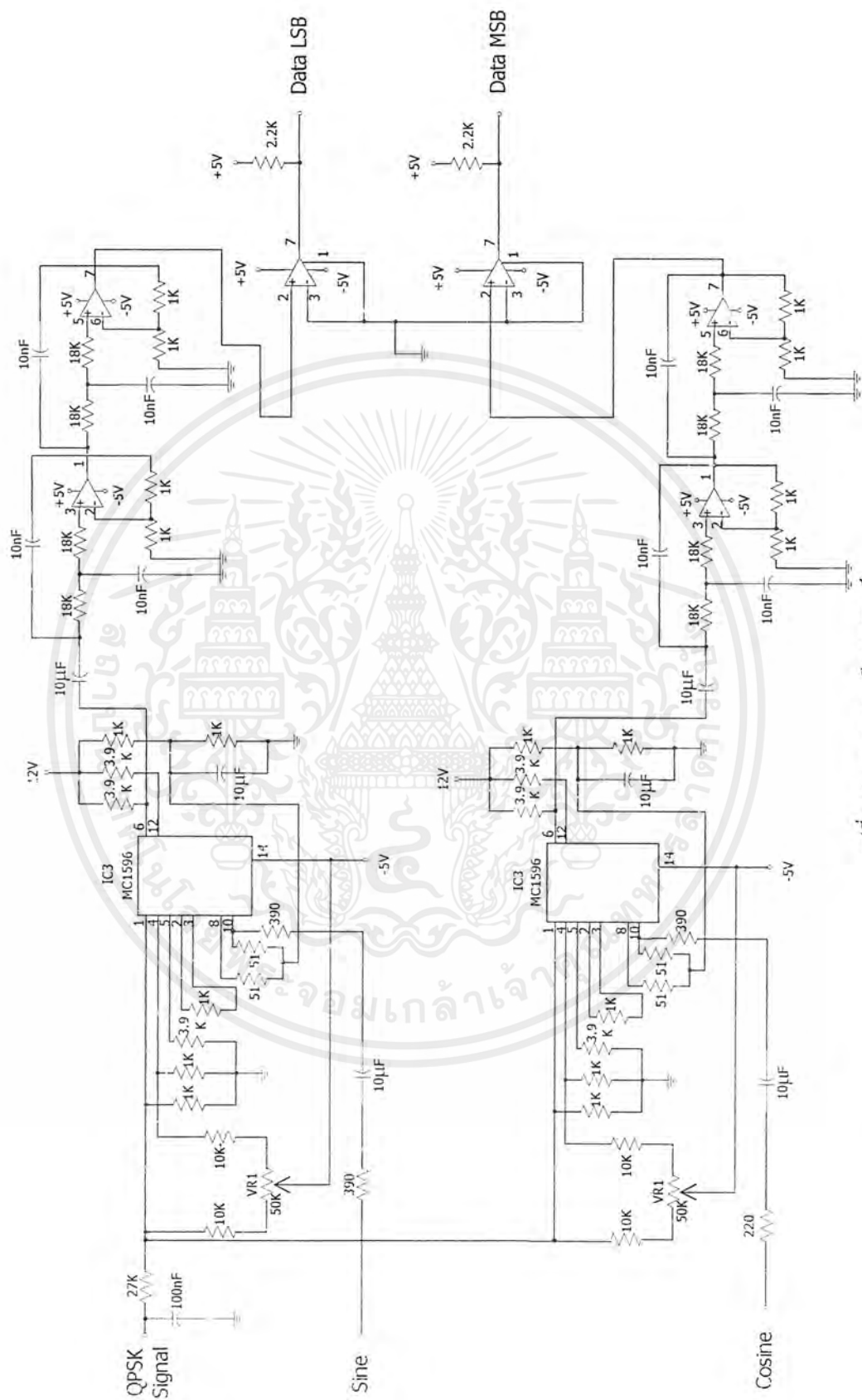
รูปที่ 3.2(ก.) วงจรแปลงสัญญาณจากอนุกรมเป็นขนาน 2 บิต



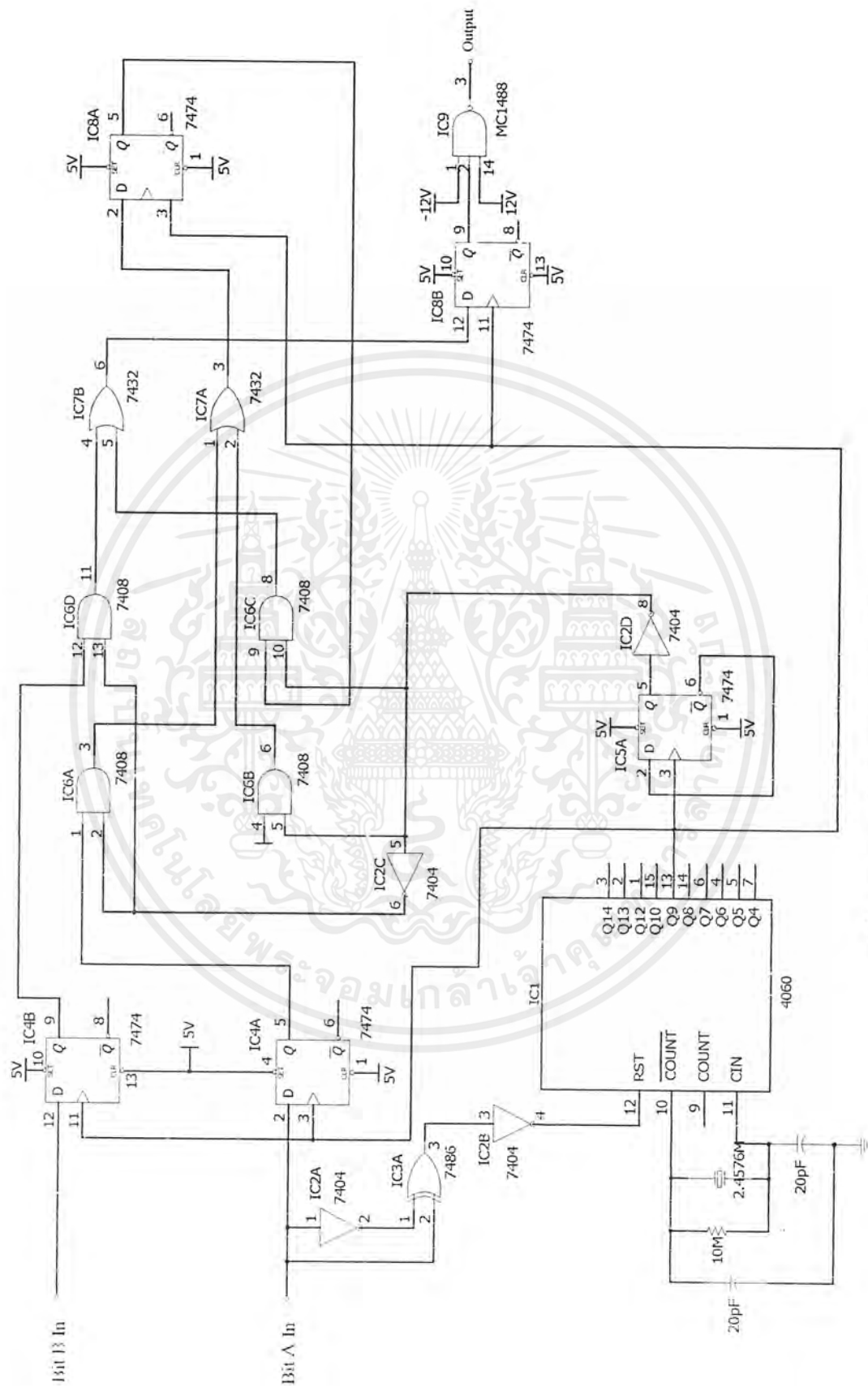
รูปที่ 3.2(ข.) วงจรมอดูเลเตอร์



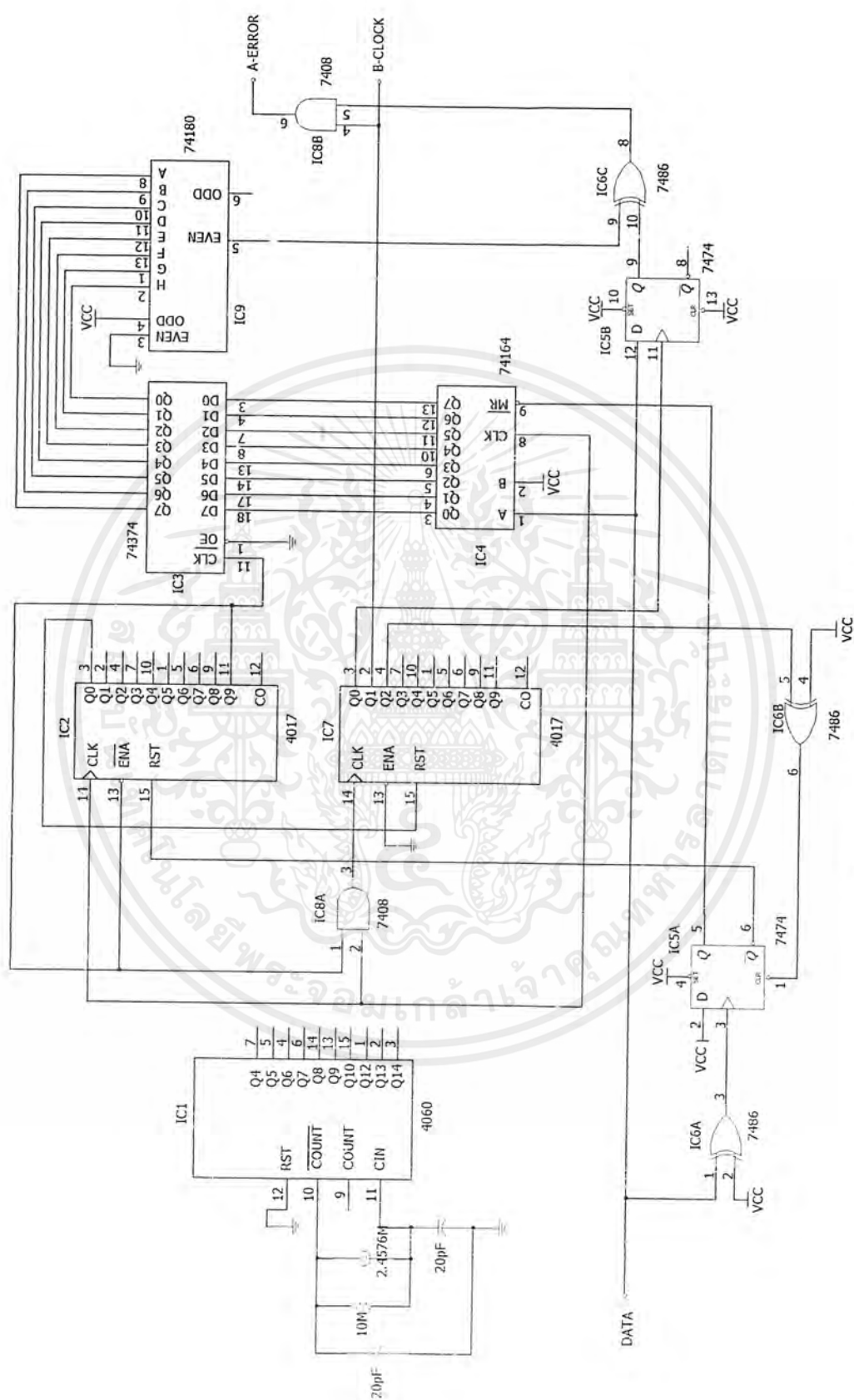
รูปที่ 3.2(ค.) วงจรตู้สัญญาณคลื่นพาห้



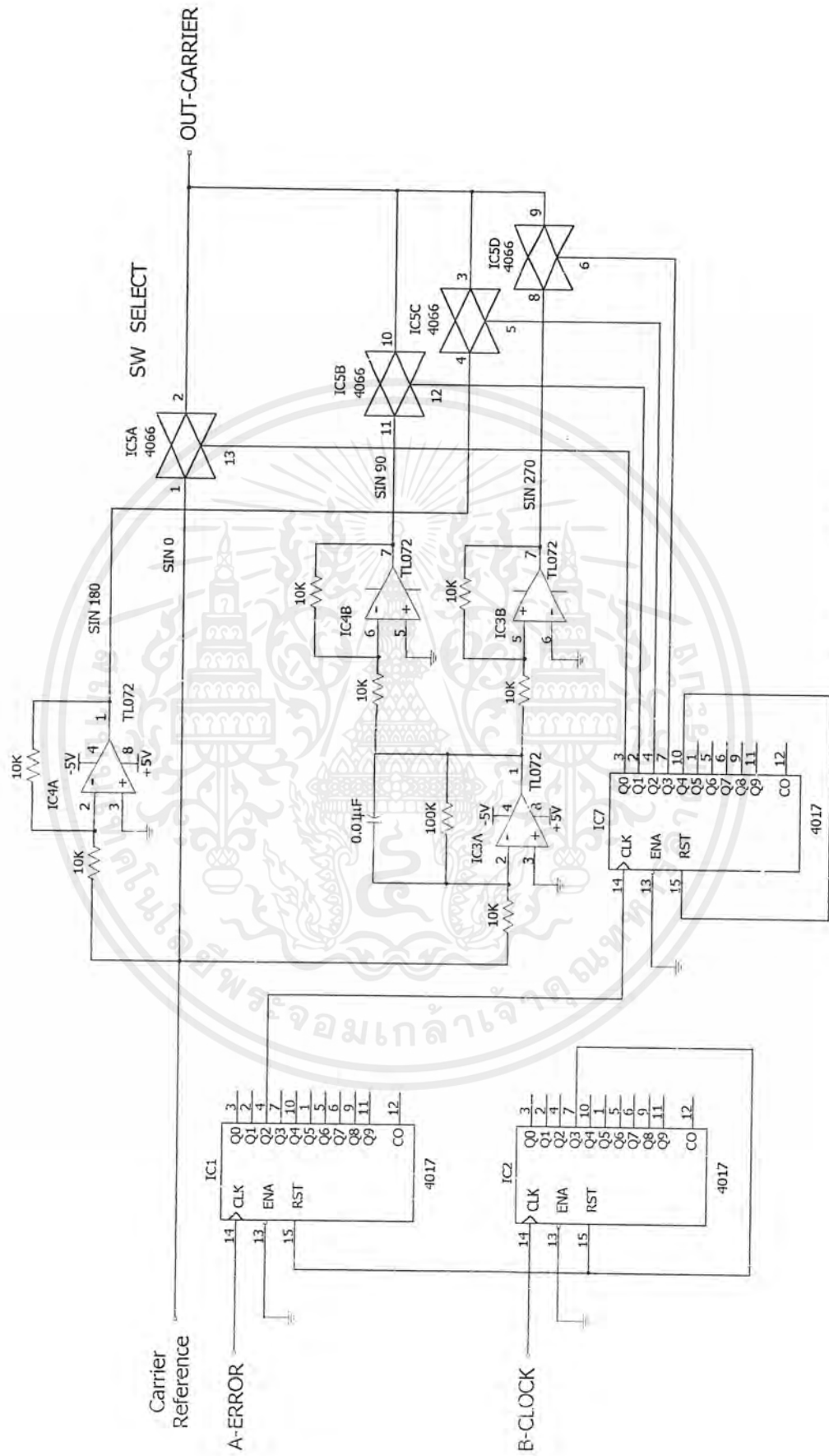
รูปที่ 3.2(4) แสดงวงจรซีมูเลเตอร์



รูปที่ 3.2(ข.) วงจรแปลงสัญญาณเป็นแบบอนุกรม



รูปที่ 3.2(ก.) วงจรตรวจสอบความถูกต้องของข้อมูล



รูปที่ 3.3(ข.) วงจรเก็บบันทึกของเกร็ทรี

ไฟฟ้า โดยใช้ไอซี DS275 ดังแสดงในรูปที่ 3.2(ก.) จากนั้นสัญญาณดิจิทัลขนาด 0 ถึง 5 โวลต์ดังกล่าว จะถูกนำไปเข้าวงจรแปลงข้อมูลอนุกรมให้เป็นขนานโดยกำหนดสัญญาณนาฬิกาเป็น 4,800 Hz เพื่อนำข้อมูลแบบขนานไปมอดูเลตแบบ QPSK (Quadrature Phase shift Keying) กับคลื่นพาห์ 2,700 Hz ดังแสดงในรูปที่ 3.2(ข.) จะได้เป็น I Signal และ Q Signal นำสัญญาณทั้งสองมารวมกันที่วงจร Summing Amplifier และกลับสัญญาณที่วงจร Inverting Amplifier จะได้เป็นสัญญาณ QPSK ส่งออกสายส่งต่อไป

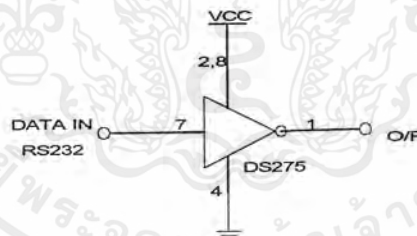
เมื่อสัญญาณ QPSK จากภาคส่งถูกส่งเข้ามา จะถูกทำการ Recovery เพื่อให้ได้ความถี่คลื่นพาห์เท่ากับทางภาคส่ง โดย Carrier ซึ่งถูก Recovery นี้ จะนำไปเป็นอินพุตให้กับบาลานซ์มอดูเลชัน (M1) ส่วน Carrier ที่จะนำไปเป็นอินพุตให้กับบาลานซ์มอดูเลชัน (M2) นั้น จะถูกเลื่อนเฟสไป ก่อนจะนำไปมอดูเลต สัญญาณคลื่นพาห์จะนำไปมอดูเลตกับ QPSK Signal เมื่อได้เอาต์พุตออกมาจะนำไปเข้าวงจร LPF (Low Pass Filter) เพื่อกรองเอาความถี่สูงซึ่งเป็น harmonic ออก สัญญาณที่ได้จะมีความถี่เดียวกับข้อมูลที่ส่งมา แต่ยังไม่ใช้ระดับลอจิกที่เราส่งมา ดังนั้นจึงต้องนำไปเข้าวงจรแปลงระดับสัญญาณ และถูกนำไปเข้าวงจรเปลี่ยนข้อมูลจากขนานเป็นอนุกรมซึ่งก็จะได้ข้อมูลดิจิทัลกลับคืนมา

ในการส่งข้อมูลอาจเกิดการผิดพลาดได้ จึงนำข้อมูลมาเทียบกับ Parity bit ว่าถูกต้องตรงกันหรือไม่ หากเกิดการผิดพลาดขึ้น จะทำการส่งสัญญาณไปที่วงจร Shift Phase ต่อไป

สำหรับรูปวงจรรวมทั้งหมดแสดงในรูปที่ 3.2 (ก.), 3.2 (ข.), 3.2(ค.), 3.2(ง.), 3.2(จ.), 3.2(ฉ.) และ 3.2(ซ.)

3.2 การออกแบบวงจรภาคส่ง

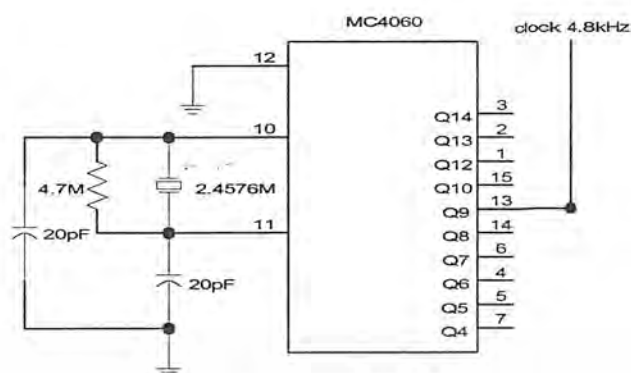
3.2.1 ตัวรับและส่งสัญญาณที่มาจาก RS-232



รูปที่ 3.3 แสดงการต่อ IC DS275

จากรูปที่ 3.3 ทางด้านอินพุต จะเป็นสัญญาณที่ส่งมาจาก RS-232 เนื่องจากสัญญาณจาก RS-232 จะมีระดับตั้งแต่ ± 3 ถึง ± 15 โวลต์ ซึ่งแตกต่างจากการทำงานของไอซีจำพวก CMOS/TTL ที่ใช้ในโมเด็ม จึงต้องนำสัญญาณจาก RS-232 มาผ่าน DS275 โดยสัญญาณที่เป็นลบจะเรียกว่า mark และสัญญาณที่เป็นบวกเรียกว่า space ทั้ง mark และ space เมื่อผ่าน DS275 แล้ว จะถูกกลับสัญญาณเป็นตรงข้ามและจะปรับระดับให้เท่ากับระดับปกติของ CMOS/TTL คือ +5V ดังนั้นสัญญาณ mark จะผลิตลอจิก 1 และ space จะผลิตลอจิก 0

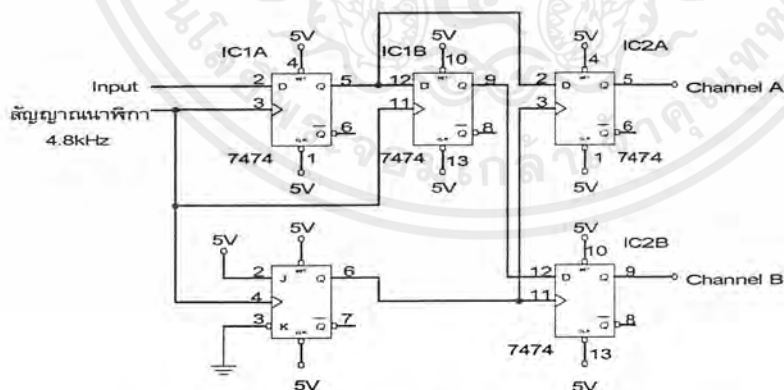
3.2.2 วงจรสร้างสัญญาณนาฬิกา



รูปที่ 3.4 แสดงวงจรสร้างสัญญาณนาฬิกา 4.8kHz

จากรูปที่ 3.4 เนื่องจากที่ความถี่สูงมีเสถียรภาพดีกว่า จึงทำการสร้างสัญญาณนาฬิกาจาก ความถี่สูงแล้วทำการหารลงมา เพื่อให้ได้ความถี่ที่ต้องการ วงจรสร้างสัญญาณนาฬิกานี้ใช้ไอซี MC4060 ซึ่งเป็น 14-Stage Ripple Carry Binary Counters ซึ่งจะทำหน้าที่หารความถี่ด้วย 2^n ซึ่งความถี่ที่เราต้องการคือ 4.8kHz และจากที่ขา 13 ของไอซี จะหารด้วย 2^9 ซึ่งเมื่อนำไปหาร ความถี่ 2.4576 MHz จะได้ 4.8kHz ดังนั้นจึงเลือกใช้ Crystal ที่มีความถี่ 2.4576 MHz และดึง สัญญาณนาฬิกาจากขา 13 มาใช้

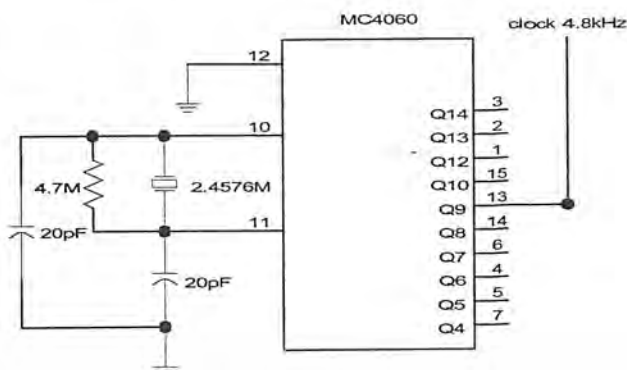
3.2.3 วงจรแปลงข้อมูลจากอนุกรมเป็นแบบขนาน (Serial to Parallel)



รูปที่ 3.5 แสดงวงจรแปลงข้อมูลจากอนุกรมเป็นแบบขนาน

จากรูปที่ 3.5 วงจรแปลงข้อมูลจากอนุกรมเป็นแบบขนานจะทำหน้าที่ในการแยกบิต ของข้อมูลทางอินพุตซึ่งเป็นแบบอนุกรม แยกออกเป็นแบบขนาน 2 บิต ออกทาง Channel A และ Channel B โดยจะทำงานตามสัญญาณนาฬิกาซึ่งถูกสร้างจากไอซี MC4060 หลักการทำงาน

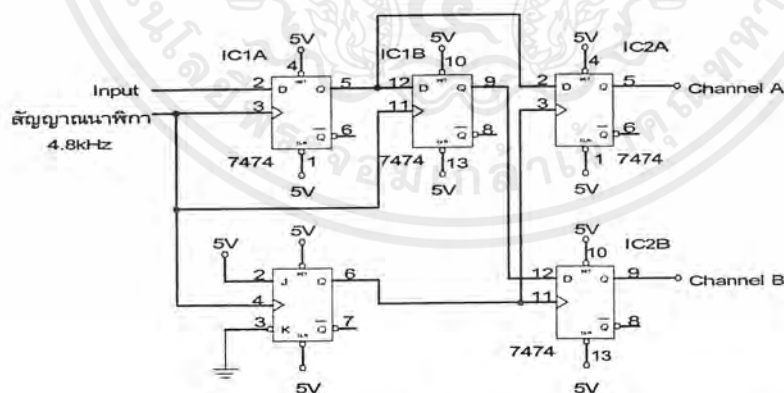
3.2.2 วงจรสร้างสัญญาณนาฬิกา



รูปที่ 3.4 แสดงวงจรสร้างสัญญาณนาฬิกา 4.8kHz

จากรูปที่ 3.4 เนื่องจากที่ความถี่สูงมีเสถียรภาพดีกว่า จึงทำการสร้างสัญญาณนาฬิกาจาก ความถี่สูงแล้วทำการหารลงมา เพื่อให้ได้ความถี่ที่ต้องการ วงจรสร้างสัญญาณนาฬิกานี้ใช้ไอซี MC4060 ซึ่งเป็น 14-Stage Ripple Carry Binary Counters ซึ่งจะทำหน้าที่หารความถี่ด้วย 2^n ซึ่งความถี่ที่เราต้องการคือ 4.8kHz และจากที่ขา 13ของไอซี จะหารด้วย 2^9 ซึ่งเมื่อนำไปหาร ความถี่ 2.4576 MHz จะได้ 4.8kHz ดังนั้นจึงเลือกใช้ Crystal ที่มีความถี่ 2.4576 MHz และดึง สัญญาณนาฬิกาจากขา 13 มาใช้

3.2.3 วงจรแปลงข้อมูลจากอนุกรมเป็นแบบขนาน (Serial to Parallel)



รูปที่ 3.5 แสดงวงจรแปลงข้อมูลจากอนุกรมเป็นแบบขนาน

จากรูปที่ 3.5 วงจรแปลงข้อมูลจากอนุกรมเป็นแบบขนานจะทำหน้าที่ในการแยกบิต ของข้อมูลทางอินพุตซึ่งเป็นแบบอนุกรม แยกออกเป็นแบบขนาน 2 บิต ออกทาง Channel A และ Channel B โดยจะทำงานตามสัญญาณนาฬิกาซึ่งถูกสร้างจากไอซี MC4060 หลักการทำงาน

ดังนั้น สัญญาณที่ผ่าน Inverting Amplifier จะมีค่าประมาณ 2.6 Vp-p คือ สัญญาณลอจิก “0” จะมีระดับสัญญาณประมาณ 1.3 V และสัญญาณลอจิก “1” จะมีระดับสัญญาณประมาณ -1.3V

3.2.5 วงจรผลิตสัญญาณ Sine และ Cosine

วงจร ผลิตสัญญาณ Sine และ Cosine แสดงดังรูปที่ 3.7 ซึ่งใช้ IC dual opamp เบอร์ TL082 จะให้กำเนิดสัญญาณ Sine ออกมาที่ขา 1 และจะให้กำเนิดสัญญาณ Cosine ออกมาที่ขา 7 สัญญาณทั้งสองจะให้ความถี่ประมาณ 3kHz ซึ่งค่าความถี่จะขึ้นอยู่กับค่า R และค่า C ในวงจรทั้งหมด โดยสามารถคำนวณได้จากสูตร

$$f = \frac{1}{2\pi RC}$$

กำหนดให้ค่า C เท่ากับ 5nF

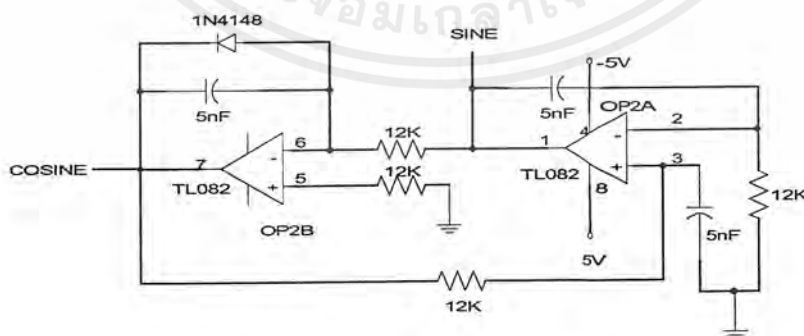
$$3 \times 10^3 = \frac{1}{2 \times \pi \times R \times 5 \times 10^{-9}}$$

$$R = \frac{1}{2 \times \pi \times 5 \times 10^{-9} \times 3 \times 10^3}$$

$$R = 10610.33$$

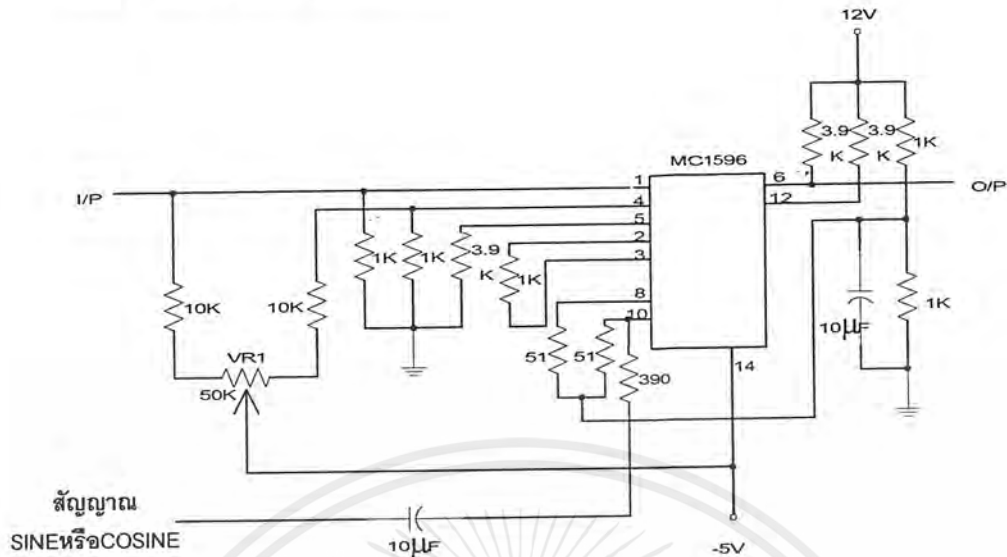
ดังนั้นจากค่าที่คำนวณได้จึงใช้ค่า R = 12 กิโลโอห์ม

สำหรับค่าระดับแรงดันของสัญญาณ Carrier Sine และ Cosine นั้นมีค่าประมาณ 0.4 Vp-p ซึ่งกำหนดโดยไดโอด



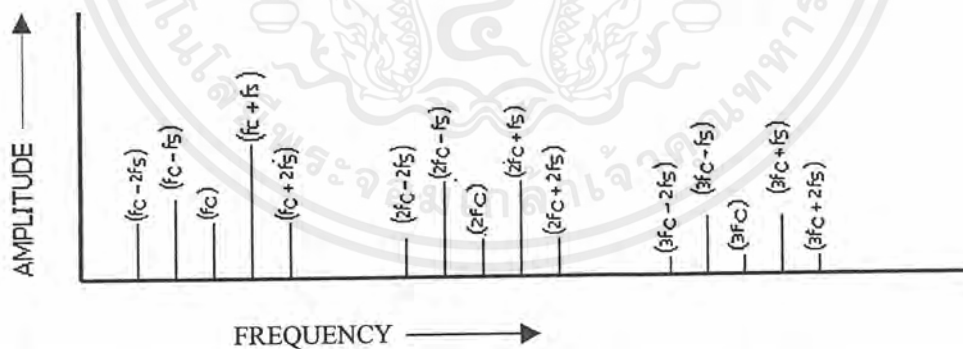
รูปที่ 3.7 วงจรผลิตสัญญาณ Sine และ Cosine

3.2.6 วงจรมอดูเลเตอร์ (Modulator)



รูปที่ 3.8 วงจรมอดูเลตแบบบาลานซ์มอดูเลชัน

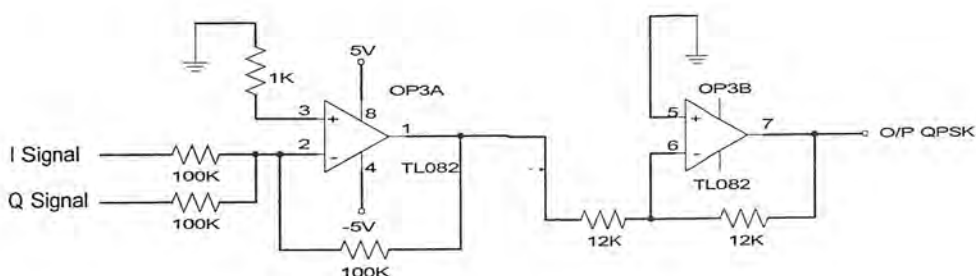
จากวงจรมอดูเลตซึ่งแสดงดังรูปที่ 3.8 โดยใช้ไอซี MC1596 ถือเป็นวงจร Balanced Modulator ซึ่งเอาต์พุตเป็นแบบ DSSB (Double Sideband Suppress Carrier) ที่ขา 6 และขา 12 เพราะความสมดุลของทั้งสัญญาณที่นำมอดูเลตกับสัญญาณคลื่นพาห์ สัญญาณเอาต์พุตจึงมีทั้งผลบวก และผลต่างของความถี่ด้วย สัญญาณ Upper และ Lower Sideband จะเป็นสัญญาณที่แรงที่สุด ซึ่งแสดงพร้อมกับฮาร์โมนิก ของ Sideband ซึ่งมีแอมพลิจูดลดลง แสดงดัง รูปที่ 3.9



- NOTES: f_c Carrier Fundamental nf_c Carrier Harmonics
 f_s Modulating Signal $nf_c \pm nf_s$ Carrier Harmonic Sidebands
 $(f_c \pm f_s)$ Fundamental Carrier Sideband
 $(f_c \pm nf_s)$ Fundamental Carrier Sideband Harmonics

รูปที่ 3.9 แสดงสเปกตรัมความถี่ของสัญญาณที่มอดูเลชันแล้ว

3.2.7 วงจร Summing Amplifier และ Inverting Amplifier



รูปที่ 3.10 วงจร Summing Amplifier และ Inverting Amplifier

หลังจากที่เราได้สัญญาณซึ่งเป็น การมอดูเลตระหว่างสัญญาณ Carrier Cosine กับ สัญญาณข้อมูล Q และระหว่าง Carrier Sine กับสัญญาณข้อมูล I แล้ว จะนำสัญญาณทั้งสองมา รวมกันโดยวงจร Summing Amplifier ซึ่งมีเกนเท่ากับ 1 แล้วกลับเฟสสัญญาณอีก 180 องศา โดยวงจร Inverting Amplifier ซึ่งมีเกนเท่ากับ 1 โดยสัญญาณที่ได้ (สัญญาณ I+Q) จะเรียกว่า QPSK Signal ซึ่งมีเฟสต่าง ๆ กันไป

ดังนั้นเมื่อนำวงจรในส่วนต่าง ๆ มาต่อเข้าด้วยกันแล้วจะได้เป็นวงจรเหมือนของภาคส่ง ดังรูปที่ 3.10 และตารางที่ 3.1 จะแสดงค่าสัญญาณ I+Q (QPSK Signal) พร้อมทั้งเฟสที่ต่างกัน ด้วย

Dibit	QPSK Signal (I+Q)	θ
0 0	$\sin \omega_C t + \cos \omega_C t$	45°
0 1	$\sin \omega_C t - \cos \omega_C t$	135°
1 0	$-\sin \omega_C t + \cos \omega_C t$	315°
1 1	$-\sin \omega_C t - \cos \omega_C t$	225°

ตารางที่ 3.1 แสดง QPSK Signal และเฟส ณ data logic ต่างๆ

เมื่อรวมสัญญาณ I และ Q ทางเฟสเซอร์ จะได้ดังนี้

ข้อมูล "00"

$$(\sin \omega_C t + \cos \omega_C t) = 1.414 (\sin \omega_C t + 45^\circ)$$

ข้อมูล "01"

$$(\sin \omega_C t - \cos \omega_C t) = 1.414 (\sin \omega_C t + 135^\circ)$$

ข้อมูล “10”

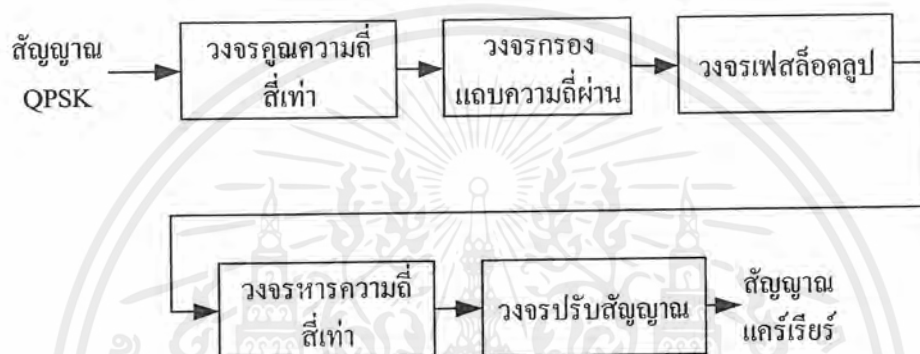
$$(-\sin \omega_C t + \cos \omega_C t) = 1.414 (\sin \omega_C t + 315^\circ)$$

ข้อมูล “11”

$$(-\sin \omega_C t - \cos \omega_C t) = 1.414 (\sin \omega_C t + 225^\circ)$$

3.3 การออกแบบวงจรภาครับ

3.3.1 วงจรกู้สัญญาณนาฬิกา(Carrier Recovery)

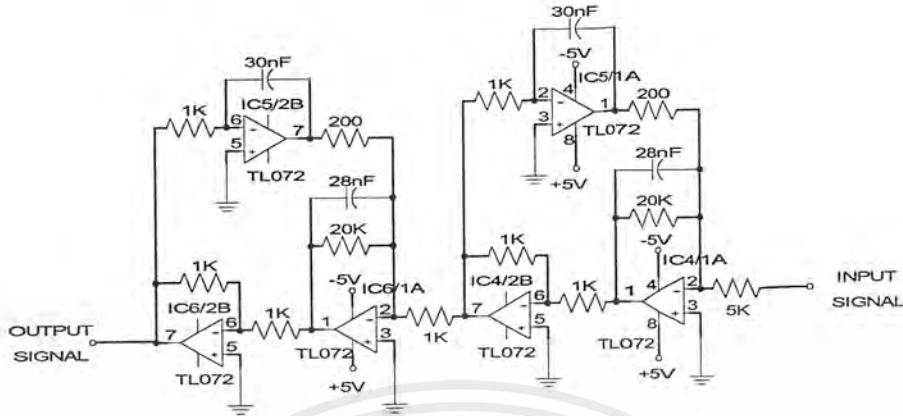


รูปที่ 3.11 บล็อกไดอะแกรมแสดงการรีคอปเวอริ์สัญญาณแครี่เรียร์

จากรูปที่ 3.11 สัญญาณที่ได้จากทางภาคส่งจะถูกนำไปเข้าวงจรคูณความถี่โดยใช้ไอซีเบอร์ MC1596 สัญญาณที่ได้จะมีความถี่เป็นสี่เท่าของ QPSK แล้วจึงนำไปผ่านวงจรกรองแถบความถี่ผ่าน โดยมีความถี่กลางเท่ากับ 12 กิโลเฮิรซ์ เอาต์พุตที่ได้จะมีความถี่เป็นสี่เท่าของสัญญาณ แครี่เรียร์ จากนั้นจะนำสัญญาณที่ได้นี้ไปผ่านวงจรเฟสล็อกคูลูป เพื่อล็อกความถี่และเฟสที่ ω_c

เอาต์พุตของวงจรเฟสล็อกคูลูปที่ขา 4 จะเป็นสัญญาณสี่เหลี่ยม ซึ่งจะมีความถี่เป็นสี่เท่าของ ω_c จึงต้องนำไปหารความถี่ให้ได้ความถี่เป็น ω_c คือ 3000 เฮิรซ์ โดยใช้ดีฟลิปฟลอป หลังจากนั้นนำไปแปลงรูปร่างสัญญาณให้อยู่ในรูปของสัญญาณซายน์ โดยผ่านวงจรกรองแถบความถี่ผ่าน ซึ่งใช้ความถี่กลางเท่ากับ 3000 เฮิรซ์ สัญญาณที่ได้จะมีความถี่เท่ากับสัญญาณแครี่เรียร์ทางภาคส่ง แต่เฟสของสัญญาณที่ได้อาจมีความผิดพลาดเกิดขึ้นซึ่งจะเกิดได้ยู่สี่เฟส ซึ่งถ้าหากไม่มีวงจรตรวจสอบความถูกต้องของเฟส ข้อมูลที่ถูกแปลงกลับมาก็จะเกิดความผิดพลาดขึ้น

3.3.1.2 วงจรกรองแถบความถี่ผ่าน



รูปที่ 3.13 วงจรกรองแถบความถี่ผ่าน

จากรูปที่ 3.13 แสดงวงจรกรองแถบความถี่ผ่านซึ่งจะทำหน้าที่ในการกรองความถี่ที่ได้จากวงจรคูณสี่ เพื่อกำจัดสัญญาณรบกวนที่ไม่ต้องการทิ้งไป และเพื่อให้วงจรเฟสล็อกคลุปรทำงานได้ดียิ่งขึ้น เพราะสัญญาณความถี่ที่ได้จากวงจรกรองแถบความถี่ผ่านนี้จะถูกส่งเข้าไปยังวงจรเฟสล็อกต่อไป ถ้าหากสัญญาณความถี่ที่ส่งออกไปมีสัญญาณรบกวนอยู่ด้วยก็จะทำให้วงจรเฟสล็อกคลุปร ล็อกความถี่ได้ไม่ดีเท่าที่ควร ซึ่งในวงจรนี้จะใช้ค่าความถี่คutoff เท่ากับ 12 กิโลเฮิรซ์ ซึ่งเป็นสี่เท่าของความถี่ของสัญญาณแครี่เรียร์

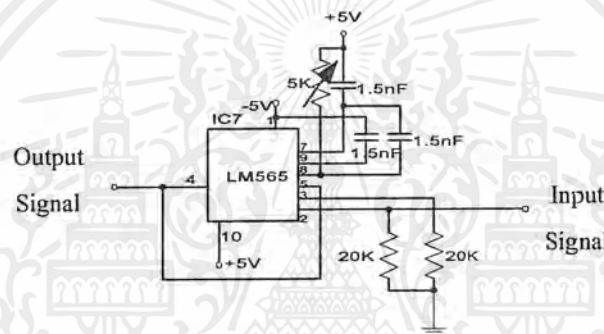
3.3.1.3 เฟสล็อกคลุปร



รูปที่ 3.14 บล็อกไดอะแกรมแสดงการทำงานของเฟสล็อกคลุปร

เฟสล็อกคลุปร คือระบบที่มีการป้อนความถี่กลับซึ่งประกอบด้วย เฟสดีเทคเตอร์, วงจรขยายสัญญาณ และวงจรโวลต์เตจคอนโทรลลออสซิลเลเตอร์ (VCO) ซึ่งมีแผนผังการทำงานดังรูปที่ 3.14 หลักการทำงานของเฟสล็อกคลุปรสามารถอธิบายได้ดังนี้

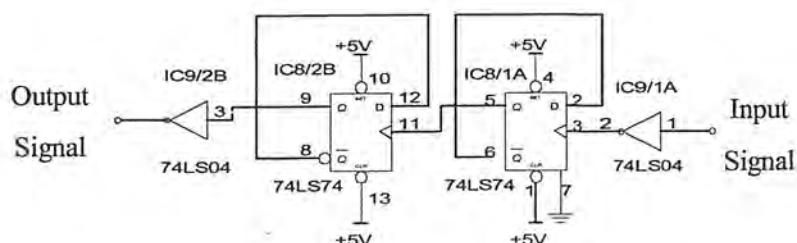
ขณะที่ยังไม่มีสัญญาณเข้าไปในระบบ แรงดันควบคุม $V_d(t)$ จะเท่ากับศูนย์ วงจรโวลเตจคอนโทรลลออสซิลเลเตอร์จะทำงานโดยการตั้งความถี่ไว้ที่ f_0 ซึ่งเรียกว่า “ ฟรีรันนิ่งฟรีเควนซี ” (free-running frequency) ถ้ามีสัญญาณเข้ามาในระบบ วงจรเปรียบเทียบเฟสจะทำการเปรียบเทียบเฟสและความถี่ของสัญญาณอินพุตกับสัญญาณที่ออกมาจากวงจรโวลเตจคอนโทรลลออสซิลเลเตอร์ $V_o(t)$ เพื่อผลิตแรงดันคลาดเคลื่อน $V_e(t)$ ซึ่งสัมพันธ์กับความต่างเฟสและความถี่ระหว่างสัญญาณทั้งสอง แรงดันคลาดเคลื่อนนี้จะถูกส่งไปขยายสัญญาณที่วงจรขยายสัญญาณ เอาท์พุตที่ได้จะไปควบคุม วงจรโวลเตจคอนโทรลลออสซิลเลเตอร์ โดยจะไปควบคุมความถี่ให้เปลี่ยนไปในทิศทางที่จะลดความแตกต่างของของความถี่ระหว่าง f_0 กับสัญญาณที่เข้ามา ทำอย่างนี้ไปเรื่อยๆจนความถี่ f_0 มีค่าเท่ากับสัญญาณที่เข้ามา ก็จะเกิดการล็อกขึ้น แต่เฟสของสัญญาณทั้งสองยังต่างกันอยู่



รูปที่ 3.15 แสดงวงจรเฟสล็อกคูล

วงจรเฟสล็อกคูลที่ใช้งานจริงแสดงดังรูปที่ 3.15 ค่าความต้านทานและตัวเก็บประจุจะเป็นส่วนในการกำหนดความถี่ free running เพื่อให้สะดวกในการใช้งาน วงจรนี้จึงสามารถรับความถี่ได้โดยการปรับค่าความต้านทาน โดยความถี่ที่ตั้งไว้จะใกล้เคียงกับความถี่ของแคเรียร์ทางภาคส่งนั่นเอง

3.3.1.4 วงจรหารความถี่



รูปที่ 3.16 แสดงวงจรหารความถี่สี่เท่า

จากรูปที่ 3.16 แสดงวงจรหารความถี่สี่เท่าที่ได้จากวงจรเฟสล็อกซึ่งมีความถี่เท่ากับ 12 กิโลเฮิรซ์ เพื่อให้ได้ความถี่เท่ากับสัญญาณแคเรียร์จากทางภาคส่ง โดยใช้ฟลิปฟล็อปสองตัว ซึ่งสัญญาณที่ได้จากวงจรนี้ยังคงเป็นสัญญาณรูปสี่เหลี่ยมซึ่งมีความถี่เท่ากับ 3 กิโลเฮิรซ์ จึงต้องนำไปผ่านวงจรกรองแถบความถี่ 3 กิโลเฮิรซ์ เพื่อให้ได้สัญญาณไซน์ออกมา

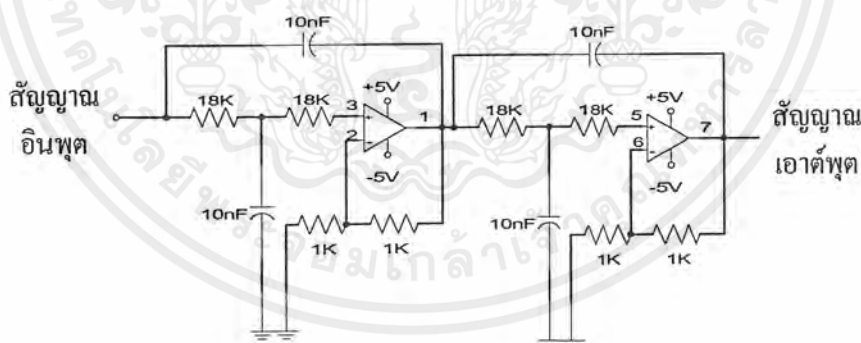
3.3.2 วงจรคิมอดูเลเตอร์

3.3.2.1 วงจรบาลานซ์มอดูเลเตอร์

เนื่องจากวงจรคิมอดูเลเตอร์ใช้ไอซีเบอร์ MC1596 บาลานซ์มอด เช่นเดียวกับทางภาคส่งดังนั้นการออกแบบวงจรจึงเหมือนกับทางภาคส่งทุกประการ วงจรที่ใช้ก็จะเหมือนกับทางภาคส่ง จึงไม่ขอกล่าวซ้ำในที่นี้

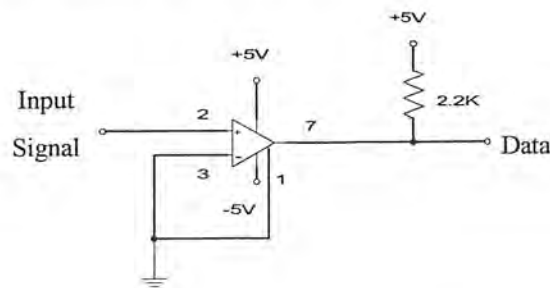
3.3.2.2 วงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่านที่แสดงดังรูปที่ 3.18 ทำหน้าที่ในการกำจัดสัญญาณความถี่สูงที่ไม่ต้องการออกจากสัญญาณข้อมูลที่ได้จากเอาต์พุตของวงจรคิมอดูเลเตอร์ ซึ่งสัญญาณข้อมูลจะแผ่ลงมากับความถี่สูง ดังนั้นวงจรกรองความถี่ต่ำผ่านจึงจำเป็นอย่างยิ่งที่จะต้องสามารถกำจัดความถี่สูงได้ดี เพื่อจะส่งสัญญาณข้อมูลที่ได้นี้ไปยังวงจรแปลงระดับสัญญาณให้เป็นสัญญาณข้อมูลแบบทีทีแอล



รูปที่ 3.17 วงจรกรองความถี่ต่ำผ่าน

3.3.2.3 วงจรแปลงระดับสัญญาณเป็นแบบทีทีแอล



รูปที่ 3.18 วงจรแปลงระดับสัญญาณเป็นแบบทีทีแอล

สัญญาณข้อมูลที่ได้จะถูกแปลงกลับมาเป็นสัญญาณแบบทีทีแอลดังวงจร ในรูปที่ 3.18 เป็นคอมพาราเตอร์แบบนอนอินเวอร์ตดัง สัญญาณทีทีแอลที่ได้นี้ก็คือข้อมูลที่เหมือนกับทางภาคส่งแต่จะเกิดการคีย์เนื่องจากผ่านวงจรรองความถี่ต่ำ

3.3.3 วงจรแปลงข้อมูลจากขนานเป็นอนุกรม

จากวงจรดังรูปที่ 3.2(จ.) แสดงวงจรแปลงข้อมูลจากขนาน 2 บิตให้เป็นข้อมูลแบบอนุกรมเพื่อส่งต่อไปยังพอร์ท RS-232 หลักการทำงานของวงจร เมื่อมีข้อมูลเข้ามาจะมารอที่ AND Gate และมี ไอซี 7474 เป็นตัวหารสัญญาณนาฬิกาและเป็นตัวเลือกว่า AND gate ตัวใดจะทำงาน IC8A จะเป็นตัวพักข้อมูลไว้ก่อน IC8B เป็นไอซีเลื่อนข้อมูลตามจังหวะสัญญาณนาฬิกาให้เอาต์พุตออกมาแล้วนำไปปรับระดับสัญญาณอีกครั้งหนึ่งเพื่อนำไปเข้าคอมพิวเตอร์ โดยใช้ ไอซี MC1488 แปลงจากระดับ +5 โวลต์ และกราวด์เป็น +12 โวลต์ และ -12 โวลต์ ตามลำดับ

3.3.4 วงจรตรวจสอบความถูกต้องของเฟส



รูปที่ 3.19 บล็อกไดอะแกรมแสดงการตรวจสอบความถูกต้องของเฟส

จากรูปที่ 3.19 วงจรนี้ทำการแปลงข้อมูลแบบอนุกรม มาตรฐาน RS-232 เป็นข้อมูลแบบขนาน ที่ประกอบด้วยข้อมูล D_0-D_7 และ พาริตีบิตเพื่อที่จะนำข้อมูล D_0-D_7 มาเทียบกับพาริตีบิตที่ได้ ว่าถูกต้องตรงกันหรือไม่ หากเกิดความผิดพลาดจะทำการส่งสัญญาณไปวงจรต่อไป

จากรูปที่ 3.2(ฉ.) ข้อมูลแบบอนุกรมจากวงจรแปลงข้อมูลขนานให้เป็นอนุกรม จะถูกส่งไปยัง $IC_{5B}(7474)$, $IC_4(74164)$ และ $IC_{6A}(7486)$ เพื่อแปลงสัญญาณไปสู่ $IC_{5A}(7474)$ ในวงจรแต่ละส่วนทำงานดังต่อไปนี้

GEN. คล็อก จะสร้างคล็อกให้กับวงจร $IC_1(4060)$ จะหารความถี่จากคริสตอลให้เอาต์พุต Q_4-Q_{14} (ไม่มี Q_{11}) ตั้งแต่ 2^4-2^{14} เราจะเลือกใช้ให้ตรงกับความเร็วข้อมูลที่ส่งมาจากคอมพิวเตอร์ $IC_2(4017)$, $IC_7(4017)$ และ $IC_{8A}(7408)$ ไอซีทั้งสามตัวนี้ จะทำการสร้างสัญญาณนาฬิกาสิบสามลูกออกที่ขา $Q_0 - Q_9$ ของ IC_2 และ $Q_0 - Q_3$ ของ IC_7 โล่อกที่ละลูกวนไปเรื่อยๆ วงจรจะใช้สัญญาณนาฬิกาในการ โหลดข้อมูล $D_0 - D_7$ และพาริตีบิต

$IC_{5A}(7474)$ จะเป็นตัวเช็คนาฬิกาบิตเริ่มต้น เมื่อสัญญาณบิตเริ่มต้นเข้ามาเป็นสัญญาณนาฬิกา ทำให้ลอจิก “1” ที่ขา D ส่งออกไปที่ขา Q และสัญญาณที่ขา Q และ $\bar{Q}$ จะไปกระตุ้นให้ IC_2 , IC_4 ทำงาน IC_4 จะนำข้อมูลเข้าแบบอนุกรม และส่งออกเป็นแบบขนาน และส่งข้อมูลไปให้ $IC_3(74374)$ เป็นไอซีบัฟเฟอร์ แต่ IC_3 จะยังไม่โหลดข้อมูล $D_0 - D_7$ จนกว่าจะนับสัญญาณนาฬิกาจาก $IC_2(4017)$ ครบสิบลูก จาก Q_9 มาโหลดข้อมูลไปใช้

เมื่อเราได้ $D_0 - D_7$ แล้ว สัญญาณนาฬิกาถูกต่อไป จะเป็นของพาริตีบิต คือ Q_0 จาก $IC_7(4017)$ มาเป็นสัญญาณนาฬิกา เพื่อโหลดข้อมูลออกไป เมื่อได้ข้อมูลเรียบร้อยแล้ว สัญญาณนาฬิกาช่วงต่อไปจะเป็นของบิตสต๊อป โดยเราใช้ Q_2 ของ IC_7 มาเป็นตัวรีเซตวงจร ถื่อนำสัญญาณมาเคลียร์ IC_{5A} และ IC_{8A} จะนำสัญญาณ Q และ $\bar{Q}$ ไปเคลียร์ IC_2 และ IC_4 เพื่อพร้อมทำงานต่อไป

จากวงจรข้างต้น เราได้ $D_0 - D_7$ และพาริตีบิต เราจะทำการตรวจพาริตีบิตจาก $D_0 - D_7$ จะใช้ $IC_9(74180)$ ตรวจแบบพาริตีคู่ เมื่อได้พาริตีบิตทั้งสองส่วนแล้ว จะนำมาเทียบกันว่าตรงกันหรือไม่ โดยใช้ $IC_{5A}(EX-OR\ GATE)$ โดยที่เมื่อข้อมูลตรงกันจะได้ ลอจิก “0” ไปเปิดเกตของ $IC_{8B}(AND\ GATE)$ ทำให้ไม่มีสัญญาณนาฬิกาออกไป แต่ถ้าหากข้อมูลไม่ตรงกัน จะได้ลอจิก “1” ไปเปิดเกตของ $IC_{8B}(AND\ GATE)$ ได้สัญญาณออกไปแจ้งความผิดพลาดให้กับวงจรเลื่อนเฟสของ แคร่รีรีร์ต่อไป

3.3.5 วงจรเลื่อนเฟสของแคร่รีรีร์

จากรูป 3.2(ซ.) วงจรจะทำการแก้เฟสของแคร่รีรีร์ที่เป็นไปได้สี่เฟส แต่มีเพียงเฟสใดเฟสหนึ่งเท่านั้นที่ถูกต้อง เราต้องนำทั้งสี่เฟสไปใช้ที่ละเฟส โดยเลือกที่ละเฟสเลื่อนไปเรื่อยๆ เมื่อข้อมูลถูกต้อง คือตรวจจากวงจรตรวจสอบความถูกต้อง เมื่อข้อมูลถูกต้องจะล๊อคเฟสนั้นเอาไว้ และเฟสทั้งสี่นั้นก็คือ 0 องศา, 90 องศา, 180 องศาและ 270 องศา

วิธีการเลือกนี้จะนำสัญญาณทั้งสี่เฟสเข้าสู่ IC₅ (4066) ทั้ง 4 SW และใช้ IC₆ (4017) ในการเลือก SW ใน IC₅ (4066) แต่ละตัวในการทำงาน

- สัญญาณ 0 องศา คือ แคร่รีयरไปขา 1 ของ IC₅ (4066)
- สัญญาณ 90 องศา คือ แคร่รีयरผ่านอินเวอร์ตเตอร์ โดย IC_{3A} (TL072) ไปขา 11 ของ IC₅
- สัญญาณ 180 องศา คือ แคร่รีयरผ่านอินเวอร์ตเตอร์ โดย IC_{4A} (TL072) ไปขา 14 ของ IC₅
- สัญญาณ 270 องศา คือ แคร่รีयरผ่านอินเวอร์ตเตอร์ โดย IC_{3B} (TL072) ไปขา 8 ของ IC₅

เฟสแต่ละตัวจะถูกเลือกไม่พร้อมกัน IC₆ จะส่งลอจิกไปให้ SW แต่ละตัวทำงาน และ IC₆ จะใช้สัญญาณนาฬิกาจาก IC₁ (4017) สัญญาณนาฬิกาที่จะส่งมาได้ต้องมีสัญญาณผิดพลาดติดต่อกันสามครั้ง IC₂ (4017) จะเป็นตัวนับการผิดพลาด หากผิดไม่เกินสามครั้งจะรีเซ็ตทั้ง IC₁ และ IC₂ เพื่อทำการนับใหม่.

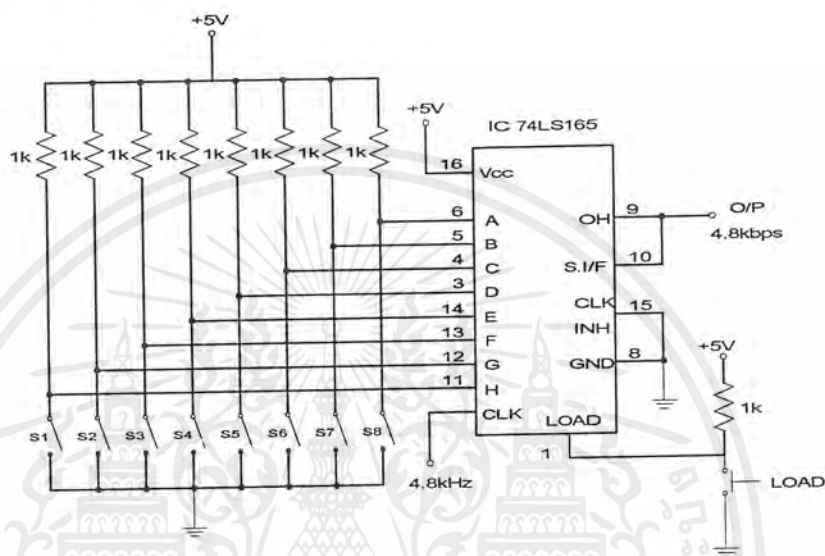


บทที่ 4

การทดลองและผลการทดลอง

4.1 การทดลอง

ทำการสร้างข้อมูลดิจิทัลเพื่อใช้ในการทดลองแทนการใช้ข้อมูลจาก RS-232 โดยใช้ชุดกำเนิดข้อมูล 4,800 บิตต่อวินาที รูปวงจรที่ใช้แสดงดังรูปที่ 4.1



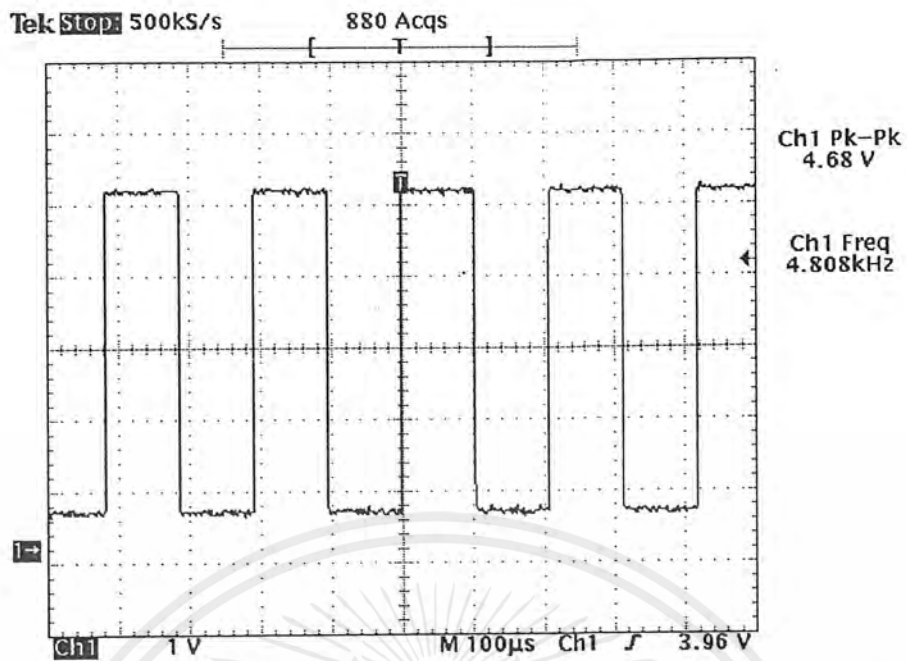
รูปที่ 4.1 ชุดกำเนิดข้อมูล 4,800 บิตต่อวินาที

สัญญาณข้อมูลที่สร้างได้ เป็นข้อมูลขนาด 8 บิต ระดับสัญญาณเป็น 5Vp-p ในการทดลองนี้ กำหนดให้ข้อมูลเป็น 10101001 โดยการทดลองนี้ ทดลองแค่ส่วนด้านส่งและแบ่งการทดลองเป็นหัวข้อหลักๆดังนี้

4.2 ผลการทดลองทางด้านส่ง

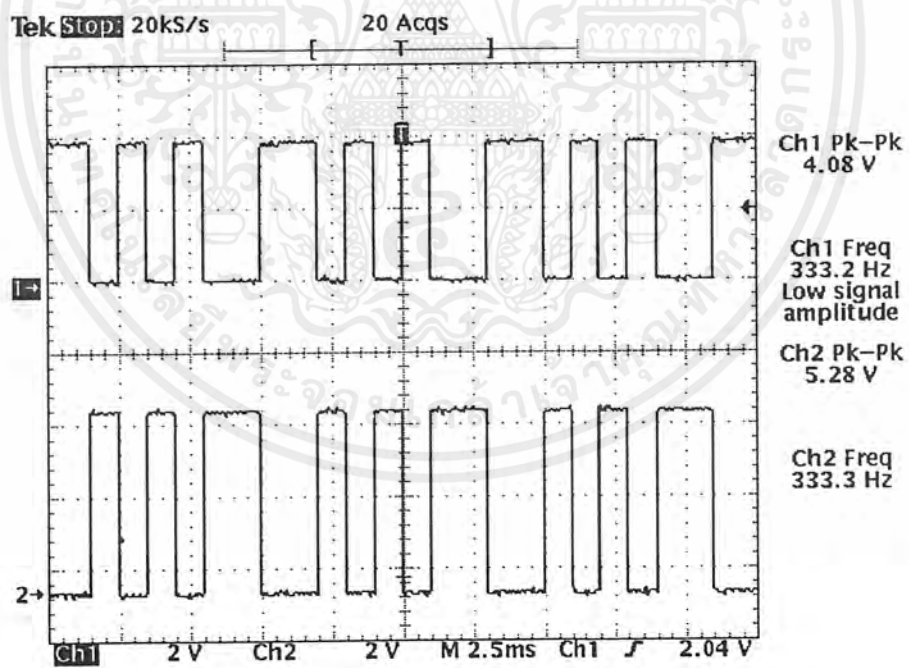
4.2.1 วงจรสร้างสัญญาณนาฬิกา

จากรูปที่ 4.2 จะได้สัญญาณนาฬิกาซึ่งวัดได้จากขา 13 ของ IC MC4060 มีความถี่เป็น 4.8 kHz และมีระดับสัญญาณเป็น 4.68Vp-p



รูปที่ 4.2 Ch1 แสดงสัญญาณนาฬิกา 4.8 kHz ที่วัดได้จากขา 13 ของ IC MC4060

4.2.2 ตัวรับและส่งสัญญาณจาก RS-232

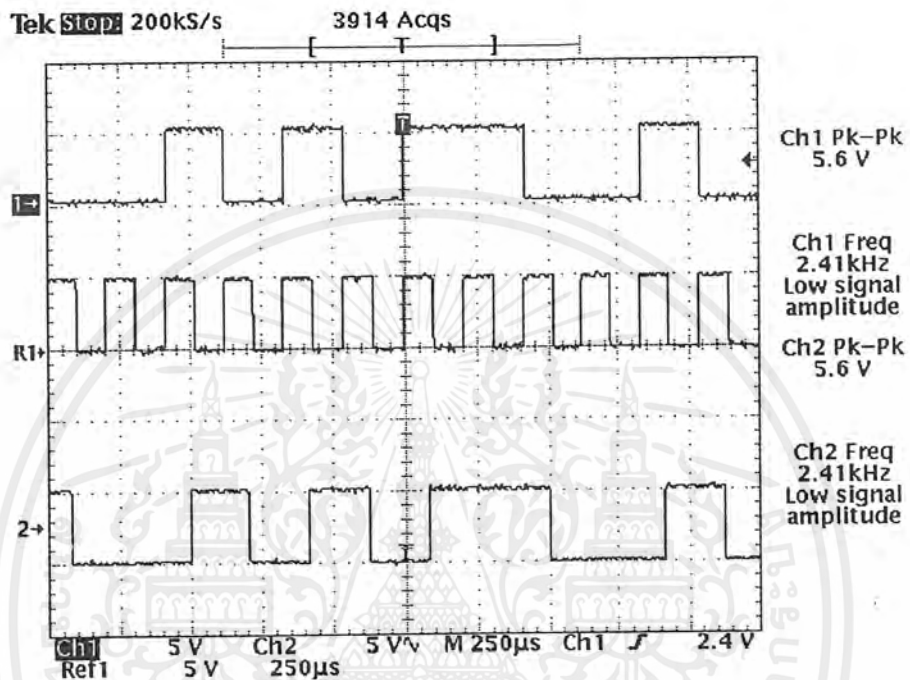


รูปที่ 4.3 Ch1 แสดงสัญญาณที่มาจากชุดกำเนิดข้อมูล 4,800 บิตต่อวินาที ก่อนเข้า DS275

Ch2 แสดงสัญญาณหลังจากผ่าน DS275

จากรูปที่ 4.3 เมื่อป้อนสัญญาณจากชุดกำเนิดข้อมูล 4,800 บิตต่อวินาที ให้ไอซี DS275 เอาต์พุตที่ได้จะมีขนาด 5Vp-p และมีการกลับสัญญาณ โดยยกตัวอย่างข้อมูลจาก 10101001 เป็น 01010110 จากนั้นจึงส่งไปเข้าส่วนของวงจรแปลงสัญญาณแบบอนุกรมเป็นขนาน

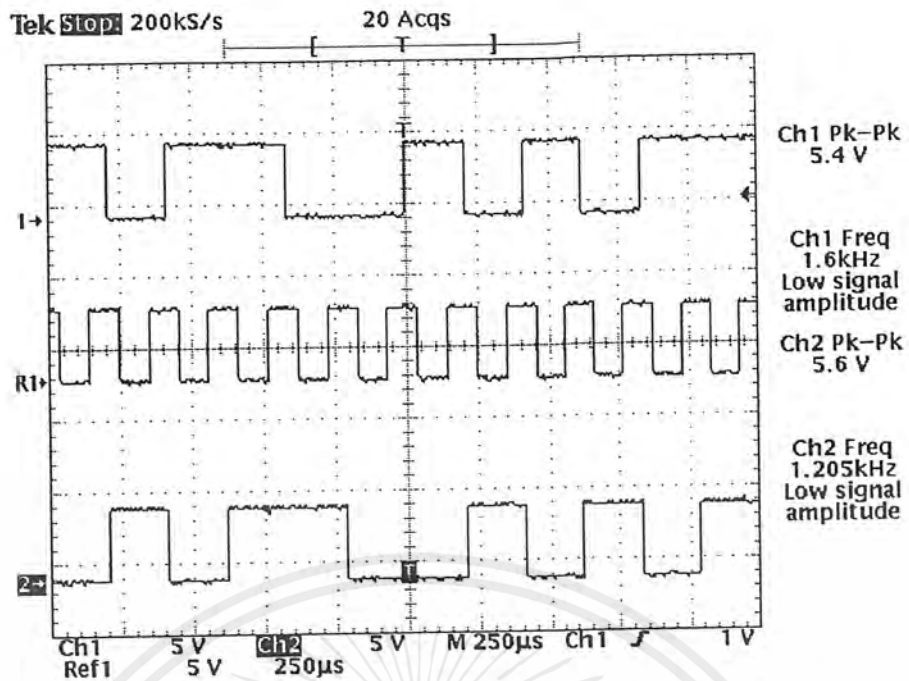
4.2.3 วงจรแปลงสัญญาณแบบอนุกรมเป็นขนาน 2 บิต



รูปที่ 4.4 Ch1แสดงสัญญาณที่ขา2ของIC1A(7474)

Ch2แสดงสัญญาณที่ขา5ของIC1A(7474)

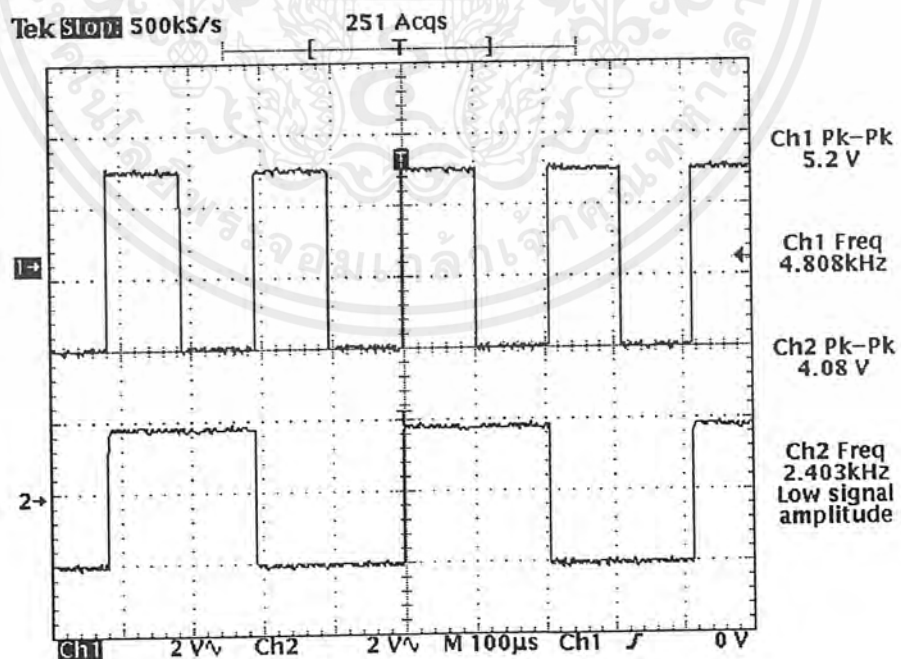
จากรูปที่ 4.4 ป้อนสัญญาณข้อมูลที่ได้จาก DS275 และป้อนสัญญาณนาฬิกาที่ได้จาก ไอซี MC4060ให้กับ IC1A(7474)ที่ขา 3 พบว่าสัญญาณข้อมูลขาออก(ขา 5) จะเหมือนกับ สัญญาณขาเข้า(ขา2) ตามสัญญาณนาฬิกาขาขึ้น



รูปที่ 4.5 Ch1แสดงสัญญาณที่ขา 12 ของIC1B(7474)

Ch2แสดงสัญญาณที่ขา 9 ของIC1B(7474)

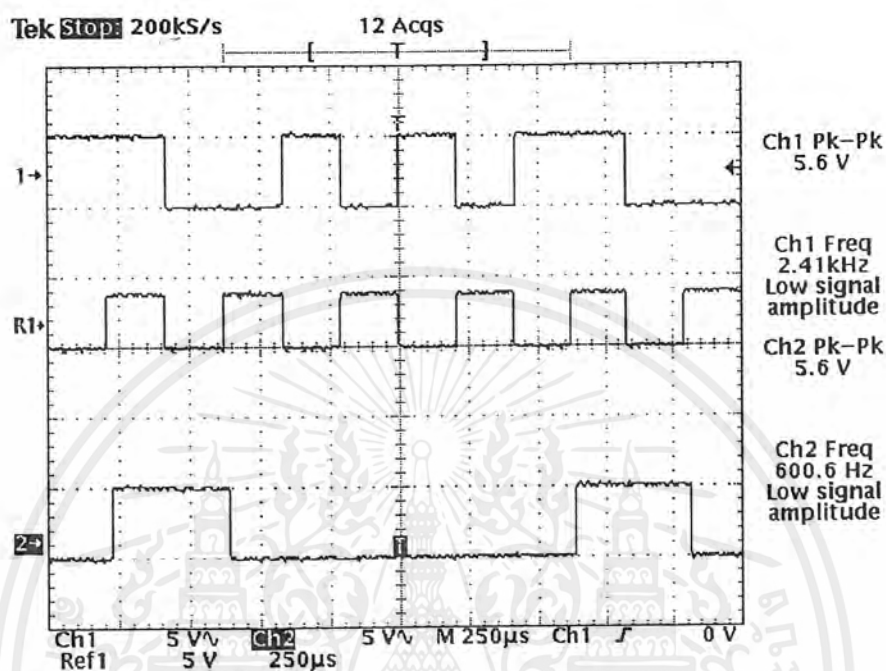
จากรูปที่ 4.5 นำสัญญาณจากขา 5 ของ IC1A มาเข้าที่ขา 12 ซึ่งเป็นอินพุตของ IC1B โดยใช้สัญญาณนาฬิกาตัวเดิม จะได้เอาต์พุตออกมาที่ขา 9 ของ IC1B ซึ่งจะเห็นว่าเกิดการ เลื่อนสัญญาณไป 1 บิต



รูปที่ 4.6 Ch1แสดงสัญญาณนาฬิกา 4.8kHzที่เข้าที่ขา4ของ IC 74109

Ch2แสดงสัญญาณนาฬิกา 2.4kHzที่ขา6ของ IC 74109

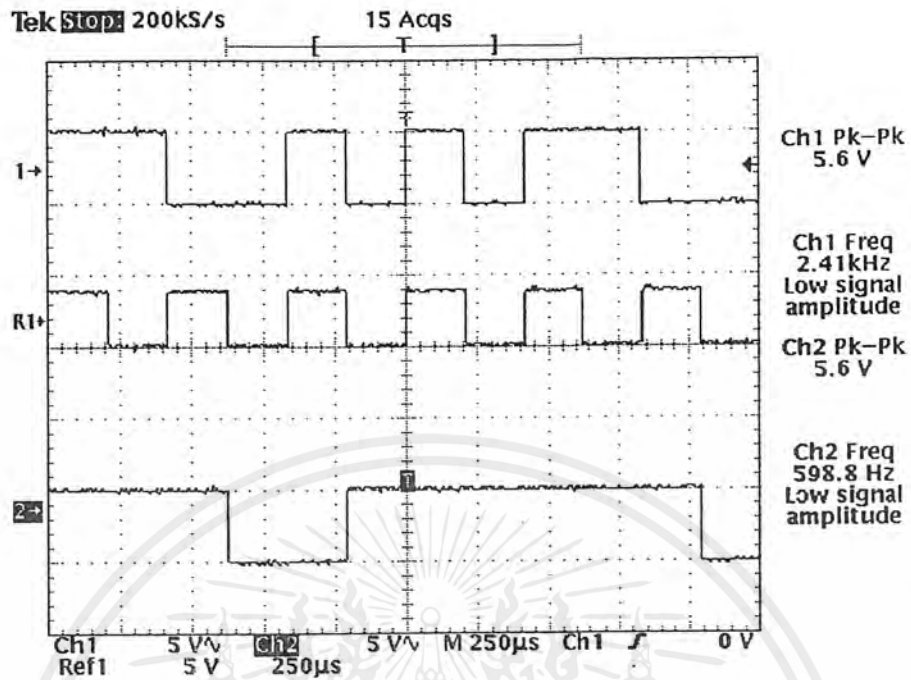
จากรูปที่ 4.6 นำสัญญาณนาฬิกา 4.8 kHz ไปผ่าน IC 74109 ซึ่งเป็น JK-Flip Flop โดยป้อน +5V ที่ขา J(ขา 2) และให้ขา K(ขา 3) เป็นกราวด์ เอาต์พุตที่ขา 6 จะได้เป็นสัญญาณนาฬิกา 2.4 kHz



รูปที่ 4.7 Ch1แสดงสัญญาณที่ขา2ของIC2A(7474)

Ch2แสดงสัญญาณที่ขา5ของIC2A(7474)

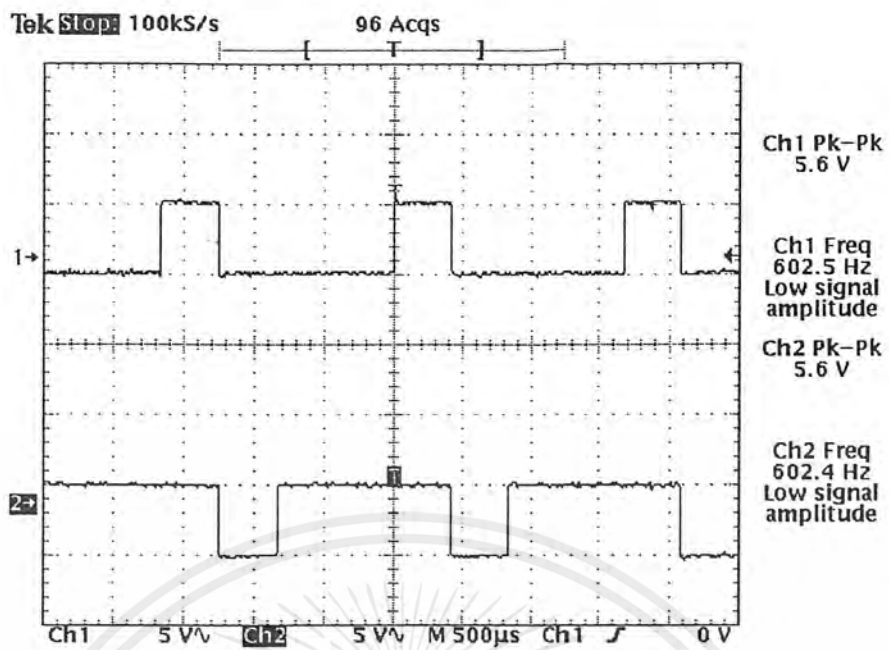
จากรูปที่ 4.7 นำสัญญาณจากขา 12 ของ IC1B ป้อนเข้าขา 2 ของ IC2A(7474) และนำสัญญาณนาฬิกา 2.4kHz มาป้อนเข้าที่ขา 3 ของ IC2A เอาต์พุตที่ได้จะคือบิตแรกของสัญญาณอนุกรมแต่ละคู่โดยสัญญาณที่ขาอินพุต(ขา 2)เป็น 01010110 วัดเอาต์พุตที่ขา 5 ได้เป็น 0001



รูปที่ 4.8 Ch1 แสดงสัญญาณขาเข้าที่ขา 12 ของ IC2B(7474)

Ch2 แสดงสัญญาณขาออกที่ขา 9 ของ IC2B(7474)

จากรูปที่ 4.8 นำสัญญาณจากขา 9 ของ IC1B ป้อนเข้าขา 12 ของ IC2A(7474) และนำสัญญาณนาฬิกา 2.4kHz มาป้อนเข้าที่ขา 11 ของ IC2B เอาต์พุตที่ได้จะคือบิตที่สองของสัญญาณอนุกรมแต่ละคู่ โดยสัญญาณที่ขาอินพุต(ขา 12)เป็น 01010110 วงเอาต์พุตที่ขา 9 ได้เป็น 1110



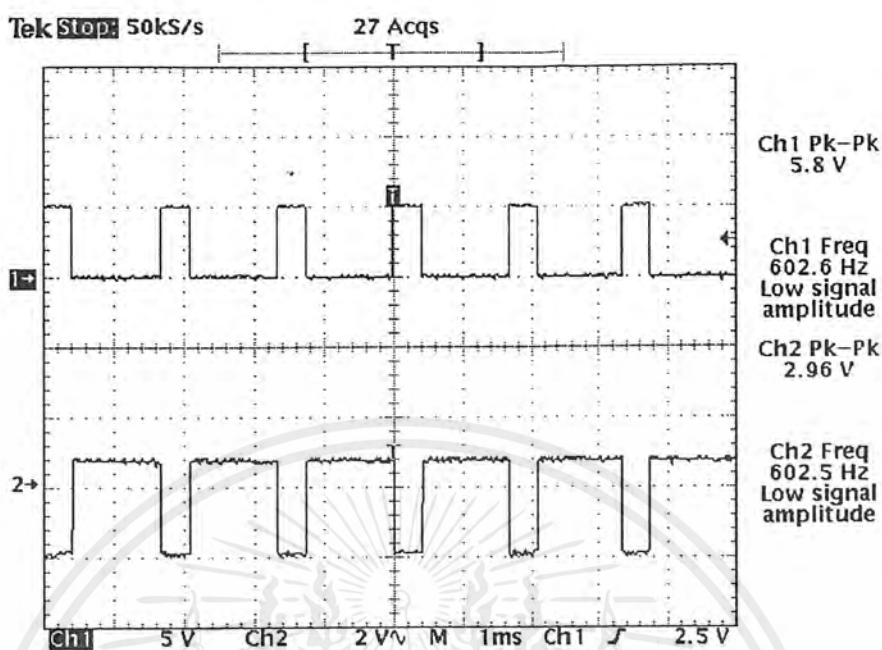
รูปที่ 4.9 แสดงการเปรียบเทียบสัญญาณ โดยที่

Ch1 แสดงสัญญาณที่ขา 5 ของ IC2A(7474) Bit A

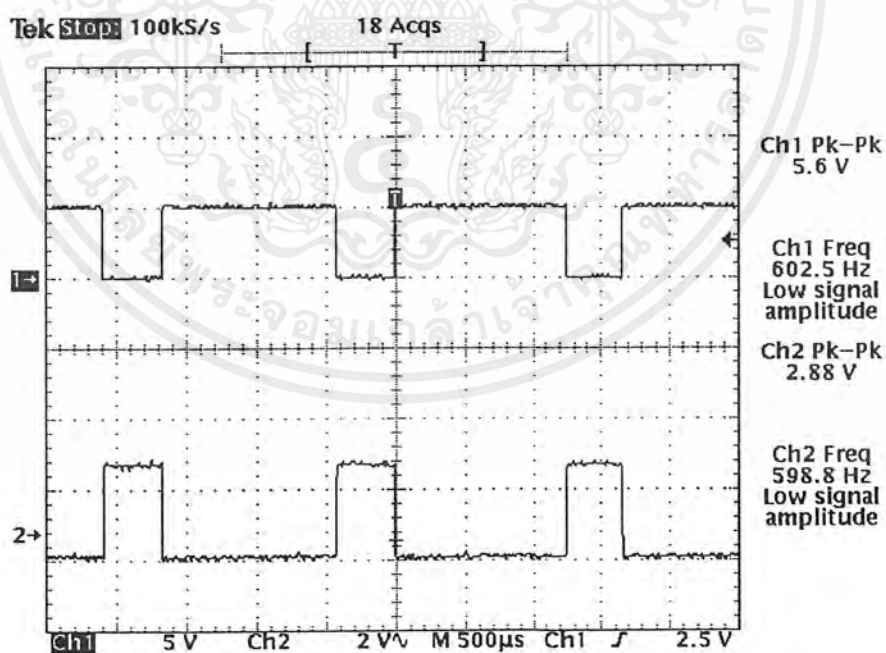
Ch2 แสดงสัญญาณที่ขา 9 ของ IC2A(7474) Bit B

จากรูปที่ 4.9 เปรียบเทียบสัญญาณที่ขา 5 กับขา 9 ของ IC2A (7474) พบว่าสัญญาณที่ขา 9 จะเลื่อนไป 1 บิต

4.2.4 วงจรปรับระดับสัญญาณ



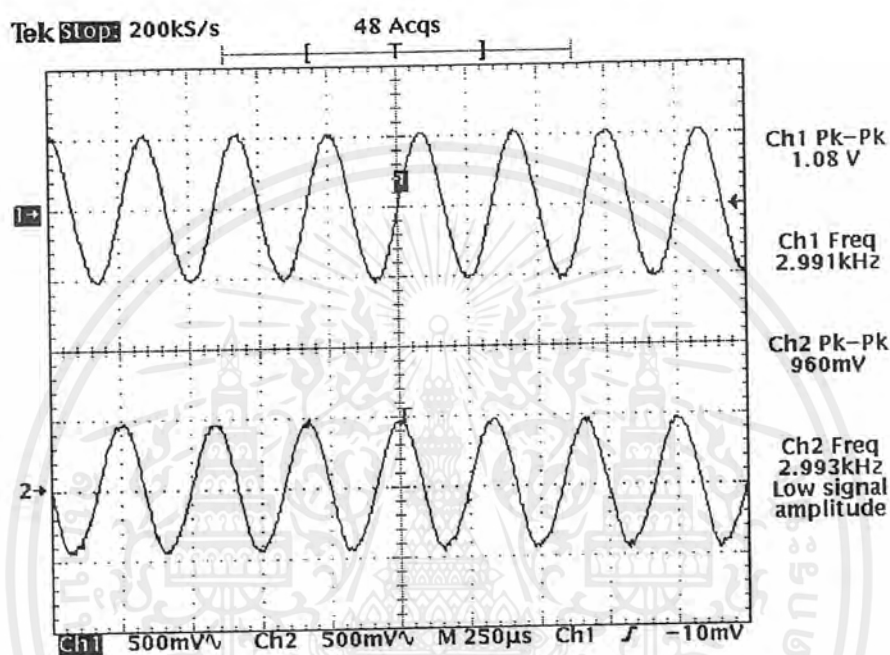
รูปที่ 4.10 Ch1 แสดงสัญญาณขาเข้าที่ Bit A ก่อนเข้า OP1B
Ch2 แสดงสัญญาณหลังผ่านวงจรปรับระดับสัญญาณที่ขา 7 ของ OP1B



รูปที่ 4.11 Ch1 แสดงสัญญาณขาเข้าที่ Bit B ก่อนเข้า OP1A
Ch2 แสดงสัญญาณหลังผ่านวงจรปรับระดับสัญญาณที่ขา 1 ของ OP1A

จากรูปที่ 4.10 ป้อนอินพุตจาก Bit A ที่มีระดับสัญญาณเป็น 5.8 Vp-p เข้าวงจรปรับระดับสัญญาณได้เอาต์พุตออกมาเป็น 2.96Vp-p และรูปที่ 4.11 ป้อนอินพุตจาก Bit B ที่มีระดับสัญญาณเป็น 5.6 Vp-p เข้าวงจรปรับระดับสัญญาณได้เอาต์พุตออกมาเป็น 2.88 Vp-p พบว่าเอาต์พุตของสัญญาณทั้งสองเกิดการกลับเฟสจากสัญญาณอินพุต

4.2.5 วงจรผลิตสัญญาณ Sine และ Cosine

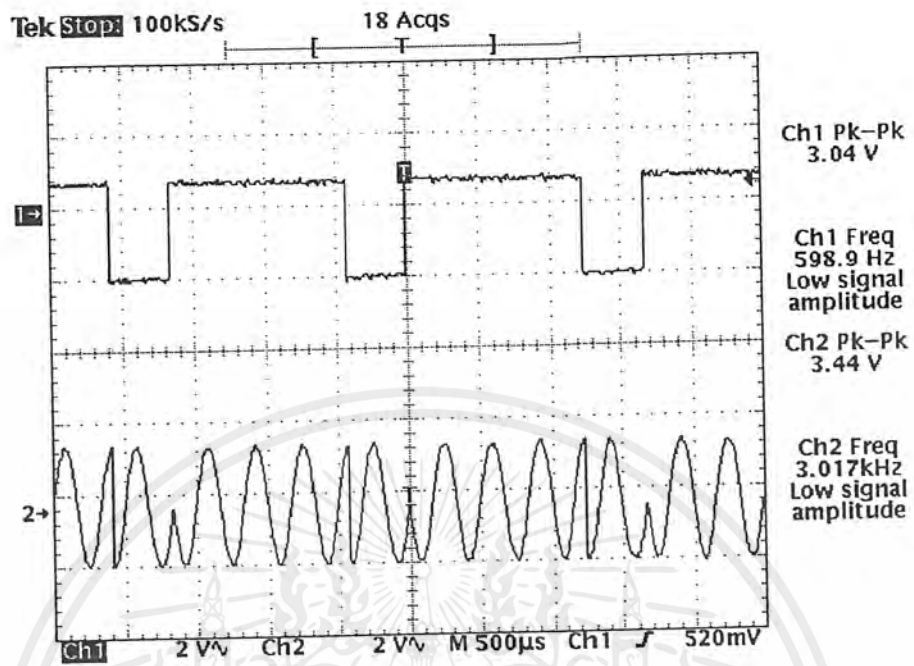


รูปที่ 4.12 Ch1 แสดงสัญญาณ Sine ที่ขา 1 ของ OP2A ที่สร้างจากวงจร Oscillator

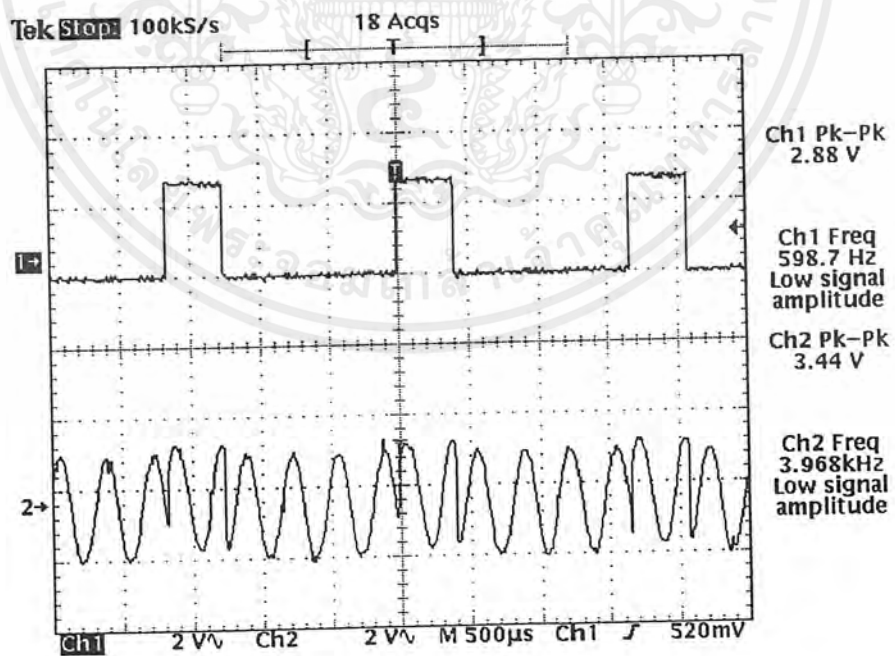
Ch2 แสดงสัญญาณ Cosine ที่ขา 7 ของ OP2B ที่สร้างจากวงจร Oscillator

จากรูปที่ 4.12 วัดสัญญาณคลื่นพาห้จากวงจรสร้างสัญญาณ Sine และ Cosine ได้ ความถี่เป็น 3 kHz

4.2.6 วงจรมอดูเลเตอร์ (Modulator)

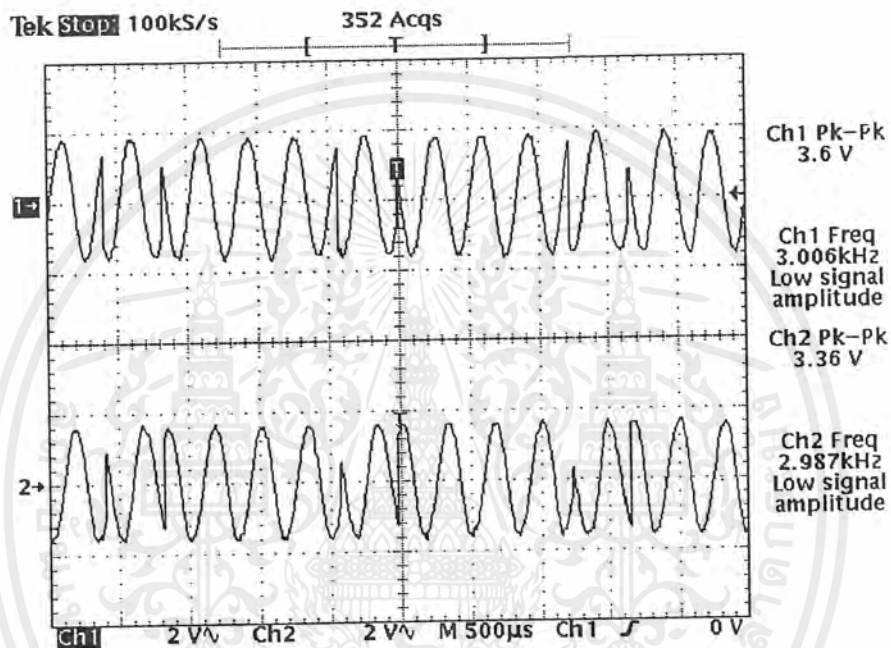


รูปที่ 4.13 Ch1แสดงสัญญาณที่ขา1ของIC3 MC1596 ก่อนมอดูเลชั่น
Ch2แสดงสัญญาณ I ที่ขา6ของIC3 MC1596 หลังมอดูเลชั่น



รูปที่ 4.14 Ch1แสดงสัญญาณที่ขา1ของIC4 MC1596 ก่อนมอดูเลชั่น
Ch2แสดงสัญญาณ Q ที่ขา6ของIC4 MC1596 หลังมอดูเลชั่น

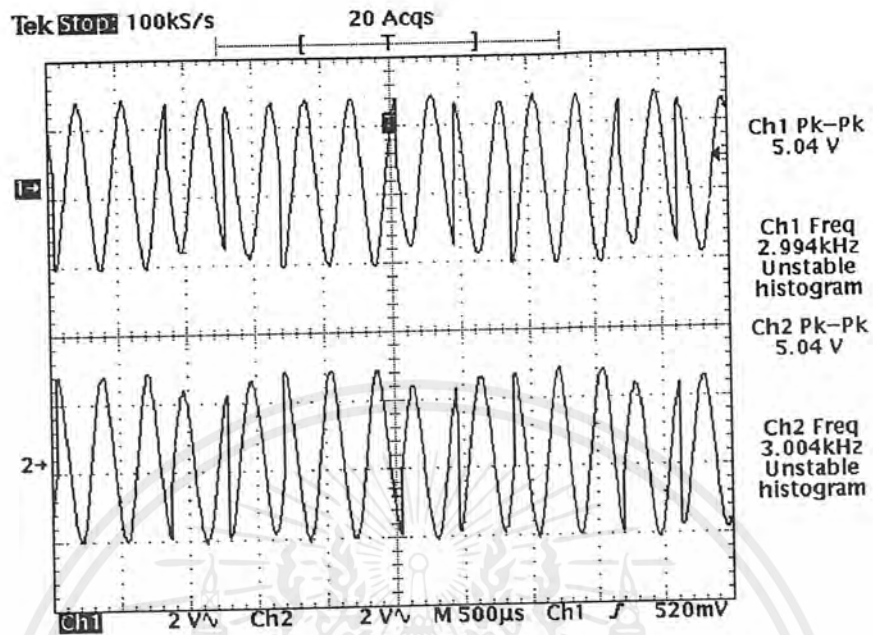
จากรูปที่ 4.13 ป้อนสัญญาณข้อมูลที่ต้องการมอดูเลตจากขา 7 ของ OP1B เข้าขา 1 ของ บาลานซ์มอดูเลเตอร์ (IC3 MC1596) โดยป้อนสัญญาณ Sine เข้าที่ขา 10 ของ IC3 และจากรูปที่ 4.14 ป้อนสัญญาณข้อมูลที่ต้องการมอดูเลตจากขา 1 ของ OP1A เข้าขา 1 ของบาลานซ์มอดูเลเตอร์ (IC4 MC1596) โดยป้อนสัญญาณ Cosine เข้าที่ขา 10 ของ IC4 ได้เอาต์พุตของทั้งสองรูปออกมาเป็นสัญญาณ PSK ที่มีการเปลี่ยนเฟสไป 180 องศาเมื่อมีการเปลี่ยนระดับสัญญาณจาก 1 เป็น 0 หรือ 0 เป็น 1



รูปที่ 4.15 แสดงการเปรียบเทียบสัญญาณโดยที่
 Ch1แสดงสัญญาณที่ขา6ของIC3 MC1596(I Signal)
 Ch2แสดงสัญญาณที่ขา6ของIC4 MC1596(Q Signal)

จากรูปที่ 4.15 เป็นการเปรียบเทียบสัญญาณเอาต์พุตจากวงจรบาลานซ์มอดูเลเตอร์ทั้งสองวงจร

4.2.7 วงจร Summing Amplifier และ Inverting Amplifier

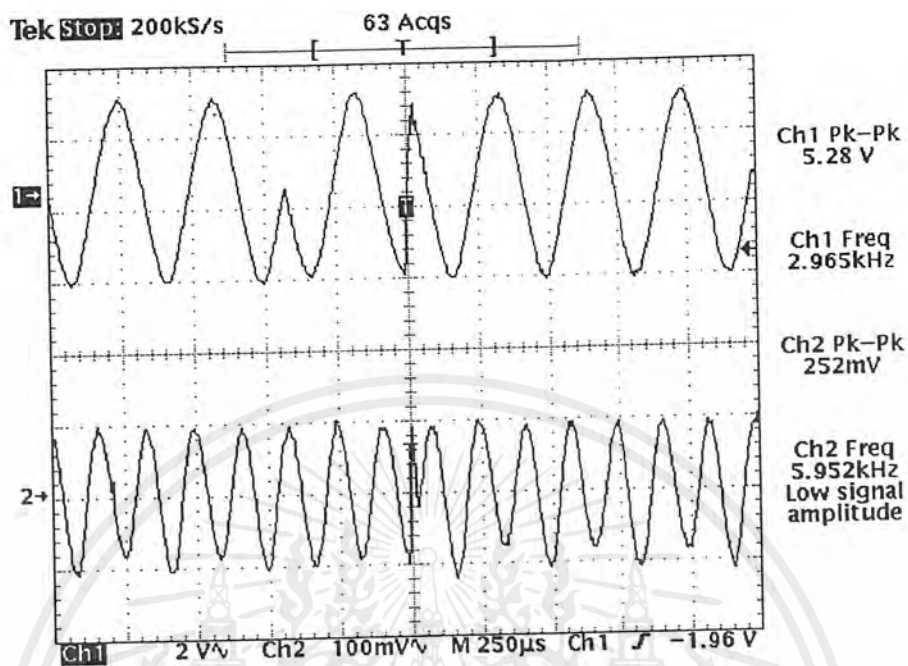


รูปที่ 4.16 Ch1แสดงสัญญาณหลังผ่านวงจร Summing Amplifier ที่ขา1ของOP3A
Ch2แสดงสัญญาณหลังผ่านวงจร Inverting Amplifier ที่ขา7ของOP3B

จากรูปที่ 4.16 นำสัญญาณเอาต์พุตจากวงจร Summing Amplifier มาผ่าน Inverting Amplifier พบว่าหลังจากผ่าน Inverting Amplifier แล้วจะมีการกลับเฟส และสัญญาณนี้เองคือสัญญาณ QPSK ที่จะส่งไปตามสายโคแอกเซียลต่อไป

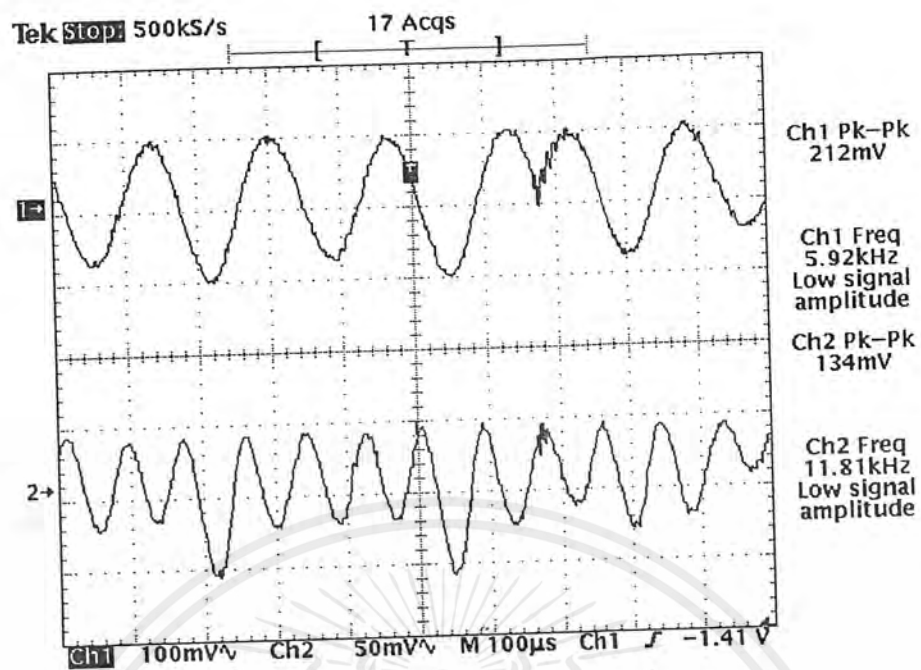
4.3 ผลการทดลองทางด้ำนรับ

4.3.1 วงจรกึ่งสัญญาณแคะเรียร์



รูปที่ 4.17 Ch1 แสดงสัญญาณ QPSK ที่ส่งมาจากทางภาคส่ง
Ch2 แสดงสัญญาณที่ผ่านการคูณสอง

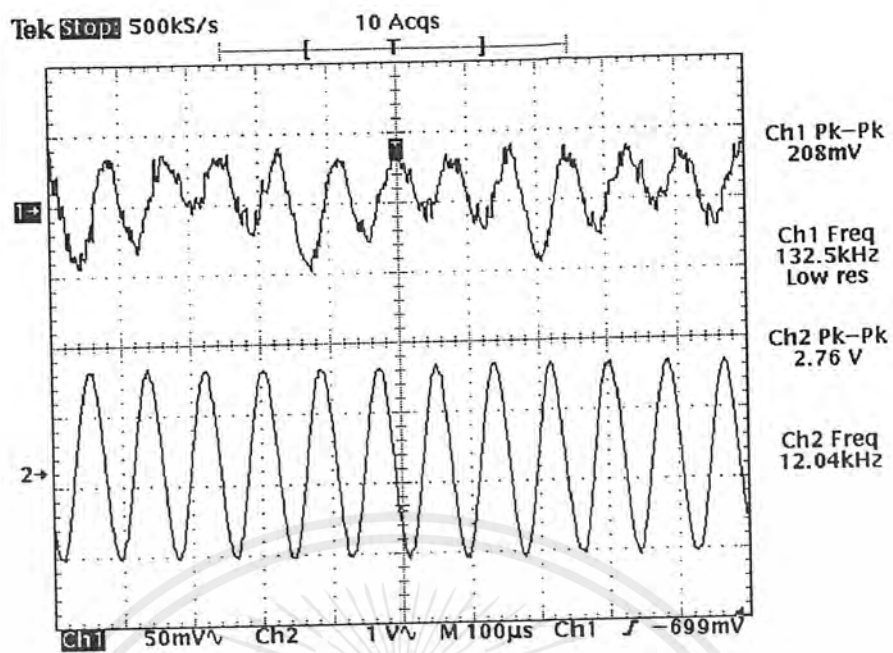
จากรูปที่ 4.17 สัญญาณ QPSK ที่เข้ามาถูกนำเข้าวงจรคูณความถี่โดยใช้ไอซีเบอร์ MC1596 จะได้ความถี่ออกมา 6 kHz ซึ่งเป็นสองเท่าของความถี่ของสัญญาณ QPSK



รูปที่ 4.18 Ch1 แสดงสัญญาณหลังผ่านวงจรคูณสอง

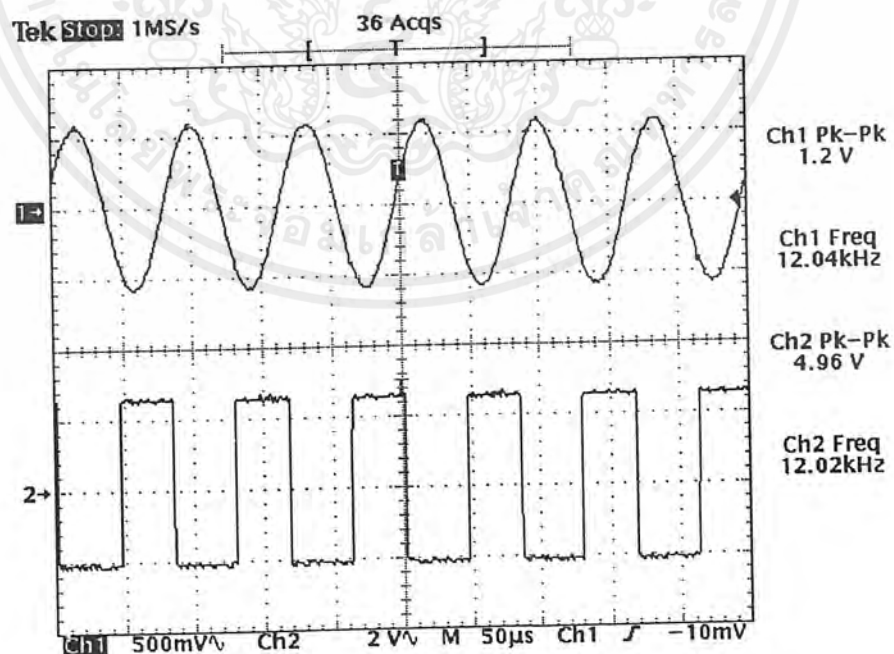
Ch2 แสดงสัญญาณหลังผ่านวงจรสี่

จากรูปที่ 4.18 สัญญาณ QPSK ที่ผ่านการคูณสองแล้ว จะถูกนำมาคูณสองอีกครั้งโดย ไอซี MC1596 จะได้ความถี่ออกมา 12 kHz ซึ่งเป็นสี่เท่าของความถี่ของสัญญาณ QPSK



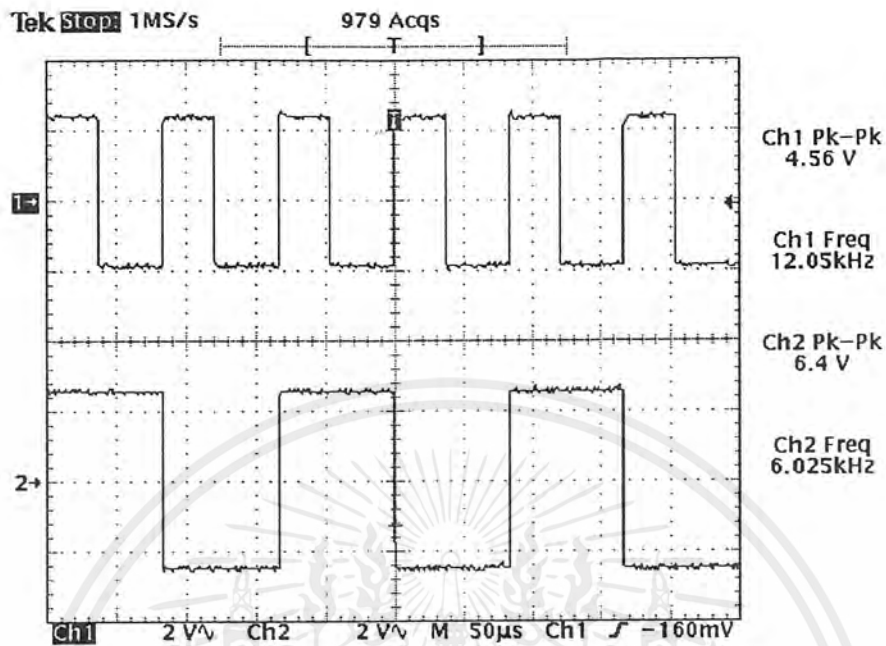
รูปที่ 4.19 Ch1 แสดงสัญญาณก่อนผ่านวงจรกรองแถบความถี่ผ่าน
Ch2 แสดงสัญญาณหลังผ่านวงจรกรองแถบความถี่ผ่าน

จากรูปที่ 4.19 สัญญาณที่ได้จากวงจรคูณถี่ จะถูกนำไปผ่านวงจรกรองแถบความถี่ผ่าน โดยมีความถี่กลางเท่ากับ 12 kHz สัญญาณเอาต์พุตที่ได้จึงมีความถี่เป็นสี่เท่าของสัญญาณ แคร่เรียร์



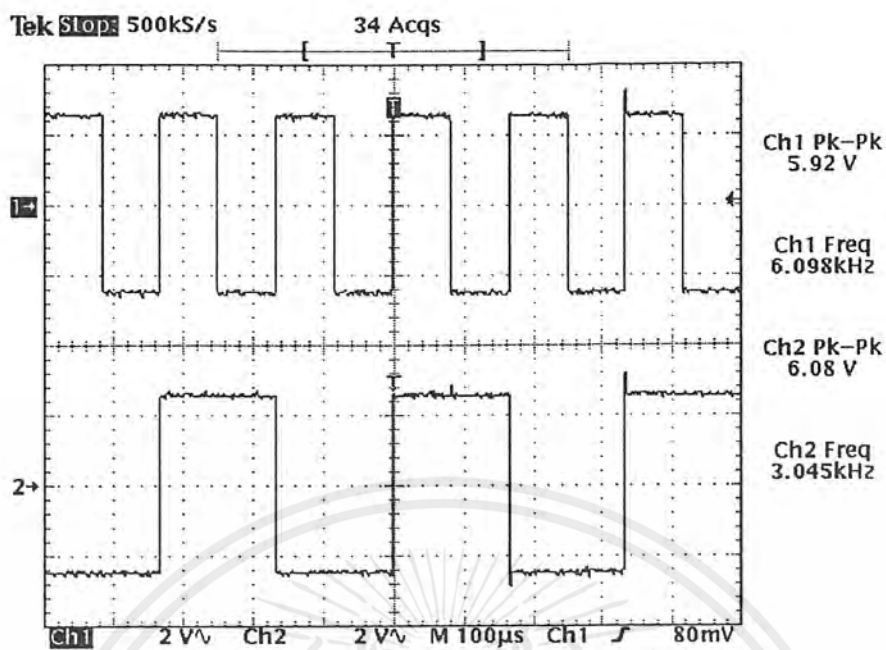
รูปที่ 4.20 Ch1 แสดงสัญญาณก่อนเข้าวงจรเฟสล็อกคูล
Ch2 แสดงสัญญาณหลังผ่านวงจรเฟสล็อกคูล

จากรูปที่ 4.20 สัญญาณที่ออกมาจากวงจรเฟสล็อก จะได้เป็นสัญญาณดิจิทัล ซึ่งจะทำให้การล็อกเสถียรมากขึ้น



รูปที่ 4.21 Ch1 แสดงสัญญาณก่อนเข้าวงจรหารความถี่
Ch2 แสดงสัญญาณหลังเข้าวงจรหารสอง

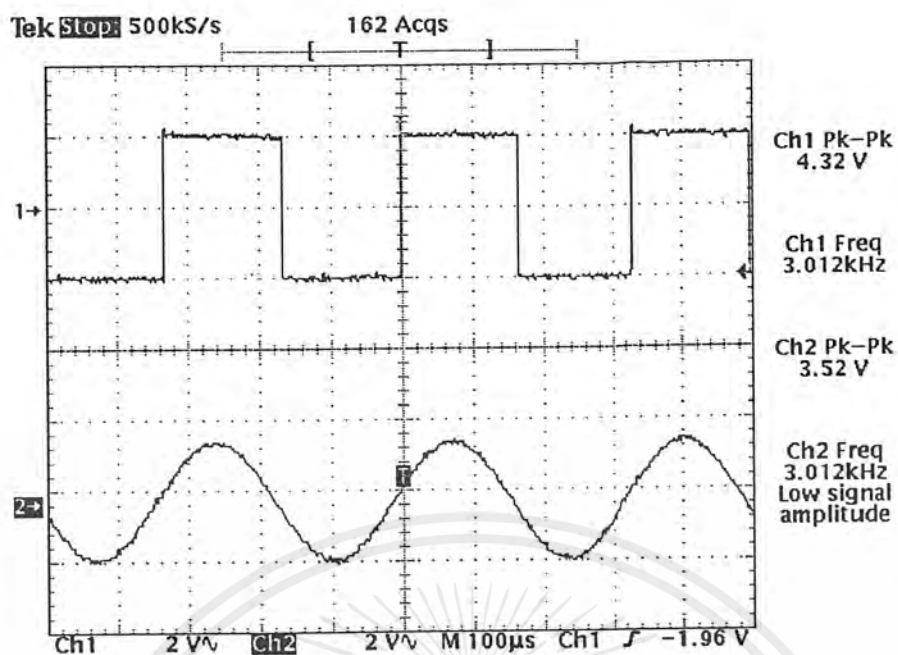
จากรูปที่ 4.21 จะเห็นได้ว่าหลังผ่านวงจรหารสองแล้วความถี่ 12 kHz จะถูกหารสองเหลือเป็นความถี่ 6 kHz



รูปที่ 4.22 Ch1 แสดงสัญญาณจากวงจรหารสอง

Ch2 แสดงสัญญาณหลังผ่านวงจรหีส

จากรูปที่ 4.22 จะเห็นได้ว่าหลังผ่านวงจรหีสแล้วจะได้อัตราความถี่ออกมาเป็น 3 kHz ซึ่งก็เท่ากับครึ่งหนึ่งของสัญญาณแควร์เรียร์นั่นเอง

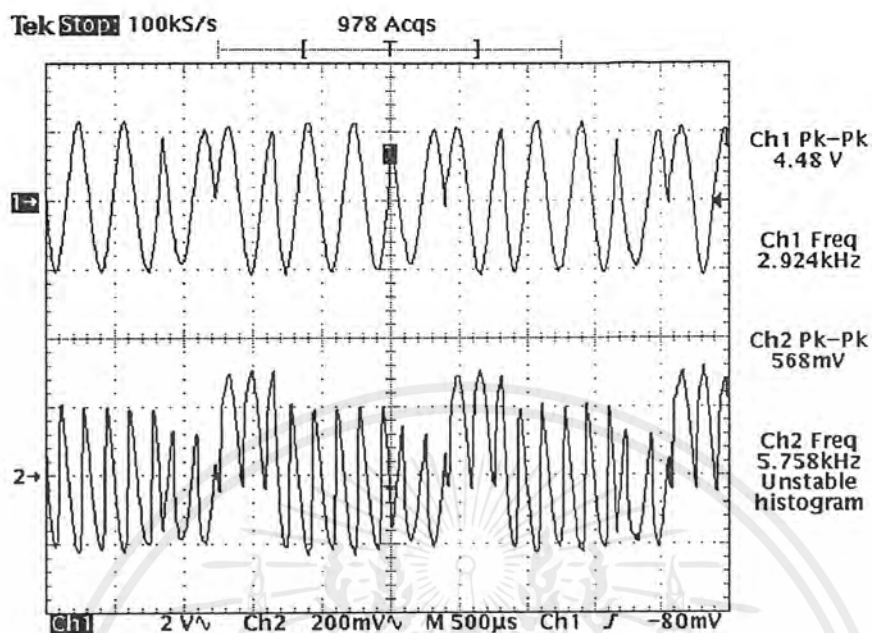


รูปที่ 4.23 Ch1 แสดงสัญญาณก่อนเข้าวงจรกรองแถบความถี่ผ่าน

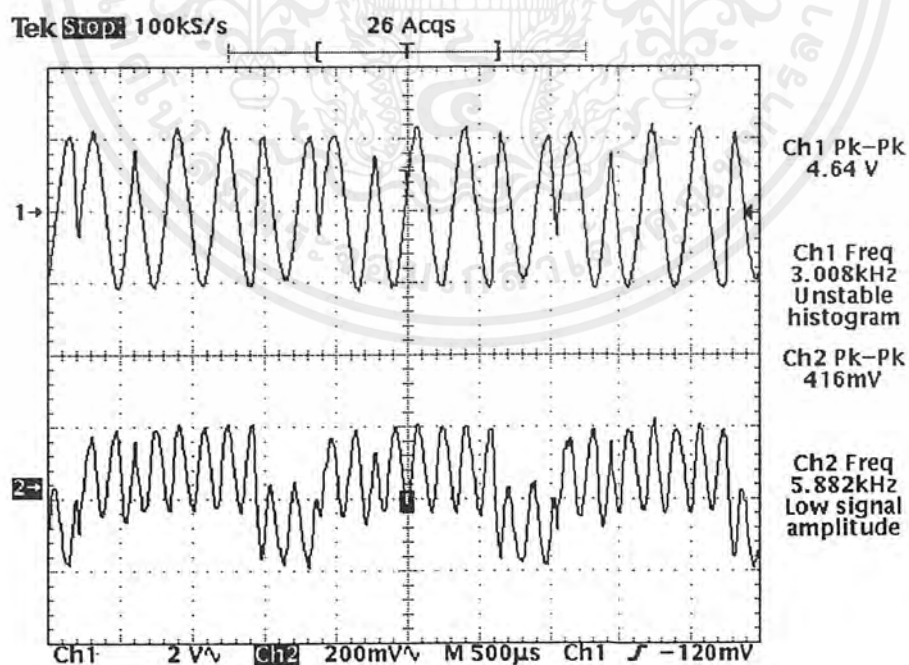
Ch2 แสดงสัญญาณหลังผ่านวงจรกรองแถบความถี่ผ่าน

จากรูปที่ 4.23 จะเห็นได้ว่าสัญญาณหลังผ่านวงจรกรองแถบความถี่ผ่านจะได้ออกมาเป็นสัญญาณไซน์ ความถี่ 3 kHz ซึ่งเป็นสัญญาณไซน์ที่ถูกลบมาได้

4.3.2 วงจรคีมอดูเลเตอร์

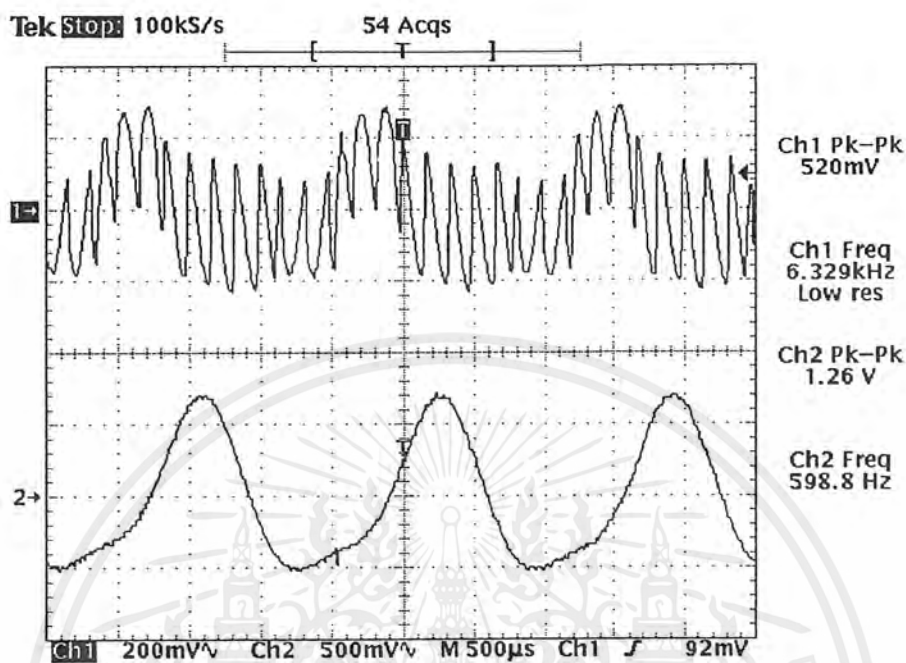


รูปที่ 4.24 Ch1 แสดงสัญญาณ QPSK ที่ได้จากทางภาคส่ง
Ch2 แสดงสัญญาณที่ผ่านวงจรคีมอดูเลตโดยใช้สัญญาณชาวนันเป็นตัวคูณ

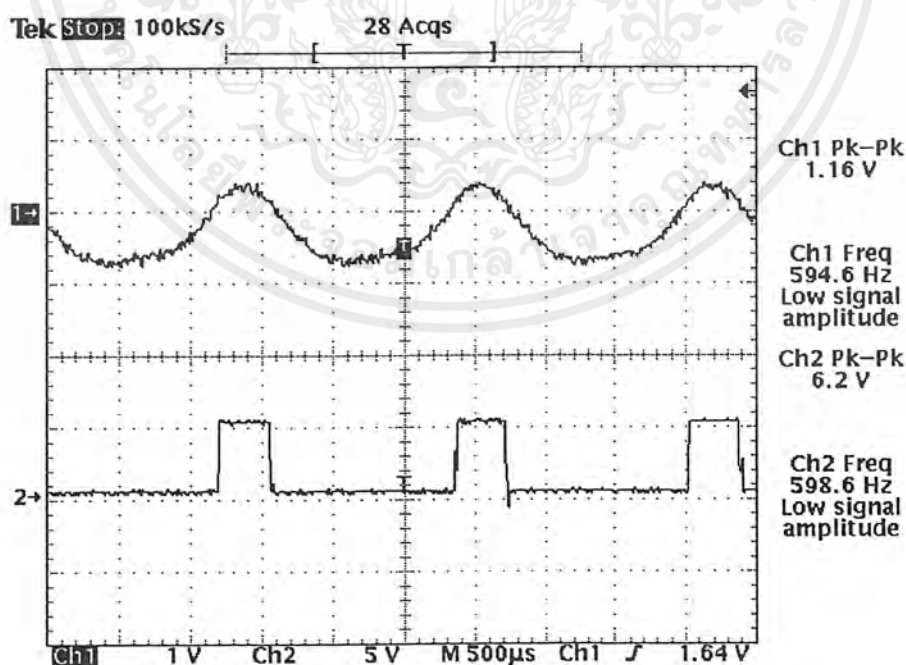


รูปที่ 4.25 Ch1 แสดงสัญญาณ QPSK ที่ได้จากทางภาคส่ง
Ch2 แสดงสัญญาณ Q ที่คีมอดูเลตออกมาได้โดยใช้สัญญาณโคไซน์เป็นตัวคูณ

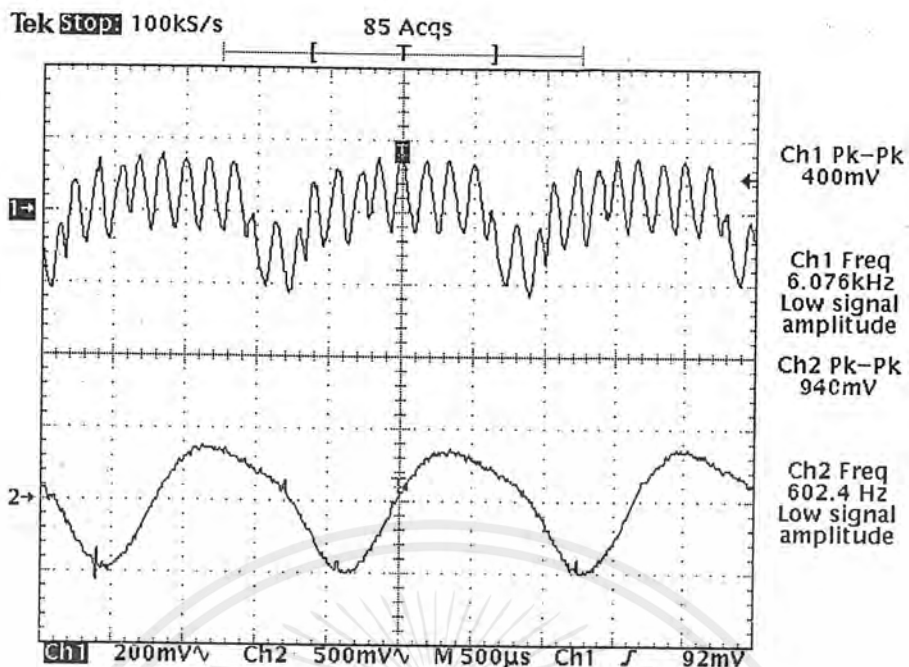
จากรูปที่ 4.24 และรูปที่ 4.25 จะเห็นว่า สัญญาณเอาต์พุตที่ได้จะมีลักษณะ คล้ายข้อมูลทางภาคส่งแต่จะมีสัญญาณชานซึ่งมีความถี่เป็นสองเท่าของแครี่เรียซ้อยู่



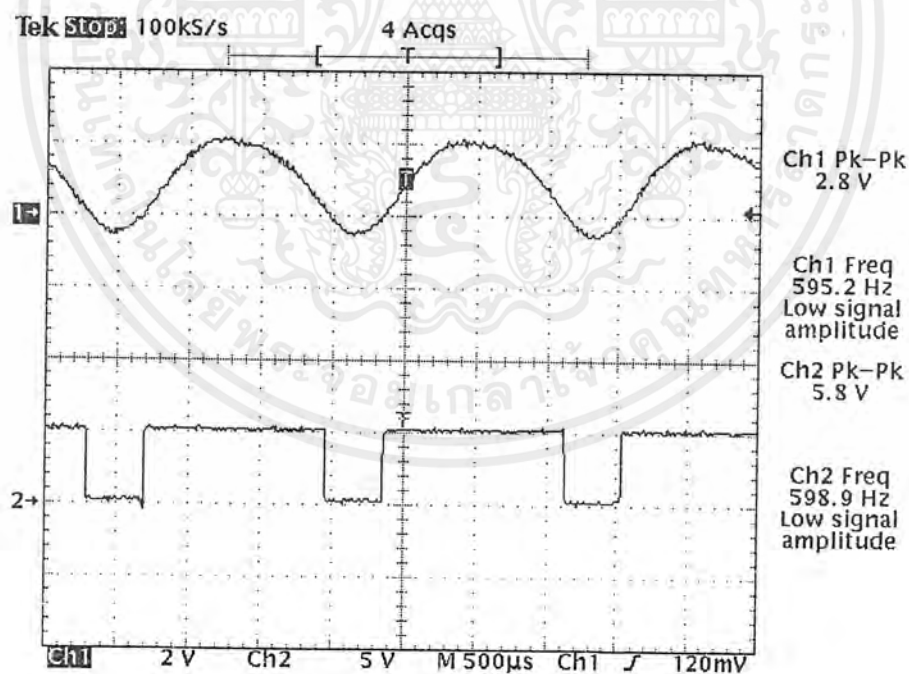
รูปที่ 4.26 Ch1 แสดงสัญญาณ I ที่ได้จากการคิมอูเลตก่อนเข้าวงจรกรองแถบความถี่ต่ำผ่าน
Ch2 แสดงสัญญาณ I หลังผ่านวงจรกรองแถบความถี่ต่ำผ่าน



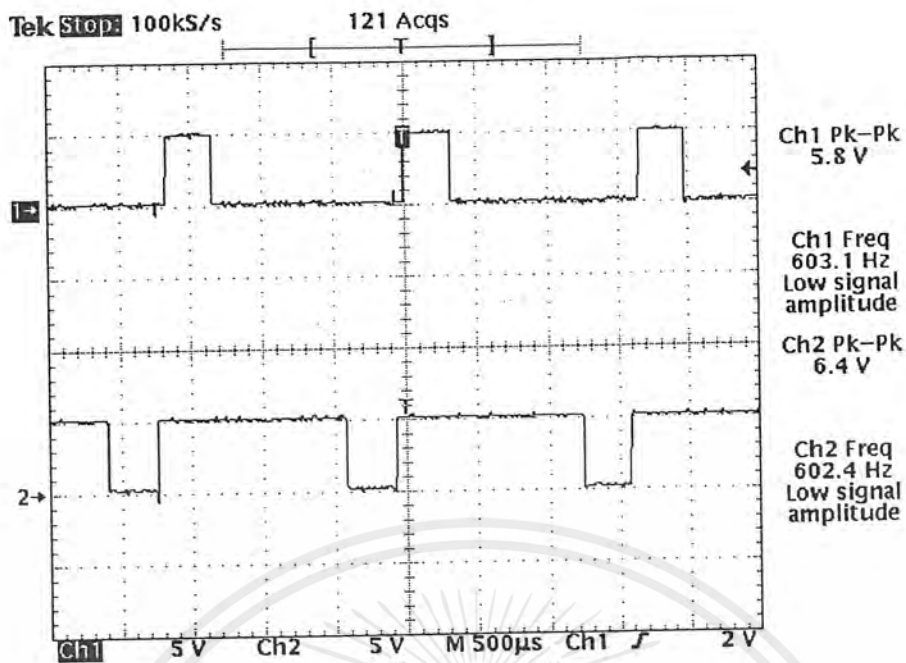
รูปที่ 4.27 Ch1 แสดงสัญญาณ I ก่อนเข้าวงจรคอมพาราเตอร์
Ch2 แสดงสัญญาณ I หลังผ่านวงจรคอมพาราเตอร์



รูปที่ 4.28 Ch1 แสดงสัญญาณ Q ที่ได้จากการคิมอดูเลตก่อนเข้าวงจรกรองความถี่ต่ำผ่าน
Ch2 แสดงสัญญาณ Q หลังผ่านวงจรกรองความถี่ต่ำผ่าน

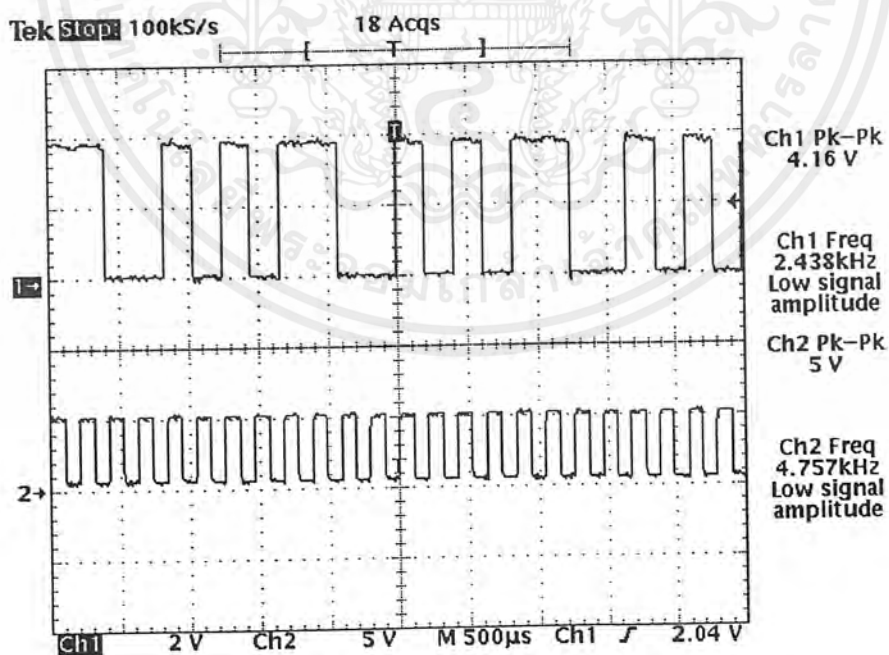


รูปที่ 4.29 Ch1 แสดงสัญญาณ Q ก่อนเข้าวงจรคอมพาราเตอร์
Ch2 แสดงสัญญาณ Q หลังผ่านวงจรคอมพาราเตอร์



รูปที่ 4.30 แสดงการเปรียบเทียบสัญญาณ
Ch1 แสดงสัญญาณ I ที่ได้จากวงจรคอมพาราเตอร์
Ch2 แสดงสัญญาณ Q ที่ได้จากวงจรคอมพาราเตอร์

4.3.3 วงจรแปลงข้อมูลขนานเป็นแบบอนุกรม



รูปที่ 4.31 Ch1 แสดงสัญญาณที่ได้หลังผ่านวงจรแปลงข้อมูลจากขนานเป็นแบบอนุกรม
Ch2 แสดงสัญญาณนาฬิกาที่ใช้ในวงจรแปลงข้อมูลจากขนานเป็นแบบอนุกรม

4.4 ภาพถ่ายชิ้นงานและการทดลอง



(ก.) ทางด้านส่ง

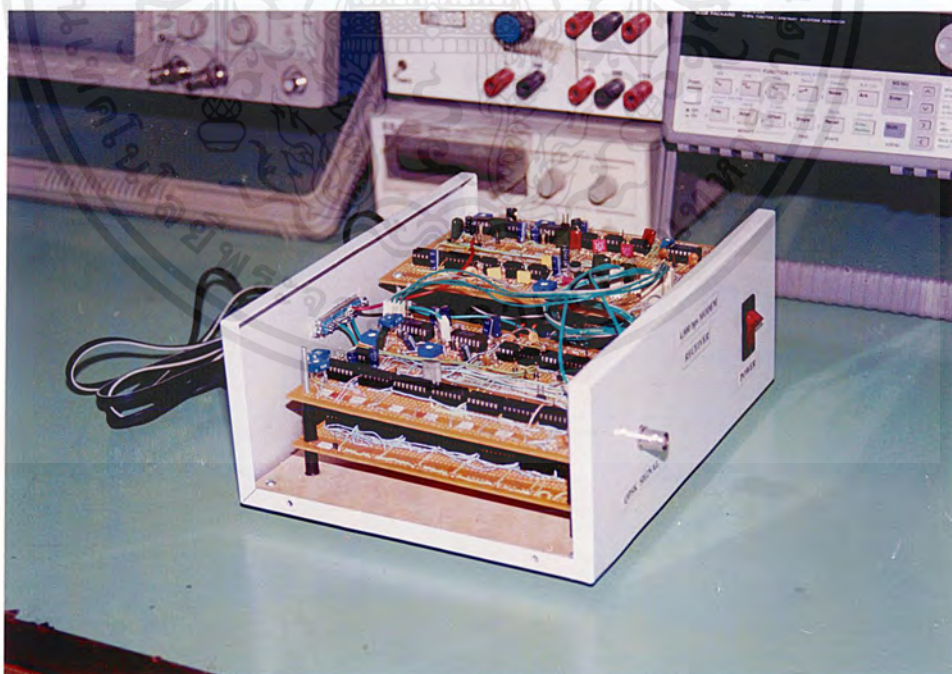


(ข.) ทางด้านรับ

รูปที่ 4.32 แสดงชิ้นงานที่ประกอบลงกล่องเรียบร้อยแล้ว



(ก.) ทางด้านส่ง



(ข.) ทางด้านรับ

รูปที่ 4.33 แสดงวงจรทั้งหมดภายในชิ้นงาน



รูปที่ 4.34 แสดงภาพการทดลองรวม โดยการต่อชิ้นงานกับเครื่องคอมพิวเตอร์ผ่านพอร์ท RS-232

```

dtc3
Auto
| DIBs Termulator | 9600 8N1 | FDX | DTR+ DSR- RTS+ CTS- DCD- RNG- | H=CT
ADM3a Terminal Emulator, Ver 1.04C, written by Dave Baldwin
The Computer Journal, http://www.psyber.com/~tcj/
=====
F1 - this screen.           Alt-7 - 7-bit display.
F2 - toggles Full/Half duplex. Alt-8 - 8-bit display.
F3 - select handshake.      Alt-A - send ASCII test string.
F4 - toggles DTR.           Alt-B - send BREAK.
F5 - toggles RTS.           Alt-K - terminal or Wordstar cursor
F6 - change word length.    Alt-V - Select video attributes.
F7 - change stop bits.      Alt-X to quit.
F8 - change parity.         Alt-Z to clear screen.
F9 - change baud rate.
F10 - change ports.
ESC or CR to quit any screen without change.

Any other key to return to user screen.
-

```

รูปที่ 4.35 แสดงภาพโปรแกรมที่ใช้ในการทดลอง

สำหรับการทดลองโดยการต่อชิ้นงานเข้าเครื่องคอมพิวเตอร์ผ่านพอร์ท RS-232 แสดงไว้ในรูปที่ 4.34 โดยใช้โปรแกรม dtc3.com เป็นโปรแกรมรับส่งข้อมูลอนุกรมดังแสดงไว้ในรูปที่ 4.35 ซึ่งสามารถดาวน์โหลดได้จากโฮมเพจ <http://www.psyber.com/~tcj/>

บทที่ 5

สรุปและวิจารณ์ผล

จากการทดลองโดยใช้ชุดกำเนิดข้อมูลแทนการใช้ข้อมูลจากคอมพิวเตอร์ พบว่าทางด้านส่งของโมเด็ม 4,800 บิตต่อวินาที สามารถสร้างสัญญาณ QPSK ออกมาได้จริง ส่วนในทางด้านรับนั้น พบว่าสามารถตีเทคสัญญาณข้อมูลกลับมาได้

สำหรับการทดลองในแต่วนนั้นจะสรุปได้ดังนี้ คือเมื่อนำเอาข้อมูลดิจิทัลที่มีการส่งข้อมูลแบบอนุกรมมาเปลี่ยนให้เป็นข้อมูลแบบขนานสองบิต มาทำการมอดูเลตกับคลื่นพาห์ จะได้เป็นสัญญาณ QPSK สัญญาณที่ได้จะถูกส่งผ่านสายโคแอกเซียลไปยังด้านรับ ด้านรับจะทำการกู้สัญญาณคลื่นพาห์กลับมา นำไปเลื่อนเฟส 90 องศา นำสัญญาณคลื่นพาห์และสัญญาณคลื่นพาห์ที่เลื่อนเฟสไปคูณกับสัญญาณ QPSK ที่รับเข้ามา สัญญาณที่ได้จากการคิมอดูเลตทั้งสองสัญญาณ นำไปผ่านวงจรกรองความถี่ต่ำผ่านสัญญาณข้อมูลที่ได้เป็นแบบขนาน จึงทำการแปลงข้อมูลแบบขนานให้เป็นแบบอนุกรม จะเห็นได้ว่าได้สัญญาณข้อมูลกลับคืนมา

สำหรับการทดสอบวงจรโดยการต่อเข้ากับคอมพิวเตอร์ผ่านพอร์ท RS-232 ได้ใช้โปรแกรม dtc3.com เป็นโปรแกรมในการรับส่งข้อมูลแบบอนุกรม ซึ่งสามารถดาวน์โหลดได้จากโฮมเพจ <http://www.psyber.com/~tcj/>

ในการใช้งานจริงข้อมูลที่ได้อาจเกิดความผิดพลาด เราจึงควรเพิ่มส่วนวงจรตรวจสอบความถูกต้อง หากเกิดการผิดพลาดขึ้นก็จะทำการส่งสัญญาณไปเลื่อนเฟสของสัญญาณแครี่เรียร์ที่จะนำไปคิมอดูเลต ทำให้ค่าที่ได้ถูกต้องมากขึ้น หากต้องการให้โมเด็มมีความเร็วมากขึ้น สามารถทำได้โดยการเปลี่ยนความเร็วของสัญญาณนาฬิกาในวงจร แต่ก็จะมีข้อเสียตรงที่ การส่งข้อมูลที่มีความเร็วสูงก็จะมีผลกระทบของข้อมูลได้มากขึ้น.

ภาคผนวก



Balanced modulator/demodulator applications using the MC1496/1596

AN189

BALANCED MODULATOR/DEMODULATOR APPLICATIONS USING MC1496/MC1596

The MC1496 is a monolithic transistor array arranged as a balanced modulator-demodulator. The device takes advantage of the excellent matching qualities of monolithic devices to provide superior carrier and signal rejection. Carrier suppressions of 50dB at 10MHz are typical with no external balancing networks required.

Applications include AM and suppressed carrier modulators, AM and FM demodulators, and phase detectors.

THEORY OF OPERATION

As Figure 1 suggests, the topography includes three differential amplifiers. Internal connections are made such that the output becomes a product of the two input signals V_C and V_S .

To accomplish this the differential pairs Q1-Q2 and Q3-Q4, with their cross-coupled collectors, are driven into saturation by the zero crossings of the carrier signal V_C . With a low level voltage, V_S driving the third differential amplifier Q5-Q6, the output voltage will be full wave multiplication of V_C and V_S . Thus for sine wave signals, V_{OUT} becomes:

$$V_{OUT} = E_X E_Y [\cos(\omega_X + \omega_Y)t + \cos(\omega_X - \omega_Y)t] \quad (1)$$

As seen by equation (1) the output voltage will contain the sum and difference frequencies of the two original signals. In addition, with the carrier input ports being driven into saturation, the output will contain the odd harmonics of the carrier signals. (See Figure 4.)

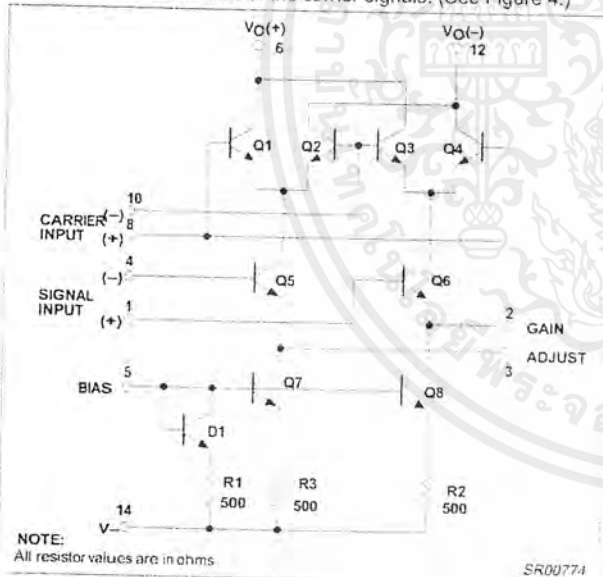


Figure 1. Balanced Modulator Schematic

Internally provided with the device are two current sources driven by a temperature-compensated bias network. Since the transistor geometries are the same and since V_{BE} matching in monolithic devices is excellent, the currents through Q7 and Q8 will be identical to the current set at Pin 5. Figures 2 and 3 illustrate typical biasing arrangements from split and single-ended supplies, respectively.

Of primary interest in beginning the bias circuitry design is relating available power supplies and desired output voltages to device requirements with a minimum of external components.

The transistors are connected in a cascode fashion. Therefore, sufficient collector voltage must be supplied to avoid saturation if linear operation is to be achieved. Voltages greater than 2V are sufficient in most applications.

Biasing is achieved with simple resistor divider networks as shown in Figure 3. This configuration assumes the presence of symmetrical supplies. Explaining the DC biasing technique is probably best accomplished by an example. Thus, the initial assumptions and criteria are set forth:

1. Output swing greater than $4V_{P-P}$.
2. Positive and negative supplies of 6V are available.
3. Collector current is 2mA. It should be noted here that the collector output current is equal to the current set in the current sources.

As a matter of convenience, the carrier signal ports are referenced to ground. If desired, the modulation signal ports could be ground referenced with slight changes in the bias arrangement. With the carrier inputs at DC ground, the quiescent operating point of the outputs should be at one-half the total positive voltage or 3V for this case. Thus, a collector load resistor is selected which drops 3V at 2mA or 1.5kΩ. A quick check at this point reveals that with these loads and current levels the peak-to-peak output swing will be greater than 4V. It remains to set the current source level and proper biasing of the signal ports.

The voltage at Pin 5 is expressed by

$$V_{BIAS} = V_{BE} = 500 \cdot I_S$$

where I_S is the current set in the current sources.

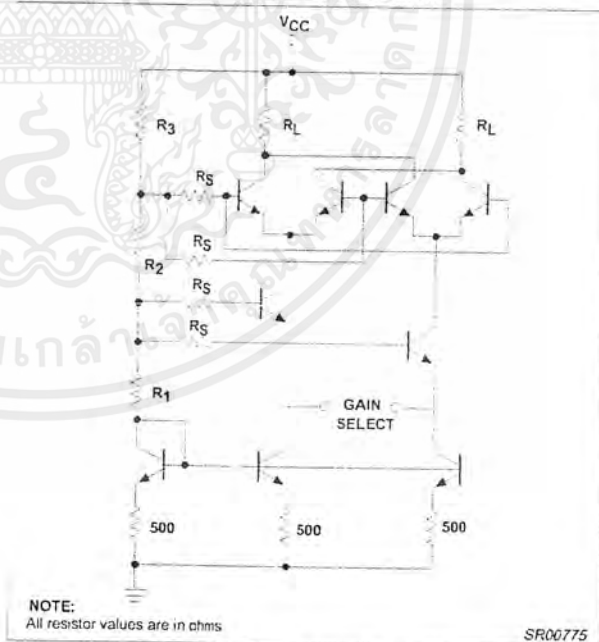


Figure 2. Single-Supply Biasing

BIASING

Since the MC1496 was intended for a multitude of different functions as well as a myriad of supply voltages, the biasing techniques are specified by the individual application. This allows the user complete

Balanced modulator/demodulator applications using the MC1496/1596

AN189

AM MODULATOR

The basic current of Figure 5 allows no carrier to be present in the output. By adding offset to the carrier differential pairs, controlled amounts of carrier appear at the output whose amplitude becomes a function of the modulation signal or AM modulation. As shown, the carrier null circuit is changed from Figure 5 to have a wider range so that wider control is achieved. All connections are shown in Figure 6.

AM DEMODULATION

As pointed out in Equation 1, the output of the balanced mixer is a cosine function of the angle between signal and carrier inputs. Further, if the carrier input is driven hard enough to provide a switching action, the output becomes a function of the input amplitude. Thus the output amplitude is maximum when there is 0° phase difference as shown in Figure 7.

Amplifying and limiting of the AM carrier is accomplished by IF gain block providing 55dB of gain or higher with limiting of 400µV. The limited carrier is then applied to the detector at the carrier ports to provide the desired switching function. The signal is then

demodulated by the synchronous AM demodulator (1496) where the carrier frequency is attenuated due to the balanced nature of the device. Care must be taken not to overdrive the signal input so that distortion does not appear in the recovered audio. Maximum conversion gain is reached when the carrier signals are in phase as indicated by the phase-gain relationship drawn in Figure 7.

Output filtering will also be necessary to remove high frequency sum components of the carrier from the audio signal.

PHASE DETECTOR

The versatility of the balanced modulator or multiplier also allows the device to be used as a phase detector. As mentioned, the output of the detector contains a term related to the cosine of the phase angle. Two signals of equal frequency are applied to the inputs as per Figure 8. The frequencies are multiplied together producing the sum and difference frequencies. Equal frequencies cause the difference component to become DC while the undesired sum component is filtered out. The DC component is related to the phase angle by the graph of Figure 9.

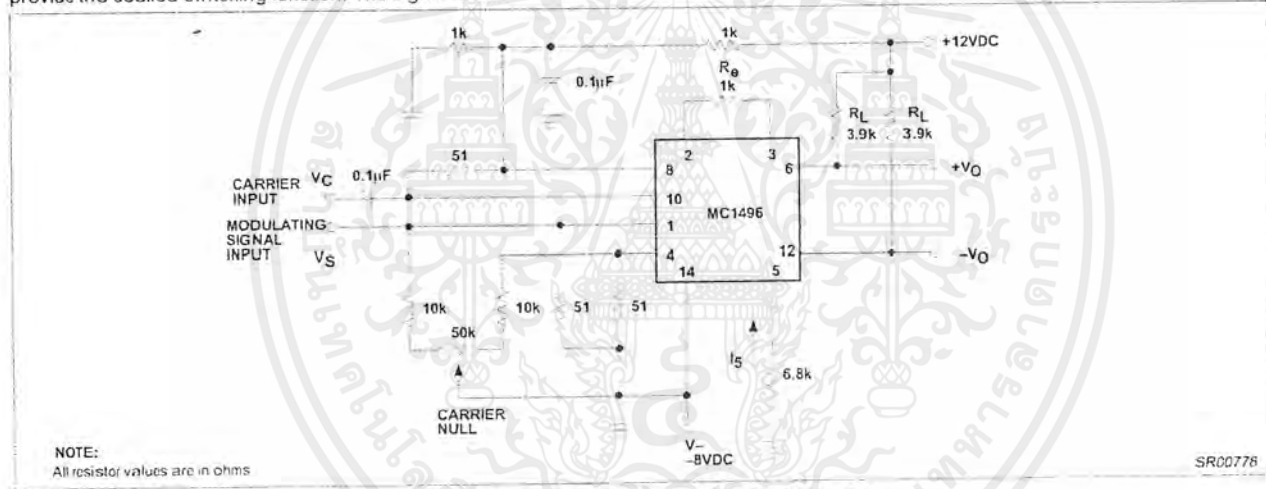


Figure 5. Double Suppressed Carrier Modulator

Table 1. Voltage Gain and Output vs Input Signal

CARRIER INPUT SIGNAL (V _C)	APPROXIMATE VOLTAGE GAIN	OUTPUT SIGNAL FREQUENCY(S)
Low-level DC	$\frac{R_L V_C}{2(R_E + 2r_e) \frac{KT}{q}}$	f_M
High-level DC	$\frac{R_L}{R + 2r_e}$	f_M
Low-level AC	$\frac{R_L V_C (rms)}{2 \sqrt{2} \frac{KT}{q} (R_E + 2r_e)}$	$f_C + f_M$
High-level AC	$\frac{0.637R_L}{R_E + 2r_e}$	$f_C + f_M, 3f_C + f_M, 5f_C + f_M \dots$

Balanced modulator/demodulator applications using the MC1496/1596

AN189

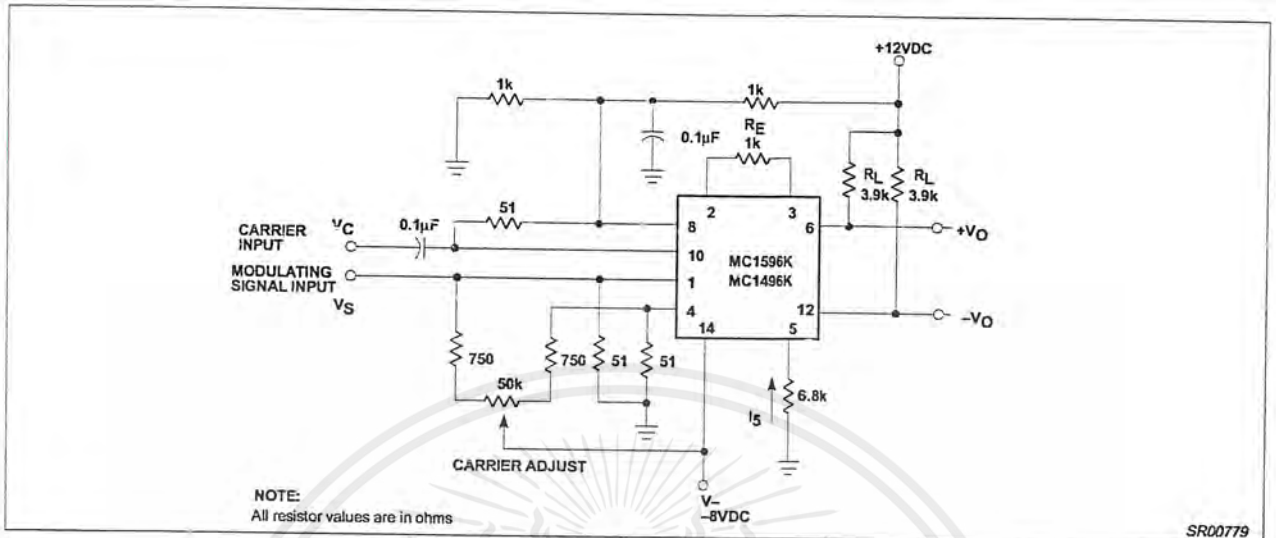


Figure 6. AM Modulator

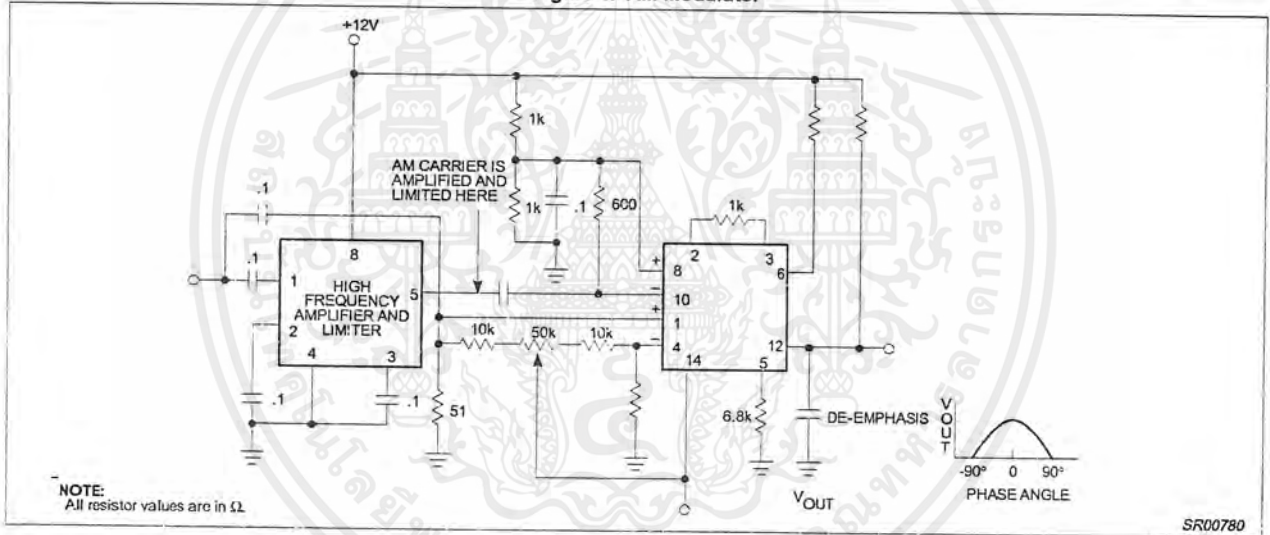


Figure 7. AM Demodulator

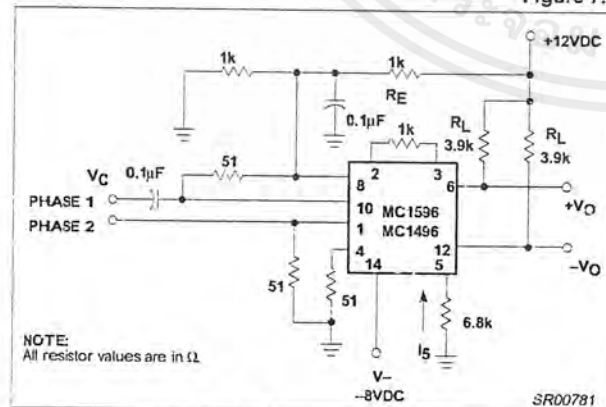


Figure 8. Phase Comparator

At 90° the cosine becomes zero, while being at maximum positive or maximum negative at 0° and 180°, respectively.

The advantage of using the balanced modulator over other types of phase comparators is the excellent linearity of conversion. This configuration also provides a conversion gain rather than a loss for greater resolution. Us .1 in conjunction with a phase-locked loop, for instance, the balanced modulator provides a very low distortion FM demodulator.

FREQUENCY DOUBLER

Very similar to the phase detector of Figure 8, a frequency doubler schematic is shown in Figure 10. Departure from Figure 8 is primarily the removal of the low-pass filter. The output then contains the sum component which is twice the frequency of the input, since both input signals are the same frequency.

Balanced modulator/demodulator applications using the MC1496/1596

AN189

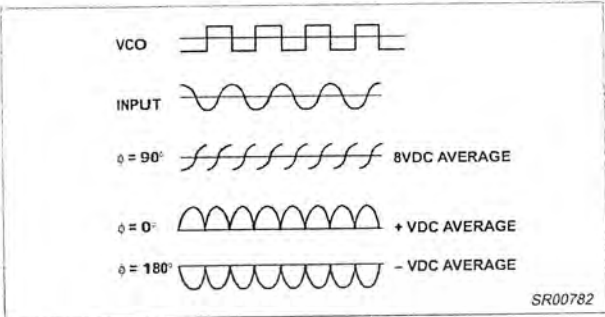


Figure 9. Phase Detector ± Voltages

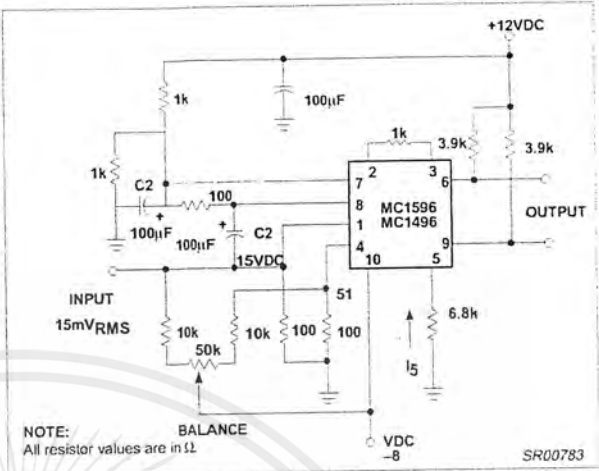


Figure 10. Low Frequency Doubler

LM565/LM565C

Phase Locked Loop

General Description

The LM565 and LM565C are general purpose phase locked loops containing a stable, highly linear voltage controlled oscillator for low distortion FM demodulation, and a double balanced phase detector with good carrier suppression. The VCO frequency is set with an external resistor and capacitor, and a tuning range of 10:1 can be obtained with the same capacitor. The characteristics of the closed loop system—bandwidth, response speed, capture and pull in range—may be adjusted over a wide range with an external resistor and capacitor. The loop may be broken between the VCO and the phase detector for insertion of a digital frequency divider to obtain frequency multiplication.

The LM565H is specified for operation over the -55°C to $+125^{\circ}\text{C}$ military temperature range. The LM565CN is specified for operation over the 0°C to $+70^{\circ}\text{C}$ temperature range.

Features

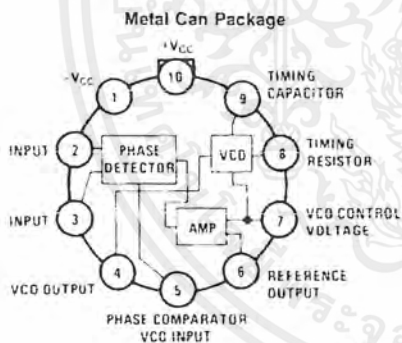
- 200 ppm/ $^{\circ}\text{C}$ frequency stability of the VCO
- Power supply range of ± 5 to ± 12 volts with 100 ppm/% typical

- 0.2% linearity of demodulated output
- Linear triangle wave with in phase zero crossings available
- TTL and DTL compatible phase detector input and square wave output
- Adjustable hold in range from $\pm 1\%$ to $> \pm 60\%$

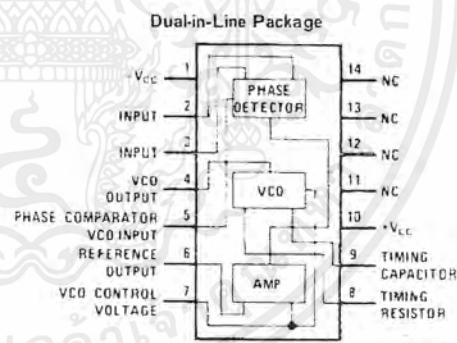
Applications

- Data and tape synchronization
- Modems
- FSK demodulation
- FM demodulation
- Frequency synthesizer
- Tone decoding
- Frequency multiplication and division
- SCA demodulators
- Telemetry receivers
- Signal regeneration
- Coherent demodulators

Connection Diagrams



Order Number LM565H
See NS Package Number H10C



Order Number LM565CN
See NS Package Number N14A

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	±12V
Power Dissipation (Note 2)	1400 mW
Differential Input Voltage	±1V

Operating Temperature Range

LM565H	-55°C to +125°C
LM565CN	0°C to +70°C

Storage Temperature Range

-65°C to +150°C

Lead Temperature
(Soldering, 10 sec.)

260°C

Electrical Characteristics

AC Test Circuit, $T_A = 25^\circ\text{C}$, $V_{CC} = \pm 6\text{V}$

Parameter	Conditions	LM565			LM565C			Units
		Min	Typ	Max	Min	Typ	Max	
Power Supply Current			8.0	12.5		8.0	12.5	mA
Input Impedance (Pins 2, 3)	$-4\text{V} < V_2, V_3 < 0\text{V}$	7	10			5		k Ω
VCO Maximum Operating Frequency	$C_o = 2.7\text{ pF}$	300	500		250	500		kHz
VCO Free-Running Frequency	$C_o = 1.5\text{ nF}$ $R_o = 20\text{ k}\Omega$ $f_o = 10\text{ kHz}$	-10	0	+10	-30	0	+30	%
Operating Frequency Temperature Coefficient			-100			-200		ppm/°C
Frequency Drift with Supply Voltage			0.1	1.0		0.2	1.5	%/V
Triangle Wave Output Voltage		2	2.4	3	2	2.4	3	V_{p-p}
Triangle Wave Output Linearity			0.2			0.5		%
Square Wave Output Level		4.7	5.4		4.7	5.4		V_{p-p}
Output Impedance (Pin 4)			5			5		k Ω
Square Wave Duty Cycle		45	50	55	40	50	60	%
Square Wave Rise Time			20			20		ns
Square Wave Fall Time			50			50		ns
Output Current Sink (Pin 4)		0.6	1		0.6	1		mA
VCO Sensitivity	$f_o = 10\text{ kHz}$		6600			6600		Hz/V
Demodulated Output Voltage (Pin 7)	±10% Frequency Deviation	250	300	400	200	300	450	mV _{p-p}
Total Harmonic Distortion	±10% Frequency Deviation		0.2	0.75		0.2	1.5	%
Output Impedance (Pin 7)			3.5			3.5		k Ω
DC Level (Pin 7)		4.25	4.5	4.75	4.0	4.5	5.0	V
Output Offset Voltage $ V_7 - V_6 $			30	100		50	200	mV
Temperature Drift of $ V_7 - V_6 $			500			500	∞	μV/°C
AM Rejection		30	40			40		dB
Phase Detector Sensitivity K_D			0.68			0.68		V/radian

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. Electrical Characteristics state DC and AC electrical specifications under particular test conditions which guarantee specific performance limits. This assumes that the device is within the Operating Ratings. Specifications are not guaranteed for parameters where no limit is given, however, the typical value is a good indication of device performance.

Note 2: The maximum junction temperature of the LM565 and LM565C is +150°C. For operation at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of +150°C/W junction to ambient or +45°C/W junction to case. Thermal resistance of the dual-in-line package is +85°C/W.

กิตติกรรมประกาศ

ขอขอบพระคุณ ศ. ดร. วิวัฒน์ ภิรานนท์. รศ. ดร. ปราโมทย์ วาดเขียน และ ผศ. วิภา แสงพิสุทธิ ที่
ให้คำปรึกษา แนะนำ ดูแลเอาใจใส่อยู่เสมอ

ผู้จัดทำ

21 มีนาคม 2544



บรรณานุกรม

- [1] บัญชา ขวฤทธิกุล, ถวิล ศรีทอง, ทวีชัย ภูริทิพย์, “ เริ่มแรกกับ Modem ” ,บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน), พ.ศ. 2538
- [2] ดร. ประสิทธิ์ ทิพพุมิ, “ การสื่อสารโทรคมนาคมภาคพื้นฐาน ” , บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน), พ.ศ. 2539
- [3] ดร. ประสิทธิ์ ประพัฒน์มงคล, “ หลักการระบบสื่อสาร ” , บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน), พ.ศ. 2540
- [4] ดร. พิพัฒน์ หิรัญชัยนิชชากร, “ ระบบการสื่อสารข้อมูลและเครือข่ายคอมพิวเตอร์ ”
- [5] พีรธร ลีเกษมทรัพย์, ศุภชัย เมืองสง, สายันท์ สลึงค์, ปริชญานีพนธ์, “ โมเด็ม 2,400 บิตต่อวินาที ” , พ.ศ. 2539
- [6] วิสันต์ อาชาเดโชพล, “ ระบบโทรศัพท์ดิจิทัล ” , สำนักพิมพ์ฟิสิกส์เซ็นเตอร์, พ.ศ. 2536
- [7] ดร. สุวิมล สิริชีวกาศ, “ พื้นฐานแห่งการสื่อสารข้อมูล ” , บริษัท อินฟอร์เมติก บิซิเนส พับลิเคชั่น จำกัด
- [8] <http://www.optimized.com/COMPENDI/L-R232.htm>
- [9] <http://www.psyber.com/~tcj/>
- [10] <http://ThaiBit.hypermart.net>