สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องสร้างสัญญาณภาพซ้อนภาพ
PICTURE-IN-PICTURE

โดย

นางสาว สุกัญญา รมยานนท์

นาย สุรเชษฐ์ นนตกร

นาย อนวัช ดิวิทยา

เลขหมู่.....
เลขทะเบียน.....42340
วัน, เดือน, ปี.....17 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องสร้างสัญญาณภาพซ้อนภาพ

PICTURE-IN-PICTURE

โดย

นางสาว สุกัญญา รมยานนท์ 40010860

นาย สุรเชษฐ์ นนตกร 40010905

นาย อนวัช ดิวิทยา 40010936

อาจารย์ที่ปรึกษา

รศ.ดร.สุวิพล สิทธิชีวภาค

ผศ.เกรียงไกร วงศ์โรจนภรณ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2543

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องสร้างสัญญาณภาพซ้อนภาพ**

Picture in Picture (PIP)

ผู้จัดทำ

1. นส. สุกัญญา	**รมยานนท์**	**40010860**
2. นาย สุรเชษฐ์	**นนตกร**	**40010905**
3. นาย อนวัช	**ดิวิทยา**	**40010936**

..... อาจารย์ที่ปรึกษา

(รศ.ดร. สุวิพล สิทธิชีวภาค)

..... อาจารย์ที่ปรึกษา

(ผศ.เกรียงไกร วงศ์โรจนภรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องสร้างสัญญาณภาพซ้อนภาพ

Picture in Picture (PIP)

โดย นส.สุกัญญา รมยานนท์ 40010860

นาย สุรเชษฐ์ นนตกร 40010905

นาย อนวัช ดิวิทยา 40010936

อาจารย์ที่ปรึกษา รศ.ดร.สุวิพล สิทธิชีวภาค

ผศ.เกรียงไกร วงศ์โรจนภรณ์

บทคัดย่อ

ในการทำโครงงานครั้งนี้ เป็นการใช้งานเครื่องรับโทรทัศน์ให้สามารถแสดงภาพได้ 2 ภาพ ซึ่งจะมีภาพเล็กซ้อนอยู่ในภาพใหญ่ โดยการนำสัญญาณภาพรวม(Composite Video) จากแหล่งสัญญาณต่างๆ 2 แหล่งซึ่งนำจาก เอาท์พุทที่เป็นสัญญาณรวมจากวีดีโอเทป กล้องวีดีโอ ผ่านเข้าสู่ส่วนฮาร์ดแวร์ที่สร้างขึ้น และป้อนเข้าช่อง AV ของเครื่องรับโทรทัศน์

จากการทำโครงงานนี้สามารถ นำไปประยุกต์ใช้ประโยชน์ทางด้านต่างๆได้ เช่น ทางด้านการศึกษา ด้านการบันเทิง หรือทางด้านการสื่อสารของข้อมูลข่าวสาร เป็นต้น

Abstracts

This project presents the application of television display which called "Picture in Picture (PIP)." It is able to display the small picture in the bigger one in the same screen. The picture sources can be carried from cassette video or any video source. These signals will be the input of the hardware device, and the output signal will be connected to AV channel.

We can apply this project for many works, such as for education or entertainment.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทที่ 1 บทนำ

1.1 ความเป็นมาของโครงงาน 1

1.2 วัตถุประสงค์ของโครงงาน 1

บทที่ 2 ทฤษฎีและหลักการ

2.1 ทฤษฎีโทรทัศน์ 2

2.1.1 องค์ประกอบภาพ 2

2.1.2 การสแกน 2

2.1.2.1 ความถี่และเส้นในการสแกน 2

2.1.2.2 การสแกนหน้าจอโทรทัศน์ 3

2.1.3 การสร้างภาพของเครื่องรับโทรทัศน์ 5

2.2 การแปลงสัญญาณอนาลอกเป็นดิจิตอล 8

2.3 การแปลงสัญญาณดิจิตอลเป็นอนาลอก 12

บทที่ 3 การคำนวณและการสร้าง

3.1 การทำงานของวงจรโดยรวม 15

3.2 วงจรแยกสัญญาณซิงก์ (Sync Separate) 17

3.3 วงจรควบคุมการสแกนภาพ (Mixed Picture Control) 17

3.4 วงจรควบคุมการเก็บเส้นสแกน (Line Scan Control) 19

3.5 วงจรควบคุมการเก็บจุดสแกน (Point Scan Control) 21

3.6 วงจรหน่วงเวลาการเก็บจุดและเส้นสแกน 22

3.7 วงจรควบคุมการอ่านและเขียนหน่วยความจำ (Read/Write Memory Control) 22

3.8 วงจรระบุตำแหน่งของหน่วยความจำ (Addressing Memory unit) 23

3.9 วงจรหน่วยความจำ 26

3.10 วงจรการแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Convertor) 27

3.11 วงจรการแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital to Analog Convertor) 28

บทที่ 4 การทดลองและผลการทดลอง

4.1 การทดลองส่วนวงจรการแยกสัญญาณซิงก์ 29

4.2 การทดลองส่วนวงจรควบคุมตำแหน่งของภาพ 30

4.2.1 การทดลองการเลือกตำแหน่งตามแนวตั้ง 30

4.2.2 การทดลองการเลือกตำแหน่งตามแนวนอน 33

4.2.3 การทดลองการเลือกตำแหน่งของภาพเล็ก 37

4.3 การทดลองส่วนวงจรควบคุมการสแกน 38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.1 การทดลองส่วนวงจรการควบคุมการสแกนเส้น 38
4.3.2 การทดลองส่วนวงจรการควบคุมการสแกนจุด 39
4.4 การทดลองส่วนวงจรการควบคุมการอ่าน/เขียนหน่วยความจำ 40
4.5 การทดลองส่วนวงจรการอ้างอิงแอดเดรสของหน่วยความจำ 41
4.5.1 การทดลองส่วนการอ้างอิงแอดเดรสในการเขียนหน่วยความจำ 41
4.5.2 การทดลองส่วนการอ้างอิงแอดเดรสในการอ่านหน่วยความจำ 45
4.6 การทดลองส่วนวงจรการแปลงสัญญาณอนาลอกเป็นดิจิตอลและวงจรการแปลงสัญญาณดิจิตอลเป็นอนาลอก 49
4.6.1 การทดลองในกรณีที่ต่อตัว ADC โดยตรงกับตัว DAC 49
4.6.2 การทดลองในกรณีที่ต่อตัว ADC ผ่านหน่วยความจำและตัว DAC ตามวงจรที่ได้ออกแบบไว้ 50
4.7 การทดลองในส่วนการแสดงผลจากวงจรรวมทั้งหมด 53
บทที่ 5 บทวิจารณ์และบทสรุป 57
ภาคผนวก
หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

บทที่ 2 ทฤษฎีและหลักการ

รูปที่ 2.1 การสแกนหน้าจอภาพโทรทัศน์ 3

รูปที่ 2.2 การสแกนเส้นคี่และเส้นคู่และการสะบัดกลับของสัญญาณแนวตั้ง 4

รูปที่ 2.3 รายละเอียดของเส้นสแกน 5

รูปที่ 2.4 สัญญาณภาพอีควอไลซิ่งทั้ง 2 ชุด 7

รูปที่ 2.5 สัญญาณภาพรวม แสดงให้เห็นรายละเอียดของสัญญาณแต่ละชนิด 8

รูปที่ 2.6 แสดง บล็อกไดอะแกรมของการเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล 8

รูปที่ 2.7 แสดงการแซมปลิ้ง 9

รูปที่ 2.8 ลักษณะของสัญญาณของภาคควอนไตซ์ซิ่ง 10

รูปที่ 2.9 วงจร แฟลช เอทูดี 11

รูปที่ 2.10 หลักการของ แฟลช เอทูดี 11

รูปที่ 2.11 แสดงตัวอย่างวงจรการเปลี่ยนสัญญาณขนาด 4 บิท 13

รูปที่ 2.12 แสดงตัวอย่างวงจร ดีทูเอ แบบ R/2R 14

บทที่ 3 การคำนวณและการสร้าง

รูปที่ 3.1 บล็อกไดอะแกรมวงจรภาพซ้อนภาพ (Picture-In-Picture) 16

รูปที่ 3.2 วงจรแยกสัญญาณซิงก์ 17

รูปที่ 3.3 วงจรส่วนควบคุมการผสมสัญญาณภาพ (Mix Picture Control) 18

รูปที่ 3.4 แสดงตำแหน่งของภาพเล็ก (H-bank และ V-bank) 19

รูปที่ 3.5 วงจรควบคุมการเก็บเส้นสแกน 21

รูปที่ 3.6 วงจรควบคุมการเก็บจุดสแกน 21

รูปที่ 3.7 วงจรควบคุมการอ่านและเขียนหน่วยความจำ 23

รูปที่ 3.8 บล็อกไดอะแกรมการต่อวงจรควบคุมการอ่าน/เขียนหน่วยความจำ ร่วมกับ วงจรระบุตำแหน่งการอ่าน/เขียนหน่วยความจำ บัฟเฟอร์ หน่วยความจำ ตัว DAC และ ADC 24

รูปที่ 3.9 แสดงไทม์มิ่งไดอะแกรมของสัญญาณควบคุมการอ่านและเขียน (Q และ $\overline{Q}$) การอ่านและเขียนของหน่วยความจำ บัฟเฟอร์ของแอดเดรส บัฟเฟอร์ของข้อมูล 25

รูปที่ 3.10 การต่อหน่วยความจำ 26

รูปที่ 3.11 การแปลงสัญญาณอนาลอกเป็นดิจิตอล 27

รูปที่ 3.12 การแปลงสัญญาณดิจิตอลเป็นอนาลอก 28

บทที่ 4 การทดลองและผลการทดลอง

รูปที่ 4.1 แสดงสัญญาณวิดีโออินพุทเทียบกับ สัญญาณซิงค์ทางแนวตั้ง 29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.2 แสดงสัญญาณวิดีโออินพุท เทียบกับ สัญญาณซิงค์ทางแนวนอน 30
รูปที่ 4.3 แสดงสัญญาณคล็อกอินพุท เทียบกับ เอาท์พุทที่ออกจากตัวเคาน์เตอร์ บิทที่ 1,2,3 ตามลำดับ 31
รูปที่ 4.4 แสดงสัญญาณเอาท์พุท ที่ออกจากตัวเคาน์เตอร์ บิทที่ 4,5,6,7 ตามลำดับ 31
รูปที่ 4.5 แสดงสัญญาณเอาท์พุท ที่ออกจากตัวเคาน์เตอร์ บิทที่ 8 และ 9 เทียบกับ สัญญาณเคลียร์อินพุท 32
รูปที่ 4.6 แสดงผลการเปรียบเทียบที่ตัวคอมพาราเตอร์ และผลที่กำหนดทางแนวตั้ง 33
รูปที่ 4.7 แสดงสัญญาณคล็อกอินพุท เทียบกับ เอาท์พุท ที่ออกจากตัวเคาน์เตอร์บิทที่ 1, 2, 3 ตามลำดับ 34
รูปที่ 4.8 แสดงสัญญาณเอาท์พุทที่ออกจากตัวเคาน์เตอร์ บิทที่ 4,5,6,7 ตามลำดับ 34
รูปที่ 4.9 แสดงสัญญาณเอาท์พุทที่ออกจากตัวเคาน์เตอร์ บิทที่ 8,9 และ 10 เทียบกับสัญญาณเคลียร์อินพุท 35
รูปที่ 4.10 แสดงผลการเปรียบเทียบที่ตัวคอมพาราเตอร์และผลที่กำหนดทางแนวนอน 36
รูปที่ 4.11 แสดงสัญญาณกำหนดตำแหน่งภาพเล็กโดยผ่านจาก ไอซี 4081 37
รูปที่ 4.12 แสดงสัญญาณคล็อกอินพุท เทียบกับสัญญาณที่ได้จากการสแกนเส้น 38
รูปที่ 4.13 แสดงสัญญาณคล็อกอินพุท เทียบกับสัญญาณที่ได้จากการสแกนจุด 39
รูปที่ 4.14 แสดงสัญญาณคล็อกอินพุท เทียบกับสัญญาณเอาท์พุท ที่ใช้ในการควบคุมการอ่าน/เขียนของหน่วยความจำ 40
รูปที่ 4.15 แสดงสัญญาณคล็อกอินพุทของวงจรอ้างอิงแอดเดรสในการเขียนของหน่วยความจำ 41
รูปที่ 4.16 แสดงสัญญาณคล็อกอินพุทของวงจร เทียบกับสัญญาณเอาท์พุทที่ออกจากวงจรนับบิทที่ 1, 2, 3 ตามลำดับ 42
รูปที่ 4.17 แสดงสัญญาณเอาท์พุทที่ออกจากวงจรนับ บิทที่ 4,5,6,7 ตามลำดับ 42
รูปที่ 4.18 แสดงสัญญาณเอาท์พุทที่ออกจากวงจรนับ บิทที่ 8,9,10,11 ตามลำดับ 43
รูปที่ 4.19 แสดงสัญญาณเอาท์พุทที่ออกจากวงจรนับ บิทที่ 12,13,14,15 ตามลำดับ 43
รูปที่ 4.20 แสดงสัญญาณคล็อกอินพุทของวงจรอ้างอิงแอดเดรสในการอ่านหน่วยความจำ 45
รูปที่ 4.21 แสดงสัญญาณคล็อกอินพุทของวงจร เทียบกับสัญญาณเอาท์พุทที่ออกจากวงจรนับบิทที่ 1, 2, 3 ตามลำดับ 46
รูปที่ 4.22 แสดงสัญญาณเอาท์พุทที่ออกจากวงจรนับบิทที่ 4, 5, 6, 7 ตามลำดับ 46
รูปที่ 4.23 แสดงสัญญาณเอาท์พุทที่ออกจากวงจรนับบิทที่ 8, 9, 10, 11 ตามลำดับ 47
รูปที่ 4.24 แสดงสัญญาณเอาท์พุทที่ออกจากวงจรนับบิทที่ 12, 13, 14, 15 ตามลำดับ 47
รูปที่ 4.25 แสดงสัญญาณภาพที่ป้อนเข้าสู่วงจร ADC เทียบกับสัญญาณเอาท์พุทที่ออกจากวงจร DAC 49
รูปที่ 4.26 แสดงสัญญาณอินพุทที่ป้อนเข้าสู่วงจร ADC เทียบกับสัญญาณอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของวงจร ADC ที่ผ่านการปรับค่าเกนและระดับของสัญญาณ 50
รูปที่ 4.27 แสดงสัญญาณเอาท์พุทที่ป้อนเข้าสู่วงจร DAC เทียบกับสัญญาณเอาท์พุท ของวงจร DAC ที่ผ่านการปรับค่าเกนและระดับสัญญาณ 51
รูปที่ 4.28 แสดงสัญญาณเอาท์พุทที่ได้จากส่วนของวงจร DAC เทียบกับสัญญาณ อินพุทที่ป้อนให้กับวงจร ADC 52
รูปที่ 4.29 แสดงกราฟของสัญญาณที่เป็นส่วนของภาพหลัก และส่วนของภาพเล็ก เทียบ กับสัญญาณเอาท์พุทที่เป็นสัญญาณภาพรวมของวงจร 53
รูปที่ 4.30 แสดงผลการทดลองการแสดงภาพเล็กในตำแหน่งมุมขวาบนของจอภาพ 54
รูปที่ 4.31 แสดงผลการทดลองการแสดงภาพเล็กในตำแหน่งมุมขวาล่างของจอภาพ 54
รูปที่ 4.32 แสดงผลการทดลองการแสดงภาพเล็กในตำแหน่งมุมซ้ายบนของจอภาพ 55
รูปที่ 4.33 แสดงผลการทดลองการแสดงภาพเล็กในตำแหน่งมุมซ้ายล่างของจอภาพ 55
รูปที่ 4.34 แสดงวงจรภาพซ้อนภาพที่ใช้ในการทดลอง 56
รูปที่ 4.35 แสดงอุปกรณ์ที่ใช้ในการทดลอง 56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

บทที่ 4 การทดลองและผลการทดลอง

ตารางที่ 4.1 แสดงค่าความถี่แต่ละบิทเอาท์พุทของตัวเคาน์เตอร์ (Hor – bank) 32

ตารางที่ 4.2 แสดงค่าความถี่แต่ละบิทเอาท์พุทของตัวเคาน์เตอร์ (Ver - bank) 35

ตารางที่ 4.3 แสดงค่าความถี่ที่แต่ละบิทเอาท์พุทที่ได้จากวงจรเคาน์เตอร์ (ในส่วนการเขียนของหน่วยความจำ) 44

ตารางที่ 4.4 แสดงค่าความถี่ที่แต่ละบิทเอาท์พุทที่ได้จากวงจรเคาน์เตอร์ (ในส่วนการอ่านของหน่วยความจำ) 48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาของโครงงาน

ในปัจจุบันเครื่องรับโทรทัศน์เข้ามามีบทบาทต่อการดำรงชีวิตของมนุษย์มากขึ้น เนื่องจากสามารถสื่อได้ทั้งภาพและเสียง โดยปกติแล้ว จะสามารถดูโทรทัศน์ได้ทีละช่องเท่านั้น การสร้างภาพซ้อนภาพ (Picture in Picture) เป็นเครื่องมือที่ทำให้สามารถรับชมรายการต่างๆ ได้ในเวลาเดียวกัน แต่อยู่บนหน้าจอเดียวกันได้สะดวก

หลักการของการนำภาพจากแหล่งกำเนิด 2 แหล่งมาซ้อนบนจอเดียวกัน คือ จะมีแหล่งกำเนิดหนึ่งเป็นภาพหลัก (Main Video) ส่วนอีกแหล่งกำเนิดหนึ่งนั้นเป็นภาพเล็ก(SubVideo) โดยจะนำภาพเล็กมาเก็บไว้ในหน่วยความจำก่อน แล้วจะอ่านออกมาภายหลัง การเก็บภาพเล็กลงในหน่วยความจำจะทำการแยกสัญญาณวิดีโอให้เป็นภาพขาวดำแล้วจะผ่านวงจรเอทูดี (A/D) แปลงสัญญาณจากอนาลอกเป็นดิจิตอลเพื่อให้สามารถเก็บภาพไว้ในหน่วยความจำได้ นอกจากนั้นในการอ่านออกมาจะต้องใช้วงจรดีทูเอ (D/A) เพื่อแปลงสัญญาณดิจิตอลนั้นกลับมาเป็นอนาลอกเหมือนเดิม ในโครงงานนี้จะกำหนดขนาดของภาพเล็กเท่ากับ 1/9 ของหน้าจอ และสามารถกำหนดตำแหน่งของภาพได้ ซึ่งรายละเอียดจะกล่าวถึงในบทต่อไป

1.2 วัตถุประสงค์ของโครงงาน

1. เพื่อออกแบบและสร้างภาพซ้อนภาพ
2. เพื่อศึกษารูปแบบของสัญญาณโทรทัศน์
3. เพื่อศึกษาการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล และจากสัญญาณดิจิตอลเป็นสัญญาณอนาลอก
4. เพื่อเป็นแนวทางในการนำสัญญาณภาพไปประยุกต์ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 ทฤษฎีโทรทัศน์

2.1.1 องค์ประกอบภาพ

ภาพมีองค์ประกอบมาจากจุดสีขาวและจุดสีดำมาเรียงกันประกอบขึ้นเป็นภาพ เรียกว่า พิคเจอร์อีลีเมนต์ (Picture Element) หรือ พิกเซล (Pixel) ในทำนองเดียวกัน ภาพที่ปรากฏบนหน้าจอโทรทัศน์เกิดจากการกวาดลำแสง(scan) ผ่านจุดเหล่านี้ในแนวนอน โดยหลอดภาพมีโครงสร้างคล้ายกับหลอดสูญญากาศทั่วไปที่ปล่อยอิเล็กตรอนออกมาจากแคโถด แล้วจะมีการดึงลำอิเล็กตรอนให้วิ่งไปเป็นลำกระทบเข้ากับอาโหนดหรือหน้าจอ ตรงหน้าจอนั้นมีการฉาบสารเรืองแสงไว้เพื่อให้เกิดการเรืองแสงของหน้าจอ และเมื่อเส้นเล็กๆเหล่านี้มารวมกันก็จะเกิดเป็นภาพขึ้น

2.1.2 การสแกน

การสแกนมี 2 วิธี คือการสแกนแบบก้าวหน้า(Progressive Scanning) กับการสแกนแบบสลับเส้น(Interlaced Scanning) การที่จะทำให้การสแกนมีความต่อเนื่องขององค์ประกอบภาพดังที่กล่าวมาแล้ว จะต้องคำนึงถึงหลัก 3 ประการ คือ

1. ลำอิเล็กตรอนที่กวาดไปทางแนวนอน (Horizontal Scanning) ในแต่ละครั้ง จะต้องสามารถครอบคลุมองค์ประกอบภาพทั้งหมดของเส้นนั้นๆ

2. ในแต่ละเส้นของการสแกนลำอิเล็กตรอน ลำแสงจะต้องกวาดกลับด้วยความเร็วสูงไปยังด้านซ้าย เพื่อเริ่มต้นเส้นภาพทางแนวนอนลำดับต่อไป เวลาของการสะบัดกลับเรียกว่า "รีเทรซ" (Retrace) หรือฟลายแบ็ค (Flyback) ในกรณีดังกล่าวจะต้องไม่มีข้อมูลภาพใดๆ เพราะว่าทั้งกล้องถ่ายภาพและหลอดภาพจะเกิดการแบลงค์เอาท์ (Blank Out) ในขณะนั้น

3. ในขณะที่เส้นสแกนสะบัดกลับมาเพื่อเริ่มต้นทางซ้ายใหม่ ตำแหน่งทางแนวตั้งต้องต่ำกว่าตำแหน่งเดิม เพื่อทำให้การสแกนเส้นต่อไปไม่ทับกัน ทั้งนี้โดยการควบคุมของสัญญาณแนวตั้ง (Vertical Scanning)

2.1.2.1 ความถี่และเส้นในการสแกน

การสแกนเส้นทางแนวนอน 1 เส้น เป็นการสแกนลำอิเล็กตรอนจากซ้ายไปขวาและย้อนกลับมาด้านซ้ายใหม่ ความถี่และจำนวนเส้นในการสแกนในช่วงเวลา 1 วินาที จะประกอบไปด้วย

การเบี่ยงเบนความถี่ทางแนวนอน ต้องสร้างความถี่ 15,625 เฮิร์ต ต่อ 1 วินาที

การเบี่ยงเบนความถี่ทางแนวตั้ง ต้องสร้างความถี่ 50 เฮิร์ต ต่อ 1 วินาที

ภาพหน้าจอโทรทัศน์ 1 ภาพ จะแบ่งออกเป็น 2 ฟิลด์ (field)

ฟิลด์ที่ 1 เป็นการสแกนเส้นคี่ (odd line) 312.5 เส้น

ฟิลด์ที่ 2 เป็นการสแกนเส้นคู่ (even line) 312.5 เส้น

สองฟิลด์รวมกัน 312.5 +312.5 = 625 เส้น

สองฟิลด์ เท่ากับ 1 เฟรม หรือ 1 ภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเบี่ยงเบนทางแนวตั้งจะกระทำครั้งละ 25 เฮิร์ต สองครั้งในเวลา 1 วินาที สำหรับการสแกนเส้นคี่และเส้นคู่ (odd – even line)

ในเวลา 1 วินาที จะมีการสแกน 50 ฟิลด์

ในเวลา 1 วินาที จะเกิดภาพทั้งสิ้น 25 ภาพ

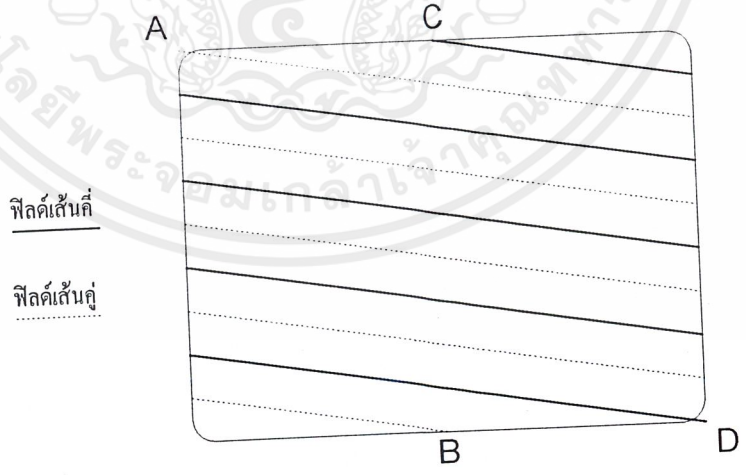
จำนวนเส้นการสแกนในเวลา 1 วินาที จะได้จากเส้นการสแกน 625 เส้น คูณกับจำนวนภาพใน 1 วินาที นั่นคือ 625 x 25 = 15,625 เส้น

ดังนั้นการสแกนทางแนวนอนต่อหนึ่งเส้นจะใช้เวลา

$$\frac{1}{15625} = 64\,\mu s$$

2.1.2.2 การสแกนหน้าจอโทรทัศน์

การสแกนของลำอิเล็กตรอนใน 1 ภาพจะมี 625 เส้น โดยทำการสแกน 2 ครั้งหรือสองฟิลด์ แต่ละครั้งเท่ากับ 312.5 เส้น การสแกนจะเริ่มจากด้านซ้ายมือบนสุดของจอภาพลงมาสู่ด้านล่างแล้วกลับขึ้นไปตั้งต้นใหม่ โดยการสแกนเส้นคู่และเส้นคี่มีจุดเริ่มต้นต่างกัน ทำให้เส้นการสแกนไม่ทับกัน การสแกนของเครื่องรับโทรทัศน์จึงเรียกว่าเป็นการสแกนแบบเส้นเว้นเส้น ดังรูปที่ 2.1 ความเร็วในการสแกนจะคงที่โดยการเบี่ยงเบนของสนามแม่เหล็กจากขดลวดเบี่ยงเบนแนวตั้งและแนวนอน การเบี่ยงเบนทางแนวตั้งช้ากว่าการเบี่ยงเบนทางแนวนอน การสะบัดกลับของสัญญาณกระทำอย่างรวดเร็วและไม่เห็นเส้นสะบัดกลับที่หน้าจอโทรทัศน์



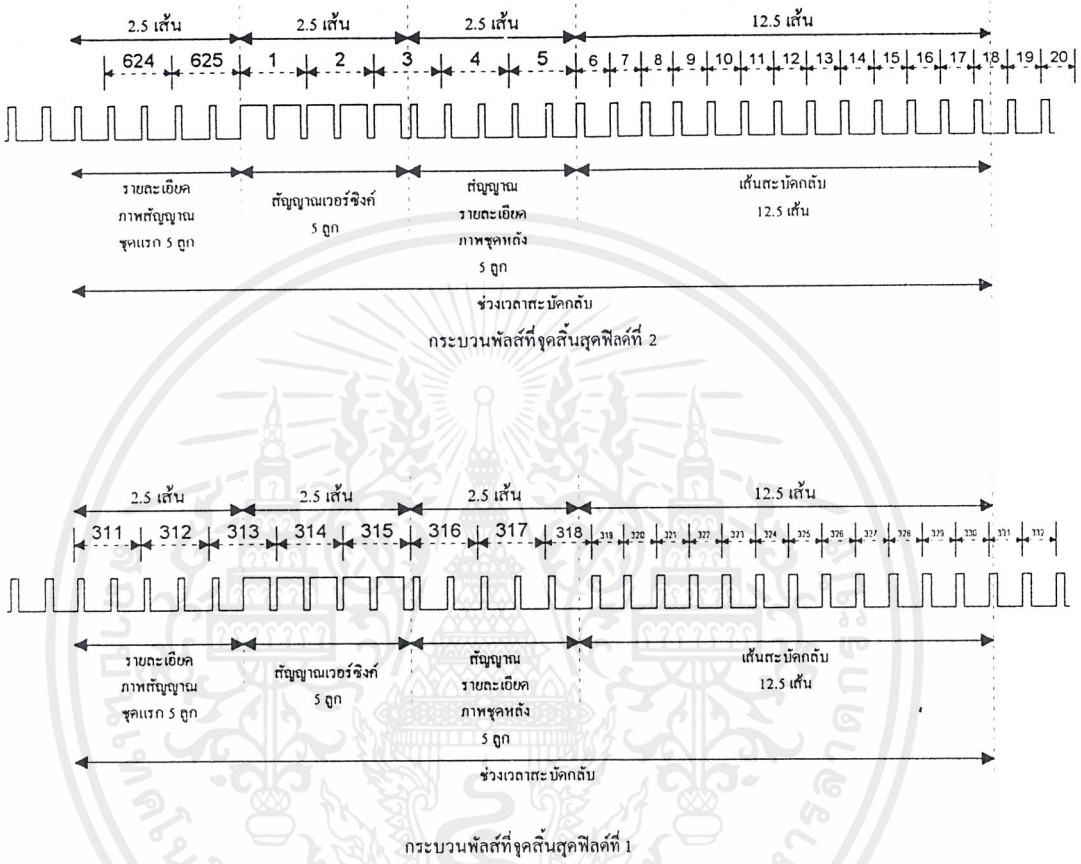
รูปที่ 2.1 การสแกนหน้าจอภาพโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.2 การสแกนเส้นคี่และเส้นคู่และการสะบัดกลับของสัญญาณทางแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสแกนของเส้นคู่และเส้นคี่จะต่อเนื่องกันเมื่อครบ 625 เส้นก็จะเกิดภาพขึ้น 1 ภาพ รายละเอียดของการสแกนแต่ละเส้นแสดงดังรูปที่ 2.3



รูปที่ 2.3 รายละเอียดของเส้นสแกน

2.1.3 การสร้างภาพของเครื่องรับโทรทัศน์

การเบี่ยงเบนของลำอิเล็กตรอนที่กราดกระทบหน้าจอโทรทัศน์ ทำให้เกิดเป็นแสงขึ้น เนื่องจากสัญญาณฟันเลื่อยของภาคเบี่ยงเบนทางแนวตั้งและทางแนวนอน ส่งให้ขดลวดเบี่ยงเบนทางแนวตั้งและแนวนอนที่พันอยู่รอบคอหลอดภาพและสร้างสนามแม่เหล็กขึ้น การเกิดแสงที่หน้าจอภาพโทรทัศน์เกิดจากการเรืองแสงของฟอสเฟอร์ เมื่อยังไม่มีสัญญาณภาพเข้าไปเกี่ยวข้องจะทำให้ไม่เกิดภาพที่หน้าจอจะมีเพียงจุดคำๆเล็กๆที่เกิดขึ้นเต็มหน้าจอในขณะที่ยังไม่มีสัญญาณที่เราเรียกว่า การเกิดราสเตอร์ การจะเกิดภาพขึ้นได้ก็ต่อเมื่อมีสัญญาณเข้าสู่เครื่องรับโทรทัศน์ แล้วทำให้ปริมาณความเข้มของลำอิเล็กตรอนที่ยิงไปกระทบฟอสเฟอร์ที่ฉาบไว้ในหลอดภาพไม่เท่ากันตามขนาดของสัญญาณภาพที่มาจากเครื่องส่งก็จะเกิดเป็นภาพขึ้นได้ สัญญาณโทรทัศน์ที่ส่งมาจากเครื่องส่งประกอบด้วย 5 สัญญาณ คือ

1. สัญญาณภาพ
2. สัญญาณเสียง
3. สัญญาณลบเส้นสะบัดกลับหรือสัญญาณแบล็งกิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. สัญญาณควบคุมตำแหน่งภาพหรือสัญญาณซิงก์

5. สัญญาณอีควอไลซิ่ง (Equalizing Pulse)

การรวมมากับสัญญาณภาพจึงเรียกสัญญาณนี้ว่า สัญญาณภาพรวม(Composite Video Signal) เหตุผลสำคัญที่ต้องมีสัญญาณต่างๆ รวมอยู่กับสัญญาณภาพคือ

1. เพื่อให้เส้นสแกนที่หน้าจอภาพเกิดเป็นภาพตรงกับเส้นสแกนภาพที่กล้องโทรทัศน์
2. การเบี่ยงเบนทางแนวตั้งและแนวนอนของเครื่องส่งและเครื่องรับตรงจังหวะกัน
3. ในจังหวะสะบัดกลับของเส้นสแกนจะไม่ปรากฏสัญญาณภาพ

สัญญาณลบเส้นสะบัดกลับ (Blanking Pulse)

สัญญาณลบเส้นสะบัดกลับเป็นสัญญาณที่ส่งให้กับภาคขยายสัญญาณภาพภาคสุดท้าย เพื่อหยุดการขยายสัญญาณภาพในขณะที่เส้นสแกนกำลังย้อนกลับมาตั้งต้นใหม่ การลบเส้นสะบัดกลับจะทำให้ไม่เห็นเส้นขณะย้อนกลับบนจอภาพ สัญญาณแบล็งกิ้งจะมีด้วยกันสองสัญญาณ คือ สัญญาณลบเส้นสะบัดกลับทางแนวนอนและแนวตั้ง ซึ่งทำหน้าที่ต่างกันในช่วงเวลาที่แตกต่างกัน คือ

1. สัญญาณลบเส้นสะบัดกลับแนวนอน (horizontal blanking pulse) ทำหน้าที่ลบเส้นสะบัดกลับทางแนวนอน ในช่วงสะบัดกลับของเส้นสแกนจากด้านขวาของจอภาพให้กลับมาเริ่มต้นกราดทางด้านซ้ายของจอภาพ สัญญาณลบเส้นสะบัดกลับทางแนวนอนจะมีความถี่เท่ากับเส้นสแกนทางแนวนอนคือ 15,625 Hz

2. สัญญาณลบเส้นสะบัดกลับทางแนวตั้ง (vertical blanking pulse) ทำหน้าที่ลบเส้นสะบัดกลับทางแนวตั้ง ในช่วงเวลาสะบัดกลับของเส้นสแกนจากด้านล่างของจอภาพขึ้นมาเริ่มต้นที่ด้านบนของจอภาพ ช่วงเวลาสะบัดกลับจะไม่เห็นการสแกน โดยการลบเส้นสะบัดกลับจะใช้ความถี่ 50 Hz หรือ 50 ครั้งใน 1 วินาที โดยสะบัดกลับในขณะที่สิ้นสุดการสแกนเส้นคี่ 25 ครั้ง และสิ้นสุดการสแกนเส้นคู่ 25 ครั้ง

สัญญาณซิงก์

สัญญาณซิงก์เป็นสัญญาณที่ทำหน้าที่ควบคุมการสแกนของเครื่องส่งและเครื่องรับให้ทำงานตรงกันในจังหวะการสแกนพร้อมๆกัน สัญญาณซิงก์จึงเป็นสัญญาณหนึ่งที่ส่งมาจากเครื่องส่งเพื่อให้เครื่องรับนำมาใช้ในการสร้างสัญญาณการเบี่ยงเบนทางแนวตั้งและแนวนอนของภาคสร้างสัญญาณความถี่เบี่ยง-เบน สัญญาณซิงก์ประกอบด้วย 2 สัญญาณ คือ

1. สัญญาณซิงก์ทางแนวตั้ง หรือเวอร์ซิงก์ (vertical sync) เป็นสัญญาณควบคุมการสร้างความถี่เบี่ยงเบนแนวตั้งโดยจะมีอยู่ที่การสแกนของฟิลด์เส้นคี่และฟิลด์เส้นคู่ เพื่อให้เป็นจังหวะในการเริ่มการเบี่ยงเบนของลำอิเล็กตรอนทางแนวตั้ง ซึ่งจะใช้สัญญาณเวอร์ซิงก์ 5 ลูกอยู่ระหว่างสัญญาณอีควอไลซิ่ง

2. สัญญาณซิงก์ทางแนวนอน หรือฮอร์ซิงก์ (horizontal sync) เป็นสัญญาณควบคุมการสร้างความถี่เบี่ยงเบนทางแนวนอน โดยสัญญาณฮอร์ซิงก์จะอยู่ด้านบนของสัญญาณแบล็งกิ้ง เพื่อเป็นจังหวะในการเริ่มต้นการเบี่ยงเบนทางแนวนอน สัญญาณฮอร์ซิงก์จะเริ่มจากประมาณ 75 เปอร์เซนต์ของสัญญาณรวมภาพมีความกว้างของสัญญาณ 4.7 μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

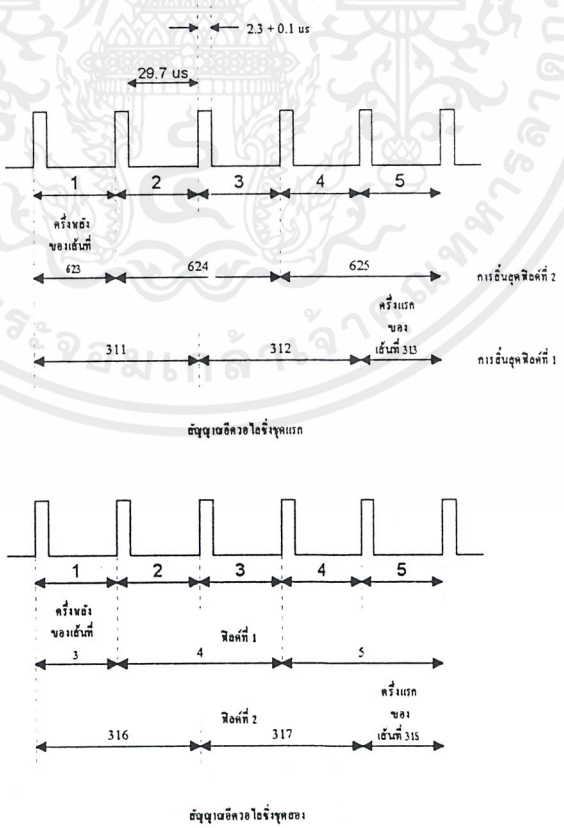
สัญญาณอีควอไลซิ่ง

สัญญาณอีควอไลซิ่งหรือสัญญาณรายละเอียดของภาพ (equalizing signal) เป็นสัญญาณที่ทำหน้าที่ดูแลการสะบัดกลับทางแนวตั้งเมื่อมีการสแกนขอบเส้นทางแนวนอนสิ้นสุดในฟิลด์เส้นคี่และฟิลด์เส้นคู่ ต้องถูกสัญญาณลบเส้นสะบัดกลับทางแนวตั้งเบี่ยงเบนให้กลับไปตั้งต้นที่ขอบบนของจอภาพอีกครั้ง การสิ้นสุดการสแกนในฟิลด์แรก (เส้นคี่) จะสิ้นสุดที่เส้น 312.5 ดังนั้นจะมีครึ่งหนึ่งของเส้นสแกนไม่ครบเส้นแล้วต้องกลับไปเริ่มต้นใหม่ ทำให้รายละเอียดของภาพขาดหาย ในขณะที่การสิ้นสุดการสแกนของฟิลด์ที่สอง (เส้นคู่) จะสิ้นสุดครบเส้นสแกนที่ 625 พอดี

สัญญาณอีควอไลซิ่งจะทำให้รายละเอียดของภาพสมบูรณ์ โดยทำให้จังหวะการเบี่ยงเบนของซิงก์ทางแนวตั้งทั้งฟิลด์เส้นคี่และฟิลด์เส้นคู่เป็นไปอย่างตรงกัน ซึ่งจะมีสัญญาณสองชุด ชุดละ 5 ลูก แต่ละลูกมีคาบเวลา 32 μs ความกว้างพัลส์ 2.3 μs และช่องว่างระหว่างพัลส์ 29.7 μs แบ่งออกเป็นสองชุดคือ

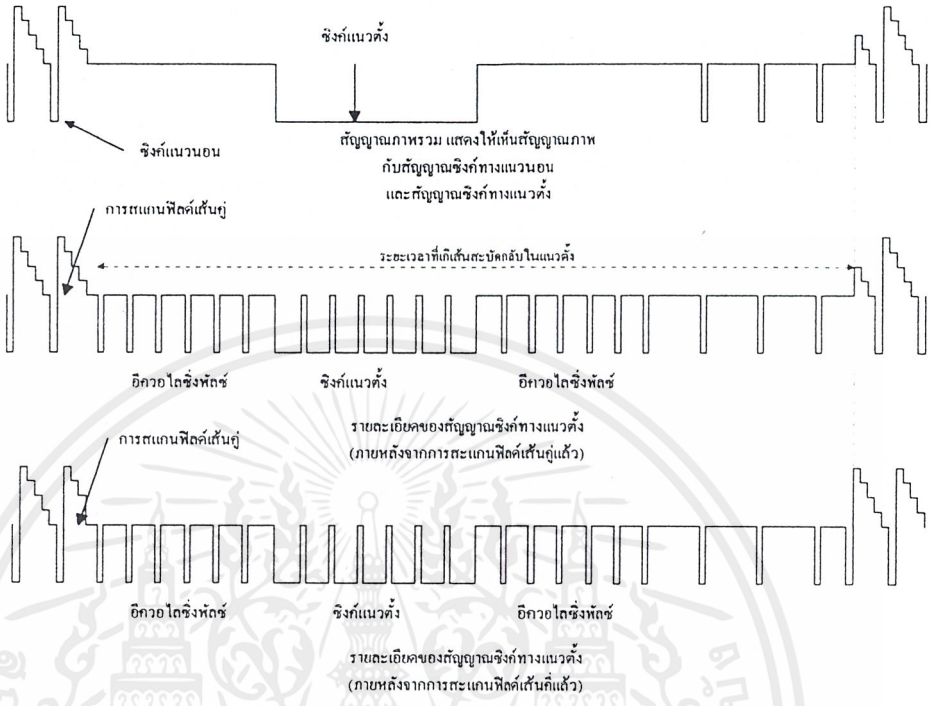
1. สัญญาณอีควอไลซิ่งชุดแรก (pre-equalizing pulse) เป็นสัญญาณที่อยู่ด้านหน้าของเวอร์ซิงก์ เริ่มที่เส้น 310 ถึง 312.5 ในฟิลด์เส้นคี่ และเริ่มที่เส้น 622.5 ถึง 625 ในฟิลด์เส้นคู่

2. สัญญาณอีควอไลซิ่งชุดสอง (post-equalizing pulse) เป็นสัญญาณที่อยู่ด้านหลังของเวอร์ซิงก์ เริ่มที่เส้น 315.5 ถึง 318 ในฟิลด์เส้นคู่ และเริ่มที่เส้น 2.5 ถึง 5 ในฟิลด์เส้นคู่



รูปที่ 2.4 สัญญาณอีควอไลซิ่งทั้งสองชุด

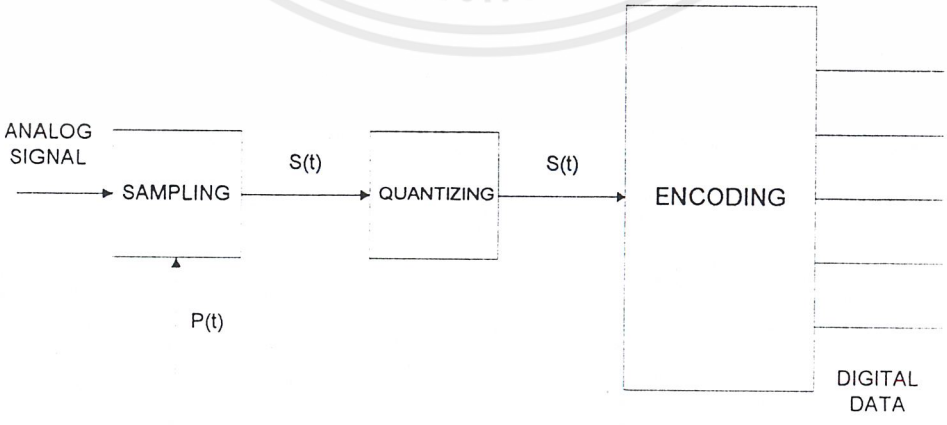
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 สัญญาณภาพรวม แสดงให้เห็นรายละเอียดของสัญญาณแต่ละชนิด

2.2 การแปลงสัญญาณอนาลอกเป็นดิจิตอล

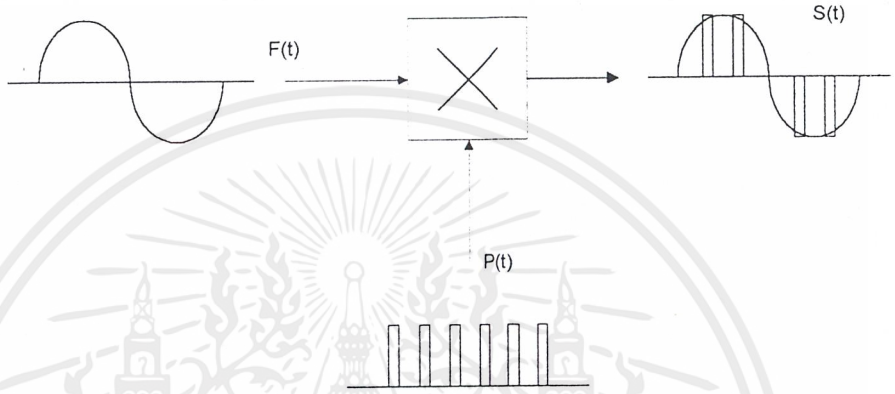
เนื่องจากในการที่จะนำสัญญาณภาพเล็กมาเก็บในหน่วยความจำนั้น การกระทำทาง อนาลอกทำได้ยากมาก จึงจำเป็นต้องแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter : A/D)ก่อน ซึ่งวิธีการแปลงสัญญาณจะมีหลักการทั่วไปดังรูปที่ 2.6



รูปที่ 2.6 แสดงบล็อกไดอะแกรมของการเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งส่วนประกอบสำคัญที่สุดคือ การแซมปลิ้ง (Sampling) เพราะความผิดพลาดของสัญญาณดิจิตอล ที่แปลงมาจากสัญญาณอนาลอกนั้น จะมากหรือน้อยขึ้นอยู่กับความสัมพันธ์ของความถี่แซมปลิ้งกับความถี่สูงสุดของสัญญาณอนาลอก โดยมีทฤษฎีที่เกี่ยวข้องคือ ทฤษฎีการแซมปลิ้ง (Sampling Theory) ซึ่งความสัมพันธ์ตามทฤษฎีการแซมปลิ้ง จะสังเกตได้ง่ายจากรูปคลื่น



รูปที่ 2.7 แสดงการแซมปลิ้ง

จากรูปที่ 2.7 จะได้ $S(t) = P(t) \times f(t)$

เมื่อเราสังเกต P(t) ซึ่งเป็นพัลส์ (Pulse) สี่เหลี่ยม ถ้านำมาเขียนเป็นสมการฟูเรียร์ (Fourier) ได้ดังนี้

$$P(t) = DC + a_0 \cos\omega_0 t + a_1 \cos 3\omega_0 t + a_2 \cos 5\omega_0 t + \ldots\ldots\infty$$

คือ P(t) ประกอบด้วยความถี่พื้นฐานรวมกับฮาร์โมนิค(Harmonics) ที่เป็นเลขคี่ไปจนถึง ∞ และถ้าเราคูณ P(t) ด้วย f(t) จะได้ S(t)

$$S(t) = f(t)DC + (a_0 \cos\omega_0 t)(f(t)) + (a_1 \cos 3\omega_0 t)(f(t)) + \ldots\ldots (f(t))\infty$$

เมื่อพิจารณาดูเทอมที่ 2 พบว่า มีรูปแบบเหมือน แอมปลิจูดมอดูเลชั่น (A.M.)

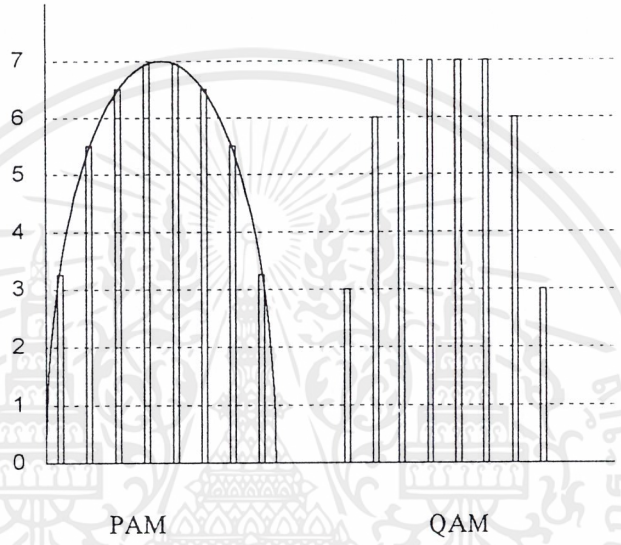
โดย $f(t) = B\cos\omega_m t$

$$f(t)(a_0 \cos\omega_0 t) = (Ba_0/2)\cos(\omega_0 - \omega_m)t + (Ba_0/2)\cos(\omega_0 + \omega_m)t$$

ซึ่งความถี่ ω_0 จะใช้สำหรับการแซมปลิ้ง และในการดีเทค (Detect) สัญญาณคืนมาจะใช้วงจรกรองความถี่ต่ำ(Low Pass Filter) กรองเอาเฉพาะ f(t)DC ออกมาเท่านั้น ซึ่งถ้าหาก ω_0 มีค่าน้อยกว่า 2 เท่าของ ω_m แล้ว จะทำให้มีความถี่ซึ่งเป็นผลต่างของ $\omega_0 - \omega_m$ เข้ามาแทรกใน f(t)DC ด้วย ซึ่งจะมีผลให้สัญญาณที่ดีเทคกลับคืนมามีความผิดพลาด ดังนั้นจึงต้องเลือก ω_0 หรือความถี่แซมปลิ้ง ให้มีค่ามากกว่า 2 เท่าของความถี่สูงสุดของสัญญาณก่อนที่จะมีการแซมปลิ้ง หรือ ω_m ซึ่งสัญญาณที่ได้ออกมาจากภาคแซมปลิ้งนี้เรียกว่า พัลส์แอมพลิจูดมอดูเลชั่น หรือ พีเอเอ็ม (Pulse Amplitude Modulation : PAM)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนภาคควอนไตซิ่ง(Quantizing) นั้นเป็นการจัดระดับของสัญญาณพีเอเอ็ม ในขั้นตอนนี้จะมีความผิดพลาดจากการจัดระดับอยู่ เรียกว่า ควอนไตซิ่งเออเรอร์(Quantizing Error) ซึ่งจะมีค่ามากหรือน้อยก็ขึ้นอยู่กับว่า เราแบ่งระดับของสัญญาณได้ละเอียดเพียงใด ในโครงงานนี้ใช้การแบ่งระดับ 256 ระดับ ซึ่งเพียงพอสำหรับสัญญาณเสียงและสัญญาณภาพแล้ว

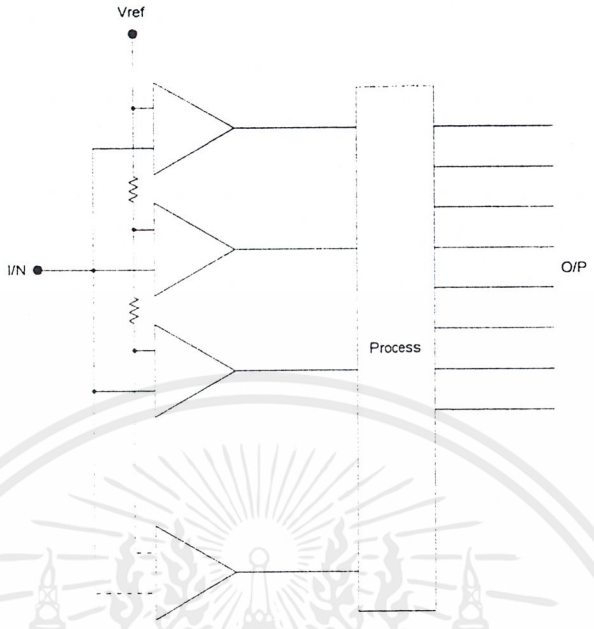


รูปที่ 2.8 ลักษณะสัญญาณของภาคควอนไตซิ่ง

จากรูปที่ 2.8 คือลักษณะสัญญาณของภาคควอนไตซิ่ง และข้อผิดพลาดของสัญญาณเมื่อได้รับสัญญาณควอนไตซิ่งแล้วก็จะนำไปเข้าวงจรเข้ารหัสให้เป็นสัญญาณดิจิตอล ซึ่งมี 2 ระดับคือ 0 กับ 1 เท่านั้น จากการแบ่งเป็น 256 ระดับ เมื่อคิดเป็นฐาน 2 แล้วจะได้ข้อมูล 8 บิท โดยกำหนดให้ระดับต่ำสุดของสัญญาณควอนไตซิ่ง (Quantizing Signal) เท่ากับ 1111 1111 ดังนั้นข้อมูลที่ออกมาจะเป็นสัญญาณดิจิตอลที่มีค่าตามระดับที่ตั้งไว้

แฟลช เอทูดี (Flash A/D) คือ วงจรเอทูดี (Analog to Digital) ที่มีความรวดเร็วสูงในการเปลี่ยนสัญญาณ เนื่องจากวงจร แฟลช เอทูดี นั้นจะใช้การโปรแกรมเอาท์พุทไว้ก่อน แล้วส่วนวงจรเปรียบเทียบจะใช้ออบแอมป์ ที่มีจำนวนเท่ากับจำนวนของสัญญาณเอาท์พุทที่จะเกิดขึ้น เช่น ถ้าสัญญาณเอาท์พุทเป็นสัญญาณดิจิตอล 8 บิต จะใช้ออบแอมป์ เท่ากับ $2^8 = 256$ ตัว ซึ่งแต่ละตัวก็จะมีแรงดันอ้างอิง ที่เป็นค่าคงที่อยู่ค่าหนึ่ง ตามระดับของสัญญาณ ดังรูปที่ 2.9

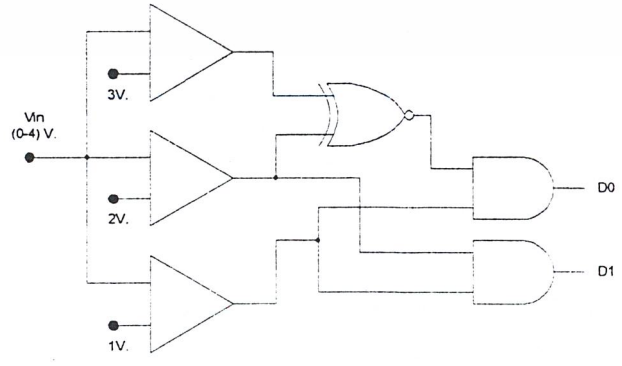
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 วงจรแฟลชเอทูดี

เมื่อมีสัญญาณอินพุทเข้ามา จะถูกส่งไปให้กับออบแอมป์ทุกตัว เพื่อเปรียบเทียบกับแรงดันอ้างอิงของแต่ละตัว ถ้าสัญญาณอินพุทไปตรงกับออบแอมป์ตัวใด ก็จะให้สัญญาณเอาท์พุทออกมาส่งไปให้กับวงจรประมวลผล เพื่อจัดหาค่าสัญญาณดิจิตอลของสัญญาณเอาท์พุทให้ได้ตามค่าของสัญญาณอินพุทที่ส่งเข้ามา ซึ่งการเปลี่ยนสัญญาณในรูปแบบนี้ไม่ต้องใช้วงจรนับ แล้วป้อนกลับมาเพื่อเปรียบเทียบทีละค่าจึงทำให้ความเร็วในการเปลี่ยนสัญญาณสูงมากกว่าแบบแรกมาก จึงเหมาะที่จะนำมาใช้กับสัญญาณภาพที่มีความถี่สูง ในโครงงานนี้จึงใช้ เอทูดี แบบแฟลช

แฟลช เอทูดี สามารถเรียกได้อีกอย่างว่าเป็น open loop converter เนื่องจากไม่มีสัญญาณป้อนกลับ(feedback) กลับไปยังอินพุท ตัวอย่างของหลักการ แฟลช เอทูดี แสดงดังรูป 2.10



รูปที่ 2.10 หลักการของแฟลชเอทูดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปใช้ ลอจิกเกท เป็นวงจรเปลี่ยนระดับของสัญญาณ อินพุท ให้เป็นสัญญาณดิจิตอล โดยเริ่มจากเมื่อมีอินพุท 0 โวลต์ เข้ามา จะทำให้ เอาท์พุท ทุกตัวของคอมพาราเตอร์(comparator) เป็น 0 หมด และเมื่อผ่าน เอ็กคลูซีฟนอร์เกท (ex-nor) จะทำให้ เอาท์พุท เป็น "1" ไปเข้าแอนด์เกทตัวที่ 1 ได้ "0" ทำให้ D_0 = "0" แอนด์เกทตัวที่ 2 จะเป็นมีอินพุทเป็น 00 ดังนั้น D_1 = "0" เพราะฉะนั้นที่ระดับ 0 โวลต์ เอาท์พุทของ เอทูดี = 0,0 เมื่อ V_{in} = 1 โวลต์ จะทำให้เอาท์พุทของคอมพาราเตอร์ตัวที่ 1 เป็น "1" นำไป แอนด์กับ เอาท์พุทของเอ็กคลูซีฟนอร์เกท ซึ่งเป็น "1" ทำให้ได้ D_0 = "1" ส่วน D_1 ได้จากการแอนด์กันของเอาท์พุทคอมพาราเตอร์ตัวที่ 1 ("1") กับตัวที่ 2 ("0") ดังนั้น เอาท์พุท D_1 = "0" เพราะฉะนั้น ที่ระดับ V_{in} = 2 โวลต์ จะทำให้ เอาท์พุทของคอมพาราเตอร์ตัวที่ 1 กับ 2 เป็น "1" ทำให้ เอาท์พุท D_1 = "1" ส่วน D_0 = "0" เพราะฉะนั้นเอาท์พุทของเอทูดี = 1,0 และเมื่อ V_{in} = 3 โวลต์ จะทำให้เอาท์พุทของคอมพาราเตอร์ทุกตัวเป็น "1" ดังนั้นเมื่อผ่านลอจิกเกทจะได้เอาท์พุท เป็น 1,1 ซึ่งข้อดีของวงจร แฟลชเอทูดี คือ มีความสามารถในการเปลี่ยนสัญญาณได้เร็วมาก แต่ข้อเสียคือ จะต้องใช้จำนวนคอมพาราเตอร์ มากเป็น 2 เท่า เมื่อต้องการเพิ่มบิต 1 บิต หรือถ้าเป็นสมการจะได้จำนวนออบแอมป์เท่ากับ $2^n - 1$ ตัว โดย n คือจำนวนบิต

2 บิต = 3 ตัว
3 บิต = 7 ตัว
4 บิต = 15 ตัว
5 บิต = 31 ตัว
6 บิต = 63 ตัว
7 บิต = 127 ตัว
8 บิต = 255 ตัว

ดังนั้น เมื่อเราใช้สัญญาณดิจิตอล 8 บิต ต้องใช้ คอมพาราเตอร์ ถึง 256 ตัว ซึ่งจะทำให้อุปกรณ์มีราคาสูงมาก สำหรับโครงงานนี้จะใช้ ไอซี เบอร์ CA3318CE ของบริษัท HARRIS ในการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลซึ่งมีคุณสมบัติเด่นคือมีอัตราการแซมปลิ้ง(Sampling Rate) สูงถึง 15 เมกกะเฮิร์ต ทำให้สามารถใช้กับสัญญาณภาพได้โดยตรง(รายละเอียดของไอซีเบอร์นี้อยู่ในภาคผนวก)

2.3 การแปลงสัญญาณดิจิตอลเป็นอนาลอก

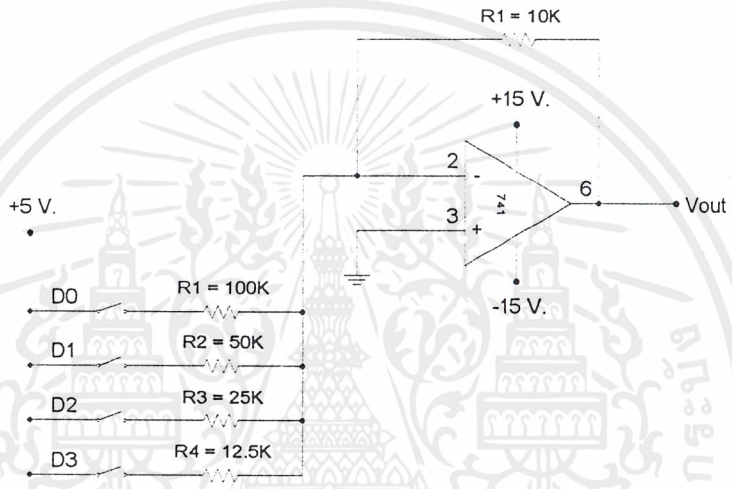
การแปลงสัญญาณดิจิตอลเป็นอนาลอกหรือดีทูเอ (Digital to Analog Converter : D/A) เป็นการนำเอาสัญญาณดิจิตอลที่มีอยู่ 2 ระดับ คือ "0" กับ "1" นำมาผ่านวงจรดีทูเอ และออกมาเป็นสัญญาณอนาลอก ซึ่งวงจรดีทูเอที่เป็นพื้นฐาน และที่นิยมใช้กันอยู่ทั่วไปนั้นมีอยู่ด้วยกัน 3 แบบคือ

1. แบบใช้ตัวต้านทานหลายค่า (Binary Weighted resister D/A Converter)

วงจรเปลี่ยนสัญญาณดีทูเอชนิดนี้ ใช้ตัวต้านทานต่างๆ และออบแอมป์เพื่อเปลี่ยนระดับสัญญาณลอจิก 2 ระดับ เป็นแรงดันที่ได้สัดส่วนกัน รูปที่ 2.11 แสดงวงจรเปลี่ยนสัญญาณดิจิตอลขนาด 4 บิท ออบแอมป์ที่ใช้มีอัตราการขยายสูงมาก (โดยทั่วไปจะสูงกว่า 100,000 เท่า) มีความต้านทานทางด้านเอาท์พุทต่ำ ความต้านทานทางด้านอินพุทมีค่าสูงมาก เมื่อเปลี่ยนการปิดเปิดสวิตซ์ไปเรื่อยๆ ก็จะเหมือน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับการที่ป้อนลอจิกเข้าไป ซึ่งจะทำให้ได้แรงดันเอาท์พุทค่าต่างๆกัน ในการคำนวณหาค่าแรงดันที่ออกทางเอาท์พุทนั้นสามารถคำนวณแบบออบแอมป์ได้ แรงดันทางด้านเอาท์พุทจะเพิ่มขึ้นเป็นระดับๆ เหมือนขั้นบันได ดังนั้นอินพุท 4 บิท จึงทำให้ได้ระดับแรงดันทางด้านเอาท์พุท 16 ระดับ (2^4) แต่ละระดับต่างกัน –0.5 โวลต์ อาจจะกำหนดระยะห่างของแต่ละระดับได้โดยการเปลี่ยนขนาดของ R_f แต่ถ้า R_f มีค่ามากเกินไประดับบนสุดจะขับออบแอมป์ถึงจุดอิ่มตัว(ที่แรงดัน –14 โวลต์)

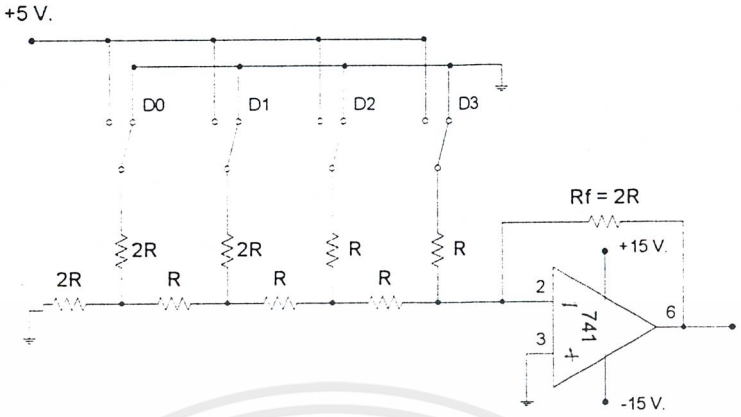


รูปที่ 2.11 แสดงตัวอย่างวงจรการเปลี่ยนสัญญาณขนาด 4 บิท

2. แบบใช้ตัวต้านทาน 2 ค่า (R/2R Ladder D/A Converter)

เมื่อวงจรดีทูเอ มีขนาดมากกว่า 4 บิท วงจรตามรูปที่ 2.11 จะเกิดปัญหาเนื่องจากต้องการค่าความต้านทานที่มีช่วงกว้างมาก วิธีนี้จะใช้หลักการแบบไบนารี่เวตเหมือนกัน แต่ใช้ค่าความต้านทานเพียงแค่ 2 ค่า ดังแสดงในรูปที่ 2.12 ซึ่งกระแสจะถูกเปลี่ยนเป็นค่าแรงดันโดยออบแอมป์และตัวต้านทานป้อนกลับ R_f เหมือนวงจรในรูปที่ 2.11 วิธีนี้เรียกว่าการใช้ความต้านทาน 2 ค่า ซึ่งค่าความต้านทานที่ใช้เป็นอัตราส่วนที่คำนวณได้ง่ายซึ่งการคำนวณนั้นเหมือนกับการคำนวณออบแอมป์ธรรมดาแม้ว่าดีทูเอคอนเวอร์เตอร์แบบ R/2R แลดเดอร์จะวิเคราะห์ยากกว่าแบบตัวต้านทานหลายค่า แต่จะง่ายกว่าสำหรับการต่อวงจรให้ถูกต้อง เพราะใช้ค่าความต้านทานเพียง 2 ค่า เท่านั้น การเพิ่มจำนวนบิทก็จะทำได้โดยการเพิ่มส่วนของ R/2R ลงไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 แสดงตัวอย่างวงจรดีทูเอ แบบ R/2R

3. แบบใช้ไอซี (Monotithic and hybrid D/A Converters)

โมโนลิทิค(Monolithic) เมื่อนำมาใช้ในวงจรรวมจะเป็นการชี้บอกว่า วงจรถูกบรรจุอยู่บนสารกึ่งตัวนำเพียงชิ้นเดียว ส่วนไฮบริด(hybrid) บรรจุสารกึ่งตัวนำที่เรียกว่า ชิพ (chip) เพียงชิ้นเดียวหรือมากกว่ามีตัวต้านทานหรือตัวประกอบวงจรอื่นๆ อยู่ในกรอบของไอซีตัวเดียว

สำหรับโครงงานนี้จะใช้ วงจรแปลงดิจิตอลเป็นอนาลอก แบบใช้ไอซี ซึ่งวงจรภายในไอซีนั้นจะเป็นแบบ R/2R แลดเดอร์

คุณลักษณะของดีทูเอ

คุณลักษณะของการแปลงสัญญาณดิจิตอลเป็นอนาลอกกำหนดได้เป็นข้อๆ ดังนี้ คือ

1. ความละเอียด (resolution) ขึ้นอยู่กับจำนวนบิททางด้านอินพุท ตัวอย่างเช่น วงจรเปลี่ยนสัญญาณ 8 บิท มีระดับเอาท์พุท 2^8 หรือ 256 ระดับ ดังนั้นความละเอียดคือ 1/256 คิดเป็นเปอร์เซนต์คือ 0.39%

2. ความถูกต้อง (accuracy) คือความถูกต้องจากการเปรียบเทียบระหว่างเอาท์พุทจริงและเอาท์พุทที่ปรากฏ โดยคิดที่เต็มสเกล ถ้าวงจรเปลี่ยนสัญญาณมีเอาท์พุทเต็มสเกล 10 โวลต์ มีความถูกต้อง $\pm$ 0.2% ดังนั้นความผิดพลาดสูงสุดคือ 0.002 x 10 โวลต์ หรือ 20 มิลลิโวลต์ ในทางทฤษฎีแล้ว ความถูกต้องของวงจรเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอกไม่ควรต่ำกว่า $\pm$ ½ ของค่าบิทที่มีนัยสำคัญต่ำสุด (LSB)

3. โมโนโทนิค (monotonicity) จะเรียกว่าเป็นโมโนโทนิคก็ต่อเมื่อไม่มีการกระโดดข้ามขั้นตอนย่านการใช้งาน

4. เวลาเซ็ตเอาท์พุท (output setting time) เป็นเวลาที่เอาท์พุทของวงจรเปลี่ยนสัญญาณ ใช้ในการเพิ่มขึ้นถึง $\pm$ ½ ของบิทที่มีนัยสำคัญต่ำสุด หลังจากมีการเปลี่ยนแปลงทางอินพุท ถ้าวงจรเปลี่ยนสัญญาณถูกใช้งานย่านความถี่สูง อาจทำให้มีการเพิ่มแรงดันไม่ถึงค่าที่ถูกต้อง ทำให้เกิดความผิดพลาดขึ้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

3.1 การทำงานของวงจรโดยรวม

ปริญญานิพนธ์เครื่องสร้างสัญญาณภาพซ้อนภาพ (Picture In Picture) นี้ ประกอบด้วยส่วนสำคัญ 2 ส่วน คือส่วนวงจรของภาพหลัก (Main video) และส่วนวงจรของภาพเล็ก (Sub video)

ในส่วนของภาพหลัก จะนำสัญญาณภาพมาทำการแยกสัญญาณซิงก์ เพื่อให้ได้สัญญาณซิงก์ทางแนวตั้งของภาพหลัก(Main Vertical sync) และสัญญาณซิงก์ทางแนวนอนของภาพหลัก(Main Horizontal sync) จากนั้นจะนำสัญญาณซิงก์ทั้งสอง ไปควบคุมส่วนของการตัดต่อภาพเล็ก (Mixed Picture Control:MPC) เพื่อกำหนดตำแหน่งและขนาดของภาพเล็ก โดยนำสัญญาณควบคุมการตัดต่อภาพเล็กนี้ไปควบคุมอนาลอกสวิตช์ โดยต้องใช้สัญญาณควบคุมการตัดต่อภาพเล็กที่ผ่านอินเวอร์เตอร์(Invertor) จากนั้นนำไปเข้าอนาลอกสวิตช์ ถ้าเป็นสัญญาณควบคุมการตัดต่อภาพเล็ก (MPC) อนาลอกสวิตช์จะให้สัญญาณภาพเล็กผ่าน แต่ถ้าเป็นสัญญาณควบคุมการตัดต่อภาพเล็กที่ผ่านอินเวอร์เตอร์ ($\overline{MPC}$) อนาลอกสวิตช์จะให้สัญญาณภาพหลักผ่าน

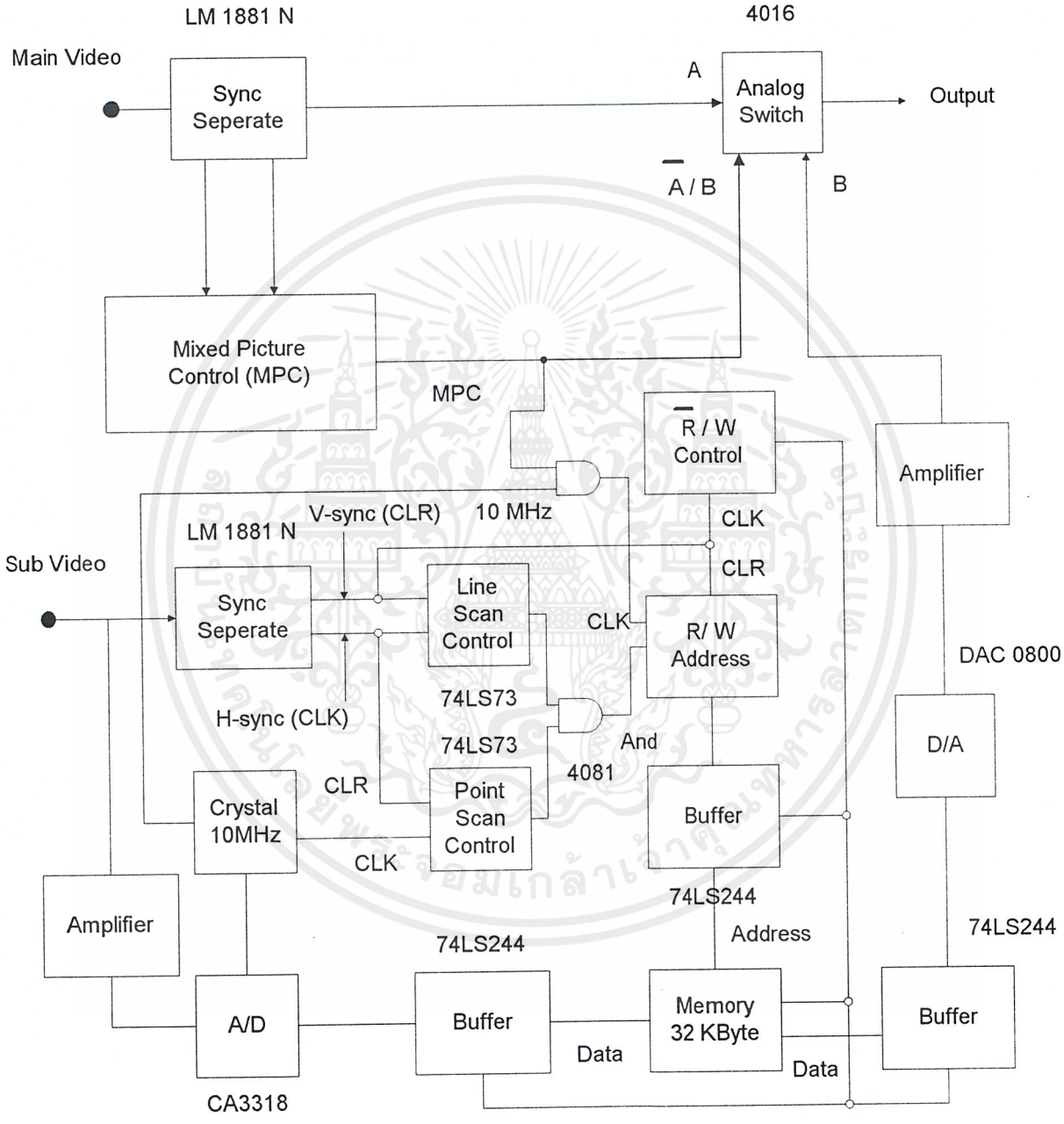
ในส่วนวงจรของภาพเล็ก จะนำสัญญาณภาพเล็กมาทำการแยกซิงก์ให้ได้เป็นสัญญาณซิงก์ทางแนวตั้งของภาพเล็กและสัญญาณซิงก์ทางแนวนอนของภาพเล็ก เพื่อนำไปใช้ในวงจรควบคุมการเก็บเส้นสแกน (Line Scan Control) และวงจรควบคุมการเก็บจุดสแกน (Point Scan Control)

วงจรควบคุมการเก็บเส้นสแกน เป็นวงจรหาร 3 จะทำการเก็บเส้นสแกน 1 เส้น เว้น 2 เส้น เพื่อให้ภาพแนวตั้งมีขนาดลดลง 3 เท่า

วงจรควบคุมการเก็บจุดสแกน เป็นวงจรหาร 3 เช่นเดียวกัน ทำหน้าที่เก็บจุดภายใน 1 เส้นสแกน โดยจะเก็บ 1 จุดเว้น 2 จุด จะทำให้ภาพในแนวนอนมีขนาดลดลง 3 เท่า วงจรการหน่วงเส้น เป็นวงจรที่หน่วงเส้นเริ่มต้นสแกนไปจำนวน 18 เส้นสแกน และวงจรการหน่วงจุด เป็นวงจรที่หน่วงจุดเริ่มต้นในแต่ละเส้นสแกนไปจำนวน 64 จุด จากนั้นจะนำสัญญาณเอาท์พุทที่ได้จากทั้งสามวงจรมาผ่านตัวแอนด์เกท ผลลัพธ์ที่ได้จะใช้เป็นสัญญาณนาฬิกาของวงจรอ้างอิงแอดเดรสในการเขียนข้อมูล สำหรับวงจรอ้างอิงแอดเดรสในการอ่านข้อมูลจะใช้ผลลัพธ์จากแอนด์เกทของสัญญาณนาฬิกา 10 เมกกะเฮิร์ต กับสัญญาณควบคุมตำแหน่งของภาพเล็กเป็นสัญญาณนาฬิกา โดยใช้เป็นวงจรเคาน์เตอร์(Counter) 15 บิท 2 ชุด

ในการเก็บสัญญาณภาพ เราจำเป็นต้องแปลงสัญญาณภาพให้เป็นสัญญาณดิจิตอลก่อนจากนั้นส่งผ่าน บัฟเฟอร์(Buffer) และนำไปเก็บในหน่วยความจำโดยที่ทั้ง บัฟเฟอร์ และ หน่วยความจำจะถูกกำหนดจังหวะการส่งผ่านข้อมูล และจังหวะการอ่านและเขียนหน่วยความจำ โดยวงจรควบคุมการอ่านและเขียนหน่วยความจำ(R/W Control) จากนั้นสัญญาณที่ถูกอ่านจากหน่วยความจำจะถูกแปลงกลับเป็นอนาลอกและทำการขยายสัญญาณ เพื่อส่งผ่านอนาลอกสวิตช์ไปทำการแสดงผลในจอเล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



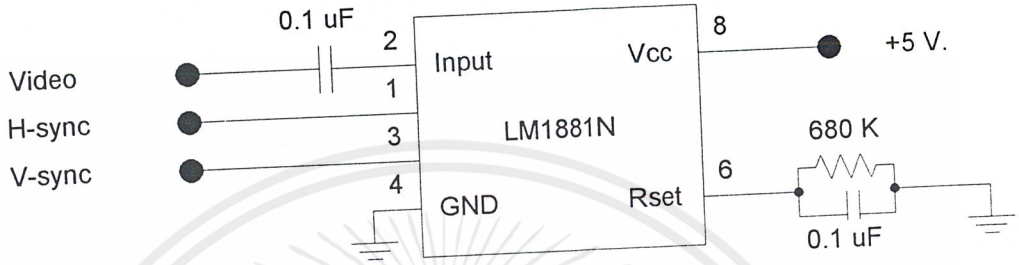
รูปที่ 3.1 บล็อกไดอะแกรมวงจรภาพซ้อนภาพ(Picture In Picture)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

3.2 วงจรแยกสัญญาณซิงก์

วงจรแยกสัญญาณซิงก์ใช้ในการแยกสัญญาณซิงก์ออกจากสัญญาณภาพโดยใช้ LM1881 จะได้สัญญาณซิงก์ 2 แบบ คือสัญญาณซิงก์ทางแนวตั้ง (ความถี่ 50 Hz) และสัญญาณซิงก์ทางแนวนอน (ความถี่ 15 kHz) โดยจะนำสัญญาณซิงก์ที่ได้ไปใช้ควบคุมสัญญาณการตัดต่อภาพเล็ก(MPC) ดังรูป



รูปที่ 3.2 วงจรแยกสัญญาณซิงก์

3.3 วงจรควบคุมการผสมภาพ (Mixed Picture Control)

วงจรควบคุมการผสมภาพมีหน้าที่กำหนดขนาดและตำแหน่งของภาพเล็ก โดยการใช้สัญญาณซิงก์ทางแนวนอน และสัญญาณซิงก์ทางแนวตั้งทำงานร่วมกับ เคาน์เตอร์(Counter), คอมพาเรเตอร์ (Comparator) และ ดิฟสวิตซ์(DIP Switch) โดยมี บล็อคไดอะแกรม ดังรูปที่ 3.3

หลักการทำงานคือ จะนำสัญญาณซิงก์ทางแนวนอนของภาพหลัก ซึ่งมี 312.5 ลูกใน 1 ฟิลด์จึงต้องทำการนับด้วย เคาน์เตอร์ 9 บิท และกำหนดเส้นเริ่มต้นและเส้นสุดท้ายด้วย คอมพาเรเตอร์ 8 บิท ซึ่งต่อกับดิฟสวิตซ์ 2 ชุดดังรูปที่ 3.3 แต่เนื่องจากคอมพาเรเตอร์ มี 8 บิท เราจึงจำเป็นต้องตัดบิทที่มีความสำคัญน้อยที่สุด(LSB) จากเคาน์เตอร์ ทิ้ง 1 บิท

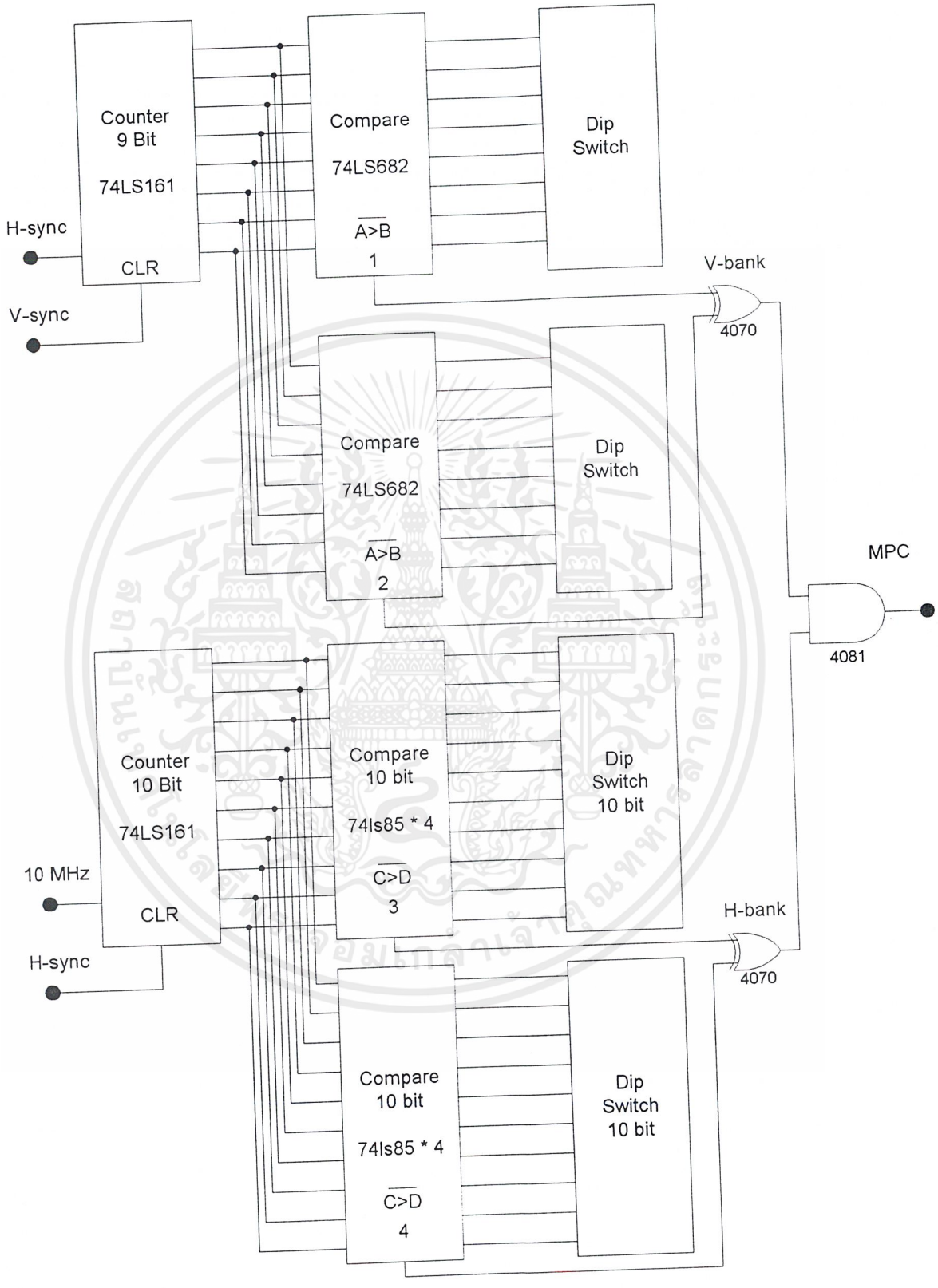
เมื่อเคาน์เตอร์นับถึงเส้นเริ่มต้นที่ปรับไว้ที่ ดิฟสวิตซ์1 จะมีสัญญาณ " 0 " ออกมาจาก $\overline{A>B}(1)$ และเมื่อ Counter นับถึงเส้นสุดท้ายที่ปรับไว้ที่ ดิฟสวิตซ์2 จะมีสัญญาณ " 0 " ออกมาจาก $\overline{A>B}(2)$เมื่อนำสัญญาณทั้ง 2 อันมาทำการ เอ็กคลูซีฟออร์(X-OR) กันจะได้เวอร์ติคอลแบงก์ (V-bank) ออกมาดังรูปที่ 3.6

ส่วนของฮอร์ริซอนทอลแบงก์(H-bank)จะให้สัญญาณ 10 MHz ซึ่งสามารถนับจุดบน 1 เส้นสแกนได้ 540 จุด จึงต้องใช้ เคาน์เตอร์ 10 บิท และกำหนดจุดเริ่มต้น และ จุดสุดท้ายบนเส้นสแกนด้วยคอมพาเรเตอร์ 10 บิท ซึ่งต่อกับดิฟสวิตซ์ 2 ชุดดังรูปที่ 3.3

เมื่อเคาน์เตอร์ นับถึงจุดเริ่มต้นที่ปรับไว้ที่ ดิฟสวิตซ์3 จะมีสัญญาณ " 0 " ออกมาจาก $\overline{C>D}(3)$ และเมื่อ เคาน์เตอร์นับถึงจุดสุดท้ายที่ปรับไว้ที่ ดิฟสวิตซ์4 จะมีสัญญาณ " 0 " ออกมาจาก $\overline{C>D}(4)$ นำสัญญาณทั้งสองมาทำการเอ็กคลูซีฟออร์(X-OR)กัน จะได้สัญญาณฮอร์ริซอนทอลแบงก์ออกมาดังรูปที่ 3.4 เมื่อนำสัญญาณเวอร์ติคอลแบงก์ และสัญญาณฮอร์ริซอนทอลแบงก์มาแอนด์(AND)กันก็จะได้สัญญาณควบคุมการผสมภาพที่สมบูรณ์

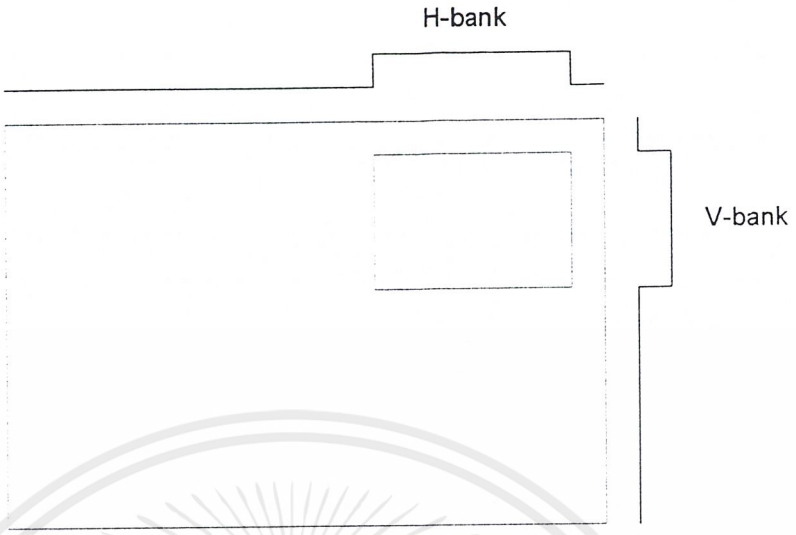
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42340



รูปที่ 3.3 วงจรส่วนควบคุมการผสมสัญญาณภาพ(Mixed Picture Control)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงตำแหน่งของภาพเล็ก,ฮอร์ริซอนทอลแบงก์ และ เวอร์ติคอลแบงก์

3.4 วงจรควบคุมการเก็บเส้นสแกน (Line Scan Control)

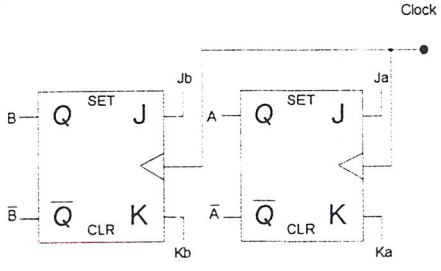
วงจรควบคุมการเก็บเส้นสแกนมีหน้าที่ย่อขนาดภาพให้เล็กลงทางแนวตั้งโดยจะทำการหารความถี่ของสัญญาณซิงก์ทางแนวนอนของภาพเล็ก (Sub H-sync) ลง 3 เท่า เหมือนเป็นการเก็บภาพ 1 เส้น เว้น 2 เส้น ออกแบบวงจรด้วยเจเคฟลิปฟลอป(J-K Flip – Flop) ดังนี้

1) เขียนลำดับโลจิก(logic)ที่ต้องการลงในตารางความจริง

B	A	Clock
1	0	2
0	0	0
0	1	1
1	0	2

Present	Count	Next	Count
B	A	B	A
1	0	0	0
0	0	0	1
0	1	1	0

2) พิจารณารูปแบบของวงจรนับแบบซิงโครนัส



3) ใช้ตารางความจริงของคุณสมบัติของเจเคฟลิปฟลอป(JK Flip-Flop) เพื่อใช้เปรียบเทียบในแต่ละสเตท(state)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

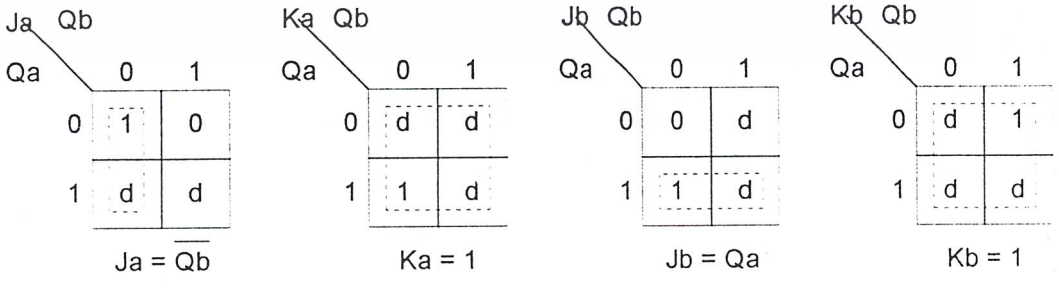
J	K	Output (Qn+1)
0	0	Qn (No change)
0	1	0 (Clear)
1	0	1 (Set)
1	1	Qn (Toggle)

Output state change desired (transition)	JK input	
Qn - Qn+1	J	K
0 - 0	0	d
0 - 1	1	d
1 - 0	d	1
1-Jan	d	0

สามารถเขียนได้ว่า

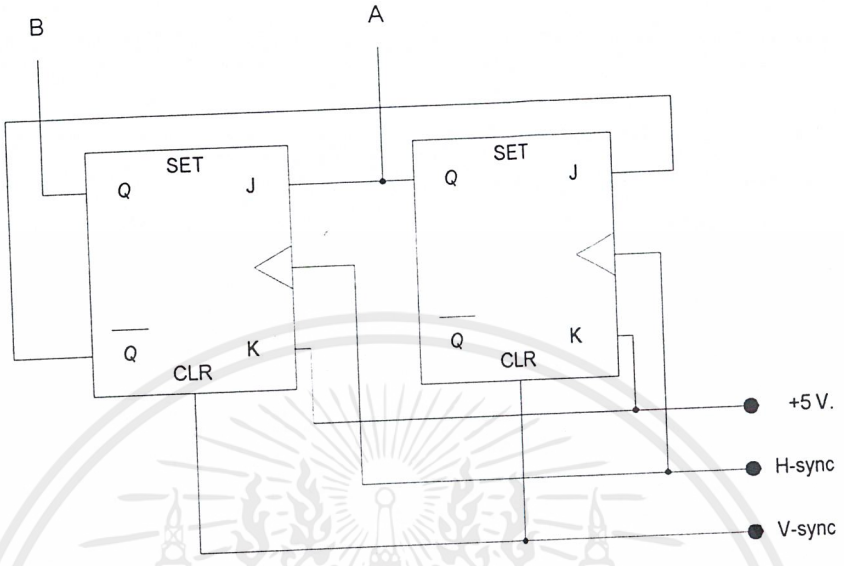
Present		Next		Ja	Ka	Jb	Ks
Qb	Qa	Qb	Qa				
1	0	0	0	0	d	d	1
0	0	0	1	1	d	0	d
0	1	1	0	d	1	1	d

4) เขียนคาร์นอร์แมป(Karnaugh Map) เพื่อหาแต่ละสถานะด้านอินพุทของฟลิปฟลอบ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

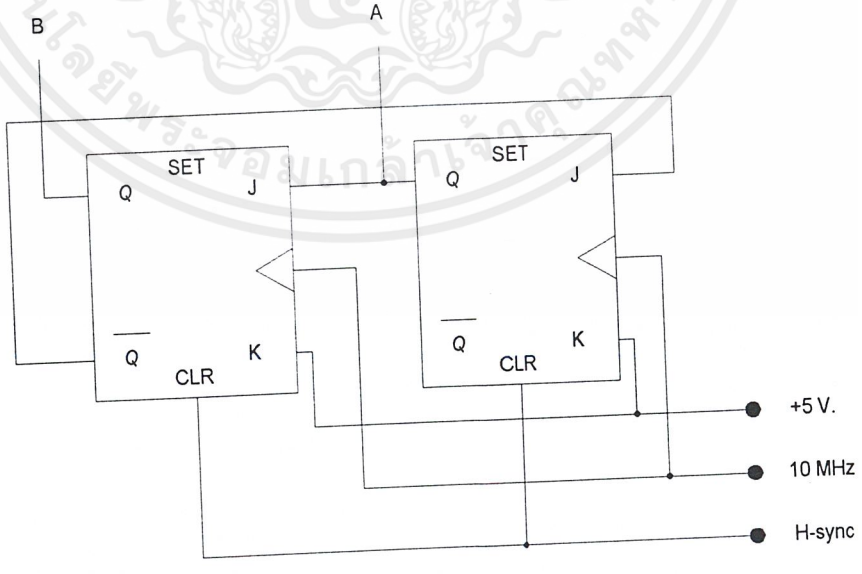
5) เขียนวงจรซิงโครนัสเคาน์เตอร์(Synchronous Counter) ที่ได้จากคาร์นอร์แมป



รูปที่ 3.5 วงจรควบคุมการเก็บเส้นสแกน

3.5 วงจรควบคุมการเก็บจุดสแกน (Point Scan Control)

วงจรควบคุมการเก็บจุดสแกนมีหน้าที่ย่อขนาดภาพให้เล็กลงทางแนวนอน โดยจะทำการหารความถี่ 10 MHz ลง 3 เท่า เหมือนเป็นการเก็บภาพ 1 จุดเว้น 2 จุดโดยการออกแบบเหมือนวงจรควบคุมการเก็บเส้นสแกนรูปที่ 3.6 วงจรควบคุมการเก็บจุดสแกน



รูปที่ 3.6 วงจรควบคุมการเก็บจุดสแกน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 วงจรหน่วงเวลาการเก็บจุดและเส้นสแกน

เนื่องจากเส้นสแกนในตอนต้นของสัญญาณภาพในแต่ละฟิลด์ จะเป็นเส้นที่ไม่มีข้อมูลภาพ จึงต้องทำการหน่วงเวลาไว้ช่วงหนึ่งก่อนที่จะทำการเริ่มเก็บข้อมูลเพื่อไม่ให้เกิดแถบดำขึ้นที่ขอบด้านบนของจอภาพเล็ก โดยวงจรหน่วงเวลาจะใช้ วงจรนับ 9 บิท ซึ่งมีสัญญาณนาฬิกาเป็นสัญญาณควบคุมทางแนวนอนของภาพเล็กและ เคลียร์เป็นสัญญาณซิงก์ทางแนวตั้งของภาพเล็กโดยต่อร่วมกับคอมพาเรเตอร์ และดิฟสวิตซ์ โดยจากการทดลองวัดค่าจริง จะมีจำนวนเส้นที่ไม่มีสัญญาณภาพทั้งหมด 18 เส้น จึงทำการปรับดิฟสวิตซ์ ไว้ที่ 00001001 0 โดยบิทสุดท้ายไม่ใช้เนื่องจากใช้คอมพาเรเตอร์ขนาด 8 บิท

ทางด้านจุดสแกนในช่วงแรกของเส้นก็จะมีส่วน ฟร้อนพอร์ช(Front Porch)ซึ่งไม่มีสัญญาณภาพเช่นกัน จึงต้องทำการหน่วงเวลาก่อนที่จะทำการเก็บข้อมูลเพื่อไม่ให้เกิดแถบดำขึ้นที่แถบด้านขวาของจอภาพเล็ก โดยวงจรหน่วงเวลาจะใช้ วงจรนับ 10 บิทซึ่งมี สัญญาณนาฬิกาเป็น 10 MHz และ เคลียร์เป็นสัญญาณซิงก์ทางแนวนอนของภาพเล็กต่อร่วมกับ คอมพาเรเตอร์และดิฟสวิตซ์ จากการวัดค่าจริงช่วงที่ไม่มีสัญญาณภาพจะเป็น 64 จุด จึงทำการปรับดิฟสวิตซ์ไว้ที่ 00010000 00 โดยสองบิทสุดท้ายไม่ใช้เนื่องจากใช้คอมพาเรเตอร์ขนาด 8 บิท

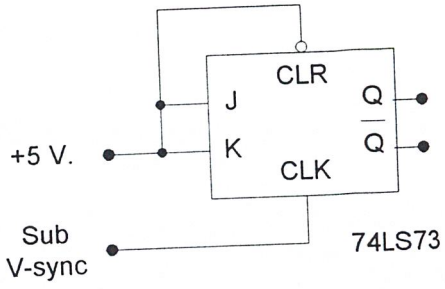
3.7 วงจรควบคุมการอ่านและเขียนหน่วยความจำ (Read/Write Memory Control)

วงจรส่วนนี้จะทำการกำหนดจังหวะของการปิด/เปิด บัฟเฟอร์ทุกตัว และสลับการทำงานของหน่วยความจำทั้งสองตัวว่าจะให้ตัวใดอ่านตัวใดเขียน โดยจะต้องทำงานสัมพันธ์กับส่วนของวงจรการอ้างอิงแอดเดรส(Addressing)

จากหลักการที่ว่า สัญญาณภาพในเฟรมที่ติดกันจะมีลักษณะคล้ายกัน จึงสามารถใช้หน่วยความจำเพียง 2 ตัว ในการเก็บสัญญาณภาพ โดยหน่วยความจำตัวที่ 1 ทำการเขียน ขณะเดียวกันหน่วยความจำตัวที่ 2 จะทำการอ่านเมื่อหน่วยความจำตัวที่ 1 เขียนเสร็จ สัญญาณควบคุมจะสลับให้ทำการอ่านข้อมูลจากหน่วยความจำตัวที่ 1 แทนโดยอ่านต่อจากแอดเดรส(Address) เดิมที่อ่านจากหน่วยความจำตัวที่ 2 ส่วนหน่วยความจำตัวที่ 2 จะถูกเขียนข้อมูลใส่ลงไปโดยเริ่มตั้งแต่ แอดเดรส 0000 0000 ถึง 0000 4920 (เลขฐาน 16) และเมื่อเขียนเสร็จก็จะถึงเวลาในการสลับหน้าที่อ่านและเขียนอีกครั้งหนึ่ง

จากข้างต้น จำเป็นต้องสร้างสัญญาณควบคุมออกมาโดยใช้ เจเคฟลิปฟลอป(K Flip–Flop)ต่อแบบท็อกเกิล(Toggle) โดยใช้สัญญาณนาฬิกา(Clock) เป็นสัญญาณเวอร์ติคอลซิงก์ของภาพเล็ก(Sub V-sync) เพื่อให้จังหวะในการสลับหน้าที่ถูกควบคุมการเปลี่ยนฟิลด์ของภาพเล็ก จะได้ Q เป็น " 0 " และ " 1 " สลับกันไปทุกครั้งที่มีสัญญาณเวอร์ติคอลซิงก์ของภาพเล็กเข้ามา การต่อวงจรแสดงดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจรควบคุมการอ่านและเขียนหน่วยความจำ(Read/Write Memory Control)

3.8 วงจรระบุตำแหน่งของหน่วยความจำ

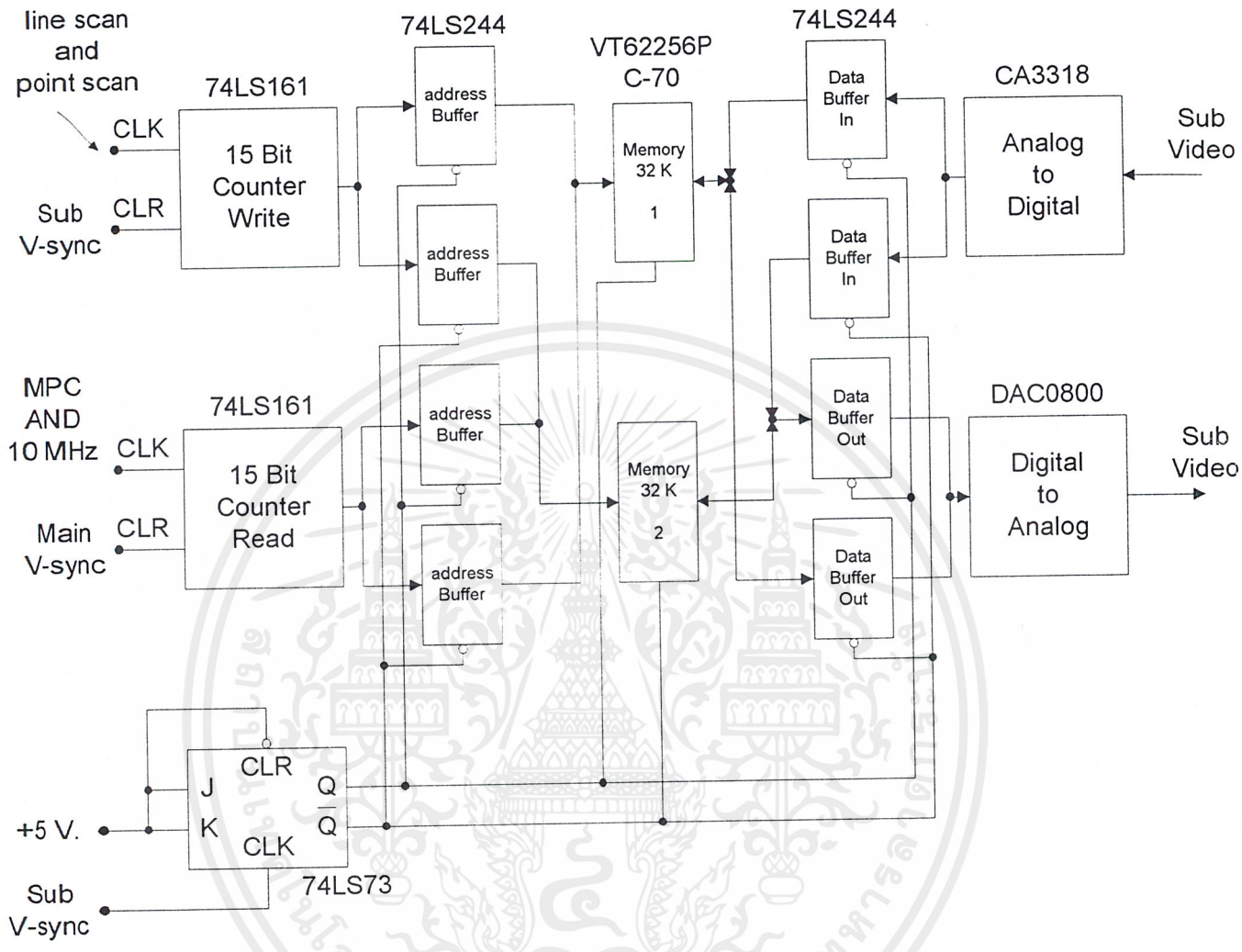
จากสัญญาณภาพเล็กที่จะทำการแบ่งออกเป็นเส้นและจุดใน 1 ฟิลด์ จะมี 312.5 เส้น แต่จะทำการเก็บไว้เพียง 1/3 คือ 104 เส้น และใน 1 เส้น มีสัญญาณภาพเป็นเวลา 54 μs แซมปลิงที่ความถี่ 10 MHz (0.1 μs) ดังนั้นในสัญญาณภาพ 1 เส้นจะมีข้อมูล 540 จุด แต่เราจะเก็บเพียง 1/3 คือ180 จุด ดังนั้นจำนวนข้อมูลที่ต้องเก็บทั้งหมดคือ 18,720 ข้อมูลซึ่งก็คือ จะใช้พื้นที่ในการเก็บข้อมูลประมาณ 18 กิโลไบต์ ดังนั้นเราต้องอ้างแอดเดรส(Address) 15 บิท ($2^{15} = 32$ k)

ในส่วนวงจรระบุตำแหน่งของหน่วยความจำจะแบ่งเป็น

Write Address จะทำการต่อเคาน์เตอร์ (Counter) 4 บิทเข้าด้วยกัน 4 ตัว เพื่อให้สามารถอ้างแอดเดรส(Address)ได้ถึง 15 บิท โดยจะใช้สัญญาณเอาท์พุทที่ได้จากวงจรการสแกนจุดและเส้นวงจรการหน่วงเส้น และวงจรการหน่วงจุดมาผ่านตัวแอนด์เกทเป็นสัญญาณนาฬิกา (Clock) ส่วนสัญญาณที่ใช้เคลียร์(Clear)เคาน์เตอร์จะใช้สัญญาณเวอร์ติคอลซิงก์ของภาพเล็ก สัญญาณแอดเดรส 15 บิท จะถูกจ่ายให้บัฟเฟอร์15 บิท 2 ชุด เพื่อเข้าหน่วยความจำแต่ละตัวต่อไป ดังรูป

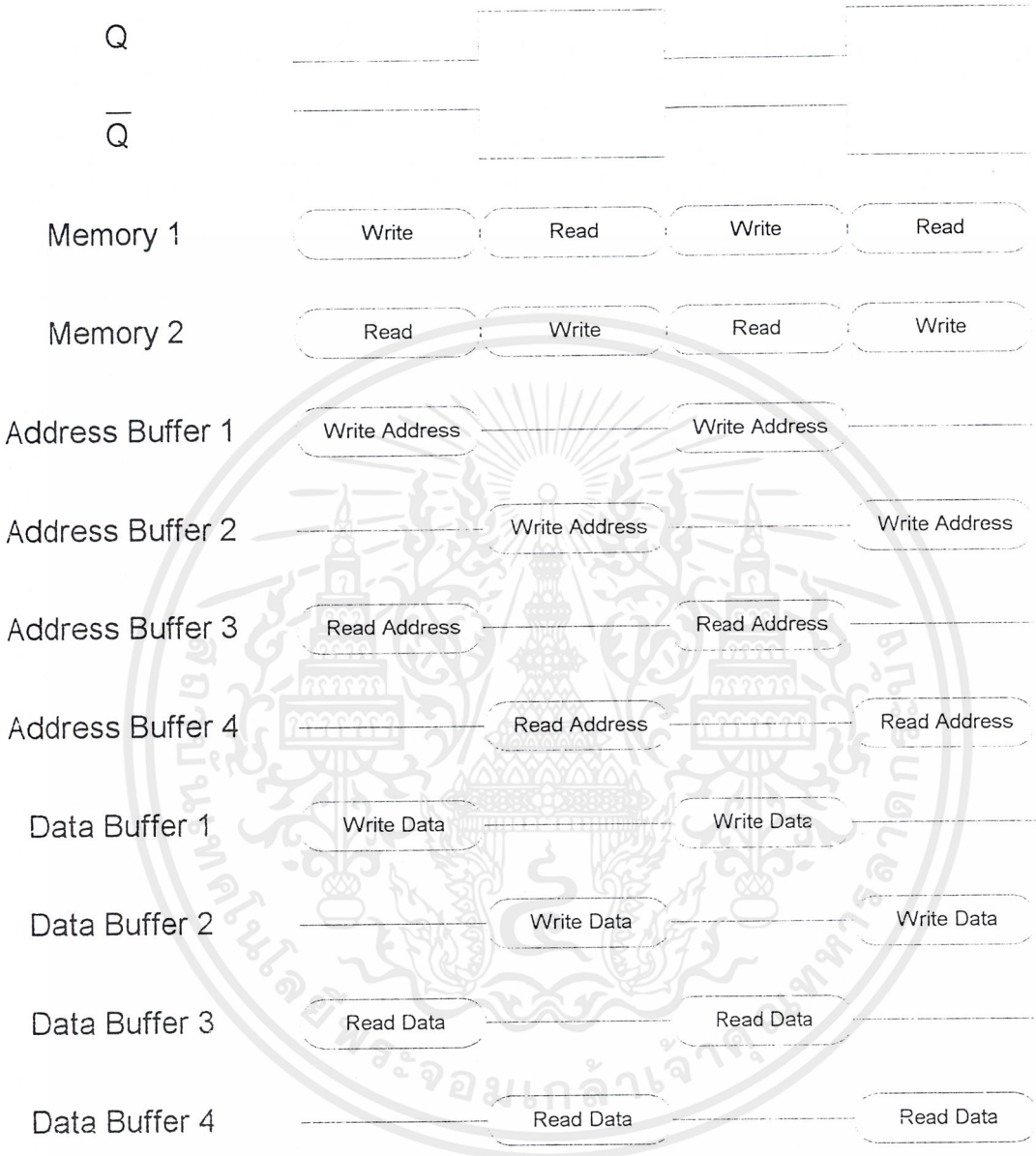
Read Address จะทำการต่อเหมือนกับ Write Address แต่จะเปลี่ยนสัญญาณนาฬิกาเป็นสัญญาณจาก วงจรควบคุมการผสมภาพ(Mixed Picture Control) แอนกับสัญญาณ 10 MHz และ เคลียร์(Clear) เป็นสัญญาณเวอร์ติคอลซิงก์ของภาพหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 บล็อกไดอะแกรมการต่อวงจรควบคุมการอ่าน/เขียนหน่วยความจำร่วมกับวงจรระบุตำแหน่งการอ่าน/เขียนหน่วยความจำ,บัฟเฟอร์,หน่วยความจำ,D/A และ A/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 แสดงไทม์มิ่งไดอะแกรมของสัญญาณควบคุมการอ่านและเขียน (Q และ $\overline{Q}$) การอ่านและเขียนของหน่วยความจำ บัฟเฟอร์ของแอดเดรส และบัฟเฟอร์ของข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

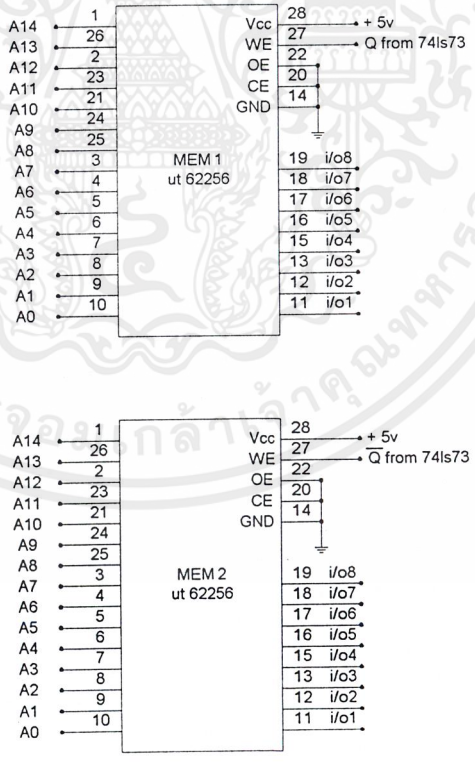
จำนวนข้อมูลทั้งหมดที่เราจะเก็บจะคำนวณจากข้อมูลของสัญญาณภาพ โดยที่เราจะทำการเก็บภาพ1 ฟิลด์ซึ่งมีจำนวนเส้นสแกนทั้งหมด 312.5 เส้นโดยจะทำการเก็บเส้นเว้นสองเส้น ดังนั้นจำนวนเส้นที่ต้องเก็บคือ 104 เส้นและภายในแต่ละเส้นสะการจะทำการแซมปลิ้ง(Sampling)ข้อมูลภาพด้วยสัญญาณนาฬิกาความถี่ 10 MHz จะทำให้มีข้อมูลภาพทั้งหมดประมาณ 540 จุดภาพแต่จะทำการเก็บจุดเว้นสองจุดทำให้มีข้อมูลที่ต้องเก็บทั้งสิ้น 180 จุดข้อมูลดังนั้นหน่วยความจำที่ใช้จึงต้องมีความจุมากกว่า 18,720 ไบท์ (Byte) จึงเลือกหน่วยความจำเบอร์ ut62256 ซึ่งเป็นหน่วยความจำที่มีความจุ 32000 ไบท์ การต่อวงจรแสดงดังรูป

ในการต่อ Ut62256 นี้จะมีสัญญาณควบคุมทั้งหมดสามเส้น คือ ce# oe# และ we# ซึ่งเราจะต่อให้หน่วยความจำสลับกันเขียนและอ่านกันคนละฟิลด์ของสัญญาณภาพจึงต้องควบคุมดังนี้

ce# (Chip Enable) จะเซ็ตให้เป็น ระดับศูนย์โวลต์ตลอด(low) เพื่อให้หน่วยความจำทำงาน

oe# (Output Enable) จะเซ็ตให้เป็น ระดับศูนย์ตลอด เนื่องจากต้องเซ็ตเป็นศูนย์ในขณะอ่านข้อมูลและไม่สนใจ(Don't Care)ในจังหวะเขียนข้อมูล

we# (Write Enable) จะควบคุมด้วยสัญญาณ Q และ $\overline{Q}$ เพื่อให้หน่วยความจำทั้งสองตัวสลับกันทำการอ่านและเขียนคนละฟิลด์



รูปที่ 3.10 การต่อหน่วยความจำ

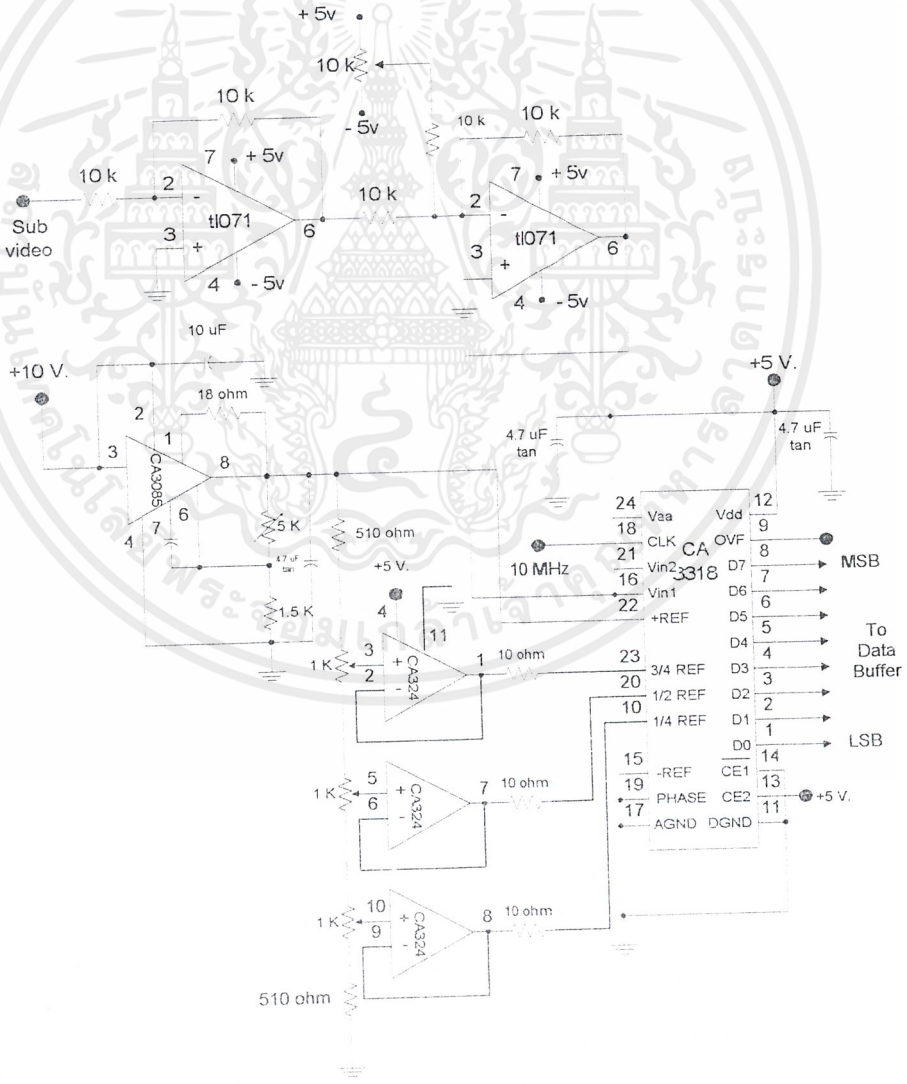
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10 วงจรการแปลงสัญญาณอนาลอกเป็นดิจิตอล (A/D Converter)

การเก็บสัญญาณภาพลงในหน่วยความจำ จำเป็นต้องทำการแปลงสัญญาณภาพเป็นสัญญาณดิจิตอลก่อนโดยใช้ A/D ซึ่งเป็นไอซีสำเร็จรูปเบอร์ CA3318

ก่อนการต่อ CA3318 จำเป็นต้องกำหนดสัญญาณเรฟเฟอเรนซ์ก่อน โดยจะจ่ายไฟให้ CA3318 +10 V. และทำการปรับตัวต้านทาน (resister) เพื่อให้ได้ $V_{REF} = 5$ V. จากนั้นต้องทำการหา ¾ V_{REF}, ½ V_{REF} , ¼ V_{REF} เพื่อป้อนให้ CA3318 และจะใช้ตัวต้านทานปรับค่าได้ ต่อร่วมกับออปแอมป์(Op-Amp) ซึ่งต่อแบบ Voltage Follower เราจะต้องปรับค่าของตัวต้านทาน เพื่อหา ½ V_{REF}ก่อน ทำการปรับให้ได้ 2.5 V จากนั้นก็ปรับรีซิสเตอร์หา ¾ V_{REF} = 3.75 V และ ¼ V_{REF} = 1.25 V ตามลำดับ

โดยที่สัญญาณภาพที่จะทำการแปลงจะทำการผ่านวงจรขยาย(Amplifier)เพื่อทำการปรับกำลังขยายโดยในที่นี้จะให้กำลังขยาย(gain) เป็นหนึ่ง และ ผ่านวงจรรวมสัญญาณ(Summing) เพื่อทำการปรับระดับของสัญญาณภาพให้อยู่เหนือระดับกราวด์(Ground)ดังรูป



รูปที่ 3.11 การแปลงสัญญาณอนาลอกเป็นดิจิตอล(A/D Converter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

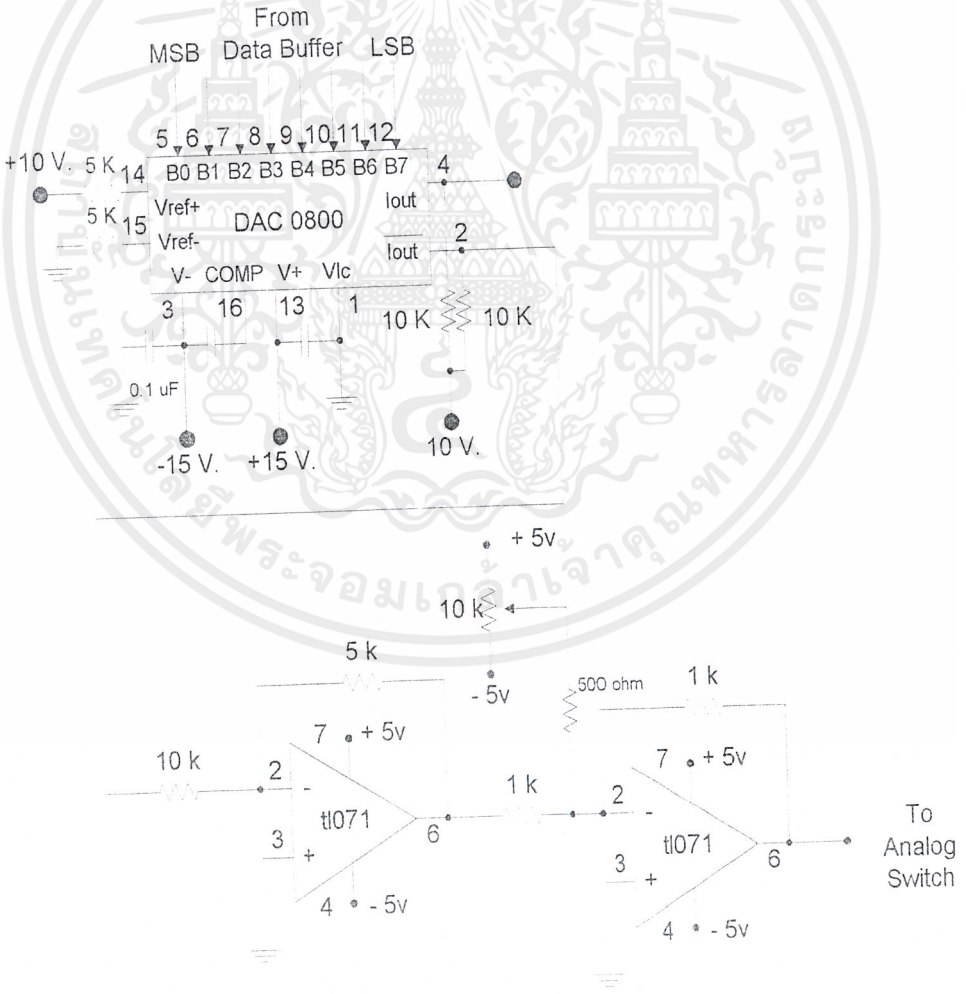
3.11 วงจรการแปลงสัญญาณดิจิตอลเป็นอนาลอก (D/A Converter)

วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก จะใช้ในการเปลี่ยนสัญญาณดิจิตอล ที่อ่านจากหน่วยความจำ เพื่อนำไปแปลงเป็นสัญญาณภาพและแสดงผลในจอเล็กต่อไป

วงจรนี้จะใช้ไอซี(IC) สำเร็จรูป DAC0800 ทำการจ่ายไฟ +10 V ที่ขา 14 และจ่ายไป +15 V ที่ขา 13 และ –15 V ที่ขา 3 โดยที่เอาท์พุท ขา4 และ 2 จำเป็นต้องต่อโหลดให้ไอซีด้วย ดังรูป

เมื่อต่อวงจรครบเราจะทำการป้อนสัญญาณ บิท0 – บิท 7 ให้กับไอซี และวัดที่เอาท์พุท เพื่อทำการเปรียบเทียบ บิทอินพุทกับระดับโวลต์เตจที่เอาท์พุท การต่อวงจรแสดงดังรูปที่ 3.10

สัญญาณที่ได้จาก DAC0800 จะมีขนาดใหญ่กว่าสัญญาณภาพปกติและมีตำแหน่งของภาพที่ไม่แน่นอนจึงต้องทำการเพิ่มวงจรขยายซึ่งมีอัตราขยาย(Gain)เท่ากับ 0.5 เท่าเพื่อลดขนาดของสัญญาณ และเพิ่มวงจรรวมสัญญาณเพื่อทำการปรับระดับของสัญญาณที่ได้มาให้เหมาะสมก่อนจะนำไปรวมกับสัญญาณภาพหลัก



รูปที่ 3.12 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก(D/A Converter)

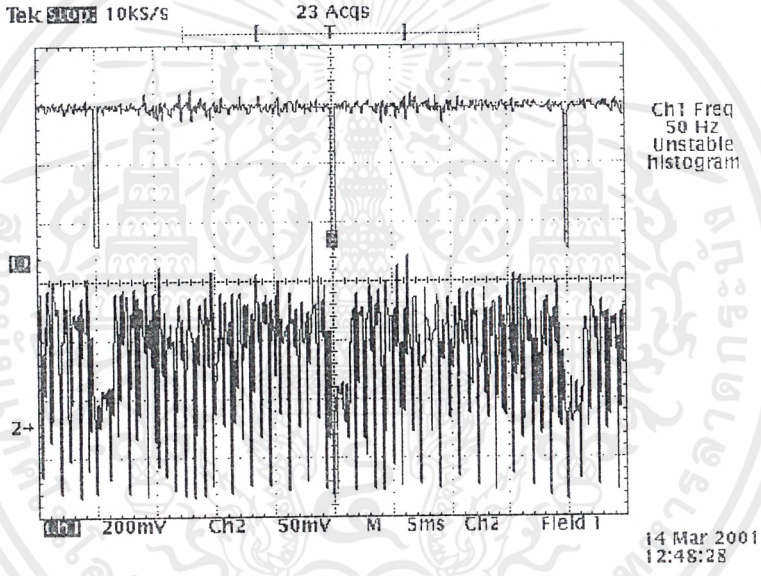
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

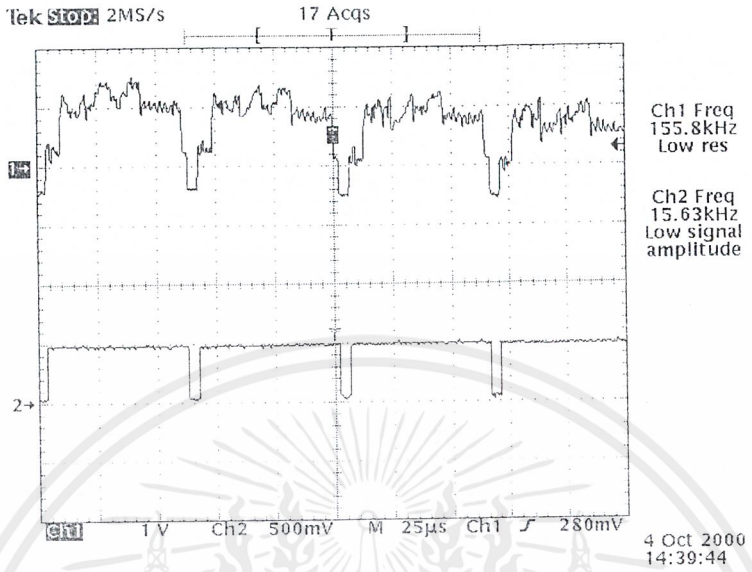
4.1 การทดลองส่วนวงจรแยกสัญญาณซิงค์ (Sync Separate)

การทดลองในส่วนนี้ จะกล่าวถึงทั้งการแยกสัญญาณซิงค์ในส่วนของสัญญาณวิดีโอภาพหลัก (main-video) และสัญญาณวิดีโอภาพเล็ก(sub-video) โดยจะป้อนสัญญาณอินพุทที่เป็นสัญญาณวีดีโอรวม (Composite video signal) เข้าไอซี LM1881N ซึ่งจะได้ผลเป็นสัญญาณซิงก์ทางแนวตั้ง (Verticle sync) ซึ่งมีค่าความถี่เท่ากับ 50 เฮิร์ตทางขา 1 และสัญญาณซิงก์ทางแนวนอน (Horizontal sync) ซึ่งมีค่าความถี่เท่ากับ 15.6 กิโลเฮิร์ต ทางขา 3 ของไอซี ซึ่งจะแสดงได้ดังรูป



รูปที่ 4.1 แสดงสัญญาณวีดีโออินพุทเทียบกับสัญญาณซิงก์ทางแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงสัญญาณวีดีโออินพุทเทียบกับสัญญาณซิงก์ทางแนวนอน

4.2 การทดลองส่วนวงจรควบคุมตำแหน่งของภาพ (Mixed Picture control – MPC)

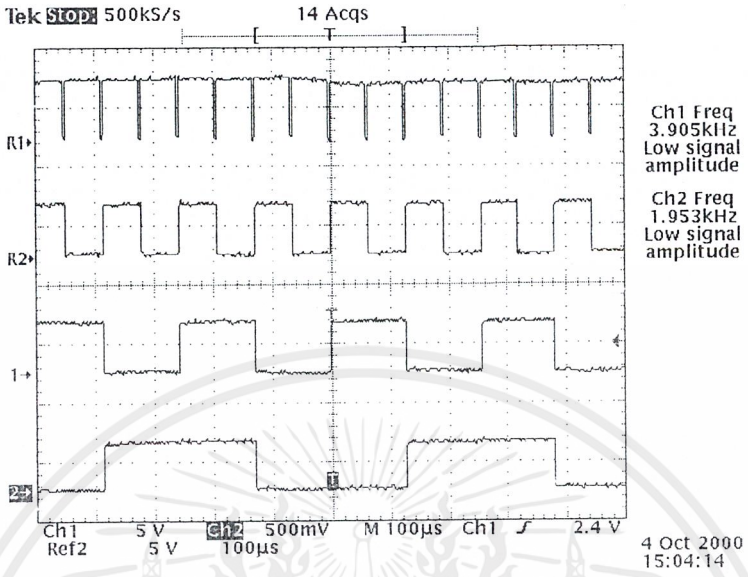
วงจรส่วนนี้จะเป็นวงจรส่วนที่จะควบคุมให้ตำแหน่งของภาพเล็กอยู่ที่ตำแหน่งใดบนจอภาพก็ได้ตามที่ต้องการ โดยใช้สัญญาณควบคุมที่ได้จากวงจรในส่วนนี้มาใช้

4.2.1 การทดลองการเลือกตำแหน่งทางแนวตั้ง

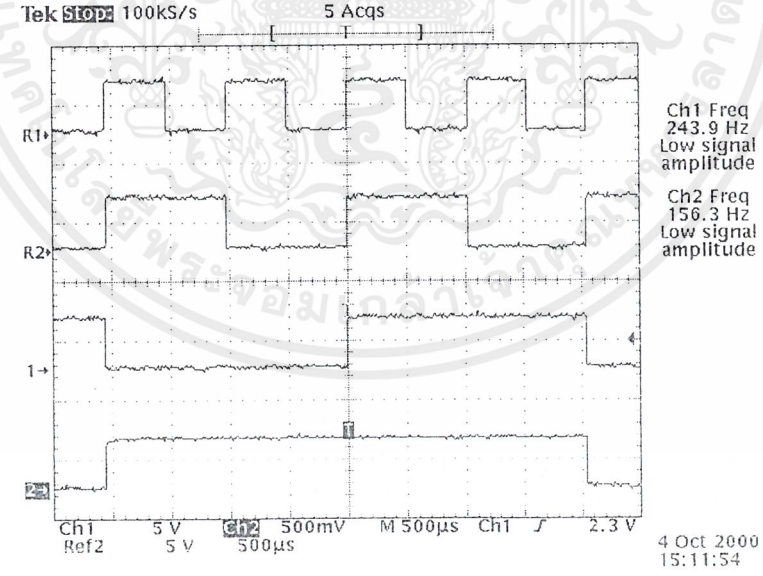
ในการทดลองส่วนนี้จะใช้หลักการการเปรียบเทียบโดยใช้ตัวคอมพาเรเตอร์ (comparator) ซึ่งใช้ไอซี 74LS682 เปรียบเทียบสัญญาณที่ได้มาจากตัวเคาน์เตอร์(counter) และสัญญาณที่ได้มาจากดิปสวิตซ์ (dip switch) โดยส่วนที่เป็นตัวเคาน์เตอร์ซึ่งใช้ไอซี 74LS161 นั้นจะป้อนสัญญาณนาฬิกาเป็นสัญญาณซิงก์ทางแนวนอน และป้อนสัญญาณเคลียร์เป็นสัญญาณซิงก์ทางแนวตั้ง และส่วนที่เป็นตัวดิปสวิตซ์ ก็จะกำหนดตำแหน่งตามแนวตั้งตามที่ต้องการ ในที่นี้จะกำหนดในบริเวณมุมขวาบนของจอภาพ หรือในช่วงเส้นที่ 54 (0001 1011 ที่ใช้ปรับที่ดิปสวิตซ์) ถึงเส้นที่ 149 (0100 1010 ที่ใช้ปรับที่ ดิปสวิตซ์)

โดยในการทดลองนี้ จะแสดงส่วนของสัญญาณที่ได้มาจากตัวเคาน์เตอร์ ในแต่ละบิทสัญญาณที่ได้มาจากตัวคอมพาเรเตอร์ และสัญญาณที่ใช้ควบคุมตำแหน่งทางแนวตั้ง ซึ่งแสดงได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

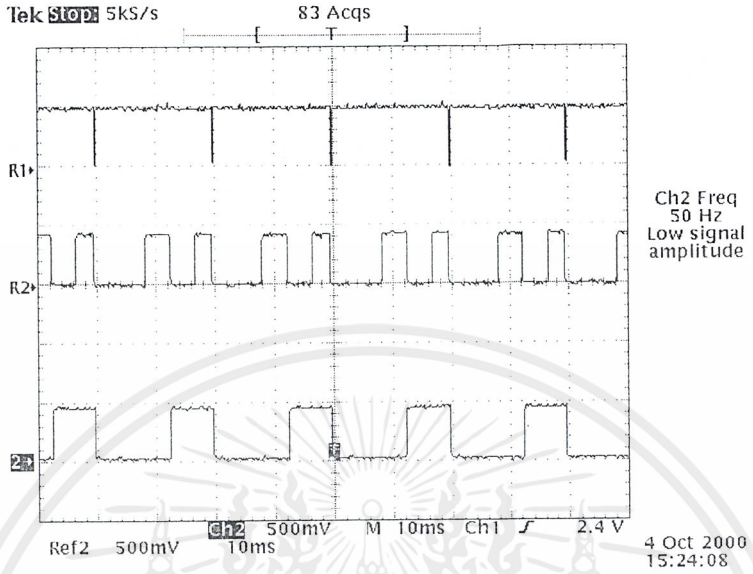


รูปที่ 4.3 แสดงสัญญาณคล็อคอินพุทเทียบกับเอาท์พุทที่ออกจากตัวเคาน์เตอร์ บิทที่ 1 (ซึ่งเป็น LSB บิท), 2 และ 3 ตามลำดับ



รูปที่ 4.4 แสดงสัญญาณเอาท์พุทที่ออกจากตัวเคาน์เตอร์ บิทที่ 4, 5, 6 และ 7 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

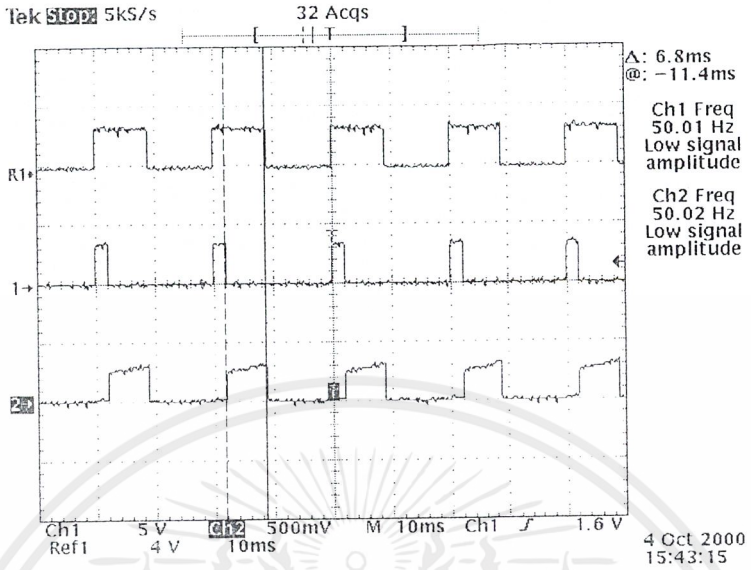


รูปที่ 4.5 แสดงสัญญาณเอาท์พุทที่ออกจากตัวเคาน์เตอร์บิทที่ 8 และ 9 (ซึ่งเป็น MSB บิท) เทียบกับสัญญาณเคลียร์อินพุท

ลำดับบิท	ความถี่ (เฮิร์ต)
1	7.812 K
2	3.905 K
3	1.953 K
4	1.02 K
5	523.6
6	243.9
7	156.3
8	50
9	50

ตารางที่ 4.1 แสดงค่าความถี่แต่ละบิทเอาท์พุทของตัวเคาน์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



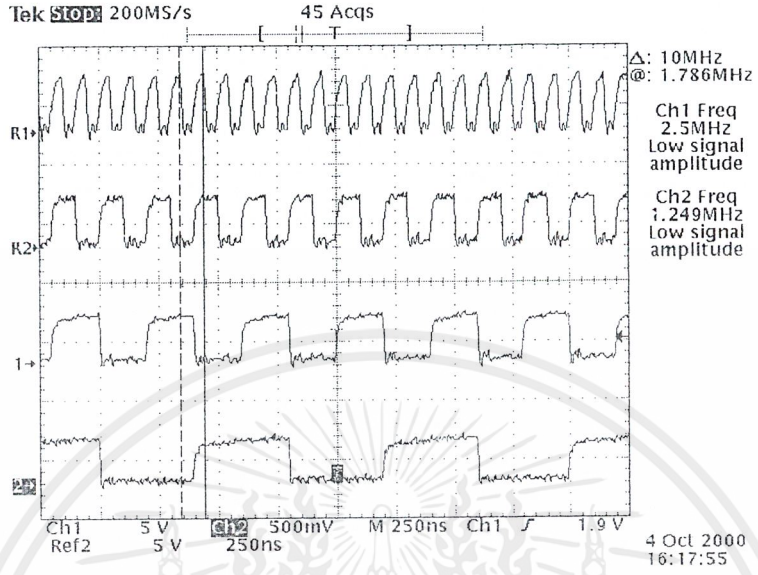
รูปที่ 4.6 แสดงผลการเปรียบเทียบที่ตัวคอมพาเรเตอร์ และผลที่กำหนดทางแนวตั้ง โดยที่
รูปบน เป็นกราฟแสดงการเปรียบเทียบผลที่ตำแหน่งเส้นที่ 54
รูปกลาง เป็นกราฟแสดงการเปรียบเทียบผลที่ตำแหน่งเส้นที่ 149
รูปล่าง เป็นการกราฟที่แสดงตำแหน่งที่เลือกทางแนวตั้ง (Vertical bank)

4.2.2 การทดลองการเลือกตำแหน่งทางแนวนอน

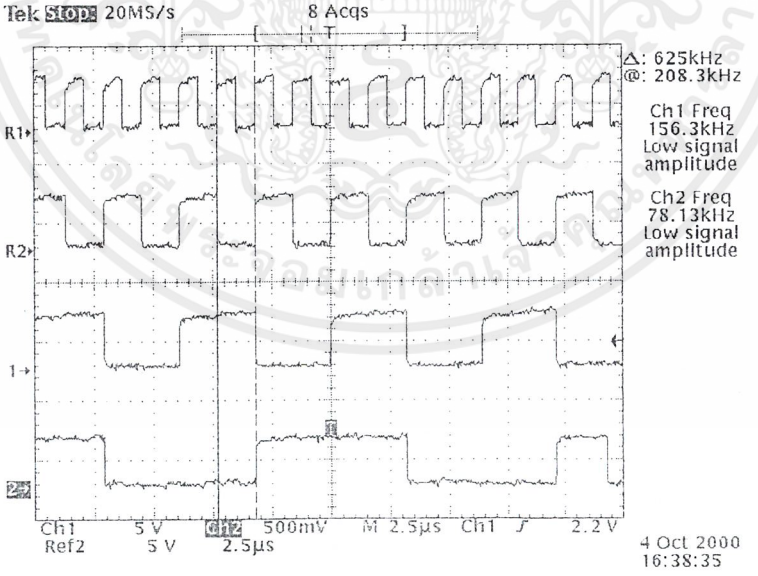
ในการทดลองส่วนนี้จะใช้หลักการการเปรียบเทียบโดยใช้ตัวคอมพาเรเตอร์ ซึ่งใช้ไอซี 74LS682 เปรียบเทียบสัญญาณที่ได้มาจากตัวเคาน์เตอร์ และสัญญาณที่ได้มาจากดิปสวิตซ์ ขนาด 10 บิท โดยส่วนที่เป็นตัวเคาน์เตอร์ ซึ่งใช้ไอซี 74LS161 นั้นจะป้อนสัญญาณนาฬิกาเป็นสัญญาณจากคริสตอล ขนาด 10 เมกกะเฮิร์ต(MHz) และใช้สัญญาณซิงก์ทางแนวนอนเป็นสัญญาณเคลียร์และส่วนที่เป็นตัวดิปสวิตซ์ ก็จะกำหนดตำแหน่งตามแนวนอนตามที่ต้องการ ในที่นี้จะกำหนดในบริเวณมุมขวาบนของจอภาพ หรือในช่วงจุดที่ 323 (01 0100 0011 ที่ใช้ปรับที่ dip switch) ถึงจุดที่ 499 (01 1111 0011 ที่ใช้ปรับที่ดิปสวิตซ์)

โดยในการทดลองนี้ จะแสดงส่วนของสัญญาณที่ได้มาจากตัวเคาน์เตอร์ ในแต่ละบิท สัญญาณที่ได้มาจากตัวคอมพาเรเตอร์ และสัญญาณที่ใช้ควบคุมตำแหน่งทางแนวนอน ซึ่งแสดงได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

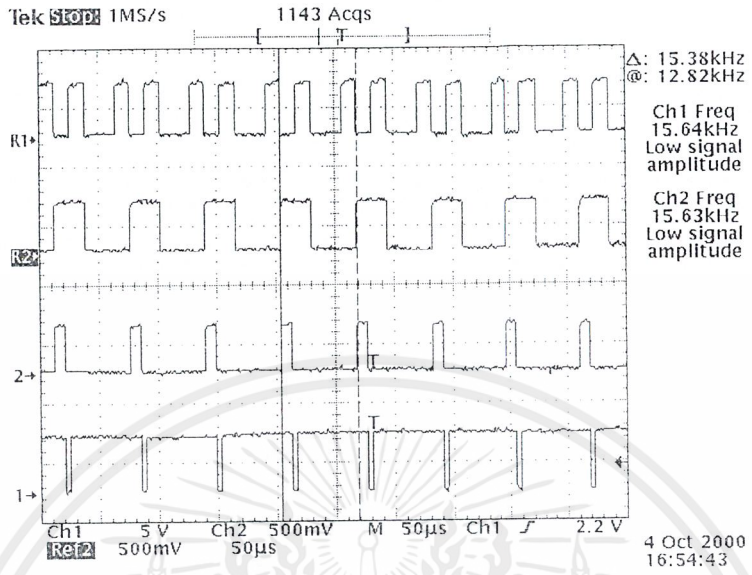


รูปที่ 4.7 แสดงสัญญาณคล็อคอินพุทเทียบกับเอาท์พุทที่ออกจากตัวเคาน์เตอร์ บิทที่ 1 (ซึ่งเป็น LSB) , 2 และ 3 ตามลำดับ



รูปที่ 4.8 แสดงสัญญาณเอาท์พุทที่ออกจากตัวเคาน์เตอร์ บิทที่ 4, 5, 6 และ 7 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

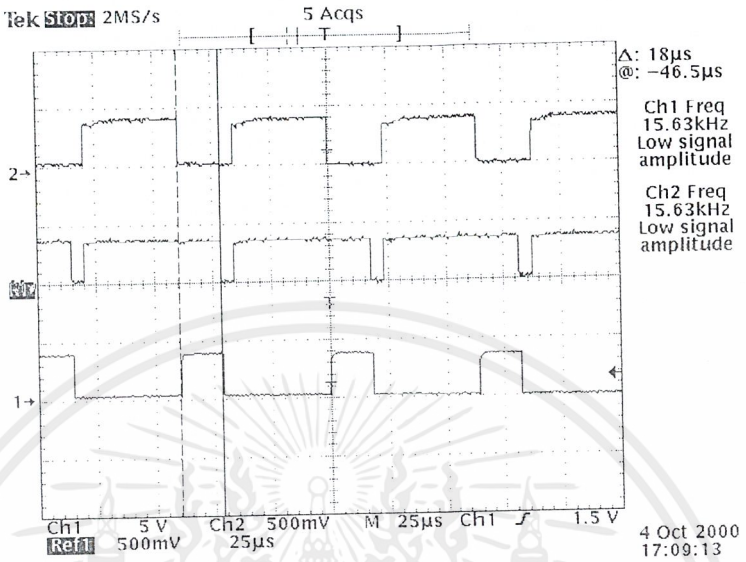


รูปที่ 4.9 แสดงสัญญาณเอาท์พุทที่ออกจากตัวเคาน์เตอร์ บิทที่ 8, 9 และ 10 (ซึ่งเป็น MSB บิท) เทียบกับสัญญาณเคลียร์อินพุท

ลำดับบิท	ความถี่ (เฮิร์ต)
1	5.405 M
2	2.50 M
3	1.249 M
4	625 K
5	312.5 K
6	156.3 K
7	78.13 K
8	39.06 K
9	15.63 K
10	15.63 K

ตารางที่ 4.2 แสดงค่าความถี่แต่ละบิทเอาท์พุทของตัวเคาน์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

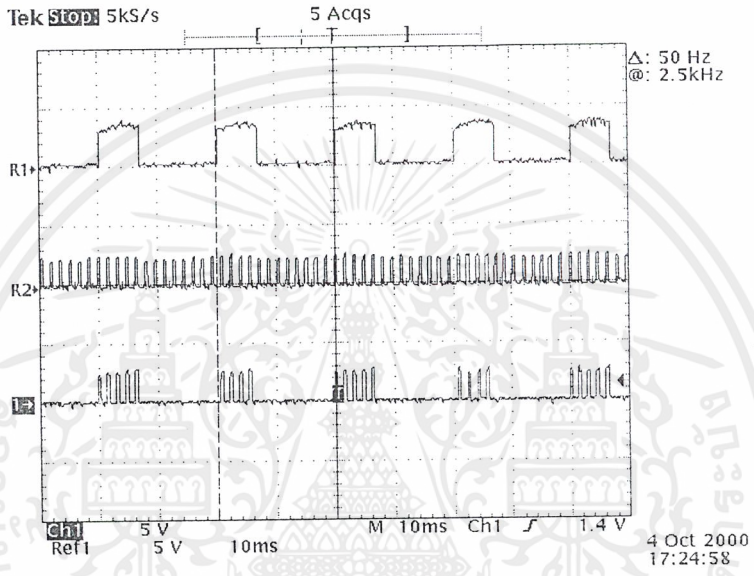


รูปที่ 4.10 แสดงผลการเปรียบเทียบที่ตัวคอมพาเรเตอร์ และผลที่กำหนดทางแนวนอน โดยที่
รูปบน เป็นกราฟแสดงการเปรียบเทียบผลที่ตำแหน่งจุดที่ 323
รูปกลาง เป็นกราฟแสดงการเปรียบเทียบผลที่ตำแหน่งจุดที่ 499
รูปล่าง เป็นการกราฟที่แสดงตำแหน่งที่เลือกทางแนวนอน (Horizontal bank)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 การทดลองการเลือกตำแหน่งของภาพเล็ก (Mixed Picture Control)

การทดลองในส่วนนี้จะเป็นการหาตำแหน่งของภาพเล็กที่จะไปปรากฏบนจอภาพ โดยการนำสัญญาณการกำหนดตำแหน่งทางแนวนอน และสัญญาณการกำหนดตำแหน่งทางแนวตั้งมารวมกันโดยผ่านตัวแอนด์เกท(AND gate) ซึ่งใช้ตัวไอซี 4081 โดยผลลัพธ์ที่ได้นั้น จะเป็นสัญญาณกำหนดตำแหน่งของภาพเล็ก แสดงดังรูปต่อไปนี้



รูปที่ 4.11 แสดงสัญญาณกำหนดตำแหน่งภาพเล็ก โดยผ่านจากไอซี 4081 โดยที่
รูปบน เป็นกราฟแสดงสัญญาณการกำหนดตำแหน่งตามแนวตั้ง
รูปกลาง เป็นกราฟแสดงสัญญาณการกำหนดตำแหน่งตามแนวนอน
รูปล่าง เป็นกราฟแสดงสัญญาณการกำหนดตำแหน่งของภาพเล็ก

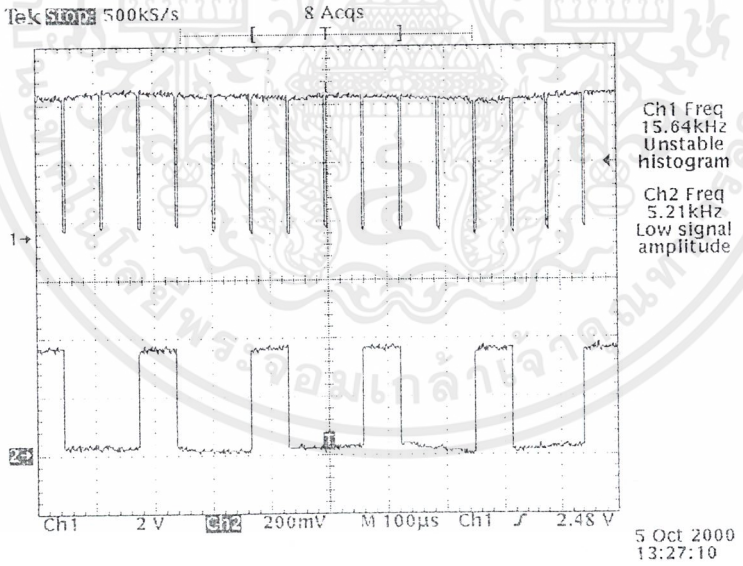
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การทดลองส่วนวงจรควบคุมการสแกน (Scan Control Unit)

วงจรในส่วนนี้จะแบ่งออกเป็น ส่วนควบคุมการสแกนเส้น (Line Scan Control) และส่วนควบคุมการสแกนจุด (Point Scan Control) โดยเมื่อนำสัญญาณจากทั้ง 2 ส่วนนี้มารวมกันผ่านตัวแอนด์เกท (AND gate)แล้ว สัญญาณที่ได้จะสามารถนำไปควบคุมส่วนอ่าน/เขียนของหน่วยความจำ (Read/Write Control Unit) และส่วนการอ้างอิงแอดเดรสของหน่วยความจำ (Addressing Memory Unit) ได้

4.3.1 การทดลองส่วนควบคุมการสแกนเส้น (Line Scan Control)

การทดลองในส่วนนี้นั้น จะทำการสแกนเส้นโดยสแกน 1 เส้น เว้น 2 เส้นไปเรื่อยๆ จนหมดหน้าจอ ซึ่งใช้ไอซี 74LS73 เป็นตัวควบคุมการสแกน (เป็นแบบ Synchronous count 3) โดยป้อนสัญญาณซิงก์ทางแนวนอนเป็นสัญญาณนาฬิกา และป้อนสัญญาณการควบคุมตามแนวตั้งเป็นสัญญาณเคลียร์ ผลที่ได้จากการป้อนสัญญาณเข้าไอซี จะทำให้ความถี่ของสัญญาณนั้นลดลง 3 เท่า ซึ่งลดลงจาก 15.6 กิโลเฮิร์ต เป็น 5.21 กิโลเฮิร์ต โดยผลที่ได้จะแสดงดังรูปต่อไปนี้

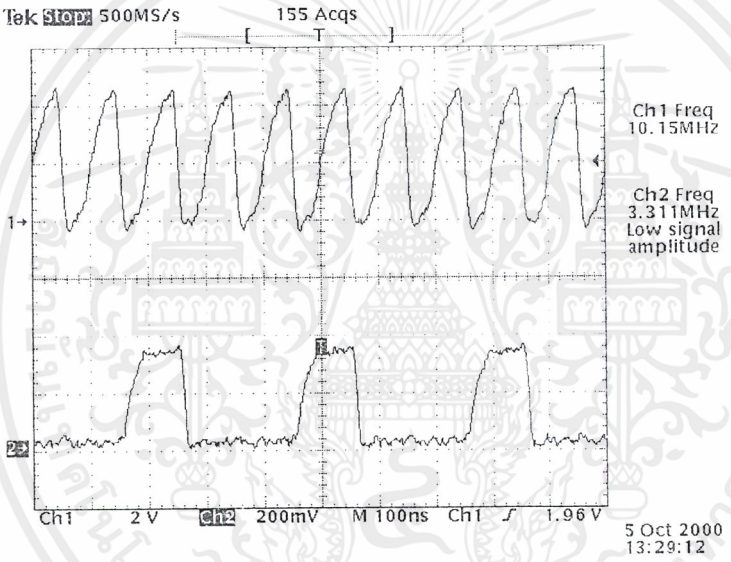


รูปที่ 4.12 แสดงสัญญาณคล็อคอินพุทเทียบกับสัญญาณที่ได้จากการสแกนเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 การทดลองส่วนควบคุมการสแกนจุด (Point Scan Control)

การทดลองในส่วนนี้นั้น จะทำการสแกนจุดโดยสแกน 1 จุด เว้น 2 จุดไปเรื่อยๆ จนหมดในหนึ่งเส้นสแกน ซึ่งใช้ไอซี 74LS73 เป็นตัวควบคุมการสแกน (เป็นแบบ Synchronous count 3) โดยป้อนสัญญาณจากคริสตอลขนาด 10 เมกกะเฮิร์ต เป็นสัญญาณนาฬิกา และป้อนสัญญาณซิงก์ทางแนวนอนเป็นสัญญาณเคลียร์ ผลที่ได้จากการป้อนสัญญาณเข้าไอซี จะทำให้ความถี่ของสัญญาณนั้นลดลง 3 เท่า ซึ่งลดลงจาก 10 เมกกะเฮิร์ต เป็น 3.33 เมกกะเฮิร์ต โดยผลที่ได้จะแสดงดังรูปต่อไปนี้



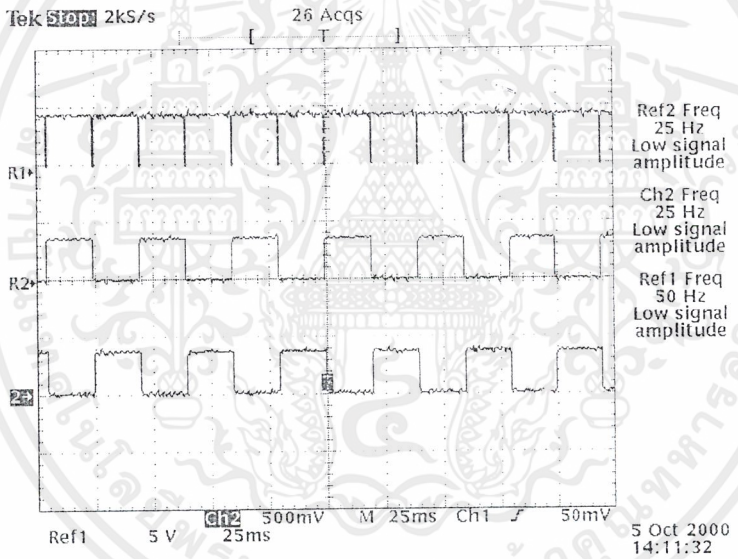
รูปที่ 4.13 แสดงสัญญาณคล็อคอินพุทเทียบกับสัญญาณที่ได้จากการสแกนจุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การทดลองส่วนวงจรการควบคุมการอ่าน/เขียนของหน่วยความจำ (Read/Write Control Memory)

ในวงจรส่วนนี้จะเป็นส่วนควบคุมว่าจะมีการอ่านหรือเขียนที่หน่วยความจำตัวใดตัวหนึ่ง โดยอาศัยสัญญาณควบคุมจากสัญญาณซิงก์ทางแนวตั้ง ซึ่งได้มาจากภาพเล็กที่ป้อนเข้าไป

สำหรับการทดลองในส่วนนี้ จะทดสอบการควบคุมการอ่านหรือเขียนหน่วยความจำ โดยการป้อนสัญญาณซิงก์ทางแนวตั้งเป็นสัญญาณนาฬิกาป้อนให้กับไอซี 74LS73 ซึ่งใช้ในการควบคุมการทำงานของการทดลอง โดยสัญญาณที่ได้ทางเอาท์พุทของไอซี จะมีลักษณะเป็นพัลส์สี่เหลี่ยม โดยที่ครึ่งซีกพัลส์ที่เป็น "1" จะไปควบคุมให้หน่วยความจำตัวหนึ่งทำหน้าที่ในการเขียนข้อมูล (Write Memory) และอีกครึ่งซีกพัลส์ที่เป็น "0" นั้นจะไปควบคุมให้หน่วยความจำอีกตัวหนึ่งทำหน้าที่ในการอ่านข้อมูล (Read Memory) โดยผลที่ได้แสดงดังรูปต่อไปนี้



รูปที่ 4.14 แสดงสัญญาณคล็อคอินพุทเทียบกับสัญญาณเอาท์พุทที่ใช้ในการควบคุมการอ่าน/เขียนของหน่วยความจำ

หมายเหตุ : จากรูปกราฟการทดลอง จะใช้เส้นกราฟสัญญาณที่ได้ดังเส้นที่ 2 นั้นเป็นตัวไปควบคุมการเขียนของหน่วยความจำ (เหมือนกับเป็นซีกที่เป็น "1" ของพัลส์) และใช้เส้นกราฟสัญญาณที่ได้ดังเส้นที่ 3 นั้นเป็นตัวไปควบคุมการอ่านของหน่วยความจำ (เหมือนกับเป็นซีกที่เป็น "0" ของพัลส์)

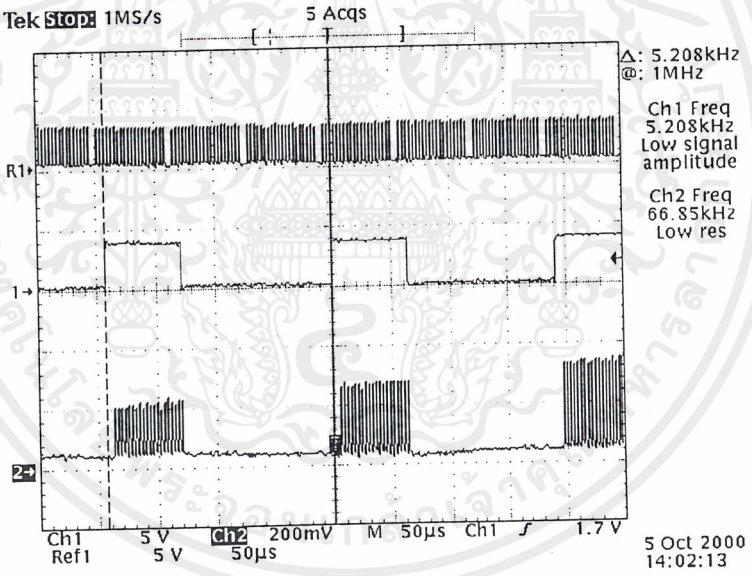
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การทดลองส่วนวงจรการอ้างอิงแอดเดรสของหน่วยความจำ (Addressing Memory Unit)

วงจรส่วนนี้จะใช้ในการกำหนดตำแหน่งของแอดเดรสของหน่วยความจำ ที่จะใช้ในการเขียนหรืออ่านข้อมูล โดยได้ทำการทดลอง ดังต่อไปนี้

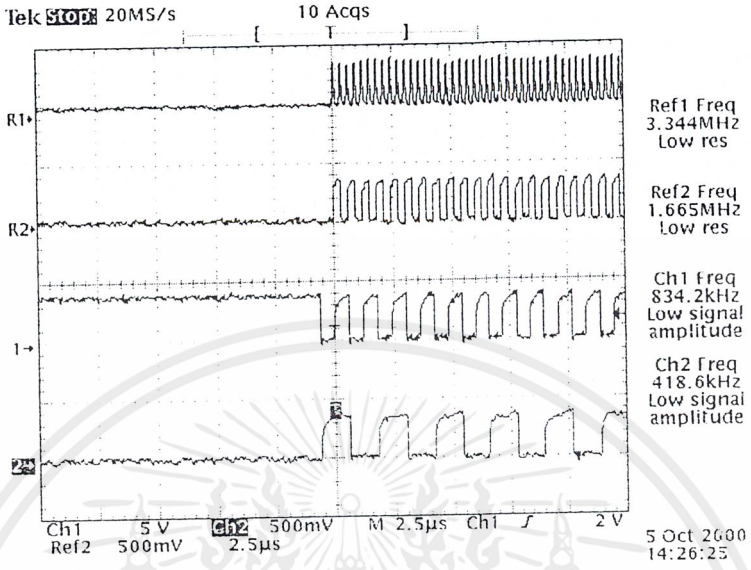
4.5.1 การทดลองส่วนวงจรการอ้างอิงตำแหน่งแอดเดรสในการเขียนของหน่วยความจำ

ทำการป้อนสัญญาณที่ได้จากการรวมกัน ระหว่างสัญญาณเอาท์พุทการสแกนเส้น และการสแกนจุดผ่านตัวแอนด์เกท เป็นสัญญาณนาฬิกา และป้อนสัญญาณซิงก์ทางแนวตั้งของภาพเล็กเป็นสัญญาณเคลียร์ให้กับวงจรเคาน์เตอร์ เอาท์พุทที่ได้จะใช้สำหรับอ้างอิงตำแหน่งแอดเดรสในการเขียนหน่วยความจำ ซึ่งจะได้ผลแสดงดังรูปต่อไปนี้

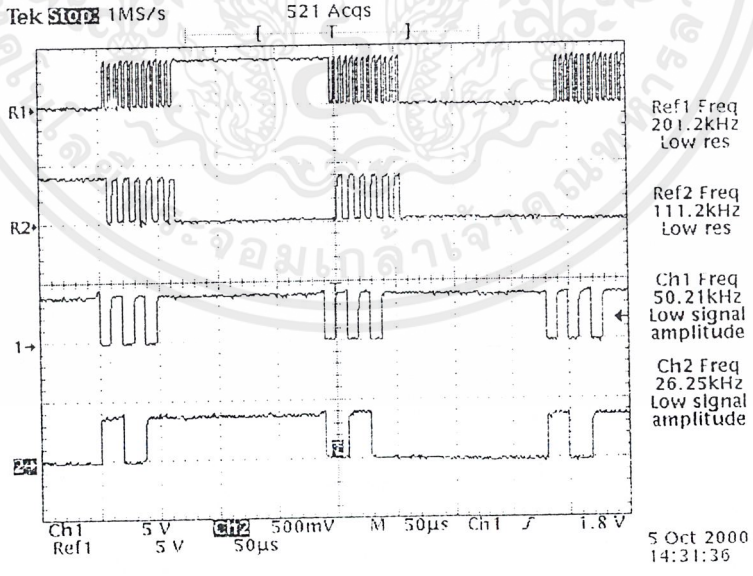


รูปที่ 4.15 แสดงสัญญาณคล็อคอินพุทของวงจรอ้างอิงแอดเดรสในการเขียนของหน่วยความจำ โดยที่
รูปบน เป็นกราฟแสดงสัญญาณการควบคุมการสแกนจุด
รูปกลาง เป็นกราฟแสดงสัญญาณการควบคุมการสแกนเส้น
รูปล่าง เป็นกราฟแสดงสัญญาณคล็อคอินพุทของวงจรที่ทำการทดลองนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

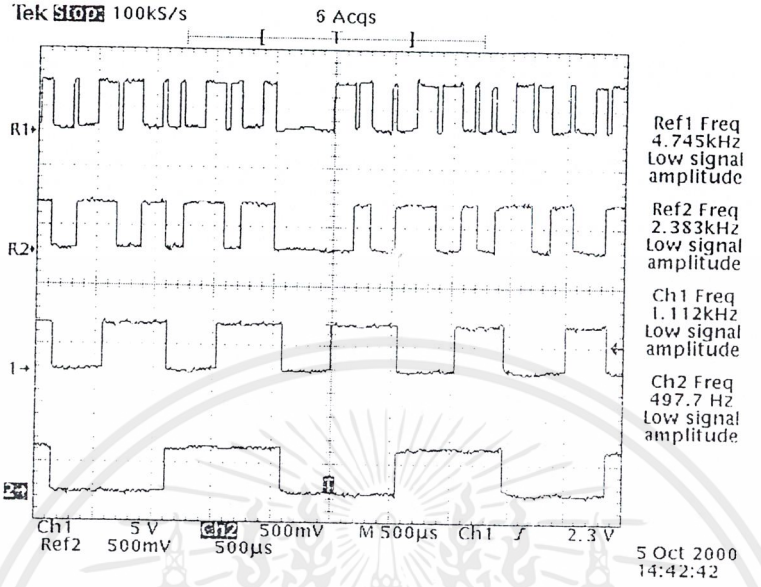


รูปที่ 4.16 แสดงสัญญาณคล็อคอินพุทของวงจรเทียบกับสัญญาณเอาท์พุทที่ออกจากวงจรเคาน์เตอร์ บิทที่ 1 (ซึ่งเป็น LSB บิท), 2 และ 3 ตามลำดับ

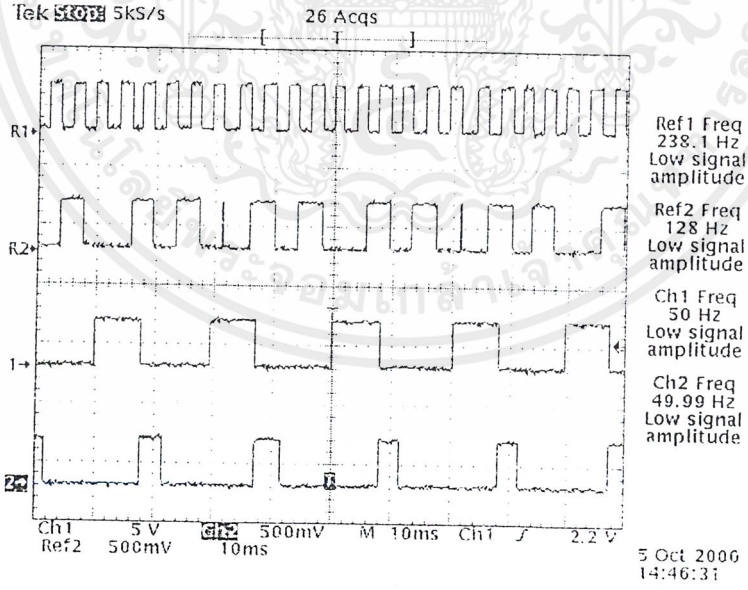


รูปที่ 4.17 แสดงสัญญาณเอาท์พุทที่ออกจากวงจรเคาน์เตอร์ บิทที่ 4, 5, 6 และ 7 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 แสดงสัญญาณเอาท์พุทที่ออกจากวงจรเคาน์เตอร์ บิทที่ 8, 9, 10 และ 11 ตามลำดับ



รูปที่ 4.19 แสดงสัญญาณเอาท์พุทที่ออกจากวงจรเคาน์เตอร์ บิทที่ 12, 13, 14 และ 15 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

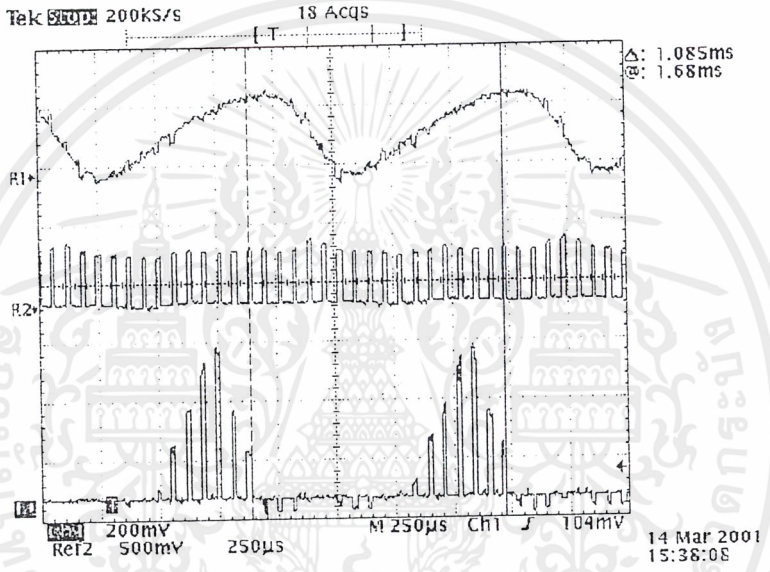
ลำดับของบิทที่ออกจากวงจรนับ	ความถี่ที่วัดได้ (เฮิร์ต)
1	1.665 M
2	834.2 K
3	418.6 K
4	201.2 K
5	111.2 K
6	50.21 K
7	26.25 K
8	4.745 K
9	2.383 K
10	1.112 K
11	497.7
12	238.1
13	128
14	50
15	49.99

ตารางที่ 4.3 แสดงค่าความถี่ที่แต่ละบิทเอาท์พุทที่ได้ของวงจรเคาน์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

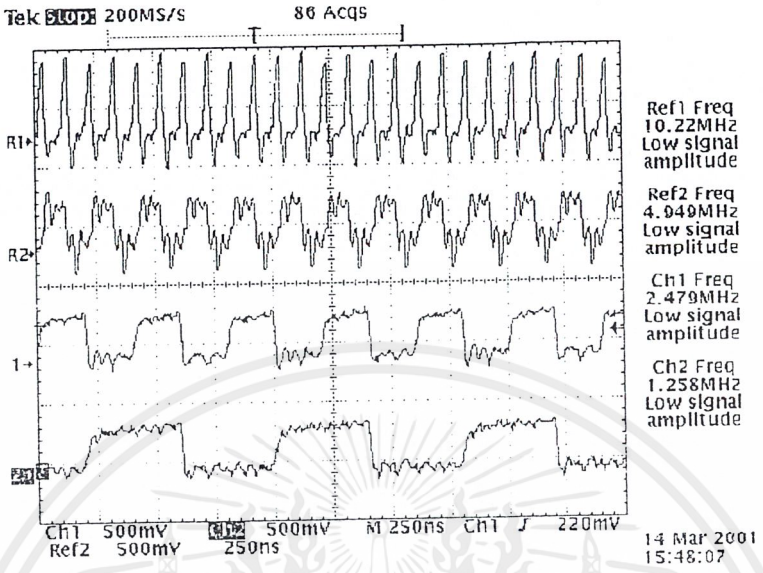
4.5.2 การทดลองวงจรส่วนการอ้างอิงตำแหน่งอ้างอิงแอดเดรสในการอ่านของหน่วยความจำ

ทำการป้อนสัญญาณที่ได้จากการรวมกัน ระหว่างสัญญาณกำหนดตำแหน่งของภาพเล็ก (MPC) และสัญญาณนาฬิกาขนาด 10 เมกกะเฮิร์ต ที่ผ่านตัวแอนด์เกท เป็นสัญญาณนาฬิกา และป้อนสัญญาณซิงก์ทางแนวนอนของภาพหลักเป็นสัญญาณเคลียร์ให้กับวงจร มาอ้างอิงการกำหนดตำแหน่งแอดเดรสในการอ่านให้กับหน่วยความจำ โดยแสดงผลได้ดังรูปต่อไปนี้

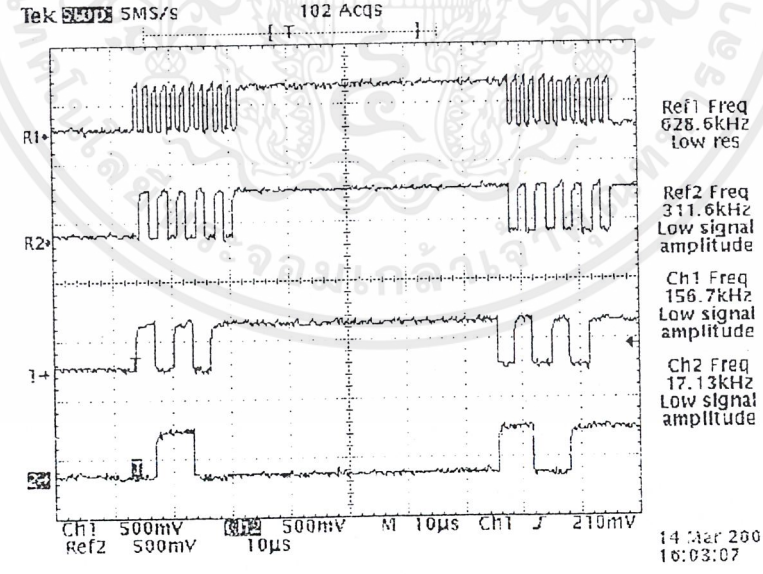


รูปที่ 4.20 แสดงสัญญาณคล็อคอินพุทของวงจรอ้างอิงแอดเดรสในการอ่านของหน่วยความจำ โดยที่
รูปบน เป็นกราฟแสดงสัญญาณกำหนดตำแหน่งของภาพเล็ก (MPC)
รูปกลาง เป็นกราฟแสดงสัญญาณนาฬิกาขนาด 10 เมกกะเฮิร์ต
รูปล่าง เป็นกราฟแสดงสัญญาณคล็อคอินพุทของวงจรที่ทำการทดลองนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

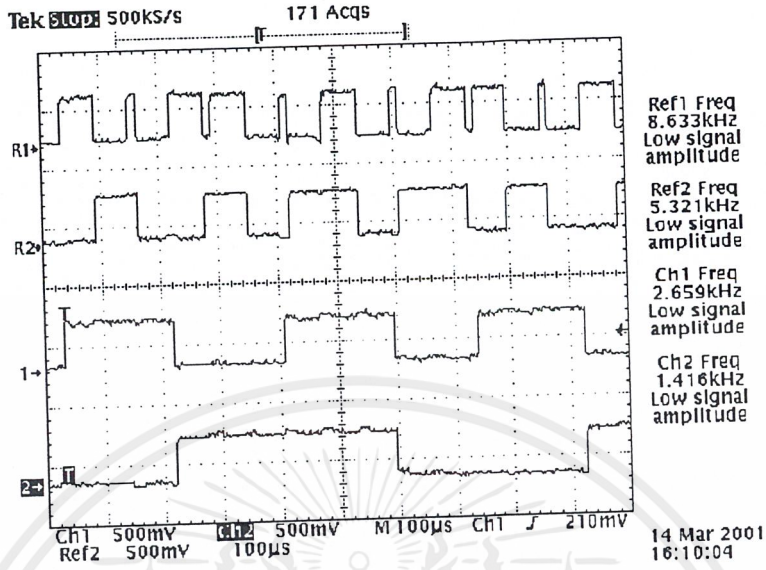


รูปที่ 4.21 แสดงสัญญาณคล็อกอินพุทของวงจรเทียบกับสัญญาณเอาท์พุทที่ออกจากวงจรเคาน์เตอร์ บิทที่ 1 (ซึ่งเป็น LSB บิท), 2 และ 3 ตามลำดับ

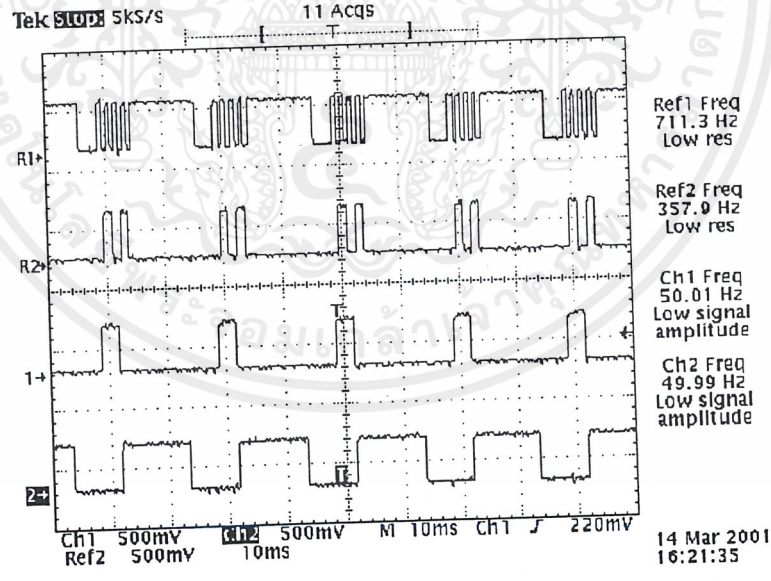


รูปที่ 4.22 แสดงสัญญาณของเอาท์พุทที่ออกจากวงจรเคาน์เตอร์ บิทที่ 4, 5, 6 และ 7 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.23 แสดงสัญญาณเอาท์พุทที่ออกจากวงจรเคาน์เตอร์ บิทที่ 8, 9, 10 และ 11 ตามลำดับ



รูปที่ 4.24 แสดงสัญญาณเอาท์พุทที่ออกจากวงจรเคาน์เตอร์ บิทที่ 12, 13, 14 และ 15 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับของบิทที่ออกจากวงจรนับ	ความถี่ที่วัดได้ (เฮิร์ต)
1	4.949 M
2	2.479 M
3	1.258 M
4	628.6 k
5	311.6 k
6	156.7 k
7	17.13 k
8	8.633 k
9	5.321 k
10	2.659 k
11	1.416 k
12	711.3
13	357.9
14	50
15	49.99

ตารางที่ 4.4 แสดงค่าความถี่ที่แต่ละบิทเอาท์พุทที่ได้จากวงจรเคาน์เตอร์

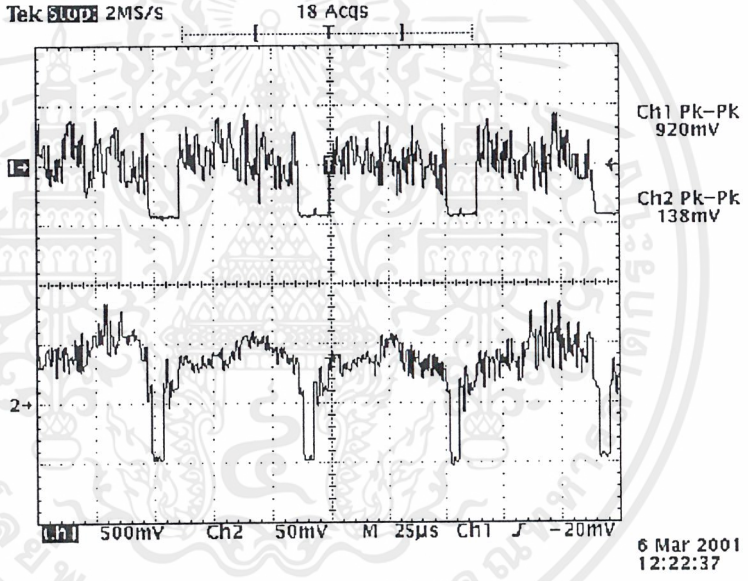
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 การทดลองส่วนวงจรการแปลงสัญญาณอนาลอกเป็นดิจิตอล(Analog to Digital Convertor : ADC) และวงจรการแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital to Analog Convertor : DAC)

จะพิจารณาทำการทดลองแบ่งออกเป็น 2 ลักษณะ ดังต่อไปนี้

4.6.1 การทดลองในกรณีที่ต่อตัว ADC โดยตรงกับตัว DAC

จะป้อนสัญญาณเข้าสู่วงจรส่วนการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ซึ่งต่อตรงกับส่วนวงจรการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก พิจารณารูปร่างของสัญญาณที่ได้ว่ามีลักษณะเป็นอย่างไร โดยสัญญาณที่ป้อนนั้น จะใช้สัญญาณภาพเป็นสัญญาณอินพุท แสดงผลได้ดังรูป

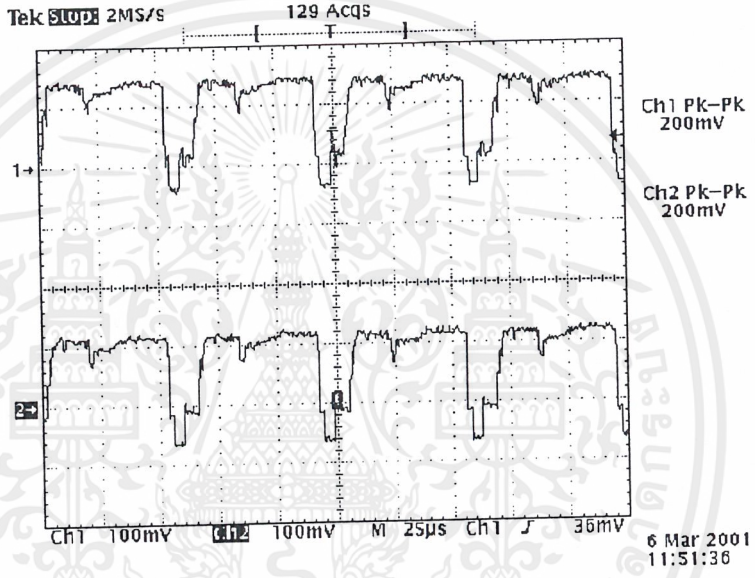


รูปที่ 4.25 แสดงสัญญาณภาพที่ป้อนเข้าสู่วงจร ADC (ดังรูปล่าง) เทียบกับสัญญาณเอาท์พุทที่ออกจากวงจร DAC (ดังรูปบน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.2 การทดลองในกรณีที่ตัว ADC ต่อผ่านตัวหน่วยความจำ และตัว DAC ตามวงจรที่ทำการออกแบบมา

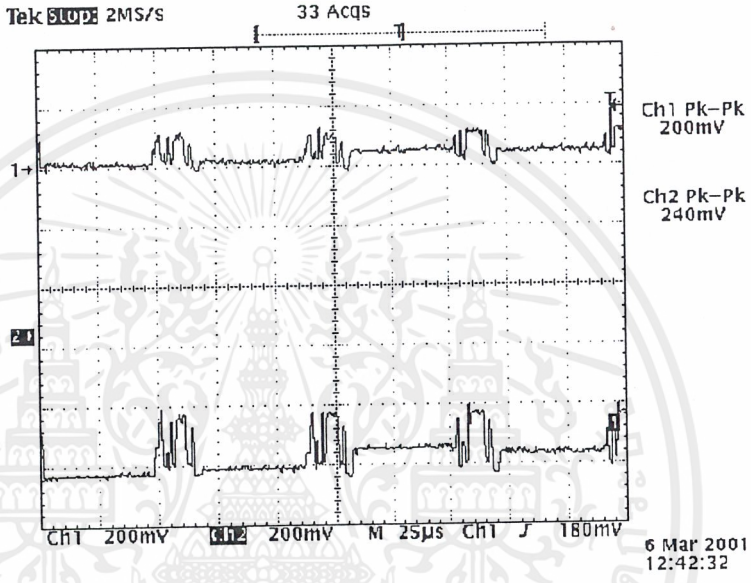
การทดลองในส่วนของวงจรการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลนั้น จะทำการศึกษาลักษณะของสัญญาณที่ป้อนเข้ามาว่ามีลักษณะเป็นอย่างไร พร้อมทั้งพิจารณาการปรับระดับของสัญญาณอินพุทที่ป้อนเข้าไป แสดงผลได้ดังรูป



รูปที่ 4.26 แสดงสัญญาณอินพุทของวงจร ADC (ดังรูปบน) เทียบกับสัญญาณอินพุทของวงจร ADC ที่ผ่านการปรับค่าเกนและระดับของสัญญาณ (ดังรูปล่าง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

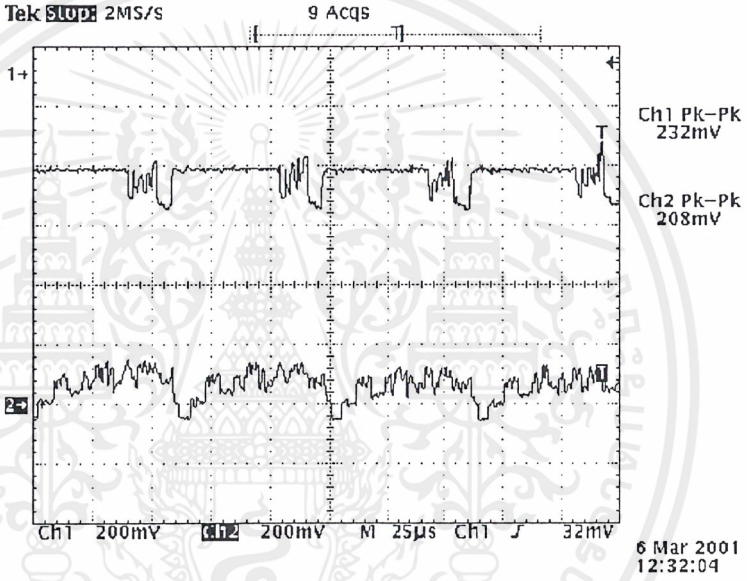
การทดลองในส่วนของวงจรการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก จะพิจารณาถึงสัญญาณเอาท์พุทที่ได้ออกมาว่ามีลักษณะเป็นอย่างไร พร้อมทั้งพิจารณาถึงการปรับของระดับสัญญาณเอาท์พุทที่ได้ออกมาด้วย แสดงผลได้ดังรูป



รูปที่ 4.27 แสดงสัญญาณเอาท์พุทของวงจร DAC (ดังรูปล่าง) เทียบกับสัญญาณเอาท์พุทของวงจรที่ผ่านการปรับค่าเกนและระดับของสัญญาณ (ดังรูปบน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองในส่วนสุดท้ายนี้ จะทำการต่อวงจรส่วนการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล เข้ากับวงจรการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก ซึ่งต่อผ่านตัวหน่วยความจำบัฟเฟอร์ โดยที่มีการกำหนดตำแหน่งแอดเดรสการอ่านและการเขียนของหน่วยความจำตามที่ได้ออกแบบมาแล้วในบทที่ 3 พิจารณาผลที่ได้จากเอาท์พุทของวงจรส่วนการแปลงสัญญาณดิจิตอลเป็นอนาลอกเทียบกับสัญญาณที่ป้อนเข้าสู่ส่วนของการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ซึ่งแสดงผลได้ดังรูป

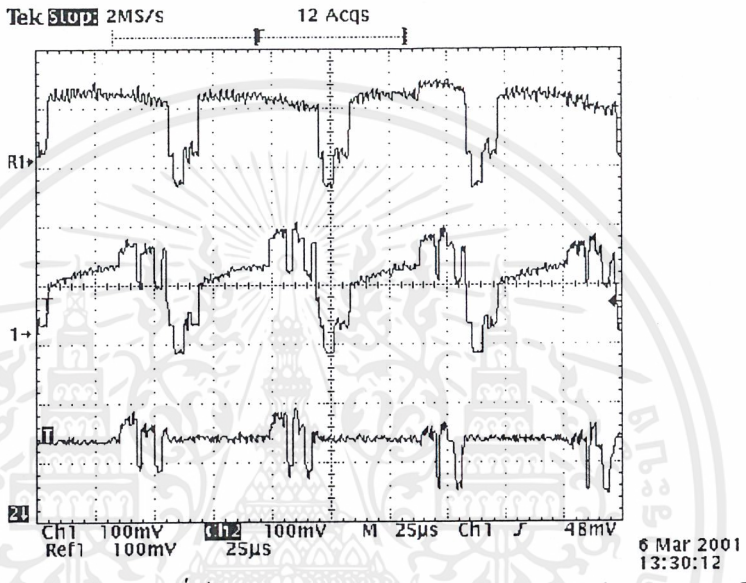


รูปที่ 4.28 แสดงสัญญาณเอาท์พุทที่ได้จากส่วนของวงจร DAC (ดังรูปบน) เทียบกับสัญญาณอินพุทที่ป้อนให้กับวงจร ADC (ดังรูปล่าง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 การทดลองในส่วนการแสดงผลจากวงจรรวมทั้งหมด

การทดลองนี้จะพิจารณาถึงผลที่ได้จากการทำงานของวงจรรวมทั้งหมด โดยจะมีส่วนของวงจรที่จะทำการตัดต่อภาพเล็กให้ไปซ้อนอยู่บนภาพหลักตามตำแหน่งที่ต้องการ โดยที่เราได้ใช้ตัวอนาลอกสวิตช์ ในการทำงานส่วนนี้ ซึ่งต้องใช้สัญญาณการกำหนดตำแหน่งของภาพเล็กเป็นสัญญาณมาควบคุมการทำงานของวงจรส่วนนี้ ผลที่ได้จากการทดลองตามที่กล่าวมา แสดงได้ดังรูปต่อไปนี้



รูปที่ 4.29 แสดงกราฟของสัญญาณที่เป็นส่วนของภาพหลัก (ดังรูปบน) และส่วนของภาพเล็ก (ดังรูปล่าง) เทียบกับสัญญาณเอาท์พุทที่เป็นสัญญาณภาพรวมของวงจร (ดังรูปกลาง)

นอกจากที่จะพิจารณาผลของการทดลองในรูปของสัญญาณภาพแล้ว ยังสามารถที่จะพิจารณาผลการทดลองของวงจรทั้งหมดออกมาในรูปของภาพที่ปรากฏบนจอโทรทัศน์ตามตำแหน่งต่างๆ ดังต่อไปนี้

ตำแหน่งภาพเล็ก	การกำหนดตำแหน่งในแนวนอน (Horizontal – bank)		การกำหนดตำแหน่งในแนวตั้ง (Vertical – bank)	
	จุดเริ่มต้น	จุดสิ้นสุด	เส้นเริ่มต้น	เส้นสิ้นสุด
มุมขวาบน	0101000011	0111110011	00011011	01001010
มุมขวาล่าง	0101000011	0111110011	10101010	10000100
มุมซ้ายบน	0001111000	0100101000	00011011	01001010
มุมซ้ายล่าง	0001111000	0100101000	10101010	10000100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.30 แสดงผลการทดลองการแสดงภาพเล็กในตำแหน่งมุมขวาบนของจอภาพ

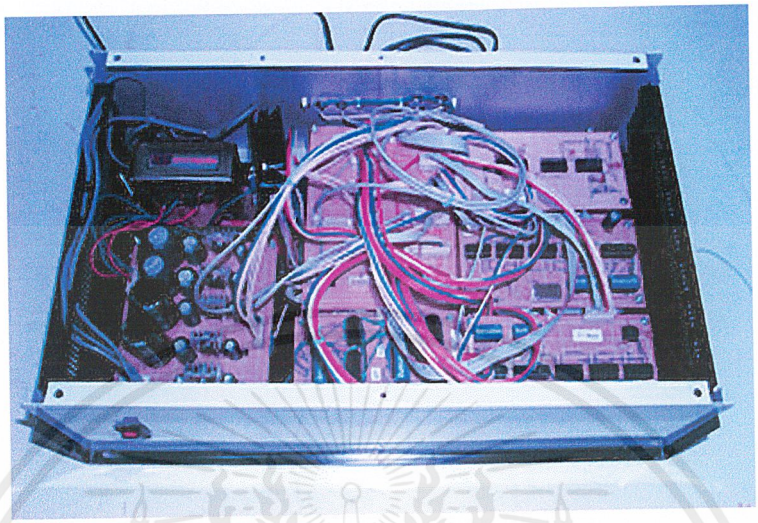
รูปที่ 4.31 แสดงผลการทดลองการแสดงภาพเล็กในตำแหน่งมุมขวาล่างของจอภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.32 แสดงผลการทดลองการแสดงภาพเล็กในตำแหน่งมุมซ้ายบนของจอภาพ

รูปที่ 4.33 แสดงผลการทดลองการแสดงภาพเล็กในตำแหน่งมุมซ้ายล่างของจอภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.34 แสดงวงจรระบบภาพซ้อนภาพที่ใช้ในการทดลอง

รูปที่ 4.35 แสดงอุปกรณ์ที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

5.1 สรุปผลการทดลอง

ปริญญานิพนธ์เครื่องสร้างสัญญาณภาพซ้อนภาพ (Picture-In-Picture) นี้ เป็นการนำเอาภาพเล็กไปวางซ้อนไว้บนภาพใหญ่ โดยในโครงงานนี้จะกำหนดขนาดของภาพเล็กให้มีขนาดเป็น 1/9 เท่าของขนาดจอภาพ และสามารถที่จะกำหนดตำแหน่งของภาพเล็กบนจอภาพได้ ซึ่งโครงงานนี้จะแบ่งหลักการทำงานเป็นส่วนต่างๆ ดังนี้

1. ส่วนวงจรแยกสัญญาณซิงก์(Sync Separate) จะเป็นส่วนที่แยกสัญญาณซิงก์ที่ใช้บนจอภาพออกจากสัญญาณภาพรวม
2. ส่วนวงจรควบคุมตำแหน่งภาพเล็ก (Mixed Picture Control) จะเป็นส่วนที่ใช้กำหนดตำแหน่งบนจอภาพ โดยจะมีการกำหนดตำแหน่งในแนวตั้ง ซึ่งจะใช้สัญญาณจากสัญญาณซิงก์ทางแนวนอนและสัญญาณซิงก์ทางแนวตั้งเป็นตัวควบคุม และการกำหนดตำแหน่งในแนวนอน ซึ่งจะใช้สัญญาณจากคริสตอลขนาด 10 เมกกะเฮิร์ต และสัญญาณซิงก์ทางแนวนอนเป็นตัวควบคุม
3. ส่วนวงจรควบคุมการสแกน (Scan Control Unit) จะเป็นส่วนที่ใช้ในการกำหนดขนาดของภาพเล็ก โดยจะมีการควบคุมการสแกนเส้น ซึ่งจะสแกน 1 เส้นเว้น 2 เส้น และการควบคุมการสแกนจุด ซึ่งจะสแกน 1 จุดเว้น 2 จุด
4. ส่วนวงจรควบคุมการอ่าน/เขียนหน่วยความจำ จะเป็นส่วนที่ใช้ในการควบคุมการนำสัญญาณภาพเล็กที่ได้กำหนดขนาดแล้ว ไปเขียนลงบนหน่วยความจำตัวหนึ่ง และในเวลาเดียวกัน ก็จะนำสัญญาณภาพเล็ก ที่เก็บไว้ในอีกหน่วยความจำหนึ่งไปอ่าน และนำสัญญาณที่อ่านได้แสดงผลที่หน้าจอ
5. ส่วนวงจรควบคุมการอ้างแอดเดรสของหน่วยความจำ จะเป็นส่วนที่ใช้อ้างอิงตำแหน่งของสัญญาณภาพเล็กที่จะนำไปเก็บหรืออ่านจากหน่วยความจำ โดยจะสามารถอ้างอิงแอดเดรสได้ตั้งแต่ 0000 ถึง 7FFF
6. ส่วนวงจรหน่วงเวลาของจุดและเส้นสแกน เป็นส่วนที่ใช้ในการแก้ปัญหาแถบดำที่เกิดขึ้นที่ขอบด้านบนและด้านล่างของจอภาพเล็ก
7. ส่วนวงจรหน่วยความจำ เป็นส่วนที่ใช้เก็บข้อมูลภาพเล็ก โดยจะมีหน่วยความจำ 2 ชุด ขนาด 32 k สำหรับการอ่าน/เขียนข้อมูล และจะสลับกันอ่าน/เขียน โดยอาศัยสัญญาณควบคุมจากวงจรควบคุมการอ่าน/เขียนหน่วยความจำ
8. ส่วนวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (A/D Converter) มีหน้าที่ในการแปลงสัญญาณภาพให้เป็นสัญญาณดิจิตอลสำหรับเขียนลงในหน่วยความจำ และวงจรเอาดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะมีวงจรปรับระดับสัญญาณภาพให้อยู่ในช่วงการทำงานของเอทูดี และเพื่อให้ได้สัญญาณภาพที่ไม่รวมสัญญาณซิงก์เป็นอินพุทของสัญญาณเอทูดีด้วย

9. ส่วนวงจรสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (D/A Converter) มีหน้าที่ในการแปลงสัญญาณดิจิตอลที่รับจากหน่วยความจำที่ทำหน้าที่ในการอ่านข้อมูลเป็นสัญญาณภาพเล็ก และวงจรดีทูเอนี้จะมีวงจรลดขนาดสัญญาณภาพและวงจรปรับระดับสัญญาณภาพเพื่อให้สามารถนำภาพเล็กไปแทรกในตำแหน่งที่ต้องการได้
10. ส่วนวงจรอนาลอกสวิตซ์ เป็นวงจรที่ใช้ในการตัดต่อภาพเล็กให้ปรากฏบนจอภาพ

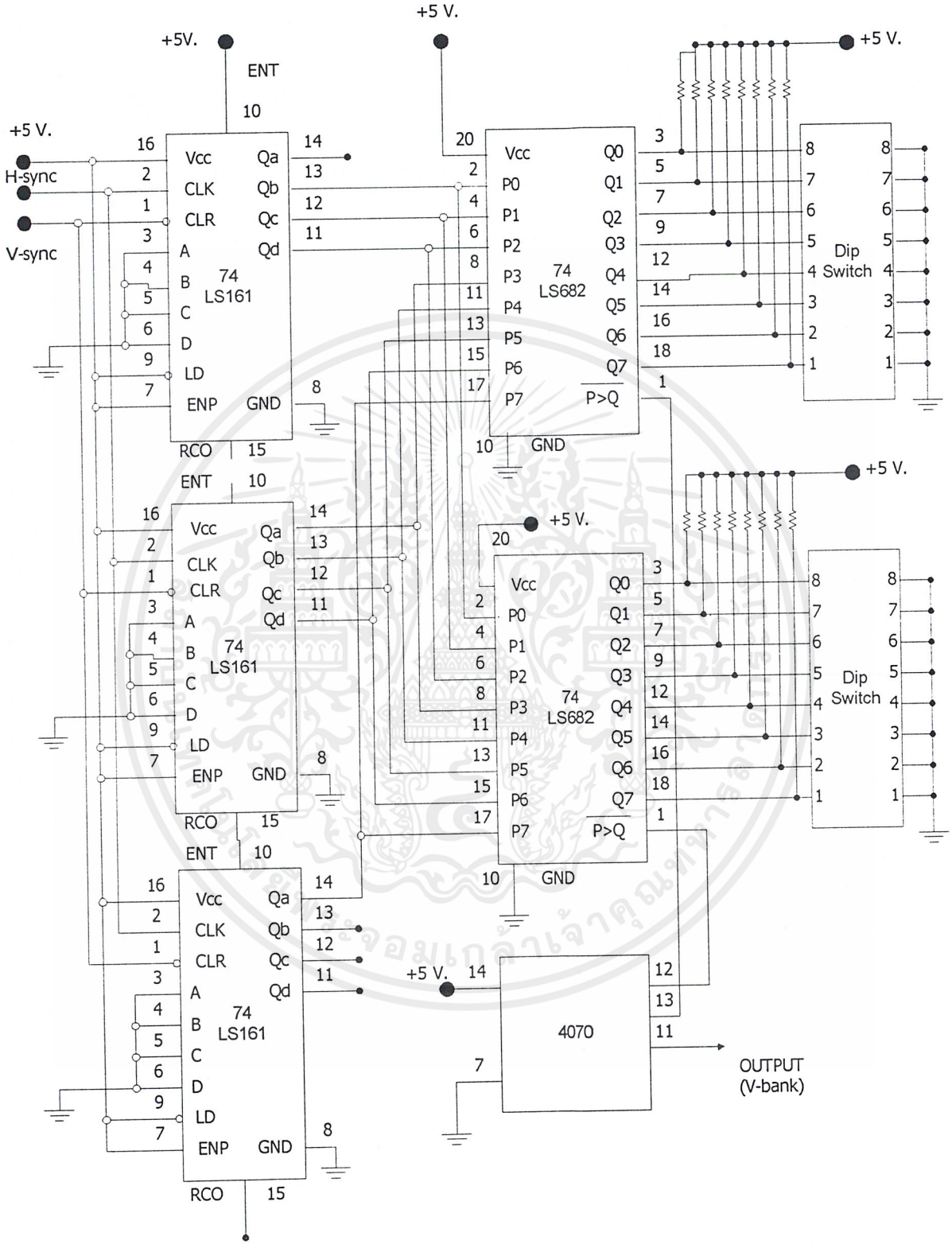
5.2 วิจารณ์ผลการทดลอง

1. ในการกำหนดขนาดของภาพเล็ก จากการทดลองจะกำหนดขนาดไว้ 1/9 เท่าของขนาดจอภาพ ถ้าหากว่าต้องการที่จะปรับเปลี่ยนขนาด จะต้องทำการออกแบบส่วนของวงจรควบคุมการสแกนภาพเล็กขึ้นใหม่
2. ภาพเล็กที่ได้เกิดการสั่นของภาพขึ้น เนื่องมาจากสัญญาณรบกวนต่างๆ เช่น การวางแผ่นวงจรในกล่องซ้อนกันหลายชั้น หรือการเชื่อมสายไฟระหว่างแผ่นของวงจร ซึ่งอาจทำการแก้ไขได้โดยการวางแต่ละส่วนของวงจรให้ห่างกัน หรือการทำชิลด์ (Shield)
3. ที่ตำแหน่งภาพเล็กจะมีเส้นแบ่งภาพออกเป็นสองส่วน ซึ่งเกิดขึ้นจากจังหวะการสลับหน่วยความจำตัวที่ 1 และ 2 สามารถทำการแก้ไขได้โดยการเปลี่ยนหลักการการทำงานของหน่วยความจำ ให้สลับหน่วยความจำเมื่ออ่านข้อมูลจบในแต่ละฟิลด์แล้ว หรือโดยการเพิ่มจำนวนของหน่วยความจำ
4. ปริญญานิพนธ์เครื่องสร้างสัญญาณภาพซ้อนภาพนี้ จะแสดงภาพเล็กเป็นภาพขาวดำเท่านั้น และสามารถพัฒนาการแสดงภาพเล็กให้เป็นภาพสีได้ โดยทำการออกแบบวงจรส่วนที่แยกสัญญาณเบริสต์ และส่วนประกอบสีต่างๆ คือ สีแดง เขียว น้ำเงินเพิ่มเติม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

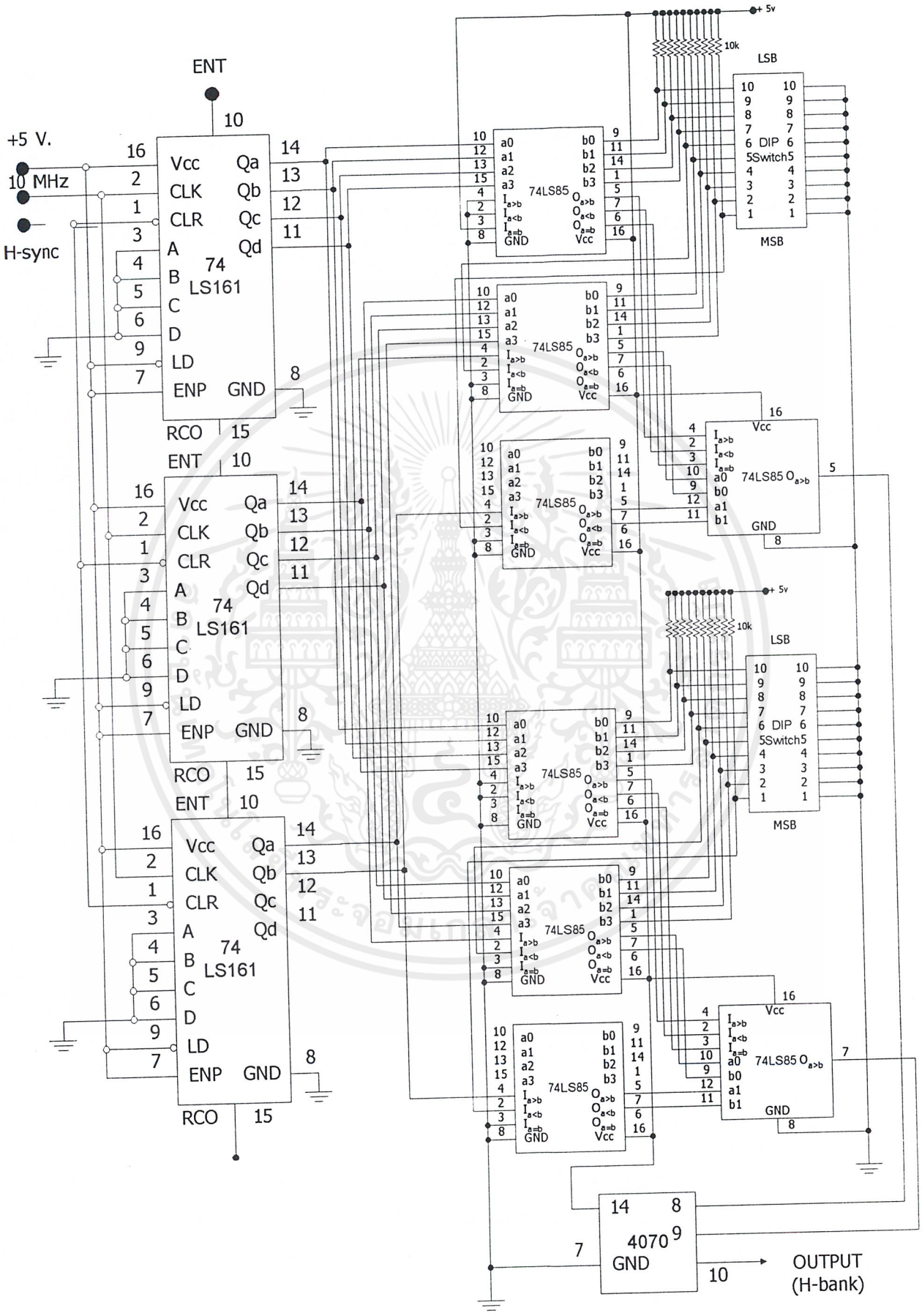
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



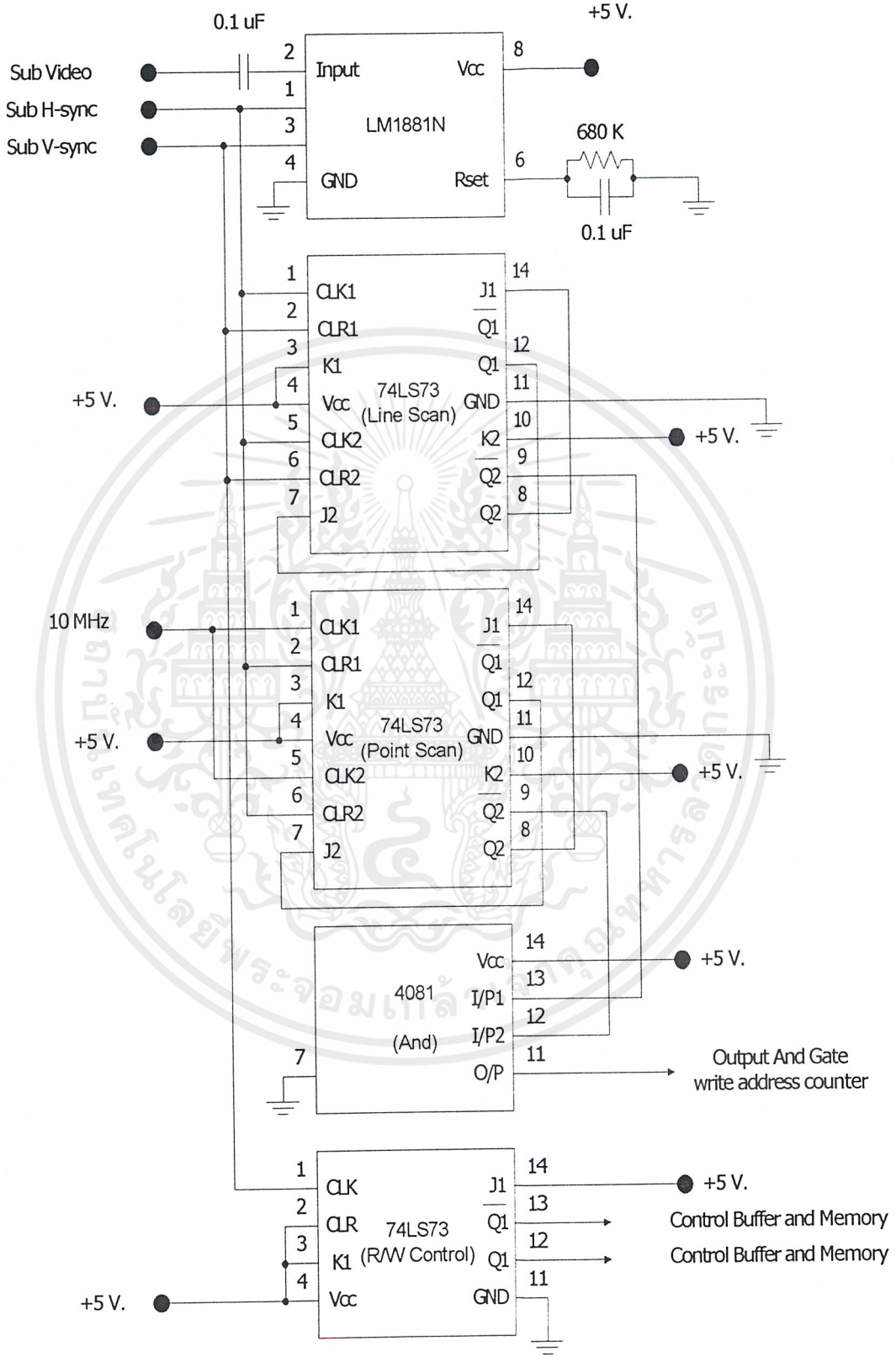
รูปที่ 1 วงจรสร้างสัญญาณ V-bank

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



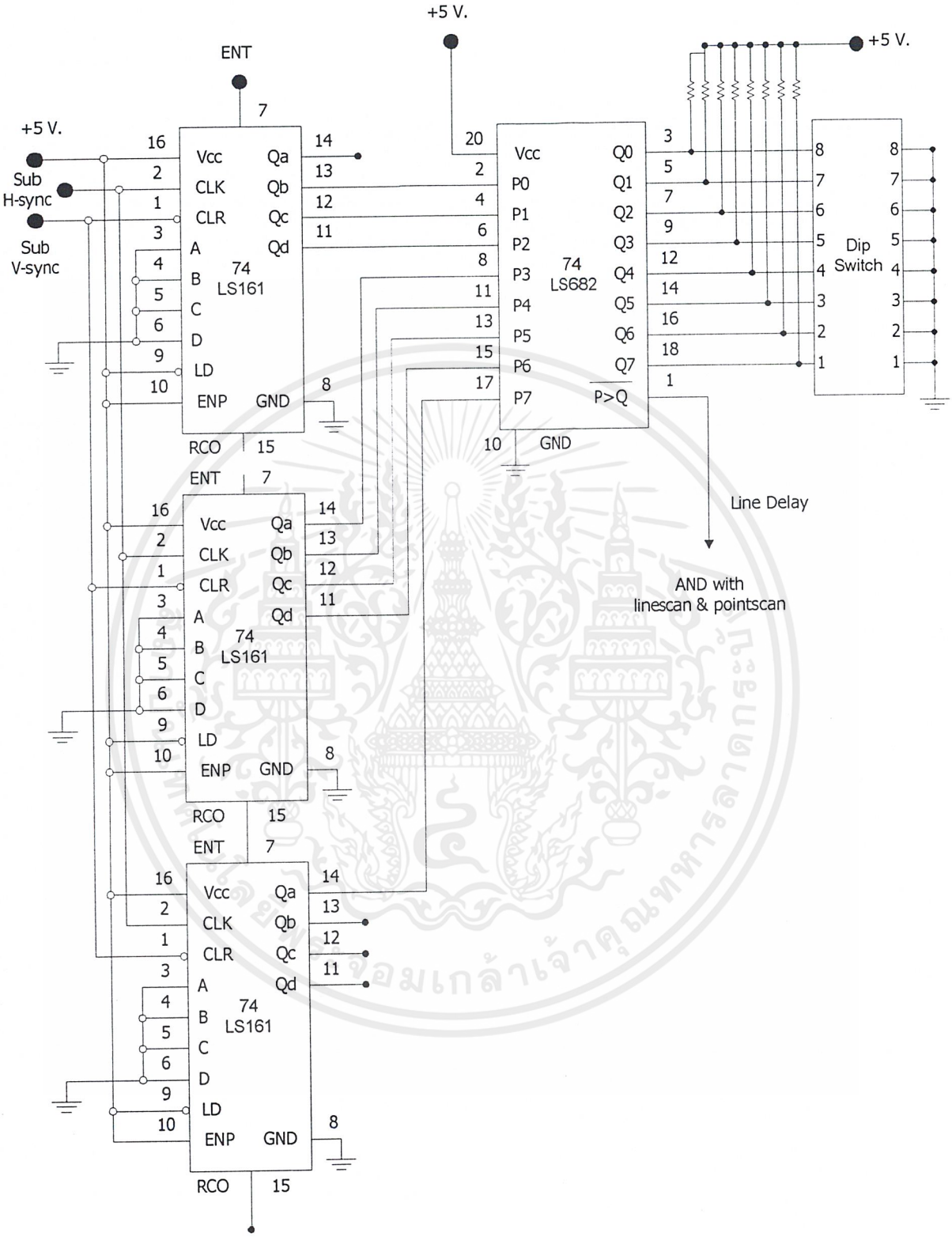
รูปที่ 2 วงจรสร้างสัญญาณ H-bank

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



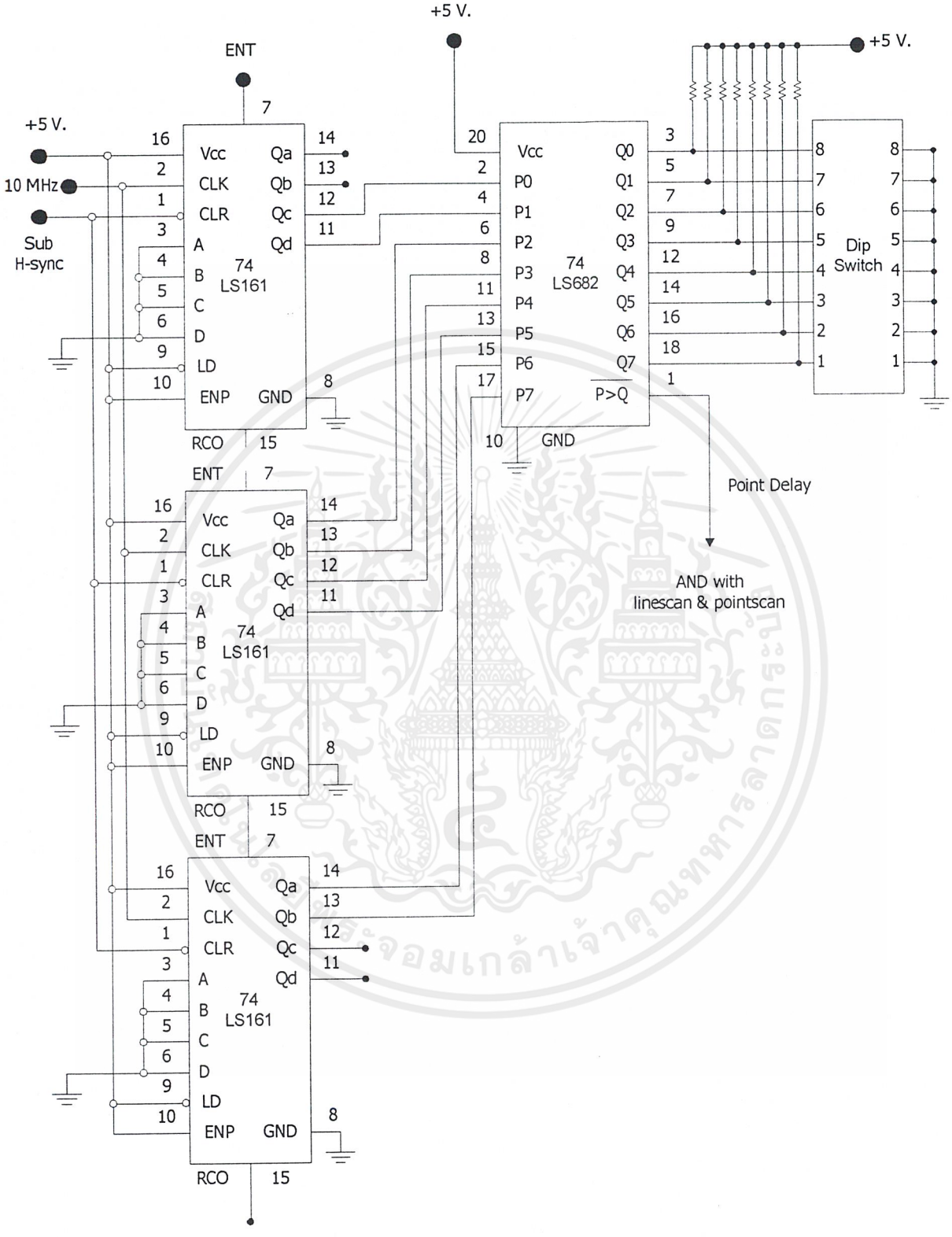
รูปที่ 3 การต่อวงจรแยกซิงก์ร่วมกับวงจรควบคุมการเก็บจุดสแกน
และวงจรควบคุมการอ่านและเขียนหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



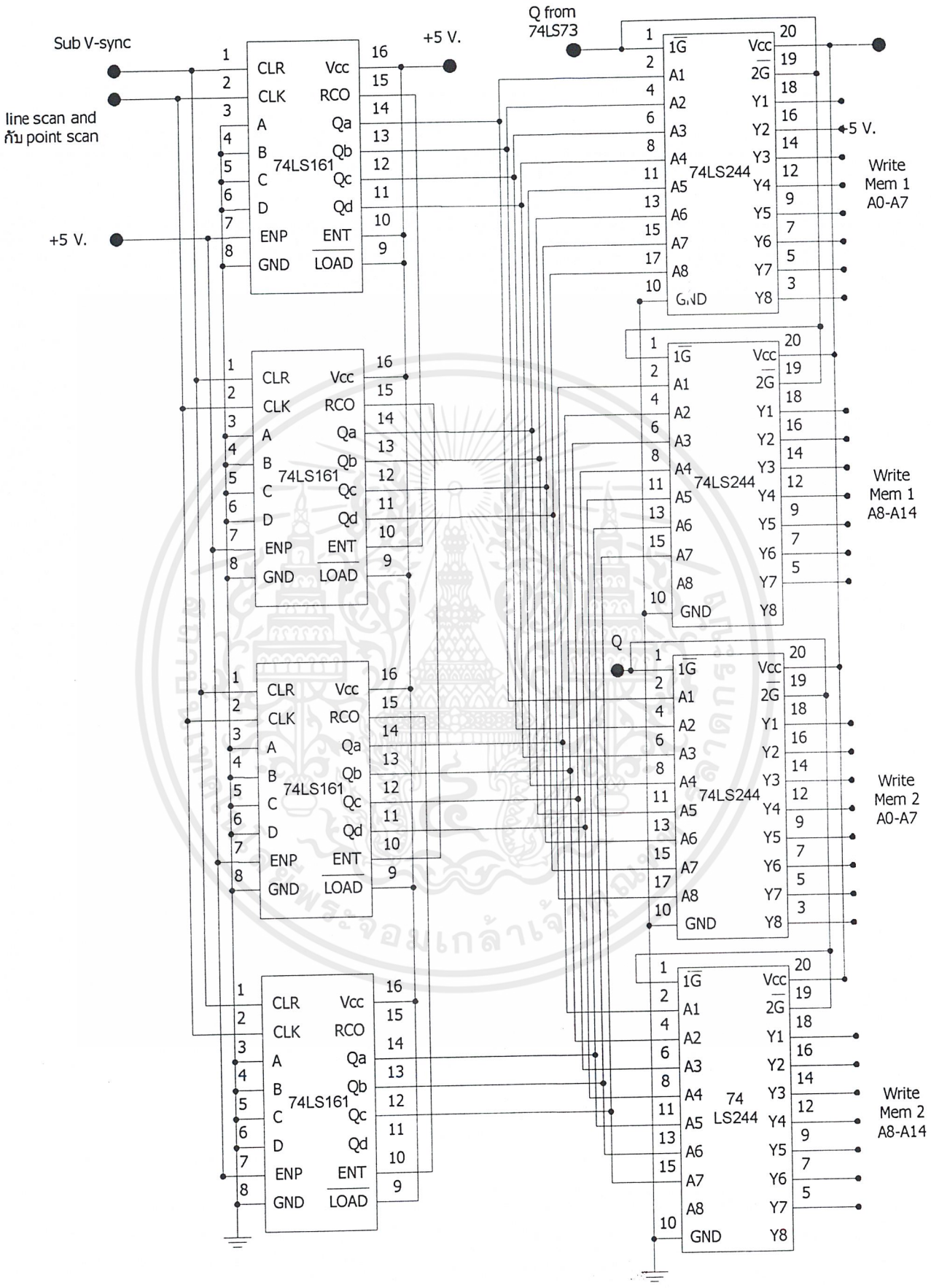
รูปที่ 4 วงจรหน่วงเวลาการเก็บเส้นสแกน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



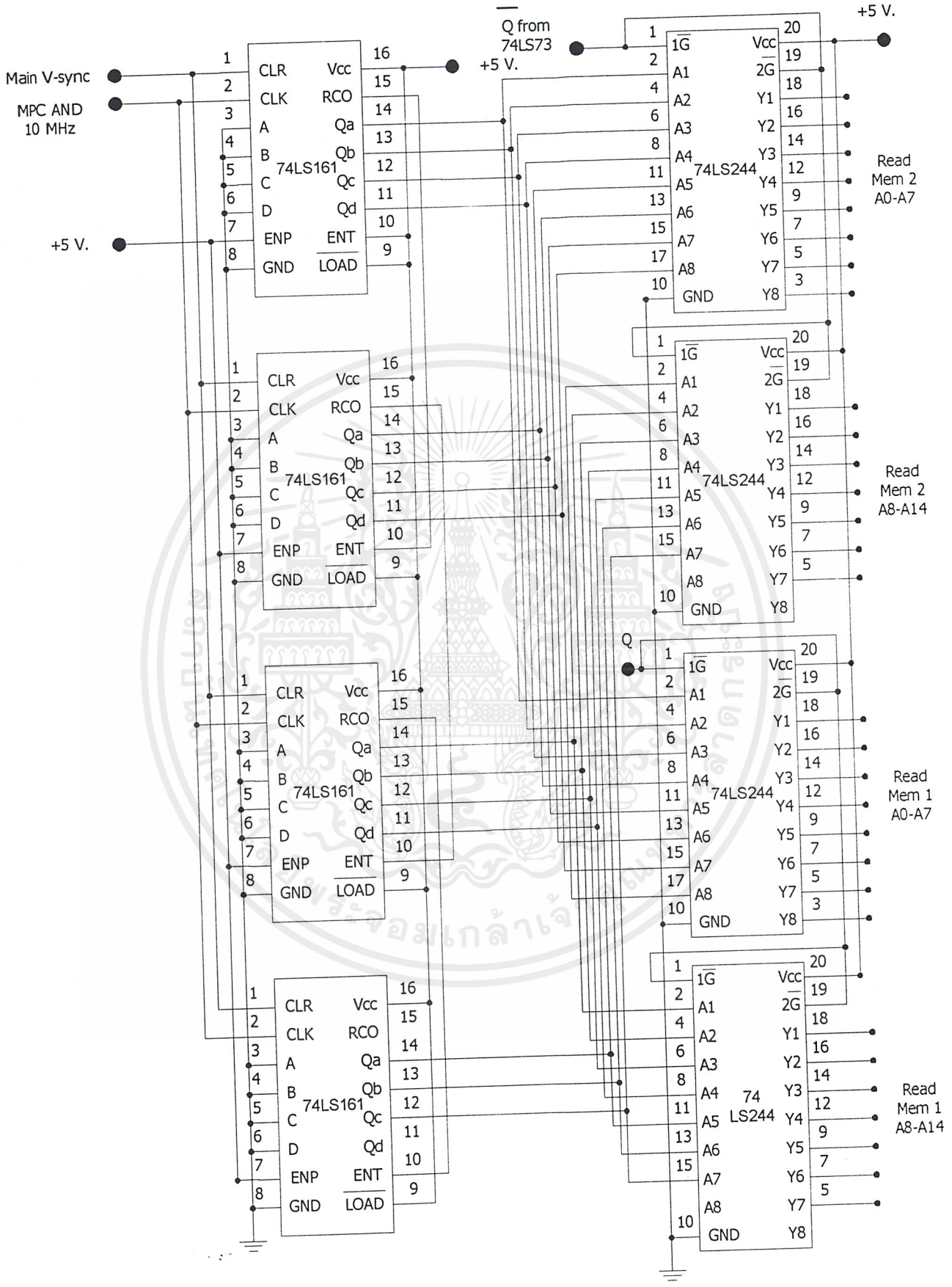
รูปที่ 5 วงจรหน่วงเวลาการเก็บจุดสแกน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



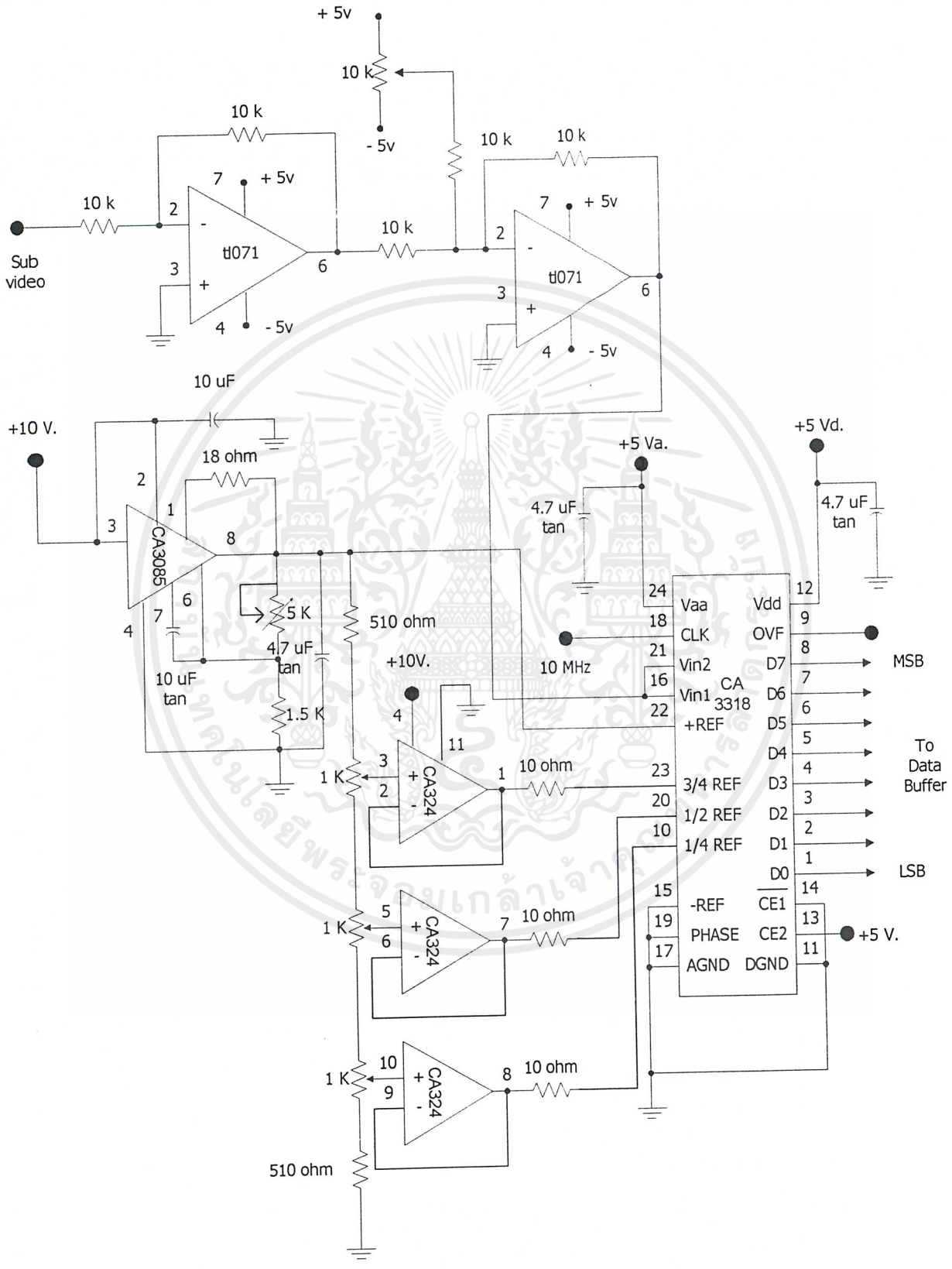
รูปที่ 6 วงจรระบุตำแหน่งการเขียนหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



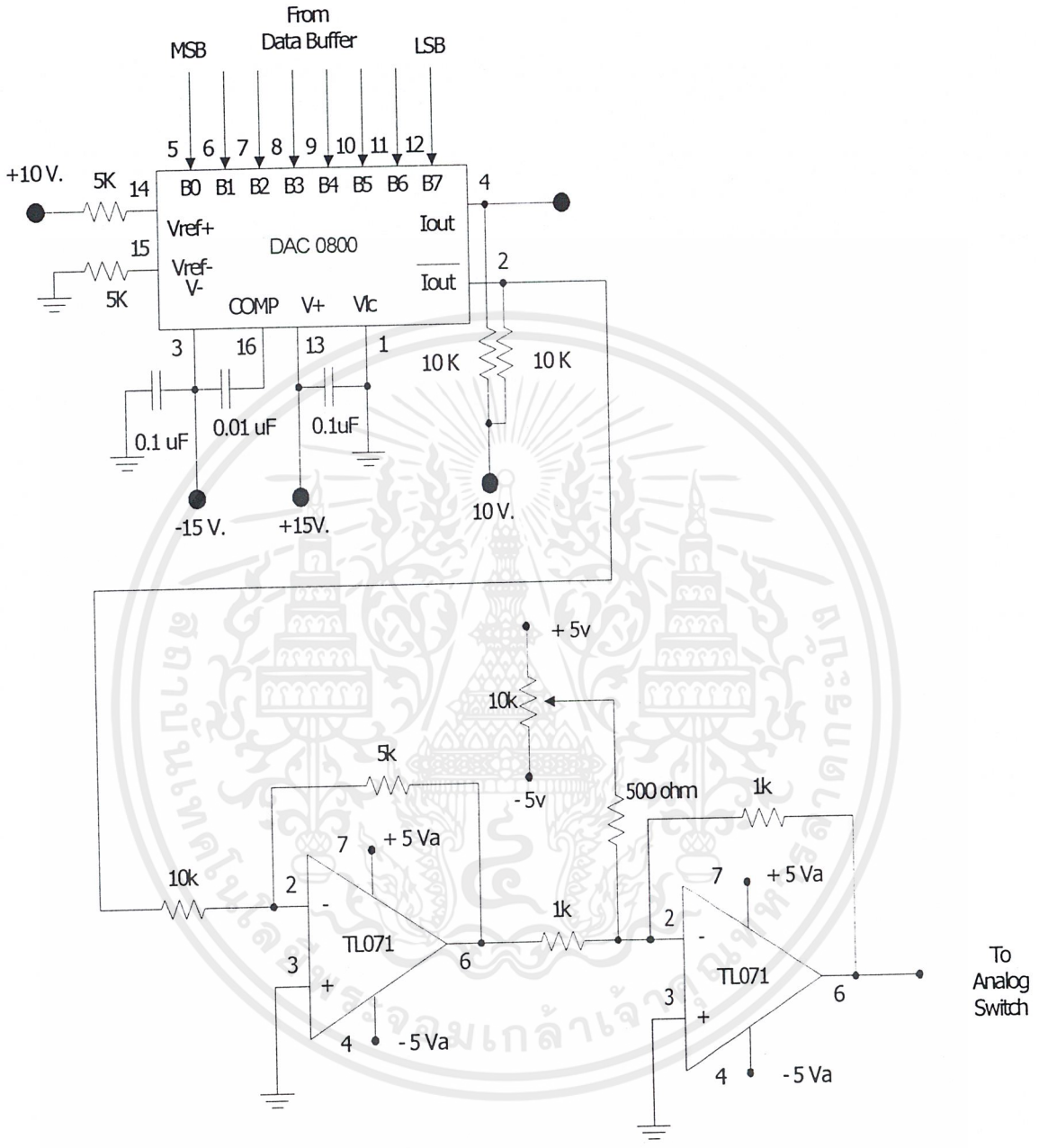
รูปที่ 7 วงจรระบุตำแหน่งการอ่านหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



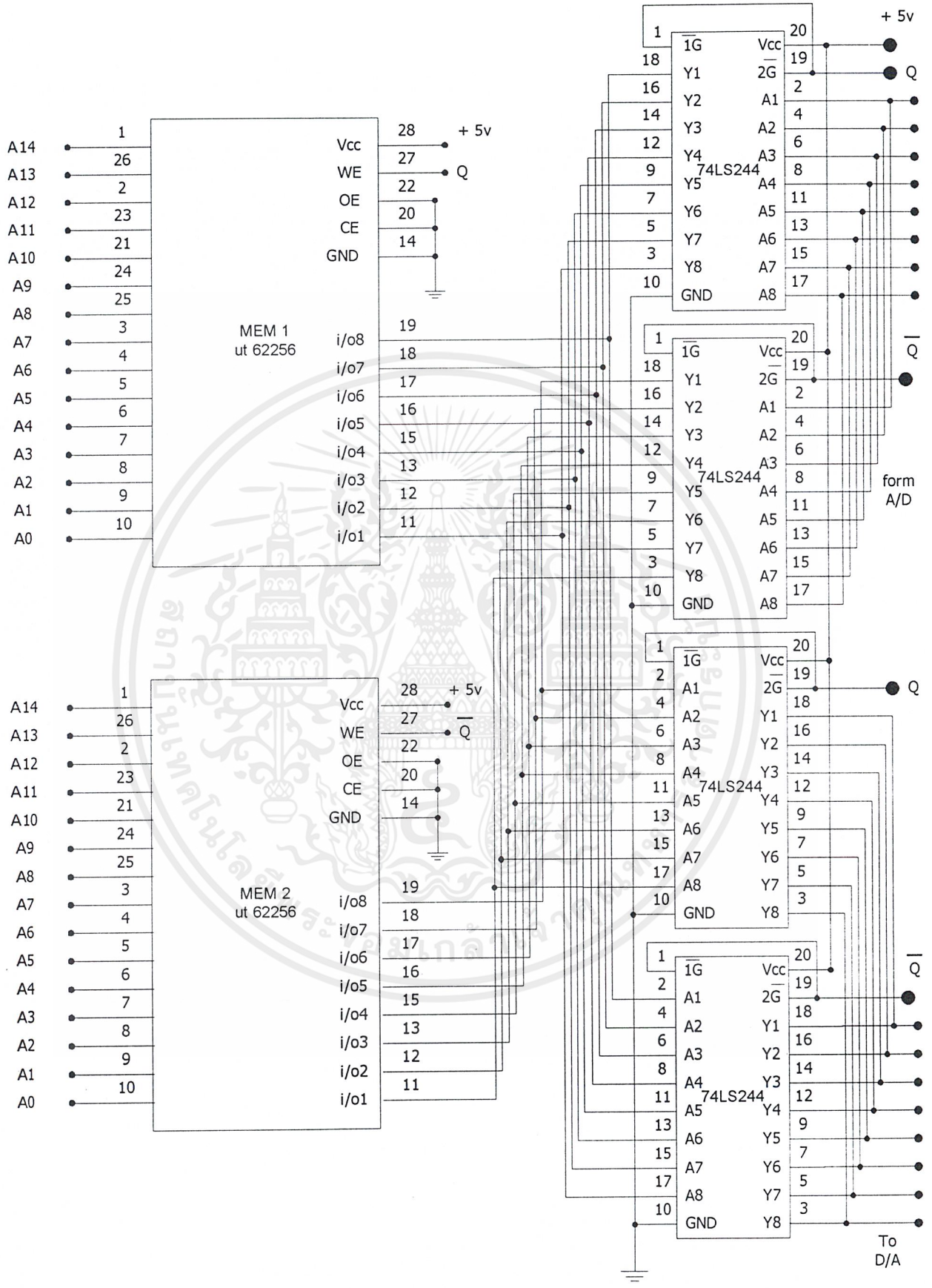
รูปที่ 8 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



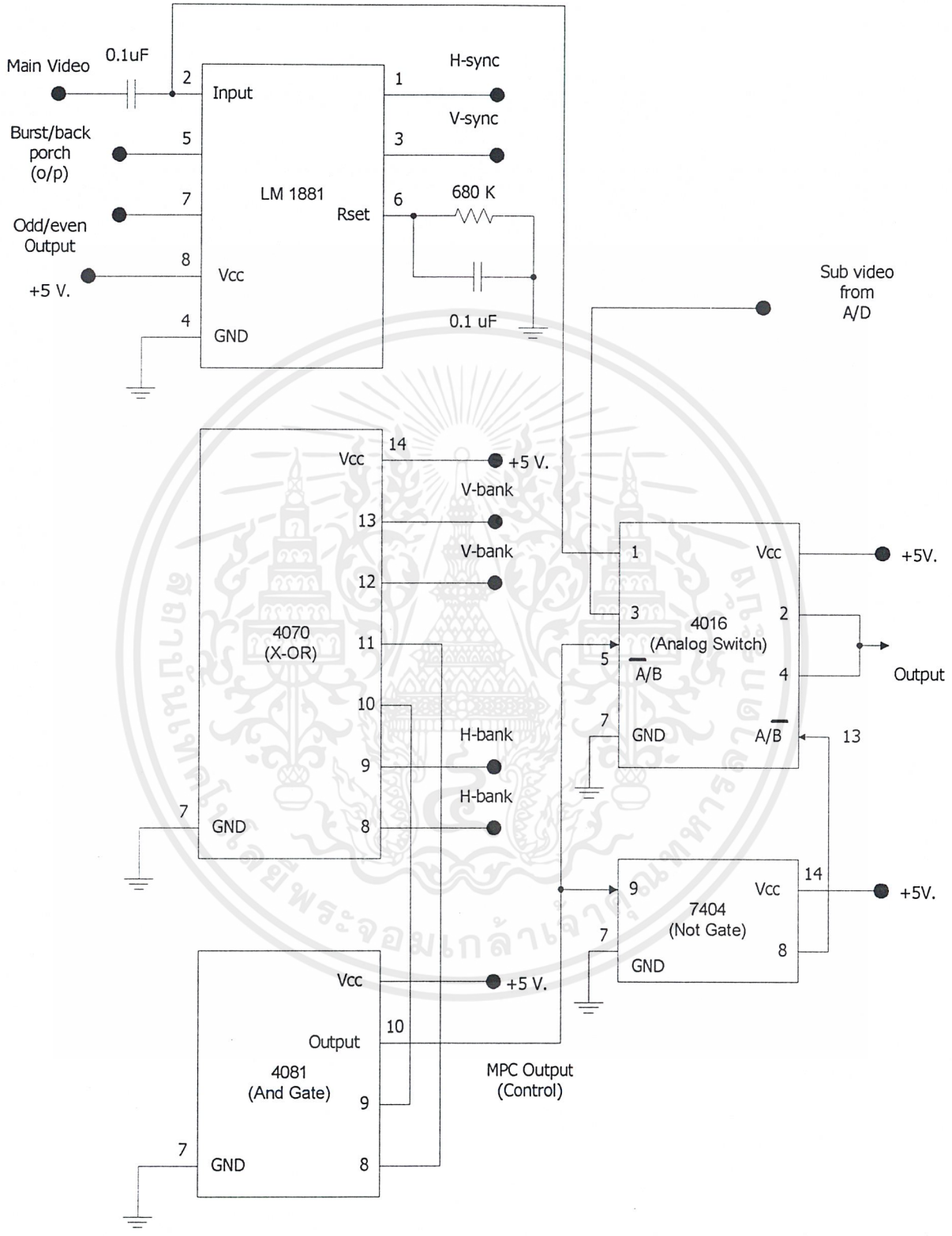
รูปที่ 9 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



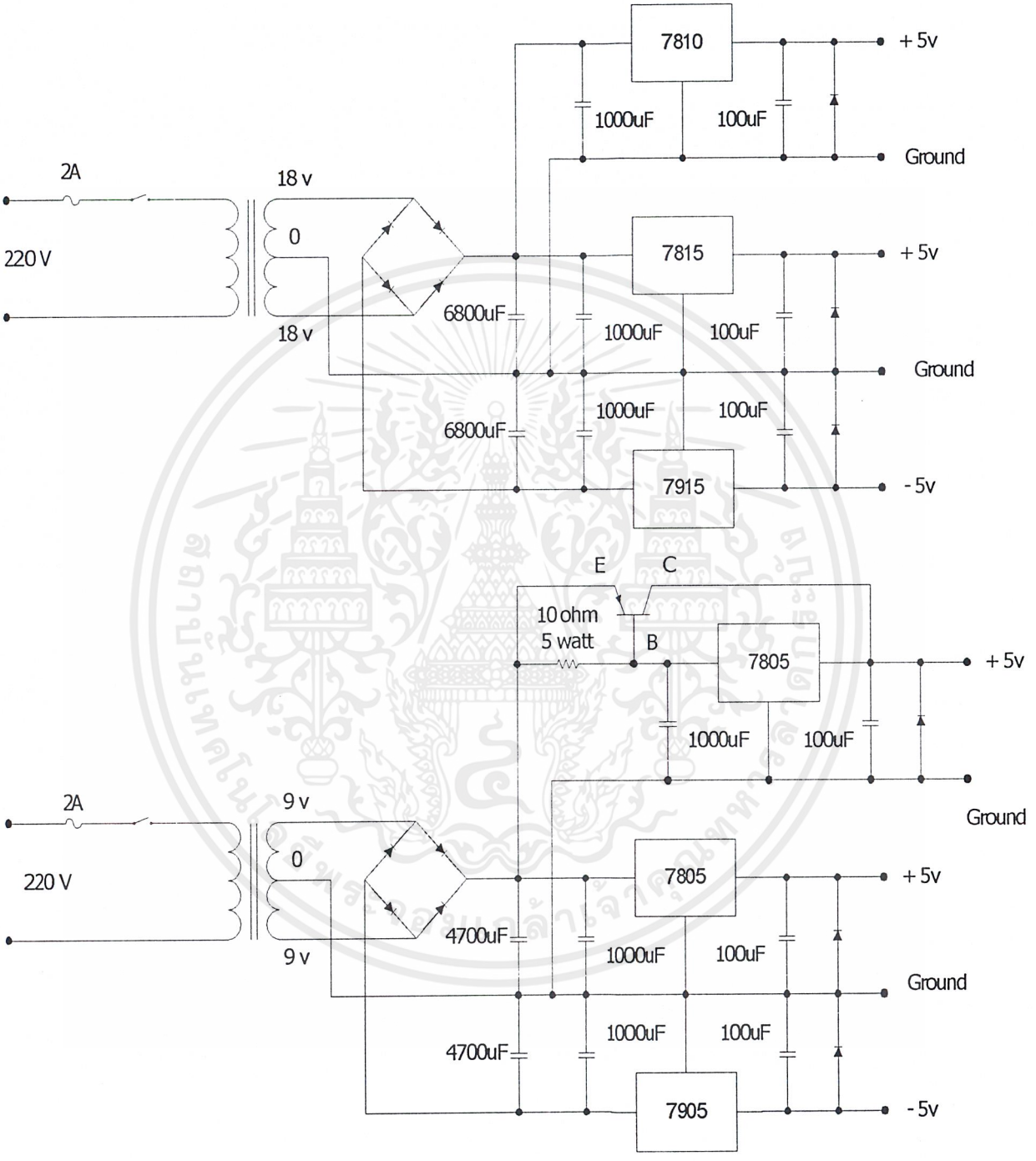
รูปที่ 10 การต่อหน่วยความจำและบัฟเฟอร์ข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 11 แสดงวงจรการรวมสัญญาณภาพด้วยอนาลอกสวิตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 12 วงจรเรกกูเรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR TM

August 1986
Revised February 2000

DM7404
Hex Inverting Gates

General Description

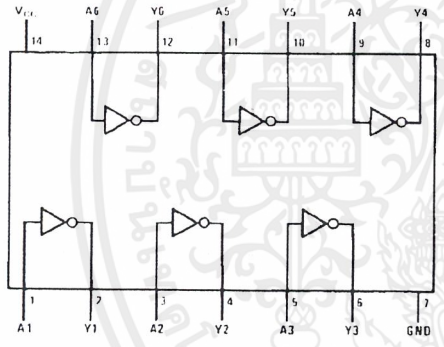
This device contains six independent gates each of which performs the logic INVERT function.

Ordering Code:

Order Number	Package Number	Package Description
DM7404M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM7404N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$Y = \overline{A}$

Inputs	Output
A	Y
L	H
H	L

H = HIGH Logic Level
L = LOW Logic Level

© 2000 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR™

August 1986
Revised March 2000

DM74LS73A
Dual Negative-Edge-Triggered Master-Slave J-K Flip-Flops with Clear and Complementary Outputs

General Description

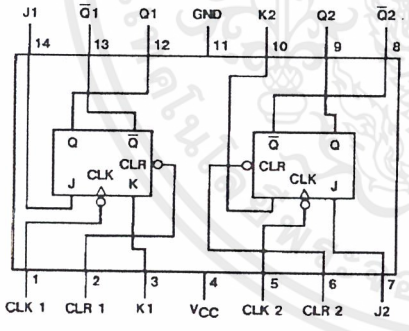
This device contains two independent negative-edge-triggered J-K flip-flops with complementary outputs. The J and K data is processed by the flip-flops on the falling edge of the clock pulse. The clock triggering occurs at a voltage level and is not directly related to the transition time of the negative going edge of the clock pulse. The data on the J and K inputs is allowed to change while the clock is HIGH or LOW without affecting the outputs as long as setup and hold times are not violated. A low logic level on the clear input will reset the outputs regardless of the levels of the other inputs.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS73AM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS73AN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

Inputs				Outputs	
CLR	CLK	J	K	Q	$\overline{Q}$
L	X	X	X	L	H
H	↓	L	L	Q_0	$\overline{Q}_0$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	Toggle	
H	H	X	X	Q_0	$\overline{Q}_0$

H = HIGH Logic Level
L = LOW Logic Level
X = Either LOW or HIGH Logic Level
↓ = Negative going edge of pulse.
Q_0 = The output logic level before the indicated input conditions were established.
Toggle = Each output changes to the complement of its previous level on each falling edge of the clock pulse.

© 2000 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR TM

August 1986
Revised March 2000

DM74LS85
4-Bit Magnitude Comparator

General Description

These 4-bit magnitude comparators perform comparison of straight binary or BCD codes. Three fully-decoded decisions about two, 4-bit words (A, B) are made and are externally available at three outputs. These devices are fully expandable to any number of bits without external gates. Words of greater length may be compared by connecting comparators in cascade. The A > B, A < B, and A = B outputs of a stage handling less-significant bits are connected to the corresponding inputs of the next stage handling more-significant bits. The stage handling the least-significant bits must have a high-level voltage applied to the A = B input. The cascading path is implemented with only a two-gate-level delay to reduce overall comparison times for long words.

Features

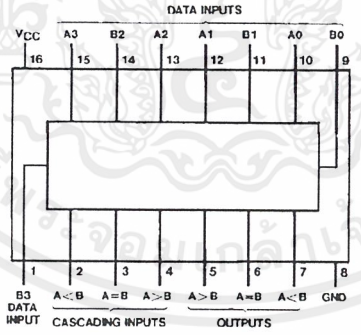
- Typical power dissipation 52 mW
- Typical delay (4-bit words) 24 ns

Ordering Code:

Order Number	Package Number	Package Description
DM74LS85M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS85N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



© 2000 Fairchild Semiconductor Corporation

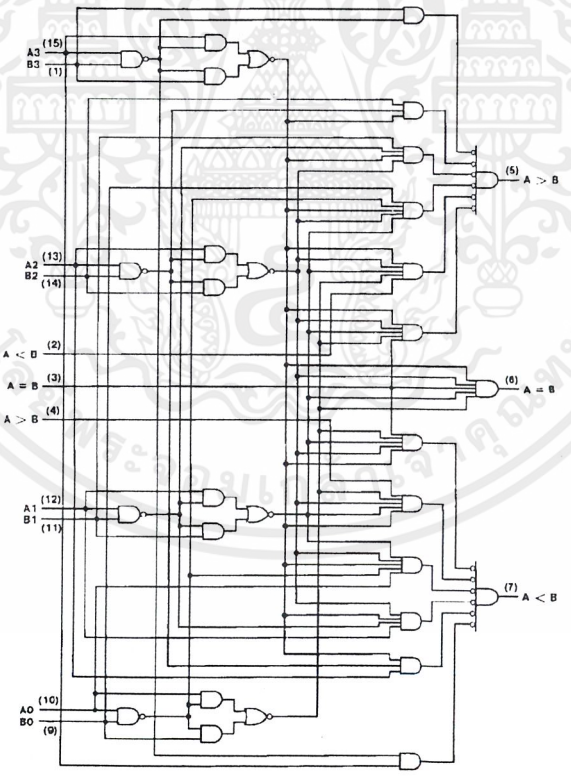
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Function Table

Comparing Inputs				Cascading Inputs			Outputs		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

H = HIGH Level, L = LOW Level, X = Don't Care

Logic Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR™

August 1986
Revised March 2000

DM74LS244
Octal 3-STATE Buffer/Line Driver/Line Receiver

General Description

These buffers/line drivers are designed to improve both the performance and PC board density of 3-STATE buffers/drivers employed as memory-address drivers, clock drivers, and bus-oriented transmitters/receivers. Featuring 400 mV of hysteresis at each low current PNP data line input, they provide improved noise rejection and high fanout outputs and can be used to drive terminated lines down to 133Ω.

Features

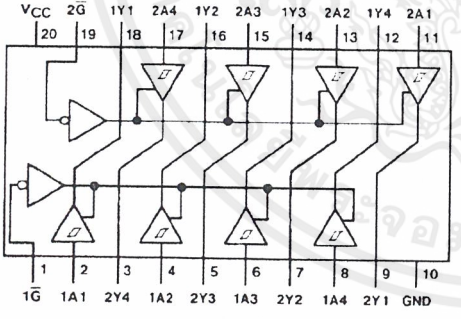
- 3-STATE outputs drive bus lines directly
- PNP inputs reduce DC loading on bus lines
- Hysteresis at data inputs improves noise margins
- Typical I_{OL} (sink current) 24 mA
- Typical I_{OH} (source current) −15 mA
- Typical propagation delay times
  - Inverting 10.5 ns
  - Noninverting 12 ns
- Typical enable/disable time 18 ns
- Typical power dissipation (enabled)
  - Inverting 130 mW
  - Noninverting 135 mW

Ordering Code:

Order Number	Package Number	Package Description
DM74LS244WM	M20B	20-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300 Wide
DM74LS244SJ	M20D	20-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS244N	N20A	20-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

Inputs		Output
$\overline{G}$	A	Y
L	L	L
L	H	H
H	X	Z

L = LOW Logic Level
H = HIGH Logic Level
X = Either LOW or HIGH Logic Level
Z = High Impedance

© 2000 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR™

November 1983
Revised January 1999

CD4016BC
Quad Bilateral Switch

General Description

The CD4016BC is a quad bilateral switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with CD4066BC.

Features

- Wide supply voltage range: 3V to 15V
- Wide range of digital and analog switching: ±7.5 V_{PEAK}
- "ON" resistance for 15V operation: 400Ω (typ.)
- Matched "ON" resistance over 15V signal input: ΔR_{ON} = 10Ω (typ.)
- High degree of linearity:
  0.4% distortion (typ.)
  @ f_{IS} = 1 kHz, V_{IS} = 5 V_{p-p},
  V_{DD}–V_{SS} = 10V, R_L = 10 kΩ
- Extremely low "OFF" switch leakage:
  0.1 nA (typ.)
  @ V_{DD} – V_{SS} = 10V
  T_A = 25°C
- Extremely high control input impedance: 10^{12}Ω (typ.)
- Low crosstalk between switches:
  –50 dB (typ.)
  @ f_{IS} = 0.9 MHz, R_L = 1 kΩ
- Frequency response, switch "ON": 40 MHz (typ.)

Applications

- Analog signal switching/multiplexing
  Signal gating
  Squelch control
  Chopper
  Modulator/Demodulator
  Commutating switch
- Digital signal switching/multiplexing
- CMOS logic implementation
- Analog-to-digital/digital-to-analog conversion
- Digital control of frequency, impedance, phase, and analog-signal gain

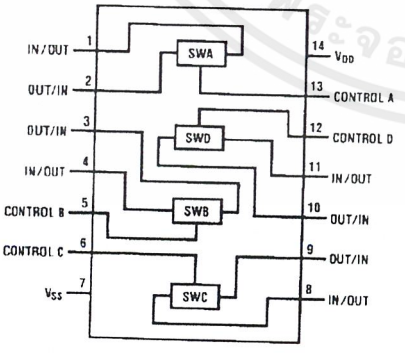
Ordering Code:

Order Number	Package Number	Package Description
CD4016BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150" Narrow
CD4016BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

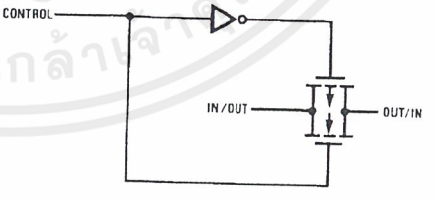
Devices also available in Tape and Reel. Specify by appending the letter suffix "X" to the ordering code.

Connection Diagram

Pin Assignments for DIP and SOIC



Schematic Diagram



© 1999 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

March 1992

CD4070BM/CD4070BC
Quad 2-Input EXCLUSIVE-OR Gate
CD4077BM/CD4077BC
Quad 2-Input EXCLUSIVE-NOR Gate

General Description

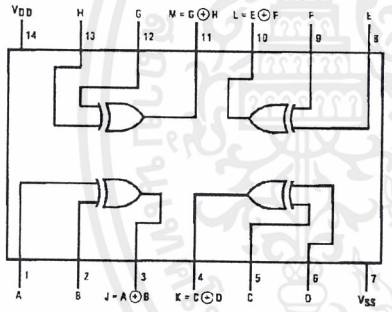
Employing complementary MOS (CMOS) transistors to achieve wide power supply operating range, low power consumption, and high noise margin, the CD4070BM/BC and CD4077BM/BC provide basic functions used in the implementation of digital integrated circuit systems. The N- and P-channel enhancement mode transistors provide a symmetrical circuit with output swing essentially equal to the supply voltage. No DC power other than that caused by leakage current is consumed during static condition. All inputs are protected from damage due to static discharge by diode clamps to V_{DD} and V_{SS}.

Features

- Wide supply voltage range — 3.0V to 15V
- High noise immunity — 0.45 V_{DD} typ.
- Low power TTL compatibility — Fan out of 2 driving 74L or 1 driving 74LS
- CD4070B—Pin compatible to CD4030A
  —Equivalent to MM54C86/MM74C86 and MC14070B
- CD4077B—Equivalent to MC14077B

Connection Diagram

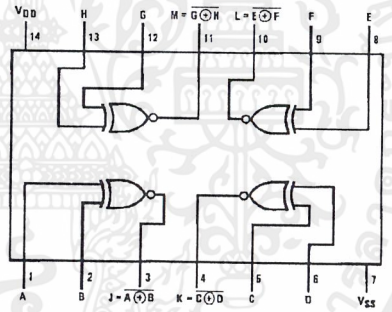
CD4070BM/CD4070BC
Dual-In-Line Package



TL/F/5976–1

Top View

CD4077BM/CD4077BC
Dual-In-Line Package

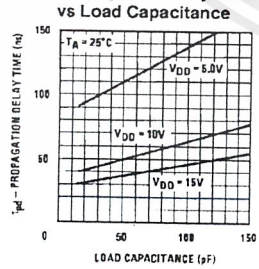


TL/F/5976–5

Top View

Typical Performance Characteristics

Propagation Delay Time
vs Load Capacitance



TL/F/5976–2

Truth Tables

CD4070BM/CD4070BC

Inputs		Outputs
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

CD4077BM/CD4077BC

Inputs		Outputs
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	H

© 1995 National Semiconductor Corporation TL/F/5976

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

March 2000

LM124/LM224/LM324/LM2902
Low Power Quad Operational Amplifiers

General Description

The LM124 series consists of four independent, high gain, internally frequency compensated operational amplifiers which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage.

Application areas include transducer amplifiers, DC gain blocks and all the conventional op amp circuits which now can be more easily implemented in single power supply systems. For example, the LM124 series can be directly operated off of the standard +5V power supply voltage which is used in digital systems and will easily provide the required interface electronics without requiring the additional ±15V power supplies.

Unique Characteristics

- In the linear mode the input common-mode voltage range includes ground and the output voltage can also swing to ground, even though operated from only a single power supply voltage
- The unity gain cross frequency is temperature compensated
- The input bias current is also temperature compensated

Advantages

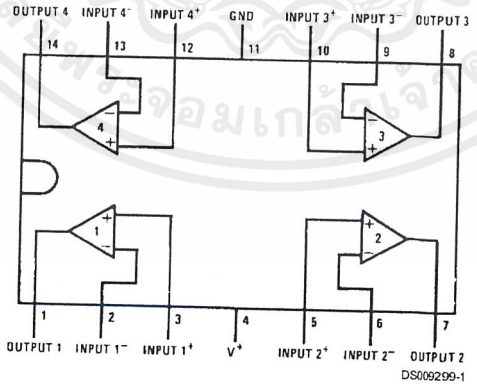
- Eliminates need for dual supplies
- Four internally compensated op amps in a single package
- Allows directly sensing near GND and V_{OUT} also goes to GND
- Compatible with all forms of logic
- Power drain suitable for battery operation

Features

- Internally frequency compensated for unity gain
- Large DC voltage gain 100 dB
- Wide bandwidth (unity gain) 1 MHz (temperature compensated)
- Wide power supply range:
  Single supply 3V to 32V
  or dual supplies ±1.5V to ±16V
- Very low supply current drain (700 µA)—essentially independent of supply voltage
- Low input biasing current 45 nA (temperature compensated)
- Low input offset voltage 2 mV and offset current: 5 nA
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Large output voltage swing 0V to V^+ − 1.5V

Connection Diagram

Dual-In-Line Package



DS009299-1

Top View

Order Number LM124J, LM124AJ, LM124J/883 (Note 2), **LM124AJ/883** (Note 1), **LM224J, LM224AJ, LM324J, LM324M, LM324AM, LM2902M, LM324N, LM324AN, LM324MT, LM324MTX or LM2902N**
LM124AJRQML and LM124AJRQMLV(Note 3)
See NS Package Number J14A, M14A or N14A

Note 1: LM124A available per JM38510/11006

Note 2: LM124 available per JM38510/11005

© 2000 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

LM1881 Video Sync Separator

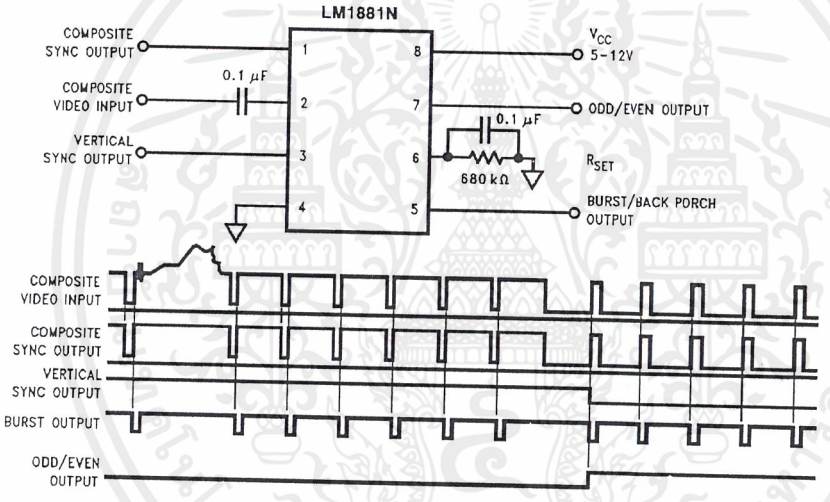
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL*, and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



TL/H/9150–1

Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

©1995 National Semiconductor Corporation TL/H/9150

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

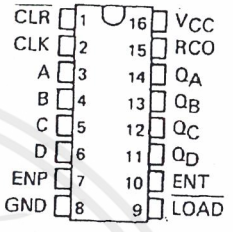
OCTOBER 1976 – REVISED MARCH 1988

'160, '161, 'LS160A, 'LS161A . . . SYNCHRONOUS COUNTERS WITH DIRECT CLEAR
'162, '163, 'LS162A, 'LS163A, 'S162, 'S163 . . . FULLY SYNCHRONOUS COUNTERS

- Internal Look-Ahead for Fast Counting
- Carry Output for n-Bit Cascading
- Synchronous Counting
- Synchronously Programmable
- Load Control Line
- Diode-Clamped Inputs

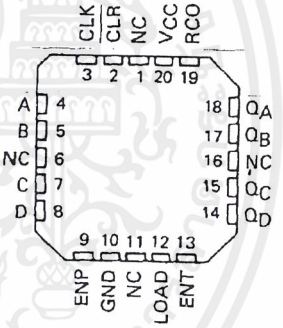
TYPE	TYPICAL PROPAGATION TIME, CLOCK TO Q OUTPUT	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'160 thru '163	14 ns	32 MHz	305 mW
'LS162A thru 'LS163A	14 ns	32 MHz	93 mW
'S162 and 'S163	9 ns	70 MHz	475 mW

SERIES 54', 54LS' 54S' . . . J OR W PACKAGE
SERIES 74' . . . N PACKAGE
SERIES 74LS', 74S' . . . D OR N PACKAGE
(TOP VIEW)



NC–No internal connection

SERIES 54LS', 54S' . . . FK PACKAGE
(TOP VIEW)



NC–No internal connection

description

These synchronous, presettable counters feature an internal carry look-ahead for application in high-speed counting designs. The '160, '162, 'LS160A, 'LS162A, and 'S162 are decade counters and the '161, '163, 'LS161A, 'LS163A, and 'S163 are 4-bit binary counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincident with each other when so instructed by the count-enable inputs and internal gating. This mode of operation eliminates the output counting spikes that are normally associated with asynchronous (ripple clock) counters, however counting spikes may occur on the (RCO) ripple carry output. A buffered clock input triggers the four flip-flops on the rising edge of the clock input waveform.

These counters are fully programmable; that is, the outputs may be preset to either level. As presetting is synchronous, setting up a low level at the load input disables the counter and causes the outputs to agree with the setup data after the next clock pulse regardless of the levels of the enable inputs. Low-to-high transitions at the load input of the '160 thru '163 should be avoided when the clock is low if the enable inputs are high at or before the transition. This restriction is not applicable to the 'LS160A thru 'LS163A or 'S162 or 'S163. The clear function for the '160, '161, 'LS160A, and 'LS161A is asynchronous and a low level at the clear input sets all four of the flip-flop outputs low regardless of the levels of clock, load, or enable inputs. The clear function for the '162, '163, 'LS162A, 'LS163A, 'S162, and 'S163 is synchronous and a low level at the clear input sets all four of the flip-flop outputs low after the next clock pulse, regardless of the levels of the enable inputs. This synchronous clear allows the count length to be modified easily as decoding the maximum count desired can be accomplished with one external NAND gate. The gate output is connected to the clear input to synchronously clear the counter to 0000 (LLLL). Low-to-high transitions at the clear input of the '162 and '163 should be avoided when the clock is low if the enable and load inputs are high at or before the transition.

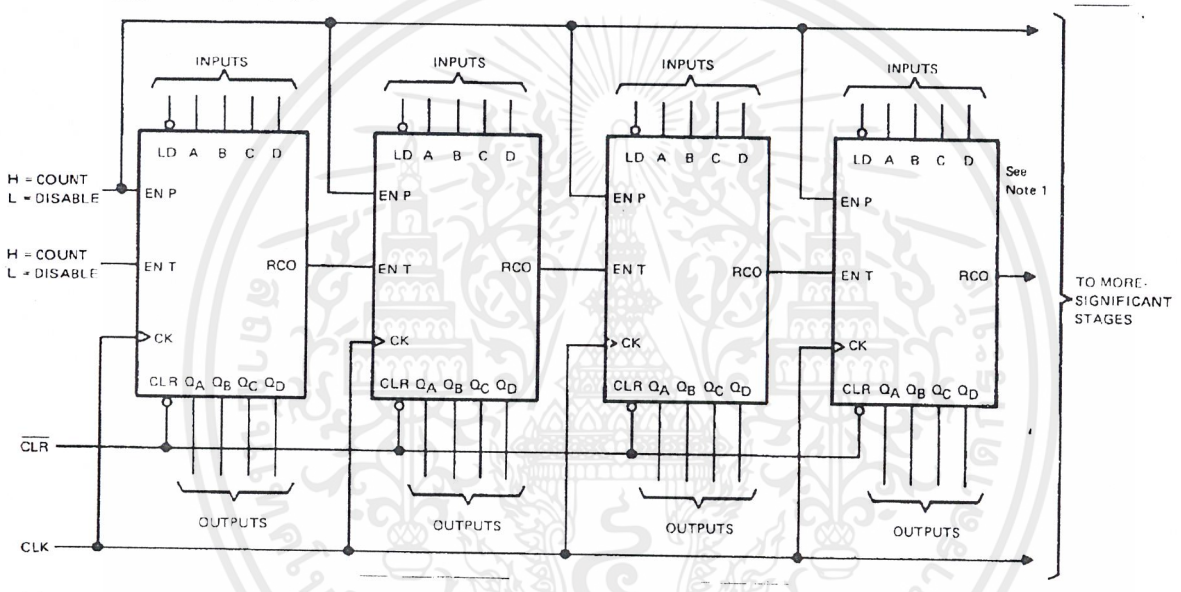
PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATION DATA

This application demonstrates how the ripple mode carry circuit (Figure 1) and the carry-look-ahead circuit (Figure 2) can be used to implement a high-speed N-bit counter. The '160, '162, 'LS160A, 'LS162A, or 'S162 will count in BCD and the '161, '163, 'LS161A, 'LS163A, or 'S163 will count in binary. When additional stages are added the f_{MAX} decreases in Figure 1, but remains unchanged in Figure 2.

N-BIT SYNCHRONOUS COUNTERS



$$f_{MAX} = 1/(\text{CLK to RCO } t_{PLH}) + (\text{ENT to RCO } t_{PLH})(N-2) + (\text{ENT } t_{su})$$

FIGURE 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SDLS008

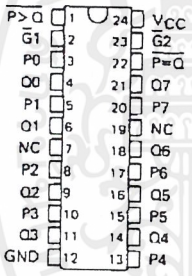
SN54LS682, SN54LS684, SN54LS685, SN54LS687, SN54LS688, SN74LS682, SN74LS684 THRU SN74LS688
8-BIT MAGNITUDE/IDENTITY COMPARATORS

D2617, JANUARY 1981 – REVISED MARCH 1988

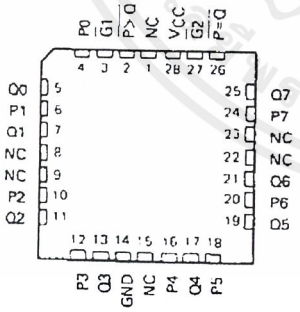
- Compares Two 8-Bit Words
- Choice of Totem-Pole or Open-Collector Outputs
- Hysteresis at P and Q Inputs
- 'LS682 has 20-kΩ Pullup Resistors on the Q Inputs
- SN74LS686 and 'LS687 . . . JT and NT 24-Pin, 300-Mil Packages

TYPE	$\overline{P = Q}$	$\overline{P > Q}$	OUTPUT ENABLE	OUTPUT CONFIGURATION	20-kΩ PULLUP
'LS682	yes	yes	no	totem-pole	yes
'LS684	yes	yes	no	totem-pole	no
'LS685	yes	yes	no	open-collector	no
SN74LS686	yes	yes	yes	totem-pole	no
'LS687	yes	yes	yes	open-collector	no
'LS688	yes	no	yes	totem-pole	no

SN54LS687 . . . JT PACKAGE
SN74LS686, SN74LS687 . . . DW OR NT PACKAGE
(TOP VIEW)

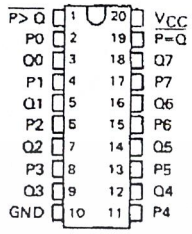


SN54LS687 . . . FK PACKAGE
(TOP VIEW)

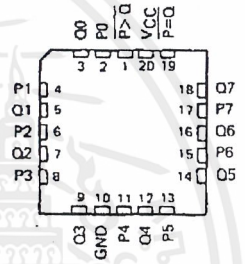


NC – No internal connection

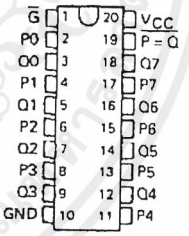
SN54LS682, SN54LS684, SN54LS685 . . . J PACKAGE
SN74LS682, SN74LS684, SN74LS685 . . . DW OR N PACKAGE
(TOP VIEW)



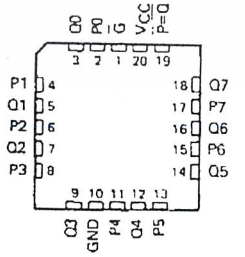
SN54LS682, SN54LS684, SN54LS685 . . . FK PACKAGE
(TOP VIEW)



SN54LS688 . . . J PACKAGE
SN74LS688 . . . DW OR N PACKAGE
(TOP VIEW)



SN54LS688 . . . FK PACKAGE
(TOP VIEW)



PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TEXAS INSTRUMENTS
POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4073BMS, CD4081BMS CD4082BMS

January 1993

CMOS AND Gate

Features

- High-Voltage Types (20V Rating)
- CD4073BMS Triple 3-Input AND Gate
- CD4081BMS Quad 2-Input AND Gate
- CD4082BMS Dual 4-Input AND Gate
- Medium Speed Operation:
  - tPLH, tPHL = 60ns (typ) at VDD = 10V
- 100% Tested for Quiescent Current at 20V
- Maximum Input Current of 1μA at 18V Over Full Package Temperature Range; 100nA at 18V and +25°C
- Noise Margin (Over Full Package Temperature Range):
  - 1V at VDD = 5V
  - 2V at VDD = 10V
  - 2.5V at VDD = 15V
- Standardized Symmetrical Output Characteristics
- 5V, 10V and 15V Parametric Ratings
- Meets All Requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"

Description

CD4073BMS, CD4081BMS and CD4082BMS AND gates provide the system designer with direct implementation of the AND function and supplement the existing family of CMOS gates.

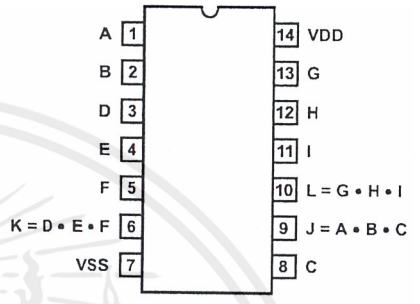
The CD4073BMS, CD4081BMS and CD4082BMS are supplied in these 14 lead outline packages:

Braze Seal DIP	*H4Q	†H4H
Frit Seal DIP	*H1B	
Ceramic Flatpack	*H3W	

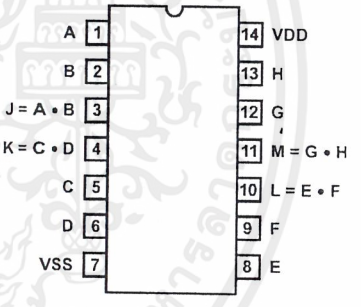
*CD4073B, CD4081B †CD4082B

Pinout

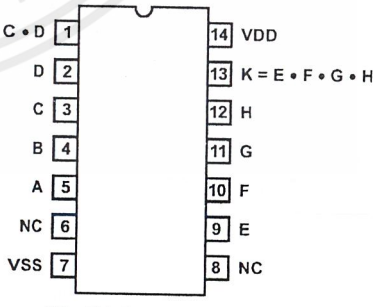
CD4073BMS
TOP VIEW



CD4081BMS
TOP VIEW



CD4082BMS
TOP VIEW

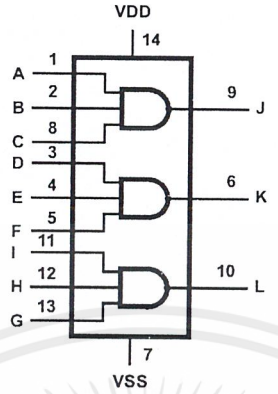


NC = NO CONNECTION

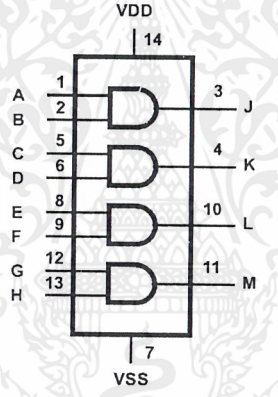
CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
1-888-INTERSIL or 321-724-7143 | Copyright © Intersil Corporation 1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

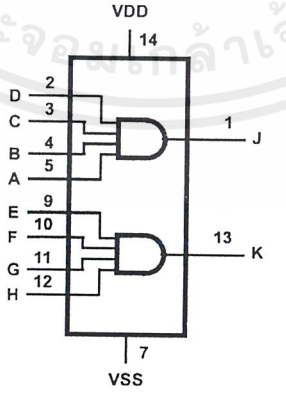
Functional Diagram



CD4073BMS



CD4081BMS



CD4082BMS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SGS-THOMSON MICROELECTRONICS

TL071
TL071A - TL071B

LOW NOISE SINGLE J-FET OPERATIONAL AMPLIFIERS

- LOW POWER CONSUMPTION
- WIDE COMMON-MODE (UP TO V_{CC}^+) AND DIFFERENTIAL VOLTAGE RANGE
- LOW INPUT BIAS AND OFFSET CURRENT
- LOW NOISE e_n = 15nV/√Hz (typ)
- OUTPUT SHORT-CIRCUIT PROTECTION
- HIGH INPUT IMPEDANCE J–FET INPUT STAGE
- LOW HARMONIC DISTORTION : 0.01% (typ)
- INTERNAL FREQUENCY COMPENSATION
- LATCH UP FREE OPERATION
- HIGH SLEW RATE : 16V/µs (typ)

N
DIP8
(Plastic Package)

D
SO8
(Plastic Micropackage)

DESCRIPTION

The TL071, TL071A and TL071B are high speed J–FET input single operational amplifiers incorporating well matched, high voltage J–FET and bipolar transistors in a monolithic integrated circuit.

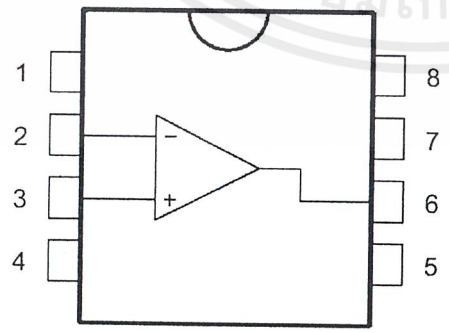
The devices feature high slew rates, low input bias and offset currents, and low offset voltage temperature coefficient.

ORDER CODES

Part Number	Temperature Range	Package	
		N	D
TL071M/AM/BM	–55°C, +125°C	•	•
TL071I/AI/BI	–40°C, +105°C	•	•
TL071C/AC/BC	0°C, +70°C	•	•
Example : TL071CN			

071-01.TBL

PIN CONNECTIONS (top view)



1 - Offset Null 1
2 - Inverting input
3 - Non-inverting input
4 - V_{CC}^-
5 - Offset Null 2
6 - Output
7 - V_{CC}^+
8 - N.C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

May 2000

LM78XX
Series Voltage Regulators

General Description

The LM78XX series of three terminal regulators is available with several fixed output voltages making them useful in a wide range of applications. One of these is local on card regulation, eliminating the distribution problems associated with single point regulation. The voltages available allow these regulators to be used in logic systems, instrumentation, HiFi, and other solid state electronic equipment. Although designed primarily as fixed voltage regulators these devices can be used with external components to obtain adjustable voltages and currents.

The LM78XX series is available in an aluminum TO-3 package which will allow over 1.0A load current if adequate heat sinking is provided. Current limiting is included to limit the peak output current to a safe value. Safe area protection for the output transistor is provided to limit internal power dissipation. If internal power dissipation becomes too high for the heat sinking provided, the thermal shutdown circuit takes over preventing the IC from overheating.

Considerable effort was expanded to make the LM78XX series of regulators easy to use and minimize the number of external components. It is not necessary to bypass the output, although this does improve transient response. Input bypassing is needed only if the regulator is located far from the filter capacitor of the power supply.

For output voltage other than 5V, 12V and 15V the LM117 series provides an output voltage range from 1.2V to 57V.

Features

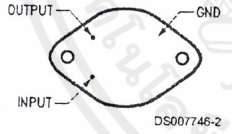
- Output current in excess of 1A
- Internal thermal overload protection
- No external components required
- Output transistor safe area protection
- Internal short circuit current limit
- Available in the aluminum TO-3 package

Voltage Range

LM7805C	5V
LM7812C	12V
LM7815C	15V

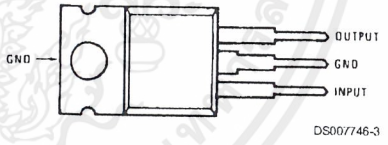
Connection Diagrams

Metal Can Package
TO-3 (K)
Aluminum



Bottom View
Order Number LM7805CK,
LM7812CK or LM7815CK
See NS Package Number KC02A

Plastic Package
TO-220 (T)



Top View
Order Number LM7805CT,
LM7812CT or LM7815CT
See NS Package Number T03B

© 2000 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1999

DAC0800/DAC0802
8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, and DAC-08H, respectively.

Features

- Fast settling output current: 100 ns
- Full scale error: ±1 LSB
- Nonlinearity over temperature: ±0.1%
- Full scale current drift: ±10 ppm/°C
- High output compliance: −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range: ±4.5V to ±18V
- Low power consumption: 33 mW at ±5V
- Low cost

Typical Applications

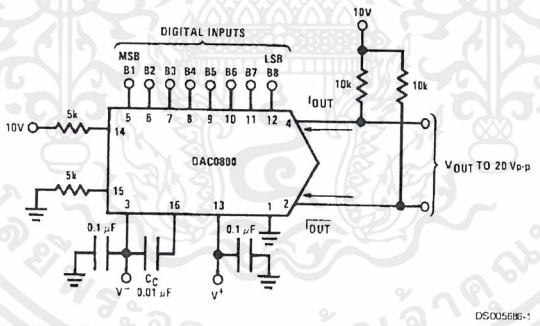


FIGURE 1. ±20 V_{P-P} Output Digital-to-Analog Converter (Note 5)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A) (Note 1)		N Package (N16E) (Note 1)		SO Package (M16A)
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM

Note 1: Devices may be ordered by using either order number.

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intersil

CA3318

CMOS Video Speed, 8-Bit, Flash A/D Converter

August 1997

Features

- CMOS Low Power with SOS Speed (Typ)..... 150mW
- Parallel Conversion Technique
- 15MHz Sampling Rate (Conversion Time)..... 67ns
- 8-Bit Latched Three-State Output with Overflow Bit
- Accuracy (Typ)..... ±1 LSB
- Single Supply Voltage..... 4V to 7.5V
- 2 Units in Series Allow 9-Bit Output
- 2 Units in Parallel Allow 30MHz Sampling Rate

Applications

- TV Video Digitizing (Industrial/Security/Broadcast)
- High Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- General-Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- µP Data Acquisition Systems

Description

The CA3318 is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low power consumption and high speed digitization.

The CA3318 operates over a wide full scale input voltage range of 4V up to 7.5V with maximum power consumption depending upon the clock frequency selected. When operated from a 5V supply at a clock frequency of 15MHz, the typical power consumption of the CA3318 is 150mW.

The intrinsic high conversion rate makes the CA3318 ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3318s in series to increase the resolution of the conversion system. A series connection of two CA3318s may be used to produce a 9-bit high speed converter. Operation of two CA3318s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

256 paralleled auto balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3318.

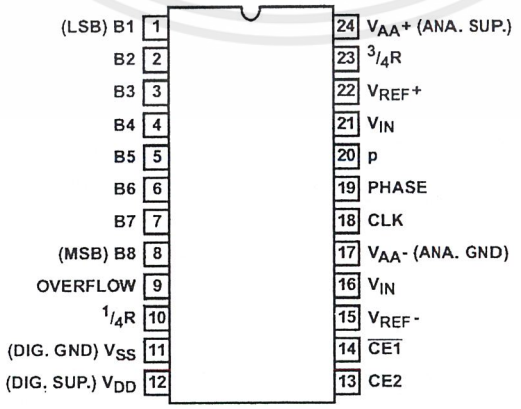
255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

PART NUMBER	LINEARITY (INL, DNL)	SAMPLING RATE	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3318CE	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld PDIP	E24.6
CA3318CM	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld SOIC	M24.3
CA3318CD	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld SBDIP	D24.6

Pinout

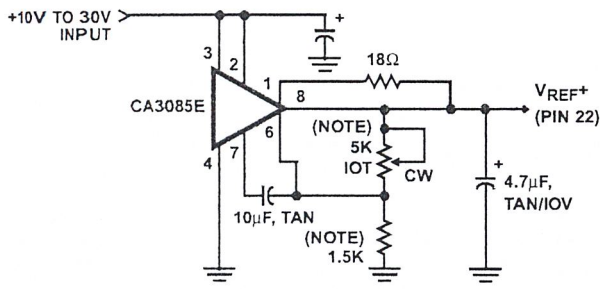
CA3318
(PDIP, SBDIP, SOIC)
TOP VIEW



CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
http://www.intersil.com or 407-727-9207 | Copyright © Intersil Corporation 1999

File Number 3103.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

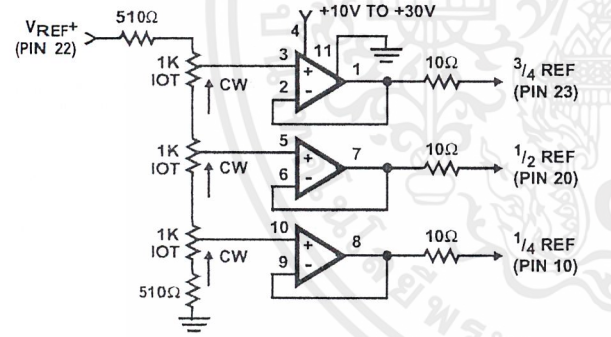


NOTE: Bypass V_{REF}+ to analog GND near A/D with 0.1μF ceramic cap. Parts noted should have low temperature drift.

FIGURE 11. TYPICAL VOLTAGE REFERENCE SOURCE FOR DRIVING V_{REF}+ INPUT

$^1/_4$ Point Trims

The $^1/_4$, $^1/_2$ and $^3/_4$ points on the reference ladder are brought out for linearity adjusting or if the user wishes to create a nonlinear transfer function. The $^1/_4$ points can be driven by the reference drivers shown (Figure 12) or by 2-K pots connected between V_{REF}+ and V_{REF}-. The $^1/_2$ (mid-) point should be set first by applying an input of 257/512 x (V_{REF}) and adjusting for an output changing from 128 to 129. Similarly the $^1/_4$ and $^3/_4$ points can be set with inputs of 129/512 and 385/512 x (V_{REF}) and adjusting for counts of 192 to 193 and 64 to 65. (Note that the points are actually $^1/_4$, $^1/_2$ and $^3/_4$ of full scale +1 LSB.)



NOTES:

1. All Op Amps = $^3/_4$ CA324E.
2. Bypass all reference points to analog ground near A/D with 0.1μF ceramic caps.
3. Adjust V_{REF}+ first, then $^1/_3$, $^3/_4$ and $^1/_4$ points.

FIGURE 12. TYPICAL $^1/_4$ POINT DRIVERS FOR ADJUSTING LINEARITY (USE FOR MAXIMUM LINEARITY)

9-Bit Resolution

To obtain 9-bit resolution, two CA3318s can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, three-state outputs, and chip-enable controls - all of which are available on the CA3318.

The first step for connecting a 9-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the ninth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the CE1 control of the lower A/D converter and the CE2 control of the upper A/D converter. The three-state outputs of the two devices (bits 1 through 8) are now connected in parallel to complete the circuitry. The complete circuit for a 9-bit A/D converter is shown in Figure 13.

Grounding/Bypassing

The analog and digital supply grounds of a system should be kept separate and only connected at the A/D. This keeps digital ground noise out of the analog data to be converted. Reference drivers, input amps, reference taps, and the V_{AA} supply should be bypassed at the A/D to the analog side of the ground. See Figure 15 for a block diagram of this concept. All capacitors shown should be low impedance 0.1μF ceramics and should be mounted as close to the A/D as possible. If V_{AA}+ is derived from V_{DD}, a small (10Ω resistor or inductor and additional filtering (4.7μF tantalum) may be used to keep digital noise out of the analog system.

Input Loading

The CA3318 outputs a current pulse to the V_{IN} terminal at the start of every sample period. This is due to capacitor charging and switch feedthrough and varies with input voltage and sampling rate. The signal source must be capable of recovering from the pulse before the end of the sample period to guarantee a valid signal for the A/D to convert. Suitable high speed amplifiers include the HA-5033, HA-2542; and CA3450. Figure 16 is an example of an amplifier which recovers fast enough for sampling at 15MHz.

Output Loading

The CMOS digital output stage, although capable of driving large loads, will reflect these loads into the local ground. It is recommended that a local QMOS buffer such as CD74HC541 E be used to isolate capacitive loads.

Definitions

Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

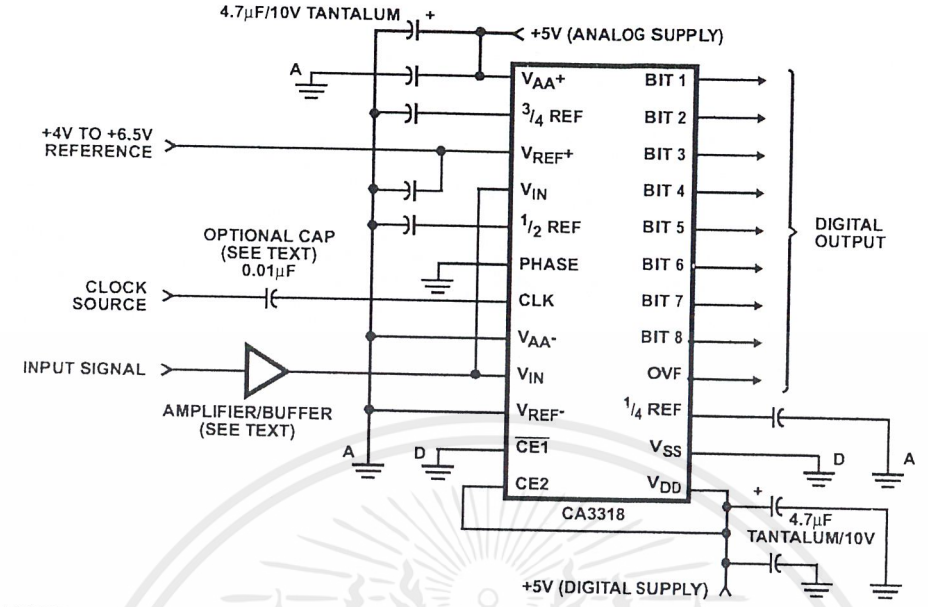


FIGURE 14. TYPICAL CIRCUIT CONFIGURATION FOR THE CA3318 WITH NO LINEARITY ADJUST

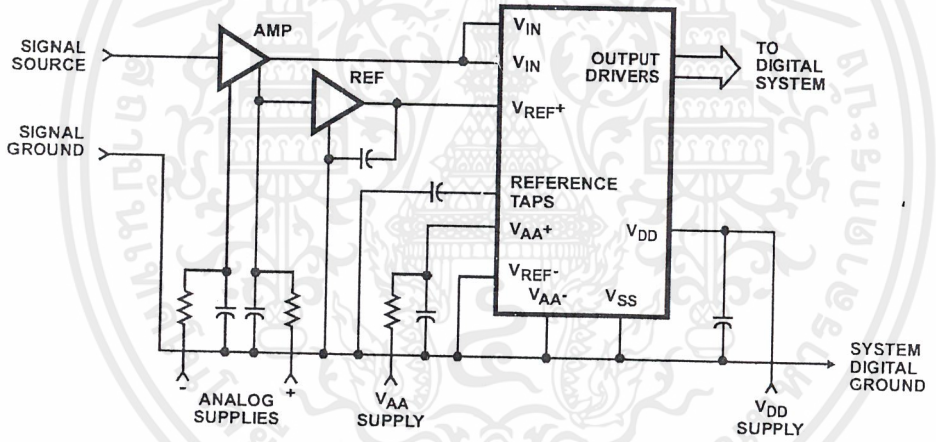
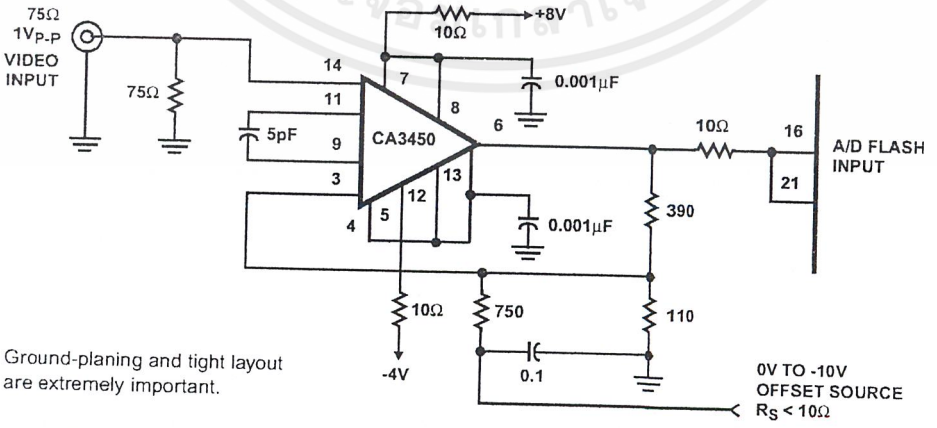


FIGURE 15. TYPICAL SYSTEM GROUNDING/BYPASSING



NOTE: Ground-planing and tight layout are extremely important.

FIGURE 16. TYPICAL HIGH BANDWIDTH AMPLIFIER FOR DRIVING THE CA3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณผศ.เกรียงไกร วงศ์โรจนาภรณ์ และผศ.ดร.สุวิพล สิทธิชีวภาค ที่ให้คำแนะนำความรู้เรื่องวงจรที่ใช้ออกแบบในโครงงานนี้ รวมถึงได้เอื้อเฟื้อคอมพิวเตอร์และอุปกรณ์ต่างๆ ที่ใช้ในการทำงานให้สำเร็จลุล่วงได้

ขอบคุณ คุณนพดล โค้วงวด จากบริษัท Panasonic ที่ให้คำแนะนำเกี่ยวกับความรู้และหลักการเรื่องภาพซ้อนภาพเบื้องต้น ชุมนุมโทรคมนาคม เอื้อเฟื้อเครื่องวีดีโอให้ใช้ในการเก็บผลการทดลอง คุณภัทรียา ชลากรกุล เอื้อเฟื้อกล้องวีดีโอดิจิตอลให้ใช้ในการเก็บข้อมูล และคุณเอกอมร บุญบูรพงค์ เอื้อเฟื้อโทรทัศน์ในการเก็บผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] Bernard Grob, "Basic Television – Principle and Servicing", McGraw–Hill Book Company, Third Edition, International Student Edition,1975.

[2] Milton S.Kilver & Milton Kaufman, "Television Electronic – Theory and Servicing", Delmar Publishers Inc, Eight Edition,1983.

[3] ปรัชญนันท์ นิลสุข, "ทฤษฎีและการทำงานเครื่องรับโทรทัศน์เบื้องต้น", บริษัท ซีเอ็ดยูเคชั่น จำกัด มหาชน,2541.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้