สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบเอฟดีเอ็ม ผ่านสายโทรศัพท์แบบเช่า

FDM System Via a Leased Telephone Line

โดย

นายผดุงเด่น รังษี

นายอุทัย แสงจันทร์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาเทคโนโลยีโทรคมนาคม ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน...37123...
วัน, เดือน, ปี- 4 ก.ย. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ ระบบเอฟดีเอ็ม ผ่านสายโทรศัพท์แบบเช่า

ชื่อนักศึกษา นายผดุงเด่น รังยี

นายอุทัย แสงจันทร์

อาจารย์ที่ปรึกษา ผศ. วิชัย สุรพัฒท์

ผศ. อรลาภ แสงอรุณ

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2542

คณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....(ประธานกรรมการ)

(.....)

.....(กรรมการ)

(.....)

.....(กรรมการ)

(.....)

.....(กรรมการ)

(.....)

.....(กรรมการ)

(.....)

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบเอฟดีเอ็ม ผ่านสายโทรศัพท์แบบเช่า

โดย นายผดุงเด่น รังษี

นายอุทัย แสงจันทร์

อาจารย์ที่ปรึกษา ผศ. วิชัย สุรพัฒท์

ผศ. อรลาภ แสงอรุณ

ปีการศึกษา 2542

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ เสนอการออกแบบและสร้างระบบการส่งสัญญาณแบบเอฟดีเอ็ม ผ่านคู่สายแบบเช่าและคู่สายโทรศัพท์สาธารณะ โดยออกแบบระบบให้เหมาะสมสำหรับการส่งสัญญาณที่ได้จากการตรวจวัดความแรงของระดับสัญญาณดาวเทียมที่วัดจากสถานีย่อยที่อยู่ห่างไกล เมื่อส่งข้อมูลเข้ามาที่สถานีหลัก โดยสามารถส่งได้ 3 ช่องสัญญาณใน 1 คู่สายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FDM System via a Leased Telephone Line

BY MR. Padungden Rungsie

MR. Autai Sangchan

ADVISOR Asst.prof. Wichai Surapat

Asst.prof. Ornlarp Saingaroon

YEAR 1999

Abstract

This project describes the Frequency Division Multiplexing System Via a Leased Telephone line and Publictelephone line. The System is especially suitable for transmitting Satellite Signal measurements from one place to another. The Telephone bands can be inserted in three channels usual.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยดี เป็นผลเนื่องมาจากความร่วมมือกันของสมาชิกภายในกลุ่ม ซึ่งให้ความช่วยเหลือซึ่งกันและกันตลอดระยะเวลาที่ทำโครงงานนี้ โดยได้รับการสนับสนุนจากท่านอาจารย์ วิชัย สุรพัฒท์ และ ท่านอาจารย์ อรลาภ แสงอรุณ ที่ได้ให้คำแนะนำและรายละเอียดเกี่ยวกับโครงงาน ตลอดจนเอื้อเฟื้อเครื่องมือและอุปกรณ์พร้อมทั้งห้องปฏิบัติการในการทำโครงงานนี้ จึงขอกราบขอบพระคุณ ไว้ ณ ที่นี้ด้วย

สุดท้ายนี้ขอกราบขอบพระคุณ บิดา มารดา ที่ได้ให้การสนับสนุนทั้งในด้านการศึกษา อีกทั้งยังสร้างขวัญกำลังใจด้วยดีเสมอมา

นาย ผดุงเด่น รังษี
นาย อุทัย แสงจันทร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญรูป	ฉ
บทที่1 บทนำ	1
บทที่2 ทฤษฎีและหลักการ	2
2.1 การมอดูเลท	
2.1.1 ลักษณะของคลื่นเอฟเอ็ม	3
2.1.2 คุณสมบัติของคลื่นเอฟเอ็ม	4
2.1.3 IC XR-2206 ที่ใช้เป็น FM MOD(VCO)	8
2.1.4 ออปแอมป์(Op Amp)	11
2.1.4.1 คุณสมบัติทั่วไป	11
2.1.4.2 พารามิเตอร์ที่สำคัญของออปแอมป์	13
2.2 แอคทิฟฟิลเตอร์(Active Filter)	20
2.2.1 ข้อดีของแอคทิฟฟิลเตอร์เมื่อเทียบกับพาสซิฟฟิลเตอร์	21
2.2.2 ลักษณะการทำงาน	21
2.2.2.1 วงจรกรองความถี่ต่ำผ่าน(Low Pass Filter)	24
2.2.2.2 วงจรเลือกความถี่ผ่าน(Band Pass Filter)	28
2.3 หลักการทำงานของอุปกรณ์บนการ์ด Interface I/O	33
2.3.1 วิธีการออกแบบการ์ด Interface I/O	33
2.3.2 รายละเอียด8255	36
2.3.3 วงจรADC	39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
บทที่ 3 หลักการและการออกแบบ	47
3.1 ภาคส่ง(Transmitter)	48
3.2 ภาครับ(Receiver)	54
3.3 ส่วนแสดงผล	58
บทที่ 4 การทดลองและผลการทดลอง	62
4.1 ผลการทดลองภาคส่ง	62
4.2 ผลการทดลองภาครับ	68
4.3 ส่วนแสดงผล	71
บทที่ 5 บทสรุปและวิจารณ์	73
ภาคผนวก ก ข้อมูลของวงจร,รายลงอุปกรณ์,แผ่นปลิ๊นวงจร	
ภาคผนวก ข โปรแกรม(SoftWare)	
ภาคผนวก ค รายละเอียดของอุปกรณ์ (Data Sheet)	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1.1 การแปรผันทางความถี่ของคลื่นพาห์โดยขนาดของสัญญาณ 3

รูปที่ 2.1.2 แสดงบล็อกไดอะแกรมการทำงานและขาใช้งานของ XR-2206 9

รูปที่ 2.1.3 แสดงบล็อกไดอะแกรมของวงจรภายในออปแอมป์ 12

รูปที่ 2.1.4 แสดงสัญญาณลักษณ์ทั่วไปของออปแอมป์ 13

รูปที่ 2.1.5 แสดงการปรับออฟเซ็ทให้เป็นศูนย์ 15

รูปที่ 2.1.6 อัตราแรงดันที่เอาท์พุทมีการเปลี่ยนแปลงช้าลงเมื่อเทียบกับอินพุท 17

รูปที่ 2.1.7 อัตราขยายของออปแอมป์จะลดลงเมื่อความถี่สูงสุด 18

รูปที่ 2.1.8 แสดงเฟสของสัญญาณที่ต่างๆ กัน 19

รูปที่ 2.2.1 แสดงกราฟตอบสนองความถี่ของฟิลเตอร์ 22

รูปที่ 2.2.2 วงจร Multiple feedback band-pass filter 28

รูปที่ 2.3.1 แสดงสล๊อตของ PC/XT 8 bit 34

รูปที่ 2.3.2 แสดงบล็อกไดแกรมและการวางตำแหน่งขาของ 8255 38

รูปที่ 2.3.3 (ก,ข) วงจรเปลี่ยนแปลงเอทูดีแบบสโลปเดี่ยว 41

รูปที่ 2.3.3 (ค,ง) วงจรเปลี่ยนแปลงเอทูดีแบบสโลปคู่ 43

รูปที่ 2.3.4 วงจรเปลี่ยนสัญญาณเอทูดีแบบเดลต้า - ซิกม่า 46

รูปที่ 3.1.1 Block diagram of FDM system and recorder 48

รูปที่ 3.1.2 Block diagram of FDM Transmitter 49

รูปที่ 3.1.3 การนำไอซี XR-2206 มาเป็น FM Mod. 50

รูปที่ 3.1.4 วงจร VCO ที่ใช้งาน 53

รูปที่ 3.2.1 Block diagram of FDM Receiver 55

รูปที่ 3.2.2 วงจรเลือกความถี่ผ่านแบบ Multiple feedback 56

รูปที่ 3.3.1 รูปบล็อกไดอะแกรมของส่วนนำสัญญาณเข้า 59

รูปที่ 4.1.1 รูปชิ้นงานจริงภาคส่ง 63

รูปที่ 4.1.2 ผลการทดลองวัดสัญญาณที่ได้จากภาคส่ง 64

รูปที่ 4.1.3 ผลการป้อนระดับแรงดันที่ 0 V 65

รูปที่ 4.1.4 ผลการป้อนระดับแรงดันที่ 1 V 66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

รูปที่ 4.1.5 ผลการป้อนระดับแรงดันที่ 2 V 67
รูปที่ 4.2.1 แสดงชิ้นงานจริงของภาครับและส่วนของการ์ดอินเตอร์เฟสเข้าคอมพิวเตอร์ 69
รูปที่ 4.2.2 เปรียบเทียบสัญญาณที่ 600 Hz 70
รูปที่ 4.2.3 เปรียบเทียบสัญญาณที่ 1,400 Hz 71
รูปที่ 4.3.1 ผลการทดลองที่จอมอนิเตอร์ 73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1

บทนำ

จุดประสงค์ของการสื่อสารโดยทั่วไปคือการนำข่าวสารจากผู้ส่งหรืออุปกรณ์ส่ง ไปยังผู้รับหรืออุปกรณ์รับได้อย่างถูกต้องในระบบโทรคมนาคมส่วนใหญ่นั้นข้อมูลจะถูกเปลี่อนเป็นสัญญาณทางไฟฟ้า เพราะสัญญาณทางไฟฟ้าเป็นสัญญาณที่ง่ายต่อการเปลี่อนเป็นสัญญาณในรูปอื่นได้ จากนั้นจะถูกส่งผ่านตัวกลาง หรือระบบส่งสัญญาณตามกระบวนการขึ้นอยู่กับความต้องการนั้น ๆ

ระบบโทรคมนาคมที่ใช้ในชีวิตประจำวันที่เราคุ้นเคย คือ โทรศัพท์ ในระบบโทรศัพท์เสียงพูดจะเปลี่ยนเป็นสัญญาณทางไฟฟ้า ที่เรียกว่า กระแสเสียง (Speech current) ซึ่งประกอบด้วยองค์ประกอบของความถี่ต่าง ๆ มากมาย จากประมาณ 50 ถึง 7,000 Hz เท่านั้น เช่นเดียวกับความถี่ของเสียงพูดของพูดของคนเรา แต่จะมีองค์ประกอบ จาก 300 ถึง 3,000 Hz เท่านั้นที่เราได้ยินได้ดี ดังนั้นเพื่อความประหยัดของระบบโทรศัพท์ส่วนใหญ่ จึงออกแบบให้มีการส่งสัญญาณที่มีแถบความถี่จำกัด อยู่ในช่วงดังกล่าว ถ้าหากเราต้องการส่งข้อมูลหรือ ข่าวสาร เข้าไปในช่องสัญญาณโทรศัพท์ จำเป็นต้องเปลี่ยนข้อมูลหรือข่าวสารนั้นให้เป็นสัญญาณทางไฟฟ้าที่มีความถี่อยู่ในช่วงแถบความถี่ของช่องโทรศัพท์ เพื่อให้มีการลดทอนของสัญญาณน้อยที่สุด

ปัญหาส่วนใหญ่ในระบบสื่อสาร คือการตอบสนองความต้องการในการส่งข้อมูลที่อยู่ในรูปสัญญาณอนาล็อกให้สามารถส่งเข้าไปในช่องสัญญาณเดียวได้หลายสัญญาณ เพื่อเป็นการประหยัดต่อระบบโดยรวม เรามี 2 วิธีใหญ่ ที่ใช้แก้ปัญหานี้ คือ ระบบมัลติเพลกซ์ โดยการแบ่งความถี่ หรือระบบ ฟรีเควนซี ดิวิชั่น มัลติเพลกซ์ (Frequency division multiplex (FDM) System) และระบบมัลติเพลกซ์โดยการแบ่งช่วงเวลา หรือระบบไทม์ดิวิชั่นมัลติเพลกซ์ (Time division multiplex (TDM) System)

ในโครงงานชุดนี้จะใช้ FDM แบบ FM เนื่องจากระบบโทรศัพท์ในปัจจุบันของประเทศโดยรวมยังเป็นระบบอนาล็อก(Analog system) ที่ต้องการข้อมูลที่อยู่ในรูปของความถี่ การมัลติเพลกซ์แบบ FDM คือการนำข้อมูล หรือข่าวสารมาทำการมอดูเลต (Modulation) กับสัญญาณพาหนะที่ทำการจัดเรียงความถี่ค่าต่าง ๆ โดยมีแถบความถี่(Band wide) ที่เหมาะสม และเรียกแต่ละความถี่นั้นว่า " ชันเนล " (Channal)

เนื่องจากมีความจำเป็นในการนำสัญญาณที่ได้จากการตรวจวัด ซึ่งอาจมีหลายสัญญาณมาทำการวิเคราะห์ และตรวจสอบ ดังนั้นเมื่อทำการรับและดีมัลติเพลกซ์ (De Multiplex) สัญญาณได้แล้ว นำมาวิเคราะห์และตรวจสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2

ทฤษฎีและหลักการ

ในกระบวนการมอดูเลต(Modulate) เราใช้คลื่นรูปซายน์ที่มีความถี่สูงกว่าข้อมูลเป็นพาหนะแล้วเปลี่ยนแปลงคุณสมบัติบางอย่างของพาหะด้วยสัญญาณข่าวสารโดยทั่วไปสัญญาณข่าวสารได้แก่ สัญญาณออดิโอ (หรือเสียงพูด) สัญญาณภาพ หรือข่าวสารอื่น ๆ ที่อยู่ในรูปของสัญญาณทางไฟฟ้าการเปลี่ยนแปลงคุณสมบัติของคลื่นพาหะเราเรียกว่า การมอดูเลต

คลื่นรูปซายน์ที่เราใช้เป็นคลื่นพาหะนั้นเราสามารถเขียนสมการทางคณิตศาสตร์ แทนได้ดังนี้

$$e = A\sin(\omega t + \phi)$$

ในที่นี้ e คือค่าแรงดันขณะใดขณะหนึ่ง (หรือ ค่ากระแส) ของคลื่นพาหะใด ๆ

A คือค่า แอมปลิจูด(หรือ ขนาด) สูงสุดของคลื่นพาหะ

ω คือ ความถี่เชิงมุม

t คือ เวลาใด ๆ

ϕ คือ เฟส หรือมุม เริ่มต้นทางไฟฟ้า

f คือความถี่

จากสมการข้างต้นจะเห็นว่า คุณสมบัติประจำตัวของคลื่น(รูปซายน์)ที่สำคัญมีอยู่ 3ประการ ซึ่งเราสามารถเปลี่ยนแปลงหรือมอดูเลต ได้ คือ แอมปลิจูด (A) ความถี่เชิงมุม (ω) หรือความถี่(f) และเฟส(ϕ)

การมอดูเลตให้กับคลื่นพาหนะแบ่งออกเป็น 3 แบบคือ

1. มอดูเลตทางแอมปลิจูด(Amplitude Modulation เรียกชื่อย่อว่า AM)
2. มอดูเลตทางความถี่ (Frequency Modulation เรียกชื่อย่อว่า FM)
3. มอดูเลตทางเฟส (Phase Modulation เรียกชื่อย่อว่า PM)

ในทางปฏิบัติสัญญาณ FM กับสัญญาณ PM จะคล้ายคลึงกันมาก บางทีเราเรียกรวม ๆ ทั้ง FM และ PM ว่าการมอดูเลตเชิงมุม (Angle Modulation) กล่าวโดยสรุปการมอดูเลตแบ่งออกเป็นจริง ๆ 2 แบบใหญ่ คือ AM กับ FM (หรือ PM) ในที่นี้จะกล่าวถึงการมอดูเลตแบบ FM ซึ่งใช้ในโครงการชิ้นนี้

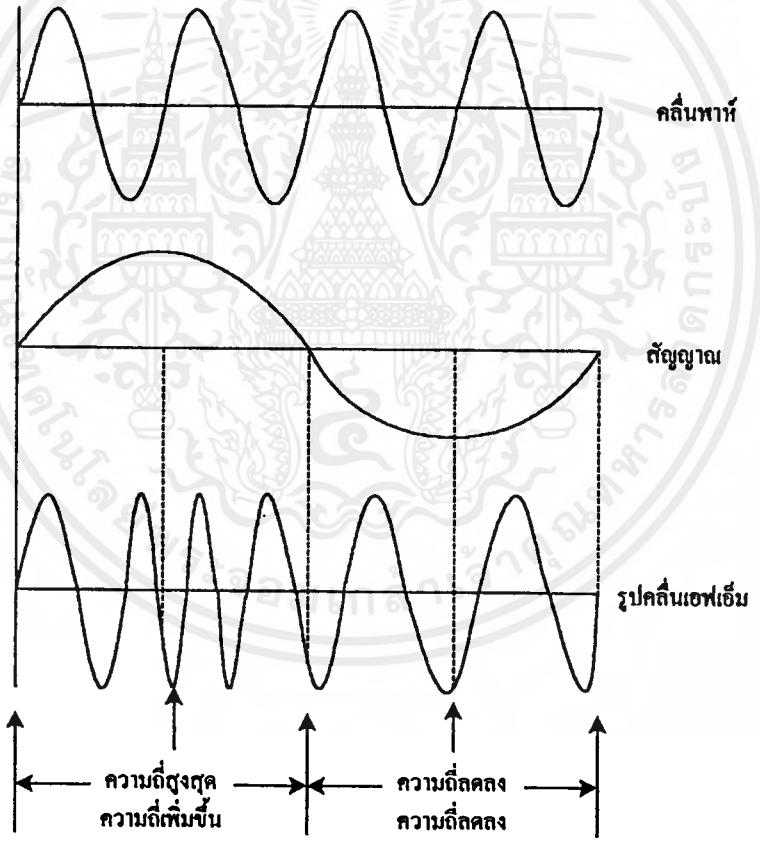
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1 การมอดูเลตแบบเอฟเอ็ม

2.1.1 ลักษณะของคลื่นเอฟเอ็ม

การมอดูเลชั่นเชิงความถี่ เป็นกรรมวิธีรวมหรือฝากสัญญาณเข้ากับคลื่นพาห์อีกวิธีหนึ่ง ลักษณะที่ความถี่ของคลื่นพาห์จะเปลี่ยนไปตามขนาดของสัญญาณ ทั้งนี้ขนาดของคลื่นพาห์ยังคงที่ตลอดเวลา

รูปที่ 2.1.1 แสดงลักษณะของคลื่นพาห์ก่อน และหลังถูกมอดูเลตด้วยสัญญาณที่คลื่นรูปไซน์รูปที่แสดงนี้เป็นเพียงตัวอย่างให้เข้าใจง่าย ในทางปฏิบัติความถี่ของคลื่นพาห์กับสัญญาณจะต่างกันมากกว่า ที่แสดงไว้รวมทั้งสัญญาณปกติจะเป็นคลื่นเชิงซ้อน แต่ผลที่ได้ก็เหมือนกับสัญญาณรูปไซน์



รูปที่ 2.1.1 การแปรผันทางความถี่ของคลื่นพาห์โดยขนาดของสัญญาณ

ในช่วงมอดูเลชั่น ณ เวลาใด ๆ ก็ตาม ความถี่ของคลื่นพาห์จะขึ้นโดยตรงกับขนาดของสัญญาณในช่วงเริ่มต้นวัฏจักรของสัญญาณขาดหรือโวลเต็จจะต่ำ เป็นผลให้คลื่นพาห์มีความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปลี่ยนแปลงเล็กน้อย ขณะสัญญาณมีขนาดเข้าใกล้ช่วงสุดทางบวก (Positive Peak) ความถี่ของคลื่นจะเปลี่ยนแปลงอย่างมากและจะมากที่สุด ณ จุด 90° ในวัฏจักรของสัญญาณช่วงระหว่าง 90° และ 180° ขนาดของสัญญาณกลับคืนสู่ศูนย์โวลท์ ช่วงนี้ความถี่ของคลื่นพาห์จะเลื่อนกลับเข้าสู่ค่าความถี่เดิม เหมือนกับตอนที่ไม่มีสัญญาณเข้ามามอดูเลต ถัดมาสัญญาณเข้าสู่ช่วง 270° ขนาดจะเริ่มสูงขึ้นอีกครั้งแต่จะไปในทิศทางลบ จึงทำให้ความถี่ของคลื่นพาห์ เริ่มเปลี่ยนไปในทางลบ ซึ่งหมายถึงต่ำลงและต่ำลงที่สุด ณ จุด 270°

ในทางปฏิบัติจะไม่คำนึงว่า ในครึ่งวัฏจักรบวกของคลื่นรูปไซน์ของสัญญาณจะเป็นผลทำให้ความถี่ของคลื่นพาห์เพิ่มขึ้นหรือลดลง จุดสำคัญอยู่ที่ว่า ความถี่ของคลื่นพาห์จะเปลี่ยนแปลงเป็นสัดส่วนกับการเปลี่ยนแปลงทางขนาดของสัญญาณ

ทั้งหมดนี้พอสรุปได้ว่า

- ความถี่ของคลื่นพาห์เปลี่ยนแปลงเป็นขั้นตอน ตามการเปลี่ยนแปลง โวลเต็จของสัญญาณ ตลอดเวลานั้นคือ ในช่วงครึ่งวัฏจักรแรกของสัญญาณความถี่ของคลื่นพาห์จะสูงขึ้นและในส่วนของครึ่งวัฏจักรหลังซึ่งมีทิศทางตรงข้าม ความถี่จะต่ำลง
- ความถี่ของคลื่นพาห์จะไม่มีการเปลี่ยนแปลงเลย เมื่อขนาดของสัญญาณเป็นศูนย์
- ความถี่ของคลื่นพาห์เพิ่มขึ้นสูงสุดและลดลงต่ำสุดในขณะที่ขนาดของสัญญาณมีค่าสูงสุด

2.1.2 คุณสมบัติของคลื่นเอฟเอ็ม

ในการมอดูเลชั่นเชิงขนาด เราทราบแล้วว่านอกจากความถี่คลื่นพาห์แล้วยังมีความถี่ไซด์แบนด์เกิดขึ้นมาอีกหนึ่งคู่เสมอ ทั้งนี้โดยการศึกษาคุณสมบัติของคลื่นที่เกิดจากการมอดูเลชั่นเชิงความถี่บ้าง และแสดงถึงคุณสมบัติของคลื่นเอฟเอ็มให้ชัดเจนยิ่งขึ้น

ลองพิจารณาสมการของคลื่น

$$e = E\sin(\omega t + \theta) \qquad (2\text{-}1)$$

เมื่อ E เป็นขนาดโวลเต็จของสัญญาณไฟฟ้า

$(\omega t+\theta)$ เป็นค่ามุมชั่วขณะและเฟสของฟังค์ชั่น

ซึ่งถ้าจะกล่าวถึงคลื่นพาห์ก็สามารถเขียนเป็นสมการของคลื่นพาห์ได้ว่า

$$e_c = E_c \sin\phi(t) \qquad (2\text{-}2)$$

โดยที่ ϕ เป็นมุมทางไฟฟ้าของคลื่น ซึ่งเปลี่ยนแปลงไปตามเวลา (t) และจะสัมพัทธ์กับความเร็วเชิงมุม(Angular Velocity) และความถี่ของคลื่นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega = 2\pi f = \frac{d\phi(t)}{dt} \tag{2-3}$$

สมมุติว่า สัญญาณที่จะเข้าไปฝากหรือผสมกับคลื่นพาห์แบบเอฟเอ็มนี้มีสมการเป็น

$$em = Em\cos\omega mt$$

หรือ $$em = Em\cos 2\pi fmt \tag{2-4}$$

ค่าชั่วขณะของสัญญาณนี้ไปทำให้ความถี่ของคลื่นพาห์เปลี่ยนแปลงไปมาเป็น

$$f = fc + fd\cos 2\pi fmt \tag{2-5}$$

โดย fc = ความถี่ของคลื่นพาห์ขณะยังไม่มีสัญญาณเข้ามา

fd = ความถี่เบี่ยงเบนซึ่งจะมากน้อยเท่าไรขึ้นอยู่กับขนาดของสัญญาณ

fm = ความถี่ของสัญญาณที่เข้ามา

จากสมการ(2-3) และ (2-5) จะได้ว่า

$$\frac{d\phi(t)}{dt} = 2\pi(fc + fd\cos 2\pi fmt) \tag{2-6}$$

ดังนั้น $$\pi(t) = \int 2\pi(fc + fd\cos 2\pi fmt)dt$$

$$= 2\pi fct + (\frac{fd}{fm})\sin 2\pi fmt + \phi_o$$

$$\pi(t) = \omega ct + mf\sin\omega mt + \phi_o \tag{2-7}$$

เมื่อ $mf = \frac{fd}{fm}$ ซึ่งเรียกว่า Modulation Index หรือ ดัชนีการมอดูเลชั่นเป็นค่าคงที่ได้จากการ Integrete ซึ่งเป็น Phase Angle เริ่มต้นเมื่อ T=0 ดังนั้นจึงสามารถพิจารณาว่า $\phi_o = 0$ ได้โดยไม่มีผลต่างของการมอดูเลชั่นเชิงความถี่เลย

เมื่อแทนค่า $\phi(t)$ จากสมการ(2-7)ลงในสมการ(2-2)จะได้

$$e_c = Ex\sin(\omega + mf\sin\omega mt)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$= e$ (เมื่อเป็นสมการซึ่งถูกมอดูเลตแล้ว) (2-8)

ในคลื่นเอเอ็มสัญญาณรูปคลื่นไซน์ความถี่เดี่ยวจะทำให้เกิดไซด์แบนด์ขึ้นมาหนึ่งคู่เสมอ ส่วนในรูปคลื่นเอฟเอ็มจำนวนของไซด์แบนด์จะเป็นอย่างไรนั้น ให้กระจายสมการที่(2-8)ดู นั้นคือ

$$e = Ec[\sin \omega ctX \sin(mf \sin \omega mt)] \quad (2\text{-}9)$$

และโดยอาศัย Bessel function สมการ(2-9)ในแต่ละส่วนกระจายออกเป็น

$$\cos(mf \sin \omega mt) = Jo(mf) + \sum_{n=1}^{\infty} J2n(mf)\sin(2n+1)\omega mt \quad (2\text{-}10)$$

และ $$\sin(mf \sin \omega mt) = 2\sum_{n=1}^{\infty} J2m+1(mf)\sin(2n+1)\omega mt \quad (2\text{-}11)$$

แทนค่าสมการ(2-10)และ(2-11)ลงในสมการที่(2-9)พร้อมทั้งจัดรูปให้ดูง่ายจะได้ว่า

$$e = Ec\sin\omega[Jo(mf) + 2J2(mf)\cos 2\omega mt + 2J4(mf)\cos 4\omega mt + ...]$$

$$+ Ec\cos\omega ct[2J1(mf)\sin\omega mt + 2J3(mf)\sin$$

$$3\omega mt + 2J5(mf)\sin 5\omega mt + \quad (2\text{-}12)$$

แทนค่าลงในสมการ(2-12)จะได้เป็น

$$e = Jo(mf)Ec\sin\omega ct + J1(mf)Ec[\sin(\omega c + \omega m)t - \sin(\omega c - \omega m)t$$

$$+ J2(mf)Ec[\sin(\omega c + 2\omega m)t + \sin(\omega c - 2\omega m)t]$$

$$+ J3(mf)Ec[\sin(\omega c + 3\omega m)t + \sin(\omega c - 3\omega m)t]$$

$$+ j4... \quad (2\text{-}13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ $Jn(mf)$ เป็น Bessel function (ของ mf) แบบแรกที่ลำดับ n และมีค่าที่หาได้จากสมการต่อเนื่องดังนี้

$$Jn(mf)=\frac{m^n f}{2^m m!}[1-\frac{m^2 f}{2(2n+2)}+\frac{m^4 f}{2(4)(2n+2)(2n+4)}-\frac{m^6 f}{2(4)(6)(2n+2)(2n+6)+...}] \quad (2\text{-}14)$$

การหาค่า $Jn(mf)$ คือกำหนด Modulation imdex(mf) เสียก่อน เนื่องจาก mf นี้สัมพันธ์กับความถี่ของสัญญาณกับความเบี่ยงเบนมันจึงมีค่าต่าง ๆ มากมาย ถ้ากำหนดลงไปทีละค่าก็จะได้ค่าของ $Jn(n=0,1,2...)$ ออกมาตามขนาดของ mf ตารางที่ 2-1 ได้จากสมการที่(2-14) อันแสดงให้เห็นถึงขนาดคลื่นพาห์และไซด์แบนด์ต่าง ๆ ณ ค่า mf ต่าง ๆ กัน

ตารางที่ 2-1 Bessel Order

ดัชนีการมอดูเลชั่น	ขนาดของคลื่นพาห์	ขนาดสัมพัทธ์ของไซด์แบนด์								
(mf)	Jo(x)	J1(x)	J2(x)	J3(x)	J4(x)	J5(x)	J6(x)	J7(x)	J8(x)	J9(x)
0	1.000									
0.01	0.999	0.005								
0.02	0.999	0.010								
0.05	0.999	0.025								
0.1	0.998	0.050								
0.2	0.990	0.100								
0.5	0.938	0.242	0.310							
1.0	0.765	0.440	0.115	0.003						
2.0	0.224	0.577	0.353	0.129	0.034					
3.0	-0.260	0.339	0.486	0.309	0.132	0.043	0.012			
4.0	-0.397	-0.066	0.364	0.430	0.281	0.132	0.049	0.015		
5.0	-0.175	-0.223	0.047	0.365	0.391	0.261	0.131	0.053	0.018	
6.0	-0.151	-0.277	-0.243	0.115	0.350	0.362	0.246	0.130	0.057	0.021

จากค่าตามตารางจะเห็นว่า เมื่อค่าของ mf เปลี่ยนไปขนาดของคลื่นพาห์ และของไซด์แบนด์จะเปลี่ยนแปลงตามไปด้วย เมื่อนำไปพิจารณาร่วมกับสมการของคลื่นเอฟเอ็ม (2-13) จะเห็นว่าไซด์แบนด์เกิดขึ้นมากมายจนถึงอนันต์ เมื่อเทียบกับคลื่นเอเอ็มซึ่งมีไซด์แบนด์เพียงคู่เดียวและในขณะที่ขนาดของคลื่นพาห์ในการมอดูเลชั่นเชิงขนาดมีค่าคงที่ตลอดเวลา แต่ในการมอดูเลชั่นเชิงความถี่ขนาดจะเปลี่ยนแปลงไปมา และในบางครั้งมีโอกาสลดลงเป็นศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

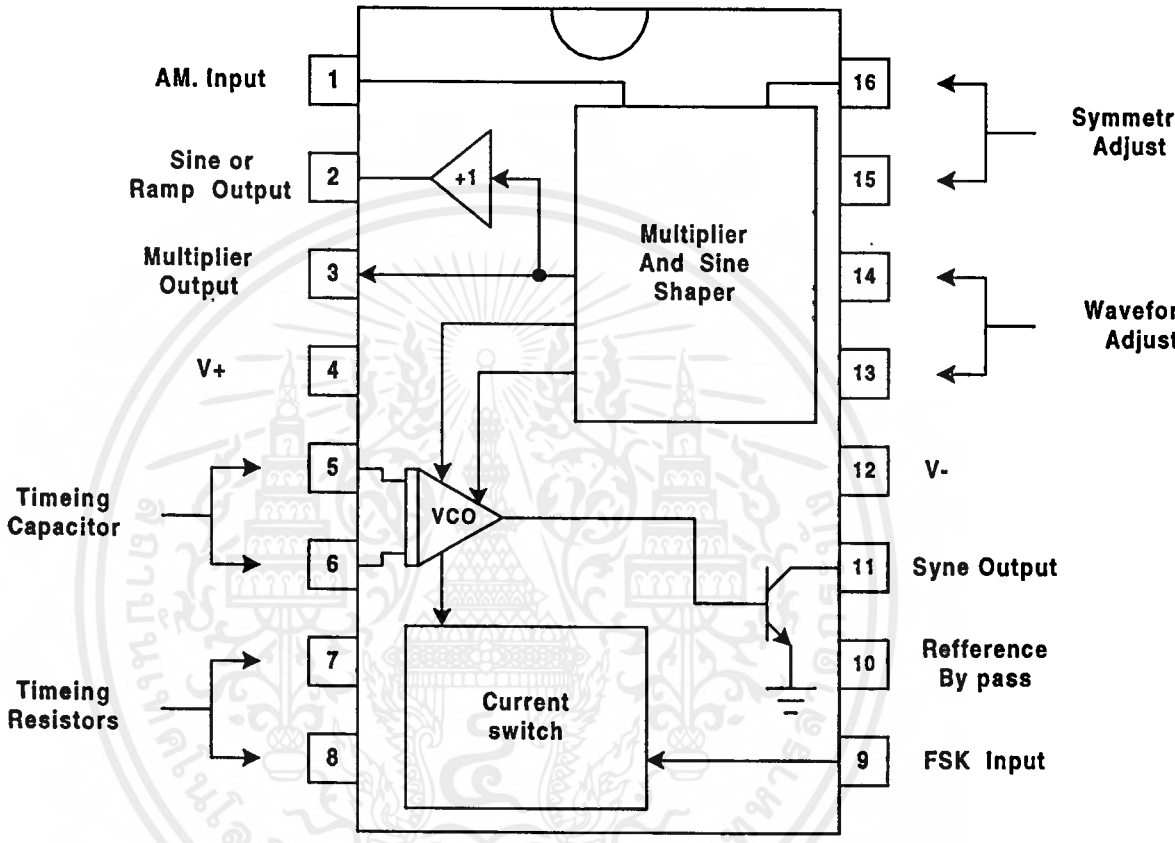
2.1.3 IC XR-2206 ที่ใช้ทำเป็น FM MOD (VCO)

ในทางปฏิบัตินั้นมี IC อยู่หลายเบอร์ที่สามารถประยุกต์ทำเป็นส่วนของวงจรมอดูเลตแบบ FM โดยเฉพาะไอซีเบอร์ XR – 2206 ซึ่งเป็นโมโนลิคทิก ฟังก์ชั่นเจนเนอร์เรเตอร์(Monolithic Function Generater) สามารถผลิตคลื่นรูปไซน์ (Sine) รูปคลื่นสามเหลี่ยม(Triangle), สี่เหลี่ยม (Square) , แรมพ์ (Ramp) ได้ โดยที่มีความถี่ตั้งแต่ไม่กี่ Hz จนถึงหลายร้อยกิโลเฮิร์ท โดยต่อกับวงจรภายนอกเล็กน้อย นอกจากนี้ยังสามารถนำไอซี XR –2206 มาควบคุมขนาดและความถี่(A.M และ F.M) และ Phasr Shift of Frequency Shift Key ได้อีก

สำหรับ XR – 2206 นี้ผลิตโดยบริษัท Exar Integrated System Inc ซึ่งอยู่ในแพคเกจไอซี 16 ขาสามารถที่จะใช้กับไฟเลี้ยง (Power Supply) ตัวเดียวคือ ในช่วง 10 ถึง 26 Volt ได้ หรือ อาจจะใช้ไฟเลี้ยงคู่ได้ในช่วง 5 ถึง 13 Volt ขณะที่ต้องผลิตสัญญาณคลื่นไซน์ (sine) นั้นค่า t.h.d. ของสัญญาณนั้นจะมีค่า 2.5% เมื่อยังไม่มีการปรับแต่ง แต่ก็สามารถปรับให้เหลือเพียง 0.5 % โดยการควบคุมของวงจรที่นำมาต่อร่วม โดยที่สัญญาณ Output รูปไซน์นี้จะมีขนาดสูงสุด 2 V(r.m.s.) และมีเอาท์พุทอิมพิแดนซ์เท่ากับ 600 โอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของ XR-2206



รูป 2.1.2 แสดงบล็อกไดอะแกรมการทำงานและขาใช้งานของ XR-2206

รูปที่ 2.1.2 แสดงบล็อกไดอะแกรมแต่ละส่วนของ XR-2206 ซึ่งเป็นเพคเกจขนาด 16 ขา หัวใจสำคัญของส่วนนี้คือ V.C.O.(Voltage Control Oscillator) ซึ่งจากรูปจะเห็นว่ามีตัวเก็บประจุจัดเวลา(Timing Capacitou)ซึ่งมีค่าได้ในช่วง 1000 pF ถึง 100 μF ต่อที่ขา 5 และ 6 ซึ่งเป็น Input ของ V.C.O.

สำหรับตัวต้านทานจัดเวลา (Timing Resistor) นั้นจะต่อกับขา 12(V) และขา 7 หรือ ขา 8 ซึ่งจะมีค่าระหว่าง 1KΩ ถึง 5MΩ ค่าของตัวต้านทานจัดเวลาและตัวเก็บประจุจัดเวลานั้นจะมีผลต่อความถี่ในการออสซิเลทซึ่งจะมีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_0 = \frac{1}{RC} H_z$$

จะเห็นว่าเราสามารถที่จะเปลี่ยนค่า R หรือ C เพื่อให้ความถี่เปลี่ยนแปลงได้ แต่เพื่อที่จะให้เกิดการคงตัวของอุณหภูมิ(Temperature Stability) และความเพี้ยนของสัญญาณไซน์(Sine) น้อยที่สุดควรจะให้ค่าของรีซิสเตอร์มีค่าอยู่ระหว่าง 4KΩ ถึง 200 KΩ

ในการเลือกต่อตัวต้านทานจัดเวลา (Timing Resistor) นั้นว่าจะต่อกับขา 7 หรือ ขา 8 นั้น เราจะพิจารณาดูว่ามีการป้อนสัญญาณที่ FSK INPUT นี้ต่อกับแรงดันไฟฟ้าต่ำกว่า 1 โวลท์ ขา 8 จะต้องต่อตัวต้านทานด้วย

ส่วนของ V.C.O ของ I.C นั้นผลิตรูปคลื่นได้ 2 ชนิด คือ รูปคลื่นแรมป์ ซึ่งจะป้อนส่วนของ Multipler and Shaper Block อีกที่หนึ่ง และรูปคลื่นสี่เหลี่ยม(Rectangular) ซึ่งจะป้อนออกที่ ขา Output ที่ขา 11 โดยผ่านทรานซิสเตอร์ ซึ่งการผลิตรูปคลื่นนี้ก็ขึ้นอยู่กับตัวเก็บประจุจัดเวลา (Timing Capacitor) โดยตัวเก็บประจุนี้จะเริ่มต้นเก็บประจุ ซึ่งเป็นผลทำให้เดเป็นคลื่นรูปแรมพ์ (Ramp) ที่กำลังพุ่งขึ้น และที่อีกเอาท์พุทจะได้สัญญาณ " High " ที่รูปคลื่นสี่เหลี่ยม(Rectangular) จนกระทั่งแรงดันไฟฟ้านั้นจะถึงจุดหนึ่งเรียกว่า "Firing Voltage" ที่จุดจะทำให้สัญญาณคลื่นรูปสี่เหลี่ยมจะกลับกลายเป็น "Low" และตัวเก็บประจุจัดเวลา (Fiming Capacitor)จะเก็บประจุในทิศทางกลับกับตอนต้นเป็นผลให้สัญญาณรูปแรมพ์จะตกลง ซึ่งก็จะตกลงจนถึงจุด "Firing Voltage" เช่นกัน จะทำให้คลื่นรูปสี่เหลี่ยมกลับกลายเป็นสัญญาณระดับ "Hight" และขบวนการต่าง ๆ ก็จะกลับไปกลับมาเช่นนี้เหมือนเดิม

จากการอธิบายข้างต้นจะเห็นว่า V.C.O ส่วนนี้จะผลิตคลื่นรูปสามเหลี่ยมและสี่เหลี่ยมที่สมมาตรออกมาถ้าเกิดนำเอาสัญญาณสี่เหลี่ยมที่ได้จากขา11นี้มาต่อเข้ากับขา FSK INPUT (ขา 9) ของ ไอซี จะมีผลทำให้ได้คลื่นรูปแรมพ์และรูปสี่เหลี่ยมที่ไม่สมมาตรออกมาแทน

รูปคลื่นแรมพ์ที่ได้จากส่วนของ V.C.O ของไอซี XR – 2206 นี้จะถูกนำไปเข้ายังส่วนของ Multipler and Shaper Block อีกที่ซึ่งส่วนนี้นั้นทำหน้าที่คล้ายกับวงจรขยายความต่าง ซึ่งจะทำให้เอาท์พุทอิมพิแดนซ์ที่ขา 3 มีค่าสูง และที่ขา 2 จะเป็นบัฟเพอร์เอาท์พุทที่มีค่าอิมพิแดนซ์เท่ากับ 600 Ω ในกรณีที่เปิดวงจรที่ขา 13 ขา 14 (Open Circuit) นั้นจะมีผลทำให้ที่เอาท์พุทขา 2 และ 3 นั้นจะให้รูปคลื่นรูปแรมพ์ (Ramp) ออกมา แต่ถ้าต่อรีซีสเตอร์ที่มีความต้านทานสักสองสามร้อยโอหม์ที่ขา 13 และ 14 จะทำให้ยอดของคลื่นรูปแรมพ์จะถูกตัดออก ทำให้เอาท์พุทที่ ขา 2 และ3 นั้นผลิตคลื่นรูปไซน์ (Sine) ออกมา ถ้ามีการปรับแต่งที่ถูกต้องและเหมาะสมจะทำให้คลื่นรูปไซน์ที่ได้มีความเพี้ยนเพียง 0.5 % เท่านั้นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับอัตราขยายและเฟสของเอาท์พุทของ Multiplier สามารถเปลี่ยนแปลงได้โดยการเพิ่มสัญญาณแรงดันที่ ขา 1 ขาไอซี เอาท์พุทที่ได้จะถูกควบคุมโดยการเปลี่ยนแปลงสัญญาณแรงดันที่ขา 1 ซึ่งค่าแรงดันนั้นควรอยู่ราว ๆ ครึ่งหนึ่งของไฟเลี้ยงที่ป้อนให้โดยที่ค่าของเอาท์พุทจะมีค่าเป็นศูนย์เมื่อสัญญาณแรงดันที่ขา 1 มีค่าเท่าครึ่งหนึ่งของแรงดันไฟเลี้ยงพอดี และเพิ่มขึ้น แต่ถ้าระดับแรงดันนี้เกิดลดลงต่ำกว่าค่าครึ่งหนึ่งของแรงดันไฟเลี้ยงที่จะทำให้สัญญาณเอาท์พุทเพิ่มขึ้นเช่นกัน แต่ทว่าเฟสที่ได้จะตรงกันข้ามกัน คุณสมบัตินี้เองสามารถนำมาใช้ในการมอดูเลตขนาด (A.M) หรือ เฟสชิฟท์คีย์(Phase Shift Key)ซึ่งจะให้เอาท์พุทที่ขา 2 และ 3

เนื่องจากว่าเอาท์พุทที่ขา 3 ของ ไอซี XR – 2206 นั้นต่อกับอินพุทของวงจรขยายที่มีอัตราการขยายเท่ากับ 1 นั้น ซึ่งทำให้เกิดบัฟเฟอร์เอาท์พุทที่มีค่าอิมพิแดนซ์เท่ากับ 600 โอหม์ ที่ขา 2 ทำให้เราสามารถที่จะป้อนสัญญาณอินพุทเข้าที่วงจรขยายบัฟเฟอร์ โดยการใช้วงจรแบ่งแรงดัน (Potential Divider) หรืออิมพิแดนซ์เข้าที่ ขา 3 ได้ โดยเทียบกับกราวด์ซึ่งคุณสมบัตินี้เองทำให้สามารถควบคุมอัตราขยายด้วยวิธีง่าย ๆ ได้

2.1.4 ออปแอมป์ (OP AMP)

ออปแอมป์ คือ อุปกรณ์ชนิดหนึ่งซึ่งถูกออกแบบมาให้สามารถทำงานได้หลายรูปแบบและยังเน้นความสะดวกในการนำไปใช้งาน โดยสามารถแระกอบเป็นวงจรได้โดยการต่อร่วมกับอุปกรณ์ภายนอกเพียงไม่กี่ตัว

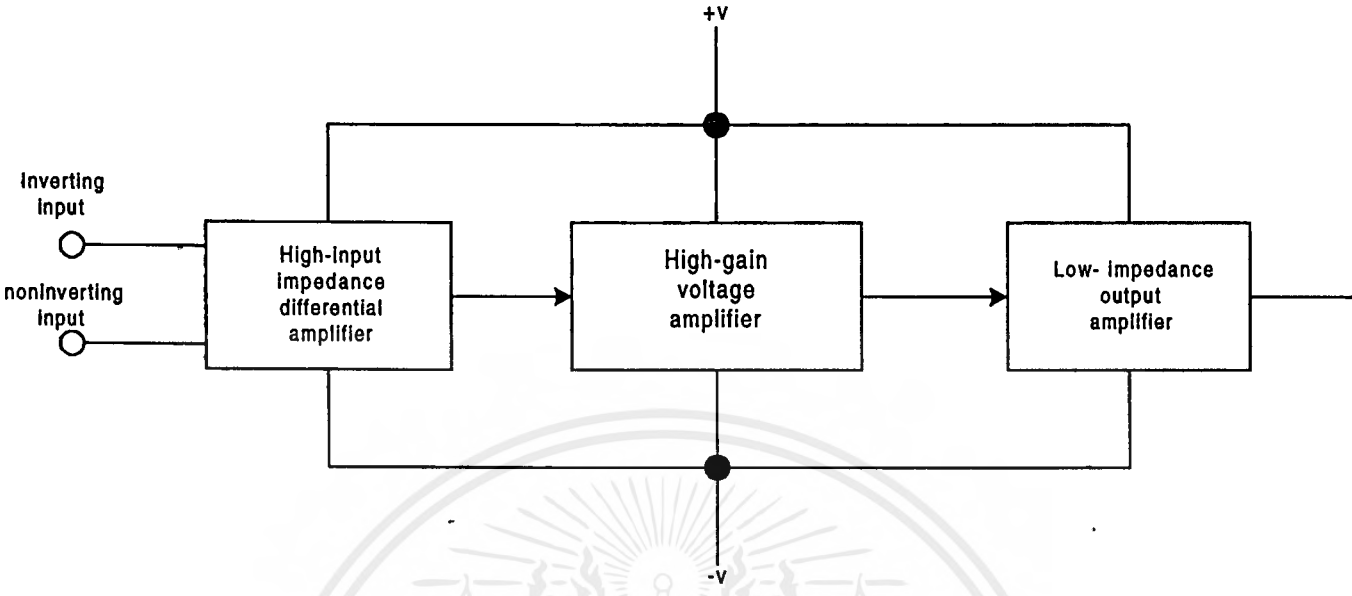
สาเหตุที่กล่าวถึงออปแอมป์เนื่องจากเป็นอุปกรณ์ที่จะต้องประกอบอยู่ในโครงงานชิ้นนี้เป็นส่วนใหญ่เพราะง่ายต่อการนำไปประยุกต์ใช้งานในส่วนต่าง ๆ ได้ดี ดังนั้นจึงจำเป็นต้องทำความเข้าใจออปแอมป์เพื่อช่วยในด้านการออกแบบวงจร

2.1.4.1 คุณสมบัติทั่วไป

โดยทั่วไปแล้ว สามารถกล่าวได้ว่า ไอซีออมแอมป์ คือ อุปกรณ์โซลิดเสตท(Solid State) ซึ่งสามารถตรวจวัดระดับสัญญาณไฟตรง และไฟสลับได้ และยังสามารถนำไปใช้ขยายสัญญาณได้อีกด้วย ไอซีออปแอมป์พื้นฐานจะต้องประกอบด้วยวงจรภายในภาคต่าง ๆ ดังนี้ คือ

1. ดิฟเฟอเรนเชียลแอมป์ หรือ วงจรขยายผลต่าง (Differential Amplifier) ที่มีอินพุทอิมพิแดนซ์สูงมาก
2. วงจรขยายแรงดันซึ่งมีอัตราขยายตัวสูงมาก
3. วงจรขยายภาคเอาท์พุทที่มี เอาท์พุทอิมพิแดนซ์ต่ำมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.1.3 แสดงบล็อกไดอแกรมของวงจรภายในออปแอมป์

รูป 2.1.3 แสดงบล็อกไดอแกรม(Block Diagram) ของวงจรภายในภาคต่าง ๆ ของออปแอมป์ดังกล่าว และจากรูปจะสังเกตุว่าแรงดันไฟตรงที่จ่ายให้แก่ออปแอมป์ มักประกอบด้วยไฟบวกและลบเพื่อให้เอาท์พุทสามารถ สวิงได้ดีทั้งซีกบวกและลบเมื่อเทียบกับกราวด์(Ground)

จากคุณสมบัติของออปแอมป์ดังกล่าว ทำให้เราสามารถสรุปคุณสมบัติที่สำคัญบางประการของออปแอมป์ในอุดมคติ ดังนี้

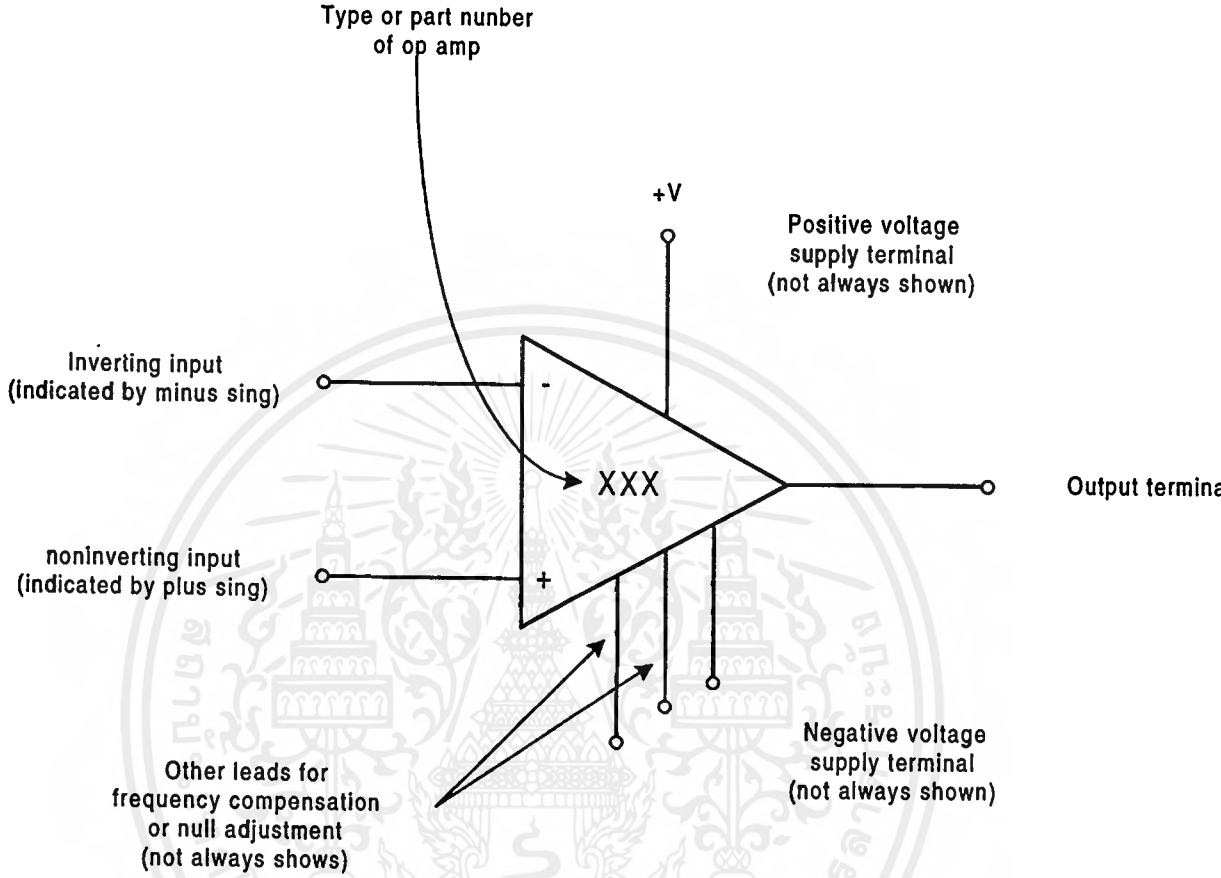
1.เนื่องจากอินพุทอิมพิแดนซ์ของออปแอมป์มีค่าสูงเป็นอนันต์ กระแสเข้าที่อินพุทจะต่ำจนเกือบเท่าศูนย์ หรืออีกนัยหนึ่ง ไม่มีกระแสอินพุทเข้าสู่ออปแอมป์

2.อัตราขยายขณะเปิดลูป A (ขณะที่ยังไม่มีการป้อนกลับ) จะมีค่าสูงมาก ซึ่งหมายความว่าแรงดันระหว่างขั้วอินพุทควรมีค่าใกล้ศูนย์(เนื่องจาก $\frac{Vout.}{A} = Vin$)

3.เอาท์พุทอิมพิแดนซ์มีค่าต่ำมากจนไม่ทำตัวเป็นโหลดต่อภาคเอาท์พุทของวงจรขยาย

รูปที่ 2.1.4 แสดงสัญญาณลักษณ์ทั่วไปของออปแอมป์ ซึ่งประกอบด้วยขั้วอินพุท 2 ขั้ว ขั้วสำหรับแหล่งจ่ายไฟ 2 ขั้ว ขั้วเอาท์พุท 1 ขั้ว และขั้วสำหรับปรับออฟเซ็ท หรือการชดเชยความถี่อีก 2 ขั้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1.4 แสดงสัญญาณลักษณ์ทั่วไปของออปแอมป์

ขั้วอินพุททั้งสองของออปแอมป์มีลักษณะต่างกันดังนี้ คือ สำหรับขั้วลบ เมื่อป้อนไฟสลับเข้าไป ในขณะที่ขั้วบวกต่อกับจุดอ้างอิงจุดหนึ่ง สัญญาณที่ออกมาที่เอาท์พุทจะกลับเฟสกับอินพุท 180 $^{\circ}$ ส่วนการป้อนสัญญาณที่ขั้วบวก เอาท์พุทจะมีเฟสตรงกันกับอินพุท ดังนั้นจึงกล่าวได้ว่าเครื่องหมายที่อินพุท คือ การแสดงเฟสของเอาท์พุทเทียบกับอินพุท ส่วนขั้วสำหรับปรับออฟเซ็ทหรือชดเชยความถี่นั้นโดยมากมักจะไม่แสดง ในวงจรทั่วไป

2.1.4.2 คุณสมบัติและพารามิเตอร์บางชนิดของออปแอมป์

1. อินพุทอิมพิแดนซ์

ในทางอุดมคติควรมีค่าเท่ากับอนันต์ แต่ในความเป็นจริง อินพุทอิมพีแดนซ์จะมีค่าประมาณ 1 เมกกะโอห์ม ($1x10^6$ โอห์ม) ค่าอินพุทอิมพิแดนซ์นี้ยิ่งมีค่ามากขึ้นเท่าใด ออปแอมป์นั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก็จะทำงานได้ดียิ่งขึ้น นอกจากนี้ เมื่อนำออปแอมป์ไปใช้งานในย่านความถี่สูง ควรระวังผลจากอินพุทคาปาซีสแตนซ์ของวงจรด้วย ซึ่งมักมีค่าประมาณ 2 พิโคฟารัด ($2x10^{-12}$ ฟารัด) เมื่อขั้วอินพุทขั้วหนึ่งเป็นกราวด์

2. เอาท์พุทอิมพิแดนซ์

ดังที่ได้กล่าวมาแล้วว่า ออปแอมป์ในอุดมคติจะมีเอาท์พุทอิมพิแดนซ์เป็นศูนย์ แต่ในความเป็นจริง ค่านี้อาจมีได้ตั้งแต่ 25 ถึงหลายพันโอหม์ขึ้นไป แต่อย่างไรก็ตาม เรามักสมมุติให้เอาท์พุทอิมพิแดนซ์ในวงจรมีค่าเป็นศูนย์เพื่อง่ายต่อการคำนวณและวิเคราะห์

จากคุณสมบัติของออปแอมป์ที่มีอินพุทอิมพิแดนซ์สูง และมีเอาท์พุทอินพิแดนซ์ต่ำออปแอมป์จึงเปรียบเสมือนเป็นอุปกรณ์ซึ่งมีคุณสมบัติเป็นอิมพิแดนซ์แมทชิ่ง (Impedance matching)ที่ดี ตัวหนึ่ง

3. กระแสไบอัสด้านอินพุท

เนื่องจากอินพุทอิมพิแดนซ์ของออปแอมป์ไม่เป็นอนันต์ ดังนั้นจึงมีกระแสค่าน้อย ๆ (มีหน่วยเป็น นาโน(10^{-9})ถึง ไมโคร(10^{-6})แอมแปร์) ไหลผ่านขั้วอินพุททั้งสอง ซึ่งเป็นค่าเฉลี่ยของกระแสดังกล่าวถูกเรียกว่าเป็น "กระแสไบอัสด้านอินพุท" กระแสจะก่อให้เกิดความไม่สมดุลในวงจรภายใน ซึ่งจะเป็นผลกระทบต่อภาคเอาท์ด้วย ดังนั้น กระแสนี้ควรถูกกำจัดให้มีค่าต่ำสุด (อาจทำได้โดยการใช้ออปแอมป์ที่มีอินพุทเป็น FET)

4. แรงดันออฟเซ็ท (OFFSET) ที่เอาท์พุท

แรงดันออฟเซ็ที่เอาท์พุทเกิดขึ้นจากกระแสไบอัสด้านอินพุท ซึ่งในทางอุดมคติ เมื่อแรงดันอินพุทระหว่างขั้วทั้งสองมีค่าเท่ากัน แรงดันที่เอาท์พุทควรเป็นศูนย์ แต่โดยทั่วไปมักไม่เป็นเช่นนั้น คือมักมีแรงดันค่าหนึ่งปรากฏที่เอาท์พุท ขณะที่อินพุทเป็นศูนย์ ซึ่งเราสามารถแก้ไขได้โดย การป้อนแรงดันหรือกระแสออฟเซ็ทที่อินพุท แล้วปรับจนได้ $V_{out} = 0$ โวลท์

5. กระแสออฟเซ็ที่อินพุท

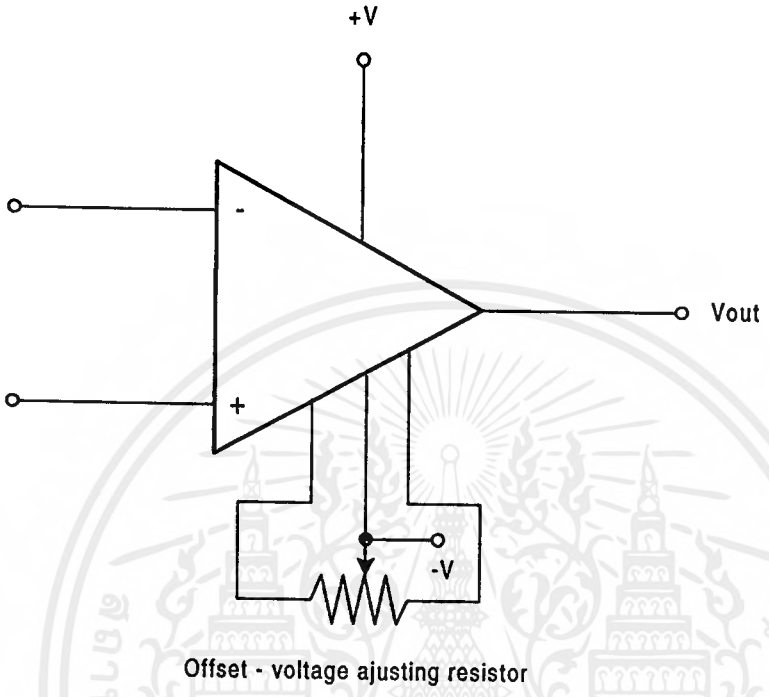
ในการปรับแรงดันออฟเซ็ทที่เอาท์พุทให้มีค่าเป็นศูนย์ กระแสอินพุททั้งสองขั้วควรมีค่าเท่ากันแต่มนทางปฏิบัติ จะพบว่าเราต้องจ่ายกระแสให้แกอินพุทขั้วหนึ่งมากกว่าอีกขั้วหนึ่งเสมอ เพื่อทำให้แรงดันเอาท์พุทมีค่าเป็นศูนย์ ซึ่งกระแสออฟเซ็ทนี้อาจมีค่าประมาณ 20 มิลลิแอมป์

6. แรงดันออฟเซ็ทที่อินพุท

ในทางอุดมคติ แรงดันเอาท์พุทจะเท่ากับศูนย์ก็ต่อเมื่อแรงดันระหว่างขั้วอินพุทมีค่าเป็นศูนย์ เช่นกัน แต่ในทางปฏิบัติ ความไม่สมดุลภายในวงจนมักทำให้เราต้องป้อนแรงดันค่าหนึ่งแก่อินพุทใด ๆ เสมอ เพื่อทำให้แรงดันเอาท์พุทเป็นศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.การปรับออฟเซ็ทให้เป็นศูนย์ (OFFSET NULLING)



รูป 2.1.5 แสดงการปรับค่าศูนย์

ในการปรับแรงดันเอาท์พุทให้เป็นศูนย์ หรือ การปรับแรงดันออฟเซ็ทที่อินพุทให้เป็นศูนย์นั้นเราอาจใช้ขั้ว OFFSET NULLING ที่ผลิตได้เตรียมไว้ให้แล้ว โดยให้ศึกษาข้อมูลรายละเอียดของออปแอมป์เบอร์นั้น ๆ รูป 2.1.5 แสดงวงจรที่ใช้ในการตั้งศูนย์ให้แก่ออปแอมป์โดยมีขั้นตอนดังนี้

1.ตรวจสอบวงจรให้เรียบร้อยและเช็คอุปกรณ์ที่ต้องนำมาต่อ

2.ลดระดับสัญญาณอินพุทจนเหลือศูนย์ ถ้ามีตัวต้านทานต่ออนุกรมกับอินพุทอยู่ ให้ตรวจสอบดังนี้

ก)ถ้าตัวต้านทานนั้นมีค่าสูงกว่าอิมพิแดนซ์ของแหล่งกำเนิดสัญญาณอินพุทตั้งแต่ 1 % ขึ้นไป ปล่อยตัวต้านทานไว้เช่นเดิม

ข)หากตัวต้านทานดังกล่าวมีค่าน้อยกว่าหรือเท่ากัน ให้นำแหล่งกำเนิดสัญญาณอินพุทนั้นออก แล้วต่อตัวต้านที่มีขนาดเท่ากับอินพุทอิมพิแดนซ์ของแหล่งกำเนิดอินพุทเข้าแทน

ค) ต่อโหลดเข้ายังขั้วเอาท์พุท

ง) ป้อนไฟตรงให้วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จ)วัดแรงดันที่เอาท์พุทด้วย โวลท์มิเตอร์ หรือ ออสซิลโลสโคป (แรงดันเอาท์พุทอาจมีค่าต่ำเพียงไม่กี่มิลลิโวลต์ ดังนี้ ควรใช้อุปกรณ์สำหรับวัดที่เหมาะสม)

ฉ) ปรับตัวต้านทานชนิดปรับค่าได้จน V_{out} ที่ค่าเป็นศูนย์

ช)ถอดอุปกรณ์ที่เพิ่มเข้าไป แล้วต่อวงจรดังเดิม แต่ห้ามแตะต้องตัวต้านทานปรับค่าได้

8. ผลของอุณหภมิ

อุณหภูมิมีผลต่ออุปกรณ์โซลิสเตททุกชนิด รวมทั้งออปแอมป์ ดังนั้น ผลกระทบจากอุณหภูมิจะทำให้กระแสและแรงดันออฟเซ็ทเปลี่ยนแปลงไปซึ่งเราเรียกการเปลี่ยนแปลงอันเกิดจากอุณหภูมิว่า "ดริฟท์" ดังนั้น ในขณะทำงาน ควรตรวจสอบด้วยว่าออปแอมป์จะมีเปอร์เซนต์การผิดพลาดมากน้อยเพียงใด หากอุณหภมิเปลี่ยนไป

9. การชดเชยความถี่

ปัญหาที่เกิดขึ้นกับออปแอมป์ที่ใช้ในย่านความถี่สูงคือ การออสซิลเลท(Oscillation) ซึ่งเกิจากอัตราขยายที่มีค่าคอนข้างสูงของออปแอมป์เอง และยังเกิดจากการเลื่อนเฟส (Phase Shift) ณ จุดต่าง ๆ ภายในวงจร เป็นผลให้เราไม่สามารถควบคุมอัตราขยายของสัญญาณป้อนกลับได้ วิธีแก้ปัญหาก็คือ ต่อตัวเก็บประจุชดเชยให้แก่วงจร ซึ่งจะทำให้อัตราขยายของออปแอมป์มีขนาดลดลงเมื่อความถี่สูงขึ้น

10. อัตราสลูว์ (Slew Rate)

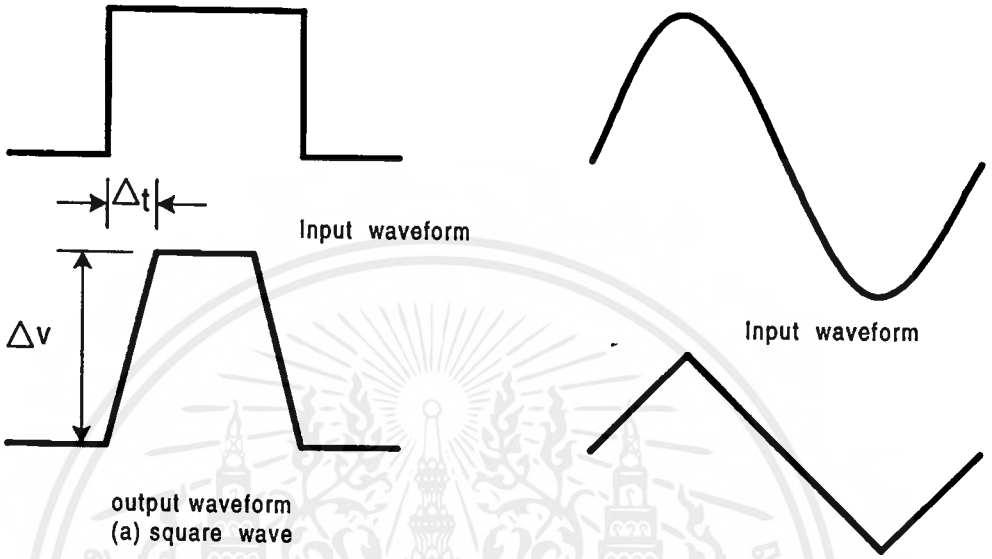
อัตราสลูว์ คือ อัตราการเปลี่ยนแปลงสูงสุดของแรงดันเอาท์พุทเทียบกับเวลาดังสมการ

$$SLEWRATE = \frac{\Delta V_{out}(\max)}{\Delta t}$$

ตัวอย่างเช่น ออปแอมป์ 741 ซึ่งมีอัตราสลูว์เท่ากับ 0.5 โวลท์ไมโครวินาที แสดงว่าการเปลี่ยนแปลงสูงสุดของแรงดันเอาท์พุทของแรงดันตัวนี้มีค่า 0.5 โวลท์ ภายในช่วง $1x10^{-6}$ วินาที โดยมีค่าความจุของตัวเก็บประจุเป็นจำกัดอัตราสลูว์ของออปแอมป์ (ตัวเก็บประจุในที่นี้อาจเป็นชนิดที่ต่อภายนอก หรือตัวเก็บประจุภายใน IC เอง) อัตราสลูว์ที่มีค่าต่ำจะเป็นผลให้แรงดันที่เอาท์พุทมีการเปลี่ยนแปลงช้าลง เมื่อเทียบกับอินพุท ดังแสดงในรูป 2-6 เมื่อสัญญาณอินพุทมีความถี่สูงมากขึ้นเท่าใด อัตราส่วนสลูว์จะมีบทบาทต่อการตอบสนอง ณ เอาท์พุทอย่างเด่นชัดยิ่งขึ้น ซึ่งสามารถสังเกตุได้จากเอาท์พุทที่จะเพี้ยนมากขึ้นหากอัตราสลูว์มีค่าน้อย หรืออีกนัยหนึ่ง ออปแอมป์ที่มีอัตราสลูว์สูงจะมีแบนด์วิดธ์กว้างมาก ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



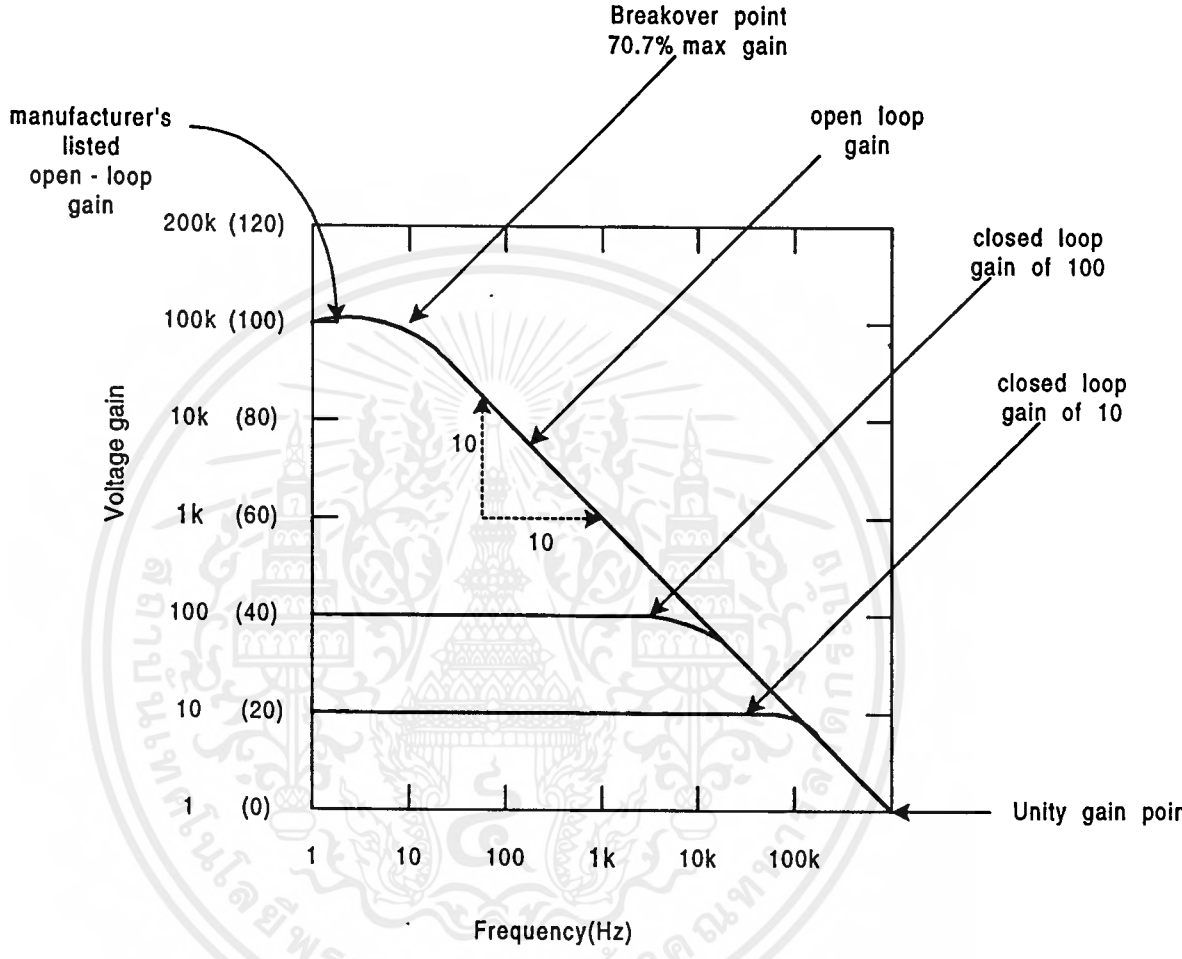
รูป 2.1.6 อัตราแรงดันที่เอาท์พุทมีการเปลี่ยนแปลงช้าลง เมื่อเทียบกับอินพุท

11. การตอบสนองต่อความถี่

อัตราขยายของออปแอมป์จะลดลงเมื่อความถี่สูงขึ้น ดังแสดงในรูป 2.1.7 จะพบว่าอัตราขยายที่ผู้ผลิตแสดงไว้ในดาต้าชีท (Data Sheet) จะเป็นอัตราขยายที่ความถี่ 0 เฮิรท์ซ หรือ ไฟตรง (ซึ่งแสดงให้เก็บความถี่สูงสุดของออปแอมป์) ในการทำงานแบบลูปเปิด จะเห็นได้ว่า วงจรมีเสถียรภาพต่ำมาก นั่นคือ เมื่อความถี่เพิ่มขึ้นสิบเท่า อัตราขยายจะลดลง 10 เท่าทันที

โดยทั่วไป แบนด์วิทธ์ของวงจรจะ หมายถึง ช่วยความถี่ที่อัตราขยายมีค่า 70.7 % ของอัตราขยายสูงสุด จากตัวอย่างในรูป แบนด์วิทธ์ของออปแอมป์ขณะเปิดลูป จะมีค่าประมาณ 10 เฮิรท์ซ ดังนั้น หากต้องการให้วงจรที่ออกแบบขึ้นสามารถทำงานได้ที่ความถี่อินพุทสูง ๆ จะต้องป้อนสัญญาณจากเอาท์พุทกลับมายังอินพุท (การป้อนกลับแบบลบซึ่งจะทำให้อัตราขยายของลูปปิดลดลง แต่ในขณะเดียวกัน ความถี่ที่อัตราขยายเท่ากับ 70.7 % ของอัตราขยายสูงสุดก็จะเพิ่มขึ้นด้วย อัตราเท่ากันจนจุดที่มีอัตราขยายเท่ากับหนึ่ง (Unity – Gain Point) จะแสดงความถี่สูงสุดของออปแอมป์เมื่ออัตราขยายมีค่าเป็นหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.1.7 อัตราขยายของออปแอมป์จะลดลงเมื่อความถี่สูงขึ้น

12. ผลคูณของอัตราขยายและแบนด์วิทธ์

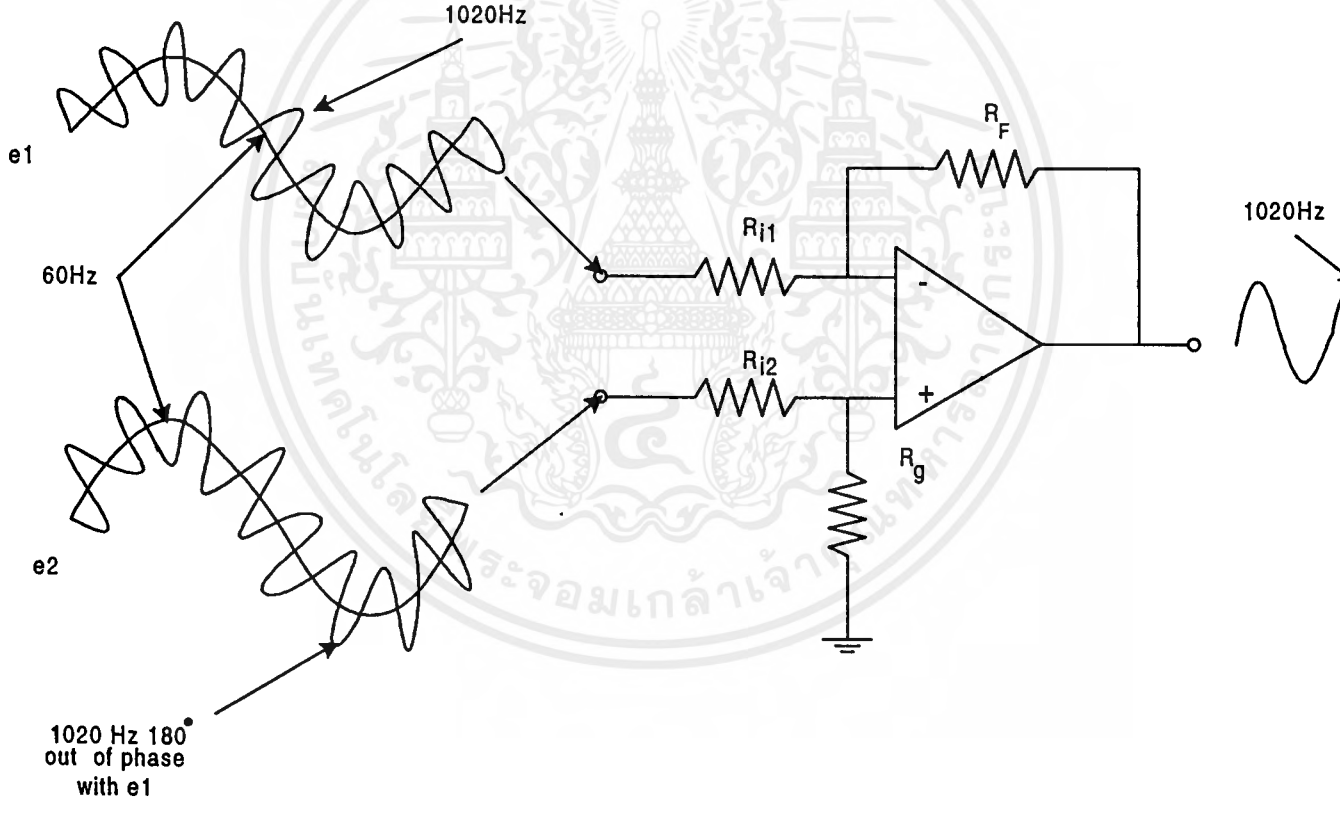
จากที่ได้อธิบายมาในหัวข้อที่แล้วว่า เมื่ออัตราขยายลดลงเท่าใด ความถี่ก็จะสูงขึ้นด้วยจำนวนเท่าของค่านั้นด้วย ซึ่งแสดงว่า ผลคูณระหว่างอัตราขยายและแบนด์วิทธ์จะมีค่าคงที่เสมอไป และเราสามารถหาค่านั้นได้จากจุดซึ่งมีอัตราขยายเท่ากับหนึ่ง (ค่านี้จะหาได้จากดาต้าชีท) ผลคูณนี้มีประโยชน์อย่างมากในการประมาณความถี่สูงสุดที่วงจรสามารถทำงานได้ ตัวอย่างเช่น หากเราพบว่าความถี่ที่อัตราขยายมีค่าเท่ากับหนึ่ง(หาจากดาต้าชีท) มีค่าเป็น 1 เมกกะเฮิรท์ซ(ดังแสดงในรูป 2.1.7)และอัตราขยายของวงจรที่ออกแบบมีค่าเท่ากับ100 ดังนั้น ความถี่สูงสุดที่เราประมาณไว้ควรมีค่าอยู่ในราว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{BW (แบนด์วิทธ์)} = \frac{1{,}000{,}000}{100} = 10 \text{ กิโลเฮิรท์ซ}$$

13. อัตราการลดสัญญาณชนิดคอมมอนโหมด(CMRR)

Common – Mode Rejection Ratio เป็นคุณสมบัติอย่างหนึ่งของออปแอมป์ที่ได้มาจากภาคอินพุทที่เป็นดิเฟอเรนเชียลแอมป์หมายความว่าหากสัญญาณที่เข้ามายังขั้วอินพุททั้งสองมีเฟส ตรงกัน และยังมีขนาดเท่ากัน (สัญญาณแบบนี้เรียกว่า อยู่ในคอมมอนโหมด) สัญญาณทั้งสองนี้จะถูกกำจัดทิ้งไป ดังนั้น เอาท์พุทจะเป็นศูนย์ ส่วนสัญญาณที่มีขนาดต่างกัน และมีเฟสต่างกันจะเรียกว่าอยู่ในดิฟเฟอเรนเชียลโหมด



รูป 2.1.8 แสดงเฟสของสัญญาณที่ต่าง กัน

ค่าใช้งานต่าง ๆ ที่ควรเข้าใจ

การนำไอซีออปแอมป์ไปใช้งาน ผู้ใช้ควรศึกษาดาต้าชีทของบริษัทผู้ผลิตให้ละเอียดเสียก่อนเพื่อป้องกันออปแอมป์ชำรุด หรือ เสียหาย ค่าต่าง ๆที่ควรรู้ได้แก่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก) แรงดันจากแหล่งจ่ายไฟเลี้ยง $\pm V$ (Supply Voltage)

ข)กำลังที่สูญเสียในตัวไอซี (Power Dissipation) ซึ่งแสดงกำลังสูงสุดที่อุปกรณ์สามารถปลดปล่อยออกมาโดยที่อุณหภูมิไม่สูง จนทำให้ไอซีพัง

ค)แรงดันสูงสุดระหว่างขั้วอินพุท(Differential Input Voltage)

ง)แรงดันสูงสุดที่อินพุทแต่ละขั้ว(Input Voltage)

จ)ความสามารถในการทนภาวะลัดวงจรที่เอาท์พุท (Output short – circuit duration)

ฉ)อุณหภมิที่ใช้งาน(Operating Temperature)

ช)อุณหภูมิที่ใช้เก็บอุปกรณ์(Storage – Temperature)

ฌ) อุณหภูมิของขาอุปกรณ์ (Lead temperature) แสดงอุณหภูมิที่ไอซีสามารถทนได้ในขณะที่ถูกบัดกรี

2.2 แอคทีฟฟิลเตอร์(Active Filter)

แอคทีฟฟิลเตอร์ทำหน้าที่กรองความถี่สัญญาณ เป็นวงจรที่ประกอบด้วยภาคขยายเช่น ทรานซิสเตอร์ หรือ ไอซี และเนตเวอร์ค เลือกความถี่(Frequency Selective Network) จำพวกตัวต้านทาน หรือตัวเก็บประจุ วงจรให้ผ่านได้เฉพาะสัญญาณในช่วงความถี่ที่กำหนด ขณะเดียวกันจะขวางกั้น(Block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าวมิให้ปรากฏที่เอาท์พุท

กล่าวโดยทั่วไปฟิลเตอร์ แบ่งออกเป็นหลายรูปแบบ

1. ฟิลเตอร์ชนิดอนาลอก(Analog) หรือชนิดดิจิตอล(Digital)
2. ฟิลเตอร์ประเภทพาสซีฟ(Passive)หรือแอคทีฟ(Active)
3. ฟิลเตอร์ย่านความถี่เสียง(Audio Frequency)หรือย่านวิทยุ(Radio Frequency)

อนาลอกฟิลเตอร์(Analog Filter) ออกแบบมาเพื่อใช้กับสัญญาณอนาลอก ส่วนดิจิตอลฟิลเตอร์ (Digital Filter) ใช้งานกับสัญญาณอนาลอก(Analog)โดยอาศัยเทคนิคทางดิจิตอลมาช่วย ถ้าคำนึงถึงชิ้นส่วน(Element) ที่นำมาประกอบวงจร ฟิลเตอร์แบ่งออกเป็นประเภทพาสซีฟและแอคทีฟชิ้นส่วนวงจรที่ใช้พาสซีฟฟิลเตอร์ ได้แก่ ตัวเก็บประจุ, ตัวต้าน, ตัวเก็บประจุ และตัวเหนี่ยวนำ ส่วนแอคทีฟฟิลเตอร์ประกอบด้วยตัวขยายสัญญาณจำพวกทรานซิสเตอร์หรือไอซีในรูปออปแอมป์และตัวต้านทานและตัวเก็บประจุ ทำงานร่วมกัน ตัวเก็บประจุ , ตัวต้านทาน และ ตัวเหนี่ยวนำ ถือว่าเป็นชิ้นส่วนประเภทพาสซีฟ การจะเลือกใช้ชิ้นส่วนชิ้นใดชิ้นหนึ่งนั้น ขึ้นกับย่านความถี่สัญญาณที่ต้องการให้วงจรฟิลเตอร์ทำงาน ยกตัวอย่าง อาซีฟิลเตอร์ (RC Filter) ใช้กับย่านความถี่เสียง(Audio Frequency)หรือใช้ในย่านความถี่ต่ำ(Low Frequency)ขณะที่ แอลซีฟิลเตอร์(LC filter)หรืออาจจะกล่าวไปถึงคริสตอลฟิลเตอร์เหมาะที่จะใช้ในย่านความถี่วิทยุ(Radio Frequency) หรือย่ารความถี่สูง(High Frequency)และโดยเฉพาะอย่างยิ่งเนื่องจากค่า คิว (Q)หรือ (Figure of

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Marit) ที่สูงของตัวคริสตอล ทำให้คริสตอลฟิลเตอร์ มีเสถียรภาพที่ความถี่สูงมากๆ ดีกว่า แอลซี ฟิลเตอร์ อีกด้วย

2.2.1 ข้อดีของแอคทีฟฟิลเตอร์ที่มีเหนือกว่าพาสซีฟฟิลเตอร์

ข้อดีที่เหนือกว่ามีดังนี้

ก)การปรับอัตรา การขยายและปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดค่าอัตราการขยายของ ออปแอมป์ ชดเชยกับอัตราลดทอนสัญญาณของวงจร อาซี หรือเพิ่มอัตราการขยายของวงจรทั้งหมดด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยายออปแอมป์ และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า อาซี เท่า

ข)ไม่มีปัญหา โหลดดิ่ง (Loading)จากการที่ออปแอมป์มีคุณสมบัติของอินพุทอิมพิแดนซ์สูง และเอาท์พุท อิมพิแดนต่ำ วงจรแอคทีฟฟิลเตอร์อาศัยออปแอมป์ จึงไม่เกิดปัญหา โหลดดิ่ง (Loading) กับเอาท์พุทและอินพุท ของวงจร ณ จุดที่นำแอคทีฟฟิลเตอร์เข้าไปต่อ

ค) ราคาถูก แอคทีฟฟิลเตอร์มีราคาถูกกว่าแบบพาสซีฟฟิลเตอร์ เพราะไม่ต้องอาศัยตัวเหนี่ยวนำที่มีราคาแพง และยังใช้ออปแอมป์ซึ่งปัจจุบันราคาในท้องตลาดถูกมาก

2.2.2 แอคทีฟฟิลเตอร์ตามลักษณะการทำงาน

เราแบ่ง แอคทีฟฟิลเตอร์ ตามลักษณะการทำงานเป็น 5 ชนิด

ก) ตัวกรองสัญญาณความถี่ต่ำ(Low Pass Filter : LPF)

ข) ตัวกรองสัญญาณความถี่สูง(High Pass Filter : HPF)

ค) ตัวกรองสัญญาณความถี่ช่วงผ่าน(Band Pass Filter : BPF)

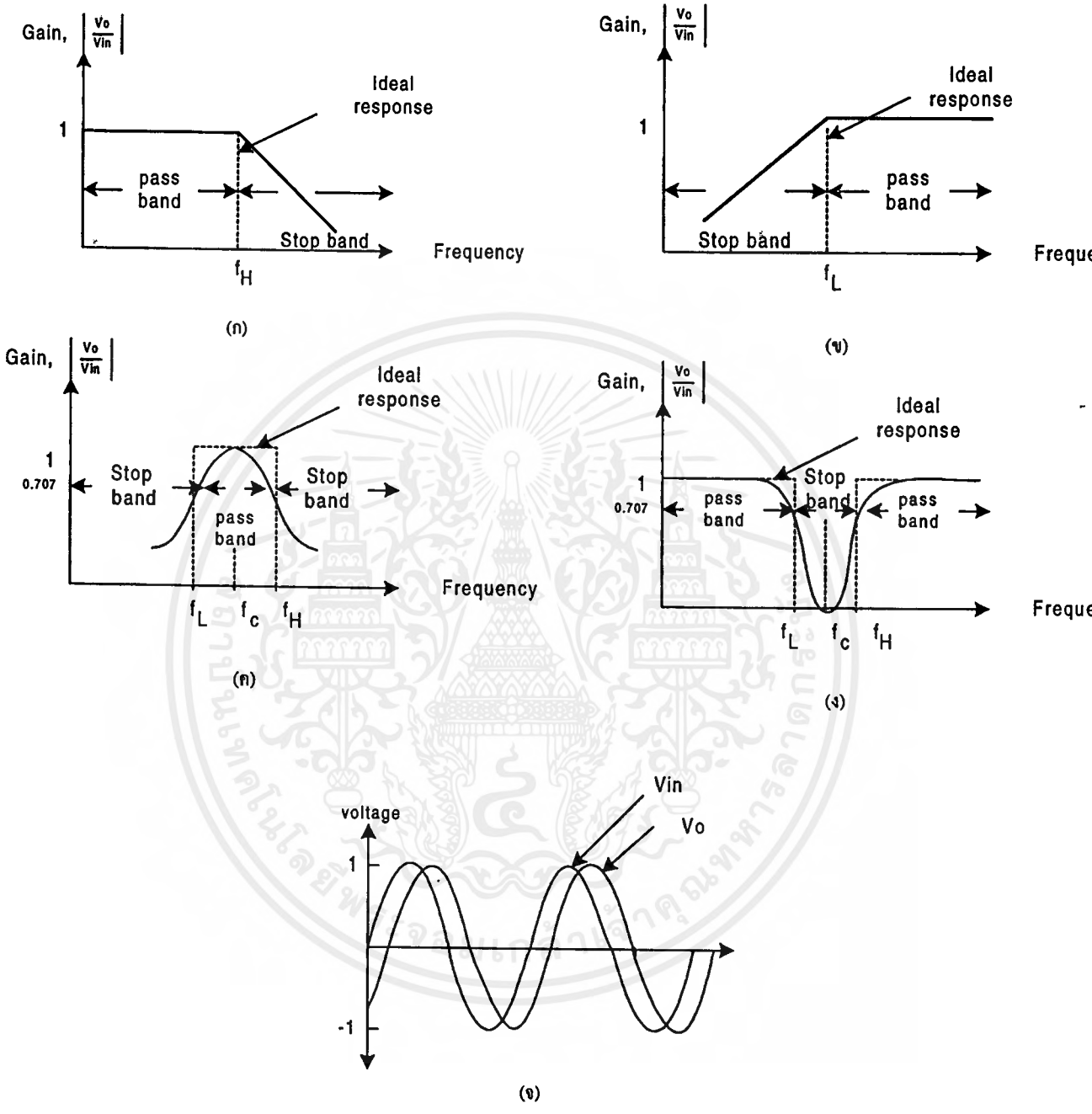
ง) ตัวกรองสัญญานความถี่ช่วงกำจัด(Band Reject หรือ Band Stop : BSF)

จ) ตัวกรองความถี่ผ่านทั้งหมด(All Pass Filter)

ฟิลเตอร์เหล่านี้อาศัยตัวต้านทานและตัวเก็บประจุ เป็นอุปกรณ์พาสซีฟ ทำงานร่วมกันกับอุปกรณ์แอคทีฟ จำพวกออปแอมป์ อาศัยไอซีที่มีคุณสมบัติของความเร็วสูงที่มีอัตรา สเลเรท (Slew Rate) สูง และ ยูนิตี้ เกนแบนวิทธ์(Unity Gain Bandwidth) สูงๆ เช่น LM 318 หรือไอซี L 8017 จะช่วยให้คุณสมบัติด้านความถี่และด้านอัตราการขยายของฟิลเตอร์ดีขึ้น

การตอบสนองทางความถี่ของฟิลเตอร์ทั้ง 5 ชนิดแสดงในรูปข้างล่างเส้นทึบแสดงถึงการตอบสนองที่เป็นทางอุดมคติในทางทฤษฎี ส่วนกราฟ แสดงการตอบสนองในทางปฏิบัติแสดงด้วยเส้นทึบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.2.1 แสดงกราฟการตอบสนองความถี่ของฟิลเตอร์

รูปที่ 2.2.1 (ก) แสดงการตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน มีขนาดของกำลังขยายคงที่จากความถี่ 0 Hz ถึงความถี่คัดออฟ f_H ค่าของแบนด์วิทธ์จึงเท่ากับ f_H ที่ f_H หรือตำแหน่งความถี่คัทออฟนั้น กำลังขยายจะลดลง 3 dB และที่ความถี่มากกว่า f_H นั่นคือที่ f > f_H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราการขยายของวงจรก็ลดลงทุกขณะอย่างต่อเนื่องตามความถี่สัญญาณอินพุทที่เพิ่มขึ้น นั้นของฟิลเตอร์ช่วงความถี่ระหว่าง 0 Hz ถึง ความถี่คัดออฟซึ่งกำลังขยายของวงจรลดลง 3 dB เรียกว่าช่วงความถี่ผ่านและช่วงความถี่ที่สูงกว่า f_H ขึ้น ซึ่งเกิดการลดทอนของสัญญาณลงทุกขณะเรียกช่วงหยุด จากการตอบสนองที่เป็นทางอุดมคติในเส้นประ แสดงให้เห็นว่าฟิลเตอร์ที่เป็นอุดมคติจะมีการสูญเสียเป็นศูนย์ตลอดช่วงความถี่ผ่าน และมีค่าการสูญเสียเป็นอนันต์ในช่วงหยุด แต่สภาพความเป็นจริงในทางปฏิบัติมิได้เป็นเช่นนั้น เพราะเนทเวิร์คชนิดเชิงเส้น(Linear Network) ไม่สามารถสร้างคุณสมบัติของความต่อเนื่อง(Discontinuities)ขึ้นได้ อย่างไรก็ตามเราอาจสร้างกราฟตอบสนองที่เป็นทางอุดมคติตามเส้นประได้เช่นกัน โดยอาศัยเทคนิคการออกแบบวงจรเป็นพิเศษเข้าช่วย ประกอบวงจรด้วยชิ้นส่วนอุปกรณ์เช่น ตัวต้านทานกับตัวเก็บประจุที่มีค่าถูกต้องแม่นยำ หรือมีค่าผิดพลาดน้อยที่สุดและใช้ออปแอมป์ ชนิดความเร็วสูง

รูปแบบของฟิลเตอร์ที่นิยมนำมาใช้กันมากในทางปฏิบัติซึ่งให้กราฟการตอบสนองประมาณใกล้เคียงทางทฤษฎี ได้แก่รูปแบบบัตเตอร์(Butterworth) , รูปแบบเชพปีเชพ(Chebyshev) และรูปแบบ แค็ป (Cauer) แต่ละรูปแบบมีคุณลักษณะประจำตัวแตกต่างกันออกไป ฟิลเตอร์แบบเรียบ(Flat Filter)

สำหรับฟิลเตอร์เชฟปีเชพ มีคุณลักษณะช่วงความถี่ผ่านเป็นริพเพิล และช่วงความถี่หยุดมีลักษณะเรียบส่วนฟิลเตอร์แบบ แค็ป ให้ทั้งช่วงผ่านและหยุด มีคุณลักษณะเป็นริพเพิล หากกล่าวโดยรวมระหว่างฟิลเตอร์ทั้ง 3 แบบ ฟิลเตอร์แบบ แค็ป จะให้ผลการตอบสนองของช่วงหยุดดีที่สุด แต่เพื่อความสะดวกของการออกแบบวงจร เราจะใช้บัตเตอร์เวิร์ธฟิลเตอร์

รูปที่ 2.1.9 (ข) แสดงกราฟตอบสนองทางความถี่ของตัวกรองความถี่สูง เมื่อให้ความถี่เป็นความถี่ใด ๆ และ f_L เป็นความถี่คัทออฟต่ำแล้ว ช่วงหยุดจะอยู่ที่ $0<f<f_L$ ช่วงของความถี่ผ่านอยู่ที่ $f>f_L$

รูปที่ 2.1.9 (ค) แสดงการตอบสนองความถี่ของตัวกรองความถี่ช่วงผ่าน ช่วงความถี่อยู่ระหว่างความถี่คัดออฟสองจุดได้แก่ความถี่คัทออฟ (f_H) และความถี่คัทออฟต่ำ (f_L) ซึ่งเป็นตำแหน่งที่กำลังขยายของวงจรลดลง 3dB และช่วงหยุดมี 2 ช่วงที่ $0<f<f_L$ กับ $f>f_H$ โดย $f_H > f_L$ ค่าแบนด์วิทธ์ของตัวกรองวงจรผ่านเท่ากับ $f_H - f_L$ และความถี่ศูนย์กลางอยู่ที่ความถี่ f_C ปรากฏที่ตำแหน่งกึ่งกลางช่วงผ่านพอดี

รูปที่ 2.1.9 (ง) แสดงกราฟการตอบสนองทางความถี่ของตัวกรองความถี่กำจัด มีกราฟที่คุณลักษณะตรงกันข้ามกับตัวกรองความถี่ผ่าน กล่าวคือ ช่วงหยุดอยู่ระหว่างความถี่คัทออฟ 2 จุด คือ f_H กับ f_L และมีช่วงผ่าน 2 ช่วงอยู่ระหว่างความถี่ $f > f_L$ และ $0 > f > f_L$ อาจเรียกตัวกรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่นี้ว่า ตัวกรองความถี่จำกัด (Band Stop Filter)หรือ(Band Eliminate Filter)ก็ได้ ค่าแบนวิทธ์ของช่วงหยุดเท่ากับ $f_H - f_L$ ตำแหน่งกึ่งกลางของช่วงหยุด เป็นความถี่กลาง(f_C)

รูปที่ 2.1.9 (จ) แสดงเฟสชิป(Phase Shift) ระหว่างอินพุทโวลท์เตจ V_{in} กับเอาท์พุทโวลท์เตจ V_O ของ ออพาสฟิลเตอร์(All – Pass Filter) วงจรออพาสฟิลเตอร์ มีคุณสมบัติในการให้สัญญาณทุกความถี่ผ่านได้เท่า ๆ กันกล่าวคือให้ V_O เท่ากับ V_{in} ในทุกความถี่โดยปรากฏ เฟสชิป (Phase Shift)ขึ้นระหว่าง V_O กับ V_{in} ในบางความถี่ แต่ค่าความถี่สูงสุดซึ่ง V_O กับ V_{in} ยังคงมีขนาดเท่ากันขึ้นอยู่กับคุณสมบัติ แบนด์วิทธ์กำลัง ขยายเป็น 1 ของออปแอมป์ที่ความถี่นี้ เฟสชิป ที่เกิดขึ้นระหว่าง V_O กับ V_{in} ค่าสูงสุด

2.2.2.1 วงจรกรองความถี่ต่ำผ่าน(Low Pass Filter)

ในการพิจารณาสมการของวงจรกรองความถี่ต่ำผ่าน โดยทั่วไปมักจะพิจารณาสมการโวลท์เตจทรานเฟอร์ฟังชั่น ซึ่งอาจเป็นอัตราขยาย(Gain) หรืออัตราการลดทอน(Attenuation) ก็ได้ จากรูปของสมการไบควอดราติก

$$H_s = \frac{C_2 s^2 + C_1 s + C_0}{D_2 s^2 + D_1 s + D_0}$$

นำเอาคุณสมบัติของวงจรกรองความถี่ต่ำผ่านมาพิจารณาเทอมเศษ

ที่ความถี่ W > 0 จะได้ว่าขนาดของ H(s) = 1

ที่ความถี่ W > Infinity จะได้ว่าขนาดของ H(s) = 0 โดยที่ s=jw

(กรณีที่สภาวะคงตัวของสัญญาณรูปซายน์)

$$\lim_{s>0} |H(s)| = \lim_{s>0} H_s = \frac{C_2 s^2 + C_1 s + C_0}{D_2 s^2 + D_1 s + D_0} = 1$$

ดังนั้นจากสมการจะได้ว่า $C_o = D_o$ และ

$$\lim_{s>\alpha} |H(s)| = \lim_{s>\alpha} H_s = \frac{C_2 + C_1/S + C_0/S^2}{D_2 + D_1/S + D_0/S^2} = 1$$

ดังนั้นจากสมการจะได้ว่า $C_2 = D_2 = 0$ ดังนั้น $C_2 = 0$

ดังนั้นจากสมการจะได้ว่ารูปแบบวงจรกรองความถี่ต่ำผ่าน แบบไบควอดราติกมี 2 รูปแบบ

$$H_s = \frac{C_1 s + C_0}{D_2 s^2 + D_1 s + D_0}$$

$$H_s = \frac{C_0}{D_2 s^2 + D_1 s + D_0}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถจัดรูปใหม่ได้

$$H_s = \frac{b}{s^2 + as + b}$$

อาศัยทฤษฎีที่นิยาม Wp และเทอม Q โดยที่

$$\omega_p = \sqrt{b} \text{ และ} \omega_p = \sqrt{b}/a$$

นำไปแทนจะได้ว่า

$$H_s = \frac{(\omega_p)^2}{s^2 + \omega_p s/Q + (\omega_p)^2}$$

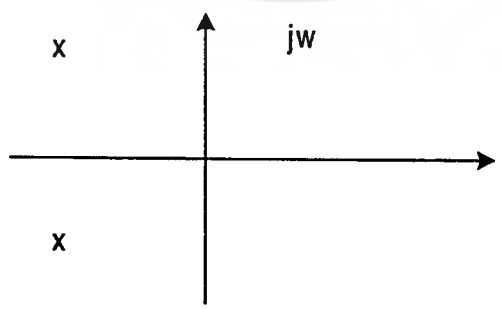
กราฟความถี่ตอบสนองจะมีลักษณะเช่นเดียวกันกับสมการ

$$H_s = \frac{b}{s^2 + as + b}$$

ซึ่งคุณสมบัติของวงจรกรองความถี่ต่ำผ่านที่ดีนั้น ไม่ควรมีค่ารีโซแนนซ์ที่เกิดผลของค่า Q นั้นคือกล่าวได้ว่า ขนาดสูงสุดของผลรวมวงจรกรองความถี่ต่ำผ่าน ควรจะอยู่ตรงความถี่ที่ $W_{max} = 0$ ดังนั้นจึงจำเป็นอย่างยิ่งในการออกแบบวงจรกรองความถี่ต่ำผ่านได้ โดยที่ต้องเลือกค่า Q ให้เหมาะสม

ตำแหน่งของโพลและซีโร่ของ LPF

1. ไม่มีตำแหน่งของ Zero
2. ตำแหน่งของ โพลจะต้องอยู่ทางด้านซ้ายของระนาบและมีตำแหน่งของ pole 2 จุดจากข้อสรุปสองข้อดังกล่างสามารถวางตำแหน่งของโพลและซีโร่ได้ตามรูป



ปัญหาในการเลือกค่า Q ที่เหมาะสมสำหรับวงจร LPF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H_s = \frac{(\omega_p)^2}{s^2 + \omega_p s/Q + (\omega_p)^2}$$

หาค่าขนาดที่สูงสุดของสมการ H_s จะได้ค่า $W_{\max}$

$$\frac{d|H(s)|}{d\omega} = 0$$

แทนค่า $S = j\omega$ ได้ว่า

$$|H(j\omega)| = \frac{(\omega_p)^2}{\left[(\omega_p)^2 - (\omega_{\max})2\right]^2 + \frac{\left[\omega_p \omega_{\max}\right]^2}{Q}}$$

ดังนั้น

$$\frac{d|H(j\omega)|}{d\omega} = \frac{d(\omega_p)^2}{d\omega\sqrt{\left[(\omega_p)^2 - (\omega_{\max})^2\right]^2 + \frac{\left[\omega_p \omega_{\max}\right]^2}{Q}}}$$

จะได้ค่า $(\omega_{\max})^2 = (\omega_p)^2(1 - 1/2Q^2)$

$$\omega_{\max} = \omega_p\sqrt{1 - 1/2Q}$$

แต่จากคุณลักษณะของวงจรกรองความถี่ต่ำผ่านที่ดี ค่าความถี่ที่ได้ค่าขนาดของสัญญาณสูงสุดต้องเป็นที่ $W_{\max} = 0$ จะได้

$$\sqrt{1 - 1/2Q} = 0; \omega_p \neq 0$$

$$Q = 1/\sqrt{2} = 0.707$$

แน่นอนว่าในกรณีที่ค่า $Q \leq 0.707$ แล้ว $W_{\max}$ ยังคงอยู่ที่ 0 เช่นกันตามเงื่อนไข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่คัทออฟของวงจรกรองความถี่ต่ำผ่าน

จากนิยามของวงจรกรองความถี่ต่ำผ่าน คือความถี่ตรงจุดที่ขนานของ $|H(j\omega)|$ ตกลงมาประมาณ 70.7% ของความถี่ที่ 0 หรือต่ำกว่า 3 dB ลงมาจากความถี่ที่เป็น 0 นั้นเอง ดังนั้นจากข้อความขั้นต้นจะได้ว่า

$$\omega = \omega_o|H(j\omega)| = \frac{(\omega_p)^2}{\sqrt{\left[(\omega_p)^2-(\omega_o)^2\right]^2+\frac{\left[\omega_p\omega_o\right]^2}{Q}}} = 1/\sqrt{2}$$

$$= \frac{(\omega_p)^4}{\left[(\omega_p)^2-(\omega_o)^2\right]^2+\frac{\left[\omega_p\omega_o\right]^2}{Q}} = 1/2$$

$$2.(\omega_p)^4 = (\omega_o)^4 + 2.(\omega_p\omega_o)^2 + (\omega_p)^4/Q + \left[\omega_p\omega_o\right]^2$$

จัดรูปสมการใหม่จะได้ดังนี้

$$0 = (\omega_o)^4 + (\omega_o)^2 + \left[(\omega_p)^4/Q - 2.(\omega_p)^2\right] + (\omega_p)^4$$

$$(\omega_0)^2 = (\omega_p)^2.\left[1-1/2Q^2\right] + (\omega_p)^2/2\sqrt{\left[1/Q^2-2\right]^2+4}$$

$$= (\omega_p)^2.\left[1-1/2Q^2\right] + \sqrt{\left[1/4Q^2-1/Q^2+2\right]}$$

สมการที่ได้มาจะเลือกเฉพาะเครื่องหมายบวกเท่านั้น เพราะแน่นอนว่าค่า ω_0 จะต้องไม่เป็นลบสำหรับค่า Q ใดๆ ดังนั้นจะได้ว่า

$$\omega_0 = (\omega_p).\left[1-1/2Q^2+\sqrt{\left[1/4Q^4-1/Q^2+2\right]}\right]^{1/2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หาความสัมพันธ์ระหว่าง ω_0 และค่า Q ได้โดยแน่นอนว่าค่า ω_p ใดๆ ของวงจรหนึ่งๆ ย่อมมีค่าดังนั้นจะได้ว่า

$$\omega_0 /(\omega_p) = \left[1 - 1/2Q^2 + \sqrt{\left[1/4Q^4 - 1/Q^2 + 2\right]}\ \right]^{1/2}$$

ในหนังสือเกี่ยวกับวิชาระบบวัดคุม(control)ส่วนใหญ่จะต้องอ้างอิงถึงค่าแดมปิ้งแฟคเตอร์ (Damping Factor) โดยจะอธิบายสมการของวงจรกรองความถี่ต่ำผ่านในเทอมของ S และค่า ω_n (Natural Frequency)ดังนี้

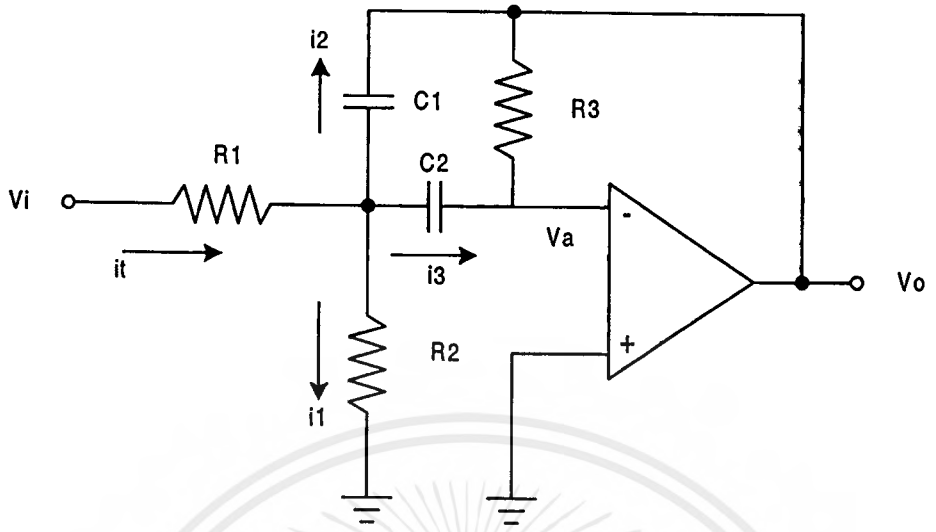
$$H(s) = \frac{(\omega_n)^2}{s^2 + 2\delta\omega_n s + (\omega_p)^2} \qquad (2\text{-}15)$$

เมื่อเทียบกับสมการ Low Pass ที่ได้จะได้ว่าค่า ω_n เทียบเท่า ω_p และค่า $\delta = 0.5Q$

2.2.2.2 วงจรเลือกความถี่ผ่าน(Band Pass)

เป็นวงจรที่ยอมให้สัญญาณความถี่บางช่วงเท่านั้นที่ผ่านออกไปได้ ส่วนสัญญาณที่มีความถี่อยู่นอกช่วงที่กำหนดจะถูกลดทอนไม่ให้สามารถผ่านด้านเอาท์ พุทออกไปได้ ในกรณีที่สัญญาณอยู่ในช่วงความถี่ที่ใช้งานไม่สูงนักเราทำการออกแบบวงจรเลือกความถี่ทางแอคทีฟ (Active) เพราะไม่มีปัญหากับตัวเหนี่ยวนำ (Inductance) ในการออกแบบนั้นจะออกแบบโดยใช้แบบมัลติฟรายฟีดแบลค(Multiple Feed Back) เพราะว่าวงจรไม่ซับซ้อน ง่ายต่อการออกแบบและประหยัดทั้งยังสามารถหาค่าต่างๆ ของอุปกรณ์ได้จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2.2 วงจร Multiple Feed Back Band – Pass Filter

$$it = i1+i2+i3 \tag{2-16}$$

Va=0

$$i3 = \frac{Va-Vo}{R3} = \frac{0-Vo}{R3} = -\frac{Vo}{R3} \tag{2-17}$$

Vb = VR2 =Vc2 $= \frac{1}{C2}\int i3\,dt$

$$= -\frac{1}{R3C2}\int Vo\,dt$$

$$it = \frac{Vi-Vb}{R1} = \frac{Vi}{R1} + \frac{1}{R1R3C2}\int Vo\,dt$$

$$i1 = \frac{Vb}{R2} = -\frac{1}{R2R3C2}\int Vo\,dt \tag{2-18}$$

$$i2 = C1\frac{d}{dt}(Vb-Vo)$$

$$i2 = C1\frac{d}{dt}\left[-\frac{1}{R3C2}\int Vo\,dt - Vo\right]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$-\frac{C1Vo}{R3C2}-C1\frac{dVo}{dt} \tag{2-19}$$

แทน (2),(3),(4) และ (5)ใน (1)

$$\frac{Vi}{R1}+\frac{1}{R1R3C2}\int Vodt=\frac{1}{R2R3C2}\int Vodt-\frac{C1Vo}{R3C2}-C1\frac{dVo}{dt}-\frac{Vo}{R3}$$

Tack Lapace

$$\frac{Vi(s)}{R1}+\frac{Vo(s)}{R1R3C2s}=-\frac{Vo(s)}{R2R3C2s}-\frac{C1Vo(s)}{R3C2}-C1sVo(s)-\frac{Vo(s)}{R3}$$

$$Vo(s)\left[\ \frac{1}{R1R3C2s}+\frac{1}{R2R3C2s}+\frac{C1}{R3C2}+C1s+\frac{1}{R3}\ \right]=-\frac{Vi(s)}{R1}$$

$$\frac{Vo(s)}{Vi(s)}=-\frac{R2R3C2S}{R1R2R3C1C2S^2+R1R2R3C1S+R1R2C2S+R1+R2}$$

$$=\frac{-\frac{S}{R1C1}}{S^2+S\left[\frac{\frac{1}{C1}+\frac{1}{C2}}{R3}\right]+\left[\frac{\frac{1}{R1}+\frac{1}{R2}}{R3C1C2}\right]} \tag{2-20}$$

จากทรานเฟอร์ฟังชั่น(Transfer Funtion) มาตราฐานชนิด 2^{nd} *order* ของแบนฟาสฟิลเตอร์

$$H_{BP}(s)=T_2(s)\Big|_{BP}=\frac{AFS\frac{\omega c}{Q}}{s^2+s\frac{\omega c}{Q}+\omega c^2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ AF ; Voltage Gian ที่ f=fo

ω_c : ความเร็วเชิงมุมมีค่าเท่ากับ $2\pi fc$ เมื่อความยุ่งยากในการปรับเปลี่ยนค่า ดังนั้นเพื่อเป็นการง่ายต่อการออกแบบจึงกำหนด ให้ C1=C2=C

จากสมการที่ 2-20 เปรียบเทียบกับ Transfer Funtion มาตรฐาน และค่าลบเป็นตัวบอกเฟสของระบบ ดังนั้นในการพิจารณาจึงสามารถตัดทิ้งออกไปได้

$$AF\frac{\omega c}{Q}=\frac{1}{R1C1}$$

$$R1=\frac{Q}{2\pi fcCAF} \qquad (2\text{-}21)$$

$$\frac{\omega_o}{Q}=\frac{\frac{1}{C1}+\frac{1}{C2}}{R3}$$

$$=\frac{2}{R3C}$$

$$R3=\frac{Q}{\pi fcC} \qquad (2\text{-}22)$$

$$\omega_o^{\,2}=\frac{\frac{1}{R1}+\frac{1}{R2}}{2R3C}$$

$$R2=\frac{Q}{2\pi fcC(2Q^2-AF)} \qquad (2\text{-}23)$$

เมื่อ AF เป็นอัตราขยายที่ fo จะได้

$$AF\frac{\omega c}{Q}=\frac{1}{R1C1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$AF\left[\frac{2}{R3C}\right]=\frac{1}{R1C}$$

$$AF=\frac{R3}{2R1} \qquad (2\text{-}24a)$$

พิจารณาสมการที่ (2-21),(2-22) และที่ (2-23)จะได้

$$\frac{Q}{2\pi fcCR1}=-\frac{Q}{2\pi fcCR2}+2Q^2$$

$$\frac{R3}{2R1}+\frac{R3}{2R2}=2Q^2$$

เพื่อให้การทำงานของวงจรอยู่ในช่วงที่ยอมรับได้ค่าอัตราขยายแรงดันควรมีค่า

$$AF<2Q^2 \qquad (2\text{-}24b)$$

ข้อดีของ Multiple Feed Back Filter ตามรูปวงจรคือสามารถที่จะเปลี่ยนค่าความถี่กลาง (Center Frequency) fc ไปเป็น ความถี่กลางค่าใหม่ fc' โดยที่ค่า Gain หรือ แบนด์วิทธ์ไม่เปลี่ยนแปลง ซึ่งสามารถทำได้โดยการเปลี่ยนค่า R2 เป็น R2' ดังสมการ

$$R2'=R2\left(\frac{fc}{fc'}\right)^2 \qquad (2\text{-}25)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 หลักการทำงานของอุปกรณ์บนการ์ด Interface I/O

2.3.1 วิธีการออกแบบการ์ด Interface I/O

2.3.1.1 ขั้นตอนการออกแบบการ์ด Interface I/O กับเครื่องคอมพิวเตอร์

แผ่นวงจรพิมพ์ของการ์ด Interface I/O ที่ใช้นี้ได้ถูกออกแบบไว้สำหรับต่อเข้ากับเครื่อง IBM/PC ซึ่งออกแบบให้เสียบการ์ดลงในสล็อตของเครื่อง IBM/PC ให้ใช้ได้โดยทันที โดยมีโปรแกรมสนับสนุนการ์ด Interface I/O ควบคุมการทำงานของการ์ด Interface I/O รายละเอียดของการ์ด Interface I/O ทั้งหมดสามารถหาอ่านได้จากหนังสือโครงงานแผ่นวงจรเชื่อมต่อข้อมูลเอนกประสงค์ประสงค์ตามมาตราฐาน IEEE – 488

2.3.1.2 ตำแหน่งของสัญญาณต่างๆ บนสล็อตของเครื่อง IBM/PC ที่ใช้

ภายใน IBM/PC ได้มีการออกแบบให้สามารถที่จะเพิ่มเติมวงจรอินเตอร์เฟสเข้าไปในภายหลังได้โดยทางสล็อตที่อยู่บนเมนบอร์ด(main board) สำหรับสล็อตบนเมนบอร์ดจะมีจำนวน 5 สล็อต (สำหรับใน IBM PC/XT จะมี 8 สล็อต) ซึ่งแต่ละสล็อตบนเมนบอร์ดนี้จะมีจำนวนจำนวนทั้งสิ้น 62 ขา แบ่งออกเป็น 2 ข้าง ๆละ 31 ขา ส่วนการเรียกตำแหน่งขาของสล็อตเหล่านี้จะขึ้นอยู่ว่าขานั้นอยู่ข้างใด(ซ้ายหรือขวา) ของสล็อตโดยขาที่อยู่ทางด้านซ้ายของสล็อตขาที่16(นับจากทางด้านท้ายของเครื่อง)ส่วนขาที่อยู่ทางด้านขวาของสล็อตจะเรียกโดย ใช้อักษร " A" นำหน้าเลขตำแหน่งขา เช่น ขา A 24 ก็คือขาทางด้านขวาของสล็อตที่ 24 (นับจากทางด้านท้ายของเครื่อง)

แต่ละขาของสล็อตเหล่านี้จะเชื่อมต่อกับเส้นสัญญาณต่าง ๆ บนเมนบอร์ด ทำให้การสร้างวงจรอินเตอร์เฟสกับ IBM/PC สามารถทำได้โดยสะดวก ซึ่งเส้นสัญญาณที่เชื่อมต่อกับขาของสล็อตเหล่านี้จะประกอบไปด้วย เส้นสัญญาณของบัสแอดเดรส(Address Bus) , บัสข้อมูล (Data Bus) , บัสควบคุมสำหรับการเขียน / อ่าน ข้อมูลจากหน่วยความจำหรือ พอร์ท I/O ,เส้นสัญญาณสำหรับการขออินเตอร์รัพท์ของวงจรอินเตอร์เฟส ,เส้นสัญญาณสำหรับการขอ DMA , สัญญาณฐานเวลา (Timing Signal) ต่างๆ ที่ใช้ในระบบ ,เส้นสัญญาณแสดงการรีเฟรชหน่วยความจำและสัญญาณสำหรับตรวจสอบความผิดพลาด (I/O check) นอกจากเส้นสัญญาณดเหล่านี้แล้วสล็อตบนเมนบอร์ดยังเชื่อมต่อกับแหล่งจ่ายไฟต่าง ๆ ที่ใช้ในระบบอีกด้วย คือ 5 Vdc , -5 Vdc,12 Vdcและ -12 Vdc

2.3.1.3 รายละเอียดเกี่ยวกับสัญญาณต่างๆ ที่ใช้

RESET DRV (ขา B2)

ขาสัญญาณนี้เป็นสัญญาณเอาท์พุทซึ่งจะแอคทีฟ (ลอจิก " 1") ในช่วงที่เราเริ่มจ่ายไฟให้กับระบบ และจะยังคงแอคทีฟไปจนกว่าระต่างๆภายใน IBM/PC จะพร้อมที่จะทำงานได้จากนั้นสัญญาณนี้ก็จะเปลี่ยนกลับเป็นลอจิก " 0 " นอกจากนี้ในระหว่างการทำงานของ IBM/PC ถ้าระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันของแหล่งจ่ายไฟตกลง สัญญาณนี้ก็จะถูกทำให้แอคทีฟเช่นกัน โดยทั่วไปแล้วสัญญาณนี้จะถูกนำไปใช้ในการรีเซ็ทวงจรอินเตอร์เฟสหรืออุปกรณ์ I/O ต่างๆ ในช่วงที่เริ่มจ่ายไฟให้กับระบบซึ่งจะเป็นการทำให้วงจรหรืออุปกรณ์เหล่านี้ถูกปรับให้อยู่ในสภาวะที่แน่นอน ก่อนที่จะเริ่มต้นการทำงานในระบบ

A0 – A19 (Address Bus : ขา A31 – A12)

ขาสัญญาณทั้ง 20 ขานี้เป็นขาเอาท์พุทซึ่งใช้สำหรับกำหนดแอดเดรสของหน่วยความจำหรืออุปกรณ์ I/O ที่ 8088 ต้องการติดต่อด้วย โดยที่สัญญาณ A0 จะมีนัยสำคัญต่ำสุด (Least Significant Bit) และ A19 จะมีนัยสำคัญสูงสุด (Most Significant Bit) สำหรับค่าแอดเดรสบนบัสแอดเดรส A0 – A19 นี้จะถูกกำหนดโดย 8088 ในระหว่างกระบวนการอ่าน / เขียนข้อมูลลงในหน่วยความจำหรืออุปกรณ์ I/O แต่ในช่วงของกระบวนการ DMA นั้น DMA – Controller จะเป็นผู้กำหนดค่าแอดเดรสบนบัสแอดเดรสเอง

จะเห็นได้ว่าจำนวนเส้นแอดเดรสนี้จะมีอยู่ 20 เส้น ซึ่งสามารถที่จะอ้างแอดเดรสของหน่วยความจำได้ถึง 1 Mbyte แต่อย่างไรก็ตามจะมีแอดเดรสบางแอดเดรสที่ถูกใช้งานโดย IBM/PC อยู่ก่อนแล้ว คือแอดเดรสของหน่วยความจำ RAM บนเมนบอร์ดที่ถูกใช้โดยระบบจำนวน 64 Kbyte (สำหรับ IBM PC/XT) จะเป็นจำนวน 256 Kbyte) และแอดเดรสสำหรับหน่วยความจำ ROM อีก 48 Kbyte ซึ่งถูกจัดในช่วงของแอดเดรสบนสุดใน 1 Mbyte คือ 0FFFFFH(สำหรับ IBM PC/XT จะเป็น 64 Kbyte) สำหรับการอ้างแอดเดรสของพอร์ท I/O นั้น จะใช้แอดเดรสเพียง 16 เส้นคือ A0 – A15 ซึ่งจะทำให้อ้างแอดเดรสของพอร์ทได้ 64 K พอร์ทโดยผ่านทางชุดคำสั่ง IN และ OUT ส่วนเส้นแอดเดรสที่เหลือคือ A16 – A19 นั้นจะไม่ถูกใช้งาน อย่างไรก็ตามภายใน IBM /PC จะใช้เส้นแอดเดรสในการอ้างแอดเดรสของพอร์ทเพียง 10 เส้น คือ จาก A0 – A9 และค่าแอดเดรสที่ใช้งานจะต้องอยู่ในช่วง 0200H จนถึง 03FFH

D0 – D7 (Data Bus : ขา A9 –A2)

ขาสัญญาณนี้จะเป็นแบบ Bi – Directional ซึ่งต่ออยู่กับข้อมูลของระบบ เพื่อทำหน้าที่ในกาาส่งผ่านข้อมูลระหว่างพอร์ท I/O กับ IBM /PC โดยบิท D0 จะมีนัยสำคัญต่ำสุดและบิท D7 จะมีนัยสำคัญสูงสุดสำหรับในบัสไซเคิลบของการเขียนข้อมูลที่สร้างโดย 8088 นั้นข้อมูลจะถูกส่งออกบนบัสข้อมูล ก่อนที่สัญญาณ IOW (ในกรณีต้องการส่งข้อมูล ให้กับพอร์ท) หรือ MENW (ในกรณีที่ต้องการส่งข้อมูลให้กับหน่วยความจำ) จะเปลี่ยนจากลอจิก " 0 " เป็นลอจิก " 1 " (ขอบขาขึ้น) ซึ่งโดยทั่งไปขอบขาขึ้นของสัญญาณ IOW หรือ MENW นี้จะถูกใช้เพื่อสั่งให้พอร์ท I/O หรือหน่วยความจำที่มีแอดเดรสตรงกับค่าแอดเดรสบนบัสแอดเดรสนั้นรับข้อไปเก็บไว้ สำหรับในบัสไซเคิลของการอ่านข้อมูลที่สร้างขึ้นโดย 8088 นั้น พอร์ท I/O หรือหน่วยความจำที่ถูกอ้างอิงถึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะต้องส่งข้อมูลออกมาบนบัสข้อมูล ก่อนที่สัญญาณ IOR (ในกรณีที่ต้องการอ่านข้อมูลจากหน่วยความจำ) จะเปลี่ยนจากลอจิก " 0 " เป็นลอจิก " 1 "

IOR(I/O Read : ขา B14)

ขาสัญญาณนี้เป็นเอาท์พุทแอคทีฟที่ลอจิก " 0 " ที่สร้างโดย 8288 Bus Controller เพื่อใช้ในการแสดงว่าบัสไซเคิลที่เกิดขึ้นนี้ เป็นบัสไซเคิลของการอ่านข้อมูลจากพอร์ท I/O เพื่อให้พอร์ท I/O ที่มีแอดเดรสตรงกับแอดเดรสบนบัสแอดเดรสนั้นส่งข้อมูลออกมาบนบัสข้อมูล โดยข้อมูลจะต้องถูกส่งออกมาบนบัสข้อมูลก่อนขอบขาขึ้นของสัญญาณ IOR ประมาณ 30 Nanosec เพื่อให้มั่นใจได้ว่า 8088 สามารถรับข้อได้ถูกต้อง สำหรับกระบวนการ DMA 8237A – 5 DMA Controller จะทำการสร้างสัญญาณ IOR เอง โดยที่ค่าแอดเดรสที่อยู่บนแอดเดรสจะเป็นแอดเดรสของหน่วยความจำ (แทนที่จะเป็นแอดเดรสของพอร์ท I/O) ที่พอร์ท I/O ที่ขอ DMA ต้องการจะนำข้อมูลไปเก็บ การที่พอร์ทใดจะส่งข้อมูลออกมาบนบัสข้อมูลนั้นจะอาศัยสัญญาณ DACK จาก DMA Controller เป็นตัวกำหนด เช่นในกรณีที่สัญญาณ DACK 1 แอคทีฟก็จะแสดงว่าพอร์ท I/O ที่จะต้องส่งข้อมูลออกมาบนบัสข้อมูลก็คือ พอร์ท I/O ที่ขอ DMA ผ่านทางแชลแนลที่ 1 (DRQ1)

IOW (I/O Write : ขา B13)

ขาสัญญาณนี้เป็นเอาท์พุทแอคทีฟที่ลอจิก " 0 " ซึ่งถูกสร้างขึ้นโดย 8288 Bus Controller เพื่อใช้แสดงว่าบัสไซเคิลที่เกิดขึ้นนี้เป็นบัสไซเคิลของการเขียนข้อมูลลงบนพอร์ท I/O เพื่อให้พอร์ท I/O ที่มีแอดเดรสตรงกับแอดเดรสบนบัสแอดเดรสนั้น รับข้อมูลที่อยู่บนบัสข้อมูลไปเก็บไว้ อย่างไรก็ตามเนื่องจากในช่วงเวลาที่สัญญาณ IOW นี้แอคทีฟ (ลอจิก " 0 ")นั้นข้อมูลบนบัสข้อมูลอาจจะยังไม่สมบูรณ์ ดังนั้นในการออกแบบควรใช้ขอบขาขึ้นของสัญญาณ IOW แทนขอบขาลงในการทำให้พอร์ท I/O ที่เกี่ยวข้องรับข้อมูลไปเก็บไว้เพื่อให้ข้อมูลบนบัสข้อมูลสมบูรณ์เสียก่อน สำหรับในกระบวนการ DMA นั้น DMA Controller จะทำการสร้างสัญญาณ IOW เอง โดยที่ค่าแอดเดรสที่อยู่บนบัสแอดเดรสจะเป็นค่าแอดเดรสของหน่วยความจำที่พอร์ท I/O ที่ขอ DMA ต้องการจะอ่านข้อมูล

AEN (Address Enable : ขา A11)

สัญญาณนี้เป็นเอาท์พุทที่ใช้ในการแสดงว่าบัสไซเคิลที่เกิดขึ้นในช่วงเวลาที่สัญญาณ AEN แอคทีฟ(เป็นลอจิก " 1 ") นั้น เป็นบัสไซเคิลของขบวนการ DMA สำหรับเมนบอร์ดของ IBM /PC นั้นจะใช้สัญญาณในการนี้ในการดิสเอเบิล (Disablea) 8288 Bus Controller และจะใช้ดิสเอเบิลพอร์ท I/O ต่างๆ ที่ไม่เกี่ยวข้องกับขบวนการ DMA ที่เกิดขึ้นนี้ ที่จำเป็นต้องทำเช่นนี้ก็เพราะในระหว่างขบวนการ DMA นั้น 8237A-5 จะส่งแอดเดรสของหน่วยความจำออกมาบนบัสแอดเดรสและจะทำให้สัญญาณ IOR หรือ IOW แอคทีฟด้วย ดังนั้นถ้าไม่ทำการดิสเอเบิลพอร์ท I/O ที่ไม่

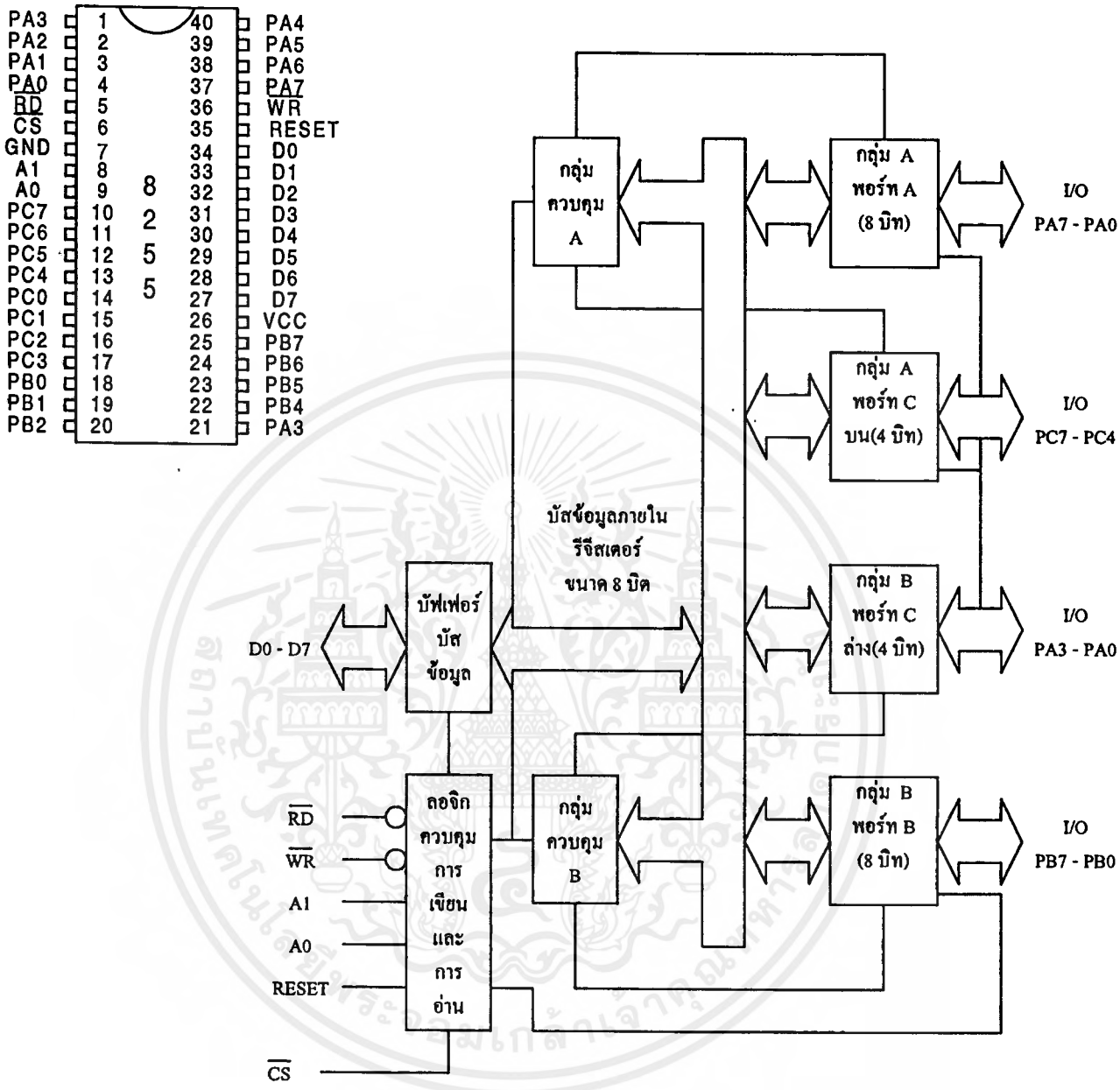
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกี่ยวข้องไว้ก็อาจจะทำให้พอร์ท I/O ที่มีแอดเดรสตรงกับค่าแอดเดรสบนบัสแอดเดรส (ซึ่งเป็นแอดเดรสของหน่วยความจำ) นั้นทำการอ่านหรือส่งข้อมูลออกมาบนบัสข้อมูลทำให้เกิดความผิดพลาดขึ้นได้

2.3.2รายละเอียดเกี่ยวกับวงจรรวมเบอร์ 8255

8255เป็นอุปกรณ์ LSI (Large Scale Integrated Circuit) บรรจุอยู่ใน Package 40 ขา แบบ DIP (Dual – in – Line Package) เริ่มผลิตโดยบริษัท Intal Coorperation ผู้ผลิตไมโครโปรเซสเซอร์เบอร์ 8080 จุดประสงค์เพื่อใช้งานร่วมกับ 8080 โดยเฉพาะแต่ในภายหลังได้มีการนำเอา 8255 ไปประยุกต์ใช้งานร่วมกับไมโครโปรเซสเซอร์เบอร์อื่นๆ รวมทั้ง Z 80 ด้วยหากผู้อ่านเข้าใจการใช้งาน 8255 ที่จะกล่าวถึงในที่นี้แล้วก็จะนำไปประยุกต์ใช้งานในลักษณะอื่นๆ ได้ไม่ยากนัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3.1 แสดงบล็อกไดอะแกรมและการวางตำแหน่งขาของ 8255

บล็อกกลุ่มแรกที่เราจะพูดถึงนี้ ได้แก่ บล็อกจำนวน 4 บล็อก ที่อยู่ทางด้านขวาของรูป ซึ่งจะเป็นส่วนที่เชื่อมต่อกับอุปกรณ์ภายนอกอื่นๆ โดยมีสาย PAO – PA7 ,PBO – PB7 และ PCO – PC7 เป็นทางผ่านส่วนที่เชื่อมต่อกับอุปกรณ์ภายนอกกับ 8255 สาย สัญญาณเหล่านี้จะถูกแบ่งออกเป็น 3 I/O พอร์ทได้แก่ พอร์ท A (PA) , พอร์ท B(PB) และพอร์ท C(PC) พอร์ทเหล่านี้แต่ละบล็อกจะมีสายสัญญาณเชื่อมเข้ากับบัสข้อมูลภายในของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บล็อกกลุ่มถัดมาได้แก่ Group A Control และ Group B Control ซึ่งจะเป็นตัวกำหนดลักษณะการทำงานของทั้ง 3 I/O พอร์ท (8255 มีลักษณะการทำงานที่แตกต่างกันอยู่ 3 โหมด สามารถกำหนดได้โดยโปรแกรมส่ง control word ให้กับ 8255) จากรูป 2.3.1 จะเห็นว่า พอร์ท C นี้จะประกอบด้วยพอร์ทขนาด 4 บิท 2 พอร์ท กลุ่มหนึ่งจะถูกความคุมโดย group a control และอีกกลุ่มจะถูกควมคุมโดย Group B Control

บล็อกกลุ่มสุดท้ายที่จะกล่าวถึงได้แก่ Data Bus Buffer และ Read / Write Control Logic ซึ่งบล็อกเหล่านี้จะเป็นส่วนที่ติดต่อกับ CPU, Data Bus Buffer นี้จะเป็นบัฟเฟอร์ให้กับบัสข้อมูลของ CPU ส่วน Read / Write Control Logic จะเป็นส่วนที่ควบคุมให้ข้อมูลเข้าหรือออกจากรีจิสเตอร์ภายในได้อย่างถูกต้องและในเวลาที่เหมาะสม

2.3.2.1รายละเอียดของสัญญาณในแต่ละขาของ 8255

ในส่วนนี้เราจะพิจารณาหน้าที่ของขาในแต่ละขาของ 8255 ซึ่งข้อมูลเหล่านี้จะมีประโยชน์ในการเชื่อมต่อเข้ากับระบบบัสของ CPU สำหรับการจัดขาแสดงไว้ในรูปที่ 2.3.1 รายละเอียดของแต่ละขามีดังต่อไปนี้คือ

D0-D7 : เป็นสายข้อมูลอินพุท/ เอาท์พุทแบบสองทิศทาง (Bi – Directional Bus) จะเป็นทางผ่านของข้อมูลระหว่างพอร์ทต่างๆ ของ8255 กับบัสข้อมูลของ Z80

$\overline{CS}$ (Chip Select Input) : เมื่อขานี้มีสถานะเป็น " 0 " CPU จะสามารถที่จะอ่านหรือเขียนข้อมูลกับ 8255 ได้

$\overline{RD}$ (Read Input) : เมื่อขานี้มีสถานะเป็น " 0 " และสัญญาณ CS มีลอจิก " 0 " ข้อมูลจาก8255 จะปรากฏ สู่ระบบบัสข้อมูล CPU ก็จะสามารถอ่านข้อมูลได้ (ในการตั้งชื่อของขาสัญญาณนี้จะถือเอา CPU เป็นหลัก)

$\overline{WR}$ (Write Input) : เมื่อขานี้มีสถานะลอจิกเป็น " 0 " และสัญญาณ CS มีลอจิก " 0 " ข้อมูลจากระบบบัสข้อมูลจะถูกเขียนเข้าไปยัง 8255 ได้

A0 – A1 (Address Input) : จะเป็นตัวกำหนดการเลือกใช้รีจิสเตอร์ภายในของ8255 ซึ่งจะกล่าวรายละเอียดในภายหลัง

RESET : เมื่อขานี้มีสถานะลอจิกเป็น " 1 " 8255 จะอยู่ในสภาวะรีเซ็ททุก ๆ พอร์ทของ 8255 ซึ่งจะถูกรีเซ็ทให้อยู่ในโหมดอินพุท

PAO – PA7 ,PBO – PB7 : ขาสัญญาณเหล่านี้จะถูกใช้เป็นพอร์ท I/O ขนาด 8 บิท ใช้ต่อเข้ากับอุปกรณ์ภายนอกอื่นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PCO – PC7 : ขาสัญญาณเหล่านี้ถูกใช้เป็นพอร์ท I/O ขนาด 8 บิท เช่นเดียวกับ PAO – PA7 และ PBO – PB7 แต่กลุ่มของขาสัญญาณเหล่านี้สามารถแบ่งออกได้เป็น 2 กลุ่ม โดยแต่ละกลุ่มมีขนาด 4 บิท โดยที่กลุ่มแรกจะใช้ควบคุม PBO – PB7 และกลุ่มที่ 2 จะใช้ควบคุม PAO – PA7

2.3.3 วงจรเอทูดีที่ใช้การอินทีเกรต

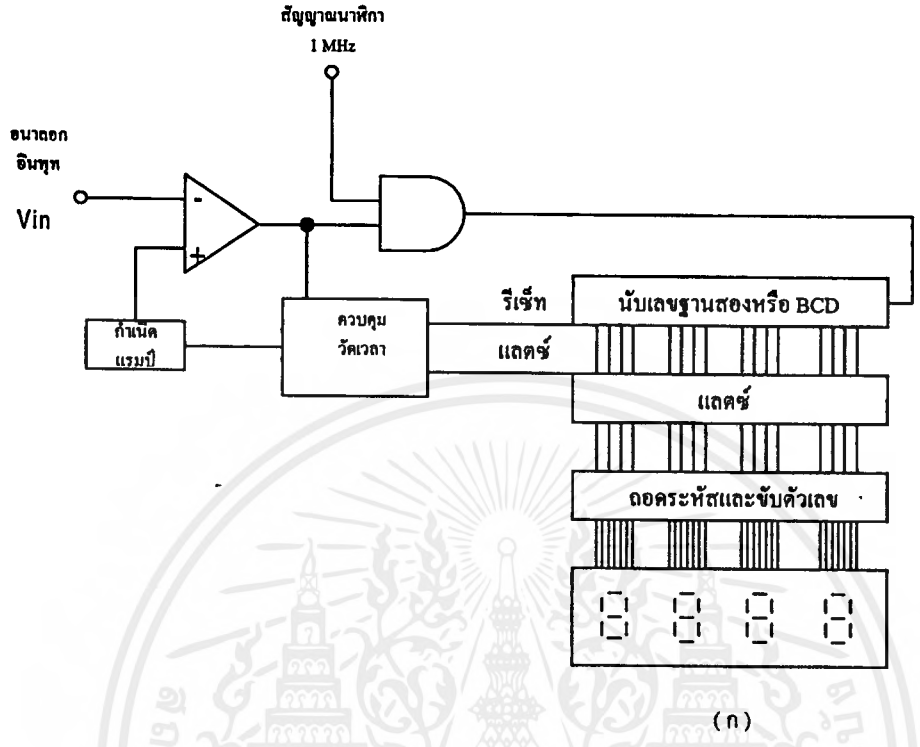
2.3.3.1 พื้นฐานวงจรเอทูดีที่ใช้การอินทีเกรต

วงจรเปลี่ยนสัญญาณเอทูดีที่ใช้เทคนิคการอินทีเกรตสัญญาณมี 3 แบบคือ

- แบบสโคปเดี่ยวหรือแบบแรมป์ (Single Ramp หรือ Single Slope A/D Converter)

วงจรเอทูดีแบบนี้แสดงได้ดังรูปที่ 2.3.2 (ก) ประกอบด้วยวงจรกำเนิดสัญญาณแรมป์วงจรเปรียบเทียบ , วงจรนับ BCD หรือนับเลขฐานสอง เมื่อเริ่มทำการเปลี่ยนสัญญาณแรมป์และวงจรนับจะถูกรีเซ็ทให้เป็น 0 แรงดันอนาล็อกถูกป้อนไปยังวงจรเปรียบเทียบทางขาอินพุทแบบไม่กลับเฟส เมื่อแรงดันอินพุทที่ขานี้เป็นบวกมากว่าที่ขาอินพุทแบบกลับเฟส วงจรเปรียบเทียบก็จะให้เอาท์พุทเป็นระดับสัญญาณ “High” ทำให้แอนด์เกตปล่อยสัญญาณนาฬิกาผ่านไปยังวงจรนับได้ และทำให้เริ่มเกิดสัญญาณแรมป์ซึ่งสัญญาณแรมป์นี้จะมีแรงดันเป็นบวกขึ้นเรื่อยๆ จนมากกว่าระดับแรงดันอินพุทและเอาท์พุทของวงจรเปรียบเทียบก็จะตกลงมาเป็นระดับสัญญาณ “ Low ” บิทที่ออกจากแอนด์เกตไม่มีสัญญาณ ผ่านไปให้วงจรนับ วงจรนับก็จะหยุดและเก็บค่าไว้ที่วงจรแลตช์ จากนั้นจึงทำการรีเซ็ทวงจรนับและวงจรกำเนิดสัญญาณแรมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3.2 วงจรเปลี่ยนสัญญาณเอทูดีแบบสโลปเดี่ยว

(ก) แสดงบล็อกไดอะแกรม (ข) แสดงความชันของสัญญาณแรมป์

สมมุติให้สัญญาณนาฬิกามีความถี่ 1 MHz วงจรนับ BCD 4 หลัก แรงดันอินพุท Vin 2 โวลท์สัญญาณแรมป์มีความชัน 1 V/ms ดังแสดงในรูป 2.3.2 (ข)

จากจุดเริ่มต้นจนถึงแรงดันสูงสุด (2 โวลท์) สัญญาณแรมป์จะใช้เวลา 2 ms หลังจากนี้จึงปิดสัญญาณนาฬิกาที่ส่งไปให้วงจรนับ ในช่วง 2 ms นี้มีการส่งพัลซ์ไปให้วงจรนับเพื่อทำการนับถึง 2000 ลูกเอาท์พุทของวงจรเปรียบเทียบระดับ " High " เป็นการส่งสัญญาณให้วงจรแลตช์ส่งค่าที่ได้ไปยังภาคแสดงผล และเติมจุดทศนิยมที่ตำแหน่งที่เหมาะสมของตัวแสดงผลได้เป็นค่า 2000 ที่แรงดันอินพุท 2 โวลท์วงจรแบบนี้เป็นหลักการเบื้องต้นของดิจิตอลโวลท์มิเตอร์ ซึ่งถ้าใช้วงจรนับเลขฐานสองแทนแบบ BCD เอาท์พุทก็จะอ่านข้อมูลได้ค่าเลขฐานสองโดยตรง วงจรลักษณะนี้มักจะนำไปใช้งานในการเปลี่ยนเวลาเป็นขนาดของสัญญาณ (Time to Amplitude Conversion) หรืออาจใช้ในดิจิตอลโวลท์มิเตอร์ แต่ไม่ใช้กับงานที่ต้องการความถูกต้องสูง เนื่องจากการเปลี่ยนแปลงในแหล่งกำเนิดสัญญาณแรมป์ขึ้นอยู่กับอุณหภูมิและผลตอบสนองต่อสัญญาณอินพุท ทำให้ไม่มีความคงที่ ดังนั้นจึงมีการปรับปรุงให้ดีขึ้นกลายเป็นแบบสโลปคู่ (Dual – Slope)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- แบบสโลปคู่ (Dual – Slope A/D Converters)

ดังรูปที่ 2.3.2 (ค) แสดงบล็อกไดอะแกรมของวงจรเอทูดีแบบสโลปคู่ ซึ่งวงจรส่วนใหญ่คล้ายกับแบบสโลปเดี่ยวแต่มีสวิทซ์ที่อินพุทเพิ่มขึ้นเพื่อทำการเลือกระหว่างแรงดันอินพุทกับแรงดันอ้างอิง (วงจรเปรียบเทียบต่อขาสัญญาณอินพุทกลับกันกับแบบสโลสเดี่ยว) ส่วนแรกของวงจรคือ วงจรกำเนิดสัญญาณแรมป์หรือวงจรอินทีเกรตนั้นเอง ที่อินพุทแบบกลับเฟสของออปแอมป์มีสภาพเป็นกราวด์เทียม (Virtual Ground) ถ้ามีแรงดันอินพุท 2 โวลท์ จะได้กระแสไหลผ่านตัวต้านทาน 10 K เท่ากับ 0.2 mA ไปยังจุดรวม (Summing point) เนื่องจากค่าความต้านทานอินพุทของออปแอมป์นั้นสูงมาก กระแสที่ไหลจึงเกิดขึ้นผ่านตัวเก็บประจุ ขณะที่ตัวเก็บประจุทำการชาร์จ (รับประจุ) แรงดันที่เอาท์พุทของออปแอมป์ก็จะยิ่งเป็นลบมากขึ้นเรื่อยๆ เพื่อรักษาระดับแรงดันคร่อมตัวเก็บประจุจึงได้เป็นสัญญาณแรมป์ที่เป็นเชิงเส้น(Linear Ranp)

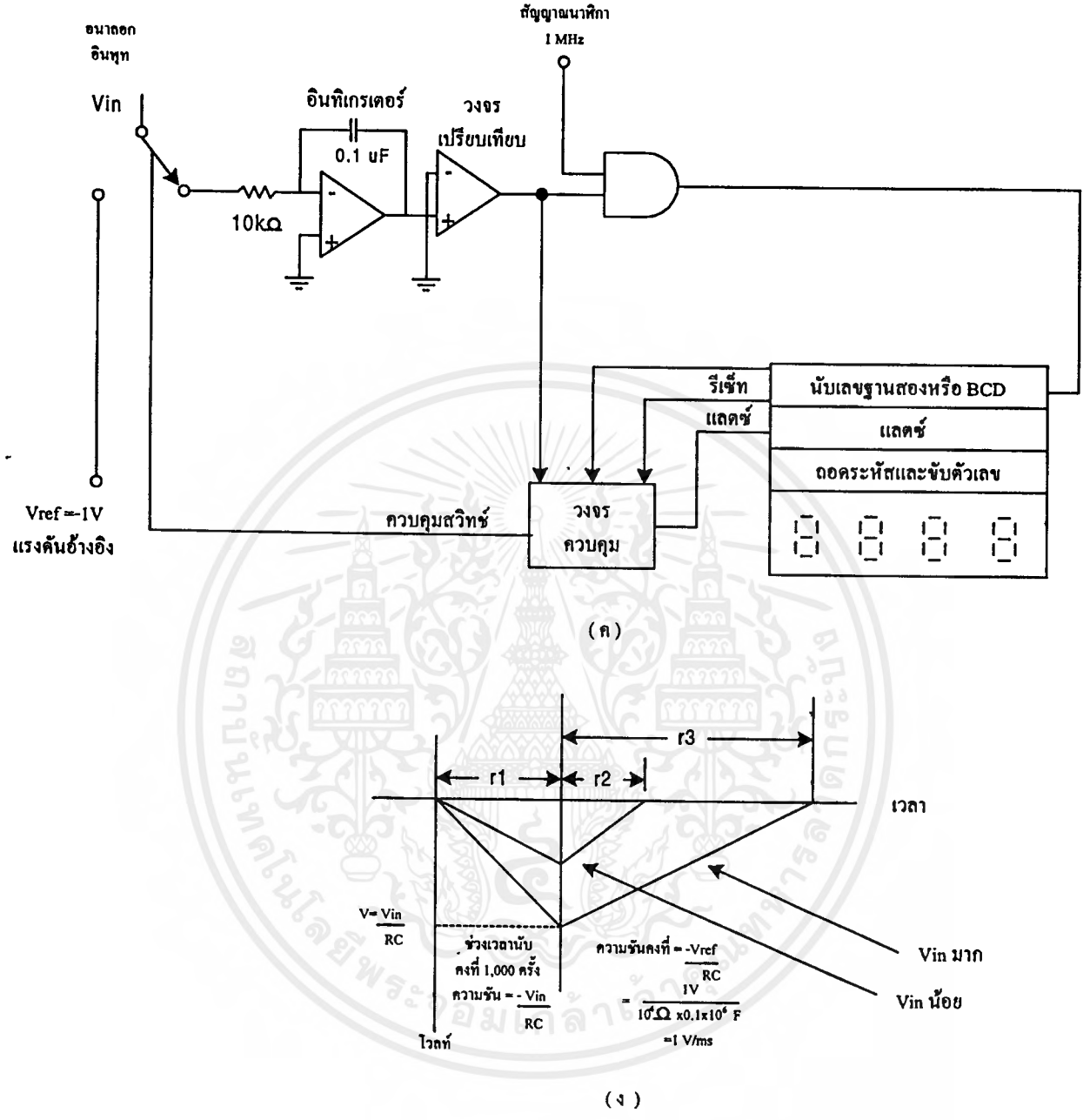
ถ้าแรงดันอินพุทเป็นบวก วงจรอินทีเกรเตอร์จะให้เอาท์พุทเป็นสัญญาณแรมป์ทางลบ ดังแสดงไว้ในช่วง t1 (รูปที่ 2.3.2 (ง))หากแรงดันอินพุทเป็นสัญญาณแรมป์ทางบวก ความชันของสัญญาณแรมป์ สามารถคำนวนได้จากความสัมพันธ์ของประจุ q = cv และ q = It โดยจับจองสองสมการมาเท่ากัน

$$\frac{dv}{dt} = \frac{I}{C}$$

เมื่อรู้ว่ากระแสเท่ากับ $\frac{Vin}{R}$ เราก็จะรู้ว่า

$$\frac{dV}{dt} = \frac{Vin}{RC}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3.3 วงจรเปลี่ยนสัญญาณเอทูดีแบบสโลปคู่

(ค) แสดงบล๊อกไดอะแกรม (ง) เอาท์พุทของวงจรอินทีเกรตเทียบกับเวลา

จากรูปให้แรงดันอินพุท + 2 โวลท์ ก็จะได้ความชันของสัญญาณแรมป์ทางเอาท์พุทเท่ากับ –2 V/mS จากวงจรในรูปที่ 2.3.3 (ค) อธิบายได้คือ เมื่อสวิทช์ต่อเข้ากับสัญญาณอินพุทจะทำให้มีแรงดันบวกจากอินพุทป้อนเข้าสู่วงจรอินทีเกรเตอร์ ได้เอาท์พุทออกมาเป็นแรมป์ทางลบ วงจรเปรียบเทียบก็จะได้แรงดันลบจากวงจรอินทีเกรเตอร์ แล้วจะทำให้เอาท์พุทเป็นบวกทำการเปิดแอนด์เกตให้สัญญาณนาฬิกาผ่านเข้าสู่วงจรนับ วงจรนับจะนับไปยังค่าที่กำหนดไว้ (t1) แล้วทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสับ สวิทช์ต่อเข้ากันกับแรงดันอ้างอิง ในช่วงที่วงจรนับนับด้วยค่าคงที่นั้น วงจรอินทีเกรตจะให้สัญญาณแรมป์ทางลบที่มีค่าสูงสุดตามแต่ระดับแรงดันอินพุท เมื่อทำการสวิทช์อินพุทของวงจรอินทีเกรเตอร์ให้ไปที่แรงดันอ้างอิงค่าลบ เอาท์พุทของวงจรจึงได้เป็นแรมป์ทางลบคือ ช่วง t2 รูปที่ 2.3.3 (ง) พร้อมๆ กับรีเซ็ทค่าของวงจรนับลงเป็นศูนย์เพื่อเริ่มนับค่าใหม่

เมื่อเอาท์พุทของวงจรอินทีเกรเตอร์เพิ่มขึ้นถึงแรงดัน 0 อีกครั้ง เอาท์พุทของวงจรเปรียบเทียบก็จะเป็นลบ (หรือเป็นศูนย์) วงจรควบคุมจับการเปลี่ยนแปลงอันนี้ได้ก็จะส่งสัญญาณสโตรบให้วงจรนับเก็บค่าที่ได้ที่วงจรแลตซ์จากนั้นจึงรีเซ็ทให้เป็นศูนย์แล้วทำการสวิทช์ให้อินพุทเป็นการเริ่มทำการเปลี่ยนสัญญาณอีกรอบหนึ่ง จำนวนที่นับได้ที่เก็บไว้ในวงจรแลตซ์ก็จะเป็นสัดส่วนโดยตรงกับแรงดันอินพุท Vin สัญญาณแรมป์ทางเอาท์ของวงจรอินทีเกรเตอร์ในช่วงเวลาที่ t1 จะลดลงสู่แรงดัน V ซึ่ง

$$V = \frac{Vin}{RC} \times t1$$

เพื่อให้กลับไปสู่ระดับ 0 หน้าที่ของวงจรอินทีเกรเตอร์จึงต้องสร้างแรมป์ทั้งทางบวก และทางลบให้เพิ่มขึ้นเท่าๆ กันในช่วงเวลา t2 (ที่เกิดจากแรงดันอ้างอิง)แรงดัน V เท่ากับ

$$V = \frac{Vref}{RC} \times t2$$

สูตรทั้ง 2 ของ V สามารถจับมาเท่ากันได้เป็น

$$\frac{Vin}{RC} \times t1 = \frac{Vref}{RC} \times t2$$

$$\mathrm{Vin} \times \mathrm{t1} = \mathrm{Vref} \times \mathrm{t2}$$

$$t2 = \frac{Vin \times t1}{Vref}$$

เห็นได้ว่า RC ปรากฏอยู่ทั้ง 2 ข้างของสมการจึงสามารถตัดทิ้งได้ หมายถึงว่า เมื่อช่วงเวลาอินทีเกรตสัญญาณและช่วงเวลาอินทีเกรตอ้างอิง ใช้ตัวต้านทานและตัวเก็บประจุเดียวกัน การเปลี่ยนแปลงของค่าทั้งสองนี้ก็จะไมมีผลต่อความถูกต้องของสัญญาณเอาท์พุทซึ่งเป็นข้อดีที่เหนือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กว่าแบบสโลปเดี่ยว (Single Slope) คือค่าที่ได้ไม่ขึ้นกับความถี่ของรอบการทำงาน สมการท้ายสุดแสดงให้เห็นว่าเอาท์พุทของวงจรนับเป็นช่วงเวลา t2 เป็นสัดส่วนโดยตรงกับแรงดันอินพุท Vin เมื่อ Vref และ t1 คงที่

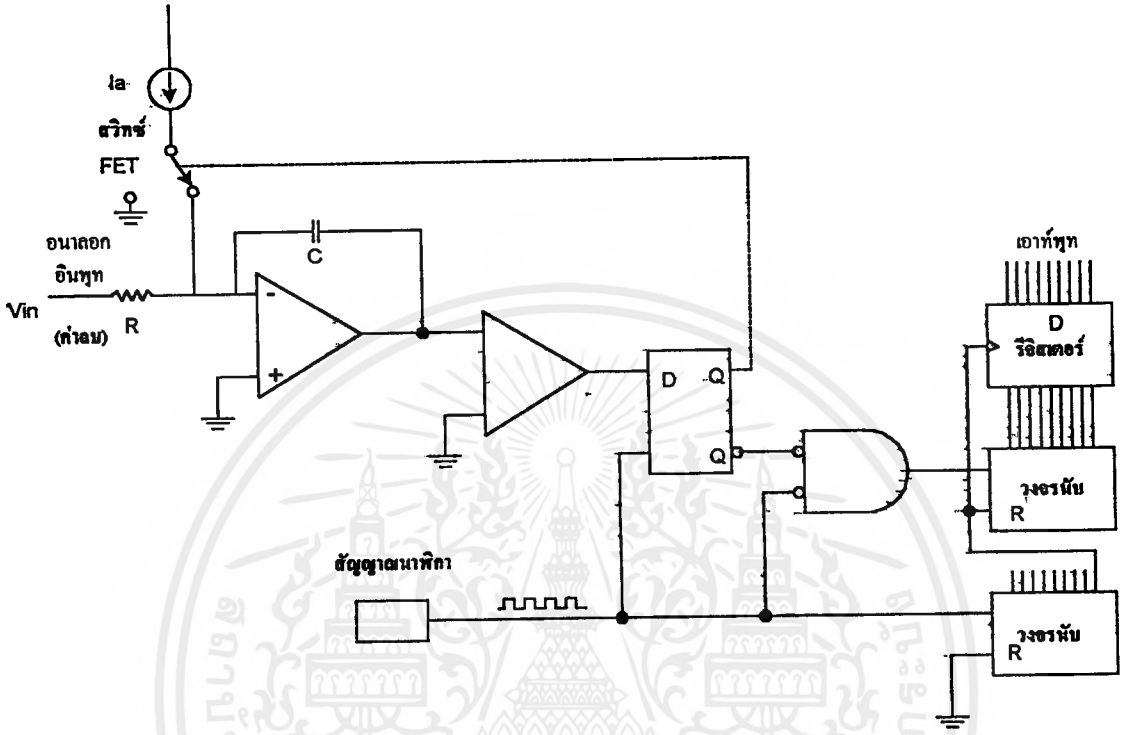
จากวงจรในรูปที่ 2.3.3 ค่า t1 เท่ากับ 1000รอบ เมื่อป้อนสัญญาณนาฬิกา 1 MHz = 1/1000 = 1ms และ Vref มีค่า –1 โวลท์ ถ้าสัญญาณอินพุทมีขนาด 2 โวลท์ จะได้ช่วงเวลา t2 = (2V × 1000) =2000 รอบ (รอบของการนับ) จุดทศนิยมที่อยู่ทางขวาทำให้ได้ผลลัพท์ที่ภาคแสดงผล 2.000 กราฟในรูปที่ 2-14 แสดงว่าเมื่อสัญญาณอินพุทน้อยกว่านี้จะมีการเปลี่ยนแปลงอย่างไร

เช่น อินพุท 0.8 โวลท์ t12 จะได้ (0.8/1V) ×1000 เท่ากับ 800 รอบ ก็จะอ่านค่าได้ 0.800 หลักการเช่นนี้ถูกนำไปใช้อย่างแพร่หลายในดิจิตอลโวลท์มิเตอร์และเครื่องมืออ้างอิงอื่นๆ หลายชนิด t1 ของวงจรนับถูกรีเซ็ทให้เป็น 0 อินพุทของวงจรอินทีเกรเตอร์ก็จะถูกสวิทช์ต่อกลับมาที่แรงดันอ้างอิง (ที่มีแรงดันคงที่) ให้ความชันของสัญญาณแรมป์คงที่เพิ่มค่าขึ้นไปจนถึงระดับ 0 ช่วงเวลา t2 นี้เป็น สัดส่วนโดยตรงกับสัญญาณอินพุท ถ้าดูรูปที่ 2.3.3(ง) อีกครั้ง พิจารณาช่วงเวลา t1 ซึ่งเป็นช่วงเวลาคงที่ และ t2 ซึ่งความชันคงที่แล้วจะเข้าใจยิ่งขึ้น

ข้อดีของวงจรเปลี่ยนสัญญาณแบบสโลปคู่นี้ คือ ความถูกต้องสูง ราคาถูก เสถียรภาพทางด้านอุณหภมิ ข้อเสีย คือ ความเร็วต่ำ ในการเปลี่ยนสัญญาณ 1 ครั้งอาจใช้เวลาถึง 100 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-แบบเดลต้า – ซิกม่า (Delta –Sigma A/D Converter)



รูปที่ 2.3.4 วงจรเปลี่ยนสัญญาณเอทูดีแบบเดลต้า – ซิกม่า

จากวงจรรูปที่ 2.3.4 เมื่อมีแรงดันอินพุทป้อนเข้าไปที่วงจรอินทีเกรเตอร์ให้เอาท์พุทเข้าไปในวงจรเปรียบเทียบ เพื่อเปรียบเทียบกับแรงดันคงที่ (จากรูปคือกราวด์) พัลส์ของกระแสที่ได้ขึ้นอยู่กับเอาท์พุทของวงจรเปรียบเทียบโดยสวิทช์ที่ทำขึ้นจากเฟตจะควบคุมให้กระแสเข้าไปยังจุดรวมหรือ ลง กราวด์ส่วนวงจรนับจะนับจำนวนพัลส์ด้วยการที่คล้ายกัน

ข้อสรุปของวงจรเอทูดีที่ใช้การอินทีเกรตสัญญาณ

จุดสำคัญของอินทีเกรตติ้งคืออินพุทที่ให้กับวงจรอินทีเกรเตอร์ต้องเป็นกระแสไอซีคอนเวอร์เตอร์บางตัวอาจมีอินพุทให้สองขา แต่จะมีขาหนึ่งต่อตรงกับจุด Summing point ใช้กับอุปกรณ์ที่เป็นแหล่งจ่ายการแสโดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าให้อินพุทเป็นกระแสก็ไม่ต้องคำนึงถึงแรงดันออฟเซทของวงจรอินทีเกรเตอร์ แต่ถ้าหากใช้กับอินพุทที่เป็นแรงดัน (ที่ต้องมีตัวต้านทานต่ออนุกรมอยู่เพื่อให้ได้เป็นกระแส) ต้องปรับออฟเซทของออปแอมป์เสียก่อน การใช้อินพุทเป็นกระแสทำให้ย่านการใช้งานทางไฟสลับกว้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
หลักการและการออกแบบ

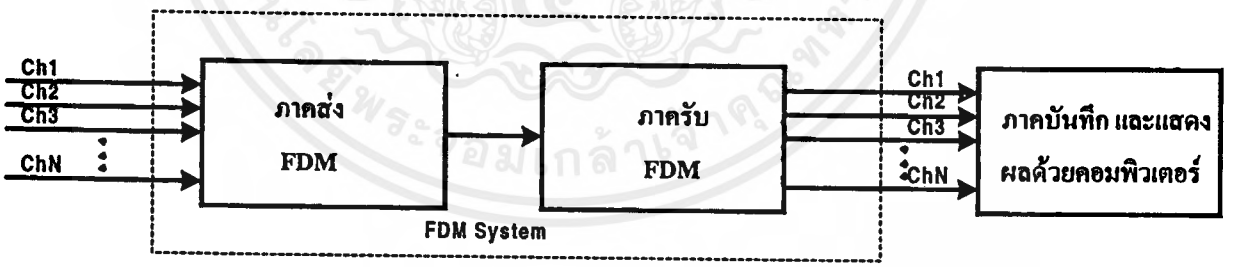
จุดมุ่งหมายของโครงงาน

เพื่อศึกษาการนำสัญญาณที่ได้จากการตรวจวัดหลายๆ สัญญาณจากต้นทางผ่านเข้าไปในช่องสัญญาณโทรศัพท์โดยใช้ระบบเอฟดีเอ็ม จากนั้นนำสัญญาณที่รับได้จากปลายทางแสดงผลทางมอนิเตอร์ได้

แนวคิดและที่มา

เนื่องจากความจำเป็นในการนำสัญญาณที่วัดได้ที่อยู่ห่างไกลหลายๆสัญญาณ อาจจะเป็นสัญญาณที่ตรวจวัดแผนดินไหว อุณหภูมิ ความชื้น หรือแสง เป็นต้น เพื่อนำมาวิเคราะห์และตรวจสอบ ด้วยเหตุผลดังกล่าวเราจึงจำเป็นต้องมีวิธีการที่เหมาะสมในการส่งข้อมูลเพื่อเป็นการประหยัดต่อระบบโดยรวม ระบบเอฟดีเอ็มเป็นวิธีการหนึ่งที่สามารถส่งข้อมูลหลายๆสัญญาณเข้าไปในช่องสัญญาณเดียวได้ โดยการแปลงความถี่ของสัญญาณที่จะส่งให้อยู่ในช่วงความถี่ต่างๆกัน และอยู่ภายในช่วงความถี่ของช่องสัญญาณที่จะส่งนั้น

ขั้นตอนการออกแบบ



รูปที่ 3.1.1 block diagram of FDM system and recorder

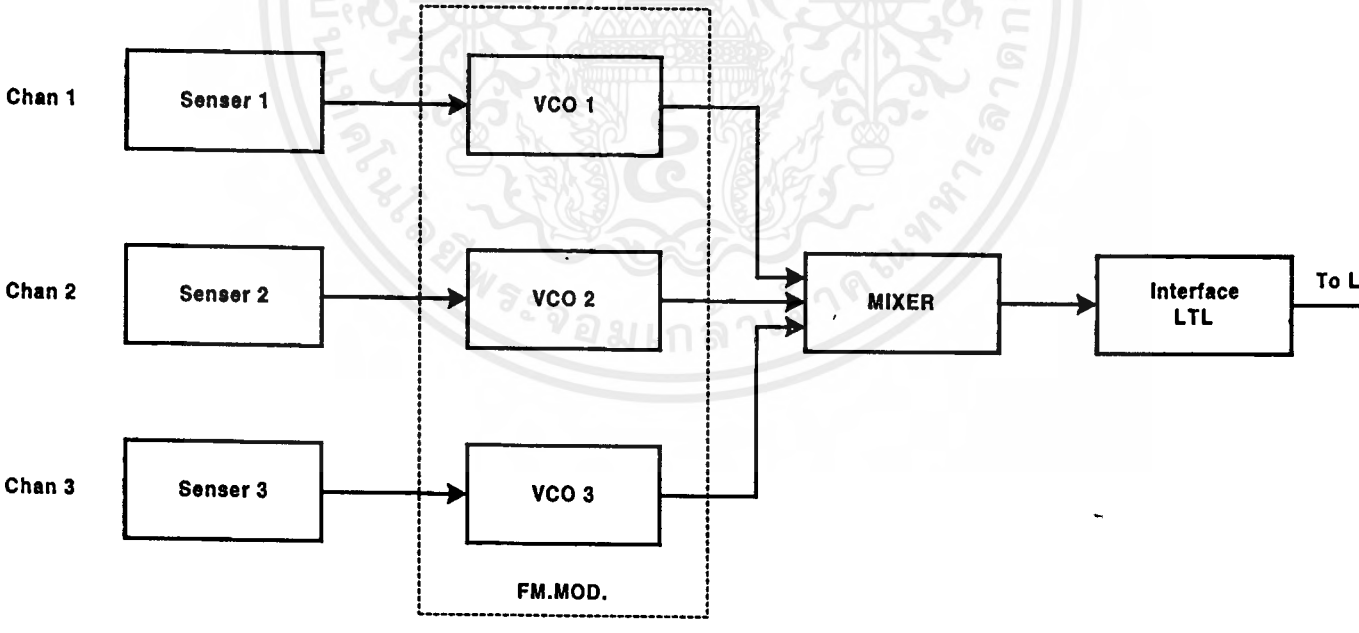
จากรูป Block diagram ซึ่งเป็นระบบทั้งหมดของโครงงาน ประกอบด้วย 3 ส่วนใหญ่ คือ ส่วนแรกภาคส่ง FDM ซึ่งทำหน้าที่ในการนำสัญญาณที่ได้จากการตรวจวัด หรือ จาก Sensors ซึ่งอยู่ในรูปของแรงดันทางไฟฟ้าหลายๆสัญญาณมาทำการมอดูเลทแบบความถี่(Frequency Modulation (FM)) และจัดเรียงความถี่ให้อยู่ในช่วงแถบความถี่(Band Width)ของโทรศัพท์คือ 300 – 3,400 Hz สำหรับส่วนที่สอง คือ ภาครับ FDM ทำหน้าที่ในการรับ และแยกสัญญาณที่ได้จากการมัลติเพล็กซ์ แบบ FDM ออกเป็นแต่ละช่องสัญญาณ (Channel) จากนั้นทำการแยกข่าวสารที่ทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การมอดูเลทแบบเอฟเอ็มในแต่ละช่องสัญญาณ ส่วนที่สามคือ ภาคบันทึก และ แสดงผลลัพธ์ ด้วยคอมพิวเตอร์ ทำหน้าที่เชื่อมต่อ(Interface)ระหว่างภาครับและคอมพิวเตอร์เพื่อที่จะนำข้อมูล หรือสัญญาณที่ได้ในช่องสัญญาณต่างๆ มาบันทึกเก็บไว้ และ แสดงผลเมื่อต้องการ

3.1 ภาคส่ง (transmitter)

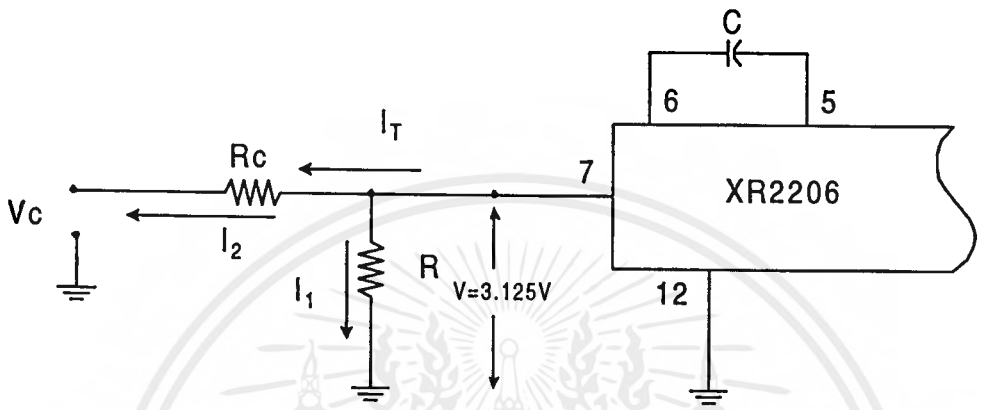
เนื่องจากข้อมูลหรือสัญญาณที่ได้จากการตรวจวัด หรือจากSensors จะอยู่ในรูปของระดับแรงดันทางไฟฟ้า ด้วยเหตุนี้เราจึงจำเป็นที่ต้องทำการมอดูเลต (Modulate) สัญญาณต่างๆ เหล่านี้แบบ FM เพื่อที่จะให้แต่ละช่องสัญญาณมีความถี่แตกต่างกันไปโดยที่ยังมีข่าวสาร หรือข้อมูลเดิมอยู่ ด้วยเหตุผลดังกล่าวข้างต้นในส่วนของภาคส่งจึงต้องประกอบด้วยวงจร VCO(Voltage Control Oscillators) ที่ทำหน้าที่เป็นส่วนของ FM Mod. (Frequency Modulation) และประกอบด้วยส่วนของ วงจร Mixer เพื่อที่จะทำการนำช่องสัญญาณแต่ละช่องที่มีความถี่แตกต่างกันไปร่วมกัน โดยไม่มีผลต่อความถี่ซึ่งมีข้อมูลหรือข่าวสารถูกมอดูเลต (modulate) แบบความถี่ จากนั้นเราจึงจำเป็นต้องมีส่วนของวงจร Interface เพื่อทำการเชื่อมต่อระหว่างสายโทรศัพท์กับวงจรส่วนดังกล่าว ดังนั้นส่วนต่างๆ ที่สำคัญของภาคส่งจึงแสดงในรูปที่ 3.1.2



รูปที่ 3.1.2 block diagram of FDM transmitter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของโครงงานจะใช้ไอซี XR – 2206 ซึ่งเป็นโมโนลิคทิกฟังก์ชั่นเจนเนอร์เรเตอร์ (Monolithic Function Generator) จัดวงจรเพื่อทำเป็นส่วนของ VCO หรือ FM Mod. ได้ดังรูปที่ 3.1.3



รูปที่ 3.1.3การนำไอซี XR – 2206 มาเป็น FM Mod

จากรูปที่ 3.1.3 เมื่อไม่ต่อ V_c

$$f_o = \frac{1}{RC} Hz \qquad (3\text{-}1)$$

$$= \frac{1}{\frac{V}{It}C}$$

$$= \frac{It}{VC}$$

$$= \frac{It}{3.125C}$$

$$f = \frac{320It(mA)}{C(uF)} \qquad (3\text{-}2)$$

เมื่อต่อ V_c

$$I_t = I_1 + I_2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{V}{R} + \frac{V - Vc}{Rc}$$

จาก $$f = \frac{I_T}{Vc}$$

$$= \frac{1}{Vc}\left[\frac{V}{R} + \frac{V - Vc}{Rc} \right]$$

$$= \frac{1}{C}\left[\frac{1}{R} + \frac{1}{RC}\left(1 - \frac{Vc}{V} \right) \right]$$

$$= \frac{1}{Rc}\left[\frac{1}{R} + \frac{1}{RC}\left(1 - \frac{Vc}{V} \right) \right]$$

$$\therefore f = \frac{1}{Rc}\left[1 + \frac{R}{RC}\left(1 - \frac{Vc}{3} \right) \right] \quad ; V \approx 3 \qquad (3\text{-}3)$$

หาค่า Gain K จาก

$$K = \frac{\partial f}{\partial Vc}$$

$$K \doteq \frac{\partial f}{\partial Vc}\left[\frac{1}{Rc} + \frac{1}{RcC} - \frac{Vc}{3.125RcC} \right]$$

$$= -\frac{1}{3.125RcC}$$

$$\therefore K = -\frac{0.32}{RcC} \, Hz/V$$

เพื่อให้การทำงานของวงจรใช้งานมีเสถียรภาพต่ออุณหภูมิที่ดีควรใช้ $4K < R < 200K\Omega$ **และ C จาก 1000PF ถึง 100uF**

เมื่อกำหนดค่า C และ Rc คงที่

ที่ความถี่กลาง(Vc=0)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ $$f = \frac{1}{Rc}\left[1+\frac{R}{RC}\left(1-\frac{Vc}{3} \right) \right]$$

$$f = \frac{1}{RC}+\frac{1}{RcC}$$

$$= \frac{1}{C}\left[\frac{1}{R}+\frac{1}{Rc}\right]$$

$$\therefore R = \frac{Rc}{fCRc-1}$$

กำหนด C=0.1 uF และ Rc= 51 KΩ

ในโครงงานนี้เป็นตัวอย่างการ Multiplex โดยการแบ่งความถี่ออกเป็น 3 ความถี่หรือ3 ช่องสัญญาณ ในการใช้งานจริงสามารถใช้ได้หลายช่องสัญญาณ
โดยจะกำหนดความถี่กลางได้ดังนี้

ความถี่กลาง 600 Hz

$$R = \frac{51\times10^{3}}{\left(600\times0.1\times10^{-6}\times51\times10^{3}\right)-1}$$

$$= 24.757\ \text{K}\Omega$$

ความถี่กลาง 1,000Hz

$$R = \frac{51\times10^{3}}{\left(1000\times0.1\times10^{-6}\times51\times10^{3}\right)-1}$$

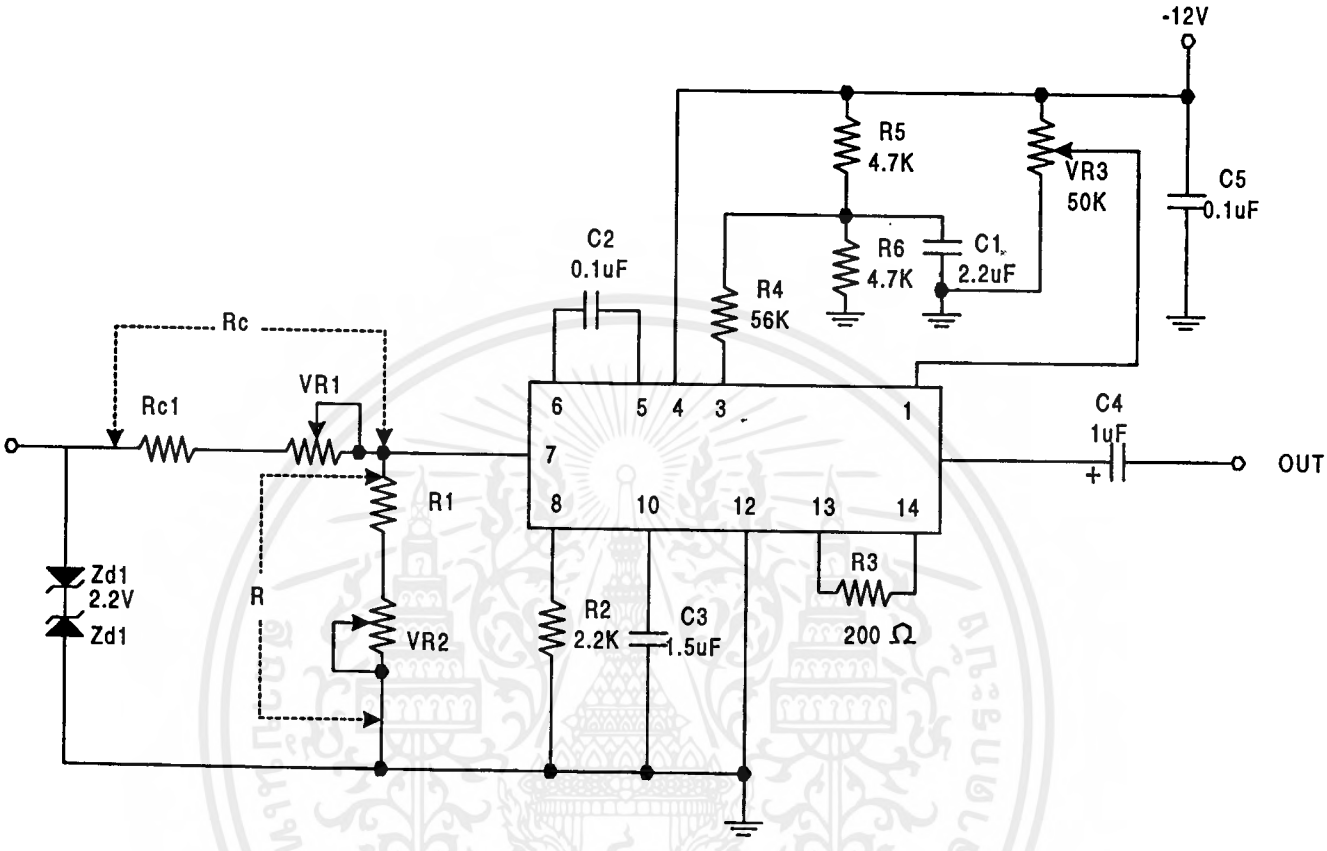
$$= 12.439\ \text{K}\Omega$$

ความถี่กลาง 1,400Hz

$$R = \frac{51\times10^{3}}{\left(1400\times0.1\times10^{-6}\times51\times10^{3}\right)-1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$= 8.306\ K\Omega$



รูปที่ 3.1.4 วงจร VCO ที่ใช้งาน

ตารางที่ 3.1 แสดงค่าอุปกรณ์ที่ใช้เปลี่ยนค่าความถี่กลาง

For C = 0.1μF						
f_o (HZ)	R (kΩ)	R_1(kΩ)	VR_2(kΩ)	R_c(kΩ)	R_{c1}(kΩ)	VR_1(kΩ)
600	24.71	22.2	5	51.2	46.2	10
1000	12.43	11.4	2	51.2	46.2	10
1400	7.8	1	51.2	51.2	46.2	10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.1.4 แสดงวงจรในส่วนของ VCO ที่ใช้งานจริงในโครงงาน โดยในหนึ่งวงจรจะใช้แทนหนึ่งความถี่ และแสดงค่าของความต้านทาน(R_c และ R) ที่มีผลต่อการผลิตความถี่ในตารางที่ 3.1 สาเหตุที่ใช้ VR_1 และ VR_2 ซึ่งเป็นค่าความต้านทานที่เปลี่ยนค่าได้(Variable Resister) เนื่องจากในการหาค่าความต้านทานจริงในท้องตลาดเพื่อให้ได้ค่าความต้านทานตามที่คำนวณนั้นเป็นไปได้ยาก และเพื่อที่จะให้วงจร VCO สามารถที่จะผลิตความถี่กลางที่แรงดันขาเข้าศูนย์โวลท์ (Input Signal ที่V_{in}=0)

ในการกำหนดขนาดของสัญญาณตรวจวัด หากกำหนดให้มีค่าการเปลี่ยนแปลงสูงสุด 2 โวลท์ ($V_{in} = \pm 2\ V_{max}$) จะทำให้มีค่าความถี่เบี่ยงเบน(Frequency deviation) ที่ $\pm$125Hz ด้วยเหตุนี้จึงเป็นผลทำให้ในแต่ละช่องสัญญาณมีแถบความถี่ 500Hz โดยมีช่วงห่างระหว่างช่องความถี่ 150Hz เพื่อป้องกันไม่ให้แต่ละช่องสัญญาณรบกวนกันทางความถี่ ดังแสดงรายละเอียดของความถี่ที่ใช้ในโครงงานตามตาราง 3.2

ตารางที่ 3.2 แสดงค่าความถี่เบี่ยงเบน

$V_{in} = \pm 2\ V_{max}$ (Frequency deviation $\pm$125Hz)				
f_o(Hz)	f_{min}(Hz)	f_{max}(Hz)	BW(Hz)	Q(f_o /BW)
600	475	725	500	1.2
1000	875	1125	500	2
1400	1275	1525	500	2.8

ในส่วนของวงจร VCO เพื่อป้องกันขนาดของสัญญาณขาเข้าไม่ให้เกินระดับแรงดันที่กำหนด จะใช้ ซีเนอร์ไดโอด(Zener diode) สองตัวต่อแบบหลังชนหลัง(Back to Back) และมี VR_3 เพื่อใช้ปรับขนาดของสัญญาณในส่วนขาออก(Output)โดยที่จะมีขนาดสูงสุดV_{out}= 2Vmax สำหรับค่าความต้านทาน R_3 ใช้เพื่อปรับให้รูปร่างของสัญญาณขาออกมีลักษณะเป็นรูป Sine Wave (อยู่ในช่วง200Ω ถึง220 Ω จะทำให้รูปร่างของสัญญาณดีที่สุด)

ในส่วนของวงจร Mixing และ Interface ดังแสดงในภาคผนวก ก. รูปที่2 ซึ่งวงจร Mixing จะใช้ค่าความต้านทานขนาด 10kΩ ต่ออนุกรม(Series) กับส่วนของวงจร VCO ในแต่ละช่องสัญญาณ และส่วนของวงจร Interface จะประกอบด้วยวงจรขยายสัญญาณ โดยใช้หม้อแปลงคัปปิง (Coupling transformer) ที่มีอิมพิแดนซ์ 600Ω ต่อเชื่อมเข้ากับสายโทรศัพท์และมีส่วนป้องกันสาย

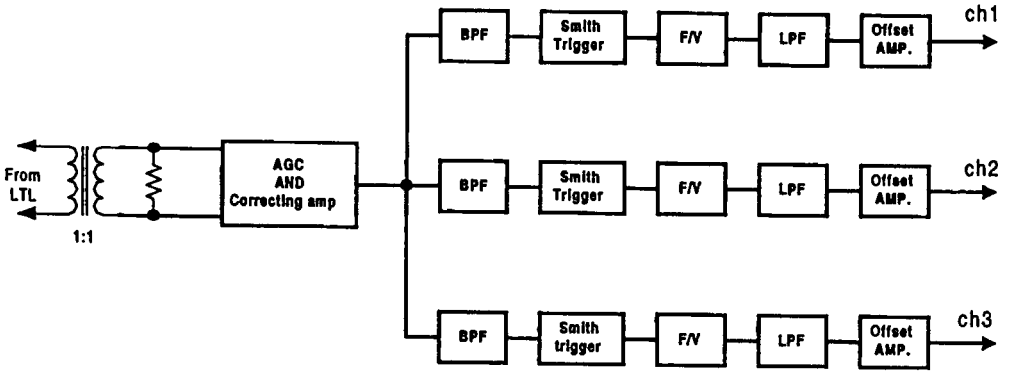
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โทรศัพท์ ซึ่งประกอบด้วย ตัวความเหนียวนำ ตัวเก็บประจุ รวมทั้งซีเนอร์ไดโอดต่อลักษณะหลังชนหลังเพื่อป้องกันขนาดของสัญญาณที่มากเกิน

3.2 ภาครับ(Receiver)

หลักการและแนวคิด

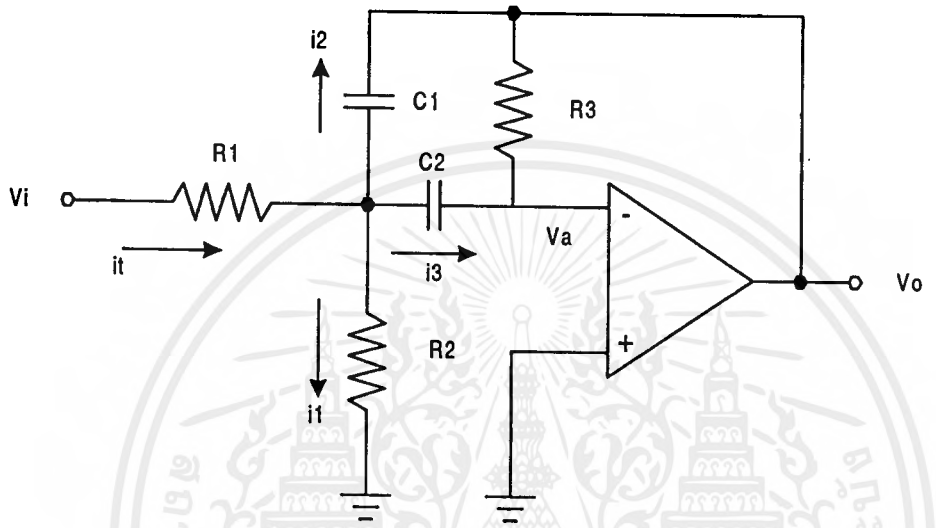
ในการรับสัญญาณมัลติเพลกซ์ (Multiple signal) ที่ส่งมาตามสายโทรศัพท์บางครั้งสัญญาณที่ได้รับนั้นมีความแรงของสัญญาณมากเกินไปอาจจะทำให้การทำงานของวงจรเกิดการผิดพลาดเนื่องจากการทำงานที่เกินช่วงอิ่มตัว (Saturation) บางครั้งสัญญาณได้มีขนาดเล็กเกินไปไม่เพียงพอที่จะทำให้วงจรในส่วนต่อไปทำงานได้ด้วยเหตุนี้เราจึงจำเป็นต้องมีส่วนของวงจร AGC (Automatic Gain Control) และ วงจรปรับระดับแรงดัน (Correcting Amp.) ในการควบคุมอัตราขยายอัตโนมัติเพื่อให้มีขนาดของสัญญาณคงที่และเหมาะสม จากนั้นเราจะได้สัญญาณมัลติเพลกซ์ที่มีความถี่ของแต่ละช่องสัญญาณปนกันอยู่ ด้วยเหตุนี้จึงต้องสร้างวงจรกรองความถี่เป็นช่วง (Band pass filter) เพื่อทำการแยกช่องสัญญาณแต่ละความถี่ออกจากกัน และเนื่องจากสัญญาณ (Channel) ที่แยกได้นั้นอาจมีสัญญาณรบกวนที่เกาะติดมากับขนาดของทั้งสองข้างของสัญญาณ เราจึงใช้วงจรลิมิตเตอร์ (Limited Circuit) หรือใช้ Smith trigger เพื่อทำการตัดขนาดของสัญญาณที่เกินความต้องการ (เนื่องจากในการมอดูเลตทางความถี่เมื่อมีการเปลี่ยนแปลงทางขนาดจะไม่มีผลต่อสัญญาณข่าวสารหรือข้อมูล) เมื่อได้สัญญาณในแต่ละช่องสัญญาณในแต่ละช่องสัญญาณที่เหมาะสมแล้ว จึงใช้วงจรเปลี่ยนความถี่เป็นแรงดัน (Frequency to Voltage Converter) เพื่อทำการแยกสัญญาณตรวจวัด (Signal Measurement) ออกจากความถี่พาหะ และใช้วงจรความถี่ต่ำผ่าน (Low Pass Filter) เพื่อทำการกรองเอาเฉพาะสัญญาณตรวจวัดที่เราต้องการ แต่เนื่องจากในขณะที่ไม่มีสัญญาณ ส่วนขาออก (Output) ของวงจรต้องเป็นศูนย์ ด้วยเหตุนี้จึงใช้วงจรปรับค่าศูนย์ (Offset Amp) เพื่อให้สัญญาณตรวจวัดที่ได้มีความถูกต้องมากที่สุด ซึ่งส่วนต่างๆ ของภาครับออกแบบได้ดังรูป Block Diagram รูปที่ 3.2.1



รูปที่ 3.2.1 Block Diagram ของ FDM receiver

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณอุปกรณ์ของ Band Pass Filter แบบ Multiple feedback



รูป3.2.2 วงจรเลือกความถี่ผ่านแบบ Multiple feedback

ในส่วนของโครงงาน ใช้วงจรเลือกความถี่ผ่านแบบ Multiple feedback ต่อแบบคราสเคลด (Class Case) เพื่อให้การแยกสัญญาณแต่ละช่องสัญญาณมีประสิทธิภาพเพิ่มขึ้น เนื่องจากเป็นการเพิ่มอันดับ(Order) จากสองเป็นสี่ ทำให้ขอบของความถี่จุดตัด(Cut off frequency) ชันมากขึ้น

เนื่องจากการเปลี่ยนแปลงค่า C ทำได้ยากด้วยเหตุนี้เราจึงกำหนดให้ C1=C2=C3=0.1 μF จากบทของทฤษฎีที่เกี่ยวของ ในส่วนของวงจรกรองความถี่ผ่าน ได้สูตรคำนวณหาค่าอุปกรณ์ที่สำคัญดังนี้

$$R1 = \frac{Q}{2\pi fcCAF}$$

$$R2 = \frac{Q}{2\pi fcC(2Q^2 - AF)}$$

$$R3 = \frac{Q}{\pi fcC}$$

$$AF < 2Q^2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดที่ 1

ที่ความถี่ 1 KHz

$$\text{จาก} \quad Q = \frac{fc}{BW} = \frac{1K}{250} = 4$$

กำหนด $AF = 2$ น้อยกว่า $2Q^2$

$$\therefore R1 = \frac{4}{2\pi \times 1\times 10^3 \times 0.1\times 10^{-6} \times 2}$$

$$= 3183.1\ \Omega$$

$$\approx 3.183\ \text{K}$$

$$R2 = \frac{4}{2\pi \times 1\times 10^3 \times 0.1\times 10^{-6} \times [(2\times 4^2)-4]}$$

$$= 227.36\ \Omega$$

$$\approx 227\ \Omega$$

$$R3 = \frac{4}{\pi \times 1\times 10^3 \times 0.1\times 10^{-6}}$$

$$= 12.732\ \text{K}\Omega$$

$$\approx 12.7\ \text{K}\Omega$$

ใช้วิธีเปลี่ยนค่า R2

จาก 1 Khz เป็น 600 Hz

$$\text{จาก} \quad R2' = R2\left(\frac{fc}{fc'}\right)^2$$

$$R2' = 227.364\left(\frac{1\times 10^3}{600}\right)^2$$

ที่ความถี่600 Hz $R2 = 631.567\ \Omega$

$$\approx 632\ \Omega$$

จาก 1 Khz เป็น 1.4 KHz

$$\text{จาก} \quad R2' = R2\left(\frac{fc}{fc'}\right)^2$$

$$R2' = 227.364\left(\frac{1\times 10^3}{1.4\times 10^3}\right)^2$$

ที่ความถี่1.4 KHz $R2 = 116\ \Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดที่2

กำหนด AF = 1 **คิดที่ความถี่** 1 KHz

$$\therefore R1 = \frac{4}{2\pi \times 1\times 10^{3} \times 0.1\times 10^{-6} \times 1}$$

$$=6366.2\ \Omega$$

$$\approx 6.336K$$

$$R2 = \frac{4}{2\pi \times 1\times 10^{3} \times 0.1\times 10^{-6} \times [(2\times 4^{2})-1]}$$

$$=212.207\ \Omega$$

$$\approx 212\ \Omega$$

$$R3 = \frac{4}{\pi \times 1\times 10^{3} \times 0.1\times 10^{-6}}$$

$$=12.732\ K\Omega$$

$$\approx 12.7\ K\Omega$$

ใช้วิธีเปลี่ยนค่า R2

จาก 1 Khz **เป็น** 600 Hz

จาก $R2' = R2(\ \frac{fc}{fc'}\ )^{2}$

$$R2' = 212.207(\ \frac{1\times 10^{3}}{600}\ )^{2}$$

ที่ความถี่600 Hz R2 = 589.46 Ω

$\approx$ 589 Ω

จาก 1 Khz **เป็น** 1.4 KHz

จาก $R2' = R2(\ \frac{fc}{fc'}\ )^{2}$

$$R2' = 212.207(\ \frac{1\times 10^{3}}{1.4\times 10^{3}}\ )^{2}$$

ที่ความถี่1.4 KHz R2 = 108.27 Ω

$\approx$ 589 Ω

จากรูปที่4 ของภาคผนวก ก ซึ่งเป็นส่วนของวงจรตรวจแยกสัญญาณ ซึ่งเราสามารถช่วงความถี่ของแต่ละช่องสัญญาณด้วยการปรับค่า P_1 **และสามารถปรับความถูกต้องของระดับสัญญาณ**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

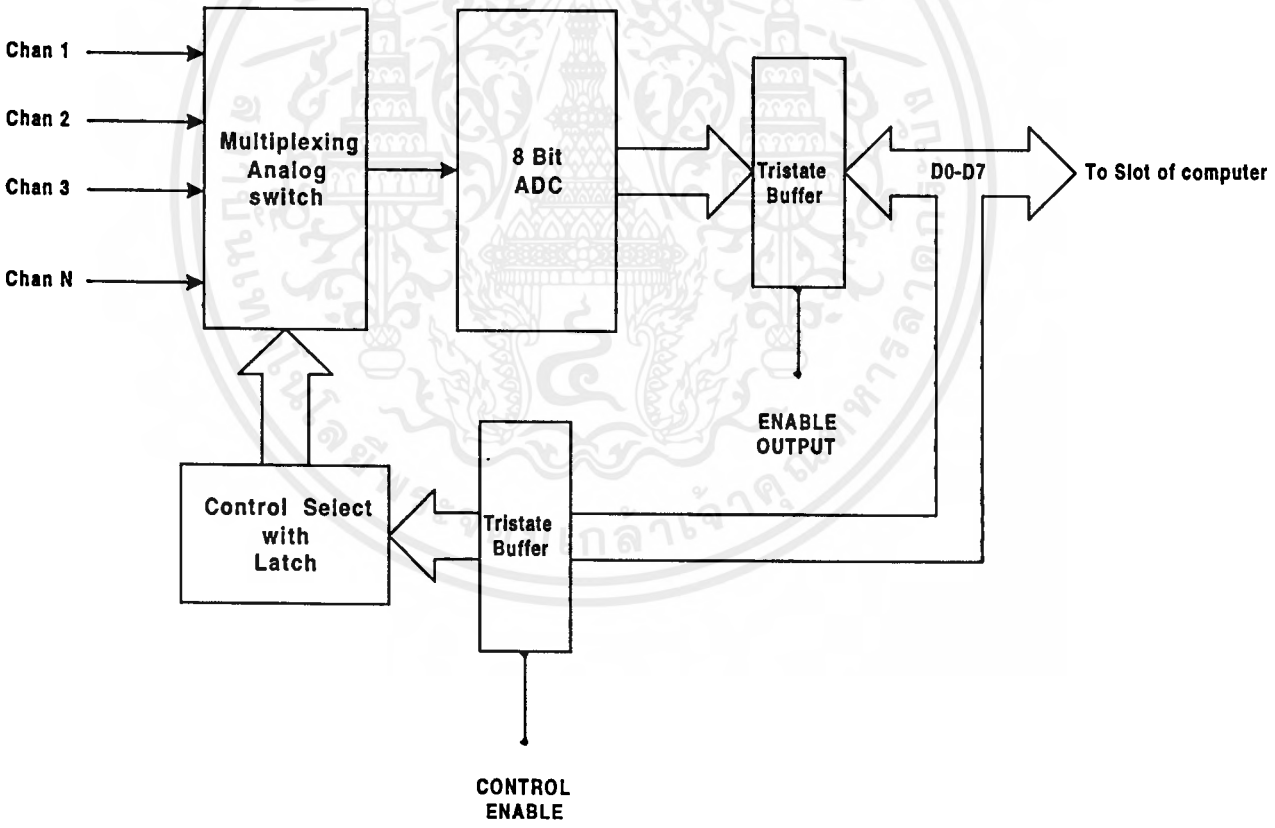
ที่ตรวจวัดด้วยการปรับอัตราขยายในส่วนของวงจรขยายสัญญาณส่วนสุดท้าย ในที่นี้คือการปรับค่า Rg รวมทั้งการปรับOffset ของวงจรด้วย

3.3 ภาคบันทึกและแสดงผลด้วยคอมพิวเตอร์

ในภาคบันทึกและแสดงผลด้วยคอมพิวเตอร์นั้นจะประกอบด้วยสองส่วนใหญ่คือส่วนฮาร์ดแวร์ (Hardware) และซอร์ฟแวร์ (Software) โดยในการออกแบบนั้นจะทำการออกแบบส่วนของฮาร์ดแวร์ก่อนเพื่อที่จะได้รู้แนวทางในการออกแบบส่วนของซอร์ฟแวร์ ต่อไป

3.3.1 ฮาร์ดแวซ์(Hardware)

3.3.1.1 ส่วนของวงจรนำสัญญาณเข้า



รูป 3.3.1 รูปบล็อกไดอะแกรมของส่วนนำสัญญาณเข้า

เนื่องจากสัญญาณตรวจวัดที่ได้มีอยู่หลายช่องสัญญาณ ดังนั้นก่อนที่จะนำสัญญาณเหล่านั้นไปเข้าวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter: ADC)เพื่อทำการเชื่อมต่อสัญญาณเข้าคอมพิวเตอร์จะต้องมีส่วนของวงจรที่ทำหน้าที่ในการเลือกรับช่องสัญญาณที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะทำการแปลงเป็นสัญญาณดิจิตอล โดยเราสามารถควบคุมการเลือกรับสัญญาณจากโปรแกรม(Software) ผ่านทาง Data Bus แต่เนื่องจากเราใช้ Data Bus เป็นส่วนที่นำข้อมูลเข้าบันทึกและ นำข้อมูลออกมาควบคุม (Control Select) ดังนั้นจึงต้องใช้ Tristate Bufffer ควบคุมการนำข้อมูลเข้าในส่วนขาเข้า (Output) ของ ADC และนำข้อมูลออกในส่วนของขาเข้า (Input) ของส่วนควบคุมช่องสัญญาณ โดยใช้การกำหนดพอร์ต (port) ซึ่งส่วนต่าง ที่กล่าวมานี้แสดงดังรูปที่ 3.3.1 รูปบล็อกไดอะแกรม (Block Diagram) ของวงจรส่วนนำสัญญาณเข้า

ในส่วนของโครงงานจะใช้ ADC 0809 ซึ่งเป็นตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอลโดยใช้การอินทีเกรต ซึ่ง ADC 0809 สามารถรับสัญญาณอินพุทได้ 5 Vdc สำหรับวงจร Clock ที่ป้อนให้กับ ADC 0809 นั้นได้มาจาก Crystal ซึ่งผลิตความถี่ได้ประมาณ 4 MHz ต่อตามวงจรท้ายบท แต่เนื่องจากตามข้อกำหนดของ ADC 0809 จะต้องใช้วงจรหาร3 เพื่อที่จะให้ได้ความถี่ 500Hz ตามข้อกำหนด โดยใช้ D Flip-Flop ต่อกัน 3 ตัว แต่สัญญาณที่ได้จะมีสัญญาณรบกวนปนเข้ามาจึงต้องเอาสัญญาณที่ได้ มาต่อกับ Invert(74LS04) สัญญาณ Clock ที่ได้จึงจะมีระดับของ Clock ที่เรียบสม่ำเสมอ แล้วจึงนำสัญญาณ Clock ที่ได้ป้อนเข้าที่ขา 10 ของ ADC 0809 ส่วน Vref จะใช้ +5V ต่อที่ขา 12 และ –Vref ที่ขา 16 ต่อลง Ground

ADC 0809 จะทำงานเมื่อ ขา START และ ขา ALE มีสถานะเป็น “1” จากนั้น ADC 0809 จะแปลงสัญญาณ อนาล็อกเป็นดิจิตอล ในช่วงการแปลงจากอนาล็อกเป็นดิจิตอลนี้ EOC ขาที่ 7 จะเปลี่ยนสถานะจาก “1” เป็น “0”และเมื่อแปลงเสร็จสถานะของ EOC ขาที่ 7 ก็จะเปลี่ยนสถานะเป็น “1” อีกครั้ง

3.3.1.2ส่วนของวงจรกำหนดพอร์ต(Decoder Port)

ในส่วนของวงจรส่วนนี้จะทำหน้าที่ในการกำหนดพอร์ต(Decode Port) เพื่อที่จะทำให้เครื่องคอมพิวเตอร์สามารถติดต่อกับอุปกรณ์ภายนอกตามจุดประสงค์ต่างๆ เช่นใช้ในการควบคุมอุปกรณ์ หรือแสดงผลเป็นต้น ข้อสำคัญในการกำหนดหมายเลข PORT ให้กับเครื่องคอมพิวเตอร์จะต้องไม่กำหนด PORT ที่คอมพิวเตอร์ใช้งานอยู่ ซึ่งจะเป็นผลทำให้การทำงานของเครื่องคอมพิวเตอร์ และส่วนของวงจรที่ออกแบบเกิดการผิดพลาด จากการศึกษา SPEC ของเครื่องคอมพิวเตอร์โดยทั่วไป PORT ที่ไม่ได้ใช้จะอยู่ในช่วง 300H ถึง 30FH

โครงงานนี้ใช้การดีโค๊ดแบบ Fixed ซึ่งเป็นวิธีหนึ่งที่ง่ายและสะดวกในการดีโค๊ดแอดเดรสหรือกลุ่มของแอดเดรสของพอร์ด I/O ซึ่งวิธีนี้เป็นการกำหนดจำนวนของแอดเดรสที่เราต้องการใช้จากนั้นจึงทำการเลือกบล็อกของแอดเดรสที่ยังไม่ถูกใช้งาน โดยการ์ดหรือวงจรอินเตอร์เฟสอื่นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(บล็อกของแอดเดรสที่เลือกต้องมีจำนวนแอดเดรสเพียงพอกับจำนวนแอดเดรสที่เราต้องการใช้งาน) แล้วจึงออกแบบวงจรที่ทำการดีโค๊ดแอดเดรสที่เราต้องการซึ่งเป็นไปตามตารางที่ 3.3

ตาราง 3.3

A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	0	0	0	1	0	0	0	0
1	1	0	0	0	1	0	0	0	1
1	1	0	0	0	1	0	0	1	0
1	1	0	0	0	1	0	0	1	1

ซึ่งจะได้ตำแหน่งที่ A9 – A2 เป็นการดีโค้ดแบบ Fixed โดยที่ตำแหน่ง A9 , A8 ,A4 จะถูกนำไปต่อเข้ากับไอซี 74 LS 133 ทำนองเดียวกัน ตำแหน่งที่ A7,A6,A5,A3,A2 จะต้องนำไปต่อเข้ากับไอซี 74 LS 04 ก่อน แล้วจึงนำไปต่อเข้ากับ ไอซีเบอร์ 74 LS 133 เหมือนกับตำแหน่ง A9 , A8 ,A4 เพื่อจะได้สัญญาณระดับ "low" ไปทำให้ขา chip select ของ ไอซี 8255 แอคทีฟ ส่วนขา A1,A0 จะถูกนำไปใช้กับ 8255

8255เป็นไอซีที่ใช้รับส่งข้อมูลแบบขนาน โดยสามารถกำหนดพอร์ทในการรับส่งข้อมูลได้ โดยที่ขา D0-D7 ของ 8255 จะต่อเข้ากับ D0-D7 ของสล็อตในเครื่องคอมพิวเตอร์ เพื่อรับส่งข้อมูลระหว่าง 8255 กับ CPU ขา $\overline{RD}$ ของ 8255 ต่อกับ IOR ของสล็อต IBM/PC เมื่อคอมพิวเตอร์ต้องการอ่านค่าจาก 8255 ก็จะส่ง " 0 "ผ่าน IOR ไปยังขา $\overline{RD}$ 8255 ก็จะส่งข้อมูลจาก 8255 ผ่านทาง D0-D7 ให้แก่ CPU ส่วนขา $\overline{WR}$ ของ 8255ต่อเข้ากับ IOW ของสล็อต IBM/PC เมื่อคอมพิวเตอร์ต้องการเขียนข้อมูลไปที่ 8255 ก็จะส่ง " 0 " ผ่าน IOW ไปยังขา $\overline{WR}$ 8255 ก็จะส่งข้อมูลจาก CPU ผ่านทาง D0-D7 ไปยัง 8255 ขา RESET ของ 8255 ต่อที่ RESET DRV ของสล็อตในเครื่องคอมพิวเตอร์ A0,A1 ของ 8255 ต่อเข้ากับ A0,A1 ของสล็อตในเครื่องคอมพิวเตอร์ตามลำดับ ขา CS ของ 8255 ต่อที่ขา 9 ของ 74 LS 133 PA0 – PA7 ต่อที่ขา D0-D7 $(2^{-1} - 2^{-8})$ ของ ADC 0809 PB0-PB1 และ PB2 ต่อ กับ A,Bและ C ของ ADC 0809 ตามลำดับ เพื่อเลือกช่องสัญญาณเข้า ส่วน PC0 ต่อเข้าที่ start และ ALE PC1 ต่อเข้าที่ OE PC4 ต่อเข้ากับ EOC ในโครงงานนี้เรากำหนดแอดเดรส ในการเลือกใช้รีจิสเตอร์ภายในของ 8255 ดังตาราง3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง3.4 ค่าการกำหนดหมายเลข PORT

A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	Port no.	Port name
1	1	0	0	0	1	0	0	0	0	310	Port A
1	1	0	0	0	1	0	0	0	1	311	Port B
1	1	0	0	0	1	0	0	1	0	312	Port C
1	1	0	0	0	1	0	0	1	1	313	control

การส่งค่า Control word ให้แก่ 8255 ใช้ Address "0313H" และส่ง Data "10011000" หรือค่า "98H" ซึ่งจะทำให้ พอร์ท A เป็น Input, พอร์ท B เป็น Output พอร์ท ,C Upper เป็น Inputและพอร์ท C Lower เป็น Output

การอ่านค่าจากพอร์ท A อ่านจากแอดเดรส 310 H

การอ่านค่าจากพอร์ท B เขียนจากแอดเดรส 311H

การเขียนและอ่านพอร์ท C upper & lower อ่านและเขียนจากแอดเดรส 312H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

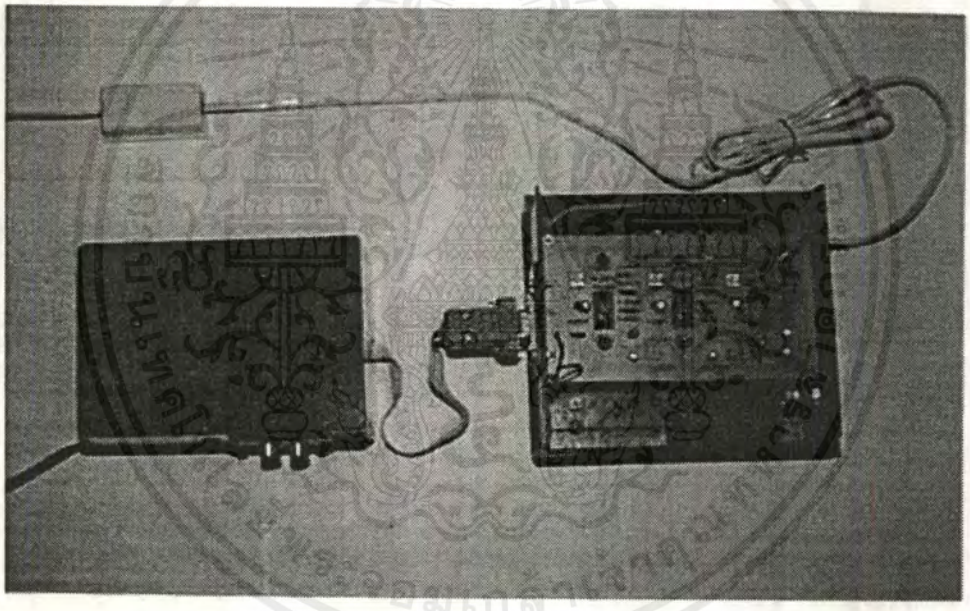
บทที่ 4

การทดลองและผลการทดลอง

ในการทดลองนี้เราจะแบ่งการทดลองออกเป็นภาคๆก่อน โดยจะเริ่มจากภาคส่งภาครับส่วนแสดงผล

4.1 ผลการทดลองของภาคส่ง

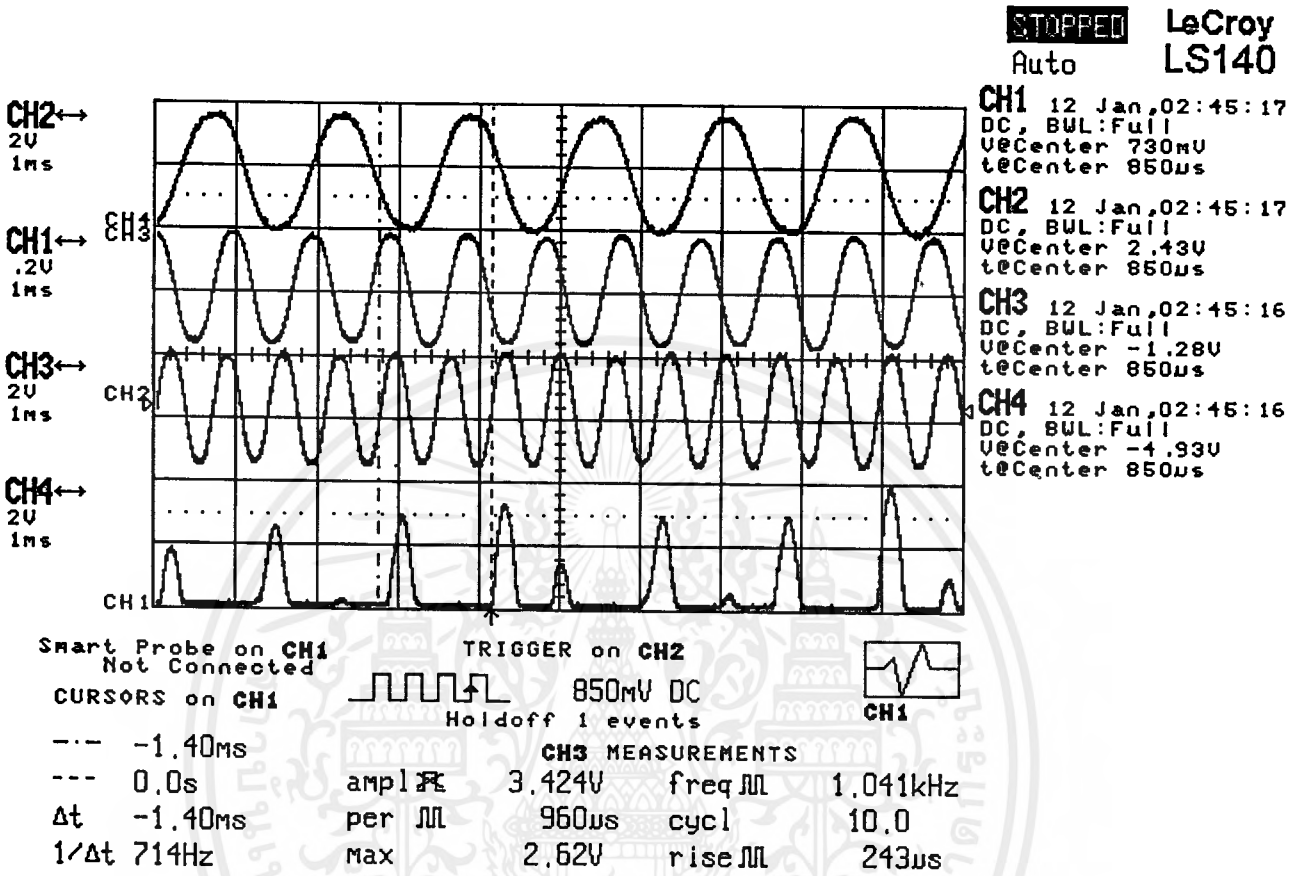
ส่วนของภาคส่งนี้จะประกอบไปด้วยส่วนของวงจรกำเนิดความถี่ หรือ VCO (Voltage Control Oscillators) ส่วน มิกเซอร์ (Mixer),ส่วนอินเตอร์เฟสเข้าสายโทรศัพท์ ดูรูปที่ 4.1.1 เป็นชิ้นงานจริงของภาคส่ง



รูปที่ 4.1.1 รูปชิ้นงานจริงของภาคส่ง

ในส่วนของ VCO จะแยกออกเป็น 3 ส่วนด้วยกันคือ ส่วนแรกจะเป็นวงจรกำเนิดความถี่โดยที่ความถี่กลางคือ 600 Hz ในส่วนที่2 จะเป็นวงจรกำเนิดความถี่โดยที่ความถี่กลาง คือ 1,000 Hz และส่วนที่ 3 จะเป็นวงจรกำเนิดความถี่โดยที่ความถี่กลางคือ 1,400 Hz ดูรูปที่ 4.1.2 จะเห็นว่า ช่อง (Channel) ที่1,2,3 จะเป็นความถี่ที่ได้จากวงจรกำเนิดความถี่ โดยที่ความถี่กลางคือ 600 , 1,000 , 1,400 Hz ตามลำดับส่วนของ ช่องที่4 จะเป็นผลจากการที่นำสัญญาณทั้ง 3 ช่องมารวมกันหรือมิกเซอร์(Mixer)

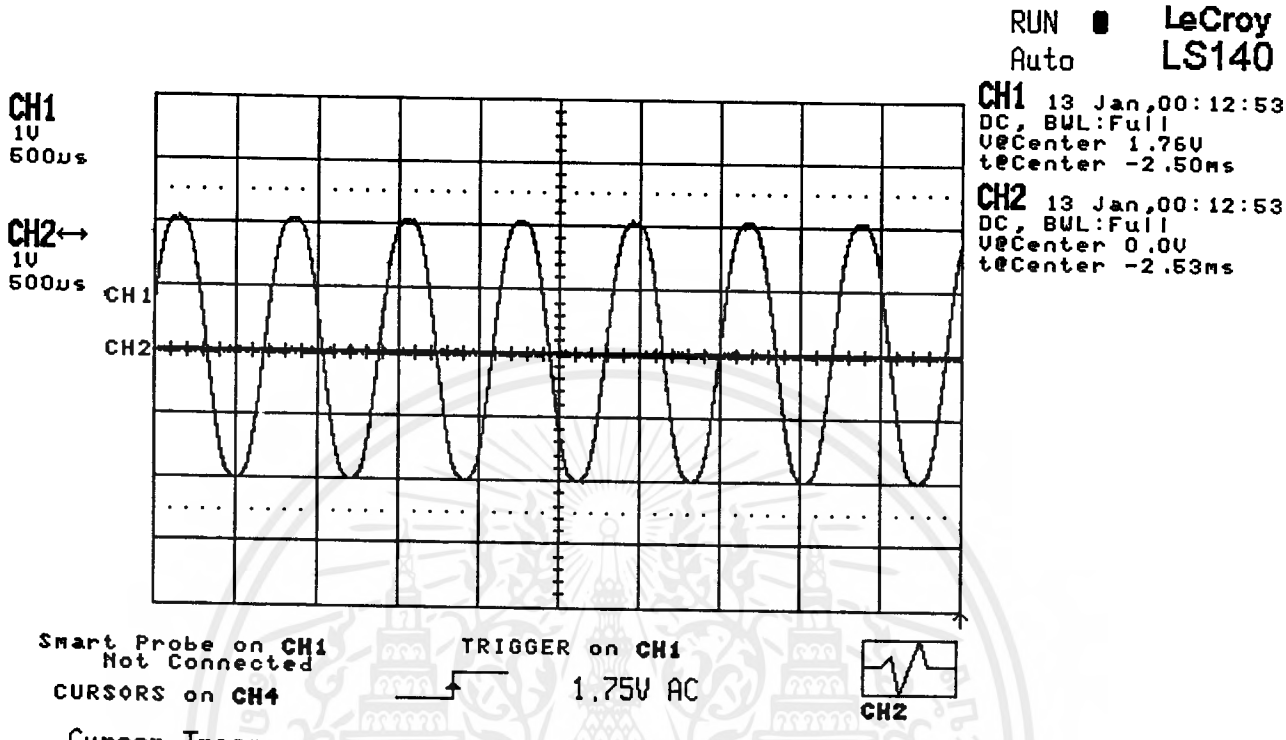
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.1.2 ผลจากการวัดสัญญาณที่ได้ของภาคส่ง

ในการทดลองเราจะลองทดลองป้อนระดับแรงดันเข้าไปที่ส่วนของ VCO (Voltage Control Oscillators) เพื่อสังเกตุการเปลี่ยนแปลงที่เกิดขึ้นเป็นอย่างไร โดยที่ระดับของแรงดันที่ป้อนนี้จะต้องมีค่าระหว่าง ± 2 V ดังรูปที่ 4.1.3 จะเห็นว่าจากที่เราป้อนระดับของแรงดันที่ 0 V จะเห็นว่าความถี่ที่ VCO ผลิตออกมานั้นจะเท่ากับความถี่กลางประมาณ 1,400 Hz

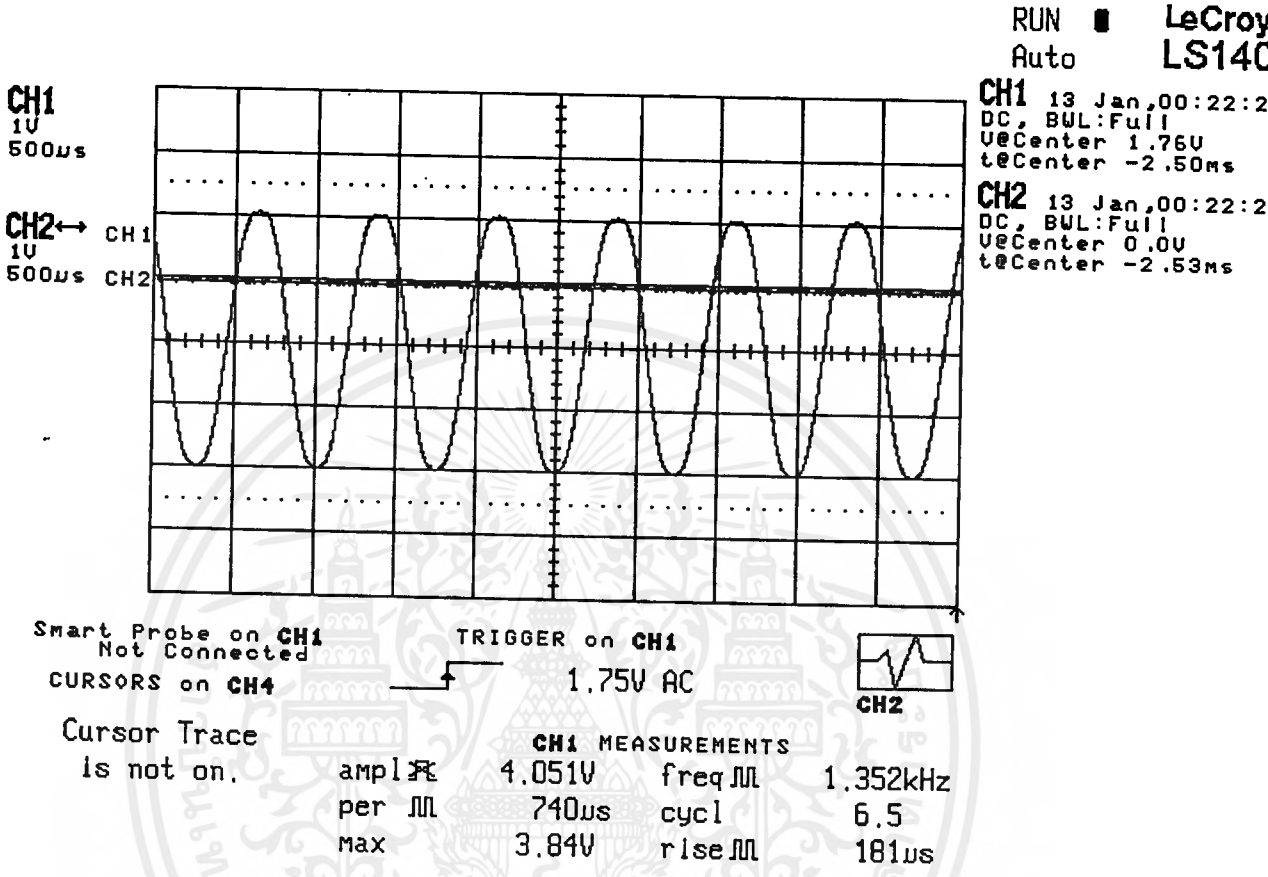
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1.3 ผลจากการป้อนระดับแรงดันที่ 0 V

แต่เมื่อเราทำการปรับระดับแรงดันขึ้นไปเรื่อยๆ โดยประมาณที่ 1 V เราจะเห็นการเปลี่ยนแปลงของความถี่ได้ชัดเจน โดยความถี่นั้นจะเริ่มลดลงโดยวัดได้ประมาณ 1,352 Hz ดังรูปที่ 4.1.4 โดยที่ ช่องที่ 1จะวัดความถี่ของ VCO ส่วนในช่องที่2 นั้นจะวัดระดับของแรงดันที่ป้อน เพื่อให้เห็นความแตกต่างที่เกิดขึ้นว่าเมื่อระดับของแรงดันที่ป้อนนั้นเปลี่ยนก็จะทำให้ความถี่เปลี่ยนแปลงตาม

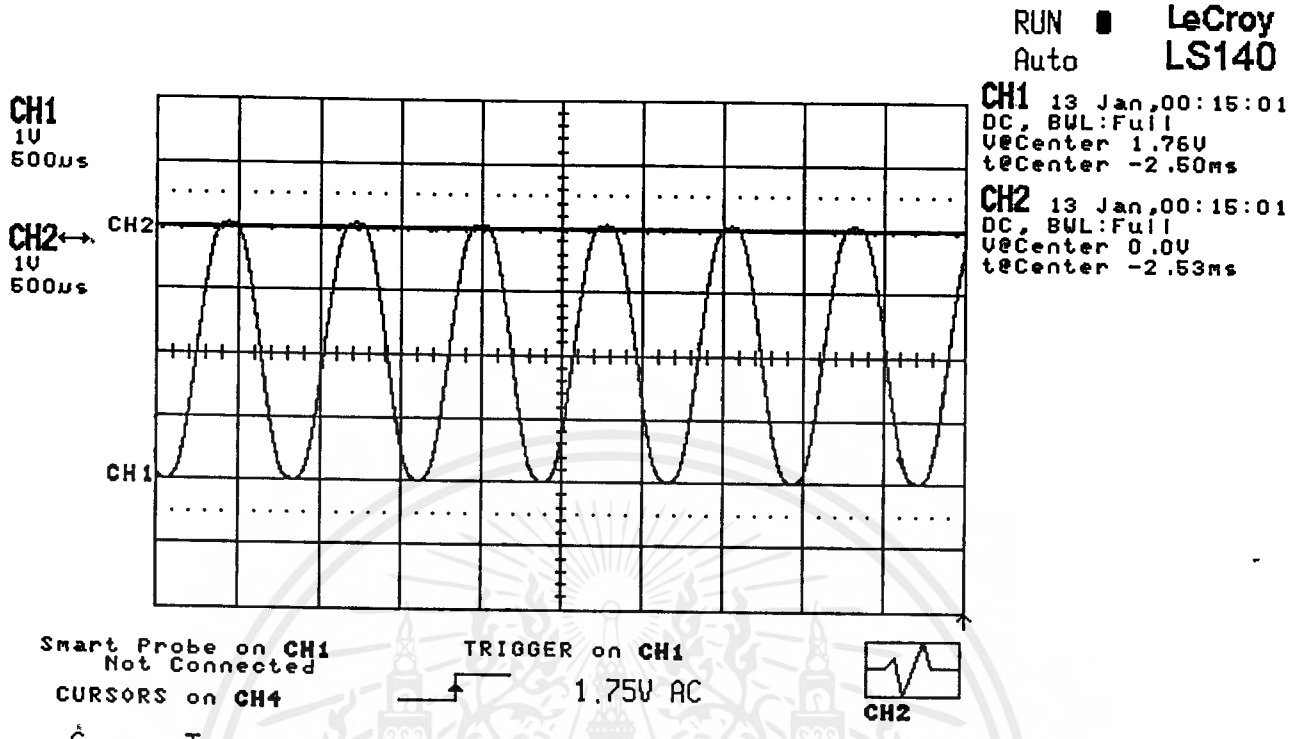
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1.4ผลจากการป้อนระดับแรงดันที่ 1V

ถ้าเราทำการปรับระดับของแรงดันจนถึง 2 V เราก็จะเห็นว่าความถี่นั้นลดลงไปอีก คือวัดได้ประมาณ 1,290 Hz ดูรูปที่ 4.1.6ซึ่งจะเห็นว่าการเปลี่ยนแปลงความถี่นั้นจะใกล้เคียงกับทฤษฎีที่คำนวณมากโดยในการคำนวนค่าความถี่จะเปลี่ยนแปลง ± 125 Hz ซึ่งสามารถใช้ได้ทั้งไฟลบด้วย โดยที่ระดับแรงดันเป็นลบ ความถี่จะมีการเปลี่ยนแปลงเหมือนกับป้อนไฟบวกแต่ความถี่จะตรงข้ามกันคือความถี่จะเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1.6ผลจากการป้อนระดับแรงดันที่ 2 V

ซึ่งเราสามารถสรุปผลออกมาเป็นตารางๆ ได้ดังนี้คือ

ที่ความถี่กลาง 600 Hz

ตารางที่ 4.1 เป็นการเปรียบเทียบระหว่างแรงดันกับความถี่ที่ 600 Hz

Vin	ความถี่ (Hz)
0	600
0.5	571
1.0	540
1.5	509
2	480

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ความถี่กลาง 1.000 KHz

ตารางที่ 4.2 เป็นการเปรียบเทียบระหว่างแรงดันกับความถี่ที่ 1.000 KHz

Vin	ความถี่ (KHz)
0	1.020
0.5	1.993
1.0	1.970
1.5	1.957
2	1.903

ที่ความถี่กลาง 1.400 KHz

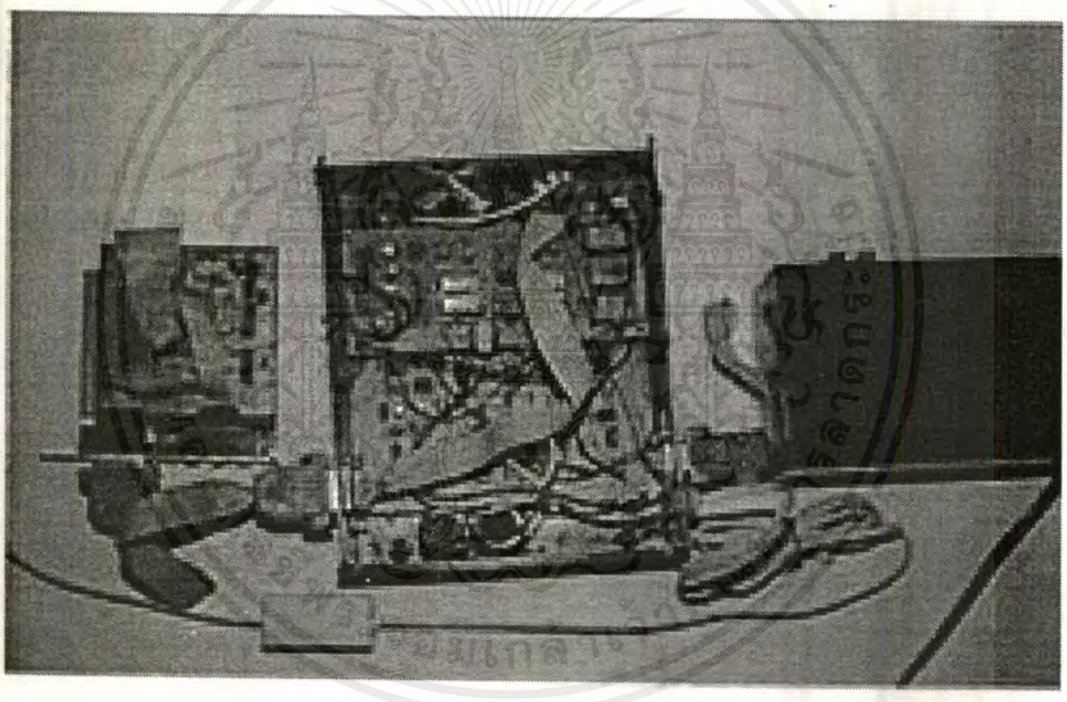
ตารางที่ 4.3 เป็นการเปรียบเทียบระหว่างแรงดันกับความถี่ที่ 1.400KHz

Vin	ความถี่ (KHz)
0	1.403
0.5	1.370
1.0	1.339
1.5	1.306
2	1.275

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ผลการทดลองของภาครับ

ซึ่งในส่วนของภาครับนี้จะประกอบไปด้วยส่วนของ AGC (Automatic Gain Control) แบนด์พาสฟิลเตอร์(Band Pass Filter), Smith Tigger, วงจรเปลี่ยนความถี่เป็นแรงดัน (Frequency to Voltage Converter) วงจรปรับศูนย์(Offset Amp) ดูรูปที่ 4.2.1 เป็นชิ้นงานจริงของภาคส่งและส่วนของการอินเตอร์เฟสเข้าคอมพิวเตอร์โดยสัญญาณที่ส่งมานั้นจะมีลักษณะเหมือนกันกับภาคส่งส่งมา แต่ในความเป็นจริงแล้วสัญญาณเมื่อผ่านสายโทรศัพท์จะเกิดการลดทอนของสัญญาณจะทำให้ระดับของแรงดันเกิดการเปลี่ยนแปลง แต่สัญญาณจะถูกแยกออกจากกันที่วงจรแบนด์พาสฟิลเตอร์ โดยที่แบนด์พาสฟิลเตอร์จะแยกความถี่เฉพาะความถี่ที่ต้องการ

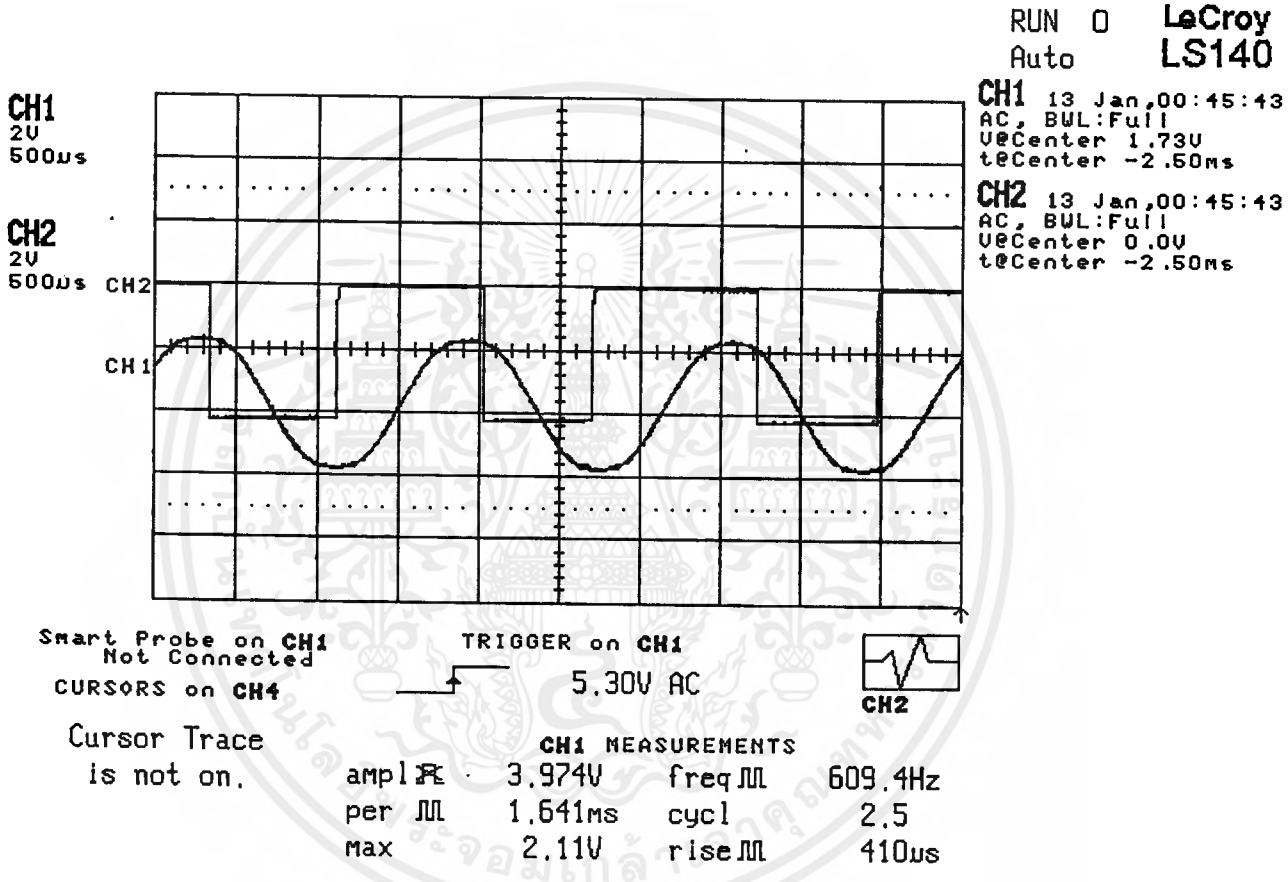


รูปที่ 4.2.1แสดงชิ้นงานจริงของภาครับและส่วนการ์ดอินเตอร์เฟสเข้าคอมพิวเตอร์

เมื่อสัญญาณที่แยกได้ในแต่ละช่องก็จะมาผ่านวงจร Smith Tigger เพื่อทำการปรับระดับแรงดันให้เหมาะสมซึ่งเราจะไม่สนใจขนาดของแรงดัน ดังรูปที่ 4.2.2 จะเป็นรูปที่แสดงสัญญาณที่ผ่านวงจร Smith Tigger แล้วจะเห็นว่าระดับแรงดันที่วัดได้จะไม่ใช่รูป ไซน์แต่จะเป็นลักษณะรูปสี่เหลี่ยมแทนแต่ว่าความถี่ไม่เกิดการเปลี่ยนแปลง เพื่อให้เห็นชัดเจนขึ้นเราจะทำการเปรียบเทียบความถี่ระหว่างภาคส่งกับภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

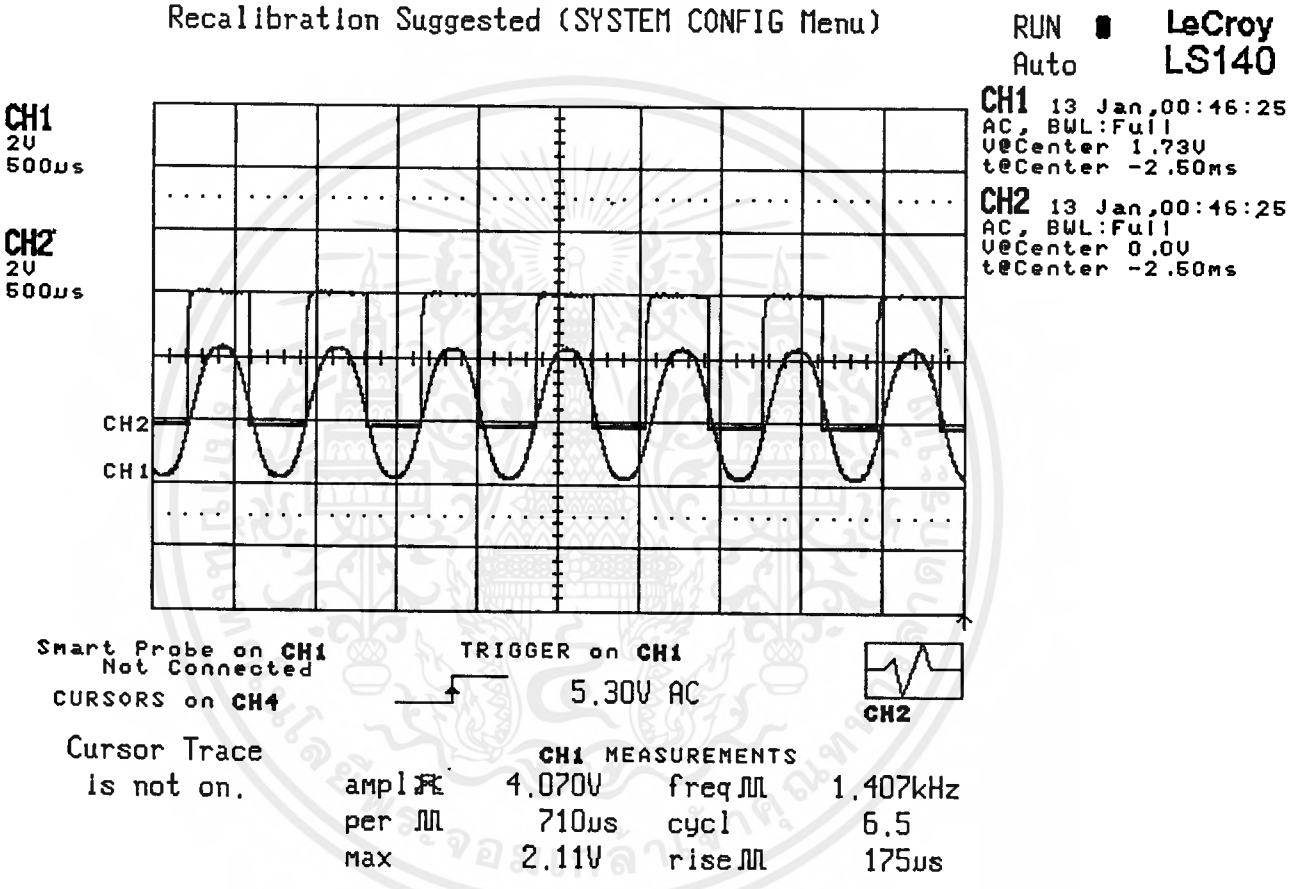
เปรียบเทียบความถี่ระหว่างภาคส่งและภาครับ ที่ 600 Hz



รูปที่ 4.2.2 เปรียบเทียบสัญญาณภาคส่งและภาครับที่ 600 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปรียบเทียบความถี่ระหว่างภาคส่งและภาครับ ที่ 1,400 Hz



รูปที่ 4.2.3 การเปรียบเทียบสัญญาณภาคส่งและรับที่ 1,400 Hz

เมื่อสัญญาณผ่าน Smith Tigger แล้วก็จะเข้าสู่วงจรแปลงความถี่เป็นระดับแรงดัน (Frequency to Voltage Converter) ซึ่งจะทำงานตรงกันข้ามกับ VCO ซึ่งวงจรนี้จะทำการแปลงข้อมูลกลับมา

ซึ่งสัญญาณที่ได้จากวงจรแปลงความถี่เป็นแรงดันอาจจะมีความถี่สูงเข้ามากวนเราจึงต้องมีวงจรกรองความถี่ต่ำผ่าน(Low Pass Filter) ซึ่งสัญญาณที่ผ่านได้ประมาณ 10 Hz ซึ่งจะเห็นได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นความถี่ที่ต่ำมาก แต่ในความเป็นจริงแล้วสัญญาณที่ส่งเข้ามาจากภาคส่งจะไม่เท่ากับภาครับเนื่องจากความผิดพลาดของค่าความต้านทาน , ค่าตัวเก็บประจุ ฯลฯ เราจึงต้องมีวงจรปรับศูนย์ไว้สำหรับปรับระดับของแรงดันของภาคส่งและรับให้สัมพันธ์กัน

4.3 ส่วนแสดงผล

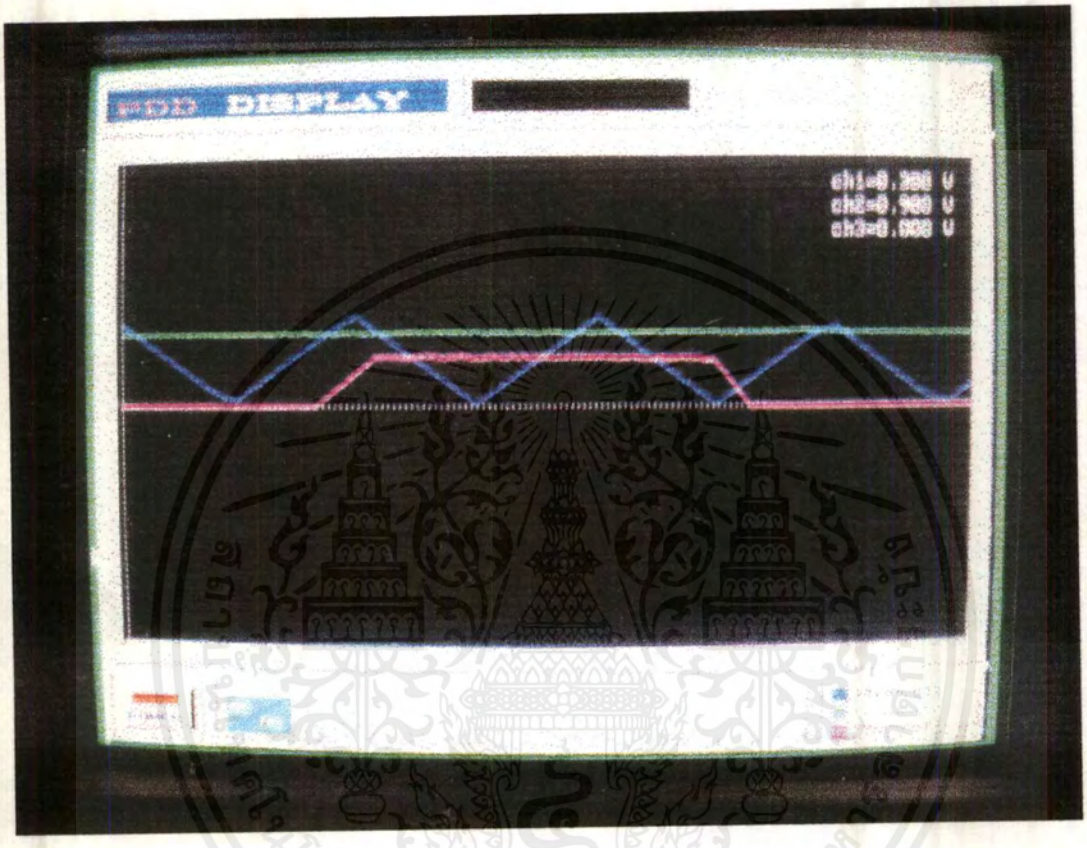
ในการทดลองนี้เราจะทำการทดลองส่งสัญญาณ1ช่องก่อนแล้วทำการวัดผลระหว่างแรงดันที่ส่งมาของอินพุทและแรงดันที่ปลายทางว่าแตกต่างกันเท่าไร โดยที่เราจะทำการทดลองส่งระดับแรงดันเข้ามาที่ภาคส่งแล้วผ่านตู้ชุมสายย่อยมาที่ปลายทางผ่านมายังเครื่องรับ โดยที่เราสามารถสรุปเป็นตารางได้ดังตารางที่ 4.4

ตารางที่ 4.4 ผลการเปรียบเทียบระหว่าง อินพุทและเอาร์พุท

Input (V)	Output (monitor) (V)
0	0
0.2	0.2
0.4	0.4
0.6	0.6
0.8	0.82
1.0	0.98
1.2	1.21
1.4	1.38
1.6	1.62
1.8	1.80
2.0	1.98

ซึ่งในการทดลองส่งนี้จะเห็นว่าแรงดันระหว่างอินพุทและเอาร์พุทนั้นมีค่าใกล้เคียงกันมาก หลังจากนั้นเราจึงทดลองส่งพร้อมกันทีเดียวทั้ง 3 ช่องเลย เพื่อจะได้เห็นความแตกต่างที่เกิดขึ้นเราจึงจำลองส่งสัญญาณที่ตรวจวัดได้ เป็นระดับแรงดันที่สามารถปรับระดับได้ และสัญญาณนาฬิกา ซึ่งผลการทดลองสามารถดูได้จากรูป 4.3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3.1 ผลการทดลองที่จอมอนิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่5

บทสรุปและวิจารณ์

ในการส่งสัญญาณ FDM ผ่านช่องสัญญาณโทรศัพท์ของโครงงานชิ้นนี้เป็นการจำลองระบบการส่งวิทยุแบบ FM คือแทนที่จะทำการส่งช่องสัญญาณแผ่ออกอากาศก็ทำการส่งผ่านสายโทรศัพท์ และลดความถี่พาห์(Carrier)ลงเพื่อที่จะให้อยู่ในช่วงแถบความถี่(Band width) ของช่องสัญญาณโทรศัพท์ เมื่อมีการลดความถี่พาห์ลง สัญญาณข้อมูลหรือข่าวสารก็จำเป็นต้องลดลงเป็นเงาตามตัว แต่เนื่องจากจุดประสงค์ของโครงงานชิ้นนี้เป็นการส่งสัญญาณที่ได้จากการตรวจวัด ซึ่งจะมีลักษณะของรูปสัญญาณที่มีการเปลี่ยนสิ่งที่ต้องการตรวจวัดให้อยู่ในรูปของระดับแรงดันทางไฟฟ้าที่มีความถี่ต่ำมาก .จึงสามารถที่จะนำสัญญาณตรวจวัดที่ได้มามอดูเลท(Modulate)กับความถี่พาห์ที่ต้องมีความถี่สูงกว่าความถี่ของสัญญาณข่าวสารได้ ในส่วนวงจร VCO ของโครงงานชิ้นนี้เปรียบเสมือนเครื่องส่งในแต่ละสถานี ทำหน้าที่ผลิตความถี่พาห์ค่าหนึ่ง ซึ่งค่าความถี่จะมีการเปลี่ยนแปลงตามขนาดของสัญญาณข้อมูล ด้วยเหตุผลนี้เราจึงจำเป็นต้องกำหนดขนาดของสัญญาณข้อมูลสัญญาณตรวจวัดให้มีขนาดที่เหมาะสมเพื่อที่จะให้ มีการใช้ความถี่ได้มากที่สุด และไม่รบกวนกับช่องข้างเคียง

ในส่วนของโครงงานชุดนี้สามารถที่จะส่งสัญญาณที่ได้จากการตรวจวัดไปตามคู่สายโทรศัพท์และแปลงสัญญาณที่ได้จากภาครับให้อยู่ในรูปสัญญาณดิจิตอลแสดงผลระดับของสัญญาณทางจอมอนิเตอร์เครื่องคอมพิวเตอร์ได้ เพื่อที่จะให้ข่าวสารที่ได้มีประโยชน์ต่อการใช้งานมากที่สุดสัญญาณตรวจวัดที่ได้จากส่วนของโครงงานสามารถที่จะนำไปวิเคราะห์และบันทึกผลขึ้นอยู่กับลักษณะการจัดการกับข้อมูลและการเขียนโปรแกรม ซึ่งในส่วนนี้สามารถนำไปพัฒนาและปรับปรุงให้เหมาะสมกับการใช้งานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

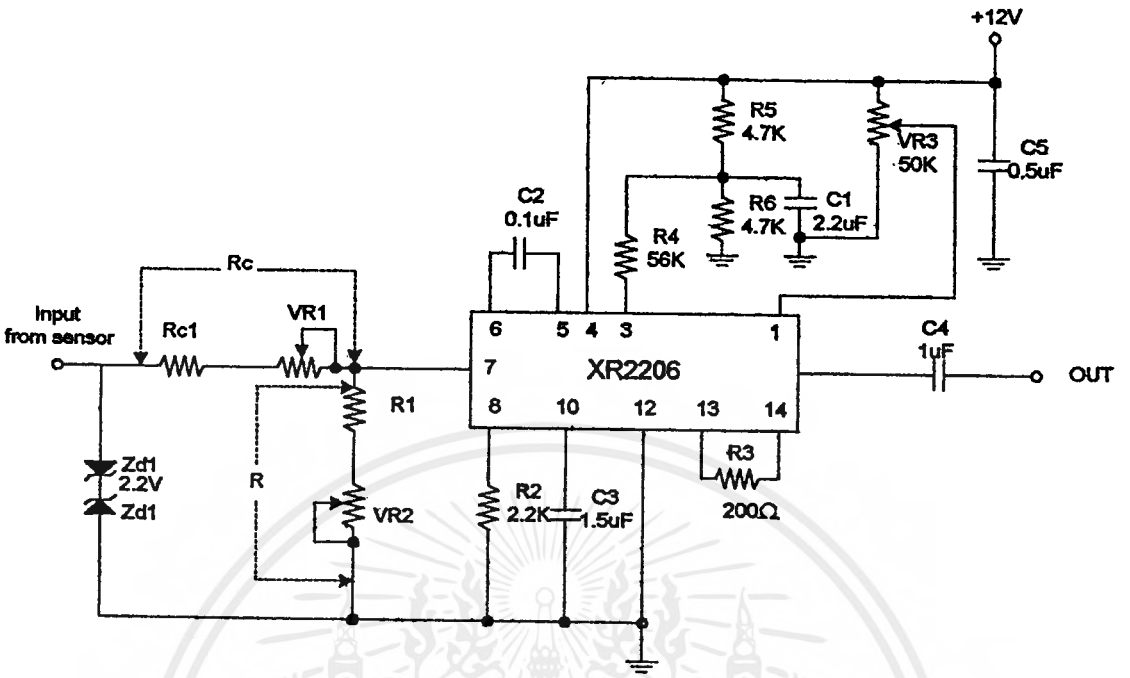
บรรณานุกรม

1. C.S. Johnson : " Telemetry Data System –part 1 : Frequency Division Multiplexing , " Instrumentation Tecnology, P.39,Aug. 1976
2. C.S. Johnson : " Telemetry Data System –part 2 : Time Division Multiplexing , " Instrumentation Tecnology, P.47,Oct. 1976
3. R.A Penfold : " Audio Compressor , " Practical Electronics , P.669,Aug. 1973
4. P. Garrett.: Analog I/O Design , pp.99 and 102 , Reston, Virginia : Prentice Hall (Reston Publishing Co), 1981
5. Gayakwad , Ramakant A. , Op-Amps and Linear Integrated circuit , Prentice – Hall,1988
6. ประดิษฐ วัชรพิบูลย์ , เครื่องส่งวิทยุและโทรทัศน์ , ภาคเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

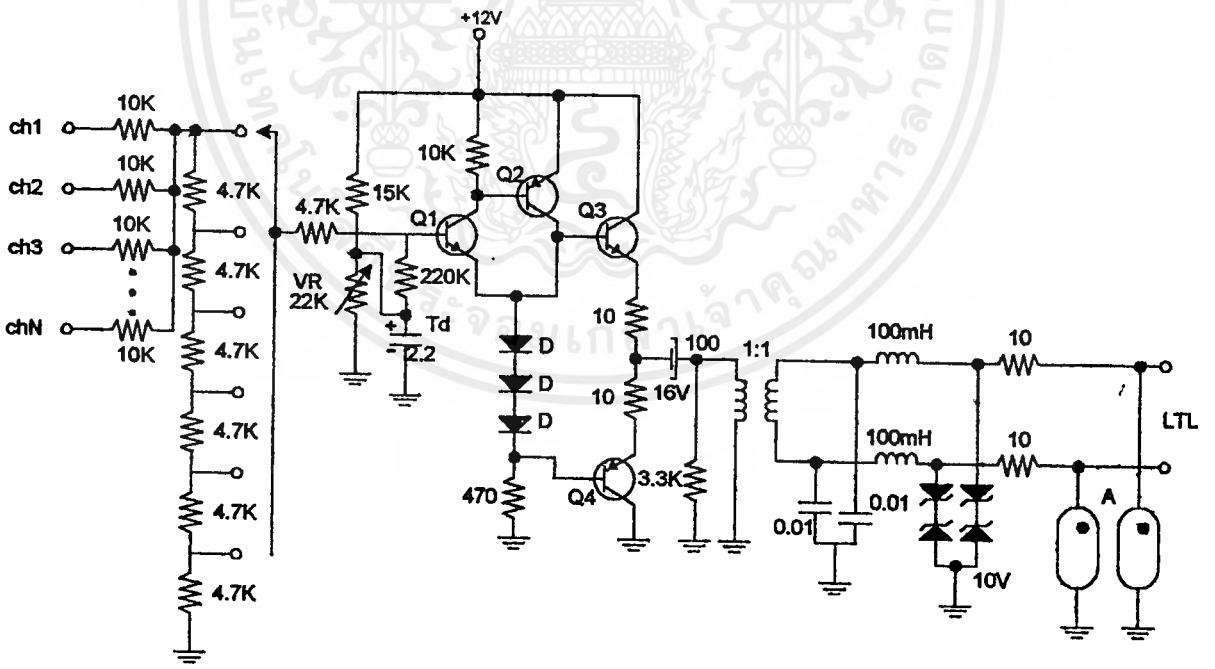
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

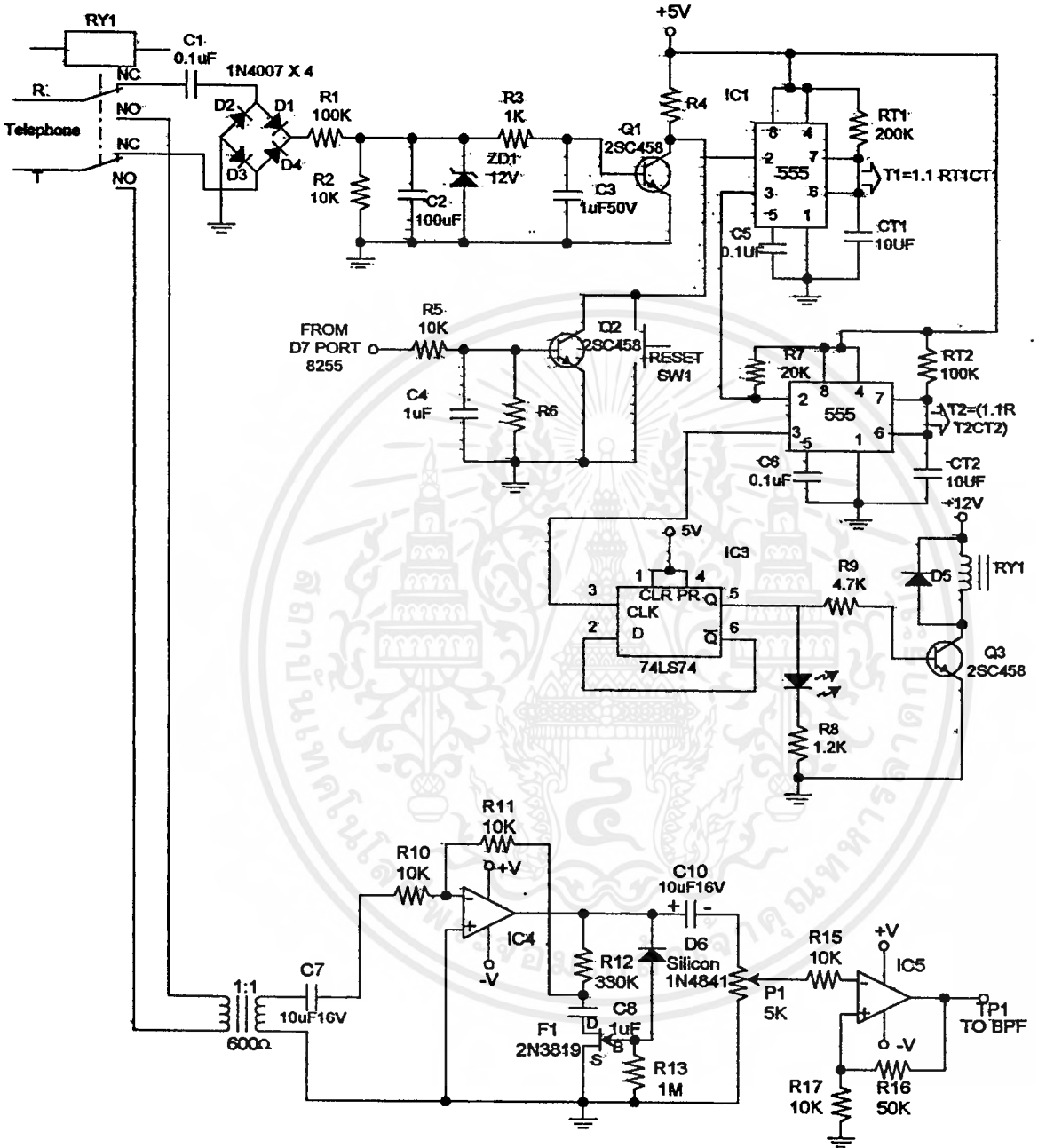


รูปที่ 1 วงจร VCO (1 วงจร ต่อ 1 ช่องสัญญาณ)



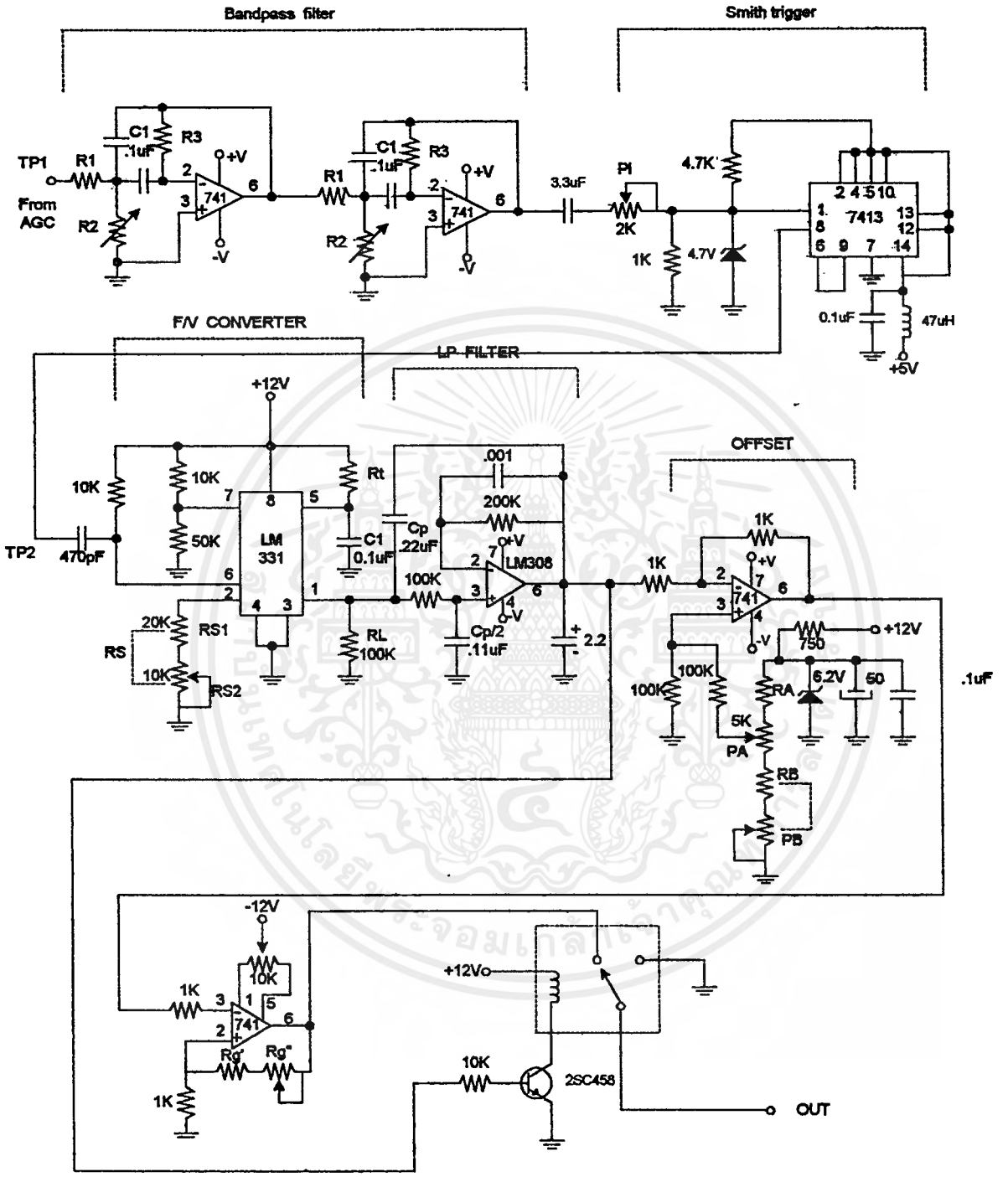
รูปที่ 2 Transmitter's mixing and interface circuit: all resisters are in ohms, and all capacitors are in μF: D: 1N4148: Q_1: BC108, Q_2: BC178, Q_3: BC140, Q_4: BC160, A:JOSLYN type 2022-12.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



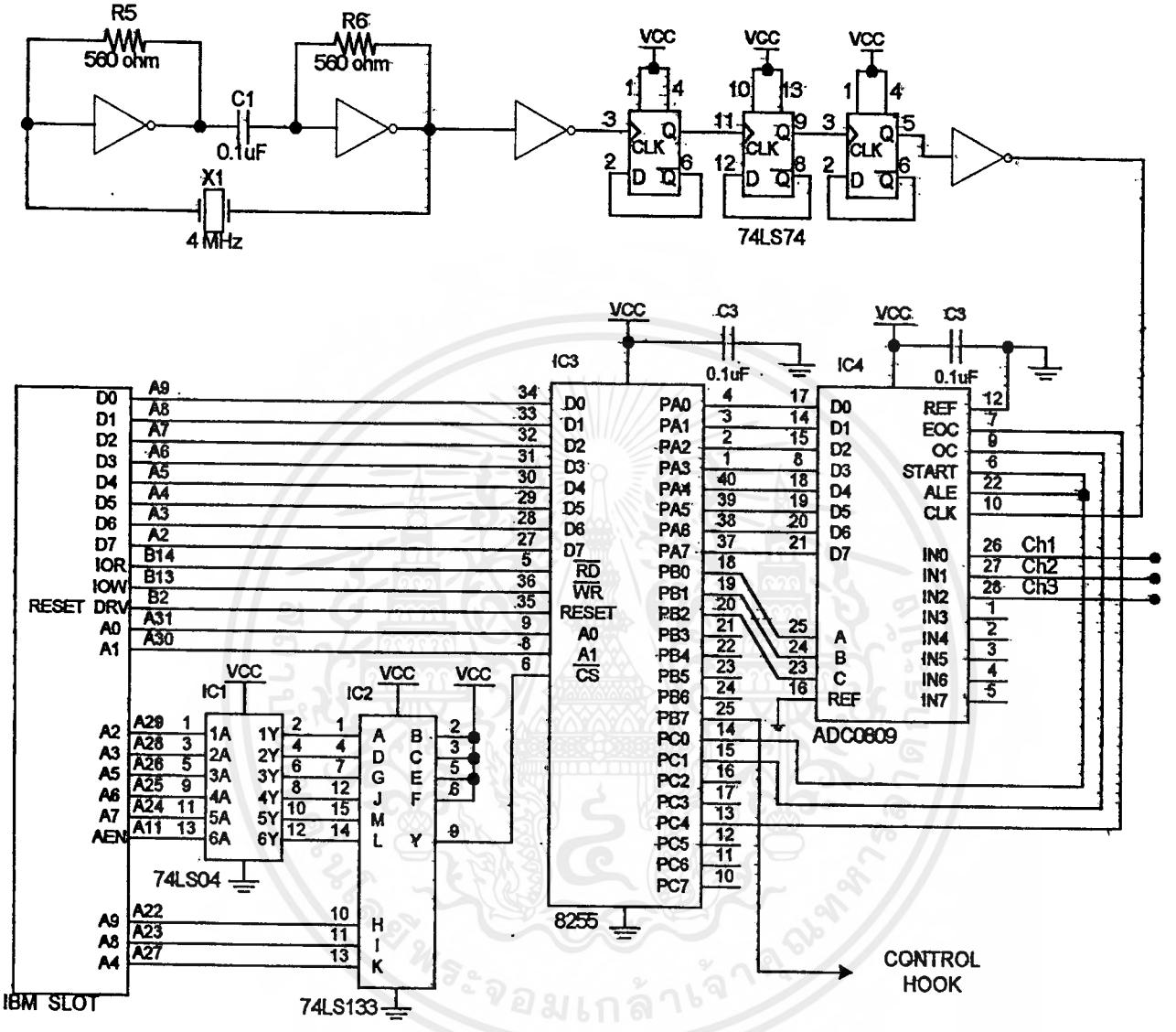
รูปที่ 3 วงจรตรวจสัญญาณกริ่งและAGC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



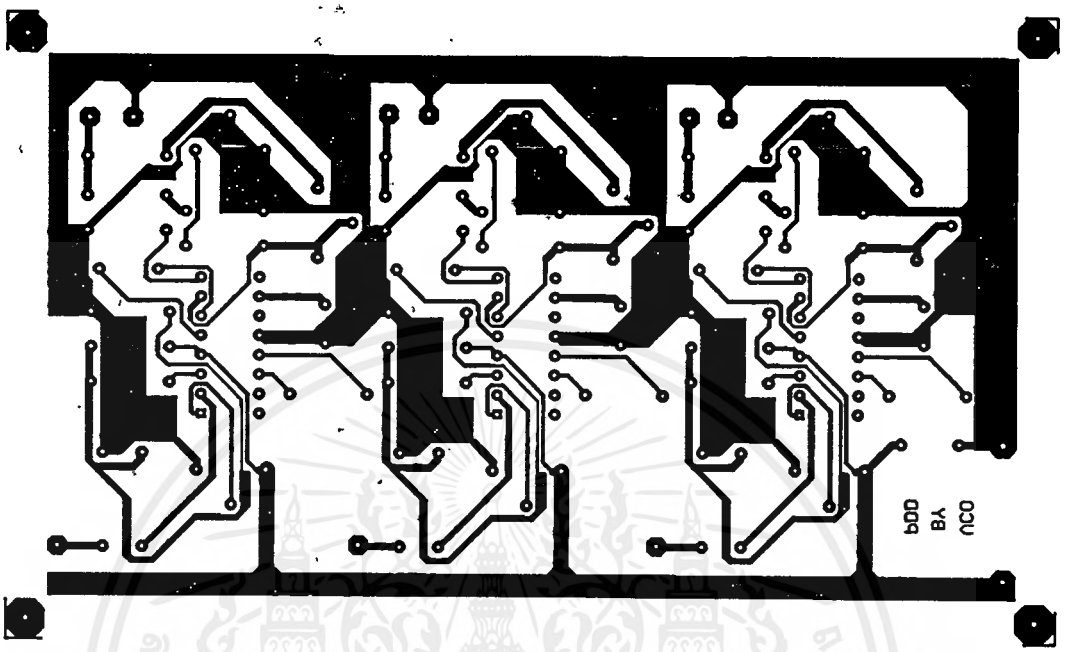
รูปที่ 4 วงจรส่วนแยกช่องสัญญาณภาครับ(1 ช่องวงจร ต่อ 1ช่องสัญญาณ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

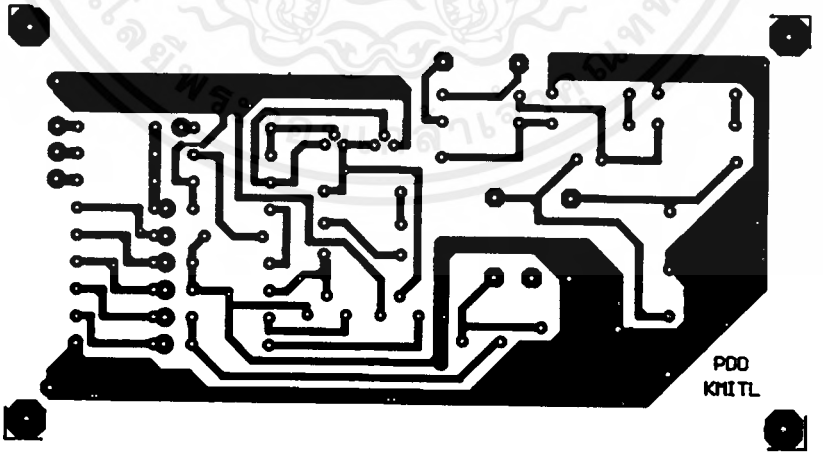


รูปที่ 5 วงจร Interface และ Decode port computer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

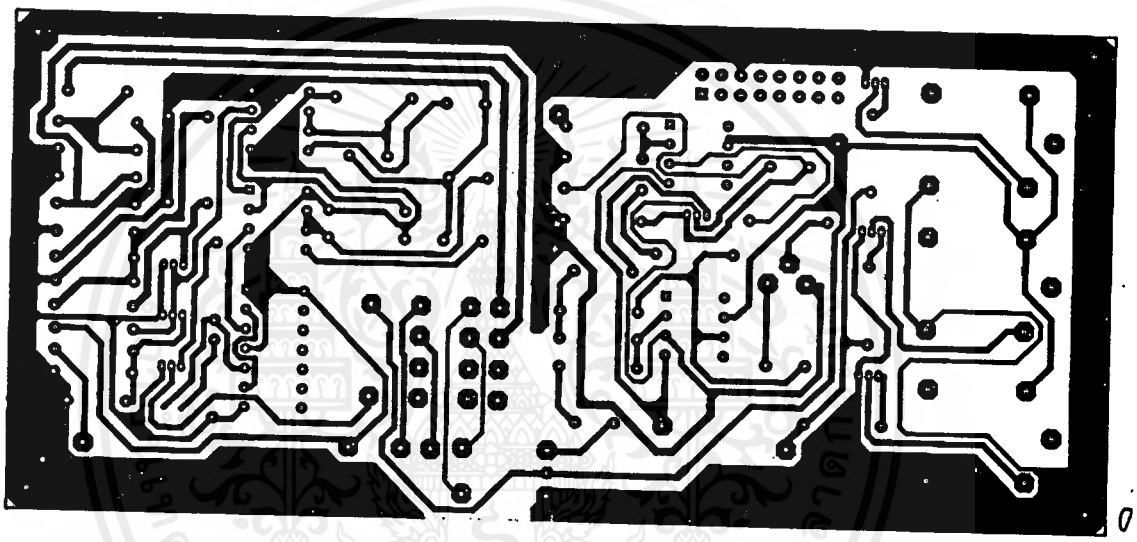


แผ่นปลิ๊นวงจร VCO(Voltage Control Oscillators)



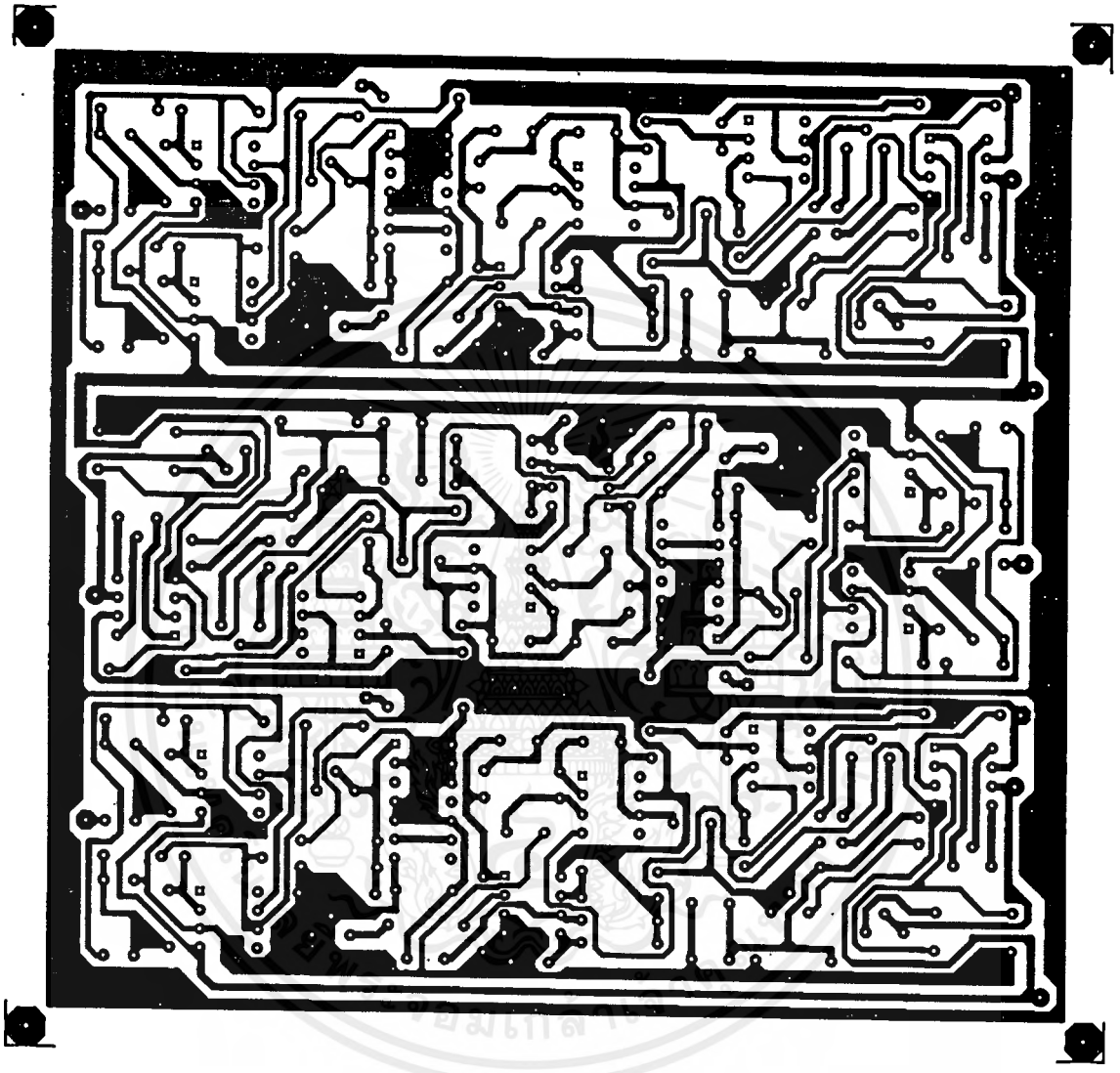
แผ่นปลิ๊นวงจรมิกเซอร์และอินเตอร์เฟสเข้าสายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



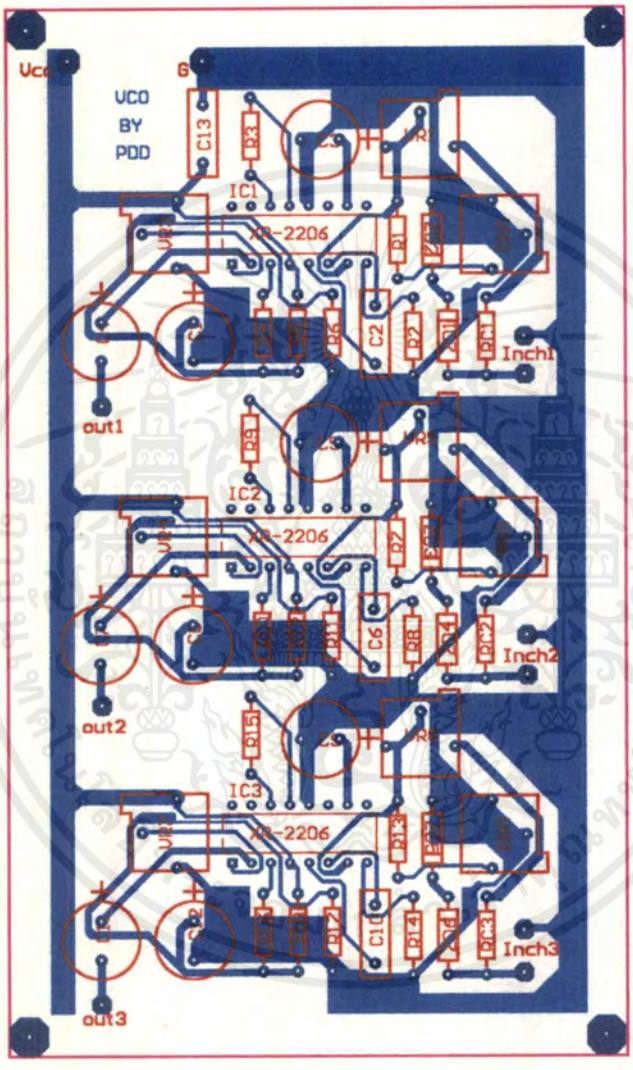
แผ่นปลิ้นวงจร AGC และ Check Ringing Singnal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



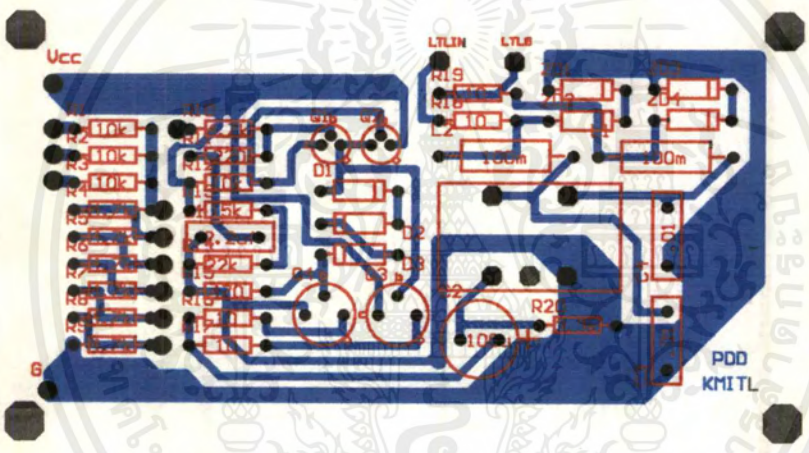
แผ่นปลิ้นวงจรภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



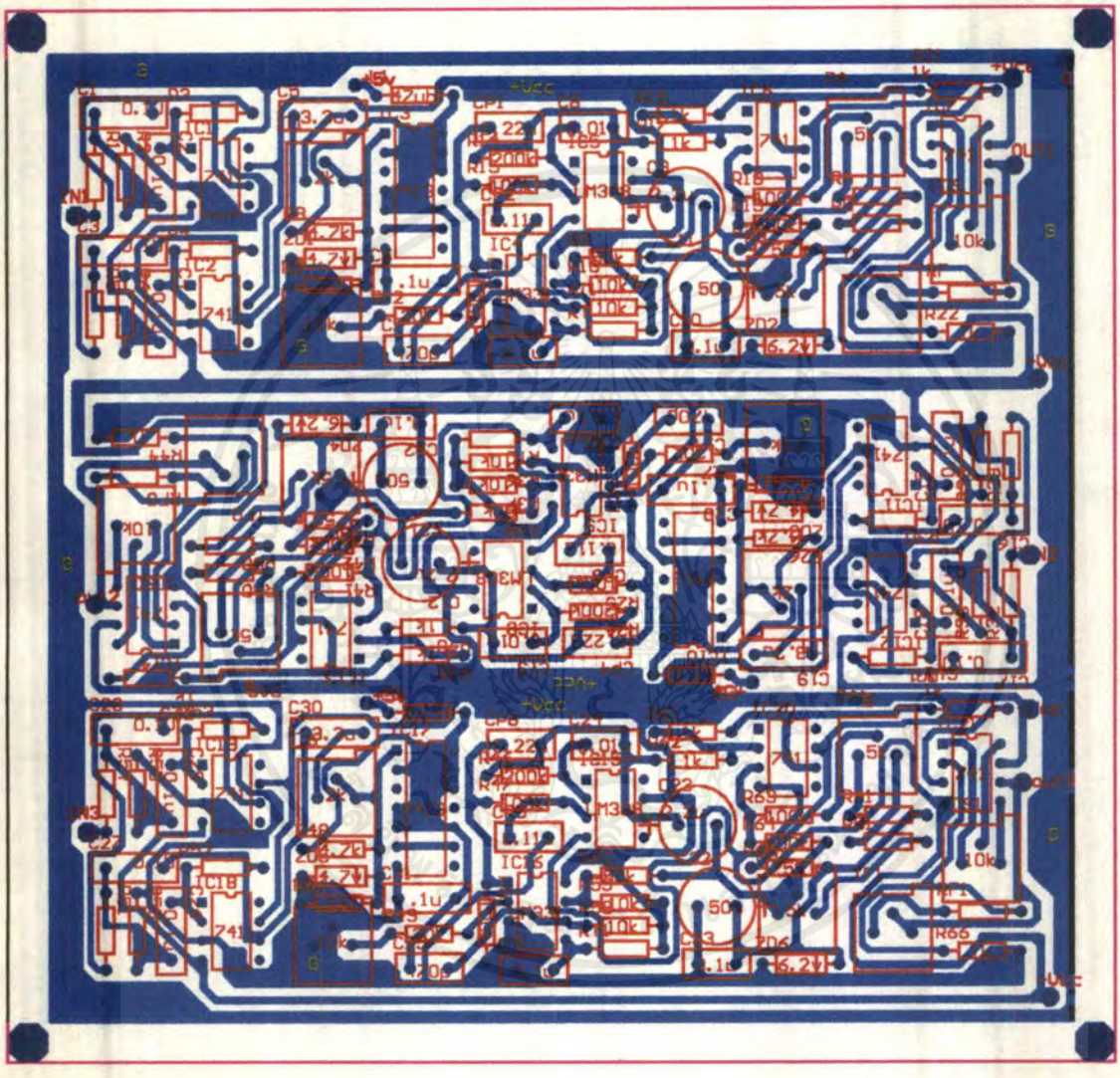
รายลงแผ่นวงจรพิมพ์ภาคVCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



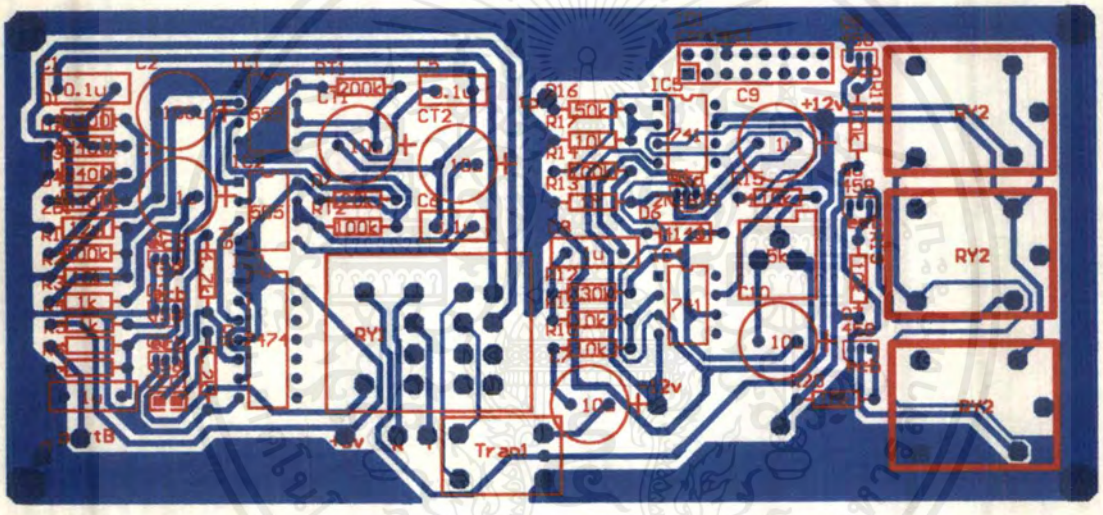
รายลงแผ่นวงจรพิมพ์ภาค Mixer และ Interface LTL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รายลงแผ่นวงจรพิมพ์ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รายลงแผ่นวงจรพิมพ์ภาค AGC และ Check Ringing Singnal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
#include<stdio.h>
#include<conio.h>
#include<dos.h>
#include<graphics.h>
#include<math.h>

#define portA 0x310
#define portB 0x311
#define portC 0x312
#define control 0x313
#define QtoV 0.021
#define xmin 26
#define xmax 613
#define ymin 72
#define ymax 404

/*Close*/
#define cxmin 600
#define cxmax 626
#define cymin 12
#define cymax 28
/*Power*/
#define pxmin 20
#define pxmax 70
#define pymin 436
#define pymax 465
/*ch1*/
#define ch1xmin 514
#define ch1xmax 526
#define ch1ymin 432
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
#define ch1ymax 444
/*ch2*/
#define ch2xmin 514
#define ch2xmax 526
#define ch2ymin 445
#define ch2ymax 457
/*ch3*/
#define ch3xmin 514
#define ch3xmax 526
#define ch3ymin 458
#define ch3ymax 471

/*Troggle*/
#define txmin 94
#define txmax 140
#define tymin 438
#define tymax 466

void *view_data;
int OLDy,chan=10;
int x_mouse,y_mouse,button;

void init_graphics(void);
int get_key(void);
void init_mouse(void);
void show_mouse(void);
void hide_mouse(void);
void click_mouse(int *x,int *y,int *button);
void move_mouse(int x,int y);
void save_screen(int x1,int y1,int x2,int y2);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void rec_3d(int x1,int y1,int x2,int y2,int d,int ctop,int cbuttom);
void rec_button(int x1,int y1,int x2,int y2,int ctop,int cbuttom);
int main_menu(int *code,int x1,int y1,int x2,int y2,int n,char *str1,...);
int scan_code();
void display(void);
read_port(int Q[3]);/*Q[1]=ch1,Q[2]=ch2,Q[0]=ch3*/
ch_display();
run();


main()
{
 int i,menu_code,key,x,y,dy;
 init_graphics();
 init_mouse();
 outp(control,0x98);/*Control Word 98H
A=Input,B=Output,Cupper=Input,Clower=Output*/
 while(1)
 {
 setfillstyle(LTBKSLASH_FILL,BLUE);
 bar(0,0,639,479);
 main_menu(&menu_code,150,50,460,400,3,"MAIN MENU","STRAT","EXIT");
 switch(menu_code)
        {
         case 1:
                hide_mouse();
                clearviewport();
                sound(1000);
                delay(2000);
                nosound();
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                run();
        case 2:
                exit(0);
        }
 }
}
/*-------Function for use---------*/
        void init_graphics(void)
        {
         int gdriver=DETECT,gmode,errorcode;
         initgraph(&gdriver,&gmode,"");
                errorcode=graphresult();
         if(errorcode!=grOk)
           {
            printf("\nGraphics have error: %s",grapherrormsg(errorcode));
            getch();
           }
        }
        /*-------------*/
        int get_key(void)
        {
         union REGS r;
         r.h.ah=0x0c;
         int86(0x21,&r,&r);
         return inportb(0x60)&0xff;
        }

        /*-------------*/
        void init_mouse(void)
        {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 union REGS r;
 r.x.ax=0;
 int86(0x33,&r,&r);
 if(r.x.ax==0)
 {
  outtextxy(250,200,"Mouse dose not initialze !:");
  getch();
  exit(1);
 }
}
/*--------------*/
void show_mouse(void)
{
 union REGS r;
 r.x.ax=1;
 int86(0x33,&r,&r);
}
/*--------------*/
void hide_mouse(void)
{
union REGS r;
 r.x.ax=2;
 int86(0x33,&r,&r);
}
/*--------------*/
void click_mouse(int *x,int *y,int *button)
{
 _AX=3;
 geninterrupt(0x33);
 switch(_BX)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 {
  case 1:/*left*/
            *button=1;
            break;
  case 2:/*right*/
            *button=2;
            break;
  case 3:/*left & right*/
            *button=3;
            break;
  }
  *x=_CX;
  *y=_DX;
 }
 /*------------*/
 void move_mouse(int x,int y)
 {
  union REGS r;
  r.x.ax=4;
  r.x.cx=x;
  r.x.dx=y;
  int86(0x33,&r,&r);}

 void save_screen(int x1,int y1,int x2,int y2)
 {
  view_data=(void *)malloc(imagesize(x1,y1,x2,y2));
  getimage(x1,y1,x2,y2,view_data);

 }
 /*-------------*/
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void rec_3d(int x1,int y1,int x2,int y2,int d,int ctop,int cbuttom)
{
 int pol[12];
 /*Top zone*/
 pol[0]=x1;pol[1]=y1;pol[2]=x2;pol[3]=y1;pol[4]=x2+d;pol[5]=y1-d;
 pol[6]=x1-d;pol[7]=y1-d;pol[8]=x1-d;pol[9]=y2+d;pol[10]=x1;pol[11]=y2;
 setcolor(ctop);
 setfillstyle(SOLID_FILL,ctop);
 fillpoly(6,pol);
 /*Buttom zone*/
 pol[0]=x1;pol[1]=y2;pol[2]=x2;pol[3]=y2;pol[4]=x2;pol[5]=y1;pol[6]=x2+d;
 pol[7]=y1-d;pol[8]=x2+d;pol[9]=y2+d;pol[10]=x1-d;pol[11]=y2+d;
 setcolor(cbuttom);
 setfillstyle(SOLID_FILL,cbuttom);
 fillpoly(6,pol);
}
/*----------------*/
void rec_button(int x1,int y1,int x2,int y2,int ctop,int cbuttom)
{
 setcolor(ctop);
 moveto(x1,y2);
 lineto(x1,y1);
 lineto(x2,y1);
 setcolor(cbuttom);
 lineto(x2,y2);
 lineto(x1,y2);
}
/*----------------*/
int main_menu(int *code,int x1,int y1,int x2,int y2,int n,char *str1,...)
{
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 char *pt;
 int key=0,dif,y,dy,yy1,yy2,count;
 int y_code;
 dy=(y2-y1)/n;
 pt=str1;

 setfillstyle(SOLID_FILL,LIGHTGRAY);
 bar(x1,y1,x2,y2);
 setcolor(WHITE);
 moveto(x1,y2);
 lineto(x1,y1);
 lineto(x2,y1);
 setcolor(DARKGRAY);
 lineto(x2,y2);
 lineto(x1,y2);
 /*color text of menu*/
 setcolor(MAGENTA);
 settextjustify(CENTER_TEXT,CENTER_TEXT);

outtextxy(x1+(x2-x1)/2,y1+(dy/2),pt);

y=y1;
for(count=1;count<n;count++)
{
 y=y+dy;
 dif=2;
 setcolor(BLACK);
 moveto(x1,y-dif);
 lineto(x2-1,y-dif);
 moveto(x1,y-dif);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    lineto(x1,y-1);

    setcolor(WHITE);
    moveto(x1,y);
    lineto(x2-1,y);

    yy1=y+6;
    yy2=(y+dy)-8;
    rec_3d(x1+5,yy1,x2-5,yy2,2,WHITE,DARKGRAY);

    pt=pt+strlen(pt)+1;
    setcolor(LIGHTBLUE);
    settextjustify(CENTER_TEXT,CENTER_TEXT);
    setusercharsize(3,5,2,5);
    settextstyle(1,HORIZ_DIR,USER_CHAR_SIZE);
    outtextxy(x1+(x2-x1)/2,yy1+(yy2-yy1)/2,pt);

}
 /*Run bar*/
 show_mouse();
 pt=str1+strlen(str1)+1;
 y=y1+dy;
 while(1)
  {
    yy1=y+6;
    yy2=(y+dy)-8;
    hide_mouse();
    setfillstyle(SOLID_FILL,GREEN);
    bar(x1+5,yy1,x2-5,yy2);
    outtextxy(x1+(x2-x1)/2,yy1+(yy2-yy1)/2,pt);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
show_mouse();
key=scan_code(x1,y1,x2,y2,n,&y_code);

hide_mouse();
setfillstyle(SOLID_FILL,LIGHTGRAY);
bar(x1+5,yy1,x2-5,yy2);
outtextxy(x1+(x2-x1)/2,yy1+(yy2-yy1)/2,pt);
show_mouse();
switch(key)
        {
        case 1:
                exit(0);
        case 2:
                if(y>(y2-(2*dy)))
                 {
                  y=y1;
                  pt=str1;
                 }
                y=y+dy;
                pt=pt+strlen(pt)+1;
                break;
       case 3:
                if(y<(y1+2*dy))
                  {
                   y=y2;
                   for(count=1;count<n;count++)
                         pt=pt+strlen(pt)+1;
                  }
                y=y-dy;
                pt=pt-2;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                while(*pt!='\0')
                {
                 pt--;
                }
                pt=pt+1;
                break;
        case 4:
                rec_3d(x1+5,yy1,x2-5,yy2,2,DARKGRAY,WHITE);
                *code=((y-y1)/dy);
                delay(2000);
                return;
        case 5:
                y=y1+(y_code*dy);
                OLDy=y_code;
                pt=str1+strlen(str1)+1;
                for(count=1;count<y_code;count++)
                pt=pt+strlen(pt)+1;
                break;
        }
    delay(1200);
    }
}
/*--------------*/
  int scan_code(int x1,int y1,int x2,int y2,int n,int *NEWy)
  {
  int key,count;
  int x_mouse,y_mouse,button,dy,yy;
  void *pad;
  dy=(y2-y1)/n;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
while(1)
  {
       key=get_key();
        switch(key)
        {
         case 0x01:/*Esc*/
                  return 1;
         case 0x50:/*Down*/
                  return 2;
         case 0x48:/*Up*/
                  return 3;
         case 0x1c:/*Enter*/

                  return 4;

        }

       click_mouse(&x_mouse,&y_mouse,&button);
       if(x_mouse>x1&&x_mouse<x2)
       for(count=1;count<n;count++)
         if(y_mouse>y1+(count*dy)&&y_mouse<y1+((count+1)*dy))
           {
                *NEWy=count;
                if(button==1)
                  return 4;
                 if(OLDy!=count)
                   return 5;
           }
  }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        }
/*----------------*/
void display(void)
{
 int i;
 setfillstyle(SOLID_FILL,GREEN);
 bar(0,0,639,479);
 /**TOP**/
 setfillstyle(SOLID_FILL,LIGHTGRAY);
 bar(10,10,629,50);
 rec_3d(10,10,629,50,3,WHITE,BLACK);

 setfillstyle(SOLID_FILL,BLUE);
 bar(15,18,250,42);
 rec_3d(15,18,250,42,1,BLACK,WHITE);
 setcolor(MAGENTA);
 setusercharsize(4,4,2,5);
 settextjustify(LEFT_TEXT,CENTER_TEXT);
 settextstyle(1,HORIZ_DIR,USER_CHAR_SIZE);
 outtextxy(20,(18+42)/2,"PDD ");
 setcolor(YELLOW);
 outtextxy(100,(18+42)/2,"DISPLAY ");

 rec_button(260,12,420,48,BLACK,WHITE);
 rec_button(262,14,418,46,WHITE,BLACK);
 setfillstyle(SOLID_FILL,BLACK);
 bar(266,18,414,42);
 rec_button(266,18,414,42,BLACK,WHITE);

 rec_button(600,12,626,28,BLACK,WHITE);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
rec_button(602,14,624,26,WHITE,BLACK);
line(602,14,624,26);
line(602,26,624,14);

/**BODY**/
setfillstyle(SOLID_FILL,LIGHTGRAY);
bar(10,56,629,420);
rec_3d(10,56,629,420,3,WHITE,BLACK);
setfillstyle(SOLID_FILL,BLACK);
bar(25,71,614,405);/*screen to use*/
rec_3d(25,71,614,405,2,BLACK,WHITE);

/**CONTROL**/
setfillstyle(SOLID_FILL,LIGHTGRAY);
bar(10,426,629,475);
rec_3d(10,426,629,475,3,WHITE,BLACK);

rec_button(12,428,80,473,BLACK,WHITE);
rec_button(14,430,78,471,WHITE,BLACK);
rec_3d(20,436,70,465,2,WHITE,BLACK); /*Power*/
setfillstyle(SOLID_FILL,RED);
bar(28,440,62,450);
rec_button(28,440,62,450,BLACK,WHITE);
setcolor(BLUE);
settextjustify(LEFT_TEXT,CENTER_TEXT);
settextstyle(DEFAULT_FONT,HORIZ_DIR,1);
outtextxy(24,(436+465)/2+8,"POWER");
rec_button(88,428,500,473,BLACK,WHITE);
rec_button(90,430,498,471,WHITE,BLACK);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
setfillstyle(SOLID_FILL,CYAN);
bar(94,438,140,466);
rec_button(94,438,140,466,WHITE,BLACK);
line(94,466,140,438);
setcolor(BROWN);
outtextxy(98,448,"AC");
outtextxy(120,458,"DC");

rec_button(508,428,627,473,BLACK,WHITE);
rec_button(510,430,625,471,WHITE,BLACK);
setfillstyle(SOLID_FILL,BLUE);
bar(514,432,526,444);
rec_button(514,432,526,444,WHITE,BLACK);
setcolor(BLUE);
outtextxy(534,438,"Channal1");
setfillstyle(SOLID_FILL,GREEN);
bar(514,445,526,457);
rec_button(514,445,526,457,WHITE,BLACK);
setcolor(GREEN);
outtextxy(534,451,"Channal2");
setfillstyle(SOLID_FILL,MAGENTA);
bar(514,458,526,471);
rec_button(514,458,526,471,WHITE,BLACK);
setcolor(MAGENTA);
outtextxy(534,464,"Channal3");

/*Scal*/
for(i=xmin;i<xmax;i=i+4)
  {
   putpixel(i,(ymin+ymax)/2,WHITE);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    }
 for(i=ymin;i<ymax;i=i+4)
    {
     putpixel(xmin+1,i,WHITE);
    }

}
/*-------------------------*/
read_port(int Q[3])
{
 int ch,i,save=0,pad;
 for(ch=0;ch<3;ch++)
    {
          outp(portB,ch);
          outp(portC,1);
          outp(portC,2);
          Q[ch]=inp(portA);
          delay(2);
    }
 }
/*-----------------*/
 ch_display()
 {
  int Q[3],i,x,y,dy;
  float V[3];
   y=(ymin+ymax)/2;
   x=xmin;
   do{
     read_port(Q);
     dy=y-Q[chan];
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    putpixel(x,dy,LIGHTBLUE);
    x++;
    V[chan]=QtoV*Q[chan];
    gotoxy(65,6);
    printf("ch%d=%-5.3f V",chan,V[chan]);
    delay(50);
   if(x>xmax)
        {
        x=xmin;
        delay(100);
        setfillstyle(SOLID_FILL,BLACK);
        bar(xmin,ymin,xmax,ymax);
        for(i=xmin;i<xmax;i=i+4)
          putpixel(i,(ymin+ymax)/2,WHITE);
        for(i=ymin;i<ymax;i=i+4)
          putpixel(xmin+1,i,WHITE);
        }
  click_mouse(&x_mouse,&y_mouse,&button);
  if(x_mouse>txmin&&x_mouse<txmax&&y_mouse>tymin&&y_mouse
<tymax&&button==1)
    {
        chan=10;
        return;
    }
  }while(get_key()!=0x01);
}
run()
{
display();
show_mouse();
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 do{

    click_mouse(&x_mouse,&y_mouse,&button);
    if(x_mouse>ch1xmin&&x_mouse<ch1xmax&&y_mouse>ch1ymin&&y_mouse
<ch1ymax&&button==1)
        {
        hide_mouse();
        setfillstyle(SOLID_FILL,LIGHTBLUE);
        bar(514,432,526,444);
        rec_button(514,432,526,444,BLACK,WHITE);
        setcolor(BLUE);
        outtextxy(534,438,"Channal1");
        show_mouse();
        chan=1;
        }
    if(x_mouse>ch2xmin&&x_mouse<ch2xmax&&y_mouse>ch2ymin&&y_mouse
<ch2ymax&&button==1)
        {
        hide_mouse();
        setfillstyle(SOLID_FILL,LIGHTGREEN);
        bar(514,445,526,457);
        rec_button(514,445,526,457,BLACK,WHITE);
        setcolor(GREEN);
        outtextxy(534,451,"Channal2");
        show_mouse();
        chan=2;
        }
    if(x_mouse>ch3xmin&&x_mouse<ch3xmax&&y_mouse>ch3ymin&&y_mouse
<ch3ymax&&button==1)
        {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        hide_mouse();
        setfillstyle(SOLID_FILL,LIGHTMAGENTA);
        bar(514,458,526,471);
        rec_button(514,458,526,471,BLACK,WHITE);
        setcolor(LIGHTMAGENTA);
        outtextxy(534,464,"Channal3");
        show_mouse();
        chan=0;
        }
    if(chan!=10)
        {
        button=10;
        ch_display();
        }
  }while(get_key()!=0x01);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM131A/LM131, LM231A/LM231, LM331A/LM331 Precision Voltage-to-Frequency Converters

General Description

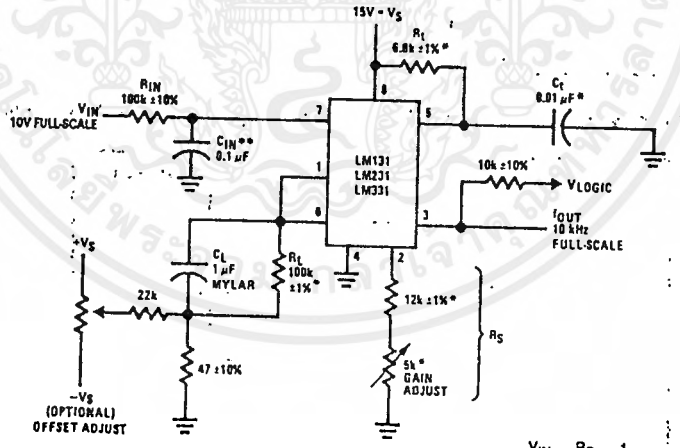
The LM131/LM231/LM331 family of voltage-to-frequency converters are ideally suited for use in simple low-cost circuits for analog-to-digital conversion, precision frequency-to-voltage conversion, long-term integration, linear frequency modulation or demodulation, and many other functions. The output when used as a voltage-to-frequency converter is a pulse train at a frequency precisely proportional to the applied input voltage. Thus, it provides all the inherent advantages of the voltage-to-frequency conversion techniques, and is easy to apply in all standard voltage-to-frequency converter applications. Further, the LM131A/LM231A/LM331A attains a new high level of accuracy versus temperature which could only be attained with expensive voltage-to-frequency modules. Additionally the LM131 is ideally suited for use in digital systems at low power supply voltages and can provide low-cost analog-to-digital conversion in microprocessor-controlled systems. And, the frequency from a battery powered voltage-to-frequency converter can be easily channeled through a simple photoisolator to provide isolation against high common mode levels.

The LM131/LM231/LM331 utilizes a new temperature-compensated band-gap reference circuit, to provide excellent accuracy over the full operating temperature range, at power supplies as low as 4.0V. The precision timer circuit has low bias currents without degrading the quick response necessary for 100 kHz voltage-to-frequency conversion. And the output is capable of driving 3 TTL loads, or a high voltage output up to 40V, yet is short-circuit-proof against V_{CC}.

Features

- Guaranteed linearity 0.01% max
- Improved performance in existing voltage-to-frequency conversion applications
- Split or single supply operation
- Operates on single 5V supply
- Pulse output compatible with all logic forms
- Excellent temperature stability, ±50 ppm/°C max
- Low power dissipation, 15 mW typical at 5V
- Wide dynamic range, 100 dB min at 10 kHz full scale frequency
- Wide range of full scale frequency, 1 Hz to 100 kHz
- Low cost

Typical Applications



*Use stable components with low temperature coefficients. See Typical Applications section.
**0.1μF or 1μF, See "Principles of Operation."

FIGURE 1. Simple Stand-Alone Voltage-to-Frequency Converter with ±0.03% Typical Linearity (f = 10 Hz to 11 kHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

	LM131A/LM131	LM231A/LM231	LM331A/LM331
Supply Voltage	40V	40V	40V
Output Short Circuit to Ground	Continuous	Continuous	Continuous
Output Short Circuit to V_{CC}	Continuous	Continuous	Continuous
Input Voltage	$-0.2V$ to $+V_S$	$-0.2V$ to $+V_S$	$-0.2V$ to $+V_S$
	T_{MIN} T_{MAX}	T_{MIN} T_{MAX}	T_{MIN} T_{MAX}
Operating Ambient Temperature Range	$-55°C$ to $+125°C$	$-25°C$ to $+85°C$	$0°C$ to $+70°C$
Power Dissipation (P_D at 25°C) and Thermal Resistance (θ_{jA})			
(H Package) P_D	670 mW		
θ_{jA}	150°C/W		
(N Package) P_D		1.25W	1.25W
θ_{jA}		100°C/W	100°C/W
(M Package) P_D		1.25W	
θ_{JA}		85°C/W	
Lead Temperature (Soldering, 10 sec.)			
Dual-In-Line Package (Plastic)	260°C	260°C	260°C
Metal Can Package (TO-5)	260°C		
ESD Susceptibility (Note 4)			
Metal Can Package (TO-5)	2000V		
Other Packages		500V	500V

Electrical Characteristics $T_A = 25°C$ unless otherwise specified (Note 2)

Parameter	Conditions	Min	Typ	Max	Units
VFC Non-Linearity (Note 3)	$4.5V \le V_S \le 20V$		±0.003	±0.01	% Full-Scale
	$T_{MIN} \le T_A \le T_{MAX}$		±0.006	±0.02	% Full-Scale
VFC Non-Linearity In Circuit of *Figure 1*	$V_S = 15V$, $f = 10$ Hz to 11 kHz		±0.024	±0.14	%Full-Scale
Conversion Accuracy Scale Factor (Gain)	$V_{IN} = -10V$, $R_S = 14$ kΩ				
LM131, LM131A, LM231, LM231A		0.95	1.00	1.05	kHz/V
LM331, LM331A		0.90	1.00	1.10	kHz/V
Temperature Stability of Gain	$T_{MIN} \le T_A \le T_{MAX}$, $4.5V \le V_S \le 20V$				
LM131/LM231/LM331			±30	±150	ppm/°C
LM131A/LM231A/LM331A			±20	±50	ppm/°C
Change of Gain with V_S	$4.5V \le V_S \le 10V$		0.01	0.1	%/V
	$10V \le V_S \le 40V$		0.006	0.06	%/V
Rated Full-Scale Frequency	$V_{IN} = -10V$	10.0			kHz
Gain Stability vs Time (1000 Hrs)	$T_{MIN} \le T_A \le T_{MAX}$		±0.02		% Full-Scale
Overrange (Beyond Full-Scale) Frequency	$V_{IN} = -11V$	10			%
INPUT COMPARATOR					
Offset Voltage					
LM131/LM231/LM331	$T_{MIN} \le T_A \le T_{MAX}$		±3	±10	mV
LM131A/LM231A/LM331A	$T_{MIN} \le T_A \le T_{MAX}$		±4	±14	mV
			±3	±10	mV
Bias Current			−80	−300	nA
Offset Current			±8	±100	nA
Common-Mode Range	$T_{MIN} \le T_A \le T_{MAX}$	−0.2		$V_{CC}-2.0$	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics $T_A = 25°C$ unless otherwise specified (Note 2) (Continued)

Parameter	Conditions	Min	Typ	Max	Units
TIMER					
Timer Threshold Voltage, Pin 5		0.63	0.667	0.70	× V_S
Input Bias Current, Pin 5	V_S = 15V				
All Devices	0V ≤ $V_{PIN\ 5}$ ≤ 9.9V		±10	±100	nA
LM131/LM231/LM331	$V_{PIN\ 5}$ = 10V		200	1000	nA
LM131A/LM231A/LM331A	$V_{PIN\ 5}$ = 10V		200	500	nA
$V_{SAT\ PIN\ 5}$ (Reset)	I = 5 mA		0.22	0.5	V
CURRENT SOURCE (Pin 1)					
Output Current	R_S = 14 kΩ, $V_{PIN\ 1}$ = 0				
LM131, LM131A, LM231, LM231A		126	135	144	μA
LM331, LM331A		116	136	156	μA
Change with Voltage	0V ≤ $V_{PIN\ 1}$ ≤ 10V		0.2	1.0	μA
Current Source OFF Leakage					
LM131, LM131A			0.01	1.0	nA
LM231, LM231A, LM331, LM331A			0.02	10.0	nA
All Devices	$T_A = T_{MAX}$		2.0	50.0	nA
Operating Range of Current (Typical)			(10 to 500)		μA
REFERENCE VOLTAGE (Pin 2)					
LM131, LM131A, LM231, LM231A		1.76	1.89	2.02	V_{DC}
LM331, LM331A		1.70	1.89	2.08	V_{DC}
Stability vs Temperature			±60		ppm/°C
Stability vs Time, 1000 Hours			±0.1		%
LOGIC OUTPUT (Pin 3)					
V_{SAT}	I = 5 mA		0.15	0.50	V
	I = 3.2 mA (2 TTL Loads), $T_{MIN} \le T_A \le T_{MAX}$		0.10	0.40	V
OFF Leakage			±0.05	1.0	μA
SUPPLY CURRENT					
LM131, LM131A, LM231,	V_S = 5V	2.0	3.0	4.0	mA
LM231A	V_S = 40V	2.5	4.0	6.0	mA
LM331, LM331A	V_S = 5V	1.5	3.0	6.0	mA
	V_S = 40V	2.0	4.0	8.0	mA

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

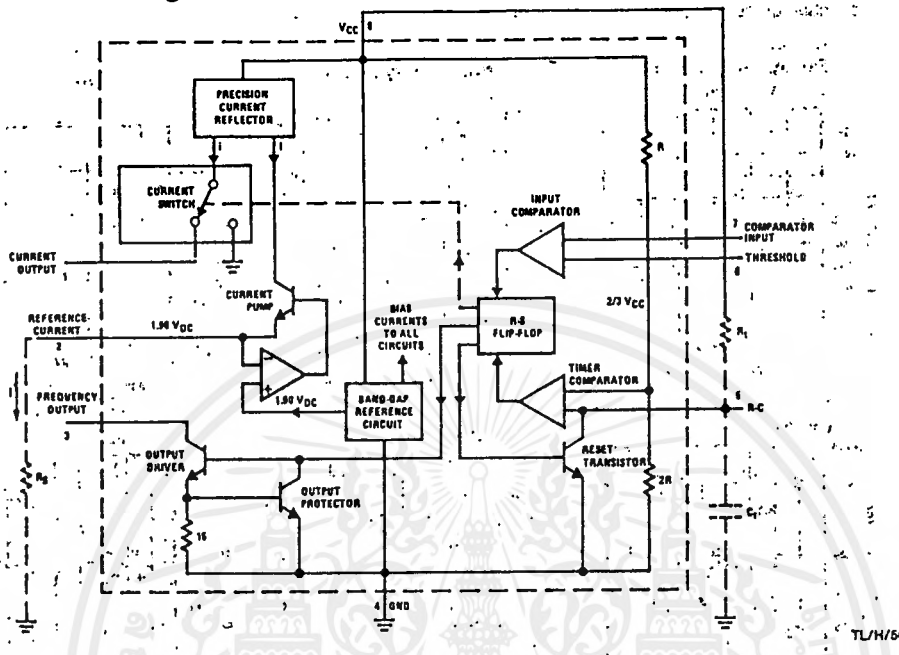
Note 2: All specifications apply in the circuit of *Figure 3*, with 4.0V ≤ V_S ≤ 40V, unless otherwise noted.

Note 3: Nonlinearity is defined as the deviation of f_{OUT} from V_{IN} × (10 kHz/−10 V_{DC}) when the circuit has been trimmed for zero error at 10 Hz and at 10 kHz, over the frequency range 1 Hz to 11 kHz. For the timing capacitor, C_T, use NPO ceramic, Teflon®, or polystyrene.

Note 4: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



TL/H/5660–2

Pin numbers apply to 8-pin packages only. See connection diagram for LM231WM pin numbers.

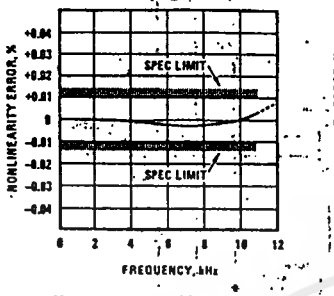
FIGURE 1a

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

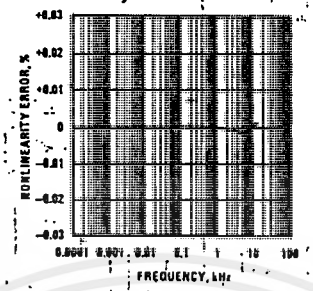
Typical Performance Characteristics

(All electrical characteristics apply for the circuit of *Figure 3*, unless otherwise noted.)

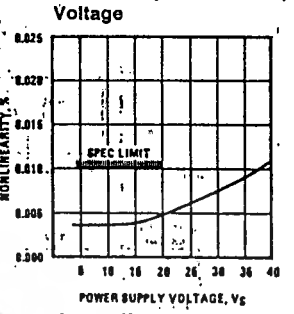
Nonlinearity Error, LM131 Family, as Precision V-to-F Converter (*Figure 3*)



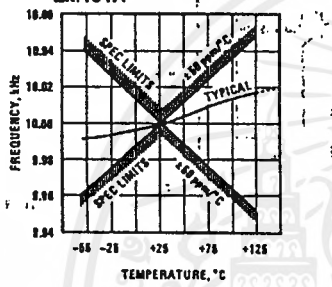
Nonlinearity Error, LM131 Family



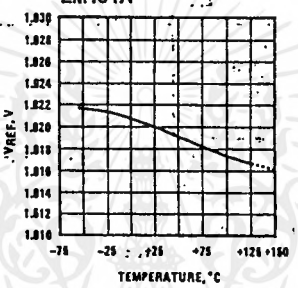
Nonlinearity vs Power Supply Voltage



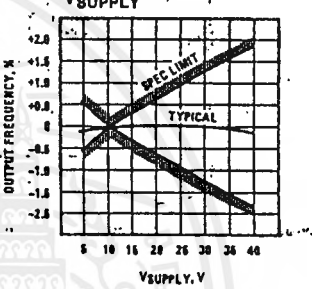
Frequency vs Temperature, LM131A



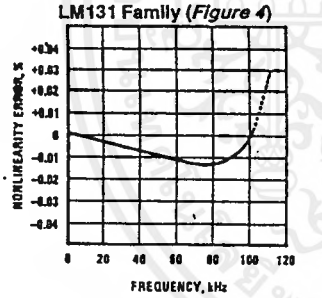
V_{REF} vs Temperature, LM131A



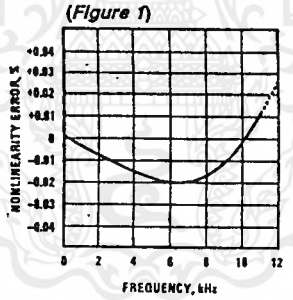
Output Frequency vs V_{SUPPLY}



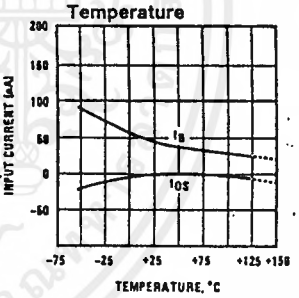
100 kHz Nonlinearity Error, LM131 Family (*Figure 4*)



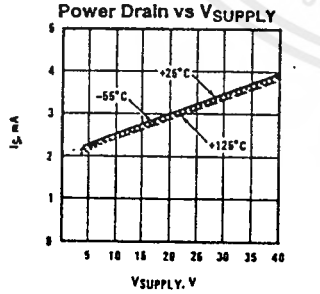
Nonlinearity Error, LM131 (*Figure 1*)



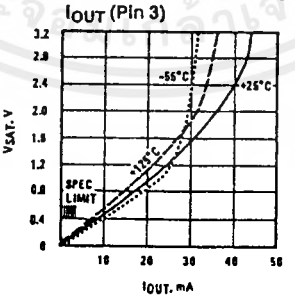
Input Current (Pins 6, 7) vs Temperature



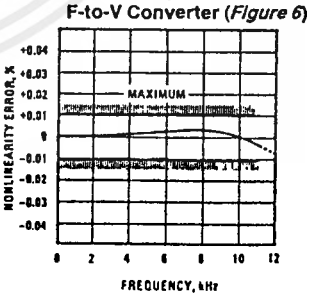
Power Drain vs V_{SUPPLY}



Output Saturation Voltage vs I_{OUT} (Pin 3)



Nonlinearity Error, Precision F-to-V Converter (*Figure 6*)



TL/H/5680–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

PRINCIPLES OF OPERATION OF A SIMPLIFIED VOLTAGE-TO-FREQUENCY CONVERTER

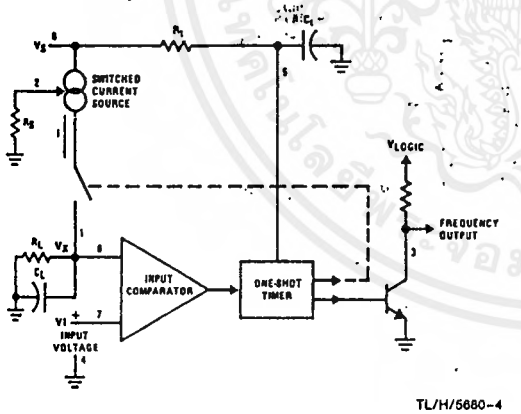
The LM131 is a monolithic circuit designed for accuracy and versatile operation when applied as a voltage-to-frequency (V-to-F) converter or as a frequency-to-voltage (F-to-V) converter. A simplified block diagram of the LM131 is shown in *Figure 2* and consists of a switched current source, input comparator, and 1-shot timer.

The operation of these blocks is best understood by going through the operating cycle of the basic V-to-F converter, *Figure 2*, which consists of the simplified block diagram of the LM131 and the various resistors and capacitors connected to it.

The voltage comparator compares a positive input voltage, V1, at pin 7 to the voltage, V_x, at pin 6. If V1 is greater, the comparator will trigger the 1-shot timer. The output of the timer will turn ON both the frequency output transistor and the switched current source for a period $t = 1.1\ R_tC_t$. During this period, the current i will flow out of the switched current source and provide a fixed amount of charge, $Q = i \times t$, into the capacitor, C_L. This will normally charge V_x up to a higher level than V1. At the end of the timing period, the current i will turn OFF, and the timer will reset itself.

Now there is no current flowing from pin 1, and the capacitor C_L will be gradually discharged by R_L until V_x falls to the level of V1. Then the comparator will trigger the timer and start another cycle.

The current flowing into C_L is exactly $I_{AVE} = i \times (1.1 \times R_tC_t) \times f$, and the current flowing out of C_L is exactly $V_x/R_L \simeq V_{IN}/R_L$. If V_{IN} is doubled, the frequency will double to maintain this balance. Even a simple V-to-F converter can provide a frequency precisely proportional to its input voltage over a wide range of frequencies.



TL/H/5660–4

FIGURE 2. Simplified Block Diagram of Stand-Alone Voltage-to-Frequency Converter Showing LM131 and External Components

DETAIL OF OPERATION, FUNCTIONAL BLOCK DIAGRAM (*FIGURE 1a*)

The block diagram shows a band gap reference which provides a stable 1.9 V_{DC} output. This 1.9 V_{DC} is well regulated over a V_S range of 3.9V to 40V. It also has a flat, low temperature coefficient, and typically changes less than ½% over a 100°C temperature change.

The current pump circuit forces the voltage at pin 2 to be at 1.9V, and causes a current $i = 1.90V/R_S$ to flow. For $R_S = 14k$, $i = 135\ \mu A$. The precision current reflector provides a current equal to i to the current switch. The current switch switches the current to pin 1 or to ground depending on the state of the R_S flip-flop.

The timing function consists of an R_S flip-flop, and a timer comparator connected to the external R_tC_t network. When the input comparator detects a voltage at pin 7 higher than pin 6, it sets the R_S flip-flop which turns ON the current switch and the output driver transistor. When the voltage at pin 5 rises to ⅔ V_{CC}, the timer comparator causes the R_S flip-flop to reset. The reset transistor is then turned ON and the current switch is turned OFF.

However, if the input comparator still detects pin 7 higher than pin 6 when pin 5 crosses ⅔ V_{CC}, the flip-flop will not be reset, and the current at pin 1 will continue to flow, in its attempt to make the voltage at pin 6 higher than pin 7. This condition will usually apply under start-up conditions or in the case of an overload voltage at signal input. It should be noted that during this sort of overload, the output frequency will be 0; as soon as the signal is restored to the working range, the output frequency will be resumed.

The output driver transistor acts to saturate pin 3 with an ON resistance of about 50Ω. In case of overvoltage, the output current is actively limited to less than 50 mA.

The voltage at pin 2 is regulated at 1.90 V_{DC} for all values of i between 10 μA to 500 μA. It can be used as a voltage reference for other components, but care must be taken to ensure that current is not taken from it which could reduce the accuracy of the converter.

PRINCIPLES OF OPERATION OF BASIC VOLTAGE-TO-FREQUENCY CONVERTER (*FIGURE 1*)

The simple stand-alone V-to-F converter shown in *Figure 1* includes all the basic circuitry of *Figure 2* plus a few components for improved performance.

A resistor, $R_{IN} = 100\ k\Omega \pm 10\%$, has been added in the path to pin 7, so that the bias current at pin 7 (−80 nA typical) will cancel the effect of the bias current at pin 6 and help provide minimum frequency offset.

The resistance R_S at pin 2 is made up of a 12 kΩ fixed resistor plus a 5 kΩ (cermet, preferably) gain adjust rheostat. The function of this adjustment is to trim out the gain tolerance of the LM131, and the tolerance of R_t, R_L and C_t.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

For best results, all the components should be stable low-temperature-coefficient components, such as metal-film resistors. The capacitor should have low dielectric absorption; depending on the temperature characteristics desired, NPO ceramic, polystyrene, Teflon or polypropylene are best suited.

A capacitor C_{IN} is added from pin 7 to ground to act as a filter for V_{IN}. A value of 0.01 μF to 0.1 μF will be adequate in most cases; however, in cases where better filtering is required, a 1 μF capacitor can be used. When the RC time constants are matched at pin 6 and pin 7, a voltage step at V_{IN} will cause a step change in f_{OUT}. If C_{IN} is much less than C_L, a step at V_{IN} may cause f_{OUT} to stop momentarily.

A 47Ω resistor, in series with the 1 μF C_L, is added to give hysteresis effect which helps the input comparator provide the excellent linearity (0.03% typical).

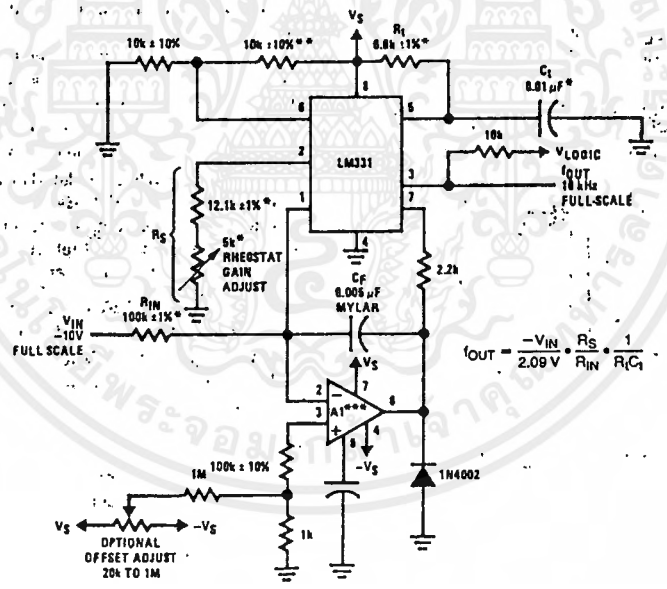
DETAIL OF OPERATION OF PRECISION V-TO-F CONVERTER (*FIGURE 3*)

In this circuit, integration is performed by using a conventional operational amplifier and feedback capacitor, C_F. When the integrator's output crosses the nominal threshold level at pin 6 of the LM131, the timing cycle is initiated.

The average current fed into the op amp's summing point (pin 2) is $i \times (1.1\ R_tC_t) \times f$ which is perfectly balanced with $-V_{IN}/R_{IN}$. In this circuit, the voltage offset of the LM131 input comparator does not affect the offset or accuracy of the V-to-F converter as it does in the stand-alone V-to-F converter, nor does the LM131 bias current or offset current. Instead, the offset voltage and offset current of the operational amplifier are the only limits on how small the signal can be accurately converted. Since op amps with voltage offset well below 1 mV and offset currents well below 2 nA are available at low cost, this circuit is recommended for best accuracy for small signals. This circuit also responds immediately to any change of input signal (which a stand-alone circuit does not) so that the output frequency will be an accurate representation of V_{IN}, as quickly as 2 output pulses' spacing can be measured.

In the precision mode, excellent linearity is obtained because the current source (pin 1) is always at ground potential and that voltage does not vary with V_{IN} or f_{OUT}. (In the stand-alone V-to-F converter, a major cause of non-linearity is the output impedance at pin 1 which causes i to change as a function of V_{IN}).

The circuit of *Figure 4* operates in the same way as *Figure 3*, but with the necessary changes for high speed operation.



*Use stable components with low temperature coefficients. See Typical Applications section.

**This resistor can be 5 kΩ or 10 kΩ for V_S = 8V to 22V, but must be 10 kΩ for V_S = 4.5V to 8V.

***Use low offset voltage and low offset current op amps for A1: recommended types LM108, LM308A, LF411A

FIGURE 3. Standard Test Circuit and Applications Circuit, Precision Voltage-to-Frequency Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

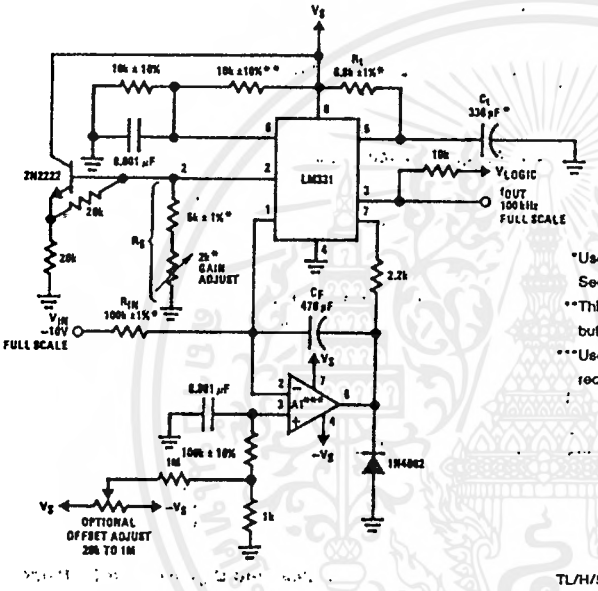
Typical Applications (Continued)

DETAILS OF OPERATION, FREQUENCY-TO-VOLTAGE CONVERTERS *(FIGURES 5 AND 6)*

In these applications, a pulse input at f_{IN} is differentiated by a C-R network and the negative-going edge at pin 6 causes the input comparator to trigger the timer circuit. Just as with a V-to-F converter, the average current flowing out of pin 1 is $I_{AVERAGE} = i \times (1.1\ R_tC_t) \times f$.

In the simple circuit of *FIGURE 5*, this current is filtered in the network $R_L = 100\ k\Omega$ and $1\ \mu F$. The ripple will be less than 10 mV peak, but the response will be slow, with a 0.1 second time constant, and settling of 0.7 second to 0.1% accuracy.

In the precision circuit, an operational amplifier provides a buffered output and also acts as a 2-pole filter. The ripple will be less than 5 mV peak for all frequencies above 1 kHz, and the response time will be much quicker than in *Figure 5*. However, for input frequencies below 200 Hz, this circuit will have worse ripple than *Figure 5*. The engineering of the filter time-constants to get adequate response and small enough ripple simply requires a study of the compromises to be made. Inherently, V-to-F converter response can be fast, but F-to-V response can not.



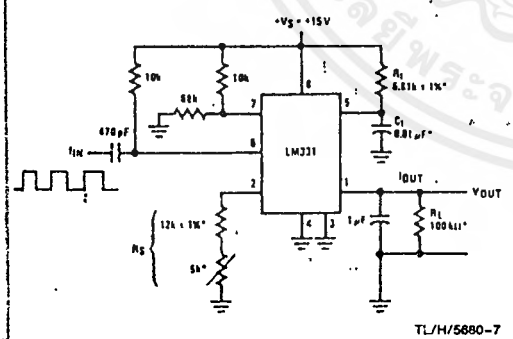
*Use stable components with low temperature coefficients. See Typical Applications section.

**This resistor can be 5 kΩ or 10 kΩ for V_S = 8V to 22V, but must be 10 kΩ for V_S = 4.5V to 8V.

***Use low offset voltage and low offset current op amps for A1: recommended types LF411A or LF356.

TL/H/5680–6

FIGURE 4. Precision Voltage-to-Frequency Converter, 100 kHz Full-Scale, ±0.03% Non-Linearity

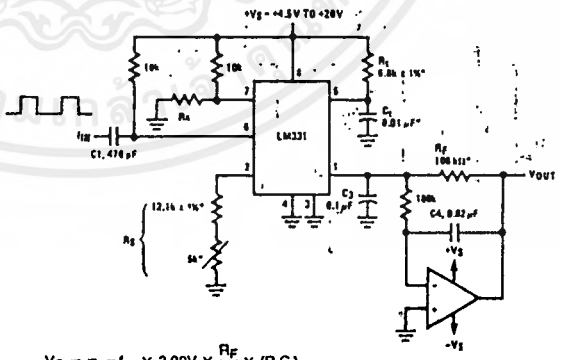


TL/H/5680–7

$$V_{OUT} = f_{IN} \times 2.09V \times \frac{R_L}{R_S} \times (R_tC_t)$$

*Use stable components with low temperature coefficients.

FIGURE 5. Simple Frequency-to-Voltage Converter, 10 kHz Full-Scale, ±0.06% Non-Linearity



$$V_{OUT} = -f_{IN} \times 2.09V \times \frac{R_F}{R_S} \times (R_tC_t)$$

$$\text{SELECT } R_X = \frac{(V_S - 2V)}{0.2\ mA}$$

TL/H/5680–8

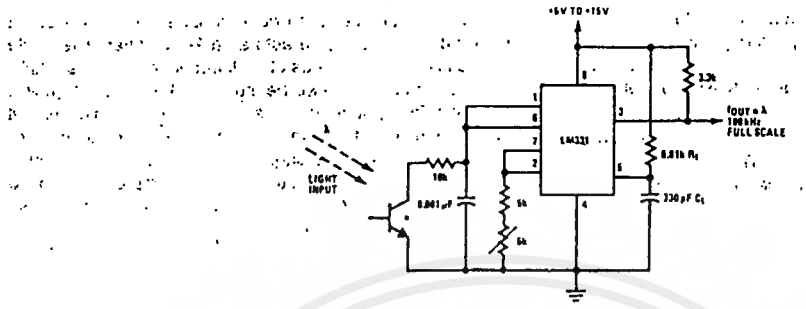
*Use stable components with low temperature coefficients.

FIGURE 6. Precision Frequency-to-Voltage Converter, 10 kHz Full-Scale with 2-Pole Filter, ±0.01% Non-Linearity Maximum

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

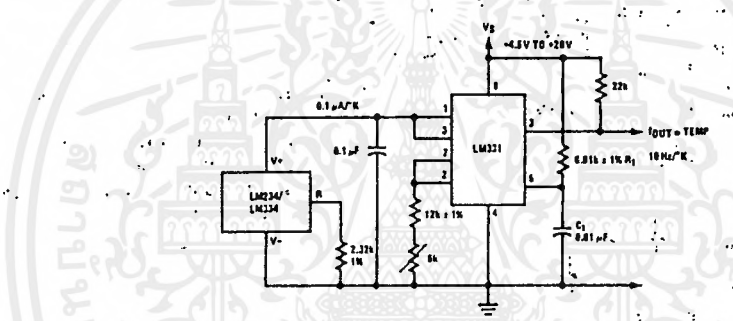
Light Intensity to Frequency Converter



TL/H/5680–9

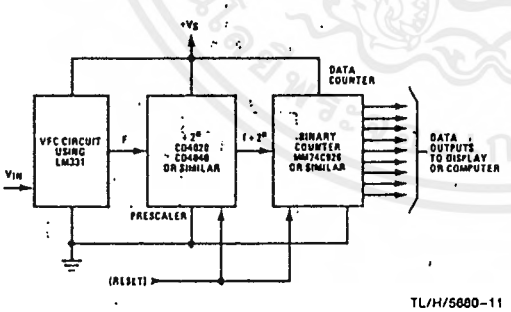
*L14F-1, L14G-1 or L14H-1, photo transistor (General Electric Co.) or similar

Temperature to Frequency Converter



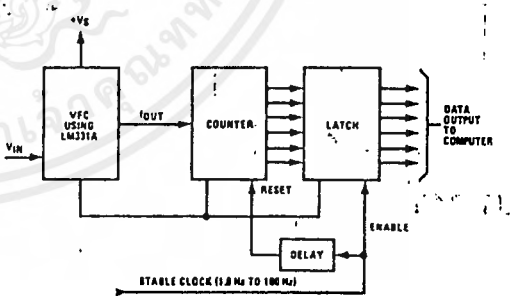
TL/H/5680–10

Long-Term Digital Integrator Using VFC



TL/H/5680–11

Basic Analog-to-Digital Converter Using Voltage-to-Frequency Converter

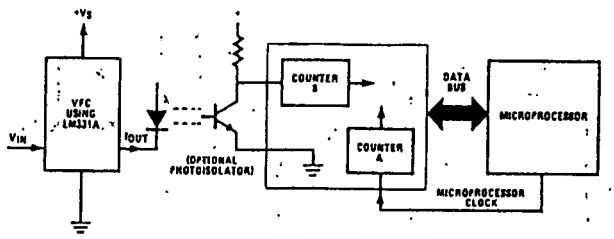


TL/H/5680–12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

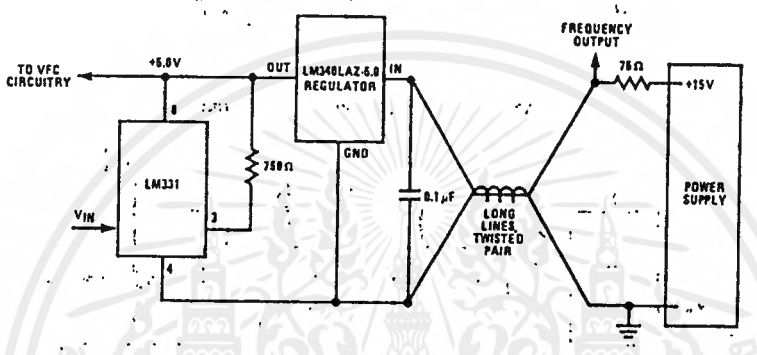
Typical Applications (Continued)

Analog-to-Digital Converter with Microprocessor



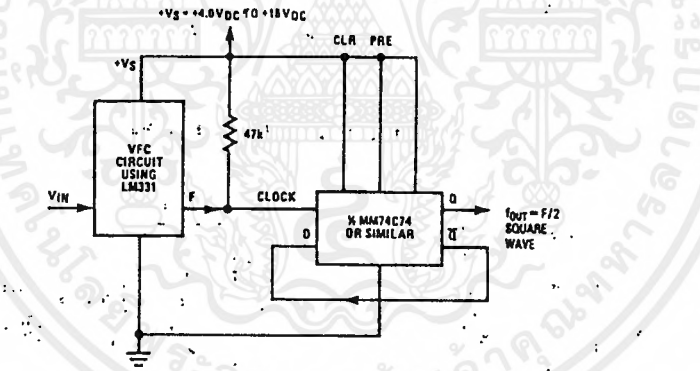
TL/H/5680–13

Remote Voltage-to-Frequency Converter with 2-Wire Transmitter and Receiver



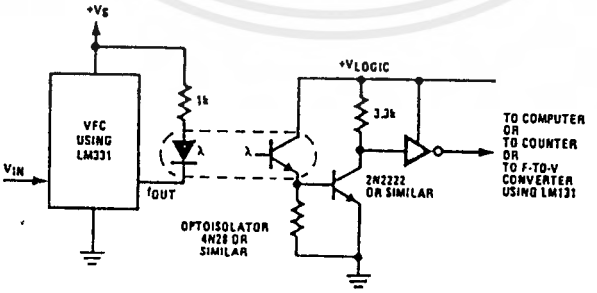
TL/H/5680–14

Voltage-to-Frequency Converter with Square-Wave Output Using ÷ 2 Flip-Flop



TL/H/5680–15

Voltage-to-Frequency Converter with Isolators

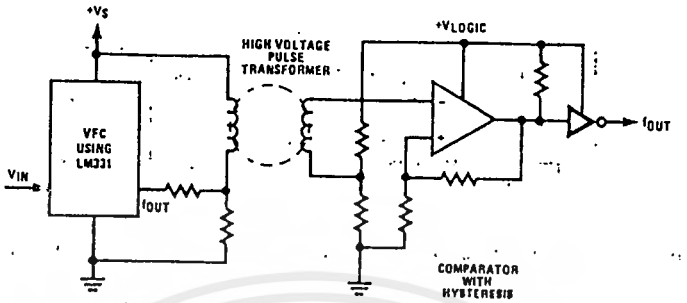


TL/H/5680–16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

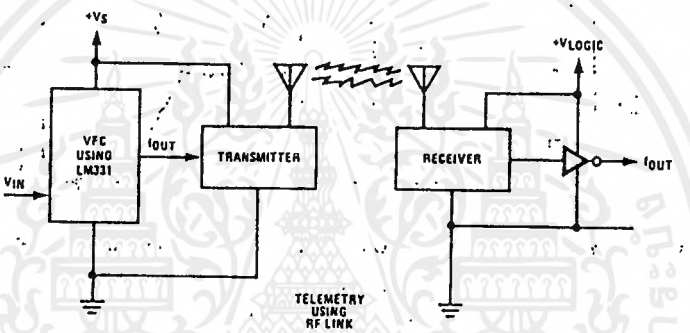
Typical Applications (Continued)

Voltage-to-Frequency Converter with Isolators



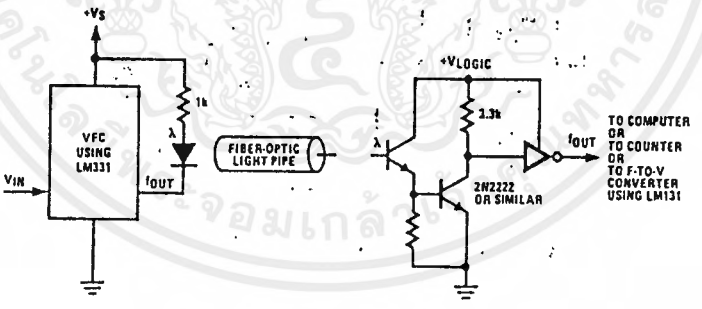
TL/H/5680–17

Voltage-to-Frequency Converter with Isolators



TL/H/5680–16

Voltage-to-Frequency Converter with Isolators

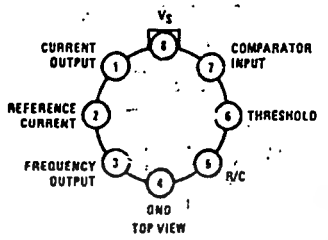


TL/H/5680–19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams

Metal Can Package

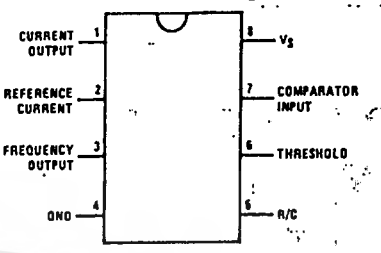


TL/H/5680–20

Note: Metal case is connected to pin 4 (GND.)

Order Number LM131H/883 or LM131AH/883
See NS Package Number H08C

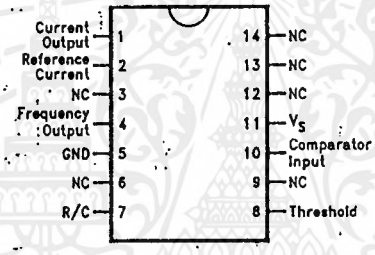
Dual-In-Line Package



TL/H/5680–21

Order Number LM231AN, LM231N, LM331AN, or LM331N
See NS Package Number N08E

Small-Outline Package



TL/H/5680–24

Top View

Order Number LM231WM
See NS Package Number M14B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

ADC0808/ADC0809 8-Bit μP Compatible A/D Converters with 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

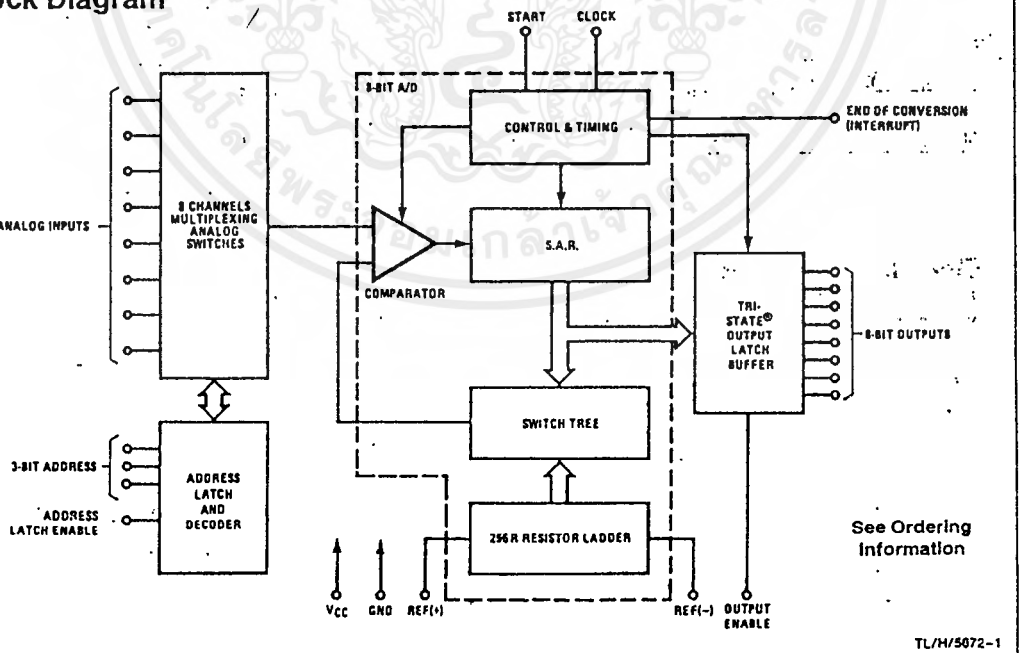
Features

- Easy interface to all microprocessors
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- No zero or full-scale adjust required
- 8-channel multiplexer with address logic
- 0V to 5V input range with single 5V power supply
- Outputs meet TTL voltage level specifications
- Standard hermetic or molded 28-pin DIP package
- 28-pin molded chip carrier package
- ADC0808 equivalent to MM74C949
- ADC0809 equivalent to MM74C949-1

Key Specifications

Resolution	8 Bits
Total Unadjusted Error	±½ LSB and ±1 LSB
Single Supply	5 V_{DC}
Low Power	15 mW
Conversion Time	100 μs

Block Diagram



See Ordering Information

TL/H/5072–1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	−0.3V to (V_{CC}+0.3V)
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	−0.3V to +15V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A=25°C	875 mW
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Molded Chip Carrier Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
ESD Susceptibility (Note 11)	400V

Operating Conditions (Notes 1 & 2)

Temperature Range (Note 1)	$T_{MIN} \le T_A \le T_{MAX}$
ADC0808CJ	−55°C≤T_A≤+125°C
ADC0808CCJ, ADC0808CCN, ADC0809CCN	−40°C≤T_A≤+85°C
ADC0808CCV, ADC0809CCV	−40°C≤T_A≤+85°C
Range of V_{CC} (Note 1)	4.5 V_{DC} to 6.0 V_{DC}

Electrical Characteristics

Converter Specifications: V_{CC}=5 V_{DC}=V_{REF+}, $V_{REF(-)}$=GND, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK}=640 kHz unless otherwise stated.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	ADC0808 Total Unadjusted Error (Note 5)	25°C T_{MIN} to T_{MAX}			±1/8 ±3/4	LSB LSB
	ADC0809 Total Unadjusted Error (Note 5)	0°C to 70°C T_{MIN} to T_{MAX}			±1 ±1¼	LSB LSB
	Input Resistance	From Ref(+) to Ref(−)	1.0	2.5		kΩ
	Analog Input Voltage Range	(Note 4) V(+) or V(−)	GND−0.10		V_{CC}+0.10	V_{DC}
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		V_{CC}	V_{CC}+0.1	V
$\frac{V_{REF(+)}+V_{REF(-)}}{2}$	Voltage, Center of Ladder		V_{CC}/2-0.1	V_{CC}/2	V_{CC}/2+0.1	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(−)	−0.1	0		V
I_{IN}	Comparator Input Current	f_c=640 kHz, (Note 6)	−2	±0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ 4.5V≤V_{CC}≤5.5V, −55°C≤T_A≤+125°C unless otherwise noted ADC0808CCJ, ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, 4.75≤V_{CC}≤5.25V, −40°C≤T_A≤+85°C unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER						
$I_{OFF(+)}$	OFF Channel Leakage Current	V_{CC}=5V, V_{IN}=5V, T_A=25°C T_{MIN} to T_{MAX}		10	200 1.0	nA μA
$I_{OFF(-)}$	OFF Channel Leakage Current	V_{CC}=5V, V_{IN}=0, T_A=25°C T_{MIN} to T_{MAX}	−200 −1.0	−10		nA μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ $4.5V \le V_{CC} \le 5.5V$, $-55°C \le T_A \le +125°C$ unless otherwise noted ADC0808CCJ, ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, $4.75 \le V_{CC} \le 5.25V$, $-40°C \le T_A \le +85°C$ unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CONTROL INPUTS						
$V_{IN(1)}$	Logical "1" Input Voltage		$V_{CC}-1.5$			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	$V_{IN}=15V$			1.0	μA
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	$V_{IN}=0$	−1.0			μA
I_{CC}	Supply Current	$f_{CLK}=640$ kHz		0.3	3.0	mA
DATA OUTPUTS AND EOC (INTERRUPT)						
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O=-360$ μA	$V_{CC}-0.4$			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_O=1.6$ mA			0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC	$I_O=1.2$ mA			0.45	V
I_{OUT}	TRI-STATE Output Current	$V_O=5V$ $V_O=0$	 −3		3	μA μA

Electrical Characteristics

Timing Specifications $V_{CC}=V_{REF(+)}=5V$, $V_{REF(-)}=GND$, $t_r=t_f=20$ ns and $T_A=25°C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	*(Figure 5)*		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	*(Figure 5)*		100	200	ns
t_s	Minimum Address Set-Up Time	*(Figure 5)*		25	50	ns
t_H	Minimum Address Hold Time	*(Figure 5)*		25	50	ns
t_D	Analog MUX Delay Time From ALE	$R_S=0\Omega$ *(Figure 5)*		1	2.5	μS
t_{1H}, t_{H0}	OE Control to Q Logic State	$C_L=50$ pF, $R_L=10$k *(Figure 8)*		125	250	ns
t_{1H}, t_{0H}	OE Control to Hi-Z	$C_L=10$ pF, $R_L=10$k *(Figure 8)*		125	250	ns
t_c	Conversion Time	$f_c=640$ kHz, *(Figure 5)* (Note 7)	90	100	116	μS
f_c	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	*(Figure 5)*	0		8 + 2 μS	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE Output Capacitance	At TRI-STATE Outputs, (Note 12)		10	15	pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists, internally, from V_{CC} to GND and has a typical breakdown voltage of 7 V_{DC}.

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute $0V_{DC}$ to $5V_{DC}$ input voltage range will therefore require a minimum supply voltage of 4.900 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See *Figure 3*. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See *Figure 13*.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence *(Figure 6)*. See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

Note 8: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

Multiplexer. The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

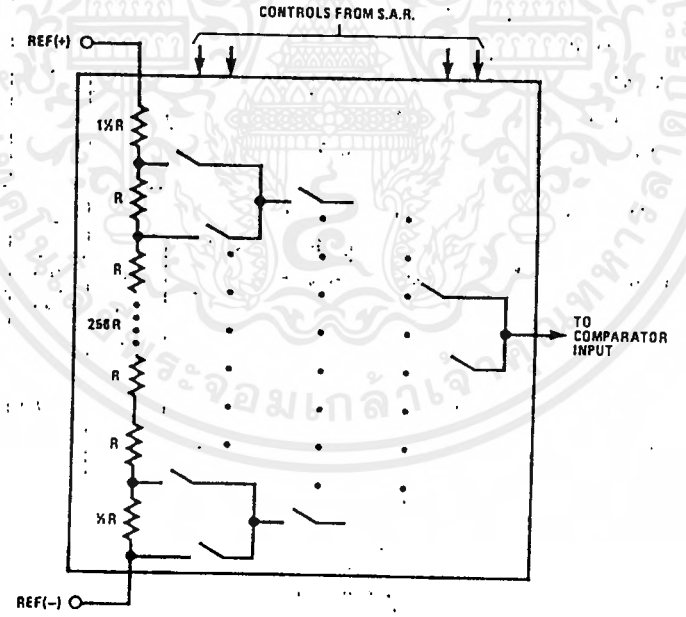
The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach *(Figure 1)* was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached $+\frac{1}{2}$ LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.



TL/H/5672–2

FIGURE 1. Resistor Ladder and Switch Tree

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed throught a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

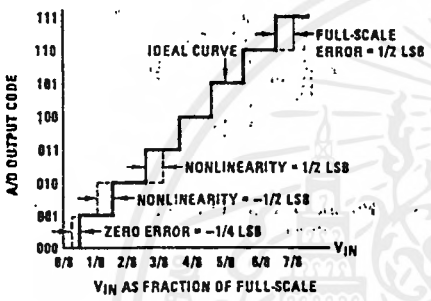


FIGURE 2. 3-Bit A/D Transfer Curve

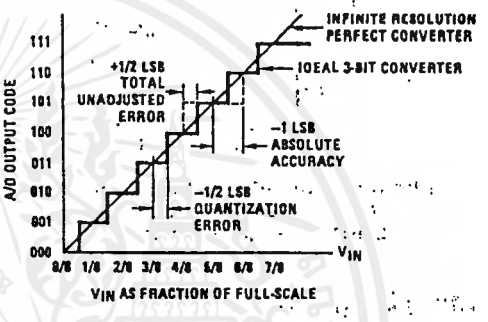
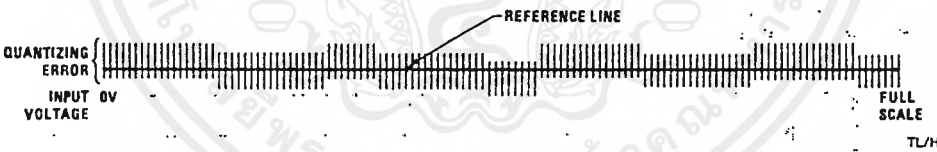


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve



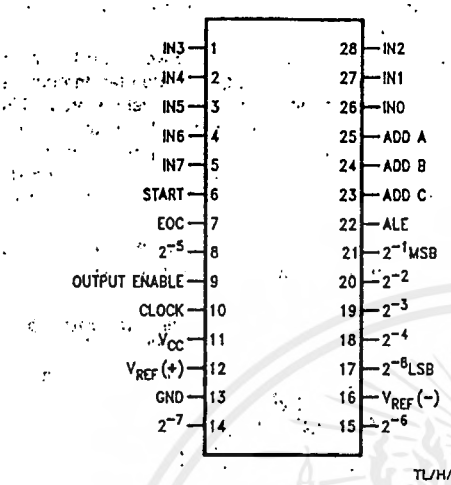
TL/H/5672–3

FIGURE 4. Typical Error Curve

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams

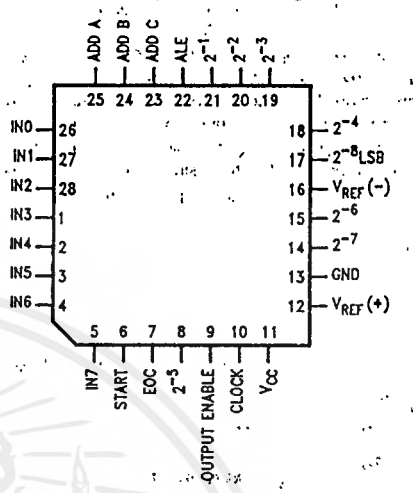
Dual-In-Line Package



TL/H/5672-11

Order Number ADC0808CCN, ADC0809CCN, ADC0808CCJ or ADC0808CJ
See NS Package J28A or N28A

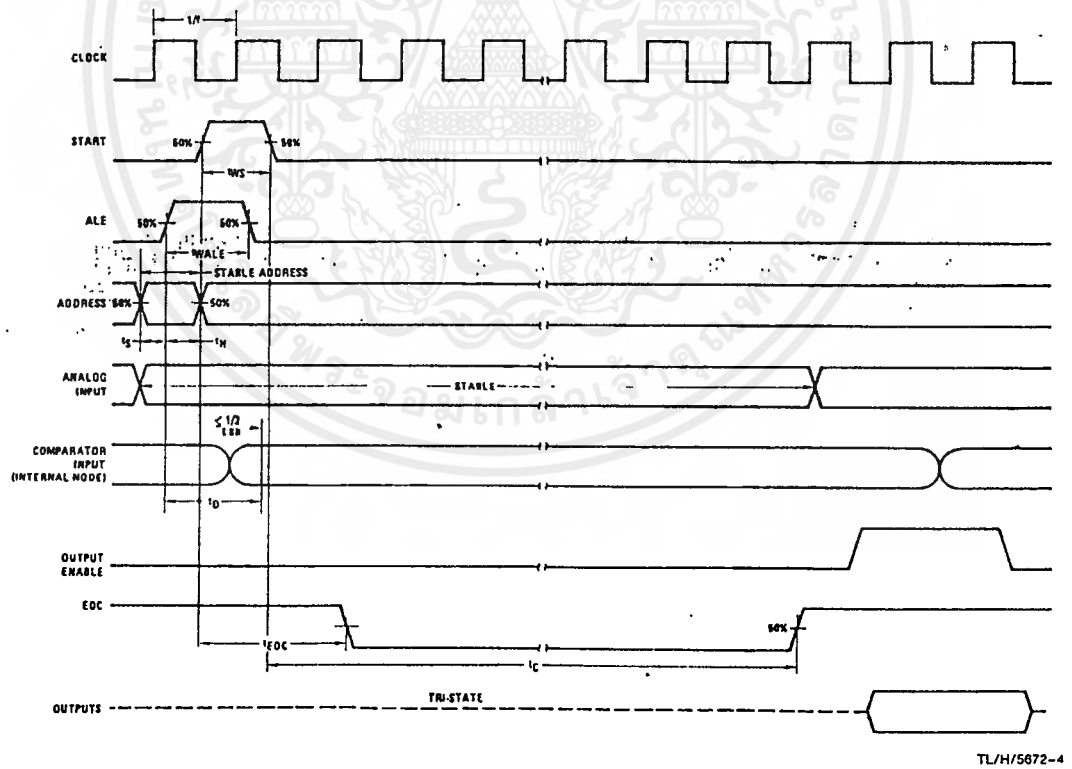
Molded Chip Carrier Package



TL/H/5672-12

Order Number ADC0808CCV or ADC0809CCV
See NS Package V28A

Timing Diagram



TL/H/5672-4

FIGURE 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

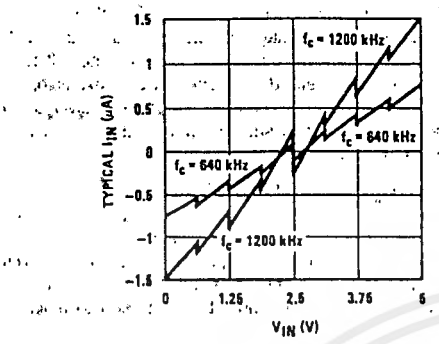
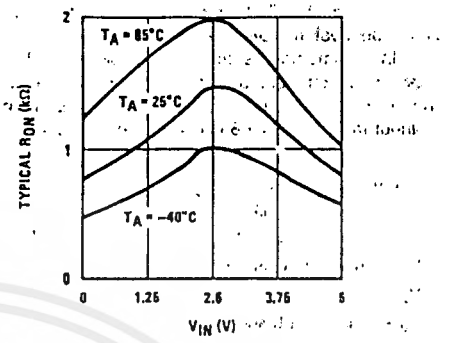


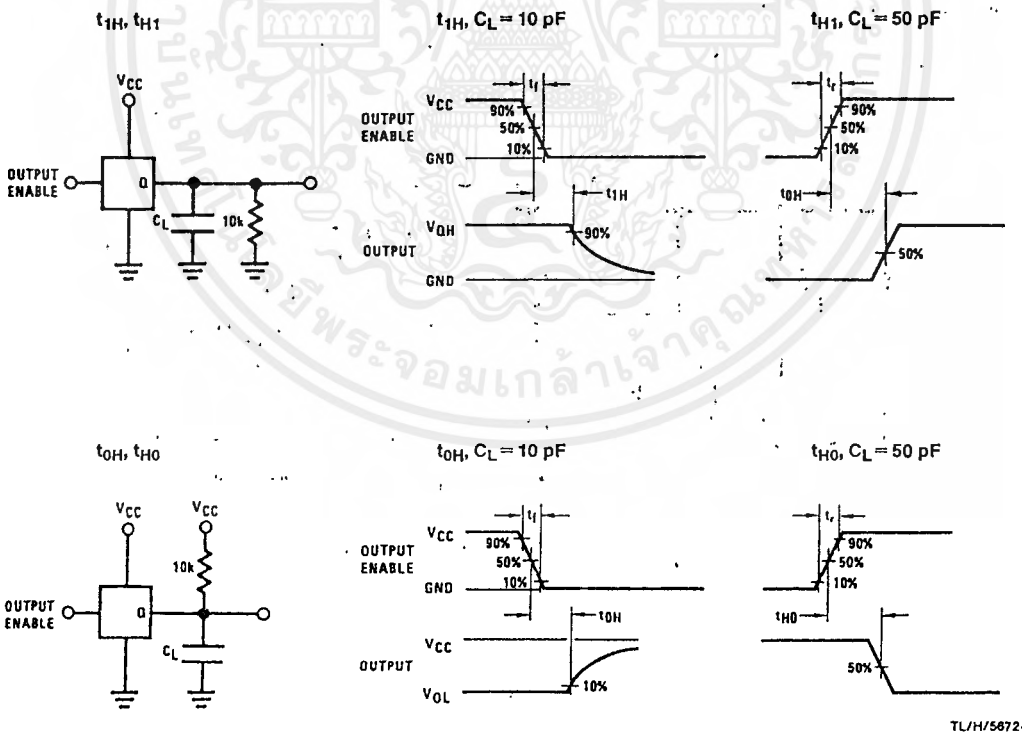
FIGURE 6. Comparator I_{IN} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)



TL/H/5672–5

FIGURE 7. Multiplexer R_{ON} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)

TRI-STATE Test Circuits and Timing Diagrams



TL/H/5672–6

FIGURE 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

OPERATION

1.0 RATIOMETRIC CONVERSION

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation

$$\frac{V_{IN}}{V_{fs}-V_Z}=\frac{D_X}{D_{MAX}-D_{MIN}} \quad (1)$$

V_{IN} = Input voltage into the ADC0808

V_{fs} = Full-scale voltage

V_Z = Zero voltage

D_X = Data point being measured

D_{MAX} = Maximum data limit

D_{MIN} = Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs, *(Figure 9)*.

Ratiometric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are suitable for measuring proportional relationships; however, many types of measurements must be referred to an absolute standard such as voltage or current. This means a system reference must be used which relates the full-scale voltage to the standard volt. For example, if $V_{CC}=V_{REF}=5.12V$, then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is then 20 mV.

2.0 RESISTOR LADDER LIMITATIONS

The voltages from the resistor ladder are compared to the selected into 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref(+), should not be more positive than the supply, and the bottom of the ladder, Ref(−), should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches. These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

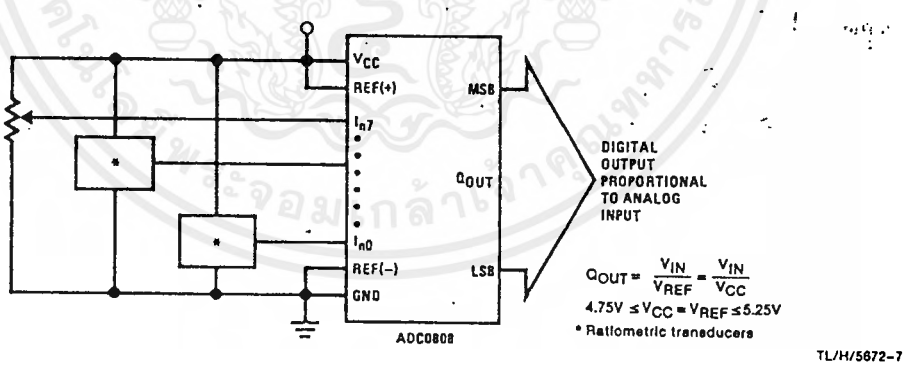


FIGURE 9. Ratiometric Conversion System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

The ADC0808 needs less than a milliamp of supply current so developing the supply from the reference is readily accomplished. In *Figure 11* a ground referenced system is shown which generates the supply from the reference. The buffer shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in *Figure 12*. The LM301 is overcompensated to insure stability when loaded by the 10 μF output capacitor.

The top and bottom ladder voltages cannot exceed V_{CC} and ground, respectively, but they can be symmetrically less than V_{CC} and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In *Figure 13*, a 2.5V reference is symmetrically centered about $V_{CC}/2$ since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

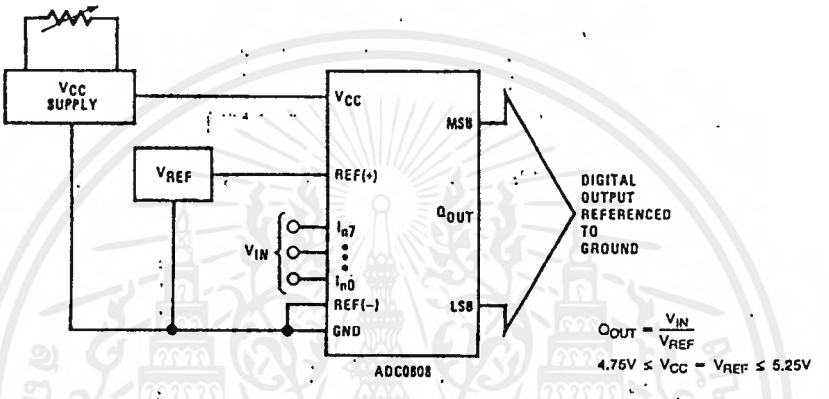


FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply

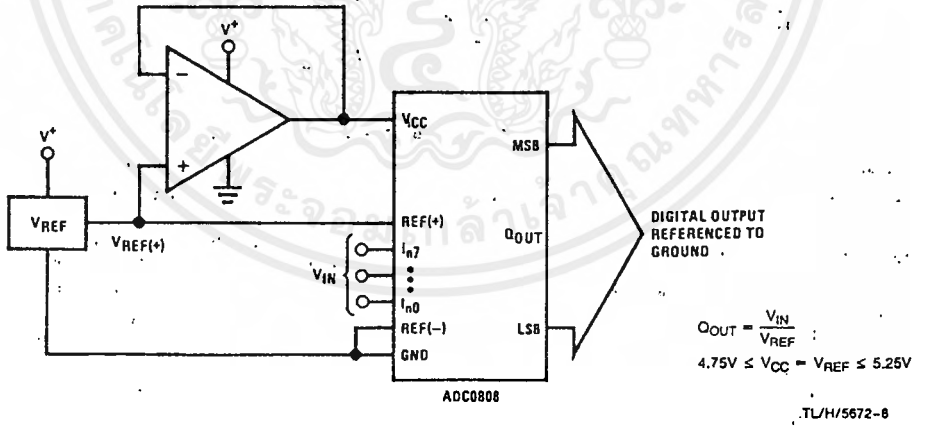


FIGURE 11: Ground Referenced Conversion System with Reference Generating V_{CC} Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

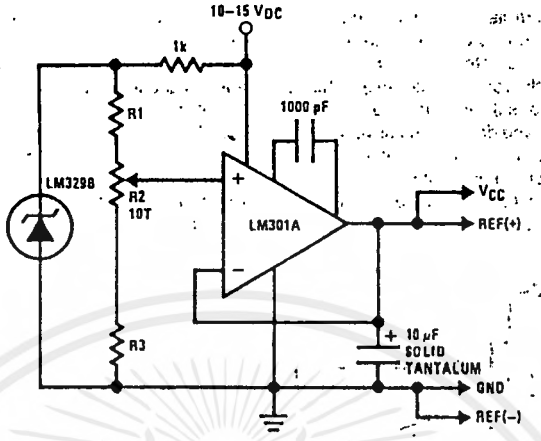


FIGURE 12. Typical Reference and Supply Circuit

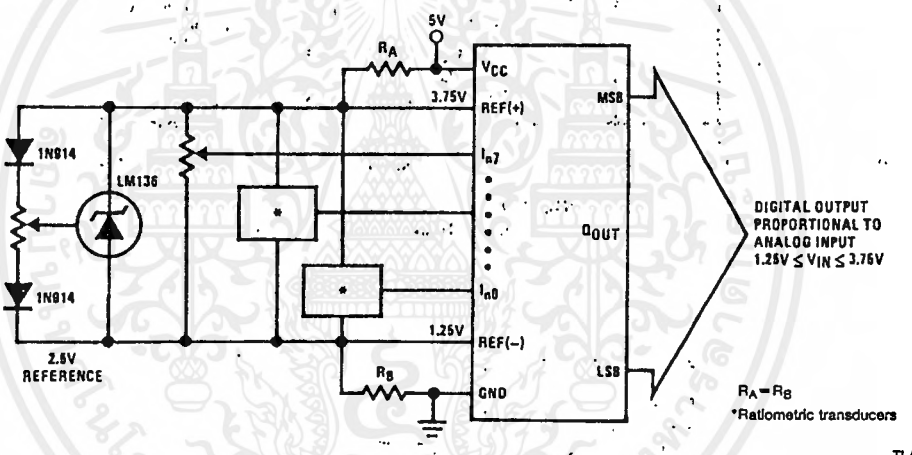


FIGURE 13. Symmetrically Centered Reference

3.0 CONVERTER EQUATIONS

The transition between adjacent codes N and N+1 is given by:

$$V_{IN} = \left\{(V_{REF(+)} - V_{REF(-)})\left[\frac{N}{256} + \frac{1}{512}\right] \pm V_{TUE}\right\} + V_{REF(-)} \quad (2)$$

The center of an output code N is given by:

$$V_{IN}\left\{(V_{REF(+)} - V_{REF(-)})\left[\frac{N}{256}\right] \pm V_{TUE}\right\} + V_{REF(-)} \quad (3)$$

The output code N for an arbitrary input are the integers within the range:

$$N = \frac{V_{IN} - V_{REF(-)}}{V_{REF(+)} - V_{REF(-)}} \times 256 \pm \text{Absolute Accuracy} \quad (4)$$

where: V_{IN} = Voltage at comparator input

$V_{REF(+)}$ = Voltage at Ref(+)

$V_{REF(-)}$ = Voltage at Ref(−)

V_{TUE} = Total unadjusted error voltage (typically $V_{REF(+)} \div 512$)

4.0 ANALOG COMPARATOR INPUTS

The dynamic comparator input current is caused by tl odic switching of on-chip stray capacitances. The connected alternately to the output of the resistor l switch tree network and to the comparator input as the operation of the chopper stabilized comparator.

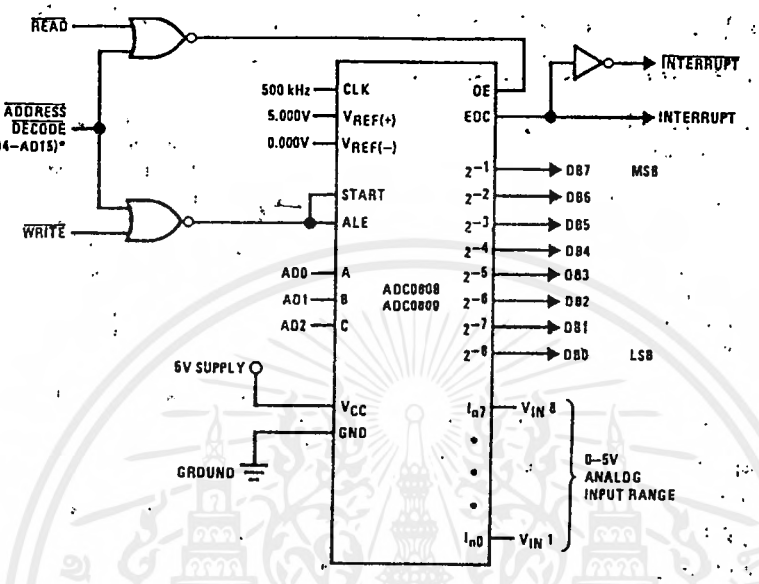
The average value of the comparator input current directly with clock frequency and with V_{IN} as shown *ure 6.*

If no filter capacitors are used at the analog inputs a signal source impedances are low, the comparato current should not introduce converter errors, as th sient created by the capacitance discharge will die c fore the comparator output is strobed.

If input filter capacitors are desired for noise reductic signal conditioning they will tend to average out the dy comparator input current. It will then take on the cha istics of a DC bias current whose effect can be pre conventionally.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application



TL/H/5872–10

*Address latches needed for 8085 and SC/MP interfacing the ADC0808 to a microprocessor

MICROPROCESSOR INTERFACE TABLE

PROCESSOR	READ	WRITE	INTERRUPT (COMMENT)
8080	MEMR	MEMW	INTR (Thru RST Circuit)
8085	RD	WR	INTR (Thru RST Circuit)
Z-80	RD	WR	INT (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	VMA•φ2•R/W	VMA•φ•R/W	IRQA or IRQB (Thru PIA)

Ordering Information

TEMPERATURE RANGE		−40°C to +85°C			−55°C to +125°C
Error	±½ LSB Unadjusted	ADC0808CCN	ADC0808CCV	ADC0808CCJ	ADC0808CJ
	±1 LSB Unadjusted	ADC0809CCN	ADC0809CCV		
Package Outline		N28A Molded DIP	V28A Molded Chip Carrier	J28A Ceramic DIP	J28A Ceramic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5404/7404 Hex Inverter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	C
T.I.	SN54S04	J			W	SN54H04	J			W	SN54LS04				A2	SN5404	J			W2	SN54L04	J	N	T2	
	SN74S04	J	N			SN74H04	J	N			SN74LS04	J	N			SN7404	J	N			SN74L04	J	N	T2	
FAIRCHILD	FM54S04 FM9S04	D			F	FM54H04 FM9H04	D			F	FM54LS04 FM9LS04	D	P		F1	FM5404 FM9N04	D			F2					
	FC74S04 FC9S04	D	P			FC74H04 FC9H04	D	P			FC74LS04 FC9LS04	D	P		F1	FM7404 FC9N04	D	P							
MOTOROLA						MC3108	L			F						MC5404	L			F2					
						MC3008	L	P		F	SN74LS04		P			MC7404	L	P							
N.S.C.						DM54H04	J	N			DM54LS04					DM5404	J	N		W2	DM54L04	J	N		F
	DM74S04		N			DM74H04	J	N			DM74LS04					DM7404	J	N			DM74L04	J	N		F
PHILIPS	N74S04		J			N74H04		①			N74LS04					FJH241 7404		J							
SIGNETICS	S54S04	F	A		W	S54H04	F	A		W2						S5404	F	A		W2					
	N74S04	F	A		W	N74H04	F	A			N74LS04		A			N7404	F	A							
SIEMENS																FLH211		J							
FUJITSU											74LS04		M			MB8418	①	M							
HITACHI	HD74S04	①	P	①							HD74LS04		P			HD7404/HD2522	①	P	②						
MITSUBISHI	M5S004		P	①							M74LS04		P			M53204		P	①						
NEC	74S04		C	①							74LS04		C			μPB235	①	①							
TOSHIBA																TD3404A		P	①						

Electrical Characteristics SN54LS04/SN74LS04

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

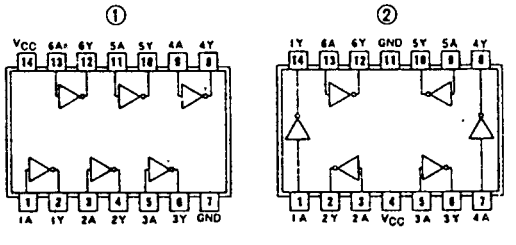
recommended operating conditions

	SN54LS04			SN74LS04			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

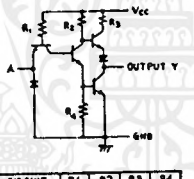
PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OL}=4mA				0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_{IL}=0.4V				−0.4	mA
I_{OS}	Short-circuit output current *	V_{CC}=MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		1.2	2.4	mA
I_{CCL}	Supply current		Total, outputs low		3.6	6.6	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, C_L=15PF,	T_A=25°C, R_L=2KΩ		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

Pin Assignments (Top View)



positive logic :
$Y = \overline{A}$

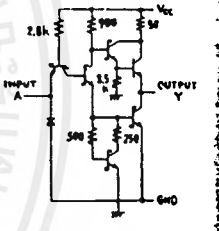
Schematics (each gate)



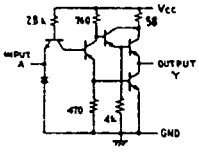
CIRCUIT	R1	R2	R3	R4
'04	4k	1.6k	130	1k
'L04	40k	20k	500	12k

Input clamp diodes not on SN54L7SN74L' circuits.

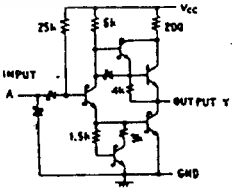
'04, 'L04 CIRCUITS



'S04 CIRCUIT



'H04 CIRCUIT



'LS04 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC}=5V, T_A=25°C.
* Not more than one output should be shorted at a time, and for SN54H'/SN74H' and SN54S'/SN74S', duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5474,/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S74	J			W	SN54H74	J			W	SN54LS74	J			W	SN5474	J			W	SN54L74	J	N	T	
	SN74S74	J	N			SN74H74	J	N			SN74LS74	J				SN7474	J	N			SN74L74	J	N	T	
FAIRCHILD	FM54S74 FM9S74	D				FM54H74/FM9H74	D			F	FM54LS74 FM9LS74	D			F	FM54S74 FM9N74	D			F					
	FC74S74 FC9S74	D	P			FC74H74/FC9H74	D	P		F	FC74LS74 FC9LS74	D	P		F	FC7474 FC9N74	D	P							
MOTOROLA											SN74LS74		P												
N.S.C.						DM54H74	J	N			DM54LS74		P			DM5474	J	N		W	DM54L74	J	N		F
	DM74S74		N			DM74H74	J	N			DM74LS74		P			DM7474	J	N			DM74L74	J	N		F
PHILIPS	N74S74					GJJ131/74H74					N74LS74					FJJ131 7474									
SIGNETICS	S54S74					S54H74	F	A		W						S5474	F	A		W					
	N74S74					N74H74	F	A			N74LS74		A			N7474	F	A							
SIEMENS																FLJ141									
FUJITSU											74LS74		M			MB420	J	M	D						
HITACHI	HD74S74	D	P								HD74LS74		P			HD7474/HD2510	J	P							
MITSUBISHI	M74S74		P	D							M74LS74		F	J		M5327/M5374		P	D						
NEC	74S74		C	D							74LS74		C	D		μPB214	D	C	D						
TOSHIBA																TD3474A		P	D						

Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

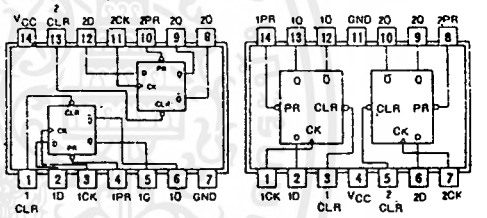
recommended operating conditions

		SN54LS74 MIN	NOM	MAX	SN74LS74 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Pulse width, t_w	Clock high	25			25			ns
	Preset or clear low	25			25			
Input setup time, t_{su}	High-level data	25‡			25‡			ns
	Low-level data	20‡			20‡			
Input hold time, t_h		5‡			5‡			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*			TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage		V_{CC}=MIN, I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage		V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=MAX	2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=4mA		0.25	0.4	V
I_I	Input current at maximum input voltage	D, J, K	V_{CC}=MAX, V_I=7V			0.1	mA
		Clear				0.2	
		Preset				0.2	
		Clock				0.1	
I_{IH}	High-level input current	D, J, K	V_{CC}=MAX, V_I=2.7V			20	μA
		Clear				40	
		Preset				40	
		Clock				20	
I_{IL}	Low-level input current	D, J, K	V_{CC}=MAX, V_I=0.4V			−0.4	mA
		Clear				−0.8	
		preset				−0.8	
		Clock				−0.4	
I_{OS}	Short-circuit output current*	Series 54LS	V_{CC}=MAX	−20		−100	mA
		Series 74LS		−20		−100	
I_{CC}	Supply current (Average per flip-flop)		V_{CC}=MAX, See Note 1		4	8	mA
f	clock frequency		V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	25	33		MHz
t_{PLH}	from clear, preset or clock (as appropriate) to Q or $\bar{Q}$				13	25	ns
t_{PHL}					25	40	

Pin Assignments (Top View)

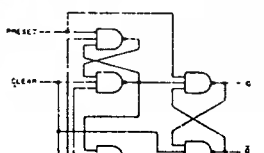


Functional Table

'74, 'H74, 'LS74, 'S74 (See Note 2)

INPUTS PRESET	CLEAR	CLOCK	D	OUTPUTS Q	Q
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$

Functional Block Diagram



74, S74, H74, LS74, L74 DUAL D FLIP-FLOP WITH CLEAR AND PRESET

NOTES: 1. With all outputs open, I_{CC} is measured with the Q and $\bar{Q}$ outputs high in turn. At the time of measurement, the clock input is grounded.

2. H = high level (steady state), L = low level (steady state), X = irrelevant, ↑ = transition from low to high level, Q_0 = the level of Q before the indicated input conditions were established.

* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡All typical values are at V_{CC}=5V, T_A=25°C.

*Not more than one output should be shorted at a time.

t_{PLH} = propagation delay time, low-to-high-level output; t_{PHL} = propagation delay time, high-to-low-level output.

§ The arrow indicate the edge of the clock pulse used for reference: ↑ for the rising edge.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

LM741/LM741A/LM741C/LM741E Operational Amplifier

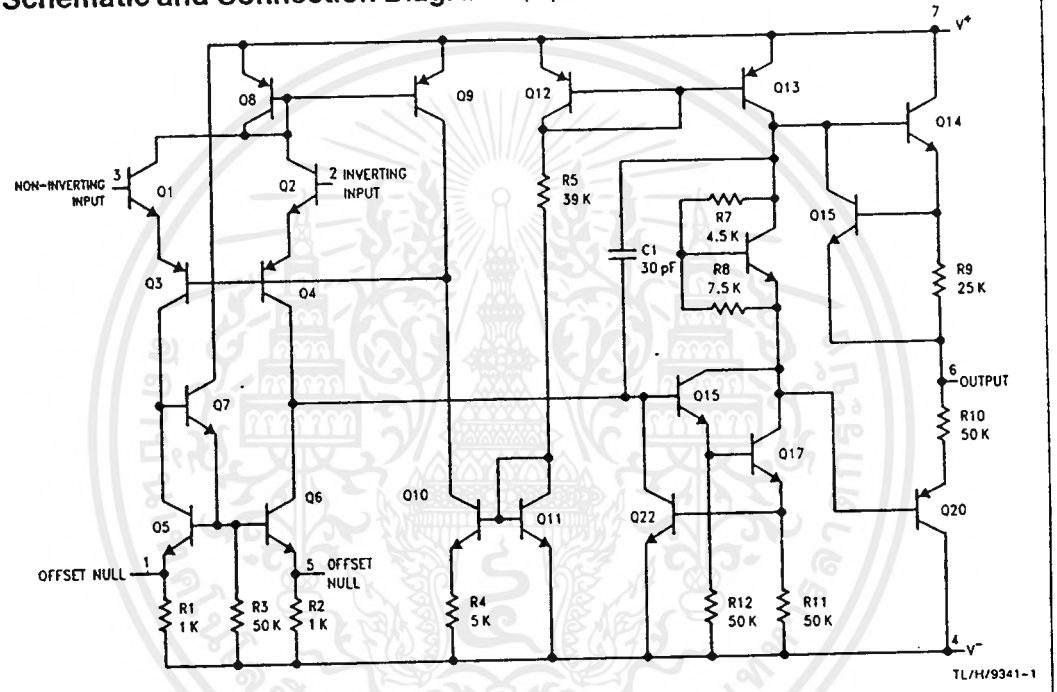
General Description

The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications.

The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

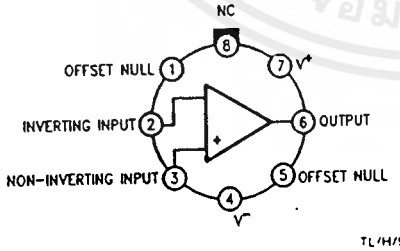
The LM741C/LM741E are identical to the LM741/LM741A except that the LM741C/LM741E have their performance guaranteed over a 0°C to +70°C temperature range, instead of −55°C to +125°C.

Schematic and Connection Diagrams (Top Views)



TL/H/9341-1

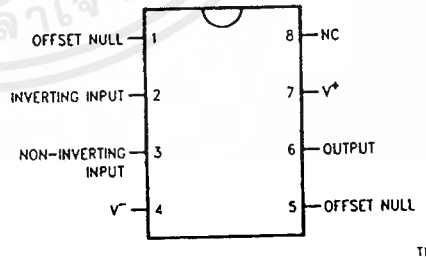
Metal Can Package



TL/H/9341-2

Order Number LM741H, LM741AH, LM741CH or LM741EH
See NS Package Number H08C

Dual-In-Line or S.O. Package



TL/H/9341-3

Order Number LM741CJ, LM741CM, LM741CN or LM741EN
See NS Package Number J08A, M08A or N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.
(Note 5)

	LM741A	LM741E	LM741	LM741C
Supply Voltage	±22V	±22V	±22V	±18V
Power Dissipation (Note 1)	500 mW	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V	±30V
Input Voltage (Note 2)	±15V	±15V	±15V	±15V
Output Short Circuit Duration	Indefinite	Indefinite	Indefinite	Indefinite
Operating Temperature Range	−55°C to +125°C	0°C to +70°C	−55°C to +125°C	0°C to +70°C
Storage Temperature Range	−65°C to +150°C	−65°C to +150°C	−65°C to +150°C	−65°C to +150°C
Junction Temperature	150°C	100°C	150°C	100°C
Soldering Information				
N-Package (10 seconds)	260°C	260°C	260°C	260°C
J- or H-Package (10 seconds)	300°C	300°C	300°C	300°C
M-Package				
Vapor Phase (60 seconds)	215°C	215°C	215°C	215°C
Infrared (15 seconds)	215°C	215°C	215°C	215°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" (Appendix D) for other methods of soldering surface mount devices.

Electrical Characteristics (Note 3)

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	$T_A = 25°C$										
	$R_S \le 10\,k\Omega$					1.0	5.0		2.0	6.0	mV
	$R_S \le 50\Omega$		0.8	3.0							mV
	$T_{AMIN} \le T_A \le T_{AMAX}$										
	$R_S \le 50\Omega$			4.0							mV
	$R_S \le 10\,k\Omega$						6.0			7.5	mV
Average Input Offset Voltage Drift				15							µV/°C
Input Offset Voltage Adjustment Range	$T_A = 25°C, V_S = \pm 20V$	±10				±15			±15		mV
Input Offset Current	$T_A = 25°C$		3.0	30		20	200		20	200	nA
	$T_{AMIN} \le T_A \le T_{AMAX}$			70		85	500			300	nA
Average Input Offset Current Drift				0.5							nA/°C
Input Bias Current	$T_A = 25°C$		30	80		80	500		80	500	nA
	$T_{AMIN} \le T_A \le T_{AMAX}$			0.210			1.5			0.8	µA
Input Resistance	$T_A = 25°C, V_S = \pm 20V$	1.0	6.0		0.3	2.0		0.3	2.0		MΩ
	$T_{AMIN} \le T_A \le T_{AMAX}$, $V_S = \pm 20V$	0.5									MΩ
Input Voltage Range	$T_A = 25°C$							±12	±13		V
	$T_{AMIN} \le T_A \le T_{AMAX}$				±12	±13					V
Large Signal Voltage Gain	$T_A = 25°C, R_L \ge 2\,k\Omega$										
	$V_S = \pm 20V, V_O = \pm 15V$	50									V/mV
	$V_S = \pm 15V, V_O = \pm 10V$				50	200		20	200		V/mV
	$T_{AMIN} \le T_A \le T_{AMAX}$, $R_L \ge 2\,k\Omega$,										
	$V_S = \pm 20V, V_O = \pm 15V$	32									V/mV
	$V_S = \pm 15V, V_O = \pm 10V$				25			15			V/mV
	$V_S = \pm 5V, V_O = \pm 2V$	10									V/mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Note 3) (Continued)

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage Swing	$V_S = \pm 20V$										
	$R_L \geq 10\ k\Omega$	±16									V
	$R_L \geq 2\ k\Omega$	±15									V
	$V_S = \pm 15V$										
	$R_L \geq 10\ k\Omega$				±12	±14		±12	±14		V
	$R_L \geq 2\ k\Omega$				±10	±13		±10	±13		V
Output Short Circuit Current	$T_A = 25°C$	10	25	35		25			25		mA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$	10		40							mA
Common-Mode Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$										
	$R_S \leq 10\ k\Omega$, $V_{CM} = \pm 12V$				70	90		70	90		dB
	$R_S \leq 50\ k\Omega$, $V_{CM} = \pm 12V$	80	95								dB
Supply Voltage Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $V_S = \pm 20V$ to $V_S = \pm 5V$										
	$R_S \leq 50\Omega$	86	96								dB
	$R_S \leq 10\ k\Omega$				77	96		77	96		dB
Transient Response	$T_A = 25°C$, Unity Gain										
Rise Time			0.25	0.8		0.3			0.3		μs
Overshoot			6.0	20		5			5		%
Bandwidth (Note 4)	$T_A = 25°C$	0.437	1.5								MHz
Slew Rate	$T_A = 25°C$, Unity Gain	0.3	0.7			0.5			0.5		V/μs
Supply Current	$T_A = 25°C$					1.7	2.8		1.7	2.8	mA
Power Consumption	$T_A = 25°C$										
	$V_S = \pm 20V$		80	150							mW
	$V_S = \pm 15V$					50	85		50	85	mW
LM741A	$V_S = \pm 20V$										
	$T_A = T_{AMIN}$			165							mW
	$T_A = T_{AMAX}$			135							mW
LM741E	$V_S = \pm 20V$										
	$T_A = T_{AMIN}$			150							mW
	$T_A = T_{AMAX}$			150							mW
LM741	$V_S = \pm 15V$										
	$T_A = T_{AMIN}$					60	100				mW
	$T_A = T_{AMAX}$					45	75				mW

Note 1: For operation at elevated temperatures, these devices must be derated based on thermal resistance, and T_j max. (listed under "Absolute Maximum Ratings"). $T_j = T_A + (\theta_{jA} P_D)$.

Thermal Resistance	Cerdip (J)	DIP (N)	TO-5 (H)	SO-8 (M)
θ_{jA} (Junction to Ambient)	100°C/W	100°C/W	150°C/W	195°C/W
θ_{jC} (Junction to Case)	N/A	N/A	80°C/W	N/A

Note 2: For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.

Note 3: Unless otherwise specified, these specifications apply for $V_S = \pm 15V$, $-55°C \leq T_A \leq +125°C$ (LM741/LM741A). For the LM741C/LM741E, these specifications are limited to $0°C \leq T_A \leq +70°C$.

Note 4: Calculated value from: BW (MHz) = 0.35/Rise Time(μs).

Note 5: For military specifications see RETS741X for LM741 and RETS741AX for LM741A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXAR

XR-2206

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FEATURES

Low-Sine Wave Distortion	.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

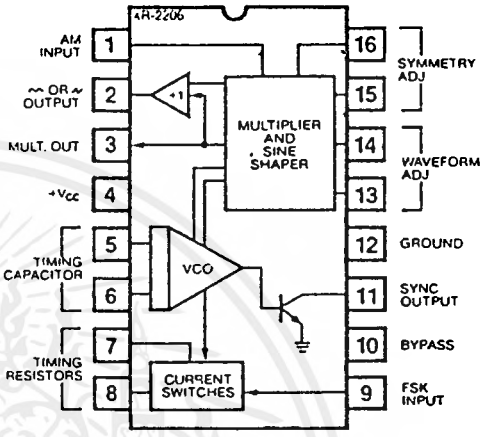
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	-65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	-55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency porportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25°$, $C = 0.01\ \mu F$, $R_1 = 100\ k\Omega$, $R_2 = 10\ k\Omega$, $R_3 = 25\ k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETER	XR-2206M			XR-2206C			UNIT	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL CHARACTERISTCS								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10\ k\Omega$
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000\ pF$, $R_1 = 1\ k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\ \mu F$, $R_1 = 2\ M\Omega$
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability		±10	±50		±20		ppm/°C	$0°C < T_A < 75°C$,
Supply Sensitivity		0.01	0.1		0.01		%/V	$R_1 = R_2 = 20\ k\Omega$ $V_{LOW} = 10V$, $V_{HIGH} = 20V$,
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	$R_1 = R_2 = 20\ k\Omega$ f_H @ $R_1 = 1\ k\Omega$ f_L @ $R_1 = 2\ M\Omega$
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1\ kHz$, $f_H = 10\ kHz$
1000:1 Sweep		8			8		%	$f_L = 100\ Hz$, $f_H = 100\ kHz$
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	μF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output								See Note 1, Figure 2.
Triangle Amplitude		160			160		mV/kΩ	Figure 1, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	Figure 1, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		4800			4800		ppm/°C	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30\ k\Omega$
With Adjustment		0.4	1.0		0.5	1.6	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		nsec	$C_L = 10\ pF$
Fall Time		50			50		nsec	$C_L = 10\ pF$
Saturation Voltage		0.2	0.4		0.2	0.6	V	$I_L = 2\ mA$
Leakage Current		0.1	20		0.1	100	μA	$V_{11} = 26V$
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Note 1: Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 2

Note 2: For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

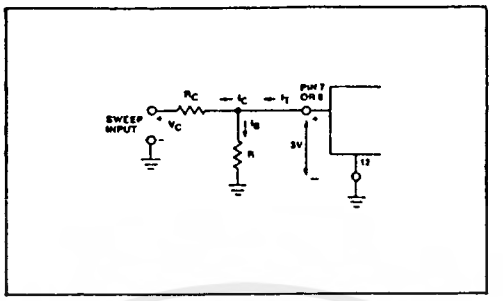


Figure 9: Circuit Connection for Frequency Sweep.

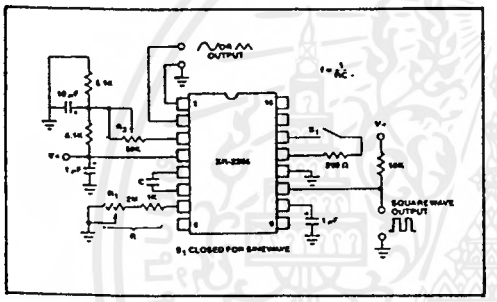


Figure 10: Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3.)

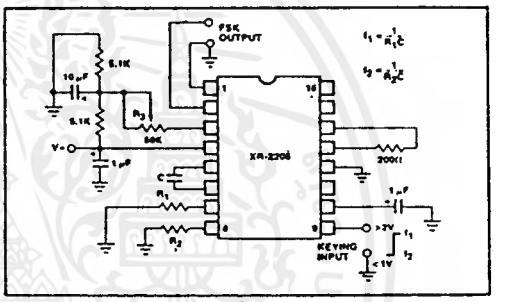


Figure 12: Sinusoidal FSK Generator.

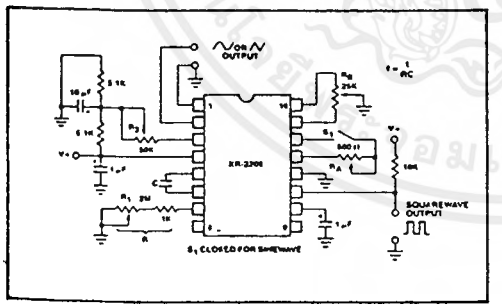


Figure 11: Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing – See Figure 2.)

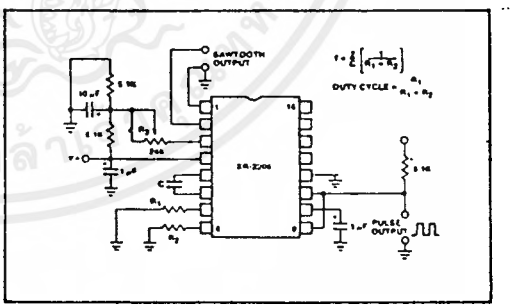


Figure 13: Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is <2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to ≈0.5% by additional adjustments as shown in Figure 11. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

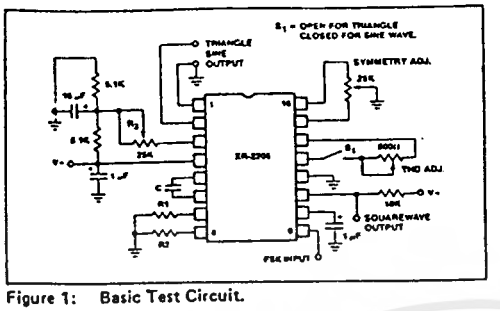


Figure 1: Basic Test Circuit.

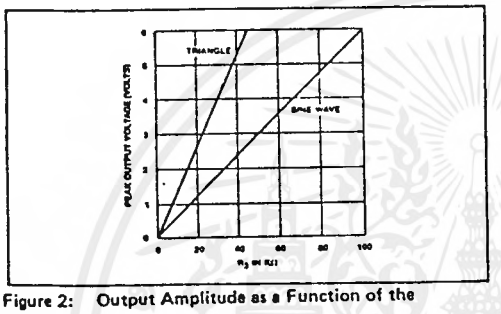


Figure 2: Output Amplitude as a Function of the Resistor, R_3, at Pin 3.

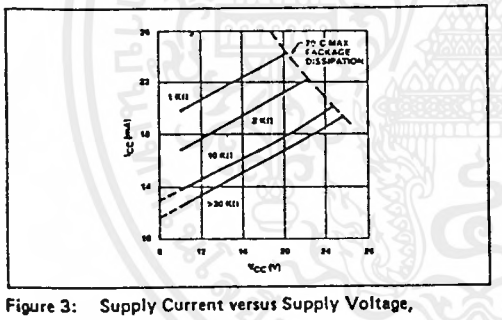


Figure 3: Supply Current versus Supply Voltage, Timing, R.

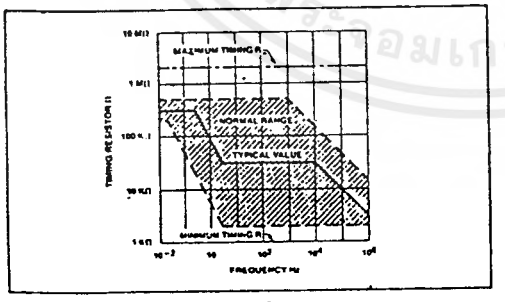


Figure 4: R versus Oscillation Frequency.

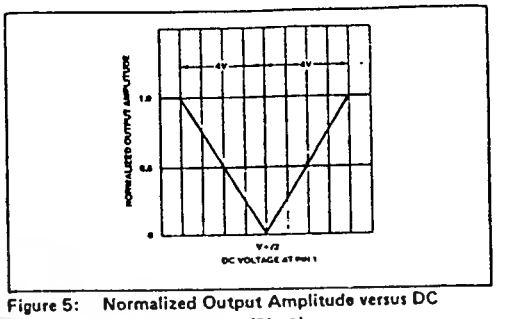


Figure 5: Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

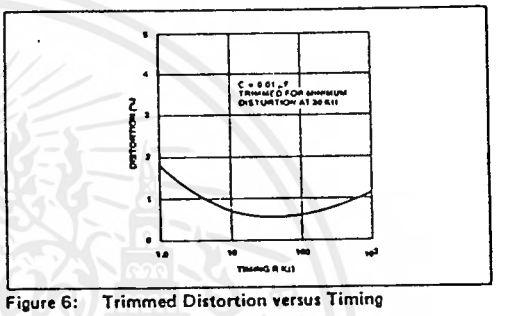


Figure 6: Trimmed Distortion versus Timing Resistor.

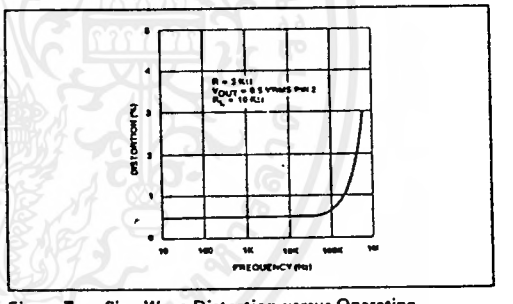


Figure 7: Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

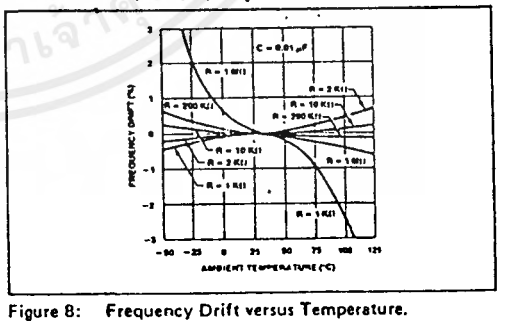


Figure 8: Frequency Drift versus Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:
The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as.

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, are shown in Figure 4. Temperature stability is optimum for $4\ k\Omega < R < 200\ k\Omega$. Recommended values of C are from 1000 pF to 100 μF.

Frequency Sweep and Modulation:
Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320 I_T\ (mA)}{C\ (\mu F)} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T, over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC}\ 1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right) \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_C = -\frac{0.32}{R_C C} \text{ Hz/V}$$

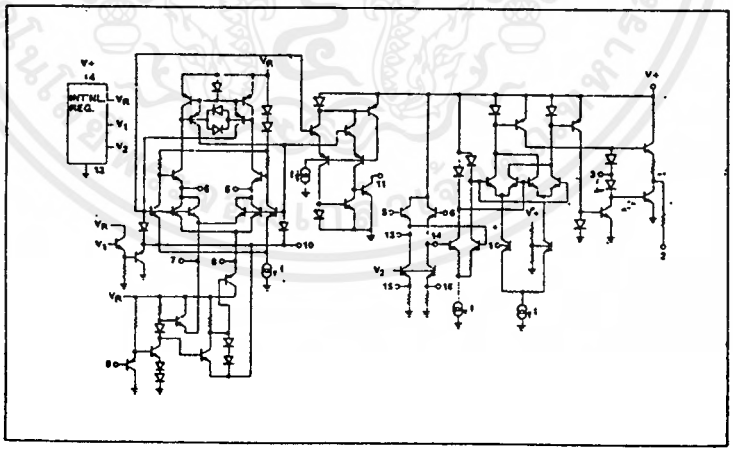
CAUTION: For safe operation of the circuit, I_T should be limited to ≤ 3 mA.

Output Amplitude:
Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160 mV peak per kΩ of R_3. Thus, for example, $R_3 = 50\ k\Omega$ would produce approximately ± 3V sinusoidal output amplitude.

Amplitude Modulation:
Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ± 4 volts of $V^+/2$ as shown in Figure 5. As this bias level approaches $V^+/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+

EQUIVALENT SCHEMATIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Silicon Gate MOS 8255

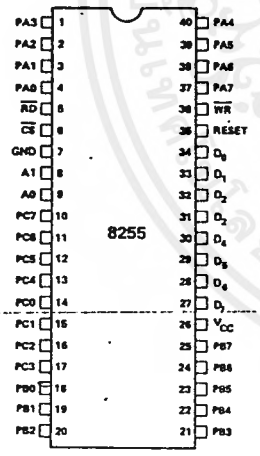
PROGRAMMABLE PERIPHERAL INTERFACE

- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with MCS™-8 and MCS™-80 Microprocessor Families
- Direct Bit Set/Reset Capability Easing Control Application Interface
- 40 Pin Dual In-Line Package
- Reduces System Package Count

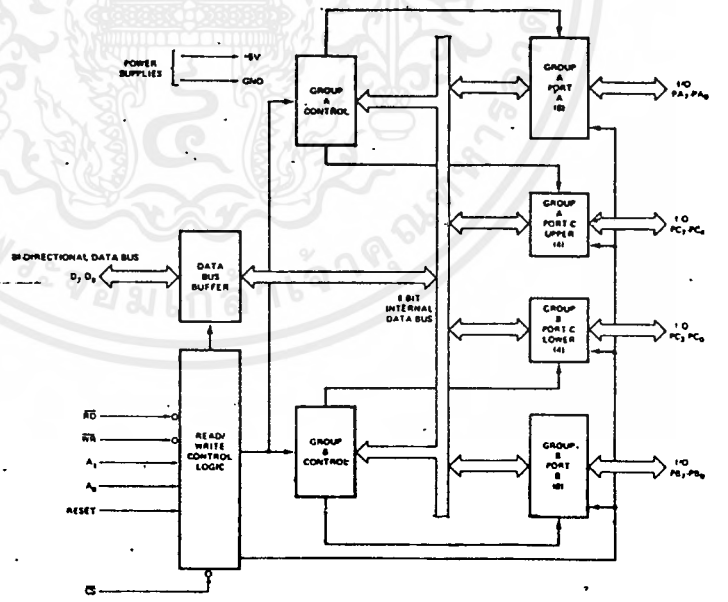
The 8255 is a general purpose programmable I/O device designed for use with both the 8008 and 8080 microprocessors. It has 24 I/O pins which may be individually programmed in two groups of twelve and used in three major modes of operation. In the first mode (Mode 0), each group of twelve I/O pins may be programmed in sets of 4 to be input or output. In Mode 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining four pins three are used for handshaking and interrupt control signals. The third mode of operation (Mode 2) is a Bidirectional Bus mode which uses 8 lines for a bidirectional bus, and five lines, borrowing one from the other group, for handshaking.

Other features of the 8255 include bit set and reset capability and the ability to source 1mA of current at 1.5 volts. This allows darlington transistors to be directly driven for applications such as printers and high voltage displays.

PIN CONFIGURATION



8255 BLOCK DIAGRAM



PIN NAMES

D_7–D_0	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255 BASIC FUNCTIONAL DESCRIPTION

General

The 8255 is a Programmable Peripheral Interface (PPI) device designed for use in 8080 Microcomputer Systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the 8080 system bus. The functional configuration of the 8255 is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state, bi-directional, eight bit buffer is used to interface the 8255 to the 8080 system data bus. Data is transmitted or received by the buffer upon execution of INput or OUTput instructions by the 8080 CPU. Control Words and Status information are also transferred through the Data Bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the 8080 CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

($\overline{CS}$)

Chip Select: A "low" on this input pin enables the communication between the 8255 and the 8080 CPU.

($\overline{RD}$)

Read: A "low" on this input pin enables the 8255 to send the Data or Status information to the 8080 CPU on the Data Bus. In essence, it allows the 8080 CPU to "read from" the 8255.

($\overline{WR}$)

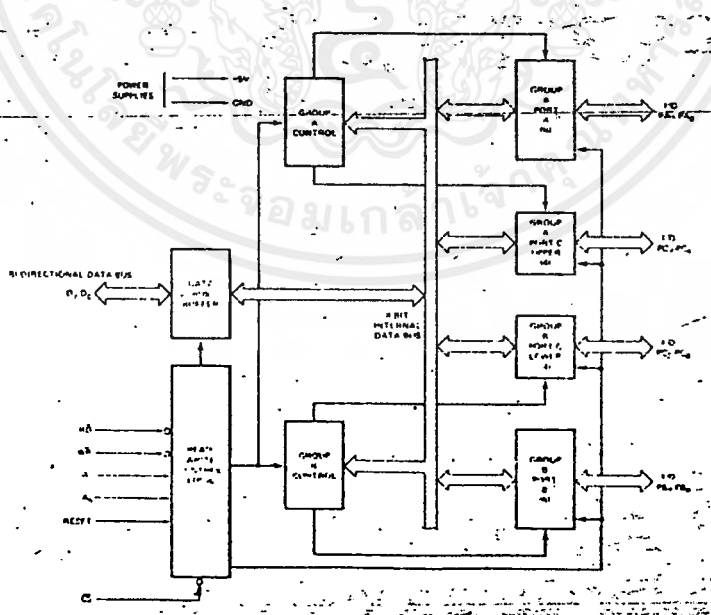
Write: A "low" on this input pin enables the 8080 CPU to write Data or Control words into the 8255.

(A_0 and A_1)

Port Select 0 and Port Select 1: These input signals, in conjunction with the $\overline{RD}$ and $\overline{WR}$ inputs, control the selection of one of the three ports or the Control Word Register. They are normally connected to the least significant bits of the Address Bus (A_0 and A_1).

8255 BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A → DATA BUS
0	1	0	1	0	PORT B → DATA BUS
1	0	0	1	0	PORT C → DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS → PORT A
0	1	1	0	0	DATA BUS → PORT B
1	0	1	0	0	DATA BUS → PORT C
1	1	1	0	0	DATA BUS → CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS → 3-STATE
1	1	0	1	0	ILLEGAL CONDITION



8255 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(RESET)

Reset: A "high" on this input clears all internal registers including the Control Register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the 8080 CPU "outputs" a control word to the 8255. The control word contains information such as "mode", "bit set", "bit reset" etc. that initializes the functional configuration of the 8255.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

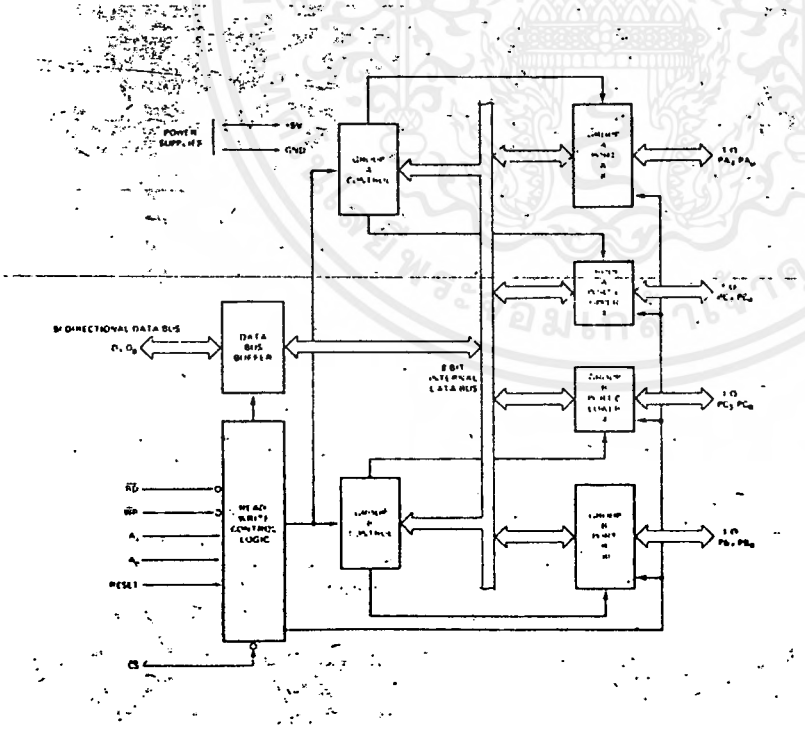
The 8255 contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255.

Port A: One 8-bit data output latch/buffer and one 8-bit data input latch.

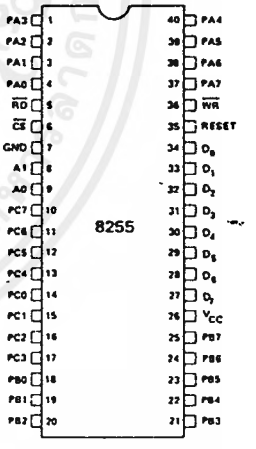
Port B: One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C: One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with Ports A and B.

8255 BLOCK DIAGRAM



PIN CONFIGURATION



PIN NAMES

D_7–D_0	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255 DETAILED OPERATIONAL DESCRIPTION

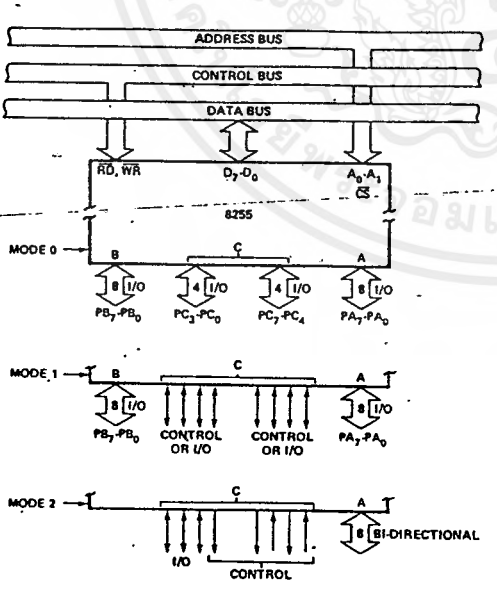
Mode Selection

There are three basic modes of operation that can be selected by the system software:

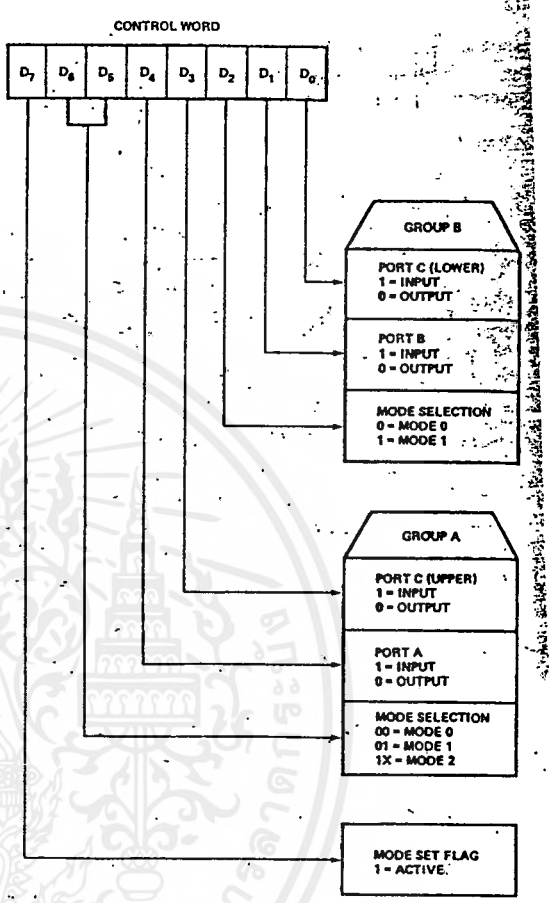
Mode 0 — Basic Input/Output
Mode 1 — Strobed Input/Output
Mode 2 — Bi-Directional Bus

When the RESET input goes "high" all ports will be set to the Input mode (i.e., all 24 lines will be in the high impedance state). After the RESET is removed the 8255 can remain in the Input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single OUTput instruction. This allows a single 8255 to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.



Basic Mode Definitions and Bus Interface



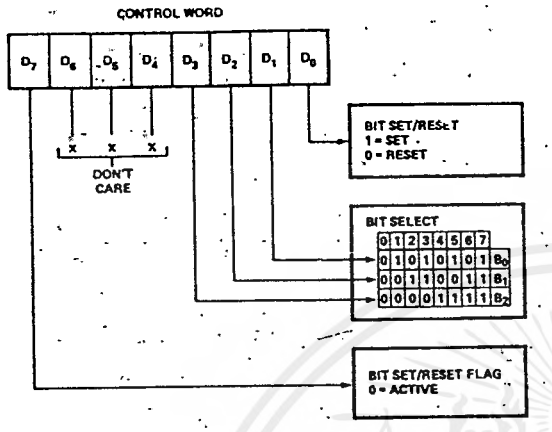
Mode Definition Format

The Mode definitions and possible Mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255 has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255 is programmed to operate in Mode 1 or Mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from Port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the Bit set/reset function of Port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without effecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) — INTE is SET — Interrupt enable
(BIT-RESET) — INTE is RESET — Interrupt disable

Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

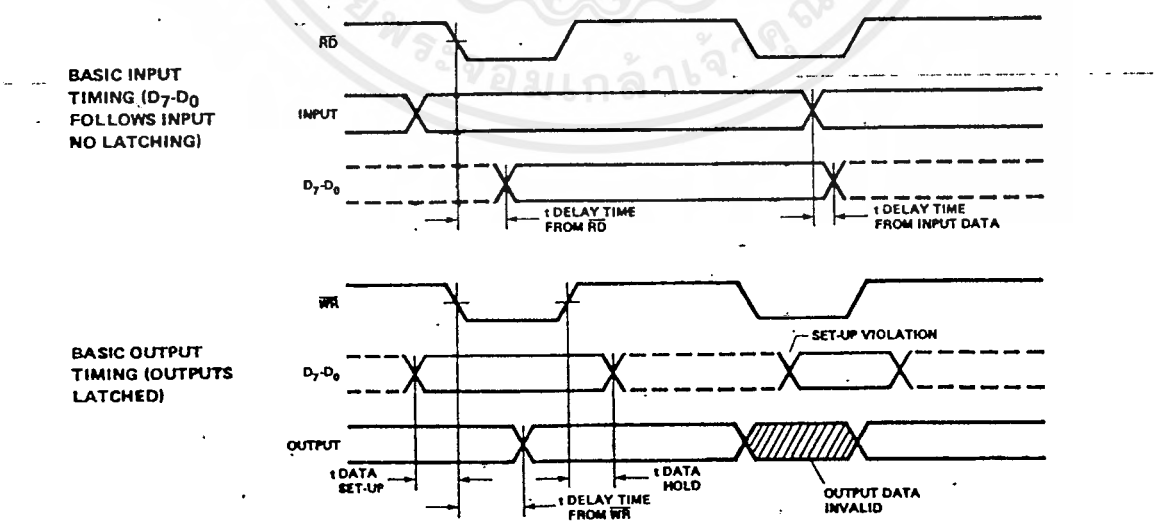
Operating Modes

Mode 0 (Basic Input/Output)

This functional configuration provides simple Input and Output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



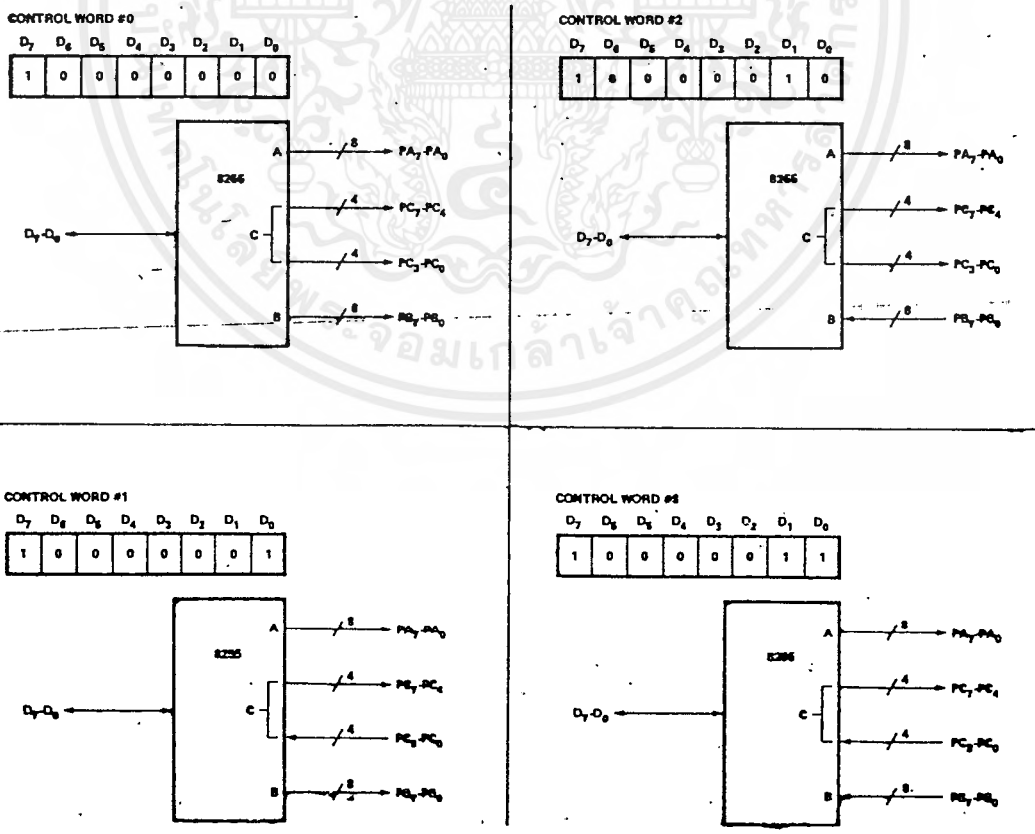
Mode 0 Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 PORT DEFINITION CHART

A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

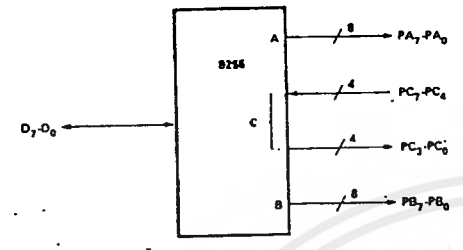
MODE 0 CONFIGURATIONS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

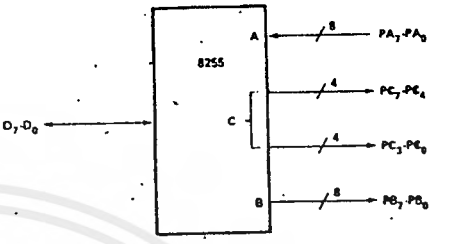
CONTROL WORD #4

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	0



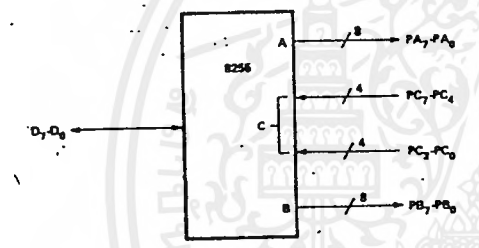
CONTROL WORD #8

D_7	D_6	D_5	D_4	D_3	D_7	D_1	D_0
1	0	0	1	0	0	0	0



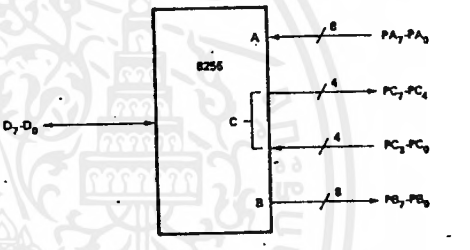
CONTROL WORD #5

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	1



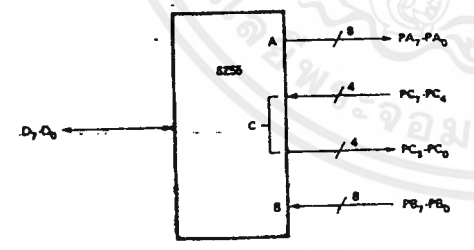
CONTROL WORD #9

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	1



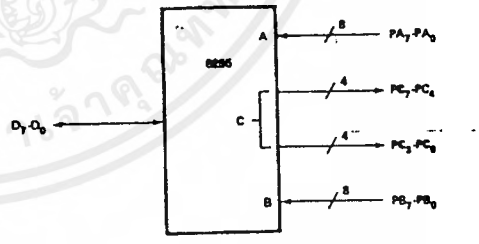
CONTROL WORD #6

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	0



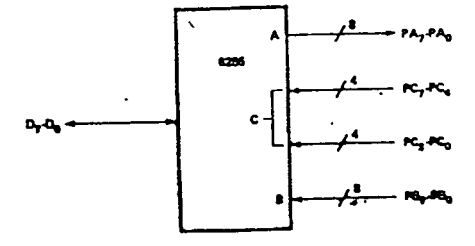
CONTROL WORD #10

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	0



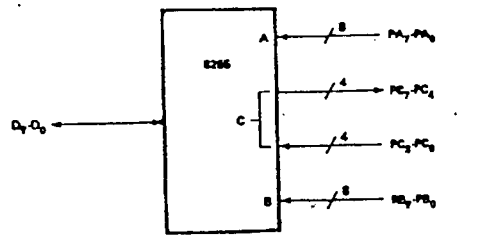
CONTROL WORD #7

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	1

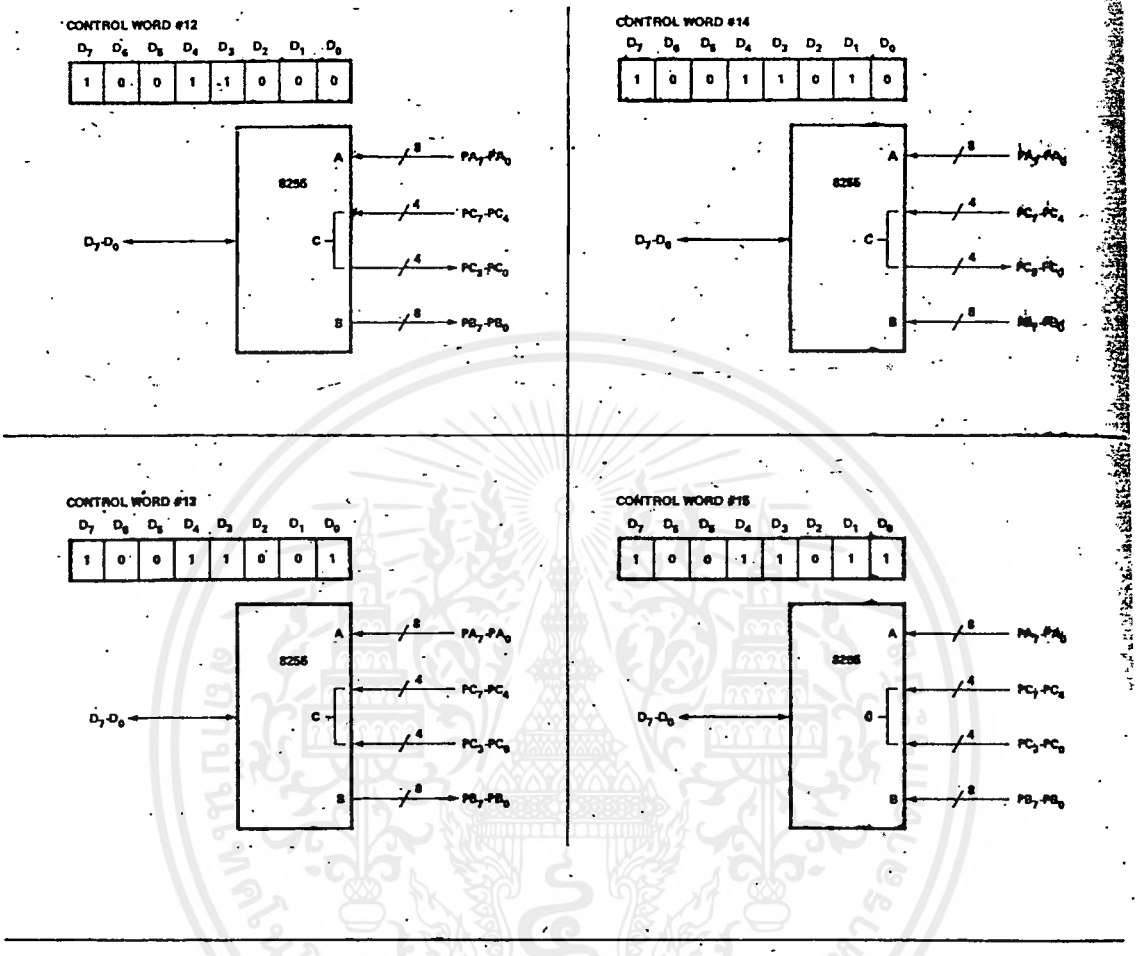


CONTROL WORD #11

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Operating Modes

Mode 1 (Strobed Input/Output)

This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In Mode 1, Port A and Port B use the lines on Port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

$\overline{STB}$ (Strobe Input)

A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by the falling edge of the STB input and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

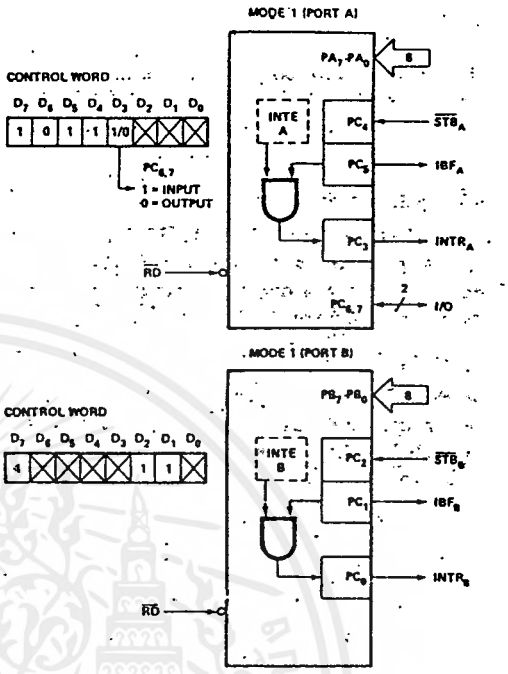
A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the rising edge of $\overline{STB}$ if IBF is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

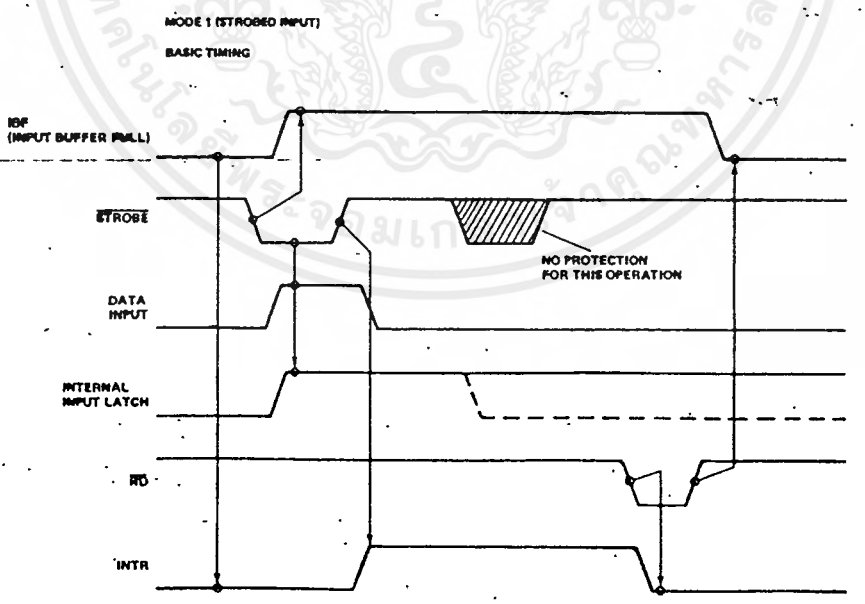
Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.



Mode 1 Input



Basic Timing Input

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F)

The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to the specified port. The OBF F/F will be set by the rising edge of the WR input and reset by the falling edge of the $\overline{ACK}$ input signal.

$\overline{ACK}$ (Acknowledge Input)

A "low" on this input informs the 8255 that the data from Port A or Port B has been accepted. In essence, a response from the peripheral device indicating that it has received the data output by the CPU.

INTR (Interrupt Request)

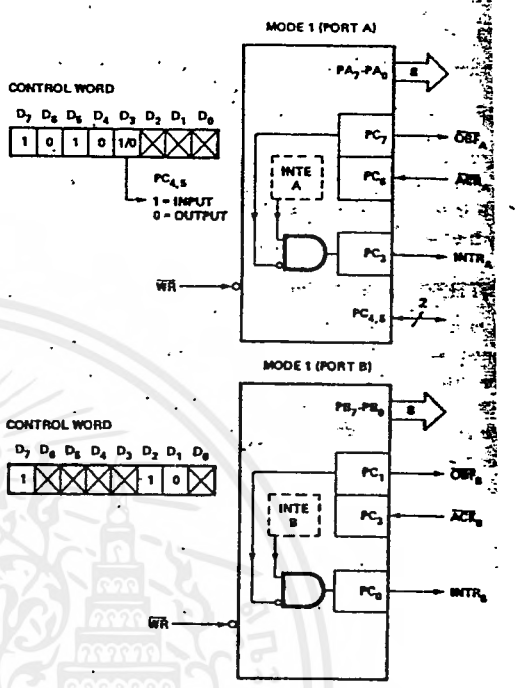
A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set by the rising edge of $\overline{ACK}$ if $\overline{OBF}$ is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTE A

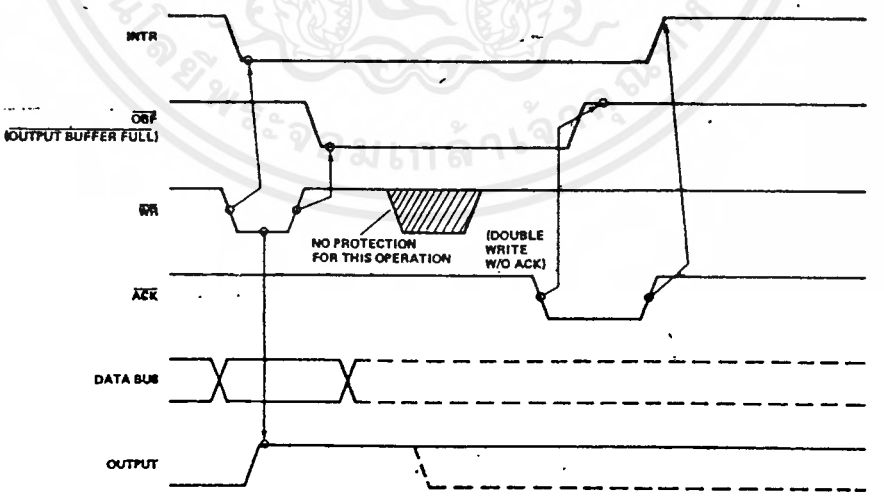
Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.



Mode 1 Output

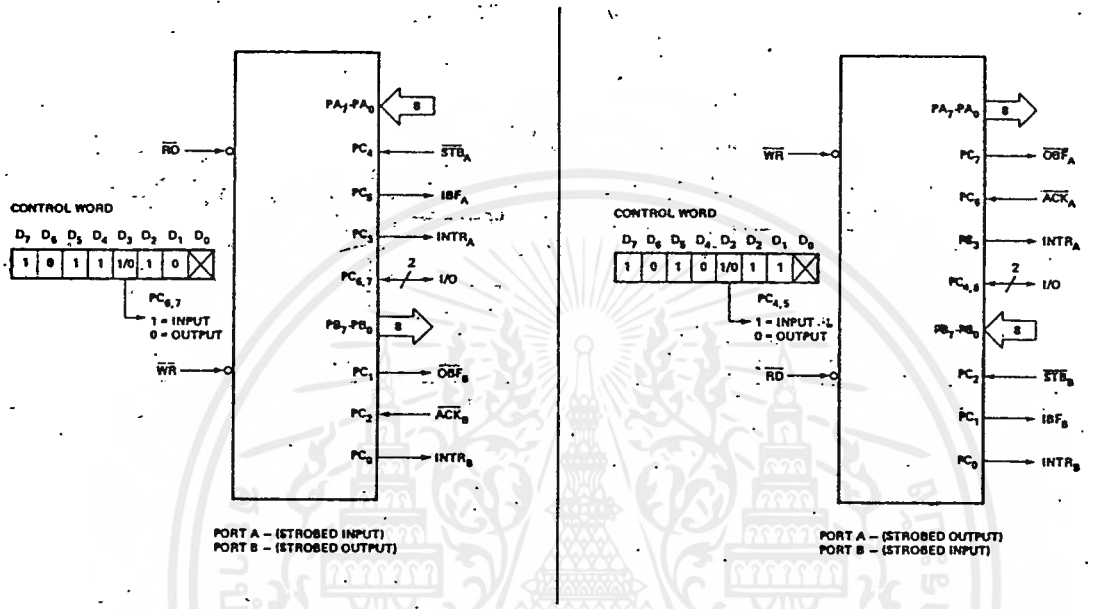


Basic Timing Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Combinations of Mode 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.



Operating Modes

Mode 2 (Strobed Bi-Directional Bus I/O)

This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bi-directional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to Mode 1. Interrupt generation and enable/disable functions are also available.

Mode 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bi-Directional Bus I/O Control Signal Definition

INTR (Interrupt Request)

A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

$\overline{OBF}$ (Output Buffer Full)

The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to Port A.

$\overline{ACK}$ (Acknowledge)

A "low" on this input enables the tri-state output buffer of Port A to send out the data. Otherwise, the output buffer will be in the high-impedance state.

INTE 1 (The INTE Flip-Flop associated with $\overline{OBF}$)

Controlled by bit set/reset of PC_6.

Input Operations

$\overline{STB}$ (Strobe Input)

A "low" on this input loads data into the input latch.

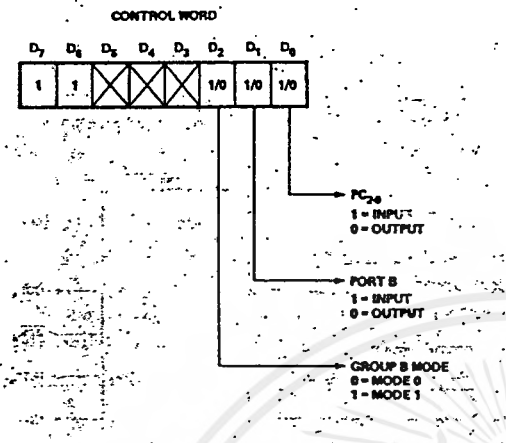
IBF (Input Buffer Full F/F)

A "high" on this output indicates that data has been loaded into the input latch.

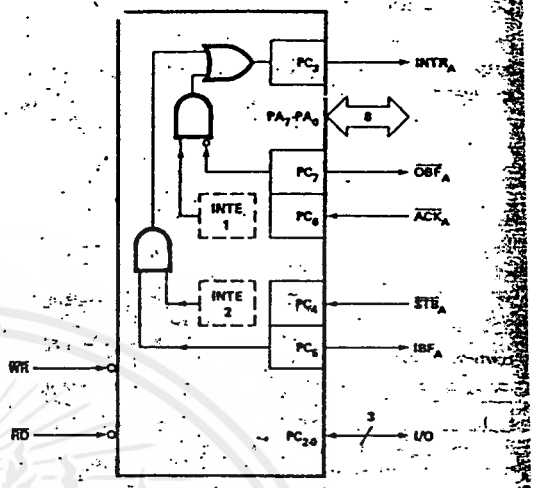
INTE 2 (The INTE Flip-Flop associated with IBF)

Controlled by bit set/reset of PC_4.

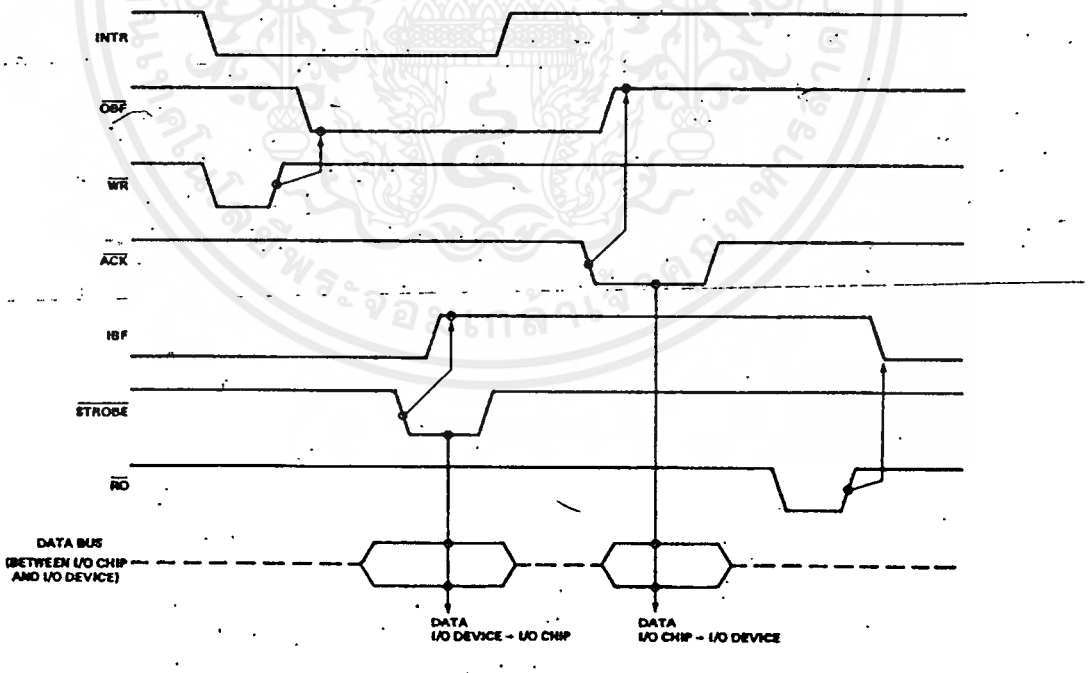
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Mode 2 Control Word

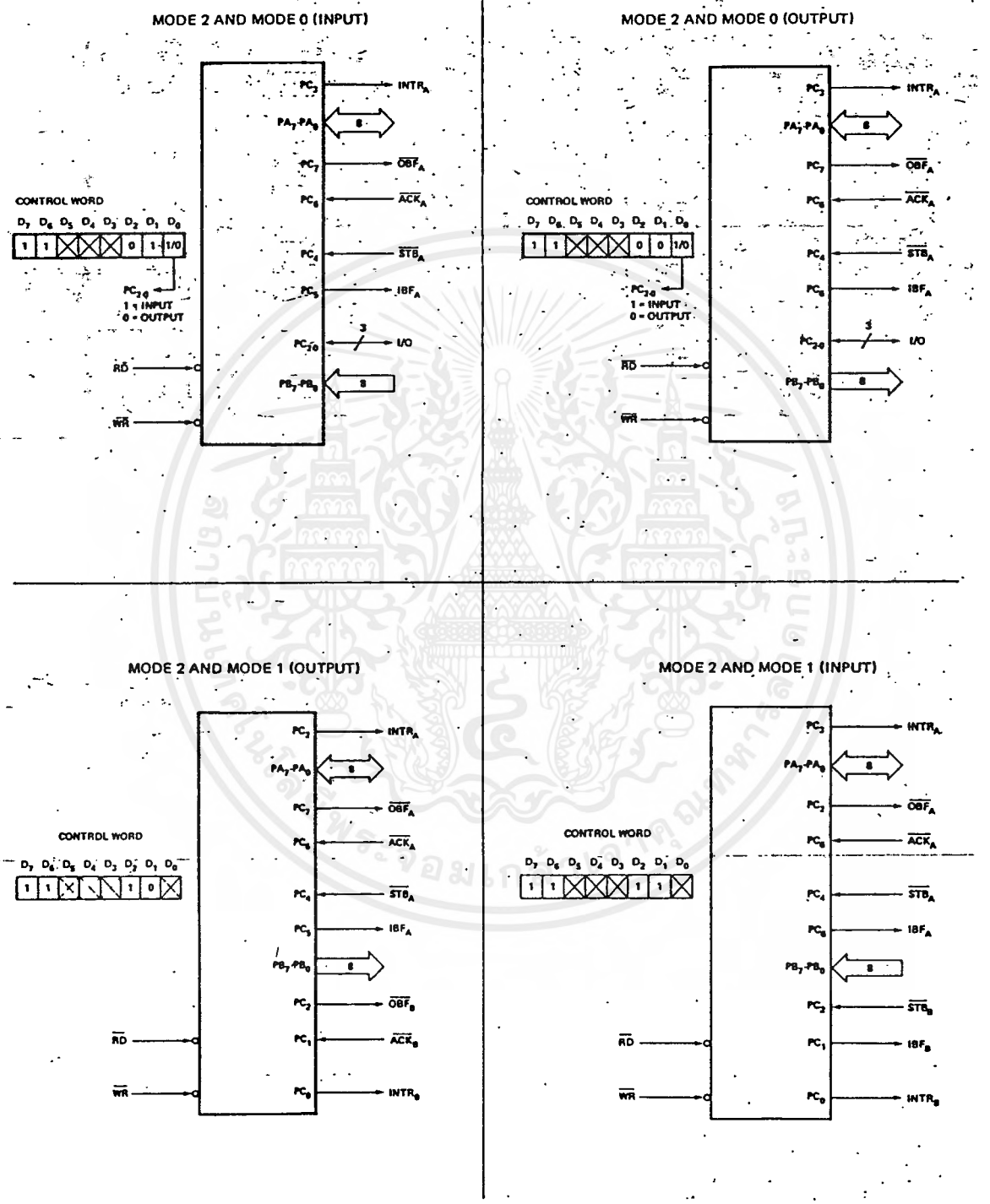


Mode 2



Mode 2 (Bi-directional) Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Mode 2 Combinations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE DEFINITION SUMMARY TABLE

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	←	
PA_1	IN	OUT	IN	OUT	←	
PA_2	IN	OUT	IN	OUT	←	
PA_3	IN	OUT	IN	OUT	←	
PA_4	IN	OUT	IN	OUT	←	
PA_5	IN	OUT	IN	OUT	←	
PA_6	IN	OUT	IN	OUT	←	
PA_7	IN	OUT	IN	OUT	←	
PB_0	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB_1	IN	OUT	IN	OUT	—	
PB_2	IN	OUT	IN	OUT	—	
PB_3	IN	OUT	IN	OUT	—	
PB_4	IN	OUT	IN	OUT	—	
PB_5	IN	OUT	IN	OUT	—	
PB_6	IN	OUT	IN	OUT	—	
PB_7	IN	OUT	IN	OUT	—	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O	
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O	
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$	
PC_5	IN	OUT	IBF_A	I/O	IBF_A	
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$	
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$	

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs –
All input lines can be accessed during a normal Port C read.

If Programmed as Outputs –
Bits in C upper (PC_7-PC_4) must be individually accessed using the bit set/reset function.

Bits in C lower (PC_3-PC_0) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

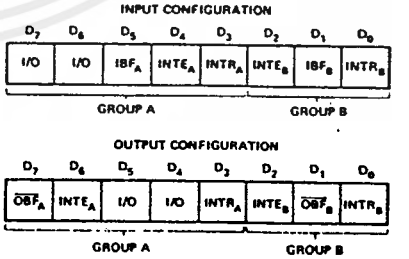
Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

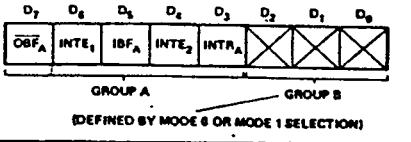
Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.



Mode 1 Status Word Format



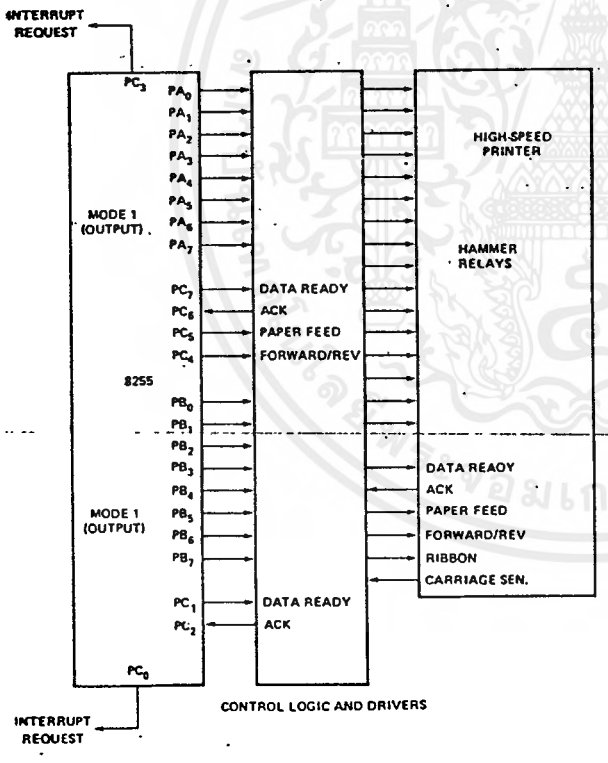
Mode 2 Status Word Format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

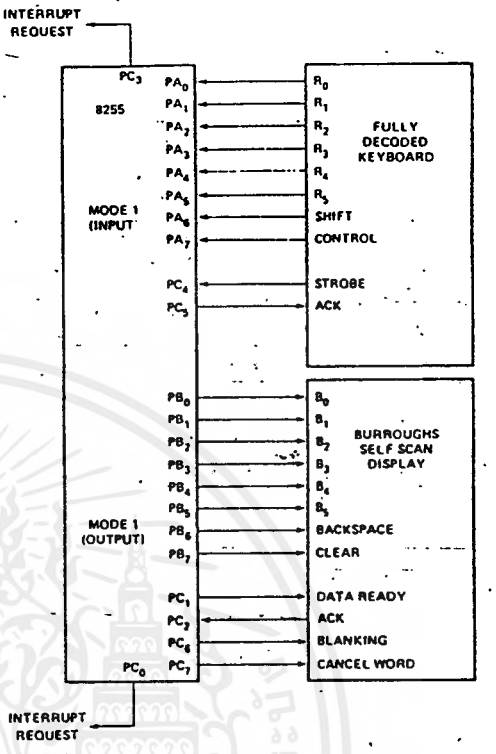
APPLICATIONS OF THE 8255

The 8255 is a very powerful tool for interfacing peripheral equipment to the 8080 microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

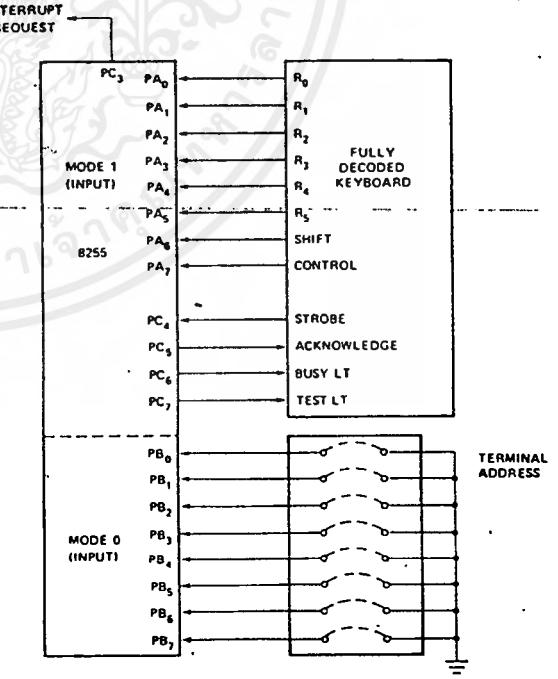
Each peripheral device in a Microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255 is programmed by the I/O service routine and becomes an extension of the systems software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the Detailed Operational Description, a control word can easily be developed to initialize the 8255 to exactly "fit" the application. Here are a few examples of typical applications of the 8255.



Printer Interface

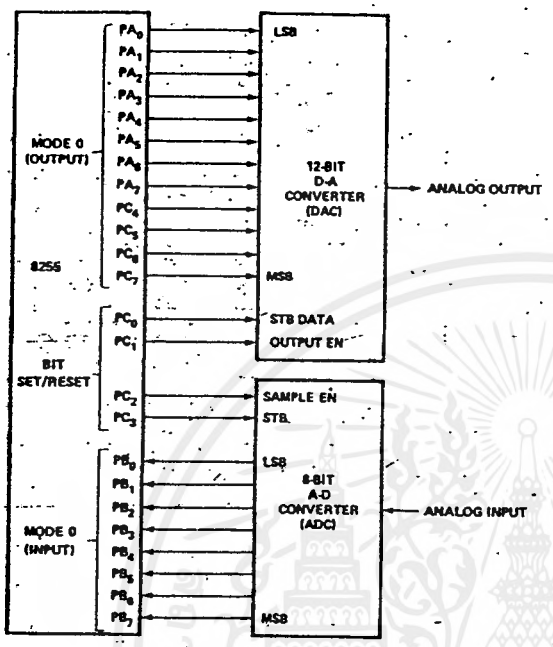


Keyboard and Display Interface

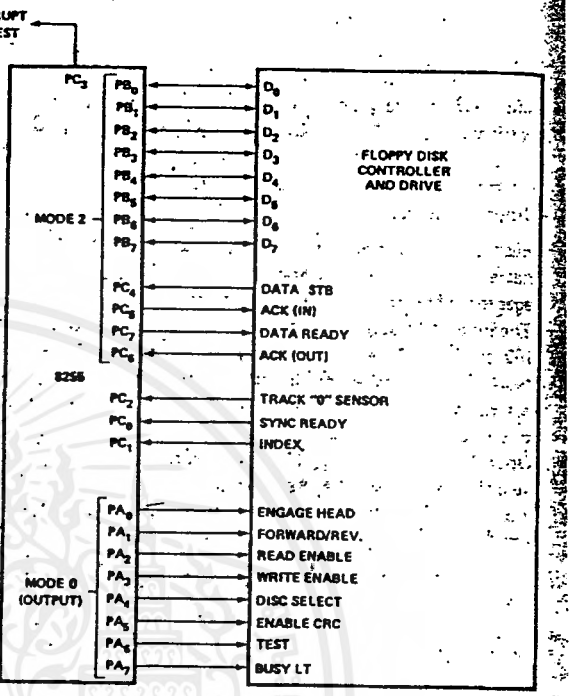


Keyboard and Terminal Address Interface

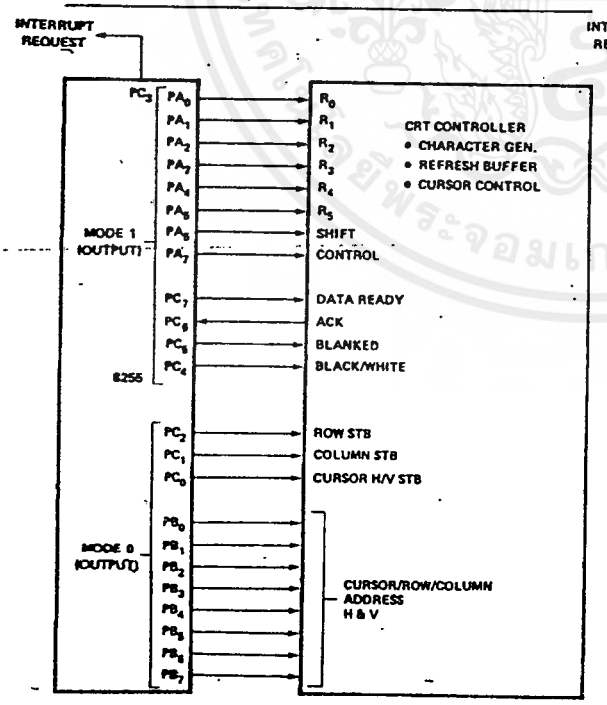
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



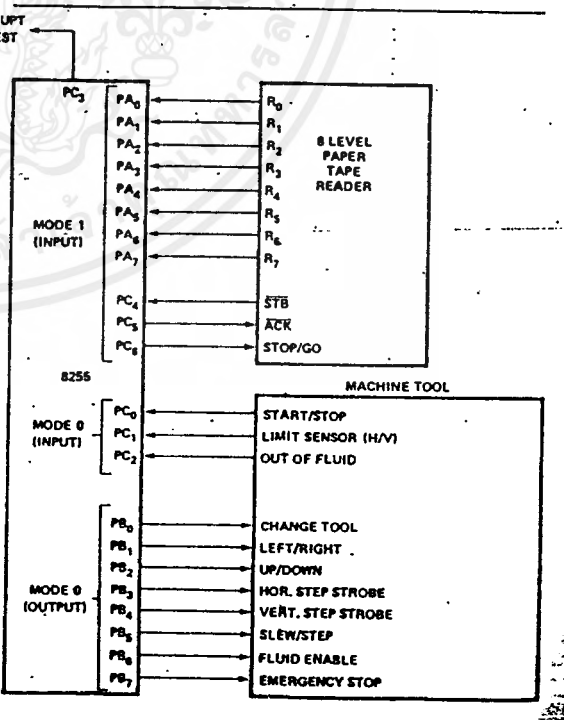
Digital to Analog, Analog to Digital



Basic Floppy Disc Interface

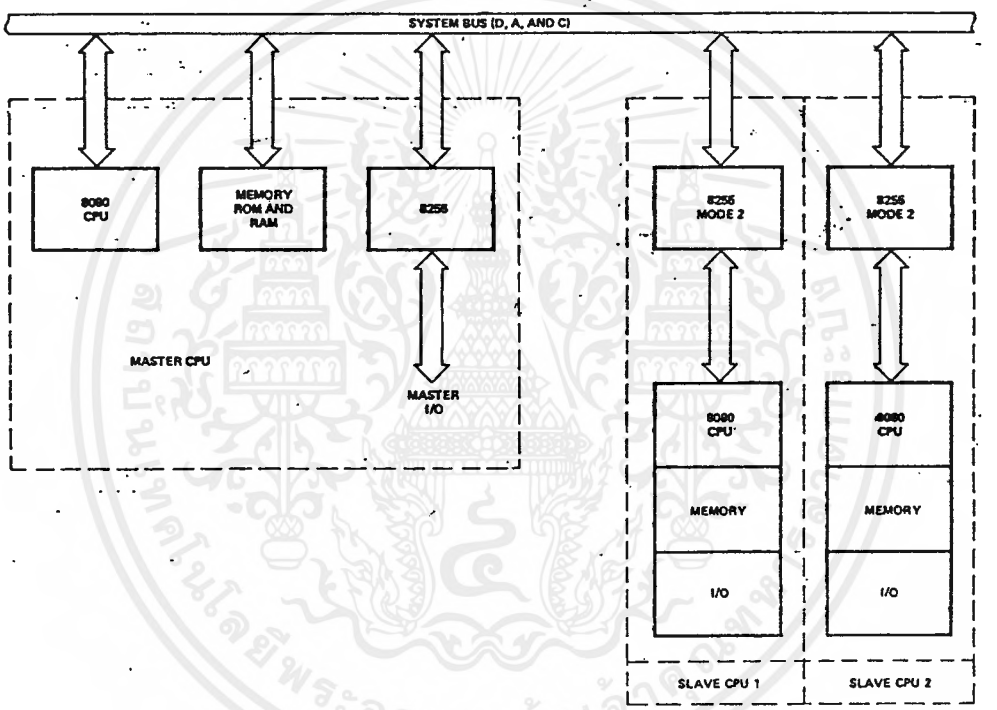


Basic CRT Controller Interface



Machine Tool Controller Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Distributed Intelligence Multi-Processor Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้