สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องส่ง เอฟ.เอ็ม. แบนด์ ๗๘ – ๘๐ เม็กกะเฮิร์ซ

J – Version FM.Transmitter

โดย

นายมงคล	จันทร์ศุกระ	รหัส 40013341
นายสิริพงศ์	รุ่งแสง	รหัส 40013357

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

ภาควิชาเทคนิคอุตสาหกรรม

คณะ วิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา ๒๕๔๒

เลขหมู่.....
เลขทะเบียน.....37144
วัน, เดือน, ปี.....4 ก.ย. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ **เครื่องส่ง เอฟ.เอ็ม. แบน 78 – 90 เม็กกะเฮิร์ซ**

FM.Transmitter (J – Version)

ชื่อนักศึกษา นายมงคล จันทร์ศุกระ รหัส 40013341

นายสิริพงศ์ รุ่งแสง รหัส 40013357

อาจารย์ที่ปรึกษา อาจารย์กฤดากร กล่อมการ

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2542

คณะ วิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์ฉบับนี้ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์ ..... **ประธานกรรมการ**

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่ง เอฟ.เอ็ม. แบนด์ 78 – 90 เม็กกะเฮิร์ซ

โดย	นายมงคล	จันทร์ศุกระ	รหัส 40013341
	นายสิริพงศ์	รุ่งแสง	รหัส 40013357

อาจารย์ที่ปรึกษา อาจารย์กฤดากร กล่อมการ

ปีการศึกษา 2542

บทคัดย่อ

เครื่องส่ง เอฟ.เอ็ม. ในโครงงานนี้สามารถทำงานในช่วงความถี่ 78 – 90 เม็กกะเฮิร์ซ สามารถสร้างสัญญาณ เอฟ.เอ็ม.ที่ความถี่ต่ำกว่าย่านปกติ (88-108 MHz) ทำให้ไม่เกิดการรบกวนกับระบบการส่งเดิมที่มีอยู่ ทางด้านวงจร เฟสล็กลูป มี IC MC145151 ทำหน้าที่จัดการเกี่ยวกับเฟสล็อกลูปทั้งหมด สามารถกำหนดความห่างระหว่างช่องความถี่อยู่ที่ 500 kHz ทางด้านภาคขยายกำลังความถี่สูงได้ใช้วงจรขยายทรานซิสเตอร์โดยใช้การจัดไบอัสแบบ Class C ทำให้ประหยัดค่าใช้จ่ายหากเทียบกับการใช้ RF Amp Module สามารถให้กำลังส่ง 5 วัตต์ ที่แรงดัน 12 โวลท์ และ 10 วัตต์ ที่แรงดัน 15 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

J – VERSION FM.TRANSMITTER

By	Mr. MONGKOL	JANSUGRA	id	40013341
	Mr. SIRIPONG	RUNGSANG	id.	40013357

ADVISER Mr. KITDAKORN KLOMKARN

YEAR 1999

ABSTACT

This Project is J – Version FM transmitter can be used between 78 to 90 MHz. , This FM transmitter can't trouble The Old broadband, because This Project can generate FM. Signal in low frequency of broadband (88-108 MHz),

In phase lock loop circuit, MC145151 to do phase lock loop synthesize, frequency step can be used 500 kHz per channel , RF.power amp circuit we used transistor , if difference a RF module , this circuit is low price ,

In RF power Amp circuit , you should see output power 5 watts at supply voltage 12 volts and 10 watts at supply voltage 15 volts.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยความช่วยเหลือเป็นอย่างดีของ อาจารย์กฤดากร กล่อมการ ซึ่งเป็นอาจารย์ที่ปรึกษาท่านได้ให้คำชี้แนะ และข้อคิดเห็นต่าง ๆ รวมทั้งเครื่องมือ และอุปกรณ์ในการทดลองวิจัยตลอดระยะเวลา 1 ปีเต็ม

ขอกราบขอบพระคุณอาจารย์ทุกท่านที่ได้ประสิทธิ์ ประศาสตร์วิชาความรู้ด้านต่าง ๆ รวมทั้งแนวคิด และคำแนะนำที่ดี ๆ ที่สามารถนำไปใช้ให้เกิดประโยชน์ในภายภาคหน้าได้ ตลอดจนทุกท่านที่มิได้เอ่ยนามในที่นี้ที่ได้ให้ความช่วยเหลือในด้านต่าง ๆ

ขอกราบขอบพระคุณ บิดา มารดา อันเป็นที่รักและเคารพยิ่ง ที่ได้ให้กำลังใจ และเงินทุนสนับสนุนทางด้านการศึกษามาโดยตลอด จนสำเร็จการศึกษา ซึ่งถือได้ว่าเป็นจุดที่ประสบความสำเร็จ จุดหนึ่งในชีวิต

สุดท้ายนี้ขอกราบขอบพระคุณ ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง โดยเฉพาะที่ นนทบุรี ซึ่งเป็นที่ทำการทดลองวิจัย ตลอดจนเจ้าหน้าที่ต่าง ๆ ที่ให้ความช่วยเหลือและคอยอำนวยความสะดวกแก่คณะผู้จัดทำ

ผู้จัดทำ

นายมงคล จันทร์ศุกระ

นายสิริพงศ์ รุ่งแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	**ก**
บทคัดย่อภาษาอังกฤษ	**ข**
กิตติกรรมประกาศ	**ค**
สารบัญรูปภาพ	**ง**
สารบัญตาราง	**จ**
บทที่ 1 บทนำ	**1**
บทที่ 2 หลักการทำงานของวงจร และการสังเคราะห์ความถี่	**3**
2.1 หลักการทำงานของวงจร	3
2.2 การสังเคราะห์ความถี่	4
2.2.1 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปโดยตรง	5
2.2.2 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบฐณความถี่	5
2.2.3 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบปรีสเกลสองโมดูลัส	6
2.2.4 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบมิกซิ่งนอกลูป	7
2.2.5 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบมิกซิ่งในลูป	7
2.3 คุณสมบัติของวงจรสังเคราะห์ความถี่	8
2.4 การวิเคราะห์เฟสล็อกลูป	8
2.5 ค่าผิดพลาด	9
2.6 ลูปฟิลเตอร์	11
2.6.1 หน้าที่ของโลฟาสฟิลเตอร์ในเฟสล็อกลูป	12
2.6.2 การลดช่วงกว้างของฟิลเตอร์	12
2.6.3 วงจรโลพาสฟิลเตอร์	13
2.6.4 ล็อกเรนจ์	17
2.6.5 แคปเจอร์เรนจ์	17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

2.7 วงจรเฟสดีเทคเตอร์ 17

2.8 วงจรผลิตความถี่ควบคุมด้วยแรงดัน 21

บทที่ 3 การมอดูเลทแบบ FM. และภาคขยายความถี่สูง 23

3.1 การมอดดูเลทสัญญาณ FM 23

3.2 วงจรขยายความถี่วิทยุ (R.F.Amplifier) 25

3.3 วงจรเทียบเท่าของทรานซิสเตอร์ที่ความถี่สูง 25

3.3.1 การวิเคราห์ทางอินพุทอิมพีแดนซ์ 28

3.3.2 การวิเคราห์ทางเอาต์พุทอิมพีแดนซ์ 29

3.4 การไบอัสทรานซิสเตอร์ความที่ถี่สูง 30

3.4.1 วงจรขยายคลาส A 30

3.4.2 วงจรขยายคลาส B 31

3.4.3 วงจรขยายคลาส C 32

บทที่ 4 ภาคกำเนิดสัญญาณ FM 34

4.1 วงจรหารกำหนดค่าได้ (Program Counter) 35

4.2 วงจรหารความถี่อ้างอิง (Reference Counter) 36

4.3 วงจรกำเนิดความถี่ด้วย X-tal (X-tal Oscillator) 37

4.4 วงจรเฟสดีเทคเตอร์ (Phase Detector) 37

4.5 วงจรกำหนดความถี่ด้วยแรงดันไฟฟ้า (Voltage Control Oscillator : VCO) 38

4.6 วงจรหารค่าคงที่ (Prescaler) 39

4.7 วงจรความถี่ต่ำผ่านและวงจรขยายสัญญาณเสียง 40

(Low pass filter & Audio Amp)

4.8 วงจรขยายความถี่สูง (RF Amp) 41

4.9 วงจรลูปฟิลเตอร์ (Loop filter) 41

4.9.1 ขั้นตอนในการออกแบบลูปฟิลเตอร์ 42

4.9.2 การคำนวณ 43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

บทที่ 5 วงจรขยายกำลังความถี่สูง 45

5.1 การออกแบบวงจรขยายกำลังความถี่สูง 45

5.2 การทำแมตซ์ชิ่ง 45

5.3 การหาโหลดที่เหมาะสมที่สุดของทรานซิสเตอร์ 46

5.4 กำลังงานทางอินพุทของทรานซิสเตอร์ 47

5.5 การคำนวณหาเสถียรภาพของวงจร 49

5.6 ขั้นตอนการออกแบบ 52

5.7 วงจรขยายกำลังความถี่สูง 55

บทที่ 6 สรุปผลการวิจัยและข้อเสนอแนะ 56

6.1 สรุปผลการทำงานของวงจร 56

6.2 ข้อเสนอแนะ 58

เอกสารอ้างอิง 62

ภาคผนวก 63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 แสดง Block Diagram ของวงจร 3

รูปที่ 2.2 แสดงแผนผังเบื้องต้นของเฟสล็อกลูป 5

รูปที่ 2.3 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบทางตรง 5

รูปที่ 2.4 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบคูณความถี่ 6

รูปที่ 2.5 แสดงการสังเคราะห์ความถี่แบบพรีสเกลเลอร์สองโมดูลัส 6

รูปที่ 2.6 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบมิกซิ่งนอกลูป 7

รูปที่ 2.7 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบมิกซิ่งในลูป 7

รูปที่ 2.8 แสดง Phase Lock Loop 8

รูปที่ 2.9 แสดงระบบป้อนกลับ 9

รูปที่ 2.10 แสดงคุณลักษณะในการเปลี่ยนความถี่ของเฟสล็อกลูป 12

รูปที่ 2.11 แสดงโลว์พาสฟิลเตอร์อันดับ 1 โดยใช้วงจร R-C 13

รูปที่ 2.12 แสดงวงจร แลก-ลีด อันดับหนึ่ง (Lag - Lead Filter) 14

รูปที่ 2.13 แ สดงวงจรแอคทีฟฟิลเตอร์ อันดับ 1 15

รูปที่ 2.14 แสดงการตอบสนองความถี่ของลูปอันดับสอง 16

รูปที่ 2.15 (A) แสดงสัญญลักษณ์ของแอคคลุซีฟออร์เฟสดีเทคเตอร์ 18

(B) แสดงแรงดันเอาท์พุทที่สัมพันธ์กันระหว่างอินพุททั้งสองที่เข้ามา 18

(C) แสดงคุณสมบัติอินพุทเอาท์พุทของเฟสดีเทคเตอร์ 18

รูปที่ 2.16 แสดง R - S F/F เฟสดีเทคเตอร์และสัญญาณอินพุทเอาท์พุท ของ R - S F/F เฟสดีเทคเตอร์ 19

รูปที่ 2.17 แสดงคุณสมบัติอินพุทเอาท์พุทของ F/F เฟสดีเทคเตอร์ 19

รูปที่ 2.18 แสดงเฟสดีเทคเตอร์ที่สร้างจาก D - Flip-Flop 20

รูปที่ 2.19 แสดงการใช้วาริแคปกับวงจรออสซิลเลเตอร์ 22

รูปที่ 3.1 แสดงวงจรสมมูลย์ของวงจรกำเนิดความถี่แบบ LC 23

รูปที่ 3.2 วงจรเทียบเท่าทรานซิสเตอร์ที่ความถี่สูงในรูปของ hybid-π 26

รูปที่ 3.3 แสดงวงจรทรานซิสเตอร์ที่ความถี่สูงจะมีค่าอินดักเตอร์ด้วย 27

รูปที่ 3.4 แสดงวงจรเทียบเท่าเมื่อใช้ผลของมิลเลอร์ในการแยก C และ R 27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.5 แสดงวงจรเทียบเท่าทางด้านอินพุท 28
รูปที่ 3.6 แสดงวงจรเทียบเท่าทางด้านเอาท์พุท 29
รูปที่ 3.7 แสดงคุณสมบัติของวงจรขยายแบบต่างๆ 30
รูปที่ 3.8 แสดงคุณสมบัติการขยายที่เป็นลิเนียร์ 31
รูปที่ 3.9 แสดงวงจรขยายสัญญาณแบบคลาส C 32
รูปที่ 3.10 แสดงวงจรขยายคลาส C แบบ Self bias 33
รูปที่ 4.1 แสดง Block Diagram ภาคกำเนิดสัญญาณ FM 34
รูปที่ 4.2 แสดงวงจร Program counter 35
รูปที่ 4.3 แสดงวงจร Reference Counter และ X-tal oscillator 36
รูปที่ 4.4 แสดงวงจรเฟสดีเทคเตอร์ 37
รูปที่ 4.5 แสดงรูปคลื่นที่เอาท์พุทของดีเทคเตอร์ทั้งสองแบบ 38
รูปที่ 4.6 แสดงวงจรกำหนดความถี่ด้วยแรงดันไฟฟ้า 38
รูปที่ 4.7 แสดงวงจร Prescaler 40
รูปที่ 4.8 แสดงวงจร Low pass filter & Audio Amp 40
รูปที่ 4.9 แสดงวงจร RF Amp 41
รูปที่ 4.10 แสดงวงจร Loop filter 41
รูปที่ 4.11 แสดงวงจรในส่วน PLL Board 44
รูปที่ 5.1 แสดงวงจรแมตช์ชิ่งที่ใช้ในการปรับอิมพีแดนซ์ และสูตรการคำนวณ 46
รูปที่ 5.2 แสดงรูปสัญญาณอินพุทที่ป้อนเข้าวงจรขยาย 47
รูปที่ 5.3 แสดงวงจรที่ได้จากการคำนวณ 54
รูปที่ 5.4 แสดงวงจรขยายกำลังความถี่สูง 55
รูปที่ 6.1 แสดงรูปถ่ายวงจรเครื่องส่ง FM. ความถี่ 78-90 MHz 59
รูปที่ 6.2 รูปถ่ายแสดง Spectrum จาก เครื่องส่ง FM. ความถี่ 78-90 MHz 60
ขณะทำงานที่ความถี่ 80 MHz ที่ Spend = 0.2 MHz
รูปที่ 6.3 รูปถ่ายแสดงกำลังส่งของเครื่อง เครื่องส่ง FM. ความถี่ 78-90 MHz 60
ขณะทำงานที่ความถี่ 80 MHz
รูปที่ 6.4 รูปถ่ายแสดง Spectrum จาก เครื่องส่ง FM. ความถี่ 78-90 MHz 61
ขณะทำงานที่ความถี่ 80 MHz ที่ Spend = 1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2.1 Stedy State Error for Various System Type 11
ตารางที่ 6.1 แสดงความแรงของสัญญาณทางเอ้าพุทของวงจร PLL Board 56
ตารางที่ 6.2 แสดงการเปลี่ยนแปลงความถี่ทำได้โดยการกำหนดค่าที่ Dip switch 56
ตารางที่ 6.3 แสดงกำลังส่งของภาค RF Power Amp 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

แนวความคิด

ปัจจุบันการสื่อสารด้วยระบบวิทยุ FM ยังเป็นที่นิยม และใช้งานกันอย่างกว้างขวางเพราะราคาถูก ความถี่ที่ใช้อยู่ในช่วง 88 – 108 MHz ในงานประชุมหรืองานกระจายเสียงกลางแจ้งอาจมีบุคลบางกลุ่มที่ไม่อาจเข้าใจในภาษาท้องถิ่นที่ใช้ในการประกาศหรือบรรยายต่างๆได้ จำเป็นต้องใช้การกระจายเสียงเฉพาะบุคล ระบบที่นิยมอย่างหนึ่งก็คือการกระจายเสียงผ่านคลื่นวิทยุโดยใช้เครื่องรับที่ติดประจำตัวบุคลนั้นรับคลื่นวิทยุหากเราใช้วิทยุที่มีขายตามท้องตลาดเป็นตัวรับคลื่นจะมีปัญหาการรบกวนกับระบบการจายเสียงที่มีอยู่เดิม เพื่อหลีกเลี่ยงการรบกวนกันระหว่างสถานีส่ง (โดยเฉพาะในเขตพื้นที่กรุงเทพฯ ซึ่งมีสถานีส่งอยู่มาก) โดยใช้เครื่องรับระบบต่างประเทศซึ่งใช้ความถี่ที่ไม่ตรงกันก็จะสามารถหลีกเลี่ยงการรบกวนนั้นได้ ในที่นี้เราเลือกใช้ระบบเครื่องรับของประเทศญี่ปุ่น (J-Version) ซึ่งมีความถี่ในช่วง 78 – 90 MHz ใกล้เคียงกับความถี่การกระจายเสียงที่มีอยู่ญี่ปุ่น จึงสามารถใช้เครื่องรับของญี่ปุ่นได้ทำให้ประหยัด ช่วยลดต้นทุนในการออกแบบเครื่องรับ

วัตถุประสงค์

1. เพื่อศึกษาและเข้าใจระบบการสังเคราะห์ความถี่ของเครื่องส่ง แบบ FM
2. เพื่อศึกษาและเข้าใจการมอดูเลตแบบ FM
3. เพื่อศึกษาและเข้าใจวงจรขยายความถี่สูง (RF- Amp)
4. สามารถสร้างเครื่องส่ง FM ย่าน 78-90 MHz (J-Band) ใช้ในการกระจายเสียงแบบครอบคลุมพื้นที่กว้าง

องค์ประกอบของปริญญานิพนธ์

บทที่ 2 หลักการทำงานของวงจร และการสังเคราะห์ความถี่

อธิบายส่วนต่างๆของวงจร วิธีการสังเคราะห์ความถี่ การสังเคราะห์ความถี่ในรูปแบบต่างๆ

บทที่ 3 การมอดูเลทแบบ FM. และภาคขยายกำลังความถี่สูง

อธิบายถึงการสร้างสัญญาณ FM. และหลักการขยายสัญญาณในวงจรขยายสัญญาณความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 ภาคกำเนิดสัญญาณ FM.

อธิบายการทำงานในส่วนต่างๆของวงจรภาคกำเนิดสัญญาณ FM.

บทที่ 5 วงจรขยายกำลังความถี่สูง

อธิบายภาวรทำงานของวงจรขยายกำลังความถี่สูง การแมตซ์ซิ่ง การคำนวณหาค่าอุปกรณ์ในวงจร

บทที่ 6 บทสรุป

สรุปการทำงานของวงจรที่สร้างขึ้น คุณสมบัติของวงจร ข้อดีข้อเสียต่างๆ

ภาคผนวก

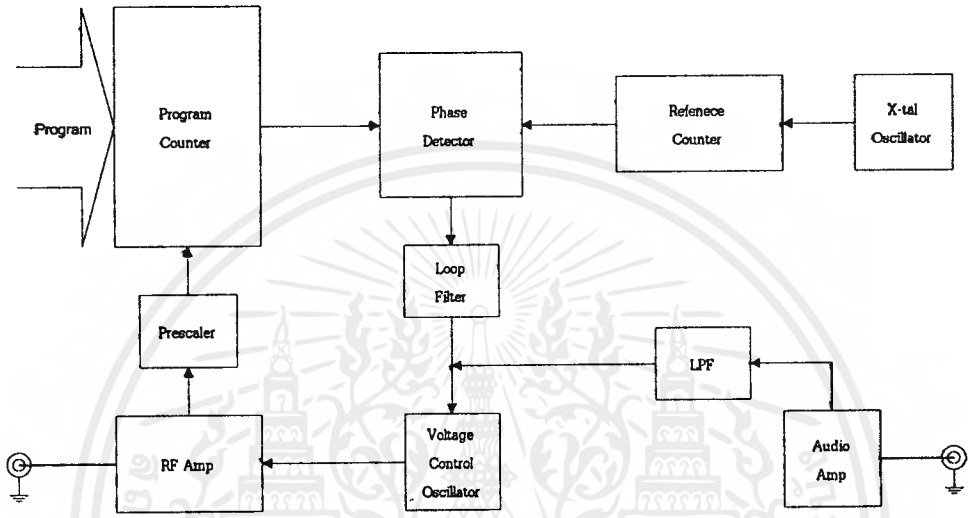
รวมวงจรในภาคต่างๆ แผ่นวงจรและการวางอุปกรณ์ รวมไปถึงรายละเอียดข้อมูลอุปกรณ์ที่นำมาใช้ในโครงงานนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

หลักการทำงานของวงจร และการสังเคราะห์ความถี่

2.1 หลักการทำงานของวงจร



รูปที่ 2.1 แสดง Block Diagram ของวงจร

เมื่อรับสัญญาณเสียงจากภายนอก จะถูกขยายสัญญาณให้แรงขึ้น สัญญาณที่ได้จะถูกส่งผ่านเข้าวงจรกรองความถี่ต่ำผ่านเพื่อกำหนดแบนด์วิดท์ (Band With) ของสัญญาณ FM ส่งเข้าไปมอดดูเลชั่น (Modulation) ภายในวงจร VCO (Voltage-Control OSC) ซึ่งเป็นส่วนหนึ่งของวงจรเฟสล็อกลูป

ภายในวงจรเฟสล็อกลูป (Phase Lock Loop : PLL) ประกอบด้วยภาคต่างๆ แร่คริสตอล X-Tal จะผลิตความถี่ 10.24 MHz ทำงานร่วมกับวงจรหาร 2048 เพื่อทำการกำหนดความถี่อ้างอิง (Frequency Reference : fr) ความถี่ที่ได้จะนำไปเปรียบเทียบกับความถี่ที่ถูกหารจากภาค VCO ในส่วนที่เป็นวงจรเฟสดีเทคเตอร์ (PD) สัญญาณเอาท์พุทที่ได้จะถูกส่งผ่านไปยังวงจรลูปฟิลเตอร์ เพื่อกรองความถี่สูงออกไป และเปลี่ยนพัลซ์ที่ได้เป็นสัญญาณที่นำไปควบคุมวงจร VCO

VCO ทำหน้าที่เปลี่ยนสัญญาณที่ได้เป็นความถี่สูง และสัญญาณเสียงจะถูกส่งเข้ามามอดดูเลชั่นกับสัญญาณความถี่สูงเอาท์พุทที่ได้จะมีการเปลี่ยนแปลงทางด้านความถี่หรือสัญญาณเอฟเอ็ม (Frequency Modulation) สัญญาณเอฟเอ็มที่ได้จะส่งผ่านวงจรบัฟเฟอร์ (Buffer) เพื่อป้องกันการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รบกวนระหว่างภาคขยายทางด้านเอาท์พุทกับวงจรเฟสล็อกลูป สัญญาณที่ได้จากบัฟเฟอร์ จะถูกขยายด้วยภาค RF-Drive และภาคขยาย RF-PowerAmp ส่งออกทางสายอากาศ

สัญญาณส่วนอีกส่วนหนึ่งของวงจร VCO จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิงที่วงจร PD จากนั้นนำความถี่ที่คลาดเคลื่อนแปลงเป็นแรงดัน เพื่อนำไปควบคุมการผลิตความถี่ของ VCO ต่อไป

2.2 การสังเคราะห์ความถี่

เครื่องรับส่งในปัจจุบัน ส่วนใหญ่นิยมใช้วิธีการสังเคราะห์ความถี่ synthesizer ทำให้เครื่องรับส่งวิทยุมีการพัฒนาขีดความสามารถในการโปรแกรมความถี่ที่ใช้งานทำให้เกิดความคล่องตัว

วิธีสังเคราะห์ความถี่

วงจรสังเคราะห์ความถี่ คือ วงจรทำหน้าที่ผลิตสัญญาณที่มีความถี่ตามที่ต้องการด้วยการโปรแกรมวิธีการสังเคราะห์ความถี่แบ่งออกได้เป็น 2 วิธีคือ

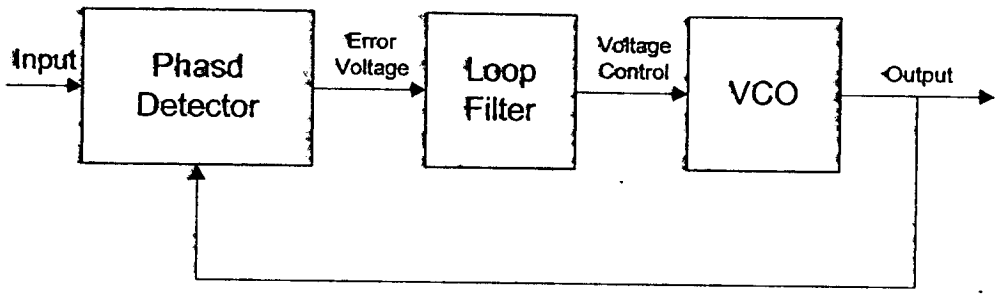
1. วิธีการสังเคราะห์โดยตรง (Direct synthesis) ซึ่งต้องใช้ความถี่หลายๆ ความถี่มาผสมกันเพื่อให้เกิดความถี่ตามที่ต้องการ โดยใช้ x-tal หลายชุด

2. วิธีการสังเคราะห์โดยทางอ้อม (Indirect synthesis) วิธีนี้อาศัยหลักการของเฟสล็อกลูป (phase lock loop) โดยการสร้างสัญญาณจากวงจรออสซิลเลเตอร์ซึ่งควบคุมความถี่โดยการปรับค่าแรงดันที่ เรียกว่า vco (voltage control oscillater) สัญญาณจาก vco จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิงจากนั้นจะนำค่าความคลาดเคลื่อนแปลงเป็นแรงดัน นำไปการควบคุม vco ให้ผลิตความถี่อีกครั้งหนึ่ง

เฟสล็อกลูป (Phase lock loop) หรือเขียนย่อว่า pll

เฟสล็อกลูปเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์ มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่ หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อกลูปประกอบด้วย ภาคสำคัญ 3 ภาคคือ เฟสดีเทคเตอร์ (phas detector) ลูปฟิลเตอร์ (loop filter) และภาค vco ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

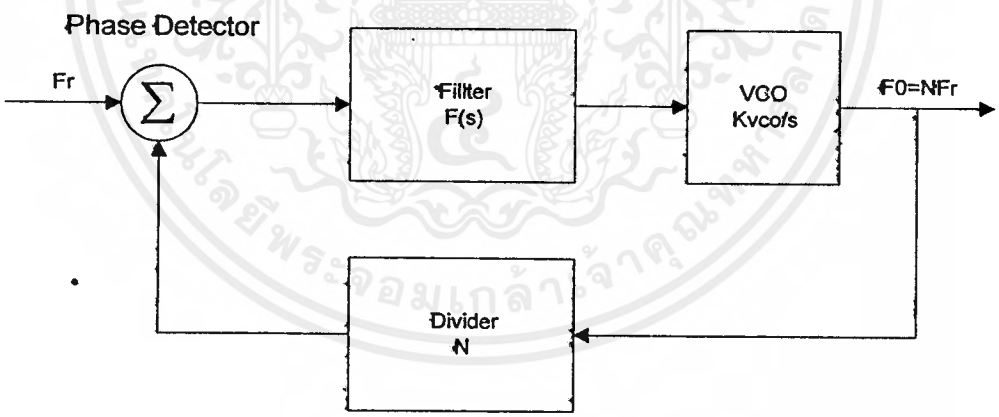


รูปที่ 2.2 แสดงแผนผังเบื้องต้นของเฟสล็อกลูป

การใช้เฟสล็อกลูปสังเคราะห์ความถี่มีอยู่หลายแบบด้วยกันดังตัวอย่างต่อที่จะกล่าวถึงต่อไปนี้

2.2.1 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปโดยตรง

วิธีการสังเคราะห์แบบนี้ใช้เฟสล็อกลูปโดยตรง นับเป็นวิธีการที่ง่ายโดยความถี่เอาท์พุทมีค่าเป็น N เท่าของความถี่อ้างอิง วงจร VCO ต้องสามารถทำงานได้ตลอดย่านความถี่เอาท์พุท อย่างไรก็ตามวงจรที่ทำหน้าที่เป็นตัวโปรแกรมหาร N มีราคาแพง จึงจำเป็นต้องใช้การสังเคราะห์ความถี่แบบอื่นๆ

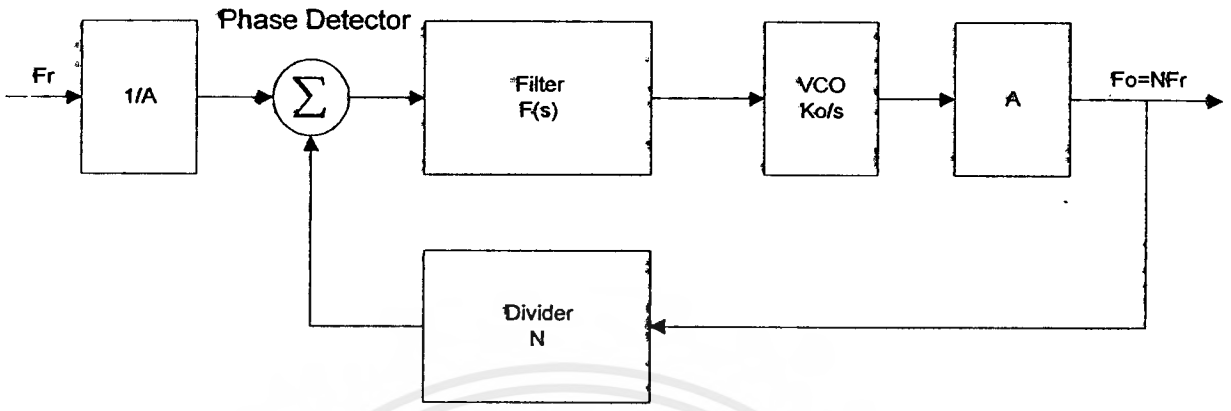


รูปที่ 2.3 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบทางตรง

2.2.2 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบคูณความถี่

จากวงจรจะหารความถี่อ้างอิงลง A เท่าก่อนที่จะป้อนให้วงจร เฟสดีเทคเตอร์ และเอาท์พุท VCO ก็คูณความถี่ขึ้นไป A เท่า วิธีนี้ช่วยลดความถี่การทำงานของวงจรหาร N ลง แต่จะทำให้การตอบสนองต่อการเปลี่ยนแปลงความถี่ของเฟสล็อกลูปช้าลงเนื่องจากความถี่ที่ใช้ในการเทียบเฟสต่ำลง

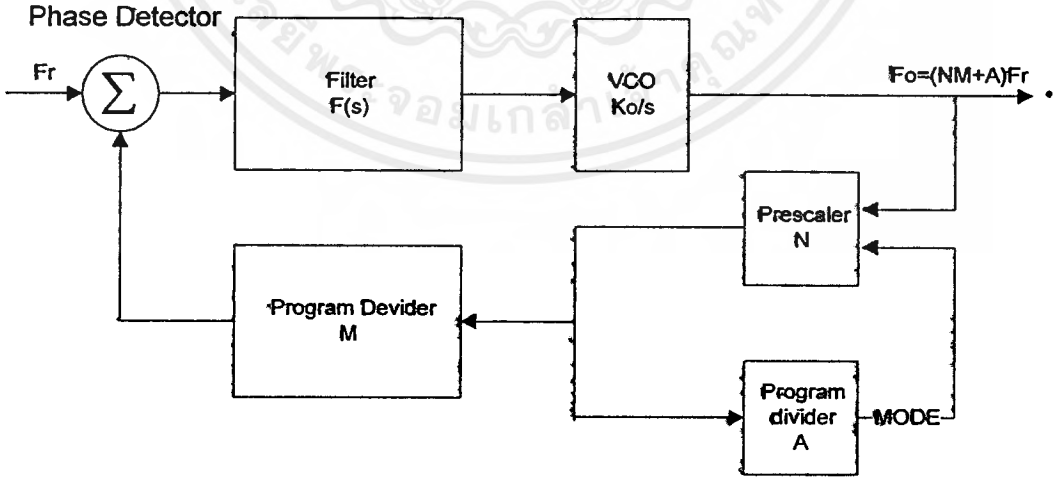
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบคูณความถี่

2.2.3 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบปรีสเกลสองโมดูลัส(Dual Modulus Prescaler)

เฟสล็อกลูปในรป ใช้ปรีสเกลเลอร์เช่นเดียวกับวงจรข้างบน แต่เฟสล็อกลูปแบบพรีสเกลเลอร์สองโมดูลัสเป็นวงจรนับหารที่เปลี่ยนค่าได้ระหว่าง P กับ P+1 (เลือกตัวหาร P หรือ P+1 ก็ได้) วงจรหารจะทำงานที่ความถี่ต่ำลง

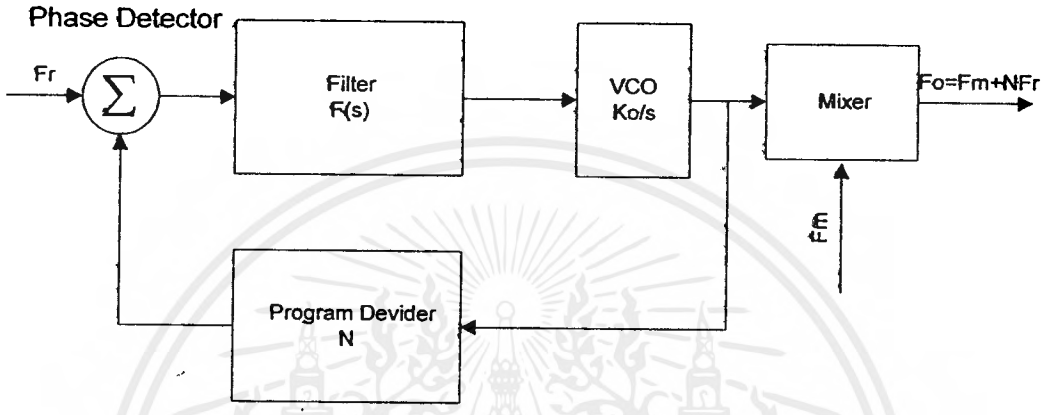


รูปที่ 2.5 แสดงการสังเคราะห์ความถี่แบบพรีสเกลเลอร์สองโมดูลัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.4 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบมิกซิ่งนอกลูป

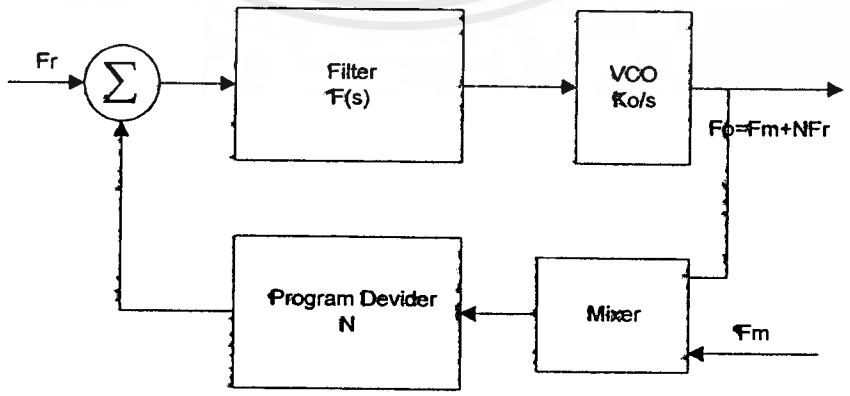
เฟสล็อกลูปดังรูป ใช้การผสมความถี่กับความถี่เอาท์พุทของ VCO กับความถี่ fm นอกลูป เพื่อให้ความถี่สูงขึ้น ความถี่ที่ได้จะเท่ากับผลรวมของความถี่เอาท์พุทของ VCO กับความถี่ที่นำมาผสม



รูปที่ 2.6 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบมิกซิ่งนอกลูป

2.2.5 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบมิกซิ่งในลูป

จากรูปแป็นการผสมความถี่อีกแบบหนึ่งซึ่งนำการผสมความมาใช้ถี่ในลูป โดยเอาท์พุทของวงจร VCO ที่ป้อนกลับจะนำมาผสมกับ สัญญาณความถี่ fm ความถี่ที่ได้จากการผสมกัน (MIX) จะเกิดการบีม (beam) กันได้ความถี่ที่ต่ำลง แล้วป้อนเข้าสู่วงจรนับหาร N ความถี่เอาท์พุทที่ได้เท่ากับผลรวมของความถี่ที่นำมาผสมกับความถี่ VCO



รูปที่ 2.7 แสดงการสังเคราะห์ความถี่ด้วยเฟสล็อกลูปแบบมิกซิ่งในลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

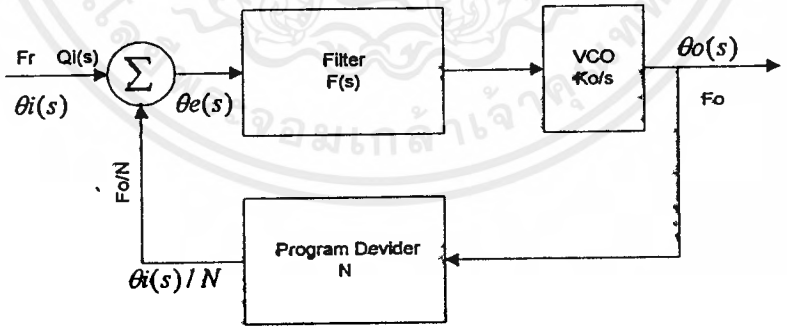
2.3 คุณสมบัติของวงจรสังเคราะห์ความถี่

นอกจากวงจรสังเคราะห์ความถี่ต้องมีคุณสมบัติเกี่ยวกับช่วงความถี่ (Frequency) ที่จะต้องผลิตแล้ว คุณสมบัติอื่นๆ ของวงจรสังเคราะห์ความถี่ก็มีความสำคัญสำหรับเครื่องรับส่ง-วิทยุอีกด้วย โดยปกติวงจรสังเคราะห์ความถี่จะสามารถกำเหนิดสัญญาณเพียงสัญญาณเดียวแต่สามารถเลือกความถี่ได้หลายค่า และขณะที่ความถี่เปลี่ยน วงจรสังเคราะห์ความถี่จะต้องสามารถล็อก ความถี่ได้ในเวลาอันรวดเร็ว นั่นคือช่วงเวลาล็อก (Lock Up Time)

วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณเพียงความถี่เดียวปราศจากความถี่แปลกปลอมต่างๆ คุณสมบัตินี้เรียกว่าความบริสุทธิ์ของสเปกตรัม(Spectrum) ค่าของฮาโมนิก และสิ่งแปลกปลอม (Sperious) จะต้องถูกกำจัดให้เหลือน้อยที่สุด

ความเที่ยงตรง (Accuracy) และเสถียรภาพ (Stability) ทางความถี่ของวงจรสังเคราะห์ความถี่ขึ้นอยู่กับสัญญาณอ้างอิงซึ่งโดยทั่วไปจะใช้แร่ X-tal ดังนั้นวงจรสังเคราะห์ความถี่จะมีเสถียรภาพหรือไม่ขึ้นอยู่กับ X-tal oscillator

2.4 การวิเคราะห์เฟสล็อกลูป



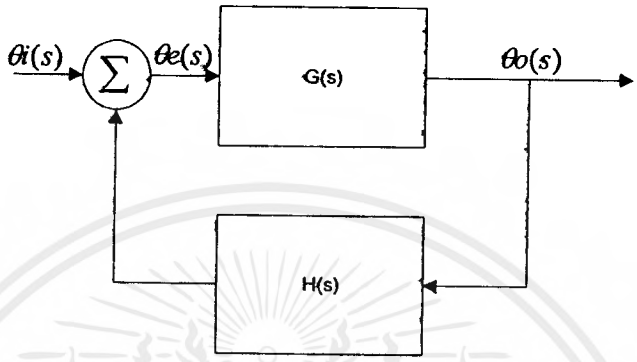
รูปที่ 2.8 แสดง Phase Lock Loop

เฟสดีเทคเตอร์จะทำการสร้างแรงดันไฟฟ้า โดยอาศัยความแตกต่างระหว่างเฟสของสัญญาณอินพุท $\theta_i(s)$ และสัญญาณเอาท์พุทที่ผ่านการหารความถี่ $\theta_o(s)/n$ ซึ่งแรงดันไฟฟ้าที่ได้จะนำไปควบคุม VCO หรือ VCM โดยอาศัยอินพุทโวลท์เตจเป็นตัวเปลี่ยนแปลงความถี่ และความถี่ที่ได้คือ

$$FO = N * fi$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใน Forward Path จะประกอบด้วยเฟสดีเทคเตอร์ ฟิลเตอร์ และ VCO หรือ VCM ส่วนใน Feedback path จะประกอบด้วยโปรแกรมการหารความถี่ ถ้าเราทำการปรับอัตราการขยายใน Feedback Path ให้มีค่าเป็นหนึ่ง (N = 1) ความถี่เอาท์พุทจะเท่ากับความถี่อินพุท



รูปที่ 2.9 แสดงระบบป้อนกลับ

2.5 ค่าผิดพลาด (Error Constants)

$\theta_e(s)$ คือค่าพิดพลาดของเฟสระหว่างสัญญาณอินพุท $\theta_i(s)$ กับสัญญาณ Feedback $\theta_o(s)/N$ เราจะนำ $\theta_e(s)$ มาทำการวิเคราะห์หาค่า Stedy State Transient โดยใช้ Laplace Tranform ทำการวิเคราะห์หาค่าผิดพลาดของระบบจาก

$$\lim [\theta_e(t)] = \lim [S_o(s)]$$

เมื่อ

$$\theta_e(s) = \frac{1}{(1+G(s)H(s))} * \theta_i(s)$$

และสัญญาณ input $\theta_i(s)$ เป็น Step function

$$\theta_i(t) = Cp$$

$$\theta_i(s) = Cp / S$$

เมื่อ Cp คือขนาดของสัญญาณ Step function

และที่สัญญาณอินพุทเป็น Ramp Function หรือเรียกอีกแบบว่า Step Velocity

$$\theta_i(t) = Cv * t \quad ; t>0$$

$$\theta_i(s) = Cv/S^2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ CV คือขนาดของอัตราส่วนของการเปลี่ยนมุมเฟสในหน่วยเรเดียลต่อวินาที ซึ่งก็คือความแตกต่างระหว่างความถี่อินพุทกับความถี่จาก VCO ดังนั้น Cv คือค่าความแตกต่างของความถี่ต่อวินาทีที่เฟสดีเทคเตอร์

และที่สัญญาณอินพุทเป็น Parabolic Function หรือ Step Acceleration

$$\theta_i(t) = Ca * t^2 \qquad ; t > 0$$

$$\theta_i(s) = 2\frac{Ca}{S^3}$$

เมื่อ Ca คือขนาดของอัตราส่วนความถี่ที่เปลี่ยนแปลงในหน่วยเรเดียลต่อวินาทีพิจารณาจาก Loop G(s)H(s)

TYPE 1 $\quad G(s)H(s) = \dfrac{K}{S(S+a)}$

TYPE 2 $\quad G(s)H(s) = K\dfrac{S+a}{S^2}$

TYPE 3 $\quad G(s)H(s) = K\dfrac{(S+a)(S+B)}{S^3}$

ค่า Final Value ของ Phase error สำหรับแบบที่ 1.(Type 1.) โดยป้อน Step position ที่อินพุท ได้ $\theta_i(s) = Cp / S$ จะได้

$$\theta e(s) = [\,1 / \{\,1 + K / S\,(S + a)\,\}\,]\,[Cp / S\,]$$

$$= \frac{(S+a)}{(S^2 + aS + K)}Cp$$

$$\theta e(s)\,(T \rightarrow \infty) = \lim\, S\,\theta e(s)$$

$$= \lim \frac{S(S+a)}{(S^2 + aS + K)}Cp$$

$$= 0$$

จะเห็นได้ว่าที่ Stedy State เฟสเออร์เรอร์จะไม่มี ($\theta = 0$)

แต่สัญญาณอินพุทเป็น Stedy Velocity

$$\theta i(s) = Cv / S^2$$

$$\theta e(s) = [\,1 / \{\,1 + K / S\,(S + a)\,\}\,]\,[Cv / S^2]$$

$$\theta e(s) = \frac{(S+a)}{(S^2 + aS + K)}Cv$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และถ้าสัญญาณอินพุทเป็น Step Acceleration จะสรุปได้ดังตาราง

อินพุท	TYPE 1	TYPE 2	TYPE 3
Step Position	0	0	0
Step Velocity	Constant	0	0
Step Acceleration	∞	Constant	0

ตารางที่ 2.1 Stedy State Error for Various System Type

ค่าผิดพลาดเฟสเป็นศูนย์ จะแสดงให้เห็นว่าสัญญาณอินพุททั้งสองของเฟสดีเทคเตอร์มีเฟสสัมพันธ์กันจะทำให้เฟสล็อก

ที่ค่าผิดพลาดเฟสเป็นค่าคงที่ (Constant) ที่จะแสดงให้เห็นว่าเกิดความแตกต่างทางเฟสระหว่างอินพุททั้งสองของ Phase Detector แต่เฟสยังล็อกอยู่

ที่ค่าผิดพลาดของเฟสมีค่ามากขึ้นเรื่อย ๆ (Continualy increasing) จะแสดงให้เห็นว่าเฟสจะเปลี่ยนแปลงตามเวลาเสมอดังนั้นระบบจึงไม่ล็อก

2.6 ลูปฟิลเตอร์ (LOOP FILTER)

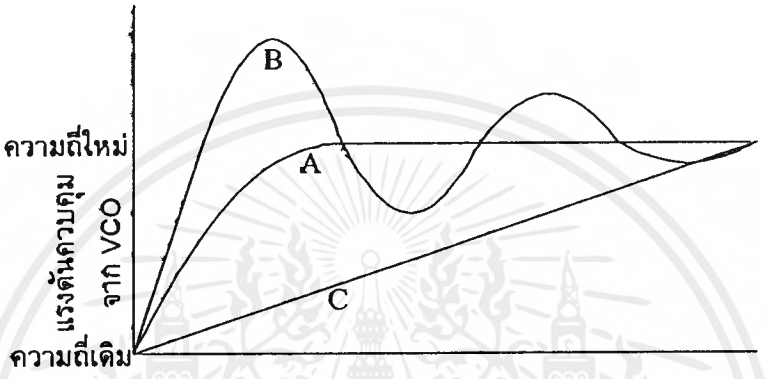
ลูปฟิลเตอร์เป็นส่วนสำคัญอีกส่วนหนึ่งในระบบเฟสล็อกลูป หน้าที่ของวงจรนี้ได้แก่การควบคุมการล็อก, แคปเจอร์, แบนด์วิด และการตอบสนองค่าทรานเซียนของลูป สำหรับลูปฟิลเตอร์ในที่นี้ก็คือวงจรชนิดโลพาสธรรมดา ทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำมาควบคุมความถี่ของ VCO ลูปฟิลเตอร์ เป็นตัวกำหนดคุณสมบัติการเปลี่ยนแปลงก่อนเข้าสู่สภาวะล็อกที่เรียกว่าคุณสมบัติชั่วครู่ (Transient) ถ้าเลือกอัตราการขยายลูป (Loop Gain) และค่าคงตัวของลูป (Loop Time Constant) ไม่เหมาะสม ความถี่ของเฟสล็อกลูปจะไม่ล็อกและจะเปลี่ยนแปลงอยู่ตลอดเวลา

ดังนั้น ค่าคงตัวเวลาของลูปฟิลเตอร์จะต้องไม่มากเกินไป เพื่อว่าทุกครั้งที่เปลี่ยนความถี่เฟสล็อกลูปจะล็อกได้เร็วโดยไม่มีการสะบัด (Over Shoot) หรือใช้เวลาเปลี่ยนความถี่อย่างรวดเร็วแต่ค่าคงตัวเวลาก็ไม่ควรจะน้อยเกินไปจนกระทั่งความถี่สั่นหรือไม่นิ่ง (Jetter) ดูรูปที่ 2.10 ซึ่งแสดงการเปลี่ยนความถี่ของ VCO จะเห็นว่าจากเส้นทางการเปลี่ยนแปลงแรงดันจะมี 3 เส้นทาง เส้นทาง A เป็นเส้นทางคริติคอลแดมป์ (Critical Damp) ใช้เวลาในการเปลี่ยนความถี่ใหม่น้อยที่สุด เส้นทาง B เรียกว่าเส้นทางอันเดอร์แดมป์ (Under Damp) มีการสะบัดเนื่องจากโอเวอร์ชูต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เส้นทาง C เป็นเส้นทางโอเวอร์กแดมป์ (Over Damp) ไม่มีโอเวอร์ชูตแต่เวลาที่ใช้ในการเข้าสู่ความถี่ใหม่จะช้า

ดังนั้นจะเห็นว่า เส้นทาง A เป็นเส้นทางที่ดีที่สุดในการการออกแบบ ค่าคงตัวเวลาของวงจรลูปฟิลเตอร์เพราะใช้เวลาเปลี่ยนความถี่เร็วและไม่มีโอเวอร์ชูต



รูปที่ 2.10 แสดงคุณลักษณะในการเปลี่ยนความถี่ของเฟสล็อกลูป

2.6.1 หน้าที่ของโลฟาสฟิลเตอร์ในเฟสล็อกลูป มีหน้าที่ใหญ่ ๆ อยู่ 2 ประการคือ

1. ลดค่าความคลาดเคลื่อนที่เป็นความถี่สูงที่ออกจากวงจรเปรียบเทียบเฟส (Phase Compatator) โดยใช้คุณสมบัติการกำจัดสัญญาณรบกวนและเป็นตัวทำให้เกิดค่าแรงดันเฉลี่ย (Average DC Voltage) เพื่อนำไปควบคุมวงจร VCO
2. ทำหน้าที่ควบคุมการทำงานของลูป ซึ่งขึ้นอยู่กับเงื่อนไข ๆ ดังนี้
   2.1 แคปเจอร์และล็อกเรนจ์
   2.2 แบนด์วิด
   2.3 การตอบสนองต่อทรานเชี้ยน

เนื่องจากโลพาสฟิลเตอร์ลดค่าแรงดันคลาดเคลื่อนของความถี่ระหว่างลูปกแล้วยังเนตัวควบคุมการแคปเจอร์โดยตรงและคุณสมบัติต่อผลตอบสนองชั่วขณะของเฟสล็อกลูป

2.6.2 การลดช่วงกว้างของฟิลเตอร์ จะส่งผลไปยังการทำงานของระบบคือ

1. ขบวนการแคบเจอร์จะช้าลงและฟูลอินไทม์ (Full in Time) เพิ่มขึ้น
2. ช่วงแคปเจอร์จะลดลง

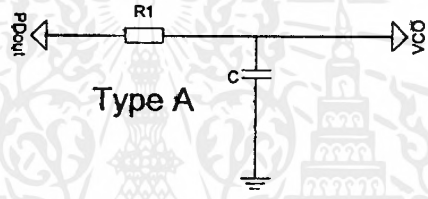
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. คุณสมบัติทางอินเตอร์พีเรนจ์ (Interference Rejection) ของเฟสล็อกลูปจะดีขึ้นเพราะค่าแรงดันคลาดเคลื่อนเนื่องจากความถี่ของสัญญาณรบกวนจะถูกลดลงไป
4. ผลตอบสนองชั่วชณะของเฟสล็อกลูปต่อการเปลี่ยนทันทีของสัญญาณเข้าสู่ช่วงความถี่แคปเจอร์จะอยู่ในลักษณะภายใต้การแคมป์

2.6.3 วงจรโลพาสฟิลเตอร์ (LPF)

ในระบบเฟสล็อกลูปจะมีวงจรโลพาสฟิลเตอร์เป็นส่วนประกอบอยู่เสมอ เราจะกล่าวถึงวงจรโลพาสฟิลเตอร์ที่นิยมใช้กันมีอยู่ 3 แบบดังนี้

1. วงจรกรองความถี่ต่ำอันดับ 1 แบบ R-C



รูปที่ 2.11 แสดงโลว์พาสฟิลเตอร์อันดับ 1 โดยใช้วงจร R-C

โดยทั่วไปจะต่ออยู่ระหว่างเฟสดีเทคเตอร์กับ VCO ค่าของความถี่คัทออฟ (Cutoff Frequen,W_{LPE}) สามารถหาได้จากสมการ

$$W_{LPE} = \frac{1}{R1 \cdot C} \quad \text{Rad/Sec}$$

ค่าฟังก์ชั่นถ่ายโอน(Tranfer Function)

$$F(s) = \frac{1}{R1 \cdot s \cdot C + 1}$$

ค่าของความถี่ธรรมชาติของลูป(Loop Natural Frequency,W_n) สามารถได้จากความถี่คัทออฟของวงจรกรองความถี่โดยสมการ

$$W_n = \sqrt{\frac{Kd \cdot Kvco}{N \cdot R1C}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

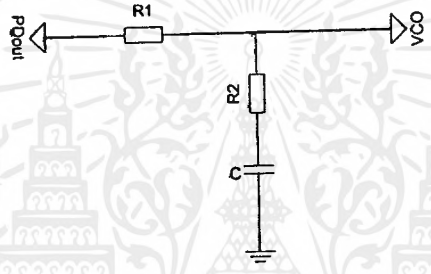
เมื่อ Kd คอนเวอร์ชั่นเกน (Convertion Gain) ของเฟสดีเทคเตอร์ หน่วย (Volt/Sec)

Kvco คอนเวอร์ชั่นเกนของ VCO หน่วย (Rad/Sec/Voit)

เราสามารถหาแดมปิ้งแฟคเตอร์จากสมการ

$$\xi = \frac{N \cdot \omega n}{2 \cdot Kd \cdot Kvco}$$

2. วงจรกรองความถี่แบบ แลก-ลีด (Lag-Lead Circuit) แสดงในรูปที่ 2.12



รูปที่ 2.12 แสดงวงจร แลก-ลีด อันดับหนึ่ง (Lag - Lead Filter)

ค่าฟังก์ชั่นถ่ายโอน(Tranfer Function)

$$F(s) = \frac{R2 \cdot s \cdot C + 1}{(R1 + R2)s \cdot C + 1}$$

ค่าความถี่คัทออฟสำหรับวงจรกรองความถี่ชนิดนี้หาได้จากสมการ

$$W_{LPF} = \frac{1}{(R1 + R2)C}$$

และความถี่ธรรมชาติหาได้จากสมการ

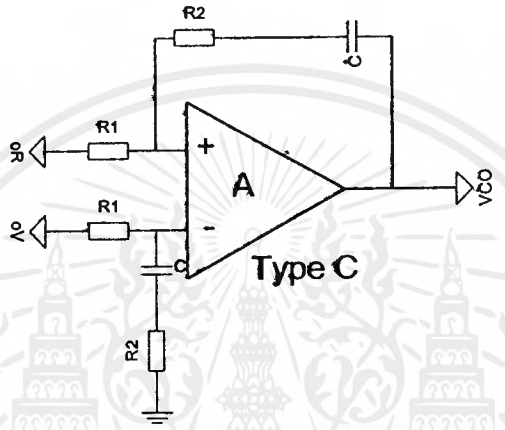
$$Wn = \sqrt{\frac{Kd \cdot Kvco}{N \cdot C(R1 + R2)}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และแคมปิ้งแฟคเตอร์หาได้จากสมการ

$$\xi = \frac{\omega n}{2}\left(R2 \cdot C + \frac{N}{Kd \cdot Kvco}\right)$$

3. วงจรพาสซีฟแบบ แลก-ลีด เราสามารถนำมาสร้างเป็นวงจรแอคทีฟฟิลเตอร์



รูปที่ 2.13 แสดงวงจรแอคทีฟฟิลเตอร์ อันดับ 1

ความถี่คัทออฟหาได้จากสมการ

$$W_{LPF} = \frac{1}{R1 \cdot C} \quad \text{(Red/Sec)}$$

ค่าฟังก์ชั่นถ่ายโอน(Tranfer Function)

$$F(s) = \frac{R2 \cdot s \cdot C + 1}{R1 \cdot s \cdot C}$$

ค่าของลูปความถี่ธรรมชาติ

$$Wn = \sqrt{\frac{Kd \cdot Kvco}{N \cdot R1C}}$$

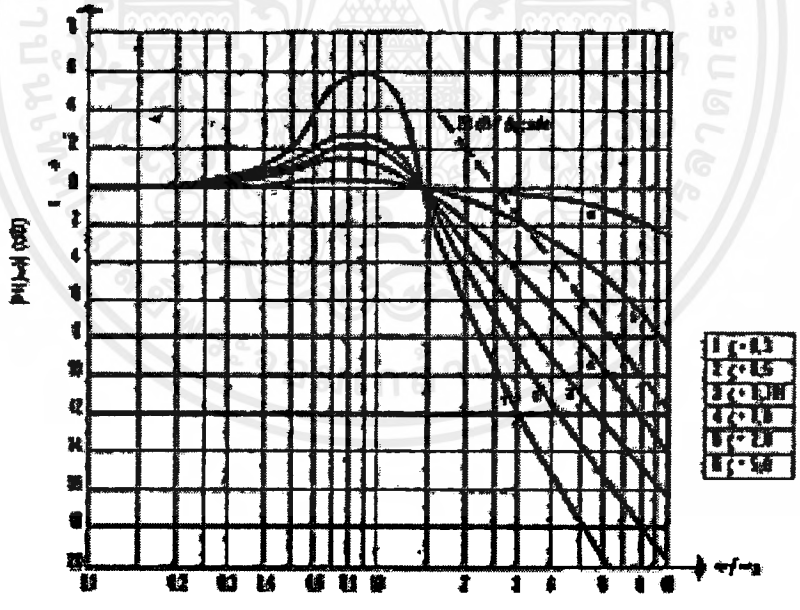
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แดมปิ้งแฟคเตอร์ หาจากสมการ

$$\xi = \frac{\omega n \cdot R2 \cdot C}{2}$$

จากทฤษฎีของระบบการควบคุมแบบ type ของลูปจะเท่ากับจำนวนของ Perfect Integrator ภายในลูปดังนั้นระบบ PLL ใดๆ อย่างน้อยที่สุดก็จะเป็นลูปแบบที่ 1 (Type I) เนื่องจาก VCO เป็น Perfect Integrator และถ้าลูปประกอบด้วย Perft Integrator อีก 1 ตัว ลูปก็จะเป็นแบบที่ 2 (Type II) ดังนั้น PLL อันดับ 2 ที่มี แอคทีฟฟิลเตอร์ (Active Filter) ก็จะถือได้ว่าเป็นลูปแบบที่ 2 โดยฟิลเตอร์เป็นตัว Integrator ที่เพิ่มเข้ามาในขณะที่ PLL มีฟาลซีฟฟิลเตอร์เป็นลูปแบบที่ 1

การตอบสนองความถี่ของลูปเกนสูง (High Gian Loop) เมื่อ Damping Factor เปลี่ยนไป แสดงดังรูปที่ 2.14 จะเห็นว่ามีลักษณะเป็น Low Pass filter ทำงานเป็นเฟสอินพุทของลูป



รูปที่ 2.14 แสดงการตอบสนองความถี่ของลูปอันดับสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.6.4 ล็อกเรนจ์ (Lock Range)

เป็นย่านความถี่ซึ่งลูปสามารถ Tracking ตามการเปลี่ยนแปลงความถี่ของอินพุทอาจเรียกได้ว่า Tracking Range หรือ Hold In Range กรณีนี้สภาวะเริ่มต้นลูปจะอยู่ในสภาวะล็อก กำหนดจาก DC Loop Gain K_v โดย

$$W_L = K_v = K_d K_0 F(o) \quad \text{rad/sec}$$

ซึ่งจะไม่ขึ้นอยู่กับพารามิเตอร์ของฟิลเตอร์ อย่างไรก็ตาม F(o) ของฟาสซีฟฟิลเตอร์คือ 1 และของแอคทีฟฟิลเตอร์ คือ A จะเห็นว่าฟิลเตอร์แบบแอคทีฟจะให้ W_L กว้างกว่าและความผิดพลาดเชิงเฟสเมื่อป้อนสัญญาณอินพุทแบบแรม (Ramp Input) จะพบว่าที่อินพุทขนาดเดียวกันแอคทีฟฟิลเตอร์จะให้ขนาดของความผิดพลาดเชิงเฟสในสภาวะ Steady state น้อยกว่าแบบ ฟาสซีฟด้วยค่าของ A เท่า ดังนั้น ตัว PD จะมีการสิ้นเปลืองน้อยกว่าถ้า F(s) เป็นแบบแอคทีฟ

2.6.5 แคปเจอร์เรนจ์ (capture Rang)

หรืออาจเรียกว่า Locked Rang ที่กล่าวมาเป็นสถานะของระบบเมื่ออยู่ในสถาวะล็อก ส่วนแคปเจอร์เรนจ์ เป็นสภาวะของระบบก่อนที่จะล็อกซึ่ง หมายถึงความถี่อินพุทอยู่ใกล้ความถี่ VCO ขนาดใดจึงจะสามารถล็อกได้ แคปเจอร์เรนจ์ (Capture Rang) W_C จะเกี่ยวข้องกับพารามิเตอร์ของฟิลเตอร์ด้วย โดยสำหรับแล็ก - ลีด ฟิลเตอร์จะประมาณ

$$W_C \cong W_L (R_2 / R_1 + R_2)$$

และแอคทีฟฟิลเตอร์

$$W_C \cong W_L (R_2 / R_1)$$

2.7 วงจรเฟสดีเทคเตอร์

เฟสดีเทคเตอร์ (Phase Detector) เป็นส่วนหนึ่งของเฟสล็อกลูป ซึ่งเป็นตัวทำหน้าที่ทำให้เกิดแรงดัน อนาลอกหรือดิจิตอลที่เอ้าท์พุทของตัวมัน ซึ่งค่าแรงดันที่ปรากฏออกมานี้จะเป็นอัตรามเปรผันตามความต่างเฟสของสัญญาณอินพุท 2 สัญญาณที่เข้ามาในเฟสดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

37144

ลักษณะของวงจรเฟสดีเทคเตอร์สามารถแบ่งการทำงานออกเป็น 2 แบบคือ

1. อนาลอกเฟสดีเทคเตอร์ (Analog Phase Detector)

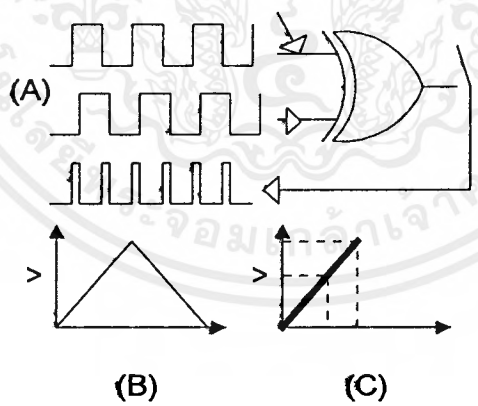
ได้แก่การมิกเซอร์ซึ่งเอาท์พุทจะแปรผันตามขนาดของสัญญาณอินพุท วงจรที่ทำหน้าที่ได้แก่ บาล้านซ์มิกเซอร์ (Balance Mixer) และแซมปลิ้งดีเทคเตอร์ (Sampling Ectector) เป็นการกำหนดโดยให้สัญญาณอ้างอิง fr เป็นสัญญาณพัลซ์ ซึ่งมีคาบเวลาคงที่ ไปทำการสุ่มสัญญาณอินพุทด้วงช่วงเวลาสั้น ๆ โดยที่เอ้าท์จะเป็นอัตราส่วนโดยตรงกัน

2. เอคคลูซีฟออร์เฟสดีเทคเตอร์ (Exclusive OR Phase Detector)

เราสามารถนำเอาเอคคลูซีฟออร์เกทมาทำเป็นเฟสดีเทคเตอร์ได้ โดยที่เอ้าท์พุทเป็น "1" ก็ต่อเมื่อสัญญาณอินพุทมีเฟสต่างกันแต่ละลอจิกเป็น "0" เมื่ออินพุททั้งสองมีเฟสเหมือนกัน แรงดันเฉลี่ยที่เอาท์พุทของเฟสดีเทคเตอร์จะเป็นตามสมการ

$$Vo_{dc} = Vp+D$$

โดยที่ Vp = แรงเคลื่อนสูงสุดของลอจิก "1"



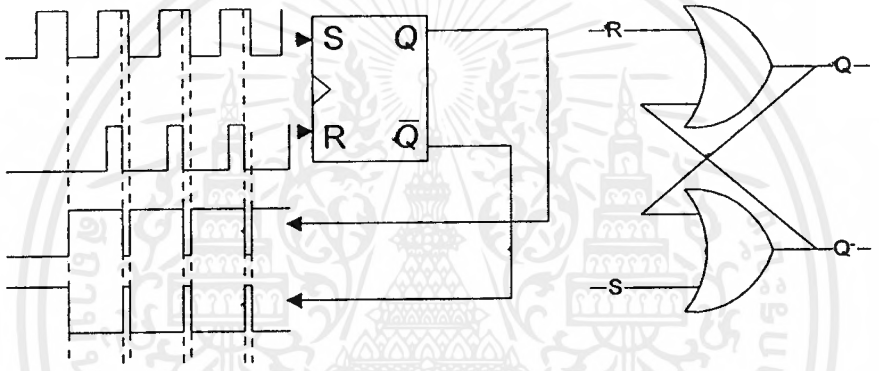
รูปที่ 2.15 (A) แสดงสัญญลักษณ์ของเอคคลูซีฟออร์เฟสดีเทคเตอร์
(B) แสดงแรงดันเอ้าท์พุทที่สัมพันธ์กันระหว่างอินพุททั้งสองที่เข้ามา
(C) แสดงคุณสมบัติอินพุทเอาท์พุทของเฟสดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

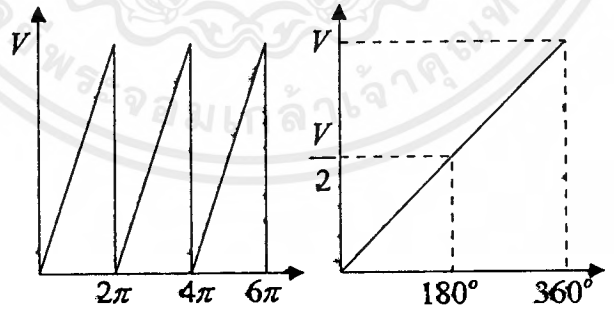
จากคุณสมบัติอินพุทเอ้าท์พุทของเฟสดีเทคเตอร์ชนิดนี้ จะเห็นว่าสามารถใช้ได้ในช่วงต่างเฟสระหว่าง 0 - π โดยที่สัญญาณอินพุทจำเป็นต้องมีค่า ดิวตี้ไซเคิลเท่ากับ 50 เปอร์เซ็นต์ และเอาท์พุทที่ได้จะมีความถี่เป็น 2 เท่าของความถี่อินพุท ส่วนค่าของคอนเวอร์ชั่นเกนเท่ากับ $V_{DD}/2\pi$

3. เอด-ทริกเกอร์ เฟสดีเทคเตอร์หรือฟลิบฟลอบดีเทคเตอร์ (Eedge - Triggered Phase Detector)

เป็นเฟสดีเทคเตอร์อีกชนิดหนึ่งที่ใช้ฟลิบฟลอบเป็นตัวทำให้เกิดแรงดันเอ้าท์พุทที่มีอัตราแปรผันกับ สัญญาณอินพุททั้ง 2 ที่เข้ามา ดังแสดงในรูปที่ 2.16



รูปที่ 2.16 แสดง R - S F/F เฟสดีเทคเตอร์และสัญญาณอินพุทเอ้าท์พุทของ R - S F/F เฟสดีเทคเตอร์

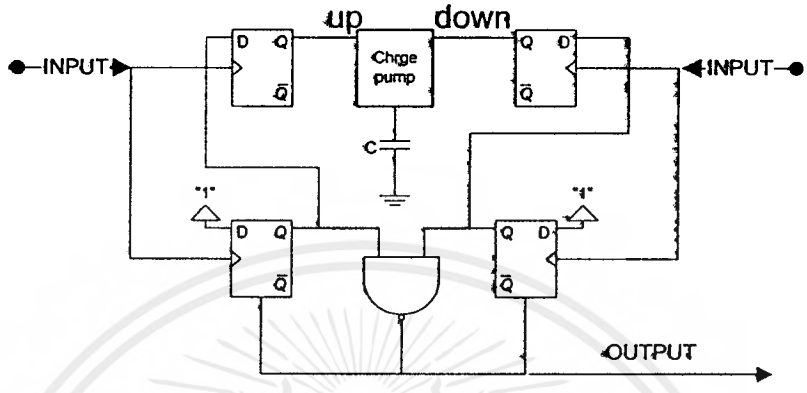


รูปที่ 2.17 แสดงคุณสมบัติอินพุทเอ้าท์พุทของ F/F เฟสดีเทคเตอร์

จากรูปจะเห็นได้ว่า วงจรเฟสดีเทคเตอร์ที่ใช้ทริกด้วยขอบสัญญาณพัลซ์ สามารถใช้ความต่างเฟสได้ตั้งแต่ 0 - 2π (เป็น 2 เท่าของเอดคลูซีฟออร์)และความถี่ของสัญญาณเอาท์พุท จะเท่ากับอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พัลซ์แต่ละลูกซึ่งไม่จำเป็นต้องมีค่าดิวตี้ไซเคิลเท่ากับ 50 เปอร์เซนต์ ส่วนคอนเวอร์ชั่นเกนมีค่าเท่ากับ $V_{cc}/2\pi$



รูปที่ 2.18 เฟสดีเทคเตอร์ที่สร้างจาก D - Flip Flop

4. เฟส - ฟรีเควนซีดีเทคเตอร์ (Phase - Frequency Detector)

จะเห็นได้ว่าเฟสดีเทคเตอร์แบบเอคคลูซีฟออร์แบบฟลิบฟลอบจะเป็นวงจรที่ ทำหน้าที่เป็นเฟสดีเทคเตอร์ได้ แต่มีข้อจำกัดอยู่ในตัวเองคือจำเป็นต้องมีการฟิลเตอร์สัญญาณเอ้าท์พุทที่ดีเพื่อจะแยกค่าเฉลี่ยของแรงดันดีซีที่ต้องการ และเมื่อนำไปใช้ในวงจรเฟสล็อกลูปแล้วจะให้ผลตอบสนองช้า เมื่ออินพุทมีความถี่ที่ต่างกันมาก จึงได้มีการพัฒนาเป็นวงจรเฟส-ฟรีเควนซีดีเทคเตอร์เพื่อแก้ข้อบกพร่องดังกล่าววงจรจะให้เอาท์พุท 3 แบบคือ

1. Double Output
2. Tri state Output
3. Phase Pule Output

วงจรเฟส-ฟรีเควนซีดีเทคเตอร์จะนิยมใช้กับวงจรเฟสล็อกลูปที่ต้องการ การตอบสนองในย่านกว้าง เช่นในวงจรสังเคราะห์ความถี่ (Frequency Synthesizer) หรือวงจรควบคุมความเร็ว ของมอเตอร์เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 วงจรผลิตความถี่ควบคุมด้วยแรงดัน (Voltage control oscillator - VCO)

คุณสมบัติหลักของ VCO ที่ใช้ในเฟสล็อกลูป เราพิจารณาได้ดังนี้

1. การเบี่ยงเบนของความถี่ (Frequency Deviation) จุดสูงสุดของเคปเจอร์เรนจ์จะเท่ากับเกนการขยายลูปเปิด (Open Loop Gain)
2. เสถียรภาพทางความถี่ (Frequency Stability) การมีเสถียรภาพทางความถี่จำเป็นอย่างยิ่งสำหรับวงจรสังเคราะห์ความถี่
3. การตอบสนอง (Response) VCO ควรมีการตอบสนองสัญญาณได้ดีและไม่ควรให้มีผลต่อคุณสมบัติทางด้านเสถียรภาพของลูป
4. คุณสมบัติของความถี่และแรงดัน (Frequency Voltage Characteristic) VCO จะต้องมีอัตราส่วนของความถี่ต่อแรงดัน (F / V) ที่มีความเป็นเชิงเส้น (linear)
5. Spectral Purity ในการประยุกต์ใช้งาน เช่นการสังเคราะห์ความถี่แบบอนาล็อก วงจรผลิตความถี่ควบคุมโดยแรงดัน ควรจะมีสัญญาณเอาพุทที่บริสุทธิ์ คือถ้าเป็นคลื่นรูปซายน์ควรจะเป็นคลื่นที่คงที่สม่ำเสมอ

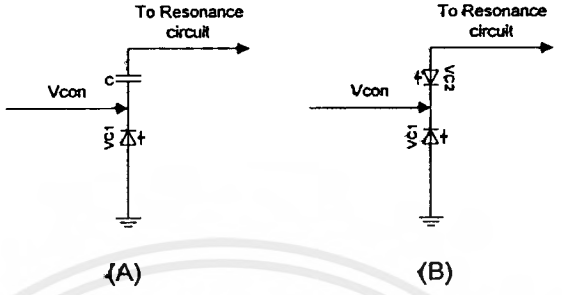
ในการออกแบบเฟสล็อกลูป ออสซิลเลเตอร์ที่ควบคุมด้วยแรงดันมักจะเป็นส่วนที่จะต้องพิจารณามากที่สุดเพราะว่ามีลักษณะพิเศษของระบบอย่างเช่นเสถียรภาพของระบบ และเสถียรภาพของความถี่รวมทั้งการดีมอดูเลทคลื่นเอฟเอ็ม ตามปกติแล้วจะขึ้นอยู่กับ VCO เพื่อให้เกิดความคล่องตัวมากที่สุด VCO จะต้องมีคุณสมบัติดังนี้

1. ลักษณะการเปลี่ยนแรงดันเป็นความถี่เชิงเส้น
2. เสถียรภาพของความถี่ที่ดี
3. สามารถใช้กับความถี่สูงได้
4. อัตราการขยายสูง
5. พิสัยการติดตามกว้าง
6. การตั้งความถี่กระทำได้ง่าย

การวิเคราะห์ที่กล่าวมาจะแสดงให้เห็นเฉพาะวงจรเชิงเอซี ในการใช้งานจริงก็ต้องมีการไบอัสทางดีซีด้วย การวิเคราะห์ได้แสดงถึงความถี่ของสัญญาณเท่านั้น การออกแบบจะกำหนดให้ลูปเกนของวงจรที่วิเคราะห์แบบเชิงเส้นมีมากเป็น 3-4 เท่า เมื่อวงจรเกิดการออสซิลเลทแล้ว Gain Margin ของอุปกรณ์แอคตีฟ จะลดลงจนถึงสภาวะเสถียร ซึ่งในขณะนี้ขนาดของสัญญาณจะคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร VCO เป็นส่วนประกอบที่สำคัญของระบบเฟสล็อกลูป ความถี่เอาท์พุทของ VCO จะแปรตามแรงดันอินพุทที่ควบคุมซึ่งจะใช้วิธีเปลี่ยนแรงดันไบอัสให้กับวาริแคป



รูปที่ 2.19 แสดงการใช้วาริแคปกับวงจรออสซิลเลเตอร์

รูปที่ 2.19(A) ตัวเก็บประจุ จะมีค่าอิมพีเดนซ์ต่ำที่ความถี่ใช้งาน ทำหน้าที่แยกแรงดัน DC ออกจากวงจรรีโซแนนซ์ วงจรในรูปที่ 2.19 มีข้อจำกัดที่แรงดัน AC คร่อมแรงดันคร่อม L1 ซึ่งจะทำให้ความเพี้ยนเกิดขึ้นกับความถี่ที่ใช้งาน

วิธีแก้ไขทำได้โดยรูปที่ 2.19(B) ไดโอด D1,D2 ต่อกลับกัน ทำให้แก้ปัญหาการเรดติไฟร์ แต่ค่าความจุ (Capacitance) รวมของ D1,D2 จะลดลงครึ่งหนึ่ง และ D1,D2 ต้องมีคุณสมบัติใกล้เคียงกันมากที่สุดหรืออาจจะรวมกันอยู่ในตัวถังเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

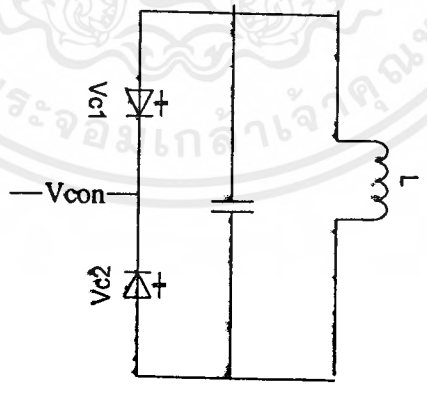
บทที่ 3

การมอดูเลทแบบ FM. และภาคขยายความถี่สูง

3.1 การมอดดูเลทสัญญาณ FM

การมอดดูเลทสัญญาณ FM เป็นการเปลี่ยนแปลงขนาดความถี่ของคลื่นพาหะ ตามสัญญาณเบสแบนด์ที่มอดูเลต ซึ่งเราสามารถสร้างสัญญาณ FM แบ่งได้กว้าง ๆ เป็น 2 แบบ ด้วยกันคือ แบบทางตรงกับแบบทางอ้อม แบบทางตรงนั้นจะหมายถึงการนำสัญญาณสัญญาณเบสแบนด์ที่เข้ามามอดูเลต ไปเปลี่ยนความถี่คลื่นพาหะโดยตรง ส่วนสร้างสัญญาณแบบทางอ้อมนั้นก็จะเป็นการที่อาศัยวงจรหลาย ๆ อย่างประกอบกัน

สำหรับในที่นี้จะกล่าวถึงการสร้างสัญญาณ FM แบบทางตรง ซึ่งเป็นการมอดดูเลทสัญญาณเบสแบนด์เข้ากับวงจรกำเหนิดคลื่นพาหะ ความถี่ที่ออสซิลเลตออกมาจะเปลี่ยนไปตามแรงดันไบอัสในรูปเชิงเส้น ก็จะทำให้ได้สัญญาณ FM ออกมาโดยตรง สำหรับความถี่ในย่านที่ต่ำกว่าไมโครเวฟลงมานั้น เราจะใช้วาแรกเตอร์(Varactor หรือ Variable reactor) ซึ่งมีคุณสมบัติคือค่าคาปาซิแตนซ์จะเปลี่ยนแปลงตามระดับแรงดันที่ตกคร่อม ดังนั้นถ้าใช้วาเรคเตอร์เป็นส่วนประกอบของวงจรเรโซแนนท์ที่ใช้ในวงจรออสซิลเลเตอร์เราก็สามารถสร้างสัญญาณ FM ได้โดยป้อนสัญญาณเข้ามามอดดูเลตไปเปลี่ยนค่าคาปาซิแตนซ์ของวาแรคเตอร์ดังรูปที่ 3.1



รูปที่ 3.1 แสดงวงจรสมมูลย์ของวงจรกำเหนิดความถี่แบบ LC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าของความถี่ที่กำเหนิดขึ้นอยู่กับค่าของ LC ซึ่งเขียนได้เป็น

$$W = \frac{1}{\sqrt{LC}}$$

W คือ ความถี่ที่กำเหนิดจากวงจร LC

โดยค่า C หรือค่าคาปาซิแตนซ์ สามารถเปลี่ยนแปลงค่าตามความถี่ที่เข้ามามอดดูเลตหรือเขียนได้เป็น

$$C = C_o - K_c\, m(t)$$

C_o เป็นค่าคาปาซิแตนซ์ขณะที่ไม่มีความถี่ที่อินพุท

K_c ค่าของความไวในการเปลี่ยนแปลงของค่าคาปาซิแตนซ์

$m(t)$ สัญญาณเบสแบนด์ที่มอดูเลต

ดังนั้นความถี่ชั่วขณะใด ๆ คือ

$$W(t) = \frac{1}{\sqrt{L(C_o - K_c m(t))}}$$

จากสมการจะได้

$$W(t) = \frac{Wo}{\sqrt{1 - \frac{Kc}{Co} \cdot m(t)}}$$

โดย W_o เป็นความถี่ของวงจรที่ไม่ถูกมอดูเลทด้วยสัญญาณเบสแบนด์-สมการจะประมาณได้

$$W(t) = W_o\,(1 + K_c\, m(t) / 2C_o)$$

ถ้ากำหนดค่าคงที่ในการมอดูเลท

$$Kf = W_o K_c / 2C_o$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นแสดงได้ว่าวงจรกำเหนิดความถี่แบบ LC ใด ๆ ที่ C สามารถเปลี่ยนแปลงค่าตามสัญญาณเบส แบนด์ อินพุทจะสามารถกำเหนิดสัญญาณ FM ได้ดังสมการของ FM คือ

$$W(t) = W_0 + Kf\, m(t)$$

ซึ่งเป็นสมการ ของสัญญาณ FM

วิธีสร้างสัญญาณ FM แบบทางตรงที่กล่าวมามีข้อดีที่ทำได้ง่าย และค่าเบี่ยงเบนความถี่ที่ได้จะสูงพอสมควรแต่มีข้อเสียคือ ค่า W_0 จะดริฟ (drift) ได้ง่าย จึงจำเป็นต้องมีวงจรชดเชยอุณหภูมิ และวงจรควบคุมความถี่ให้คงที่ ซึ่งก็สามารถแก้ไขได้โดยใช้เฟสล็อกลูปควบคุมความถี่ของคลื่นพาห์ให้มีเสถียรภาพ

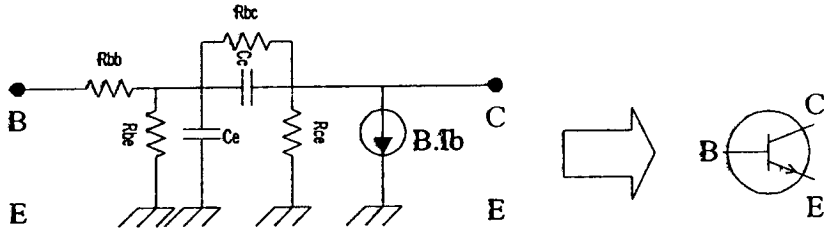
3.2 วงจรขยายความถี่วิทยุ (R.F. Amplifier)

วงจรขยายความถี่วิทยุมีหลายชนิด โดยจัดแบ่งเป็น คลาส (Class) ต่างๆ เช่น คลาส A, B, C, D, E, F, AB ในปัจจุบันมีการพัฒนาวงจรวงจรขยายกำลังให้มีคุณสมบัติที่ขึ้นจึงมีวงจรในลักษณะใหม่เพิ่มขึ้น หรืออาจแบ่งเป็นวงจรขยายแบบ ลิเนียร์ (Linear) และแบบนอนลิเนียร์ (Non Linear) สำหรับวงจรขยายแบบลิเนียร์สามารถสร้างได้โดยใช้วงจรขยายคลาส A, B และ AB วงจรแบบนี้ใช้กับเครื่องส่งแบบย่านความถี่กว้าง (Wide Band) เช่นเครื่องส่งแบบ Single Side Band ส่วนวงจรแบบนอนลิเนียร์ คือวงจรขยายคลาส C, D, E, F จะใช้กับเครื่องส่งย่านนความถี่แคบ ๆ (Narrow Band) แต่ที่นิยมใช้กันมากได้แก่คลาส A, B, C

3.3 วงจรเทียบเท่าของทรานซิสเตอร์ที่ความถี่สูง

วงจรเทียบเท่าของทรานซิสเตอร์ที่ความถี่สูง โดยจะอาศัย Y และ S พารามิเตอร์เป็นตัวช่วยในการคำนวณ จะทำให้เราทราบค่าอัตราการขยายการป้อนกลับที่เหมาะสม ลักษณะของทรานซิสเตอร์สามารถแทนด้วยวงจรง่ายๆ ของความต้านทาน คาปาซิเตอร์และอินดักเตอร์ ซึ่งอาศัยการต่อวงจรแบบ hybrid-π โดยนำมาใช้แทนทรานซิสเตอร์แบบวงจรอีมิเตอร์ร่วม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 วงจรเทียบเท่าทรานซิสตอร์ที่ความถี่สูงในรูปของ hybid-π

จากรูป

r_{be} = ความต้านทานที่ขาเบสของทรานซิสเตอร์ เมื่อมองจากขาเบสเข้าไปถึง junction ซึ่งเป็นลักษณะ forward bias โดยทั่ว ๆ ไปจะประมาณ 1 kΩ

r_{bc} = เป็นเสมือนความต้านป้อนกลับที่ขาเบสและคอลเลคเตอร์ โดยทั่วไปค่าสูงมากขนาด 1 MΩ ถึง 5 MΩ

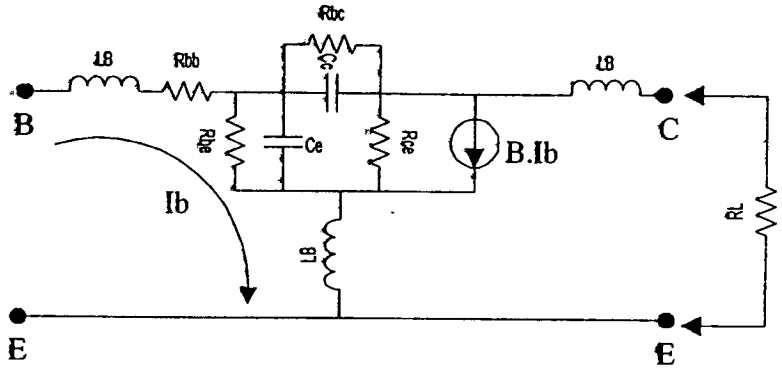
r_{cc} = ค่าความต้านทานทางด้านเอาท์พุทระหว่างขาคอลเลคเตอร์ และอีมิตเตอร์ โดยทั่วไป ถ้าเป็นทรานซิสเตอร์กำลังต่ำจะมีค่าประมาณ 100 kΩ

C_e = ค่าคาปาซิเตอร์ระหว่างจังชั่น และอีมิตเตอร์ บางครั้งเราเรียกว่า ดิฟฟิวชั่นคาปาซิเตอร์ (Diffusion Capacitor) โดยทั่วไปมีค่าประมาณ 100 pF

C_C = ค่าคาปาซิเตอร์ระหว่างขาคอลเลคเตอร์ และเบสจังชั่นของทรานซิสเตอร์ โดยทั่วไปจะมีค่าน้อยประมาณ 3 pF ค่าคาปาซิแตนซ์นี้จะทำหน้าที่ป้อนกลับสัญญาณบางครั้งจึงเรียกว่าฟีดแบ็คคาปาซิเตอร์ (Feedback Capacitor)

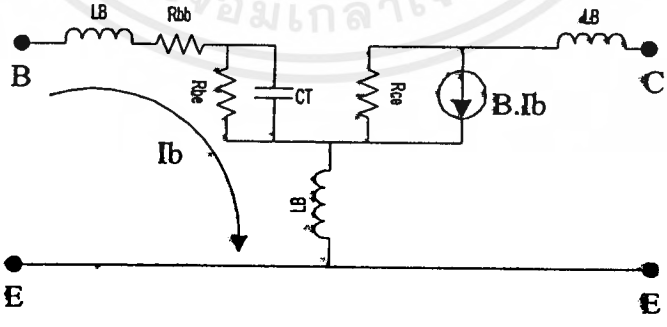
จากรูป ค่าของกระแส I_B ที่เกิดขึ้นจะมีผลทำให้วงจร current source จ่ายการแสที่ขาคอลเลคเตอร์มีค่าเท่ากับ βI_b ซึ่งเขียนเป็นสมการได้คือ $I_c = \beta I_b$ จากสมการนี้จะเห็นว่าเป็นสมการที่ใช้ทั่ว ๆ ไป กับความถี่ไม่สูงนัก เมื่อความถี่ที่ใช้สูงขึ้นขาของทรานซิสเตอร์ก็จะมีผลเป็นอินดักเตอร์ขึ้นมา และต้องนำมาคิดด้วยดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงวงจรทรานซิสเตอร์ที่ความถี่สูงจะมีค่าอินดักเตอร์ด้วย

ในรูป เมื่อต้องการหาค่าอินพุทอิมพแดนซ์ และเอาท์พุทอิมพิแดนซ์ ก็สามารถทำได้โดยการมองจากขา B และ C แต่ความยุ่งยากจะเกิดขึ้นเมื่อไม่สามารถแยกได้ว่าค่า r_{bc} จะนำมารวมกับอินพุทอิมพีแดนซ์หรือเอาท์พุทอิมพิแดนซ์ จึงมีผู้คิดแยก r_{bc} ออกมาเป็น 2 ตัว ตัวหนึ่งต่อขนานกับวงจรทางอินพุท ส่วนอีกตัวต่อขนานกับวงจรทางเอาท์พุท การแยกเช่นนี้เรียกกันว่าวิธีของมิลเลอร์ (Miller effect) และโดยหลักการเดียวกันก็สามารถแยกค่า C_C ออกเป็น 2 ด้านคือทางด้านอินพุทและทางด้านเอาท์พุท เพื่อง่ายในการคำนวณ เช่นเดียวกัน ค่าของ C_C เมื่อใช้การแยกค่าด้วยวิธีการของมิลเลอร์จะได้ C_X ค่าใหม่ขนานอยู่กับ C_e โดยจะมีค่าเป็น $(C_C)(1-\beta R_L)$ เมื่อค่าของ R_L เป็นค่าของ $C_C + C_X$ ถือเป็นค่า C รวมได้เป็น C_T วงจรทางด้านอินพุทของทรานซิสเตอร์จึงเป็นดังรูป



รูปที่ 3.4 แสดงวงจรเทียบเท่าเมื่อใช้ผลของมิลเลอร์ในการแยก C และ R

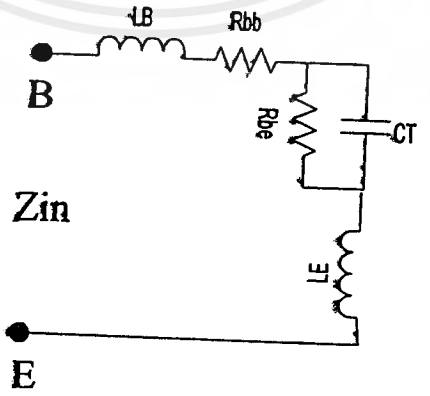
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1 การวิเคราะห์ทางอินพุทอิมพีแดนซ์

การวิเคราะห์หาคุณสมบัติทางอินพุทอิมพีแดนซ์ของทรานซิสเตอร์ โดยการใช้วงจรสมมูลในรูปที่ 3.3 ก่อนอื่นจะต้องทำการลดช่วงวงจรสมมูลให้อยู่ในรูปแบบที่ง่ายต่อการคำนวณ โดยผลลัพธ์ที่ได้จะไม่ผิดพลาดไปจากเดิมมากนัก เนื่องจากความต้านทาน $r_{bc'}$ จะต่ออยู่ระหว่างคอลเล็กเตอร์กับเบสของทรานซิสเตอร์ มีค่าสูงถึง 500 MΩ ทำให้สามารถละทิ้งความต้านทานตรงนี้ได้ และย้ายค่า C_C ที่เกิดขึ้นระหว่างคอลเล็กเตอร์กับเบสไปต่อขนานกับ C_e เป็นค่า C ตัวใหม่ตามทฤษฎีมิลเลอร์ (Miller theory)

ต่อมากำหนดให้ค่า C ที่ได้รวมกับค่า C_e เป็น C_T ทำให้ได้วงจรสมมูลใหม่หลังจากการลดรูปแล้วตามรูปที่ 3.4 และเมื่อแยกเฉพาะวงจรส่วนที่เกี่ยวข้องกับอินพุทอิมพีแดนซ์เท่านั้นออกมาก็จะได้วงจรสมมูลของอินพุทอิมพีแดนซ์ดังรูปที่ 3.5 สิ่งที่ควรสนใจเป็นพิเศษก็คือความต้านทาน $r_{be'}$ กับ C_t เนื่องจาก $r_{bb'}$ มักจะมีค่าน้อยมากๆ ในขณะที่ค่า L_B กับ L_E ก็จะมีค่าน้อยลงเมื่อทรานซิสเตอร์มีความยาวของขาสั้นลง เพื่อให้เหลือแต่ความเหนี่ยวนำที่เกิดจากบอนด์ดิ้งไวร์เท่านั้น และจะมีผลกระทบต่อเมื่อใช้งานที่ความถี่สูงกว่าย่าน VHF

จากรูปที่ 3.5 เมื่อทำการวิเคราะห์อย่างคร่าว ๆ พบว่าอินพุทอิมพีแดนซ์ของทรานซิสเตอร์จะมีค่ามากที่สุดเมื่อป้อนแรงดันไฟตรงที่อินพุท โดยเป็นค่าอิมพีแดนซ์ที่เกิดขึ้นเนื่องจากค่าความต้านทานอย่างเดียว และเมื่อเพิ่มความถี่ของแรงดันให้สูงขึ้นจากเดิมที่เป็นไฟกระแสตรง ผลของความจุ C_T ที่ต่อขนานกับ $r_{be'}$ ก็เริ่มมีผลทำให้ความต้านทานรวมของวงจรขนานของ C_T กับ $r_{be'}$ มีค่าลดลงจนน้อยมากๆ สามารถตัดทิ้งได้ที่ความถี่สูงๆ ทำให้เหลือแต่ความเหนี่ยวนำ L_B, L_E กับความต้านทาน $R_{bb'}$ เท่านั้น เมื่อแยกให้เห็นค่าเด่นชัดทำได้โดยการเขียนวงจรสมมูลทางด้านอินพุทดังรูปที่ 3.5



รูปที่ 3.5 แสดงวงจรเทียบเท่าทางด้านอินพุท

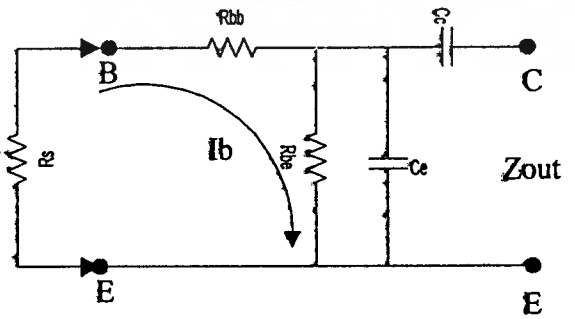
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 การวิเคราะห์ทางเอาท์พุทอิมพีแดนซ์

วงจรสมมุลที่ใช้ในการหาคุณสมบัติของเอาต์พุทอิมพีแดนซ์จากวงจรสมมูลรูปที่ 3.2 เมื่อมองเข้าไปทางด้านในวงจรสมมูลทางคอลเล็กเตอร์ จะเห็นค่าความต้านทาน r_{ce} ซึ่งมีค่าความต้านทานประมาณ 100 KΩ กับ r_{bc} ค่า 5 MΩ ต่ออยู่ในวงจร ค่าความต้านทานสองตัวนี้นับว่ามีค่าสูงมากเมื่อเทียบกับค่าอุปกรณ์ตัวอื่นๆในวงจร ดังนั้นเพื่อง่ายต่อการวิเคราะห์จะให้ความต้านทานสองตัวนี้เปรียบเสมือนวงจรเปิด โดยผลที่ได้จะมีความผิดพลาดไม่มากนักทำให้ได้วงจรสมมูลดังรูปที่ 3.6 โดยความต้านทาน R_S เป็นค่าความต้านทานภายในของแหล่งจ่ายภายนอกที่นำมาต่อเข้ากับทรานซิสเตอร์ และอิมพีแดนซ์ของแหล่งจ่ายกระแสถือว่าเป็นอนันต์หรือมีค่ามากๆจึงไม่นำมาคิด

เนื่องจากอุปกรณ์ทางเอาต์พุทเป็นความจุไฟฟ้า C_e และ C_c ทำให้เมื่อความถี่มีค่าสูงขึ้นเอาท์พุทอิมพีแดนซ์มีค่าลดลงตามสมการรีแอกแตนซ์ของประจุไฟฟ้า แต่ใช่ว่าการลดลงของเอาท์พุทอิมพีแดนซ์จะเกิดขึ้นเนื่องจากสาเหตุนี้เพียงอย่างเดียว ยังมีสาเหตุอื่นอีกที่ทำให้เอาท์พุทอิมพีแดนซ์ลดลงที่ไม่สามารถมองจากวงจรสมมูลในรูปที่ 3.6 ได้นั้นคือการโอนกลับของสัญญาณทางเอาต์พุท กล่าวคือในขณะที่ทรานซิสเตอร์ทำงานอยู่จะมีสัญญาณทางเอาต์พุทส่วนหนึ่งถูกป้อนกลับมายังอินพุทโดยผ่านทาง C_C ซึ่งขนาดของการป้อนกลับจะมีขนาดมากขึ้นเมื่อความถี่สูงขึ้น ทำให้แรงดันตกคร่อม r_{be} มีค่าสูงขึ้น กระแส i_B จะมีค่าเพิ่มขึ้นด้วยอัตราขยาย

การเพิ่มขึ้นของกระแสคอลเล็กเตอร์นี้ทำให้ดูเหมือนอิมพีแดนซ์ทางคอลเล็กเตอร์มีค่าลดลง ผลที่ได้จึงเสมือนว่าเอาต์พุทอิมพีแดนซ์มีค่าลดลงไปอีกนอกเหนือจากการลดลงเพราะ C_e และ C_c ค่าความต้านทาน R_S ก็ยังมีผลทำให้เอาต์พุทอิมพีแดนซ์เปลี่ยนแปลงไปได้เช่นกัน โดยความต้านทาน R_S ไหลผ่านได้น้อยลง กระแสที่เหลือจึงไหลผ่าน r_{be} แทนกระแส i_B จึงมีค่าเพิ่มขึ้นมากกว่าเดิม ทำให้กระสคอลเล็กเตอร์เพิ่มมากขึ้น หรือเอาตพุทอิมพีแดนซ์มีค่าลดลงนั่นเอง การหาค่าของเอาต์พุทอิมพีแดนซ์สามารถวิเคราะห์ได้จากรูปที่ 3.6

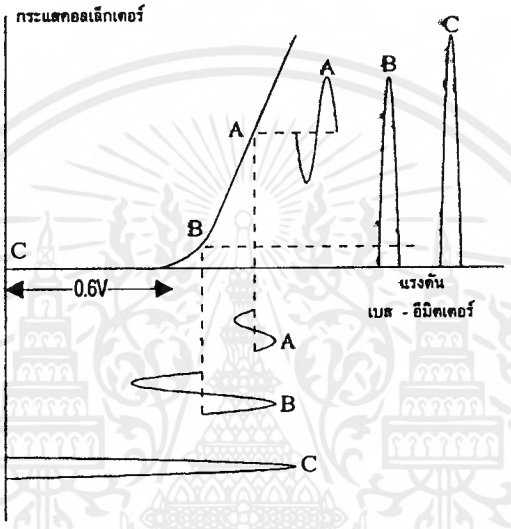


ที่ 3.6 แสดงวงจรเทียบเท่าทางด้านเอาท์พุทรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การไบอัสทรานซิสเตอร์ความที่ถี่สูง

การไบอัสทรานซิสเตอร์ให้ทำงานความที่ถี่สูงนั้นมีมากมายหลายแบบด้วยกัน เช่นคลาส A, B, C, E, F, G, H, เป็นต้น แต่ที่นิยมใช้กันมากได้แก่ คลาส A, B, และ C สามารถแสดงคุณสมบัติของวงจรขยายต่าง ๆ ทั้งคลาส A, B และ C ดังรูป



รูปที่ 3.7 แสดงคุณสมบัติของวงจรขยายแบบต่างๆ

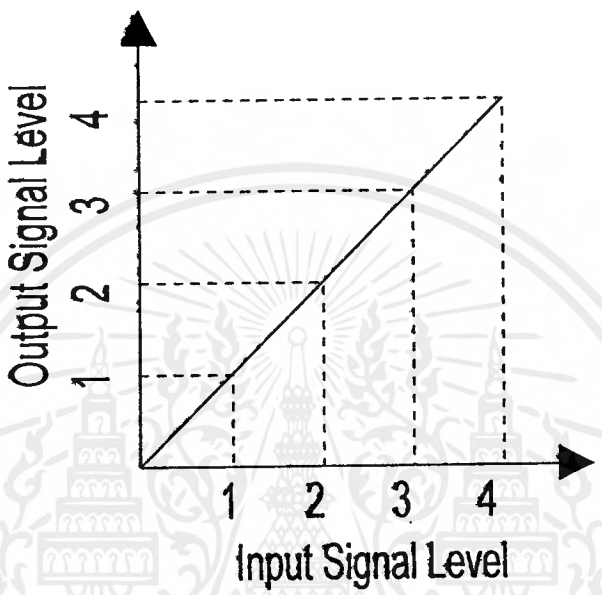
จากรูปจะแสดงให้เห็นถึงความสัมพันธ์ของกระแสคอลเล็กเตอร์ (I_C) กับแรงดันเบสอีมิเตอร์ (V_{BE}) เมื่อ V_{BE} มีค่าประมาณ 0.6 โวลต์ กระแส I_C ยังคงมีค่าน้อยอยู่แต่เมื่อค่าของ V_{BE} เพิ่มสูงกว่า 0.6 โวลต์ ซึ่งเป็นจุดทำงานของทรานซิสเตอร์ กระแส จะเพิ่มขึ้นอย่างรวดเร็วซึ่งวงจรขยายกำลังทั้งสามแบบ จะขึ้นกับเงื่อนไขของการไบอัสเมื่อไม่มีสัญญาณอินพุท

3.4.1 วงจรขยายคลาส A

ในคลาส A แรงดัน V_{BE} จะถูกกำหนดไว้สูงกว่า 0.6 โวลต์ จึงทำให้มีกระแส I_C ไหลอยู่ค่าหนึ่งตลอดเวลาเมื่อมีสัญญาณอินพุทเข้ามาก็จะทำให้ I_C มีการเปลี่ยนแปลงตามสัญญาณอินพุท แต่ความแรงของสัญญาณอินพุทจะถูกกำหนดไว้ไม่ให้แรงเกินไปจนทำให้ทรานซิสเตอร์หยุดทำงานหรืออิ่มตัว ในวงจรคลาส A นั้นโดยทั่วไปจะมีคุณสมบัติของการขยายสัญญาณค่อนข้างลิเนียร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติของการขยายที่เป็นลิเนียร์นั้นดูได้จากกราฟรูปที่ 3.8 จะเห็นว่าเมื่อวัดค่าที่เอาท์พุทที่ได้เทียบกับอินพุทแล้วพล็อตออกมา ลักษณะความสัมพันธ์นี้จะเป็นเส้นตรง ซึ่งเราเรียกผลอันนี้ว่าความเป็นลิเนียร์ ถ้าเส้นที่พล็อตออกมาโค้งหรือคดเราเรียกไม่ลิเนียร์



รูปที่ 3.8 แสดงคุณสมบัติการขยายที่เป็นลิเนียร์

วงจรขยายคลาส A เป็นวงจรพื้นฐานที่สุดที่ใช้ได้ทุกความถี่ตั้งแต่ย่านความถี่เสียงไปจนย่านความถี่วิทยุ จึงมีผู้นิยมใช้กันมาก แต่มีข้อเสียคือมีการสูญเสียกำลังมาก เนื่องจากมีกระแส I_C ไหลอยู่ตลอดเวลา ทำให้เกิดการสูญเสียในรูปความร้อนสะสม ในตัวทรานซิสเตอร์ โดยเฉลี่ยจะมีประสิทธิภาพต่ำกว่า 25% ของกำลังทั้งหมด จึงเหมาะกับวงจรขยายสัญญาณกำลังต่ำ ๆ

3.4.2 วงจรขยายคลาส B

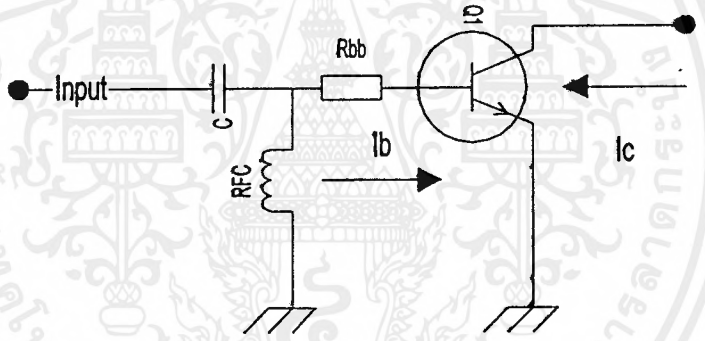
ถ้าทำการลดแรงดัน V_{BE} ลงมาจนกระทั่งกระแส I_C ไหลเพียงเล็กน้อยก็จะได้วงจรขยายคลาส B ซึ่งทรานซิสเตอร์จะถูกไบอัสไว้อยู่เหนือจุดคัตออฟ (Cutoff) เล็กน้อยสัญญาณจะถูกขยายเฉพาะซีกบวกของรูปคลื่นอินพุท หรือกระแส I_C ไหลได้เพียง 180 องศา และคัตออฟอีก 180 องศา สาเหตุนี้จึงทำให้สภาพในขณะที่ไม่มีสัญญาณเข้าจะมีกระแสไหลผ่านวงจรน้อยมาก การสูญเสียจึงน้อยไปด้วยประสิทธิภาพจึงดีกว่าวงจรคลาส A มาก แต่อย่างไรก็ตามคุณสมบัติความเป็นเชิงเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Linear) ของอัตราการขยายสัญญาณยังสู้คลาส A ไม่ได้ ซึ่งสามารถแก้ไขได้โดยการใช้ทรานซิสเตอร์สองตัวขยายสัญญาณตัวละครึ่งคลื่นแล้วนำมารวมกันเรียกว่า การทำงานในลักษณะพุชพูล (push pull)

3.4.3 วงจรขยายคลาส C

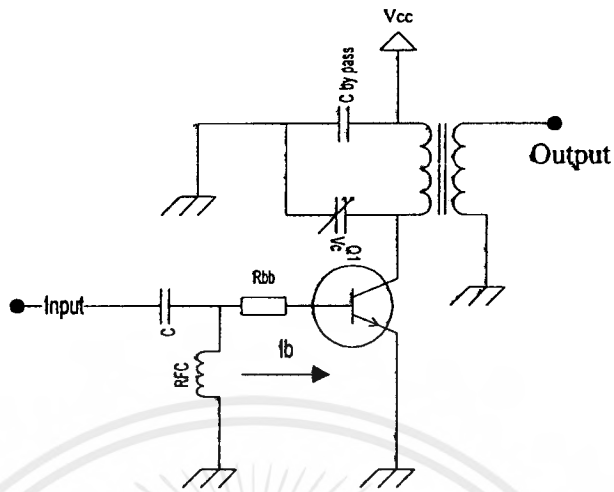
ทรานซิสเตอร์จะถูกไบอัสต่ำกว่าจุดคัตออฟนั่นคือ V_{BE} มีค่าประมาณ0 โวลต์ เมื่อมีอินพุทเข้ามามีค่าสูงกว่า 0.6 โวลต์จึงทำให้ทรานซิสเตอร์สามารถขยายสัญญาณได้ โดยประสิทธิภาพจะมีประมาณ 85% ส่วนความเพี้ยนนั้นมีมากกว่าวงจรขยายคลาส A และ คลาส B ความลิเนียร์ของอัตราขยายไม่ดีเมื่อเทียบกับวงจรขยาย คลาส A และ คลาส B วงจรขยายพื้นฐานของคลาส C ดูได้จากรูปที่ 3.9



รูปที่ 3.9 วงจรขยายสัญญาณแบบคลาส C

จากรูปที่ 3.9 จะเห็นว่าการให้ไบอัสในคลาส C นั้นจะไม่มีกระแสเบส ขณะที่ไม่มีสัญญาณเข้ามาทางอินพุท ทรานซิสเตอร์ ก็จะคัตออฟอยู่ จนมีสัญญาณเข้ามาครึ่งไซเคิล (Cycle) บวก ทรานซิสเตอร์ก็จะทำงาน RFC ก็จะรับกระแสส่วนหนึ่งเอาไว้เมื่อถึงครึ่งไซเคิลลบ RFC ก็จะคายกระแสจ่ายให้ทรานซิสเตอร์ Q1 ทำให้ทรานซิสเตอร์ Q1 ยังไม่คัตออฟ จนกระทั่งครึ่งไซเคิล บวกปรากฏอีกครั้ง ในบางครั้งวงจรคลาส C อาจจะต้องคูนเอาท์พุท ด้วยวงจรทรานส์ฟอร์เมอร์ (Transformer) และคาปาซิเตอร์ประกอบ ทำให้การทำงาน และการแมตชิ่งดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงวงจรขยายคลาส C แบบ Self bias

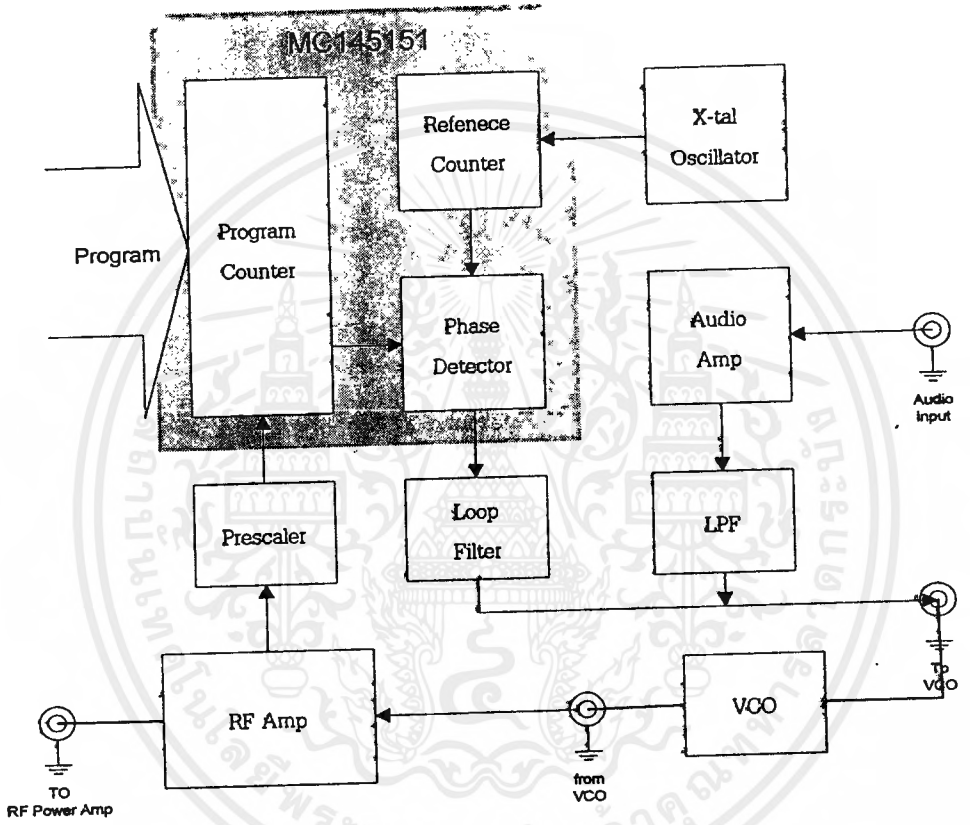
วงจรขยายคลาส C จะทำงานได้ดีก็ในกรณีใช้กับความถี่สูง ๆ มักจะนำไปใช้กับวงจรขยายของเครื่องส่งกำลังสูง ๆ เนื่องจากวงจรขยายแบบคลาส C มีประสิทธิภาพสูงสุดและจัดไบอัสได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ภาคกำเนิดสัญญาณ FM

ภาคกำเนิดสัญญาณ FM (FM. Signal Generator)



รูปที่ 4.1 แสดง Block Diagram ภาคกำเนิดสัญญาณ FM

ภาคกำเนิดสัญญาณ FM มีหน้าที่กำเนิดสัญญาณความถี่สูงและทำการผสมสัญญาณในรูปแบบ Frequency Modulation โดย Output จะมีกำลังต่ำหากต้องการนำไปใช้แบบกำลังส่งสูงต้องนำไปเชื่อมต่อกับวงจร RF Power Amp ต่อไป

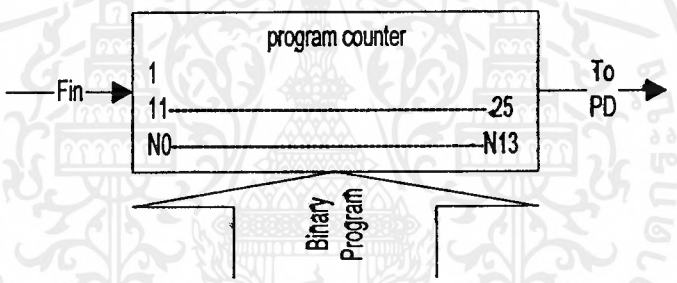
ภาคกำเนิดสัญญาณ FM สามารถแบ่งเป็นวงจรย่อยๆได้

1. วงจรหารกำหนดค่าได้ (Program Counter)
2. วงจรหารความถี่อ้างอิง (Reference Gounter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วงจรกำเนิดความถี่ด้วย X-tal (X–tal Oscillator)
4. วงจรเฟสดีเทคเตอร์ (Phase Detector)
5. วงจรกำหนดความถี่ด้วยแรงดันไฟฟ้า (Voltage Control Oscillator : VCO)
6. วงจรหารค่าคงที่ (Prescaler)
7. วงจรความถี่ต่ำผ่านและวงจรขยายสัญญาณเสียง (Low pass filter & Audio Amp)
8. วงจรขยายความถี่สูง (RF Amp)
9. วงจรลูปฟิลเตอร์ (Loop filter)

4.1 วงจรหารกำหนดค่าได้ (Program Counter)



รูปที่ 4.2 แสดงวงจร Program counter

ภายใน Ic1 program counter จะทำหน้าที่หารความถี่ที่รับมาจากขา 1 และทำการหารความถี่โดยสามารถกำหนดค่าการหารได้ทางขา 11-25 ความถี่ที่ได้จากการหารจะถูกส่งไปยังวงจร Phase detector การกำหนดค่าในการหารจะอยู่ในรูปแบบของ Binary โดยที่ Ic นี้สามารถกำหนดค่าการหารอยู่ในช่วง 3 ถึง 16383 โดยค่าการหารสามารถกำหนดได้จาก

$$N = \frac{f}{Np \cdot fr}$$

โดยที่ f = ความถี่ที่ใช้

Np = ค่าการหารของ Prescaler

Fr = ความถี่อ้างอิง(Frequency reference)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรที่ใช้มีค่าการหารของ Prescaler เท่ากับ 100 ใช้ความถี่อ้างอิง 5 kHz หากต้องการใช้งานในช่วงความถี่ระหว่าง 78 – 90 MHz จะต้องกำหนดค่าการหารของวงจรให้อยู่ระหว่าง

$$N_{\min} = \frac{f_{\min}}{Np \cdot f_r} = \frac{78 \times 10^6}{100 \cdot 5 \times 10^3} = 156$$

$$N_{\max} = \frac{f_{\max}}{Np \cdot f_r} = \frac{90 \times 10^6}{100 \cdot 5 \times 10^3} = 180$$

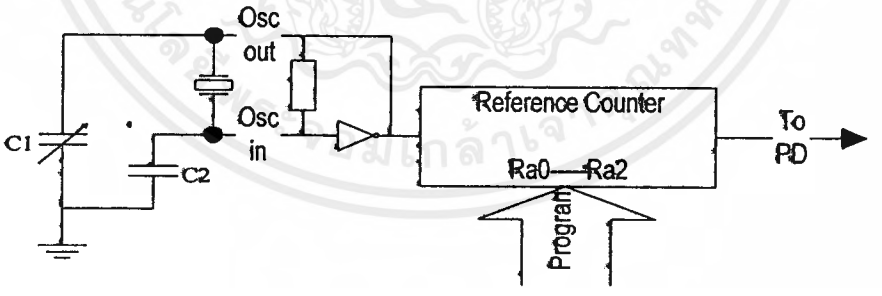
ฉนั้นค่าการหารจะอยู่ในช่วง 156 – 180 ซึ่ง Ic เบอร์นี้สามารถครอบคลุมถึง และหากแปรตัวเลขเหล่านี้เป็นเลขฐานสอง

156 = 10011100

180 = 10110100

จะเห็นได้ว่ามีการเปลี่ยนแปลงของตัวเลขเพียง 6 หลักเท่านั้น ฉะนั้นเราสามารถใช้สายสัญญาณเพียง 6 เส้น (N0 – N5) สำหรับใช้ควบคุมช่องสัญญาณทั้งหมด

4.2 วงจรหารความถี่อ้างอิง (Reference Counter)



รูปที่ 4.3 แสดงวงจร Reference Counter และ X-tal oscillator

Reference counter ทำหน้าที่หารความถี่ที่กำเนิดจากภาค X-tal Oscillator ซึ่งจะทำให้ได้ความถี่อ้างอิง (Reference frequency) ค่าการหารของ Reference counter ภายใน Ic1 จะมีไม่กี่ค่า (สามารถดูได้จาก Data sheet ท้ายเล่ม)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบ ควรเลือกค่าการหารของ Reference counter ก่อน เช่น กำหนดการหารของ Reference counter ที่ 2048 หากกำหนด Reference Frequency ที่ 5 kHz ฉะนั้นจะต้องใช้ X-tal กำเนิดความถี่

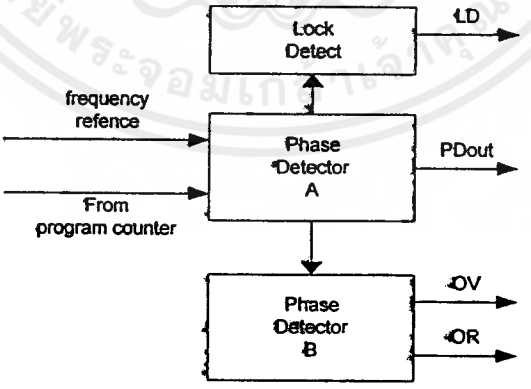
$$f_{X-tal} = f_r \cdot N_r$$
$$= 5 \text{ kHz} * 2048$$
$$= 10.24 \text{ MHz}$$

4.3 วงจรกำเนิดความถี่ด้วย X-tal (X-tal Oscillator)

X-tal oscillator จะทำงานรวมกับภาค Reference counter เพื่อกำหนดความถี่อ้างอิง โดยวงจร Inverting ภายใน IC สามารถทำงานร่วมกับ X-tal เป็นวงจร X-tal Oscillator โดยสามารถต่อ X-tal ได้ที่ขา 26,27

จากคุณสมบัติที่ไม่คงที่ภายใน Ic ทำให้ความถี่ที่กำเนิดมีความคลาดเคลื่อนไปจากความถี่ที่ X-tal กำหนด สามารถชดเชยได้โดยการเพิ่ม C1 และ C2 โดยให้ตัวใดตัวหนึ่งมีค่าคงที่ (ประมาณ 100 pf)ส่วนอีกตัวสามารถปรับค่าได้ และทำการปรับ C ปรับค่าได้แล้ววัดความถี่ที่ขา26และทำการปรับจนได้ความถี่ที่ต้องการ

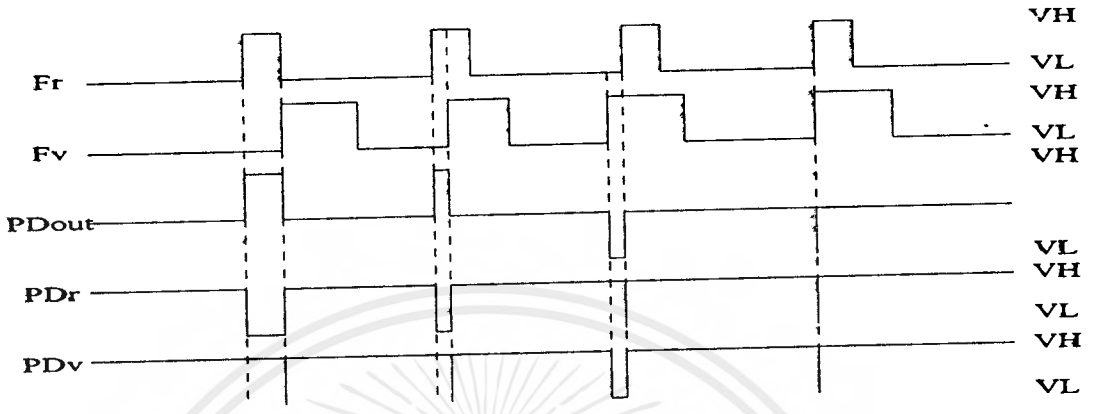
4.4 วงจรเฟสดีเทคเตอร์ (Phase Detector)



รูปที่ 4.4 แสดงวงจรเฟสดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

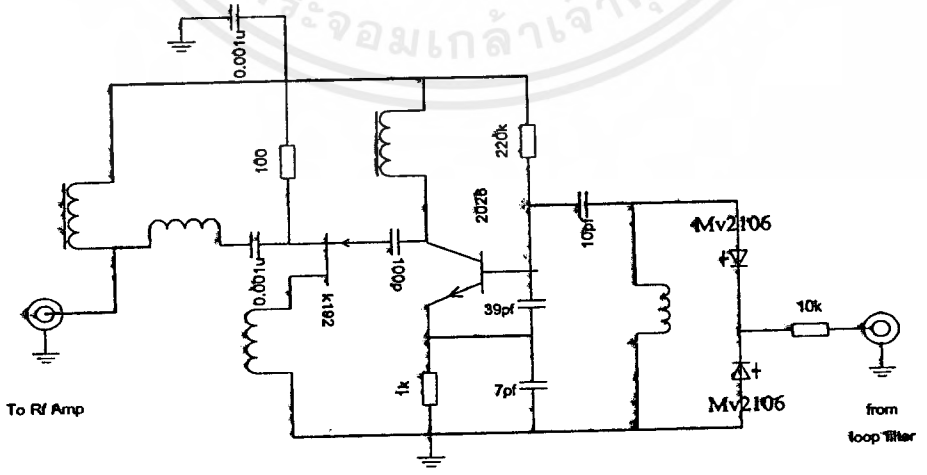
Phase Detector เป็นวงจรที่ทำการเปรียบเทียบสัญญาณแล้วแสดงเอาท์พุทที่บ่งบอกถึงความต่างเฟสของสองสัญญาณนั้น ที่นิยมใช้มีด้วยกันสองแบบ



รูปที่ 4.5 แสดงรูปคลื่นที่เอาท์พุทของดีเทคเตอร์ทั้งสองแบบ

1. แบบ Pdout จะแสดงเอ้าพุทสามสถานะ คือสถานะเป็นบวก สถานะเป็นลบ สถานะความต้านทานสูง ซึ่งจะขึ้นอยู่กับการเหลื่อมล้ำทางเฟสดั่งแสดงไว้ในรูป
2. แบบ PDr/PDv เอ้าพุทจะเป็นสองสถานะและมีสัญญาณสองชุด แต่ละชุดจะบ่งบอกเฟสที่ล้ำหน้าต่อเฟสอีกตัวหนึ่ง

4.5 วงจรกำหนดความถี่ด้วยแรงดันไฟฟ้า (Voltage Control Oscillator : VCO)



รูปที่ 4.6 แสดงวงจรกำหนดความถี่ด้วยแรงดันไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจร L และ C ทุกตัวในวงจรจะเป็นตัวกำหนดความถี่ที่วงจรกำเนิดได้ โดยมีค่า Capacitor ส่วนหนึ่งได้จาก Varicap Diode มีคุณสมบัติเปลี่ยนแปลงค่า Capacitor ตามแรงดันที่ตกคร่อมตัวอุปกรณ์ จากคุณสมบัตินี้เราสามารถควบคุมความถี่ที่ผลิตจากวงจรได้โดยการควบคุมแรงดันที่ตกคร่อม Varicap

ในการต่อ Varicap เข้ากับวงจร Resonance นั้นจำเป็นจะต้องมี Capacitor ต่ออันดับกันทุกครั้งไปเพราะหากใช้ Varicap ต่อเข้ากับวงจร Resonance โดยไม่ผ่าน Capacitor จะทำให้กระแสส่วนใหญ่ไหลผ่าน Inductor ส่งผลให้แรงดันตกคร่อม Varicap ลดลงจนไม่สามารถใช้งานได้ ฉะนั้นจึงจำเป็นต้องมี Capacitor ต่ออันดับเพื่อป้องกันแรงดันตกคร่อม Varicap เข้าสู่วงจร Resonance

ในการออกแบบวงจรจำเป็นจะต้องทราบค่าความจุ ที่ตกคร่อม Varicap Diode ที่แรงดันต่างๆ ในตัวอย่างนี้กำหนดให้ Varicap มีค่าความจุ 20 pf ที่แรงดัน 0.1 V และมีค่าความจุ 9 pf ที่แรงดัน 4V กำหนดให้ย่านการกำเนิดความถี่อยู่ในช่วง 78 – 90 MHz

ขั้นแรกทำการหาค่า LC ที่ความถี่ต่ำสุดและสูงสุดจากสมการ $LC = \left(\frac{1}{2\pi f}\right)^2$

$$LC_{90MHz} = 3.127 \times 10^{-18} \qquad LC_{78MHz} = 4.1634 \times 10^{-18}$$

กำหนดให้ C ในวงจรมีเพียง C ที่เกิดจาก Varicap ซึ่งจะมีค่าอยู่ระหว่าง 9 – 20 pf

คำนวณหาค่า L ณ.ความถี่ต่ำสุด

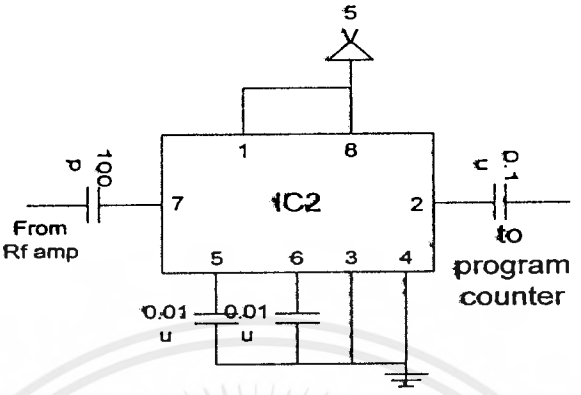
$$L = \frac{LC_{78MHz}}{C_{MAX}} = \frac{4.1634 \times 10^{-18}}{20 \times 10^{-12}} = 208.17nH$$

$$f_{MAX} = \frac{1}{2\Pi\sqrt{L \cdot C_{\min}}} = \frac{1}{2\Pi\sqrt{208.17 \times 10^{-9} \times 9 \times 10^{-12}}} = 116.27MHz$$

$$K_{vco} = \frac{f_{\max} - f_{\min}}{2\Pi(V_{\max} - V_{\min})} = \frac{116.27MHz - 78MHz}{2\Pi(4 - 0.1)} = 1.561 \times 10^{6}\ RAD/V$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

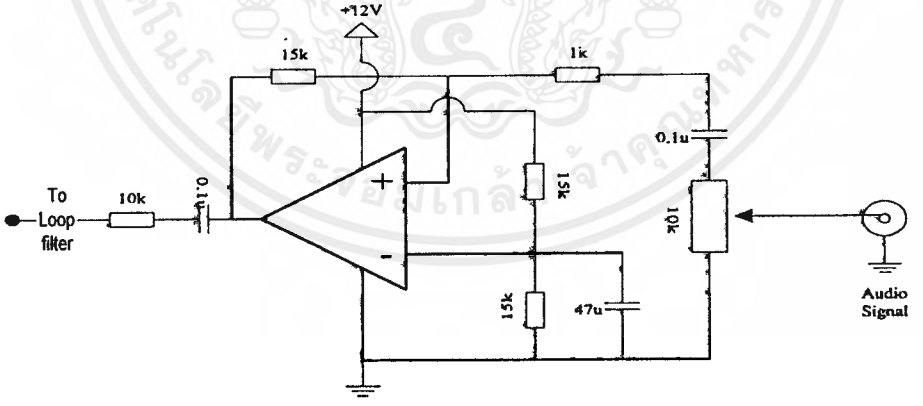
4.6 วงจรหารค่าคงที่ (Prescaler)



รูปที่ 4.7 แสดงวงจร Prescaler

Prescaler จะทำหน้าที่หารความถี่โดยค่าคงที่ค่าหนึ่งเพื่อลดความถี่ให้ต่ำลง ในที่นี้ใช้ IC2 (DS 8629)ทำการหารค่าคงที่เท่ากับ 100 โดยมี Input ที่ขา 7 และ Output ที่ขา 2

4.7 วงจรความถี่ต่ำผ่านและวงจรขยายสัญญาณเสียง (Low pass filter & Audio Amp)

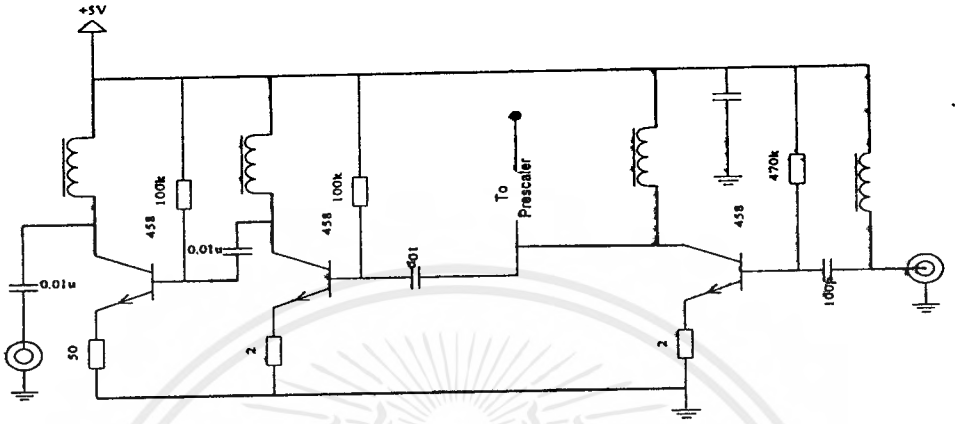


รูปที่ 4.8 แสดงวงจร Low pass filter & Audio Amp

สัญญาณ audio input จะถูกควบคุมขนาดของสัญญาณด้วย VR1 จากนั้นจะถูกส่งไปยัง IC2 ซึ่งเป็น OP-AMP ทำการขยายสัญญาณโดยถูกกำหนดจาก R3 และ R1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8 วงจรขยายความถี่สูง (RF Amp)

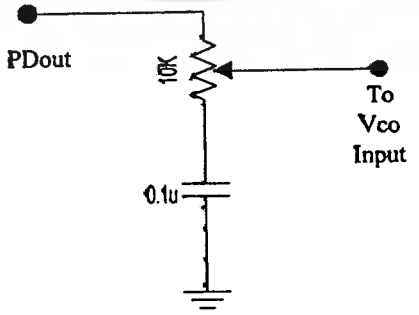


รูปที่ 4.9 แสดงวงจร RF Amp

ภาค RF amp ทำหน้าที่ขยายสัญญาณที่ได้จาก VCO ให้มีคววมแรงของสัญญาณเพิ่มขึ้นเพื่อส่งต่อไปยังภาค Prescaler และ RF power Amp

สำหรับภาค RF amp ใช้ทรานซิสเตอร์ 2SC485 ทำการขยายสัญญาณโดยการกำหนดไบอัสแบบ Class A

4.9 วงจรลูปฟิลเตอร์ (Loop filter)



รูปที่ 4.10 แสดงวงจร Loop filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.9.1 ขั้นตอนในการออกแบบลูปฟิลเตอร์

เนื่องจากการใช้งานวงจรฟิลเตอร์แบบพาสซีฟแลค สิ่งที่ต้องคำนึงถึงคือ

1. steady state ของระบบ จากทฤษฎีการควบคุม Type ของลูปจะเท่ากับจำนวน Perfect Integrator ภายในลูป ซึ่งขึ้นอยู่กับโครงสร้างของระบบ(Configulation)ในระบบเฟสล็อกลูปใดๆ อย่างน้อยที่สุดจะเป็นลูปแบบที่1 เนื่องจาก VCO เป็น Perfect Integrator ถ้าลูปฟิลเตอร์ประกอบไปด้วย Perfect integrator อีกตัวลูปก็จะเป็นแบบที่2 ลูปฟิลเตอร์ที่มี Perfect Integrator คือ Active Filter ดังนั้นในระบบเฟสล็อกลูปที่มีลูปฟิลเตอร์แบบActiveจะเป็นลูปฟิลเตอรแบบที่ 2 ในขณะที่เฟสล็อกลูปที่มีลูปฟิลเตอร์แบบพาสซีฟจะเป็นลูปแบบที่ 1 เมื่อป้อนสัญญาณแบบ Ramp ใช้สำหรับทดสอบความสามารถในการติดตามสัญญาณอินพุทเฟสล็อกลูปจะประกอบไปด้วย Integrator อย่างน้อยสองตัว หรือลูปแบบที่ 2 จึงจะทำให้ได้ค่า Steady State Error เป็นศูนย์ จะเห็นได้ว่าแอกทีฟฟิลเตอร์จะให้ได้ค่า Steady State Error น้อยกว่าแบบพาสซีฟ โดยทั่วไปค่าของ Type ยิ่งมาก ระบบจะยิ่งมีความแน่นอนแต่จะทำให้เกิดปัญหาความเสถียรภาพตามมา ดังนั้นนั้นเราจึงไม่นิยมใช้ Type มากกว่าสองเพราะเป็นการยากที่ทำให้ระบบเสถียรภาพ

2. แอกทีฟฟิลเตอร์ที่ใช้ Op-Amp จะเพิ่มสัญญาณรบกวน (Noise) ลงในแรงดันที่ควบคุม VCO ดังนั้นวงจรขยายที่ใช้ OP-Amp เป็นตัวฟิลเตอร์ควรมีคุณสมบัติสัญญาณรบกวนต่ำและกระแสไบอัสอินพุทน้อยที่สุด อย่างไรก็ตามเกนขยายที่ F(0) ของ Active filter คือ A จะเห็นได้ว่า Active filter จะให้ BW ที่กว้างกว่าแบบ Passive

3. การเลือกค่า Damping Factor จะเลือกค่าที่มีการตอบสนองของระบบเร็วที่สุดเพื่อให้ระยะเวลาในการล็อกรวดเร็ว โดยถ้า Damping Factor มีค่าน้อยทำให้ผลตอบสนองมีค่า Over Shoot มาก แต่ถ้า Damping factor มีค่ามาก การตองสนองจะช้า ค่า Damping factor ที่ดีที่สุดคือ 0.707

การกำหนดค่า Natural frequency Wn จะขึ้นอยู่กับ Damping factor และเวลาที่ตองสนองต่อค่าเวลาสุดท้าย (Setting time) ts สำหรับ 0 < Damping Factor < 0.9 ถ้าใช้ค่ามาตรฐานที่มีการเปลี่ยนแปลงอยู่ระหว่าง $\pm 2\%$ ค่า ts =4T เมื่อ T เป็นค่าเวลาคงที่ (Time Constante) $T = \frac{1}{Wn\xi}$ ค่า ts ที่มากจะทำให้การมอดูเลทที่ความถี่ต่ำไม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.9.2 การคำนวณ

กำหนดค่าเริ่มต้นในการคำนวณ

$$Kvco = 1.561\times10^{6}\ rad/V$$

$$K\phi = 0.4\ \ \xi = 1\ \text{ที่}\ N_{MAX} = 180\ \text{fr=5kHz}$$

$$Wn = \frac{2\Pi fr}{10} = \frac{2\Pi\times5\times10^{3}}{10} = 3141.6$$

$$(R_1 + R_2)C = \frac{K\phi\cdot K_{VCO}}{N\cdot Wn^{2}} = \frac{624400}{180\cdot9869650} = 351.47\times10^{-6}$$

$$R_2C = \frac{2\cdot\xi}{Wn} - \frac{N}{Kd\cdot Kvco} = 636.618\times10^{-6} - 2.8827\times10^{-4}$$

$$= 348.341\times10^{-6}$$

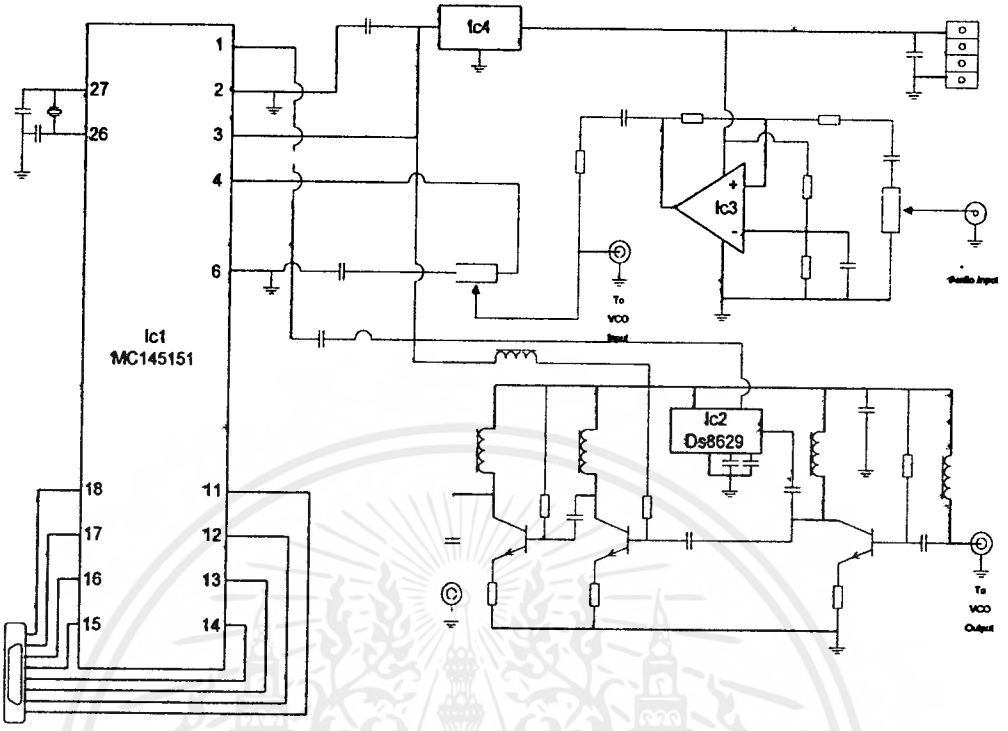
กำหนดให้ C = 1uF

$$R_1 + R_2 = 351.47\Omega$$

$$R_2 = 348.341\Omega$$

$$R_1 = 351.47 - 348.341 = 3.129\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 แสดงวงจรในส่วน PLL Board

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
วงจรขยายกำลังความถี่สูง

5.1 การออกแบบวงจรขยายกำลังความถี่สูง

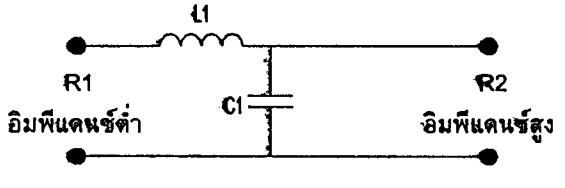
ในการศึกษาการออกแบบวงจรขยายความกำลังความถี่สูงสำหรับขยายสัญญาณที่แรง ๆ จำเป็นต้องศึกษากราฟแมตซ์อิมพีแดนซ์ ในการคำนวณและวิเคราะห์จะต้องอาศัย Y และ S พารามิเตอร์เป็นส่วนใหญ่ในบางครั้งต้องอาศัยดูคู่มือทรานซิสเตอร์ประกอบเพราะการมองอิมพีแดนซ์ทางเข้าและอิมพีแดนซ์ทางออกแต่ละความถี่จะแตกต่างกันทำให้การคำนวณผิดพลาดไปมาก หลักการสำคัญในการออกแบบวงจรขยายกำลังความถี่สูงจะกำหนดได้เป็นสองประเด็นคือให้อินพุทแมตซ์กับ Source มากที่สุด และให้เอาท์พุทแมตซ์กับโหลดมาที่สุดถ้าทำให้แมตซ์ได้ยากต้องอาศัยวงจรแมตชิ่งแบบต่าง ๆ มาช่วยทำการแมตซ์ด้วย

5.2 การทำแมตซ์ชิ่ง

ในการส่งสัญญาณผ่านระหว่างวงจรมักจะพบปัญหาเกี่ยวกับอิมพิแดนซ์ที่ไม่เหมาะสม "ไม่แมตซ์" จะทำอย่างไรหากอิมพิแดนซ์ที่เครื่องรับส่งวิทยุมีค่า $50 + J0\ \Omega$ ต้องต่อกับอินพุทอิมพีแดนซ์ของทรานซิสเตอร์ในวงจรขยายที่มีค่า $1.7 + J6.66\Omega$ หรือค่าเอาท์พุทของวงจรขยาย มีรีแอกซ์แตนซ์ $-J2.02\Omega$ จะต้องต่อกับสายอากาศที่มีอิมพิแดนซ์ 50Ω

จากรูปที่ 5.1 เป็นวงจรที่สามารถใช้เพื่อช่วยในการจัดอิมพีแดนซ์ให้เหมาะสมการคำนวณค่าอุปกรณ์ต่าง ๆ ใช้สูตรที่อยู่ข้างล่างนี้ ค่า XL_1 คือความต้านทานทางไฟสลับ (รีแอกแตนซ์) ของวงจรแมตซ์ชิ่งตามรูปที่ 5.1 (ก) ถึง (ค) จะเพิ่ม ความต้านทาน R_1 ต่อกับตัวเก็บประจุ และจะลดลงหากต่อกับตัวเหนี่ยวนำ

ส่วนรูปที่ 5.1 (ง) ค่าของ XL_1 จะถูกกำหนดโดยค่ารีแอกแตนซ์ที่ต่อร่วมกับ R_1 และค่า XL_2 ถูกกำหนดโดยค่ารีแอกแตนซ์ที่ต่อร่วมกับ R_2 ค่าของรีแอกแตนซ์สามารถแปลงกลับเป็นค่าของตัวเก็บประจุหรือ ตัวเหนี่ยวนำได้ โดยใช้สูตรคำนวณดังต่อไปนี้



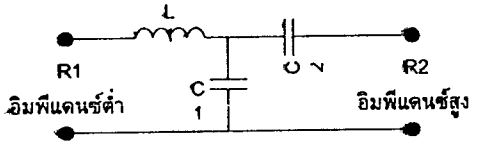
$$X_{L1} = QR_1$$

$$X_{C1} = \frac{R_1^2 + X_L^2}{X_{L1}}$$

$$R_2 = R_1(1 + Q^2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

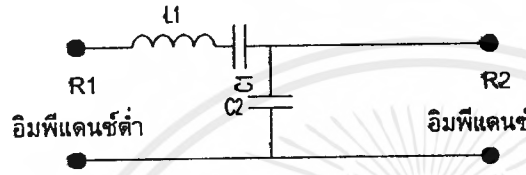
(ก)



$$B = R_1(1+Q^2),\ A = \sqrt{\left(\frac{B}{R_2}\right)-1}$$

$$X_{L1} = QR_1,\ X_{C2} = AR_2,\ X_{C1} = \frac{B}{Q-A}$$

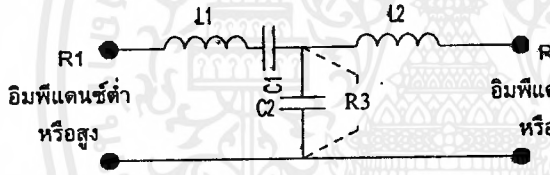
(ข)



$$X_{C1} = QR_1,\ X_{L1} = X_{C1} + R_1R_2$$

$$X_{C2} = R_2\sqrt{\frac{R_1}{R_2 - R_1}}$$

(ค)



$$R_3 = R_1\left(1+Q_2^{\ 2}\right)$$

$$X_{ab} = R_3\sqrt{\frac{R_1}{R_3 - R_1}}$$

$$X_{L2} = Q_2R_2,\ X_{C1} = Q_1R_1$$

$$X_{ab} = \frac{R_2^2 + X_{L2}^2}{X_{L2}},\ C_2 = C_a + C_b$$

$$X_{L1} = X_{C1} + \frac{R_1R_3}{X_{ab}}$$

(ง)

รูปที่ 5.1 แสดงวงจรแมตซ์ชิ่งที่ใช้ในการปรับอิมพีแดนซ์ และสูตรการคำนวณ

5.3 การหาโหลดที่เหมาะสมที่สุดของทรานซิสเตอร์

การหาค่าโหลดสำหรับวงจรขยายความถี่สูงจำเป็นต้องศึกษาให้ละเอียดเพราะถ้าโหลดมีค่าน้อยไป (R_L น้อย) ก็จะทำให้วงจรทำงานหนักอาจจะเสียได้ หรือถ้าโหลดมีค่ามากไป (R_L มาก) ก็จะทำให้วงจรทำงานได้ไม่เต็มที่ สิ้นเปลืองโดยใช่เหตุ

ความต้านทานโหลดทางเอาต์พุท ในที่นี้หมายถึง ค่าความต้านทานที่ด้านคอลเลคเตอร์ของทรานซิสเตอร์ซึ่งไม่ได้มาจากการคำนวณที่ว่า $R = V^2/W$ เนื่องจากกำลังที่โหลดได้รับคือ กำลังที่เกิดขึ้นขณะที่ทรานซิสเตอร์ทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นถ้าเรวอาศัยคู่มือทรานซิสเตอร์ประกอบและ คำนวณง่าย ๆ ตามสมการ ก็จะทราบค่า R_L ได้

$$R_L = \frac{(V_{CC} - V_{SAT})^2}{2P}$$

R_L = อิมพีแดนซ์ของโหลด

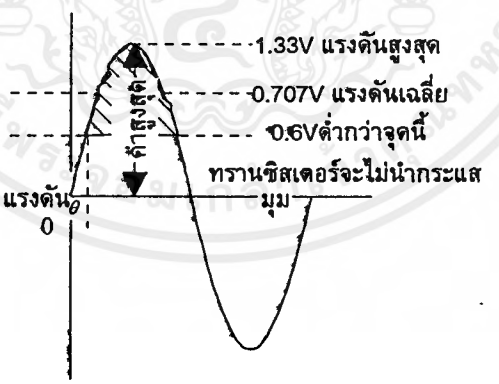
V_{CC} = แรงดันแหล่งจ่ายไฟ (Volts)

V_{sat} = แรงดันตกคร่อมทรานซิสเตอร์ขณะทำงานไม่เต็มที่

P = ค่าเอาท์พุท Power ที่ต้องการ

5.4 กำลังงานทางอินพุทของทรานซิสเตอร์

สำหรับวงจรขยายคลาส C แรงดัน V_{BE} ถูกกำหนดให้มีค่า 0 โวลท์เมื่อไม่มีอินพุทกระแสที่ไหลในวงจรจึงมีเพียงกระแสรั่วไหลของคอลเลคเตอร์ สมมุติให้ทรานซิสเตอร์มีอินพุทอิมพีแดนซ์ $1.77 + j60\ \Omega$ สำหรับเรื่องการทำแมตชิ่งได้กล่าวไปแล้วข้างต้น จะเห็นว่าเราสามารถหาค่าแรงดันอินพุทสูงสุดที่อิมพีแดนซ์ 1.77 คือ 1.33 โวลต์ ดังในรูป



รูปที่ 5.2 แสดงรูปสัญญาณอินพุทที่ป้อนเข้าวงจรขยาย
ส่วนที่แรเงาคือส่วนที่ทรานซิสเตอร์ทำการขยายสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์จะเริ่มทำงานตั้งแต่ค่าแรงดันอินพุทเท่ากับ 0.6 โวลต์ ค่าของกำลังอินพุท 1 วัตต์ที่ป้อนเข้ามานั้น 0.6 โวลต์ ค่าของกำลังอินพุท 1 วัตต์ที่ป้อนเข้ามา คือพื้นที่รูปสัญญาณเต็มคลื่น แต่ส่วนที่ทำให้ทรานซิสเตอร์ทำงานมีเพียงบริเวณแรเงาของรูปสัญญาณเท่านั้น

ในการคำนวณหาพื้นที่แรเงาซึ่งแทนกำลังสัญญาณดังในรูปที่ 3.3 ต้องอาศัยการอินทีกรัล และหลักการของตรีโกณมิติเข้าช่วย ขั้นแรกต้องทำการคำนวณหามุมที่ปกคลุมพื้นที่แรเงานั้น (θ) ซึ่งตามรูปที่ 3.3 จะแสดงในหน่วยของเรเดียน แล้วทำการแปลงกลับเป็นองศา โดยสัญญาณอินพุทเป็น ซายน์ค่าแรงดันที่มุมใด ๆ แทนด้วย Y สามารถหาค่าได้จากสมการ

$$Y = \sin\theta \qquad \text{.....(1)}$$

โดย a เป็นแรงดันสูงสุด, θ เป็นมุมจากจุดที่ค่า Y =0 จนถึงจุดที่เกิดแรงดันเป็นบวก ตามรูปที่ 3.3 ได้ค่า Y = 0.6 และ a = 1.33 ดังนั้น

$$\sin\theta = 0.6/1.33 \qquad \text{.....(2)}$$

และได้ค่า θ = 0.47 เรเดียน หรือ 27 องศา

ที่มุม $\pi/2$ หรือ 90 องศา รูปสัญญาณจะมีความสมมาตรกัน ทรานซิสเตอร์จะมีมุมการทำงานอยู่ 126 องศา ซึ่งมากกว่า 1 ใน 3 ของรูปสัญญาณทั้งหมดถ้าเปลี่ยนเป็นหน่วยของเรเดียนจะได้ค่า π - 0.47 = 2.67 เรเดียน นั่นคือจะได้ค่า θ_1 = 0.47 เรเดียน หรือ 27 องศา และ θ_1 = 2.67 เรเดียน หรือ 153 องศา ตามลำดับ

ถ้าให้ค่า " V" เป็นแรงดันที่ทำให้ทรานซิสเตอร์เริ่มทำงาน แรงดัน V_{BE} = 0.6 โวลต์ ดังนั้นจะสามารถหาค่าบริเวณมุมที่ทรานซิสเตอร์เริ่มทำงานจากสมการ

$$\sin\theta = V_{BE} / V_{in} \qquad \text{.....(3)}$$

โดยที่ V_{in} เป็นค่าแรงดันอินพุทสูงสุดที่ป้อนเข้ามายังวงจรทรานซิสเตอร์

กำลังอินพุทของรูปสัญญาณตลอดครึ่งลูกคลื่นมีค่า .05 วัตต์ ซึ่งสามารถหาได้จากสมการ

กำลัง = พื้นที่ใต้กราฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= k\int_{0}^{\Pi}\sin\theta d\theta \qquad \text{.....(4)}$$

จากรูปที่ 3.3 จัดขอบเขตการอินทีกรัลและฟังก์ชันใหม่ได้

$$\text{กำลัง} = k\int_{\theta 2}^{\theta 1}(\sin\theta - V)d\theta \qquad \text{.....(5)}$$

$$= k[\cos\theta 2 - \cos\theta 1 - V(\theta 1 - \theta 2)]$$

โดยให้ $\theta 2 = \Pi - \theta 1$

$$\cos\theta 1 = -\cos\theta 2 = \cos\theta$$

$$= k[2\cos\theta - V(\Pi - 2\theta)] \qquad \text{.....(6)}$$

โดยที่ k เป็นค่าคงที่

ในคลาส C ค่า V ต้องมีค่า 0.6 โวลต์ทำให้สามารถหาค่า k ได้ นำค่า k , θ_1 และ θ_2 จากการคำนวณในสมการ (2) แทนค่าลงในสมการในสมการ (6) และแทนค่า V = 0.6 สามารถหาค่ากำลังที่นำไปใช้งานได้

$$\text{กำลังที่นำไปใช้} = 0.25[2\times 0.891 - 0.6(\Pi - (2\times .047))] = 0.115 \text{ วัตต์}$$

จะเห็นว่ากำลังอินพุท 1 วัตต์สามารถนำไปใช้งานได้น้อยกว่า 12% ของกำลังทั้งหมด ซึ่งการสร้างวงส่วนใหญ่มักจะละเลยเรื่องเหล่านี้เสมอ

สิ่งที่น่าสนใจอีกประการหนึ่งที่เห็นได้จากการคำนวณ ที่ระดับกำลังต่ำ ๆ แรงดันอินพุทที่โหลด 1.77 Ω จะไม่มีทางมากกว่า 0.6 โวลต์ ทรานซิสเตอร์จึงไม่มีโอกาสได้ขยายสัญญาณ

หากเพิ่มกำลังอินพุทให้มากขึ้นเป็น 2 เท่า กำลังที่สามารถนำไปใช้ได้จะเพิ่มขึ้นมากกว่า 2 เท่าทำให้ประสิทธิภาพของวงจรคลาส C เมื่อเทียบระหว่างกำลังเอาต์พุทต่ออินพุทจะดีขึ้นหรือถ้าให้ทรานซิสเตอร์ที่มีอินพุทอิมพีแดนซ์สูงขึ้น ก็ช่วยทำให้การนำกำลังของสัญญาณอินพุทไปใช้ได้สูงขึ้น กำลังเอาต์พุทก็จะสูงขึ้นเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 การคำนวณหาเสถียรภาพของวงจร

ในการออกแบบวงจรขยายความถี่สูง บางครั้งอาจเกิดความผิดพลาดหรือไม่แน่ใจว่าจงจรที่ออกแบบมาแล้วนั้นมีเสถียรภาพดีตลอดไปหรือ ไม่ นอกจากวิธีการทดลองใช้งานจริงแล้วยังมีวิธีคำนวณหาเสถียรภาพของวงจรได้ โดยอาศัย Y พารามิเตอร์ช่วยในการคำนวณ การคำนวณหาความเสถียรภาพของวงจรที่นิยมด้วยกันมีสองวิธี

1. วิธีของลินวิลล์(Linvill)
2. วิธี Stern Stability Factor

วิธีของลินวิลล์ใช้ C เป็นตัวแสดงค่า Linvill Stability Factor โดย C จะมีค่าเป็น

$$C = \frac{|Yr \cdot Yf|}{|2G_i \cdot G_0 - R_e(Yr - Yf)|}$$

โดยที่ Yr = The Reverse - transfer admittance

Yf = The forward - transfer admittance

G_I = The Input conductance

G_o = the output conductance

Re = the real part of the product In parenthesis

| | = ค่า magnitude

ผลจากการคำนวณค่า C หากมีค่าน้อยกว่า 1 แสดงว่าวงจรนั้นสามารถทำงานได้ดี แม้ว่าจะมีโหลดหรือซอสอิมพีแดนซ์เปลี่ยนแปลงไปบ้าง วงจรจะไม่แสดงอาการออสซิเลทให้เสียเสถียรภาพของวงจร

แต่ถ้าคำนวณแล้วปรากฏว่า C มีค่ามากกว่า 1 แสดงว่าวงจรนั้นมีแนวโน้มเกิดการออสซิเลเตอร์ให้ระวังค่าโหลดและซอสอิมพีแดนซ์เปลี่ยนแปลงไป อาจทำให้เกิดการออสซิเลทได้

ส่วนวิธี Stern Stability Factor จะใช้ค่า K เป็นตัวแสดงเสถียรภาพสามารคำนวณได้ตามสมการ

$$K = \frac{[2(G_i + G_s)(G_0 + G_L)]}{[|Yf \cdot Yr| + R_e(Yf \cdot Yr)]}$$

โดยที่ Gs = The source conductance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Gl =The Load conductance

ถ้าคำนวณค่า K ได้มากกว่า 1 แสดงว่าวงจรทำงานได้อย่างมีเสถียรภาพ แต่ถ้าค่า K น้อยกว่า 1 มีแนวโน้มจะเกิดออสซิเลทขึ้น ณ บางความถี่ บางครั้งผู้ออกแบบอาจเกิดความสับสนไม่แน่ใจว่าจะคำนวณสเสถียรภาพจากค่า C หรือค่า K ดังนั้นพอสรุปได้ว่าอยากทราบเสถียรภาพของทรานซิสเตอร์ให้คำนวณหาค่า C จะดีกว่า หากต้องการคำนวณหาเสถียรภาพของวงจรควรเลือกคำนวณหาค่า K ดีกว่า และอีกค่าหนึ่งที่สำคัญในการออกแบบขยายสัญญาณก็คือ อัตราการขยายสัญญาณสูงสุดที่สามารถทำได้ โดยยังมีเสถียรภาพอยู่ หาอัตราการขยายสัญญาณสูงสุดหาได้จากสมการ

$$MAG = |Y_t|^2 / 4g_l g_o$$

MAG = อัตราขยายสูงสุด (Maximum Available Gain)

ค่าของ MAG มากที่สุด เมื่ออยู่ในกรณีของ

Yr = 0

YL = ค่า Complex conjugate ของ Yo

YS = ค่า Complex conjugate ของ YI

ในทรานซิสเตอร์ค่า Y จะเท่ากับ 0 ก็ต่อเมื่อไม่มีการป้อนกลับของสัญญาณเลย ซึ่งในทางปฏิบัติมักจะทำไม่ได้ ดังนั้นจากสมการข้างต้นผู้ออกแบบจึงมักจะเผื่อไว้พอสมควร ซึ่งหลีกหนีการเกิดออสซิเลทขึ้นได้ เช่น การคำนวณอัตราขยายสูงสุดได้30dB ก็ใช้จริงแค่ 28 dB เป็นต้นโดยเผื่อค่าการเปลี่ยนแปลงจุดไบอัส เนื่องจากการเปลี่ยนแปลงของอุณหภูมิ ส่วนการหา Conjugate Match ของ Ys และ Yl จะทำให้เกิดการถ่ายทอดกำลังสูงสุด การคำนวณทำได้จากสมการ

$$Gs = \left|\{2g_l g_o - R_e(Y_F Y_R)\}^2 - |Y_F Y_R|^2\right| / 2g_o$$

$$Bs = -jb_l + [Im(Y_F Y_R) / 2g_o$$

$$Gl = \left|\{2g_l g_o - R_e(Y_F Y_R)\}^2 - |Y_F Y_R|^2\right| / 2g_l$$

$$Gl = G_S G_O / g_l$$

$$Bl = -jb_o + [Im(Y_F Y_R) / 2g_l$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่

Gs = The Source Conductance

Bs = The Source Conductance

Gl = The Load Conductance

Bl = The Load Conductance

Im = The imaginary part of product In parenthesis

5.6 ขั้นตอนการออกแบบ

ในที่นี้เราใช้ทรานซิสเตอร์

2SC2053 ทำหน้าที่ RF Drive มี Input impedance 9.8 - j25.64 ohm
มี Output impedance 70 – j 19.7 ohm

2SC1971 ทำหน้าที่ RF Power Amp มี Input impedance 1.3 + j1.6 ohm
มี Output impedance 6.2 – j6 ohm

โดยปกติ Output impedance ของทรานซิสเตอร์จะมี Resistant กับ Capacitance ขนานกันอยู่ การที่จะออกแบบจะต้องทราบ Output impedance เป็นอันดับแรก จากนั้นทำการเปลี่ยนค่า Resistant กับ Capacitance จากขนานให้อยู่ในรูปแบบของวงจรอนุกรม

ความถี่ที่ใช้งานอยู่ระหว่าง 78 – 90 MHz fc = 84MHz ZL = 50 ohm

1. ทำการแมทช์ระหว่าง Q1 กับ ZL

ในที่นี้ใช้การแมทช์แบบที่ 4 (ง) เพราะเป็นวงจรที่มีย่านในการแมทช์กว้างและค่าอุปกรณ์แต่ละตัวแยกกันเด่นชัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Qi = \frac{fc}{Bw} = \frac{84}{12} \cong 7$$

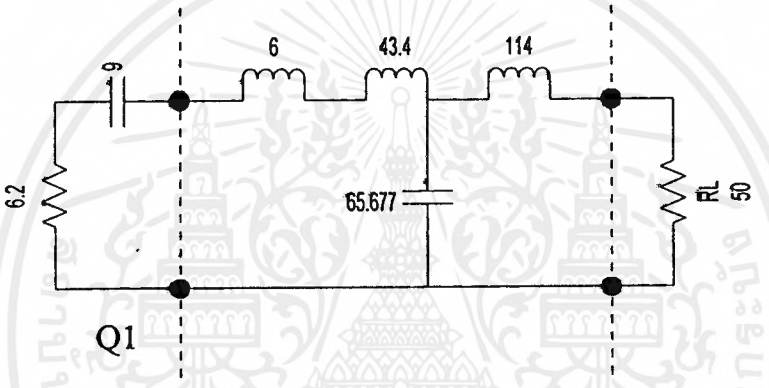
$$Rv = Rs\left(1+Q^2\right) = 6.2\left(1+7^2\right) = 310\Omega$$

$$QL = \sqrt{\left(\frac{Rv}{RL}\right)-1} = \sqrt{\left(\frac{310}{50}\right)-1} = 2.28$$

$$X_{L1} = Rs \cdot Qi = 6.2 \times 7 = 43.4\Omega$$

$$X_{L2} = RL \cdot QL = 50 \times 2.28 = 114\Omega$$

$$X_{C1} = \frac{Rv}{Qi - QL} = \frac{310}{7-2.28} = 65.677\Omega$$



2. ทำการแมทช์ระหว่าง Q2 กับ Q1

ในที่นี้ใช้การแมทช์แบบที่ 4 (ข)

ในการคำนวณไม่สามารถใช้ Qi = 7 ได้ จึงเลือกใช้ Qi = 8

$$Rv = 1.3\left(1+8^2\right) = 84.5$$

$$QL = \sqrt{\left(\frac{84.5}{70}\right)-1} = 0.4551$$

$$X'_{L1} = 8 \times 1.3 = 10.4\Omega$$

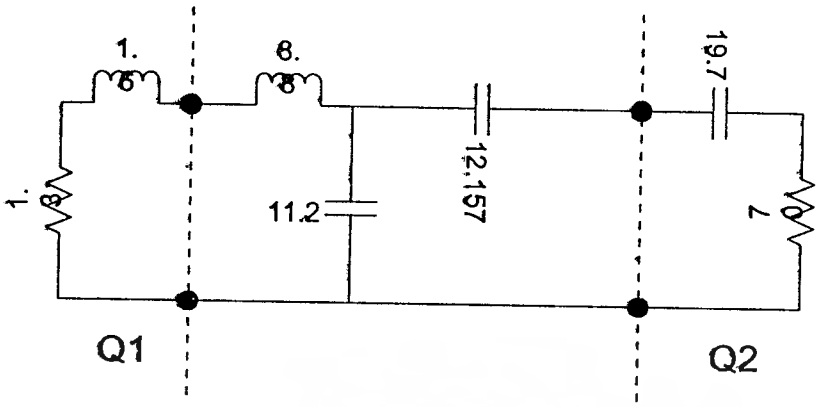
$$X'_{C2} = 0.455 \times 70 = 31.85\Omega$$

$$X'_{C1} = \frac{84.5}{8-0.4551} = 11.2\Omega$$

$$X_{L1} = X'_{L1} - X_{Lin} = 10.4 - 1.6 = 8.8\Omega$$

$$X_{C2} = X'_{C2} - X_{Cin} = 31.857 - 19.7 = 12.157\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

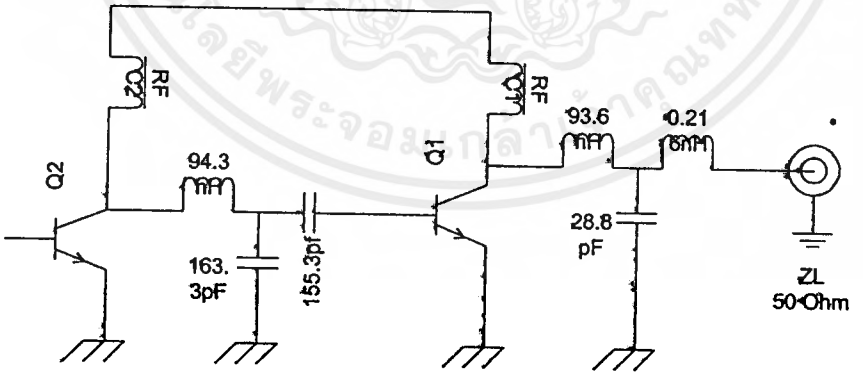


3. ทำการแปลงค่า Impedance เป็นค่าอุปกรณจริง

โดยใช้สมการ $C = \frac{1}{2\Pi \cdot f \cdot Xc}$

$L = \frac{X_L}{2\Pi \cdot f}$

สามารถเขียนเป็นวงจรได้



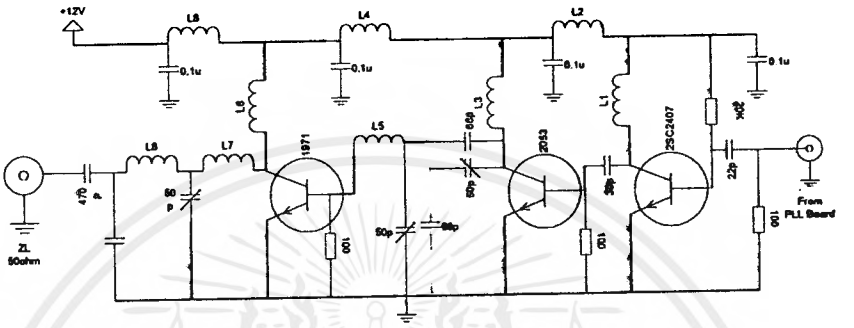
รูปที่ 5.3 แสดงวงจรที่ได้จากการคำนวณ

จากข้อมูลของทรานซิสเตอร์ส่วนมากจะแสดงค่า Impedance ที่ความถี่เพียงไม่กี่ความถี่ หากเราไม่ทราบแน่ว่าที่ความถี่ที่ใช้นั้นภายในทรานซิสเตอร์มี Impedance เป็นอย่างไร เราสามารถ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้ C ในแต่ละ State เป็น Variable Capacitor และสามารถทำการปรับเปลี่ยนค่าจนได้กำลังขับสูงสุดได้ ซึ่งก็จะมีผลไปถึงค่า Q ของวงจรเช่นกัน

5.7 วงจรขยายกำลังความถี่สูง



รูปที่ 5.4 แสดงวงจรขยายกำลังความถี่สูง

การทำงาน

สัญญาณความแรงต่ำจะถูกส่งให้กับทรานซิสเตอร์ภาคแรกทำการขยายขั้นต้นก่อนจะส่งให้กับทรานซิสเตอร์ 2SC2053 เป็นทรานซิสเตอร์ RF Drive ทำการขยายสัญญาณใน Class C แล้วส่งสัญญาณให้ ทรานซิสเตอร์ RF Power Amp

ระหว่าง RF Drive กับ RF Power Amp เนื่องจาก Input impedance และ Output impedance ของทรานซิสเตอร์ทั้งสองจะไม่เท่ากัน จึงจำเป็นจะต้องมีวงจรทำการแปลง Impedance ให้เหมาะสมกับการถ่ายโอนกำลังสูงสุดและประโยชน์อีกอย่างคือเป็นวงจรดักความถี่แปลกปลอมป้องกันวงจรไปขยายความถี่ที่ไม่ต้องการทำให้สูญเสียกำลังไป เราเรียกวงจรนี้ว่าวงจรแมทซ์ชิ่ง (Matching)

ทรานซิสเตอร์ 2SC1971 ทำหน้าที่เป็น RF Power Amp ผ่านวงจรแมทซ์ชิ่งก่อนส่งผ่านให้สายอากาศต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปผลการวิจัย และข้อเสนอแนะ

6.1 สรุปผลการทำงานของวงจร

ในภาควงจรกำเนิดสัญญาณ FM สามารถกำเนิดได้ในช่วง 78-94MHz ซึ่งมากกว่าที่กำหนดไว้ การModulate เป็นแบบ Direct modulate ทำให้ Modulation index มีการเปลี่ยนไปตามความถี่ หากต้องการเปลี่ยนความถี่ห่างจากเดิมมากๆจะต้องปรับ VR ที่ภาค Audio Amp เพื่อให้ Modulation Index คงที่

ความแรงของสัญญาณทางเอ้าพุทของวงจร PLL Board เป็นไปตามตารางด้านล่าง

ความถี่ (MHz)	กำลัง Output (mW)
78	1.80
80	2.04
85	2.26
90	2.52
94	2.60

ตารางที่ 6.1 แสดงความแรงของสัญญาณทางเอ้าพุทของวงจร PLL Board

การเปลี่ยนแปลงความถี่ทำได้โดยการกำหนดค่าที่ Dip switch ซึ่งสามารถกำหนดความถี่ได้ตาม ตารางด้านล่าง

ความถี่ (MHz)	Dip switch	ความถี่ (MHz)	Dip switch	ความถี่ (MHz)	Dip switch	ความถี่ (MHz)	Dip switch
78	011100	81	100010	84	101000	87	101110
78.5	011101	81.5	100011	84.5	101001	87.5	101111
79	011110	82	100100	85	101010	88	110000
79.5	011111	82.5	100101	85.5	101011	88.5	110001
80	100000	83	100110	86	101100	89	110010
80.5	100001	83.5	100111	86.5	101101	89.5	110011

ตารางที่ 6.2 แสดงการเปลี่ยนแปลงความถี่ทำได้โดยการกำหนดค่าที่ Dip switch

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของภาค RF Power Amp จะตอบสนองความถี่ได้ดีในช่วงแบนด์วิท 8 MHz ซึ่งสามารถทำการปรับ Variable Capacitor ในวงจรเพื่อให้เบนวิทครอบคลุมความถี่ที่ต้องการ

กำลังส่งของภาค RF Power Amp เมื่อใช้แรงดันที่ 12 Volt ณ ความถี่ต่างๆเมื่อทำการวัดกับเครื่อง RF Test แสดงไว้ในตาราง

Frequency (MHz)	Power (Watts)	Signal Level (dBm)
80	5.49	35.64
82	5.56	35.13
84	5.84	35.11
86	6.06	35.60
88	5.35	35.08
90	-	-

ตารางที่ 6.3 แสดงกำลังส่งของภาค RF Power Amp

จะเห็นได้ว่า Signal Level ไม่แปรผันตรงกับกำลังส่งของเครื่อง เพราะกำลังส่งจะต้องมีแรงดันกับกระแสควบคู่กัน ทำให้เราได้ทราบว่าทรานซิสเตอร์ที่นำมาใช้ในวงจรขยายสัญญาณกำลังความถี่สูงนั้นจะต้องให้มีการขยายทั้งแรงดันและกระแสด้วย

และเมื่อใช้แรงดันที่ 15 Volt จะอยู่ในช่วง 10 – 8 Watts เมื่อทำการวัดกับ RF Test และ 5.5 – 4 Watts เมื่อทำการวัดกับ Wattmeter

ในการส่งออกอากาศควรจะวางให้หางจากเครื่องส่ง 4 เมตรขึ้นไปเพื่อป้องกันสัญญาณจากสายอากาศมารบกวนเครื่องส่ง สายอากาศที่ใช้ควรจะมี VSWR น้อยกว่า 1.5 ที่ความถี่ 84 MHz เพื่อป้องกันความเสียหายของภาค RF Power Amp

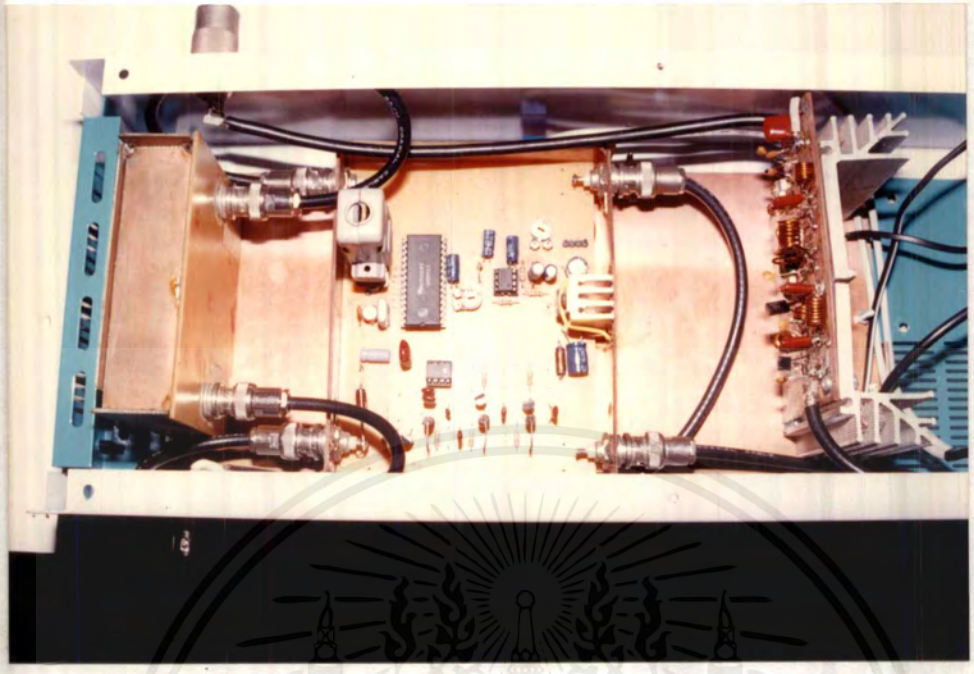
ข้อด้อยของโครงงานนี้คือจะเกิดสัญญาณรบกวน หากวางเครื่องในสถานที่ที่มีความสั่นสะเทือนเช่นในรถยนต์เนื่องจากการเชื่อมต่อระหว่างภาค VCO กับภาค กำเนิดสัญญาณFM ใช้เป็นข้อต่อ BNC เพื่อง่ายต่อการถอดประกอบ ผลของการเปลี่ยนความถี่ที่กล่าวไว้ข้างต้น และไม่มีวงจรป้องกันหาก VSWR สูงกว่าที่กำหนด ฉนั้นก่อนจะทำการทุกครั้งต้องตรวจสอบว่ามีสายอากาศเชื่อมต่ออยู่

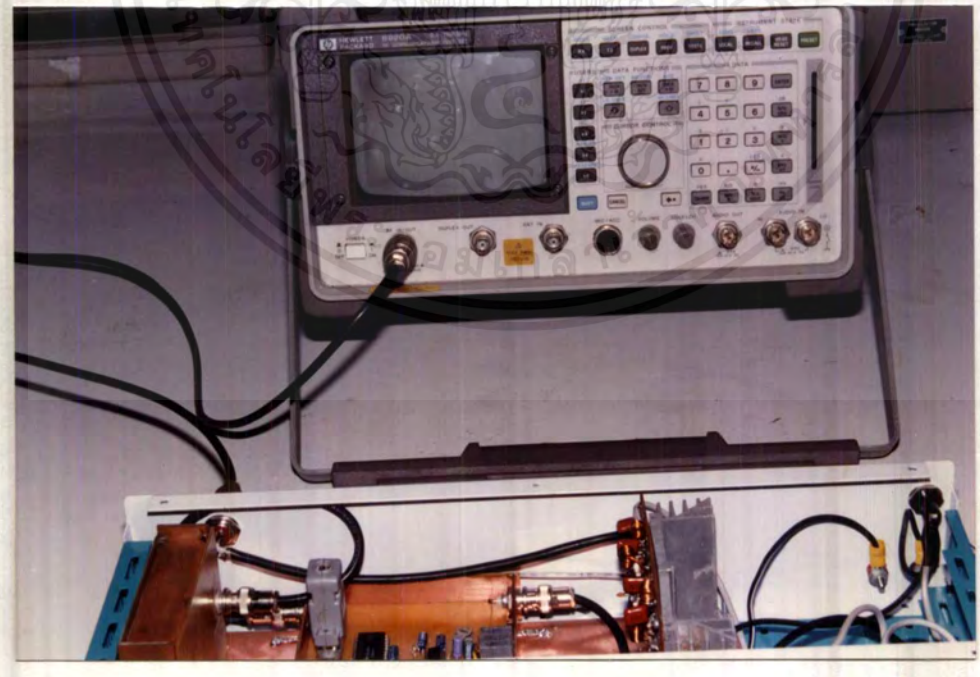
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 ข้อเสนอแนะ

การพัฒนาขั้นต่อไป เนื่องจากกล่องที่ใช้มีพื้นที่จำกัดในการวางตัวโครงงาน หากมีการสร้างแหล่งจ่ายแรงดันภายในจะเกิดสัญญาณรบกวนเป็นอย่างมาก ถ้ามีการขยายกล่องเพื่อทำวงจรจ่ายแรงดันภายในก็ควรวางหม้อแปลงให้ห่างจากวงจร VCO มากที่สุดเท่าที่ทำได้ ควรมีการสร้างวงจรที่ป้องกันหาก Vswr สูงกว่าที่กำหนดเพื่อป้องกันความเสียหายทางภาค RF. Power Amp หากมีการพัฒนาให้ส่งได้ไกลขึ้นไม่ควรเพิ่มกำลังส่งของเครื่องให้มากกว่าเดิมเพราะจะเป็นการขยายความถี่ข้างเคียงเกิดเป็นสัญญาณรบกวนต่ออุปกรณ์ที่รับสัญญาณวิทยุต่างๆ ควรใช้เครื่องส่งนี้พัฒนาทางสายอากาศให้มีอัตราการขยายสูงขึ้น เพราะสายอากาศที่ใช้ตามสถานีวิทยุ FM.ต่างๆจะนำเข้าจากต่างประเทศซึ่งมีราคาสูง หากมีการศึกษาและพัฒนาก็สามารถนำโครงงานนี้สำหรับทำการทดสอบได้ ถ้ามีการพัฒนาด้านการมอดูเลทสัญญาณก็สามารถเพิ่มเติมระบบการส่งให้เป็นสเตอริโอได้หรือใช้ช่องสัญญาณ SCA ในระบบการส่งสเตอริโอให้สามารถส่งสัญญาณข้อมูลในแบบต่างๆ เช่นสัญญาณภาพเพื่อส่งมิวสิกวีดีโอหรือ Video Conference ได้

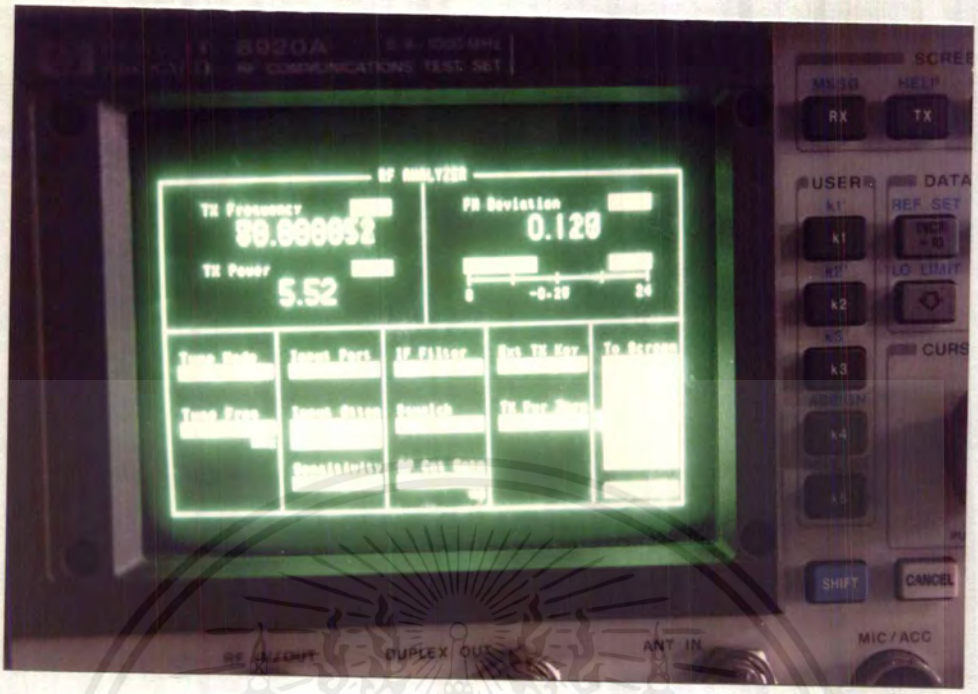
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



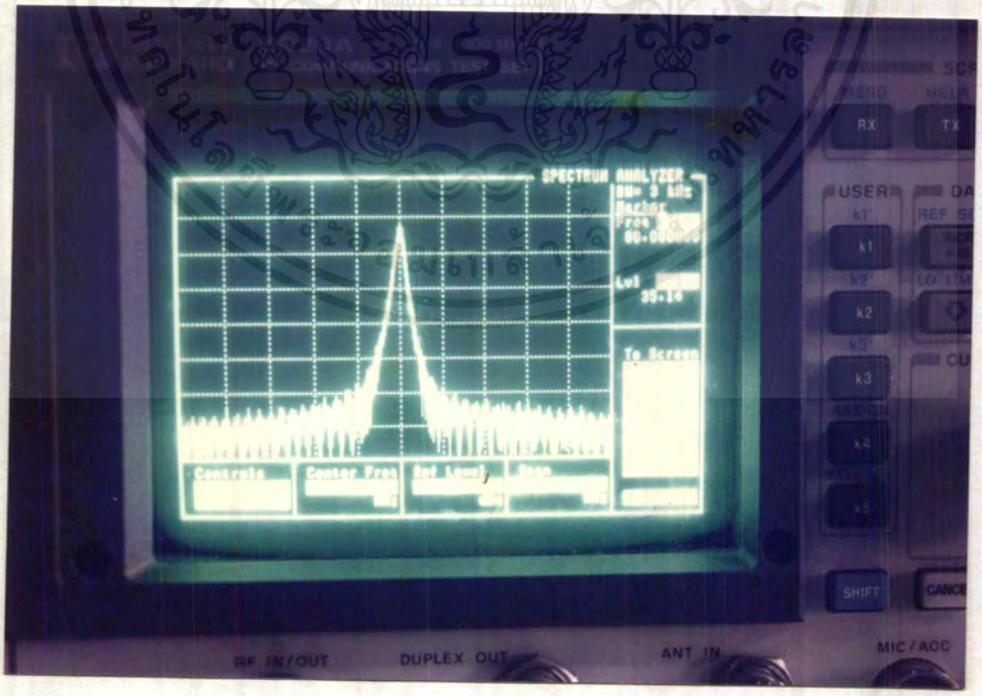


รูปที่ 6.1 แสดงรูปถ่ายวงจรเครื่องส่ง FM. ความถี่ 78-90 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

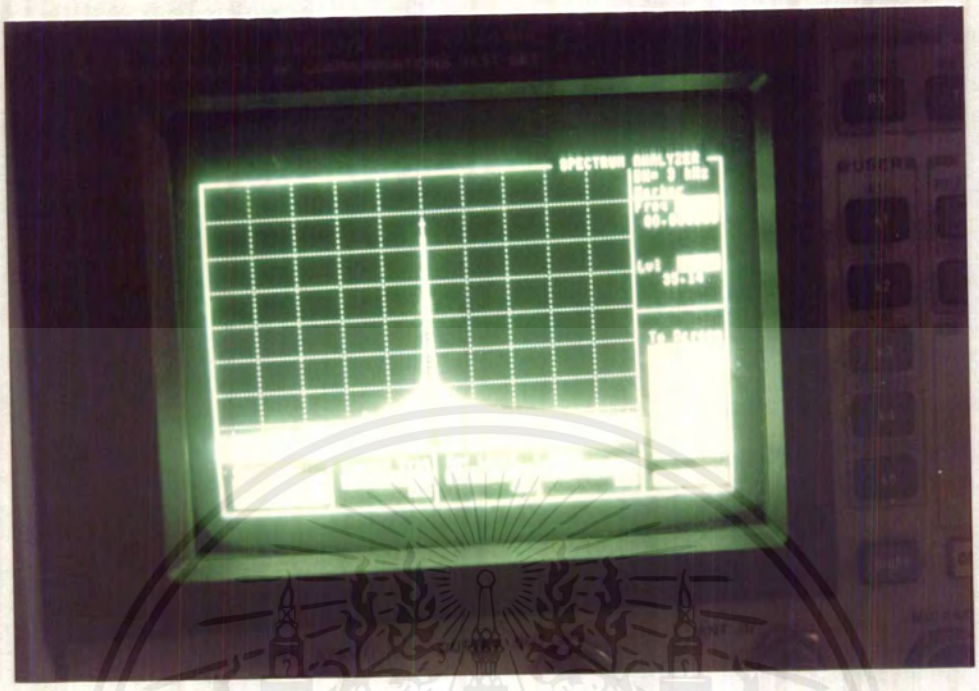


รูปที่ 6.2 รูปถ่ายแสดง Spectrum จาก เครื่องส่ง FM. ความถี่ 78-90 MHz
ขณะทำงานที่ความถี่ 80 MHz ที่ Spend = 0.2 MHz



รูปที่ 6.3 รูปถ่ายแสดงกำลังส่งของเครื่อง เครื่องส่ง FM. ความถี่ 78-90 MHz
ขณะทำงานที่ความถี่ 80 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.4 รูปถ่ายแสดง Spectrum จาก เครื่องส่ง FM. ความถี่ 78-90 MHz
ขณะทำงานที่ความถี่ 80 MHz ที่ Spend = 1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

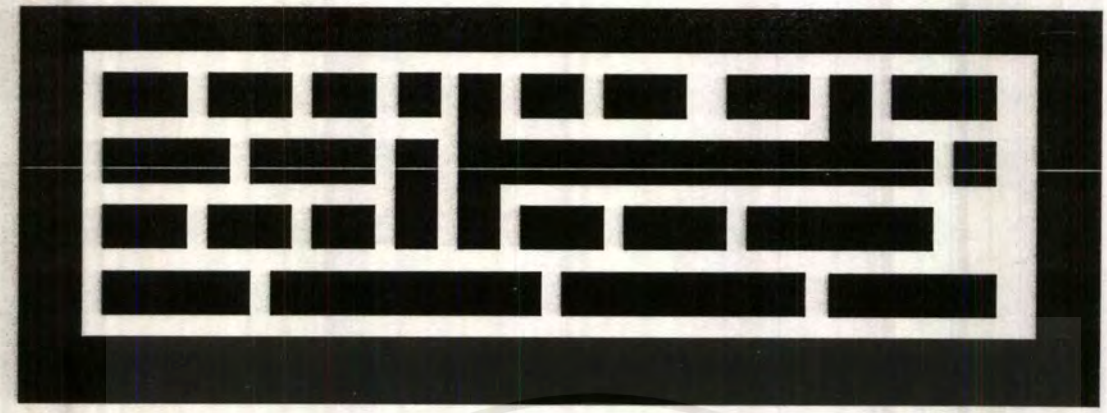
เอกสารอ้างอิง

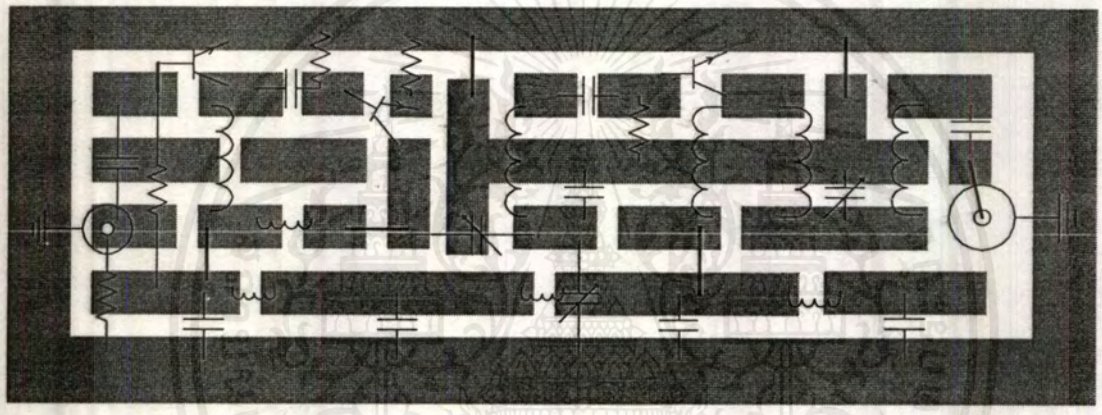
1. Charks L.Hutichison, Joel P. Kleinon, *The ARRL HandBook 1992*, 69^{fd} ,New Ington,CA, 1992.
2. Roland E. Vest, *Phase Lock Loop Theory Design & Application*, 2nd Edition, Newyork, McRowHell
3. Edword M. Noll, Howard W., *Broadcast Radio and Television Handbook*, 6 Edition, Sams, Indiana
4. Semiconductor Electronic, *ทฤษฎีเครื่องรับวิทยุ* , ฉบับที่ 114 , 2/2535.
5. สุชาติ กังวาลจิต, *เครื่องรับส่งวิทยุและระบบสื่อสาร*, SE – ED Education , 2532.
6. Semiconductor Electronic, *วงจรออสซิเลเตอร์*, ฉบับที่ 114 , 2/2535.
7. Semiconductor Electronic, *การแปลงความถี่ ICOM*, ฉบับที่ 105, 3-4/2534.
8. Semiconductor Electronic, *รู้จักวงจรเรโซแนนซ์* , ฉบับที่ 128 - 130, 6-8/2536.
9. Semiconductor Electronic, *RF ทรานซิสเตอร์ ตอนที่ 1-2*, ฉบับที่ 129-130, 7-8/2536.
10. รวมบทความและโครงงานวิทยุสมัครเล่น 2, *การออกแบบสร้างบูสเตอร์แอมป์ 144 MHz*, SE-ED Education Public Company, 2537.

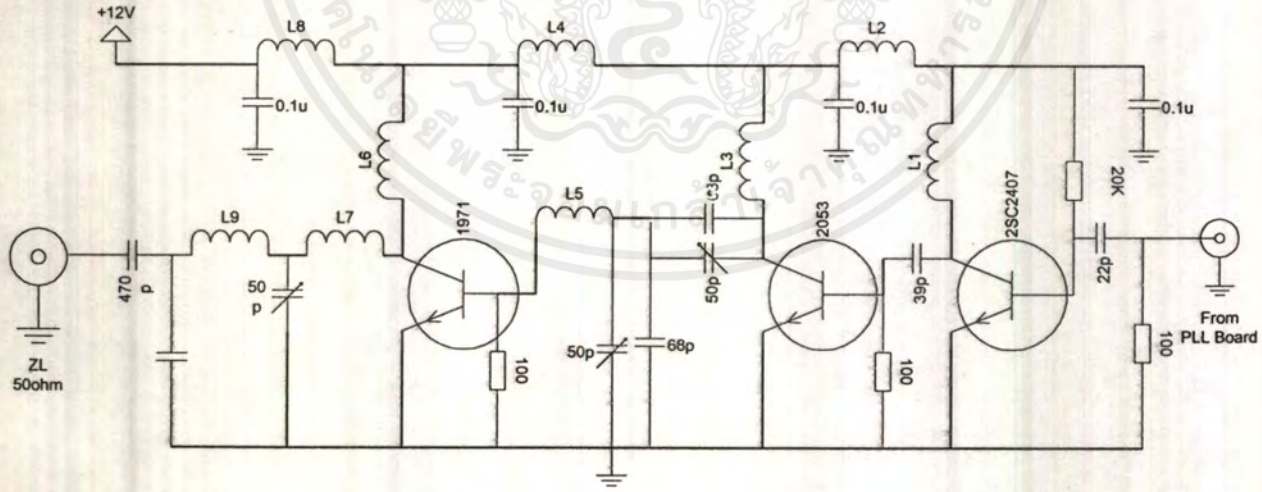
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





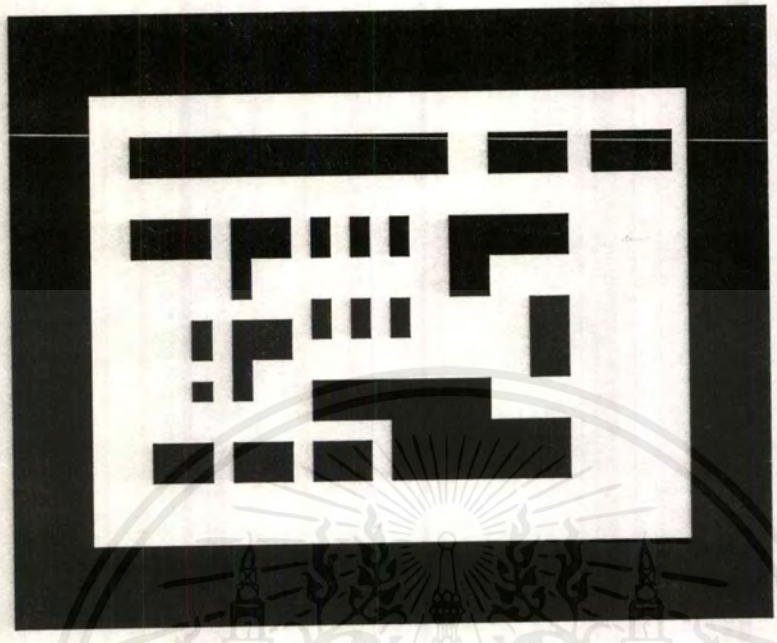


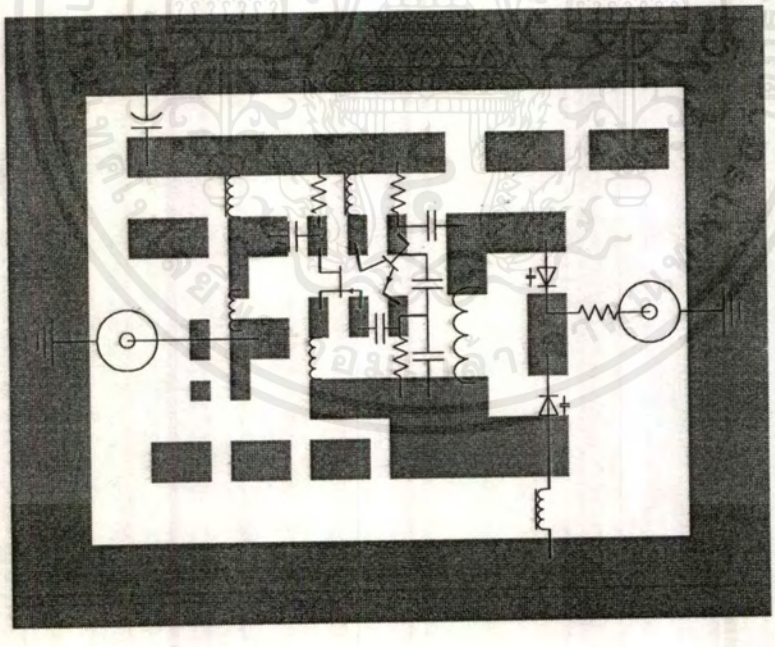
L1 - L4,L6 – L9 ϕ1/4" L5 ϕ5/16"

L1 5รอบ L2 8 รอบ L3 3 รอบ L4 6 รอบ L5 1 รอป L6 5 รอบ L7 2 รอบ L8 6 รอบ L9 ลวดยาว 7/16"

รูปแสดงลายวงจร การวางอุปกรณ์ และวงจรของภาคขยายความถี่กำลังสูง (RF.Power Amp)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

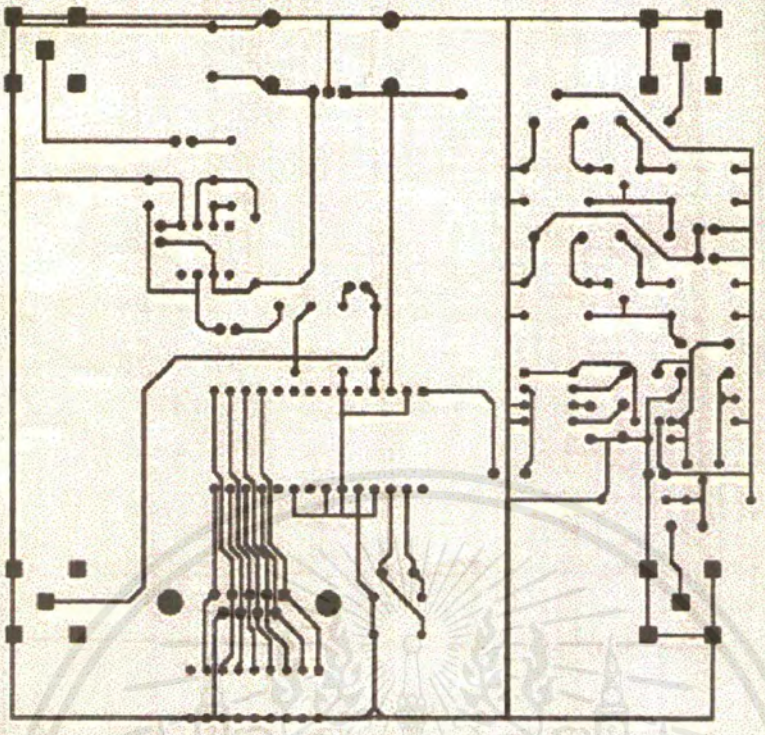


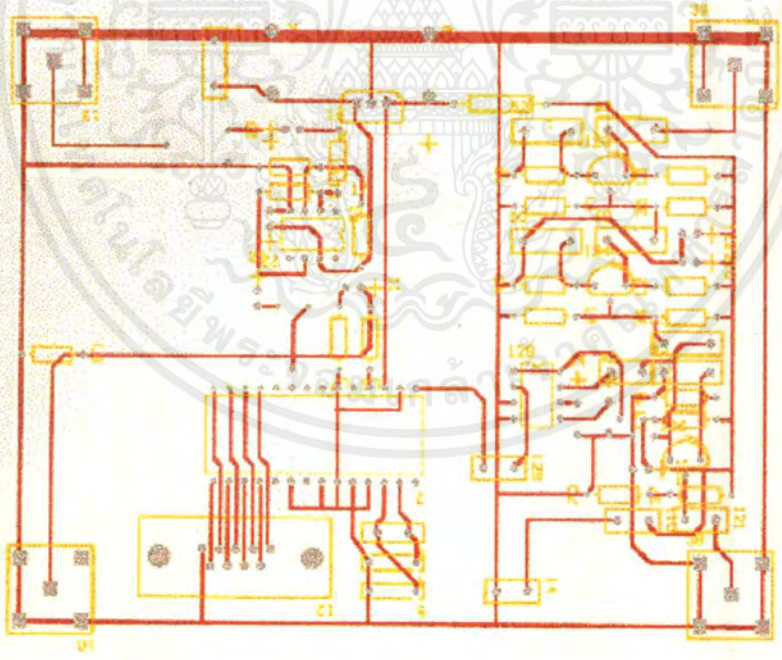


รูปแสดงลายวงจรและการวางอุปกรณ์ของภาคกำหนดความถี่ด้วยแรงดันไฟฟ้า

(Voltage Control Oscillator : VCO)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปแสดงลายวงจรและการวางอุปกรในส่วนภาคกำเนิดสัญญาณ FM.

(FM. Signal Generator).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MITSUBISHI RF POWER TRANSISTOR

2SC1971

NPN EPITAXIAL PLANAR TYPE

DESCRIPTION

2SC1971 is a silicon NPN epitaxial planar type transistor designed for RF power amplifiers on VHF band mobile radio applications.

FEATURES

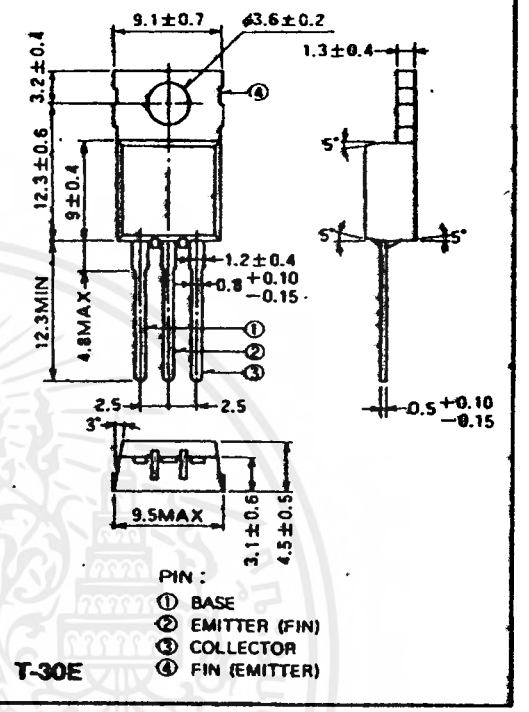
- High power gain: $G_{pe} \geqq 10dB$
  @V_{CC} = 13.5V, P_O = 6W, f = 175MHz
- Emitter ballasted construction, gold metallization for high reliability and good performances.
- TO-220 package similar is combinient for mounting.
- Ability of withstanding more than 20:1 load VSWR when operated at V_{CC} = 15.2V, P_O = 6W, f = 175MHz.
- Equivalent input/output series impedance:
  Z_{in}=1.3+j3.2Ω @P_O=6W, V_{CC}=13.5V, f=175MHz
  Z_{out}=6.2−j3Ω

APPLICATION

4 to 5 watts output power amplifiers in VHF band applications.

OUTLINE DRAWING

Dimensions in mm



ABSOLUTE MAXIMUM RATINGS (T_C=25°C unless otherwise specified)

Symbol	Parameter	Conditions	Ratings	Unit
V_{CBO}	Collector to base voltage		35	V
V_{EBO}	Emitter to base voltage		4	V
V_{CEO}	Collector to emitter voltage	R_{BE} = ∞	17	V
I_C	Collector current		2	A
P_C	Collector dissipation	T_a =25°C	1.5	W
		T_C =25°C	12.5	W
T_j	Junction temperature		150	°C
T_{stg}	Storage temperature		−55 to 150	°C
R_{th-a}	Thermal resistance	Junction to ambient	83	°C/W
R_{th-c}		Junction to case	10	°C/W

Note. Above parameters are guaranteed independently.

ELECTRICAL CHARACTERISTICS (T_C=25°C unless otherwise specified)

Symbol	Parameter	Test conditions	Limits			Unit
			Min	Typ	Max	
$V_{(BR)EBO}$	Emitter to base breakdown voltage	I_E =5mA, I_C=0	4			V
$V_{(BR)CBO}$	Collector to base breakdown voltage	I_C =10mA, I_E=0	35			V
$V_{(BR)CEO}$	Collector to emitter breakdown voltage	I_C =50mA, R_{BE} = ∞	17			V
I_{CBO}	Collector cutoff current	V_{CB} =25V, I_E =0			500	μA
I_{EBO}	Emitter cutoff current	V_{EB} =3V, I_C=0			500	μA
h_{FE}	DC forward current gain*	V_{CE} =10V, I_C =0.1A	10	50	180	—
P_O	Output power	V_{CC} =13.5V, P_{in} =0.6W, f=175MHz	6	7		W
η_C	Collector efficiency		60	70		%

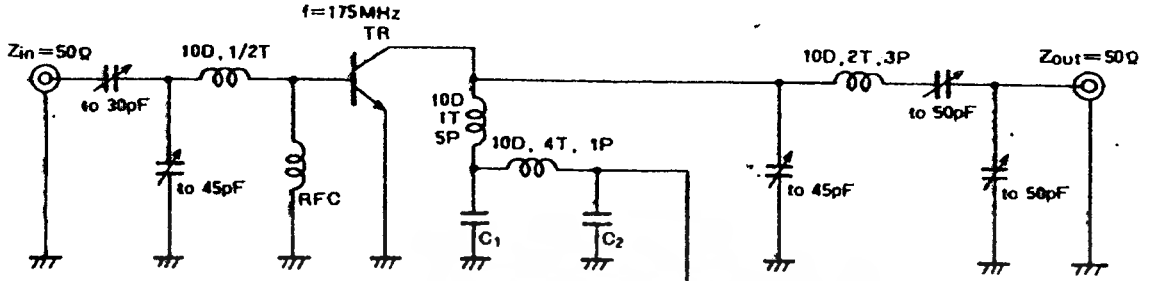
Note. * Pulse test, P_W=150μs, duty=5%.
Above parameters, ratings, limits and conditions are subject to change.

เอกสารนี้จัดทำขึ้นสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2SC1971

NPN EPITAXIAL PLANAR TYPE

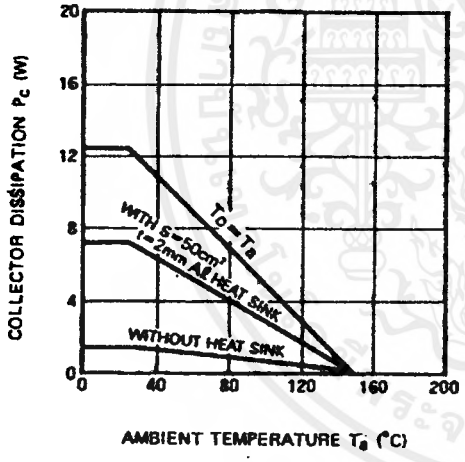
TEST CIRCUIT



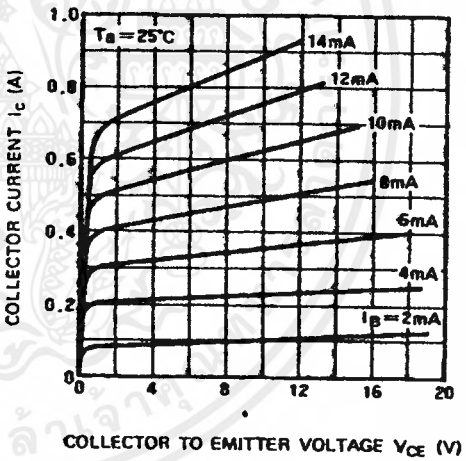
C_1: 0.05μF
C_2: 150pF, 0.03μF, 0.03μF, 33μF in parallel
Notes: All coils are made from 1.5mmφ silver plated copper wire
Coil dimensions in milli-meter
D: Inner diameter of coil
T: Turn number of coil
P: Pitch of coil

TYPICAL PERFORMANCE DATA

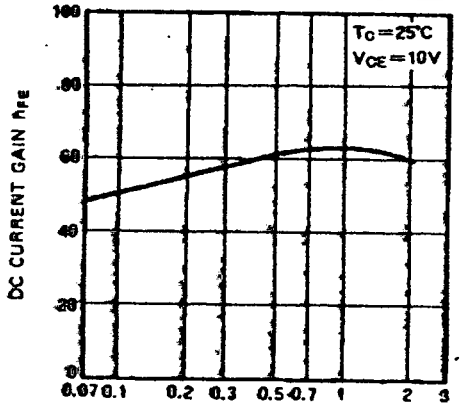
COLLECTOR DISSIPATION VS. AMBIENT TEMPERATURE



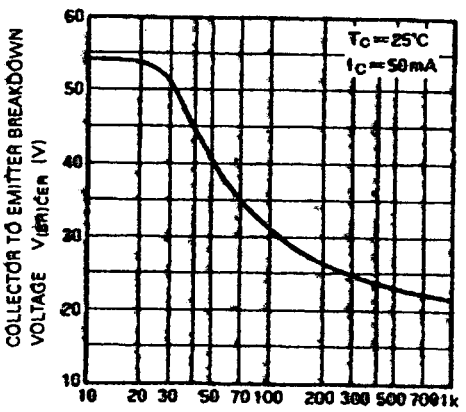
COLLECTOR CURRENT VS. COLLECTOR TO EMITTER VOLTAGE



DC CURRENT GAIN VS. COLLECTOR CURRENT



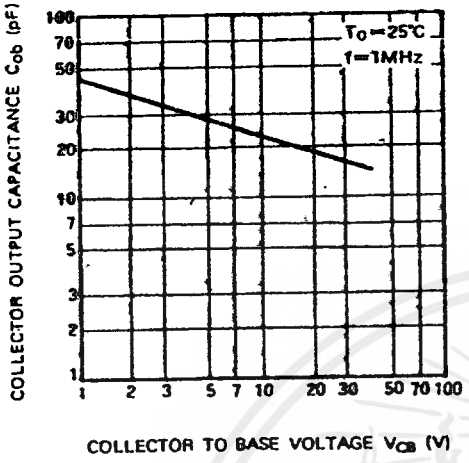
COLLECTOR TO EMITTER BREAKDOWN VOLTAGE VS. BASE TO EMITTER RESISTANCE



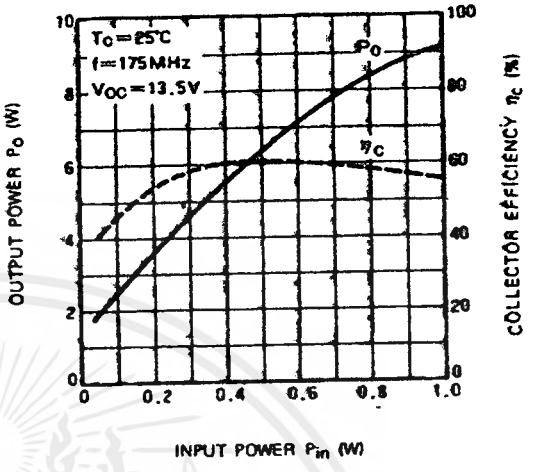
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NPN EPITAXIAL PLANAR TYPE

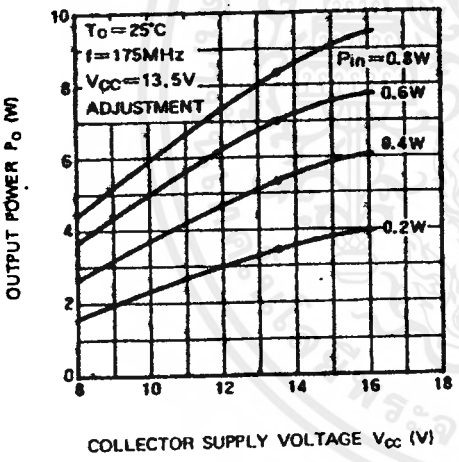
COLLECTOR OUTPUT CAPACITANCE VS. COLLECTOR TO BASE VOLTAGE



OUTPUT POWER, COLLECTOR EFFICIENCY VS. INPUT POWER



OUTPUT POWER VS. COLLECTOR SUPPLY VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MITSUBISHI RF POWER TRANSISTOR

2SC2053

NPN EPITAXIAL PLANAR TYPE

DESCRIPTION

2SC2053 is a silicon NPN epitaxial planar type transistor designed for RF amplifiers on VHF band mobile radio applications.

FEATURES

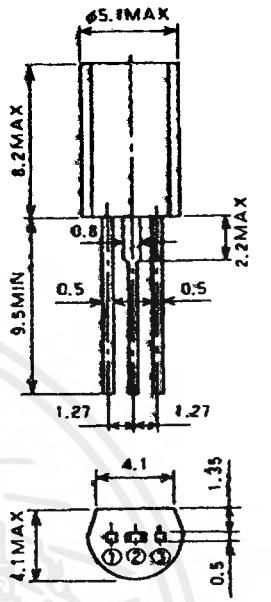
- High power gain: $G_{pe} \geqq 15.7$dB
  @V_{CC} = 13.5V, P_O = 0.15W, f = 175MHz
- Emitter ballasted construction, gold metallization for high reliability and good performances.
- TO-92 similar package is combinient for mounting.
- Equivalent input/output series impedance:
  Z_{in} = 9.8 − j12.7Ω @P_O = 0.2W, V_{CC} = 13.5V, f = 175MHz
  Z_{out} = 70 − j9.8Ω

APPLICATION

Driver amplifiers in general in VHF band mobile radio applications.

OUTLINE DRAWING

Dimensions in mm



PIN :
① BASE
② COLLECTOR
③ EMITTER

TO-92L

ABSOLUTE MAXIMUM RATINGS (T_C = 25°C unless otherwise specified)

Symbol	Parameter	Conditions	Ratings	Unit
V_{CBO}	Collector to base voltage		40	V
V_{EBO}	Emitter to base voltage		4	V
V_{CEO}	Collector to emitter voltage	R_{BE} = ∞	17	V
I_C	Collector current		0.3	A
P_C	Collector dissipation	T_a = 25°C	0.6	W
T_j	Junction temperature		135	°C
Tstg	Storage temperature		−55 to 135	°C
Rth-a	Thermal resistance	Junction to ambient	183	°C/W

Note. Above parameters are guaranteed independently.

ELECTRICAL CHARACTERISTICS (T_C = 25°C unless otherwise specified)

Symbol	Parameter	Test conditions	Limits			Unit
			Min	Typ	Max	
$V_{(BR)EBO}$	Emitter to base breakdown voltage	I_E = 1mA, I_C = 0	4			V
$V_{(BR)CBO}$	Collector to base breakdown voltage	I_C = 1mA, I_E = 0	40			V
$V_{(BR)CEO}$	Collector to emitter breakdown voltage	I_C = 10mA, R_{BE} = ∞	17			V
I_{CBO}	Collector cutoff current	V_{CB} = 15V, I_E = 0			20	μA
I_{EBO}	Emitter cutoff current	V_{EB} = 3V, I_C = 0			20	μA
h_{FE}	DC forward current gain *	V_{CE} = 10V, I_C = 10mA	10	50	180	—
P_O	Output power	V_{CC} = 13.5V, P_{in} = 4mW, f = 175MHz	150	200		mW
η_C	Collector efficiency		40	50		%

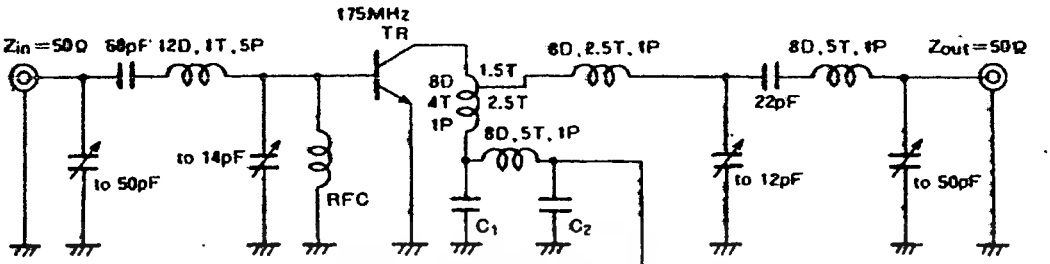
Note. * Pulse test, P_W = 150μs, duty = 6%.
Above parameters, ratings, limits and conditions are subject to change.

ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2SC2053

NPN EPITAXIAL PLANAR TYPE

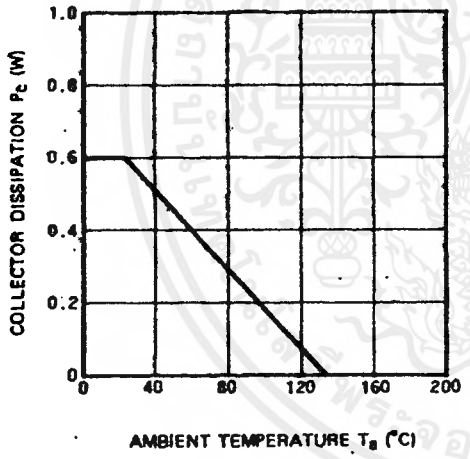
TEST CIRCUIT



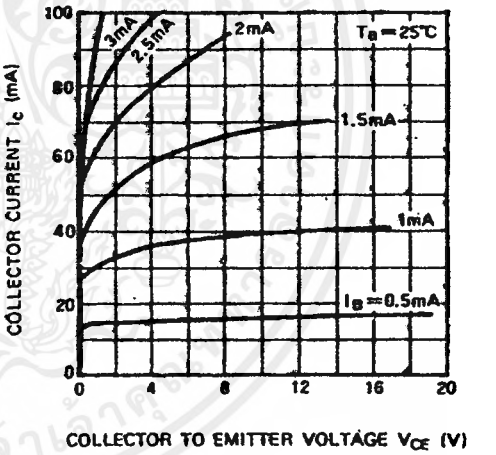
C_1: 100pF, 2200pF, 22μF in parallel
C_2: 100pF, 2200pF, 10μF in parallel
Notes: All coil are made from 1.5mmφ silver plated copper wire
Coil dimensions in milli-meter
D: Inner diameter of coil
T: Turn number of coil
P: Pitch of coil

TYPICAL PERFORMANCE DATA

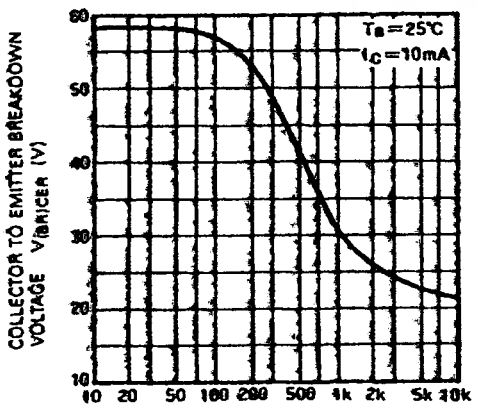
COLLECTOR DISSIPATION VS. AMBIENT TEMPERATURE



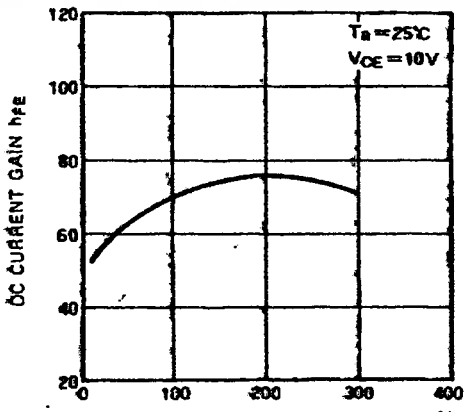
COLLECTOR CURRENT VS. COLLECTOR TO EMITTER VOLTAGE



COLLECTOR TO EMITTER BREAKDOWN VOLTAGE VS. BASE TO EMITTER RESISTANCE



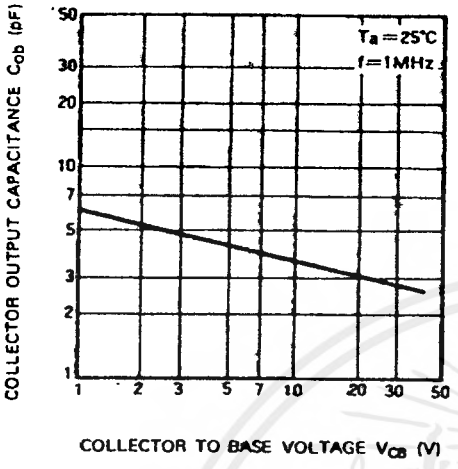
DC CURRENT GAIN VS. COLLECTOR CURRENT



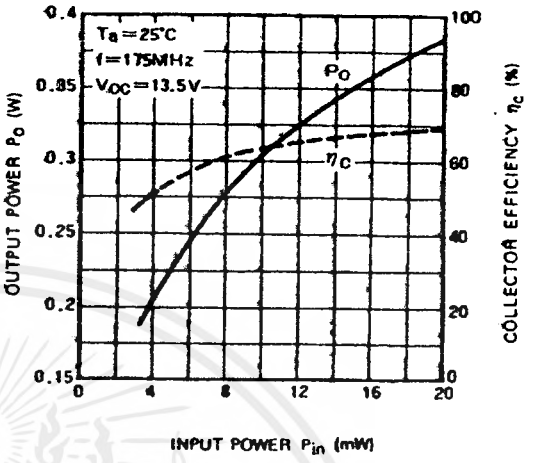
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NPN EPITAXIAL PLANAR TYPE

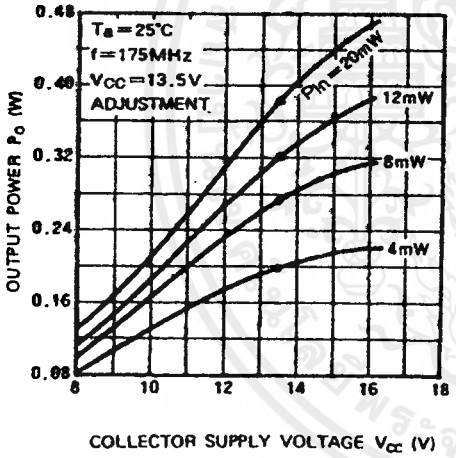
COLLECTOR OUTPUT CAPACITANCE VS. COLLECTOR TO BASE VOLTAGE



OUTPUT POWER, COLLECTOR EFFICIENCY VS. INPUT POWER



OUTPUT POWER VS. COLLECTOR SUPPLY VOLTAGE



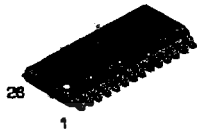
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151-2

Parallel-Input PLL Frequency Synthesizer

Interfaces with Single-Modulus Prescalers

P SUFFIX
PLASTIC DIP
CASE 710



DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

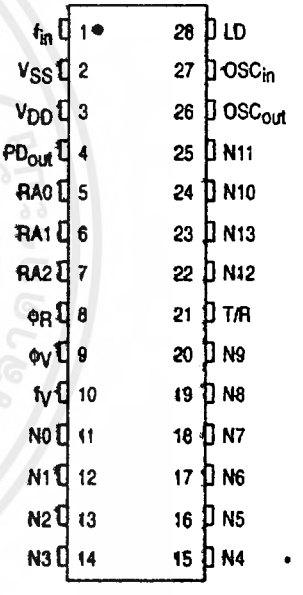
MC145151P2	Plastic DIP
MC145151DW2	SOG Package

The MC145151-2 is programmed by 14 parallel-input data lines for the N counter and three input lines for the R counter. The device features consist of a reference oscillator, selectable-reference divider, digital-phase detector, and 14-bit programmable divide-by-N counter.

The MC145151-2 is an improved-performance drop-in replacement for the MC145151-1. The power consumption has decreased and ESD and latch-up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On- or Off-Chip Reference Oscillator Operation
- Lock Detect Signal
- ÷ N Counter Output Available
- Single Modulus/Parallel Programming
- 8 User-Selectable ÷ R Values: 8, 128, 256, 512, 1024, 2048, 2410, 8192
- ÷ N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single-Ended (Three-State) or Double-Ended
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates

PIN ASSIGNMENT



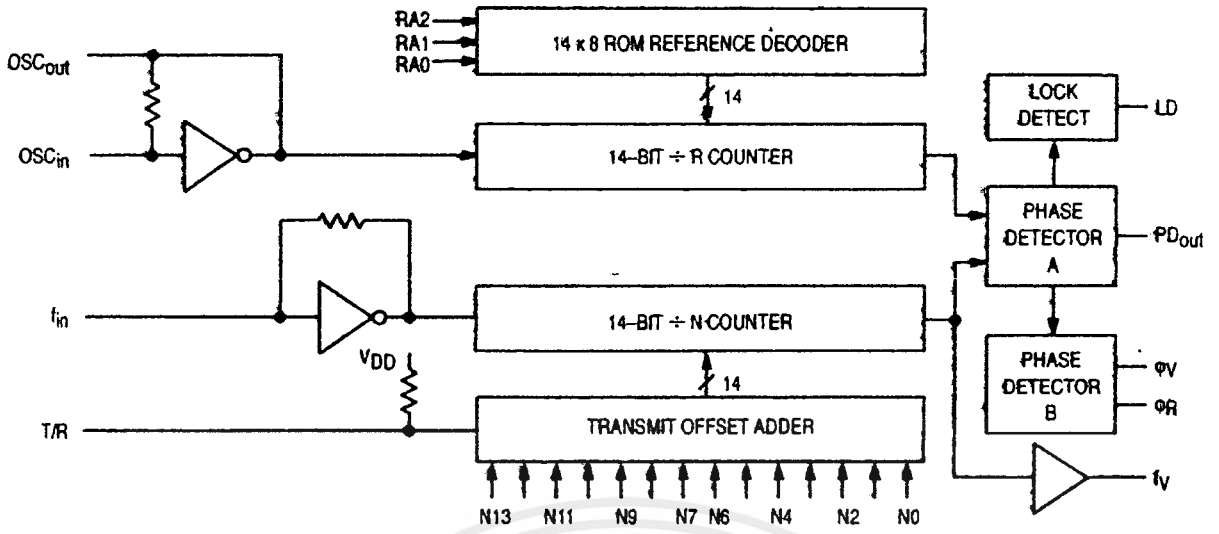
REV 1
6/95

© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้สำเนาเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151–2 BLOCK DIAGRAM



NOTE: N0 – N13 inputs and inputs RA0, RA1, and RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the ÷N portion of the synthesizer. f_{in} is typically derived from loop VCO and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0 – RA2
Reference Address Inputs (Pins 5, 6, 7)

These three inputs establish a code defining one of eight possible divide values for the total reference divider, as defined by the table below.

Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	128
0	1	0	256
0	1	1	512
1	0	0	1024
1	0	1	2048
1	1	0	2410
1	1	1	8192

N0 – N11
N Counter Programming Inputs (Pins 11 – 20, 22 – 25)

These inputs provide the data that is preset into the ÷N counter when it reaches the count of zero. N0 is the least significant and N13 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only an SPST switch to alter data to the zero state.

T/R
Transmit/Receive Offset Adder Input (Pin 21)

This input controls the offset added to the data provided at the N inputs. This is normally used for offsetting the VCO frequency by an amount equal to the IF frequency of the transceiver. This offset is fixed at 856 when T/R is low and gives no offset when T/R is high. A pull–up resistor ensures that no connection will appear as a logic 1 causing no offset addition.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

PD_{out}
Phase Detector A Output (Pin 4)

Three–state output of phase detector for use as loop–error signal. Double–ended outputs are also available for this purpose (see ϕV and ϕR).

Frequency $f_V > f_R$ or f_V Leading: Negative Pulses
Frequency $f_V < f_R$ or f_V Lagging: Positive Pulses
Frequency $f_V = f_R$ and Phase Coincidence: High–Impedance State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ϕ_R, ϕ_V
Phase Detector B Outputs (Pins 6, 9)

These phase detector outputs can be combined externally for a loop–error signal. A single–ended output is also available for this purpose (see PD_{out}).

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕ_V pulsing low. ϕ_R remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕ_R pulsing low. ϕ_V remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕ_V and ϕ_R remain high except for a small minimum time period when both pulse low in phase.

f_V
N Counter Output (Pin 10)

This is the buffered output of the + N counter that is internally connected to the phase detector input. With this output available, the + N counter can be used independently.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

TYPICAL APPLICATIONS

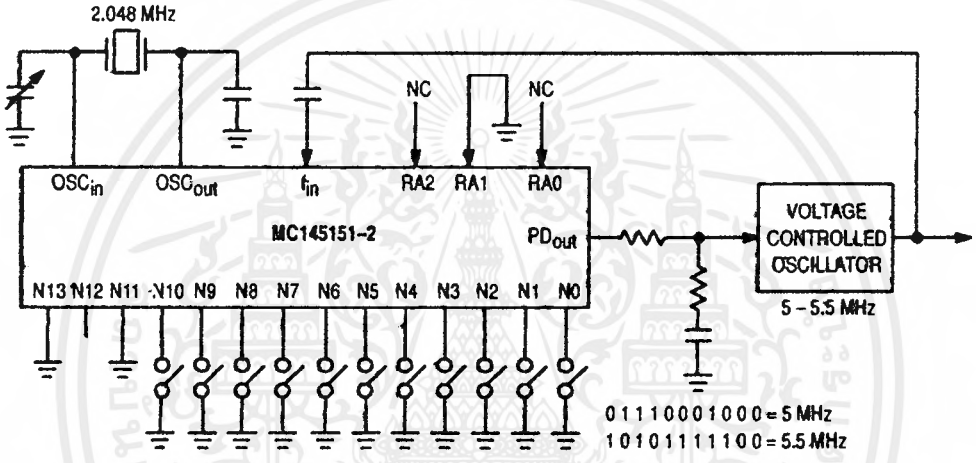
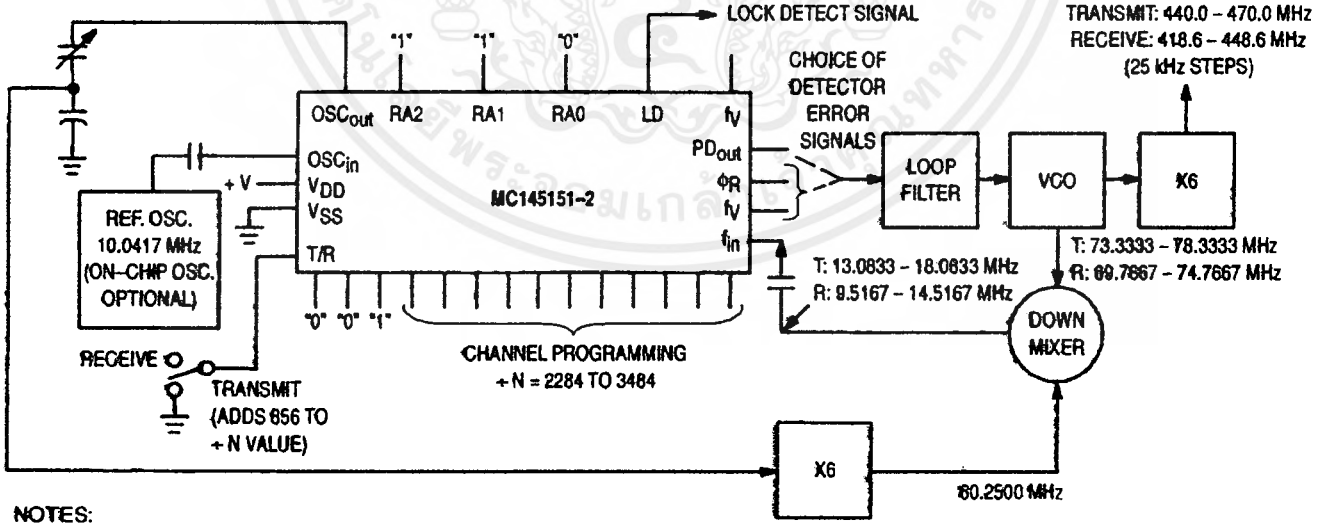


Figure 1. 5 MHz to 5.5 MHz Local Oscillator Channel Spacing = 1 kHz



NOTES:
1. f_R = 4.1667 kHz; ÷R = 2410; 21.4 MHz low side injection during receive.
2. Frequency values shown are for the 440 – 470 MHz band. Similar implementation applies to the 406 – 440 MHz band. For 470 – 512 MHz, consider reference oscillator frequency X9 for mixer injection signal (90.3750 MHz).

Figure 2. Synthesizer for Land Mobile Radio UHF Bands

MC145151–2 Data Sheet Continued on Page 23

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

DS8629 120 MHz Divide-by-100 Prescaler

General Description

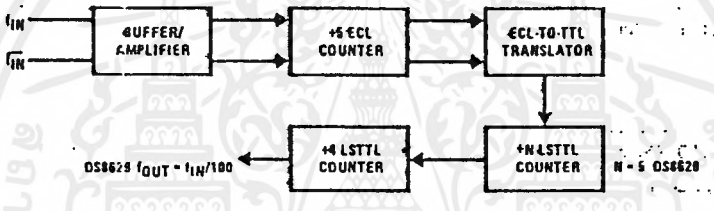
The DS8629 is a fixed ratio counter combining ECL and Low Power Schottky technology on a single monolithic substrate. This provides high frequency capability and TTL compatibility. A single 5.2V ±10% supply is needed.

The device can be operated in a single-ended or differential input mode, with the signal source typically capacitively coupled to the input. An input amplifier is included to allow use of extremely small amplitude, high frequency signals. The output of the device is a square wave of frequency $f_{OUT} = f_{IN}/100$ for the DS8629. The output is standard Low Power Schottky.

Features

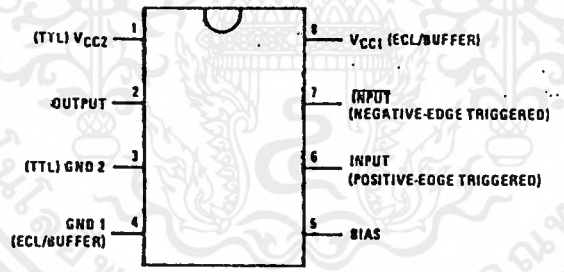
- High Frequency, dc—120 MHz—small input amplitude
- Sine wave input 30 MHz < f_{IN} < 120 MHz
- TTL compatible output
- May be used with TTL input
- Single supply operation 5.2V ±10%
- Single ended or differential input modes
- Positive or negative-edge triggered
- Count down sequence avoids broadcast FM IF harmonics

Logic and Connection Diagrams



TL/F/7539–1

Dual-In-Line Package

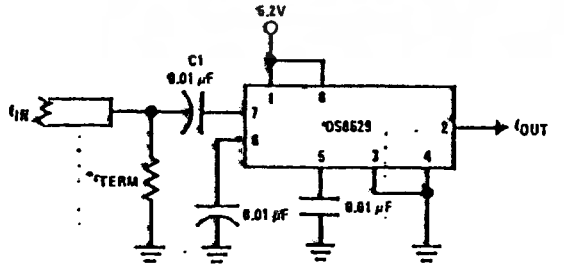


TL/F/7539–2

Order Number DS8629N
See NS Package Number N08E

Typical Applications

High Frequency—Single-Ended Input



TL/F/7539–3

*R_{TERM} is the termination impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	5V
Output Voltage	5.5V
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 sec.)	300°C

Operating Conditions

	Min	Max	Units
Supply Voltage (V_{CC})	4.68	5.72	V
Temperature (T_A)	0	+70	°C

Electrical Characteristics (Notes 2 and 3)

Symbol	Parameter	Conditions		Min	Typ	Max	Units
$V_{IN1(p-p)}$	Input Voltage (Peak-To-Peak)	Single-Ended @ 120 MHz		200		1000	mV
$V_{IN2(p-p)}$	Input Voltage (Peak-To-Peak)	Differential @ 120 MHz		100		1000	mV
f_{SINE}	Input Frequency with Sine Wave	V_{IN} = 600 mVp-p		30		120	MHz
f_{TTL}	Input Frequency with TTL Input			0		120	MHz
dv	Minimum Slew Rate of Square Wave Input	V_{IN} = 600 mVp-p				100	V/μs
V_{OH}	Logical "1" Output Voltage	V_{CC} = Min, I_{OH} = −10 μA		2.9			V
		V_{CC} = Min, I_{OH} = −400 μA		2.4			V
		V_{CC} = Min, I_{OH} = −1.6 mA		2.0			V
I_{OS}	Output Short-Circuit Current	V_{CC} = Max		−10		−40	mA
V_{OL}	Logical "0" Output Voltage	V_{CC} = Min	I_{OL} = 8 mA DS8629			0.5	V
I_{CC}	Supply Current	V_{CC} = Max	DS8629		90	135	mA
Z_{IN}	Input Impedance	V_{IN} = 0.1 V_{p-p} to 1 V_{p-p} Freq. = 120 MHz		100	200	350	Ω

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the device should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Unless otherwise specified, min/max limits apply across the 0°C to 70°C range. All typical values are for T_A = 25°C and V_{CC} = 5.2V.

Note 3: All currents into device pins shown as positive, out of device pins negative, all voltage referenced to ground unless otherwise noted. All values shown as max or min on absolute value basis.

DS8629

Application Hints

OPERATING NOTES

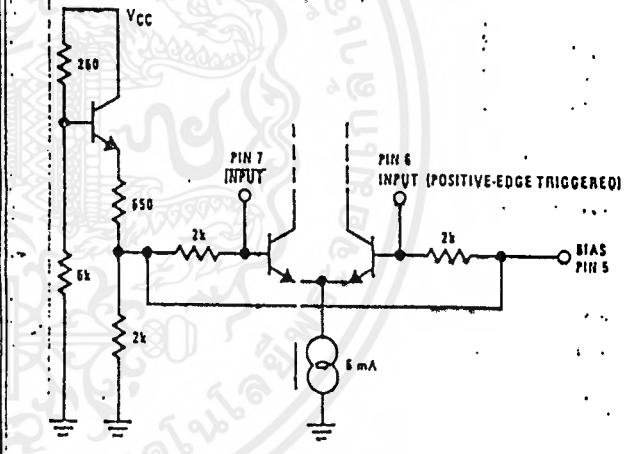
Two ground and two V_{CC} connections are provided separating the ECL and buffer/amplifier stages from the TTL section, isolating the noise transients inherent in the TTL structure. In most cases, shorting the two grounds externally to a good ground plane and the V_{CC}'s to a wide V_{CC} bus will provide sufficient isolation. All components used in the circuit layout should be suitable for the frequencies involved and loads should be kept short to minimize stray inductance. A well by-passed voltage source should be used.

The signal source is usually capacitively coupled to the input. At higher frequencies a 0.01 μF input capacitor (C1) is usually sufficient, with larger values used at the lower frequencies. If the input signal is likely to be interrupted, it may be desirable to connect a 100 kΩ resistor between one input and ground to stabilize the device. In the single-ended mode, it is preferable to connect the resistor to the unused input. In the differential mode, the resistor can be connected to either input. The addition of the 100 kΩ pull-down resistor causes a loss of input sensitivity, but prevents circuit oscillations under no signal (open circuit) conditions. In addition, in the single ended mode, a capacitor of 0.01 μF (C2) should be connected between the unused input and the ground plane to provide a good high frequency bypass. The capacitor should be made larger for lower frequencies.

The input waveform may be sinusoidal, but below about 30 MHz the operation of the circuit becomes dependent on the slew rate of the input rather than amplitude. A square wave input with a slew rate of greater than 100 V/μs will permit correct operation down to lower frequencies, provided the proper input coupling capacitor is provided. If it is desired to use a TTL input signal source, the unused input should have a 10 kΩ resistor added to ground and the input coupling capacitor should be eliminated with the TTL source dc coupled to the input.

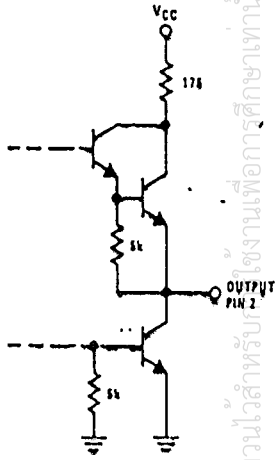
The device can be used in phase-locked loop applications such as FM radio or other communications bands to prescale the input frequency down to a more usable level. A digital frequency display system can also be derived separately or in conjunction with a phase-locked loop, and it can extend the useful range of many inexpensive frequency counters to 160 MHz (typically).

Input Configuration



TL/F/7630-4

Output Configuration



TL/F/7630-5

DS8629

สรุปสมการที่ใช้ในการออกแบบ Phase Lock Loop & Loop Filter

First pole $f1 = \frac{1}{Ko \cdot 2\pi \cdot t1}$

First zero $f2 = \frac{1}{2\pi \cdot t2}$

$t1 = \frac{K}{\omega n^2}$ โดยให้ $K = \frac{KA \cdot Kd \cdot K_{VCO}}{N}$

$t2 = \frac{2\xi}{\omega n} - \frac{1}{K}$

0 dB Gain freq $fx = fn \cdot \sqrt{2\xi^2 + \sqrt{4\xi^4 + 1}}$

3 dB Loop BW $f3 = fn \cdot \sqrt{dw + \sqrt{dw^2 + 1}}$, $dw = 1 + 2\xi^2$

Demping factor $\xi = \frac{\omega n \cdot \left(t2 + \frac{1}{k}\right)}{2}$ passive

$\xi = \frac{t2 \cdot \omega n}{2}$ Active

Natural frequency $\omega n = \sqrt{\frac{K}{t1}} = 2\pi \cdot fn$, $fn = \frac{\omega n}{2\pi}$

Tracking frequency $ft = \frac{KL \cdot 1.8 \cdot \omega n \cdot (\xi + 1)}{2\pi}$

Noise (N,BW,FR) $n1 = 20\log\sqrt{1 + \left(\frac{N \cdot fx}{fr}\right)^2}$

Noise Bandwidth $nb \cong \frac{0.25 \cdot KF \cdot (KT + A2)}{KT}$ Passive

$nb \cong 0.25 \cdot KF \cdot \left(1 + \frac{A2}{KT}\right)$ Active

โดยให้ $A2 = \frac{1}{t2} - \frac{1}{t1}$ $KF = K \cdot \frac{t2}{t1}$ $KT = KF + \frac{1}{t1}$

Lockup frequency $FL \cong KL \cdot 2 \cdot \xi \cdot FN$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Lockup time $TL \cong \frac{1}{\omega n}$

ตารางกำหนดค่า KL

ชนิด Detector	KL	ชนิด Detector	KL
Analog (sinewave)	1	EX-OR gate	$\pi/2$
Analog (triangle)	$\pi/2$	JK-Flip Flop P/F	π
Analog (sawtooth)	π	Tri-state Flip Flop	2π

Pull in limit $FP \cong \frac{KL \cdot \sqrt{4 \cdot \xi \cdot \omega n \cdot K - 2\omega n^2}}{2\pi}$ (Detector 1,2,3,4)

$FP \cong \frac{KL \cdot \pi \cdot \omega n \cdot e^{F(\xi)}}{2\pi}$ (Detector 5,6)

โดยให้ $F(\xi) = x\xi \cdot \arctan\left(\frac{1}{x\xi}\right)$

ถ้า $\xi > 1$ $x\xi = \frac{\xi}{\sqrt{\xi^2 - 1}}$

$\xi < 1$ $x\xi = \frac{\xi}{\sqrt{1 - \xi^2}}$

$\xi = 1$ $x\xi = 0$

Pull in time $TP \cong \frac{\omega p^2}{2\pi^2 \cdot \xi \cdot \omega n^3}$ (Detector 1,2,3,5,6)

$TP \cong \frac{4 \cdot \omega p^2}{2\pi^2 \cdot \xi \cdot \omega n^3}$ (Detector 4)

โดยให้ $\omega p = 2\pi \cdot FP$

Phase margin $\phi fx = (\arctan(\omega o \cdot t2) - \arctan(\omega o \cdot t1)) + 90$ Passive

$\phi fx = \arctan(\omega o \cdot t2) - 90$ Active

$\omega o = 2\pi \cdot fx$

Gain margin $GM_{LOW} = 20 \cdot \log(Ko \cdot t1)$ Ko = Loop OP-Amp Gain (Passive = 1)

$GM_{HI} = 20 \cdot \log(K \cdot t2)$ โดยให้ $K = \frac{KA \cdot Kd \cdot K_{VCO}}{N}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Loop filter responses $$F(j\omega) = Ko\frac{|1 + t2 \cdot \omega o|}{|1 + (t2 + t1 \cdot Ko) \cdot \omega o|}$$

Open loop gain $$G(j\omega)H(j\omega) = \frac{K \cdot F(j\omega)}{j\omega}$$

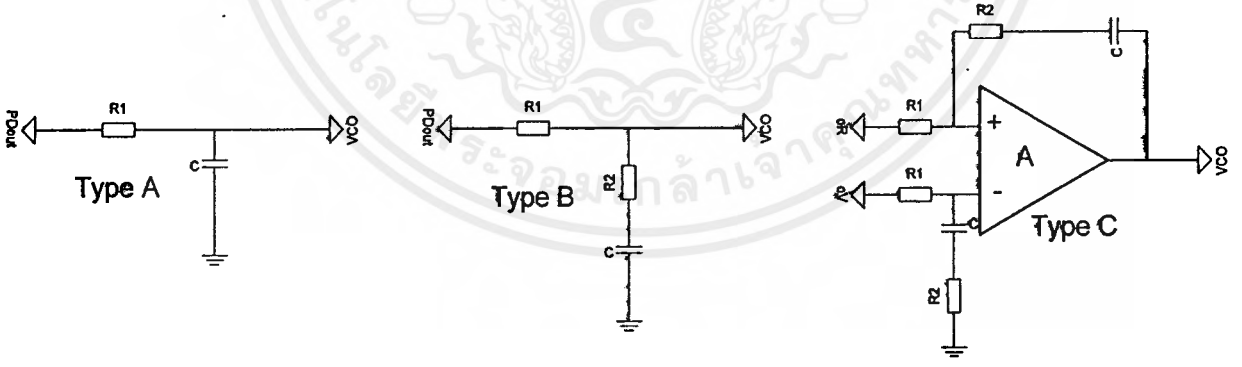
$$G(j\omega) = \frac{2\pi \cdot KA \cdot Kd \cdot Kvco \cdot F(j\omega)}{j\omega} \qquad H(j\omega) = \frac{1}{N}$$

Close loop gain $$C.L.G. = \frac{G(j\omega)}{1 + G(j\omega)H(j\omega)}$$

Noise VCO error responses $$\frac{E}{En} = \frac{1}{1 + G(j\omega)H(j\omega)}$$

	Type A	Type B	Type C
ωn	$\sqrt{\frac{Kd \cdot Kvco}{N \cdot R1C}}$	$\sqrt{\frac{Kd \cdot Kvco}{N \cdot C(R1+R2)}}$	$\sqrt{\frac{Kd \cdot Kvco}{N \cdot R1C}}$
ξ	$\frac{N \cdot \omega n}{2 \cdot Kd \cdot Kvco}$	$\frac{\omega n}{2}\left(R2 \cdot C + \frac{N}{Kd \cdot Kvco}\right)$	$\frac{\omega n \cdot R2 \cdot C}{2}$
$F(s)$	$\frac{1}{R1 \cdot s \cdot C + 1}$	$\frac{R2 \cdot s \cdot C + 1}{(R1+R2)s \cdot C + 1}$	$\frac{R2 \cdot s \cdot C + 1}{R1 \cdot s \cdot C}$

ตารางแสดงสมการในการคำนวณที่ใช้กับวงจรความถี่ต่ำผ่านแบบต่างๆ



รูปแสดงวงจรความถี่ต่ำผ่านแบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้