สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องดักฟังเสียงสัตว์

TRAPPING OF ANIMAL WHISPER SOUND

T042251

โดย

นาย พรชัย เรืองศักดากุล

นาย รัชพงษ์ จินดาฤทธิ์

เลขหมู่.....
เลขทะเบียน 42251
วัน, เดือน, ปี 16 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์ ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เครื่องดักฟังเสียงสัตว์
	TRAPPING OF ANIMAL WHISPER SOUND
ชื่อนักศึกษา	นาย พรชัย เรืองศักดากุล
	นาย รัชพงษ์ จินดาฤทธิ์
อาจารย์ที่ปรึกษา	อาจารย์ มนชนก ศรีเสือขาม
ภาควิชา	เทคนิคอุตสาหกรรม
ปีการศึกษา	2544

คณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

.....

คณะกรรมการสอบปริญญานิพนธ์

.....(ประธานกรรมการ)

(.....)

.....(กรรมการ)

(.....)

.....(กรรมการ)

(.....)

.....(กรรมการ)

(.....)

.....(กรรมการ)

(.....)

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เครื่องดักฟังเสียงสัตว์	
ชื่อนักศึกษา	นาย พรชัย เรืองศักดากุล	42015561
	นาย รัชพงษ์ จินดาฤทธิ์	42015565
อาจารย์ที่ปรึกษา	อาจารย์มนชนก ศรีเสือขาม	
ระดับการศึกษา	ปริญญาตรีอุตสาหกรรมศาสตรบัณฑิต	
ปีการศึกษา	2544	

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้นำเสนอการออกแบบและการสร้างเครื่องดักฟังเสียงสัตว์ ซึ่งมีการทำงานแบ่งเป็น 2 ส่วน คือ ส่วนที่หนึ่ง เป็นส่วนของ ชุด Differencial Microphone Amplifier ชุด Bandpass Filter ชุด Amplifier และชุดแสดงผล ส่วนที่สอง เป็นส่วนของโปรแกรมที่ถูกควบคุมด้วยไมโครคอนโทรเลอร์ ซึ่งเครื่องนี้สามารถประยุกต์ปรับเปลี่ยนให้มีฟังก์ชั่นงานมากขึ้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Title	TRAPPING OF ANIMAL WHISPER SOUND		
Student	Mr. Pornchai	Ruangsakdakul	42015561
	Mr. Rachapong	Jindarit	42015565
Advisor	Miss Monchanog	Sriseukham	
Degree	Bachelor Degree of Industrial Technology		
Programme	Electronic Technology		
Department	Industrial Technology		
Academic year	2001		

ABSTRACT

This thesis presents a designing and implementation of Trapping of Animal Whisper Sond . The project consists of two parts . Part one is differencial microphone amplifier , bandpass filter , amplifier and display . Part two is a software controller . This project can be application for more function .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลงได้ เนื่องจากได้รับความกรุณาจาก อาจารย์มนชนก ศรีเสือขาม ซึ่งเป็นอาจารย์ที่ปรึกษาที่ได้ช่วยให้คำแนะนำตลอดจนแนวทางในการแก้ไขปัญหา และตรวจทานต้นฉบับของปริญญานิพนธ์ฉบับนี้ ผู้เขียนขอกราบขอบพระคุณเป็นอย่างสูง

สุดท้ายนี้ผู้จัดทำขอขอบพระคุณบิดาและมารดาที่ให้การอบรมสั่งสอนและอาจารย์ทุกท่านที่ประสิทธิ์ประสาทวิชาความรู้แก่ผู้จัดทำ

นายพรชัย เรืองศักดากุล
นายรัชพงษ์ จินดาฤทธิ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้าที่
บทที่ 1 บทนำ	
1.1 แนวความคิดในการทำปริญญานิพนธ์	1
1.2 จุดมุ่งหมาย	1
1.3 ผลที่คาดว่าจะได้รับ	2
1.4 ขอบเขตของโครงงาน	2
บทที่ 2 ทฤษฎี	
2.1 จานรับสัญญาณเสียง	3
2.2 อัตราส่วน f/D	4
2.3 การออกแบบจานรับสัญญาณ	4
2.4 ความสัมพันธ์ระยะโฟกัสต่อเส้นผ่าศูนย์กลาง (F/D RATIO)	5
2.5 ไมโครโฟน	6
2.6 เสียงสะท้อนและการสะท้อนกลับ	7
2.7 ACTIVE FILTER	8
2.8 FIRST- ORDER LOW -PASS BUTTERWORTH FILTER	11
2.9 SECOND-ORDER LOW-PASS BUTTERWORTH FILTER	13
2.10 FIRST-ORDER HIGH-PASS BUTTERWORTH FILTER	14
2.11 SECOND-ORDER HIGH-PASS BUTTERWORTH FILTER	15
2.12 BAND-PASS FILTER	16
2.13 WIDE BAND-PASS FILTER	17
2.14 NARROW BAND-PASS FILTER	18
2.15 หลักการเบื้องต้นของวงจรเพาเวอร์แอมป์	20
2.16 หลักการพื้นฐานของเครื่องขยายคลาส AB	22
2.17 ANALOG TO DIGITAL	24
2.18 การแปลงสัญญาณอะนาลอกดิจิตอลแบบซักเซสซีฟแอปพร็อกซิเมชั่น	25
2.19 ค่าเวลาในการแปลงสัญญาณ (conversion time)	28
2.20 ข้อมูลเบื้องต้นของ PCF8591	28
2.21 รายละเอียดฟังก์ชั่นต่างๆ ของPCF 8591	31
2.22 ออสซิลเลเตอร์	31
2.23 การอ่านค่าข้อมูลอินพุตอะนาลอกของ PCF 8591	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.24 การเชื่อมต่อ PCF 8591 กับไมโครคอนโทรลเลอร์ MCS-51 33

บทที่ 3 ความรู้เบื้องต้นเกี่ยวกับไมโครคอนโทรลเลอร์ MCS-51

3.1 โครงสร้างของไมโครคอนโทรลเลอร์ตระกูล MCS- 51 34

3.2 ตำแหน่งขาของ MCS-51 35

3.3 โครงสร้างภายในของ MCS-51 38

3.4 โครงสร้างหน่วยความจำภายใน MCS-51 38

3.5 กลุ่มคำสั่งใน MCS-51 44

บทที่ 4 การออกแบบวงจร

4.1 หลักการทำงานของวงจร 47

4.2 การทำงานของเครื่องดักฟังเสียงสัตว์ 47

4.3 การออกแบบจาน (Parabolic) 47

4.4 วงจร DIFFERENCIAL MICROPHONE AMPLIFIER 48

4.5 วงจร Band Pass Filter 49

4.6 วงจร Power Amplifier 49

4.7 วงจร Analog to Digital และวงจรควบคุม 51

บทที่ 5 ผลการทดลอง

5.1 BLOCK DIAGRAM การทำงาน 53

5.2 วงจร DIFFERENCIAL MICROPHONE AMPLIFIER 53

5.3 วงจร Band Pass Filter 54

5.4 วงจร Power Amplifier 56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้าที่
รูปที่ 2.1 การหาระยะทางโฟกัสของจานแบบพาราโบล่า	5
รูปที่ 2.2 การเลือกค่า F/D ในการออกแบบจาน	6
รูปที่ 2.3 แสดงการสะท้อนบนพื้นผิวที่มีมุมต่างกัน	7
รูปที่ 2.4 การสะท้อนกลับที่ตกกระทบบนจาน parabola	8
รูปที่ 2.5 แสดงผลตอบสนองของความถี่ของ Filter ทั้ง 5 ชนิด	11
รูปที่ 2.6 แสดงรูปของ First-order low-pass Butterworth Filter	11
รูปที่ 2.7 แสดงวงจร SECOND-ORDER LOW-PASS FILTER	14
รูปที่ 2.8 แสดงวงจร First-order High-pass Filter	15
รูปที่ 2.9 แสดงวงจร Second-order low-pass Filter	16
รูปที่ 2.10 แสดงวงจร Wide band-pass Filter	17
รูปที่ 2.11 แสดงวงจร Narrow band-pass Filter	19
รูปที่ 2.12 วงจรขยายคลาส A	20
รูปที่ 2.13 วงจรเพาเวอร์แอมป์คลาส B	21
รูปที่ 2.14 วงจรเพาเวอร์แอมป์คลาส AB	22
รูปที่ 2.15 วงจรเพาเวอร์แอมป์คลาส AB แบบคอมเมนตารี่ ที่ใช้เอาท์พุตเป็นวงจรอีมิตเตอร์-ฟอลโลเวอร์ ใช้ไฟเลี้ยงชุดเดียว	23
รูปที่ 2.16 แสดงวงจร ANALOG TO DIGITAL	24
รูปที่ 2.17 แสดงวงจร PARALLEL COMPARATOR A/D	25
รูปที่ 2.18 ไดอะแกรมแสดงการทำงานของวงจร ADC แบบซักเซสซีฟแอปพร็อกซิเมชั่น	26
รูปที่ 2.19 ไดอะแกรมเวลาแสดงการทำงานของวงจร ADC แบบซักเซสซีฟแอปพร็อกซิเมชั่น	27
รูปที่ 2.20 การจัดขาของไอซี ADC/DAC ขนาด 8 บิตผ่านบัส I^2C เบอร์ PCF8591	29
รูปที่ 2.21 รายละเอียดข้อมูลควบคุมที่เขียนลงในรีจิสเตอร์ควบคุมภายในไอซี PCF8591	30
รูปที่ 2.22 ตัวอย่างการเชื่อมต่อไมโครคอนโทรลเลอร์ MCS-51 กับ PCF8591	32
รูปที่ 2.23 วงจรทดลองการเชื่อมต่อไมโครคอนโทรลเลอร์MCS-51 ไอซี ADC/DAC บนระบบบัส I^2C	33
รูปที่ 3.1 แสดงตำแหน่งขาชิปไมโครคอนโทลเลอร์ในตระกูล MCS-51 เบอร์ 8051	35
รูปที่ 3.2 แสดงวงจรสำหรับรีเซตชิปไมโครคอนโทรเลอร์ MCS-51	37
รูปที่ 3.3 แสดงโครงสร้างภายในของชิปไมโครคอนโทรเลอร์ MCS-51	38
รูปที่ 3.4 แผนภาพแสดงหน่วยความจำสำหรับเก็บข้อมูลภายในชิป MCS-51	39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.5 แสดงหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายในชิปทั้ง 2 ส่วน 40
รูปที่ 3.6 แสดงการเลือกรีจิสเตอร์ใช้งานทั่วไป R0-R7 แต่ละกลุ่ม 41
รูปที่ 3.7 แสดงตำแหน่งหน่วยความจำของโปรแกรมบริการอินเตอร์รัพแต่ละชนิด 43
รูปที่ 4.1 BLOCK DIAGRAM ของวงจร 47
รูปที่ 4.2 การออกแบบจาน (Parabolic) 48
รูปที่ 4.3 รูปร่างหน้าตาของไอซี.ไฮเอาพุตเพาเวอร์ 49
รูปที่ 4.4 ตำแหน่งขาต่างๆ ที่เอาไปใช้งาน 50
รูปที่ 4.5 วงจรภายในของไอซี 51
รูปที่ 4.6 การทำงานในส่วนของซอฟต์แวร์ (FLOW CHART) 52
รูปที่ 5.1 BLOCK DIAGRAM การทำงาน 53
รูปที่ 5.2 ผลการทดลอง วงจร DIFFERENCIAL MICROPHONE AMPLIFIER 53
รูปที่ 5.3 ผลการทดลอง วงจร DIFFERENCIAL MICROPHONE AMPLIFIER 54
รูปที่ 5.4 ผลการทดลอง วงจร Band Pass Filter 55
รูปที่ 5.5 ผลการทดลอง วงจร Power Amplifier 56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 แนวความคิดในการทำปริญญานิพนธ์

เนื่องด้วยปัจจุบันนี้ได้มีการพัฒนาความเจริญก้าวหน้าในหลายๆด้านทั้งทางด้านวัตถุและวัฒนธรรมทำให้ความเป็นอยู่ของมนุษย์และสัตว์ต้องขัดแย้งกันมากขึ้น ซึ่งเป็นผลทำให้มนุษย์ต้องการที่ทำมาหากินมากขึ้นจึงต้องมีการบุกรุกพื้นที่เข้าไปในป่าสงวนกันมากขึ้นสัตว์ที่อยู่กันในป่าจึงต้องอพยพกันเข้าไปในป่าลึกอีกและเป็นผลให้จำนวนของสัตว์ที่อยู่ในป่าจึงมีปริมาณลดน้อยลงมาก ดังนั้นเมื่อเวลาที่มนุษย์จะพักผ่อนโดยการเข้าไปในป่าก็จะเป็นการบุกรุกและทำให้สัตว์ตกใจกลัวได้ซึ่งต้องมีเครื่องช่วยให้การได้ยินเสียงของสัตว์มีความดังมากขึ้นโดยไม่ต้องเข้าไปใกล้กับสัตว์มากนักและเป็นผลให้การศึกษาพฤติกรรมของสัตว์โดยไม่ส่งผลกระทบต่อความเป็นอยู่ของสัตว์ได้ เป็นไปอย่างตามธรรมชาติและช่วยลดปัญหาการบุกรุกการดำรงชีวิตของสัตว์

ปริญญานิพนธ์ฉบับนี้มีชื่อว่า เครื่องดักฟังเสียงสัตว์(Trapping of Animal Whisper Sound) เพื่อศึกษาหลักการทำงานของเครื่องดักฟังเสียงสัตว์ จากจานรวมสัญญาณเสียงหรือจานพาราโบลิกโดยใช้หลักการสะท้อนของเสียงกลับมายังจุดรวมของเสียงเพื่อให้สัญญาณที่ได้นั้นมีสัญญาณแรงมากขึ้น ให้สามารถรับฟังเสียงต่างๆได้ โดยมีวงจร Band Pass Filter กรองสัญญาณความถี่และได้นำไมโครคอนโทรเลอร์ตระกูล MCS-51 มาช่วยในการแสดงผลที่แน่นอนและแม่นยำซึ่งได้ให้แสดงออกทางจอ LCD และสามารถดักฟังเสียงต่างได้อย่างชัดเจนมากขึ้น

สำหรับไมโครคอนโทรลเลอร์ตระกูล MCS-51 ซึ่งมีความเร็วและประสิทธิภาพสูงพอที่จะควบคุมระบบตั้งแต่ขนาดเล็ก ๆ จนถึงระบบขนาดใหญ่ที่ซับซ้อนมากขึ้น นอกจากนี้ไมโครคอนโทรเลอร์ตระกูล MCS-51 ยังมีสมาชิกอีกหลายเบอร์ที่ออกแบบไว้เพื่อจุดประสงค์เฉพาะอย่างโดยตรง เช่น มีระบบสื่อสารข้อมูลที่มีประสิทธิภาพสูงเพื่อใช้ควบคุมระบบที่เกี่ยวข้องกับการสื่อสารข้อมูลความเร็วสูง สามารถใช้ภาษาเบสิกเพื่อให้การเขียนโปรแกรมควบคุมทำได้สะดวกและง่ายมากขึ้น มีวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลในตัวเองเพื่อใช้ในงานที่เกี่ยวข้องกับสัญญาณอนาล็อก จึงเป็นผลให้ไมโครคอนโทรลเลอร์ตระกูล MCS-51 เหมาะสำหรับนำไปประยุกต์ใช้งานด้านต่างๆมากมายในปัจจุบัน

1.2 จุดมุ่งหมาย

เพื่อศึกษาการสร้างเครื่องดักฟังเสียงสัตว์ จากจานรวมสัญญาณเสียงหรือจานพาราโบลิก ให้สามารถฟังเสียงสัตว์ต่าง ๆ ได้และสามารถศึกษาพฤติกรรมของสัตว์โดยไม่ส่งผลกระทบต่อความเป็นอยู่ของสัตว์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 ผลที่คาดว่าจะได้รับ

1 สามารถคัดกรองเสียงสัตว์ในระยะทางที่เหมาะสมได้

2 สามารถรับฟังเสียงอย่างชัดเจนได้

3 สามารถลดปัญหาการรบกวนวงจรชีวิตของสัตว์ได้

4 สามารถวิเคราะห์และจำแนกชนิดของเสียงที่รับฟังได้

1.4 ขอบเขตของโครงงาน

1. สามารถคัดกรองเสียงสัตว์ในระยะทางที่เหมาะสมได้
2. สามารถรับฟังเสียงอย่างชัดเจนมากขึ้น
3. สามารถลดปัญหาการรบกวนวงจรชีวิตของสัตว์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี

2.1 จานรับสัญญาณเสียง

จานอลูมิเนียม จานไฟเบอร์กลาส และจานแบบตาข่ายไม่ว่าจะเป็นจานรับแบบใดก็จะมีลักษณะเดียวกันคือ รับสัญญาณจากภายนอกมาสะท้อนกลับขึ้นไปยังไปยังจุดเดียวกันซึ่งเรียกว่า จุดโฟกัส สัญญาณที่มีกำลังอ่อนๆ เมื่อพุ่งลงมากระทบพื้นที่ของจานแล้วสะท้อนไปรวมยังจุดเดียวกันมีผลทำให้สัญญาณแรงขึ้นมาได้ไม่ว่าจะผลิตจากอลูมิเนียม ไฟเบอร์กลาส หรือแบบตาข่ายก็ตาม สิ่งแรกที่จะต้องสนใจก็คือต้องมีส่วนโค้งที่ถูกต้องและมีลักษณะเป็นพาลาโบลิคเท่านั้นก็สามารถรับสัญญาณได้แล้ว วิธีการผลิตก็ต้องขึ้นอยู่กับโรงงานว่าจะใช้วิธีแบบใด

สำหรับจานอลูมิเนียมแบบทึบนั้น จะได้ประสิทธิภาพที่ดีกว่าไฟเบอร์กลาสหรือแบบตาข่าย จานอลูมิเนียมแบบทึบมักจะเคลือบด้วยสีที่มีคุณสมบัติที่ไม่สะท้อนแสง เพราะหากสะท้อนแสงแล้วจะทำให้เกิดการรวมแสงเช่นเดียวกับคลื่นผลที่ได้ตามก็คือ อุปกรณ์ที่ใช้ในการรวมสัญญาณอาจจะพังหรือเสียหายก่อนเวลาอันควรก็เป็นไปได้ ส่วนเนื้ออลูมิเนียมจะทำจากอลูมิเนียมเกรดดีสามารถป้องกันการผุกร่อนจากสนิม อ๊อกไซด์ ของอลูมิเนียมได้ดี

ส่วนจานรับสัญญาณแบบตาข่าย ขณะนี้จะนิยมมากที่สุดเพราะจะไม่ทำให้เสียทัศนียภาพข้างหลังได้แต่จานแบบตาข่ายนี้ค่อนข้างจะเกิดความเสียหายหรือผิดรูปได้ง่ายเนื่องจากเป็นโลหะที่มีรูพุนจึงบอบบางดังนั้นการติดตั้งใช้งานแต่ละส่วนจึงควรเป็นไปตามคำแนะนำของผู้ผลิต ที่เน้นมากก็คือความเป็นส่วนโค้งพาลาโบลิคของเนื้อจานจะต้องโค้งได้รูปตลอดเวลา วิธีเช็คง่ายๆ โดยการใช้มือรูปที่ผิวของจานก็สามารถรู้ได้ว่าโค้งตลอดทั้งแผ่นหรือไม่ หากผิวของส่วนโค้งของแต่ละแผ่นไม่เป็นไปตามพาลาโบลิคแล้วจะทำให้คลื่นที่มากระทบบางส่วนไม่พุ่งไปรวมที่จุดโฟกัสสัญญาณก็มีความแรงลดลง

สำหรับจานแบบไฟเบอร์ ลักษณะทางโครงสร้าง ก็เหมือนกับจานทึบ และใช้กันค่อนข้างมาก จานแบบไฟเบอร์ที่เป็นแบบมาตราฐานนั้น ภายในโครงสร้างของมันจะฝังลวดตาข่ายเอาไว้ เพื่อเป็นตัวสะท้อนสัญญาณเพราะหากไม่มีลวดตาข่ายถักฝังเข้าไว้ภายใน สัญญาณจะทะลุจานออกไปหมด ลักษณะของการผลิตจะใช้วิธีการพ่นไฟเบอร์กลาสลงบนโมล แล้ววางลวดหรือตาข่ายที่ทอหรือถักลงไปจากนั้น จึงฉีดไฟเบอร์กลาสลงไปอีกทีหนึ่ง

การจัดสร้างจานขึ้นมานั้น อาจจะทำเป็นชิ้นเดียวหรือหลายๆ ชิ้น แล้วนำมาประกอบเข้าด้วยกันก็ได้แต่ความแน่นอนเรื่องของประสิทธิภาพการสะท้อนของสัญญาณแล้วจานแบบชิ้นเดียวจะดีกว่าส่วนจานที่แบ่งออกเป็นเสี้ยวแล้วมาประกบกันจะมีข้อเสียตรงส่วนนี้ แต่จะมีความแข็งแกร่งกว่าเพราะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รอยต่อที่นำมาประกบกันจะกลายเป็นกระดูกหรือชิ้นส่วนที่เสริมความแข็งแรงให้กับจานอีกทั้งยังสะดวกการขนส่งแล้วถอดเปลี่ยนได้ง่ายในกรณีที่ชิ้นใดชิ้นหนึ่งเสียหายส่วนเรื่องของรอยต่อของแต่ละชิ้นที่เป็นปัญหาของการสะท้อนของคลื่นนั้นถือว่ามีน้อยมาก(ขึ้นอยู่กับจำนวนชิ้นของจานด้วย) เมื่อเทียบกับพื้นที่ของจานทั้งหมด

ส่วนโค้งของของจานรับสัญญาณจะทำหน้าที่คล้ายกับเลนส์ คือ ทำการบีบสัญญาณให้แคบแล้วพุ่งตรงไปยังด้านหน้าและตรงกับจุดศูนย์กลางของสายอากาศ (ลักษณะนี้เรียกว่า Boresight) จะทำให้สัญญาณที่รับได้มีมีความแรงมากที่สุด ขณะเดียวกันก็จะมีการขจัดสัญญาณอื่นๆ (อาจจะเป็น Noise ก็ได้) ที่มาจากทิศทางอื่นออกไปด้วย ปริมาณของสัญญาณที่ถูกส่งออกไปนั้นจะเป็นจุดที่ตัวรับสัญญาณรับได้มากที่สุด

ข้อเปรียบเทียบระหว่างจานพาราโบลิคแบบลึกกับแบบตื้น

ในการออกแบบความโค้งของจานพาราโบลิคนั้น จะต้องคำนึงถึงว่าจะให้จานนั้นมีความลึกหรือความตื้นมากน้อยเพียงใดจานพาราโบลิคที่มีความตื้นมากกว่านั้นจะมีระยะของจุดโฟกัสยาวมาก ทำให้ต้องติดตั้งอุปกรณ์รับสัญญาณ ห่างออกไปจากจุดศูนย์กลางของจานมากด้วย แต่จานที่มีความตื้นนั้นจะทำให้อัตราการขยายของจานสูงกว่าจานแบบลึกเนื่องจากฟีดฮอร์นสามารถรับเอาคลื่นที่สะท้อนจากพื้นที่ของจานมาสู่ตัวมันได้ทั้งหมด

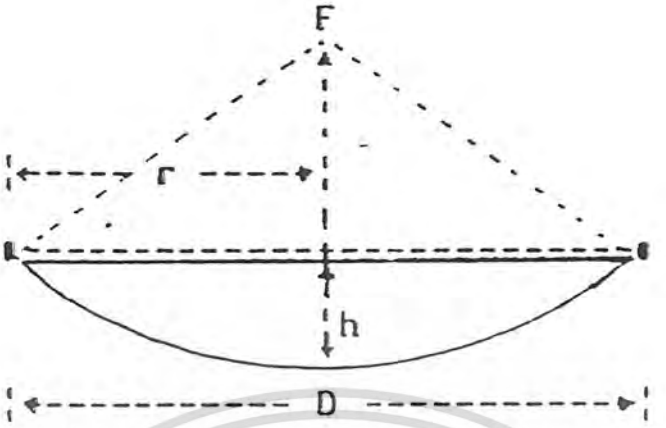
2.2 อัตราส่วน f/D

ความสัมพันธ์ของความลึกหรือความตื้นของจานรับสัญญาณดาวเทียมนี้ มักจะบอกมาในรูปของอัตราส่วนของระยะจุดโฟกัสต่อเส้นผ่านศูนย์กลางโดยจานที่มีความลึกจะมีค่าอัตราส่วน f/D ตั้งแต่ 0.25-0.35 ขณะที่ค่าอัตราส่วน f/D ของจานที่มีความตื้นอยู่ในช่วง 0.4-0.5 แต่โรงงานผู้ผลิตส่วนใหญ่มักผลิตออกมาในช่วงกลาง ๆ คือตั้งแต่ 0.35-0.375 เมื่อเราทราบค่าของอัตราส่วน f/D ของจานรับสัญญาณแต่ละจาน จะทำให้เราทราบระยะของจุดรวมสัญญาณหรือจุดโฟกัสของจานนั้นๆ ได้อย่างถูกต้องเพื่อจะได้ติดตั้งตัวรับสัญญาณ ในตำแหน่งที่สามารถรับสัญญาณได้แรงที่สุดโดยการคูณขนาดของเส้นผ่านศูนย์กลางเข้ากับค่าอัตราส่วน f/D เช่นมีจานรับสัญญาณที่มีเส้นผ่านศูนย์กลาง 180 cm และมีค่าอัตราส่วน f/D เท่ากับ 0.315 จะมีระยะของจุดโฟกัสเท่ากับ 180*0.315 = 56.7 cm

2.3 การออกแบบจานรับสัญญาณ

พาราโบล่า (PARABOLA) หมายถึง ทางเดินของจุดซึ่งอยู่บนระนาบและห่างจากจุดคงที่และเส้นตรงที่คงที่เป็นระยะทางที่เท่ากันเสมอ โดยมีสมการเป็น Y = 4px เราสามารถนำเอาหลักการทางคณิตศาสตร์มาออกแบบจานรับ และหาระยะทางความยาวโฟกัสของจานเพื่อที่จะวางตำแหน่งให้รับสัญญาณได้ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 การหาระยะทางโฟกัสของจานแบบพาราโบล่า

การหาค่าความสูงหรือความลึกของจาน (h)

$h = r^2/4F = r^2/\{4D*(F/D)\}$

การหาระยะทางความยาวโฟกัส

$F = r^2/4h$ --*

$= D^2/16h$ --*

F = ทางยาวโฟกัสสำหรับติดตั้งตัวรวมสัญญาณที่สะท้อนเข้ามาจากจาน

D = เส้นผ่าศูนย์กลางของจาน นิยมบอกเป็นฟุต

r = รัศมี หรือ ครึ่งหนึ่งของจาน

h = ความสูงหรือความเล็กของจานจากท้องจานถึงขอบจานในแนวดิ่ง

<u>ตัวอย่าง</u> จานขนาด 8 ฟุต มีความลึก 1.66 ฟุต จะมีความยาวโฟกัสเท่าใด

$F = D^2/16h$

$= 8^2/(16 * 1.66)$

= 2.4 ฟุต ----- ***

ทำเป็นเซนติเมตร = 2.4 * 12 * 2.54

= 73.152 เซนติเมตร -- ***

2.4 ความสัมพันธ์ระยะโฟกัสต่อเส้นผ่าศูนย์กลาง (F/D RATIO)

จานตื้นมีค่า h ต่ำจะรับสัญญาณได้ดีกว่าแบบจานลึก แต่ก็มีสัญญาณรบกวนมากตามไป ด้วยและตำแหน่งโฟกัสจะอยู่สูงทำให้การติดตั้งตัวรับสัญญาณลำบาก โดยค่า F/D จานตื้นนั้นจะมีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

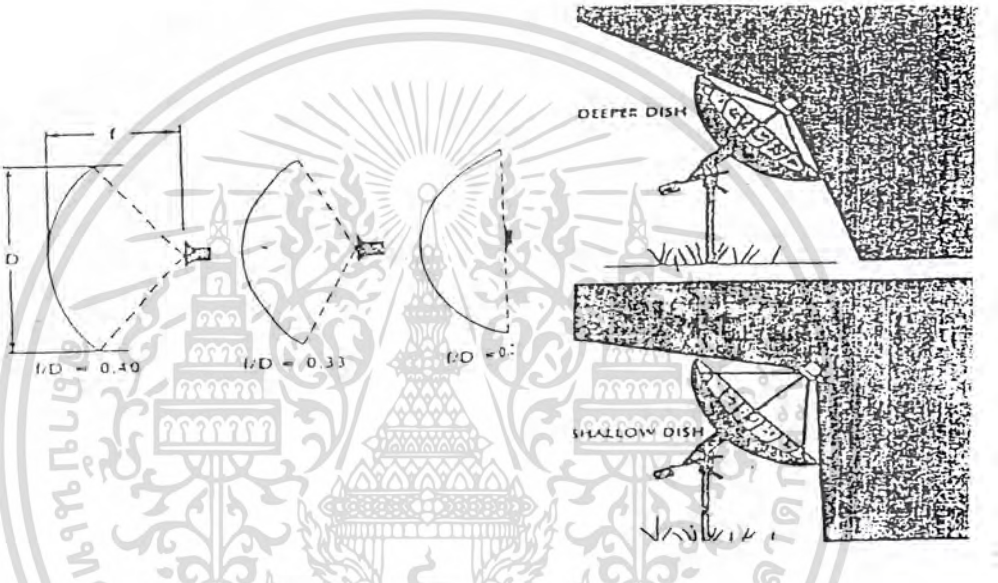
ประมาณ 0.4 และแบบจานลึกมีค่าประมาณ 0.3 หรือเมื่อเราต้องการทราบความยาวโฟกัสก็หาได้จากค่าของอัตราส่วน คูณด้วยเส้นผ่าศูนย์กลาง

<u>ตัวอย่าง</u> จานรับสัญญาณขนาด 8 ฟุต มีอัตราส่วน F/D จานตื้นนั้นจะมีค่าประมาณ 0.4 และแบบจานลึกมีค่าประมาณ 0.3 จะมีขนาดความยาวโฟกัสเท่าใด

$$F = D * (F/D)$$

$$= 8 * 0.3$$

ความยาวโฟกัส = 2.4 ฟุต หรือ 73.152 CM.



รูปที่ 2.2 การเลือกค่า F/D ในการออกแบบจาน

2.5 ไมโครโฟน

ในกรณีทั่วๆไป เมื่อคลื่นเสียงได้พบกับการสะท้อนบนพื้นผิวที่ปกติมากกว่า 0 องศา การตกของคลื่นที่กระทบจะเบี่ยงออก การสะท้อนของมุมที่เท่ากัน ถึงแม้ว่ามันก่อให้เกิดแหล่งกำเนิด S1 ดังแสดงในรูปภาพที่ (2.3a) ผู้ฟังหรือไมโครโฟนที่จุด M จะมีคลื่นรบกวนระหว่างคลื่นทางตรงและคลื่นสะท้อนผลที่ได้รับจะเกิดขึ้นทันทีทันใด ทั้งนี้ขึ้นอยู่กับเวลาที่หน่วงเหนี่ยวโดยระยะทางคลื่น 2 คลื่นจะมาถึงที่จุด M อย่างแน่นอนที่ 180 องศาและเพิ่มเติมสิ่งอื่นอีก สิ่งที่คล้ายคลึงกันจะมีลำดับคลื่นความถี่ที่มาถึงจุด M

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

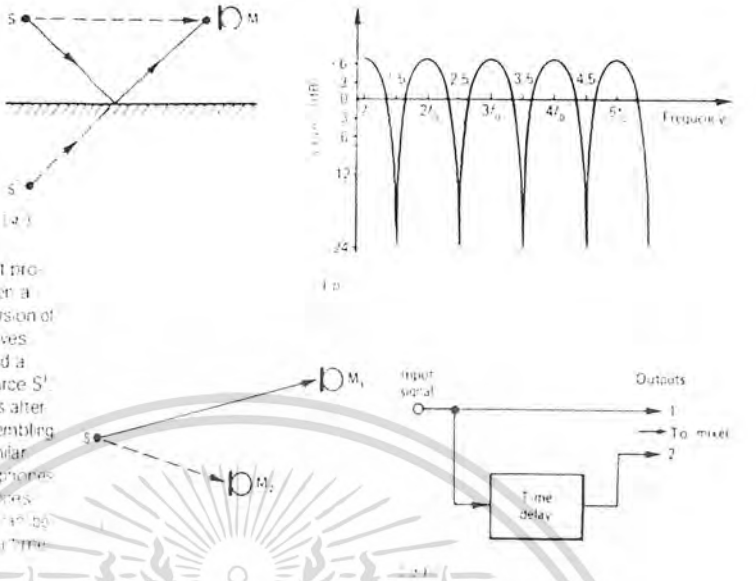


Figure 2.26 Comb filter effect produced by interference between a sound wave and a delayed version of itself. (a) Microphone M receives direct wave from source S and a delayed wave from image source S'. (b) frequency response shows alternating peaks and troughs resembling the teeth of a comb. (c) a similar effect is produced with microphones M1 and M2 at different distances from source S. (d) the effect can be introduced deliberately using a time-delay network.

รูปที่ 2.3 แสดงการสะท้อนบนพื้นผิวที่มีมุมต่างกัน

2.6 เสียงสะท้อนและการสะท้อนกลับ

ตัวอย่างของเสียงคลื่นสะท้อนจะสังเกตเห็นเมื่อเสียงไปถึงหูหลังจากการสะท้อนที่ระยะยาวนาน ดังนั้น การผลิตซ้ำหรือเป็นต้นแบบของเสียงสะท้อน ในความจริงแล้วหูของมนุษย์ไม่สามารถแยกเสียงออกเป็นส่วนๆ และแยกเสียงสะท้อนได้นอกจากเสียว่าคลื่นที่เป็นต้นแบบเวลา การสะท้อนแบ่งแยกโดยเวลาที่ทิ้งช่วงอย่างน้อย 1/15 th ของครั้งที่ 2 (60 ms) การสะท้อนระยะสั้นและขยายขอบเขตเสียง ตั้งแต่การเดินทางของเสียงที่ 344 m/s อย่างน้อยตามทางยาวแยกความแตกต่างเสียงสะท้อนที่ได้ยินประมาณ 344/15 = 23 m

การคำนวณที่คล้ายคลึงกันจะพยากรณ์ช่วงเวลาที่คาดหวัง เมื่อใกล้แหล่งกำเนิดเสียงสะท้อนจากพื้นผิวขนาดใหญ่ในระยะ 150 m ที่ไกล

รวมระยะการเดินทางของคลื่น = (2 x 150) = 300 m

ช่วงระยะเวลา = 300/344 = 0.87 S

ภายในห้องหรือห้องแสดงคอนเสริต์ ไม่ชอบที่จะเปิดอากาศ เพราะจะทำให้เกิดเสียงสะท้อนเพิ่มขึ้นทวีคูณจากกำแพงที่ล้อมรอบกับเหตุผลที่มีส่วนประกอบมากมายและทำให้เสียงนั้นกระจายไป

เมื่อเสียงเริ่มส่งรัศมีออกจากจุดศูนย์กลางจากแหล่งกำเนิด การวัดจุดเพิ่มขึ้นโดยวัดจากจำนวนที่เพิ่มขึ้นทีละน้อย ตามลำดับการสะท้อนไปยังกำแพง พื้นและเพดานจนกระทั่งได้คุณภาพที่เหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สิ่งที่เป็นพื้นฐานในการออกแบบให้ใกล้เคียงเหมือนการใช้งานได้จริง คือ การสะท้อนโค้งกลมแบบ Parabolic

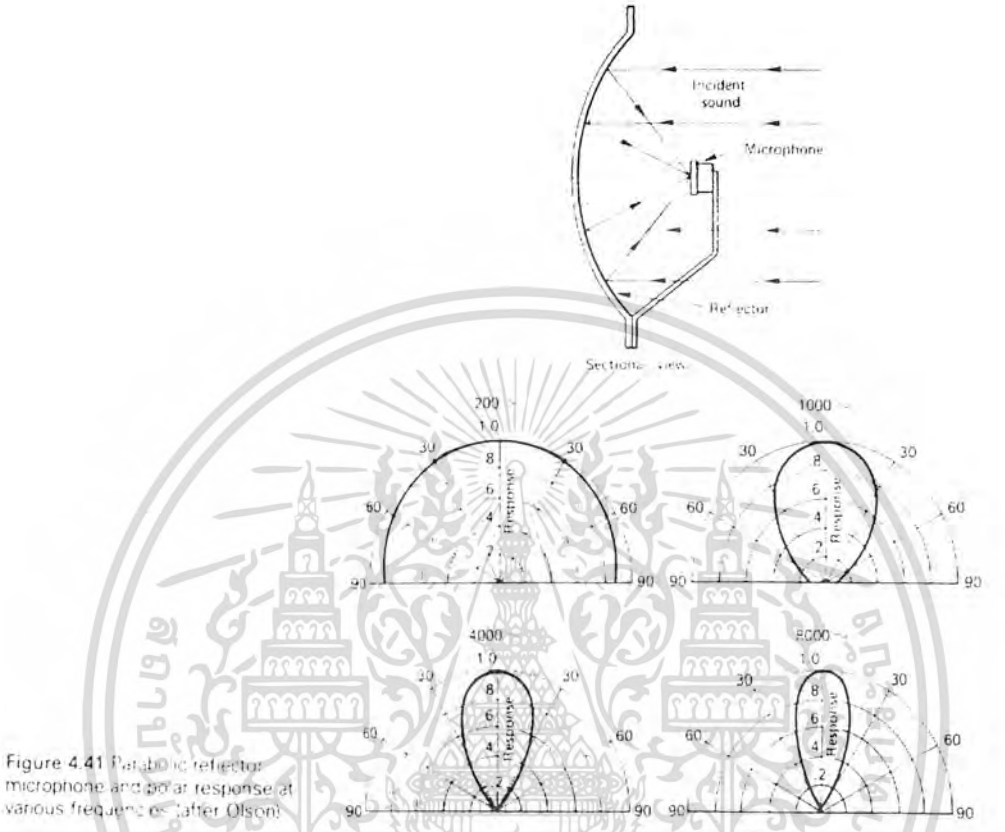


Figure 4.41 Parabolic reflector microphone and polar response at various frequencies (after Olson)

รูปที่ 2.4 การสะท้อนกลับที่ตกกระทบบนจาน parabola

การจะทำให้เกิดกลุ่มพลังเสียงสะท้อน Parabolic เกิดจากการขยายพื้นที่แผ่กว้างจากการตกกระทบ และการสะท้อนกลับมาภายหลังจากจุดโฟกัสของไมโครโฟนใน ดังนั้น parabola เป็นสิ่งที่ทำให้เกิดเสียงออกมายังไมโครโฟน ดังรูปที่ 2 ซึ่งจะกล่าวถึงการอธิบายการกรองเสียงต่ำที่ประกอบในวงจรไฟฟ้าของไมโครโฟน จุดมุ่งหมายคือการให้ผลลัพธ์ออกมาจากระยะทางของแหล่งกำเนิดเสียงและระยะทางที่กำหนดไว้ โดยปกติไมโครโฟนที่ออกจากจุดโฟกัสจะหลีกเลี่ยงความถี่สูง

2.7 ACTIVE FILTER

ในวงจรไฟฟ้าบ่อยครั้งที่ใช้วงจร FILTER เป็นตัวเลือกความถี่ที่ต้องการให้ผ่านไปได้ (Frequency Selective) และป้องกันความถี่ที่ไม่ต้องการไม่ให้ผ่านไปได้ วงจร FILTER อาจจะจำแนกเป็นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Analog or digital
2. Passive or active
3. Audio (AF) or radio frequency (RF)

Analog Filter เป็นการออกแบบระบบสัญญาณ Analog ในขณะที่ Digital Filter เป็นการออกแบบระบบสัญญาณ Analog เช่นกัน แต่ใช้เทคโนโลยีทาง Digital ส่วนชนิดของวงจรขึ้นอยู่กับ element ที่จะนำมา สร้างวงจร Filter อาจจะแยกออกเป็น Passive หรือ Active element ที่ใช้ใน Passive ได้แก่ R, C และ L ส่วน Active ใช้ transistor หรือ Op-Amp แล้วเพิ่มด้วย R และ C ชนิดของ element จะเป็นตัวบังคับการทำงานในย่านความถี่ของ Filter สำหรับ RC filter ใช้กับ Audio หรือย่านการทำงานความถี่ต่ำ ด้วยเหตุนี้ LC หรือ Crystal Filterใช้กับ RF หรือ การทำงานย่านความถี่สูง เพราะมีความถี่คงที่

ในบทนี้จะอธิบายการวิเคราะห์และออกแบบ Analog active RC (Audio Frequency) โดยใช้ Filter op-amp โดยมากแล้วนั้นจะไม่ใช้ L มากนัก เพราะมีขนาดค่อนข้างใหญ่ ราคาแพง และมีการแผ่ของสนามแม่เหล็ก

Active Filter จะให้ประโยชน์มากกว่า Passive Filter ดังนี้

1. อัตราขยายและความยืดหยุ่นของความถี่ (Gain and Frequency Adjustment flexibility)
2. ปัญหาการรบกวนของสัญญาณน้อย (No-Cooling Problem)

ราคาถูก (Cost) ขึ้นอยู่กับชนิด Active Filter

แม้ว่า Active Filter จะมีการต่อใช้งานค่อนข้างมากในเรื่องเกี่ยวกับการติดต่อสื่อสาร (Communication) และการประมวลผลของสัญญาณ (Signal – Processing) นอกจากนั้นเราจะใช้ Active Filter ในระบบอิเล็กทรอนิกส์อื่น ๆ ด้วยเช่น วิทยุ โทรทัศน์ โทรศัพท์ เรดาร์ ดาวเทียม อุปกรณ์ทางเคมี

ส่วนใหญ่แล้วจะใช้ในลักษณะดังนี้

1. Low – Pass Filter
2. High – Pass Filter
3. Band – Pass Filter
4. Band – Reject Filter
5. All – Pass Filter

ใน Filter แต่ละชนิดนั้นเราจะใช้ Op-Amp เป็น Active element และ R,C และ RC เป็นอุปกรณ์ Passive ด้วย โดย Op-Amp จะใช้ 741 สำหรับงาน Filter Circuit ธรรมดาก็พอแล้ว สำหรับงาน High-Speed Op-Amp ที่ใช้จะเป็น LM 318 หรือ ICL 8017 จะช่วยให้เสถียรโดยรวมดีขึ้น อัตราขยายเพิ่มขึ้นเมื่อใช้ในอัตราขยาย Band wide

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ (2.5) จะแสดงผลตอบสนองของความถี่ของ Filter ทั้ง 5 ชนิด โดยจะแสดงในรูปของ dash curve ในขณะที่เส้นทึบแสดงลักษณะของ Filter ชนิดนั้น ๆ โดยในวงจร Low – Pass Filter จะมีอัตราขยายคงที่ จาก 0 Hz – จุดตัดความถี่สูง (0- f_H) ดังนั้นเราจึงแสดงช่องสัญญาณ Band wide ด้วย f_H ที่ f_H จะมีอัตราการขยายลดลงที่ 3 dB หลังจากนั้น จะมีค่าลดลงที่($f < f_H$) ที่ความถี่ระหว่าง 0 Hz และ f_H เราจะดึงค่าความถี่ที่ Pass band โดยย่านของความถี่นั้นที่อยู่ถัดไปจาก f_H จะเป็นความถี่ที่เรียกว่า Stop band

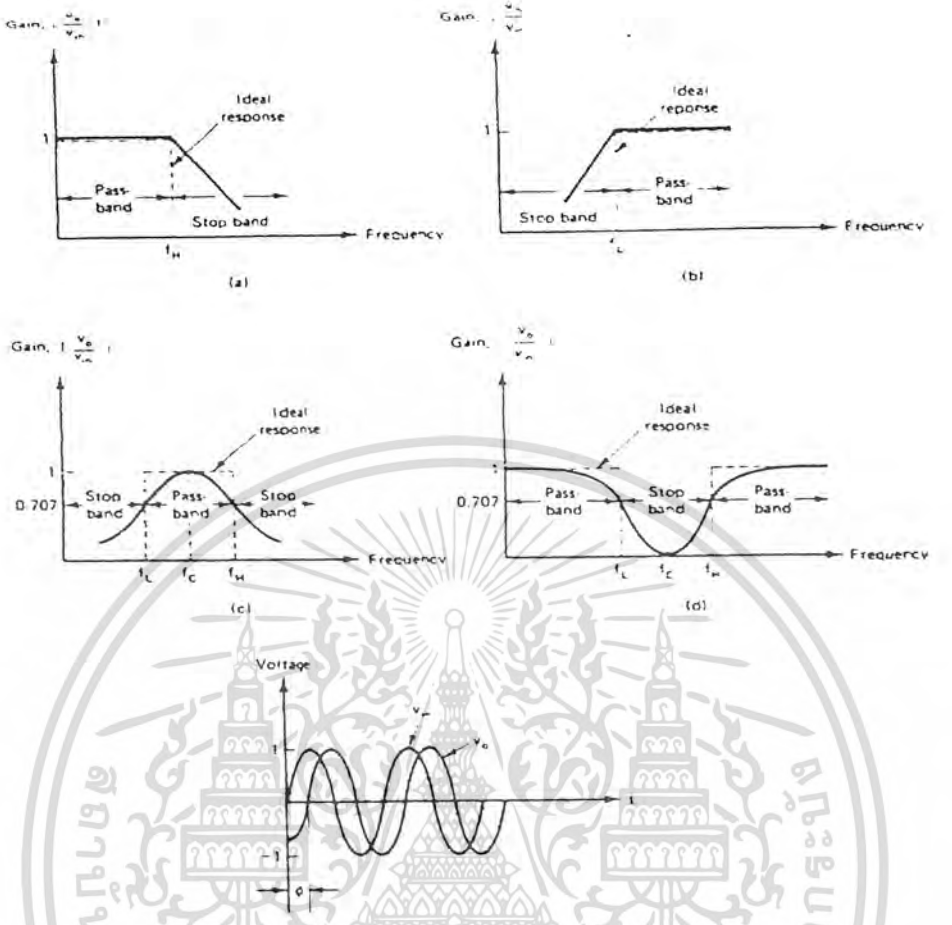
ในรูปที่ (2.5a) จะแสดงผลตอบสนองของ Low – Pass Filter เป็นลักษณะของ dashed Line Filter ในอุดมคติจะมีความสูญเสียเป็น 0 ในย่าน Pass band และความสูญหายเป็น อนันต์ในย่าน Stop band ผลตอบสนองของ Filter ในทางอุดมคติจะไม่ตรงกับปฏิบัติเพราะว่าในระบบที่ Linear จะไม่เกิดขึ้นในระบบที่ไม่ต่อเนื่อง อย่างไรก็ตามปัญหาที่เกิดขึ้นจะมีการประมาณค่าผลตอบสนอง ในทางอุดมคติ โดยใช้เทคนิคการออกแบบพิเศษ โดยจะให้ค่าที่เที่ยงตรงแน่นอน ซึ่งประกอบด้วย Op –Amp High-speed

Butterworth, Chebyshev และ Cauer Filter จะเป็นที่นิยมใช้งานในทางปฏิบัติ เพราะใกล้กับผลตอบสนองทางอุดมคติมาก สำหรับคุณลักษณะของ Filter แบบ Butterworth จะมี Pass band ที่กว้างและดีในย่าน Stop band ด้วยเหตุนี้จึงอาจเรียกว่า flat – flat Filter ส่วน Filter แบบ Cauer มีการกระเพื่อมของ Pass band และมีการกระเพื่อมของ Stop band ซึ่งโดยทั่วไป Filter แบบ Cauer ใช้งานได้ดีที่สุดใน Stop band เพราะฉะนั้นเราจะออกแบบ Low – pass และ High – pass ด้วย Butterworth

ในรูปที่ (2.5b) แสดงรูป High – pass Filter ด้วย Stop band: $0 < f < f_L$ และ Pass band $f > f_L$ ความถี่ Low – pass (f_L) และ f เป็นย่านการทำงาน ส่วนรูป c เป็นรูปของ Band – pass Filter และมี Pass band ระหว่างความถี่ Cutoff f_H และ f_L โดยที่ $f_H > f_L$ ส่วนด้าน Stop band : 0 $< f < f_L$ และ $f > f_H$ ดังนั้นความถี่ช่วง Band pass อยู่ระหว่าง $f_H - f_L$ ส่วนรูป d เป็นรูปของ Band – reject Filter มีรูปแบบที่ตรงข้ามกับ Band pass มันมี Band stop ระหว่าง ความถี่ Cutoff สองตัว f_H และ f_L และมีสอง Pass band : $0 < f < f_L$ และ $f > f_H$ ดังนั้น Band – reject Filter จึงเรียกว่า Band stop หรือ Band- elimination สำหรับ f_C เป็นความถี่ศูนย์กลาง (Center frequency)

ในรูปที่ (2.5e) แสดงรูปของ Phase Shift ระหว่าง *I*nput และ Output Voltage ของ All- pass Filter

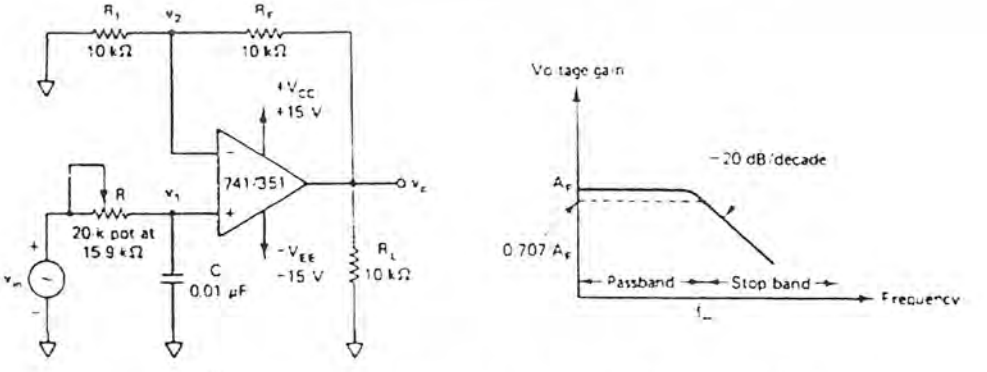
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงผลตอบสนองของความถี่ของ Filter ทั้ง 5 ชนิด

2.8 FIRST- ORDER LOW –PASS BUTTERWORTH FILTER

ในรูปที่ (2.6) แสดงรูปของ First-order low-pass Butterworth Filter โดยใช้ RC network และสร้างด้วย Non-inverting ด้วยเหตุนี้จึงไม่เกิด Load down ใน RC network สำหรับ R_1 และ R_f ใช้หา Gain ของ Filter



รูปที่ 2.6 แสดงรูปของ First-order low-pass Butterworth Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกฎของ Voltage- divider $V1 = \frac{-jxc}{R - jxc} Vin$ (1 a)

ขณะที่ $j = \sqrt{-1}$ และ $-jxc = \frac{1}{j2\pi fc}$

ดังนั้นจากสมการ (1 a)

$$V1 = \frac{Vin}{1 + j2\pi fRC}$$

และ Output Voltage

$$Vo = \left(1 + \frac{Rf}{R1}\right) V1$$

จะเป็น $$Vo = \left(1 + \frac{Rf}{R1}\right) \frac{Vin}{1 + j2\pi fRC}$$

หรือ $$\frac{Vo}{Vin} = \frac{Af}{1 + j\left(f / f_H\right)} \quad (1\ b)$$

ขณะที่ $\frac{Vo}{Vin}$ = Gain ของ Filter ในย่านความถี่

$Af = 1 + \frac{R_f}{R_1}$ = Passive Gain ของ Filter

f = ความถี่ของสัญญาณ Input

$f_H = \frac{1}{2\pi RC}$ ความถี่ Cutoff ด้าน High ของ Filter

Gain magnitude และมุม Phase ของสมการ Low- pass filter

$$\left|\frac{Vo}{Vin}\right| = \frac{Af}{\sqrt{1 + \left(f / f_H\right)^2}} \quad (2\ a)$$

$$\phi = -\tan^{-1}\left(f / f_H\right) \quad (2\ b)$$

ในขณะที่ ϕ เป็นองศา

การทำงานของ Low- pass Filter สามารถปรับ Gain magnitude ได้ตามสมการ

1.ที่ความถี่ต่ำมาก ๆ $f < f_H$

$$\left|\frac{Vo}{Vin}\right| \cong Af$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. At $f = f_H$

$$\left|\frac{Vo}{Vin}\right| = \frac{Af}{\sqrt{2}} = 0.707Af$$

3.At $f > f_H$

$$\left|\frac{Vo}{Vin}\right| < Af$$

Filter Design

สามารถออกแบบ Low-pass filter ได้ตามนี้

1. เลือกค่า High Cutoff frequency (f_H)
2. เลือกค่า C ให้น้อยกว่าหรือเท่ากับ 1 μF
3. คำนวณค่า R โดยใช้ $R = \frac{1}{2\pi f_H C}$
4. โดยทั่วไปจะเลือกค่า R_1 และ R_f ให้อิสระเพื่อใช้ในการปรับ Pass band Gain

$$Af = 1 + \frac{R_f}{R_1}$$

2.9 SECOND-ORDER LOW-PASS BUTTERWORTH FILTER

Stop- band Response มีค่า 40- dB/decade ในวงจร Second-order low-pass Filter และ First-order low-pass Filter สามารถแปลงเป็น second-order โดยการเพิ่ม RC network ในรูป (2.7)

Gain ของ Second-order Filter สามารถตั้งโดย R_1 และ R_f ส่วน High Cutoff frequency (f_H)หาได้จาก R_2, C_2, R_3 และ C_3 ตามดังนี้

$$f_H = \frac{1}{2\pi\sqrt{R_2R_3C_2C_3}} \qquad (3)$$

สำหรับ Voltage gain magnitude มีสมการดังนี้

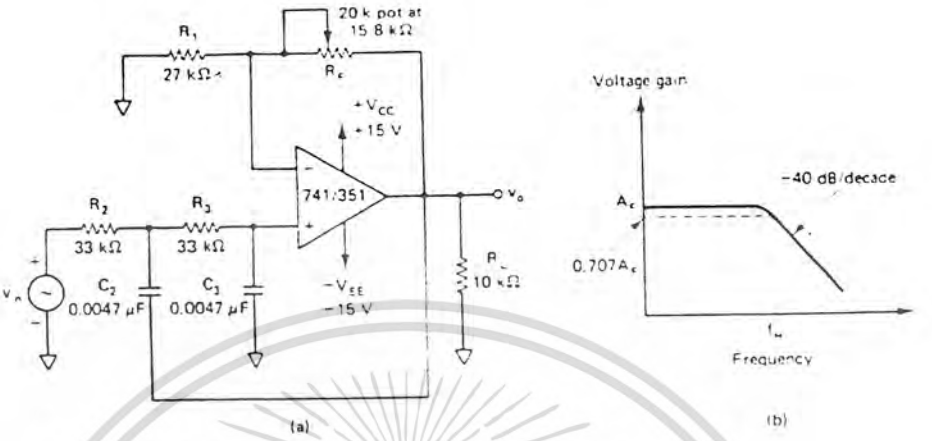
$$\left|\frac{Vo}{Vin}\right| = \frac{Af}{\sqrt{1 + (f/f_H)^4}} \qquad (4)$$

ในขณะที่ $Af = 1 + \frac{R_f}{R_1}$ = Pass band gain ของ Filter

f = ความถี่ของสัญญาณ Input (Hz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_H = \frac{1}{2\pi\sqrt{R_2R_3C_2C_3}} = \text{High Cutoff frequency (Hz)}$$



รูปที่ 2.7 แสดงวงจร SECOND-ORDER LOW-PASS FILTER

Filter Design

การออกแบบ Second-order low-pass Filter มีลักษณะเหมือนกันกับ First-order ดังนี้

1. เลือกค่าของ High Cutoff frequency (f_H)
2. คำนวณหาค่า R โดยให้ $R_2 = R_3 = R$ และ $C_2 = C_3 = C$ โดยเลือกค่า $C \le 1\mu F$
3. คำนวณค่า R โดยใช้สมการ $R = \frac{1}{2\pi f_H C}$
4. ด้วยเหตุที่ ($R_2 = R_3$) และ ($C_2 = C_3$) ค่าของ Pass band voltage gain $Af = C_1 + \frac{R_f}{R_1}$ ของ Second-order low-pass Filter มีค่าเท่ากับ 1.586 ดังนั้น $R_f = 0.586R_1$ ด้วยเหตุนี้จึงเลือก $R_1 \le 100k\Omega$ และคำนวณค่า R_f

2.10 FIRST-ORDER HIGH-PASS BUTTERWORTH FILTER

High-pass Filter มีรูปแบบที่คล้ายกับ Low-pass filter เปลี่ยนตรงตำแหน่งของ R และ C ใน First-order High-pass Filter มีรูปแบบมาจาก First-order Low-pass แตกต่างตรงส่วนประกอบของ R และ C ส่วน Second-order High-pass Filter มีรูปแบบเหมือนกับ Second-order Low-pass Filter ถ้า R และ C สับเปลี่ยนตำแหน่งกัน ในรูปที่ 2.8 ได้แสดงรูปของ First-order high-pass Butterworth Filter ด้วย Low Cutoff frequency (f_L)ค่าความถี่ของ Magnitude Gain เป็น 0.707 สังเกตได้ชัดว่าความถี่ Pass band มีค่าสูงกว่าความถี่ของ f_L สำหรับ First-order High-pass Filter ในรูป 2.8 มี Output Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Vo = \left(1 + \frac{R_f}{R_1}\right)\frac{j2\pi fRC}{1 + j2\pi fRC}Vin$$

หรือ $$\frac{Vo}{Vin} = Af\left[\frac{j(f/f_L)}{1 + j(f/f_L)}\right] \qquad (5)$$

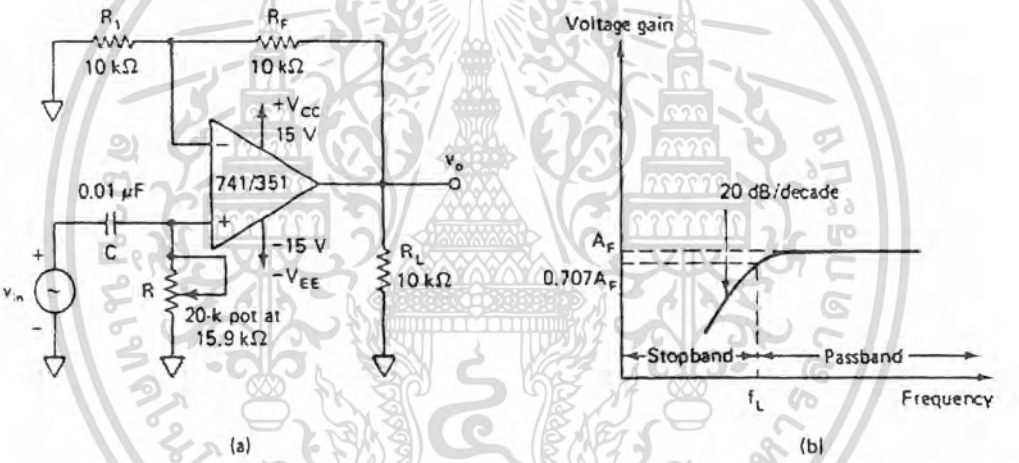
ในขณะที่ $Af = 1 + \frac{R_f}{R_1}$ = Pass band Gain ของ Filter

f = ความถี่ของสัญญาณ Input (Hz)

$f_L = \frac{1}{2\pi RC}$ = Low Cutoff frequency (Hz)

Magnitude ของ Voltage Gain เป็น

$$\left|\frac{Vo}{Vin}\right| = \frac{Af(f/f_L)}{\sqrt{14(f/f_L)^2}}$$



รูปที่ 2.8 แสดงวงจร First-order High-pass Filter

2.11 SECOND-ORDER HIGH-PASS BUTTERWORTH FILTER

ในกรณีนี้ First-order Filter, Second-order high-pass Filter เปลี่ยนมาจาก Second-order low-pass Filter โดยการสลับเปลี่ยนของ R และ C รูปใน (2.9) แสดงรูป Second-order High-pass Filter

สมการ Voltage gain magnitude ของ Second-order high-pass Filter เป็นดังนี้

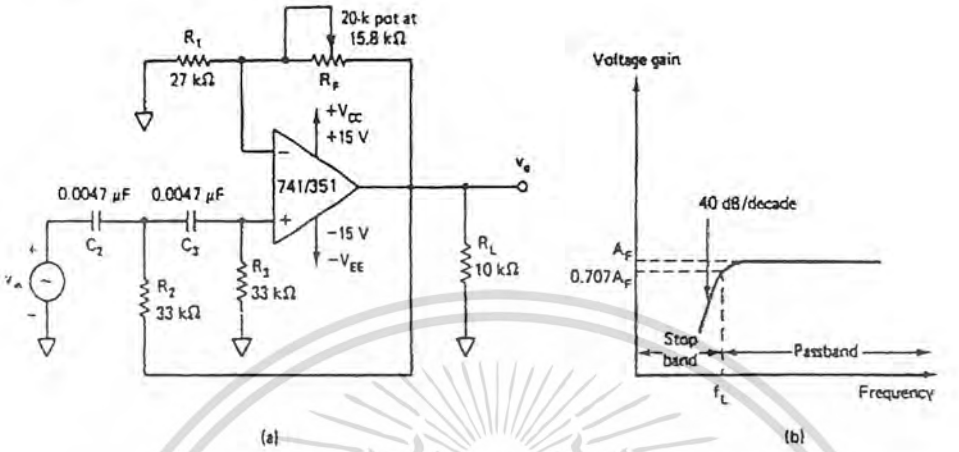
$$\left|\frac{Vo}{Vin}\right| = \frac{Af}{\sqrt{1 + (f_L/f)^4}} \qquad (7)$$

ในขณะที่ $Af = 1.586$ = Pass band gain สำหรับ Second-order Butterworth

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f = ความถี่ของสัญญาณ Input (Hz)

f_L = Low Cutoff frequency (Hz)



รูปที่ 2.9 แสดงวงจร Second-order low-pass Filter

2.12 BAND-PASS FILTER

Band-pass Filter มี Pass band อยู่ระหว่าง ความถี่ Cutoff 2 ตัว คือ f_H และ f_L ดังนั้น $f_H > f_L$ ส่วนความถี่นอก Pass band จะมีน้อย

โดยพื้นฐานแล้ว Band-pass Filter แบ่งเป็น 2 ประเภทคือ 1. Wide Bandpass และ 2. Narrow band pass อย่างไรก็ตามเราจะหานิยามของ Wide band pass ได้ถ้า figure of merit หรือ Quality factor $Q < 10$ แต่ถ้า $Q > 10$ เราจะเรียกว่า Narrow band-pass filter โดยใช้ค่าของ Q ในการเลือกว่าจะเป็น Wide band pass หรือ Narrow band pass (BW) มีความสัมพันธ์ระหว่าง Q ที่ Band width 3-dB และความถี่ center (f_C) โดย

$$Q = \frac{f_C}{BW} = \frac{f_c}{f_H - f_L} \qquad (9\ a)$$

สำหรับ Wide pass Filter ความถี่ Center (f_C) มีนิยามคือ

$$f_C = \sqrt{f_H f_L} \qquad (9\ b)$$

ในขณะที่ f_H = High Cutoff frequency (Hz)

f_L = Low Cutoff frequency ของ Wide band-pass Filter (Hz)

ใน Narrow band-pass Filter จะมี Output Voltage สูงที่ความถี่ Center (f_C)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.13 WIDE BAND-PASS FILTER

Wide band-pass Filter มีรูปแบบจากการ Cascade ของ High-pass และ Low-pass โดยทั่วไปจะเลือก a ± 20 dB/ decade band pass ระหว่าง First-order high-pass และ First-order low-pass หรือ a± 40 dB / decade band-pass filter ระหว่าง Second-order high-pass และ low-pass filter ซึ่งขึ้นอยู่กับ order ของ high-pass และ low-pass Filter ในรูป(2.10) แสดงที่ ± 20 dB/ decade Wide band-pass filter ซึ่งประกอบด้วย First-order high-pass และ First-order low-pass Filter และในการทำให้เป็นจริง f_H จะต้องมากกว่า f_L ดังในรูปตัวอย่างที่ (2.10)

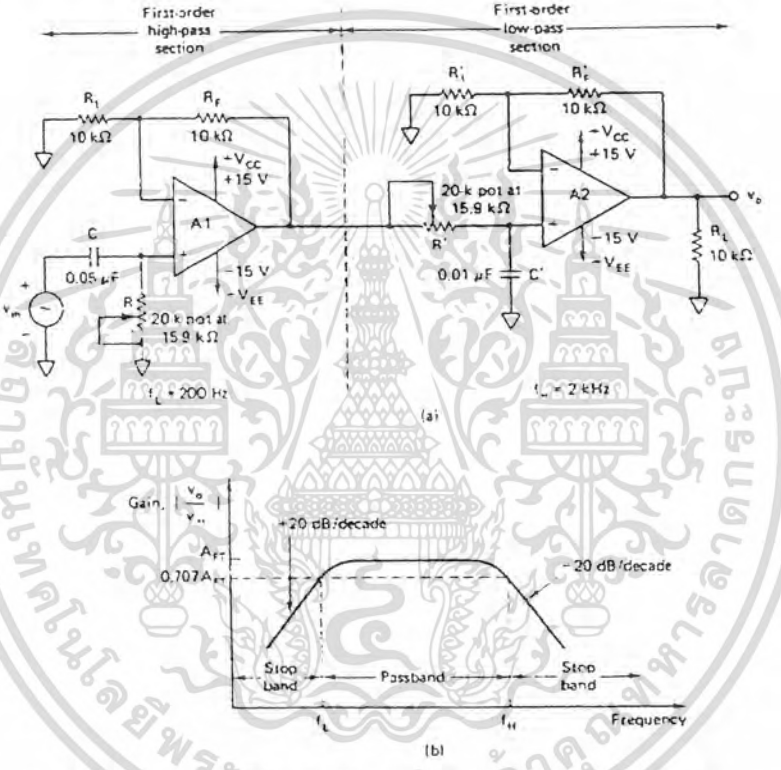


Figure 8–11 (a) ±20 dB/decade-wide band-pass filter. (b) Its frequency response. A_1 and A_2 dual op-amp: 1458/353.

รูปที่ 2.10 แสดงวงจร Wide band-pass Filter

ตัวอย่างที่ 1

(a) ออกแบบวงจร Wide band pass filter ด้วย $f_L = 200\text{Hz}$, $f_H = 1\text{kHz}$ และ Pass band gain = 4

(b) วาดการตอบสนองของความถี่ของ Filter

(c) คำนวณค่าของ Q สำหรับ Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42251

วิธีทำ

(a) Low-pass filter ที่ $f_H = 1\text{kHz}$ ทำการออกแบบตามสมการ Low-pass filter จะได้ค่าของ R และ C สามารถใช้ในค่า $R = 15.9\,\text{k}\Omega$ และ $C = 0.01\ \mu F$ ส่วนในกรณีของ High-pass filter มันสามารถออกแบบโดยใช้ขั้นตอนการออกแบบคล้ายกับการออกแบบ Low-pass ได้

$f_L = 200\text{Hz}$

ให้ $C = 0.05\ \mu F$

ดังนั้น $R = \dfrac{1}{2\pi f_L C} = \dfrac{1}{(2\pi)(200)(5)(10^{-8})} = 15.9\text{k}\Omega$

สำหรับ Band-pass gain เป็น 4 เพราะฉะนั้น Gain ของ High-pass และ Low-pass จะต้องเท่ากับ 2 ส่วน R ที่ใช้ในการ Feedback Input ควรจะต้องเท่ากับค่า $10\text{k}\Omega$ ซึ่ง Band-pass filter ที่สมบูรณ์แสดงในรูป (6a)

(b) Voltage gain magnitude ของ High-pass และ Low-pass Filter ดังสมการ

$$\left|\frac{Vo}{Vin}\right| = \frac{Aft(f/f_L)}{\sqrt{\left[1+(f/f_L)^2\right]\left[1+(f/f_H)^2\right]}} \qquad (10)$$

ในขณะที่ Aft = Total pass band gain

f = ความถี่ของสัญญาณ Input (Hz)

f_L = Low Cutoff frequency (Hz)

f_H = High Cutoff frequency (Hz)

ค่าของ f จาก 10Hz ถึง 10kHz แสดงในรูป 8.12

(c) จากสมการ (9 b)

$$f_C = \sqrt{(1000)(200)} = 447.2\text{ Hz}$$

ตามสมการ (8.9 a)

$$Q = \frac{447.2}{100 - 200} = 0.56$$

ค่า Q น้อยกว่า 10 ดังนั้นใช้สำหรับ Wide band-pass Filter

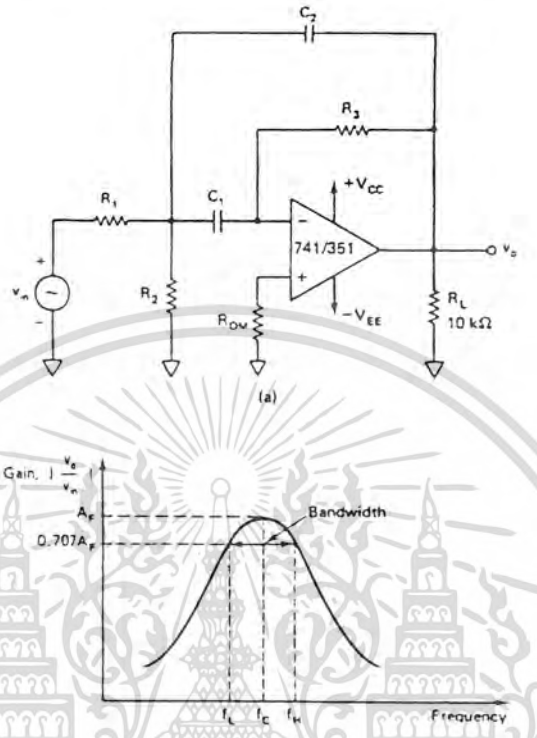
2.14 NARROW BAND-PASS FILTER

วงจร Narrow band-pass Filter แสดงในรูป (7) โดยใช้ Op-Amp เท่านั้นโดยเมื่อเปรียบเทียบกับ Filter วงจรอื่นจะมีลักษณะที่แตกต่างกันตามองค์ประกอบดังนี้

1. มันมี Feedback 2 paths ด้วยเหตุนี้จึงมี multiple-feedback filter
2. Op-Amp ที่ใช้เป็นแบบ inverting mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยทั่วไป Narrow band-pass Filter จะมีการออกแบบโดยเฉพาะเลือกจากค่าความถี่ Center (f_C) และ Q หรือ (f_C) และ Band width วงจรประกอบด้วยส่วนประกอบที่มีความสำคัญกันดังนี้



รูปที่ 2.11 แสดงวงจร Narrow band-pass Filter

ให้เลือก $C_1 = C_2 = C$

$$R_1 = \frac{Q}{2\pi f_C C A f} \qquad (11)$$

$$R_2 = \frac{Q}{2\pi f_C C\left(2Q^2 - Af\right)} \qquad (12)$$

$$R_3 = \frac{Q}{\pi f_C C} \qquad (13)$$

ในขณะที่ Af เป็น Gain ที่ f_C โดย

$$Af = \frac{R_3}{2R_1} \qquad (14\ a)$$

Gain (Af) อย่างไรก็ตามจะต้องให้

$$Af < 2Q^2 \qquad (14\ b)$$

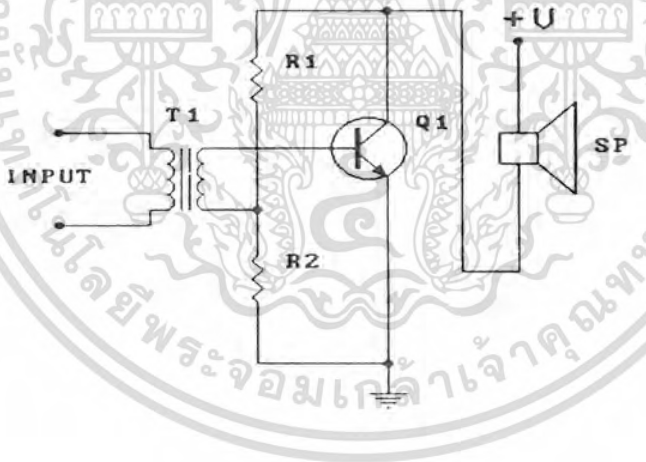
สามารถเปลี่ยนความถี่ Center (f_C) ได้เป็น $\left(f_C'\right)$ โดยปราศจากการเปลี่ยน Gain หรือ Band width โดยการเปลี่ยนที่ R_2 ไปเป็น R_2'

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_2' = R_2\left(\frac{f_C}{f_C'}\right)^2 \qquad (15)$$

2.15 หลักการเบื้องต้นของวงจรเพาเวอร์แอมป์

วงจรออดิโอเพาเวอร์แอมป์หรือวงจรขยายสัญญาณเสียง ซึ่งวงจรนี้ประกอบด้วยทรานซิสเตอร์ที่สามารถจะทำการเปลี่ยนระดับสัญญาณที่มีความแรงปานกลางให้มีความแรงมากขึ้น ซึ่งสัญญาณดังกล่าวนี้ได้มาจากวงจรปรีแอมป์ระบบของการขับกำลังจะเป็นระบบขับกำลังวงจร AC ที่มีอิมพีแดนซ์ปานกลางออดไปยังวงจรเครื่องขยายเสียงที่ดีต้องคำนึงถึงสัญญาณที่ออกไปจะต้องไม่ผิดเพี้ยน วงจรขยายเสียงโดยทั่วไปอาจจะมีทรานซิสเตอร์มากกว่า 1 ตัวก็ได้ในทางด้านภาคเอาท์พุต โดยทรานซิสเตอร์ทางด้านภาคเอาท์พุตจะต้องเป็นทรานซิสเตอร์ที่เรียกว่า "เพาเวอร์ทรานซิสเตอร์" โดยหลักการแล้วเรายังสามารถแบ่งระบบของเพาเวอร์ทรานซิสเตอร์หรือวงจรด้านเอาท์พุตออกเป็น 3 อย่างใหญ่ๆ ใยขั้นตอนเบื้องต้นซึ่งนั่นหมายความว่าเมื่อมีการพัฒนาการขึ้นมาอาจจะมีระบบที่มากกว่า 3 ยย่างนี้ก็ได้ แต่การเริ่มต้นที่จะเรียนรู้ในด้านนี้เราจะต้องไปเริ่มต้นตั้งแต่วงจรขยายที่เรียกว่า วงจรขยายคลาส เอ (CLASS A) วงจรขยายคลาส บี (CLASS B) และวงจรขยายคลาสเอบี (CLASS AB)



รูปที่ 2.12 วงจรขยายคลาส A

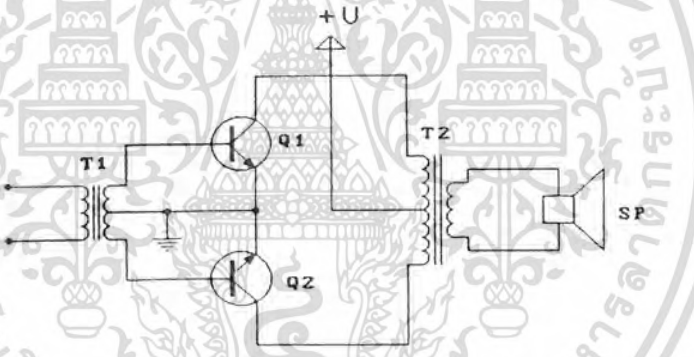
เมื่อพิจารณารูปที่ 2.12 ซึ่งเป็นการแสดงถึงวงจรขยายคลาส เอ วงจรเดี่ยวหรือที่เรียกว่าซิงเกิลบีเจที(SIN GLE BJT) ซึ่งเป็นวงจรขยายคลาส เอ คอมม่อนอิมิเตอร์ที่เราได้ต่อวงจรเอาท์พุตหรือลำโพงไว้ที่ขาคอนเล็คเตอร์ เพื่อจะให้ลำโพงเป็นโหลดให้กับวงจรขยายคลาส เอ สามารถทำงานด้วยสัญญาณที่ส่งมาทางอินพุต

จากรูปที่ 2.12 ได้แสดงถึงการทำงานของทรานซิสเตอร์ Q1 ว่าจะต้องทำงานด้วยกระแสสงบหรือต้องมีกระแสสงบ เพื่อจะให้ไบแอสเป็น 0 หรือการคัทออฟวงจร ดังนั้นการออกแบบเพื่อจะให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสของโหลดหรือลำโพงอยู่ในสภาวะที่ไม่เป็นการทำลายลำโพงค่อนข้างที่จะลำบาก ถ้าลำโพงนั้นมี AC และ DC อิมพีแดนซ์ไม่สอดคล้องกัน ซึ่งเราจะพบว่าระบบของการจัดวงจรแบบนี้จะใช้เครื่องขยายเสียงแบบเก่าๆ และลำโพงที่ใช้จะต้องมีอิมพีแดนซ์สูงๆ เมื่อวงจรทำงานในลักษณะที่เป็นทั้งระบบอิมพีแดนซ์ AC และ DC เราจะต้องคำนึงถึงอิมพีแดนซ์ของลำโพง เพื่อให้เกิดกระแสสงบที่สอดคล้องกันกับการทำงานของภาคจ่ายไฟ

อย่างไรก็ตามวงจรขยายที่เป็นคลาส เอ จะให้สัญญาณที่ทางออกที่มีความผิเพี้ยนน้อยมากแต่อย่างไรก็ดีการทำงานของทรานซิสเตอร์ Q1 ในสถานะอย่างนี้ เมื่อทรานซิสเตอร์ ทำการขับกระแสอย่างต่อเนื่อง ย่อมจะทำให้ประสิทธิภาพของวงจรลดลง ดังนั้นเพื่อจะยังคงสภาวะของประสิทธิภาพอันนี้ไว้ วงจรเครื่องขยายเสียงที่เป็นคลาส A จะต้องออกแบบให้ทรานซิสเตอร์ทำงานได้ไม่เกิน 40% ของความสามารถของทรานซิสเตอร์ ถ้าหากว่าเราจะเพิ่มประสิทธิภาพขึ้นมาเป็น 50% จะเป็นสภาวะสูงสุดของทรานซิสเตอร์ประสิทธิภาพจะตกลงมา 4% ความผิดพลาดหรือความผิดเพี้ยนสำหรับระบบนี้ก็จะเกิดขึ้น



รูปที่ 2.13 วงจรเพาเวอร์แอมป์คลาส B

ดั้งนั้นการออกแบบวงจรในรุ่นต่อมาจึงได้ออกแบบวงจรเป็นวงจรขยายคลาส B (CLASS B AMPLIFIER) ซึ่งแสดงไว้แล้วในรูปที่ 2.13 เราจะนำเอาทรานซิสเตอร์ที่เป็นระบบ BJT Q1 และ Q2 ที่ทำงานกลับเฟสกันอยู่ 180 โดนทรานซิสเตอร์ดังกล่าวนั้นถูกออกแบบเป็นวงจรคอมม่อนอิมิเตอร์ขับออกลำโพงในระบบพุชพูล โดยใช้หม้อแปลง T2 และแยกเฟสสัญญาณด้วยหม้อแปลง T1 เพื่อทำให้อินพุตของทรานซิสเตอร์ Q1 และทรานซิสเตอร์ Q2 กลับเฟสสัญญาณกันอยู่ 180 เราจะจ่ายไฟจากแหล่งจ่ายไฟเข้าไปยังจุดกึ่งกลางของหม้อแปลง T2 ซึ่งเป็นหม้อแปลงความถี่เสียง (AUDIO PUSH-PULL TRANSFORMER) เพื่อจ่ายไฟเข้าไปยังขา C ของทรานซิสเตอร์ Q1 และขา C ของทรานซิสเตอร์ Q2 โดยทรานซิสเตอร์ 2ตัวนี้ขา E จะต่อลงกราวด์เราจะป้อนสัญญาณเข้าที่ขาอินพุต โดยมีหม้อแปลง T1

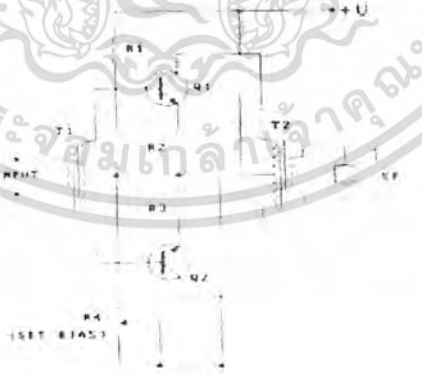
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำหน้าที่คัปปลิ้งสัญญาณเสียงทำให้สัญญาณเสียงถูกเหนี่ยวนำออกมาทางด้านหม้อแปลงทางด้านออก (SECONDARY) ส่งสัญญาณเข้าที่ขา B ของทรานซิสเตอร์ Q1 และทรานซิสเตอร์ Q2 แต่เนื่องจากว่าทรานซิสเตอร์ที่เป็นบีเจที (BJT) ดังกล่าวยังไม่ไบแอสในขั้นต้น เมื่อสัญญาณเข้ามายังขา B จึงทำให้ทรานซิสเตอร์ 2 ตัวนี้เริ่มทำงาน มีการนำกระแสหรือขยายสัญญาณออกไปส่งออกให้กับทรานส์ฟอร์เมอร์ T2 ซึ่งทำหน้าที่เป็นโหลดให้กับทรานซิสเตอร์ 2 ตัวได้ สัญญาณเสียงที่ได้รับการขยายแล้วจึงสามารถส่งออกไปยังลำโพงได้ในที่สุด

ในระบบนี้จะให้ประสิทธิภาพการทำงานได้สูงถึง 79% แต่อย่างไรก็ตาม เราจะพบว่าสัญญาณที่ถูกส่งไปยังขา B ของทรานซิสเตอร์ทั้ง 2 ตัวนี้ จะต้องขับสัญญาณตั้งแต่จุดที่เรียกว่าซีโรครอสซิ่ง (ZERO CROSSING VOLTAGE) และสัญญาณที่จะส่งเข้ามาจะต้องมีความแรงของสัญญาณไม่น้อยกว่า 600mV จึงทำให้เพาเวอร์ทรานซิสเตอร์สามารถทำงานได้ในระบบดังกล่าวนี้

2.16 หลักการพื้นฐานของเครื่องขยายคลาส AB

วงจรขยายที่เป็นคลาส AB ที่แสดงไว้ในรูปที่ 2.14 คงจะหาดูได้ยากแล้ว เพราะวงจรดังกล่าวนี้จำเป็นต้องมีการแยกเฟสให้เฟสของสัญญาณที่จะส่งให้กับทรานซิสเตอร์ Q1 และทรานซิสเตอร์ Q2 ต่างเฟสสัญญาณกันอยู่ 180 วิธีการดังกล่าวทำได้โดนใช้ทรานฟอร์เมอร์อินพุต T1 มาเป็นตัวแยกเฟสของสัญญาณ เพื่อจะทำให้ทรานซิสเตอร์ทั้ง 2 ตัว ตัวละ 1 เฟสสัญญาณ แล้วส่งผลขับเฟสสัญญาณออกไปยังโหลดของทรานซิสเตอร์ทั้ง 2 ตัวคือทรานส์ฟอร์เมอร์เอาท์พุท T2 นั่นเองและเพื่อให้ทรานฟอร์เมอร์เอาท์พุต T2 ทำหน้าที่เป็นตัวถ่ายทอดกำลังงานที่ได้จากการทำงานของทรานซิสเตอร์ส่งออกไปยังลำโพงได้ในที่สุด

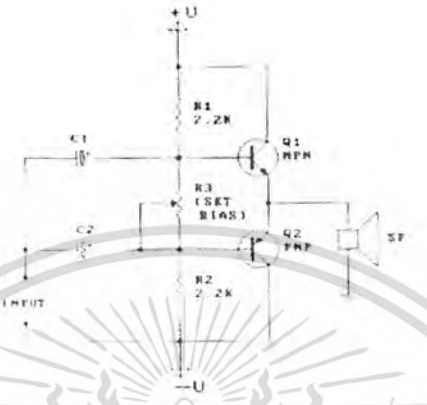


รูปที่ 2.14 วงจรเพาเวอร์แอมป์คลาส AB

ทรานซิสเตอร์ที่เอามาใช้จะต้องเป็นเพาเวอร์ทรานซิสเตอร์และจะต้องเป็นทรานซิสเตอร์ที่มีค่าพารามิเตอร์ต่างๆ เท่ากันเบอร์เดียวกัน ผลิตในครั้งเดียวกัน จึงสามารถที่จะแก้ปัญหาความผิดเพี้ยนของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณได้ เมื่อวงจรดังกล่าวได้จัดไบอัสให้กับทรานซิสเตอร์ขึ้นมาเป็นอิสระ โดยใช้รีจิสเตอร์ R1 และรีจิสเตอร์ R4 เป็นตัวตั้งไบอัสให้กับทรานซิสเตอร์ทั้ง 2 ตัว ย่อมจะทำให้การทำงานของทรานซิสเตอร์รอดพ้นจากสภาวะซีโร่ครอสโอเวอร์



รูปที่ 2.15 วงจรเพาเวอร์แอมป์คลาส AB แบบคอมเมนตารี่ที่ใช้เอาท์พุตเป็นวงจรอีมิตเตอร์-ฟอลโลเวอร์ ใช้ไฟเลี้ยงชุดเดียว

ในส่วนของวงจรขยายที่เป็นคลาส AB ยังมีวิธีการอีกวิธีหนึ่งก็คือวิธีการในรูปที่ 2.15 จากรูปที่ 2.15 นั้น เป็นวิธีการที่เราเรียกว่า คอมพลีเมนตารี่ (COMPLEMENTARY) โดยหลักการของเครื่องขยายเสียงคอมพลีเมนตารี่ ก็คือวิธีการที่เรานำเอาทรานซิสเตอร์ที่ต่างชนิดกันที่ตัวหนึ่งเป็นทรานซิสเตอร์ชนิด NPN (Q1) เป็นอีกตัวหนึ่งเป็นทรานซิสเตอร์ชนิด PNP (Q2) โดยทรานซิสเตอร์ทั้งคู่นี้จะต้องเป็นทรานซิสเตอร์ที่เป็นคู่แมทช์แพร์(MATCH) ซึ่งเป็นทรานซิสเตอร์ชนิดต่างกัน แต่มีคุณสมบัติเหมือนกันทุกประการเข้ามาใช้ในภาคเอาท์พุตที่เป็นวงจรอีมิตเตอร์ฟอลโลเวอร์ (EMITTER-FOLLOWER) หรือวงจรที่ขับสัญญาณออกทางขาอิมิเตอร์นั่นเอง วงจรดังกล่าวนี้ต้องใช้ระบบของการจ่ายไฟ 2 ชุด โดนมีรีซิสเตอร์ R1 และ R2 ทำหน้าที่ในการติดตั้งไบอัสให้กับวงจรเอาท์พุตเพื่อให้จุดต่อลำโพงมีแรงไฟเท่ากับ 0 V มิเช่นนั้นแล้วย่อมทำให้เกิดกระแสไฟฟ้าไหลผ่านไปยังลำโพงและทำให้ลำโพงขาดได้ วงจรดังกล่าวนี้เราสามารถที่จะตั้งไบอัสของทรานซิสเตอร์ทั้งคู่ด้วยการปรับค่า R3 การตั้งค่าของ R3 ย่อมจะทำให้เกิดแรงดันไฟไบอัสให้แก่ทรานซิสเตอร์ทั้งคู่ด้วยค่าต้านทานของรีซิสเตอร์ แรงดันไฟตกคร่อมที่รีซิสเตอร์ R3 จะถูกส่งไปไบอัสของทรานซิสเตอร์ Q1 และ Q2 การตั้งไบอัสนี้ก็คือการกำหนดกระแสสงบในการแก้ไขความผิดเพี้ยนครอสโอเวอร์(CROSSOVER DISTORTION)นั่นเอง

วงจรดังกล่าวมีข้อเด่นอยู่ที่ว่า ไม่ต้องมีระบบการแยกเฟสสัญญาณเพราะสัญญาณที่ป้อนเข้ามาจากจุดที่เขียนว่า อินพุต (INPUT) จะถูกคัปปลิ้งเข้าไปยังวงจรเพาเวอร์แอมป์ด้วยคาปาซิเตอร์ C1 และ C2 ทรานซิสเตอร์ Q1 เป็นทรานซิสเตอร์ชนิด NPN ทรานซิสเตอร์ Q2 เป็นทรานซิสเตอร์ชนิด PNP

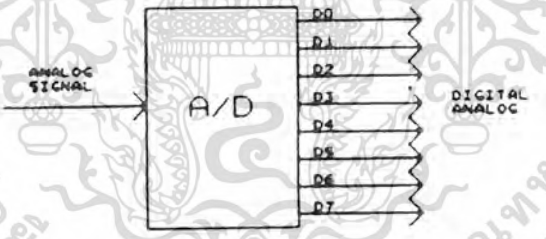
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์ดังกล่าวนี้ย่อมจะขับสัญญาณต่างเฟสกัน 180 กล่าวคือทรานซิสเตอร์ Q1 จะขับสัญญาณได้เฉพาะเฟสบวกเท่านั้นและทรานซิสเตอร์ Q2 จะขับกระแสหรือขยายสัญญาณเสียงเฉพาะเฟสลบเท่านั้น

เนื่องจากวงจรตามรูปที่ 2.15 เป็นวงจรที่ขับสัญญาณออกทางขาอีมิตเตอร์ หรืออีมิตเตอร์ฟอลโลเวอร์(EMITTER FOLLOWER) ดังนั้นจุดออกลำโพงจึงไม่จำเป็นต้องใช้หม้อแปลงเอาท์พุตอีกต่อไป เพราะหากมีสัญญาณเสียงเฟสบวกเข้ามาวงจรนี้ ทรานซิสเตอร์ Q1 จะขับสัญญาณเฟสบวกออกไปให้กับลำโพงเอง และในทางตรงกันข้ามถ้าหากว่ามีสัญญาณเสียงเฟสลบถูกส่งเข้ามายังวงจรขยายชุดนี้ ทรานซิสเตอร์ Q2 ก็จะทำหน้าที่ของมันคือการขับสัญญาณเฟสลบหรือขยายสัญญาณเฟสลบออกไปยังลำโพงด้วยเช่นกันในเวลาต่อเนื่องกันเราจึงพบว่าในวงจรดังกล่าวสามารถที่จะตัดวงจรเอาท์พุตออกไปได้ จะทำให้ของเสียงที่ขับออกลำโพงมีคุณภาพเสียงที่ดีกว่า

2.17 ANALOG TO DIGITAL

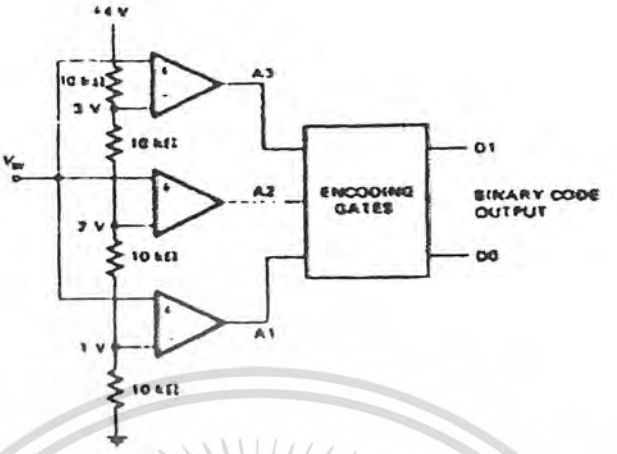
เรื่องของ D/A ซึ่งลักษณะทั่วๆไป ของ D/A และ A/D จะมีความเกี่ยวข้องอย่างมากเมื่อเราสามารถนำสัญญาณ DIGITAL เปลี่ยนเป็น ANALOG ได้แล้วในทางกลับกันเราก็ควรจะเปลี่ยนสัญญาณ ANALOG เป็น DIGITAL ได้ด้วย ซึ่งในจุดนี้จะทำให้เราทำการอ่านค่าข้อมูลทาง ANALOG ได้เช่นค่าความดัน, ค่าอุณหภูมิ โดยจะมีประโยชน์อย่างมากต่องานทางด้านวิศวกรรม



รูปที่ 2.16 แสดงวงจร ANALOG TO DIGITAL

คุณสมบัติของ A/D จะมีลักษณะเหมือนกับ D/A และจะมีคุณสมบัติพิเศษอีก 1 อย่างคือ CONVERSION TIME ดังนี้หมายถึงช่วงเวลาที่ A/D ใช้ในการแปลงสัญญาณ ANALOG เป็น DIGITAL ได้ 1 ค่า A/D ที่ดีควรมี CONVERSION TIME น้อยที่สุดเท่าที่จะน้อยได้ วงจร A/D มีหลักการได้หลายแบบโดยจะกล่าวเป็นข้อๆ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



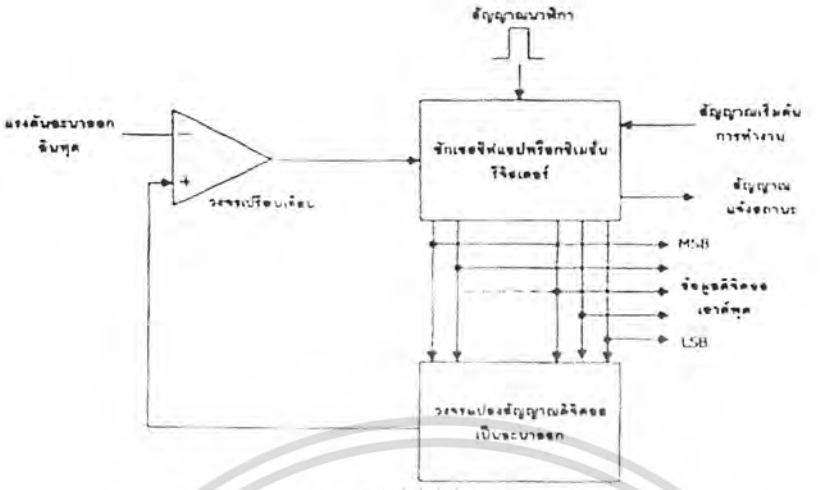
รูปที่ 2.17 แสดงวงจร PARALLEL COMPARATOR A/D

จากรูปที่ 2.17 A/D แบบนี้ใช้หลักการของการเปรียบเทียบแบบขนาน โดยสัญญาณที่จะนำมาแปลงนั้นจะต่อขนานกับตัวเปรียบเทียบทุกตัว สัญญาณจะเข้าที่ขาบวก ส่วนขาลบของตัวเปรียบเทียบจะต่อกับ VOLTAGE อ้างอิงของแต่ละระดับโดยได้มาจากการต่อ DIVIDER ของ R จากวงจรนี้ถ้าสัญญาณที่เข้ามามีค่ากับจุดเปรียบเทียบใดๆ ก็จะทำให้ OUTPUT ของตัวเปรียบเทียบอันนั้นเป็น 1 เช่นถ้าสัญญาณเข้ามา 2.6 V จะทำให้ A1 และ A2 มีค่าเป็น 1OUTPUT A1, A2, A3 นี้ไม่ได้อยู่ในรูปของ BINARY จึงจำเป็นต้องทำการแปลงโดยใช้วงจรทาง LOGIC ทั่วๆไปได้ จุดเด่นาของ A/D แบบนี้ก็คือสามารถทำการ CONVERT ได้เร็วมาก ซึ่งมีค่าทั่วไปอยู่ที่ 20 ns เท่านั้นแต่ข้อเสียก็คือจะต้องสิ้นเปลือง HARDWARE จำนวนมาก รูปนี้คือ A/D ขนาด 2 BIT เท่านั้น ซึ่งต้องใช้ตัวเปรียบเทียบถึง 3 ตัว เขียนเป็นสูตรได้ดังนี้ $2^n - 1$ โดย n คือ จำนวน BIT ที่ต้องการนั้นหมายความว่าถ้าเราต้องการ A/D ขนาด 8 BIT ก็จะต้องใช้ตัวเปรียบเทียบถึง 255 ตัว จึงทำให้ A/D ไม่ค่อยเป็นที่นิยมนัก

2.18 การแปลงสัญญาณอะนาลอกดิจิตอลแบบซักเซสซีฟแอปพร็อกซิเมชั่น (Successive Approximation ADC)

การแปลงสัญญาณอะนาลอกเป็นดิจิตอล (ADC) ที่ได้รับนิยมสูงและมีประสิทธิภาพดีคือการแปลงแบบซักเซสซีฟแอปพร็อกซิเมชั่น ไอซี ADC อาจเรียกกระบวนการ ADC แบบซักเซสซีฟแอปพร็อกซิเมชั่นนี้ว่า เป็นการแปลงแบบประมาณค่าใกล้เคียง ไดอะแกรมการทำงานของกระบวนการ ADC แปบนี้แสดงในรูปที่ 2.18 ส่วนสำคัญหลักคือ วงจรเปรียบเทียบแรงดัน,วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกหรือDAC,สัญญาณนาฬิกา และส่วนควบคุมลอจิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 ไดอะแกรมแสดงการทำงานของวงจร ADC แบบซักเซสซีฟแอปพรอกซิเมชั่น

วงจรADC แบบซักเซสซีฟแอปพรอกซิเมชั่นนี้จะใช้รีจิสเตอร์เลขฐานสองหรือไบนารีรีจิสเตอร์ในการส่งข้อมูลดิจิตอลของวงจร DAC ภายใน แต่ละบิตของรีจิสเตอร์จะเซตและรีเซตโดยการควบคุมจากวงรควบคุม ต่อไปจะอธิบายการทำงานของ ADC แบบนี้ไปทีละขั้นตอน ขอให้พิจารณาไดอะแกรมเวลารูปที่ 2.19 ประกอบด้วย

กำหนดให้แรงดันอนาลอกอินพุต (Vin) มีค่า 13.5 V

1.ส่งสัญญาณเริ่มต้นการทำงาน (start convertor)มายังซักเซสซีฟแอปพรอกซิเมชั่นรีจิสเตอร์ (succexxive approximation register)

2.ขณะนี้สถานะของรีจิสเตอร์จะไม่ว่าง (busy) สัญญาณนาฬิกาลูกแรกถูกส่งเข้ามาเพื่อกำหนดให้ค่าของรีจิสเตอร์เท่ากับ 0000

3.เอาท์พุตของ DAC จะเท่ากับ 0V ส่งไปในวงจรเปรียบเทียบกับ Vin ในขณะนี้จะได้เอาท์พุตเท่ากับ

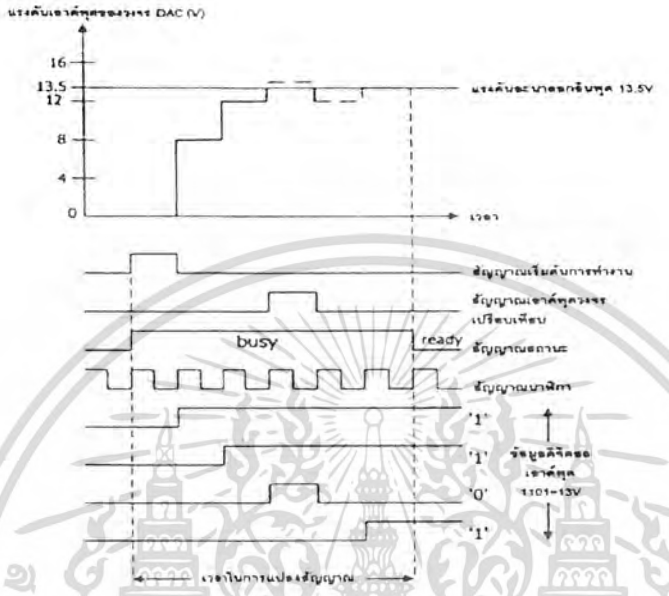
-5V กำหนดเป็นลอจิก 0

4.เมื่อสัญญาณนาฬิกาลูกต่อไปมาแจะทำการเซตบิต MSB ของรีจิสเตอร์เป็น 1

5.ในกรณีนี้เป็น ADC ขนาด 4 บิต ดังนั้นการที่บิต MSB เซตจะทำให้วงจร DAC แปลงค่าเป็นแรงดัน 8V นำไปเปรียบเทียบที่วงจรเปรียบเทียบแรงดัน แต่ก็ยังน้อยกว่า Vin ดั้งนั้นเอาท์พุตของวงจรเปรียบแรงดันยังคงเป็น 0 ทำให้รีจิสเตอร์ยังคงค่าบิต MSB ให้เป็น 1 ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.ต่อมาบิต B2 (ถัดจากบิต MSB 1 บิต เนื่องจากมี 4บิต กำหนดบิต MSB=B3)จะเซตซึ่งจะมีค่าเท่ากับ 4V นำไปรวมกับค่าของบิต MSB ที่มีอยู่ 8V เช่น 12V นำไปเปรียบเทียบกับ Vin ก็ยังน้อยกว่ารีจิสเตอร์จึงยังคงค่า B2 ไว้ที่ 1 เช่นกัน



รูปที่ 2.19 ไดอะแกรมเวลาแสดงการทำงานของวงจร ADC แบบซักเซสซีฟแอปพร็อกซิเมชั่น

7.ต่อมาบิต B1 จะเซตทำให้แรงดันเอาท์พุตมา DAC กลายเป็น 8+4+2 = 14 V ซึ่งมากกว่า Vin ทำให้วงจรเปรียบเทียบเกิดการเปลี่ยนสถานะเป็น 1 ซึ่งจะส่งสัญญาณมาควบคุมให้ B1 กลายเป็น 0

8.เมื่อบิต LSB ถูกเซต จะมีค่าแรงดัน 1V เข้ามารวมกับค่าของ B3,B2 และ B1 เป็น 8+4+2+1=13V นำไปเปรียบเทียบกับ Vin ปรากฏว่าน้อยกว่า Vin ทำให้ที่บิต B0 หรือ LSB มีค่าเป็น 1

9.ขณะนี้ทุกบิตในรีจิสเตอร์ถูกนำมาแปลงค่าเรียนร้อยแล้ว ทำให้สถานะของรีจิสเตอร์กลับมาเป็น พร้อมทำงาน (ready)

10.ข้อมูลดิจิตอลที่ได้จากการ ADC แบบนี้ จะมีค่า 1101 หรือ 13V ซึ่งใกล้เคียงกับ Vin 13.5V มากที่สุด ถ้าหากรีจิสเตอร์มีจำนวนบิตมากกว่านี้ ความละเอียดของข้อมูลที่แปลงได้จะมีความใกล้เคียงมากที่สุด ช่วงเวลาของการแปลงสัญญาณจะเริ่มต้นขึ้นตั้งแต่สัญญาณนาฬิกาลูกแรกถูกส่งเข้าเตรียมระบบไปจนถึงเมื่อสถาวะของ รีจิสเตอร์กลับมาเป็น พร้อมทำงาน อีกครั้งหนึ่ง ซึ่งจะต้องใช้จำนวนสัญญาณนาฬิกาเท่ากับ n+1 พัลส์ โดย n เท่ากับจำนวนบิตของรีจิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นถ้าหาก ADC แบบซักเซสซีฟแอปพร็อกซิเมชั่นขนาด 4 บิต ตามตัวอย่างที่อธิบายมานี้ใช้สัญญาณนาฬิกาความถี่ 50 kHz เวลาที่ใช้ทั้งหมดในการแปลงสัญญาณจะคำนวนได้ดังนี้

1.คำนวนคาบเวลาของสัญญาณนาฬิกา

fclk= 50kHz= $50*10^3$

T=$1/50*10^3$=20 มิลลิวินาที

2.จำนวนสัญญาณนาฬิกาทั้งหมดที่ใช้ในการแปลงเท่ากับ n+1 ,n มีค่าเท่ากับ 4 เนื่องจากมีจำนวน 4 บิต ดั้งนั้นจำนวนสัญญาณนาฬิกาที่ใช้ทั้งหมดจึงเท่ากับ 4+1=5

3.เวลาทั้งหมดที่ใช้เท่ากับ 5*20= 100 มิลลิวินาที

จะเห็นว่าวงจร ADC แบบซักเซสซีฟแอปพร็อกซิเมชั่นมีความเร็วในการทำงานสูงพอสมควร เหมาะอย่างยิ่งในการนำไปใช้กับไมโครคอนโทรลเลอร์ขนาดกลางอย่าง MCS-51

ความเที่ยงตรงของวงจร ADC

เป็นการเปรียบเทียบสัญญาณอะนาลอกของวงจร ADC กับแรงดันที่ควรจะเกิดขึ้นจริง ยกตัวอย่างที่ข้อมูลดิจิตอลสูงสุดของวงจร ADC ขนาด 8บิตเมื่อเทียบเป็นแรงดันอะนาลอกควรมีค่าเท่ากับ 5.0000 V แต่จากการคำนวนในตัวอย่างก่อนหน้านี้ได้แรงดัน 4.9804V นั้นคือเกิดความผิดพลาดเท่ากับ 0.0195V หรือ 19.5mV แต่การบอกค่าความเที่ยงตรงของวงจร ADC มันระบุเป็นจำนวนที่ เทียบกับ VLSB ดั้งนั้นในวงจร ADC ขนาด 8 บิตที่ยกตัวอย่างนี้จึงมีค่าความเที่ยงตรง (หรือบางเรียกเป็นค่าความผิดพลาด) เป็น ±1/2LSB

2.19 ค่าเวลาในการแปลงสัญญาณ (conversion time)

เป็นค่าของเวลาทั้งหมดที่วง ADC แบบวงจรนับแรมป์ และแบบซักเซสซีฟแอปพร็อกซิเมชั่นใช้ในการแลงสัญญาณอะนาลอกเป็นดิจิตอลจนเสร็จสิ้นลง จะส่งสัญญาณที่เรียกว่า EOC(End of conversion)ออกมา

ค่าเวลาในการแปลงสัญญาณในวงจร ADC จะขึ้นอยู่กับจำนวนบิตของวงจร,ค่าความถี่ของสัญญาณนาฬิกาที่ใช้ในการสัญญาณและขนาดของสัญญาณอะนาลอกอินพุต

2.20 ข้อมูลเบื้องต้นของ PCF8591

ในการทดลองนี้ใช้ไอซี ADC ที่มีความสามารถสูงเบอร์ PCF8591 เนื่องจากในตัวมันมีวงจร ADCแบบซักเซสซีฟแอปพร็อกซิเมชั่นขนาด 8 บิตสูงถึง 4ช่องทั้งยังมีวงจร DAC อีก 1 ช่องด้วยระบบการเชื่อมต่อเป็นแบบบัส I^2C ทำให้ใช้สายสัญญาณเพียง 2เส้น ทั้งยังสามารถต่อพ่วงกันได้สูงสุด 8 ตัว ทำให้ได้วงจร ADC รวมสูงถึง 32 ช่องและวงจร DAC รวม 4 ช่อง ทำให้สามารถนำไปประยุกต์ใช้งานได้อย่างกว้างขวาง มีรายละเอียดคุณสมบัติทางเทคนิคดังนี้

-ทำงานได้โดยใช้แหล่งจ่ายไฟเดียว

-ทำงานที่แรงดัน 2.5V ถึง 6V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-กินกระแสขณะอยู่ในสถาวะสแตนบายต์ต่ำ

-ติดต่อกับไมโครคอมพิวเตอร์หรือไมโครคอนโทรลเลอร์ผ่านระบบบัส I²C

-สามารถเลือกตำแหน่งแอดเดรสทางฮาดแวร์จากขา A0,A1,A2 ทำให้สามารถต่อพ่วงกันได้สูงถึง 8 ตัว

-อัตราการสุ่มของข้อมูล (samping) ขึ้นอยู่กับความเร็วของสัญญาณนาฬิกาบนบัส I²C

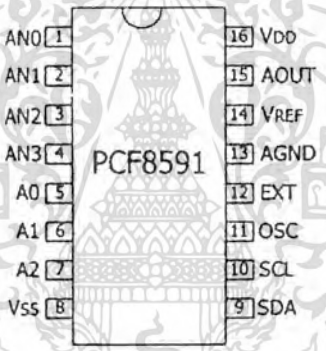
-วงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอล(ADC)สามารถรับสัญญาณอะนาลอกได้ 4 ช่อง ทั้งยังเลือกได้ว่าให้ทำงานแบบแยกช่องหรือทำงานเป็นวงจรดิฟเฟอเรนเชียล

-การอ่านสามารถกำหนดให้เลื่อนช่องอินพุตโดยอัตโนมัติได้

-สัญญาณอะนาลอกมีระดับแรงดันตั้งแต่ Vss ไปจนถึง Vdd

-วงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอลเป็นแบบซักเซสซีฟแอปพร็อกซิเมชั่นขนาด 8 บิต

-มีวงจรแปลงสัญญาณดิจิตอลเป็นอะนาลอกขนาด 8 บิต 1 ช่อง



รูปที่ 2.20 การจัดขาของไอซี ADC/DAC ขนาด 8 บิตผ่านบัส I²C เบอร์ PCF8591

PCF8591สามารถทำหน้าที่เป็นไอซีแปลงสัญญาณอะนาลอกเป็นดิจิตอลขนาด 8 บิต 4 ช่อง และทำหน้าเป็นไอซีแปลงสัญญาณดิจิตอลเป็นอะนาลอกได้ในคราวเดียวกัน ด้วยการควบคุมผ่านระบบบัส I²C ทำให้ต่อพ่วงไอซี PCF8591 ได้สูงสุดถึง 8 ตัว รองรับการอ่านค่าสัญญาณอะนาลอกอินพุตได้สูงสุดถึง 32 ช่อง และสามารถส่งสัญญาณอะนาลอกเอาท์พุตสูงสุดได้ถึง 8 ช่องด้วยการกำหนดแอดเดรสจากขา A0,A1 และ A2 การจัดขาของ PCF8591 แสดงในรูปที่ P2.20 ส่วนรายละเอียดตำแหน่งขาต่างๆ มีดังนี้

ขา AN0-AN3(ขา1-4) เป็นขาอินพุตสำหรับป้อนสัญญาณอะนาลอกที่ต้องการแปลงค่า

ขา A0-A2(ขา5-7) เป็นขาสำหรับกำหนดข้อมูลแอดเดรสทางฮาร์ดแวร์ ปกติต่อลงกราวด์แต่ถ้ามีการใช้งาน PCF8591 มากว่า 1 ตัว ต้องกำหนดการต่อขา A0-A2 ของ PCF8591 ให้ไม่ตรงกัน จึงทำให้สามารถต่อใช้งานร่วมกันได้สูงสุด 8 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา Vss (ขา8) เป็นขาต่อลงกราวด์

ขา SDA,SCL (ขา9 และ ขา10) เป็นขาเชื่อมต่อระบบบัส I²C

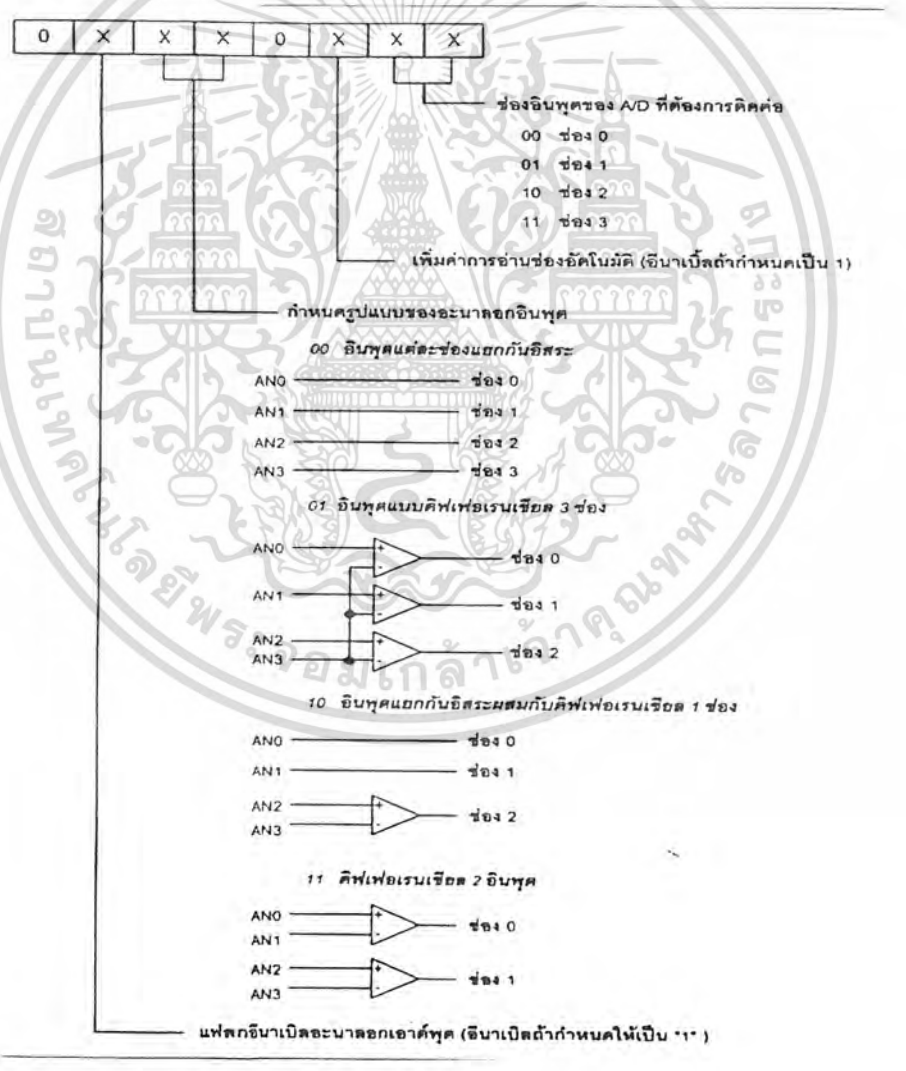
ขา OSC (ขา11) เป็นขาสำหรับต่อกับสัญญาณนาฬิกาภายนอกเมื่อขา EXT ต่อกับไป +5V จะเป็นการเลือกใช้สัญญาณนาฬิกาจากภานนอก โดยการต่อสัญญาณนาฬิกาเข้าที่ขา OSC ถ้าต่อขานี้ลงกราวด์จะเป็นการเลือกใช้สัญญาณนาฬิกาจากภายใน

ขา AGND (ขา13)เป็นขากราวด์ของแรงดันอ้างอิง ปกติต่อลงกราวด์

ขา Vref (ขา14) เป็นขาสำหรับป้อนแรงดัน ปกติต่อไฟเลี้ยง +5V

ขา AOUT (ขา15) เป็นขาเอาท์พุตของวงจรแปลงสัญญาณดิจิตอลเป็นอะนาลอก

ขา VDD (ขา16) เป็นขาต่อไฟเลี้ยง จ่ายได้ตั้งแต่+2V ถึง +6V ปกติใช้ +5V



รูปที่ 2.21 รายละเอียดข้อมูลควบคุมที่เขียนลงในรีจิสเตอร์ควบคุมภายในไอซี PCF8591

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.21 รายละเอียดฟังก์ชั่นต่างๆ ของPCF 8591

ตำแหน่งแอดเดรส

ในระบัสบัส I²C การติดต่อกับอุปกรณ์แต่ระตัวต้องระบุแอดเดรสของอุปกรณ์เหล่านั้นอย่างชัดเจน ถ้าเป็นการอ้างถึงแบบ 7 บิต ข้อมูลกำหนดแอดเดรส 4 บิต บนจะเป็นค่าแอดเดรสเฉพาะของอุปกรณ์ตัวนั้นๆ ที่กำหนดมาจากผู้ผลิต ผู้ใช้งานไม้สามารถเปลี่ยนแปลงได้ สำหรับไอซี PCF 8591 จะมีค่าเท่ากับ 1001 (ฐานสอง) ข้อมูล 3 บิตถัดมาจะเป็นค่าของแอดเดรสที่ผู้ใช้งานสามารถกำหนดได้ทางฮาร์ดแวร์เพื่อเลือกไอซี PCF 8591 ที่ต้องการติดต่อด้วยในกรณีที่มีการติดต่อใช้งาน PCF 8591 มากว่า 1 ตัว ส่วนบิต LSB ใช้ในการกำหนดว่าต้องการอ่านหรือเขียนข้อมูลกับไอซีตัวนั้นๆ

ข้อมูลควบคุม

หลังจากส่งข้อมูลกำหนดแอดเดรสให้แก่ PCF 8591 แล้ว ต้องส่งข้อมูลการควบคุมตามไปด้วยเพื่อกำหนดคุณสมบัติของวงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอลและวงจรแปลงสัญญาณดิจิตอลเป็นอะนาลอกภายใน PCF 8591 โดยมีรายละเอียดของข้อมูลในแต่ละบิตดังรูปที่ P19-4

บิต 6 ของข้อมูลควบคุมใช้สำหรับการอีนาเบิลขาอะนาลอกเอาท์พุต เมื่อต้องการอีนาเบิลต้องกำหนดให้ขานี้เป็น 1

บิต 4 และบิต 5 ของข้อมูลควบคุมใช้สำหรับกำหนดรูปแบบของสัญญาณอะนาลอกอินพุตที่ป้อนให้แก่ PCF 8591

บิต 2 ใช้สำหรับเลือกรูปแบบการอ่านข้อมูล จากขาอินพุตอะนาลอกว่าจะเป็นการอ่านจากเพียงอินพุตเดียวหรืออ่านแบบเรียงลำดับทุกอินพุต ถ้าต้องการเลือกให้อ่านแบบเรียงลำดับต้องกำหนดต้องกำหนดให้บิตนี้เป็น 1

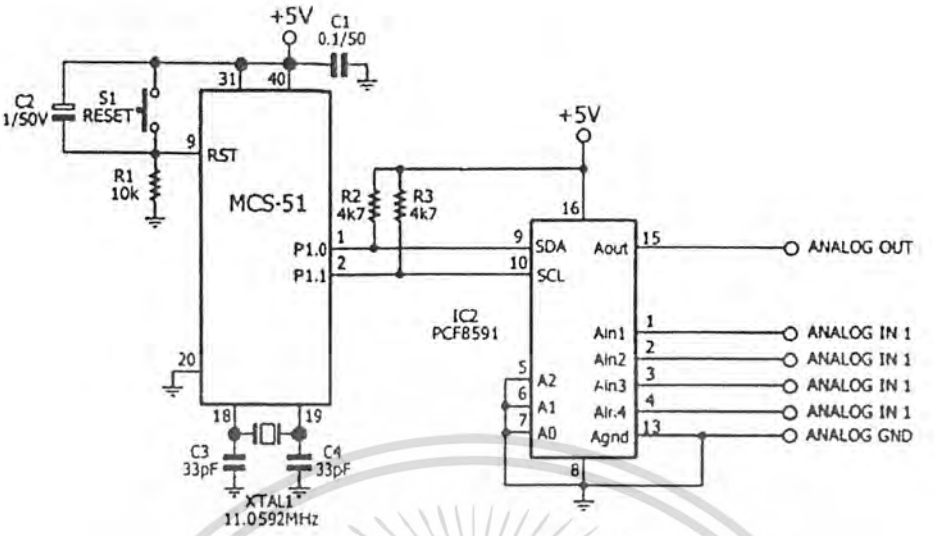
บิต 0 และ บิต 1ใช้สำหรับกำหนดช่องของอินพุตอะนาลอกที่ต้องการอ่าน ถ้ากำหนดให้บิต 2 เป็น 1 หลังจากการบิต 0 และบิต 1 แล้ว ในการอ่านค่าครั้งต่อไปจะเป็นการอ่านค่าอินพุตจากช่องที่ 1

ข้อมูลควบคุมทั้งหมดจะถูกเก็บไว้ในรีจิสเตอร์ควบคุมภายใน PCF 8591เมื่อจ่ายไฟให้แก่ PCF 8591 ครั้งแรก บิตต่างๆของข้อมูลภายในรีจิสเตอร์ควบคุมจะเป็น 0

2.22 ออสซิลเลเตอร์

วงจรออสซิลเลเตอร์ภายใน PCF 8591 จะสร้างสัญญาณนาฬิกาสำหรับการแปลงสัญญาณอะนาลอกเป็นดิจิตอล เมื่อต้องการใช้วงจรออสซิลเลเตอร์ภายใน ขา EXT ต้องต่อลงกราวด์ ถ้าต้องการใช้ออสซิลเลเตอร์จากภายนอกขา EXT ต้องต่อเข้าไฟบวก และป้อนสัญญาณนาฬิกาเข้ามาที่ขา OSC ของ PCF 8591โดยความถี่ของสัญญาณนาฬิกาสูงสุดที่ป้อนให้กับออสซิลเลเตอร์เท่ากับ 1.25 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 ตัวอย่างการเชื่อมต่อไมโครคอนโทรลเลอร์ MCS-51 กับ PCF8591

2.23 การอ่านค่าข้อมูลอินพุตอะนาลอกของ PCF 8591

มีลำดับขั้นตอนดังนี้

1.เตรียมข้อมูลกำหนดแอดเดรส โดนในที่นี้กำหนดแอดเดรสของ PCF 8591 ไว้ที่ 000 (ขา A0,A1,A2 ต่อลงกราวด์ทั้งหมด) และให้ทำงานในโหมดเขียนข้อมูล (ป้อบข้อมูลลอจิก 0 ให้แก่บิต R/W)

2.เรียกโปรแกรมย่อยการติดต่อกับอุปกรณ์สเลฟ

3. ส่งข้อมูลควบคุมไปยัง PCF 8591

4.ส่งสัญญาณ STOP

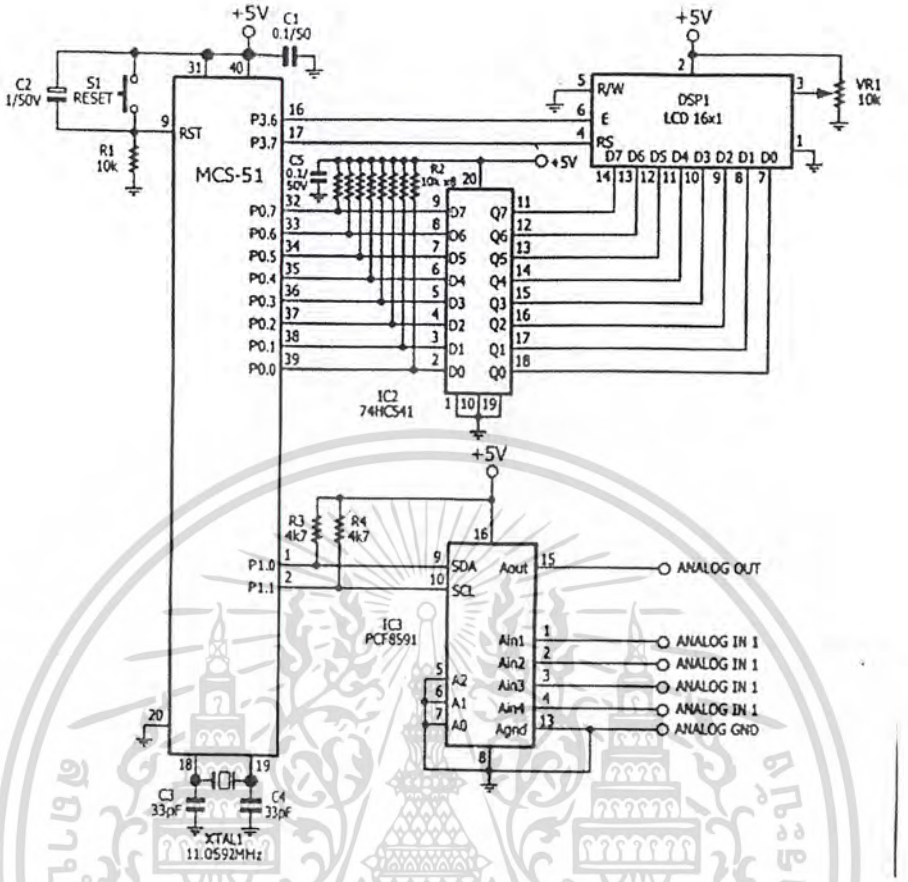
5.เรียกโปรแกรมย่อยการาติดต่อกับอุปกรณ์สเลฟ

6.ส่งข้อมูลกำหนดแอดดรสอีกครั้ง โดยคั้งนี้กำหนดให้เป็นโหมดอ่านข้อมูล (ส่งลอจิก 1 ให้แก่บิต R/W) เพื่อเริ่มต้นอ่านค่าข้อมูลจากช่องสัญญาณอะนาลอกอินพุต

7.อ่านค่าจากขาอินพุตของวงจรแปลงสัญญาณอะนาลอกดปืนดิจิตอลช่องที่ 1

8.หากต้องการอ่านค่าในช่องต่อไปก็ให้เริ่มต้นการติดต่อใหม่ ดั้งนั้นในการเขียนโปรแกรมเพื่ออ่านค่าต่อเนื่องทั้ง 4 ช่องหรือมากว่าจึงต้องเขียนโปรแกรมลูปเพื่อกำหนดรอบการทำงาน 4 รอบหรือมากว่า ก็จะสามารถอ่านค่าได้ครบทุกช่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 วงจรทดลองการเชื่อมต่อไมโครคอนโทรลเลอร์ MCS-51 ไอซี ADC/DAC บนระบบบัส I²C

การเขียนข้อมูลไปยังวงจรแปลงสัญญาณดิจิตอลเป็นอะนาลอกของ PCF 8591

การเขียนข้อมูลไปยังขาอะนาลอกเอาท์พุตมีข้อแตกต่างจากการอ่านข้อมูลดังนี้

1.เรียกโปรแกรมย่อยการติดต่อกับอุปกรณ์สเลฟ

2.ส่งข้อมูลกำหนดแอดเดรสโดยให้ทำงานในโหมดเขียนข้อมูล (บิต R/W เป็นลอจิก 0)

3.ส่งข้อมูลควบคุม 40H ไปยัง PCF 8591 เพื่ออีนาเบิลอะนาลอกเอาท์พุต

4.ส่งข้อมูลไปยังเอาท์พุตอะนาลอก โดยค่าที่ส่งออกไปจะต้องมีค่าอยู่ระหว่าง 0-255

5.ส่งสถาวะหยุด

2.24 การเชื่อมต่อ PCF 8591 กับไมโครคอนโทรลเลอร์ MCS-51

มีตัวอย่างวงจรในรูปที่ 2.23 จะเห็นได้ว่ามีลักษณะการต่อเหมือนกับ PCF8574Aทุกประการ และสามารถที่จะต่อไอซีทั้งสองเบอร์ร่วมกันบนสาย SDA และ SCL ได้ ตรงนี้เองที่แสดงให้เห็นถึงความสามารถพิเศษของบัส I²C ผู้ใช้งานสามารถเชื่อมต่ออุปกรณ์ที่มีความต่างกันในหน้าที่การทำงานบนสายสัญญาณเดียวกันได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ความรู้เบื้องต้นเกี่ยวกับไมโครคอนโทรลเลอร์ MCS-51

3.1 โครงสร้างของไมโครคอนโทรลเลอร์ตระกูล MCS- 51

ไมโครคอนโทรลเลอร์ตระกูล MCS- 51 มีสมาชิกในตระกูลหลายเบอร์ด้วยกัน แต่ละเบอร์จะมีคุณสมบัติพิเศษบางอย่างแตกต่างกัน เช่น มีหน่วยความจำภายในสำหรับเก็บโปรแกรมและข้อมูลภายในชิปเพิ่มขึ้น มีวงจรเปลี่ยนค่าสัญญาณอนาล็อกเป็นดิจิตอลในตัว สามารถรับสัญญาณอินเตอร์รัปต์ได้หลานชนิด ทำกระบวนการ DMA (Direct Memory Access) ได้ในตัว มีรีจีสเตอร์สำหรับใช้เป็นไทม์เมอร์หรือเคาน์เตอร์เพิ่มขึ้น คุณสมบัติที่แตกต่างกันของไมโครคอนโทรลเลอร์แต่ละเบอร์ในตระกูลนี้

ไมโครคอนโทรลเลอร์เบอร์ที่นับได้ว่าเป็นพื้นฐานสำหรับตระกูล MCS –51 นี้ได้แก่ เบอร์ 8051,8031,8751 โดยเบอร์ 8051 จัดเป็นสมาชิกตัวแรกในตระกูล ซึ่งมีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น ROM ขนาด 4 กิโลไบต์ และหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายใน MCS –51 (RAM) เองจำนวน128 ไบต์ มีพอร์ตขนาด 8 บิต 4 พอร์ต มีรีจิสเตอร์สำหรับใช้เป็นไทม์เมอร์หรือเคาน์เตอร์ขนาด 16 บิตรวม 2 ตัว รับสัญญาณอินเตอร์รัปต์จากภายนอกได้ 2 ชนิด สามารถรับและส่งข้อมูลแบบอนุกรมผ่านทางพอร์ทสื่อสารอนุกรม มีวงจรออสซิสเลเตอร์เพื่อสร้างสัญญาณนาฬิกาควบคุมการทำงานภายในตัวเอง

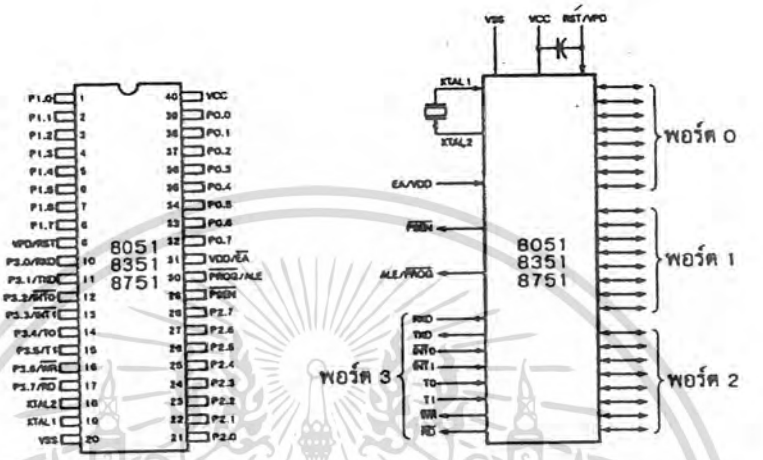
ไมโครคอนโทรลเลอร์ตระกูล MCS –51 ทุกเบอร์ใช้แรงไฟเพียง 5 โวลต์ในการทำงานส่วนกระแสไฟฟ้าที่ใช้จะแตกต่างกันไปตามชนิดของเทคโนโลยีที่ใช้ในการผลิตเบอร์ของไมโครคอนโทรลเลอร์ตระกูลนี้ที่มีตัวอักษร C อยู่ตรงกลางเบอร์ เช่น 80C31,80C51 จะเป็นเบอร์ของชิฟที่ผลิตโดนอาศัยเทคโนโลยี CHMOS ซึ่งใช้พลังงานในการทำงานน้อยกว่าและสามารถควบคุมการใช้พลังงานของตัวชิฟได้จากโปรแกรมเพื่อการประหยัดพลังงานในระบบ

MCS-51 เป็นตระกูล ของไมโครคอนโทรลเลอร์ที่ถูกพัฒนาขึ้นมาจากตระกูล MCS –48 ดังนั้นจึงความสามารถเหนือกว่าหลายอย่าง แต่จะเปรียบเทียบให้เห็นถึงข้อดีของ MCS- 51 สามารถใช้ความถี่ได้ถึง 12 เมกะเฮิรตซ์ หรือสำหรับบางเบอร์ในตระกูลสามารถใช้ได้ถึง 16 เมกะเฮิรต์ ทำให้ช่วงเวลาในการทำงานแต่ละคำสั่งน้อยมาก เมื่อใช้ความถี่ 12 เมกะเฮริตซ์ คำสั่งที่ใช้น้อยที่สุดจะใช้เวลาเพียง 1 ไมโครวินาที ส่วยคำสั่งที่ใช้เวลาเพียง 1 ไมโครวินาที ส่วนคำสั่งที่ใช้เวลามากที่สุดจะเวลาเพียง 4 ไมโครวินาทีเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ตำแหน่งขาของ MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทุกเบอร์จะมีตำแหน่งขาพื้นฐานที่เหมือนกัน ดังรูปที่ 3.1



รูปที่ 3.1 แสดงตำแหน่งขาชิปไมโครคอนโทลเลอร์ในตระกูล MCS-51 เบอร์ 8051

หน้าที่การใช้งานแต่ละขาของชิปไมโครคอนโทรลเลอร์ในตระกูล MCS-51 มีดังนี้

-ขา Vss (ขา 20) สำหรับต่อลงกราวด์

-ขา Vcc (ขา 40) สำหรับต่อแหล่งจ่ายแรงดันกระแสตรงขนาด 5 โวลต์ (DC 5 Volt)

-ขาพอร์ต 0 (ขา32-39) มี8 ขา ใช้เป็นขาสำหรับพอร์ต 0ขนาด 8บิต (P0.0- P0.7) แบบ Open Drain Bidirectional พอร์ตนี้สามารถใช้งานเป็นอินพุตเอาต์พุตพอร์ตทั่วไปได้โดยหากใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้เพื่อบังคับให้ขาอยู่ในสถาวะถูกปล่อยลอย (มีสถานะ high impedance) นอกจากนี้ใช้งานเป็นอินพุตเอาต์พุตพอรต์แล้ว พอรต์ 0 ยังใช้ในการติกต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกชิปด้วย โดยส่งค่าแอดเดรสบัสไบต์ต่ำ (A0-A7) จากหน่วยความจำภายนอกจากการเขียนหรืออ่านข้อมูลโดยมีวงจรพูลอัพภายใน

-ขาพอร์ต 1 (ขา 1-8) มี 8ขา ใช้เป็นขาสำหรับพอร์ต 1 (P1.0-P1.7) สามารถใช้งานเป็นอินพุตหรือเอาท์พุตทั่วไปได้ หากต้องการเป็นอินพุตพอร์ต ต้องโหลดค่า 1ไปยังแต่ละบิตของพอร์ตนี้ เพื่อให้มีสถานะ high impedance โดยมีวงจรพูลอัพภายในขา P1.0,P1.1 ในเบอร์ 8052 จะใช้งานในหน้าที่อย่างอื่นนอกเหนือจากใช้เป็นอินพุตเอาต์พุตพอร์ตทั่วไปด้วย

-ขาพอร์ต 2 (ขา 21-28) มี 8ขา ใช้เป็นขาสำหรับพอร์ต 2 (P2.0-P2.7) ขนาด 8บิต แบบ Open Drain Bidirectional พอร์ตนี้สามารถใช้งานเป็นอินพุตเอาท์พุตพอร์ตทั่วไปได้โดยหาดใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า1 ไปยังแต่ละบิตของพอร์ตนี้เพื่อบังคับให้ขาอยู่ในสถานะ high impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากจะใช้เป็นอินพุตเอาท์พุตพอร์ตทั่วไปแล้ว พอร์ต 2 ยังใช้ในการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกด้วย โดยใช้สำหรับส่งค่าแอดเดรสบัสไบต์สูง (A8-A15) และมีวงจรพูลอัพภายใน

-ขาพอร์ต 3 (ขา 10-17) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 3 (P3.0-P3.7) สามารถใช้งานเป็นอินพุตเอาท์พุตพอร์ตทั่วไปได้ หากต้องการใช้งานเป็นอินพุตพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตพอร์ตนี้เพื่อให้มีสถานะ High Impedance โดยใช้วงจรพูลอัพภายใน นอกจากนี้ยังใช้งานในหน้าที่พิเศษต่างๆ อีกหลายอย่างดังนี้

ขา P3.0 ใช้รับข้อมูลจากภายนอกแบบอนุกรม

ขา P3.1 ใช้ส่งข้อมูลออกไปภายนอกแบบอนุกรม

ขา P3.2 ใช้เป็นอินพุตเพื่อรับสัญญาณอินเตอร์รัปต์ชนิดที่ 0

ขา P3.3 ใช้เป็นอินพุตเพื่อรับสัญญาณอินเตอร์รัปต์ชนิดที่ 1

ขา P3.4 สัญญาณอินพุตให้เคาน์เตอร์ของไทม์เมอร์ 0

ขา P3.5 สัญญาณอินพุตให้เคาน์เตอร์ของไทม์เมอร์ 1

ขา P3.6 ใช้เป็นสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป

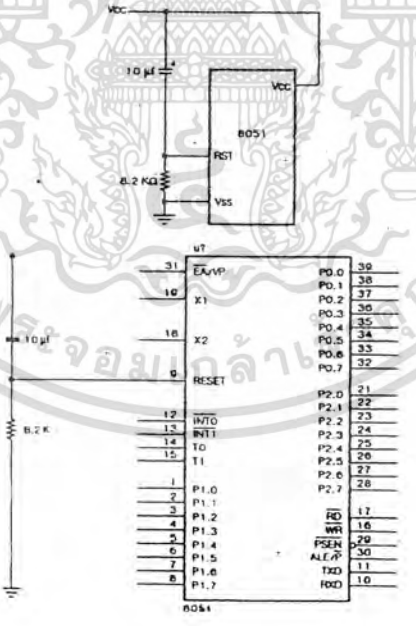
ขา P3.7 ใช้เป็นสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป

การใช้งานพอร์ต 3 ในหน้าที่พิเศษดังกล่าวนี้จะต้องโหลดค่า 1 ไปยังแต่ละบิตที่ต้องการใช้ก่อนทุกครั้ง

- ขา RST (ขา 9) ใช้สำหรับการรีเซตวงจรทุกอย่างภายในชิป เพื่อเริ่มต้นการทำงานใหม่การรีเซตใช้เมื่อเริ่มจ่ายพลังงานหรือเมื่อโปรแกรมเกิดทำงานผิดพลาด เมื่อต้องการรีเซตชิป MCS-51 ขานี้ต้องมีสถานะ 1 เป็นเวลาอย่างน้อย 2 แมชชีนไซเกิลระหว่างที่ออสซิลเลเตอร์ยังทำงานอยู่ โดยต้องต่อตัวต้านทานค่า 8.2 กิโลโอห์มเพื่อทำหน้าที่พูลดาวน์ (รักษาค่าแรงดันไฟฟ้าให้มีสถานะเป็นกราวด์) และเพื่อให้ตัวชิปรีเซตเองเมื่อเริ่มจ่ายพลังงานให้ต่อตัวเก็บประจุขนาด 10 ไมโครฟารัดคร่อมระหว่างขา RST กับ Vcc ดังแสดงในรูปที่ 1.2
- ขา ALE/PROG (ขา 30) เป็นขาสำหรับใช้ส่งสัญญาณออกไปภายนอก เพื่อควบคุมการแลตช์ค่าแอดเดรสไบต์ต่ำ (address latch enable) จากพอร์ต 0 ในระหว่างการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมหรือข้อมูลภายนอก ปกติเมื่อไม่มีการติดต่อหน่วยความจำภายนอกขานี้จะส่งสัญญาณพัลส์ออกมาด้วยความถี่ 1/8 ของความถี่ออสซิลเลเตอร์ที่ใช้คลอดเวลา ดังนั้นเราสามารถใช้ความถี่ที่ได้จากขานี้ไปใช้งานอย่างอื่นได้ แต่ความถี่ที่ขานี้จะลดลงครึ่งหนึ่งในระหว่างติดต่อกับหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิป นอกจากนี้ขา ALE ยังใช้สำหรับควบคุมการเขียนโปรแกรมลงไปใน EPROM สำหรับ MCS 51 เบอร์ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น EPROM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขา PSEN (ขา 29) ใช้ส่งสัญญาณสโตรบเพื่ออ่านคำสั่งจากโปรแกรมที่เก็บไว้ในหน่วยความจำภายนอกชิป (program strobe enable) เมื่อชิปทำงานด้วยโปรแกรมจากภายนอกขานี้จะส่งสัญญาณสโตรบสองครั้งในแต่ละแมชชีนไซเกิล แต่ในช่วงการเขียนหรืออ่านข้อมูลกับหน่วยความจำภายนอก หรือเมื่อใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปจะไม่มีสัญญาณออกมาจากขานี้
- ขา EA/Vpp (ขา 31) เป็นขาสำหรับใช้เลือกให้ MCS-51 ทำงานจากโปรแกรมที่อยู่ภายในหรือภายนอกชิป โดยหากขานี้มีสถานะเป็น 0 หมายถึงให้ใช้โปรแกรมจากหน่วยความจำที่เก็บโปรแกรม หากขานี้มีสถานะเป็น 1 หมายถึงบังคับให้ MCS-51 ใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป และสำหรับ MCS-51 ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป สามารถเลือกให้ทำงานได้ทั้งจากโปรแกรมที่เก็บในหน่วยความจำภายในชิปหรือจากโปรแกรมที่เก็บไว้ในหน่วยความจำภายนอกชิปด้วยการต่อขา EA กับไฟเลี้ยงหรือกราวด์ตามลำดับ ส่วนใน MCS-51 ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป ให้ต่อขานี้ลงกราวด์เสมอ
- ขา XTAL 1 (ขา 19) ใช้ต่อคริสตอลภายนอก โดยเป็นอินพุตเข้าสู่วงจรออสซิลเลเตอร์
- ขา XTAL 2 (ขา 18) ใช้ต่อคริสตอลภายนอก โดยเป็นเอาต์พุตออกจากวงจรออสซิลเลเตอร์

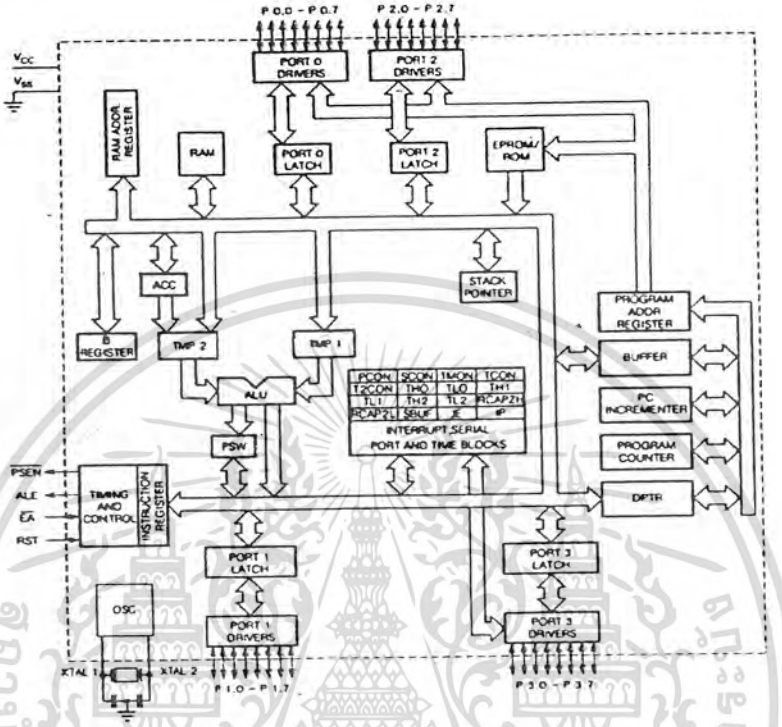


รูปที่ 3.2 แสดงวงจรสำหรับรีเซตชิปไมโครคอนโทรเลอร์ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 โครงสร้างภายในของ MCS-51

โครงสร้างภายในของชิปไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีดังแสดงในรูปที่ 3.3



รูปที่ 3.3 แสดงโครงสร้างภายในของชิปไมโครคอนโทรเลอร์ MCS-51

3.4 โครงสร้างหน่วยความจำภายใน MCS-51

ไมโครคอนโทรลเลอร์ในตระกูล MCS-51 ทุกเบอร์จะแบ่งหน่วยความจำออกเป็นสองส่วน คือ

- หน่วยความจำสำหรับเก็บโปรแกรม (Program Memory)
- หน่วยความจำสำหรับเก็บข้อมูล (Data Memory)

หน่วยความจำสำหรับโปรแกรมจะใช้เก็บโปรแกรมควบคุมการทำงานของชิป MCS-51 บางเบอร์จะมีหน่วยความจำส่วนนี้อยู่ภายในชิป แต่บางเบอร์จะไม่มี ทำให้ต้องเก็บโปรแกรมไว้ในหน่วยความจำภายนอกทั้งหมด ส่วนหน่วยความจำส่วนที่สองคือ หน่วยความจำสำหรับเก็บข้อมูล ซึ่งใช้สำหรับเก็บข้อมูลระหว่างการทำงาน MCS-51 ทุกเบอร์จะมีหน่วยความจำส่วนนี้อยู่ภายในชิปจำนวนหนึ่ง แต่จะมีจำนวนมากหรือน้อยเท่าใดขึ้นกับเบอร์ของชิป โครงสร้างหน่วยความจำทั้งหมดของ MCS-51

หน่วยความจำสำหรับเก็บโปรแกรม หน่วยความจำสำหรับโปรแกรมใน MCS-51 จะแบ่งออกเป็น 2 ส่วนคือ หน่วยความจำสำหรับเก็บโปรแกรมภายในชิป (internal program memory)

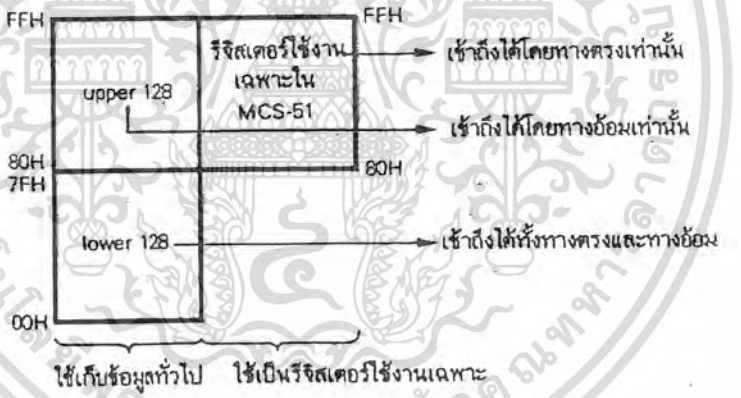
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และหน่วยความจำสำหรับเก็บโปรแกรมภายนอกชิป (external program memory) ขนาดของหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปมีได้ตั้งแต่ 0,4,8,16 กิโลไบต์ ขึ้นอยู่กับเบอร์ของชิป

หน่วยความจำสำหรับเก็บข้อมูล หน่วยความจำสำหรับเก็บข้อมูลของ MCS-51 จะแบ่งออกเป็น 2 ส่วนคือ หน่วยความจำสำหรับเก็บโปรแกรมภายในชิป และหน่วยความจำสำหรับเก็บโปรแกรมภายนอกชิป หน่วยความจำสำหรับเก็บโปรแกรมภายในชิป MCS-51 ยังแบ่งออกเป็น 2 ส่วนย่อยดังนี้

- ส่วนที่ใช้เก็บข้อมูลทั่วไป (internal ram)
- ส่วนที่ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะ (special function register)

หน่วยความจำส่วนที่ใช้เก็บข้อมูลทั่วไปภายในชิปเป็นหน่วยความจำสำหรับเก็บข้อมูลที่มีอยู่ภายใน MCS-51 หน่วยความจำส่วนนี้ไว้สำหรับเก็บข้อมูลในขณะทำงาน ส่วนหน่วยความจำสำหรับเก็บข้อมูลภายในชิปที่ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะเป็นหน่วยความจำสำหรับเก็บข้อมูลภายใน MCS-51 ซึ่งถูกกำหนดให้เป็นรีจิสเตอร์ใช้งานเฉพาะเพื่อควบคุมการทำงานและบอกสถานะของซีพียู แผนภาพแสดงหน่วยความจำสำหรับเก็บข้อมูลภายในชิปทั้งสองบริเวณมีดังในรูปที่ 3.4



รูปที่ 3.4 แผนภาพแสดงหน่วยความจำสำหรับเก็บข้อมูลภายในชิป MCS-51

MCS-51 ทุกเบอร์จะมีหน่วยความสำหรับเก็บข้อมูลทั่วไปภายในชิปบริเวณ 128 ไบต์ทั้งนี้ชื่อเรียกว่าLower 128 และในบริเวณ 128 ไบต์หลังที่มีเพิ่มในบางเบอร์มีชื่อเรียกว่า upper 128 ดังแสดงในรูปที่ 3.4

หน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายในชิปบริเวณ 128 ไบต์หลัง (ตำแหน่ง 80H ขึ้นไป) จะมีตำแหน่งตรงกับหน่วยความจำสำหรับเก็บข้อมูลภายในชิปที่ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะ (ตำแหน่ง 80H ขึ้นไปเช่นกัน) โดยมีวิธีการเข้าถึงข้อมูลในหน่วยความจำทั้งสองส่วนไม่เหมือนกัน ดังจะไม่กล่าวต่อไปในเรื่องของการเข้าถึงข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.5 แสดงหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายในชิปทั้ง 2 ส่วน

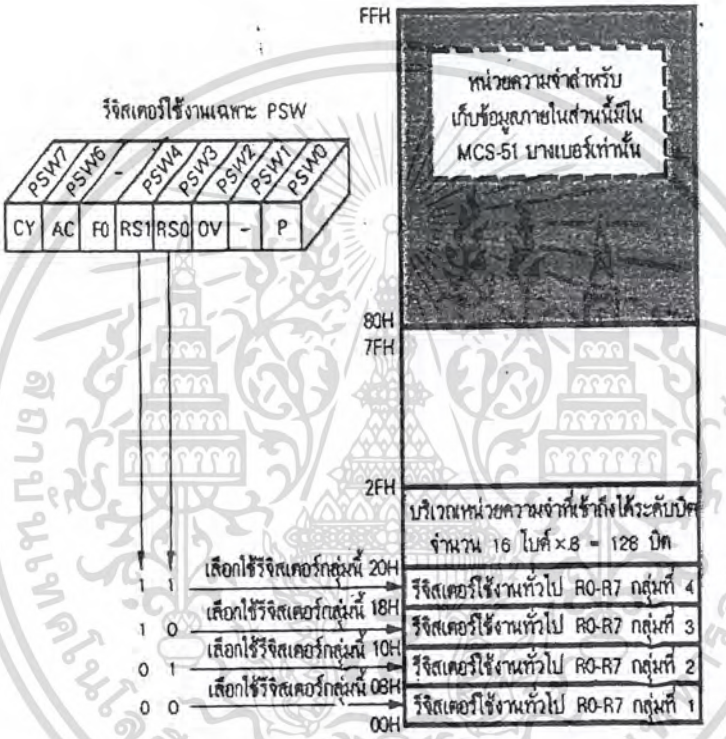
รีจิสเตอร์ใช้งานเฉพาะ เนื่องจาก MCS-51 ถูกออกแบบไว้สำหรับใช้ควบคุมระบบโดยเฉพาะ จึงทำให้มีความสามารถเฉพาะตัวหลายอย่าง ซึ่งจำเป็นต้องอาศัยวงจรภายในชิปที่มีเพิ่มขึ้นจากไมโครโปรเซสเซอร์ทั่วไป การควบคุมการทำงานของวงจรภายในไมโครคอนโทรลเลอร์จะกระทำผ่านรีจิสเตอร์ที่ถูกกำหนดหน้าที่ไว้แล้ว ดังนั้นหากต้องการใช้ MCS-51 ให้มีประสิทธิภาพจำเป็นต้องทราบหน้าที่การทำงานของรีจิสเตอร์ใช้งานเฉพาะแต่ละตัวให้ละเอียด รีจิสเตอร์ใช้งานเฉพาะทั้งหมดจะอยู่ในหน่วยความจำสำหรับเก็บข้อมูลภายในชิปบริเวณที่ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะดังได้กล่าวมาแล้ว รีจิสเตอร์ใช้งานเฉพาะทั้งหมดใน MCS-51

ในส่วนของหน่วยความจำสำหรับเก็บโปรแกรมและหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิป จะเป็นหน่วยความจำส่วนที่อยู่ภายนอกชิป MCS-51 ซึ่งผู้ใช้ต้องติดตั้งเพิ่มเอง การติดต่อระหว่าง MCS-51 กับหน่วยความจำทั้งสองส่วนจะใช้ขา 32 ถึง 39 (พอรต์ 0) เป็นตัวส่งค่าแอสเดรสไบต์ต่ำ (A0-A7) และใช้รับส่งข้อมูลกับหน่วยความจำด้วย (ใช้กับดาต้าบัส) ส่วนค่าแอดเดรสไบต์สูง (A8-A15) จะใช้ขา 21-28 (พกร์ต 2) ดังนั้นเมื่อพอร์ต 0 และพอร์ต 2 ถูกใช้ในการติดต่อกับหน่วยความจำภายนอก (ทั้งหน่วยความจำสำหรับเก็บโปรแกรมและหน่วยความจำสำหรับเก็บข้อมูล) จะทำให้เหลือพอร์ตสำหรับใช้งานอื่นๆน้อยลง

รีจิสเตอร์สำหรับใช้งานทั่วไป MCS-51 มีรีจิสเตอร์ใช้งานทั่วไปที่ผู้เขียนโปรแกรมสามารถนำมาใช้งานได้คือ รีจิสเตอร์ A,B (อยู่ในหน่วยความจำสำหรับเก็บข้อมูลภายในชิปที่ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะ แต่นับเป็นรีจิสเตอร์ใช้งานทั่วไปเพราะไม่ถูกกำหนดหน้าที่ใช้งานโดยตรง) และรีจิสเตอร์ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

งานทั่วไป R0-R7 ซึ่งอยู่ในหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายในชิปบริเวณ 128 ไบต์แรก รีจิสเตอร์ใช้งานทั่วไป R0-R7ใน MCS-51 มีอยู่ด้วยกันทั้งหมด 4กลุ่ม แต่ละกลุ่มประกอบด้วยรีจิสเตอร์จำนวน 8 ตัว (R0-R7) ซึ่งมีชื่อเรียกเหมือนกัน ดังนั้นจำนวนรีจิสเตอร์ใช้งานทั่วไป R0-R7 ใน MCS-51 จึงมีทั้หมด 32 ตัว ในการทำงานขณะใดๆรีจิสเตอรทั้ง 4 กลุ่ม (R0-R7) จะถูกเลือกใช้งานเพียงกลุ่มเดียวเท่านั้น การเลือกใช้งานรีจิสเตอร์ R0-R7 กลุ่มใดกลุ่มหนึ่งใน 4 กลุ่มกระทำโดยการเซตหรือเคลียร์บิต RS0,RS1 ในรีจิสเตอร์ใช้งานเฉพาะ PSW ดังแสดงในรูปที่ 3.6



รูปที่ 3.6 แสดงการเลือกรีจิสเตอร์ใช้งานทั่วไป R0-R7 แต่ละกลุ่ม

รีจิสเตอร์ใช้งานทั่วไปทั้ง R0-R7 จะอยู่ในกลุ่มรีจิสเตอร์ใช้งานทั่วไปทั้ง 4กลุ่ม ซึ่งจะถูกเลือกใช้งานเพียงกลุ่มเดียวในขณะใดขณะหนึ่ง ค่าที่เปลี่ยนแปลงไปในรีจิสเตอร์ใช่งานทั่วไปที่ถูกเลือกใช้งานในขณะนั้นจะไม่มีผลต่อรีจิสเตอร์ใช้งานทั่วไปที่มีชท่อเดียวกันแต่อยู่คนละกลุ่มเลย โครงสร้างเช่นนี้ทำให้มีความสะดวกในการเขียนโปรแกรมเป็นอันมาก โดยเฉพาะกับเขียนโปรแกรมที่มีการเรียกใช้โปรแกรมย่อย (subroutine)

โครงสร้างพอร์ต MCS-51 ทุกเบอร์จะมีพอร์ตขนาด 8 บิตจำนวน 4 พอร์ต (P0,P1,P2,P3)โดยสามารถกำหนดให้ทำงานแบบพอร์ตขนานขนาด 8 บิต 4 พอร์ต หรือจะใช้เป็นพอร์ตขนาด 1 บิต ได้ถึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

32 พอร์ต ทั้งนี้ผู้ใช้สามารถกำหนดให้แต่ละพอร์ตใช้งานเป็นอินพุตพอร์ตหรือเอาท์พุตพอร์ตอย่างใดอย่างหนึ่งได้อย่างอิสระ

ในกรณีที่ผู้ออกแบบต้องการใช้หน่วยความจำภายนอก ไม่ว่าจะเป็นหน่วยความจำสำหรับเก็บข้อมูลหรือสำหรับโปรแกรมพอร์ต 0 จะถูกกำหนดการใช้งานเป็นดาต้าบัสและแอดเดรสไบต์ต่ำ ส่วนพอร์ต 2 จะถูกกำหนดการใช้งานเป็นตัวส่งค่าแอดเดรสบัสไบต์สูง และบางส่วนของพอร์ต 3 จะถูกใช้ส่งสัญญาณควบคุมหรือคอนโทรลบัส (สัญญาณที่ใช้ควบคุมการอ่านหรือเขียนข้อมูล) แต่หากหน่วยความจำที่ใช้ภายนอกต้องการไม่ถึง 64 กิโลไบต์ พอร์ต 2 ที่ใช้เป็นแอดเดรสบัสไบต์สูงจะไม่ถูกนำมาใช้ทั้งหมด แต่พอร์ต 0 จะถูกใช้หมดทั้ง 8 เส้น เพราะต้องใช้เป็นดาต้าบัส ส่วนพอร์ต 3 จะนำมาใช้ติดต่อกับหน่วยความจำด้วยหรือไม่นั้นขึ้นอยู่กับหน่วยความจำที่ใช้ภายนอกว่ามีหน่วยความจำส่วนที่ใช้เก็บข้อมูลด้วยหรือไม่ (ต้องการสัญญาณควบคุมการอ่านหรือเขียนข้อมูลหรือไม่นั้นเอง) ดังนั้นในการออกแบบระบบ หากต้องการใช้หน่วยความจำภายนอกมากขึ้นเพียงใดก็จะยิ่งทำให้เหลือจำนวนพอร์ตที่จะนำมาใช้งานลดลง ในการออกแบบจริงจึงต้องพยายามลดขนาดหน่วยความจำภายนอกให้เหลือน้อยที่สุด

พอร์ต 3 ซึ่งมีขนาด 8 บิต นอกจากจะใช่ส่งสัญญาณสำหรับการอ่านหรือเขียนข้อมูลในการติดต่อกับหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิปแล้ว มันยังถูกใช้เป็นตัวรับสัญญาณอินเตอร์รัปต์ (INTO,INT1) สัญญาณอินพุตที่ต้องการนับสำหรับเคาน์เตอร์ (T0,T1)รวมทั้งใช้ในการติดต่อสื่อสารข้อมูลแบบอนุกรมกับอุปกรณ์ภายนอก (รับและส่งข้อมูลผ่านขา RXD,TXD) อีกด้วย

ภายในแต่ละพอร์ตที่ใช้เป็นอินพุตหรือเอาต์พุต ผู้ใช้สามารถกำหนดให้ทำงานเป็นอินพุตพอร์ตได้อย่างอิสระ โดยอาศัยการควบคุมจากโปรแกรม ซึ่งสามารถควบคุมให้แต่ละพอร์ตถูกใช้เป็นอินพุตในช่วงเวลาหนึ่ง และเป็นเอาต์พุตในอีกช่วงเวลาหนึ่งได้

ไทม์เมอร์/เคาน์เตอร์ ใน MCS-51 มีรีจิสเตอร์ใช้งานเฉพาะที่สามารถนับจำนวนสัญญาณนาฬิกาหรือแมชชีนไซเกิลของวงจรออสซิลเลเตอร์ภายใน (ทำงานเป็นไทม์เมอร์) หรือนับจำนวนครั้งของการเปลี่ยนสถานะของสัญญาณภายนอก (นับจำนวนพัลส์ภายนอก) ที่ขา T0,T1 ของพอร์ต 3 (ทำงานเป็นเคาน์เตอร์) รีจิสเตอร์ที่ใช้เป็นไทม์เมอร์หรือเคาน์เตอร์มีขนาด 16 บิต จำนวน 2 ตัว คือรีจิสเตอร์ไทม์เมอร์0 และรีจิสเตอร์ไทม์เมอร์ 1 ตามลำดับ (ในเบอร์ 8052 มีรีจิสเตอร์ไทม์เมอร์ 2 เพิ่มให้อีก 1 ตัว) เมื่อต้องการใช้ไทม์เมอร์ 0 หรือไทม์เมอร์ 1 จะต้องโหลดค่าที่จ้องการนับไปไว้ในรีจิสเตอร์ไทม์เมอร์ 0 หรือรีจิสเตอร์ไทม์เมอร์ 1 และเมื่อนับได้ครบจำนวนที่ตั้งไว้จะมีสัญญาณอินเตอร์รัปต์เพื่อบอกให้ซีพียูทราบ

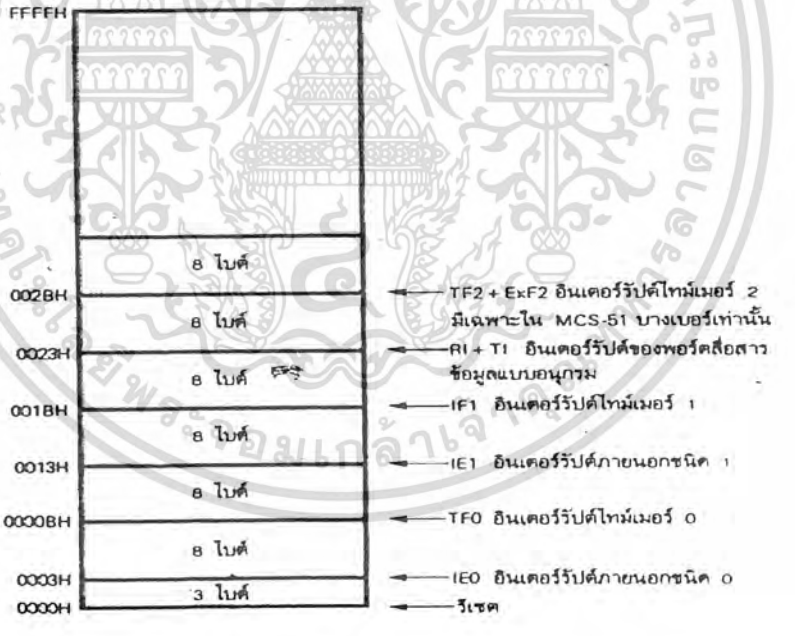
การควบคุมการทำงานของไทม์เมอร์หรือเคาน์เตอร์ สามารถควบคุมได้จากวงจรภายนอก (ควบคุมด้วยสัญญาณที่ขา INT0,INT1) หรือควบคุมจากคำสั่งในโปรแกรม ดังนั้นรีจิสเตอร์ที่ใช้เป็นไทม์เมอร์ใน MCS-51 จะสามารถวัดช่วงห่างของเวลา วัดความกว้างของพัลส์ หรือนับจำนวนครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของเหตุการณ์ที่เกิดขึ้นภายนอกที่เปลี่ยนให้อยู่ในรูปของสัญญาณไฟฟ้าแล้ว รวมทั้งใช้กำเนิดสัญญาณอินเตอร์รัปต์ที่มีคาบเวลาแน่นอนได้

พอร์ตสื่อสารข้อมูลแบบอนุกรม MCS-51 สามารถรับและส่งข้อมูลแบบอนุกรมได้โดยไม่ต้องพึ่งอุปกรณ์ภายนอกอื่นๆแต่อย่างใด ในด้านอัตราเร็วของการรับส่งข้อมูลก็สามารถกำหนดค่าได้ตามความต้องการของผู้ใช้ โดยสามารถเลือกอัตราเร็วของการรับส่งข้อมูล (Baud rate) มาตรฐานได้ตั้งแต่ 110,1.2k,2.4k,4.8k,9.6k,19.2k 375k ตามมาตรฐานของ UART นอกจากนี้ยังสามารถกำหนดการทำงานที่แตกต่างกันได้ถึง 4 รูปแบบ ตามความเหมาะสมในแต่ละงาน ดังจะกล่าวในเรื่องพอร์ตสื่อสารข้อมูลแบบอนุกรมอีกครั้ง

โครงสร้างการอินเตอร์รัปต์ MCS-51 สามารถรับสัญญาณอินเตอร์รัปต์ได้ถึง 5 ชนิด โดยจะเป็นสัญญาณอินเตอร์รัปต์ที่เกิดจากภายนอก 2 ชนิด และที่เกิดจากภายในชิปอีก 3 ชนิด เมื่อมีสัญญาณอินเตอร์รัปต์เกิดขึ้น MCS-51 จะละการทำงานโปรแกรมที่กำลังทำอยู่และข้ามไปทำงานโปรแกรมบริการอินเตอร์รัปต์ (interrupt service routine) ที่อยู่ในหน่วยความจำตำแหน่งต่างๆขึ้นอยู่กับชนิดของสัญญาณอินเตอร์รัปต์ดังแสดงในรูปที่ 3.7



รูปที่ 3.7 แสดงตำแหน่งหน่วยความจำของโปรแกรมบริการอินเตอร์รัพแต่ละชนิด

เราสามารถเลือกให้ซีพียูใน MCS-51 ถูกอินเตอร์รัปต์โดยสัญญาณอินเตอร์รัปต์ที่เกิดขึ้นได้โดยการกำหนดค่าในรีจิสเตอร์ใช้งานเฉพาะ IE นอกจากนี้ยังสามารถควบคุมลำดับความสำคัญในการตอบสนองต่อสัญญาณอินเตอร์รัปต์ของ MCS-51 ได้ด้วยรีจิสเตอร์ใช้งานเฉพาะ IP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีจิสเตอร์ใช้งานเฉพาะ IE (Interrupt Enable-Register) เข้าถึงข้อมูลได้ในระดับบิต

รีจิสเตอร์ใช้งานเฉพาะ IE (Interrupt Priority Register) เข้าถึงข้อมูลได้ในระดับบิต

3.5 กลุ่มคำสั่งใน MCS-51

คำสั่งที่ใช้ควบคุมการทำงานของ MCS-51 มีสองประเภทคือคำสั่งที่ต้องการข้อมูลมาดำเนินการเพื่อให้ได้ผลลัพธ์ และคำสั่งที่ไม่ต้องการข้อมูลมาดำเนินการ คำสั่งที่ต้องการข้อมูลจะมีวิธีในการเข้าถึงข้อมูลได้หลายวิธีดังนี้

วิธีการเข้าถึงข้อมูลในคำสั่ง

- วิธีการเข้าถึงข้อมูลโดยตรง (direct addressing)
- วิธีการเข้าถึงข้อมูลโดยทางอ้อม (indirect addressing)
- วิธีการเข้าถึงข้อมูลในรีจิสเตอร์งานทั่วไป (register instructions)
- วิธีการเข้าถึงข้อมูลในรีจิสเตอร์เฉพาะของตัวคำสั่ง (register-specific instructions)
- วิธีการเข้าถึงข้อมูลที่กำหนดเองโดยตรง (immediate constants)
- วิธีการเข้าถึงข้อมูลที่มีตัวชี้อ้างอิง (indexed addressing)

คำสั่งแต่ละคำสั่งที่ต้องการข้อมูลหรือโอเปอร์แรนด์ (Operand) อาจจะมีวิธีในการเข้าถึงข้อมูลในโอเปอร์แรนด์ได้วิธีเดียวหรือหลายวิธีขึ้นกับคำสั่งแต่ละคำสั่ง รายละเอียดของวิธีการเข้าถึงข้อมูลของโอเปอร์แรนด์แต่ละวิธีมีดังนี้

วิธีการเข้าถึงข้อมูลโดยตรง (Direct Addressing) เป็นวิธีการกำหนดตำแหน่งหน่วยความจำโดยตรงในคำสั่ง บริเวณหน่วยความจำที่สามารถอ้างได้โดยวิธีนี้จะเป็นหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายในชิปเฉพาะบริเวณ 128 ไบต์แรก และหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิปรวมทั้งหน่วยความจำสำหรับเก็บข้อมูลภายในชิปที่ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะ (ดูรูปที่ 5)

วิธีการเข้าถึงข้อมูลโดยทางอ้อม (Indirect Addressing) เป็นวิธีการเข้าถึงข้อมูลโดยทางอ้อม โดยค่าตำแหน่งหน่วยความจำจะอยู่ในรีจิสเตอร์เฉพาะบางตัว นั่นคือวิธีนี้จะใช้ค่าในรีจิสเตอร์เป็นตัวชี้ตำแหน่งหน่วยความจำ หน่วยความจำที่สามารถใช้วิธีการเข้าถึงแบบนี้ได้คือ หน่วยความจำสำหรับเก็บข้อมูลที่ใช้เก็บข้อมูลทั่วไปบริเวณ 128 ไบต์ล่างและ 128 ไบต์บน รวมทั้งหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิป รีจิสเตอร์ที่สามารถนำมาใช้เป็นตัวชี้ตำแหน่งของหน่วยความจำมีดังต่อไปนี้

- รีจิสเตอร์ใช้งานทั่วไป R0,R1 ของแต่ละกลุ่ม
- รีจิสเตอร์ใช้งานเฉพาะ SP (stack pointer)
- รีจิสเตอร์ใช้งานเฉพาะ DPTR (data pointer)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้วิธีการเข้าถึงข้อมูลโดยทางอ้อมนี้ รีจิสเตอร์ที่เก็บค่าตำแหน่งหน่วยความจำจะต้องระบุเครื่องหมาย " @ " ไว้ข้างหน้า ดังตัวอย่าง

MOV A,@R0

MOVX @ DPTR,A

วิธีการเข้าถึงข้อมูลในรีจิสเตอร์งานทั่วไป (Register Instructions) ข้อมูลที่ต้องการจะอยู่ในรีจิสเตอร์ใช้งานทั่วไป R0,R7 ของแต่ละกลุ่มรีจิสเตอร์ที่ถูกเลือกใช้งานขณะนั้น โดยในการทำงานจริงๆ ซีพียูจะตรวจสอบกลุ่มรีจิสเตอร์ที่ถูกเลือกใช้จากงานบิต RS0,RS1 ในรีจิสเตอร์ใช้งานเฉพาะ PSW

วิธีการเข้าถึงข้อมูลในรีจิสเตอร์เฉพาะของตัวคำสั่ง (Register-Specific Instructions) คำสั่งบางคำสั่งของ MCS-51 จะระบุไว้แล้วว่าต้องดำเนินการกับข้อมูลในรีจิสเตอร์ตัวใด เช่น ACCUMULSTOR, DPTR,SP ดังนั้นในรหัสคำสั่ง (Opcode) ของคำสั่งประเภทนี้ MCS-51 จะได้รู้เองว่าต้องประมวลผลกับรีจิสเตอร์ตัวใด ด้วยเหตุนี้คำสั่งในกลุ่มจึงไม่ต้องบอกตำแหน่งของรีจิสเตอร์ที่ใช้งานเฉพาะคำสั่งนี้แต่อย่างใดเลย เช่น

MOV A,@R0

MOVX @DPTR,A

จากตัวอย่างนี้ เราไม่จำเป็นต้องระบุตำแหน่งของรีจิสเตอร์ A,DPTR ในรหัสคำสั่งของคำสั่งทั้งสองแต่อย่างใด เพราะ MCS-51 จะทราบเองว่าเป็นรีจิสเตอร์ทั้งสองจากรหัสของคำสั่ง

วิธีการเข้าถึงข้อมูลที่กำหนดเองโดยตรง (Immediate Constants) เป็นการกำหนดค่าข้อมูลให้กับคำสั่งโดยตรง ข้อมูลที่นำมาประมวลผลในคำสั่งจะอยู่ถามหลังรหัสคำสั่ง ทั้งนี้จะต้องใเครื่องหมาย " # " ระบุหน้าข้อมูลที่ต้องการ เช่น

MOV A , # 100

วิธีการเข้าถึงข้อมูลที่มีตัวชี้อ้างอิง (Indexed Addressing) ข้อมูลที่ใช้วิธีการอ้างแบบนี้จะเป็นข้อมูลที่อยู่ในหน่วยความจำสำหรับเก็บโปรแกรมภายในหรือภายนอกชิปเท่านั้น จุดประสงค์ของการอ้างข้อมูลแบบนี้ มีไว้เพื่อใช้ในการเปิดหาค่าข้อมูลที่เก็บไว้ในหน่วยความจำสำหรับเก็บโปรแกรม ซึ่งข้อมูลไม่สูญหายแม้ไม่มีพลังงาน ในการทำงานของคำสั่งที่ใช้การอ้างวิธีนี้ จะใช้ค่าของรีจิสเตอร์ใช้งานเฉพาะ DPTR หรือ PC มารวมกับค่าในรีจิสเตอร์ A เพื่อชี้ในตำแหน่งของหน่วยความจำสำหรับเก็บโปรแกรมซึ่งเก็บข้อมูลไว้ ดังนั้นค่าในรีจิสเตอร์ใช้งานเฉพาะ DPTR,PC จะต้องมีค่าเท่ากับตำแหน่งต้นของหน่วยความจำส่วนที่เก็บข้อมูลที่ต้องการ ส่วนค่าของรีจิสเตอร์ A จะเป็นตัวเลือกข้อมูลที่อยู่ในหน่วยความจำ เช่น

MOVC A,@A +DPTR

MOVC A,@A+PC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความจริงการอ้างข้อมูลวิธีนี้ยังมีที่ใช้ในกลุ่มคำสั่งควบคุมละคับการทำงานของโปรแกรม โดยการบังคับให้โปรแกรมกระโดดข้ามไปทำงานที่ตำแหน่งใดๆ ในหน่วยความจำซึ่งมีค่าตำแหน่งเท่ากับผลรวมของค่าในรีจีสเตอร์ใช้งานเฉพาะ DPTR กับรีจีสเตอร์ A ดังตัวอย่างต่อไปนี้

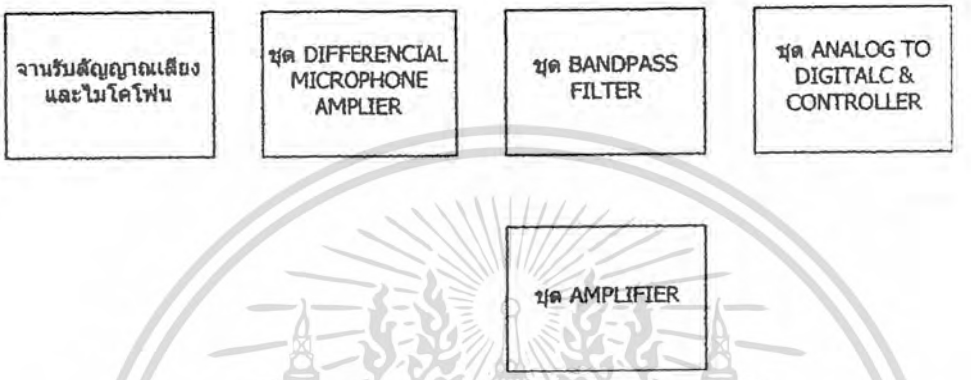
JMP @A + DPTR

เมื่อทราบถึงวิธีการเข้าถึงข้อมูลแบบต่างๆ แล้ว ต่อไปจะกล่าวถึงรายละเอียดของกลุ่มคำสั่งแต่ละกลุ่มอย่างคร่าวๆ โดยจะกล่าวอย่างละเอียดอีกครั้งในบทที่เกี่ยวกับกลุ่มคำสั่งทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบวงจร

4.1 หลักการทำงานของวงจร



รูปที่ 4.1 BLOCK DIAGRAM ของวงจร

4.2 การทำงานของเครื่องดักฟังเสียงสัตว์

เมื่อต้องการดักฟังเสียงสัตว์ใดๆ แล้วให้นำจานรับสัญญาณที่ติดตั้งรับไมโครโฟนรับสัญญาณเสียง นำไปติดตั้งไว้ห่างจากต้นกำเนิดเสียงที่ต้องการรับฟังระยะประมาณ 5-10 เมตร (ซึ่งระยะที่ใช้ในการติดตั้งจานรับสัญญาณเสียงจะขึ้นอยู่กับความดังของต้นกำเนิดเสียงที่ต้องการรับฟังด้วย) หรือถ้าไม่ต้องการติดตั้งก็สามารถถือและรับเสียงได้เช่นกันเมื่อติดตั้งจานรับสัญญาณเสียงเสร็จแล้ว ให้รับฟังเสียงจากเครื่องควบคุมโดยจะมี HEADPHONE ช่วยในการรับฟังเสียง ซึ่งสามารถปรับความถี่ HIGHPASS FILTER และ LOWPASS FILTER โดยจะปรับที่โวลุ่ม เพื่อที่จะรับฟังเสียงที่ต้องการได้ชัดเจนขึ้น และช่วยขจัดเสียงรบกวนจากภายนอกที่เข้ามาด้วย

4.3 การออกแบบจาน (Parabolic)

การหาค่าความสูงหรือความลึกของจาน (h)

$$h = r^2/4F = r^2/\{4D*(F/D)\}$$

การหาระยะทางความยาวโฟกัส

$$F = r^2/4h \quad --*$$

$$= D^2/16h \quad --*$$

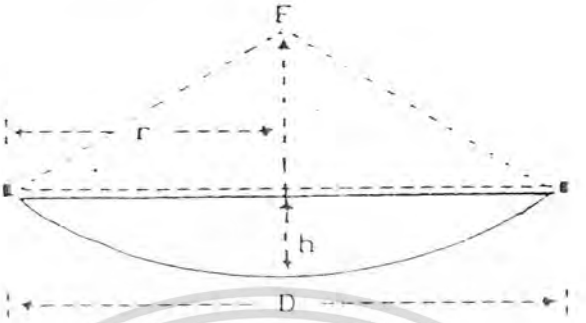
F = ทางยาวโฟกัสสำหรับติดตั้งตัวรวมสัญญาณที่สะท้อนเข้ามาจากจาน

D = เส้นผ่าศูนย์กลางของจาน นิยมบอกเป็นฟุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

r = รัศมี หรือ ครึ่งหนึ่งของจาน

h = ความสูงหรือความเล็กของจานจากท้องจานถึงขอบจานในแนวดิ่ง



รูปที่ 4.2 การออกแบบจาน (Parabolic)

จานรับสัญญาณขนาด 1.5 ฟุต มีอัตราส่วน F/D แบบจานลึกมีค่าประมาณ 0.35 จะมีขนาดความยาวโฟกัส

$F = D * (F/D)$

$= 1.5 * 0.35$

ความยาวโฟกัส = 0.525 ฟุต หรือ 16 CM.

หา $h = D^2/16F$

$= (\frac{1.5^2}{16 * 0.525})$

ความสูง = 0.267 ฟุต หรือ 8.16 CM.

4.4 วงจร DIFFERENCIAL MICROPHONE AMPLIFIER

วงจรไมโครโฟนแอมปลิไฟเออร์ชุดนี้สำคัญมาก เพราะการใช้งานเครื่องนั้นจะใช้งานในที่ๆ มีเสียงรบกวนมาก การทำงานของวงจรก็เมื่อมีเสียงพูด และสัญญาณรบกวนเข้ามาที่คอนเดนเซอร์ไมโครโฟน MIC1 และ MIC2 ซึ่งมีแรงดัน +4.5 โวลต์ ไบแอสให้โดยผ่าน R1 และ R2 จากนั้นสัญญารที่ออกจากไมโครโฟนซึ่งเป็นสัญญารเอซีก็จะคับปลิ้งผ่านไปยัง VR1 และ VR2 ซึ่งทำหน้าที่ปลับอัตราการลดทอนสัญญาณส่งผ่านไปเข้าขานอนอินเวอร์ติ้งขา 3 และขา 5 ของ IC1/2 และ IC1/1 ตามลำดับ

IC1/1 จะทำหน้าที่เป็นบัฟเฟอร์แอมป์หรือเป็นวงจรขยายเท่ากับ 1 + (1/47) และจะขยายสัญญาณที่ได้จาก VR2 และเอาต์พุทของ IC1/1 จะออกมาทางขา 7 ผ่าน R8 ไปเข้าที่ขาอินเวอร์ติ้งขา 2 ของ IC1/2 โดย IC1/2 นี้จะทำหน้าที่เป็นวงจรขยายความแตกต่าง ซึ่งจะจัดวงจรขยายแบบกลับสัญญาณโดยมีเกณฑ์การขยายเป็น –47 เท่า สำหรับสัญญาณที่ได้มาจากเอาต์พุทของ IC1/1 แต่สัญญาณที่ได้จาก VR1 นั้นจะถูกขยายแบบไม่กลับสัญญาณ และมีเกณฑ์การขยายเท่ากับ 48 เท่า ดังนั้นเกณฑ์การขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยรวมสัญญาณจาก VR2 ก็เป็น –47 [1+(1/47)] = -48 เท่า นั่นก็หมายความว่าจะไม่มีสัญญาณออกจาก IC1/2 เมื่อสัญญาณเสียงที่ MIC1 และ MIC2 มีสัญญาณที่เหมือนหรือเท่ากัน และสัญญาณรบกวนก็จะถูกตัดออกไปด้วย แต่ในขณะเดียวกันสัญญาณพูดจะสามารถออกมาได้จากไมโครโฟนที่อยู่ใกล้กับปากของผู้พูดมากที่สุดแรงดันไฟดีซีที่ไบแอสให้กับ IC1/1 และ IC1/2 จะได้มาจากการปรับที่ VR1 และ VR2 ซึ่งจะได้มาจากชุดแบ่งแรงดัน R4,R5

4.5 วงจร Band Pass Filter

Wide band-pass Filter มีรูปแบบจากการ Cascade ของ High-pass และ Low-pass โดยทั่วไปจะเลือก a ± 20 dB/ decade band pass ระหว่าง First-order high-pass และ First-order Low-pass หรือ a± 40 dB / decade band-pass filter ระหว่าง Second-order high-pass และ low-pass filter ซึ่งขึ้นอยู่กับ order ของ high-pass และ low-pass Filter

4.6 วงจร Power Amplifier

รูปที่ 4.3 รูปร่างหน้าตาของไอซี. ไฮเอาพุตเพาเวอร์

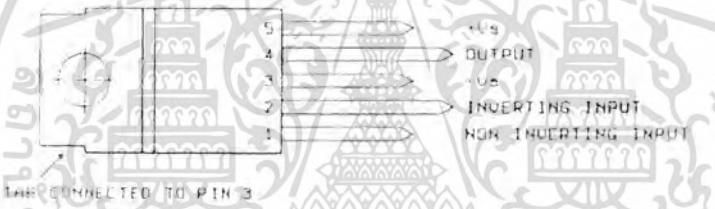
ไอซีตัวนี้คือไอซี.เบอร์ TDA2050 ซึ่งเป็นไอซี ที่นิยมใช้กันมากในเครื่องเสียงไฮไฟด้วยคุณสมบัติที่ออกแบบมาให้มีความผิดเพี้ยนต่ำ(ค่า THD เท่ากับ 0.05% คิดที่ความถี่ 100 ถึง 15,000 เฮิรตซ์) โดยคุณสมบัติเบื้องต้นหรือสเป็คของไอซี ดังกล่าวได้ดังต่อไปนี้

1. ไฟเลี้ยงวงจร ตั้งแต่ ±4.5 ถึง ±25V
2. กำลังวัตต์เมื่อคิดเป็นค่าวัตต์ RMS มีกำลัง 32 วัตต์/8 โอห์ม (เมื่อจ่ายไฟเลี้ยงวงจร ±22V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. กำลังวัตต์ MUSIC POWER มีค่ากำลัง 50 วัตต์ คิดเมื่อจ่ายไฟเลี้ยงวงจร±22V ลำโพง 4 โอห์ม
4. ค่าความผิดเพี้ยนรวม THD=0.02%
5. ค่าสลูว์เลต 8V/μS
6. ค่าความถี่ตอบสนอง (Power Bandwidth –3dB ที่ความถี่ 20-80,000 Hz
7. อัตราขยายทางโวลเตจ โอเพ่นลูพ 80 เดซิเบลโคลสลูพ 30.5 เดซิเบล

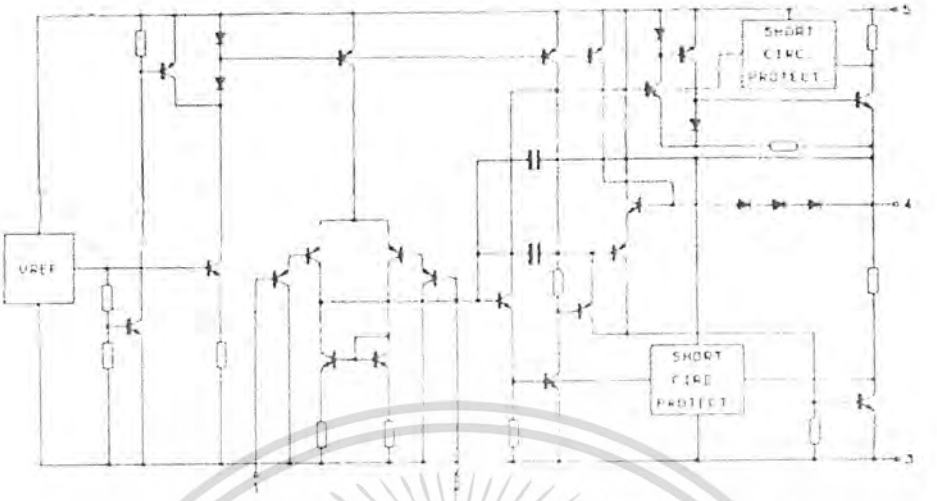
จากข้อมูลดังกล่าวจึงสามารถบอกได้ว่า ไอซี.ดังกล่าวเป็นไอซี.ที่มีมาตรฐานดีพอควรทีเดียวหากพิจารณารูปทรงของไอซี พบว่าตัวไม่ได้ใหญ่โตนักมีรูปทรง 2 แบบใหญ่คือแบบเพนต้าวัตต์ วี (Pentawatt V) กับเพนต้าวัตต์ เอช (Pentawatt H)ซึ่งมีความแตกต่างของขา เพื่อให้ผู้ใช้งานสามารถเลือกประเภทของขาให้เหมาะสมกับแผ่นระบายความร้อน



รูปที่ 4.4 ตำแหน่งขาต่างๆ ที่เอาไปใช้งาน

การที่วงจรเครื่องขยายถูกออกแบบมาให้เป็นไอซี นี้ย่อมจะสะดวกแก่การนำไปใช้งาน เพราะมีคุณสมบัติได้มาตรฐานประการหนึ่ง ประการต่อมาในขนาดวัตต์เท่ากันไอซี ย่อมใช้เนื้อที่น้อยกว่าแน่นอน ตำแหน่งขาในการใช้งานแสดงไว้ให้เห็นในรูปที่ 4.4 ขาใช้งานมีทั้งหมด 5 ขา โดยขา 1 เป็นขาอินพุตชนิดนอนอินเวอร์ติ้งอินพุต (Non Inverting Input) ซึ่งหมายถึงขาอินพุตที่ป้อนสัญญาณเข้าไปแล้วเฟสของสัญญาณที่ขยายออดทางเอาท์พุตไม่กลับเฟสกับอินพุตยังคงเฟสเดิมๆ อยู่ขา 2 เป็นขาอินพุตที่เรียกว่าอินเวอร์ติ้งอินพุต (Inverting Input) เป็นขาที่ป้อนสัญญาณเข้าไปแล้วมีการขยายกลับเฟสสัญญาณออกทางเอาท์พุต ขาที่ 4 เป็นขาเอาท์พุต(Output) หรือขาที่ต่อออกไปลำโพง ขาที่ 5 เป็นขาจ่ายไฟบวก ขาที่ 3 เป็นขาจ่ายไฟลบและเป็นขาที่ต่อเข้ากับแท็บระบายความร้อน (TAB) ซึ่งเมื่อพิจารณาแล้วพบว่า ไอซี ตัวนี้มีขาเท่าที่จำเป็นต่อการใช้งานเท่านั้น วงจรหรืออุปกรณ์ภายนอกจึงมีน้อยมาก เพราะเขาได้ออกแบบไว้แล้วรูปที่ 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 วงจรภายในของไอซี

จากวงจรรูปที่ 4.5 พบได้ว่าภายในได้มีการใส่วงจรป้องกันที่เรียกว่าชอร์ตเซอร์กิต โปรเท็คชั่นไว้ทั้งสองด้าน นั่นหมายความว่าหาดวงจรนี้มีการดึงกระแสมาก เช่น ในกรณีที่สายลำโพงชอร์ตกัน มีการพ่วงลำโพงจนโอห์มต่ำมากๆ กรณีดังกล่าวนี้ย่อมก่อปัญหาให้เกิดขึ้นกับเครื่องขยายเสียงและทำให้เครื่องพังได้ เมื่อมีวงจรดังกล่าวนี้มาเพื่อป้องกัน หากกระแสในวงจรขับออกไปมาก ย่อมทำให้เกิดแรงดันตกค่อมรีซิสเตอร์ของทรานซิสเตอร์เอาท์พุตภายในจนมีแรงดันไฟเพียงพอที่จะเป็นไบอัสให้กับวงจรป้องกัน (Short Circuit Protection) ส่งผลให้วงจรดังกล่าวไปดึงกระแสของวงจรไบอัสเดอร์เรนท์ทิ้ง ภาคเอาท์พุตจึงปลอดภัยได้ในที่สุด

4.7 วงจร Analog to Digital และวงจรควบคุม

การทำงานของ ADC ทำหน้าที่แปลงสัญญาณอะนาลอกเป็นดิจิตอลด้วยการควบคุมผ่านระบบบัส I²C ซึ่ง ADC อ่านค่าสัญญาณจาก โวลุ่ม ซึ่งเป็นค่าสัญญาณอะนาลอกแล้วทำการ Sampling ค่าที่ได้รับเป็นสัญญาณดิจิตอล

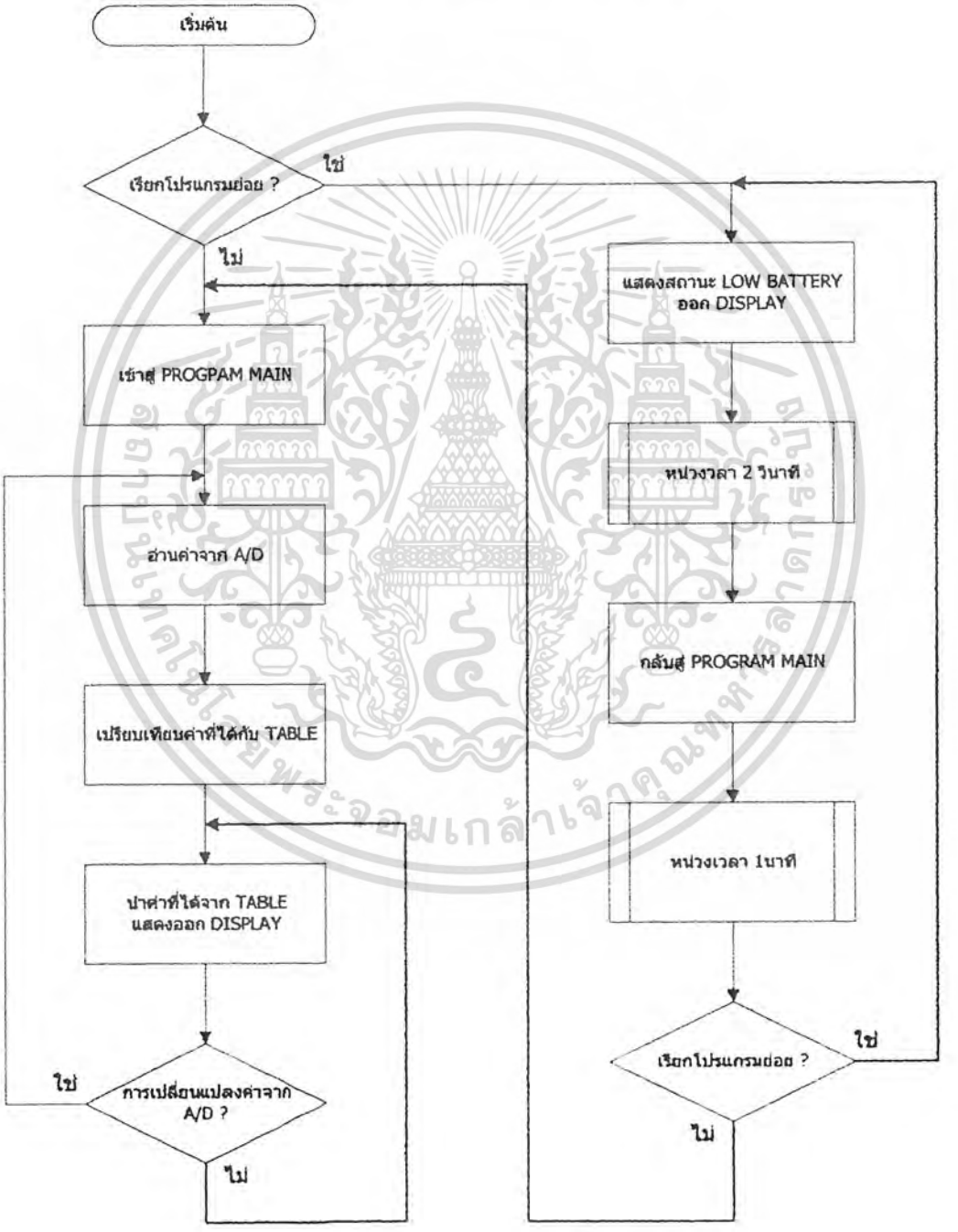
การทำงานของวงจรควบคุมด้วมไมโครคอลโทรลเลอร์จะทำการอ่านค่าที่ได้จากวงจร Analog to Digital แล้วทำการประมวลผลนำค่าที่ได้มาเปรียบเทียบกับค่าที่กำหนดไว้ในโปรแกรมแล้วจึงนำค่าจากการเปรียบเทียบนำมาแสดงผลออก Display

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานในส่วนของซอฟต์แวร์

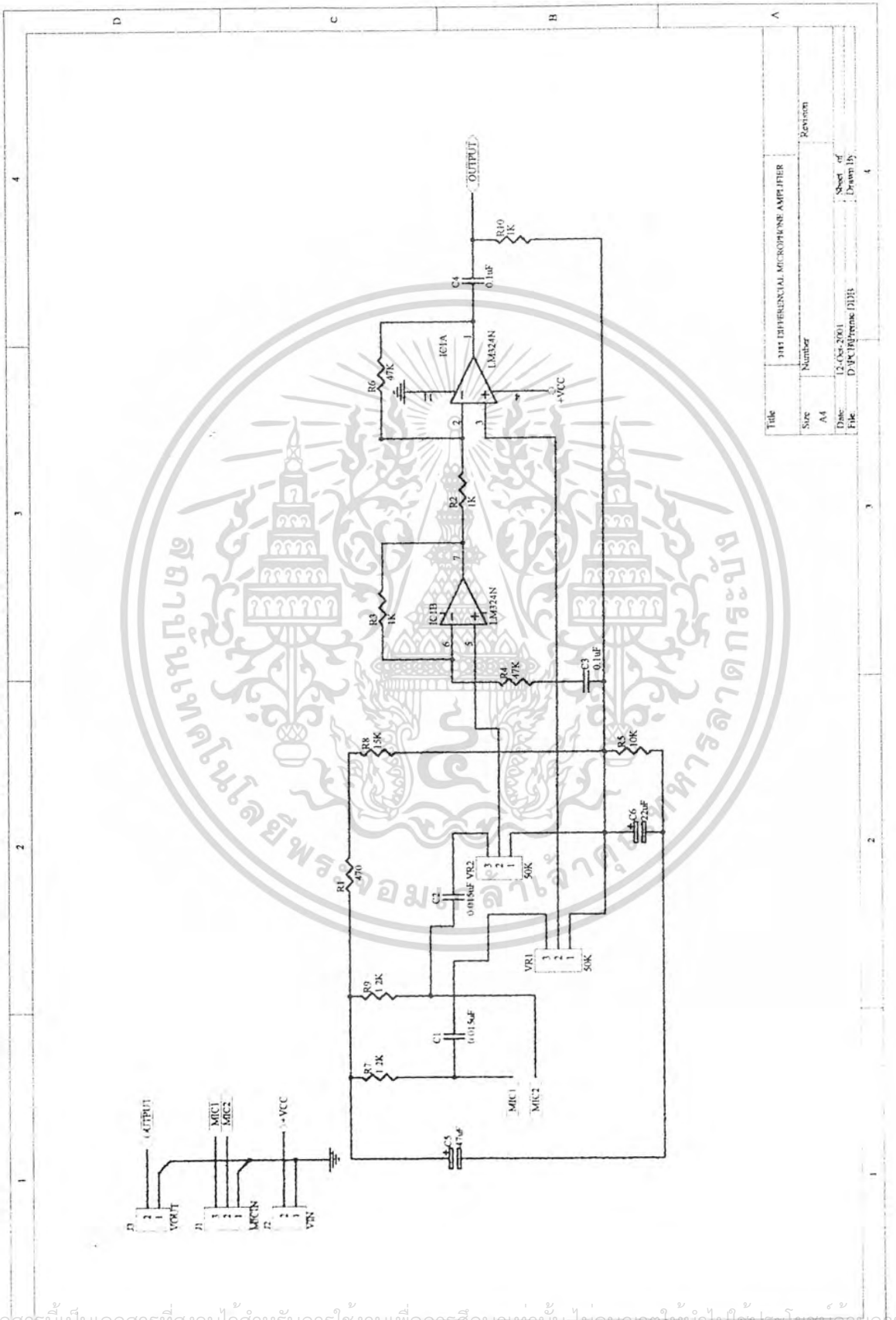
(FLOW CHART)

วงจรนี้ควบคุมด้วยไมโครโทรลเลอร์ ดั้งนั้นนอกส่วนฮาร์ดแวร์แล้วจำเป็นต้องมีส่วนซอฟต์แวร์เพื่อควบคุมการทำงานด้วย โดยการทำงานหลักๆ ของโปรแกรมมอนิเตอร์ภายในไมโครคอนโทรลเลอร์ตระกูล MCS-51 สามารถเขียนเป็น FLOW CHART ได้ดังนี้

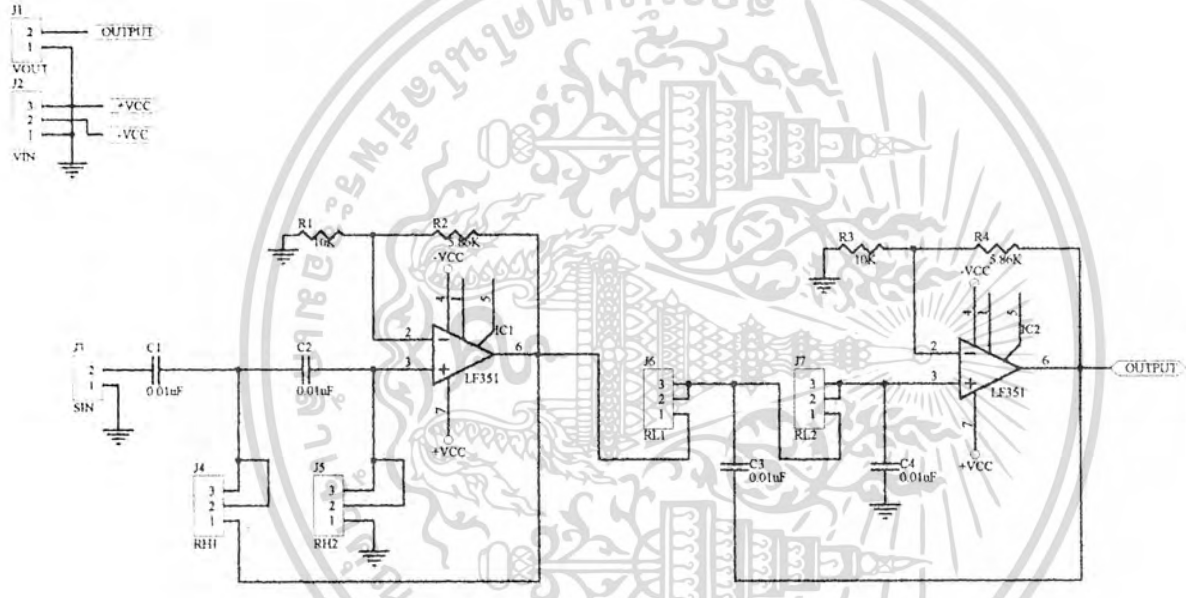


รูปที่ 4.6 การทำงานในส่วนของซอฟต์แวร์ (FLOW CHART)

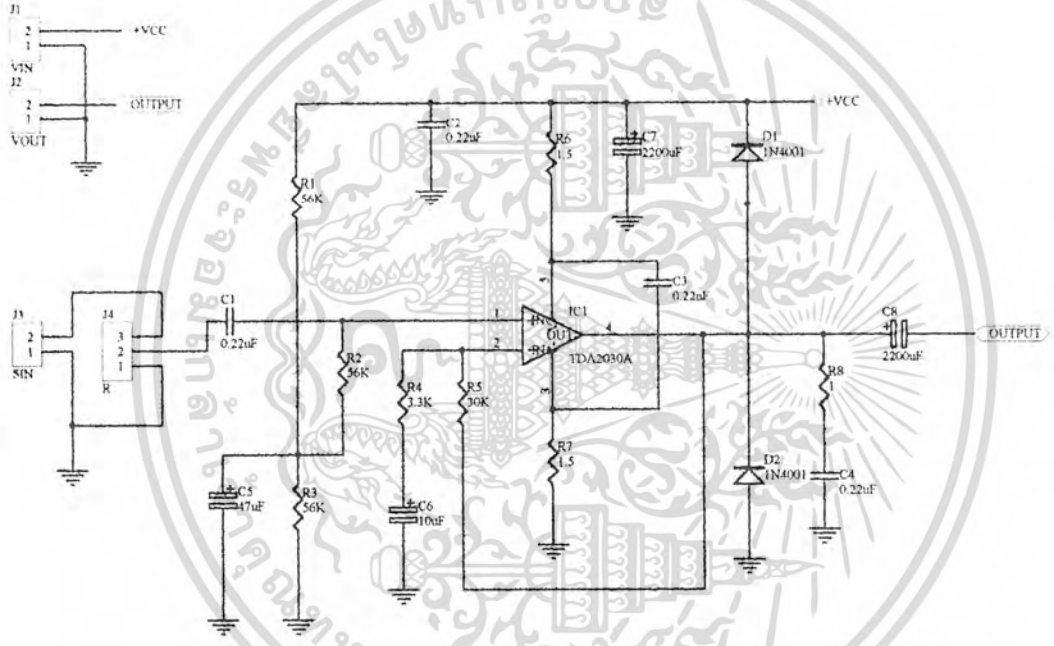
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



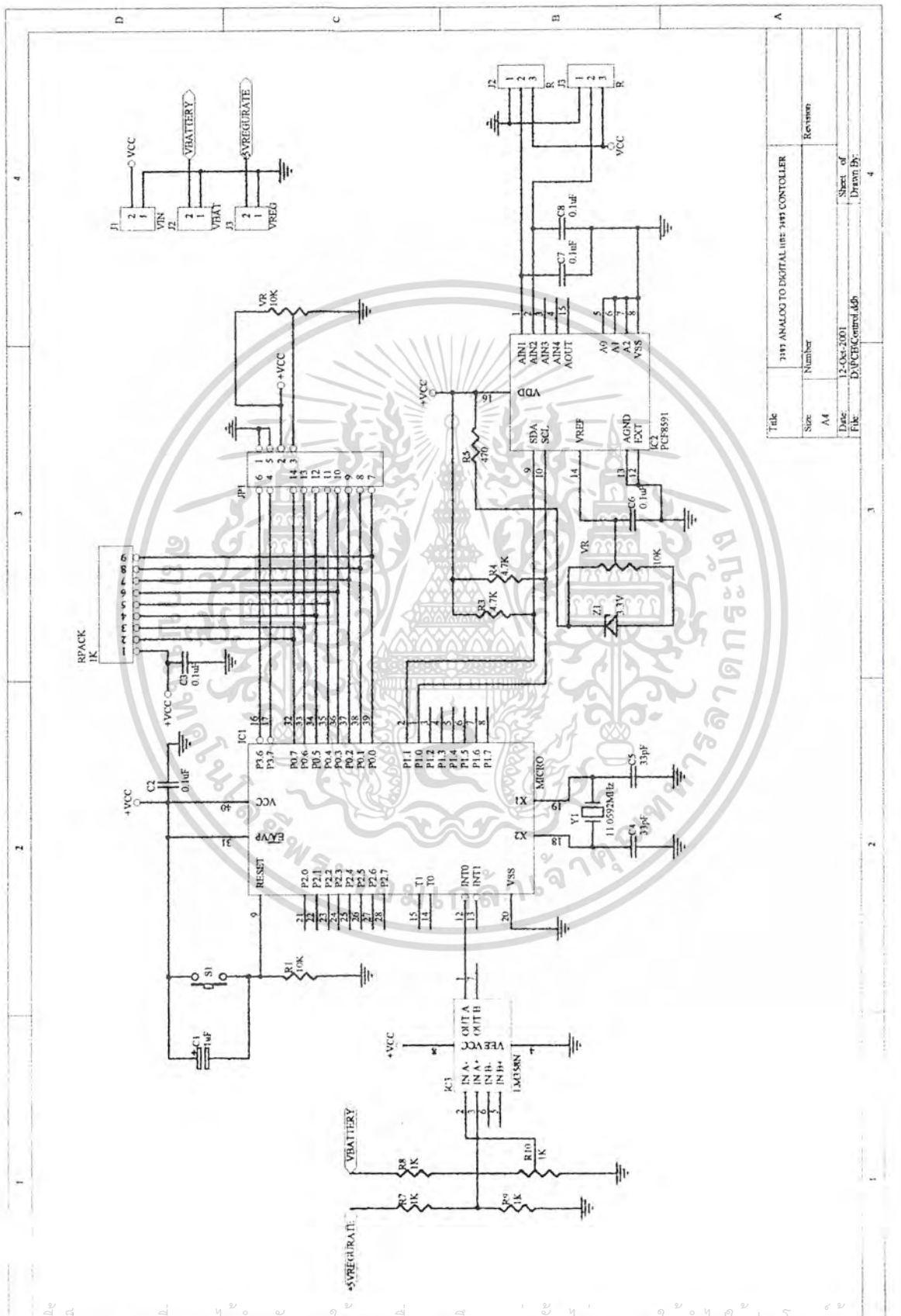
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title	2485 BANDPASS FILTER		
Size	Number		Revision
A4			
Date	12-Oct-2004	Sheet of	
File	D:\PCB\Bandpass.DDB	Drawn By	



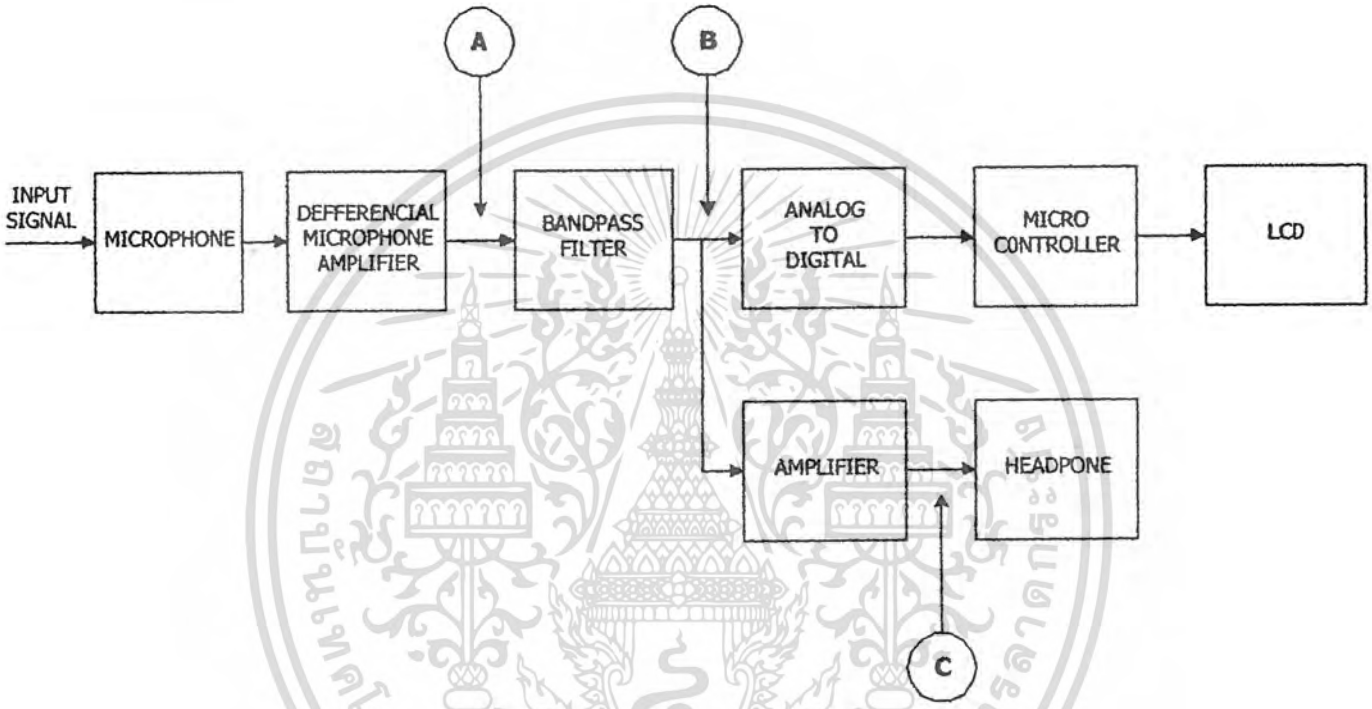
Title	7297 POWER AMPLIFIER		
Size A4	Number		Revision
Date:	12-Oct-2001	Sheet of	
File:	D:\PCB\Poweramp.DDB	Drawn By:	



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช

บทที่ 5
ผลการทดลอง

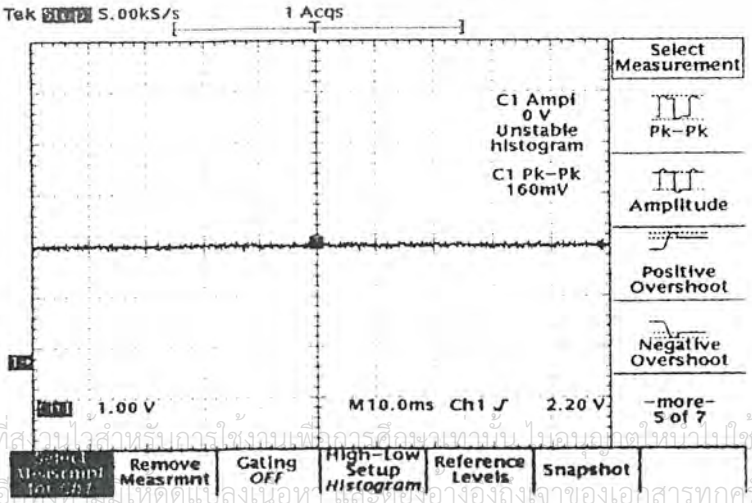
5.1 BLOCK DIAGRAM การทำงาน



รูปที่ 5.1 BLOCK DIAGRAM การทำงาน

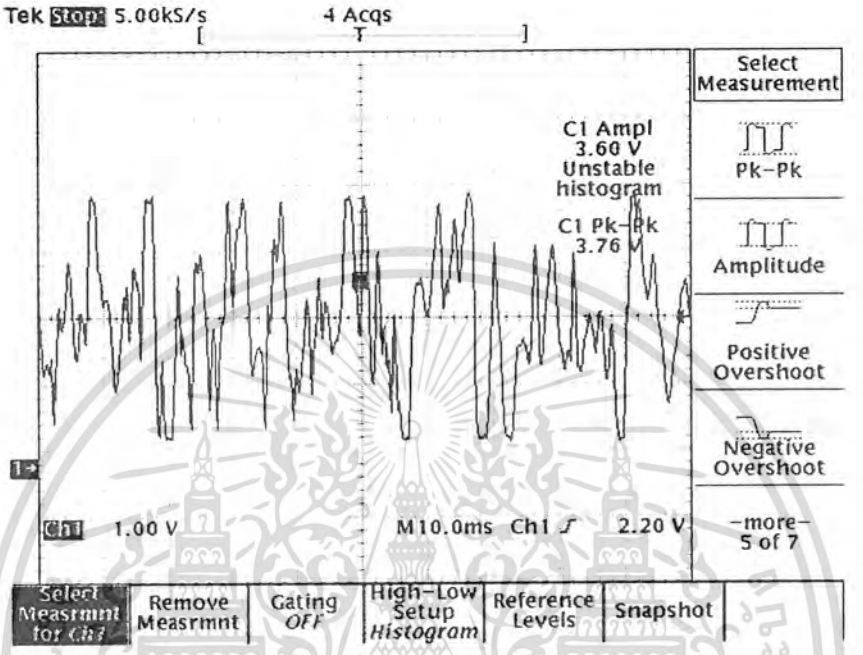
5.2 วงจร DIFFERENCIAL MICROPHONE AMPLIFIER

ผลการทดลอง วงจร DIFFERENCIAL MICROPHONE AMPLIFIER (รูปที่ 5.2)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.2 เป็นสัญญาณที่จุด A ของ Block Diagram ซึ่งเป็นผลการทดลองของวงจร Differencial Microphone Amplifier ในขณะไม่มีสัญญาณเสียงเข้ามายังระบบจะทำให้ Amplitude ของสัญญาณต่ำ



ผลการทดลอง วงจร DIFFERENCIAL MICROPHONE AMPLIFIER (รูปที่ 5.3)

จากรูปที่ (5.3) เป็นสัญญาณที่จุด A ของ Block Diagram ซึ่งเป็นผลการทดลองของวงจร Differencial Microphone Amplifier เช่นกัน แต่ในขณะได้รับสัญญาณเสียงเข้ามายังระบบจะทำให้ Amplitude ของสัญญาณสูงขึ้นเนื่องจาก Gain ของวงจรเอง

5.3 วงจร Band Pass Filter

ผลการทดลอง วงจร Band Pass Filter

การคำนวณ

แสดงการคำนวณของวงจร Bandpass Filter โดยจะคำนวณหาค่า R โดยให้ค่า C คงที่ ซึ่งใช้สมการดังตัวอย่างข้างล่าง

EXAMPLE : **Low Pass**

FH = 900 Hz

C2 = C3 = 0.01 μF

$$R2 = R3 = \left(\frac{1}{2\pi * fH * C}\right)$$

High Pass

FL = 400 Hz

C2 = C3 = 0.01 μF

$$R2 = R3 = \left(\frac{1}{2\pi * fL * C}\right)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \left(\frac{1}{2\pi * 900 * 0.01 * 10^{-6}}\right)$$

$$= 17.7\ k\Omega$$

$R1 = 10\ k\Omega$

$RF = 0.586R1$

$= 5.86\ k\Omega$

$$= \left(\frac{1}{2\pi * 400 * 0.01 * 10^{-6}}\right)$$

$$= 39.8\ k\Omega$$

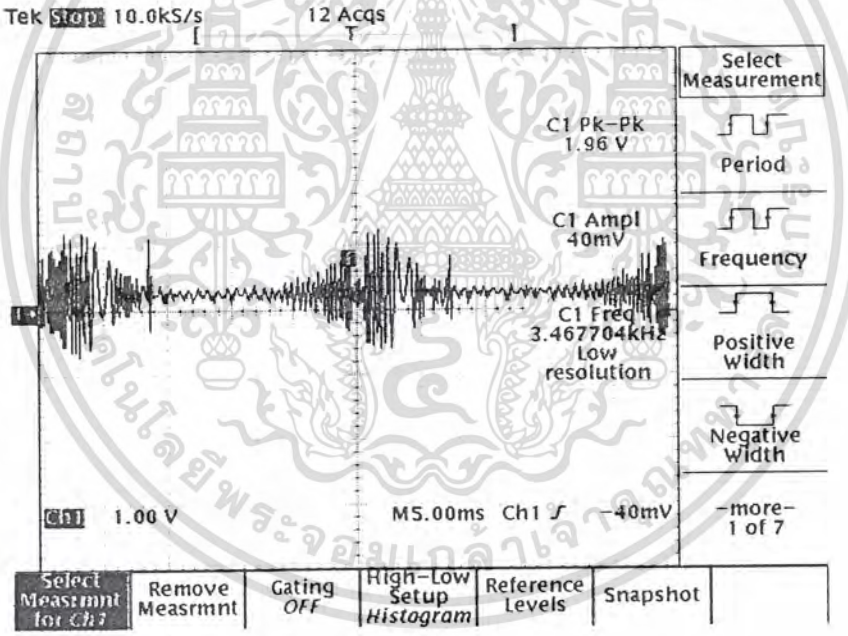
$R1 = 10\ k\Omega$

$RF = 0.586R1$

$= 5.86\ k\Omega$

$$fc = \sqrt{fl * fH}$$
$$= \sqrt{400 * 900}$$
$$= 600\ Hz$$

รูปผลการทดลอง วงจร Band Pass Filter (รูปที่ 5.4)

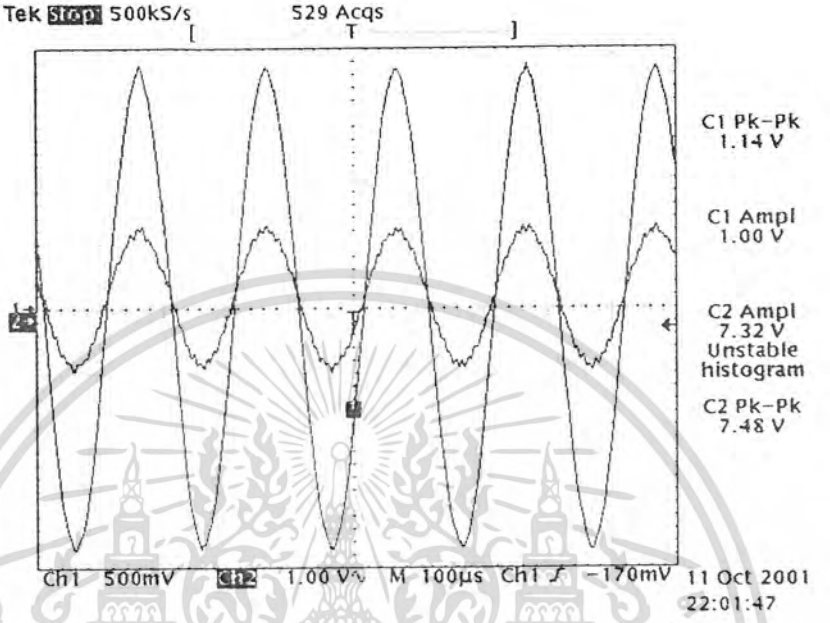


จากรูปที่ 5.4 เป็นสัญญาณที่จุด **B** ของ Block Diagram ซึ่งเป็นผลการทดลองของวงจร Bandpass Filter ซึ่งในรูปนี้เป็นการทดลองโดยให้วงจร Bandanas Filter ในภาคของ Highpass Filter ให้ Cut Off ที่ความถี่ประมาณ 3.86 KHz ส่วนในภาค Lowpass Filter ให้ Cut Off ที่ ความถี่ประมาณ 13.54 KHz และมี Gain การขยายประมาณหนึ่งเท่าครึ่งของสัญญาณอินพุทที่ป้อนให้ ซึ่งทั้งหมดจะแสดงผลออกมาดังรูป 5.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 วงจร Power Amplifier

ผลการทดลอง วงจร Power Amplifier (รูปที่ 5.5)



จากรูปที่ 5.5 เป็นสัญญาณที่จุด C ของ Block Diagram ซึ่งเป็นผลการทดลองของวงจร Power Amplifier โดยจากทดลองจะทำการวัดเทียบกับสัญญาณอินพุทที่ป้อนเข้าสู่วงจรซึ่งจะแสดงให้เห็นถึง Amplitude ที่เพิ่มสูงขึ้นเนื่องจาก Gain การขยายของวงจร Power Amplifier เอง ซึ่งทั้งหมดจะแสดงผลออกมาดังรูป 5.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

*หนังสือ เข้าใจ/สร้าง/เล่น ไมโครโปรเซสเซอร์ เรียบเรียงโดย ไกรวุฒิ โรจน์ประเสริฐสุด

*หนังสือ เรียนรู้และปฏิบัติการไมโครคอนโทรลเลอร์ MCS-51 FLASH MICROCONTROLLER เรียบเรียงโดย ชัยวัฒน์ ลิ้มพรจิตรวิไล และ วรพจน์ กรแก้ววัฒนากุล

*หนังสือ คู่มือและการประยุกต์ใช้งาน ไมโครคอนโทรลเลอร์ MCS-51 เรียบเรียงโดย ปรเมษฐ์ ประนยานันทน์ และ ปิยพงศ์ เผ่าวณิช

*หนังสือ อิเล็กทรอนิกส์เบื้องต้น เรียบเรียงโดย มงคล ทองสงคราม

*หนังส์อ คู่มือ PROTEL 99 DESIGN EXPLORER 99SE เรียบเรียงโดย นาย บุญชัย กิ่งรุ้งเพชร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก (DATA)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*****************************************************************;
;*                                                               *;
;*  FILENAME      PROJECT.ASM                                    *;
;*  DESCRIPTION   PROGRAM                                        *;
;*  HARDWARE      TRAPPING OF ANIMAL WHISPER SOUND               *;
;*  ASSEMBLER     SXA51                                          *;
;*  START-DATE    16/07/2544                                     *;
;*  UPDATE        XX/XX/2544                                     *;
;*  ENGINEER                                                     *;
;*  COMPANY       INDUSTRIAL TECHNOLOGY (KMIT'L)                 *;
;*                                                               *;
;*****************************************************************;

;*************************************************;
;          DEFINE USER REGISTER                   ;
;*************************************************;

                ORG     0000H
CR              EQU     13
LF              EQU     10
NL              EQU     12
ADC_W           EQU     090H
ADC_R           EQU     091H
AD0_B           EQU     040H
AD1_B           EQU     041H
EE_W            EQU     0A0H
EE_R            EQU     0A1H
I2C_ADDR        EQU     33H
I2C_DATA        EQU     34H
I2C_COMM        EQU     32H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SDA         EQU     P1.1
SCL         EQU     P1.0
LCD_EN_     EQU     P3.6
LCD_RS      EQU     P3.7
LCD_ADDR    EQU     030H
LCD_DATA    EQU     031H
LCD_PTR     EQU     032H
LCD_O       EQU     P0
            LJMP    MAIN

;*************************************************;
;           DEFINE USER REGISTER                  ;
;*************************************************;

            ORG     0020H
FLAG:       DS      1
N_ACK       EQU     FLAG.0

;*************************************************;
;           MAIN PROGRAM                          ;
;*************************************************;
            ORG     00000H
MAIN:       AJMP    INITAL
            ORG     0003H
            RETI
            ORG     000BH
            ORG     0013H
            RETI
INITAL:     MOV     P0,#00000000B
            MOV     P1,#11101111B
            MOV     P2,#11111110B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     P3,#00011111B
        ACALL   INIT_LCD
        LCALL   INIT_I2C
        MOV     R4,#0
MM:     JNB     P3.2,MMM

        CJNE    R4,#0,MMM1
        LCALL   LCD_CLR
        MOV     LCD_ADDR,#000H
        ACALL   SET_ADDR_LCD
        MOV     DPTR,#TITLE_5
        ACALL   WRLINE_LCD
        MOV     LCD_ADDR,#040H
        ACALL   SET_ADDR_LCD
        MOV     DPTR,#TITLE_3
        ACALL   WRLINE_LCD
        LCALL   DELAY_1s
        LCALL   DELAY_1s
        LCALL   DELAY_1s
        LCALL   LCD_CLR
MMM1:   INC     R4
MMM:    MOV     R1,#AD0_B
        CLR     F0
M0:     MOV     I2C_COMM,#01000000B
M1:     MOV     I2C_DATA,#0
        LCALL   WR_PCF8591
        LCALL   RD_PCF8591
        LCALL   RD_PCF8591
        MOV     @R1,I2C_DATA
        INC     R1
        INC     I2C_COMM
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CPL     F0
        JB      F0,M1
        MOV     A,AD0_B ;LOW
        CLR     C
        SUBB    A,AD1_B
        JB      PSW.7,REJECT
        ACALL   WR_HLPF
        MOV     LCD_ADDR,#005H
        ACALL   SET_ADDR_LCD
        MOV     DPTR,#FREQ
        MOV     A,AD0_B
        MOV     B,#9
        MUL     AB
        CLR     C
        ADD     A,DPL
        MOV     DPL,A
        MOV     A,B
        JNB     PSW.7,AA
        ADD     A,#1
AA:     ADD     A,DPH
        MOV     DPH,A
        ACALL   WRFR_LCD
        MOV     LCD_ADDR,#045H
        ACALL   SET_ADDR_LCD
        MOV     DPTR,#FREQ
        MOV     A,AD1_B
        MOV     B,#9
        MUL     AB
        CLR     C
        ADD     A,DPL
        MOV     DPL,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     A,B
        JNB     PSW.7,BB
        ADD     A,#1
BB:     ADD     A,DPH
        MOV     DPH,A
        ACALL   WRFR_LCD
        AJMP    MM
REJECT: MOV     LCD_ADDR,#000H
        ACALL   SET_ADDR_LCD
        MOV     DPTR,#TITLE_ER
        ACALL   WRLINE_LCD
        MOV     LCD_ADDR,#040H
        ACALL   SET_ADDR_LCD
        MOV     DPTR,#TITLE_4
        ACALL   WRLINE_LCD
        AJMP    MM

WR_HLPF: MOV    LCD_ADDR,#000H
        ACALL   SET_ADDR_LCD
        MOV     LCD_DATA,#'H'
        ACALL   WRCHAR_LCD
        INC     R0
        MOV     LCD_DATA,#'P'
        ACALL   WRCHAR_LCD
        INC     R0
        MOV     LCD_DATA,#'F'
        ACALL   WRCHAR_LCD
        MOV     LCD_ADDR,#040H
        ACALL   SET_ADDR_LCD
        MOV     LCD_DATA,#'L'
        ACALL   WRCHAR_LCD
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                INC             R0
                MOV             LCD_DATA,#'P'
                ACALL           WRCHAR_LCD
                INC             R0
                MOV             LCD_DATA,#'F'
                ACALL           WRCHAR_LCD
                INC             R0
                MOV             LCD_DATA,#' '
                ACALL           WRCHAR_LCD
                INC             R0
                MOV             LCD_DATA,#' '
                ACALL           WRCHAR_LCD
                RET

;*****************************************************;
;               I2C INITIALIZE                        ;
;*****************************************************;

INIT_I2C:       SETB            SCL
                SETB            SDA
                RET

;*****************************************************;
;               I2C START                             ;
;*****************************************************;

START_I2C:      SETB            SCL
                SETB            SDA
                NOP
                CLR             SDA
                NOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                CLR     SCL
                RET

;*****************************************************;
;               I2C STOP                              ;
;*****************************************************;

STOP_I2C:       SETB    SCL
                NOP
                SETB    SDA
                RET

;*****************************************************;
;               I2C WRITE                             ;
;*****************************************************;

WR_I2C:         CLR     N_ACK
                PUSH    0
                MOV     R0,#8
WR_I2C1:        RLC     A
                MOV     SDA,C
                NOP
                NOP
                SETB    SCL
                NOP
                NOP
                CLR     SCL
                DJNZ    R0,WR_I2C1
                SETB    SDA
                NOP
                NOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                SETB    SCL
                NOP
                NOP
                JNB     SDA,WR_I2C2
                SETB    N_ACK
WR_I2C2:        CLR     SCL
                POP     0
                RET

;*****************************************************;
;               I2C READ                              ;
;*****************************************************;

RD_I2C:         CLR     N_ACK
                PUSH    0
                MOV     R0,#8
RD_I2C1:        SETB    SCL
                NOP
                MOV     C,SDA
                CLR     SCL
                RLC     A
                DJNZ    R0,RD_I2C1
                SETB    SDA
                SETB    SCL
                JNB     SDA,RD_I2C2
                SETB    N_ACK
RD_I2C2:        CLR     SCL
                CLR     SDA
                POP     0
                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*****************************************************;
;                I2C DELETE                           ;
;*****************************************************;

I2C_DEL:    PUSH    0
            MOV     0,#10H
            DJNZ    R0,$
            POP     0
            RET

;*****************************************************;
;*              I2C FUNCTION                         ;
;*****************************************************;

WR_PCF8591: ACALL   START_I2C
            MOV     A,#ADC_W
            ACALL   WR_I2C
            JB      N_ACK,WR_PCF8591
            MOV     A,I2C_COMM
            ACALL   WR_I2C
            JB      N_ACK,WR_PCF8591
            MOV     A,I2C_DATA
            ACALL   WR_I2C
            JB      N_ACK,WR_PCF8591
            ACALL   STOP_I2C
            RET
RD_PCF8591: ACALL   START_I2C
            MOV     A,#ADC_R
            ACALL   WR_I2C
            JB      N_ACK,RD_PCF8591
            ACALL   RD_I2C
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV         I2C_DATA,A
                ACALL       STOP_I2C
                RET

;*****************************************************;
;               LCD MOD                               ;
;*****************************************************;

INIT_LCD:       ACALL       DELAY_100ms
                CLR         LCD_RS
                MOV         P0,#00111000B
                ACALL       LCD_CLK
                ACALL       DELAY_10ms
                MOV         P0,#00111000B
                ACALL       LCD_CLK
                ACALL       LCD_OFF
                ACALL       LCD_CLR
                MOV         P0,#00000110B
                ACALL       LCD_CLK
                ACALL       LCD_HOME
LCD_CLR:        CLR         LCD_RS
                MOV         P0,#00000001B
                ACALL       LCD_CLK
                RET
LCD_HOME:       CLR         LCD_RS
                MOV         P0,#00000010B
                ACALL       LCD_CLK
                RET
LCD_OFF:        CLR         LCD_RS
                MOV         P0,#00001000B
                ACALL       LCD_CLK
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                RET
LCD_CLK:        SETB    LCD_EN
                ACALL   LCD_DELAY
                CLR     LCD_EN
                ACALL   LCD_DELAY
                RET
LCD_ON:         CLR     LCD_RS
                MOV     P0,#00001100B
                ACALL   LCD_CLK
                RET
LCD_BLINK:      CLR     LCD_RS
                MOV     P0,#00001111B
                ACALL   LCD_CLK
                RET
LCD_LSHF:       CLR     LCD_RS
                MOV     P0,#00011000B
                ACALL   LCD_CLK
                RET
LCD_RSHF:       CLR     LCD_RS
                MOV     P0,#00011100B
                ACALL   LCD_CLK
                RET
SET_ADDR_LCD:   CLR     LCD_RS
                MOV     A,LCD_ADDR
                SETB    ACC.7
                MOV     P0,A
                ACALL   LCD_CLK
                RET
WRCHAR_LCD:     SETB    LCD_RS
                MOV     P0,LCD_DATA
                ACALL   LCD_CLK
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ACALL       LCD_ON
                RET
WRLINE_LCD:     MOV         R0,#0
WRLINE_LCD_1:   SETB        LCD_RS
                CLR         A
                MOVC        A,@A+DPTR
                MOV         P0,A
                ACALL       LCD_CLK
                INC         DPTR
                INC         R0
                CJNE        R0,#16,WRLINE_LCD_1
                ACALL       LCD_ON
                RET
WRFR_LCD:       MOV         R0,#0
WRFR_LCD_1:     SETB        LCD_RS
                CLR         A
                MOVC        A,@A+DPTR
                MOV         P0,A
                ACALL       LCD_CLK
                INC         DPTR
                INC         R0
                CJNE        R0,#9,WRFR_LCD_1
                MOV         LCD_DATA,#'H'
                ACALL       WRCHAR_LCD
                INC         R0
                MOV         LCD_DATA,#'z'
                ACALL       WRCHAR_LCD
                ACALL       LCD_ON
                RET

;*****************************************************;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;                8051 IO                                ;
;*******************************************************;

-
POR:        INC         DPTR
POR1:       MOV         A,DPH
            CJNE        A,#0,POR
            RET
CK_ENT:     ACALL       GET
            MOV         A,SBUF
            CJNE        A,#0DH,CK_ENT
            RET
GET:        JNB         RI,$
            CLR         RI
            RET
GETCH:      JNB         RI,$
            CLR         RI
            MOV         A,SBUF
            PUSH        ACC
            ACALL       WR_CHAR
            CJNE        A,#08H,GETCH1
            ACALL       SPACE
            POP         ACC
            ACALL       WR_CHAR
            RET
GETCH1:     CJNE        A,#0DH,GETCH2
            ACALL       ENTER
            RET
GETCH2:     POP         ACC
            RET
GET_2D:     ACALL       GETCH
            CLR         C
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SUBB    A,#'0'
        SWAP    A
        MOV     R0,A
        ACALL   GETCH
        SUBB    A,#'0'
        ORL     A,R0
        RET
CLRSCR: MOV     DPTR,#CLR_TAB
        ACALL   WR_LINE
        RET
CLR_TAB: DB     CR,LF,NL,0
ENTER:  MOV     A,#CR
        ACALL   WR_CHAR
        MOV     A,#LF
        ACALL   WR_CHAR
        RET
SPACE:  MOV     A,#' '
        ACALL   WR_CHAR
        RET
WR_CHAR: MOV    SBUF,A
        JNB     TI,$
        CLR     TI
        RET
WR_ASC: PUSH    ACC
        SWAP    A
        ANL     A,#0FH
        MOV     DPTR,#ASC_TAB
        MOVC    A,@A+DPTR
        ACALL   WR_CHAR
        POP     ACC
        ANL     A,#0FH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOVC        A,@A+DPTR;
                ACALL       WR_CHAR
                RET
ASC_TAB:        DB          '0123456789ABCDEF'
WR_LINE:        CLR          A
WR_L1:          PUSH        ACC
                MOVC        A,@A+DPTR
                CJNE        A,#0,WR_LINE_1
                POP         ACC
                RET
WR_LINE_1:      ACALL       WR_CHAR
                POP         ACC
                INC         A
                SJMP        WR_L1

;*****************************************************;

;*****************************************************;
;               DELAY                                 ;
;*****************************************************;

LCD_DELAY:          MOV         7,#002
LCD_DELAY_1:        MOV         6,#0E6H
LCD_DELAY_2:        NOP
                    NOP
                    DJNZ        R6,LCD_DELAY_2
                    DJNZ        R7,LCD_DELAY_1
                    RET
DELAY_10ms:     MOV             7,#010
DELAY_10ms_1:   MOV             6,#0E6H
DELAY_10ms_2:   NOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                NOP
                DJNZ        R6,DELAY_10ms_2
                DJNZ        R7,DELAY_10ms_1
                RET
DELAY_100ms:    MOV         7,#0100
DELAY_100ms_1:  MOV         6,#0E6H
DELAY_100ms_2:  NOP
                NOP
                DJNZ        R6,DELAY_10ms_2
                DJNZ        R7,DELAY_10ms_1
                RET
DELAY_1s:       MOV         5,#100
DELAY_1s_1:     ACALL       DELAY_10ms
                DJNZ        R5,DELAY_1s_1
                RET
DELAY_11s:      MOV         5,#050
DELAY_11s_1:    ACALL       DELAY_10ms
                DJNZ        R5,DELAY_11s_1
                RET
DELAY_50us:     MOV         6,#00CH
DELAY_50us_1:   NOP
                NOP
                DJNZ        R6,DELAY_50us_1
                RET
DELAY_100us:    MOV         6,#017H
DELAY_100us_1:  NOP
                NOP
                DJNZ        R6,DELAY_100us_1
                RET
DELAY_1ms:      MOV         6,#0E6H
DELAY_1ms_1:    NOP
```

เอกสารนี้จัดทำขึ้นเพื่อสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                NOP
                DJNZ            R6,DELAY_1ms_1
                RET

;*****************************************************;
;               DEFINE CONSTANT                       :
;*****************************************************;

                                ; 0123456789ABCDEF
TITLE_ER:       DB              '    Error    '
TITLE_1:        DB              'HPF          '
TITLE_2:        DB              'LPF          '
TITLE_3:        DB              ' LOW BATTERY! '
TITLE_4:        DB              'REJECT BAND PASS'
TITLE_5:        DB              ' Warning !!! '
;                               '123456789'
FREQ:           DB              'STAND BY ',' 83.327 k',' 41.663 k',' 27.775 k',' 20.831 k',' 16.665
k'
                DB              ' 13.887 k',' 11.903 k',' 10.415 k',' 9.258 k',' 8.332 k'
                DB              ' 7.575 k',' 6.943 k',' 6.409 k',' 5.951 k',' 5.555 k'
                DB              ' 5.207 k',' 4.901 k',' 4.629 k',' 4.385 k',' 4.166 k'
                DB              ' 3.967 k',' 3.787 k',' 3.622 k',' 3.471 k',' 3.333 k'
                DB              ' 3.204 k',' 3.086 k',' 2.975 k',' 2.873 k',' 2.777 k'
                DB              ' 2.687 k',' 2.603 k',' 2.525 k',' 2.450 k',' 2.380 k'
                DB              ' 2.314 k',' 2.252 k',' 2.192 k',' 2.136 k',' 2.083 k'
                DB              ' 2.032 k',' 1.973 k',' 1.937 k',' 1.893 k',' 1.851 k'
                DB              ' 1.811 k',' 1.772 k',' 1.735 k',' 1.700 k',' 1.666 k'
                DB              ' 1.633 k',' 1.602 k',' 1.572 k',' 1.543 k',' 1.515 k',' 1.487 k',
                                1.461 k',' 1.436 k',' 1.412 k',' 1.388 k'
                DB              ' 1.366 k',' 1.343 k',' 1.322 k',' 1.301 k',' 1.281 k',' 1.262 k',
                                1.243 k',' 1.225 k',' 1.207 k',' 1.190 k'
```

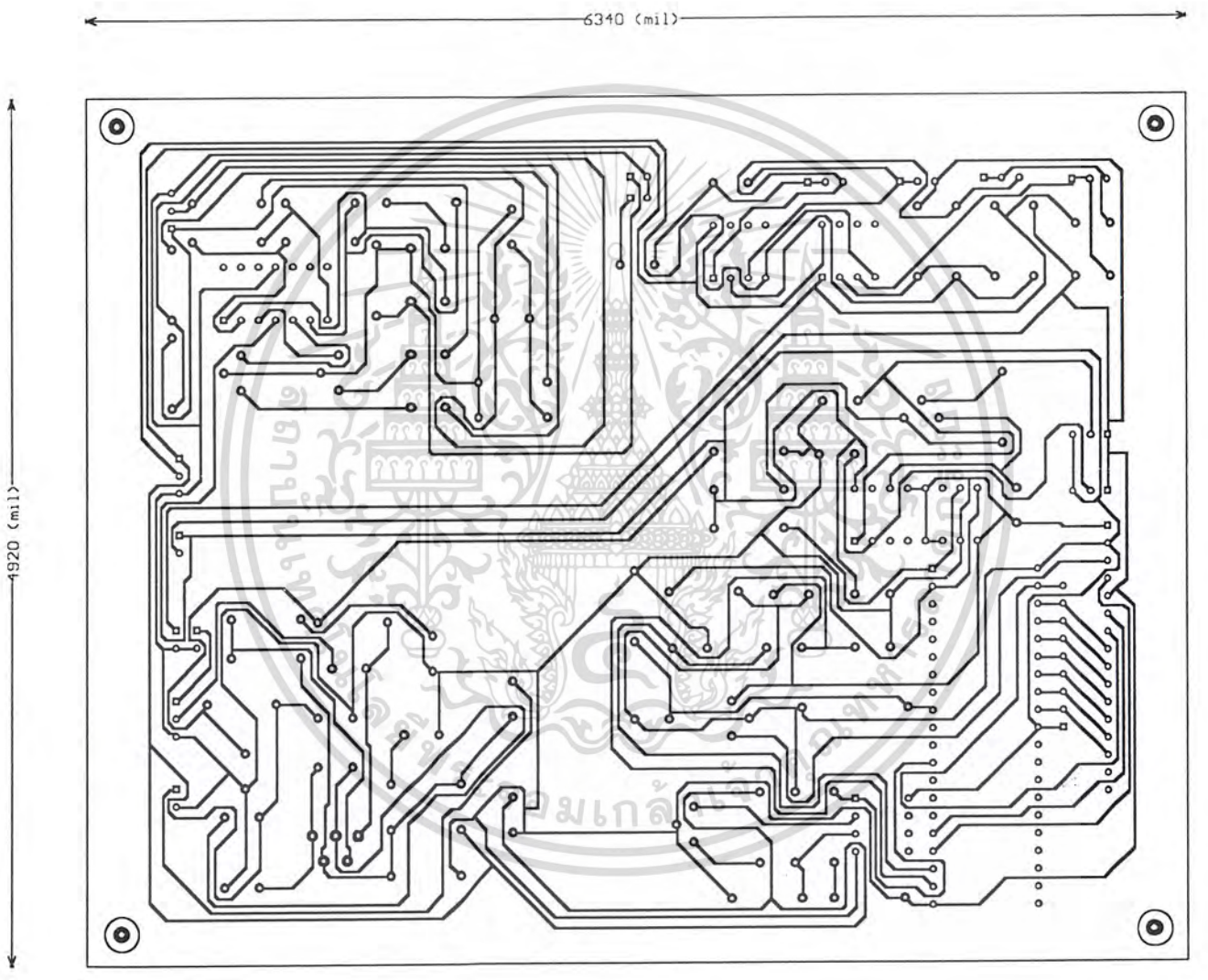
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DB      ' 1.173 k',' 1.157 k',' 1.141 k',' 1.126 k',' 1.111 k',' 1.096 k',
        1.082 k',' 1.068 k',' 1.054 k',' 1.041 k'
DB      ' 1.028 k',' 1.016 k',' 1.003 k','991.991 ','980.319 ','968.920
        ','957.783 ','946.899 ','936.260 ','925.857 '
DB      '915.683 ','905.730 ','895.991 ','886.459 ','877.128 ','867.991
        ','859.043 ','850.277 ','841.688 ','833.271 '
DB      '825.021 ','816.933 ','809.001 ','801.223 ','793.592 ','786.105
        ','778.758 ','771.548 ','764.469 ','757.519 '
DB      '750.695 ','743.992 ','737.408 ','730.940 ','724.584 ','718.337
        ','712.198 ','706.162 ','700.228 ','694.393 '
DB      '688.654 ','683.009 ','677.456 ','671.993 ','666.617 ','661.326
        ','656.119 ','650.993 ','645.947 ','640.978 '
DB      '636.085 ','631.266 ','623.520 ','621.844 ','617.238 ','612.699
        ','608.227 ','603.820 ','599.476 ','595.194 '
DB      '590.973 ','586.811 ','582.707 ','578.661 ','574.670 ','570.734
        ','566.851 ','563.021 ','559.242 ','555.514 '
DB      '551.835 ','548.205 ','544.622 ','541.085 ','537.594 ','534.148
        ','530.746 ','527.387 ','524.070 ','520.794 '
DB      '517.560 ','514.365 ','511.209 ','508.092 ','505.013 ','501.971
        ','498.965 ','495.995 ','493.060 ','490.159 '
DB      '487.293 ','484.460 ','481.660 ','478.891 ','476.155 ','473.449
        ','470.775 ','468.130 ','465.515 ','462.928 '
DB      '460.371 ','457.841 ','455.339 ','452.865 ','450.417 ','447.995
        ','445.599 ','443.229 ','440.884 ','438.564 '
DB      '436.268 ','433.995 ','431.747 ','427.521 ','427.318 ','425.138
        ','422.980 ','420.844 ','418.729 ','416.635 '
DB      '414.563 ','412.510 ','410.478 ','408.466 ','406.474 ','404.500
        ','402.546 ','400.611 ','398.694 ','396.791 '
DB      '394.915 ','393.052 ','391.207 ','389.379 ','387.568 ','385.774
        ','383.996 ','382.234 ','380.484 ','378.759 '
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB      '377.046 ','375.347 ','373.664 ','371.996 ','370.343 ','368.704
                ','367.080 ','365.470 ','363.874 ','362.292 '
        DB      '360.723 ','359.168 ','357.627 ','356.099 ','354.583 ','353.081
                ','351.591 ','350.114 ','348.649 ','347.196 '
        DB      '345.755 ','344.327 ','342.910 ','341.504 ','340.111 ','338.728
                ','337.357 ','335.996 ','334.647 ','333.308 '
        DB      '331.980 ','330.663 ','329.356 ','328.059 ','326.773 ','325.496
                ','324.230 ','322.973 ','321.726 ','320.489 '
        DB      '319.261 ','
END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

PCF8591
8-bit A/D and D/A converter

Preliminary specification
Supersedes data of September 1991
File under Integrated Circuits, IC12

1997 Apr 02

Philips Semiconductors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONTENTS

1 FEATURES
2 APPLICATIONS
3 GENERAL DESCRIPTION
4 ORDERING INFORMATION
5 BLOCK DIAGRAM
6 PINNING
7 FUNCTIONAL DESCRIPTION
7.1 Addressing
7.2 Control byte
7.3 D/A conversion
7.4 A/D conversion
7.5 Reference voltage
7.6 Oscillator
8 CHARACTERISTICS OF THE I²C-BUS
8.1 Bit transfer
8.2 Start and stop conditions
8.3 System configuration
8.4 Acknowledge
8.5 I²C-bus protocol
9 LIMITING VALUES
10 HANDLING
11 DC CHARACTERISTICS
12 D/A CHARACTERISTICS
13 A/D CHARACTERISTICS
14 AC CHARACTERISTICS
15 APPLICATION INFORMATION
16 PACKAGE OUTLINES
17 SOLDERING
17.1 Introduction
17.2 DIP
17.2.1 Soldering by dipping or by wave
17.2.2 Repairing soldered joints
17.3 SO
17.3.1 Reflow soldering
17.3.2 Wave soldering
17.3.3 Repairing soldered joints
18 DEFINITIONS
19 LIFE SUPPORT APPLICATIONS
20 PURCHASE OF PHILIPS I²C COMPONENTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1 FEATURES

- Single power supply
- Operating supply voltage 2.5 V to 6 V
- Low standby current
- Serial input/output via I^2C-bus
- Address by 3 hardware address pins
- Sampling rate given by I^2C-bus speed
- 4 analog inputs programmable as single-ended or differential inputs
- Auto-incremented channel selection
- Analog voltage range from V_{SS} to V_{DD}
- On-chip track and hold circuit
- 8-bit successive approximation A/D conversion
- Multiplying DAC with one analog output.

2 APPLICATIONS

- Closed loop control systems
- Low power converter for remote data acquisition
- Battery operated equipment
- Acquisition of analog values in automotive, audio and TV applications.

3 GENERAL DESCRIPTION

The PCF8591 is a single-chip, single-supply low power 8-bit CMOS data acquisition device with four analog inputs, one analog output and a serial I^2C-bus interface. Three address pins A0, A1 and A2 are used for programming the hardware address, allowing the use of up to eight devices connected to the I^2C-bus without additional hardware. Address, control and data to and from the device are transferred serially via the two-line bidirectional I^2C-bus.

The functions of the device include analog input multiplexing, on-chip track and hold function, 8-bit analog-to-digital conversion and an 8-bit digital-to-analog conversion. The maximum conversion rate is given by the maximum speed of the I^2C-bus.

4 ORDERING INFORMATION

TYPE NUMBER	PACKAGE		
	NAME	DESCRIPTION	VERSION
PCA8591P	DIP16	plastic dual in-line package; 16 leads (300 mil); long body	SOT38-1
PCA8591T	SO16	plastic small outline package; 16 leads; body width 7.5 mm	SOT162-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5 BLOCK DIAGRAM

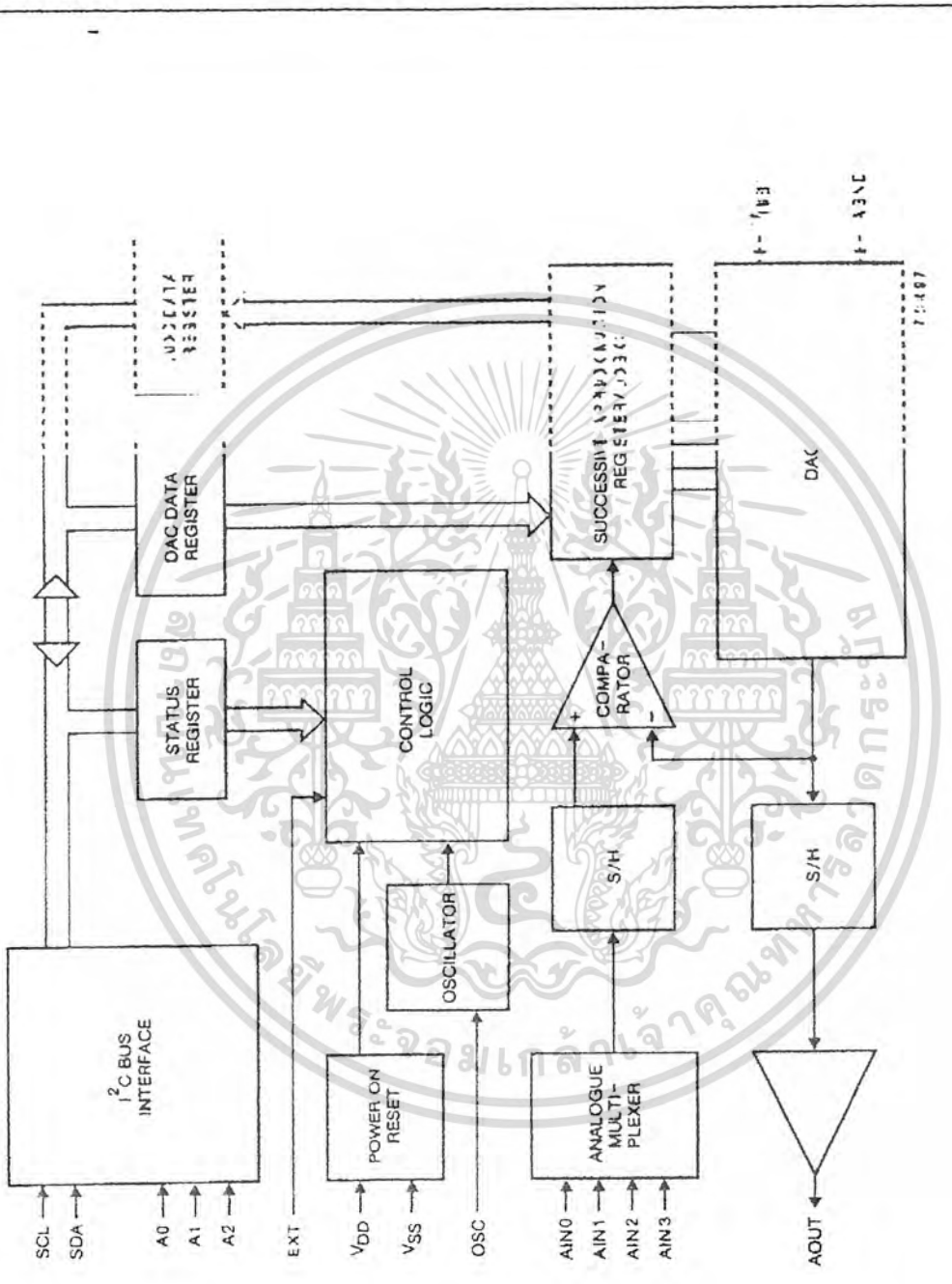


Fig.1 Block diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6 PINNING

SYMBOL	PIN	DESCRIPTION
AIN0	1	analog inputs (A/D converter)
AIN1	2	
AIN2	3	
AIN3	4	
A0	5	hardware address
A1	6	
A2	7	
V_{SS}	8	negative supply voltage
SDA	9	I^2C-bus data input/output
SCL	10	I^2C-bus clock input
OSC	11	oscillator input/output
EXT	12	external/internal switch for oscillator input
AGND	13	analog ground
V_{REF}	14	voltage reference input
AOUT	15	analog output (D/A converter)
V_{DD}	16	positive supply voltage

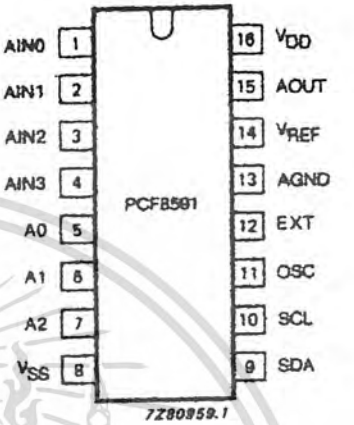


Fig.2 Pinning diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7 FUNCTIONAL DESCRIPTION

7.1 Addressing

Each PCF8591 device in an I²C-bus system is activated by sending a valid address to the device. The address consists of a fixed part and a programmable part. The programmable part must be set according to the address pins A0, A1 and A2. The address always has to be sent as the first byte after the start condition in the I²C-bus protocol. The last bit of the address byte is the read/write-bit which sets the direction of the following data transfer (see Figs 3, 15 and 16).

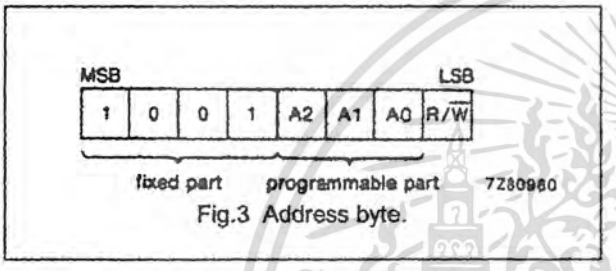


Fig.3 Address byte.

7.2 Control byte

The second byte sent to a PCF8591 device will be stored in its control register and is required to control the device function.

The upper nibble of the control register is used for enabling the analog output, and for programming the analog inputs as single-ended or differential inputs. The lower nibble selects one of the analog input channels defined by the upper nibble (see Fig.4). If the auto-increment flag is set the channel number is incremented automatically after each A/D conversion.

If the auto-increment mode is desired in applications where the internal oscillator is used, the analog output enable flag in the control byte (bit 6) should be set. This allows the internal oscillator to run continuously, thereby preventing conversion errors resulting from oscillator start-up delay. The analog output enable flag may be reset at other times to reduce quiescent power consumption.

The selection of a non-existing input channel results in the highest available channel number being allocated. Therefore, if the auto-increment flag is set, the next selected channel will be always channel 0. The most significant bits of both nibbles are reserved for future functions and have to be set to 0. After a Power-on reset condition all bits of the control register are reset to 0. The D/A converter and the oscillator are disabled for power saving. The analog output is switched to a high-impedance state.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

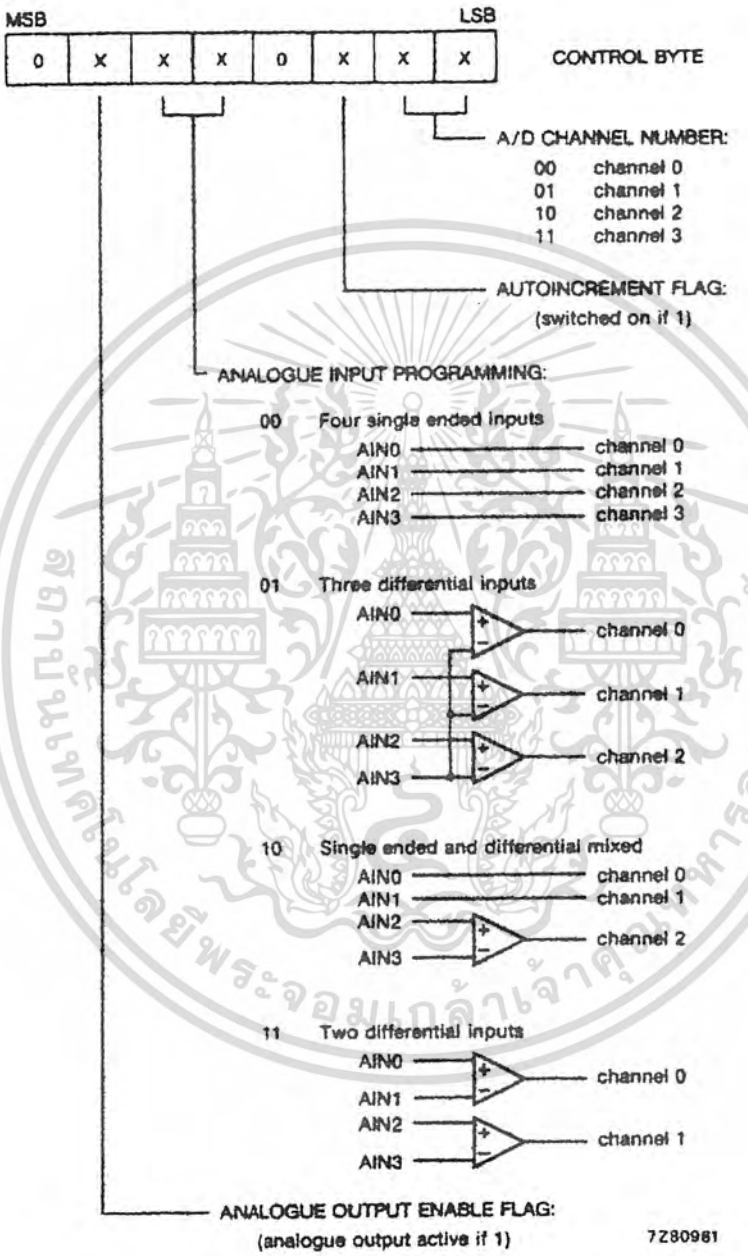


Fig.4 Control byte.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.3 D/A conversion

The third byte sent to a PCF8591 device is stored in the DAC data register and is converted to the corresponding analog voltage using the on-chip D/A converter. This D/A converter consists of a resistor divider chain connected to the external reference voltage with 256 taps and selection switches. The tap-decoder switches one of these taps to the DAC output line (see Fig.5).

The analog output voltage is buffered by an auto-zeroed unity gain amplifier. This buffer amplifier may be switched on or off by setting the analog output enable flag of the control register. In the active state the output voltage is held until a further data byte is sent.

The on-chip D/A converter is also used for successive approximation A/D conversion. In order to release the DAC for an A/D conversion cycle the unity gain amplifier is equipped with a track and hold circuit. This circuit holds the output voltage while executing the A/D conversion.

The output voltage supplied to the analog output AOUT is given by the formula shown in Fig.6. The waveforms of a D/A conversion sequence are shown in Fig.7.

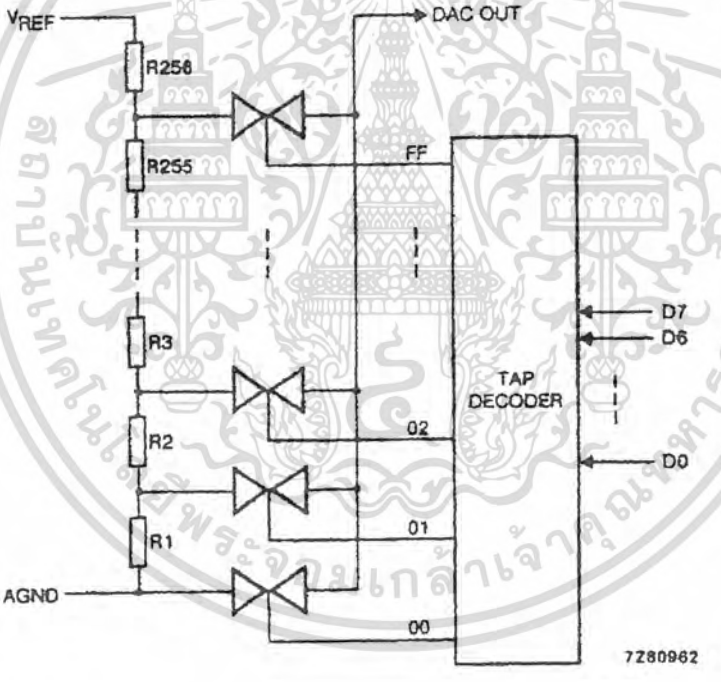


Fig.5 DAC resistor divider chain.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

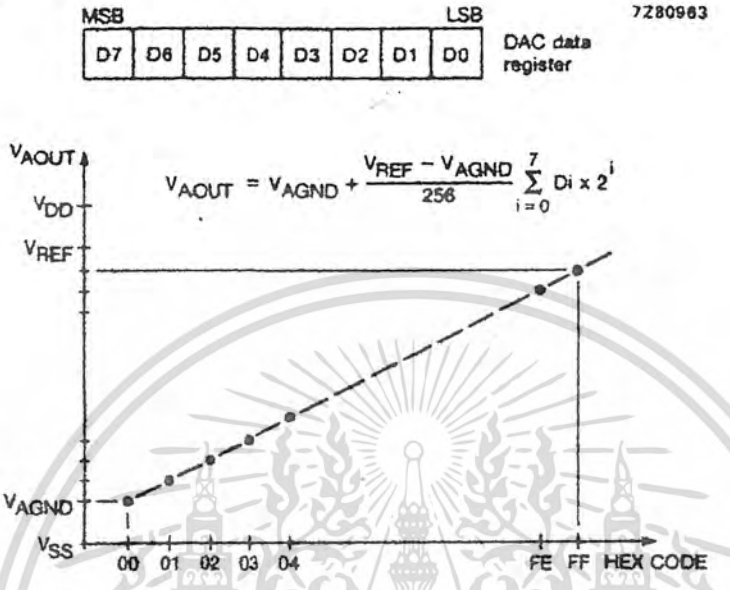


Fig.6 DAC data and DC conversion characteristics.

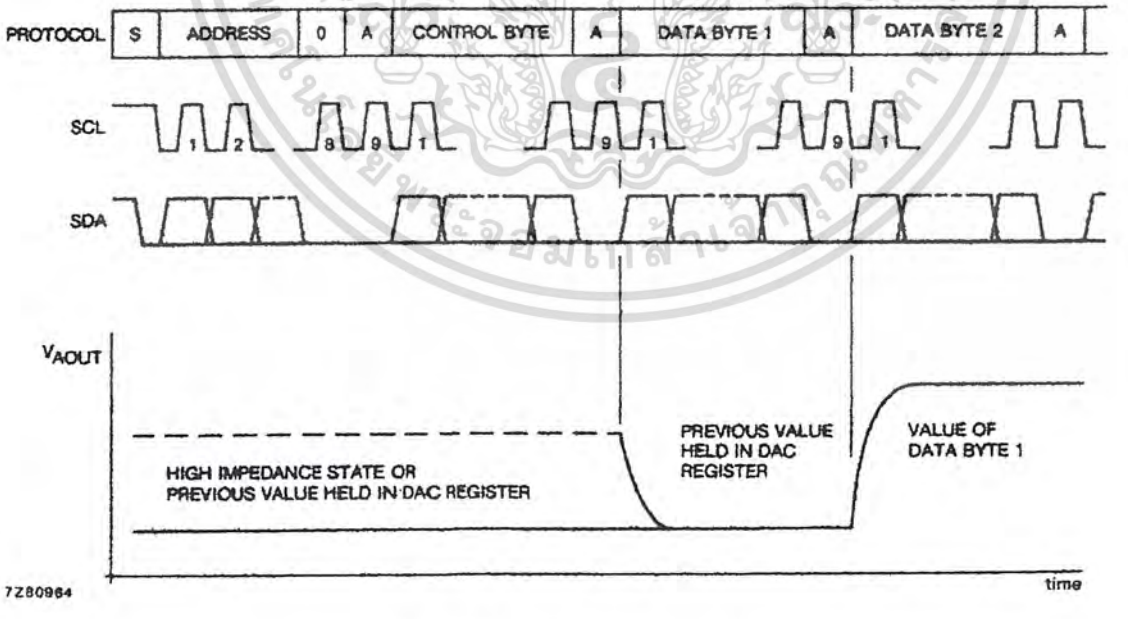


Fig.7 D/A conversion sequence.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.4 A/D conversion

The A/D converter makes use of the successive approximation conversion technique. The on-chip D/A converter and a high-gain comparator are used temporarily during an A/D conversion cycle.

An A/D conversion cycle is always started after sending a valid read mode address to a PCF8591 device. The A/D conversion cycle is triggered at the trailing edge of the acknowledge clock pulse and is executed while transmitting the result of the previous conversion (see Fig.8).

Once a conversion cycle is triggered an input voltage sample of the selected channel is stored on the chip and is converted to the corresponding 8-bit binary code. Samples picked up from differential inputs are converted to an 8-bit two's complement code (see Figs 9 and 10).

The conversion result is stored in the ADC data register and awaits transmission. If the auto-increment flag is set the next channel is selected.

The first byte transmitted in a read cycle contains the conversion result code of the previous read cycle. After a Power-on reset condition the first byte read is a hexadecimal 80. The protocol of an I^2C-bus read cycle is shown in Chapter 8, Figs 15 and 16.

The maximum A/D conversion rate is given by the actual speed of the I^2C-bus.

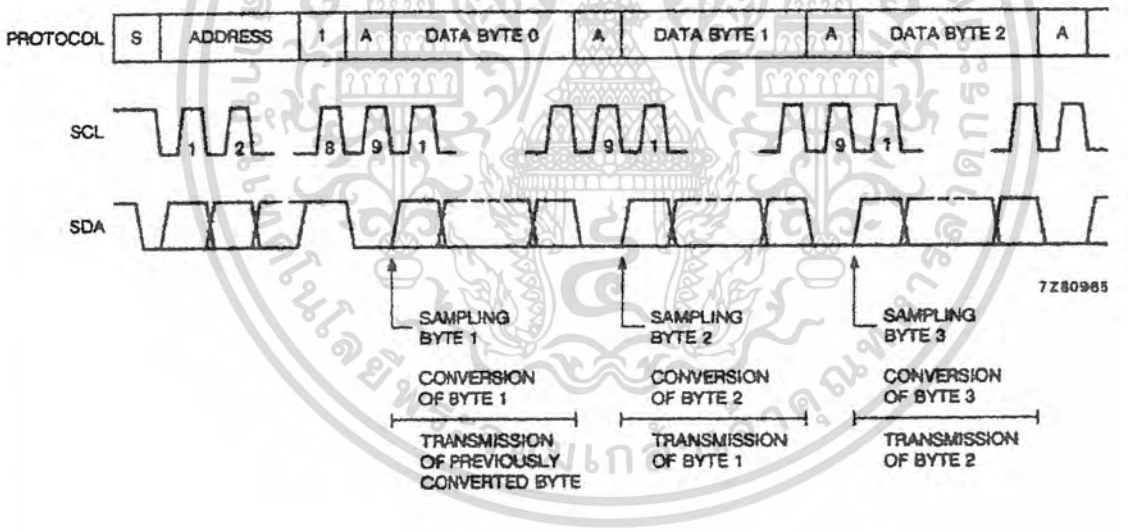


Fig.8 A/D conversion sequence.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

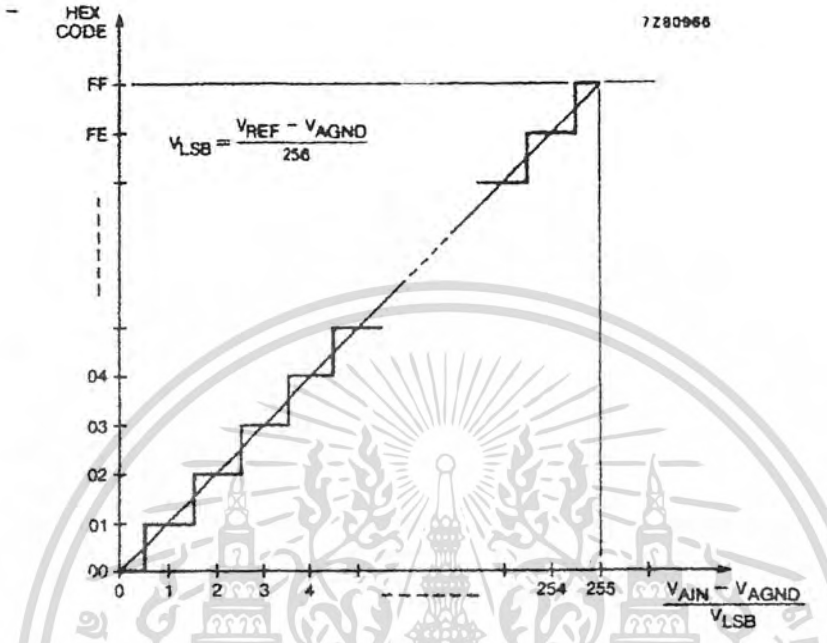


Fig.9 A/D conversion characteristics of single-ended inputs.

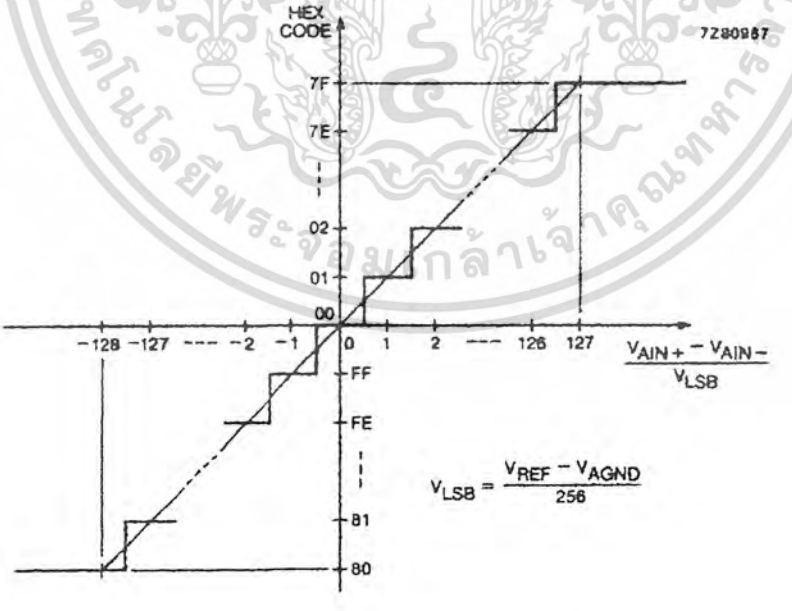


Fig.10 A/D conversion characteristics of differential inputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.5 Reference voltage

For the D/A and A/D conversion either a stable external voltage reference or the supply voltage has to be applied to the resistor divider chain (pins V_{REF} and AGND). The AGND pin has to be connected to the system analog ground and may have a DC off-set with reference to V_{SS}.

A low frequency may be applied to the V_{REF} and AGND pins. This allows the use of the D/A converter as a one-quadrant multiplier; see Chapter 15 and Fig.6.

The A/D converter may also be used as a one or two quadrant analog divider. The analog input voltage is divided by the reference voltage. The result is converted to a binary code. In this application the user has to keep the reference voltage stable during the conversion cycle.

7.6 Oscillator

An on-chip oscillator generates the clock signal required for the A/D conversion cycle and for refreshing the auto-zeroed buffer amplifier. When using this oscillator the EXT pin has to be connected to V_{SS}. At the OSC pin the oscillator frequency is available.

If the EXT pin is connected to V_{DD} the oscillator output OSC is switched to a high-impedance state allowing the user to feed an external clock signal to OSC.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8 CHARACTERISTICS OF THE I²C-BUS

The I²C-bus is for bidirectional, two-line communication between different ICs or modules. The two lines are a serial data line (SDA) and a serial clock line (SCL). Both lines must be connected to a positive supply via a pull-up resistor. Data transfer may be initiated only when the bus is not busy.

8.1 Bit transfer

One data bit is transferred during each clock pulse. The data on the SDA line must remain stable during the HIGH period of the clock pulse as changes in the data line at this time will be interpreted as a control signal.

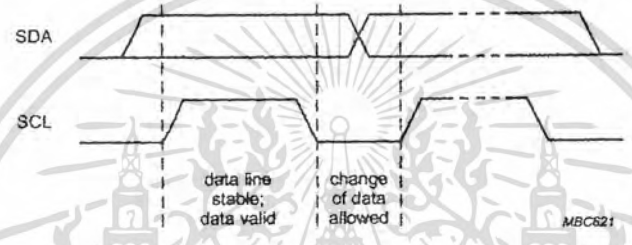


Fig.11 Bit transfer.

8.2 Start and stop conditions

Both data and clock lines remain HIGH when the bus is not busy. A HIGH-to-LOW transition of the data line, while the clock is HIGH, is defined as the start condition (S). A LOW-to-HIGH transition of the data line while the clock is HIGH, is defined as the stop condition (P).

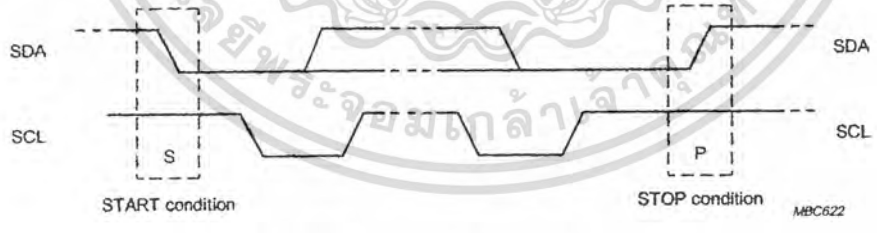


Fig.12 Definition of START and STOP condition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8.3 System configuration

A device generating a message is a 'transmitter', a device receiving a message is the 'receiver'. The device that controls the message is the 'master' and the devices which are controlled by the master are the 'slaves'.

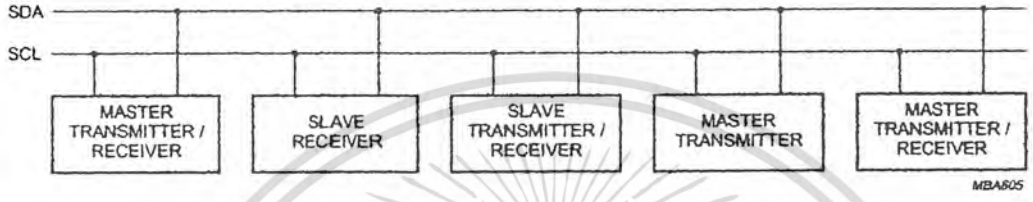


Fig.13 System configuration.

8.4 Acknowledge

The number of data bytes transferred between the start and stop conditions from transmitter to receiver is not limited. Each data byte of eight bits is followed by one acknowledge bit. The acknowledge bit is a HIGH level put on the bus by the transmitter whereas the master also generates an extra acknowledge related clock pulse. A slave receiver which is addressed must generate an acknowledge after the reception of each byte. Also a master must generate an acknowledge after the reception of each byte that has been clocked out of the slave transmitter. The device that acknowledges has to pull down the SDA line during the acknowledge clock pulse, so that the SDA line is stable LOW during the HIGH period of the acknowledge related clock pulse. A master receiver must signal an end of data to the transmitter by not generating an acknowledge on the last byte that has been clocked out of the slave. In this event the transmitter must leave the data line HIGH to enable the master to generate a stop condition.

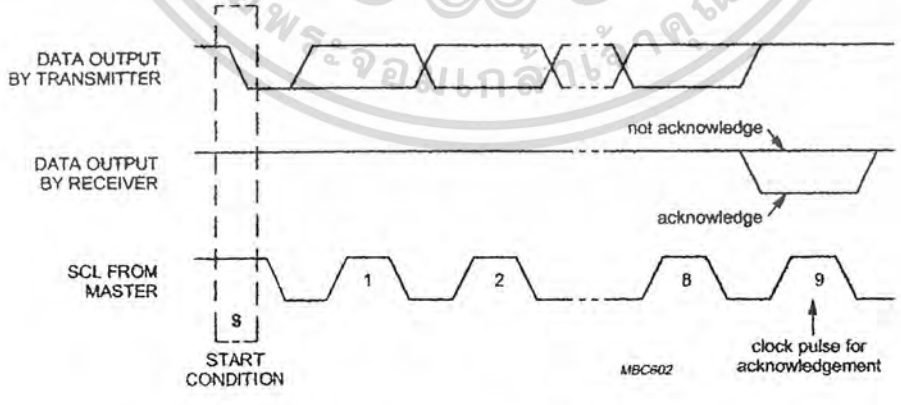


Fig.14 Acknowledgement on the I^2C-bus.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8.5 I²C-bus protocol

After a start condition a valid hardware address has to be sent to a PCF8591 device. The read/write bit defines the direction of the following single or multiple byte data transfer. For the format and the timing of the start condition (S), the stop condition (P) and the acknowledge bit (A) refer to the I²C-bus characteristics. In the write mode a data transfer is terminated by sending either a stop condition or the start condition of the next data transfer.

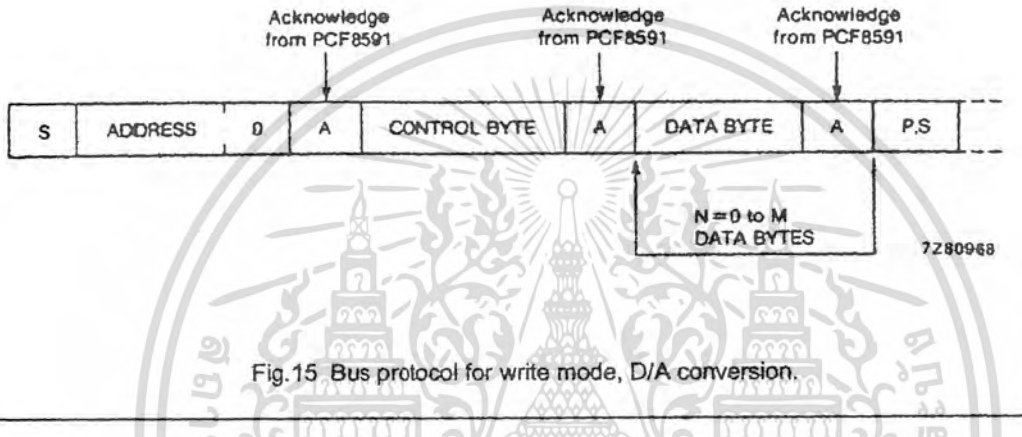


Fig.15 Bus protocol for write mode, D/A conversion.

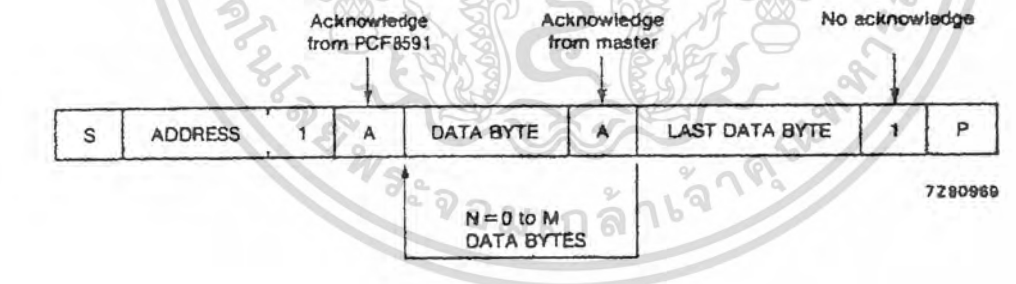


Fig.16 Bus protocol for read mode, A/D conversion.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9 LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	MIN.	MAX.	UNIT
V_{DD}	supply voltage (pin 16)	−0.5	+8.0	V
V_I	input voltage (any input)	−0.5	V_{DD} + 0.5	V
I_I	DC input current	−	±10	mA
I_O	DC output current	−	±20	mA
I_{DD}, I_{SS}	V_{DD} or V_{SS} current	−	±50	mA
P_{tot}	total power dissipation per package	−	300	mW
P_O	power dissipation per output	−	100	mW
T_{amb}	operating ambient temperature	−40	+85	°C
T_{stg}	storage temperature	−65	+150	°C

10 HANDLING

Inputs and outputs are protected against electrostatic discharge in normal handling. However, to be totally safe, it is desirable to take precautions appropriate to handling MOS devices. Advice can be found in Data Handbook IC12 under *"Handling MOS Devices"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Philips Semiconductors – a worldwide company

Argentina: see South America

Australia: 34 Waterloo Road, NORTH RYDE, NSW 2113,
Tel. +61 2 9805 4455, Fax. +61 2 9805 4466

Austria: Computerstr. 6, A-1101 WIEN, P.O. Box 213,
Tel. +43 1 60 101, Fax. +43 1 60 101 1210

Belarus: Hotel Minsk Business Center, Bld. 3, r. 1211, Volodarski Str. 6,
220050 MINSK, Tel. +375 172 200 733, Fax. +375 172 200 773

Belgium: see The Netherlands

Brazil: see South America

Bulgaria: Philips Bulgaria Ltd., Energoproject, 15th floor,
51 James Bourchier Blvd., 1407 SOFIA,
Tel. +359 2 689 211, Fax. +359 2 689 102

Canada: PHILIPS SEMICONDUCTORS/COMPONENTS,
Tel. +1 800 234 7381

China/Hong Kong: 501 Hong Kong Industrial Technology Centre,
72 Tat Chee Avenue, Kowloon Tong, HONG KONG,
Tel. +852 2319 7888, Fax. +852 2319 7700

Colombia: see South America

Czech Republic: see Austria

Denmark: Prags Boulevard 80, PB 1919, DK-2300 COPENHAGEN S,
Tel. +45 32 88 2636, Fax. +45 31 57 1949

Finland: Sinikalliontie 3, FIN-02630 ESPOO,
Tel. +358 9 615800, Fax. +358 9 61580/xxx

France: 4 Rue du Port-aux-Vins, BP317, 92156 SURESNES Cedex,
Tel. +33 1 40 99 6161, Fax. +33 1 40 99 8427

Germany: Hammerbrookstraße 69, D-20097 HAMBURG,
Tel. +49 40 23 53 60, Fax. +49 40 23 536 300

Greece: No. 15, 25th March Street, GR 17778 TAVROS/ATHENS,
Tel. +30 1 4894 339/239, Fax. +30 1 4814 240

Hungary: see Austria

India: Philips INDIA Ltd, Shivsagar Estate, A Block, Dr. Annie Besant Rd.
Worli, MUMBAI 400 018, Tel. +91 22 4938 541, Fax. +91 22 4938 722

Indonesia: see Singapore

Ireland: Newstead, Clonskeagh, DUBLIN 14,
Tel. +353 1 7640 000, Fax. +353 1 7640 200

Israel: RAPAC Electronics, 7 Kehilat Saloniki St, TEL AVIV 61180,
Tel. +972 3 645 0444, Fax. +972 3 649 1007

Italy: PHILIPS SEMICONDUCTORS, Piazza IV Novembre 3,
20124 MILANO, Tel. +39 2 6752 2531, Fax. +39 2 6752 2557

Japan: Philips Bldg 13-37, Kohnan 2-chome, Minato-ku, TOKYO 108,
Tel. +81 3 3740 5130, Fax. +81 3 3740 5077

Korea: Philips House, 260-199 Itaewon-dong, Yongsan-ku, SEOUL,
Tel. +82 2 709 1412, Fax. +82 2 709 1415

Malaysia: No. 76 Jalan Universiti, 46200 PETALING JAYA, SELANGOR,
Tel. +60 3 750 5214, Fax. +60 3 757 4880

Mexico: 5900 Gateway East, Suite 200, EL PASO, TEXAS 79905,
Tel. +9-5 800 234 7381

Middle East: see Italy

Netherlands: Postbus 90050, 5600 PB EINDHOVEN, Bldg. VB,
Tel. +31 40 27 82785, Fax. +31 40 27 88399

New Zealand: 2 Wagener Place, C.P.O. Box 1041, AUCKLAND,
Tel. +64 9 849 4160, Fax. +64 9 849 7811

Norway: Box 1, Manglerud 0612, OSLO,
Tel. +47 22 74 8000, Fax. +47 22 74 8341

Philippines: Philips Semiconductors Philippines Inc.,
106 Valero St. Salcedo Village, P.O. Box 2108 MCC, MAKATI,
Metro MANILA, Tel. +63 2 816 6380, Fax. +63 2 817 3474

Poland: Ul. Lukiska 10, PL 04-123 WARSZAWA,
Tel. +48 22 612 2831, Fax. +48 22 612 2327

Portugal: see Spain

Romania: see Italy

Russia: Philips Russia, Ul. Usatcheva 35A, 119048 MOSCOW,
Tel. +7 095 755 6918, Fax. +7 095 755 6919

Singapore: Lorong 1, Toa Payoh, SINGAPORE 1231,
Tel. +65 350 2538, Fax. +65 251 6500

Slovakia: see Austria

Slovenia: see Italy

South Africa: S.A. PHILIPS Pty Ltd., 195-215 Main Road Martindale,
2092 JOHANNESBURG, P.O. Box 7430 Johannesburg 2000,
Tel. +27 11 470 5911, Fax. +27 11 470 5494

South America: Rua do Rocio 220, 5th floor, Suite 51,
04552-903 São Paulo, SÃO PAULO - SP, Brazil,
Tel. +55 11 821 2333, Fax. +55 11 829 1849

Spain: Balmes 22, 08007 BARCELONA,
Tel. +34 3 301 6312, Fax. +34 3 301 4107

Sweden: Kottbygatan 7, Akalla, S-16485 STOCKHOLM,
Tel. +46 8 632 2000, Fax. +46 8 632 2745

Switzerland: Allmendstrasse 140, CH-8027 ZÜRICH,
Tel. +41 1 488 2686, Fax. +41 1 481 7730

Taiwan: Philips Semiconductors, 6F, No. 96, Chien Kuo N. Rd., Sec. 1,
TAIPEI, Taiwan Tel. +886 2 2134 2870, Fax. +886 2 2134 2874

Thailand: PHILIPS ELECTRONICS (THAILAND) Ltd.,
209/2 Sanpavuth-Bangna Road Prakanong, BANGKOK 10260,
Tel. +66 2 745 4090, Fax. +66 2 398 0793

Turkey: Talatpasa Cad. No. 5, 80640 GÜLTEPE/ISTANBUL,
Tel. +90 212 279 2770, Fax. +90 212 282 6707

Ukraine: PHILIPS UKRAINE, 4 Patrice Lumumba str., Building B, Floor 7,
252042 KIEV, Tel. +380 44 264 2776, Fax. +380 44 268 0461

United Kingdom: Philips Semiconductors Ltd., 276 Bath Road, Hayes,
MIDDLESEX UB3 5BX, Tel. +44 181 730 5000, Fax. +44 181 754 8421

United States: 811 East Arques Avenue, SUNNYVALE, CA 94088-3409,
Tel. +1 800 234 7381

Uruguay: see South America

Vietnam: see Singapore

Yugoslavia: PHILIPS, Trg N. Pasica 5/v, 11000 BEOGRAD,
Tel. +381 11 625 344, Fax.+381 11 635 777

For all other countries apply to: Philips Semiconductors, Marketing & Sales Communications,
Building BE-p, P.O. Box 218, 5600 MD EINDHOVEN, The Netherlands, Fax. +31 40 27 24825

Internet: http://www.semiconductors.philips.com

© Philips Electronics N.V. 1997

SCA53

All rights are reserved. Reproduction in whole or in part is prohibited without the prior written consent of the copyright owner.

The information presented in this document does not form part of any quotation or contract, is believed to be accurate and reliable and may be changed without notice. No liability will be accepted by the publisher for any consequence of its use. Publication thereof does not convey nor imply any license under patent- or other industrial or intellectual property rights.

Printed in The Netherlands 417067/1200/03/pp28 Date of release: 1997 Apr 02 Document order number: 9397 750 01749

Let's make things better.

Philips Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ทำซ้ำ ดัดแปลง
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- Compatible with MCS-51™ Products
- 8K bytes of In-System Reprogrammable Downloadable Flash Memory
  - SPI Serial Interface for Program Downloading
  - Endurance: 1,000 Write/Erase Cycles
- 2K bytes EEPROM
  - Endurance: 100,000 Write/Erase Cycles
- 2.7V to 6V Operating Range
- Fully Static Operation: 0 Hz to 24 MHz
- Three-Level Program Memory Lock
- 256 x 8 bit Internal RAM
- 32 Programmable I/O Lines
- Three 16 bit Timer/Counters
- Nine Interrupt Sources
- Programmable UART Serial Channel
- SPI Serial Interface
- Low Power Idle and Power Down Modes
- Interrupt Recovery From Power Down
- Programmable Watchdog Timer
- Dual Data Pointer
- Power Off Flag

8 bit Microcontroller with 8K bytes Flash

AT89S8252 Preliminary

Description

The AT89S8252 is a low-power, high-performance CMOS 8 bit microcomputer with 8K bytes of Downloadable Flash programmable and erasable read only memory and 2K bytes of EEPROM. The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard 80C51 instruction set and pinout. The on-chip Downloadable Flash allows the program memory to be reprogrammed in-system through an SPI serial interface or by a conventional nonvolatile memory programmer. By combining a versatile 8 bit CPU with Downloadable Flash on a monolithic chip, the Atmel AT89S8252 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

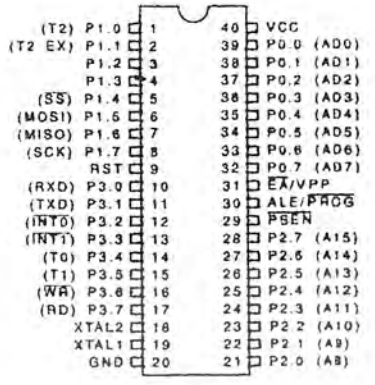
The AT89S8252 provides the following standard features: 8K bytes of Downloadable Flash, 2K bytes EEPROM, 256 bytes of RAM, 32 I/O lines, programmable watchdog timer, two Data Pointers, three 16 bit timer/counters, a six-vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator, and clock circuitry. In addition, the AT89S8252 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port, and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator, disabling all other chip functions until the next interrupt or hardware reset.

The Downloadable Flash can be changed a single byte at a time and is accessible through the SPI serial interface. Holding RESET active forces the SPI bus into a slave input mode and allows the program memory to be written-from or read-to unless Lock Bit 3 has been activated.

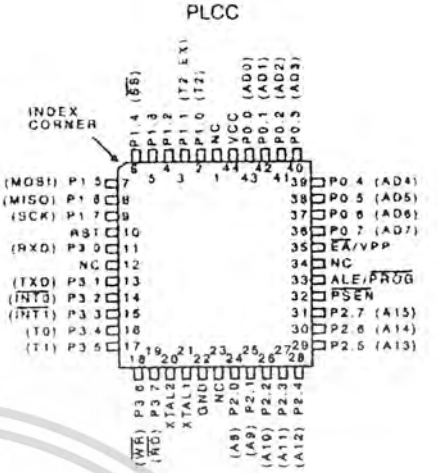
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Configurations

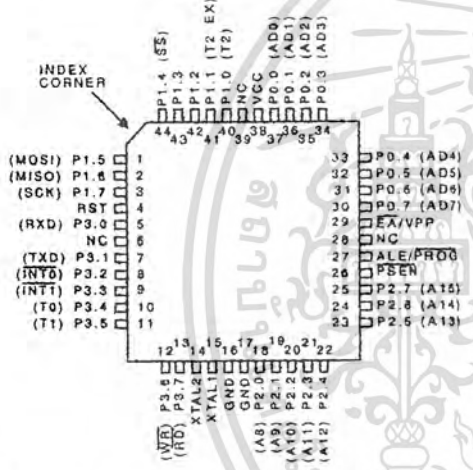
PDIP



PLCC



PQFP/TQFP



Pin Description

Vcc

Supply voltage.

GND

Ground.

Port 0

Port 0 is an 8 bit open drain bidirectional I/O port. As an output port, each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 can also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode, P0 has internal pullups.

Port 0 also receives the code bytes during Flash programming and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1

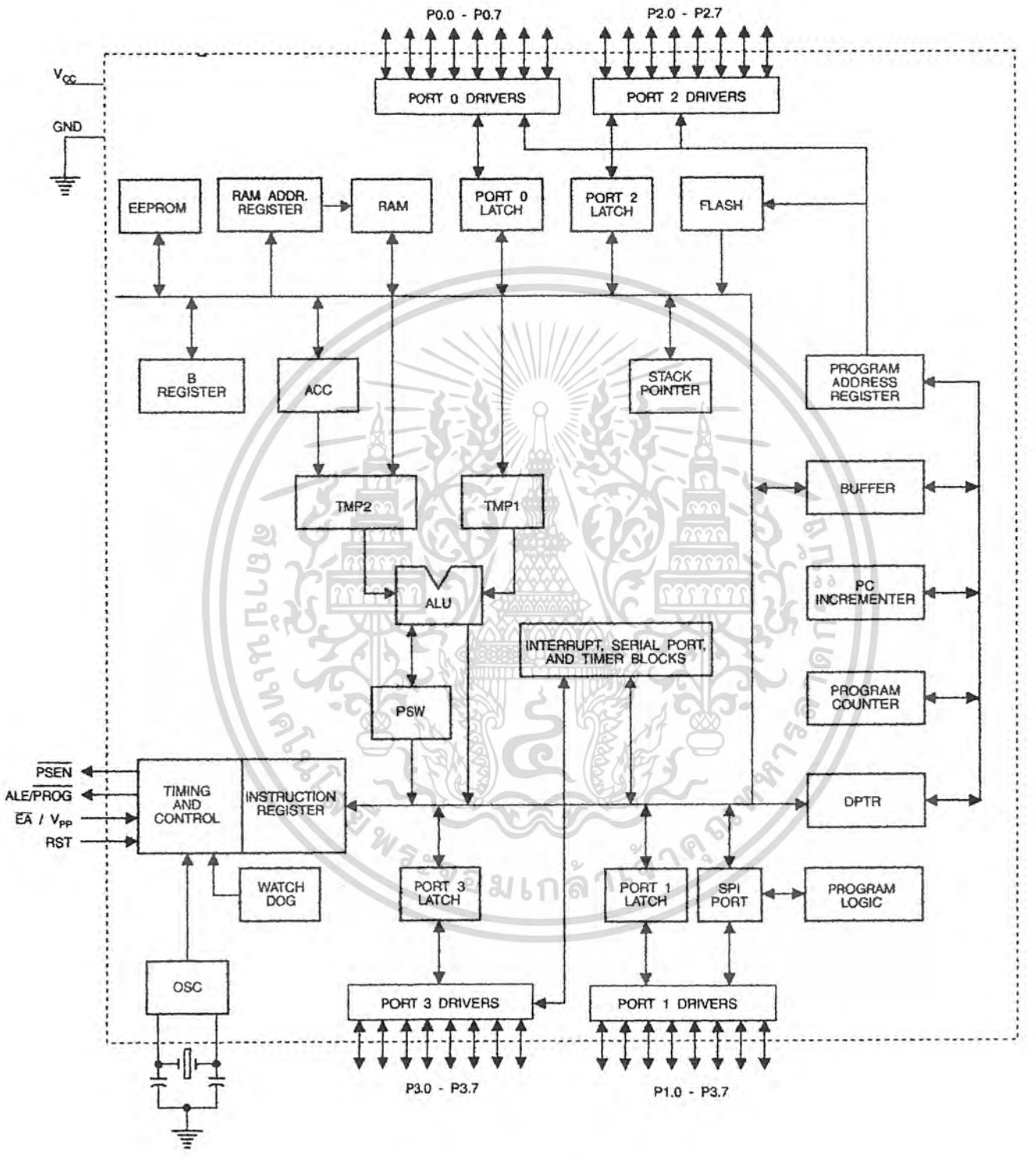
Port 1 is an 8 bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Some Port 1 pins provide additional functions. P1.0 and P1.1 can be configured to be the timer/counter 2 external count input (P1.0/T2) and the timer/counter 2 trigger input (P1.1/T2EX), respectively.

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description (Continued)

Furthermore, P1.4, P1.5, P1.6, and P1.7 can be configured as the SPI slave port select, data input/output and shift clock input/output pins as shown in the following table.

Port Pin	Alternate Functions
P1.0	T2 (external count input to Timer/Counter 2), clock-out
P1.1	T2EX (Timer/Counter 2 capture/reload trigger and direction control)
P1.4	$\overline{SS}$ (Slave port select input)
P1.5	MOSI (Master data output, slave data input pin for SPI channel)
P1.6	MISO (Master data input, slave data output pin for SPI channel)
P1.7	SCK (Master clock output, slave clock input pin for SPI channel)

Port 1 also receives the low-order address bytes during Flash programming and program verification.

Port 2

Port 2 is an 8 bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16 bit addresses (MOVX @ DPTR). In this application, Port 2 uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8 bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3

Port 3 is an 8 bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89S8252, as shown in the following table.

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (external data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

Port 3 also receives some control signals for Flash programming and programming verification.

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/$\overline{PROG}$

Address Latch Enable is an output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{PROG}$) during Flash programming.

In normal operation, ALE is emitted at a constant rate of 1/6 the oscillator frequency and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external data memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcrontroller is in external execution mode.

$\overline{PSEN}$

Program Store Enable is the read strobe to external program memory.

When the AT89S8252 is executing code from external program memory, $\overline{PSEN}$ is activated twice each machine cycle, except that two $\overline{PSEN}$ activations are skipped during each access to external data memory.

$\overline{EA}$/V_{PP}

External Access Enable. $\overline{EA}$ must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{EA}$ will be internally latched on reset.

$\overline{EA}$ should be strapped to V_{CC} for internal program executions.

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description (Continued)

This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming when 12-volt programming is selected.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier.

Special Function Registers

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in Table 1.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

(continued)

Table 1. AT89S8252 SFR Map and Reset Values

0F8H									0FFH
0F0H	B 00000000								0F7H
0E8H									0EFH
0E0H	ACC 00000000								0E7H
0D8H									0DFH
0D0H	PSW 00000000					SPCR 000001XX			0D7H
0C8H	T2CON 00000000	T2MOD XXXXXXX0	RCAP2L 00000000	RCAP2H 00000000	TL2 00000000	TH2 00000000			0CFH
0C0H									0C7H
0B8H	IP XX000000								0BFH
0B0H	P3 11111111								0B7H
0A8H	IE 0X000000		SPSR 00000000						0AFH
0A0H	P2 11111111								0A7H
98H	SCON 00000000	SBUF XXXXXXXX							9FH
90H	P1 11111111						WMCON 00000010		97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000			8FH
80H	P0 11111111	SP 00000111	DP0L 00000000	DP0H 00000000	DP1L 00000000	DP1H 00000000	SPDR XXXXXXXX	PCON 0XXX0000	87H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Special Function Registers (Continued)

Timer 2 Registers Control and status bits are contained in registers T2CON (shown in Table 2) and T2MOD (shown in Table 4) for Timer 2. The register pair (RCAP2H, RCAP2L) are the Capture/Reload registers for Timer 2 in 16 bit capture mode or 16 bit auto-reload mode.

Watchdog and Memory Control Register The WMCON register contains control bits for the Watchdog Timer (shown in Table 3) . The EEMEN and EEMWE bits are used to select the 2K bytes on-chip EEPROM, and to enable byte-write. The DPS bit selects one of two DPTR registers available.

SPI Registers Control and status bits for the Serial Peripheral Interface are contained in registers SPCR (shown in Table 4) and SPSR (shown in Table 5). The SPI data bits are contained in the SPDR register. Writing the SPI data register during serial data transfer sets the Write Collision bit, WOCL, in the SPSR register. The SPDR is double buffered for writing and the values in SPDR are not changed by Reset.

Interrupt Registers The global interrupt enable bit and the individual interrupt enable bits are in the IE register. In addition, the individual interrupt enable bit for the SPI is in the SPCR register. Two priorities can be set for each of the six interrupt sources in the IP register.

(continued)

Table 2. T2CON—Timer/Counter 2 Control Register

T2CON Address = 0C8H — Reset Value = 0000 0000B

Bit Addressable

	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/$\overline{T2}$	CP/$\overline{RL2}$
Bit	7	6	5	4	3	2	1	0

Symbol	Function
TF2	Timer 2 overflow flag set by a Timer 2 overflow and must be cleared by software. TF2 will not be set when either RCLK = 1 or TCLK = 1.
EXF2	Timer 2 external flag set when either a capture or reload is caused by a negative transition on T2EX and EXEN2 = 1. When Timer 2 interrupt is enabled, EXF2 = 1 will cause the CPU to vector to the Timer 2 interrupt routine. EXF2 must be cleared by software. EXF2 does not cause an interrupt in up/down counter mode (DCEN = 1).
RCLK	Receive clock enable. When set, causes the serial port to use Timer 2 overflow pulses for its receive clock in serial port Modes 1 and 3. RCLK = 0 causes Timer 1 overflow to be used for the receive clock.
TCLK	Transmit clock enable. When set, causes the serial port to use Timer 2 overflow pulses for its transmit clock in serial port Modes 1 and 3. TCLK = 0 causes Timer 1 overflows to be used for the transmit clock.
EXEN2	Timer 2 external enable. When set, allows a capture or reload to occur as a result of a negative transition on T2EX if Timer 2 is not being used to clock the serial port. EXEN2 = 0 causes Timer 2 to ignore events at T2EX.
TR2	Start/Stop control for Timer 2. TR2 = 1 starts the timer.
C/$\overline{T2}$	Timer or counter select for Timer 2. C/$\overline{T2}$ = 0 for timer function. C/$\overline{T2}$ = 1 for external event counter (falling edge triggered).
CP/$\overline{RL2}$	Capture/Reload select. CP/$\overline{RL2}$ = 1 causes captures to occur on negative transitions at T2EX if EXEN2 = 1. CP/RL2 = 0 causes automatic reloads to occur when Timer 2 overflows or negative transitions occur at T2EX when EXEN2 = 1. When either RCLK or TCLK = 1, this bit is ignored and the timer is forced to auto-reload on Timer 2 overflow.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Special Function Registers (Continued)

Dual Data Pointer Registers To facilitate accessing both internal EEPROM and external data memory, two banks of 16 bit Data Pointer Registers are provided: DP0 at SFR address locations 82H-83H and DP1 at 84H-85H. Bit DPS = 0 in SFR WMCON selects DP0 and DPS = 1 selects DP1.

Power Off Flag The Power Off Flag (POF) is located at bit_4 (PCON.4) in the PCON SFR. POF is set to '1' during power up. It can be set and reset under software control and is not affected by RESET.

Table 3. WMCON—Watchdog and Memory Control Register

WMCON Address = 96H — Reset Value = 0000 0000B

	PS2	PS1	PS0	EEMWE	EEMEN	DPS	WDTRST	WDTEN
Bit	7	6	5	4	3	2	1	0

Symbol	Function
PS2 PS1 PS0	Prescaler Bits for the Watchdog Timer. When all three bits are set to '0', the watchdog timer has a nominal period of 16 ms. When all three bits are set to '1', the nominal period is 2048 ms.
EEMWE	EEPROM Data Memory Write Enable Bit. Set this bit to '1' before initiating byte write to on-chip EEPROPM with the MOVX instruction. User software should set this bit to '0' after EEPROM write is completed.
EEMEN	Internal EEPROM Access Enable. When EEMEN = 1, the MOVX instruction with DPTR will access on-chip EEPROM instead of external data memory. When EEMEN = 0, MOVX with DPTR accesses external data memory.
DPS	Data Pointer Register Select. DPS = 0 selects the first bank of Data Pointer Register, DP0, and DPS = 1 selects the second bank, DP1.
WDTRST RDY/$\overline{BSY}$	Watchdog Timer Reset and EEPROM Ready/Busy Flag. Each time this bit is set to '1' by user software, a pulse is generated to reset the watchdog timer. The WDTRST bit is then automatically reset to '0' in the next instruction cycle. The WDTRST bit is Write-Only. This bit also serves as the RDY/BSY flag in a Read-Only mode during EEPROM write. RDY/$\overline{BSY}$ = 1 means that the EEPROM is ready to be programmed. While programming operations are being executed, the RDY/$\overline{BSY}$ bit equals '0' and is automatically reset to '1' when programming is completed.
WDTEN	Watchdog Timer Enable Bit. WDTEN = 1 enables the watchdog timer and WDTEN = 0 disables the watchdog timer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 4. SPCR—SPI Control Register

SPCR Address = D5H — Reset Value = 0000 01XXB

	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0
Bit	7	6	5	4	3	2	1	0

Symbol	Function
SPIE	SPI Interrupt Enable. This bit, in conjunction with the ES bit in the IE register, enables SPI interrupts: SPIE = 1 and ES = 1 enable SPI interrupts. SPIE = 0 disables SPI interrupts.
SPE	SPI Enable. SPI = 1 enables the SPI channel and connects $\overline{SS}$, MOSI, MISO and SCK to pins P1.4, P1.5, P1.6, and P1.7. SPI = 0 disables the SPI channel.
DORD	Data Order. DORD = 1 selects LSB first data transmission. DORD = 0 selects MSB first data transmission.
MSTR	Master/Slave Select. MSTR = 1 selects Master SPI mode. MSTR = 0 selects Slave SPI mode.
CPOL	Clock Polarity. When CPOL = 1, SCK is high when idle. When CPOL = 0, SCK of the master device is low when not transmitting. Please refer to figure on SPI Clock Phase and Polarity Control.
CPHA	Clock Phase. The CPHA bit together with the CPOL bit controls the clock and data relationship between master and slave. Please refer to figure on SPI Clock Phase and Polarity Control.
SPR0 SPR1	SPI Clock Rate Select. These two bits control the SCK rate of the device configured as master. SPR1 and SPR0 have no effect on the slave. The relationship between SCK and the oscillator frequency, Fosc., is as follows: SPR1 SPR0 SCK = Fosc. divided by 0 0 4 0 1 16 1 0 64 1 1 128

Table 5. SPSR—SPI Status Register

SPCR Address = AAH — Reset Value = 0000 0000B

	SPIF	WCOL	—	—	—	—	—	—
Bit	7	6	5	4	3	2	1	0

Symbol	Function
SPIF	SPI Interrupt Flag. When a serial transfer is complete, the SPIF bit is set and an interrupt is generated if SPIE = 1 and ES = 1. The SPIF bit is cleared by reading the SPI status register with SPIF and WCOL bits set, and then accessing the SPI data register.
WCOL	Write Collision Flag. The WCOL bit is set if the SPI data register is written during a data transfer. During data transfer, the result of reading the SPDR register may be incorrect, and writing to it has no effect. The WCOL bit (and the SPIF bit) are cleared by reading the SPI status register with SPIF and WCOL set, and then accessing the SPI data register.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 6. SPDR—SPI Data Register

SPDR Address = 86H — Reset Value = unchanged

	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
Bit	7	6	5	4	3	2	1	0

Data Memory—EEPROM and RAM

The AT89S8252 implements 2K bytes of on-chip EEPROM for data storage and 256 bytes of RAM. The upper 128 bytes of RAM occupy a parallel space to the Special Function Registers. That means the upper 128 bytes have the same addresses as the SFR space but are physically separate from SFR space.

When an instruction accesses an internal location above address 7FH, the address mode used in the instruction specifies whether the CPU accesses the upper 128 bytes of RAM or the SFR space. Instructions that use direct addressing access SFR space.

For example, the following direct addressing instruction accesses the SFR at location 0A0H (which is P2).

MOV 0A0H, #data

Instructions that use indirect addressing access the upper 128 bytes of RAM. For example, the following indirect addressing instruction, where R0 contains 0A0H, accesses the data byte at address 0A0H, rather than P2 (whose address is 0A0H).

MOV @R0, #data

Note that stack operations are examples of indirect addressing, so the upper 128 bytes of data RAM are available as stack space.

The on-chip EEPROM data memory is selected by setting the EEMEN bit in the WMCON register at SFR address location 96H. The EEPROM address range is from 000H to 7FFH. The MOVX instructions are used to access the EEPROM. To access off-chip data memory with the MOVX instructions, the EEMEN bit needs to be set to '0'.

The EEMWE bit in the WMCON register needs to be set to '1' before any byte location in the EEPROM can be written. User software should reset EEMWE bit to '0' if no further EEPROM write is required. EEPROM write cycles are self-timed and typically take 2.5 ms. The progress of EEPROM write can be monitored by reading the RDY/$\overline{BSY}$ bit (read-only) in SFR WMCON. RDY/$\overline{BSY}$ = 0 means programming is still in progress and RDY/$\overline{BSY}$ = 1 means EEPROM write cycle is completed and another write cycle can be initiated.

In addition, during EEPROM programming, an attempted read from the EEPROM will fetch the byte being written with the MSB complemented. Once the write cycle is completed, true data are valid at all bit locations.

Programmable Watchdog Timer

The programmable Watchdog Timer (WDT) operates from an independent oscillator. The prescaler bits, PS0, PS1 and PS2 in SFR WMCON are used to set the period of the Watchdog Timer from 16 ms to 2048 ms. The available timer periods are shown in the following table and the actual timer periods (at V_{CC} = 5V) are within +/-30% of the nominal.

Table 7. Watchdog Timer Period Selection

WDT Prescaler Bits			Period
PS2	PS1	PS0	(nominal)
0	0	0	16 ms
0	0	1	32 ms
0	1	0	64 ms
0	1	1	128 ms
1	0	0	256 ms
1	0	1	512 ms
1	1	0	1024 ms
1	1	1	2048 ms

The WDT is disabled by Power-on Reset and during Power Down. It is enabled by setting the WDTEN bit in SFR WMCON (address = 96H). The WDT is reset by setting the WDTRST bit in WMCON. When the WDT times out without being reset or disabled, an internal RST pulse is generated to reset the CPU.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timer 0 and 1

Timer 0 and Timer 1 in the AT89S8252 operate the same way as Timer 0 and Timer 1 in the AT89C51, AT89C52 and AT89C55. For further information, see the October 1995 Microcontroller Data Book, page 2-45, section titled, "Timer/Counters."

Timer 2

Timer 2 is a 16 bit Timer/Counter that can operate as either a timer or an event counter. The type of operation is selected by bit C/$\overline{T2}$ in the SFR T2CON (shown in Table 2). Timer 2 has three operating modes: capture, auto-reload (up or down counting), and baud rate generator. The modes are selected by bits in T2CON, as shown in Table 8.

Timer 2 consists of two 8 bit registers, TH2 and TL2. In the Timer function, the TL2 register is incremented every machine cycle. Since a machine cycle consists of 12 oscillator periods, the count rate is 1/12 of the oscillator frequency.

In the Counter function, the register is incremented in response to a 1-to-0 transition at its corresponding external input pin, T2. In this function, the external input is sampled during S5P2 of every machine cycle. When the samples show a high in one cycle and a low in the next cycle, the count is incremented. The new count value appears in the register during S3P1 of the cycle following the one in which the transition was detected. Since two machine cycles (24 oscillator periods) are required to recognize a 1-to-0 transition, the maximum count rate is 1/24 of the oscillator frequency. To ensure that a given level is sampled at least once before it changes, the level should be held for at least one full machine cycle.

Table 8. Timer 2 Operating Modes

RCLK + TCLK	CP/$\overline{RL2}$	TR2	MODE
0	0	1	16 bit Auto-Reload
0	1	1	16 bit Capture
1	X	1	Baud Rate Generator
X	X	0	(Off)

Capture Mode

In the capture mode, two options are selected by bit EXEN2 in T2CON. If EXEN2 = 0, Timer 2 is a 16 bit timer or counter which upon overflow sets bit TF2 in T2CON. This bit can then be used to generate an interrupt. If EXEN2 = 1, Timer 2 performs the same operation, but a 1-to-0 transition at external input T2EX also causes the current value in TH2 and TL2 to be captured into RCAP2H and RCAP2L, respectively. In addition, the transition at T2EX causes bit EXF2 in T2CON to be set. The EXF2 bit, like TF2, can generate an interrupt. The capture mode is illustrated in Figure 1.

Auto-Reload (Up or Down Counter)

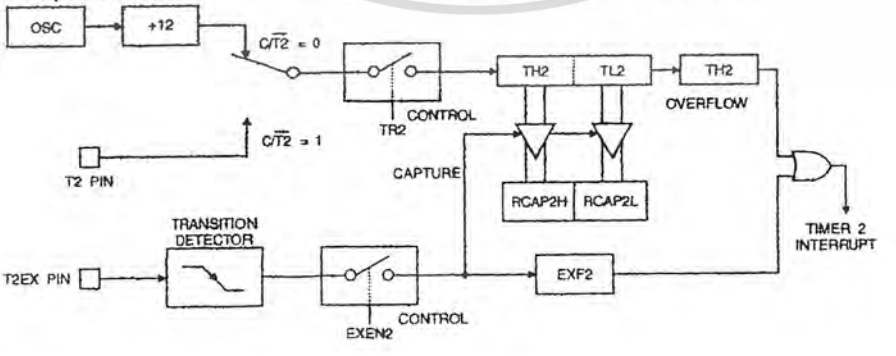
Timer 2 can be programmed to count up or down when configured in its 16 bit auto-reload mode. This feature is invoked by the DCEN (Down Counter Enable) bit located in the SFR T2MOD (see Table 9). Upon reset, the DCEN bit is set to 0 so that timer 2 will default to count up. When DCEN is set, Timer 2 can count up or down, depending on the value of the T2EX pin.

Figure 2 shows Timer 2 automatically counting up when DCEN = 0. In this mode, two options are selected by bit EXEN2 in T2CON. If EXEN2 = 0, Timer 2 counts up to 0FFFFH and then sets the TF2 bit upon overflow. The overflow also causes the timer registers to be reloaded with the 16 bit value in RCAP2H and RCAP2L. The values in RCAP2H and RCAP2L are preset by software. If EXEN2 = 1, a 16 bit reload can be triggered either by an overflow or by a 1-to-0 transition at external input T2EX. This transition also sets the EXF2 bit. Both the TF2 and EXF2 bits can generate an interrupt if enabled.

Setting the DCEN bit enables Timer 2 to count up or down, as shown in Figure 3. In this mode, the T2EX pin controls the direction of the count. A logic 1 at T2EX makes Timer 2 count up. The timer will overflow at 0FFFFH and set the TF2 bit. This overflow also causes the 16 bit value in RCAP2H and RCAP2L to be reloaded into the timer registers, TH2 and TL2, respectively.

(continued)

Figure 1. Timer 2 in Capture Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Auto-Reload (Up or Down Counter) (Continued)

A logic 0 at T2EX makes Timer 2 count down. The timer underflows when TH2 and TL2 equal the values stored in RCAP2H and RCAP2L. The underflow sets the TF2 bit and causes 0FFFFH to be reloaded into the timer registers.

The EXF2 bit toggles whenever Timer 2 overflows or underflows and can be used as a 17th bit of resolution. In this operating mode, EXF2 does not flag an interrupt.

Figure 2. Timer 2 Auto Reload Mode (DCEN = 0)

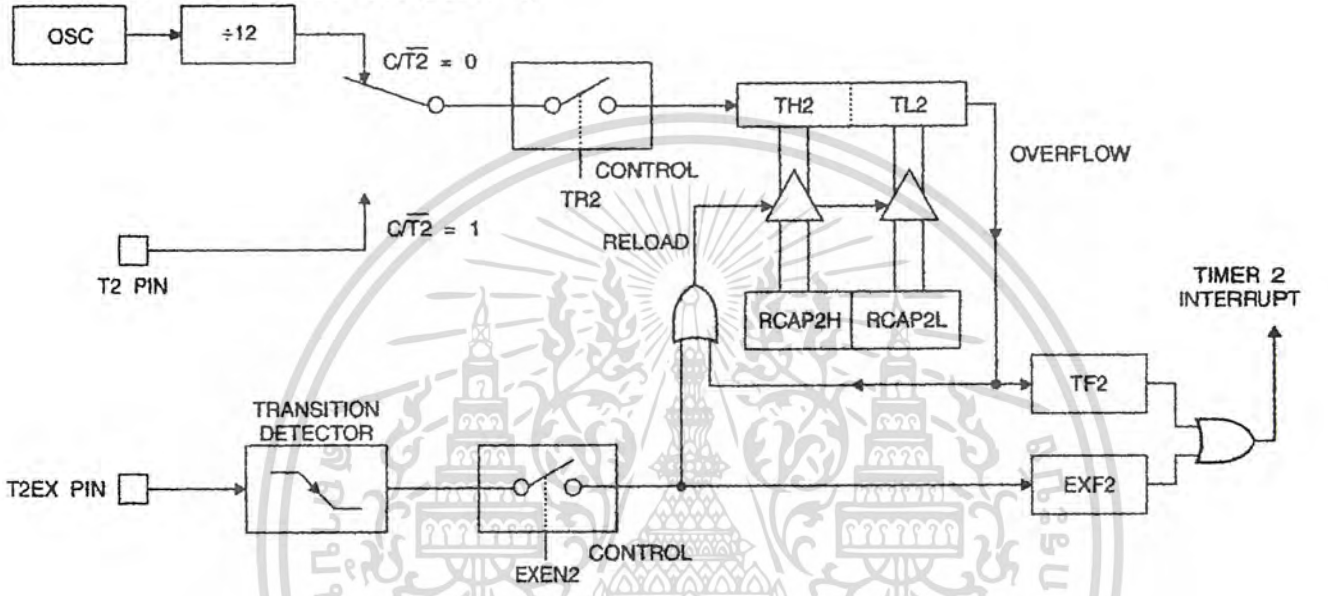


Table 9. T2MOD—Timer 2 Mode Control Register

T2MOD Address = 0C9H — Reset Value = XXXX XX00B

Not Bit Addressable

	—	—	—	—	—	—	T2OE	DCEN
Bit	7	6	5	4	3	2	1	0

Symbol	Function
—	Not implemented, reserved for future use.
T2OE	Timer 2 Output Enable bit.
DCEN	When set, this bit allows Timer 2 to be configured as an up/down counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 3. Timer 2 Auto Reload Mode (DCEN = 1)

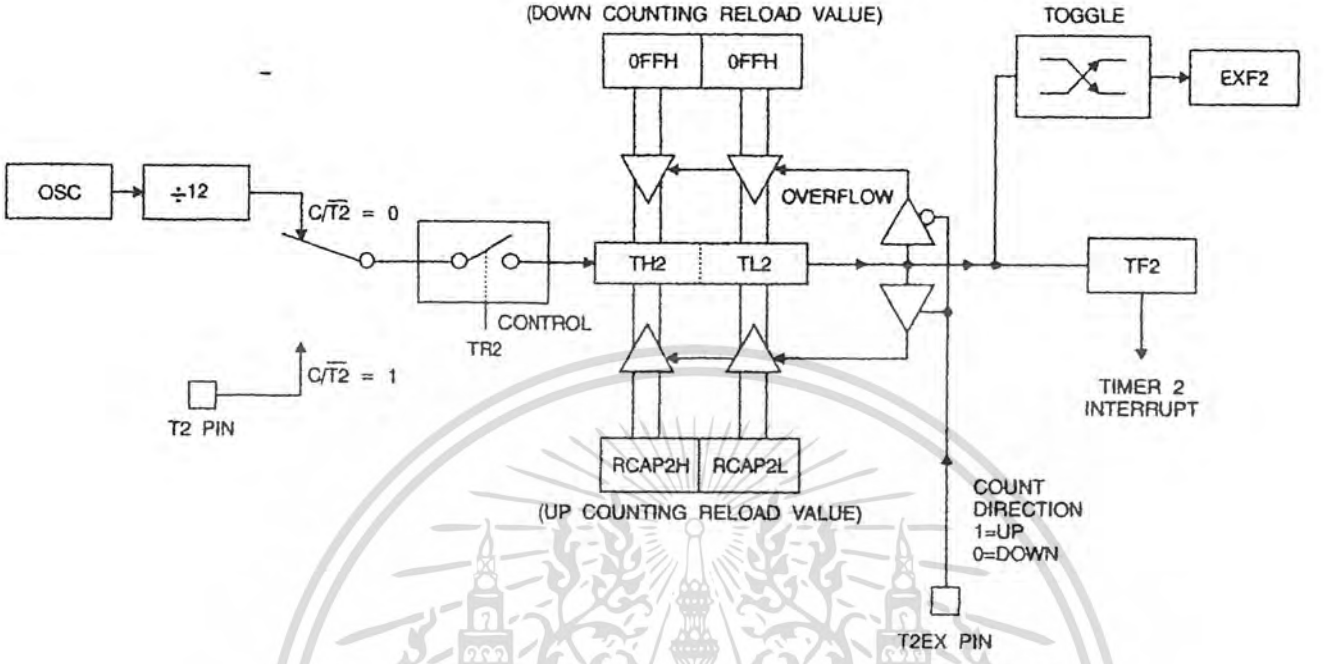
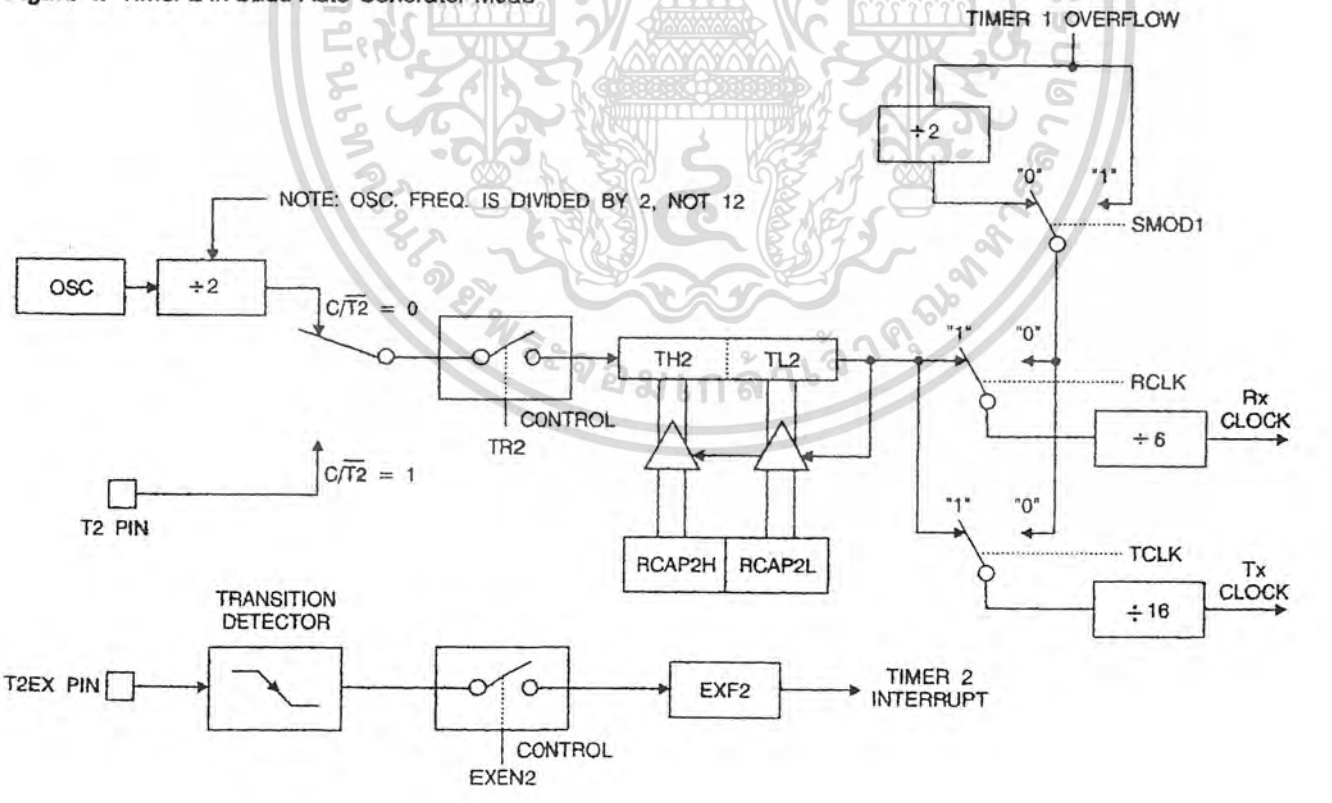


Figure 4. Timer 2 in Baud Rate Generator Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Baud Rate Generator

Timer 2 is selected as the baud rate generator by setting TCLK and/or RCLK in T2CON (Table 2). Note that the baud rates for transmit and receive can be different if Timer 2 is used for the receiver or transmitter and Timer 1 is used for the other function. Setting RCLK and/or TCLK puts Timer 2 into its baud rate generator mode, as shown in Figure 4.

The baud rate generator mode is similar to the auto-reload mode, in that a rollover in TH2 causes the Timer 2 registers to be reloaded with the 16 bit value in registers RCAP2H and RCAP2L, which are preset by software.

The baud rates in Modes I and 3 are determined by Timer 2's overflow rate according to the following equation.

$$\text{Modes1 and 3 Baud Rates} = \frac{\text{Timer 2 OverflowRate}}{16}$$

The Timer can be configured for either timer or counter operation. In most applications, it is configured for timer operation ($C/\overline{T2} = 0$). The timer operation is different for Timer 2 when it is used as a baud rate generator. Normally, as a timer, it increments every machine cycle (at 1/12 the oscillator frequency). As a baud rate generator, however, it increments every state time (at 1/2 the oscillator frequency). The baud rate formula is given below.

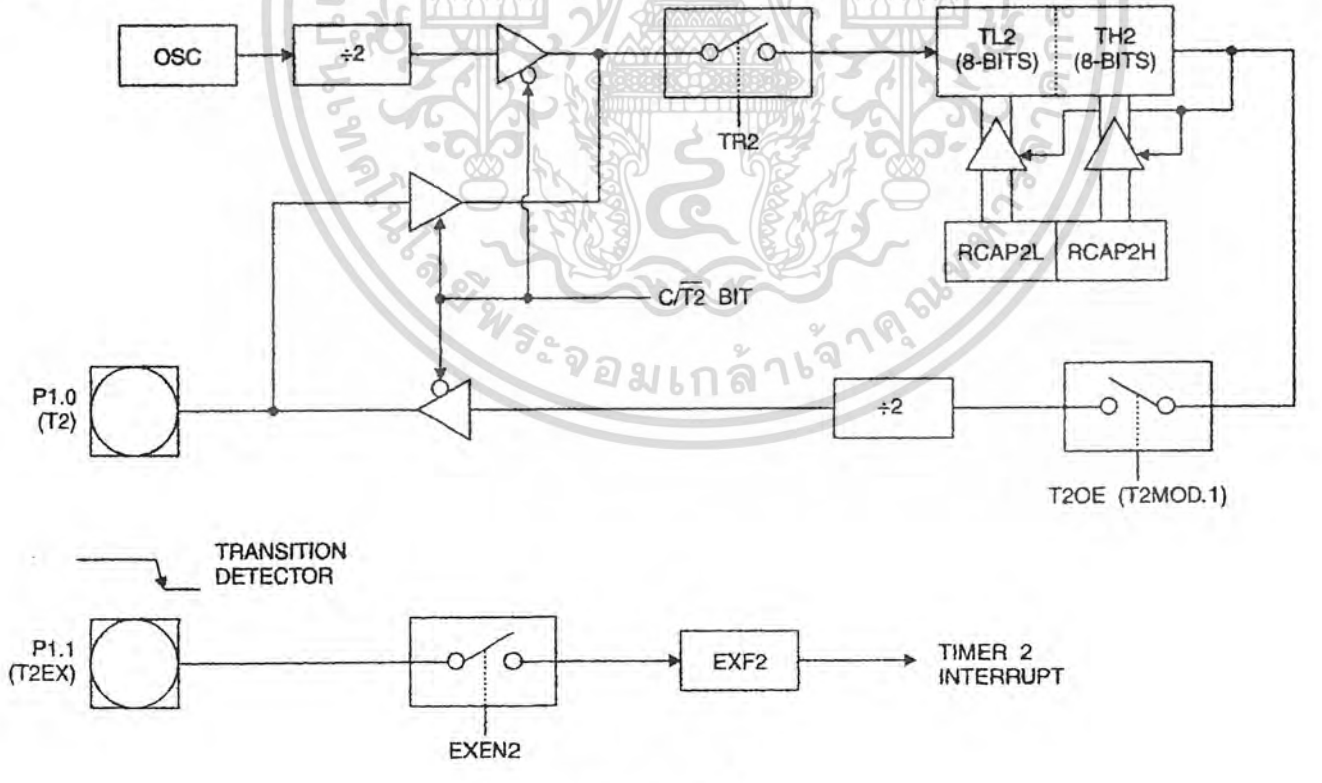
$$\frac{\text{Modes1 and 3}}{\text{Baud Rate}} = \frac{\text{Oscillator Frequency}}{32 \times [65536 - (\text{RCAP2H, RCAP2L})]}$$

where (RCAP2H, RCAP2L) is the content of RCAP2H and RCAP2L taken as a 16 bit unsigned integer.

Timer 2 as a baud rate generator is shown in Figure 4. This figure is valid only if RCLK or TCLK = 1 in T2CON. Note that a rollover in TH2 does not set TF2 and will not generate an interrupt. Note too, that if EXEN2 is set, a 1-to-0 transition in T2EX will set EXF2 but will not cause a reload from (RCAP2H, RCAP2L) to (TH2, TL2). Thus when Timer 2 is in use as a baud rate generator, T2EX can be used as an extra external interrupt.

Note that when Timer 2 is running (TR2 = 1) as a timer in the baud rate generator mode, TH2 or TL2 should not be read from or written to. Under these conditions, the Timer is incremented every state time, and the results of a read or write may not be accurate. The RCAP2 registers may be read but should not be written to, because a write might overlap a reload and cause write and/or reload errors. The timer should be turned off (clear TR2) before accessing the Timer 2 or RCAP2 registers.

Figure 5. Timer 2 in Clock-Out Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programmable Clock Out

A 50% duty cycle clock can be programmed to come out on P1.0, as shown in Figure 5. This pin, besides being a regular I/O pin, has two alternate functions. It can be programmed to input the external clock for Timer/Counter 2 or to output a 50% duty cycle clock ranging from 61 Hz to 4 MHz at a 16 MHz operating frequency.

To configure the Timer/Counter 2 as a clock generator, bit C/$\overline{T2}$ (T2CON.1) must be cleared and bit T2OE (T2MOD.1) must be set. Bit TR2 (T2CON.2) starts and stops the timer.

The clock-out frequency depends on the oscillator frequency and the reload value of Timer 2 capture registers (RCAP2H, RCAP2L), as shown in the following equation.

$$\text{Clock-Out Frequency} = \frac{\text{Oscillator Frequency}}{4 \times [65536 - (\text{RCAP2H, RCAP2L})]}$$

In the clock-out mode, Timer 2 roll-overs will not generate an interrupt. This behavior is similar to when Timer 2 is used as a baud-rate generator. It is possible to use Timer 2 as a baud-rate generator and a clock generator simultaneously. Note, however, that the baud-rate and clock-out frequencies cannot be determined independently from one another since they both use RCAP2H and RCAP2L.

UART

The UART in the AT89S8252 operates the same way as the UART in the AT89C51, AT89C52 and AT89C55. For further information, see the October 1995 Microcontroller Data Book, page 2-49, section titled, "Serial Interface."

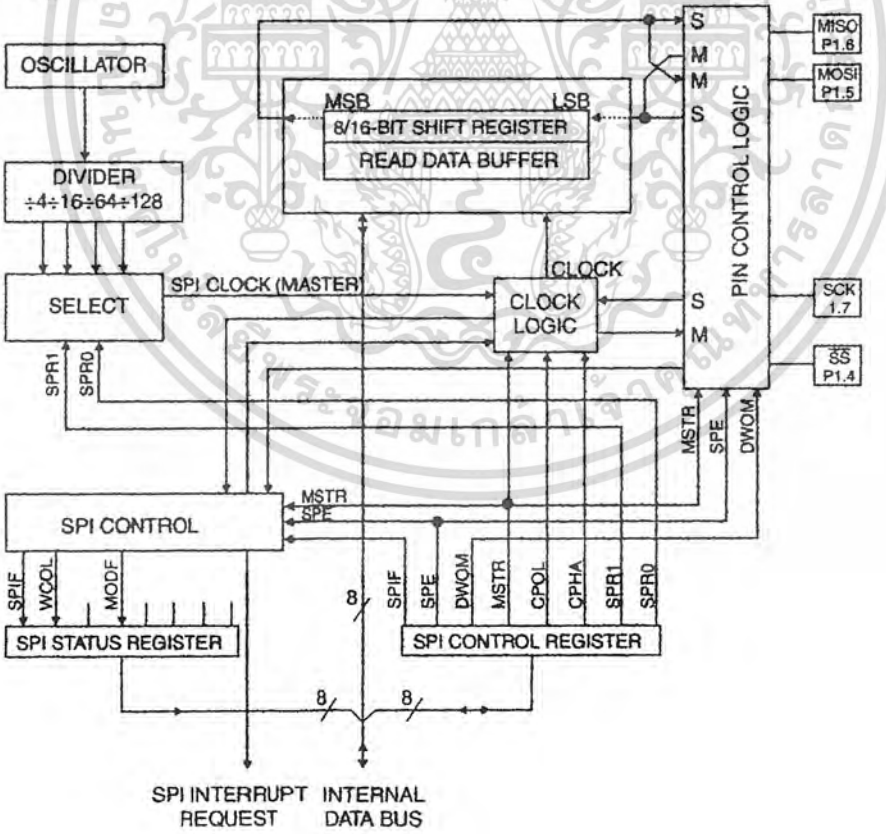
Serial Peripheral Interface

The serial peripheral interface (SPI) allows high-speed synchronous data transfer between the AT89S8252 and peripheral devices or between several AT89S8252 devices. The AT89S8252 SPI features include the following:

- Full-Duplex, 3-Wire Synchronous Data Transfer
- Master or Slave Operation
- 6 MHz Bit Frequency (max.)
- LSB First or MSB First Data Transfer
- Four Programmable Bit Rates
- End of Transmission Interrupt Flag
- Write Collision Flag Protection
- Wakeup from Idle Mode (Slave Mode Only)

(continued)

Figure 6. SPI Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Serial Peripheral Interface (Continued)

The interconnection between master and slave CPUs with SPI is shown in the following figure. The SCK pin is the clock output in the master mode but is the clock input in the slave mode. Writing to the SPI data register of the master CPU starts the SPI clock generator, and the data written shifts out of the MOSI pin and into the MOSI pin of the slave CPU. After shifting one byte, the SPI clock generator stops, setting the end of transmission flag (SPIF). If both the SPI interrupt enable bit (SPIE) and the serial port interrupt enable bit (ES) are set, an interrupt is requested.

The Slave Select input, $\overline{SS}$/P1.4, is set low to select an individual SPI device as a slave. When $\overline{SS}$/P1.4 is set high, the SPI port is deactivated and the MOSI/P1.6 pin can be used as an input.

There are four combinations of SCK phase and polarity with respect to serial data, which are determined by control bits CPHA and CPOL. The SPI data transfer formats are shown in Figures 8 and 9.

Figure 7. SPI Master -Slave Interconnection

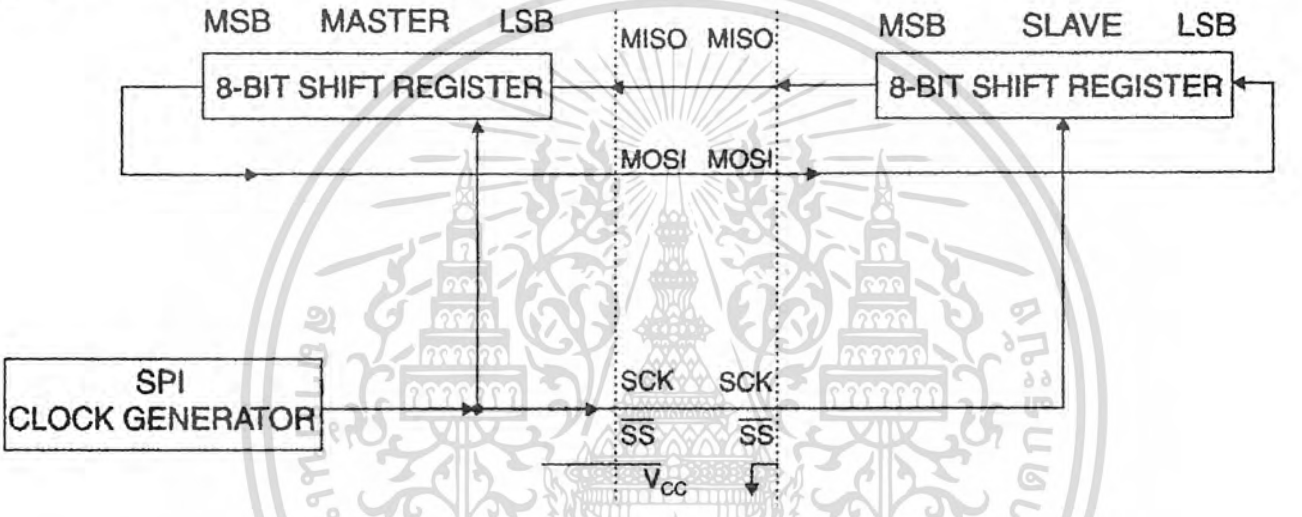
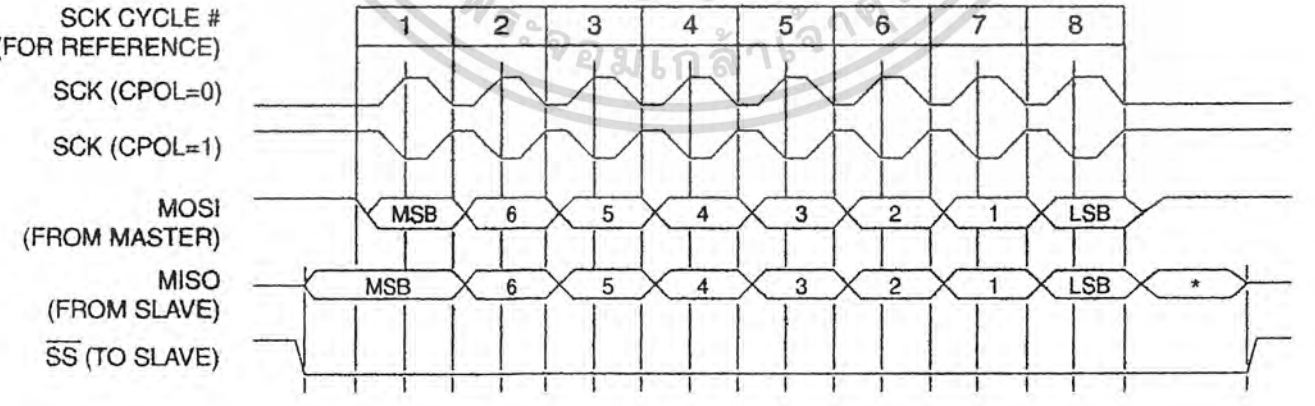


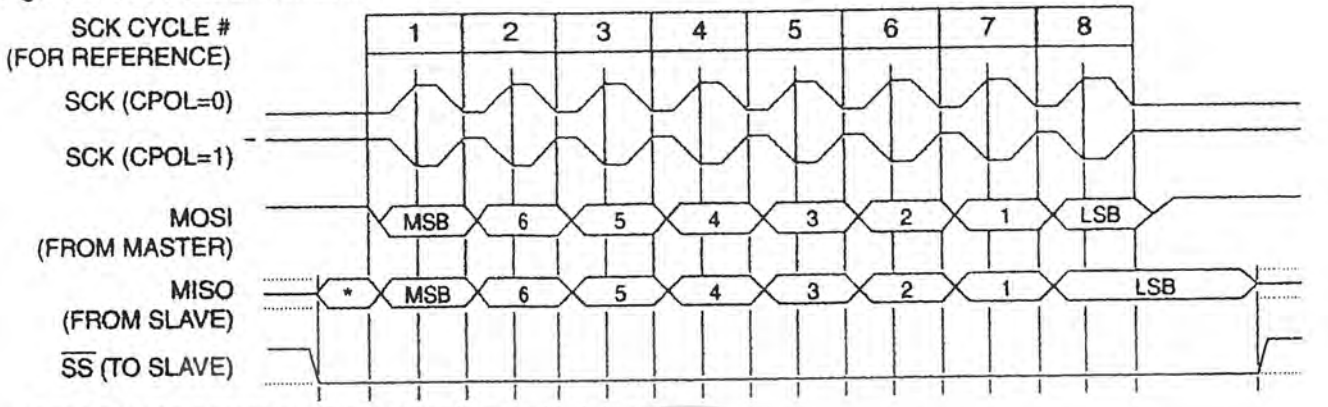
Figure 8. SPI Transfer Format with CPHA = 0



* Not defined but normally MSB of character just received.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. SPI Transfer Format with CPHA = 1



* Not defined but normally LSB of previously transmitted character.

Interrupts

The AT89S8252 has a total of six interrupt vectors: two external interrupts (INT0 and INT1), three timer interrupts (Timers 0, 1, and 2), and the serial port interrupt. These interrupts are all shown in Figure 10.

Each of these interrupt sources can be individually enabled or disabled by setting or clearing a bit in Special Function Register IE. IE also contains a global disable bit, EA, which disables all interrupts at once.

Note that Table 10 shows that bit position IE.6 is unimplemented. In the AT89C51, AT89C52 and AT89C55, bit position IE.5 is also unimplemented. User software should not write 1s to these bit positions, since they may be used in future AT89 products.

Table 10. Interrupt Enable (IE) Register

(MSB)							(LSB)
EA	—	ET2	ES	ET1	EX1	ET0	EX0

Enable Bit = 1 enables the interrupt.

Enable Bit = 0 disables the interrupt.

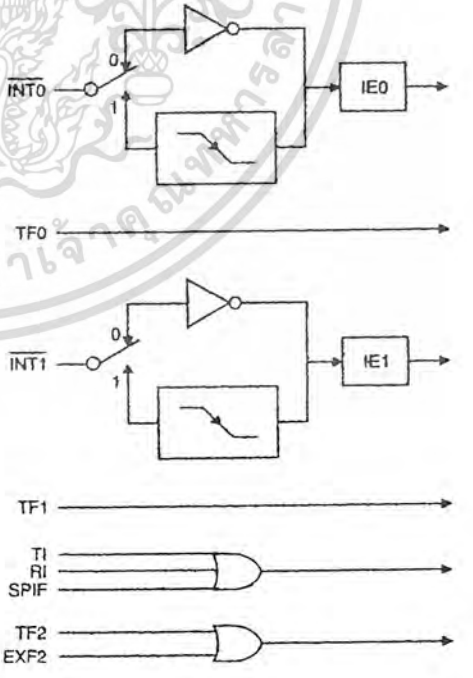
Symbol	Position	Function
EA	IE.7	Disables all interrupts. If EA = 0, no interrupt is acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.
—	IE.6	Reserved.
ET2	IE.5	Timer 2 interrupt enable bit.
ES	IE.4	SPI and UART interrupt enable bit.
ET1	IE.3	Timer 1 interrupt enable bit.
EX1	IE.2	External interrupt 1 enable bit.
ET0	IE.1	Timer 0 interrupt enable bit.
EX0	IE.0	External interrupt 0 enable bit.

User software should never write 1s to unimplemented bits, because they may be used in future AT89 products.

Timer 2 interrupt is generated by the logical OR of bits TF2 and EXF2 in register T2CON. Neither of these flags is cleared by hardware when the service routine is vectored to. In fact, the service routine may have to determine whether it was TF2 or EXF2 that generated the interrupt, and that bit will have to be cleared in software.

The Timer 0 and Timer 1 flags, TF0 and TFI, are set at S5P2 of the cycle in which the timers overflow. The values are then polled by the circuitry in the next cycle. However, the Timer 2 flag, TF2, is set at S2P2 and is polled in the same cycle in which the timer overflows.

Figure 10. Interrupt Sources

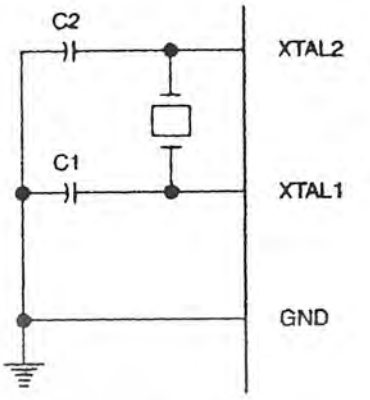


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Oscillator Characteristics

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier that can be configured for use as an on-chip oscillator, as shown in Figure 11. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven, as shown in Figure 12. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Figure 11. Oscillator Connections



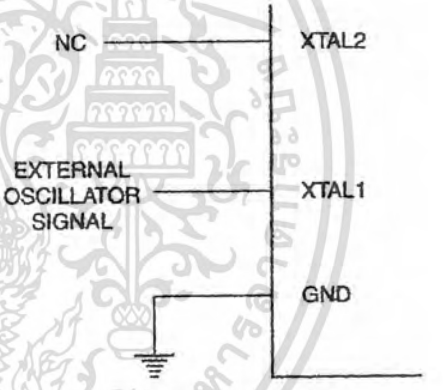
Notes: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

Note that when idle mode is terminated by a hardware reset, the device normally resumes program execution from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when idle mode is terminated by a reset, the instruction following the one that invokes idle mode should not write to a port pin or to external memory.

Figure 12. External Clock Drive Configuration



Power Down Mode

In the power down mode, the oscillator is stopped and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. Exit from power down can be initiated either by a hardware reset or by an enabled external interrupt. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

To exit power down via an interrupt, the external interrupt must be enabled as level sensitive before entering power down. The interrupt service routine starts at 16 ms (nominal) after the enabled interrupt pin is activated.

Status of External Pins During Idle and Power Down

Mode	Program Memory	ALE	$\overline{PSEN}$	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power Down	Internal	0	0	Data	Data	Data	Data
Power Down	External	0	0	Float	Data	Data	Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

December 1995

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

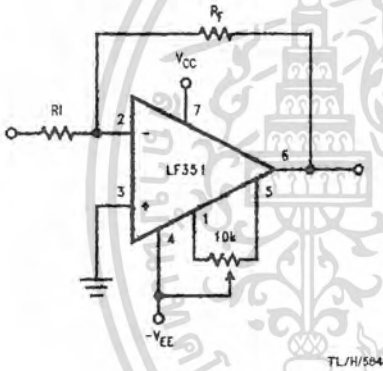
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

Features

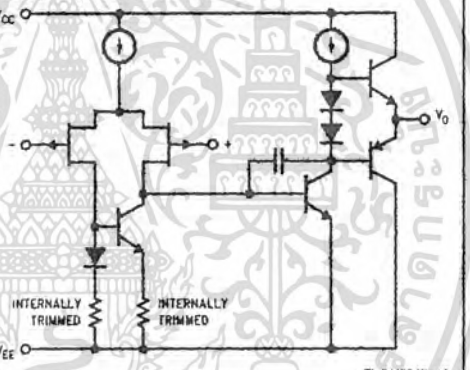
■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/$\sqrt{Hz}$
■ Low input noise current	0.01 pA/$\sqrt{Hz}$
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, BW = 20 Hz–20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection



TL/H/5648–11

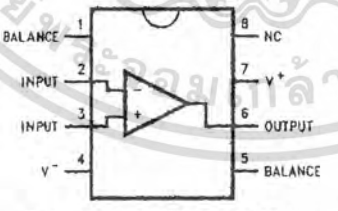
Simplified Schematic



TL/H/5648–12

Connection Diagrams

Dual-In-Line Package



TL/H/5648–13

Order Number LF351M or LF351N
See NS Package Number M08A or N08E

© 1995 National Semiconductor Corporation TL/H/5648

RRD-B30M125/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C

θ_{jA}	
N Package	120°C/W
M Package	TBD
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S = 10\ k\Omega$, $T_A = 25°C$ Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10\ k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		25	100 4	pA nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		50	200 8	pA nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2\ k\Omega$ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10\ k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10\ k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		$V/\mu s$
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000$ Hz		25		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_J = 25°C$, $f = 1000$ Hz		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance, θ_{JA}.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_J. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_J = T_A + \theta_{JA} P_D$ where θ_{JA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

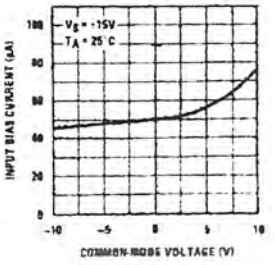
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From $\pm 15V$ to $\pm 5V$.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

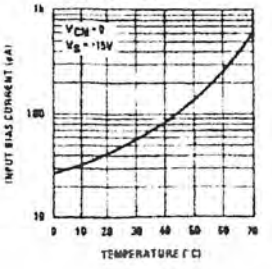
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

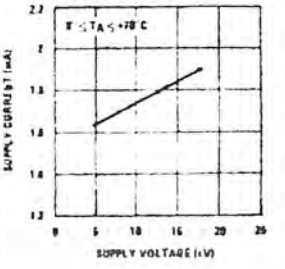
Input Bias Current



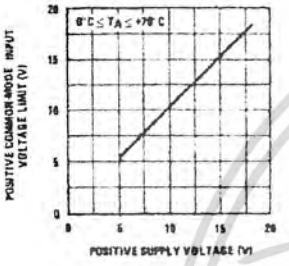
Input Bias Current



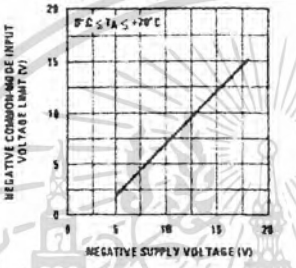
Supply Current



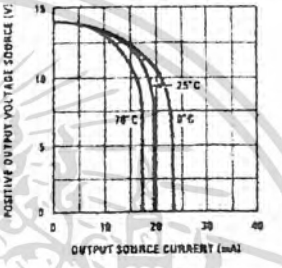
Positive Common-Mode Input Voltage Limit



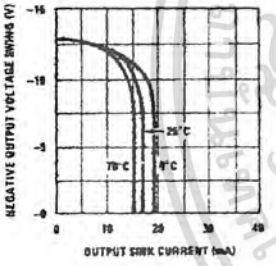
Negative Common-Mode Input Voltage Limit



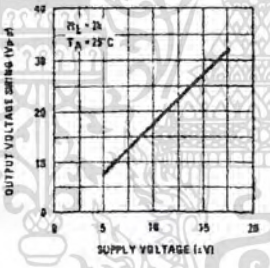
Positive Current Limit



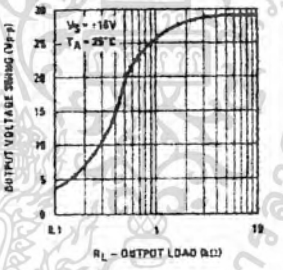
Negative Current Limit



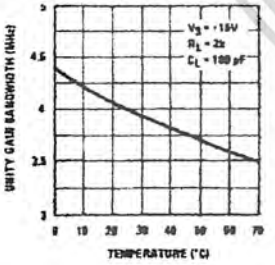
Voltage Swing



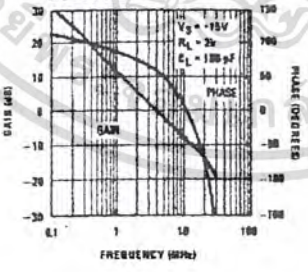
Output Voltage Swing



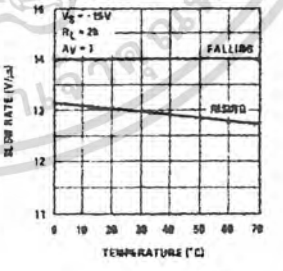
Gain Bandwidth



Bode Plot



Slew Rate

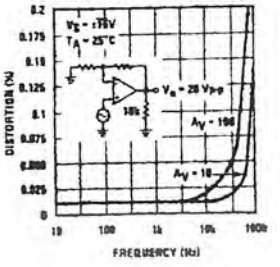


TL/H/5648–2

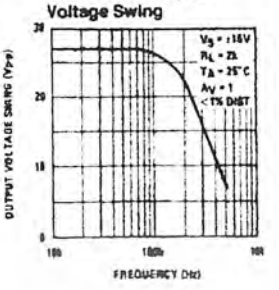
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

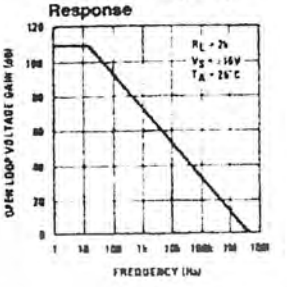
Distortion vs Frequency



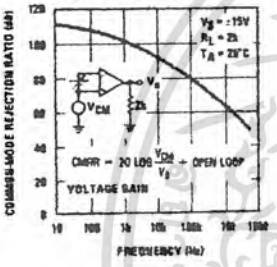
Undistorted Output Voltage Swing



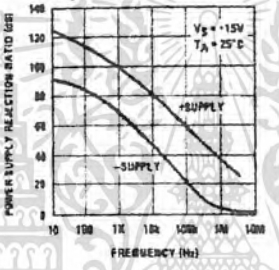
Open Loop Frequency Response



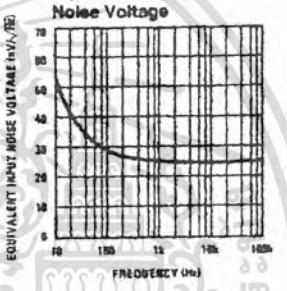
Common-Mode Rejection Ratio



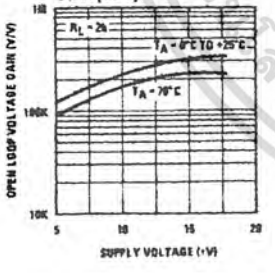
Power Supply Rejection Ratio



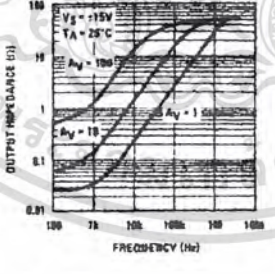
Equivalent Input Noise Voltage



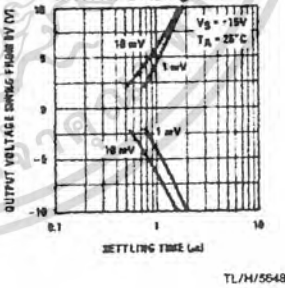
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

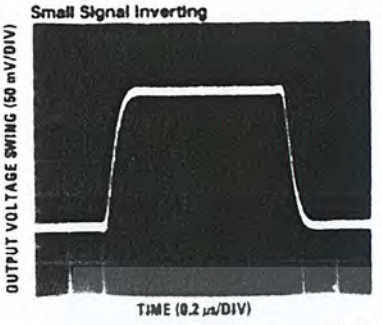


TL/H/5648–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

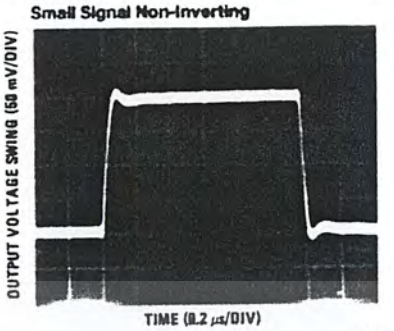
Pulse Response

Small Signal Inverting



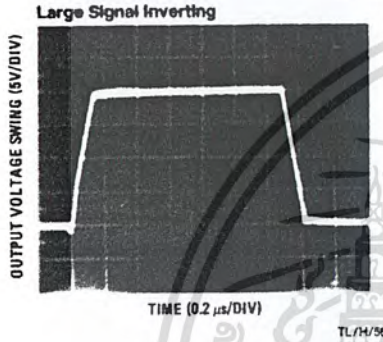
TL/H/5648–4

Small Signal Non-Inverting



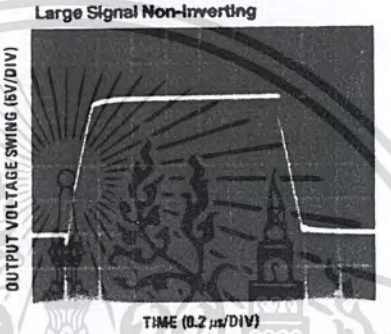
TL/H/5648–5

Large Signal Inverting



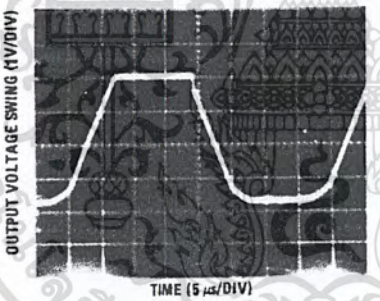
TL/H/5648–6

Large Signal Non-Inverting



TL/H/5648–7

Current Limit (R_L = 100Ω)



TL/H/5648–8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

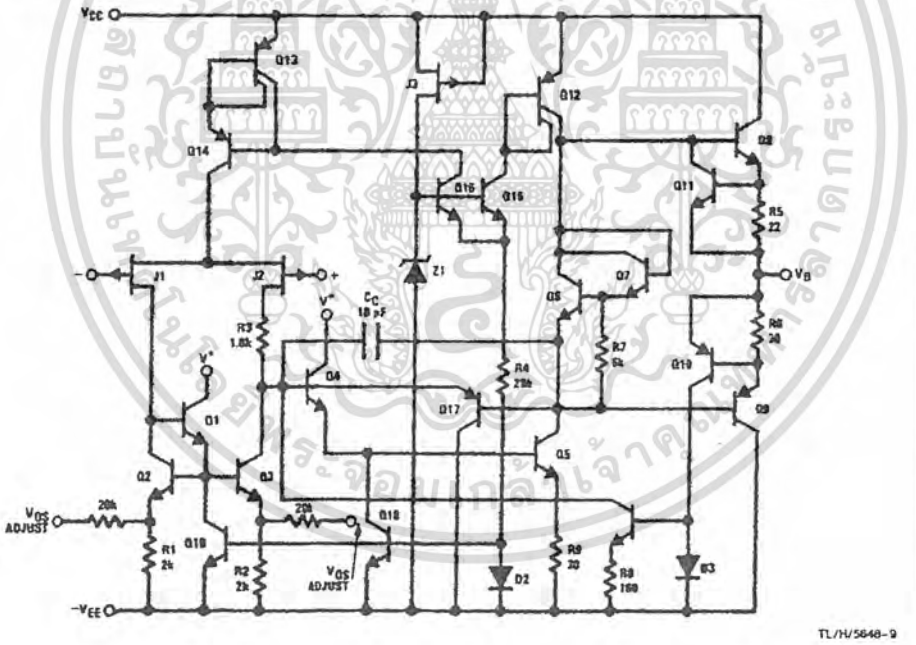
The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic

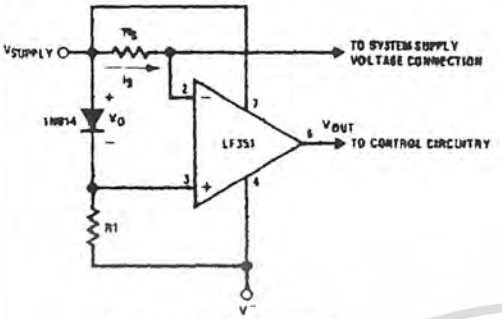


TL/H/5648–9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

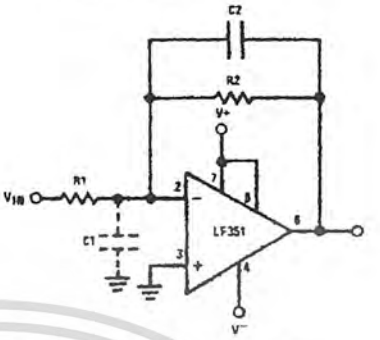
Typical Applications

Supply Current Indicator/Limiter



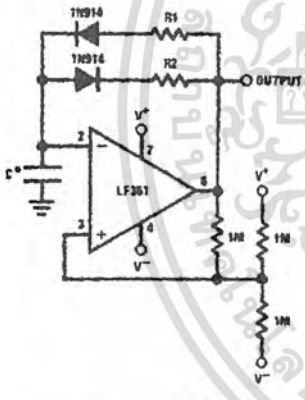
* V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≈ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that R2C2 ≈ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator



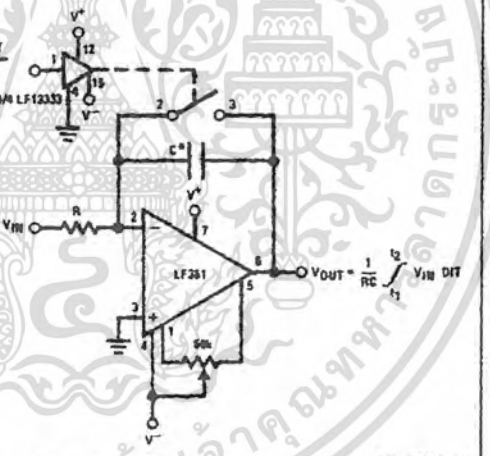
* $t_{OUTPUT\ HIGH} \approx R1C\ \ell n \frac{4.8 - 2V_S}{4.8 - V_S}$

* $t_{OUTPUT\ LOW} \approx R2C\ \ell n \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V^-|$

*low leakage capacitor

Long Time Integrator



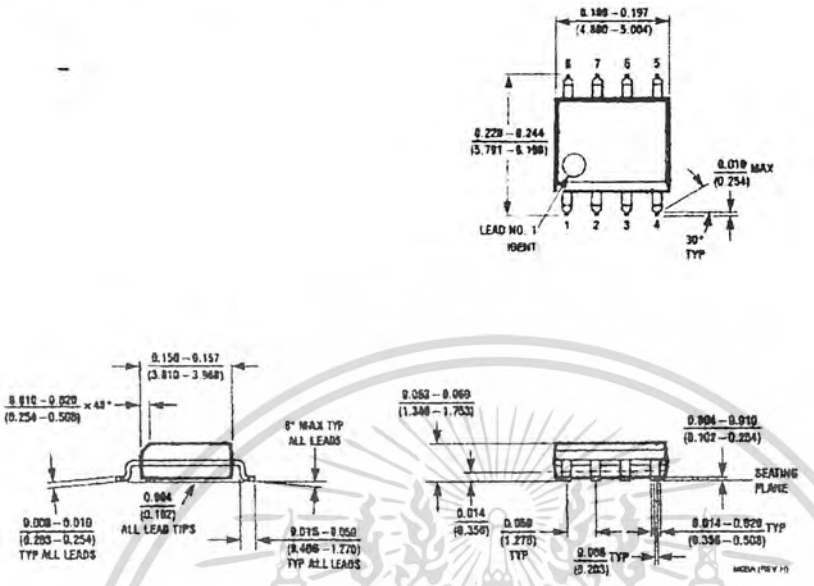
*Low leakage capacitor

50k pot used for less sensitive V_{OS} adjust

TL/H/5848–10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

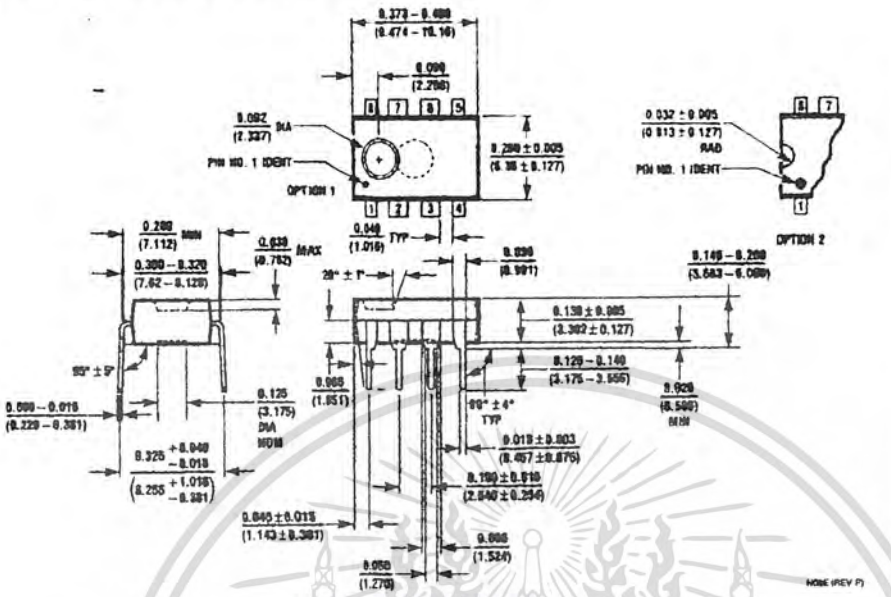
Physical Dimensions inches (millimeters)



SO Package (M)
Order Number LF351M
NS Package Number M08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



Molded Dual-In-Line Package (N)
Order Number LF351N
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by LM324/D

MOTOROLA

LM324, LM324A, LM224, LM2902, LM2902V

Quad Low Power Operational Amplifiers

QUAD DIFFERENTIAL INPUT OPERATIONAL AMPLIFIERS

SEMICONDUCTOR TECHNICAL DATA

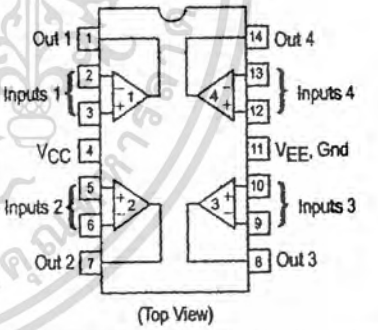
The LM324 series are low–cost, quad operational amplifiers with true differential inputs. They have several distinct advantages over standard operational amplifier types in single supply applications. The quad amplifier can operate at supply voltages as low as 3.0 V or as high as 32 V with quiescent currents about one–fifth of those associated with the MC1741 (on a per amplifier basis). The common mode input range includes the negative supply, thereby eliminating the necessity for external biasing components in many applications. The output voltage range also includes the negative power supply voltage.

- Short Circuited Protected Outputs
- True Differential Input Stage
- Single Supply Operation: 3.0 V to 32 V
- Low Input Bias Currents: 100 nA Maximum (LM324A)
- Four Amplifiers Per Package
- Internally Compensated
- Common Mode Range Extends to Negative Supply
- Industry Standard Pinouts
- ESD Clamps on the Inputs Increase Ruggedness without Affecting Device Operation

N SUFFIX
PLASTIC PACKAGE
CASE 646
(LM224, LM324, LM2902 Only)

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

PIN CONNECTIONS



(Top View)

MAXIMUM RATINGS (T_A = +25°C, unless otherwise noted.)

Rating	Symbol	LM224 LM324, LM324A	LM2902, LM2902V	Unit
Power Supply Voltages Single Supply Split Supplies	V_{CC} V_{CC}, V_{EE}	32 ±16	26 ±13	Vdc
Input Differential Voltage Range (See Note 1)	V_{IDR}	±32	±26	Vdc
Input Common Mode Voltage Range	V_{ICR}	–0.3 to 32	–0.3 to 26	Vdc
Output Short Circuit Duration	t_{SC}	Continuous		
Junction Temperature	T_J	150		°C
Storage Temperature Range	T_{stg}	–65 to +150		°C
Operating Ambient Temperature Range	T_A	–25 to +85 0 to +70	–40 to +105 –40 to +125	°C

NOTE: 1. Split Power Supplies.

ORDERING INFORMATION

Device	Operating Temperature Range	Package
LM2902D	T_A = –40° to +105°C	SO–14
LM2902N		Plastic DIP
LM2902VD	T_A = –40° to +125°C	SO–14
LM2902VN		Plastic DIP
LM224D	T_A = –25° to +85°C	SO–14
LM224N		Plastic DIP
LM324AD	T_A = 0° to +70°C	SO–14
LM324AN		Plastic DIP
LM324D		SO–14
LM324N		Plastic DIP

© Motorola, Inc. 1996

Rev 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0 V, V_{EE} = Gnd, T_A = 25°C, unless otherwise noted.)

Characteristics	Symbol	LM224			LM324A			LM324			LM2902			LM2902V			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage V_{CC} = 5.0 V to 30 V (26 V for LM2902, V), V_{ICR} = 0 V to V_{CC} −1.7 V, V_O = 1.4 V, R_S = 0 Ω	V_{IO}																mV
T_A = 25°C		–	2.0	5.0	–	2.0	3.0	–	2.0	7.0	–	2.0	7.0	–	2.0	7.0	
T_A = T_{high}(1)		–	–	7.0	–	–	5.0	–	–	9.0	–	–	10	–	–	13	
T_A = T_{low}(1)		–	–	7.0	–	–	5.0	–	–	9.0	–	–	10	–	–	10	
Average Temperature Coefficient of Input Offset Voltage T_A = T_{high} to T_{low}(1)	$\Delta V_{IO}/\Delta T$	–	7.0	–	–	7.0	30	–	7.0	–	–	7.0	–	–	7.0	–	μV/°C
Input Offset Current T_A = T_{high} to T_{low}(1)	I_{IO}	–	3.0	30	–	5.0	30	–	5.0	50	–	5.0	50	–	5.0	50	nA
		–	–	100	–	–	75	–	–	150	–	–	200	–	–	200	
Average Temperature Coefficient of Input Offset Current T_A = T_{high} to T_{low}(1)	$\Delta I_{IO}/\Delta T$	–	10	–	–	10	300	–	10	–	–	10	–	–	10	–	pA/°C
Input Bias Current T_A = T_{high} to T_{low}(1)	I_{IB}	–	−90	−150	–	−45	−100	–	−90	−250	–	−90	−250	–	−90	−250	nA
		–	–	−300	–	–	−200	–	–	−500	–	–	−500	–	–	−500	
Input Common Mode Voltage Range(2) V_{CC} = 30 V (26 V for LM2902, V)	V_{ICR}	0	–	28.3	0	–	28.3	0	–	28.3	0	–	24.3	0	–	24.3	V
V_{CC} = 30 V (26 V for LM2902, V), T_A = T_{high} to T_{low}		0	–	28	0	–	28	0	–	28	0	–	24	0	–	24	
Differential Input Voltage Range	V_{IDR}	–	–	V_{CC}	–	–	V_{CC}	–	–	V_{CC}	–	–	V_{CC}	–	–	V_{CC}	V
Large Signal Open Loop Voltage Gain R_L = 2.0 kΩ, V_{CC} = 15 V, for Large V_O Swing, T_A = T_{high} to T_{low}(1)	A_{VOL}	50	100	–	25	100	–	25	100	–	25	100	–	25	100	–	V/mV
		25	–	–	15	–	–	15	–	–	15	–	–	15	–	–	
Channel Separation 10 kHz ≤ f ≤ 20 kHz, Input Referenced	CS	–	−120	–	–	−120	–	–	−120	–	–	−120	–	–	−120	–	dB
Common Mode Rejection, R_S ≤ 10 kΩ	CMR	70	85	–	65	70	–	65	70	–	50	70	–	50	70	–	dB
Power Supply Rejection	PSR	65	100	–	65	100	–	65	100	–	50	100	–	50	100	–	dB
Output Voltage−High Limit (T_A = T_{high} to T_{low})(1) V_{CC} = 5.0 V, R_L = 2.0 kΩ, T_A = 25°C	V_{OH}	3.3	3.5	–	3.3	3.5	–	3.3	3.5	–	3.3	3.5	–	3.3	3.5	–	V
V_{CC} = 30 V (26 V for LM2902, V), R_L = 2.0 kΩ		26	–	–	26	–	–	26	–	–	22	–	–	22	–	–	
V_{CC} = 30 V (26 V for LM2902, V), R_L = 10 kΩ		27	28	–	27	28	–	27	28	–	23	24	–	23	24	–	

NOTES: 1. T_{low} = −25°C for LM224, = 0°C for LM324, A, = −40°C for LM2902, = −40°C for LM2902V; T_{high} = +85°C for LM224, = +70°C for LM324, A, = +105°C for LM2902, = +125°C for LM2902V

2. The input common mode voltage or either input signal voltage should not be allowed to go negative by more than 0.3 V. The upper end of the common mode voltage range is V_{CC} −1.7 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

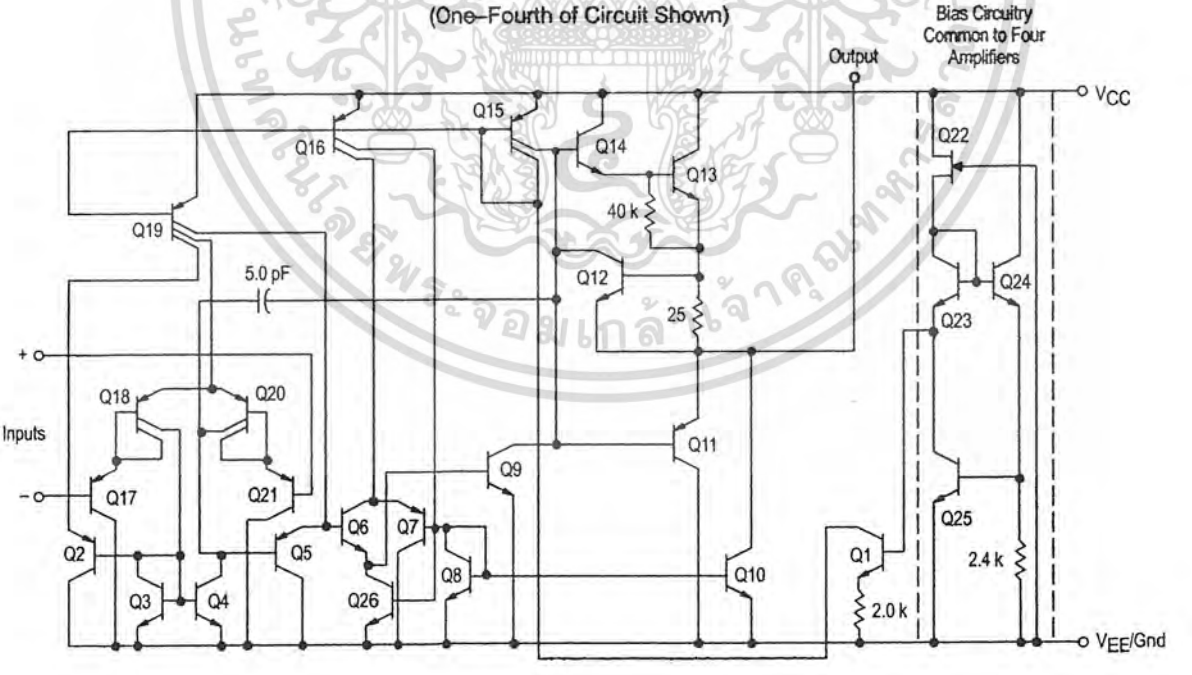
ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0 V, V_{EE} = Gnd, T_A = 25°C, unless otherwise noted.)

Characteristics	Symbol	LM224			LM324A			LM324			LM2902			LM2902V			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage – Low Limit, V_{CC} = 5.0 V, R_L = 10 kΩ, T_A = T_{high} to T_{low}(1)	V_{OL}	–	5.0	20	–	5.0	20	–	5.0	20	–	5.0	100	–	5.0	100	mV
Output Source Current (V_{ID} = +1.0 V, V_{CC} = 15 V)	I_{O+}																mA
T_A = 25°C		20	40	–	20	40	–	20	40	–	20	40	–	20	40	–	
T_A = T_{high} to T_{low}(1)		10	20	–	10	20	–	10	20	–	10	20	–	10	20	–	
Output Sink Current	I_{O-}																mA
(V_{ID} = –1.0 V, V_{CC} = 15 V) T_A = 25°C		10	20	–	10	20	–	10	20	–	10	20	–	10	20	–	
T_A = T_{high} to T_{low}(1)		5.0	8.0	–	5.0	8.0	–	5.0	8.0	–	5.0	8.0	–	5.0	8.0	–	
(V_{ID} = –1.0 V, V_O = 200 mV, T_A = 25°C)		12	50	–	12	50	–	12	50	–	–	–	–	–	–	–	µA
Output Short Circuit to Ground(3)	I_{SC}	–	40	60	–	40	60	–	40	60	–	40	60	–	40	60	mA
Power Supply Current (T_A = T_{high} to T_{low})(1)	I_{CC}																mA
V_{CC} = 30 V (26 V for LM2902, V), V_O = 0 V, R_L = ∞		–	–	3.0	–	1.4	3.0	–	–	3.0	–	–	3.0	–	–	3.0	
V_{CC} = 5.0 V, V_O = 0 V, R_L = ∞		–	–	1.2	–	0.7	1.2	–	–	1.2	–	–	1.2	–	–	1.2	

NOTES: 1. T_{low} = –25°C for LM224, = 0°C for LM324, A, = –40°C for LM2902, = –40°C for LM2902V; T_{high} = +85°C for LM224, = +70°C for LM324, A, = +105°C for LM2902, = +125°C for LM2902V

2. The input common mode voltage or either input signal voltage should not be allowed to go negative by more than 0.3 V. The upper end of the common mode voltage range is V_{CC} –1.7 V.

Representative Circuit Diagram
(One–Fourth of Circuit Shown)

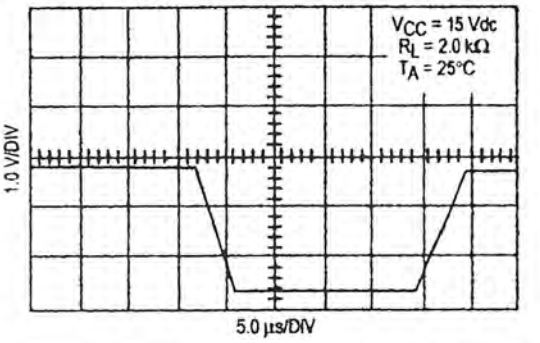


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT DESCRIPTION

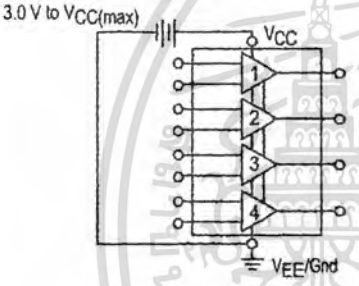
The LM324 series is made using four internally compensated, two–stage operational amplifiers. The first stage of each consists of differential input devices Q20 and Q18 with input buffer transistors Q21 and Q17 and the differential to single ended converter Q3 and Q4. The first stage performs not only the first stage gain function but also performs the level shifting and transconductance reduction functions. By reducing the transconductance, a smaller compensation capacitor (only 5.0 pF) can be employed, thus saving chip area. The transconductance reduction is accomplished by splitting the collectors of Q20 and Q18. Another feature of this input stage is that the input common mode range can include the negative supply or ground, in single supply operation, without saturating either the input devices or the differential to single–ended converter. The second stage consists of a standard current source load amplifier stage.

Large Signal Voltage Follower Response

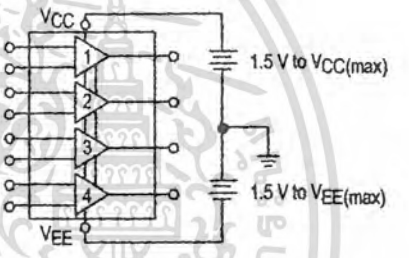


Each amplifier is biased from an internal–voltage regulator which has a low temperature coefficient thus giving each amplifier good temperature characteristics as well as excellent power supply rejection.

Single Supply



Split Supplies



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 1. Input Voltage Range

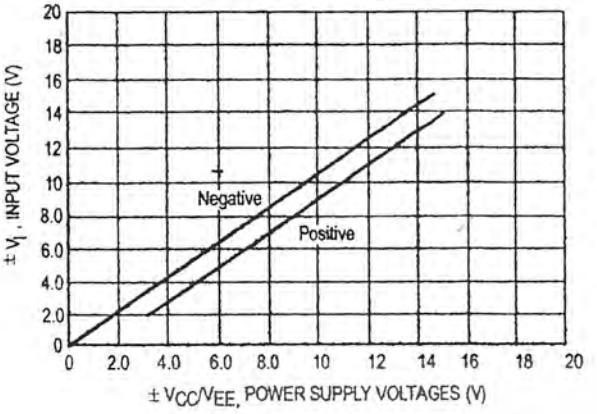


Figure 2. Open Loop Frequency

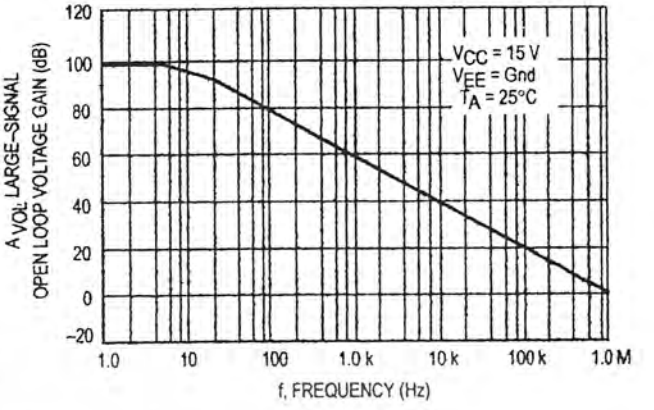


Figure 3. Large–Signal Frequency Response

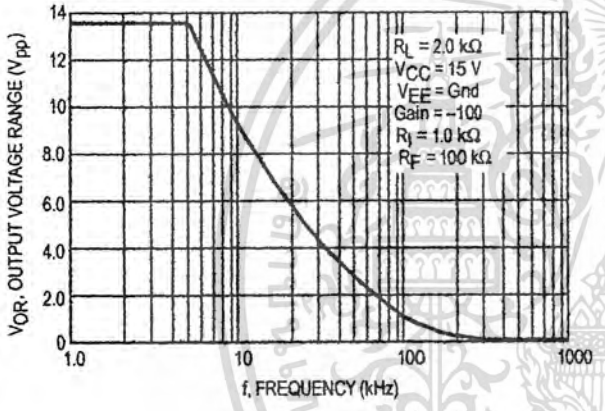


Figure 4. Small–Signal Voltage Follower Pulse Response (Noninverting)

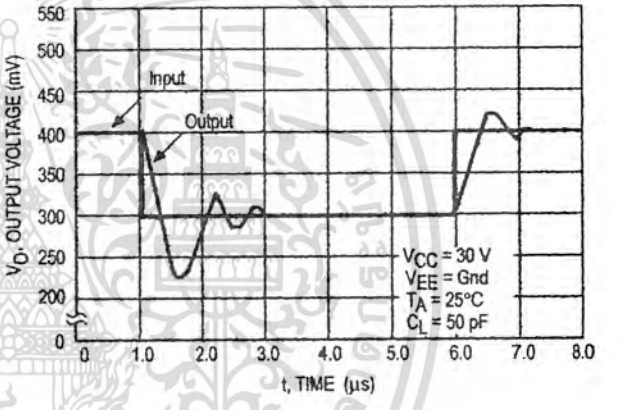


Figure 5. Power Supply Current versus Power Supply Voltage

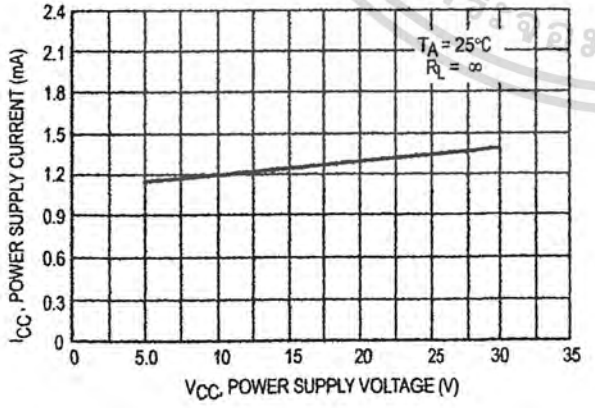
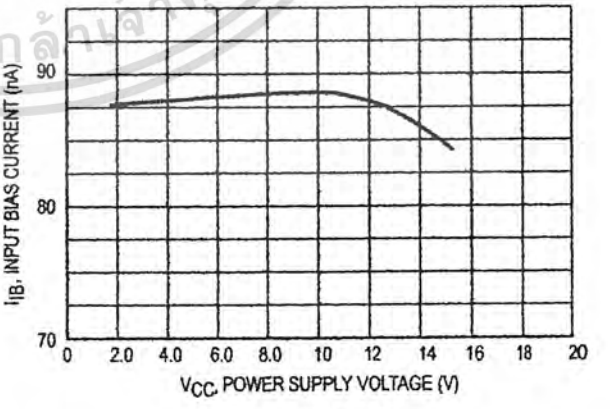


Figure 6. Input Bias Current versus Power Supply Voltage



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 7. Voltage Reference

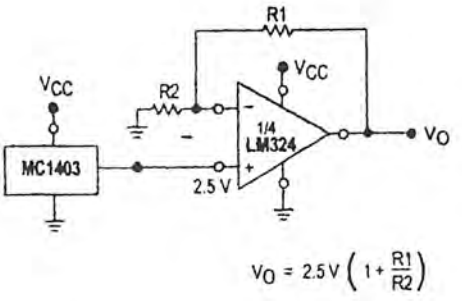


Figure 8. Wien Bridge Oscillator

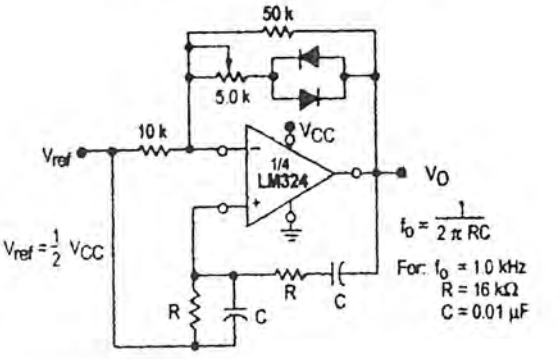


Figure 9. High Impedance Differential Amplifier

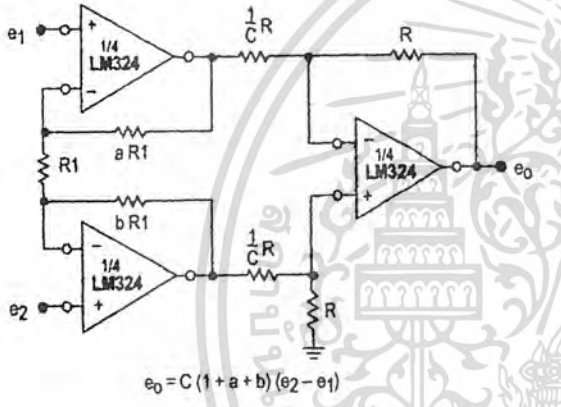


Figure 10. Comparator with Hysteresis

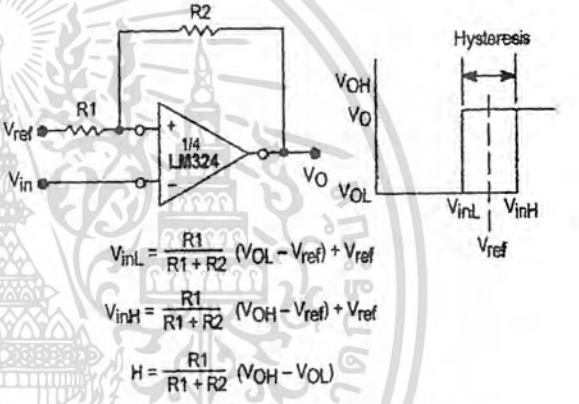
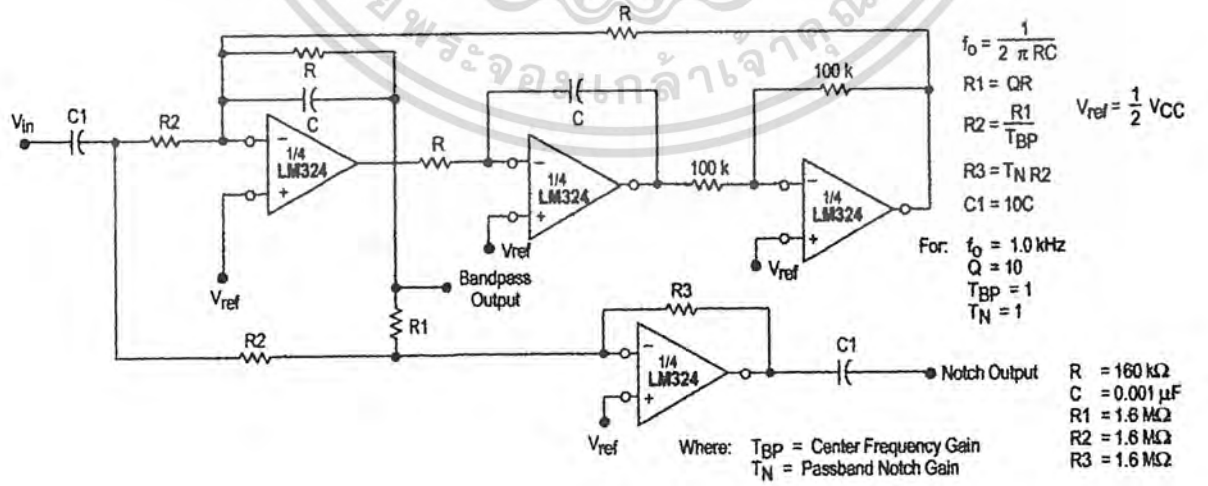
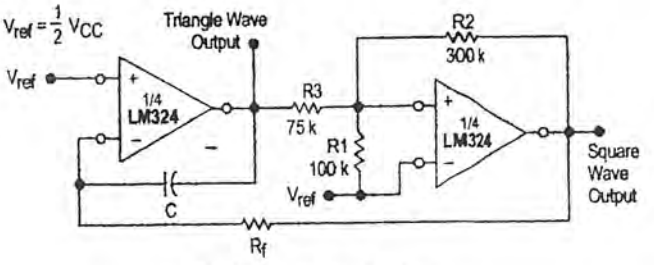


Figure 11. Bi-Quad Filter



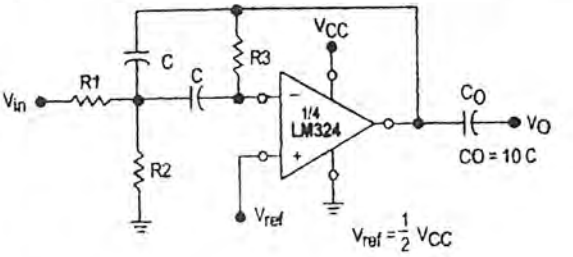
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 12. Function Generator



$$f = \frac{R1 + R_C}{4\,CR_f\,R1} \quad \text{if } R3 = \frac{R2\,R1}{R2 + R1}$$

Figure 13. Multiple Feedback Bandpass Filter



Given: f_o = center frequency
$A(f_o)$ = gain at center frequency

Choose value f_o, C

Then: $R3 = \frac{Q}{\pi f_o C}$

$$R1 = \frac{R3}{2\,A(f_o)}$$

$$R2 = \frac{R1\,R3}{4Q^2\,R1 - R3}$$

For less than 10% error from operational amplifier, $\frac{Q_o f_o}{BW} < 0.1$

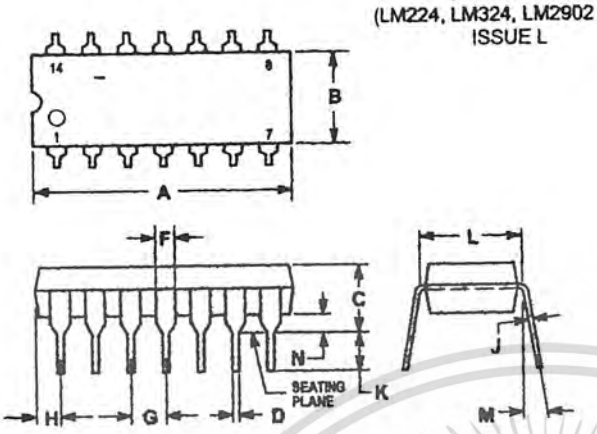
where f_o and BW are expressed in Hz.

If source impedance varies, filter may be preceded with voltage follower buffer to stabilize filter parameters.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

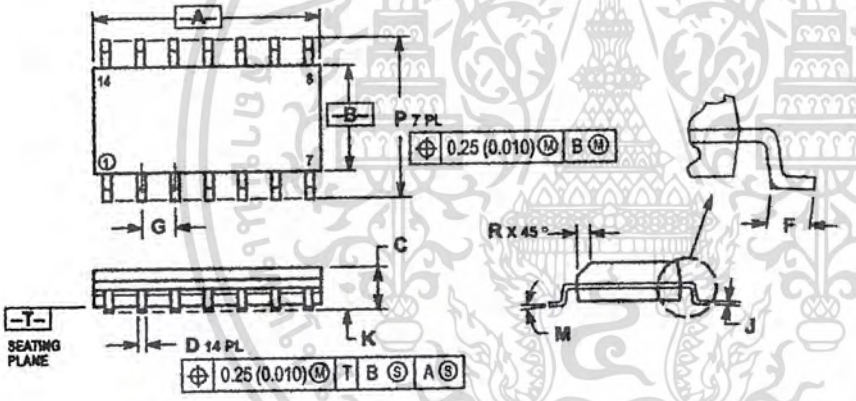
N SUFFIX
PLASTIC PACKAGE
CASE 646–06
(LM224, LM324, LM2902 Only)
ISSUE L



NOTES:
1. LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
4. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.56
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0°	10°	0°	10°
N	0.015	0.039	0.39	1.01

D SUFFIX
PLASTIC PACKAGE
CASE 751A–03
(SO–14)
ISSUE F



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution; P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447 or 602–303–5454

MFAX: RMFAX0@email.sps.mot.com – TOUCHTONE 602–244–6609
INTERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, 6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–81–3521–8315

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้