สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องกำเนิดสัญญาณอย่างง่าย

Simple Function Generator

T042667

นายทวีศักดิ์ วิวัฒวิทยาวงศ์
นายเริงศักดิ์ มีเอี่ยม

เลขหมู่.....
เลขทะเบียน 42667
วัน, เดือน, ปี 6 มิ.ย. 2545
.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต
สาขาเทคโนโลยีอิเล็กทรอนิกส์ ภาควิชาเทคนิคอุตสาหกรรม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Simple Function Generator

Mr.Thaveesak Wiwatwithayawong

Mr. Rurngsak Meeoiam

A THESES SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE OF

BACHELOR OF THE TECHNOLOGY ELECTRONICS

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ เครื่องกำเนิดสัญญาณอย่างง่าย

ชื่อนักศึกษา นายทวีศักดิ์ วิวัฒวิทยาวงศ์
นายเริงศักดิ์ มีเอี่ยม

อาจารย์ที่ปรึกษา ผศ. วิชัย สุรพัฒน์

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2544

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

.....อาจารย์ที่ปรึกษา
(ผศ. วิชัย สุรพัฒน์)

.....กรรมการ
(.....)

.....กรรมการ
(.....)

.....กรรมการ
(.....)

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ เครื่องกำเนิดสัญญาณอย่างง่าย

ชื่อนักศึกษา นายทวีศักดิ์ วิวัฒวิทยาวงศ์
นายเริงศักดิ์ มีเอี่ยม

อาจารย์ที่ปรึกษา ผศ. วิชัย สุรพัฒน์

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2544

บทคัดย่อ

ปริญญานิพนธ์นี้เป็นการนำเอาออปแอมป์มาประยุกต์ใช้กำเนิดสัญญาณอย่างง่าย โครงงานเครื่องกำเนิดสัญญาณอย่างง่ายที่ประดิษฐ์ขึ้นสำหรับการสร้างสัญญาณคลื่นสามเหลี่ยม สัญญาณคลื่นสี่เหลี่ยม สัญญาณคลื่นไซน์ด้วยสัญญาณขาออกที่มีขนาดสัญญาณ 0 ถึง 12 โวลต์ ขอบเขตความถี่ของเครื่องกำเนิดอยู่ระหว่าง 2 เฮิรตซ์ ถึง 25 กิโลเฮิรตซ์ และแสดงค่าความถี่เป็นตัวเลข 6 ตัวเลข ระดับสัญญาณขาออกที่คงที่ของเครื่องกำเนิดมีขนาดสัญญาณ 5 โวลต์ สำหรับวงจรทีทีแอลหรือวงจรซีมอส ทำให้แน่ใจว่าทราบความถี่ที่จ่ายให้กับวงจรดิจิตอลที่ต่ออยู่กับเครื่องกำเนิด ประโยชน์ของสัญญาณคลื่นไซน์ใช้ตรวจสอบผลตอบสนองความถี่และกำลังสัญญาณขาออกของเครื่องขยายเสียง สัญญาณคลื่นสามเหลี่ยมใช้วัดการบิดเบือนการเปลี่ยนแปลงของภาคขยายที่สมดุลย์ และสัญญาณคลื่นสี่เหลี่ยมใช้สำหรับวัดผลตอบสนองความถี่และผลตอบสนองพัลส์ของเครื่องขยายเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title Simple Function Generator

Student Mr. Thaveesak Wiwatwithayawong
Mr. Rungsak Meeoiam

Advisor Assistance professor Vichai Surapat

Department Industrial Technology

Academic Year 2001

Abstract

The presentation of this project is an application of operational amplifier for simple function generator. This instrument was made for generating triangular-wave , square-wave and sine-wave signals with the output signal has amplitude of voltage 0 to 12 volts. The frequency range of the generator is 2 hertzs to 25 kilohertzs and frequency value display is number of 6 digits. The constant output level of generator has amplitude of voltage 5 volts for TTL circuits or CMOS circuits. Make sure you know the supply frequency of digital circuit connected to the generator. The interest of sine-wave signal is used to check the frequency response and power output of audio amplifers. The triangular-wave signal is used to measure the cross-over distortion of a balanced amplifier. And the square-wave signal is used for frequency response and pulse response measurements on audio amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงได้อย่างดี ด้วยคำแนะนำและคำปรึกษาเกี่ยวกับการเขียนปริญญานิพนธ์ จาก ผศ. วิชัย สุรพัฒน์ ซึ่งเป็นอาจารย์ที่ปรึกษา คณะผู้จัดทำรู้สึกซาบซึ้งในความอนุเคราะห์จากท่าน และขอกราบขอบพระคุณเป็นอย่างสูง

คุณค่าและประโยชน์อันพึงมีจากคู่มือฉบับนี้ ผู้จัดทำขอมอบแด่ผู้มีพระคุณทุกท่าน

นายทวีศักดิ์ วิวัฒวิทยาวงศ์
นายเริงศักดิ์ มีเอี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญรูปภาพ	ช
บทที่ 1 บทนำ	
1.1 ความเป็นมาของโครงงาน	1
1.2 วัตถุประสงค์ของโครงงาน	1
1.3 หน้าที่ภาคต่าง ๆ ของโครงงาน	3
1.4 ขอบเขตของโครงงาน	5
บทที่ 2 ทฤษฎีที่ใช้ในโครงงาน	
2.1 วงจรขยายแบบกลับเฟส	9
2.1.1 กล่าวนำ	9
2.1.2 เมื่อป้อนแรงดันบวกเข้าที่ขาอินเวอร์ติ้ง	10
2.1.3 โหลดและกระแสเอาต์พุต	11
2.1.4 เมื่อป้อนแรงดันลบเข้าที่ขาอินเวอร์ติ้ง	11
2.2 วงจรรวมสัญญาณแบบอินเวอร์ติ้ง	12
2.2.1 วงจรแบบอินเวอร์ติ้ง	12
2.3 วงจรขยายแบบนอนอินเวอร์ติ้ง	13
2.4 แหล่งป้อนแรงดันในอุดมคติ	15
2.4.1 นิยามและข้อพึงระวัง	15
2.4.2 วิธีการทดสอบแหล่งป้อนแรงดันอุดมคติ	15
2.4.3 แหล่งป้อนแรงดันอุดมคติในทางปฏิบัติ	16
2.5 วงจรขยายแบบผสมผสาน	17
2.5.1 การวิเคราะห์วงจร	17
2.5.2 ข้อควรระวัง	17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

2.6 วงจรอินทิเกรเตอร์ 18

2.6.1 วงจร RC อินทิเกรเตอร์ 20

2.6.2 วงจร RC อินทิเกรเตอร์แบบแอกทีฟ 20

2.6.3 การออกแบบวงจร RC อินทิเกรเตอร์ 23

2.7 วงจรชมิตทริกเกอร์ 24

2.7.1 วงจรอินเวอร์ติ้งชมิตทริกเกอร์ 24

2.7.2 ฮีสเตอริซีส 26

2.7.3 วงจรนอนอินเวอร์ติ้งชมิตทริกเกอร์ 27

2.8 วงจรไซน์เวฟเชพเพอร์ 29

2.9 การกำเนิดสัญญาณ 30

2.10 การออกแบบวงจร 33

2.10.1 การกำเนิดสัญญาณคลื่นสามเหลี่ยมและสัญญาณคลื่นสี่เหลี่ยม 33

2.10.1.1 การเลือกใช้ค่าความต้านทานและค่าตัวเก็บประจุ 35

2.10.2 การทดลองแปลงสัญญาณคลื่นสามเหลี่ยมเป็นสัญญาณคลื่นไซน์ 41

2.10.2.1 การออกแบบวงจรแปลงสัญญาณคลื่นสามเหลี่ยมเป็นสัญญาณคลื่นไซน์ 42

2.11 วงจรนับความถี่ 45

บทที่ 3 ทฤษฎีการทำงานของโครงงาน

3.1 ภาคกำเนิดสัญญาณคลื่นสามเหลี่ยม 47

3.2 ภาคกำเนิดสัญญาณคลื่นสี่เหลี่ยม 50

3.3 ภาคกำเนิดสัญญาณคลื่นไซน์ 50

3.4 ภาควงจรกำเนิดแรงดันคงที่สำหรับ IC TTL หรือ C MOS 51

3.5 ภาควงจรขยายแอมพลิจูดของสัญญาณก่อนนำไปใช้งาน 51

3.6 ภาคนับความถี่ 53

บทที่ 4 ผลการทดลองของโครงงาน

4.1 ผลการทดลอง 55

บทที่ 5 บทสรุปและข้อเสนอแนะ 60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

ภาคผนวก

ก. ลายวงจร และลายปริ้นท์

ข. DATA SHEET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

บทที่ 1 บทนำ

รูปที่ 1.1 แสดงบล็อกไดอะแกรมหน้าที่ภาคต่าง ๆ ของเครื่องกำเนิดสัญญาณอย่างง่าย 2

บทที่ 2 ทฤษฎีที่ใช้ในโครงงาน

รูปที่ 2.1 ตำแหน่งขาต่าง ๆ ของออปแอมป์ 6

รูปที่ 2.2 วงจรภายในตัวออปแอมป์เบอร์ 741 7

รูปที่ 2.3 วงจรสมมูลย์และขั้วต่อชดเชยความถี่ของออปแอมป์ 7

รูปที่ 2.4 วงจรขยายแบบกลับเฟส 9

รูปที่ 2.5 แสดงการไหลของกระแสเมื่อแรงดันที่เป็นลบถูกป้อนเข้าที่ขาลบของออปแอมป์ 11

รูปที่ 2.6 วงจรรวมสัญญาณแบบอินเวอร์ติ้ง เมื่อ R เท่ากับ 10 12

รูปที่ 2.7 แสดงทิศทางการไหลของกระแส และขั้วของแรงดันเมื่อป้อนแหล่งจ่ายไฟชนิดต่างๆ 13

รูปที่ 2.8 แสดงวงจรแบ่งแรงดัน 16

รูปที่ 2.9 การต่อออปแอมป์แบบนี้จะเป็นทั้งแบบอินเวอร์ติ้งด้วยเพราะมีการต่อ E_2 เข้าที่ขา 2 และเป็นแบบนอนอินเวอร์ติ้งด้วยเพราะมีการต่อ E_1 เข้าที่ขา 3 18

รูปที่ 2.10 รูปคลื่นออกเอาต์พุตของวงจรปรับแต่งรูปคลื่นแบบเชิงเส้น 19

รูปที่ 2.11 วงจร RC อินทิเกรเตอร์ 20

รูปที่ 2.12 วงจร RC อินทิเกรเตอร์แบบต่อเพิ่มออปแอมป์เข้าวงจร 21

รูปที่ 2.13 วงจร RC อินทิเกรเตอร์ใช้ออปแอมป์แบบเพิ่มตัวต้านทานป้อนกลับ 21

รูปที่ 2.14 สภาวะ C_1 ประจุด้วย $+I_1$ 22

รูปที่ 2.15 สภาวะ C_1 ประจุด้วย $-I_1$ 23

รูปที่ 2.16 วงจรอินเวอร์ติ้งชมิตทริกเกอร์ 24

รูปที่ 2.17 รูปสัญญาณทางอินพุตและทางเอาต์พุต 26

รูปที่ 2.18 รูปกราฟแสดงการเปลี่ยนแรงดันที่เอาต์พุต V_o ของวงจรอินเวอร์ติ้งชมิตทริกเกอร์ 26

รูปที่ 2.19 วงจรนอนอินเวอร์ติ้งชมิตทริกเกอร์ 27

รูปที่ 2.20 แสดงการจำแนกวงจรกำเนิดสัญญาณรูปคลื่นไซน์ 29

รูปที่ 2.21 วงจรไซน์เวฟเชพเพอร์ 30

รูปที่ 2.22 การทำงานของออปแอมป์ที่มีการป้อนกลับแบบบวก 31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

รูปที่ 2.23 รูปสัญญาณอินพุตและสัญญาณเอาต์พุตของวงจรกำเนิดสัญญาณ 32
รูปที่ 2.24 การรวมวงจรอินทิเกรเตอร์กับวงจรชมิตทริกเกอร์ 32
รูปที่ 2.25 วงจรกำเนิดสัญญาณพื้นฐาน 33
รูปที่ 2.26 วงจรรักษาเสถียรภาพระดับแรงดันที่ป้อนจ่ายให้กับ IC 34
รูปที่ 2.27 อัตราการขยายของวงจรชมิตทริกเกอร์เท่ากับ 1 36
รูปที่ 2.28 การกำหนดค่า R_{in} และค่า C_f ในวงจรอินทิเกรเตอร์ 38
รูปที่ 2.29 การเพิ่มค่า R_{in} ในวงจรอินทิเกรเตอร์ 39
รูปที่ 2.30 การเพิ่มค่า R_1 เป็น 20 kΩ ในวงจรอินทิเกรเตอร์ 39
รูปที่ 2.31 การเพิ่มค่า R_1 เป็น 30 kΩ ในวงจรอินทิเกรเตอร์ 40
รูปที่ 2.32 การปรับแต่งค่า R ในวงจรอินทิเกรเตอร์ใหม่ 40
รูปที่ 2.33 สัญญาณคลื่นสี่เหลี่ยมมีค่าทรานเซียลทางซีกบวก 41
รูปที่ 2.34 การแก้ทรานเซียลโดยเพิ่ม R_{10} และ R_{14} เข้าไปในวงจร 41
รูปที่ 2.35 วงจรอินทิเกรเตอร์วงจรเดิม 42
รูปที่ 2.36 วงจรแปลงสัญญาณคลื่นสามเหลี่ยมเป็นสัญญาณคลื่นไซน์ชุดแรก 43
รูปที่ 2.37 วงจรแปลงสัญญาณคลื่นสามเหลี่ยมเป็นสัญญาณคลื่นไซน์ 44
รูปที่ 2.38 การหาค่า R_i และ R_f เมื่อปรับ P_{2a} P_{2b} มาที่ตำแหน่ง B ของวงจรออปแอมป์ IC_{1b} 44
รูปที่ 2.39 วงจรนับความถี่ 46

บทที่ 3 ทฤษฎีการทำงานของโครงงาน

รูปที่ 3.1 วงจรกำเนิดสัญญาณคลื่นสามเหลี่ยม คลื่นสี่เหลี่ยม คลื่นไซน์ และพัลส์ 48
รูปที่ 3.2 วงจรแหล่งจ่ายไฟของวงจรกำเนิดสัญญาณคลื่นสามเหลี่ยม คลื่นสี่เหลี่ยม คลื่นไซน์ และพัลส์ 49
รูปที่ 3.3 วงจรนับความถี่ 52

บทที่ 4 ผลการทดลองของโครงงาน

รูปที่ 4.1 เครื่องกำเนิดสัญญาณที่ประกอบด้วยวงจรกำเนิดสัญญาณคลื่นสามเหลี่ยม คลื่นสี่เหลี่ยม คลื่นไซน์ และพัลส์, วงจรแหล่งจ่ายไฟ, และวงจรนับความถี่ 54
รูปที่ 4.2 แผงหน้าปัทม์ของเครื่องกำเนิดสัญญาณ 54
รูปที่ 4.3 การอ่านรูปสัญญาณคลื่นไซน์ด้วยออสซิลโลสโคปที่ 1ms/DIV, 5V/DIV 55
รูปที่ 4.4 การอ่านรูปสัญญาณคลื่นสามเหลี่ยมด้วยออสซิลโลสโคปที่ 1ms/DIV, 5V/DIV 56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

รูปที่ 4.5 การอ่านรูปสัญญาณคลื่นสี่เหลี่ยมด้วยออสซิลโลสโคปที่ 1ms/DIV, 5V/DIV 56
รูปที่ 4.6 การอ่านรูปสัญญาณทีทีแอลด้วยออสซิลโลสโคปที่ 1ms/DIV, 5V/DIV 57
รูปที่ 4.7 การอ่านรูปสัญญาณคลื่นไซน์ด้วยออสซิลโลสโคปที่ 10μs/DIV, 5V/DIV 57
รูปที่ 4.8 การอ่านรูปสัญญาณคลื่นสามเหลี่ยมด้วยออสซิลโลสโคปที่ 10μs/DIV, 5V/DIV 58
รูปที่ 4.9 การอ่านรูปสัญญาณคลื่นสี่เหลี่ยมด้วยออสซิลโลสโคปที่ 10μs/DIV, 5V/DIV 58
รูปที่ 4.10 การอ่านรูปสัญญาณทีทีแอลด้วยออสซิลโลสโคปที่ 10μs/DIV, 5V/DIV 59

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

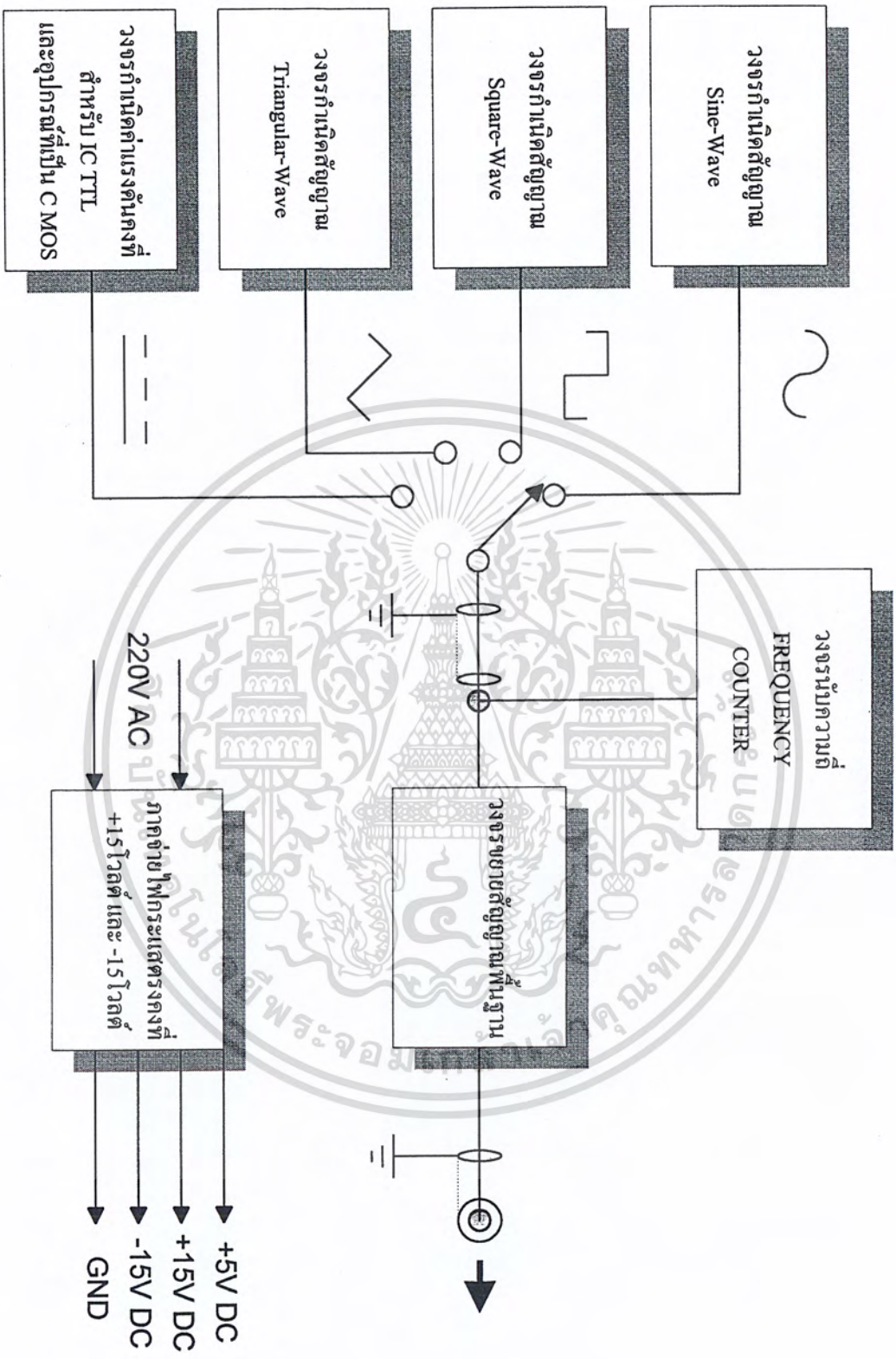
1.1 ความเป็นมาของโครงงาน

ส่วนใหญ่เครื่องมือมักจะเป็นการสร้างที่มุ่งเน้นให้เป็นแบบเฉพาะหน้าที่ หรือเป็นเฉพาะเครื่องมือวัดและทดสอบแบบใดแบบโดยเฉพาะ จากตรงนี้อาจมองเห็นผลประโยชน์ในหลายอย่างที่แตกต่างกันเกี่ยวกับการสร้างที่เป็นแบบเฉพาะการใช้งานหน้าที่เดียว ทำให้สามารถตัดสินใจที่จะเลือกเอาเครื่องมือประเภทใดมาใช้งานขณะนั้นได้อย่างเหมาะสม อาจจะรวมไปถึงความสะดวกต่อการใช้งานในฟังก์ชันต่าง ๆ ขณะทำการทดสอบ เพราะเป็นเครื่องใช้ทำหน้าที่เดียวจึงไม่ต้องกังวลว่าจะเลือกฟังก์ชันใช้งานผิดผลาด แต่ก็เกิดความไม่สะดวกอยู่บ้างเช่นกันคือ ถ้าต้องใช้เครื่องมือทดสอบหลายชนิดมาใช้งานพร้อมกัน คงจะเกิดความยุ่งยากในเรื่องของพื้นที่ที่ต้องทำการทดลองขณะนั้น เพราะต้องเพิ่มเครื่องมือขึ้นมาอย่างน้อยก็อีกหนึ่งหรือสองชิ้น ถ้าหากนำเครื่องมือเพิ่มขึ้นมาและมีแนวโน้มว่ามักจะใช้ร่วมงานด้วยกันบ่อย ๆ หรือทุกครั้ง มารวมไว้ภายในเครื่องเดียวกันคงจะลดปัญหาดังนี้ได้อย่างแน่นอน เพราะไม่ต้องยกมาใช้งานคราวละสองถึงสามเครื่อง แต่กลับยกมาใช้งานเพียงเครื่องเดียวแทนสองเครื่อง

1.2 วัตถุประสงค์ของโครงงาน

เพื่อนำทฤษฎีการออกแบบวงจรมาสร้างสัญญาณรูปคลื่นสามเหลี่ยม รูปคลื่นสี่เหลี่ยม รูปคลื่นไซน์ และสัญญาณพัลส์บวกขนาดแอมพลิจูดคงที่ +5 โวลต์ โดยการบิดสวิตช์เลือกใช้ทีละสัญญาณ ทั้งสามสัญญาณรูปคลื่นที่กล่าวมาข้างต้นสามารถปรับขนาดแอมพลิจูดได้ถึง 12 โวลต์ โดยให้สัญญาณที่กำเนิดได้ผ่านโพเทนชิออมิเตอร์ (ตัวปรับขนาดแอมพลิจูด) แบ่งแรงดันไฟฟ้าตกคร่อม แล้วจึงนำค่าแรงดันไฟฟ้าตกคร่อมนี้ไปผ่านแอมพลิไฟเออร์ขยายขนาดแอมพลิจูดของสัญญาณที่เครื่องกำเนิดผลิตได้ และขอบเขตความถี่ที่เครื่องกำเนิดผลิตได้จะขึ้นอยู่กับค่า RC หรือ ค่าคงตัวเวลา (time constant) ที่เลือกใช้ ซึ่งมีความถี่อยู่ระหว่าง 2 เฮิรตซ์ ถึง 25 กิโลเฮิรตซ์ และการแสดงค่าความถี่ที่เครื่องกำเนิดผลิตได้เป็นตัวเลข 6 หลัก ซึ่งจากการทดลองจะส่งผลให้ทราบปัญหาที่แท้จริงที่ได้จากการออกแบบวงจรใช้งานเอง และได้แนวทางการแก้ไขปัญหา อีกทั้งยังสามารถนำเครื่องกำเนิดสัญญานี้ไปใช้ในห้องทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 แสดงบล็อกไดอะแกรมหน้าที่ภาคต่าง ๆ ของเครื่องกำเนิดสัญญาณอย่างง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 หน้าที่ภาคต่าง ๆ ของโครงงาน

1.3.1 ภาคกำเนิดสัญญาณคลื่นสามเหลี่ยม

ซึ่งเป็นหน้าที่ของวงจรอินทิเกรเตอร์ที่ประกอบด้วย R_i C_f และออปแอมป์ IC_{1a} วงจรอินทิเกรเตอร์นี้จะรับสัญญาณอินพุตคลื่นสี่เหลี่ยมที่นำมาป้อนเข้าวงจร เพื่อให้เกิดสัญญาณเอาต์พุตเป็นสัญญาณคลื่นสามเหลี่ยม โดยสัญญาณคลื่นสี่เหลี่ยมที่นำมาป้อนเข้าวงจรอินทิเกรเตอร์นี้ได้มาจากเอาต์พุตของวงจรชมิตทริกเกอร์ ซึ่งสัญญาณคลื่นสามเหลี่ยมที่กำเนิดได้ส่วนที่หนึ่งจะนำไปป้อนเข้าวงจรชมิตทริกเกอร์ ส่วนที่สองจะนำไปป้อนเข้าวงจรไซน์เวฟเชพเพอร์ และส่วนที่สามจะถูกนำไปผ่านวงจรขยายแอมพลิจูดของสัญญาณก่อนนำไปใช้งาน เพื่อทำการปรับลดขนาดแอมพลิจูดของสัญญาณก่อน และทำการขยายแอมพลิจูดของสัญญาณคลื่นสามเหลี่ยมให้มีขนาด 0 – 12 โวลต์ ตามรูปที่ 1.1 ความถี่ของสัญญาณที่ได้จากวงจรอินทิเกรเตอร์และวงจรชมิตทริกเกอร์นี้จะมีค่าความถี่เท่ากัน โดยค่าความถี่นี้จะถูกควบคุมด้วยค่า R กับค่า C_f ซึ่งค่า R นี้สามารถปรับค่าได้ด้วยการใช้โพเทนชิออมิเตอร์ ทำให้สามารถปรับค่าความถี่ได้อยู่ในช่วงระยะหนึ่ง และส่วนค่า C_f สามารถบิดสวิตช์เลือกใช้ได้ ทำให้สามารถเลือกช่วงระยะความถี่ได้หลายช่วงตามที่ต้องการ ซึ่งในโครงงานนี้ได้มีการแบ่งช่วงความถี่คือ 2 – 20 เฮิรตซ์, 20 – 200 เฮิรตซ์, 200 – 2,000 เฮิรตซ์ และ 2,000 – 20,000 เฮิรตซ์

1.3.2 ภาคกำเนิดสัญญาณคลื่นสี่เหลี่ยม

ซึ่งเป็นหน้าที่ของวงจรชมิตทริกเกอร์ที่ประกอบด้วย R_i R_f และออปแอมป์ IC_2 โดยวงจรชมิตทริกเกอร์นี้จะรับสัญญาณอินพุตคลื่นสามเหลี่ยมที่นำมาป้อนเข้าวงจร เพื่อให้เกิดสัญญาณเอาต์พุตเป็นสัญญาณคลื่นสี่เหลี่ยม โดยสัญญาณคลื่นสามเหลี่ยมที่นำมาป้อนเข้าวงจรชมิตทริกเกอร์นี้ได้มาจากเอาต์พุตของวงจรอินทิเกรเตอร์ ซึ่งสัญญาณคลื่นสี่เหลี่ยมที่กำเนิดได้ส่วนที่หนึ่งจะนำไปป้อนเข้าวงจรอินทิเกรเตอร์ ส่วนที่สองจะนำไปป้อนเข้าวงจรกำเนิดแรงดันคงที่สำหรับ IC TTL หรือ C MOS และส่วนที่สามจะถูกนำไปผ่านวงจรขยายแอมพลิจูดของสัญญาณก่อนนำไปใช้งาน เพื่อทำการปรับลดขนาดแอมพลิจูดของสัญญาณก่อน และทำการขยายแอมพลิจูดของสัญญาณคลื่นสี่เหลี่ยมให้มีขนาด 0 – 12 โวลต์ ตามรูปที่ 1.1 ความถี่ของสัญญาณที่ได้จากวงจร ชมิตทริกเกอร์และวงจรอินทิเกรเตอร์นี้จะมีค่าความถี่เท่ากัน โดยค่าความถี่นี้จะถูกควบคุมด้วยค่า R กับค่า C_f ของวงจรอินทิเกรเตอร์ (ที่ภาคกำเนิดสัญญาณคลื่นสามเหลี่ยม)

1.3.3 ภาคกำเนิดสัญญาณคลื่นไซน์

ซึ่งเป็นหน้าที่ของวงจรไซน์เวฟเชพเพอร์ที่ประกอบด้วยไดโอดเป็นวงจรขริบ R_i R_f และออปแอมป์ IC_{1c} โดยวงจรไซน์เวฟเชพเพอร์นี้จะรับสัญญาณอินพุตคลื่นสามเหลี่ยมที่นำมาป้อนเข้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร เพื่อให้เกิดสัญญาณเอาต์พุตเป็นสัญญาณคลื่นไซน์ โดยสัญญาณคลื่นสามเหลี่ยมที่นำมาป้อนเข้าวงจรไซน์เวฟเชพเพอร์นี้ได้มาจากเอาต์พุตของวงจรอินทิเกรเตอร์ ซึ่งสัญญาณคลื่นไซน์ที่กำเนิดได้นี้จะถูกนำไปผ่านเข้าวงจรแปลงสัญญาณขั้นสุดท้าย เพื่อให้สัญญาณที่ผ่านวงจรแปลงสัญญาณขั้นสุดท้ายนี้มีรูปร่างที่สวยงามและมีแอมพลิจูดคงที่ในขณะที่ความถี่เปลี่ยนแปลง ซึ่งสัญญาณคลื่นไซน์ที่กำเนิดได้จะถูกนำไปผ่านวงจรขยายแอมพลิจูดของสัญญาณก่อนนำไปใช้งาน เพื่อทำการปรับลดขนาดแอมพลิจูดของสัญญาณก่อน และทำการขยายแอมพลิจูดของสัญญาณคลื่นไซน์ให้มีขนาด 0 – 12 โวลต์ ตามรูปที่ 1.1 ความถี่ของสัญญาณที่ได้จากวงจรไซน์เวฟเชพเพอร์และวงจรแปลงสัญญาณขั้นสุดท้ายนี้ จะมีค่าความถี่เท่ากับความถี่ของสัญญาณที่ได้จากวงจรอินทิเกรเตอร์ซึ่งเป็นความถี่ของสัญญาณอินพุต โดยค่าความถี่นี้จะถูกควบคุมด้วยค่า R กับค่า C_f ของวงจรอินทิเกรเตอร์ (ที่ภาคกำเนิดสัญญาณคลื่นสามเหลี่ยม)

1.3.4 ภาควงจรกำเนิดแรงดันคงที่สำหรับ IC TTL หรือ C MOS

เป็นการนำสัญญาณเอาต์พุตที่ได้จากวงจรชมิตทริกเกอร์มาใช้ ซึ่งจะนำมาใช้เฉพาะสัญญาณด้านบวกเท่านั้น โดยการต่อไดโอด D อนุกรมกับวงจรเป็นตัวเรียงกระแส (rectifier) เพื่อให้สัญญาณด้านบวกผ่านไปได้เท่านั้น และนำสัญญาณด้านบวกที่ได้ไปผ่านตัวแบ่งแรงดัน (voltage divider) เพื่อลดขนาดของแรงดัน ก่อนนำสัญญาณพัลส์ที่ได้นี้ไปผ่านวงจรขยายแบบไม่กลับเฟส วงจรขยายสัญญาณนี้ที่ประกอบด้วย R_i R_f และ IC_{1d} เพื่อทำการขยายแอมพลิจูดของสัญญาณพัลส์ให้มีขนาด 5 โวลต์ ตามรูปที่ 1.1

1.3.5 ภาควงจรขยายแอมพลิจูดของสัญญาณก่อนนำไปใช้งาน

ซึ่งเป็นหน้าที่ของวงจรขยายแอมพลิจูดที่ประกอบด้วย P R_i R_f และ IC_{1d} ก่อนอื่นจะต้องทำการปรับสวิตช์เลือกสัญญาณที่ต้องการ โดยสัญญาณที่ปรับเลือก ถ้าเป็นสัญญาณพัลส์ที่มาจากวงจรกำเนิดแรงดันคงที่สำหรับ IC TTL หรือ C MOS จะไม่ผ่านโพเทนชิออมิเตอร์ P ซึ่งทำหน้าที่เป็นตัวแบ่งแรงดัน เพื่อปรับลดขนาดแอมพลิจูดของสัญญาณก่อนส่งสัญญาณไปป้อนเข้า IC_{1d} , และถ้าเป็นสัญญาณคลื่นสามเหลี่ยม, คลื่นสี่เหลี่ยม, และคลื่นไซน์ จะผ่านโพเทนชิออมิเตอร์ P ซึ่งทำหน้าที่เป็นตัวแบ่งแรงดัน เพื่อปรับลดขนาดแอมพลิจูดของสัญญาณก่อนส่งสัญญาณไปป้อนเข้า IC_{1d} โดย IC_{1d} นี้จะรับสัญญาณอินพุตเข้าและขยายแอมพลิจูดแบบไม่กลับเฟสอีกครั้งหนึ่งก่อนนำไปใช้งาน

ขนาดแอมพลิจูดของสัญญาณคลื่นสามเหลี่ยม คลื่นสี่เหลี่ยม และคลื่นไซน์ ที่จะนำไปใช้งานสามารถปรับได้ตั้งแต่ 0 – 12 โวลต์ ตามรูปที่ 1.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3.6 ภาคนับความถี่

ประกอบด้วย IC CD4047 ที่เป็นวงจรเอสเตเบิลมัลติไวเบรเตอร์ และ IC CD4026B เป็นวงจรนับหารความถี่ โดยวงจรนับหารจะมีจำนวนเท่ากับจำนวนหลักตัวเลขที่ต้องการจะแสดงค่าความถี่ ซึ่งในโครงงานนี้ต้องการแสดงค่าความถี่ 6 หลัก โดย IC CD4026B แต่ละตัวจะถูกกำหนดให้เป็นวงจรนับสิบหรือเรียกว่าวงจรหารสิบ วงจรนับหารความถี่หลักหน่วยจะทำการนับก่อนแล้วส่งไปวงจรนับหารความถี่หลักต่อไปจนถึงหลักที่ 6 ส่วน IC CD4047 ที่เป็นวงจรหารความถี่และกำหนดค่าเวลาเกตให้กับวงจรนับหารความถี่ IC CD4026B ค่าผลที่ได้จากการนับหารความถี่ส่งไปเก็บไว้ในดีฟลิปฟลอปที่ตำแหน่งหลักของตัวเอง เพื่อส่งสถานะของลอจิกต่าง ๆ ไปขับตัวแสดงผล 7 Segment ที่ตำแหน่งหลักของตัวเองเช่นกัน ก็จะทำให้ทราบค่าความถี่ของสัญญาณที่กำเนิดได้ ตามรูปที่ 1.1

1.4 ขอบเขตของโครงงาน

1.4.1 การออกแบบโครงสร้างทางฮาร์ดแวร์ (Hardware)

การทำโครงงานนี้ได้ดำเนินการออกแบบวงจรและทดลองผลการทำงานของวงจร ซึ่งสามารถแยกออกเป็นภาคต่าง ๆ คือ ภาคกำเนิดสัญญาณคลื่นสามเหลี่ยม, ภาคกำเนิดสัญญาณคลื่นสี่เหลี่ยม, ภาคกำเนิดสัญญาณคลื่นไซน์, ภาคกำเนิดแรงดันคงที่สำหรับ IC TTL หรือ C MOS, ภาคขยายแอมพลิจูดของสัญญาณก่อนนำไปใช้งาน, และภาคภาคนับความถี่ โดยสามารถดูบล็อกไดอะแกรมคร่าว ๆ ได้จาก รูปที่ 1.1

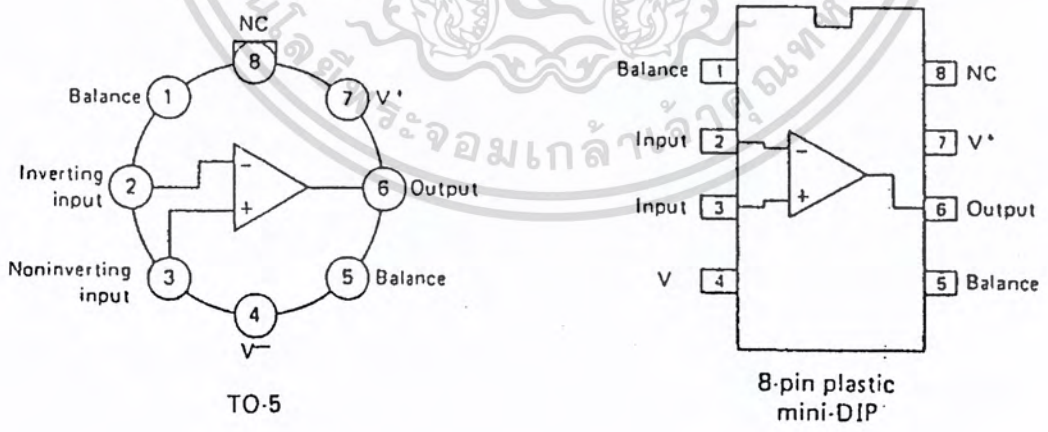
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีที่ใช้ในโครงงาน

ออปเปอร์เรชันนัล แอมพลิไฟเออร์ (operational amplifier) หรือเรียกสั้น ๆ ว่า ออปแอมป์ (OP-AMP) หมายถึงวงจรขยายสัญญาณไฟที่มีอัตราขยายสูงมาก ซึ่งใช้ในเครื่องแอนะลอกคอมพิวเตอร์ เพื่อทำหน้าที่คำนวณทางคณิตศาสตร์บางอย่าง เช่น การรวมสัญญาณ การหักสัญญาณ การอินทิเกรต และการดิฟเฟอเรนชิเอต เป็นต้น ซึ่งเป็นการทำงานทางคณิตศาสตร์ จึงได้ชื่อออกมาว่า ออปแอมป์

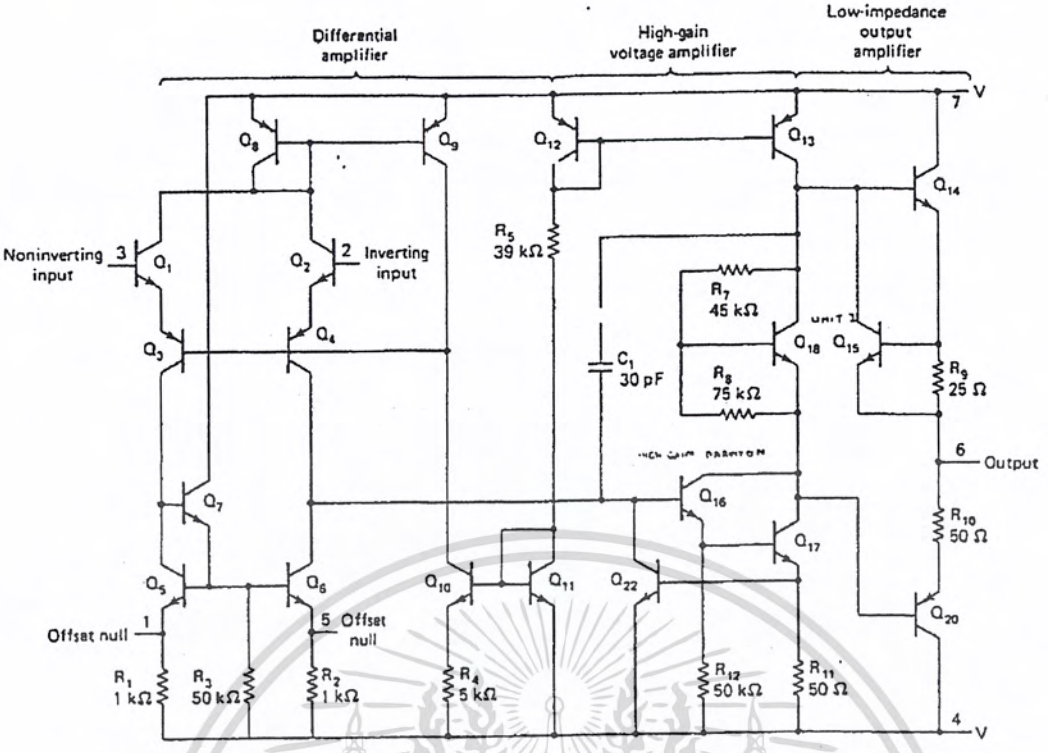
เมื่อมีการพัฒนาเทคโนโลยีทางสารกึ่งตัวนำ ออปแอมป์ได้ถูกนำมาใช้งานได้กว้างขวางมากขึ้น และมีคุณภาพและประสิทธิภาพมากขึ้น ออปแอมป์จึงถูกใช้งานแพร่หลายออกไป ทั้งวงจรเชิงเส้น (linear circuit) เช่น วงจรขยาย วงจรดักสัญญาณ วงจรควบคุมแรงดัน และวงจรไม่เชิงเส้น (non-linear circuit) เช่นวงจรเปรียบเทียบสัญญาณ วงจรออสซิลเลเตอร์ วงจรมัลติไวเบรเตอร์ เป็นต้น

ออปแอมป์ส่วนใหญ่ภาคต้นๆ จะประกอบด้วยวงจรขยายความแตกต่าง (differential amplifier) อาจจะเป็น 2 – 3 ภาคต่ออันดับกัน เพื่อให้มีอัตราขยายและอัตราส่วนตัดทอนโหมดร่วม (common-mode rejection) สูง การจ่ายแหล่งจ่ายไฟให้ออปแอมป์จึงต้องจ่ายให้ถูกต้องตามวงจรขยายความแตกต่างที่ต้องการคือ จ่ายแรงดัน 2 ชุด ทั้งไฟบวกและไฟลบ

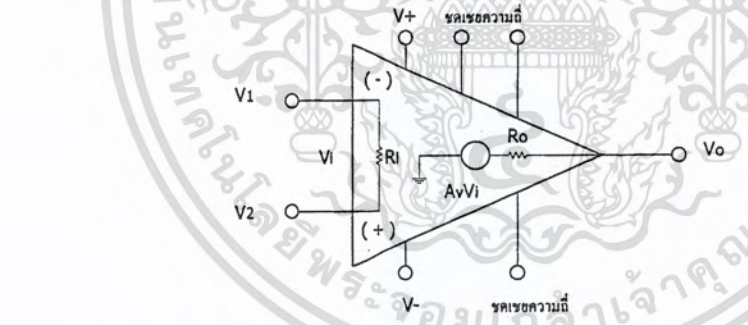


รูปที่ 2.1 ตำแหน่งขาต่าง ๆ ของออปแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 วงจรภายในตัวออปแอมป์เบอร์ 741



รูปที่ 2.3 วงจรสมมูลย์และขั้วต่อชดเชยความถี่ของออปแอมป์

คุณสมบัติของออปแอมป์ทางอุดมคติ

1. อัตราขยายของออปแอมป์มีค่าสูงมากเป็นอนันต์ $A_{VOL} = \infty$
2. อินพุตอิมพีแดนซ์ของออปแอมป์มีค่าสูงมากเป็นอนันต์ $Z_{in} = \infty$
3. เอาต์พุตอิมพีแดนซ์ของออปแอมป์มีค่าต่ำมาก $Z_{out} = 0$
4. การทำงานของออปแอมป์ไม่ขึ้นอยู่กับความถี่ของสัญญาณที่ป้อนเข้าอินพุตไม่ว่าความถี่ต่ำหรือสูง จะขยายได้เท่ากันหมด มีแถบความถี่ (bandwidth) เป็นอนันต์ $BW = \infty$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. เมื่อแรงดันอินพุตเป็นศูนย์ แรงดันเอาต์พุตจะเป็นศูนย์ด้วย $V_o = 0$ เมื่อ $V_1 = V_2$

6. การทำงานของออปแอมป์ไม่ขึ้นกับอุณหภูมิ

คุณสมบัติที่สำคัญของออปแอมป์

จากคุณสมบัติของออปแอมป์ทางอุดมคติ ทำให้ได้คุณสมบัติที่สำคัญของออปแอมป์ขึ้นมาหลายประการดังนี้

1. ไม่มีกระแสไหลเข้าขั้วอินพุตของออปแอมป์ เนื่องจากว่าอินพุตอิมพีแดนซ์มีค่าสูงมาก จึงไม่ดึงกระแสจากแหล่งจ่ายสัญญาณ แสดงได้ดังสมการ

$$I_i = \frac{V_i}{Z_{in}} \qquad (2.a)$$

เมื่อ $Z_{in} = \infty$ ดังนั้น $I_i = 0$

2. ผลต่างแรงดันที่อินพุตทั้งสองของออปแอมป์จะมีค่าเป็นศูนย์เนื่องจากอินพุตอิมพีแดนซ์ต่อแบบวงจรขยายความแตกต่าง ดังนั้นจึงมีค่าอิมพีแดนซ์สูงมากจนไม่มีกระแสไหล เพราะฉะนั้นแรงดันที่ตกคร่อมอิมพุตอิมพีแดนซ์จะมีค่าเป็นศูนย์ แสดงได้ดังสมการ

$$V_i = I_i \times Z_{in} \qquad (2.b)$$

เมื่อ $I_i = 0$ ดังนั้น $V_i = 0$

3. อัตราขยายของออปแอมป์ที่มีค่าสูงมากเป็นอนันต์ จะต้องเป็นอัตราขยายแบบลูปเปิด (open-loop gain = A_{VOL}) คืออัตราขยายแรงดันในขณะที่ยังไม่มีการป้อนกลับในทางปฏิบัติแล้วอัตราการขยายแบบลูปเปิดจะมีค่าไม่ถึงอนันต์ แต่จะมีค่าสูงมากไม่ต่ำกว่า 10,000 เท่า หรือ 80 เดซิเบล ขึ้นไป

4. การต่อกันหลาย ๆ ภาคของออปแอมป์ ต้องต่อกันโดยตรงหรือคัปปลิ้งโดยตรง (direct coupling) การต่อในลักษณะนี้จะขยายสัญญาณได้ทั้งไฟตรง (DC) และไฟสลับ (AC)

5. เอาต์พุตที่ได้จะเป็นแบบกลับเฟสกับอินพุต ซึ่งจะทำให้เกิดการป้อนกลับแบบลบ (negative feedback) ได้ โดยต่อตัวต้านทานภายนอกจากเอาต์พุตป้อนกลับไปยังขั้วอินพุต ช่วยให้วงจรขยายออปแอมป์ไม่เกิดการออสซิลเลต นอกจากนี้ยังสามารถจัดวงจรให้เอาต์พุตมีเฟสเหมือนอินพุตได้ และสามารถจัดวงจรให้เป็นการป้อนกลับแบบบวกได้ด้วย

อัตราการขยาย

การใช้งานออปแอมป์เพื่อเป็นวงจรขยาย (amplifier) วงจรขยายคือ วงจรที่รับสัญญาณทางด้านอินพุต แล้วขับขยายสัญญาณเดิมนั้นให้มีขนาดใหญ่ขึ้นและไม่มีอาการผิดปกติ โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ได้รับการขยายแล้วนี้จะถูกขับออกทางเอาต์พุต สำหรับวงจรที่ใช้ส่วนใหญ่จะเป็นการป้อนกลับแบบลบคือ มีการนำตัวต้านทานภายนอกมาต่อระหว่าง ขาเอาต์พุตกับขาอินพุตลบของออปแอมป์ เมื่อมีการป้อนกลับแบบลบวงจรในตอนนี้ก็ไม่ได้เป็นแบบเปิดลูป (open loop) อีกต่อไป อัตราขยายจึงเป็นอัตราการขยายแบบปิดลูป (close loop gain) ซึ่งเป็นอัตราขยายที่ไม่ได้ขึ้นอยู่กับอัตราการขยายแบบเปิดลูป A_{OL}

อัตราขยายของลูปปิด A_{CL} จะขึ้นอยู่กับตัวต้านทานที่นำมาต่อเพิ่มภายนอกเท่านั้น ถ้าเราใช้ตัวต้านทานซึ่งมีความผิดพลาด 5 เปอร์เซ็นต์ วงจรขยายที่ได้ก็จะมีเปอร์เซ็นต์ความผิดพลาดของการขยายประมาณ 5 เปอร์เซ็นต์ตามไปด้วย ข้อระลึกประการหนึ่งก็คืออัตราการขยายแบบเปิดลูป A_{OL} ซึ่งเป็นคุณสมบัติประจำตัวของออปแอมป์แต่ละตัว และมักมีค่าอัตราการขยายที่สูงมาก จะไม่มีการเปลี่ยนแปลงค่าไปตามวงจรหนึ่ง ๆ แต่อย่างใด

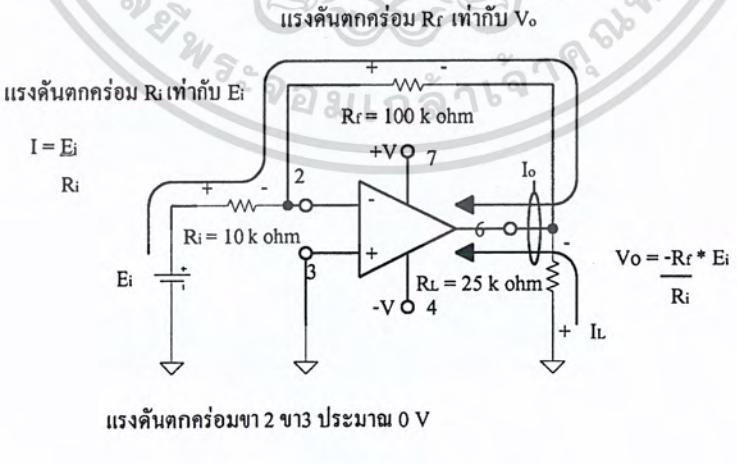
2.1 วงจรขยายแบบกลับเฟส

2.1.1 กล่าวนำ

วงจรในรูปที่ 2.4 เป็นวงจรขยายได้ทั้งสัญญาณ AC และ DC อัตราการขยายแบบลูปปิด A_{CL} จาก E_i ไปสู่ V_o ขึ้นอยู่กลับ R_f และ R_i เพื่อทำความเข้าใจกับวงจรแบบนี้ ขอยกข้อแนะนำมาเสนอดังนี้

1. ในกรณี V_o ไม่อิ่มตัว (saturation) ความต่างศักย์ระหว่างขาอินพุตบวกและลบ (E_d) จะเท่ากับศูนย์

2. ปริมาณกระแสที่ไหลเข้าขาอินพุตทั้งสองจะมีค่าน้อยมาก จนคิดว่าไม่มีกระแสไหลเข้า



รูปที่ 2.4 วงจรขยายแบบกลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 เมื่อป้อนแรงดันบวกเข้าที่ขาอินเวอร์ติ้ง

จากวงจรในรูป 2.4 เราป้อนแรงดัน $+E_i$ ให้กับขาอินพุตลบ (ขาอินเวอร์ติ้ง) ผ่านตัวต้านทานอินพุต R_i และให้ R_f ซึ่งเป็นตัวต้านทานป้อนกลับต่ออยู่ระหว่างขาเอาต์พุตและอินพุตลบ ส่วนขาอินพุตบวกต่ออยู่กับกราวด์ สิ่งที่เราต้องการหาก็คือ A_{CL} ว่าจะมีค่าเท่าไร ซึ่งหาได้จากสูตร V_o/E_i โดย V_o หาได้ตามขั้นตอนต่อไปนี้

จากรูปที่ 2.4 แรงดันบวกถูกป้อนเข้าที่ขาลบของออปแอมป์ R_i จะทำหน้าที่ในการแปลงแรงดันให้เป็นกระแส I จากนั้น R_f จะทำหน้าที่แปลงกระแส I ให้กลับไปอยู่ในรูปของแรงดันอีกครั้ง โดยเป็นแรงดันที่เป็นสัดส่วนกับ E_i

จากข้อเสนอแนะที่ว่าความต่างศักย์ระหว่างขาบวกและขาลบเป็นศูนย์ ซึ่งหมายความว่าแรงดันของทั้ง 2 ขาต้องเท่ากัน ดังนั้นเมื่อขาอินพุตบวกในวงจรนี้จึงเป็นกราวด์ ขาอินพุตลบจึงเสมือนต่ออยู่กับกราวด์ด้วย กระแสที่ไหลผ่าน R_i จึงเกิดจากความต่างศักย์ระหว่าง E_i และกราวด์ ตามกฎของโอห์มได้กระแสดังนี้

$$I = \frac{E_i}{R_i} \qquad (2.1)$$

จากข้อเสนอแนะที่ว่าจะไม่มีกระแสไหลเข้าขาอินพุตทั้ง 2 ของออปแอมป์ ดังนั้นกระแส I ทั้งหมดจาก R_i จะไหลผ่านไปยัง R_f ทำให้เกิด V_{Rf} ขึ้น (โดยไม่มีการไหลเข้าอินพุตลบ)

$$V_{Rf} = I \times R_f = \frac{E_i}{R_i} \times R_f \qquad (2.2)$$

จาก V_{Rf} ที่ได้เป็นแรงดันที่ตกคร่อม R_f ซึ่งเกิดจากความต่างศักย์ระหว่างกราวด์กับ V_o ตามทิศของกระแสในขณะนี้ กระแสไหลสืบเนื่องมาจาก I ผ่านกราวด์ซึ่งอยู่ด้านซ้ายของ R_f มายัง V_o ซึ่งอยู่ทางขวาของ R_f แสดงให้เห็นว่า V_o ในตอนนี้มีแรงดันต่ำกว่ากราวด์คือเป็นลบ (แรงดันตกคร่อมขา 2 และขา 3 ของออปแอมป์ มีค่าเท่ากับ 0 โวลต์) ดังนั้นในขณะที่ E_i เป็นบวกเทียบกับกราวด์ V_o ก็จะเป็นลบเมื่อเทียบกับกราวด์ (จะได้หักล้างเป็น 0 โวลต์พอดี) เพราะฉะนั้นถ้าคิดว่าขนาดของ V_o เท่ากับ V_{Rf} แล้ว เครื่องหมายของ V_o ก็จะกลับกันกับ V_{Rf} ดังนั้นจากสมการที่ 2.2 จะได้

$$V_o = -E_i \times \frac{R_f}{R_i} \qquad (2.3)$$

จากนิยามของอัตราการขยายแบบลูปปิด A_{CL} เท่ากับ V_o/E_i จะได้

$$A_{CL} = \frac{-V_o}{E_i}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= (-E_i \times \frac{R_f}{R_i}) \times (\frac{1}{E_i})$$

$$A_{CL} = \frac{-R_f}{R_i} \qquad (2.4)$$

เครื่องหมายลบในสมการที่ (2.4) แสดงว่าขั้วของ V_o จะกลับกับทางด้าน E_i ซึ่งจุดนี้เองที่ทำให้วงจรขยายนี้จึงได้ชื่อว่า วงจรขยายแบบกลับเฟส (inverting amplifier) ซึ่งอัตราการขยายของวงจรนี้จะขึ้นอยู่กับ R_f และ R_i เท่านั้น

2.1.3 โหลดและกระแสเอาต์พุต

กระแสเอาต์พุต I_o ของออปแอมป์ ประกอบด้วยกระแส 2 ส่วนคือ

1. กระแสที่เกิดจาก V_o คร่อม R_L (ในขณะที่ V_o เป็นลบ) I_L เท่ากับ V_o/R_L

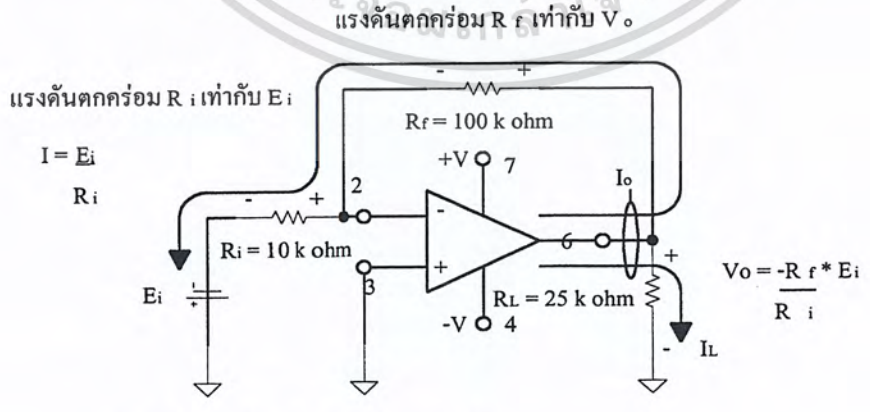
2. กระแส I ที่ไหลผ่าน R_f มายังเอาต์พุต ซึ่งทิศทางของ I จะเหมือนกันกับ I_L (มีทิศทางไหลเข้าขา 6 ของออปแอมป์เหมือนกันดังรูปที่ 2.4) ดังนั้นกระแสเอาต์พุตของออปแอมป์ I_o จะเท่ากับ

$$I_o = I + I_L \qquad (2.5)$$

ซึ่ง I_o จะมีค่ามากที่สุดอยู่ระหว่าง 5 ถึง 10 มิลลิแอมป์เท่านั้น

2.1.4 เมื่อป้อนแรงดันลบเข้าที่ขาอินเวอร์ติ้ง

จากวงจรในรูปที่ 2.5 มีการป้อน E_i ผ่าน R_i เข้าทางขาอินพุตลบ โดย E_i ที่ป้อนให้มีแรงดันเป็นลบ ดังนั้นทำให้ทิศทางของกระแสจึงกลับดังวงจรในรูปที่ 2.4 แต่สมการทุก ๆ สมการจะเหมือนกันกับตอนแรก และเมื่อพิจารณาจากทิศทางการไหลของกระแสในวงจรรูปที่ 2.5 นี้แล้วจะได้ข้อสังเกตว่า ในขณะที่แรงดัน E_i เป็นลบ จะทำให้ V_o เป็นบวก



รูปที่ 2.5 แสดงการไหลของกระแสเมื่อแรงดันที่เป็นลบถูกป้อนเข้าที่ขาลบของออปแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

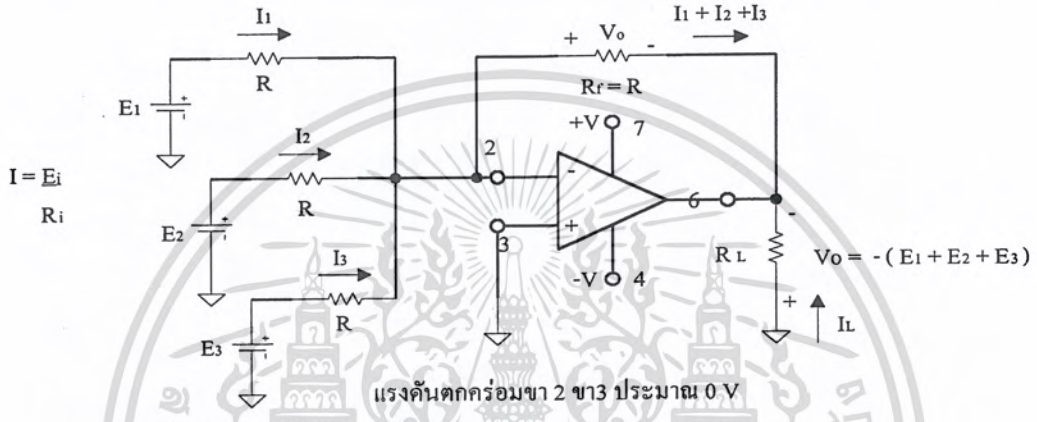
ในการวิเคราะห์วงจรขยายแบบอินเวอร์ติ้งมีขั้นตอนดังต่อไปนี้

1. หา R_i ซึ่งก็คือค่าความต้านทานด้านอินพุตของวงจรก่อน

2. เมื่อทราบ R_i แล้ว ขนาดของอัตราการขยายจะเท่ากับ R_f / R_i โดยสัญญาณเอาต์พุตที่ได้จะมีการกลับเฟสกับทางด้านอินพุต

2.2 วงจรรวมสัญญาณแบบอินเวอร์ติ้ง

2.2.1 วงจรแบบอินเวอร์ติ้ง (inverting adder)



รูปที่ 2.6 วงจรรวมสัญญาณแบบอินเวอร์ติ้ง เมื่อ R เท่ากับ 10

วงจรในรูปที่ 2.6 เป็นวงจรที่ใช้รวมสัญญาณทางด้านอินพุตให้ออกมาที่ด้านเอาต์พุต โดยสัญญาณเอาต์พุตที่ได้จะกลับเฟสเมื่อเทียบกับด้านอินพุต ซึ่งเป็นไปตามสมการที่ 2.6

$$V_o = -(E_1 + E_2 + E_3) \qquad (2.6)$$

พิจารณากระแสที่เกิดจากแหล่งจ่ายไฟและ R ทางด้านอินพุตแต่ละตัว จะรวมกันที่ขา 2 (ที่ขา 2 จะเสมือนเป็นกราวด์) ซึ่งกระแส I_1 , I_2 และ I_3 หาได้ดังนี้

$$I_1 = \frac{E_1}{R} \quad , \quad I_2 = \frac{E_2}{R} \quad , \quad I_3 = \frac{E_3}{R} \qquad (2.7)$$

จากลักษณะของวงจรขยายแบบอินเวอร์ติ้ง กระแสรวม ($I_1 + I_2 + I_3$) ที่ไหลเข้าที่ขา 2 จะไหลผ่านออกมาทาง R_f เกิดแรงดันตกคร่อม R_f ซึ่งมีขนาดเท่ากับ V_o แต่กลับเฟสกัน

$$V_o = -(I_1 + I_2 + I_3) \times R_f$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแทนค่ากระแสจากสมการที่ (2.7) และใช้ R_f เท่ากับ R ลงไปในสมการ V_o ก็จะได้ V_o ตามสมการที่ (2.6)

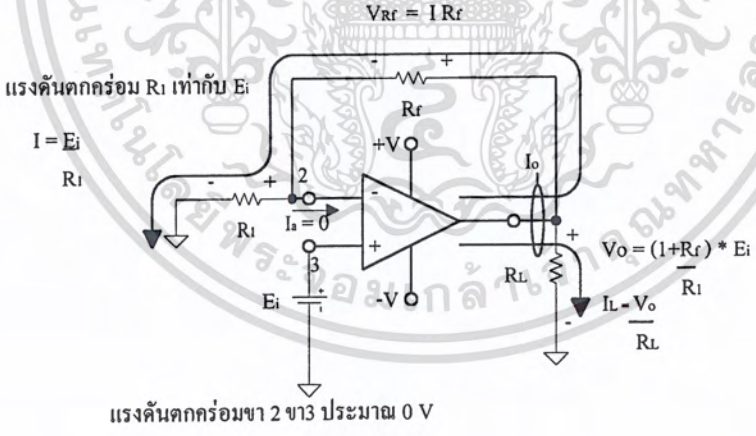
$$V_o = -\left(\frac{E_1}{R} + \frac{E_2}{R} + \frac{E_3}{R}\right) \times R$$

$$= -(E_1 + E_2 + E_3)$$

ถ้าต้องการรวมสัญญาณเพิ่มขึ้นก็ให้เพิ่มแหล่งจ่ายไฟเข้าไปอีก และตัวต้านทานที่เพิ่มเข้าไปต้องเท่ากับตัวต้านทาน R เดิม (เหตุที่ใช้ตัวต้านทานเท่ากันเพื่อตัดปัญหาอัตราส่วนระหว่าง R_f และ R_i) แต่ถ้าต้องการลดจำนวนสัญญาณด้านอินพุตลงก็ให้ปลดแหล่งจ่ายไฟนั้น ๆ ออกไปเลย

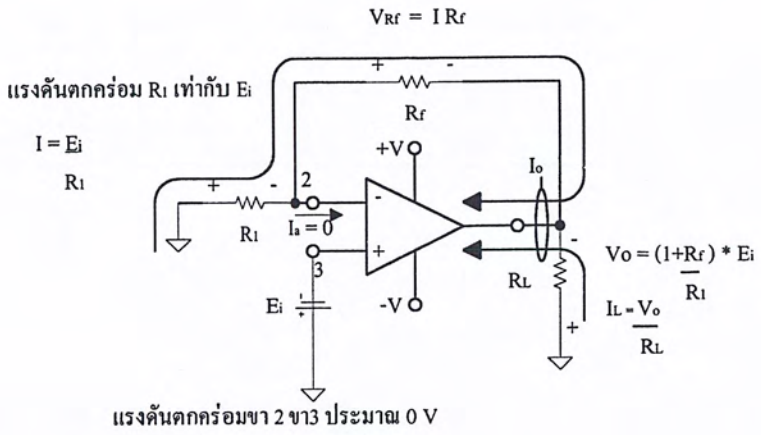
2.3 วงจรขยายแบบนอนอินเวอร์ติ้ง

วงจรขยายแบบนอนอินเวอร์ติ้ง (รูปที่ 2.7) เป็นวงจรที่ให้แรงดันเอาต์พุต V_o มีเครื่องหมายหรือมีขั้วเหมือนกับแรงดันทางด้านอินพุต E_i ในการวิเคราะห์วงจรจะใช้ข้อแนะนำ 2 ข้อจากหัวข้อที่ 2.1.1 เหมือนกับการวิเคราะห์วงจรขยายแบบอินเวอร์ติ้ง โดยให้ถือว่าความต้านทานด้านอินพุตของออปแอมป์มีขนาดค่ามากกว่า 100 เมกะโอห์ม



(ก) เมื่อป้อนแหล่งจ่ายไฟชนิดบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) เมื่อป้อนแหล่งจ่ายไฟชนิดลบ

รูปที่ 2.7 แสดงทิศทางการไหลของกระแส และขั้วของแรงดันเมื่อป้อนแหล่งจ่ายไฟชนิดต่าง ๆ

เมื่อไม่มีความต่างศักย์ระหว่างขาอินพุตบวกและลบ ดังนั้นแรงดันที่ตกคร่อม R_1 คือ E_i ดังนั้นกระแสที่ไหลผ่าน R_1 และ R_f (ไม่มีกระแสไหลเข้าขาอินพุตลบ) หาได้จาก

$$I = \frac{E_i}{R_1} \qquad (2.8)$$

โดยที่ทิศทางของกระแสขึ้นอยู่กับแรงดัน E_i ซึ่งเสมือนตกคร่อม R_1 สำหรับวงจรรูปที่ 2.7 (ก) ที่ขาอินพุตลบจะเสมือนมีแรงดันบวก E_i อยู่ ดังนั้นกระแสจึงไหลจากด้านขวาของ R_1 ผ่าน R_1 ลงกราวด์ การไหลเช่นนี้ทำให้เกิดทิศทางของ I ซึ่งจะกลับกับ I ในรูปที่ 2.7 (ข) เมื่อทราบ I แล้วจึงสามารถหาความต่างศักย์ตกคร่อม R_f ได้

$$V_{Rf} = I \times R_f = E_i \times \frac{R_f}{R_1} \qquad (2.9)$$

เมื่อได้ V_{Rf} และ V_{RI} ซึ่งเท่ากับ E_i แล้ว จะสามารถหา V_o ได้

$$V_o = V_{Rf} + E_i$$

$$= (E_i \times \frac{R_f}{R_1}) + E_i$$

$$V_o = (1 + \frac{R_f}{R_1}) E_i \qquad (2.10)$$

ทุกค่า V_o ที่หาได้ นำมาใช้ในการหาอัตราการขยายของวงจรนี้ได้ดังนี้

$$A_{CL} = \frac{V_o}{E_i}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{((1 + \frac{R_f}{R_1})E_i)}{E_i}$$

$$= (1 + \frac{R_f}{R_1})$$

$$A_{CL} = \frac{R_1 + R_f}{R_1} \qquad (2.11)$$

อัตราการขยายของวงจรขยายแบบนอนอินเวอร์ติ้งหรือแบบไม่กลับเฟส จะมีค่ามากกว่า 1 เสมอ กระแสที่จ่ายให้โหลด (I_L) เท่ากับ V_o / R_L ส่วนกระแส $I_o = I + I_L$ ดังสมการที่ (2.5)

2.4 แหล่งป้อนแรงดันในอุดมคติ

2.4.1 นิยามและข้อพึงระวัง

นิยามของแหล่งป้อนแรงดันอุดมคติคือ แหล่งจ่ายไฟที่ให้แรงดันที่คงที่ได้ไม่ว่าจะจ่ายกระแสได้มากเท่าใด นอกจากนั้นยังมีข้อพึงระวังอีกประการหนึ่งก็คือ แหล่งป้อนแรงดันอุดมคตินั้นจะต้องไม่มีการเปลี่ยนค่า เมื่อความถี่สูงขึ้นหรือมีการเปลี่ยนแปลงอีกด้วย ซึ่งเราจะกล่าวถึงวิธีการสร้างแหล่งจ่ายไฟให้มันมีคุณสมบัติใกล้เคียงอุดมคติในตอนต่อไปนี้ (แหล่งป้อนแรงดันในที่นี้คือวงจรแหล่งจ่ายแรงดันไม่ใช่แหล่งจ่ายไฟ)

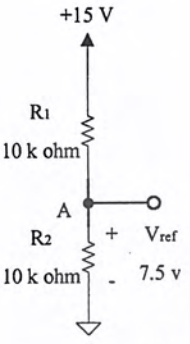
2.4.2 วิธีการทดสอบแหล่งป้อนแรงดันอุดมคติ

ในการออกแบบวงจรจ่ายแรงดันสักวงจร เราอาจจะใช้ตัวต้านทานสองตัวต่อคร่อมแหล่งกำเนิดไฟหลักอีกที หรืออาจใช้ออปแอมป์ต่อกับวงจรทอนแรงดันอีกทีเพื่อให้ได้ค่าแรงดันตามที่ต้องการ ซึ่งการทดสอบความเป็นอุดมคติของแหล่งป้อนแรงดันประเภทนี้ เราสามารถทำได้ดังนี้ ลองปรับแรงดันของแหล่งป้อนแรงดันให้มีค่าประมาณ 0.2 โวลต์ จากนั้นก็ตรวจวัดสัญญาณเอาต์พุตและอินพุต ณ ค่าต่าง ๆ เมื่อเรามีการปรับเปลี่ยนความถี่ของแหล่งป้อนแรงดันหลักไปเรื่อย ๆ ถ้าพบว่ายิ่งความถี่สูงขึ้นแหล่งป้อนแรงดันที่เราออกแบบมานั้นยิ่งมีค่าตกลง ซึ่งเป็นเพราะค่าคาปาซิแตนซ์ของอินพุตนั้น ดังนั้นถ้าเราต้องการรักษาแรงดันอินพุต E_i ให้คงที่ ก็จำเป็นต้องมีการปรับค่าแรงดันอินพุต E_i ให้มีค่าเพิ่มขึ้น จากนิยามของแหล่งป้อนแรงดันในอุดมคติ

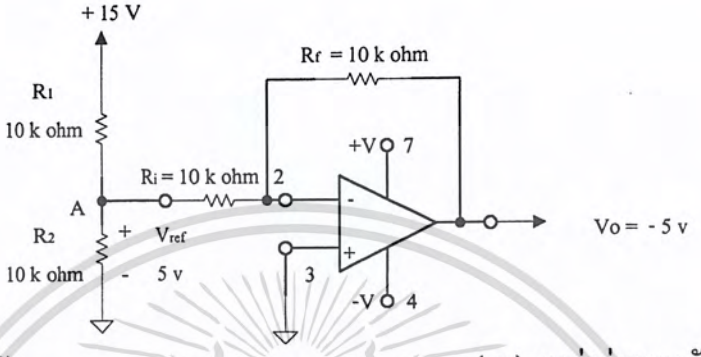
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.3 แหล่งป้อนแรงดันอุดมคติในทางปฏิบัติ

ในรูปที่ 2.8 วงจรแบ่งแรงดันจะแบ่งแรงดันจาก 15 โวลต์ มาเป็น 7.5 โวลต์ ดังรูปที่ 2.8 (ก) ส่วนในรูปที่ 2.8 (ข) เป็นการทอนแรงดันให้เหลือ 5 โวลต์ อีกครั้งหนึ่งด้วยออปแอมป์ แต่วงจรนี้ยังไม่ดีเท่าวงจรในรูปที่ 2.8 (ค) ซึ่งจะให้คุณสมบัติของแหล่งป้อนแรงดันในอุดมคติมากกว่า

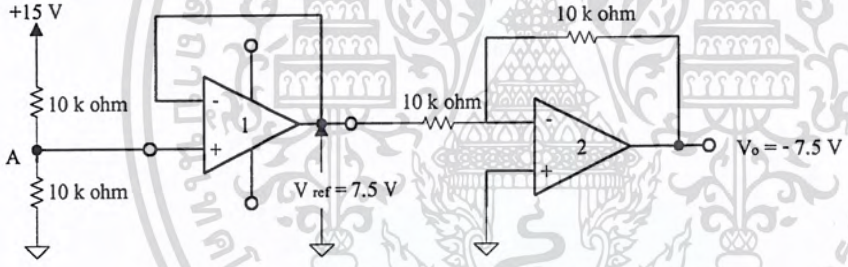


(ก) แหล่งจ่ายแรงดัน
ชนิด 7.5 V



(ข) แหล่งจ่ายแรงดันรูป (ก)
ถูกลดแรงดันเหลือ 5 V โดย R_i

แรงดันตกคร่อมขา 2 ขา3 ประมาณ 0 V



(ค) แหล่งจ่ายแรงดัน 7.5 V ในเชิงอุดมคติ

รูปที่ 2.8 แสดงวงจรแบ่งแรงดัน

ถ้าเราต้องการแหล่งป้อนแรงดันขนาด 7.5 โวลต์ การสร้างก็มีได้หลายวิธี วิธีที่ง่าย ๆ ที่สุด คือ ใช้ตัวต้านทาน 2 ตัวมาต่อกันเพื่อแบ่งแรงดันจากแหล่งจ่ายไฟ 15 โวลต์ ดังรูปที่ 2.8 (ก) ซึ่งมันจะยังคงเป็น 7.5 โวลต์ อยู่ตลอดตราบเท่าที่ยังไม่ได้ต่อโหลด

จากวงจรในรูปที่ 2.8 (ข) เป็นการแก้ไขข้อบกพร่องของรูปที่ 2.8 (ก) โดยการใช้วงจรขยายแบบอินเวอร์ติ้งมาต่อท้าย ผลของการต่อวงจรในลักษณะนี้จะเสมือนเอา R_i // R_2 (อ่านว่า เอา R_i มาต่อขนาน R_2) ซึ่งทำให้ความต้านทานรวมตรงนั้นเท่ากับ 10 กิโลโอห์ม // 10 กิโลโอห์ม = 5 กิโลโอห์ม ซึ่งส่งผลให้แรงดัน ณ จุดนั้นเท่ากับ 5 โวลต์

$$R_i // R_2 = \frac{R_i \times R_2}{R_i + R_2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

$$= \frac{10\,k\Omega \times 10\,k\Omega}{20\,k\Omega}$$

$$R_i // R_2 = 5\,k\Omega$$

ดังนั้น V_o = -5 โวลต์ เพื่อแก้ปัญหา V_{ref} ของวงจรขยายแบบกลับเฟสตก จึงนำข้อดีของวงจรบัฟเฟอร์ (Voltage follower) มาใช้เพื่อสร้าง V_{ref} ดังรูปที่ 2.8 (ข) ทำให้ V_{ref} ของวงจรขยายในภาคหลังคงที่โดยที่วงจรบัฟเฟอร์สามารถจ่ายกระแสให้วงจรขยายได้เกินกว่า 5 มิลลิแอมป์ จากวงจรในรูปที่ 2.8 (ค) นี้เราจะได้แหล่งป้อนแรงดันที่มีคุณสมบัติที่ดีเพื่อใช้ต่อไป

2.5 วงจรขยายแบบผสมผสาน

2.5.1 การวิเคราะห์วงจร

วงจรในรูปที่ 2.9 (ก) มีการทำงานแบบวงจรขยายแบบกลับเฟสสำหรับสัญญาณ E_2 รวมกับวงจรขยายแบบไม่กลับเฟส E_1 โดยการวิเคราะห์วงจรด้วยวิธีซูเปอร์ โพซิชัน (super position) คือ ให้พิจารณาแหล่งจ่ายไฟทีละแหล่ง โดยแหล่งที่ไม่ใช้คิดในขณะนั้น ถ้าเป็นแหล่งจ่ายแรงดันให้ลัดวงจร ถ้าเป็นแหล่งจ่ายกระแสให้เปิดวงจร แล้วจึงนำผลของส่วนที่ต้องการทราบค่ามาบวกกัน

เมื่อคิดแหล่งจ่ายไฟ E_1 แหล่งเดียว (E_2 ให้คิดเสมือนว่าถูกลัดวงจรไป ทำให้ R_i ต่ออยู่กับกราวด์) และพิจารณาแรงดันที่ขาอินพุตทั้ง 2 ต้องเท่ากัน ดังนั้นวงจรตอนนี้จะเป็นวงจรขยายแบบไม่กลับเฟส $V_o = \left(\frac{R_i + R_f}{R_i} \right) \times E_1$

เมื่อคิดแหล่งจ่ายไฟ E_2 แหล่งเดียว (E_1 ให้คิดเสมือนว่าถูกลัดวงจรไป ดังนั้นขาอินพุตบวกจึงต่ออยู่กับกราวด์) วงจรนี้จะเป็นวงจรแบบกลับเฟส $V_o = -(R_f / R_i) \times E_2$

เมื่อได้ V_o จากทั้ง 2 แหล่งจ่ายไฟแล้ว V_o ของวงจรจะเป็นผลรวมของ V_o ทั้งสอง

$$V_o = \frac{(R_i + R_f) \times E_1}{R_i} - \frac{(R_f) \times E_2}{R_i} \qquad (2.12)$$

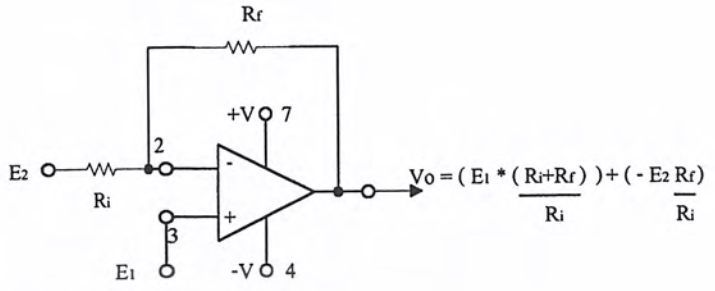
2.5.2 ข้อควรระวัง

วงจรในรูปที่ 2.9 (ก) E_2 อาจจะเป็นแหล่งจ่ายไฟ หรือเป็นฟังก์ชันเจนเนอเรเตอร์ ซึ่งถ้าค่า E_2 นี้มีค่าความต่างศักย์น้อยกว่าค่า E_1 เมื่อไร จะเกิดปัญหาคือ กระแสจาก E_1 จะพยายามไหลไปชดเชยที่ E_2 ซึ่งจะทำให้วงจรนั้นไม่ทำงาน วิธีการแก้ไขก็คือ นำบัฟเฟอร์ (ในรูปที่ 2.9 (ข))

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

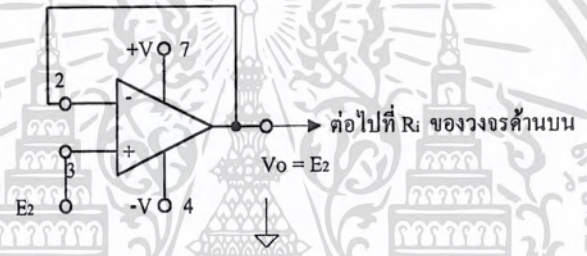
42667

มาต่อให้กับ E_2 ก่อน ทั้งนี้เนื่องจากวงจรบัฟเฟอร์จะสามารถแก้ปัญหาเรื่องการรับกระแส (sinking current) ได้เป็นอย่างดี



แรงดันตกคร่อมขา 2 ขา3 ประมาณ 0 V

(ก) E_1 ถูกป้อนเข้าที่ขาอินพุตบวก ในขณะที่ E_2 ถูกป้อนเข้าที่ขาอินพุตลบ



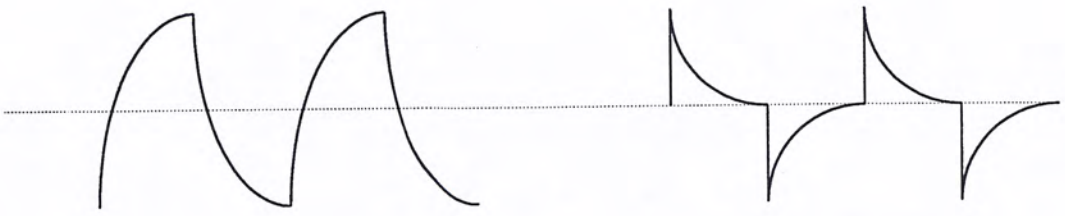
(ข) การนำบัฟเฟอร์มาต่อที่ E_2 จะช่วยแก้ปัญหาในเรื่องการดึงกระแสจาก E_1

รูปที่ 2.9 การต่อออปแอมป์แบบนี้จะเป็นทั้งแบบอินเวอร์ติ้งด้วยเพราะมีการต่อ E_2 เข้าที่ขา 2 และเป็นแบบนอนอินเวอร์ติ้งด้วยเพราะมีการต่อ E_1 เข้าที่ขา 3

2.6 วงจรอินทิเกรเตอร์

เมื่อมีรูปคลื่นที่ไม่ใช่สัญญาณไซน์ถูกป้อนเข้ามายังวงจรที่เป็นเชิงเส้นผลลัพธ์ของรูปคลื่นที่ถูกส่งออกเอาต์พุต จะมีความแตกต่างไปจากรูปคลื่นที่ป้อนเข้าทางอินพุต วงจรดังกล่าวมักถูกเรียกว่าวงจรปรับแต่งรูปคลื่นแบบเชิงเส้น (linear waveshaping circuit) วงจรปรับแต่งรูปคลื่นแบบเชิงเส้นนี้แบ่งได้เป็นหลายแบบขึ้นอยู่กับอุปกรณ์ที่นำมาต่อวงจรคือ R, L และ C โดยทั่วไปแบ่งออกได้เป็น 3 ประเภทคือ วงจร RC (RC circuit) วงจร RL (RL circuit) และวงจร RLC (RLC circuit) วงจร RC นับเป็นวงจรปรับแต่งรูปคลื่นแบบง่ายที่สุด และนิยมใช้งานกันมาก ในการปรับแต่งรูปคลื่น แบ่งการจัดวงจรได้เป็น 2 แบบตามชนิดของรูปคลื่นที่ออกเอาต์พุตคือ คลื่นอินทิเกรต (integrated wave) และคลื่นดิฟเฟอเรนชิเอต (differentiated wave) แสดงดังรูปที่ 2.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) คลื่นอินทิเกรต (ข) คลื่นดิฟเฟอเรนชิเอต

รูปที่ 2.10 รูปคลื่นออกเอาต์พุตของวงจรปรับแต่งรูปคลื่นแบบเชิงเส้น

ก่อนจะกล่าวถึงวงจรอินทิเกรเตอร์ จะกล่าวถึงค่าความจุของตัวเก็บประจุก่อนสามารถเขียนเป็นสมการได้ดังนี้

$$C = \frac{Q}{V} \qquad \text{หน่วย F (ฟารัด)} \qquad (2.13)$$

โดยที่ Q = ประจุไฟฟ้าที่ประจุในตัวเก็บประจุ คูลอมบ์

V = แรงดันตกคร่อมตัวเก็บประจุ โวลต์

จากสมการที่ (2.13) หาค่า V จะได้

$$V = \frac{1}{C} Q \qquad (2.14)$$

ประจุไฟฟ้า Q จะเพิ่มมากขึ้นตามเวลาที่กระแสไฟฟ้าไหลผ่านตัวเก็บประจุเขียนแทนด้วยสัญลักษณ์ทางคณิตศาสตร์เป็น $\int$ จะได้

$$Q = \int i\,dt \qquad (2.15)$$

แทนค่า Q จากสมการที่ (2.15) ลงในสมการที่ (2.14) จะได้แรงดันในชั่วขณะหนึ่งดังนี้

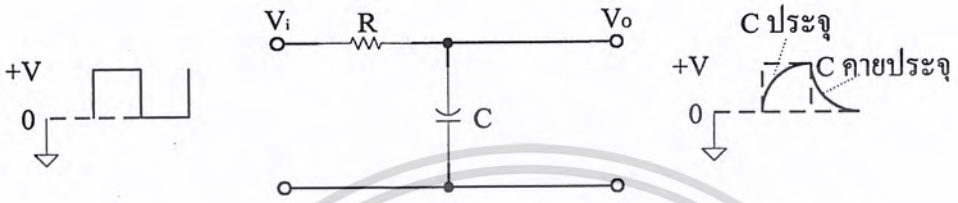
$$V = \frac{1}{C} \int i\,dt \qquad (2.16)$$

จากที่กล่าวมาจะเห็นได้ว่าสัญลักษณ์ทางคณิตศาสตร์ $\int$ คือการอินทิเกรตกระแสไฟฟ้าที่ไหลผ่านตัวเก็บประจุ C ในเวลาชั่วขณะหนึ่ง ส่งผลให้เกิดแรงดันสะสมในตัวเก็บประจุ C เมื่อนำอุปกรณ์ RC มาสร้างเป็นวงจรอินทิเกรเตอร์ วงจรจะสามารถทำการอินทิเกรตสัญญาณที่ป้อนเข้ามาทางขั้วอินพุต หรือกล่าวอีกนัยหนึ่งก็คือ วงจรจะสะสมสัญญาณที่ป้อนเข้าจากขั้วอินพุตเรื่อย ๆ ภายในช่วงเวลาหนึ่งเวลาใด และแสดงผลของการสะสมสัญญาณนี้ออกเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอินพุตที่นำมาใช้ในการป้อนเข้าวงจรอินทิเกรเตอร์ เพื่อให้เกิดสัญญาณออกเอาต์พุตเป็นสัญญาณอินทิเกรตคือสัญญาณพัลส์หรือสัญญาณสี่เหลี่ยม ไม่ใช่สัญญาณไซน์เพราะสัญญาณไซน์เมื่อป้อนเข้าวงจรอินทิเกรเตอร์แล้วจะได้เอาต์พุตออกมายังคงเป็นสัญญาณไซน์อยู่เหมือนเดิม เพียงแต่จะมีเฟสสัญญาณเปลี่ยนแปลงไปเท่านั้น

2.6.1 วงจร RC อินทิเกรเตอร์



รูปที่ 2.11 วงจร RC อินทิเกรเตอร์

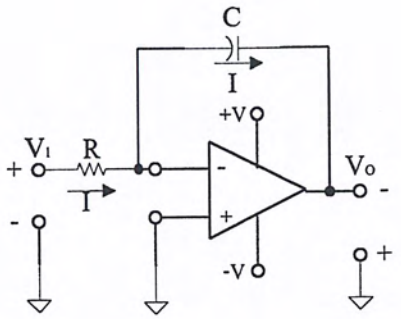
วงจร RC อินทิเกรเตอร์คือ วงจรกรองความถี่ต่ำผ่านแบบ RC นั่นเอง เพียงแต่ว่าเมื่อนำมาใช้งานกับสัญญาณพัลส์จะถูกเรียกว่าวงจร RC อินทิเกรเตอร์ การป้อนสัญญาณพัลส์เข้าไปในวงจร RC อินทิเกรเตอร์จะทำให้สัญญาณพัลส์ที่ถูกส่งออกเอาต์พุตเปลี่ยนรูปร่างไป การเปลี่ยนแปลงจะเปลี่ยนไปในลักษณะแบบคลื่นเอกซ์โพเนนเชียล เมื่อนำคลื่นเอกซ์โพเนนเชียลลาดขึ้นกับคลื่นเอกซ์โพเนนเชียลลาดลงมารวมกัน จะได้คลื่นที่เรียกว่ารูปคลื่นอินทิเกรเตอร์ แสดงดังรูปที่ 2.11

การทำงานของวงจรคือเมื่อป้อนสัญญาณพัลส์เข้าวงจร สัญญาณพัลส์เมื่อผ่านตัวต้านทาน R ไปตกคร่อมตัวเก็บประจุ C ทำให้สัญญาณพัลส์เปลี่ยนรูปร่างไปได้สัญญาณออกเอาต์พุต V_o เป็นสัญญาณอินทิเกรต เนื่องจากคุณสมบัติของตัวเก็บประจุ C คือครั้งแรกจะมีกระแสไหลก่อนแล้วจึงมีแรงดันถูกประจุเก็บไว้ในตัว C แรงดันตกคร่อม C ค่อย ๆ เพิ่มขึ้นแบบเอกซ์โพเนนเชียล เมื่อ C คายประจุออกแรงดันตกคร่อม C จะค่อย ๆ ลดลงแบบเอกซ์โพเนนเชียลเช่นกัน ได้สัญญาณออกเอาต์พุตตามรูปที่ 2.11

2.6.2 วงจร RC อินทิเกรเตอร์แบบแอกทีฟ

ลักษณะวงจร RC อินทิเกรเตอร์ตามรูปที่ 2.11 จะเป็นชนิดพาสซีฟ (passive) คือไม่มีการขยายสัญญาณที่ส่งออกเอาต์พุต นอกจากไม่ขยายแล้วสัญญาณยังอาจถูกลดทอนลงด้วยค่าความต้านทานของ R ดังนั้นจึงมีการจัดวงจร RC อินทิเกรเตอร์ใหม่ ด้วยการเพิ่มตัวออปแอมป์เข้าวงจรร่วมกับ RC เป็นวงจร RC อินทิเกรเตอร์แบบแอกทีฟ (active) ลักษณะวงจรแสดงดังรูปที่ 2.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 วงจร RC อินทิเกรเตอร์แบบต่อเพิ่มออปแอมป์เข้าวงจร

หาค่ากระแส I ไหลผ่านตัวต้านทาน R จะได้

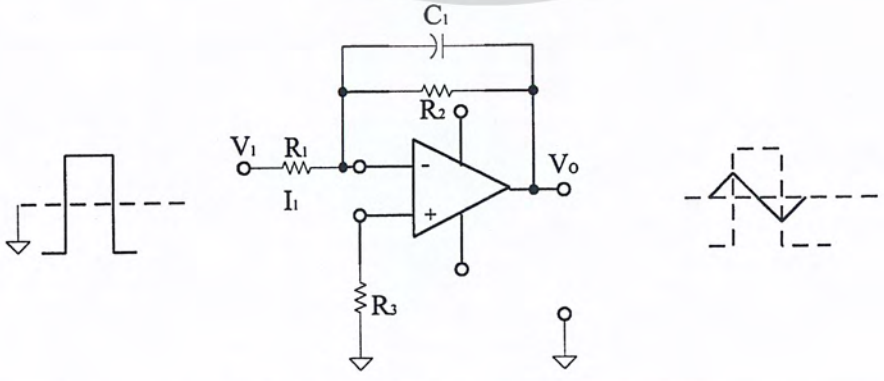
$$I = V_I / R$$

แทนค่า I ลงในสมการที่ (2.16) และแรงดันตกคร่อมตัวเก็บประจุ C คือแรงดันที่จ่ายออกเอาต์พุต V_o จะได้สมการใหม่เป็น

$$-V_o = \frac{1}{C} \int \frac{V_I}{R} dt$$

$$V_o = -\frac{1}{RC} \int V_I \, dt \qquad (2.17)$$

วงจรในรูปที่ 2.12 แม้ว่าแรงดันทางอินพุต V_I จะเป็นศูนย์โวลต์ กระแสไบแอสอินพุตจะทำให้ตัวเก็บประจุ C ยังประจุแรงดันอยู่ตลอดเวลา จนมีผลทำให้แรงดันออกเอาต์พุตถึงค่าอิ่มตัวและมีค่าสูงมากประมาณแหล่งจ่ายไฟซีกลบ ดังนั้นจึงต้องดัดแปลงวงจรใหม่โดยเพิ่มตัวต้านทานป้อนกลับต่อขนานกับตัวเก็บประจุ C ทำให้วงจรมีเสถียรภาพดีขึ้น และวงจรยังมีอัตราการขยายตั้งแต่ 10 ถึง 100 เท่า ลักษณะวงจรแสดงดังรูปที่ 2.13

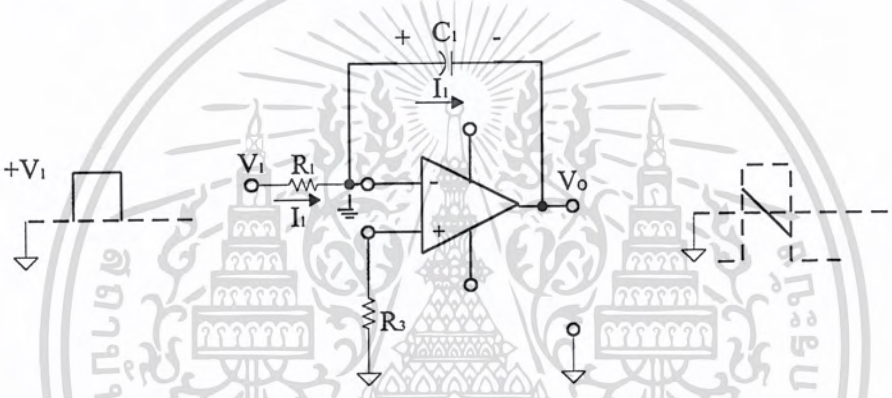


รูปที่ 2.13 วงจร RC อินทิเกรเตอร์ใช้ออปแอมป์แบบเพิ่มตัวต้านทานป้อนกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.13 เป็นวงจร RC อินทิเกรเตอร์ใช้ออปแอมป์ แบบเพิ่มตัวต้านทานป้อนกลับ R_2 ต่อขนานกับตัวเก็บประจุป้อนกลับ C_1 และมีตัวต้านทาน R_3 ต่อกับขานอนอินเวอร์ติ้งอินพุต เพื่อลดค่ากระแสอินพุตออฟเซต

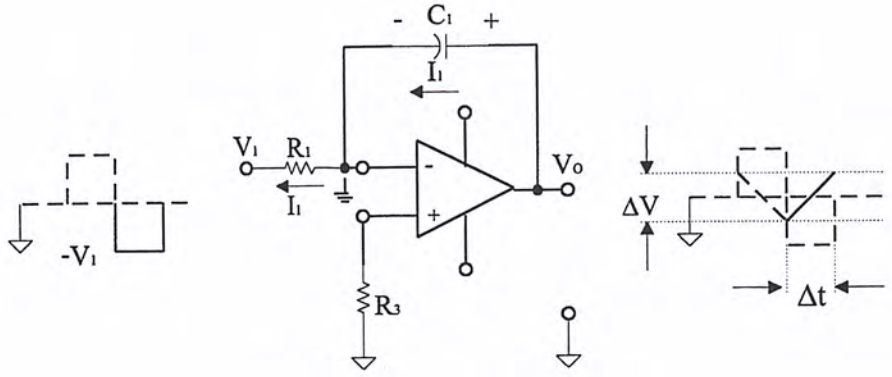
การทำงานอธิบายได้ดังนี้ ในช่วงครึ่งไซเกิลบวกของสัญญาณสี่เหลี่ยมป้อนเข้ามาจะมีกระแสคงที่ I_1 ไหลผ่าน R_1 แสดงดังรูปที่ 6.14 กระแส I_1 จะต้องมีค่ามากกว่ากระแสอินพุตไบแอสของตัวออปแอมป์มาก ๆ ผลทำให้กระแส I_1 ไหลผ่าน C_1 ทั้งหมด C_1 จะประจุแรงดันไว้ มีขั้วแรงดันซ้ายบวก ขวาลบ ทางด้านซ้ายของ C_1 ต่อกับขาอินเวอร์ติ้งอินพุตเป็นกราวด์เสมือนคือต่อลงกราวด์ ทำให้แรงดันตกคร่อม C_1 เป็นแรงดันออกเอาต์พุต กระแสอินพุตจะไหลคงที่มีผลให้ C_1 ประจุแรงดันเป็นเชิงเส้น ได้เอาต์พุตเป็นเส้นตรงลาดเอียง (ramp) เคลื่อนที่ไปทางลบ



รูปที่ 2.14 สภาวะ C_1 ประจุด้วย $+I_1$

ในช่วงครึ่งไซเกิลลบของสัญญาณสี่เหลี่ยมป้อนเข้ามา ทิศทางการไหลของกระแส I_1 จะเป็นตรงกันข้าม แสดงดังรูปที่ 2.15 ทำให้ C_1 ประจุแรงดันเป็นเชิงเส้น มีขั้วแรงดันซ้ายลบ ขวาบวก ได้แรงดันออกเอาต์พุตเป็นเส้นตรงลาดเอียงเคลื่อนที่ไปทางบวก นั่นคือสัญญาณอินพุตเป็นคลื่นสี่เหลี่ยม เมื่อผ่านวงจร RC อินทิเกรเตอร์ ได้เอาต์พุตเป็นรูปสามเหลี่ยม เกิดสลับบวกลบตามสัญญาณสี่เหลี่ยมอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 สภาวะ C_1 ประจุด้วย $-I_1$

สัญญาณที่ได้ออกเอาต์พุตถึงแม้จะได้สัญญาณที่กลับทางกับสัญญาณอินพุตก็ไม่ได้สนใจ เราจะสนใจค่าความแรงของสัญญาณที่ออกเอาต์พุต ซึ่งขึ้นอยู่กับ I_1 และ Δt ดังนั้น I_1 จะเป็นสัดส่วนกับค่าแรงดันพีคอินพุต V_p และ Δt คือระยะเวลาของพัลส์อินพุต แรงดันออกเอาต์พุตจะเป็นสัดส่วนโดยตรงกับพื้นที่ทุก ๆ ครึ่งไซเกิลของสัญญาณอินพุต ถ้าสัญญาณสี่เหลี่ยมมีความแรงเพิ่มขึ้นเป็น 2 เท่า ทำให้พื้นที่ของสัญญาณอินพุตทุก ๆ ครึ่งไซเกิลเพิ่มขึ้นเป็น 2 เท่าด้วย มีผลให้ตัวเก็บประจุ C_1 ประจุแรงดันเพิ่มขึ้นเป็น 2 เท่าและแรงดันสูงสุดที่ออกเอาต์พุตก็จะเพิ่มขึ้นเป็นแฟกเตอร์ของ 2 เหมือนกับการเพิ่มขึ้นของระยะเวลาทุก ๆ ครึ่งไซเกิลของสัญญาณอินพุต ทำให้ตัวเก็บประจุ C_1 ใช้เวลาในการประจุแรงดันเพิ่มขึ้น และเป็นสัดส่วนตามการเพิ่มขึ้นของแรงดันสูงสุดที่เอาต์พุต ดังนั้นแรงดันสูงสุดที่เอาต์พุตก็คือผลรวมของพื้นที่ หรือเป็นการแบ่งส่วนออกย่อย ๆ ของสัญญาณอินพุต

2.6.3 การออกแบบวงจร RC อินทิเกรเตอร์

สำหรับในวงจรอื่น ๆ ที่จะพิจารณาเพื่อออกแบบวงจรอินทิเกรเตอร์ ขั้นแรกต้องพิจารณาเลือกกระแส I_1 ให้มีค่ามากกว่าค่ากระแสอินพุตไบแอสของออปแอมป์มาก ๆ ในกรณีของออปแอมป์ชนิดไบเฟต ต้องเลือกตัวเก็บประจุ C_1 ให้มีค่ามากกว่าค่าความจุย่อยใด ๆ มาก ๆ C_1 ต้องมีฉนวนดีมีกระแสรั่วไหลน้อย สำหรับรูปสัญญาณสามเหลี่ยมออกเอาต์พุต จะเป็นสัดส่วนระหว่าง I_1, C_1 และขนาดของแรงดันออกเอาต์พุตใช้สมการดังนี้

$$C_1 = \frac{I_1 \Delta t}{\Delta V} \qquad (2.18)$$

โดยที่ Δt = เวลาในการลาดเอียงของสัญญาณเอาต์พุต

ΔV = ขนาดความแรงของสัญญาณเอาต์พุตเป็นพีค-ทู-พีค

I_1 = กระแสที่ไหลผ่านประจุ C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถหาค่า R_1 ได้จากการคำนวณดังนี้

$$R_1 = \frac{V_1}{I_1} \quad (2.19)$$

เมื่อ $R_2 = 20\,R_1$ (2.20)

และ $R_3 = R_2 \,//\, R_1$ (2.21)

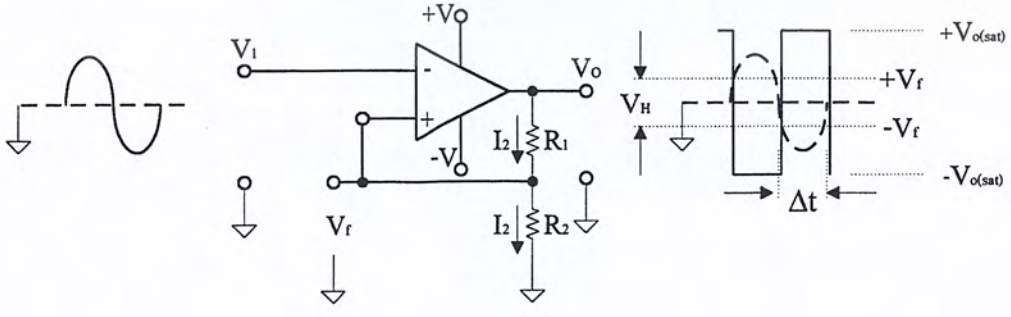
2.7 วงจรชมิตทริกเกอร์

วงจรชมิตทริกเกอร์ (schmitt trigger circuit) หรืออาจเรียกว่าวงจรรีเจนเนอเรตีฟ คอมพาราเตอร์ (regenerative comparator circuit) ลักษณะวงจรคล้ายกับวงจรขยายสัญญาณของออปแอมป์ แตกต่างกันตรงขาอินพุตที่ถูกป้อนเข้าขาของออปแอมป์จะตรงข้ามกัน ส่วนการป้อนกลับของสัญญาณถูกต่อให้ขานอนอินเวอร์ติ้ง อัตราขยายของวงจรก็ถูกกำหนดค่าด้วยความต้านทานที่ประกอบขึ้นเป็นวงจรป้อนกลับ

วงจรชมิตทริกเกอร์จะใช้ระดับแรงดันอินพุต 2 ค่าในการควบคุมการเปลี่ยนสภาวะเสถียรภาพของวงจร วงจรใช้ลักษณะความแตกต่างกันระหว่างระดับแรงดันไฟตรงสองระดับ จึงถูกเรียกว่าวงจรเปรียบเทียบหรือคอมพาเรเตอร์ หรืออาจนำไปใช้สร้างพัลส์สี่เหลี่ยมมุมฉากได้ โดยอินพุตป้อนด้วยสัญญาณอะไรก็ตาม เอาต์พุตจะเป็นสัญญาณสี่เหลี่ยมเสมอ

2.7.1 วงจรอินเวอร์ติ้งชมิตทริกเกอร์

วงจรอินเวอร์ติ้งชมิตทริกเกอร์ (inverting schmitt trigger circuit) ที่ประกอบวงจรด้วยออปแอมป์แสดงดังรูปที่ 2.16 วงจรจะดูคล้ายวงจรขยายแบบนอนอินเวอร์ติ้งของออปแอมป์ แต่มีส่วนที่แตกต่างกันคือในส่วนแรกป้อนอินพุตถูกป้อนเข้าที่ขาอินเวอร์ติ้งแทนขานอนอินเวอร์ติ้ง และส่วนการป้อนกลับจากเอาต์พุตจะถูกต่อเข้าขานอนอินเวอร์ติ้งทางอินพุต



รูปที่ 2.16 วงจรอินเวอร์ติ้งชมิตทริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.16 เป็นวงจรอินเวอร์ติ้งชมิตทริกเกอร์ สัญญาณอินพุต V_1 ป้อนเข้าที่ขาอินเวอร์ติ้ง ส่วนขานอนอินเวอร์ติ้งจะต่อเข้ากับตัวต้านทาน R_1 , R_2 เป็นตัวต้านทานแบ่งแรงดัน แรงดันป้อนกลับ V_f คือแรงดันที่ตกคร่อม R_2 ถูกป้อนเข้าขานอนอินเวอร์ติ้ง

การทำงานของวงจร เมื่อแรงดันป้อนมาทางอินพุต V_1 มีค่าน้อยกว่าแรงดันป้อนกลับ V_f แรงดันที่ออกเอาต์พุต V_o จะแสดงค่าเป็นบวก มีแรงดันออกเอาต์พุต V_o ประมาณ $+V_{osat}$ อัตราส่วนของการป้อนกลับและแรงดันป้อนกลับ V_f หาได้ดังนี้

$$\beta = \frac{R_2}{R_1 + R_2} \qquad (2.22)$$

$$V_f = \frac{R_2 \ (+V_{osat})}{R_1 + R_2}$$

ดังนั้น $$UTP = V_{UT} = V_f = \frac{R_2 \ (+V_{osat})}{R_1 + R_2} \qquad (2.23)$$

เมื่อแรงดันอินพุต V_1 มีค่าเพิ่มขึ้นจนมากกว่าแรงดันป้อนกลับ V_f แรงดันออกเอาต์พุต V_o จะแสดงค่าเป็นลบ มีแรงดันออก V_o ประมาณ $-V_{osat}$ แรงดันป้อนกลับ V_f หาได้ดังนี้

$$V_f = \frac{R_2 \ (-V_{osat})}{R_1 + R_2}$$

ดังนั้น $$LTP = V_{LT} = V_f = \frac{R_2 \ (-V_{osat})}{R_1 + R_2} \qquad (2.24)$$

โดย β = อัตราส่วนของการป้อนกลับ

V_f = แรงดันป้อนกลับที่ขานอนอินเวอร์ติ้ง

$+V_{osat}$ = $+V - 1$ = แรงดันเอาต์พุตที่จุดอิ่มตัวช่วงบวก

$-V_{osat}$ = $-V + 1$ = แรงดันเอาต์พุตที่จุดอิ่มตัวช่วงลบ

UTP = จุดทริกเกอร์ช่วงบน

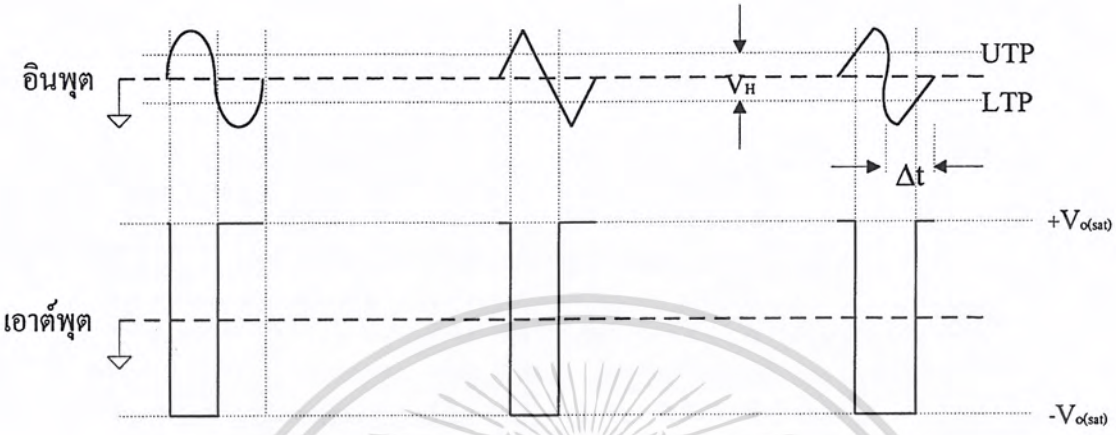
LTP = จุดทริกเกอร์ช่วงล่าง

V_{UT} = แรงดันเทรสโฮลดช่วงบน

V_{LT} = แรงดันเทรสโฮลดช่วงล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

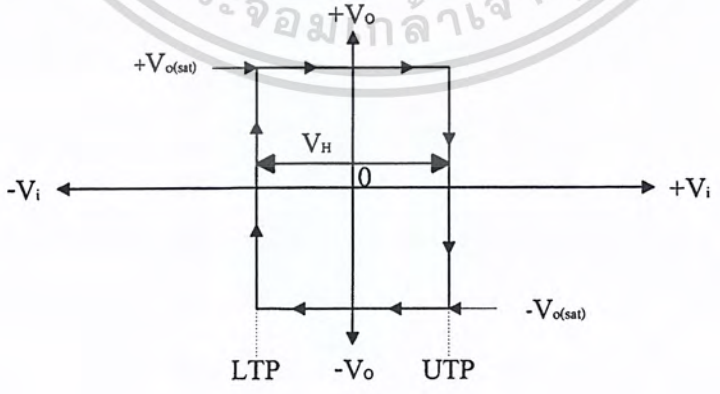
คุณสมบัติของวงจรชมิตทริกเกอร์คือทำหน้าที่เปลี่ยนสัญญาณอินพุตรูปร่างต่าง ๆ ให้ออกเอาต์พุตเป็นสัญญาณสี่เหลี่ยมหรือสัญญาณพัลส์เสมอ จุดการเปลี่ยนแปลงของเอาต์พุตอยู่ที่ระดับแรงดันของอินพุตที่จุด UTP (V_{UT}) และจุด LTP (V_{LT}) แสดงได้ดังรูปที่ 2.17



รูปที่ 2.17 รูปสัญญาณทางอินพุตและทางเอาต์พุต

2.7.2 ฮีสเตอริซีส

ฮีสเตอริซีส (hysteresis) ที่เกิดขึ้นในวงจรชมิตทริกเกอร์หมายถึงการทำให้เกิดการหน่วงเวลาในการเปลี่ยนสภาวะการทำงานของวงจร ค่าเวลาล้าหลังนี้เกิดจากการป้อนแรงดันกลับมาใหม่จะเกิดจากแรงดันที่ตกคร่อมตัวต้านทาน R_2 ป้อนกลับไปปรากฏเป็นแรงดันอินพุต (LTP) มีค่าแรงดันต่ำกว่าการเปลี่ยนสภาวะในครั้งแรก (UTP) การเปลี่ยนสภาวะที่เกิดการหน่วงเวลานี้มีค่าจนกระทั่ง แรงดันอินพุตที่ป้อนเข้ามาถึงค่า LTP แสดงได้ดังรูปที่ 2.18



รูปที่ 2.18 รูปกราฟแสดงการเปลี่ยนแรงดันที่เอาต์พุต V_o ของวงจรอินเวอร์ติ้งชมิตทริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.18 เป็นรูปกราฟแสดงการเปลี่ยนแปลงแรงดันที่เอาต์พุต V_o ของวงจรชมิตทริกเกอร์ ประกอบไปด้วยค่าแรงดันเทรสโฮลดช่วงบน V_{UT} หรือ UTP และแรงดันเทรสโฮลดช่วงล่าง V_{LT} หรือ LTP ค่าความแตกต่างระหว่างจุด UTP และ LTP ถูกเรียกว่าแรงดันฮีสเตอริซีส หรือ V_H ค่าแรงดันฮีสเตอริซีส (V_H) หาได้ดังนี้

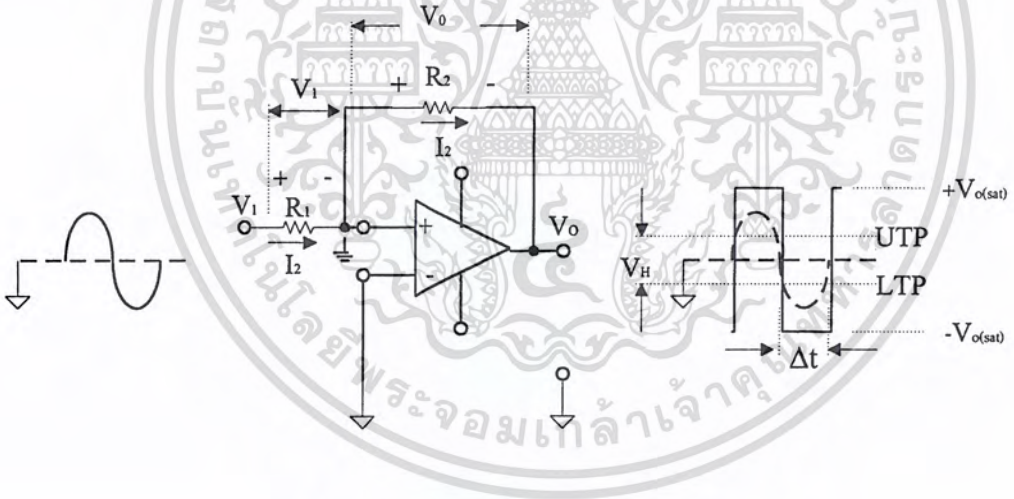
$$V_H = UTP - LTP \qquad (2.25)$$

หรือ $$V_H = \beta V_{osat} - (-\beta V_{osat})$$

$$V_H = 2\beta V_{osat} \qquad (2.26)$$

2.7.3 วงจรนอนอินเวอร์ติ้งชมิตทริกเกอร์

วงจรนอนอินเวอร์ติ้งชมิตทริกเกอร์ (noninverting schmitt trigger circuit) ที่ประกอบวงจรด้วยออปแอมป์แสดงดังรูปที่ 2.19 วงจรจะดูคล้ายวงจรขยายแบบอินเวอร์ติ้งของออปแอมป์ แต่มีส่วนที่แตกต่างกันคือในส่วนการป้อนอินพุตถูกป้อนเข้าที่ขานอนอินเวอร์ติ้งแทนขาอินเวอร์ติ้ง และส่วนการป้อนกลับจากเอาต์พุตจะถูกต่อเข้าขานอนอินเวอร์ติ้งทางอินพุต ขาที่ถูกต่อลงกราวด์ทางอินพุตคือขาอินเวอร์ติ้ง



รูปที่ 2.19 วงจรนอนอินเวอร์ติ้งชมิตทริกเกอร์

จากรูปที่ 2.19 เป็นวงจรนอนอินเวอร์ติ้งชมิตทริกเกอร์ สัญญาณอินพุตป้อนเข้าที่ขานอนอินเวอร์ติ้ง ผ่าน R_1 เป็นตัวต้านทานอินพุต ขาอินเวอร์ติ้งอินพุตต่อลงกราวด์ R_2 เป็นตัวต้านทานป้อนกลับ สัญญาณเอาต์พุต V_o จะเปลี่ยนแปลงจาก $-V_{osat}$ ถึง $+V_{osat}$ เมื่อแรงดันอินพุต V_I เพิ่มขึ้นถึง UTP และกลับลงอีกครั้งเมื่อแรงดันอินพุต V_I ตกลงถึง LTP ที่จุดทริกเกอร์ $V_{R2} = V_o$ และ $V_{R1} = V_I$ จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{R1} = \frac{V_0 \times R_1}{R_1 + R_2} \qquad (2.27)$$

ถ้าขานอนอินเวอร์ติ้งอินพุตถูกต่อที่ระดับกราวด์ แรงดันออกเอาต์พุต V_0 คือแรงดันตกคร่อมตัวต้านทาน R_2 และแรงดันอินพุต V_1 จะเป็นแรงดันตกคร่อม R_1 ดังนั้นแรงดัน UTP หาได้ดังนี้

$$UTP = V_1 = I_2 R_1$$

เมื่อ $$I_2 = \frac{|V_0|}{R_2}$$

ดังนั้น $$UTP = \frac{V_0 \times R_1}{R_2} \qquad (2.28)$$

เมื่อเอาต์พุต V_0 เปลี่ยนแปลงเป็นระดับบวกถึงค่าสูงสุด แรงดันที่ขานอนอินเวอร์ติ้งอินพุตจะเพิ่มขึ้นมากกว่าระดับกราวด์ ทำให้ระดับเอาต์พุต V_0 เพิ่มขึ้นเป็นบวกสูงสุด การจะทำให้เอาต์พุต V_0 กลับไปเป็นแรงดันลบสูงสุด อินพุต V_1 ต้องมีแรงดันเป็นลบพอเพียงจ่ายให้ที่ขานอนอินเวอร์ติ้งลดลงต่ำกว่าระดับกราวด์ ดังนั้นแรงดัน LTP หาได้เช่นเดียวกันแต่มีเครื่องหมายตรงกันข้ามกัน

$$LTP = \frac{(-V_0) \times R_1}{R_2} \qquad (2.29)$$

การออกแบบวงจรโดยขั้นแรกเลือก I_2 ให้มีค่ามากกว่า $I_{B(max)}$ มาก ๆ

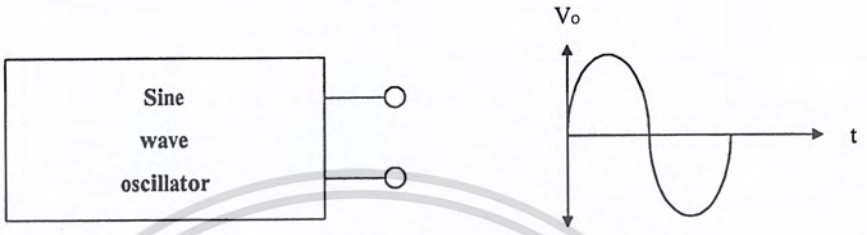
นั่นคือ $$R_1 = \frac{\text{แรงดันทริกเกอร์}}{I_2} \qquad (2.30)$$

และ $$R_2 = \frac{|V_0|}{I_2} \qquad (2.31)$$

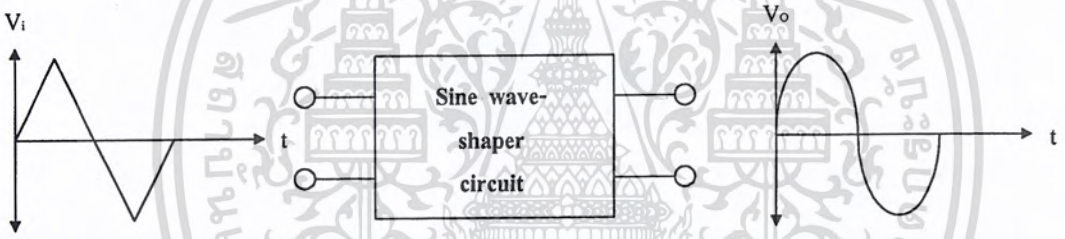
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 วงจรไซน์เวฟเชพเพอร์

ถึงแม้ว่าสัญญาณรูปคลื่นไซน์จะเป็นเรื่องสามัญธรรมดา แต่การออกแบบโดยใช้อุปกรณ์อิเล็กทรอนิกส์นั้นก็ยังเป็นเรื่องที่ยากมาก โดยปกติหลักการออกแบบโดยใหญ่ ๆ มี 2 วิธี คือแบบออสซิลเลต (oscillate) กับแบบเปลี่ยนสัญญาณจากรูปคลื่นสามเหลี่ยมมาเป็นรูปคลื่นไซน์ ดังแสดงในรูปที่ 2.20



(ก) สัญญาณรูปคลื่นไซน์ที่ได้จากการออสซิลเลต



(ข) สัญญาณรูปคลื่นไซน์ที่ได้จากการเปลี่ยนสัญญาณรูปคลื่นสามเหลี่ยม

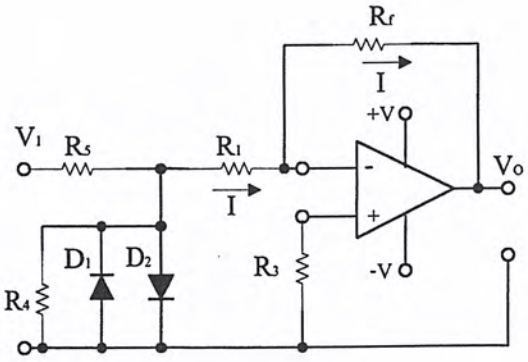
รูปที่ 2.20 แสดงการจำแนกวงจรกำเนิดสัญญาณรูปคลื่นไซน์

แต่ทุกวันนี้วงจรที่นิยมใช้กันที่สุดคือวงจรที่ได้มาจากการเปลี่ยนสัญญาณรูปคลื่นสามเหลี่ยมมาเป็นรูปคลื่นไซน์ ทั้งนี้เป็นเพราะว่าวงจรนี้นอกจากจะได้สัญญาณรูปคลื่นไซน์ไปใช้งานแล้ว ยังประกอบด้วยวงจรกำเนิดสัญญาณรูปคลื่นสามเหลี่ยมอีกด้วย

การทำงาน

วงจรกำเนิดสัญญาณรูปคลื่นไซน์จะได้ตามรูปที่ 2.21 ซึ่งจะเห็นว่าออปแอมป์ที่ถูกนำไปใช้งาน ได้ต่อเป็นวงจรขยายแบบอินเวอร์ติ้งที่อัตราขยายเมื่อมีการป้อนกลับแบบบลบ กับแอมพลิจูดของสัญญาณเอาต์พุตที่ยอดของสัญญาณถูกขริบออก ทั้งนี้เพื่อจะทำให้เกิดรูปไซน์ตามต้องการ โดยวงจรการป้อนกลับเป็นตัวความต้านทาน R_f ที่มีค่ามากกว่าตัวความต้านทานอินพุต R_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



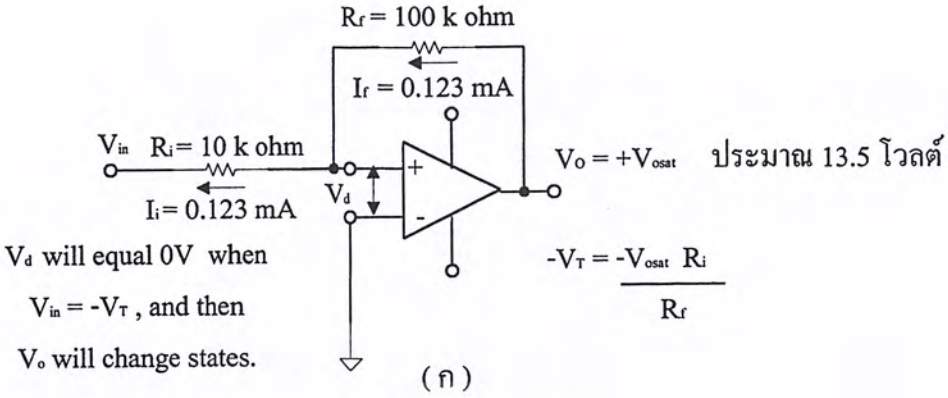
รูปที่ 2.21 วงจรไซน์เวฟเชพเพอร์

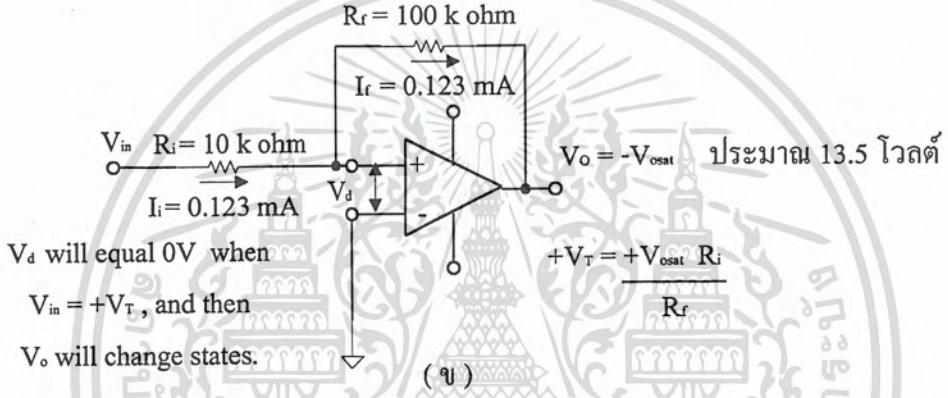
ไดโอด 2 ตัว วางขนานกันในทิศทางสวนทางกัน D_1 และ D_2 ทำหน้าที่เป็นวงจรขริบสัญญาณ ค่ากระแสและแรงดันไฟฟ้าจะไม่เป็นเชิงเส้นคือ เมื่อป้อนสัญญาณคลื่นสามเหลี่ยมเข้าไปในวงจรจะทำให้มีแรงดันตกคร่อมความต้านทาน R_4 แรงดันที่ตกคร่อมจะมีค่าสูงประมาณแรงดันไบแอสไปหน้า (forward bias) ของไดโอด ขณะที่สัญญาณคลื่นสามเหลี่ยมที่ป้อนเข้าในวงจรมีค่าแอมพลิจูดสูงสุด จะทำให้มีแรงดันตกคร่อมความต้านทาน R_4 มีค่าไม่เพิ่มขึ้นตามเป็นเชิงเส้น ทำให้เสมือนว่าสัญญาณที่ป้อนเข้าความต้านทานอินพุต R_1 เป็นรูปสัญญาณสามเหลี่ยมที่ถูกขริบสัญญาณจนมีรูปร่างคล้ายสัญญาณไซน์ และเมื่อสัญญาณนี้ผ่านวงจรขยายแบบอินเวอร์ติ้ง จะทำให้ได้สัญญาณเอาต์พุตที่มีแอมพลิจูดเพิ่มขึ้นตามอัตราการขยาย และมีลักษณะเป็นสัญญาณไซน์โดยประมาณกลับเฟสกับสัญญาณอินพุต

2.9 การกำเนิดสัญญาณ

นอกจากการสร้างคลื่นสามเหลี่ยมด้วยวิธีข้างต้นแล้ว ยังสามารถสร้างคลื่นสามเหลี่ยมได้จากการรวมวงจรอินทิเกรเตอร์กับวงจรชมิตทริกเกอร์ ในการทำความเข้าใจหลักการทำงานของวงจรชนิดนี้ จำเป็นต้องศึกษาการทำงานของออปแอมป์ที่มีการป้อนกลับแบบบวกดังรูปที่ 2.22 เสียก่อน สังเกตข้อแตกต่างระหว่างการป้อนกลับชนิดนี้กับ การป้อนกลับแบบลบที่ได้ศึกษามาแล้ว พบว่าสัญญาณอินพุตของวงจรนี้ถูกป้อนเข้าที่ขั้วอินพุตบวก ทำให้เอาต์พุตที่ได้มีเฟสตรงกันอินพุต ดังนั้นเมื่อป้อนสัญญาณจากเอาต์พุตกลับมายังอินพุต แรงดันรวมก็สูงขึ้นเรื่อย ๆ จนกระทั่งถึงแรงดันอิ่มตัว $+V_{osat}$ และ $-V_{osat}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่ 2.22 การทำงานของออปแอมป์ที่มีการป้อนกลับแบบบวก

จากคุณสมบัติของวงจรชนิดป้อนกลับแบบบวกที่ได้กล่าวมา เมื่อเริ่มจ่ายไฟเลี้ยงให้กับออปแอมป์ แรงดันค่าน้อย ๆ ระหว่างขั้วอินพุต (V_d) หรือแรงดันออฟเซตจะเป็นผลให้เอาต์พุตอิ่มตัวทันที จากรูปที่ 2.22 (ก) V_{out} มีค่าเท่ากับ + V_{osat} และจะอยู่ในสถานะนั้น จนกระทั่งแรงดันที่อินพุตมีค่าลงถึงแรงดันค่าหนึ่ง (เรียกว่าแรงดันขีดเริ่มเปลี่ยน V_T) ซึ่งจะทำให้แรงดันที่ปรากฏ ณ ขั้วอินพุตบวกมีค่าเป็นลบเทียบกับแรงดันที่ขั้วอินพุตลบซึ่งต่อกับกราวด์เป็นผลให้ V_{out} เปลี่ยนสถานะเป็น - V_{osat} (คุณสมบัติของชมิตทริกเกอร์) และในการเปลี่ยนสถานะของเอาต์พุตให้กลับมาเป็น + V_{osat} อีกครั้ง แรงดัน V_{in} จะต้องเพิ่มค่าเป็น + V_T เสียก่อน ซึ่งทำให้แรงดันที่ขั้วบวกมีค่าสูงกว่ากราวด์

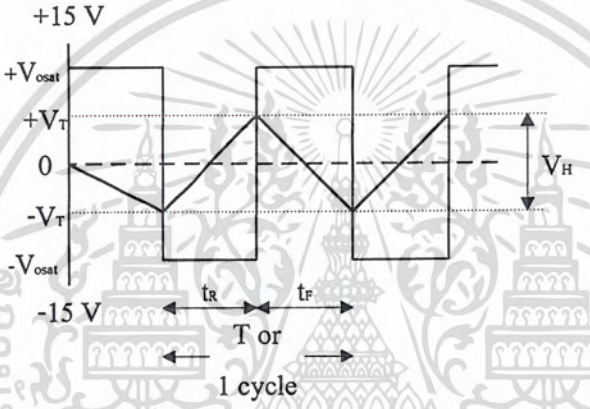
จากรูปที่ 2.23 โดยให้พิจารณากระแสผ่านตัวต้านทานต่าง ๆ สมมติให้ V_{in}ในขณะเริ่มต้นมีค่าเป็นศูนย์ และ V_{out} มีค่าเป็น +13.5 โวลต์ (V_{out} ยังอิ่มตัวได้ทั้ง ๆ ที่ V_{in} เป็นศูนย์ เพราะว่ามีกระแสออฟเซตไหลผ่าน R_i ทำให้เกิด V_d ขึ้น) เราสามารถคำนวณกระแส I_i (ซึ่งมีค่าเท่ากับ I_f) ได้จากกฎของโอห์ม นั่นคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_i = I_f = \frac{V_{out}}{R_i + R_f}$$

$$= \frac{13.5\ V}{10\ k\Omega + 100\ k\Omega} = 0.123 \text{ มิลลิแอมป์}$$

เป็นผลให้ $V_d = R_i \times I_i = 10\ k\Omega \times 0.123\ mA = +1.23$ โวลต์ (เมื่อ V_{in} เท่ากับ 0 โวลต์) เมื่อค่อย ๆ ปรับ V_{in} ให้มีค่าต่ำลง V_d จะมีค่าลดลงเช่นกัน จนในที่สุดเมื่อถึงแรงดัน $-V_T$ (แรงดันขีดเริ่มเปลี่ยน) ซึ่งทำให้ V_d เท่ากับ 0, V_{out} เปลี่ยนสถานะไปเป็น $-V_{osat}$ และเมื่อ V_{out} มีค่าเป็น $-V_{osat}$ V_d จะมีขนาดเท่ากับ –1.23 โวลต์ ดังนั้นจึงต้องเพิ่มค่า V_{in} ขึ้นเพื่อทำให้ V_d กลับเป็นศูนย์ดังเดิมซึ่งเมื่อนั้น $V_{in} = +V_T$

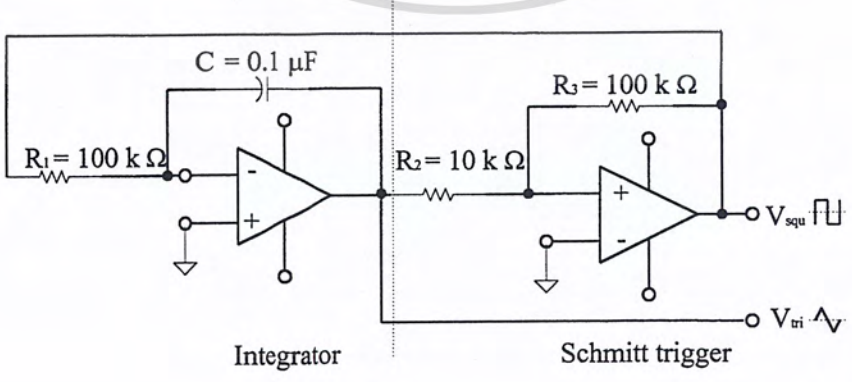


รูปที่ 2.23 รูปสัญญาณอินพุตและสัญญาณเอาต์พุตของวงจรกำเนิดสัญญาณ

เราสามารถคำนวณหา $+V_T$ และ $-V_T$ จากสมการ

$$+V_T = \frac{+V_{osat} R_i}{R_f}$$

$$-V_T = \frac{-V_{osat} R_i}{R_f}$$



รูปที่ 2.24 การรวมวงจรอินทิเกรเตอร์กับวงจรชมิตทริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.24 โดยการนำเอาต์พุตจากอินทิเกรเตอร์มาต่อเป็นอินพุตให้แก่ชมิตทริกเกอร์ แล้วป้อนเอาต์พุตจากชมิตทริกเกอร์กลับไปยังอินพุตของอินทิเกรเตอร์อีกที จะเห็นว่าเมื่อใดที่คลื่นสามเหลี่ยมมีขนาดเท่า $+V_T$ และ $-V_T$ สัญญาณเอาต์พุตของชมิตทริกเกอร์จะเปลี่ยนสถานะทันที ทำให้เกิดการออสซิลเลตตลอดเวลา

ความถี่ของสัญญาณเอาต์พุตสามารถหาได้จากค่า t_R (เวลาในการขึ้น) และ t_F (เวลาในการลง) ของรูปคลื่นสามเหลี่ยม ซึ่งมีค่าดังนี้

$$t_R = \frac{V_H}{-V_{osat}} (R_1 C) \quad (2.32)$$

$$t_F = \frac{V_H}{+V_{osat}} (R_1 C) \quad (2.33)$$

โดยที่ V_H คือ แรงดันฮีสเตอริซีส และมีค่าเท่ากับ

$$V_H = +V_T - (-V_T) = 2V_T \quad (2.34)$$

ดังนั้น คาบ (T) ของสัญญาณ เท่ากับ

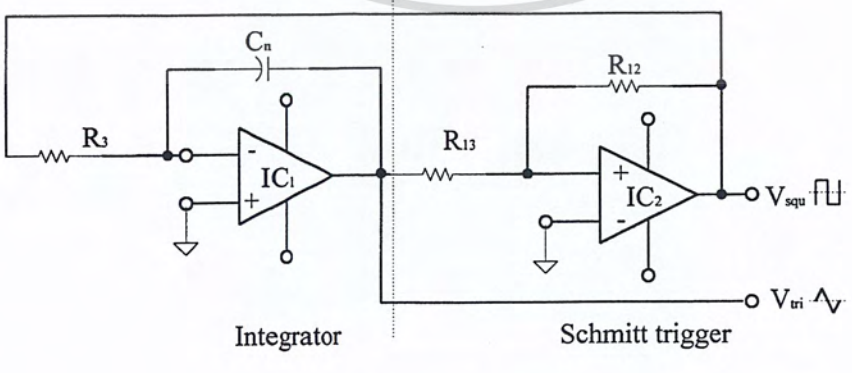
$$T = t_R + t_F \quad (2.35)$$

และความถี่เอาต์พุต f_{out} มีค่า

$$f_{out} = \frac{1}{T} \quad (2.36)$$

2.10 การออกแบบวงจร

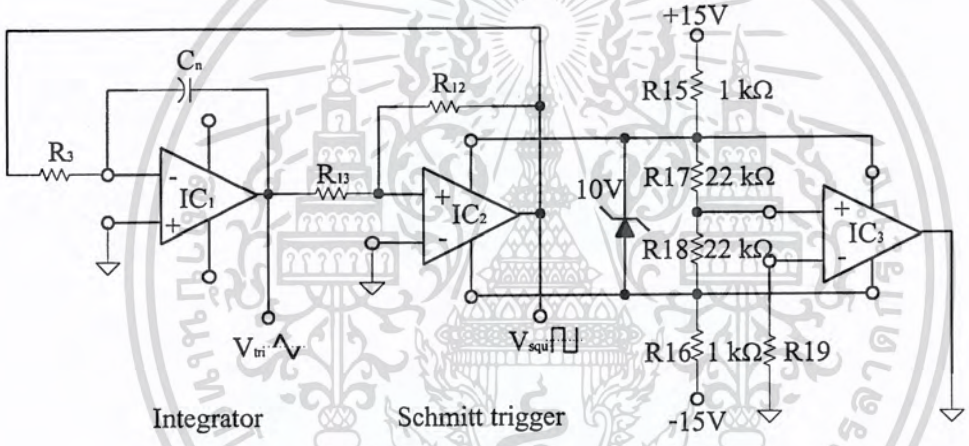
2.10.1 การกำเนิดสัญญาณคลื่นสามเหลี่ยมและสัญญาณคลื่นสี่เหลี่ยม



รูปที่ 2.25 วงจรกำเนิดสัญญาณพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาจากวงจรกำเนิดสัญญาณพื้นฐานดังรูปที่ 2.25 จะเห็นว่าวงจรกำเนิดสัญญาณพื้นฐานประกอบด้วยวงจรอินทิเกรเตอร์และวงจรชมิตทริกเกอร์ วงจรอินทิเกรเตอร์จะป้อนสัญญาณที่ออกมาจากตัวให้วงจรชมิตทริกเกอร์ และวงจรชมิตทริกเกอร์จะป้อนสัญญาณที่ออกมาจากตัวมันกลับไปเข้าวงจรอินทิเกรเตอร์ ถ้าหากเรากำหนดแหล่งจ่ายให้กับ IC_2 เท่ากับ ±15 โวลต์ ซึ่งเป็นค่าสูงสุดที่ IC ทั้งสองทำงานได้ ค่าแรงดันนี้จะปรากฏที่ขาเอาต์พุตของ IC_2 = ±15 โวลต์ และคงไม่เหมาะสมที่จะให้แรงดันค่ามาก ๆ นี้กับตัวความต้านทาน R_3 ที่ขาอินเวอร์ติ้งอินพุต IC_1 เพราะเป็นแรงดันที่สูงเท่ากับแรงดันจ่ายเลี้ยง IC ดังนั้นเราควรจัดขนาดของสัญญาณขาเข้าและสัญญาณขาออกตรงจุดนี้ให้มีขนาดไม่มากและไม่น้อยเกินไป เพื่อความสะดวกในการควบคุมรูปร่างของสัญญาณที่ได้ให้เป็นไปตามที่ต้องการ โดยการจัดแรงดันให้กับ IC_2 มีค่าเท่ากับ ±5 โวลต์ โดยมีการควบคุมระดับของแรงดันไฟบวกและลบนี้ให้คงที่ด้วยวงจรรักษาเสถียรภาพระดับแรงดันดังรูปที่ 2.26



รูปที่ 2.26 วงจรรักษาเสถียรภาพระดับแรงดันที่ป้อนจ่ายให้กับ IC

ผลที่ได้จากวงจรรักษาเสถียรภาพระดับแรงดันที่ป้อนจ่ายให้กับ IC ดังรูปที่ 2.26 จะให้ค่าแรงดันที่มีทั้งด้านบวกและด้านลบเท่ากันตลอด ซึ่งจะมีค่าเท่ากับ +5 โวลต์ และ –5 โวลต์ และระดับแรงดันที่จุดนี้จะเป็นระดับแรงดันที่ขาเอาต์พุตของ IC_2 ด้วย

แรงดันที่ขาเอาต์พุตของ IC_2 จะถูกป้อนไปให้วงจรอินทิเกรเตอร์ ซึ่งมีรูปร่างเป็นสัญญาณคลื่นสี่เหลี่ยมตามคุณสมบัติของวงจรชมิตทริกเกอร์ และมีขนาดเท่ากับ ±5 โวลต์ เพื่อให้วงจรอินทิเกรเตอร์นำไปกำเนิดสัญญาณคลื่นสามเหลี่ยม ตามทฤษฎีของวงจรอินทิเกรเตอร์ที่มีขนาด ±5 โวลต์ เพื่อป้อนให้กับวงจรชมิตทริกเกอร์อีกเป็นวัฏจักรอย่างนี้ต่อไป

สัญญาณคลื่นสามเหลี่ยมและคลื่นสี่เหลี่ยมจะถูกนำไปขยายขนาดของสัญญาณให้อยู่ระหว่าง 0 ถึง ±12 โวลต์ ต่อไป ดังนั้นเราจะต้องใช้ออปแอมป์ในการกำเนิดสัญญาณอย่างน้อย 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัว ซึ่งตรงกับคุณสมบัติ IC ออปแอมป์เบอร์ TL074 ที่ภายในบรรจุออปแอมป์ไว้ 4 ตัว และมีปริมาณสัญญาณรบกวนที่ต่ำมากเพราะเป็น IC ที่มีส่วนประกอบของเฟต (FET) อีกทั้งราคายังถูกกว่าที่จะซื้อออปแอมป์มาใช้แยกกัน 4 ตัวเสียอีก

ดังนั้นจะใช้ IC_1 TL074 ซึ่งบรรจุออปแอมป์ไว้ 4 ตัว ใช้ออปแอมป์ที่เหลือคือ IC_{1d} นี้เป็นตัวขยายแอมพลิจูดให้กับสัญญาณที่ต้องการนำไปใช้ เพราะเหตุนี้เราจึงไม่สามารถนำแรงดันที่จ่ายให้ IC_2 มาใช้จ่ายให้กับ IC_1 ได้ ซึ่งมีขนาดเพียง ±5 โวลต์ แต่ต้องการให้ IC_{1d} ทำหน้าที่ขยายแอมพลิจูดของสัญญาณคลื่นสามเหลี่ยม คลื่นสี่เหลี่ยม และคลื่นไซน์ที่ยังไม่ได้กล่าวถึงก่อนนำไปใช้งาน เพราะฉะนั้นแรงดันที่จ่ายให้กับ IC_1 TL074 จึงมีค่าเท่ากับ ±15 โวลต์ ก็เพื่อให้ IC_{1d} สามารถทำการขยายแอมพลิจูดให้กับสัญญาณที่จะนำไปใช้ได้ถึง ±12 โวลต์

และ IC_2 เราก็จะเลือก IC ชนิดที่มีส่วนประกอบของเฟตด้วยเช่นกัน เพราะจะลดปัญหาเรื่องสัญญาณรบกวนเช่นกัน ในโครงงานนี้จึงเลือกใช้ IC เบอร์ CA3130 ซึ่งเป็น IC ที่บรรจุออปแอมป์ไว้เพียงเดียว

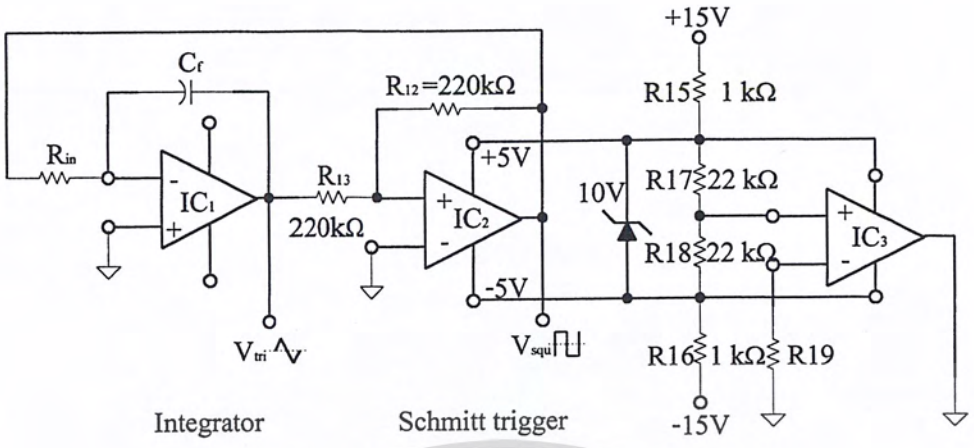
ส่วน IC_3 นั้นจะเลือกใช้ IC ออปแอมป์เบอร์ LM741 เพราะ IC ตัวนี้ไม่บทบาทในการสร้างความถี่

ตัวความต้านทานและตัวเก็บประจุเราเลือกใช้ชนิดที่มีความผิดผลาดต่ำ เช่น ค่า R มีความผิดผลาด 1 %, 5% , ส่วนค่า C มีความผิดผลาด 5 % เป็นต้น

2.10.1.1 การเลือกใช้ค่าความต้านทานและค่าตัวเก็บประจุ

ในการผลิตความถี่ของโครงงานนี้ใช้ IC_1 และ IC_2 เป็นส่วนประกอบในวงจรกำเนิดสัญญาณ โดย IC_2 เป็นส่วนประกอบวงจรชมิตทริกเกอร์ มีการป้อนกลับแบบบวก ดังนั้นเกณฑ์การขยายของวงจรนี้จึงไม่จำเป็นที่จะมีค่ามากกว่า 1 เนื่องจากสัญญาณที่ได้จาก IC_1 เรากำหนดไว้ที่ ±5 โวลต์ ซึ่งเท่ากับแรงดันที่เอาต์พุตของ IC_2 เราจึงจัดเกณฑ์การขยายให้กับ IC_2 เท่ากับ 1 ส่วนค่า R_{13} ก็เลือกได้จากการกำหนดกระแสไหลเข้า IC_2 ให้มีค่ามากกว่าที่กำหนดไว้มาก ๆ ซึ่งใน DATA SHEET ระบุไว้ 50 พิโคแอมป์ นั่นคือกระแสที่ต้องการให้ไหลเข้าที่ขานอนอินเวอร์ติ้งของออปแอมป์ ดังนั้นกระแสที่ไหลผ่าน R_{13} ควรมีเป็น ไมโครแอมป์ เพื่อให้แน่ใจว่าออปแอมป์สามารถทำงานได้ ในที่นี้จะให้ค่า R_{13} เท่ากับ 220 กิโลโอห์ม และอัตราการขยายเรากำหนดไว้ที่ 1 เราจึงต้องให้ R_{12} มีค่าเท่ากับ 220 กิโลโอห์มด้วยดังรูปที่ 2.27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.27 อัตราการขยายของวงจรชมิตทริกเกอร์เท่ากับ 1

การออกแบบ R_{in} กับ C_f โดยการยกสมการที่ 2.32 , 2.33 ที่ได้กล่าวมาแล้ว

จากสูตร $$t_R = \frac{V_H}{-V_{osat}} (R_{in} C_f)$$

$$t_F = \frac{V_H}{+V_{osat}} (R_{in} C_f)$$

ซึ่งเราต้องการให้ $t_R = t_F$

ดังนั้น $$T = 2t_R = \frac{2V_H}{V_{osat}} (R_{in} C_f)$$

และเราต้องการให้แอมพลิจูดสัญญาณคลื่นสามเหลี่ยมมีค่าเท่ากับแอมพลิจูดสัญญาณคลื่นสี่เหลี่ยม

จะได้ $$V_H = 2 V_{osat}$$

ดังนั้น $$T = \frac{2(2V_{osat})}{V_{osat}} (R_{in} C_f)$$

$$= 4 (R_{in} C_f)$$

เมื่อเราทราบค่าสมการของ T เราก็สามารถหาสมการของ f ได้เช่นกัน

จะได้สมการของความถี่เท่ากับ

$$f = \frac{1}{4 (R_{in} C_f)} \qquad (2.37)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราจะใช้สมการนี้ออกแบบหาค่า R_{in} และ C_f ที่ใช้ในวงจรอินทิเกรเตอร์นี้ โดยเรากำหนดค่า C_f ขึ้นก่อนโดยเลือกจากค่า C ที่มีขายในท้องตลาด ซึ่งสาเหตุที่เลือกกำหนดค่า C_f ก่อนเพราะค่า C ที่มีขายอยู่มีอยู่ไม่กี่ค่า แต่ค่า R นั้นมีอยู่หลายค่าให้เลือกใช้จึงไม่เหมาะกับการสุ่มหาค่าที่เหมาะสม

เราเลือกค่า C มา 4 ค่าคือ 0.1 ไมโครฟารัด, 0.22 ไมโครฟารัด, 0.27 ไมโครฟารัด, 0.33 ไมโครฟารัด และ 0.47 ไมโครฟารัด มาใช้ในสูตร 2.37 โดยเริ่มจาก C = 0.1 ไมโครฟารัด ก่อนจากความต้องการที่จะสร้างสัญญาณที่มีความถี่ตั้งแต่ 20 - 200 เฮิรตซ์, 200 – 2,000 เฮิรตซ์, 2,000 – 20,000 เฮิรตซ์ จะสังเกตุได้ว่าค่าความถี่ที่ต้องการจะมีค่าเพิ่มขึ้นย่านละ 10 เท่า ดังนั้นที่ C ค่าหนึ่ง ๆ เราจะทำการลดค่าของมันลงทีละ 10 เท่าด้วยกัน จึงจะได้ค่า R ที่คงที่ดังตัวอย่างต่อไปนี้

ที่ f = 20 Hz นำไปแทนค่าในสมการ 2.37 เพื่อหาค่า R_{in}

$$R_{in} = \frac{1}{4 \times 20\ \text{Hz} \times 0.1\ \mu\text{F}} = 125\ \text{k}\Omega$$

ที่ f = 200 Hz นำไปแทนค่าในสมการ 2.37 เพื่อหาค่า R_{in}

$$R_{in} = \frac{1}{4 \times 200\ \text{Hz} \times 0.01\ \mu\text{F}} = 125\ \text{k}\Omega$$

ที่ f = 2,000 Hz นำไปแทนค่าในสมการ 2.37 เพื่อหาค่า R_{in}

$$R_{in} = \frac{1}{4 \times 2{,}000\ \text{Hz} \times 0.001\ \mu\text{F}} = 125\ \text{k}\Omega$$

ที่ f = 20,000 Hz นำไปแทนค่าในสมการ 2.37 เพื่อหาค่า R_{in}

$$R_{in} = \frac{1}{4 \times 20{,}000\ \text{Hz} \times 100\ \text{pF}} = 125\ \text{k}\Omega$$ เช่นกัน

เราจะทำการทดลองนำค่า R ที่มีขายในท้องตลาด เช่น R = 120 kΩ มาทดลองพบว่า จะได้ค่า 2 Hz ที่ C = 0.1 μF และ 16 Hz ที่ C = 100 pF

จากขอบเขตของโครงงานที่กำหนดไว้ว่า ต้องการที่จะปรับค่าความละเอียดให้ได้มากขึ้น โดยปรับตั้งแต่ 2 – 20 เฮิรตซ์ ที่ย่าน 20 เฮิรตซ์, 20 – 200 เฮิรตซ์ ที่ย่าน 200 เฮิรตซ์, 200 – 2,000 เฮิรตซ์ ที่ย่าน 2,000 เฮิรตซ์ และ 2,000 – 20,000 เฮิรตซ์ ที่ย่าน 20,000 เฮิรตซ์

ดังนั้นเราจะต้องใช้ R_{in} ที่มีการเปลี่ยนค่าได้ตั้งแต่ 0 ถึง 125 กิโลโอห์ม โดยอาจจะเลือกค่าที่ใกล้เคียงแต่ต้องสูงกว่า ซึ่งเป็นการหาค่าความต้านทานปรับค่าได้ที่มีค่า 125 กิโลโอห์ม (potentiometer) หรือ สูงกว่านี้เพียงเล็กน้อยก็หาไม่มี จึงต้องทำการทดลองหาค่า C อื่น ๆ ต่อไป ทำการทดลองที่ C = 0.22 μF ที่ f = 20 Hz

$$R_{in} = \frac{1}{4 \times 20\ \text{Hz} \times 0.22\ \mu\text{F}} = 56\ \text{k}\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ค่าโพเทนชิออมิเตอร์ที่มีค่าใกล้เคียง 56 kΩ คือ 50 kΩ ซึ่งมีค่าน้อยกว่าจึงใช้ไม่ได้

ทำการทดลองที่ C = 0.27 μF ที่ f = 20 Hz

$$R_{in} = \frac{1}{4 \times 20\ Hz \times 0.27\ \mu F} = 46\ k\Omega$$

แต่ค่าโพเทนชิออมิเตอร์ที่มีขายคือ 50 kΩ และมีค่าสูงกว่าเล็กน้อยจึงเหมาะสมที่จะใช้ค่าโพเทนชิออมิเตอร์ที่มีค่า 50 kΩ

ทำการทดลองที่ C = 0.33 μF ที่ f = 20 Hz

$$R_{in} = \frac{1}{4 \times 20\ Hz \times 0.33\ \mu F} = 37\ k\Omega$$

ซื้อหาค่าโพเทนชิออมิเตอร์ที่ใกล้เคียง 37 KΩ ไม่ได้

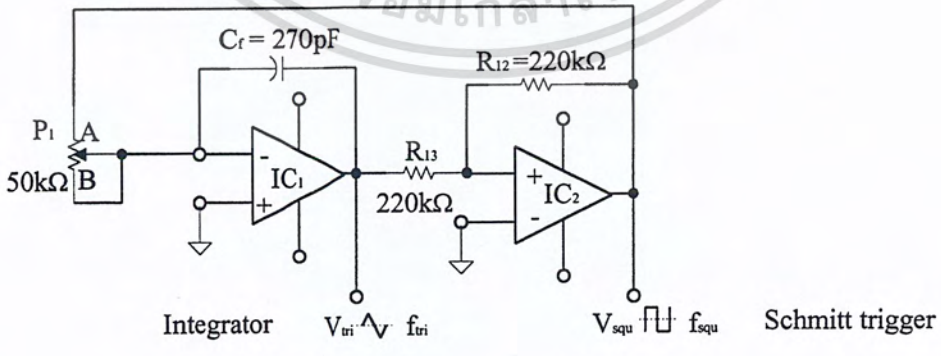
ทำการทดลองที่ C = 0.47 μF ที่ f = 20 Hz

$$R_{in} = \frac{1}{4 \times 20\ Hz \times 0.47\ \mu F} = 26\ k\Omega$$

ซื้อหาค่าโพเทนชิออมิเตอร์ที่ใกล้เคียง 25 kΩ แต่ค่าน้อยกว่าจึงใช้ไม่ได้

สรุปเลือกค่า C ที่เหมาะสมคือ 0.27 μF, 0.027 μF, 0.0027 μF, และ 270 pF เพื่อผลิตความถี่ 20 Hz, 200 Hz, 2 kHz และ 20 kHz ตามลำดับ

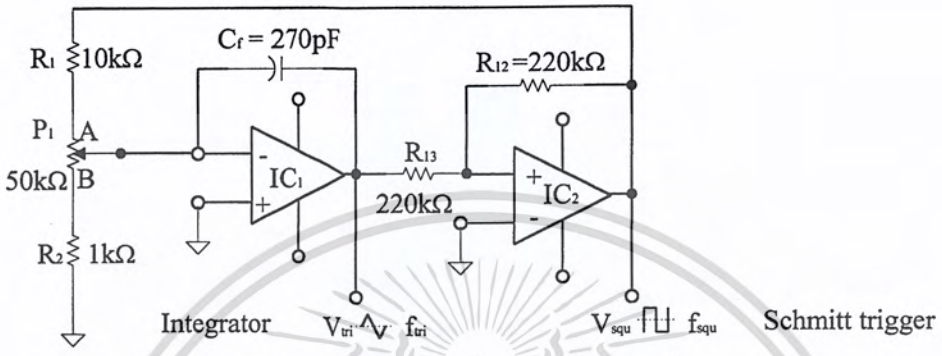
ทดลองต่อวงจรดังรูป



รูปที่ 2.28 การกำหนดค่า R_{in} และค่า C_f ในวงจรอินทิเกรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

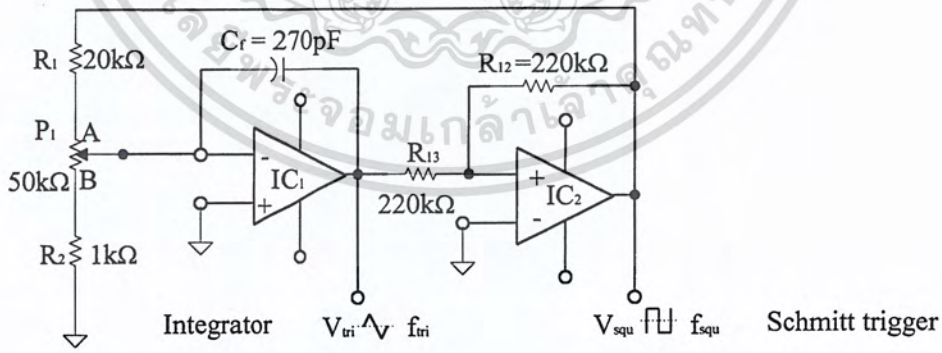
ปรากฏว่าเมื่อปรับค่าโพเทนชิออมิเตอร์ P_1 มาที่ตำแหน่ง B จะได้ความถี่ f_{tri} เป็นรูปสามเหลี่ยมมีค่าเท่ากับ 20 kHz แต่เมื่อปรับค่าโพเทนชิออมิเตอร์ P_1 ไปที่ตำแหน่ง A จะทำให้ความถี่สูงกว่า 20 kHz มาก จนรูปสัญญาณบิดเบือนไปในที่สุด จึงทำการทดลองหาค่าความต้านทานมาต่ออนุกรมกับค่าโพเทนชิออมิเตอร์ P_1 เพื่อแก้ปัญหาในขณะปรับไปที่ตำแหน่ง A แล้วทำให้ความถี่สูงขึ้น โดยต่อวงจรดังรูปที่ 2.29



รูปที่ 2.29 การเพิ่มค่า R_{in} ในวงจรอินทิเกรเตอร์

ทำการวัดความถี่ขณะปรับค่าโพเทนชิออมิเตอร์ P_1 มาที่ตำแหน่ง A อ่านค่าความถี่ได้ 100 k Hz ซึ่งยังสูงอยู่มาก แล้วทดลองปรับค่าโพเทนชิออมิเตอร์ P_1 มาที่ตำแหน่ง B พบว่าความถี่ก็ลดลงมาที่ 5 kHz เช่นกัน

ทำการทดลองเพิ่มค่า R_1 เข้าไปอีก 10 kΩ เป็น 20 kΩ

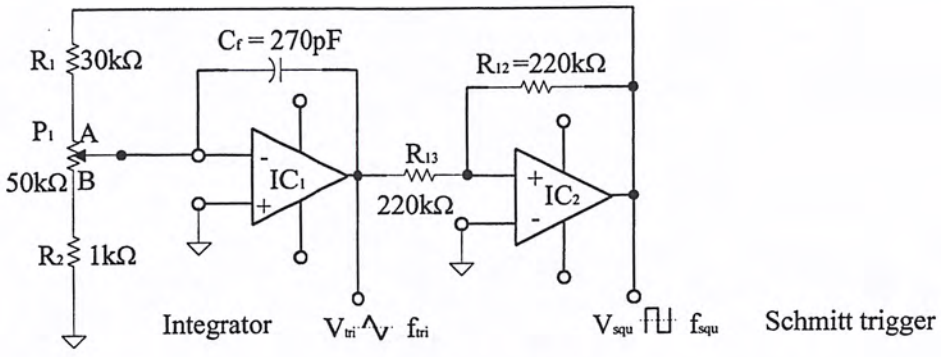


รูปที่ 2.30 การเพิ่มค่า R_1 เป็น 20 kΩ ในวงจรอินทิเกรเตอร์

ทำการวัดค่าความถี่ f_{tri} อีกขณะปรับค่าโพเทนชิออมิเตอร์ P_1 มาที่ตำแหน่ง A ได้ค่าความถี่ 50 kHz และขณะปรับค่าโพเทนชิออมิเตอร์ P_1 มาที่ตำแหน่ง B จะได้ค่าความถี่ 3 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

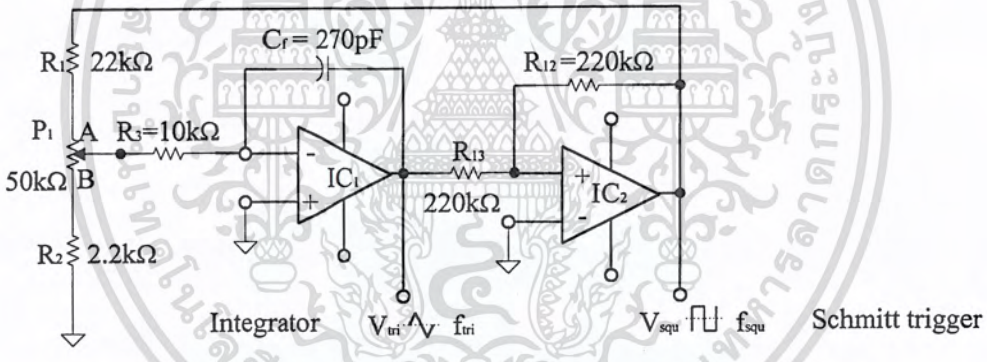
ทำการทดลองเพิ่มค่า R_1 ไปอีก 10 kΩ เป็น 30 kΩ แล้ววัดค่าความถี่



รูปที่ 2.31 การเพิ่มค่า R_1 เป็น 30 kΩ ในวงจรอินทิเกรเตอร์

ทำการวัดค่าความถี่ f_{tri} อีกขณะปรับค่าโพเทนชิออมิเตอร์ P_1 มาที่ตำแหน่ง A ได้ค่าความถี่ 30 kHz และขณะปรับค่าโพเทนชิออมิเตอร์ P_1 มาที่ตำแหน่ง B จะได้ค่าความถี่ 2.5 kHz ซึ่งเป็นผลที่ใกล้เคียงที่ตั้งไว้มากคือ 2 kHz – 20 kHz

ทำการต่อวงจรใหม่ดังรูปที่ 2.32

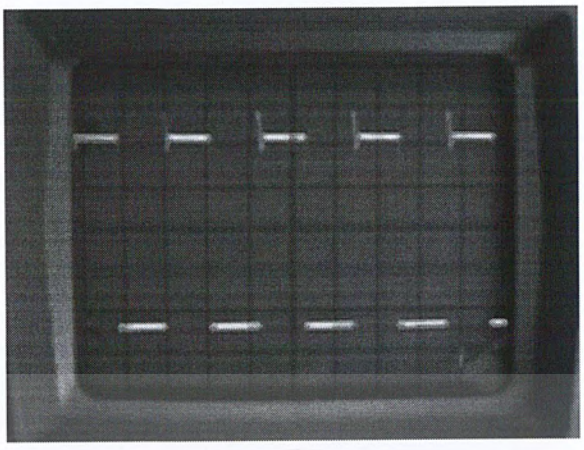


รูปที่ 2.32 การปรับแต่งค่า R ในวงจรอินทิเกรเตอร์ใหม่

โดยเลือกใช้ R_1 ที่ 22 kΩ เพราะมีอุปกรณ์อยู่แล้วและเพิ่ม R_3 เป็น 10 kΩ เมื่อปรับค่าโพเทนชิออมิเตอร์ P_1 มาที่ตำแหน่ง A พบว่าค่า R_1 และ R_3 รวมกันได้ 32 kΩ และทำการวัดค่าความถี่ f_{tri} ได้ค่า 25 kHz แล้วทำการเพิ่มค่า R_2 ให้มากกว่า 1 kΩ แต่น้อยกว่า R_1 10 เท่าจะได้ค่า 2.2 kΩ ต่อไปปรับค่าโพเทนชิออมิเตอร์ P_1 มาที่ตำแหน่ง B และทำการวัดค่าความถี่ f_{tri} ได้ค่า 1.5 kHz

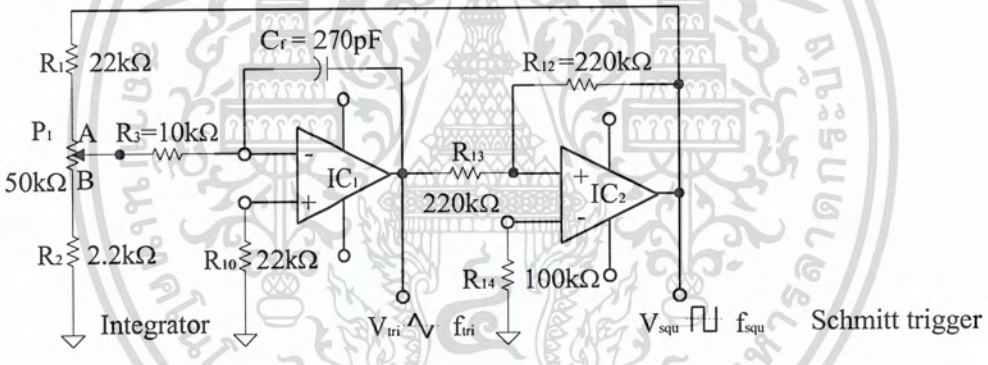
ปัญหาที่เกิดขึ้นคือ รูปร่างของสัญญาณที่ได้จากเอาต์พุตของ IC_2 (CA3130) ซึ่งเป็นสัญญาณคลื่นสี่เหลี่ยมมีค่าทรานเชียน (transient) ทางซีกบวกดังรูปที่ 2.33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.33 สัญญาณคลื่นสี่เหลี่ยมมีค่าทรานเซียนทางซีกบวก

ซึ่งทำการแก้ไขโดยเพิ่ม R_{10} และ R_{14} เข้าไป ดังรูปที่ 2.34



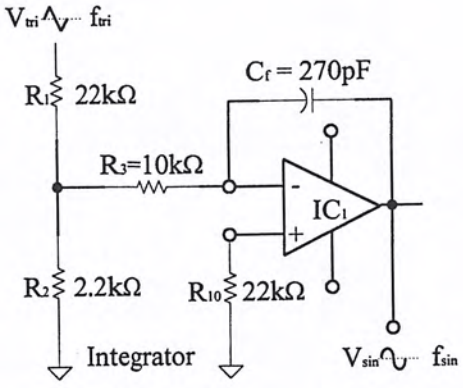
รูปที่ 2.34 การแก้ทรานเซียนโดยเพิ่ม R_{10} และ R_{14} เข้าไปในวงจร

ซึ่งมีผลให้ค่าทรานเซียนนั้นลดลงได้มาก โดยค่า R_{14} หาได้จากค่า R_{13} ขนาน R_{12} และค่า R_{10} ได้จากการทดลองสุ่มค่าความต้านทานที่มีอยู่ลงไป

2.10.2 การทดลองแปลงสัญญาณคลื่นสามเหลี่ยมเป็นสัญญาณคลื่นไซน์

โดยใช้วงจรอินทิเกรเตอร์วงจรเดิมค่าอุปกรณ์เดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.35 วงจรอินทิเกรเตอร์วงจรเดิม

ผลที่ได้ก็คือจะได้สัญญาณไซน์ออกมาตามที่ต้องการ แต่มีข้อเสียอยู่คือ เมื่อเราเพิ่มความถี่ของสัญญาณคลื่นสามเหลี่ยมให้สูงขึ้นจะทำให้แอมพลิจูดของสัญญาณไซน์นั้นลดลงอย่างมาก และในทางตรงกันข้าม เมื่อเราลดความถี่ของสัญญาณคลื่นสามเหลี่ยมให้ต่ำลงจะมีผลให้แอมพลิจูดของสัญญาณไซน์สูงขึ้นอย่างมาก

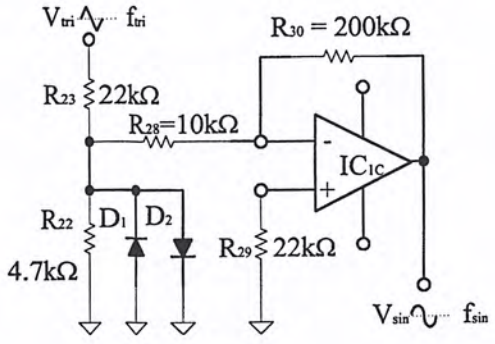
ทดลองต่อเพื่อหาวิธีแก้ไข

โดยมีแนวทางที่ว่า จะทำการสร้างวงจรแปลงสัญญาณคลื่นสามเหลี่ยมให้เป็นสัญญาณคลื่นไซน์ขึ้นมา 2 ชุด โดยชุดแรกจะเป็นวงจรที่เรียกว่าวงจรแปลงสัญญาณเบื้องต้น แล้วส่งสัญญาณที่ได้นี้ไปเข้าวงจรแปลงสัญญาณขั้นสุดท้าย เพื่อให้สัญญาณที่ผ่านวงจรแปลงสัญญาณขั้นสุดท้ายนี้มีรูปร่างที่สวยงามและมีแอมพลิจูดคงที่ในขณะที่ความถี่เปลี่ยนแปลง

2.10.2.1 ออกแบบวงจรแปลงสัญญาณไซน์

ตรงจุดนี้จะใช้วงจรอย่างง่าย ๆ คือ วงจรขยายแบบอินเวอร์ติ้งที่มีการป้อนกลับแบบลบเพื่อควบคุมอัตราการขยายให้คงที่ โดยใช้ค่า R_f เหมือนกับวงจรอินทิเกรเตอร์ที่ออกแบบมาแล้ว แต่เพียงเปลี่ยนตัวป้อนกลับที่เดิมเป็น C ให้เป็น R ที่มีค่ามาก ๆ เพราะตรงจุดที่สัญญาณเข้านั้นจะมีแอมพลิจูดต่ำมากประมาณ ±0.5 โวลต์ โดยเราจะทำให้สัญญาณตรงจุดขาเข้านี้เป็นสัญญาณที่มีรูปร่างคล้ายกับสัญญาณไซน์ที่สุดเสียก่อน โดยการใช้ไดโอดเป็นวงจรขริบ (clipper) ต่อเข้าไปดังรูปที่ 2.36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



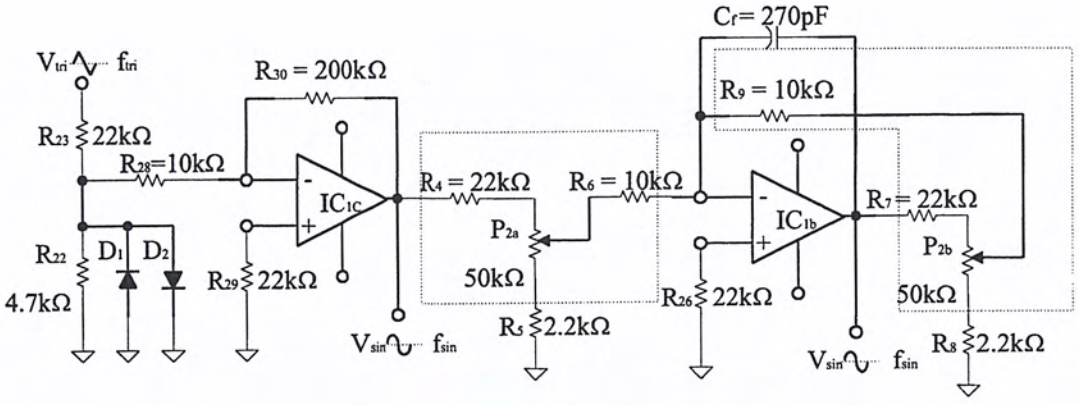
รูปที่ 2.36 วงจรแปลงสัญญาณคลื่นสามเหลี่ยมเป็นสัญญาณคลื่นไซน์ชุดแรก

จะสังเกตเห็นว่าค่าของ R_{22} ไม่ใช่ 2.2 kΩ อย่างวงจรที่ยกมาใช้ เพราะแรงดันที่ตกคร่อม R_{22} ตัวนี้จะมีเพียง ±0.5 โวลต์ (เมื่อ R_{22} เท่ากับ 2.2 kΩ) จึงได้ทดลองเพิ่มค่า R_{22} จาก 2.2 kΩ เป็น 4.7 kΩ (2 เท่าจากเดิม) ปรากฏว่าไดโอด D_1 และ D_2 สามารถนำกระแสได้ จึงทำให้สัญญาณที่ตกคร่อมไดโอดทั้ง 2 มีลักษณะใกล้เคียงสัญญาณไซน์มากที่สุด ผลดีอีกประการหนึ่งที่ได้จากไดโอด D_1 และ D_2 ก็คือจะทำให้แอมพลิจูดตรงจุดนี้คงที่ตลอดไม่ว่าความถี่สัญญาณขาเข้าจะเปลี่ยนแปลงไปก็ตาม จึงทำให้สัญญาณที่ได้จาก IC_{1C} นี้มีแอมพลิจูดคงที่ด้วย

แต่ถึงแม้แอมพลิจูดรูปไซน์ที่ได้นี้จะคงที่ทุก ๆ ความถี่ก็ตามปัญหาก็ยังไม่หมดไป เพราะแอมพลิจูดที่คงที่นี้มันคงที่อยู่ที่ ±10 โวลต์ จึงไม่เหมาะที่จะนำไปเข้าวงจรขยายแอมพลิจูดภาคสุดท้าย ดังนั้นเราจะต้องหาวงจรเพื่อลดทอนแอมพลิจูดตรงจุดนี้ให้มีขนาดเล็กลง และที่สำคัญความถี่และรูปร่างของสัญญาณจะต้องไม่เปลี่ยน

จึงมีแนวคิดหนึ่ง ซึ่งมีที่มาจากวงจรกำเนิดสัญญาณสามเหลี่ยมดังที่ได้กล่าวมาแล้วคือ ถ้าหากเราจัดวงจรตามรูปเดิม (รูปที่ 2.34) อาจจะได้รูปสัญญาณที่เหมือนเดิมเพราะมีวงจร RC ที่ปรับค่าได้ไว้คอยเป็นวงจรกำเนิดความถี่ ที่มีความถี่เท่ากับวงจรกำเนิดสัญญาณคลื่นสามเหลี่ยมได้พอดี อีกทั้งการปรับค่าโพเทนชิออมิเตอร์ P ยังมีผลให้แอมพลิจูดของสัญญาณไซน์ที่มีค่าอยู่ ±10 โวลต์ มีขนาดลดลงเท่ากับสัญญาณคลื่นสามเหลี่ยมและสัญญาณคลื่นสี่เหลี่ยมที่ได้กำเนิดมาแล้ว แต่มีการปรับปรุงโดยการต่อ R ขนานกับ C ที่ถูกเลือก โดยค่าของ R ที่ต่อขนาน C นั้นจะมีค่าเท่ากับค่า R ที่ต่อรับสัญญาณทางด้านขาเข้าของ IC_{1b} จึงมีผลทำให้อัตราการขยายมีค่าเสมือนเท่ากับ 1 ดังรูปที่ 2.37

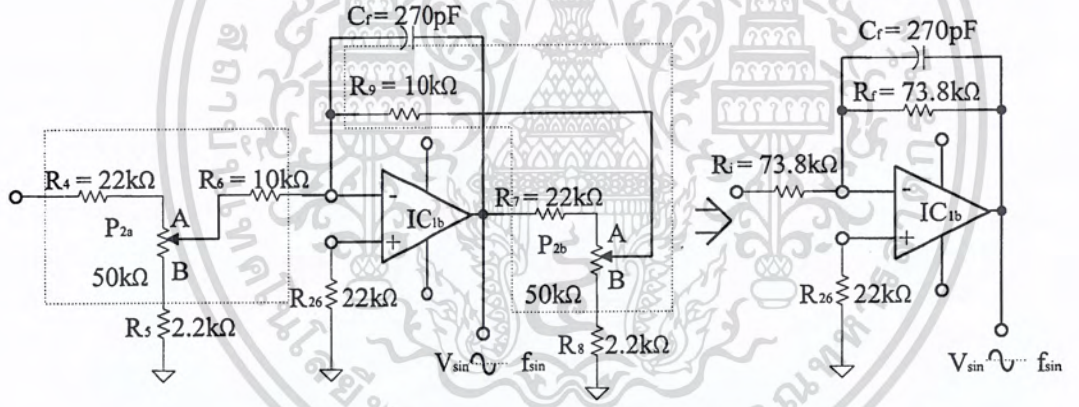
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.37 วงจรแปลงสัญญาณคลื่นสามเหลี่ยมเป็นสัญญาณคลื่นไซน์

พิจารณาวงจร IC_{1b}

ปรับค่าโพเทนชิออมิเตอร์ P_{2a} และ P_{2b} จะมีการหมุนพร้อมกัน และหยุดที่ตำแหน่งเดียวกัน จึงสามารถเขียนวงจรให้ดูง่ายดังรูปที่ 2.38



รูปที่ 2.38 การหาค่า R_i และ R_f เมื่อปรับ P_{2a} P_{2b} มาที่ตำแหน่ง B ของวงจรออปแอมป์ IC_{1b}

จากรูปที่ 2.38 จะพบว่า R_i ของออปแอมป์ IC_{1b} มีค่าเท่ากับ R_f ดังนั้นอัตราการขยายของวงจรนี้จึงมีค่าเสมือนเท่ากับ 1 และแรงดันสัญญาณคลื่นไซน์ ±10 โวลต์ ที่ผ่าน R_4 และค่าโพเทนชิออมิเตอร์ P_{2a} จะมีค่าลดลง และผ่านวงจร IC_{1b} ทำให้ความถี่และเฟสมีค่าตรงกับสัญญาณคลื่นสามเหลี่ยมดังที่กล่าวไว้แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.11 วงจรนับความถี่

วงจรนับความถี่จากรูปที่ 2.39 จะประกอบด้วย IC_4, IC_5, IC_6- IC_{17} ซึ่ง IC_4 จะเป็นตัวขยายแอมพลิจูดของสัญญาณที่ต้องการนับให้ IC_6 และ IC_6 จะเป็นวงจรนับหารความถี่หลักแรกในจำนวน 6 หลักของการนับแสดงผลความถี่ วงจรนับและหารความถี่นี้ถูกเลือกใช้ด้วย IC CD4026B โดยแต่ละตัวจะถูกกำหนดให้เป็นวงจรนับสิบหรือเรียกว่าวงจรหารสิบก็ได้ สัญญาณนาฬิกาจากเอาต์พุตของ IC_4 จะถูกป้อนเข้ามาเป็นสัญญาณนาฬิกาให้กับ IC_6 ที่ขา 1 (CLK) หรืออาจเรียกได้ว่าเป็นความถี่ทางอินพุตของวงจรนับก็ได้ การนับความถี่จะเป็นลักษณะนับและหารสิบด้วย IC_6 เป็นหลักแรก แล้วส่งผ่านสัญญาณที่ถูกหารแล้วไปยังหลักต่อไปหรือวงจรนับหลักต่อไปคือ IC_7 พร้อมกับทำการนับและหารสิบเช่นกัน และจะถูกส่งผ่านไปยังหลักต่อไปจนหลักสุดท้ายที่ IC_{11} ซึ่งการต่อกันของ IC_6-IC_{11} จะเป็นการต่อในลักษณะคาสเคดนับและหารสิบ IC_6-IC_{11} นี้สามารถที่จะให้เอาต์พุตออกมาขับชุดตัวแสดงผล 7 Segment โดยผ่านตัวความต้านทานที่ต่ออนุกรมกับชุดแสดงผล 7 Segment

เนื่องจากวงจรนับความถี่ 6 หลักจากการแสดงผลรวมกันทั้ง 6 หลักนี้เอง จึงทำให้สามารถที่จะแสดงค่าออกมาได้ทั้งหมด 6 หลักคือสูงสุด 999999 เฮิรตซ์ นั่นเอง การแสดงผลแบบนี้เป็นการแสดงผลที่มีความละเอียดที่สุด ดังนั้นจึงต้องกำหนดค่าของเวลาเกตไว้ต่ำสุดที่ 0.1 S

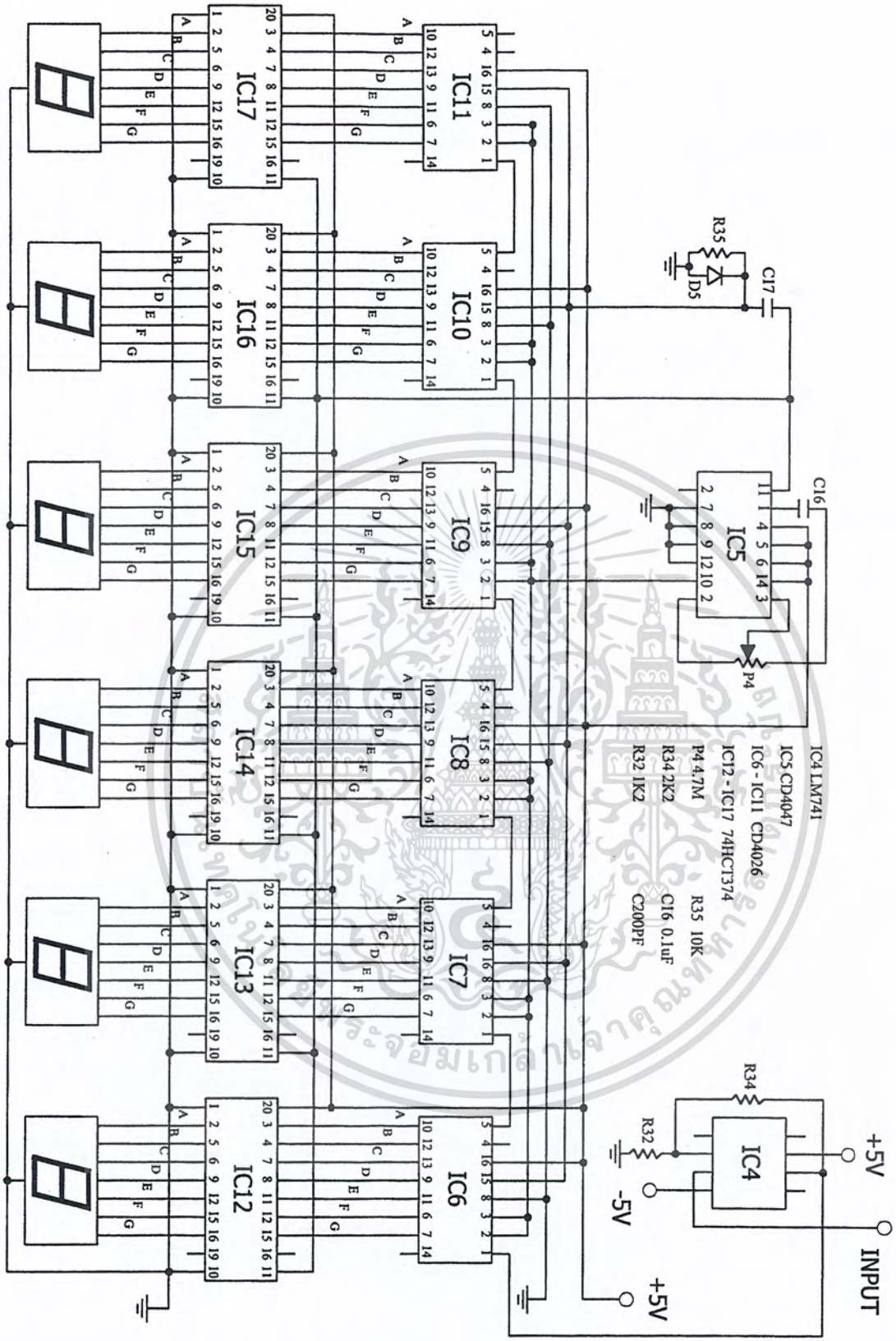
วงจรเลือกค่าเวลาเกต

ประกอบขึ้นจากวงจรเอสเตเบิลมัลติไวเบรเตอร์ (astable multivibrators) IC_5 เบอร์ 4047 เป็นวงจรหารความถี่และกำหนดค่าเวลาเกตให้กับวงจรนับความถี่ โดยค่าเวลาเกตจะถูกกำหนดด้วยค่าของ C_{16} และค่าของ C_{16} นี้จะถูกนำมาร่วมกับค่าของ P_4 ประกอบกันเป็นวงจร RC time constant

ปัญหาที่เกิดจากวงจรนี้คือ การแสดงผลที่ได้จะมีการกะพริบ (ติดและดับ) ของทุกตัวแสดงผล และจะมีเวลาในการติดและดับเท่ากับเวลาของสัญญาณเกต

วิธีการแก้ปัญหานี้คือ ให้ใช้ ดีฟลิปฟลอป (D flip-flop) IC_{12} – IC_{17} มาต่อที่ขาเอาต์พุตของ IC_6 – IC_{11} เพื่อเป็นการนำข้อมูลที่ได้จากขาเอาต์พุตของ IC_6 – IC_{11} มาเก็บเอาไว้ แล้วแสดงผลออกมาในขณะที่ IC_6 – IC_{11} เกิดการรีเซต (reset) ดังนั้นการแสดงผลจะไม่มีปัญหาเรื่องการกะพริบอีกต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.39 วงจรนับความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีการทำงานของโครงงาน

ทฤษฎีการทำงานของการกำเนิดสัญญาณในโครงงานนี้ สามารถแบ่งการทำงานออกเป็นภาคการทำงานต่าง ๆ ได้ดังนี้

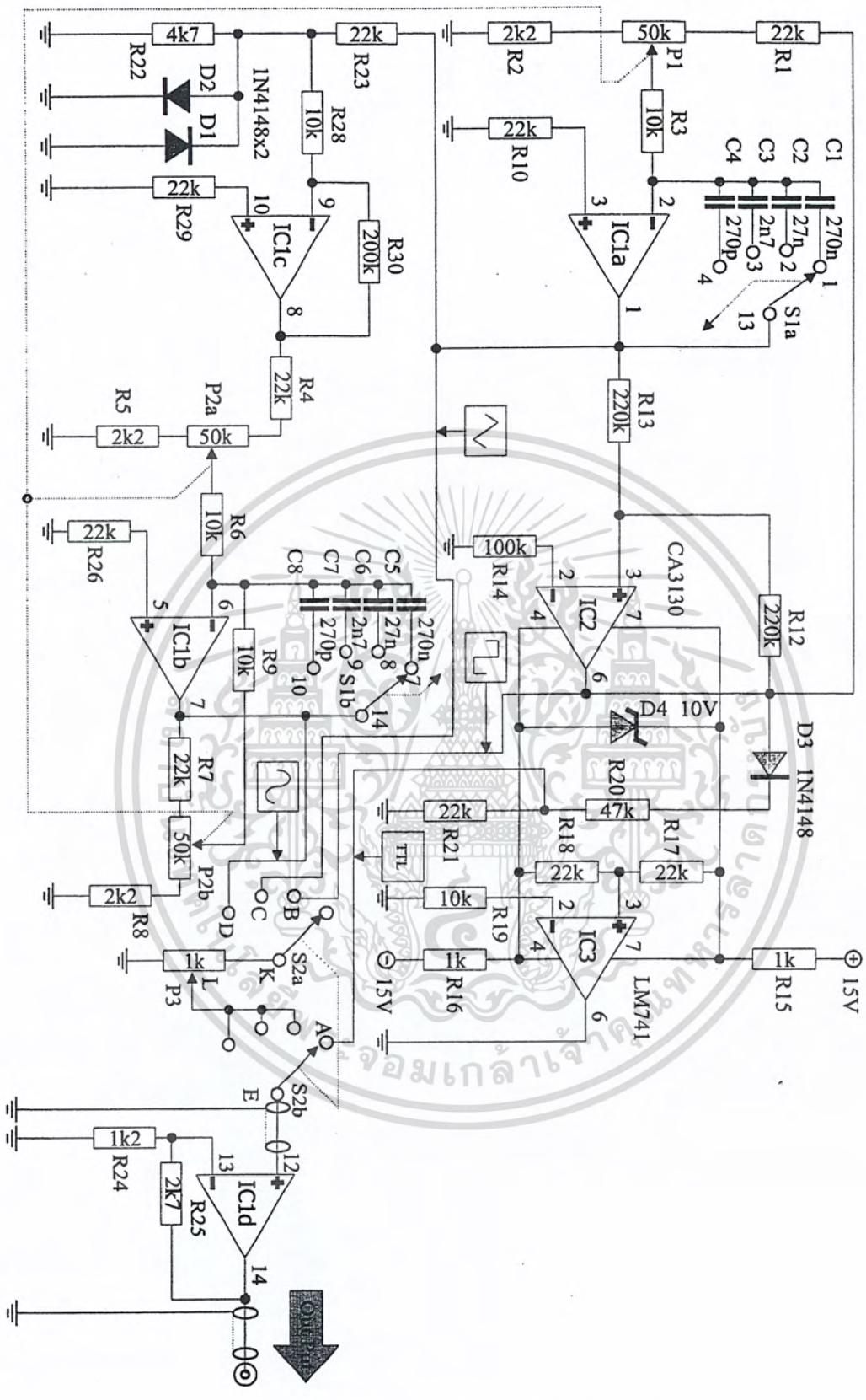
1. ภาคกำเนิดสัญญาณคลื่นสามเหลี่ยม
2. ภาคกำเนิดสัญญาณคลื่นสี่เหลี่ยม
3. ภาคกำเนิดสัญญาณคลื่นไซน์
4. ภาควงจรกำเนิดแรงดันคงที่สำหรับ IC TTL หรือ C MOS
5. ภาควงจรขยายแอมพลิจูดของสัญญาณก่อนนำไปใช้งาน
6. ภาคนับความถี่

ซึ่งหน้าที่ภาคการทำงานต่าง ๆ ของการกำเนิดสัญญาณในโครงงาน สามารถดูได้จากวงจรกำเนิดสัญญาณคลื่นสามเหลี่ยม คลื่นสี่เหลี่ยม คลื่นไซน์ และพัลส์ ที่อยู่ด้านหลัง รูปที่ 3.1

3.1 ภาคกำเนิดสัญญาณคลื่นสามเหลี่ยม

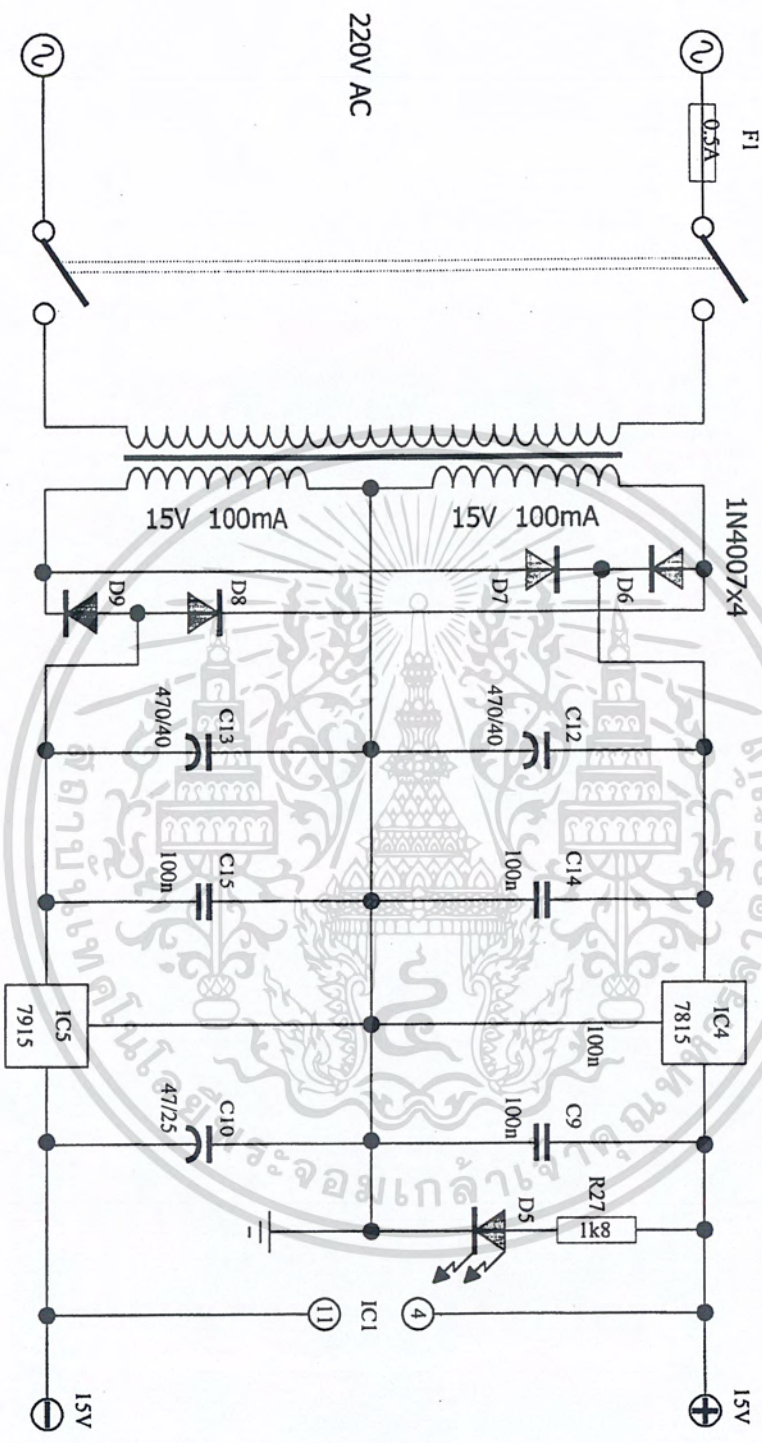
ซึ่งเป็นหน้าที่ของวงจรอินทิเกรเตอร์ที่ประกอบด้วย R_1 P_1 R_2 R_3 C_f R_{10} และ IC_{1a} โดย IC_{1a} นี้จะรับสัญญาณอินพุตเข้าที่ขา 2 และผ่าน R_1 P_1 และ R_3 ซึ่งสัญญาณที่เข้าที่ขา 2 ของ IC_{1a} นี้ได้มาจากเอาต์พุตของวงจรชมิตทริกเกอร์ (เอาต์พุต IC_2) ที่เป็นรูปสัญญาณคลื่นสี่เหลี่ยม และวงจรอินทิเกรเตอร์จะกำเนิดสัญญาณเอาต์พุตเป็นสัญญาณคลื่นสามเหลี่ยม (เอาต์พุต IC_{1a}) ซึ่งสัญญาณคลื่นสามเหลี่ยมที่กำเนิดได้ส่วนที่หนึ่งจะนำไปป้อนเข้าวงจรชมิตทริกเกอร์ เพื่อให้วงจรชมิตทริกเกอร์ได้นำสัญญาณคลื่นสามเหลี่ยมไปใช้ในการกำเนิดสัญญาณคลื่นสี่เหลี่ยมต่อไป ส่วนที่สองจะนำไปป้อนเข้าวงจรไซน์เวฟเชพเพอร์ และส่วนที่สามจะถูกนำไปผ่านวงจรขยายแอมพลิจูดของสัญญาณก่อนนำไปใช้งานที่ประกอบด้วย P_3 R_{24} R_{25} และ IC_{1d} เพื่อทำการปรับลดขนาดแอมพลิจูดของสัญญาณก่อน และทำการขยายแอมพลิจูดของสัญญาณคลื่นสามเหลี่ยมให้มีขนาด 0 ถึง 12 โวลต์ ตามรูปที่ 3.1 ความถี่ของสัญญาณที่ได้จากวงจรอินทิเกรเตอร์และวงจรชมิตทริกเกอร์นี้จะมีค่าความถี่เท่ากัน โดยค่าความถี่นี้จะถูกควบคุมด้วย P_1 กับค่า C_1 ,C_2 ,C_3 ,C_4 ซึ่งค่า P_1 นี้สามารถปรับค่าได้ทำให้สามารถปรับค่าความถี่ได้อยู่ในช่วงระยะหนึ่ง และส่วนค่า C_f สามารถบิดสวิตช์เลือกใช้ได้ ทำให้สามารถเลือกช่วงระยะความถี่ได้หลายช่วงตามที่ต้องการ ซึ่งในโครงงานนี้ได้มีการแบ่งช่วงความถี่คือ 2 – 20 เฮิรตซ์, 20 – 200 เฮิรตซ์, 200 – 2,000 เฮิรตซ์ และ 2,000 – 20,000 เฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 วงจรกำเนิดสัญญาณคลื่นสามเหลี่ยม คลื่นสี่เหลี่ยม คลื่นไซน์ และพัลส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 วงจรแหล่งจ่ายไฟของวงจรกำเนิดสัญญาณคลื่นสามเหลี่ยม คลื่นสี่เหลี่ยม คลื่นไซน์ และพัลส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ภาคกำเนิดสัญญาณคลื่นสี่เหลี่ยม

ซึ่งเป็นหน้าที่ของวงจรชมิตทริกเกอร์ที่ประกอบด้วย R_{13} R_{12} R_{14} และ IC_2 โดย IC_2 นี้จะรับสัญญาณอินพุตเข้าที่ขา 3 และผ่าน R_{13} ซึ่งสัญญาณที่เข้าที่ขา 3 ของ IC_2 นี้ได้มาจากเอาต์พุตของวงจรอินทิเกรเตอร์ (เอาต์พุต IC_{1a}) ที่เป็นรูปสัญญาณคลื่นสามเหลี่ยม และวงจรชมิตทริกเกอร์จะกำเนิดสัญญาณเอาต์พุตเป็นสัญญาณคลื่นสี่เหลี่ยม (เอาต์พุต IC_2) ซึ่งสัญญาณคลื่นสี่เหลี่ยมที่กำเนิดได้ส่วนที่หนึ่งจะนำไปป้อนเข้าวงจรอินทิเกรเตอร์ เพื่อให้วงจรอินทิเกรเตอร์ได้นำสัญญาณคลื่นสี่เหลี่ยมไปใช้ในการกำเนิดสัญญาณคลื่นสามเหลี่ยมต่อไป ส่วนที่สองจะนำไปป้อนเข้าวงจรกำเนิดแรงดันคงที่สำหรับ IC TTL หรือ C MOS และส่วนที่สามจะถูกนำไปผ่านวงจรขยายแอมพลิจูดของสัญญาณก่อนนำไปใช้งานที่ประกอบด้วย P_3 R_{24} R_{25} และ IC_{1d} เพื่อทำการปรับลดขนาดแอมพลิจูดของสัญญาณก่อน และทำการขยายแอมพลิจูดของสัญญาณคลื่นสี่เหลี่ยมให้มีขนาด 0 – 12 โวลต์ ตามรูปที่ 3.1 ความถี่ของสัญญาณที่ได้จากวงจรชมิตทริกเกอร์และวงจรอินทิเกรเตอร์นี้จะมีค่าความถี่เท่ากัน โดยค่าความถี่นี้จะถูกควบคุมด้วย P_1 กับค่า C_1 ,C_2 ,C_3 ,C_4 ซึ่งค่า P_1 นี้สามารถปรับค่าได้ทำให้สามารถปรับค่าความถี่ได้อยู่ในช่วงระยะหนึ่ง และส่วนค่า C_f สามารถบิดสวิตช์เลือกใช้ได้ ทำให้สามารถเลือกช่วงระยะความถี่ได้หลายช่วงตามที่ต้องการ (ที่ภาคกำเนิดสัญญาณคลื่นสามเหลี่ยม)

ความสัมพันธ์ระหว่างวงจรอินทิเกรเตอร์กับวงจรชมิตทริกเกอร์

จากคุณสมบัติของวงจรอินทิเกรเตอร์ที่ไม่เสถียร จะทำให้เกิดสัญญาณที่เอาต์พุตของวงจรอินทิเกรเตอร์เสมอ ถึงแม้ว่าสัญญาณอินพุตของวงจรจะไม่มีก็ตาม คุณสมบัตินี้เราจึงนำมาใช้เป็นวงจรกำเนิดสัญญาณให้กับวงจรชมิตทริกเกอร์ เพื่อให้วงจรชมิตทริกเกอร์กำเนิดสัญญาณเอาต์พุตเป็นสัญญาณคลื่นสี่เหลี่ยมป้อนกลับมาวงจรอินทิเกรเตอร์อีกเป็นลูพ แต่เฟสของสัญญาณที่ป้อนกลับมานี้จะมีเฟสต่างกัน 180 องศา เพราะวงจรอินทิเกรเตอร์ต่อวงจรขยายแบบกลับเฟส แต่วงจรชมิตทริกเกอร์ต่อวงจรขยายแบบไม่กลับเฟส ดังนั้นเฟสของสัญญาณที่ได้จากวงจรอินทิเกรเตอร์จึงถูกป้อนกลับมาที่วงจรอินทิเกรเตอร์อีกครั้ง จึงทำให้สัญญาณที่เอาต์พุตของวงจรอินทิเกรเตอร์นี้มีการสลับเปลี่ยนตลอด

3.3 ภาคกำเนิดสัญญาณคลื่นไซน์

ซึ่งเป็นหน้าที่ของวงจรไซน์เวฟเชพเพอร์ที่ประกอบด้วย R_{23} R_{22} D_1 D_2 R_{28} R_{30} R_{29} และ IC_{1C} , และวงจรแปลงสัญญาณขั้นสุดท้ายที่ประกอบด้วย R_4 P_{2a} R_5 R_6 C_f R_9 P_{2b} R_8 R_7 R_{26} และ IC_{1b} โดย IC_{1C} นี้จะถูกต่อเป็นวงจรขยายแบบกลับเฟสที่มีอัตราการขยายถึง 20 เท่า เพราะสัญญาณที่รับเข้ามาที่ R_{28} ขาอินพุต 9 ของ IC_{1C} นี้ถูกลดทอนให้มีขนาดแอมพลิจูดต่ำโดย D_1 D_2 ซึ่ง D_1 D_2 นี้ถูกจัดให้เป็นวงจรขริบ เพื่อให้สัญญาณตรงจุดนี้มีรูปร่างคล้ายสัญญาณไซน์ แล้วจึงนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไปขยายแอมพลิจูดให้เพิ่มขึ้นโดยวงจรขยายแบบกลับเฟสอีกครั้งหนึ่ง

วงจรแปลงสัญญาณขั้นสุดท้ายจะเป็นวงจรอินทิเกรเตอร์ที่มีเสถียรภาพสูง เนื่องจากมีการต่อ R ป้อนกลับให้แก่วงจร โดยหน้าที่ของวงจรนี้ก็เพื่อทำสัญญาณที่ได้จากวงจรไซน์เวฟเชพเพอร์ให้มีรูปร่างเป็นสัญญาณไซน์ที่สวยงาม อีกทั้งยังเป็นตัวควบคุมแอมพลิจูดของสัญญาณไซน์ให้คงที่ ในขณะที่ความถี่ของสัญญาณมีการเปลี่ยนแปลง โดยจะสังเกตุเห็นว่าวงจรแปลงสัญญาณขั้นสุดท้ายจะมีโพเทนชิออมิเตอร์ 2 ตัวคือ P_{2a} P_{2b} ทำหน้าที่ชดเชยแอมพลิจูดให้กับวงจรแปลงสัญญาณขั้นสุดท้ายในขณะที่ความถี่ของสัญญาณสูงขึ้น และลดแอมพลิจูดให้กับวงจรแปลงสัญญาณขั้นสุดท้ายในขณะที่ความถี่ของสัญญาณต่ำลง อีกทั้งยังทำให้อัตราการขยายของวงจรแปลงสัญญาณขั้นสุดท้ายนี้มีค่าเสมือนเท่ากับ 1 เสมอ ไม่ว่าจะปรับโพเทนชิออมิเตอร์ไปที่ตำแหน่งใด เพราะแกนของโพเทนชิออมิเตอร์นี้ถูกต่อเป็นแกนเดียวกันทั้ง 3 ตัว และจะนำสัญญาณคลื่นไซน์ที่ได้นี้ไปผ่านวงจรขยายแอมพลิจูดของสัญญาณก่อนนำไปใช้งานที่ประกอบด้วย P_3 R_{24} R_{25} และ IC_{1d} เพื่อทำการปรับลดขนาดแอมพลิจูดของสัญญาณก่อน และทำการขยายแอมพลิจูดของสัญญาณคลื่นไซน์ให้มีขนาด 0 – 12 โวลต์ ตามรูปที่ 3.1 ความถี่ของสัญญาณที่ได้จากวงจรไซน์เวฟเชพเพอร์และวงจรแปลงสัญญาณขั้นสุดท้ายนี้ จะมีค่าความถี่เท่ากับความถี่ของสัญญาณที่ได้จากวงจรอินทิเกรเตอร์ซึ่งเป็นความถี่ของสัญญาณอินพุต

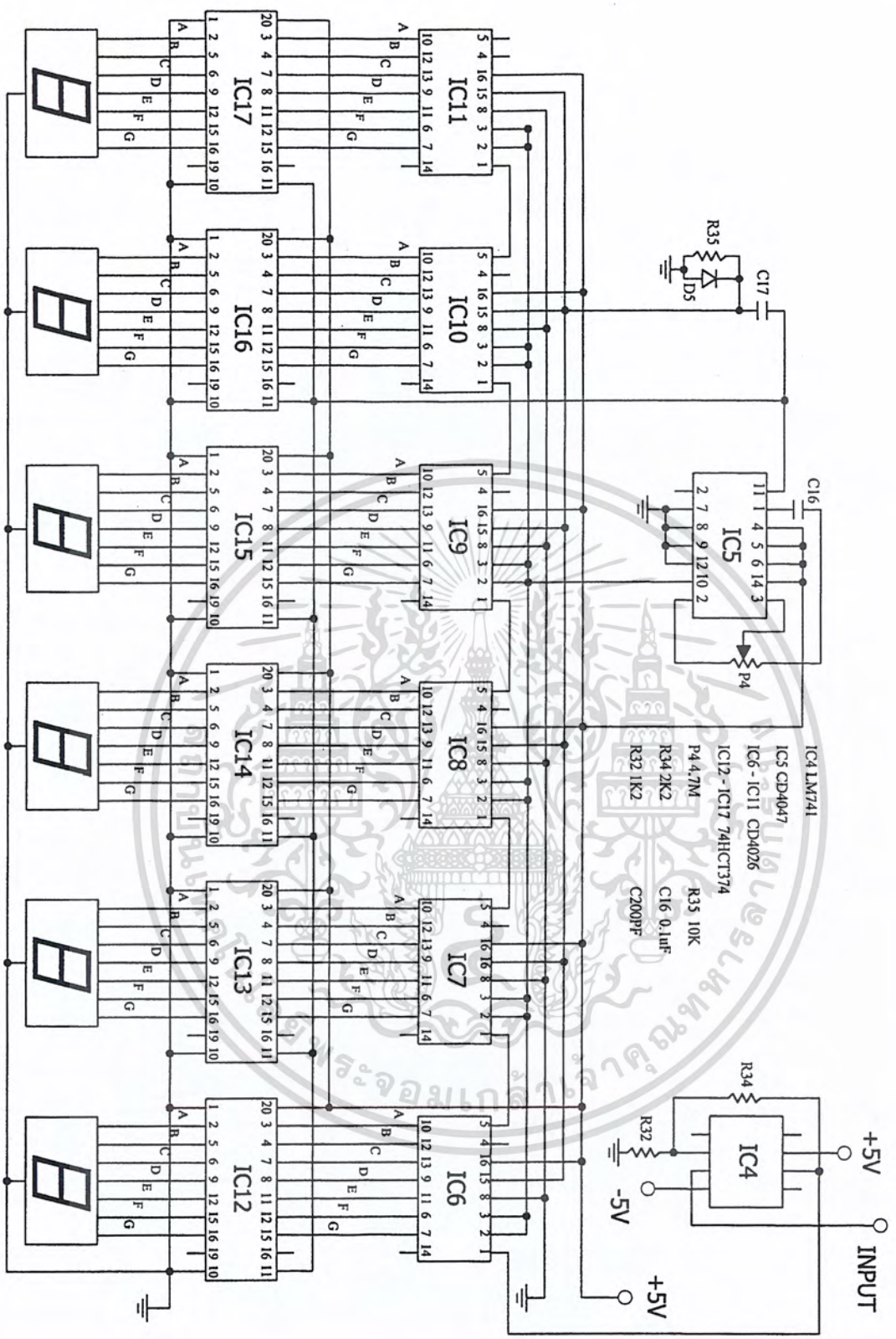
3.4 ภาควงจรกำเนิดแรงดันคงที่สำหรับ IC TTL หรือ C MOS

เป็นการนำสัญญาณเอาต์พุตที่ได้จากวงจรชมิตทริกเกอร์มาใช้ ซึ่งจะนำมาใช้เฉพาะสัญญาณด้านบวกเท่านั้น โดยการต่อไดโอด D_3 อนุกรมกับวงจรเป็นตัวเรียงกระแส (rectifier) เพื่อให้สัญญาณด้านบวกผ่านไปได้เท่านั้น และนำสัญญาณด้านบวกที่ได้ไปผ่าน R_{20} R_{21} ซึ่งเป็นตัวแบ่งแรงดันเพื่อลดขนาดของแรงดัน ก่อนนำสัญญาณพัลส์ที่ได้นี้ไปผ่านวงจรขยายแอมพลิจูดของสัญญาณก่อนนำไปใช้งาน วงจรขยายสัญญาณนี้ที่ประกอบด้วย R_{24} R_{25} และ IC_{1d} เพื่อทำการขยายแอมพลิจูดของสัญญาณพัลส์ให้มีขนาด 5 โวลต์ ตามรูปที่ 3.1

3.5 ภาควงจรขยายแอมพลิจูดของสัญญาณก่อนนำไปใช้งาน

ซึ่งเป็นหน้าที่ของวงจรขยายแอมพลิจูดที่ประกอบด้วย P_3 R_{24} R_{25} และ IC_{1d} ก่อนอื่นจะต้องทำการปรับสวิตช์เลือกสัญญาณที่ต้องการ โดยสัญญาณที่ปรับเลือก ถ้าเป็นสัญญาณพัลส์ที่มาจากวงจรกำเนิดแรงดันคงที่สำหรับ IC TTL หรือ C MOS จะไม่ผ่านโพเทนชิออมิเตอร์ P_3 ซึ่งทำหน้าที่เป็นตัวแบ่งแรงดัน เพื่อปรับลดขนาดแอมพลิจูดของสัญญาณก่อนส่งสัญญาณไปป้อนเข้า IC_{1d} , และถ้าเป็นสัญญาณคลื่นสามเหลี่ยม, คลื่นสี่เหลี่ยม, และคลื่นไซน์ จะผ่านโพเทนชิออมิเตอร์ P_3 ซึ่งทำหน้าที่เป็นตัวแบ่งแรงดัน เพื่อปรับลดขนาดแอมพลิจูดของสัญญาณก่อนส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 วงจรนับความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณไปป้อนเข้า IC_{1d} โดย IC_{1d} นี้จะรับสัญญาณอินพุตเข้าที่ขา 12 ของ IC_{1d} (ขานอนอินเวอร์ติ้ง) และขยายแอมพลิจูดแบบไม่กลับเฟสอีกครั้งหนึ่งก่อนนำไปใช้งาน

ขนาดแอมพลิจูดของสัญญาณคลื่นสามเหลี่ยม, คลื่นสี่เหลี่ยม, และคลื่นไซน์ ที่จะนำไปใช้งานสามารถปรับได้ตั้งแต่ 0 – 12 โวลต์ โดยปรับที่โพเทนชิออมิเตอร์ P_3 ตามรูปที่ 3.1

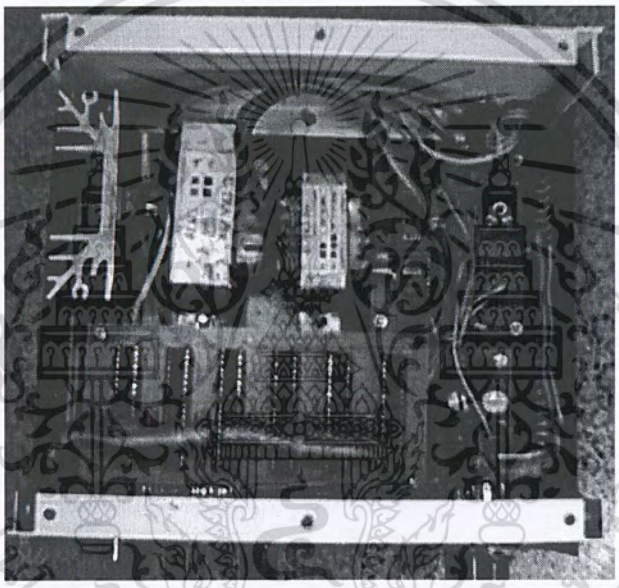
3.6 ภาคนับความถี่

วงจรนับความถี่จากรูปที่ 3.3 ประกอบด้วย IC_4 (LM741), IC_5 (IC CD4047) , IC_6 – IC_{11} (IC CD4026B) เป็นหลัก ซึ่ง IC_4 จะเป็นตัวขยายแอมพลิจูดของสัญญาณที่ต้องการนับให้ IC_6 และ IC_6 จะเป็นวงจรนับหารความถี่หลักหน่วย (หลักแรก) ในจำนวน 6 หลัก ของการนับแสดงความถี่ แล้วส่งผ่านสัญญาณที่ถูกหารแล้วไปยังหลักต่อไปหรือวงจรนับหลักต่อไปคือ IC_7 จะทำการส่งผ่านสัญญาณที่ถูกหารแล้วไปยังหลักต่อไปจนถึงหลักที่ 6 โดยวงจรนับและหารความถี่นี้เราจะใช้ IC CD4026B ซึ่ง IC CD4026B แต่ละตัวนี้จะถูกกำหนดให้เป็นวงจรนับสิบหรือเรียกว่าวงจรหารสิบก็ได้ ส่วน IC_5 จะเป็นวงจรเอสเตเบิลมัลติไวเบรเตอร์ โดยใช้ IC_5 เป็นวงจรหารความถี่และกำหนดค่าเวลาเกตให้กับวงจรนับหารความถี่ (IC_6 – IC_{11}) แล้วค่าผลที่ได้จากการนับหารความถี่ส่งไปเก็บไว้ที่หน่วยความจำดีฟลิปฟลอป IC_{12} – IC_{17} (IC 74HCT374) ซึ่งทำหน้าที่จำสถานะของลอจิกต่าง ๆ ที่ใช้ขับตัวแสดงผล 7 Segment เพื่อไม่ให้เกิดการกะพริบในขณะที่มีการรีเซตสัญญาณเกต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลการทดลองของโครงงาน

ในบทนี้ได้ทำการทดลองการทำงานของการกำเนิดสัญญาณในโครงงาน ซึ่งประกอบด้วย การปรับโพเทนชิออมิเตอร์ P_3 , การปรับโพเทนชิออมิเตอร์ P_1 และ P_2 , การบิดสวิตช์เลือก S_1 , การบิดสวิตช์เลือก S_2 ที่วงจรกำเนิดสัญญาณคลื่นสามเหลี่ยม คลื่นสี่เหลี่ยม คลื่นไซน์ และพัลส์ ตามรูปที่ 3.1 ซึ่งต่อประกอบกับวงจรแหล่งจ่ายไฟและวงจรนับความถี่ไว้เรียบร้อยเป็นเครื่องกำเนิดสัญญาณ ดังรูปที่ 4.1



รูปที่ 4.1 เครื่องกำเนิดสัญญาณที่ประกอบด้วยวงจรกำเนิดสัญญาณคลื่นสามเหลี่ยม คลื่นสี่เหลี่ยม คลื่นไซน์ และพัลส์, วงจรแหล่งจ่ายไฟ, และวงจรนับความถี่

รูปที่ 4.2 แผงหน้าปัทม์ของเครื่องกำเนิดสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.2 แสดงแผงหน้าปัทม์ของเครื่องกำเนิดสัญญาณ ซึ่งอุปกรณ์ต่าง ๆ บนแผงหน้าปัทม์ทำหน้าที่ดังนี้

1. จุดต่อสัญญาณขาออก " OUT PUT " เป็นจุดขาออกของสัญญาณที่ได้รับการปรับแต่งแล้วเพื่อนำออกไปใช้งาน

2. โพเทนชิออมิเตอร์ P_3 " AMPLITUDE " ใช้สำหรับปรับแอมพลิจูดของรูปสัญญาณคลื่นสามเหลี่ยม คลื่นสี่เหลี่ยม และคลื่นไซน์ ก่อนนำไปใช้งาน

3. โพเทนชิออมิเตอร์ P_1 และ P_2 แกนเดียวกัน " FREQUENCY " ใช้สำหรับปรับเพิ่มหรือลดความถี่ในแต่ละย่านความถี่

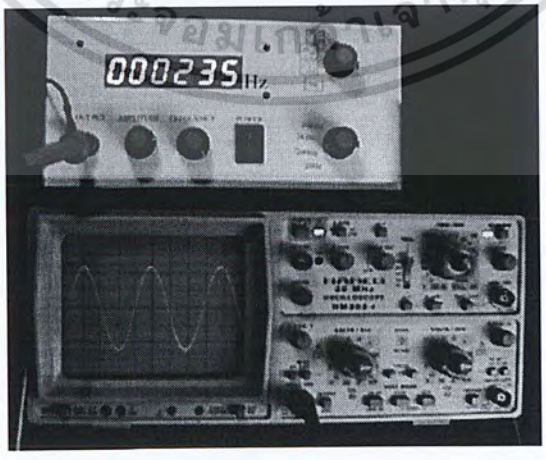
4. สวิตช์เปิด,ปิดเครื่องกำเนิด " POWER "

5. สวิตช์เลือก S_1 " 20Hz, 200Hz, 2kHz, 20kHz " ใช้สำหรับเลือกย่านความถี่ที่ต้องการใช้งาน จะมีอยู่ 4 ย่านคือ 2 – 20 เฮิรตซ์, 20 – 200 เฮิรตซ์, 200 – 2,000 เฮิรตซ์, และ 2,000 – 20,000 เฮิรตซ์

6. สวิตช์เลือก S_2 " SINE-WAVE, TRIANGULAR-WAVE, SQUARE-WAVE, TTL " ใช้สำหรับเลือกรูปร่างของสัญญาณที่ต้องการใช้งาน จะมีอยู่ 4 สัญญาณคือ สัญญาณคลื่นไซน์, คลื่นสามเหลี่ยม, คลื่นสี่เหลี่ยม, และสัญญาณทีทีแอล (พัลส์) จะเป็นสัญญาณที่มีแอมพลิจูดคงที่ +5 โวลต์ แต่ความถี่ของสัญญาณทีทีแอลนี้จะถูกปรับเปลี่ยนได้ตามการปรับโพเทนชิออมิเตอร์ P_1 และ P_2 , และการบิดสวิตช์เลือก S_1

7. ตัวแสดงผล 7 Segment " 012345 Hz " ใช้แสดงค่าความถี่ของสัญญาณขาออกจากเครื่องกำเนิด

4.1 ผลการทดลอง



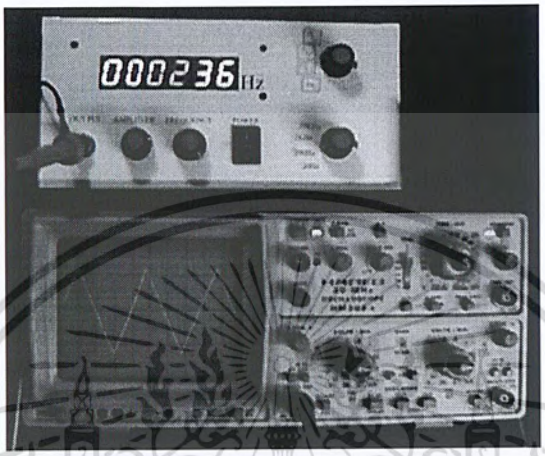
รูปที่ 4.3 การอ่านรูปสัญญาณคลื่นไซน์ด้วยออสซิลโลสโคปที่ 1ms/DIV, 5V/DIV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.3 ทำการปรับให้เครื่องกำเนิดสัญญาณกำเนิดสัญญาณที่ความถี่ 200 Hz แล้วทำการอ่านค่าความถี่ของสัญญาณขาออกที่ได้ จากออสซิลโลสโคปเท่ากับ

$$f = \frac{1}{(1\ \text{ms / DIV}) \times 4\ \text{DIV}} = 250\ \text{Hz}$$

อ่านค่าแอมพลิจูดของสัญญาณขาออกที่ได้ จากออสซิลโลสโคปเท่ากับ 12 V

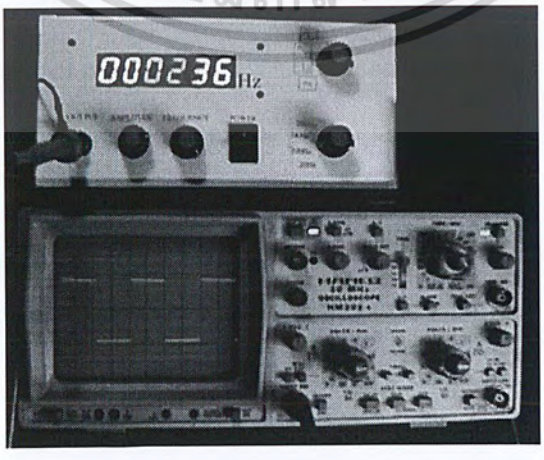


รูปที่ 4.4 การอ่านรูปสัญญาณคลื่นสามเหลี่ยมด้วยออสซิลโลสโคปที่ 1ms/DIV, 5V/DIV

จากรูปที่ 4.4 ทำการปรับให้เครื่องกำเนิดสัญญาณกำเนิดสัญญาณที่ความถี่ 200 Hz แล้วทำการอ่านค่าความถี่ของสัญญาณขาออกที่ได้ จากออสซิลโลสโคปเท่ากับ

$$f = \frac{1}{(1\ \text{ms / DIV}) \times 4\ \text{DIV}} = 250\ \text{Hz}$$

อ่านค่าแอมพลิจูดของสัญญาณขาออกที่ได้ จากออสซิลโลสโคปเท่ากับ 12 V



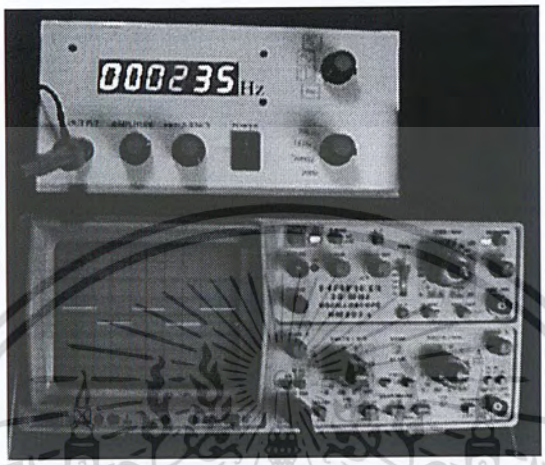
รูปที่ 4.5 การอ่านรูปสัญญาณคลื่นสี่เหลี่ยมด้วยออสซิลโลสโคปที่ 1ms/DIV, 5V/DIV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.5 ทำการปรับให้เครื่องกำเนิดสัญญาณกำเนิดสัญญาณที่ความถี่ 200 Hz แล้วทำการอ่านค่าความถี่ของสัญญาณขาออกที่ได้ จากออสซิลโลสโคปเท่ากับ

$$f = \frac{1}{(1\ \text{ms / DIV}) \times 4\ \text{DIV}} = 250\ \text{Hz}$$

อ่านค่าแอมพลิจูดของสัญญาณขาออกที่ได้ จากออสซิลโลสโคปเท่ากับ 12 V

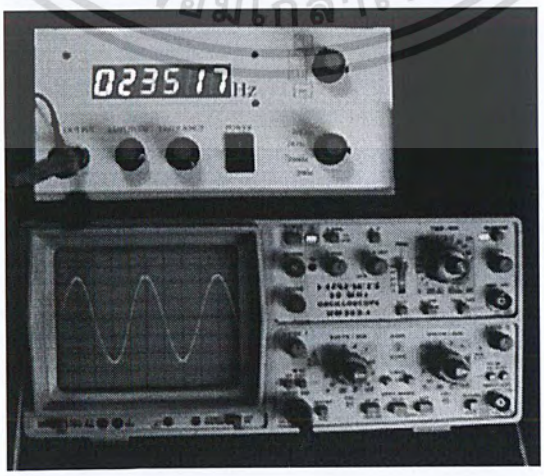


รูปที่ 4.6 การอ่านรูปสัญญาณทีทีแอลด้วยออสซิลโลสโคปที่ 1ms/DIV, 5V/DIV

จากรูปที่ 4.6 ทำการปรับให้เครื่องกำเนิดสัญญาณกำเนิดสัญญาณที่ความถี่ 200 Hz แล้วทำการอ่านค่าความถี่ของสัญญาณขาออกที่ได้ จากออสซิลโลสโคปเท่ากับ

$$f = \frac{1}{(1\ \text{ms / DIV}) \times 4\ \text{DIV}} = 250\ \text{Hz}$$

อ่านค่าแอมพลิจูดของสัญญาณขาออกที่ได้ จากออสซิลโลสโคปเท่ากับ 5 V



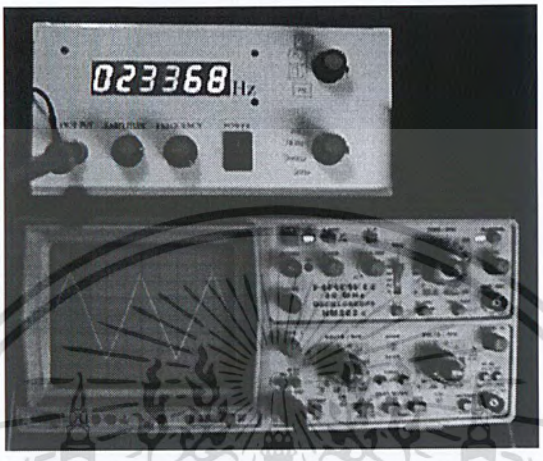
รูปที่ 4.7 การอ่านรูปสัญญาณคลื่นไซน์ด้วยออสซิลโลสโคปที่ 10μs/DIV, 5V/DIV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.7 ทำการปรับให้เครื่องกำเนิดสัญญาณกำเนิดสัญญาณที่ความถี่ 20 kHz แล้วทำการอ่านค่าความถี่ของสัญญาณขาออกที่ได้ จากออสซิลโลสโคปเท่ากับ

$$f = \frac{1}{(10\ \mu s / DIV) \times 4\ DIV} = 25\ kHz$$

อ่านค่าแอมพลิจูดของสัญญาณขาออกที่ได้ จากออสซิลโลสโคปเท่ากับ 12 V

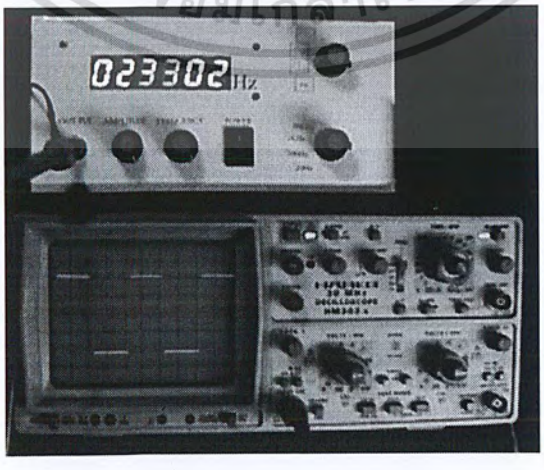


รูปที่ 4.8 การอ่านรูปสัญญาณคลื่นสามเหลี่ยมด้วยออสซิลโลสโคปที่ 10μs/DIV, 5V/DIV

จากรูปที่ 4.8 ทำการปรับให้เครื่องกำเนิดสัญญาณกำเนิดสัญญาณที่ความถี่ 20 kHz แล้วทำการอ่านค่าความถี่ของสัญญาณขาออกที่ได้ จากออสซิลโลสโคปเท่ากับ

$$f = \frac{1}{(10\ \mu s / DIV) \times 4\ DIV} = 25\ kHz$$

อ่านค่าแอมพลิจูดของสัญญาณขาออกที่ได้ จากออสซิลโลสโคปเท่ากับ 12 V



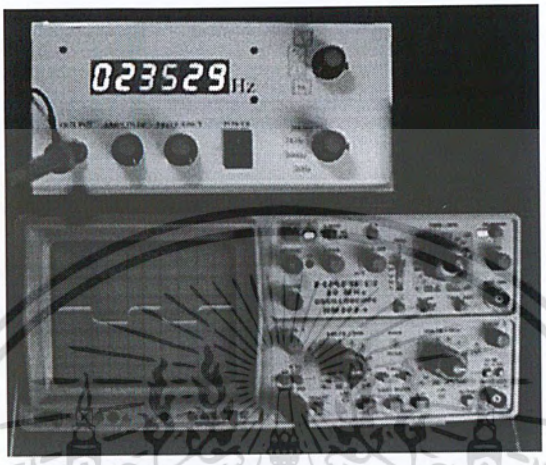
รูปที่ 4.9 การอ่านรูปสัญญาณคลื่นสี่เหลี่ยมด้วยออสซิลโลสโคปที่ 10μs/DIV, 5V/DIV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.9 ทำการปรับให้เครื่องกำเนิดสัญญาณกำเนิดสัญญาณที่ความถี่ 20 kHz แล้วทำการอ่านค่าความถี่ของสัญญาณขาออกที่ได้ จากออสซิลโลสโคปเท่ากับ

$$f = \frac{1}{(10\ \mu s / DIV) \times 4\ DIV} = 25\ kHz$$

อ่านค่าแอมพลิจูดของสัญญาณขาออกที่ได้ จากออสซิลโลสโคปเท่ากับ 12 V



รูปที่ 4.10 การอ่านรูปสัญญาณทีทีแอลด้วยออสซิลโลสโคปที่ 10μs/DIV, 5V/DIV

จากรูปที่ 4.10 ทำการปรับให้เครื่องกำเนิดสัญญาณกำเนิดสัญญาณที่ความถี่ 20 kHz แล้วทำการอ่านค่าความถี่ของสัญญาณขาออกที่ได้ จากออสซิลโลสโคปเท่ากับ

$$f = \frac{1}{(10\ \mu s / DIV) \times 4\ DIV} = 25\ kHz$$

อ่านค่าแอมพลิจูดของสัญญาณขาออกที่ได้ จากออสซิลโลสโคปเท่ากับ 5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุปและข้อเสนอแนะ

โครงงานนี้เป็นเพียงการศึกษาการทำงานของออปแอมป์และได้นำเอาวงจรพื้นฐานเหล่านี้มาประยุกย์เข้าด้วยกัน เพื่อเป็นวงจรกำเนิดสัญญาณรูปคลื่นต่าง ๆ ซึ่งอย่างไรก็ดีโครงงานนี้เป็นเพียงการกำเนิดสัญญาณอย่างง่าย และข้อผิดผลาดของวงจรนี้ก็ยังมีอยู่ และที่สำคัญวงจรที่ทำหน้าที่กำเนิดสัญญาณที่มีใช้อยู่ในปัจจุบันก็มีประสิทธิภาพสูงกว่า ขนาดเล็กและน้ำหนักเบากว่า แล้วที่สำคัญยังมีต้นทุนในการผลิตที่ต่ำกว่าอีกด้วย ฉะนั้นถ้าหากต้องการนำเครื่องกำเนิดสัญญาณไปใช้ต่อไป ก็ควรที่จะต้องพัฒนาและปรับปรุงวงจรให้ดีและมีประสิทธิภาพต่อไป

อย่างไรก็ดีโครงนี้ก็ยังมีประโยชน์มาก สำหรับนิสิตที่กำลังจะจบการศึกษาที่จะต้องเตรียมตัวออกไปเผชิญกับปัญหาในการทำงาน การใช้เทคโนโลยีที่ได้เรียนรู้และสะสมให้เกิดประโยชน์โดยเฉพาะความรู้ที่เป็นหลักการพื้นฐานของวงจรอิเล็กทรอนิกส์ ซึ่งเป็นหัวใจหลักสำคัญของนักอิเล็กทรอนิกส์ ถ้าหากนักอิเล็กทรอนิกส์ท่านใดมีพื้นฐานทางด้านอิเล็กทรอนิกส์น้อย ก็ยากที่จะประสบความสำเร็จในสายงานอิเล็กทรอนิกส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

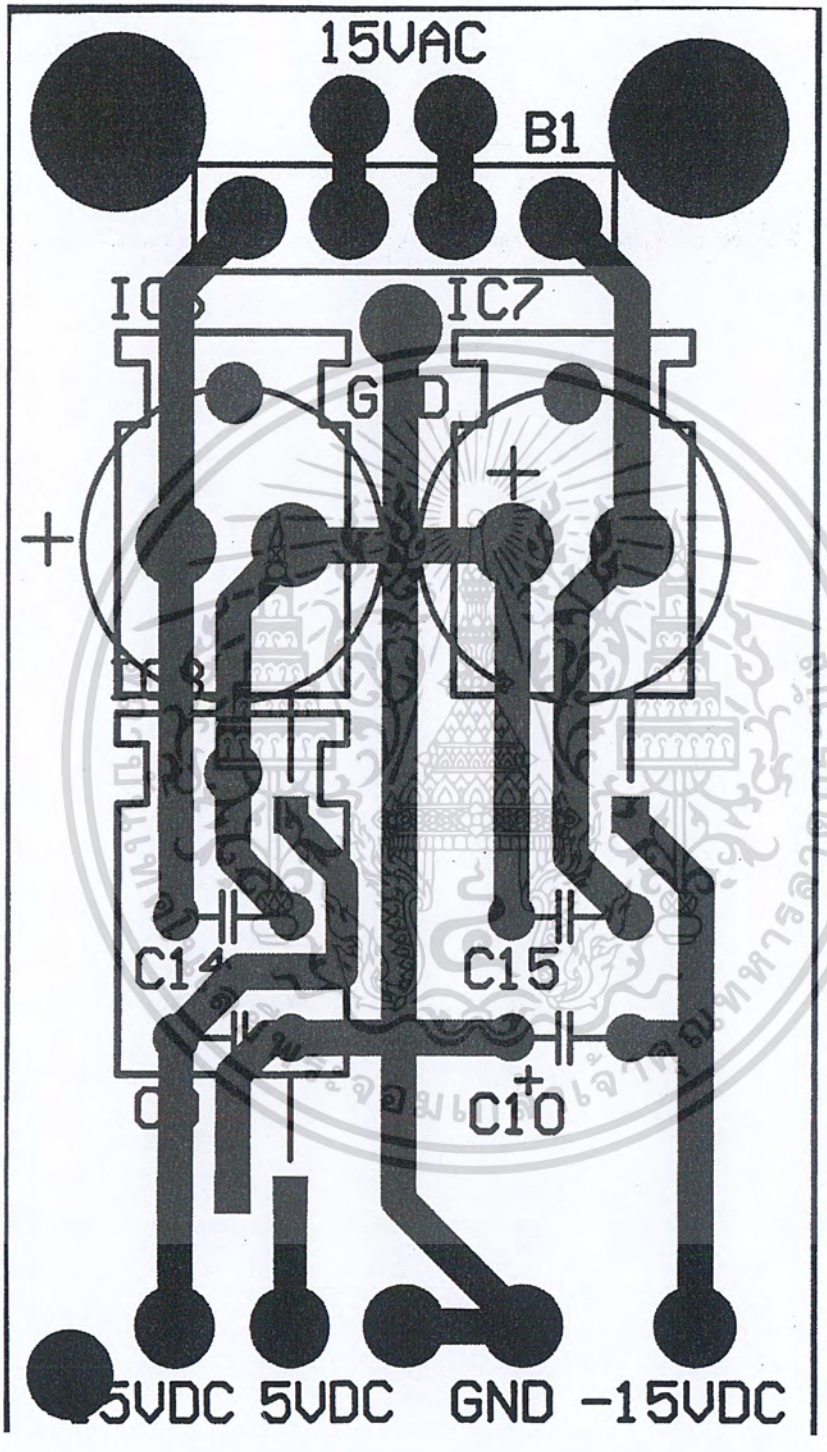
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

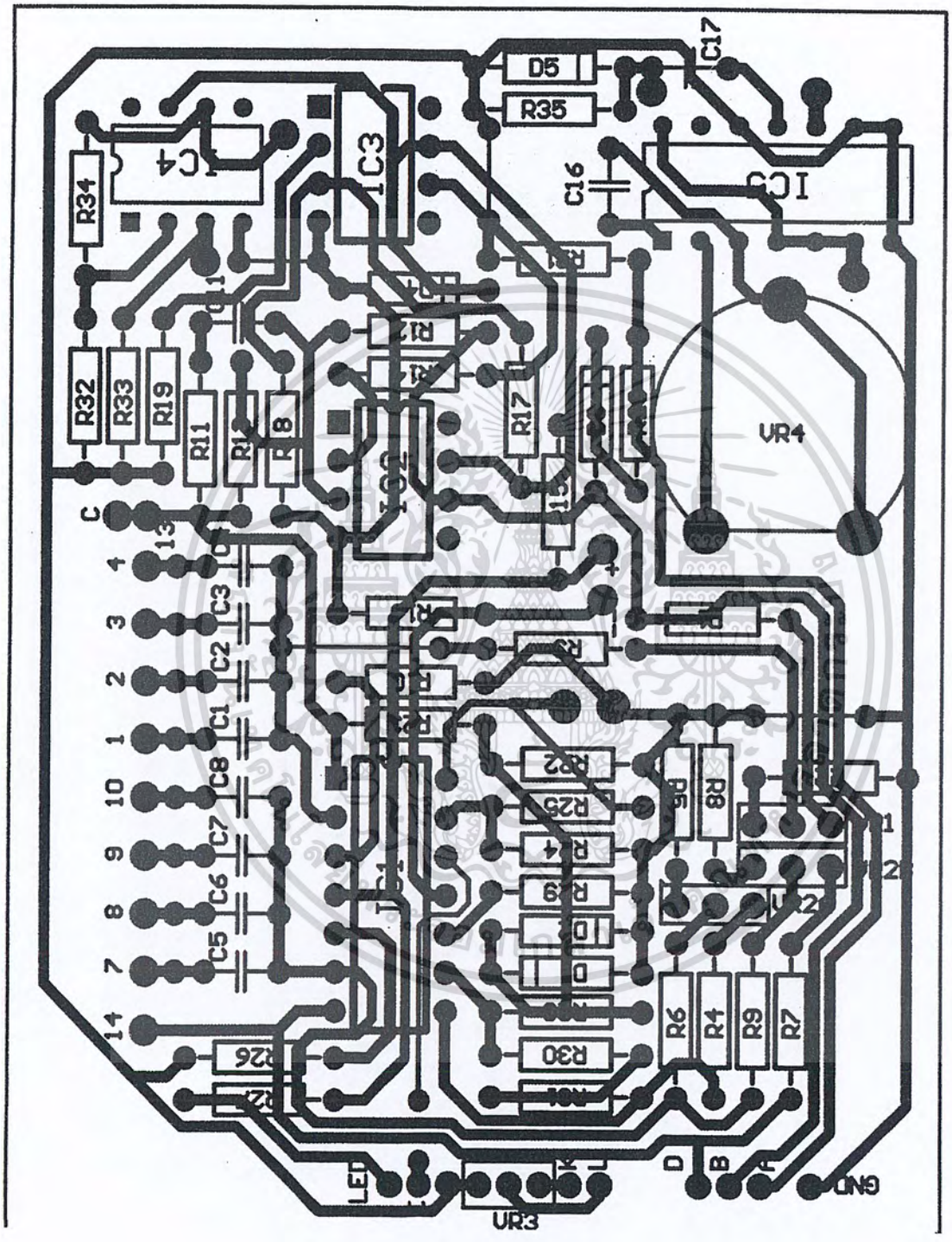
ลายวงจร และลายปริ้นท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



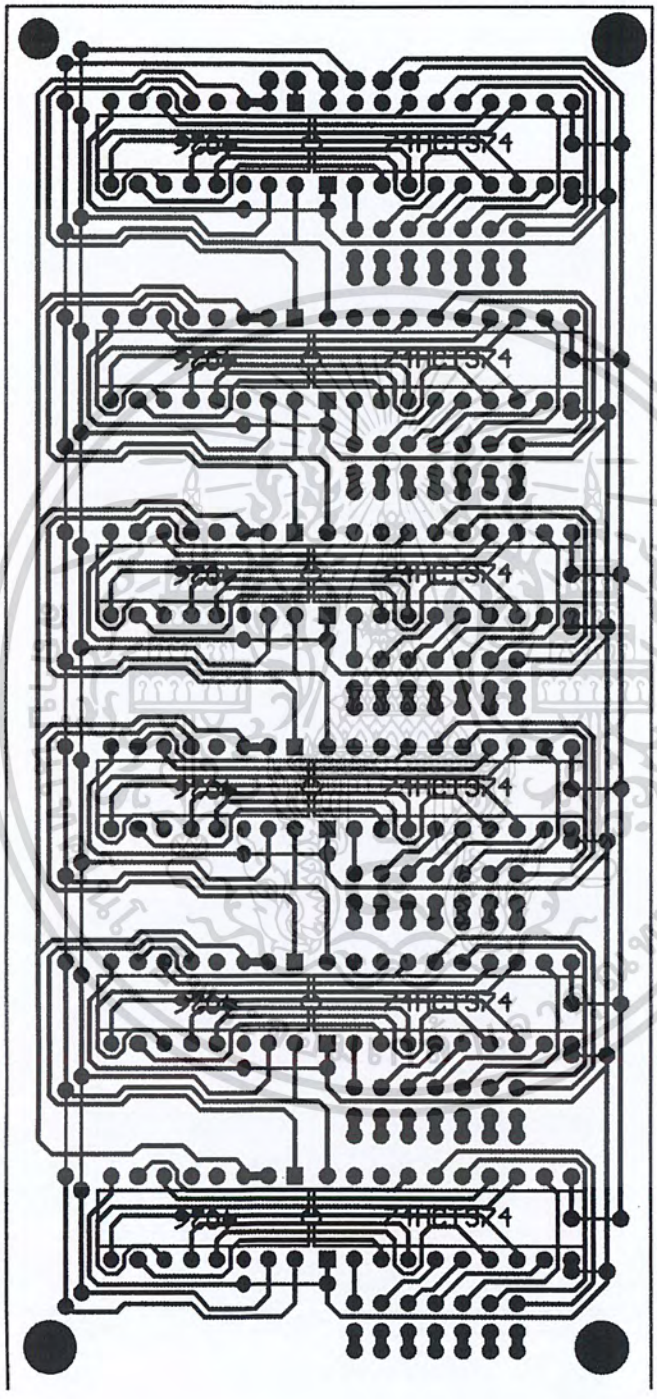
ลายปริ้นท์แผงวงจรแหล่งจ่ายไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



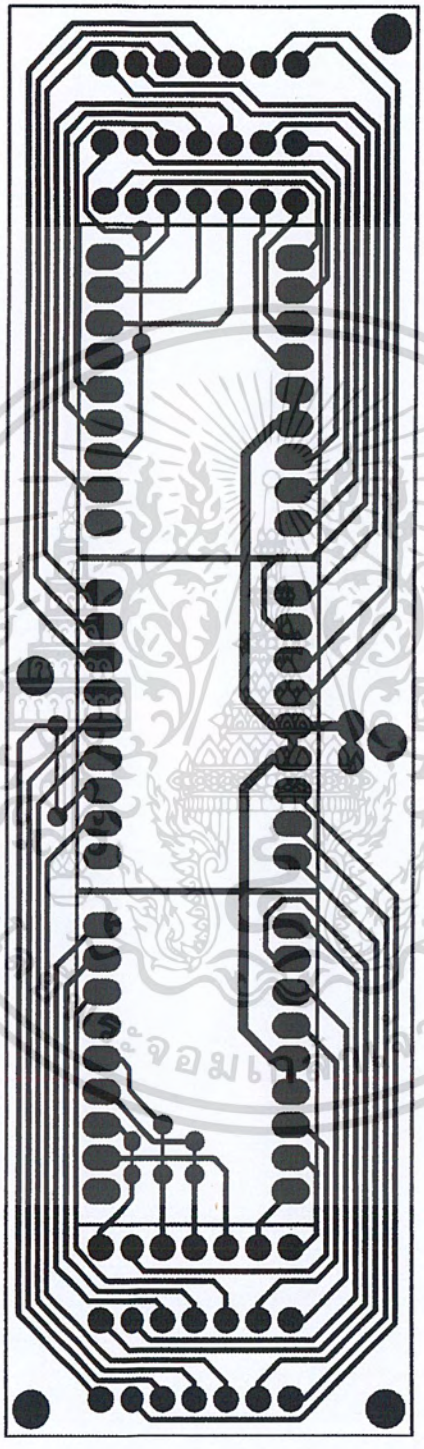
ลายปริ้นท์แผงวงจรกำเนิดสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



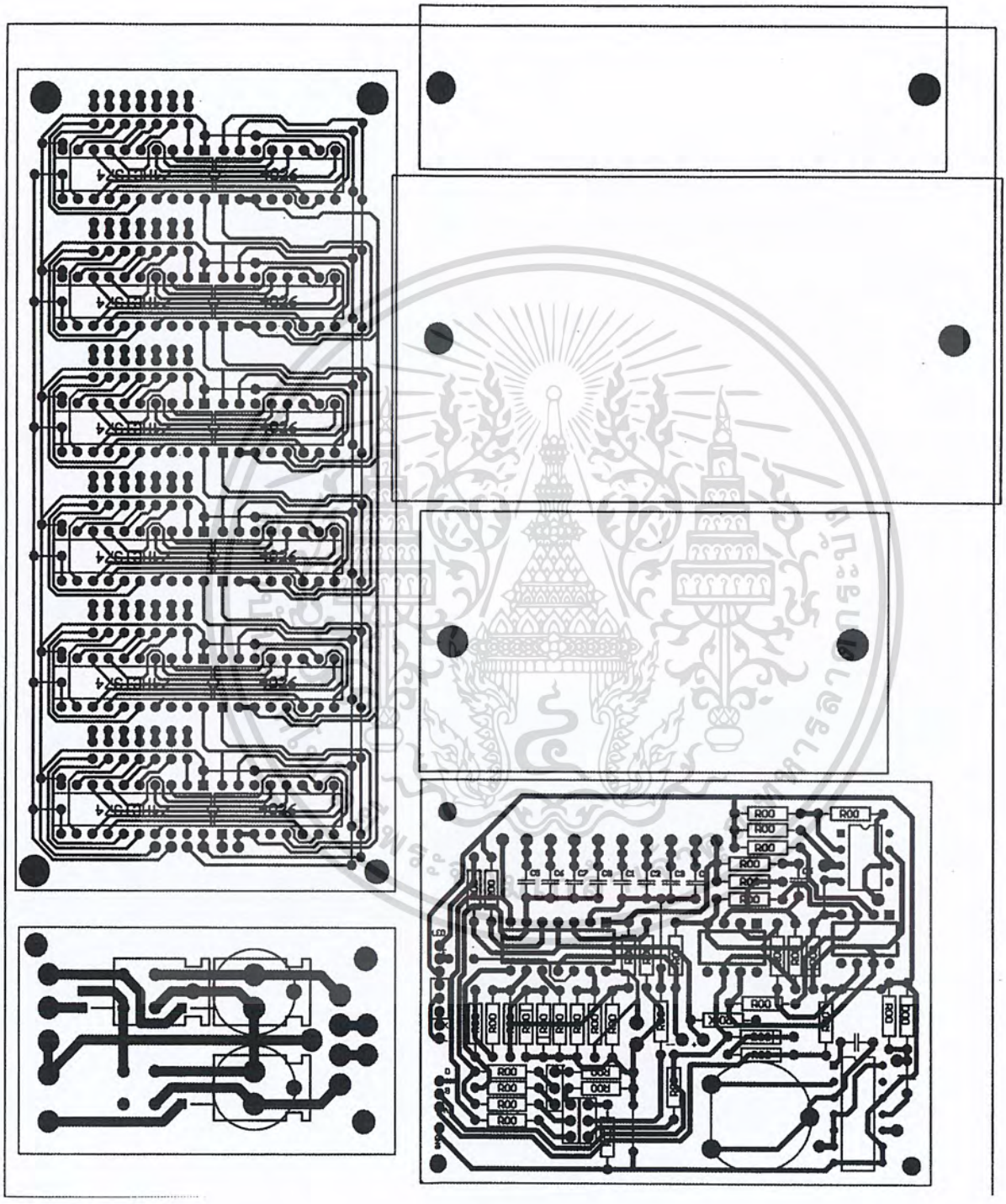
ลายปริ้นท์แผงวงจรนับความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายปริ้นท์แผงวงจรแสดงผลความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



การวางแผงวงจรลงกล่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

DATA SHEET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

15 DEVICES COVER COMMERCIAL, INDUSTRIAL, AND MILITARY TEMPERATURE RANGES

- Low Power Consumption
- Wide Common-Mode and Differential Voltage Ranges
- Low Input Bias and Offset Currents
- Output Short-Circuit Protection
- Low Total Harmonic Distortion 0.003% Typ
- Low Noise V_n = 18 nV/√Hz Typ at f = 1 kHz
- High Input Impedance . . . JFET Input Stage
- Internal Frequency Compensation
- Latch-Up-Free Operation
- High Slew Rate . . . 13 V/μs Typ
- Common-Mode Input Voltage Range Includes V_{CC+}

description

The JFET-input operational amplifiers in the TL07_ series are designed as low-noise versions of the TL08_ series amplifiers with low input bias and offset currents and fast slew rate. The low harmonic distortion and low noise make the TL07_ series ideally suited for high-fidelity and audio preamplifier applications. Each amplifier features JFET inputs (for high input impedance) coupled with bipolar output stages integrated on a single monolithic chip.

The C-suffix devices are characterized for operation from 0°C to 70°C. The I-suffix devices are characterized for operation from –40°C to 85°C. The M-suffix devices are characterized for operation over the full military temperature range of –55°C to 125°C.

AVAILABLE OPTIONS

T_A	V_{IO}max AT 25°C	PACKAGE							
		SMALL OUTLINE (D)†	CHIP CARRIER (FK)	CERAMIC DIP (J)	CERAMIC DIP (JG)	PLASTIC DIP (N)	PLASTIC DIP (P)	TSSOP PACKAGE (PW)	FLAT PACKAGE (W)
0°C to 70°C	10 mV	TL071CD	—	—	—	—	TL071CP	TL071CPWLE	—
	6 mV	TL071ACD					TL071ACP	—	
	3 mV	TL071BCD					TL071BCP	—	
	10 mV	TL072CD	—	—	—	—	TL072CP	TL072CPWLE	—
	6 mV	TL072ACD					TL072ACP	—	
	3 mV	TL072BCD					TL072BCP	—	
	10 mV	TL074CD	—	—	—	TL074CN	—	TL074CPWLE	—
	6 mV	TL074ACD				TL074ACN		—	
	3 mV	TL074BCD				TL074BCN		—	
–40°C to 85°C	6 mV	TL071ID	—	—	—	—	TL071IP	—	—
		TL072ID				—	TL072P		
		TL074ID				TL074IN	—		
–55°C to 125°C	6 mV	—	TL071MFK	—	TL071MJG	—	—	—	—
	6 mV		TL072MFK	—	TL072MJG				—
	9 mV		TL074MFK	TL074MJ	—				TL074MW

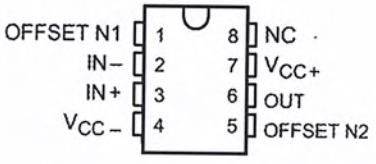
† The D package is available taped and reeled. Add the suffix R to the device type (e.g., TL071CDR). The PW package is only available left-ended taped and reeled (e.g., TL072CPWLE).

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

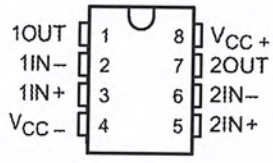
Copyright © 1994, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

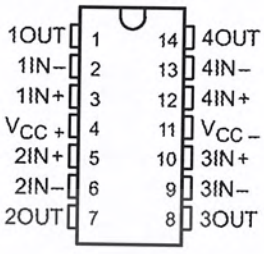
TL071, TL071A, TL071B
D, JG, P, OR PW PACKAGE
(TOP VIEW)



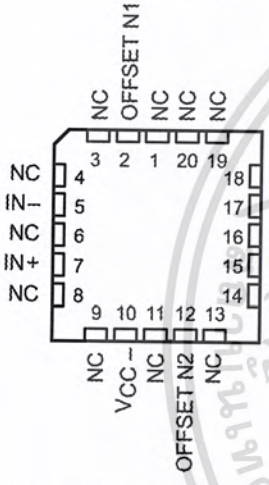
TL072, TL072A, TL072B
D, JG, P, OR PW PACKAGE
(TOP VIEW)



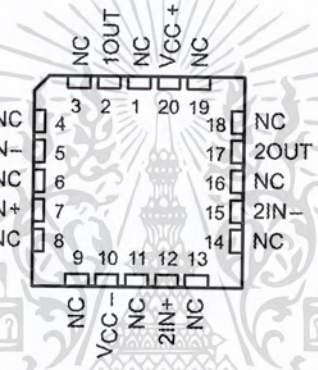
TL074, TL074A, TL074B
D, J, N, OR PW PACKAGE
TL074 . . . W PACKAGE
(TOP VIEW)



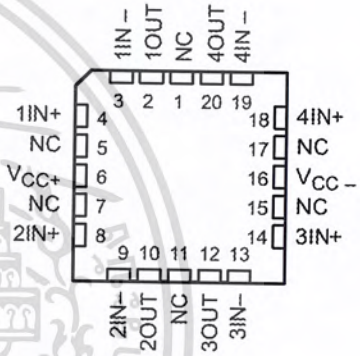
TL071
FK PACKAGE
(TOP VIEW)



TL072
FK PACKAGE
(TOP VIEW)



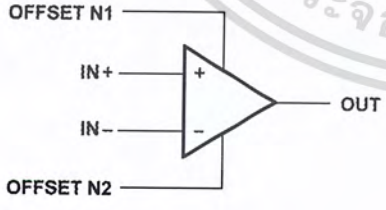
TL074
FK PACKAGE
(TOP VIEW)



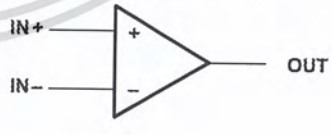
NC – No internal connection

symbols

TL071

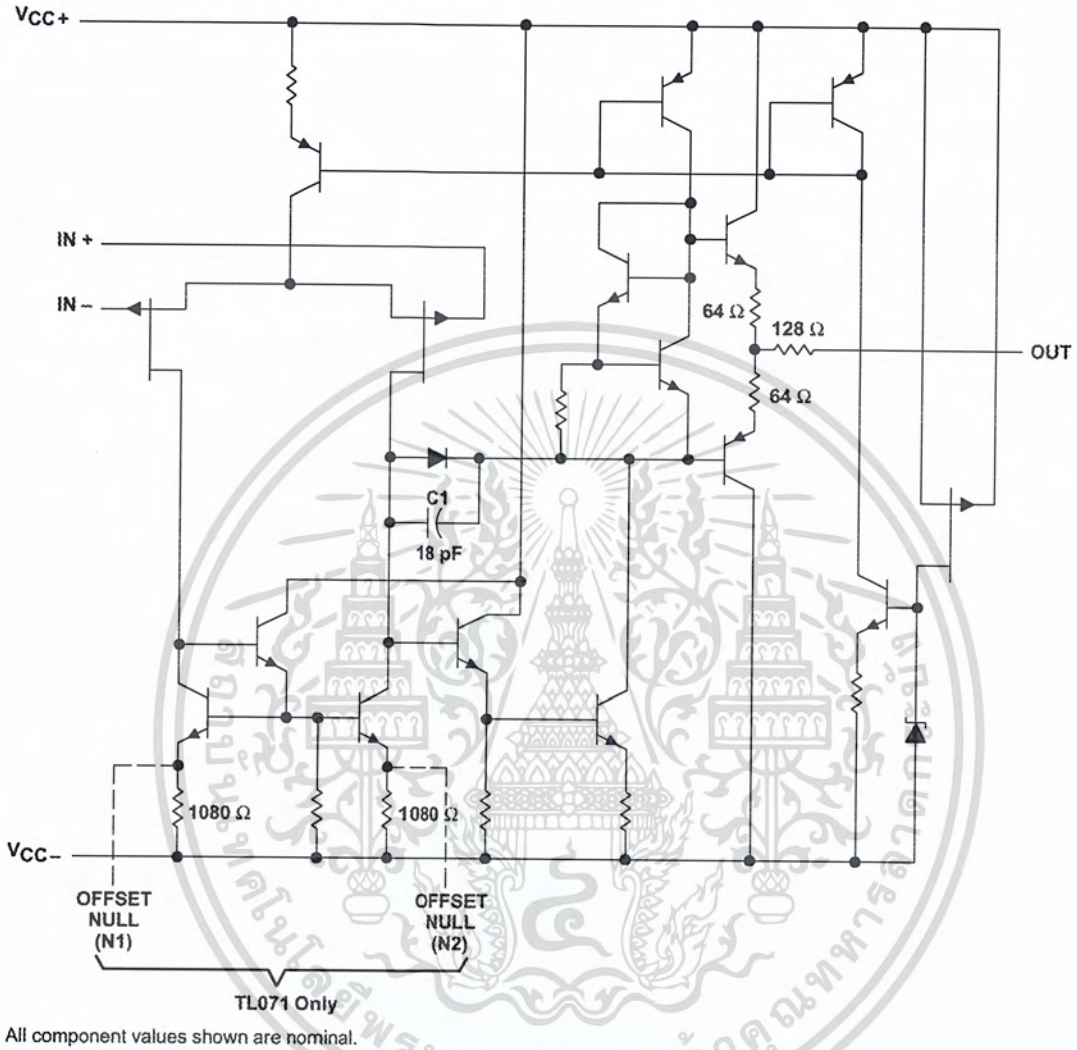


TL072 (each amplifier)
TL074 (each amplifier)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

schematic (each amplifier)



All component values shown are nominal.

COMPONENT COUNT†			
COMPONENT TYPE	TL071	TL072	TL074
Resistors	11	22	44
Transistors	14	28	56
JFET	2	4	6
Diodes	1	2	4
Capacitors	1	2	4
epi-FET	1	2	4

† Includes bias and trim circuitry

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage, V_{CC+} (see Note 1)	18 V
Supply voltage, V_{CC-} (see Note 1)	−18 V
Differential input voltage, V_{ID} (see Note 2)	±30 V
Input voltage, V_I (see Notes 1 and 3)	±15 V
Duration of output short-circuit (see Note 4)	unlimited
Continuous total dissipation	See Dissipation Rating Table
Operating free-air temperature range, T_A: C suffix	0°C to 70°C
I suffix	−40°C to 85°C
M suffix	−55°C to 125°C
Storage temperature range	−65°C to 150°C
Case temperature for 60 seconds: FK package	260°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds: J, JG, or W package	300°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds: D, N, P, or PW package	260°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTES: 1. All voltage values, except differential voltages, are with respect to the midpoint between V_{CC+} and V_{CC-}.
2. Differential voltages are at IN+ with respect to IN−.
3. The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 V, whichever is less.
4. The output may be shorted to ground or to either supply. Temperature and/or supply voltages must be limited to ensure that the dissipation rating is not exceeded.

DISSIPATION RATING TABLE

PACKAGE	$T_A \le 25°C$ POWER RATING	DERATING FACTOR	DERATE ABOVE T_A	$T_A = 70°C$ POWER RATING	$T_A = 85°C$ POWER RATING	$T_A = 125°C$ POWER RATING
D (8 pin)	680 mW	5.8 mW/°C	33°C	464 mW	377 mW	N/A
D (14 pin)	680 mW	7.6 mW/°C	60°C	608 mW	494 mW	N/A
FK	680 mW	11.0 mW/°C	88°C	680 mW	680 mW	275 mW
J	680 mW	11.0 mW/°C	88°C	680 mW	680 mW	275 mW
JG	680 mW	8.4 mW/°C	69°C	672 mW	546 mW	210 mW
N	680 mW	9.2 mW/°C	76°C	680 mW	598 mW	N/A
P	680 mW	8.0 mW/°C	65°C	640 mW	520 mW	N/A
PW (8 pin)	525 mW	4.2 mW/°C	70°C	525 mW	N/A	N/A
PW (14 pin)	700 mW	5.6 mW/°C	70°C	700 mW	N/A	N/A
W	680 mW	8.0 mW/°C	65°C	640 mW	520 mW	200 mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics, $V_{CC\pm}$ = ±15 V (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	T_A‡	TL071C TL072C TL074C			TL071AC TL072AC TL074AC			TL071BC TL072BC TL074BC			TL071I TL072I TL074I			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V_{IO}	Input offset voltage	V_O = 0, R_S = 50 Ω	25°C		3	10		3	6		2	3		3	6	mV
			Full range			13			7.5			5			8	
α_{VIO}	Temperature coefficient of input offset voltage	V_O = 0, R_S = 50 Ω	Full range		18			18			18			18		μV/°C
I_{IO}	Input offset current	V_O = 0	25°C		5	100		5	100		5	100		5	100	pA
			Full range			10			2			2			2	nA
I_{IB}	Input bias current§	V_O = 0	25°C		65	200		65	200		65	200		65	200	pA
			Full range			7			7			7			20	nA
V_{ICR}	Common-mode input voltage range		25°C	±11	−12 to 15		±11	−12 to 15		±11	−12 to 15		±11	−12 to 15		V
V_{OM}	Maximum peak output voltage swing	R_L = 10 kΩ	25°C	±12	±13.5		±12	±13.5		±12	±13.5		±12	±13.5		V
		R_L ≥ 10 kΩ	Full range	±12			±12			±12			±12			
		R_L ≥ 2 kΩ		±10			±10			±10			±10			
A_{VD}	Large-signal differential voltage amplification	V_O = ±10 V, R_L ≥ 2 kΩ	25°C	25	200		50	200		50	200		50	200		V/mV
			Full range	15			25			25			25			
B_1	Unity-gain bandwidth		25°C		3			3			3			3		MHz
r_i	Input resistance		25°C		10^{12}			10^{12}			10^{12}			10^{12}		Ω
CMRR	Common-mode rejection ratio	V_{IC} = V_{ICR}min, V_O = 0, R_S = 50 Ω	25°C	70	100		75	100		75	100		75	100		dB
k_{SVR}	Supply-voltage rejection ratio ($\Delta V_{CC\pm}/\Delta V_{IO}$)	V_{CC} = ±9 V to ±15 V, V_O = 0, R_S = 50 Ω	25°C	70	100		80	100		80	100		80	100		dB
I_{CC}	Supply current (each amplifier)	V_O = 0, No load	25°C		1.4	2.5		1.4	2.5		1.4	2.5		1.4	2.5	mA
V_{O1}/V_{O2}	Crosstalk attenuation	A_{VD} = 100	25°C		120			120			120			120		dB

† All characteristics are measured under open-loop conditions with zero common-mode voltage unless otherwise specified.
‡ Full range is T_A = 0°C to 70°C for TL07_C,TL07_AC, TL07_BC and is T_A = −40°C to 85°C for TL07_I.
§ Input bias currents of a FET-input operational amplifier are normal junction reverse currents, which are temperature sensitive as shown in Figure 4. Pulse techniques must be used that will maintain the junction temperature as close to the ambient temperature as possible.

electrical characteristics, $V_{CC\pm}$ = ±15 V (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	T_A‡	TL071M TL072M			TL074M			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
V_{IO}	Input offset voltage	V_O = 0, R_S = 50 Ω	25°C		3	6		3	9	mV
			Full range			9			15	
α_{VIO}	Temperature coefficient of input offset voltage	V_O = 0, R_S = 50 Ω	Full range		18			18		μV/°C
I_{IO}	Input offset current	V_O = 0	25°C		5	100		5	100	pA
			Full range			20			20	nA
I_{IB}	Input bias current‡	V_O = 0	25°C		65	200		65	200	pA
						50			50	nA
V_{ICR}	Common-mode input voltage range		25°C	±11	−12 to 15		±11	−12 to 15		V
V_{OM}	Maximum peak output voltage swing	R_L = 10 kΩ	25°C	±12	±13.5		±12	±13.5		V
		R_L ≥ 10 kΩ	Full range	±12			±12			
		R_L ≥ 2 kΩ		±10			±10			
A_{VD}	Large-signal differential voltage amplification	V_O = ±10 V, R_L ≥ 2 kΩ	25°C	35	200		35	200		V/mV
				15			15			
B_1	Unity-gain bandwidth	T_A = 25°C			3			3		MHz
r_i	Input resistance	T_A = 25°C			10^{12}			10^{12}		Ω
CMRR	Common-mode rejection ratio	V_{IC} = V_{ICR}min, V_O = 0, R_S = 50 Ω	25°C	80	86		80	86		dB
k_{SVR}	Supply-voltage rejection ratio ($\Delta V_{CC\pm}/\Delta V_{IO}$)	V_{CC} = ±9 V to ±15 V, V_O = 0, R_S = 50 Ω	25°C	80	86		80	86		dB
I_{CC}	Supply current (each amplifier)	V_O = 0, No load	25°C		1.4	2.5		1.4	2.5	mA
V_{O1}/V_{O2}	Crosstalk attenuation	A_{VD} = 100	25°C		120			120		dB

† Input bias currents of a FET-input operational amplifier are normal junction reverse currents, which are temperature sensitive as shown in Figure 4. Pulse techniques must be used that will maintain the junction temperature as close to the ambient temperature as possible.

‡ All characteristics are measured under open-loop conditions with zero common-mode voltage unless otherwise specified. Full range is T_A = −55°C to 125°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

operating characteristics, $V_{CC\pm} = \pm 15$ V, $T_A = 25°C$

PARAMETER		TEST CONDITIONS		TL07xM			ALL OTHERS			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
SR	Slew rate at unity gain	V_I = 10 V, C_L = 100 pF,	R_L = 2 kΩ, See Figure 1	5	13		8	13		V/μs
t_r	Rise time overshoot factor	V_I = 20 mV, C_L = 100 pF,	R_L = 2 kΩ, See Figure 1		0.1			0.1		μs
					20%			20%		
V_n	Equivalent input noise voltage	R_S = 20 Ω	f = 1 kHz		18			18		nV/√Hz
			f = 10 Hz to 10 kHz		4			4		μV
I_n	Equivalent input noise current	R_S = 20 Ω,	f = 1 kHz		0.01			0.01		pA/√Hz
THD	Total harmonic distortion	$V_{O(RMS)}$ = 10 V, $R_L \geq 2$ kΩ,	$R_S \leq 1$ kΩ, f = 1 kHz		0.003%			0.003%		

PARAMETER MEASUREMENT INFORMATION

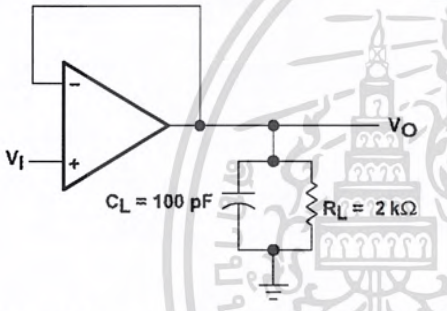


Figure 1. Unity-Gain Amplifier

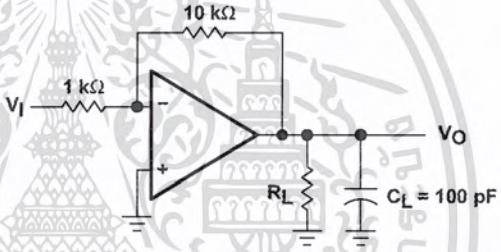


Figure 2. Gain-of-10 Inverting Amplifier

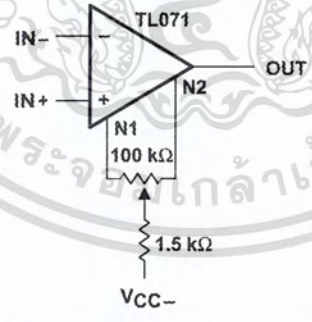


Figure 3. Input Offset Voltage Null Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

Table of Graphs

			FIGURE
I_{IB}	Input bias current	vs Free-air temperature	4
V_{OM}	Maximum output voltage	vs Frequency vs Free-air temperature vs Load resistance vs Supply voltage	5, 6, 7 8 9 10
A_{VD}	Large-signal differential voltage amplification	vs Free-air temperature vs Frequency	11 12
	Phase shift	vs Frequency	12
	Normalized unity-gain bandwidth	vs Free-air temperature	13
	Normalized phase shift	vs Free-air temperature	13
CMRR	Common-mode rejection ratio	vs Free-air temperature	14
I_{CC}	Supply current	vs Supply voltage vs Free-air temperature	15 16
P_D	Total power dissipation	vs Free-air temperature	17
	Normalized slew rate	vs Free-air temperature	18
V_n	Equivalent input noise voltage	vs Frequency	19
THD	Total harmonic distortion	vs Frequency	20
	Large-signal pulse response	vs Time	21
V_O	Output voltage	vs Time	22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS†

INPUT BIAS CURRENT vs FREE-AIR TEMPERATURE

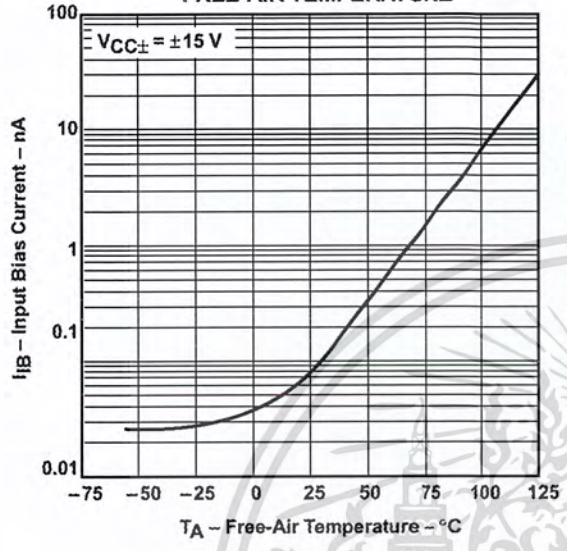


Figure 4

MAXIMUM PEAK OUTPUT VOLTAGE vs FREQUENCY

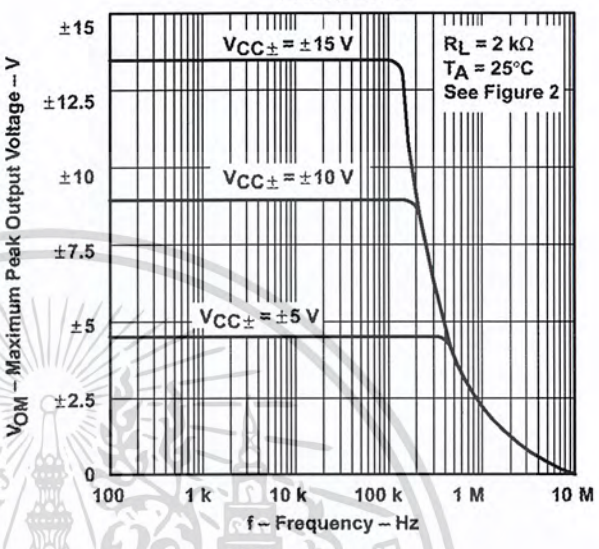


Figure 5

MAXIMUM PEAK OUTPUT VOLTAGE vs FREQUENCY

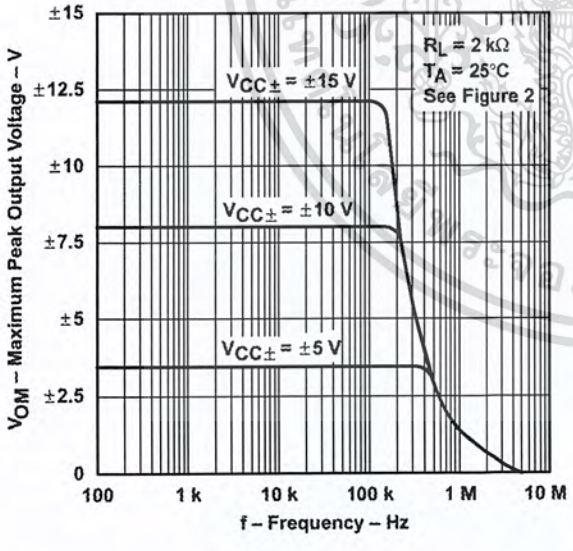


Figure 6

MAXIMUM PEAK OUTPUT VOLTAGE vs FREQUENCY

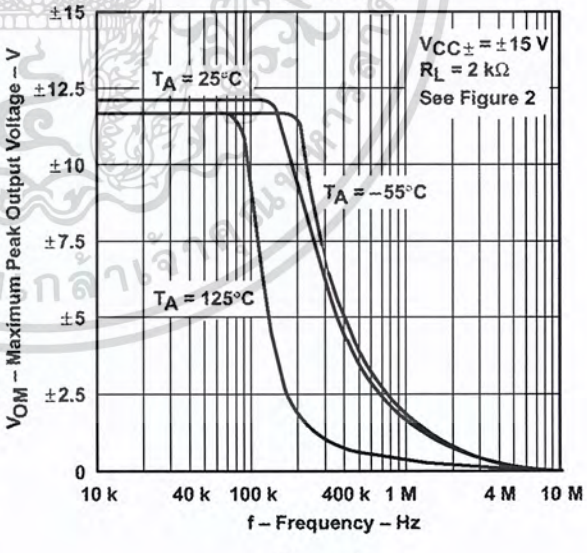


Figure 7

† Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS†

MAXIMUM PEAK OUTPUT VOLTAGE
vs
FREE-AIR TEMPERATURE

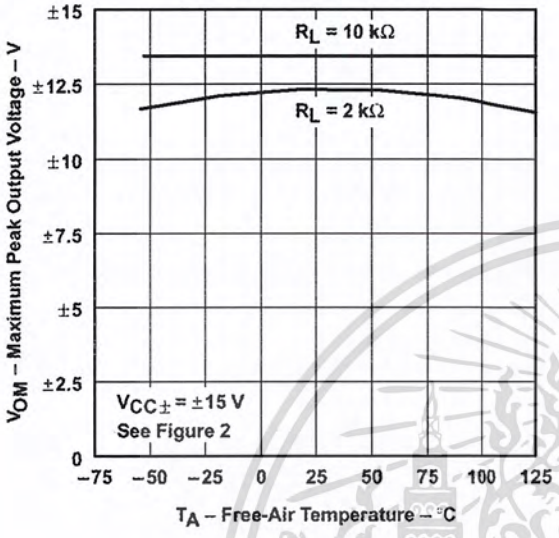


Figure 8

MAXIMUM PEAK OUTPUT VOLTAGE
vs
LOAD RESISTANCE

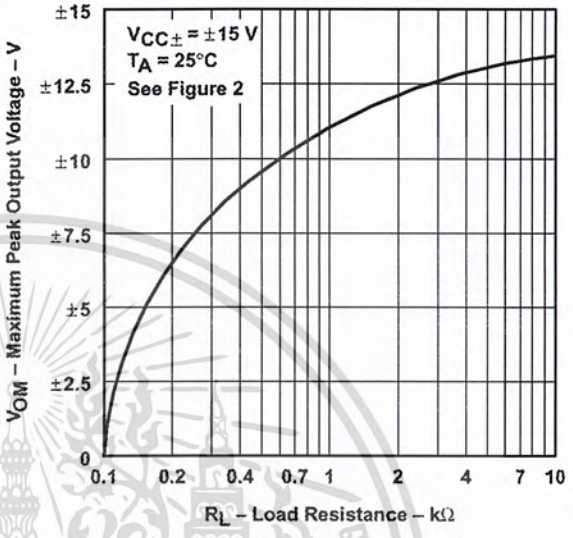


Figure 9

MAXIMUM PEAK OUTPUT VOLTAGE
vs
SUPPLY VOLTAGE

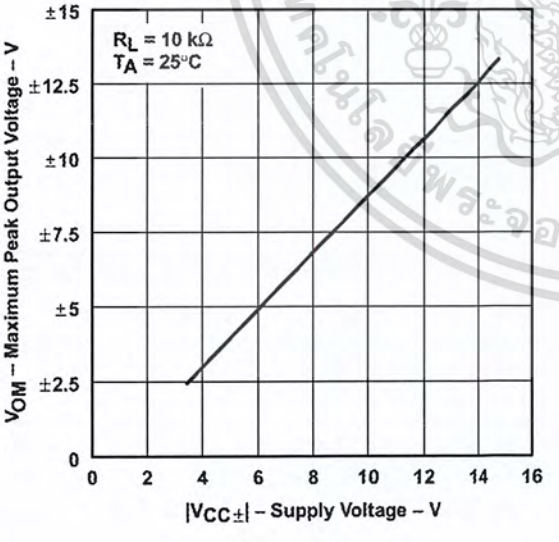


Figure 10

LARGE-SIGNAL
DIFFERENTIAL VOLTAGE AMPLIFICATION
vs
FREE-AIR TEMPERATURE

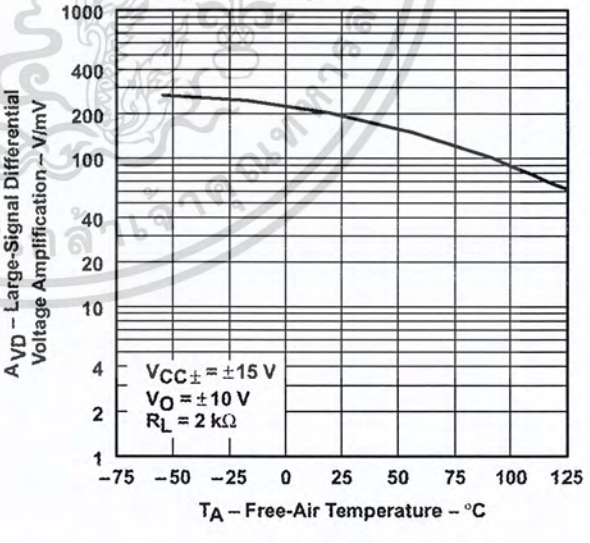


Figure 11

† Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS†

LARGE-SIGNAL
DIFFERENTIAL VOLTAGE AMPLIFICATION
AND PHASE SHIFT
vs
FREQUENCY

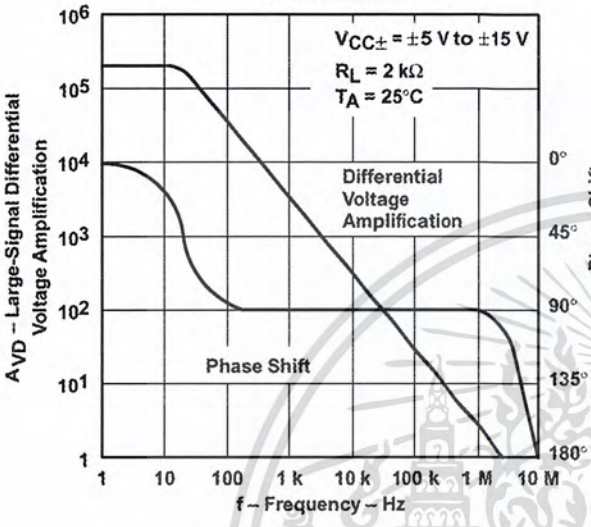


Figure 12

NORMALIZED UNITY-GAIN BANDWIDTH
AND PHASE SHIFT
vs
FREE-AIR TEMPERATURE

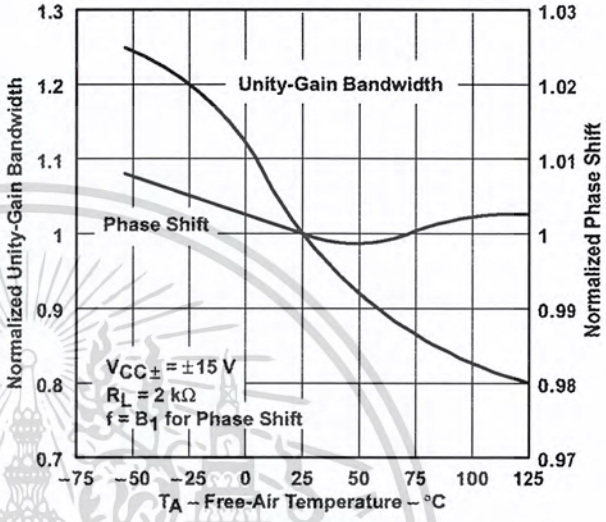


Figure 13

COMMON-MODE REJECTION RATIO
vs
FREE-AIR TEMPERATURE

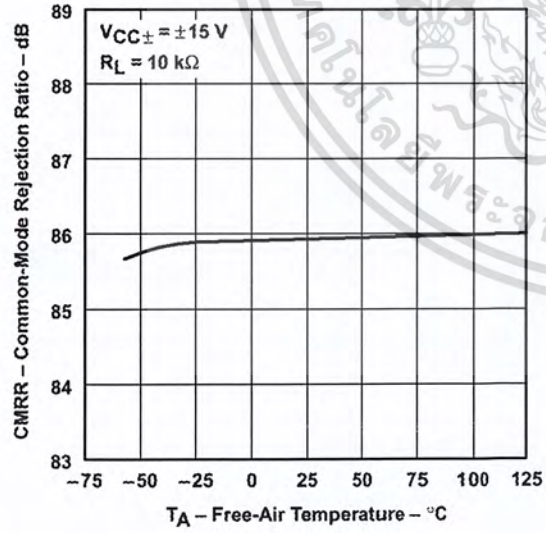


Figure 14

SUPPLY CURRENT PER AMPLIFIER
vs
SUPPLY VOLTAGE

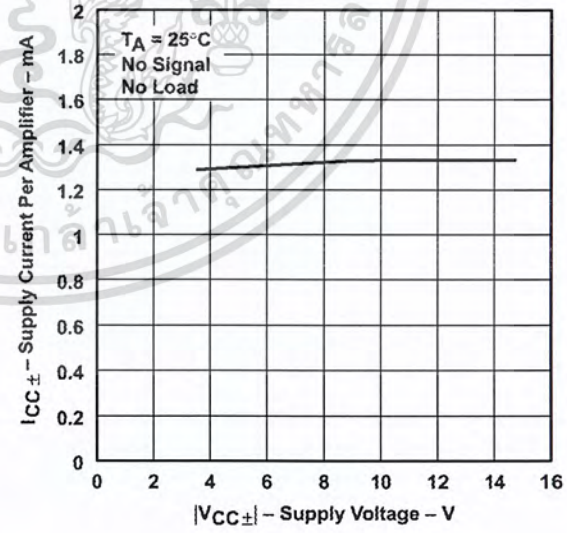


Figure 15

† Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS†

SUPPLY CURRENT PER AMPLIFIER
vs
FREE-AIR TEMPERATURE

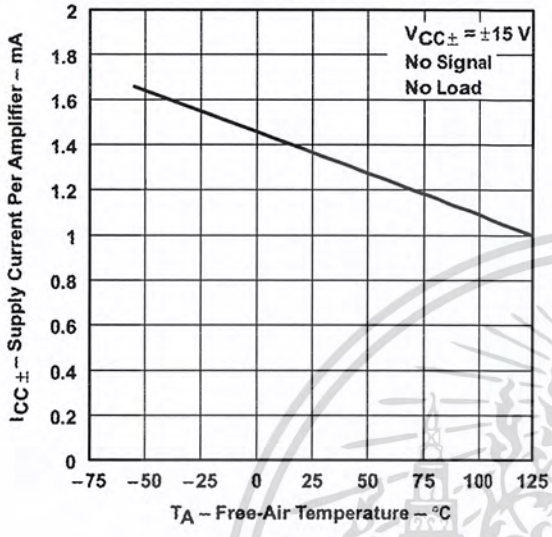


Figure 16

TOTAL POWER DISSIPATED
vs
FREE-AIR TEMPERATURE

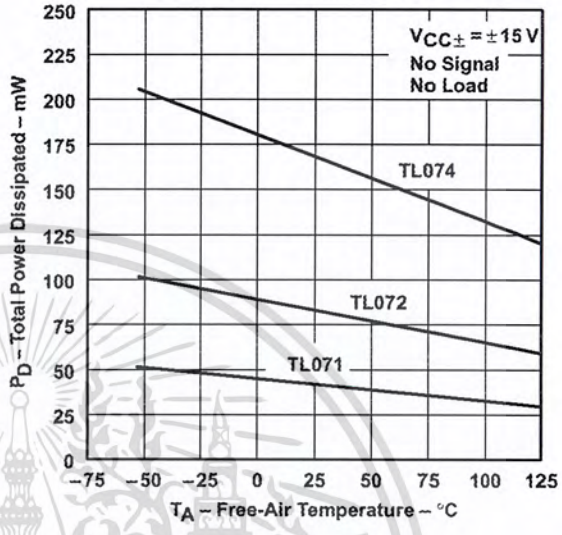


Figure 17

NORMALIZED SLEW RATE
vs
FREE-AIR TEMPERATURE

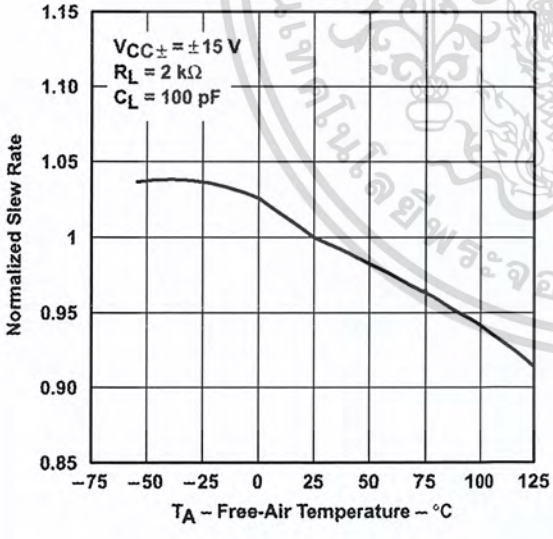


Figure 18

EQUIVALENT INPUT NOISE VOLTAGE
vs
FREQUENCY

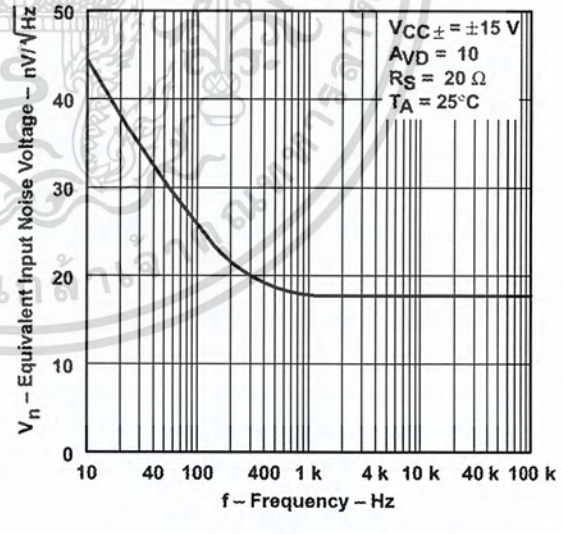


Figure 19

† Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

TOTAL HARMONIC DISTORTION
vs
FREQUENCY

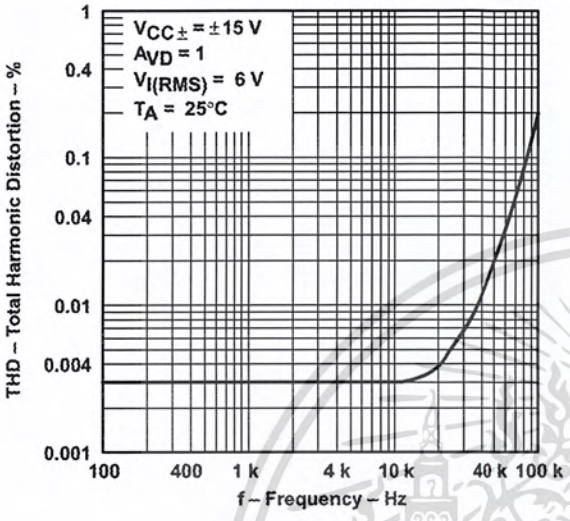


Figure 20

VOLTAGE-FOLLOWER
LARGE-SIGNAL PULSE RESPONSE

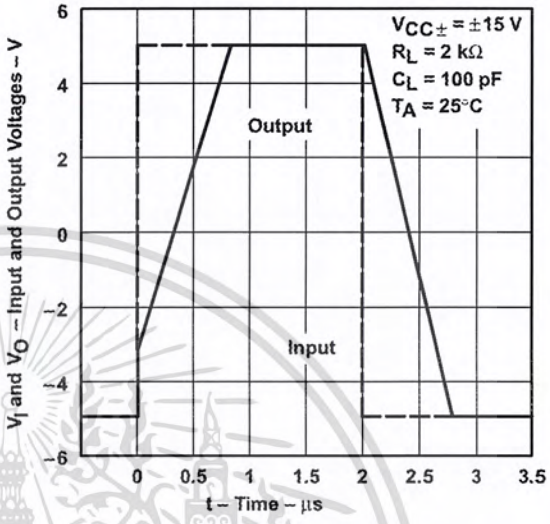


Figure 21

OUTPUT VOLTAGE
vs
ELAPSED TIME

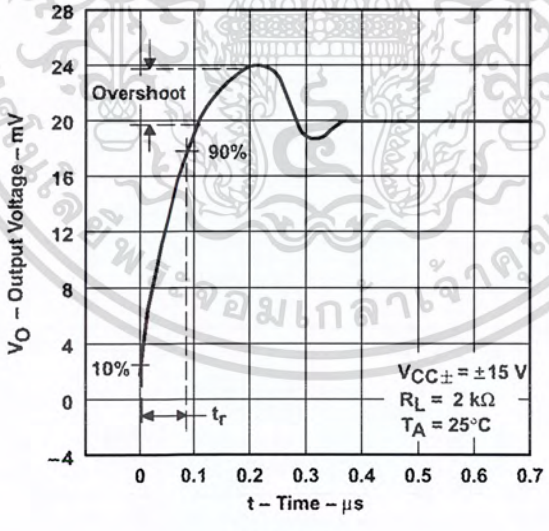


Figure 22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

Table of Application Diagrams

APPLICATION DIAGRAM	PART NUMBER	FIGURE
0.5-Hz square-wave oscillator	TL071	23
High-Q notch filter	TL071	24
Audio-distribution amplifier	TL074	25
100-kHz quadrature oscillator	TL072	26
AC amplifier	TL071	27

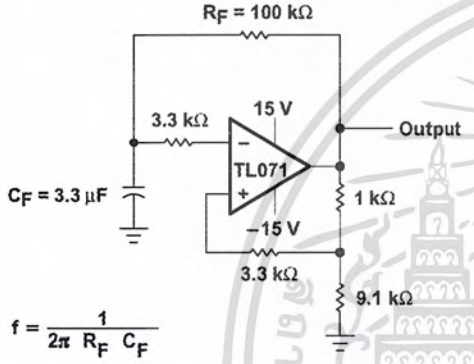


Figure 23. 0.5-Hz Square-Wave Oscillator

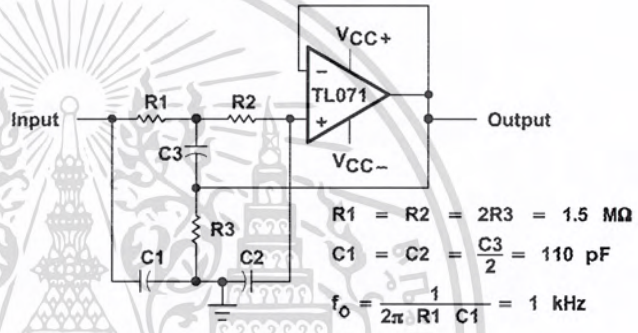


Figure 24. High-Q Notch Filter

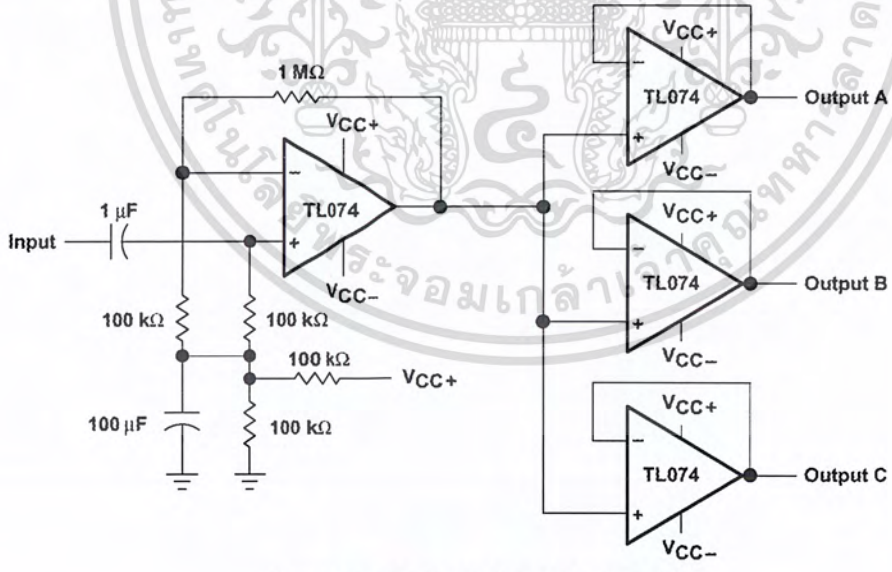
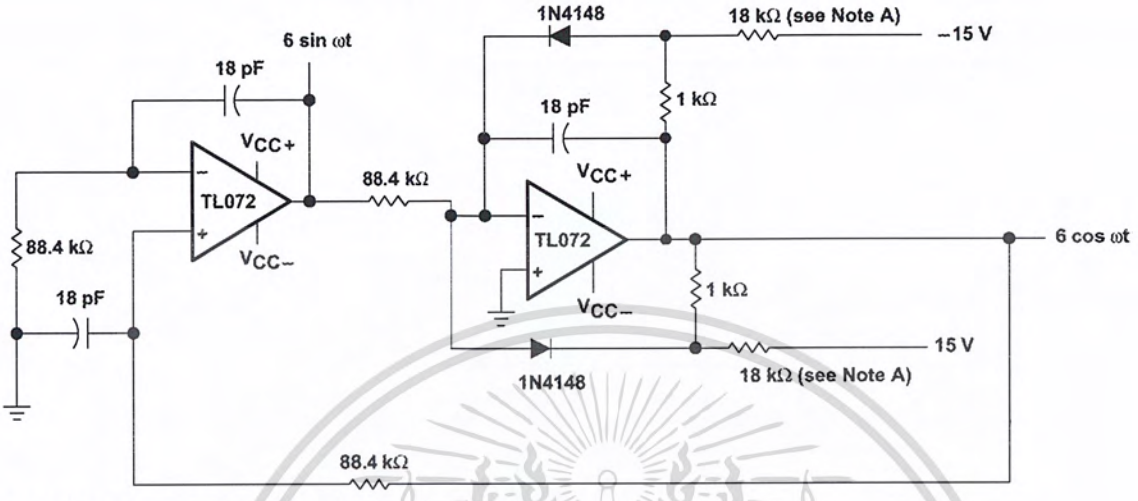


Figure 25. Audio-Distribution Amplifier

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265
POST OFFICE BOX 1443 • HOUSTON, TEXAS 77251–1443
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION



NOTE A: These resistor values may be adjusted for a symmetrical output.

Figure 26. 100-kHz Quadrature Oscillator

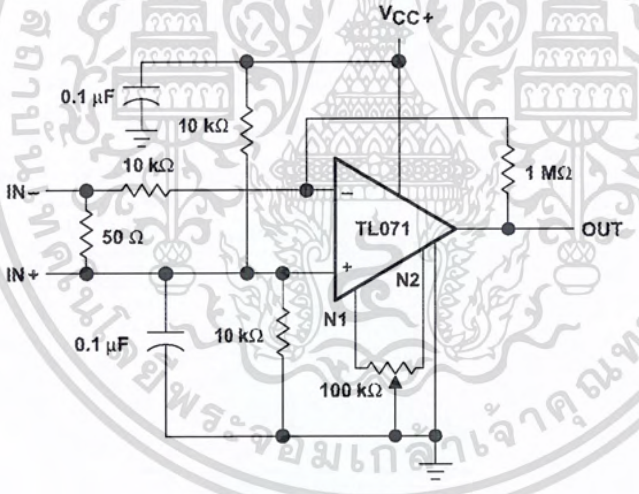


Figure 27. AC Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMPORTANT NOTICE

Texas Instruments (TI) reserves the right to make changes to its products or to discontinue any semiconductor product or service without notice, and advises its customers to obtain the latest version of relevant information to verify, before placing orders, that the information being relied on is current.

TI warrants performance of its semiconductor products and related software to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

Certain applications using semiconductor products may involve potential risks of death, personal injury, or severe property or environmental damage ("Critical Applications").

TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, INTENDED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT APPLICATIONS, DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS.

Inclusion of TI producttedin such applicationtedis understood to be fully at the risk of the customer. Use of TI products in such applications requires the written approval of an appropriate TI officer. Questions concerning potential risk applicationt should be directed to TI through a local SC sales office.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards should be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance, customer product design, software performance, or infringement of patents or services described herein. Nor does TI warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or procestedin which such semiconductor products or services might be or are used.

Copyright © 1995, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

15MHz, BiMOS Operational Amplifier with MOSFET Input/CMOS Output

CA3130A and CA3130 are op amps that combine the advantage of both CMOS and bipolar transistors.

Gate-protected P-Channel MOSFET (PMOS) transistors are used in the input circuit to provide very-high-input impedance, very-low-input current, and exceptional speed performance. The use of PMOS transistors in the input stage results in common-mode input-voltage capability down to 0.5V below the negative-supply terminal, an important attribute in single-supply applications.

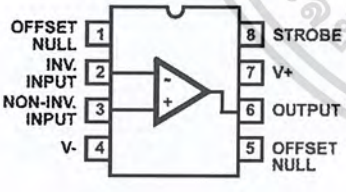
A CMOS transistor-pair, capable of swinging the output voltage to within 10mV of either supply-voltage terminal (at very high values of load impedance), is employed as the output circuit.

The CA3130 Series circuits operate at supply voltages ranging from 5V to 16V, (±2.5V to ±8V). They can be phase compensated with a single external capacitor, and have terminals for adjustment of offset voltage for applications requiring offset-null capability. Terminal provisions are also made to permit strobing of the output stage.

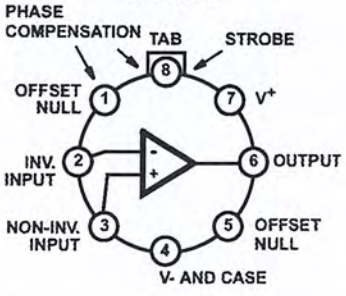
The CA3130A offers superior input characteristics over those of the CA3130.

Pinouts

CA3130, CA3130A
(PDIP, SOIC)
TOP VIEW



CA3130, CA3130A
(METAL CAN)
TOP VIEW



Features

- MOSFET Input Stage Provides:
  - Very High Z_I = 1.5 TΩ (1.5 x 10^{12}Ω) (Typ)
  - Very Low I_I . . . . . 5pA (Typ) at 15V Operation
    . . . . . = 2pA (Typ) at 5V Operation
- Ideal for Single-Supply Applications
- Common-Mode Input-Voltage Range Includes Negative Supply Rail; Input Terminals can be Swung 0.5V Below Negative Supply Rail
- CMOS Output Stage Permits Signal Swing to Either (or both) Supply Rails

Applications

- Ground-Referenced Single Supply Amplifiers
- Fast Sample-Hold Amplifiers
- Long-Duration Timers/Monostables
- High-Input-Impedance Comparators (Ideal Interface with Digital CMOS)
- High-Input-Impedance Wideband Amplifiers
- Voltage Followers (e.g. Follower for Single-Supply D/A Converter)
- Voltage Regulators (Permits Control of Output Voltage Down to 0V)
- Peak Detectors
- Single-Supply Full-Wave Precision Rectifiers
- Photo-Diode Sensor Amplifiers

Ordering Information

PART NO. (BRAND)	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3130AE	-55 to 125	8 Ld PDIP	E8.3
CA3130AM (3130A)	-55 to 125	8 Ld SOIC	M8.15
CA3130AM96 (3130A)	-55 to 125	8 Ld SOIC Tape and Reel	M8.15
CA3130AT	-55 to 125	8 Pin Metal Can	T8.C
CA3130E	-55 to 125	8 Ld PDIP	E8.3
CA3130M (3130)	-55 to 125	8 Ld SOIC	M8.15
CA3130M96 (3130)	-55 to 125	8 Ld SOIC Tape and Reel	M8.15
CA3130T	-55 to 125	8 Pin Metal Can	T8.C

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
1-888-INTERSIL or 321-724-7143 | Copyright © Intersil Corporation 1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply Voltage (Between V+ And V- Terminals) 16V
Differential Input Voltage 8V
DC Input Voltage . . . . . (V+ +8V) to (V- -0.5V)
Input-Terminal Current 1mA
Output Short-Circuit Duration (Note 1) . . . . . Indefinite

Operating Conditions

Temperature Range . . . . . $-50^{o}C$ to $125^{o}C$

Thermal Information

Thermal Resistance (Typical, Note 2)	θ_{JA} ($^{o}C/W$)	θ_{JC} ($^{o}C/W$)
PDIP Package	100	N/A
SOIC Package	160	N/A
Metal Can Package	170	85

Maximum Junction Temperature (Metal Can Package) . . . . . $175^{o}C$
Maximum Junction Temperature (Plastic Package) . . . . . $150^{o}C$
Maximum Storage Temperature Range . . . . . $-65^{o}C$ to $150^{o}C$
Maximum Lead Temperature (Soldering 10s) . . . . . $300^{o}C$
(SOIC - Lead Tips Only)

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTES:

1. Short circuit may be applied to ground or to either supply.
2. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

$T_A = 25^{o}C$, V+ = 15V, V- = 0V, Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS	CA3130			CA3130A			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	$\lvert V_{IO}\rvert$	$V_S = \pm 7.5V$	-	8	15	-	2	5	mV
Input Offset Voltage Temperature Drift	$\Delta V_{IO}/\Delta T$		-	10	-	-	10	-	$\mu V/^{o}C$
Input Offset Current	$\lvert I_{IO}\rvert$	$V_S = \pm 7.5V$	-	0.5	30	-	0.5	20	pA
Input Current	I_I	$V_S = \pm 7.5V$	-	5	50	-	5	30	pA
Large-Signal Voltage Gain	A_{OL}	$V_O = 10V_{P-P}$, $R_L = 2k\Omega$	50	320	-	50	320	-	kV/V
			94	110	-	94	110	-	dB
Common-Mode Rejection Ratio	CMRR		70	90	-	80	90	-	dB
Common-Mode Input Voltage Range	V_{ICR}		0	-0.5 to 12	10	0	-0.5 to 12	10	V
Power-Supply Rejection Ratio	$\Delta V_{IO}/\Delta V_S$	$V_S = \pm 7.5V$	-	32	320	-	32	150	$\mu V/V$
Maximum Output Voltage	V_{OM}^+	$R_L = 2k\Omega$	12	13.3	-	12	13.3	-	V
	V_{OM}^-	$R_L = 2k\Omega$	-	0.002	0.01	-	0.002	0.01	V
	V_{OM}^+	$R_L = \infty$	14.99	15	-	14.99	15	-	V
	V_{OM}^-	$R_L = \infty$	-	0	0.01	-	0	0.01	V
Maximum Output Current	I_{OM}^+ (Source) at $V_O = 0V$		12	22	45	12	22	45	mA
	I_{OM}^- (Sink) at $V_O = 15V$		12	20	45	12	20	45	mA
Supply Current	I+	$V_O = 7.5V$, $R_L = \infty$	-	10	15	-	10	15	mA
	I+	$V_O = 0V$, $R_L = \infty$	-	2	3	-	2	3	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications

Typical Values Intended Only for Design Guidance, V_{SUPPLY} = ±7.5V, T_A = 25°C Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS	CA3130, CA3130A	UNITS
Input Offset Voltage Adjustment Range		10kΩ Across Terminals 4 and 5 or 4 and 1	±22	mV
Input Resistance	R_I		1.5	TΩ
Input Capacitance	C_I	f = 1MHz	4.3	pF
Equivalent Input Noise Voltage	e_N	BW = 0.2MHz, R_S = 1MΩ (Note 3)	23	µV
Open Loop Unity Gain Crossover Frequency (For Unity Gain Stability ≥47pF Required.)	f_T	C_C = 0	15	MHz
		C_C = 47pF	4	MHz
Slew Rate:	SR			
Open Loop		C_C = 0	30	V/µs
Closed Loop		C_C = 56pF	10	V/µs
Transient Response:		C_C = 56pF, C_L = 25pF, R_L = 2kΩ (Voltage Follower)		
Rise Time	t_r		0.09	µs
Overshoot	OS		10	%
Settling Time (To <0.1%, V_{IN} = $4V_{P-P}$)	t_S		1.2	µs

NOTE:

3. Although a 1MΩ source is used for this test, the equivalent input noise remains constant for values of R_S up to 10MΩ.

Electrical Specifications

Typical Values Intended Only for Design Guidance, V+ = 5V, V- = 0V, T_A = 25°C Unless Otherwise Specified (Note 4)

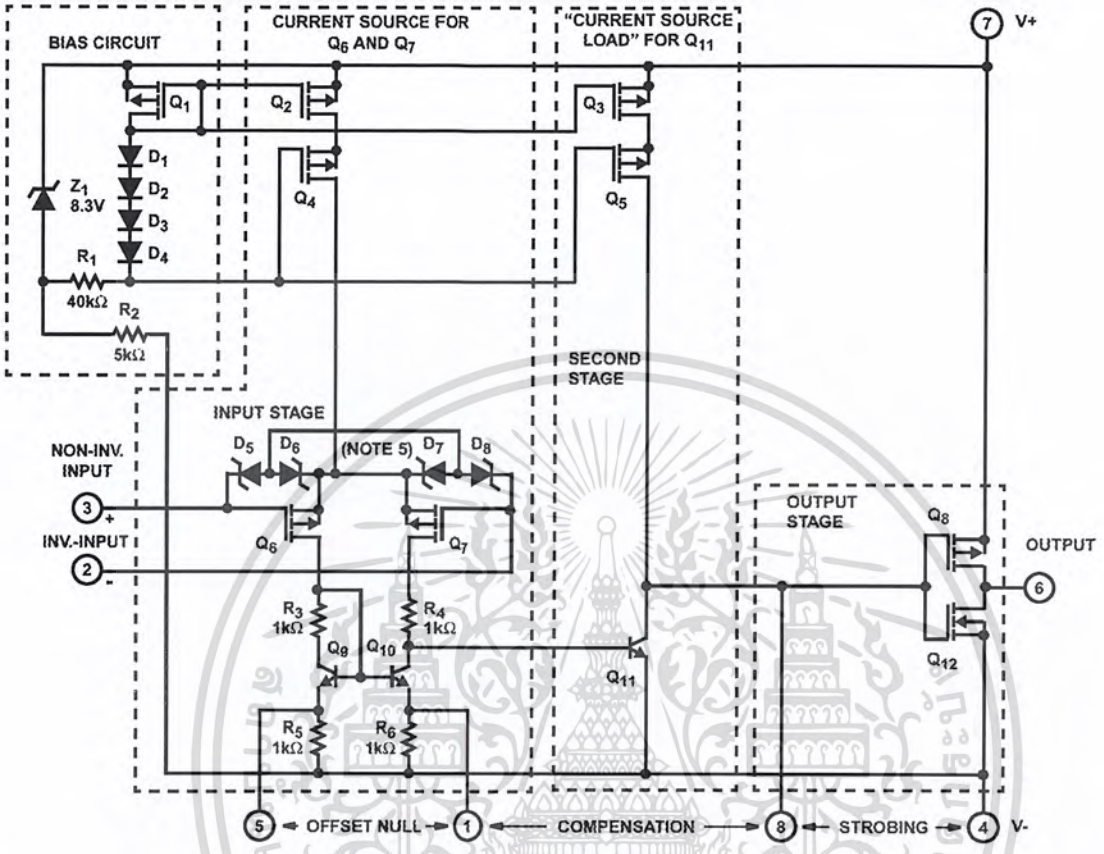
PARAMETER	SYMBOL	TEST CONDITIONS	CA3130	CA3130A	UNITS
Input Offset Voltage	V_{IO}		8	2	mV
Input Offset Current	I_{IO}		0.1	0.1	pA
Input Current	I_I		2	2	pA
Common-Mode Rejection Ratio	CMRR		80	90	dB
Large-Signal Voltage Gain	A_{OL}	V_O = $4V_{P-P}$, R_L = 5kΩ	100	100	kV/V
			100	100	dB
Common-Mode Input Voltage Range	V_{ICR}		0 to 2.8	0 to 2.8	V
Supply Current	I+	V_O = 5V, R_L = ∞	300	300	µA
		V_O = 2.5V, R_L = ∞	500	500	µA
Power Supply Rejection Ratio	$\Delta V_{IO}/\Delta V+$		200	200	µV/V

NOTE:

4. Operation at 5V is not recommended for temperatures below 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram



NOTE:

5. Diodes D_5 through D_8 provide gate-oxide protection for MOSFET input stage.

Application Information

Circuit Description

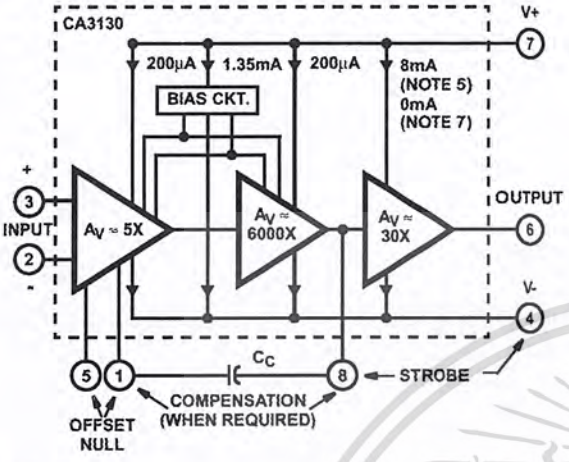
Figure 1 is a block diagram of the CA3130 Series CMOS Operational Amplifiers. The input terminals may be operated down to 0.5V below the negative supply rail, and the output can be swung very close to either supply rail in many applications. Consequently, the CA3130 Series circuits are ideal for single-supply operation. Three Class A amplifier stages, having the individual gain capability and current consumption shown in Figure 1, provide the total gain of the CA3130. A biasing circuit provides two potentials for common use in the first and second stages. Terminal 8 can be used both for phase compensation and to strobe the output stage into quiescence. When Terminal 8 is tied to the negative supply rail (Terminal 4) by mechanical or electrical means, the output potential at Terminal 6 essentially rises to the positive supply-rail potential at Terminal 7. This condition of essentially zero current drain in the output stage under the strobed "OFF" condition can only be achieved when the ohmic load resistance presented to the amplifier is very high (e.g.,when the amplifier output is used to drive CMOS digital circuits in Comparator applications).

Input Stage

The circuit of the CA3130 is shown in the schematic diagram. It consists of a differential-input stage using PMOS field-effect transistors (Q_6, Q_7) working into a mirror-pair of bipolar transistors (Q_9, Q_{10}) functioning as load resistors together with resistors R_3 through R_6. The mirror-pair transistors also function as a differential-to-single-ended converter to provide base drive to the second-stage bipolar transistor (Q_{11}). Offset nulling, when desired, can be effected by connecting a 100,000Ω potentiometer across Terminals 1 and 5 and the potentiometer slider arm to Terminal 4. Cascade-connected PMOS transistors Q_2, Q_4 are the constant-current source for the input stage. The biasing circuit for the constant-current source is subsequently described. The small diodes D_5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

through D_8 provide gate-oxide protection against high-voltage transients, including static electricity during handling for Q_6 and Q_7.



NOTES:

6. Total supply voltage (for indicated voltage gains) = 15V with input terminals biased so that Terminal 6 potential is +7.5V above Terminal 4.
7. Total supply voltage (for indicated voltage gains) = 15V with output terminal driven to either supply rail.

FIGURE 1. BLOCK DIAGRAM OF THE CA3130 SERIES

Second-Stage

Most of the voltage gain in the CA3130 is provided by the second amplifier stage, consisting of bipolar transistor Q_{11} and its cascade-connected load resistance provided by PMOS transistors Q_3 and Q_5. The source of bias potentials for these PMOS transistors is subsequently described. Miller Effect compensation (roll-off) is accomplished by simply connecting a small capacitor between Terminals 1 and 8. A 47pF capacitor provides sufficient compensation for stable unity-gain operation in most applications.

Bias-Source Circuit

At total supply voltages, somewhat above 8.3V, resistor R_2 and zener diode Z_1 serve to establish a voltage of 8.3V across the series-connected circuit, consisting of resistor R_1, diodes D_1 through D_4, and PMOS transistor Q_1. A tap at the junction of resistor R_1 and diode D_4 provides a gate-bias potential of about 4.5V for PMOS transistors Q_4 and Q_5 with respect to Terminal 7. A potential of about 2.2V is developed across diode-connected PMOS transistor Q_1 with respect to Terminal 7 to provide gate bias for PMOS transistors Q_2 and Q_3. It should be noted that Q_1 is "mirror-connected (see Note 8)" to both Q_2 and Q_3. Since transistors Q_1, Q_2, Q_3 are designed to be identical, the approximately 200µA current in Q_1 establishes a similar current in Q_2 and Q_3 as constant current sources for both the first and second amplifier stages, respectively.

At total supply voltages somewhat less than 8.3V, zener diode Z_1 becomes nonconductive and the potential, developed across series-connected R_1, D_1-D_4, and Q_1, varies directly with variations in supply voltage. Consequently, the gate bias for Q_4, Q_5 and Q_2, Q_3 varies in accordance with supply-voltage variations. This variation results in deterioration of the power-supply-rejection ratio (PSRR) at total supply voltages below 8.3V. Operation at total supply voltages below about 4.5V results in seriously degraded performance.

Output Stage

The output stage consists of a drain-loaded inverting amplifier using CMOS transistors operating in the Class A mode. When operating into very high resistance loads, the output can be swung within millivolts of either supply rail. Because the output stage is a drain-loaded amplifier, its gain is dependent upon the load impedance. The transfer characteristics of the output stage for a load returned to the negative supply rail are shown in Figure 2. Typical op amp loads are readily driven by the output stage. Because large-signal excursions are non-linear, requiring feedback for good waveform reproduction, transient delays may be encountered. As a voltage follower, the amplifier can achieve 0.01% accuracy levels, including the negative supply rail.

NOTE:

8. For general information on the characteristics of CMOS transistor-pairs in linear-circuit applications, see File Number 619, data sheet on CA3600E "CMOS Transistor Array".

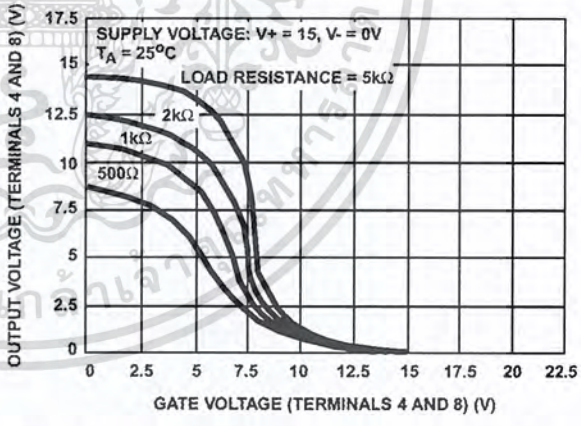


FIGURE 2. VOLTAGE TRANSFER CHARACTERISTICS OF CMOS OUTPUT STAGE

Input Current Variation with Common Mode Input Voltage

As shown in the Table of Electrical Specifications, the input current for the CA3130 Series Op Amps is typically 5pA at $T_A = 25^oC$ when Terminals 2 and 3 are at a common-mode potential of +7.5V with respect to negative supply Terminal 4. Figure 3 contains data showing the variation of input current as a function of common-mode input voltage at $T_A = 25^oC$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

These data show that circuit designers can advantageously exploit these characteristics to design circuits which typically require an input current of less than 1pA, provided the common-mode input voltage does not exceed 2V. As previously noted, the input current is essentially the result of the leakage current through the gate-protection diodes in the input circuit and, therefore, a function of the applied voltage. Although the finite resistance of the glass terminal-to-case insulator of the metal can package also contributes an increment of leakage current, there are useful compensating factors. Because the gate-protection network functions as if it is connected to Terminal 4 potential, and the Metal Can case of the CA3130 is also internally tied to Terminal 4, input Terminal 3 is essentially "guarded" from spurious leakage currents.

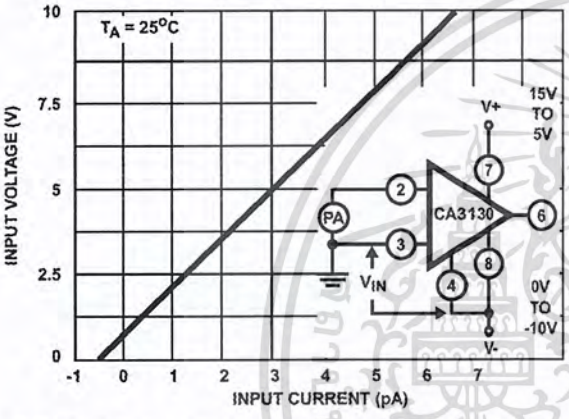


FIGURE 3. INPUT CURRENT vs COMMON-MODE VOLTAGE

Offset Nulling

Offset-voltage nulling is usually accomplished with a 100,000Ω potentiometer connected across Terminals 1 and 5 and with the potentiometer slider arm connected to Terminal 4. A fine offset-null adjustment usually can be effected with the slider arm positioned in the mid-point of the potentiometer's total range.

Input-Current Variation with Temperature

The input current of the CA3130 Series circuits is typically 5pA at 25°C. The major portion of this input current is due to leakage current through the gate-protective diodes in the input circuit. As with any semiconductor-junction device, including op amps with a junction-FET input stage, the leakage current approximately doubles for every 10°C increase in temperature. Figure 4 provides data on the typical variation of input bias current as a function of temperature in the CA3130.

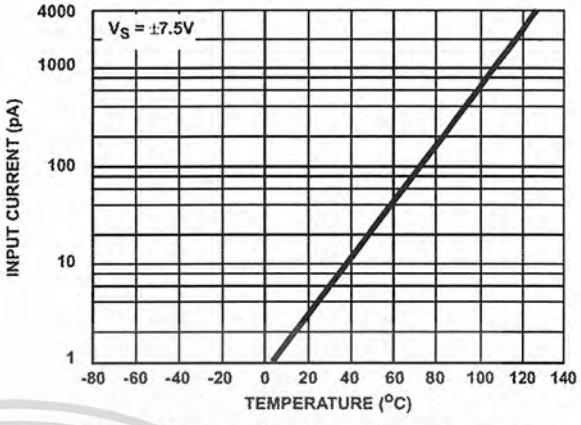


FIGURE 4. INPUT CURRENT vs TEMPERATURE

In applications requiring the lowest practical input current and incremental increases in current because of "warm-up" effects, it is suggested that an appropriate heat sink be used with the CA3130. In addition, when "sinking" or "sourcing" significant output current the chip temperature increases, causing an increase in the input current. In such cases, heat-sinking can also very markedly reduce and stabilize input current variations.

Input Offset Voltage (V_{IO}) Variation with DC Bias and Device Operating Life

It is well known that the characteristics of a MOSFET device can change slightly when a DC gate-source bias potential is applied to the device for extended time periods. The magnitude of the change is increased at high temperatures. Users of the CA3130 should be alert to the possible impacts of this effect if the application of the device involves extended operation at high temperatures with a significant differential DC bias voltage applied across Terminals 2 and 3. Figure 5 shows typical data pertinent to shifts in offset voltage encountered with CA3130 devices (metal can package) during life testing. At lower temperatures (metal can and plastic), for example at 85°C, this change in voltage is considerably less. In typical linear applications where the differential voltage is small and symmetrical, these incremental changes are of about the same magnitude as those encountered in an operational amplifier employing a bipolar transistor input stage. The $2V_{DC}$ differential voltage example represents conditions when the amplifier output stage is "toggled", e.g., as in comparator applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

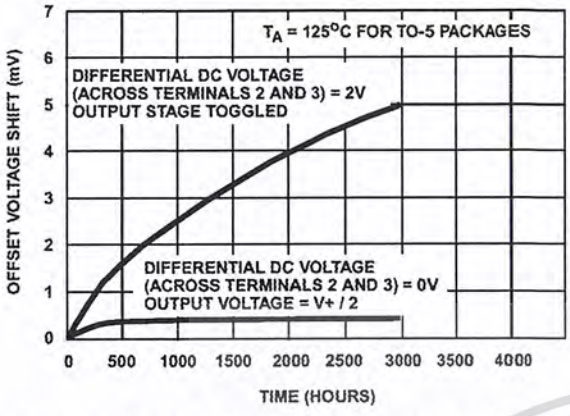


FIGURE 5. TYPICAL INCREMENTAL OFFSET-VOLTAGE SHIFT vs OPERATING LIFE

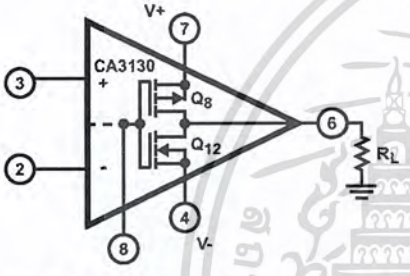


FIGURE 6A. DUAL POWER SUPPLY OPERATION

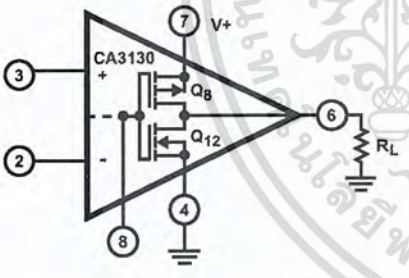


FIGURE 6B. SINGLE POWER SUPPLY OPERATION

FIGURE 6. CA3130 OUTPUT STAGE IN DUAL AND SINGLE POWER SUPPLY OPERATION

Power-Supply Considerations

Because the CA3130 is very useful in single-supply applications, it is pertinent to review some considerations relating to power-supply current consumption under both single-and dual-supply service. Figures 6A and 6B show the CA3130 connected for both dual-and single-supply operation.

Dual-supply Operation: When the output voltage at Terminal 6 is 0V, the currents supplied by the two power supplies are equal. When the gate terminals of Q_8 and Q_{12} are driven increasingly positive with respect to ground, current flow through Q_{12} (from the negative supply) to the load is increased and current flow through Q_8 (from the positive supply) decreases correspondingly. When the gate terminals of Q_8 and Q_{12} are driven increasingly negative with respect to ground, current flow through Q_8 is increased and current flow through Q_{12} is decreased accordingly.

Single-supply Operation: Initially, let it be assumed that the value of R_L is very high (or disconnected), and that the input-terminal bias (Terminals 2 and 3) is such that the output terminal (No. 6) voltage is at V+/2, i.e., the voltage drops across Q_8 and Q_{12} are of equal magnitude. Figure 20 shows typical quiescent supply-current vs supply-voltage for the CA3130 operated under these conditions. Since the output stage is operating as a Class A amplifier, the supply-current will remain constant under dynamic operating conditions as long as the transistors are operated in the linear portion of their voltage-transfer characteristics (see Figure 2). If either Q_8 or Q_{12} are swung out of their linear regions toward cut-off (a non-linear region), there will be a corresponding reduction in supply-current. In the extreme case, e.g., with Terminal 8 swung down to ground potential (or tied to ground), NMOS transistor Q_{12} is completely cut off and the supply-current to series-connected transistors Q_8, Q_{12} goes essentially to zero. The two preceding stages in the CA3130, however, continue to draw modest supply-current (see the lower curve in Figure 20) even though the output stage is strobed off. Figure 6A shows a dual-supply arrangement for the output stage that can also be strobed off, assuming $R_L = \infty$ by pulling the potential of Terminal 8 down to that of Terminal 4.

Let it now be assumed that a load-resistance of nominal value (e.g., 2kΩ) is connected between Terminal 6 and ground in the circuit of Figure 6B. Let it be assumed again that the input-terminal bias (Terminals 2 and 3) is such that the output terminal (No. 6) voltage is at V+/2. Since PMOS transistor Q_8 must now supply quiescent current to both R_L and transistor Q_{12}, it should be apparent that under these conditions the supply-current must increase as an inverse function of the R_L magnitude. Figure 22 shows the voltage-drop across PMOS transistor Q_8 as a function of load current at several supply voltages. Figure 2 shows the voltage-transfer characteristics of the output stage for several values of load resistance.

Wideband Noise

From the standpoint of low-noise performance considerations, the use of the CA3130 is most advantageous in applications where in the source resistance of the input signal is on the order of 1MΩ or more. In this case, the total input-referred noise voltage is typically only 23μV when the test-circuit amplifier of Figure 7 is operated at a total supply voltage of 15V. This value of total input-referred noise remains essentially constant, even though the value of source resistance is raised by an order of magnitude. This characteristic is due to the fact that reactance of the input capacitance becomes a significant

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

factor in shunting the source resistance. It should be noted, however, that for values of source resistance very much greater than 1MΩ, the total noise voltage generated can be dominated by the thermal noise contributions of both the feedback and source resistors.

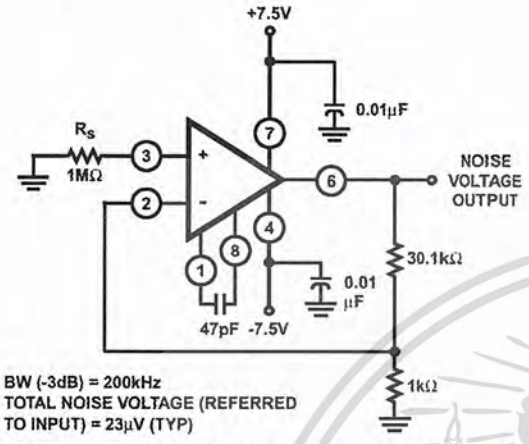


FIGURE 7. TEST-CIRCUIT AMPLIFIER (30-dB GAIN) USED FOR WIDEBAND NOISE MEASUREMENTS

Typical Applications

Voltage Followers

Operational amplifiers with very high input resistances, like the CA3130, are particularly suited to service as voltage followers. Figure 8 shows the circuit of a classical voltage follower, together with pertinent waveforms using the CA3130 in a split-supply configuration.

A voltage follower, operated from a single supply, is shown in Figure 9, together with related waveforms. This follower circuit is linear over a wide dynamic range, as illustrated by the reproduction of the output waveform in Figure 9A with input-signal ramping. The waveforms in Figure 9B show that the follower does not lose its input-to-output phase-sense, even though the input is being swung 7.5V below ground potential. This unique characteristic is an important attribute in both operational amplifier and comparator applications. Figure 9B also shows the manner in which the CMOS output stage permits the output signal to swing down to the negative supply-rail potential (i.e., ground in the case shown). The digital-to-analog converter (DAC) circuit, described later, illustrates the practical use of the CA3130 in a single-supply voltage-follower application.

9-Bit CMOS DAC

A typical circuit of a 9-bit Digital-to-Analog Converter (DAC) is shown in Figure 10. This system combines the concepts of multiple-switch CMOS ICs, a low-cost ladder network of discrete metal-oxide-film resistors, a CA3130 op amp connected as a follower, and an inexpensive monolithic regulator in a simple single power-supply arrangement. An additional feature of the DAC is that it is readily interfaced with CMOS input logic, e.g., 10V logic levels are used in the circuit of Figure 10.

The circuit uses an R/2R voltage-ladder network, with the output potential obtained directly by terminating the ladder arms at either the positive or the negative power-supply terminal. Each CD4007A contains three "inverters", each "inverter" functioning as a single-pole double-throw switch to terminate an arm of the R/2R network at either the positive or negative power-supply terminal. The resistor ladder is an assembly of 1% tolerance metal-oxide film resistors. The five arms requiring the highest accuracy are assembled with series and parallel combinations of 806,000Ω resistors from the same manufacturing lot.

A single 15V supply provides a positive bus for the CA3130 follower amplifier and feeds the CA3085 voltage regulator. A "scale-adjust" function is provided by the regulator output control, set to a nominal 10V level in this system. The line-voltage regulation (approximately 0.2%) permits a 9-bit accuracy to be maintained with variations of several volts in the supply. The flexibility afforded by the CMOS building blocks simplifies the design of DAC systems tailored to particular needs.

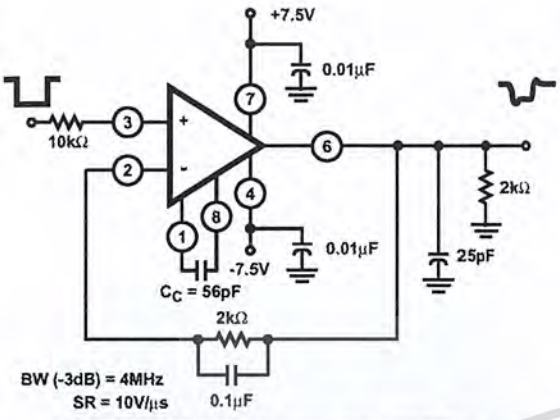
Single-Supply, Absolute-Value, Ideal Full-Wave Rectifier

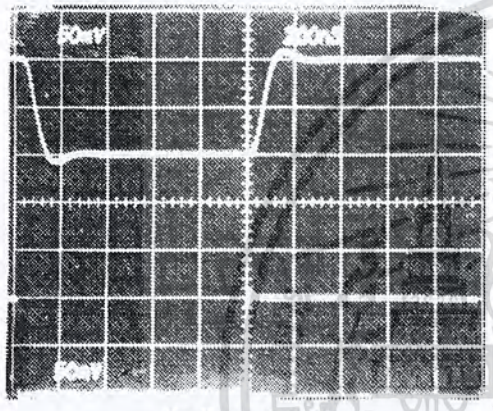
The absolute-value circuit using the CA3130 is shown in Figure 11. During positive excursions, the input signal is fed through the feedback network directly to the output. Simultaneously, the positive excursion of the input signal also drives the output terminal (No. 6) of the inverting amplifier in a negative-going excursion such that the 1N914 diode effectively disconnects the amplifier from the signal path. During a negative-going excursion of the input signal, the CA3130 functions as a normal inverting amplifier with a gain equal to $-R_2/R_1$. When the equality of the two equations shown in Figure 11 is satisfied, the full-wave output is symmetrical.

Peak Detectors

Peak-detector circuits are easily implemented with the CA3130, as illustrated in Figure 12 for both the peak-positive and the peak-negative circuit. It should be noted that with large-signal inputs, the bandwidth of the peak-negative circuit is much less than that of the peak-positive circuit. The second stage of the CA3130 limits the bandwidth in this case. Negative-going output-signal excursion requires a positive-going signal excursion at the collector of transistor Q_{11}, which is loaded by the intrinsic capacitance of the associated circuitry in this mode. On the other hand, during a negative-going signal excursion at the collector of Q_{11}, the transistor functions in an active "pull-down" mode so that the intrinsic capacitance can be discharged more expeditiously.

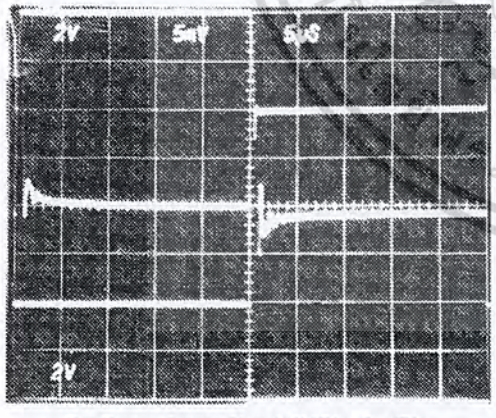
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





Top Trace: Output
Center Trace: Input

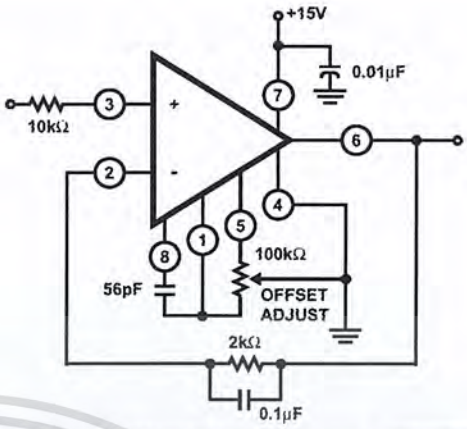
FIGURE 8A. SMALL-SIGNAL RESPONSE (50mV/DIV., 200ns/DIV.)



Top Trace: Output Signal; 2V/Div., 5µs/Div.
Center Trace: Difference Signa; 5mV/Div., 5µs/Div.
Bottom Trace: Input Signal; 2V/Div., 5µs/Div.

FIGURE 8B. INPUT-OUTPUT DIFFERENCE SIGNAL SHOWING SETTLING TIME (MEASUREMENT MADE WITH TEKTRONIX 7A13 DIFFERENTIAL AMPLIFIER)

FIGURE 8. SPLIT SUPPLY VOLTAGE FOLLOWER WITH ASSOCIATED WAVEFORMS



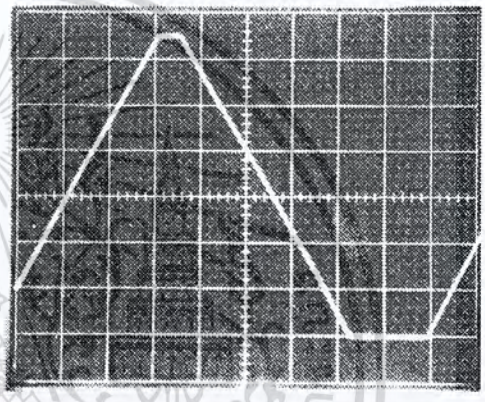
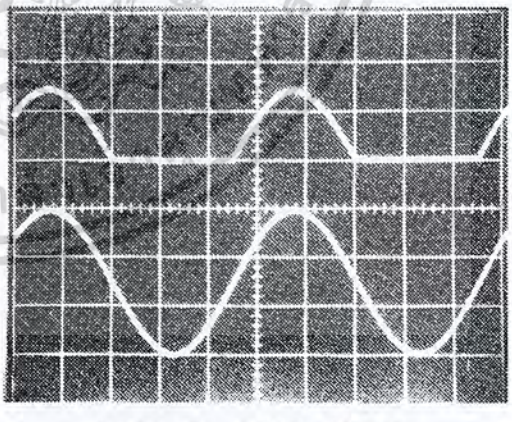


FIGURE 9A. OUTPUT WAVEFORM WITH INPUT SIGNAL RAMPING (2V/DIV., 500µs/DIV.)

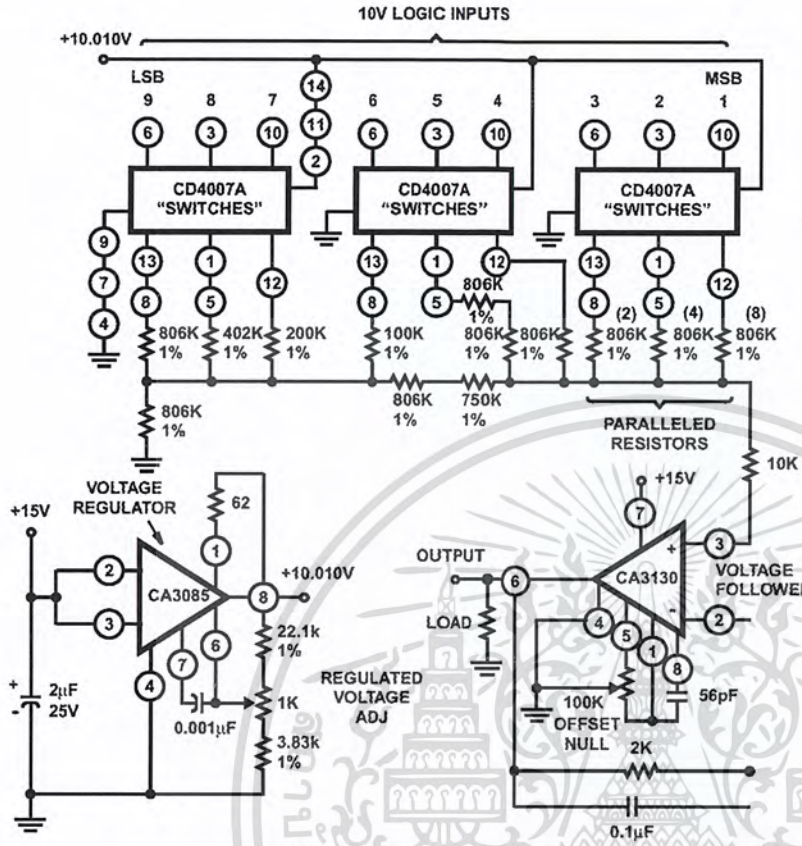


Top Trace:Output; 5V/Div., 200µs/Div.
Bottom Trace:Input Signal; 5V/Div., 200µs/Div.

FIGURE 9B. OUTPUT WAVEFORM WITH GROUND REFERENCE SINE-WAVE INPUT

FIGURE 9. SINGLE SUPPLY VOLTAGE FOLLOWER WITH ASSOCIATED WAVEFORMS. (e.g., FOR USE IN SINGLE-SUPPLY D/A CONVERTER; SEE FIGURE 9 IN AN6080)

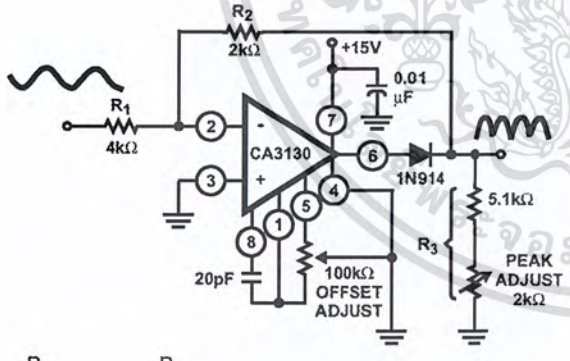
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

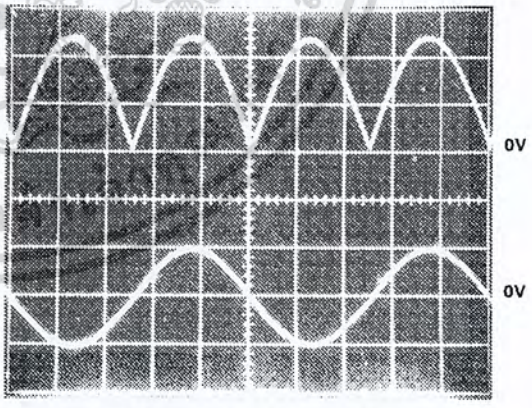


BIT	REQUIRED RATIO-MATCH
1	STANDARD
2	±0.1%
3	±0.2%
4	±0.4%
5	±0.8%
6 - 9	±1% ABS

NOTE: All resistances are in ohms.

FIGURE 10. 9-BIT DAC USING CMOS DIGITAL SWITCHES AND CA3130





$$ain = \frac{R_2}{R_1} = X = \frac{R_3}{R_1 + R_2 + R_3}$$

$$R_3 = R_1\left(\frac{X + X^2}{1 - X}\right) \qquad \text{For } X = 0.5: \frac{2K\Omega}{4k\Omega} = \frac{R_2}{R_1}$$

$$R_3 = 4k\Omega\left(\frac{0.75}{0.5}\right) = 6k\Omega$$

$20V_{P-P}$ Input: BW(-3dB) = 230kHz, DC Output (Avg) = 3.2V
$1V_{P-P}$ Input: BW(-3dB) = 130kHz, DC Output (Avg) = 160mV

Top Trace: Output Signal; 2V/Div.
Bottom Trace: Input Signal; 10V/Div.
Time base on both traces: 0.2ms/Div.

FIGURE 11. SINGLE SUPPLY, ABSOLUTE VALUE, IDEAL FULL-WAVE RECTIFIER WITH ASSOCIATED WAVEFORMS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

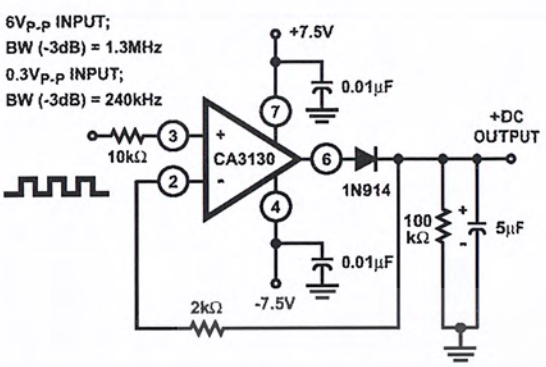


FIGURE 12A. PEAK POSITIVE DETECTOR CIRCUIT

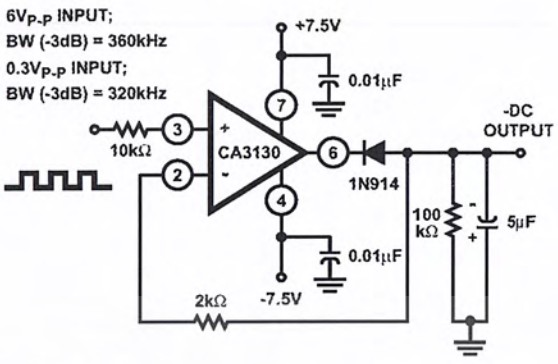
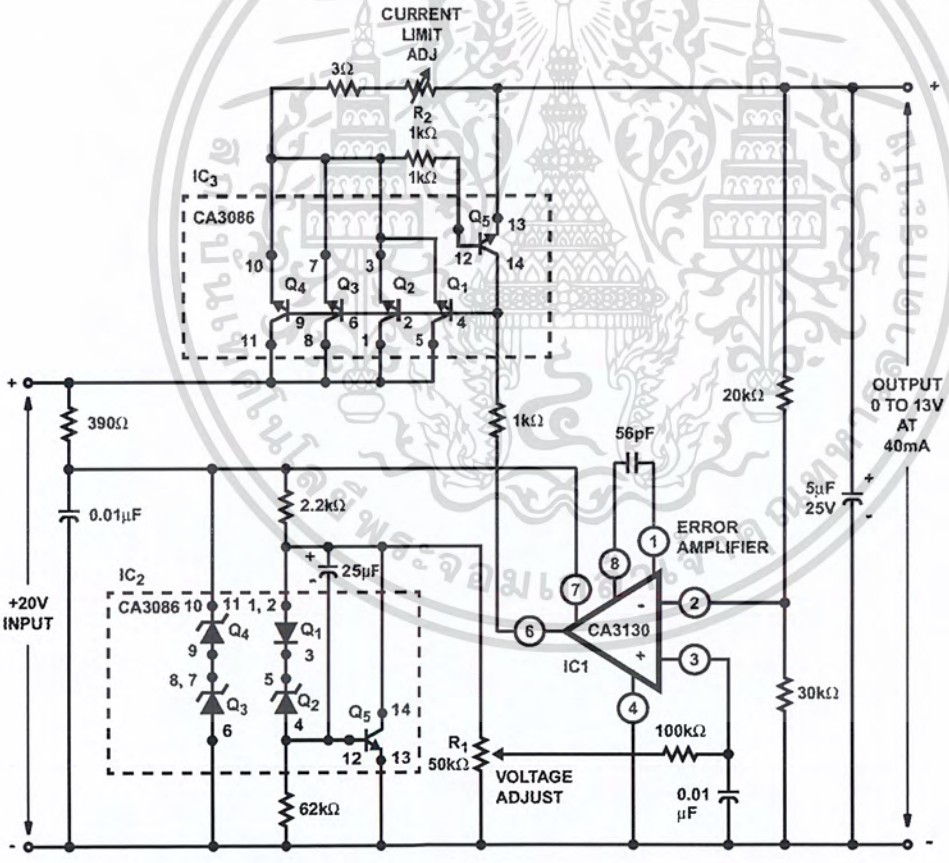


FIGURE 12B. PEAK NEGATIVE DETECTOR CIRCUIT

FIGURE 12. PEAK-DETECTOR CIRCUITS



REGULATION (NO LOAD TO FULL LOAD): <0.01%
INPUT REGULATION: 0.02%/V
HUM AND NOISE OUTPUT: <25µV UP TO 100kHz

FIGURE 13. VOLTAGE REGULATOR CIRCUIT (0V TO 13V AT 40mA)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

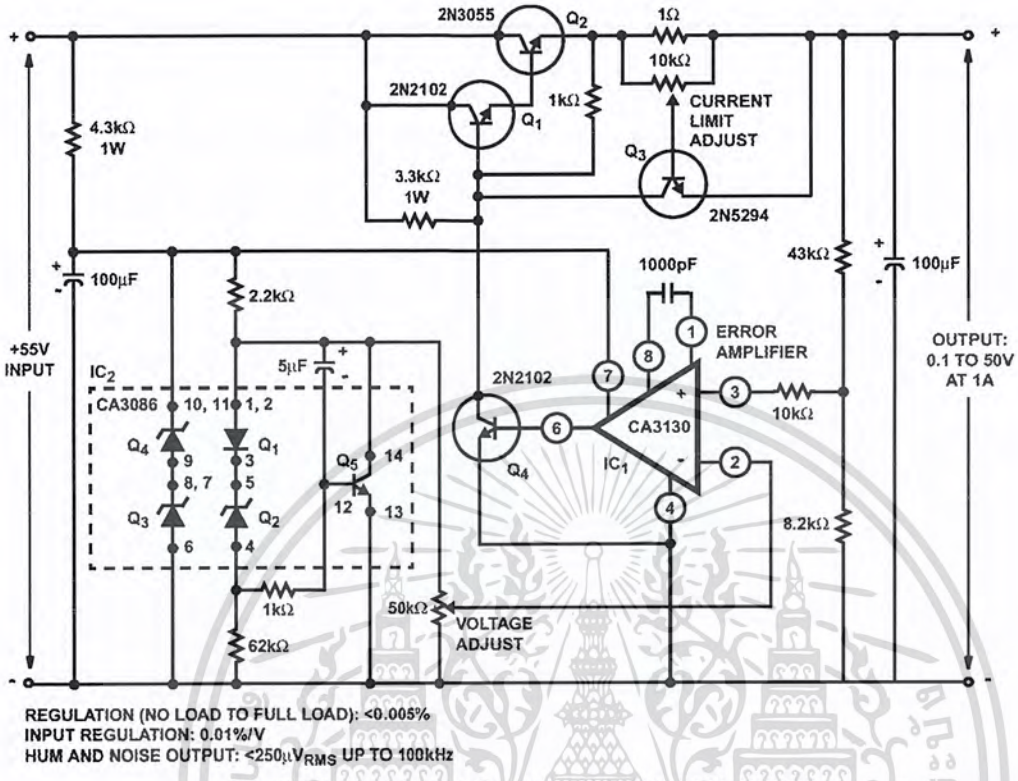


FIGURE 14. VOLTAGE REGULATOR CIRCUIT (0.1V TO 50V AT 1A)

Error-Amplifier in Regulated-Power Supplies

The CA3130 is an ideal choice for error-amplifier service in regulated power supplies since it can function as an error-amplifier when the regulated output voltage is required to approach zero. Figure 13 shows the schematic diagram of a 40mA power supply capable of providing regulated output voltage by continuous adjustment over the range from 0V to 13V. Q_3 and Q_4 in IC_2 (a CA3086 transistor-array IC) function as zeners to provide supply-voltage for the CA3130 comparator (IC_1). Q_1, Q_2, and Q_5 in IC_2 are configured as a low impedance, temperature-compensated source of adjustable reference voltage for the error amplifier. Transistors Q_1, Q_2, Q_3, and Q_4 in IC_3 (another CA3086 transistor-array IC) are connected in parallel as the series-pass element. Transistor Q_5 in IC_3 functions as a current-limiting device by diverting base drive from the series-pass transistors, in accordance with the adjustment of resistor R_2.

Figure 14 contains the schematic diagram of a regulated power-supply capable of providing regulated output voltage by continuous adjustment over the range from 0.1V to 50V and currents up to 1A. The error amplifier (IC_1) and circuitry associated with IC_2 function as previously described, although the output of IC_1 is boosted by a discrete transistor (Q_4) to provide adequate base drive for the Darlington-connected series-pass transistors Q_1, Q_2. Transistor Q_3 functions in the previously described current-limiting circuit.

Multivibrators

The exceptionally high input resistance presented by the CA3130 is an attractive feature for multivibrator circuit design because it permits the use of timing circuits with high R/C ratios. The circuit diagram of a pulse generator (astable multivibrator), with provisions for independent control of the "on" and "off" periods, is shown in Figure 15. Resistors R_1 and R_2 are used to bias the CA3130 to the mid-point of the supply-voltage and R_3 is the feedback resistor. The pulse repetition rate is selected by positioning S_1 to the desired position and the rate remains essentially constant when the resistors which determine "on-period" and "off-period" are adjusted.

Function Generator

Figure 16 contains a schematic diagram of a function generator using the CA3130 in the integrator and threshold detector functions. This circuit generates a triangular or square-wave output that can be swept over a 1,000,000:1 range (0.1Hz to 100kHz) by means of a single control, R_1. A voltage-control input is also available for remote sweep-control.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The heart of the frequency-determining system is an operational-transconductance-amplifier (OTA) (see Note 10), IC_1, operated as a voltage-controlled current-source. The output, I_O, is a current applied directly to the integrating capacitor, C_1, in the feedback loop of the integrator IC_2, using a CA3130, to provide the triangular-wave output. Potentiometer R_2 is used to adjust the circuit for slope symmetry of positive-going and negative-going signal excursions.

Another CA3130, IC_3, is used as a controlled switch to set the excursion limits of the triangular output from the integrator circuit. Capacitor C_2 is a "peaking adjustment" to optimize the high-frequency square-wave performance of the circuit.

Potentiometer R_3 is adjustable to perfect the "amplitude symmetry" of the square-wave output signals. Output from the threshold detector is fed back via resistor R_4 to the input of IC_1 so as to toggle the current source from plus to minus in generating the linear triangular wave.

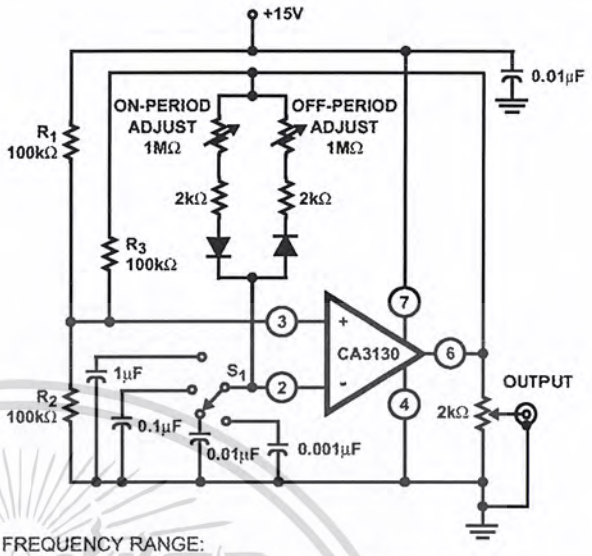
Operation with Output-Stage Power-Booster

The current-sourcing and-sinking capability of the CA3130 output stage is easily supplemented to provide power-boost capability. In the circuit of Figure 17, three CMOS transistor-pairs in a single CA3600E (see Note 12) IC array are shown parallel connected with the output stage in the CA3130. In the Class A mode of CA3600E shown, a typical device consumes 20mA of supply current at 15V operation. This arrangement boosts the current-handling capability of the CA3130 output stage by about 2.5X.

The amplifier circuit in Figure 17 employs feedback to establish a closed-loop gain of 48dB. The typical large-signal bandwidth (-3dB) is 50kHz.

NOTE:

9. See file number 619 for technical information.



FREQUENCY RANGE:

POSITION OF S_1	PULSE PERIOD
0.001µF	4µs to 1ms
0.01µF	40µs to 10ms
0.1µF	0.4ms to 100ms
1µF	4ms to 1s

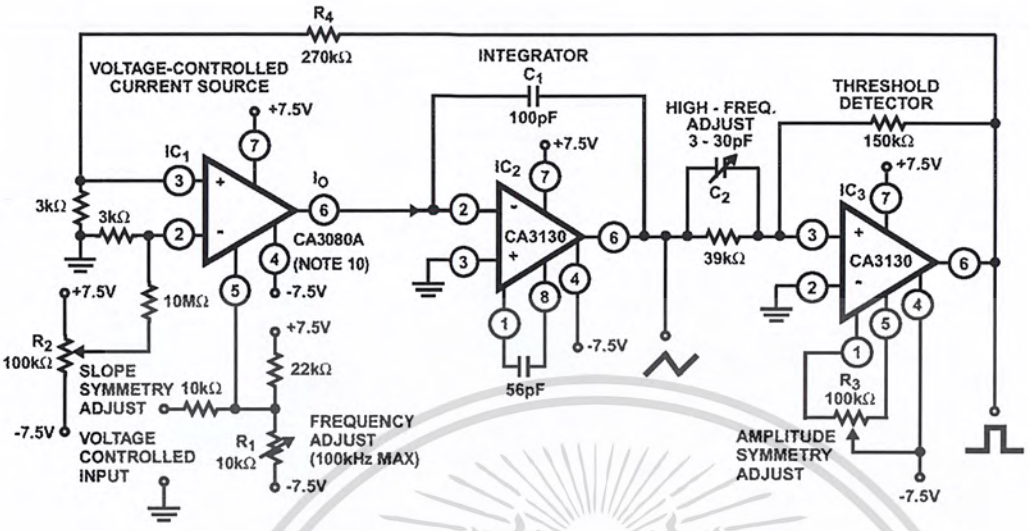
FIGURE 15. PULSE GENERATOR (ASTABLE MULTIVIBRATOR) WITH PROVISIONS FOR INDEPENDENT CONTROL OF "ON" AND "OFF" PERIODS

All Intersil semiconductor products are manufactured, assembled and tested under **ISO9000** quality systems certification.

Intersil semiconductor products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

For information regarding Intersil Corporation and its products, see web site **http://www.intersil.com**

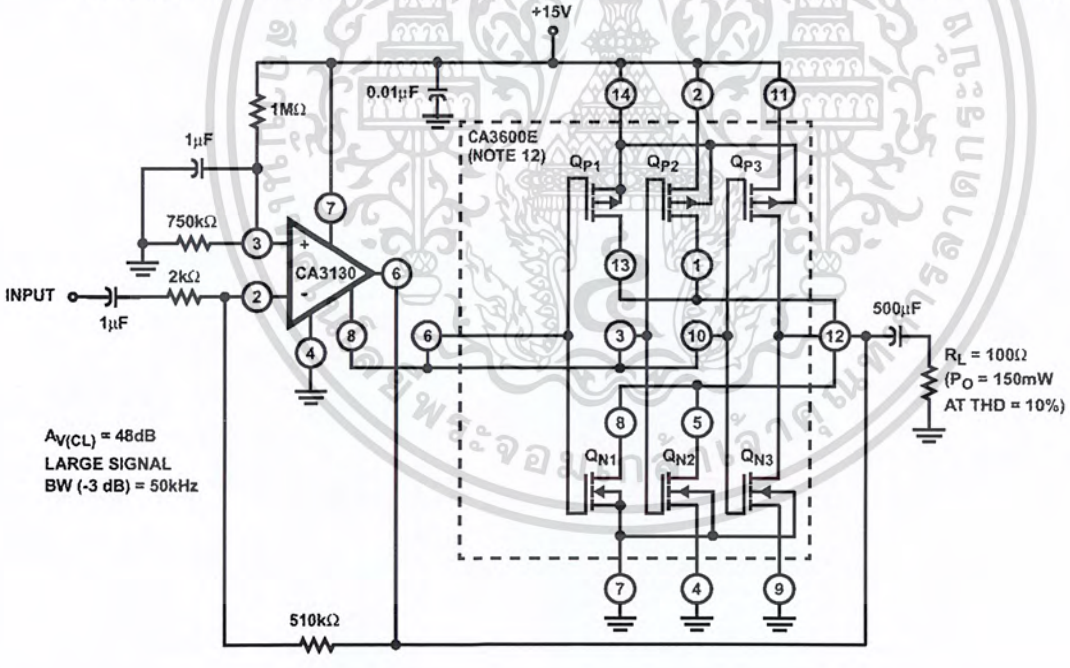
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE:

10. See file number 475 and AN6668 for technical information.

FIGURE 16. FUNCTION GENERATOR (FREQUENCY CAN BE VARIED 1,000,000/1 WITH A SINGLE CONTROL)



NOTES:

11. Transistors Q_{P1}, Q_{P2}, Q_{P3} and Q_{N1}, Q_{N2}, Q_{N3} are parallel connected with Q_8 and Q_{12}, respectively, of the CA3130.

12. See file number 619.

FIGURE 17. CMOS TRANSISTOR ARRAY (CA3600E) CONNECTED AS POWER BOOSTER IN THE OUTPUT STAGE OF THE CA3130

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

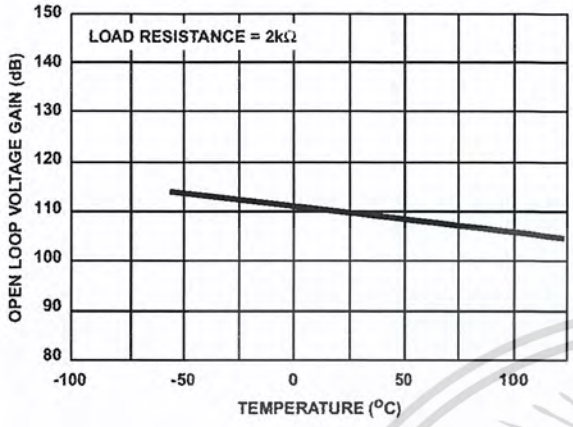
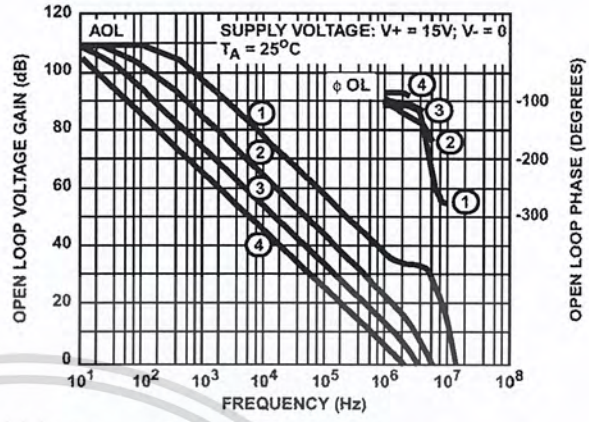


FIGURE 18. OPEN LOOP GAIN vs TEMPERATURE



1 - C_L = 9pF, C_C = 0pF, R_L = ∞
2 - C_L = 30pF, C_C = 15pF, R_L = 2kΩ
3 - C_L = 30pF, C_C = 47pF, R_L = 2kΩ
4 - C_L = 30pF, C_C = 150pF, R_L = 2kΩ

FIGURE 19. OPEN-LOOP RESPONSE

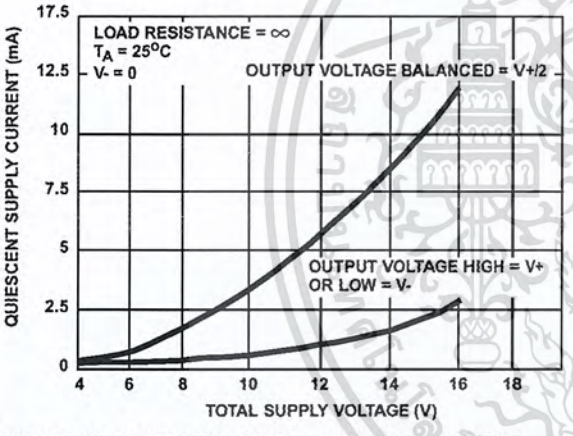


FIGURE 20. QUIESCENT SUPPLY CURRENT vs SUPPLY VOLTAGE

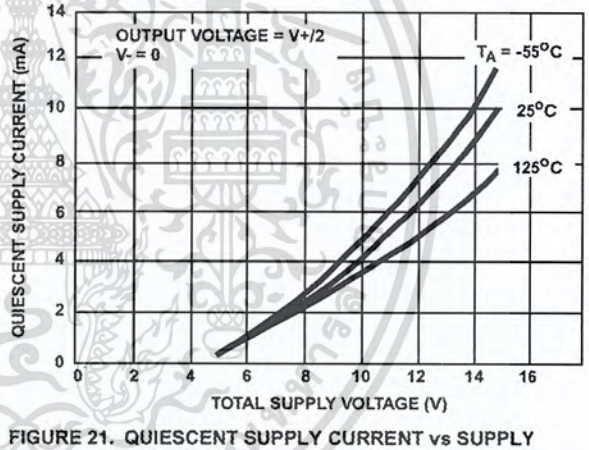


FIGURE 21. QUIESCENT SUPPLY CURRENT vs SUPPLY VOLTAGE

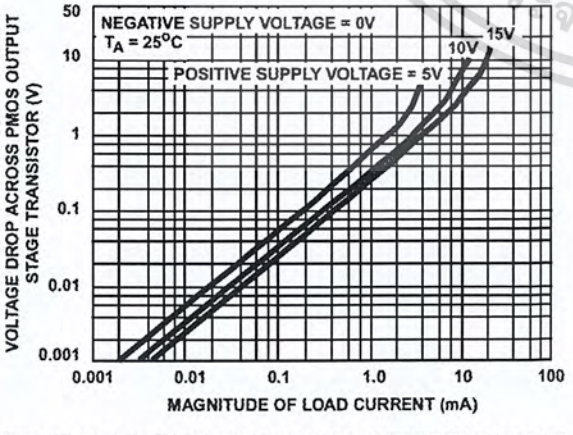


FIGURE 22. VOLTAGE ACROSS PMOS OUTPUT TRANSISTOR (Q_8) vs LOAD CURRENT

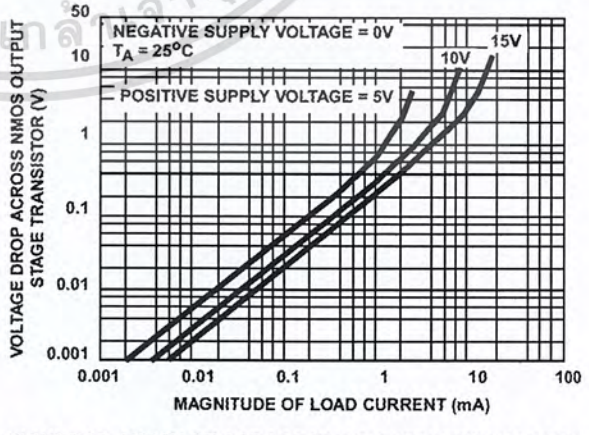


FIGURE 23. VOLTAGE ACROSS NMOS OUTPUT TRANSISTOR (Q_{12}) vs LOAD CURRENT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

August 2000

LM741
Operational Amplifier

General Description

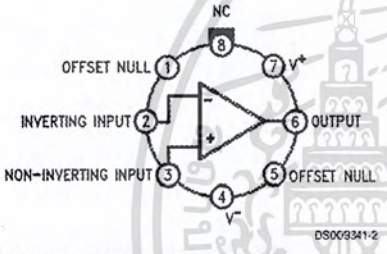
The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications.

The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

The LM741C is identical to the LM741/LM741A except that the LM741C has their performance guaranteed over a 0˚C to +70˚C temperature range, instead of −55˚C to +125˚C.

Connection Diagrams

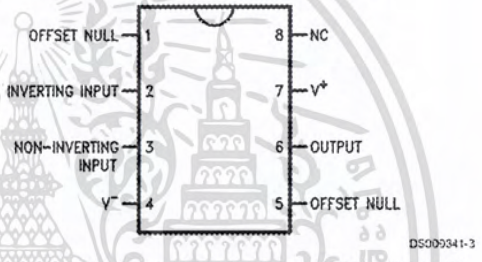
Metal Can Package



Note 1: LM741H is available per JM38510/10101

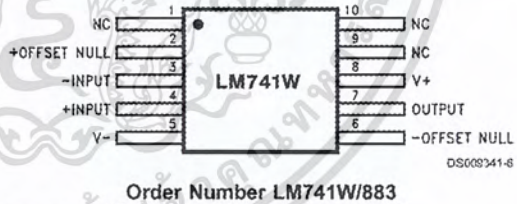
Order Number LM741H, LM741H/883 (Note 1), **LM741AH/883 or LM741CH**
See NS Package Number H08C

Dual-In-Line or S.O. Package



Order Number LM741J, LM741J/883, LM741CN
See NS Package Number J08A, M08A or N08E

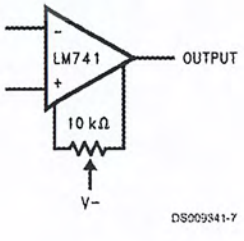
Ceramic Flatpak



Order Number LM741W/883
See NS Package Number W10A

Typical Application

Offset Nulling Circuit



© 2000 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

(Note 7)

	LM741A	LM741	LM741C
Supply Voltage	±22V	±22V	±18V
Power Dissipation (Note 3)	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V
Input Voltage (Note 4)	±15V	±15V	±15V
Output Short Circuit Duration	Continuous	Continuous	Continuous
Operating Temperature Range	−55˚C to +125˚C	−55˚C to +125˚C	0˚C to +70˚C
Storage Temperature Range	−65˚C to +150˚C	−65˚C to +150˚C	−65˚C to +150˚C
Junction Temperature	150˚C	150˚C	100˚C
Soldering Information			
N-Package (10 seconds)	260˚C	260˚C	260˚C
J- or H-Package (10 seconds)	300˚C	300˚C	300˚C
M-Package			
Vapor Phase (60 seconds)	215˚C	215˚C	215˚C
Infrared (15 seconds)	215˚C	215˚C	215˚C
See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.			
ESD Tolerance (Note 8)	400V	400V	400V

Electrical Characteristics (Note 5)

Parameter	Conditions	LM741A			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	T_A = 25˚C										
	$R_S \le 10\ k\Omega$					1.0	5.0		2.0	6.0	mV
	$R_S \le 50\Omega$		0.8	3.0							mV
	$T_{AMIN} \le T_A \le T_{AMAX}$										
	$R_S \le 50\Omega$			4.0							mV
	$R_S \le 10\ k\Omega$						6.0			7.5	mV
Average Input Offset Voltage Drift				15							µV/˚C
Input Offset Voltage Adjustment Range	T_A = 25˚C, V_S = ±20V	±10				±15			±15		mV
Input Offset Current	T_A = 25˚C		3.0	30		20	200		20	200	nA
	$T_{AMIN} \le T_A \le T_{AMAX}$			70		85	500			300	nA
Average Input Offset Current Drift				0.5							nA/˚C
Input Bias Current	T_A = 25˚C		30	80		80	500		80	500	nA
	$T_{AMIN} \le T_A \le T_{AMAX}$			0.210			1.5			0.8	µA
Input Resistance	T_A = 25˚C, V_S = ±20V	1.0	6.0		0.3	2.0		0.3	2.0		MΩ
	$T_{AMIN} \le T_A \le T_{AMAX}$, V_S = ±20V	0.5									MΩ
Input Voltage Range	T_A = 25˚C							±12	±13		V
	$T_{AMIN} \le T_A \le T_{AMAX}$				±12	±13					V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Note 5) (Continued)

Parameter	Conditions	LM741A			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Large Signal Voltage Gain	$T_A = 25°C$, $R_L \geq 2\ k\Omega$										
	$V_S = \pm 20V$, $V_O = \pm 15V$	50									V/mV
	$V_S = \pm 15V$, $V_O = \pm 10V$				50	200		20	200		V/mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $R_L \geq 2\ k\Omega$,										
	$V_S = \pm 20V$, $V_O = \pm 15V$	32									V/mV
	$V_S = \pm 15V$, $V_O = \pm 10V$				25			15			V/mV
	$V_S = \pm 5V$, $V_O = \pm 2V$	10									V/mV
Output Voltage Swing	$V_S = \pm 20V$										
	$R_L \geq 10\ k\Omega$	±16									V
	$R_L \geq 2\ k\Omega$	±15									V
	$V_S = \pm 15V$										
	$R_L \geq 10\ k\Omega$				±12	±14		±12	±14		V
	$R_L \geq 2\ k\Omega$				±10	±13		±10	±13		V
Output Short Circuit	$T_A = 25°C$	10	25	35		25			25		mA
Current	$T_{AMIN} \leq T_A \leq T_{AMAX}$	10		40							mA
Common-Mode	$T_{AMIN} \leq T_A \leq T_{AMAX}$										
Rejection Ratio	$R_S \leq 10\ k\Omega$, $V_{CM} = \pm 12V$				70	90		70	90		dB
	$R_S \leq 50\Omega$, $V_{CM} = \pm 12V$	80	95								dB
Supply Voltage Rejection	$T_{AMIN} \leq T_A \leq T_{AMAX}$,										
Ratio	$V_S = \pm 20V$ to $V_S = \pm 5V$										
	$R_S \leq 50\Omega$	86	96								dB
	$R_S \leq 10\ k\Omega$				77	96		77	96		dB
Transient Response	$T_A = 25°C$, Unity Gain										
Rise Time			0.25	0.8		0.3			0.3		µs
Overshoot			6.0	20		5			5		%
Bandwidth (Note 6)	$T_A = 25°C$	0.437	1.5								MHz
Slew Rate	$T_A = 25°C$, Unity Gain	0.3	0.7			0.5			0.5		V/µs
Supply Current	$T_A = 25°C$					1.7	2.8		1.7	2.8	mA
Power Consumption	$T_A = 25°C$										
	$V_S = \pm 20V$		80	150							mW
	$V_S = \pm 15V$					50	85		50	85	mW
LM741A	$V_S = \pm 20V$										
	$T_A = T_{AMIN}$			165							mW
	$T_A = T_{AMAX}$			135							mW
LM741	$V_S = \pm 15V$										
	$T_A = T_{AMIN}$					60	100				mW
	$T_A = T_{AMAX}$					45	75				mW

Note 2: "Absolute Maximum Ratings" indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Note 5) (Continued)

Note 3: For operation at elevated temperatures, these devices must be derated based on thermal resistance, and T_j max. (listed under "Absolute Maximum Ratings"). $T_j = T_A + (\theta_{jA} P_D)$.

Thermal Resistance	Cerdip (J)	DIP (N)	HO8 (H)	SO-8 (M)
θ_{jA} (Junction to Ambient)	100˚C/W	100˚C/W	170˚C/W	195˚C/W
θ_{jC} (Junction to Case)	N/A	N/A	25˚C/W	N/A

Note 4: For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.

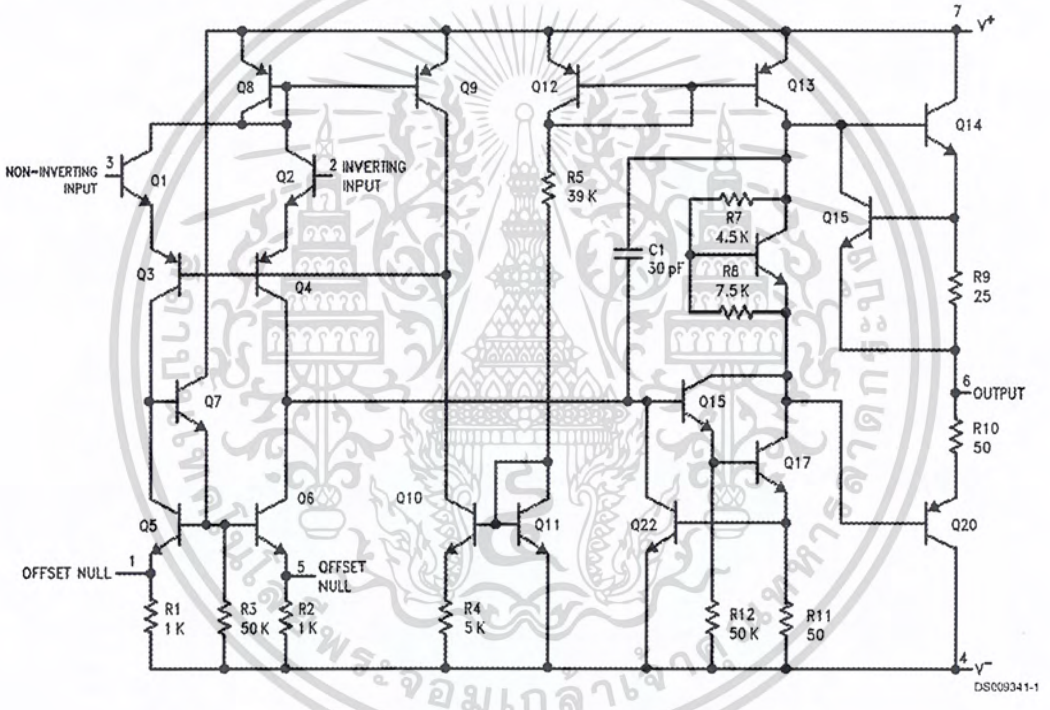
Note 5: Unless otherwise specified, these specifications apply for V_S = ±15V, −55˚C ≤ T_A ≤ +125˚C (LM741/LM741A). For the LM741C/LM741E, these specifications are limited to 0˚C ≤ T_A ≤ +70˚C.

Note 6: Calculated value from: BW (MHz) = 0.35/Rise Time(μs).

Note 7: For military specifications see RETS741X for LM741 and RETS741AX for LM741A.

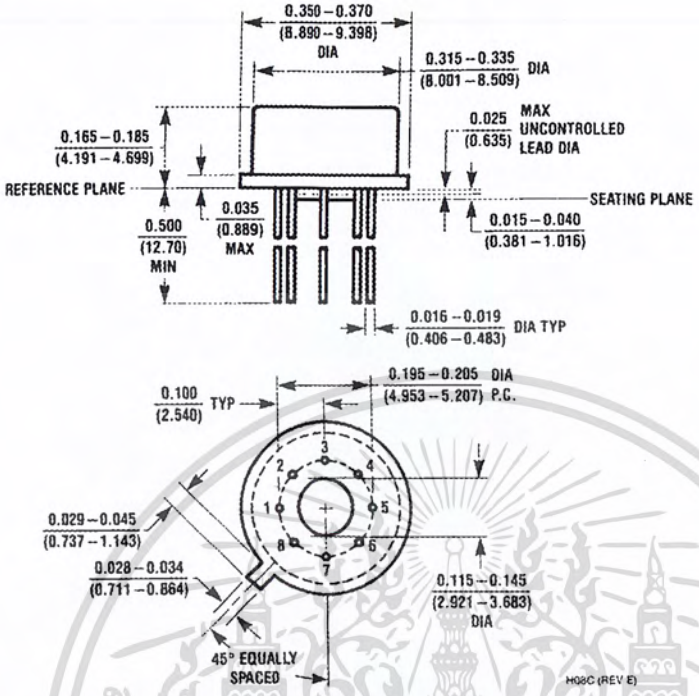
Note 8: Human body model, 1.5 kΩ in series with 100 pF.

Schematic Diagram

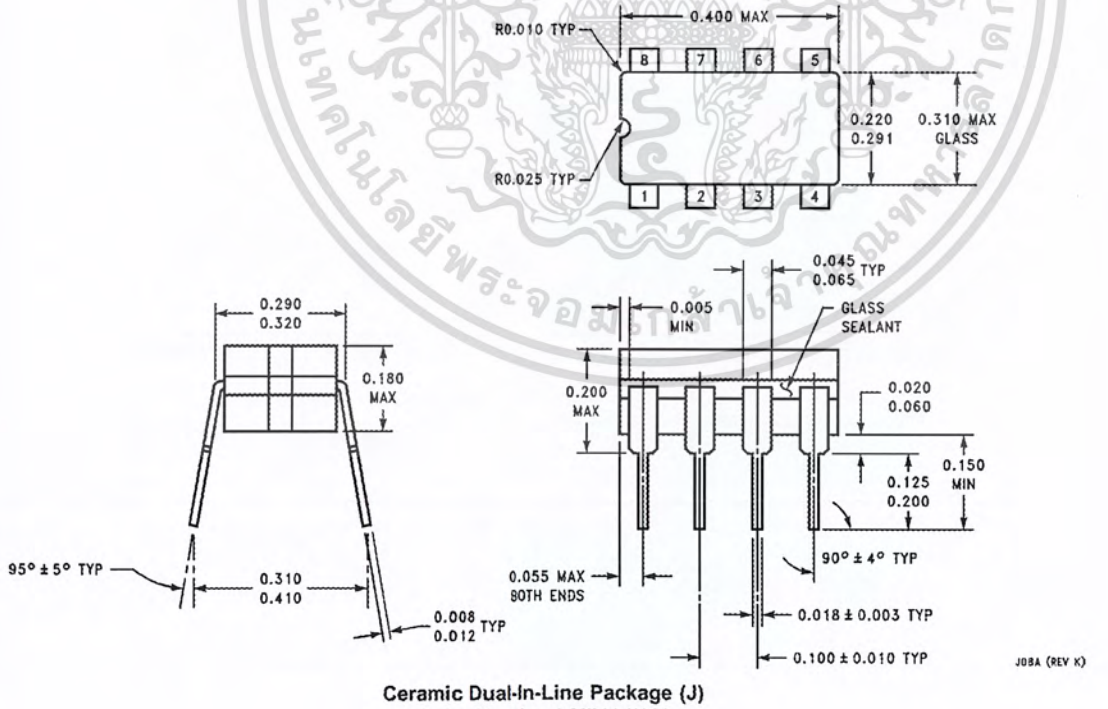


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



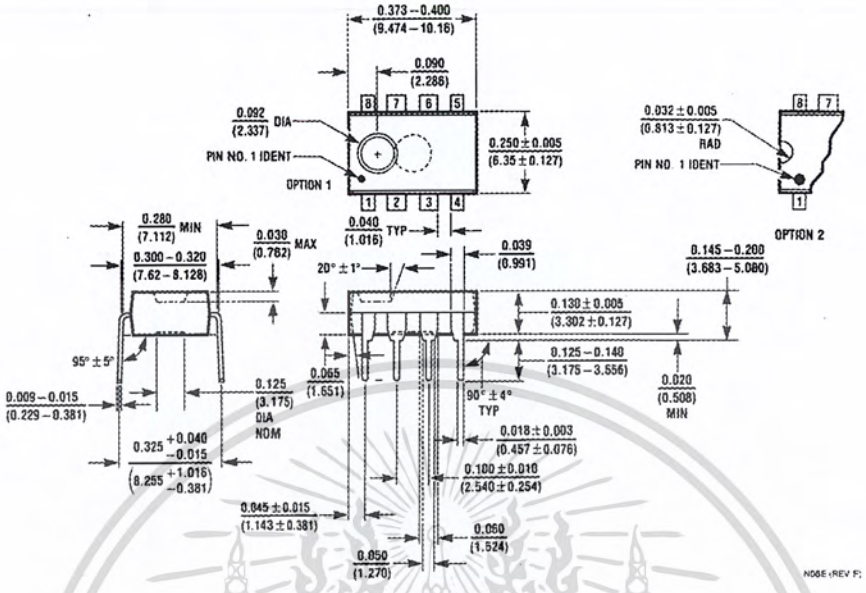
Metal Can Package (H)
Order Number LM741H, LM741H/883, LM741AH/883, LM741AH-MIL or LM741CH
NS Package Number H08C



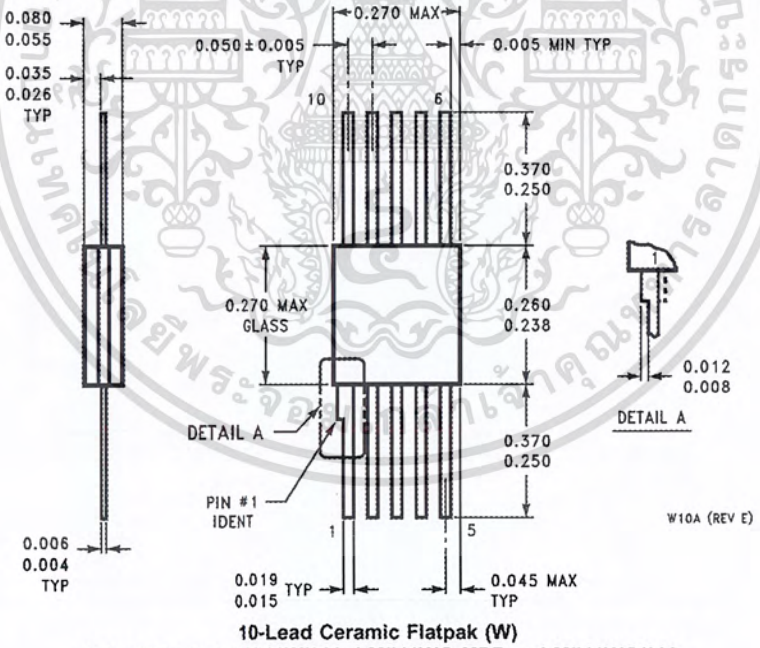
Ceramic Dual-In-Line Package (J)
Order Number LM741J/883
NS Package Number J08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Dual-In-Line Package (N)
Order Number LM741CN
NS Package Number N08E



10-Lead Ceramic Flatpak (W)
Order Number LM741W/883, LM741WG-MPR or LM741WG/883
NS Package Number W10A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com
www.national.com

National Semiconductor Europe
Fax: +49 (0) 180-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: ap.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEXAS INSTRUMENTS

Data sheet acquired from Harris Semiconductor
SCHS031

CD4026B, CD4033B Types

CMOS Decade Counters/Dividers

High-Voltage Types (20-Volt Rating)
With Decoded 7-Segment Display Outputs and:
Display Enable – CD4026B
Ripple Blanking – CD4033B

■ CD4026B and CD4033B each consist of a 5-stage Johnson decade counter and an output decoder which converts the Johnson code to a 7-segment decoded output for driving one stage in a numerical display.

These devices are particularly advantageous in display applications where low power dissipation and/or low package count are important.

Inputs common to both types are CLOCK, RESET, & CLOCK INHIBIT; common outputs are CARRY OUT and the seven decoded outputs (a, b, c, d, e, f, g). Additional inputs and outputs for the CD4026B include DISPLAY ENABLE input and DISPLAY ENABLE and UNGATED "C-SEGMENT" outputs. Signals peculiar to the CD4033B are RIPPLE-BLANKING INPUT AND LAMP TEST INPUT and a RIPPLE-BLANKING OUTPUT.

A high RESET signal clears the decade counter to its zero count. The counter is advanced one count at the positive clock signal transition if the CLOCK INHIBIT signal is low. Counter advancement via the clock line is inhibited when the CLOCK INHIBIT signal is high. The CLOCK INHIBIT signal can be used as a negative-edge clock if the clock line is held high. Antilock gating is provided on the JOHNSON counter, thus assuring proper counting sequence. The CARRY-OUT (C_{out}) signal completes one cycle every ten CLOCK INPUT cycles and is used to clock the succeeding decade directly in a multi-decade counting chain.

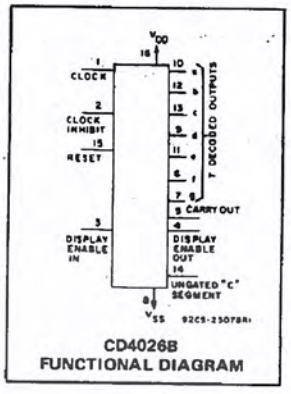
The seven decoded outputs (a, b, c, d, e, f, g) illuminate the proper segments in a seven segment display device used for representing the decimal numbers 0 to 9. The 7-segment outputs go high on selection in the CD4033B; in the CD4026B these outputs go high only when the DISPLAY ENABLE IN is high.

Features:

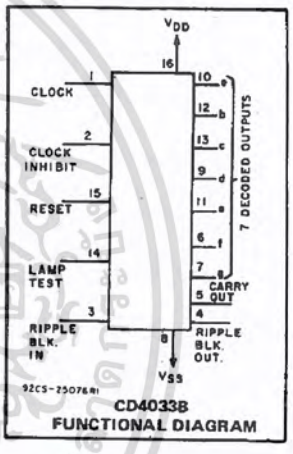
- Counter and 7-segment decoding in one package
- Easily interfaced with 7-segment display types
- Fully static counter operation: DC to 6 MHz (typ.) at V_{DD}=10 V
- Ideal for low-power displays
- Display enable output (CD4026B)
- "Ripple blanking" and lamp test (CD4033B)
- 100% tested for quiescent current at 20 V
- Standardized, symmetrical output characteristics
- 5-V, 10-V, and 15-V parametric ratings
- Schmitt-triggered clock inputs
- Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"

Applications

- Decade counting 7-segment decimal display
- Frequency division 7-segment decimal displays
- Clocks, watches, timers (e.g. ÷60, ÷ 60, ÷ 12 counter/display)
- Counter/display driver for meter applications



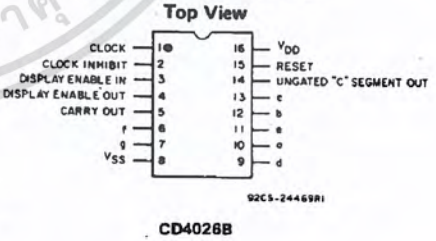
CD4026B
FUNCTIONAL DIAGRAM



CD4033B
FUNCTIONAL DIAGRAM

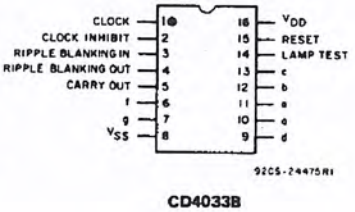
TERMINAL DIAGRAMS

Top View



CD4026B

Top View



CD4033B

MAXIMUM RATINGS, *Absolute-Maximum Values:*

DC SUPPLY-VOLTAGE RANGE, (V_{DD})
Voltages referenced to V_{SS} Terminal) ..... -0.5V to +20V
INPUT VOLTAGE RANGE, ALL INPUTS ..... -0.5V to V_{DD} +0.5V
DC INPUT CURRENT, ANY ONE INPUT ..... ±10mA
POWER DISSIPATION PER PACKAGE (P_D):
For T_A = -55°C to +100°C 500mW
For T_A = +100°C to +125°C ..... Derate Linearity at 12mW/°C to 200mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR
FOR T_A = FULL PACKAGE-TEMPERATURE RANGE (All Package Types) 100mW
OPERATING-TEMPERATURE RANGE (T_A) ..... -55°C to +125°C
STORAGE TEMPERATURE RANGE (T_{stg}) ..... -65°C to +150°C
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 inch (1.59 ± 0.79mm) from case for 10s max ..... +265°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC		V_{DD} (V)	LIMITS MIN.	LIMITS MAX.	UNITS
Supply-Voltage Range (For T_A = Full Package Temperature Range)			3	18	V
Clock Input Frequency,	f_{CL}	5	–	2.5	MHz
		10	–	5.5	
		15	–	8	
Clock Pulse Width,	t_{WCL}	5	220	–	ns
		10	100	–	
		15	80	–	
Clock Rise and Fall Time,	t_{rCL}, t_{fCL}	5	–	Unlimited	
		10	–		
		15	–		
Clock Inhibit Set Up Time,	t_{SU}	5	200	–	
		10	50	–	
		15	30	–	
Reset Pulse Width,	t_W	5	200	–	
		10	100	–	
		15	50	–	
Reset Removal Time		5	30	–	
		10	15	–	
		15	10	–	

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS V_O (V)	CONDITIONS V_{IN} (V)	CONDITIONS V_{DD} (V)	LIMITS AT INDICATED TEMPERATURES (°C) −55	−40	+85	+125	+25 Min.	+25 Typ.	+25 Max.	UNITS
Quiescent Device Current, I_{DD} Max.	–	0,5	5	5	5	150	150	–	0.04	5	μA
	–	0,10	10	10	10	300	300	–	0.04	10	
	–	0,15	15	20	20	600	600	–	0.04	20	
	–	0,20	20	100	100	3000	3000	–	0.08	100	
Output Low (Sink) Current I_{OL} Min.	0.4	0,5	5	0.64	0.61	0.42	0.36	0.51	1	–	mA
	0.5	0,10	10	1.6	1.5	1.1	0.9	1.3	2.6	–	
	1.5	0,15	15	4.2	4	2.8	2.4	3.4	6.8	–	
Output High (Source) Current, I_{OH} Min.	4.6	0,5	5	−0.64	−0.61	−0.42	−0.36	−0.51	−1	–	
	2.5	0,5	5	−2	−1.8	−1.3	−1.15	−1.6	−3.2	–	
	9.5	0,10	10	−1.6	−1.5	−1.1	−0.9	−1.3	−2.6	–	
	13.5	0,15	15	−4.2	−4	−2.8	−2.4	−3.4	−6.8	–	
Output Voltage: Low-Level, V_{OL} Max.	–	0,5	5	0.05				–	0	0.05	V
	–	0,10	10	0.05				–	0	0.05	
	–	0,15	15	0.05				–	0	0.05	
Output Voltage: High-Level, V_{OH} Min.	–	0,5	5	4.95				4.95	5	–	
	–	0,10	10	9.95				9.95	10	–	
	–	0,15	15	14.95				14.95	15	–	
Input Low Voltage, V_{IL} Max.	0.5, 4.5	–	5	1.5				–	–	1.5	V
	1, 9	–	10	3				–	–	3	
	1.5,13.5	–	15	4				–	–	4	
Input High Voltage, V_{IH} Min.	0.5, 4.5	–	5	3.5				3.5	–	–	
	1, 9	–	10	7				7	–	–	
	1.5,13.5	-	15	11				11	–	–	
Input Current I_{IN} Max.	–	0,18	18	±0.1	±0.1	±1	±1	–	$±10^{-5}$	±0.1	μA

CD4026B

When the DISPLAY ENABLE IN is low the seven decoded outputs are forced low regardless of the state of the counter. Activation of the display only when required results in significant power savings. This system also facilitates implementation of display-character multiplexing.

The CARRY OUT and UNGATED "C-SEGMENT" signals are not gated by the DISPLAY ENABLE and therefore are available continuously. This feature is a requirement in implementation of certain divider functions such as divide-by-60 and divide-by-12.

CD4033B

The CD4033B has provisions for automatic blanking of the non-significant zeros in a multi-digit decimal number which results in an easily readable display consistent with normal writing practice. For example, the number 0050.0700 in an eight digit display would be displayed as 50.07. Zero suppression on the integer side is obtained by connecting the RBI terminal of the CD4033B associated with the most significant digit in the display to a low-level voltage and connecting the RBO terminal of that stage to the RBI terminal of the CD4033B in the next-lower significant position in the display. This procedure is continued for each succeeding CD4033B on the integer side of the display.

On the fraction side of the display the RBI of the CD4033B associated with the least significant bit is connected to a low-level voltage and the RBO of that CD4033B is connected to the RBI terminal of the CD4033B in the next more-significant-bit position. Again, this procedure is continued for all CD4033B's on the fraction side of the display.

In a purely fractional number the zero immediately preceding the decimal point can be displayed by connecting the RBI of that stage to a high level voltage (instead of to the RBO of the next more-significant-stage). For example: optional zero → 0.7346. Likewise, the zero in a number such as 763.0 can be displayed by connecting the RBI of the CD4033B associated with it to a high-level voltage.

Ripple blanking of non-significant zeros provides an appreciable savings in display power.

The CD4033B has a LAMP TEST input which, when connected to a high-level voltage, overrides normal decoder operation and enables a check to be made on possible display malfunctions by putting the seven outputs in the high state.

The CD4026B- and CD4033B-series types are supplied in 16-lead hermetic dual-in-line ceramic packages (D and F suffixes), 16-lead dual-in-line plastic packages (E suffix), and in chip form (H suffix).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

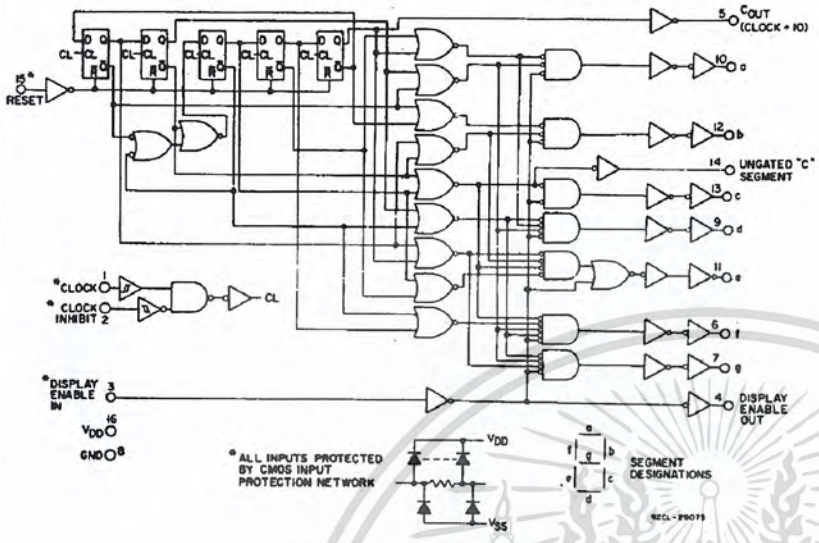


Fig. 1 – CD4026B logic diagram.

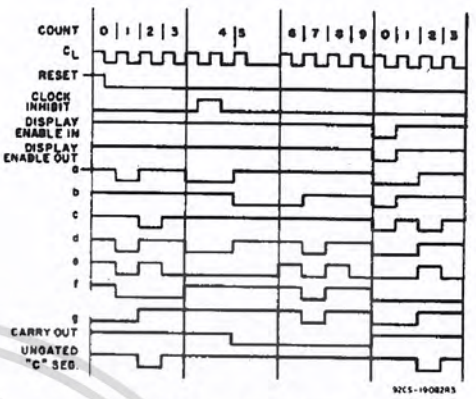


Fig. 3 – CD4026B timing diagram.

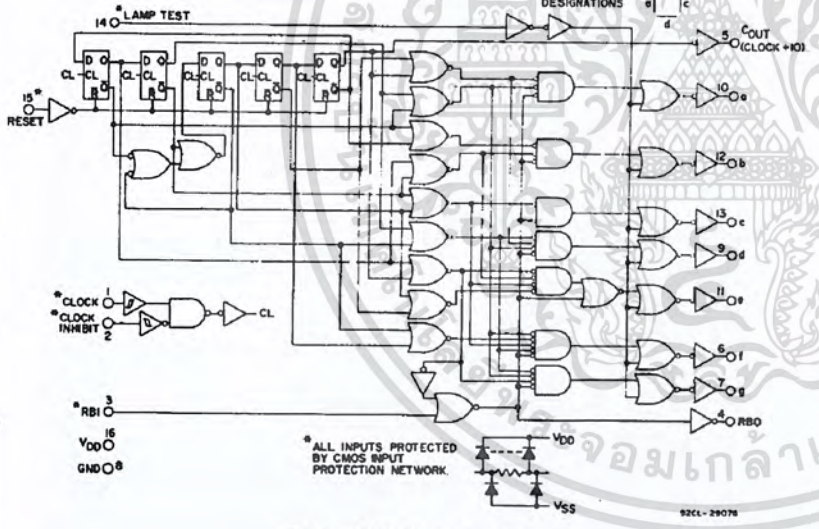


Fig. 2 – CD4033B logic diagram.

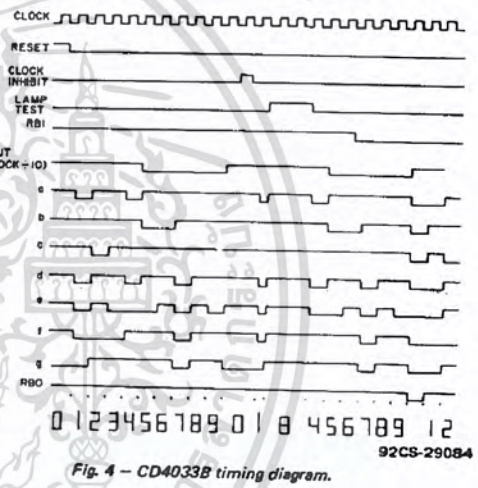


Fig. 4 – CD4033B timing diagram.

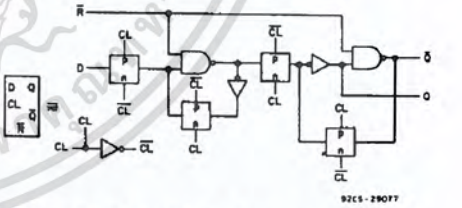


Fig. 5 – Detail of typical flip-flop stage for both types.

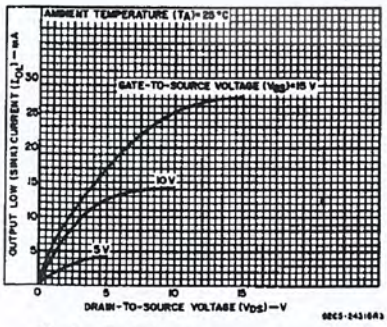


Fig. 6 – Typical n-channel output low (sink) current characteristics.

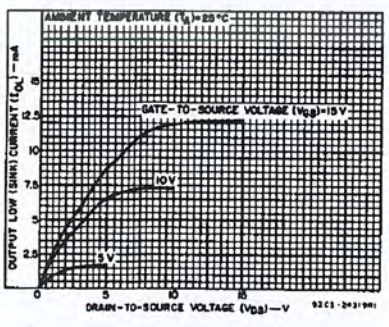


Fig. 7 – Minimum n-channel output low (sink) current characteristics.

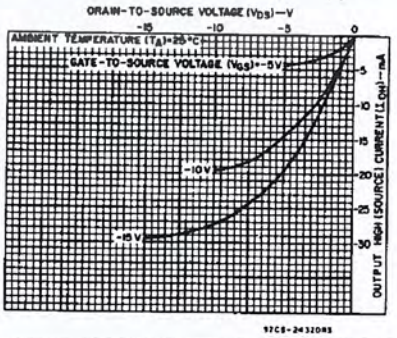


Fig. 8 – Typical p-channel output high (source) current characteristics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DYNAMIC ELECTRICAL CHARACTERISTICS at $T_A = 25°C$, Input t_r, $t_f = 20$ ns, $C_L = 50$ pF, $R_L = 200$ kΩ

CHARACTERISTIC	TEST CONDITIONS	V_{DD} (V)	LIMITS Min.	Typ.	Max.	UNITS
CLOCKED OPERATION						
Propagation Delay Time; t_{PLH}, t_{PHL} Carry-Out Line		5	–	250	500	ns
		10	–	100	200	
		15	–	75	150	
Decode Outlines		5	–	350	700	
		10	–	125	250	
		15	–	90	180	
Transition Time; t_{THL}, t_{TLH} Carry-Out Line		5	–	100	200	
		10	–	50	100	
		15	–	25	50	
Maximum Clock Input Frequency, f_{CL}▲		5	2.5	5	–	MHz
		10	6.5	11	–	
		15	8	16	–	
Min. Clock Pulse Width, t_W		5	–	110	220	ns
		10	–	50	100	
		15	–	40	80	
Clock and Clock Inhibit Rise or Fall Time; t_{rCL}, t_{fCL}		5	Unlimited			ns
		10				
		15				
Average Input Capacitance, C_{IN}	Any Input		–	5	7	pF
RESET OPERATION						
Propagation Delay Time; To Carry-Out Line, t_{PLH}		5	–	275	550	ns
		10	–	120	240	
		15	–	80	160	
To Decode Out Lines, t_{PHL}, t_{PLH}		5	–	300	600	
		10	–	125	250	
		15	–	90	180	
Min. Reset Pulse Width, t_W		5	–	100	120	
		10	–	50	100	
		15	–	25	50	
Min. Reset Removal Time		5	–	0	30	
		10	–	0	15	
		15	–	0	10	

▲ Measured with respect to carry-out line.

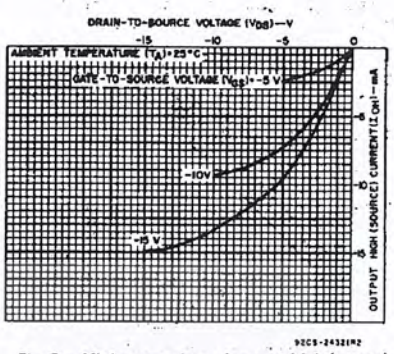


Fig. 9 – Minimum p-channel output high (source) current characteristics.

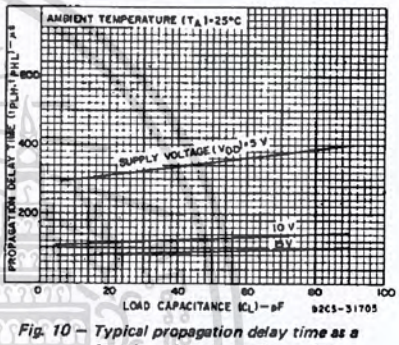


Fig. 10 – Typical propagation delay time as a function of load capacitance for decoded outputs.

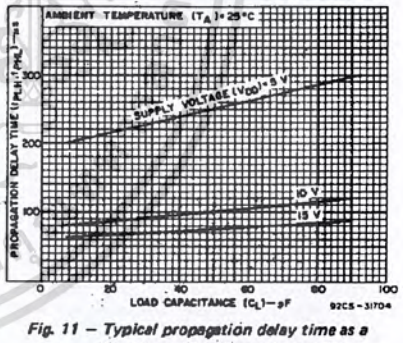


Fig. 11 – Typical propagation delay time as a function of load capacitance for carry-out outputs.

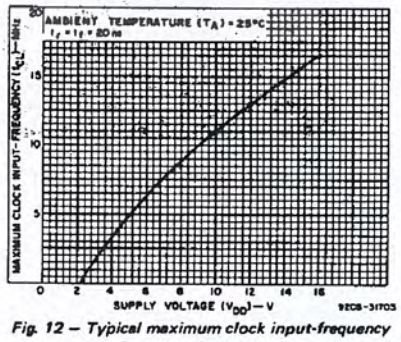


Fig. 12 – Typical maximum clock input-frequency as a function of supply voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

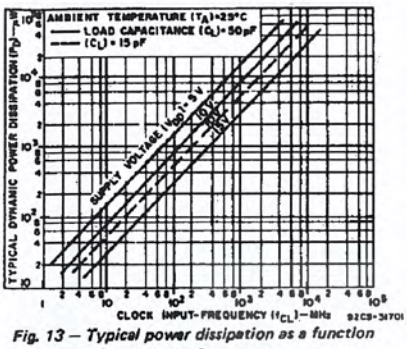


Fig. 13 — Typical power dissipation as a function of clock input frequency.

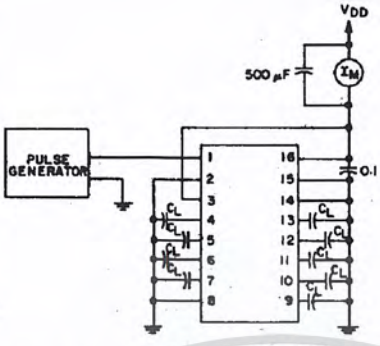


Fig. 14 — Dynamic power dissipation test circuit for CD4033B.

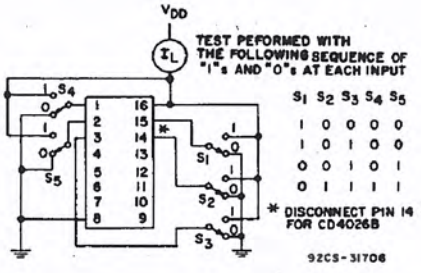


Fig. 15 — Quiescent device current.

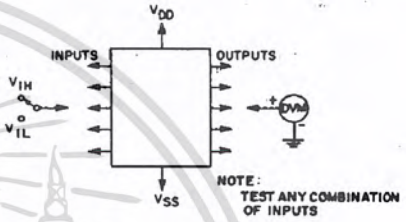
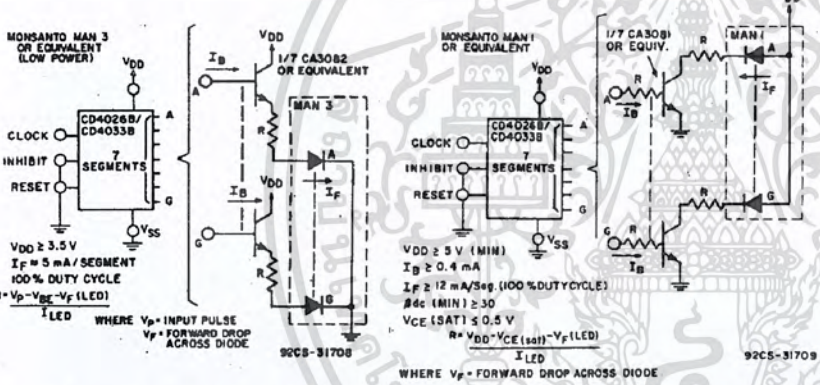


Fig. 16 — Input voltage.

INTERFACING THE CD4026B AND CD4033B WITH COMMERCIALLY AVAILABLE LIGHT EMITTING DIODE DISPLAYS



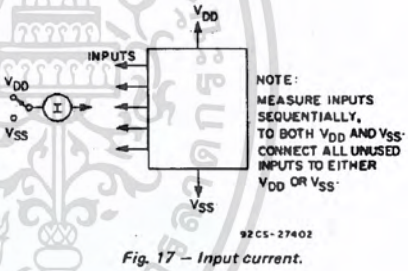
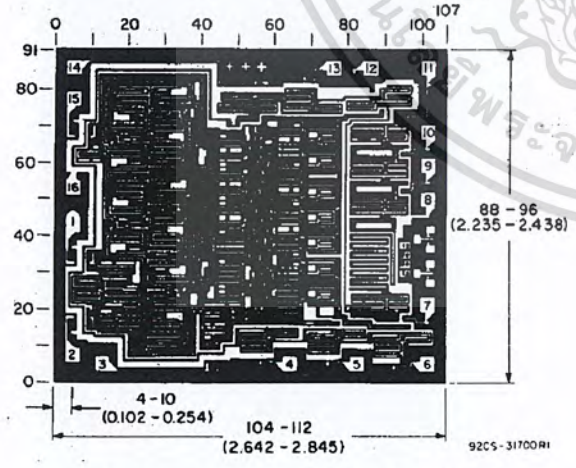
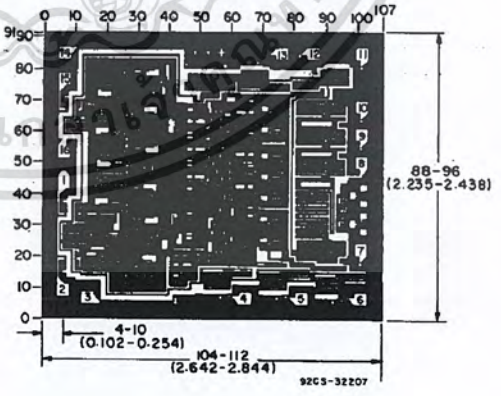


Fig. 17 — Input current.



Chip dimensions and pad layout for CD4026B

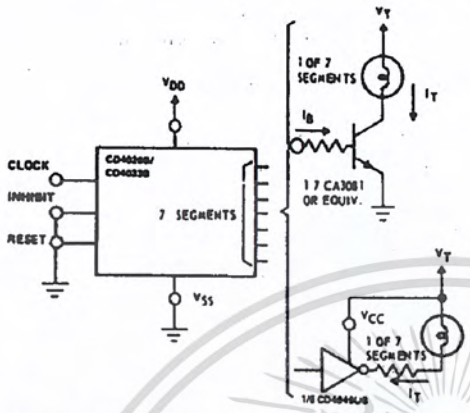


Chip dimensions and pad layout for CD4033B

Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10^{-3} inch).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTERFACING THE CD4026B AND CD4033B WITH COMMERCIALLY AVAILABLE 7-SEGMENT DISPLAY DEVICES*



INCANDESCENT READOUTS
RCA Numitron DR2000 Series
TUBE REQUIREMENTS
V_T = 3.5-5V
I_T = 24 mA Segment

ASSUMED TRANSISTOR CHARACTERISTICS
β_{dc} (min.) ≥ 25
$V_{CE(sat.)} \leq 0.5V$
V_{DD} = 8 V (min.)
I_B = 1 mA (min.)
I_T = 24 mA (min.)

CD4026BUB @ V_{CC} = 10 V (min.)
V_o "0" ≤ 2 V
I_T = 8 mA (min.)
V_T = 3.5 V TO 6 V

CD4049UB @ V_{CC} = 10 V (min.)
V_o "0" ≤ 0.6 V
I_T = 8 mA (min.)

@ V_{CC} = 6 V (min.)
V_o "0" ≤ 1 V
I_T = 5 mA (min.)
V_T = 3.5 V TO 3.5 V

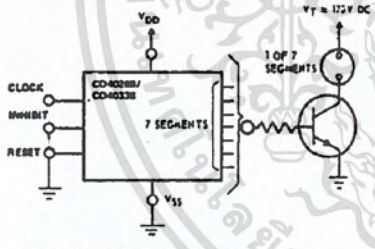
92CM-31707

LOW-POWER INCANDESCENT READOUTS
PINLITES INC-Series O and R

TUBE REQUIREMENTS	V_T(V)	mA/Segment
0-03-15	1.5	8
0-04-30	3	8
0-06-30	3	8
R-R3-20	2	4.3
R-R4-30	3	4.3

ASSUMED TRANSISTOR CHARACTERISTICS
β_{dc} (min.) ≥ 30
$V_{CE(sat.)} \leq 0.5V$
V_{CC} ≥ 3.5 V (min.)
I_B ≥ 0.25 mA (min.)
I_T ≤ 7.5 mA (min.)

* The interfacing buffers shown, while a necessity with the CD4026A and CD4033A, are not required when using the "B" devices; the "B" outputs (≈10 times the "A" outputs) can drive most display devices directly especially at voltages above 10 V.



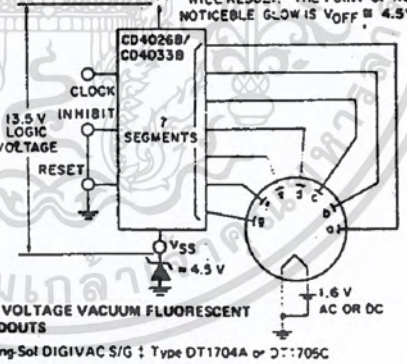
NEON READOUT (NIXIE TUBE^A)
1. Alco Electronics – MG19
2. Burroughs – B5971, B7971, B8971

TUBE REQUIREMENTS V_T(Vdc)		mA Segment
Alco MG19	180	0.5
Burroughs B5971	170	3
Burroughs B7971, B8971	170	6

^A (Trademark) Burroughs Corp.

TRANSISTOR CHARACTERISTICS
Leakage with transistor cutoff – 0.05 mA
$V_{(BR)CER}$ > V_T
β_{dc} (min.) > 30

92CS-31710



LOW VOLTAGE VACUUM FLUORESCENT READOUTS
1. Tung-Sol DIGIVAC S/G ‡ Type DT1704A or DT1705C
2. Nippon Electric (NEC): Type DG12E or LD915

TUBE REQUIREMENTS: 100 to 300 μA/segment at tube voltages of 12 V to 25 V depending on required brightness. Filament requirement 45 mA at 1.6 V, ac or dc.

‡ (Trademark) Wagner Electric Co.

92CS-31711

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMPORTANT NOTICE

Texas Instruments and its subsidiaries (TI) reserve the right to make changes to their products or to discontinue any product or service without notice, and advise customers to obtain the latest version of relevant information to verify, before placing orders, that information being relied on is current and complete. All products are sold subject to the terms and conditions of sale supplied at the time of order acknowledgement, including those pertaining to warranty, patent infringement, and limitation of liability.

TI warrants performance of its semiconductor products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

CERTAIN APPLICATIONS USING SEMICONDUCTOR PRODUCTS MAY INVOLVE POTENTIAL RISKS OF DEATH, PERSONAL INJURY, OR SEVERE PROPERTY OR ENVIRONMENTAL DAMAGE ("CRITICAL APPLICATIONS"). TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS. INCLUSION OF TI PRODUCTS IN SUCH APPLICATIONS IS UNDERSTOOD TO BE FULLY AT THE CUSTOMER'S RISK.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards must be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance or customer product design. TI does not warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used. TI's publication of information regarding any third party's products or services does not constitute TI's approval, warranty or endorsement thereof.

Copyright © 1999, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEXAS INSTRUMENTS

Data sheet acquired from Harris Semiconductor
SCHS044

CD4047B Types

CMOS Low-Power Monostable/Astable Multivibrator

High Voltage Types (20-Volt Rating)

■ CD4047B consists of a gatable astable multivibrator with logic techniques incorporated to permit positive or negative edge-triggered monostable multivibrator action with retriggering and external counting options.

Inputs include +TRIGGER, −TRIGGER, ASTABLE, $\overline{\text{ASTABLE}}$, RETRIGGER, and EXTERNAL RESET. Buffered outputs are $\overline{Q}$, Q, and OSCILLATOR. In all modes of operation, and external capacitor must be connected between C-Timing and RC-Common terminals, and an external resistor must be connected between the R-Timing and RC-Common terminals.

Astable operation is enabled by a high level on the ASTABLE input or a low level on the $\overline{\text{ASTABLE}}$ input, or both. The period of the square wave at the Q and $\overline{Q}$ Outputs in this mode of operation is a function of the external components employed. "True" input pulses on the ASTABLE input or "Complement" pulses on the $\overline{\text{ASTABLE}}$ input allow the circuit to be used as a gatable multivibrator. The OSCILLATOR output period will be half of the Q terminal output in the astable mode. However, a 50% duty cycle is not guaranteed at this output.

The CD4047B triggers in the monostable mode when a positive-going edge occurs on the +TRIGGER-input while the -TRIGGER is held low. Input pulses may be of any duration relative to the output pulse.

If retrigger capability is desired, the RETRIGGER input is pulsed. The retriggerable mode of operation is limited to positive-going edge. The CD4047B will retrigger as long as the RETRIGGER-input is high, with or without transitions (See Fig. 34).

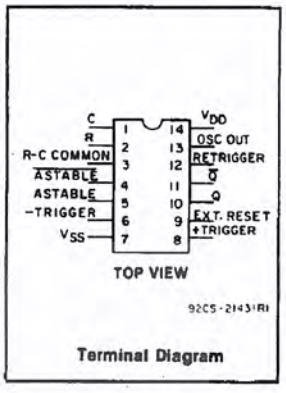
An external countdown option can be implemented by coupling "Q" to an external "N" counter and resetting the counter with the trigger pulse. The counter output pulse is fed back to the $\overline{\text{ASTABLE}}$ input and has a duration equal to N times the period of the multivibrator.

A high level on the EXTERNAL RESET input assures no output pulse during an "ON" power condition. This input can also be activated to terminate the output pulse at any time. For monostable operation, whenever V_{DD} is applied, an internal power-on reset circuit will clock the Q output low within one output period (t_M).

The CD4047B-Series types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic packages (E suffix), and in chip form (H suffix).

Features:

- *Low power consumption: special CMOS oscillator configuration*
- *Monostable (one-shot) or astable (free-running) operation*
- *True and complemented buffered outputs*
- *Only one external R and C required*
- *Buffered inputs*
- *100% tested for quiescent current at 20 V*
- *Standardized, symmetrical output characteristics*
- *5-V, 10-V, and 15-V parametric ratings*
- *Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"*



Terminal Diagram

Monostable Multivibrator Features:

- *Positive- or negative-edge trigger*
- *Output pulse width independent of trigger pulse duration*
- *Retriggerable option for pulse width expansion*
- *Internal power-on reset circuit*
- *Long pulse widths possible using small RC components by means of external counter provision*
- *Fast recovery time essentially independent of pulse width*
- *Pulse-width accuracy maintained at duty cycles approaching 100%*

Astable Multivibrator Features:

- *Free-running or gatable operating modes*
- *50% duty cycle*
- *Oscillator output available*
- *Good astable frequency stability:*
  Frequency deviation:
  = ±2% + 0.03%/°C @ 100 kHz
  = ±0.5% + 0.015%/°C @ 10 kHz
  (circuits "trimmed" to frequency V_{DD} = 10 V ± 10%)

Applications:

Digital equipment where low-power dissipation and/or high noise immunity are primary design requirements:

- *Envelope detection*
- *Frequency multiplication*
- *Frequency division*
- *Frequency discriminators*
- *Timing circuits*
- *Time-delay applications*

RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS MIN.	LIMITS MAX.	UNITS
Supply-Voltage Range (For T_A = Full Package-Temperature Range)	3	18	V
NOTE: IF AT 15 V OPERATION A 10 MΩ RESISTOR IS USED THE OPERATING TEMPERATURE SHOULD BE BETWEEN −25°C and 100°C			

MAXIMUM RATINGS, *Absolute-Maximum Values:*

DC SUPPLY-VOLTAGE RANGE, (V_{DD})
(Voltages referenced to V_{SS} Terminal) ..... −0.5V to +20V
INPUT VOLTAGE RANGE, ALL INPUTS ..... −0.5V to V_{DD} +0.5V
DC INPUT CURRENT, ANY ONE INPUT ..... ±10mA
POWER DISSIPATION PER PACKAGE (P_D):
For T_A = −55°C to +100°C 500mW
For T_A = +100°C to +125°C ..... Derate Linearly at 12mW/°C to 200mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR
FOR T_A = FULL PACKAGE-TEMPERATURE RANGE (All Package Types) 100mW
OPERATING-TEMPERATURE RANGE (T_A) ..... −55°C to +125°C
STORAGE TEMPERATURE RANGE (T_{stg}) ..... −65°C to +150°C
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 inch (1.59 ± 0.79mm) from case for 10s max ..... +265°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4047B FUNCTIONAL TERMINAL CONNECTIONS
NOTE: IN ALL CASES EXTERNAL RESISTOR BETWEEN TERMINALS 2 AND 3▲
EXTERNAL CAPACITOR BETWEEN TERMINALS 1 AND 3▲

FUNCTION	TERMINAL CONNECTIONS TO V_{DD}	TERMINAL CONNECTIONS TO V_{SS}	INPUT TO	OUTPUT PULSE FROM	OUTPUT PERIOD OR PULSE WIDTH
Astable Multivibrator:					
Free Running	4,5,6,14	7,8,9,12	—	10,11,13	t_A (10,11) = 4.40 RC
True Gating	4,6,14	7,8,9,12	5	10,11,13	t_A (13) = 2.20 RC#
Complement Gating	6,14	5,7,8,9,12	4	10,11,13	
Monostable Multivibrator:					
Positive-Edge Trigger	4,14	5,6,7,9,12	8	10,11	
Negative-Edge Trigger	4,8,14	5,7,9,12	6	10,11	t_M (10,11) = 2.48 RC
Retriggerable	4,14	5,6,7,9	8,12	10,11	
External Countdown*	14	5,6,7,8,9,12	—	10,11	

▲ See Text.
First positive ½ cycle pulse-width = 2.48 RC, see Note on Page 3-134.
* Input Pulse to Reset of External Counting Chip External Counting Chip Output To Terminal 4

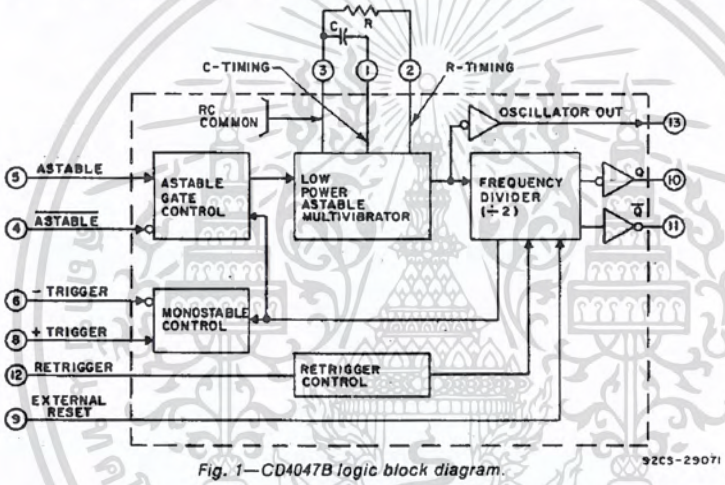


Fig. 1—CD4047B logic block diagram.

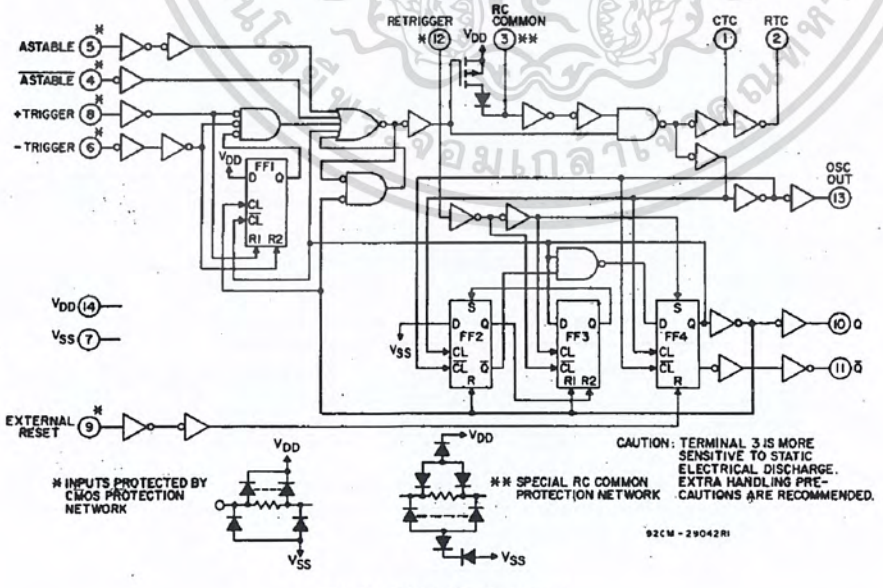


Fig. 2—CD4047B logic diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

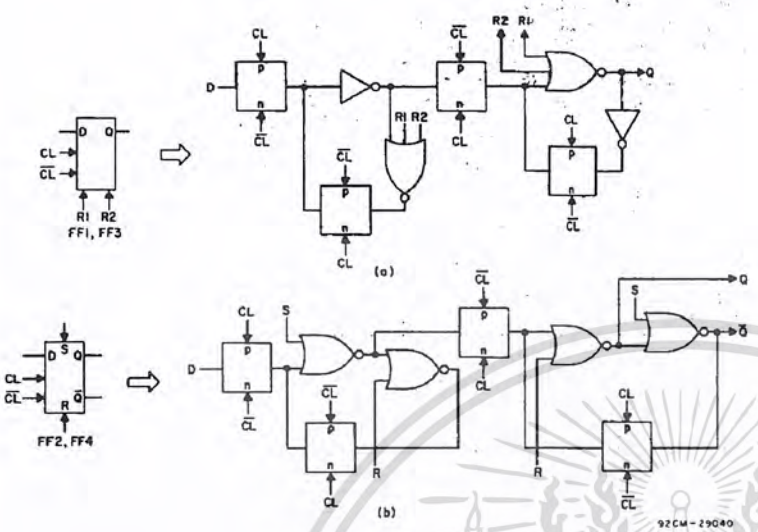


Fig. 3—Detail logic diagram for flip-flops FF1 and FF3 (a) and for flip-flops FF2 and FF4 (b).

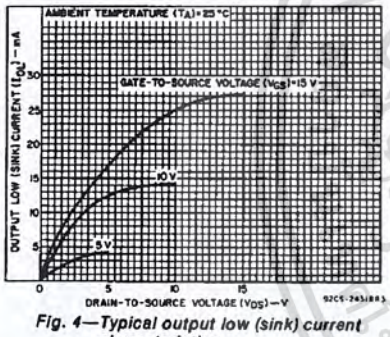


Fig. 4—Typical output low (sink) current characteristics.

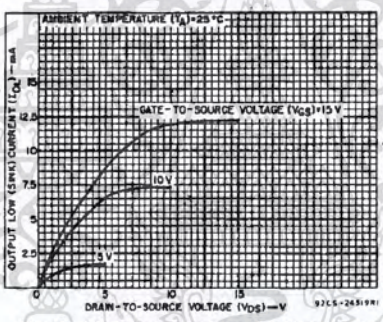


Fig. 5—Minimum output low (sink) current characteristics.

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTICS	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
								+25			
	V_O (V)	V_{IN} (V)	V_{DD} (V)	−55	−40	+85	+125	Min.	Typ.	Max.	
Quiescent Device Current, I_{DD} Max.	—	0,5	5	1	1	30	30	—	0.02	1	μA
	—	0,10	10	2	2	60	60	—	0.02	2	
	—	0,15	15	4	4	120	120	—	0.02	4	
	—	0,20	20	20	20	600	600	—	0.04	20	
Output Low (Sink) Current I_{OL} Min.	0.4	0,5	5	0.64	0.61	0.42	0.36	0.51	1	—	mA
	0.5	0,10	10	1.6	1.5	1.1	0.9	1.3	2.6	—	
	1.5	0,15	15	4.2	4	2.8	2.4	3.4	6.8	—	
Output High (Source) Current, I_{OH} Min.	4.6	0,5	5	−0.64	−0.61	−0.42	−0.36	−0.51	−1	—	
	2.5	0,5	5	−2	−1.8	−1.3	−1.15	−1.6	−3.2	—	
	9.5	0,10	10	−1.6	−1.5	−1.1	−0.9	−1.3	−2.6	—	
	13.5	0,15	15	−4.2	−4	−2.8	−2.4	−3.4	−6.8	—	
Output Voltage: Low-Level V_{OL} Max.	—	0,5	5	0.05				—	0	0.05	V
	—	0,10	10	0.05				—	0	0.05	
	—	0,15	15	0.05				—	0	0.05	

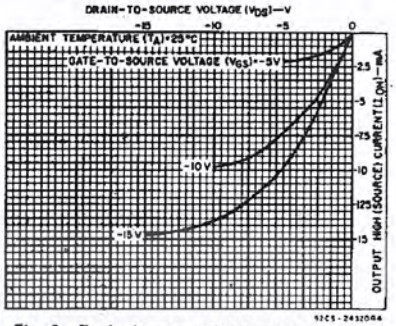


Fig. 6—Typical output high (source) current characteristics.

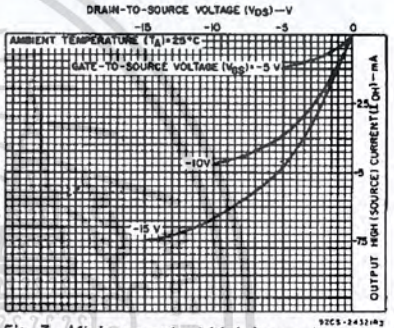


Fig. 7—Minimum output high (source) current characteristics.

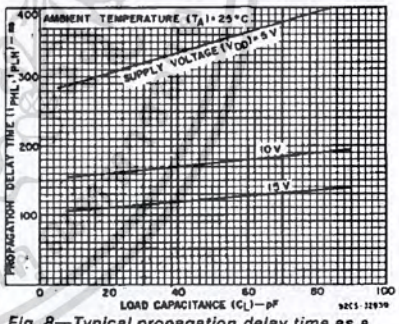


Fig. 8—Typical propagation delay time as a function of load capacitance (Astable, Astable to Q, $\overline{Q}$).

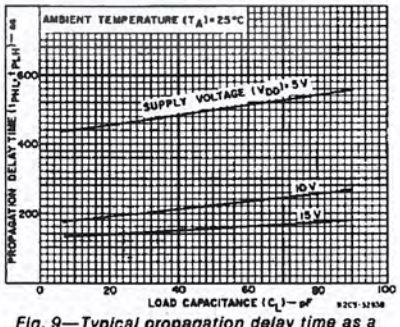


Fig. 9—Typical propagation delay time as a function of load capacitance (+ or − trigger to Q, $\overline{Q}$).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STATIC ELECTRICAL CHARACTERISTICS (CONTINUED)

CHARACTERISTICS	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
	V_O (V)	V_{IN} (V)	V_{DD} (V)	−55	−40	+85	+125	+25 Min.	+25 Typ.	+25 Max.	
Output Voltage: High-Level, V_{OH} Min.	—	0.5	5	4.95				4.95	5	—	V
	—	0,10	10	9.95				9.95	10	—	
	—	0,15	15	14.95				14.95	15	—	
Input Low Voltage, V_{IL} Max.	0.5,4.5	—	5	1.5				—	—	1.5	V
	1,9	—	10	3				—	—	3	
	1.5,13.5	—	15	4				—	—	4	
Input High Voltage, V_{IH} Min.	0.5,4.5	—	5	3.5				3.5	—	—	
	1.9	—	10	7				7	—	—	
	1.5,13.5	—	15	11				11	—	—	
Input Current I_{IN} Max.	—	0,18	18	±0.1	±0.1	±1	±1	—	$±10^5$	±0.1	μA

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 25°C; Input t_r, t_f = 20 ns, C_L = 50 pF, R_L = 200 kΩ

CHARACTERISTIC	V_{DD} (V)	LIMITS MIN.	LIMITS TYP.	LIMITS MAX.	UNITS
Propagation Delay Time, t_{PHL}, t_{PLH}					
Astable, $\overline{\text{Astable}}$ to Osc. Out	5	—	200	400	ns
	10	—	100	200	
	15	—	80	160	
Astable, $\overline{\text{Astable}}$ to Q, $\overline{Q}$	5	—	350	700	
	10	—	175	350	
	15	—	125	250	
+ or − Trigger to Q, $\overline{Q}$	5	—	500	1000	
	10	—	225	450	
	15	—	150	300	
Retrigger to Q, $\overline{Q}$	5	—	300	600	
	10	—	150	300	
	15	—	100	200	
External Reset to Q, $\overline{Q}$	5	—	250	500	
	10	—	100	200	
	15	—	70	140	
Transition Time, t_{THL}, t_{TLH} Osc. Out, Q, $\overline{Q}$	5	—	100	200	
	10	—	50	100	
	15	—	40	80	
Minimum Input Pulse Width, t_W	5	—	200	400	
+ Trigger, − Trigger	10	—	80	160	
	15	—	50	100	
Reset	5	—	100	200	
	10	—	50	100	
	15	—	30	60	
Retrigger	5	—	300	600	
	10	—	115	230	
	15	—	75	150	
Input Rise and Fall Time, t_r, t_f All Trigger Inputs					
For + Trigger: t_r	5	—	270	—	
t_f only is unlimited	10	—	18	—	
	15	—	9	—	μs
For − Trigger: t_r	5	—	325	—	
t_f only is unlimited	10	—	9	—	
	15	—	4	—	
Q or $\overline{Q}$ Deviation from 50% Duty Factor	5	—	±0.5	±1	
	10	—	±0.5	±1	%
	15	—	±0.1	±0.5	
Input Capacitance, C_{IN}	Any Input	—	5	7.7	pF

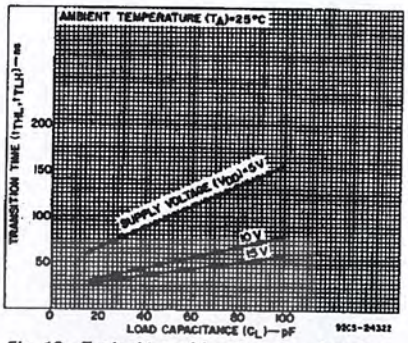


Fig. 10—Typical transition time as a function of load capacitance.

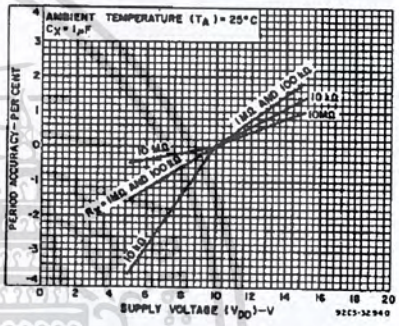


Fig. 11—Typical astable oscillator or Q, $\overline{Q}$ period accuracy vs. supply voltage.

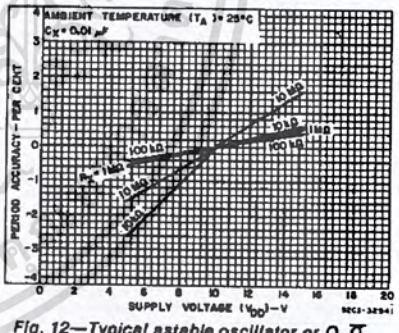


Fig. 12—Typical astable oscillator or Q, $\overline{Q}$ period accuracy vs. supply voltage.

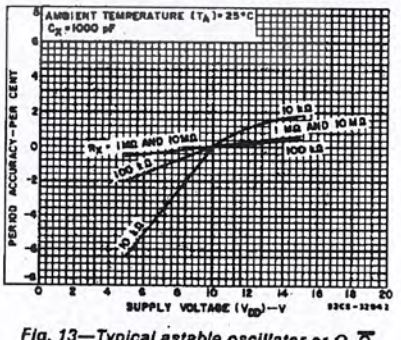


Fig. 13—Typical astable oscillator or Q, $\overline{Q}$ period accuracy vs. supply voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

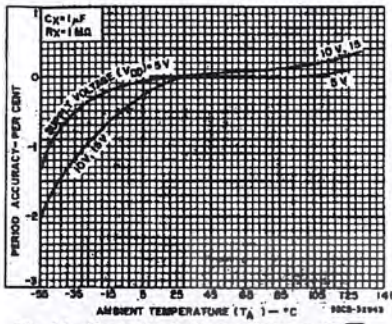


Fig. 14—Typical astable oscillator or Q, $\overline{Q}$ period accuracy vs. ambient temperature (ultra-low frequency).

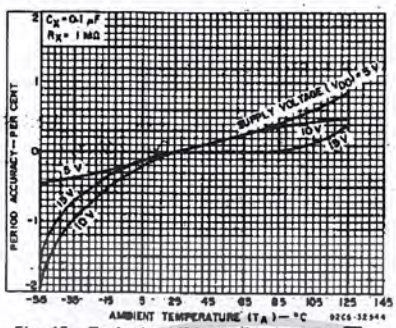


Fig. 15—Typical astable osdillator or Q, $\overline{Q}$ period accuracy vs. ambient temperature (low frequency).

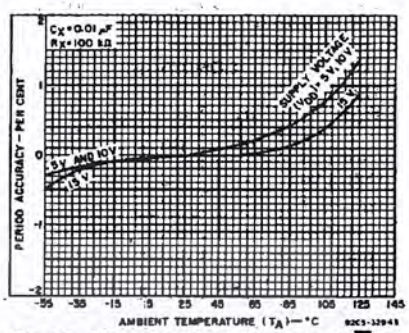


Fig. 16—Typical astable oscillator or Q, $\overline{Q}$ period accuracy vs. ambient temperature (medium frequency).

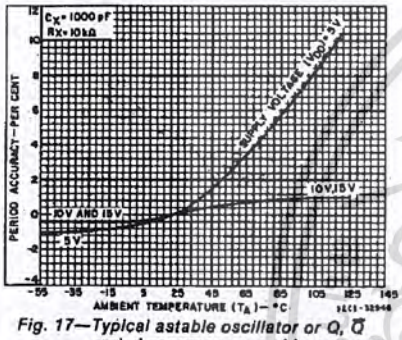


Fig. 17—Typical astable oscillator or Q, $\overline{Q}$ period accuracy vs. ambient temperature (high-frequency).

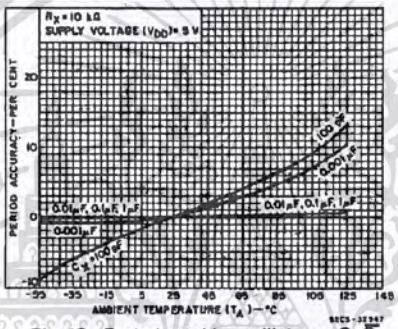


Fig. 18—Typical astable oscillator or Q, $\overline{Q}$ period accuracy vs. ambient temperature.

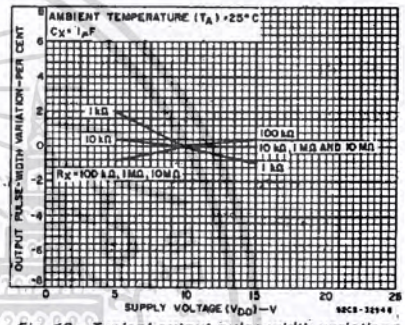


Fig. 19—Typical output pulse-width variations vs. supply voltage.

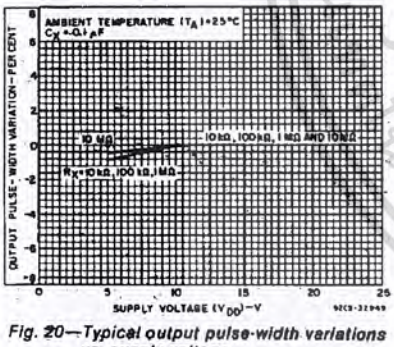


Fig. 20—Typical output pulse-width variations vs. supply voltage.

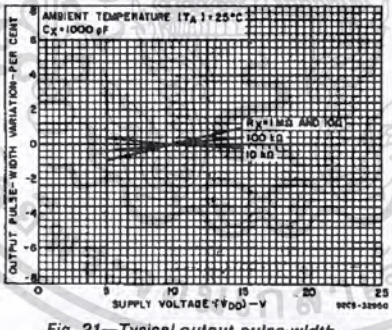


Fig. 21—Typical output pulse-width variations vs. supply voltage.

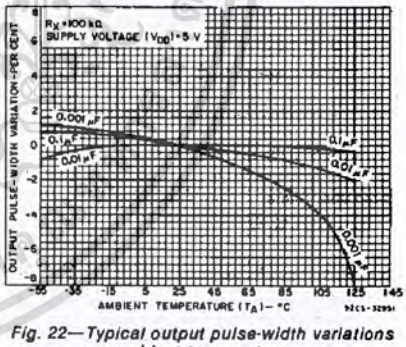


Fig. 22—Typical output pulse-width variations vs. ambient temperature.

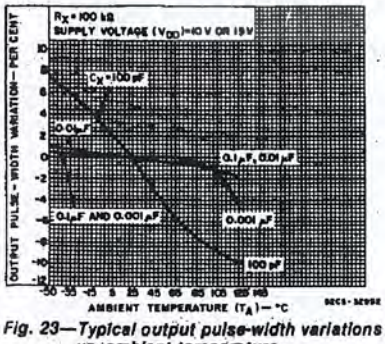


Fig. 23—Typical output pulse-width variations vs. ambient temperature.

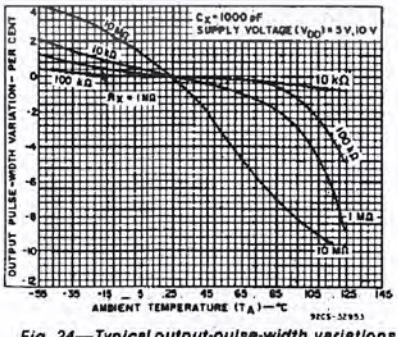


Fig. 24—Typical output pulse-width variations vs. ambient temperature.

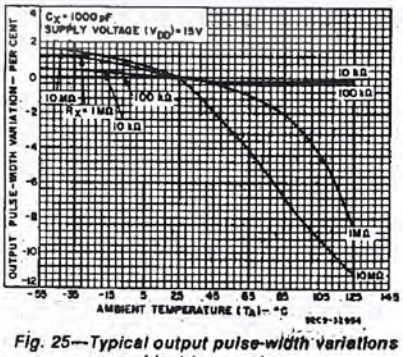


Fig. 25—Typical output pulse-width variations vs. ambient temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

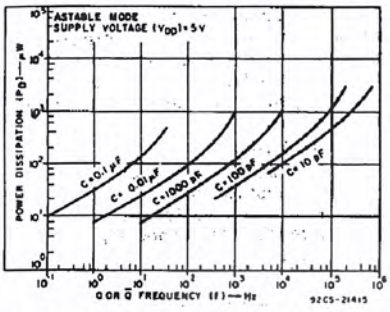


Fig. 26—Typical power dissipation vs. output frequency (V_{DD} = 5 V).

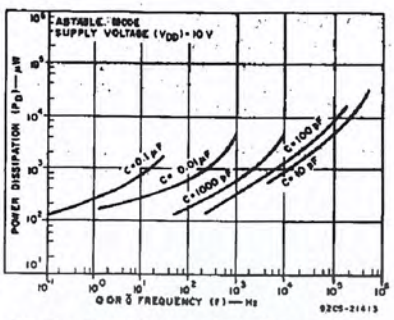


Fig. 27—Typical power dissipation vs. output frequency (V_{DD} = 10 V).

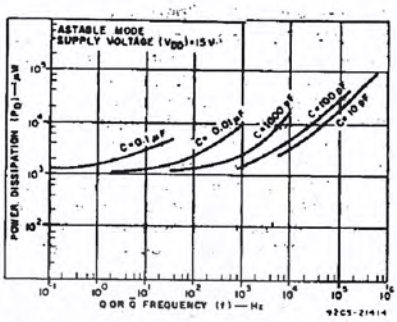


Fig. 28—Typical power dissipation vs. output frequency (V_{DD} = 15 V).

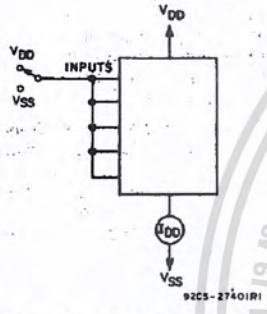


Fig. 29—Quiescent device current test circuit.

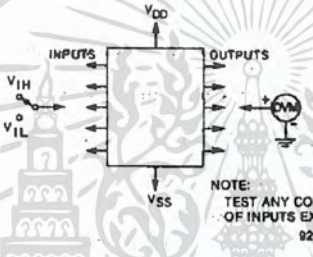


Fig. 30—Input-voltage test circuit.

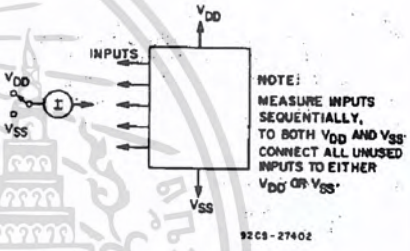


Fig. 31—Input-leakage-current test circuit.

1. Astable Mode Design Information

A. Unit-to-Unit Transfer-Voltage Variations — The following analysis presents variations from unit to unit as a function of transfer-voltage (V_{TR}) shift (33%—67% V_{DD}) for free-running (astable) operation.

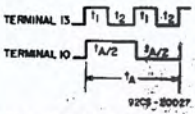


Fig. 32—Astable mode waveforms.

$$t_1 = -RC \ln \frac{V_{TR}}{V_{DD} + V_{TR}};$$

typically, $t_1 = 1.1\ RC$

$$t_2 = -RC \ln \frac{V_{DD} - V_{TR}}{2V_{DD} - V_{TR}};$$

typically, $t_2 = 1.1\ RC$

$$t_A = 2(t_1 + t_2)$$

$$= -2\ RC \ln \frac{(V_{TR})(V_{DD} - V_{TR})}{(V_{DD} + V_{TR})(2V_{DD} - V_{TR})}$$

Typ: $V_{TR} = 0.5\ V_{DD}$ $\quad t_A = 4.40\ RC$

Min: $V_{TR} = 0.33\ V_{DD}$ $\quad t_A = 4.62\ RC$

Max: $V_{TR} = 0.67\ V_{DD}$ $\quad t_A = 4.62\ RC$

thus if $\boxed{t_A = 4.40\ RC}$ is used, the variation will be +5%, −0% due to variations in transfer voltage.

B. Variations Due to V_{DD} and Temperature Changes — In addition to variations from unit to unit, the astable period varies with V_{DD} and temperature. Typical variations are presented in graphical form in Figs. 11 to 18 with 10 V as reference for voltage variations curves and 25°C as reference for temperature variations curves.

II. Monostable Mode Design Information

The following analysis presents variations from unit to unit as a function of transfer-voltage (V_{TR}) shift (33% — 67% V_{DD}) for one-shot (monostable) operation.

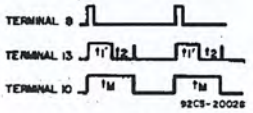


Fig. 33—Monostable waveforms.

$$t_1' = -RC \ln \frac{V_{TR}}{2V_{DD}}$$

typically, $t_1' = 1.38\ RC$

$$t_M = (t_1' + t_2)$$

$$t_M = -RC \ln \frac{(V_{TR})(V_{DD} - V_{TR})}{(2V_{DD} - V_{TR})(2V_{DD})}$$

where t_M = Monostable mode pulse width. Values for t_M are as follows:

Typ: $V_{TR} = 0.5\ V_{DD}$ $\quad t_M = 2.48\ RC$

Min: $V_{TR} = 0.33\ V_{DD}$ $\quad t_M = 2.71\ RC$

Max: $V_{TR} = 0.67\ V_{DD}$ $\quad t_M = 2.48\ RC$

thus if $\boxed{t_M = 2.48\ RC}$ is used, the variation will be +9.3%, −0% due to variations in transfer voltage.

Note:

In the astable mode, the first positive half cycle has a duration of t_M; succeeding durations are $t_A/2$.

In addition to variations from unit to unit, the monostable pulse width varies with V_{DD} and temperature. These variations are presented in graphical form in Fig. 19 to 26 with 10 V as reference for voltage-variation curves and 25°C as reference for temperature-variation curves.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

III. Retrigger Mode Operation

The CD4047B can be used in the retrigger mode to extend the output-pulse duration, or to compare the frequency of an input signal with that of the internal oscillator. In the retrigger mode the input pulse is applied to terminal 12, and the output is taken from terminal 10 or 11. As shown in Fig. 34 normal monostable action is obtained when one retrigger pulse is applied. Extended pulse duration is obtained when more than one pulse is applied.

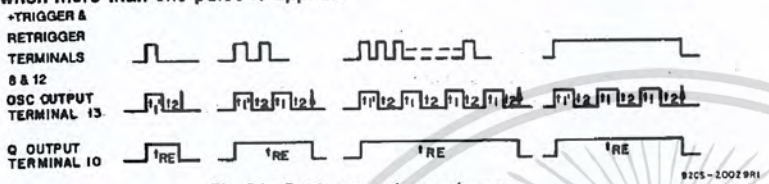


Fig. 34—Retrigger-mode waveforms.

For two input pulses, $t_{RE} = t_1' + t_1 + 2t_2$. For more than two pulses, the output pulse width is an integral number of time periods, with the first time period being $t_1' + t_2$, typically, 2.48RC, and all subsequent time periods being $t_1 + t_2$, typically, 2.2RC.

IV. External Counter Option

Time t_M can be extended by any amount with the use of external counting circuitry. Advantages include digitally controlled pulse duration, small timing capacitors for long time periods, and extremely fast recovery time. A typical implementation is shown in Fig. 35. The pulse duration at the output is

$$t_{ext} = (N - 1)(t_A) + (t_M + t_A/2)$$

where t_{ext} = pulse duration of the circuitry, and N is the number of counts used.

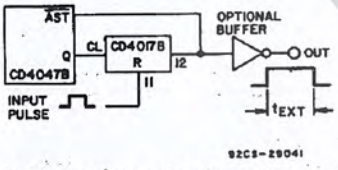


Fig. 35—Implementation of external counter option.

V. Timing-Component Limitations

The capacitor used in the circuit should be non-polarized and have low leakage (i.e. the parallel resistance of the capacitor should be at least an order of magnitude greater than the external resistor used). There is no upper or lower limit for either R or C value to maintain oscillation.

However, in consideration of accuracy, C must be much larger than the inherent stray capacitance in the system (unless this capacitance can be measured and taken into account). R must be much larger than the CMOS "ON" resistance in series with it, which typically is hundreds of ohms. In addition, with very large values of R, some short-term instability with respect to time may be noted.

The recommended values for these components to maintain agreement with previously calculated formulas without trimming should be:

$C \geq 100$ pF, up to any practical value, for astable modes;

$C \geq 1000$ pF, up to any practical value for monostable modes.

$10\ k\Omega \leq R \leq 1\ M\Omega$

VI. Power Consumption

In the standby mode (Monostable or Astable), power dissipation will be a function of leakage current in the circuit, as shown in the static electrical characteristics. For dynamic operation, the power needed to charge the external timing capacitor C is given by the following formulae:

Astable Mode:

$P = 2CV^2f$. (Output at terminal No. 13)

$P = 4CV^2f$. (Output at terminal Nos. 10 and 11)

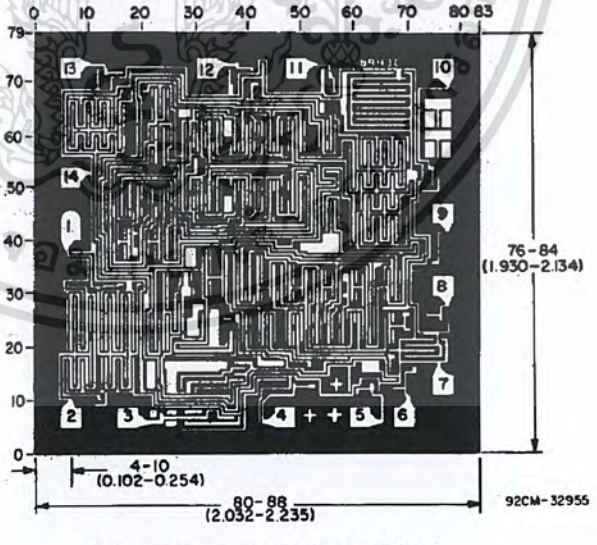
Monostable Mode:

$$P = \frac{(2.9CV^2)\ (\text{Duty Cycle})}{T}$$

(Output at terminal Nos. 10 and 11)

The circuit is designed so that most of the total power is consumed in the external components. In practice, the lower the values of frequency and voltage used, the closer the actual power dissipation will be to the calculated value.

Because the power dissipation does not depend on R, a design for minimum power dissipation would be a small value of C. The value of R would depend on the desired period (within the limitations discussed above). See Figs. 27, 28, and 29 for typical power consumption in astable mode.



Chip dimensions and pad layout for CD4047B

Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10^{-3} inch).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMPORTANT NOTICE

Texas Instruments and its subsidiaries (TI) reserve the right to make changes to their products or to discontinue any product or service without notice, and advise customers to obtain the latest version of relevant information to verify, before placing orders, that information being relied on is current and complete. All products are sold subject to the terms and conditions of sale supplied at the time of order acknowledgement, including those pertaining to warranty, patent infringement, and limitation of liability.

TI warrants performance of its semiconductor products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

CERTAIN APPLICATIONS USING SEMICONDUCTOR PRODUCTS MAY INVOLVE POTENTIAL RISKS OF DEATH, PERSONAL INJURY, OR SEVERE PROPERTY OR ENVIRONMENTAL DAMAGE ("CRITICAL APPLICATIONS"). TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS. INCLUSION OF TI PRODUCTS IN SUCH APPLICATIONS IS UNDERSTOOD TO BE FULLY AT THE CUSTOMER'S RISK.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards must be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance or customer product design. TI does not warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used. TI's publication of information regarding any third party's products or services does not constitute TI's approval, warranty or endorsement thereof.

Copyright © 1998, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

For a complete data sheet, please also download:

- The IC06 74HC/HCT/HCU/HCMOS Logic Family Specifications
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Information
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Outlines

74HC/HCT374
Octal D-type flip-flop; positive edge-trigger; 3-state

Product specification
File under Integrated Circuits, IC06

December 1990

Philips Semiconductors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Octal D-type flip-flop; positive edge-trigger; 3-state

74HC/HCT374

FEATURES

- 3-state non-inverting outputs for bus oriented applications
- 8-bit positive, edge-triggered register
- Common 3-state output enable input
- Independent register and 3-state buffer operation
- Output capability: bus driver
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT374 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT374 are octal D-type flip-flops featuring separate D-type inputs for each flip-flop and 3-state outputs for bus oriented applications. A clock (CP) and an output enable ($\overline{OE}$) input are common to all flip-flops.

The 8 flip-flops will store the state of their individual D-inputs that meet the set-up and hold times requirements on the LOW-to-HIGH CP transition.

When $\overline{OE}$ is LOW, the contents of the 8 flip-flops are available at the outputs. When $\overline{OE}$ is HIGH, the outputs go to the high impedance OFF-state. Operation of the $\overline{OE}$ input does not affect the state of the flip-flops.

The "374" is functionally identical to the "534", but has non-inverting outputs.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; $t_r = t_f$ = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/t_{PLH}	propagation delay CP to Q_n	C_L = 15 pF; V_{CC} = 5 V	15	13	ns
f_{max}	maximum clock frequency		77	48	MHz
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per flip-flop	notes 1 and 2	17	17	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in µW):
   $P_D = C_{PD} \times V_{CC}^2 \times f_i + \Sigma (C_L \times V_{CC}^2 \times f_o)$ where:
   f_i = input frequency in MHz
   f_o = output frequency in MHz
   $\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs
   C_L = output load capacitance in pF
   V_{CC} = supply voltage in V
2. For HC the condition is V_I = GND to V_{CC}
   For HCT the condition is V_I = GND to V_{CC} − 1.5 V

ORDERING INFORMATION

See *"74HC/HCT/HCU/HCMOS Logic Package Information"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1	$\overline{OE}$	3-state output enable input (active LOW)
2, 5, 6, 9, 12, 15, 16, 19	Q_0 to Q_7	3-state flip-flop outputs
3, 4, 7, 8, 13, 14, 17, 18	D_0 to D_7	data inputs
10	GND	ground (0 V)
11	CP	clock input (LOW-to-HIGH, edge-triggered)
20	V_{CC}	positive supply voltage

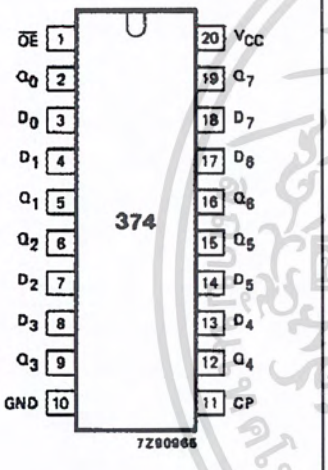


Fig.1 Pin configuration.

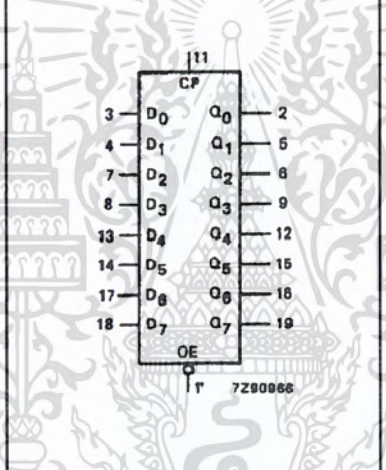


Fig.2 Logic symbol.

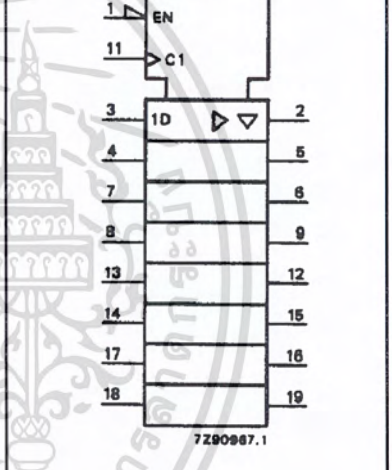


Fig.3 IEC logic symbol.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1	$\overline{OE}$	3-state output enable input (active LOW)
2, 5, 6, 9, 12, 15, 16, 19	Q_0 to Q_7	3-state flip-flop outputs
3, 4, 7, 8, 13, 14, 17, 18	D_0 to D_7	data inputs
10	GND	ground (0 V)
11	CP	clock input (LOW-to-HIGH, edge-triggered)
20	V_{CC}	positive supply voltage

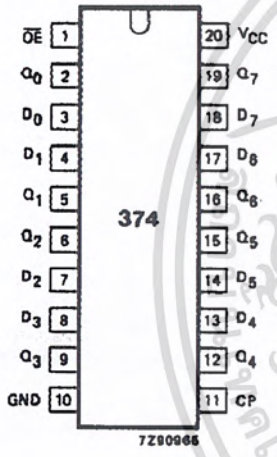


Fig.1 Pin configuration.

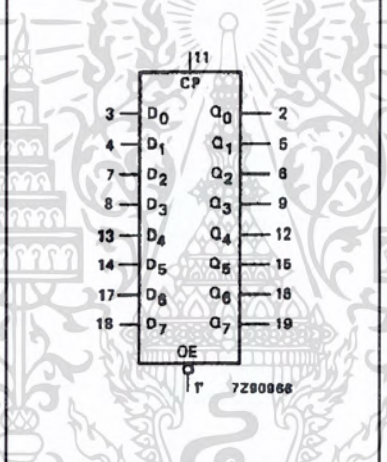


Fig.2 Logic symbol.

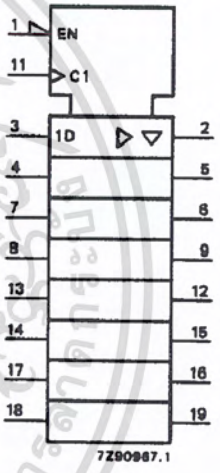


Fig.3 IEC logic symbol.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

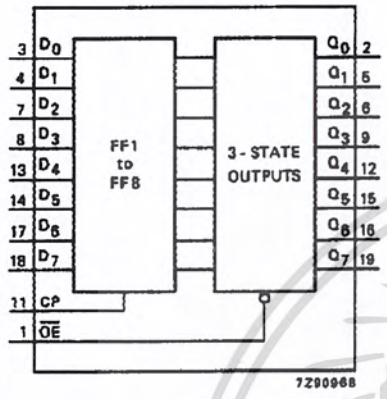


Fig.4 Functional diagram.

FUNCTION TABLE

OPERATING MODES	INPUTS			INTERNAL FLIP-FLOPS	OUTPUTS
	$\overline{OE}$	CP	D_n		Q_0 to Q_7
load and read register	L	↑	l	L	L
	L	↑	h	H	H
load register and disable outputs	H	↑	l	L	Z
	H	↑	h	H	Z

Notes

1. H = HIGH voltage level
   h = HIGH voltage level one set-up time prior to the LOW-to-HIGH CP transition
   L = LOW voltage level
   l = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
   Z = high impedance OFF-state
   ↑ = LOW-to-HIGH CP transition

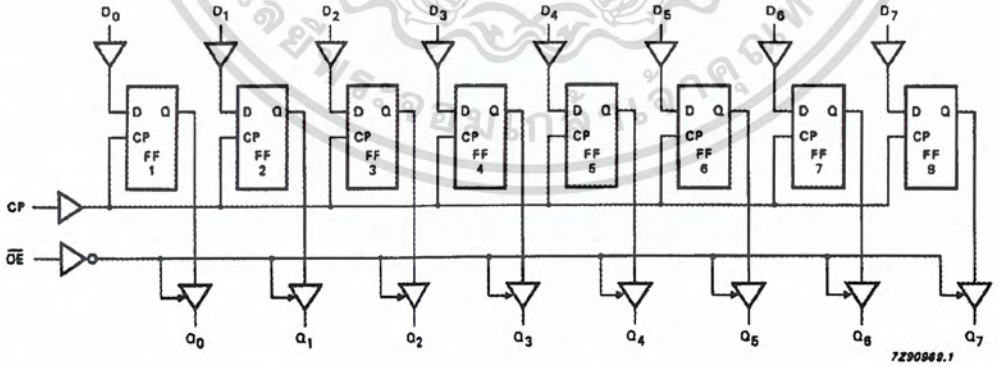


Fig.5 Logic diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HC

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: bus driver
I_{CC} category: MSI

AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C) 74HC +25 min.	+25 typ.	+25 max.	−40 to +85 min.	−40 to +85 max.	−40 to +125 min.	−40 to +125 max.	UNIT	TEST CONDITIONS V_{CC} (V)	TEST CONDITIONS WAVEFORMS
t_{PHL}/ t_{PLH}	propagation delay CP to Q_n		50 18 14	165 33 28		205 41 35		250 50 43	ns	2.0 4.5 6.0	Fig.6
t_{PZH}/ t_{PZL}	3-state output enable time $\overline{OE}$ to Q_n		41 15 12	150 30 26		190 38 33		225 45 38	ns	2.0 4.5 6.0	Fig.7
t_{PHZ}/ t_{PLZ}	3-state output disable time $\overline{OE}$ to Q_n		50 18 14	150 30 26		190 38 33		225 45 38	ns	2.0 4.5 6.0	Fig.7
t_{THL}/ t_{TLH}	output transition time		14 5 4	60 12 10		75 15 13		90 18 15	ns	2.0 4.5 6.0	Fig.6
t_W	clock pulse width HIGH or LOW	80 16 14	19 7 6		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.6
t_{su}	set-up time D_n to CP	60 12 10	14 5 4		75 15 13		90 18 15		ns	2.0 4.5 6.0	Fig.8
t_h	hold time D_n to CP	5 5 5	−6 −2 −2		5 5 5		5 5 5		ns	2.0 4.5 6.0	Fig.8
f_{max}	maximum clock pulse frequency	6.0 30 35	23 70 83		4.8 24 28		4.0 20 24		MHz	2.0 4.5 6.0	Fig.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HCT

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: bus driver
I_{CC} category: MSI

Note to HCT types

The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given in the family specifications. To determine ΔI_{CC} per input, multiply this value by the unit load coefficient shown in the table below.

INPUT	UNIT LOAD COEFFICIENT
$\overline{OE}$	1.25
CP	0.90
D_n	0.35

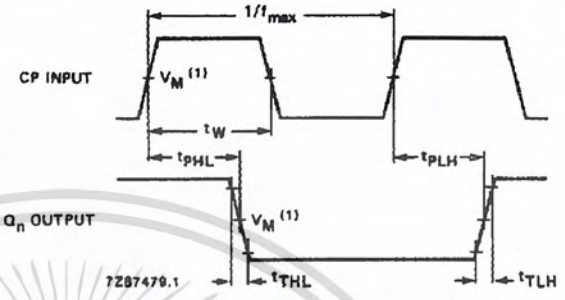
AC CHARACTERISTICS FOR 74HCT

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HCT								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay CP to Q_n		16	32		40		48	ns	4.5	Fig.6
t_{PZH}/ t_{PZL}	3-state output enable time $\overline{OE}$ to Q_n		16	30		38		45	ns	4.5	Fig.7
t_{PHZ}/ t_{PLZ}	3-state output disable time $\overline{OE}$ to Q_n		18	28		35		42	ns	4.5	Fig.7
t_{THL}/ t_{TLH}	output transition time		5	12		15		18	ns	4.5	Fig.6
t_W	clock pulse width HIGH or LOW	19	11		24		29		ns	4.5	Fig.6
t_{su}	set-up time D_n to CP	12	7		15		18		ns	4.5	Fig.8
t_h	hold time D_n to CP	5	−3		5		5		ns	4.5	Fig.8
f_{max}	maximum clock pulse frequency	26	44		21		17		MHz	4.5	Fig.6

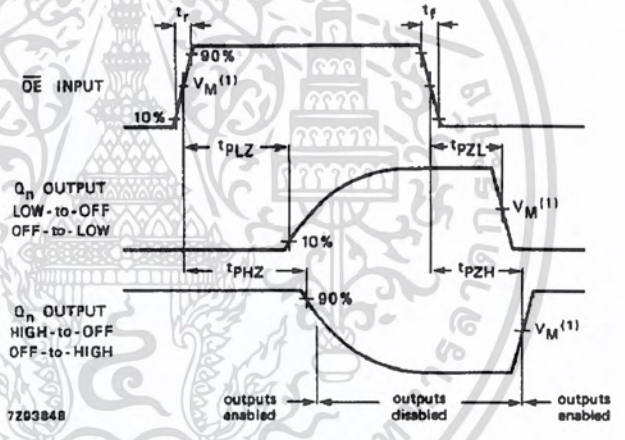
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC WAVEFORMS



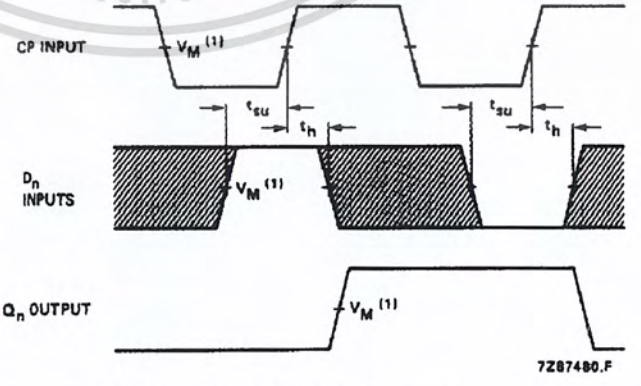
(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT : V_M = 1.3 V; V_I = GND to 3 V.

Fig.6 Waveforms showing the clock (CP) to output (Q_n) propagation delays, the clock pulse width, output transition times and the maximum clock pulse frequency.



(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT : V_M = 1.3 V; V_I = GND to 3 V.

Fig.7 Waveforms showing the 3-state enable and disable times.



The shaded areas indicate when the input is permitted to change for predictable output performance.

(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT : V_M = 1.3 V; V_I = GND to 3 V.

Fig.8 Waveforms showing the data set-up and hold times for D_n input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE OUTLINES

See *"74HC/HCT/HCU/HCMOS Logic Package Outlines"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Robert F. Coughlin and Frederick F. Driscoll, Operational Amplifier and Linear Intergrated Circuits, Prentice-Hall, Inc. 1987
2. พันธ์ศักดิ์ พุฒิมานิตพงศ์, ปฏิบัติออปแอมป์และการใช้งาน, ศูนย์ส่งเสริมอาชีวะ
3. กลุ่ม CNS, ออปแอมป์ 741, สำนักพิมพ์ฟิสิกส์เซ็นเตอร์, 2535
4. Denton J. Dailay, Operation Amplifier and Linear Integrated Circuits: Theory and Applications, U.S.A., McGraw-Hill Book Company, 1989
5. John McWane, Introduction to Electronics and Instrumentation, 1976

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้