

เครื่องวัด pattern สายอากาศ

Antenna Pattern Measurement Apparatus



โดย

นายสุรพงษ์ ดีเมืองสอง

นายพยุงศักดิ์ สาโยธา

เลขหมู่.....  
เลขทะเบียน 42266  
วัน, เดือน, ปี 16 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

สาขาเทคโนโลยีอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

หัวข้อปริญญานิพนธ์ เครื่องวัด pattern สายอากาศ  
Antenna Pattern Measurement Apparatus

ชื่อนักศึกษา นายสุรพงษ์ ตีเมืองสง 42015494  
นายพูนศักดิ์ สาโยธา 42015482

อาจารย์ที่ปรึกษา ผ.ศ.วิชัย สุรพัฒน์  
อาจารย์ณภินท์ อนันตรศิริชัย

ภาควิชา เทคโนโลยีอิเล็กทรอนิกส์

ปีการศึกษา 2543

คณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังอนุมัติให้นับ  
ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

----- ประธานกรรมการ  
(-----)  
----- กรรมการ  
(-----)  
----- กรรมการ  
(-----)  
----- กรรมการ  
(-----)  
----- กรรมการ  
(-----)

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

### เครื่องวัด Pattern สายอากาศ

โดย	นายสุรพงษ์ ตีเมืองสอง	รหัส 42015494
	นายพยุ่งศักดิ์ साโยธา	รหัส 42015482
อาจารย์ที่ปรึกษา	ผ.ศ. วิชัย สุรพัฒน์	
	อาจารย์ นภพินท์ อนันตรศิริชัย	
ปีการศึกษา	2543	

#### บทคัดย่อ

ปริญญานิพนธ์นี้นำเสนอ ระบบการวัดคุณสมบัติการแพร่กระจายคลื่นของสายอากาศ ซึ่งได้ทำการสร้างอุปกรณ์สำหรับใช้ในการบันทึกความแรงของสัญญาณที่วัดได้จากสายอากาศที่ย่านความถี่ VHF – UHF โดยใช้คอมพิวเตอร์ควบคุมการหมุนของสายอากาศพร้อมทั้งบันทึกข้อมูล และสร้างภาพให้ปรากฏบนจอคอมพิวเตอร์ ชุดอุปกรณ์ที่ใช้ประกอบด้วยชุดรับสัญญาณย่าน VHF – UHF พอร์ทขนาน ชุดเสาหุติ ชุดขับมอเตอร์ คอมพิวเตอร์และซอฟต์แวร์

## **Antenna Pattern Measurement Apparatus**

**BY** Mr. Surapong Teemungsang 42015494  
Mr. Payungsak Sayota 42015482

**ADVISER** Asst. Pro.f. Wichai Surapat  
Miss.Noppin Anantrasirichai

**YEAR** 2000

### **ABSTRACT**

This paper presents the measurement system of radiation pattern. This measurement apparatus can use to record the field strength of signal from antenna in VHF - UHF band. By using the computer control the rotate motor and record data and display on the screen. It compose of tuner , parallel port , A/D , drive motor , computer and software .

## กิตติกรรมประกาศ

ปริญญาโทฉบับนี้ ได้รับความช่วยเหลือในการให้คำแนะนำและข้อมูลอย่างดียิ่งขึ้นจาก อาจารย์ที่ปรึกษาปริญญาโทคือ ผ.ศ.วิชัย สุรพัฒน์ และ อาจารย์นภพินท์ อนันตรศิริชัย ซึ่งให้คำแนะนำและการสนับสนุนในการวิจัยมาด้วยดีตลอด ที่ได้ช่วยเหลือในการให้คำปรึกษาต่างๆได้ ขอขอบคุณไว้ ณ.ที่นี้

ขอขอบคุณพระคุณบิดามารดา ที่ช่วยเหลือเป็นกำลังใจ และให้การสนับสนุน ในด้านทุนทรัพย์ระหว่างทำโครงการมาโดยตลอด ขอขอบคุณรุ่นพี่ทุกคน ที่ให้ความช่วยเหลือในการทำโครงการขึ้นนี้

นายสุรพงษ์ ตีเมืองสอง

นายพูนศักดิ์ สาโยธา

## สารบัญ

เรื่อง	หน้า
บทคัดย่อ (ภาษาไทย)	ก
บทคัดย่อ (ภาษาอังกฤษ)	ข
กิตติกรรมประกาศ	ค
<b>บทที่ 1</b>	
บทนำ	1
1.1 วัตถุประสงค์	1
1.2 ขอบเขตของโครงการ	1
<b>บทที่ 2</b>	
ทฤษฎีที่เกี่ยวข้อง	
2.1 ทฤษฎีและการทำงานของย่าน RF	2
2.2 การแบ่งย่านความถี่ของคลื่นแม่เหล็กไฟฟ้า	4
2.3 ความรู้ขั้นพื้นฐานเกี่ยวกับสายอากาศ	6
2.4 การแพร่กระจายสัญญาณจากสายอากาศ	7
2.5 หลักการของสายอากาศ	9
2.6 การแพร่กระจายของกระแสและแรงดันไฟฟ้าในลวดตัวนำ	10
2.7 อิมพีแดนซ์ของสายอากาศ	11
2.8 การแมทซ์ซิ่ง	12
2.9 สัญญาณดิจิทัล	15
2.10 วงจรเปรียบเทียบขนาน	16
2.11 วงเปลี่ยนสัญญาณเหตุึ่แบบใช้การประมาณ	17
2.12 การแซมปลิ่ง	18
2.13 การจัดระดับ	20
2.14 สเต็ปปลิ่งมอเตอร์	20
<b>บทที่ 3</b>	
การออกแบบและกำหนดค่าอุปกรณ์ในแต่ละส่วน	
3.1 แนวความคิดในการออกแบบ	25
3.2 การออกแบบ	25
3.3 การออกแบบการใช้งาน ADC 0804	27

เรื่อง	หน้า
3.4 ชุดควบคุมการหมุนของสายอากาศ	28
3.5 การออกแบบชุด Stepping motor control	28
3.6 การออกแบบวงจรขับ Stepping motor	30
3.7 การออกแบบโปรแกรม	31
<b>บทที่ 4</b>	
ผลการทดลอง	
4.1 ผลการทดลอง	33
4.1.1 ผลการทดลองวงจร DETECT สัญญาณ	33
4.1.2 ผลการทดลองจากวงจร Analog to Digital Converter	36
4.1.3 ผลการทดลองทดสอบ PLOT รูป PATTERN	37
4.1.4 ผลการทดลองเมื่อนำทุกส่วนมาประกอบทดลอง	42
<b>บทที่ 5</b>	
บทสรุปและวิจารณ์	44
สรุปผลการทดลอง	44
ปัญหาที่พบในการทดลอง	44
<b>บรรณานุกรม</b>	
ภาคผนวก ก อธิบายการใช้โปรแกรม	
ภาคผนวก ข ลายวงจร	
ภาคผนวก ค Program	
ภาคผนวก ง Data Sheet	

## บทที่ 1

### บทนำ

#### 1.1 ความเป็นมาของปัญหา

เนื่องจากปัจจุบันนี้วิวัฒนาการในด้านการสื่อสาร ได้มีการพัฒนาก้าวหน้าไปอย่างมากและเข้ามามีบทบาทในการดำเนินชีวิตประจำวัน ของมนุษย์เรามากขึ้น อาจจะกล่าวได้ว่าการสื่อสารเป็นปัจจัยสำคัญอย่างหนึ่งในการดำรงชีวิตของมนุษย์ก็ว่าได้ เพราะการสื่อสารมีอัตราประโยชน์ต่อมนุษย์มากมาย โทรทัศน์ก็เป็นการสื่อสารอย่างหนึ่ง ที่มีบทบาทในชีวิตประจำวันของคนเรามากซึ่งโทรทัศน์จะเป็นสื่อนำเสนอสาระบบเท็งและอื่นๆ แม้ว่าในปัจจุบันนี้สถานีโทรทัศน์จะส่งสัญญาณได้กว้างขวางจนเกือบจะครอบคลุมพื้นที่ทั่วประเทศไทยแล้ว สัญญาณที่จะส่งออกมา นั้นจะถูกส่งแพร่กระจายจากสายอากาศส่ง ขณะเดียวกันในการรับ ก็จะต้องมีสายอากาศรับ ดังนั้นในการศึกษาเพื่อวิเคราะห์การรับคลื่นของสายอากาศจะใช้ pattern ของคลื่นที่แพร่กระจายที่รับได้จากสายอากาศเป็นหลัก ซึ่งจาก pattern ในการแพร่กระจายจะทำให้ทราบถึงทิศทางในการแพร่กระจายคลื่นและความเข้มของสัญญาณ แต่ในทางปฏิบัติการวัดคลื่นที่รับได้ จากสายอากาศเพื่อนำมา plot เป็นภาพนั้น จะกระทำได้หากจำเป็นต้องใช้อุปกรณ์ช่วย ซึ่งก็คือ เครื่องวิเคราะห์สัญญาณโทรทัศน์ที่จะจัดสร้างในโครงการนี้ เพื่อให้สามารถใช้งานได้ โดยสามารถแสดงลักษณะความแรงของคลื่นในรูปของกราฟโดยผ่านเครื่องคอมพิวเตอร์ เพื่อทราบถึงทิศทางในการแพร่กระจายคลื่น ของสัญญาณ โทรทัศน์

#### 1.1 วัตถุประสงค์

- 1.1.1 เพื่อเรียนรู้เกี่ยวกับการนำสัญญาณโทรทัศน์ซึ่งเป็นสัญญาณอนาล็อกไปวิเคราะห์ผ่านเครื่องคอมพิวเตอร์
- 1.1.2 เพื่อสร้างเครื่องสำหรับวิเคราะห์สัญญาณ โทรทัศน์และสามารถเข้าใจถึงการกระจายคลื่นและลักษณะการแพร่กระจายของคลื่นสัญญาณโทรทัศน์
- 1.1.3 เพื่อศึกษาและเรียนรู้ถึงการเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล

#### 1.2 ขอบเขตของโครงการ

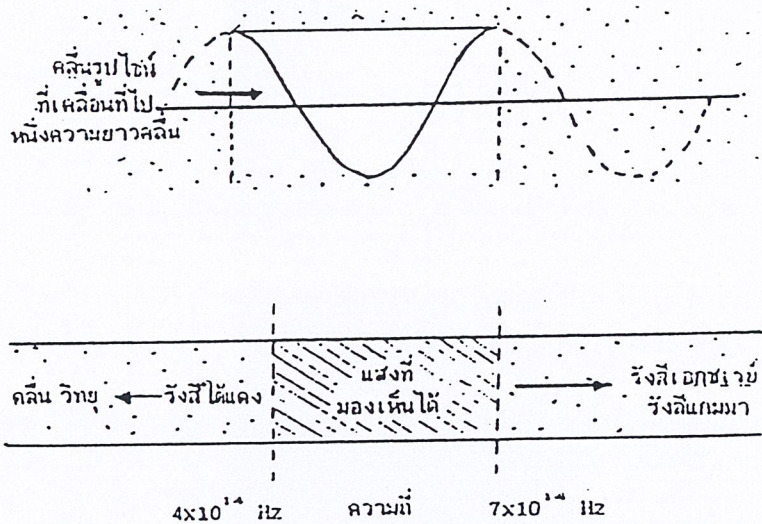
- 1.2.1 เขียนโปรแกรมควบคุมการหมุนของ motor การบันทึกข้อมูลและการแสดงผลข้อมูล
- 1.2.2 สร้างชุดควบคุมการหมุนของ motor โดยใช้โปรแกรมคอมพิวเตอร์ในการควบคุมและจับเก็บข้อมูล
- 1.2.3 แสดงผลของข้อมูลที่วัดได้ในลักษณะของภาพและข้อมูลตัวเลข

## บทที่ 2 ทฤษฎีที่เกี่ยวข้อง

### 2.1 ทฤษฎีและการใช้งานความถี่ย่าน RF

#### สเปกตรัมและความยาวคลื่น

ในการวิเคราะห์สัญญาณทั่วไปนั้น ได้อาศัยเทคนิคของการแปลงฟูเรียร์ (Fourier Transform) จึงทำให้ทราบว่าสัญญาณต่าง ๆ นั้น ประกอบขึ้นมาจากสัญญาณรูปคลื่นไซน์ ที่ความถี่ต่าง ๆ กันอย่างไรทั้งหมดนั้นรวมเรียกว่าสเปกตรัม (spectrum) ของสัญญาณนั้นสัญญาณที่กล่าวถึงในที่นี้จะขอเน้นถึงสัญญาณไฟฟ้า

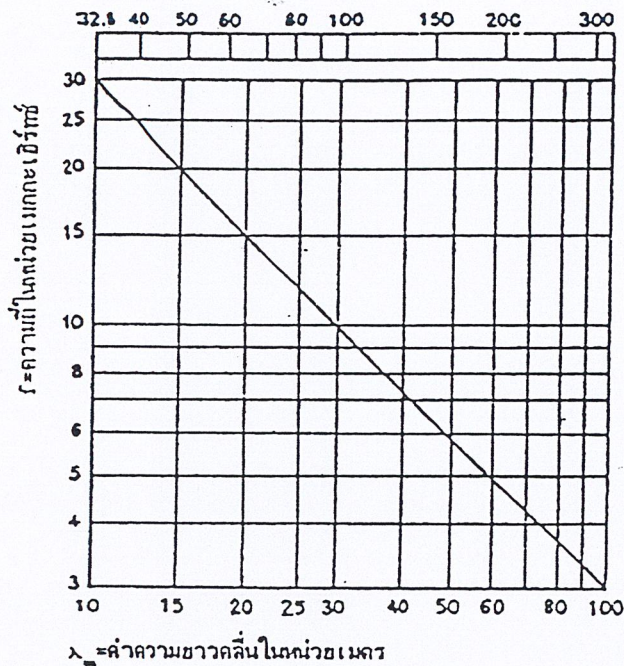


รูปที่ 2.1 สเปกตรัมและความยาวคลื่นของแสงที่มองเห็นได้

ปริมาณที่สำคัญอย่างหนึ่งซึ่งช่วยให้เราแบ่งแยกคุณสมบัติบางประการ ของคลื่นแม่เหล็กไฟฟ้าได้คือความยาวคลื่น (wavelength) ความยาวคลื่นคือระยะทางที่คลื่นครบหนึ่งลูกคลื่น ความยาวคลื่นอาจวัดได้จากระยะทางระหว่างยอดคลื่น (จุดที่ค่าของสัญญาณมีค่าสูงสุด) ที่เกิดตามกันมา รูป 2.1 ถ้าเราให้  $v$  คือ ความเร็วของคลื่นสัญญาณที่เดินทางผ่านตัวกลางซึ่งมีหน่วยเป็น เมตรต่อวินาทีและถ้าคลื่นสัญญาณนั้นเกิดขึ้นด้วยความถี่  $f$  Hz เราก็สามารถที่จะคำนวณหาความยาวคลื่น  $\lambda$  ซึ่งมีหน่วยเป็นเมตรได้ ดังต่อไปนี้คือ  $\lambda = v/f$

เมื่อคลื่นแม่เหล็กไฟฟ้า เดินทางผ่านสุญญากาศจะเดินทางไปด้วยความเร็วเท่ากับ ความเร็วแสงคือ  $3 \times 10^8$  เมตร/วินาที ธรรมดาเมื่อก้าวถึงความยาวคลื่นโดยมิได้กล่าวอ้างอิงถึงตัวกลางที่คลื่นที่ผ่านไปแล้ว ก็จะหมายความว่าความยาวคลื่นเมื่อคลื่นนั้นเคลื่อนที่อยู่ในสุญญากาศ

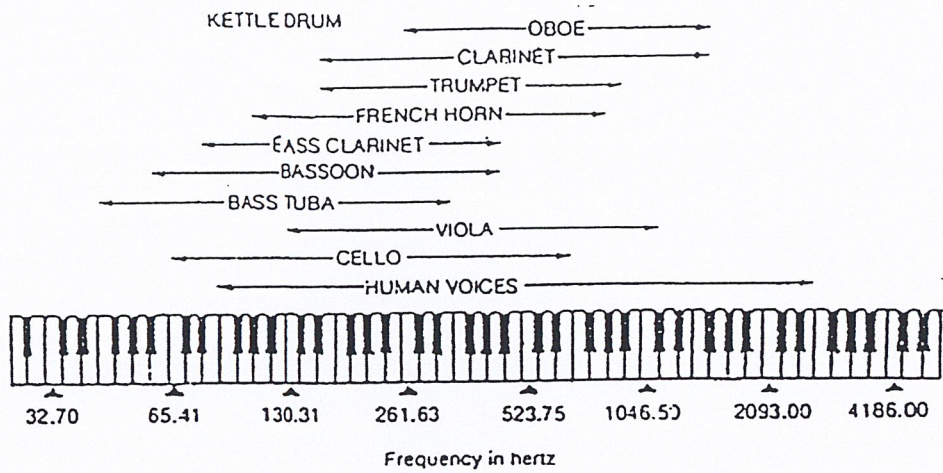
ดังเช่น ค่าความยาวคลื่นที่ปรากฏอยู่ในรูปที่ 2.1 นั้น เป็นต้น แผนภูมิที่แสดงอยู่ในรูปที่ 2.2 ใช้ช่วยในการหาค่าของความยาวคลื่นจากความถี่ของคลื่นแม่เหล็กไฟฟ้านั้น ค่าคงที่ที่เหมาะสมตามที่แสดงไว้ในแผนภูมิ จะทำให้สามารถประยุกต์ใช้ แผนภูมิกับความถี่ทุกส่วนของสเปกตรัมของสัญญาณได้เป็นอย่างดี



ความถี่ในช่วงตั้งแต่ (เมกกะเฮิรตซ์)	คูณค่าความถี่ด้วย	คูณค่าความยาวคลื่นด้วย
0.03-0.3	0.01	100
0.3-3.0	0.1	10
3.0-30	1.0	1
30-300	10	0.1
300-3000	100	0.01
3000-30000	1000	0.001
30000-300000	10000	0.0001

รูปที่ 2.2 แสดงการเปลี่ยนแปลงความถี่เป็นความยาวคลื่นแม่เหล็กไฟฟ้า

เพื่อที่จะให้ได้รับรู้เกี่ยวกับเรื่องของสเปกตรัมมากขึ้นจะขอยกตัวอย่างสเปกตรัมของสัญญาณเสียงซึ่งเป็นสัญญาณที่มนุษย์ เราคุ้นเคยกันอยู่เป็นประจำ อีกอย่างหนึ่งมาประกอบคำอธิบายในเรื่องนี้ไว้จะได้สามารถเข้าใจภาพพจน์หรือ แนวความคิดในเรื่องสเปกตรัมนี้ ได้ดียิ่งขึ้น สเปกตรัมของสัญญาณเสียง แสดงในรูปที่ 2.3



รูปที่ 2.3 สเปกตรัมของสัญญาณเสียง

## 2.2 การแบ่งย่านความถี่ของคลื่น แม่เหล็กไฟฟ้า

ปกติทั่วไปแล้วช่องสัญญาณต่างๆที่ใช้ส่งคลื่นผ่านไปนั้น จะมีปฏิกริยาต่อเนื่องที่ความถี่ต่างๆไม่เหมือนกัน ทำให้คุณสมบัติการเคลื่อนที่ของคลื่นแม่เหล็กไฟฟ้าที่อยู่ในย่านความถี่ที่ต่างกัน นั้นมีความแตกต่างออกไป เพราะฉะนั้น จึงได้มีการแบ่งย่านความถี่ของคลื่นแม่เหล็กไฟฟ้าไว้ เพื่อที่จะได้รวบรวมเอาคลื่นความถี่ที่มีคุณสมบัติใกล้เคียงกันเข้าไว้ด้วยกัน

จากตารางที่ 2.1 ย่านความถี่ต่างๆนั้นในบางครั้งก็เรียกว่า “แบนด์” (band) ลำดับของแบนด์ ดังแสดงตาราง 2.1 นั้นเป็นไปตามมาตรฐานข้อตกลงระหว่างประเทศซึ่งกำหนดโดย ITU (International communication Union) คุณสมบัติของคลื่นและประโยชน์ของคลื่นแม่เหล็กไฟฟ้า ในย่านความถี่ต่างๆนั้นพอที่จะสรุปไว้เป็นสังเขปได้ดังนี้คือ

ELF เป็นแบนด์ของคลื่นแม่เหล็กไฟฟ้าที่มีความถี่ต่ำมากเป็นย่านความถี่ของสัญญาณที่เกิดขึ้นจากเครื่องดนตรี และเสียงของสัตว์หรือเสียงของมนุษย์บางส่วนอย่างไรก็ตามย่านความถี่ของคลื่นที่ตรงกับความถี่ของเสียงของมนุษย์ส่วนใหญ่จะถูกจัดแบ่งไว้เป็นแบนด์หนึ่งคือ VF แบนด์

ลำดับ ของแบนด์	ย่านความถี่	ชื่อย่านความถี่	อักษรย่อ	ชื่อย่านความถี่ในระบบ เมตริก
2	30-300 Hz	Extremely-low Frequency	ELF	Megametric wave
3	300-3000 Hz	Voice frequency	VF	-----
4	3-30 kHz	Very-low frequency	VLF	Myriametric wave
5	30-300 kHz	Low frequency	LF	Kilometric wave
6	300-3000 kHz	Medium frequency	MF	Hectrometric wave
7	30-300 MHz	High frequency	HF	Decametric wave
8	30-300 MHz	Very-high frequency	VHF	Metric wave
9	300-3000 MHz	Ultra-high frequency	UHF	Decimetric wave
10	3-30 GHz	Super-high frequency	SHF	Centimetric wave
11	30-300 GHz	Extremely-high frequency	EHF	Millimetric wave
12	300-3000 GHz	---	---	Decimillimetric wave

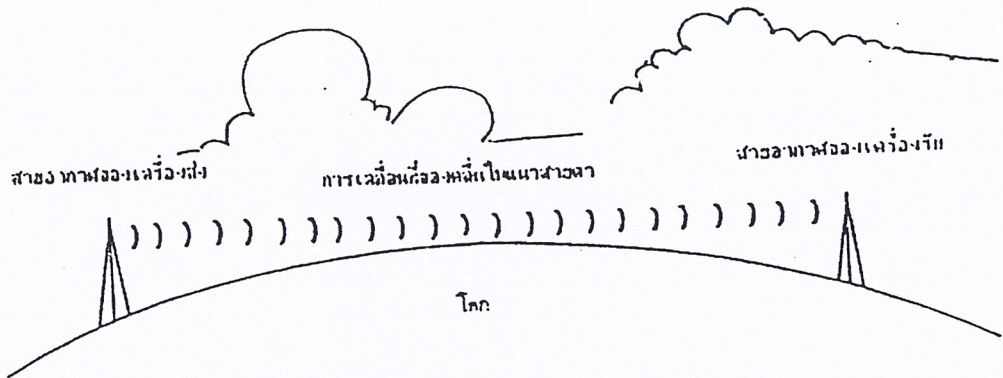
ตารางที่ 2.1 การแบ่งย่านความถี่และคำศัพท์เฉพาะ

ความถี่ในย่าน VLF และ VF นั้นเริ่มแรกใช้สำหรับวิทยุโทรเลข (radio telegraph) แต่เนื่องความยาวคลื่นของสัญญาณ ในแบนด์นี้มีความยาวมากเป็นกิโลเมตร เพราะฉะนั้นการส่งวิทยุในย่านความถี่นี้ ปัจจุบันจะใช้สำหรับงานพิเศษโดยเฉพาะเท่านั้น

MF เป็นย่านความถี่ของคลื่นที่ใช้ในการส่งกระจายเสียง FM เป็นย่านความถี่ของคลื่นที่เรียกว่า “คลื่นสั้น” เป็นย่านความถี่ของคลื่นที่ใช้สำหรับส่งกระจายเสียงวิทยุ FM ในระบบคลื่นสั้น และวิทยุสมัครเล่น (armature radio) คุณสมบัติที่สำคัญ สำหรับคลื่นแม่เหล็กไฟฟ้า ในย่านความถี่ทั้งสองนี้ก็คือ เมื่อคลื่นนี้เดินทางไปถึงบรรยากาศชั้นสูงสุดที่ห่อหุ้มโลกนี้อยู่คือ ชั้นไอโอโนสเฟียร์ (Ionosphere) พลังงานของคลื่นบางส่วนจะถูกสะท้อน โดยบรรยากาศชั้นนี้กลับลงมายังพื้นโลกอีก ทำให้เกิดการสะท้อนไปมาระหว่างพื้นโลกกับบรรยากาศชั้นนี้ขึ้น อันทำให้คลื่นแม่เหล็กไฟฟ้าในย่านความถี่นี้สามารถเดินทางไปได้ไกลมาก โดยเฉพาะคลื่นในย่าน HF

VHF และ UHF เป็นย่านความถี่ของคลื่นที่มีการสะท้อนเกิดขึ้นน้อยมากในชั้นบรรยากาศชั้นไอโอโนสเฟียร์ คลื่นในย่านความถี่นี้จะสามารถเดินทางทะลุผ่านบรรยากาศชั้นต่างๆ ไปได้ เนื่องจากย่านความถี่นี้มีความถี่สูงมากดังนั้นมันจึงมีคุณสมบัติคล้ายคลึงกับคุณสมบัติของคลื่นแสงมาก คลื่นในย่านความถี่นี้จะต้องให้เครื่องรับและเครื่องส่ง อยู่ในแนวตรงที่มองเห็นซึ่งกันและกัน ได้โดย

“ไม่มีสิ่งกีดขวาง ซึ่งในลักษณะการสื่อสารดังกล่าวนี้ มีชื่อเรียกเฉพาะว่า ” การสื่อสารในแนวสายตา” (line-of-sight communication) ย่านความถี่ส่วนหนึ่งของ UHF ถูกกำหนดให้ใช้สำหรับการส่งโทรทัศน์และวิทยุสื่อสารเคลื่อนที่ (mobile communication)



รูปที่ 2.4 ระบบสื่อสารแนวสายตา

คลื่นแม่เหล็กไฟฟ้าที่มีความถี่สูงกว่า 1GHz ที่มีชื่อเรียกรวมว่า “ไมโครเวฟ” (microwave) ปกติจะใช้สำหรับงานด้านเรดาร์ (Radar) และการสื่อสารที่ต้องการย่านความถี่กว้าง ข้อดีของการสื่อสารในด้านความถี่นี้ก็คือสายอากาศที่ใช้จะมีขนาดเล็ก แต่ก็มีข้อเสียอยู่ว่า สภาพภูมิอากาศจะมีอิทธิพลต่อการเคลื่อนที่ของคลื่นในด้านความถี่นี้มาก โดยเฉพาะฝน ทั้งนี้เพราะฝนมีขนาดพอ ที่จะป็นสายอากาศดูดซับเอาพลังงานของคลื่นสัญญาณไว้ ทำให้คลื่นเดินทางไปถึงจุดหมายปลายทางคือเครื่องรับได้

### 2.3 ความรู้ขั้นพื้นฐานเกี่ยวกับสายอากาศ

สายอากาศมีโครงสร้าง ที่มักจะถูกสร้างจากวัสดุที่เป็นตัวนำที่ดี โดยจะถูกออกแบบมาเพื่อให้มีรูปร่างและขนาดที่จะกระจายคลื่นแม่เหล็กไฟฟ้า ได้อย่างมีประสิทธิภาพ เป็นที่ทราบกันดีว่า กระแสซึ่งมีการเปลี่ยนแปลงตามเวลา จะแพร่กระจายคลื่นแม่เหล็กไฟฟ้า ดังนั้นสายอากาศจึงเป็นโครงสร้างที่ถูกกระตุ้นด้วยกระแสที่มีการเปลี่ยนแปลงตามเวลา ซึ่งมักจะทำได้โดยใช้ส่งกำลังหรือท่อนำคลื่น อาจมีรูปร่างต่างกันไปได้มากมาย อย่างไรก็ตามทางปฏิบัติโครงสร้างที่รูปร่างที่ทำได้ง่ายและประหยัด จะได้รับความนิยมในการใช้งานในการที่จะแพร่กระจายคลื่นได้อย่างมีประสิทธิภาพอย่างที่สุด สายอากาศจะต้องมีขนาดเปรียบเทียบกับความยาวคลื่นที่จะแพร่กระจาย สายอากาศที่ใช้กันอย่างแพร่หลายที่สุดได้แก่สายอากาศไดโพล ยาวครึ่งหนึ่งของความยาวคลื่นซึ่งประกอบด้วย

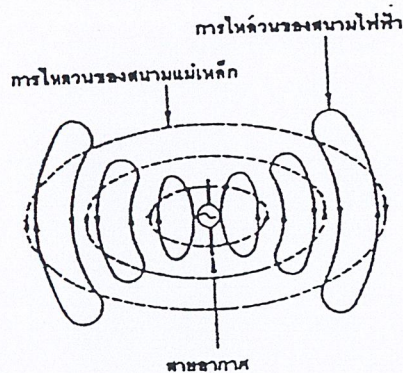
ท่อนตัวนำสองท่อนยาวเศษหนึ่งส่วนสี่ของความยาวคลื่นวางห่างกันน้อยมากเมื่อเทียบกับความยาวคลื่นและ ที่บริเวณรอยต่อนี้จะต่อกับสายส่งสัญญาณ

#### 2.4 การแพร่กระจายสัญญาณจากสายอากาศ

เมื่อมีกระแสไหลผ่านลวดตัวนำ จะเกิดสนามแม่เหล็กรอบลวดตัวนำที่มีทิศทางตามทิศทางของกระแสถ้ามีการเปลี่ยนแปลงของกระแสเกิดขึ้น สนามแม่เหล็กจะเปลี่ยนตามไปด้วย และจากการทดลองพบว่า สนามแม่เหล็กที่มีการเปลี่ยนแปลงจะสร้างสนามไฟฟ้าให้เกิดขึ้นมา (ซึ่งถ้าไม่มีการเปลี่ยนแปลงในสนามแม่เหล็ก สนามไฟฟ้าจะไม่เกิดขึ้น)

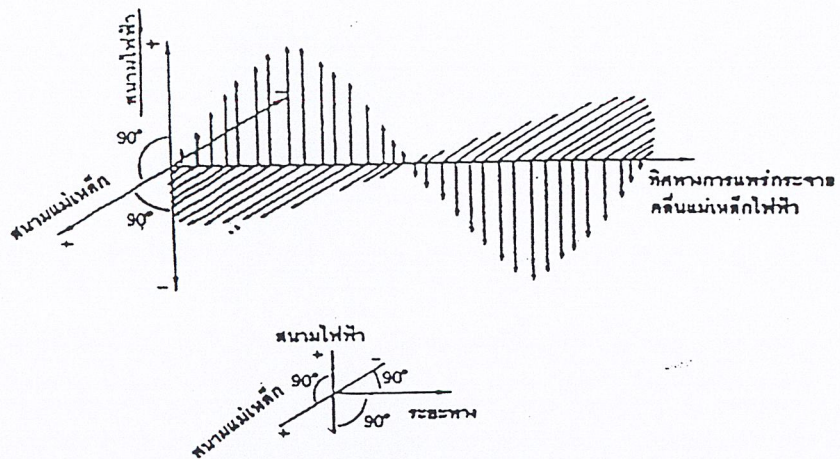
ส่วนทิศทางของสนามไฟฟ้าพิจารณาจากกฎของเลนซ์ (Len'Law) หรือกฎมือขวานั้นเอง ทำนองเดียวกันกับการเปลี่ยนแปลงของสนามไฟฟ้า ให้เกิดสนามแม่เหล็กขึ้น ทำให้พิจารณาได้ว่า ถ้าป้องกันกระแสไฟฟ้าสลับ (AC) ผ่านลวดตัวนำจะทำให้เกิดทั้งสนามไฟฟ้า และสนามแม่เหล็กขึ้น

กำหนดให้ใช้กระแสรูปสัญญาณไซน์ ผ่านเข้าลวดตัวนำ พบว่าทั้งสนามแม่เหล็กและสนามไฟฟ้ามีการเปลี่ยนแปลงตามคลื่นไซน์ โดยทั้งสองสนามแพร่ออกจากลวดตัวนำด้วยความเร็วแสง ดังรูป 2.5



รูปที่ 2.5 แสดงการแพร่กระจายคลื่นจากสายอากาศ

พลังงานที่แพร่กระจายไป มีค่าเพิ่มขึ้นตามการเพิ่มในค่าความถี่เราเรียกพลังงานส่วนนี้ว่า สนามพลังงานที่แพร่กระจาย ซึ่งอยู่ในรูปสนามแม่เหล็กไฟฟ้า เมื่อวิเคราะห์แล้วพบว่าสนามแม่เหล็กและสนามไฟฟ้าทำมุมฉากซึ่งกันและกัน รวมทั้งทำมุมฉากกับทิศทางการแพร่กระจายดัง รูป 2.6



รูปที่ 2.6 แสดงคลื่นแม่เหล็กไฟฟ้า

ระนาบที่มีสนามไฟฟ้า และมีทิศทางการแพร่กระจายของคลื่นแม่เหล็กไฟฟ้าเรียกว่าระนาบโพลาไรเซชันของคลื่น ตัวอย่างเช่น ถ้าสนามไฟฟ้าอยู่ในระนาบแนวตั้ง (หรือแนวตั้ง) สนามแม่เหล็กอยู่ในระนาบแนวราบ กล่าวได้ว่าคลื่นมีโพลาไรเซชันในแนวตั้ง

ส่วนคลื่นในโพลาไรเซชันแนวตั้ง จะเหนี่ยวนำให้ลวดตัวนำที่อยู่แนวตั้งสนามแม่เหล็กไฟฟ้าเกิดขึ้น เพราะว่ามีสนามแม่เหล็กผ่านลวดตัวนำ และไม่มีผลต่อลวดตัวนำในแนวราบ เมื่อวิเคราะห์ถึงภายในสายอากาศพบว่ามีการพลังงานเกิดขึ้น 2 อย่างดังนี้

- สนามพลังเหนี่ยวนำแทนพลังงานส่วนที่ไหลอยู่ภายในสายอากาศและไม่แพร่กระจายออก
- สนามพลังที่แพร่กระจาย แทนส่วนที่แพร่จากสายอากาศไป ที่มีปริมาณเป็นสัดส่วน

โดยตรงกับความถี่ของคลื่น และเป็นสัดส่วนกลับกันของสนามพลังงานเหนี่ยวนำ แต่ที่ระยะไกลกว่า  $\lambda/2\pi$  จากสายอากาศนั้น ค่าสนามพลังงานที่แพร่กระจายมีมากกว่า ( $\lambda$  แทนความยาวคลื่นของสัญญาณจากสายอากาศ) เราแทนขนาดหรือแอมพลิจูดของสนามไฟฟ้าโดยใช้อักษร  $E$  ขนาดหรือแอมพลิจูดของสนามแม่เหล็ก โดยใช้อักษร  $H$  และค่าอัตราส่วนระหว่างความเข้มของสนามไฟฟ้าต่อความเข้มของสนามแม่เหล็ก ว่าค่าอิมพีแดนซ์ของภาวะสูญญากาศคิดจากสูตรคำนวณดังนี้

$$\begin{aligned} \text{อิมพีแดนซ์ของภาวะสูญญากาศ} &= E/H \quad (V/M) / (A/M) \\ &= 120\pi \text{ โอห์ม} \\ &= 377 \text{ โอห์ม} \quad (\text{ค่าคงที่ใช้ในการคำนวณอื่นๆ}) \end{aligned}$$

โดยทั่วไป เราหาขนาดของคลื่นวิทยุในเทอมของความเข้มสนามไฟฟ้า

ตัวอย่างการคำนวณความเข้มของสนามแม่เหล็กที่ระยะ 10 กิโลเมตร จากสายอากาศส่งมีในทิศทางเดียวกัน

วิธีทำ

จากค่าคงที่  $E/H = 377$  โอห์ม

จะได้  $E = 377 H = (377 * 0.053) / 10^3 \approx 20 \text{ m V/m}$

## 2.5 หลักการของสายอากาศ

สายอากาศจัดเป็นวงจรไฟฟ้าแบบพิเศษได้

ในวงจรไฟฟ้าธรรมดา ขนาดของขดลวด ตัวเก็บประจุไฟฟ้า และอุปกรณ์อื่นๆ จะมีขนาดเล็ก เมื่อเทียบกับความยาวคลื่นของค่าความถี่ใช้ และพลังงานคลื่นแม่เหล็กไฟฟ้าส่วนใหญ่ก็ยังคงอยู่ภายในวงจร เพื่อนำไปใช้งานให้มีประสิทธิภาพหรือแปลงออกมาในรูปความร้อน

แต่ถ้าขนาดของตัวนำหรืออุปกรณ์มีขนาดคลื่นแม่เหล็กไฟฟ้าและถ้าวงจรนั้นถูกออกแบบให้พลังงานส่วนใหญ่ของวงจรถูก แพร่ออกไปเราแทนวงจรชนิดนี้ว่าสายอากาศ (antenna) โดยทั่วไปสายอากาศประกอบด้วยตัวนำในหลายรูปแบบ ส่วนใหญ่แล้วมักใช้ลวดตัวนำ (wire) มีบางแบบที่ใช้แท่งตัวนำ (rod) หรือท่อตัวนำ (tube)

ความหมายในที่นี้ของลวดตัวนำ “wire” หมายถึง ตัวนำชนิดที่มีขนาดของภาคตัดขวางเล็กมากเมื่อเทียบกับความยาวของมัน ค่าความเข้มของสนามแม่เหล็กไฟฟ้าที่แพร่ออกจากลวดตัวนำมีค่าขึ้นกับความยาวของลวดตัวนำกับขนาดของกระแส ที่ไหลอยู่ภายในนอกจากนี้ยังขึ้นกับแรงดันไฟฟ้าที่คล่อมลวดตัวนำด้วยแต่จะเป็นการสะดวกมากกว่าถ้าเราวัดในรูปของกระแส ดังนั้นจึงต้องให้มีกระแสมากเท่าที่เป็นไปได้ผ่านลวดตัวนำ เพื่อให้เกิดกำลังส่งปริมาณมากขึ้น

ในวงจรทั่วไปจะประกอบไปด้วยพารามิเตอร์ 2 ตัว คือ ค่าความต้านทานและค่ารีเอ็กแตนซ์ (reactance) เป็นค่าทางเชิงซ้อนของอิมพีแดนซ์ในวงจรกระแสสลับ พบว่าถ้ารีเอ็กแตนซ์มีน้อยลงจนหมดไป จะทำให้ปริมาณกระแสในวงจร มีค่ามากที่สุดที่สายอากาศ เมื่อกระแสที่ไหลผ่านมีค่ามากที่สุด หรือในแง่หนึ่งเรียกว่า วงจรรีโซแนนซ์ (resonance) ที่ความถี่ใช้งาน เช่นเดียวกับกรณีของสายอากาศเมื่อกระแสที่ไหลผ่านมีค่ามากที่สุดทำให้มีการแพร่กระจายคลื่นมากที่สุด นั่นคือสายอากาศลูกรีโซแนนซ์

สำหรับวงจรธรรมดาแล้ว ค่าความเหนี่ยวนำ (inductance) มักมีอยู่ในขดลวดหรือคอยล์ ค่าประจุไฟฟ้า (capacitance) มีอยู่ในตัวเก็บประจุ และ ค่าความต้านทานมีอยู่ในตัวต้านทาน เราเรียกวจรลักษณะนี้ว่า มีค่าคงที่แบบเอกเทศ (lumped constant) คือ แยกออกไป

แต่ในสายอากาศที่มีค่าความเหนียว ค่าประจุไฟฟ้า และค่าความต้านทานกระจายผสมอยู่ทั่วลวดตัวนำ เราเรียกวงจรลักษณะนี้ว่ามีค่าคงที่แบบกระจาย (distributed constant) ซึ่งวงจรที่มีค่าคงที่แบบนี้มักใช้ตัวนำที่เป็นเส้นตรง และมักนิยมเรียกกันว่าวงจรลิเนียร์ (linear circuits)

## 2.6 การแพร่กระจายของกระแสและแรงดันไฟฟ้าในลวดตัวนำ

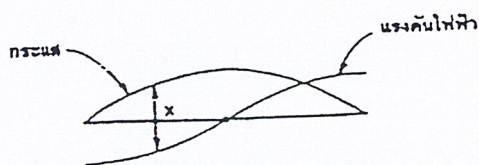
สมมติกำหนดให้ความยาวของลวดตัวนำในสายอากาศมีค่านันต์พบว่าขนาดของแรงดันไฟฟ้าและกระแสจะมีค่าน้อยลงเรื่อยๆ ตามระยะที่เพิ่มขึ้น เนื่องจากการจางหายของพลังงานจากการแพร่กระจายคลื่นแม่เหล็กไฟฟ้ารวม ที่ถูกเปลี่ยนเป็นความร้อนภายในลวดตัวนำซึ่งเป็นความต้านภายในตัวนำ

แต่ถ้าลวดตัวนำมีขนาดสั้น พบว่าจะเกิดคลื่นสะท้อนกลับที่ปลายแต่ละด้าน เช่นเดียวกับ ลูกบอลกระแทกกำแพงกลับมา

เมื่อผ่านคลื่นวิทยุในสายอากาศแบบ  $\lambda/2$  และแหล่งจ่ายพลังงานคลื่นป้อนในแบบคลื่นรูปซายน์ทำให้เราวิเคราะห์ได้ว่า เมื่อคลื่นลูกแรกเดินทางถึงปลายด้านหนึ่ง จะถูกสะท้อนกลับทำให้ทิศทางของกระแสเปลี่ยนไปในทิศทางตรงกันข้าม ขณะเดียวกับคลื่นลูกถัดมาเดินทางมาถึงที่ปลายลวดตัวนำพอดี ดังนั้นเราพบว่ามีเหตุการณ์น่าสนใจเกิดขึ้นคือ กระแสของคลื่นทั้งสองมีขนาดเท่ากัน แต่มีทิศทางตรงข้ามกันที่จุดปลายของลวดตัวนำ ดังนั้นผลลัพธ์ของกระแสที่จุดปลายลวดตัวนำเท่ากับศูนย์

ถ้าพิจารณาจุดถัดมาจากปลายลวดตัวนำ พบว่าขนาดของคลื่นที่เดินทางไปกับคลื่นที่สะท้อนกลับมีค่าไม่ตรงกัน ทำให้เกิดการเสริมและหักล้างของกระแสขึ้นจนพิจารณาผลลัพธ์ของกระแสได้ว่า ที่ระยะ  $(1/4)\lambda$  จากปลายลวดตัวนำจะมีค่ากระแสมากที่สุด

สรุปได้ว่า ในสายอากาศแบบ  $(1/2)\lambda$  ขนาดกระแสเท่ากับศูนย์ที่จุดปลายของลวดตัวนำ และมีค่ามากที่สุดที่จุดกลางของลวดตัวนำ ขอให้อธิบายข้างต้นได้จากรูป 2.7



รูป 2.7 แสดงการแพร่กระจายของกระแสและแรงดันไฟฟ้าบนลวดตัวนำยาว  $(1/2)\lambda$   
ครึ่งความยาวคลื่น

จากรูปที่ 2.7 กำหนดให้ส่วนของเส้นตรงเป็นลวดตัวนำ และเส้นโค้งที่ระบุเป็น “กระแส” เราเรียกว่าคลื่นนิ่ง หรือสแตนด์นิ่งเวฟ (standing wave) ของกระแสที่มีรูปร่างเป็นครึ่งหนึ่งของคลื่นไซน์

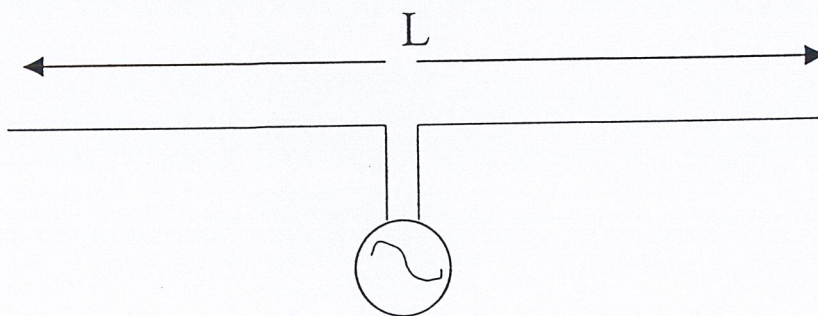
สำหรับแรงดันไฟฟ้าจะมีพฤติกรรมต่างจากกระแส คือ ที่ปลายทั้งสองของลวดตัวนำจะมีค่าแรงดันมากที่สุด แต่ที่ระดับความยาวคลื่นคือ  $(1/4)\lambda$  จากปลายแต่ละด้าน พบว่ามีขนาดของแรงดันไฟฟ้าเท่ากันแต่ทิศทางตรงข้ามกัน ทำให้ผลลัพธ์ที่จุดนี้เท่ากับศูนย์ทำให้สรุปทั้งหมดได้ว่า

- แรงดันไฟฟ้าจะมีค่ามากที่สุด ในจุดที่กระแสมีค่าน้อยที่สุด
- ขั้วของกระแสหรือแรงดันไฟฟ้าจะเปลี่ยนทุกๆความยาว  $(1/2)\lambda$  ส่วนที่คลื่นนิ่งมีมากที่สุด เรียกว่าลูป (Loop) หรือ แอนติโนด (antinode) และจุดที่มีค่าน้อยที่สุดเรียกว่า (node)

## 2.7 อิมพีแดนซ์ของสายอากาศ

จากคำอธิบายเบื้องต้นเกี่ยวกับการแพร่กระจายของกระแสและ แรงดันไฟฟ้า ในสายอากาศในตอนแรกนั้นได้ระบุว่า แรงดันไฟฟ้ามีค่าเป็นศูนย์ที่จุดกึ่งกลางของสายอากาศแบบฮาล์ฟเวฟ (หรือในอีกแง่ คือ กระแสมีค่ามากที่สุด) เพราะถ้าค่าแรงดันไฟฟ้าเท่ากับศูนย์จริง แสดงถึงวงจรนั้นไม่มีค่าความต้านทานเลยแม้แต่น้อยนั่นคือ จะไม่มีพลังงานแพร่กระจายมาจากสายอากาศได้ เพราะวงจรไม่มีความต้านทานอยู่จะเป็นเพียงการส่งผ่านพลังงานเท่านั้น

เราสามารถเปรียบสายอากาศ เป็นวงจรไฟฟ้าได้โดย มีคุณสมบัติคือต้องใช้พลังงาน ดังนั้น กระแสที่ไหลอยู่ภายในสายอากาศควรถูกจ่ายด้วยระดับแรงดันไฟฟ้าค่าหนึ่ง คิดค่าอิมพีแดนซ์ของสายอากาศอย่างง่ายคือ เท่ากับแรงดันไฟฟ้าที่จ่ายผ่านขั้วต่อหารด้วยปริมาณกระแสที่ไหลผ่านขั้วเช่นกัน โดยถ้ากระแสและแรงดันไฟฟ้า มีลักษณะเหมือนกันทำให้ค่าอิมพีแดนซ์ใกล้เคียงกับค่าความต้านทาน จัดเป็นกรณีที่สายอากาศรีโซแนนซ์ แต่กรณีที่กระแสและแรงดันไฟฟ้ามีเฟสต่างกัน ทำให้ค่าอิมพีแดนซ์มีค่ารีแอ็กแตนซ์เพิ่มขึ้นมาจากค่าความต้านทานด้วยทำให้สายอากาศไม่รีโซแนนซ์ ลองสมมติให้ต่อ แหล่งจ่ายแรงดันไฟฟ้า เข้าที่ตัวนำบริเวณจุดกึ่งกลางของสายอากาศดังรูปที่ 2.8



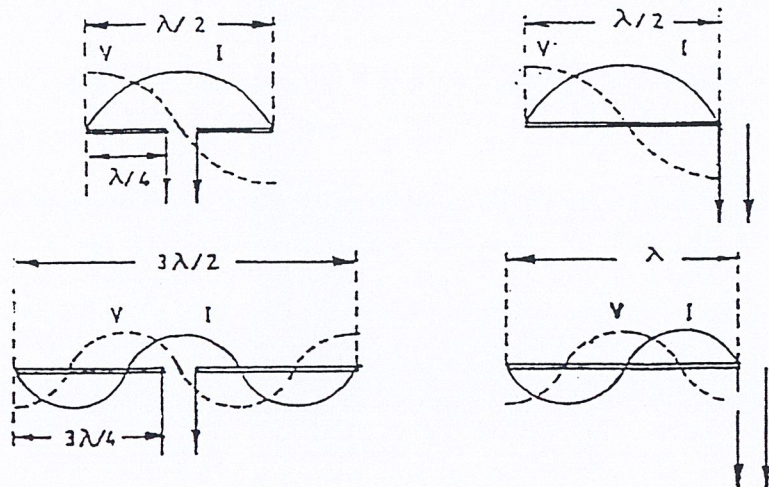
รูปที่ 2.8 แสดงสายอากาศที่มีจุดฟีด (feed point) ตรงกลาง

# หมายเหตุ คำว่าฟีด ( feed ) หมายถึง การจ่ายสัญญาณอินพุทให้วงจร, สายนำสัญญาณ หรือสายอากาศ

ส่วนฟีดเดอร์ (feeder) หมายถึงสายนำสัญญาณที่ใช้ระหว่างเครื่องส่งกับสายอากาศ การเลือกจุดต่อแหล่งจ่ายสัญญาณต่างกัน จะทำให้ค่าอิมพีแดนซ์แตกต่างกันด้วย พิจารณาได้จากรูป 2.3 ที่แสดงให้เห็นว่า อัตราส่วนของแรงดันไฟฟ้ากับกระแส ( คือ อิมพีแดนซ์ ) ที่มีค่าแตกต่างกันตามจุดต่างๆบนสายอากาศ ดังนั้นเพื่อป้องกันไม่ให้สับสน เราจึงเลือกจุดกึ่งกลางของสายอากาศเป็นการอ้างอิง

**2.8 การแมทซ์ซิ่ง (matching Technique)**

การแมทซ์ซิ่ง คือการทำให้ของสองสิ่งเข้ากันได้ ในระบบสายอากาศ การแมทซ์ซิ่งจะเป็นการทำให้อิมพีแดนซ์ ของสายอากาศและ ส่งมีค่าเท่ากัน ทำให้ความสามารถในการรับหรือส่งสัญญาณของสายอากาศมีประสิทธิภาพ (100%) สายอากาศและสายนำสัญญาณที่ใช้จะมีวิธีการต่อสายนำสัญญาณเข้ากับสายอากาศ (center feed) และต่อที่ปลายสุด (End feed)



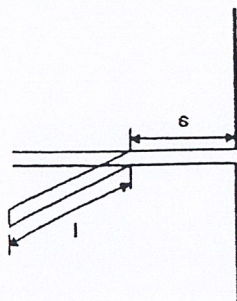
**รูปที่ 2.9 แสดงจุดป้อนกระแสและจุดป้อนแรงดันของสายอากาศ**

ในการปฏิบัติการต่อสายนำสัญญาณ เข้ากับสายอากาศจะเป็นลักษณะลูปกระแส (current loop) และลูปแรงดัน (voltage loop) ซึ่งหมายถึง จุดป้อนมีกระแสสูงสุด หรือ voltage สูงสุด ถ้าเป็นลูปกระแส จุดป้อนจะมีกระแสสูงสุดเรียกจุดป้อนนี้ว่า จุดป้อนกระแส (current feed) และถ้าเป็นลูปแรงดัน จุดป้อนมี แรงดันสูงเรียกว่า จุดป้อนแรงดัน (voltage feed)

การต่อสายนำสัญญาณเข้ากับสายอากาศ จะต้องทำให้อัตราส่วนของ VSWR มีค่าต่ำสุด ซึ่งสามารถทำได้โดย การเลือกสายนำสัญญาณให้มีอิมพีแดนซ์กับอิมพีแดนซ์ของสายอากาศ หรือ ใช้วิธีการเปลี่ยนความต้านทานของสายอากาศ ให้แมตช์กับอิมพีแดนซ์ของสายนำสัญญาณ ซึ่งจะต้องใช้เทคนิคของการแมตช์ซึ่งมีหลายวิธีดังนี้

### 2.8.1 สต๊ปแมตช์ซิ่ง (Stub Matching)

เป็นวิธีการต่อสต๊ปขนานกับสายนำสัญญาณในตำแหน่งที่เหมาะสมเพื่อให้มองเห็นว่า ค่าอิมพีแดนซ์ของสายอากาศมีค่าเท่ากับของสายนำสัญญาณ โดยการวางสต๊ปขนานบนสายนำสัญญาณที่ระยะ  $S$  ห่างจากองค์ประกอบของสายอากาศ ดังรูปที่ 3.0

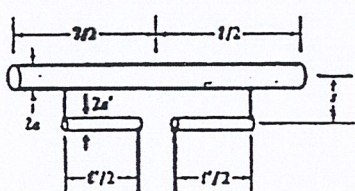


รูปที่ 2.10 แสดงการแมตช์โดยใช้สต๊ปต่อขนานกับสายนำสัญญาณ

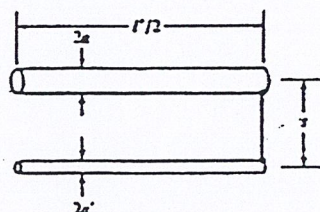
ถ้าสมมติให้ค่าเรคเตอริสติกอิมพีแดนซ์เป็นค่าจริง (real) ความยาว  $S$  จะเป็นส่วนที่ทำให้ทอมจริงของอิมพีแดนซ์ขององค์ประกอบของสายอากาศ มีค่าเท่ากับค่าเรคเตอริสติกอิมพีแดนซ์ ฉะนั้นถ้าเลือกตำแหน่งการต่อคือระยะ  $S$  และปรับความยาว  $L$  ให้เหมาะสม จะทำให้สายอากาศแมตช์กับสายนำสัญญาณ การหาค่าของ  $L$  และ  $S$  จะต้องรู้ค่าแอดมิตแตนซ์ วิธีการที่จะแทนค่าของแอดมิตแตนซ์ปกติจะใช้สมิทชาร์ตซึ่งทำให้หาค่าได้ง่ายกว่าวิธีอื่น การแมตช์โดยใช้สต๊ปนี้แม้ว่าจะง่ายแต่มีข้อจำกัดคือจะใช้ แบนด์วิดท์ที่แคบและการคำนวณค่าของ  $S$  และ  $L$  จะต้องรู้ค่าอิมพีแดนซ์ที่ถูกต้องของสายอากาศก่อน และ ถ้าเลือกระยะ  $S$  ไม่เหมาะสม จะทำให้การแมตช์ ไม่สมบูรณ์ ดังนั้นวิธีที่ดีกว่าใช้สต๊ปทั้งสอง วางอยู่ในตำแหน่งถาวร และมีระยะห่าง  $S$  จากจุดต่อสายอากาศโดยให้ความยาวของแต่ละสต๊ปเปลี่ยนแปลงไปมาได้ (โดยการปรับความยาวของสต๊ป) การปรับความยาวของสต๊ปทั้งสองอย่างเหมาะสม จะสามารถทำให้ค่าของอิมพีแดนซ์ของสายอากาศเท่ากับสายนำสัญญาณจึงเกิดการแมตช์กันได้ ในทางปฏิบัติพบว่าถ้าจะให้การแมตช์ซึ่งอิมพีแดนซ์เกิดขึ้นในช่วงที่กว้าง ควรให้สต๊ปทั้งสองห่างกัน  $(3/8)\lambda$

2.8.2 ทีแมทซ์ซิ่ง (T-match)

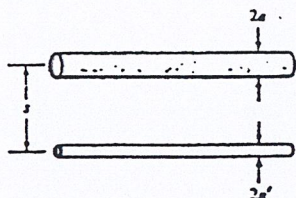
การต่อแบบทีแมทซ์ซิ่งเป็นเทคนิคการต่อในลักษณะแมทซ์ซิ่งแบบขนาน แสดงดังรูปที่ 3.1 การต่อลักษณะนี้ใช้ไดโพลที่มีความยาว  $L$  และมีรัศมี  $a$  ต่อกับสายส่งโดยผ่านไดโพลอีกอันหนึ่งที่มีความยาวเป็น  $L'$  ( $L' < L$ ) และมีรัศมี  $a'$  ไดโพลที่สั้นกว่าจะถูกเจาะและนำไปต่อกับไดโพลที่ยาวกว่าโดยไดโพลสั้น จะมีความยาวแต่ละท่อนเป็น  $L'/2$  ซึ่งวัดจากปลายสุดถึงปลายที่เป็นจุดศูนย์กลางกลางและไดโพลทั้งสองวางห่างกันเป็นระยะ  $S$  สำหรับสายนำสัญญาณจะถูกนำมาต่อที่จุดกึ่งกลางของไดโพลเล็ก การต่อแบบทีแมทซ์ซิ่ง เป็นรูปแบบที่ใช้กันโพลโพลทั่วไป โดยองค์ประกอบของไดโพลทั้งสองจะมีความยาวและเส้นผ่าศูนย์กลางไม่เท่ากัน และเนื่องจากทีแมทซ์เป็นระบบที่สมมาตรและสมดุลกัน ซึ่งเหมาะสำหรับใช้กับสายนำสัญญาณแบบคู่ขนานส่วนสายโคแอกเซียลจะเป็นสายชนิดไม่สมมาตรและไม่สมดุล จึงควรใช้การต่อไดโพลแบบแกมม่าแมทซ์ (gamma match)



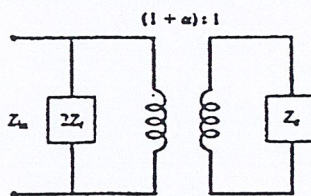
ก. ทีแมทซ์



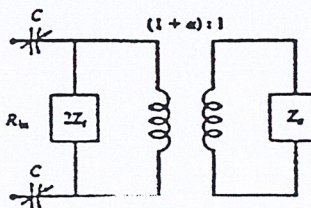
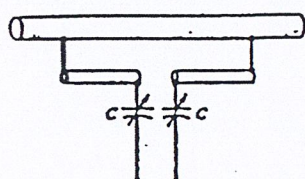
ข. วงจรเทียบเคียงของสายนำสัญญาณสั้น



ค. สายนำสัญญาณแบบคู่ขนาน



ง. วงจรเทียบเคียงของทีแมทซ์



รูปที่ 2.11 ทีแมทซ์และวงจรเทียบเคียง

การออกแบบทีแมทซ์ซิ่งจะถูกพัฒนาคล้ายกับการออกแบบโพลเค็ด ไดโพลซึ่งแยกวิธีการวิเคราะห์เป็น 2 โหมดคือ โหมดสายนำสัญญาณ (Transmission line mode) และโหมดสายอากาศ (antenna mode) กระแสรวมที่ ขั้วต่อด้านอิทพุท (Input terminal) จะถูกแบ่งไปยังตัวนำ (Conductor) ทั้งสอง โดยขึ้นอยู่กับรัศมีของตัวนำทั้งสอง และระยะห่างระหว่างทั้งสองตัวนำ

เนื่องจากตัวนำทั้งสองมีรัศมีไม่เท่ากัน จึงทำให้อัตราส่วนของกระแส (current division) ของ โหมดสายอากาศไม่เป็นหนึ่งและอัตราส่วนของกระแส ของโหมดสายนำสัญญาณจะถูกป้อนไปยัง อัตราส่วนของแรงดัน (Voltage Division) ของโหมดสายนำสัญญาณ

## 2.9 สัญญาณดิจิทัล (digital)

ในปัจจุบันเทคโนโลยีได้พัฒนาอย่างรวดเร็ว เครื่องมือต่างๆที่ทันสมัย ส่วนใหญ่ใช้ สัญญาณที่เป็นดิจิทัลกันทั้งนั้น สัญญาณที่เป็นดิจิทัลก็ได้เข้ามามีบทบาท เป็นอย่างมากใน ปัจจุบัน สัญญาณดิจิทัลเป็นสัญญาณที่เปลี่ยนแปลง อยู่ระหว่างสองสถานะ ได้เปรียบ สัญญาณอนาล็อก เพราะ สัญญาณอนาล็อกนั้นจะสัญญาณรบกวนเข้า แทรกซ้อนได้ง่ายกว่า สัญญาณดิจิทัลและสัญญาณดิจิทัลยังสามารถทำงานร่วมกับคอมพิวเตอร์ได้อีกด้วย

### 2.9.1 การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล

2.9.1.1 แบบที่ใช้การอินทิเกรต วงจรเปลี่ยนสัญญาณแอนะล็อกที่ใช้เทคนิคการอินทิเกรต สัญญาณมีอยู่ 3 แบบคือ

**แบบสโลปเดี่ยวหรือแบบแรมป์ (single ramp หรือ single slop A/D Converter)**

วงจรแบบนี้เป็นหลักการเบื้องต้นของดิจิทัลโวลท์ ซึ่งถ้าใช้วงจรนับเลขฐานสองแทนแบบ BCD เอาท์พุทจะอ่านได้ตัวเลขโดยตรง วงจรแบบนี้มักนำไปใช้งานในการเปลี่ยนเวลาเป็นขนาดของ สัญญาณหรืออาจทำเป็นดิจิทัลโวลท์มิเตอร์ แต่ไม่ใช้กับงานที่ต้องการความถูกต้อง เนื่องจาก ความเปลี่ยนแปลงในแหล่งกำเนิดแรมป์ขึ้นกับอุณหภูมิและผลตอบสนองต่อสัญญาณอินพุททำให้ไม่ มีความคงค่า ดังนั้นจึงมีการปรับปรุงให้ดีขึ้นกลายเป็นแบบสโลปคู่ (dual slop)

**แบบสโลปคู่ (Dual-Slope A/D converters)**

ข้อดีของวงจรเปลี่ยนสัญญาณแบบสโลปคู่คือ ความถูกต้องสูง, เสถียรภาพทางด้านอุณหภูมิ ข้อเสีย ความเร็วต่ำในการเปลี่ยนสัญญาณ 1 ครั้งอาจใช้เวลาถึง 100 ms (ในขณะที่ แบบ"แฟลช" ใช้เวลาประมาณ 30 ns)

**แบบชาร์จบาลานซ์ (Charge Balance A/D Converters)**

วงจรเปลี่ยนสัญญาณแอนะล็อกแบบชาร์จบาลานซ์ใช้วงจร ถ้าคล้ายกับแบบสโลปคู่ตัวเอง แต่ แทนที่จะให้อินพุทสวิตช์ไปมาระหว่างแรงดันที่ไม่รู้ค่ากับแรงดันอ้างอิง ก็ทำการแทรกพัลส์ ของกระแสอ้างอิงมาตรงๆที่จุดรวมของอินทิเกรตในช่วงเวลาคงที่ โดยที่จำนวนของพัลส์จะเป็นสัดส่วนโดยตรงกับแรงดันอินพุทที่ไม่รู้ค่า

ประโยชน์ของเทคนิคนี้คือ แรงดันตกคร่อมตัวเก็บประจุของวงจรอินทิเกรตจะมีค่า ใกล้เคียง 0 โวลท์ ดังนั้นจึงไม่เกิดความผิดพลาดจากผลของกระแสรั่วไหลเอพิคนี้ จึงมี ความถูกต้องสูงกว่าแบบสโลปคู่

**แบบเคลต้า-ซิกมา (Delta-Sigma A/D converters)**

แบบเคลต้า-ซิกมา เมื่อป้อนแรงดันอินพุทเข้าไปที่วงจรมินิเกรเตอร์จะให้เอาต์พุทไปเข้าวงจรเปรียบเทียบ เปรียบเทียบกับแรงดันคงที่พัลส์ของกระแสที่ได้ขึ้นอยู่กับเอาต์พุทของวงจรเปรียบเทียบ โดยสวิทช์ที่ทำงานจากเฟดจะควบคุมให้กระแสเข้าไปยังที่จุ่มรวมหรือลงกราวด์ไป ส่วนวงจรมินิเกรเตอร์จะนับจำนวนพัลส์ด้วยหลักการที่คล้ายกัน

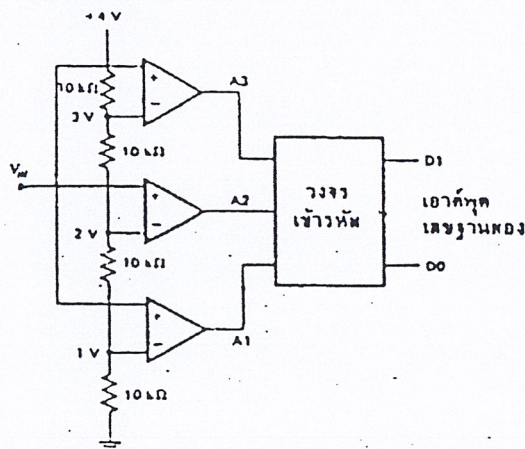
**ข้อสรุปของเอทาคีแบบอินทิเกรตสัญญาณ**

จุดสำคัญของอินทิเกรตคิงเทคนิคคือ อินพุทที่ให้กับวงจรมินิเกรเตอร์ต้องเป็นกระแสไอซีคอนเวอร์เตอร์ บางตัวอาจมีอินพุทสองขา มีอีกขาหนึ่งต่อตรงกับจุด summing point ใช้กับอุปกรณ์ที่เป็นกระแสโดยตรง ถ้าให้อินพุทเป็นกระแสก็ไม่ต้องคำนึง แรงดันออฟเซตของวงจรมินิเกรเตอร์ แต่ถ้าหากใช้กับอินพุทที่เป็นแรงดัน (ที่ต้องมีตัวต้านทานต่ออนุกรมอยู่เพื่อให้ได้เป็นกระแส) ต้องปรับออฟเซตของออปแอมป์เสียก่อน การใช้อินพุทเป็นกระแสทำให้ย่านการใช้งานทางไฟสลบกว้าง

ไอซีแบบชาร์จ-บาลานซ์ มักประกอบด้วยวงจรมินิเกรเตอร์แปลงแรงดันเป็นความถี่สูงอยู่ด้วย ดังนั้นถ้าหากต้องการเอาต์พุทเป็นความถี่ก็สามารถเลือกได้ นอกจากนี้ยังมีวงจรมินิเกรเตอร์สัญญาณอนาล็อกให้เป็นดิจิตอลแบบอื่นๆอีก เช่นวงจรมินิเกรเตอร์ที่ใช้วงจรมินิเกรเตอร์และวงจรมินิเกรเตอร์สัญญาณอนาล็อกประกอบกัน

**2.10 วงจรเปรียบเทียบขนาน**

วงจรมินิเกรเตอร์ที่ใช้เปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล(analog to digital converter) แบบใช้วงจรมินิเกรเตอร์เปรียบเทียบขนาน หรือ แบบแฟลช (Parallel Comparator Simultaneous Flash A/D Converter) วงจรมินิเกรเตอร์สัญญาณอนาล็อกก็เป็นดิจิตอล แบบนี้ใช้วงจรมินิเกรเตอร์อื่นๆอีกทั้งเป็นวงจรมินิเกรเตอร์ที่ง่ายที่สุดคือ ใช้วงจรมินิเกรเตอร์เปรียบเทียบที่ต่อขนานกัน ดังรูป



รูปที่ 2.12 (ก) แสดงการต่อวงจรมินิเกรเตอร์ parallel comparator A/D converter

ประกอบไปด้วยออปแอมป์ที่ต่อเป็นวงจรเปรียบเทียบ และตัวต้านทานต่อไว้เพื่อแบ่งแรงดันที่ขาอินพุทแบบกลับ (inverting) ให้มีขนาดต่าง ๆ กัน

จากหลักการของวงจรเปรียบเทียบทั่วไป เมื่อแรงดันอินพุทที่ขาอินพุทแบบไม่กลับ (non inverting) มีค่าที่สูงกว่าที่ขาอินพุทแบบกลับ เอาท์พุทจะได้แรงดันสูง ดูได้จากตารางที่ 1 จะเข้าใจยิ่งขึ้น ว่าที่แรงดันค่าต่าง ๆ มีผลต่อเอาท์พุทของวงจรเปรียบเทียบแต่ละตัวซึ่งเอาท์พุทที่ได้จากวงจรเปรียบเทียบนี้จะนำไปเข้ารหัสให้เป็นเลขฐานสองต่อไป จำนวนที่เปรียบเทียบที่ต้องใช้ในวงจรขึ้นอยู่กับขนาดของสัญญาณ

อนาล็อกที่อินพุท

จากวงจรรูปที่ 1 ถ้าแรงดันอินพุทมากว่า 1 โวลท์ไม่เพียงพอที่จะทำให้วงจรเปรียบเทียบตัวใดให้ค่าเอาท์พุทเป็นลอจิก 1 (high)

ที่แรงดันระหว่าง 1 ถึง 2 โวลท์วงจรเปรียบเทียบที่มีระดับเทรชโฮลด์ (threshold) ต่ำสุด ก็จะให้เอาท์พุทเป็นลอจิก 1 (high)

แรงดัน 2-3 โวลท์ วงจรเปรียบเทียบทั้ง A1 และ A2 ให้เอาท์พุทเป็นลอจิก 1 (high) ถ้าแรงดันอินพุทมากกว่า 3 โวลท์ วงจรเปรียบเทียบก็จะให้เอาท์พุทเป็น "high" เมื่อต้องการวงจรที่มีความละเอียดสูงขึ้นจำเป็นต้องใช้วงจรเปรียบเทียบเพิ่มขึ้น เช่นถ้าต้องการความละเอียด 3 บิต ต้องใช้วงจรเปรียบเทียบ 7 ตัว ความละเอียด 4 บิต ต้องใช้วงจร 15 ตัว โดยหาจำนวนวงจรเปรียบเทียบได้จาก  $2^N - 1$  เมื่อ N แทนจำนวนบิตหรือความละเอียดที่ต้องการ จะเห็นได้ว่าที่ความละเอียด 8 บิต ต้องใช้วงจรเปรียบเทียบมากถึง 255 ตัว ซึ่งเป็นข้อเสียของวงจรเอทูดิแบบนี้

ข้อเสียอีกประการหนึ่งคือ เอาท์พุทที่ไม่ได้เป็นฐานสองต้องมีการเพิ่มเติม ไปทำการเข้ารหัส ข้อดีของวงจรเอทูดิแบบขนานนี้ คือ ความเร็วสูงมาก บางครั้งเรียกวงจรเอทูดิแบบนี้ว่า "แฟลช" วงจรเอทูดิชนิดนี้ใช้เวลาในการแปลงได้เร็วกว่าระดับนาโนวินาที

## 2.11 วงจรเปลี่ยนสัญญาณเอทูดิแบบใช้การประมาณค่า

### (Successive Approximation A/D Converter)

วงจรเอทูดิแบบนี้มีข้อได้เปรียบทางด้านความละเอียด เพราะความละเอียด n บิตสามารถกำหนดได้จากสัญญาณนาฬิกา n ลูก ตัวอย่างเช่น วงจรแปลงขนาด 8 บิต ต้องการพัลส์ของสัญญาณนาฬิกา 8 ลูก ในขณะที่แบบใช้วงจรนับต้องใช้พัลส์ถึง 255 ลูก วงจร SA (Successive Approximation) นี้แสดงไว้ดังรูปที่ 2 หัวใจของวงจรคือ successive approximation register (SAR) เช่นเบอร์ MC14549 มีการทำงานดังนี้

เมื่อเริ่มทำงานการเปลี่ยนสัญญาณ พัลส์ลูกแรกจะทำการส่งบิตที่มีนัยสำคัญสูงสุดไปยังเอาต์พุตเบอร์ MC1408 โดย SAR จะรอสัญญาณจากวงจรเปรียบเทียบ LM319 ซึ่งทำการตรวจสอบว่าเอาต์พุตของวงจรดีทูปมากกว่าหรือน้อยกว่า แรงดันอินพุต  $V_{in}$  ถ้าเอาต์พุตของวงจรเปรียบเทียบมีระดับ “high” เอาต์พุตของดีทูปจะต่ำกว่า  $V_{in}$  SAR จะทำการเก็บบิตที่มีนัยสำคัญสูงสุดไว้ ถ้าเอาต์พุตของวงจรเปรียบเทียบเป็นระดับ LOW เอาต์พุตของดีทูปจะยิ่งมากกว่า  $V_{in}$  SAR จะทำการรีเซตบิตที่มีนัยสำคัญสูงนั้น

พัลส์ลูกต่อมาก็จะทำงานเช่นเดียวกัน โดยบิตที่ได้คือ บิตที่มีนัยสำคัญรองลงมา SAR ทำงานแบบนี้ไปจนถึงบิตที่มีนัยสำคัญต่ำสุด แต่ละบิตใช้สัญญาณนาฬิกาเพียงลูกเดียวครบทุกบิตแล้ว SAR ก็ทำการส่งสัญญาณ EOC (end of conversion) ออกไป

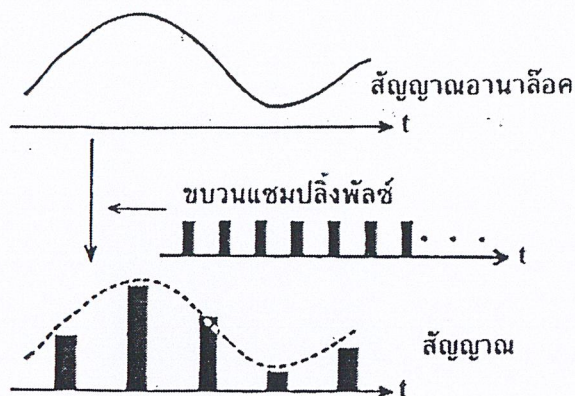
สัญญาณ EOC เป็นตัวบอกว่าสายสัญญาณเอาต์พุต ที่ขนานกันมาทุกเส้นมีข้อมูลดิจิทัลของสัญญาณอินพุตครบถ้วนแล้ว ถ้าสัญญาณ EOC ถูกต้องไปยังอินพุตที่เป็นจุดเริ่มต้นการเปลี่ยนสัญญาณการเปลี่ยนสัญญาณก็จะเกิดขึ้นต่อเนื่อง MC14549 ยังสามารถส่งเอาต์พุตดิจิทัลแบบอนุกรมได้อีกด้วย ขึ้นอยู่กับการควบคุมของ SAR

วงจรใช้แรงดันอินพุตสูงสุด  $\pm 5$  โวลต์อินพุตแบบไม่ต้องกลับของออปแอมป์ที่ทำหน้าที่เปลี่ยนกระแสเป็นแรงดันต่อเข้ากับลบ 5 โวลต์แทนที่จะต่อลงกราวด์เป็นการขยับระดับแรงดันอนาล็อกจาก 5 โวลต์ ถึง บวก 5 โวลต์ แทน 0 ถึง 10 โวลต์ สัญญาณไฟสลักรูปขายนจึงสามารถต่อโดยตรงเข้ากับอินพุตของดีทูปนี้ได้ วงจรแปลงเอทูดิจิทัลมีความเร็วสูง และความละเอียดสูง จึงเป็นวงจรที่นำมาใช้กันอย่างแพร่หลาย

## 2.12 การแซมปลิ่ง

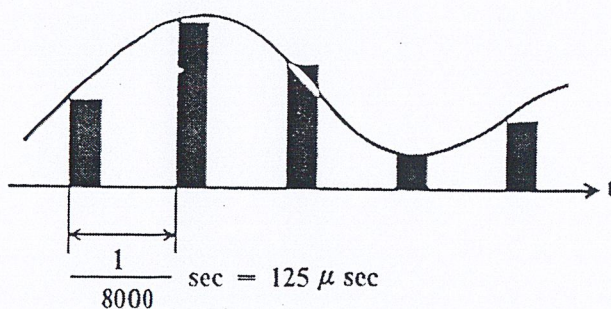
การแซมปลิ่ง คือ การหยิบยกเอาแอมพลิจูดของสัญญาณอนาล็อกมาตามช่วงเวลาที่เหมาะสมเป็นช่วงๆ ขบวนการนี้คล้ายกับแอมพลิจูด โมดูเลชัน ซึ่งขบวนการพัลส์ช่วงหนึ่งๆ หรือขบวนการพัลส์ที่มีการแซมปลิ่งถูกมอดูเลททางแอมพลิจูด โดยสัญญาณอนาล็อกแซมปลิ่งเหล่านี้ถูกจัดเรียงอยู่ในสเกลเวลา

องค์ประกอบที่สำคัญอีกประการหนึ่งในการแซมปลิ่งคือสัญญาณอนาล็อกควรจะทำ การแซมปลิ่งคือ สัญญาณอนาล็อกควรจะทำ การแซมเปิดช่วงความถี่ขนาดไหนทางด้านส่งเพื่อให้ทาง ด้านรับรับสัญญาณเดิม ได้อย่างถูกต้องเหมือนเดิมที่สุด ทางทฤษฎีการแซมปลิ่งกล่าวไว้ว่า “ถ้า สัญญาณข่าวสารซึ่งเป็นฟังก์ชันของเวลาถูก แซมเปิดอย่างต่อเนื่องที่ช่วงเวลาที่เท่าๆกัน และที่อัตรา อย่างน้อย 2 เท่าของความถี่สัญญาณสูงสุด แล้วแซมเปิดที่ได้จะบรรจุข่าวสารข้อมูลทั้งหมดของ สัญญาณข่าวสารดังเดิมไว้ได้” ดังนั้นตามทฤษฎีนี้ ถ้าทำการแซมปลิ่งสัญญาณอนาล็อกที่อัตรา อย่างน้อย 2 เท่าของความถี่สูงสุด



รูปที่ 2.13 การแซมปลิง

เราจะได้รับสัญญาณอนาล็อกเดิมอย่างสมบูรณ์จากแซมเปิลเหล่านี้ CCITT แนะนำว่ากรณีเสียงของมนุษย์ การแซมปลิงควรทำที่อัตรา 8 กิโลเฮิร์ต ทั้งนี้เพราะเสียงของมนุษย์ที่ส่งในวงจรโทรศัพท์มีแถบความถี่ 0.3-3.4 กิโลเฮิร์ต ซึ่งในทางปฏิบัติให้มีแถบความถี่ 0-4 กิโลเฮิร์ต ดังนั้น 2 เท่าของความถี่สูงสุดจะได้เป็น 8 กิโลเฮิร์ตดังนั้นช่วงระยะเวลาการแซมปลิงจะได้เท่ากับ  $1/8,000$  หรือ  $125\mu\text{sec}$

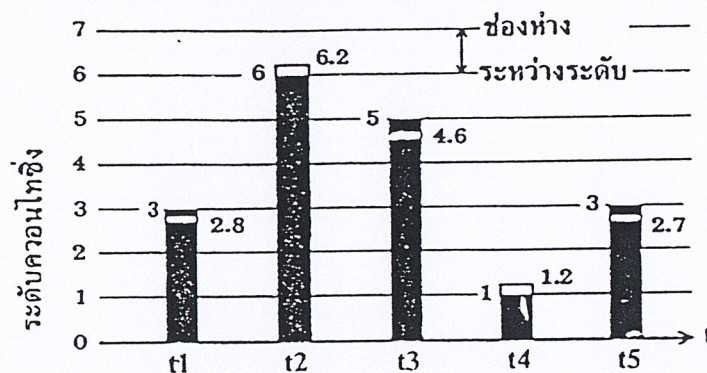


รูปที่ 2.14 การแซมปลิงเสียงสัญญาณ

ขบวนการแชนปิ่งซึ่งถูกจัดเรียงอยู่ในสเกลของเวลาขนาดของแต่ละแชนเปิลแตกต่างกันตามความสูงของสัญญาณคั้งเดิม ที่แต่ละเวลาของการแชนปิ่ง ขนาดของการแชนปิ่งทั้งหลายถูกแสดงอยู่ในค่าต่อเนื่องบนสเกลของความสูงทางแอมพลิจูด

### 2.13 การจัดระดับ (Quantizing)

ขบวนการที่ผ่านการแชนปิ่งมาแล้ว ยังถือว่าเป็นชนิดอนาล็อกอยู่คือจะมีแอมพลิจูดที่เปลี่ยนแปลงอย่างต่อเนื่องไปกับเวลาที่เป็นช่วงๆ การจัดระดับคือ กระบวนการที่เปลี่ยนแอมพลิจูดของพัลส์เหล่านั้นให้เป็นค่าตัวเลขคิสกรีทตามที่แสดงไว้ในรูป 3.5



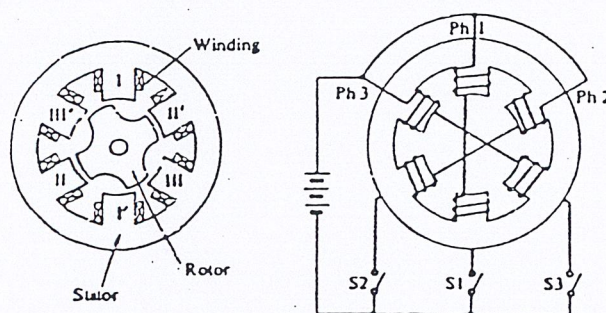
รูปที่ 2.15 การจัดระดับ

จากรูปที่ 3.5 แอมพลิจูดของแชนเปิลทุกตัว ของพัลส์จะถูกจัดให้เป็นระดับ ซึ่งเรียกว่าระดับควอนไทซ์ (Quantizing level) โดยมีระยะระหว่างระดับข้างเคียงเรียกว่า ควอนไทซ์ซึ่งอินเทอร์วัล (Quantizing interval) หรือ ควอนไทซ์ซึ่งสเต็ปนั้นเท่ากัน กรณีนี้เรียกว่าการจัดระดับแบบยูนิฟอร์มหรือแบบลิเนียร์ (Uniform Quantizing) ขนาดของแชนเปิลทุกตัวจะแสดงด้วยค่าระดับควอนไทซ์ที่ใกล้เคียงที่สุด เช่น ขนาดแชนเปิลที่  $t = t_1$  คือ 2.8 จะจัดให้เป็นระดับ 3 หรือค่าแชนเปิลที่  $t = t_2$  มีขนาด 6.2 จะจัดให้เป็นระดับ 6 เป็นต้น จะเห็นได้ว่าสัญญาณพัลส์ที่ถูกจัดระดับแล้วนี้จะเป็นเพียงค่าโดยประมาณของสัญญาณอนาล็อกเท่านั้น ดังนั้นส่วนเกินและส่วนขาดจากการจัดระดับจึงเป็นค่าผิดพลาดระหว่างสัญญาณเดิมและค่าที่ใช้จัดระดับ ซึ่งค่าผิดพลาดนี้เรียกว่า ควอนไทซ์ซึ่งนอยส์ (Quantizing noise) หรือความพัวเพี้ยนจากการควอนไทซ์ (Quantizing Distortion)

### 2.14 สเต็ปป์มอเตอร์ (Stepping Motors)

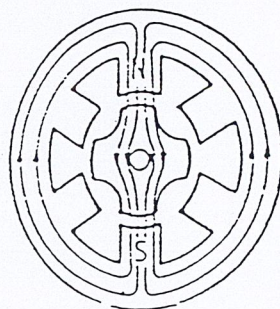
สเต็ปป์มอเตอร์ แบ่งออกได้หลายชนิดด้วยกัน เช่น Variable-reluctance, Permanent Magnet, Hybrid, Linear และอื่นๆ แต่นิยมใช้มี 2 ชนิด คือแบบ Variable Reluctance และ Permanent Magnet

**Variable-Reluctance** หรือเรียกอีกกันว่า VR มอเตอร์จะเป็นพื้นฐานสำคัญในการทำงานของสเต็ปมอเตอร์ ซึ่งจะช่วยให้เข้าใจ การทำงานของสเต็ปมอเตอร์ชนิดอื่นๆ ได้ง่ายขึ้น รูปที่ 3.6 เป็นภาพหน้าตัดและยัง แสดงถึง การผันขดลวดของ VR มอเตอร์ แบบ 3 เฟส มีขั้วเหนือ และขั้วใต้ อยู่ตรงข้ามกัน 3 คู่ โดยจะผันขดลวดอนุกรมกันในแต่ละขั้ว ถ้ามีการกระตุ้นเฟสเกิดขึ้น ขั้ว I, II, III จะเป็นขั้วได้ และ ขั้ว I, II, III จะเป็นขั้วเหนือ ทั้งโรเตอร์ และ สเตเตอร์จะทำจากเหล็กผสมซิลิกอนซึ่งเป็นวัสดุที่มีความซึบซับ (Permeability) สูง สามารถให้เส้นแรงแม่เหล็กไหลผ่านได้

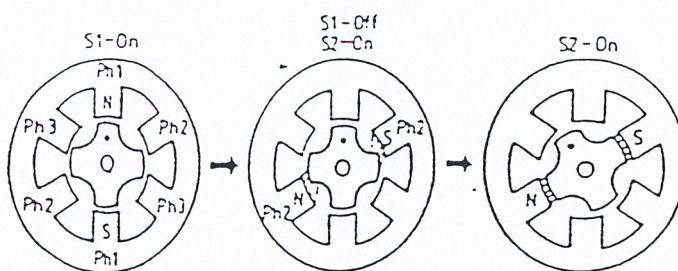


รูปที่ 2.16 ภาพหน้าตัดและ การผันขดลวด VR สเต็ปมอเตอร์แบบ 3 เฟส

การทำงานจะเริ่มจากการกระตุ้นที่เฟส 1 ก่อน (S1 “ON” ) ทำให้เส้นแรงแม่เหล็กเกิดขึ้น ดังรูปที่ 3.7 ตัวโรเตอร์จะพยายามวางตำแหน่งตัวเอง ให้อยู่ในทิศทางที่ทำให้เกิดค่าความต้านทานแม่เหล็กที่น้อยที่สุด ในขั้ว I-I' ในขณะที่เริ่มต้นที่จะกระตุ้นที่เฟส II (S1 “OFF”, S2 “ON”) ดังรูปที่ 3.8 เส้นแรงแม่เหล็กจะไม่อยู่ในแนวทางเดินที่สะดวก จึงทำให้ค่าความต้านทานแม่เหล็กมีค่าสูง ตัวโรเตอร์ก็จะพยายามปรับตัวเองเพื่อตัวต้านทานแม่เหล็กน้อยที่สุด ด้วยการหมุนในทิศทางที่ทวนเข็มนาฬิกา ซึ่งแรงบิดที่ใช้ในการหมุนเกิดจากแรงของเส้นแรงแม่เหล็กแล้ว จะไปหยุดที่ตำแหน่งความต้านทานแม่เหล็กน้อยที่สุดนั้น คือจะหมุนไป 1 สเต็ป

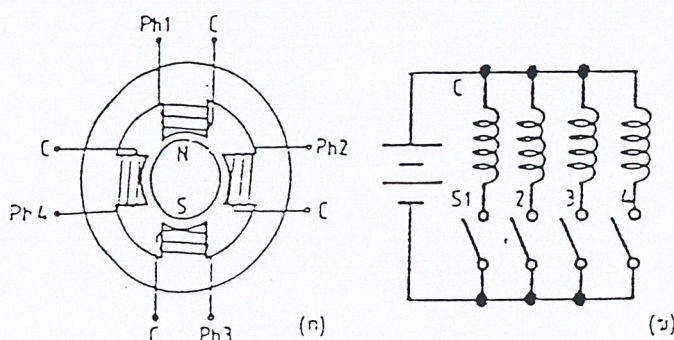


รูปที่ 2.17 แสดงเส้นแรงแม่เหล็กขณะกระตุ้นเฟส 1



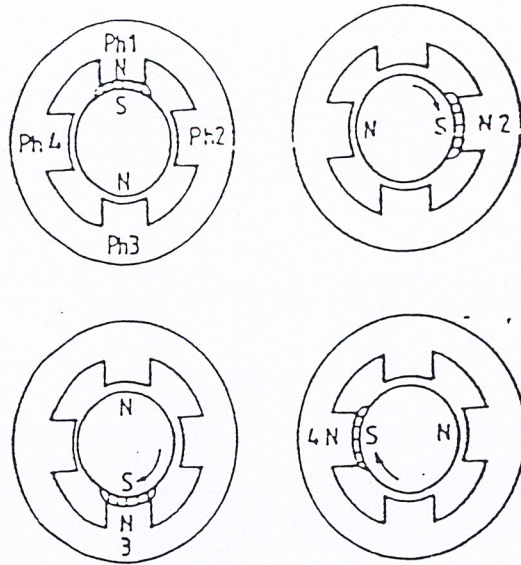
รูปที่ 2.18 แสดงขั้นตอนการกระตุ้นเฟสจาก เฟส 1 ไปยังเฟส 2

**Permanent Magnet** หรือเรียกสั้นๆว่า PM มอเตอร์ จะมีข้อแตกต่างที่สำคัญจาก VR มอเตอร์ ก็คือ โรเตอร์จะเป็นแม่เหล็กถาวร จึงทำให้การพันขดลวดจึงต้องแตกต่างกันไปด้วย ดังแสดงรูปที่ 3.9 (ก) จะเห็นว่าในแต่ละขั้วจะมีขดลวดพันอยู่ ซึ่งถือว่าแต่ละขั้วคือ หนึ่งเฟส ดังนั้นจากรูปจึงมีทั้งหมด 4 เฟสด้วยกัน สำหรับการต่อวงจรการกระตุ้นเฟสมอเตอร์อย่างง่าย ดังแสดงไว้ในรูป 3.9 (ข) จะเห็นว่าปลายขดลวด (C) ของทุกเฟสจะต่อรวมกันเข้ากับแหล่งจ่ายไฟ ดังนั้นเมื่อเกิดการกระตุ้นที่เฟสใดแล้วขั้วสเตเตอร์ที่เฟสนั้นก็จะกลายเป็นขั้วเหนือ รูปที่ 4.0 จะเป็นการแสดงตำแหน่งของโรเตอร์ในแต่ละสเต็ป หลังจากกระตุ้นที่เฟส 1-2-3-4 ตามลำดับ และจะหมุนไปในทิศทางตามเข็มนาฬิกาทุก 90 องศาต่อสเต็ป ถ้าต้องการจะให้มุมองศาต่อสเต็ปมีค่าลดลงหรือมีความละเอียดในตำแหน่งมากขึ้นจะต้องเพิ่มจำนวนเฟสของสเตเตอร์และจำนวนขั้วแม่เหล็ก ของโรเตอร์ให้มากขึ้น ข้อเสียของ PM มอเตอร์ คือราคาแพงและความหนาแน่นของเส้นแรงแม่เหล็ก จะถูกจำกัดโดยเส้นแรงแม่เหล็กภายใน (Magnetic Remanence) ของแม่เหล็กถาวร ทำให้ไม่สามารถผลิตแรงบิดให้มากได้



รูปที่ 2.19 (ก) ภาพหน้าตัดของ PM สเต็ปมอเตอร์ แบบ 4 เฟส

(ข) วงจรกระตุ้นเฟสพื้นฐาน สำหรับ PM มอเตอร์ 4 เฟส



รูปที่ 2.20 ลำดับขั้นการหมุนในมอเตอร์ 4 เฟส

การสแต็ปมอเตอร์มีขนาด 4 เฟส นี้เราจะบังคับให้เกิดสแต็ปการหมุน ได้เป็น 3 ลักษณะ ขึ้นอยู่กับ การป้อนพัลส์ ดังนี้

1. One - excitation เป็นการจ่ายกระแสให้กับสเตเตอร์ครั้งละ 1 เฟส

	$\emptyset_1$	$\emptyset_2$	$\emptyset_3$	$\emptyset_4$
1	1	1	0	0
2	0	1	0	0
3	0	0	1	0
4	0	0	0	1

ตารางที่ 2.2

2. Two - excitation หรือ full step เป็นการจ่ายกระแสให้กับสเตเตอร์ครั้งละ 2 เฟส พร้อมกันได้แก่  $\emptyset_1\emptyset_2, \emptyset_2\emptyset_3, \emptyset_3\emptyset_4, \emptyset_4\emptyset_1$  หมุนเวียนกันไปแบบนี้แรงบิดที่ได้จะมากกว่าแบบเรตติ้งตารางที่ 2.3

	$\emptyset_1$	$\emptyset_2$	$\emptyset_3$	$\emptyset_4$
1	1	1	0	0
2	0	1	1	0
3	0	0	1	0
4	1	0	0	1

ตารางที่ 2.3

3. One – two excitation หรือ half step เป็นการจ่ายกระแสให้กับขดลวดสเตเตอร์ 1 เฟส สลับกันไป แบบนี้ ทำให้จำนวนสเต็ปเพิ่มขึ้นเป็น 2 เท่า ของ 2 แบบแรก แต่แรงบิดจะน้อยกว่าแบบที่ 2 เล็กน้อย

	$\emptyset_1$	$\emptyset_2$	$\emptyset_3$	$\emptyset_4$
1	1	0	0	0
2	1	1	0	0
3	0	1	0	0
4	0	1	1	0
5	0	0	1	0
6	0	0	1	1
7	0	0	0	1
8	1	0	0	1

ตารางที่ 2.4

ในการควบคุมสเต็ปการทำงานของสเต็ปปิ้งทั้งสามรูปแบบ ที่ทราบมานั้นเราสามารถทำได้เป็น สองลักษณะคือ ใช้วงจรซีเควนเชียล และการใช้ไมโคร โปรเซสเซอร์ควบคุมแต่ที่นิยมใช้กันคือจะใช้ไมโครโปรเซสเซอร์ได้ถูกลงมากในปัจจุบัน และผู้ใช้สามารถพลิกแพลงการใช้ได้ตามองการ

### บทที่ 3

#### การออกแบบและกำหนดค่าอุปกรณ์ในแต่ละส่วน

##### 3.1 แนวความคิดในการออกแบบ

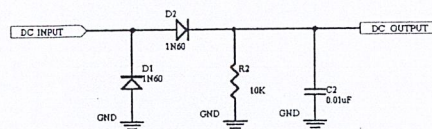
สัญญาณโทรทัศน์จะถูกรับเข้ามาที่สายอากาศแล้วส่งไปภาคเลือกช่องความถี่ (TUNER) และ IF AMP DETECTOR ต่อไป

การวัดสัญญาณในย่านความถี่โทรทัศน์ที่ย่าน VHF- UHF ความแรงของสัญญาณที่ได้จะมีค่าแตกต่างกันไป ขึ้นอยู่กับทิศทางการรับ สัญญาณที่ได้จะถูกส่งไปชุดวงจร DETECT เพื่อแปลงเป็นระดับแรงดันที่ได้จะมีระดับต่ำมาก ซึ่งจะต้องแปลงระดับแรงดันให้อยู่ในช่วงที่ต้องการระดับแรงดัน DC จะนำแปลงเป็นสัญญาณดิจิทัลเพื่อนำไปเข้าโปรแกรมพอร์ทเป็น pattern ออกมา

##### 3.2 การออกแบบ

###### 3.2.1 ชุด DETECTOR

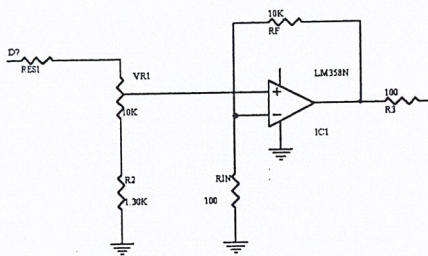
เมื่อเราทำการทดสอบสายอากาศ โดยการหมุนทิศทางารรับสัญญาณไปเรื่อยๆ ณ ตำแหน่งรอบๆของสายอากาศ สายอากาศจะรับสัญญาณได้ไม่เท่ากัน ทำให้แรงดันที่ IF AMP มีค่าเปลี่ยนไป ความถี่ IF จะนำไปผ่านวงจร detect โดยใช้ diode (D1-D2) เบอร์ 1N60 ผ่านไปยังวงจร Filter (R2, C2) จะได้เป็นระดับแรงดัน DC ออกมา ระดับแรงดันที่ได้มีค่าประมาณ 0-0.05 Volt สรุปได้ว่าระดับแรงดัน DC ที่ได้จะขึ้นอยู่กับความแรงของสัญญาณที่รับได้ ดังแสดงดังรูป



รูปที่ 3.1 แสดงวงจรภาค Detector

### 3.2.2 ชุด COMPARATOR

เนื่องจากระดับแรงที่ป้อนให้กับวงจร ADC อยู่ในช่วง 0-5 Volt จะต้องทำการแปลงระดับแรงดันที่ได้จากวงจร Detector ให้อยู่ในช่วง 0-5 Volt ก่อน วงจรที่ได้ออกแบบไว้ จะใช้ IC1 เบอร์ LM358N ทำหน้าที่แปลงแรงดัน ลักษณะการจับวงจรได้ออกแบบเป็น วงจรขยายแบบไม่กลับเฟส (Non Inverting Amp) ระดับแรงดันที่ได้จะไปผ่านวงจรจัดระดับแรงดัน โดยใช้ OP AMP ให้ได้ระดับแรงดันในช่วง 0 ถึง 5 Volt โดยการปรับ VR12 ระดับแรงดันที่ได้จะถูกส่งผ่านไปยัง ANALOG TO DIGITAL CONVERSION (ADC) ต่อไป



รูปที่ 3.2 แสดงวงจรปรับระดับแรงดัน DC

$$V_{in} = V_A$$

$$A_V = V_{out} / V_A$$

$$V_A = [R_{in} / (R_F + R_{in})] * V_{out}$$

$$V_{out} / V_A = (R_F + R_{in}) / R_{in}$$

$$A_V = V_{out} / V_A = (R_F / R_{in}) + 1$$

$$V_{out} = [(R_F / R_{in}) + 1] * V_{in}$$

ความต้องการของวงจรเพื่อให้ได้แรงดัน Input มีค่าตั้งแต่ 0 V ถึง 0.05V เพื่อให้ได้ระดับที่ output ตั้งแต่ 0 v ถึง 5 v

$$\text{กำหนด } R_F = 10 \text{ k}\Omega$$

$$\text{Volt} = [(R_F / R_{in}) + 1] * V_{in}$$

$$5V = [(10 \text{ k}\Omega / R_{in}) + 1] * 0.05$$

$$R_{in} = 101 \Omega$$

เพราะฉะนั้น เมื่อหมุนสายอากาศไป 360 องศา ที่วัดได้ในแต่ละตำแหน่งจะไม่เท่ากันและจุดที่ชัดเจนที่สุดคือ จุดที่สัญญาณมาแรงที่สุดซึ่งจุดนี้แรงคั้นของ AGC มีค่าน้อยด้วย

สรุปได้ว่า ในการหมุนสายอากาศไป 1 รอบ จะสามารถหาจุดแรงที่สุดของสัญญาณได้ ซึ่งสามารถจะใช้ COMPUTER ในการควบคุมการหมุนของสายอากาศและการประมวลผลได้

### 3.3 การออกแบบการใช้งาน ACD 0804

วงจรประกอบด้วยไอซี ACD0804 เป็นตัวแปลงจากสัญญาณอนาล็อก เป็นสัญญาณดิจิทัล สัญญาณนาฬิกาสูงสุดที่ใช้ได้กับไอซี ACD 0804 คือ 640 กิโลเฮิร์ตซึ่งจะทำให้ใช้เวลาในการแปลง 100 ไมโครวินาที โดยมีอัตราการแซมปลิง 10 กิโลเฮิร์ตซึ่งสามารถคำนวณสัญญาณนาฬิกาได้จาก

$$F_{clk}(1/(1.1RC))$$

ซึ่ง R ให้เท่ากับ 10K เพราะฉะนั้นหาค่า C ได้จากสมการ

$$C(1/1.1RF_{clk})$$

ได้ C ประมาณ 142 PF ซึ่งในวงจรใช้ 150 PF

#### การต่อขาต่างๆ

ในโหมดการทำงานด้วยตัวเองไม่ต้องมีสัญญาณควบคุมจากภายนอกขา READ (ขา 12) กับขา ChipSelect (ขา 11) จะถูกต่อลงกราวด์ ส่วนขา Interrupt Output (ขา 15) จะถูกต่อไปยัง Write Data Input (ขา 13) เพื่อให้การแปลงสัญญาณออกไปภายนอกเป็นไปอย่างอัตโนมัติ

ที่ ขา 19 (CLK-R) เป็นขาคล็อก(CLOCK)ของไอซี ACD 0804 ซึ่งจะต่อ R และ C เป็นตัวกำหนดสัญญาณคล็อก

ที่ ขา 4 (CLK-IN) ต่อกับขา 19 เป็นการป้อนคล็อกให้กับไอซี

ที่ ขา 6 (Vin(-)) ในโหมดนี้จะต่อลงกราวด์

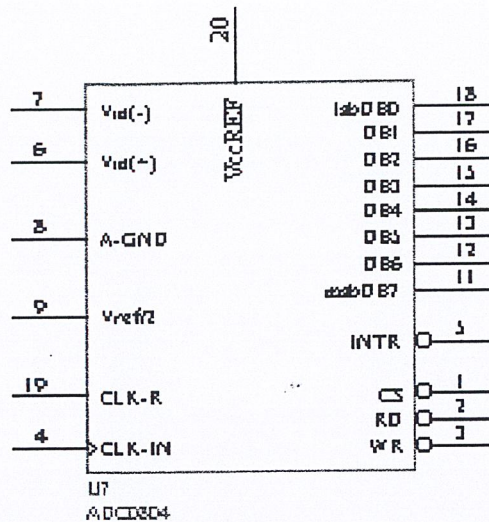
ที่ ขา 7 (Vin(+)) เป็นขาที่ต่อกับสัญญาณอนาล็อกอินพุท

ที่ ขา 8 (A-GND) ต่อลงกราวด์

ที่ ขา 9 (Vref/2) ที่ขานี้ต้องการโวลท์คงที่ 2.5 โวลท์ใช้ในการเปรียบเทียบการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล

ที่ ขา 20 เป็นขาต่อไฟเลี้ยงให้ไอซี

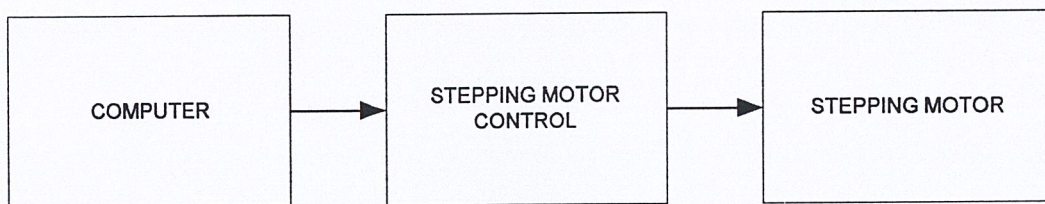
ที่ ขา 11 ถึง ขา 18 เป็นเอาต์พุทซึ่งเป็นสัญญาณดิจิทัล



รูปที่ 3.3

### 3.4 ชุดควบคุมการหมุนของสายอากาศ

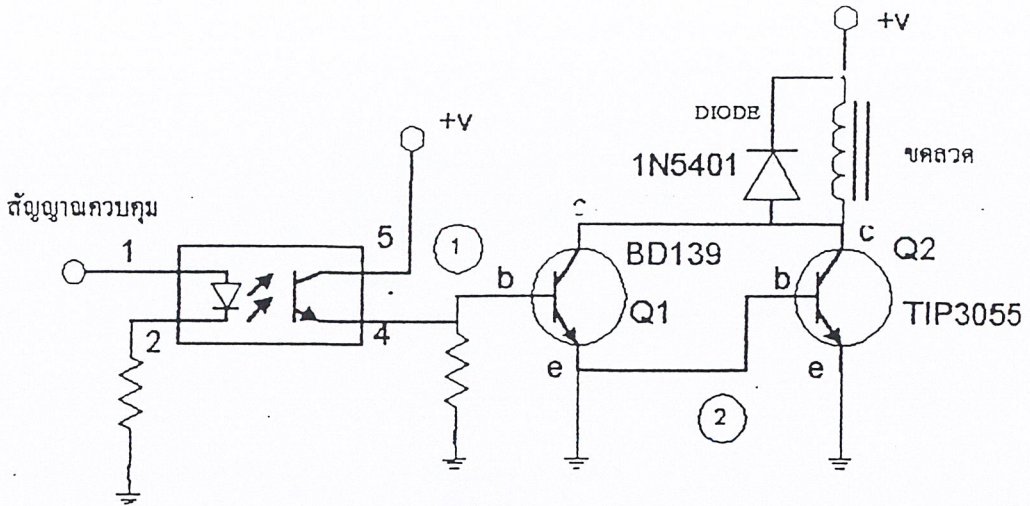
ในการหมุนสายอากาศเราจะใช้ STEPPING MORTOR เป็นตัวขับโดยที่คอมพิวเตอร์จะเป็นตัวส่งข้อมูลให้ชุดควบคุมการหมุน STEPPING MORTOR บล็อกการควบคุมการหมุนของสายอากาศเป็น



รูปที่ 3.4

### 3.5 การออกแบบชุด Stepping motor control

ในการออกแบบวงจรขับเคลื่อน Stepping motor สิ่งที่ต้องคำนึงถึงคือ ขดลวดของตัว Stepping motor ต้องการกระแสและแรงดันเท่าไร เพื่อที่จะทำให้ Stepping motor สามารถทำงานได้ การออกแบบวงจรใช้หลักการ การเปิด - ปิด กระแส ผ่านขดลวด Stepping motor ดังแสดงในรูปข้างล่าง



รูปที่ 3.5

จากรูปวงจรเมื่อสัญญาณควบคุมเป็น 'H' ซึ่งจะทำให้ขา B ของทรานซิสเตอร์ Q1 ได้รับความไบอัส ทำให้มีกระแสคอลเลคเตอร์ [IC1] และทำให้ทรานซิสเตอร์ Q2 ได้รับความไบอัสที่ขา B ที่จุด 2 ทำให้ทรานซิสเตอร์ Q2 นำกระแส ทำให้มีกระแสไหลผ่านขดลวดของ Stepping motor ซึ่ง Q2 ทำหน้าที่เหมือนเป็นสวิตช์ ON-OFF เพื่อทำให้มีกระแสไหลผ่านขดลวดของ Stepping motor

เมื่อสัญญาณควบคุมเป็น 'L' เอาท์พุทที่จุด 1 จะเป็น 'L' ทำให้ที่ขา B ของทรานซิสเตอร์ Q1 เป็น 0 ทำให้ทรานซิสเตอร์ Q1 ไม่มีการนำกระแส เป็นผลให้ Q2 ไม่นำกระแสด้วย และส่งผลให้ไม่มีกระแสไหลผ่านขดลวดของ Stepping motor ด้วย

หลักสำคัญในการออกแบบวงจรขับขดลวด

### 1. แรงดันคอลเลคเตอร์ - อิมิตอร์ [Vce]

เป็นแรงดันสูงสุดระหว่างขาคอลเลคเตอร์กับอิมิตอร์ ของทรานซิสเตอร์ แต่ในการใช้งานจริงแล้ว จะไม่ใช่แรงดันของแหล่งจ่ายสูงกว่าค่า Vce เนื่องจากคุณสมบัติของขดลวด เมื่อตัดกระแสที่จ่ายเข้าจะเกิดแรงดันย้อนกลับคือ แรงดัน EMF จากเหตุผลนี้เองจึงต้องมีการต่อไดโอดขนานกับขดลวด เพื่อบายพาสกระแส ที่เกิดจากแรงดัน EMF เมื่อต่อไดโอดเข้าในวงจร แรงดันคอลเลคเตอร์จะมีค่าเป็น  $V_1 + V_2$

โดยที่  $V_1$  คือ แรงดันแหล่งจ่าย

$V_2$  คือ แรงดัน Forward ของไดโอด

ดังนั้นในการออกแบบใช้งานจริงควรจะต้องเลือกใช้ทรานซิสเตอร์ที่มีค่า Vce ตั้งแต่ 2 เท่า ของแรงดันแหล่งจ่ายไฟ [V1] จึงจะไม่มีปัญหา

### 2. กระแสคอลเลคเตอร์ [IC]

กระแสที่ไหลผ่านขดลวดนั้นจะต้องไม่เกินค่ากระแสคอลเลคเตอร์สูงสุดของทรานซิสเตอร์

### 3. แรงดันอิ่มตัวของทรานซิสเตอร์ - อิมิตอร์ [Vce(sat)]

Vce(sat) ของทรานซิสเตอร์จะเป็นแรงดันตกคร่อมระหว่าง คอลเลคเตอร์กับ

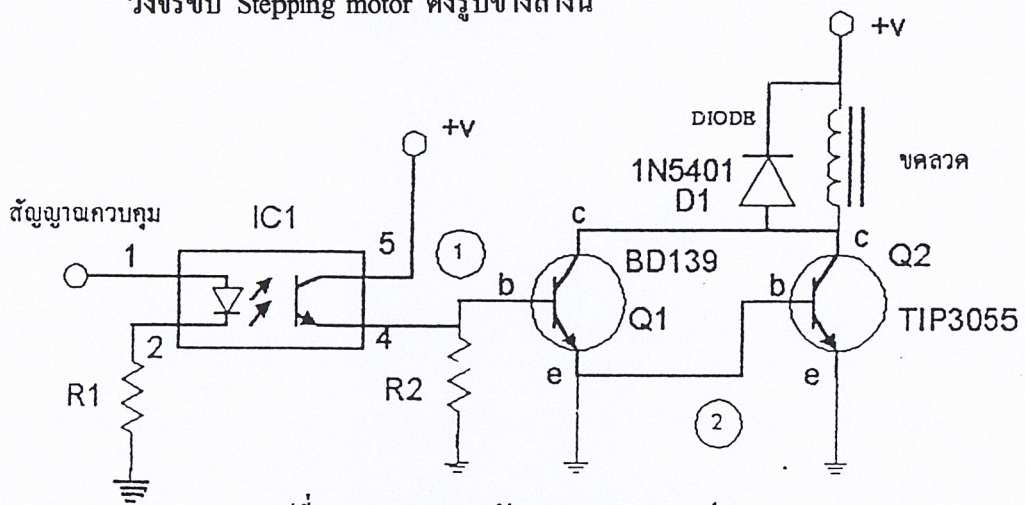
อิมิตเตอร์ เมื่อทรานซิสเตอร์ ON เต็มที่ ซึ่งถ้าค่า  $V_{ce(sat)}$  มีค่าน้อยประสิทธิภาพในการขับเคลื่อนจะดี

#### 4. ค่าสูญเสียของทรานซิสเตอร์ [PC]

เป็นค่ากำลังงานการสูญเสียของทรานซิสเตอร์ ซึ่งมีค่าเท่ากับ  $V_{ce(sat)} \cdot I_C$  ซึ่งจะเห็นว่าเมื่อ  $V_{ce(sat)}$  มีค่ายิ่งต่ำค่าสูญเสียก็ยิ่งน้อย และถ้าใช้งานทรานซิสเตอร์ให้มีค่า PC สูงกว่าค่าที่กำหนด จะทำให้ทรานซิสเตอร์ชำรุดได้

### 3.6 การออกแบบวงจรขับ Stepping motor

วงจรขับ Stepping motor ดังรูปข้างล่างนี้



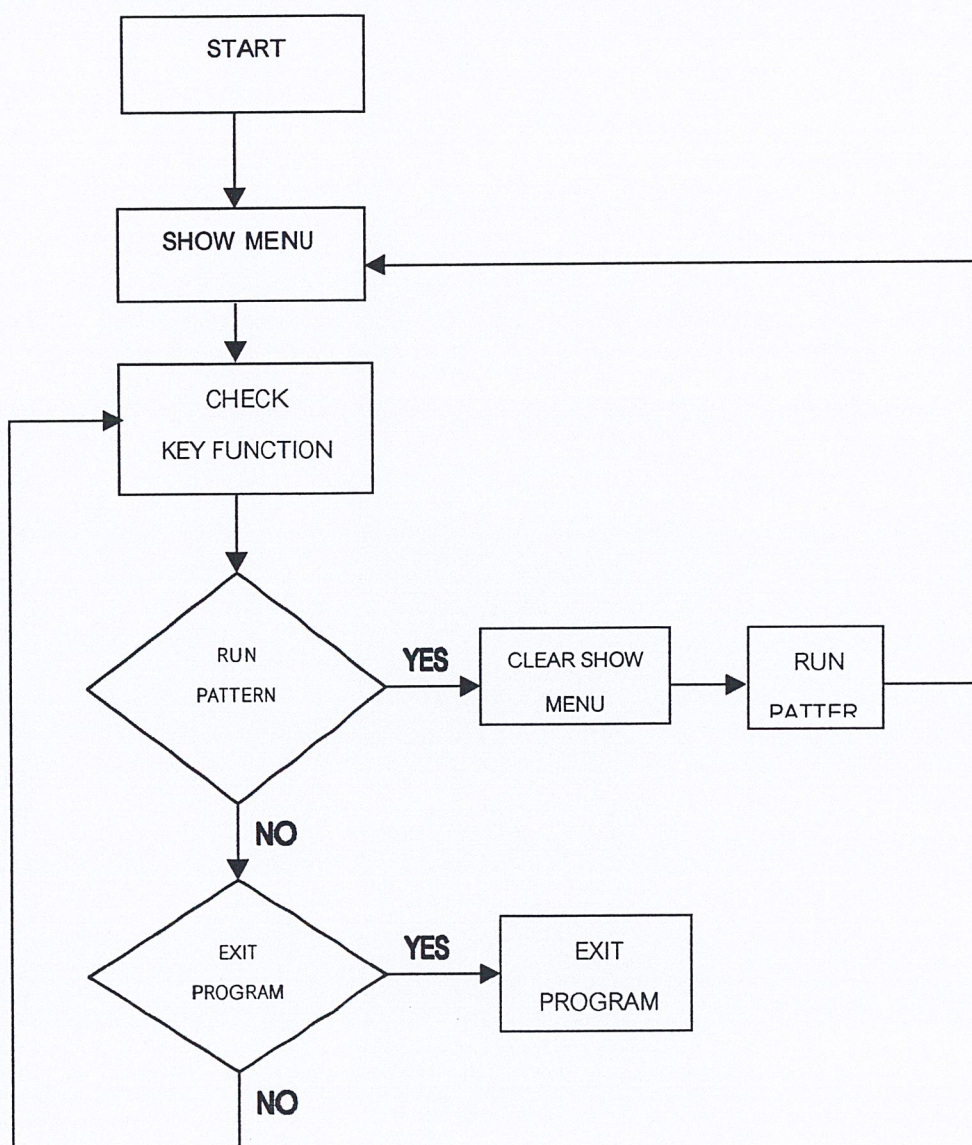
รูปที่ 3.6 แสดงวงจรขับ Stepping 1 เฟส

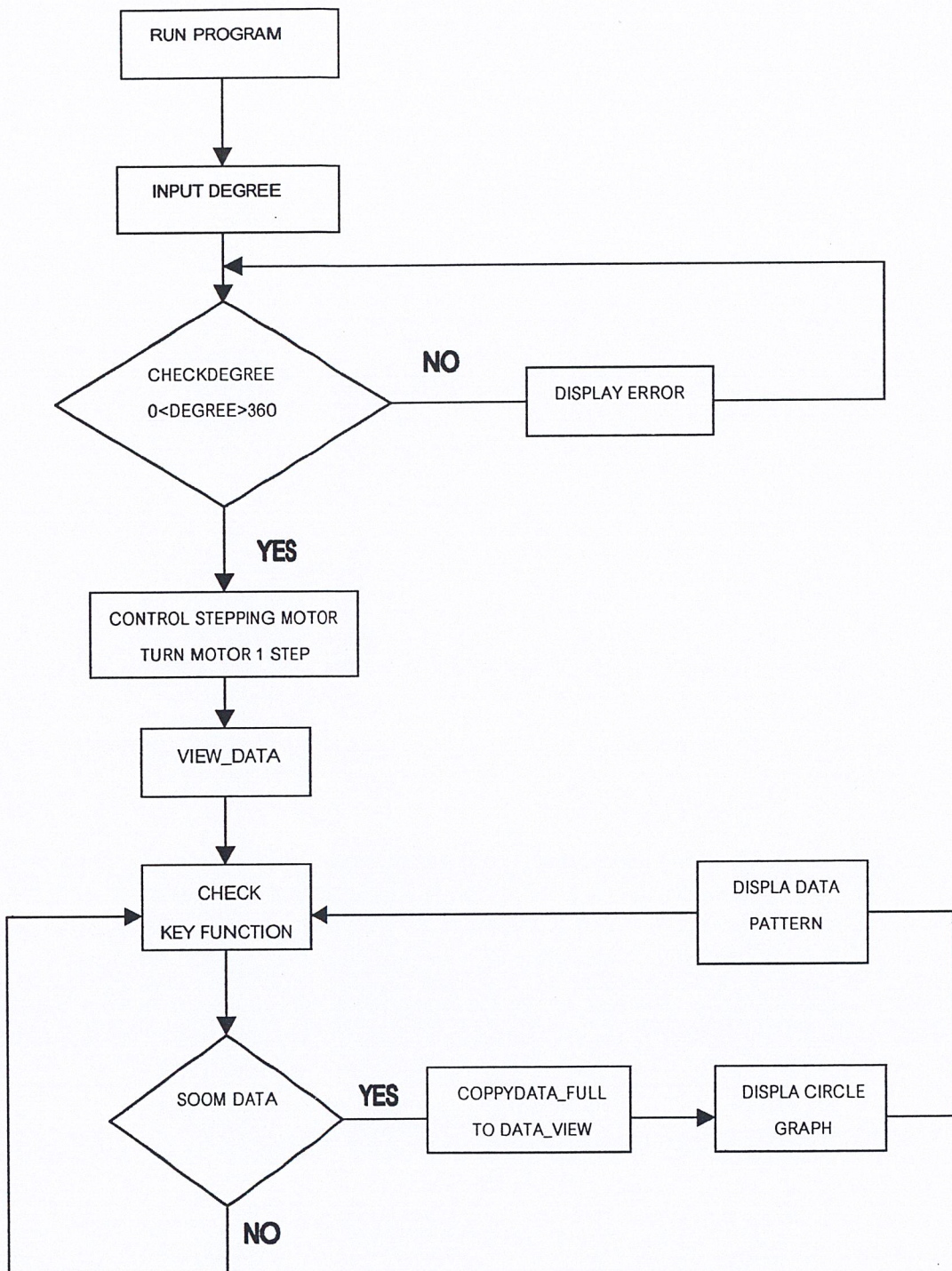
จากวงจรจะประกอบด้วยอุปกรณ์ต่างๆดังนี้

- IC1 เป็น OPTOTRANSISTOR ซึ่งจะทำหน้าที่เชื่อมโยงสัญญาณควบคุมจาก คอมพิวเตอร์ กับชุดขับ Stepping motor เหตุที่ใช้ตัวเชื่อมโยงทางแสงเพื่อเป็นการลดการรบกวนให้กับคอมพิวเตอร์
- Q1 และ Q2 เป็นทรานซิสเตอร์ซึ่งต่อในลักษณะเป็นคาลิงตัน
- D1 เป็นไดโอดที่ต่อเพื่อป้องกันแรงดัน EMF ย้อนกลับ ป้องกันไม่ให้ทรานซิสเตอร์เสียหาย ซึ่งไดโอดนี้ จะต้องทนกระแสได้ไม่น้อยกว่า 2 เท่า ของกระแสที่ใช้กับขดลวด Stepping motor เนื่องจากข้างบนเป็นวงจรขับ Stepping motor เพียง 1 เฟส ดังนั้นหากใช้มอเตอร์ 4 เฟส ก็ต้องทำชุดขับทั้ง 4 เฟส

### 3.7 การออกแบบโปรแกรม

ในการออกแบบการเขียนโปรแกรม ของเครื่องจัดการแพร่กระจายคลื่นในย่านความถี่ VHF-UHF นั้น จะนำหลักการของเครื่องวัดการแพร่กระจายคลื่นในย่านความถี่ VHF – UHF มาใช้ในการออกแบบการเขียนโปรแกรมให้ได้ตามขอบเขตที่กำหนด โดยเริ่มต้นจากการออกแบบ flow chart ให้มีเงื่อนไขตามที่กำหนดครบถ้วน ต่อจากนั้นก็ทำการเขียนโปรแกรมการทำงานของเครื่องวัดการแพร่กระจายคลื่นในย่านความถี่ VHF - UHF ตาม Flow chart ที่ได้ออกแบบไว้ตามแสดงในรูป





## บทที่ 4

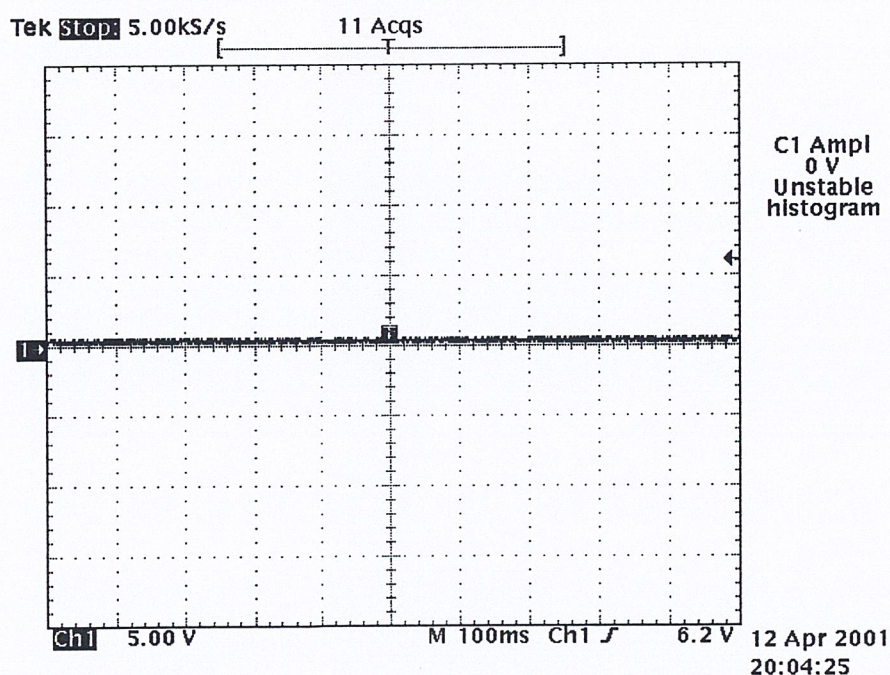
### ผลการทดลอง

#### 4.1 ผลการทดลอง

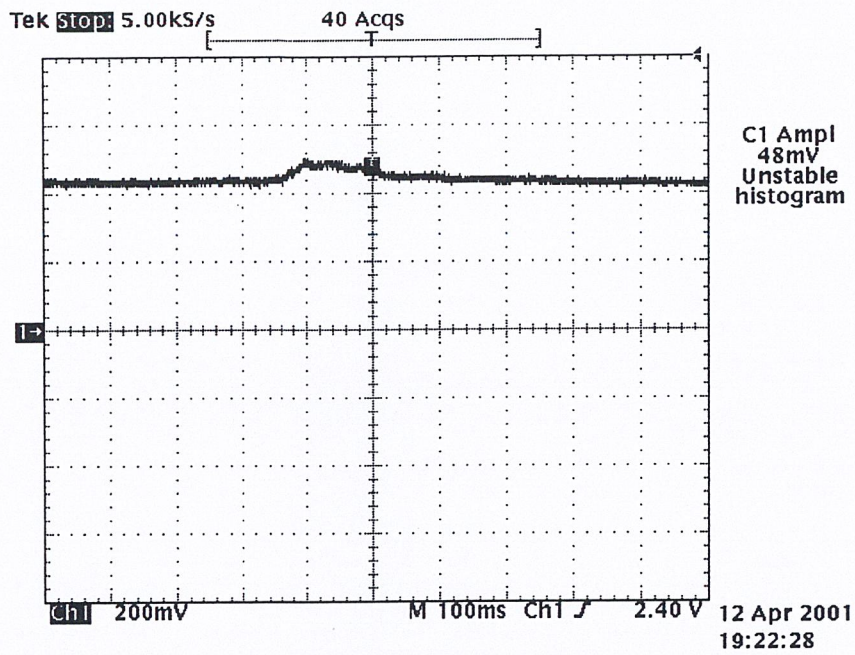
##### 4.1.1 ผลการทดลองวงจร DETECT สัญญาณ

ในวงจร DETECT สัญญาณ จะรับสัญญาณความถี่ IF จากภาค IF AMP เข้ามา DETECT จะได้ระดับแรงดัน DC ออกมา เมื่อทำการหมุนทิศทางการรับสัญญาณของสายอากาศไปเรื่อยๆ สายอากาศจะรับสัญญาณได้ไม่เท่ากัน ดังนั้นระดับแรงดัน DC ที่ออกมาจากวงจร DETECT จะมีประมาณ 0-0.05 volt สรุปได้ว่าระดับแรงดัน DC ที่ได้ จะขึ้นอยู่กับทิศทางการรับสัญญาณของสายอากาศ

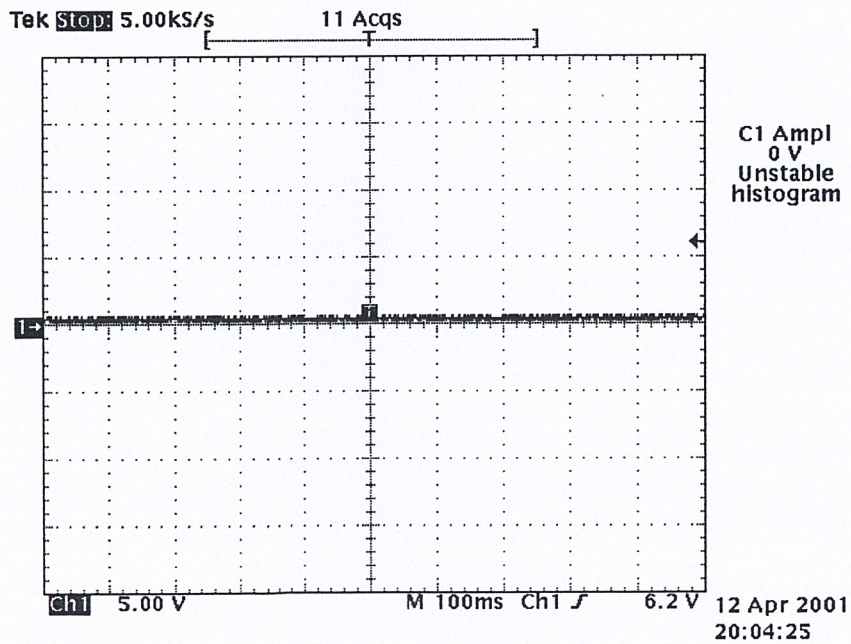
เมื่อได้ระดับแรงดันจากวงจร DETECT ซึ่งมีค่าประมาณ 0-0.05 volt ระดับแรงดัน DC ที่ได้มีค่าต่ำกว่า ระดับแรงดันที่ต้องการเพื่อจะส่งไปยังวงจร Analog to Digital Converter จึงต้องแปลงระดับแรงดันให้ได้ระดับแรงดันที่อยู่ในช่วงที่ต้องการ



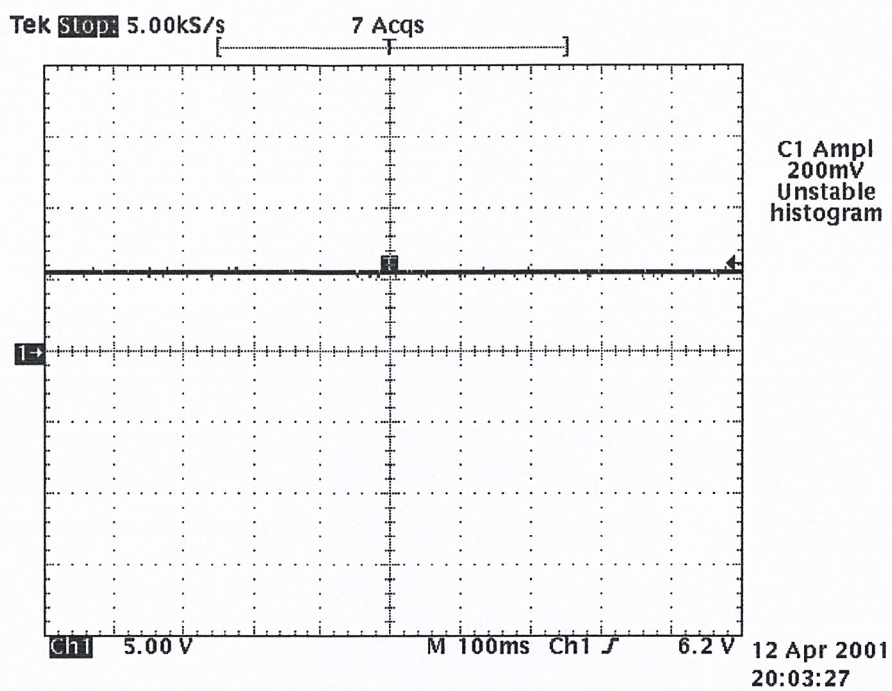
รูปที่ 4.1 ระดับสัญญาณจากวงจร DETECT เมื่อหมุนสายอากาศไปในทิศทางที่รับสัญญาณได้ต่ำที่สุด



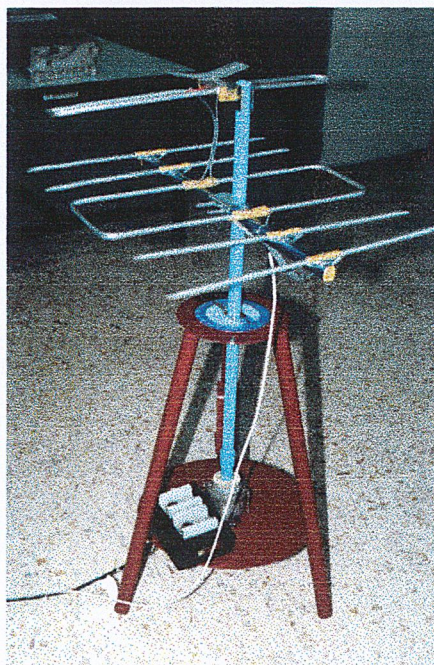
รูปที่ 4.2 ระดับสัญญาณจากวงจร DETECT เมื่อหมุนสายอากาศไปในทิศทางที่รับสัญญาณสูงที่สุด



รูปที่ 4.3 ระดับสัญญาณจากวงจร DETECT เมื่อหมุนสายอากาศไปในทิศทางที่รับสัญญาณได้ต่ำที่สุดที่มีการปรับระดับสัญญาณแล้ว



รูปที่ 4.4 ระดับสัญญาณจากวงจร DETECT เมื่อหมุนสายอากาศไปในทิศทางที่รับสัญญาณได้สูงที่สุด เมื่อมีการปรับระดับสัญญาณแล้ว



รูปที่ 4.5 แสดงการติดตั้งฐานเสา

#### 4.1.2 ผลการทดลองจากวงจร Analog To Digital Converter

วงจร Analog to Digital Converter (ADC) ทำหน้าที่แปลงแรงดัน DC ทางอินพุตไปเป็น Digital ออกทางเอาต์พุต โดยมีขนาด 8 bit ดังนั้นแรงดันเอาต์พุตจากวงจรขยายสัญญาณ (Comparator) ที่ผ่านวงจร Analog To Digital Converter จะถูกเปลี่ยนเป็น Digital โดย IC ADC 0804 และจะส่งข้อมูลไปที่ พอร์ตขนานเพื่อแสดงผลทาง Computer

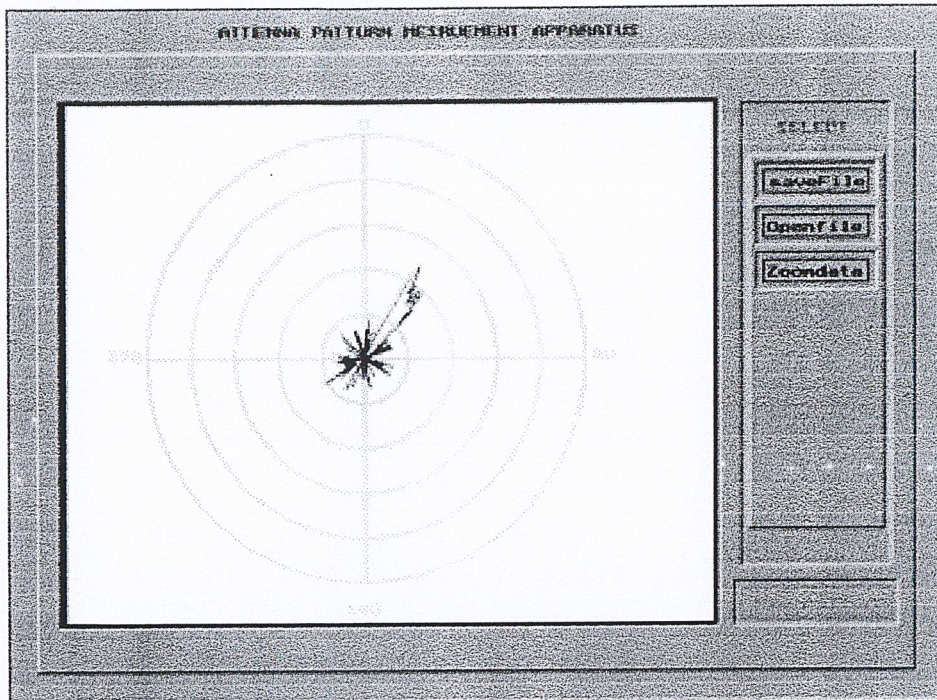
ระดับสัญญาณจาก วงจรขยายสัญญาณ	สัญญาณดิจิทัล
0	00H
1.0	32H
2.0	64H
3.0	96H
4.0	C8H
5.0	FAH

ตาราง 4.1 แสดงการเปลี่ยนสัญญาณจากวงจรขยายสัญญาณ เป็น ดิจิตอล 8 bit

#### 4.1.3 ผลการทดลองทดสอบ PLOT รูป PATTERN

การทดลองนี้ใช้สายอากาศแบบขาคีรีชนิดแผงรวม ที่มีขนาดไม่ใหญ่นักและติดตั้งอยู่ในอาคาร ดังนั้นความแรงของสัญญาณบางช่องที่รับได้จะไม่ค่อยดี เพราะความยาวของสายอากาศไม่ได้เหมาะกับทุกช่องสัญญาณ ซึ่งการทดลองนี้เป็นเพียงการแสดงวิธีการที่จะ plot pattern ของสัญญาณที่จะวัดได้โดยใช้คอมพิวเตอร์เป็นเครื่องมือช่วยในการเก็บข้อมูลและสร้างภาพให้เห็น

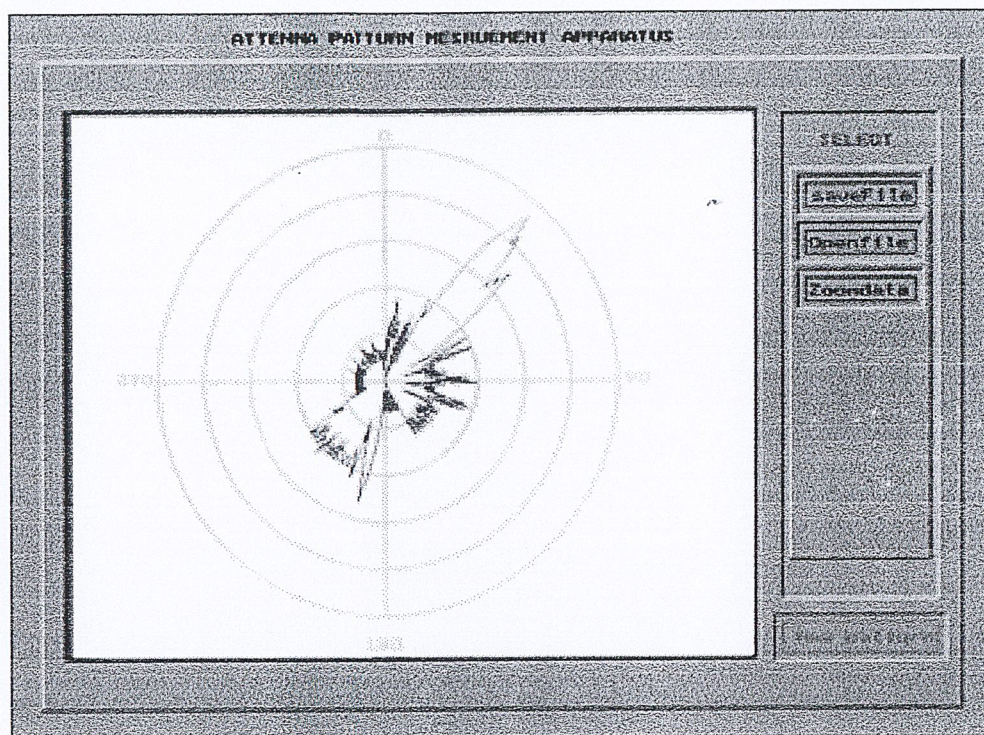
4.4.1 ผลการทดลองทดสอบ PLOT PATTERN ช่อง 3 เริ่มหมุนสายอากาศทีละ 2 องศาจนครบ 360 องศาผลของรูป PATTERN ที่ได้แสดงดังรูปที่ 4.8



รูปที่ 4.8 แสดงผลการทดสอบ PLOT PATTERN ช่อง 3

จากรูปที่ 4.8 เป็นการวัดในทีซึ่งมีความแรงของสัญญาณความถี่ช่อง 3 ก่อนข้างอ่อน ซึ่งจะสังเกตได้จากภาพ โดยสามารถเปรียบเทียบได้จากสัญญาณที่วัดจากช่องอื่นๆ

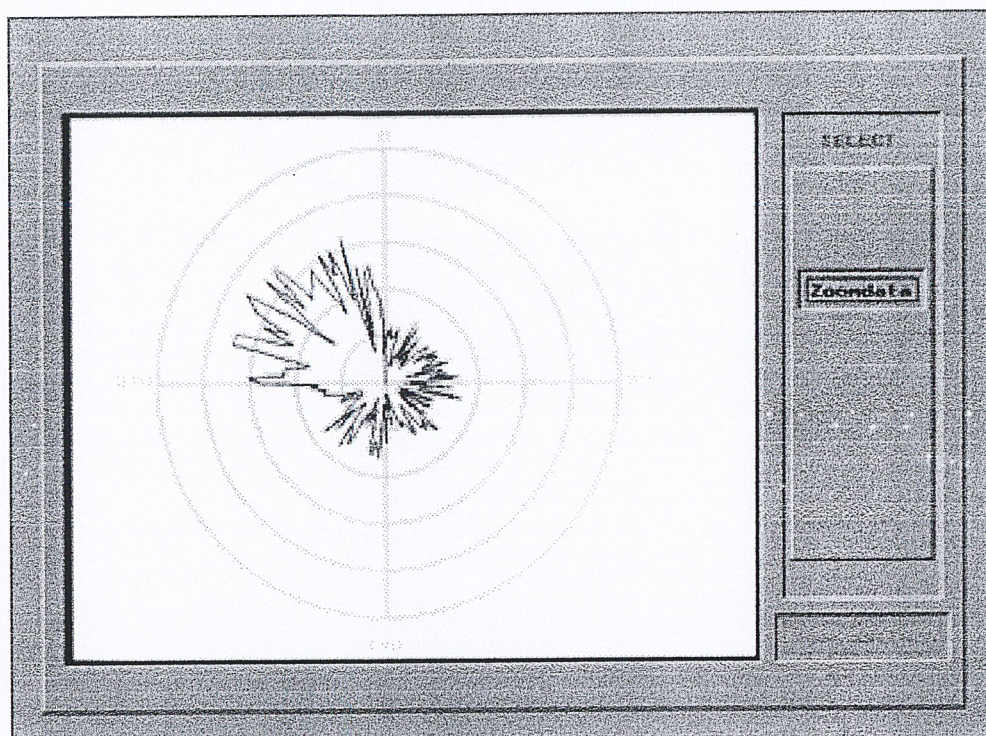
4.4.2 ผลการทดลองทดสอบ PLOT PATTERN ช่อง 5 เริ่มหมุนสายอากาศ ทีละ 2 องศาจนครบ 360 องศา ผลของรูป PATTERN ที่ได้แสดงดังรูปที่ 4.9



รูปที่ 4.9 แสดงผลการทดสอบ PLOT PATTERN ช่อง 5

จากรูปจะสังเกตเห็นได้ว่าความแรงของสัญญาณที่วัดได้ค่อนข้างแรง ซึ่งจากการนำไปต่อกับเครื่องรับปรากฏว่าสามารถรับสัญญาณได้ชัดเจน ในทิศที่มีค่าความแรงของสัญญาณสูงสุด

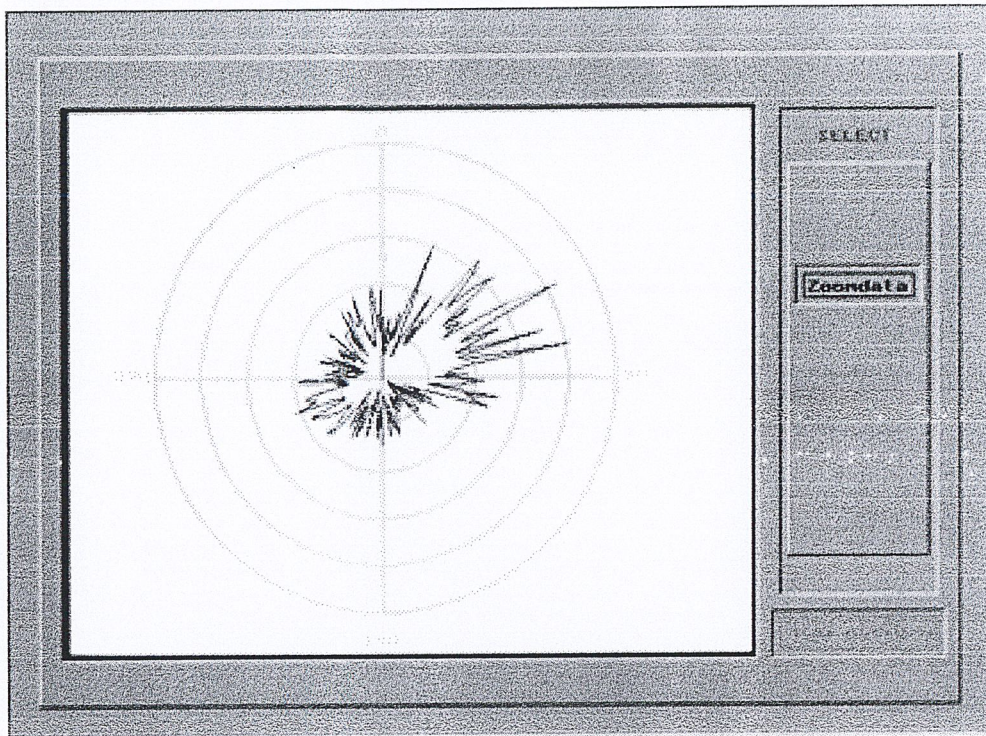
4.4.3 ผลการทดลองทดสอบ PLOT PATTERN ช่อง 7 เริ่มหมุนสายอากาศ ทีละ 2 องศา จนครบ 360 องศาผลของรูป PATTERN ที่ได้แสดงดังรูปที่ 4.10



รูปที่ 4.10 แสดงผลการทดสอบ PLOT PATTERN ช่อง 7

จากรูปแสดงให้เห็นว่าบีมของสัญญาณที่วัดได้กว้างกว่าสัญญาณที่รับได้จากช่อง 5 ซึ่งเมื่อนำไปต่อกับเครื่องรับในทิศที่มีความแรงของสัญญาณสูงสุดจะสามารถรับสัญญาณภาพได้ชัดเจน โดยที่สามารถปรับทิศทางการรับคลื่นของเสาอากาศได้มุมกว้าง

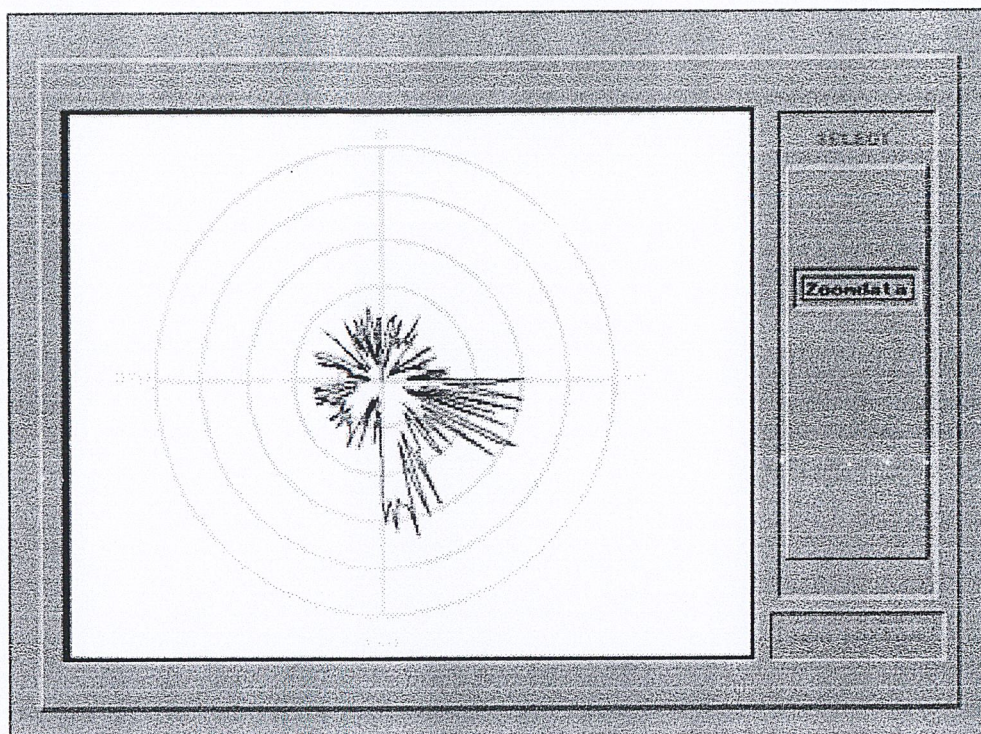
4.4.4 ผลการทดลองทดสอบ PLOT PATTERN ช่อง 9 เริ่มหมุนสายอากาศ ทีละ 2 องศา จนครบ 360 องศา ผลของรูป PATTERN ที่ได้แสดงดังรูปที่ 4.11



รูปที่ 4.11 แสดงผลการทดสอบ PLOT PATTERN ช่อง 9

จากรูปแสดงให้เห็นว่าสัญญาณที่วัดได้ค่อนข้างแรงเพียงพอในทิศที่มีความแรงของสัญญาณสูงสุด

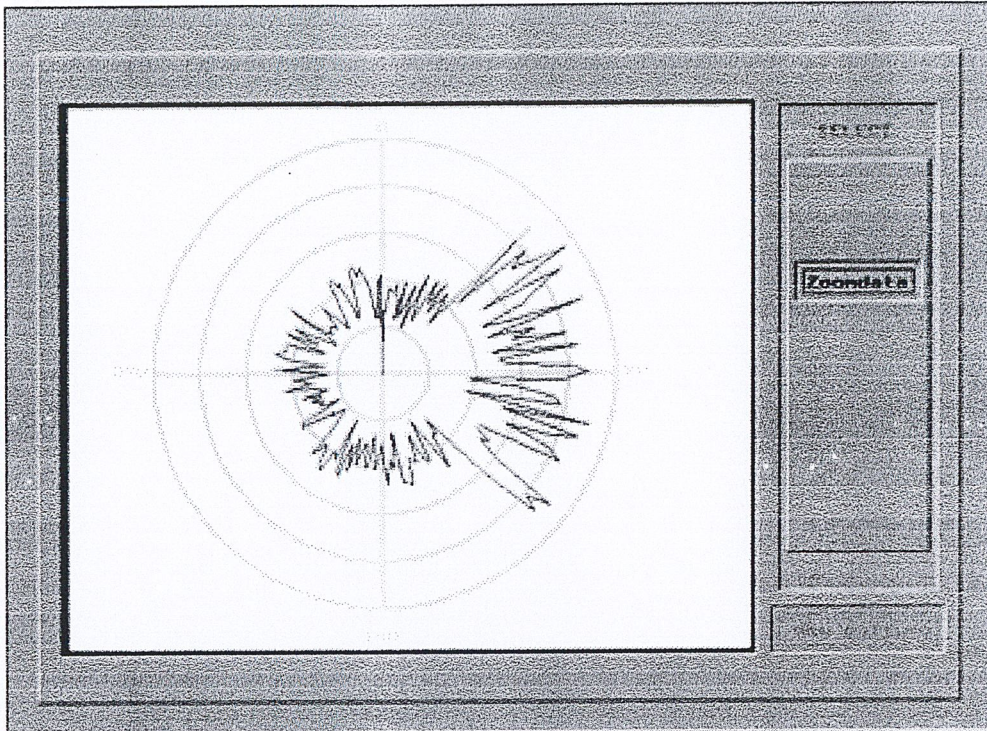
4.4.5 ผลการทดลองทดสอบ PLOT PATTERN ช่อง 11 เริ่มหมุนสายอากาศ ทีละ 2 องศา จนครบ 360 องศา ผลของรูป PATTERN ที่ได้แสดงดังรูปที่ 4.12



รูปที่ 4.12 แสดงผลการทดสอบ PLOT PATTERN ช่อง 11

จากรูปสัญญาณที่วัดได้มีความแรงเพียงพอในทิศที่ความแรงของสัญญาณสูงสุด

4.4.6 ผลการทดลองทดสอบ PLOT PATTERN ช่อง itv เริ่มหมุนสายอากาศ ทีละ 2 องศา จนครบ 360 องศา ผลของรูป PATTERN ที่ได้แสดงดังรูปที่ 4.13

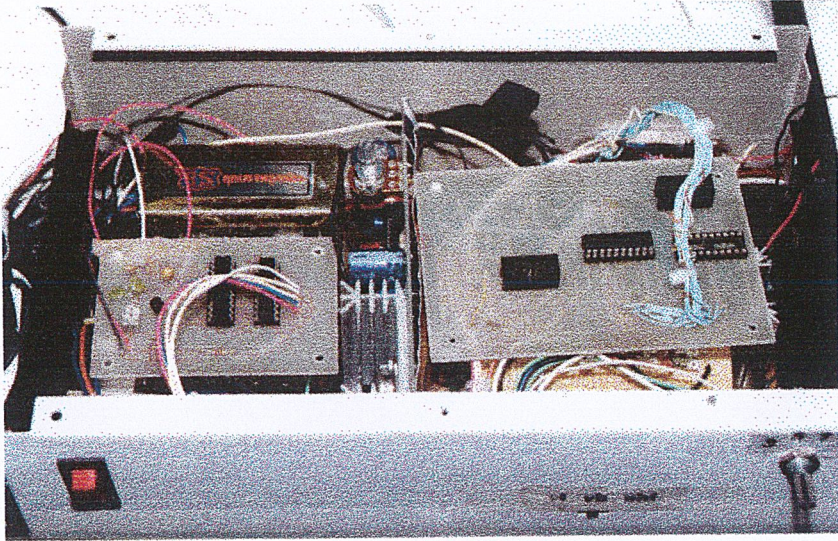


รูปที่ 4.13 แสดงผลการทดลอง PLOT PATTERN ช่อง itv

จากภาพแสดงให้เห็นว่าทิศทางการรับสัญญาณจากช่อง itv ก่อนข้างกว้าง สัญญาณที่รับได้มีความชัดเจนดี

#### 4.1.4 ผลการทดลองเมื่อนำทุกส่วนมาประกอบลงกล่อง

จากการที่ทดลองในการทำงานของวงจรต่างๆ ได้นำวงจรดังกล่าวมาประกอบเข้าด้วยกัน แล้วทำการนำชิ้นงานประกอบลงกล่องดังแสดงในรูป 4.14 แล้วทำการทดสอบการทำงาน โดยทดสอบกับโปรแกรมที่เขียนไว้ตามวัตถุประสงค์ของโครงการที่ตั้งไว้ เมื่อเริ่มเปิดเครื่องทำการทดสอบ STEP MOTOR ปรากฏว่า MOTOR ทำงานได้ตามที่ได้เขียนโปรแกรมควบคุมไว้จากนั้นทำการต่ออินพุตจากวงจร DETECT เข้าวงจร Analog to Digital Converter และต่อไปยังพอร์ตขนาน แล้วเริ่มทำการทำงาน MOTOR เริ่มหมุนไปจนครบ 360 องศา และสามารถแสดงผลเป็นกราฟวงกลมบนคอมพิวเตอร์ออกมาได้



รูปที่ 4.14 รูปแสดงอุปกรณ์ลงกล่อง

## บทที่ 5

### บทสรุปและวิจารณ์

#### สรุปผลการทดลอง

โครงการนี้เป็นการสร้างอุปกรณ์สำหรับทดสอบการแพร่กระจายคลื่นในย่าน VHF-UHF จุดมุ่งหมายหลักจะเป็นการวัดคุณสมบัติการแพร่กระจายคลื่นในย่านความถี่ VHF-UHF ซึ่งสามารถที่จะแสดงผลออกทางคอมพิวเตอร์ การแสดงผลจะแสดงเป็นกราฟวงกลม โดยจะนำข้อมูลเข้ามาผ่านทางพอร์ตขนาดของคอมพิวเตอร์ โดยคอมพิวเตอร์ควบคุมการหมุนของ step motor เมื่อ step motor หมุนครบ 360 องศา สามารถนำค่ามาแสดงผลได้

#### ปัญหาที่พบในการทดลอง

1. ในส่วนของอุปกรณ์ อุปกรณ์ส่วนใหญ่ไม่ได้มาตรฐานไม่สามารถทำงานได้ตามคุณสมบัติของตัวเอง ซึ่งจะต้องหาอุปกรณ์ที่ได้มาตรฐานพอสมควร
2. ปัญหาความร้อนบนภาค Power Supply บนส่วนที่จ่ายให้กับ Stepping Motor เพราะเนื่องจาก Stepping Motor ต้องการกระแสสูง
3. ปัญหาของชุด Detect เป็นปัญหาที่สำคัญที่สุด คือ สัญญาณที่ได้จากชุด Detect จะมีสัญญาณรบกวน (Noise) เกิดขึ้น ซึ่งต้องใช้วงจร fitter เพื่อลดสัญญาณรบกวน

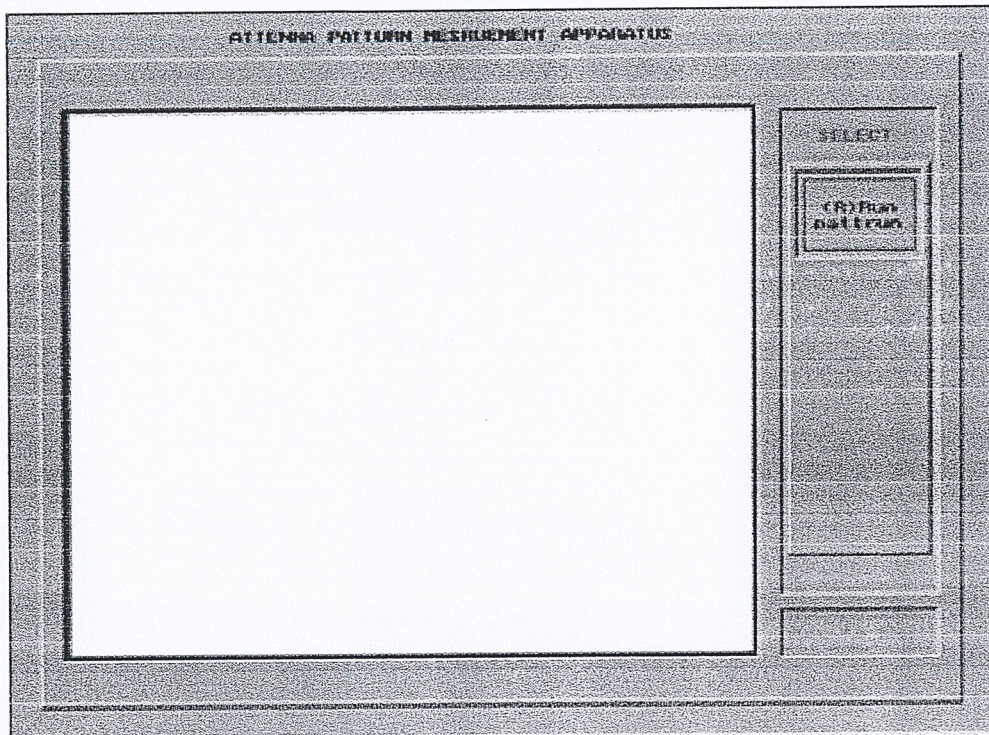
## บรรณานุกรม

1. อ.โหมไนย ไกรฤกษ์, อ.วิวัฒน์ กิรานนท์, “ ทฤษฎีสายอากาศ “ , 2535, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , พิมพ์ครั้งที่ 5
2. สุตันท์ อมรเชิดชู “สเต็ปเปอร์มอเตอร์” เซมิคอนดักเตอร์อิเล็กทรอนิกส์ ( 126 ) , 83-89 , เมษายน 2536.
3. คู่มือ/เทียบเบอร์ ไอซี TTL กรุงเทพฯ บริษัทซีเอ็ดยูเคชั่น จำกัด, 2521.

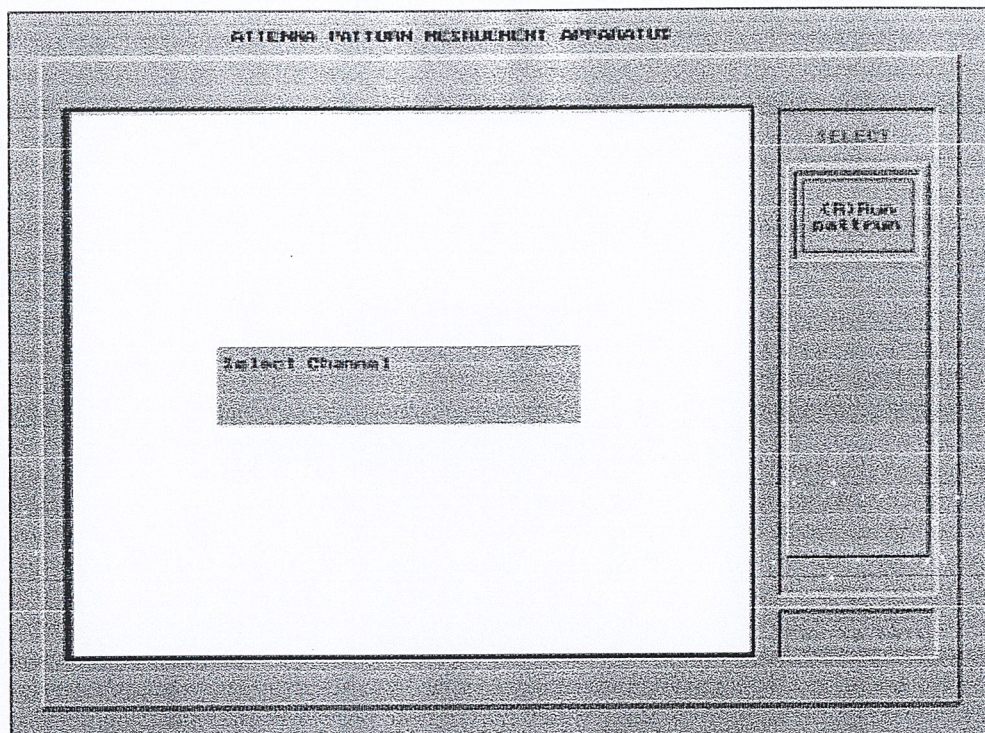
ภาคผนวก ก  
อธิบายการใช้โปรแกรม

## การใช้งานของเครื่อง วัด PATTURN สายอากาศ

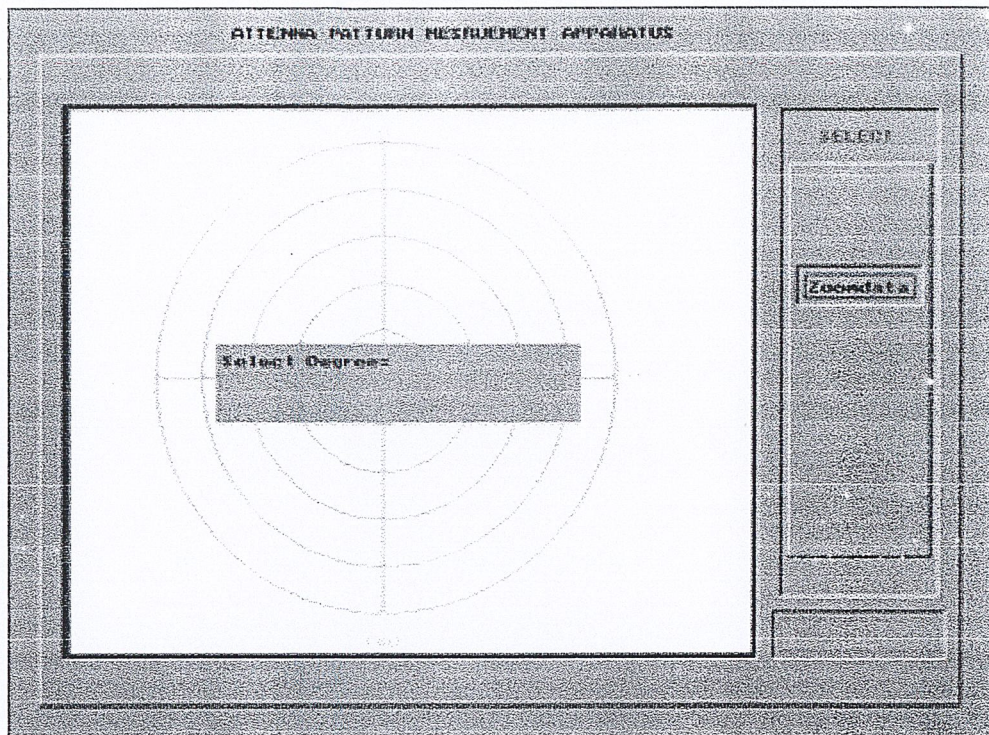
ทำการต่อสายพอร์ตขนานจากเครื่องวัด PATTURN สายอากาศ กับ เครื่องคอมพิวเตอร์ แล้วทำการเปิด SW POWER ที่เครื่อง วัด PATTURN สายอากาศ



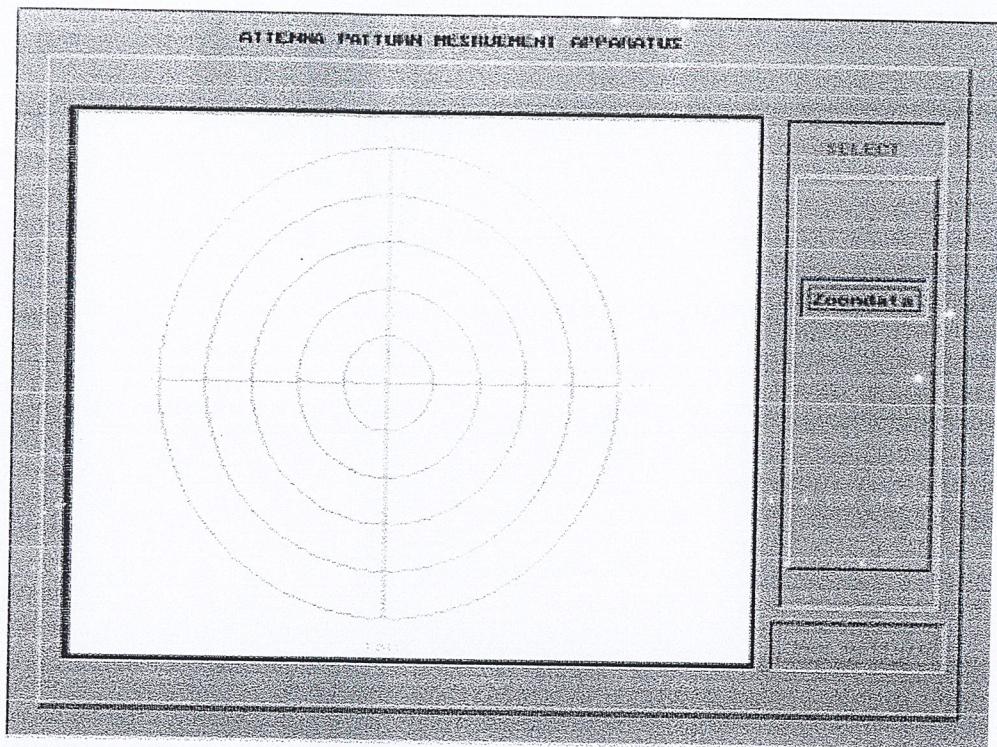
จากรูป แสดง หน้าจอในขณะที่เข้าสู่โปรแกรม เมื่อกด R จะเป็นการเริ่มต้นการทำงานของ การ PLOT PATTURN



จากรูปเมื่อเริ่มการทำงานของ โปรแกรม แล้วทำการเลือกช่องที่ต้องการซึ่งสามารถเลือกที่เครื่องวัด PATTURN สายอากาศ



จะเป็นการเลือกองศาที่ต้องการให้ MOTOR หยุดหมุนเพื่ออ่านค่ามาเก็บไว้ในหน่วยความจำและแสดงบนจอภาพทีละกึ่งองศา ซึ่งสามารถเลือกองศาได้ตั้งแต่ 1 องศา จนถึง 360 องศา

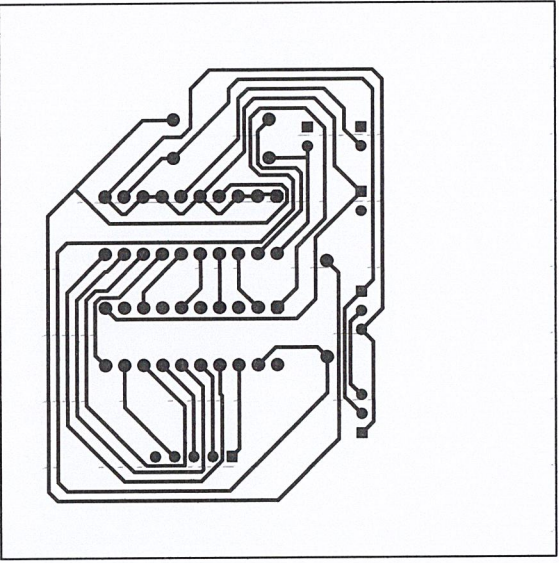


เมื่อได้ต้องการหมุนแล้ว กด ENTER จะเป็นการเริ่ม SCAN MORTOR จะทำการหมุนไปที่ละ 2 องศาจนเท่ากับองศาที่เลือก และจะแสดงผลโดย PLOT เป็นกราฟวงกลมบนจอภาพ

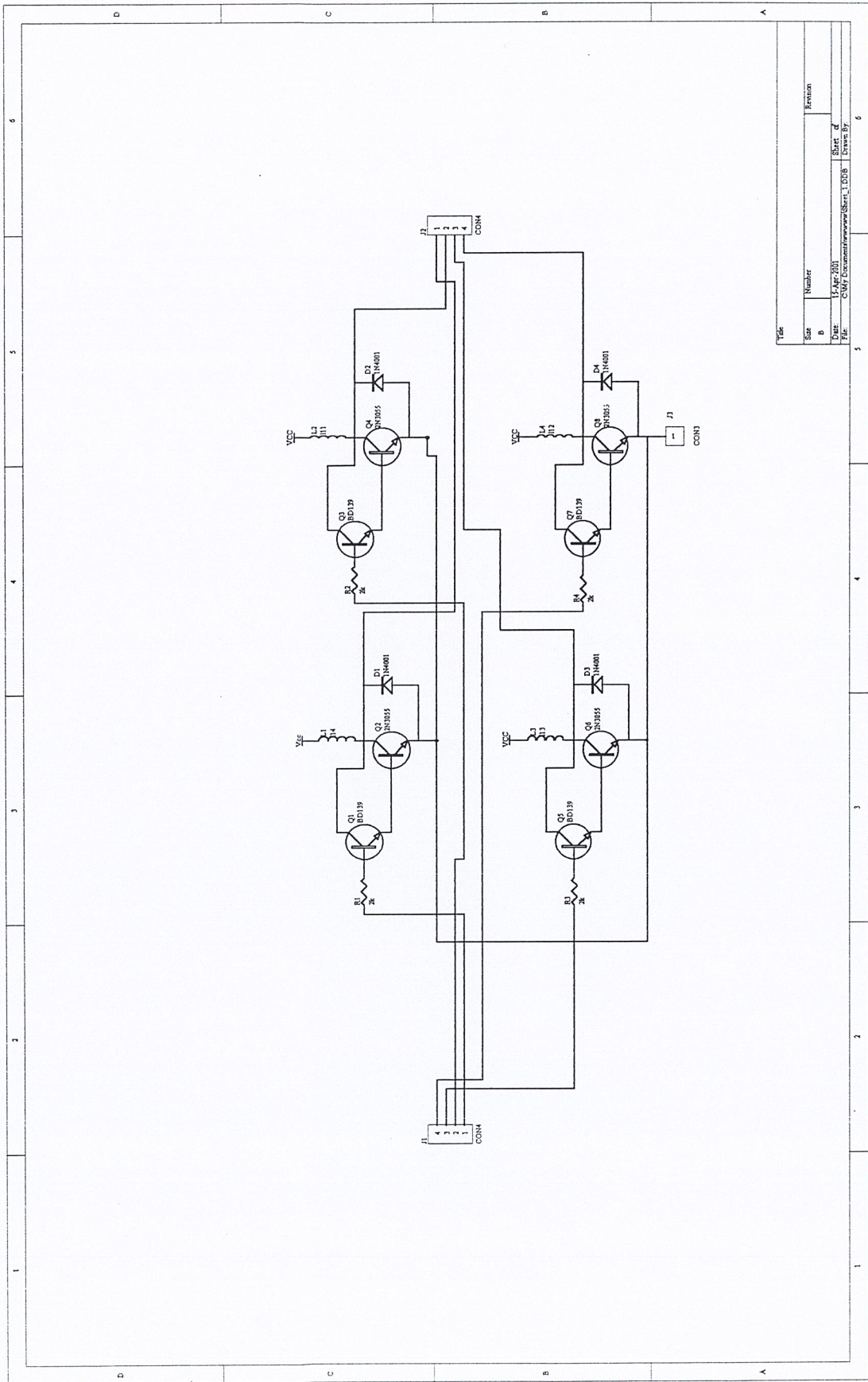
ภาคผนวก ข

ลายวงจร



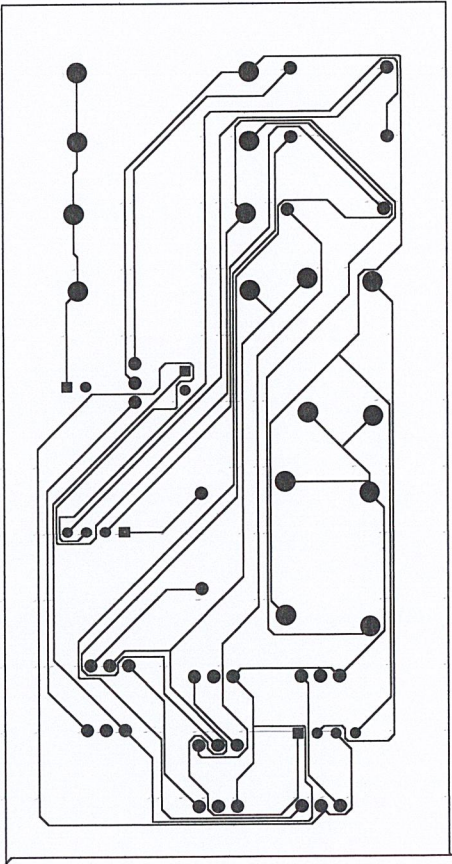


.G99



Title		Revision	
Size	Number		
B			
Date	15 Apr 2003	Sheet of	
File	C:\My Documents\www\Sheet_1.LDD8	Drawn By	

วงจร ขั้วเสต็ปลิงมอเตอร์



.GBB

ภาคผนวก ค

Program

```
#include<stdio.h>
#include<graphics.h>
#include<dos.h>
#include<conio.h>
#include<stdlib.h>
#include<bios.h>
#include<alloc.h>
#include<math.h>
#include<string.h>
#include<ctype.h>

void open_graph();
void back_ground(char s1,char s2,char s3,char s4,
char s5,char s6,char s7,char s8);
void button(int x1,int y1,int x2,int y2,int col1,
int col2,int bgc);
void run_patturn(),soomdata(),runpatturn2();
void drow_graph(),drow_graph2(),save_name(char ch[50]);
void back_ground2(char s1,char s2,char s3,char s4,char s5,
char s6,char s7,char s8);
void back_ground3(char s1,char s2,char s3,char s4,char s5,
char s6,char s7,char s8);
void manu1(),save(),openfile(),manu2(),manu3();
void channel(),scan(),data_trans(),read_name(char ch[40]),
load_file(char ch[50]);
int deg(int d),data_real[365];
float data_view[365],data_demo3[365],data_demo4[365],
data_view1[365];
char data_demo1[365],data_demo2[365];
int cx[365],cy[365],data_view3[365],data_cop[365];
int x,y,del=200,rf_new[365],rfmax,degmax,scx,scy,na;
int j,k,i,m,d,selec,turn=0,turn1=0;
```

```

int gmode,gdriver=DETECT,degree,degree1,deg_real,degmax2;
int data_file[365],degmax_file,rfmax_file,rfnew_file[365];
unsigned long data_temp[365];
char c,shift,chk,count,chh,name[20],name1[50],s1[20],
s2[20],tee;
char data2[4]={0x01,0x02,0x04,0x08};
char data[4]={0x01,0x02,0x04,0x08};

main()
{
    manu1();
}
void manu1()
{
    open_graph();
    back_ground(1,1,1,1,1,1,1,1,1);
    while(chk!=27) {
    chk=getch();
    if(chk=='r' || chk=='R'){
    setcolor(3);
    rectangle(140,219,377,269);
    floodfill(250,240,3);
    setcolor(1);
    settextstyle(0,0,1);
    outtextxy(144,227,"Select Channel");
    getch();
    manu2(); }
    }
    delay(200);
    closegraph();
}

```

```

void manu2()
{
back_ground3(1,1,1,1,1,1,1,1);
drow_graph();
if(shift=='b' || shift=='B') {
runpatturn2();
shift='a';}
else run_patturn();
menu3:   c=getch();
        if(c=='z' || c=='Z') soomdata();
        if(c=='n' || c=='N') manu1();
        else goto menu3;
    }
void back_ground(char s1,char s2,char s3,char s4,char s5,char s6)
{
button(5,5,640,470,15,0,7);
button(25,35,620,450,0,15,7);
setttextstyle(0,0,1);
outtextxy(150,18,"ANTENNA PATTURN MESUREMENT APPARATUS");
button(40,67,490,420,15,0,1);
button(45,70,487,417,0,15,0);
/***** switch *****/
button(505,70,605,380,15,0,7);
button(510,105,600,355,0,15,7);
setcolor(5);
outtextxy(530,84,"SELECT");
button(515,110,595,165,15,0,7);
button(520,115,590,160,s1,s1,7);
setcolor(s1);
outtextxy(532,130,"(R)Run");
outtextxy(527,140,"pattrun");

```

```

button(505,390,605,420,15,0,7);
button(510,395,600,415,12,12,7);
setcolor(12);
outtextxy(512,402,"Esc to Exit");
}

void back_ground3(char s1,char s2,char s3,char s4,
char s5,char s6,char s7,char s8)
{
button(5,5,640,470,15,0,7);
    button(25,35,620,450,0,15,7);
settextstyle(0,0,1);
outtextxy(150,18,"ANTENNA PATTERN MEASUREMENT APPARATUS");
button(40,67,490,420,15,0,1);
button(45,70,487,417,0,15,0);
/***** switch *****/
button(505,70,605,380,15,0,7);
button(510,105,600,355,0,15,7);
setcolor(5);
outtextxy(530,84,"SELECT");
button(515,170,595,195,15,0,7);
button(520,175,590,190,s3,s3,7);
setcolor(s3);
outtextxy(523,180,"Zoomdata");
button(500,390,610,420,15,0,7);
button(505,395,605,415,12,12,7);
setcolor(12);
outtextxy(507,402," New pattern  ");
}

void button(int x1,int y1,int x2,int y2,int col1,
int col2,int bgc)
{

```

```

setfillstyle(1,bgc);
  bar(x1,y1,x2,y2);
  setcolor(col1);
  line(x1,y1,x2,y1);
  line(x1,y1,x1,y2);
  setcolor(col2);
  line(x1,y2,x2,y2);
  line(x2,y1,x2,y2);  }
void run_pattarn() {
  draw_graph();
  setcolor(3);
rectangle(140,219,377,269);
  floodfill(250,240,3);
  setcolor(1);
  settextstyle(0,0,1);
  outtextxy(144,227,"Select Degree=");
  gotoxy(35,15); settextstyle(0,0,1);
  scanf("%d",&degree);
  if(degree > 360 || degree < 0 ){
  setcolor(3);
  rectangle(140,219,377,269);
  floodfill(250,240,3);
  setcolor(1);
  settextstyle(0,0,1);
  outtextxy(144,227,"Degree Error"); getch();
  clearviewport();
  back_ground3(1,1,1,1,1,1,1,1);
  draw_graph();
  run_pattarn();

```

```

    }
    setcolor(3);
    rectangle(140,219,377,269);
    floodfill(250,240,3);
    clearviewport();
    back_ground3(1,1,1,1,1,1,1,1,1);
    draw_graph();
    back_ground3(1,1,1,1,1,1,1,1,1);
    draw_graph();
    scan();
    j=0;
    do{
    j++;
    if(j%degree==0){
    cx[j]=(data_view[j]/1.5*cos((j+270)*M_PI/180))+250;
    cy[j]=(data_view[j]/1.5*sin((j+270)*M_PI/180))+240;
    } delay(10);
    }
while(j%degree!=0);
k=250;
m=240;
cx[k]=250;
cy[m]=240;
putpixel(cx[j],cy[j],RED);
for(i=2;i<=degree;i=i+2){
    cx[i]=(data_view[i]/1.5*cos((i+270)*M_PI/180))+250;
    cy[i]=(data_view[i]/1.5*sin((i+270)*M_PI/180))+240;
    setcolor(LIGHTBLUE);
    setlinestyle(0,0,1);
    moveto(cx[i],cy[i]);

```

```

    lineto(cx[k],cy[m]);
    k=i;
    m=i;
}
cx[j]=(data_view[j]/1.5*cos((j+270)*M_PI/180))+250;
cy[j]=(data_view[j]/1.5*sin((j+270)*M_PI/180))+240;
setcolor(LIGHTBLUE);
setlinestyle(0,0,1);
moveto(cx[j],cy[j]);
lineto(250,240);
}
void draw_graph()
{
    setcolor(LIGHTGRAY);
    setlinestyle(0,0,1);
    circle(250,240,0);
    circle(250,240,30);
    circle(250,240,60);
    circle(250,240,90);
    circle(250,240,120);
    circle(250,240,150);
    moveto(100,240);
    lineto(400,240);
    moveto(250,90);
    lineto(250,390);
    setcolor(LIGHTCYAN);
    setlinestyle(0,0,1);
    outtextxy(247,80,"0");
    outtextxy(406,235,"90");
    outtextxy(238,405,"180");
    outtextxy(74,235,"270");
}

```

```
void draw_graph2()
{
    clearviewport();
    setcolor(LIGHTGRAY);
    setlinestyle(0,0,1);
    circle(315,230,0);
    circle(315,230,35);
    circle(315,230,70);
    circle(315,230,105);
    circle(315,230,140);
    circle(315,230,180);
    moveto(495,230);
    lineto(137,230);
    moveto(315,50);
    lineto(315,410);
    setcolor(LIGHTCYAN);
    setlinestyle(0,0,1);
    outtextxy(313,38,"0");
    outtextxy(500,230,"90");
    outtextxy(305,415,"180");
    outtextxy(110,230,"270");
}
void scan()
{
    degree1=2;
    for(i=2;i<=degree;i=i+2)
    {
        delay(300);
        outport(0x37A,1);
        delay(300);
    }
}
```

```

    data_demo1[i]=inport(0x379);
    outport(0x37A,0);
    delay(300);
    data_demo2[i]=inport(0x379);
    data_demo3[i]=data_demo1[i];
    data_demo4[i]=data_demo2[i];
    data_view1[i]=((data_demo3[i]+data_demo4[i])*230)/240;
    data_view[i]=data_view1[i];
    if(data_view[i] < data_view[i-1] )data_view[i]=
    data_view[i]/2;
if(i%degree1==0) rf_new[i]=data_view[i];
if(rfmax<rf_new[i]){
rfmax=rf_new[i];
degmax=i;
}
scx=150*cos((((i-degree1))+270)*M_PI/180)+250;
scy=150*sin((((i-degree1))+270)*M_PI/180)+240;
setcolor(BLACK);
moveto(250,240);
lineto(scx,scy);
scx=150*cos(((i)+270)*M_PI/180)+250;
scy=150*sin(((i)+270)*M_PI/180)+240;
setcolor(LIGHTCYAN);
moveto(250,240);
lineto(scx,scy);
delay(300);
outport(0x378,data[turn1]);
turn1++;
if (turn1>3) turn1=0;
turn++;
delay(300);

```

```

/*****/
    if(i==degree1){
cx[i]=(rf_new[i]/1.5)*cos((i+270)*M_PI/180)+250;
cy[i]=(rf_new[i]/1.5)*sin((i+270)*M_PI/180)+240;
k=i;
putpixel(cx[i],cy[i],WHITE);
}
drow_graph();
}
}
void soomdata()
{
drow_graph2();
j=0;
do{
j++;
if(j%degree==0){
cx[j]=(data_view[j]/1.5*cos((j+270)*M_PI/180))+315;
cy[j]=(data_view[j]/1.5*sin((j+270)*M_PI/180))+232;
} delay(10);
}
while(j%degree!=0);
k=315;
m=232;
cx[k]=315;
cy[m]=232;
putpixel(cx[j],cy[j],RED);
for(i=1;i<=degree;i++){
cx[i]=(data_view[i]/1.5*cos((i+270)*M_PI/180))+315;
cy[i]=(data_view[i]/1.5*sin((i+270)*M_PI/180))+232;
}
}
}

```

```

setcolor(LIGHTBLUE);
setlinestyle(0,0,1);
moveto(cx[i],cy[i]);
lineto(cx[k],cy[m]);
k=i;
m=i;
}
cx[j]=(data_view[j]/1.5*cos((j+270)*M_PI/180))+315;
cy[j]=(data_view[j]/1.5*sin((j+270)*M_PI/180))+232;
setcolor(LIGHTBLUE);
setlinestyle(0,0,1);
moveto(cx[j],cy[j]);
lineto(315,232);
run: shift=getch();
if(shift=='b' || shift=='B') manu2();
else goto run;
}
/***** RUN PATTURN2 *****/
void runpatturn2()
{
j=0;
do{
j++;
if(j%degree==0){
cx[j]=(data_view[j]/1.5*cos((j+270)*M_PI/180))+250;
cy[j]=(data_view[j]/1.5*sin((j+270)*M_PI/180))+240;
} delay(10);
}
while(j%degree!=0);
k=250;
m=240;

```

```

cx[k]=250;
cy[m]=240;
putpixel(cx[j],cy[j],RED);
for(i=1;i<=degree;i++){
cx[i]=(data_view[i]/1.5*cos((i+270)*M_PI/180))+250;
cy[i]=(data_view[i]/1.5*sin((i+270)*M_PI/180))+240;
setcolor(LIGHTBLUE);
setlinestyle(0,0,1);
moveto(cx[i],cy[i]);
lineto(cx[k],cy[m]);
k=i;
m=i;
delay(200);
}
cx[j]=(data_view[j]/1.5*cos((j+270)*M_PI/180))+250;
cy[j]=(data_view[j]/1.5*sin((j+270)*M_PI/180))+240;
setcolor(LIGHTBLUE);
setlinestyle(0,0,1);
moveto(cx[j],cy[j]);
lineto(250,240);
}

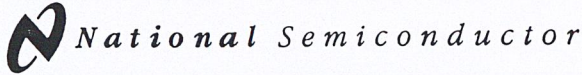
void open_graph()
{
int gmode,gdriver=DETECT;
initgraph(&gdriver,&gmode,"c:\\tc\\bgi");
}

```

ภาคผนวก ง

Data Sheet

3d  
 ji-  
 re  
 is  
 'D  
 3d  
 s)  
 er  
 s-  
 ig



## ADC0801/ADC0802/ADC0803/ADC0804/ADC0805 8-Bit $\mu$ P Compatible A/D Converters

### General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE<sup>®</sup> output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

### Features

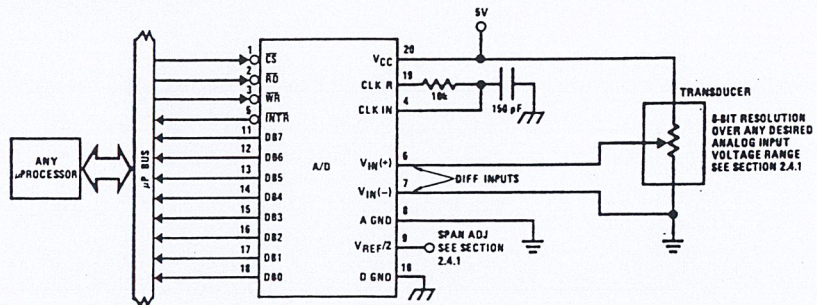
- Compatible with 8080  $\mu$ P derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"

- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5  $V_{DC}$ , 2.5  $V_{DC}$ , or analog span adjusted voltage reference

### Key Specifications

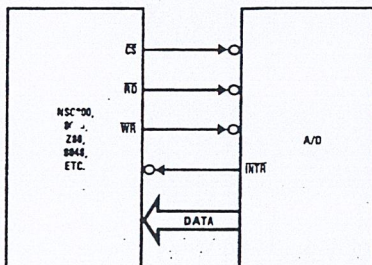
- Resolution 8 bits
- Total error  $\pm 1/4$  LSB,  $\pm 1/2$  LSB and  $\pm 1$  LSB
- Conversion time 100  $\mu$ s

### Typical Applications



TL/H/5671-1

8080 Interface



TL/H/5671-31

Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity)

Part Number	Full-Scale Adjusted	$V_{REF}/2 = 2.500 V_{DC}$ (No Adjustments)	$V_{REF}/2 = \text{No Connection}$ (No Adjustments)
ADC0801	$\pm 1/4$ LSB		
ADC0802		$\pm 1/2$ LSB	
ADC0803	$\pm 1/2$ LSB		
ADC0804		$\pm 1$ LSB	
ADC0805			$\pm 1$ LSB

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805

### Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ( $V_{CC}$ ) (Note 3)	6.5V
Voltage	
Logic Control Inputs	-0.3V to +18V
At Other Input and Outputs	-0.3V to ( $V_{CC} + 0.3V$ )
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Storage Temperature Range	-65°C to +150°C
Package Dissipation at $T_A = 25^\circ\text{C}$	875 mW
ESD Susceptibility (Note 10)	800V

### Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
ADC0801/02LJ, ADC0802LJ/883	$-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$
ADC0801/02/03/04LCJ	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$
ADC0801/02/03/05LCN	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$
ADC0804LCN	$0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$
ADC0802/03/04LCV	$0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$
ADC0802/03/04LCWM	$0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$
Range of $V_{CC}$	4.5 $V_{DC}$ to 6.3 $V_{DC}$

### Electrical Characteristics

The following specifications apply for  $V_{CC} = 5 V_{DC}$ ,  $T_{MIN} \leq T_A \leq T_{MAX}$  and  $f_{CLK} = 640$  kHz unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/4$	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2 = 2.500 V_{DC}$			$\pm 1/2$	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/2$	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2 = 2.500 V_{DC}$			$\pm 1$	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$ -No Connection			$\pm 1$	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		k $\Omega$ k $\Omega$
Analog Input Voltage Range	(Note 4) $V(+)$ or $V(-)$	Gnd-0.05		$V_{CC} + 0.05$	$V_{DC}$
DC Common-Mode Error	Over Analog Input Voltage Range		$\pm 1/16$	$\pm 1/8$	LSB
Power Supply Sensitivity	$V_{CC} = 5 V_{DC} \pm 10\%$ Over Allowed $V_{IN}(+)$ and $V_{IN}(-)$ Voltage Range (Note 4)		$\pm 1/16$	$\pm 1/8$	LSB

### AC Electrical Characteristics

The following specifications apply for  $V_{CC} = 5 V_{DC}$  and  $T_A = 25^\circ\text{C}$  unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$T_C$	Conversion Time	$f_{CLK} = 640$ kHz (Note 6)	103		114	$\mu\text{s}$
$T_C$	Conversion Time	(Note 5, 6)	66		73	$1/f_{CLK}$
$f_{CLK}$	Clock Frequency Clock Duty Cycle	$V_{CC} = 5V$ , (Note 5) (Note 5)	100 40	640	1460 60	kHz %
CR	Conversion Rate in Free-Running Mode	$\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS} = 0 V_{DC}$ , $f_{CLK} = 640$ kHz	8770		9708	conv/s
$t_{W(\overline{WR})L}$	Width of $\overline{WR}$ Input (Start Pulse Width)	$\overline{CS} = 0 V_{DC}$ (Note 7)	100			ns
$t_{ACC}$	Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid)	$C_L = 100$ pF		135	200	ns
$t_{1H}, t_{0H}$	TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	$C_L = 10$ pF, $R_L = 10k$ (See TRI-STATE Test Circuits)		125	200	ns
$t_{Wl}, t_{Fl}$	Delay from Falling Edge of $\overline{WR}$ or $\overline{RD}$ to Reset of $\overline{INTR}$			300	450	ns
$C_{IN}$	Input Capacitance of Logic Control Inputs			5	7.5	pF
$C_{OUT}$	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF
<b>CONTROL INPUTS</b> [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
$V_{IN}(1)$	Logical "1" Input Voltage (Except Pin 4 CLK IN)	$V_{CC} = 5.25 V_{DC}$	2.0		15	$V_{DC}$

**AC Electrical Characteristics** (Continued)

The following specifications apply for  $V_{CC} = 5V_{DC}$  and  $T_{MIN} \leq T_A \leq T_{MAX}$ , unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>CONTROL INPUTS</b> [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
$V_{IN(0)}$	Logical "0" Input Voltage (Except Pin 4 CLK IN)	$V_{CC} = 4.75 V_{DC}$			0.8	$V_{DC}$
$I_{IN(1)}$	Logical "1" Input Current (All Inputs)	$V_{IN} = 5 V_{DC}$		0.005	1	$\mu A_{DC}$
$I_{IN(0)}$	Logical "0" Input Current (All Inputs)	$V_{IN} = 0 V_{DC}$	-1	-0.005		$\mu A_{DC}$
<b>CLOCK IN AND CLOCK R</b>						
$V_{T+}$	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	$V_{DC}$
$V_{T-}$	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	$V_{DC}$
$V_H$	CLK IN (Pin 4) Hysteresis ( $V_{T+} - V_{T-}$ )		0.6	1.3	2.0	$V_{DC}$
$V_{OUT(0)}$	Logical "0" CLK R Output Voltage	$I_O = 360 \mu A$ $V_{CC} = 4.75 V_{DC}$			0.4	$V_{DC}$
$V_{OUT(1)}$	Logical "1" CLK R Output Voltage	$I_O = -360 \mu A$ $V_{CC} = 4.75 V_{DC}$	2.4			$V_{DC}$
<b>DATA OUTPUTS AND INTR</b>						
$V_{OUT(0)}$	Logical "0" Output Voltage Data Outputs INTR Output	$I_{OUT} = 1.6 mA, V_{CC} = 4.75 V_{DC}$ $I_{OUT} = 1.0 mA, V_{CC} = 4.75 V_{DC}$			0.4 0.4	$V_{DC}$ $V_{DC}$
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = -360 \mu A, V_{CC} = 4.75 V_{DC}$	2.4			$V_{DC}$
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = -10 \mu A, V_{CC} = 4.75 V_{DC}$	4.5			$V_{DC}$
$I_{OUT}$	TRI-STATE Disabled Output Leakage (All Data Buffers)	$V_{OUT} = 0 V_{DC}$ $V_{OUT} = 5 V_{DC}$	-3		3	$\mu A_{DC}$ $\mu A_{DC}$
$I_{SOURCE}$		$V_{OUT}$ Short to Gnd, $T_A = 25^\circ C$	4.5	6		$mA_{DC}$
$I_{SINK}$		$V_{OUT}$ Short to $V_{CC}$ , $T_A = 25^\circ C$	9.0	16		$mA_{DC}$
<b>POWER SUPPLY</b>						
$I_{CC}$	Supply Current (Includes Ladder Current)  ADC0801/02/03/04LCJ/05 ADC0804LCN/LCV/LCWM	$f_{CLK} = 640 kHz$ , $V_{REF/2} = NC$ , $T_A = 25^\circ C$ and $\overline{CS} = 5V$			1.1 <del>1.0</del>	1.8 2.5 $mA$ $mA$

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists, internally, from  $V_{CC}$  to Gnd and has a typical breakdown voltage of  $7 V_{DC}$ .

Note 4: For  $V_{IN(-)} \geq V_{IN(+)}$  the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the  $V_{CC}$  supply. Be careful, during testing at low  $V_{CC}$  levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The output spec allows 50 mV forward bias of either diode. This means that as long as the analog  $V_{IN}$  does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute  $0 V_{DC}$  to  $5 V_{DC}$  input voltage range will therefore require a minimum supply voltage of  $4.950 V_{DC}$  over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at  $f_{CLK} = 640 kHz$ . At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see Figure 2 and section 2.0.

Note 7: The  $\overline{CS}$  input is assumed to bracket the  $\overline{WR}$  strobe input and therefore timing is dependent on the  $\overline{WR}$  pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the  $\overline{WR}$  pulse (see timing diagrams).

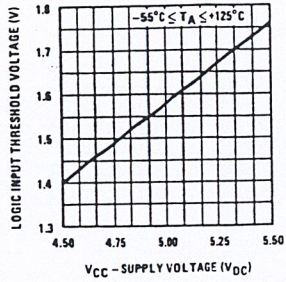
Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and Figure 5.

Note 9: The  $V_{REF/2}$  pin is the center point of a two-resistor divider connected from  $V_{CC}$  to ground. In all versions of the ADC0801, ADC0802, ADC0803, and ADC0805, and in the ADC0804LCJ, each resistor is typically 16 k $\Omega$ . In all versions of the ADC0804 except the ADC0804LCJ, each resistor is typically 2.2 k $\Omega$ .

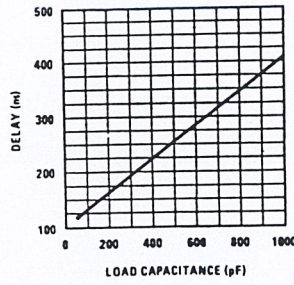
Note 10: Human body model, 100 pF discharged through a 1.5 k $\Omega$  resistor.

## Typical Performance Characteristics

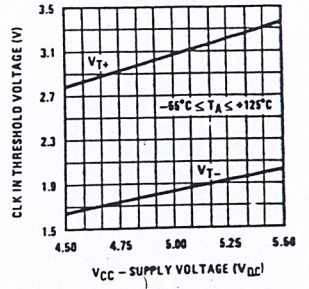
Logic Input Threshold Voltage vs. Supply Voltage



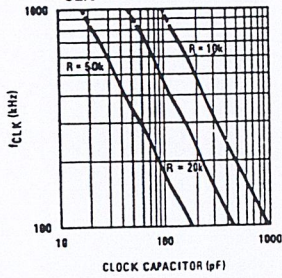
Delay From Falling Edge of RD to Output Data Valid vs. Load Capacitance



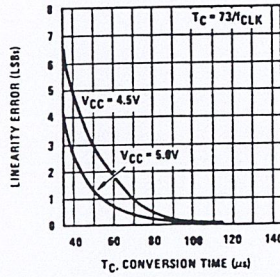
CLK IN Schmitt Trip Levels vs. Supply Voltage



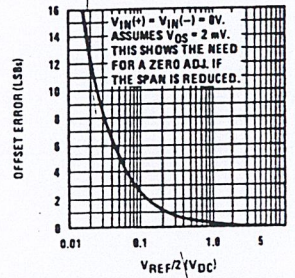
fCLK vs. Clock Capacitor



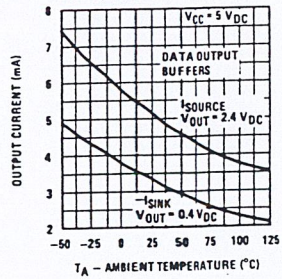
Full-Scale Error vs Conversion Time



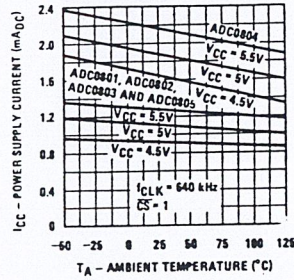
Effect of Unadjusted Offset Error vs. VREF/2 Voltage



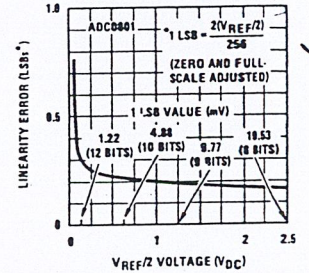
Output Current vs Temperature



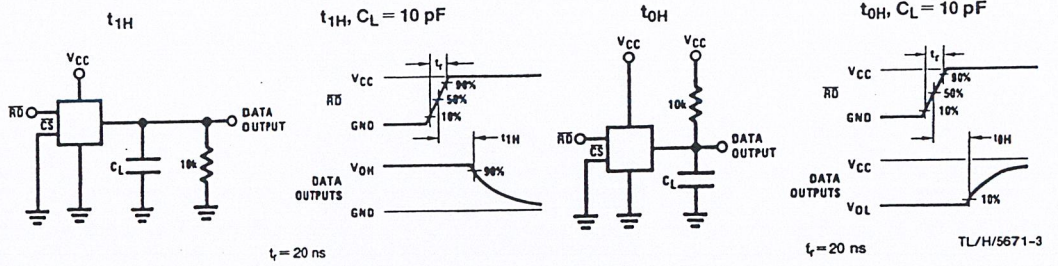
Power Supply Current vs Temperature (Note 9)



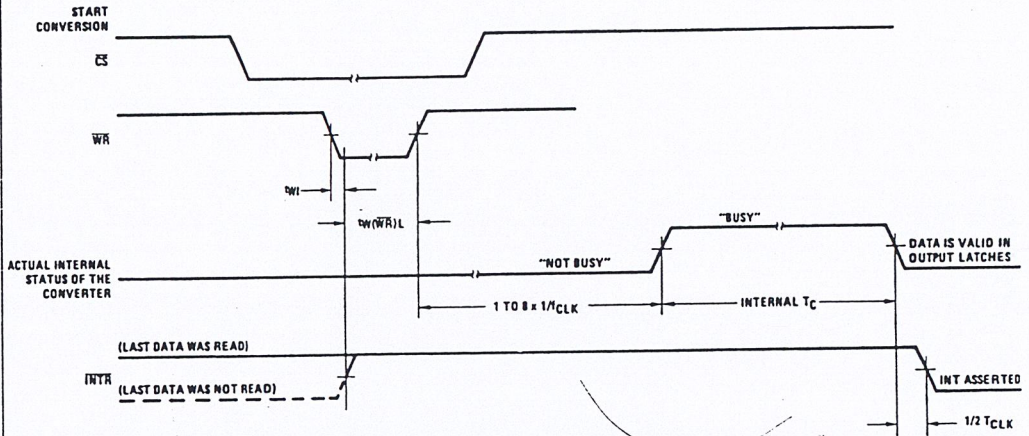
Linearity Error at Low VREF/2 Voltages



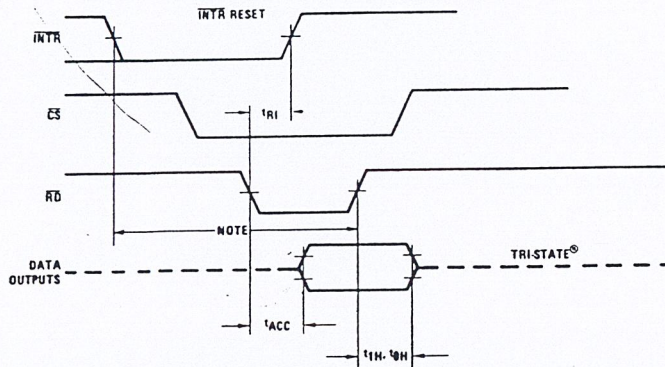
### TRI-STATE Test Circuits and Waveforms



### Timing Diagrams (All timing is measured from the 50% voltage points)



### Output Enable and Reset $\overline{INTR}$

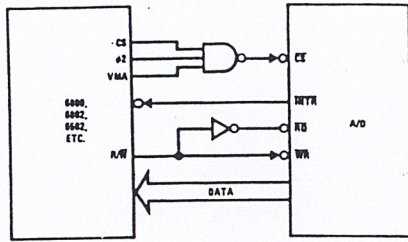


Note: Read strobe must occur 8 clock periods ( $8/f_{CLK}$ ) after assertion of interrupt to guarantee reset of  $\overline{INTR}$ .

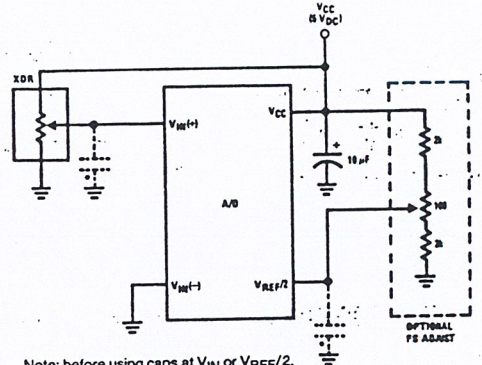
TL/H/5671-4

Typical Applications (Continued)

6800 Interface

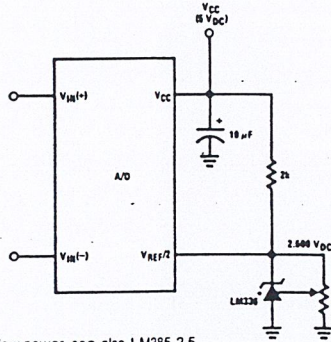


Ratiometric with Full-Scale Adjust



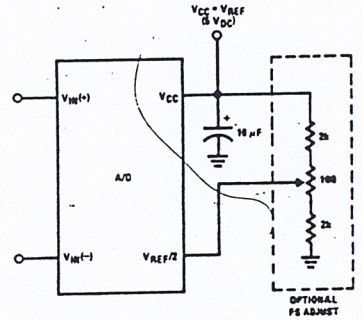
Note: before using caps at VIN or VREF/2, see section 2.3.2 Input Bypass Capacitors.

Absolute with a 2.500V Reference

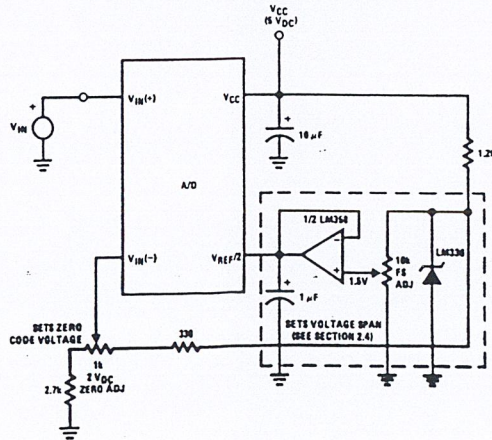


\*For low power, see also LM385-2.5

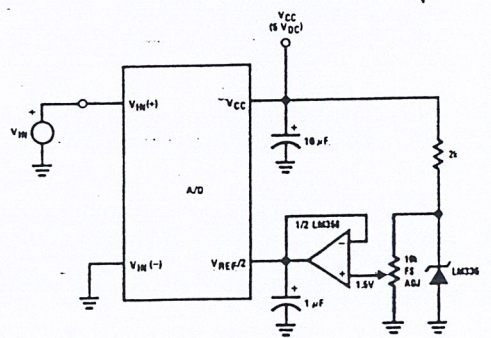
Absolute with a 5V Reference



Zero-Shift and Span Adjust:  $2V \leq V_{IN} \leq 5V$

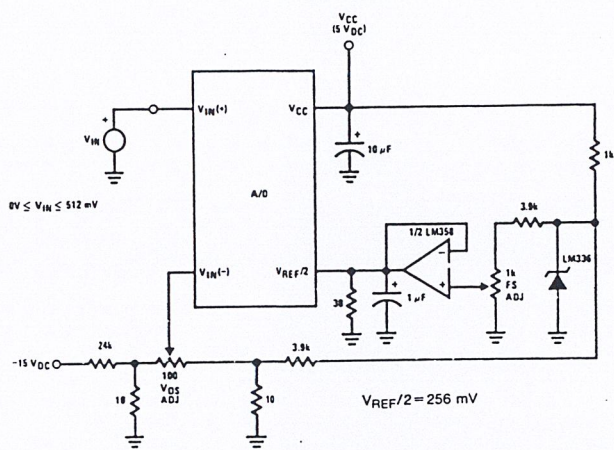


Span Adjust:  $0V \leq V_{IN} \leq 3V$

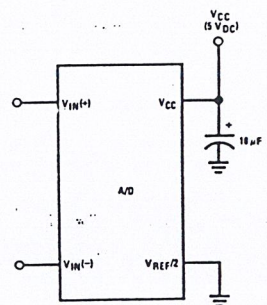


Typical Applications (Continued)

Directly Converting a Low-Level Signal

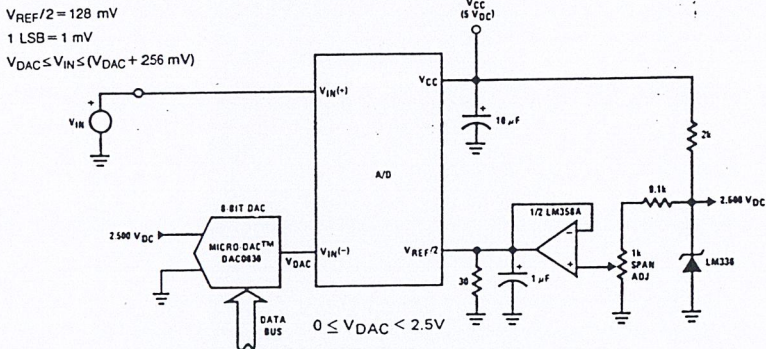


A  $\mu P$  Interfaced Comparator

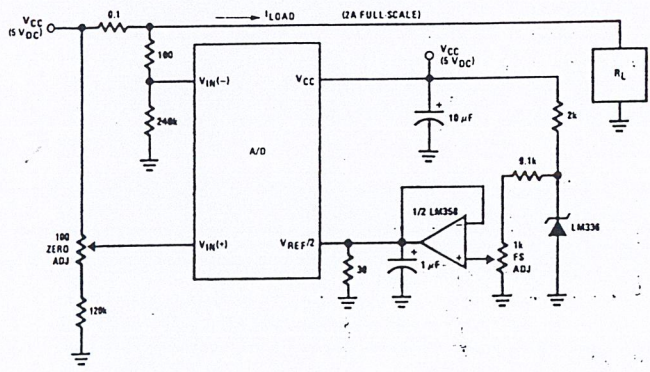


For  $V_{IN(+)} > V_{IN(-)}$   
 Output = FF<sub>HEX</sub>  
 For  $V_{IN(+)} < V_{IN(-)}$   
 Output = 00<sub>HEX</sub>

1 mV Resolution with  $\mu P$  Controlled Range



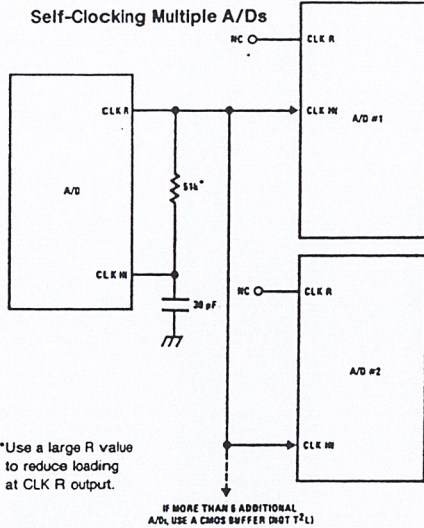
Digitizing a Current Flow



TL/H/5871-6

Typical Applications (Continued)

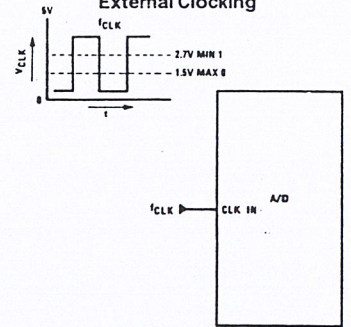
Self-Clocking Multiple A/Ds



\*Use a large R value to reduce loading at CLK R output.

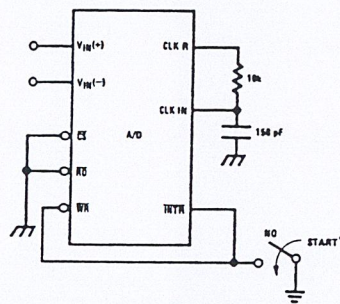
IF MORE THAN 6 ADDITIONAL A/Ds, USE A CMOS BUFFER (NOT 7421)

External Clocking



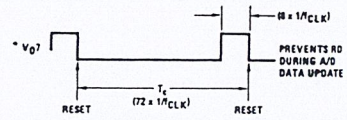
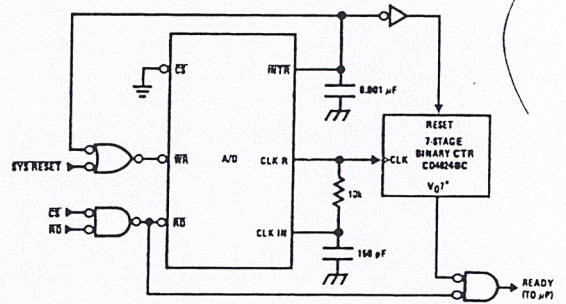
$100 \text{ kHz} \leq f_{\text{CLK}} \leq 1460 \text{ kHz}$

Self-Clocking In Free-Running Mode

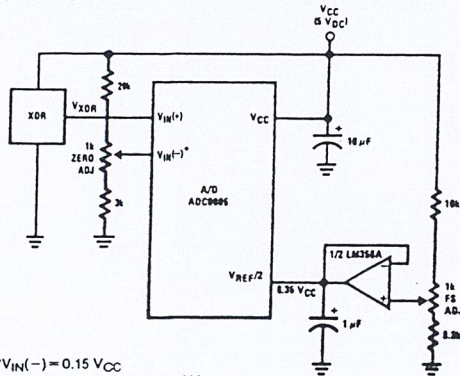


\*After power-up, a momentary grounding of the WR input is needed to guarantee operation.

μP Interface for Free-Running A/D

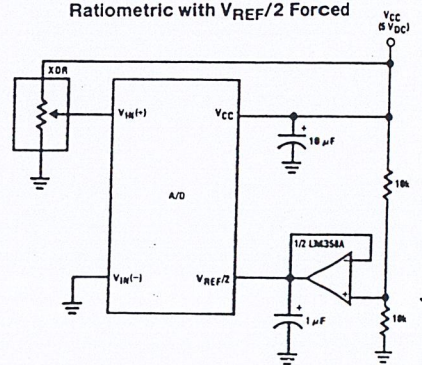


Operating with "Automotive" Ratiometric Transducers



\* $V_{\text{IN}(-)} = 0.15 V_{\text{CC}}$   
 $15\% \text{ of } V_{\text{CC}} \leq V_{\text{XDR}} \leq 85\% \text{ of } V_{\text{CC}}$

Ratiometric with  $V_{\text{REF}}/2$  Forced

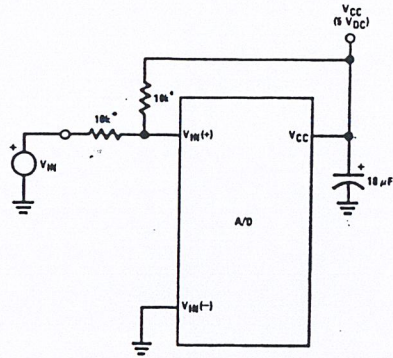


TUH/5671-7



## Typical Applications (Continued)

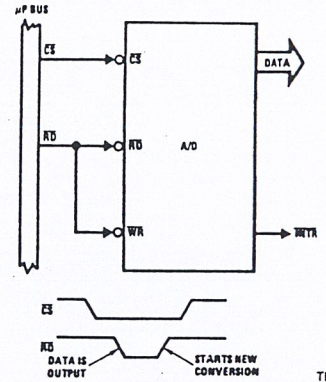
### Handling $\pm 5V$ Analog Inputs



TL/H/5671-33

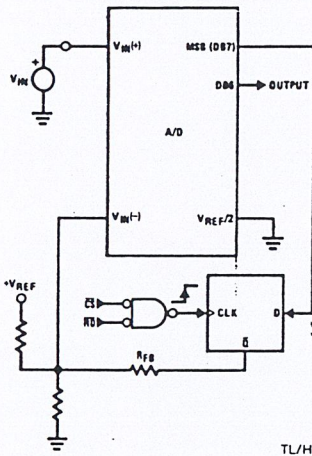
\*Beckman Instruments # 694-3-R10K resistor array

### Read-Only Interface



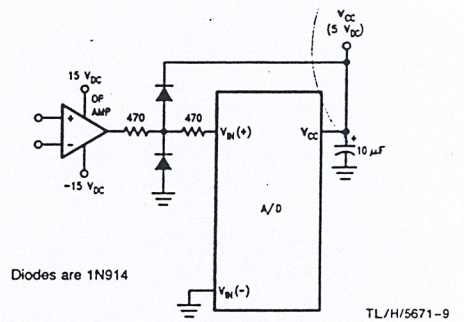
TL/H/5671-34

### $\mu P$ Interfaced Comparator with Hysteresis



TL/H/5671-35

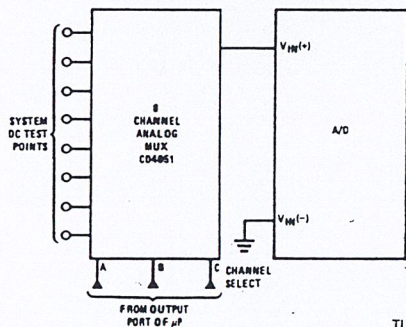
### Protecting the Input



Diodes are 1N914

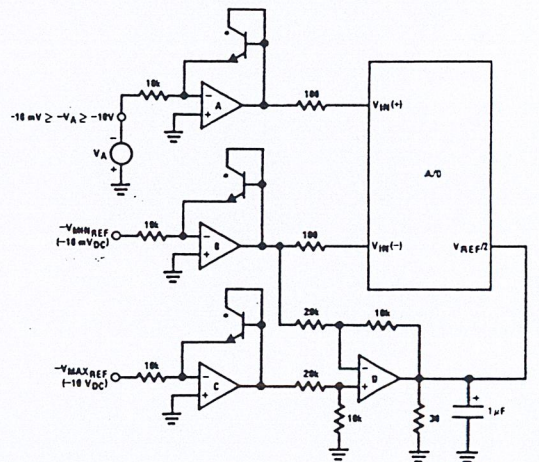
TL/H/5671-9

### Analog Self-Test for a System



TL/H/5671-36

### A Low-Cost, 3-Decade Logarithmic Converter



\*LM389 transistors

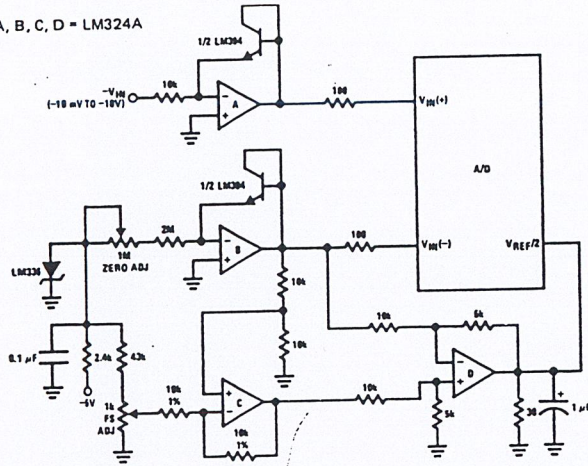
A, B, C, D = LM324A quad op amp

TL/H/5671-37

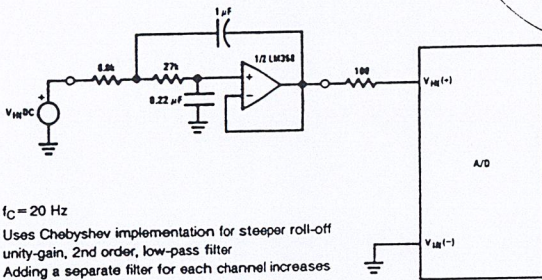
Typical Applications (Continued)

3-Decade Logarithmic A/D Converter

A, B, C, D = LM324A

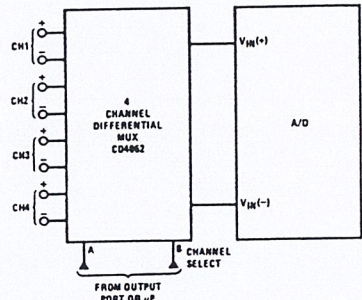


Noise Filtering the Analog Input

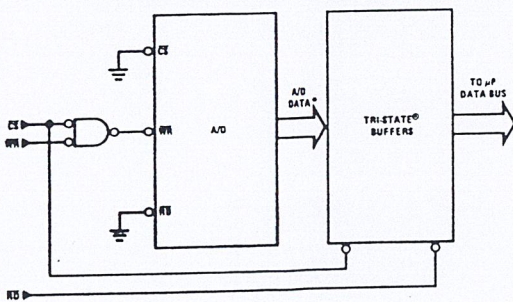


$f_c = 20$  Hz  
 Uses Chebyshev implementation for steeper roll-off unity-gain, 2nd order, low-pass filter  
 Adding a separate filter for each channel increases system response time if an analog multiplexer is used

Multiplexing Differential Inputs

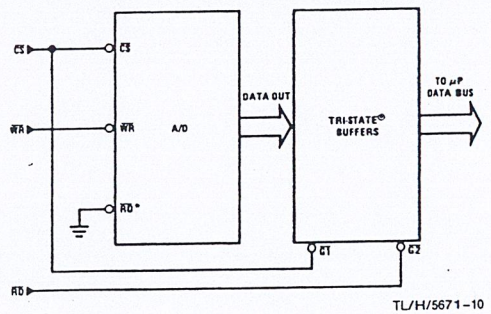


Output Buffers with A/D Data Enabled



\*A/D output data is updated 1 CLK period prior to assertion of INTR

Increasing Bus Drive and/or Reducing Time on Bus



\*Allows output data to set-up at falling edge of CS

## Functional Description

### 1.0 UNDERSTANDING A/D ERROR SPECS

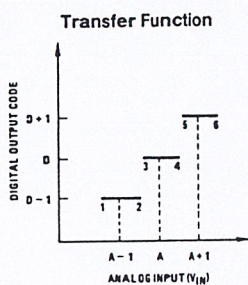
A perfect A/D transfer characteristic (staircase waveform) is shown in *Figure 1a*. The horizontal scale is analog input voltage and the particular points labeled are in steps of 1 LSB (19.53 mV with 2.5V tied to the  $V_{REF}/2$  pin). The digital output codes that correspond to these inputs are shown as  $D-1$ ,  $D$ , and  $D+1$ . For the perfect A/D, not only will center-value ( $A-1$ ,  $A$ ,  $A+1$ , . . .) analog inputs produce the correct output digital codes, but also each riser (the transitions between adjacent output codes) will be located  $\pm 1/2$  LSB away from each center-value. As shown, the risers are ideal and have no width. Correct digital output codes will be provided for a range of analog input voltages that extend  $\pm 1/2$  LSB from the ideal center-values. Each tread (the range of analog input voltage that provides the same digital output code) is therefore 1 LSB wide.

*Figure 1b* shows a worst case error plot for the ADC0801. All center-valued inputs are guaranteed to produce the correct output codes and the adjacent risers are guaranteed to be no closer to true center-value points than  $\pm 1/4$  LSB. In

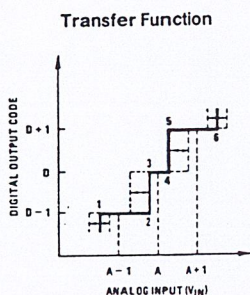
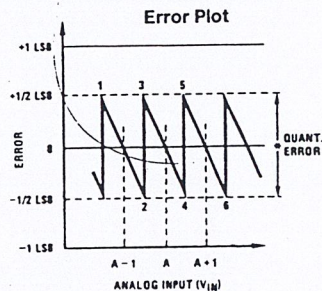
other words, if we apply an analog input equal to the center-value  $\pm 1/4$  LSB, we guarantee that the A/D will produce the correct digital code. The maximum range of the position of the code transition is indicated by the horizontal arrow and it is guaranteed to be no more than  $1/2$  LSB.

The error curve of *Figure 1c* shows a worst case error plot for the ADC0802. Here we guarantee that if we apply an analog input equal to the LSB analog voltage center-value the A/D will produce the correct digital code.

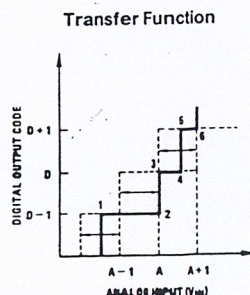
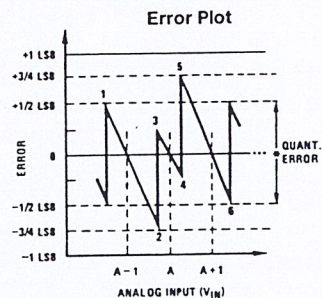
Next to each transfer function is shown the corresponding error plot. Many people may be more familiar with error plots than transfer functions. The analog input voltage to the A/D is provided by either a linear ramp or by the discrete output steps of a high resolution DAC. Notice that the error is continuously displayed and includes the quantization uncertainty of the A/D. For example the error at point 1 of *Figure 1a* is  $+1/2$  LSB because the digital code appeared  $1/2$  LSB in advance of the center-value of the tread. The error plots always have a constant negative slope and the abrupt upside steps are always 1 LSB in magnitude.



a) Accuracy =  $\pm 0$  LSB: A Perfect A/D



b) Accuracy =  $\pm 1/4$  LSB



c) Accuracy =  $\pm 1/2$  LSB

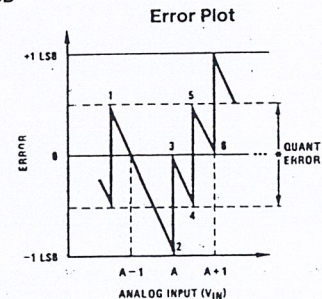


FIGURE 1. Clarifying the Error Specs of an A/D Converter

## Functional Description (Continued)

After the "1" is clocked through the 8-bit shift register (which completes the SAR search) it appears as the input to the D-type latch, LATCH 1. As soon as this "1" is output from the shift register, the AND gate, G2, causes the new digital word to transfer to the TRI-STATE output latches. When LATCH 1 is subsequently enabled, the Q output makes a high-to-low transition which causes the INTR F/F to set. An inverting buffer then supplies the INTR input signal.

Note that this  $\overline{\text{SET}}$  control of the INTR F/F remains low for 8 of the external clock periods (as the internal clocks run at  $\frac{1}{4}$  of the frequency of the external clock). If the data output is continuously enabled ( $\overline{\text{CS}}$  and  $\overline{\text{RD}}$  both held low), the INTR output will still signal the end of conversion (by a high-to-low transition), because the  $\overline{\text{SET}}$  input can control the Q output of the INTR F/F even though the RESET input is constantly at a "1" level in this operating mode. This INTR output will therefore stay low for the duration of the  $\overline{\text{SET}}$  signal, which is 8 periods of the external clock frequency (assuming the A/D is not started during this interval).

When operating in the free-running or continuous conversion mode (INTR pin tied to  $\overline{\text{WR}}$  and  $\overline{\text{CS}}$  wired low—see also section 2.8), the START F/F is SET by the high-to-low transition of the INTR signal. This resets the SHIFT REGISTER which causes the input to the D-type latch, LATCH 1, to go low. As the latch enable input is still present, the Q output will go high, which then allows the INTR F/F to be RESET. This reduces the width of the resulting INTR output pulse to only a few propagation delays (approximately 300 ns).

When data is to be read, the combination of both  $\overline{\text{CS}}$  and  $\overline{\text{RD}}$  being low will cause the INTR F/F to be reset and the TRI-STATE output latches will be enabled to provide the 8-bit digital outputs.

### 2.1 Digital Control Inputs

The digital control inputs ( $\overline{\text{CS}}$ ,  $\overline{\text{RD}}$ , and  $\overline{\text{WR}}$ ) meet standard TTL logic voltage levels. These signals have been renamed when compared to the standard A/D Start and Output Enable labels. In addition, these inputs are active low to allow an easy interface to microprocessor control busses. For non-microprocessor based applications, the  $\overline{\text{CS}}$  input (pin 1) can be grounded and the standard A/D Start function is obtained by an active low pulse applied at the  $\overline{\text{WR}}$  input (pin 3) and the Output Enable function is caused by an active low pulse at the  $\overline{\text{RD}}$  input (pin 2).

### 2.2 Analog Differential Voltage Inputs and Common-Mode Rejection

This A/D has additional applications flexibility due to the analog differential voltage input. The  $V_{\text{IN}}(-)$  input (pin 7) can be used to automatically subtract a fixed voltage value from the input reading (tare correction). This is also useful in 4 mA–20 mA current loop conversion. In addition, common-mode noise can be reduced by use of the differential input. The time interval between sampling  $V_{\text{IN}}(+)$  and  $V_{\text{IN}}(-)$  is  $4\frac{1}{2}$  clock periods. The maximum error voltage due to this

slight time difference between the input voltage samples is given by:

$$\Delta V_e(\text{MAX}) = (V_p) (2\pi f_{\text{cm}}) \left( \frac{4.5}{f_{\text{CLK}}} \right),$$

where:

$\Delta V_e$  is the error voltage due to sampling delay

$V_p$  is the peak value of the common-mode voltage

$f_{\text{cm}}$  is the common-mode frequency

As an example, to keep this error to  $\frac{1}{4}$  LSB ( $\sim 5$  mV) when operating with a 60 Hz common-mode frequency,  $f_{\text{cm}}$ , and using a 640 kHz A/D clock,  $f_{\text{CLK}}$ , would allow a peak value of the common-mode voltage,  $V_p$ , which is given by:

$$V_p = \frac{[\Delta V_e(\text{MAX})] (f_{\text{CLK}})}{(2\pi f_{\text{cm}})} \quad (4.5)$$

or

$$V_p = \frac{(5 \times 10^{-3}) (640 \times 10^3)}{(6.28) (60) (4.5)}$$

which gives

$$V_p \approx 1.9\text{V}.$$

The allowed range of analog input voltages usually places more severe restrictions on input common-mode noise levels.

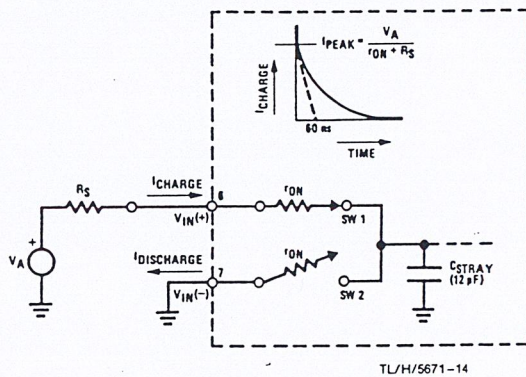
An analog input voltage with a reduced span and a relatively large zero offset can be handled easily by making use of the differential input (see section 2.4 Reference Voltage).

### 2.3 Analog Inputs

#### 2.3.1 Input Current

##### Normal Mode

Due to the internal switching action, displacement currents will flow at the analog inputs. This is due to on-chip stray capacitance to ground as shown in Figure 3.



$r_{\text{ON}}$  of SW 1 and SW 2  $\approx 5$  k $\Omega$   
 $t = r_{\text{ON}} C_{\text{STRAY}} \approx 5$  k $\Omega \times 12$  pF = 60 ns

FIGURE 3. Analog Input Impedance

## Functional Description (Continued)

The voltage on this capacitance is switched and will result in currents entering the  $V_{IN}(+)$  input pin and leaving the  $V_{IN}(-)$  input which will depend on the analog differential input voltage levels. These current transients occur at the leading edge of the internal clocks. They rapidly decay and *do not cause errors* as the on-chip comparator is strobed at the end of the clock period.

### Fault Mode

If the voltage source applied to the  $V_{IN}(+)$  or  $V_{IN}(-)$  pin exceeds the allowed operating range of  $V_{CC} + 50$  mV, large input currents can flow through a parasitic diode to the  $V_{CC}$  pin. If these currents can exceed the 1 mA max allowed spec, an external diode (1N914) should be added to bypass this current to the  $V_{CC}$  pin (with the current bypassed with this diode, the voltage at the  $V_{IN}(+)$  pin can exceed the  $V_{CC}$  voltage by the forward voltage of this diode).

### 2.3.2 Input Bypass Capacitors

Bypass capacitors at the inputs will average these charges and cause a DC current to flow through the output resistances of the analog signal sources. This charge pumping action is worse for continuous conversions with the  $V_{IN}(+)$  input voltage at full-scale. For continuous conversions with a 640 kHz clock frequency with the  $V_{IN}(+)$  input at 5V, this DC current is at a maximum of approximately  $5 \mu\text{A}$ . Therefore, *bypass capacitors should not be used at the analog inputs or the  $V_{REF}/2$  pin for high resistance sources ( $> 1$  k $\Omega$ )*. If input bypass capacitors are necessary for noise filtering and high source resistance is desirable to minimize capacitor size, the detrimental effects of the voltage drop across this input resistance, which is due to the average value of the input current, can be eliminated with a full-scale adjustment while the given source resistor and input bypass capacitor are both in place. This is possible because the average value of the input current is a precise linear function of the differential input voltage.

### 2.3.3 Input Source Resistance

Large values of source resistance where an input bypass capacitor is not used, *will not cause errors* as the input currents settle out prior to the comparison time. If a low pass filter is required in the system, use a low valued series resistor ( $\leq 1$  k $\Omega$ ) for a passive RC section or add an op amp RC active low pass filter. For low source resistance applications, ( $\leq 1$  k $\Omega$ ), a  $0.1 \mu\text{F}$  bypass capacitor at the inputs will prevent noise pickup due to series lead inductance of a long wire. A  $100\Omega$  series resistor can be used to isolate this capacitor—both the R and C are placed outside the feedback loop—from the output of an op amp, if used.

### 2.3.4 Noise

The leads to the analog inputs (pin 6 and 7) should be kept as short as possible to minimize input noise coupling. Both noise and undesired digital clock coupling to these inputs can cause system errors. The source resistance for these inputs should, in general, be kept below 5 k $\Omega$ . Larger values of source resistance can cause undesired system noise pickup. Input bypass capacitors, placed from the analog inputs to ground, will eliminate system noise pickup but can create analog scale errors as these capacitors will average the transient input switching currents of the A/D (see section 2.3.1.). This scale error depends on both a large source

resistance and the use of an input bypass capacitor. This error can be eliminated by doing a full-scale adjustment of the A/D (adjust  $V_{REF}/2$  for a proper full-scale reading—see section 2.5.2 on Full-Scale Adjustment) with the source resistance and input bypass capacitor in place.

## 2.4 Reference Voltage

### 2.4.1 Span Adjust

For maximum applications flexibility, these A/Ds have been designed to accommodate a  $5 V_{DC}$ ,  $2.5 V_{DC}$  or an adjusted voltage reference. This has been achieved in the design of the IC as shown in Figure 4.

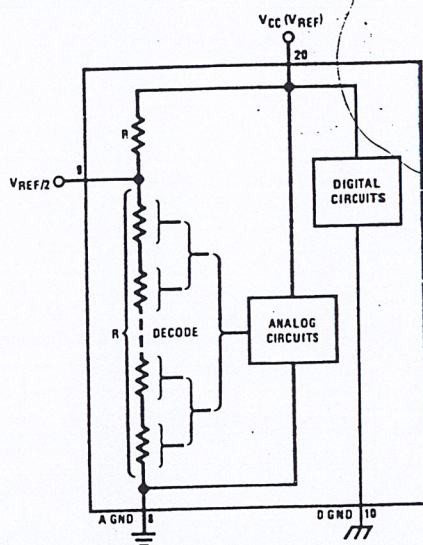


FIGURE 4. The  $V_{REFERENCE}$  Design on the IC

Notice that the reference voltage for the IC is either  $1/2$  of the voltage applied to the  $V_{CC}$  supply pin, or is equal to the voltage that is externally forced at the  $V_{REF}/2$  pin. This allows for a ratiometric voltage reference using the  $V_{CC}$  supply, a  $5 V_{DC}$  reference voltage can be used for the  $V_{CC}$  supply or a voltage less than  $2.5 V_{DC}$  can be applied to the  $V_{REF}/2$  input for increased application flexibility. The internal gain to the  $V_{REF}/2$  input is 2, making the full-scale differential input voltage twice the voltage at pin 9.

An example of the use of an adjusted reference voltage is to accommodate a reduced span—or dynamic voltage range of the analog input voltage. If the analog input voltage were to range from  $0.5 V_{DC}$  to  $3.5 V_{DC}$ , instead of  $0\text{V}$  to  $5 V_{DC}$ , the span would be  $3\text{V}$  as shown in Figure 5. With  $0.5 V_{DC}$  applied to the  $V_{IN}(-)$  pin to absorb the offset, the reference voltage can be made equal to  $1/2$  of the  $3\text{V}$  span or  $1.5 V_{DC}$ . The A/D now will encode the  $V_{IN}(+)$  signal from  $0.5\text{V}$  to  $3.5\text{V}$  with the  $0.5\text{V}$  input corresponding to zero and the  $3.5 V_{DC}$  input corresponding to full-scale. The full 8 bits of resolution are therefore applied over this reduced analog input voltage range.

## Functional Description (Continued)

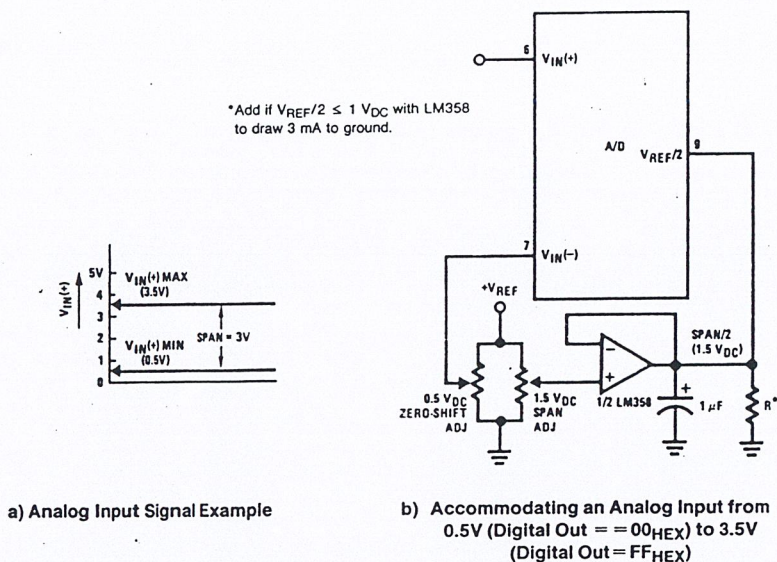


FIGURE 5. Adapting the A/D Analog Input Voltages to Match an Arbitrary Input Signal Range

## 2.4.2 Reference Accuracy Requirements

The converter can be operated in a ratiometric mode or an absolute mode. In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter and therefore cancels out in the final digital output code. The ADC0805 is specified particularly for use in ratiometric applications with no adjustments required. In absolute conversion applications, both the initial value and the temperature stability of the reference voltage are important factors in the accuracy of the A/D converter. For  $V_{REF}/2$  voltages of 2.4  $V_{DC}$  nominal value, initial errors of  $\pm 10$  mV $_{DC}$  will cause conversion errors of  $\pm 1$  LSB due to the gain of 2 of the  $V_{REF}/2$  input. In reduced span applications, the initial value and the stability of the  $V_{REF}/2$  input voltage become even more important. For example, if the span is reduced to 2.5V, the analog input LSB voltage value is correspondingly reduced from 20 mV (5V span) to 10 mV and 1 LSB at the  $V_{REF}/2$  input becomes 5 mV. As can be seen, this reduces the allowed initial tolerance of the reference voltage and requires correspondingly less absolute change with temperature variations. Note that spans smaller than 2.5V place even tighter requirements on the initial accuracy and stability of the reference source.

In general, the magnitude of the reference voltage will require an initial adjustment. Errors due to an improper value of reference voltage appear as full-scale errors in the A/D transfer function. IC voltage regulators may be used for references if the ambient temperature changes are not excessive. The LM336B 2.5V IC reference diode (from National Semiconductor) has a temperature stability of 1.8 mV typ (6 mV max) over  $0^{\circ}\text{C} \leq T_A \leq +70^{\circ}\text{C}$ . Other temperature range parts are also available.

## 2.5 Errors and Reference Voltage Adjustments

## 2.5.1 Zero Error

The zero of the A/D does not require adjustment. If the minimum analog input voltage value,  $V_{IN(MIN)}$ , is not ground, a zero offset can be done. The converter can be made to output 0000 0000 digital code for this minimum input voltage by biasing the A/D  $V_{IN(-)}$  input at this  $V_{IN(MIN)}$  value (see Applications section). This utilizes the differential mode operation of the A/D.

The zero error of the A/D converter relates to the location of the first riser of the transfer function and can be measured by grounding the  $V_{IN(-)}$  input and applying a small magnitude positive voltage to the  $V_{IN(+)}$  input. Zero error is the difference between the actual DC input voltage that is necessary to just cause an output digital code transition from 0000 0000 to 0000 0001 and the ideal  $\frac{1}{2}$  LSB value ( $\frac{1}{2}$  LSB = 9.8 mV for  $V_{REF}/2 = 2.500 V_{DC}$ ).

## 2.5.2 Full-Scale

The full-scale adjustment can be made by applying a differential input voltage that is  $1\frac{1}{2}$  LSB less than the desired analog full-scale voltage range and then adjusting the magnitude of the  $V_{REF}/2$  input (pin 9 or the  $V_{CC}$  supply if pin 9 is not used) for a digital output code that is just changing from 1111 1110 to 1111 1111.

## Functional Description (Continued)

### 2.5.3 Adjusting for an Arbitrary Analog Input Voltage Range

If the analog zero voltage of the A/D is shifted away from ground (for example, to accommodate an analog input signal that does not go to ground) this new zero reference should be properly adjusted first. A  $V_{IN(+)}$  voltage that equals this desired zero reference plus  $\frac{1}{2}$  LSB (where the LSB is calculated for the desired analog span,  $1 \text{ LSB} = \text{analog span}/256$ ) is applied to pin 6 and the zero reference voltage at pin 7 should then be adjusted to just obtain the  $00_{\text{HEX}}$  to  $01_{\text{HEX}}$  code transition.

The full-scale adjustment should then be made (with the proper  $V_{IN(-)}$  voltage applied) by forcing a voltage to the  $V_{IN(+)}$  input which is given by:

$$V_{IN(+)} \text{ fs adj} = V_{\text{MAX}} - 1.5 \left[ \frac{V_{\text{MAX}} - V_{\text{MIN}}}{256} \right]$$

where:

$V_{\text{MAX}}$  = The high end of the analog input range

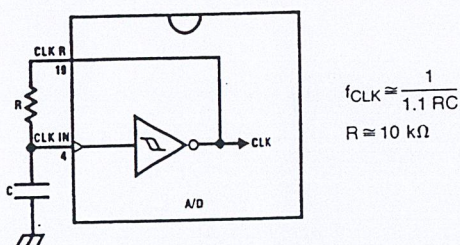
and

$V_{\text{MIN}}$  = the low end (the offset zero) of the analog range. (Both are ground referenced.)

The  $V_{\text{REF}}/2$  (or  $V_{\text{CC}}$ ) voltage is then adjusted to provide a code change from  $FE_{\text{HEX}}$  to  $FF_{\text{HEX}}$ . This completes the adjustment procedure.

### 2.6 Clocking Option

The clock for the A/D can be derived from the CPU clock or an external RC can be added to provide self-clocking. The CLK IN (pin 4) makes use of a Schmitt trigger as shown in Figure 6.



TL/H/5671-17

FIGURE 6. Self-Clocking the A/D

Heavy capacitive or DC loading of the clock R pin should be avoided as this will disturb normal converter operation. Loads less than 50 pF, such as driving up to 7 A/D converter clock inputs from a single clock R pin of 1 converter, are allowed. For larger clock line loading, a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the clock R pin (do not use a standard TTL buffer).

### 2.7 Restart During a Conversion

If the A/D is restarted ( $\overline{\text{CS}}$  and  $\overline{\text{WR}}$  go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the

conversion in process is not allowed to be completed, therefore the data of the previous conversion remains in this latch. The  $\overline{\text{INTR}}$  output simply remains at the "1" level.

### 2.8 Continuous Conversions

For operation in the free-running mode an initializing pulse should be used, following power-up, to ensure circuit operation. In this application, the  $\overline{\text{CS}}$  input is grounded and the  $\overline{\text{WR}}$  input is tied to the  $\overline{\text{INTR}}$  output. This  $\overline{\text{WR}}$  and  $\overline{\text{INTR}}$  node should be momentarily forced to logic low following a power-up cycle to guarantee operation.

### 2.9 Driving the Data Bus

This MOS A/D, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry, which is tied to the data bus, will add to the total capacitive loading, even in TRI-STATE (high impedance mode). Backplane bussing also greatly adds to the stray capacitance of the data bus.

There are some alternatives available to the designer to handle this problem. Basically, the capacitive loading of the data bus slows down the response time, even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency, more time is available in which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see typical characteristics curves).

At higher CPU clock frequencies time can be extended for I/O reads (and/or writes) by inserting wait states (8080) or using clock extending circuits (6800).

Finally, if time is short and capacitive loading is high, external bus drivers must be used. These can be TRI-STATE buffers (low power Schottky such as the DM74LS240 series is recommended) or special higher drive current products which are designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended.

### 2.10 Power Supplies

Noise spikes on the  $V_{\text{CC}}$  supply line can cause conversion errors as the comparator will respond to this noise. A low inductance tantalum filter capacitor should be used close to the converter  $V_{\text{CC}}$  pin and values of  $1 \mu\text{F}$  or greater are recommended. If an unregulated voltage is available in the system, a separate LM340LAZ-5.0, TO-92, 5V voltage regulator for the converter (and other analog circuitry) will greatly reduce digital noise on the  $V_{\text{CC}}$  supply.

### 2.11 Wiring and Hook-Up Precautions

Standard digital wire wrap sockets are not satisfactory for breadboarding this A/D converter. Sockets on PC boards can be used and all logic signal wires and leads should be grouped and kept as far away as possible from the analog signal leads. Exposed leads to the analog inputs can cause undesired digital noise and hum pickup, therefore shielded leads may be necessary in many applications.

### Functional Description (Continued)

A single point analog ground that is separate from the logic ground points should be used. The power supply bypass capacitor and the self-clocking capacitor (if used) should both be returned to digital ground. Any  $V_{REF}/2$  bypass capacitors, analog input filter capacitors, or input signal shielding should be returned to the analog ground point. A test for proper grounding is to measure the zero error of the A/D converter. Zero errors in excess of  $1/4$  LSB can usually be traced to improper board layout and wiring (see section 2.5.1 for measuring the zero error).

### 3.0 TESTING THE A/D CONVERTER

There are many degrees of complexity associated with testing an A/D converter. One of the simplest tests is to apply a known analog input voltage to the converter and use LEDs to display the resulting digital output code as shown in Figure 7.

For ease of testing, the  $V_{REF}/2$  (pin 9) should be supplied with  $2.560 V_{DC}$  and a  $V_{CC}$  supply voltage of  $5.12 V_{DC}$  should be used. This provides an LSB value of 20 mV.

If a full-scale adjustment is to be made, an analog input voltage of  $5.090 V_{DC}$  ( $5.120 - 1/2$  LSB) should be applied to the  $V_{IN}(+)$  pin with the  $V_{IN}(-)$  pin grounded. The value of the  $V_{REF}/2$  input voltage should then be adjusted until the digital output code is just changing from 1111 1110 to 1111 1111. This value of  $V_{REF}/2$  should then be used for all the tests.

The digital output LED display can be decoded by dividing the 8 bits into 2 hex characters, the 4 most significant (MS) and the 4 least significant (LS). Table I shows the fractional binary equivalent of these two 4-bit groups. By adding the voltages obtained from the "VMS" and "VLS" columns in Table I, the nominal value of the digital display (when

$V_{REF}/2 = 2.560V$ ) can be determined. For example, for an output LED display of 1011 0110 or B6 (in hex), the voltage values from the table are  $3.520 + 0.120$  or  $3.640 V_{DC}$ . These voltage values represent the center-values of a perfect A/D converter. The effects of quantization error have to be accounted for in the interpretation of the test results.

For a higher speed test system, or to obtain plotted data, a digital-to-analog converter is needed for the test set-up. An accurate 10-bit DAC can serve as the precision voltage source for the A/D. Errors of the A/D under test can be expressed as either analog voltages or differences in 2 digital words.

A basic A/D tester that uses a DAC and provides the error as an analog output voltage is shown in Figure 8. The 2 op amps can be eliminated if a lab DVM with a numerical subtraction feature is available to read the difference voltage, "A-C", directly. The analog input voltage can be supplied by a low frequency ramp generator and an X-Y plotter can be used to provide analog error (Y axis) versus analog input (X axis).

For operation with a microprocessor or a computer-based test system, it is more convenient to present the errors digitally. This can be done with the circuit of Figure 9, where the output code transitions can be detected as the 10-bit DAC is incremented. This provides  $1/4$  LSB steps for the 8-bit A/D under test. If the results of this test are automatically plotted with the analog input on the X axis and the error (in LSB's) as the Y axis, a useful transfer function of the A/D under test results. For acceptance testing, the plot is not necessary and the testing speed, can be increased by establishing internal limits on the allowed error for each code.

### 4.0 MICROPROCESSOR INTERFACING

To discuss the interface with 8080A and 6800 microprocessors, a common sample subroutine structure is used. The microprocessor starts the A/D, reads and stores the results of 16 successive conversions, then returns to the user's program. The 16 data bytes are stored in 16 successive memory locations. All Data and Addresses will be given in hexadecimal form. Software and hardware details are provided separately for each type of microprocessor.

#### 4.1 Interfacing 8080 Microprocessor Derivatives (8048, 8085)

This converter has been designed to directly interface with derivatives of the 8080 microprocessor. The A/D can be mapped into memory space (using standard memory address decoding for  $\overline{CS}$  and the  $\overline{MEMR}$  and  $\overline{MEMW}$  strobes) or it can be controlled as an I/O device by using the  $\overline{I/O R}$  and  $\overline{I/O W}$  strobes and decoding the address bits A0  $\rightarrow$  A7 (or address bits A8  $\rightarrow$  A15 as they will contain the same 8-bit address information) to obtain the  $\overline{CS}$  input. Using the I/O space provides 256 additional addresses and may allow a simpler 8-bit address decoder but the data can only be input to the accumulator. To make use of the additional memory reference instructions, the A/D should be mapped into memory space. An example of an A/D in I/O space is shown in Figure 10.

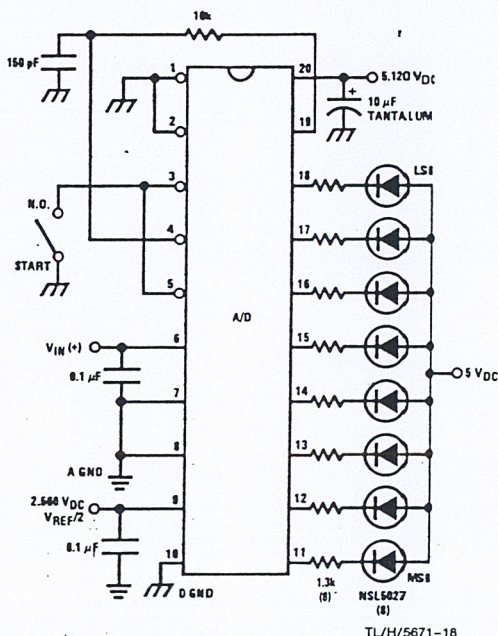


FIGURE 7. Basic A/D Tester

Functional Description (Continued)

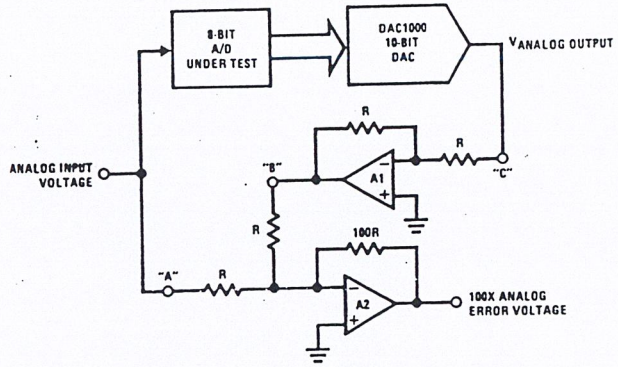


FIGURE 8. A/D Tester with Analog Error Output

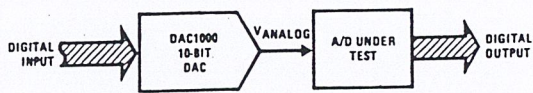


FIGURE 9. Basic "Digital" A/D Tester

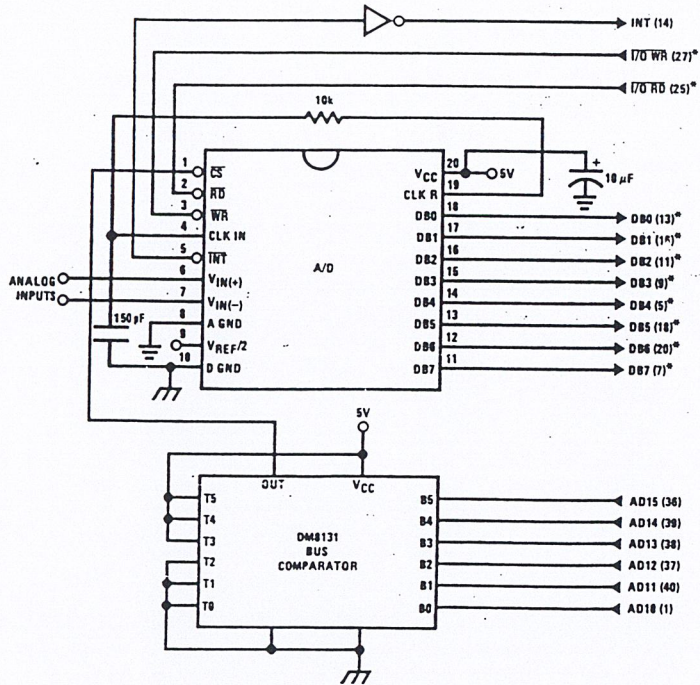
TL/H/5671-19

TABLE I. DECODING THE DIGITAL OUTPUT LEDS

HEX	BINARY	FRACTIONAL BINARY VALUE FOR		OUTPUT VOLTAGE CENTER VALUES WITH $V_{REF}/2 = 2.560 V_{DC}$	
		MS GROUP	LS GROUP	VMS GROUP*	VLS GROUP*
F	1 1 1 1	15/16	15/256	4.800	0.300
E	1 1 1 0	7/8	7/128	4.480	0.280
D	1 1 0 1	13/16	13/256	4.160	0.260
C	1 1 0 0	3/4	3/64	3.840	0.240
B	1 0 1 1	11/16	11/256	3.520	0.220
A	1 0 1 0	5/8	5/128	3.200	0.200
9	1 0 0 1	9/16	9/256	2/880	0.180
8	1 0 0 0	1/2	1/32	2/560	0.160
7	0 1 1 1	7/16	7/256	2.240	0.140
6	0 1 1 0	3/8	3/128	1.920	0.120
5	0 1 0 1	5/16	2/256	1.600	0.100
4	0 1 0 0	1/4	1/64	1/280	0.080
3	0 0 1 1	3/16	3/256	0.960	0.060
2	0 0 1 0	1/8	1/128	0.640	0.040
1	0 0 0 1	1/16	1/256	0.320	0.020
0	0 0 0 0			0	0

\*Display Output = VMS Group + VLS Group

Functional Description (Continued)



TL/H/5671-20

Note 1: \*Pin numbers for the DP8228 system controller, others are INS8080A.

Note 2: Pin 23 of the INS8228 must be tied to +12V through a 1 kΩ resistor to generate the RST 7 instruction when an interrupt is acknowledged as required by the accompanying sample program.

FIGURE 10. ADC0801-INS8080A CPU Interface

SAMPLE PROGRAM FOR FIGURE 10 ADC0801-INS8080A CPU INTERFACE

```

0038 C3 00 03 RST 7: JMP LD DATA
. . .
0100 21 00 02 START: LXI H 0200H ;HL pair will point to
;data storage locations
0103 31 00 04 RETURN: LXI SP 0400H ;Initialize stackpointer (Note 1)
0106 7D MOV A, L ;Test # of bytes entered
0107 FE 0F CPI OF H ;If # = 16. JMP to
0109 CA 13 01 JZ CONT ;user program
010C D3 E0 OUT EO H ;Start A/D
010E FB EI ;Enable interrupt
010F 00 LOOP: NOP ;Loop until end of
0110 C3 0F 01 JMP LOOP ;conversion
0113 . CONT: .
. . .
. . . (User program t .
. . . process data) .
. . .
0300 DB E0 LDDATA: IN EO H ;Load data into accumulator
0302 77 MOV M, A ;Store data
0303 23 INX H ;Increment storage pointer
0304 C3 03 01 JMP RETURN
    
```

Note 1: The stack pointer must be dimensioned because a RST 7 instruction pushes the PC onto the stack.

Note 2: All address used were arbitrarily chosen.

### Functional Description (Continued)

The standard control bus signals of the 8080 ( $\overline{CS}$ ,  $\overline{RD}$  and  $\overline{WR}$ ) can be directly wired to the digital control inputs of the A/D and the bus timing requirements are met to allow both starting the converter and outputting the data onto the data bus. A bus driver should be used for larger microprocessor systems where the data bus leaves the PC board and/or must drive capacitive loads larger than 100 pF.

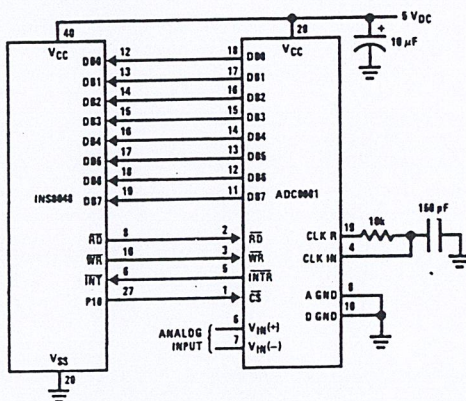
#### 4.1.1 Sample 8080A CPU Interfacing Circuitry and Program

The following sample program and associated hardware shown in Figure 10 may be used to input data from the converter to the INS8080A CPU chip set (comprised of the INS8080A microprocessor, the INS8228 system controller and the INS8224 clock generator). For simplicity, the A/D is controlled as an I/O device, specifically an 8-bit bi-directional port located at an arbitrarily chosen port address, E0. The TRI-STATE output capability of the A/D eliminates the need for a peripheral interface device, however address decoding is still required to generate the appropriate  $\overline{CS}$  for the converter.

It is important to note that in systems where the A/D converter is 1-of-8 or less I/O mapped devices, no address decoding circuitry is necessary. Each of the 8 address bits (A0 to A7) can be directly used as  $\overline{CS}$  inputs—one for each I/O device.

#### 4.1.2 INS8048 Interface

The INS8048 interface technique with the ADC0801 series (see Figure 11) is simpler than the 8080A CPU interface. There are 24 I/O lines and three test input lines in the 8048. With these extra I/O lines available, one of the I/O lines (bit 0 of port 1) is used as the chip select signal to the A/D, thus eliminating the use of an external address decoder. Bus control signals  $\overline{RD}$ ,  $\overline{WR}$  and  $\overline{INTR}$  of the 8048 are tied directly to the A/D. The 16 converted data words are stored at on-chip RAM locations from 20 to 2F (Hex). The  $\overline{RD}$  and  $\overline{WR}$  signals are generated by reading from and writing into a dummy address, respectively. A sample interface program is shown below.



TL/H/5671-21

FIGURE 11. INS8048 Interface

#### SAMPLE PROGRAM FOR FIGURE 11 INS8048 INTERFACE

04 10		JMP	10H	: Program starts at addr 10
		ORG	3H	
04 50		JMP	50H	; Interrupt jump vector
		ORG	10H	; Main program
99 FE		ANL	P1, #0FEH	; Chip select
81		MOVX	A, @R1	; Read in the 1st data
				; to reset the intr
89 01	START:	ORL	P1, #1	; Set port pin high
B8 20		MOV	RO, #20H	; Data address
B9 FF		MOV	R1, #0FFH	; Dummy address
BA 10		MOV	R2, #10H	; Counter for 16 bytes
23 FF	AGAIN:	MOV	A, #0FFH	; Set ACC for intr loop
99 FE		ANL	P1, #0FEH	; Send CS (bit 0 of P1)
91		MOVX	@R1, A	; Send WR out
05		EN	I	; Enable interrupt
96 21	LOOP:	JNZ	LOOP	; Wait for interrupt
EA 1B		DJNZ	R2, AGAIN	; If 16 bytes are read
00		NOP		; go to user's program
00		NOP		
		ORG	50H	
81	INDATA:	MOVX	A, @R1	; Input data, CS still low
A0		MOV	@RO, A	; Store in memory
18		INC	RO	; Increment storage counter
89 01		ORL	P1, #1	; Reset CS signal
27		CLR	A	; Clear ACC to get out of
93		RETR		; the interrupt loop



## Functional Description (Continued)

### SAMPLE PROGRAM FOR FIGURE 14 ADC0801-MC6800 CPU INTERFACE

0010	DF 36	DATAIN	STX	TEMP2	; Save contents of X
0012	CE 00 2C		LDX	#\$002C	; Upon IRQ low CPU
0015	FFF F8		STX	\$\$\$F8	; jumps to 002C
0018	B7 50 00		STAA	\$5000	; Start ADC0801
001B	0E		CLI		
001C	3E	CONVRT	WAI		; Wait for interrupt
001D	DE 34		LDX	TEMP1	
001F	8C 02 0F		CPX	#\$020F	; Is final data stored?
0022	27 14		BEQ	ENDP1	
0024	B7 50 00		STAA	\$5000	; Restarts ADC0801
0027	08		INX		
0028	DF 34		STX	TEMP1	
002A	20 F0		BRA	CONVRT	
002C	DE 34	INTRPT	LDX	TEMP1	
002E	B6 50 00		LDAA	\$5000	; Read data
0031	A7 00		STAA	X	; Store it at X
0033	3B		RTI		
0034	02 00	TEMP1	FDB	\$0200	; Starting address for ; data storage
0036	00 00	TEMP2	FDB	\$0000	
0038	CE 02 00	ENDP	LDX	#\$0200	; Reinitialize TEMP1
003B	DF 34		STX	TEMP1	
003D	DE 36		LDX	TEMP2	
003F	39		RTS		; Return from subroutine ; To user's program

Note 1: In order for the microprocessor to service subroutines and interrupts, the stack pointer must be dimensioned in the user's program.

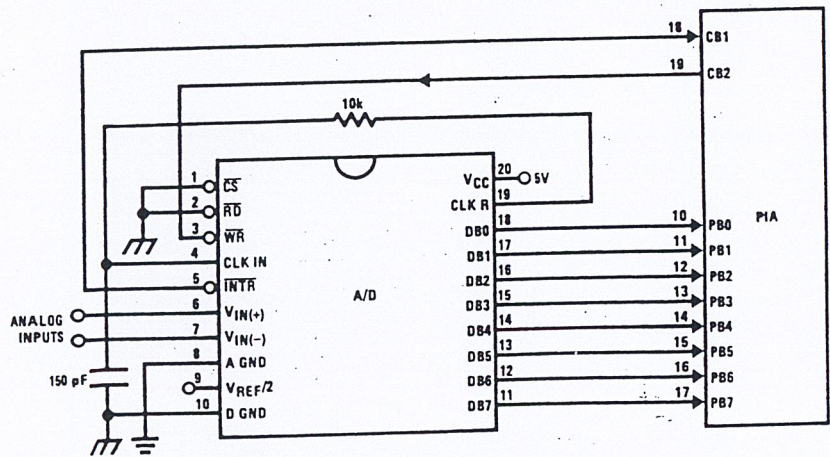


FIGURE 15. ADC0801-MC6820 PIA Interface

## Functional Description (Continued)

## SAMPLE PROGRAM FOR FIGURE 15 ADC0801-MC6820 PIA INTERFACE

```

0010 CE 00 38      DATAIN  LDX      #$0038      ; Upon  $\overline{\text{IRQ}}$  low CPU
0013 FF FF F8      STX      $FFF8      ; jumps to 0038
0016 B6 80 06      LDAA     PIAORB     ; Clear possible  $\overline{\text{IRQ}}$  flags
0019 4F             CLRA
001A B7 80 07      STAA     PIACRB
001D B7 80 06      STAA     PIAORB     ; Set Port B as input
0020 0E             CLI
0021 C6 34         LDAB     #$34
0023 86 3D         LDAA     #$3D
0025 F7 80 07      CONVRT  STAB     PIACRB     ; Starts ADC0801
0028 B7 80 07      STAA     PIACRB
002B 3E             WAI
002C DE 40         LDX      TEMP1
002E 8C 02 0F      CPX     #$020F     ; Is final data stored?
0031 27 0F         BEQ     ENDP
0033 08             INX
0034 DF 40         STX     TEMP1
0036 20 ED         BRA     CONVRT
0038 DE 40         INTRPT  LDX     TEMP1
003A B6 80 06      LDAA     PIAORB     ; Read data in
003D A7 00         STAA     X          ; Store it at X
003F 3B             RTI
0040 02 00         TEMP1  FDB     $0200 ; Starting address for
                                ; data storage
0042 CE 02 00      ENDP    LDX     #$0200 ; Reinitialize TEMP1
0045 DF 40         STX     TEMP1
0047 39             RTS
                                ; Return from subroutine
                                ; To user's program
                                PIAORB  EQU     $8006
                                PIACRB  EQU     $8007

```

The following schematic and sample subroutine (DATA IN) may be used to interface (up to) 8 ADC0801's directly to the MC6800 CPU. This scheme can easily be extended to allow the interface of more converters. In this configuration the converters are (arbitrarily) located at HEX address 5000 in the MC6800 memory space. To save components, the clock signal is derived from just one RC pair on the first converter. This output drives the other A/Ds.

All the converters are started simultaneously with a STORE instruction at HEX address 5000. Note that any other HEX address of the form 5XXX will be decoded by the circuit, pulling all the  $\overline{\text{CS}}$  inputs low. This can easily be avoided by using a more definitive address decoding scheme. All the interrupts are ORed together to insure that all A/Ds have completed their conversion before the microprocessor is interrupted.

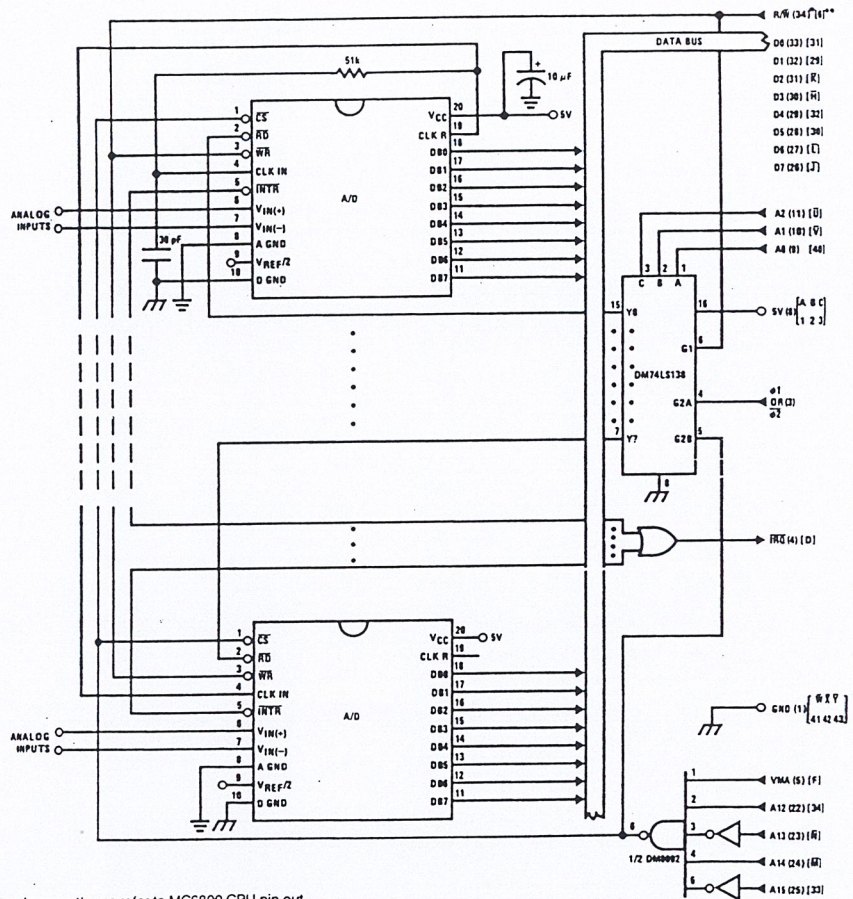
The subroutine, DATA IN, may be called from anywhere in the user's program. Once called, this routine initializes the

CPU, starts all the converters simultaneously and waits for the interrupt signal. Upon receiving the interrupt, it reads the converters (from HEX addresses 5000 through 5007) and stores the data successively at (arbitrarily chosen) HEX addresses 0200 to 0207, before returning to the user's program. All CPU registers then recover the original data they had before servicing DATA IN.

### 5.2 Auto-Zeroed Differential Transducer Amplifier and A/D Converter

The differential inputs of the ADC0801 series eliminate the need to perform a differential to single ended conversion for a differential transducer. Thus, one op amp can be eliminated since the differential to single ended conversion is provided by the differential input of the ADC0801 series. In general, a transducer preamp is required to take advantage of the full A/D converter input dynamic range.

Functional Description (Continued)



Note 1: Numbers in parentheses refer to MC6800 CPU pin out.  
 Note 2: Numbers of letters in brackets refer to standard M6800 system common bus code.

TL/H/5671-26

FIGURE 16. Interfacing Multiple A/Ds in an MC6800 System  
 SAMPLE PROGRAM FOR FIGURE 16 INTERFACING MULTIPLE A/Ds IN AN MC6800 SYSTEM

ADDRESS	HEX CODE	MNEMONICS	COMMENTS
0010	DF 44	DATAIN STX TEMP	; Save Contents of X
0012	CE 00 2A	LDX #002A	; Upon $\overline{IRQ}$ LOW CPU
0015	FF FF F8	STX \$FFF8	; Jumps to 002A
0018	B7 50 00	STAA \$5000	; Starts all A/D's
001B	0E	CLI	
001C	3E	WAI	; Wait for interrupt
001D	CE 50 00	LDX \$5000	
0020	DF 40	STX INDEX1	; Reset both INDEX
0022	CE 02 00	LDX #0200	; 1 and 2 to starting
0025	DF 42	STX INDEX2	; addresses
0027	DE 44	LDX TEMP	
0029	39	RTS	; Return from subroutine
002A	DE 40	INTRPT LDX INDEX1	; INDEX1 $\rightarrow$ X
002C	A6 00	LDAA X	; Read data in from A/D at X
002E	08	INX	; Increment X by one
002F	DF 40	STX INDEX1	; X $\rightarrow$ INDEX1
0031	DE 42	LDX INDEX2	; INDEX2 $\rightarrow$ X

## Functional Description (Continued)

SAMPLE PROGRAM FOR FIGURE 16 INTERFACING MULTIPLE A/Ds IN AN MC6800 SYSTEM

ADDRESS	HEX CODE	MNEMONICS	COMMENTS
0033	A7 00	STAA X	; Store data at X
0035	8C 02 07	CPX #\$0207	; Have all A/D's been read?
0038	27 05	BEQ RETURN	; Yes: branch to RETURN
003A	08	INX	; No: increment X by one
003B	DF 42	STX INDEX2	; X → INDEX2
003D	20 EB	BRA INTRPT	; Branch to 002A
003F	3B	RETURN RTI	
0040	50 00	INDEX1 FDB \$5000	; Starting address for A/D
0042	02 00	INDEX2 FDB \$0200	; Starting address for data storage
0044	00 00	TEMP FDB \$0000	

Note 1: In order for the microprocessor to service subroutines and interrupts, the stack pointer must be dimensioned in the user's program.

For amplification of DC input signals, a major system error is the input offset voltage of the amplifiers used for the preamp. Figure 17 is a gain of 100 differential preamp whose offset voltage errors will be cancelled by a zeroing subroutine which is performed by the INS8080A microprocessor system. The total allowable input offset voltage error for this preamp is only 50  $\mu\text{V}$  for  $\frac{1}{4}$  LSB error. This would obviously require very precise amplifiers. The expression for the differential output voltage of the preamp is:

$$V_o = \underbrace{[V_{IN(+)} - V_{IN(-)}]}_{\text{SIGNAL}} \underbrace{\left[1 + \frac{2R_2}{R_1}\right]}_{\text{GAIN}} + \underbrace{(V_{OS2} - V_{OS1} - V_{OS3} \pm I_X R_X)}_{\text{DC ERROR TERM}} \underbrace{\left(1 + \frac{2R_2}{R_1}\right)}_{\text{GAIN}}$$

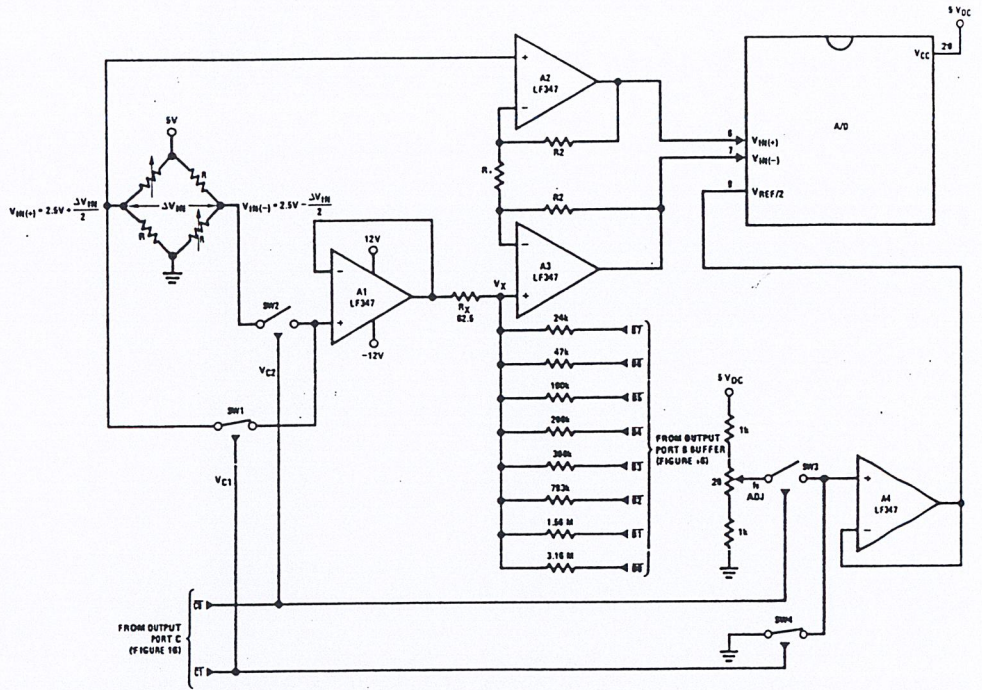
where  $I_X$  is the current through resistor  $R_X$ . All of the offset error terms can be cancelled by making  $\pm I_X R_X = V_{OS1} + V_{OS3} - V_{OS2}$ . This is the principle of this auto-zeroing scheme.

The INS8080A uses the 3 I/O ports of an INS8255 Programmable Peripheral Interface (PPI) to control the auto zeroing and input data from the ADC0801 as shown in Figure 18. The PPI is programmed for basic I/O operation (mode 0) with Port A being an input port and Ports B and C being output ports. Two bits of Port C are used to alternately open or close the 2 switches at the input of the preamp. Switch

SW1 is closed to force the preamp's differential input to be zero during the zeroing subroutine and then opened and SW2 is then closed for conversion of the actual differential input signal. Using 2 switches in this manner eliminates concern for the ON resistance of the switches as they must conduct only the input bias current of the input amplifiers.

Output Port B is used as a successive approximation register by the 8080 and the binary scaled resistors in series with each output bit create a D/A converter. During the zeroing subroutine, the voltage at  $V_X$  increases or decreases as required to make the differential output voltage equal to zero. This is accomplished by ensuring that the voltage at the output of A1 is approximately 2.5V so that a logic "1" (5V) on any output of Port B will source current into node  $V_X$  thus raising the voltage at  $V_X$  and making the output differential more negative. Conversely, a logic "0" (0V) will pull current out of node  $V_X$  and decrease the voltage, causing the differential output to become more positive. For the resistor values shown,  $V_X$  can move  $\pm 12$  mV with a resolution of 50  $\mu\text{V}$ , which will null the offset error term to  $\frac{1}{4}$  LSB of full-scale for the ADC0801. It is important that the voltage levels that drive the auto-zero resistors be constant. Also, for symmetry, a logic swing of 0V to 5V is convenient. To achieve this, a CMOS buffer is used for the logic output signals of Port B and this CMOS package is powered with a stable 5V source. Buffer amplifier A1 is necessary so that it can source or sink the D/A output current.

Functional Description (Continued)



- Note 1:  $R2 = 49.5 R1$
- Note 2: Switches are LMC13394 CMOS analog switches.
- Note 3: The 9 resistors used in the auto-zero section can be  $\pm 5\%$  tolerance.

FIGURE 17. Gain of 100 Differential Transducer Preamp

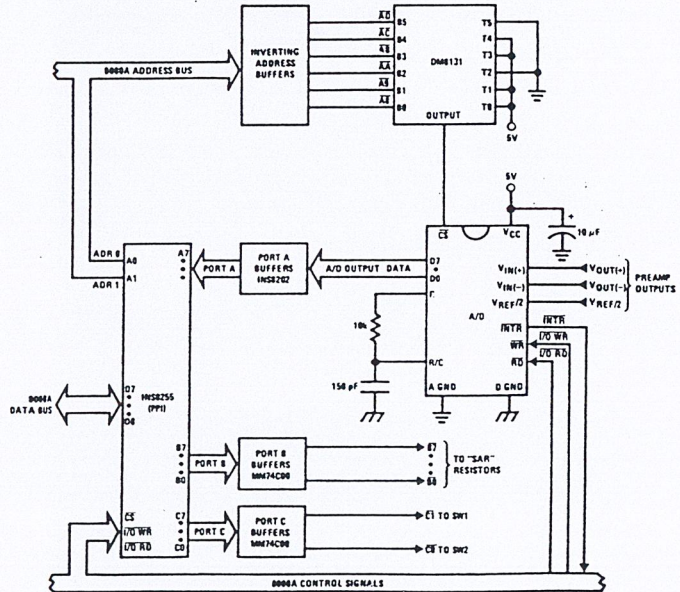


FIGURE 18. Microprocessor Interface Circuitry for Differential Preamp

A flow chart for the zeroing subroutine is shown in *Figure 19*. It must be noted that the ADC0801 series will output an all zero code when it converts a negative input [ $V_{IN(-)} \geq V_{IN(+)}$ ]. Also, a logic inversion exists as all of the I/O ports are buffered with inverting gates.

Basically, if the data read is zero, the differential output voltage is negative, so a bit in Port B is cleared to pull  $V_X$  more negative which will make the output more positive for the next conversion. If the data read is not zero, the output voltage is positive so a bit in Port B is set to make  $V_X$  more positive and the output more negative. This continues for 8 approximations and the differential output eventually converges to within 5 mV of zero.

The actual program is given in *Figure 20*. All addresses used are compatible with the BLC 80/10 microcomputer system. In particular:

Port A and the ADC0801 are at port address E4

Port B is at port address E5

Port C is at port address E6

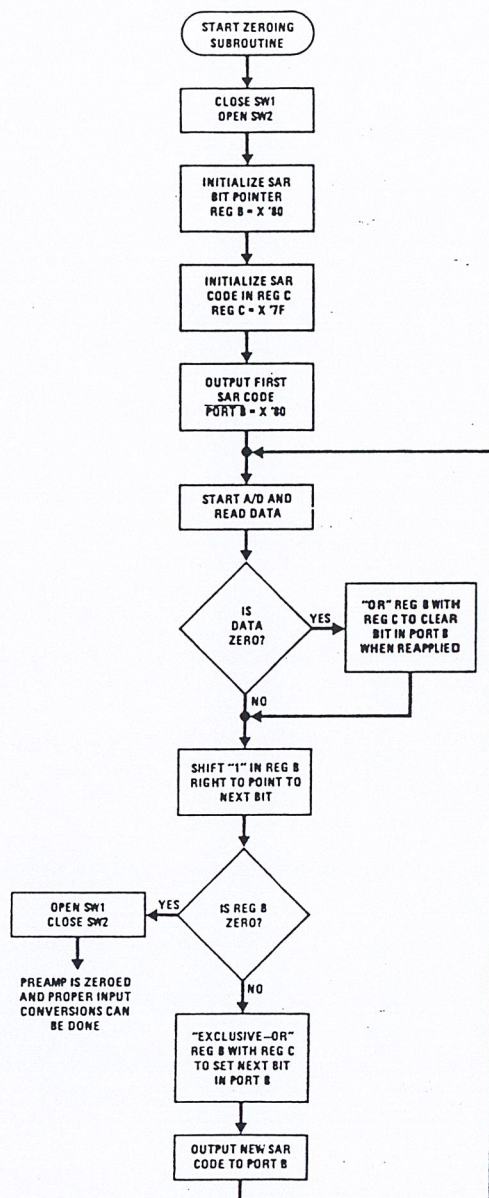
PPI control word port is at port address E7

Program Counter automatically goes to ADDR:3C3D upon acknowledgement of an interrupt from the ADC0801

### 5.3 Multiple A/D Converters in a Z-80 Interrupt Driven Mode

In data acquisition systems where more than one A/D converter (or other peripheral device) will be interrupting program execution of a microprocessor, there is obviously a need for the CPU to determine which device requires servicing. *Figure 21* and the accompanying software is a method of determining which of 7 ADC0801 converters has completed a conversion (INTR asserted) and is requesting an interrupt. This circuit allows starting the A/D converters in any sequence, but will input and store valid data from the converters with a priority sequence of A/D 1 being read first, A/D 2 second, etc., through A/D 7 which would have the lowest priority for data being read. Only the converters whose INT is asserted will be read.

The key to decoding circuitry is the DM74LS373, 8-bit D type flip-flop. When the Z-80 acknowledges the interrupt, the program is vectored to a data input Z-80 subroutine. This subroutine will read a peripheral status word from the DM74LS373 which contains the logic state of the INTR outputs of all the converters. Each converter which initiates an interrupt will place a logic "0" in a unique bit position in the status word and the subroutine will determine the identity of the converter and execute a data read. An identifier word (which indicates which A/D the data came from) is stored in the next sequential memory location above the location of the data so the program can keep track of the identity of the data entered.



TL/H/5671-28

FIGURE 19. Flow Chart for Auto-Zero Routine

```

3D00 3E90 MVI 90 ; Program PPI
3D02 D3E7 Out Control Port
3D04 2601 MVI H 01 Auto-Zero Subroutine
3D06 7C MOV A, H
3D07 D3E6 OUT C ; Close SW1 open SW2
3D09 0680 MVI B 80 ; Initialize SAR bit pointer
3D0B 3E7F MVI A 7F ; Initialize SAR code
3D0D 4F MOV C, A Return
3D0E D3E5 OUT B ; Port B = SAR code
3D10 31AA3D LXI SP 3DAA Start ; Dimension stack pointer
3D13 D3E4 OUT A ; Start A/D
3D15 FB IE
3D16 00 NOP Loop ; Loop until INT asserted
3D17 C3163D JMP Loop Auto-Zero
3D1A 7A MOV A, D
3D1B C600 ADI 00
3D1D CA2D3D JZ Set C ; Test A/D output data for zero
3D20 78 MOV A, B Shift B
3D21 F600 ORI 00 ; Clear carry
3D23 1F RAR ; Shift "1" in B right one place
3D24 FE00 CPI 00 ; Is B zero? If yes last
3D26 CA373D JZ Done ; approximation has been made
3D29 47 MOV B, A
3D2A C3333D JMP New C
3D2D 79 MOV A, C Set C
3D2E B0 ORA B ; Set bit in C that is in same
3D2F 4F MOV C, A ; position as "1" in B
3D30 C3203D JMP Shift B
3D33 A9 XRA C New C ; Clear bit in C that is in
3D34 C30D3D JMP Return ; same position as "1" in B
3D37 47 MOV B, A Done ; then output new SAR code.
3D38 7C MOV A, H ; Open SW1, close SW2 then
3D39 EE03 XRI 03 ; proceed with program. Preamp
3D3B D3E6 OUT C ; is now zeroed.
3D3D
.
.
.
Program for processing
proper data values
3C3D DBE4 INA Read A/D Subroutine ; Read A/D data
3C3F EEFF XRI FF ; Invert data
3C41 57 MOV D, A
3C42 78 MOV A, B ; Is B Reg = 0? If not stay
3C43 E6FF ANI FF ; in auto zero subroutine
3C45 C21A3D JNZ Auto-Zero
3C48 C33D3D JMP Normal

```

Note: All numerical values are hexadecimal representations.

FIGURE 20. Software for Auto-Zeroed Differential A/D

### 5.3 Multiple A/D Converters in a Z-80® Interrupt Driven Mode (Continued)

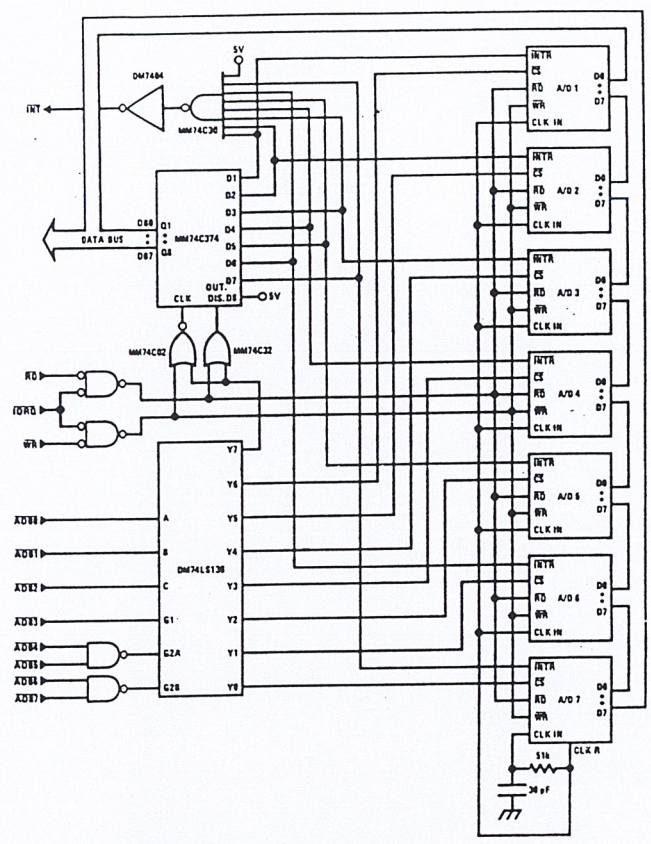
The following notes apply:

- 1) It is assumed that the CPU automatically performs a RST 7 instruction when a valid interrupt is acknowledged (CPU is in interrupt mode 1). Hence, the subroutine starting address of X0038.
- 2) The address bus from the Z-80 and the data bus to the Z-80 are assumed to be inverted by bus drivers.
- 3) A/D data and identifying words will be stored in sequential memory locations starting at the arbitrarily chosen address X 3E00.
- 4) The stack pointer must be dimensioned in the main program as the RST 7 instruction automatically pushes the PC onto the stack and the subroutine uses an additional 6 stack addresses.

- 5) The peripherals of concern are mapped into I/O space with the following port assignments:

HEX PORT ADDRESS	PERIPHERAL
00	MM74C374 8-bit flip-flop
01	A/D 1
02	A/D 2
03	A/D 3
04	A/D 4
05	A/D 5
06	A/D 6
07	A/D 7

This port address also serves as the A/D identifying word in the program.



TLH/5671-29

FIGURE 21. Multiple A/Ds with Z-80 Type Microprocessor

INTERRUPT SERVICING SUBROUTINE

LOC	OBJ CODE	SOURCE STATEMENT	COMMENT
0038	E5	PUSH HL	; Save contents of all registers affected by
0039	C5	PUSH BC	; this subroutine.
003A	F5	PUSH AF	; Assumed INT mode 1 earlier set.
003B	21 00 3E	LD (HL), X3E00	; Initialize memory pointer where data will be stored.
003E	0E 01	LD C, X01	; C register will be port ADDR of A/D converters.
0040	D3 00	OUT X00, A	; Load peripheral status word into 8-bit latch.
0042	DB 00	IN A, X00	; Load status word into accumulator.
0044	47	LD B, A	; Save the status word.
0045	79	TEST LD A, C	; Test to see if the status of all A/D's have
0046	FE 08	CF, X08	; been checked. If so, exit subroutine
0048	CA 60 00	JPZ, DONE	
004B	78	LD A, B	; Test a single bit in status word by looking for
004C	1F	RRA	; a "1" to be rotated into the CARRY (an INT
004D	47	LD B, A	; is loaded as a "1"). If CARRY is set then load
004E	DA 55 00	JPC, LOAD	; contents of A/D at port ADDR in C register.
0051	0C	INC C	; If CARRY is not set, increment C register to point
0052	C3 45 00	JP, TEST	; to next A/D, then test next bit in status word.
0055	ED 78	LOAD IN A, (C)	; Read data from interrupting A/D and invert
0057	EE FF	XOR FF	; the data.
0059	77	LD (HL), A	; Store the data
005A	2C	INC L	
005B	71	LD (HL), C	; Store A/D identifier (A/D port ADDR).
005C	2C	INC L	
005D	C3 51 00	JP, NEXT	; Test next bit in status word.
0060	F1	POP AF	; Re-establish all registers as they were
0061	C1	POP BC	; before the interrupt.
0062	E1	POP HL	
0063	C9	RET	; Return to original program

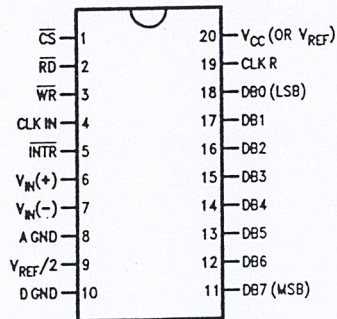
### Ordering Information

TEMP RANGE		0°C TO 70°C	0°C TO 70°C	0°C TO 70°C	-40°C TO +85°C
ERROR	± ¼ Bit Adjusted	ADC0802LCWMM	ADC0802LCV	ADC0804LCN	ADC0801LCN
	± ½ Bit Unadjusted				ADC0802LCN
	± ½ Bit Adjusted	ADC0803LCWMM	ADC0803LCV	ADC0803LCN	
	± 1Bit Unadjusted	ADC0804LCWMM	ADC0804LCV	ADC0804LCN	
PACKAGE OUTLINE		M20B—Small Outline	V20A—Chip Carrier	N20A—Molded DIP	

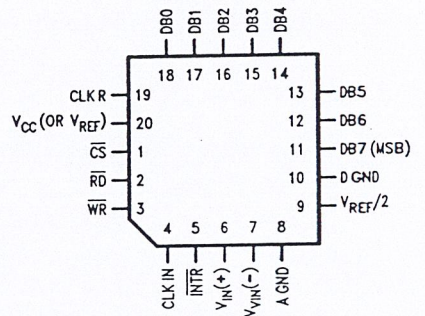
TEMP RANGE		-40°C TO +85°C	-55°C TO +125°C
ERROR	± ¼ Bit Adjusted	ADC0801LCJ	ADC0801LJ
	± ½ Bit Unadjusted	ADC0802LCJ	ADC0802LJ,
	± ½ Bit Adjusted	ADC0803LCJ	ADC0802LJ/883
	± 1Bit Unadjusted	ADC0804LCJ	
PACKAGE OUTLINE		J20A—Cavity DIP	J20A—Cavity DIP

### Connection Diagrams

**ADC080X**  
Dual-In-Line and Small Outline (SO) Packages



**ADC080X**  
Molded Chip Carrier (PCC) Package



TL/H/5671-30

TL/H/5671-32

See Ordering Information