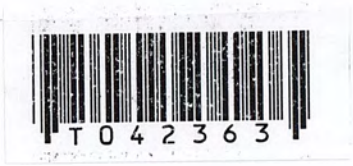
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบมัลติเพล็กซ์แบบพีซีเอ็ม 16 ช่อง

16 – PCM Multiplexing System



โดย

นายโภควัฒน์ ดีเจริญ

นายอภิสิทธิ์ ชัชวาลานนท์

นายทรงเกียรติ ลิ้วารินทร์พาณิช

เลขหมู่.....
เลขทะเบียน 42363
วัน, เดือน, ปี 17 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์ และโทรคมนาคม ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ ระบบมัลติเพล็ซ์แบบพีซีเอ็ม 16 ช่อง

16 – PCM Multiplexing System

ผู้จัดทำ นายโภควัฒน์ ดีเจริญ

นายอภิสิทธิ์ ชัชวาลานนท์

นายทรงเกียรติ ลิ้วารินทร์พาณิช

อาจารย์ที่ปรึกษา รศ. ชวลิต เบญจางคประเสริฐ

สาขา เทคโนโลยีอิเล็กทรอนิกส์ และ เทคโนโลยีโทรคมนาคม

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2544

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

_____ประธานกรรมการ

( )

_____กรรมการ

( )

_____กรรมการ

( )

_____กรรมการ

( )

_____กรรมการ

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อหัวข้อ	ระบบมัลติเพล็กซ์แบบ PCM 16 ช่อง
นักศึกษา	นายโภควัฒน์ ดีเจริญ นายอภิสิทธิ์ ชัชวาลานนท์ นายทรงเกียรติ ลิ้วารินทร์พาณิช
อาจารย์ที่ปรึกษา	รศ.ชวลิต เบญจางคประเสริฐ
หลักสูตร	อุตสาหกรรมศาสตรบัณฑิต
สาขาวิชา	เทคโนโลยีอิเล็กทรอนิกส์ และโทรคมนาคม
ปีการศึกษา	2544

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ นำเสนอเนื้อหาเกี่ยวกับระบบมัลติเพล็กซ์สัญญาณแบบ Pulse Code Modulation (PCM) จำนวน 16 ช่อง โดยแยกเป็นสองส่วนคือทางด้านส่ง ประกอบด้วยการสร้างสัญญาณอนาลอกเพื่อใช้ทำการทดลอง รวมถึงมีการมัลติเพล็กซ์สัญญาณแบบ Time Division Multiplex (TDM) และทำการส่งสัญญาณผ่านสายเคเบิลไปยังภาครับ ส่วนของภาครับจะทำการถอดรหัสสัญญาณ และดีมัลติเพล็กซ์สัญญาณกลับคืนมา ซึ่งผลการทดลองทั้ง 2 ภาคทำงานได้ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title 16 – PCM Multiplexing System

Students Mr. Pokawat Deecharoen
Mr. Apisit Chuchawalanon
Mr. Throngkiat Leevarinpanich

Advisor Assoc. Prof. Chawalit Benjangkaprasert

Education Level Bachelor of Industrial Technology

Program Electronic Technology and Telecommunications Technology

Academic Year 2001

ABSTRACT

This Thesis presents a 16 – PCM Multiplexing System. The system consists of 2 parts. One is transmitter another is receiver. The transmitter consists of the generation of analog signals for experimental includes the Time Division Multiplexing and transmitted by cable transmission line. The signal is decoded and demultiplexed by receiver. The experimental results are acceptable.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงได้ด้วยดี ทางผู้จัดทำต้องขอขอบพระคุณท่านอาจารย์ รองศาสตราจารย์ชวลิต เบญจางคประเสริฐ ซึ่งเป็นอาจารย์ที่ปรึกษาโครงงาน ที่ให้คำแนะนำในการแก้ไขปัญหา แนวความคิด รวมถึงข้อมูลต่างๆ ขอบคุณเพื่อนๆที่ให้คำปรึกษา ขอบคุณการรถไฟแห่งประเทศไทยที่ใช้เดินทางในการไปซื้ออุปกรณ์ ทำโครงงาน และที่ขาดมิได้ ทางผู้จัดทำต้องขอขอบพระคุณ บิดา มารดาของผู้จัดทำที่ให้การสนับสนุนทุนทรัพย์ ในการทำโครงงาน และเป็นกำลังอยู่เบื้องหลังมาโดยตลอด ทางผู้จัดทำขอขอบพระคุณมา ณ ที่นี้ด้วย

โภควัฒน์ ดีเจริญ
อภิสิทธิ์ ชัชวาลานนท์
ทรงเกียรติ ลิ้วารินทร์พาณิช

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารภาพ	ฉ
บทที่1 บทนำ	1
1.1 ความเป็นมา	1
1.2 ชื่อโครงงาน	1
1.3 วัตถุประสงของโครงงาน	1
1.4 เนื้อหาโดยสังเขป	2
บทที่2 ทฤษฎีและหลักการ	3
2.1 ส่วนประกอบของระบบสื่อสาร	3
2.2 การมัลติเพล็กซ์แบบแบ่งเวลา (Time Division multiplex)	4
2.3 การแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Conversion)	6
2.4 หลักการของพัลซ์โค้ดมอดูเลชั่น (Pulse Code Modulation)	7
2.4.1 การสุ่มตัวอย่าง (Sampling)	7
2.4.2 การแบ่งย่านแอมปลิจูดออกเป็นระดับต่างๆ (Quantizing)	8
2.4.3 การเข้ารหัส (Coding)	10
บทที่3 โครงสร้างและการทำงานของวงจร	12
3.1 ภาคส่ง	12
3.1.1 วงจรกำเนิดสัญญาณ	13
3.1.2 วงจรจัดระดับสัญญาณ	14
3.1.3 วงจรมัลติเพล็กซ์ช่องสัญญาณแบบ TDM	14
3.1.4 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter)	16
3.1.5 วงจรเปลี่ยนข้อมูลจากขนานเป็นอนุกรม (Parallel in Serial out)	17
3.1.6 วงจรสร้างสัญญาณนาฬิกาและสัญญาณควบคุม	18
3.2 ภาครับ	20
3.2.1 วงจรเปลี่ยนข้อมูลอนุกรมเป็นขนาน และ วงจรบัฟเฟอร์	21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
3.2.2 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital to Analog Converter)	22
3.2.3 วงจรดีมัลติเพล็กซ์ (Demultiplexer)	23
3.2.4 วงจรกรองความถี่ต่ำ (Low Pass Filter)	23
3.2.5 วงจรบิทซิงโครไนซ์เซชั่น และวงจรสร้างสัญญาณนาฬิกา	25
บทที่4 ผลการทดลอง	27
บทที่5 บทสรุปโครงงาน	32
เอกสารอ้างอิง	33
ภาคผนวก ก	34
ภาคผนวก ข	41
ภาคผนวก ค	43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูป	หน้า
รูปที่ 2.1 แสดงส่วนประกอยของระบบสื่อสารแบบ PCM ที่มีการมัลติเพล็กซ์สัญญาณ	3
รูปที่ 2.2 การมัลติเพล็กซ์แบบแบ่งเวลา (TDM)	4
รูปที่ 2.3 ความถี่ของการสุ่มค่า 8 kHz สำหรับสัญญาณเสียง	5
รูปที่ 2.4 หลักการแปลงสัญญาณอนาลอกเป็นดิจิตอล	6
รูปที่ 2.5 สัญญาณอนาลอกมอดูเลทกับสัญญาณพัลซ์ได้สัญญาณ PCM	7
รูปที่ 2.6 แสดงการจัดระดับสัญญาณ PAM ให้เป็นค่าตัวเลข	8
รูปที่ 2.7 สัญญาณรบกวนที่เกิดจากการแปลงเป็นตัวเลข	9
รูปที่ 2.8 ความสัมพันธ์ระหว่างช่วงตัวเลขกับสัญญาณรบกวน จากการแปลงเป็นตัวเลข	9
รูปที่ 2.9 แสดงการเข้ารหัส (Coding)	10
รูปที่ 2.10 หลักการของระบบ PCM จำนวน 2 ช่องสัญญาณ	11
รูปที่ 3.1 แสดงบล็อกไดอะแกรมภาคส่ง	12
รูปที่ 3.2 แสดงวงจรกำเนิดสัญญาณ	13
รูปที่ 3.3 วงจรจัดระดับสัญญาณ	14
รูปที่ 3.4 วงจรมัลติเพล็กซ์โดยใช้ IC MC14067B	15
รูปที่ 3.5 แสดง clock ควบคุมการทำงานของ IC MC14067B	15
รูปที่ 3.6 วงจร A/D Converter ใช้ IC ADC 0820	16
รูปที่ 3.7 วงจรเปลี่ยนข้อมูลจากขนานเป็นอนุกรม	17
รูปที่ 3.8 วงจรสร้างสัญญาณนาฬิกา และสัญญาณควบคุม	18
รูปที่ 3.9 แสดงวงจรภาคส่ง	19
รูปที่ 3.10 บล็อกไดอะแกรมภาคส่ง	20
รูปที่ 3.11 วงจรเปลี่ยนข้อมูลอนุกรมเป็นขนาน และวงจรบัฟเฟอร์	21
รูปที่ 3.12 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก	22
รูปที่ 3.13 วงจรกรองความถี่ต่ำผ่าน	23
รูปที่ 3.14 กราฟผลตอบสนองของวงจรกรองความถี่ต่ำผ่าน ซึ่งทดลองออกแบบโดยใช้โปรแกรม Pspice	24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ 3.15 วงจรบิทซิงโครไนซ์เซชั่น	25
รูปที่ 3.16 แสดงวงจรภาครับ (Receiver)	26
รูปที่ 4.1 แสดงสัญญาณภาคส่งช่องที่ 1 ถึงช่องที่ 4	27
รูปที่ 4.2 แสดงสัญญาณภาครับช่องที่ 1 ถึงช่องที่ 4	27
รูปที่ 4.3 แสดงสัญญาณภาคส่งช่องที่ 5 ถึงช่องที่ 7	28
รูปที่ 4.4 แสดงสัญญาณภาครับช่องที่ 5 ถึงช่องที่ 7	28
รูปที่ 4.5 แสดงสัญญาณภาคส่งช่องที่ 8 ถึงช่องที่ 11	29
รูปที่ 4.6 แสดงสัญญาณภาครับช่องที่ 8 ถึงช่องที่ 11	29
รูปที่ 4.7 แสดงสัญญาณภาคส่งช่องที่ 12 ถึงช่องที่ 15	30
รูปที่ 4.8 แสดงสัญญาณภาครับช่องที่ 12 ถึงช่องที่ 15	30
รูปที่ 4.9 แสดงสัญญาณซิงโครไนซ์ที่ภาคส่งและภาครับ ซึ่งเป็นสัญญาณช่องที่ 16	31
รูปที่ 4.10 แสดงสัญญาณอนาลอก 16 ช่องมัลติเพล็กซ์ที่ภาคส่ง และสัญญาณที่ตรวจวัดได้ที่ภาครับ	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมา

การส่งสัญญาณต่างๆไปในระบบส่งผ่านสัญญาณ สามารถทำได้ 2 รูปแบบคือ ส่งไปในรูปของสัญญาณอนาลอก และสัญญาณดิจิตอล ในปัจจุบันนี้ระบบอนาลอกกำลังจะหมดไป ระบบดิจิตอลกำลังได้รับความนิยมสูงขึ้นเรื่อย ๆ ทั้งนี้เพราะคุณภาพของสัญญาณที่ดีกว่า ความจุของข่าวสาร(Capacity) ที่สูงกว่า และสามารถประยุกต์ใช้งานได้อย่างกว้างขวาง ด้วยเหตุผลที่สิ่งต่าง ๆ รอบตัวเราทุกวันนี้ กำลังเปลี่ยนไปสู่โลกของดิจิตอลแทบทั้งสิ้น ในการที่เราจะส่งผ่านสัญญาณอนาลอก เช่นสัญญาณเสียง, ภาพ หรืออื่น ๆ เข้าไปในระบบส่งผ่านแบบดิจิตอลได้นั้น ต้องผ่านกระบวนการแปลงสัญญาณอนาลอกนั้น ๆ ให้อยู่ในรูปของสัญญาณดิจิตอลเสียก่อน มีการมัลติเพล็กซ์ เพื่อให้ได้ความจุของสัญญาณข่าวสารที่สูงขึ้น เมื่อถึงปลายทางจะมีการดีมัลติเพล็กซ์เพื่อแยกสัญญาณแต่ละช่องออกจากกัน แล้วจึงแปลงให้อยู่ในรูปของสัญญาณอนาลอกตามเดิม ซึ่งในระหว่างการรับส่งนี้ถ้าระยะทางมีความยาวมากอาจทำให้เกิดการสูญเสียหรือผิดเพี้ยนของสัญญาณขึ้น ก็สามารถเพิ่มอุปกรณ์ทวนสัญญาณ (Repeater) เพื่อแก้ปัญหาเหล่านี้ได้

1.2 ชื่อโครงงาน

ระบบมัลติเพล็กซ์แบบพีซีเอ็ม 16 ช่อง (16-PCM MULTIPLEXING SYSTEM)

1.3 จุดประสงค์

การพัฒนาโครงการนี้จึงมีวัตถุประสงค์เพื่อศึกษาพื้นฐานและวิธีการสื่อสารในระบบดิจิตอลซึ่งนำหลักการของ PCM (Pulse code Modulation)มาใช้ ซึ่งเป็นที่นิยมและแพร่หลายมากในปัจจุบัน เนื่องจากมีความเพี้ยนและการรบกวนของสัญญาณต่ำ รวมถึงยังได้ศึกษาเกี่ยวกับหลักการมัลติเพล็กซ์สัญญาณเพื่อเพิ่มประสิทธิภาพของการสื่อสาร นำไปสู่การออกแบบและสร้างระบบการส่งสัญญาณมัลติเพล็กซ์แบบพีซีเอ็ม เพื่อรองรับการศึกษาและพัฒนาโครงงานในขั้นต่อๆไป รวมถึงสามารถนำโครงงานนี้ไปใช้ประกอบการเรียนการสอนหรือในการทดลองปฏิบัติ (Laboratory) เกี่ยวกับระบบมัลติเพล็กซ์แบบพีซีเอ็มของนักศึกษาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 เนื้อหาโดยสังเขป

ปริญญานิพนธ์ฉบับนี้ เป็นการทดลองเกี่ยวกับระบบภาคส่งและรับสัญญาณแบบ PCM จำนวน 16 ช่องสัญญาณ เริ่มตั้งแต่การสร้างสัญญาณอนาลอกรูปแบบต่างๆ จำนวน 16 ช่อง เพื่อป้อนเข้าสู่วงจรมัลติเพล็กซ์สัญญาณแบบอนาลอก การแปลงสัญญาณอนาลอกเป็นดิจิตอลขนาด 8 บิท การเปลี่ยนข้อมูลแบบขนานเป็นอนุกรม และส่งผ่านสัญญาณเข้าไปในสายนำสัญญาณ ส่วนของภาครับก็ทำการเปลี่ยนข้อมูลอนุกรมเป็นขนานขนาด 8 บิท และแปลงสัญญาณดิจิตอลกลับมาเป็นอนาลอก และดีมัลติเพล็กซ์แยกสัญญาณแต่ละช่องกลับคืนมาโดย

บทที่ 2 เป็นทฤษฎีและหลักการ

บทที่ 3 เป็นการออกแบบและการสร้างวงจรทั้งภาคส่งและภาครับรวมถึงอธิบายหลักการทำงานของอุปกรณ์บางตัวที่นำมาใช้สร้างวงจร

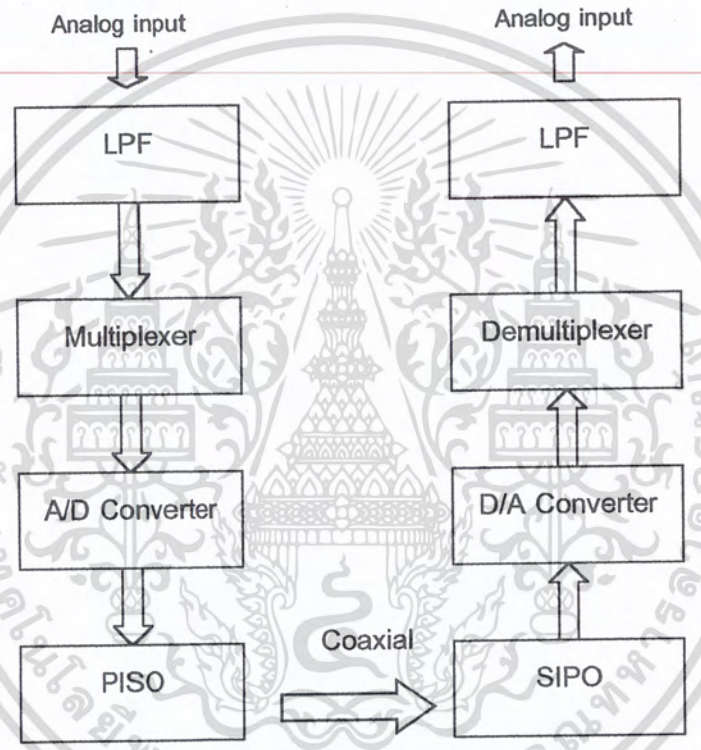
บทที่ 4 เป็นผลการทดลอง

บทที่ 5 กล่าวถึงข้อเสนอแนะและปัญหาของโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2
ทฤษฎีและหลักการ

2.1 ส่วนประกอบของระบบสื่อสาร



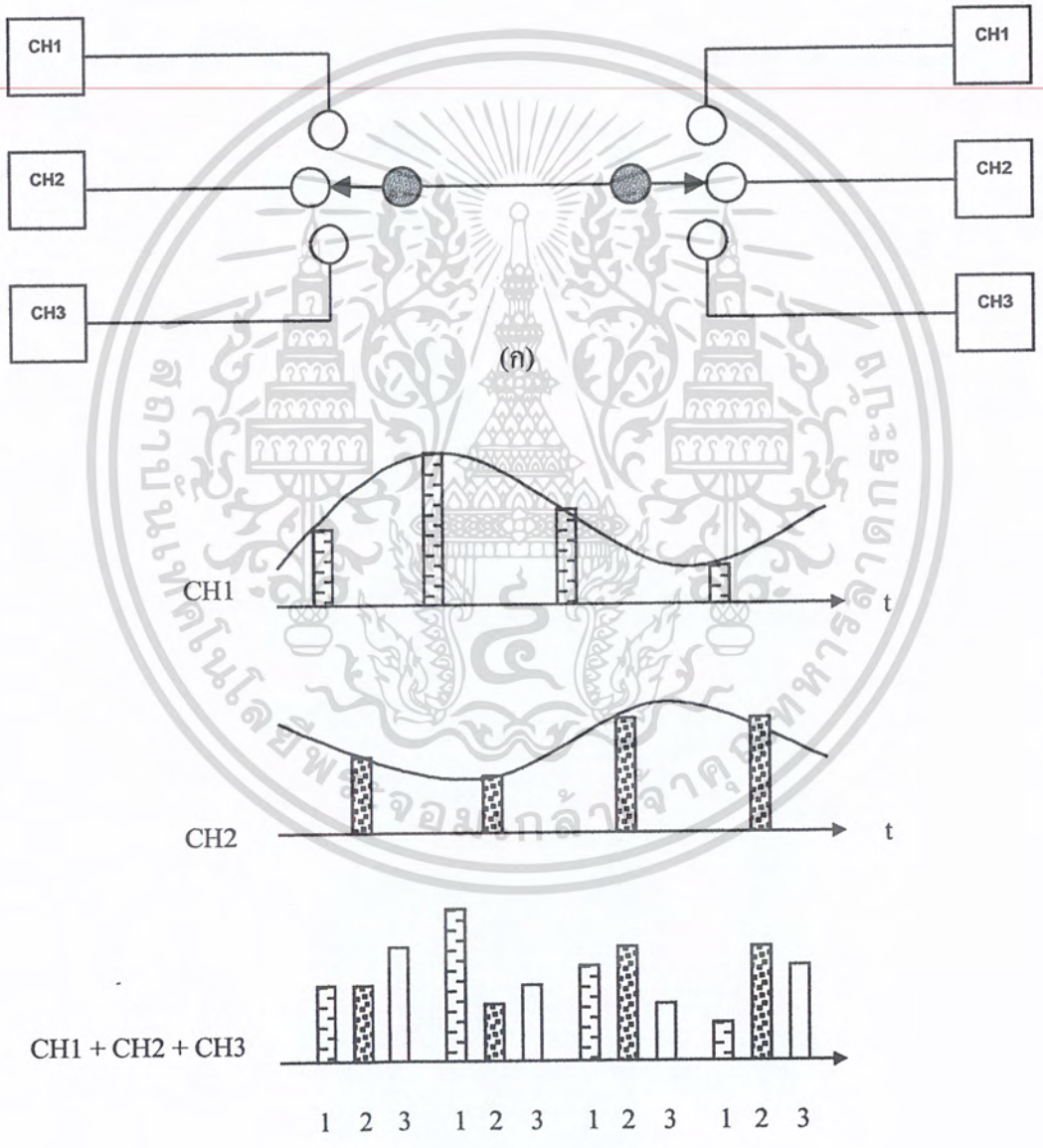
รูปที่ 2.1 แสดงส่วนประกอบของระบบสื่อสารแบบ PCM ที่มีการมัลติเพล็กซ์สัญญาณ

จากรูปบล็อกไดอะแกรมของระบบจะแสดงขั้นตอนการทำงานเป็นลำดับ แยกเป็นส่วน แต่ละส่วนมีความสำคัญและต้องทำงานสัมพันธ์กัน การที่จะทำงานสัมพันธ์กันได้ก็โดยการควบคุมของ Clock ซึ่งนับว่ามีความสำคัญ หรืออาจกล่าวได้ว่ามีความสำคัญมากที่สุดก็ว่าได้สำหรับระบบสื่อสารที่ต้องการการซิงโครไนซ์กันระหว่างภาครับและภาคส่ง เพื่อให้ได้มาซึ่งข้อมูลที่ถูกต้องและครบถ้วน โดยทฤษฎีที่มีความสำคัญและนำมาใช้ในโครงงานนี้ สามารถอธิบายแยกเป็นแต่ส่วนได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การมัลติเพล็กซ์แบบแบ่งเวลา (Time Division Multiplex: TDM)

การมัลติเพล็กซ์แบบแบ่งเวลา หมายถึง การรวมสัญญาณ เพื่อส่งผ่านช่องสัญญาณร่วมอันเดียวกัน โดยการจัดสรรเวลาในการเข้าใช้ช่องสัญญาณด้วยส่วนสวิทช์กลางหรือตัวมัลติเพล็กซ์ (Multiplexer) ซึ่งทำหน้าที่ในการสวิทช์เลือกสัญญาณช่องใดช่องหนึ่งจากหลายช่องสัญญาณส่งออกไป โดยในแต่ละช่องสัญญาณได้รับการแบ่งช่วงเวลาให้เข้าใช้ช่องสัญญาณโดยเท่าเทียมกัน



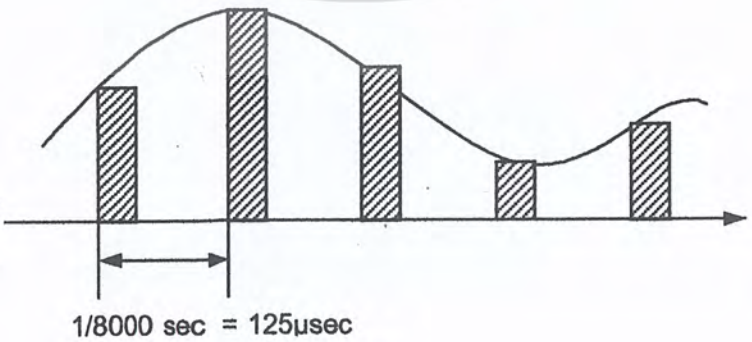
รูปที่ 2.2 การมัลติเพล็กซ์แบบแบ่งเวลา (TDM)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการมีอยู่ว่า ในการมัลติเพล็กซ์สัญญาณไม่ว่าเป็นจำนวนกี่ช่องก็ตามจะต้องเป็นไปตามทฤษฎีที่เรียกว่า *ทฤษฎีการสุ่มค่า* (Sampling Theory) ของไนควิสท์ (Nyquist) ซึ่งกล่าวว่า *"ถ้าทำการสุ่มตัวอย่าง (Sampling) สัญญาณอนาลอกด้วยช่วงเวลาที่สม่ำเสมอ ในอัตราอย่างน้อยเป็น 2 เท่าของความถี่สูงสุดของสัญญาณนั้นๆแล้ว ตัวอย่างที่สุ่มมาได้จะบรรจุข่าวสารของสัญญาณเดิมครบถ้วน"* เมื่อเราพิจารณาวิธีการมัลติเพล็กซ์สัญญาณแบบแบ่งเวลาในอีกแง่มุม จะเห็นว่าการมัลติเพล็กซ์แบบแบ่งเวลาก็คล้ายกับการสุ่มตัวอย่างของสัญญาณนั่นเอง เพียงแต่ว่าสัญญาณที่ทำการสุ่มไม่ได้สุ่มสัญญาณเพียงสัญญาณเดียวแต่สุ่มทีละหลายๆสัญญาณสลับไล่เรียงกันไป ดังนั้นจึงอาจกล่าวได้ว่าการสุ่มสัญญาณที่สุ่มทีละหลายๆสัญญาณไล่เรียงสลับกันไปนั้น ก็คือการมัลติเพล็กซ์แบบหนึ่งซึ่งเรียกว่าการมัลติเพล็กซ์แบบแบ่งเวลา (Time Division Multiplex) นั่นเอง ในกรณีของโครงงานนี้เป็นการส่งสัญญาณอนาลอก จำนวน 16 ช่องสัญญาณ โดยในแต่แต่ละช่องสัญญาณมีความถี่ที่แน่นอนเพียงความถี่เดียว ดังนั้นเมื่อพิจารณาการมัลติเพล็กซ์ให้เป็นไปตามหลักทฤษฎีของไนควิสท์ ความถี่ที่ใช้ทำการสุ่มค่าสัญญาณจึงคิดจากความถี่สูงสุดในแถบความถี่ที่ใช้ส่ง ถ้าเรากำหนดความถี่สูงสุดเป็น $f_i(\max)$ ความถี่ในการสุ่มค่าเป็น f_s จะได้ว่า

$$f_s \geq 2f_i(\max)$$

CCITT (International Telephone & Telegraph Consultative Committee) แนะนำให้ใช้ความถี่ของการสุ่มค่า 8 กิโลเฮิรตซ์สำหรับสัญญาณเสียงซึ่งโดยปกติแล้วแถบความถี่ที่ใช้ในระบบโทรศัพท์มีค่าจำกัดระหว่าง 0.32 ถึง 3.4 กิโลเฮิรตซ์ ดังนั้นความถี่ f_s ตามทฤษฎีควรจะเป็น 2 เท่าของ 3.4 กิโลเฮิรตซ์หรือเท่ากับ 6.8 กิโลเฮิรตซ์ อย่างไรก็ดีในทางปฏิบัติจะใช้ค่าความถี่เท่ากับ 8 กิโลเฮิรตซ์ ด้วยเหตุผลทางด้านเทคนิคในการสร้างและออกแบบวงจรจะทำได้ง่ายขึ้น ดังนั้นช่วงเวลาในการสุ่มค่าแต่ละครั้งเท่ากับ 1/8,000 วินาทีหรือ 125 ไมโครวินาทีดังรูป

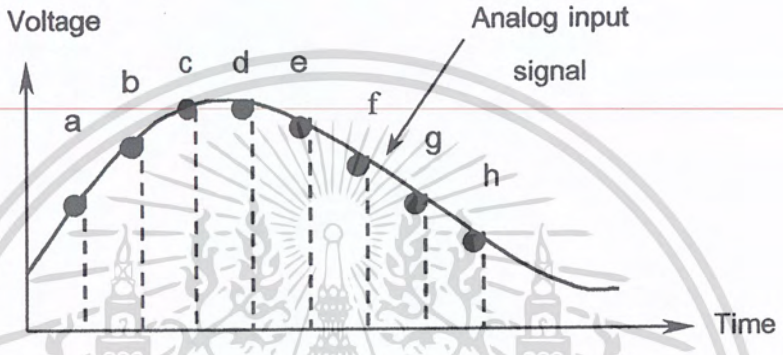


รูปที่ 2.3 ความถี่ของการสุ่มค่า 8 kHz สำหรับสัญญาณเสียง

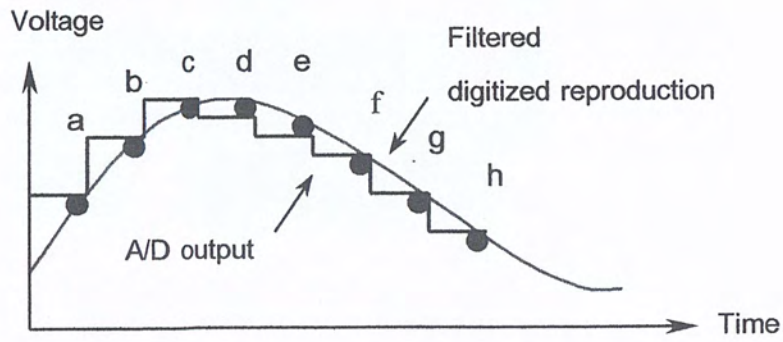
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog-to-Digital Conversion)

การแปลงสัญญาณข้อมูลที่เป็นอนาลอกให้เป็นดิจิตอล ในปัจจุบันนับว่ามีความสำคัญมาก เนื่องจากในปัจจุบันระบบของการสื่อสารเป็นโลกของดิจิตอลแทบทั้งสิ้น การพัฒนาไปอย่างรวดเร็วของโลกดิจิตอลนี้เป็นเหตุผลหนึ่งที่ทำให้มีความจำเป็นที่ต้องทำการแปลงสัญญาณที่เป็นอนาลอกให้เป็นดิจิตอลเพื่อให้สามารถส่งผ่านเข้าสู่ระบบการสื่อสารที่เป็นดิจิตอลได้



Point	Actual Voltage (V)	Digital Equivalent
a	1.22	01111010
b	1.47	10010011
c	1.74	10101110
d	1.70	10101010
e	1.35	10000111
f	1.12	01110000
g	0.91	01011011
h	0.82	01010010



รูปที่2.4 หลักการแปลงสัญญาณอนาลอกเป็นดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

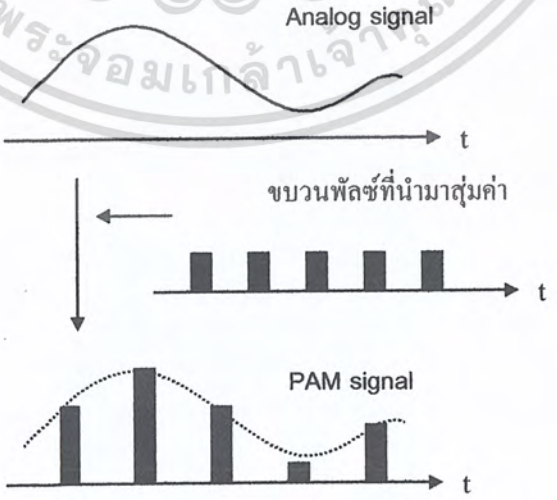
2.4 หลักการของพัลส์โค้ดมอดูเลชั่น (Pulse Code Modulation: PCM)

Pulse Code Modulation : PCM เป็นวิธีการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบหนึ่ง (Analog-to-Digital Conversion) ซึ่งประกอบด้วยหลักการพื้นฐานที่สำคัญ 3 ประการเรียงตามลำดับคือ

1. การสุ่มตัวอย่าง (Sampling)
2. การแบ่งย่านแอมปลิจูดออกเป็นระดับต่างๆ (Quantizing)
3. การเข้ารหัส (Coding)

2.4.1 การสุ่มตัวอย่าง (Sampling)

ลักษณะการสุ่มตัวอย่างของ PCM เป็นการสุ่มตัวอย่าง จากสัญญาณอนาลอกที่เข้ามาทางอินพุท (ไม่ว่าสัญญาณนั้นจะถูกมัลติเพล็กซ์หรือไม่ก็ตาม) ปกติแล้วสัญญาณอนาลอกจะต่อเนื่องกันตลอดตามแกนเวลา การสุ่มค่าก็คือขบวนการนำค่าแอมปลิจูดของสัญญาณอนาลอกบางค่า ในช่วงเวลาที่ห่างกันมาเรียงต่อกัน (โดยช่วงเวลาที่ห่างกันนี้จะต้องคำนวนให้เหมาะสม) วิธีนี้เปรียบเสมือนการมอดูเลททางแอมปลิจูดโดยมีสัญญาณพาห์เป็นขบวนพัลซ์ที่มีคาบเวลาคงที่ ซึ่งมามอดูเลทกับสัญญาณอนาลอกทำให้แอมปลิจูดของสัญญาณพาห์เปลี่ยนไปตามแอมปลิจูดของสัญญาณอนาลอก ผลลัพธ์ที่ได้จะเป็นสัญญาณที่ไม่ต่อเนื่องตามแกนเวลา ซึ่งเรียกว่าสัญญาณนี้ว่าสัญญาณ PAM (Pulse Amplitude Modulation) ดังรูปที่ 2.5



รูปที่ 2.5 สัญญาณอนาลอกมอดูเลทกับสัญญาณพัลซ์ได้สัญญาณ PAM

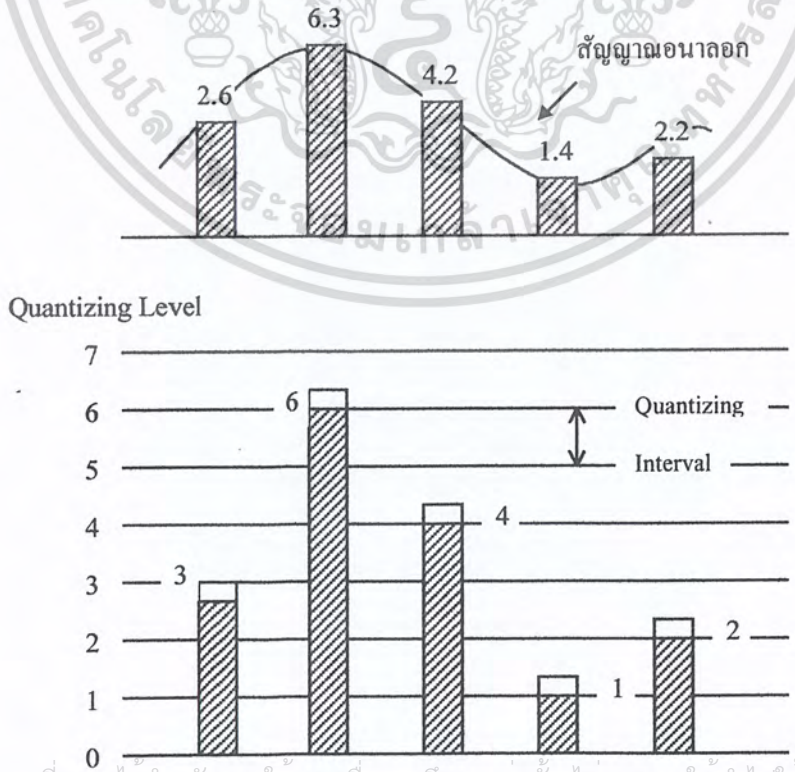
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 การแบ่งย่านแอมปลิจูดออกเป็นระดับต่าง ๆ (Quantizing)

จากการสุ่มตัวอย่างในอัตราที่สม่ำเสมอนั้น จะทำให้ได้ PAM Signal ที่แอมปลิจูดของมันเป็นสัดส่วนกับระดับสัญญาณที่ได้ทำการสุ่ม ณ เวลานั้น เราสามารถที่จะแทนแอมปลิจูดค่าต่าง ๆ ที่สุ่มมาได้โดยการแบ่งระดับของแอมปลิจูดออกเป็นระดับต่างๆ กรรมวิธีในการแบ่งย่านแอมปลิจูดออกเป็นระดับต่างๆ ที่มีจำนวนจำกัดแน่นอนให้กับ PAM Signal เรียกว่า Quantizing โดยเรียกแต่ละระดับที่แบ่งไว้ว่าระดับค่าตัวเลข (Quantizing Level) และเรียกช่วงห่างระหว่างระดับค่าตัวเลขว่า ช่วงตัวเลข (Quantizing Interval Step) ขนาดของสัญญาณ PAM จริง จะถูกแทนด้วยระดับค่าตัวเลขที่ใกล้เคียงกับมัน ดังรูปที่ 2.6

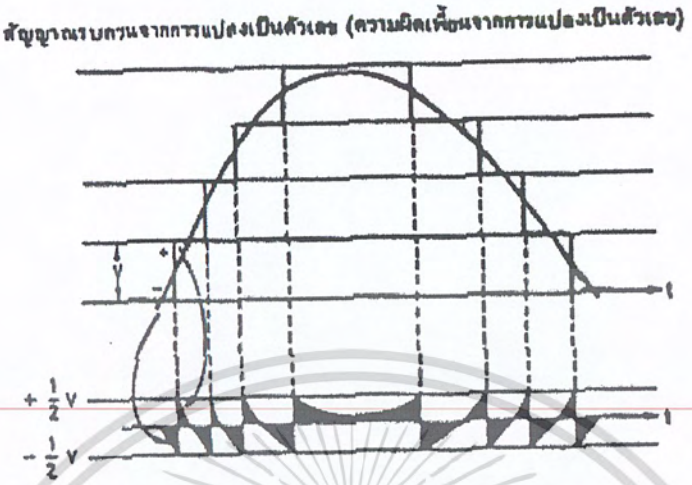
- สัญญาณที่ถูกสุ่มมีขนาด 2.6 จะถูกแทนด้วยระดับ 3.0
- สัญญาณที่ถูกสุ่มมีขนาด 6.3 จะถูกแทนด้วยระดับ 6.0

จึงเห็นได้ว่าระดับค่าตัวเลขที่เรากำหนดให้นั้นเป็นเพียงค่าที่ใกล้เคียงกับค่าแอมปลิจูดจริงที่ได้มาจากการสุ่มตัวอย่าง ความคลาดเคลื่อนจึงเกิดขึ้น ค่าความคลาดเคลื่อนนี้เรียกว่าสัญญาณรบกวนจากการแปลงเป็นตัวเลข (Quantizing Distortion) ขนาดของสัญญาณรบกวนจากการแปลงเป็นตัวเลขจะกระจายสม่ำเสมอในระหว่างช่วงของตัวเลขและไม่ขึ้นกับแอมปลิจูดของสัญญาณอนาลอก จะเห็นได้ว่าสัญญาณรบกวนจากการแปลงเป็นตัวเลขนี้เป็นสิ่งที่ไม่สามารถเลี่ยงได้ แต่สามารถทำให้ลดลงได้เพื่อรักษาระดับคุณภาพของสัญญาณไว้



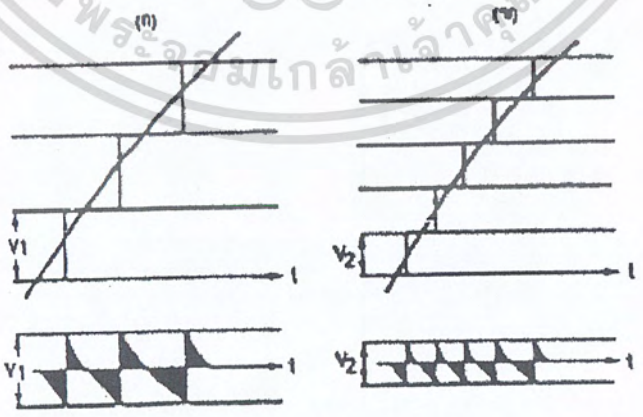
รูปที่ 2.6 แสดงการจัดระดับสัญญาณ PAM ให้เป็นค่าตัวเลข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 สัญญาณรบกวนที่เกิดจากการแปลงเป็นตัวเลข

ด้วยเหตุผลที่ว่าแอมปลิจูดของสัญญาณรบกวนจากการแปลงเป็นตัวเลขไม่มีทางเกินกว่าช่วงของตัวเลข ดังนั้นหากเรากำหนดให้ช่วงของตัวเลขยิ่งมีขนาดเล็กลง (เพิ่มระดับของแอมปลิจูดให้มีจำนวนมากขึ้น)สัญญาณรบกวนจากการแปลงเป็นตัวเลขก็จะสามารถลดลงสู่ระดับที่เหมาะสมได้ ดังรูปที่2.8

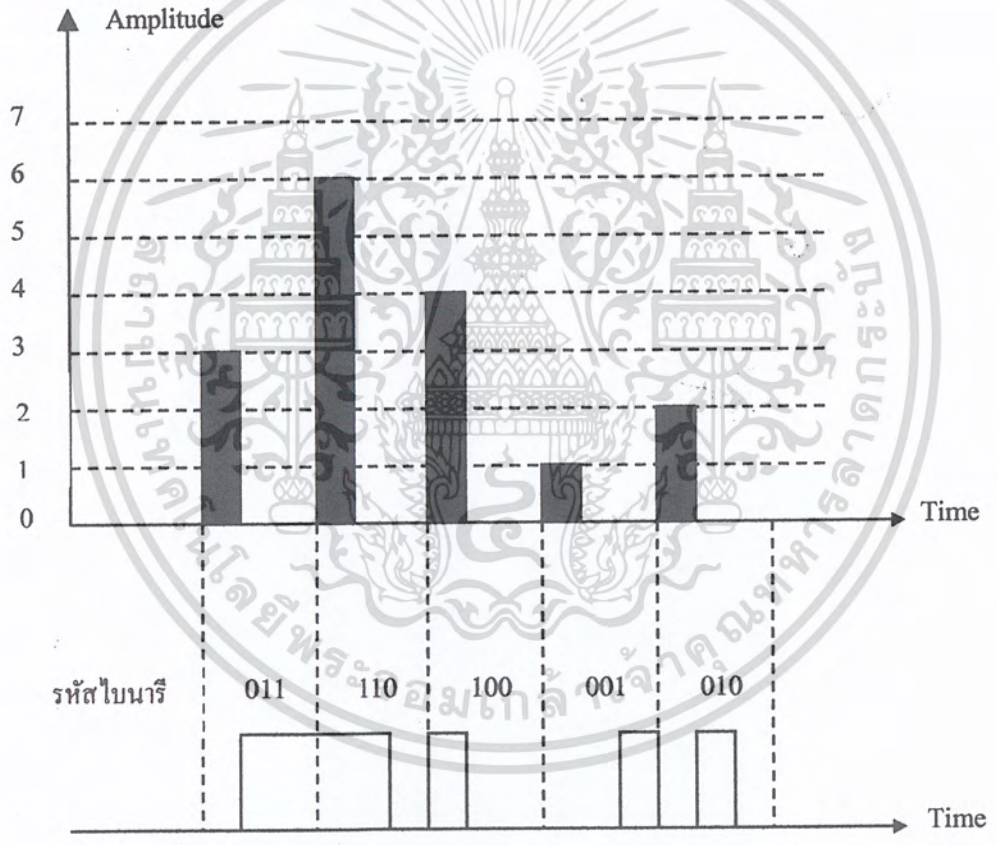


รูปที่ 2.8 ความสัมพันธ์ระหว่างช่วงตัวเลขกับสัญญาณรบกวนจากการแปลงเป็นตัวเลข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.3 การเข้ารหัส (Coding)

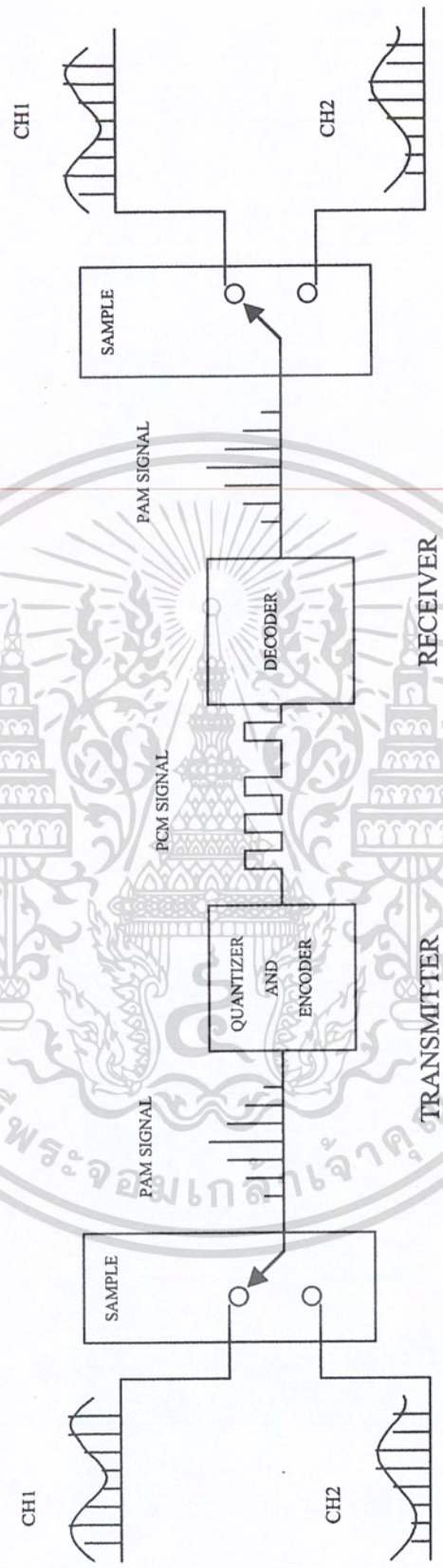
หลังจากการแปลงเป็นตัวเลขแล้ว สัญญาณ PAM ที่ได้จะถูกนำไปเข้ารหัสโดยเปลี่ยนเป็นรหัสฐานสอง(Binary Code) ข้อดีของสัญญาณไบนารี คือ สามารถทนต่อสัญญาณรบกวนได้ดีและสามารถสร้างสัญญาณใหม่ได้ง่าย จำนวนของรหัสฐานสองจะมากหรือน้อยนั้นก็ขึ้นอยู่กับจำนวนของระดับค่าตัวเลขที่เรากำหนดไว้ในขั้นตอนของการแบ่งย่านแอมปลิจูดนั่นเอง เช่นถ้าเราแบ่งระดับแอมปลิจูดเป็น 8 ระดับตั้งแต่ 0 ถึง 7 โวลท์ ดังนั้นเราก็ต้องใช้รหัสฐานสองจำนวน 3 บิท ($2^3 = 8$) ในการแทนค่าทั้ง 8 ระดับ



รูปที่ 2.9 แสดงการเข้ารหัส (Coding)

การทำงานทั้งหมดของระบบ PCM นั้น กล่าวโดยสรุปก็คือเริ่มจากการสุ่มตัวอย่างจากสัญญาณอนาลอกอินพุท สัญญาณที่ได้จากการสุ่มตัวอย่างเรียกว่าสัญญาณ PAM ซึ่งจะถูกส่งผ่านไปทำการแบ่งระดับ (Quantizing) และเข้ารหัสสัญญาณ (Coding) กลายเป็นสัญญาณ PCM ซึ่งเป็นสัญญาณดิจิตอลออกมา และทำการส่งผ่านสัญญาณนี้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 หลักการของระบบ PCM จำนวน 2 ช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

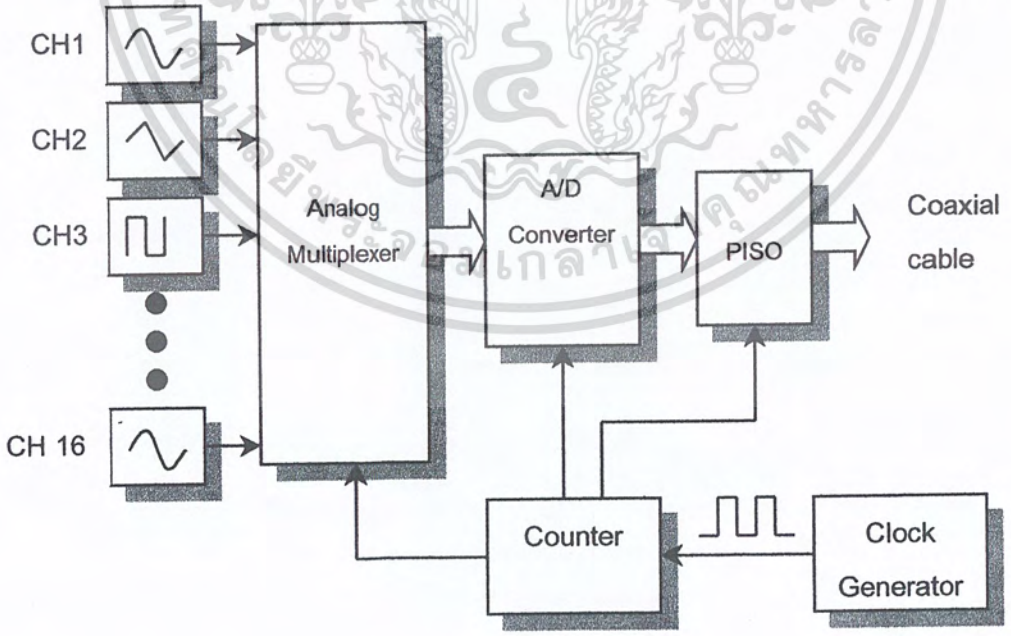
บทที่ 3

โครงสร้างและการทำงานของวงจร

3.1 ภาคส่ง

สำหรับในบทนี้จะนำทฤษฎีต่างๆ ที่ได้กล่าวมาในบทที่แล้ว มาทำการสร้างวงจรในภาคส่งให้ทำงานได้ตามเงื่อนไขหรือคุณสมบัติที่ต้องการโดยระบบของวงจรภาคส่งเป็นไปตามบล็อกไดอะแกรมดังรูปที่ 3.1 และจากบล็อกไดอะแกรมสามารถกำหนดคุณสมบัติต่างๆได้ดังนี้

1. ส่งสัญญาณอนาลอกในย่านความถี่เสียงได้ 16 ช่องสัญญาณ
2. ใช้อุปกรณ์ราคาถูกหาได้ง่ายตามท้องตลาด
3. วงจรที่ใช้ไม่ซับซ้อน ศึกษาและทำความเข้าใจได้ง่าย มีประสิทธิภาพสูง



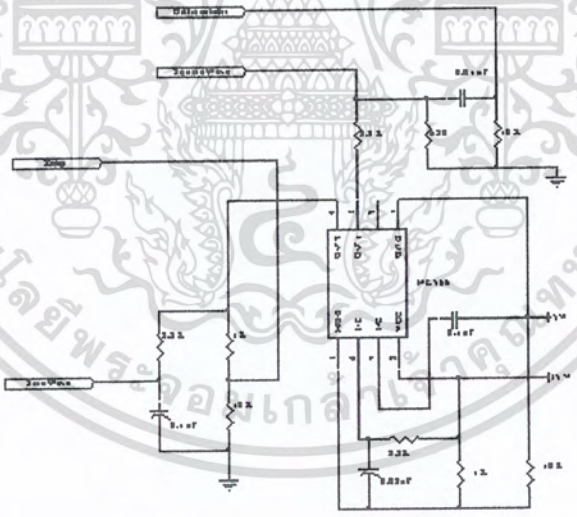
รูปที่ 3.1 แสดงบล็อกไดอะแกรมภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อกไดอะแกรมของภาคส่งสามารถอธิบายการทำงานของวงจรต่างๆได้ดังนี้

3.1.1 วงจรกำเนิดสัญญาณ

วงจรกำเนิดสัญญาณในโครงงานนี้เป็นวงจรที่สร้างขึ้นโดยเฉพาะเพื่อใช้ทำการทดลองส่งสัญญาณ โดยวงจรจะสร้างสัญญาณอนาลอกจำนวน 16 ช่องสัญญาณ แต่ละช่องสัญญาณมีความถี่ที่แน่นอนเพียงความถี่เดียว ในโครงงานนี้ใช้ IC เบอร์ LM 566 ซึ่งเป็น IC ที่ใช้สร้างสัญญาณอนาลอกที่เป็นลักษณะของสัญญาณสี่เหลี่ยม และสามเหลี่ยม โดยเอาท์พุทจากขา 3 จะเป็นรูปคลื่นสี่เหลี่ยม และเอาท์พุทจากขา 4 จะเป็นรูปคลื่นสามเหลี่ยม จากนั้นเอาท์พุทรูปคลื่นสามเหลี่ยมนี้จะนำมาผ่านวงจรอาร์ซีอินติเกรเตอร์ (RC Integrator circuit) ผลลัพธ์ที่ได้จะเป็นสัญญาณรูป Sinewave ส่วนสัญญาณรูปคลื่นสี่เหลี่ยมจะนำไปผ่านวงจรอาร์ซีดิฟเฟอเรนชิเอเตอร์ (RC differentiator) เอาท์พุทที่ได้เรียกว่าสัญญาณดิฟเฟอเรนชิเอเตอร์ รูปที่ 3.2 แสดงวงจรกำเนิดสัญญาณ

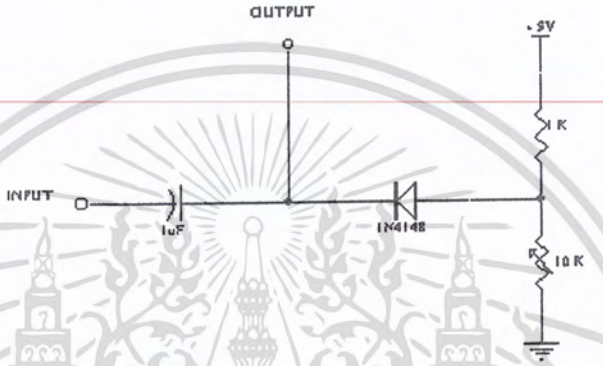


รูปที่ 3.2 แสดงวงจรกำเนิดสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 วงจรจัดระดับสัญญาณ

เป็นวงจรที่ทำหน้าที่รับสัญญาณอินพุทแบบอนาลอก มาทำการจัดความแรงและระดับของสัญญาณให้เหมาะสม โดยจะยกระดับความแรงของสัญญาณให้อยู่ในช่วงบวก-กราวด์ เพื่อป้อนให้กับชุดมัลติเพล็กซ์



รูปที่ 3.3 วงจรจัดระดับสัญญาณ

3.1.3 วงจรมัลติเพล็กซ์ช่องสัญญาณแบบ TDM

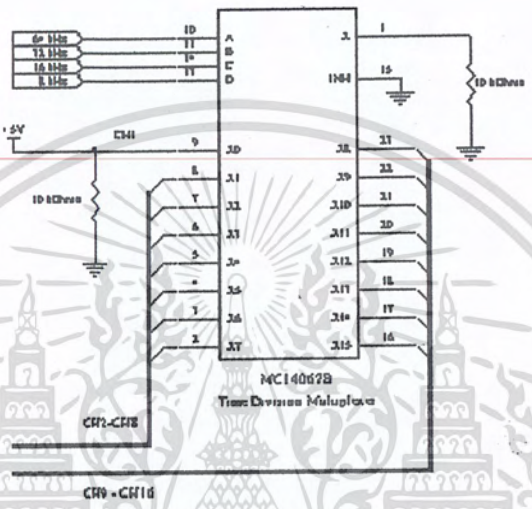
วงจรนี้มีหน้าที่เลือกสัญญาณอนาลอกอินพุท ชุดใดชุดหนึ่งป้อนเข้าสู่วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล ควบคุมการทำงานโดย Clock จากวงจร Clock Generator จากการที่โครงงานนี้มีการ Sampling ที่ 8,000 ครั้งต่อวินาที (ในทุกๆช่อง) ดังนั้นระยะเวลาการ Sampling แต่ละครั้งเท่ากับ

$$1 / 8{,}000 = 125\ \mu s$$

เนื่องจากในโครงงานนี้มีการส่งสัญญาณจำนวน 16 ช่องสัญญาณ ดังนั้นภายใน 125 μs จะต้องทำการ Sampling ให้ครบทั้ง 16 ช่องสัญญาณ ดังนั้น 1 ช่องสัญญาณจะใช้เวลาในการ Sampling แต่ละครั้งเท่ากับ $125\ \mu s / 16 = 7.8125\ \mu s$

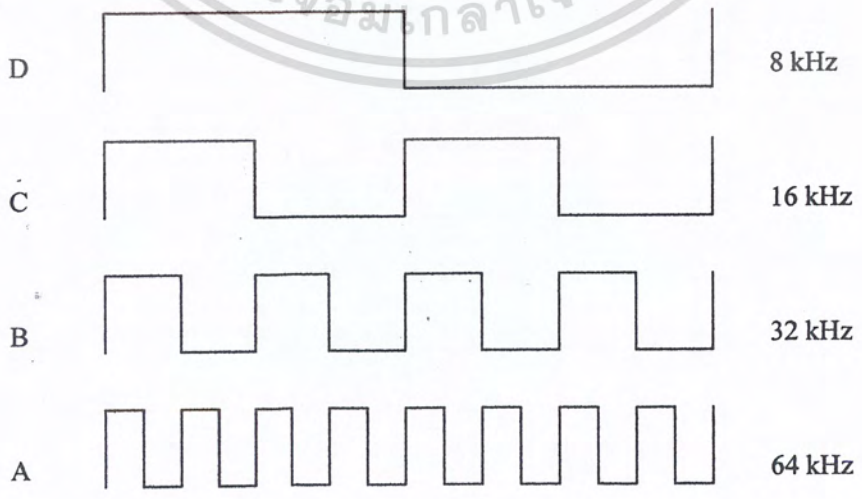
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดสวิทช์เลือกช่องสัญญาณจึงต้องเป็นอนาลอกสวิทช์ที่มีความเร็วในการปิด – เปิด สูง และมีการรบกวนสัญญาณต่ำ ในโครงงานนี้จึงเลือกใช้ IC เบอร์ MC14067B ซึ่งเป็น 16-channel multiplexers/demultiplexers ความเร็วสูง ควบคุมการทำงานโดยขาอินพุททั้ง 5 ขาคือ A B C D และ INH มีการลักษณะการจัดวงจรดังรูป



รูปที่ 3.4 วงจรมัลติเพล็กซ์โดยใช้ IC เบอร์ MC14067B

จากรูปจะเห็นว่าใช้ขา Control เพียง 4 ขา คือ A B C และ D ($2^4 = 16$) โดยที่ขา INH ต่อลงกราวด์ และมี Diagram การทำงานของสัญญาณควบคุมดังรูป



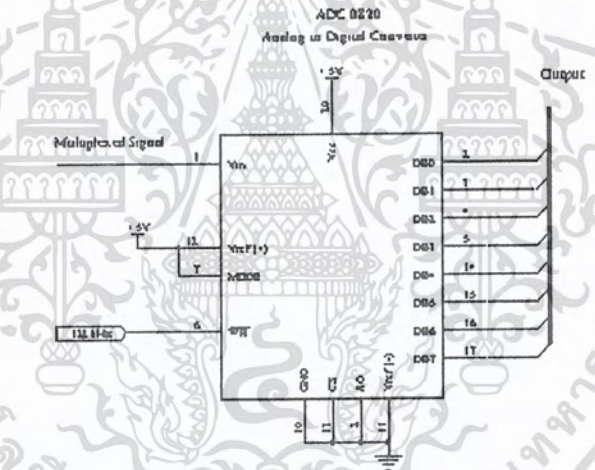
รูปที่ 3.5 แสดง Clock ควบคุมการทำงานของ IC เบอร์ MC14067B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.4 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter)

จากการที่สัญญาณอนาลอก แต่ละช่องสัญญาณต้องถูกเปลี่ยนเป็นสัญญาณดิจิตอลภายใน 7.8125 μS และพร้อมที่จะรับสัญญาณช่องต่อไป จึงเลือกใช้ IC เบอร์ ADC 0820 ซึ่งเป็น 8 Bit A/D Converter ความเร็วสูง มีความเร็วในการแปลงประมาณ 1.5 μS จากวงจรดังรูป ที่ขา 12 เป็นขาของแรงดันอ้างอิง (V_{ref}) ต่อไว้ที่แรงดัน Vcc = 5V โดยที่ ADC 0820 มีจำนวนเอาท์พุททั้งหมด 8 บิท นั่นหมายความว่า A/D converter นี้สามารถแบ่งระดับแรงดันอินพุทได้ 256 ระดับ (2^8=256) ดังนั้นแต่ละระดับจะมีความแตกต่าง (หรือความละเอียด) เท่ากับ

$$5V \ / \ 256 \ = \ 19.531 \text{ mV}$$



รูปที่ 3.6 วงจร A/D Converter ใช้ IC เบอร์ ADC 0820

สัญญาณที่ได้รับการมัลติเพล็กซ์ เลือกช่องสัญญาณแล้วจะป้อนเข้าที่ขา 1 ของ ADC 0820 ซึ่งภายใน ADC 0820 จะมีวงจร Sample and Hold อยู่ภายในตัวแล้ว เมื่อสัญญาณที่ขา WR (ขา 6) active (เปลี่ยนสถานะจาก High เป็น Low) ADC จะเริ่มทำการแปลงสัญญาณ จะเห็นได้ว่าความถี่ที่ใช้ในควบคุมการ Sampling เป็น 128 kHz เนื่องจากสัญญาณที่เข้ามาในแต่ละช่องมีช่วงเวลาช่องละ 7.8125 μS เท่าๆกัน ซึ่งเป็นช่วงเวลาที่สั้นมากดังนั้น Clock ที่ใช้ทำการ Samplingจึงต้องมีความถี่สูงพอที่จะทำให้สามารถเช็ค Amplitude ของสัญญาณในช่วงนี้ได้นั่นคือสาเหตุที่ทำให้ต้องใช้ Clock ความถี่ 128 kHz ซึ่งเป็นความถี่ที่เหมาะสมในการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

3.1.5 วงจรเปลี่ยนข้อมูลจากขนานเป็นอนุกรม (Parallel in Serial out : PISO)

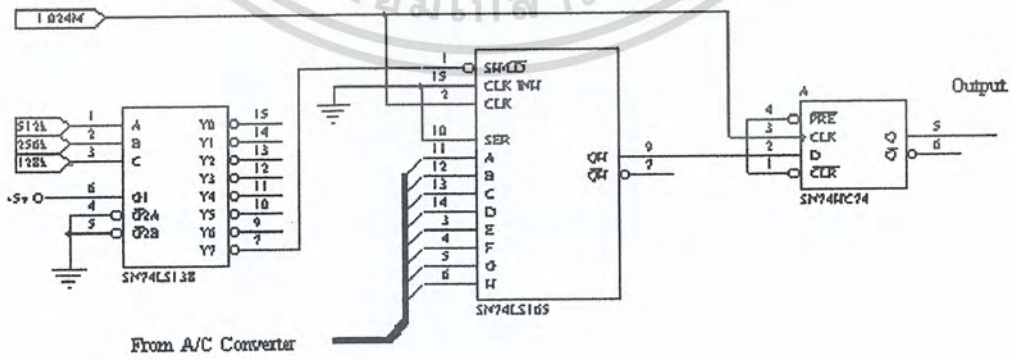
วงจร PISO ในโครงงานนี้ใช้ IC เบอร์ 74165 ซึ่งเป็น Parallel-load 8 bit Shift Register ซึ่งข้อมูลที่เข้ามาทางอินพุทเป็นแบบขนาน 8 บิท จะถูกโหลดเข้ามาพร้อมกัน และจะทยอยส่งออกไปทีละบิท โดยส่งบิทนัยสำคัญสูงสุด (MSB) ออกไปเป็นบิทแรก และเรียงตามลำดับไปจนถึงบิทต่ำสุด (LSB) โดยข้อมูลที่ทำการส่งถูกสุ่มสัญญาณที่ความเร็ว 8,000 ครั้ง/วินาที แต่ละครั้งได้ข้อมูล 8 บิทดังนั้นใน 1 ช่องสัญญาณมีอัตราการส่งข้อมูลเท่ากับ

$$8{,}000 \times 8 \text{ bit} = 64 \text{ kbits / Sec}$$

ดังนั้นเมื่อทำการส่งทั้งหมด 16 ช่องสัญญาณจึงเป็นการส่งข้อมูลทั้งหมดด้วยความเร็ว

$$(64 \text{ kbits / Sec}) \times 16 = 1.024 \text{ Mbits / Sec}$$

ซึ่งความเร็วที่ใช้ทำการส่งนี้จะบ่งบอกถึงความถี่ของสัญญาณนาฬิกา ที่จะนำมาใช้ในการควบคุมไอซี 74165 เพื่อให้สามารถส่งข้อมูลออกไปได้ครบถ้วนและถูกต้อง โดยจากวงจรมีการต่อ D-Flip Flop ไว้ที่เอาท์พุทของ 74165 ก็เพื่อเป็นตัวจัดสร้างข้อมูลที่ได้ให้มีขนาดความกว้างของบิทเท่ากับ 1 คาบสัญญาณนาฬิกา(ความถี่ 1.024 MHz) เนื่องมาจากการโหลดข้อมูล 8 บิทของ 74165 เป็นแบบทันทีทันใด (Direct Access) ทำให้บิทแรก หรือบิทสุดท้ายของชุดข้อมูลมีความกว้างบิทข้อมูลไม่แน่นอน D-Flip Flop ที่ต่อเพิ่มขึ้นมาจึงช่วยสร้างสัญญาณเอาท์พุทให้มีความกว้างของบิทสม่ำเสมอเท่ากันตลอด และสัญญาณที่ใช้ส่งนี้เป็นสัญญาณ NRZ แบบ Unipolar



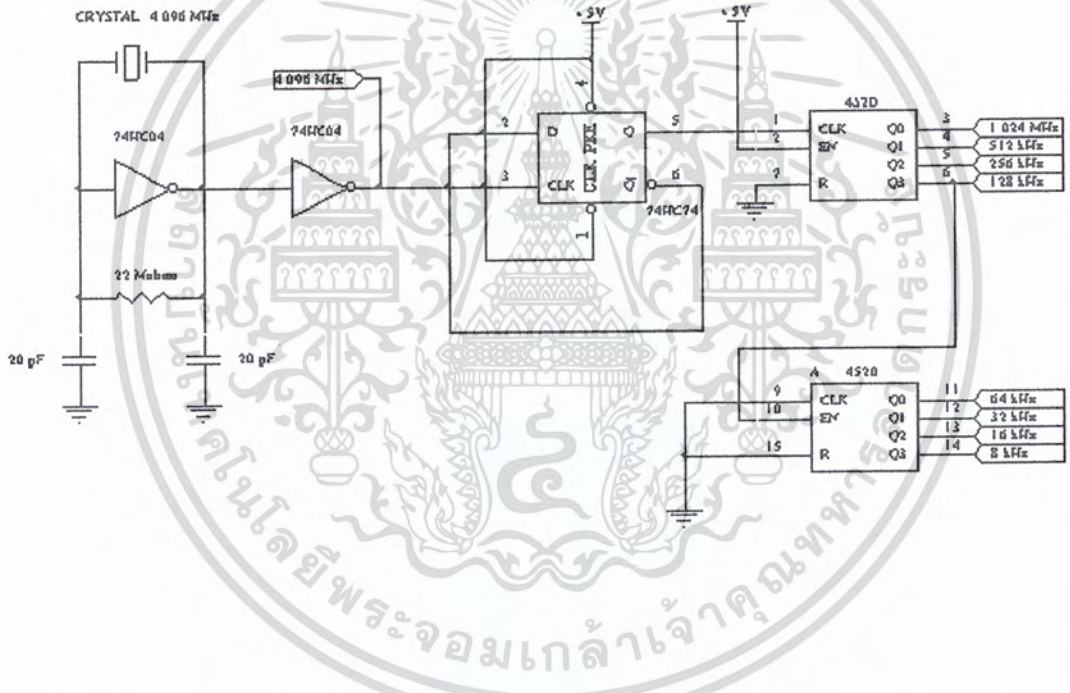
รูปที่ 3.7 วงจรเปลี่ยนข้อมูลจากขนานเป็นอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42363

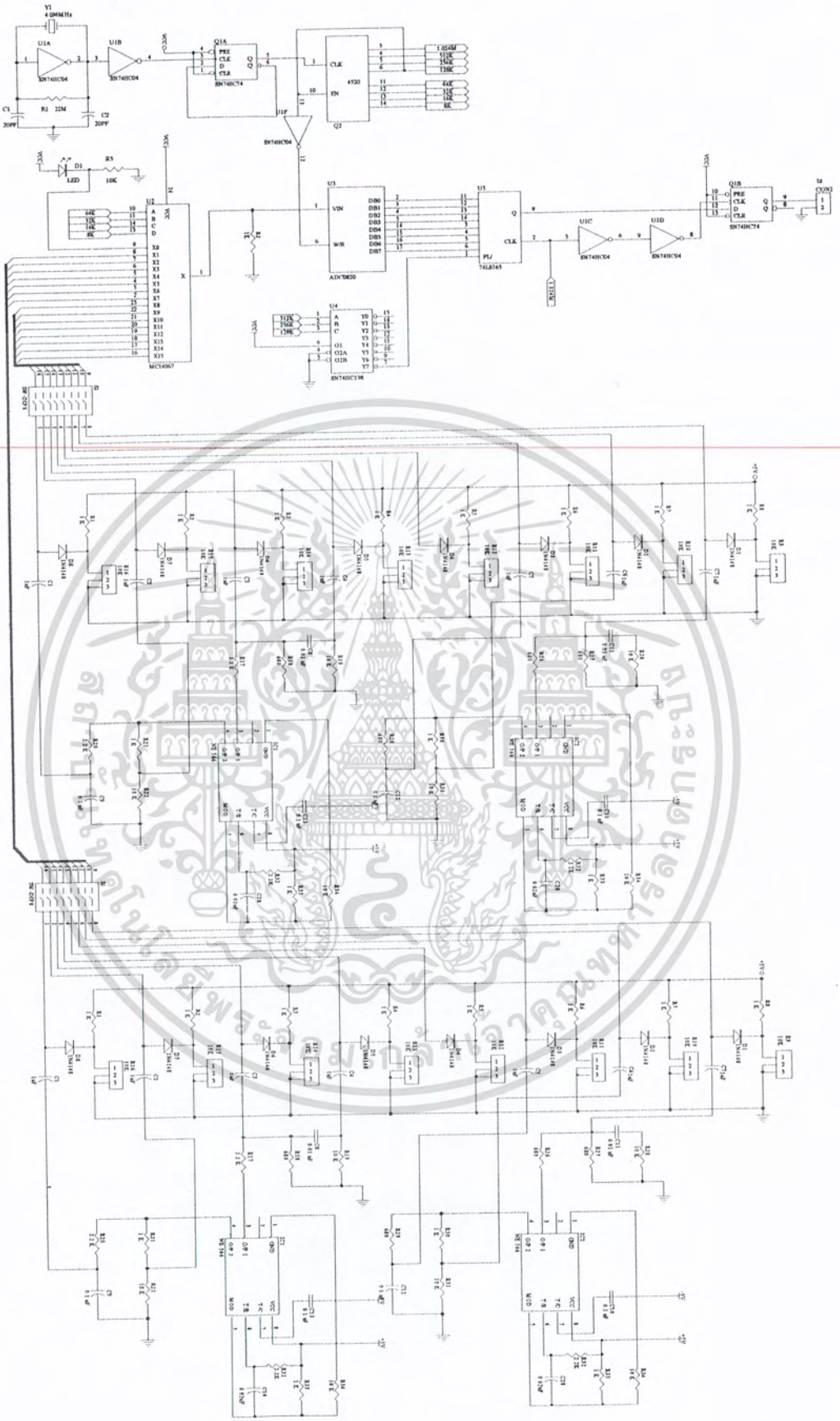
3.1.6 วงจรสร้างสัญญาณนาฬิกาและสัญญาณควบคุม

ใช้ในการกำเนิดสัญญาณนาฬิกา ด้วยความถี่ 4.096 MHz จาก CRYSTAL ผ่านวงจรหารสองที่ใช้ IC 74HC74 ได้ความถี่ 2.048 MHz ป้อนเข้าวงจร Binary Counter ซึ่งใช้ IC เบอร์ 4520 สร้างความถี่ 2 ชุด ชุดที่ 1 คือ 1.024 MHz , 512 kHz , 256 kHz และ 128 kHz ความถี่ชุดที่ 1 นี้จะนำไปควบคุมชุดแปลงข้อมูลจากขนานเป็นอนุกรม (PISO) และนำไปสร้างความถี่ชุดที่ 2 ซึ่งก็คือความถี่ 64 kHz , 32 kHz , 16kHz และ 8 kHz โดยความถี่ชุดที่ 2 นี้จะนำไปควบคุมการสวิทช์ของวงจรมัลติเพล็กซ์โดยตรง วงจรสร้างสัญญาณนาฬิกาและสัญญาณควบคุมดังรูป



รูปที่ 3.8 วงจรสร้างสัญญาณนาฬิกาและสัญญาณควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

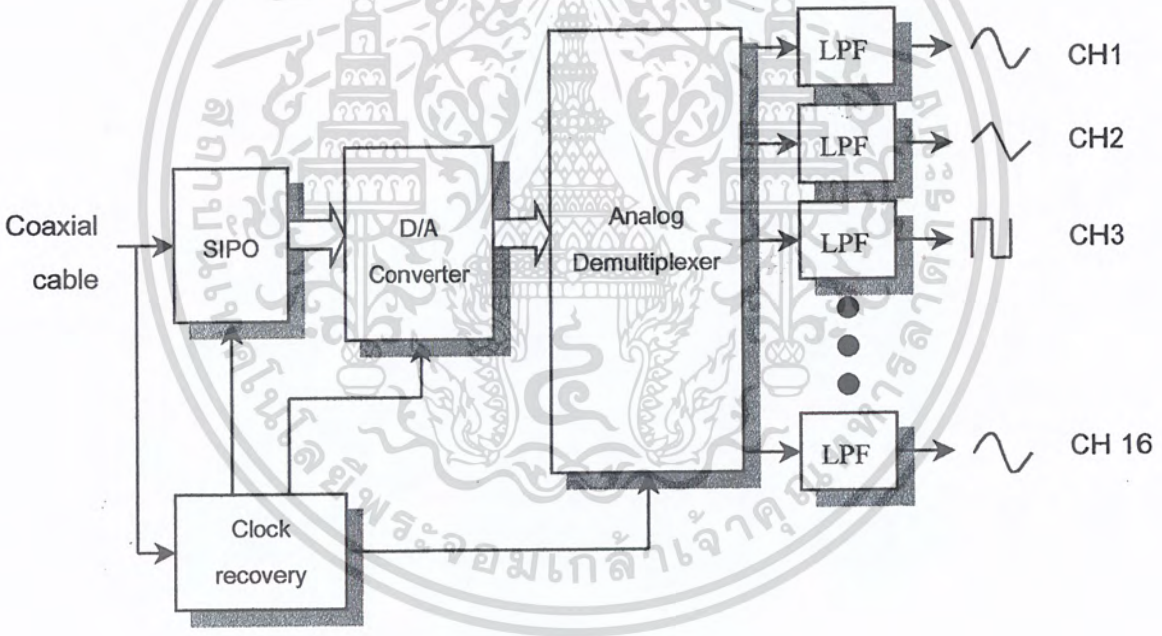


รูปที่ 3.9 แสดงวงจรภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ภาครับ

บล็อกไดอะแกรมของภาครับนั้นเริ่มจากการรับข้อมูลที่ส่งมาจากภาคส่งโดยที่ข้อมูลที่ได้รับเป็นสัญญาณดิจิตอลแบบอนุกรม ข้อมูลนี้จะถูกนำมาจัดเรียง เป็นเฟรม เฟรมละ 8 บิทโดยวงจรเปลี่ยนข้อมูลจากอนุกรมเป็นขนาน(Serial In Parallel Out) จากนั้นนำไปผ่านวงจร D/A Converter ได้เป็นสัญญาณอนาลอกซึ่งถูกมัลติเพล็กซ์มา สัญญาณนี้จะต้องนำไปทำการดีมัลติเพล็กซ์โดยวงจรดีมัลติเพล็กซ์ เพื่อแยกสัญญาณแต่ละช่องออกมา สัญญาณของแต่ละช่องที่แยกออกมานี้เป็นสัญญาณที่มีลักษณะไม่ต่อเนื่อง(Discrete) จะต้องนำมาผ่านวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter: LPF) เพื่อให้ได้สัญญาณอนาลอกที่สมบูรณ์ออกมายังเอาท์พุท



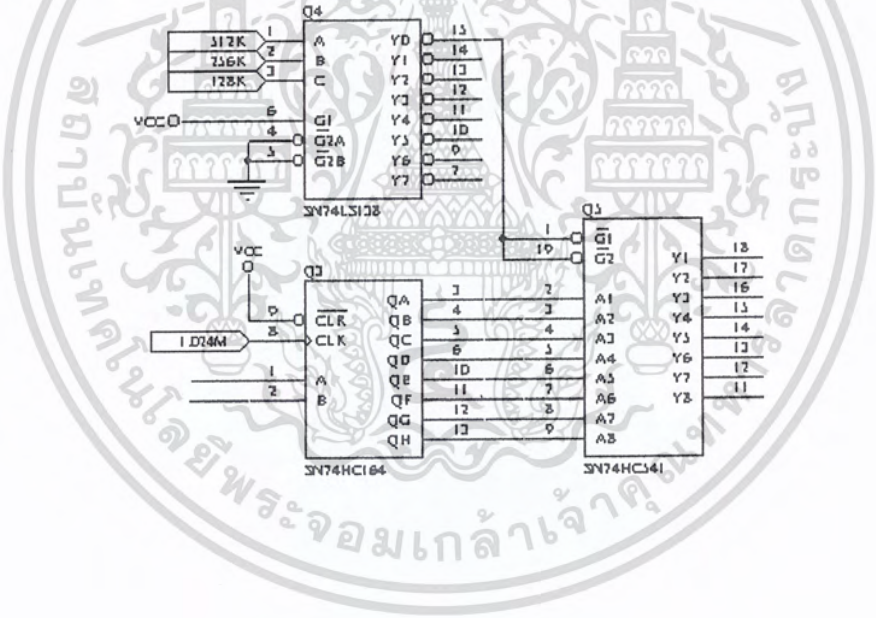
รูปที่ 3.10 บล็อกไดอะแกรมภาครับ

จากบล็อกไดอะแกรมของภาครับ ส่วนที่มีความสำคัญคือการสร้างสัญญาณนาฬิกาขึ้นมาใหม่ที่ภาครับโดยอาศัยสัญญาณข้อมูลที่รับเข้ามา เพื่อให้สัญญาณที่รับเข้ามากับสัญญาณนาฬิกาที่สร้างขึ้นมีเฟสตรงกันและนำไปควบคุมวงจรในส่วนต่างๆ เพื่อให้ได้ข้อมูลที่ถูกต้องครบถ้วน รายละเอียดการทำงานของวงจรในแต่ละส่วน, อุปกรณ์ที่ใช้ สามารถอธิบายได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 วงจรเปลี่ยนข้อมูลอนุกรมเป็นขนาน และ วงจรบัฟเฟอร์ (SIPO & Buffer)

ทำหน้าที่เปลี่ยนข้อมูลที่เป็นสัญญาณ NRZ ในลักษณะอนุกรมให้เป็นขนาน 8 บิท โดยใช้ไอซีเบอร์ 74164 ซึ่งมีอัตราการเลื่อนข้อมูลเข้าตามจังหวะสัญญาณนาฬิกา 1.024 MHz ซึ่งได้จากวงจรบิทซิงโครไนซ์ หรือวงจรกู้สัญญาณนาฬิกา เมื่อข้อมูลที่เข้ามาครบทั้ง 8 บิทหรือครบ 1 เฟรม ก็จะถูกส่งออกไปพร้อมๆกันในรูปแบบขนานออกไปยังบัฟเฟอร์ซึ่งใช้ไอซีเบอร์ 74541 สาเหตุที่ต้องมีการใช้บัฟเฟอร์ก็เพื่อให้ข้อมูลที่ได้มาครบทั้ง 8บิทจริงๆ เพราะการที่ข้อมูลที่ส่งไปยังภาค DACไม่ครบ 8บิท จะทำให้เกิดการผิดพลาดขึ้นได้ ซึ่งการต่อไอซี 74541 ซึ่งเป็นบัฟเฟอร์นั้น จะต่อใช้งานร่วมกับไอซี 74138 ซึ่งเป็นดีโค้ดเดอร์ หรือเป็นวงจรนับ 8 เมื่อนับครบ 8ครั้งก็จะส่งสัญญาณให้ 74541ส่งเอาท์พุททั้ง 8บิทออกไป 1ครั้ง

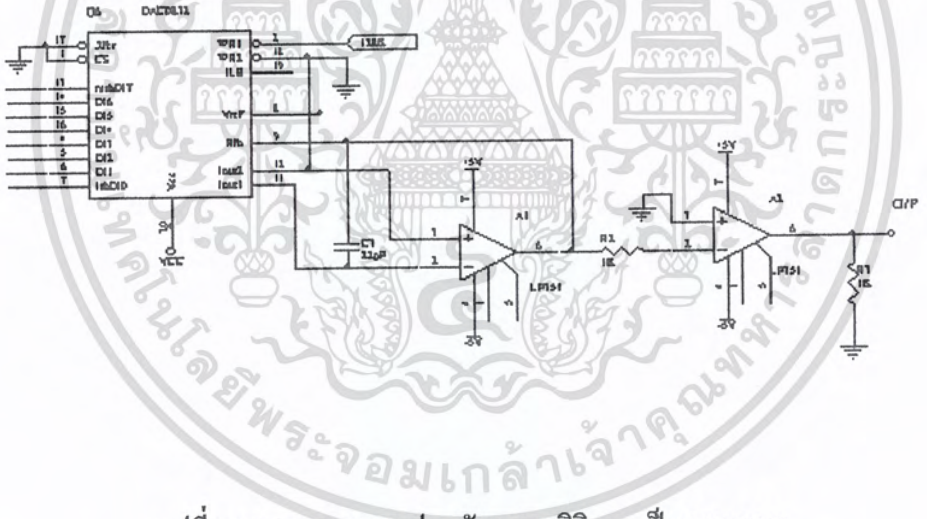


รูปที่ 3.11 วงจรเปลี่ยนข้อมูลอนุกรมเป็นขนานและวงจรบัฟเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital to Analog Converter: DAC)

ข้อมูล 8บิทที่ได้จากบัฟเฟอร์จะถูกส่งเข้ามาที่อินพุทของวงจร DAC ซึ่งวงจร DAC ในโครงงานนี้ใช้ไอซีเบอร์ DAC0832 โดยในการทำงานนั้น DAC0832 จะนำข้อมูลทั้ง 8บิทมาเปรียบเทียบกับแรงดันอ้างอิงที่ตั้งไว้ (+5V) และทำการแปลงสัญญาณกลับมาให้อยู่ในรูปอนาลอกซึ่งจะเป็นระดับแรงดันใดๆก็ได้จาก 0 ถึง 5V โดยมีความละเอียดสูงสุดเท่ากับ 19.531 mV แต่เนื่องจากเอาท์พุทของ DAC0832 จะอยู่ในรูปของกระแสที่ขา Iout1 และ Iout2 จึงต้องใช้ออปแอมป์มาต่อใช้งานร่วมด้วยเพื่อทำการเปลี่ยนกระแสให้เป็นแรงดัน จากนั้นนำสัญญาณที่ได้มาผ่านออปแอมป์ตัวที่2 เพื่อทำการกลับเฟสของสัญญาณ สัญญาณอนาลอกที่ได้มีลักษณะเหมือนสัญญาณอนาลอกที่ได้รับการมัลติเพล็กซ์แล้วทางด้านส่ง จึงต้องนำสัญญาณนี้ไปทำการดีมัลติเพล็กซ์ต่อไป



รูปที่ 3.12 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

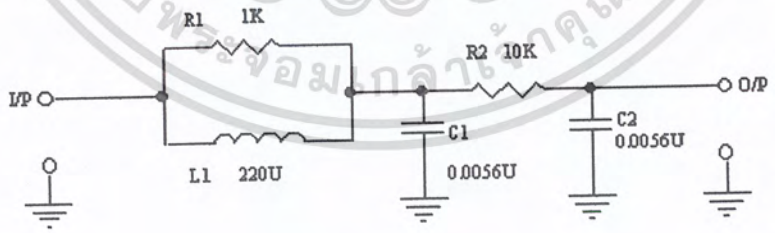
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 วงจรดีมัลติเพล็กซ์ (Demultiplexer)

วงจรดีมัลติเพล็กซ์ทำหน้าที่รับสัญญาณอนาลอกจากวงจร DAC มาทำการดีมัลติเพล็กซ์แยกช่องสัญญาณแต่ละช่องกลับมา ในโครงงานนี้นำไอซีเบอร์ MC14067B มาเป็นตัวดีมัลติเพลีกซ์ ขนาด 16 เอาท์พุท เนื่องจากไอซีเบอร์ MC14067B สามารถเป็นได้ทั้งตัวมัลติเพล็กซ์และดีมัลติเพล็กซ์ และใช้สัญญาณควบคุมที่ขา A B C D ดังที่อธิบายข้างต้น โดยสัญญาณควบคุมนี้ได้จากวงจรบิทซิงโครไนซ์หรือวงจรกู้สัญญาณนาฬิกานำมาผ่านวงจรนับ16 เอาท์พุทที่ได้ทั้งหมด 16 ช่องสัญญาณเป็นสัญญาณที่ไม่ต่อเนื่อง จะต้องนำไปผ่านวงจรกรองความถี่ต่ำผ่านต่อไป

3.2.4 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter: LPF)

วงจรกรองความถี่ต่ำผ่าน ใช้ทำกรองสัญญาณเอาท์พุทที่ได้จากวงจรดีมัลติเพล็กซ์ซึ่งเป็นสัญญาณที่ไม่ต่อเนื่องให้กลับมาเป็นสัญญาณอนาลอกที่ต่อเนื่อง ในโครงงานนี้ใช้วงจรฟิลเตอร์แบบพาสซีฟกรองความถี่ต่ำผ่าน คำนวนค่าความต้านทาน และตัวเก็บประจุ โดยอาจจำลองการทำงานโดยใช้โปรแกรม Pspice เพื่อให้ได้ความถี่คัทออฟตามต้องการก่อน แล้วจึงนำมาทดลองประกอบใช้งานจริงต่อไป



รูปที่ 3.13 วงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

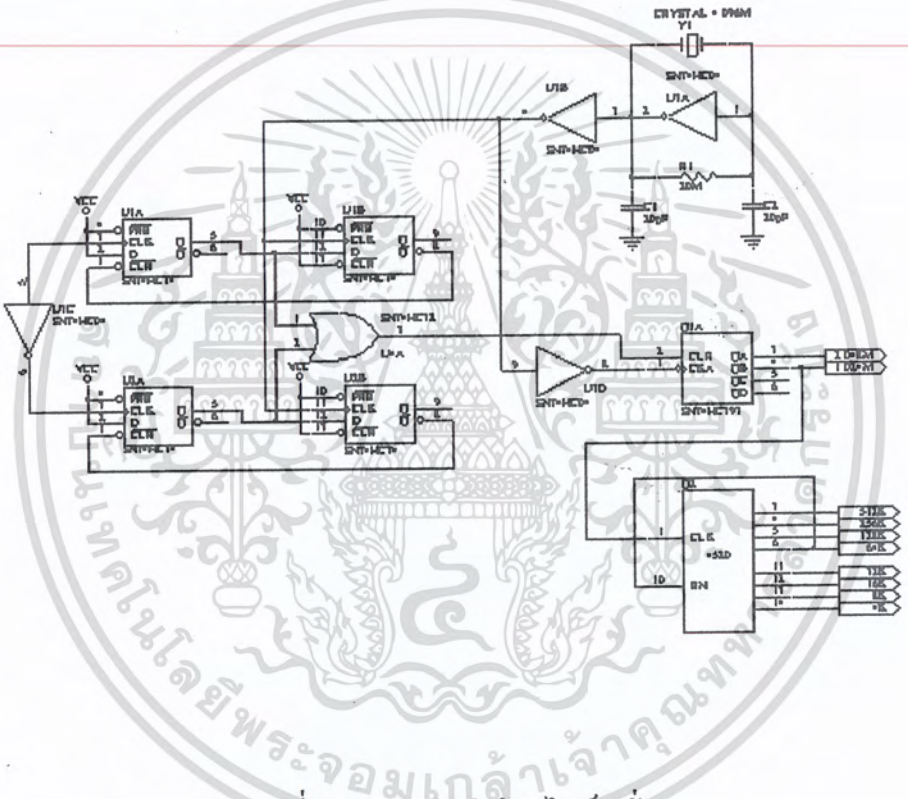
รูปที่3.14 กราฟผลตอบสนองของวงจรกรองความถี่ต่ำผ่าน

ซึ่งทดลองออกแบบโดยใช้โปรแกรม Pspice

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.5 วงจรบิทซิงโครไนซ์เซชั่น และวงจรสร้างสัญญาณนาฬิกา

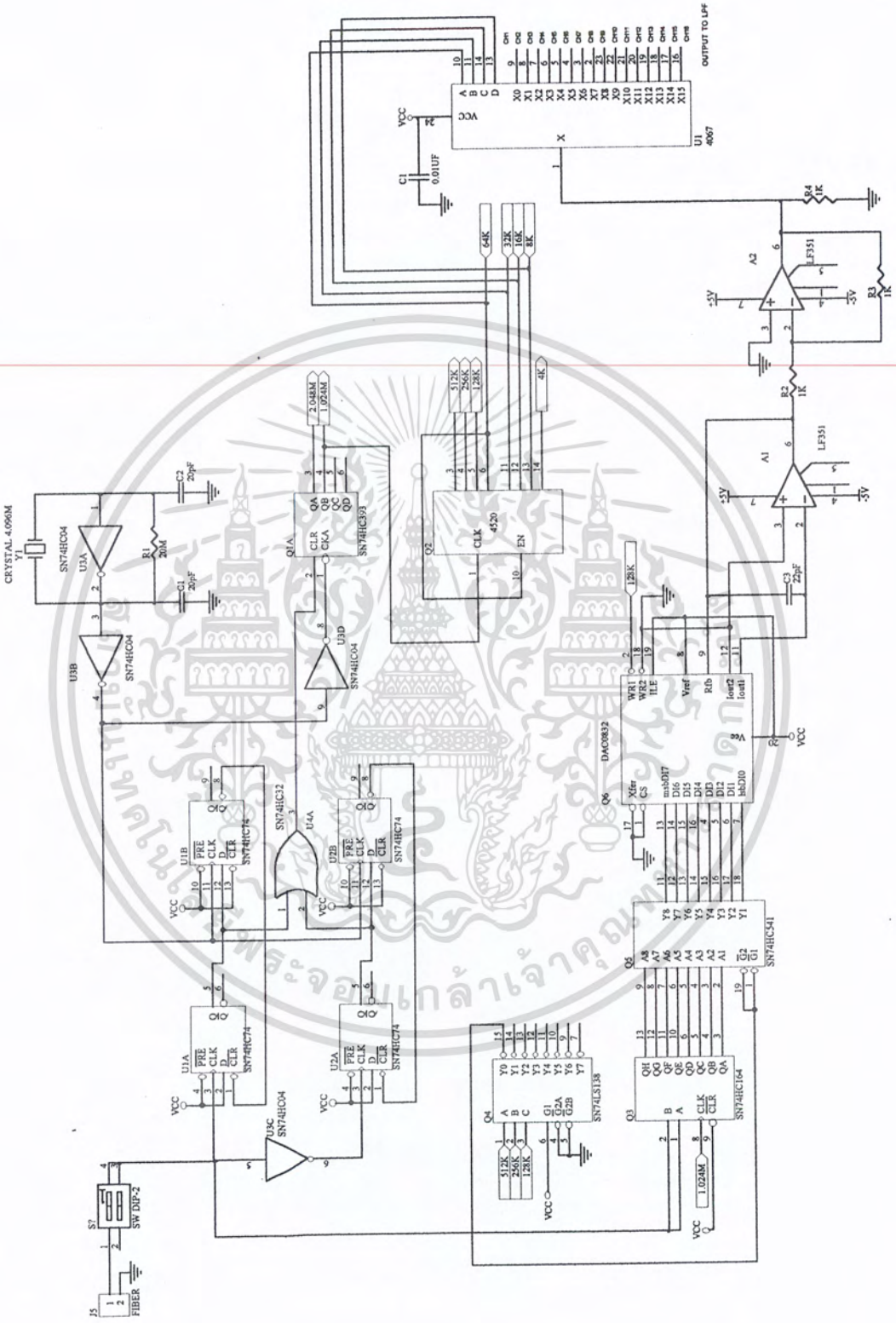
วงจรบิทซิงโครไนซ์เซชั่น ใช้หลักการสร้างสัญญาณนาฬิกาขึ้นมาใหม่ให้มีความสัมพันธ์กับภาคส่งโดยอาศัยการตรวจจับสัญญาณอินพุทที่รับเข้ามา หาตำแหน่งที่มีการเปลี่ยนแปลงระดับของสัญญาณจาก 0 เป็น 1 หรือจาก 1 เป็น 0 นำไปใช้ในการซิงโครไนซ์ วงจรบิทซิงโครไนซ์แสดงได้ดังรูป



รูปที่ 3.15 วงจรบิทซิงโครไนซ์เซชั่น

การทำงานของวงจรเริ่มจากสัญญาณอินพุท NRZ ที่เข้ามา ถูกแบ่งเป็น 2ทางเพื่อจัดระดับการเปลี่ยนแปลงทั้งด้าน LOW และ HIGH สัญญาณทั้ง 2 ผ่านเข้าไปยัง D-Flip Flop ซึ่งจะให้เอาท์พุทเป็น1 เมื่อมีการเปลี่ยนแปลงสัญญาณอินพุทโดย U1:A จะให้เอาท์พุทเปลี่ยนจาก0 เป็น 1 เมื่ออินพุทเปลี่ยนจาก 0 เป็น 1 (ตรวจจับขอบขาขึ้น) และ U2 :A จะให้เอาท์พุทเปลี่ยนจาก0 เป็น 1 เมื่ออินพุทเปลี่ยนจาก 1 เป็น 0 (ตรวจจับขอบขาลง) เอาท์พุททั้ง 2ที่ได้นี้ผ่าน OR Gate ไปทำการรีเซต ไอซี 74393 ให้เริ่มต้นการผลิต clockใหม่ทุกครั้งที่มีการเปลี่ยนแปลงระดับของข้อมูลที่ส่งมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

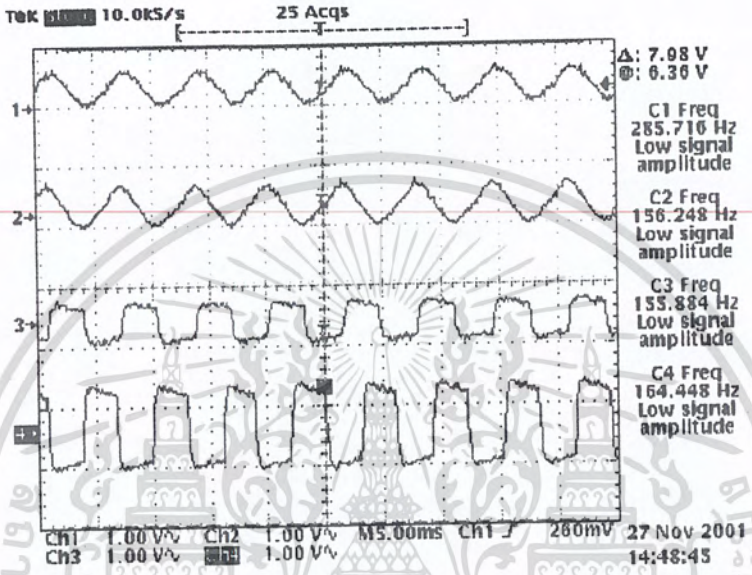


รูปที่3.16 แสดงวงจรภาครับ (Receiver)

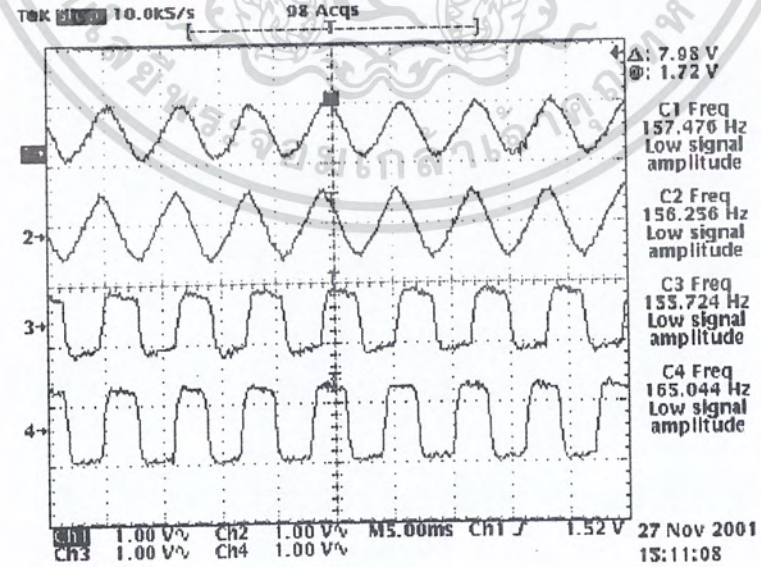
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลอง

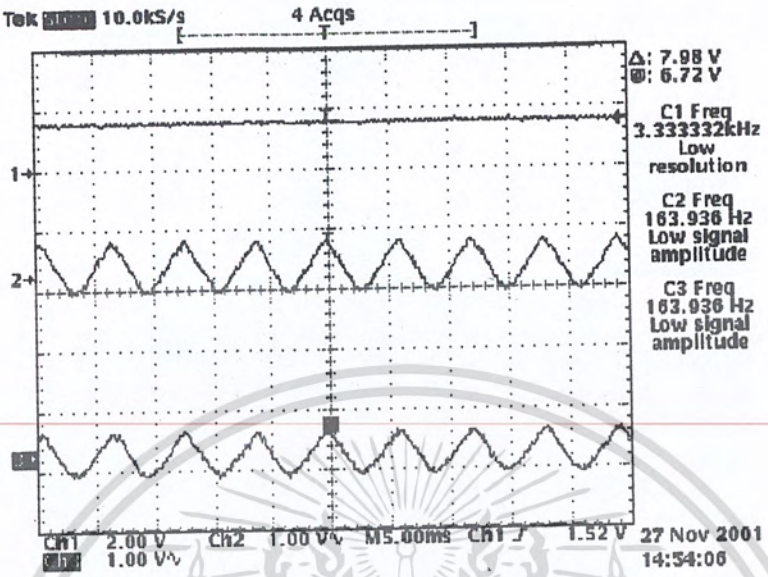


รูปที่ 4.1 แสดงสัญญาณภาคส่งช่องที่ 1 ถึงช่องที่ 4

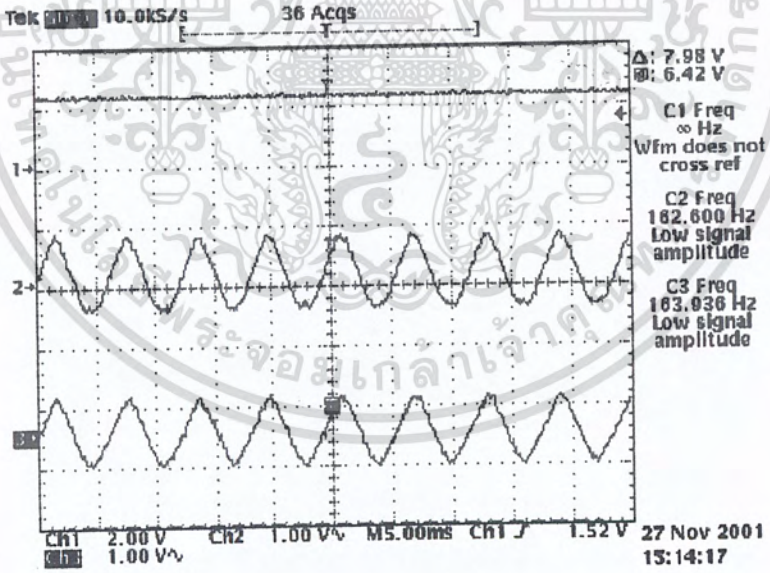


รูปที่ 4.2 แสดงสัญญาณภาครับช่องที่ 1 ถึงช่องที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

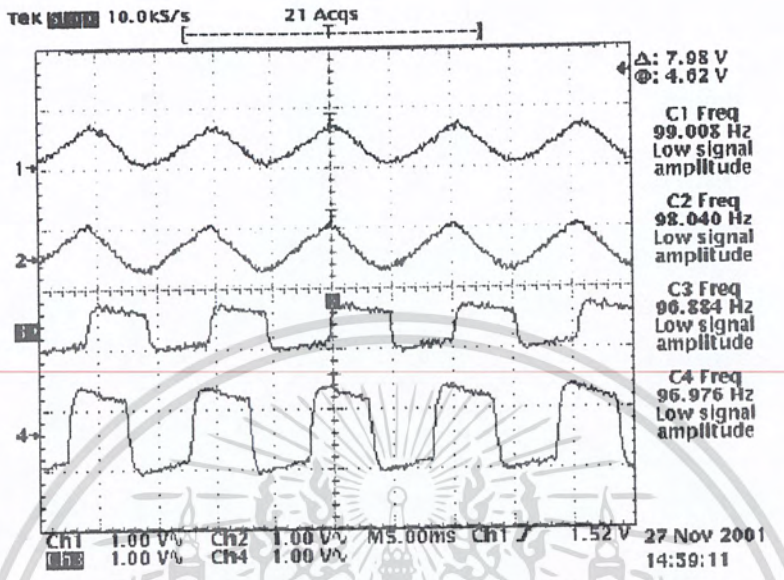


รูปที่ 4.3 แสดงสัญญาณภาคส่งช่องที่ 5 ถึงช่องที่ 7

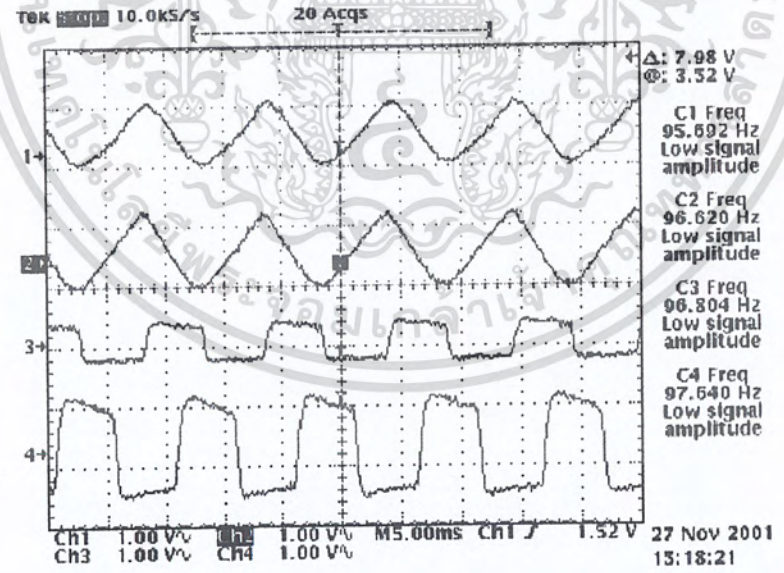


รูปที่ 4.4 แสดงสัญญาณภาครับช่องที่ 5 ถึงช่องที่ 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

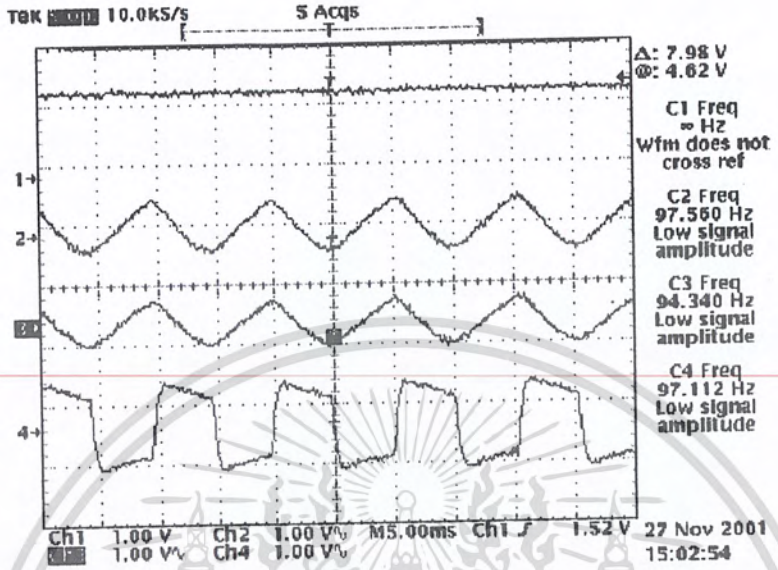


รูปที่ 4.5 แสดงสัญญาณภาคส่งช่องที่ 8 ถึงช่องที่ 11

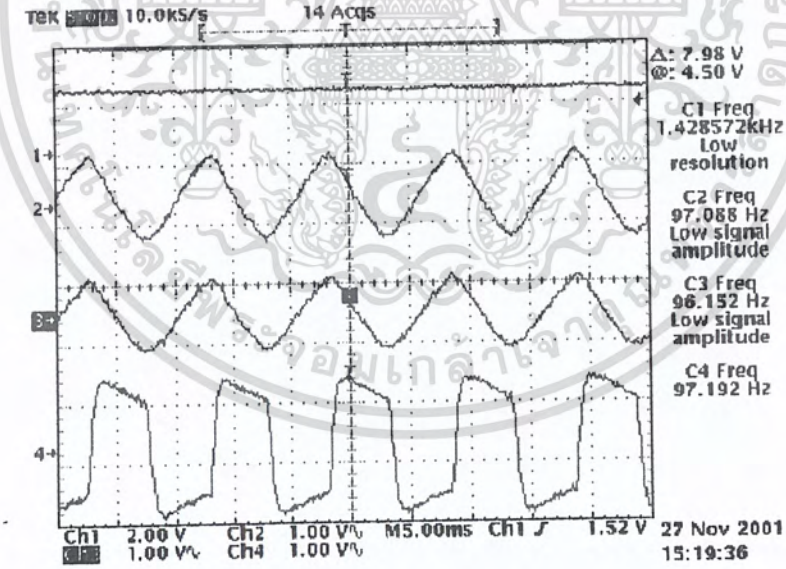


รูปที่ 4.6 แสดงสัญญาณภาครับช่องที่ 8 ถึงช่องที่ 11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

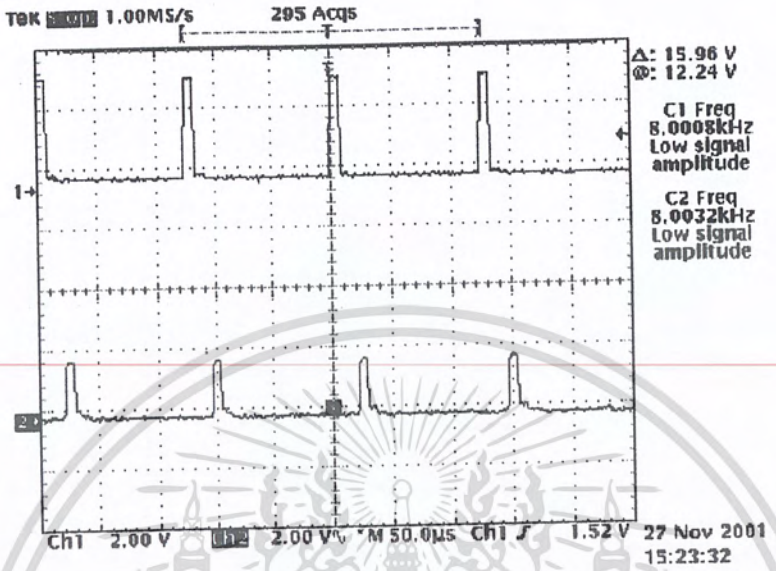


รูปที่ 4.7 แสดงสัญญาณภาคส่งช่องที่ 12 ถึงช่องที่ 15



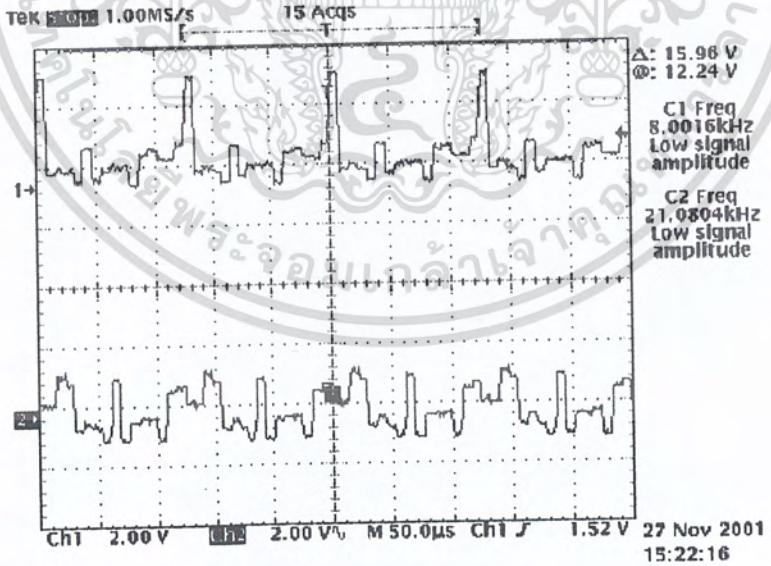
รูปที่ 4.8 แสดงสัญญาณภาครับช่องที่ 12 ถึงช่องที่ 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 แสดงสัญญาณซิงโครไนซ์ที่ภาคส่งและภาครับ

ซึ่งเป็นสัญญาณช่องที่ 16



รูปที่ 4.10 แสดงสัญญาณอนาลอก 16 ช่อง มัลติเพล็กซ์ที่ภาคส่ง

และสัญญาณที่ตรวจวัดได้ที่ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุปโครงงาน

โครงงานนี้เป็นชุดทดลอง ซึ่งออกแบบให้ทำการส่งสัญญาณจำนวน 16 ช่อง แต่ละช่องมีค่าความถี่ที่ใกล้เคียงกันแต่มีลักษณะสัญญาณที่แตกต่างกันเพื่อให้ง่ายต่อการทำการทดลอง โดยใช้การมัลติเพล็กซ์สัญญาณแบบ TDM และใช้ความถี่ในการ Sampling เท่ากับ 128 kHz จากนั้นทำการส่งสัญญาณแบบ PCM โดยผ่านสายโคแอคเชียลไปยังภาครับ เพื่อทำการถอดรหัสด้วยความถี่เดียวกันคือ 128 kHz และดีมัลติเพล็กซ์สัญญาณกลับคืนมา ผลจากการทดลอง สามารถทำการรับส่งสัญญาณได้ทั้ง 16 ช่อง โดยสัญญาณอินพุทและเอาท์พุทมีขนาดแอมปลิจูด และเฟส ใกล้เคียงกัน รูปร่างสัญญาณมีความเพี้ยนน้อยมาก

หลังจากการที่ผู้จัดทำโครงงานได้ทำการสร้างและทดลองวงจรในส่วนต่างๆ โดยเริ่มตั้งแต่ในส่วนของวงจรภาคส่ง จนถึงส่วนของวงจรภาครับ พบปัญหาหลายอย่างที่ต้องหาสาเหตุและปรับปรุงแก้ไขเพื่อให้ได้ผลการทดลองที่ถูกต้อง ปัญหาต่างๆที่พบแบ่งได้ยกตัวอย่างเช่น ปัญหาจากสัญญาณรบกวน ไม่ว่าจากแหล่งจ่ายไฟ หรือเกิดจากผลของการต่อวงจร โดยเฉพาะวงจรกำเนิดสัญญาณอนาลอก สัญญาณรบกวนจากแหล่งจ่ายไฟทำให้สัญญาณที่วัดได้จาก Oscilloscope ไม่นิ่งมีการสั่นเป็นระยะๆ สามารถแก้ไขโดยต่อ ตัวเก็บประจุบล็อกที่ขั้วไฟเลี้ยงของวงจร ในส่วนปลีกย่อยอื่น ๆ มาจากหลายสาเหตุแตกต่างกันไป ไม่ว่าจะเป็นเรื่องของการบัดกรีที่ต้องแน่ใจว่าวงจรที่บัดกรีนั้นต่อกันจริง ๆ หรือ การใช้เครื่องมือหรืออุปกรณ์ที่ใช้ทำการวัดต้องมีความเข้าใจ และสามารถใช้งานได้อย่างถูกต้อง ถูกวิธี หรือการออกแบบแผ่น PCB ที่ควรทำกราวด์เพลนด้วยจะทำให้เสถียรภาพของวงจรดีขึ้น เป็นต้น

จากผลการทดลองและปัญหาที่พบนั้นสามารถนำไปแก้ไขและประยุกต์ใช้งานจริงได้ สำหรับโครงงานนี้เป็นชุดทดลอง จึงมีส่วนที่แตกต่างจากวงจรใช้งานจริงอยู่บ้าง ดังนั้นวงจรบางส่วนจึงถูกออกแบบเพื่อใช้ในการทดลองเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. Ronald J. Tocci and Neal S. Widmer, Digital Systems Principle and Applications, Printice Hall,1980

2. นภัทร วัจนเทพินทร์ ทฤษฎีและการออกแบบวงจรพัลซ์, พิมพ์ครั้งที่1, พศ.2538

3. Operational Amplifiers and Linear Integrated Circuit ของ Robert F. Coughlin และ Frederick F. Driscool เรียบเรียงโดย วิโรจน์ อัศวรังสี, ชัชวาล เต็มฤทธิวงศ์ และ กรชุลี ใช้สถิตย์, พศ.2521

4. จักรกริศน์ จิตรแหง , พรทวี มีมา , มนัส พลายแก้ว การส่งสัญญาณเสียง PCM ชนิด 8 บิทผ่านสายไฟเบอร์ออปติค ปริญญานิพนธ์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2540

5. สุรพงษ์ คำพา , อานนท์ แสงฉายศุภกร ชุดทดลองมัลติเพล็กซ์คอมมูนิเคชั่น ปริญญานิพนธ์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2542

6. Brinton B. Mitchell, Semiconductor Pulse Circuit, Holt, Rinchart and Winston, Inc. 1970

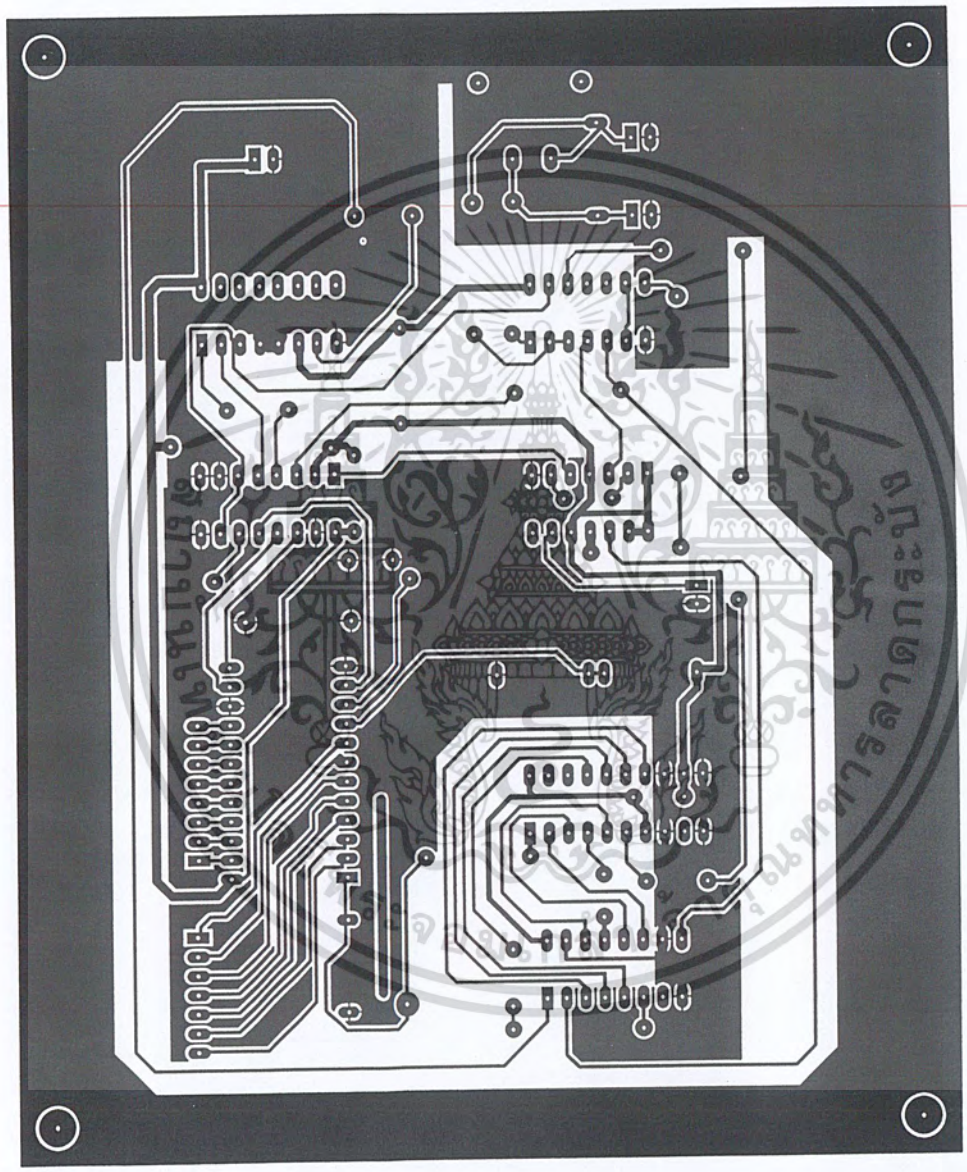
7. John M. Doyle, Pulse Fundamentals, Prentice-Hall, Inc. 1963.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

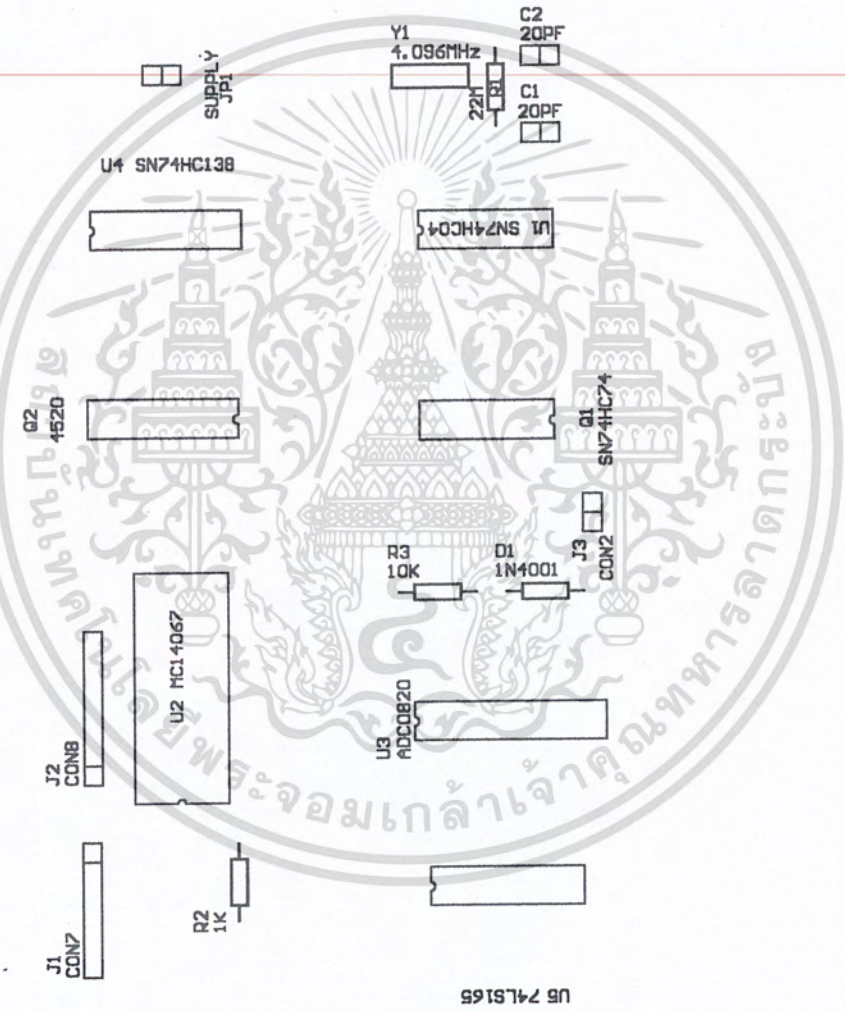
รายละเอียดของแผ่น PCB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



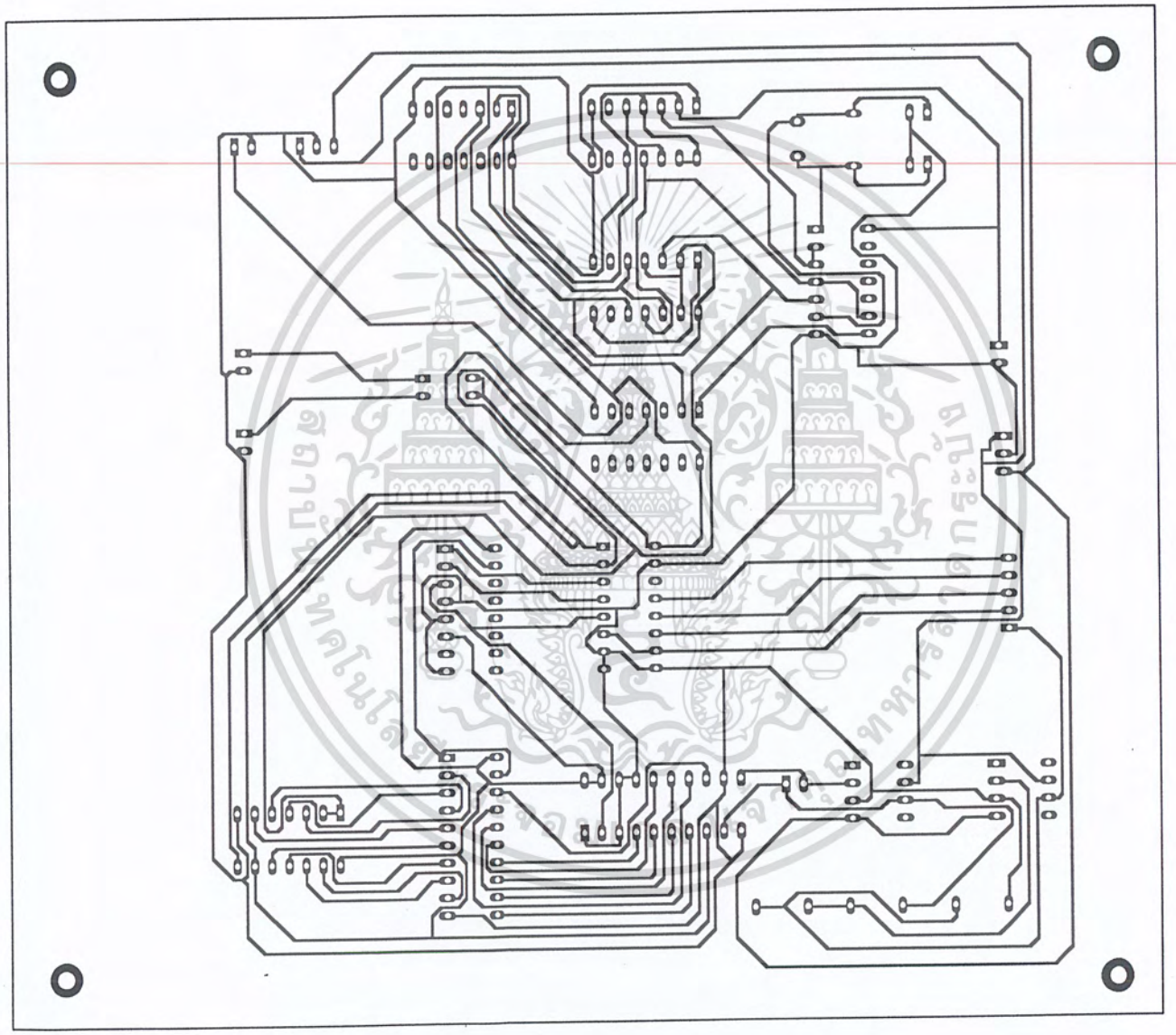
รูปที่1 แสดงแผ่น PCB ของวงจรภาคส่งมองจากด้านบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



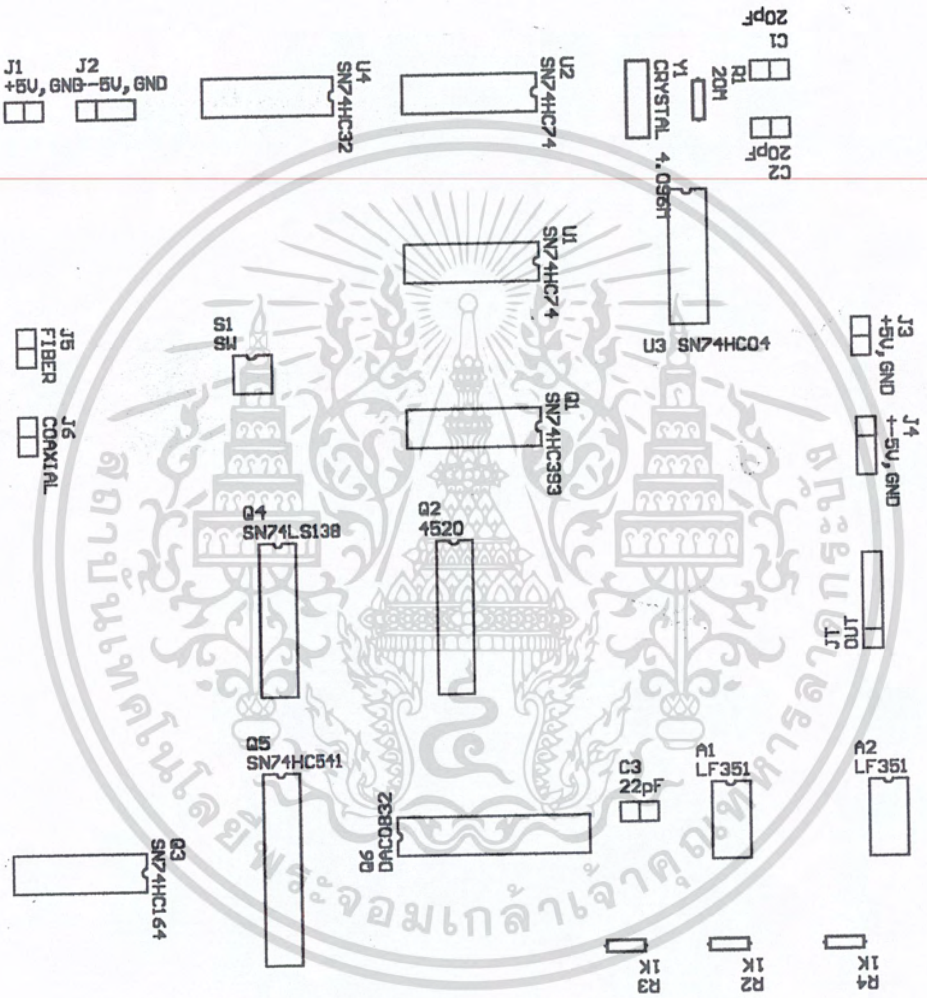
รูปที่ 2 แสดงการจัดเรียงอุปกรณ์ของวงจรภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



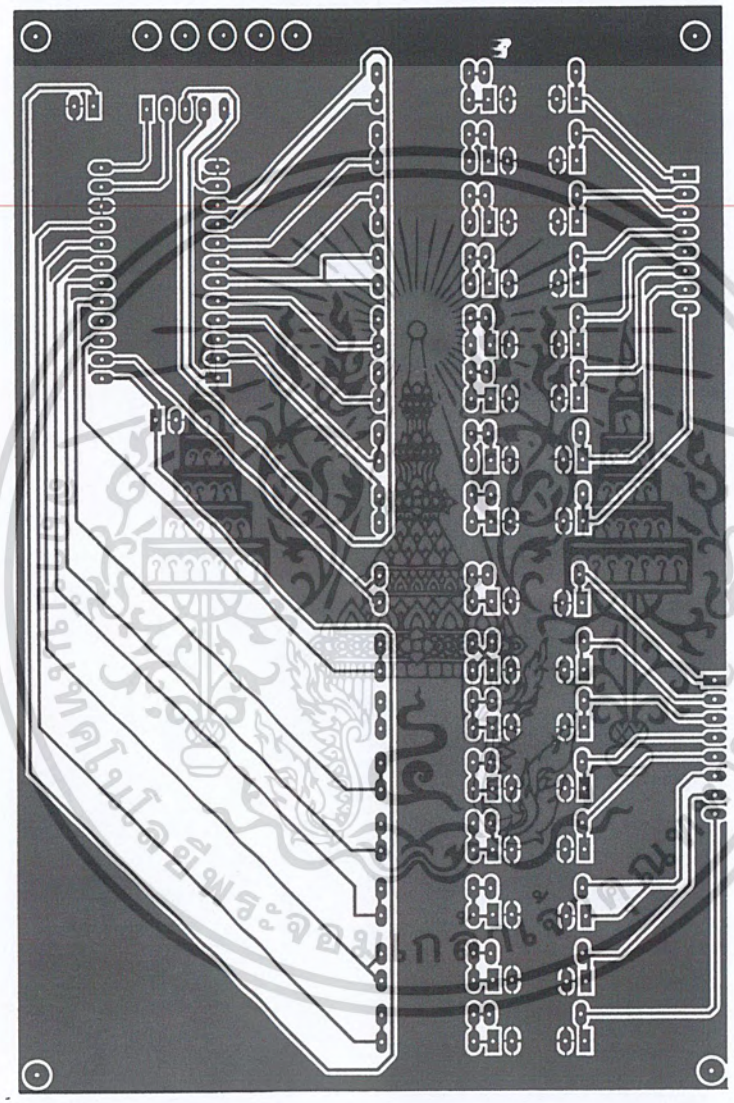
รูปที่3 แผ่น PCB ของวงจรภาครับมองจากด้านบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



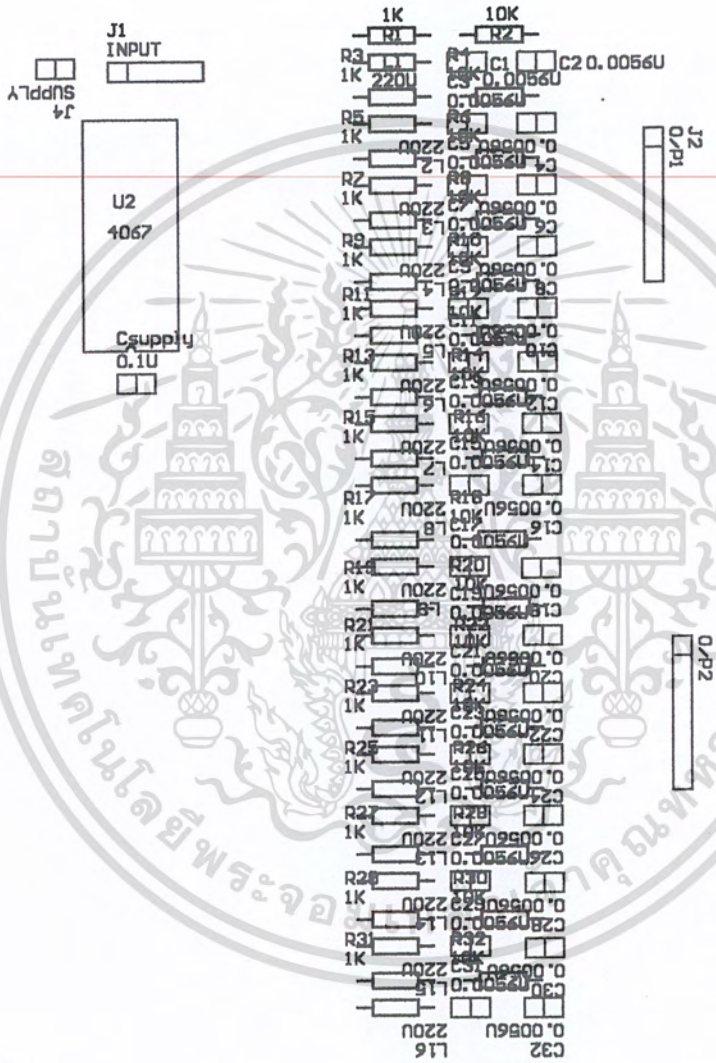
รูปที่4 การจัดเรียงอุปกรณ์ของวงจรภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่5 แผ่น PCB ของวงจรดีมัลติเพล็กซ์และวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

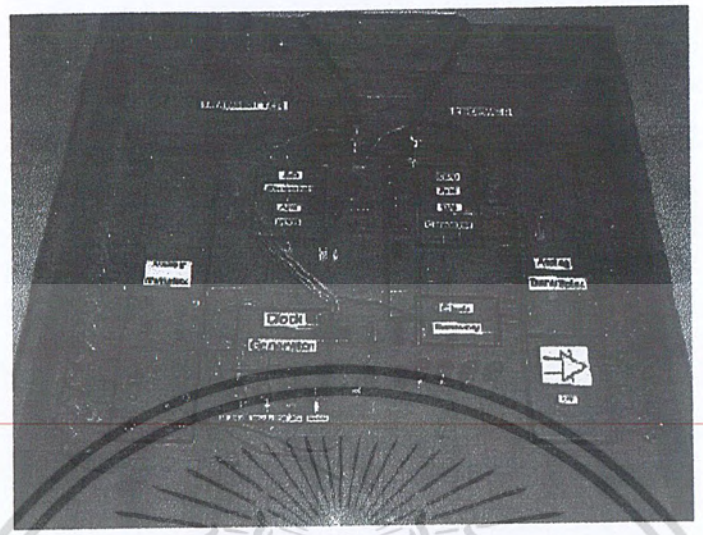


รูปที่6 การจัดเรียงอุปกรณ์ของวงจรดีมัลติเพล็กซ์และวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7 แสดงด้านบนของชิ้นงาน

รูปที่ 8 แสดงชิ้นงานทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14067B

Analog Multiplexers / Demultiplexers

The MC14067 multiplexer/demultiplexer is a digitally controlled analog switch featuring low ON resistance and very low leakage current. This device can be used in either digital or analog applications.

The MC14067 is a 16–channel multiplexer/demultiplexer with an inhibit and four binary control inputs A, B, C, and D. These control inputs select 1–of–16 channels by turning ON the appropriate analog switch (see MC14067 truth table.)

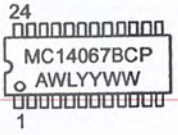
- Low OFF Leakage Current
- Matched Channel Resistance
- Low Quiescent Power Consumption
- Low Crosstalk Between Channels
- Wide Operating Voltage Range: 3 to 18 V
- Low Noise
- Pin for Pin Replacement for CD4067B

ON Semiconductor

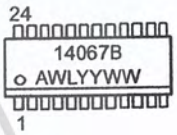
http://onsemi.com

MARKING DIAGRAMS

PDIP–24
P SUFFIX
CASE 709



SOIC–24
DW SUFFIX
CASE 751E



A = Assembly Location
WL, L = Wafer Lot
YY, Y = Year
WW, W = Work Week

MAXIMUM RATINGS (Voltages Referenced to V_{SS}) (Note 1.)

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage Range	– 0.5 to + 18.0	V
V_{in}, V_{out}	Input or Output Voltage Range (DC or Transient)	– 0.5 to V_{DD} + 0.5	V
I_{in}	Input Current (DC or Transient), per Control Pin	± 10	mA
I_{sw}	Switch Through Current	± 25	mA
P_D	Power Dissipation, per Package (Note 2.)	500	mW
T_A	Ambient Temperature Range	– 55 to + 125	°C
T_{stg}	Storage Temperature Range	– 65 to + 150	°C
T_L	Lead Temperature (8–Second Soldering)	260	°C

1. Maximum Ratings are those values beyond which damage to the device may occur.
2. Temperature Derating:
   Plastic "P and D/DW" Packages: – 7.0 mW/°C From 65°C To 125°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

ORDERING INFORMATION

Device	Package	Shipping
MC14067BCP	PDIP–24	15/Rail
MC14067BDW	SOIC–24	30/Rail
MC14067BDWR2	SOIC–24	1000/Tape & Reel

© Semiconductor Components Industries, LLC, 2000

August, 2000 – Rev. 4

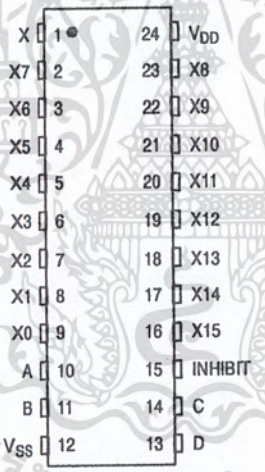
Publication Order Number:
MC14067B/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14067 TRUTH TABLE

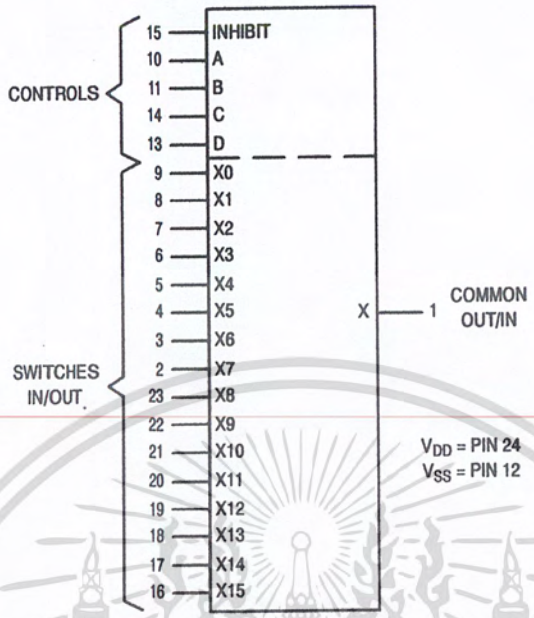
Control Inputs					Selected Channel
A	B	C	D	Inh	
X	X	X	X	1	None
0	0	0	0	0	X0
1	0	0	0	0	X1
0	1	0	0	0	X2
1	1	0	0	0	X3
0	0	1	0	0	X4
1	0	1	0	0	X5
0	1	1	0	0	X6
1	1	1	0	0	X7
0	0	0	1	0	X8
1	0	0	1	0	X9
0	1	0	1	0	X10
1	1	0	1	0	X11
0	0	1	1	0	X12
1	0	1	1	0	X13
0	1	1	1	0	X14
1	1	1	1	0	X15

MC14067B
PIN ASSIGNMENT

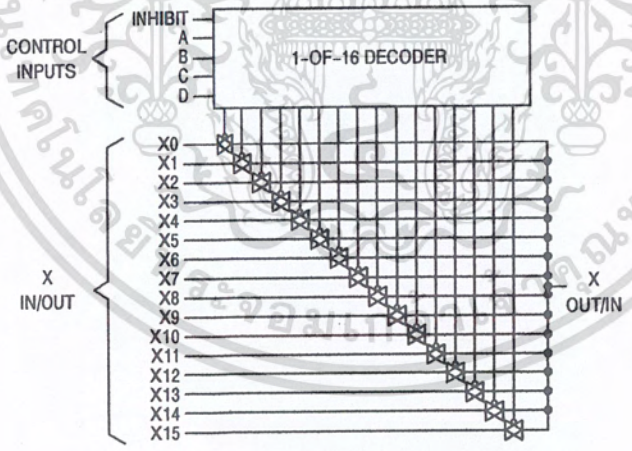


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14067B
16–Channel Analog
Multiplexer/Demultiplexer



MC14067 FUNCTIONAL DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD}	Test Conditions	−55°C Min	−55°C Max	25°C Min	25°C Typ (3.)	25°C Max	125°C Min	125°C Max	Unit
SUPPLY REQUIREMENTS (Voltages Referenced to V_{SS})											
Power Supply Voltage Range	V_{DD}	—		3.0	18	3.0	—	18	3.0	18	V
Quiescent Current Per Package	I_{DD}	5.0 10 15	Control Inputs: V_{in} = V_{SS} or V_{DD}, Switch I/O: $V_{SS} \le V_{I/O} \le V_{DD}$, and $\Delta V_{switch} \le 500$ mV (4.)	— — —	5.0 10 20	— — —	0.005 0.010 0.015	5.0 10 20	— — —	150 300 600	μA
Total Supply Current (Dynamic Plus Quiescent, Per Package	$I_{D(AV)}$	5.0 10 15	T_A = 25°C only (The channel component, $(V_{in} - V_{out})/R_{on}$, is not included.)	Typical			(0.07 μA/kHz) f + I_{DD} (0.20 μA/kHz) f + I_{DD} (0.36 μA/kHz) f + I_{DD}				μA
CONTROL INPUTS — INHIBIT, A, B, C, D (Voltages Referenced to V_{SS})											
Low–Level Input Voltage	V_{IL}	5.0 10 15	R_{on} = per spec, I_{off} = per spec	— — —	1.5 3.0 4.0	— — —	2.25 4.50 6.75	1.5 3.0 4.0	— — —	1.5 3.0 4.0	V
High–Level Input Voltage	V_{IH}	5.0 10 15	R_{on} = per spec, I_{off} = per spec	3.5 7.0 11	— — —	3.5 7.0 11	2.75 5.50 8.25	— — —	3.5 7.0 11	— — —	V
Input Leakage Current	I_{in}	15	V_{in} = 0 or V_{DD}	—	±0.1	—	±0.00001	±0.1	—	1.0	μA
Input Capacitance	C_{in}	—		—	—	—	5.0	7.5	—	—	pF
SWITCHES IN/OUT AND COMMONS OUT/IN — X, Y (Voltages Referenced to V_{SS})											
Recommended Peak–to–Peak Voltage Into or Out of the Switch	$V_{I/O}$	—	Channel On or Off	0	V_{DD}	0	—	V_{DD}	0	V_{DD}	V_{p-p}
Recommended Static or Dynamic Voltage Across the Switch (4.) (Figure 1)	ΔV_{switch}	—	Channel On	0	600	0	—	600	0	300	mV
Output Offset Voltage	V_{OO}	—	V_{in} = 0 V, No Load	—	—	—	10	—	—	—	μV
ON Resistance	R_{on}	5.0 10 15	$\Delta V_{switch} \le 500$ mV (4.), V_{in} = V_{IL} or V_{IH} (Control), and V_{in} 0 to V_{DD} (Switch)	— — —	800 400 220	— — —	250 120 80	1050 500 280	— — —	1300 550 320	Ω
ΔON Resistance Between Any Two Channels in the Same Package	ΔR_{on}	5.0 10 15		— — —	70 50 45	— — —	25 10 10	70 50 45	— — —	135 95 65	Ω
Off–Channel Leakage Current (Figure 2)	I_{off}	15	V_{in} = V_{IL} or V_{IH} (Control) Channel to Channel or Any One Channel	—	±100	—	±0.05	±100	—	±1000	nA
Capacitance, Switch I/O	$C_{I/O}$	—	Inhibit = V_{DD}	—	—	—	10	—	—	—	pF
Capacitance, Common O/I	$C_{O/I}$	—	Inhibit = V_{DD} (MC14067B) (MC14097B)	— —	— —	— —	100 60	— —	— —	— —	pF
Capacitance, Feedthrough (Channel Off)	$C_{I/O}$	— —	Pins Not Adjacent Pins Adjacent	—	—	—	0.47	—	—	—	pF

3. Data labeled "Typ" is not to be used for design purposes, but is intended as an indication of the IC's potential performance.
4. For voltage drops across the switch (ΔV_{switch}) > 600 mV (> 300 mV at high temperature), excessive V_{DD} current may be drawn; i.e. the current out of the switch may contain both V_{DD} and switch input components. The reliability of the device will be unaffected unless the Maximum Ratings are exceeded. (See first page of this data sheet.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	$V_{DD} - V_{SS}$ Vdc	Typ (5.)	Max	Unit
Propagation Delay Times Channel Input–to–Channel Output (R_L = 200 kΩ) MC14067B	t_{PLH}, t_{PHL} (Figure 3)	5.0 10 15	35 15 12	90 40 30	ns
Control Input–to–Channel Output Channel Turn–On Time (R_L = 10 kΩ) MC14067B	t_{PZH}, t_{PZL} (Figure 4)	5.0 10 15	240 115 75	600 290 190	ns
Channel Turn–Off Time (R_L = 300 kΩ) MC14067B	t_{PHZ}, t_{PLZ} (Figure 4)	5.0 10 15	250 120 75	625 300 190	ns
Any Pair of Address Inputs to Output MC14067B	t_{PLH}, t_{PHL}	5.0 10 15	280 115 85	700 290 215	ns
Second Harmonic Distortion (R_L = 10 kΩ, f = 1 kHz, V_{in} = 5 V_{p-p})	—	10	0.3	—	%
ON Channel Bandwidth [R_L = 1 kΩ, V_{in} = 1/2 ($V_{DD} - V_{SS}$) $_{p-p}$(sine–wave)] 20 Log10 (V_{out}/V_{in}) = – 3 dB MC14067B	BW (Figure 5)	10	15	—	MHz
Off Channel Feedthrough Attenuation [R_L = 1 kΩ, V_{in} = 1/2 (V_{DD}–V_{SS}) $_{p-p}$(sine–wave)] f_{in} = 20 MHz – MC14067B	— (Figure 5)	10	– 40	—	dB
Channel Separation [R_L = 1 kΩ, V_{in} = 1/2 (V_{DD}–V_{SS}) $_{p-p}$ (sine–wave)] f_{in} = 20 MHz	— (Figure 6)	10	– 40	—	dB
Crosstalk, Control Inputs–to–Common O/I (R1 = 1 kΩ, R_L = 10 kΩ, Control t_r = t_f = 20 ns, Inhibit = V_{SS})	— (Figure 7)	10	30	—	mV

5. Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

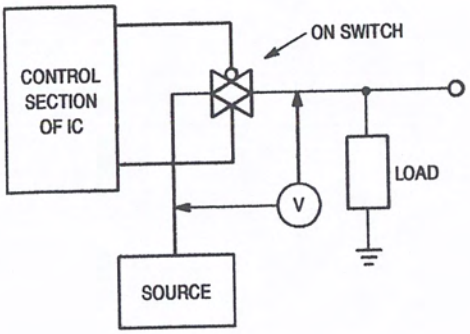


Figure 1. ΔV Across Switch

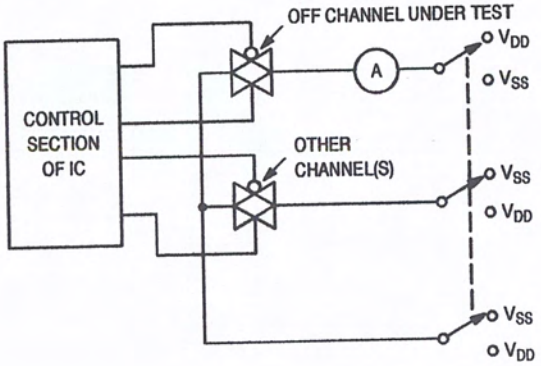


Figure 2. Off Channel Leakage

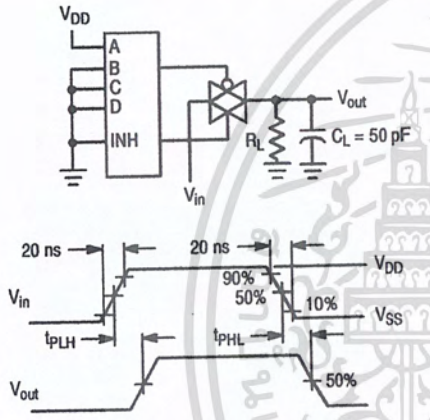


Figure 3. Propagation Delay Test Circuit and Waveforms V_{in} to V_{out}

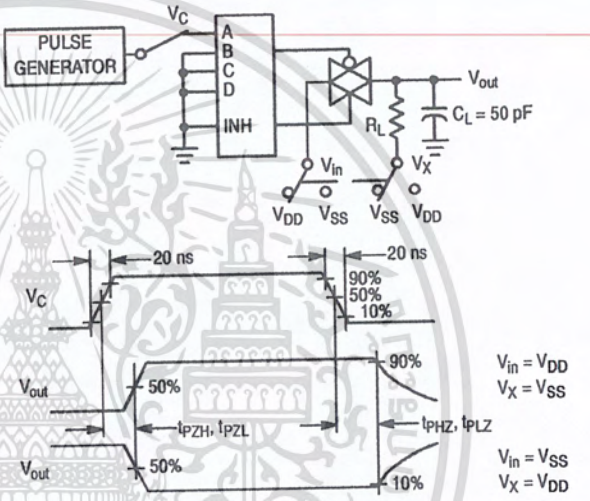


Figure 4. Turn–On and Delay Turn–Off Test Circuit and Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A, B, and C inputs used to turn ON or OFF the switch under test.

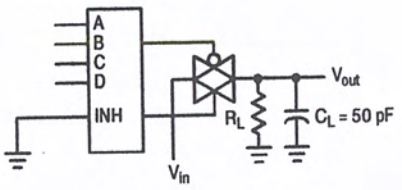


Figure 5. Bandwidth and Off–Channel Feedthrough Attenuation

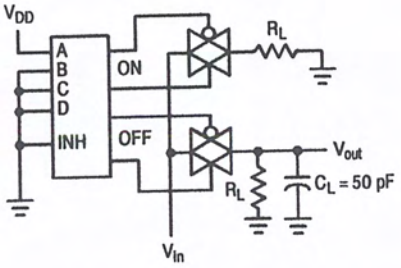


Figure 6. Channel Separation (Adjacent Channels Used for Setup)

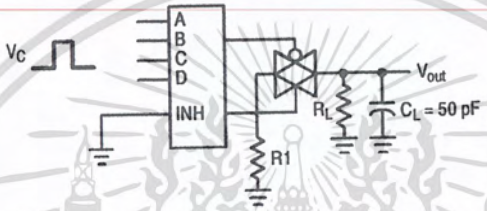


Figure 7. Crosstalk, Control to Common O/I

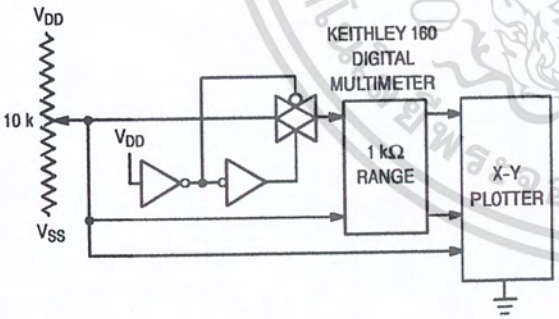


Figure 8. Channel Resistance (R_{ON}) Test Circuit

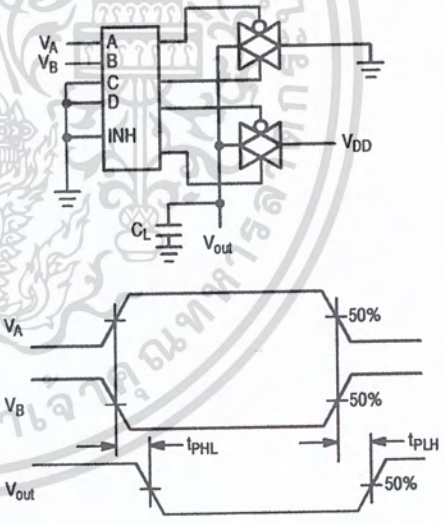


Figure 9. Propagation Delay, Any Pair of Address Inputs to Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL RESISTANCE CHARACTERISTICS

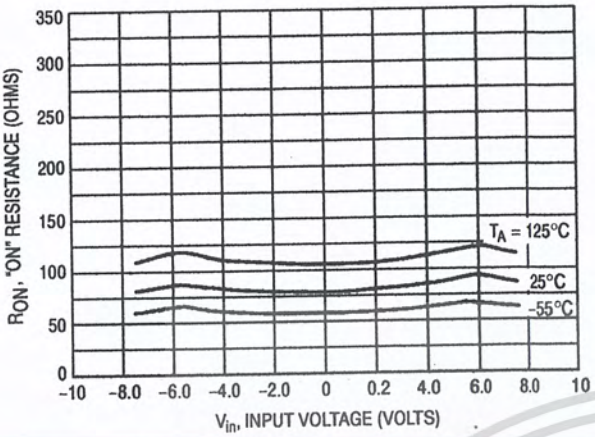


Figure 10. V_{DD} = 7.5 V, V_{SS} = – 7.5 V

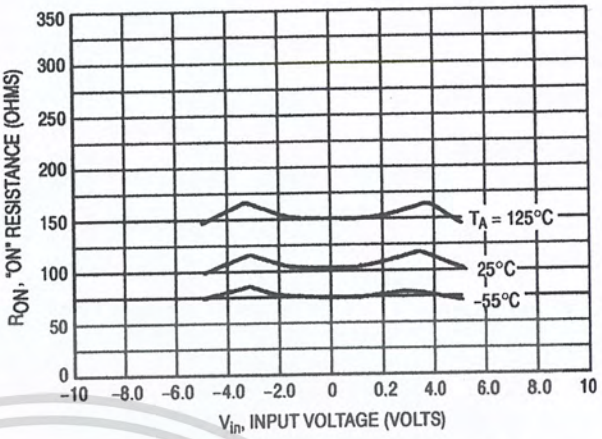


Figure 11. V_{DD} = 5.0 V, V_{SS} = – 5.0 V

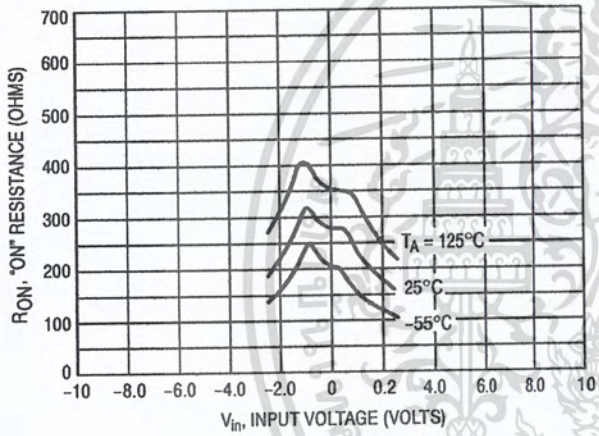


Figure 12. V_{DD} = 2.5 V, V_{SS} = – 2.5 V

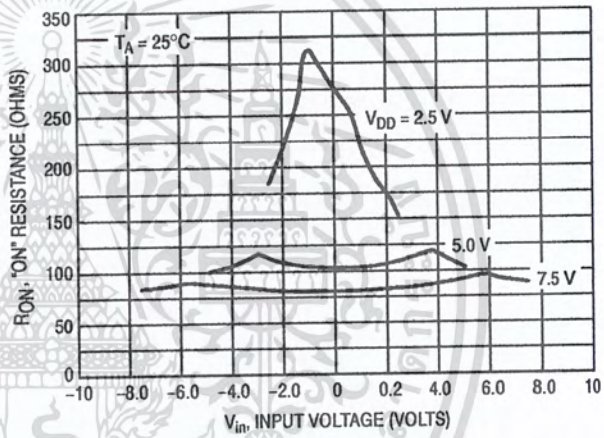


Figure 13. Comparison at 25°C, V_{DD} = –V_{SS}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

Figure A illustrates use of the Analog Multiplexer/Demultiplexer. The 0–to–5 volt Digital Control signal is used to directly control a 5 V_{p-p} analog signal.

The digital control logic levels are determined by V_{DD} and V_{SS}. The V_{DD} voltage is the logic high voltage; the V_{SS} voltage is logic low. For the example. V_{DD} = + 5 V = logic high at the control inputs; V_{SS} = GND = 0 V = logic low.

The maximum analog signal level is determined by V_{DD} and V_{SS}. The analog voltage must swing neither higher than V_{DD} nor lower than V_{SS}. The example shows a 5 V_{p-p} signal which allows no margin at either peak. If voltage transients above V_{DD} and/or below V_{SS} are anticipated on the analog channels, external diodes (D_x) are recommended as shown in Figure B. These diodes should be small signal types able to absorb the maximum anticipated current surges during clipping.

The absolute maximum potential difference between V_{DD} and V_{SS} is 18.0 volts. Most parameters are specified up to 15 V which is the recommended maximum difference between V_{DD} and V_{SS}.

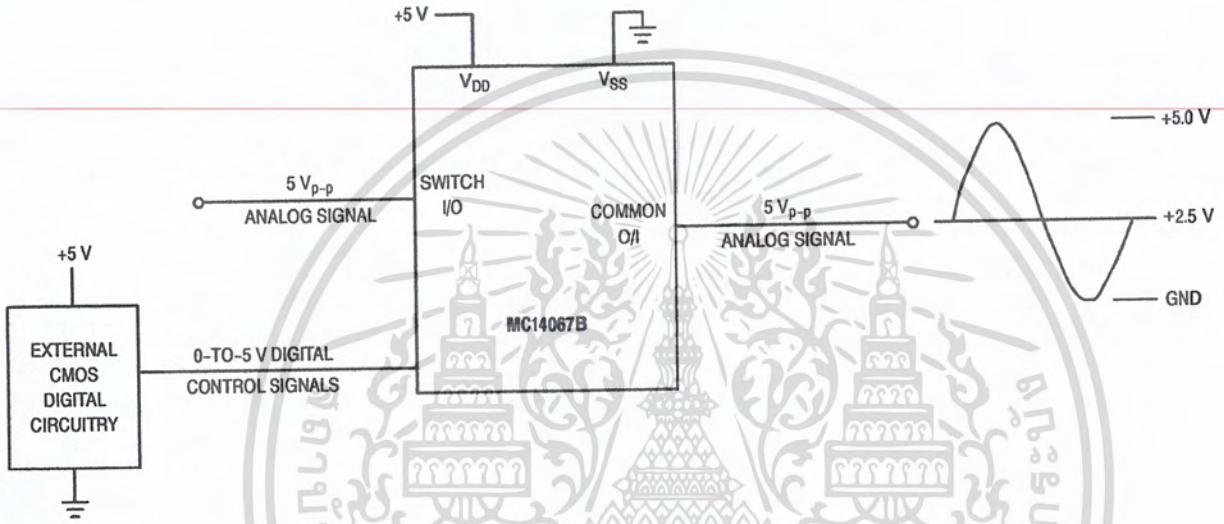


Figure A. Application Example

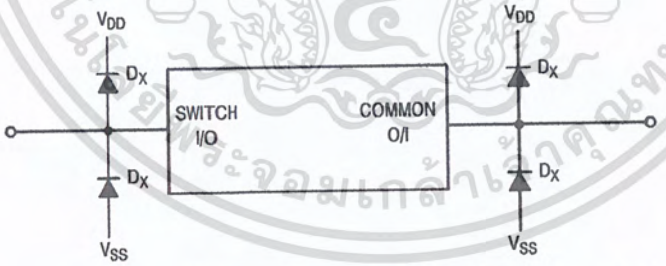
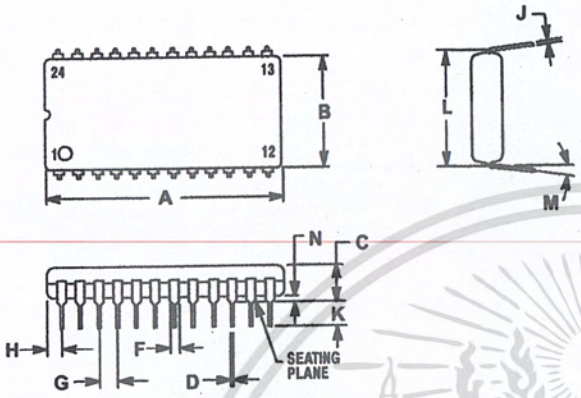


Figure B. External Germanium or Schottky Clipping Diodes

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

PDIP–24
P SUFFIX
CASE 709–02
ISSUE C



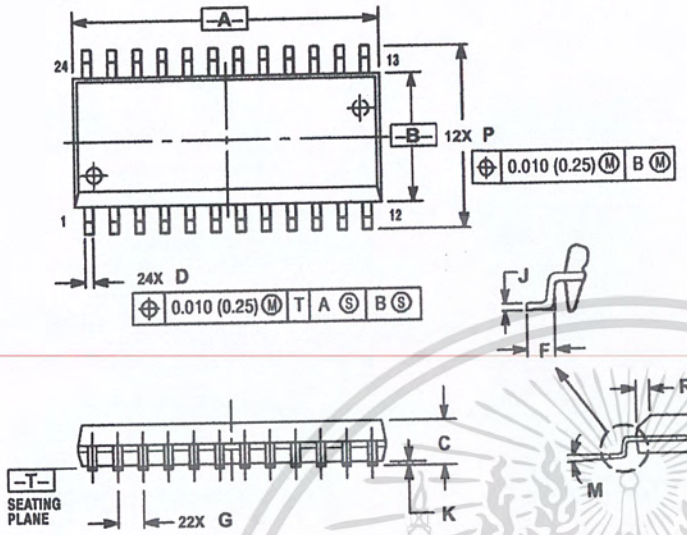
NOTES:
1. POSITIONAL TOLERANCE OF LEADS (D), SHALL BE WITHIN 0.25 (0.010) AT MAXIMUM MATERIAL CONDITION, IN RELATION TO SEATING PLANE AND EACH OTHER.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
4. CONTROLLING DIMENSION: INCH.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	1.235	1.265	31.37	32.13
B	0.540	0.560	13.72	14.22
C	0.155	0.200	3.94	5.08
D	0.014	0.022	0.36	0.56
F	0.040	0.060	1.02	1.52
G	0.100 BSC		2.54 BSC	
H	0.065	0.080	1.65	2.03
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.600 BSC		15.24 BSC	
M	0°	15°	0°	15°
N	0.020	0.040	0.51	1.02

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

SOIC–24
DW SUFFIX
CASE 751E–04
ISSUE E



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 (0.005) TOTAL IN EXCESS OF D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	15.25	15.54	0.601	0.612
B	7.40	7.60	0.292	0.299
C	2.35	2.65	0.093	0.104
D	0.35	0.49	0.014	0.019
F	0.41	0.90	0.016	0.035
G	1.27 BSC		0.050 BSC	
J	0.23	0.32	0.009	0.013
K	0.13	0.29	0.005	0.011
M	0°	8°	0°	8°
P	10.05	10.55	0.395	0.415
R	0.25	0.75	0.010	0.029

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ON Semiconductor and ON are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

PUBLICATION ORDERING INFORMATION

NORTH AMERICA Literature Fulfillment:
Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303–675–2175 or 800–344–3860 Toll Free USA/Canada
Fax: 303–675–2176 or 800–344–3867 Toll Free USA/Canada
Email: ONlit@hibbertco.com
Fax Response Line: 303–675–2167 or 800–344–3810 Toll Free USA/Canada

N. American Technical Support: 800–282–9855 Toll Free USA/Canada

EUROPE: LDC for ON Semiconductor – European Support
German Phone: (+1) 303–308–7140 (Mon–Fri 2:30pm to 7:00pm CET)
Email: ONlit–german@hibbertco.com
French Phone: (+1) 303–308–7141 (Mon–Fri 2:00pm to 7:00pm CET)
Email: ONlit–french@hibbertco.com
English Phone: (+1) 303–308–7142 (Mon–Fri 12:00pm to 5:00pm GMT)
Email: ONlit@hibbertco.com

EUROPEAN TOLL–FREE ACCESS*: 00–800–4422–3781
*Available from Germany, France, Italy, UK

CENTRAL/SOUTH AMERICA:
Spanish Phone: 303–308–7143 (Mon–Fri 8:00am to 5:00pm MST)
Email: ONlit–spanish@hibbertco.com

ASIA/PACIFIC: LDC for ON Semiconductor – Asia Support
Phone: 303–675–2121 (Tue–Fri 9:00am to 1:00pm, Hong Kong Time)
Toll Free from Hong Kong & Singapore:
001–800–4422–3781
Email: ONlit–asia@hibbertco.com

JAPAN: ON Semiconductor, Japan Customer Focus Center
4–32–1 Nishi–Gotanda, Shinagawa–ku, Tokyo, Japan 141–0031
Phone: 81–3–5740–2745
Email: r14525@onsemi.com

ON Semiconductor Website: http://onsemi.com

For additional information, please contact your local
Sales Representative.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

ADC0820 8-Bit High Speed μP Compatible A/D Converter with Track/Hold Function

General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5 μs conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/μs.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

Key Specifications

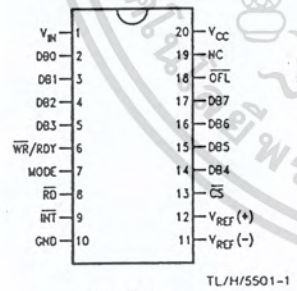
- Resolution 8 Bits
- Conversion Time 2.5 μs Max (RD Mode)
  1.5 μs Max (WR-RD Mode)
- Input signals with slew rate of 100 mV/μs converted without external sample-and-hold to 8 bits
- Low Power 75 mW Max
- Total Unadjusted Error ± ½ LSB and ± 1 LSB

Features

- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply—5 V_{DC}
- Easy interface to all microprocessors, or operates stand-alone
- Latched TRI-STATE® output
- Logic inputs and outputs meet both MOS and T^2L voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V_{CC}
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package
- 20-pin shrink small outline package (SSOP)

Connection and Functional Diagrams

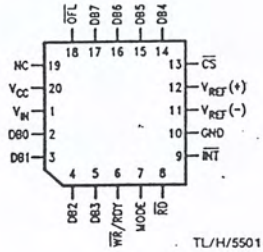
Dual-In-Line, Small Outline and SSOP Packages



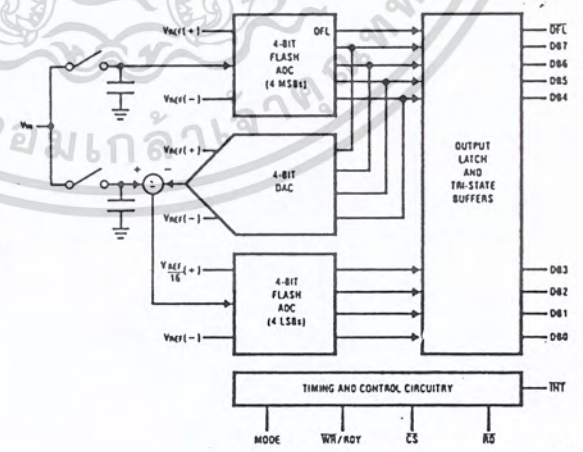
TL/H/5501-1

Top View

Molded Chip Carrier Package



TL/H/5501-33



TL/H/5501-2

FIGURE 1

See Ordering Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	10V
Logic Control Inputs	−0.2V to V_{CC} +0.2V
Voltage at Other Inputs and Output	−0.2V to V_{CC} +0.2V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
Input Current at Any Pin (Note 5)	1 mA
Package Input Current (Note 5)	4 mA
ESD Susceptability (Note 9)	1200V
Lead Temp. (Soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0820CCJ	−40°C ≤ T_A ≤ +85°C
ADC0820CIWM	−40°C ≤ T_A ≤ +85°C
ADC0820BCN, ADC0820CCN	0°C ≤ T_A ≤ 70°C
ADC0820BCV, ADC0820CCV	0°C ≤ T_A ≤ 70°C
ADC0820BCWM, ADC0820CCWM	0°C ≤ T_A ≤ 70°C
ADC0820CCMSA	0°C ≤ T_A ≤ 70°C
V_{CC} Range	4.5V to 8V

Converter Characteristics

The following specifications apply for RD mode (pin 7 = 0), V_{CC} = 5V, $V_{REF}(+)$ = 5V, and $V_{REF}(-)$ = GND unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}; all other limits $T_A = T_j$ = 25°C.**

Parameter	Conditions	ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADC0820BCWM, ADC0820CCWM ADC0820CCMSA, ADC0820CIWM			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			8			8	8	Bits
Total Unadjusted Error (Note 3)	ADC0820BCN, BCWM		±1			±½	±½	LSB
	ADC0820CCJ							LSB
	ADC0820CCN, CCWM, CIWM, ADC0820CCMSA					±1	±1	LSB
						±1	±1	LSB
Minimum Reference Resistance		2.3	1.00		2.3	1.2		kΩ
Maximum Reference Resistance		2.3	6		2.3	5.3	6	kΩ
Maximum $V_{REF}(+)$ Input Voltage			V_{CC}			V_{CC}	V_{CC}	V
Minimum $V_{REF}(-)$ Input Voltage			GND			GND	GND	V
Minimum $V_{REF}(+)$ Input Voltage			$V_{REF}(-)$			$V_{REF}(-)$	$V_{REF}(-)$	V
Maximum $V_{REF}(-)$ Input Voltage			$V_{REF}(+)$			$V_{REF}(+)$	$V_{REF}(+)$	V
Maximum V_{IN} Input Voltage			V_{CC} + 0.1			V_{CC} + 0.1	V_{CC} + 0.1	V
Minimum V_{IN} Input Voltage			GND − 0.1			GND − 0.1	GND − 0.1	V
Maximum Analog Input Leakage Current	$\overline{CS} = V_{CC}$		3			0.3	3	μA
	$V_{IN} = V_{CC}$		−3			−0.3	−3	μA
	V_{IN} = GND							
Power Supply Sensitivity	V_{CC} = 5V ±5%	±1/16	±¼		±1/16	±¼	±¼	LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued) The following specifications apply for $V_{CC}=5V$, $t_r=t_f=20$ ns, $V_{REF}(+)=5V$, $V_{REF}(-)=0V$ and $T_A=25°C$ unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_I, Internal Comparison Time	Pin 7 = V_{CC}; *(Figures 3b* and *4)* $C_L=50$ pF	800		1300	ns
t_{1H}, t_{0H}, TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	$R_L=1k$, $C_L=10$ pF	100		200	ns
$t_{I\overline{NT}L}$, Delay from Rising Edge of $\overline{WR}$ to Falling Edge of $\overline{INT}$	Pin 7 = V_{CC}, $C_L=50$ pF $t_{RD}>t_I$; *(Figure 3b)* $t_{RD}<t_I$; *(Figure 3a)*	 $t_{RD}+200$		 t_I $t_{RD}+290$	 ns ns
$t_{I\overline{NT}}H$, Delay from Rising Edge of $\overline{RD}$ to Rising Edge of $\overline{INT}$	*(Figures 2, 3a* and *3b)* $C_L=50$ pF	125		225	ns
$t_{I\overline{NT}HWR}$, Delay from Rising Edge of $\overline{WR}$ to Rising Edge of $\overline{INT}$	*(Figure 4)*, $C_L=50$ pF	175		270	ns
t_{RDY}, Delay from $\overline{CS}$ to RDY	*(Figure 2)*, $C_L=50$ pF, Pin 7 = 0	50		100	ns
t_{ID}, Delay from $\overline{INT}$ to Output Valid	*(Figure 4)*	20		50	ns
t_{RI}, Delay from $\overline{RD}$ to $\overline{INT}$	Pin 7 = V_{CC}, $t_{RD}<t_I$ *(Figure 3a)*	200		290	ns
t_P, Delay from End of Conversion to Next Conversion	*(Figures 2, 3a, 3b* and *4)* (Note 4) See Graph			500	ns
Slew Rate, Tracking		0.1			V/μs
C_{VIN}, Analog Input Capacitance		45			pF
C_{OUT}, Logic Output Capacitance		5			pF
C_{IN}, Logic Input Capacitance		5			pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to the GND pin, unless otherwise specified.

Note 3: Total unadjusted error includes offset, full-scale, and linearity errors.

Note 4: Accuracy may degrade if t_{WR} or t_{RD} is shorter than the minimum value specified. See Accuracy vs t_{WR} and Accuracy vs t_{RD} graphs.

Note 5: When the input voltage (V_{IN}) at any pin exceeds the power supply rails ($V_{IN}<V^-$ or $V_{IN}>V^+$) the absolute value of current at that pin should be limited to 1 mA or less. The 4 mA package input current limits the number of pins that can exceed the power supply boundaries with a 1 mA current limit to four.

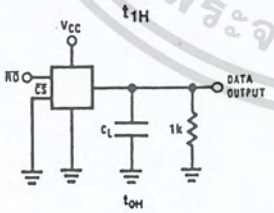
Note 6: Typicals are at 25°C and represent most likely parametric norm.

Note 7: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

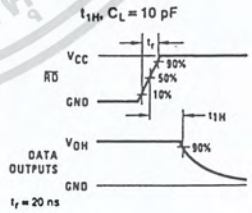
Note 8: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

Note 9: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

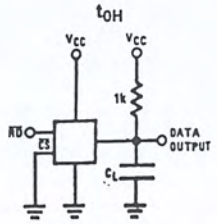
TRI-STATE Test Circuits and Waveforms



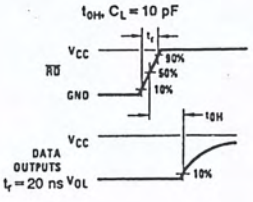
TL/H/5501-3



TL/H/5501-4



TL/H/5501-5



TL/H/5501-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics

The following specifications apply for $V_{CC} = 5V$, unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}; all other limits $T_A = T_J = 25°C$.**

Parameter	Conditions		ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADC0820BCWM, ADC0820CCWM ADC0820CCMSA, ADC0820CIWM			Limit Units
			Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
$V_{IN(1)}$, Logical "1" Input Voltage	$V_{CC} = 5.25V$	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		2.0			2.0	**2.0**	V
		Mode		3.5			3.5	**3.5**	V
$V_{IN(0)}$, Logical "0" Input Voltage	$V_{CC} = 4.75V$	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		0.8			0.8	**0.8**	V
		Mode		1.5			1.5	**1.5**	V
$I_{IN(1)}$, Logical "1" Input Current	$V_{IN(1)} = 5V$; $\overline{CS}$, $\overline{RD}$		0.005	1		0.005		**1**	μA
	$V_{IN(1)} = 5V$; $\overline{WR}$		0.1	3		0.1	0.3	**3**	μA
	$V_{IN(1)} = 5V$; Mode		50	200		50	170	**200**	μA
$I_{IN(0)}$, Logical "0" Input Current	$V_{IN(0)} = 0V$; $\overline{CS}$, $\overline{RD}$, $\overline{WR}$, Mode		−0.005	−1		−0.005		**−1**	μA
$V_{OUT(1)}$, Logical "1" Output Voltage	$V_{CC} = 4.75V$, $I_{OUT} = -360$ μA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			2.4			2.8	**2.4**	V
	$V_{CC} = 4.75V$, $I_{OUT} = -10$ μA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			4.5			4.6	**4.5**	V
$V_{OUT(0)}$, Logical "0" Output Voltage	$V_{CC} = 4.75V$, $I_{OUT} = 1.6$ mA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY			0.4			0.34	**0.4**	V
I_{OUT}, TRI-STATE Output Current	$V_{OUT} = 5V$; DB0–DB7, RDY		0.1	3		0.1	0.3	**3**	μA
	$V_{OUT} = 0V$; DB0–DB7, RDY		−0.1	−3		−0.1	−0.3	**−3**	μA
I_{SOURCE}, Output Source Current	$V_{OUT} = 0V$; DB0–DB7, $\overline{OFL}$		−12	−6		−12	−7.2	**−6**	mA
	$\overline{INT}$		−9	−4.0		−9	−5.3	**−4.0**	mA
I_{SINK}, Output Sink Current	$V_{OUT} = 5V$; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY		14	7		14	8.4	**7**	mA
I_{CC}, Supply Current	$\overline{CS} = \overline{WR} = \overline{RD} = 0$		7.5	15		7.5	13	**15**	mA

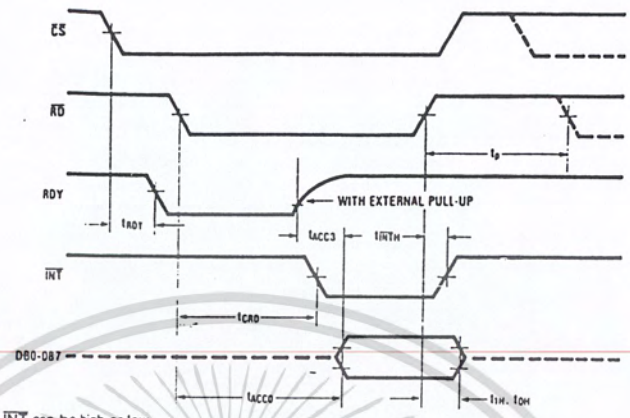
AC Electrical Characteristics

The following specifications apply for $V_{CC} = 5V$, $t_r = t_f = 20$ ns, $V_{REF}(+) = 5V$, $V_{REF}(-) = 0V$ and $T_A = 25°C$ unless otherwise specified.

Parameter		Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{CRD}, Conversion Time for RD Mode		Pin 7 = 0, *(Figure 2)*	1.6		2.5	μs
t_{ACC0}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = 0, *(Figure 2)*	$t_{CRD} + 20$		$t_{CRD} + 50$	ns
t_{CWR-RD}, Conversion Time for WR-RD Mode		Pin 7 = V_{CC}; t_{WR} = 600 ns, t_{RD} = 600 ns; *(Figures 3a and 3b)*			1.52	μs
t_{WR}, Write Time	Min	Pin 7 = V_{CC}; *(Figures 3a and 3b)*		600		ns
	Max	(Note 4) See Graph	50			μs
t_{RD}, Read Time	Min	Pin 7 = V_{CC}; *(Figures 3a and 3b)* (Note 4) See Graph		600		ns
t_{ACC1}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = V_{CC}, $t_{RD} < t_l$; *(Figure 3a)* C_L = 15 pF	190		280	ns
		C_L = 100 pF	210		320	ns
t_{ACC2}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = V_{CC}, $t_{RD} > t_l$; *(Figure 3b)* C_L = 15 pF	70		120	ns
		C_L = 100 pF	90		150	ns
t_{ACC3}, Access Time (Delay from Rising Edge of RDY to Output Valid)		R_{PULLUP} = 1k and C_L = 15 pF	30			ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

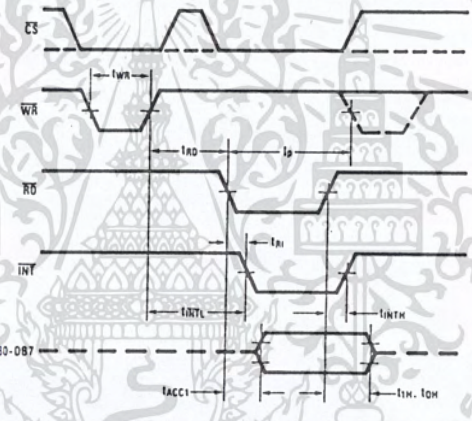
Timing Diagrams



Note: On power-up the state of $\overline{INT}$ can be high or low.

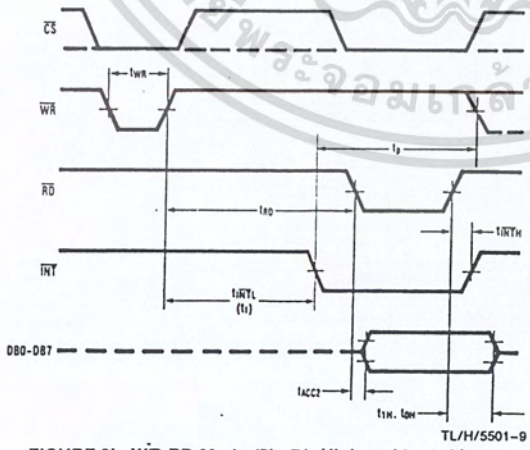
TL/H/5501-7

FIGURE 2. RD Mode (Pin 7 is Low)



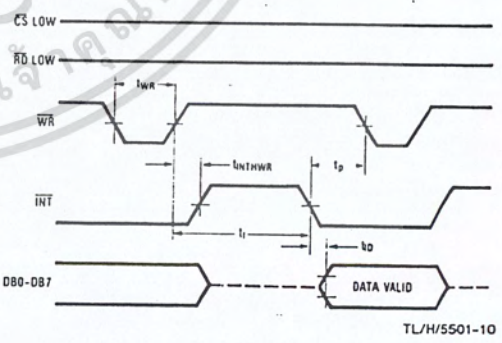
TL/H/5501-8

FIGURE 3a. WR-RD Mode (Pin 7 is High and $t_{RD} < t_I$)



TL/H/5501-9

FIGURE 3b. WR-RD Mode (Pin 7 is High and $t_{RD} > t_I$)



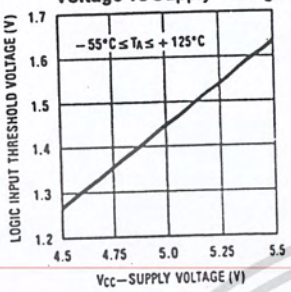
TL/H/5501-10

FIGURE 4. WR-RD Mode (Pin 7 is High) Stand-Alone Operation

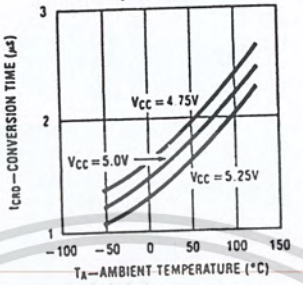
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

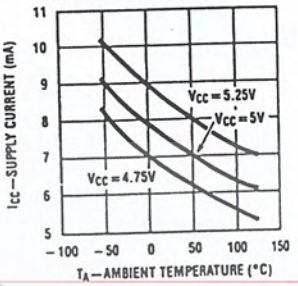
Logic Input Threshold Voltage vs Supply Voltage



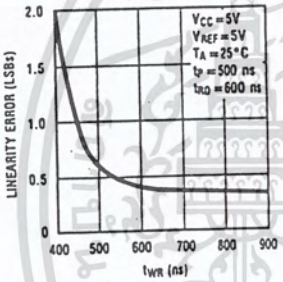
Conversion Time (RD Mode) vs Temperature



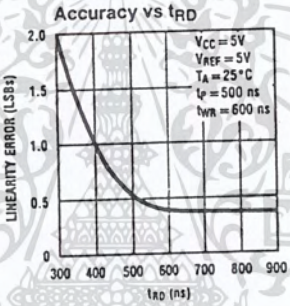
Power Supply Current vs Temperature (not including reference ladder)



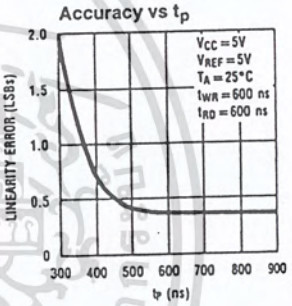
Accuracy vs t_{WR}



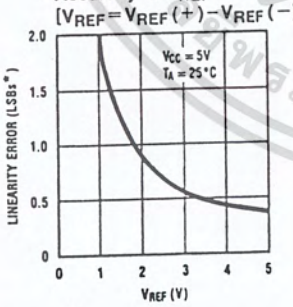
Accuracy vs t_{RD}



Accuracy vs t_p

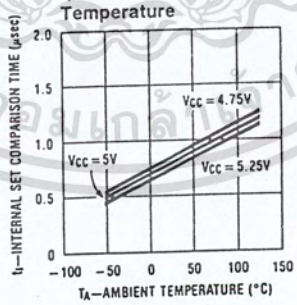


Accuracy vs V_{REF} [$V_{REF} = V_{REF}(+) - V_{REF}(-)$]

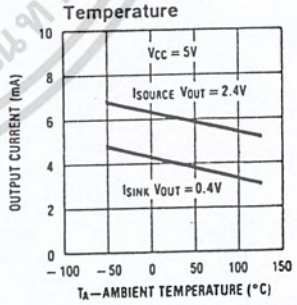


*1 LSB = $\frac{V_{REF}}{256}$

t_I, Internal Time Delay vs Temperature



Output Current vs Temperature



TL/H/5501-11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description of Pin Functions

Pin	Name	Function
1	V_{IN}	Analog input; range = $GND \leq V_{IN} \leq V_{CC}$
2	DB0	TRI-STATE data output—bit 0 (LSB)
3	DB1	TRI-STATE data output—bit 1
4	DB2	TRI-STATE data output—bit 2
5	DB3	TRI-STATE data output—bit 3
6	$\overline{WR}$/RDY	**WR-RD Mode** **$\overline{WR}$:** With $\overline{CS}$ low, the conversion is started on the falling edge of $\overline{WR}$. Approximately 800 ns (the preset internal time out, t_I) after the $\overline{WR}$ rising edge, the result of the conversion will be strobed into the output latch, provided that $\overline{RD}$ does not occur prior to this time out (see *Figures 3a* and *3b*). **RD Mode** **RDY:** This is an open drain output (no internal pull-up device). RDY will go low after the falling edge of $\overline{CS}$; RDY will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system (see *Figure 2*).
7	Mode	**Mode:** Mode selection input—it is internally tied to GND through a 50 μA current source. **RD Mode:** When mode is low **WR-RD Mode:** When mode is high
8	$\overline{RD}$	**WR-RD Mode** With $\overline{CS}$ low, the TRI-STATE data outputs (DB0-DB7) will be activated when $\overline{RD}$ goes low (see *Figure 4*). $\overline{RD}$ can also be used to increase the speed of the converter by reading data prior to the preset internal time out (t_I, ~800 ns). If this is done, the data result transferred to output latch is latched after the falling edge of the $\overline{RD}$ (see *Figures 3a* and *3b*). **RD Mode** With $\overline{CS}$ low, the conversion will start with $\overline{RD}$ going low, also $\overline{RD}$ will enable the TRI-STATE data outputs at the completion of the conversion. RDY going TRI-STATE and $\overline{INT}$ going low indicates the completion of the conversion (see *Figure 2*).
9	$\overline{INT}$	**WR-RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ will go low, ~800 ns (the preset internal time out, t_I) after the rising edge of $\overline{WR}$ (see *Figure 3b*); or $\overline{INT}$ will go low after the falling edge of $\overline{RD}$, if $\overline{RD}$ goes low prior to the 800 ns time out (see *Figure 3a*). $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see *Figures 3a* and *3b*). **RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see *Figure 2*).
10	GND	Ground
11	$V_{REF}(-)$	The bottom of resistor ladder, voltage range: $GND \leq V_{REF}(-) \leq V_{REF}(+)$ (Note 5)
12	$V_{REF}(+)$	The top of resistor ladder, voltage range: $V_{REF}(-) \leq V_{REF}(+) \leq V_{CC}$ (Note 5)
13	$\overline{CS}$	$\overline{CS}$ must be low in order for the $\overline{RD}$ or $\overline{WR}$ to be recognized by the converter.
14	DB4	TRI-STATE data output—bit 4
15	DB5	TRI-STATE data output—bit 5
16	DB6	TRI-STATE data output—bit 6
17	DB7	TRI-STATE data output—bit 7 (MSB)
18	$\overline{OFL}$	Overflow output—If the analog input is higher than the $V_{REF}(+)$, $\overline{OFL}$ will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9, 10-bit). This output is always active and does not go into TRI-STATE as DB0–DB7 do.
19	NC	No connection
20	V_{CC}	Power supply voltage

1.0 Functional Description

1.1 GENERAL OPERATION

The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (*Figure 1*). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4 MSBs, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)

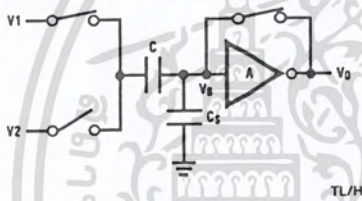
1.2 THE SAMPLED-DATA COMPARATOR

Each comparator in the ADC0820 consists of a CMOS inverter with a capacitively coupled input (*Figure 5*). Analog switches connect the two comparator inputs to the input capacitor (C) and also connect the inverter's input and output. This device in effect now has one differential input pair. A comparison requires two cycles, one for zeroing the comparator, and another for making the comparison.

In the first cycle, one input switch and the inverter's feedback switch (*Figure 5a*) are closed. In this interval, C is charged to the connected input (V1) less the inverter's bias voltage (V_B, approximately 1.2V). In the second cycle (*Figure 5b*), these two switches are opened and the other (V2) input's switch is closed. The input capacitor now subtracts its stored voltage from the second input and the difference is amplified by the inverter's open loop gain. The inverter's input (V_B') becomes

$$V_B-(V1-V2)\frac{C}{C+C_S}$$

and the output will go high or low depending on the sign of $V_B'-V_B$.



TL/H/5501–12

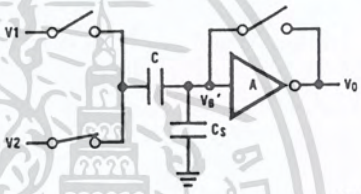
- $V_O = V_B$
- V on C = V1 − V_B
- C_S = stray input node capacitor
- V_B = inverter input bias voltage

FIGURE 5a. Zeroing Phase

The actual circuitry used in the ADC0820 is a simple but important expansion of the basic comparator described above. By adding a second capacitor and another set of switches to the input (*Figure 6*), the scheme can be expanded to make dual differential comparisons. In this circuit, the feedback switch and one input switch on each capacitor (Z switches) are closed in the zeroing cycle. A comparison is then made by connecting the second input on each capacitor and opening all of the other switches (S switches). The change in voltage at the inverter's input, as a result of the change in charge on each input capacitor, will now depend on both input signal differences.

1.3 ARCHITECTURE

In the ADC0820, one bank of 15 comparators is used in each 4-bit flash A/D converter (*Figure 7*). The MS (most significant) flash ADC also has one additional comparator to detect input overrange. These two sets of comparators operate alternately, with one group in its zeroing cycle while the other is comparing.

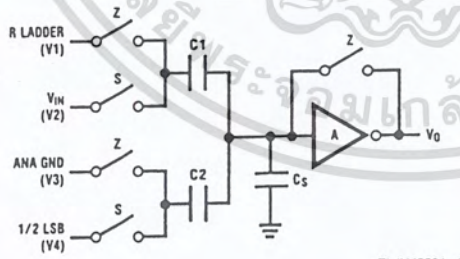


TL/H/5501–13

- $V_B'-V_B = (V2-V1)\frac{C}{C+C_S}$
- $V_O' = \frac{-A}{C+C_S}[CV2-CV1]$
- V_O' is dependent on V2 − V1

FIGURE 5b. Compare Phase

FIGURE 5. Sampled-Data Comparator



$$V_O = \frac{-A}{C1+C2+C_S}[C1(V2-V1)+C2(V4-V3)]$$

$$= \frac{-A}{C1+C2+C_S}[\Delta Q_{C1}+\Delta Q_{C2}]$$

TL/H/5501–14

FIGURE 6. ADC0820 Comparator (from MS Flash ADC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Detailed Block Diagram

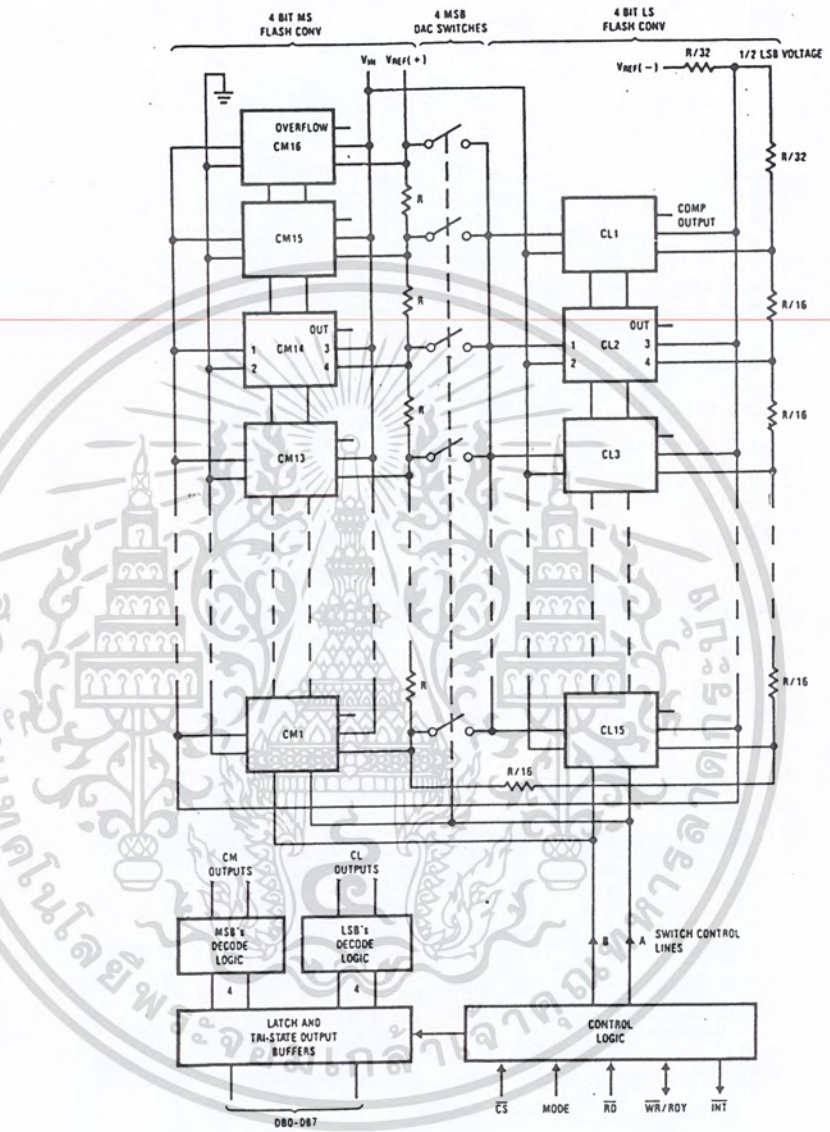


FIGURE 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)

When a typical conversion is started, the $\overline{WR}$ line is brought low. At this instant the MS comparators go from zeroing to comparison mode (*Figure B*). When $\overline{WR}$ is returned high after at least 600 ns, the output from the first set of comparators (the first flash) is decoded and latched. At this point the two 4-bit converters change modes and the LS (least significant) flash ADC enters its compare cycle. No less than 600 ns later, the $\overline{RD}$ line may be pulled low to latch the lower 4 data bits and finish the 8-bit conversion. When $\overline{RD}$ goes low, the flash A/Ds change state once again in preparation for the next conversion.

Figure B also outlines how the converter's interface timing relates to its analog input (V_{IN}). In WR-RD mode, V_{IN} is measured while $\overline{WR}$ is low. In RD mode, sampling occurs during the first 800 ns of $\overline{RD}$. Because of the input connections to the ADC0820's LS and MS comparators, the converter has the ability to sample V_{IN} at one instant (Section 2.4), despite the fact that two separate 4-bit conversions are being done. More specifically, when $\overline{WR}$ is low the MS flash is in compare mode (connected to V_{IN}), and the LS flash is in zero mode (also connected to V_{IN}). Therefore both flash ADCs sample V_{IN} at the same time.

1.4 DIGITAL INTERFACE

The ADC0820 has two basic interface modes which are selected by strapping the MODE pin high or low.

RD Mode

With the MODE pin grounded, the converter is set to Read mode. In this configuration, a complete conversion is done by pulling $\overline{RD}$ low until output data appears. An $\overline{INT}$ line is provided which goes low at the end of the conversion as well as a RDY output which can be used to signal a processor that the converter is busy or can also serve as a system Transfer Acknowledge signal.

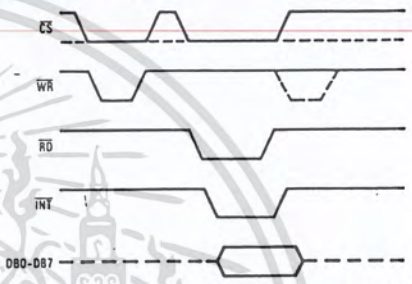
RD Mode (Pin 7 is Low)

TL/H/5501–16

When in RD mode, the comparator phases are internally triggered. At the falling edge of $\overline{RD}$, the MS flash converter goes from zero to compare mode and the LS ADC's comparators enter their zero cycle. After 800 ns, data from the MS flash is latched and the LS flash ADC enters compare mode. Following another 800 ns, the lower 4 bits are recovered.

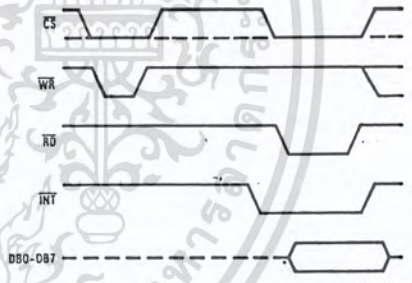
WR then RD Mode

With the MODE pin tied high, the A/D will be set up for the WR-RD mode. Here, a conversion is started with the $\overline{WR}$ input; however, there are two options for reading the output data which relate to interface timing. If an interrupt driven scheme is desired, the user can wait for $\overline{INT}$ to go low before reading the conversion result (*Figure B*). $\overline{INT}$ will typically go low 800 ns after $\overline{WR}$'s rising edge. However, if a shorter conversion time is desired, the processor need not wait for $\overline{INT}$ and can exercise a read after only 600 ns (*Figure A*). If this is done, $\overline{INT}$ will immediately go low and data will appear at the outputs.



TL/H/5501–17

FIGURE A. WR-RD Mode (Pin 7 is High and $t_{RD} < t_I$)



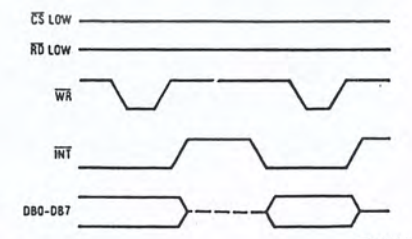
TL/H/5501–18

FIGURE B. WR-RD Mode (Pin 7 is High and $t_{RD} > t_I$)

Stand-Alone

For stand-alone operation in WR-RD mode, $\overline{CS}$ and $\overline{RD}$ can be tied low and a conversion can be started with $\overline{WR}$. Data will be valid approximately 800 ns following $\overline{WR}$'s rising edge.

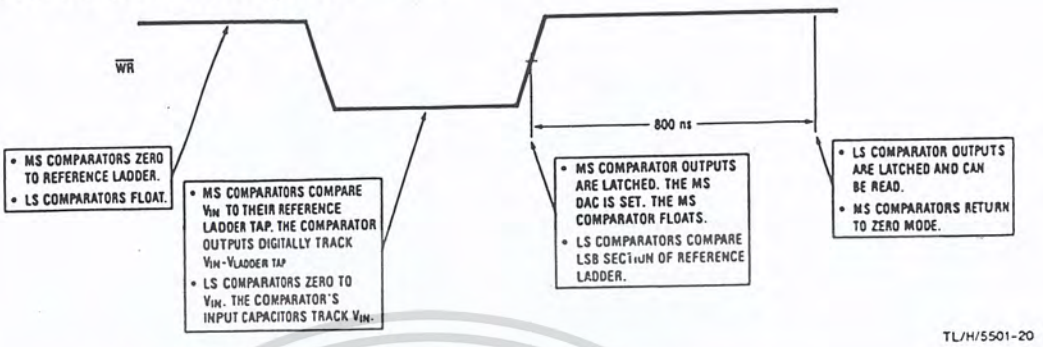
WR-RD Mode (Pin 7 is High) Stand-Alone Operation



TL/H/5501–19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)



TL/H/5501-20

Note: MS means most significant
LS means least significant

FIGURE 8. Operating Sequence (WR-RD Mode)

OTHER INTERFACE CONSIDERATIONS

In order to maintain conversion accuracy, $\overline{WR}$ has a maximum width spec of 50 μs. When the MS flash ADC's sampled-data comparators (Section 1.2) are in comparison mode ($\overline{WR}$ is low), the input capacitors (C, *Figure 6*) must hold their charge. Switch leakage and inverter bias current can cause errors if the comparator is left in this phase for too long.

Since the MS flash ADC enters its zeroing phase at the end of a conversion (Section 1.3), a new conversion cannot be started until this phase is complete. The minimum spec for this time (t_P, *Figures 2, 3a, 3b,* and *4*) is 500 ns.

2.0 Analog Considerations

2.1 REFERENCE AND INPUT

The two V_{REF} inputs of the ADC0820 are fully differential and define the zero to full-scale input range of the A to D converter. This allows the designer to easily vary the span of the analog input since this range will be equivalent to the voltage difference between $V_{IN}(+)$ and $V_{IN}(-)$. By reducing $V_{REF}(V_{REF} = V_{REF}(+) - V_{REF}(-))$ to less than 5V, the sensitivity of the converter can be increased (i.e., if $V_{REF} = 2V$ then 1 LSB = 7.8 mV). The input/reference arrangement also facilitates ratiometric operation and in many cases the chip power supply can be used for transducer power as well as the V_{REF} source.

This reference flexibility lets the input span not only be varied but also offset from zero. The voltage at $V_{REF}(-)$ sets the input level which produces a digital output of all zeroes. Though V_{IN} is not itself differential, the reference design affords nearly differential-input capability for most measurement applications. *Figure 9* shows some of the configurations that are possible.

2.2 INPUT CURRENT

Due to the unique conversion techniques employed by the ADC0820, the analog input behaves somewhat differently than in conventional devices. The A/D's sampled-data comparators take varying amounts of input current depending on which cycle the conversion is in.

The equivalent input circuit of the ADC0820 is shown in *Figure 10a*. When a conversion starts ($\overline{WR}$ low, WR-RD mode), all input switches close, connecting V_{IN} to thirty-one 1 pF capacitors. Although the two 4-bit flash circuits are not both in their compare cycle at the same time, V_{IN} still sees all input capacitors at once. This is because the MS flash converter is connected to the input during its compare interval and the LS flash is connected to the input during its zeroing phase (Section 1.3). In other words, the LS ADC uses V_{IN} as its zero-phase input.

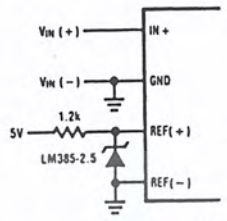
The input capacitors must charge to the input voltage through the on resistance of the analog switches (about 5 kΩ to 10 kΩ). In addition, about 12 pF of input stray capacitance must also be charged. For large source resistances, the analog input can be modeled as an RC network as shown in *Figure 10b*. As R_S increases, it will take longer for the input capacitance to charge.

In RD mode, the input switches are closed for approximately 800 ns at the start of the conversion. In WR-RD mode, the time that the switches are closed to allow this charging is the time that $\overline{WR}$ is low. Since other factors force this time to be at least 600 ns, input time constants of 100 ns can be accommodated without special consideration. Typical total input capacitance values of 45 pF allow R_S to be 1.5 kΩ without lengthening $\overline{WR}$ to give V_{IN} more time to settle.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

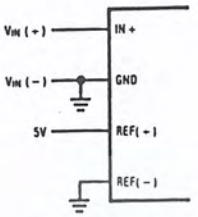
2.0 Analog Considerations (Continued)

External Reference 2.5V Full-Scale



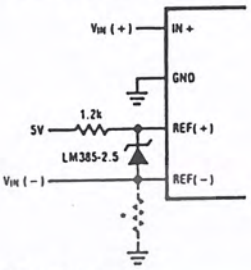
TL/H/5501–21

Power Supply as Reference



TL/H/5501–22

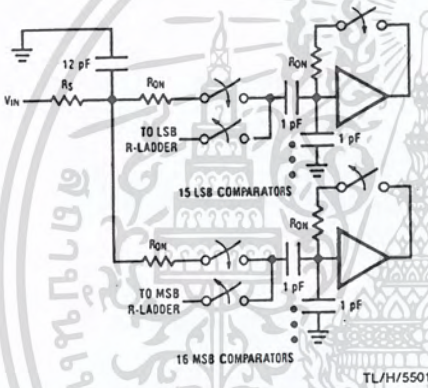
Input Not Referred to GND



*Current path must still exist from $V_{IN}(-)$ to ground

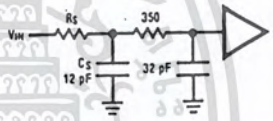
TL/H/5501–23

FIGURE 9. Analog Input Options



TL/H/5501–24

FIGURE 10a



TL/H/5501–25

FIGURE 10b

2.3 INPUT FILTERING

It should be made clear that transients in the analog input signal, caused by charging current flowing into V_{IN}, will not degrade the A/D's performance in most cases. In effect the ADC0820 does not "look" at the input when these transients occur. The comparators' outputs are not latched while $\overline{WR}$ is low, so at least 600 ns will be provided to charge the ADC's input capacitance. It is therefore not necessary to filter out these transients by putting an external cap on the V_{IN} terminal.

2.4 INHERENT SAMPLE-HOLD

Another benefit of the ADC0820's input mechanism is its ability to measure a variety of high speed signals without the help of an external sample-and-hold. In a conventional SAR type converter, regardless of its speed, the input must remain at least ½ LSB stable throughout the conversion process if full accuracy is to be maintained. Consequently, for many high speed signals, this signal must be externally sampled, and held stationary during the conversion.

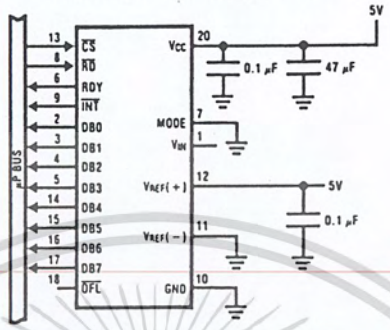
Sampled-data comparators, by nature of their input switching, already accomplish this function to a large degree (Section 1.2). Although the conversion time for the ADC0820 is 1.5 μs, the time through which V_{IN} must be 1/2 LSB stable is much smaller. Since the MS flash ADC uses V_{IN} as its "compare" input and the LS ADC uses V_{IN} as its "zero" input, the ADC0820 only "samples" V_{IN} when $\overline{WR}$ is low (Sections 1.3 and 2.2). Even though the two flashes are not done simultaneously, the analog signal is measured at one instant. The value of V_{IN} approximately 100 ns after the rising edge of $\overline{WR}$ (100 ns due to internal logic prop delay) will be the measured value.

Input signals with slew rates typically below 100 mV/μs can be converted without error. However, because of the input time constants, and charge injection through the opened comparator input switches, faster signals may cause errors. Still, the ADC0820's loss in accuracy for a given increase in signal slope is far less than what would be witnessed in a conventional successive approximation device. An SAR type converter with a conversion time as fast as 1 μs would still not be able to measure a 5V 1 kHz sine wave without the aid of an external sample-and-hold. The ADC0820, with no such help, can typically measure 5V, 7 kHz waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

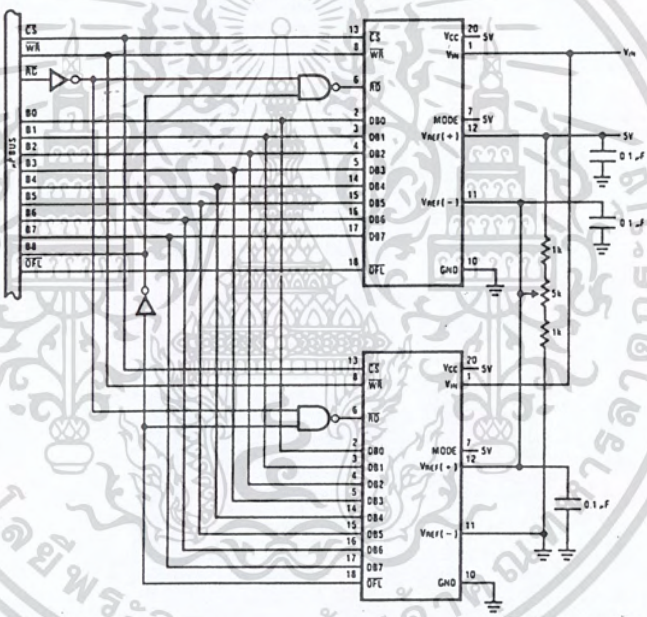
3.0 Typical Applications

8-Bit Resolution Configuration



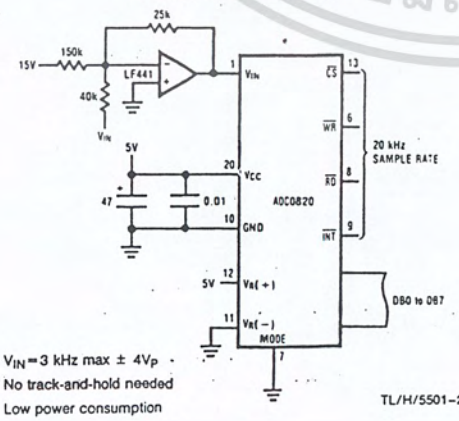
TL/H/5501-26

9-Bit Resolution Configuration



TL/H/5501-27

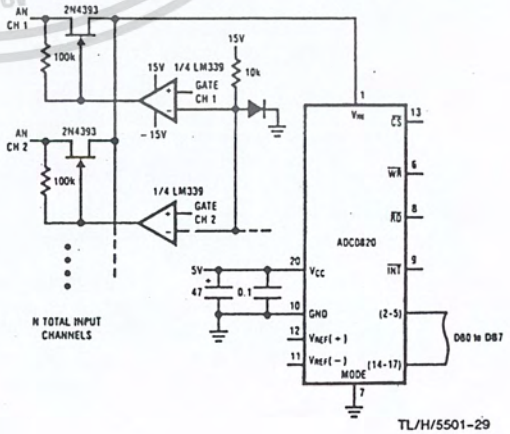
Telecom A/D Converter



- V_{IN} = 3 kHz max ± 4V_P
- No track-and-hold needed
- Low power consumption

TL/H/5501-28

Multiple Input Channels

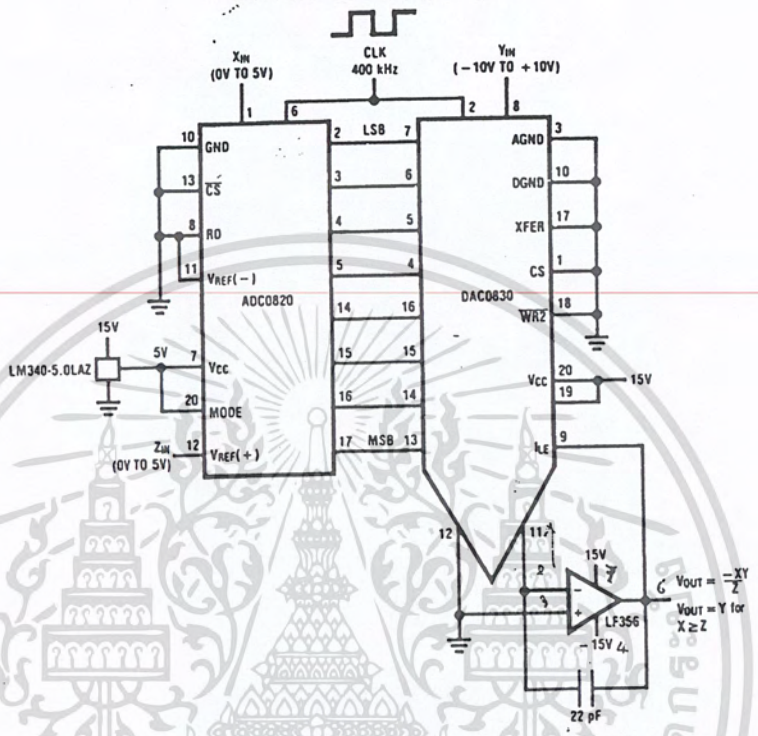


TL/H/5501-29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

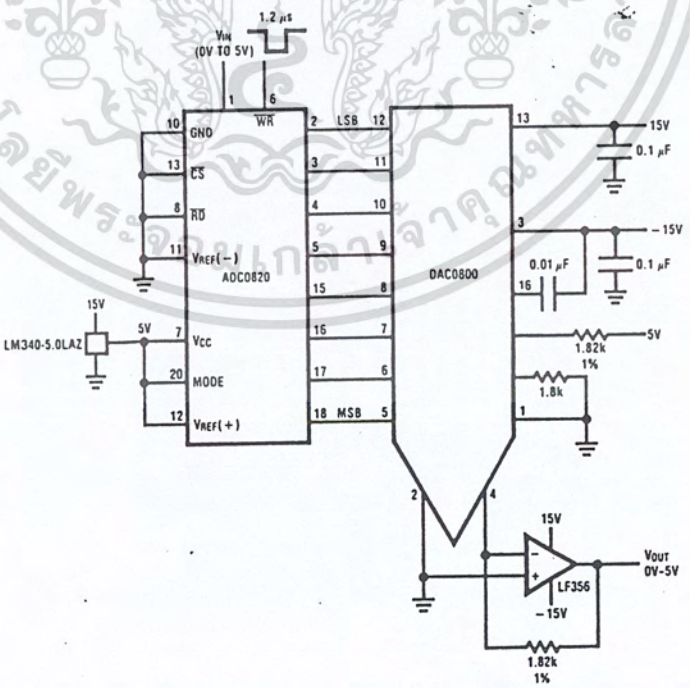
3.0 Typical Applications (Continued)

8-Bit 2-Quadrant Analog Multiplier



TL/H/5501-30

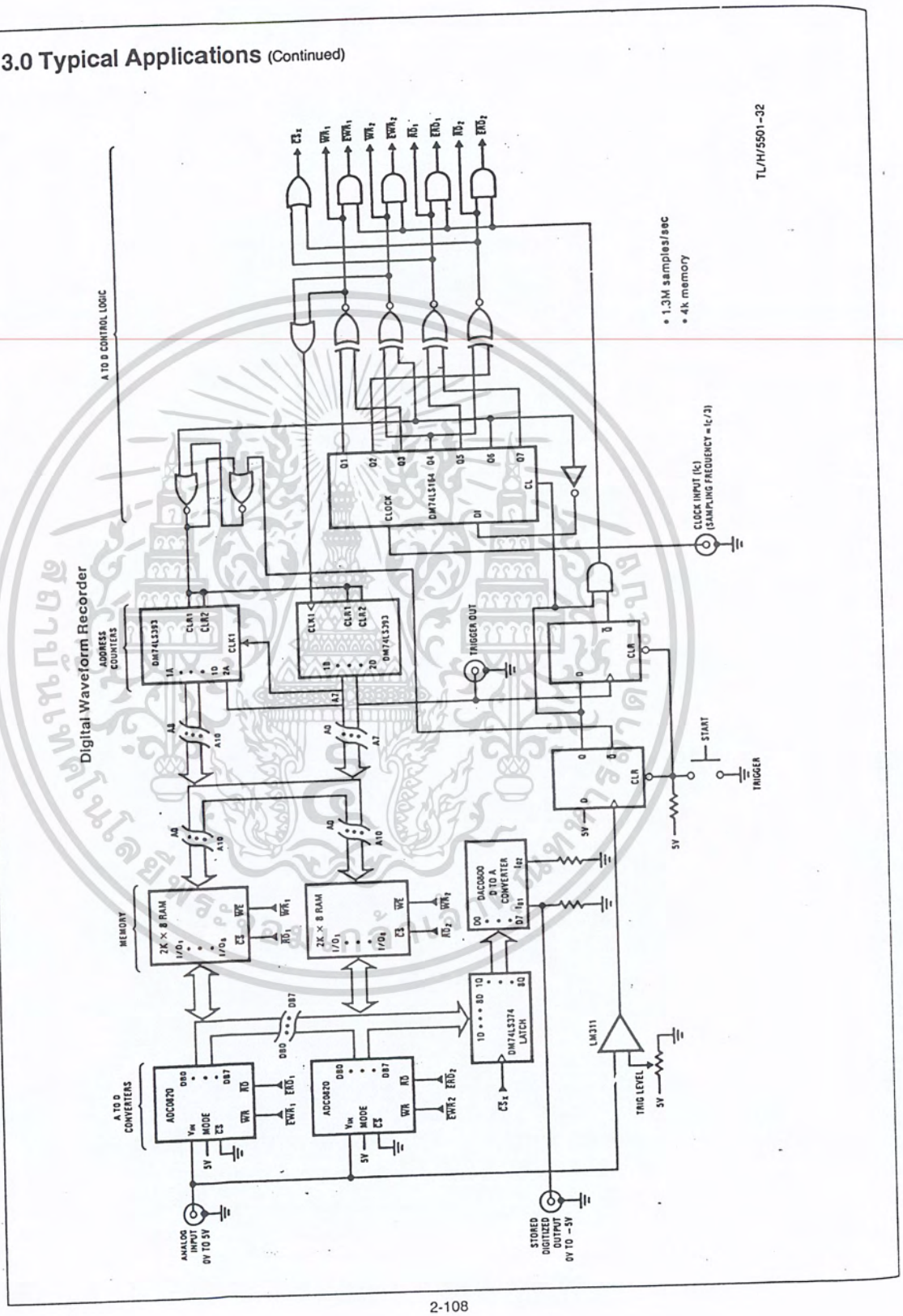
Fast Infinite Sample-and-Hold



TL/H/5501-31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 Typical Applications (Continued)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

DAC0830/DAC0831/DAC0832 8-Bit μP Compatible, Double-Buffered D to A Converters

General Description

The DAC0830 is an advanced CMOS/Si-Cr 8-bit multiplying DAC designed to interface directly with the 8080, 8048, 8085, Z80®, and other popular microprocessors. A deposited silicon-chromium R-2R resistor ladder network divides the reference current and provides the circuit with excellent temperature tracking characteristics (0.05% of Full Scale Range maximum linearity error over temperature). The circuit uses CMOS current switches and control logic to achieve low power consumption and low output leakage current errors. Special circuitry provides TTL logic input voltage level compatibility.

Double buffering allows these DACs to output a voltage corresponding to one digital word while holding the next digital word. This permits the simultaneous updating of any number of DACs.

The DAC0830 series are the 8-bit members of a family of microprocessor-compatible DACs (MICRO-DAC™). For applications demanding higher resolution, the DAC1000 series (10-bits) and the DAC1208 and DAC1230 (12-bits) are available alternatives.

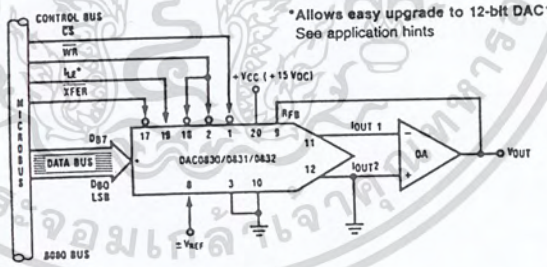
Features

- Double-buffered, single-buffered or flow-through digital data inputs
- Easy interchange and pin-compatible with 12-bit DAC1230 series
- Direct interface to all popular microprocessors
- Linearity specified with zero and full scale adjust only—NOT BEST STRAIGHT LINE FIT.
- Works with ±10V reference-full 4-quadrant multiplication
- Can be used in the voltage switching mode
- Logic inputs which meet TTL voltage level specs (1.4V logic threshold)
- Operates "STAND ALONE" (without μP) if desired
- Available in 20-pin small-outline or molded chip carrier package

Key Specifications

■ Current settling time	1 μs
■ Resolution	8 bits
■ Linearity (guaranteed over temp.)	8, 9, or 10 bits
■ Gain Tempco	0.0002% FS/°C
■ Low power dissipation	20 mW
■ Single power supply	5 to 15 V_{DC}

Typical Application

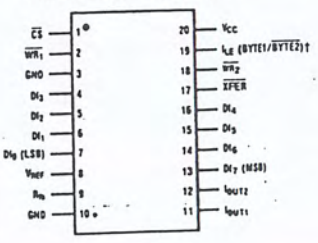


*Allows easy upgrade to 12-bit DAC1230. See application hints

TL/H/5608–1

Connection Diagrams (Top Views)

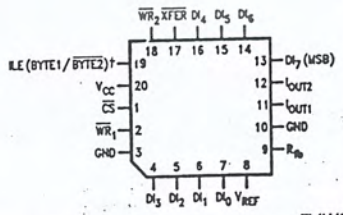
Dual-In-Line and Small-Outline Packages



†This is necessary for the 12-bit DAC1230 series to permit interchanging from an 8-bit to a 12-bit DAC with **No PC board changes** and no software changes. See applications section.

TL/H/5608–21

Molded Chip Carrier Package



TL/H/5608–22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	17 V_{DC}
Voltage at Any Digital Input	V_{CC} to GND
Voltage at V_{REF} Input	±25V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C (Note 3)	500 mW
DC Voltage Applied to I_{OUT1} or I_{OUT2} (Note 4)	−100 mV to V_{CC}
ESD Susceptability (Note 14)	800V
Lead Temperature (soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Conditions

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
Part numbers with 'LCN' suffix	0°C to +70°C
Part numbers with 'LCWM' suffix	0°C to +70°C
Part numbers with 'LCV' suffix	0°C to +70°C
Part numbers with 'LCJ' suffix	−40°C to +85°C
Part numbers with 'LJ' suffix	−55°C to +125°C
Voltage at Any Digital Input	V_{CC} to GND

Electrical Characteristics

V_{REF} = 10.000 V_{DC} unless otherwise noted. **Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$.** For all other limits T_A = 25°C.

Parameter	Conditions	See Note	V_{CC} = 4.75 V_{DC} V_{CC} = 15.75 V_{DC}		V_{CC} = 5 V_{DC} ±5% V_{CC} = 12 V_{DC} ±5% to 15 V_{DC} ±5%	Limit Units
			Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
CONVERTER CHARACTERISTICS						
Resolution			8	8	8	bits
Linearity Error Max	Zero and full scale adjusted −10V ≤ V_{REF} ≤ +10V	4, 8				
DAC0830LJ & LCJ				**0.05**	**0.05**	% FSR
DAC0832LJ & LCJ				**0.2**	**0.2**	% FSR
DAC0830LCN, LCWM & LCV				0.05	**0.05**	% FSR
DAC0831LCN				0.1	**0.1**	% FSR
DAC0832LCN, LCWM & LCV				0.2	**0.2**	% FSR
Differential Nonlinearity Max	Zero and full scale adjusted −10V ≤ V_{REF} ≤ +10V	4, 8				
DAC0830LJ & LCJ				**0.1**	**0.1**	% FSR
DAC0832LJ & LCJ				**0.4**	**0.4**	% FSR
DAC0830LCN, LCWM & LCV				0.1	**0.1**	% FSR
DAC0831LCN				0.2	**0.2**	% FSR
DAC0832LCN, LCWM & LCV				0.4	**0.4**	% FSR
Monotonicity	−10V ≤ V_{REF} ≤ +10V LJ & LCJ	4		8	8	bits
	−10V ≤ V_{REF} ≤ +10V LCN, LCWM & LCV			8	8	bits
Gain Error Max	Using Internal R_{fb} −10V ≤ V_{REF} ≤ +10V	7	±0.2	±1	±1	% FS
Gain Error Tempco Max	Using internal R_{fb}		**0.0002**		**0.0006**	% FS/°C
Power Supply Rejection	All digital inputs latched high V_{CC} = 14.5V to 15.5V		0.0002	0.0025		% FSR/V
	11.5V to 12.5V		0.0006			
	4.5V to 5.5V		0.013	0.015		
Reference Input Max			**15**	**20**	**20**	kΩ
Reference Input Min			**15**	**10**	**10**	kΩ
Output Feedthrough Error	V_{REF} = 20 Vp-p, f = 100 kHz All data inputs latched low		3			mVp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	17 V_{DC}
Voltage at Any Digital Input	V_{CC} to GND
Voltage at V_{REF} Input	±25V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C (Note 3)	500 mW
DC Voltage Applied to I_{OUT1} or I_{OUT2} (Note 4)	−100 mV to V_{CC}
ESD Susceptability (Note 14)	800V
Lead Temperature (soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Conditions

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
Part numbers with 'LCN' suffix	0°C to +70°C
Part numbers with 'LCWM' suffix	0°C to +70°C
Part numbers with 'LCV' suffix	0°C to +70°C
Part numbers with 'LCJ' suffix	−40°C to +85°C
Part numbers with 'LJ' suffix	−55°C to +125°C
Voltage at Any Digital Input	V_{CC} to GND

Electrical Characteristics

V_{REF} = 10.000 V_{DC} unless otherwise noted. **Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$.** For all other limits T_A = 25°C.

Parameter	Conditions	See Note	V_{CC} = 4.75 V_{DC} V_{CC} = 15.75 V_{DC}		V_{CC} = 5 V_{DC} ± 5% V_{CC} = 12 V_{DC} ± 5% to 15 V_{DC} ± 5%	Limit Units
			Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
CONVERTER CHARACTERISTICS						
Resolution			8	8	8	bits
Linearity Error Max	Zero and full scale adjusted −10V ≤ V_{REF} ≤ +10V	4, 8				
DAC0830LJ & LCJ				0.05	0.05	% FSR
DAC0832LJ & LCJ				0.2	0.2	% FSR
DAC0830LCN, LCWM & LCV				0.05	0.05	% FSR
DAC0831LCN				0.1	0.1	% FSR
DAC0832LCN, LCWM & LCV				0.2	0.2	% FSR
Differential Nonlinearity Max	Zero and full scale adjusted −10V ≤ V_{REF} ≤ +10V	4, 8				
DAC0830LJ & LCJ				0.1	0.1	% FSR
DAC0832LJ & LCJ				0.4	0.4	% FSR
DAC0830LCN, LCWM & LCV				0.1	0.1	% FSR
DAC0831LCN				0.2	0.2	% FSR
DAC0832LCN, LCWM & LCV				0.4	0.4	% FSR
Monotonicity	−10V ≤ V_{REF} ≤ +10V LJ & LCJ	4		8	8	bits
	−10V ≤ V_{REF} ≤ +10V LCN, LCWM & LCV			8	8	bits
Gain Error Max	Using Internal R_{fb} −10V ≤ V_{REF} ≤ +10V	7	±0.2	±1	±1	% FS
Gain Error Tempco Max	Using internal R_{fb}		0.0002		0.0006	% FS/°C
Power Supply Rejection	All digital inputs latched high V_{CC} = 14.5V to 15.5V		0.0002	0.0025		% FSR/V
	11.5V to 12.5V		0.0006			
	4.5V to 5.5V		0.013	0.015		
Reference Input Max			15	20	20	kΩ
Reference Input Min			15	10	10	kΩ
Output Feedthrough Error	V_{REF} = 20 Vp-p, f = 100 kHz All data inputs latched low		3			mVp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics V_{REF} = 10.000 V_{DC} unless otherwise noted. **Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$.** For all other limits T_A = 25°C. (Continued)

Parameter		Conditions		See Note	V_{CC} = 4.75 V_{DC} V_{CC} = 15.75 V_{DC}		V_{CC} = 5 V_{DC} ±5% V_{CC} = 12 V_{DC} ±5% to 15 V_{DC} ±5%	Limit Units
					Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
CONVERTER CHARACTERISTICS (Continued)								
Output Leakage Current Max	I_{OUT1}	All data inputs latched low	LJ & LCJ	10		**100**	**100**	nA
			LCN, LCWM & LCV			50	**100**	
	I_{OUT2}	All data inputs latched high	LJ & LCJ			**100**	**100**	nA
			LCN, LCWM & LCV			50	**100**	
Output Capacitance	I_{OUT1}	All data inputs latched low			45			pF
	I_{OUT2}				115			
	I_{OUT1}	All data inputs latched high			130			pF
	I_{OUT2}				30			
DIGITAL AND DC CHARACTERISTICS								
Digital Input Voltages	Max	Logic Low	LJ 4.75V			**0.6**		V_{DC}
			LJ 15.75V			**0.8**		
			LCJ 4.75V			**0.7**		
			LCJ 15.75V			**0.8**		
			LCN, LCWM, LCV			0.95	**0.8**	
	Min	Logic High	LJ & LCJ			**2.0**	**2.0**	V_{DC}
			LCN, LCWM, LCV			1.9	**2.0**	
Digital Input Currents	Max	Digital inputs <0.8V	LJ & LCJ		−50	**−200**	**−200**	μA
			LCN, LCWM, LCV			−160	**−200**	μA
		Digital inputs >2.0V	LJ & LCJ		0.1	**+10**	**+10**	μA
			LCN, LCWM, LCV			+8	**+10**	
Supply Current Drain	Max		LJ & LCJ		1.2	**3.5**	**3.5**	mA
			LCN, LCWM, LCV			1.7	**2.0**	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics $V_{REF} = 10.000\ V_{DC}$ unless otherwise noted. Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$. For all other limits $T_A = 25°C$. (Continued)

Symbol	Parameter	Conditions	See Note	$V_{CC} = 15.75\ V_{DC}$		$V_{CC} = 12\ V_{DC} \pm 5\%$ to $15\ V_{DC} \pm 5\%$	$V_{CC} = 4.75\ V_{DC}$		$V_{CC} = 5\ V_{DC} \pm 5\%$	Limit Units
				Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
AC CHARACTERISTICS										
t_s	Current Setting Time	$V_{IL} = 0V$, $V_{IH} = 5V$		1.0			1.0			µs
t_W	Write and XFER Pulse Width Min	$V_{IL} = 0V$, $V_{IH} = 5V$	11 9	100	250 **320**	**320**	375	600 **900**	**900**	ns
t_{DS}	Data Setup Time Min	$V_{IL} = 0V$, $V_{IH} = 5V$	9	100	250 **320**	**320**	375	600 **900**	**900**	
t_{DH}	Data Hold Time Min	$V_{IL} = 0V$, $V_{IH} = 5V$	9		30 **30**			50 **50**		
t_{CS}	Control Setup Time Min	$V_{IL} = 0V$, $V_{IH} = 5V$	9	110	250 **320**	**320**	600	900 **1100**	**1100**	
t_{CH}	Control Hold Time Min	$V_{IL} = 0V$, $V_{IH} = 5V$	9	0	0 **0**	**10**	0	0 **0**		

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, $T_{JMAX} = 125°C$ (plastic) or 150°C (ceramic), and the typical junction-to-ambient thermal resistance of the J package when board mounted is 80°C/W. For the N package, this number increases to 100°C/W and for the V package this number is 120°C/W.

Note 4: For current switching applications, both I_{OUT1} and I_{OUT2} must go to ground or the "Virtual Ground" of an operational amplifier. The linearity error is degraded by approximately $V_{OS} \div V_{REF}$. For example, if $V_{REF} = 10V$ then a 1 mV offset, V_{OS}, on I_{OUT1} or I_{OUT2} will introduce an additional 0.01% linearity error.

Note 5: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 6: Guaranteed, but not 100% production tested. These limits are not used to calculate outgoing quality levels.

Note 7: Guaranteed at $V_{REF} = \pm 10\ V_{DC}$ and $V_{REF} = \pm 1\ V_{DC}$.

Note 8: The unit "FSR" stands for "Full Scale Range." "Linearity Error" and "Power Supply Rejection" specs are based on this unit to eliminate dependence on a particular V_{REF} value and to indicate the true performance of the part. The "Linearity Error" specification of the DAC0830 is "0.05% of FSR (MAX)". This guarantees that after performing a zero and full scale adjustment (see Sections 2.5 and 2.6), the plot of the 256 analog voltage outputs will each be within $0.05\% \times V_{REF}$ of a straight line which passes through zero and full scale.

Note 9: Boldface tested limits apply to the LJ and LCJ suffix parts only.

Note 10: A 100nA leakage current with $R_{fb} = 20k$ and $V_{REF} = 10V$ corresponds to a zero error of $(100 \times 10^{-9} \times 20 \times 10^3) \times 100/10$ which is 0.02% of FS.

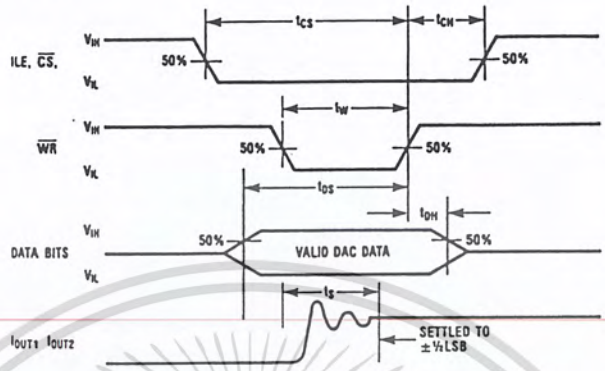
Note 11: The entire write pulse must occur within the valid data interval for the specified t_W, t_{DS}, t_{DH}, and t_S to apply.

Note 12: Typicals are at 25°C and represent most likely parametric norm.

Note 13: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Switching Waveform



TL/H/5608–2

Definition of Package Pinouts

Control Signals (All control signals level actuated)

$\overline{CS}$: **Chip Select** (active low). The $\overline{CS}$ in combination with ILE will enable $\overline{WR_1}$.

ILE: **Input Latch Enable** (active high). The ILE in combination with $\overline{CS}$ enables $\overline{WR_1}$.

$\overline{WR_1}$: **Write 1.** The active low $\overline{WR_1}$ is used to load the digital input data bits (DI) into the input latch. The data in the input latch is latched when $\overline{WR_1}$ is high. To update the input latch—$\overline{CS}$ and $\overline{WR_1}$ must be low while ILE is high.

$\overline{WR_2}$: **Write 2** (active low). This signal, in combination with $\overline{XFER}$, causes the 8-bit data which is available in the input latch to transfer to the DAC register.

$\overline{XFER}$: **Transfer control signal** (active low). The $\overline{XFER}$ will enable $\overline{WR_2}$.

Other Pin Functions

DI_0-DI_7: **Digital Inputs.** DI_0 is the least significant bit (LSB) and DI_7 is the most significant bit (MSB).

I_{OUT1}: **DAC Current Output 1.** I_{OUT1} is a maximum for a digital code of all 1's in the DAC register, and is zero for all 0's in DAC register.

I_{OUT2}: **DAC Current Output 2.** I_{OUT2} is a constant minus I_{OUT1}, or $I_{OUT1} + I_{OUT2}$ = constant (I full scale for a fixed reference voltage).

R_{fb}: **Feedback Resistor.** The feedback resistor is provided on the IC chip for use as the shunt feedback resistor for the external op amp which is used to provide an output voltage for the DAC. This on-chip resistor should always be used (not an external resistor) since it matches the resistors which are used in the on-chip R-2R ladder and tracks these resistors over temperature.

V_{REF}: **Reference Voltage Input.** This input connects an external precision voltage source to the internal R-2R ladder. V_{REF} can be selected over the range of +10 to −10V. This is also the analog voltage input for a 4-quadrant multiplying DAC application.

V_{CC}: **Digital Supply Voltage.** This is the power supply pin for the part. V_{CC} can be from +5 to +15V_{DC}. Operation is optimum for +15V_{DC}.

GND: The pin 10 voltage must be at the same ground potential as I_{OUT1} and I_{OUT2} for current switching applications. Any difference of potential (V_{OS} pin 10) will result in a linearity change of

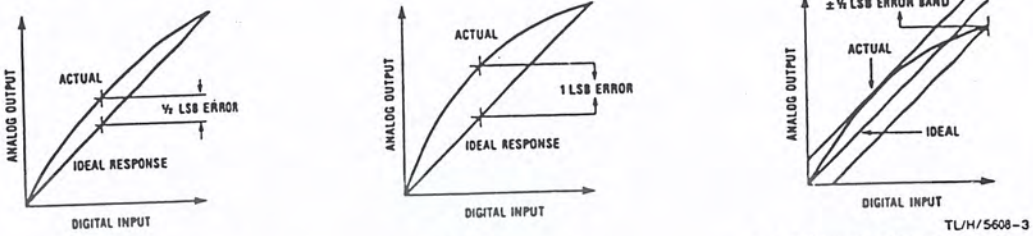
$$\frac{V_{OS} \text{ pin } 10}{3V_{REF}}$$

For example, if V_{REF} = 10V and pin 10 is 9mV offset from I_{OUT1} and I_{OUT2} the linearity change will be 0.03%.

Pin 3 can be offset ±100mV with no linearity change, but the logic input threshold will shift.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Linearity Error



a) End point test after zero and fs adj.

b) Best straight line

c) Shifting fs adj. to pass best straight line test

Definition of Terms

Resolution: Resolution is directly related to the number of switches or bits within the DAC. For example, the DAC0830 has 2^8 or 256 steps and therefore has 8-bit resolution.

Linearity Error: Linearity Error is the maximum deviation from a *straight line passing through the endpoints of the DAC transfer characteristic.* It is measured after adjusting for zero and full-scale. Linearity error is a parameter intrinsic to the device and cannot be externally adjusted.

National's linearity "end point test" (a) and the "best straight line" test (b,c) used by other suppliers are illustrated above. The "end point test" greatly simplifies the adjustment procedure by eliminating the need for multiple iterations of checking the linearity and then adjusting full scale until the linearity is met. The "end point test" guarantees that linearity is met after a single full scale adjust. (One adjustment vs. multiple iterations of the adjustment.) The "end point test" uses a standard zero and F.S. adjustment procedure and is a much more stringent test for DAC linearity.

Power Supply Sensitivity: Power supply sensitivity is a measure of the effect of power supply changes on the DAC full-scale output.

Settling Time: Settling time is the time required from a code transition until the DAC output reaches within ±½LSB of the final output value. Full-scale settling time requires a zero to full-scale or full-scale to zero output change.

Full-Scale Error: Full scale error is a measure of the output error between an ideal DAC and the actual device output. Ideally, for the DAC0830 series, full-scale is $V_{REF} - 1LSB$. For $V_{REF} = 10V$ and unipolar operation, $V_{FULL\text{-}SCALE} = 10.0000V - 39mV = 9.961V$. Full-scale error is adjustable to zero.

Differential Nonlinearity: The difference between any two consecutive codes in the transfer curve from the theoretical 1 LSB is differential nonlinearity.

Monotonic: If the output of a DAC increases for increasing digital input code, then the DAC is monotonic. An 8-bit DAC which is monotonic to 8 bits simply means that increasing digital input codes will produce an increasing analog output.

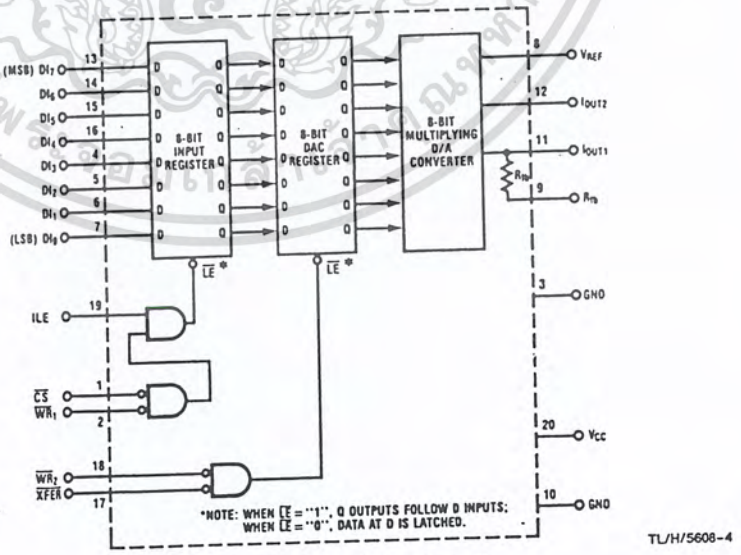
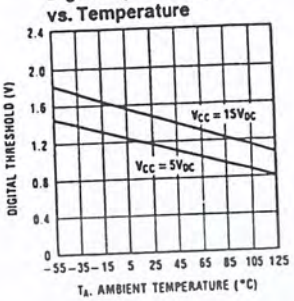


FIGURE 1. DAC0830 Functional Diagram

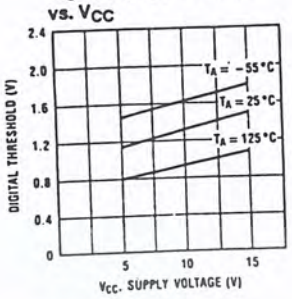
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

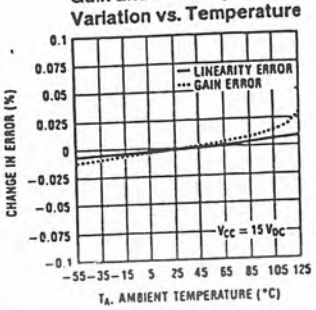
Digital Input Threshold vs. Temperature



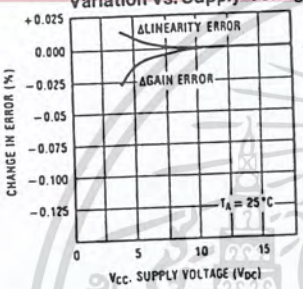
Digital Input Threshold vs. V_{CC}



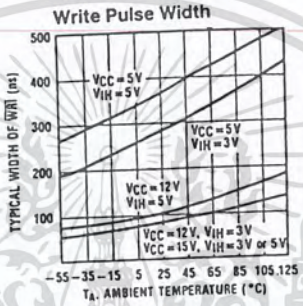
Gain and Linearity Error Variation vs. Temperature



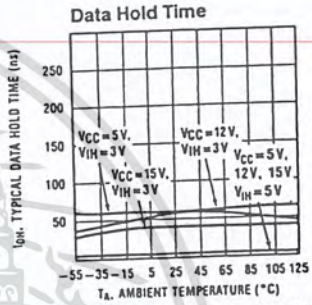
Gain and Linearity Error Variation vs. Supply Voltage



Write Pulse Width



Data Hold Time



TL/H/5608–5

DAC0830 Series Application Hints

These DAC's are the industry's first microprocessor compatible, double-buffered 8-bit multiplying D to A converters. Double-buffering allows the utmost application flexibility from a digital control point of view. This 20-pin device is also pin for pin compatible (with one exception) with the DAC1230, a 12-bit MICRO-DAC. In the event that a system's analog output resolution and accuracy must be upgraded, substituting the DAC1230 can be easily accomplished. By tying address bit A_0 to the ILE pin, a two-byte µP write instruction (double precision) which automatically increments the address for the second byte write (starting with A_0 = "1") can be used. This allows either an 8-bit or the 12-bit part to be used with no hardware or software changes. For the simplest 8-bit application, this pin should be tied to V_{CC} (also see other uses in section 1.1).

Analog signal control versatility is provided by a precision R-2R ladder network which allows full 4-quadrant multiplication of a wide range bipolar reference voltage by an applied digital word.

1.0 DIGITAL CONSIDERATIONS

A most unique characteristic of these DAC's is that the 8-bit digital input byte is double-buffered. This means that the data must transfer through two independently controlled 8-bit latching registers before being applied to the R-2R ladder network to change the analog output. The addition of a second register allows two useful control features. First, any DAC in a system can simultaneously hold the current DAC data in one register (DAC register) and the next data word in the second register (input register) to allow fast updating of the DAC output on demand. Second, and probably more important, double-buffering allows any number of DAC's in a system to be updated to their new analog output levels simultaneously via a common strobe signal.

The timing requirements and logic level convention of the register control signals have been designed to minimize or eliminate external interfacing logic when applied to most popular microprocessors and development systems. It is easy to think of these converters as 8-bit "write-only" memory locations that provide an analog output quantity. All inputs to these DAC's meet TTL voltage level specs and can also be driven directly with high voltage CMOS logic in non-microprocessor based systems. To prevent damage to the chip from static discharge, all unused digital inputs should be tied to V_{CC} or ground. If any of the digital inputs are inadvertantly left floating, the DAC interprets the pin as a logic "1".

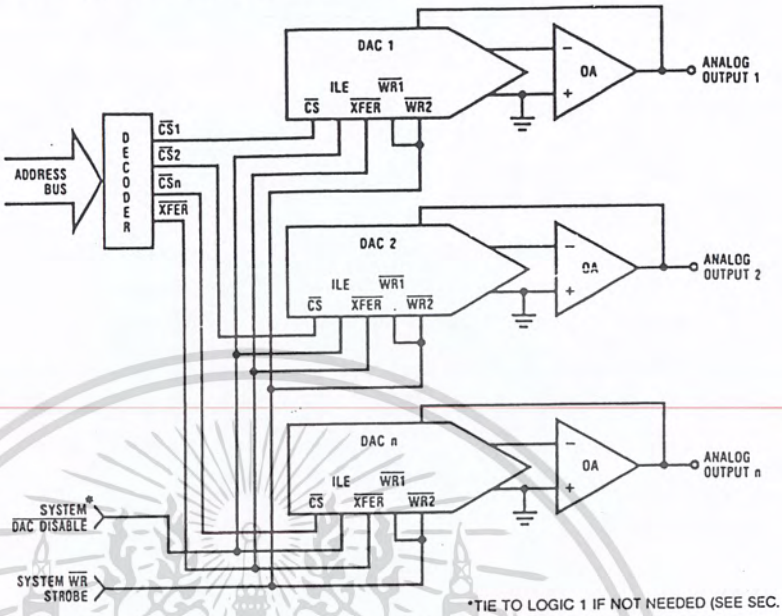
1.1 Double-Buffered Operation

Updating the analog output of these DAC's in a double-buffered manner is basically a two step or double write operation. In a microprocessor system two unique system addresses must be decoded, one for the input latch controlled by the $\overline{CS}$ pin and a second for the DAC latch which is controlled by the $\overline{XFER}$ line. If more than one DAC is being driven, *Figure 2*, the $\overline{CS}$ line of each DAC would typically be decoded individually, but all of the converters could share a common $\overline{XFER}$ address to allow simultaneous updating of any number of DAC's. The timing for this operation is shown, *Figure 3*.

It is important to note that the analog outputs that will change after a simultaneous transfer are those from the DAC's whose input register had been modified prior to the $\overline{XFER}$ command.

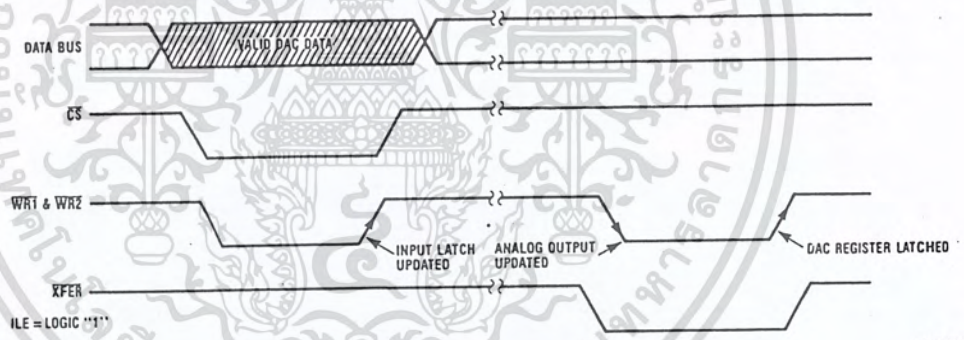
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0830 Series Application Hints (Continued)



*TIE TO LOGIC 1 IF NOT NEEDED (SEE SEC. 1.1).

FIGURE 2. Controlling Mutiple DACs



TL/H/5608–6

FIGURE 3

The ILE pin is an active high chip select which can be decoded from the address bus as a qualifier for the normal $\overline{CS}$ signal generated during a write operation. This can be used to provide a higher degree of decoding unique control signals for a particular DAC, and thereby create a more efficient addressing scheme.

Another useful application of the ILE pin of each DAC in a multiple DAC system is to tie these inputs together and use this as a control line that can effectively "freeze" the outputs of all the DAC's at their present value. Pulling this line low latches the input register and prevents new data from being written to the DAC. This can be particularly useful in multiprocessing systems to allow a processor other than the one controlling the DAC's to take over control of the data bus and control lines. If this second system were to use the same addresses as those decoded for DAC control (but for a different purpose) the ILE function would prevent the DAC's from being erroneously altered.

In a "Stand-Alone" system the control signals are generated by discrete logic. In this case double-buffering can be controlled by simply taking $\overline{CS}$ and $\overline{XFER}$ to a logic "0", ILE to a logic "1" and pulling $\overline{WR_1}$ low to load data to the input latch. Pulling $\overline{WR_2}$ low will then update the analog output. A logic "1" on either of these lines will prevent the changing of the analog output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0830 Series Application Hints (Continued)

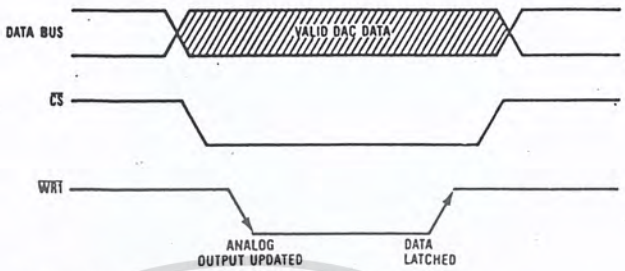


FIGURE 4

1.2 Single-Buffered Operation

In a microprocessor controlled system where maximum data throughput to the DAC is of primary concern, or when only one DAC of several needs to be updated at a time, a single-buffered configuration can be used. One of the two internal registers allows the data to flow through and the other register will serve as the data latch.

Digital signal feedthrough (see Section 1.5) is minimized if the input register is used as the data latch. Timing for this mode is shown in *Figure 4*.

Single-buffering in a "stand-alone" system is achieved by strobing $\overline{WR_1}$ low to update the DAC with $\overline{CS}$, $\overline{WR_2}$ and $\overline{XFER}$ grounded and ILE tied high.

1.3 Flow-Through Operation

Though primarily designed to provide microprocessor interface compatibility, the MICRO-DAC's can easily be configured to allow the analog output to continuously reflect the state of an applied digital input. This is most useful in applications where the DAC is used in a continuous feedback control loop and is driven by a binary up-down counter, or in function generation circuits where a ROM is continuously providing DAC data.

Simply grounding $\overline{CS}$, $\overline{WR_1}$, $\overline{WR_2}$, and $\overline{XFER}$ and tying ILE high allows both internal registers to follow the applied digital inputs (flow-through) and directly affect the DAC analog output.

1.4 Control Signal Timing

When interfacing these MICRO-DAC to any microprocessor, there are two important time relationships that must be considered to insure proper operation. The first is the minimum $\overline{WR}$ strobe pulse width which is specified as 900 ns for all valid operating conditions of supply voltage and ambient temperature, but typically a pulse width of only 180ns is adequate if $V_{CC} = 15V_{DC}$. A second consideration is that the guaranteed minimum data hold time of 50ns should be met or erroneous data can be latched. This hold time is defined as the length of time data must be held valid on the digital inputs *after* a qualified (via $\overline{CS}$) $\overline{WR}$ strobe makes a low to high transition to latch the applied data.

If the controlling device or system does not inherently meet these timing specs the DAC can be treated as a slow memory or peripheral and utilize a technique to extend the write strobe. A simple extension of the write time, by adding a wait state, can simultaneously hold the write strobe active and data valid on the bus to satisfy the minimum $\overline{WR}$ pulsewidth. If this does not provide a sufficient data hold time at the end of the write cycle, a negative edge triggered one-shot can be included between the system write strobe and the $\overline{WR}$ pin of the DAC. This is illustrated in *Figure 5* for an exemplary system which provides a 250ns $\overline{WR}$ strobe time with a data hold time of less than 10ns.

The proper data set-up time prior to the latching edge (LO to HI transition) of the $\overline{WR}$ strobe, is insured if the $\overline{WR}$ pulsewidth is within spec and the data is valid on the bus for the duration of the DAC $\overline{WR}$ strobe.

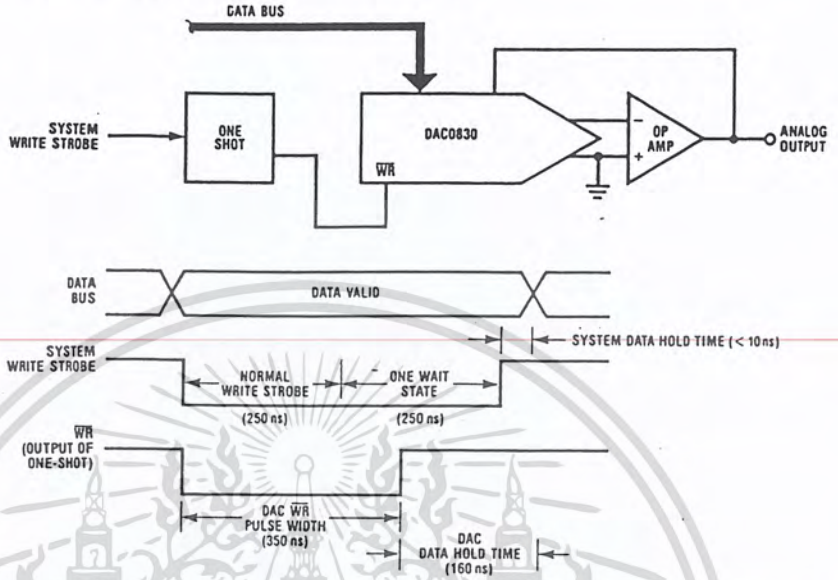
1.5 Digital Signal Feedthrough

When data is latched in the internal registers, but the digital inputs are changing state, a narrow spike of current may flow out of the current output terminals. This spike is caused by the rapid switching of internal logic gates that are responding to the input changes.

There are several recommendations to minimize this effect. When latching data in the DAC, always use the input register as the latch. Second, reducing the V_{CC} supply for the DAC from +15V to +5V offers a factor of 5 improvement in the magnitude of the feedthrough, but at the expense of internal logic switching speed. Finally, increasing C_C (*Figure 8*) to a value consistent with the actual circuit bandwidth requirements can provide a substantial damping effect on any output spikes.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0830 Series Application Hints (Continued)



TL/H/5608-8

FIGURE 5. Accommodating a High Speed System

2.0 ANALOG CONSIDERATIONS

The fundamental purpose of any D to A converter is to provide an accurate analog output quantity which is representative of the applied digital word. In the case of the DAC0830, the output, I_{OUT1}, is a current directly proportional to the product of the applied reference voltage and the digital input word. For application versatility, a second output, I_{OUT2}, is provided as a current directly proportional to the complement of the digital input. Basically:

$$I_{OUT1} = \frac{V_{REF}}{15\,k\Omega} \times \frac{\text{Digital Input}}{256};$$

$$I_{OUT2} = \frac{V_{REF}}{15\,k\Omega} \times \frac{255 - \text{Digital Input}}{256}$$

where the digital input is the decimal (base 10) equivalent of the applied 8-bit binary word (0 to 255), V_{REF} is the voltage at pin 8 and 15 kΩ is the nominal value of the internal resistance, R, of the R-2R ladder network (discussed in Section 2.1).

Several factors external to the DAC itself must be considered to maintain analog accuracy and are covered in subsequent sections.

2.1 The Current Switching R-2R Ladder

The analog circuitry, *Figure 6*, consists of a silicon-chromium (SiCr or Si-chrome) thin film R-2R ladder which is deposited on the surface oxide of the monolithic chip. As a result, there are no parasitic diode problems with the ladder (as there may be with diffused resistors) so the reference voltage, V_{REF}, can range −10V to +10V even if V_{CC} for the device is $5V_{DC}$.

The digital input code to the DAC simply controls the position of the SPDT current switches and steers the available ladder current to either I_{OUT1} or I_{OUT2} as determined by the logic input level ("1" or "0") respectively, as shown in *Figure 6*. The MOS switches operate in the current mode with a small voltage drop across them and can therefore switch currents of either polarity. This is the basis for the 4-quadrant multiplying feature of this DAC.

2.2 Basic Unipolar Output Voltage

To maintain linearity of output current with changes in the applied digital code, it is important that the voltages at both of the current output pins be as near ground potential ($0V_{DC}$) as possible. With $V_{REF} = +10V$ every millivolt appearing at either I_{OUT1} or I_{OUT2} will cause a 0.01% linearity error. In most applications this output current is converted to a voltage by using an op amp as shown in *Figure 7*.

The inverting input of the op amp is a "virtual ground" created by the feedback from its output through the internal 15 kΩ resistor, R_{fb}. All of the output current (determined by the digital input and the reference voltage) will flow through R_{fb} to the output of the amplifier. Two-quadrant operation can be obtained by reversing the polarity of V_{REF} thus causing I_{OUT1} to flow into the DAC and be sourced from the output of the amplifier. The output voltage, in either case, is always equal to $I_{OUT1} \times R_{fb}$ and is the opposite polarity of the reference voltage.

The reference can be either a stable DC voltage source or an AC signal anywhere in the range from −10V to +10V. The DAC can be thought of as a digitally controlled attenuator: the output voltage is always less than or equal to the applied reference voltage. The V_{REF} terminal of the device presents a nominal impedance of 15 kΩ to ground to external circuitry.

Always use the internal R_{fb} resistor to create an output voltage since this resistor matches (and tracks with temperature) the value of the resistors used to generate the output current (I_{OUT1}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0830 Series Application Hints (Continued)

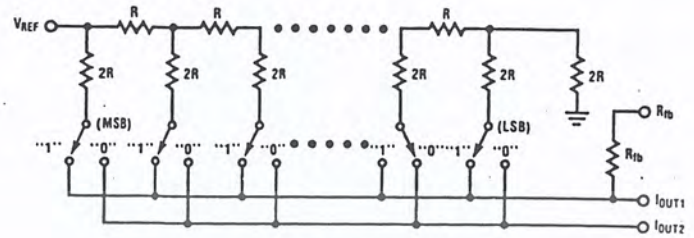


FIGURE 6

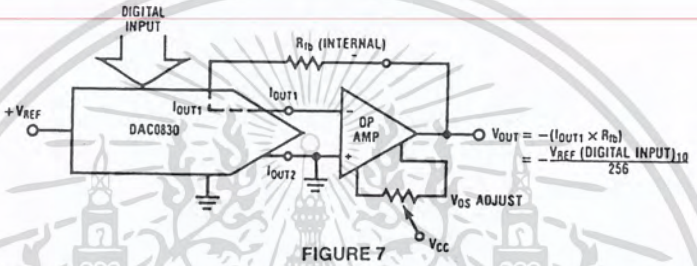


FIGURE 7

TL/H/5608–9

2.3 Op Amp Considerations

The op amp used in *Figure 7* should have offset voltage nulling capability (See Section 2.5).

The selected op amp should have as low a value of input bias current as possible. The product of the bias current times the feedback resistance creates an output voltage error which can be significant in low reference voltage applications. BI-FET op amps are highly recommended for use with these DACs because of their very low input current.

Transient response and settling time of the op amp are important in fast data throughput applications. The largest stability problem is the feedback pole created by the feedback resistance, R_{fb}, and the output capacitance of the DAC. This appears from the op amp output to the (−) input and includes the stray capacitance at this node. Addition of a lead capacitance, C_C in *Figure 8*, greatly reduces overshoot and ringing at the output for a step change in DAC output current.

Finally, the output voltage swing of the amplifier must be greater than V_{REF} to allow reaching the full scale output voltage. Depending on the loading on the output of the amplifier and the available op amp supply voltages (only ±12 volts in many development systems), a reference voltage less than 10 volts may be necessary to obtain the full analog output voltage range.

2.4 Bipolar Output Voltage with a Fixed Reference

The addition of a second op amp to the previous circuitry can be used to generate a bipolar output voltage from a fixed reference voltage. This, in effect, gives sign significance to the MSB of the digital input word and allows two-quadrant multiplication of the reference voltage. The polarity of the reference can also be reversed to realize full 4-quadrant multiplication: $\pm V_{REF} \times \pm$Digital Code$= \pm V_{OUT}$. This circuit is shown in *Figure 9*.

This configuration features several improvements over existing circuits for bipolar outputs with other multiplying DACs. Only the offset voltage of amplifier 1 has to be nulled to preserve linearity of the DAC. The offset voltage error of the second op amp (although a constant output voltage error) has no effect on linearity. It should be nulled only if absolute output accuracy is required. Finally, the values of the resistors around the second amplifier do not have to match the internal DAC resistors, they need only to match and temperature track each other. A thin film 4-resistor network available from Beckman Instruments, Inc. (part no. 694-3-R10K-D) is ideally suited for this application. These resistors are matched to 0.1% and exhibit only 5 ppm/°C resistance tracking temperature coefficient. Two of the four available 10 kΩ resistors can be paralleled to form R in *Figure 9* and the other two can be used independently as the resistances labeled 2R.

2.5 Zero Adjustment

For accurate conversions, the input offset voltage of the output amplifier must always be nulled. Amplifier offset errors create an overall degradation of DAC linearity.

The fundamental purpose of zeroing is to make the voltage appearing at the DAC outputs as near $0V_{DC}$ as possible. This is accomplished for the typical DAC — op amp connection (*Figure 7*) by shorting out R_{fb}, the amplifier feedback resistor, and adjusting the V_{OS} nulling potentiometer of the op amp until the output reads zero volts. This is done, of course, with an applied digital code of all zeros if I_{OUT1} is driving the op amp (all one's for I_{OUT2}). The short around R_{fb} is then removed and the converter is zero adjusted.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0830 Series Application Hints (Continued)

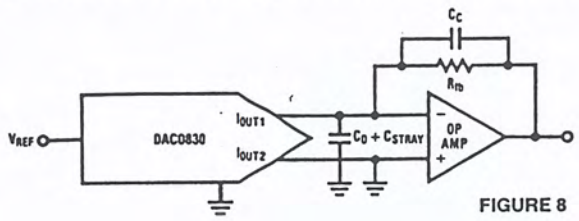
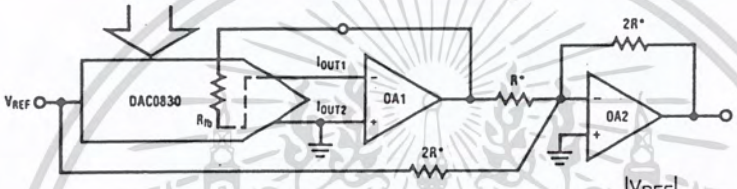


FIGURE 8

OP Amp	C_C	t_s (0 to Full Scale)
LF356	22 pF	4 μs
LF351	22 pF	5 μs
LF357*	10 pF	2 μs

*2.4 kΩ RESISTOR ADDED FROM −INPUT TO GROUND TO INSURE STABILITY



$$V_{OUT} = V_{REF} \frac{(\text{DIGITAL CODE} - 128)}{128}$$

$$1\ \text{LSB} = \frac{|V_{REF}|}{128}$$

TL/H/5608–10

*THESE RESISTORS ARE AVAILABLE FROM BECKMAN INSTRUMENTS, INC. AS THEIR PART NO. 694-3-R10K-D

Input Code (MSB ..... LSB)	IDEAL V_{OUT} $+V_{REF}$	IDEAL V_{OUT} $-V_{REF}$
1 1 1 1 1 1 1 1	$V_{REF} - 1$ LSB	$-\lvert V_{REF}\rvert + 1$ LSB
1 1 0 0 0 0 0 0	$V_{REF}/2$	$-\lvert V_{REF}\rvert/2$
1 0 0 0 0 0 0 0	0	0
0 1 1 1 1 1 1 1	-1 LSB	$+1$ LSB
0 0 1 1 1 1 1 1	$-\frac{\lvert V_{REF}\rvert}{2} - 1$ LSB	$\frac{\lvert V_{REF}\rvert}{2} + 1$ LSB
0 0 0 0 0 0 0 0	$-\lvert V_{REF}\rvert$	$+\lvert V_{REF}\rvert$

FIGURE 9

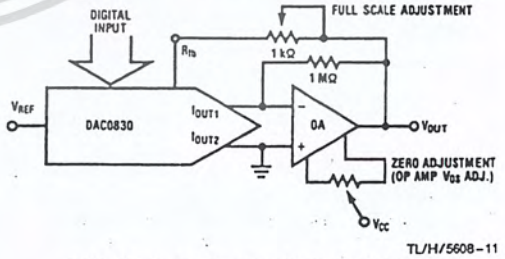
2.6 Full-Scale Adjustment

In the case where the matching of R_{fb} to the R value of the R-2R ladder (typically ±0.2%) is insufficient for full-scale accuracy in a particular application, the V_{REF} voltage can be adjusted or an external resistor and potentiometer can be added as shown in *Figure 10* to provide a full-scale adjustment.

The temperature coefficients of the resistors used for this adjustment are an important concern. To prevent degradation of the gain error temperature coefficient by the external resistors, their temperature coefficients ideally would have to match that of the internal DAC resistors, which is a highly impractical constraint. For the values shown in *Figure 10*, if the resistor and the potentiometer each had a temperature coefficient of ± 100 ppm/°C maximum, the overall gain error temperature coefficent would be degraded a maximum of 0.0025%/°C for an adjustment pot setting of less than 3% of R_{fb}.

2.7 Using the DAC0830 In a Voltage Switching Configuration

The R-2R ladder can also be operated as a voltage switching network. In this mode the ladder is used in an inverted manner from the standard current switching configuration. The reference voltage is connected to one of the current output terminals (I_{OUT1} for true binary digital control, I_{OUT2} is for complementary binary) and the output voltage is taken from the normal V_{REF} pin. The converter output is now a voltage in the range from 0V to 255/256 V_{REF} as a function of the applied digital code as shown in *Figure 11*.

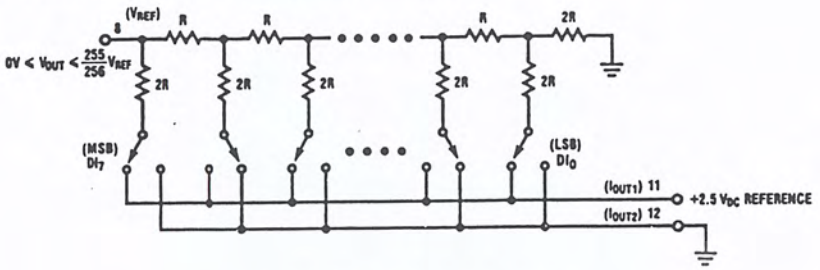


TL/H/5608–11

FIGURE 10. Adding Full-Scale Adjustment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0830 Series Application Hints (Continued)

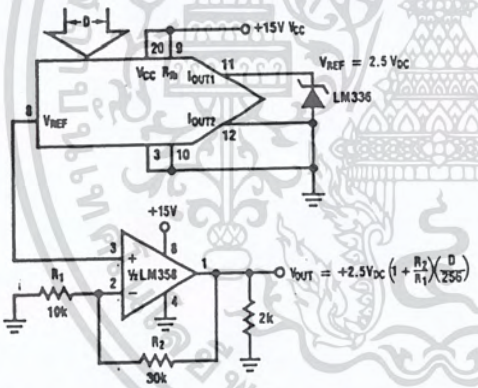


TL/H/5608–12

FIGURE 11. Voltage Mode Switching

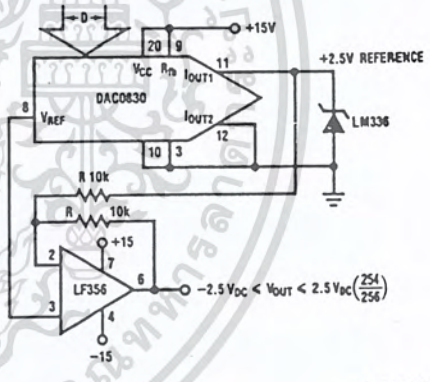
This configuration offers several useful application advantages. Since the output is a voltage, an external op amp is not necessarily required but the output impedance of the DAC is fairly high (equal to the specified reference input resistance of 10 kΩ to 20 kΩ) so an op amp may be used for buffering purposes. Some of the advantages of this mode are illustrated in *Figures 12, 13, 14* and *15*.

There are two important things to keep in mind when using this DAC in the voltage switching mode. The applied reference voltage must be positive since there are internal parasitic diodes from ground to the I_{OUT1} and I_{OUT2} terminals which would turn on if the applied reference went negative. There is also a dependence of conversion linearity and gain error on the voltage difference between V_{CC} and the voltage applied to the normal current output terminals. This is a result of the voltage drive requirements of the ladder switches. To ensure that all 8 switches turn on sufficiently (so as not to add significant resistance to any leg of the ladder and thereby introduce additional linearity and gain errors) it is recommended that the applied reference voltage be kept less than $+5V_{DC}$ and V_{CC} be at least 9V more positive than V_{REF}. These restrictions ensure less than 0.1% linearity and gain error change. *Figures 16, 17* and *18* characterize the effects of bringing V_{REF} and V_{CC} closer together as well as typical temperature performance of this voltage switching configuration.



- Voltage switching mode eliminates output signal inversion and therefore a need for a negative power supply.
- Zero code output voltage is limited by the low level output saturation voltage of the op amp. The 2 kΩ pull-down resistor helps to reduce this voltage.
- V_{OS} of the op amp has no effect on DAC linearity.

FIGURE 12. Single Supply DAC



TL/H/5608–13

- $V_{OUT} = 2.5V \left(\frac{D}{128} - 1\right)$
- Slewing and settling time for a full scale output change is ≈ 1.8 μs

FIGURE 13. Obtaining a Bipolar Output from a Fixed Reference with a Single Op Amp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0830 Series Application Hints (Continued)

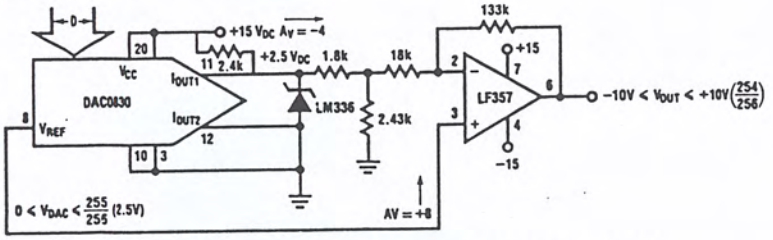
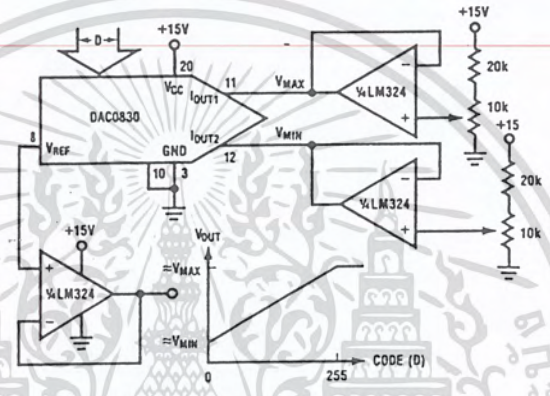


FIGURE 14. Bipolar Output with Increased Output Voltage Swing



TL/H/5608–14

- Only a single +15V supply required
- Non-interactive full-scale and zero code output adjustments
- V_{MAX} and V_{MIN} must be ≤ +5VDC and ≥0V.
- Incremental Output Step = $\frac{1}{256}(V_{MAX} - V_{MIN})$.

$$\bullet V_{OUT} = \frac{D}{256}(V_{MAX} - V_{MIN}) + \frac{255}{256}V_{MIN}$$

FIGURE 15. Single Supply DAC with Level Shift and Span-Adjustable Output

Gain and Linearity Error Variation vs. Supply Voltage

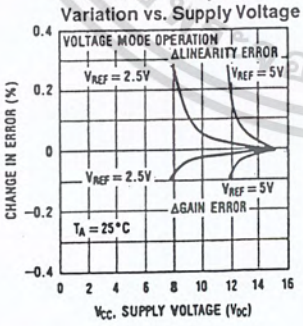


FIGURE 16

Gain and Linearity Error Variation vs. Reference Voltage

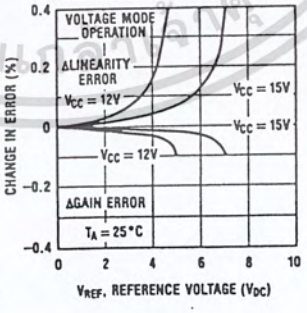
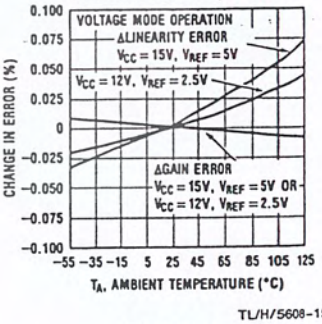


FIGURE 17

Note: For these curves, V_{REF} is the voltage applied to pin 11 (I_{OUT1}) with pin 12 (I_{OUT2}) grounded.

Gain and Linearity Error Variation vs. Temperature



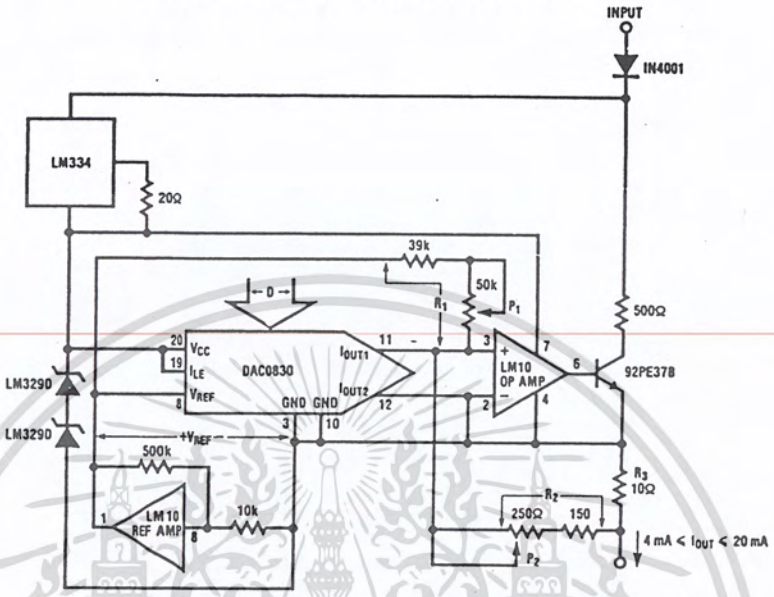
TL/H/5608–15

FIGURE 18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications (Continued)

Two Terminal Floating 4 to 20 mA Current Loop Controller

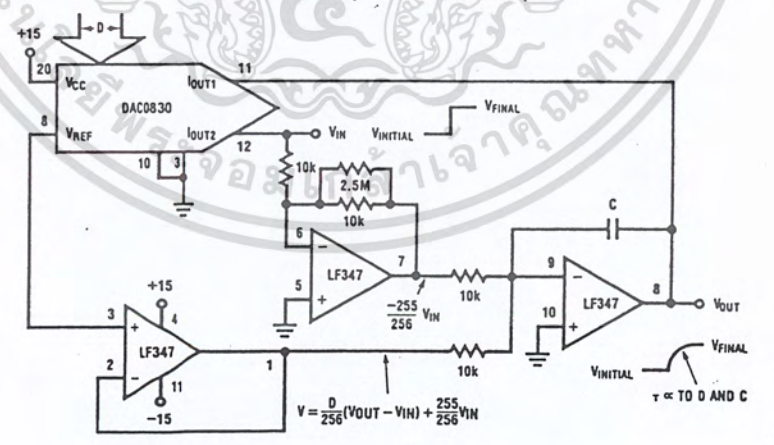


TL/H/5608–19

$$I_{OUT} = V_{REF}\left[\frac{1}{R_1} + \frac{D}{256\,R_{fb}}\right]\left[1 + \frac{R_2}{R_3}\right]$$

- DAC0830 linearly controls the current flow from the input terminal to the output terminal to be 4 mA (for D = 0) to 19.94 mA (for D = 255).
- Circuit operates with a terminal voltage differential of 16V to 55V.
- P_2 adjusts the magnitude of the output current and P_1 adjusts the zero to full scale range of output current.
- Digital inputs can be supplied from a processor using opto isolators on each input or the DAC latches can flow-through (connect control lines to pins 3 and 10 of the DAC) and the input data can be set by SPST toggle switches to ground (pins 3 and 10).

DAC Controlled Exponential Time Response



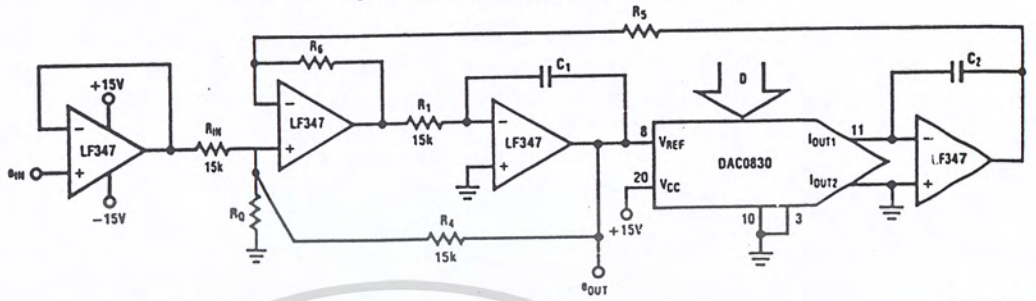
TL/H/5608–20

- Output responds exponentially to input changes and automatically stops when $V_{OUT} = V_{IN}$
- Output time constant is directly proportional to the DAC input code and capacitor C
- Input voltage must be positive (See section 2.7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications (Continued)

Variable f_O, Variable Q_O, Constant BW Bandpass Filter



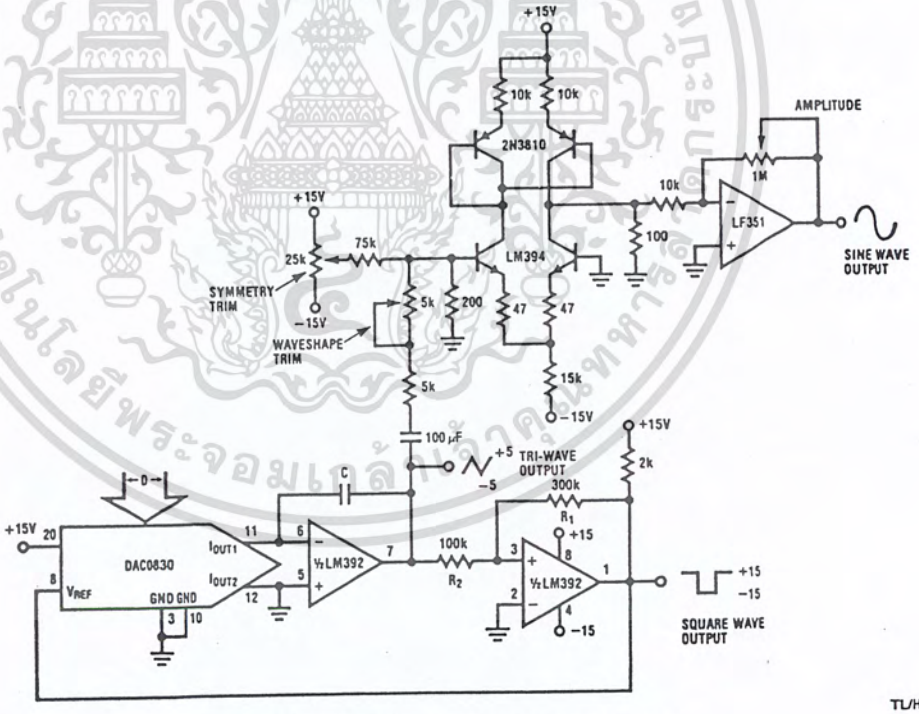
TL/H/5608-17

- $f_O = \frac{\sqrt{\frac{KD}{256}}}{2\pi R_1 C}$; $Q_O = \sqrt{\frac{KD}{256}}\,\frac{(2R_O + R_1)}{R_O(K+1)}$; $3dbBW = \frac{R_O(K+1)}{2\pi R_1 C(2R_O + R_1)}$

  where $C_1 = C_2 = C$; $K = \frac{R_6}{R_5}$ and R_1 = R of DAC = 15k

- $H_O = 1$ for $R_{IN} = R_4 = R_1$
- Range of f_O and Q is ≃ 16 to 1 for circuit shown. The range can be extended to 255 to 1 by replacing R_1 with a second DAC0830 driven by the same digital input word.
- Maximum $f_O \times Q$ product should be ≤200 kHz.

DAC Controlled Function Generator



TL/H/5608-18

- DAC controls the frequency of sine, square, and triangle outputs.
- $f = \frac{D}{256(20k)C}$ for $V_{OMAX} = V_{OMIN}$ of square wave output and $R_1 = 3\,R_2$.
- 255 to 1 linear frequency range; oscillator stops with D = 0
- Trim symmetry and wave-shape for minimum sine wave distortion.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0830 Series Application Hints (Continued)

2.8 Miscellaneous Application Hints

These converters are CMOS products and reasonable care should be exercised in handling them to prevent catastrophic failures due to static discharge.

Conversion accuracy is only as good as the applied reference voltage so providing a stable source over time and temperature changes is an important factor to consider.

A "good" ground is most desirable. A single point ground distribution technique for analog signals and supply returns keeps other devices in a system from affecting the output of the DACs.

During power-up supply voltage sequencing, the −15V (or −12V) supply of the op amp may appear first. This will cause the output of the op amp to bias near the negative supply potential. No harm is done to the DAC, however, as the on-chip 15 kΩ feedback resistor sufficiently limits the current flow from I_{OUT1} when this lead is internally clamped to one diode drop below ground.

Careful circuit construction with minimization of lead lengths around the analog circuitry, is a primary concern. Good high frequency supply decoupling will aid in preventing inadvertant noise from appearing on the analog output.

Overall noise reduction and reference stability is of particular concern when using the higher accuracy versions, the DAC0830 and DAC0831, or their advantages are wasted.

3.0 GENERAL APPLICATION IDEAS

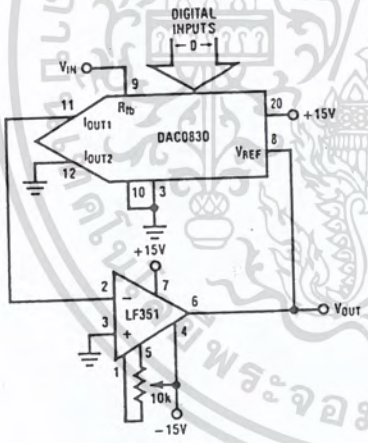
The connections for the control pins of the digital input registers are purposely omitted. Any of the control formats discussed in Section 1 of the accompanying text will work with any of the circuits shown. The method used depends on the overall system provisions and requirements.

The digital input code is referred to as D and represents the decimal equivalent value of the 8-bit binary input, for example:

Binary Input								
Pin 13 MSB							Pin 7 LSB	D Decimal Equivalent
1	1	1	1	1	1	1	1	255
1	0	0	0	0	0	0	0	128
0	0	0	1	0	0	0	0	16
0	0	0	0	0	0	1	0	2
0	0	0	0	0	0	0	0	0

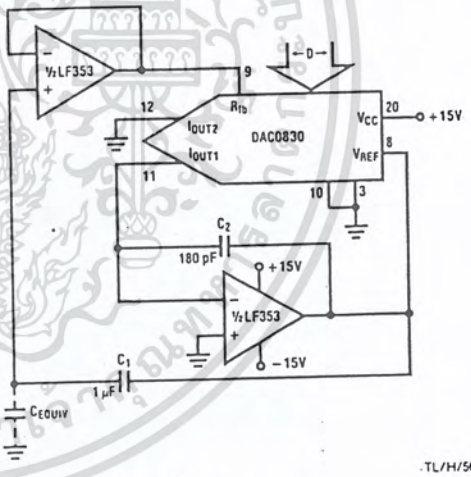
Applications

DAC Controlled Amplifier (Volume Control)



- $V_{OUT} = \frac{-V_{IN}(256)}{D}$
- When D = 0, the amplifier will go open loop and the output will saturate.
- Feedback impedance from the −input to the output varies from 15 kΩ to ∞ as the input code changes from full-scale to zero.

Capacitance Multiplier



TL/H/5608–16

- $C_{EQUIV} = C_1\left(1+\frac{256}{D}\right)$
- Maximum voltage across the equivalent capacitance is limited to $\frac{V_{O\,MAX}\ (\text{op amp})}{1+\frac{256}{D}}$
- C_2 is used to improve settling time of op amp.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Temperature Range		0°C to +70°			−40°C to +85°C	−55°C to +125°C
Non Linearity	0.05% FSR	DAC0830LCN	DAC0830LCM	DAC0830LCV	DAC0830LCJ	DAC0830LJ
	0.1% FSR	DAC0831LCN				
	0.2% FSR	DAC0832LCN	DAC0832LCM	DAC0832LCV	DAC0832LCJ	DAC0832LJ
Package Outline		N20A—Molded DIP	M20B Small Outline	V20A Chip Carrier	J20A—Ceramic DIP	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้