

รถขับเคลื่อนอัตโนมัติด้วยกล้องวีดีโอ

Automatic Lane Detection Car Using CCD Camera



โดย
นายภาที คร้ามไพบูลย์
นางสาวยุวดี พนิตวงศ์ตระกูล

เลขหมู่.....
เลขทะเบียน..... 42335
วัน, เดือน, ปี 17 พ.ค. 2545

b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมระบบควบคุม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รถขับเคลื่อนอัตโนมัติด้วยกล้องวีดีโอ

Automatic Lane Detection Car Using CCD Camera



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมระบบควบคุม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2543

ภาควิชาวิศวกรรมระบบควบคุม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง รถขับเคลื่อนอัตโนมัติด้วยกล้องวิดีโอ

ผู้จัดทำ

1. นายภาคิ คร้ามไพบูลย์

รหัส 40010555

2. นางสาวยุวดี พนิตวงศ์ตระกูล

รหัส 40010623



.....อาจารย์ที่ปรึกษา

(อาจารย์คงศักดิ์ อนันตหิรัญรัตน์)



.....อาจารย์ที่ปรึกษา

(อาจารย์สุมิตร พนาอุดมทรัพย์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	รถขับเคลื่อนอัตโนมัติด้วยกล้องวิดีโอ
นักศึกษา	นายภาที ศรีรัมย์ไพบูลย์ นางสาวยุวดี พนิตวงศ์ตระกูล
อาจารย์ผู้ควบคุมวิทยานิพนธ์	อาจารย์คงศักดิ์ อนันตศิริรัตนัน อาจารย์สุมิตร พนาอุดมทรัพย์
ระดับการศึกษา	วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมระบบควบคุม
ภาควิชา	วิศวกรรมระบบควบคุม
ปีการศึกษา	สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2543

บทคัดย่อ

การพัฒนายานพาหนะระบบอัตโนมัติแบบไร้คนขับเพื่อตรวจดูทัศนวิสัยต่าง ๆ กำลังเป็นที่สนใจอย่างมากในปัจจุบัน ดังนั้นโครงการนี้จึงกำเนิดขึ้นเพื่อเป็นต้นแบบรถขับเคลื่อนอัตโนมัติ โดยอาศัยสัญญาณภาพจากกล้องวิดีโอผ่านวงจรแปลงและจัดเก็บข้อมูล แล้วจึงประมวลผลสัญญาณภาพและควบคุมมอเตอร์กระแสตรงเพื่อขับเคลื่อนรถด้วยไมโครคอนโทรลเลอร์ ซึ่งสามารถนำไปพัฒนาเพื่อประยุกต์ใช้ในการตรวจสอบทัศนวิสัยในเขตพื้นที่อันตราย หรือ ใช้เป็นรถโดยสารมวลชนแบบอัตโนมัติ โดยในโครงการนี้รถต้นแบบสามารถเคลื่อนที่ไปทางตรงหรือเลี้ยวโค้งตามเส้นทางของถนนได้อย่างถูกต้องโดยปราศจากวัตถุอื่นบนถนน

ABSTRACT

Nowadays, the development of automatic self-driving vehicle is very interesting. So this project is presented as a model of the automatic car which can be applied to use for survey the hazard area or use as the automatic mass-bus, etc. By deriving image from CCD camera on the vehicle and passing the data conversion circuit, the microcontroller then processes the data and controls the DC motor to drive the car through the right way without obstacles.

สารบัญ

	หน้า
บทคัดย่อ	I
สารบัญ	II
สารบัญภาพ	III
สารบัญตาราง	IV
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและวัตถุประสงค์ของโครงการ	1
1.2 ขอบเขตของงาน	1
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 การจัดเก็บข้อมูลภาพ	3
2.2 หลักการทำงานของมอเตอร์กระแสตรง	10
2.3 ทฤษฎีของไมโครคอนโทรลเลอร์	15
บทที่ 3 การออกแบบและคำนวณ	25
3.1 การออกแบบและสร้างวงจรจัดเก็บข้อมูลภาพ	25
3.2 การออกแบบการประมวลผลภาพ	30
3.3 การออกแบบการควบคุมระบบ และการควบคุมมอเตอร์	32
3.4 การออกแบบการควบคุมการเคลื่อนที่ของรถ	32
3.5 การออกแบบวงจรขับมอเตอร์กระแสตรง	40
บทที่ 4 การทดลองและผลการทดลอง	41
การทดลองที่ 1 : วงจรแปลงสัญญาณข้อมูล	41
การทดลองที่ 2 : วงจรควบคุมการอ่าน/เขียนข้อมูล	
วงจรกำเนิดตำแหน่งแอดเดรส และวงจรกำเนิดสัญญาณเขียน	49
การทดลองที่ 3 : การเก็บข้อมูลลงหน่วยความจำ โดยหาตำแหน่งแถบสีขาว	50
การทดลองที่ 4 : การให้รถเดินแบบวิ่งบนถนน	53
บทที่ 5 สรุปและวิจารณ์ผลการทดลอง	55
ภาคผนวก	
กิตติกรรมประกาศ	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูปที่	หน้า
1.1 แสดงบล็อกไดอะแกรมส่วนการทำงานโดยสังเขป	2
2.1 แสดงลักษณะของสัญญาณวีดีโอ	4
2.2 แสดงการเปรียบเทียบการสะแกนที่หน้าจอโมนิเตอร์ กับสัญญาณที่ใช้ควบคุมการสะแกนทั้งสองแกน	4
2.3 แสดงบล็อกไดอะแกรมสำหรับการจัดเก็บข้อมูลลงสู่หน่วยความจำโดยตรง	6
2.4 แสดงบล็อกไดอะแกรมในการแบ่งพื้นที่หน่วยความจำในการเก็บข้อมูลออกเป็นหลายชุด	7
2.5 แสดงบล็อกไดอะแกรมในการเลื่อนข้อมูลที่จะถูกจัดเก็บ	9
2.6 แสดงการเกิดแรงบิดในมอเตอร์กระแสตรง	10
2.7 แสดงโครงสร้างมอเตอร์กระแสตรงแบบอาเมเจอร์ต่ออนุกรมกับสนามแม่เหล็ก	11
2.8 แสดงความสัมพันธ์ระหว่างความเร็วและแรงบิดของมอเตอร์แบบต่ออนุกรมที่แรงดันคงที่	11
2.9 แสดงโครงสร้างของมอเตอร์กระแสตรงแบบสนามแม่เหล็กแยกกระตุ้น	12
2.10 แสดงความสัมพันธ์ระหว่างความเร็วและแรงบิดของซันท์มอเตอร์ ที่สนามแม่เหล็กและแรงดันคงที่	12
2.11 แสดงโครงสร้างมอเตอร์กระแสตรงแบบสนามแม่เหล็กคงที่	12
2.12 แสดงรูปหน้าตัดของมอเตอร์กระแสตรงแบบอาเมเจอร์มีขดลวดพันอยู่ บนพื้นผิว และสนามแม่เหล็กแบบถาวร	13
2.13 แสดงหน้าตัดของมอเตอร์กระแสตรงแบบ อาเมเจอร์เป็นขดลวดหมุน	14
2.14 แสดงหน้าตัดด้านข้างของมอเตอร์กระแสตรงแบบอาเมเจอร์เป็นขดลวดหมุน	14
2.15 แสดงขาต่างๆของไมโครคอนโทรลเลอร์เบอร์ 89C51	15
2.16 แสดงการต่อหน่วยความจำข้อมูลภายนอกกับไมโครคอนโทรลเลอร์	16
2.17 แสดงไดอะแกรมเวลาการอ่านและเขียนข้อมูลลงหน่วยความจำภายนอก	17
2.18 ไทม์เมอร์/เคาน์เตอร์ 1 หรือ 0 (โหมด 0) 13 บิต เคาน์เตอร์	20
2.19 ไทม์เมอร์/เคาน์เตอร์ 1 หรือ 0 (โหมด 1) 16 บิต เคาน์เตอร์	21
2.20 ไทม์เมอร์/เคาน์เตอร์ 1 หรือ 0 (โหมด 2) 8 บิตแบบโพลคค่าอัตโนมัติ	21
2.21 ไทม์เมอร์/เคาน์เตอร์ 1 หรือ 0 (โหมด 3) 8 บิต 2 เคาน์เตอร์	21
2.22 แหล่งที่มาของสัญญาณอินเทอร์รัปต์	22
3.1 แสดงบล็อกไดอะแกรมของวงจรจัดเก็บข้อมูลภาพ	25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่	หน้า
3.2 แสดงวงจรแปลงสัญญาณข้อมูล และ บัฟเฟอร์	27
3.3 แสดงวงจรกำเนิดตำแหน่งแอดเดรส และวงจรกำเนิดสัญญาณเขียนข้อมูล	28
3.4 แสดงวงจรควบคุมสัญญาณอ่าน/เขียน	29
3.5 กราฟแสดงช่วงเวลาการจับมอเตอร์ของมอเตอร์ด้านซ้ายและขวา กรณีไปตรง มอเตอร์ขวากรณีเลียขงวา และ มอเตอร์ซ้ายกรณีเลียขงซ้าย	33
3.6 กราฟแสดงช่วงเวลาการจับมอเตอร์ของมอเตอร์ซ้ายกรณีเลียขงวา และ มอเตอร์ขวากรณีเลียขงซ้าย	33
3.7 โพล์วชาร์ตแสดงโปรแกรมหลักในการประมวลผลภาพและควบคุมมอเตอร์	34
3.8 โพล์วชาร์ตแสดงโปรแกรมย่อยในการข้อมูลภาพ	35
3.9 โพล์วชาร์ตแสดงโปรแกรมย่อยในการควบคุมการเคลื่อนที่ตรง	37
3.10 โพล์วชาร์ตแสดงโปรแกรมย่อยในการควบคุมการเลียขงซ้าย	38
3.11 โพล์วชาร์ตแสดงโปรแกรมย่อยในการควบคุมการเลียขงวา	39
3.12 แสดงวงจรจับมอเตอร์กระแสตรง	40
4.1 แสดงวงจรแปลงสัญญาณข้อมูลและบัฟเฟอร์แบบที่ 1	41
4.2 แสดงกราฟที่ได้จากการวัดเอาท์พุทของวงจรกรองความถี่ผ่าน	42
4.3 แสดงกราฟที่ได้จากการวัดขาที่ 9 ของเอน โคคเคอร์ (D_0)	43
4.4 แสดงกราฟที่ได้จากการวัดขาที่ 7 ของเอน โคคเคอร์ (D_1)	43
4.5 แสดงกราฟที่ได้จากการวัดขาที่ 6 ของเอน โคคเคอร์ (D_2)	43
4.6 แสดงวงจรแปลงสัญญาณข้อมูลและบัฟเฟอร์	45
4.7 แสดงกราฟที่ได้จากการวัดเอาท์พุทของวงจรกรองความถี่ผ่าน	45
4.8 แสดงกราฟที่ได้จากการวัดสัญญาณของวงจรขยายแรงดันและขา 9 ของเอน โคคเคอร์ (D_0)	46
4.9 แสดงกราฟที่ได้จากการวัดสัญญาณของวงจรขยายแรงดันและขา 7 ของเอน โคคเคอร์ (D_1)	47
4.10 แสดงกราฟที่ได้จากการวัดสัญญาณของวงจรขยายแรงดันและขา 6 ของเอน โคคเคอร์ (D_2)	47
4.11 แสดงไดอะแกรมเวลาของสัญญาณที่ได้จากวงจรกำเนิดตำแหน่งแอดเดรส และวงจรกำเนิดสัญญาณเขียน	49
4.12 แสดงไดอะแกรมเวลาของสัญญาณที่ได้จากวงจรควบคุมสัญญาณอ่าน/เขียนข้อมูล	49
4.13 โพล์วชาร์ตแสดงโปรแกรมทดสอบการหาตำแหน่งแถบสีขาว	52
4.14 รถต้นแบบและอุปกรณ์ต่าง ๆ ที่ใช้ในการทดลอง	
4.15 แสดงผลการทดลองให้รถเลียขง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
2.1 อินเทอร์เน็ตเวอร์ชันของ 89C51 และลำดับความสำคัญของการอินเทอร์เน็ต	22
2.2 แสดงรายละเอียดของรีจิสเตอร์แสดงการอนุญาตการอินเทอร์เน็ต (IE)	23
4.1 ค่าแรงดันอินพุทเปรียบเทียบกับข้อมูลที่ได้จากเอนโคเดอ์ในวงจรแบบที่ 1	44
4.2 ค่าแรงดันอินพุทเปรียบเทียบกับข้อมูลที่ได้จากเอนโคเดอ์ในวงจรแบบที่ 2	48
4.3 ผลการทดลองที่ 3.1	51
4.4 ผลการทดลองที่ 3.2	51
4.5 ผลการทดลองที่ 4	53



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและวัตถุประสงค์ของโครงการ

เนื่องจากในปัจจุบันการศึกษาระบบการจราจรบนถนนเป็นเทคโนโลยีที่ค่อนข้างใหม่สำหรับการขับเคลื่อนยานพาหนะระบบอัตโนมัติเพื่อตรวจสอบทัศนวิสัยต่างๆ ซึ่งจำเป็นต้องอาศัยกล้องวิดีโอที่มีประสิทธิภาพและอุปกรณ์ที่มีความเร็วในการประมวลผลสูง โครงการนี้จึงจัดทำขึ้นเพื่อเป็นต้นแบบรถขับเคลื่อนอัตโนมัติ โดยอาศัยสัญญาณภาพจากกล้องวิดีโอ มาประมวลผลโดยใช้ไมโครคอนโทรลเลอร์ ซึ่งสามารถนำมาประยุกต์ใช้ในการตรวจสอบทัศนวิสัยในเขตพื้นที่อันตราย หรือใช้เป็นรถโดยสารมวลชนแบบอัตโนมัติ ซึ่งมีประโยชน์ดังนี้

1.1.1 ช่วยให้สามารถตรวจสอบทัศนวิสัยในเขตพื้นที่อันตราย หรือพื้นที่ที่ไม่สะดวกที่จะให้มนุษย์เข้าไปปฏิบัติงาน

1.1.2 ช่วยประหยัดค่าใช้จ่ายในการว่าจ้างแรงงานเพื่อขับเคลื่อนยานพาหนะ

1.1.3 ช่วยลดปัญหาด้านการขาดประสิทธิภาพในการบังคับการขับเคลื่อน เช่น ผู้ขับขี่ไม่มีความชำนาญ หรือ เกิดความเมื่อยล้า เนื่องจากขับขี่ในระยะทางไกล

1.2 ขอบเขตของงาน

โครงการนี้เป็นรถต้นแบบซึ่งควบคุมการเคลื่อนที่แบบอัตโนมัติ โดยใช้ไมโครคอนโทรลเลอร์ (Microcontroller) มาทำการประมวลผลสัญญาณภาพจากกล้องวิดีโอ (Video) โดยที่รถสามารถเคลื่อนที่ไปทางตรงหรือเลี้ยวโค้งตามเส้นทางของถนนได้อย่างถูกต้องโดยปราศจากวัตถุอื่นบนถนน และสามารถต่อสัญญาณภาพเข้าคอมพิวเตอร์ได้หากต้องการ อย่างไรก็ตาม โครงการชิ้นนี้ก็สามารถพัฒนาให้สามารถหลบหลีกวัตถุ หรือมีการตัดสินใจในกรณีพบทางแยกได้ โดยขึ้นอยู่กับโปรแกรมที่ผู้พัฒนาจะสร้างขึ้น

ซึ่งในการประมวลผลสัญญาณภาพ จะมีขั้นตอนดังนี้

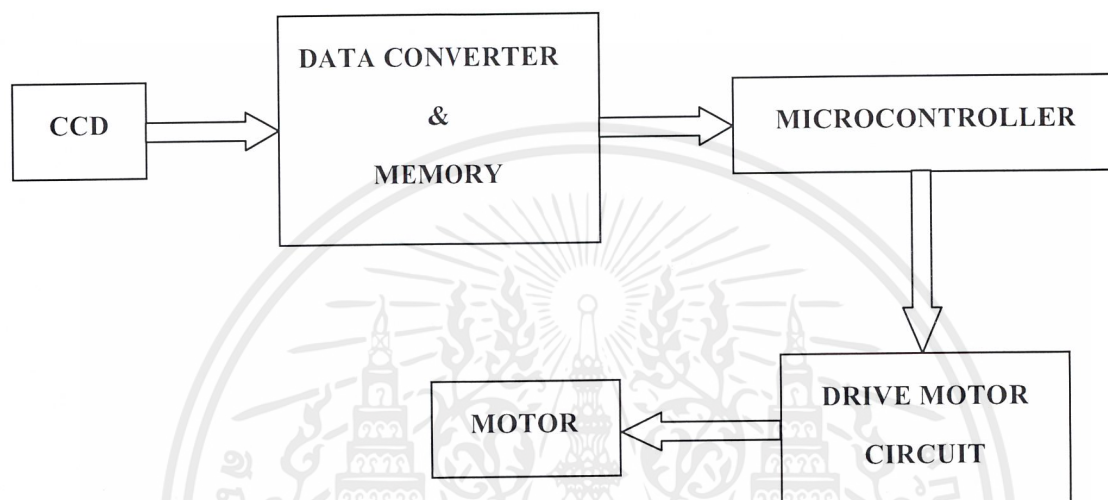
1.2.1 สร้างตัวกำหนดตำแหน่งของเลนถนนเพื่อใช้ในการกำหนดขอบเขตถนน

1.2.2 หาจุดกึ่งกลางถนนจากตำแหน่งของเลนถนน

1.2.3 เปรียบเทียบจุดกึ่งกลางถนนระหว่างจุดปัจจุบันกับจุดที่กำลังจะไปถึง

โครงการนี้สามารถแบ่งออกเป็นส่วนใหญ่ ๆ ได้ 3 ส่วน คือ

- 1.) ส่วนรับ แปลงและจัดเก็บสัญญาณภาพ
- 2.) ส่วนประมวลผลสัญญาณภาพ
- 3.) ส่วนขับเคลื่อนมอเตอร์ (Drive Motor)



รูปที่ 1.1 แสดงบล็อกไดอะแกรมส่วนการทำงานโดยสังเขป

บทที่ 2

ทฤษฎีและหลักการ

2.1 การจัดเก็บข้อมูลภาพ

ในการออกแบบระบบจัดเก็บข้อมูลภาพแบบดิจิทัลนั้น จำเป็นต้องทราบถึงลักษณะของสัญญาณภาพที่เกี่ยวข้อง ดังนั้นในหัวข้อนี้จะกล่าวถึงลักษณะของสัญญาณภาพและแนวคิดของการออกแบบระบบจัดเก็บข้อมูลภาพ

2.1.1 สัญญาณภาพ

สัญญาณภาพจากกล้องวิดีโอ 1 ภาพหนึ่งนั้นจะเรียกว่า “1 เฟรมภาพ” ซึ่งในการสแกนภาพนิ่งแต่ละเฟรมนั้น เพื่อลดการกะพริบจึงทำการสแกน 2 ครั้งไขว้กัน โดย 1 เฟรมภาพจะประกอบด้วย 2 ฟิลด์ภาพ คือ ฟิลด์เส้นคู่และเส้นคี่ และจำนวนของเส้นสแกนนั้น จะขึ้นอยู่กับความละเอียดของกล้องวิดีโอแต่ละระบบ

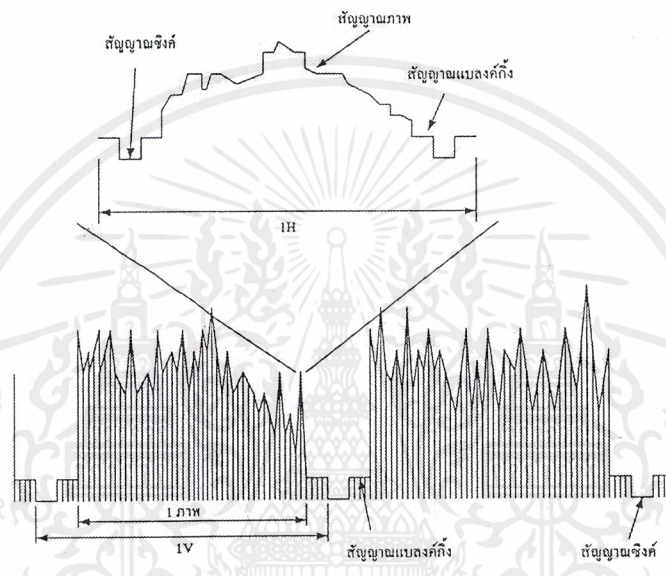
สัญญาณภาพที่ได้รับนี้จะมีลักษณะเป็นสัญญาณวิดีโอคอมโพสิท (Video Composite) คือ ประกอบไปด้วยสัญญาณต่าง ๆ ที่สำคัญดังต่อไปนี้

- 1.) สัญญาณภาพ คือ ข้อมูลจริง ๆ ของภาพที่อ่านได้ โดยที่ระดับสัญญาณภาพสีดำสนิท (Black Level) จะมีค่าอยู่ที่ 11 เปอร์เซ็นต์ของสัญญาณที่มีสีขาวที่สุด (Peak White)
- 2.) สัญญาณซิงค์ (Sync) ประกอบด้วย
 - สัญญาณซิงค์ตามแนวนอน (Horizontal Sync หรือ Composite Sync) : เป็นสัญญาณที่ใช้บอกว่าจะจบ การสแกนภาพทางแนวนอน
 - สัญญาณซิงค์ตามแนวตั้ง (Vertical Sync) : เป็นสัญญาณที่ใช้บอกว่าจะจบการสแกนภาพในแนวตั้ง
 - สัญญาณโอด/อีเวน (Odd/Even) : เป็นสัญญาณที่ใช้บอกว่าเป็นสัญญาณภาพฟิลด์คู่หรือฟิลด์คี่
- 3.) สัญญาณแบลนคิงก์ (Blanking) เป็นสัญญาณที่ใช้ลบสัญญาณอันเนื่องมาจากการสลับกลับไปสแกนภาพใหม่ เมื่อจบการสแกนในแนวตั้งของแต่ละฟิลด์ภาพ
- 4.) สัญญาณอิกัวไลซิง (Equalizing) เป็นสัญญาณที่ใช้เพื่อช่วยให้สัญญาณซิงค์ตามแนวตั้งยังคงมีรูปร่างดีเหมือนเดิมหลังจากแยกออกมาจากสัญญาณซิงค์ตามแนวนอนแล้ว และ

ยังช่วยให้การสะแกนแบบไขว้กันเป็นไปได้โดยเรียบร้อยสม่ำเสมอ รวมทั้งสัญญาณซิงค์ตามแนวนอนก็ไม่ขาดหายไปในช่วงของสัญญาณซิงค์ตามแนวตั้ง

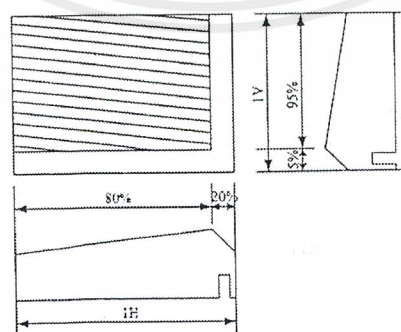
5.) สัญญาณเบิร์ส/แบค พอร์ช (Burst/Back Porch Timing) เป็นสัญญาณแสดงระดับอ้างอิงของระดับสีดำ

โดยลักษณะของสัญญาณดังกล่าว แสดงได้ดังรูปที่ 2.1



รูปที่ 2.1 แสดงลักษณะของสัญญาณวิดีโอ

สัญญาณภาพที่แสดงดังรูปที่ 2.1 จะถูกส่งไปยังมอนิเตอร์ ทำให้เกิดการสะแกนทางหน้าจอมอนิเตอร์ ปรากฏเป็นภาพ ซึ่งมีลักษณะในการแสดงผลทางหน้าจอแสดงดังรูปที่ 2.2



รูปที่ 2.2 แสดงการเปรียบเทียบการสะแกนที่หน้าจอมอนิเตอร์ กับสัญญาณที่ใช้ควบคุมการสะแกนทั้งสองแกน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจัดเก็บสัญญาณวิดีโอคอมพิวเตอร์ ซึ่งมีลักษณะเป็นสัญญาณอนาล็อกเข้าไปไว้ยังหน่วยความจำ มีความจำเป็นอย่างยิ่งที่จะต้องทำการแปลงสัญญาณดังกล่าวให้เป็นสัญญาณดิจิทัล เพื่อให้สามารถจัดเก็บเข้าไปยังหน่วยความจำได้ ในการแปลงสัญญาณอนาล็อกนั้น ก็จะต้องประกอบด้วยส่วนของการสุ่มตัวอย่างสัญญาณ การจับยึดสัญญาณ และการควิลิตสัญญาณ (Quantization) สัญญาณภาพที่ถูกเปลี่ยนเป็นสัญญาณดิจิทัลแล้วจึงจะสามารถจะจัดเก็บไปไว้ยังหน่วยความจำได้ แต่ในการสะแกนภาพทางแกนแนวนอนของสัญญาณภาพนั้นจะใช้เวลาที่สั้นมาก ดังนั้นจึงทำให้เกิดปัญหาในขั้นตอนของการเปลี่ยนสัญญาณภาพจากสัญญาณอนาล็อกไปเป็นสัญญาณดิจิทัล รวมทั้งการจัดเก็บข้อมูลไว้ยังหน่วยความจำ ปัญหาแรกในเรื่องของการแปลงสัญญาณนั้น การที่สัญญาณภาพมีเวลาที่ใช้ในการสะแกนทางแนวนอนที่สั้นมาก ในการจัดเก็บเพื่อให้ได้ความละเอียดของภาพคงเดิมดังเช่นที่แสดงทางหน้าจอมอนิเตอร์ จำเป็นที่จะต้องใช้วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล (Analog to Digital Converter : ADC) ที่มีอัตราการสุ่มตัวอย่างที่สูงเพียงพอกับสัญญาณดังกล่าว ส่วนปัญหาที่สองนั้น เกิดขึ้นจากข้อมูลที่ถูกแปลงแล้ว จะมีการนำไปเขียนหน่วยความจำ ซึ่งในการเขียนข้อมูลดังกล่าวนี้จะต้องมีการจัดเวลาอย่างเหมาะสม เพื่อไม่ให้เกิดปัญหาขึ้นในขั้นตอนของการเขียนข้อมูล

ในการจัดเก็บภาพลงสู่หน่วยความจำนั้น จะอาศัยหลักการที่ใช้ในการจัดเก็บ โดยให้มีการจัดเก็บภาพลงสู่หน่วยความจำแบบแอดเดรสต่อเนื่องกัน

ถ้าหากเป็นสัญญาณภาพที่ได้รับจากสัญญาณวิดีโอทั่ว ๆ ไป ตัวอย่างเช่น สัญญาณวิดีโอระบบ NTSC (The National Television System Committee) จะพบว่าใน 1 เส้นสะแกนทางแนวนอน จะใช้เวลาทั้งสิ้น 64 ไมโครวินาที แต่เนื่องจากส่วนที่เป็นสัญญาณภาพจริง ๆ จะมีประมาณ 80 % ของสัญญาณทั้งหมด คือ $64 \times 0.8 = 51.2$ ไมโครวินาที ส่วนที่เหลือดังกล่าว จะเป็นสัญญาณแบล็กกิ้ง และในโครงการนี้ต้องการที่จะจัดเก็บสัญญาณในแต่ละเส้นสะแกนทางแนวนอนให้มีจำนวนจุดภาพทั้งสิ้น 128 จุดภาพ เนื่องจากไม่มีความจำเป็นในการใช้ข้อมูลภาพที่มีความละเอียดมากนัก (อย่างไรก็ตามหากต้องการความละเอียดมาก อาจจัดเก็บให้มีความละเอียดถึง 512 จุดภาพ) จึงจำเป็นต้องใช้เวลาในการเขียนข้อมูลภาพแต่ละจุดลงสู่หน่วยความจำ $51.2/128 = 400$ นาโนวินาที เวลาดังกล่าวเป็นค่าช่วงเวลาในการปฏิบัติงาน (Access Time) ของหน่วยความจำที่นำมาใช้ จึงต้องเลือก วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลที่มีความถี่อย่างน้อย $1/400 = 2.5$ เมกะเฮิรตซ์ (MHz) โดยความจุของหน่วยความจำที่ใช้ จะมีค่าเท่ากับผลคูณของจำนวนเส้นสะแกนต่อหนึ่งเฟรมกับจำนวนจุดภาพในหนึ่งเส้นสะแกนทางแนวนอน และเนื่องจากในโครงการนี้ต้องการพื้นที่หน่วยความจำเพียง 1 เส้นสะแกนต่อหนึ่งเฟรม คิดเป็นพื้นที่หน่วยความจำ $128 \times 1 = 128$ ไบต์

2.1.2 ลักษณะที่ใช้ในการจัดเก็บข้อมูลภาพ

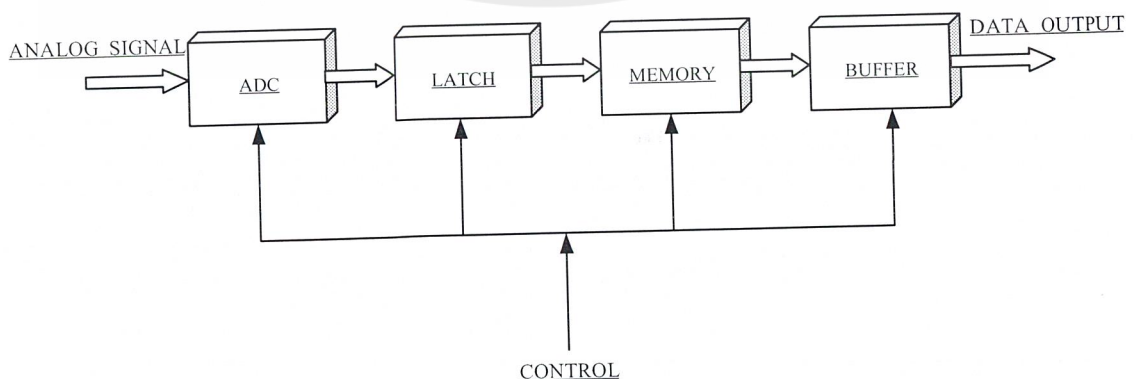
การจัดเก็บข้อมูลสัญญาณภาพดังที่กล่าวมาในตอนต้น จะพบปัญหาอยู่ 2 ข้อด้วยกัน คือในเรื่องของวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล และหน่วยความจำที่ใช้จัดเก็บ ซึ่งสามารถทำการแก้ไขได้ โดยจากข้อมูลต่าง ๆ เกี่ยวกับกล้องวิดีโอส่วนใหญ่ หากต้องการเก็บสัญญาณภาพที่มีความละเอียดสูง ก็สามารถใช้เวลาในการสแกนตัวอย่างเป็น 32 เมกะเฮิรตซ์ก็พอเพียง ดังนั้นปัญหาในเรื่องของวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล จึงสามารถแก้ไขได้โดยการใช้ไอซี เบอร์ TDA 8708A ซึ่งสามารถรับสัญญาณอินพุทเป็นสัญญาณวิดีโอได้ทันทีและมีวงจรรองความถี่ผ่านในส่วนข้อมูลที่ต้องการ และทำการแก้ปัญหาในส่วนของการแคลมป์สัญญาณให้ในตัว แต่เนื่องจากไอซีเบอร์นี้มีราคาค่อนข้างสูงและหายาก ในโครงการนี้จึงจำเป็นต้องออกแบบส่วนการแปลงข้อมูลเองทั้งหมด ซึ่งจะกล่าวถึงในบทถัดไปในเรื่องของการออกแบบวงจร ส่วนปัญหาในเรื่องของหน่วยความจำที่นำมาใช้ในการจัดเก็บข้อมูลภาพนั้น เป็นการยากที่จะทำการจัดหาหน่วยความจำที่มีความเร็วที่เพียงพอจากภายในประเทศได้ แต่สามารถชดเชยได้โดยใช้เทคนิคการจัดการกับหน่วยความจำเพื่อใช้ในการจัดเก็บข้อมูลภาพ ซึ่งมีใช้กันอยู่ด้วยกัน 3 วิธีใหญ่ ๆ คือ

1. การเก็บข้อมูลภาพลงสู่หน่วยความจำโดยตรง
2. แบ่งพื้นที่หน่วยความจำที่ใช้เก็บข้อมูลภาพออกเป็นหลายชุด
3. ใช้หลักการเลื่อนข้อมูลภาพก่อนที่จะทำการจัดเก็บลงสู่หน่วยความจำ

ซึ่งจะกล่าวถึงในรายละเอียดของแต่ละวิธีดังต่อไปนี้

1.) การเก็บข้อมูลภาพลงสู่หน่วยความจำโดยตรง

วิธีดังกล่าวนี้เป็นวิธีที่มีความสะดวกและง่ายที่สุด เพราะจะใช้อุปกรณ์ที่ประกอบในวงจรน้อยที่สุด แต่เนื่องจากวิธีนี้จำเป็นต้องใช้หน่วยความจำชนิดพิเศษ ก็จะต้องใช้หน่วยความจำที่มีความเร็วสูง หลักการที่ใช้ในการเก็บข้อมูลภาพด้วยวิธีดังกล่าวนี้ แสดงให้เห็นดังรูปที่ 2.3



รูปที่ 2.3 แสดงบล็อกไดอะแกรมสำหรับการจัดเก็บข้อมูลลงสู่หน่วยความจำโดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อกไดอะแกรมในรูปที่ 2.3 จะเห็นได้ว่าวิธีการที่ใช้ในการเก็บข้อมูลภาพดังกล่าวนี้ เป็นวิธีที่ใช้อุปกรณ์น้อยมาก จึงทำให้ง่ายแก่การออกแบบแก้ไข แต่ปัญหาโดยส่วนใหญ่ของวิธีดังกล่าวนี้คือ ต้องใช้หน่วยความจำที่มีความเร็วสูง และมีความจุสูงด้วย ซึ่งหน่วยความจำที่มีความจุสูงส่วนใหญ่จะมีความเร็วต่ำ (Low Access Time) และมีราคาสูงมาก นอกจากนี้ต้องสั่งซื้อจากต่างประเทศ ทำให้ไม่สะดวกในการซ่อมแซมแก้ไข ดังนั้นวิธีนี้จึงไม่เหมาะกับการใช้เก็บข้อมูลที่มีความละเอียดสูง

สรุปข้อดีและข้อเสียของการจัดเก็บข้อมูลโดยตรง

ข้อดี 1. ใช้อุปกรณ์ประกอบวงจรน้อย

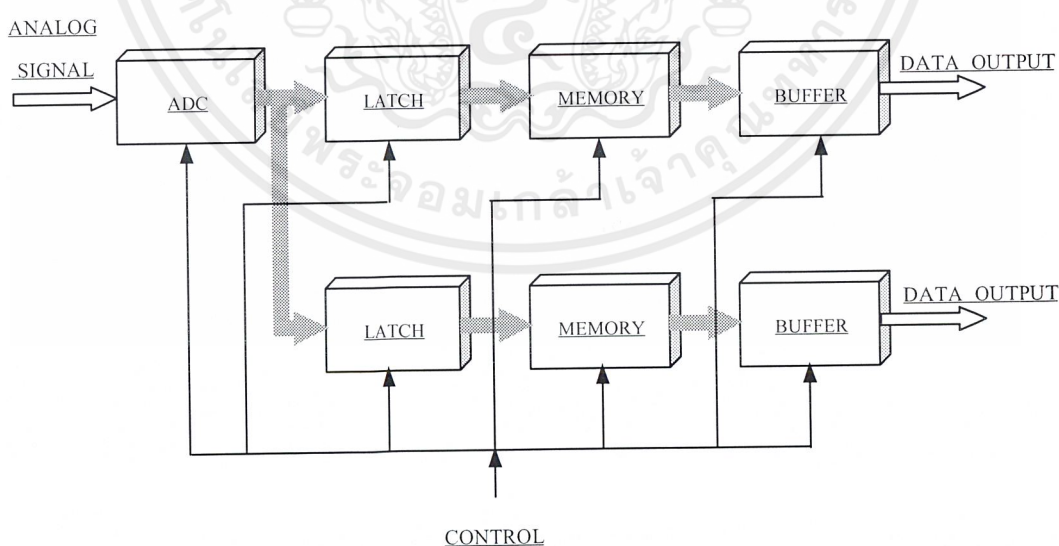
2. ออกแบบวงจรได้ง่าย

ข้อเสีย 1. ถ้าต้องการความละเอียดของภาพใน 1 เส้นสแกนมาก หน่วยความจำที่ใช้จะต้องมีความเร็วในการเข้าถึงสูงและมีความจุมาก

2. จากข้อเสียข้อแรก หน่วยความจำที่มีความเร็วในการเข้าถึงสูงนั้นหาซื้อได้ยากและมีราคาแพง

2.) แบ่งพื้นที่หน่วยความจำที่ใช้เก็บข้อมูลภาพออกเป็นหลายชุด

การเก็บข้อมูลภาพในลักษณะนี้ จะแบ่งพื้นที่หน่วยความจำที่ใช้เก็บข้อมูลภาพออกเป็นหลายชุด หลักการนี้แสดงดังรูปที่ 2.4 สมมติให้แบ่งหน่วยความจำออกเป็น 2 ชุด



รูปที่ 2.4 แสดงบล็อกไดอะแกรมในการแบ่งพื้นที่หน่วยความจำในการเก็บข้อมูลออกเป็นหลายชุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อกไคอะแกรมในรูปที่ 2.4 จะเห็นได้ว่า หลักการที่ใช้ในการเก็บข้อมูลภาพ ลักษณะนี้จะทำการแบ่งหน่วยความจำออกเป็น 2 ชุด (Page) สลับชุดกันเขียนข้อมูลภาพ เพื่อให้สามารถจัดเก็บข้อมูลภาพที่มีความเร็วสูงลงสู่หน่วยความจำที่มีความเร็วต่ำได้

การทำงานของกรเก็บข้อมูลภาพในลักษณะนี้ เริ่มจากการนำเอาข้อมูลภาพที่ได้จากเอาท์พุทของวงจรในส่วนของวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล มาผ่านเข้าไปยังวงจรที่ใช้ในการหน่วงข้อมูลชั่วคราว (Data Latch) เพื่อช่วยทำการเก็บข้อมูลไว้ และทำให้เวลาที่ใช้ในการเขียนข้อมูลมีเวลาที่มากพอที่จะทำให้หน่วยความจำสามารถทำงานได้ โดยที่จะทำการเขียนลงยังหน่วยความจำชุดใดนั้นจะขึ้นอยู่กับสัญญาณที่ใช้ในการควบคุม ซึ่งจะเห็นได้ว่าถ้าเราทำการแบ่งหน่วยความจำออกเป็น 2 ชุด เวลาที่จะใช้ในการเขียนข้อมูลลงหน่วยความจำในแต่ละครั้ง จะใช้เวลาเป็น 2 เท่าของความเร็วที่ใช้ในการสุ่มสัญญาณภาพ จึงทำให้สามารถที่จะใช้หน่วยความจำที่มีความเร็วต่ำเก็บข้อมูลภาพที่มีการสแกนสัญญาณภาพความเร็วสูงได้

สรุปข้อดีและข้อเสียของการจัดเก็บข้อมูลแบบแบ่งชุดของหน่วยความจำ

- ข้อดี
1. หน่วยความจำที่ใช้ไม่จำเป็นต้องใช้หน่วยความจำที่มีความเร็วสูง
 2. สามารถที่จะทำการขยายระบบเพื่อที่จะทำให้สามารถเก็บข้อมูลภาพได้ละเอียดมากขึ้นได้โดยง่าย
- ข้อเสีย
1. ต้องมีวงจรที่ทำหน้าที่ในการสร้างสัญญาณที่ใช้ในการควบคุมการเก็บข้อมูลลงหน่วยความจำแต่ละชุด อย่างเหมาะสม
 2. ถ้าหากเป็นระบบที่ใหญ่มีหน่วยความจำหลายชุด การออกแบบวงจรมีความยุ่งยาก เนื่องจากต้องมีการออกแบบวงจรที่ใช้สร้างสัญญาณควบคุมที่เหมาะสม และมีโอกาสเกิดข้อผิดพลาดได้ง่าย

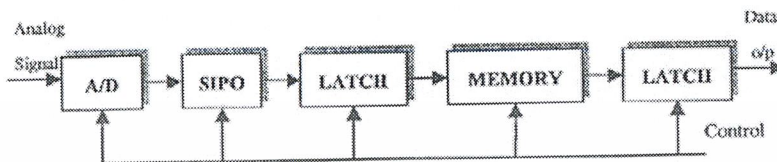
3.) ใช้หลักการเลื่อนข้อมูลภาพ

วงจรที่ใช้ในการจัดเก็บข้อมูลภาพ โดยใช้หลักการเลื่อนข้อมูลภาพจะประกอบไปด้วยส่วนสำคัญดังนี้

1. วงจรในส่วนเลื่อนข้อมูลภาพ (Shift Register) จะทำการเลื่อนข้อมูลภาพที่ได้จากวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล โดยที่วงจรดังกล่าวนี้มีลักษณะที่ทำงานแบบข้อมูลเข้าแบบอนุกรมและออกแบบขนาน (Serial in Parallel out) จากลักษณะดังกล่าวจึงทำให้ข้อมูลที่ได้จากวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัลจะถูกทำการเลื่อนแบบอนุกรม และเมื่อทำการเลื่อนจนครบตามจำนวนหน่วยความจำที่จัดเก็บ ก็จะทำการส่งเข้าไปยังหน่วยความจำพร้อม ๆ กัน โดยมีการเลื่อนออกแบบขนาน

2. วงจรหน่วยข้อมูลชั่วคราว (Data Latch) ทำหน้าที่ในการหน่วยข้อมูลภาพที่จะทำการเขียนลงสู่หน่วยความจำในแต่ละครั้ง

3. หน่วยความจำ (RAM) ที่ใช้ในการเก็บข้อมูลของระบบการทำงานของกรเก็บข้อมูลภาพแบบเลื่อนข้อมูลภาพ



รูปที่ 2.5 แสดงบล็อกไดอะแกรมในการเลื่อนข้อมูลที่จะถูกจัดเก็บ

หลักการงานนี้จะใช้การเลื่อนข้อมูลภาพที่ออกจากวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัลให้เป็นแบบอนุกรม แล้วทำการส่งไปเขียนลงสู่หน่วยความจำแบบขนาน กล่าวคือ ในทุกครั้งที่มีการเลื่อนข้อมูลภาพแบบอนุกรมจนครบตามจำนวนที่กำหนดไว้ แล้วข้อมูลดังกล่าวจะถูกทำการจัดส่งไปทำการเขียนลงสู่หน่วยความจำวีดีโอแรมขนานทุกครั้ง โดยผ่านวงจรที่ทำหน้าที่หน่วยข้อมูลภาพชั่วคราว เพื่อที่จะทำการหน่วยข้อมูลภาพไว้นานกว่าหน่วยความจำจะทำการเขียนข้อมูลภาพเสร็จสิ้นในแต่ละขบวนการ

สรุปข้อดีและข้อเสียของการจัดเก็บข้อมูลแบบเลื่อนข้อมูลภาพ

ข้อดี 1. หน่วยความจำที่ใช้ทำการเก็บข้อมูลภาพไม่จำเป็นต้องมีความเร็วในการเข้าถึงที่สูงมากนัก

2. ใช้อุปกรณ์ในการประกอบวงจรไม่มากนัก

3. การขยายระบบให้สามารถจัดเก็บข้อมูลภาพให้ละเอียดมากขึ้นทำได้โดยง่ายเพียงแต่แก้ไขตรงส่วนทำการเซตจำนวนบิตของวงจรที่ทำการเลื่อนข้อมูลภาพ กับเพิ่มจำนวนชุดของหน่วยความจำเท่านั้น

ข้อเสีย 1. สัญญาณควบคุมของวงจรเลื่อนข้อมูลภาพต้องมีความแน่นอนและต้องสัมพันธ์กับข้อมูลภาพที่ออกมาจากวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล โดยใช้สัญญาณนาฬิกาจากแหล่งกำเนิดเดียวกัน

2. ต้องทำการจัดเรียงข้อมูลภาพในวงจรเลื่อนข้อมูลภาพกับวงจรในส่วนการเขียนข้อมูลภาพลงสู่หน่วยความจำให้ถูกต้อง

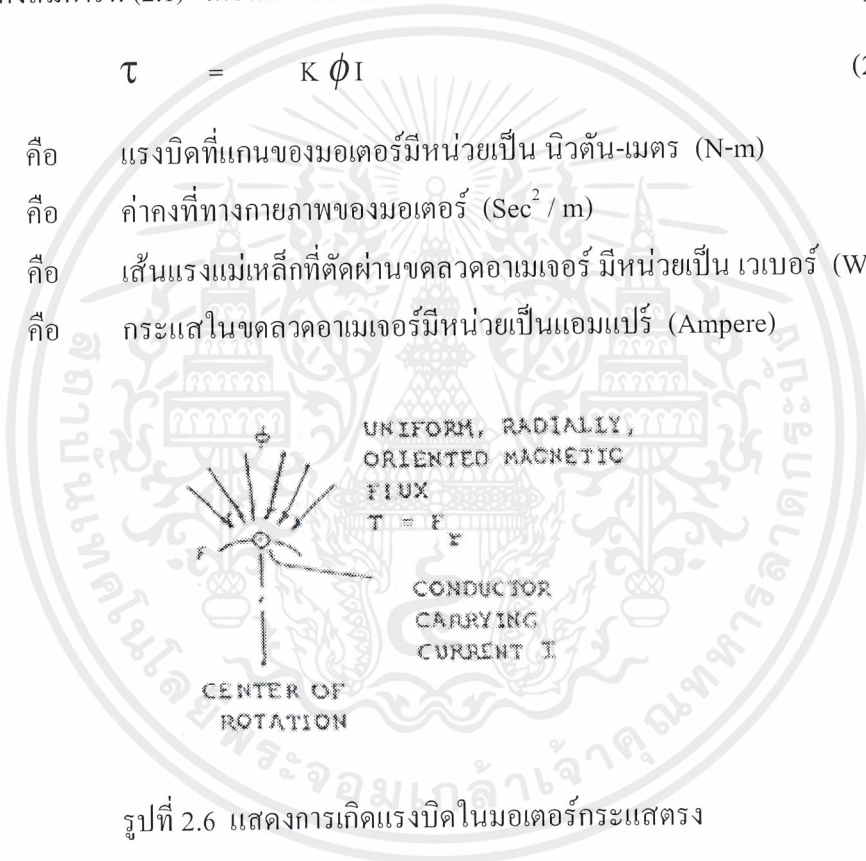
จากข้อดีและข้อเสียสำหรับวิธีการจัดเก็บข้อมูลภาพลงสู่หน่วยความจำดังที่ได้กล่าวมาทั้งหมดนั้น เมื่อพิจารณาร่วมกับความละเอียดของข้อมูลภาพที่เราต้องการและความสะดวกในการประกอบวงจรแล้วนั้น โครงการชิ้นนี้จึงเลือกใช้การเก็บข้อมูลภาพโดยตรง

2.2 หลักการทำงานของมอเตอร์กระแสตรง

มอเตอร์กระแสตรง เป็นเครื่องจักรกลไฟฟ้าที่ทำหน้าที่แปลงพลังงานไฟฟ้าเป็นแรงบิดทางกล โดยแรงบิดของแกนมอเตอร์จะขึ้นอยู่กับค่ากระแสในขดลวดอาเมเจอร์และเส้นแรงแม่เหล็กที่ตัดผ่านขดลวดอาเมเจอร์ ดังสมการที่ (2.1) โดยทิศทางของกระแส แรงบิด และสนามแม่เหล็ก แสดงดังรูปที่ 2.6

$$\tau = K \phi I \tag{2.1}$$

เมื่อ	τ	คือ	แรงบิดที่แกนของมอเตอร์มีหน่วยเป็น นิวตัน-เมตร (N-m)
	K	คือ	ค่าคงที่ทางกายภาพของมอเตอร์ (Sec^2 / m)
	ϕ	คือ	เส้นแรงแม่เหล็กที่ตัดผ่านขดลวดอาเมเจอร์ มีหน่วยเป็น เวเบอร์ (Weber)
	I	คือ	กระแสในขดลวดอาเมเจอร์มีหน่วยเป็นแอมแปร์ (Ampere)



รูปที่ 2.6 แสดงการเกิดแรงบิดในมอเตอร์กระแสตรง

และเมื่อขดลวดตัวนำเคลื่อนที่ในสนามแม่เหล็ก จะทำให้เกิดแรงดันตกคร่อมขดลวด ซึ่งมีค่าขึ้นอยู่กับความเร็วของมอเตอร์ และมีทิศทางต้านการไหลของกระแส โดยมีความสัมพันธ์ดังแสดงในสมการที่ (2.2)

$$E = K \phi \omega \tag{2.2}$$

เมื่อ	E	คือ	แรงดันย้อนกลับ มีหน่วยเป็น โวลต์ (Volt)
	ω	คือ	ความเร็วของมอเตอร์ มีหน่วยเป็นเรเดียนต่อวินาที(Rad/sec)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

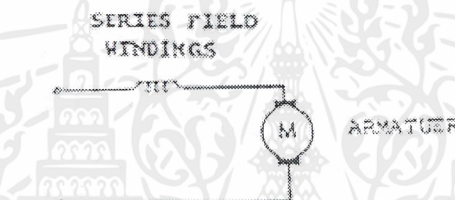
2.2.1 การแยกประเภทของมอเตอร์กระแสตรง

มอเตอร์กระแสตรง สามารถแบ่งได้หลายประเภทตามลักษณะการสร้างสนามแม่เหล็ก และ โครงสร้างของอาเมเจอร์ โดยเมื่อแบ่งตามลักษณะการสร้างสนามแม่เหล็ก สามารถแบ่งได้ 2 ประเภท คือ

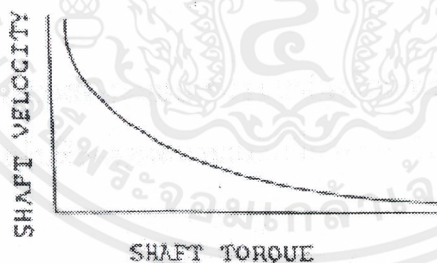
1.) มอเตอร์กระแสตรงแบบปรับเส้นแรงแม่เหล็กได้

มอเตอร์กระแสตรงแบบปรับเส้นแรงแม่เหล็กได้สามารถแบ่งได้เป็น 2 ประเภทคือ

- แบบขดลวดสนามแม่เหล็กต่ออนุกรมกับขดลวดอาเมเจอร์ : มีโครงสร้างดังรูปที่ 2.7 มอเตอร์แบบนี้ มีเส้นแรงแม่เหล็กเป็นสัดส่วนกับกระแส จึงสามารถปรับค่าเส้นแรงแม่เหล็กได้ โดยมีความสัมพันธ์ในลักษณะที่ไม่เป็นเชิงเส้น ดังรูปที่ 2.8 มอเตอร์ชนิดนี้ เหมาะสำหรับงานที่ต้องการแรงบิดต่ำความเร็วสูง หรือ ความเร็วต่ำแรงบิดสูง



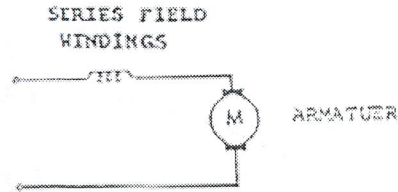
รูปที่ 2.7 แสดงโครงสร้างมอเตอร์กระแสตรงแบบอาเมเจอร์ต่ออนุกรมกับสนามแม่เหล็ก



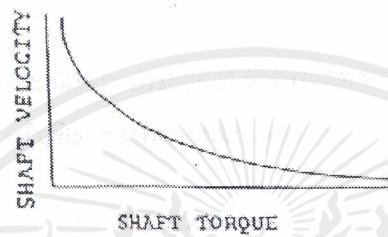
รูปที่ 2.8 แสดงความสัมพันธ์ระหว่างความเร็วและแรงบิดของมอเตอร์แบบต่ออนุกรมที่แรงดันคงที่

- มอเตอร์กระแสตรงแบบสนามแม่เหล็กแยกกระตุ้น : นิยมเรียกอีกชื่อหนึ่งว่า “ชันทมอเตอร์” (Shunt motor) มอเตอร์แบบนี้สามารถปรับเส้นแรงแม่เหล็กได้โดยอิสระไม่ขึ้นกับค่ากระแสในอาเมเจอร์ มักจะใช้ในงานที่ต้องการแรงบิดสูง โครงสร้างของมอเตอร์ชนิดนี้ แสดงดังรูปที่ 2.9 ส่วนความสัมพันธ์ระหว่างแรงบิดกับความเร็วของชันทมอเตอร์ภายใต้สนามแม่เหล็กและแรงดันคงที่ แสดงดังรูปที่ 2.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



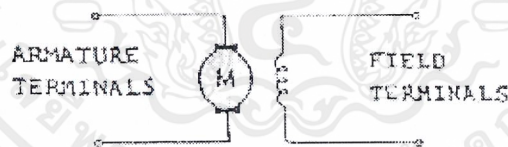
รูปที่ 2.9 แสดงโครงสร้างของมอเตอร์กระแสตรงแบบสนามแม่เหล็กแยกกระตุ้น



รูปที่ 2.10 แสดงความสัมพันธ์ระหว่างความเร็วและแรงบิดของขั้วต่อมอเตอร์ที่สนามแม่เหล็กและแรงดันคงที่

2.) มอเตอร์กระแสตรงแบบสนามแม่เหล็กคงที่

ระบบการกระตุ้นสนามแม่เหล็ก โดยทั่วไปมักใช้แม่เหล็กถาวร ดังรูปที่ 2.11



รูปที่ 2.11 แสดงโครงสร้างมอเตอร์กระแสตรงแบบสนามแม่เหล็กคงที่

ในมอเตอร์กระแสตรงแบบนี้ สนามแม่เหล็กจะมีค่าคงที่ ดังนั้นสามารถเขียนความสัมพันธ์ของแรงบิด และแรงดันย้อนกลับได้ดังต่อไปนี้

$$\tau = K_f I \quad (2.3)$$

$$E = K_c \omega \quad (2.4)$$

โดยสมการทางไฟฟ้าของมอเตอร์กระแสตรงแบบสนามแม่เหล็กคงที่ เป็นดังนี้

$$V = K_c \omega + L \frac{di}{dt} + iR \quad (2.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ	V	คือ	แรงดันที่ป้อนให้มอเตอร์ มีหน่วยเป็นโวลต์ (Volt)
	K_c	คือ	ค่าคงที่แรงดันย้อนกลับ
	L	คือ	ค่าความเหนี่ยวนำของมอเตอร์ มีหน่วยเป็นเฮนรี (Henry)
	R	คือ	ความต้านทานของขั้วมอเตอร์ มีหน่วยเป็นโอห์ม (Ohm)

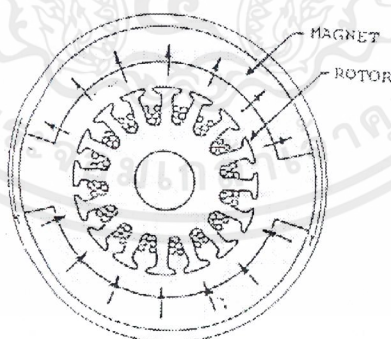
$$\tau_g = J dW/dt + BW + \tau_r + \tau_l \quad (2.6)$$

เมื่อ	τ_g	คือ	แรงบิดที่เกิดจากอาร์เมเจอร์ มีหน่วยเป็น นิวตัน-เมตร (N-m)
	J	คือ	ผลรวมของโมเมนต์ความเฉื่อยของมอเตอร์และโหลด
	W	คือ	ความเร็วการหมุนของมอเตอร์ มีหน่วยเป็น เรเดียนต่อวินาที (Rad/sec)
	B	คือ	สัมประสิทธิ์ของวิสคอสแคมป์ปิ้ง
	τ_r	คือ	แรงบิดเสียดทาน มีหน่วยเป็น นิวตัน-เมตร (N-m)
	τ_l	คือ	แรงบิดที่โหลด มีหน่วยเป็น นิวตัน-เมตร (N-m)

และเมื่อแบ่งมอเตอร์กระแสตรงตามลักษณะโครงสร้างของอาร์เมเจอร์ เราสามารถแบ่งได้ดังต่อไปนี้

1.) มอเตอร์กระแสตรงแบบอาร์เมเจอร์มีขดลวดพันอยู่บนพื้นผิว

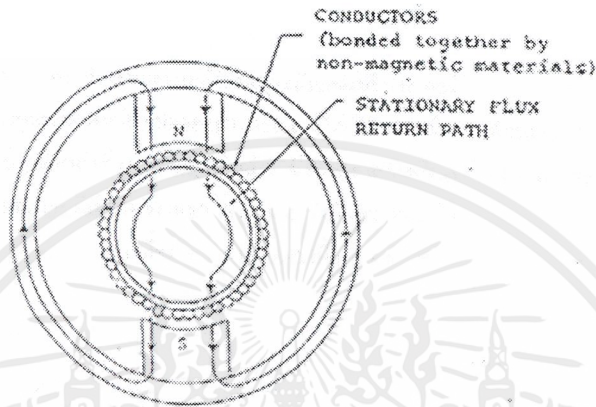
มอเตอร์ชนิดนี้ มีโครงสร้างดังแสดงในรูปที่ 2.12 ซึ่งโครงสร้างแบบนี้มีค่าความเหนี่ยวนำต่ำ ทำให้มอเตอร์แบบนี้มีขนาดใหญ่และราคาสูง



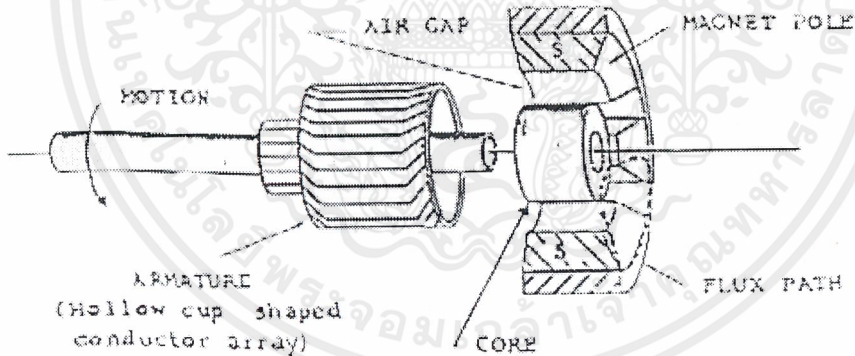
รูปที่ 2.12 แสดงรูปหน้าตัดของมอเตอร์กระแสตรงแบบอาร์เมเจอร์มีขดลวดพันอยู่บนพื้นผิว และสนามแม่เหล็กแบบถาวร

2.) มอเตอร์กระแสตรงแบบอามเจอร์เป็นขดลวดหมุน

มอเตอร์กระแสตรงแบบนี้ได้รับการออกแบบให้โมเมนต์ของแรงเฉื่อยต่ำ มีโครงสร้างแสดงดังรูปที่ 2.13 และรูปที่ 2.14 มอเตอร์แบบนี้จะมีช่องว่างอากาศ (gap) มากกว่ามอเตอร์กระแสตรงแบบอื่น ๆ ดังนั้นจึงต้องออกแบบให้โครงสร้างของแม่เหล็กใหญ่ขึ้น จึงมีราคาสูงมาก นอกจากนี้ยังมีความจุความร้อนต่ำ ทำให้มอเตอร์เสียได้ง่าย และยังมีค่าความเหนี่ยวนำต่ำมากอีกด้วย



รูปที่ 2.13 แสดงหน้าตัดของมอเตอร์กระแสตรงแบบ อามเจอร์เป็นขดลวดหมุน



รูปที่ 14 แสดงหน้าตัดด้านข้างของมอเตอร์กระแสตรงแบบอามเจอร์เป็นขดลวดหมุน

นอกจากนี้ยังมีมอเตอร์กระแสตรงที่มีโครงสร้างแบบอื่น ๆ อีก ซึ่งไม่ขอกล่าวถึงในที่นี้

2.3 ทฤษฎีของไมโครคอนโทรลเลอร์

2.3.1 โครงสร้างของไมโครคอนโทรลเลอร์เบอร์ 89C51

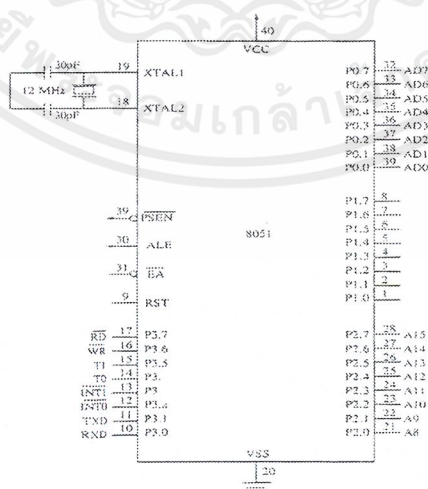
ไมโครคอนโทรลเลอร์เบอร์นี้มีลักษณะและคุณสมบัติที่สำคัญดังนี้

- มีหน่วยความจำโปรแกรม (ROM) 4 กิโลไบต์ (Kbyte)
- มีหน่วยความจำข้อมูล (RAM) 128 ไบต์ (byte)
- มีพอร์ตรับส่งข้อมูล (Input/Output Port) ขนาด 8 บิต (bit) 4 พอร์ต (Port)
- สามารถอินเตอร์รัพท์ (Interrupt) ได้ 5 แห่ง
- มี ไทม์เมอร์ (Timer) 16 บิต 2 ตัว
- มีวงจรรอสซิลเลเตอร์ (Oscillator) และวงจรมหาฬิกา (Clock) บนชิพ (Chip)
- มีพอร์ตอนุกรมที่สามารถรับส่งข้อมูลแบบสองทิศทางแบบสมบูรณ์ (Full

Duplex) ความเร็วสูง

- อ้างอิงหน่วยความจำโปรแกรมภายนอกได้ 64 กิโลไบต์
- อ้างอิงหน่วยความจำข้อมูลภายนอกได้ 64 กิโลไบต์
- สามารถประมวลผลทีละบิตได้
- อ้างหน่วยความจำแบบบิตได้ 210 ตำแหน่ง

ไมโครคอนโทรลเลอร์ เบอร์นี้ประกอบด้วย ขาต่าง ๆ ทั้งหมด 40 ขา โดยจะใช้เป็นขา พอร์ตอินพุท (Input Port) พอร์ตเอาพุท (Output Port) ขาสัญญาณควบคุม ขาค่าตำแหน่งหน่วยความจำ และขาข้อมูลดังรูปที่ 2.15



รูปที่ 2.15 แสดงขาต่างๆของไมโครคอนโทรลเลอร์เบอร์ 89C51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 การติดต่อกับหน่วยความจำข้อมูลภายนอก

89C51 สามารถอ่านและเขียนหน่วยความจำข้อมูลภายนอกได้ ซึ่ง 89C51 จะทำการติดต่อกับหน่วยความจำภายนอกโดยส่งค่าตำแหน่ง (Address) 8 บิตล่างออกไปทางพอร์ต 0 และ 8 บิตบนออกไปทางพอร์ต 2 จากนั้นจะส่งสัญญาณ ALE เพื่อไป ตั้งให้คั้งตำแหน่งหน่วยความจำ (Latch) 8 บิตล่าง โดยการอ่านเขียนข้อมูลนั้นจะใช้ขา P3.7 หรือ ขา P3.6 ตามลำดับ

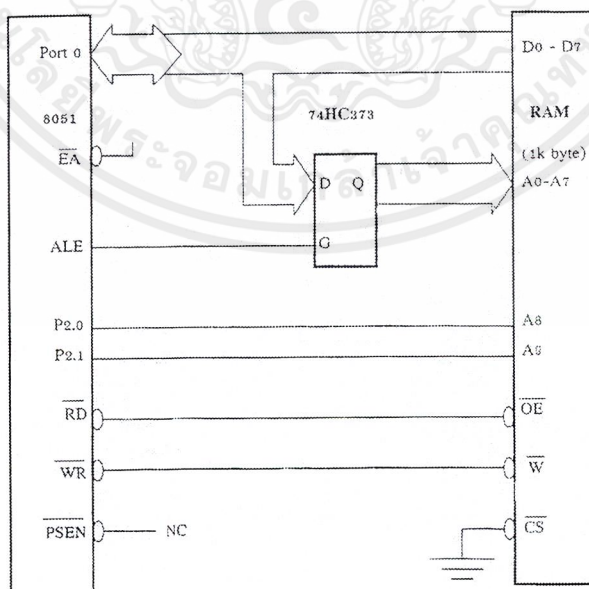
เนื่องจากสามารถอ้างอิงตำแหน่งหน่วยความจำข้อมูลภายนอกได้ถึง 64 กิโลไบต์ ดังนั้น รีจิสเตอร์ (Register) ที่ใช้เก็บค่าตำแหน่งของหน่วยความจำข้อมูลภายนอกจะใช้รีจิสเตอร์ 16 บิต คือ DPTR นอกจากนี้ยังใช้รีจิสเตอร์ 8 บิตได้ 2 ตัว คือ R_0 และ R_1

ในการติดต่อกับหน่วยความจำข้อมูลภายนอกจะใช้คำสั่ง MOVX ตัวอย่างเช่น ถ้าหาก 89C51 ทำคำสั่ง *MOVX A, @DPTR* ซึ่งหมายความว่าให้อ่านค่าจากตำแหน่งที่ DPTR ซึ่อยู่มาเก็บใน รีจิสเตอร์ A

สำหรับการเชื่อมต่อหน่วยความจำข้อมูลภายนอกกับ 89C51 แสดงได้ดังรูปที่ 2.16 ซึ่งเป็นการต่อหน่วยความจำข้อมูลภายนอกขนาด 1 กิโลไบต์ ซึ่งใช้ขาออกตำแหน่งหน่วยความจำเพียง 10 เส้น ส่วนขา 31 (EA) จะต่อกับลอจิก (logic) “1” เพื่อบอกให้อ่านโปรแกรมจากหน่วยความจำโปรแกรมภายใน

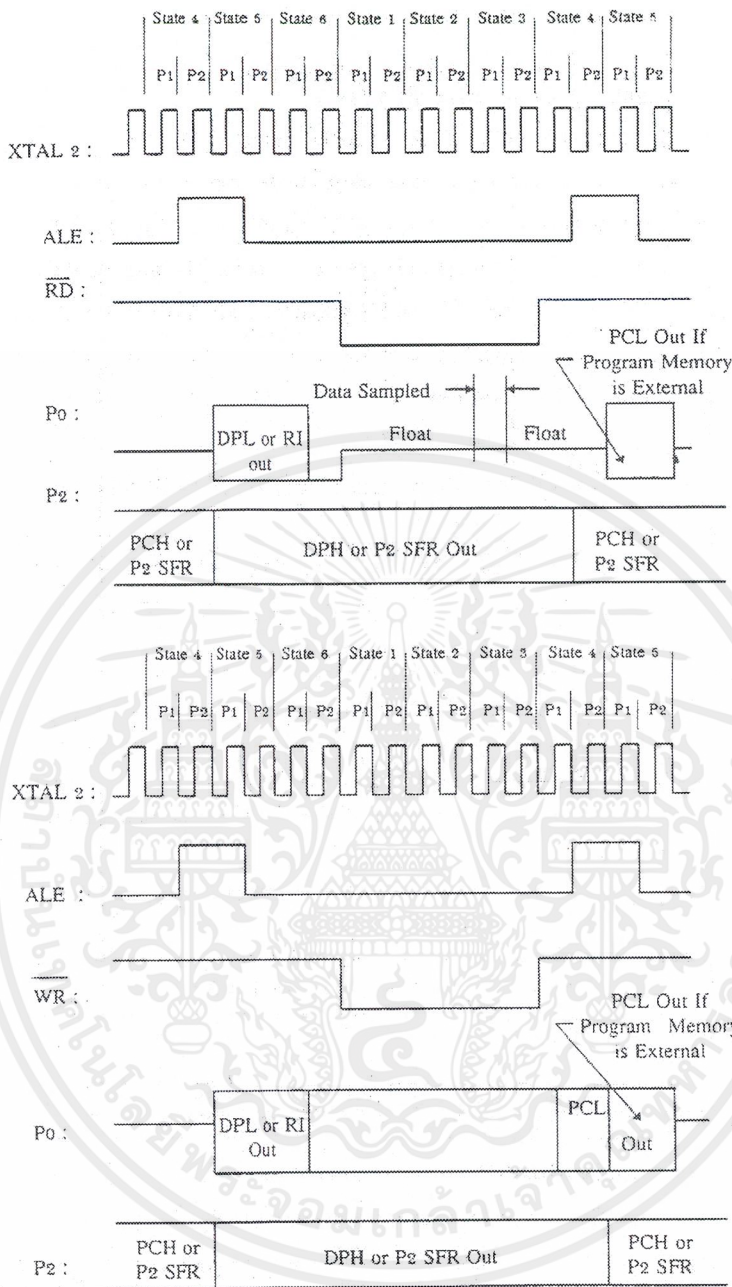
ส่วนโคะแกรมการอ่านและเขียนข้อมูลกับหน่วยความจำข้อมูลภายนอก แสดงได้ดังรูปที่

2.17



รูปที่ 2.16 แสดงการต่อหน่วยความจำข้อมูลภายนอกกับไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 แสดงไคอะแกรมเวลาการอ่านและเขียนข้อมูลลงหน่วยความจำภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3 ไทเมอร์/เคาน์เตอร์ (Timer / Counter)

ไทม์เมอร์/เคาน์เตอร์ สามารถเลือกให้มีการทำงานเป็นโหมดไทม์เมอร์ (Timer) หรือเคาน์เตอร์(Counter) อย่างใดอย่างหนึ่ง โดยเลือกที่บิต C/\bar{T} ในรีจิสเตอร์ใช้งานเฉพาะ TMOD ดังรูป โดยโหมด ไทม์เมอร์และเคาน์เตอร์ จะใช้ รีจิสเตอร์สำหรับนับขึ้น (Up Counter Register) (TH_x, TL_x) ตัวเดียวกันในการนับขึ้น

- โหมด ไทม์เมอร์ : รีจิสเตอร์สำหรับนับขึ้น (TH_x, TL_x) จะถูกเพิ่มค่าทุก ๆ 1 แมชชีนไซเคิล (machine cycle) ซึ่งมีค่าเป็น 12 คาบเวลาของซีพียูออสซิลเลเตอร์ (CPU Oscillator) โหมดนี้ไม่ต้องป้อนสัญญาณจากภายนอกเข้ามา แต่จะใช้สัญญาณ ซีพียูออสซิลเลเตอร์

- โหมด เคาน์เตอร์ : รีจิสเตอร์สำหรับนับขึ้น (TH_x, TL_x) จะถูกเพิ่มค่าทีละหนึ่ง เมื่อป้อนสัญญาณนาฬิกา จากภายนอกเข้ามา 1 ลูกทางขา T_0 (pin) T_1 (pin) ซึ่งอยู่ที่ขา 14 และขา 15 ตามลำดับ โดยไม่สนใจคาบเวลาของพัลส์แต่ละลูก การตรวจสอบสัญญาณที่เข้ามาทางขานี้จะตรวจสอบทุก ๆ S5P2 ของแต่ละแมชชีนไซเคิล ดังนั้นการตรวจสอบสัญญาณนาฬิกา 1 ลูก จะต้องใช้ถึง 2 แมชชีนไซเคิล (1/24 คาบเวลาของ ซีพียูออสซิลเลเตอร์)

โครงสร้างของ ไทม์เมอร์ / เคาน์เตอร์

ไทม์เมอร์ / เคาน์เตอร์ มีโครงสร้างดังต่อไปนี้

- รีจิสเตอร์สำหรับนับขึ้น (TH_x, TL_x)
- ส่วนในการเลือกโหมดไทม์เมอร์ หรือเคาน์เตอร์ เลือกที่บิต C/\bar{T}
- ส่วนควบคุมการเริ่มนับ และหยุดนับ (Start/Stop Counter) ควบคุมที่บิต $TR_x, GATE$ และสัญญาณจากภายนอก \overline{INT}_x (pin) (x แทน แชนเนล (channel) ใดๆ คือ 0 หรือ 1)
- ในโหมดเคาน์เตอร์ จะรับอินพุตพัลส์จากภายนอกที่ขา T_x (pin)
- ในโหมดไทม์เมอร์ จะรับอินพุตพัลส์จากสัญญาณนาฬิกาจากซีพียู (CPU Clock) ที่หารด้วย 12 แล้ว
- โหมดไทม์เมอร์และเคาน์เตอร์ จะใช้เคาน์เตอร์สำหรับนับตัวเดียวกัน ซึ่งเป็นแบบนับขึ้น

รีจิสเตอร์ควบคุมโหมดการทำงานของไทม์เมอร์/เคาน์เตอร์

(Timer/Counter Mode Control Register : TMOD) อยู่ในรีจิสเตอร์ใช้งานเฉพาะ (Special Function Register : SFR) ตำแหน่งที่ 89H

GATE	C/ \bar{T}	M1	M0	GATE	C/ \bar{T}	M1	M0	TMOD
TIMER 1				TIMER0				

GATE x : เป็นบิตเลือกการเริ่มนับของไทม์เมอร์/เคาน์เตอร์ x

0 ควบคุมโดยโปรแกรม (Software) ซึ่งเป็นการควบคุมจากภายใน (Internal Control)

1 ควบคุมโดยอุปกรณ์ภายนอก (Hardware) โดยการส่งสัญญาณจากภายนอก (External Control)

C/ \bar{T} : บิตเลือกการทำงานเป็น ไทม์เมอร์ หรือ เคาน์เตอร์ โดยเลือกดังนี้

ถ้า C/ \bar{T} = 0 เป็นการเลือกโหมดไทม์เมอร์ (นับจำนวนแมกซ์ซินไซเคิล)

ถ้า C/ \bar{T} = 1 เป็นการเลือกโหมดเคาน์เตอร์ (นับจำนวนพัลส์จากภายนอก)

M1, M0 : เลือกโหมดการทำงานได้ 4 โหมด ดังนี้

M1	M0	โหมด	การทำงาน
0	0	0	13 บิต ไทม์เมอร์ หรือ เคาน์เตอร์
0	1	1	16 บิต ไทม์เมอร์ หรือ เคาน์เตอร์
1	0	2	8บิตไทม์เมอร์หรือเคาน์เตอร์แบบโหลดค่าอัตโนมัติ
1	1	3	8 บิต ไทม์เมอร์ หรือ เคาน์เตอร์ TLO
1	1	3	8 บิต ไทม์เมอร์ โดยใช้ TH0

รีจิสเตอร์แสดงการควบคุมไทม์เมอร์/เคาน์เตอร์

(Timer/Counter Control Register : Tcon) อยู่ในรีจิสเตอร์ใช้งานเฉพาะตำแหน่งที่ 88H

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	TCON
-----	-----	-----	-----	-----	-----	-----	-----	-------------

บิต TF1: แฟล็กซ์แสดงการเกิดโอเวอร์โฟลว์ของ ไทม์เมอร์ 1 จะเซตเมื่อ ไทม์เมอร์ 1 โอเวอร์โฟลว์ และถูกเคลียร์เองเมื่อ ซีพียู (CPU) ย้ายการทำงานไปที่โปรแกรมบริการอินเตอร์รัปต์ หรือใช้คำสั่ง CLR TF1

บิต TR1: บิตควบคุมการนับของ ไทม์เมอร์/เคาน์เตอร์ 1 ควบคุมจากโปรแกรม โดย

1	ไทม์เมอร์/เคาน์เตอร์ 1	เริ่มทำงานต่อ
0	ไทม์เมอร์/เคาน์เตอร์ 1	หยุดทำงาน

(กรณีนี้ต้องเซตหรือรีเซตบิต GATE1 ใน TMOD ก่อน)

บิต TF0: แฟล็กซ์แสดงการเกิด โอเวอร์โฟลว์ของไทม์เมอร์ 0 ถูกเซตเมื่อ ไทม์เมอร์ 0 เกิดโอเวอร์โฟลว์เช่นเดียวกับ TF1

บิต TR0: เช่นเดียวกับ TR1 แต่ใช้ควบคุม ไทม์เมอร์ 0

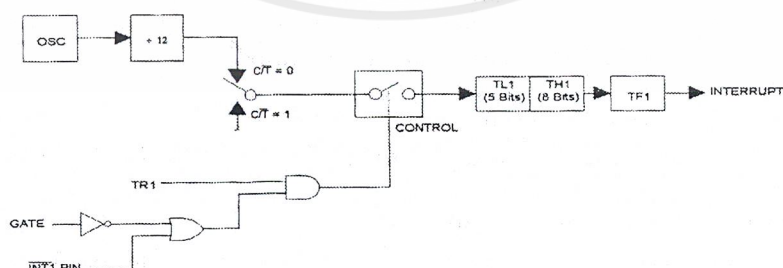
บิต IE1: แฟล็กซ์แสดงการเกิดสัญญาณอินเตอร์รัปต์ภายนอกหมายเลข 1 เมื่อมีสัญญาณอินเตอร์รัปต์ภายนอกเข้ามาที่ขา $\overline{INT}1$ และถูกเคลียร์เองโดยคำสั่ง RETI ในโปรแกรมส่วนบริการอินเตอร์รัปต์

บิต IT1: แฟล็กซ์เลือกประเภทการตรวจสอบสัญญาณอินเตอร์รัปต์ที่เกิดขึ้นที่ขา $\overline{INT}1$ โดย

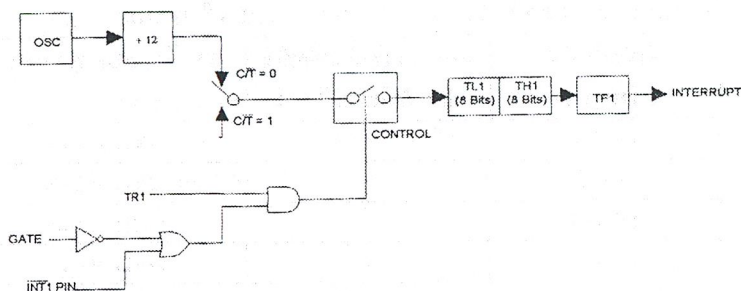
1	จะตรวจสอบการเปลี่ยนระดับแบบขอบขาลงที่ขา $\overline{INT}1$
0	จะตรวจสอบระดับศูนย์กลางของสัญญาณที่ขา $\overline{INT}1$

บิต IE0: แฟล็กซ์แสดงการเกิดสัญญาณอินเตอร์รัปต์ภายนอกหมายเลข 1 เมื่อมีสัญญาณอินเตอร์รัปต์ภายนอกเข้ามาที่ขา $\overline{INT}0$ และถูกเคลียร์เองโดยคำสั่ง RETI ในโปรแกรมส่วนบริการอินเตอร์รัปต์

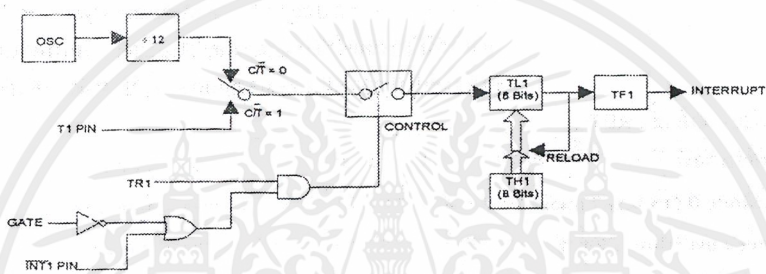
บิต IT0: เช่นเดียวกับ IT1 แต่เป็นการควบคุมอินเตอร์รัปต์ที่เกิดขึ้นที่ขา $\overline{INT}0$



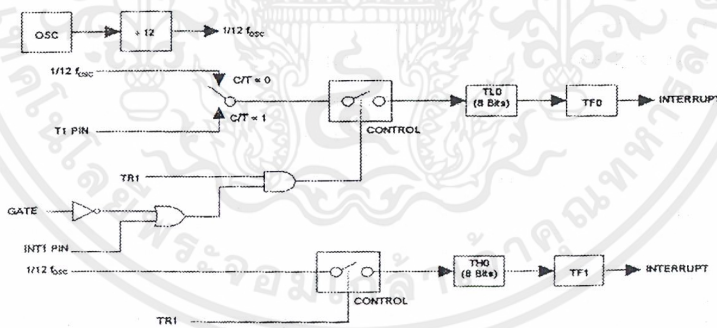
รูปที่ 2.18 ไทม์เมอร์/เคาน์เตอร์ 1 หรือ 0 (โหมด 0) 13 บิต เคาน์เตอร์



รูปที่ 2.19 ไทม์เมอร์/เคาน์เตอร์ 1 หรือ 0 (โหมด 1) 16 บิต เคาน์เตอร์



รูปที่ 2.20 ไทม์เมอร์/เคาน์เตอร์ 1 หรือ 0 (โหมด 2) 8 บิตแบบโหลดค่าอัตโนมัติ



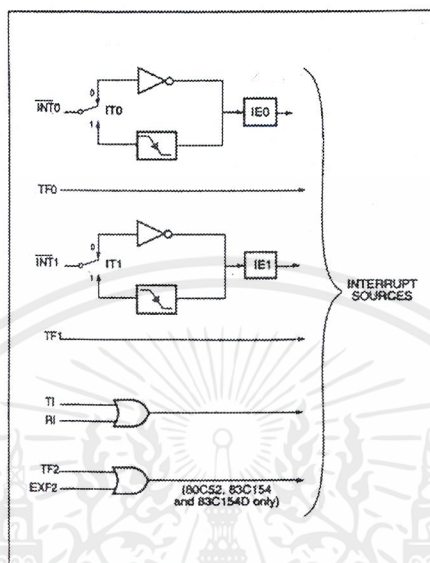
รูปที่ 2.21 ไทม์เมอร์/เคาน์เตอร์ 1 หรือ 0 (โหมด 3) 8 บิต 2 เคาน์เตอร์

2.3.4 การอินเทอร์รัปต์ (Interrupt)

คือ การขัดจังหวะโปรแกรมชั่วคราวแล้วมาทำโปรแกรมบริการอินเทอร์รัปต์ (Interrupt Service Routine ; ISR) การตรวจสอบสัญญาณการร้องขออินเทอร์รัปต์จะตรวจสอบที่ตำแหน่ง SSP2 ของทุก ๆ แมกซีนไซเคิล เมื่อพบแล้วในช่วงแมกซีนไซเคิล ที่ 2 จะเป็นการตรวจสอบว่าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของอุปกรณ์ใด และใน แมชชีนไซเคิลที่ 3 จะกระโดดไปทำโปรแกรมบริการอินเตอร์รัปต์ และอินเตอร์รัปต์ของ 89C51 ได้มาจาก 8 แหล่ง แต่มีเพียง 6 เวกเตอร์ (Vector) (TI และ RI ใช้ตำแหน่งเดียวกัน) ตำแหน่งของเวกเตอร์แสดงดังตาราง



รูปที่ 2.22 แหล่งที่มาของสัญญาณอินเตอร์รัปต์

ตารางที่ 2.1 อินเตอร์รัปต์เวกเตอร์ของ 89C51 และลำดับความสำคัญของการอินเตอร์รัปต์

ลำดับ	ชื่อสัญญาณอินเตอร์รัปต์	Vector Address	Priority
1	$\overline{INT}0$	0003H	Highest ↑ ↓ Lowest
2	TF0	000BH	
3	$\overline{INT}1$	0013H	
4	TF1	001BH	
5	TI + RI	0023H	
6	TF2 + EXF2	002BH	

หมายเหตุ: ถ้ามีอินเตอร์รัปต์เข้ามาพร้อมกัน $\overline{INT}0$ จะถือว่ามีลำดับความสำคัญสูงสุด

รีจิสเตอร์แสดงการอนุญาตการอินเทอร์รัปต์ (Interrupt Enable Register : IE)

อยู่ในรีจิสเตอร์ใช้งานเฉพาะ (Special Function Register : SFR) ที่ตำแหน่ง 0A8H ใช้ควบคุมอินเทอร์รัปต์ได้ 8 แห่ง โดยเราสามารถสั่งห้าม หรือไม่ห้ามการอินเทอร์รัปต์ได้จาก รีจิสเตอร์ชุดนี้ ดังรายละเอียดในตารางด้านล่าง ซึ่งเราสามารถจะสั่งห้ามไม่ให้เกิดการอินเทอร์รัปต์ทั้งหมดก็ได้ เพียงแต่ไปรีเซทบิต \overline{EA} ใน รีจิสเตอร์แสดงการอนุญาตการอินเทอร์รัปต์ (IE) และหากต้องการอนุญาตการอินเทอร์รัปต์จากอุปกรณ์ตัวไหน ก็เพียงแต่ไปเซทบิตของอุปกรณ์ตัวนั้นไว้ แต่อย่าลืมเซทบิต \overline{EA} ด้วย รายละเอียดของ IE ดังตารางด้านล่างนี้

\overline{EA}	X	ET2	ES	ET1	EX1	ET0	EX0	IE
-----------------	---	-----	----	-----	-----	-----	-----	----

ตารางที่ 2.2 แสดงรายละเอียดของรีจิสเตอร์แสดงการอนุญาตการอินเทอร์รัปต์ (IE)

บิต	ชื่อบิต	การทำงาน
IE.7	\overline{EA}	= 1 หมายถึง ยอมให้เลือกการอินเทอร์รัปต์จากอินเทอร์รัปต์จากแหล่งต่างๆ ได้ = 0 หมายถึง ไม่ยอมให้ทำอินเทอร์รัปต์จากแหล่งใดๆทั้งสิ้น
IE.6	X	ไม่ได้ใช้งาน สำรองไว้ใช้ในอนาคต
IE.5	ET2	= 1 หมายถึง ยอมให้ทำอินเทอร์รัปต์เมื่อ TF2 เกิดโอเวอร์โฟลว์ = 0 หมายถึง ไม่ยอมให้ทำอินเทอร์รัปต์เมื่อ TF2 เกิดโอเวอร์โฟลว์
IE.4	ES	= 1 หมายถึง ยอมให้ทำอินเทอร์รัปต์จากพอร์ตสื่อสารอนุกรมได้ = 0 หมายถึง ไม่ยอมให้ทำอินเทอร์รัปต์จากพอร์ตสื่อสารอนุกรม
IE.3	ET1	= 1 หมายถึง ยอมให้ทำอินเทอร์รัปต์เมื่อ TF1 เกิดโอเวอร์โฟลว์ = 0 หมายถึง ไม่ยอมให้ทำอินเทอร์รัปต์เมื่อ TF1 เกิดโอเวอร์โฟลว์
IE.2	EX1	= 1 หมายถึง ยอมให้ทำอินเทอร์รัปต์จากสัญญาณภายนอกที่ขา $\overline{INT} 1$ = 0 หมายถึง ไม่ยอมให้ทำอินเทอร์รัปต์จากสัญญาณภายนอกที่ขา $\overline{INT} 1$
IE.1	ET0	= 1 หมายถึง ยอมให้ทำอินเทอร์รัปต์เมื่อ TF0 เกิดโอเวอร์โฟลว์ = 0 หมายถึง ไม่ยอมให้ทำอินเทอร์รัปต์เมื่อ TF0 เกิดโอเวอร์โฟลว์
IE.0	EX0	= 1 หมายถึง ยอมให้ทำอินเทอร์รัปต์จากสัญญาณภายนอกที่ขา $\overline{INT} 0$ = 0 หมายถึง ไม่ยอมให้ทำอินเทอร์รัปต์จากสัญญาณภายนอกที่ขา $\overline{INT} 0$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีจิสเตอร์แสดงระดับความสำคัญของอินเทอร์รัปต์ (Interrupt Priority Register : IP)

อยู่ในรีจิสเตอร์ใช้งานเฉพาะ (Special Function Register : SFR) ที่ตำแหน่ง 0B8H ใช้กำหนดลำดับความสำคัญของการอินเทอร์รัปต์

(MSB)				(LSB)				IP
PCT	X	PT2	PS	PT1	PX1	PT0	PX0	

คำอธิบายความหมายในแต่ละบิต (IP)

PT2	:	0	ไทม์เมอร์ 2 มีลำดับความสำคัญต่ำสุด
		1	ไทม์เมอร์ 2 มีลำดับความสำคัญสูงสุด
PS	:	0	พอร์ตสื่อสารอนุกรม UART มีลำดับความสำคัญต่ำสุด
		1	พอร์ตสื่อสารอนุกรม UART มีลำดับความสำคัญสูงสุด
PT1	:	0	ไทม์เมอร์ 1 มีลำดับความสำคัญต่ำสุด
		1	ไทม์เมอร์ 1 มีลำดับความสำคัญสูงสุด
PT0	:	0	ไทม์เมอร์ 0 มีลำดับความสำคัญต่ำสุด
		1	ไทม์เมอร์ 0 มีลำดับความสำคัญสูงสุด
PX0	:	0	อินเทอร์รัปต์ภายนอกชนิด 0 มีลำดับความสำคัญต่ำสุด
		1	อินเทอร์รัปต์ภายนอกชนิด 0 มีลำดับความสำคัญสูงสุด
PCT	:		(มีในเบอร์ 83C154/83C154D เท่านั้น)
		0	ยอมให้มีการจัดลำดับความสำคัญของการอินเทอร์รัปต์ (Priority)
		1	ไม่ยอมให้มีการจัดลำดับความสำคัญของการอินเทอร์รัปต์ ให้ควบคุมอินเทอร์รัปต์จาก IE แทน

หมายเหตุ : ถ้าทุกบิตเป็น 1 หมด จะถือว่าทุกตัวมีลำดับความสำคัญสูงสุดเท่ากัน เมื่อสัญญาณมาพร้อมกันจะต้องตัดสินใจตามตารางลำดับความสำคัญของการอินเทอร์รัปต์

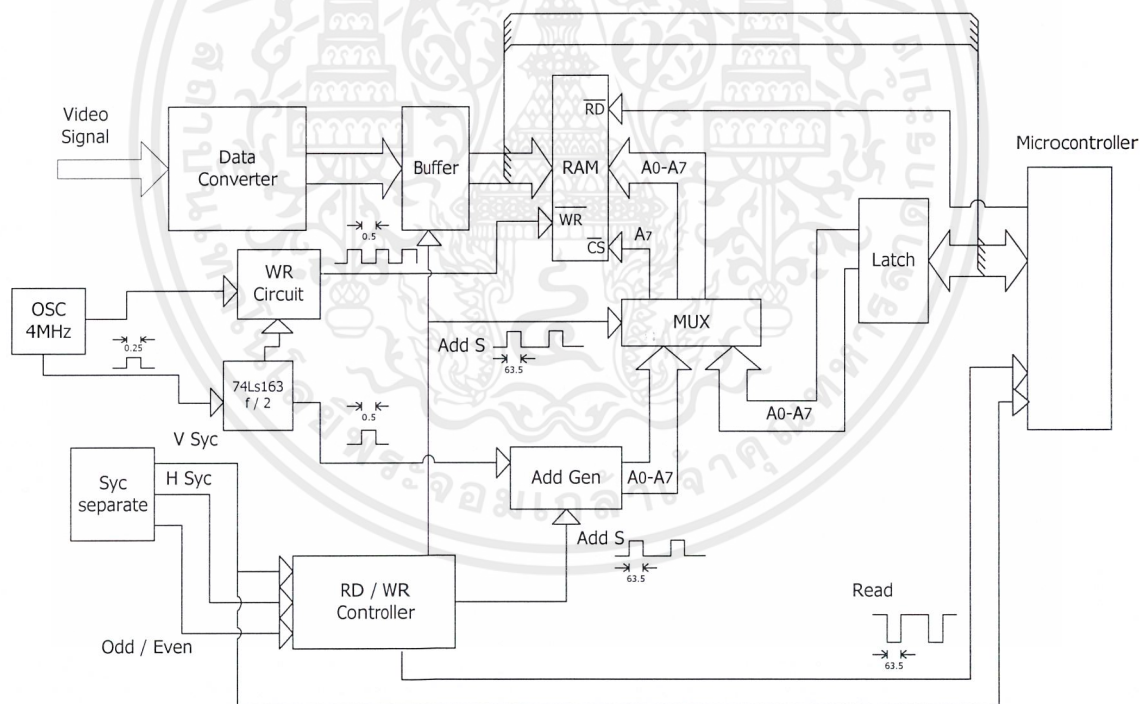
บทที่ 3

การออกแบบและคำนวณ

3.1 การออกแบบและสร้างวงจรจัดเก็บข้อมูลภาพ

สัญญาณภาพวิดีโอ-โทรทัศน์นั้นจะประกอบด้วยสัญญาณต่างๆ รวมกันที่เรียกว่า “สัญญาณวิดีโอคอมโพสิต” (Video Composite Signal) โดยอาจเป็นมาตรฐาน NTSC หรือมาตรฐาน PAL ก็ได้ ซึ่งจะมีความแตกต่างกันที่ความถี่ของสัญญาณคอมโพสิต ดังนั้นการจะเก็บภาพของสัญญาณเพื่อให้สะดวกต่อการใช้งานในด้านการนำข้อมูลภาพไปประมวลผล (Image Processing) จึงเป็นเหตุผลให้เกิดแนวความคิดที่จะออกแบบสร้างเครื่องมือในการแปลงและจัดเก็บข้อมูลภาพไว้

โครงการชิ้นนี้ได้ทำการออกแบบวงจรจัดเก็บข้อมูลภาพ ดังไดอะแกรมในรูปที่ 3.1



รูปที่ 3.1 แสดงบล็อกไดอะแกรมของวงจรจัดเก็บข้อมูลภาพ

จากบล็อกไดอะแกรมดังรูปที่ 3.1 อธิบายหน้าที่ของแต่ละส่วนของวงจรจัดเก็บข้อมูลภาพ โดยละเอียดได้ดังนี้

3.1.1 วงจรแยกสัญญาณซิงค์ (Sync Separator) : ทำหน้าที่ในการแยกสัญญาณวีดีโอคอมโพสิต ออกเป็นสัญญาณซิงค์ตามแนวนอน (Horizontal Sync หรือ Composite Sync) สัญญาณซิงค์ตามแนวตั้ง (Vertical Sync) สัญญาณเบิร์ส/แบค พอร์ช (Burst/Back Porch Timing) สัญญาณแสดงฟิลด์คี่/คู่ (Odd/Even Field Information) ซึ่งในโครงการนี้ ได้เลือกใช้ ไอซี (IC) เบอร์ LM1881 เป็นตัวแยกสัญญาณซิงค์ดังกล่าว

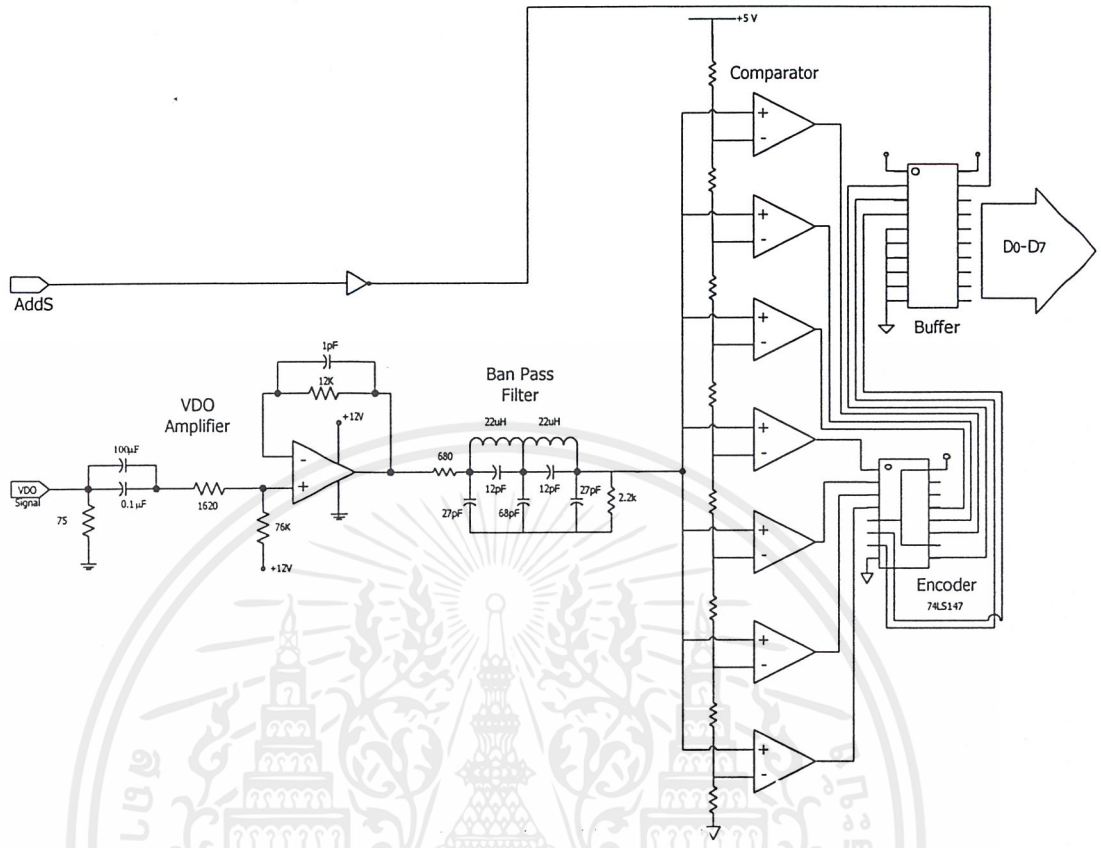
3.1.2 วงจรกำเนิดความถี่ (Oscillator : OSC) : ทำหน้าที่ในการผลิตสัญญาณคลื่นความถี่ที่คงที่ สัญญาณดังกล่าวจะใช้เป็นสัญญาณหลักในการควบคุมส่วนต่าง ๆ จากวงจรที่ได้ทำการออกแบบนี้จะใช้สัญญาณดังกล่าวในการสุ่มตัวอย่างข้อมูลของสัญญาณภาพในส่วนของ วงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล และวงจรถูกำเนิดตำแหน่งแอดเดรสให้หน่วยความจำ (Address Generator Circuit) ในขณะเดียวกันก็จะถูกส่งเข้าไปใช้ใน วงจรกำเนิดสัญญาณเขียนข้อมูลลงหน่วยความจำ (Write Generator Circuit) ด้วย ซึ่งจะขออธิบายในหัวข้อของวงจรถูกำเนิดตำแหน่งแอดเดรสต่อไปภายหลัง

3.1.3 บัฟเฟอร์ (Buffer) : เป็นส่วนของวงจรที่ทำหน้าที่ในการหน่วงข้อมูลที่ได้รับจากวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัลก่อนที่จะส่งเข้าไปยังหน่วยความจำ เพื่อให้ช่วงจังหวะในการจัดเก็บข้อมูลเข้าไปยังหน่วยความจำมีความเหมาะสมกับคุณลักษณะของหน่วยความจำที่ใช้ และเพื่อป้องกันการเขียนข้อมูลที่ไม่ต้องการลงหน่วยความจำ โดยอาศัยสัญญาณควบคุมการเปิดปิดบัฟเฟอร์ จาก วงจรควบคุมการอ่าน/เขียนข้อมูล (Read/Write Controller Circuit)

3.1.4 แลทช์ (Latch) : ทำหน้าที่คงค้างตำแหน่งแอดเดรสที่ได้จากไมโครคอนโทรลเลอร์ เพื่อทำการส่งไปยังหน่วยความจำข้อมูลภายนอก

3.1.5 วงจรแปลงสัญญาณข้อมูล (Data Converter) : ทำหน้าที่ในการแปลงสัญญาณวีดีโอคอมโพสิต ซึ่งมีลักษณะเป็นสัญญาณอนาลอกให้เป็นสัญญาณดิจิทัล เพื่อที่จะทำการจัดเก็บข้อมูลลงในหน่วยความจำได้

ส่วนประกอบของวงจรแปลงสัญญาณข้อมูล แสดงดังรูปที่ 3.2

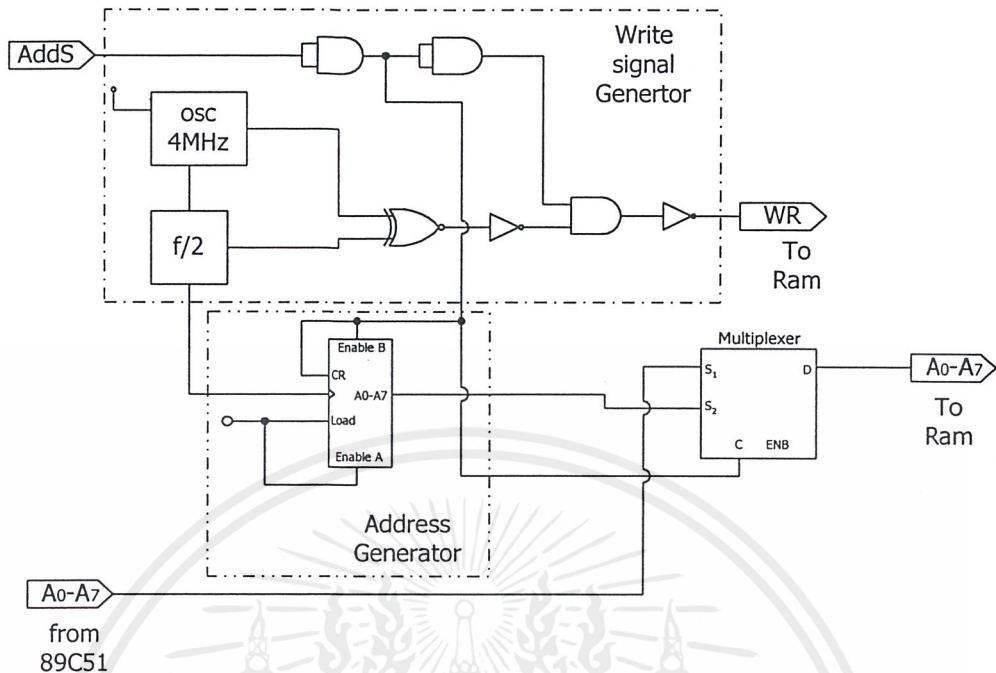


รูปที่ 3.2 แสดงวงจรแปลงสัญญาณข้อมูล และ บัฟเฟอร์

การทำงานของวงจรแปลงสัญญาณข้อมูลในส่วนแรก คือ วงจรขยายสัญญาณวิดีโอ (Video Amplifier) ทำหน้าที่ขยายสัญญาณวิดีโอด้วยอัตราขยายประมาณ 6 เท่า ส่วนที่สองจะเป็นส่วนของ วงจรกรองความถี่ผ่าน (Band-pass Filter) ซึ่งทำหน้าที่กรองสัญญาณรบกวนออก ส่วนที่สามจะเป็นวงจรเปรียบเทียบสัญญาณ (Comparator) ที่ทำหน้าที่เปรียบเทียบสัญญาณ และส่วนสุดท้ายเป็นส่วนของตัวเข้ารหัสสัญญาณ (Encoder) ทำหน้าที่แปลงสัญญาณที่ได้จากวงจรเปรียบเทียบสัญญาณ ให้เป็นข้อมูลดิจิทัลจำนวน 3 บิต นั้นหมายความว่า วงจรสามารถเปรียบเทียบความเข้มของแสงได้ทั้งหมด $2^3 = 8$ ระดับ

3.1.6 วงจรกำเนิดตำแหน่งแอดเดรส (Address Generator) : ทำหน้าที่ในการกำเนิดค่าแอดเดรสให้กับหน่วยความจำโดยจะออกแบบเป็นวงจรซิงโครนัสเคาน์เตอร์ (Synchronous Counter)

ส่วนประกอบของวงจรกำเนิดตำแหน่งแอดเดรส และวงจรกำเนิดสัญญาณเขียนข้อมูล (Write Signal Generator) เป็นดังรูปที่ 3.3



รูปที่ 3.3 แสดงวงจรกำเนิดตำแหน่งแอดเดรส และวงจรกำเนิดสัญญาณเขียนข้อมูล

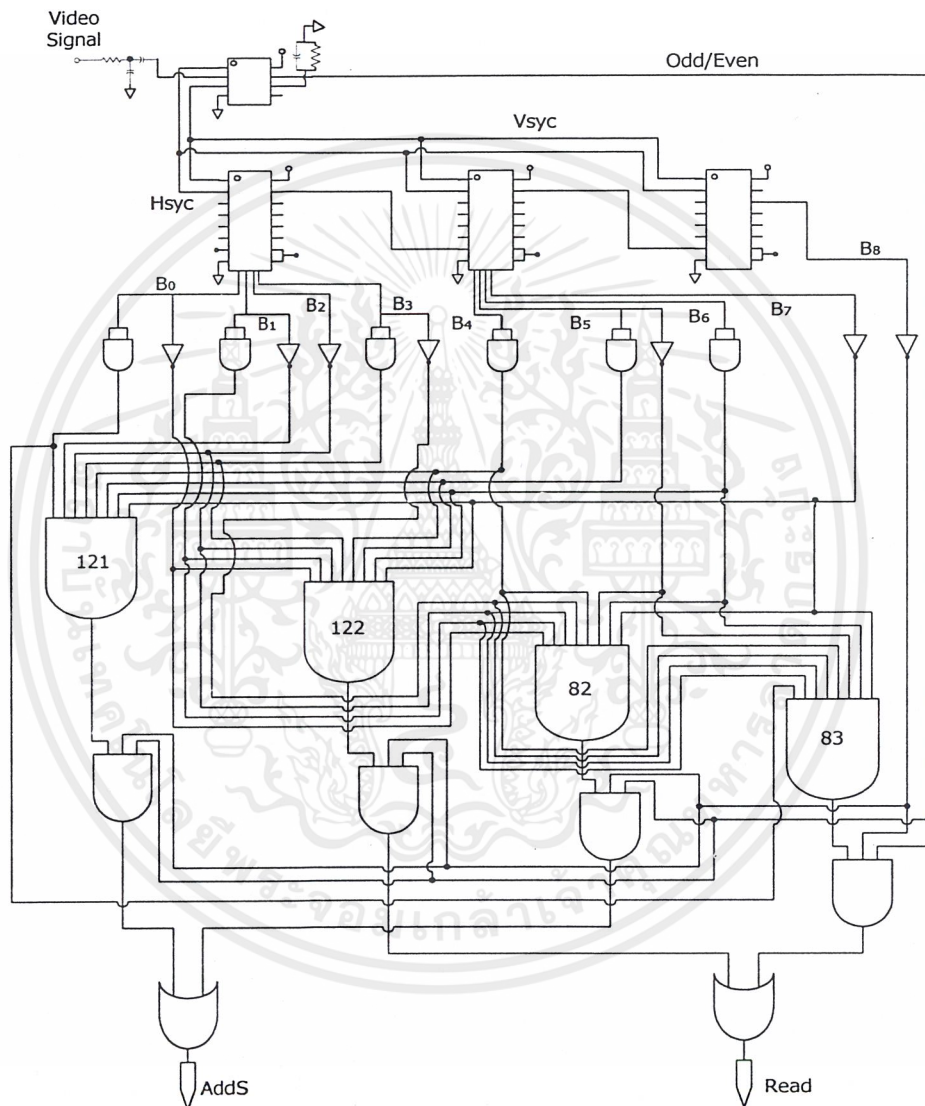
การทำงานของวงจรกำเนิดสัญญาณเขียน เนื่องจากต้องการสัญญาณที่มีค่าแอกทีฟโลว (Active Low) 1 ครั้ง ในการเขียนข้อมูลลงหน่วยความ 1 ตำแหน่ง จึงจะใช้การเอ็กซ์คลูซีฟนอร์ (Exclusive-nor) กันระหว่าง สัญญาณนาฬิกา 4 เมกะเฮิร์ซ และสัญญาณนาฬิกา 2 เมกะเฮิร์ซ ที่ถูกนำไปใช้เป็นสัญญาณนาฬิกา ให้กับวงจรกำเนิดตำแหน่งแอดเดรส แต่เนื่องจากสัญญาณการเขียนข้อมูลที่ต้องการนั้นจะเป็นสัญญาณในช่วงเดียวกับการแอกทีฟไฮ (Active High) ของสัญญาณ AddS เท่านั้นและปกติควรให้มีค่าเป็น 1 จึงนำสัญญาณจากการเอ็กซ์คลูซีฟนอร์มาผ่านอินเวอร์เตอร์ (Inverter) ก่อนแล้วนำไปแอนด์ (AND) กับสัญญาณแอดเดรสซีเลก (Address Select : AddS) แล้วจึงนำไปผ่านอินเวอร์เตอร์ อีกครั้งเพื่อให้ได้สัญญาณที่ต้องการ

การทำงานของวงจรกำเนิดตำแหน่งแอดเดรส จะทำการกำเนิดตำแหน่งแอดเดรสจำนวน 7 บิต ด้วยความถี่ 2 เมกะเฮิร์ซ ในช่วงเวลาที่สัญญาณ AddS มีค่าเป็น 1 ซึ่งมีคาบเวลาเป็น 63.5 ไมโครวินาที และจะทำการเคลียร์ ค่าตัวเองเมื่อสัญญาณ AddS มีค่าเป็น 0

3.1.7 วงจรควบคุมสัญญาณอ่าน/เขียน (Read/Write Controller) : ทำหน้าที่กำเนิดสัญญาณที่ใช้ควบคุมวงจรในส่วนต่าง ๆ ดังนี้

- **สัญญาณอ่าน (Read) :** ทำหน้าที่บอกไมโครคอนโทรลเลอร์ว่าได้ทำการเก็บข้อมูลภาพ ณ เส้นสแกนที่ต้องการลงหน่วยความจำเรียบร้อยแล้ว ให้ไมโครคอนโทรลเลอร์ทำการอ่านข้อมูลจากหน่วยความจำไปทำการประมวลผลได้

- สัญญาณแอดเดรสซีเลค (Address Select : AddS) : เป็นสัญญาณที่บอกว่าจะถึงเส้นสแกนที่ต้องการจะเก็บข้อมูลแล้ว ให้วงจรกำเนิดตำแหน่งแอดเดรสทำงานได้ โดยวงจรมัลติเพล็กซ์เซอร์ (Multiplexer : MUX) ทำการเลือกแอดเดรสจากวงจรกำเนิดตำแหน่งแอดเดรสให้กับหน่วยความจำ และบัฟเฟอร์ เปิดให้ข้อมูลภาพถูกเขียนลงหน่วยความจำ



รูปที่ 3.4 แสดงวงจรควบคุมสัญญาณอ่าน/เขียน

การทำงานของวงจร เนื่องจากเป็นวงจรที่ทำการกำเนิดสัญญาณ AddS และสัญญาณอ่านข้อมูล ซึ่งจากคุณสมบัติที่ต้องการ สัญญาณอ่านข้อมูลจะต้องตามหลังสัญญาณ AddS จึงใช้วงจรเคาน์เตอร์นับสัญญาณซิงค์ตามแนวนอน ว่าใช้เส้นสแกนที่ต้องการนำข้อมูลภาพ มาเก็บลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำแล้วหรือยัง ถ้าใช่สัญญาณ AddS จะมีค่าเป็น 1 และข้อมูลภาพก็จะถูกเก็บลงหน่วยความจำ แล้วเส้นสะแกนถัดไปสัญญาณอ่านข้อมูล ก็จะมีค่าเป็น 1 ซึ่งจากรูปวงจรสัญญาณ AddS จะมีค่าเป็น 1 เมื่อถึงเส้นสะแกนที่ 82 และ 121 (001010010 และ 001111001) และ สัญญาณอ่านข้อมูลจะมีค่าเป็น 1 เมื่อถึงเส้นสะแกนที่ 83 และ 122 (001010011 และ 001111010) ซึ่งจะถูกล้างออกไปควบคุมการทำงานต่อไป

3.2 การออกแบบการประมวลผลภาพ

เนื่องจากในโครงงานนี้เลือกเก็บสัญญาณภาพเพียง 1 เส้นสะแกน โดยให้มีความละเอียด 128 จุดภาพใน 1 เส้นสะแกน ซึ่งจะทำให้การเก็บข้อมูลแต่ละจุดภาพลงหน่วยความจำ 1 ไบต์ ดังนั้นจะต้องใช้หน่วยความจำภายนอกทั้งสิ้น 128 ไบต์ โดยในการประมวลผลภาพจะมีขั้นตอนดังนี้

- 1.) สร้างตัวกำหนดตำแหน่งของเลนถนนเพื่อใช้ในการกำหนดขอบเขตถนน
- 2.) หาจุดกึ่งกลางถนนจากตำแหน่งของเลนถนน
- 3.) เปรียบเทียบจุดกึ่งกลางถนนระหว่างจุดอ้างอิงปัจจุบันกับตำแหน่งเป้าหมาย

ซึ่งจะกล่าวถึงรายละเอียดในการประมวลผล ดังต่อไปนี้ คือ

3.2.1. การสร้างตัวกำหนดตำแหน่งของเลนถนนเพื่อใช้กำหนดขอบเขตถนน

หลังจากที่ทำการเขียนข้อมูลสัญญาณภาพลงหน่วยความจำภายนอกเรียบร้อยแล้ว วงจรควบคุมการอ่าน-เขียนข้อมูลก็จะส่งสัญญาณมาบอกไมโครคอนโทรลเลอร์ให้ทำการอ่านข้อมูล จากนั้น ไมโครคอนโทรลเลอร์ ก็จะทำการเปรียบเทียบข้อมูลแต่ละตำแหน่งในหน่วยความจำ ว่าเป็นสีขาว หรือสีดำ โดยเริ่มประมวลผลสัญญาณภาพที่ตำแหน่ง 0AH ถึง 76H เนื่องจากที่ตำแหน่ง 00H-09H และ 77H - 7FH จะเป็นตำแหน่งที่เก็บสัญญาณเบิร์ตหรือซิงค์ซึ่งไม่ต้องการ และถ้าหากข้อมูลที่อ่านได้เป็นสีขาวติดต่อกันมากกว่า 4 ตำแหน่ง แสดงว่าเป็นแถบของถนนจริง แต่หากน้อยกว่า แสดงว่าข้อมูลที่อ่านได้เกิดการผิดพลาด ให้ตรวจสอบแถบถนนต่อไป และหากตรวจสอบจนถึงกึ่งกลางภาพ (ตำแหน่งที่ 40H) แล้วยังไม่พบแถบถนน แสดงว่าไม่มีแถบถนนด้านซ้าย และในทำนองเดียวกัน ทำการตรวจสอบข้อมูลต่อไปเพื่อหาแถบถนนทางด้านขวา แต่ถ้าหากตรวจสอบจนถึงตำแหน่งสุดท้าย (ตำแหน่งที่ 7FH) ของเส้นสะแกนภาพแล้ว ยังไม่พบแถบถนน แสดงว่าไม่มีแถบถนนทางด้านขวา ดังนั้น จึงสามารถแบ่งกรณีต่าง ๆ ของสัญญาณภาพที่อ่านได้ เป็น 4 กรณีคือ

- 1.) พบเฉพาะแถบถนนทางด้านซ้าย
- 2.) พบเฉพาะแถบถนนทางด้านขวา
- 3.) พบแถบถนนทั้งด้านซ้ายและด้านขวา
- 4.) ไม่พบแถบถนนเลย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2. การหาจุดกึ่งกลางถนนจากตำแหน่งของเลนถนน

จากกรณีต่าง ๆ ของสัญญาณภาพที่อ่านได้ นำมาคำนวณหาจุดกึ่งกลางของถนนได้ดังนี้

1.) กรณีที่พบเฉพาะแถบถนนทางด้านซ้าย : จุดกึ่งกลางเลนถนน (Center) จะมีค่าเท่ากับ ค่าตำแหน่งแถบถนนด้านซ้าย (Tab_L) บวกด้วยจุดกึ่งกลางภาพ (40H)

$$\text{Center} = \text{Tab}_L + 40H$$

2.) กรณีที่พบเฉพาะแถบถนนทางด้านขวา : จุดกึ่งกลางเลนถนน (Center) จะมีค่าเท่ากับ ค่าตำแหน่งแถบถนนด้านขวา (Tab_R) ลบด้วยจุดกึ่งกลางภาพ (40H)

$$\text{Center} = \text{Tab}_R - 40H$$

3.) กรณีที่พบแถบถนนทั้งด้านซ้ายและด้านขวา : จุดกึ่งกลางเลนถนน (Center) จะมีค่าเท่ากับ ค่าตำแหน่งแถบถนนด้านขวา (Tab_R) ลบด้วย ค่าตำแหน่งแถบถนนด้านซ้าย (Tab_L) แล้วหารด้วยสอง และบวกกับค่าตำแหน่งแถบถนนด้านซ้าย (Tab_L)

$$\text{Center} = \{ [\text{Tab}_R - \text{Tab}_L] / 2 \} + \text{Tab}_L$$

4.) กรณีที่ไม่พบแถบถนนเลย : ให้กลับไปสู่โปรแกรมหลักโดยคงจุดกึ่งกลางเลนถนนค่าเดิม

3.2.3 การเปรียบเทียบจุดกึ่งกลางถนนระหว่างเส้นสะแกนที่ 82 และ 121

กำหนดให้ค่าความแตกต่างของถนน (Error) มีค่าเท่ากับผลต่างระหว่างตำแหน่งเป้าหมายคือจุดกึ่งกลางถนนในเส้นสะแกนที่ 82 (Target) กับตำแหน่งอ้างอิงคือจุดกึ่งกลางถนนในเส้นสะแกนที่ 121 (Reference)

$$\text{Error} = \text{Target} - \text{Reference}$$

ซึ่งจากค่าความแตกต่าง (Error) นี้จะนำไปคำนวณค่าช่วงเวลาในการขับมอเตอร์ ต่อไป

3.3 การออกแบบการควบคุมระบบ และการควบคุมมอเตอร์

เนื่องจากระบบในโครงการนี้ คือ การเคลื่อนที่ของรถ ซึ่งไม่ได้เน้นถึงความเร็วของรถมากนัก การควบคุมจึงเลือกใช้แบบ P-Controller ก็เพียงพอ โดยทำการทดลองเลือกค่าอัตราขยายต่าง ๆ (Gain : Kp) เพื่อให้ได้ผลที่น่าพอใจที่สุด

ส่วนการควบคุมการขับเคลื่อนมอเตอร์ จะใช้การควบคุมแบบพัลส์วิธึมอดูเลชัน (Pulse Width Modulation : PWM) โดยใช้โปรแกรมการหน่วงช่วงเวลาขับเคลื่อนมอเตอร์ (T_on) ซึ่งมีช่วงคาบเวลา (T) ทั้งหมดคงที่ เท่ากับช่วงเวลาในการสแกนภาพ 1 เฟรมภาพ คือ จำนวนเส้นสแกนทั้งหมดใน 1 เฟรมภาพ (494 เส้นสแกน) คูณกับระยะเวลาในการสแกน 1 เส้นสแกน (63.5 ไมโครวินาที) ดังนั้นจะได้คาบเวลาเป็น $494 \times 63.5 = 34,369$ ไมโครวินาที

3.4 การออกแบบการควบคุมการเคลื่อนที่ของรถ

ในการออกแบบการเคลื่อนที่ กำหนดให้มอเตอร์ทั้งสองตัวต้องถูกขับ (On) เป็นระยะเวลาเริ่มต้น (T_Offset) เท่ากัน จากนั้นในการควบคุมการเคลื่อนที่ จะกำหนดให้มอเตอร์ด้านตรงข้ามกับทิศทางที่จะเคลื่อนที่จะถูกขับต่อไป แต่จะหยุดมอเตอร์อีกตัวไว้ เพื่อให้เกิดการเคลื่อนที่ เนื่องจากความแตกต่างของความเร็วมอเตอร์ทั้งสองตัว โดยช่วงเวลาที่ขับเคลื่อนที่เพิ่มขึ้นนี้ จะขึ้นอยู่กับค่าความแตกต่าง (Error) ซึ่งได้จากการคำนวณ ในหัวข้อ 3.2.3 คูณกับค่าอัตราขยาย ดังนั้นจึงแบ่งการควบคุมการเคลื่อนที่เป็น 3 แบบ คือ

3.4.1 การเคลื่อนที่ตรง : โดยจะควบคุมให้มอเตอร์ทั้งสองตัว (Motor_L) และขวา (Motor_R) ถูกขับเท่ากับระยะเวลาเริ่มต้น (T_Offset) ในการขับเคลื่อน

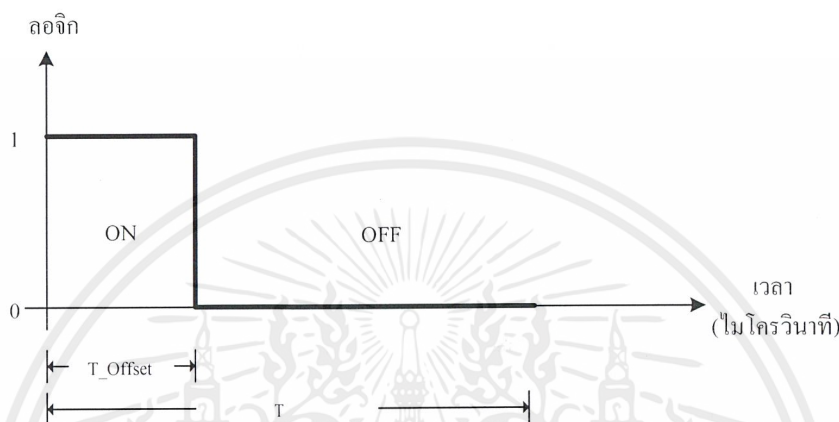
$$T_{on} (\text{Motor}_R) = T_{on} (\text{Motor}_L) = T_{Offset}$$

3.4.2 การเคลื่อนที่ซ้าย : ซึ่งจะควบคุมให้มอเตอร์ทั้งสองตัวถูกขับเท่ากับระยะเวลาเริ่มต้นในการขับเคลื่อน จากนั้นจะหยุดมอเตอร์ซ้าย แต่ยังคงขับเคลื่อนขวาต่อไปเป็นเวลา เท่ากับค่าความแตกต่าง คูณอัตราขยาย ดังนั้นจะได้ช่วงเวลาในการขับเคลื่อน ดังนี้

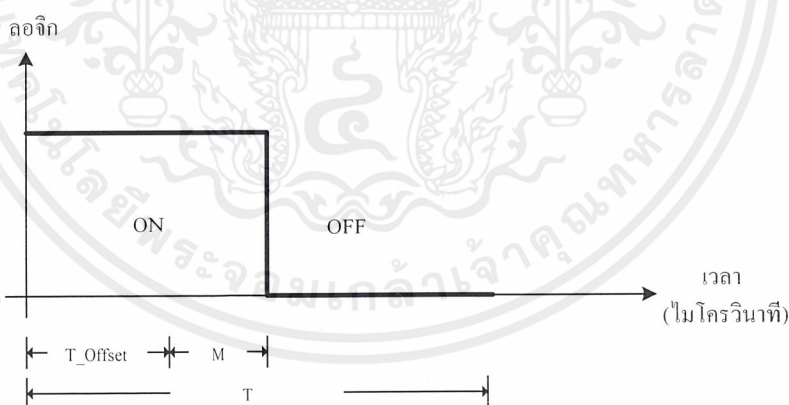
กำหนด	M	=	Error x Kp
จะได้	T_on (Motor_L)	=	T_Offset
	T_on (Motor_R)	=	T_Offset + M

3.4.3 การเลี้ยวขวา : ในทำนองเดียวกับการเลี้ยวซ้าย แต่สลับการขับมอเตอร์ซ้ายและขวา
จะได้ ช่วงเวลาขับมอเตอร์ ดังนี้

$$\begin{aligned} T_{\text{on}} (\text{Motor_L}) &= T_{\text{Offset}} + M \\ T_{\text{on}} (\text{Motor_R}) &= T_{\text{Offset}} \end{aligned}$$



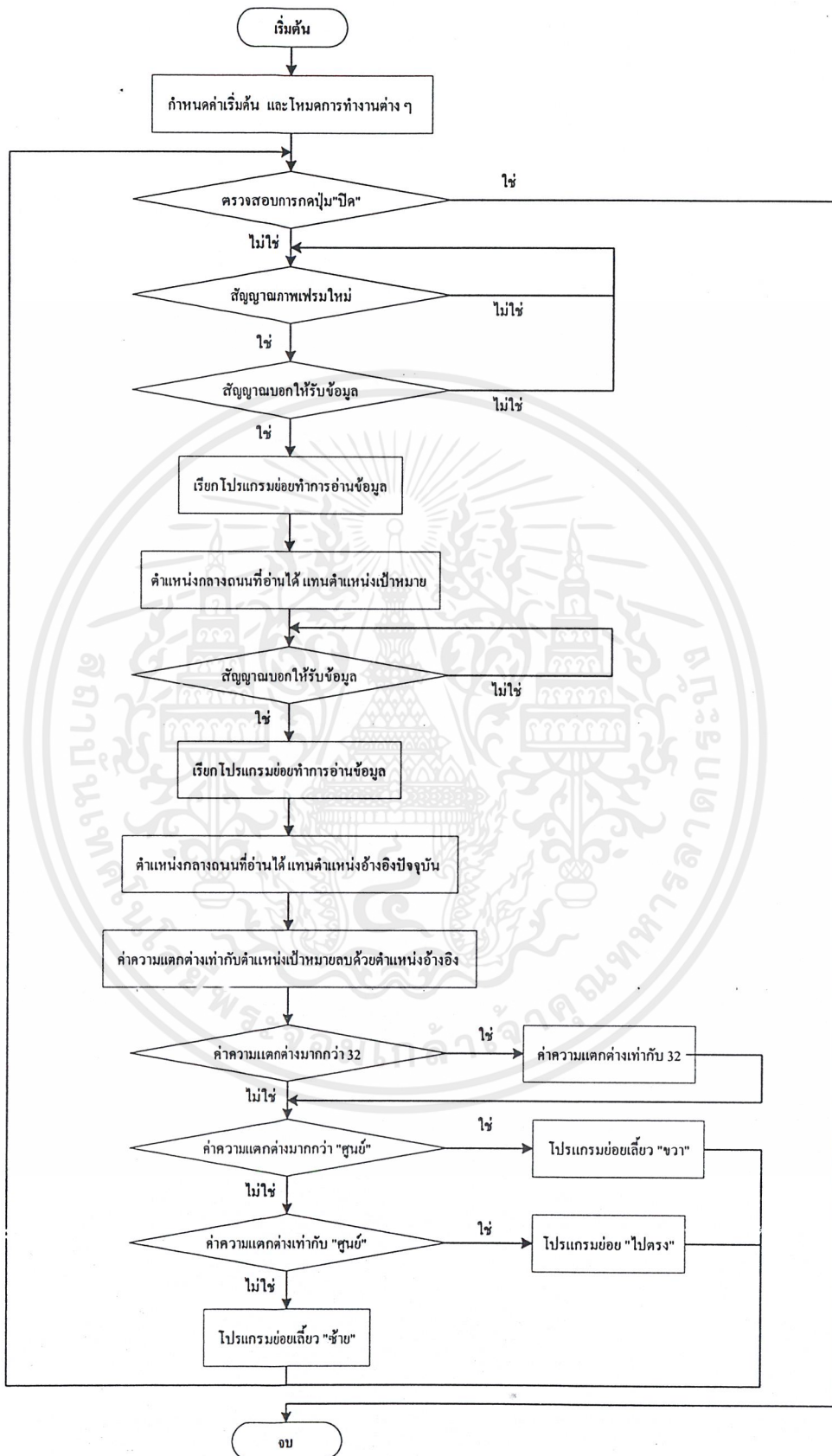
รูปที่ 3.5 กราฟแสดงช่วงเวลาการขับมอเตอร์ของมอเตอร์ด้านซ้ายและขวา กรณีไปตรง
มอเตอร์ขวากรณีเลี้ยวขวา และ มอเตอร์ซ้ายกรณีเลี้ยวซ้าย



รูปที่ 3.6 กราฟแสดงช่วงเวลาการขับมอเตอร์ของมอเตอร์ซ้ายกรณีเลี้ยวขวา
และ มอเตอร์ขวากรณีเลี้ยวซ้าย

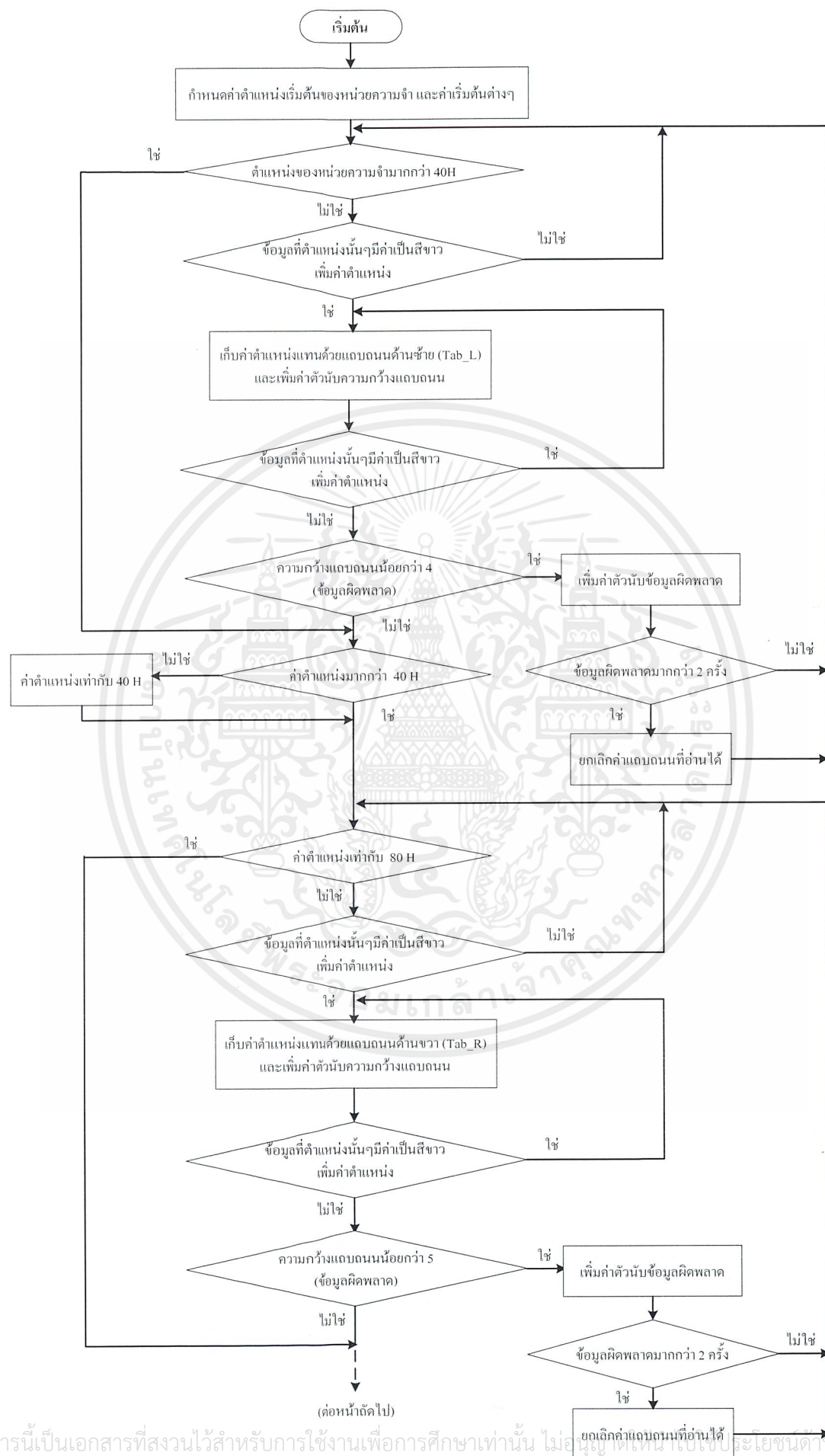
โฟลว์ชาร์ต (Flow Chart) แสดงการทำงานของโปรแกรมในการประมวลผลภาพและควบคุมมอเตอร์ แบ่งออกได้เป็นส่วนโปรแกรมหลัก โปรแกรมย่อยในการอ่านข้อมูล โปรแกรมย่อยในส่วนการควบคุมให้เคลื่อนที่ตรง เลี้ยวซ้าย และเลี้ยวขวา ดังรูป 3.7 –รูปที่ 3.11 ตามลำดับ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

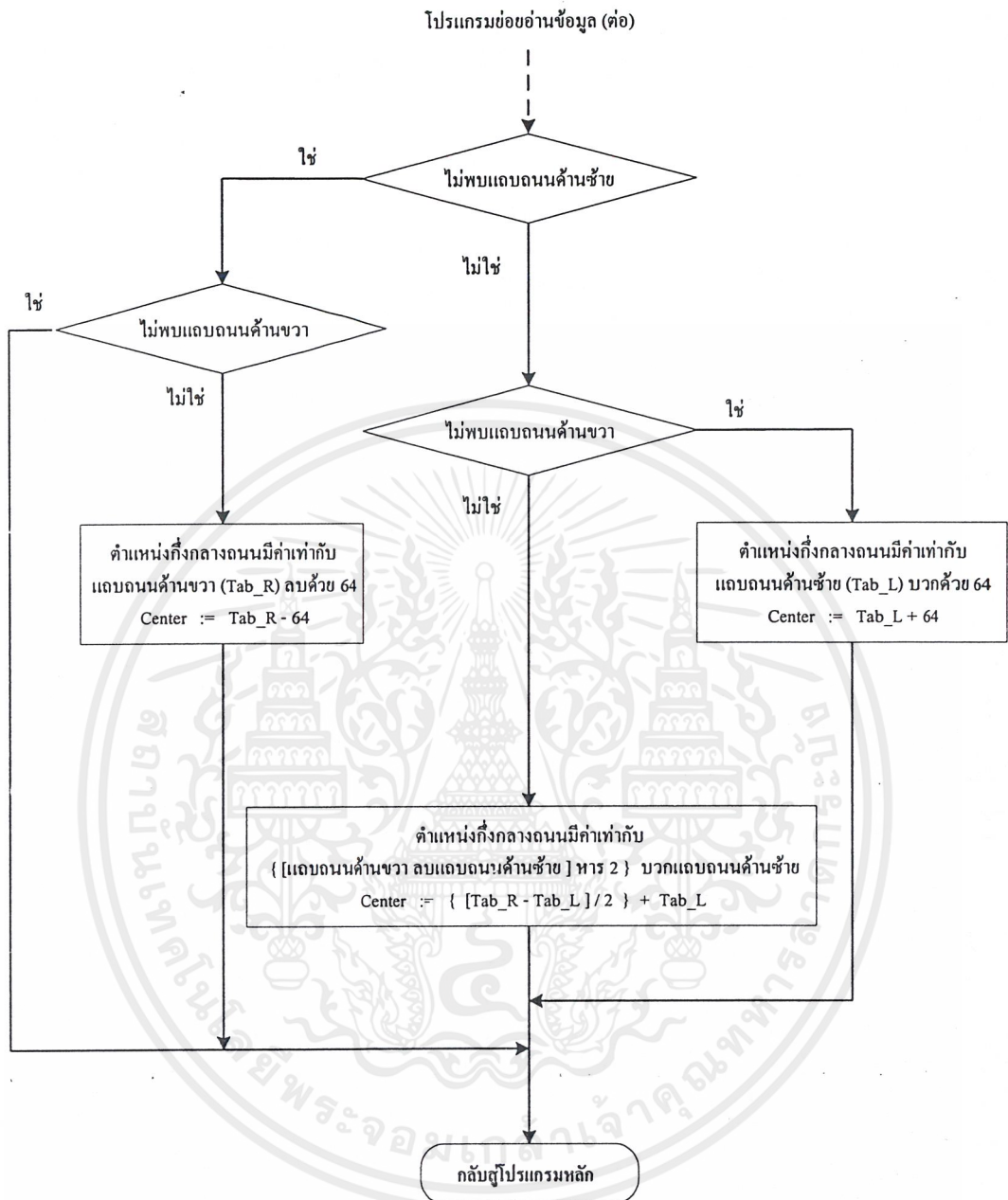


รูปที่ 3.7 ไฟล์ซาร์ตแสดง โปรแกรมหลักในการประมวลผลภาพและควบคุมมอเตอร์

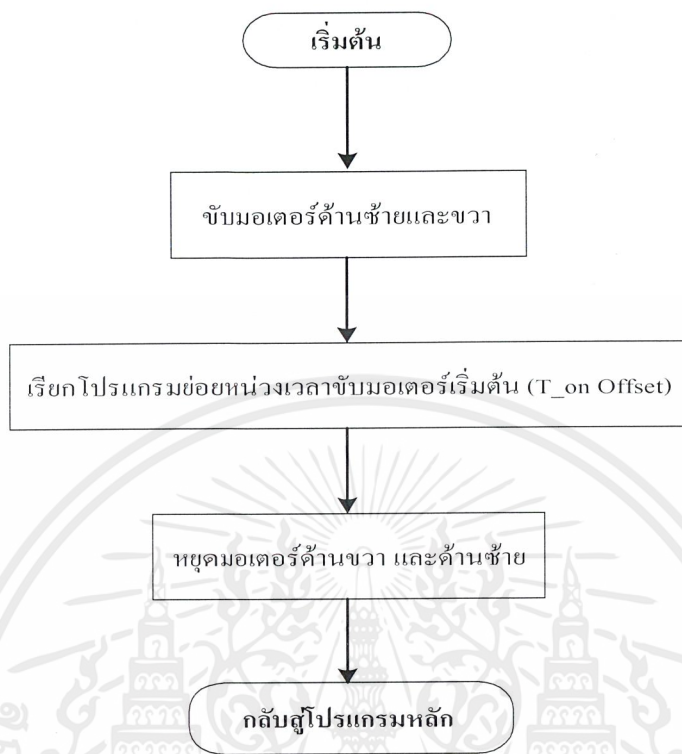
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



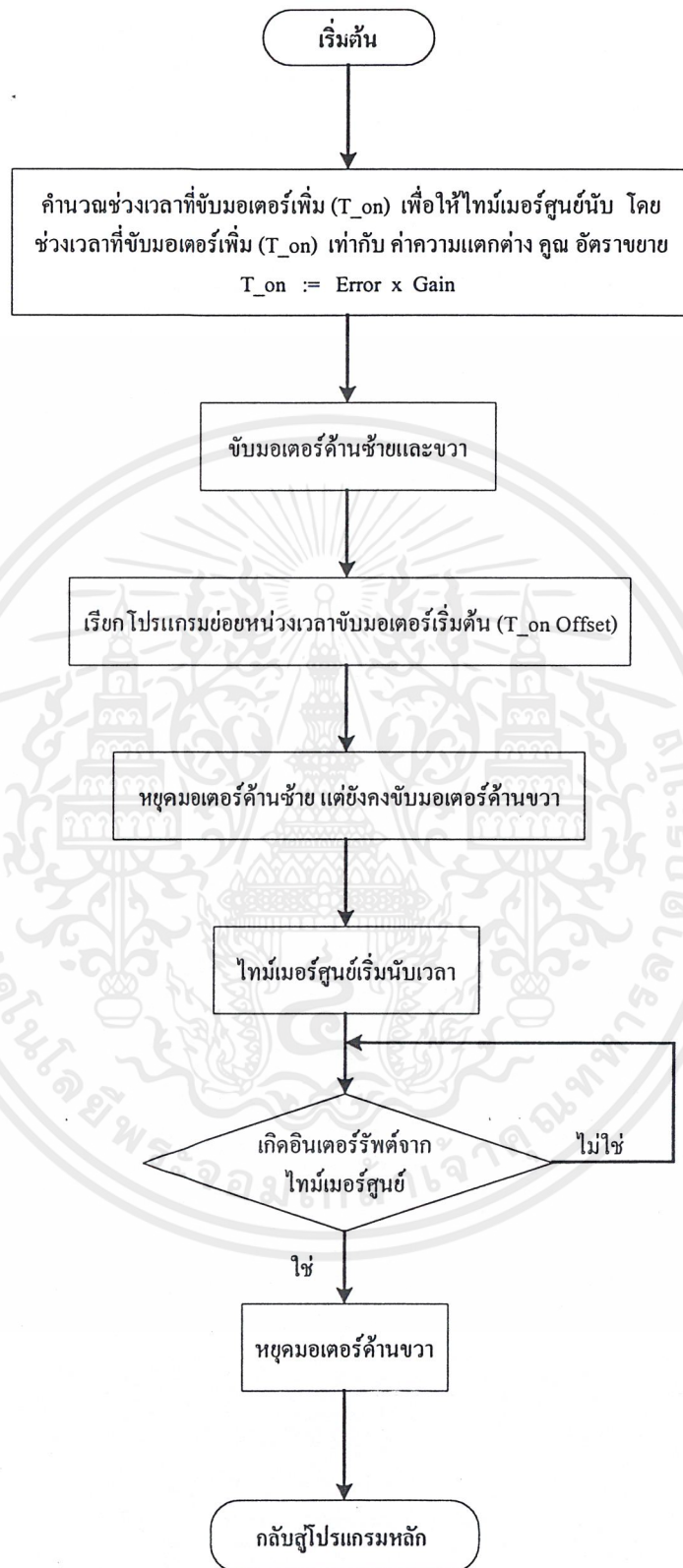
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อยู่ภายใต้เงื่อนไขใดๆ ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 โฟลว์ชาร์ตแสดง โปรแกรมย่อยในการอ่านข้อมูลภาพ

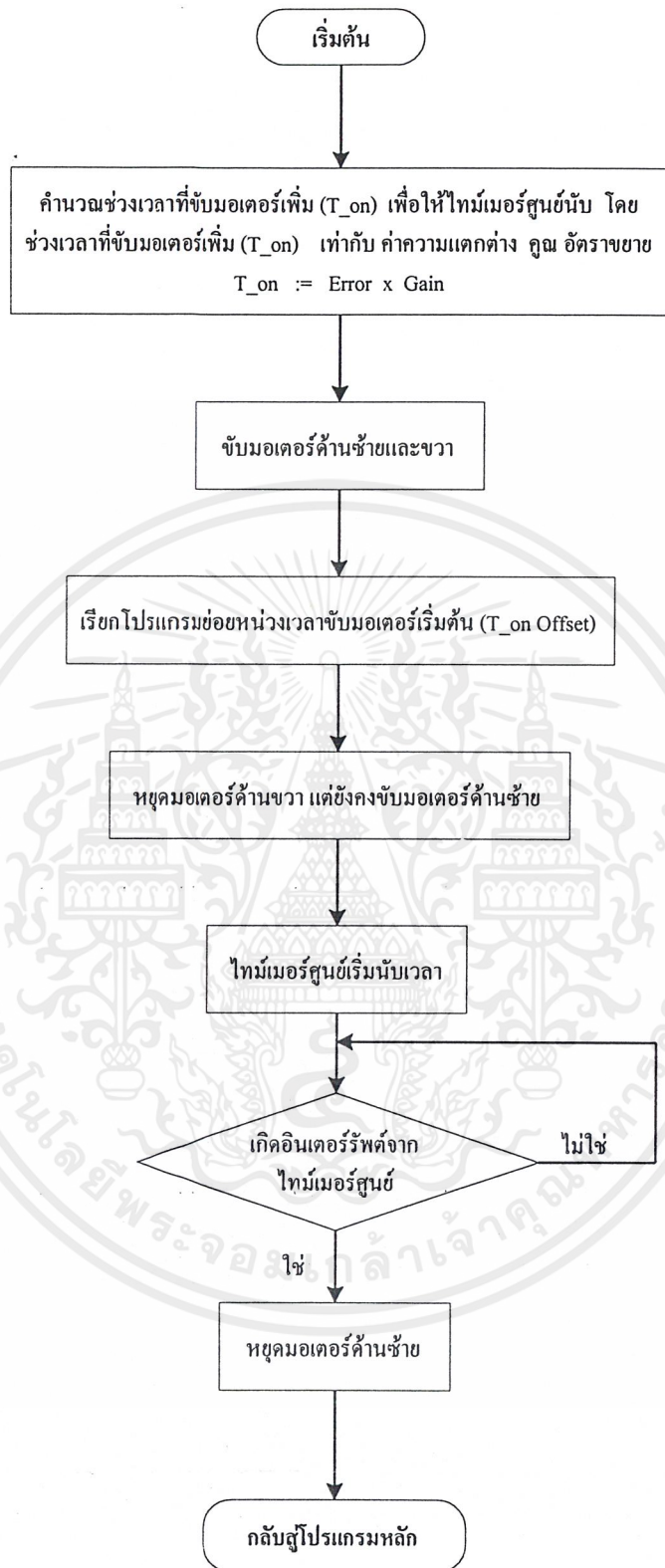


รูปที่ 3.9 โฟลว์ชาร์ตแสดง โปรแกรมย่อยในการควบคุมการเคลื่อนที่ตรง



รูปที่ 3.10 ไฟล์ชาร์ตแสดงโปรแกรมย่อยในการควบคุมการเลี้ยวซ้าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

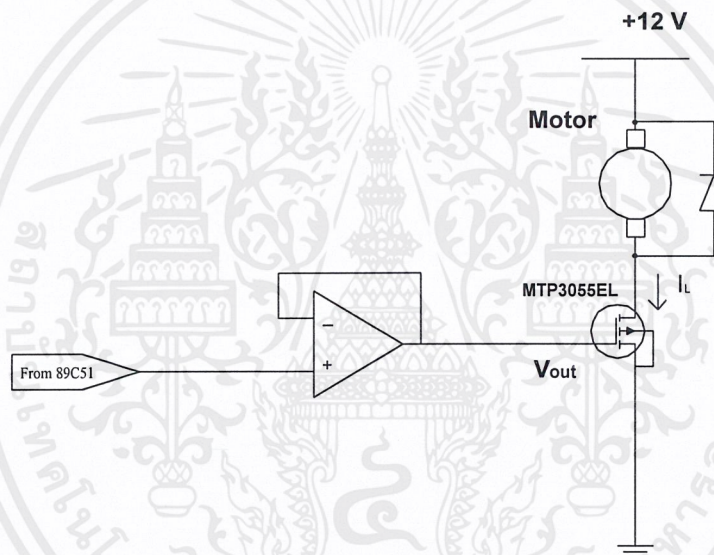


รูปที่ 3.11 โฟลว์ชาร์ตแสดงโปรแกรมย่อยในการควบคุมการเลี้ยงขวา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 การออกแบบวงจรขับมอเตอร์กระแสตรง

เนื่องจากลักษณะการขับมอเตอร์เป็นแบบเปิด-ปิด(ON-OFF) จึงเลือกใช้มอสเฟต (MOSFET) เบอร์ MTP3055EL ซึ่งทำงานได้โดยใช้สัญญาณลอจิก (5 โวลต์) เปิด-ปิด จึงสามารถต่อใช้งานกับไมโครคอนโทรลเลอร์ได้ทันที แต่เพื่อป้องกันปัญหาโวลต์ตกเนื่องจากโหลด (Loading effect) จึงต้องต่อบัฟเฟอร์ขึ้นระหว่าง ไมโครคอนโทรลเลอร์และมอสเฟต นอกจากนี้ยังต้องต่อไดโอดคร่อมมอเตอร์ เพื่อป้องกันการเสียหายของมอเตอร์จากการเปลี่ยนแปลงโวลต์อย่างทันทีทันใด (เนื่องจากการควบคุมแบบเปิด-ปิด) ซึ่งทำให้เกิดกระแสอย่างมากมายไหลผ่านมอเตอร์ วงจรการขับมอเตอร์ เป็นดังรูป



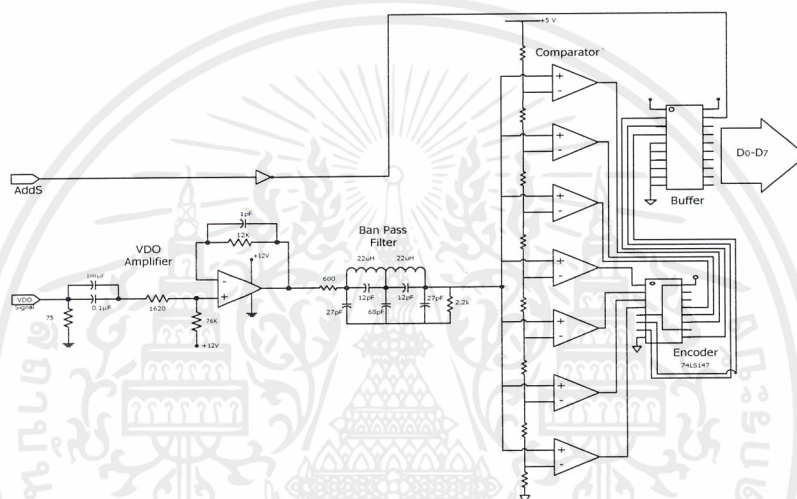
รูปที่ 3.12 แสดงวงจรขับมอเตอร์กระแสตรง

บทที่ 4

การทดลองและผลการทดลอง

การทดลองที่ 1 : วงจรแปลงสัญญาณข้อมูล

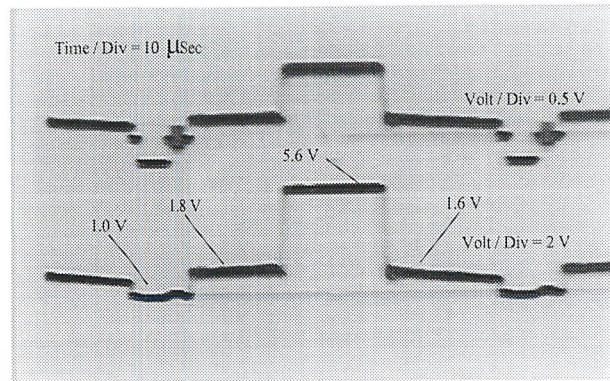
การทดลองที่ 1.1 : วงจรแปลงสัญญาณข้อมูลแบบที่ 1 (ก่อนการปรับปรุง)



รูปที่ 4.1 แสดงวงจรแปลงสัญญาณข้อมูลและบัฟเฟอร์แบบที่ 1

จากวงจรในรูปที่ 4.1 เมื่อทำการทดลองและวัดผลที่ได้จาก ส่วนของวงจรกรองความถี่ผ่าน (Band Pass Filter) (V_o) และค่าเอาต์พุตที่ขา 9 ขา 6 ขา 7 ของเอนโคเดอร์ (Encoder) ซึ่งก็คือค่า D_0 D_1 และ D_2 ตามลำดับจะได้ผลดังต่อไปนี้

1. ค่าแรงดันที่ได้จากวงจร ขยายแรงดันวิดีโอ หลังจากผ่านวงจร กรองความถี่ผ่าน จะได้ดังรูปที่ 4.2 ซึ่งกราฟภาพบนเป็นสัญญาณอินพุตจากกล้องวิดีโอที่จับภาพเส้นสีขาวที่กึ่งกลางเส้นสแกน



รูปที่ 4.2 แสดงกราฟที่ได้จากการวัดเอาต์พุตของวงจรกรองความถี่ผ่าน

จากวงจรส่วนวงจรขยายแรงดันวิดีโอ จะเห็นได้ว่าเป็นวงจรขยายผลรวมของแรงดันซึ่งจะได้ค่าเอาต์พุตของแรงดันกระแสตรงเท่ากับ

$$\begin{aligned} V_o &= V_{in} \times 12K / 76 K \\ &= 12 \times 12 / 76 \\ &= 1.9 \quad V \end{aligned}$$

และอัตราขยายสัญญาณวิดีโอเท่ากับ

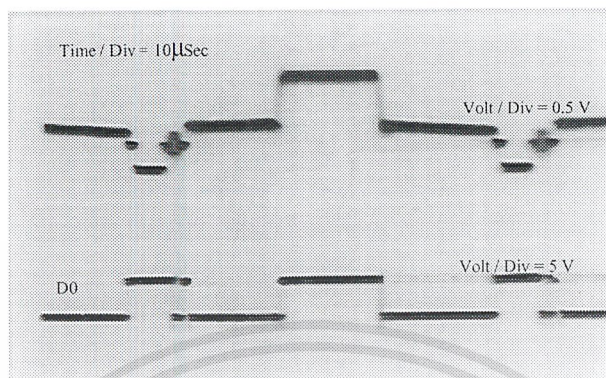
$$\begin{aligned} V_o / V_{in} &= 12K / 1.620 K \\ &= 7.37 \end{aligned}$$

ซึ่งจากรูปที่ 4.2 จะเห็นได้ว่าค่าผลต่างของกราฟอินพุตแรงดันระหว่าง ระดับความเข้มแสงสีขาว (จากรูปมีค่าเอาต์พุตประมาณ 5.6 โวลท์) กับระดับความเข้มแสงสีดำ (จากรูปมีค่าเอาต์พุตประมาณ 1.8 โวลท์) มีค่าประมาณ 0.52 โวลท์ ซึ่งตามทฤษฎีควรจะได้ค่าเอาต์พุตของผลต่างของแรงดันระหว่าง ระดับความเข้มแสงสีขาวกับระดับความเข้มแสงสีดำเป็น

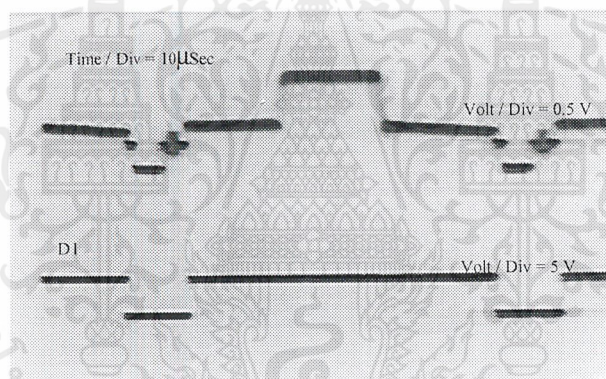
$$\begin{aligned} V_{ขาว} - V_{ดำ} &= 7.37 \times 0.52 \quad V \\ &= 3.8324 \quad V \end{aligned}$$

ซึ่งเมื่อพิจารณาจากกราฟเอาต์พุตของรูปที่ 4.2 จะเห็นได้ว่ามีค่าค่อนข้างใกล้เคียง

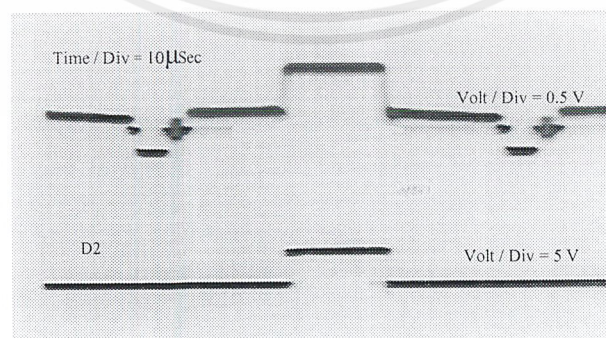
2. ค่าเอาต์พุตจากเอนโคเดอร์ ที่ ขา 9, 7, 6 ซึ่งก็คือค่า D_0 D_1 D_2 ได้ผลการทดลองดังนี้



รูปที่ 4.3 แสดงกราฟที่ได้จากการวัดที่ขา 9 ของเอนโคเดอร์ (D_0)



รูปที่ 4.4 แสดงกราฟที่ได้จากการวัดที่ขา 7 ของ เอน โคเดอร์ (D_1)



รูปที่ 4.5 แสดงกราฟที่ได้จากการวัดที่ขา 6 ของเอน โคเดอร์ (D_2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรเปรียบเทียบสัญญาณ (Comparator) และเอนโคเดอร์ ที่ให้อาห์พุทเป็นข้อมูล ดิจิตอล 3 บิตทำให้สามารถแบ่งข้อมูลได้ 8 ระดับคือ

ตารางที่ 4.1 ค่าแรงดันอินพุทเปรียบเทียบกับข้อมูลที่ได้จากเอนโคเดอร์ ในวงจรแบบที่ 1

ข้อมูลจากเอนโคเดอร์	ค่าแรงดันอินพุท (โวลท์)
000	0.000
001	0.625
010	1.25 0
011	1.875
100	2.500
101	3.125
110	3.750
111	4.375

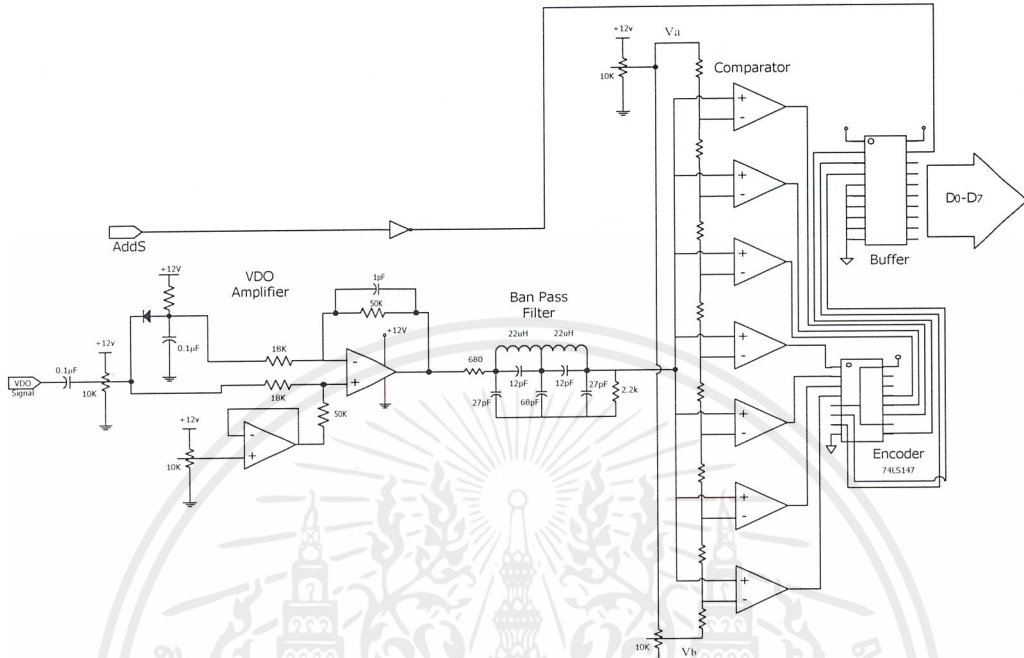
จากตารางข้างต้น เมื่อนำไปเปรียบเทียบกับสัญญาณอาห์พุทของวงจรรองความถี่ผ่าน ในรูปที่ 4.2 จะได้ข้อมูลสัญญาณภาพคือ

1. ช่วงสัญญาณซิงค์ตามแนวนอน จะได้ ข้อมูล คือ 001
2. ช่วงสัญญาณความเข้มแสงสีดำในช่วงแรก จะได้ ข้อมูล คือ 010
3. ช่วงสัญญาณความเข้มแสงสีขาว จะได้ ข้อมูล คือ 111
4. ช่วงสัญญาณความเข้มแสงสีดำในช่วงที่สอง จะได้ ข้อมูล คือ 010

ซึ่งเมื่อพิจารณารูปที่ 4.3 – 4.5 จะเห็นได้ว่าค่าที่ได้จากวงจรมีค่าที่ถูกต้อง

แต่ปัญหาที่เกิดขึ้นจากวงจรนี้ คือ เกิดการแคลมป์ (Clamp) ของสัญญาณวิดีโอ ทำให้ข้อมูลของสัญญาณภาพที่ระดับสีเดียวกัน มีค่าต่างกันเมื่อภาพเปลี่ยนแปลงไป ดังนั้นจึงได้มีการพัฒนาวงจรขึ้นใหม่ ดังการทดลองที่ 1.2

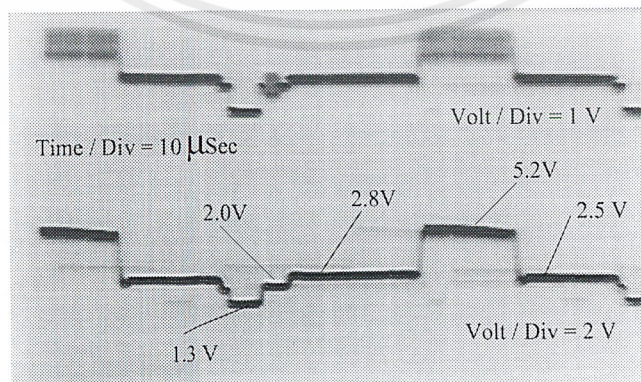
การทดลองที่ 1.2 : วงจรแปลงสัญญาณข้อมูลแบบที่ 2 (หลังทำการปรับปรุง)



รูปที่ 4.6 แสดงวงจรแปลงสัญญาณข้อมูล และ บัฟเฟอร์ แบบที่ 2

จากรูปเมื่อทำการทดลองและวัดผลที่ได้จาก ส่วนของวงจรกรองความถี่ผ่าน (V_o) และค่าเอาต์พุตที่ขา 9 ขา 6 ขา 7 ของ เอนโคเดออร์ ซึ่งก็คือค่า D_0 D_1 และ D_2 ตามลำดับจะได้ผลดังต่อไปนี้

1. ค่าแรงดันที่ได้จากวงจร ขยายแรงดันวิดีโอ หลังจากผ่านวงจรกรองความถี่ผ่าน จะได้ดังรูปที่ 4.7 ซึ่งกราฟอันบนเป็นสัญญาณอินพุตจากกล้องวิดีโอที่จับภาพเส้นสีขาวที่กึ่งกลางเส้นสแกน



รูปที่ 4.7 แสดงกราฟที่ได้จากการวัดเอาต์พุตของ วงจรกรองความถี่ผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรส่วนวงจรขยายแรงดันวิดีโอ จะเห็นได้ว่าเป็นวงจรขยายผลต่างของแรงดัน 2 ส่วน คือ

- ส่วนที่ 1 สัญญาณวิดีโอที่ผ่านวงจรระดับสัญญาณด้วยแรงดันกระแสตรง
- ส่วนที่ 2 เป็นส่วนที่เพิ่มเข้ามา เพื่อแก้ไขปัญหาการแคลมป์ของสัญญาณวิดีโอ โดยมีไดโอด 1N4148 เพื่อทำหน้าที่เก็บประจุให้กับตัวเก็บประจุในช่วงเวลาที่สัญญาณวิดีโอมีค่าต่ำกว่า ศูนย์ และ คายประจุในช่วงเวลาที่สัญญาณวิดีโอมีค่ามากกว่า ศูนย์ ซึ่งสัญญาณที่ได้จะมีลักษณะเป็นกราฟรูปสามเหลี่ยมและถ้าตัวเก็บประจุมีค่ามากขึ้นสัญญาณที่ได้จะมีลักษณะค่อนข้างคงที่ ซึ่งเป็นการทดแทนการแคลมป์ของสัญญาณภาพได้

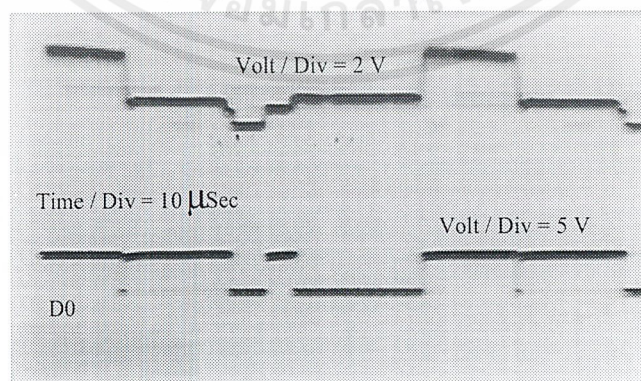
เมื่อนำสัญญาณทั้งสองมาวงจรขยายผลต่างซึ่งมีเกนขยายสัญญาณวิดีโอเท่ากับ

$$\begin{aligned} V_o / V_{in} &= 50K / 18 K \\ &= 2.778 \end{aligned}$$

ซึ่งจากรูปที่ 4.7 จะเห็นได้ว่าค่าผลต่างของกราฟอินพุทแรงดันระหว่าง ระดับความเข้มแสงสีขาว (จากรูปมีค่าเอาต์พุท 5.2 โวลต์) กับระดับความเข้มแสงสีดำ (จากรูปมีค่าเอาต์พุทประมาณ 2.8 โวลต์) มีค่าประมาณ 1.0 โวลต์ ซึ่งตามทฤษฎีควรจะได้ค่าเอาต์พุทของผลต่างของแรงดันระหว่าง ระดับความเข้มแสงสีขาวกับระดับความเข้มแสงสีดำเป็น

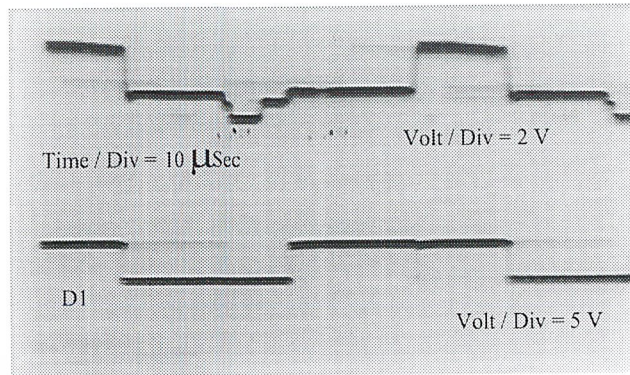
$$\begin{aligned} V_{ขาว} - V_{ดำ} &= 2.778 \times 1.0 \quad V \\ &= 2.778 \quad V \end{aligned}$$

ซึ่งเมื่อพิจารณากราฟเอาต์พุทของรูปที่ 4.7 จะเห็นได้ว่ามีค่าค่อนข้างใกล้เคียงกับค่าที่คิดได้ 2. ค่าเอาต์พุทจากเอน โคคเตอร์ ที่ ขา 9, 7, 6 ซึ่งก็คือค่า D_0, D_1, D_2 ได้ผลการทดลองดังนี้

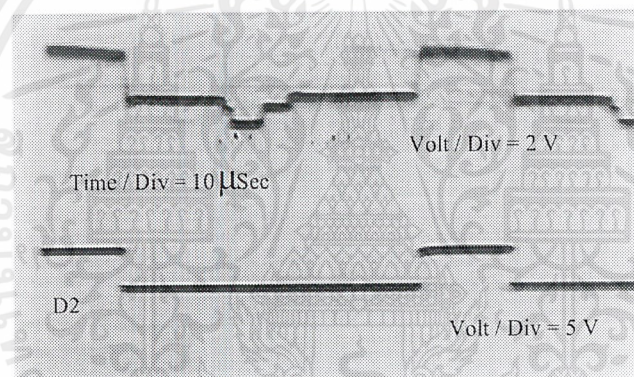


รูปที่ 4.8 แสดงกราฟที่ได้จากการวัดสัญญาณจากวงจรขยายแรงดันวิดีโอ และขา 9 ของเอน โคคเตอร์ ในวงจรแบบที่ 2 (D_0)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 แสดงกราฟที่ได้จากการวัดสัญญาณจากวงจรขยายแรงดันวีทีโอ และขา 7 ของเอนโคคเตอร์ในวงจรแบบที่ 2 (D₁)



รูปที่ 4.10 แสดงกราฟที่ได้จากการวัดสัญญาณจากวงจรขยายแรงดันวีทีโอ และขา 7 ของเอนโคคเตอร์ในวงจรแบบที่ 2 (D₂)

จากวงจรเปรียบเทียบสัญญาณ และเอนโคคเตอร์ ที่ให้เอาท์พุทเป็นข้อมูลดิจิทัล 3 บิต โดยที่ V_a มีค่าเท่ากับ 5.85 โวลต์ และ V_b มีค่าเท่ากับ 1.42 โวลต์ ทำให้สามารถแบ่งข้อมูลได้ 8 ระดับ ดังนี้

ตารางที่ 4.2 ค่าแรงดันอินพุตเปรียบเทียบกับข้อมูลที่ได้จากเอนโคเดอร์ ในวงจรแบบที่ 2

ข้อมูลจากเอนโคเดอร์	ค่าแรงดันอินพุต (โวลต์)
000	1.420
001	1.974
010	2.528
011	3.081
100	3.635
101	4.189
110	4.743
111	5.296

จากตารางข้างบนเมื่อนำไปเปรียบเทียบกับสัญญาณเอาต์พุตของ วงจรกรองความถี่ผ่าน ในรูปที่ 4.7 จะได้ข้อมูลสัญญาณภาพคือ

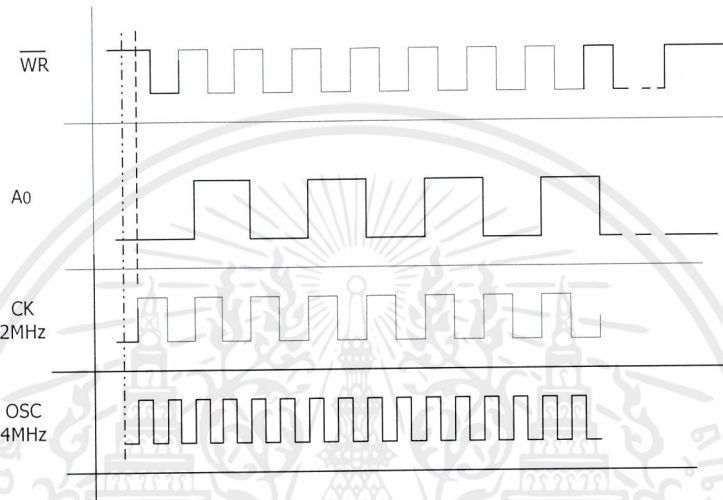
1. ช่วงสัญญาณซิงค์ตามแนวนอน จะได้ ข้อมูล คือ 000 และ 010
2. ช่วงสัญญาณความเข้มแสงสีดำในช่วงแรก จะได้ ข้อมูล คือ 010 หรือ 011
3. ช่วงสัญญาณความเข้มแสงสีขาว จะได้ ข้อมูล คือ 110 หรือ 111
4. ช่วงสัญญาณความเข้มแสงสีดำในช่วงที่สอง จะได้ ข้อมูล คือ 001

ซึ่งเมื่อพิจารณารูปที่ 4.8 – 4.10 จะเห็นได้ว่าค่าที่ได้ จากวงจรมีค่าที่ตรงกับที่คำนวณไว้ และยังสามารถแก้ปัญหาการเคลมปีงของสัญญาณได้อีกด้วย

การทดลองที่ 2 : เรื่องวงจรควบคุมการอ่าน/เขียนข้อมูล วงจรกำเนิดตำแหน่งแอดเดรส และวงจรกำเนิดสัญญาณเขียน

การทดลองที่ 2.1 : เรื่องวงจรกำเนิดตำแหน่งแอดเดรส และวงจรกำเนิดสัญญาณเขียน

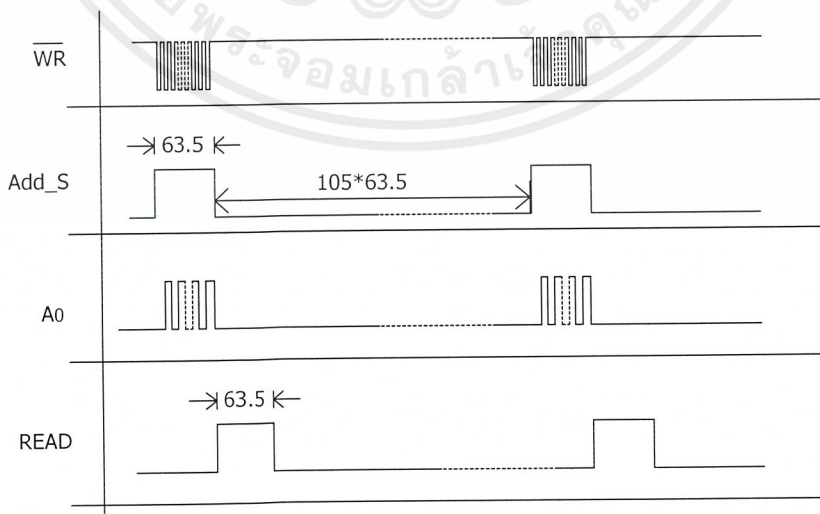
ผลที่ได้จากวงจรกำเนิดตำแหน่งแอดเดรส และวงจรกำเนิดสัญญาณเขียนเป็นดังไดอะแกรมเวลา ในรูปที่ 4.10



รูปที่ 4.11 แสดงไดอะแกรมเวลาของสัญญาณที่ได้จากวงจรกำเนิดตำแหน่งแอดเดรส และวงจรกำเนิดสัญญาณเขียน

การทดลองที่ 2.2 : เรื่องวงจรควบคุมการอ่าน/เขียนข้อมูล

ผลที่ได้จากวงจรควบคุมการอ่าน/เขียนข้อมูล เป็นดังไดอะแกรมเวลา ในรูปที่ 4.12



รูปที่ 4.12 แสดงไดอะแกรมเวลาของสัญญาณที่ได้จากวงจรควบคุมการอ่าน/เขียนข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.11 – 4.12 จะเห็นได้ว่า

- สัญญาณเขียนมีค่าเป็น 0 ทุกๆ ค่าแอดเดรสด้วยความถี่ 2 เมกะเฮิรซ์ และมีค่าเป็น 1 เมื่อยังไม่ใช้เส้นสแกนที่ต้องการเก็บข้อมูลลงหน่วยความจำ

- สัญญาณ A_0 ซึ่งเป็นค่าแอดเดรสบิตล่างสุด มีค่าเปลี่ยนเมื่อถึงเส้นสแกนที่ต้องการเก็บข้อมูลลงหน่วยความจำ นั้นแสดงว่าวงจรกำเนิดตำแหน่งแอดเดรสทำงานในช่วงที่ถูกต้อง และค่าแอดเดรสมีค่าเพิ่มขึ้นจาก 0 จนถึง 126 หรือ เมื่อสัญญาณแอดเดรสซีล็ค (Address Select : AddS) มีค่าเป็น 0 นั่นเอง

- สัญญาณ AddS มีค่าเป็น 1 เมื่อนับสัญญาณซิงค์ตามแนวนอน ถึงค่า 105 และ 210 ทำให้ได้ช่วงเวลาที่สัญญาณพัลส์ทั้งสองห่างกันเท่ากับ $105 * 63.5$ ไมโครวินาที ซึ่งมีค่ามาก ทำให้ไม่สามารถใช้ ออสซิลอสโคป (Oscilloscope) จับภาพสัญญาณออกมาได้ดีเท่าที่ควร

- สัญญาณอ่าน(Read) มีค่าเป็น 1 ถัดจากสัญญาณ AddS เสมอซึ่งเป็นไปตามที่เรากำลังต้องการ

การทดลองที่ 3 : การทดลองเก็บข้อมูลลงหน่วยความจำโดยหาตำแหน่งแถบสีขาว

การทดลองนี้เป็นการทดลองให้กล้องวิดีโอจับภาพกระดาศสีดำที่มีแถบกระดาศสีขาวติดอยู่ (เพื่อแทนภาพถนนและแถบถนน) แล้วนำสัญญาณภาพที่ได้มาผ่านวงจรที่ได้กล่าวมาทั้งหมด โดยมีเอาท์พุทคือการสว่างของหลอดไฟ LED สามดวง คือ ซ้าย กลาง และขวา ซึ่งโฟลิวชาร์ตแสดงการทำงานของโปรแกรม เป็นดังรูปที่ 4.13

การทดลองที่ 3.1 มีขั้นตอนดังต่อไปนี้

1. จัดให้กล้องวิดีโอจับภาพโดยให้แถบสีขาวอยู่กึ่งกลางเส้นสะแกนภาพ สังเกตการสว่างของ LED
2. กดปุ่มรีเซตของไมโครคอนโทรลเลอร์ แล้วลองสังเกต LED ใหม่ว่าให้ผลถูกต้องเหมือนเดิมหรือไม่
3. เลื่อนกล้องวิดีโอโดยให้จับภาพแถบสีขาวอยู่ทางด้านซ้ายของเส้นสะแกนภาพ สังเกตการสว่างของ LED
4. กดปุ่มรีเซตของไมโครคอนโทรลเลอร์ แล้วลองสังเกต LED ใหม่ว่าให้ผลถูกต้องเหมือนเดิมหรือไม่
5. เลื่อนกล้องวิดีโอโดยให้จับภาพแถบสีขาวอยู่ทางด้านขวาของเส้นสะแกนภาพ สังเกตการสว่างของ LED

6. กดปุ่มรีเซตไมโครคอนโทรลเลอร์ แล้วลองสังเกต LED ใหม่ว่าให้ผลถูกต้องเหมือนเดิมหรือไม่

ผลการทดลองที่ได้ เป็นดังนี้

ตารางที่ 4.3 ผลการทดลองที่ 3.1

ขั้นตอน	หลอดไฟ LED ที่ติด
1. ทดสอบการจับภาพเส้นสีขาวตรงกลาง	หลอดดวงกลาง
2. ทดสอบการจับภาพเส้นสีขาวตรงกลางอีกครั้ง	หลอดดวงกลาง
3. ทดสอบการจับภาพเส้นสีขาวด้านซ้าย	หลอดด้านซ้าย
4. ทดสอบการจับภาพเส้นสีขาวด้านซ้ายอีกครั้ง	หลอดด้านซ้าย
5. ทดสอบการจับภาพเส้นสีขาวด้านขวา	หลอดด้านขวา
6. ทดสอบการจับภาพเส้นสีขาวด้านขวาอีกครั้ง	หลอดด้านขวา

จากตารางที่ได้แสดงว่าข้อมูลสัญญาณภาพที่ถูกจัดเก็บลงหน่วยความจำมีความถูกต้อง

การทดลองที่ 3.2 มีขั้นตอนดังต่อไปนี้

1. จัดให้กล้องวิดีโอจับภาพโดยให้แถบสีขาวอยู่ที่กึ่งกลางเส้นสะแกนภาพ สังเกตการสว่างของ LED

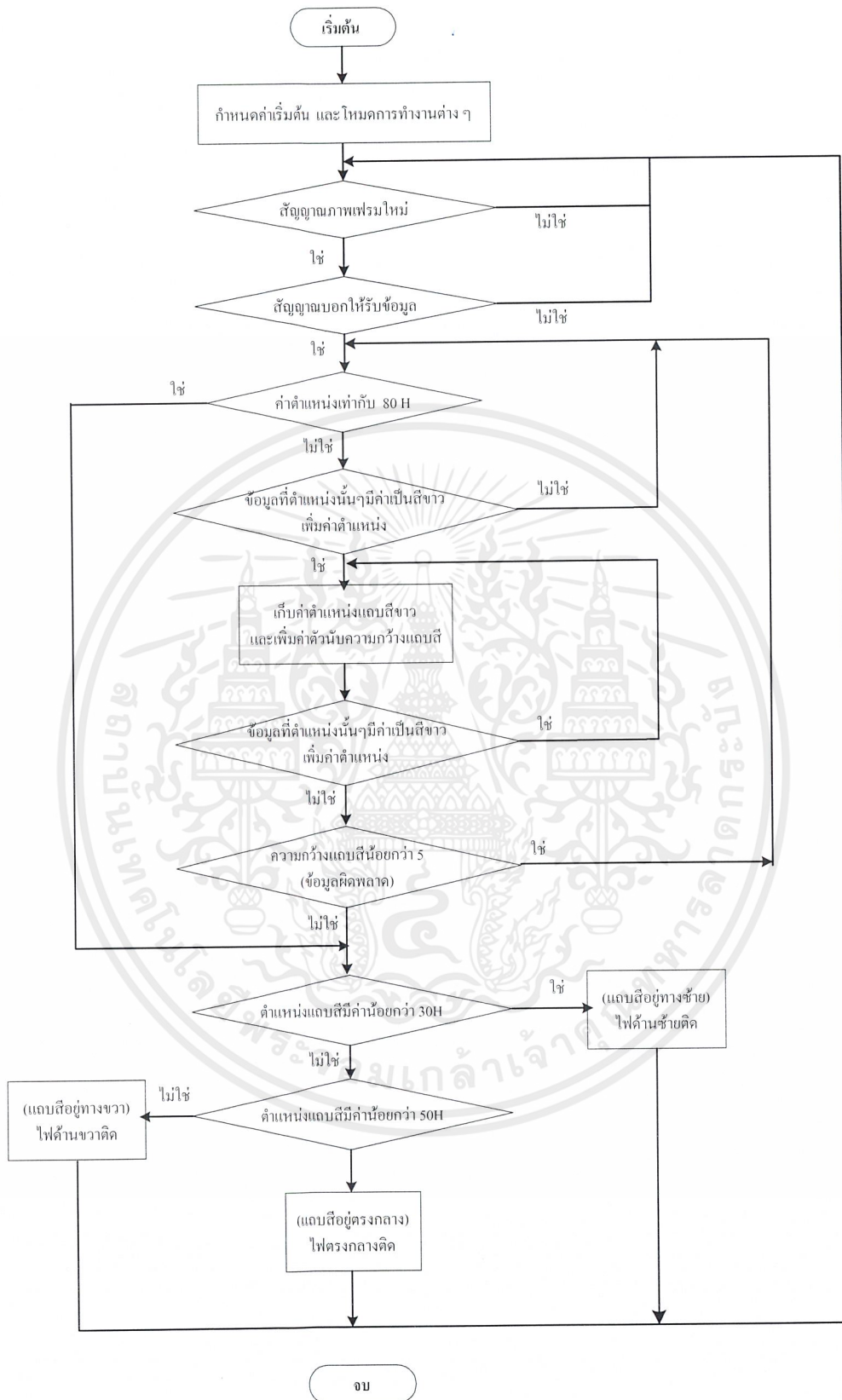
2. เลื่อนกล้องวิดีโอมาทางขวาเพื่อจับภาพแถบสีขาวอยู่ด้านซ้าย สังเกตการสว่างของ LED (โดยไม่มีกรรีเซตไมโครคอนโทรลเลอร์)

3. เลื่อนกล้องวิดีโอกลับมาทางซ้ายเพื่อจับภาพแถบสีขาวอยู่ด้านขวา สังเกตการสว่างของ LED (โดยไม่มีกรรีเซตไมโครคอนโทรลเลอร์)

ผลการทดลองที่ได้เป็นดังนี้

ขั้นตอน	หลอดไฟ LED ที่ติด
1. ทดสอบการจับภาพเส้นสีขาวตรงกลาง	หลอดดวงกลาง
2. ทดสอบการจับภาพเส้นสีขาวด้านซ้าย	หลอดด้านซ้าย
3. ทดสอบการจับภาพเส้นสีขาวด้านขวา	หลอดด้านขวา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 ไฟล์วาร์ดแสดงโปรแกรมทดสอบการหาตำแหน่งแถบสีขาว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 4 : การให้รถต้นแบบวิ่งบนถนน

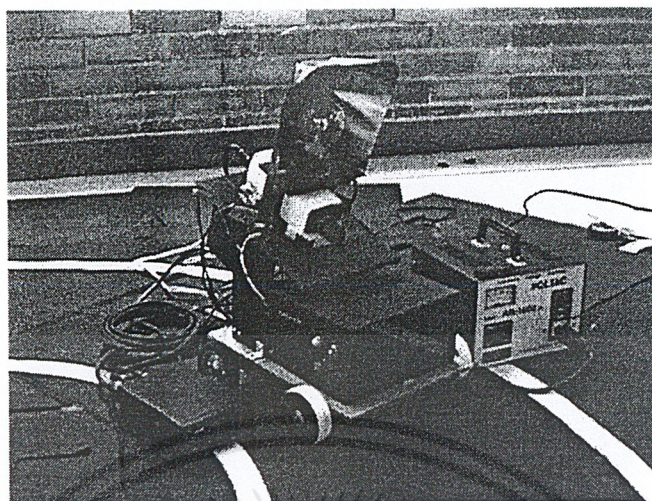
เป็นการทดลองให้รถต้นแบบวิ่งบนถนนที่สร้างขึ้นซึ่งกล่าวไว้ในส่วนของการออกแบบการประมวลผลภาพโดยไมโครคอนโทรลเลอร์ คิงโพลีชาร์ตในรูปที่ 3.7 – 3.11

การทดลองนี้เป็นการรวมวงจรทั้งหมดที่มีและโปรแกรมการประมวลผลสัญญาณภาพ 2 เส้นสะแกนในทั้งหมด 1 แฟรมภาพ โดยโปรแกรมจะทำการค้นหาตำแหน่งของแถบถนนสีขาวทั้งสองแถบ ในเส้นสะแกนแรก(เส้นที่ 82) และเส้นสะแกนที่สอง (เส้นที่ 121) เพื่อนำมาประมวลผลหาจุดกึ่งกลางถนนของแต่ละเส้น หลังจากนั้นจะทำการเปรียบเทียบตำแหน่งจุดกึ่งกลางถนนของทั้งสองเส้นสะแกนเพื่อหาค่าผลต่างและประมวลผลว่าถนนเป็นลักษณะ ตรง เลี้ยวซ้าย หรือ เลี้ยวขวา เพื่อทำการคำนวณหาตำแหน่งเวลาการเปิด – ปิด มอเตอร์

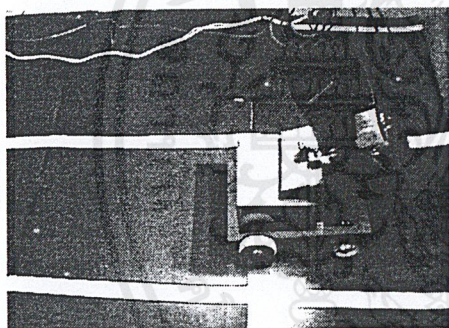
ผลที่ได้แบ่งเป็น 4 ส่วนตามลักษณะของถนน โดยการสังเกตจาก การสว่างของหลอด LED และการวิ่งของรถ ซึ่งผลที่ได้จากการทดลองจะเป็นดังนี้

		ถนนตรง ครั้งที่หนึ่ง	ถนนเลี้ยว ซ้าย	ถนนเลี้ยว ขวา	ถนนตรง ครั้งที่สอง	ไม่พบ ถนน
ผลที่ ต้องการ	การสว่างของLED	กลาง	ซ้าย	ขวา	กลาง	กลาง
	การวิ่งของรถ	ตรง	เลี้ยวซ้าย	เลี้ยวขวา	ตรง	ตรง
ผลที่ได้	การสว่างของLED	กลาง	ส่วนใหญ่ ซ้าย	ส่วนใหญ่ ขวา	กะพริบ สามดวง	กลาง
	การวิ่งของรถ	ตรง	ซ้าย และ สั้นเล็กน้อย	ขวา และ สั้นเล็กน้อย	ค่อนข้าง ตรง	ตรง

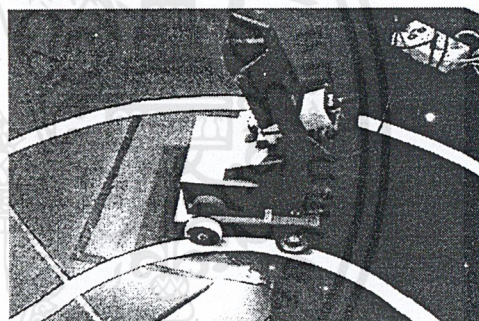
จากผลที่ได้จะเห็นได้ว่าการวิ่งของรถค่อนข้างที่จะถูกต้อง เมื่อพิจารณาโดยรวมของส่วนต่าง ๆ ของถนน และการวิ่งของรถมีอาการสั้นเล็กน้อยและในการเลี้ยวบางครั้งรถมีการวิ่งเกินเลนถนนบ้าง ดังแสดงในรูปที่ 4.15



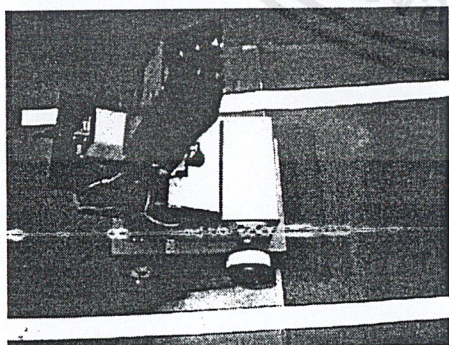
รูปที่ 4.14 รถคันแบบและอุปกรณ์ต่าง ๆ ที่ใช้ในการทดลอง



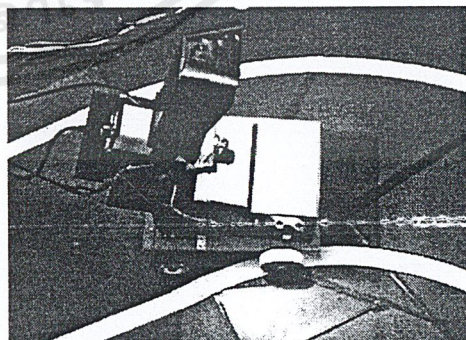
(ก) เมื่อรถวิ่งไปตรงก่อนการเลี้ยวซ้าย



(ข) ขณะที่รถกำลังเลี้ยวซ้าย



(ค) เมื่อรถวิ่งไปตรงก่อนการเลี้ยวขวา



(ง) ขณะที่รถกำลังเลี้ยวขวา

รูปที่ 4.15 แสดงผลการทดลองให้รถเลี้ยว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปและวิจารณ์ผลการทดลอง

จากการทดลองที่ 1 ในส่วนของวงจรแปลงสัญญาณข้อมูลแบบที่ 1 ให้ผลที่ค่อนข้างใกล้เคียงกับทฤษฎีที่คำนวณไว้ แต่เนื่องจากการเคลมปีของสัญญาณวิดีโอ ซึ่งมีผลต่อการตัดสินใจในการแยกข้อมูลระหว่างสีขาวและสีดำ จึงทำให้มีการปรับปรุงวงจรเป็นวงจรแปลงสัญญาณข้อมูลแบบที่ 2 ที่มีส่วนชดเชยการเคลมปีของสัญญาณวิดีโอเพิ่มขึ้นในส่วนวงจรขยายแรงดัน และตัวความต้านทานปรับค่าได้ในส่วนของวงจรเปรียบเทียบสัญญาณ เพื่อปรับค่าแรงดันอ้างอิงของวงจรให้ได้ข้อมูลที่ดีขึ้น ซึ่งจากการทดลองก็ได้ผลเป็นที่น่าพอใจ แต่อย่างไรก็ตาม ทั้ง 2 วงจร ก็ยังคงมีปัญหาอันเนื่องมาจากความสว่างไม่เพียงพอและการกะพริบของแสงไฟจากหลอดฟลูออเรสเซนต์

จากการทดลองที่ 2 สัญญาณ Adds และสัญญาณอ่านจากวงจรควบคุมการอ่าน/เขียน ที่จะนำไปใช้ในการควบคุมการทำงานของวงจรทั้งหมด มีลักษณะที่เป็นไปตามที่ออกแบบไว้ และเมื่อนำไปเปรียบเทียบกับสัญญาณที่ได้จากวงจรกำเนิดตำแหน่งแอดเดรส ซึ่งจะต้องทำงานสัมพันธ์สอดคล้องกับสัญญาณ Adds ก็จะได้เห็นว่าตำแหน่งแอดเดรสทั้งหมด มีค่าเพิ่มขึ้นจาก 0 ถึง 127 ถูกต้องตามความต้องการ ส่วนสัญญาณเขียนที่ได้จากวงจรกำเนิดสัญญาณเขียน เมื่อเปรียบเทียบกับสัญญาณ A_0 จากวงจรกำเนิดตำแหน่งแอดเดรส แม้ว่าสัญญาณเขียนที่ได้จริง จะมีลักษณะไม่เรียบนัก (ดังรูปที่ 4.11) แต่ก็มีลักษณะค่อนข้างใกล้เคียง และสามารถนำไปใช้เป็นสัญญาณเขียนให้กับหน่วยความจำภายนอกได้

จากการทดลองที่ 3 เรื่องการทดลองเก็บข้อมูลลงหน่วยความจำ โดยหาตำแหน่งแถบสีขาว ทำให้ทราบว่า การเก็บข้อมูลสัญญาณภาพวิดีโอลงหน่วยความจำภายนอกและโปรแกรมการประมวลผลข้อมูลโดยไมโครคอนโทรลเลอร์เมื่อยังไม่เปิดหลอดไฟเผาไส้ นั้น ได้ผลที่ไม่ถูกต้องนัก แต่เมื่อเปิดหลอดไฟเผาไส้แล้ว ทำให้ผลที่ได้ถูกต้อง แสดงว่าเราสามารถแก้ปัญหาแสงสว่างไม่เพียงพอ และการกะพริบของหลอดฟลูออเรสเซนต์ได้ โดยการติดหลอดไฟเผาไส้สำหรับส่องทางไว้บนรถ

จากการทดลองที่ 4 เมื่อทำการทดลองให้รถวิ่งบนถนนจริง หลังจากการทดลองหลายครั้ง และได้ทำการวิเคราะห์พบว่า ล้อหน้าของรถมีความฝืดมาก ทำให้เกิดแรงเสียดทานสูงจนรถไม่สามารถเลี้ยวได้ จึงต้องทำการติดแผ่นสติ๊กเกอร์เพื่อลดแรงเสียดทานระหว่างล้อหน้าและถนน รถจึงสามารถเลี้ยวได้ นอกจากนี้ยังต้องทำการทดลองปรับแต่งอัตราขยายของช่วงเวลาเปิด-ปิดในการกำบังมอเตอร์ในการเลี้ยว จนกระทั่งรถสามารถเลี้ยวได้ดีขึ้น

ปัญหาและแนวทางการแก้ไข

จากการทดลองและผลที่ได้รับทำให้ทราบปัญหาของรถต้นแบบ และแนวทางปรับปรุงเพื่อเพิ่มประสิทธิภาพในการนำไปใช้ต่อไป

ปัญหาที่หนึ่ง ในการใช้ประโยชน์จากสัญญาณภาพจากกล้องวิดีโอสิ่งที่ต้องคำนึงถึงเป็นพื้นฐานนอกจากลักษณะของสัญญาณภาพ คือ สัญญาณที่ได้นั้นเป็นสัญญาณที่เกิดจากความเข้มของแสงที่สะท้อนจากวัตถุนั้นๆ ซึ่งทำให้สัญญาณที่ได้จากการจับภาพวัตถุเดียวกันในสภาพแสงที่ไม่เหมือนกันนั้นต่างกัน จึงควรควบคุมสภาพแสงให้มีประสิทธิภาพในโครงการนี้จึงมีหลอดไฟใส่ในการช่วยเพิ่มแสงสว่างและจัดปัญหาการกะพริบของแสงไฟจากหลอดฟลูออเรสเซนต์

ปัญหาที่สอง สัญญาณภาพที่ได้จากกล้องวิดีโอเป็นสัญญาณที่ต้องการอุปกรณ์ที่พิเศษ หรือมีความเร็วในการตอบสนองสูง และเนื่องจากมีสัญญาณรบกวนมากจึงต้องการวงจรกรองสัญญาณรบกวนอีกด้วย โดยอาจใช้ตัวเก็บประจุแบบแทนทาลัมต่อคร่อมอุปกรณ์บางตัว

ปัญหาที่สาม ลักษณะของรถและการติดตั้งกล้องมีผลต่อภาพและการควบคุมดังนั้นในการพัฒนาต่อไปจึงควรคำนึงถึงการออกแบบและลักษณะของภาพที่ต้องการเพื่อสามารถหาตำแหน่งและมุมของกล้องได้อย่างมีประสิทธิภาพ

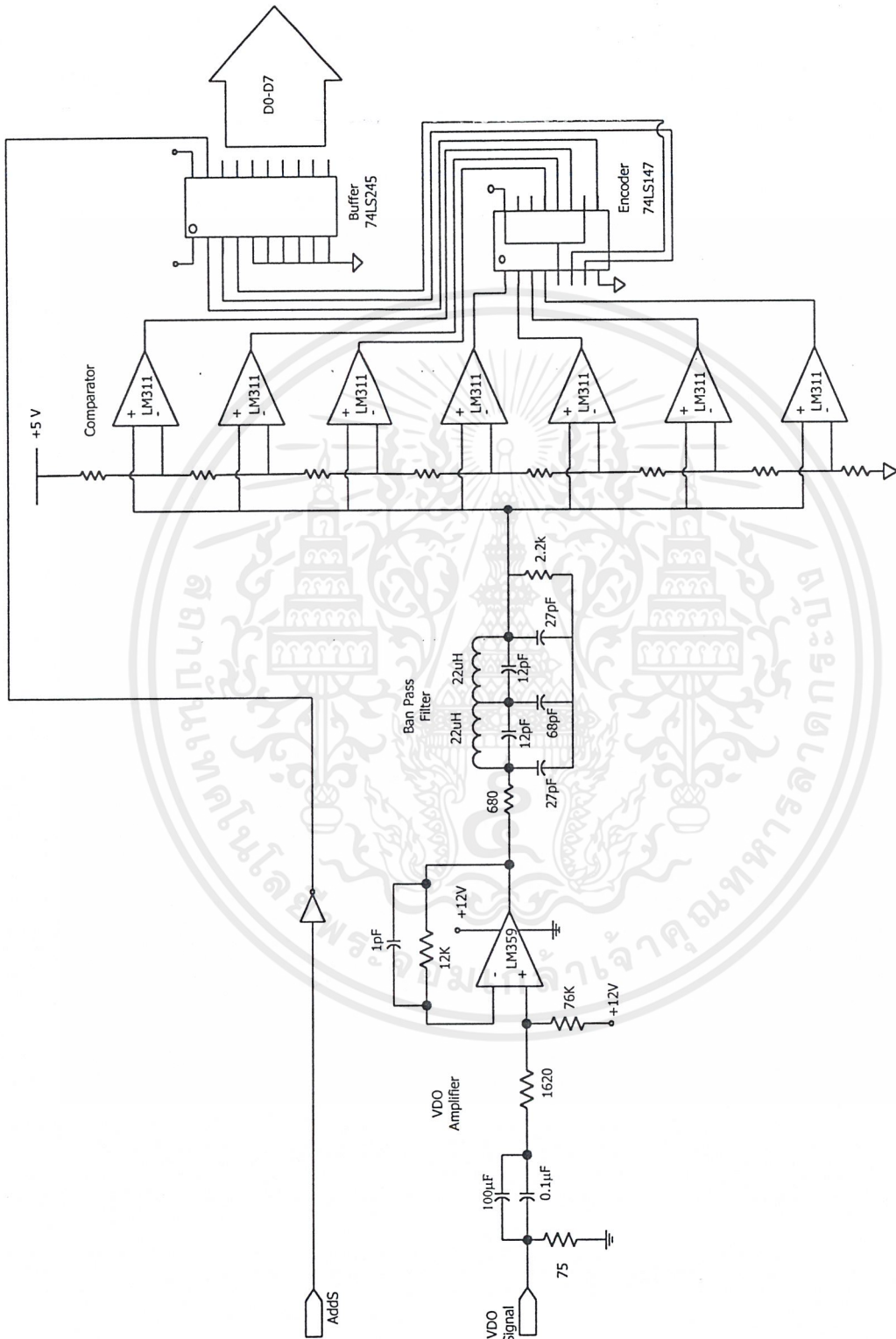
ปัญหาที่สี่ ข้อจำกัดของกล้องวิดีโอและอุปกรณ์ต่างๆ เนื่องจากปัญหาด้านงบประมาณทำให้ในโครงการนี้ไม่ได้เลือกซื้อกล้องวิดีโอใหม่ที่มีคุณสมบัติที่เหมาะสมนัก ซึ่งตัวกล้องมีขนาดใหญ่ และต้องใช้อุปกรณ์แปลงสัญญาณเชื่อมต่อ (Junction Box) ทำให้มีอุปกรณ์ต่างๆติดตั้งอยู่บนตัวรถมากเกินไป อีกทั้งไม่สามารถปรับความกว้างของสัญญาณภาพที่กล้องวิดีโอตรวจจับได้ จึงได้ภาพที่แคบมาก จนในบางภาพ ไม่สามารถมองเห็นแถบถนนพร้อมกันทั้งสองด้านได้ การแก้ปัญหาจึงอาจทำได้โดยการเขียนโปรแกรมแก้ปัญหาในกรณีที่มีมองเห็นแถบถนนไม่พร้อมกัน หรือพร้อมกันในกรณีต่างๆ หรือติดตั้งเลนส์หรือกระจกนูนเพื่อเพิ่มความกว้างของภาพให้มากขึ้น ส่วนปัญหาที่อุปกรณ์อยู่บนตัวรถมากเกินไปนั้น อาจแก้ไขได้โดยใช้กล้องวิดีโอซึ่งส่งสัญญาณเป็นคลื่นวิทยุแล้วประมวลผลสัญญาณภาพด้วยเครื่องคอมพิวเตอร์ จากนั้นจึงส่งสัญญาณวิทยุไปควบคุมมอเตอร์ต่อไป

ปัญหาที่ห้า โครงการนี้เป็นเพียงรถต้นแบบที่ใช้วิ่งบนถนนที่ไม่มีสิ่งกีดขวางจึงต้องการการพัฒนาเพิ่มเติมทั้งด้านการเก็บสัญญาณภาพให้มีความละเอียดเพิ่มขึ้นและด้าน โปรแกรมการตรวจจับและหลบหลีกสิ่งกีดขวางเพิ่มเติม



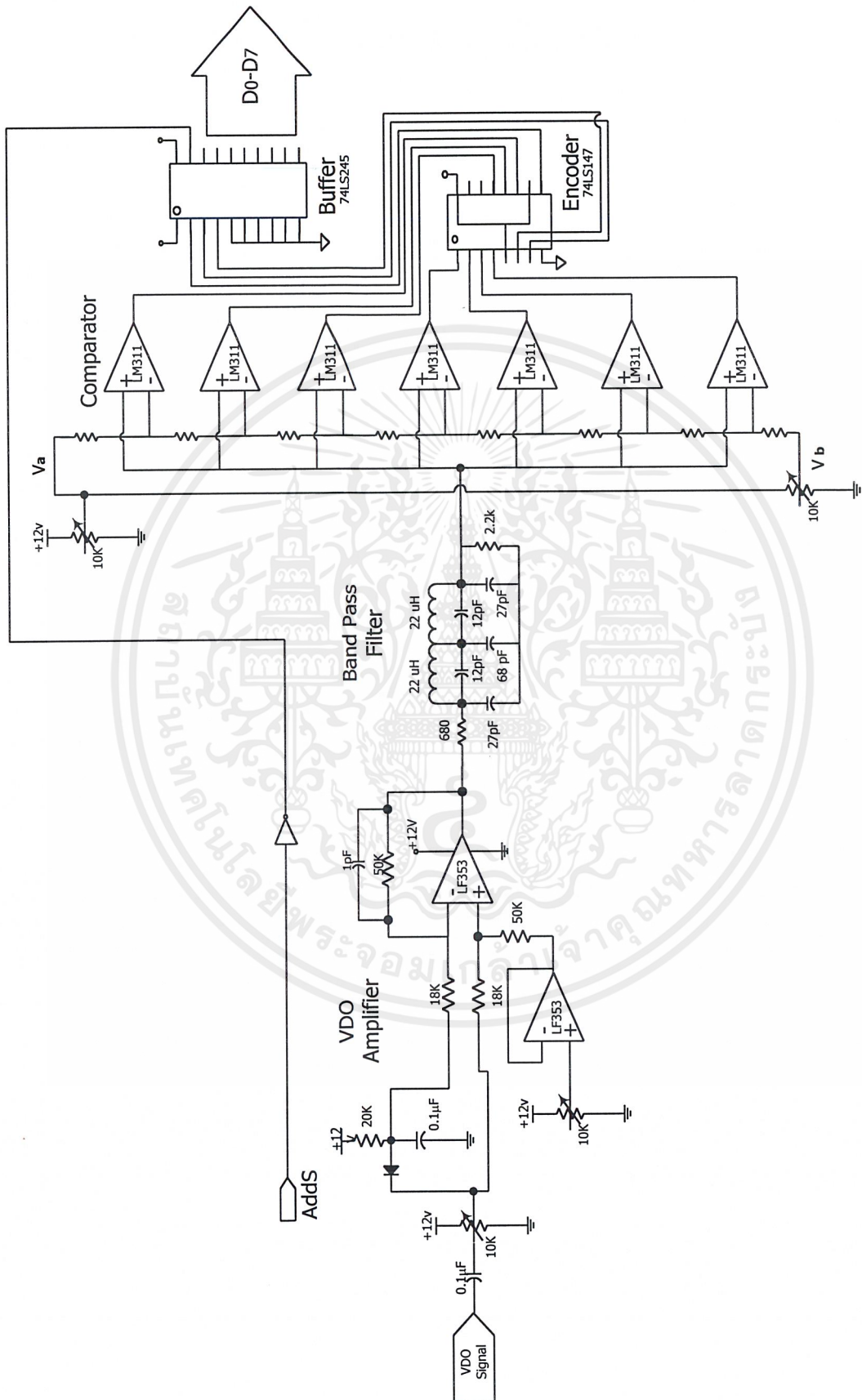
ภาคผนวก ก
รูปแสดงวงจรถ่าง ๆ ที่ใช้ในโครงการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



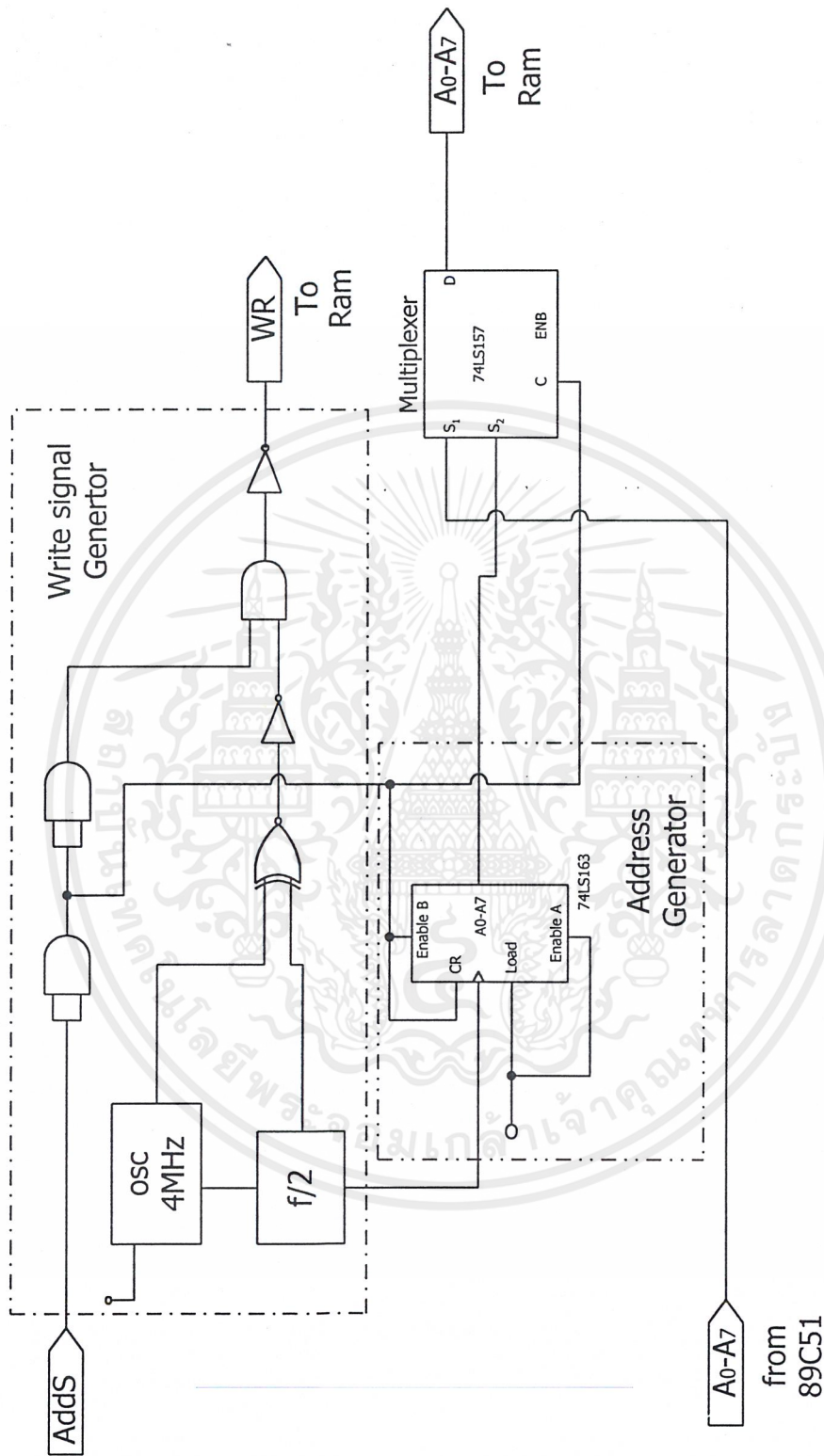
วงจรแปลงสัญญาณข้อมูลและบีฟเฟอร์แบบที่ 1 (ก่อนปรับปรุง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



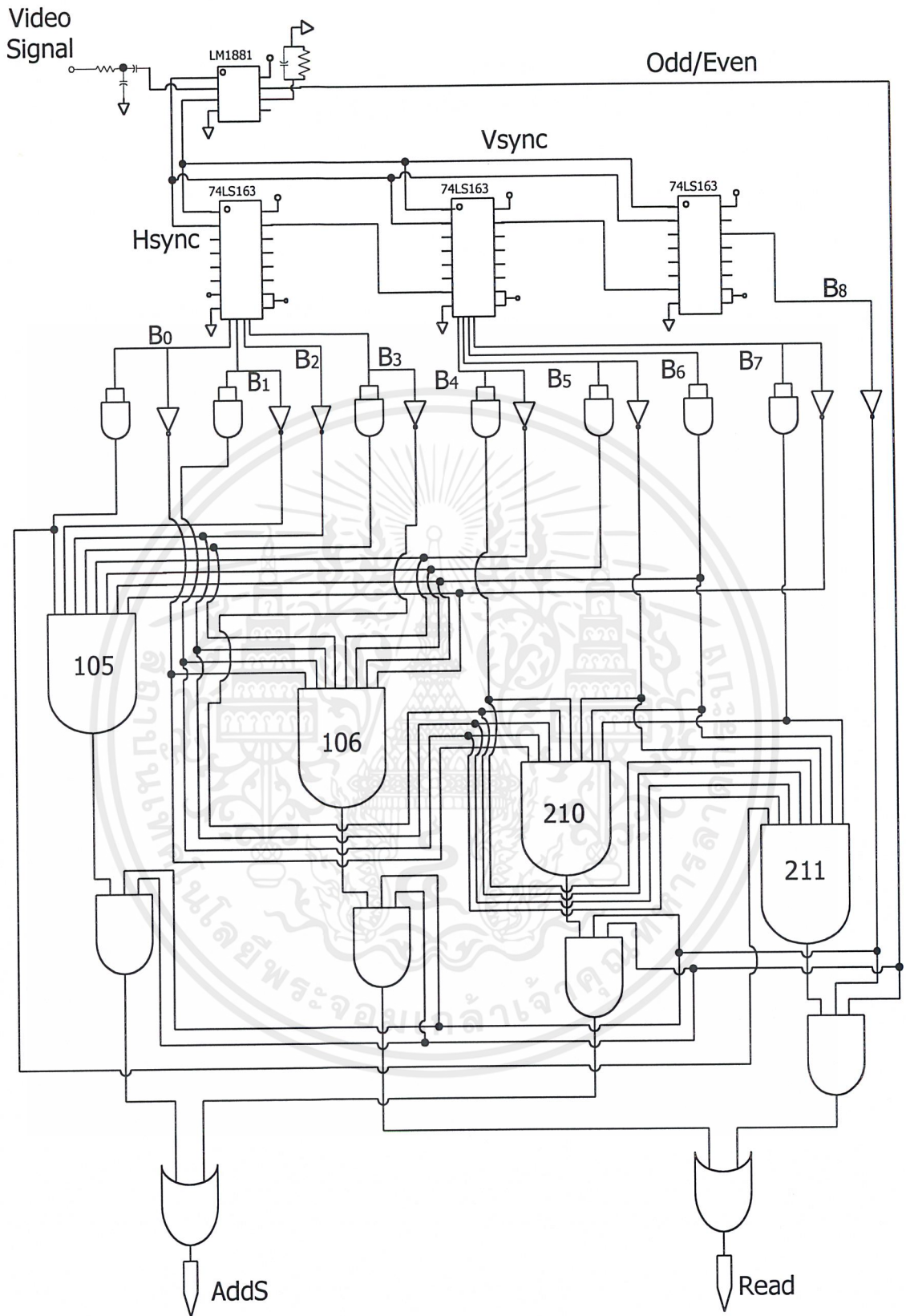
วงจรแปลงสัญญาณข้อมูลและบัพเฟอร์แบบที่ 2 (หลังปรับรู้ง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรกำเนิดตำแหน่งแอดเดรส และวงจรถักกำเนิดสัญญาณเขียนข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรควบคุมสัญญาณอ่าน/เขียน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ข

โปรแกรมในการควบคุมการเคลื่อนที่ของรถ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

MOV          R0, #40H

TERMINAL:   CLR          C
            MOV          R1, #00H
            MOV          A, #76H           ; Check the end of line
            SUBB         A, R0
            JC          FIND_CENTER

CHECK_B_R:  CLR          C
            MOVX         A, @R0
            SUBB         A, #B_OR_W
            INC          R0
            JC          TERMINAL         ; Black=>back to check

CHECK_W_R:  MOV          TAB_R, R0
            INC          R1
            MOVX         A, @R0
            SUBB         A, #B_OR_W
            INC          R0
            JNC         CHECK_W_R
            CLR          C

            MOV          A, #03H
            SUBB         A, R1           ; TAB WIDTH
            JC          FIND_CENTER

;
;
;
;
;
;
;
;
;
;
            MOV          R2
            CLR          C
            MOV          A, R2
            SUBB         A, #02H       ; Accept error
            JC          READ_2
            MOV          R1, #00H
            MOV          R2, #00H
            MOV          TAB_L, #0FFH

            JMP          TERMINAL

FIND_CENTER: CLR          C
            MOV          A, TAB_L
            CJNE         A, #0FFH, CHK_R
            MOV          A, TAB_R
            CJNE         A, #0FFH, ONLY_R
            JMP          BACK

ONLY_R:     MOV          A, TAB_R
            SUBB         A, #40H       ; 40H=64D
            MOV          CENTER, A
            JMP          BACK

CHK_R:      MOV          A, TAB_R
            CJNE         A, #0FFH, FIND
            MOV          A, TAB_L
            ADD          A, #40H
            MOV          CENTER, A
            JMP          BACK

FIND:       MOV          A, TAB_R
            SUBB         A, TAB_L
            MOV          B, #02H
            DIV          AB
            ADD          A, TAB_L
            MOV          CENTER, A

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 BACK: RET
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

;***** DELAY_OFFSET PROCEDURE *****
DELAY_OFFSET:  MOV    R7,#4DH          ; Delay_offset procedure
DELAY2:        MOV    R6,#4DH          ; 4DH = 77D
DELAY1:        DJNZ   R6,DELAY1
                DJNZ   R7,DELAY2       ; Delay = 12092

                RET

;***** MAIN PROGRAM *****
MAIN:          ERROR  EQU    30H
                TAB_L  EQU    31H
                TAB_R  EQU    32H
                TARGET EQU    33H
                NOW    EQU    34H
                CENTER EQU    35H
                TEMP   EQU    36H

                GAIN   EQU    300D      ; Gain of P-controller= 6AH=
                B_OR_W EQU    110B      ; white is > 110B,another is

                MOV    IE,#00H         ; Disable all interupt
                MOV    TMOD,#11H       ; Timer model
                MOV    P0,#0FFH
                MOV    P1,#10111100B   ; Set P1.7:I/P of V-Sync,P1.2
                MOV    P2,#00H
                MOV    P3,#00000100B   ; Set P3.2:I/P of Switch off

INITIAL:       MOV    CENTER,#40H      ; middle of lane
                MOV    NOW,#40H        ; Init reterence point

START:         SETB   P1.3
                SETB   P1.4
                SETB   P1.5
                MOV    PSW,#00H         ; Clr PSW
                MOV    TCON,#00H       ; Clr TCON
                JNB   P3.2,TO_FINISH   ; INTO to finish

                JB    P1.7,$            ; Wait for the new frame
                JB    P1.2,$            ; Wait for the Rd signal
                CALL  READ
                MOV    TARGET,CENTER
                MOV    A,TARGET
                SUBB   A,NOW             ; ERROR=TARGET-NOW
                MOV    ERROR,A
                JC    TURN_L
                CJNE  A,#00H,TURN_R

STRAIGHT:      CLR    P1.4             ; LED of straight
                SETB  P1.0             ; on Motor_R
                SETB  P1.1             ; on Motor_L
                CALL  DELAY_OFFSET
                CLR   P1.0             ; off Motor_R
                CLR   P1.1             ; off Motor_L
                LJMP  START

TURN_L:        CLR    C
                CPL   A
                INC   A
                MOV   ERROR,A
                MOV   A,#10H           ; 20H=32D
                SUBB  A,ERROR          ; If Error>20H => Error=20H

```

```

LEFT:
JNC     LEFT
CLR     C
MOV     ERROR,#10H
MOV     B,#GAIN
MOV     A,ERROR
MUL     AB
CPL     A
ADD     A,#01H
MOV     TL0,A
MOV     A,B
CPL     A
ADDC    A,#00H
MOV     TH0,A
CLR     P1.5           ; LED of Turn Left
SETB    P1.0           ; on Motor_R
SETB    P1.1           ; on Motor_L
CALL    DELAY_OFFSET
CLR     P1.1           ; off Motor_L
SETB    TR0
JNB     TF0,$          ; Delay ON Motor_R
CLR     P1.0           ; off Motor_R
CLR     TF0
CLR     TR0
LJMP    START


TO_FINISH:    JMP     FINISH

TURN_R:
MOV     A,#10H           ; 20H=32D
SUBB    A,ERROR          ; If Error>20H => Error=20H
JNC     RIGHT
CLR     C
MOV     ERROR,#10H
MOV     B,#GAIN
MOV     A,ERROR
MUL     AB
CPL     A
ADD     A,#01H
MOV     TL0,A
MOV     A,B
CPL     A
ADDC    A,#00H
MOV     TH0,A
CLR     P1.3           ; LED of Turn Right
SETB    P1.0           ; on Motor_R
SETB    P1.1           ; on Motor_L
CALL    DELAY_OFFSET
CLR     P1.0           ; off Motor_R
SETB    TR0
JNB     TF0,$          ; Delay ON Motor_L
CLR     P1.1           ; off Motor_L
CLR     TF0
CLR     TR0
LJMP    START

;*****
FINISH:    END

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



โปรแกรมในการทดสอบการเก็บข้อมูลลงหน่วยความจำ
โดยการตรวจสอบแถบสีขาว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

;##### AUTOMATIC LANE DETECTION CAR USING CCD #####
;##### WHITE TAB TEST PROGRAM #####

```

```

;***** P1.0 Control Right Motor *****
;***** P1.1 Control Left Motor *****
;***** P1.2 = Rd Signal *****
;***** P1.3 = Right Display *****
;***** P1.4 = Straight Display *****
;***** P1.5 = Left Display *****
;***** P1.7 = V_sync Signal *****

```

```

ORG 0000H

```

```

MAIN:

```

```

ERROR EQU 30H
TAB EQU 31H

```

```

B_OR_W EQU 110B ; white is > 110B,another is B

```

```

MOV IE,#00H ; Disable all interupt
MOV P3,#00000100B ; Set P3.2:I/P of Switch off (
MOV P1,#10111100B ; Set P1.7:I/P of V-Sync,P1.2:
MOV P0,#0FFH
MOV P2,#00H

```

```

INITIAL:

```

```

MOV PSW,#00H ; Clr PSW
JNB P3.2,FINISH ; INTO to finish
JB P1.7,$ ; Wait for the new frame
JB P1.2,$ ; Wait for the Rd signal

```

```

READ:

```

```

SETB P1.3
SETB P1.4
SETB P1.5

```

```

MOV R0,#0AH
MOV TAB,#0FFH

```

```

READ_2:

```

```

CLR C
MOV R1,#00H
MOV A,#76H ; Check end of line
SUBB A,R0
JC NEXT

```

```

CHECK_B:

```

```

CLR C
MOVX A,@R0
SUBB A,#B_OR_W ; 110-DATA
INC R0
JC READ_2 ; DATA<110 = Black=>back to ch

```

```

CHECK_W:

```

```

MOV TAB,R0
INC R1
MOVX A,@R0
SUBB A,#B_OR_W
INC R0
JNC CHECK_W ; DATA>=110 =White
CLR C

```

```

MOV A,#04H
SUBB A,R1 ; TAB WIDTH
JC NEXT

```

```

; INC R2
; CLR C

```

```

;เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
; SUBB A,#02H ; Accept error

```

```

;ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

```

;          JC          READ_2
;          MOV         R1, #00H
;          MOV         R2, #00H
;          MOV         TAB, #0FFH

          JMP         READ_2

NEXT:      MOV         A, TAB
          CJNE        A, #0FFH, NEXT2
          CLR         P1.3
          CLR         P1.4
          CLR         P1.5
          JMP         INITIAL

NEXT2:     CLR         C
          MOV         A, TAB
          SUBB        A, #40H
          JC          LEFT          ; TAB<40H =>LEFT

          MOV         A, TAB
          SUBB        A, #50H
          JC          STRAIGHT      ; 40H<TAB<50H =>STRAIGHT

RIGHT:     CLR         P1.3          ; TAB>50H
          LJMP        INITIAL

STRAIGHT: CLR         P1.4          ; LED of straight
          LJMP        INITIAL

LEFT:      CLR         P1.5
          LJMP        INITIAL

;*****
FINISH:    END

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SECTION 1 OPERATION

1-1. FEATURES

The XC-711 (NTSC model)/XC-711P (PAL model) is a color video camera module, which uses a CCD (Charge Coupled Device) for the pick up device. With application of a CCD, the camera produces an image with little geometric distortion and has high resistance to vibration and mechanical shocks. These features, together with compact size and light weight, make the XC-711/XC-711P suitable for application in a monitoring or surveillance system, or as an input device in an image processing system.

High resolution and natural color

The camera module can produce a high-quality, fine image having a large number of picture elements : 768 × 493 (XC-711)/756 × 581 (XC-711P). The CCD has filters for the three primary colors (RGB), which allow the camera to achieve a high-fidelity color reproduction.

RGB output

In addition to a composite video signal output, the camera module has an RGB signal output, which can be used for connection with an RGB monitor or an image processing device such as a TARGA board.

Adaptability to diversified signal processing

Gain control can be internally set to the AGC (Automatic Gain Control) or Fixed, the γ (gamma) compensation can be set to ON or OFF, and the white balance can be adjusted automatically or manually. The integration mode of the electrical charge can be internally changed from the frame integration to the field integration. This enables the non-interlace mode sensitivity to be elevated to the level equivalent to the sensitivity of the interlace mode even when entering signals into the external sync input for the setting of the non-interlace mode.

Three types of external sync signals

Synchronization with other cameras is possible by entering the three types of signals from the external sync signal generator. The frequency lock range is set as wide as $\pm 1\%$ of the horizontal frequency.

HD and VD Signals: The unit automatically identifies by the HD (Horizontal Drive) or VD (Vertical Drive) signal whether it is the interlace or non-interlace type and applies the external synchronization in accordance with the identified synchronization type.

S/VS/VBS Signal: The unit is synchronized with the S (composite Sync) signal, VS (Video/composite Sync) signal, or VBS (Video/Burst/composite Sync) signal. (The sync system, whether by HD and VD signals or S/VS/VBS signal, is automatically selected accordingly.)

Internal sync signal output

Internally generated clock signal, HD and VD signals can be output to synchronize connected equipment with this camera module. (This function is activated by modifying the circuit connections inside the camera.)

Electronic shutter

The camera module has an electronic shutter. The shutter speed can be set to 1/60, 1/120, 1/250, 1/500, 1/1000, 1/2000, 1/4000, or 1/10000 seconds. In addition, the shutter can be set to the flickerless mode (1/100 or 1/120 seconds) to avoid the flickering image caused by the lighting with fluorescent lamps.

Usable with an auto iris lens

The lens mount is a standard C mount. Beside the VCL-16Y-M standard lens (manual iris), the VCL-08Y/VCL-16Y auto iris lens is usable for the camera module.

Solid body

The body consists of aluminum die cast and steel panel. On the bottom are 2 screw holes (reference holes) which can be used to keep deviation of the optical axis at a minimum.

Long life and high stability

Precise image geometry

Low lag and little image sticking

High resistance to vibration and mechanical shock

Quick start-up

Shooting in a strong magnetic field

Low power consumption (5.5 W)

When the GAIN mode is set to AUTO or FIX-6dB for shooting an object with overall high brightness, flicker might occur in the picture. In this case, reset the GAIN mode to FIX 0dB, FIX+6dB or FIX+12dB before continuing operation.

1-2. COMPOSITION

The CCD camera module system consists of the XC-711/711P and other optional products as shown below.

XC-711/711P
CCD camera module



PC-XC12 12-pin connector



CCXC-9DB camera cable



VCL-16Y-M standard lens

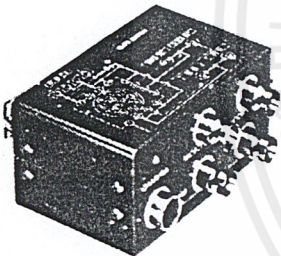


PC-XC04 4-pin connector

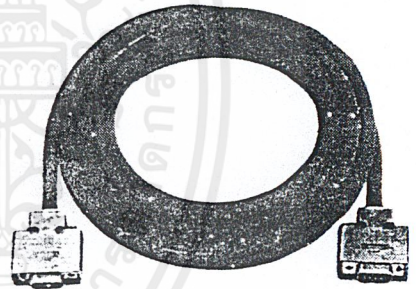


Camera cables
CCXC-12P02 (2m)
CCXC-12P05 (5m)
CCXC-12P10 (10m)
CCXC-12P25 (25m)

JB-77 junction box



CCXC-9DD camera cable



XC-711/711P CCD camera module

VCL-16Y-M standard lens

This is a standard lens of $f = 16$ mm, F1.4. The iris and focus are adjusted manually.

JB-77 junction box

This is attached to the camera module using the CCXC-12P02/12P05/12P10/12P25 camera cable and will supply power, transmit video signals, and exchange external sync signals.

PC-XC12 12-pin connector

This connector is prepared for system set up, and used to connect to the DC IN/VBS connector of the camera module.

PC-XC04 4-pin connector

This is used to attach the lens cord of the auto iris lens to the LENS connector on the camera module.

CCXC-12P02 (2m), 12P05 (5m), 12P10 (10m) and 12P25 (25m) camera cables

These cables can be attached to the 12-pin DC IN/VBS connector on the rear of the camera module to supply power, transmit video signals and exchange sync signals.

CCXC-9DD camera cable (DSUB-DSUB)

CCXC-9DB camera cable (DSUB-BNC)

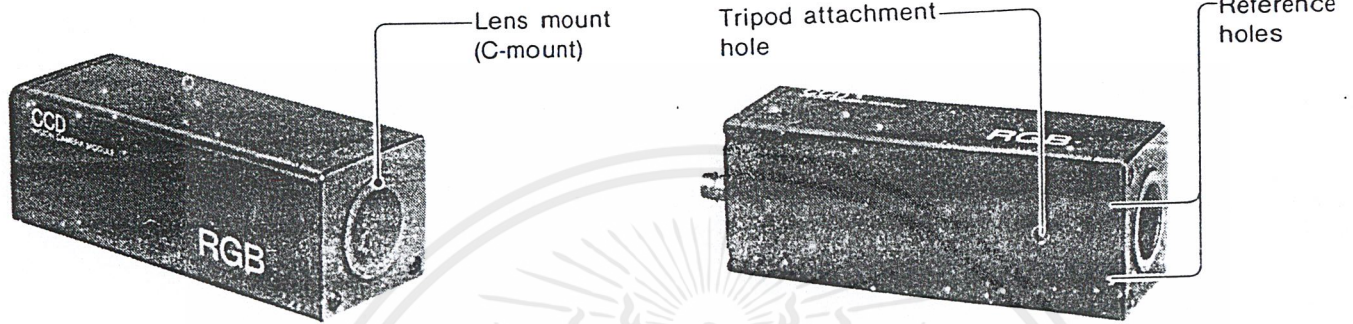
Either of these cables can be attached to the 9-pin RGB/SYNC/YC connector on the rear of the camera module to transmit RGB, sync, and VBS (or Y/C) signals to an image processor, RGB monitor or other equipment which has RGB input connectors. For equipment having a DSUB 9-pin input connector, use the CCXC-9DD cable. For equipment having BNC-type input connectors, use the CCXC-9DB cable.

1.3. PARTS LOCATION, FUNCTION AND OPERATION

1-3-1. XC-711/711P CCD Camera Module

Front

Bottom

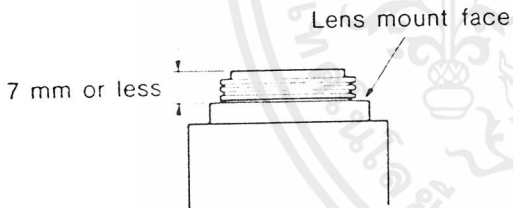


Lens mount (C-mount)

Attach a C-mount lens, such as the VCL-16Y-M standard lens, or a piece of other optical equipment.

NOTE

Projection of the lens or other piece of optical equipment must be 7 mm or less from the lens mount face.



Reference holes

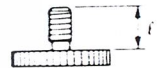
These are screw holes cut with high precision to affix the camera module. Affixing the module according to these reference holes keeps deviation of the optical axis at a minimum.

For details on dimensions, refer to the section 2 or later.

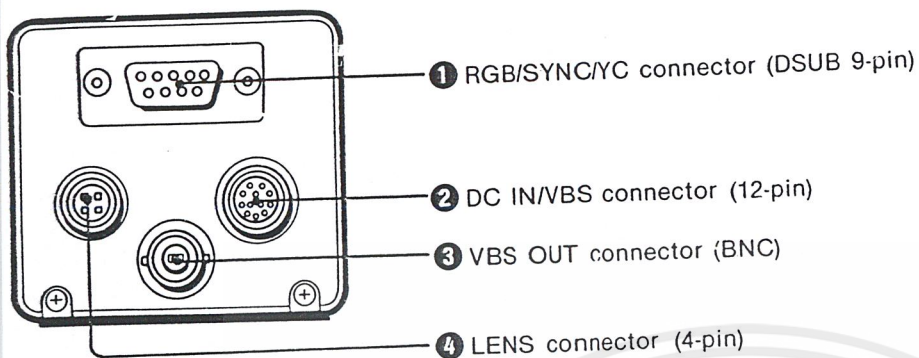
Tripod attachment hole

This hole (U1/4"-20 UNC) is used to attach the camera module to a tripod.

The screws to be used for attachment must be in accordance with the following specifications.
ISO standard: $l = 4.5 \text{ mm} \pm 0.2 \text{ mm}$
ASA standard: $l = 0.197 \text{ inches}$



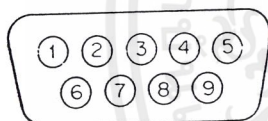
Rear



1 RGB/SYNC/YC connector (DSUB 9-pin)

The RGB, sync, and VBS (or Y/C) signals are output from this connector. Connect to an RGB monitor or an image processor using a CCXC-9DD (DSUB-DSUB) or CCXC-9DB (DSUB-BNC) cable.

The pin assignment of this connector is shown in the chart below.



Pin No.	Sync mode	
	Internal	External
1	Ground	Ground
2	Ground	Ground
3	R output	R output
4*	G output	G output
5	B output	B output
6**	VBS output ¹⁾	Y output (NTSC) ¹⁾ VBS output (PAL) ¹⁾
7***	Sync output	Sync output
8	Ground	Ground
9****	Ground	Ground

1). Signals output when γ compensation is on. When γ compensation is off, Y_L signal is output.

The pin settings can be changed as follows by modifying connections of the circuits inside the camera.

- * The sync signal can be added to the G signal output from pin 4.
- ** The output from pin 6 can be set to the Y signal in all modes except when γ compensation is off. (When γ compensation is off, Y_L signal is output.)
- *** The level of the sync signal output from pin 7 can be changed from 0.3 Vp-p (factory setting) to 2.0 Vp-p.
- **** The output from pin 9 can be set to the chroma signal in the γ :on and internal sync mode. (For the XC-711P, this is effective in the external sync mode, too.)

SECTION 2

COMPREHENSIVE SPECIFICATIONS

2-1. SPECIFICATIONS

<CAMERA MODULE XC-711P>

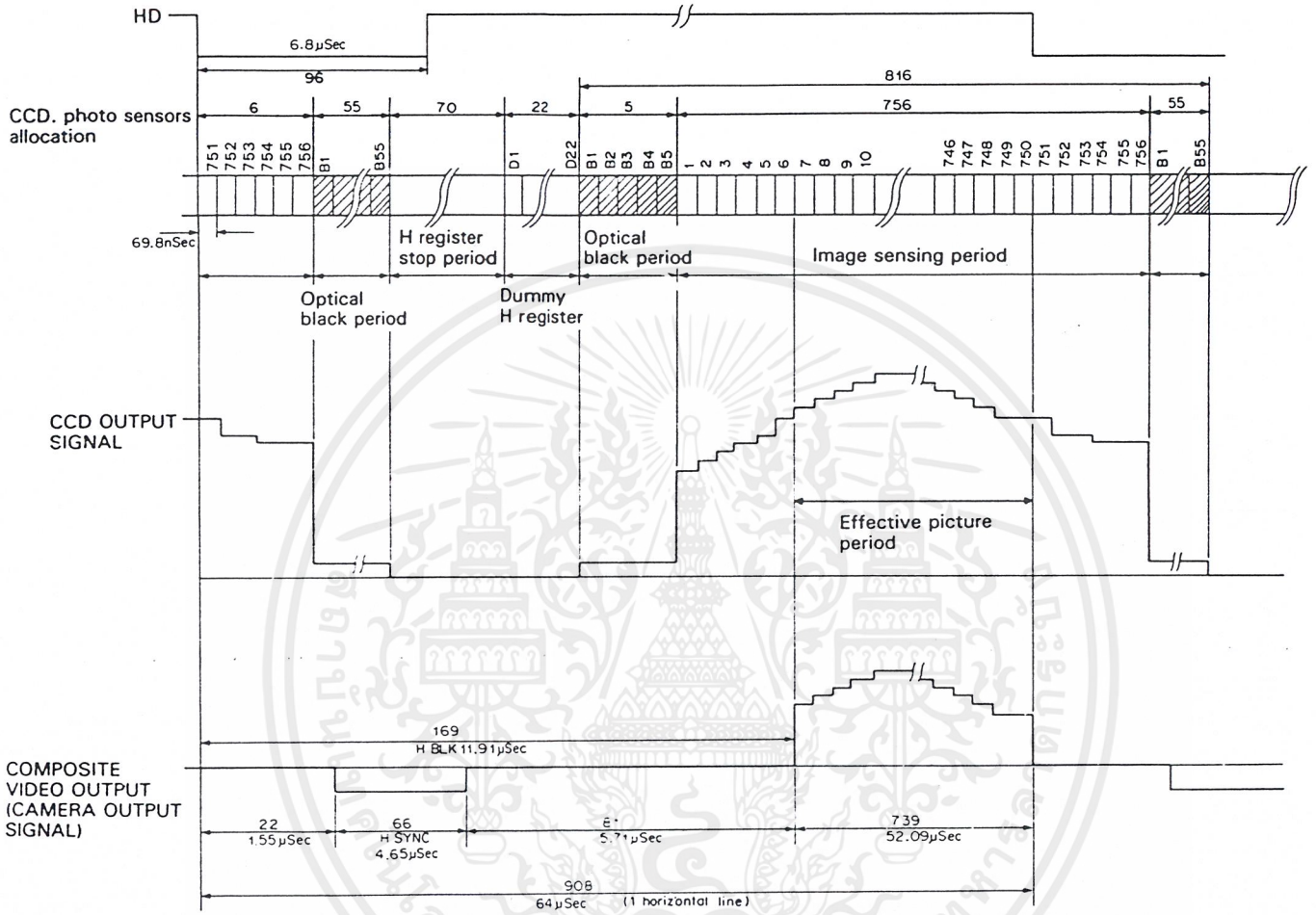
Pickup Device	Interline transfer CCD
Picture elements	756 (H) x 581 (V)
Sensing area	8.8 mm x 6.6 mm (the same as the 2/3-inch camera tube)
Optical black	60 pixels each horizontal line
Vertical drive frequency	15.625 kHz
Horizontal drive frequency	14.1875 MHz
Signal system	CCIR standard
Cell size	11 μ m (H) x 11 μ m (V)
Chip size	10.0 mm (H) x 8.2 mm (V)
Optical System	
Lens mount	C mount
Frang back length	17.526 mm
Sync System	Internal/External automatic change
External sync input	S/VBS/VS (sync level: 0.3 Vp-p \pm 6 dB) HD and VD (HD, VD level: 2 to 5 Vp-p)
External sync frequency tolerance	\pm 1%
Jitter	Within \pm 100 n sec
Locking time when power is on.	Within 10 sec
Scanning System	2 : 1 Interlace; 625 lines
Video Output	VBS (1.0 Vp-p sync negative, 75 ohms unbalanced.) RGB (0.7 Vp-p)
Horizontal Resolution	330 TV lines
Vertical Effective lines	2 : 1 Interlace; 575 lines
Sensitivity	2000 Luxes with F4 (γ ON/O dB)
Minimum Illumination	25 Luxes, F1.4, + 12 dB
S/N ratio	48 dB
Power Requirement (Tolerance)	DC 12 V (10.5 V to 15 V)
Power Consumption	5.5 W
Weight	
Camera module	380 g (XC-711P)
Junction box.	170 g (JB-77)
Storage Temperature	-20°C to +50°C
Operating Temperature	0°C to 40°C
Shock resistance	70 G
Storage Humidity	Within 90%
Operating Humidity	Within 70%

<STANDARD LENS VCL-16Y-M>

Focal Length	16 mm
Maximum Aperture Ratio	1 : 1.4
Iris Control	F1.4 to F16
Filter Thread	M 25.5 mm x P 0.5 mm
Mount	C mount
Weight	50 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2-2. OUTPUT SIGNAL TIMING CHART



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2-3. EXTERNAL SYNCHRONIZATION

There are three external synchronization modes:

1. S/VS/VBS mode
2. HD and VD mode
3. RESTART RESET mode

2-3-1. S/VS/VBS Mode

The S/VS/VBS mode provides external synchronization by supplying a normal composite signal, S, VS or VBS, to pin 7 of the 12-pin connector.

2-3-2. HD and VD Mode

The HD and VD mode provides external synchronization by supplying an HD signal to pin 6 and a VD signal to pin 7 of the 12-pin connector.

- Input conditions of HD and VD signals

- Frequency (period)

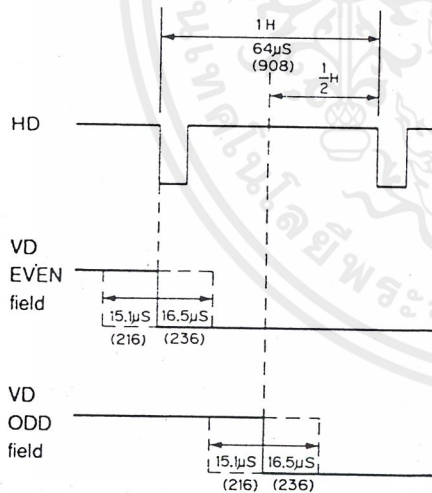
HD: 15.625 KHz \pm 1% ($64 \mu\text{s} \pm 1\%$)

VD: 293 1/2 H to 1023 1/2 H

*The maximum number of vertical effective lines is 581 in the interlace mode.

In the non-interlace mode, it is 290 for both the ODD field and the EVEN field.

- Phase



The figure in parentheses () indicates the number of clock pulses

As shown in the illustration above, the EVEN field is provided when the phase shift between the trailing edge of the VD signal and the trailing edge of the HD signal is between a lead of 15.1 μs and a lag of 16.5 μs. The ODD field is provided when the phase shift between the trailing edge of the VD signal and the point 1/2H from the trailing edge of the HD signal is between a lead of 15.1 μs and a lag of 16.5 μs.

- Interlace and non-interlace

Operation can be performed in either interlace or non-interlace mode by changing the input condition of the VD signal. See Figure 1.

- Interlace

To operate in the interlace mode, set the period of the VD signal to $(A + 1/2) H$. A is an integer, 293 to 1023. In other words, the phase of the leading edge of the VD signal against the leading edge of the HD signal is changed for each VD signal. The field changes from ODD to EVEN and to ODD, repeatedly during operation in the interlace mode. At this time, the number of scanning lines per frame is $2A + 1$.

- Non-interlace

To operate in the non-interlace mode, set the period of the VD signal to $A H$. A is an integer, 293 to 1023. In other words, the phase of the leading edge of the VD signal against the leading edge of the HD signal is not changed for each VD signal, and the field ODD or EVEN remains unchanged for operation in the non-interlace mode. The number of scanning lines is A; this is half of the number of scanning lines for operation in the interlace mode. The sensitivity is half of the sensitivity provided in the interlace mode, when the frame is stored. See Figure 2.

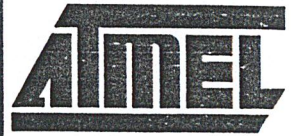
Features

- Compatible with MCS-51™ Products
- 4 Kbytes of In-System Reprogrammable Flash Memory
Endurance: 1,000 Write/Erase Cycles
Data Retention: 10 Years
- Fully Static Operation: 0 Hz to 24 MHz
- Three-Level Program Memory Lock
- 128 x 8-Bit Internal RAM
- 32 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Five Interrupt Sources
- Programmable Serial Channel
- Low Power Idle and Power Down Modes

Description

The AT89C51 is a low-power, high-performance CMOS 8-bit microcomputer with 4 Kbytes of Flash Programmable and Erasable Read Only Memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard MCS-51™ instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C51 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

The AT89C51 provides the following standard features: 4 Kbytes of Flash, 128 bytes of RAM, 32 I/O lines, two 16-bit timer/counters, a five source two-level interrupt architecture, a full duplex serial port, on-chip oscillator and clock circuitry. In addition, the AT89C51 is

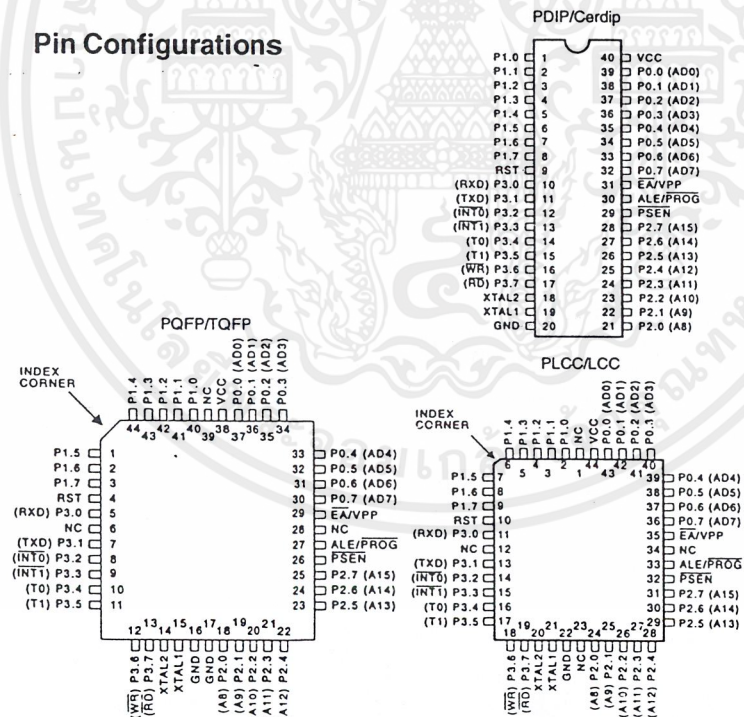


8-Bit Microcontroller with 4 Kbytes Flash

AT89C51

continued

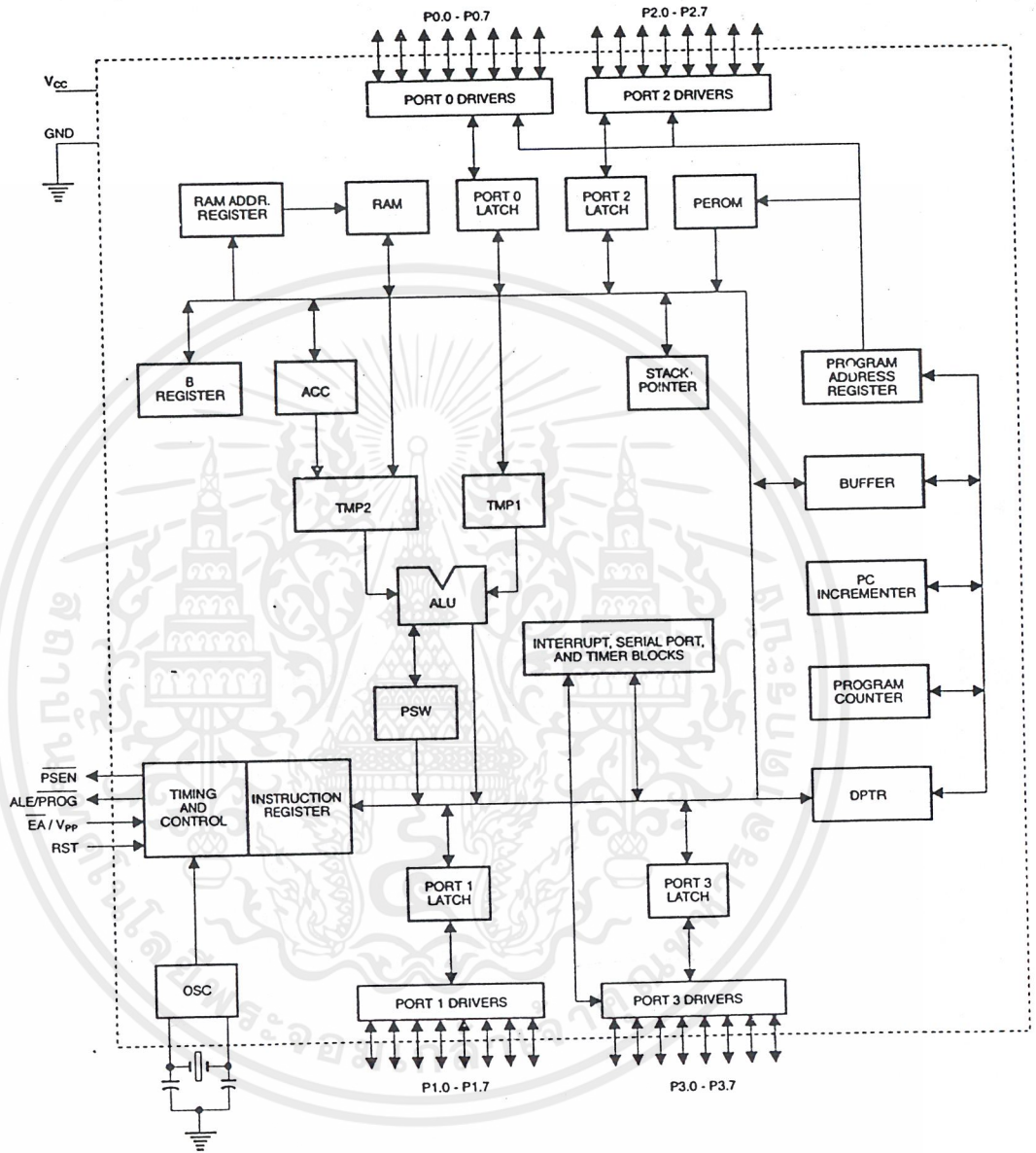
Pin Configurations



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description (Continued)

designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Description

- V_{CC}
Supply voltage.
- GND
Ground.
- Port 0

Port 0 is an 8-bit open drain bidirectional I/O port. As an output port each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 may also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode F0 has internal pullups.

Port 0 also receives the code bytes during Flash programming, and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1

Port 1 is an 8-bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 1 also receives the low-order address bytes during Flash programming and program verification.

Port 2

Port 2 is an 8-bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application it uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3

Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s

are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C51 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{\text{INT0}}$ (external interrupt 0)
P3.3	$\overline{\text{INT1}}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{\text{WR}}$ (external data memory write strobe)
P3.7	$\overline{\text{RD}}$ (external data memory read strobe)

Port 3 also receives some control signals for Flash programming and programming verification.

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/PROG

Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input (PROG) during Flash programming.

In normal operation ALE is emitted at a constant rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external Data Memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVX instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

PSEN

Program Store Enable is the read strobe to external program memory.

When the AT89C51 is executing code from external program memory, PSEN is activated twice each machine cycle, except that two PSEN activations are skipped during each access to external data memory.

$\overline{\text{EA}}$ /V_{PP}

External Access Enable. $\overline{\text{EA}}$ must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{\text{EA}}$ will be internally latched on reset.

$\overline{\text{EA}}$ should be strapped to V_{CC} for internal program executions. This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming, for parts that require 12-volt V_{PP}.

continued



Pin Description (Continued)

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier.

Oscillator Characteristics

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Idle Mode

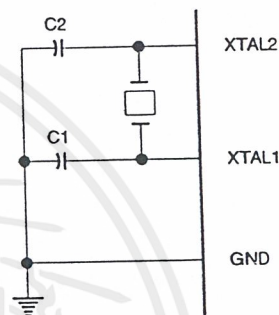
In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

It should be noted that when idle is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Power Down Mode

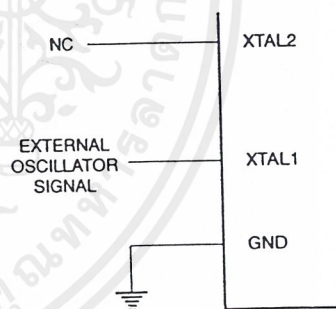
In the power down mode the oscillator is stopped, and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. The only exit from power down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

Figure 1. Oscillator Connections



Notes: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration



Status of External Pins During Idle and Power Down

Mode	Program Memory	ALE	PSEN	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power Down	Internal	0	0	Data	Data	Data	Data
Power Down	External	0	0	Float	Data	Data	Data

Program Memory Lock Bits

On the chip are three lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

When lock bit 1 is programmed, the logic level at the \overline{EA} pin is sampled and latched during reset. If the device is powered up

without a reset, the latch initializes to a random value, and holds that value until reset is activated. It is necessary that the latched value of \overline{EA} be in agreement with the current logic level at that pin in order for the device to function properly.

Lock Bit Protection Modes

Program Lock Bits				
	LB1	LB2	LB3	Protection Type
1	U	U	U	No program lock features.
2	P	U	U	MOV _C instructions executed from external program memory are disabled from fetching code bytes from internal memory, \overline{EA} is sampled and latched on reset, and further programming of the Flash is disabled.
3	P	P	U	Same as mode 2, also verify is disabled.
4	P	P	P	Same as mode 3, also external execution is disabled.

Programming the Flash

The AT89C51 is normally shipped with the on-chip Flash memory array in the erased state (that is, contents = FFH) and ready to be programmed. The programming interface accepts either a high-voltage (12-volt) or a low-voltage (VCC) program enable signal. The low voltage programming mode provides a convenient way to program the AT89C51 inside the user's system, while the high-voltage programming mode is compatible with conventional third party Flash or EPK_{OM} programmers.

The AT89C51 is shipped with either the high-voltage or low-voltage programming mode enabled. The respective top-side marking and device signature codes are listed in the following table.

	Vpp = 12 V	Vpp = 5 V
Top-Side Mark	AT89C51 xxxx yyww	AT89C51 xxxx-5 yyww
Signature	(030H)=1EH (031H)=51H (032H)=FFH	(030H)=1EH (031H)=51H (032H)=05H

The AT89C51 code memory array is programmed byte-by-byte in either programming mode. *To program any non-blank byte in the on-chip Flash Memory, the entire memory must be erased using the Chip Erase Mode.*

Programming Algorithm: Before programming the AT89C51, the address, data and control signals should be set up according to the Flash programming mode table and Figures 3 and 4. To program the AT89C51, take the following steps.

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.

4. Raise \overline{EA}/V_{pp} to 12 V for the high-voltage programming mode.
5. Pulse ALE/ \overline{PROG} once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 1.5 ms. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

Data Polling: The AT89C51 features Data Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written datum on PO.7. Once the write cycle has been completed, true data are valid on all outputs, and the next cycle may begin. Data Polling may begin any time after a write cycle has been initiated.

Ready/Busy: The progress of byte programming can also be monitored by the RDY/ \overline{BSY} output signal. P3.4 is pulled low after ALE goes high during programming to indicate BUSY. P3.4 is pulled high again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire Flash array is erased electrically by using the proper combination of control signals and by holding ALE/ \overline{PROG} low for 10 ms. The code array is written with all "1"s. The chip erase operation must be executed before the code memory can be re-programmed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 030H,





031H, and 032H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.

- (030H) = 1EH indicates manufactured by Atmel
- (031H) = 51H indicates 89C51
- (032H) = FFH indicates 12 V programming
- (032H) = 05H indicates 5 V programming

Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Flash Programming Modes

Mode	RST	PSEN	ALE/ PROG	EA/ V _{PP}	P2.6	P2.7	P3.6	P3.7
Write Code Data	H	L		H/12V ⁽¹⁾	L	H	H	H
Read Code Data	H	L	H	H	L	L	H	H
Write Lock Bit - 1	H	L		H/12V	H	H	H	H
Bit - 2	H	L		H/12V	H	H	L	L
Bit - 3	H	L		H/12V	H	L	H	L
Chip Erase	H	L	⁽²⁾	H/12V	H	L	L	L
Read Signature Byte	H	L	H	H	L	L	L	L

Notes: 1. The signature byte at location 032H designates whether V_{PP} = 12 V or V_{PP} = 5 V should be used to enable programming.

2. Chip Erase requires a 10 ms PROG pulse.

Figure 3. Programming the Flash

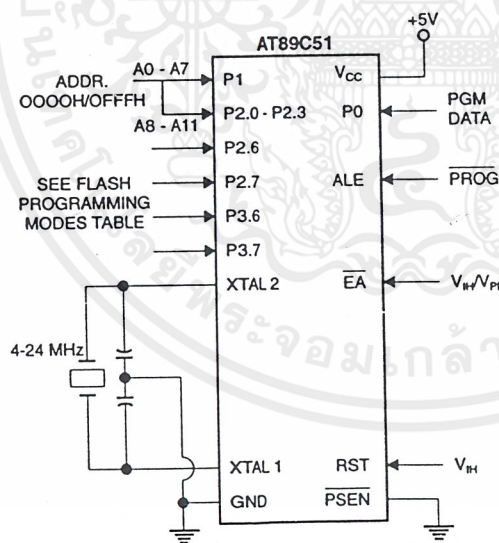
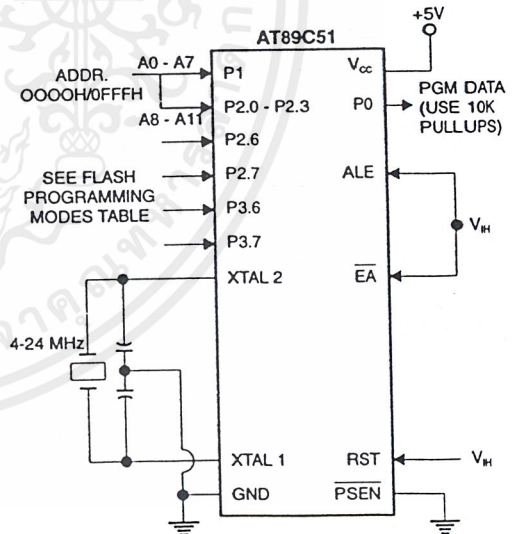


Figure 4. Verifying the Flash



Flash Programming and Verification Characteristics

T_A = 21°C to 27°C, V_{CC} = 5.0 ± 10%

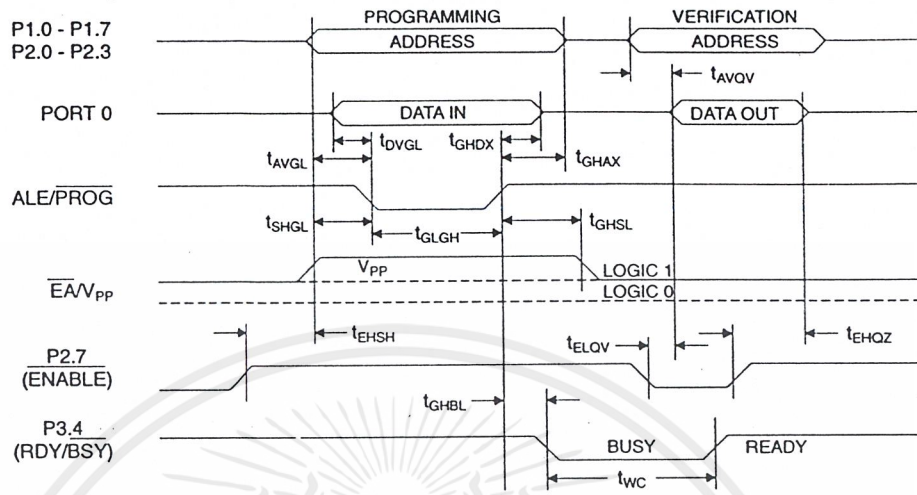
Symbol	Parameter	Min	Max	Units
V _{PP} ⁽¹⁾	Programming Enable Voltage	11.5	12.5	V
I _{PP} ⁽¹⁾	Programming Enable Current		1.0	mA
1/t _{CLCL}	Oscillator Frequency	4	24	MHz
t _{AVGL}	Address Setup to $\overline{\text{PROG}}$ Low	48t _{CLCL}		
t _{GHAX}	Address Hold After $\overline{\text{PROG}}$	48t _{CLCL}		
t _{DVGL}	Data Setup to $\overline{\text{PROG}}$ Low	48t _{CLCL}		
t _{GHDX}	Data Hold After $\overline{\text{PROG}}$	48t _{CLCL}		
t _{ESH}	P2.7 (ENABLE) High to V _{PP}	48t _{CLCL}		
t _{SHGL}	V _{PP} Setup to $\overline{\text{PROG}}$ Low	10		μs
t _{GHSL} ⁽¹⁾	V _{PP} Hold After $\overline{\text{PROG}}$	10		μs
t _{GLGH}	$\overline{\text{PROG}}$ Width	1	110	μs
t _{AVQV}	Address to Data Valid		48t _{CLCL}	
t _{ELOV}	ENABLE Low to Data Valid		48t _{CLCL}	
t _{EHQV}	Data Float After ENABLE	0	48t _{CLCL}	
t _{GHBL}	$\overline{\text{PROG}}$ High to $\overline{\text{BUSY}}$ Low		1.0	μs
t _{WC}	Byte Write Cycle Time		2.0	ms

Note: 1. Only used in 12-volt programming mode.

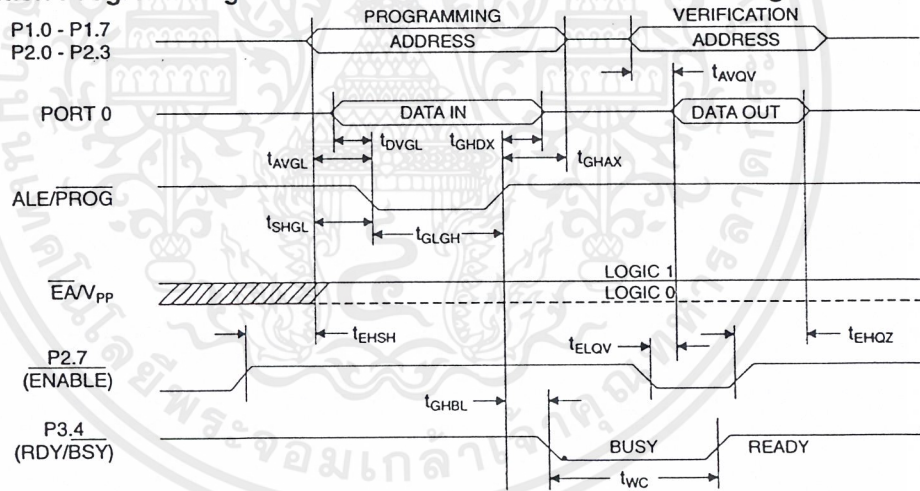




Flash Programming and Verification Waveforms - High Voltage Mode



Flash Programming and Verification Waveforms - Low Voltage Mode



Absolute Maximum Ratings*

Operating Temperature.....	-55°C to +125°C
Storage Temperature.....	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0 V to +7.0 V
Maximum Operating Voltage	6.6 V
DC Output Current	15.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. Characteristics

T_A = -40°C to 85°C, V_{CC} = 5.0 V ± 20% (unless otherwise noted)

Symbol	Parameter	Condition	Min	Max	Units
V _{IL}	Input Low Voltage	(Except $\bar{E}A$)	-0.5	0.2 V _{CC} -0.1	V
V _{IL1}	Input Low Voltage ($\bar{E}A$)		-0.5	0.2 V _{CC} -0.3	V
V _{IH}	Input High Voltage	(Except XTAL1, RST)	0.2 V _{CC} +0.9	V _{CC} +0.5	V
V _{IH1}	Input High Voltage	(XTAL1, RST)	0.7 V _{CC}	V _{CC} +0.5	V
V _{OL}	Output Low Voltage ⁽¹⁾ (Ports 1,2,3)	I _{OL} = 1.6 mA		0.45	V
V _{OL1}	Output Low Voltage ⁽¹⁾ (Port 0, ALE, $\bar{P}SEN$)	I _{OL} = 3.2 mA		0.45	V
V _{OH}	Output High Voltage (Ports 1,2,3, ALE, $\bar{P}SEN$)	I _{OH} = -60 μA, V _{CC} = 5 V ± 10%	2.4		V
		I _{OH} = -25 μA	0.75 V _{CC}		V
		I _{OH} = -10 μA	0.9 V _{CC}		V
V _{OH1}	Output High Voltage (Port 0 in External Bus Mode)	I _{OH} = -800 μA, V _{CC} = 5 V ± 10%	2.4		V
		I _{OH} = -300 μA	0.75 V _{CC}		V
		I _{OH} = -80 μA	0.9 V _{CC}		V
I _{IL}	Logical 0 Input Current (Ports 1,2,3)	V _{IN} = 0.45 V		-50	μA
I _{TL}	Logical 1 to 0 Transition Current (Ports 1,2,3)	V _{IN} = 2 V		-650	μA
I _{LI}	Input Leakage Current (Port 0, $\bar{E}A$)	0.45 < V _{IN} < V _{CC}		±10	μA
RRST	Reset Pulldown Resistor		50	300	KΩ
C _{IO}	Pin Capacitance	Test Freq. = 1 MHz, T _A = 25°C		10	pF
I _{CC}	Power Supply Current	Active Mode, 12 MHz		20	mA
		Idle Mode, 12 MHz		5	mA
	Power Down Mode ⁽²⁾	V _{CC} = 6 V		100	μA
		V _{CC} = 3 V		40	μA

Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
 Maximum I_{OL} per port pin: 10 mA
 Maximum I_{OL} per 8-bit port:
 Port 0: 26 mA
 Ports 1, 2, 3: 15 mA
 Maximum total I_{OL} for all output pins: 71 mA

If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.

2. Minimum V_{CC} for Power Down is 2 V.





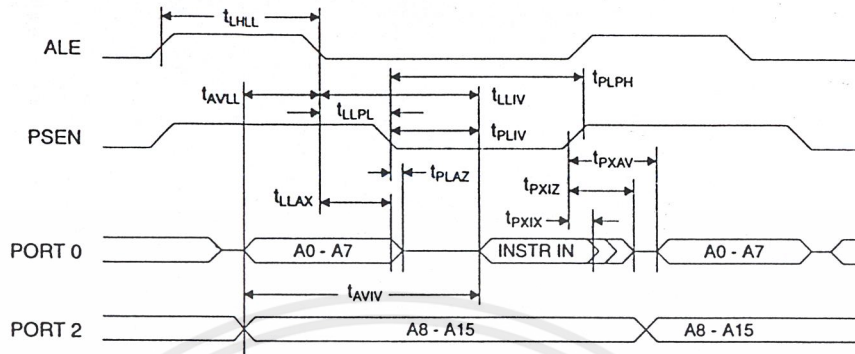
A.C. Characteristics

(Under Operating Conditions; Load Capacitance for Port 0, ALE/ $\overline{\text{PROG}}$, and $\overline{\text{PSEN}}$ = 100 pF; Load Capacitance for all other outputs = 80 pF)

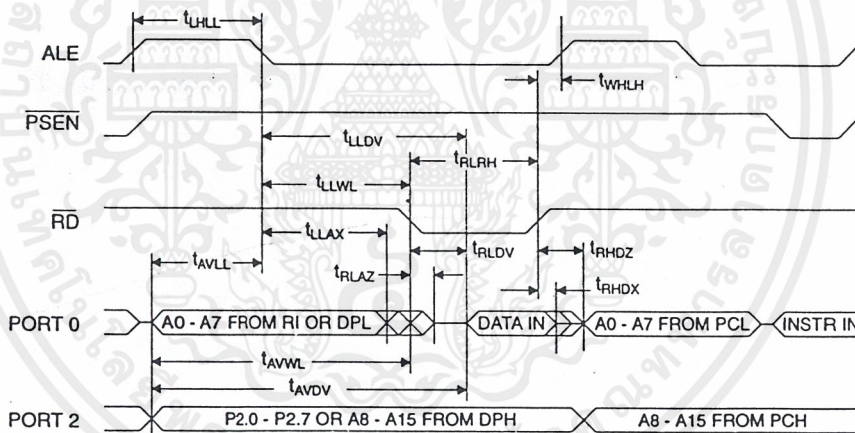
External Program and Data Memory Characteristics

Symbol	Parameter	12 MHz Oscillator		16 to 24 MHz Oscillator		Units
		Min	Max	Min	Max	
t _{1/CLCL}	Oscillator Frequency			0	24	MHz
t _{LHLL}	ALE Pulse Width	127		2t _{CLCL} -40		ns
t _{AVLL}	Address Valid to ALE Low	28		t _{CLCL} -13		ns
t _{LLAX}	Address Hold After ALE Low	48		t _{CLCL} -20		ns
t _{LLIV}	ALE Low to Valid Instruction In		233		4t _{CLCL} -65	ns
t _{LLPL}	ALE Low to $\overline{\text{PSEN}}$ Low	43		t _{CLCL} -13		ns
t _{PLPH}	$\overline{\text{PSEN}}$ Pulse Width	205		3t _{CLCL} -20		ns
t _{PLIV}	$\overline{\text{PSEN}}$ Low to Valid Instruction In		145		3t _{CLCL} -45	ns
t _{PXIX}	Input Instruction Hold After $\overline{\text{PSEN}}$	0		0		ns
t _{PXIZ}	Input Instruction Float After $\overline{\text{PSEN}}$		59		t _{CLCL} -10	ns
t _{PXAV}	$\overline{\text{PSEN}}$ to Address Valid	75		t _{CLCL} -8		ns
t _{AVIV}	Address to Valid Instruction In		312		5t _{CLCL} -55	ns
t _{PLAZ}	$\overline{\text{PSEN}}$ Low to Address Float		10		10	ns
t _{RLRH}	$\overline{\text{RD}}$ Pulse Width	400		6t _{CLCL} -100		ns
t _{WLWH}	$\overline{\text{WR}}$ Pulse Width	400		6t _{CLCL} -100		ns
t _{RLDV}	$\overline{\text{RD}}$ Low to Valid Data In		252		5t _{CLCL} -90	ns
t _{RHDX}	Data Hold After $\overline{\text{RD}}$	0		0		ns
t _{RHDZ}	Data Float After $\overline{\text{RD}}$		97		2t _{CLCL} -28	ns
t _{LLDV}	ALE Low to Valid Data In		517		8t _{CLCL} -150	ns
t _{AVDV}	Address to Valid Data In		585		9t _{CLCL} -165	ns
t _{LLWL}	ALE Low to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Low	200	300	3t _{CLCL} -50	3t _{CLCL} +50	ns
t _{AVWL}	Address to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Low	203		4t _{CLCL} -75		ns
t _{QVWX}	Data Valid to $\overline{\text{WR}}$ Transition	23		t _{CLCL} -20		ns
t _{QVWH}	Data Valid to $\overline{\text{WR}}$ High	433		7t _{CLCL} -120		ns
t _{WHQX}	Data Hold After $\overline{\text{WR}}$	33		t _{CLCL} -20		ns
t _{RLAZ}	$\overline{\text{RD}}$ Low to Address Float		0		0	ns
t _{WHLH}	$\overline{\text{RD}}$ or $\overline{\text{WR}}$ High to ALE High	43	123	t _{CLCL} -20	t _{CLCL} +25	ns

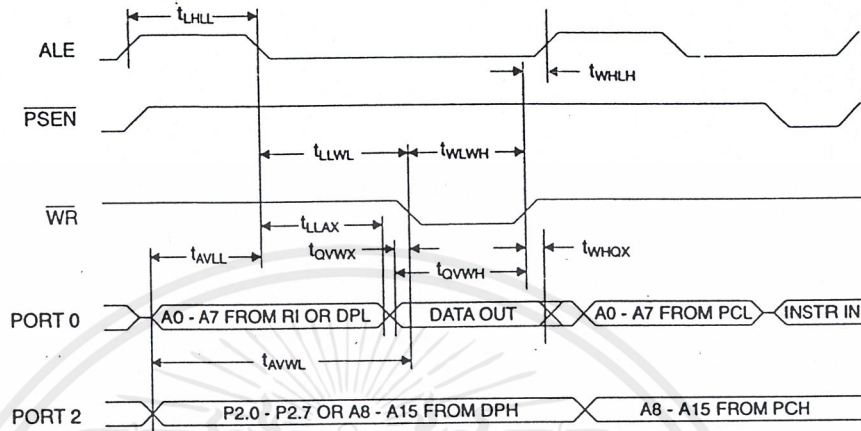
External Program Memory Read Cycle



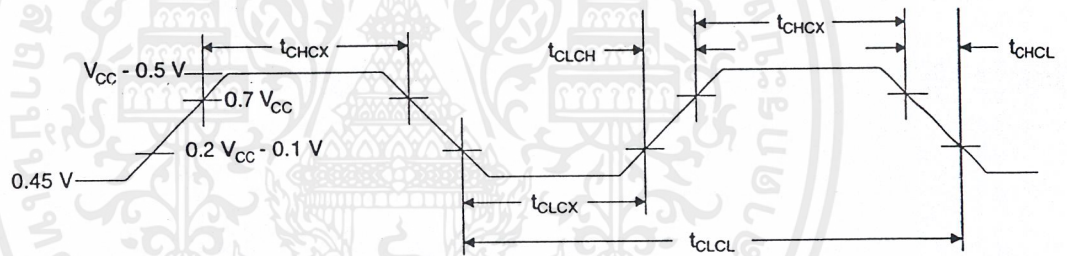
External Data Memory Read Cycle



External Data Memory Cycle



External Clock Drive Waveforms



External Clock Drive

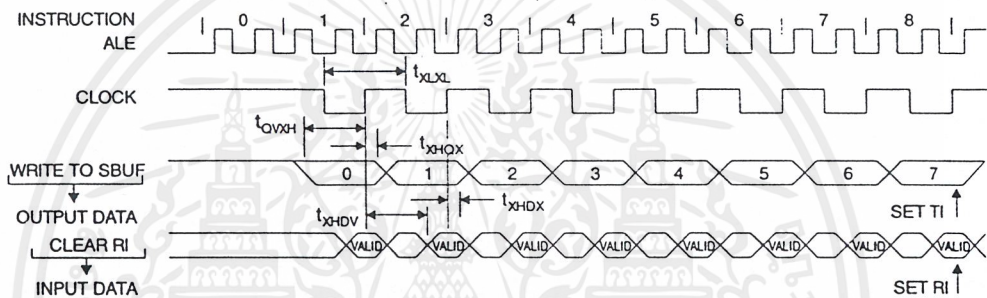
Symbol	Parameter	Min	Max	Units
$1/t_{CLCL}$	Oscillator Frequency	0	24	MHz
t_{CLCL}	Clock Period	41.6		ns
t_{CHCX}	High Time	15		ns
t_{CLCX}	Low Time	15		ns
t_{CLCH}	Rise Time		20	ns
t_{CHCL}	Fall Time		20	ns

Serial Port Timing: Shift Register Mode Test Conditions

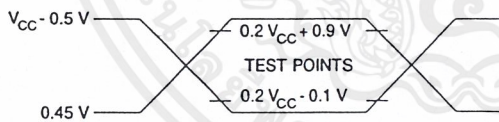
(V_{CC} = 5.0 V ± 20%; Load Capacitance = 80 pF)

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t _{XLXL}	Serial Port Clock Cycle Time	1.0		12t _{CLCL}		μs
t _{QVXH}	Output Data Setup to Clock Rising Edge	700		10t _{CLCL} -133		ns
t _{XHOX}	Output Data Hold After Clock Rising Edge	50		2t _{CLCL} -33		ns
t _{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t _{XHDV}	Clock Rising Edge to Input Data Valid		700	10t _{CLCL} -133		ns

Shift Register Mode Timing Waveforms

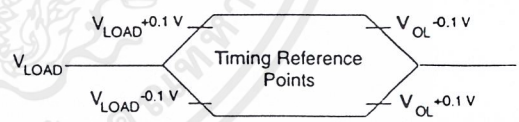


AC Testing Input/Output Waveforms ⁽¹⁾



Note: 1. AC Inputs during testing are driven at V_{CC} - 0.5 V for a logic 1 and 0.45 V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms ⁽¹⁾



Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when a 100 mV change from the loaded V_{OH}/V_{OL} level occurs.





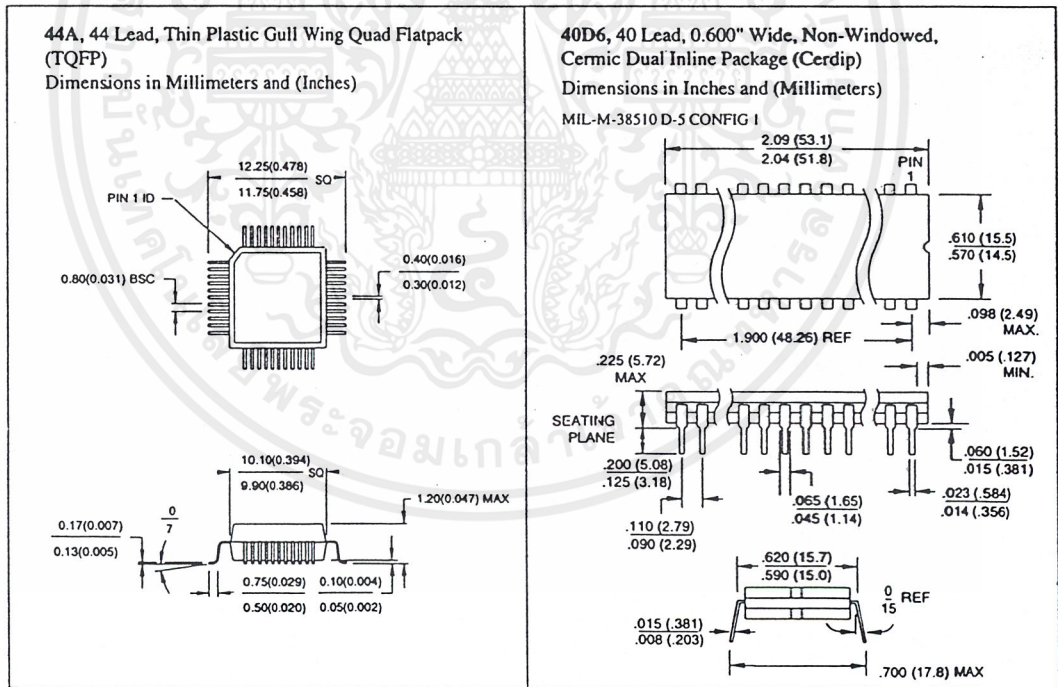
Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	5 V \pm 20%	AT89C51-12AC AT89C51-12JC AT89C51-12PC AT89C51-12QC	44A 44J 40P6 44Q	Commercial (0°C to 70°C)
		AT89C51-12AI AT89C51-12JI AT89C51-12PI AT89C51-12QI	44A 44J 40P6 44Q	Industrial (-40°C to 85°C)
		AT89C51-12AA AT89C51-12JA AT89C51-12PA AT89C51-12QA	44A 44J 40P6 44Q	Automotive (-40°C to 125°C)
	5 V \pm 10%	AT89C51-12DM AT89C51-12LM	40D6 44L	Military (-55°C to 125°C)
		AT89C51-12DM/883 AT89C51-12LM/883	40D6 44L	Military/883C Class B, Fully Compliant (-55°C to 125°C)
	16	5 V \pm 20%	AT89C51-16AC AT89C51-16JC AT89C51-16PC AT89C51-16QC	44A 44J 40P6 44Q
AT89C51-16AI AT89C51-16JI AT89C51-16PI AT89C51-16QI			44A 44J 40P6 44Q	Industrial (-40°C to 85°C)
AT89C51-16AA AT89C51-16JA AT89C51-16PA AT89C51-16QA			44A 44J 40P6 44Q	Automotive (-40°C to 125°C)
5 V \pm 20%		AT89C51-20AC AT89C51-20JC AT89C51-20PC AT89C51-20QC	44A 44J 40P6 44Q	Commercial (0°C to 70°C)
		AT89C51-20AI AT89C51-20JI AT89C51-20PI AT89C51-20QI	44A 44J 40P6 44Q	Industrial (-40°C to 85°C)
		AT89C51-24AC AT89C51-24JC AT89C51-24PC AT89C51-24QC	44A 44J 44P6 44Q	Commercial (0°C to 70°C)
24	5 V \pm 20%	AT89C51-24AI AT89C51-24JI AT89C51-24PI AT89C51-24QI	44A 44J 44P6 44Q	Industrial (-40°C to 85°C)

Ordering Information

Package Type	
44A	44 Lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
40D6	40 Lead, 0.600" Wide, Non-Windowed, Ceramic Dual Inline Package (Cerdip)
44J	44 Lead, Plastic J-Leaded Chip Carrier (PLCC)
44L	44 Pad, Non-Windowed, Ceramic Leadless Chip Carrier (LCC)
40P6	40 Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
44Q	44 Lead, Plastic Gull Wing Quad Flatpack (PQFP)

Packaging Information

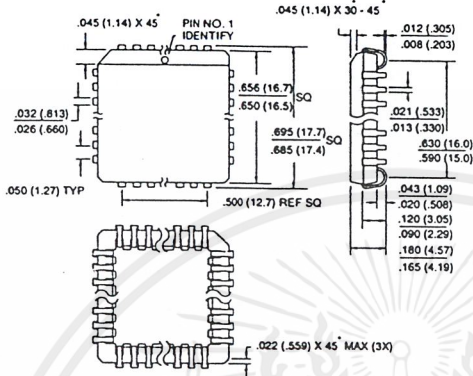


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

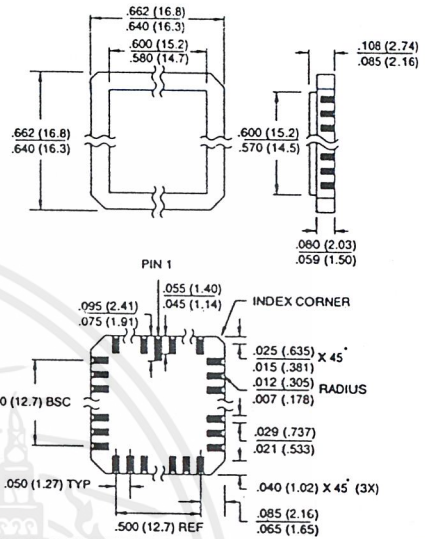


Packaging Information

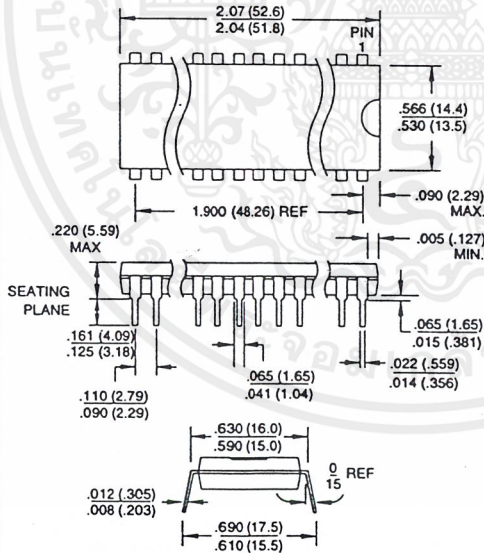
44J, 44 Lead, Plastic J-Leaded Chip Carrier (PLCC)
Dimensions in Inches and (Millimeters)
JEDEC OUTLINE MO-047 AC



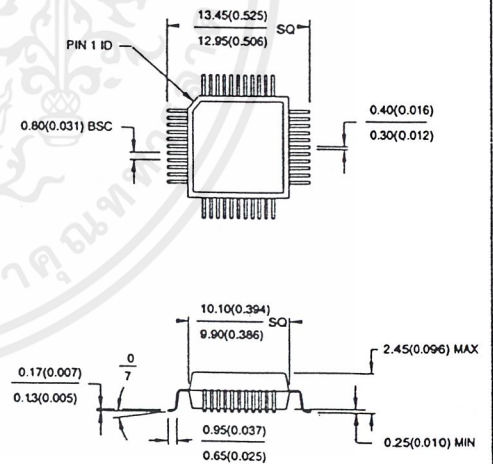
44L, 44 Pad, Non-Windowed, Ceramic Leadless Chip Carrier (LCC)
Dimensions in Inches and (Millimeters)



40P6, 40 Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
Dimensions in Inches and (Millimeters)



44Q, 44 Lead, Plastic Gull Wing Quad Flatpack (PQFP)
Dimensions in Millimeters and (Inches)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM1881 Video Sync Separator

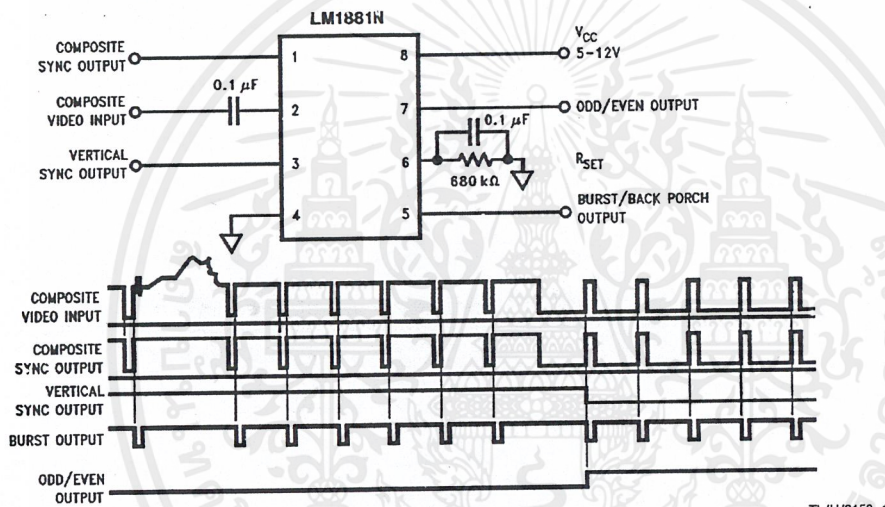
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL*, and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- > 10 k Ω input resistance
- < 10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

TL/H/9150-1

*PAL is this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vpp ($V_{CC} = 5V$) 6 Vpp ($V_{CC} \geq 8V$)
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C – 70°C

Storage Temperature Range	– 65°C to + 150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C
See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.	

Electrical Characteristics

$V_{CC} = 5V$; $R_{SET} = 680\text{ k}\Omega$; $T_A = 25^\circ\text{C}$; Unless otherwise specified

Parameter	Conditions	Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	Outputs at Logic 1 $V_{CC} = 5V$ $V_{CC} = 12V$	5.2	10		mAmax
		5.5	12		mAmax
DC Input Voltage	Pin 2	1.5	1.3		Vmin
			1.8		Vmax
Input Threshold Voltage	Note 5	70	55 85		mVmin mVmax
Input Discharge Current	Pin 2; $V_{IN} = 2V$	11	6 16		μAmin μAmax
Input Clamp Charge Current	Pin 2; $V_{IN} = 1V$	0.8	0.2		mAmin
R_{SET} Pin Reference Voltage	Pin 6; Note 6	1.22	1.10 1.35		Vmin Vmax
Composite Sync. & Vertical Outputs	$I_{OUT} = 40\ \mu\text{A}$; Logic 1	$V_{CC} = 5V$	4.5	4.0	Vmin
		$V_{CC} = 12V$		11.0	Vmin
	$I_{OUT} = 1.6\ \text{mA}$; Logic 1	$V_{CC} = 5V$	3.6	2.4	Vmin
		$V_{CC} = 12V$		10.0	Vmin
Burst Gate & Odd/Even Outputs	$I_{OUT} = 40\ \mu\text{A}$; Logic 1	$V_{CC} = 5V$	4.5	4.0	Vmin
		$V_{CC} = 12V$		11.0	Vmin
Composite Sync. Output	$I_{OUT} = -1.6\ \text{mA}$; Logic 0; Pin 1	0.2	0.8		Vmax
Vertical Sync. Output	$I_{OUT} = -1.6\ \text{mA}$; Logic 0; Pin 3	0.2	0.8		Vmax
Burst Gate Output	$I_{OUT} = -1.6\ \text{mA}$; Logic 0; Pin 5	0.2	0.8		Vmax
Odd/Even Output	$I_{OUT} = -1.6\ \text{mA}$; Logic 0; Pin 7	0.2	0.8		Vmax
Vertical Sync Width		230	190		μsmin
			300		μsmax
Burst Gate Width	2.7 k Ω from Pin 5 to V_{CC}	4	2.5		μsmin
			4.7		μsmax
Vertical Default Time	Note 7	65	32		μsmin
			90		μsmax

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

Note 2: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 k Ω resistor".

Note 3: Typicals are at $T_J = 25^\circ\text{C}$ and represent the most likely parametric norm.

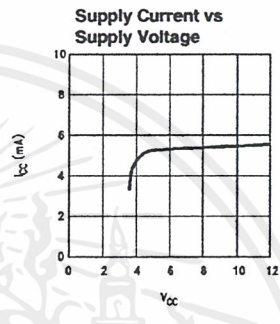
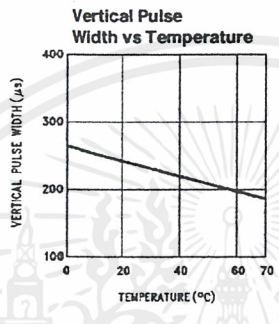
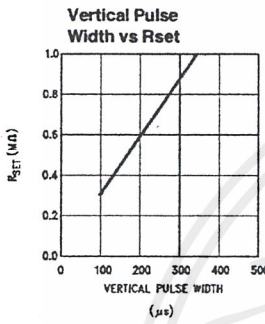
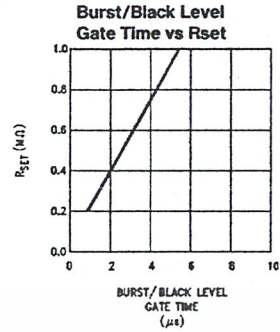
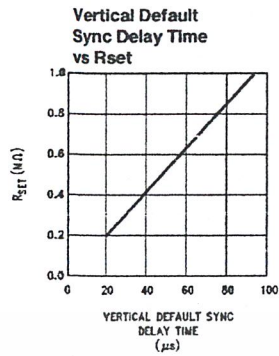
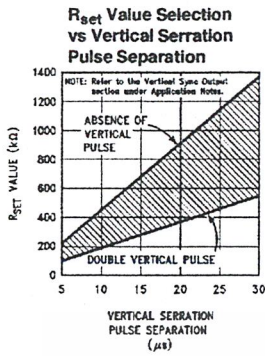
Note 4: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the R_{SET} pin (Pin 6).

Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

Typical Performance Characteristics



TL/H/9150-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components beside power supply and set current decoupling are the input coupling capacitor and a single resistor that sets internal current levels, allowing the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C: composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 2(a-e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 2(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 2(a)*). This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11 μ A, typically. This allows relatively small capacitor values to be used—0.1 μ F is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75 Ω , a 620 Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed

from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform (*Figure 3*). To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 3*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called V_1 going to one of its inputs. The other comparator has an internally generated voltage reference called V_2 going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are positive going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor R_{set} . The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the V_1 . During the vertical sync period the narrow going positive pulses shown in *Figure 2* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between V_1 and V_2 . This would give a high level at the output of the comparator with V_1 as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external R_{set} . The "Q" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 2*.

How R_{set} affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is "R_{set} Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal

Application Notes (Continued)

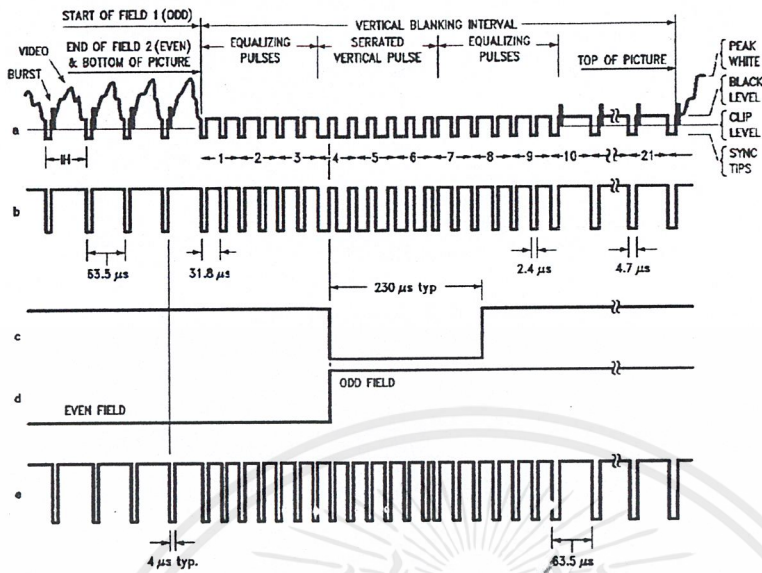
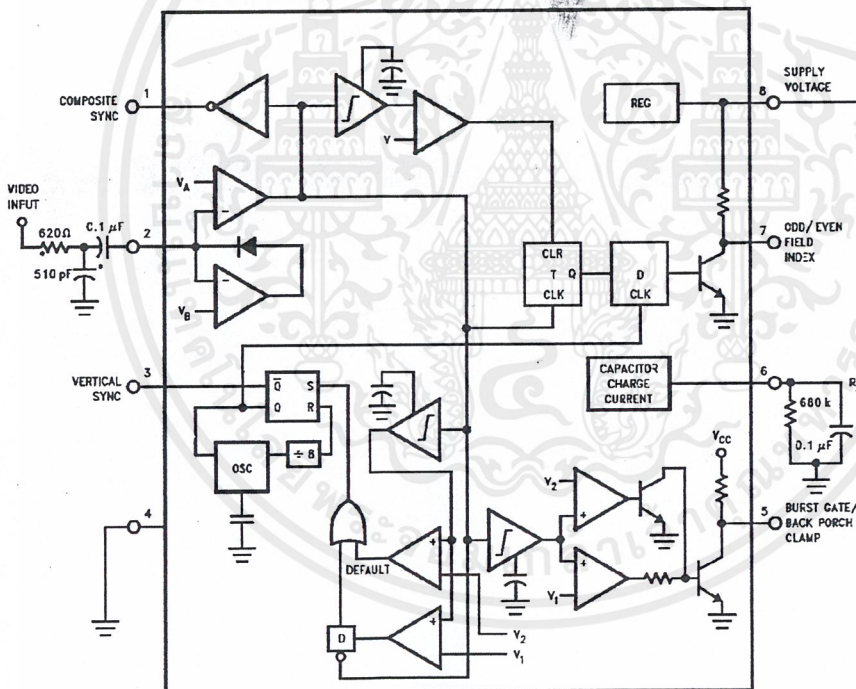


FIGURE 2. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp

TL/H/9150-3



*Components Optional, See Text

TL/H/9150-4

FIGURE 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 2*. This graph shows how long it takes the integrator to charge its internal capacitor above V_1 .

WITH R_{set} too large the charging current of the integrator will be too small to charge the capacitor above V_1 , thus there will be no vertical sync output pulse. As mentioned above, R_{set} also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulses after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum R_{set} necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs R_{set} " graph. Using NTSC as an example, let's see how these two graphs relate to each other. The Horizontal line is 64 μs long, or 32 μs for a horizontal half line. Now round this off to 30 μs . In the " R_{set} Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30 μs serration pulse separation is about 550 k Ω . Going to the "Vertical Pulse Width vs R_{set} " graph one can see that 550 k Ω gives a vertical pulse width of about 180 μs , the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 k Ω will set the internal oscillator to a frequency such that eight cycles gives a time of 180 μs , just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level V_2 . Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches V_2 . At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with V_1 as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs R_{set} " graph shows the relationship between the R_{set} value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for R_{set} is 500 k Ω . The vertical default time delay is about 50 μs , much longer than the 30 μs serration pulse spacing.

A common question is how can one calculate the required R_{set} with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default

Sync Delay Time vs R_{set} " graph to select the necessary R_{set} to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs R_{set} " graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32 μs long. The vertical sync period is two horizontal lines long, or 64 μs . The vertical default sync delay time **must be longer** than the vertical sync period of 64 μs . In this case R_{set} must be larger than 680 k Ω . R_{set} must still be small enough for the output of the integrator to reach V_1 before the end of the vertical period of the input pulse. The first graph can be used to confirm that R_{set} is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64 μs in this example. This graph is linear, meaning that a value as large as 2.7 M Ω can be used for R_{set} (twice the value as the maximum at 30 μs). Due to leakage currents it is advisable to keep the value of R_{set} under 2.0 M Ω . In this example a value of 1.0 M Ω is selected, well above the minimum of 680 k Ω . With this value for R_{set} the pulse width of the vertical sync output pulse of the LM1881 is about 340 μs .

ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur only in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "field 1". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 2(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform (*Figure 3*). A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flipflop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this

Application Notes (Continued)

threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 μ s long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 μ s later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60–120 Hz) vertical scan rates.

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field level allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference

signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 4* puts out a single video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 5* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 k Ω , 10 μ F) providing black level restoration at the video output when the output selected line(s) is not being gated through.

Typical Applications

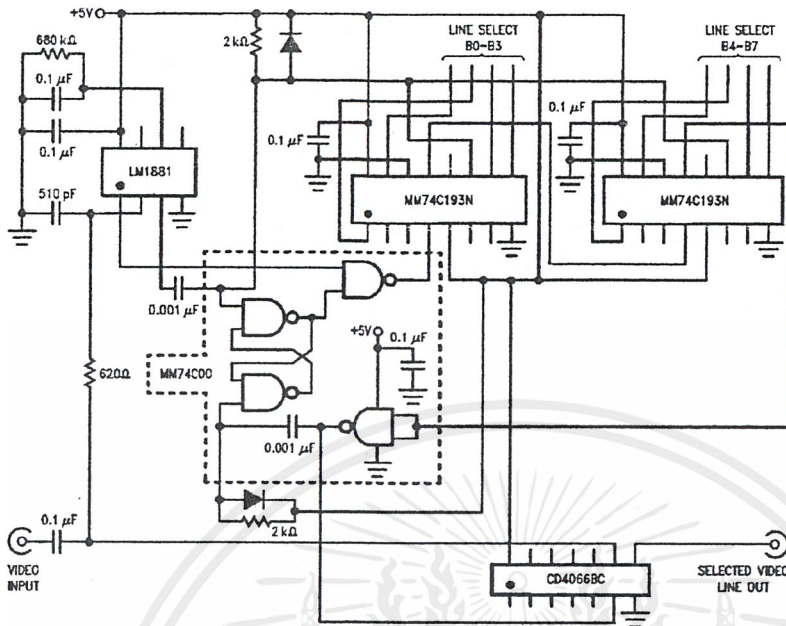


FIGURE 4. Video Line Selector

TL/H/9150-5

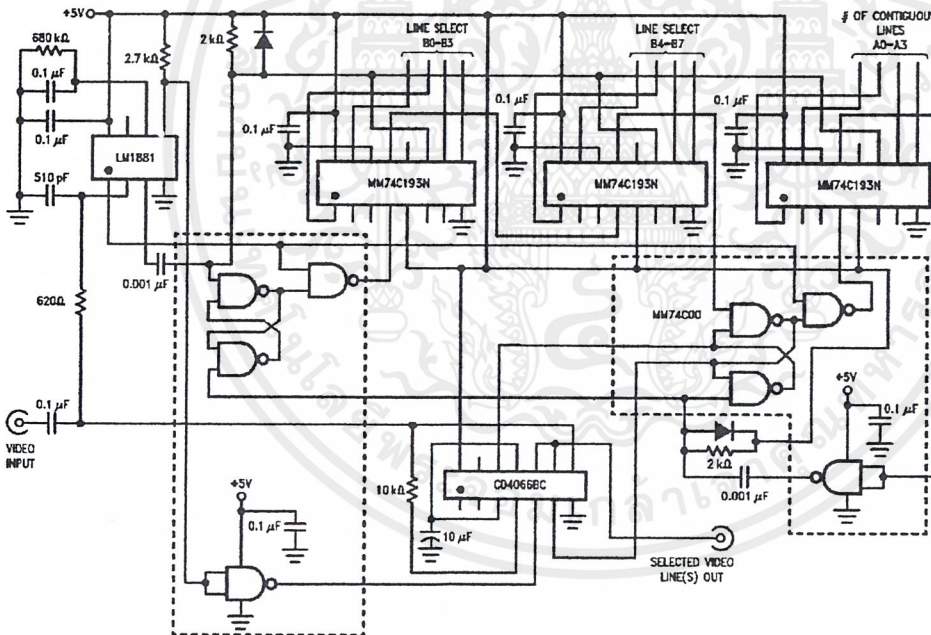


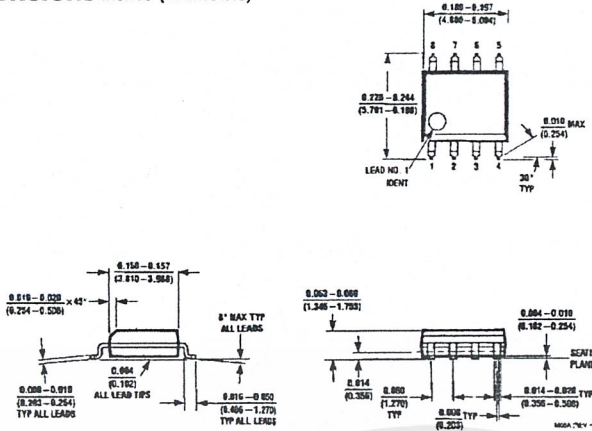
FIGURE 5. Multiple Contiguous Video Line Selector With Black Level Restoration

TL/H/9150-6

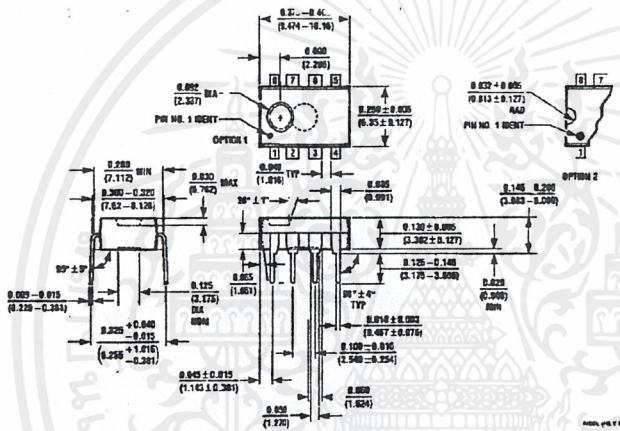
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)

Lit. # 107636



Molded Small Outline Package (M)
Order Number LM1881M
NS Package Number M08A



Molded Dual-In-Line Package (N)
Order Number LM1881N
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@levm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 76 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

Designer's Data Sheet

TMOS IV

Power Field Effect Transistor

N-Channel Enhancement-Mode Silicon Gate

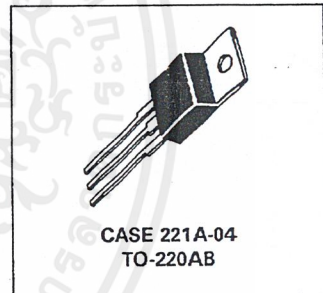
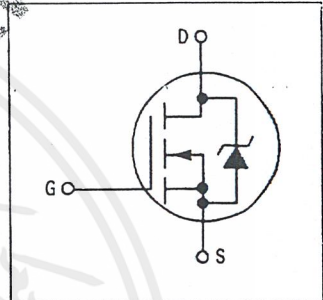
This advanced E-FET is a TMOS power MOSFET designed to withstand high energy in the avalanche and commutation modes. This device is also designed with a low threshold voltage so it is fully enhanced with 5 Volts. This new energy efficient device also offers a drain-to-source diode with a fast recovery time. Designed for low voltage, high speed switching applications in power supplies, converters and PWM motor controls, these devices are particularly well suited for bridge circuits where diode speed and commutating safe operating areas are critical and offer additional safety margin against unexpected voltage transients.

- Low Drive Requirement to Interface Power Loads to Logic Level ICs or Microprocessors — $V_{GS(th)} = 2$ Volts Max
- Internal Source-to-Drain Diode Designed to Replace External Zener Transient Suppressor — Absorbs High Energy in the Avalanche Mode — Unclamped Inductive Switching (UIS) Energy Capability Specified at 100°C
- Commutating Safe Operating Area (CSOA) Specified for Use in Half and Full Bridge Circuits
- Source-to-Drain Diode Recovery Time Comparable to a Discrete Fast Recovery Diode
- Diode is Characterized for Use in Bridge Circuits
- I_{DSS} , $V_{GS(th)}$ and $V_{DS(on)}$ Specified at 150°C



MTP3055EL

TMOS POWER FETs
LOGIC LEVEL
12 AMPERES
 $r_{DS(on)} = 0.18$ OHM
60 VOLTS



MAXIMUM RATINGS ($T_J = 25^\circ\text{C}$ unless otherwise noted)

Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DSS}	60	Vdc
Drain-Gate Voltage ($R_{GS} = 1 \text{ M}\Omega$)	V_{DGR}	60	Vdc
Gate-Source Voltage — Continuous	V_{GS}	± 15	Vdc
— Non-repetitive ($t_p \leq 50 \mu\text{s}$)		± 20	Vpk
Drain Current — Continuous	I_D	12	Adc
— Pulsed	I_{DM}	26	
Total Power Dissipation @ $T_C = 25^\circ\text{C}$	P_D	40	Watts
Derate above 25°C		0.32	W/°C
Operating and Storage Temperature Range	T_J, T_{stg}	-65 to 150	°C

THERMAL CHARACTERISTICS

Thermal Resistance — Junction to Case	$R_{\theta JC}$	3.12	°C/W
— Junction to Ambient	$R_{\theta JA}$	62.5	
Maximum Lead Temperature for Soldering Purposes, 1/8" from case for 5 seconds	T_L	275	°C

Designer's Data for "Worst Case" Conditions — The Designer's Data Sheet permits the design of most circuits entirely from the information presented. SOA Limit curves — representing boundaries on device characteristics — are given to facilitate "worst case" design.

TMOS is a trademark of Motorola Inc.



MOTOROLA

ELECTRICAL CHARACTERISTICS — continued ($T_C = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
Drain-Source Breakdown Voltage ($V_{GS} = 0, I_D = 0.25 \text{ mA}$)	$V_{(BR)DSS}$	60	—	Vdc
Zero Gate Voltage Drain Current ($V_{DS} = \text{Rated } V_{DSS}, V_{GS} = 0$) ($V_{DS} = \text{Rated } V_{DSS}, V_{GS} = 0, T_J = 150^\circ\text{C}$)	I_{DSS}	—	1 50	μA
Gate-Body Leakage Current, Forward ($V_{GSF} = 15 \text{ Vdc}, V_{DS} = 0$)	I_{GSSF}	—	100	nAdc
Gate-Body Leakage Current, Reverse ($V_{GSR} = 15 \text{ Vdc}, V_{DS} = 0$)	I_{GSSR}	—	100	nAdc

ON CHARACTERISTICS*

Gate Threshold Voltage ($V_{DS} = V_{GS}, I_D = 1 \text{ mA}$) $T_J = 150^\circ\text{C}$	$V_{GS(th)}$	1 0.6	— 1.6	Vdc
Static Drain-Source On-Resistance ($V_{GS} = 5 \text{ Vdc}, I_D = 6 \text{ Adc}$)	$r_{DS(on)}$	—	0.18	Ohm
Drain-Source On-Voltage ($V_{GS} = 5 \text{ V}$) ($I_D = 12 \text{ Adc}$) ($I_D = 6 \text{ Adc}, T_J = 100^\circ\text{C}$)	$V_{DS(on)}$	—	2.4 1.95	Vdc
Forward Transconductance ($V_{DS} = 15 \text{ V}, I_D = 6 \text{ A}$)	g_{FS}	—	—	mhos

DRAIN-TO-SOURCE AVALANCHE CHARACTERISTICS

Unclamped Drain-to-Source Avalanche Energy See Figures 13 and 14 ($I_D = 26 \text{ A}, V_{DD} = 6 \text{ V}, T_C = 25^\circ\text{C}$, Single Pulse, Non-repetitive) ($I_D = 12 \text{ A}, V_{DD} = 6 \text{ V}, T_C = 25^\circ\text{C}$, P.W. $\leq 100 \mu\text{s}$, Duty Cycle $\leq 1\%$) ($I_D = 4.8 \text{ A}, V_{DD} = 6 \text{ V}, T_C = 100^\circ\text{C}$, P.W. $\leq 100 \mu\text{s}$, Duty Cycle $\leq 1\%$)	W_{DSS}	—	18 35 16	mJ
--	-----------	---	----------------	----

DYNAMIC CHARACTERISTICS

Input Capacitance	$V_{DS} = 25 \text{ V}, V_{GS} = 0, f = 1 \text{ MHz}$	C_{iss}	400 (Typ)	—	pF
	$V_{GS} = 15 \text{ V}, V_{DS} = 0, f = 1 \text{ MHz}$ See Figure 14		1000 (Typ)	—	
Reverse Transfer Capacitance	$V_{DS} = 25 \text{ V}, V_{GS} = 0, f = 1 \text{ MHz}$	C_{rss}	30 (Typ)	—	pF
	$V_{GS} = 15 \text{ V}, V_{DS} = 0, f = 1 \text{ MHz}$ See Figure 15		660 (Typ)	—	
Output Capacitance	$V_{DS} = 25 \text{ V}, V_{GS} = 0, f = 1 \text{ MHz}$ See Figure 15	C_{oss}	175 (Typ)	—	pF

SWITCHING CHARACTERISTICS ($T_J = 100^\circ\text{C}$)

Turn-On Delay Time	$V_{DD} = 25 \text{ V}, I_D = 6 \text{ A},$ $V_{GS} = 5 \text{ V}, R_{gen} = 50 \text{ ohms},$ $R_{GS} = 50 \text{ ohms}$	$t_{d(on)}$	20 (Typ)	—	ns
Rise Time		t_r	95 (Typ)	—	
Turn-Off Delay Time		$t_{d(off)}$	38 (Typ)	—	
Fall Time		t_f	50 (Typ)	—	
Total Gate Charge	$(V_{DS} = 48 \text{ V}, I_D = 12 \text{ A},$ $V_{GS} = 5 \text{ Vdc})$ See Figures 16 and 17	Q_g	11 (Typ)	17	nC
Gate-Source Charge		Q_{gs}	4 (Typ)	—	
Gate-Drain Charge		Q_{gd}	7 (Typ)	—	

SOURCE DRAIN DIODE CHARACTERISTICS

Forward On-Voltage	($I_S = 12 \text{ A}, V_{GS} = 0$)	V_{SD}	1.04 (Typ)	1.18	Vdc
Forward Turn-On Time	$(I_S = 26 \text{ A}, V_{GS} = 0,$ $di_S/dt = 400 \text{ A}/\mu\text{s}, V_R = 30 \text{ V})$	t_{on}	Limited by stray inductance		
Reverse Recovery Time		t_{rr}	55 (Typ)	—	ns

INTERNAL PACKAGE INDUCTANCE (TO-220)

Internal Drain Inductance (Measured from the contact screw on tab to center of die) (Measured from the drain lead 0.25" from package to center of die)	L_d	3.5 (Typ) 4.5 (Typ)	—	nH
Internal Source Inductance (Measured from the source lead 0.25" from package to source bond pad.)	L_s	7.5 (Typ)	—	

TYPICAL ELECTRICAL CHARACTERISTICS

Figure 1. On-Region Characteristics

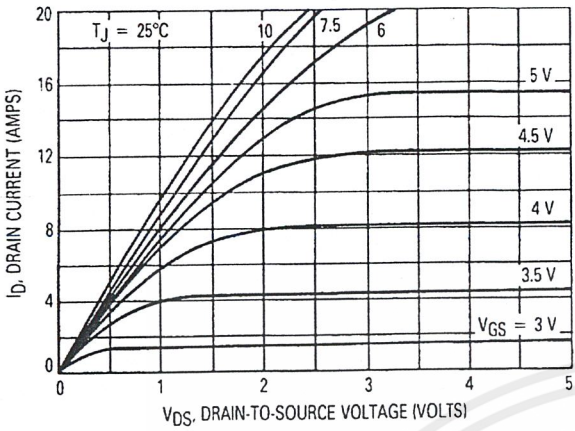


Figure 2. Gate-Threshold Voltage Variation With Temperature

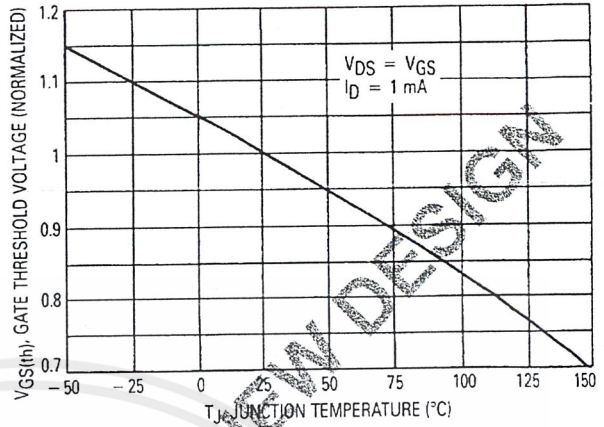


Figure 3. Transfer Characteristics

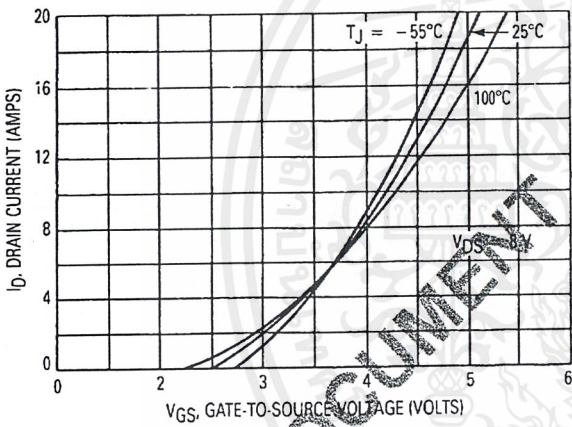


Figure 4. On-Resistance versus Drain Current

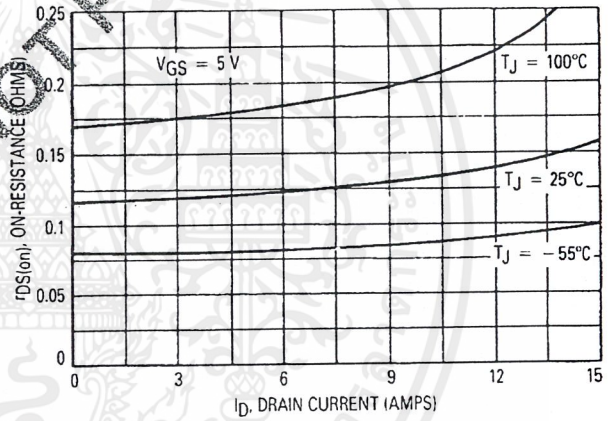


Figure 5. On-Resistance versus Gate-to-Source Voltage

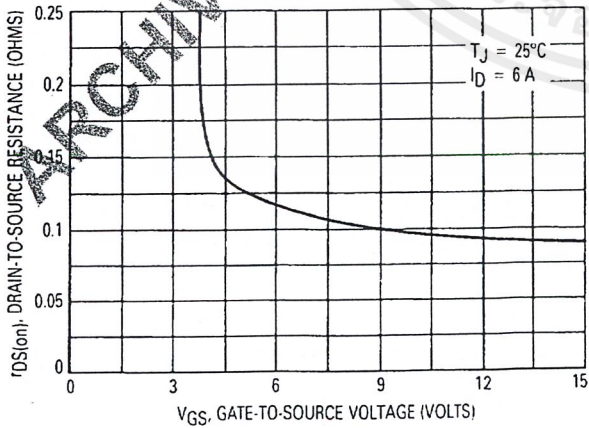


Figure 6. On-Resistance Variation With Temperature

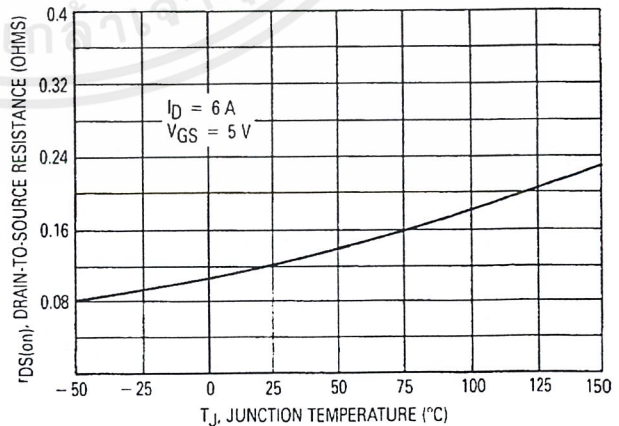


Figure 7. Breakdown Voltage Variation With Temperature

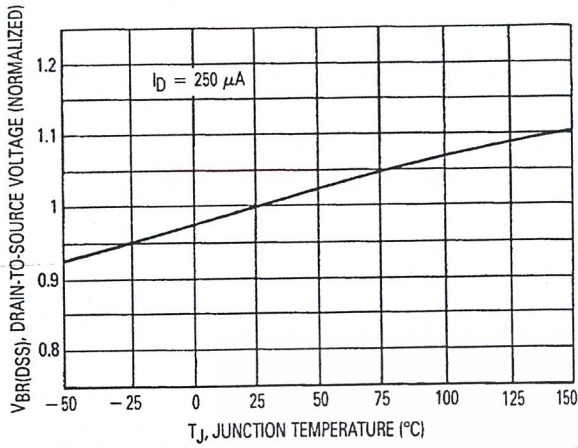
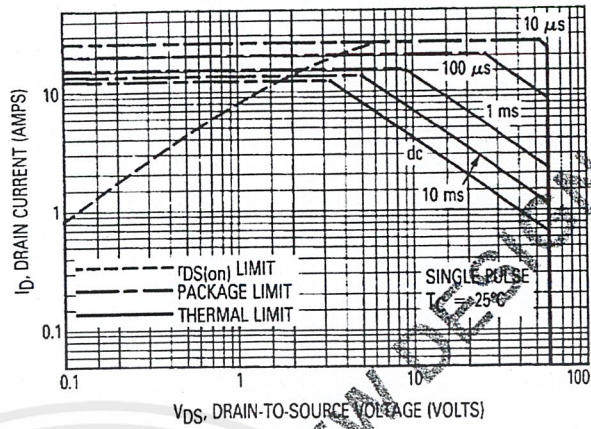


Figure 8. Maximum Rated Forward Biased Safe Operating Area



FORWARD BIASED SAFE OPERATING AREA

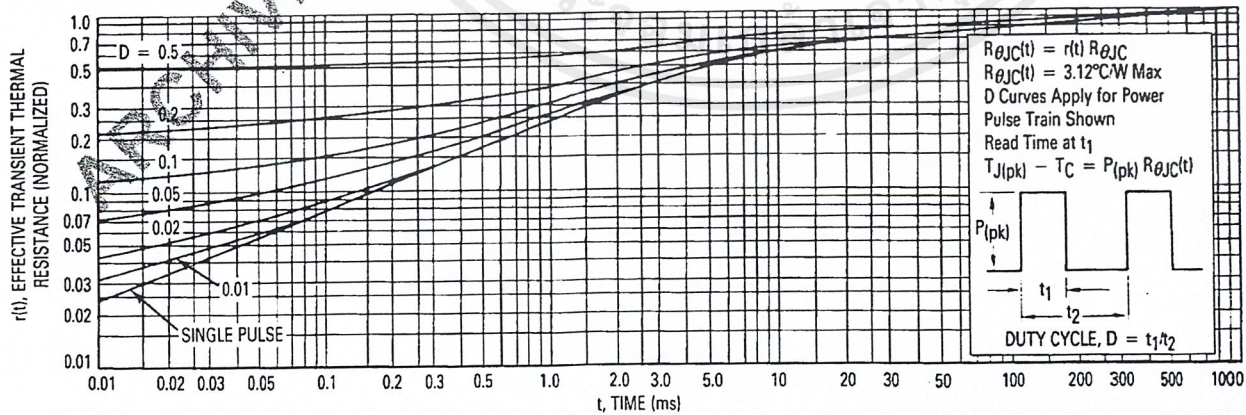
The FBSOA curves define the maximum drain-to-source voltage and drain current that a device can safely handle when it is forward biased, or when it is on, or being turned on. Because these curves include the limitations of simultaneous high voltage and high current, up to the rating of the device, they are especially useful to designers of linear systems. The curves are based on a case temperature of 25°C and a maximum junction temperature of 150°C. Limitations for repetitive pulses at various case temperatures can be determined by using the thermal response curves. Motorola Application Note, AN569, "Transient Thermal Resistance-General Data and Its Use" provides detailed instructions.

The switching safe operating area fundamental limits are the peak current, I_{DM} and the breakdown voltage, $V_{(BR,DSS)}$. This is applicable for both turn-on and turn-off of the devices for switching times less than one microsecond.

The power averaged over a complete switching cycle must be less than:

$$\frac{T_{J(max)} - T_C}{R_{\theta JC}}$$

Figure 9. Thermal Response



COMMUTATING SAFE OPERATING AREA (CSOA)

The Commutating Safe Operating Area (CSOA) of Figure 11 defines the limits of safe operation for commutated source-drain current versus re-applied drain voltage when the source-drain diode has undergone forward bias. The curve shows the limitations of I_{FM} and peak V_{DS} for a given rate of change of source current. It is applicable when waveforms similar to those of Figure 10 are present. Full or half-bridge PWM DC motor controllers are common applications requiring CSOA data.

Device stresses increase with increasing rate of change of source current so di_s/dt is specified with a maximum value. Higher values of di_s/dt require an appropriate derating of I_{FM} , peak V_{DS} or both. Ultimately di_s/dt is limited primarily by device, package, and circuit impedances. Maximum device stress occurs during t_{rr} as the diode goes from conduction to reverse blocking.

$V_{DS(pk)}$ is the peak drain-to-source voltage that the device must sustain during commutation; I_{FM} is the maximum forward source-drain diode current just prior to the onset of commutation.

V_R is specified at 80% of $V_{(BR)DSS}$ to ensure that the CSOA stress is maximized as I_S decays from I_{RM} to zero.

R_{GS} should be minimized during commutation. T_J has only a second order effect on CSOA.

Stray inductances in Motorola's test circuit are assumed to be practical minimums. dV_{DS}/dt in excess of 10 V/ns was attained with di_s/dt of 400 A/ μ s.

Figure 11. Commutating Safe Operating Area (CSOA)

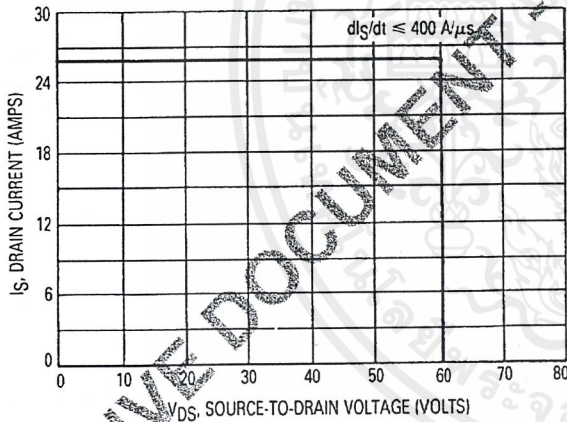


Figure 13. Unclamped Inductive Switching Test Circuit

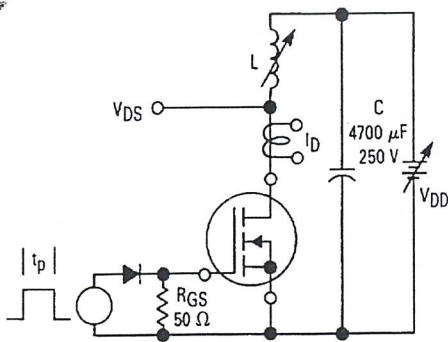


Figure 10. Commutating Waveforms

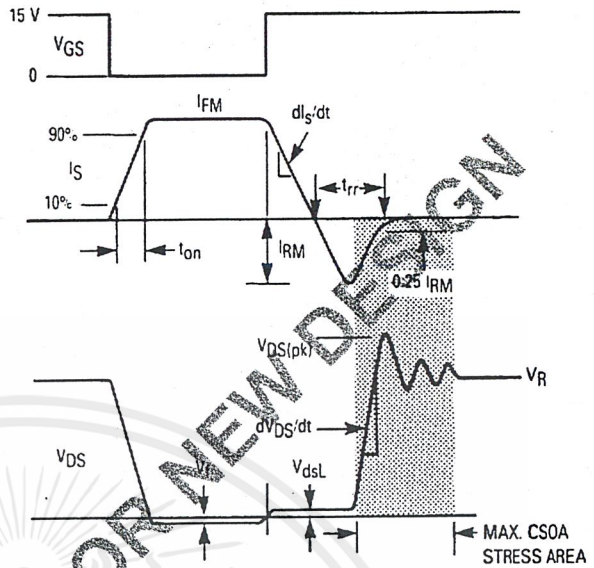


Figure 12. Commutating Safe Operating Area Test Circuit

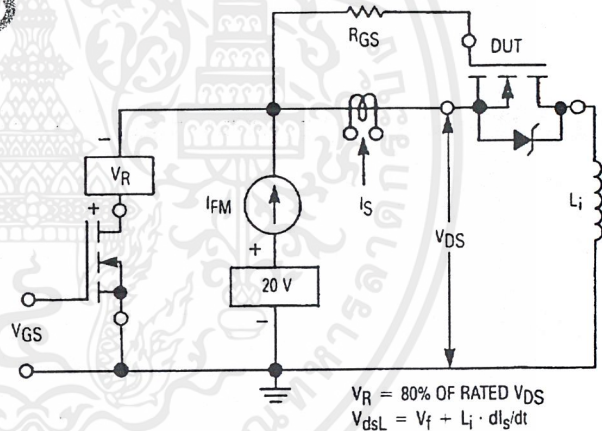


Figure 14. Unclamped Inductive Switching Waveforms

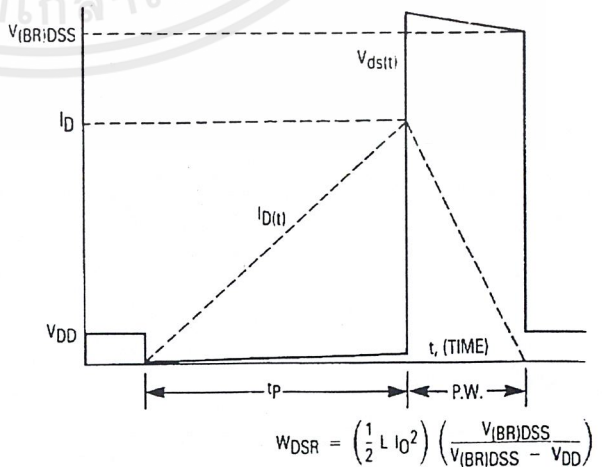


Figure 15. Capacitance Variation

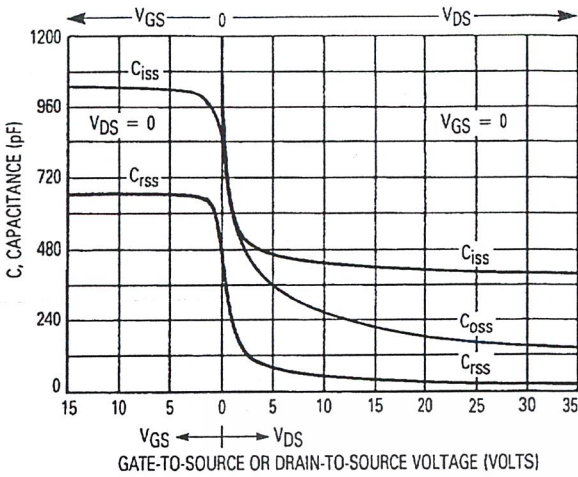


Figure 16. Gate Charge versus Gate-to-Source Voltage

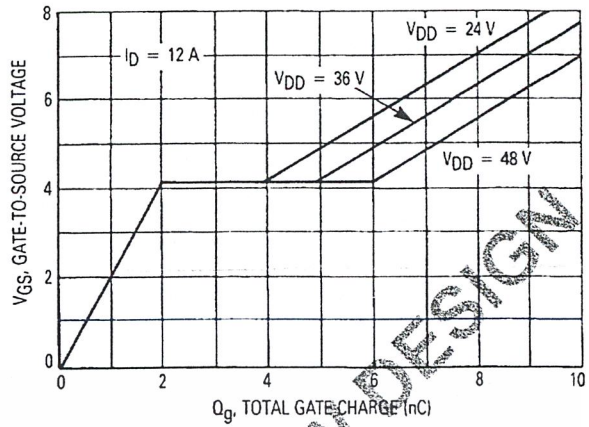
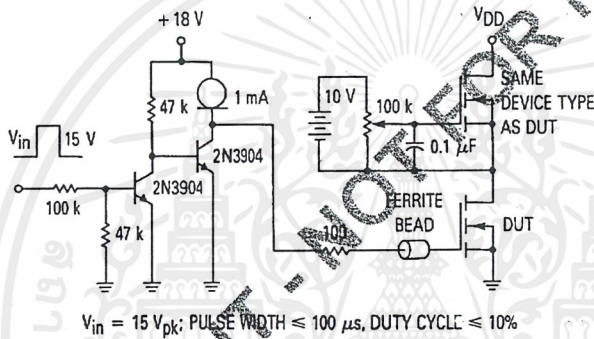


Figure 17. Gate Charge Test Circuit



OUTLINE DIMENSIONS

MECHANICAL DRAWING OF TO-220AB PACKAGE. DIMENSIONS A-Z are indicated. A SEATING PLANE is shown. PIN 1 is GATE, PIN 2 is DRAIN, PIN 3 is SOURCE, PIN 4 is DRAIN.

STYLE 5:
 1. GATE
 2. DRAIN
 3. SOURCE
 4. DRAIN

NOTES:
 1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 2. CONTROLLING DIMENSION: INCH.
 3. DIM Z DEFINES A ZONE WHERE ALL BODY AND LEAD IRREGULARITIES ARE ALLOWED.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	14.48	15.75	0.570	0.620
B	9.66	10.28	0.380	0.405
C	4.07	4.82	0.160	0.190
D	0.64	0.88	0.025	0.035
F	3.61	3.73	0.142	0.147
G	2.42	2.66	0.095	0.105
H	2.80	3.93	0.110	0.155
J	0.36	0.55	0.014	0.022
K	12.70	14.27	0.500	0.562
L	1.15	1.39	0.045	0.055
N	4.83	5.33	0.190	0.210
Q	2.54	3.04	0.100	0.120
R	2.04	2.79	0.080	0.110
S	1.15	1.39	0.045	0.055
T	5.97	6.47	0.235	0.255
U	0.00	1.27	0.000	0.050
V	1.15	—	0.045	—
Z	—	2.04	—	0.080

CASE 221A-04
TO-220AB

Motorola reserves the right to make changes without further notice to any products herein to improve reliability, function or design. Motorola does not assume any liability arising out of the application or use of any product or circuit described herein, neither does it convey any license under its patent rights nor the rights of others. Motorola and are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Employment Opportunity/Affirmative Action Employer.

Literature Distribution Centers:

USA: Motorola Literature Distribution; P.O. Box 20912; Phoenix, Arizona 85036.
 EUROPE: Motorola Ltd.; European Literature Center; 88 Tanners Drive, Blakelands Milton Keynes, MK145BP, England.
 ASIA PACIFIC: Motorola Semiconductors H.K. Ltd.; P.O. Box 80300; Chung Sha Wan Post Office; Kowloon Hong Kong.



22728-1 PRINTED IN USA 7-88 IMPERIAL LITHO C57911 5,000 TANGA

MTP3055EL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



BCD DECADE COUNTERS/ 4-BIT BINARY COUNTERS

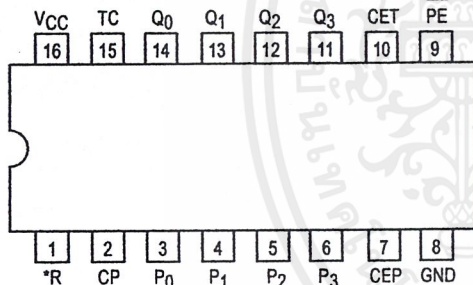
The LS160A/161A/162A/163A are high-speed 4-bit synchronous counters. They are edge-triggered, synchronously presettable, and cascadable MSI building blocks for counting, memory addressing, frequency division and other applications. The LS160A and LS162A count modulo 10 (BCD). The LS161A and LS163A count modulo 16 (binary).

The LS160A and LS161A have an asynchronous Master Reset (Clear) input that overrides, and is independent of, the clock and all other control inputs. The LS162A and LS163A have a Synchronous Reset (Clear) input that overrides all other control inputs, but is active only during the rising clock edge.

	BCD (Modulo 10)	Binary (Modulo 16)
Asynchronous Reset	LS160A	LS161A
Synchronous Reset	LS162A	LS163A

- Synchronous Counting and Loading
- Two Count Enable Inputs for High Speed Synchronous Expansion
- Terminal Count Fully Decoded
- Edge-Triggered Operation
- Typical Count Rate of 35 MHz
- ESD > 3500 Volts

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

*MR for LS160A and LS161A
*SR for LS162A and LS163A

PIN NAMES

PE	Parallel Enable (Active LOW) Input
P ₀ -P ₃	Parallel Inputs
CEP	Count Enable Parallel Input
CET	Count Enable Trickle Input
CP	Clock (Active HIGH Going Edge) Input
MR	Master Reset (Active LOW) Input
SR	Synchronous Reset (Active LOW) Input
Q ₀ -Q ₃	Parallel Outputs (Note b)
TC	Terminal Count Output (Note b)

LOADING (Note a)

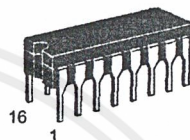
	HIGH	LOW
PE	1.0 U.L.	0.5 U.L.
P ₀ -P ₃	0.5 U.L.	0.25 U.L.
CEP	0.5 U.L.	0.25 U.L.
CET	1.0 U.L.	0.5 U.L.
CP	0.5 U.L.	0.25 U.L.
MR	0.5 U.L.	0.25 U.L.
SR	1.0 U.L.	0.5 U.L.
Q ₀ -Q ₃	10 U.L.	5 (2.5) U.L.
TC	10 U.L.	5 (2.5) U.L.

NOTES:

- a) 1 TTL Unit Load (U.L.) = 40 μ A HIGH/1.6 mA LOW.
b) The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

**SN54/74LS160A
SN54/74LS161A
SN54/74LS162A
SN54/74LS163A**

**BCD DECADE COUNTERS/
4-BIT BINARY COUNTERS
LOW POWER SCHOTTKY**



**J SUFFIX
CERAMIC
CASE 620-09**



**N SUFFIX
PLASTIC
CASE 648-08**

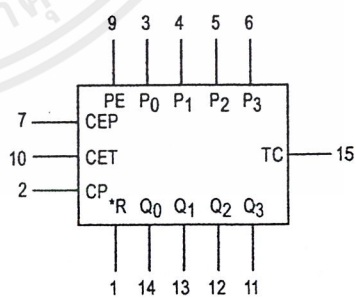


**D SUFFIX
SOIC
CASE 751B-03**

ORDERING INFORMATION

SN54LSXXXJ Ceramic
SN74LSXXXN Plastic
SN74LSXXXD SOIC

LOGIC SYMBOL



V_{CC} = PIN 16
GND = PIN 8

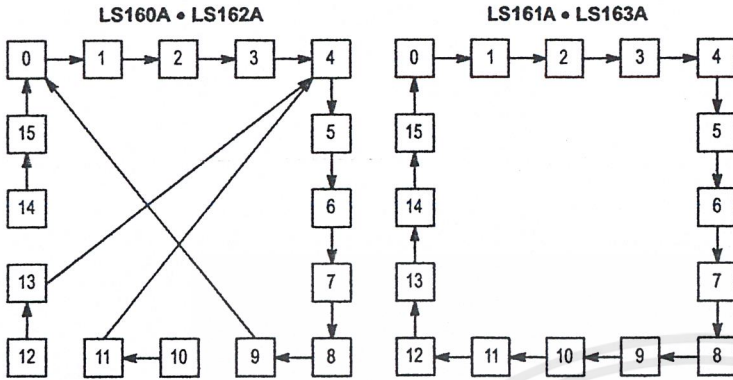
*MR for LS160A and LS161A
*SR for LS162A and LS163A

FAST AND LS TTL DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS160A • SN54/74LS161A SN54/74LS162A • SN54/74LS163A

STATE DIAGRAM



LOGIC EQUATIONS

Count Enable = $CEP \cdot CET \cdot PE$
 TC for LS160A & LS162A = $CET \cdot Q_0 \cdot \bar{Q}_1 \cdot \bar{Q}_2 \cdot Q_3$
 TC for LS161A & LS163A = $CET \cdot Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3$
 Preset = $\bar{PE} \cdot CP + (\text{rising clock edge})$
 Reset = \bar{MR} (LS160A & LS161A)
 Reset = $SR \cdot CP + (\text{rising clock edge})$
 (LS162A & LS163A)

NOTE:

The LS160A and LS162A can be preset to any state, but will not count beyond 9. If preset to state 10, 11, 12, 13, 14, or 15, it will return to its normal sequence within two clock pulses.

FUNCTIONAL DESCRIPTION

The LS160A/161A/162A/163A are 4-bit synchronous counters with a synchronous Parallel Enable (Load) feature. The counters consist of four edge-triggered D flip-flops with the appropriate data routing networks feeding the D inputs. All changes of the Q outputs (except due to the asynchronous Master Reset in the LS160A and LS161A) occur as a result of, and synchronous with, the LOW to HIGH transition of the Clock input (CP). As long as the set-up time requirements are met, there are no special timing or activity constraints on any of the mode control or data inputs.

Three control inputs — Parallel Enable (\bar{PE}), Count Enable Parallel (CEP) and Count Enable Trickle (CET) — select the mode of operation as shown in the tables below. The Count Mode is enabled when the CEP, CET, and PE inputs are HIGH. When the PE is LOW, the counters will synchronously load the data from the parallel inputs into the flip-flops on the LOW to HIGH transition of the clock. Either the CEP or CET can be used to inhibit the count sequence. With the PE held HIGH, a LOW on either the CEP or CET inputs at least one set-up time prior to the LOW to HIGH clock transition will cause the existing output states to be retained. The AND feature of the two Count Enable inputs ($CET \cdot CEP$) allows synchronous cascading without external gating and without delay accumulation over any practical number of bits or digits.

The Terminal Count (TC) output is HIGH when the Count Enable Trickle (CET) input is HIGH while the counter is in its maximum count state (HLLH for the BCD counters, HHHH for

the Binary counters). Note that TC is fully decoded and will, therefore, be HIGH only for one count state.

The LS160A and LS162A count modulo 10 following a binary coded decimal (BCD) sequence. They generate a TC output when the CET input is HIGH while the counter is in state 9 (HLLH). From this state they increment to state 0 (LLLL). If loaded with a code in excess of 9 they return to their legitimate sequence within two counts, as explained in the state diagram. States 10 through 15 do *not* generate a TC output.

The LS161A and LS163A count modulo 16 following a binary sequence. They generate a TC when the CET input is HIGH while the counter is in state 15 (HHHH). From this state they increment to state 0 (LLLL).

The Master Reset (\bar{MR}) of the LS160A and LS161A is asynchronous. When the \bar{MR} is LOW, it overrides all other input conditions and sets the outputs LOW. The \bar{MR} pin should never be left open. If not used, the \bar{MR} pin should be tied through a resistor to V_{CC} , or to a gate output which is permanently set to a HIGH logic level.

The active LOW Synchronous Reset (SR) input of the LS162A and LS163A acts as an edge-triggered control input, overriding CET, CEP and PE, and resetting the four counter flip-flops on the LOW to HIGH transition of the clock. This simplifies the design from race-free logic controlled reset circuits, e.g., to reset the counter synchronously after reaching a predetermined value.

MODE SELECT TABLE

*SR	PE	CET	CEP	Action on the Rising Clock Edge (\uparrow)
L	X	X	X	RESET (Clear)
H	L	X	X	LOAD ($P_n \rightarrow Q_n$)
H	H	H	H	COUNT (Increment)
H	H	L	X	NO CHANGE (Hold)
H	H	X	L	NO CHANGE (Hold)

*For the LS162A and LS163A only.

H = HIGH Voltage Level
 L = LOW Voltage Level
 X = Don't Care

FAST AND LS TTL DATA

**SN54/74LS160A • SN54/74LS161A
SN54/74LS162A • SN54/74LS163A**

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V _{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T _A	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
I _{OH}	Output Current — High	54, 74			-0.4	mA
I _{OL}	Output Current — Low	54 74			4.0 8.0	mA

LS160A and LS161A

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions	
		Min	Typ	Max			
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V _{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74		0.8			
V _{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	V _{CC} = MIN, I _{IN} = -18 mA	
V _{OH}	Output HIGH Voltage	54	2.5	3.5	V	V _{CC} = MIN, I _{OH} = MAX, V _{IN} = V _{IH} or V _{IL} per Truth Table	
		74	2.7	3.5	V		
V _{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I _{OL} = 4.0 mA V _{CC} = V _{CC} MIN, V _{IN} = V _{IL} or V _{IH} per Truth Table
		74		0.35	0.5	V	
I _{IH}	Input HIGH Current MR, Data, CEP, Clock PE, CET			20 40	μA	V _{CC} = MAX, V _{IN} = 2.7 V	
	MR, Data, CEP, Clock PE, CET			0.1 0.2	mA	V _{CC} = MAX, V _{IN} = 7.0 V	
I _{IL}	Input LOW Current MR, Data, CEP, Clock PE, CET			-0.4 -0.8	mA	V _{CC} = MAX, V _{IN} = 0.4 V	
I _{OS}	Short Circuit Current (Note 1)	-20		-100	mA	V _{CC} = MAX	
I _{CC}	Power Supply Current Total, Output HIGH Total, Output LOW			31	mA	V _{CC} = MAX	
				32			

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

**SN54/74LS160A • SN54/74LS161A
SN54/74LS162A • SN54/74LS163A**

LS162A and LS163A

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions	
		Min	Typ	Max			
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V _{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74		0.8			
V _{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	V _{CC} = MIN, I _{IN} = -18 mA	
V _{OH}	Output HIGH Voltage	54	2.5	3.5	V	V _{CC} = MIN, I _{OH} = MAX, V _{IN} = V _{IH} or V _{IL} per Truth Table	
		74	2.7	3.5	V		
V _{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I _{OL} = 4.0 mA V _{CC} = V _{CC} MIN, V _{IN} = V _{IL} or V _{IH} per Truth Table
		74		0.35	0.5	V	
I _{IH}	Input HIGH Current Data, CEP, Clock PE, CET, SR			20 40	μA	V _{CC} = MAX, V _{IN} = 2.7 V	
	Data, CEP, Clock PE, CET, SR			0.1 0.2	mA	V _{CC} = MAX, V _{IN} = 7.0 V	
I _{IL}	Input LOW Current Data, CEP, Clock, PE, SR CET			-0.4 -0.8	mA	V _{CC} = MAX, V _{IN} = 0.4 V	
I _{OS}	Short Circuit Current (Note 1)	-20		-100	mA	V _{CC} = MAX	
I _{CC}	Power Supply Current Total, Output HIGH Total, Output LOW			31 32	mA	V _{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
f _{MAX}	Maximum Clock Frequency	25	32		MHz	V _{CC} = 5.0 V C _L = 15 pF
t _{PLH} t _{PHL}	Propagation Delay Clock to TC		20 18	35 35	ns	
t _{PLH} t _{PHL}	Propagation Delay Clock to Q		13 18	24 27	ns	
t _{PLH} t _{PHL}	Propagation Delay CET to TC		9.0 9.0	14 14	ns	
t _{PHL}	MR or SR to Q		20	28	ns	

FAST AND LS TTL DATA

**SN54/74LS160A • SN54/74LS161A
SN54/74LS162A • SN54/74LS163A**

AC SETUP REQUIREMENTS ($T_A = 25^\circ\text{C}$)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t_{WCP}	Clock Pulse Width Low	25			ns	V _{CC} = 5.0 V
t_W	MR or SR Pulse Width	20			ns	
t_s	Setup Time, other*	20			ns	
t_s	Setup Time PE or SR	25			ns	
t_h	Hold Time, data	3			ns	
t_h	Hold Time, other	0			ns	
t_{rec}	Recovery Time MR to CP	15			ns	

*CEP, CET or DATA

DEFINITION OF TERMS

SETUP TIME (t_s) — is defined as the minimum time required for the correct logic level to be present at the logic input prior to the clock transition from LOW to HIGH in order to be recognized and transferred to the outputs.

HOLD TIME (t_h) — is defined as the minimum time following the clock transition from LOW to HIGH that the logic level must be maintained at the input in order to ensure continued recog-

inition. A negative HOLD TIME indicates that the correct logic level may be released prior to the clock transition from LOW to HIGH and still be recognized.

RECOVERY TIME (t_{rec}) — is defined as the minimum time required between the end of the reset pulse and the clock transition from LOW to HIGH in order to recognize and transfer HIGH Data to the Q outputs.

AC WAVEFORMS

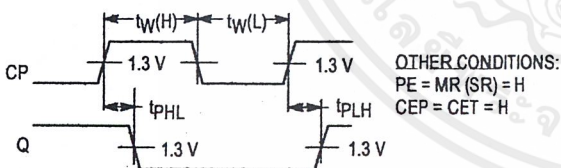


Figure 1. Clock to Output Delays, Count Frequency, and Clock Pulse Width

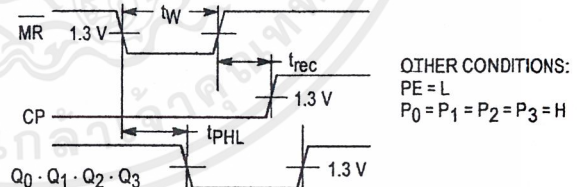


Figure 2. Master Reset to Output Delay, Master Reset Pulse Width, and Master Reset Recovery Time

SN54/74LS160A • SN54/74LS161A SN54/74LS162A • SN54/74LS163A

AC WAVEFORMS (continued)

COUNT ENABLE TRICKLE INPUT TO TERMINAL COUNT OUTPUT DELAYS

The positive TC pulse occurs when the outputs are in the ($Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3$) state for the LS160 and LS162 and the ($\overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3}$) state for the LS161 and LS163.

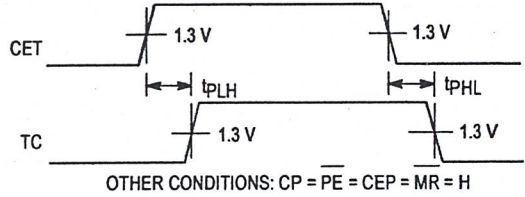


Figure 3

CLOCK TO TERMINAL COUNT DELAYS

The positive TC pulse is coincident with the output state ($Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3$) state for the LS161 and LS163 and ($\overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3}$) for the LS161 and LS163.

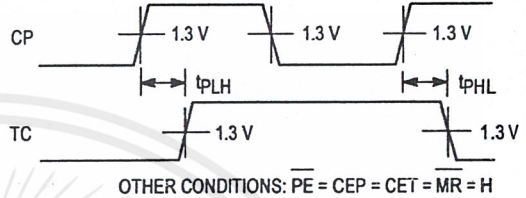


Figure 4

SETUP TIME (t_s) AND HOLD TIME (t_h) FOR PARALLEL DATA INPUTS

The shaded areas indicate when the input is permitted to change for predictable output performance.

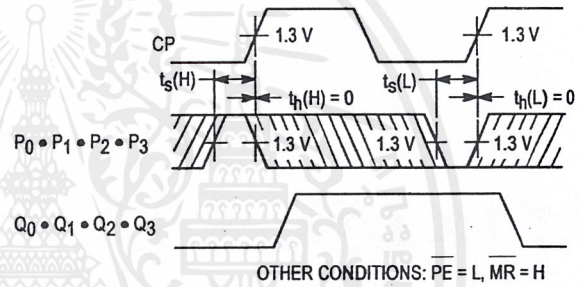


Figure 5

SETUP TIME (t_s) AND HOLD TIME (t_h) FOR COUNT ENABLE (CEP) AND (CET) AND PARALLEL ENABLE (PE) INPUTS

The shaded areas indicate when the input is permitted to change for predictable output performance.

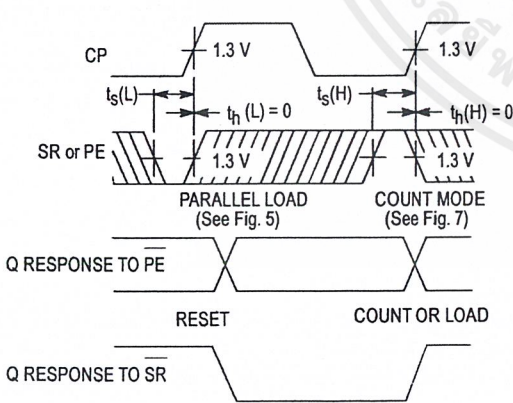


Figure 6

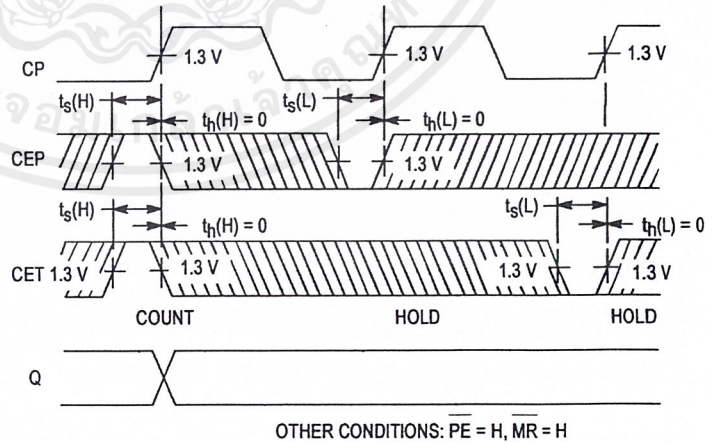


Figure 7

FAST AND LS TTL DATA

กิตติกรรมประกาศ

ปริญญาโทฉบับนี้ จะไม่สามารถประสบความสำเร็จได้เลย หากขาดความช่วยเหลือจาก ท่านคณาจารย์และผู้มีพระคุณต่างๆ ดังนี้

ขอขอบพระคุณอาจารย์คงศักดิ์ อนันตหิรัญรัตน์ และอาจารย์สุมิตร พนาอุดมทรัพย์ อาจารย์ที่ปรึกษา สำหรับคำแนะนำและความช่วยเหลือในการแก้ปัญหาต่างๆมากมายที่ไม่สามารถ กล่าวได้หมด อาจารย์นนทวัฒน์ จุลเดชะ สำหรับคำแนะนำด้านมอเตอร์และวงจรขับเคลื่อนมอเตอร์ อาจารย์วันชัย ธีรจุฑา และอาจารย์วรพงษ์ ตั้งศรีรัตน์ สำหรับคำแนะนำด้านการแก้ปัญหาสัญญาณรบกวน อาจารย์เกียรติวรรณ ทรงสัจย์ สำหรับคำแนะนำด้านไมโครคอนโทรลเลอร์และไดอะแกรมเวลา อาจารย์สุรพันธุ์ เอื้อไพบูลย์ อาจารย์ภาควิชาอิเล็กทรอนิกส์ สำหรับคำแนะนำด้านสัญญาณภาพวิดีโอ และอาจารย์ภาควิชาระบบควบคุมทุกท่าน ที่ได้อบรมสั่งสอนและชี้แนะสิ่งดีๆ

ขอขอบพระคุณอาจารย์คงศักดิ์ อนันตหิรัญรัตน์ อาจารย์เกียรติศักดิ์ คมวัชระ และ อาจารย์วรพงษ์ ตั้งศรีรัตน์ ที่เอื้อเฟื้อสถานที่ในการทำโครงงาน อาจารย์จกมล งามวิวิทย์ อาจารย์ถาวร เบญจนราษฎร์ และมูลนิธิใจกล้า (JICA) ที่ได้เอื้อเฟื้อกล้องวิดีโอสำหรับใช้ในโครงงาน

ขอขอบพระคุณเจ้าหน้าที่ภาควิชาระบบควบคุม และเพื่อนๆ ทั้งภาควิชาระบบควบคุม ภาควิชาอิเล็กทรอนิกส์ และภาควิชาโทรคมนาคม ที่เอื้อเฟื้ออุปกรณ์ และให้คำแนะนำต่างๆ

ที่สำคัญ ขอขอบพระคุณสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง สถาบันอันทรงเกียรติ ที่ได้ให้โอกาสและประสบการณ์อันมีค่ายิ่งสำหรับชีวิตของข้าพเจ้า

เหนือสิ่งอื่นใด ขอกราบขอบพระคุณ คุณพ่อ คุณแม่ ที่ได้มอบชีวิต ความรัก ความห่วงใย และกำลังใจตลอดมา

นายภาที ศรีรามไพบูลย์

นางสาวยุวดี พนิตวงศ์ตระกูล

หนังสืออ้างอิง

- [1.] ประเมษฐ์ ประณยานันท์ และ ปิยพงศ์ เผ่าวิช , “คู่มือและการประยุกต์ใช้งานไมโครคอนโทรลเลอร์ MCS-51” , บริษัทซีเอ็ดยูเคชั่น จำกัด(มหาชน) , 380 หน้า , 2536
- [2.] รศ.สมยศ จุณณะปิยะ , “การประยุกต์ใช้ไมโครคอนโทรลเลอร์ ตระกูล MCS-51” , คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 301 หน้า 2541
- [3.] นายสหัส พิภอ่อน “เครื่องแปลงสัญญาณวิดีโอเป็นข้อมูลภาพสำหรับเครื่องมือแพทย์” วิทยานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมศาสตร์ไฟฟ้า บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง พ.ศ.2542



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้