สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การพัฒนาโมเด็ม 16 QAM

DEVELOPMENT OF 16 QAM MODEM

นายพงษ์ศักดิ์ เจนเจริญรัตน์
นางสาวไพริน เนียมศิริ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต
สาขาวิชาเทคโนโลยีโทรคมนาคม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน 37164
วัน, เดือน, ปี - 4 ก.ย. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ การพัฒนาโมเด็มแบบ 16 QAM

Development of 16 QAM Modem

ชื่อนักศึกษา นายพงษ์ศักดิ์ เจนเจริญรัตน์

นางสาวไพริน เนียมศิริ

อาจารย์ที่ปรึกษา ผศ.ชวลิต เบญจางคประเสริฐ

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2542

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพัฒนาโมเด็มแบบ 16 QAM

โดย นาย พงษ์ศักดิ์ เจนเจริญรัตน์
นางสาว ไพริน เนียมศิริ
อาจารย์ที่ปรึกษา ผศ.ชวลิต เบญจางคประเสริฐ

ปีการศึกษา 2542

บทคัดย่อ

โครงงานนี้เสนอวิธีการออกแบบและสร้างโมเด็มแบบ 16 QAM ซึ่งเป็นเทคนิคการมอดูเลชั่นและดีมอดูเลชั่น สัญญาณดิจิตอลความเร็วสูง โดยการมอดูเลท ครั้งละ 4 บิท ต่อ 1 สัญญาณนาฬิกา ทำให้สามารถเพิ่มประสิทธิภาพในการใช้แบนด์วิดท์ในการส่งข้อมูล จากผลการทดลองทั้งภาคมอดูเลชั่นและดีมอดูเลชั่น สามารถทำงานได้ดีเป็นที่น่าพอใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVELOPMENT OF 16 QAM MODEM

By Mr. Pongsak jencjareanrut

Miss. Pairin Niamsiri

Advisor Asst.Prof. Chawalit Benjangkaprasert

Year 1999

ABSTRACT

This project presents a design and realization of 16 QAM Modem. This is a technique of modulation and demodulation for high speed data transfer. It is modulated 4 bits digital signal per clock . This method can be increase spectrum efficiency. The experiment of modulation and demodulation parts are show good result.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปด้วยดี ก็เนื่องจากได้รับคำแนะนำ และการช่วยเหลือด้านต่างๆ เป็นอย่างดีจากอาจารย์ ชวลิต เบญจางคประเสริฐ อาจารย์ที่ปรึกษาโครงงานที่ให้คำแนะนำปรึกษา ตลอดจนการให้ความเอื้อเฟื้อเครื่องมืออุปกรณ์และห้องปฏิบัติการในการทำโครงงานครั้งนี้ จึงขอขอบพระคุณไว้ ณ ที่นี้ด้วย

ขอบคุณพระคุณบิดา มารดา ที่ช่วยเป็นกำลังใจ และให้การสนับสนุนด้านทุนทรัพย์ ขอบคุณเพื่อนๆ ที่ให้กำลังใจ และคำแนะนำช่วยเหลือ ในการทำโครงงานนี้จนสำเร็จไปด้วยดี

นายพงษ์ศักดิ์ เจนเจริญรัตน์
นางสาวไพริน เนียมศิริ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ(ภาษาไทย)	A
บทคัดย่อ(ภาษาอังกฤษ)	B
กิตติกรรมประกาศ	C
สารบัญภาพ	D
สารบัญตาราง	E
บทที่ 1 บทนำ	1
- การสื่อสาร	1
- ระบบสื่อสารคอมพิวเตอร์	2
- เหตุที่ต้องใช้โมเด็ม	3
- คุณสมบัติสายส่งข้อมูล	4
- มาตรฐานของโมเด็ม	12
- วัตถุประสงค์	17
บทที่ 2 ทฤษฎีและหลักการของ 16 QAM	20
- Quadrature Amplitude Modulation	20
- ประสิทธิภาพของแถบความถี่	22
- การพิจารณาความถี่ของ 16 QAM	24
- วงจร Balance Modulation	25
- วงจรกรองความถี่ด้วยวงจร Active	27
- ระบบ Phase Lock Loop	31
บทที่ 3 การออกแบบและการทดลองวงจรด้านภาคส่ง	53
- วงจรแยกบิทคู่และบิทคี่	53
- วงจรแปลงสัญญาณจาก 2 บิท เป็น สัญญาณ 4 ระดับ	54
- วงจรกรองความถี่ต่ำผ่าน	56
- วงจรกำเนิดสัญญาณพาหะ	57
- วงจรกำเนิดสัญญาณไพล็อตโทน	58
- วงจร์กรองความถี่ผ่านเฉพาะย่าน	59
- วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา	60
- วงจรบาลานซ์มอดูเลเตอร์	61
- วงจรรวมสัญญาณ	62
บทที่ 4 การออกแบบและทดลองวงจรด้านภาครับ	63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- วงจรกรองความถี่ผ่านเฉพาะย่าน 63
- วงจรกู้สัญญาณคลื่นพาห์ 65
- วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา 65
- วงจรดีมอดูเลเตอร์ 66
- วงจรกรองความถี่ต่ำผ่าน 67
- วงจรแปลงสัญญาณ 4 ระดับ เป็น 2 บิท 68
- วงจรรวมสัญญาณดิจิตอล 68

บทที่ 5 ผลการทดลอง 69

บทที่ 6 สรุปผลการทดลอง 81

บรรณานุกรม 82

ภาคผนวก 83

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
บทที่ 1	1
รูปที่ 1.1 แสดงระบบสื่อสารชนิดต่างๆ	1
รูปที่ 1.2 แสดงการติดต่อแบบขนานและแบบอนุกรม	2
รูปที่ 1.3 แสดงองค์ประกอบของคลื่นไฟฟ้ารูปสี่เหลี่ยม	3
รูปที่ 1.4 กรณีไม่มีการผิดเพี้ยนรูปทรงของสัญญาณ	4
รูปที่ 1.5 กรณีที่เกิดการผิดเพี้ยนรูปทรงของสัญญาณอย่างมาก	4
รูปที่ 1.6 การผิดเพี้ยนรูปทรงของสัญญาณเนื่องจากการสะท้อนกลับ	7
รูปที่ 1.7 โครงสร้างของสายโคแอกเชียล	8
รูปที่ 1.8 การผิดเพี้ยนรูปทรงของสัญญาณเนื่องจากผลตอบสนองความถี่	10
รูปที่ 1.9 การมอดูเลชั่น	11
รูปที่ 1.10 ตัวอย่างของพัลส์	11
รูปที่ 1.11 บล๊อคไดอะแกรมของภาคส่ง (Transmitter)	18
รูปที่ 1.12 บล๊อคไดอะแกรมของภาครับ (Receiver)	18
บทที่ 2	
รูปที่ 2.1 บล๊อคไดอะแกรมของ 16 QAM Modulator	20
รูปที่ 2.2 Phase Diagram และ Constellation Diagram	22
รูปที่ 2.3 การพิจารณาแถบความถี่ของ 16 QAM	25
รูปที่ 2.4 วงจรBalance Modulator	26
รูปที่ 2.5 Frequency Response ของ Filter	29
รูปที่ 2.6 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป	30
รูปที่ 2.7 แสดงบล็อคไดอะแกรมของวงจรเฟสล็อคลูป	31
รูปที่ 2.8 ก. ผลต่างเฟสเมื่อเฟสเท่ากัน	32
รูปที่ 2.8 ข. เมื่อเฟสของอินพุทเท่ากัน	32
รูปที่ 2.9 แสดงบล็อคไดอะแกรมของระบบ PLL ในลักษณะระบบป้อนกลับที่เป็นลิเนียร์	38
รูปที่ 2.10 แสดงเออร์เรอร์โวลท์เตจชั่วขณะในระหว่างเวลากระบวนการแคปเจอร์	42
รูปที่ 2.11 แสดงถึงคุณสมบัติการเปลี่ยนแปลงความถี่ไปเป็นโวลท์เตจ	45
รูปที่ 2.12 แสดงถึงคุณสมบัติรวมเปลี่ยนแปลงความถี่ไปเป็นโวลท์เตจของระบบ PLL	46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.13 ระบบเฟสล็อคลูป 47
รูปที่ 2.14 พิสัยการล็อคของระบบเฟสล็อคลูป 48
รูปที่ 2.15 แสดงคุณสมบัติเอาท์พุทดีเท็คเตอร์กับเฟสเออร์เรอร์ 49
รูปที่ 2.16 แสดงพิสัยแคปเจอร์ของระบบเฟสล็อคลูป 51

บทที่ 3

รูปที่ 3.1 วงจรแยกบิทคู่และบิทคี่ 53
รูปที่ 3.2 วงจรแปลงสัญญาณ จาก 2 บิท เป็นสัญญาณ 4 ระดับ 54
รูปที่ 3.3 วงจรกรองความถี่ต่ำผ่าน 56
รูปที่ 3.4 วงจรกำหนดสัญญาณพาหะ 57
รูปที่ 3.5 วงจรกำเนิดสัญญาณไพล็อตโทน 58
รูปที่ 3.6 วงจรกรองความถี่ผ่านเฉพาะย่าน 59
รูปที่ 3.7 วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา 60
รูปที่ 3.8 วงจร Balance Modulator 61
รูปที่ 3.9 วงจรรวมสัญญาณ 62

บทที่ 4

รูปที่ 4.1 วงจรกรองความถี่ผ่านเฉพาะย่าน 63
รูปที่ 4.2 วงจรกู้สัญญาณคลื่นพาหะ 64
รูปที่ 4.3 วงจรเลื่อนเฟสสัญญาณ 90 องศา 65
รูปที่ 4.4 วงจร Demodulator 66
รูปที่ 4.5 วงจรกรองความถี่ต่ำ 67
รูปที่ 4.6 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิท 68
รูปที่ 4.7 วงจรรวมสัญญาณดิจิตอล 68

บทที่ 5

รูปที่ 5.1 (รูปบน) แสดงรูปสัญญาณ NRZ กึ่ง Random 69
(รูปล่าง) แสดงสัญญาณนาฬิกาความถี่ 256 kHz 69
รูปที่ 5.2 แสดงสัญญาณแยกบิท 69
รูปที่ 5.3 (รูปบน) แสดงสัญญาณ 4 ระดับ ทางด้าน I 70
(รูปล่าง) แสดงสัญญาณ 4 ระดับ ทางด้าน I ผ่าน Low Pass Filter 70
รูปที่ 5.4 (รูปบน) แสดงสัญญาณ 4 ระดับ ทางด้าน Q 70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(รูปล่าง) แสดงสัญญาณ 4 ระดับ ทางด้าน Q ผ่าน Low Pass Filter 70
รูปที่ 5.5 (รูปบน) แสดงสัญญาณ Input ของวงจรคูณความถี่ 5 เท่า 71
(รูปล่าง) แสดงสัญญาณ Output ของวงจรคูณความถี่ 5 เท่า 71
รูปที่ 5.6 (รูปบน) แสดงสัญญาณ Carrier Sine ความถี่ 640 kHz 71
(รูปล่าง) แสดงสัญญาณ Carrier Cosine ความถี่ 640 kHz 71
รูปที่ 5.7 (รูปบน) แสดงสัญญาณ Input ของวงจรคูณความถี่ 4 เท่า 72
(รูปล่าง) แสดงสัญญาณ Output ของวงจรคูณความถี่ 4 เท่า 72
รูปที่ 5.8 แสดงสัญญาณ Pilot Tone ความถี่ 521 kHz 72
รูปที่ 5.9 แสดงสัญญาณ Output ของเครื่องส่ง 16 QAM 73
รูปที่ 5.10 แสดง Constellation Diagram ของเครื่องส่ง 16 QAM 73
รูปที่ 5.11 แสดงสัญญาณ Input ของเครื่องรับ 16 QAM 74
รูปที่ 5.12 แสดงสัญญาณ Pilot Tone ความถี่ 521 kHz ที่กรองได้ที่ภาครับ 74
รูปที่ 5.13 (รูปบน) แสดงสัญญาณที่มอดูเลทเป็นสัญญาณ 4 ระดับ ทางด้าน I 75
(รูปล่าง) แสดงสัญญาณที่มอดูเลทเป็นสัญญาณ 4 ระดับ ทางด้าน Q 75
รูปที่ 5.14 (รูปบน) แสดงการวัดเฟสโดยปรับ Scope ที่ตำแหน่ง X-Y 75
(รูปล่าง) แสดงสัญญาณ Carrier ที่กู้ได้ที่ภาครับ 75
รูปที่ 5.15 (รูปบน) สัญญาณ Clock ความถี่ 256 kHz ที่ ภาครับ 76
(รูปล่าง) สัญญาณหน่วงเวลา 4 บิต เพื่อควบคุม Shift Register PISO 76
รูปที่ 5.16 (รูปบน) สัญญาณ Clock ความถี่ 256 kHz ที่ ภาครับ 76
(รูปล่าง) สัญญาณ Invert หน่วงเวลา 4 บิต เพื่อควบคุม Shift Register PISO 76
รูปที่ 5.17 แสดงการเปรียบเทียบสัญญาณหน่วงเวลา และ สัญญาณ Invert หน่วงเวลา4 บิต 77
รูปที่ 5.18 แสดงสัญญาณ I,I',Q,Q' ก่อนทำการรวมบิท ที่ ขา 11,12,13,14 77
รูปที่ 5.19 แสดงสัญญาณ Output NRZ ที่ภาครับ เทียบกับ Clock ที่กู้ได้ 78
รูปที่ 5.20 แสดงสัญญาณ Clock ความถี่ 256 kHz ที่ภาครับ 78
รูปที่ 5.21 ภาพถ่าย Constellation Diagram 16 QAM 79
รูปที่ 5.22 ภาพถ่าย Constellation Diagram 16 QAM ผ่าน Low Pass Filter 79
รูปที่ 5.23 ภาพถ่าย Eye Diagram 16 QAM 80
รูปที่ 5.24 ภาพถ่าย เครื่องส่งและเครื่องรับ 16 QAM 80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 1.1 ตัวอย่างสายเคเบิลในเมือง	7
ตารางที่ 1.2 ชนิดของสายเคเบิลในเมืองที่มีฉนวนเป็นโพลีเอทิลีน	8
ตารางที่ 1.3 ชนิดของสายเคเบิล CCP	8
ตารางที่ 1.4 มาตรฐานโมเด็ม V-Series ของ CCITT(ITU-T)	14
ตารางที่ 2.1 ตารางความจริงของ I และ Q ที่เปลี่ยนแปลงได้ทั้ง 4 ระดับ	21
ตารางที่ 2.2 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลทต่างๆ	23
ตารางที่ 2.3 สรุปข้อแตกต่างของ FSK,PSK และ QAM	24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การสื่อสาร(Communication)

การติดต่อสื่อสารเป็นการส่งข่าวสารจากจุดหนึ่งไปยังจุดหนึ่ง การสื่อสารประกอบด้วยส่วนต่างๆ 4 ส่วนมาประกอบกัน คือ

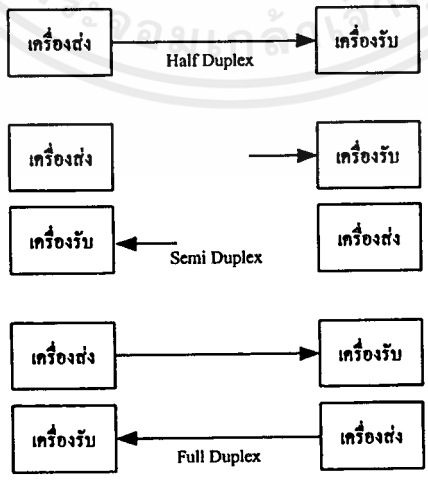
1. ข่าวสาร
2. ผู้รับ
3. ผู้ส่ง
4. สื่อกลาง

ในการสื่อสารข้อมูลของคอมพิวเตอร์ข่าวสารก็จะได้แก่แฟ้มข้อมูลต่างๆ ข้อความที่พิมพ์จากแป้นพิมพ์ เป็นต้น ส่วนผู้ส่งและผู้รับก็จะได้แก่เครื่องคอมพิวเตอร์ทั้งสองด้าน คือ ด้านผู้เรียก (Originate) และด้านผู้รับ (Answer) นั่นเอง ส่วนสื่อกลางของการสื่อสารคอมพิวเตอร์ก็จะ ได้แก่ ระบบสื่อสารต่างๆ เช่น เครือข่ายโทรศัพท์ , เครือข่ายดาวเทียม , หรือแม้กระทั่งสายไฟธรรมดา เช่น ระบบ LAN เป็นต้น ระบบของการสื่อสารแบ่งได้ 3 ระบบดังแสดงในรูปที่ 1.1 ซึ่งแต่ละระบบอธิบายได้ดังนี้

ระบบสื่อสารทางเดียว (Simplex Transmission หรือ Oneway Transmittion) เป็นการสื่อสารโดยข้อมูลจะไหลได้ทิศทางเดียว ตัวอย่างเช่น การกระจายเสียงของสถานีวิทยุ และโทรทัศน์ เป็นต้น

ระบบสื่อสารกึ่งสองทิศทาง (Semiduplex Transmittion หรือ Half-Duplex Transmittion) เป็นการสื่อสารข้อมูลไหลได้ 2 ทาง ทั้งไปและกลับ แต่ต้องผลัดกันรับผลัดกันส่งตัวอย่างเช่น การติดต่อวิทยุวอลกี้ทอร์คกี้ หรือวิทยุสมัครเล่น

ระบบสื่อสาร 2 ทิศทาง (Full-Duplex Transmittion) เป็นการสื่อสารได้ทั้งไปและกลับพร้อมๆ กันเช่นการพูดโทรศัพท์ เป็นต้น ในระบบสื่อสารของคอมพิวเตอร์ส่วนใหญ่จะเป็นระบบนี้



รูปที่ 1.1 แสดงระบบสื่อสารชนิดต่างๆ

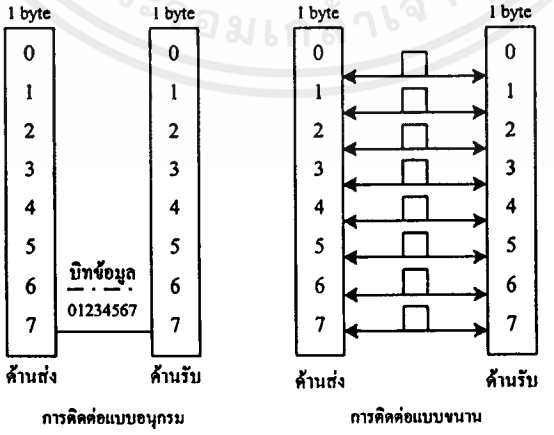
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบสื่อสารของคอมพิวเตอร์

การประมวลผลภายในคอมพิวเตอร์เป็นการประมวลผลแบบดิจิตอล สัญญาณไฟฟ้าในคอมพิวเตอร์ถูกแทนด้วยเลขฐาน 2 ซึ่งมีอยู่ 2 สถานะ คือ สถานะ 1 (Logic 1 มีศักดาไฟฟ้า 5 โวลท์) และสถานะ 0 (Logic 0 มีค่าศักดาไฟฟ้า 0 โวลท์) การสื่อสารระหว่างคอมพิวเตอร์ คือ การส่งสัญญาณสถานะ 0 และ 1 ให้กันโดยมีอุปกรณ์ที่ทำหน้าที่เป็นตัวส่งและตัวรับส่วนข่าวสาร คือ ศักดิ์ ของไฟฟ้าดังกล่าว และตัวกลางที่เป็นสื่อ คือสายไฟภายในคอมพิวเตอร์นั่นเอง ในคอมพิวเตอร์จะเรียกกลุ่มสายไฟเหล่านี้ว่า บัส (BUS) การติดต่อระหว่างคอมพิวเตอร์ด้วยกันจะแบ่งวิธีการติดต่อได้ 2 วิธีการ ซึ่งแสดงดังรูปที่ 1.2

- การติดต่อแบบขนาน (Parallel Communication) เป็นการติดต่อกันทีละหลายๆ บิตพร้อมกัน ตัวอย่างเช่นการติดต่อระหว่างหน่วยประมวลผลกลาง (CPU:Central Processing Unit) กับหน่วยความจำ (Memory Unit) การติดต่อระหว่างหน่วยประมวลผลกลางกับหน่วยเก็บข้อมูลฮาร์ดดิส (Hard Disk) เป็นต้น ซึ่งการติดต่อจะติดต่อกันทีละไบท์ (1 ไบท์มีขนาด 8 บิต) ดังนั้นจึงใช้สายไฟทั้งหมด 8 เส้น หรือ 8 วงจร แต่ถ้าเป็น (1 word = 2 byte) ดังนั้นต้องเพิ่มสายไฟและวงจรเช่นกัน การติดต่อแบบขนาน จึงมีข้อดี คือ รับ/ส่งข้อมูลได้เร็ว แต่เนื่องจากใช้วงจรติดต่อจำนวนมากจึงเหมาะที่จะใช้กับการติดต่อสื่อสารในระยะทางใกล้ๆ

- การติดต่อแบบอนุกรม (Sequential Communication) เป็นการรับ/ส่งข้อมูลกันครั้งละ 1 บิต เรียงลำดับกันไป โดยด้านส่งจะส่งไบท์ข้อมูลเรียงลำดับทีละบิตทะยอยส่งไป เมื่อไปถึงด้านรับแล้วที่ด้านรับจะทำการจับข้อมูลมาเรียงต่อกันเป็นไบท์คืน วิธีจึงสามารถใช้สายไฟเพียงวงจรเดียวจึงนิยมใช้ในการสื่อสารระหว่างคอมพิวเตอร์ที่อยู่ห่างไกลกันออกไป เพราะหากใช้วิธีขนานแล้วต้องสิ้นเปลืองค่าวงจรสูง แต่เนื่องจากเป็นการติดต่อทีละบิตจึงรับ/ส่งข้อมูลได้ช้ากว่าการติดต่อแบบขนาน

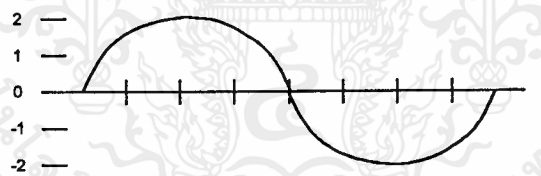


รูปที่ 1.2 แสดงการติดต่อแบบขนานและแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหตุผลที่ต้องใช้โมเด็ม

เนื่องจากสัญญาณดิจิตอลของคอมพิวเตอร์มีรูปคลื่นไฟฟ้าเป็นรูปสี่เหลี่ยม ซึ่งคลื่นรูปสี่เหลี่ยมนี้มีองค์ประกอบที่เกิดขึ้นจากสัญญาณไฟฟ้าคลื่นรูปซาย์นประกอบด้วยฮาร์โมนิคเลขคี่ (Odd Harmonic) ของความถี่นั้นๆ รวมกันหลายเท่าๆ (อย่างน้อยที่สุด 5 เท่า) ดังแสดงในรูปที่ 1.3 ในทางไฟฟ้าถือว่าคลื่น 4 เหลี่ยมมีแบนด์วิดท์ (Bandwidth) ของสัญญาณกว้างมาก เมื่อเราส่งสัญญาณรูปสี่เหลี่ยมนี้ผ่านสายไฟที่เป็นสื่อกลาง ซึ่งสายไฟจะมีคุณสมบัติเป็นตัวต้านทานและตัวเก็บประจุเสมือนต่ออยู่ และเมื่อสายไฟยาวมากขึ้นค่าความต้านทานและตัวเก็บประจุนี้จะเพิ่มขึ้นตามเป็นทวีคูณ ซึ่งผลของค่าทั้งสองนี้จะทำแบนด์วิดท์ของสายไฟแคบลงทำให้สัญญาณคลื่นสี่เหลี่ยมที่ส่งผ่านไปเมื่อถึงด้านรับจะรับได้รูปคลื่นที่ผิดเพี้ยนไป ในเครือข่ายโทรศัพท์ก็เช่นเดียวกันเครือข่ายโทรศัพท์สามารถรองรับสัญญาณความถี่เสียงได้ในย่าน 300-3400 เฮิร์ท ซึ่งจะรองรับคลื่นสี่เหลี่ยมได้สูงสุดประมาณ 680 บิตต่อวินาทีเท่านั้น (คำนวนจาก 3400 เฮิร์ทหารด้วยฮาร์โมนิค 5 เท่า) การสื่อสารของคอมพิวเตอร์อย่างพื้นฐานที่สุด เช่น การรับส่งแฟ้มข้อมูลตัวอักษรขนาด 1 หน้ากระดาษ จำนวนตัวอักษรประมาณ 2800 ตัว แทนด้วยข้อมูล 2800 ไบท์ หรือ 22400 บิต หากส่งผ่านเครือข่ายโทรศัพท์ต้องใช้เวลาอย่างน้อย 32 วินาที แต่ถ้าหากเป็นแฟ้มข้อมูลรูปภาพขนาดใหญ่ เช่น รูปภาพจากเครือข่ายอินเตอร์เน็ตบางภาพมีขนาด 1 เมกะไบท์ต้องใช้เวลาส่งนานถึง 200 นาที จากข้อมูลจำกัดเรื่องระยะทางและความเร็วของการส่งสัญญาณคลื่นสี่เหลี่ยมดังกล่าวมาแล้ว จึงต้องใช้วิธีแก้ปัญหาดังกล่าว โดยใช้โมเด็มเพื่อแปลงสัญญาณคลื่นสี่เหลี่ยมให้เป็นคลื่นที่เหมาะสมก่อนทำการติดต่อกัน



รูปที่ 1.3 แสดงองค์ประกอบของคลื่นไฟฟ้ารูปสี่เหลี่ยม

เทคโนโลยีของโมเด็ม

มีคำศัพท์และเทคนิคที่ต้องรับรู้ คือ

Baud หมายถึง อัตราเร็วของสัญญาณที่โมเด็มใช้รับส่งข้อมูล (ปกติใช้คำว่า "baudrate") โมเด็มส่งข้อมูลโดยการส่งชุดของโทนผ่านสายโทรศัพท์ การที่โทนเปิดหรือปิดนั้นเป็นการแทนดิจิตอล 0 หรือ 1 ซึ่งคล้ายกับจุดและขีดของรหัสมอส baud คือ จำนวนครั้งต่อวินาทีที่โทนเปลี่ยนจากสถานะปิดเป็นสถานะเปิด โมเด็มรุ่นเก่าได้แก่ Bell 103 ส่งข้อมูลหนึ่งบิตต่อการเปลี่ยนโทนหนึ่งครั้ง หรือหนึ่งบิตต่อหนึ่ง baud ด้วยเหตุนี้หลายคนจึงคิดว่า baud และบิตต่อหนึ่งวินาที (BPS) เป็นหน่วยเดียวกัน ที่จริงไม่ใช่ โมเด็มสมัยใหม่ส่ง 4 บิตหรือมากกว่าต่อหนึ่ง baud โมเด็มที่นิยมใช้กันเช่น V.22bis มีการส่ง 600 baud

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

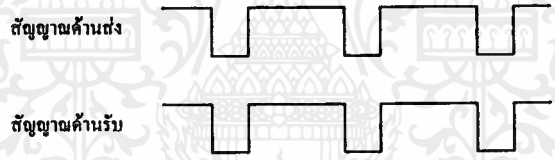
แต่มันบีบข้อมูล 4 บิตต่อหนึ่ง baud ดังนั้นจึงส่งความเร็ว 2400 BPS ได้ baud มักถูกใช้สับกับ BPS เสมอ จนทำให้หลายคนคิดว่าเป็นเรื่องเดียวกัน และนอกจากนี้คำว่า baud มาจากชื่อของ Frenchman Emile Baudot บิดาแห่งการสื่อสารข้อมูล

Bit per second (BPS) เป็นหน่วยที่บอกถึงจำนวนบิตของข้อมูล ซึ่งเดินทางในวงจรต่อหนึ่งวินาที ตามที่เราเห็น โมเด็ม 600 baud อาจส่งข้อมูลได้ 1200,2400 หรือแม้ 9600 BPS ก็ได้

การบีบอัดข้อมูล (data compression) คือกระบวนที่ทำให้ข้อมูลหนึ่งบล๊อกลดขนาดลงทำได้โดยการเอาข้อมูลที่ฟุ่มเฟือยออก และทำการแพ็ค (pack) อักขระที่ใช้บ่อยๆ เข้าเป็นหนึ่งหรือสองบิต มีอยู่หลายวิธีที่ใช้กันอยู่

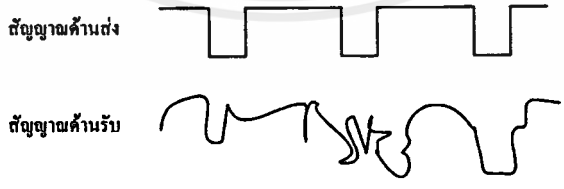
คุณสมบัติของสายส่งข้อมูล

การติดต่อสื่อสารในปัจจุบันมีความจำเป็นมาก การส่งข้อมูลไม่ว่าจะเป็นข้อมูลชนิดใดหรือจะส่งด้วยวิธีการใด สิ่งสำคัญคือความถูกต้อง และรวดเร็ว การส่งข้อมูลดิจิตอลไปทางสายนำสัญญาณต้องการความรวดเร็วและถูกต้องของข้อมูลดิจิตอล ซึ่งต้องการความถูกต้องและแม่นยำของข้อมูลมากเป็นพิเศษ



รูปที่ 1.4 กรณีที่ไม่มีการผิดเพี้ยนรูปทรงของสัญญาณ

เนื่องจากเกิดการหน่วงเวลาขึ้นในสายข้อมูล ทำให้สัญญาณทางด้านรับถูกหน่วงเวลาไปจากสัญญาณทางด้านส่ง แต่ไม่เกิดการผิดเพี้ยนรูปทรงของสัญญาณ



รูปที่ 1.5 กรณีที่เกิดการผิดเพี้ยนรูปทรงของสัญญาณอย่างมาก

ความผิดเพี้ยนของรูปสัญญาณทางด้านรับมีค่าสูงทำให้สัญญาณที่รับได้แตกต่างไปจากสัญญาณทางด้านส่งอย่างมากเป็นสาเหตุทำให้เกิดความผิดพลาดขึ้นในการส่งข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการส่งข้อมูลจากเครื่องส่งไปยังเครื่องรับต้องทำให้เกิดความผิดเพี้ยน แต่เราต้องทำการแก้ไข ดังนั้นการหาสาเหตุเหล่านั้นให้พบและหาวิธีหรือควบคุมความผิดพลาดในการส่งข้อมูลที่เกิดขึ้นนี้ทำให้ได้ จึงเป็นสิ่งที่ต้องการอย่างยิ่งสำหรับการส่งข้อมูล

สาเหตุของการเกิดความผิดพลาด

สาเหตุของการเกิดข้อมูลผิดพลาดของข้อมูลในการส่งนี้ อาจกล่าวรวมๆ ได้ว่าเกิดขึ้นจากการที่รูปทรงของสัญญาณเกิดการผิดเพี้ยน (distortion) ไปอันเนื่องมาจากการส่ง ตามรูปที่ 1.1 ซึ่งแสดงสัญญาณที่ส่งออกจากเอาต์พุตของเครื่องส่ง ถ้าสามารถเดินทางไปถึงเครื่องรับได้โดยไม่มีการผิดเพี้ยนใดๆ ก็จะถือได้ว่าไม่เกิดความผิดเพี้ยนใดๆ จะทำให้ไม่เกิดความผิดเพี้ยนในการส่งข้อมูลเลย แต่ ถ้าเกิดการเพี้ยนของรูปทรงของสัญญาณขึ้นดังรูปที่ 1.2 ก็จะเกิดความผิดพลาดของข้อมูลขึ้น และการที่เราจะทำให้ได้ข้อมูลที่ถูกต้องกลับมาได้นั้น จะเป็นไปได้ยากขึ้น

ดังนั้นเทคนิคพื้นฐานในการส่งข้อมูลจึงมีหลักสำคัญอยู่ 2 ข้อ คือ

1. ต้องพยายามทำให้เกิดการผิดเพี้ยนรูปทรงของสัญญาณที่เกิดขึ้นจากการส่งข้อมูลไปยังเครื่องรับมีน้อยที่สุด
2. ในกรณีที่รูปทรงสัญญาณมีการผิดเพี้ยนเกิดขึ้นอยู่แล้ว ต้องสามารถที่จะคัดเลือก (pick up) เอาเฉพาะสัญญาณที่ถูกต้องออกมาให้ได้ จะโดยวิธีใดก็ตาม ทั้งนี้จะต้องคิดถึงในแง่ความสมดุลกับสภาวะเศรษฐกิจด้วย

สาเหตุของการผิดเพี้ยนรูปทรงของสัญญาณในการส่งข้อมูล

การผิดเพี้ยนรูปทรงของสัญญาณในการส่งข้อมูล เกิดจากสายส่งข้อมูล เนื่องจากข้อมูลในรูปของสัญญาณจะต้องเดินผ่านสายส่งที่เชื่อมต่อระหว่างเครื่องส่งและเครื่องรับ ดังนั้นสายส่งจึงมีผลโดยตรงกับการผิดเพี้ยนไปของข้อมูล นอกจากนี้การที่รูปทรงของสัญญาณผิดเพี้ยนไปยังอาจจะเกิดจากที่อื่นๆ นอกจากในสายส่งสัญญาณอีกด้วย

สาเหตุของการเกิดความผิดเพี้ยนรูปทรงของสัญญาณในสายส่งข้อมูลสามารถแยกเป็นข้อใหญ่ๆ ได้ดังนี้ คือ

สัญญาณรับกวนที่มาจากภายนอก

ข้อนี้เป็นปัญหาใหญ่โดยเฉพาะกับการส่งข้อมูลมากที่สุด เป็นปัญหาที่ไม่สามารถหลีกเลี่ยงได้ เนื่องจากข้อมูลในรูปสัญญาณจะต้องเดินทางไปตามสายส่ง ซึ่งมีระยะทางยาว และอยู่ในสภาพแวดล้อมต่างๆ

แต่การผิดเพี้ยนรูปทรงของสัญญาณ ไม่ได้เกิดขึ้นจากสัญญาณรบกวนที่มาจากภายนอกแต่เพียงอย่างเดียวเท่านั้น แต่อาจเกิดขึ้นเนื่องจากคุณสมบัติของตัวสายส่งข้อมูลเองด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่งคลื่นอินพุตเข้าไปในสายส่งข้อมูล คลื่นจะสะท้อนกลับที่ปลายสาย B และจะเคลื่อนที่สวนทางกับทิศของเคลื่อนอินพุตเดิม

ผลรวมของคลื่นอินพุตเดิมกับคลื่นที่สะท้อนกลับมาทำให้รูปทรงของสัญญาณที่จุด A แตกต่างไปจากรูปทรงเดิม

สายเคเบิลสื่อสาร

สายเคเบิลชนิดนี้เดิมเป็นสายที่สร้างขึ้นมาเพื่อใช้เป็นสายโทรศัพท์สามารถใช้ได้กับสัญญาณในย่านความถี่เสียงและสัญญาณที่มีความถี่เสียงและสัญญาณที่มีความถี่สูงกว่าได้ ดังนั้นจึงมีการนำสายชนิดนี้มาใช้กันมากในการส่งข้อมูล

สายเคเบิลสื่อสารมีด้วยกันหลายชนิด ชนิดที่ใช้กับข้อมูลของไมโครคอมพิวเตอร์มีลักษณะที่คล้ายกับสายที่เรียกว่าสาเคเบิลในเมือง (จำพวกสายโทรศัพท์) ตัวอย่างของสายเคเบิลสื่อสารที่นิยมใช้ในการส่งข้อมูลของไมโครคอมพิวเตอร์ แสดงไว้ในตารางที่ 1 ถึงตารางที่ 3 แต่เนื่องจากไม่ได้ใช้งานเช่นเดียวกับสายโทรศัพท์ จึงไม่จำเป็นต้องมีจำนวนเส้นของสายต่อเคเบิลมากๆ

ในบางกรณีก็มีการใช้สายเคเบิลที่ใช้กับงานโทรศัพท์ในการส่งข้อมูลบ้างเหมือนกันถ้าหากไม่มีการเกิดผลเสียหายอันเนื่องมาจากสัญญาณรบกวน

ตารางที่ 1.1 ตัวอย่างของสายเคเบิลในเมือง

ชื่อย่อ	ลักษณะของสาย
CPEV	เป็นสายคู่บิดเกลียว ฉนวนทำจากโพลีเอทิลีน หุ้มภายนอกด้วยพลาสติก
CPEE	เป็นสายคู่บิดเกลียว ฉนวนทำจากโพลีเอทิลีน หุ้มภายนอกด้วยสารโพลีเอทิลีน
CCP	เหมือนกับสาย CPEE แต่แยกสีของสายทั้งหมดไว้ด้วย จึงง่ายต่อการจำแนกสาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลตอบสนองความถี่ของสายส่งข้อมูล

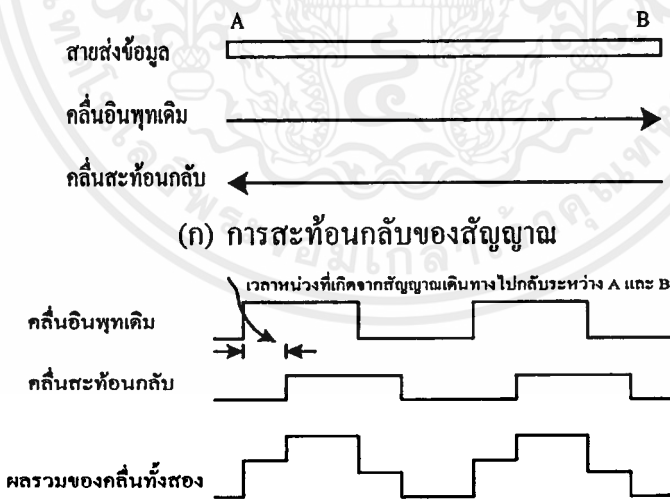
สาเหตุของการเกิดการผิดเพี้ยนรูปทรงสัญญาณที่เกิดจากตัวสายส่งข้อมูลเองมีอยู่ 2 ประการ ประการแรก คือ จากการตอบสนองความถี่ของสายส่งกล่าว คือ ถ้าสายส่งมีความยาวมาก ก็จะทำให้เกิดการลดทอนขนาดของสัญญาณอันเนื่องมาจากตัวสาย การลดทอนขนาดของสัญญาณนี้มีค่าไม่คงที่ ขึ้นอยู่กับความถี่ของสัญญาณ และอันนี้คงเป็นสาเหตุที่ทำให้เกิดการผิดเพี้ยนรูปทรงของสัญญาณขึ้น

สายเคเบิลที่ใช้ส่งข้อมูล

สายส่งที่ใช้ในการส่งข้อมูลมีทั้งแบบใช้ส่งข้อมูลในรูปของคลื่นแสง จากความก้าวหน้าในการพัฒนาเคเบิลใยแก้วนำแสง ทำให้มีการนำเอาคลื่นแสงมาใช้กันมากในปัจจุบัน สายส่งที่ใช้ในการส่งข้อมูลมีด้วยกันมากมายหลายชนิด แต่ที่นิยมใช้กันมากก็คือ สายเคเบิลสื่อสาร และโคแอกเชียลเคเบิล

การสะท้อนกลับของสัญญาณ

อีกสาเหตุหนึ่งของการเกิดการผิดเพี้ยนรูปทรงของสัญญาณอันเนื่องจากตัวสายส่งข้อมูลก็ คือ ปัญหาการเกิดการสะท้อนกลับของสัญญาณภายในสายส่ง ทั้งนี้เพราะสัญญาณต่างๆ เดินทางไปในสายส่งข้อมูลในรูปของคลื่น ดังนั้นเมื่อคลื่นเดินทางไปถึงปลายสายหรือบริเวณที่มีรอยต่อของสาย ส่วนหนึ่งของคลื่นนั้นจะถูกสะท้อนกลับมา คลื่นของสัญญาณที่สะท้อนกลับมาจะรวมกับคลื่นที่ส่งไปตอนแรก เป็นสาเหตุทำให้เกิดการผิดเพี้ยนรูปทรงของสัญญาณ



รูปที่ 1.6 การผิดเพี้ยนรูปทรงของสัญญาณ เนื่องจากการสะท้อนกลับ

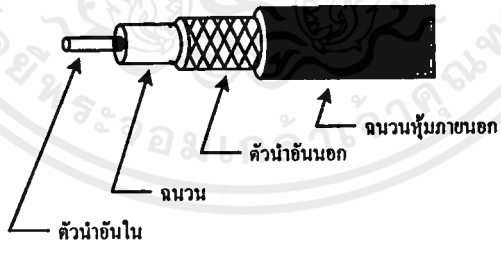
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 1.2 ชนิดของสายเคเบิลในเมืองที่มีฉนวนเป็นโพลีเอทิลีน

ขนาดϕของตัวนำ(ม.ม.)	จำนวนคู่สาย				
0.5	3	5	7	10	15
0.6	20	25	30	50	75
0.9	100	150	200		
1.2	100	200	300		

ตารางที่ 1.3 ชนิดของสายเคเบิล CCP

ขนาดϕของตัวนำ(ม.ม.)	จำนวนคู่สาย					
0.4	10	30	50	100	200	400
0.5	10	30	50	100	200	400
0.65	10	30	50	100	200	400
0.9	10	30	50	100		



รูปที่ 1.7 โครงสร้างของสายโคแอกเซียลเคเบิล

ตัวนำอันในและอันนอกมีลักษณะโค้งเป็นวงกลมที่มีจุดศูนย์กลางร่วมกันเป็นสายโคแอกเซียลเคเบิลหรือสายตัวนำแกนร่วม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สายโคแอกเซียลเคเบิล

จุดอ่อนคือมีการลดทอนขนาดของสัญญาณค่อนข้างสูงที่ความถี่สูง ดังนั้นในกรณีที่จำเป็นต้องให้การลดทอนขนาดของสัญญาณมีค่าต่ำที่ความถี่สูง ก็จำเป็นต้องใช้สายโคแอกเซียลเคเบิล ถึงแม้สายโคแอกเซียลเคเบิลจะมีราคาสูงกว่าก็ตาม

การลดทอนขนาดของสัญญาณในสายเคเบิล

การลดทอนขนาดของสัญญาณในสายเคเบิล ขึ้นอยู่กับชนิดและความยาวของสาย และความถี่ของสัญญาณ การลดทอนขนาดของสัญญาณเนื่องจากความยาวของสายในหน่วยของเดซิเบล (dB) มีค่าเป็นสัดส่วนโดยตรงกับความยาว โดยทั่วไปสายส่งข้อมูลมักจะมีขนาดยาว มีหน่วยความยาวเป็นกิโลเมตรดังนั้น การลดทอนขนาดของสัญญาณจึงมักแสดงเป็นหน่วยของเดซิเบลต่อกิโลเมตร

ตัวอย่างของการลดทอนขนาดของสัญญาณของสายเคเบิลในเมือง (CPE V,CCPEE,CCP)แสดงไว้ในรูปที่ 1.8 จากรูปจะเห็นได้ว่ายิ่งสายมีขนาดใหญ่ขึ้นเท่าไร การลดทอนขนาดของสัญญาณก็จะยิ่งน้องลงเท่านั้น

ในช่วงความถี่สูง ๆ ปริมาณการลดทอนขนาดของสัญญาณของสายเคเบิลจะสัมพันธ์กับความถี่เป็นไปตามสมการต่อไปนี้ คือ

$$A\alpha\sqrt{f}$$

หรือ A แปรโดยตรงกับ $\sqrt{f}$

เมื่อ f คือความถี่ของสัญญาณ และ A คือปริมาณการลดทอนขนาดของสัญญาณ ที่หน่วยเป็น dB

ดังนั้นในช่วงความถี่สูง ๆ เส้นกราฟมีลักษณะเป็นเส้นตรงที่มีความลาดเอียงประมาณ ½ สำหรับในช่วงความถี่ต่ำเส้นกราฟมีลักษณะโค้งเล็กน้อย

ผลตอบสนองต่อความถี่

ถ้าสายเคเบิลมีความยาวมากขึ้น นอกจากจะทำให้ปริมาณการลดทอนขนาดของสัญญาณมีค่าเพิ่มขึ้นแล้ว ยังทำให้ผลตอบสนองต่อความถี่มีการเปลี่ยนแปลงรวดเร็วขึ้นด้วย

การผิดเพี้ยนรูปทรงของสัญญาณเนื่องจากผลตอบสนองต่อความถี่

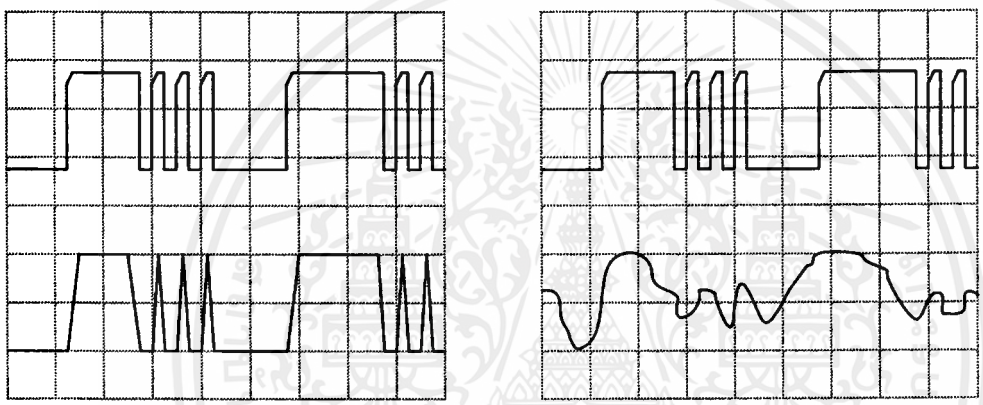
เนื่องจากสายส่งข้อมูลมีคุณสมบัติตอบสนองต่อความถี่ต่าง ๆ ไม่เท่ากันจึงเป็นสาเหตุทำให้เกิดความผิดเพี้ยนรูปทรงของสัญญาณขึ้น กล่าวคือถ้าสัญญาณที่เดินทางในทางสายส่งข้อมูลมีช่วงกว้างความถี่ (Bandwidth) กว้าง การลดทอนขนาดสัญญาณที่ความถี่ต่าง ๆ ก็จะไม่เท่ากัน เป็นสาเหตุทำให้เกิดความผิดเพี้ยนรูปทรงของสัญญาณขึ้น และยิ่งถ้าขนาดของการลดทอนสัญญาณในสายส่งมีค่ามากความผิดเพี้ยนรูปทรงของสัญญาณก็ยิ่งมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีของการมอดูเลชั่น

การมอดูเลชั่น (Modulation) ทำให้เกิดผลดีคือ ช่วยให้สามารถหลีกเลี่ยงปัญหาการเกิดความผิดเพี้ยนรูปทรงของสัญญาณในการส่งข้อมูลได้ ซึ่งการมอดูเลชั่นมีอยู่หลายแบบ ดังแสดงในรูปที่ 1.9

ในการมอดูเลชั่น จำเป็นต้องใช้ความถี่พาหะสูงขึ้นไปกว่าความถี่ของสัญญาณที่ต้องการส่ง ดังนั้นเมื่อคิดถึงผลตอบสนองต่อความถี่ของสายส่งข้อมูล ซึ่งการลดทอนขนาดของสัญญาณจะมีค่าสูงตามไปด้วย การมอดูเลชั่นเป็นการมัลติเพล็กซ์ความถี่ ทำให้สามารถส่งสัญญาณหลาย ๆ สัญญาณพร้อมกันไปในเวลาเดียวกันได้ สำหรับการส่งข้อมูลที่มีช่วงกว้างความถี่กว้างด้วยการใช้การมัลติเพล็กซ์ความถี่จะทำได้ก็ต้องอาศัยเทคนิคการมอดูเลชั่นเข้าช่วย



(ก) 200กิโลบิต/วินาที (20 us/div,2V/div)

(ข)2เมกะบิต/วินาที (2 us/div,2V/div)

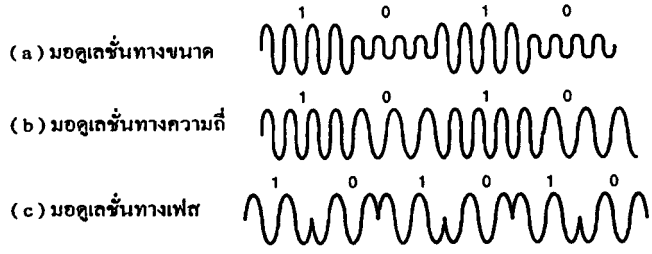
รูปที่ 1.8 การผิดเพี้ยนรูปทรงของสัญญาณเนื่องจากผลตอบสนองความถี่

ในรูปเป็นการเปรียบเทียบกรณีที่ส่งสัญญาณที่ความถี่ต่าง ๆ เข้าไปในสายส่งเดียวกัน

(ก) เมื่อความถี่ของสัญญาณมีค่าต่ำลง การลดทอนขนาดของสัญญาณจะต่ำด้วย การผิดเพี้ยนรูปทรงของสัญญาณจึงมีน้อย

(ข) เมื่อความถี่ของสัญญาณมีค่าสูงขึ้น การลดทอนขนาดของสัญญาณจะสูงด้วยการผิดเพี้ยนรูปทรงของสัญญาณจึงมีมาก สำหรับระดับเทรซโฮลด์ในรูปตำแหน่งที่มีเครื่องหมายแสดงการเบี่ยงแบนไปจากระดับเทรซโฮล์ดังนั้นที่ตำแหน่งนั้นจะเกิดการผิดพลาดของข้อมูลขึ้น

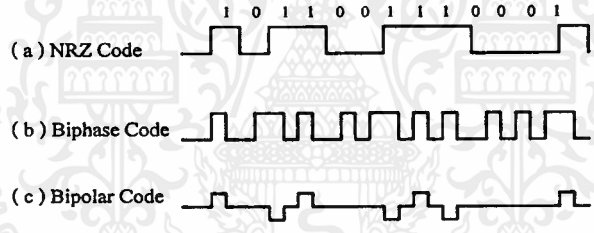
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.9 การมอดูเลชั่น

(1) การมอดูเลชั่นทางขนาดและเฟส ถ้าพิจารณาจากหลักการของการมอดูเลชั่นแล้วจะเห็นได้ว่าความถี่ของสัญญาณจะคงที่ (แต่ในความเป็นจริงแล้ว การมอดูเลชั่นจะทำให้เกิดองค์ประกอบของสัญญาณที่มีความถี่อื่น ๆ ขึ้นมาด้วย เพียงแต่องค์ประกอบเหล่านั้นจะมีช่วงกว้างความถี่แคบเท่านั้น

(2) การมอดูเลชั่นทางความถี่ ถ้าพิจารณาตามหลักการแล้ว จะเห็นว่าเป็นการเปลี่ยนแปลงความถี่ของสัญญาณ การเปลี่ยนแปลงของความถี่จะทำได้ในช่วงแคบ ๆ นั้นคือจะมีช่วงกว้างความถี่แคบ



รูปที่ 1.10 ตัวอย่างของพัลส์โค้ด

ไบเฟสโค้ด (Biphase code) เป็นโค้ดที่จะต้องมีการเปลี่ยนแปลงช่วงขึ้น หรือการเปลี่ยนแปลงช่วงลงที่ตรงกึ่งกลางของสัญญาณอยู่ด้วยแน่นอน จากตัวอย่างในรูป จะเห็นว่าที่บิต " 0 " ของสัญญาณจะมีการเปลี่ยนแปลงช่วงขึ้นที่ตรงกึ่งกลางบิต และที่บิต " 1 " ของสัญญาณจะมีการเปลี่ยนแปลงช่วงลงที่ตรงกึ่งกลางบิต

ไบโพลาโค้ด (Bipolar code) สำหรับโค้ดนี้ บิต " 0 " ของสัญญาณหมายถึงพัลส์และบิต " 1 " หมายถึงมีพัลส์นอกจากนี้ในกรณีที่มีพัลส์ ทิศทางการหันของพัลส์จะสลับไปมาระหว่าง

ในการส่งสัญญาณเป็นพัลส์ จะใช้วิธีการเปลี่ยนจาก NRZ โค้ด (non-return-to-zero code) เป็นพัลส์โค้ดที่มีลักษณะเฉพาะ จากนั้นจะส่งโค้ดนั้นเข้าไปในสายส่งข้อมูลโดยตรง โดยไม่ต้องมีการมอดูเลชั่นเลย (รูปที่ 10 แสดงตัวอย่างของพัลส์โค้ด)

สำหรับ NRZ โค้ดนั้นถ้ามีค่าเป็น ลอจิก " 0 " หรือ " 1 " ต่อเนื่องกัน ก็จะมีองค์ประกอบของความถี่ที่ต่ำมาก ดังนั้นถ้าเราเปลี่ยนเป็นพัลส์โค้ดที่เหมาะสมแล้วจะทำให้ช่วงกว้างความถี่ของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แคบลงอย่างมาก การผิดเพี้ยนรูปทรงของสัญญาณก็จะมีน้อย ถึงแม้ว่าสายส่งข้อมูลจะมีการตอบสนองต่อความถี่อยู่เหมือนเดิมก็ตาม

มาตรฐานของโมเด็มตาม CCITT(ITU-T) V- Series

มาตรฐานของโมเด็มที่เราใช้อยู่ทุกวันนี้ เป็นไปตามที่องค์การมาตรฐานสื่อสารสากล หรือ CCITT(ITU-T) เป็นผู้กำหนดขึ้น โดยมีชื่อเรียกแต่ละมาตรฐานของโมเด็มตัวอักษร "V" และตามด้วยตัวเลข เราจึงเรียกมาตรฐานอันนี้อีกชื่อหนึ่งว่า V- Series นอกจากมาตรฐานของโมเด็มแล้ว CCITT หรือ (ITU-T) ยังเป็นผู้กำหนดมาตรฐานทางการสื่อสารอื่นๆอีก เช่น มาตรฐานการของการสื่อสารผ่านดาวเทียม , มาตรฐานของโทรเลข (Facsimile) , มาตรฐานการสื่อสารข้อมูลต่าง ๆ ทั้งในแบบดิจิตอลและแอนะล็อก รวมถึงกับระบบโทรศัพท์อีกด้วย มาตราฐานที่ CCITT หรือ (ITU-T) เป็นผู้กำหนดได้รับการยอมรับกันทั้งโลก การติดต่อสื่อสารระหว่างประเทศจึงเป็นไปได้อย่างไม่มีปัญหา เนื่องจากทุก ๆ คนต่างก็ทำตามมาตรฐานเดียวกัน

ก่อนอื่นของทำความเข้าใจก่อนว่ามาตรฐานที่ขึ้นต้นด้วยอักษร "V" นี้ ไม่ใช่มาตรฐานของโมเด็มไปเสียทั้งหมด บางมาตรฐานอาจหมายถึงการเชื่อมต่อแบบอื่น ๆ ก็ได้ เช่น V.24 เป็นมาตรฐานการรับส่งข้อมูลแบบอนุกรมเทียบได้กับ RS-232C นั่นเอง และ V.32 หมายถึงการรับส่งข้อมูลแบบอนุกรมความเร็วสูงเป็นต้น ในที่นี้กล่าวถึงโมเด็มแบบต่าง ๆ ที่ใช้กันมาตาม CCITT(ITU-T) V- Series โดยทบทวนตั่งแต่ความเร็วต่ำไปจนความเร็วสูงและรายละเอียดของแต่ละมาตรฐานดังนี้ V.21 เป็นมาตรฐานของโมเด็มความเร็ว 300 บิตต่อวินาที ใช้เทคนิคการผสมสัญญาณแบบ FSK (Frequency Shift Keying) รับส่งข้อมูลได้ในแบบ Full Duplex เป็นโมเด็มที่ใช้กับสายโทรศัพท์ ปัจจุบันนี้มีการใช้กันน้อย เนื่องจากความเร็วในการส่งข้อมูลต่ำ

V.22 เป็นมาตรฐานของโมเด็มความเร็ว 300 บิตต่อวินาที ใช้เทคนิคการผสมสัญญาณแบบ FSK (Frequency Shift Keying) รับส่งข้อมูลได้ในแบบ Full Duplex เป็นโมเด็มที่ใช้กับสายโทรศัพท์ ปัจจุบันนี้มีการใช้กันน้อย เนื่องจากความเร็วในการส่งข้อมูลต่ำ

V.21 รับส่งข้อมูลด้วยความเร็ว 1,200 บิตต่อวินาที หรือลดความเร็วลงมาที่ 600 บิตต่อวินาทีได้ ใช้เทคนิคการผสมสัญญาณแบบ PSK (Phase Shift Keying) รับส่งข้อมูลได้ในแบบ Full Duplex เป็นโมเด็มที่ใช้กับสายโทรศัพท์หรือสายตรงก็ได้ ขึ้นอยู่กับโมเด็มว่าถูกออกแบบ มาให้ต่อใช้งานกับสายตรงหรือไม่

V.22 bis รับส่งข้อมูลด้วยความเร็ว 2,400 บิตต่อวินาที หรือลดความเร็วลงมาที่ 1,200 บิตต่อวินาทีได้ ใช้เทคนิคการผสมสัญญาณแบบ QAM รับส่งข้อมูลได้ในแบบ Full Duplex เป็นโมเด็มที่ใช้กับสายโทรศัพท์หรือสายตรงก็ได้ V.22 bis เป็นมาตรฐานของโมเด็มที่เข้ามาแทนที่ V.22 ในสมัยก่อน เนื่องจากความเร็วสูง 2,400 บิตต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V.23 เป็นมาตรฐานที่คล้ายกับมาตรฐาน V.22 แต่รับส่งข้อมูลในแบบ Half Duplex คือมีความเร็ว 1,200 บิตต่อวินาที หรือความเร็วลงมาที่ 600 บิตต่อวินาที ใช้เทคนิคการผสมสัญญาณแบบ FSK ต่อใช้กับสายโทรศัพท์ก็ได้มาตรฐาน V.23 นี้เราไม่ค่อยได้ใช้งานเท่าไรนัก เพราะว่าประสิทธิภาพของการรับส่งข้อมูลต่ำ และเป็นการติดต่อแบบ Half Duplex จึงสู้มาตรฐานแบบ V.22 หรือ V.22 bisไม่ได้

V.26 เป็นมาตรฐานของโมเด็มสายตรงแบบใช้สาย 4 เส้น (4Wire คือ 25 คู่) รับส่งข้อมูลแบะ Full Duplex ใช้เทคนิคการผสมสัญญาณแบบ PSK มีความเร็วในการรับส่งข้อมูล 2,400 บิตต่อวินาทีจะนำมาใช้ต่อกับสายโทรศัพท์ไม่ได้ดังนั้นเราจึงไม่ค่อยได้พบเห็นมาตรฐานนี้กันมากนัก ปัจจุบันก็มีใช้กันน้อยเนื่องจากความเร็วต่ำเกินไปสำหรับสายตรง ส่วนมากจะเลือกใช้มาตรฐานอื่นที่ความเร็วสูงกว่านี้

V.26 bis เป็นมาตราฐานเหมือนกับ V.26 แต่ใช้กับสายโทรศัพท์แทน มีความเร็วในการรับข้อมูลที่ 2,400 บิตต่อวินาที หรือลดความเร็วลงมาที่ 1,200 บิตต่อวินาที การรับส่งข้อมูลเป็นแบบ Half Duplex ใช้เทคนิคการผสมสัญญาณแบบ PSK มาตรฐานนี้จึงสู้ V.22 bis ไม่ได้ โดยทั่วไปเราจะใช้ V.22 bis ที่ความเร็ว 2,400 บิตต่อวินาที Full Duplex มากกว่า

V.27 เป็นมาตรฐานสำหรับโมเด็มความเร็ว 4,800 บิตต่อวินาที ใช้กับสายตรงเท่านั้น เทคนิคการผสมสัญญาณเป็นแบบ PSK รับส่งข้อมูลในแบบ Full Duplex ได้ ซึ่งความเร็ว 4,800บิตต่อวินาทีนี้ถือว่าเป็นความเร็วการรับส่งข้อมูลสูงที่สุดของงเทคนิคการผสมสัญญาณ แบบ PSK

V.27 bis คล้ายกับมาตรฐานแบบ V.27 แต่รับส่งข้อมูลที่ 4,800 บิตต่อวินาที หรือลดความเร็วลงมาที่ 2,400 บิตต่อวินาทีได้ ใช้สำหรับสายตรงแบบ 4 Wire เท่านั้น เทคนิคการผสมสัญญาณเป็นแบบ PSK สามารถรับส่งข้อมูลได้ทั้งในแบบ Full Duplex และ Half Duplex

V.27 ter เป็นมาตรฐานโมเด็มความเร็ว 4,800 บิตต่อวินาที หรือลดความเร็วลงมาที่ 2,400 บิตต่อวินาทีได้ สำหรับใช้กับสายโทรศัพท์ การรับส่งข้อมูลเป็นแบบ Half Duplex เท่านั้น เทคนิคการผสมสัญญาณ ชนิด PSK มาตรฐาน V.17 ter คล้ายกับ V.27 bis เพียงแต่ใช้กับสายโทรศัพท์แทนที่จะเป็นสายตรงมีใช้กันในเครื่องโทรสาร Group 3

V.29 เป็นมาตรฐานของโมเด็มที่ใช้กับสายตรงแบบ 4 Wire เท่านั้น การรับส่งข้อมูลใช้ได้ทั้งแบบ Full Duplex และ Half Duplex สามารถรับส่งข้อมูลได้ตั้งแต่ 9,600 บิตต่อวินาทีหรือลดความเร็วลงมาที่ 7,200 บิตต่อวินาที และ 4,800 บิต่อวินาที ที่ความเร็ว 9,600 บิตต่อวินาที จะใช้เทคนิคการผสมสัญญาณแบบ QAM ส่วนที่ความเร็ว 7,200 บิตต่อวินาที และ 4,800 บิตต่อวินาที ใช้การผสมสัญญาณแบบ PSK มาตรฐาน V.29 นี้มีใช้กันมากสำหรับการรับส่งข้อมูลผ่านสายตรงระหว่างคอมพิวเตอร์กับคอมพิวเตอร์ และใช้กับเครื่องโทรสาร Group 3

V.32 เป็นมาตรฐานของโมเด็มที่ใช้กับสายโทรศัพท์ สามารถรับส่งข้อมูลได้ที่ความเร็ว9,600 บิตต่อวินาที ในแบบ Full Duplex หรือลดความเร็วลงมาที่ 4,8100 บิตต่อวินาที มาตรฐาน V.32 นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยังใช้งานกับสายตรงแบบ 2 Wire ได้อีกด้วย เทคนิคการผสมสัญญาณเป็นแบบ QAM ทั้งที่ความเร็ว 9,6900 และ 4,800 บิตต่อวินาที การรับส่งข้อมูลความเร็วสูงผ่านสาย 2 Wire ของ V.32 ใช้เทคนิค Echo Cancellation แทนที่จะใช้การแบ่งความถี่อย่างในโมเด็มความเร็วต่ำ

V.32 bis เป็นมาตรฐานโมเด็มสำหรับใช้กับสายโทรศัพท์ที่ปรับปรุงมาตรฐานมาจาก V.32 สามรถรับส่งข้อมูลได้ที่ความเร็ว 14,400 บิตต่อวินาที ใช้ได้กับทั้งสายโทรศัพท์และสายตรง เทคนิคการผสมสัญญาณเป็นแบบ Trellis Coding Modulation (TCM) และลดความเร็วลงมาเชื่อมต่อกับ V.32,V22 bis และ V.22 ได้มีการใช้ Echo Cancellation ในการส่งข้อมูลผ่านสาย 2 เส้นเช่นเดียวกัน V.32 bis นับเป็นมาตรฐานโมเด็มของ CCITT หรือ ITU-T ที่มีผู้ใช้กันมากชนิดหนึ่ง

V.32 terbo เป็นมาตรฐานโมเด็มความเร็วสูงที่ไม่ได้รับการรับรองจาก CCITT หรือ ITU-T แต่เกิดจากผู้ผลิตโมเด็มรายใหญ่ตกลงมาตรฐานขึ้นมาเอง โดยทำการปรับปรุงมาจากมาตราฐาน V.32 bis เล็กน้อย V.32 terbo มีความเร็วในการรับส่งข้อมูล 19,200 บิตต่อวินาที และคุณสมบัติอื่น ๆ เหมือนกับ V.32 bis ทุกอย่าง ต่างกันที่ความเร็วในการรับส่งข้อมูลเพิ่มขึ้นเท่านั้น โดยทั่วไปโมเด็มแบบ V.32 จะรับส่งข้อมูลแบบ V.32 terbo ได้ด้วย เราจึงเห็นแต่ V.32bis ในท้องตลาดเท่านั้น

V.34 หรือ V.fast

V.fast เป็นมาตรฐานโมเด็มความเร็วสูง 28,800 บิตต่อวินาที ที่เรียกกันอย่างไม่เป็นทางการก่อนจะมีมาตรฐานจริงออกมา ส่วน V.34 เป็นมาตรฐานโมเด็มความเร็วสูงรุ่นล่าสุดที่ CCITT หรือ ITU-T ประกาศออกใช้งาน โดยมีความเร็วมาตรฐาน 28,000บิตต่อวินาที และมีความเร็วสูงสุดที่ 33,600 บิตต่อวินาที สามารถลดความเร็วลงมาเชื่อมต่อกับโมเด็มความเร็วที่ต่ำกว่าได้ มีการผสมสัญญาณแบบ Trellis Coding Modulation (TCM) ใช้ได้กับโทรศัพท์และสายตรง ถึงแม้ว่า v.34 จะใช้เทคนิคหลายอย่างคล้ายกับมาตรฐาน V.32 bis แต่โครงสร้างฮาร์ดแวร์การรรับส่งข้อมูลของโมเด็มทั้งสองชนิดแตกต่างกันมาก V.34 ได้เพิ่มคุณสมบัติพิเศษทางเทคนิคเข้ามาหลายอย่างที่ช่วยให้สามรถรับส่งข้อมูลที่ความเร็วสูง 28,800 หรือ 33,600 บิตต่อวินาทีได้อย่างไม่ผิดพลาด ทำให้มีราคาแพงกว่าโมเด็ม V.32 bis พอสมควรทีเดียว

ตารางที่ 1.4 มาตราฐานโมเด็ม V-Series ของ CCITT(ITU-T)

Series	ความเร็ว	Channel Seperation	FDX หรือ Half Duplex	เทคนิคการเข้ารหัส	ใช้กับสายโทรศัพท์	ใช้กับสายคู่ตรง(สายเช่า)
V.21	300	FD	FDX	FSK	Yes	No
V.22	1200	FD	FDX	PSK	Yes	PP 2W
V.22	600	FD	FDX	PSK	Yes	PP 2W
V.22bis	2400	FD	FDX	QAM	Yes	PP 2W
V.22bis	1200	FD	DFX	QAM	Yes	PP 2W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V.23	600	NA	HDX	FMK	Yes	No
V.23	1200	NA	HDX	FMK	Yes	NA
V.26	2400	4-Wire	FDX	PSK	No	PP MP4W
V.26bis	2400	NA	HDX	PSK	Yes	No
V.26bis	1200	NA	GDX	PSK	Yes	No
V.26ter	2400	EC	Either	PSK	Yes	PP 2W
V.26ter	1200	EC	Either	PSK	Yes	PP 2W
V.27	4800	ND	Either	PSK	No	Yes
V.27bis	4800	4-Wire	Either	PSK	No	2W 4W
V.27bis	2400	4-Wire	Either	PSK	No	2W 4W
V.27ter	4800	NA	HDX	PSK	Yes	No
V.27ter	2400	NA	HDX	PSK	Yes	No
V.29	9600	4-Wire	Either	QAM	No	PP 4W
V.29	7200	4-Wire	Either	PSK	No	PP 4W
V.29	4800	4-Wire	Either	PSK	No	PP 4W
V.32	9600	EC	FDX	QAM	Yes	PP 2W
V.32	9600	EC	FDX	TCM	Yes	PP 2W
V.32	4800	EC	FDX	QAM	Yes	PP 2W
V.32bis	14400	EC	FDX	TCM	Yes	PP 2W
V.32terbo	19200	EC	FDX	TCM	Yes	PP 2W
V.34	28800	EC	FDX	TCM	Yes	PP 2W

*V.32 terbo ถือเป็น UNOFFICIAL STANDARD

ND =Not Defined (ไม่ได้กำหนด) NA = Not Applicable (ไม่มีใช้) EC = Echo Canceler

FD = Frequency Division FDX = Full Duplex HDX = Half Duplex

PP = Point to Point MP = Multipoint

หมายเหตุ bis เป็นภาษาละติน หมายถึง “สอง” ส่วน ter ก็คือ “สาม” นำมาขยายมาตรฐานต่างๆ เพื่อแสดงว่าเป็นการปรับปรุงเป็นครั้งที่ 2 และ 3 ของมาตรฐานเดิม เช่น V.32bis คือมาตรฐาน V.32 ที่ปรับปรุงใหม่ครั้งที่ 2 ส่วนV.27 ที่ปรับปรุงใหม่เป็นรุ่นที่ 3

terbo เป็นศัพท์ที่ตั้งเอง ของบรรดาผู้ผลิต โดยเพี้ยนจากคำว่า terbo เหมือนกับเครื่องยนต์ที่ติดตั้งเทอร์โบ ชาร์ เพื่อให้ทำงานเร็วขึ้นนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้ยังมีการพัฒนาโมเด็มความเร็วสูงขนาด 56,000 บิตต่อวินาทีนี้ จะใช้เทคนิคการผสมสัญญาณแบบใหม่ที่แตกต่างไปจากเดิมอย่างสิ้นเชิง คือใช้หลักการของการเปลี่ยนสัญญาณในแบบ Trellis Encoding การรับส่งข้อมูลจะเปลี่ยนแปลงข้อมูลดิจิตอลครั้งละ 7 บิตส่งออกไป8,000 ครั้งต่อวินาที ($7 \times 8,000 = 56,00$ บิตต่อวินาที) แล้วส่งออกไปเป็นสัญญาณแอนะล็อกตามสายโทรศัพท์ อย่างไรก็ตามโมเด็มความเร็ว 56,000 บิตต่อวินาที นี้ยังมีข้อจำกัดอีกมากมายคือ จะใช้รับส่งข้อมูลระยะไกล เช่น ผ่านระบบโทรศัพท์ข้ามทวีป ไม่ได้เนื่องจากสัญญาณแอนะล็อกที่ส่งออกไปจะถูกเปลี่ยนแปลงรูปแบบหลายครั้งจนสัญญาณเพี้ยนไปจากเดิมมากและโมเด็มชนิดนี้มีความเร็วในการส่งข้อมูลไม่เท่ากันทั้งสองด้านคือด้านรับข้อมูลเข้าจะมีความเร็วสูง 56,000 บิตต่อวินาที แต่ด้านส่งข้อมูลออกไปจะมีความเร็วเพียง 28,800บิตต่อวินาที หรือ 33,600 บิตต่อวินาที ตามมาตรฐาน V.34 คาดว่าโมเด็ม 56,00 บิตต่อวินาทีคงจะเข้ามาเป็นผู้นำในตลาดร่วมกับโมเด็ม V.34 ความเร็ว 33,600 บิตต่อวินาทีในที่สุด

มาตรฐานของโมเด็ม V-Series ที่กล่าวถึงทั้งหมดนี้เป็นมาตรฐานที่เราเห็นได้ทั่วไปซึ่งยังมีบางมาตรฐานไม่ได้นำมาพูดถึงเนื่องจากมีที่ใช้งานพิเศษเฉพาะงานเท่านั้น ส่วนมาตรฐานของโมเด็มตามแบบสหรัฐอเมริกา หรือที่เรียกว่า Bell Standard ปัจจุบันค่อย ๆ ลดความนิยมลง เนื่องจากประเทศต่าง ๆ พากันใช้ตามมาตรฐานของ CCITT หรือ ITU-T เป็นหลักและในประเทศไทยเราก็ใช้ตามมาตรฐานของ CCITT หรือ ITU-T เช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วัตถุประสงค์

เพื่อที่จะนำเสนอการทดลองการส่งสัญญาณความเร็วสูง โดยวิธีการส่งแบบ 16 QAM เพื่อลดขนาดของแบนด์วิดท์ลง ซึ่งจะทำให้การใช้ช่องสัญญาณมีประสิทธิภาพเพื่อขึ้นหรือสามารถเพิ่มบิตเรทของสัญญาณ โดยทำการทดลองส่งสัญญาณผ่านทางสายเคเบิล

แนวความคิดและที่มา

ในปัจจุบันการรับส่งข้อมูลแบบดิจิตอลได้เข้ามามีบทบาทมากขึ้นแทนการรับส่งข้อมูลแบบแอนะล็อก เนื่องจากรับส่งข้อมูลแบบแอนะล็อกจะมีความผิดพลาดของการรับส่งข้อมูลสูง 16 QAM เป็นแนวความคิดที่จะพัฒนาการรับส่งข้อมูลแบบดิจิตอลให้มีแบนด์วิดท์ที่แคบลง ซึ่งจะทำให้สามารถขยายช่องสัญญาณได้มากขึ้น นั่นคือจะทำให้การรับส่งข้อมูลมีประสิทธิภาพมากขึ้นนั่นเอง

ส่วนประกอบของโครงงาน

ประกอบด้วยส่วนใหญ่ๆ 2 ส่วน คือ

1. Transmitter

- Serial to Parallel
- 2 Bit to 4 Level
- Low Pass Filter
- Phase Lock Loop
- Band Pass Filter
- Phase Shift 90 Degree
- Balance Modulator
- Summing Amplifier

2. Receiver

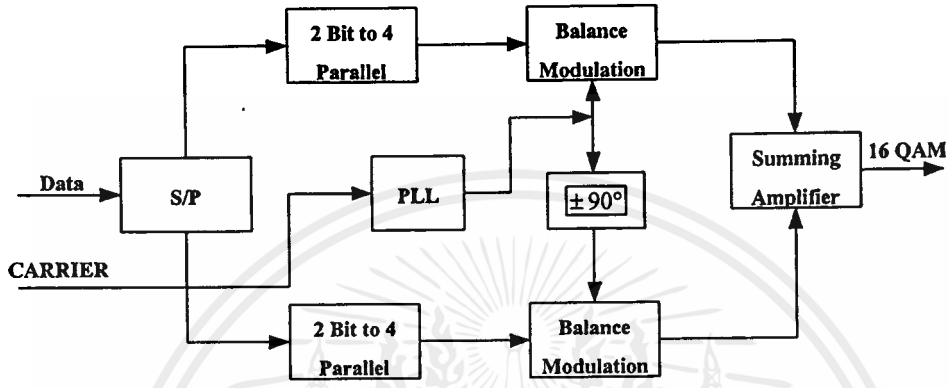
- Band Pass Filter
- Phase Lock Loop
- Carrier Recovery
- Clock Recovery
- Phase Shift 90 Degree
- Balance Modulator
- Low Pass Filter
- 4 Level to 2 Bit
- Parallel to Serial

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

37164

ภาคส่ง (Transmitter)

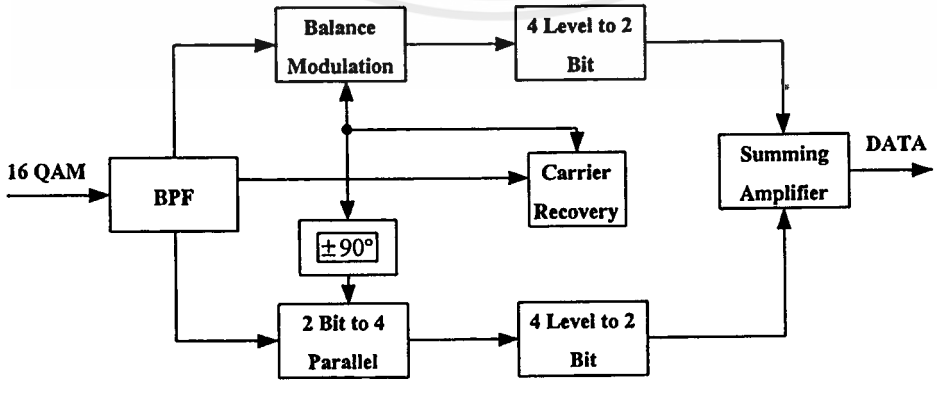
ภาคส่งสัญญาณข้อมูลที่เข้ามาจะถูกเปลี่ยนจาก Series เป็น Parallel แยกเป็น 2 บิตบนและ 2 บิตล่าง และจะทำการเปลี่ยนข้อมูล 2 บิต เป็น 4 ระดับแล้วนำข้อมูลไป Modulate กับ Carrier ที่ Balance Modulator แล้วนำข้อมูลทั้ง 2 ส่วนมารวมกันได้เป็น 16 QAM



รูปที่ 1.11 บล็อกไดอะแกรมของภาคส่ง (Transmitter)

ภาครับ (Receiver)

สัญญาณ 16 QAM ผ่านเข้ามา Band Pass Filter เพื่อลด Noise นำสัญญาณส่วนหนึ่งไปเข้าวงจร Carrier Recovery เพื่อกู้สัญญาณ Carrier คืนมา ส่งไปยัง Balance Modulator ทำการ Modulate กับสัญญาณข้อมูลและจะนำสัญญาณที่ผ่านการมอทแล้วมาเปลี่ยนเป็น 4 ระดับ เป็น 2 บิต นำสัญญาณข้อมูลทั้ง 2 บิตบน และ 2 บิตล่าง มารวมกันแล้วเปลี่ยนสัญญาณข้อมูลจาก Parallel เป็น Series



รูปที่ 1.12 บล็อกไดอะแกรมของภาครับ (Receiver)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประโยชน์ที่จะได้รับ

สามารถเข้าใจรายละเอียดของระบบการส่งสัญญาณแบบดิจิตอลได้ดียิ่งขึ้น อีกทั้งรายละเอียดของวงจรส่วนประกอบต่างๆ ในโครงงาน เช่น วงจรแยกบิต – รวมบิต วงจร LPF,BPF วงจร Balance Modulation วงจรทำสัญญาณหลายระดับ (Multi Level) และเข้าใจถึงขั้นตอนการทำงานและปัญหาของการประกอบวงจร

สามารถทดสอบความเป็นไปได้ของการส่งสัญญาณแบบ 16 QAM ว่ามีข้อดี ข้อเสีย ในเรื่องใดบ้าง อาทิ เช่น สามารถลดแบนด์วิดท์ลงได้ แต่สัญญาณที่ได้มีความผิดพลาดสูงมากเพียงใด ฯลฯ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

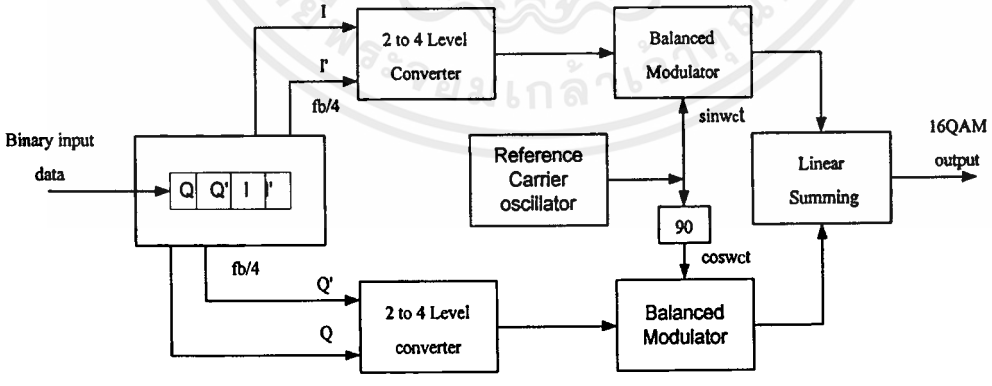
บทที่ 2

ทฤษฎีและหลักการของ 16 QAM

QUADRATURE AMPLITUDE MODULATION

Quadrature Amplitude Modulation เป็นการมอดูเลทสัญญาณดิจิตอลอีกรูปแบบหนึ่งซึ่งข้อมูลดิจิตอลจะถูกบรรจุในทั้งแอมปลิจูดและเฟสของสัญญาณพาหะ และในโครงงานนี้จะเลือกใช้แบบ16 QAM ซึ่งเป็นเทคนิคการเข้าข้อมูลแบบ M-ary เมื่อ M=16 ข้อมูลอินพุตถูกแบ่งเป็นกลุ่มๆละ 4 บิต ($2^4 = 16$)

บล็อกไดอะแกรมของเครื่องส่ง 16 QAM แสดงในรูปที่ 2.1 ข้อมูลอินพุตแบบเลขฐานสองถูกแบ่งป้อนเข้าช่องต่างๆ 4 ช่องคือ I , I' , Q และ Q' บิตเรทในแต่ละช่องมีค่า 1/4 ของบิตเรทอินพุต ($F_b/4$) อินพุต 4 บิตถูกส่งแบบอนุกรมเข้าวงจรแยกบิต แล้วถูกส่งออกพร้อมๆกันเป็นแบบขนาน ด้วยช่อง I , I' , Q และ Q' ทั้งคู่จะถูกป้อนเข้าสู่วงจรแปลง 2 ลอจิก ไปเป็น 4 ระดับ ดังนั้นวงจรแปลง 2 ลอจิกเป็น 4 ระดับ จึงสร้างสัญญาณ PAM ได้ 4 สัญญาณคือมี 2 ขั้ว และ 2 ขนาดที่เป็นไปได้ที่เอาต์พุตของวงจรแปลง 2 ลอจิก เป็น 4 ระดับแต่ละวงจร ซึ่งมีค่าเป็น +0.22V และ +0.821V สัญญาณ PAM จะเข้าไปมอดูเลทกับสัญญาณพาหะ Inphase และสัญญาณพาหะ Quadrature Phase ด้วยวงจรคูณดังนั้นผลที่ได้จะมี 4 เอาต์พุตสำหรับวงจรคูณแต่ละวงจร วงจรคูณ I มีค่าเป็น $+0.821\text{Sinew}_0t$, $+0.22\text{Sinew}_0t$, -0.22Sinw_0t และ -0.821Sinew_0t ส่วนวงจรคูณ Q มีค่าเป็น $+ 0.821\text{Cosw}_0t$, $+0.22\text{Cosw}_0t$, -0.22Cosw_0t และ -0.821Cosw_0t และเมื่อนำผลที่ได้ไปรวมกันที่วงจรรวมสัญญาณแบบเชิงเส้น จะทำให้ได้เอาต์พุตถึง 16 รูปแบบ สำหรับ 16 QAM



รูปที่ 2.1 บล็อกไดอะแกรม 16 QAM Modulator

ส่วนในการพิจารณาขนาดของแบนด์วิดท์นั้น สำหรับบิตเรทที่เหมือนกัน แถบความถี่ที่น้อยที่สุดต้องการส่งผ่านวงจรมอดูเลท 16 QAM มีค่า 1/4 ของวงจรมอดูเลท BPSK มีค่า 1/2 ของ QPSK และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

น้อยกว่า 25 % เมื่อใช้ 8PSK สำหรับเทคนิคการมอดูเลทแต่ละวิธี อัตราบอดเรทจะถูกลดลงด้วยอัตรา ส่วนที่เหมือนๆกัน

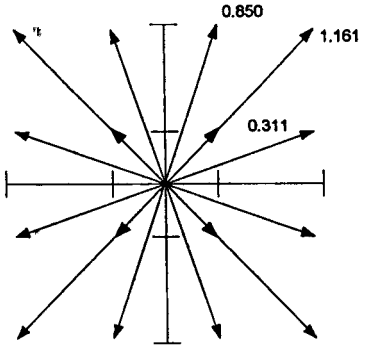
I	I'	Output	Q	Q'	Output
0	0	-0.220V	0	0	-0.220V
0	1	-0.821V	0	1	-0.821V
1	0	+0.220V	1	0	+0.220V
1	1	+0.821V	1	1	+0.821V

ตารางที่ 2.1 ตารางความจริงของ I และ Q ที่เปลี่ยนแปลงได้ทั้ง 4 ระดับ

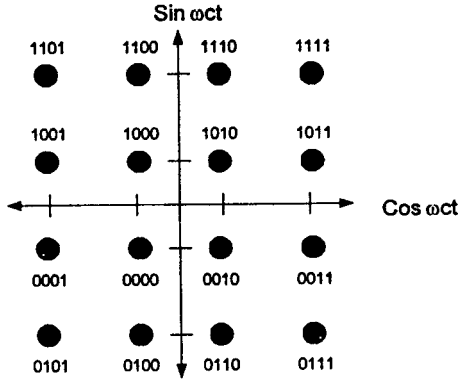
Binary Input				16QAM
I	I'	Q	Q'	Output
0	0	0	0	0.311V -135°
0	0	0	1	0.850V -165°
0	0	1	0	0.311V -45°
0	0	1	1	0.850V -15°
0	1	0	0	0.850V -105°
0	1	0	1	1.161V -135°
0	1	1	0	0.850V -75°
0	1	1	1	1.161V -45°
1	0	0	0	0.311V 135°
1	0	0	1	0.850V 165°
1	0	1	0	0.311V 45°
1	0	1	1	0.850V 15°
1	1	0	0	0.850V 105°
1	1	0	1	1.161V 135°
1	1	1	0	0.850V 75°
1	1	1	1	1.161V 45°

(a)

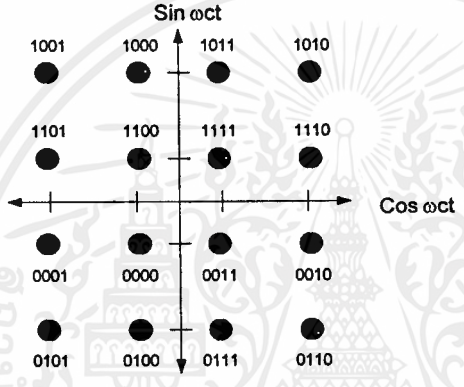
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b)



(c)



(d)

รูปที่ 2.2 Phase Diagram และ Constellation Diagram

<u>หมายเหตุ</u> รูปที่ 2.2 (c) คือ Constellation Diagram ของ Binary Code

รูปที่ 2.2 (d) คือ Constellation Diagram ของ Gray Code

<u>ประสิทธิภาพของแถบความถี่ (Bandwidth efficiency)(β)</u>

ประสิทธิภาพของแถบความถี่ (Bandwidth efficiency)(β) (หรือความหนาแน่นของข้อมูล) ถูกใช้เปรียบเทียบการทำงานของเทคนิคการมอดูเลทหนึ่งกับแบบอื่นๆ สิ่งที่สำคัญก็คือ อัตราส่วนของบิตเรทในการสื่อสารกับแถบความถี่ที่น้อยที่สุดที่ต้องการ สำหรับการมอดูเลทที่ต้องการความละเอียด ประสิทธิภาพของแถบความถี่ที่ผิดปกติเป็นแถบความถี่ 1Hz ทำให้แยกจำนวนบิตที่สามารถส่งผ่านอุปกรณ์สำหรับแถบความถี่แต่ละเฮิรตซ์ เขียนสมการได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{BW efficiency} = \frac{\text{transmission rate (bps)}}{\text{minimum bandwidth (Hz)}}$$

$$= \frac{\text{bits / second}}{\text{hertz}}$$

$$= \frac{\text{bits / second}}{\text{cycle / second}}$$

$$= \frac{\text{bits}}{\text{cycle}}$$

การหาประสิทธิภาพของแถบความถี่สำหรับการมอดูเลทแบบ BPSK,QPSK,8PSK และ 16QAM จากตารางเป็นการแสดงแถบความถี่ที่น้อยที่สุดที่ใช้ส่งสัญญาณที่มีอัตราส่ง 10 Mbps ด้วยการมอดูเลทในรูปแบบต่างๆ

Modulation Technique	Minimum Bandwidth (MHz)
BPSK	10
QPSK	5
8PSK	3.33
16QAM	2.5

ตารางที่ 2.2 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลทต่างๆ

แทนค่าลงในสมการ จะได้ค่าประสิทธิภาพแถบความถี่ดังนี้

$$\text{BPSK} \;;\; \text{BW efficiency} = \frac{10\text{Mbps}}{10\text{MHz}} = \frac{1\text{bps}}{\text{Hz}} = \frac{1\text{bit}}{\text{cycle}}$$

$$\text{QPSK} \;;\; \text{BW efficiency} = \frac{10\text{Mbps}}{5\text{MHz}} = \frac{2\text{ bps}}{\text{Hz}} = \frac{2\text{ bit}}{\text{cycle}}$$

$$\text{8PSK} \;;\; \text{BW efficiency} = \frac{10\text{ Mbps}}{3.33\text{MHz}} = \frac{3\text{ bps}}{\text{Hz}} = \frac{3\text{ bit}}{\text{cycle}}$$

$$\text{16QAM} \;;\; \text{BW efficiency} = \frac{10\text{ Mbps}}{2.5\text{MHz}} = \frac{4\text{ bps}}{\text{Hz}} = \frac{4\text{ bit}}{\text{cycle}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลที่ได้แสดงให้เห็นว่า BPSK มีประสิทธิภาพต่ำสุด และ 16QAM มีประสิทธิภาพสูงที่สุดและ 16QAM ต้องการเพียง 1/4 ของแถบความถี่ที่ใช้ใน BPSK ในอัตราบิตเรทอินพุตที่เท่ากัน และสรุปข้อแตกต่างของ FSK,PSK,QAM ได้ในตารางที่ 2.3

Modulation	Encoding	Bandwidth (Hz)	Baud	Bandwidth efficiency (β) (bps/Hz)
FSK	Single bit	>Fb	Fb	<1
BPSK	Single bit	Fb	Fb	1
QPSK	Dibit	Fb/2	Fb/2	2
8PSK	Tribit	Fb/3	Fb/3	3
8QAM	Tribit	Fb/3	Fb/3	3
16PSK	Quadbit	Fb/4	Fb/4	4
16QAM	Quadbit	Fb/4	Fb/4	4

ตารางที่ 2.3 สรุปข้อแตกต่างของ FSK,PSK และ QAM

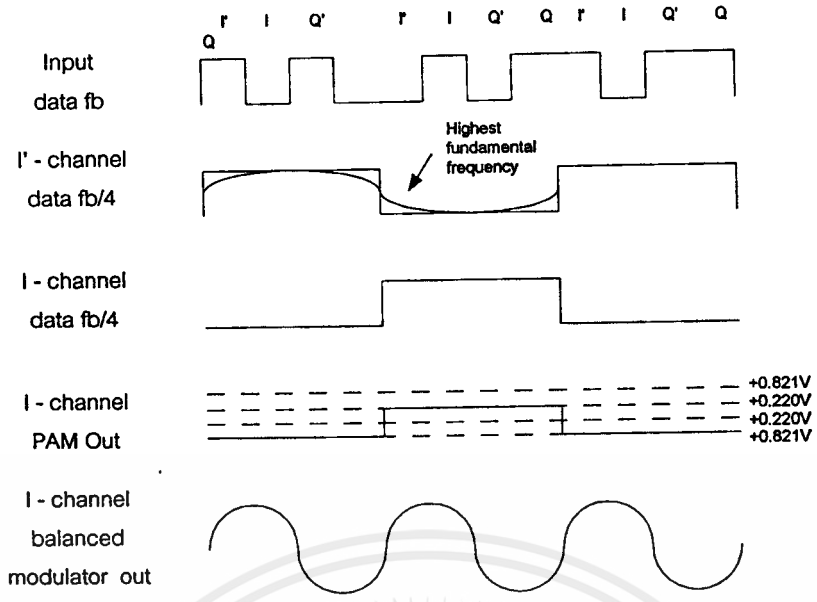
การพิจารณาแถบความถี่ของ 16QAM (Analysis of 16 QAM)

การส่งข้อมูลดิจิตอลแบบ 16QAM มีเมื่อข้อมูลที่ป้อนเข้ามาแล้วมันจะถูกแบ่งออกเพื่อป้อนเข้าฟลิบฟลอบ 4 ตัว บิตเรทในช่อง I,I',Q และ Q' มีค่าเท่ากับ 1/4 ของอัตราขาเข้าของข้อมูลอินพุตแบบเลขฐานสอง (Fb/4) วงจรแยกบิต I,I',Q และ Q' เป็นสี่เท่าของคาบเวลาบิตอินพุต ทั้งนี้เพราะว่าบิต I I',Q และ Q' จะเป็นเอาต์พุตมาพร้อมกันและอยู่ในรูปขนาน วงจรแปลงระดับ 2 ถึง 4 ระดับ จะมีอัตราการเปลี่ยนแปลงอินพุตและเอาต์พุตเป็น 1/4 ของอัตราเข้าของข้อมูลอินพุต

จากรูปที่ 2.3 แสดงความสัมพันธ์ของเวลาของบิตระหว่างสัญญาณดิจิตอล อินพุตที่ I,I',Q และ Q' และสัญญาณ PAM จากช่อง I จะเห็นว่าความถี่พื้นฐานที่สูงที่สุด ในช่อง I,I',Q และ Q' มีค่า 1/4 ของข้อมูลดิจิตอลอินพุต (หนึ่งรอบในช่วง I,I',Q และ Q' ใช้เวลาเท่ากันเป็นเวลาที่อินพุตเข้ามา 8 บิต) ดังนั้นความถี่พื้นฐานที่สูงที่สุดของสัญญาณ PAM ทั้งสองสัญญาณมีค่า 1/8 ของบิตเรทดิจิตอลอินพุต

วงจรบาลานท์มอดดูเลเตอร์ 16QAM มีการเปลี่ยนแปลงที่เอาต์พุตหนึ่งครั้ง (เฟสหรือแอมปลิจูดหรือทั้งสองอย่าง) สำหรับเมื่อมีสัญญาณอินพุตเข้ามาทุกๆ 4 บิต ดังนั้นจะมีอัตราบอดเรท Fb/4 เหมือนกันกับแถบความถี่ที่น้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 การพิจารณาแถบความถี่ของ 16 QAM Modulator

ความน่าจะเป็นของการเลือกบิตผิดพลาดและอัตราความผิดพลาดของบิต

ความน่าจะเป็นของการเลือกบิตผิดพลาด (probability of error;P(e)) และอัตราความผิดพลาดของบิต (Bit Error Rate;BER) จะมีความหมายที่แตกต่างกันอยู่เล็กน้อย P(e) คือการคาดเดาอย่างมีเหตุผลของอัตราการผิดของบิต ส่วน BER คือ การบันทึกโดยการสังเกตการกระทำของระบบที่ผิดพลาดจริง

ความน่าจะเป็นของความผิดพลาดเป็นฟังก์ชั่นของอัตราส่วนระหว่างสัญญาณพาหะและสัญญาณรบกวนของเครื่องรับ ขึ้นอยู่กับ M-ray ที่ใช้และ P(e) ที่ต้องการ โดยทั่วไปอัตราส่วนที่น้อยที่สุดของสัญญาณพาหะต่อสัญญาณรบกวนที่ต้องการสำหรับระบบ QAM มีค่าน้อยกว่าที่ต้องการในระบบ PSK

วงจร Balance Modulation

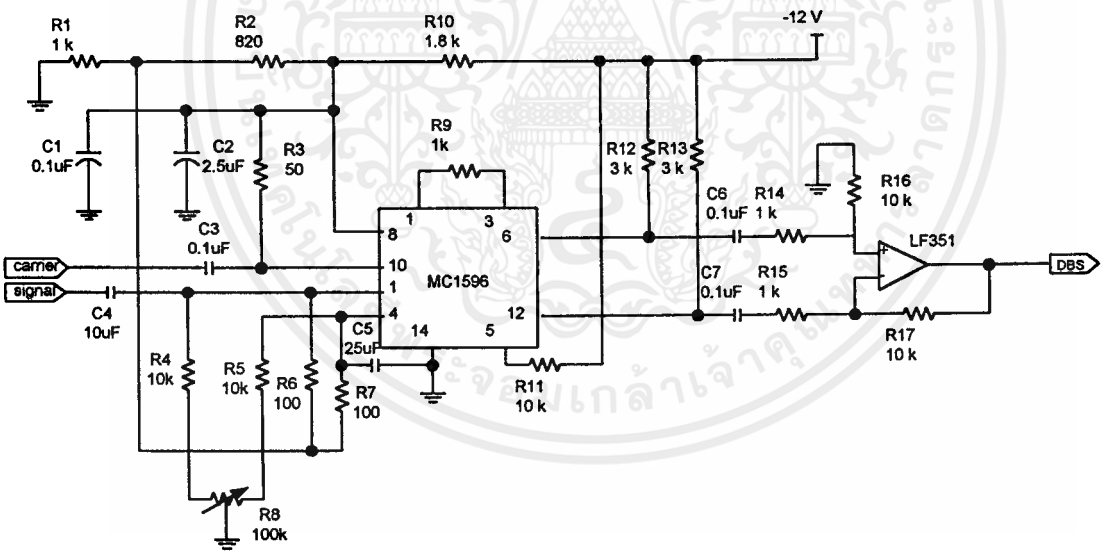
วงจร Balance Modulation หรือเราเรียกย่อๆว่า BM นี้จะทำหน้าที่ผสมสัญญาณระหว่างสัญญาณ baseband กับสัญญาณ carrier โดยผลลัพธ์ ที่ได้จากการผสมจะมีเฉพาะไซด์แบนด์ทั้งสองข้างเท่านั้นโดยที่สัญญาณคลื่นพาห์จะถูกกำจัดออกไป

วงจรที่ใช้งานกันทั่วไปมีหลายแบบ เช่น ใช้เฟทคู่ ใช้ไดโอดต่อเป็นวงจรหรือใช้ไอซีสำเร็จรูปทั่วไปก็ได้เช่นกัน วงจร balance modulation ที่ใช้ในโครงงานนี้ก็คือ IC สำเร็จรูปของ Motorola เบอร์ MC1496, MC1596 ซึ่งเป็น IC ที่สามารถประยุกต์ใช้งานได้หลายอย่าง คือสามารถใช้เป็นทั้งภาค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Modulator ทั้งแบบธรรมดา และ suppress carrier ก็ได้หรือจะใช้เป็นส่วนหนึ่งในภาค Detector ก็ได้อีกเช่นกัน

IC MC1496 , MC1596 ตัวนี้จะทำหน้าที่เป็น Balance Modulator / Demodulator ซึ่งถูกออกแบบสำหรับใช้กับ Output ที่เกิดจากการคูณของ input signal กับ Carrier ซึ่งนอกจากทำเป็นวงจร Balance Mod / Demod แล้วยังสามารถนำไปประยุกต์ได้อีกหลายอย่างเช่น Amplitude Modulation , Synchronous Detection, FM Detection ฯลฯ และในการนำ IC ตัวนี้มาใช้ต้องพิจารณาด้วยว่าในวงจรที่เราใช้นั้นมีการกำหนดค่าถูกต้องตาม IC ที่เรามีอยู่หรือไม่ เพราะ IC ชนิดนี้มี 2 รูปแบบ คือ แบบที่เป็นตัวถังโลหะมี 10 ขา และแบบตัวถังพลาสติกมี 14 ขา โดยมีขนาดข้อกำหนดของ carrier signal = 60 mV และ Modulating signal = 300 mV วงจรที่ใช้นี้จะใช้เพียงไฟเลี้ยงชุดเดียวคือ +12V นองจากนี้ IC MC1496, MC1596 ตัวนี้สามารถใช้กับไฟเลี้ยง 2 ชุด (+12 V และ -8V) และหากต้องการนำ IC ตัวนี้ไปประยุกต์ใช้กับงานอื่นก็ต้องมีข้อกำหนดที่แตกต่างกันไปโดยเราสามารถดูรายละเอียดได้จากData Sheet ในภาคผนวก



รูปที่2.4 วงจร Balance Modulater

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ด้วย Active (Active Filter)

Active Filter ทำหน้าที่กรองความถี่สัญญาณ เป็นวงจรที่ประกอบด้วยภาคขยาย เช่น Transistor หรือ IC และ Network เลือกความถี่ (Frequency Selective Network) จำพวก Resistor กับ Capacitor วงจรให้ผ่านได้เฉพาะสัญญาณในช่วงความถี่ที่กำหนด ขณะเดียวกันจะขวางกั้น (Block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าว มิให้ปรากฏที่ Output โดยทั่วไปแล้ว Filter แบ่งออกเป็นหลายรูปแบบ ดังนี้

1. Filter ชนิด Analog หรือ Digital
2. Filter ประเภท Active หรือ Passive
3. Filter ย่านความถี่เสียง (Audio Frequency) หรือย่านวิทยุ (Radio Frequency)

Analog Filter ออกแบบมาเพื่อใช้กับสัญญาณ Analog ส่วน Digital Filter ใช้งานกับสัญญาณ Digital โดยอาศัยเทคนิคทาง Analog มาช่วย ถ้าคำนึงถึงชิ้นส่วนของอุปกรณ์อิเลคทรอนิคส์ (Element of Device) ที่นำมาประกอบกันเป็นวงจร Filter แบ่งออกเป็น Passive และ Active Filter ชิ้นส่วนวงจรที่ใช้ใน Passive Filter ได้แก่ Resistor , Capacitor และ Inductor ส่วน Active Filter ประกอบด้วยตัวขยายสัญญาณจำพวก Transistor หรือ IC ในรูป OP-AMP และ Resistor และ Capacitor ทำงานร่วมกับ Resistor , Capacitor และ Inductor ถือได้ว่าเป็นชิ้นส่วนประเภท Passive element การจะเลือกใช้ชิ้นส่วนชนิดใดนั้น ขึ้นอยู่กับย่านความถี่สัญญาณที่ต้องการให้วงจร Filter ทำงาน ยกตัวอย่างเช่น RC Filter ใช้กับย่านความถี่เสียงหรือในย่านความถี่ต่ำ ในขณะที่ LC Filter จะใช้ย่านความถี่วิทยุหรือย่านความถี่สูง

เราแบ่ง Active Filter ตามลักษณะการทำงานออกเป็น 5 ชนิด

ก. Low Pass Filter (LPF)

ข. High Pass Filter (HPF)

ค. Band Pass Filter (BPF)

ง. Band Reject หรือ Band Stop Filter (BSF)

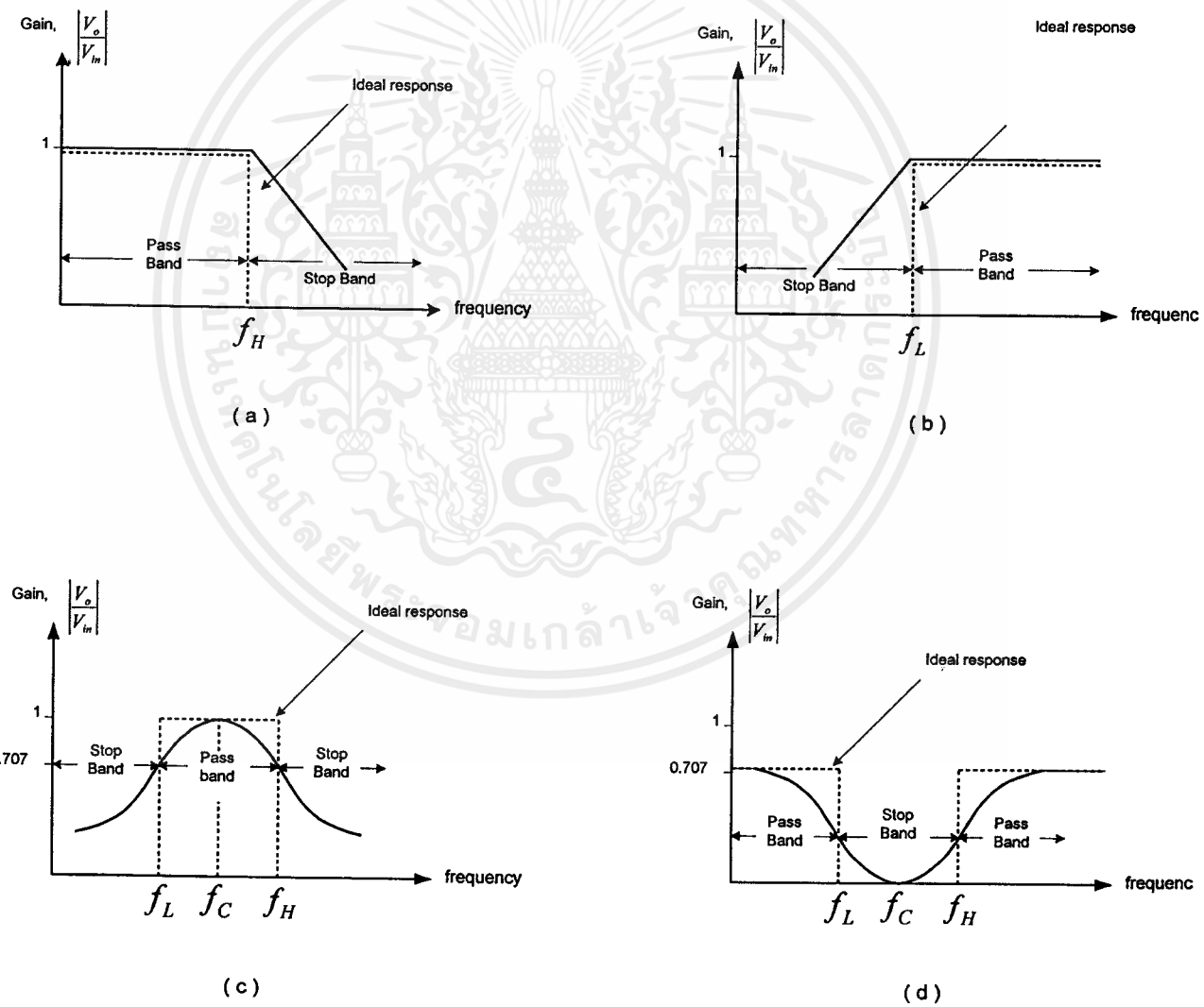
จ. All Pass Filter

Filter เหล่านี้อาศัย Resistor และ Capacitor เป็น Passive Element ทำงานร่วมกับ Acitive Element จำพวก Op-Amp อาศัย IC ที่มีคุณสมบัติ High Speed ที่มี Slew Rate สูง และ Unity Gain Bandwidth สูงๆเช่น LM318 หรือ ICL8017 จะช่วยให้วงจรมีคุณสมบัติทางด้านความถี่และอัตราการขยายของ Filter ดีขึ้น

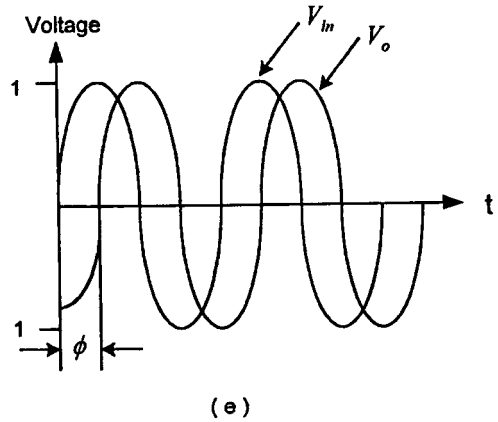
Frequency Response ของ Filter ทั้ง 5 ชนิดแสดงในรูปที่ 2.5 เส้นประแสดงถึง Response ที่เป็นอุดมคติในทางทฤษฎี ส่วน Response Courve ในทางปฏิบัติแสดงด้วยเส้นทึบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.5 (a) แสดง Frequency Response ของวงจร Low Pass Filter มีขนาดของ Gain คงที่จากความถี่ 0 Hz ถึงความถี่ High Cutoff (f_H) ค่าของ Bandwidth จึงเท่ากับ f_H ที่ f_H หรือตำแหน่งความถี่ High Cutoff นั้นอัตราการขยายจะลดลงจากจุดสูงสุดในช่วง PassBand 3 dB และที่ความถี่มากกว่า f_H นั่นคือที่ $f > f_H$ อัตราขยายหรือ Gain ของวงจรก็ลดลงทุกขณะอย่างต่อเนื่องตามความถี่สัญญาณ Input ที่เพิ่มขึ้น ช่วงของความถี่ระหว่าง 0 - f_H Hz เราเรียกว่า Pass Band ส่วนช่วงที่ความถี่สูงกว่า f_H ขึ้นไป ซึ่งเกิดจากการลดทอนของสัญญาณลงทุกขณะ เราเรียกว่า Stop Band จาก Response ที่เป็นอุดมคติ ในเส้นประแสดงให้เห็นว่า Filter ที่เป็นอุดมคติจะมี Loss เป็น 0 ตลอด ช่วง Pass Band จะมี Loss เป็นอนันต์ในช่วง Stop band แต่สภาพความเป็นจริงในทางปฏิบัติมิได้เป็นเช่นนั้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 Frequency Response ของวงจร Filter

เพราะโครงข่ายวงจรชนิดเชิงเส้น (Linear Network) ไม่สามารถสร้างคุณสมบัติของความไม่ต่อเนื่องขึ้นได้อย่างไรก็ตามเราอาจสร้าง Response Curve ในทางปฏิบัติตามเส้นทึบให้ใกล้เคียงกับ Response ที่เป็นอุดมคติตามเส้นประได้เช่นกัน โดยอาศัยเทคนิคการออกแบบวงจรพิเศษเข้าช่วยประกอบวงจรด้วยชิ้นส่วนอุปกรณ์เช่น Resistor และ Capacitor ที่มีค่าถูกต้องแม่นยำหรือมีค่าผิดพลาดน้อยที่สุด และใช้ Op-Amp ชนิด High Speed (ในโครงงานนี้ใช้ Op-Amp เบอร์ LF351)

รูปแบบของ Filter ที่นิยมนำมาใช้กันมากในทางปฏิบัติซึ่งให้ Response Curve ประมาณใกล้เคียงทางทฤษฎี ได้แก่รูปแบบ Butterworth Chebyshev และ Caur แต่ละรูปแบบมีคุณสมบัติลักษณะประจำตัวแตกต่างกันไป Butterworth Filter ให้คุณลักษณะของทั้ง Pass Band และ Stop Band ในลักษณะ ค่อนข้างราบเรียบ บางโอกาสจึงเรียกว่า Flat Filter สำหรับ Chebyshev Filter มีคุณลักษณะ Pass Band เป็น Ripple และ Stop Band เป็น Flat ส่วน Caur Filter ให้ทั้ง Pass Band และ Stop Band Ripple ทั้งคู่ ซึ่งเป็นการออกแบบและความยุ่งยากของวงจรก็แตกต่างกันไปตามลักษณะการใช้งาน

รูปที่ 2.5 (b) เป็น Response Curve ของ High Pass Filter เมื่อให้ f เป็นความถี่ใดๆ และ f_L เป็น Low Cutoff Frequency แล้วช่วง Stop Band จะอยู่ที่ความถี่ $0 < f < f_L$ และช่วงของ Pass Band อยู่ที่ $f > f_L$

รูปที่ 2.5 (c) แสดง Frequency Response ของวงจร Band Pass Filter ช่วง Pass Band อยู่ระหว่าง 2 ความถี่คัทออฟได้แก่ High Cutoff Frequency (f_H) และ Low Cutoff Frequency (f_L) ซึ่งเป็นตำแหน่งที่ Gain ลดลง 3 dB และช่วง Stop Band มีสองช่วงที่ $0 < f < f_L$ กับ $f > f_H$ โดยที่ $f_H > f_L$ ค่า Bandwidth ของ Band Pass Filter เท่ากับ $f_H - f_L$ และ Center Frequency อยู่ที่ความถี่ fc ปรากฏที่ตำแหน่งกึ่งกลางช่วง Pass Band Gain พอดี

รูปที่ 2.5 (d) แสดง Response ของ Band Reject Filter มี Curve คุณลักษณะตรงข้ามกับ Band Pass Filter กล่าวคือช่วง Stop Band สองช่วงอยู่ระหว่างความถี่ $f > f_H$ และ $0 < f < f_L$ อาจเรียก Band

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

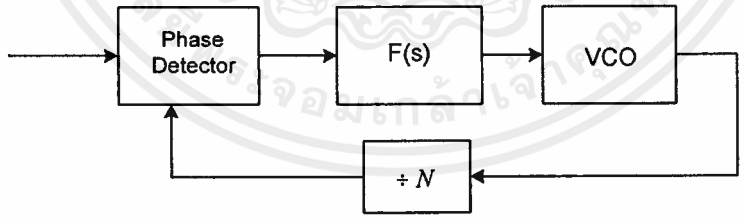
Reject Filter ว่า Band Stop Filter หรือ Band Elimination Filter ก็ได้ ค่า Bandwidth ของ Stop Band เท่ากับ $f_H - f_L$ และตำแหน่งกึ่งกลางช่วง Stop Band เป็นความถี่ Center Frequency หรือ fc

รูปที่ 2.5 (e) แสดง Phase Shift ระหว่าง Input Voltage (Vin) กับ Output Voltage (Vo) ของ All Pass Filter มีคุณสมบัติในการให้สัญญาณทุกความถี่ผ่านได้เท่าๆกันกล่าวคือให้ Vo เท่ากับ Vin ในทุกความถี่โดยปรากฏ Phase Shift ขึ้นระหว่าง Vo กับ Vin ในบางความถี่แต่ค่าความถี่สูงสุดซึ่ง Vo กับ Vin ยังคงมีขนาดเท่ากันขึ้นอยู่กับคุณสมบัติ Unity Gain Bandwidth ของ Op-Amp ที่ความถี่นี้ Phase Shift ที่เกิดขึ้นระหว่าง Vo กับ Vin จะมีค่าสูงสุด

ระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป

เฟสล็อคลูปซินธิไซเซอร์(Phase look loop synthesizer) เป็นวงจรสังเคราะห์ความถี่ชนิดโปรแกรมได้ ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะ และให้มีความถี่ตามที่เรากำหนดโดยการประยุกต์ใช้งานของเฟสล็อคลูป ซึ่งเป็นระบบป้อนกลับที่มีการเปลี่ยนความถี่และเฟสของวงจรของออสซิลเลเตอร์ตามสัญญาณอินพุตที่ป้อนเข้ามา บล็อกไดอะแกรมเบื้องต้นของเฟสล็อคลูปซินธิไซเซอร์ประกอบด้วยส่วนสำคัญ 4 ส่วน ดังนี้

1. ส่วนเปรียบเทียบเฟส (Phase Detector : PD)
2. ลูปฟิลเตอร์ (Loop Filter : LF)
3. วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (Voltage control Oscillation VCO)
4. วงจรหารความถี่ที่สามารถโปรแกรมได้ (Programmable Divider)



รูปที่ 2.6 แสดงบล็อกไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป

สามารถอธิบายการทำงานคร่าว ๆ ได้ดังนี้ ขณะที่ยังไม่มีสัญญาณเข้าไปในระบบ แรงดันควบคุม (control voltage) V (t) จะเท่ากับศูนย์ VCO จะทำงานโดยตั้งความถี่ไว้ที่ f_r ซึ่งเรียกว่า ความถี่ฟรีรันนิ่ง (free running frequency) ถ้ามีสัญญาณเข้าไปในระบบ เฟสดีเทคเตอร์จะทำการเปรียบเทียบเฟสและความถี่ของสัญญาณอินพุต f_d, กับความถี่ของ VCO ถ้าเกิดความแตกต่างของสัญญาณทั้งสองเนื่องจากความถี่ไม่ตรงกันจะเกิดแรงดันคลาดเคลื่อนออกมา V (t) แรงดันคลาดเคลื่อนนี้จะถูกกรองผ่านวงจรลูปฟิลเตอร์ ขยายแล้วป้อนให้กับ VCO ในการนี้แรงดันควบคุม V (t) จะไปบังคับความถี่ของ VCO ให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปลี่ยนไปในทิศทางที่ลดความถี่ที่แตกต่างระหว่างความถี่ f_r กับความถี่ f_d, ถ้าความถี่ f_d, ใกล้เคียงกับความถี่ f_r จากการป้อนกลับของเฟสล็อคลูปซึ่งสัญญาณที่ป้อนกลับไปยังลูปฟิลเตอร์จะเป็นความถี่เอาต์พุตของ VCO ที่ถูกหารโดย N จะทำให้ VCO จะซิงโครไนส์หรือล็อค (lock) กับสัญญาณอินพุตที่ป้อนเข้ามา ขณะที่ทำการล็อคนั้นความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณอินพุตพอดี

ในสภาวะล็อคความถี่จะได้ว่า

$$fr = fd \qquad (2.1)$$

และความถี่ที่ได้จากวงจรหาร

$$fd = fo / N \qquad (2.2)$$

ดังนั้นความถี่ที่เอาต์พุตจะได้เป็น

$$fo = Nfr \qquad (2.3)$$

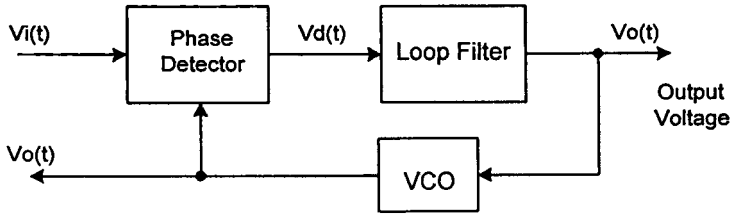
แต่ในสภาวะล็อคความถี่ เฟสของสัญญาณทั้งสองจะยังคงต่างกันอยู่ซึ่งมีความจำเป็นต่อการผลิตแรงดันคลาดเคลื่อน V (t) ที่จะไปคอยปรับความถี่ VCO จากค่าความถี่ฟรีรันนิ่งให้เท่ากับความถี่ที่เข้ามา ดังนั้นเฟสล็อคลูปจะยังคงรักษาสภาพการล็อคอยู่ การที่ระบบสามารถที่จะปรับตัวได้เองทำให้เฟสล็อคลูปสามารถติดตามการล็อคกับระบบซึ่งจะขึ้นอยู่กับแรงดันคลาดเคลื่อน

ช่วงของความถี่ซึ่งเฟสล็อคลูปสามารถทำการล็อคอย่างแท้จริงกับสัญญาณอินพุตเรียกว่า ช่วงแคปเจอร์ (capture ranger) จะขึ้นอยู่กับขอบแบนด์ของมิเตอร์และอัตราขยายลูปปิดของระบบทั้งหมด

เฟสล็อคลูปที่มีการนวรความถี่ชนิดโปรแกรมได้ภายในลูปเป็นวิธีที่เหมาะสำหรับการสังเคราะห์ความถี่ที่มีค่ามากจากความถี่อ้างอิงความถี่เดียว

คุณสมบัติที่ต้องการของวงจรสังเคราะห์ความถี่จะต้องผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนด ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงที่แน่นอนแล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนแปลงได้ทีละชั้น ซึ่งเรียกว่า รีโซลูชั่น (resolution)

<u>ระบบเฟสล็อคลูป</u>

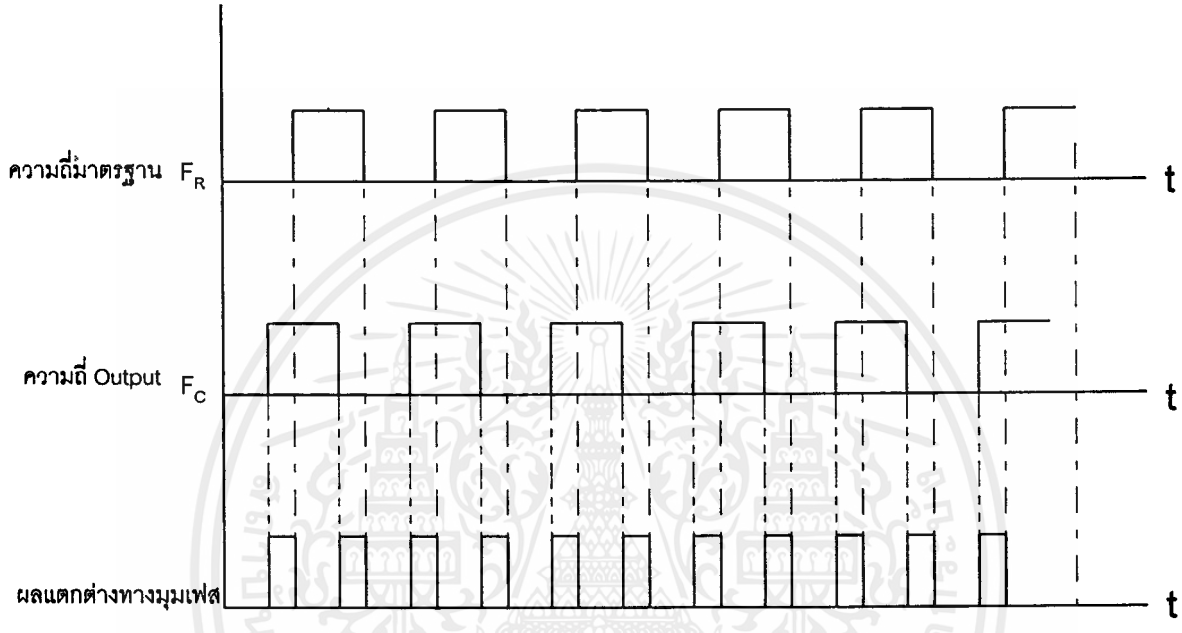


รูปที่ 2.7 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อคลูป

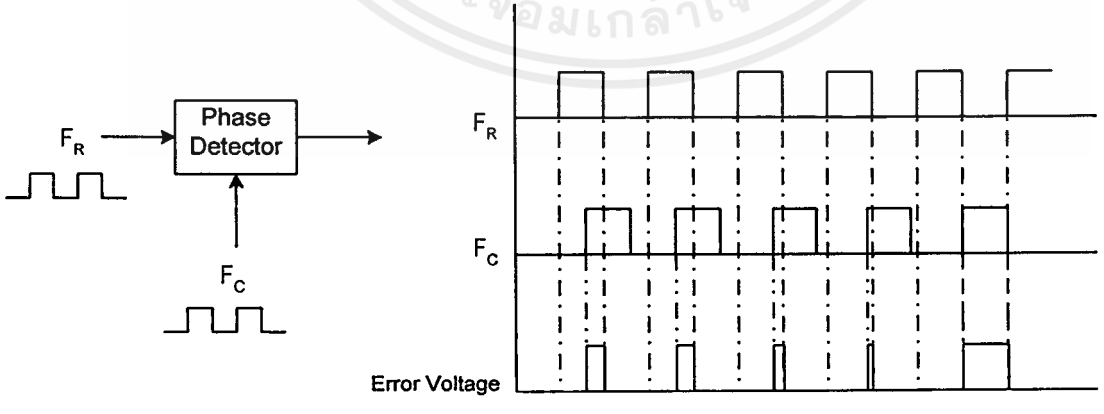
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ละส่วนมีผลต่อคุณสมบัติและการทำงานของระบบ หน้าที่ของแต่ละส่วนจะได้อธิบายดังนี้

1. **<u>เฟสดีเทคเตอร์</u>** เฟสดีเทคเตอร์ทำหน้าที่เปรียบเทียบเฟสของอินพุตซึ่งจะมีสองผลของเฟสที่ต่างกันเรียกว่า เฟสเออร์เรอร์ เฟสเออร์เรอร์นี้จะมีค่าน้อยที่สุดเป็นศูนย์ และจะมีค่ามากที่สุดเป็นเฟสดีเทคเตอร์จะทำการเปลี่ยนเฟสเออร์เรอร์นี้ให้กลายเป็นระดับโวลท์เตทด้วยค่าคอนเวอร์ชั่นเกน K (volt/radian)ลักษณะการเปรียบเทียบเฟสของอินพุตทั้งสองของเฟสดีเทคเตอร์จะได้แสดงดังรูปที่ 2.8ก .



รูปที่ 2.8 ก. ผลต่างเฟสเมื่อเฟสเท่ากัน



รูปที่ 2.8 ข. เมื่อเฟสของอินพุตไม่เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ลูปฟิลเตอร์ ทำหน้าที่กรองสัญญาณความถี่สูงที่ออกมาจากเฟสดีเทคเตอร์ เนื่องจากเฟสดีเทคเตอร์ให้เอาต์พุตเป็นสัญญาณดีซีที่มีเอซีโวลท์เตทร่วมมาด้วย สัญญาณความถี่ที่ได้เกิดจากความต่างเฟส ยิ่งต่างเฟสมากความถี่ยิ่งสูง ดังนั้นลูปฟิลเตอร์จึงช่วยกรองเอาสัญญาความถี่สูงซึ่งแสดงว่ามีความต่างเฟสมากออกทำให้ระบบสามารถแคบเจอร์ (capture) สัญญาณได้ในช่วงหนึ่งและช่วยให้ระบบรักษาการล็อคไว้ได้อีกด้วย

3. วีซีโอ จะทำหน้าที่ผลิตสัญญาณความถี่โดยการควบคุมระดับโวลท์เตทอินพุตด้วยคอนเวอร์ชั่นเกนเท่ากับ K (radian / volt) ระดับโวลท์เตทนี้จะได้เอาต์พุตของลูปฟิลเตอร์ ความถี่ที่ล็อคมาจากลูปฟิลเตอร์ จะมีผลทำให้เอาต์พุตของวีซีโอเปลี่ยนความถี่ด้วยเช่นกัน

การทำงานของระบบเฟสล็อคลูปสามารถอธิบายอย่างคร่าว ๆ ได้ดังนี้ เฟสดีเทคเตอร์จะเปรียบเทียบเฟสของสัญญาณอินพุต V (t) กับความถี่เอาต์พุตของ VCO และทำให้ได้เออร์เรอร์โวลท์เตจ V(t) สัญญาณเออร์เรอร์โวลท์เตจนี้จะถูกกรองด้วยลูปฟิลเตอร์และถูกป้อนไปยังคอนโทรลอินพุตของ VCO ในรูปของแรงดังควบคุมเพื่อควบคุมความถี่ของ VCO

ตามปกติเมื่อไม่มีสัญญาณอินพุตป้อนให้กับระบบเฟสล็อคลูปเออเรอร์โวลท์เตจที่ผ่านลูปฟิลเตอร์ V (t) ในฟีดแบ็คลูปจะมีค่าเป็นศูนย์ VCO จะทำงานที่ความถี่ศูนย์กลาง $\omega 1 = 2\pi$ fo ซึ่งเราเรียกว่าความถี่ฟรีรันนิ่งของ VCO

ถ้ามีสัญญาณอินพุตเป็นเอซีป้อนให้กับระบบเฟสล็อคลูปและสัญญาณดังกล่าวมีความถี่อินพุตใกล้เคียงกับความถี่ฟรีรันนิ่งพอเพียง การฟีดแบ็คของเฟสล็อคลูปจะทำให้ได้เออเรอร์โวลท์เตจไปขับ VCO ให้มีความถี่ซิงโครไนส์กับความถี่อินพุตเมื่อความของ VCO ซิงโครไนส์กับความถี่อินพุตแสดงว่าระบบเฟสล็อคลูปมีความถี่เอาต์พุตล็อคกับความถี่ของสัญญาณอินพุต

การทำงานของระบบเฟสล็อคลูปสามารถแบ่งได้เป็น 3 ลักษณะตามคุณสมบัติของลูปดังนี้

ก. <u>เมื่อระบบไม่อยู่ในสภาวะล็อค($\omega 1 \neq \omega 2$)</u>

จากระบบเฟสล็อคลูปในรูปที่ 2.7 เราสมมติสัญญาณ V และ V เป็นสัญญาณรูปคลื่นซายน์มีค่าเป็น

$$Vi(t) = Ei \sin(\omega it + \theta i \omega o) \qquad (2.4)$$

$$Vo(t) = Eo \sin(\omega o + \phi o \phi) \qquad (2.5)$$

เมื่อ ωi เป็นความถี่เชิงมุมของสัญญาณอินพุต

ωo เป็นความถี่เชิงมุมศูนย์กลางของ VCO

และ ϕo เป็นค่าเฟสคงที่ซึ่งขึ้นอยู่กับช่วงเวลาที่กำหนด

ถ้าเฟสดีเทคเตอร์มีคุณสมบัติเป็นอนาลอกมัลติพลายเออร์ เราจะได้สัญญาณเอาต์พุตของเฟสดีเทคเตอร์ (V) เป็น

$$Vd(t) = Kd \cos\{(\omega i - \omega 0)t + \theta i - \phi o\} \qquad (2.6)$$

เนื่องจาก Vi และ Vo ไม่ซิงโครไนส์กัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นสัญญาณเอาต์พุตของเฟสดีเทคเตอร์ Vd จะเป็นสัญญาณรูปคลื่นซายน์ที่มีแอมปลิดจูดสูงสุดเท่ากับ k และมีความถี่เชิงมุมเท่ากับความถี่เชิงมุมระหว่างสัญญาณ Vi และ Vo คือ ω_iและω_o มีค่าแตกต่างกันมาก ดังนั้น โวลท์เตจ Vd จะไม่สามารถผ่านลูปฟิลเตอร์ได้ ทำให้ได้ค่า Vc = 0 และการฟีดแบ็คของลูปจะไม่มีผลอะไรคือไม่เกิดการเปลี่ยนแปลงใด ๆ ภายในลูป เอาต์พุตโวลท์เตจของ VCO จะมีค่าอยู่ที่ความถี่ฟรีรันนิ่ง ดังนั้น ω_o และ ϕ_o จะมีค่าเป็นอิสระอย่างสมบูรณ์ต่อω_i และ θ_i พูดได้ว่าลูปไม่อยู่ในสภาวะล็อค แต่ถ้า $\omega_i - \omega_o = \pm\Delta\omega$ มีค่าน้อยกว่าแบนด์วิดธ์ของลูปซึ่งกำหนดได้โดยพารามิเตอร์ของลูปและการฟีดแบ็คจะมีผลขับให้ระบบเข้าสู่สภาวะล็อคได้

ข.<u>เมื่อระบบเข้าสู่สภาวะล็อค</u> ($\omega_i = \omega_o$)

ในกรณีที่สัญญาณเอาต์พุต VCO มีความถี่ซิงโครไนส์กับสัญญาณอินทุด Vi สัญญาณเอาต์พุต Vo จะมีค่าเป็น

$$V_o(t) = E_o \sin(\omega_i t + \psi_o) \qquad (2.7)$$

นอกจากนั้นค่าของเฟสของสัญญาณเอาต์พุต จะเป็นลิเนียร์ฟังก์ชั่นกับเวลาซึ่งมีค่าเป็น

$$\phi_o = (\omega_i - \omega_o)t + \psi_o \qquad (2.8)$$

และสัญญาณเอาต์พุตของเฟสดีเทคเตอร์หรือสัญญาณเออร์เรอร์จะกลายเป็นสัญญาณดีซี มีค่าเท่ากับ

$$V_d = K_d \cos(\theta_i - \psi_o) \qquad (2.9)$$

ลูปฟิลเตอร์จะยอมให้สัญญาณดีซี Vd ผ่านได้และมีค่าเท่ากับ

$$V_c = V_d = K_d \cos(\theta_i - \psi_0) \qquad (2.10)$$

VCO จะเป็นฟรีเควนซีโมดูเลทเตดออสซิลเลเตอร์ ความถี่เชิงมุมที่เปลี่ยนแปลงอย่างทันทีทันใดของ VCO ω_{inst} จะเป็นลิเนียร์ฟังก์ชั่นกับสัญญาณคอนโทรอินพุตVc โดยรอบความถี่เชิงมุมศูนย์กลาง

$$\omega_{inst} = d/dt(\omega_o t + \phi_o) = \omega_o + K_o V_c \qquad (2.11)$$

$$d/dt(\phi_o) = K_o V_o \qquad (2.12)$$

เมื่อ Ko เป็นคอนเวอร์ชั่นคอนสแตนท์ซึ่งแสดงถึงความไวในการโมดูเลชั่นของ VCOแทนค่าสมการ (2.8) และ (2.9) ลงในสมการ (2.12) จะได้

$$\omega_i - \omega_o = K_d K_o \cos(\theta_i - \psi_o) \qquad (2.13)$$

$$\psi_o = \theta_i - \cos^{-1}(\omega_1 - \omega_o / K_d K_o) \qquad (2.14)$$

ดังนั้นสัญญาณเอาต์พุตของเฟสดีเทคเตอร์ Vd สามารถเขียนได้เป็น

$$V_d = \omega_i - \omega_o / K_o \qquad (2.15)$$

ส่วนประกอยดีซีของเฟสดีเทคเตอร์เอาต์พุต Vd จะผ่านโลว์พาสฟิลเตอร์ไปเป็นคอนโทรลโวลท์เตจให้กับอินพุทของ VCO

$$V_c = V_d = \omega_i - \omega_o / K_o \qquad (2.16)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (2.16) จะเป็นได้ชัดเจนว่า สัญญาณดีซี Vc จะไปทำให้ความถี่เชิงมุมของ VCO มีค่าเปลี่ยนไปจากศูนย์กลางของ VCO ω_o ไปเท่ากับความถี่เชิงมุมของสัญญาณอินพุต ω_i นั่นคือ

$$\omega_{inst} = \omega_o + K_oV_c = \omega_o + \omega_i + \omega_o = \omega_i \qquad (2.17)$$

ถ้าความแตกต่างของความถี่เชิงมุมเริ่มต้น ($\omega_i - \omega_o$) มีค่าน้อยกว่าผลคุณของ $K_d K_o$ อย่างมาก สมการจะมีค่าเป็น

$$\theta_i - \psi \equiv \cos^{-1} O = \pi/2 \qquad (2.18)$$

จากสมการ (2.18) หมายความว่าถ้าความถี่ออฟเซทระหว่างสัญญาณอินพุตและสัญญาณ VCO จะมีค่าน้อยเมื่อลูปไม่อยู่สภาวะล็อคและสัญญาณ VCO จะมีเฟสต่างกับสัญญาณอินพุต 90 เมื่อลูปอยู่ในสภาวะล็อคหรือเฟสควอดดราเจอร์จะสอดคล้องกับ $\omega_i = \omega_o$ ด้วยเหตุผลนี้จึงแทนค่า ψ_0 ด้วยค่าเฟสเอาท์ θ_0 ดังนั้น

$$\theta_o = \psi_o - \pi/2 \qquad (2.19)$$

เอาต์พุตโวลท์เตทของเฟสดีเทคเตอร์เขียนได้ใหม่เป็น

$$V_d = K_d \cos(\theta_i - \psi_o)$$

$$= K_d \cos\{(\theta_i - \theta_o) - \pi/2\}$$

$$V_d = K_d \sin(\theta_i - \theta_o) \qquad (2.20)$$

และจากสมการ (2.18) และ (2.19) จะได้เฟสเออร์เรอร์เป็น

$$\theta_i - \theta_o = \sin^{-1} \omega_i - \omega_0 / K_d K_o \qquad (2.21)$$

เมื่อผลต่างของเฟส ($\theta_i - \theta_o$) มีค่าน้อยพอเพียงจะได้ว่า

$$V_d \equiv K_d(\theta_i - \theta_o) \equiv K_d \theta_0 \qquad (2.22)$$

เมื่อ $\theta_0 = \theta_i - \theta_o$ แต่เนื่องจากคุณสมบัติของเฟสดีเทคเตอร์แบบนี้เมื่อลูปเข้าสู่การล็อคสัญญาณของ วีซีโอ จะมีเฟสต่างไปจากสัญญาณอินพุต 90 คือ $\{\theta_i - (\theta_o + \pi/2)\}$ เป็นลักษณะของเฟสควอดดราเจอร์ดังนั้นเฟสดีเทคอตอร์จะให้เอาต์พุตโวลท์เตจที่เป็นสัดส่วนกับความต่างเฟสระหว่างสัญญาณอินพุต Vi กับสัญญาณเอาต์พุตของ วีซีโอ Vo .ในลักษระของควอดดราเจอร์คือ

$$V_d = K_d\{\theta_i - (\theta_o + \pi/2)\}$$

$$= K_d\{(\theta_i - \theta_o) - \pi/2)\}$$

$$= K_d(\theta_0 - \pi/2) \qquad (2.23)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเฟสเซ็นซิทีพ Vd นี้จะผ่านลูปฟิลเตอร์ไปป้อนให้กับคอนโทรลอินพุตของ วีซีโอ เพื่อแก้ไขให้ความถี่ของ วีซีโอ เปลี่ยนจาก ω_o ไปเป็น ω_i และดำรงการล็อคให้คงอยู่จะได้

$$Vd=Vc= \omega i-\omega o /Ko \quad (2.24)$$

$$\omega i=\omega o + KoVc \quad (2.25)$$

จากสมการ (2.20) และ (2.21) จะหาค่าจองเฟสเออร์เรอร์ ได้เป็น

$$\theta o= \pi/2 +(\omega i-\omega o / KdKo) \quad (2.26)$$

จากสมการ (2.23) จะสังเกตได้ว่าเมื่อ$\omega i=\omega o$ โวลท์เตจเอาต์พุตของ วีซีโอ จะมีเฟสควอดดราเจอร์คือมีเฟสต่างไปจากเฟสของสัญญาณอินพุตโวลท์เตจ 90 เมื่อ ωi เคลื่อนที่ไปทางด้านสูงกว่า มุมของเฟสจะลดลงจาก 90 ไปสู่ค่า 180 ที่อยู่เหนือสุดของพิกัด และถ้า ωi เคลื่อนไปทางด้านต่ำกว่าωน มุมของเฟสจะลดลงจาก 90 ไปสู่ค่า 0 ที่ล่างสุดของพิกัดการล็อค

ค. <u>การทำงานของระบบในลักษณะไดนามิก</u> ($\theta i(t) = \Delta\omega t$)

ถ้าความถี่ของสัญญาณอินพุตเปลี่ยนแปลงไปอย่างช้า ๆ ระบบเฟลล็อคลูปยังสามารถอยู่ในสภาวะล็อคได้และเปลี่ยนแปลงตามสัญญาณอินพุตโดยจะเพิ่มค่าของเฟสเออร์เรอร์ θ_o ระหว่าง วีซีโอ และสัญญาณอินพุตให้มากขึ้นตามเวลา จากนั้น θ_o เพิ่มขึ้นจะถูกเปลี่ยนไปเป็นดีซีเออร์เรอร์โวลท์เตจ Vd ด้วยเฟสดีเทคเตอร์ เออร์เรอร์โวลท์เตจนี้จะไปขับให้ความถี่ของ VCO เลื่อนไปเท่ากับความถี่ของสัญญาณอินพุต ขณะที่ระบบเฟสล็อคลูปเปลี่ยนแปลงตามสัญญาณอินพุต ลูปเออร์เรอร์โวลท์เตจ V จะมีค่าเป็นสัดส่วนโดยตรงกับผลต่างระหว่างความถี่สัญญาณอินพุต ωi กับความถี่ฟรีรันนิ่งωo ของ VCO

การพิจารณาเรื่องการแทรคดิ่งของระบบเฟสล็อคลูปก็คือการพิจารณาถึงเฟสเออร์เรอร์ θ_o ของระบบ ระบบที่มีการแทรคดิ่งที่ดีจะต้องมีเฟสเออร์เรอร์น้อย

สมมุติว่าระบบเฟสล็อคลูปมีเฟสอินพุตเปลี่ยนแปลงไปในลักษณะสแตป หมายความว่าเท่ากับผลต่างระหว่างความถี่อินพุตกับความถี่ฟรีรันนิ่งของ VCO($\Delta\omega=\omega i-\omega o$)

ลูปจะต้องการคอลโทรลโวลท์เตจเพื่อไปขับ VCO ให้มีความถี่เลื่อนไปเท่ากับ $\Delta\omega$ ดังนั้น Vc จะต้องมีค่าเป็น

$$Rc=\Delta\omega / Ko \quad (2.28)$$

เมื่อลูปเข้าสู่สภาวะคงที่ Vc=Vd F(o) เมื่อ F(o) คืออัตราขยายต่อสัญญาณดีซีของลูปฟิลเตอร์ สัญญาณ Vc จะทำให้ลูปเข้าสู่สภาวะล็อคดังเดิม เฟสดีเทคเตอร์เอาต์พุตจะให้เฟสเออร์เรอร์จะต้องเป็น

$$\theta o=Vd /Kd \quad (2.29)$$

ดังนั้นเพื่อให้ได้คอนโทรลโวลท์เตจ V ตามที่ต้องการ เฟสเออร์เรอร์จะต้องมีค่าเป็น

$$\theta o=\Delta\omega / KoKdF(o) \quad (2.30)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเฟสเออร์เรอร์มีค่าเพิ่มขึ้นตามสมการ (2.30) ลูปสามารถปรับตัวเองให้ความถี่เอาต์พุตของระบบการแทรคตามการเปลี่ยนแปลงของความถี่ของสัญญาณอินพุตหรือเฟสอินพุตที่เปลี่ยนไปตามเวลาและล็อคได้กับสัญญาณอินพุตเหมือนดังเดิม

พิกัดความถี่คลอดช่วงที่ระบบเฟสล็อคลูปสามารถดำรงการล็อคไว้ได้กับสัญญาณอินพุตเราเรียกว่า "พิสัยการล็อคของระบบ"

สมมติว่าเราให้ ωi เบี่ยงเบนไปจากความถี่ศูนย์กลาง ωo ของ VCO เพื่อ $|\omega i-\omega o|$ มากกว่าค่าอัตราขยายลูป $K(\theta\phi-\theta o)$ จะมีค่าไม่สอดคล้องหรือไม่เป็นจริงตามสมการ(2.21) สภาวะสมดุลของการซิงโครไนส์จะไม่สามารถดำรงอยู่ต่อไปได้และลูปจะหลุดออกไปจากการล็อคกับความถี่ของสัญญาณอินพุต ความถี่ของ VCO จะกลับไปมีค่าเป็นความถี่ศูนย์กลาง ωo และVdก็จะกลับมาอยู่ในลักษณะของสัญญาณเอซี

สำหรับเฟสดีเทคเตอร์แบบมีคุณสมบัติการเปลี่ยนแปลงความถี่ไปเป็นโวลท์เตจเป็นลักษณะรูปคลื่นซายน์ ขีดจำกัดการแทรคตามความถี่สัญญาณอินพุตของลูปจะอยู่ในพิสัยจากωo-Kถึง ωo+K เมื่อ ωo เท่ากับความถี่เชิงมุมศูนย์กลางของ VCO และ K เท่ากับอัตราการขยายลูป (K = KdKo)

เอาต์พุตโวลท์เตจของเฟสล็อคลูปจะนำไปประยุกต์ใช้งานเกี่ยวกับฟรีเควนซี่ดิสคริมิเนเตอร์ (frequency discriminator) ส่วนความถี่เอาท์จะนำไปประยุกต์ใช้งานเกี่ยวกับการประมวลสภาวะของสัญญาณฟรีเควนซีชินเทซีสหรือการคืนรูปของสัญญาณนาฬิกา

ในการนำเอาเอาต์พุต โวลท์เตจของเฟสล็อคลูปมาใช้งานเมื่อลูปอยู่ในสภาวะล็อคกับความถี่อินพุต เออร์เรอร์โวลท์เตจ Vd(t) ที่ได้จากเฟสดีเทคเตอร์จะมีค่าเป็นสัดส่วนกับความต่างของความถี่ระหว่างสัญญาณอินพุตωiและความถี่ฟรีรันนิ่งของ VCO และเออร์เรอร์โวลท์เตจนี้จะผ่านโลว์พาสฟิลเตอร์และถูกป้อนไปเป็นคอลโทรลโวลท์เตจให้กับอินพุตของ VCO เพื่อที่จะเปลี่ยนความถี่ของ VCO จาก ωoไปเป็นωi ให้การล็อคคงอยู่ ถ้าความถี่ของอินพุตเปลี่ยนไปอย่างกรณีของสัญญาณ FM เออร์เรอร์โวลท์เตจจะเปลี่ยนไปเป็นสัดส่วนกับความถี่อินพุตที่เปลี่ยนแปลง เพื่อดำรงสภาวะล็อคให้คงอยู่ดังนั้นเอาต์พุตโวลท์เตจจะเปรียบเสมือนฟรีเควนซีดิสคริมิเนเตอร์คือ สามารถแปลงการเปลี่ยนแปลงของความถี่อินพุตให้เป็นการเปลี่ยนแปลงของโวลท์เตจ

การนำเอาความถี่เอาต์พุตของเฟสล็อคลูปมาใช้งานเมื่อลูปอยู่ในสภาวะล็อคกับสัญญาณอินพุต เอาต์พุตของ VCO จะให้ลูกคลื่อนที่เปลี่ยนแปลงเป็นคาบเวลาด้วยความถี่ที่แน่นอนและเท่ากับสัญญาณอินพุต ยกเว้นเฟสจะมีความต่างกันθoและด้วยความต่างเฟสนี้จำทำให้เกิดเออร์เรอร์โวลท์เตจเพื่อรักษาให้เฟสล็อคลูปอยู่ในสภาวะล็อค ถ้าสัญญาณอินพุตประกอบด้วยคอมโพเนนท์ความถี่ต่าง ๆมากมาย ซึ่งได้แก่ นอยส์ (noise) หรือสัญญาณรบกวนอื่น ๆ เราสามารถทำให้ระบบเฟสล็อคลูปคอมโพแนนท์ความถี่จำเพาะที่กำหนดของสัญญาณอินพุตดังนั้นเอาต์พุตของ VCO จะให้กำเนิดความถี่จำเพาะนั้นใหม่ขณะเดียวกันก็จะลดทอนหรือจำกัดความถี่ที่ไม่ต้องการอื่น ๆ นอกจากนั้นเอาต์พุตของ VCO สามารถใช้สำหรับให้กำเนิดใหม่หรือแยกเอาสัญญาณความถี่ที่ต้องการออกจากสัญญาณที่ไม่ต้องการ คุณสมบัตินี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

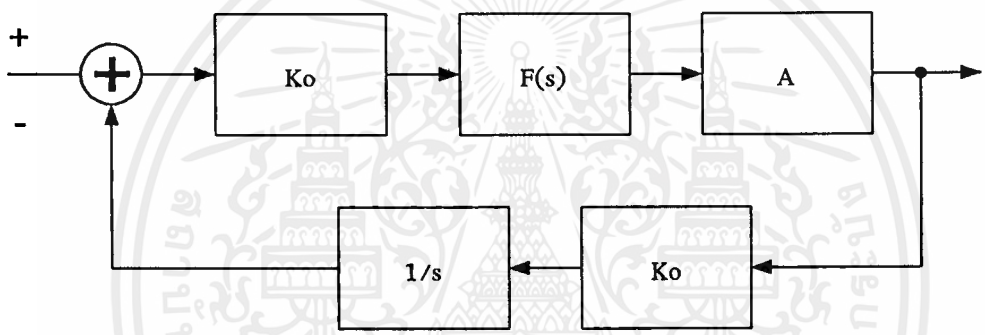
ของเฟสล็อคลูปทำให้ระบบเฟสล็อคลูปเป็นระบบที่น่าสนในสำหรับให้กำเนิดสัญญาณใหม่หรือแยกเอาสัญญาณต่ำ ๆ ที่ปนอยู่ในนอยส์ออกมาใหม่ได้

เมื่อระบบเฟสล็อคลูปอยู่ในสภาวะล็อค ลักษณะนอนลิเนียร์ของการแคปเจอร์ซึ่งจะเกิดขึ้นชั่วขณะก็จะหายไปแทนที่ด้วยความสัมพันธ์ที่เป็นลิเนียร์เกิดขึ้นระหว่างเอาต์พุตของเฟสดีเทคเตอร์และผลต่างของเฟสระหว่างสัญญาณอินพุตและเอาต์พุตของ VCO ภายใต้สภาวะที่เราสามารถจะวิเคราะห์ระบบเฟสล็อคลูปได้ในลักษณะระบบป้อนกลับที่เป็นลิเนียร์โดยใช้เทคนิคการวิเคราะห์ระบบป้อนกลับแบบทั่วไปด้วยลาปลาทรานส์ฟอร์มและสมการดิฟเฟอร์เรนเซียล

$\theta c(s) / \theta r(s) = B(s)$ = forward gain /1 + open loop gain

θc คือ เฟสของ VCO

θr คือ เฟสของสัญญาณอ้างอิง (2.31)



รูปที่ 2.9 แสดงบล็อกไดอะแกรมของระบบ PLL ในลักษณะระบบป้อนกลับที่เป็นลิเนียร์

รูปที่ 2.9 แสดงถึงบล็อกไดอะแกรมของระบบเฟสล็อคลูปที่เป็นระบบป้อนกลับลิเนียร์ในโดเมนตอมเพล็กซ์ฟรีเควนซีเมื่อ $s = 6 + j\omega$ คือตัวแปรตามความถี่เชิงซ้อน เฟสดีเทคเตอร์จะให้เอาต์พุตโวลท์เตจเป็นสัดส่วนกับผลต่างของเฟส θo ระหว่างสัญญาณอินพุตและเอาท์พุต VCO ที่มีคอนเวอร์ชันเกน Kd และมีหน่วยเป็น (โวลท์/เรเดียน) ทรานเฟอร์ชันของลูปฟิลเตอร์เท่ากับ F(s) และของแอมปลิฟลายเออร์เท่ากับ A สมมติ F (s) จะเป็นอัตราขยายเป็นหนึ่งที่ความถี่ดีซี อัตราขยายโวลท์เตจไปเป็นความถี่ของ VCO มีค่าเท่ากับ Ko และมีหน่วยเป็น (เรเดียน/วินาที/โวลท์)

เอาต์พุตของเฟสดีเทคเตอร์เป็นสัดส่วนกับผลต่างของเฟสระหว่างสัญญาณอินพุต

$$V\theta = Kd(\theta r - \theta i) \quad (2.32)$$

เมื่อ θi คือเฟสของ VCO ที่ถูกหาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลตอบสนองของระบบเฟสล็อคลูปในสภาวะล็อตต่อการเปลี่ยนแปลงของความถี่อินพุตจะได้รับอิทธิพลจากพารามิเตอร์สองตัวคือ ทรานส์เฟอร์ฟังก์ชั่นของลูปฟิลเตอร์ F(s) และแฟคเตอร์ของอัตราขยายลูป KdKoA

ลูปลำดับที่หนึ่งจะมีขีดจำกัดในการใช้งานเนื่องจากลูปลำดับที่หนึ่งจะมีการเลือกเฟ้นและคุณสมบัติการกำจัดสัญญาณรบกวนได้ดี สาเหตุจากในระบบไม่มีลูปฟิลเตอร์ เมื่อไม่มีลูปฟิลเตอร์คอมโพเนนท์ความถี่สูงที่ออกมาจากเฟสดีเทคเตอร์จะปรากฏโดยตรงที่เอาต์พุต เอาต์พุต Vo นี้จะประกอบด้วยคอมโพเนนท์เนื่องจากนอยส์หรือสัญญาณที่ไม่ต้องการที่เอาต์พุตที่มีความถี่ใกล้เคียงกับความถี่สัญญาณที่ต้องการ ดังนั้นคุณสมบัติการเลือกเฟ้นของระบบเฟสล็อคลูปจะเลวลง

การทำงานของเฟสล็อคลูปที่ไม่มีฟิลเตอร์จะมีข้อเสียคือ ถ้าหากสัญญาณอินพุตมีสัญญาณรบกวนที่อยู่นอกแบนด์รวมเข้ามาด้วยจะมีผลทำให้ความถี่เอาต์พุตเปลี่ยนแปลงตามไปด้วย ดังนั้นลูปฟิลเตอร์มีความจำเป็นอย่างมากในกรณีที่สัญญาณรบกวนที่อินพุตเพื่อกำจัดเอาต์พุตสัญญาณรบกวนออกไป

ข. ลูปลำดับที่สอง

ในการประยุกต์ใช้งานทั่วๆ ไป ระบบเฟลล็อคลูปจะใช้โลว์พาสฟิลเตอร์แบบมีโพลเดียวและระบบเฟสล็อคลูปจะอธิบายได้ทรานส์เฟอร์ฟังชั่นที่มีสองโพล ซึ่งเรียกกันทั่วๆ ไปว่า "ลูปลำดับที่สอง" โครงสร้างของโลว์พาสฟิลเตอร์ที่ใช้กับทั่วไปเป็นฟิลเตอร์แบบโพลเดียว ซึ่งมีทรานส์เฟอร์ฟังก์ชั่นเป็น

$$F(s) = 1/(1 + s/\omega 1) \qquad (2.41)$$

เมื่อ $\omega 1 = 1/R1C1$ เป็นแบนด์ของโลว์พาสฟิลเตอร์

เนื่องจากฟิลเตอร์จะทำให้เกิดเฟสล้าหลังไป 90 ที่ความถี่สูง ซึ่งหมายถึง "แล็กฟิลเตอร์" จะได้ทรานส์เฟอร์ฟังก์ชั่นเป็น

$$Vo(s) / \Delta\omega 1(s) = 1 / Ko \{ 1/(1 + s/K1 + s^2 / \omega 1K1) \} \qquad (2.42)$$

ค่ารากหรือโพลของระบบเฟสล็อคลูปจะได้ว่า

$$S1,S2 = \omega 1 /2 (1 \pm \sqrt{1 - (4kl / w1)} \qquad (2.43)$$

$$K1 = KdKoA$$

เมื่อเพิ่มค่าของ K1 โพลจะกลายเป็นค่าเชิงซ้อนคู่เสมือนและระบบจะเป็นอันเดอร์แดมพ์ (underdamped) จากสมการ (2.42) จะเขียนในเทอมใหม่ได้เป็น

$$Vc/\Delta\omega 1 = 1/Ko (1/(s^2/\omega^2_n) + (2\zeta / \omega_n)s + 1) \qquad (2.44)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $\omega_n = \sqrt{K_l \omega_1}$ (2.45)

และ $\zeta = (1/2)\sqrt{\omega_1/K_l}$ (2.46)

จะสังเกตได้ว่าหากแบนด์วิทด์ของลูปฟิลเตอร์ ω_1 ลดลงหรือ K_l เพิ่มขึ้น ค่าแดมปิ้งของลูปจะลดลงหมายความถึงค่า ζ จะลดลง ผลตอบสนองทางความถี่ของลูปจะเป็นฟีค (peaking) และผลตอบสนองต่อสเตปของลูปในช่วงเริ่มต้นชั่วขณะจะเกิดการออสซิลเลท

ค่าพีค(peaking)ในผลตอบสนองทางความถี่จะเป็นสาเหตุให้เกิดความผิดเพี้ยนในสัญญาณเอาต์พุตที่ถูกดีมอดูเลทมาจากเอฟเอ็ม และเป็นสาเหตุให้เกิดการแกว่งไกวหรือให้ผลตอบสนองที่เลวเมื่อลูปมีการรบกวนเกิดขึ้นชั่วขณะ การออกแบบระบบเฟสล็อคลูปให้มีคุณสมบัติการทำงานให้ดีที่สุดควรกำหนดให้โครงสร้างโพลของโลว์พาสฟิลเตอร์มีค่าแฟลต (flat) มากที่สุด แดมปิ้งแฟคเตอร์ควรมีค่าเท่ากับ $1/\sqrt{2}$ จะได้ ω_1 ที่เหมาะสมเป็น

$$\omega_1 = 2 K_l \quad (2.47)$$

และความถี่ที่ - 3 dB แบนด์วิทด์ของลูปจะได้เป็น

$$\omega \text{ -3 dB} = \omega_n = \sqrt{K_l \omega_1} = \sqrt{2}\, K_l \quad (2.48)$$

วงจรเฟสล็อคลูปที่ใช้ในระบบสื่อสารทั่วไป จะต้องการให้มีพิสัยการล็อคกว้าง เพื่อที่จะได้สามารถติดตามการเปลี่ยนแปลงความถี่ที่ของสัญญาณอินพุตได้ช่วงกว้าง นอกนั้นก็ต้องการให้ระบบมีแบนด์วิทธ์ของลูปแคบ ๆ เพื่อกำจัดสัญญาณที่อยู่นอกแบนด์

<u>กระบวนการแคปเจอร์สัญญาณอินพุต</u>

คุณสมบัติที่สำคัญในการทำงานของระบบเฟสล็อคลูปคือ กระบวนการแคปเจอร์ (capture Process) เป็นกระบวนการที่จะทำให้ระบบได้มาซึ่งการล็อคกับสัญญาณอินพุตโดยที่ลูปจะเริ่มต้นจากสภาวะฟรีรันนิ่ง กระบวนการแคปเจอร์นี้เป็นกระบวนการที่ค่อนข้างยุ่งยากและมีลักษณะเป็นนอนลิเนียร์ซึ่งเราจะได้อธิบายถึงคุณสมบัติของกระบวนการนี้ต่อไป

ขั้นแรกสมมติว่าฟีดแบ็คลูปของระบบเฟสล็อคลูปถูกตัดขาดระหว่างลูปฟิลเตอร์เอาต์พุตและคอนโทรอินพุตของ VCO ซึ่งจะทำให้ Vd มีค่าเป็นศูนย์ และ VCO จะออสซิลเลทอย่างต่อเนื่องที่ความถี่ฟรีรันนิ่ง ω_o ต่อจากนั้นสมมติว่าสัญญาณอินพุตถูกป้อนให้ลูปด้วยความถี่ ω_1 ซึ่งเป็นความถี่ที่ใกล้เคียงกับ ω_o แต่ไม่เท่ากับω_o ในกรณีนี้เฟสดีเท็คเตอร์มีฟังก์ชั่นเหมือนกับมัลติพลายเออร์หรือมิกเซอร์ ดังนั้นเอาต์พุตโวลท์เตจที่ได้จากเฟสดีเท็คเตอร์จะเป็นคอปโปเน้นท์ของสองความถี่มีผลบวกของความถี่

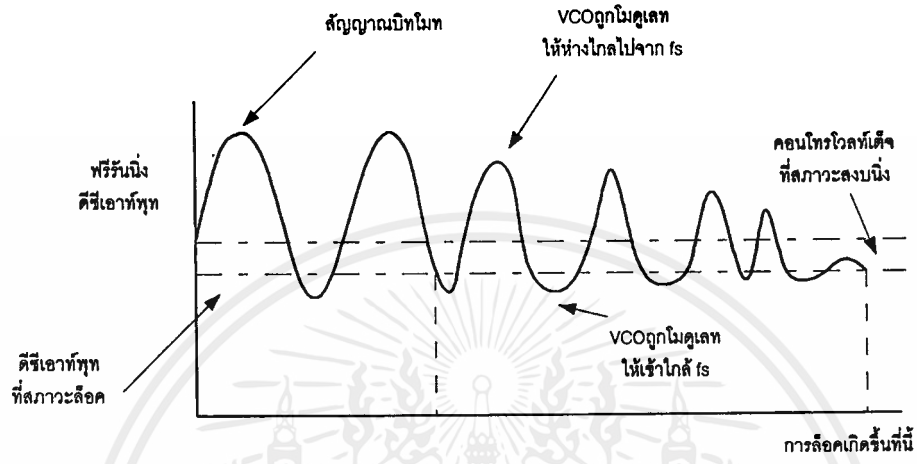
$$\omega_1 = \omega_o + \omega_1 \quad (2.49)$$

และผลต่างของความถี่

$$\Delta\omega = \left| \omega_o - \omega_1 \right| \quad (2.50)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามปกติแบนด์วิดท์ของโลว์พาสลูปฟิลเตอร์จะแคบมากพอที่จะกรองเอาคอมโปแนนท์ผลบวกของความถี่ออกไปได้อย่างสมบูรณ์ ถ้า ω_1 มีค่าใกล้เคียงกับค่า ω_o ดังนั้นผลต่างของความถี่ $(\omega_1 - \omega_o)$จะมีค่าน้อยมาก และมีค่าอยู่ในพาสแบนด์ของโลว์พาสลูปฟิลเตอร์ในลักษณะของบีทโนท (beat note) ลูกคลื่นซายน์ ลูกคลื่นนี้อยู่ทางด้านซ้ายมือของรูปที่ 2.10 ซึ่งแสดงว่า $\omega_o > \omega_1$



รูปที่ 2.10 แสดงเออร์เรอร์โวลท์เตจชั่วขณะในระหว่างเวลากระบวนการแคปเจอร์

ต่อไปสมมติว่าลูปถูกต่อให้ครบลูปอย่างทันทีทันใดโดยการต่อโลว์พาสฟิลเตอร์เอาต์พุตเข้ากับขั้วคอนโทรลอินพุตของ VCO ซึ่งจะทำให้ความถี่ของ VCO ถูกโมดูเลทด้วย บีทโนทหรือผลต่างของสัญญาณเมื่อเกิดการโมดูเลทชั่นดังกล่าวความถี่บีทโนท $\Delta\omega$ จะกลายเป็นฟังก์ชั่นที่แปรไปตามเวลา คือ$\Delta\omega$จะแปรค่าสลับกันไประหว่างมีค่าเข้าใกล้ความถี่อินพุตและมีค่าห่างไกลไปจากความถี่อินพุต และโวลท์เตจนี้จะมีความถี่ที่เปลี่ยนสลับกันไปคือความถี่จะลดลงในช่วงครึ่งไซเกิลลบและความถี่จะเพิ่มขึ้นในช่วงครึ่งไซเกิลบวก ดังนั้นภายใต้สภาวะนี้บีทโนทจะมีลักษณะไม่สมมาตรและดูเหมือนกับอนุกรมของยอดแหลมดังแสดงในส่วนกลางของรูปที่ 2.10 เราจะสังเกตได้ว่าส่วนของบีทโนทที่โมดูเลทให้ VCO มีความถี่ห่างไกลไปจากสัญญาณอินพุตจะมีลักษณะเป็นยอดแหลมมากกว่า เนื่องจากความไม่สมมาตรนี้ ลูกคลื่นของบีทโนทจะประกอบดีซีโวลท์เตจซึ่งจะไปขับให้ความถี่ของ VCO มีค่าเข้าสู่สัญญาณอินพุตเมื่อ VCO มีแนวโน้มเข้าสู่ ω_1 ความถี่ของบีทโนทจะลดลงอย่างรวดเร็วความไม่สมมาตรก็จะเพิ่มขึ้นและในที่สุดก็จะลู่เข้าสู่ค่าดีซีที่มีค่าคงที่อย่างรวดเร็วในชั่วเวลาขณะหนึ่งลูปก็จะเข้าสู่สภาวะล็อคเมื่อความถี่ของ VCO เท่ากับ ω_1 อย่างแน่นอน ระบบก็จะเข้าสู่การล็อคผลต่างของความถี่$\Delta\omega$จะมีค่าเท่ากับศูนย์และคงเหลือแต่ดีซีโวลท์เตจที่เอาต์พุตของลูปฟิลเตอร์ ดีซีโวลท์เตจนี้เกิดขึ้นจากผลต่างของเฟสθ_o ระหว่างเอาต์พุตของ VCO และสัญญาณอินพุต สมมติว่าลูปฟิลเตอร์มีอัตรา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขยายดีซีเป็นหนึ่ง และเฟสดีเท็คเตอร์มีคอนเวอร์ชั่นเกนKd(โวลท์/เรเดียน) เออร์เรอร์โวลท์เตจที่สถานะคงที่นี่จะมีค่าเป็น

$$Vc = Vc(t) \mid \text{สถานะคงที่} = -K_d\theta_o$$

เครื่องหมายลบในสมการเนื่องมาจากเราได้สมมติ ไว้ในตัวอย่างของรูปที่ 2.10 ว่า $\omega_o > \omega_1$ ซึ่งจะทำให้ได้โวลท์เตจลบที่ขั้วคอนโทรลอินพุตของ VCO เพื่อไปเลื่อน ω_o ให้ไปเท่ากับ ω_1

เวลาทั้งหมดที่ใช้ไปเพื่อให้ระบบเฟสล็อคลูปเกิดการล็อคเราเรียกว่า "พูลอินไทม์" จะขึ้นอยู่กับเฟสเริ่มต้นและผลต่างของความถี่ระหว่างสองสัญญาณ และยังขึ้นอยู่กับอัตราขยายลูป และคุณสมบัติของลูปฟิลเตอร์

จุดประสงค์หลักลูปฟิลเตอร์คือ การกรองเอาคอมโปแนนท์ต่าง ๆ ซึ่งเป็นสัญญาณที่ไม่ต้องการและมีความถี่ห่างไกลจากความถี่ฟรีรันนิ่งของ VCO คุณลักษณะดังกล่าวนี้แสดงถึงคุณสมบัติการกำจัดสัญญาณรบกวนของระบบเฟสล็อคลูป หรือพูดอีกอย่างหนึ่งระบบเฟสล็อคลูปจะมีคุณสมบัติในการแคปเจอร์เฉพาะสัญญาณที่มีความถี่ใกล้เคียงกับความถี่ฟรีรันนิ่งของ VCO ซึ่งหมายความว่าผลต่างของความถี่ $\Delta\omega$ จะต้องมีค่าโดยประมาณอยู่ภายในแบนด์วิดท์ของลูปฟิลเตอร์

ฟังก์ชั่นที่สำคัญอีกอันหนึ่งของโลว์พาสฟิลเตอร์คือมันจะเป็นตัวเก็บความจำได้ในช่วงเวลาสั้นๆ ของระบบเฟสล็อคลูปเพื่อช่วยให้ระบบสามารถแคปเจอร์สัญญาณได้ใหม่อย่างรวดเร็วถ้าระบบหลุดออกไปจากการล็อคในช่วงเวลาสั้น ๆ เนื่องจากการรบกวนในชั่วขณะหนึ่งได้ว่าโลว์พาสฟิลเตอร์จะบังคับให้เออร์เรอร์โวลท์เตจVc(t)เปลี่ยนแปลงไปตามเวลาอย่างช้าๆและในกรณีนี้ถ้าระบบเฟสล็อคลูปหลุดไปจากการล็อคลูปไปจาการล็อคเพียงชั่วขณะเนื่องจากน้อยส์หรือสัญญาณรบกวนความถี่ของVCO จะไม่เปลี่ยนแปลงไปมากนักในช่วงเวลาสั้นๆดังกล่าว ดังนั้นในสภาวะนี้จะช่วยให้ระบบสามารถแคปเจอร์สัญญาณอินพุตได้ใหม่อย่างรวดเร็วทันทีทันใดเมื่อเวลาได้ผ่านไปชั่วขณะแล้ว

สรุปได้ว่าโลว์พาสลูปฟิลเตอร์จะทำหน้าที่ลดทอนคอมโปเน้นท์ความถี่สูงของเออร์เรอร์โวลท์เตจในระบบเฟสล็อคลูป โลว์พาสฟิลเตอร์ก่อให้เกิดผลที่สำคัญต่อการแคปเจอร์และคุณสมบัติการตอบสนองชั่วขณะของระบบ การลดแบนด์วิดท์ของฟิลเตอร์ จะมีผลเกิดขึ้นต่อการทำงานของระบบดังต่อไปนี้

(1) กระบวนการแคปเจอร์จะช้าลงไปและพูลอินไทม์จะเพิ่มขึ้น

(2) พิสัยการแคปเจอร์จะลดลง

(3) ทันทีที่ลูปเกิดการล็อค คุณสมบัติของเฟสล็อคลูปเกี่ยวกับการกำจัดสัญญาณรบกวนจะเกิดผลคือเออร์เรอร์โวลท์เตจที่เกิดจากความถี่ของสัญญาณรบกวนจะถูกลดทอนลงไปโดยโลว์พาสฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(4) ผลตอบสนองชั่วขณะของระบบเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่อินพุตอย่างทันทีทันใด ภายในพิสัยการแคปเจอร์จะได้เป็นลักษณะ อันเดอร์แด้มปี (Underdamped)

คุณสมบัติการแทร็คตามสัญญาณอินพุต

ทันทีที่ระบบเฟสล็อคลูปบล็อกกับสัญญาณอินพุตระบบสามารถจะแทร็คตามการเปลี่ยนแปลงอย่างช้า ๆ ของสัญญาอินพุตได้ด้วยการเพิ่มเฟสเอร์เรอร์ θ_o ระหว่าง VCO และสัญญาณอินพุต จากนั้นเฟสเออร์เรอร์ ที่เพิ่มขึ้นนี้จะถูกแปลงไปเป็นดีซีเออร์เรอร์โวลท์เตจ Vd ด้วยเฟสดีเท็คเตอร์ เออร์เรอร์โวลท์นี้จะไปรักษาให้ความถี่ของ VCO เคลื่อนไปเท่ากับความถี่ของสัญญาณอินพุต ขณะที่ระบบเฟสล็อคลูปแทร็คตามสัญญาณอินพุต ลูปเออร์เรอร์โวลท์เตจ Vd จะมีค่าเป็นสัดส่วนโดยตรงกับผลต่างระหว่างความถี่สัญญาณอินพุต $\omega 1$ กับความถี่ฟรีรันนิ่ง ω_o ของ VCO หรือพูดอย่างหนึ่งได้ว่าขณะที่ระบบเฟสล็อคลูปแทร็คตามสัญญาณอินพุต เอาต์พุตโวลท์เตจของลูปจะมีฟังก์ชั่นเหมือนกับการแปลงความถี่เป็นโวลท์เตจ

พิสัยการแทร็คตามสัญญาณอินพุตของระบบเฟสล็อคจะกำหนดได้ด้วยการพิจารณาว่า โวลท์เตจเออร์เรอุร์ที่เกิดขึ้นในลูปได้สูงสุดเท่าไร สมมติว่าในลูปไม่มีแอมปลิไฟเออร์ ปริมาณของเออร์เรอร์โวลท์เตจจะมีค่าสูงสุด $(Vd)_{max}$ เมื่อผลต่างของเฟส θ_o มีค่าอยู่ที่ค่าจำกัดสูงสุด $\pm\pi/2$
ดังนั้นพิสัยการแทร็คตามสัญญาณอินพุตของระบบเฟสล็อคลูปจะมีค่าเป็น

$$\pm\Delta\omega = \pm (Vd)_{max}\ Ko \qquad (2.51)$$

เมื่อ K คือคอนเวอร์ชั่นเกนของ VCO (หน่วยเป็นเฮอร์ท/โวลท์)

รูปที่ 2.11 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูป สมมติว่าอินพุตเป็นสัญญาณลูกคลื่นซายน์ซึ่งความถี่ของมันจะกวาดไปอย่างช้า ๆ ได้ในช่วงพิสัยความถี่ที่กว้างขั้นแรกความถี่อินพุตจะกวาดไปจากความถี่ต่ำผ่านพิสัยแคปเจอร์และพิสัยการล็อคของเออร์เรอร์โวลท์เตจที่ผ่านลูปฟิสเตอร์แล้ว Vc และสมมติว่า VCO จะเพิ่มขึ้นเป็นสัดส่วนที่ลิเนียร์กับการเพิ่มขึ้นของคอนโทรลโวลท์เตจ

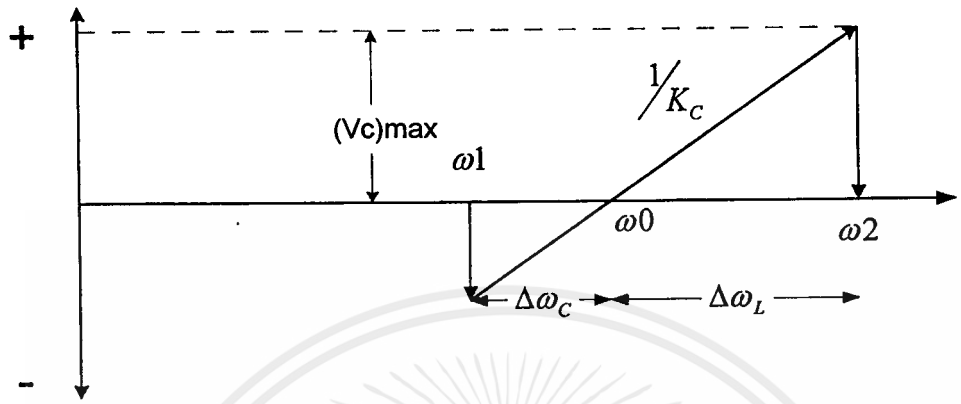
คุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูปแสดงได้ในรูปที่ 2.11 (ก) เมื่อความถี่อินพุตเพิ่มขึ้นอย่างช้า ๆ (ข) เมื่อความถี่อินพุตลดลงอย่างช้า ๆความกว้างของความถี่ระหว่าง $\omega 1$-$\omega 2$ เท่ากับพิสัยแคปเจอร์และความกว้างของความถี่ระหว่าง $\omega 2$ -$\omega 4$ เท่ากับพิสัยการแทร็คตามสัญญาณอินพุตของระบบนั่นคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

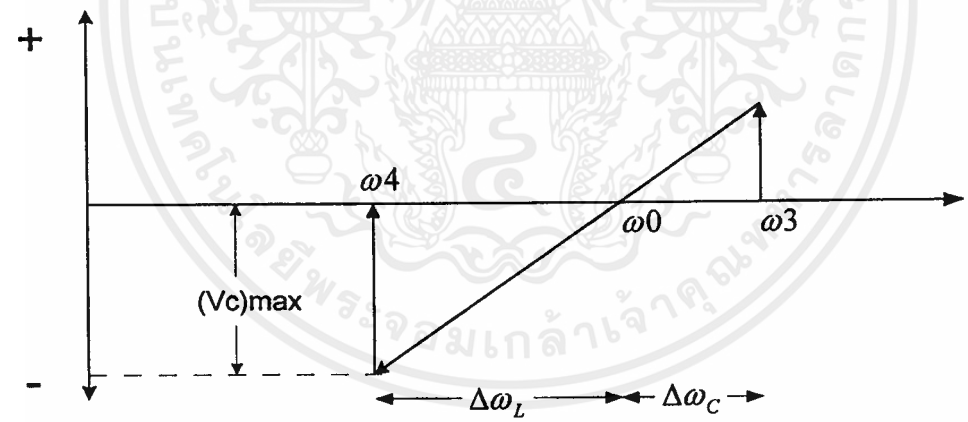
$$\omega 3-\omega 1 = 2\Delta\omega c \quad (2.52)$$

และ

$$\omega 2-\omega 4 = 2\Delta\omega 1 \quad (2.53)$$



(ก) เมื่อความถี่อินพุตเพิ่มขึ้นอย่างช้า ๆ

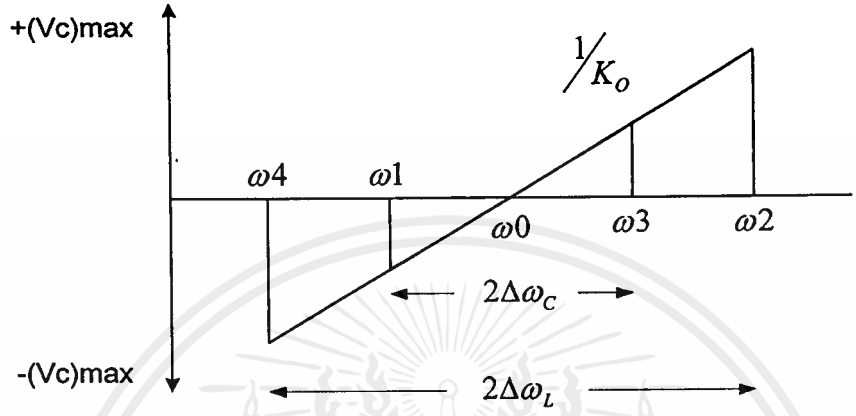


(ข) เมื่อความถี่อินพุตลดลง

รูปที่ 2.11 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.12 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูปที่ผสมผสานกันระหว่างคุณสมบัติของพิสัยแคปเจอร์และพิสัยการล็อคที่แสดงในรูปที่ 2.11 จากรูป 2.12 คุณสมบัติการตอบสนองของระบบเฟสล็อคลูปเบื้องตนสามารถสรุปได้ดังต่อไปนี้



รูปที่ 2.12 แสดงถึงคุณสมบัติรวมในการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูป

(1) ระบบเฟสล็อคลูปแสดงคุณสมบัติการเลือกเฟ้นความถี่และการแปลงความถี่ไปเป็นโวลท์เตจ ซึ่งมี ความถี่ศูนย์กลางอยู่ที่ความถี่ฟรีรันนิ่ง ω_o ของ VCO

(2) ระบบสามารถจะแคปเจอร์ (ได้มาซึ่งการล็อค) กับสัญญาณที่มีความถี่อยู่ภายในพิสัยแคปเจอร์เท่านั้น $2\Delta\omega_c$ และมีศูนย์กลางอยู่ที่ ω_o

(3) ทันทีที่ระบบเกิดการล็อคมันจะสามารถแทร็คตามสัญญาณอินพุตได้ตลอดช่วงพิสัยการล็อค $2\Delta\omega_l$ และมีศูนย์กลางอยู่ที่ ω_o

(4) สโลปของคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจจะท่ากับส่วนกลับของอัตราขยายการแปลงโวลท์เตจไปเป็นความถี่ของ VCO

รูปที่ 2.11 และ 2.12 ยังแสดงถึงพารามิเตอร์ที่สำคัญบางอย่างในการออกแบบระบบเฟสล็อคลูป พิสัยการล็อค $=(Vd)_{max}$ Koตามสมการ (2.51) ดังนั้นเราสามารถจะเพิ่ม $(Vd)_{max}$ ได้ด้วยการเพิ่มแอมปลิไฟเออร์เข้าในลูปของเฟสล็อคลูปเบื้องต้น เพื่อเพิ่มอัตราขยายโวลท์เตจในลูปป้อนกลับพิสัย การล็อคจะเพิ่มขึ้นเป็น $= A\,(Vd)_{max}$ Ko เมื่อ A อัตราขยายโวลท์เตจของแอมปลิไฟเออร์เมื่อระบบเฟสล็อคลูปอยู่ในสภาวะล็อค Vd จะมีค่าเป็นดีซีโวลท์เตจ ดังนั้นลูปฟิลเตอร์จไม่มีผลกระทบต่อพิสัยการล็อค

ความถี่ฟรีรันนิ่ง ของ VCO จะเป็นตัวกำหนดความถี่ศูนย์กลางของพิสัยแคปเจอร์และพิสัยการล็อค ดังนั้นความเที่ยงตรงและเสถียรภาพของความถี่ฟรีรันนิ่ง ω_o ของVCO มีความสำคัญอย่างยิ่ง

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องตากเรามักจะออกแบบให้พิสัยแคปเจอร์ และพิสัยการล็อคมีช่วงแคบมาก ๆ ดังนั้นความต้องการเกี่ยวกับความเที่ยงตรงและเสถียรภาพของพิสัยทั้งสองดังกล่าวจึงกลายเป็นปัญหาขึ้นมา

คุณสมบัติการคอนโทรล VCO มีความสำคัญอย่างยิ่งดังแสดงในรูปที่ 2.12 ต่อ

(ก) คุณสมบัติการแปลง F - V ของระบบ PLL

(ข) สโลปของโวลท์เตจเอาต์พุตของระบบ PLL (1/Ko)

(ค) ความเป็นลิเนียร์ของคุณสมบัติการแปลง F - V ของระบบ PLL

ดังนั้นเราสามารถสรุปได้ว่า : ดีซีลูปเกน

คุณสมบัติของลูปฟิลเตอร์

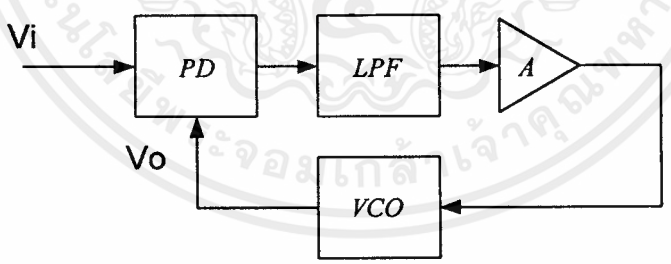
เสถียรภาพของ VCO

คุณสมบัติของคอนโทรล VCO

ค่าเหล่านี้จะเป็นพารามิเตอร์พื้นฐานในการออกแบบวงจรโมโนลิทิคเฟสล็อคลูป PLL

พิสัยการล็อค

วงจรเฟลล็อคลูปในการใช้งานจริงๆมักจะเพิ่มแอมปลิไฟเออร์เข้าในลูปของวงจรเฟสล็อคบื้องต้นเพื่อเพิ่มอัตราขยายโวลท์เตจในลูปป้อนกลับและเป็นการเพิ่มพิสัยการล็อคให้กับระบบด้วย วงจรเฟสล็อคลูปดังกล่าวแสดงได้ดังในรูปที่ 2.13



รูปที่ 2.13 ระบบเฟสล็อคลูป

เมื่อระบบเฟสล็อคเข้าสู่สภาวะล็อคกับความถี่อินพุต ωi เราจะได้ว่า

$$\omega = \omega i = \omega o + \omega o\, Vc \qquad (2.54)$$

และ $$Vc = (\omega i - \omega o)/ Ko = KdA(\theta o - \pi/2) \qquad (2.55)$$

เมื่อ A คืออัตราขยายโวลท์เตจของแอมปลิฟลายเออร์จากสมการ (2.55) เราจะได้ว่า

$$\phi - \pi/2 = (\omega i - \omega o) / KoKdA \qquad (2..56)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเมื่อระบบล็อกอยู่กับสัญญาณอินพุต ความต่างเฟสระหว่างสัญญาณอินพุตโวลท์เตจกับเอาต์พุตโวลท์เตจของ VCO จะมีค่าเท่ากับ θ_o และเราจะหาความต่างเฟสนี้ได้เป็น

$$\theta_o = \pi/2 + (\omega_i - \omega_o) / KoKdA \qquad (2.57)$$

และความถี่ของสัญญาณทั้งสองจะซิงโครไนส์กันอย่างเที่ยงตรง

เอาต์พุตโวลท์เตจที่ได้จากเฟสดีเท็ตเตอร์จะมีค่าแมกนิจูดสูงสุดเมื่อ $\phi = \pi$ เรเดียน คือ

$$Vc_{(max)} = \pm Kd (\pi /2) \qquad (2.58)$$

ในเวลาเดียวกันเราจะได้คอนโทรลโวลท์เตจที่มีค่าสูงสุดสอดคล้องกับค่า $Vc_{(max)}$ เพื่อไปขับ VCO จะมีค่าเท่ากับ

$$Vc_{(max)} = \pm (\pi /2) Kd A \qquad (2.59)$$

ความถี่ของ VCO จะสวิงได้สูงสุดเท่ากับ

$$(\omega - \omega o)_{max} = Ko\, Vc_{(max)}$$

$$= \pm KoKd (\pi /2) A \qquad (2.60)$$

ดังนั้นพิสัยสูงสุดของความถี่สัญญาณอินพุตที่ระบบเฟสล็อคลูปสามารถดำรงรักษาการล็อคได้คลอดพิสัยสูงสุดนี้จะมีค่าเท่ากับ

$$\omega 1 = \omega o \pm KoKd (\pi /2)A$$

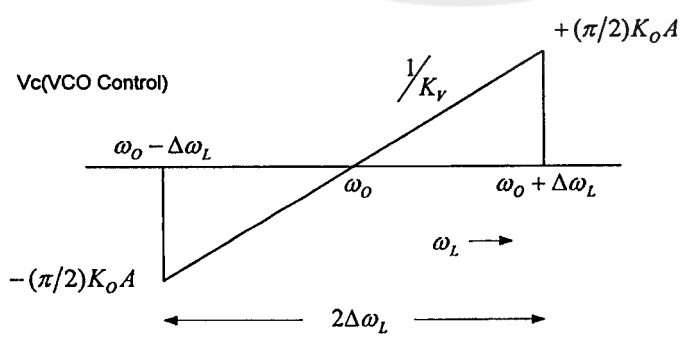
$$= \omega o \pm \Delta\omega 1 \qquad (2.61)$$

เมื่อ $2\,\Delta\omega 1$ จะเท่ากับพิสัยการล็อคและได้เป็น

$$\text{พิสัยการล็อค} = 2\Delta\omega 1 = KdKo\, A\pi \qquad (2.62)$$

เราจะสังเกตได้ว่าพิสัยการล็อคจะมีตำแหน่งที่สมมาตรกันเมื่อถือเอาฟรีรันนิ่งเควนซี(ωo) ของ VCO เป็นหลักศูนย์กลาง

ในรูปที่ 2.14 แสดงถึงกราฟของคอนโทรลโวลท์เตจ Vc ของ VCO ต่อความถี่ของสัญญาณอินพุต ωi ความถี่ที่อยู่นอกพิสัยการล็อคของระบบความถี่ของ VCO ไม่สามารถจะซิงโครไนส์กับความถี่อินพุตได้ ผลของความต่างเฟสจะมีค่าเท่ากับ



รูปที่ 2.14 พิสัยการล็อคของระบบเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\theta_o = (\omega_i t + \theta_i) - (\omega_o t + \theta_o) \quad (2.63)$$

$$= (\omega_i - \omega_o) + (\theta_i - \theta_o) \quad (2.64)$$

และความต่างเฟสนี้จะเปลี่ยนแปลงอย่างรวดเร็วต่อเวลา อัตราการเปลี่ยนแปลงของ θ_c ต่อเวลาเท่ากับ

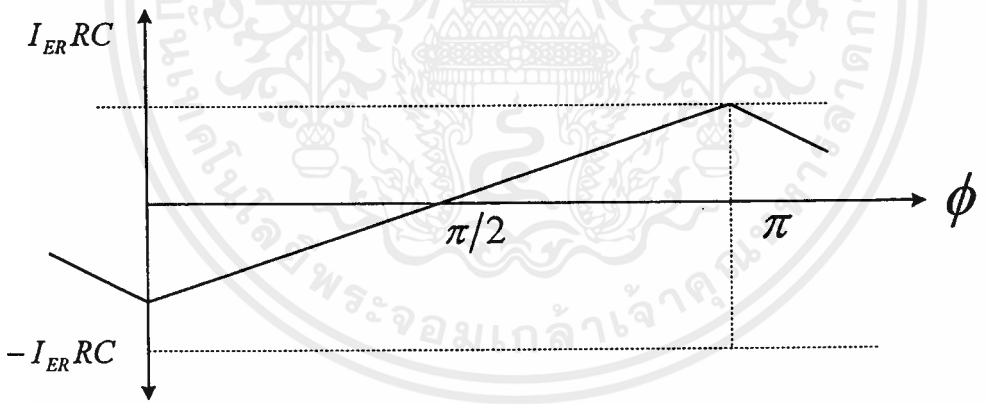
$$d\theta_o/dt = \omega_i - \omega_o \quad (2.65)$$

ดังนั้นเอาต์พุตโวลท์ะตจของเฟสดีเท็คเตอร์จะเปลี่ยนค่าไปอย่างรวดเร็วต่อเวลาและจะถูกลดทอนแมกนิจูดลบอย่างมากด้วยโลว์พาสฟิลเตอร์ ซึ่งจะยังผลให้เหลือโวลท์เตจที่มีแมกนิจูดเพียงเล็กน้อยที่จะไปขับ VCO และความถี่ของ VCO จะกลับคืนไปยังค่าฟรีรันนิ่งฟรีเควนซี ω_o เดิม ดังนั้นเราเห็นได้ว่าช่วงความถี่ที่อยู่นอกเหนือพิสัยการล็อคของระบบคอนโทรลโวลท์เตจของ VCO จะลดลงเป็นศูนย์

เมื่อ VCO ล็อคกับสัญญาณอินพุต เราจะได้ว่า

$$\theta_o = (\pi/2) - ((\omega_i - \omega_o)/ K_dK_oA) \quad (2.66)$$

เราจะสังเกตได้ว่าเมื่อ $\omega_i = \omega_o$ โวลท์เตจของ VCO จะมีเฟสควอดดราเจร์ (phase quadrature) คือมีเฟสต่างไปจากเฟสของสัญญารอินพุตโวลท์เตจ 90 เมื่อ ω_i เคลื่อนไปทางด้านสูงกว่า ω_o มุมของเฟสจะเพิ่มขึ้นจาก 90 ไปสู่ค่าของ 0 องศา ที่ล่างสุดาของพิสัยการล็อค ดังแสดงในรูปที่ 2.15



รูปที่ 2.15 แสดงคุณสมบัติเอาต์พุตของเฟสดีเท็คเตอร์กับเฟสเออร์เรอร์

<u>พิสัยแคปเจอร์</u>

การวิเคราะห์ถึงพิสัยการล็อคจะต้องอยู่บนหลักการที่ว่าระบบเฟสล็อคลูป (PLL) จะมีสภาวะเดิมล็อคอยู่กับสัญญาณอินพุตแล้ว ในตอนนี้เราจะได้สังเกตถึงสถานะของลูปที่มีสภาวะเดิมไม่ล็อคกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอินพุตเพื่อกำหนดช่วงความถี่ซึ่งระบบเฟสล็อคลูปสามารถล็อคกับสัญญาณอินพุตในช่วงความถี่ดังกล่าว ความถี่ช่วงนี้เราเรียกว่า "พิสัยแคปเจอร์ " หรือ " พิสัยแอคควิซิชั่น"

เมื่อระบบเฟสล็อคลูป (PLL) มีสภาวะเดิมระบบไม่ล็อคกับสัญญาณอินพุต ความถี่ของ VCO จะอยู่ที่ฟรีรันนิ่งฟรีเควนซี ω_o มุมของความต่างเฟสระหว่างสัญญาณอินพุตและโวลท์เตจของVCO จะเท่ากับ

$$\theta_o = (\omega_i t - \theta_i) - (\omega_o t - \theta_o)$$
$$= (\omega_i - \omega_o)t + \Delta\theta \qquad (2.67)$$

และค่าของθ_oจะไม่คงที่แต่เปลี่ยนแปลงต่อเวลาด้วยอัตราความเร็ว $d\theta_o/dt=\omega_i-\omega_o$ ดังนั้นเอาต์พุตโวลท์เตจของเฟสดีเท็ตเตอร์จะไม่มีส่วนของดีซีคอมโปเน้นท์ แต่จะให้เอซีโวลท์เตจกับลูกคลื่นที่มีพีคแอมปลิจูด $K_d(\pi/2)$ และความถี่พื้นฐาน $(\omega_i-\omega_o)$

ถ้าโลว์พาสฟิลเตอร์เป็นวงจร RC โลว์พาสฟิลเตอร์ง่าย ๆ และมีทรานเฟอร์ฟังก์ชั่นเป็น

$$F(j\omega) = 1/(1+j\omega t) = 1/(1+j(\omega/\omega_i)) \qquad (2.68)$$

เมื่อ $\tau = RC$ และ $\omega_1 = 1/RC$ ดังนั้นจุดจำกัดความถี่ $f_1 = 1/2\pi RC$ ที่สภาวะ $(\omega/\omega_i)^2 >> 1$

ทรานเฟอร์ฟังก์ชั่นของของลูปฟิลเตอร์จะมีค่าประมาณ

$$F(j\omega) = \omega_i / j\omega$$

และ
$$|F(j\omega)| = \omega_i / \omega \qquad (2.70)$$

เทอมความถี่พื้นฐานที่เป็นอินพุตให้กับโลว์พาสฟิลเตอร์โดยมาจากเฟสดีเทคเตอร์จะเป็นค่าผลต่างของความถี่ $\Delta\omega = (\omega_i-\omega_o)$ ถ้า $\Delta\omega > 3\omega_i$

ทรานเฟอร์ฟังก์ชั่นของ LPF จะมีค่าโดยประมาณเป็น

$$|F(\Delta\omega)| \cong \omega_i/\Delta\omega = \omega_1/(\omega_i-\omega_o) \qquad (2.71)$$

เราจะได้คอนโทรลโวลท์เตจไว้สำหรับขับ VCO จะมีค่าเป็น

$$V_c = V_d |F(\Delta\omega)| \qquad (2.72)$$

และ
$$V_{c(max)} = \pm K_d (\pi/2)(\omega_i/\Delta\omega)A \qquad (2.73)$$

ด้วยเหตุผล
$$V_{c(max)} = K_o V_{c(max)} \cong \pm K_o K_d (\pi/2) A (\omega_i/\Delta\omega) \qquad (2.74)$$

เพื่อที่จะจับ (Acquisition) ความถี่สัญญาณอินพุตให้ได้เราจะต้องให้ $\omega = \omega_i$ ดังนั้นพิสัยสูงสุดของความถี่สัญญาณอินพุตที่ระบบ PLL สามารถจับหรือยึดสัญญาณความถี่ดังกล่าวได้ตลอดช่วงมีค่าเท่ากับ

$$(\omega_i-\omega_o)_{max} = \pm K_o K_d (\pi/2) A (\omega_i/\Delta\omega) \qquad (2.75)$$

เมื่อ $\Delta\omega_c = (\omega_i-\omega_o)_{max}$ ดังนั้นจากสมการ (2.75) เราจะได้ว่า

$$(\Delta\omega_c)^2 \cong \pm K_o K_d (\pi/2) A \omega_i \qquad (2.76)$$

เนื่องจาก
$$\Delta\omega_1 = K_o K_d (\pi/2) A \qquad (2.77)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น $(\Delta\omega_c)^2 \cong \omega_1\Delta\omega_1$ (2.78)

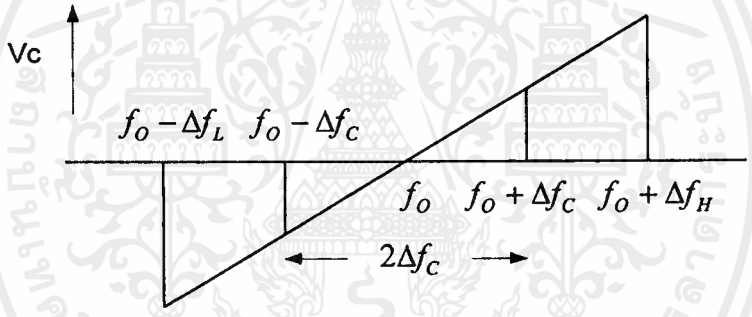
และ $\Delta\omega_c \cong \pm \sqrt{(\omega_i\Delta\omega_1)}$ (2.79)

ดังนั้นระบบ PLL สามารถจะแคปเจอร์ (Capture) สัญญาณอินพุตได้ตลอดพิสัยความถี่นี้พิสัยแคปเจอร์มีค่าเป็น

พิสัยแคปเจอร์ $= 2\Delta\omega_c = 2\sqrt{(\omega_i\Delta\omega_1)}$ (2.80)

ในกรณีทั่วไป $\Delta\omega_1 >> \omega_i$ เราจะสังเกตได้ว่าพิสัยแคปเจอร์จะมีค่าตำแหน่งที่สมมาตรกันเมื่อยึดฟรีรันนิ่งฟรีเควนซีของ VCO เป็นหลักศูนย์กลาง

ในรูปที่ 2.16 แสดงถึงกราฟของคอนโทรลโวลท์เตจของ VCO , Vc ต่อความถี่ของสัญญาณอินพุต พร้อมทั้งแสดงถึงพิสัยแคปเจอร์และพิสัยการล็อค



รูปที่ 2.16 แสดงพิสัยแคปเจอร์ของระบบเฟสล็อคลูป

ในระบบเฟสล็อคลูปต้องการพิสัยแคปเจอร์ที่มีความกว้างมากบนจุดยืนของความสามารถในการล็อคกับสัญญาณอินพุต อย่างไรก็ตามพิสัยแคปเจอร์ที่มีความกว้างมากจะทำให้ระบบ PLLอ่อนแอต่อสัญญาณรบกวนด้วนสัญญาณที่ไม่ต้องการและน้อยส์ สำหรับระบบ PLL ที่สมารถกำจัดสัญญาณรบกวน และน้อยส์ได้สูงสุดจะต้องมีพิสัยแคปเจอร์แคบ ในกรณีทั่วไประบบ PLLจะเลือกพิสัยแคปเจอร์ที่เหมาะสมเพื่อให้คุณสมบัติที่ดีทั้งสองอย่างคือกำจัดสัญญาณรบกวนได้ดีและสามรถล็อคกับสัญญาณอินพุตได้ในช่วงความถี่กว้าง

แต่ในบางกรณีที่ระบบ PLL ไม่สามารถเลือกพิสัยแคปเจอร์ที่เหมาะสมได้ เราจะต้องตั้งแบนด์วิดท์ของโลว์พาสฟิลเตอร์ให้มีค่ามากไว้ก่อนในตอนแรกเพื่อให้ลูปสามารถเริ่มต้นแคปเจอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอินพุตได้เมื่อลูปสามารถแคปเจอร์สัญญาณอินพุตได้แล้วและระบบ PLL ก็จะล็อคกับสัญญาณรบกวน และน้อยส์ลักษณะเด่นของระบบ PLL คือลูปสามารถดำรงรักษาการล็อคกับสัญญาณอินพุตได้แม้ว่าสัญญาณอินพุตจะอยู่ในสภาวะที่มีน้อยส์รบกวนมาก คือมีอัตราส่วนของ
ซิกแนลต่อน้อยส์น้อยกว่าหนึ่งก็ตาม ระบบ PLL มักนิยมใช้งานประเภทที่สัญญาณอินพุตมีระดับต่ำ เช่นระบบสื่อสารของดาวเทียมเป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

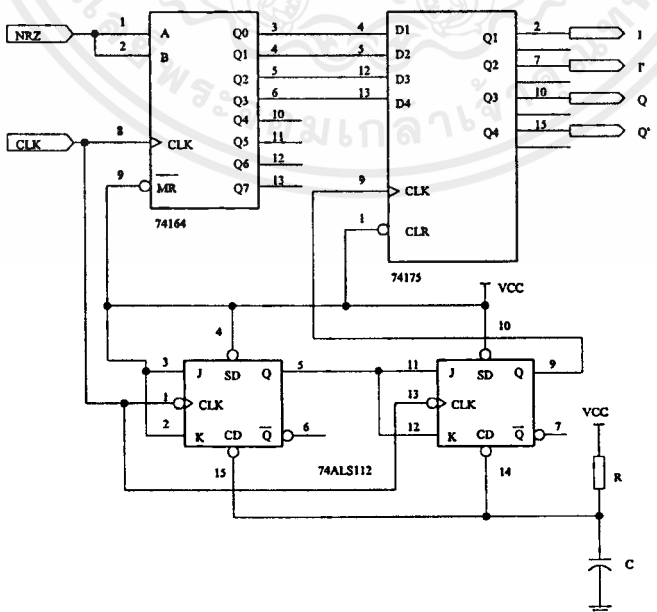
บทที่ 3
การออกแบบวงจรภาคส่ง

วงจรแยกบิตคู่และบิตคี่

ในส่วนที่เป็นวงจรที่ทำหน้าที่แบ่งข้อมูลเชิงเลขด้านขาเข้า แบ่งออกเป็น 2 ชุด โดยแยกเป็นชุดละ 2 บิต จะได้เป็น 2 บิตบน หรือสัญญาณ I และ 2 บิตล่าง หรือ สัญญาณ Q โดยถูกควบคุม โดยวงจรหน่วงเวลา 4 บิต เพื่อให้ข้อมูลเข้ามาครบ 4 บิต ก่อน จะทำการแยกสัญญาณ

ในโครงงานนี้ใช้วงจรหาร 4 โดยใช้ JK ฟลิบฟลอบ เบอร์ 74112 ซึ่งจะช่วยให้การส่งข้อมูลมีจังหวะการส่งที่เหมาะสมกัน ข้อมูลที่ได้จากการแยกบิต จะมี 2 ชุด คือ ส่วน Inphase หรือ I และส่วน Quadrature phase หรือ Q

ในโครงงานนี้ใช้ IC เบอร์ 74164 ทำการแปลงข้อมูล NRZ ที่เข้ามาแบบอนุกรมให้เป็นข้อมูลแบบขนาน ข้อมูลแบบขนานที่ได้จะถูกป้อนเข้า IC เบอร์ 74175 ซึ่งเป็น D ฟลิบฟลอบ ซึ่งจะถูกควบคุมโดยวงจรหน่วยเวลา 4 บิต หรือวงจร หาร 4 โดยนำ Clock จาก Input 256 kHz มาทำการหาร 2 จะได้สัญญาณนาฬิกา 128 kHz ป้อนให้ IC เบอร์ 74175 เพื่อควบคุมให้ทำการ Shift ข้อมูลครั้งละ 4 บิต หรือกล่าวว่าจะต้องรอให้ข้อมูลเข้ามาครบทั้ง 4 บิตก่อน แล้วจึงทำการ Shift ข้อมูลออกไป 1 ครั้ง



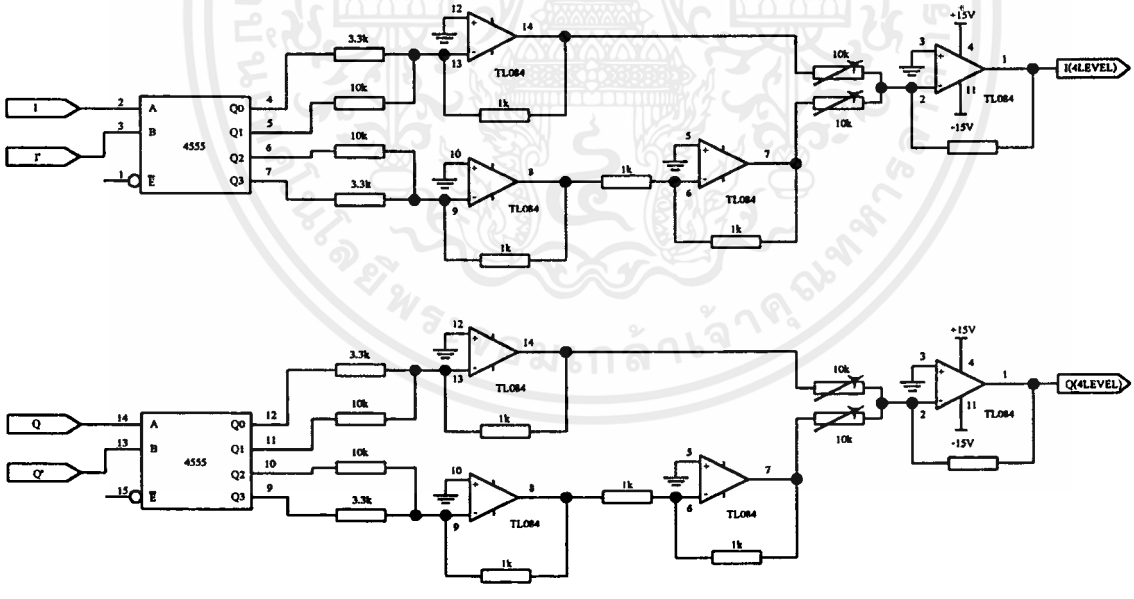
รูปที่3.1 วงจรแยกบิตคู่และบิตคี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรแปลงสัญญาณ จาก 2 บิต เป็นสัญญาณ 4 ระดับ</u>

ก่อนที่จะนำสัญญาณดิจิตอลที่แยกออกมาได้ทั้งบิตบนและบิตล่างไปทำการมอดูเลท (Modulate) จะต้องทำการจัดรูปสัญญาณเสียก่อน คือ ทำการแปลงสัญญาณจาก 2 บิต ให้เป็นสัญญาณที่มีเอาต์พุตเดียวแต่มี 4 ระดับ สัญญาณ กล่าวคือทำการแปลงสัญญาณ จาก 2 เส้นให้เป็นเส้นเดียว แต่มีถึง 4 ระดับ ความเปลี่ยนแปลงของระดับสัญญาณที่เป็นไปได้คือ2 เมื่อ n = จำนวนบิต

ในโครงงานนี้ใช้ CMOS เบอร์ 4555 ซึ่งเป็น IC Decoder จาก Data Sheet ของ CMOS เบอร์ 4555 นะเป็นว่ามีขา Enable ซึ่ง Active Low ฉนั้นจะมีเอาต์พุตเป็น high ที่เอาต์พุตหนึ่งก็ต่อเมื่อมี Logic "0" ป้อนเข้าที่ขา Enable เอาต์พุตที่ออกจาก CMOS 4555 จะป้อนเข้าความต้านทานเพื่อกำหนดเอาต์พุตก่อนทำการป้อนเข้า Op-Amp เพื่อทำการจัดระดับสัญญาณ เอาต์พุตที่ได้จากวงจรจะเป็นสัญญาณ 4 ระดับ



รูปที่3.2วงจรแปลงสัญญาณ จาก 2 บิต เป็นสัญญาณ 4 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรกรองความถี่ต่ำผ่าน</u> (Low Pass Filter)

ก่อนที่จะนำสัญญาณ 4 ระดับไปทำการ มอดูเลท (Modulate) จะต้องทำการกรองสัญญาณเพื่อลดแบนด์วิดท์ และสัญญาณรบกวน เพราะว่าสัญญาณ 4 ระดับ ยังเป็นสัญญาณรูปสี่เหลี่ยมซึ่งประกอบด้วยความถี่จำนวนมากนั่นเอง

ในโครงงานนี้ได้ตั้งจุด Cutoff ไว้ที่ 64 kHz (เพราะใช้ Clock 256 kHz)เพราะ ฉนั้นความถี่ที่สามารถผ่านไปได้โดยไม่ถูกรบกวนที่จุด -3dB จะอยู่ที่ 64 kHz ในการออกแบบจะใช้วงจรกรองความถี่ต่ำ (Low pass Filter) แบบ Butterworth Second Order สามารถคำนวณค่า high cutoff frequency : fc จากค่า R1, R2, C2 , C3

จากสูตร

$$fc = \frac{1}{2\pi\sqrt{R_2 R_3 C_2 C_3}}$$

สำหรับ response ของ second order low pass butterworth ขนาดของโวลท์เตจเกนจะมีสมการดังนี้

$$\left|\frac{Vo}{Vin}\right| = \frac{AF}{\sqrt{1+\frac{f}{fc}}}$$

โดย $AF = 1 + \frac{Rf}{R_1}$ คือเกนของวงจร Low Pass Filter

f คือ ความถี่ของสัญญาณ input (Hz)

$fc = \frac{1}{2\pi\sqrt{R_2 R_3 C_2 C_3}}$ คือ High frequency cutoff

<u>ขั้นตอนในการออกแบบ</u>

1. เลือกค่าความถี่ High frequency Cutoff : fc = 64 kHz
2. ค่าในการออกแบบโดยกำหนดให้ R2 = R3 = R และค่า C2 = C3 = C โดยเลือกค่า C = 100 PF
3. คำนวณค่า R ที่ใช้ในสมการ

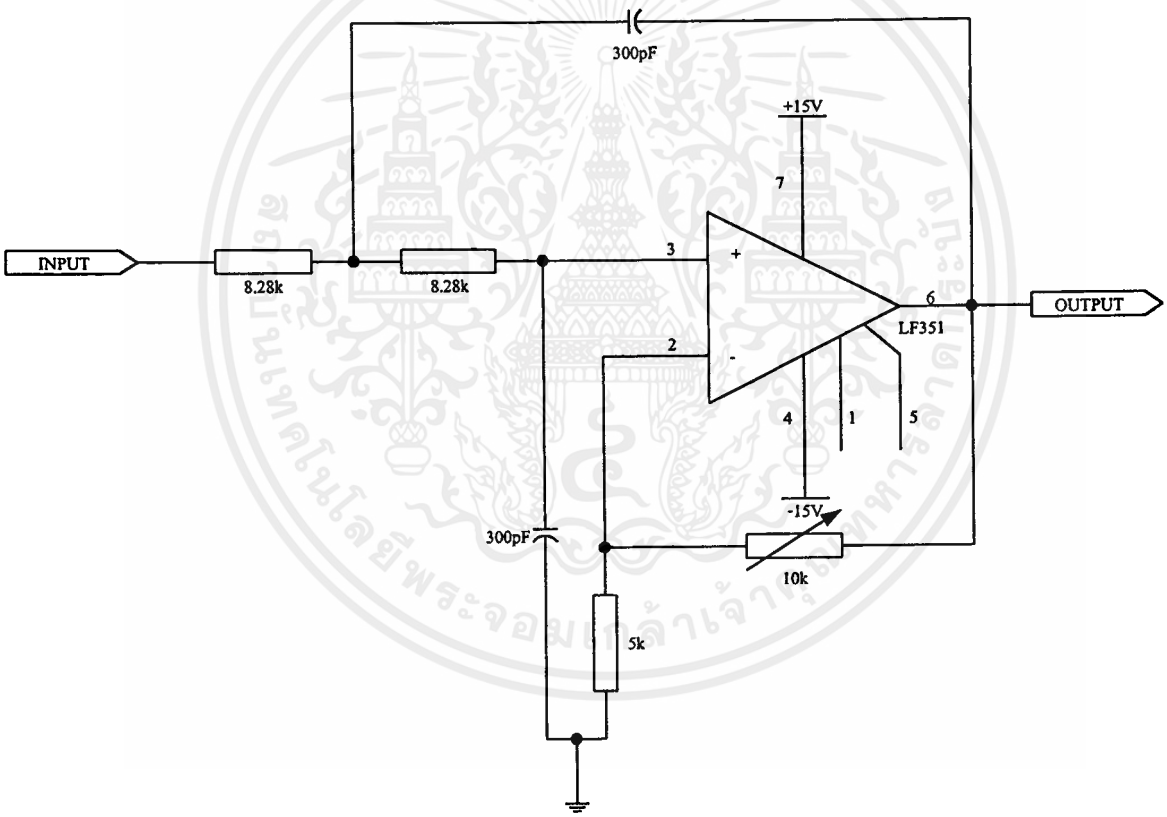
$$R = \frac{1}{2\pi fcC}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R = \frac{1}{2\pi(64*10^{3})(100*10^{-12})} = \quad K\Omega$$

ในทางปฏิบัติใช้ความต้านทางปรับค่าได้ 100 KΩ

4. เนื่องจากกำหนดให้ค่าของ R2 = R3 = R และค่า C2 = C3 = C ดังนั้นค่าของโวลท์เตจเกน $AF = 1 + \frac{Rf}{R_1}$ มีค่า 1.586 นั่นคือ Rf = 0.586 R1 ซึ่งค่าเกนนี้มีความจำเป็นสำหรับการตอบสนองของวงจรกรองแบบบัตเตอร์เวิร์ธดังนั้นเราเลือกใช้ค่า R1 <100 KΩ เพื่อนำไปหาค่าของ Rf เลือกใช้ R1 = 10 KΩ และ Rf = 0.586 R1 = 5860 Ω



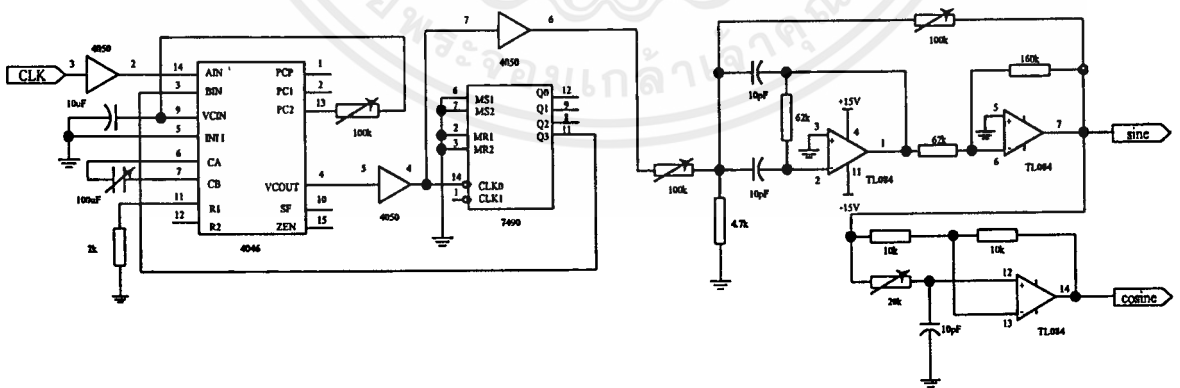
รูปที่3.3วงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรกำหนดสัญญาณพาหะ</u> (Carrier Generator)

ในโครงงานนี้ได้ใช้ความถี่ของสัญญาณพาหะ (Carrier frequency) เท่ากับ 640 kHz ในการเลือกใช้ความถี่นี้ก็เพื่อความสะดวกในการออกแบบวงจรและเนื่องจากระบบการส่งและรับต้องการการซิงโครไนเซชั่น (Synchronization) เพื่อให้เกิดความสัมพันธ์ของภาคส่งและภาครับ จึงอาศัยหลักการของเฟสล็อคลูป (Phase Lock Loop) เข้ามาช่วยโดยใช้ IC เบอร์4046 ซึ่งเป็น Micro power phase-locked loop จะไม่กล่าวถึงคุณสมบัติของ IC เบอร์นี้

ในโครงงานนี้ต้องการสัญญาณพาหะความถี่ 640 KHz และใช้ Clock ความถี่ 256 KHz เราจะใช้ Phase-locked Loop (PLL) ทำการล็อตสัญญาณนาฬิกา และเพื่อความสะดวกในการออกแบบวงจรหารความถี่เราจะใช้สัญญาณนาฬิกา 128 Khz เพื่อป้อนเข้า Input ของ PLL ก็จะใช้สัญญาณที่ได้จากวงจรหาร 2 ในส่วนของวงจรแยกบิต ซึ่งเป็นสัญญาณที่มีอยู่แล้ว และมีความถี่ 128 kHz ที่เอาต์พุต VCO ของ PLL จะมีความถี่ 640 kHz ความถี่ที่ได้จะถูกกำหนดโดยค่าความจุของตัวเก็บประจุ ที่ ขา 6,7 ของ IC 4046 ในทางปฏิบัติจะใช้ Timer ค่า 120 pF ทำการปรับเพื่อให้ได้ความถี่ตามต้องการ จากวงจรจะเป็นว่าได้ต่อ PLL ร่วมกับ Buffer เพื่อช่วยปรับแต่งรูปสัญญาณให้สวยงาม ความถี่จาก VCO ของ PLL จะป้อนเข้าวงจร BPF แบบ Positive Feedback เพื่อกรองเอาสัญญาณฮาร์โมนิคที่1 ซึ่งเป็นสัญญาณ sine ออกมาจากสัญญาณ สี่เหลี่ยม จะได้สัญญาณ sine ที่มีความถี่ 640 kHz นำสัญญาณ sine เข้าวงจรเลื่อนเฟสไป 90 องศา เพื่อสร้างสัญญาณพาหะ Cosine เพื่อนำไปมอดูเลทต่อไป



รูปที่3.4วงจรกำหนดสัญญาณพาหะ

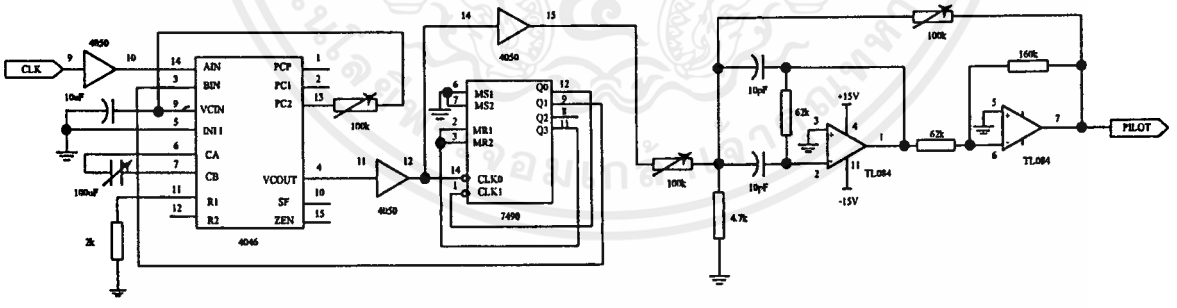
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรกำเนิดสัญญาณไพล็อตโทน</u> (Pilot Tone Generator)

เนื่องจากหลักการของมอดูเลทได้ใช้แบบ Balance Modulater ซึ่งเป็นการ Suppress Carrier จึงไม่มีสัญญาณ Carrier ส่งไปที่ภาครับด้วย และระบบนี้ต้องการ การซิงโครไนซ์ จึงจำเป็นต้องส่งสัญญาณอ้างอิงที่ภาครับเพื่อให้เกิดการซิงโครไนซ์ทั้งภาคส่งและภาครับ จึงทำการส่งสัญญาณอีกความถี่หนึ่งไปกับสัญญาณที่มอดูเลทแล้ว เพื่อนำไปใช้ในการกู้ Clock ที่ภาครับ เรียกสัญญาณที่ส่งไปนี้ว่าสัญญารไพล็อตโทน (Pilot Tone)

โดยหลักการของการผลิตสัญญาณไพล็อตโทน (Pilot Tone) นี้จะเหมือนกับการสร้างสัญญาณพาหะทุกประการจะแตกต่างกันที่วงจรหารความถี่ เนื่องจากว่าในโครงงานนี้ต้องการความถี่สัญญาณไพลอตโทนที่ความถี่ 512 kHz

ในการออกการออกแบบวงจรเพื่อผลิตสัญญาณไพล็อตโทนก็มีหลักการเหมือนผลิตสัญญาณพาหะทุกประการ แต่เนื่องจากใช้ความถี่ที่แตกต่างกัน จึงต้องใช้วงจรความถี่แตกต่างกันด้วย ในโครงงานนี้ใช้ความถี่ 512 kHz จึงใช้ PLL ทำการล็อคสัญญาณนาฬิกา 128 kHz บังคับใช้ VCO ผลิตความถี่ 512 kHz ในส่วนนี้จะใช้วงจรหาร 4 หารความถี่เพื่อเปรียบเทียบเฟสที่อินพุตของ PLL เพื่อความสวยงามของรูปสัญญาณ จึงใช้ Butterworth ต่อร่วมจะได้รูปสัญญาณที่สวยงามขึ้น



รูปที่3.5วงจรกำเนิดสัญญาณไพล็อตโทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรกรองความถี่ผ่านเฉพาะย่าน(Band Pass Filter)</u>

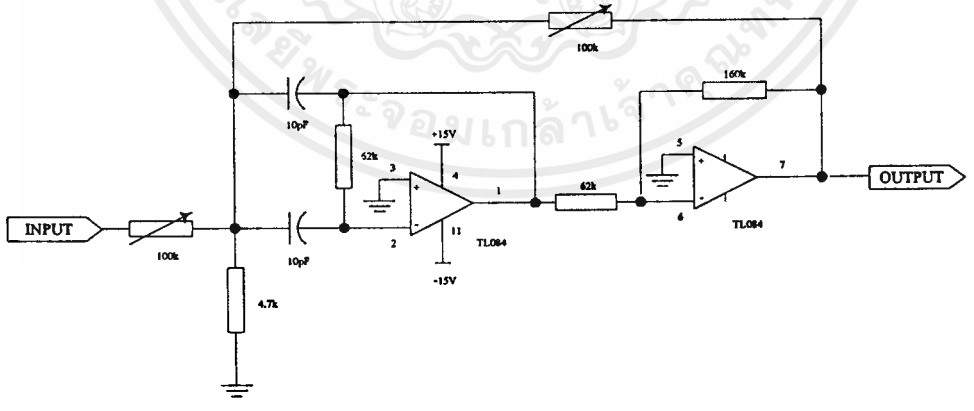
วงจรกรองความถี่ผ่าน จะเป็นวงจรที่ยอมให้ความถี่ช่วงหนึ่งผ่านไปได้ ซึ่งเป็นความถี่ในช่วง Low Frequency cut-off กับ High frequency cut-off ความถี่นอกเหนือจากนี้จะไม่สามารถผ่านไปได้ เพื่อให้ได้ความถี่ตามต้องการ จำเป็นต้องกำหนดค่า Q ให้สูง เพื่อให้ Band width แคบ ทำให้กำจัดสัญญาณรบกวนได้ในระดับหนึ่ง ในวงจรภาคส่งจะใช้วงจรกรองความถี่แบบ Positive feedback ซึ่งจะให้ค่า Q ที่สูงมาก ทำให้วงจรมีความเชื่อถือได้พอสมควร มีขั้นตอนการออกแบบดังนี้

1. เลือกความถี่ด้านต่ำเท่ากับ 500 kHz และค่าความถี่ด้านสูงเท่ากับ 800 kHz
2. เลือกค่าตัวเก็บประจุใช้ค่า 10 pF เกนที่ต้องการเท่ากับ 10 Q = 20
3. แทนค่าลงในสูตร

$$R1 = \frac{Q}{2\pi fc * C * Af} = \frac{20}{2\pi(650*10^{3}*10*10^{-12}*10)} = 48.97K\Omega$$

$$R2 = \frac{20}{2\pi(650*10^{3}*10*10^{-12})(2*(20^{2})-10)} = 619.88\Omega$$

$$R3 = \frac{Q}{2\pi fc * C} = \frac{20}{2\pi(650*10^{3}*10*10^{-12})} = 979.415\,k\Omega$$



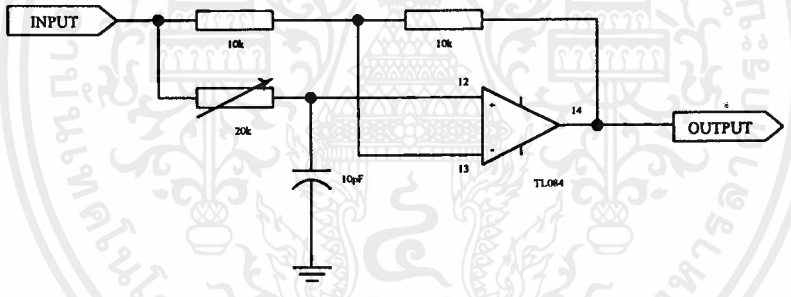
รูปที่3.6 วงจรกรองความถี่ผ่านเฉพาะย่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา (Quadrature Phase Shift Circuit)

จากวงจรที่ทำการแยกสัญญาณดิจิตอลออกเป็น 2 ส่วนคือ Inphase และ Quadrature phase เราจึงมีวงจรบาลานซ์มอดดูเลเตอร์ 2 วงจร และมีสัญญาณพาหะ 2 ชุดเพื่อที่จะเป็นตัวพาหะนำสัญญาณดิจิตอลออกไปด้วยเช่นกัน ในโครงงานนี้จะเลือกใช้สัญญาณพาหะที่มีความถี่ตรงกันแต่มีความถี่ต่างเฟสกัน 90 องศา (Sine wave กับ Cosine wave) โดยใช้สัญญาณพาหะ sine wave ที่ได้จากวงจรกำเนิดสัญญาณพาหะโดยตรง ไปมอดดูเลทกับสัญญาณ 4 ระดับ ที่ทางด้าน Inphase และใช้สัญญาณพาหะ cosine wave ที่ได้จากวงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา ไปมอดดูเลทกับสัญญาณ 4 ระดับที่อยู่ทางด้าน Quadrature phase

ดังนั้นจึงทำการออกแบบ วงจรเลื่อนเฟสโดยอาศัยหลักการของวงจร All-Pass Filter ชนิด Vp ล้าหลัง Vin ดังมีรายละเอียดดังต่อไปนี้



รูปที่ 3.7 วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา

จากรูปจะได้ว่า

$$|Vo / Vin| = 1 + 2\pi fR_2C_2 \; / \; 1 + 2\pi fR_2C_2 = 1$$

$$\theta = -2\, tan^{-1}(2\pi fR_2C_2)$$

เมื่อ Vo/Vin = Gain ของวงจร

θ = Phase Shift ระหว่าง Vo และ Vin

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>ขั้นตอนการออกแบบวงจร</u>

1. เลือกค่า $\theta = 90$ องศา

2. ใช้ความถี่เท่ากับสัญญาณแคร์เรียร์ คือ 1.024 MHz

3. จากสูตร $C_2 = 10 / f = 10 / 1.024\text{mhz} = 9.76\mu F$

แต่ในการทดลอง ใช้ $C_2 = 10pF$ เพราะความถี่สูงควรใช้ C ค่าต่ำๆ

4. จากสูตร $R_2 = \tan(-\pi/2) / (2\pi f C_2)$

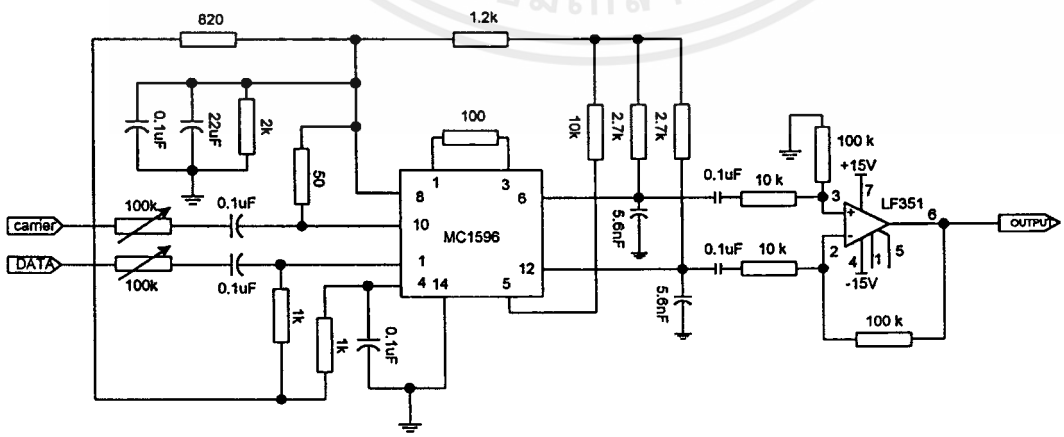
$= \tan(-(90)/2) / (2 * \pi + 1.024 * 10^6 * 10 * 10^{-12})$

$= 15.45\ K\Omega$

ในการทดลองใช้ Vr 20 $K\Omega$

<u>วงจรบาลานซ์มอดูเลเตอร์</u> **(Balance Modulator Circuit)**

วงจรบาลานซ์มอดูเลเตอร์ (Balance Modulator) จะทำหน้าที่ผสมสัญญาณเบสแบนด์และสัญญาณพาหะ สัญญาณที่เอาต์พุตของวงจรบาลานซ์มอดูเลเตอร์ที่จะเกิดเป็น ไซด์แบนด์ (Side Band) ทั้ง 2 ข้าง โดยไม่มีสัญญาณพาหะ โดยทั่วไปวงจรบาลานซ์มอดูเลเตอร์ มีหลายแบบ เนื่องจากความสะดวกจะนำเอา IC เบอร์ MC 1596 เป็น IC ที่ต้องการอินพุตต่ำมากอยู่ในช่วง 300 mV ถึง 500 mV จากวงจรดังรูป จะเห็นว่ามีความต้านทานปรับค่าได้ 50 $K\Omega$ ช่วยปรับความสมดุล ของการมอดูเลท เอาต์พุตที่ได้จะปรากฏที่ขา 6 และ ขา 12 เอาต์พุตที่ได้จะนำไปเข้าวงจรขยายผลต่าง (Difference Amplifier) เพื่อขยายสัญญาณให้แรงขึ้นก่อนเข้าวงจรรวมสัญญาณ



รูปที่ 3.8 วงจรบาลานซ์มอดูเลเตอร์

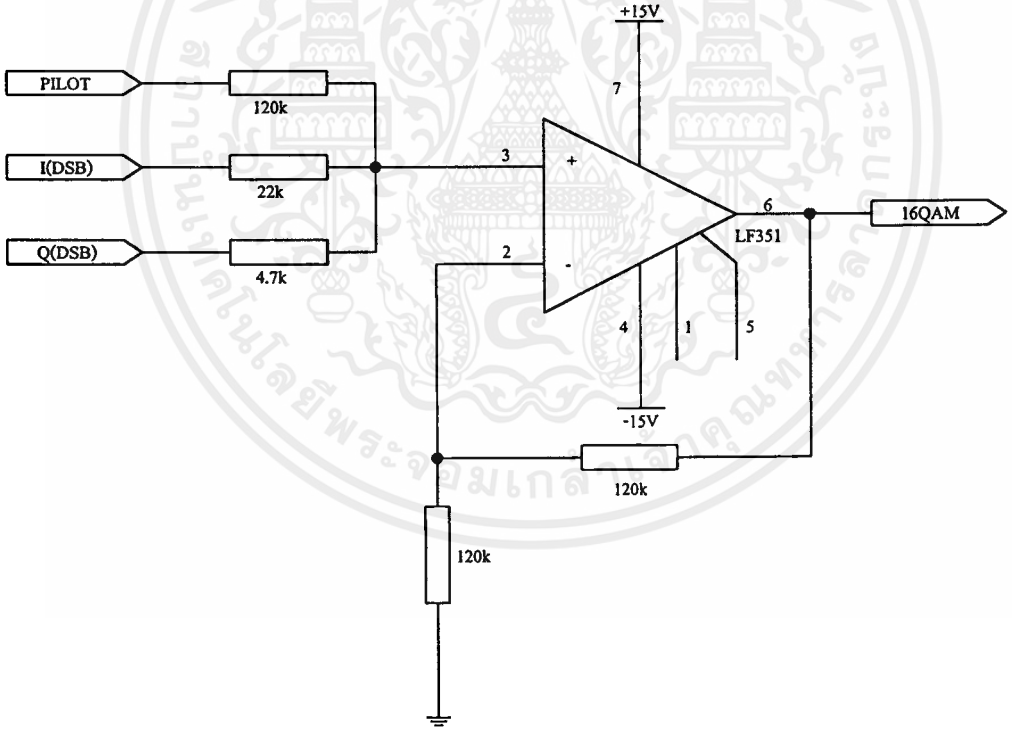
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรรวมสัญญาณ</u> (Summimng Circuit)

เนื่องจากจะต้องส่งสัญญาณหลาย ๆ สัญญาณ เพื่อส่งไปยังสายเส้นเดียวกัน จึงจำเป็นต้องนำสัญญาณเหล่านั้นมารวมกันก่อนทำการส่งออกไป ในโครงงานนี้จะทำการรวมสัญญาณที่มอดูเลทแล้วด้าน I และ ด้าน Q กับสัญญาณไพล็อตโทน เพื่อให้เป็นสัญญาณชุดเดียว ป้อนเข้าวงจรขยายก่อนส่งออกไป สามารถหาแรงดันเอาต์พุตได้ จากสมการต่อไปนี้

$$Vo = - \left(\frac{RfV_1}{R_1} + \frac{RfV_2}{R_2} \right)$$

ในการออกแบบเราจะเลือกใช้ RF = 10 KΩ และ R1, R2, ใช้ R = 1 KΩ



รูปที่ 3.9 วงจรรวมสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบภาครับ

<u>วงจรกรองความถี่ผ่านเฉพาะย่าน</u> (Band Pass Filter)

วงจรกรองความถี่ผ่าน เป็นวงจรกรองความถี่ ที่ยอมให้ความถี่ในช่วงหนึ่งสามารถผ่านไปได้ ซึ่งเป็นความถี่ในช่วง Low frequency cutoff กับ high frequency cutoff เนื่องจากความถี่ที่เข้ามาทางภาครับจะมีการรบกวนของสัญญาณรบกวนที่ปนเข้ามาด้วยวงจรกรองความถี่ผ่าน จะช่วยลดสัญญาณรบกวนได้ในระดับหนึ่ง

ขั้นตอนการออกแบบวงจรกรองความถี่ผ่าน

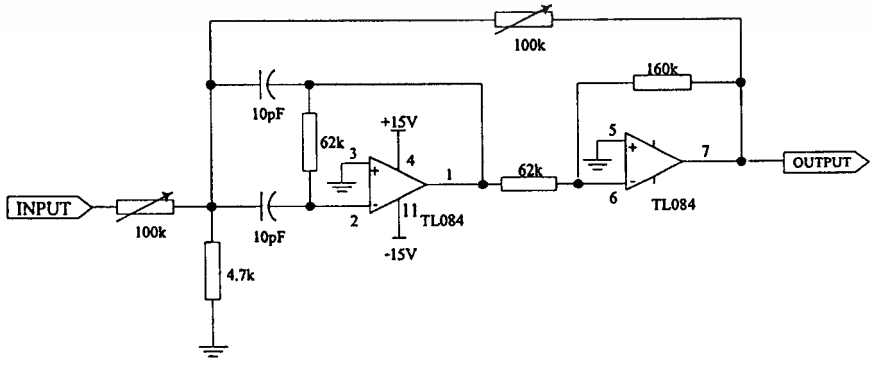
1. เลือกความถี่ด้านต่ำเท่ากับ 500 kHz และค่าความถี่ด้านสูงเท่ากับ 800 kHz
2. เลือกค่าตัวเก็บประจุ ใช้ค่า 10 pF เกนที่ต้องการเท่ากับ 10 Q=20
3. แทนค่าลงในสูตรคำนวณค่าที่ต้องการ

$$R1 = \frac{Q}{2\pi fc * C * Af} = \frac{20}{2\pi(650*10^3*10*10^{-12}*10)} = 48.97K\Omega$$

$$R2 = \frac{20}{2\pi fc * C(sQ^2 - Af)} = \frac{20}{2\pi(650*10^3*10*10^{-12})(2*(20^2)-10)} = 619.88\Omega$$

$$R3 = \frac{Q}{2\pi fc * C} = \frac{20}{2\pi(650*10^3*10*10^{-12})} = 979.415\ k\Omega$$

สำหรับโครงงานนี้จะใช้วงจรกรองความถี่ผ่านแบบ VCVS (Voltage Control Voltage Source) ในการทดลงกรองความถี่ ได้ผลจากการการทดลองเป็นแบบ Wide Band และ จุด Cutoff สามารถปรับเลื่อนได้



รูปที่ 4.1 วงจรกรองความถี่ผ่านเฉพาะย่าน

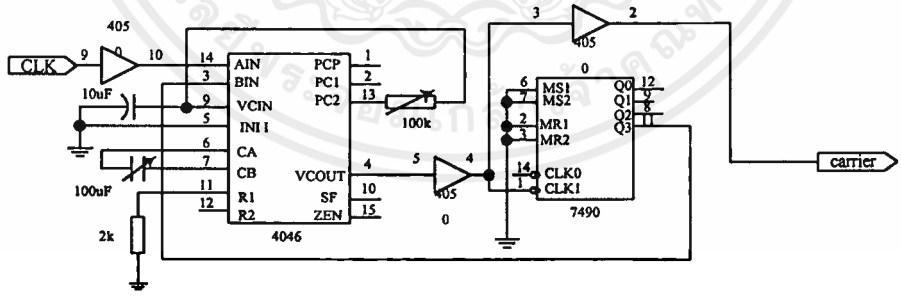
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรกู้สัญญาณคลื่นพาห์</u> (Carrier Recovery)

ในระบบที่ต้องการซิงโครไนส์ จำเป็นจะต้องมีสัญญาณทางภาครับและภาคส่ง ที่เหมาะสมกัน เนื่องจากเป็นกากรมอดูเลท แบบ Balance Modulate ผลลัพธ์ที่ได้จะไม่มีสัญญาณพาหะ จะมีเพียงSide Band ที่เกิดขึ้น ฉนั้นจึงจำเป็นต้องทำการสร้างสัญญาณพาหะขึ้นมาใหม่ที่ภาครับ โดยอาศัยสัญญาณอ้างอิงจากทางภาคส่งคือสัญญาณไพล็อตโทน (Pilot Tone)

หลังจากทำการกรองความถี่สัญญาณไพล็อตโทน และจะนำสัญญาณป้อนเข้า PLL เพื่อทำการควบคุมการผลิตความถี่ของ VCO out ของ ไอซีเฟสล็อคลูป (PLL) สัญญาณที่กรองออกมาได้จะมีความถี่ 512 kHz ซึ่งเท่ากับสัญญาณ Clock พอดี นำไปหารความถี่ 4 เท่า จะได้ความถี่ 128 kHz เพื่อป้อนให้ PLL เพื่อผลิตความถี่ 640 kHz ในส่วนของวงจรหาร 5 จะทำการหารความถี่จาก VCOout มาหาร 5 เพื่อนำไปเทียบกับสัญญาณนาฬิกาที่อินพุต จะใช้ Buffer ต่อร่วมเพื่อความสวยงามของรูปสัญญาณ จากนั้นจะป้อนเข้าส่วนของวงจรกรองความถี่ผ่าน (Band Pass Filter) ก็จะได้สัญญาณพาหะที่ความถี่ 640 kHz เมื่อผ่านวงจรเลื่อนเฟส 90 องศา ก็จะทำการเลื่อนเฟสไปอีก 90 องศาโดยที่มีความถี่เท่าเดิม

สัญญาณไพล็อตโทนความถี่ 512 kHz จะถูกนำไปหาร 2 จะได้สัญญาณนาฬิกาความถี่ 256 kHz เพื่อนำไปป้วนส่วนของวงจรรวมบิตเพื่อการซิงโคร์ไนส์ของภาคส่งและภาครับ



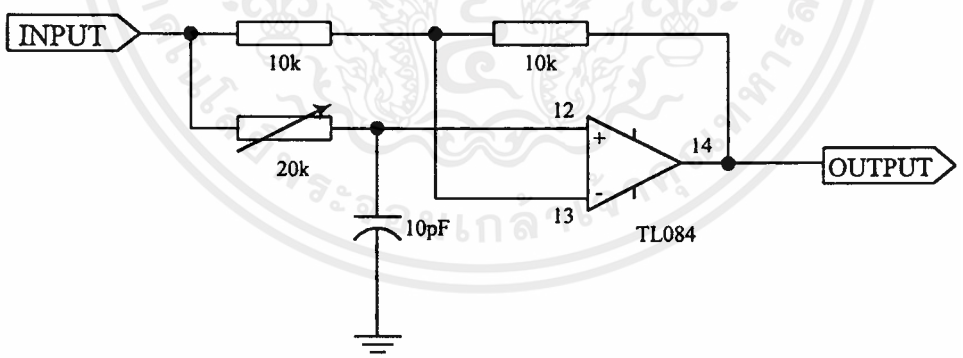
รูปที่ 4.2 วงจรกู้สัญญาณคลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเลื่อนเฟสสัญญาณพาหะ 90 องศา (Quadrature Phase Shift Circuit)

เนื่องจากสัญญาณมอดูเลทที่รับมาได้นั้น จะประกอบไปด้วยสัญญาณดิจิตอล ที่ถูกแยกออกเป็นสองส่วน และสัญญาณข้อมูล 2 บิต ที่ถูกแยกออกมานั้น จะกลายเป็นสัญญาณ 4 ระดับ แล้วมอดูเลทมากับสัญญาณพาหะ โดยวงจรบาลานซ์มอดูเลเตอร์ และนำมารวมกันระหว่าง
สัญญาณมอดูเลททางด้าน Inphase ที่ใช้สัญญาณ Sine Wave เป็นสัญญาณพาหะ และสัญญาณมอดูเลททางด้าน Quardrature Phase ที่ใช้สัญญาณ Cosine Wave ที่ได้มาจากวงจรกู้สัญญาณพาหะเพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ทางด้าน Inphase และจะใช้สัญญาณ Cosine Wave ที่ได้มาจากวงจรกู้สัญญาณพาหะแล้วผ่านวงจรเลื่อนเฟส 90 องศาเพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ ทางด้าน Quardrature Phase

สำหรับวงจรเลื่อน เฟสสัญญาณ 90 องศานั้น ก็จะใช้วงจรกรองผ่านทุกความถี่ (All Pass Filter) ชนิด Vo ล้าหลัง Vin เหมือนกันทุกประการกับทางด้านภาคส่ง ทั้งนี้เพื่อเป็นการทำให้สอดคล้องกับทางด้านภาคส่งนั่นเอง ดังวงจรที่แสดงไว้ในรูป

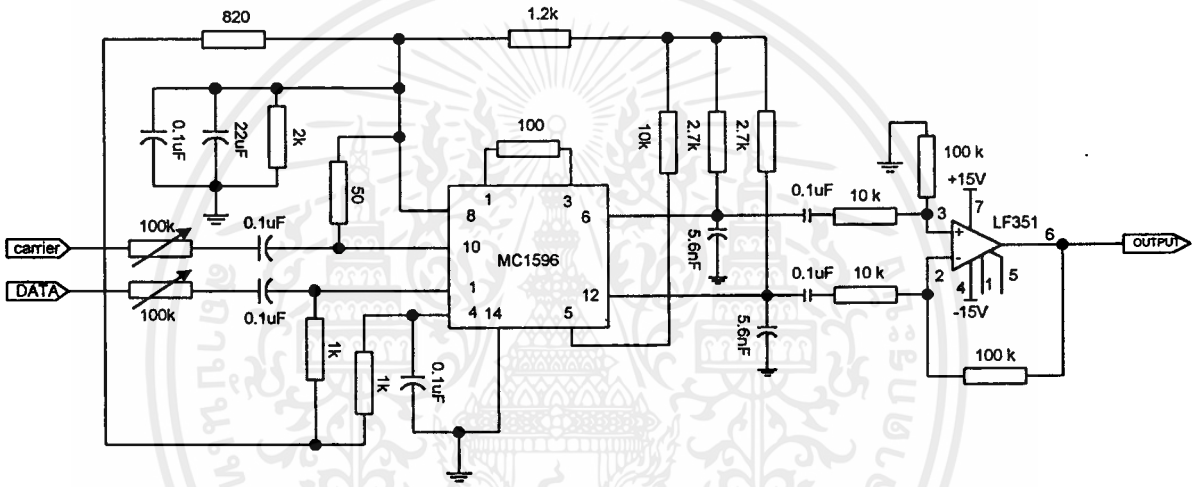


รูปที่ 4.3 วงจรเลื่อนเฟสสัญญาณ 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรดีมอดูเลเตอร์</u> (Demodulater Circuit)

ในส่วนของวงจรดีมอดูเลเตอร์ ก็คล้ายกับวงจรมอดูเลเตอร์ จะมีอุปกรณ์บางตัวแตกต่างกัน อุปกรณ์ตัวหลักที่ใช้คือ ไอซีเบอร์ MC 1596 และ MC 1496 ซึ่งมี 14 ขา และ 12 ขา ตามลำดับ ในโครงงานที่ใช้เบอร์ MC 1596 โดยมีเอาต์พุตที่ขา 6 และ 12 ซึ่งจะให้เอาต์พุตที่กลับเฟสกันอยู่ เอาต์พุตที่ได้เกิดจากการคูณของสัญญาณ ที่ถูกมอดูเลทมากับสัญญาณพาหะ เอาต์พุตที่ได้จะถูกคับปลิ้งที่ความถี่สูงและเข้าวงจรขยาย

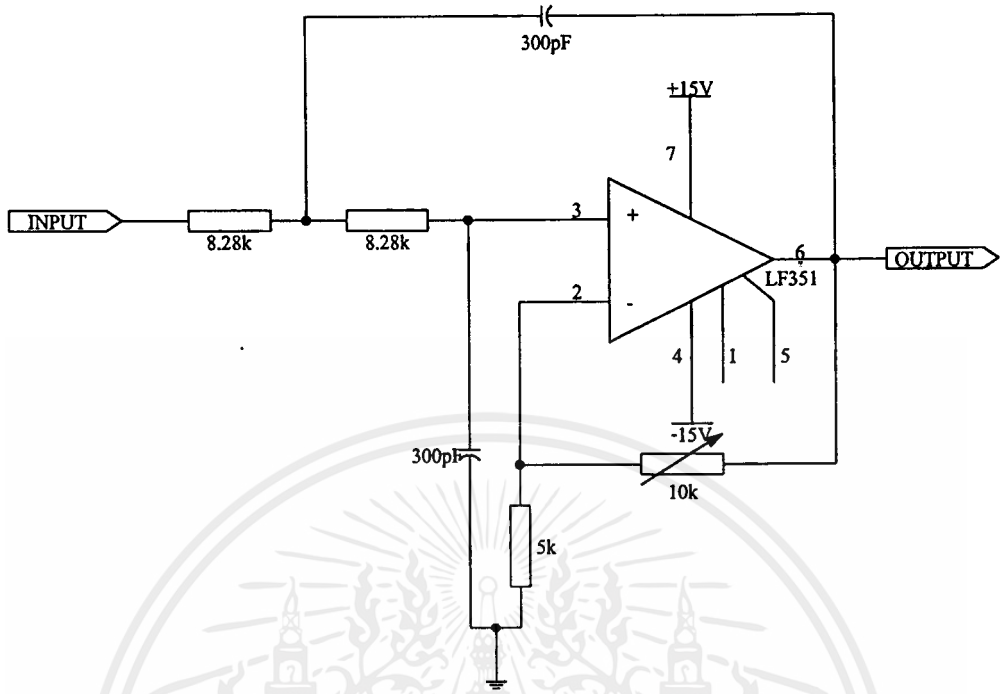


รูปที่4.4 วงจรดีมอดูเลเตอร์

<u>วงจรกรองความถี่ต่ำ</u> (Low Pass Filter)

สัญญาณที่ออกจากการดีมอดูเลเตอร์จะประกอบด้วยความถี่มากมายแต่ต้องการใช้ในส่วนของความถี่ cutoff ไม่เกิน 32 kHz ซึ่งเป็นของสัญญาณเบสแบนด์ ในการออกแบบวงจรกรองความถี่ต่ำ ความถี่ Cutoff 32 kHz ทางภาครับนี้ จะใช้หลักการเหมือนกับภาคส่ง โดยใช้วงจรกรองความถี่ต่ำ แบบSecond order Butterworth ไอซีที่ใช้ในโครงงานนี้ เบอร์ LF 351 N

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



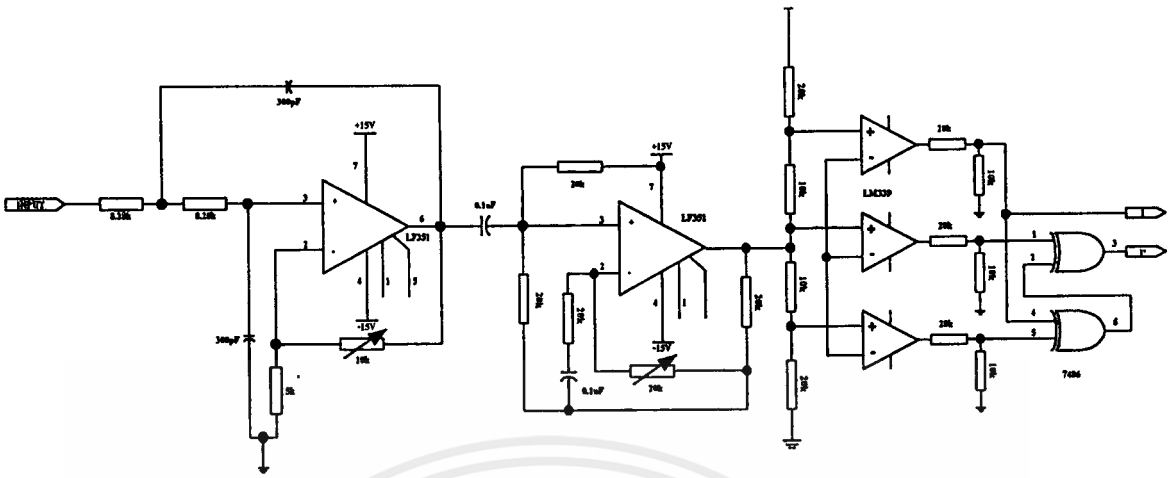
รูปที่4.5 วงจรกรองความถี่ต่ำ

<u>วงจรแปลงสัญญาณ 4 ระดับ เป็น 2 บิต</u> (4 Levels to 2 bit Converter)

หลังจากที่สัญญาณผ่านการกรองความถี่ต่ำแล้ว จะได้เป็นรูปของสัญญาณเบสแบนด์ จะนำสัญญาณไปทำการจัดระดับสัญญาณ โดยสามารถปรับเกนการขยายได้ หลังจากนั้นจะป้อนเข้าในส่วนของวงจร Comparator เพื่อจัดรูป pulse ในส่วนนี้ใช้ op-amp โดยป้อนไฟบวกและกราวด์ให้กับ Op-amp ทำให้มีเอาต์พุตที่เป็น + V กับกราวด์ ใช้ความต้านทานแบ่งแรงดันก่อนป้อนเข้า Ex-OR Gate สัญญาณที่ได้จะเป็นสัญญาณดิจิตอล

ในโครงงานนี้สัญญาณที่ทำการดีมอดูเลทได้จะมีขนาดเล็ก จึงต้องทำการขยายให้มีขนาดใหญ่เสียก่อน โดยใช้ตัวความต้านทานแบ่งแรงดันจาก 12 V ให้ได้ 6 V ป้อนเข้าที่ขา Non-Inverting ของ Op-Amp จากวงจรที่ใช้จะทำให้ที่เอาต์พุตถูกยกระดับให้สูงขึ้น ในวงจรใช้VR เพื่อช่วยปรับเกนการขยายของวงจรด้วย ไอซีที่ใช้เบอร์ TL 084 N ของOp-Amp ที่ตั้งจุดทำงานไว้ต่าง ๆ กัน คือ 4 V, 6Vและ8V ตามลำดับ เอาต์พุตที่ได้จาก Op-Amp จะป้อนเข้าตัวต้านทานแบ่งแรงดัน ที่ออกแบบให้มีเอาต์พุตตกคร่อมไม่เกิน 5 V เพื่อป้องกันไม่ให้ Ex-OR gate เสียหาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

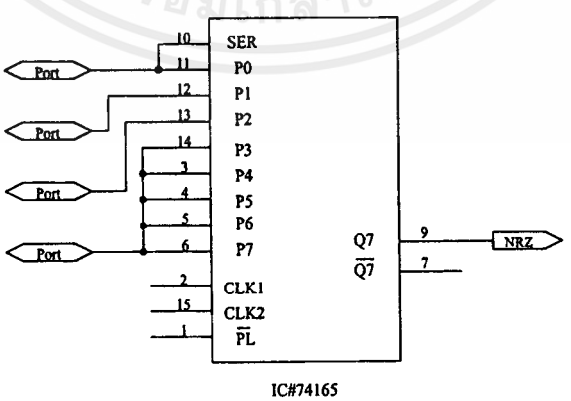


รูปที่4.6 วงจรแปลงสัญญาณ 4 ระดับ เป็น 2 บิต

<u>วงจรรวมสัญญาณดิจิตอล</u> (Parallel to Serial circuit)

วงจรในส่วนนี้มีหน้าที่ในการรวมสัญญาณดิจิตอลทั้งบิตบนและบิตล่างที่ผ่านกระบวนการจัดรูป Pulse มาแล้ว ที่เข้ามาขนานเพื่อแปลงไปเป็นสัญญาณดิจิตอลแบบอนุกรม กระบวนการทั้งหมดนี้ก็จะถูกควบคุมจังหวะการทำงานจาก Clock ที่กู้ขึ้นมาได้เพื่อให้เกิดการซิงโครไนซ์

ในส่วนของวงจรหาร 4 จะควบคุมจังหวะการทำงานของ D ฟลิปฟลอบ เอาต์พุตที่ได้จะถูกป้อนเข้าส่วนที่นำหน้าที่เลื่อนข้อมูลที่เข้ามาแบบขนานให้เป็นข้อมูลแบบอนุกรม ในส่วนนี้ก็จะถูกควบคุมโดยวงจรหาร 4 และ Clock เช่นกัน

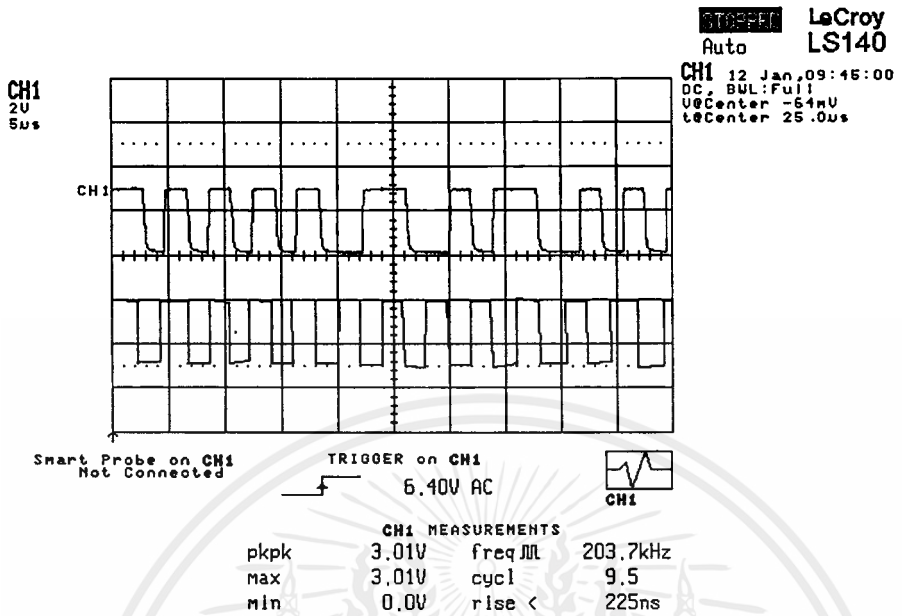


รูปที่4.7 วงจรรวมสัญญาณดิจิตอล (Parallel to Serial circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

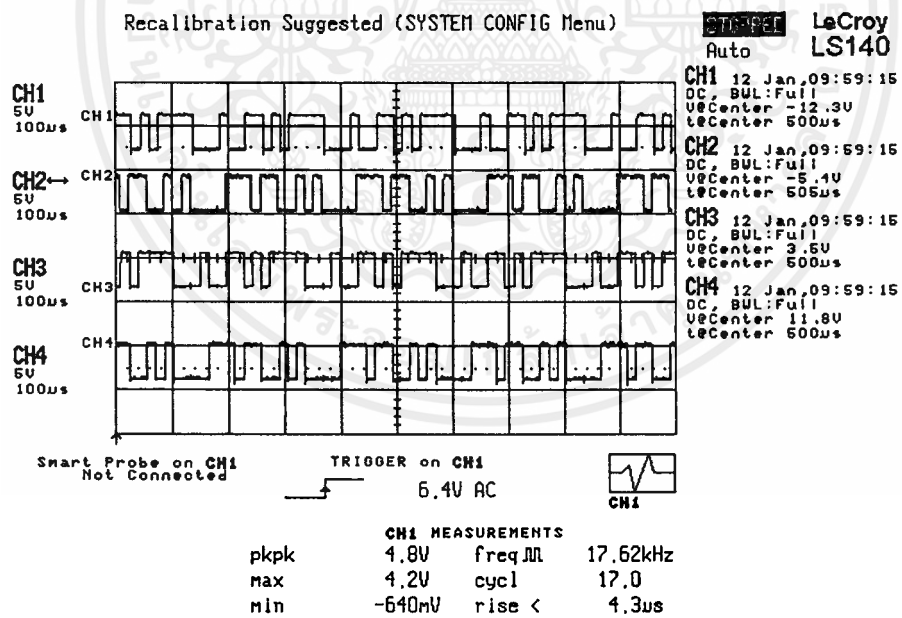
บทที่ 5

ผลการทดลอง



รูปที่ 5.1 (รูปบน)แสดงรูปสัญญาณ NRZ กึ่ง Random

(รูปล่าง)แสดงสัญญาณนาฬิกาความถี่ 256 kHz



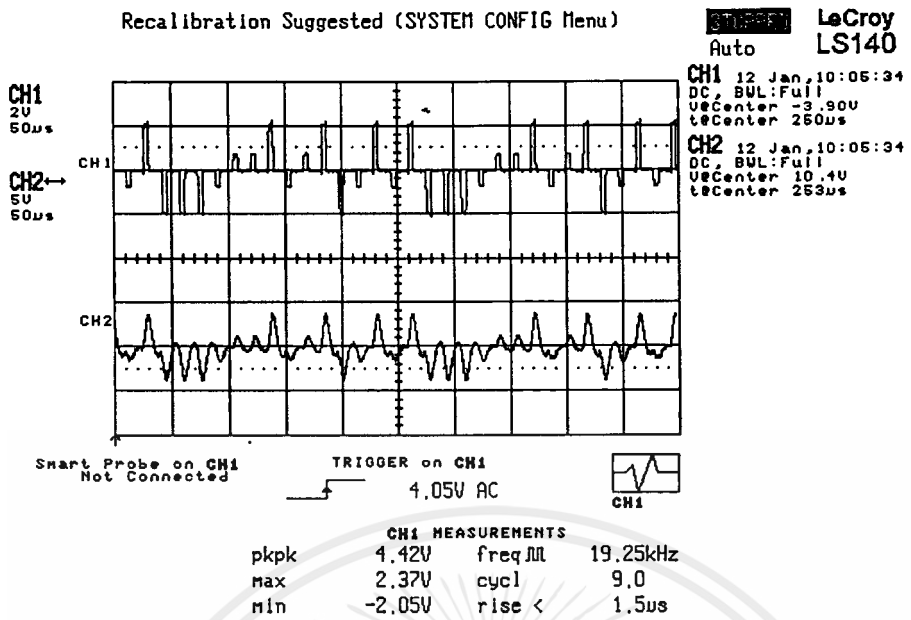
รูปที่ 5.2 CH1 แสดงสัญญาณแยกบิตทางด้าน I

CH2 แสดงสัญญาณแยกบิตทางด้าน I'

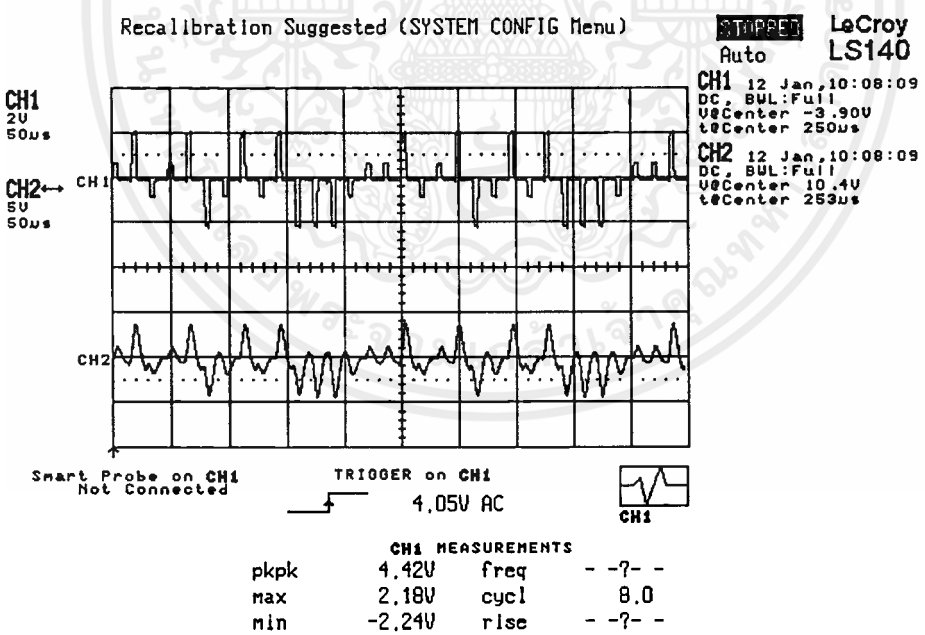
CH3 แสดงสัญญาณแยกบิตทางด้าน Q

CH4 แสดงสัญญาณแยกบิตทางด้าน Q'

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

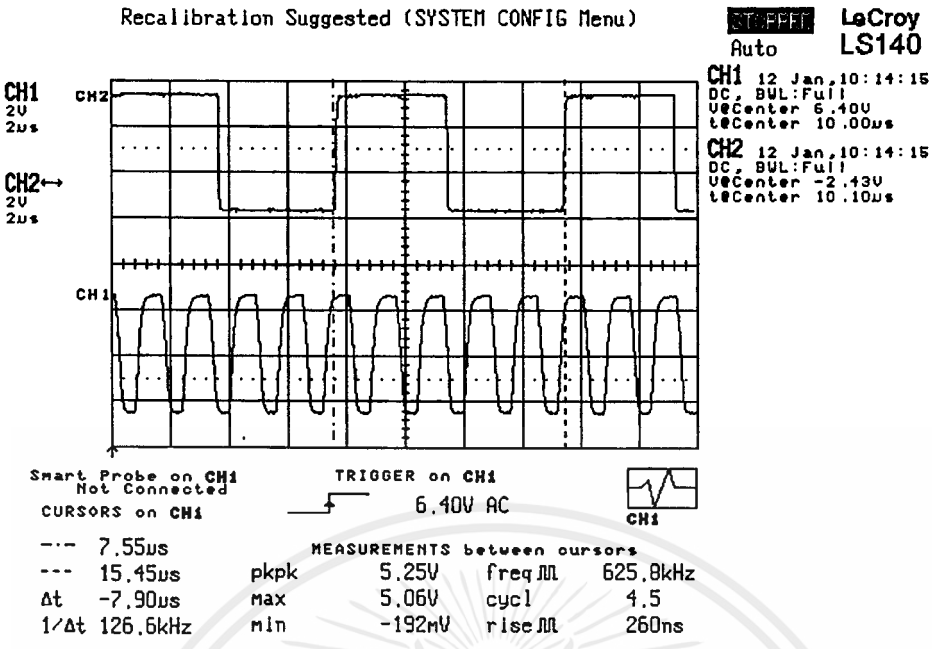


รูปที่ 5.3 (รูปบน) แสดงสัญญาณ 4 ระดับ ทางด้าน I ที่ขา 1 IC#TL084_1
(รูปล่าง) แสดงสัญญาณ 4 ระดับ ทางด้าน I ผ่าน Low Pass Filter

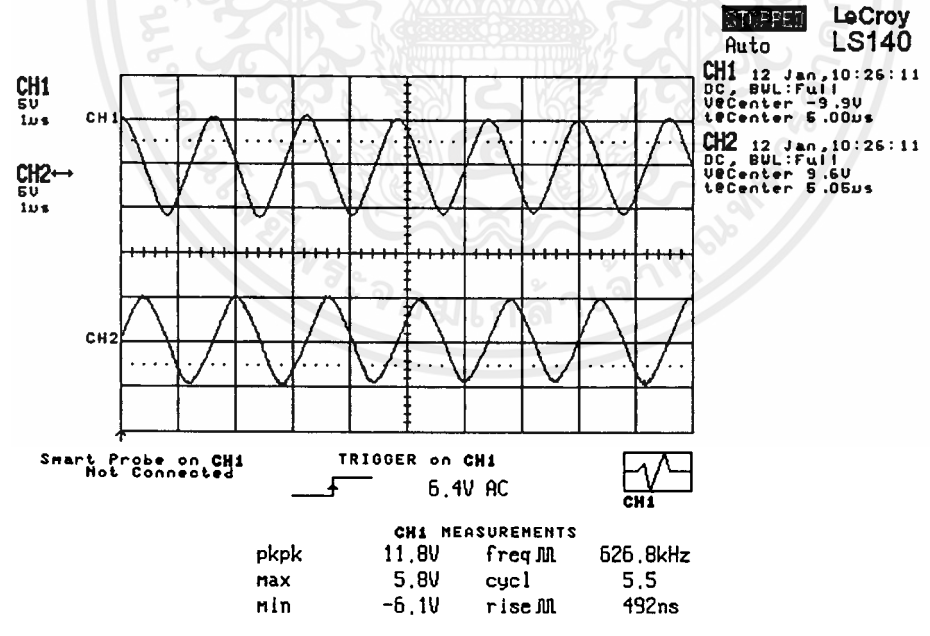


รูปที่ 5.4 (รูปบน) แสดงสัญญาณ 4 ระดับ ทางด้าน Q ที่ขา 1 IC#TL084_2
(รูปล่าง) แสดงสัญญาณ 4 ระดับ ทางด้าน I ผ่าน Low Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

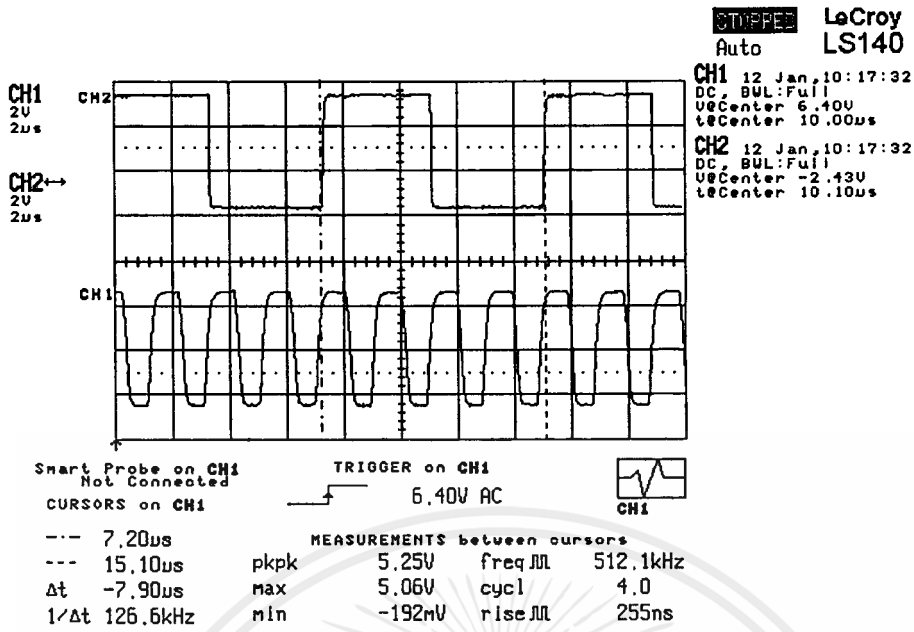


รูปที่ 5.5 (รูปบน) แสดงสัญญาณ input ของวงจรคูณความถี่ 5 เท่า ที่ ขา4 IC#4046
(รูปล่าง) แสดงสัญญาณ output ของวงจรคูณความถี่ 5 เท่า ที่ ขา14 IC#4046

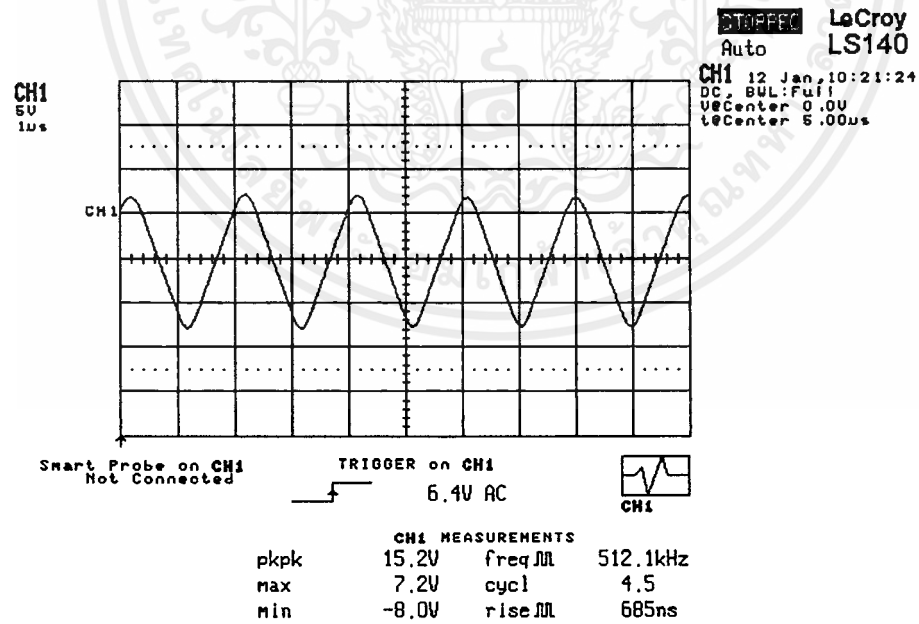


รูปที่ 5.6 (รูปบน) แสดงสัญญาณ Carrier Sine ความถี่ 640 kHz ที่ ขา8 IC#TL084
(รูปล่าง) แสดงสัญญาณ Carrier Cosine ความถี่ 640 kHz ที่ขา14 IC#TL084

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

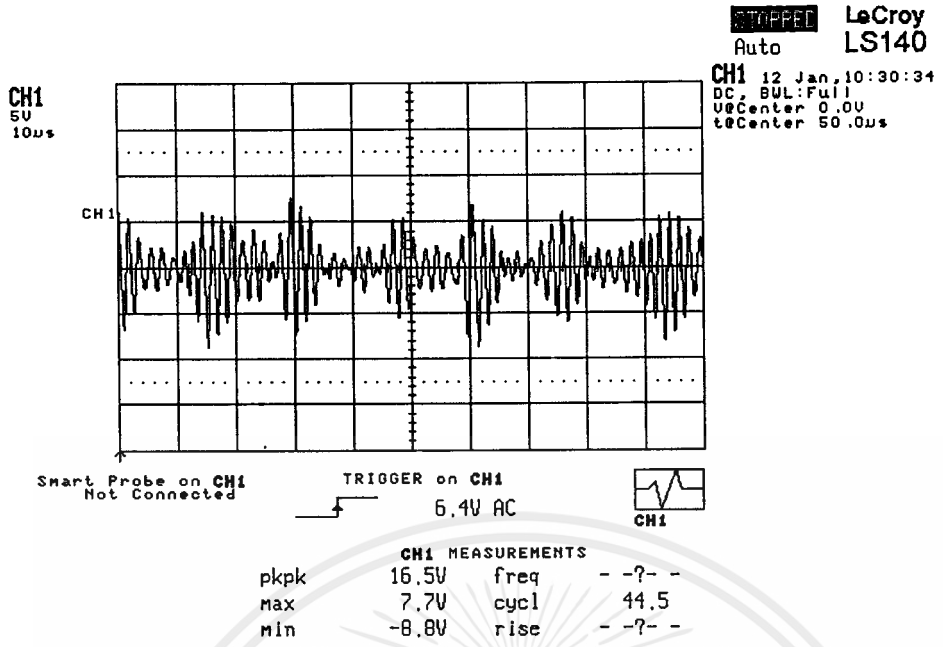


รูปที่ 5.7 (รูปบน) แสดงสัญญาณ input ของวงจรคูณความถี่ 4 เท่า ที่ ขา4 IC#4046
(รูปล่าง) แสดงสัญญาณ output ของวงจรคูณความถี่ 4 เท่า ที่ ขา14 IC#4046

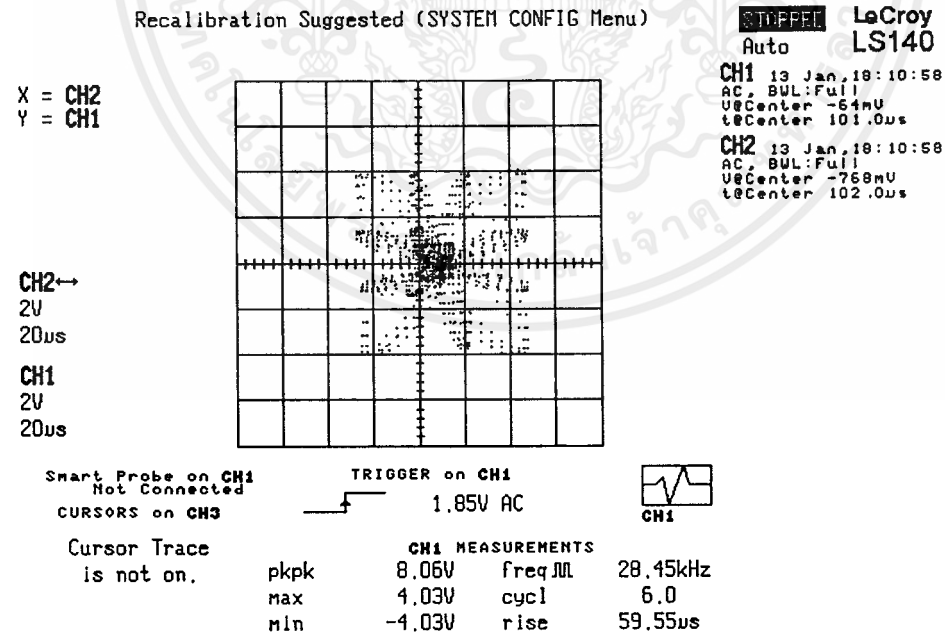


รูปที่ 5.8 แสดงสัญญาณ Pilot Tone ความถี่ 512 kHz ที่ ขา7 IC#TL084

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

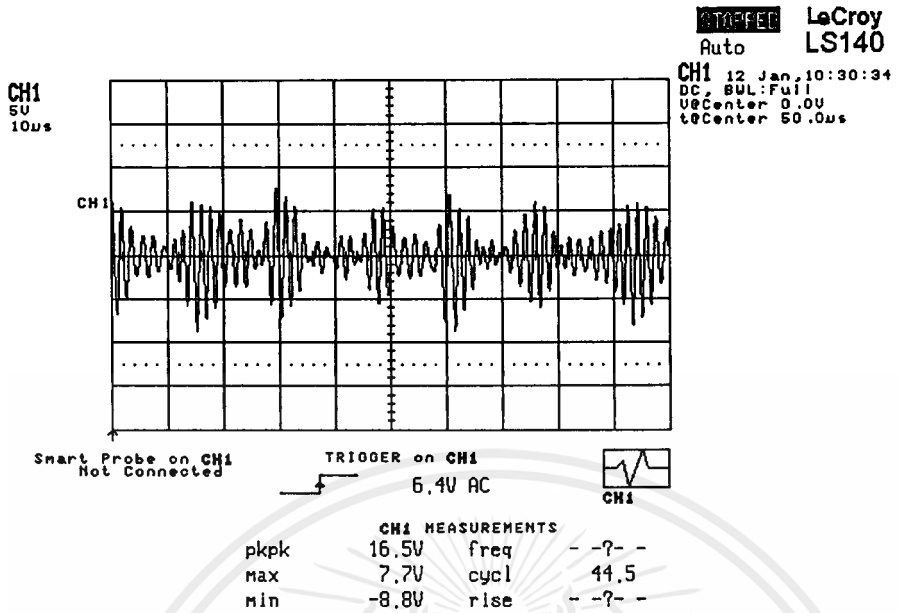


รูปที่ 5.9 แสดงสัญญาณ Output ของเครื่องส่ง 16 QAM

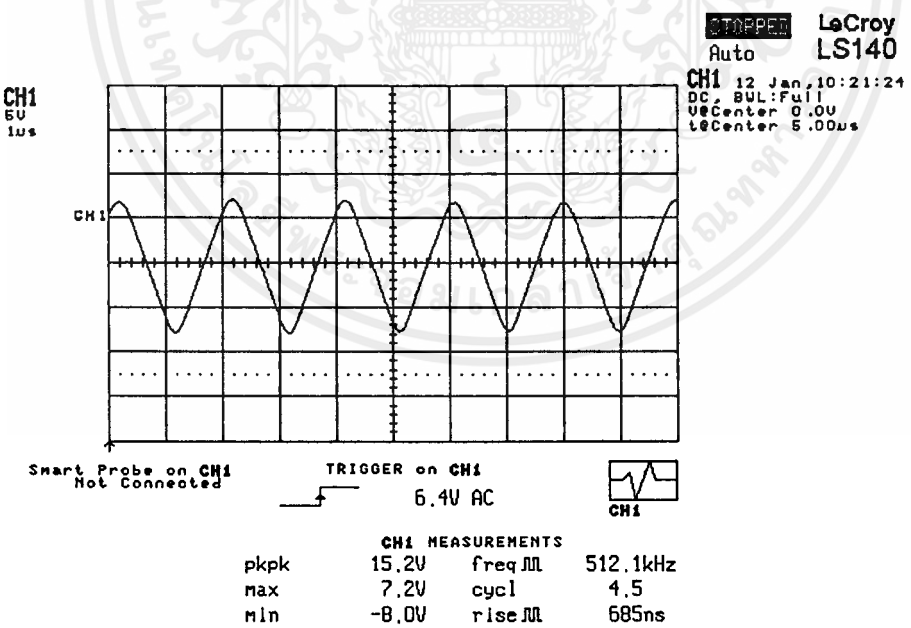


รูปที่ 5.10 แสดง Constellation Diagram ของเครื่องส่ง 16 QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

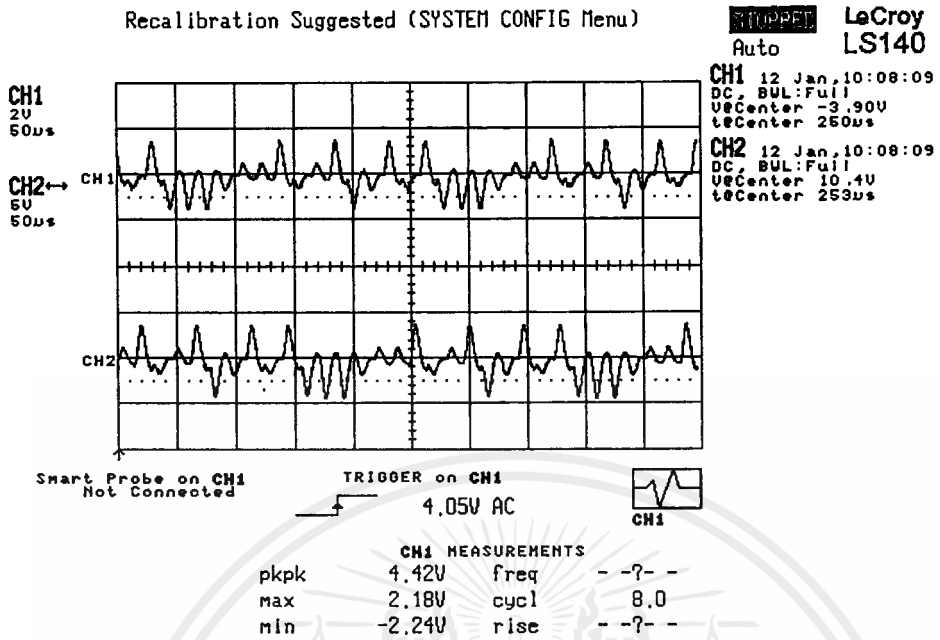


รูปที่ 5.11 แสดงสัญญาณ Input ของเครื่องรับ 16

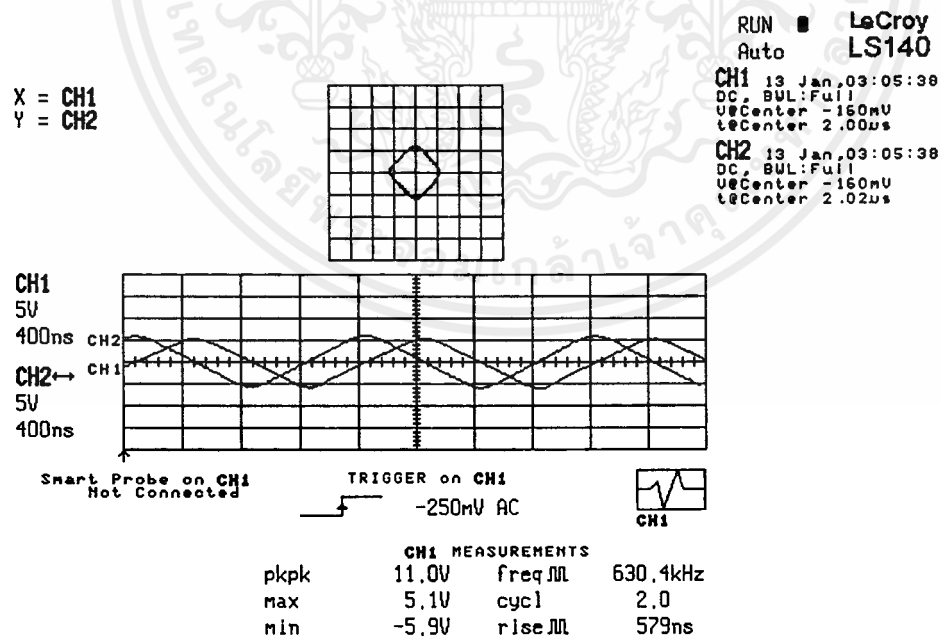


รูปที่ 5.12 แสดงสัญญาณ Pilot tone ที่กรองได้จากภาครับที่ ขา7 IC#TL084

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

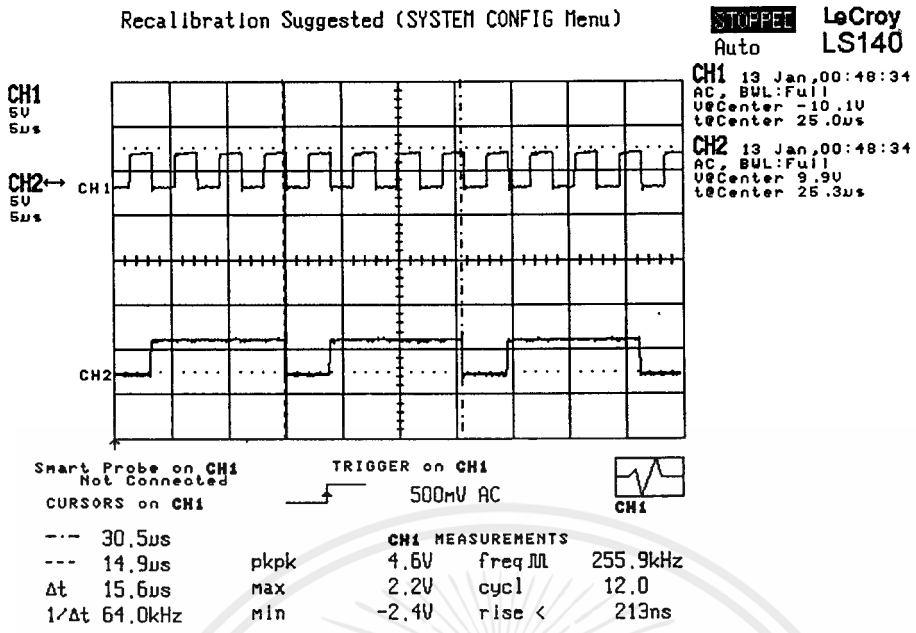


รูปที่ 5.13 (รูปบน) แสดงสัญญาณที่ดีมอดูเลทเป็นสัญญาณ 4 ระดับ ทางด้าน I ที่ ขา6 IC#LF351
(รูปล่าง) แสดงสัญญาณที่ดีมอดูเลทเป็นสัญญาณ 4 ระดับ ทางด้าน Q ที่ ขา6 IC#LF351

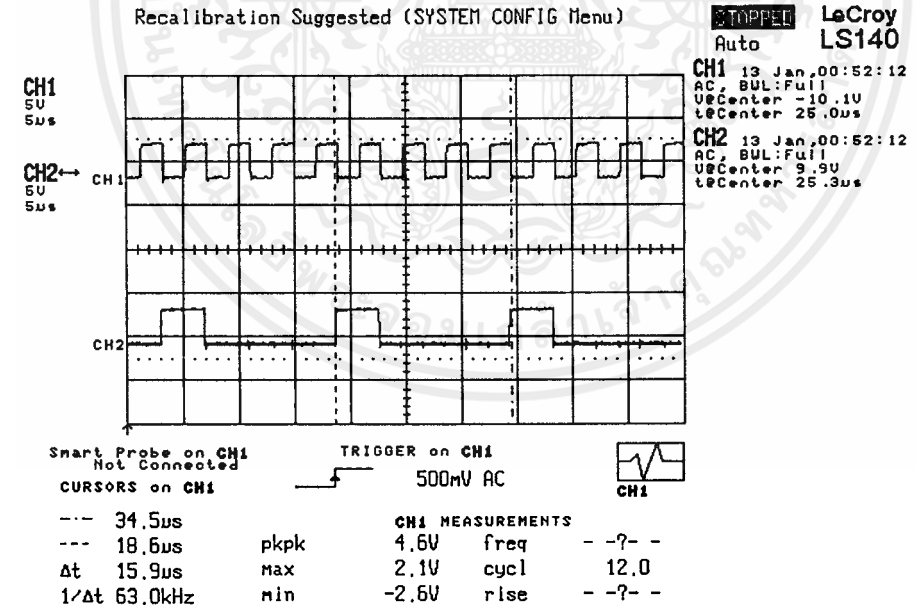


รูปที่ 5.14 (รูปบน) แสดงการวัดเฟสโดยปรับ Scope ที่ตำแหน่ง X-Y
(รูปล่าง) แสดงสัญญาณ Carrier ที่กู้ได้ที่ภาครับ ที่ขา7,14 IC#TL084

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

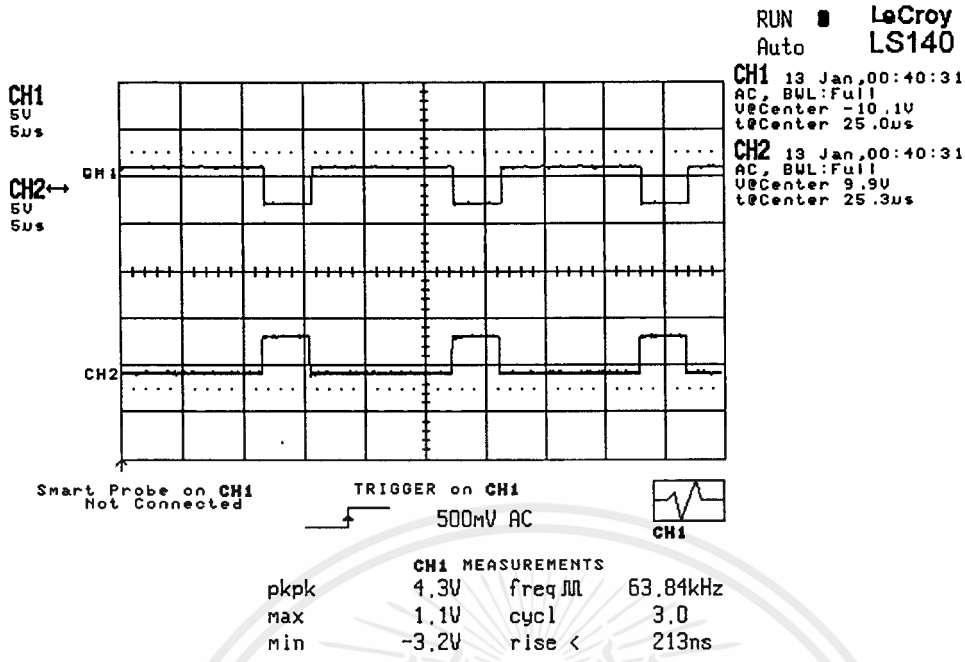


รูปที่ 5.15 (รูปบน) แสดงสัญญาณ Clock ความถี่ 256 kHz ที่กู้จากภาครับ (รูปล่าง) แสดงสัญญาณหน่วงเวลา 4 บิต เพื่อควบคุม Shift Register PISO

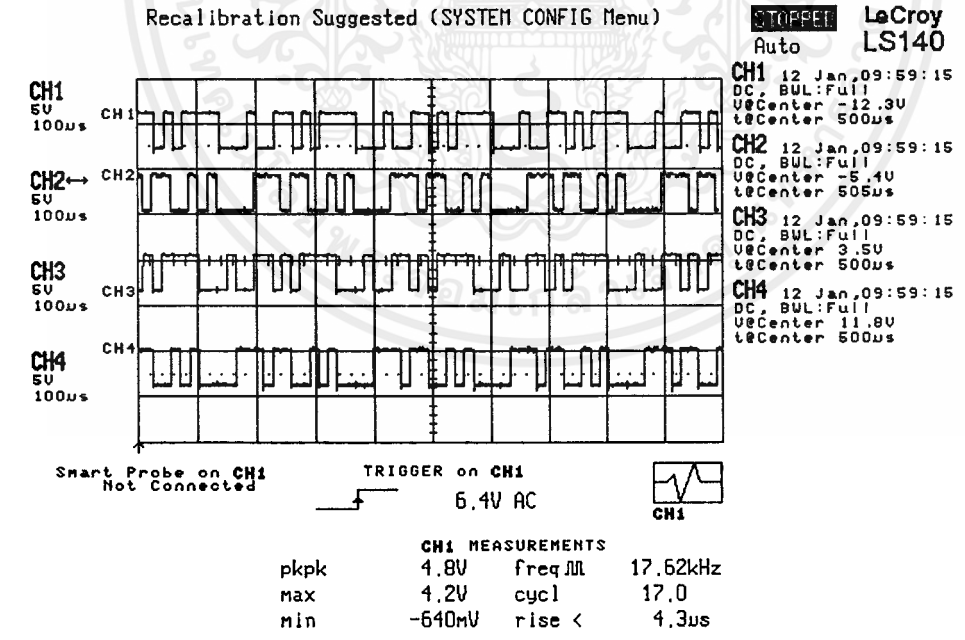


รูปที่ 5.16 (รูปบน) แสดงสัญญาณ Clock ความถี่ 256 kHz ที่กู้จากภาครับ (รูปล่าง) แสดงสัญญาณ Invert หน่วงเวลา 4 บิต เพื่อควบคุม Shift Register PISO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



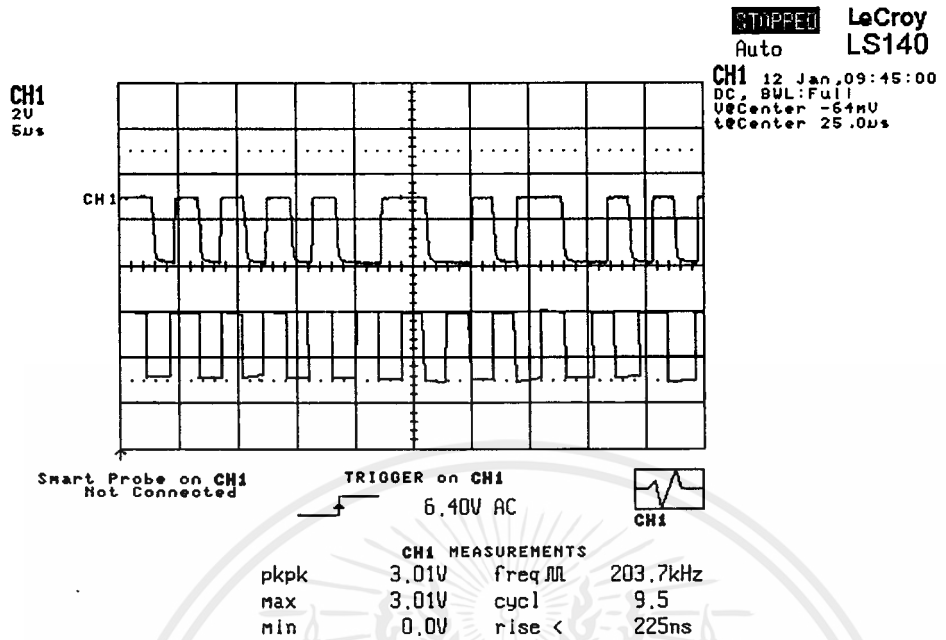
รูปที่ 5.17 แสดงการเปรียบเทียบระหว่างสัญญาณหน่วงเวลา และ Invert หน่วงเวลา 4 บิต



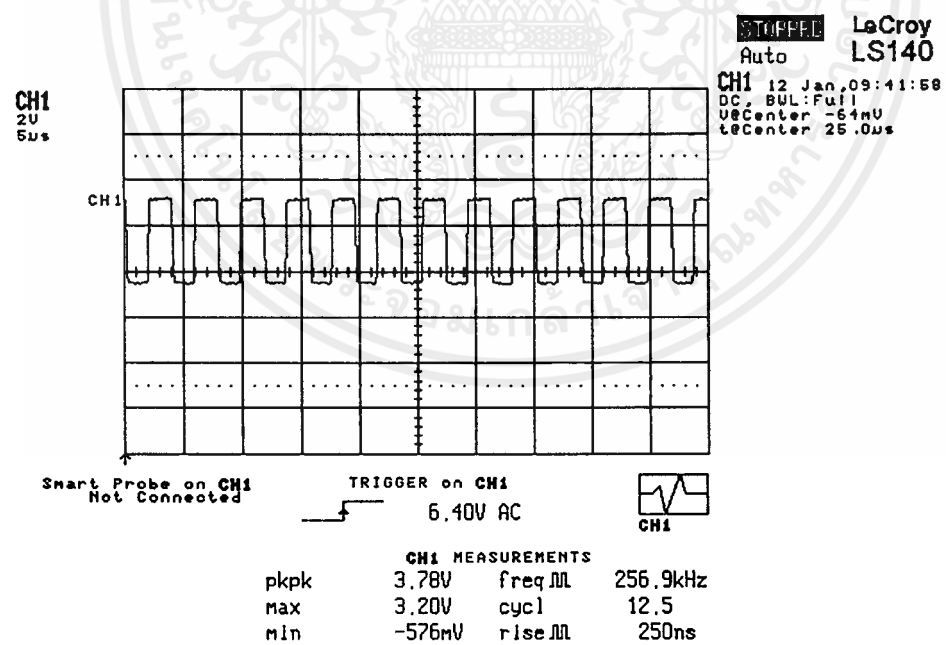
รูปที่ 5.18 แสดงสัญญาณ I,I',Q,Q' ก่อนทำการรวมบิต ที่ ขา11,12,13,14 IC#74165

(Shift Register PISO)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

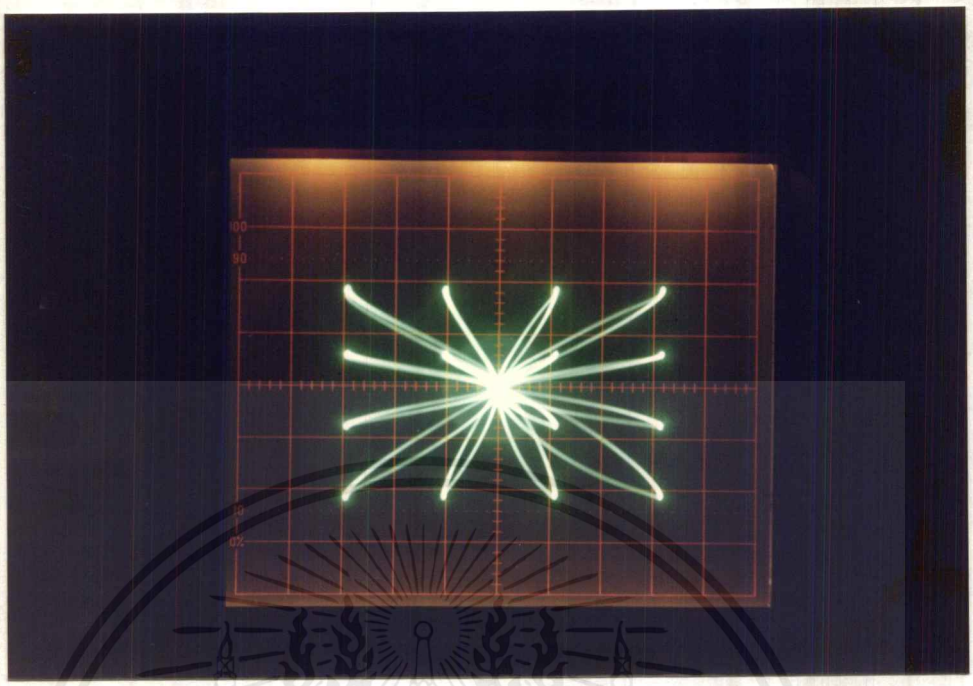


รูปที่ 5.19 แสดงสัญญาณ Output NRZ ที่ ขา9 IC#74175 เปรียบเทียบกับ Clock ที่กู้ได้

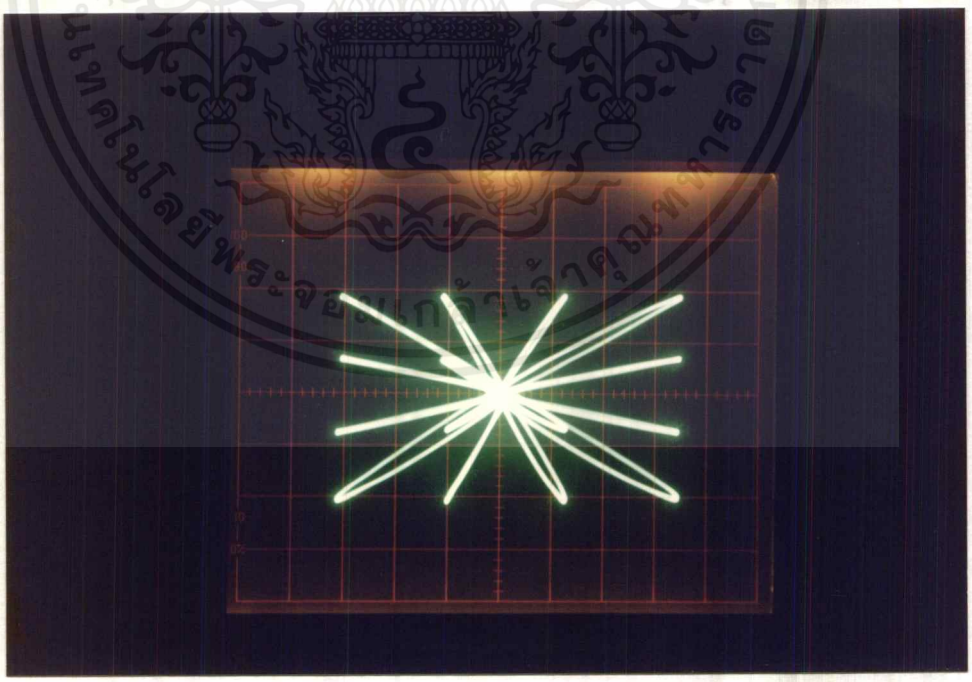


รูปที่ 5.20 แสดงสัญญาณ Clock 256 kHz ที่กู้ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

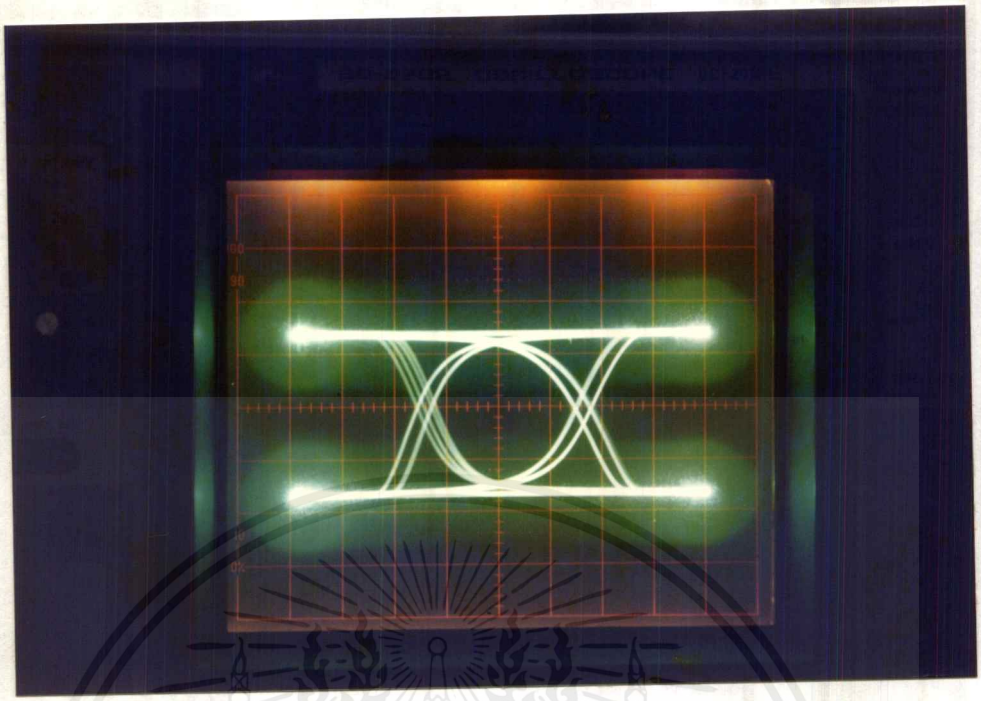


รูปที่ 5.21 แสดงภาพถ่าย Constellation Diagram 16 QAM

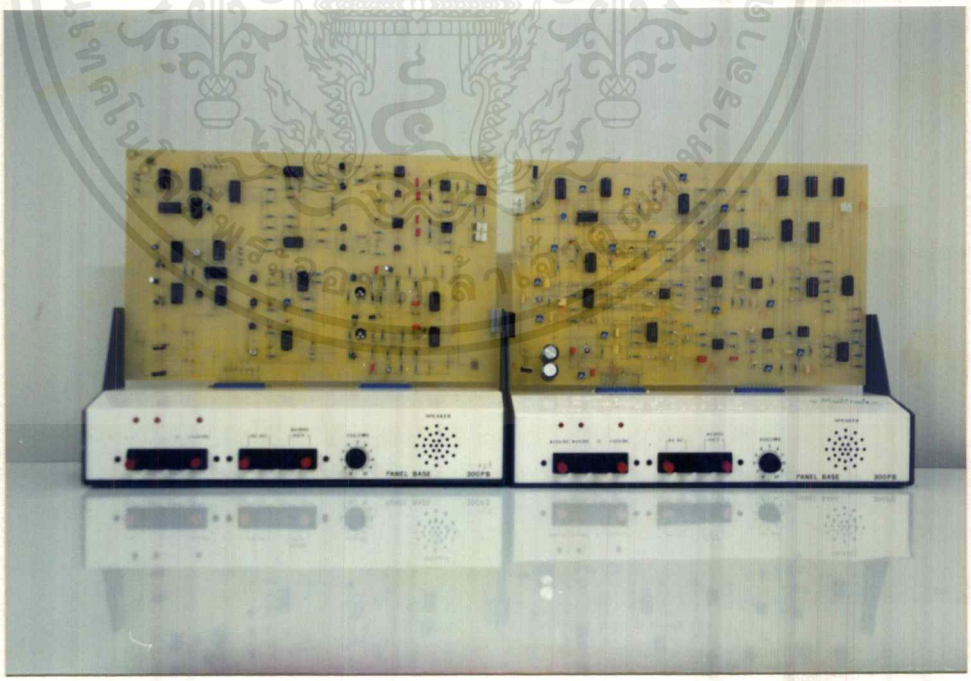


รูปที่ 5.22 แสดงภาพถ่าย Constellation Diagram 16 QAM ผ่าน LPF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.23 แสดงภาพถ่าย Eye Diagram



รูปที่ 5.24 แสดงภาพถ่ายเครื่องส่งและเครื่องรับ 16 QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปโครงงาน

ในโครงงานนี้ได้ศึกษาถึงวิธีการในการส่งสัญญาณดิจิตอลให้มีความเร็วในการรับส่งสูง โดยใช้หลักการของ 16 QAM (16 Quadrature Amplitude Modulation) ซึ่งมีความเร็วในการส่งสูงกว่าแบบ BPSK (Binary Phase Shift Keying) ในโครงงานนี้ใช้วงจรกำเนิดสัญญาณ NRZ เพื่อผลิตสัญญาณกึ่งแรมดอม หรือ PRBS (Pseudo Random Binary Sequnence) โดยใช้ Clock 256 kHz ป้อนให้ FlipFlop แต่ละตัว เอาต์พุตที่ได้จะเป็นสัญญาณ NRZ

ในการทดลองขั้นต้นประสบปัญหาในเรื่องของ Phase lock loop ไม่สามารถล็อคความถี่ได้ เนื่องจากสัญญาณของระบบกราวด์ เพราะทำการทดลองในแผงทดลองและได้ทำการแก้ไขวงจร โดยใช้ C ค่า 0.1 ไมโครฟารัด ต่อคร่อมระหว่างไฟบวกและไฟกราวด์ สัญญาณที่ได้ไม่นิ่งเท่าที่ควร ได้ใช้ C ปรับค่าได้ 120pF ต่อคร่อมระหว่างขา 6 กับขา 7 ของไอซี 4046 เพื่อให้ VCO ผลิตความถี่ได้ตามต้องการ ในส่วนวงจรหารความถี่ไม่ประสบปัญหามากนัก ในการกรองสัญญาณ Carrier Sine จาก VCO ได้สัญญาณไม่นิ่งเท่าที่ควร ส่วนของสัญญาณไพล็อตโทนก็เกิดปัญหาคล้ายๆกัน เนื่องจากจุด CUTOFF ของวงจร BPF ไม่ตรง ต้องใช้การปรับค่า R เพื่อช่วยในการตอบสนองความถี่ให้ดียิ่งขึ้น วงจรกู้สัญญาณนาฬิกา ในตอนแรกมีปัญหาอินพุตของสัญญาณไพล็อตโทนต่ำเกินไปที่จะป้อนให้กับ Buffer เป็นเพราะว่ามีสัญญาณรบกวนมาก จึงไม่มีเอาต์พุตจาก Buffer และเมื่อเริ่มกรองไพล็อตโทนได้ดีขึ้นทำให้มีเอาต์พุตจาก Buffer นำไปเป็นสัญญาณอ้างอิงของเฟสล็อคลูป เพื่อสามารถล็อคความถี่ได้ ทำให้ VCO สามารถผลิตความถี่ได้ตามต้องการ ซึ่งได้ใช้ C ปรับค่าได้ช่วยในการจูนความถี่โดยต่อคร่อมระหว่างขา 6 กับขา 7 ของไดซี 4046 วงจรบาลานซ์ดีมอดูเลเตอร์(Balance Demodulator) ในขั้นต้นทดลองโดยดีมอดูเลทสัญญาณ ที่ไม่ใช้สัญญาณ 16 QAM โดยการใช้การดีมอเลทแบบบาลานซ์มอดูเลเตอร์ ผลที่ได้สามารถดีมอดูเลทสัญญาณกลับคืนมาได้ แต่เมื่อทำการมอดูเลทสัญญาณแบบ 16 QAM ได้สัญญาณกลับมาไม่ดีเท่าที่ควร และเกิดปัญหาในเรื่องการปรับค่า รีซิสเตอร์ ในวงจรซึ่งยังเป็นปัญหาอยู่ด้วย

<u>การปรับปรุงเพื่อลดสัญญาณรบกวน</u>

-ปรับปรุงเรื่องแผ่นวงจรพิมพ์โดยการออกแบบให้อุปกรณ์วางอยู่บนแผ่นเดียวกัน

-ใช้ C ค่า 0.1 ไมโครฟารัด ต่อคร่อมไอซีที่ขาบวกไฟและกราวด์

-ในส่วนวงจรจ่ายไฟใช้หม้อแปลงที่มีการป้องกันหรือลดการแพร่สนามแม่เหล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] **นิกร สุขุตมตันติ** การออกแบบวงจรอิเล็คทรอนิกส์ พิมพ์ครั้งที่ 1 ตำราชุด วิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง,2536

[2] **ฉกาจ เปรมใจสุข** , พิชยา รัตนสัมฤทธิ์กุล , มนตรี ปานอินทร์ เครื่องรับส่งสัญญาณดิจิตอล 16 QAM ปริญญานิพนธ์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง,2540

[3] **สุพจน์ ปุณณชัยยะ** รอบรู้ Modem พิมพ์ครั้งที่1 โปรวิชั่น 2540

[4] เทคนิคการส่งข้อมูล เซมิคอนดัคเตอร์ เล่มที่ 79 , มิถุนายน – กรกฎาคม 2530

[5] **John L.Hilburn**, David E.Johnson,Manual of Active Filter Design , Department of Electrical Engineering Louisiana State University , Mcgraw Hill Book Company,1989

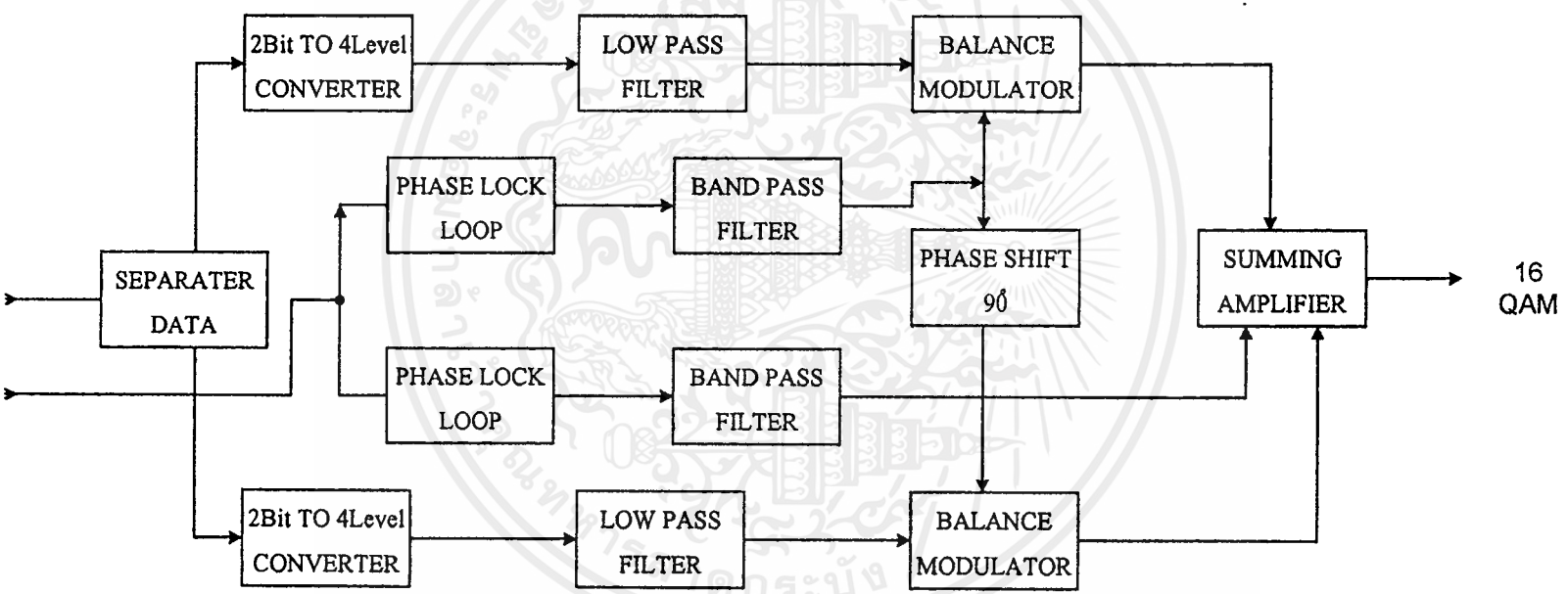
[6] C.C.Bissell , D.A. Chapman , Digital Signal Transmission, Cambridge University Press,1986

[7] **Denton J.Dailey** , Operational Amplifiers and Linear Integrated Circuits Theory and Applications , Mcgraw Hill Book Company,1984

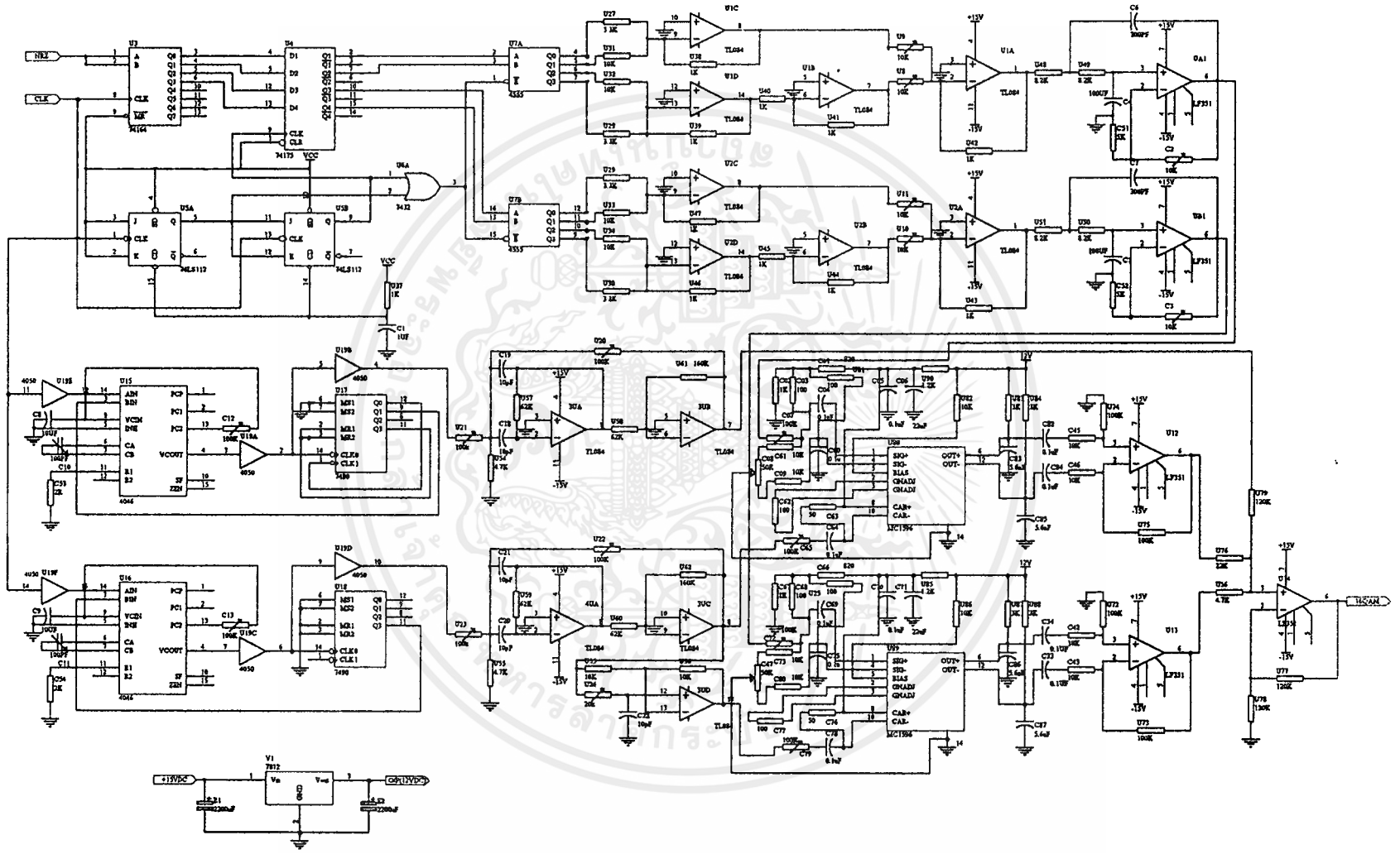
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

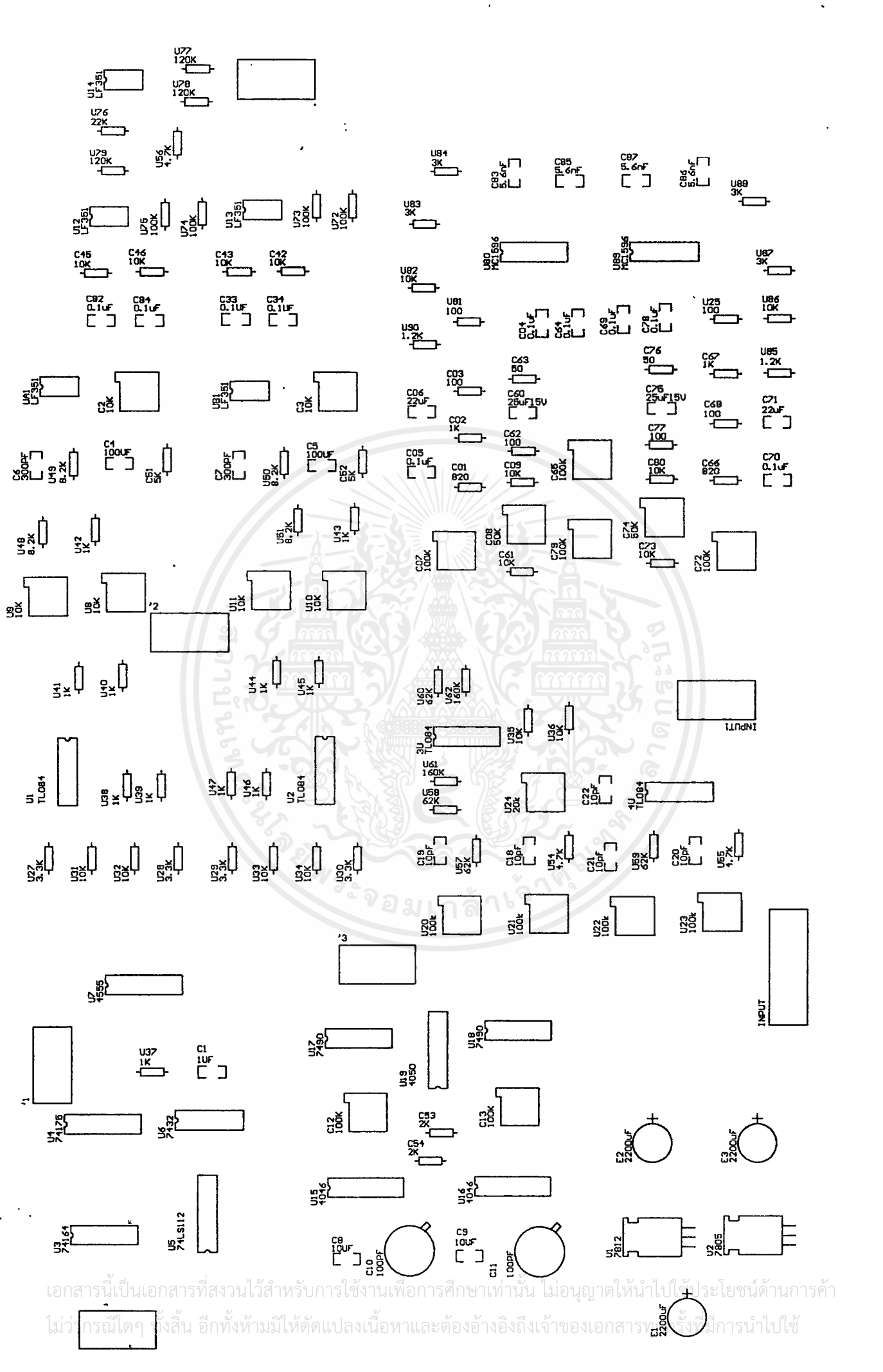
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

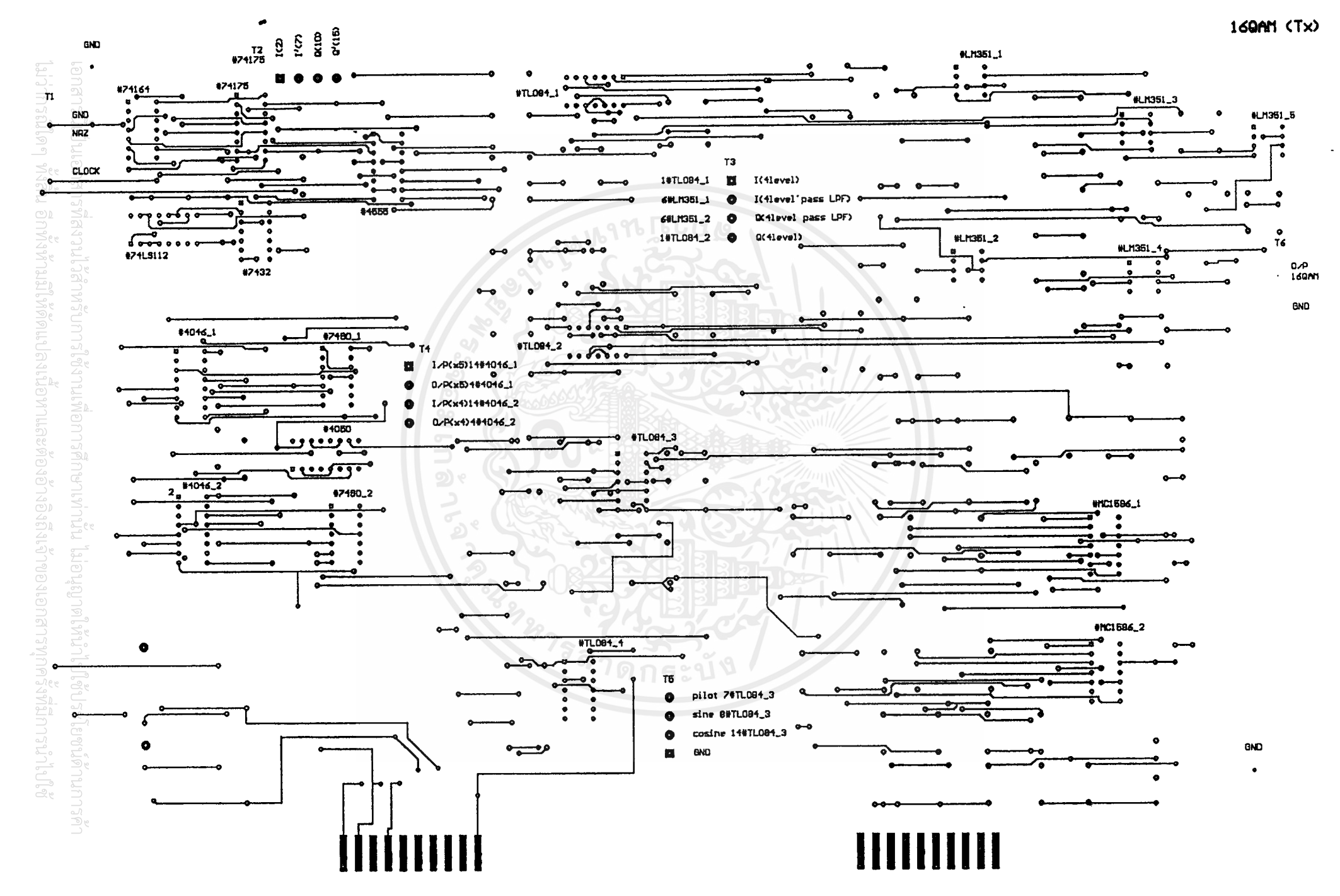


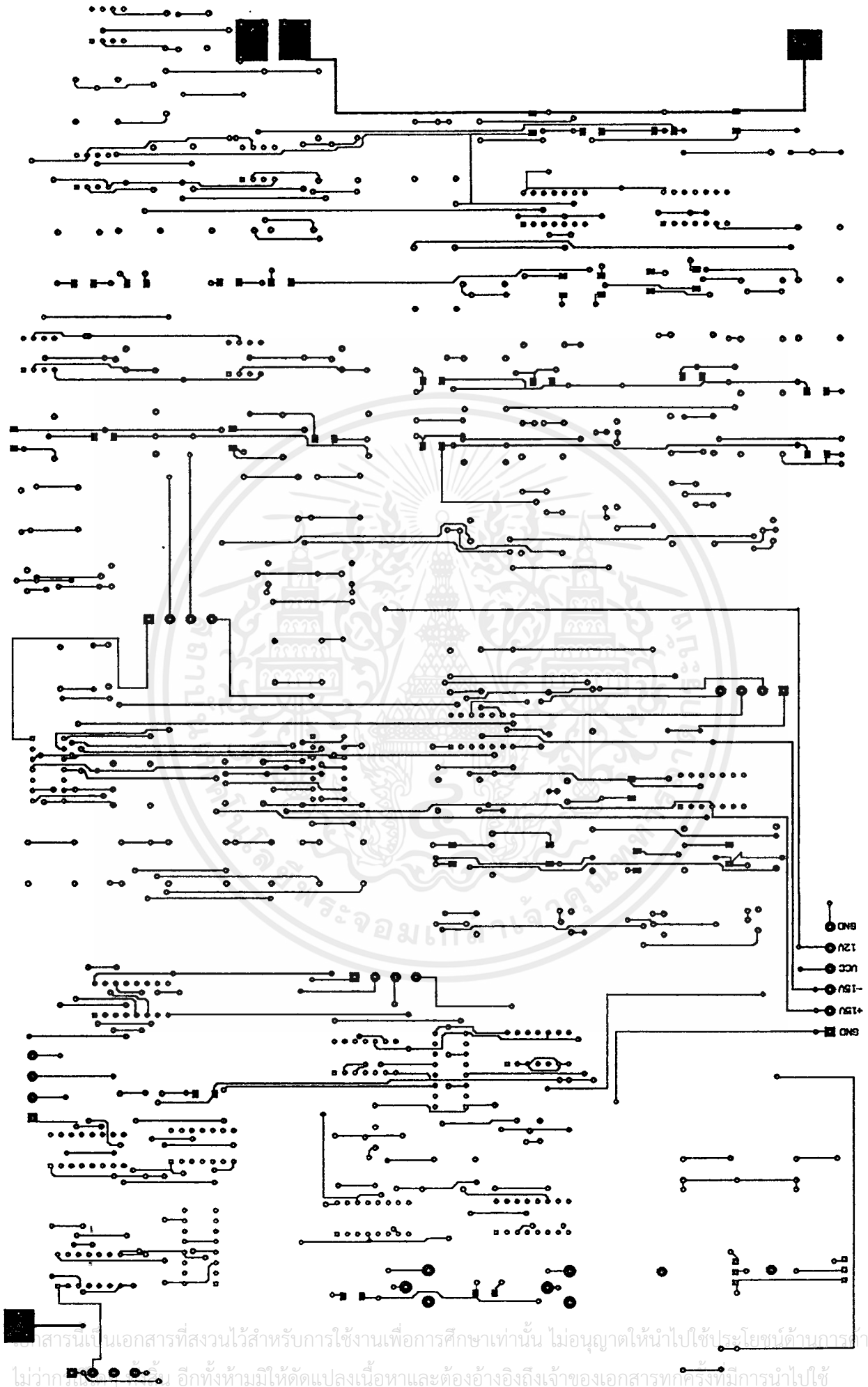
BLOCK DIAGRAM 16 QAM TRANSMITTER


NRZ
CLK
74164
74175
VCC
4555
4555
4012
74LS112
74LS112
TL084
TL084
TL084
TL084
TL084
TL084
TL084
TL084
LF351
LF351
LF351
LF351
4050
4050
4050
4050
4046
4046
7490
7490
MC1596
MC1596
+15V
-15V
12V
+15VDC
7812
GND
+12VDC

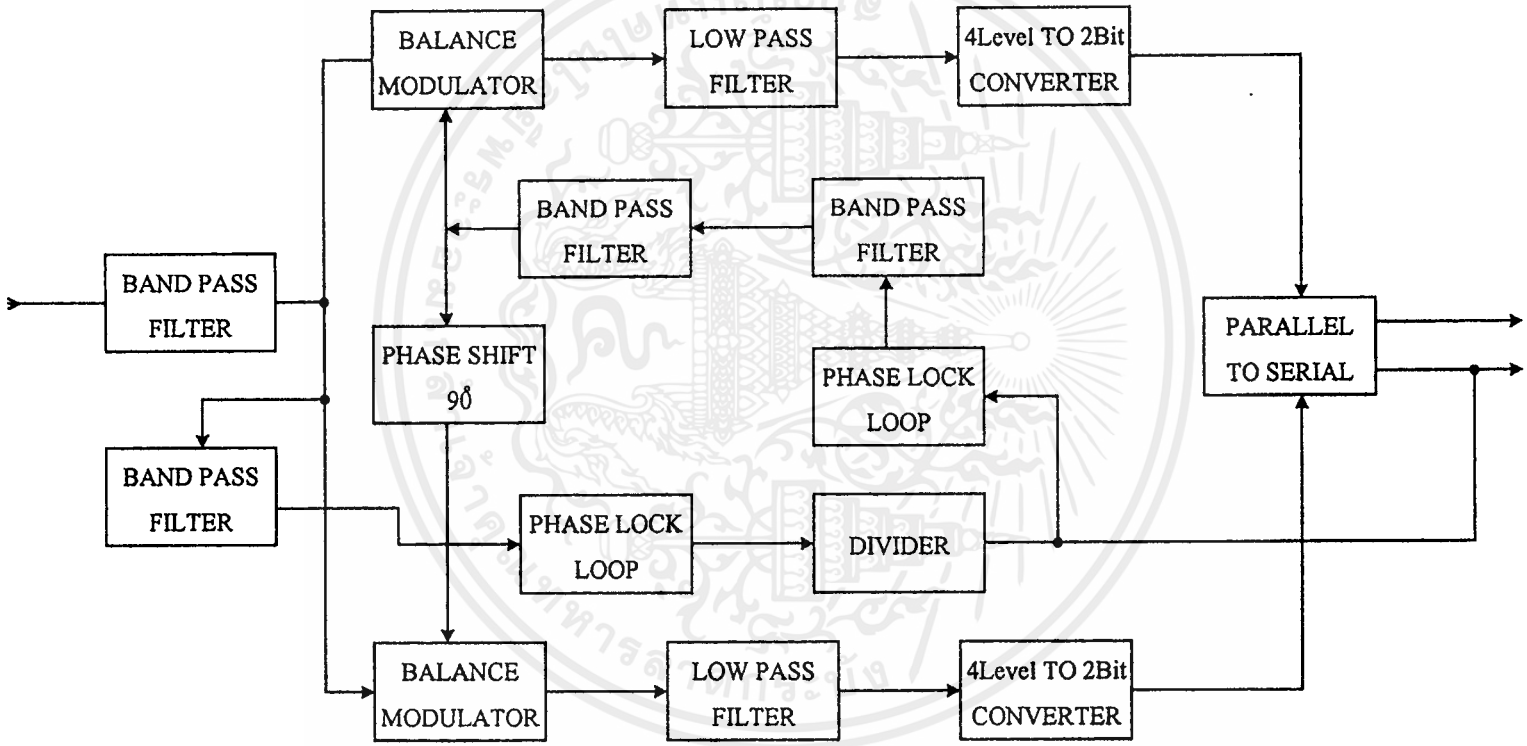


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

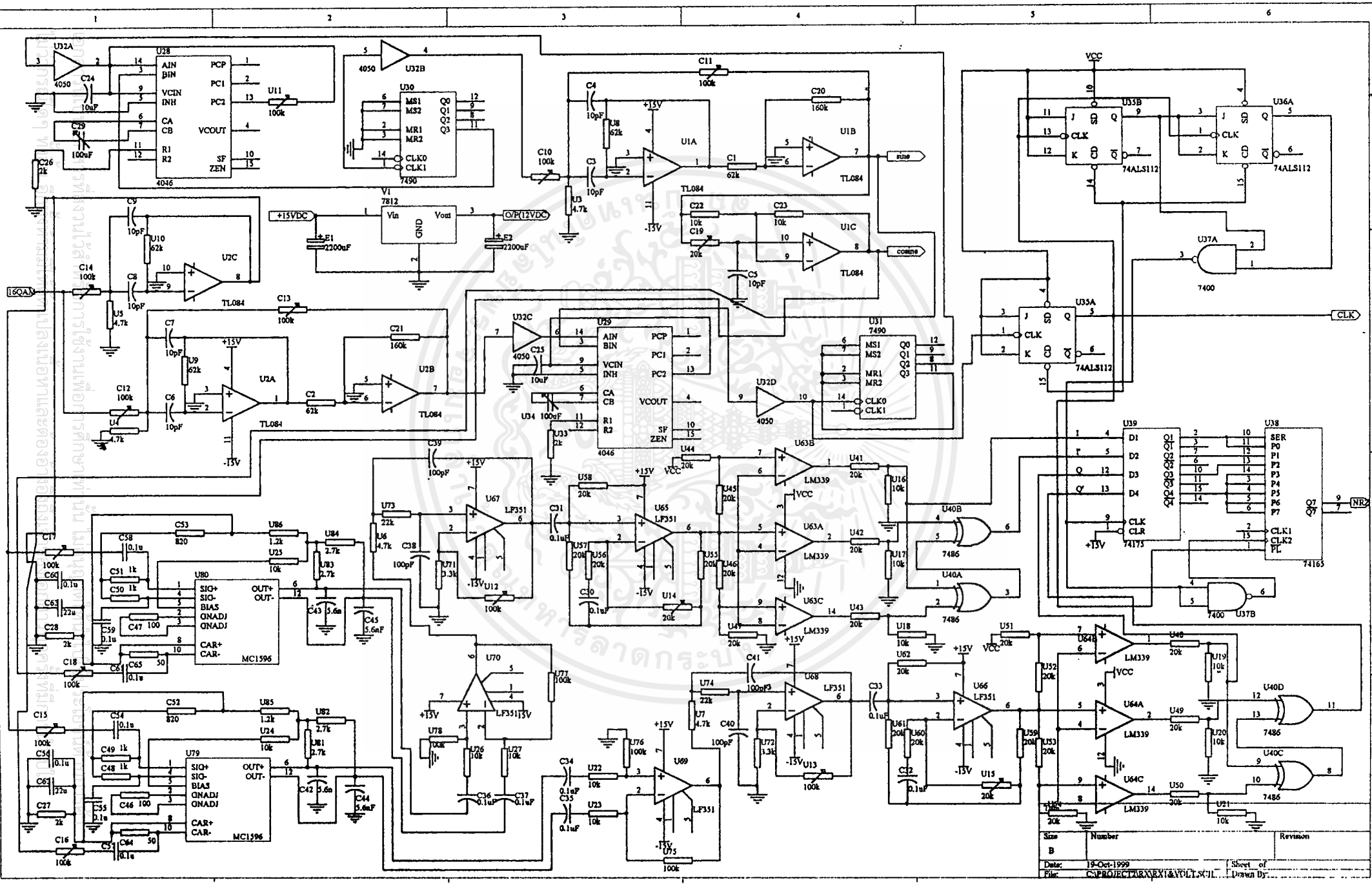

16QAM (Tx)
GND
T2
#74175
I(2)
I'(7)
Q(10)
Q'(15)
T1
GND
NRZ
CLOCK
#74164
#74175
#4555
#74LS112
#7432
#TL084_1
#LM351_1
#LM351_3
#LM351_5
T3
1#TL084_1
I(4level)
6#LM351_1
I(4level'pass LPF)
6#LM351_2
Q(4level pass LPF)
1#TL084_2
Q(4level)
#LM351_2
#LM351_4
T6
O/P
16QAM
GND
#4046_1
#7480_1
T4
#TL084_2
I/P(x5)14#4046_1
O/P(x5)4#4046_1
I/P(x4)1#4046_2
O/P(x4)4#4046_2
#4050
#TL084_3
#4046_2
2
#7480_2
#MC1596_1
#TL084_4
#MC1596_2
T5
pilot 7#TL084_3
sine 0#TL084_3
cosine 14#TL084_3
GND
GND

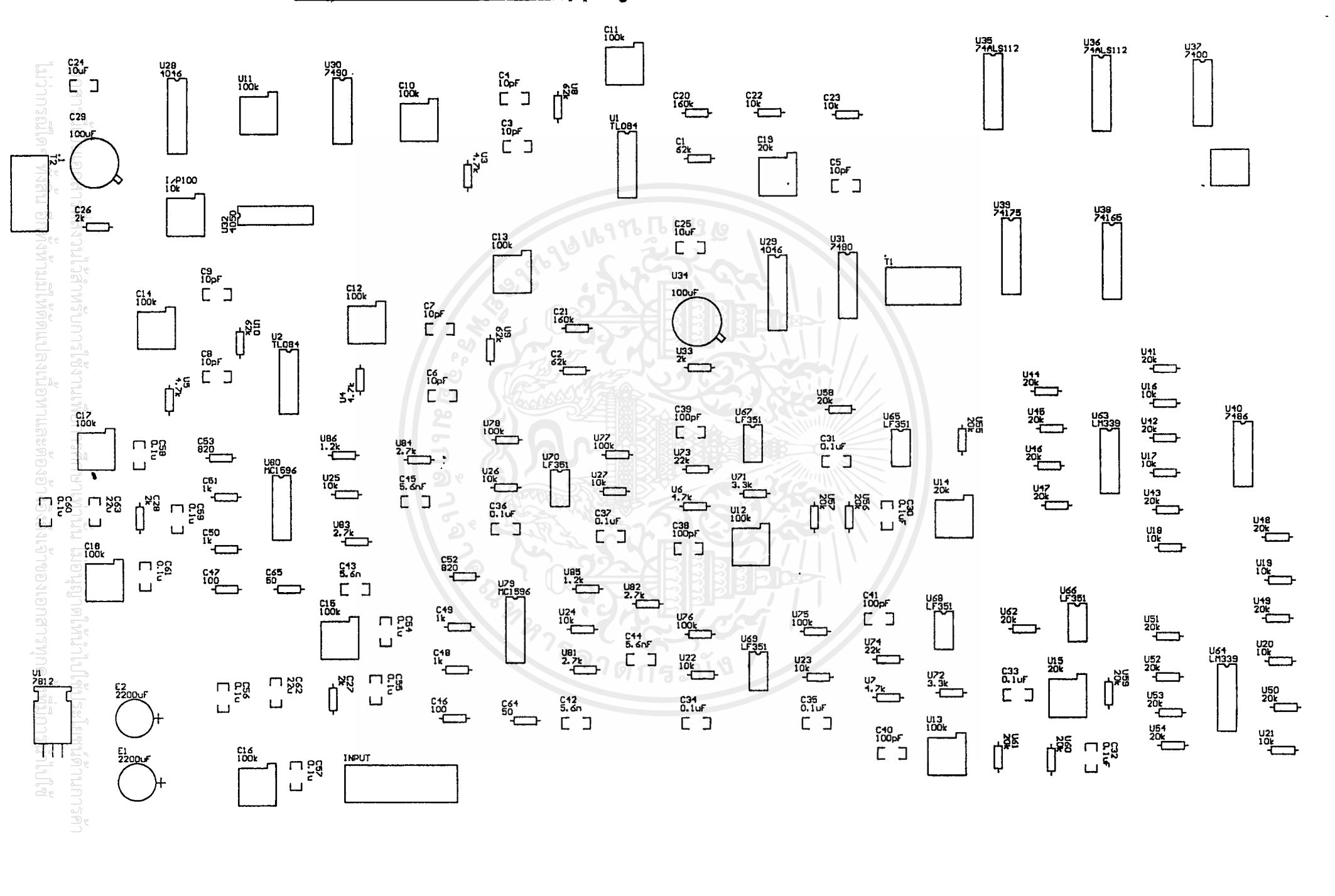


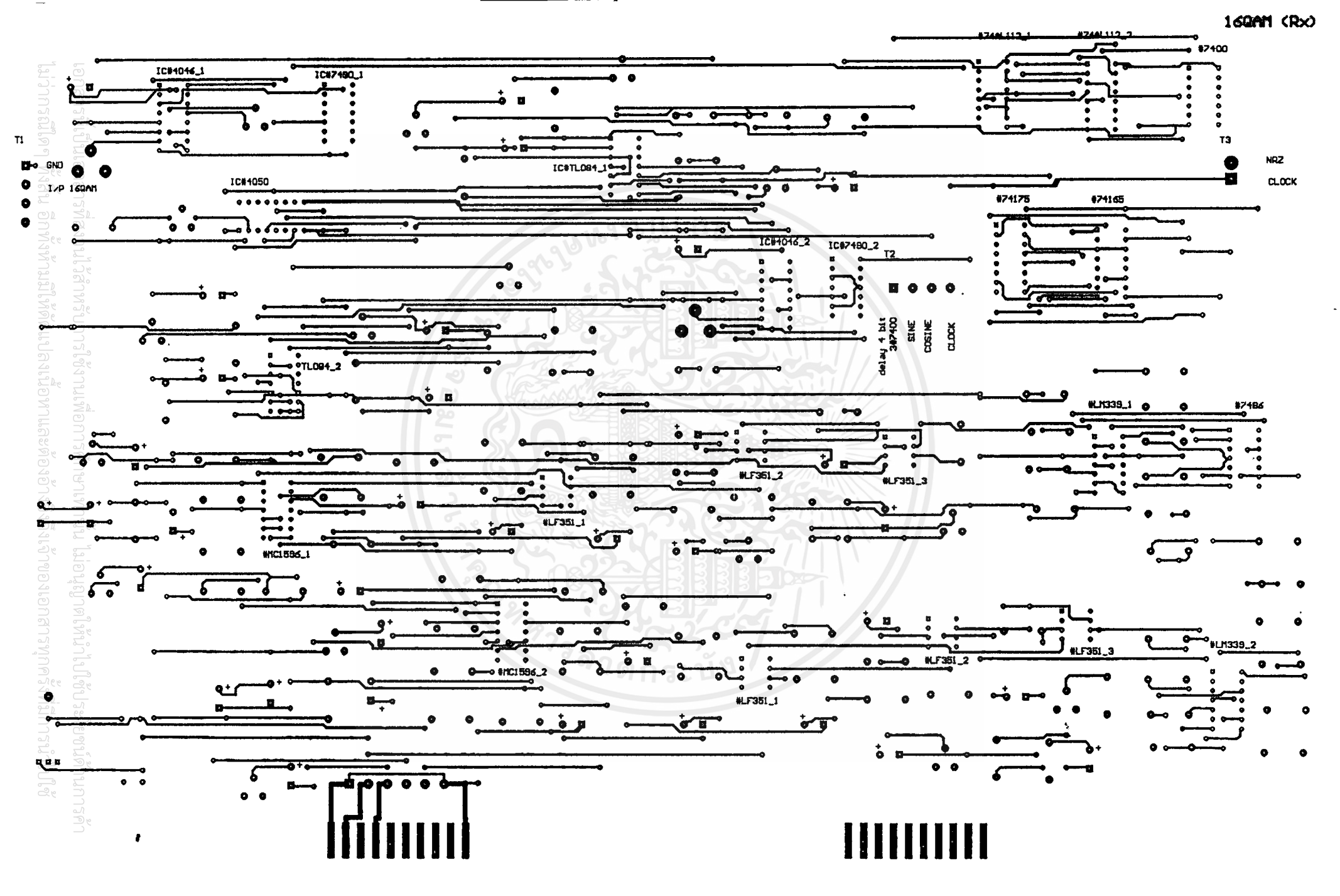
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

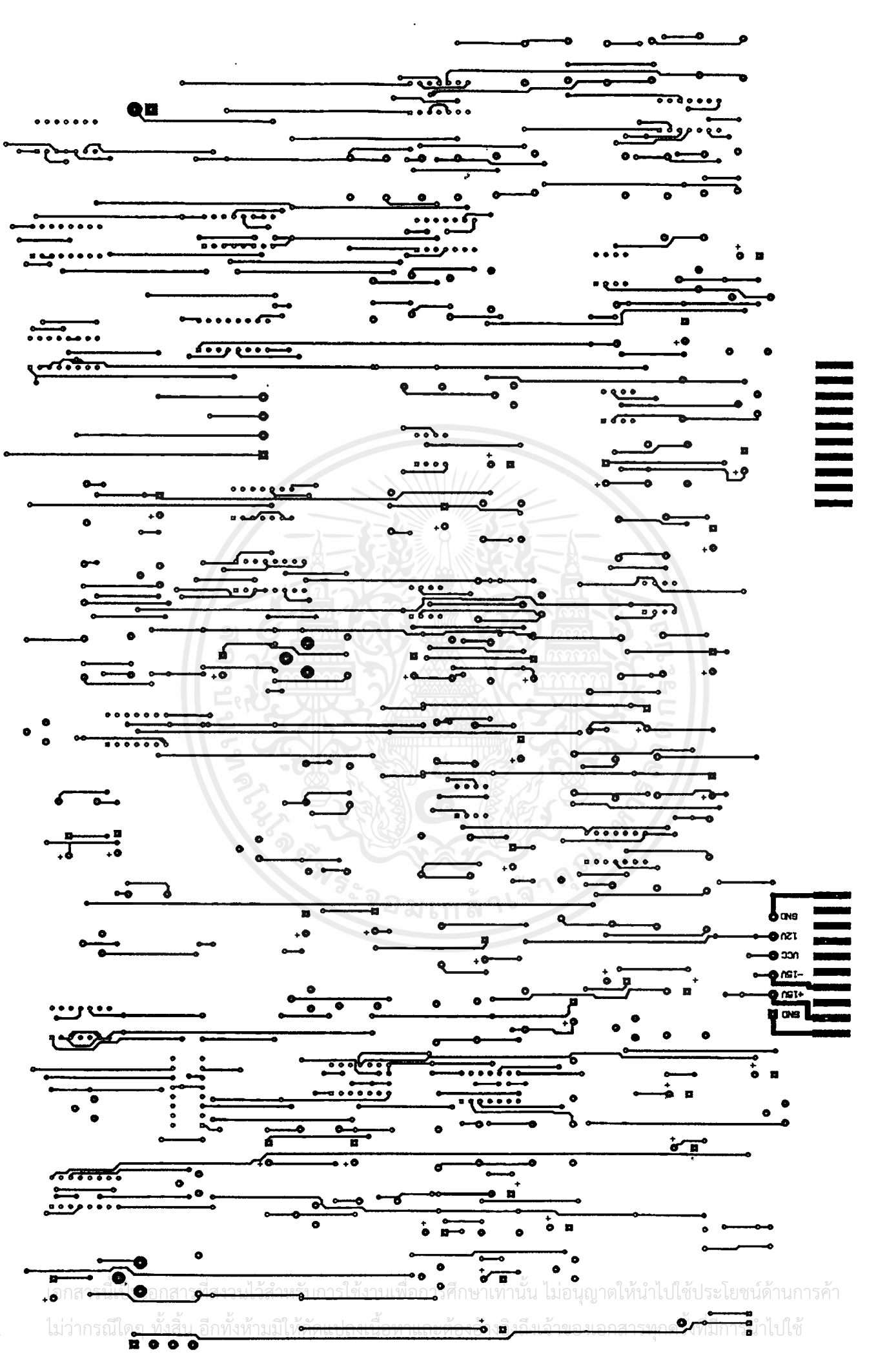


BLOCK DIAGRAM 16 QAM RECIEVER

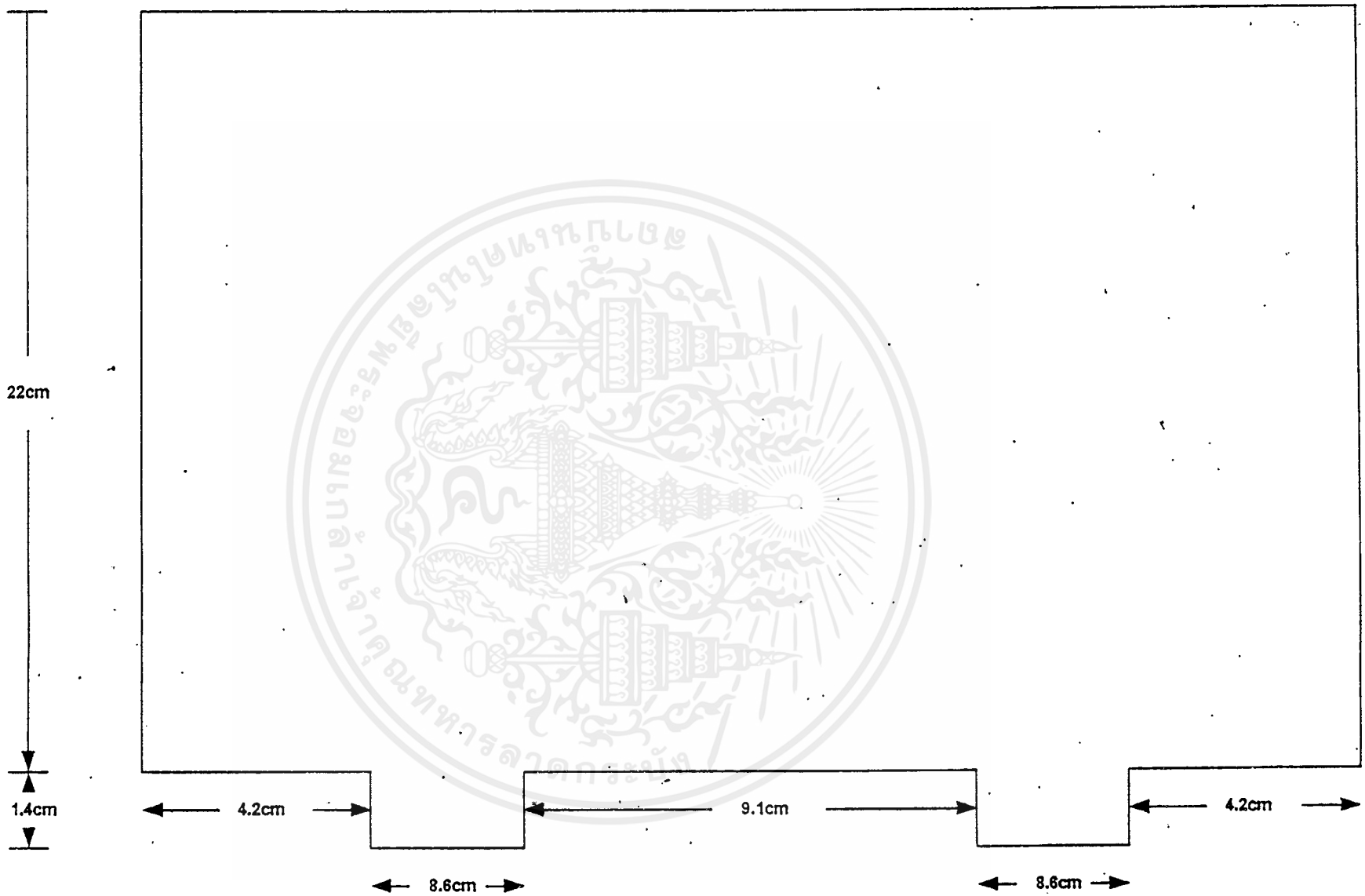

U32A
4050
U28
4046
AIN
BIN
VCIN
INH
CA
CB
R1
R2
PCP
PC1
PC2
VCOUT
SF
ZEN
U11
100k
C24
10uF
C29
100uF
C26
2k
U32B
4050
U30
7490
MS1
MS2
MR1
MR2
Q0
Q1
Q2
Q3
CLK0
CLK1
V1
7812
Vin
Vout
GND
+15VDC
O/P(12VDC)
E1
2200uF
E2
2200uF
C9
10pF
U10
62k
U2C
C14
100k
C8
10pF
16QAM
U5
4.7k
TL084
C13
100k
C7
10pF
U9
62k
U2A
C12
100k
C6
10pF
U1
4.7k
C2
62k
U2B
C21
160k
-15V
+15V
C11
100k
C4
10pF
U8
62k
U1A
C1
62k
C10
100k
C3
10pF
U3
4.7k
C20
160k
U1B
TL084
sine
C22
10k
C19
20k
C23
10k
U1C
cosine
C5
10pF
U32C
4050
U29
4046
C25
10pF
U34
100uF
U33
2k
U32D
4050
U31
7490
C39
100pF
U67
LF351
U73
22k
U6
4.7k
C38
100pF
U71
3.3k
U12
100k
C31
0.1uF
U58
20k
U65
LF351
U57
20k
U56
20k
C30
0.1uF
U14
20k
U44
20k
VCC
U63B
LM339
U63A
U63C
U45
20k
U55
20k
U46
20k
U41
20k
U42
20k
U43
20k
U16
10k
U17
10k
U18
10k
U40B
7486
U40A
7486
U39
74175
U38
74165
U37A
7400
U37B
7400
U35B
74ALS112
U36A
74ALS112
U35A
74ALS112
CLK
NRZ
C17
100k
C58
0.1u
C53
820
U86
1.2k
U84
2.7k
U25
10k
U83
2.7k
C60
0.1u
C51
1k
C50
1k
C63
22u
C28
2k
C59
0.1u
C47
100
C65
0.1u
C64
50
C18
100k
U80
MC1596
SIG+
SIG-
BIAS
GNADJ
GNADJ
CAR+
CAR-
OUT+
OUT-
C43
5.6n
C45
5.6nF
C15
100k
C54
0.1u
C52
820
U85
1.2k
U82
2.7k
U24
10k
U81
2.7k
C49
1k
C48
1k
C56
0.1u
C61
22u
C27
2k
C55
0.1u
C46
100
C62
0.1u
C16
100k
U79
MC1596
C42
5.6n
C44
5.6nF
U70
LF351
U77
100k
U78
100k
U26
10k
U27
10k
C36
0.1uF
C37
0.1uF
U69
LF351
U76
100k
U75
100k
C34
0.1uF
C35
0.1uF
U22
10k
U23
10k
U74
22k
U7
4.7k
C41
100pF
C40
100pF
U72
3.3k
U13
100k
U68
LF351
C33
0.1uF
U61
20k
U60
20k
C32
0.1uF
U15
20k
U66
LF351
U62
20k
U51
20k
U52
20k
U53
20k
U59
20k
U64B
U64A
U64C
LM339
U40
20k
U49
20k
U50
20k
U19
10k
U20
10k
U21
10k
U40D
7486
U40C
7486
Size
B
Number
Revision
Date:
19-Oct-1999
Sheet of
File:
C:\PROJECT\RX\RX1&VOLT.SCH
Drawn By:


C21 10uF
U28 4046
U11 100k
U30 7490
C10 100k
C4 10pF
C3 10pF
U8 62k
C11 100k
U1 TL084
C20 160k
C22 10k
C23 10k
C1 62k
C19 20k
C5 10pF
U35 74ALS112
U36 74ALS112
U37 7400
C29 100uF
T1
C26 2k
I/P100 10k
U32 4050
U3 4.7k
C25 10uF
U29 4046
U31 7490
T1
U39 74175
U38 74165
C13 100k
U34 100uF
C9 10pF
C14 100k
C12 100k
C7 10pF
C21 160k
U10 62k
U9 62k
U2 TL084
C8 10pF
C2 62k
U33 2k
U5 4.7k
U4 4.7k
C6 10pF
U41 20k
U44 20k
U16 10k
U45 20k
U42 20k
U63 LM339
U40 7486
U46 20k
U17 10k
C17 100k
U78 100k
C39 100pF
U67 LF351
U58 20k
U65 LF351
U55 20k
U16 20k
U43 20k
C58 0.1u
U86 1.2k
U84 2.7k
U27 100k
C31 0.1uF
U47 20k
U18 10k
C53 820
U73 22k
C60 0.1u
C63 22u
U80 MC1596
U70 LF351
U71 3.3k
U14 20k
U48 20k
C61 1k
U25 10k
C45 5.6nF
U26 10k
U27 10k
U6 4.7k
U57 20k
U56 20k
C30 0.1uF
C28 2k
C59 0.1u
C36 0.1uF
C37 0.1uF
U12 100k
U19 10k
C50 1k
U83 2.7k
C38 100pF
C18 100k
C52 820
U85 1.2k
U82 2.7k
C41 100pF
U68 LF351
U62 20k
U66 LF351
U49 20k
C61 0.1u
C47 100
C65 50
C43 5.6n
U79 MC1596
U24 10k
U76 100k
U75 100k
U74 22k
U72 3.3k
U51 20k
U20 10k
C15 100k
C54 0.1u
C49 1k
C44 5.6nF
U69 LF351
U23 10k
U52 20k
U61 LM339
C48 1k
U81 2.7k
U22 10k
U7 4.7k
C33 0.1uF
U15 20k
U59 20k
U53 20k
U50 20k
U1 7812
C56 0.1u
C62 22u
C57 2k
C55 0.1u
C46 100
C64 50
C42 5.6n
C34 0.1uF
C35 0.1uF
C40 100pF
U13 100k
U54 20k
U21 10k
E2 2200uF
U61 20k
U60 20k
C32 0.1uF
E1 2200uF
C16 100k
C67 0.1u
INPUT


16QAM (Rx)
IC#4046_1
IC#7490_1
T1
GND
I/P 16QAM
IC#4050
IC#TL084_1
#74LS112_1
#74LS112_2
#7400
T3
NRZ
CLOCK
#74175
#74165
IC#4046_2
IC#7490_2
T2
delay 4 bit 307400
SINE
COSINE
CLOCK
#TL084_2
#LM339_1
#7486
#LF351_2
#LF351_3
#LF351_1
#MC1596_1
#MC1596_2
#LF351_3
#LM339_2
#LF351_2
#LF351_1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


22cm
1.4cm
4.2cm
9.1cm
4.2cm
8.6cm
8.6cm

5432/7432 Quadruple 2-Input Positive-OR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S32	J①			W①						SN54LS32	J①			W①	SN5432	J①			W①					
	SN74S32	J①	N①								SN74LS32	J①	N①			SN7432	J①	N①							
FAIRCHILD	FM54S32/FM86S32	R①			F①						FM54LS32/FM86LS32	R①			F①	FM5432/FM9N32	D①			F①					
	FC74S32/FC86S32	R①	P①		F①						FC74LS32/FC9LS32	R①	P①		F①	FC7432/FC9N32	D①	P①							
MOTOROLA											SN74LS32		P①												
N.S.C.											DM74LS32		①			DM5432	J①	N①		W①	DM54L32				
											DM54LS32		①			DM7432	J①	N①			DM74L32				
PHILIPS	N74S32		①								N74LS32		①			N7432		①							
SIGNETICS																S5432	F①	A①		W①					
											N74LS32		A①			N7432	F①	A①							
SIEMENS																FLH631		①							
FUJITSU											74LS32		M①												
HITACHI											HD74LS32		P①			HD7432	①	P①							
MITSUBISHI											M53LS32		P①												
NEC											74LS32		C①												
TOSHIBA																									

Electrical Characteristics SN54LS32/SN74LS32

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

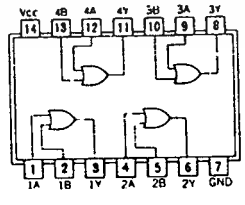
	SN54LS32 MIN	NOM	MAX	SN74LS32 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, I_{OH} = MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OL} = 4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		3.1	6.2	mA
I_{CCL}	Supply current		Total, outputs low		4.9	9.8	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		1.0		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15pF,	T_A = 25°C, R_L = 2kΩ		12	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output				14	22	ns

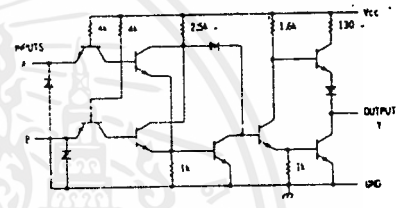
Pin Assignment (Top View)

①

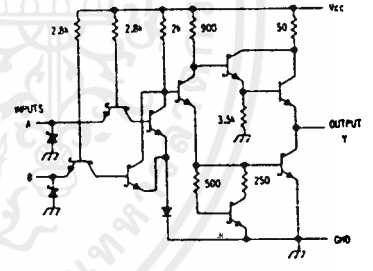


positive logic:
$Y = A + B$

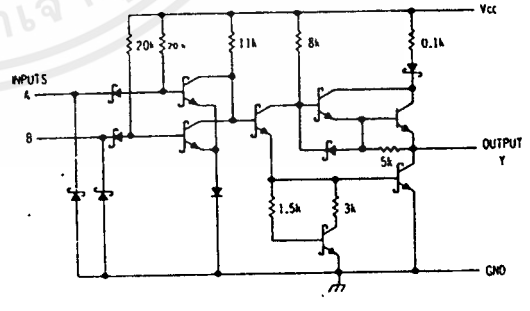
Schematics(each gate)



'32 CIRCUIT



'S32 CIRCUIT



'LS32 CIRCUIT

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions
‡All typical values are at V_{CC} = 5V, T_A = 25°C
*Not more than one output should be shorted at a time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S74	J①			W①	SN54H74	J①			W②	SN54LS74	J①			W①	SN5474	J①			W②	SN54L74	J①	N①	T②	
	SN74S74	J①	N①			SN74H74	J①	N①			SN74LS74	J①	N①			SN7474	J①	N①			SN74L74	J①	N①	T②	
FAIRCHILD	FM54S74/FM9S74	D①				FM54H74/FM9H74	D①			F②	FM54LS74/FM9LS74	R①			F①	FM5474/FM9N74	D①			F②					
	FC74S74/FC9S74	D①	P①			FC74H74/FC9H74	D①	P①		F②	FC74LS74/FC9LS74	R①	P①		F①	FC7474/FC9N74	D①	P①							
MOTOROLA											SN74LS74		P①												
N.S.C.						DM54H74	J①	N①			DM54LS74		P①			DM5474	J①	N①		W②	DM54L74	J①	N①		F②
	DM74S74		N①			DM74H74	J①	N①			DM74LS74					DM7474	J①	N①			DM74L74	J①	N①		F②
PHILIPS																FJJ131/7474		①							
	N74S74		①			GJJ131/74H74		①			N74LS74		①												
SIGNETICS	S54S74					S54H74	F①	A①		W①						S5474	F①	A①		W②					
	N74S74					N74H74	F①	A①			N74LS74		A①			N7474	F①	A①							
SIEMENS																FLJ141		①							
FUJITSU											74LS74		M①			MB420	①	M①							
HITACHI	HD74S74		①	P①							HD74LS74		P①			HD7474/HD2510	①	P①							
MITSUBISHI	M74S74			P①							M74LS74		P①			M5327/M5374		P①							
NEC	74S74			C①							74LS74		C①			μPB214	D①	C①							
TOSHIBA																TD3474A		P①							

Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

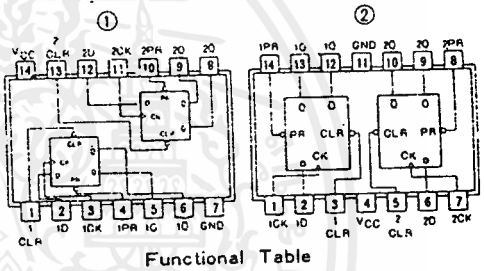
		SN54LS74 MIN	NOM	MAX	SN74LS74 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Pulse width, t_w	Clock high	25			25			ns
	Preset or clear low	25			25			
Input setup time, t_{setup}	High-level data	25‡			25‡			ns
	Low-level data	20‡			20‡			
Input hold time, t_{hold}		5‡			5‡			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=MAX	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=4mA		0.25	0.4	V
I_I	Input current at maximum input voltage: D, J, K.	V_{CC}=MAX, V_I=7V			0.1	mA
	Clear				0.2	
	Preset				0.2	
	Clock				0.1	
I_{IH}	High-level input current: D, J, K.	V_{CC}=MAX, V_I=2.7V			20	μA
	Clear				40	
	Preset				40	
	Clock				20	
I_{IL}	Low-level input current: D, J, K.	V_{CC}=MAX, V_I=0.4V			−0.4	mA
	Clear				−0.8	
	preset				−0.8	
	Clock				−0.4	
I_{OS}	Short-circuit output current*: Series 54LS	V_{CC}=MAX	−20		−100	mA
	Series 74LS		−20		−100	
I_{CC}	Supply current (Average per flip-flop)	V_{CC}=MAX, See Note 1		4	8	mA
f	clock frequency	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	25	33		MHz
t_{PLH}	from clear, preset or clock (as appropriate) to Q or Q̄			13	25	ns
t_{PHL}				25	40	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
*Not more than one output should be shorted at a time.
#t_{PLH}=propagation delay time, low-to-high-level output.
t_{PHL}=propagation delay time, high-to-low-level output.
§ The arrow indicates the edge of the clock pulse used for [illegible] the rising edge.

Pin Assignments (Top View)

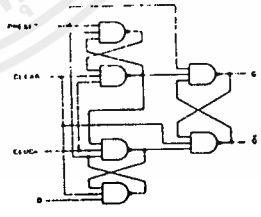


Functional Table

'74, 'H74, 'LS74, 'S74 (See Note 2)

INPUTS PRESET	CLEAR	CLOCK	D	OUTPUTS Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$

Functional Block Diagram



74 'S74, 'H74 'LS74, L74 DUAL D FLIP FLOP WITH CLEAR AND PRESET

NOTES: 1. With all outputs open, I_{CC} is measured with the Q and Q̄ outputs high in turn. At the time of measurement, the clock input is grounded.
2. H=high level (steady state), L=low level (steady state), X=irrelevant
↑=transition from low to high level.
On the level of Q before the indicated input conditions were established
*This configuration is nonstable, that is, it will not persist when preset and clear inputs return to their inactive (high) level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5486 / 7486 Quadruple 2-Input Exclusive-OR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S86	J①			W①						SN54LS86	J①			W①	SN5486	J①			W①	SN54L86	J②N②		T③	
	SN74S86	J①N①									SN74LS86	J①N①				SN7486	J①N①				SN74L86	J②N②		T③	
FAIRCHILD	FM54S86/FM9S86	D①			F①						FM54LS86/FM9LS86	D①			F①	FM5486/FM9N86	D①			F①					
	FC74S86/FC9S86	D①	P①								FC74LS86/FC9LS86	D①	P①		F①	FC7486/FC9N86	D①	P①							
MOTOROLA											SN74LS86		P①			MC7486		P①							
											DM54LS86		P①			DM5486	J①	N①		W①	DM54L86	J②N②			F①
N.S.C	DM74S86		N①								DM74LS86		P①			DM7486	J①	N①			DM74L86	J②N②			F①
PHILIPS	N74S86										N74LS86		D①			FJH271/7486		D①							
SIGNETICS	S54S86															S5486	F①	A①		W①					
	N74S86										N74LS86		A①			N7486	F①	A①							
SIEMENS																FLH341		D①							
FUJITSU											74LS86		M①			MB449		D①	M①						
HITACHI	HD74S86		P①								HD74LS86		P①			HD7486/HD2526		D①	P①						
MISUBISHI											M74LS86		P①			M53286		P①							
NEC											74LS86		C①			μPB2086	D①								
TOSHIBA																TD7486		P①							

Electrical Characteristics SN54LS86/SN74LS86

absolute maximum ratirgs over operatirng free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7 V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

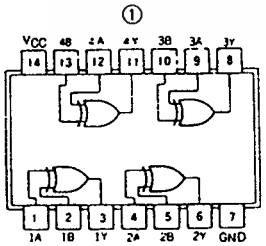
	SN54LS86			SN74LS86			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−800			−800	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER *			TEST CONDITIONS †		SN74LS86 MIN	SN74LS86 TYP‡	SN74LS86 MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_I	Input clamp voltage		V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max, I_{OH} = −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 4mA		0.25	0.4	V
				I_{OL} = 8mA		0.35	0.5	
I_I	Input current at maximum input voltag		V_{CC} = MAX, V_I = 7V				0.2	mA
I_{IH}	High-level input current		V_{CC} = MAX, V_I = 2.7V				40	μA
I_{IL}	Low-level input current		V_{CC} = MAX, V_I = 0.4V				−0.8	mA
I_{OS}	Short-circuit output current *		V_{CC} = MAX,		−5		−42	mA
I_{CC}	Supply current		V_{CC} = MAX, See Note 2			6.1	10	mA
t_{PLH}	from A or B input	Other input low	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ			12	23	ns
t_{PHL}						10	17	ns
t_{PLH}	from A or B input	Other input high				20	30	ns
t_{PHL}						13	22	ns

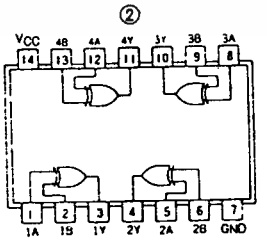
Pin Assignments (Top View)

①



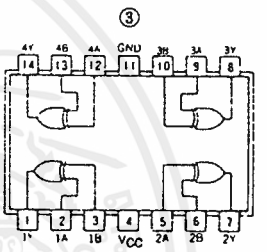
positive logic : $Y = A \oplus B = \overline{A}B + A\overline{B}$

②



positive logic : $Y = A \oplus B = \overline{A}B + A\overline{B}$

③



positive logic : $Y = A \oplus B = \overline{A}B + A\overline{B}$

Function Table

INPUTS A	INPUTS B	OUTPUT Y
L	L	L
L	H	H
H	L	H
H	H	L

H = High-level L = Low-level

NOTE : I_{CC} is measured with the inputs grounded and the outputs open.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C
* Not more than one output should be shorted at a time.
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7490, LS90
Counters

Decade Counter
Product Specification

Logic Products

DESCRIPTION

The '90 is a 4-bit, ripple-type Decade Counter. The device consists of four master-slave flip-flops internally connected to provide a divide-by-two section and a divide-by-five section. Each section has a separate Clock input to initiate state changes of the counter on the HIGH-to-LOW clock transition. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used for clocks or strobes.

A gated AND asynchronous Master Reset (MR_1·MR_2) is provided which overrides both clocks and resets (clears) all the flip-flops. Also provided is a gated AND asynchronous Master Set (MS_1·MS_2) which overrides the clocks and the MR inputs, setting the outputs to nine (HLLH).

Since the output from the divide-by-two section is not internally connected to the succeeding stages, the device may be operated in various counting modes. In a BCD (8421) counter the $\overline{CP}_1$ input must be externally connected to the Q_0 output. The $\overline{CP}_0$ input receives the incoming count producing a BCD count sequence. In a symmetrical Bi-quinary divide-by-ten counter the Q_3 output must be connected externally to the $\overline{CP}_0$ input. The input count is then applied to the CP_1 input and a divide-by-ten square wave is obtained at output Q_0. To operate as a divide-by-two and a divide-by-five counter no external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function ($\overline{CP}_0$ as the input and Q_0 as the output). The $\overline{CP}_1$ input is used to obtain a divide-by-five operation at the Q_3 output.

TYPE	TYPICAL f_{MAX}	TYPICAL SUPPLY CURRENT
7490	30MHz	30mA
74LS90	42MHz	9mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGE V_{CC} = 5V ±5%; T_A = 0°C to +70°C
Plastic DIP	N7490N, N74LS90N

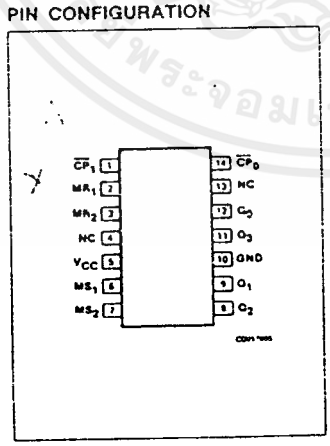
NOTE:
For information regarding devices processed to Military Specifications, see the Signetics Military Products Data Manual.

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

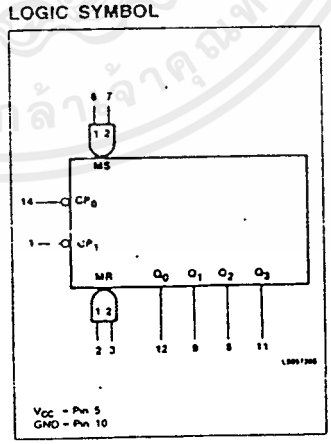
PINS	DESCRIPTION	74	74LS
$\overline{CP}_0$	Input	2ul	6LSul
$\overline{CP}_1$	Input	4ul	8LSul
MR, MS	Inputs		1ul
Q_0 – Q_3	Outputs	10ul	10LSul

NOTE:
Where a 74 unit load (ul) is understood to be 40μA I_{IH} and – 1.6mA I_{IL}, and a 74LS unit load (LSul) is 20μA I_{IH} and – 0.4mA I_{IL}.

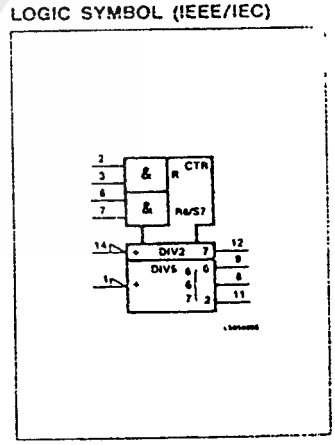
PIN CONFIGURATION



LOGIC SYMBOL

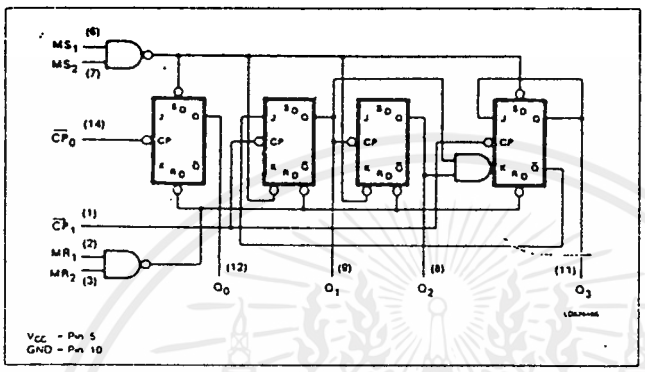


LOGIC SYMBOL (IEEE/IEC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



MODE SELECTION — FUNCTION TABLE

RESET/SET INPUTS				OUTPUTS			
MR_1	MR_2	MS_1	MS_2	Q_0	Q_1	Q_2	Q_3
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
H	L	L	X	Count			

H = HIGH voltage level
L = LOW voltage level
X = Don't care

BCD COUNT SEQUENCE — FUNCTION TABLE

COUNT	OUTPUTS			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

NOTE:
Output Q_0 connected to input $\overline{CP}_1$.

ABSOLUTE MAXIMUM RATINGS (Over operating free-air temperature range unless otherwise noted.)

	PARAMETER	74	74LS	UNIT
V_{CC}	Supply voltage	7.0	7.0	V
V_{IN}	Input voltage	-0.5 to +5.5	-0.5 to +7.0	V
I_{IN}	Input current	-30 to +5	-30 to +1	mA
V_{OUT}	Voltage applied to output in HIGH output state	-0.5 to $+V_{CC}$	-0.5 to $+V_{CC}$	V
T_A	Operating free-air temperature range	0 to 70		°C

NOTE:
V_{IN} is limited to +5.5V on $\overline{CP}_0$ and $\overline{CP}_1$ inputs on the 74LS90 only.

RECOMMENDED OPERATING CONDITIONS

	PARAMETER	74			74LS			UNIT
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply voltage	4.75	5.0	5.25	4.75	5.0	5.25	V
V_{IH}	HIGH-level input voltage	2.0			2.0			V
V_{IL}	LOW-level input voltage			+0.8			+0.8	V
I_{IK}	Input clamp current			-12			-18	mA
I_{OH}	HIGH-level output current			-800			-400	µA
I_{OL}	LOW-level output current			16			8	mA
T_A	Operating free-air temperature	0		70	0		70	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5490/7490 Decade Counter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.											SN54LS90	J			W	SN5490A	J			W	SN54L90A	J	N	TJ	
											SN74LS90	J	N			SN7490A	J	N			SN74L90A	J	N	TJ	
FAIRCHILD											FM54LS90 FM74LS90	D			F	FM5490 FM9390	D			F					
											FC74LS90 FC74LS90	D	P		F	FC7490 FC9390	D	P		F					
MOTOROLA																MC5490	L			F					
											SN74LS90		P			MC7490	L	P		F					
N. S. C.											DM54LS90					DM5490	J	N		W	DM54L90	J	N		FQ
											DM74LS90					DM7490	J	N			DM74L90	J	N		FQ
PHILIPS											N74LS90					FJJ141 7490			L						
																S5490	F	A		W					
SIGNETICS											N74LS90		A			N7490	F	A							
SIEMENS																FLJ161			L						
FUJITSU																									
HITACHI											HD74LS90		P			HD7490A HD2519		P							
MITSUBISHI											M74LS90		P			M53290		P							
NEC																μPB219	D	C							
TOSHIBA																TD3490A		P							

Electrical Characteristics SN54LS/SN74LS90A

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C	to 125°C
Input voltage	7V		SN74LS	0°C	to 70°C
Interemitter voltage (see Note 1)	5.5V	Storage temperature range		−65°C	to 150°C

recommended operating conditions

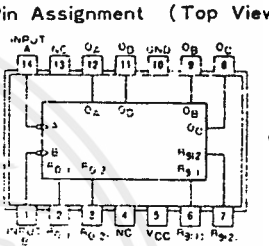
		SN54LS90A			SN74LS90A			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Count frequency, f_{count}	A input	0		32	0		32	MHz
	B input	0		16	0		16	
Pulse width, t_w	A input	15			15			ns
	B input	30			30			
	Reset inputs	15			15			
Reset inactive-state setup, t_{setup}		25			25			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER ¶		TEST CONDITIONS †		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage: Any reset	V_{CC} = MAX, V_I = 7V				0.1	mA
	A input	V_{CC} = MAX, V_I = 5.5V				0.2	
	B input					0.4	
I_{IH}	High-level input current: Any reset	V_{CC} = MAX, V_I = 2.7V				20	μA
	A input					40	
	B input					80	
I_{IL}	Low-level input current: Any reset	V_{CC} = MAX, V_I = 0.4V				0.4	mA
	A input					2.4	
	B input					3.2	
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 2			9	15	mA

					UNIT
f_{max}	from A to output Q_A	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	32	42	MHz
	from B to output Q_B		16		
t_{PLH}	from A to output Q_A			10	16	ns
t_{PHL}				12	18	
t_{PLH}	from A to output Q_D			32	48	ns
t_{PHL}				34	50	
t_{PLH}	from B to output Q_B			10	16	ns
t_{PHL}				14	21	
t_{PLH}	from B to output Q_C			21	32	ns
t_{PHL}				23	35	
t_{PLH}	from B to output Q_D			21	32	ns
t_{PHL}				23	35	
t_{PHL}	from Set-to-0 to Any output			26	40	ns
t_{PLH}	from Set-to-9 to output Q_A, Q_D			20	30	ns
t_{PHL}	from Set-to-9 to output Q_B, C_C			26	40	

Pin Assignment (Top View)



Function Table

BCD COUNT SEQUENCE
'90A, 'LS90, 'L90 (See Note 3)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

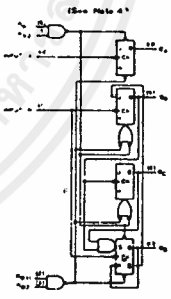
BI-QUINARY (5×2)
'90A, 'LS90, 'L90 (See Note 3)

COUNT	OUTPUT			
	Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

RESET/COUNT
'90A, 'LS90, 'L90 (See Note 3)

RESET INPUTS				OUTPUT			
$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	Q_D	Q_C	Q_B	Q_A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

Functional Block Diagram



NOTES:
1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies between the two R_0 inputs, and it also applies between the two R_9 inputs.
2. I_{CC} is measured with all outputs open, both R_0 inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.
3. Output Q_A is connected to input B for BCD count.
   Output Q_D is connected to input A for bi-quinary count.
   H = high level, L = low level, X = irrelevant.
4. The J and K inputs shown without connection are for reference only and are functionally at a high level.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
◆ Not more than one output should be shorted at a time.
§ Q_A outputs are tested at I_{OL} = 16mA plus the limit value for I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.
¶ f_{max} = maximum count frequency
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54112/74112 Dual J-K Negative-Triggered Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S112	J			W						SN54LS112	J			W										
	SN74S112	J	N								SN74LS112	J	N												
FAIRCHILD	FM54S112 FM74S112	D									FM54LS112 · FM74LS112	D													
	FC74S112 FC85112	D	F								FC74LS112 FC85112	F	P												
MOTORLA											SN74LS112		P												
N.S.C.	DM74S112		N	J							DM54LS112		J												
											DM74LS112														
PHILIPS	N74S112										N74LS112														
SIGNETICS	S54S112	F	J	B		W																			
	N74S112			B							N74LS112		A												
SIEMENS																									
FUJITSU											74LS112		M												
HITACHI	HD74S112		P	J							HD74LS112		P	J											
MITSUBISHI	M55112		P	J							M74LS112		P												
NEC	μPB2S112	D									74LS112		C												
TOSHIBA																									

Electrical Characteristics SN54LS112/SN74LS112

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	+125	°C
Input voltage	7V		SN74LS	+70	°C
		Storage temperature range		+150	°C

recommend operating conditions

		SN54LS112			SN74LS112			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}				-400			-400	μA
Low-level output I_{OL}				4			8	mA
Pulse width, t_w	Clock high	20			20			ns
	Clear or preset low	25			25			
Setup time, t_{SU} ↓	High-level data	20↓			20↓			ns
	Low-level data	20↓			20↓			
Hold time, t_{HOLD}		0↓5			0↓5			ns
Operating free-air temperature T_A		-55		125	0		70	°C

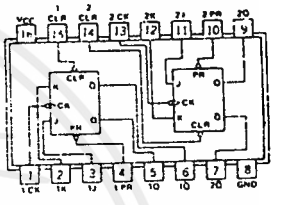
electrical characteristics over recommended operating free-air temperature range

PARAMETER†		TEST CONDITIONS‡	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = -18mA			-1.5	V
V_{OH} High-level output voltage	Series 54LS	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8V, I_{OH} = -400μA	2.5	3.4		V
	Series 74LS		2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8V, I_{OL} = 4mA			0.5	V
I_I Input current at maximum input voltage	J, K	V_{CC} = MAX, V_I = 7V			0.1	mA
	Clear				0.3	
	Preset				0.3	
	Clock				0.4	
I_{IH} High-level input current	J, K, or D	V_{CC} = MAX, V_I = 2.7V			20	μA
	Clear				60	
	Preset				60	
	Clock				80	
I_{IL} Low-level input current	J, K, or D	V_{CC} = MAX, V_I = 0.5V			-0.4	mA
	Clear				-0.8	
	Preset				-0.8	
	Clock				-0.8	
I_{OS}	Short-circuit output current*	V_{CC} = MAX	-20		-100	mA
I_{CC}	Supply current (average per flip-flop)	V_{CC} = MAX, See Note 1		4	6	mA
f_{max}	maximum clock frequency	V_{CC} = 5 V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	30	45		MHz
t_{PLH}	from clear, Preset or clock to Q or $\bar{Q}$			15	20	ns
t_{PHL}				15	20	ns

NOTE. 1
With all outputs open, I_{CC} is measured with the Q and $\bar{Q}$ outputs high in turn. At the time of measurement, the clock input is grounded.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
* Not more than one output should be shorted at a time, and duration of short-circuit should not exceed one second
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
↓ The arrow indicates that the falling edge of the clock pulse is used for reference

Pin Assignment (Top View)

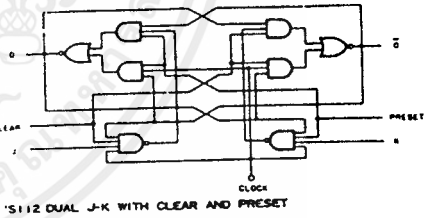


'S112 'LS112 Function Table (See Note 2)

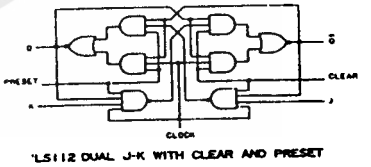
INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↓	L	L	Q_0	$\bar{Q}_0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q_0	$\bar{Q}_0$

H high level (steady state)
L low level (steady state)
X irrevant.
↓ transition from high to low level

Functional Block Diagrams



'S112 DUAL J-K WITH CLEAR AND PRESET



'LS112 DUAL J-K WITH CLEAR AND PRESET

NOTE 2
Q0 = the level of Q before the indicated input conditions were established.
TOGGLE Each output changes to the complement of its previous level on each active transition (pulse) of the clock.
* This configuration is nonstable, that is, it will not persist when preset and clear inputs return to their inactive (high) state

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54164/74164 8-Parallel-Out Serial Shift Register

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS164	J①			W①	SN54164	J①			W①	SN54L164	J①	N①	T①
											SN74LS164	J①	N①			SN74164	J①	N①			SN74L164	J①	N①	T①
FAIRCHILD											FM54LS164/FM93LS164	P①			F①	FM54164/FM93164	D①							
											FC74LS164/FC93LS164	P①	P①		F①	FC74164/FC93164	D①	P①						
MOTOROLA											SN74LS164		P①			MC74164		P①			DM54L164	J①	N①	
											DM74LS164		①								DM74L164	J①	N①	
N.S.C.											DM54LS164		①			DM74164		N①						
PHILIPS											N74LS164		①			N74164		①						
																S54164	F①	A①		W①				
SIGNETICS											N74LS164		A①			N74164	F①	A①						
SIEMENS																FLJ441		①						
FUJITSU											74LS164		M①											
HITACHI											HD74LS164		P①			HD74164	①	P①						
MITSUBISHI											M74LS164		P①			M53364		P①						
NEC											AM74LS		C①			μPB2164	D①							
TOSHIBA																TD3503A		P①						
AMD											Am74LS164													

Electrical Characteristics SN54LS164'SN74LS164

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54'	−55°C	to 125°C
Input voltage	7 V		SN74'	0°C	to 70°C
		Storage temperature range		−65°C	to 150°C

recommended operating conditions

	SN54LS164 MIN	NOM	MAX	SN74LS164 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear input pulse, t_w	20			20			ns
Data setup time, t_{setup}	15			15			ns
Data hold time, t_{hold}	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

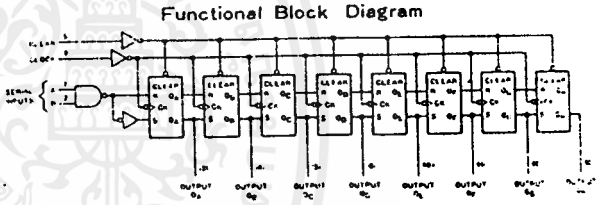
PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2 V, V_{IL}=0.8V, I_{OH}=−400μA		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2 V, V_{IL}=0.8V, I_{OL}=8mA			0.35	0.5	V
I_I	Input current maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V				0.4	mA
I_{OS}	Short-circuit output current *	V_{CC}=MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC}=MAX, See Note 1			6	27	mA
f_{max}	Maximum clock frequency	V_{CC}=5V, T_A=25°C, R_L=2kΩ	C_L=15pF	25	36		MHz
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clear input		C_L=15pF		24	36	ns
t_{PLH}	Propagation delay time, low-to-high level Q outputs from clock input		C_L=15pF		17	27	ns
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clock input		C_L=15pF		21	32	ns

Function Table

'164, 'LS164, 'L164 (see Note 2)

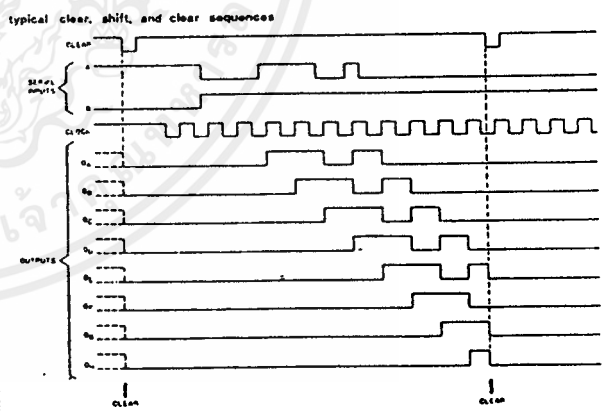
INPUTS CLEAR	CLOCK	A	B	OUTPUTS QA	QB	··· QH
L	X	X	X	L	L	L
H	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	↑	H	H	H	Q_{An}	Q_{Gn}
H	↑	L	X	L	Q_{An}	Q_{Gn}
H	↑	X	L	L	Q_{An}	Q_{Gn}

Functional Block Diagram



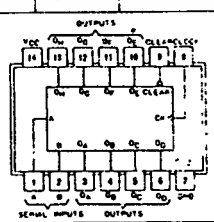
'164, 'LS164, 'L164 8-BIT PARALLEL-OUT SHIFT REGISTER

typical clear, shift, and clear sequences



Pin Assignment (Top View)

①



positive logic: see function table

NOTES: 1. I_{CC} is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5V, applied to clear.

2. H = high level (steady state), L = Low-level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level.
O_{A0}, O_{B0}, O_{H0} = the level of O_A, O_B, or O_H, respectively, before the indicated steady-state input conditions were established.
O_{An}, O_{Gn} = the level of O_A or O_G before the most-recent ↑ transition of the clock; indicates a one-bit shift.

† For conditions shown as MIN or MAX, use the appriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
* Not more than two outputs should be shorted at a time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54165/74165 Parallel-Load 5-Bit Shift Register

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS165	J①				SN54165	J①			W①					
											SN74LS165	J①	N①			SN74165	J①	N①							
FAIRCHILD																FM54165/FM93165	D①								
																FC74165/FC93165	D①	P①							
MOTOROLA																MC74165		P①			DM54L165A	J①	N①		F①
N.S.C.																DM74165		N①			DM74L165A	J①	N①		F①
PHILIPS																N74165		①							
SIGNETICS																S54165	F①	B①		W①					
																N74165	F①	B①							
SIEMENS																FLJ451		①							
FUJITSU																									
HITACHI																									
MITSUBISHI																M53365		P①							
NEC																									
TOSHIBA																									

Electrical Characteristics NS54LS165/SN74LS165

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7 V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

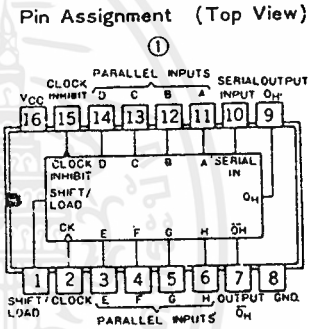
	SN54LS165 MIN	NOM	MAX	SN74LS165 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		20	0		20	MHz
Width of clock input pulse, t_w(clock)	25			25			ns
Width of load input pulse, t_w(load)	15			15			ns
Clock-enable setup time, t_{setup}	30			30			ns
Parallel input setup time, t_{setup}	10			10			ns
Serial input setup time, t_{setup}	20			20			ns
Shift setup time, t_{setup}	45			45			ns
Hold time at any input, t_{hold}	0			0			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER †			TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_I	Input clamp voltage		V_{CC} = MIN, I_I = −18 mA				−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = −400 μA		2.7	3.5		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 8 mA			0.35	0.5	V
I_I	Input current at maximum input voltage	Shift, load input	V_{CC} = MAX, V_I = 7 V				0.3	mA
		Other inputs					0.1	
I_{IH}	High-level input current	Load input	V_{CC} = MAX, V_I = 2.7 V				60	μA
		Shift, load input					20	
		Other inputs						
I_{IL}	Low-level input current	Load input	V_{CC} = MAX, V_I = 0.4 V				−1.2	mA
		Shift, load input					−0.4	
		Other inputs						
I_{OS}	Short-circuit output current ◆		V_{CC} = MAX	SN54LS	−20		−100	mA
				SN74LS	−20		−100	
I_{CC}	Supply current		V_{CC} = MAX, See Note 2			21	36	mA
f_{max}	Maximum clock frequency		V_{CC} = 5 V, T_A = 25°C, C_L = 15 pF, R_L = 2 kΩ		25	35		MHz
t_{PLH}	from Load to Any output					22	35	ns
t_{PHL}						22	35	
t_{PLH}	from Clock to Any output					27	40	ns
t_{PHL}						28	40	
t_{PLH}	from H to output Q_H					16	25	ns
t_{PHL}						21	30	
t_{PLH}	from H to output $\overline{Q}_H$					21	30	ns
t_{PHL}						16	25	

† For conditions shown as MIN or MAX, use the appropriate value under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

Pin Assignment (Top View)



positive logic:

Function Table

'165 (see Note 3)

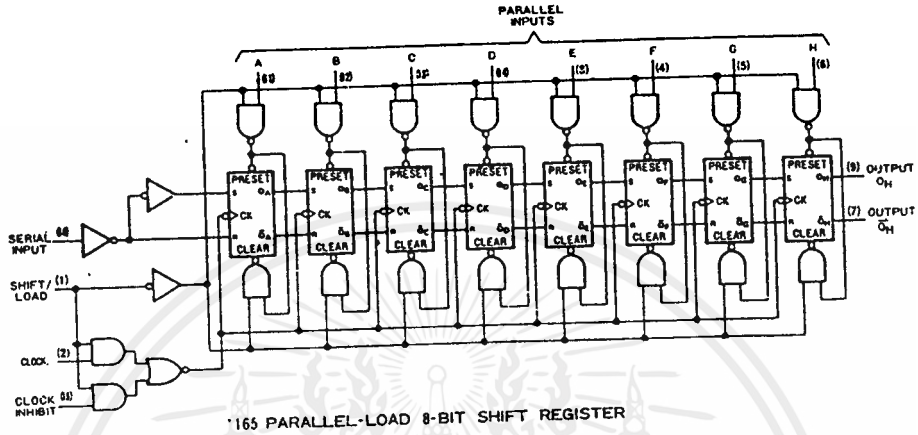
INPUTS					INTERNAL OUTPUTS		OUTPUT
SHIFT/LOAD	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A...H	Q_A	Q_B	Q_H
L	X	X	X	a...h	a	b	h
H	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	H	↑	X	X	Q_{A0}	Q_{B0}	Q_{H0}

NOTES: 1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies to the shift/load input in conjunction with the clock clock or clock-inhibit inputs.
2. With the outputs open, clock inhibit and shift/load at 4.5 V, and a clock pulse applied to the clock input, I_{CC} is measured first with the parallel inputs at 4.5 V, then with the parallel inputs grounded.
3. H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
a...h = the level of steady-state input at inputs A thru H, respectively.
Q_{A0}, Q_{B0}, C_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G, respectively, before the most recent ↑ transition of the clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

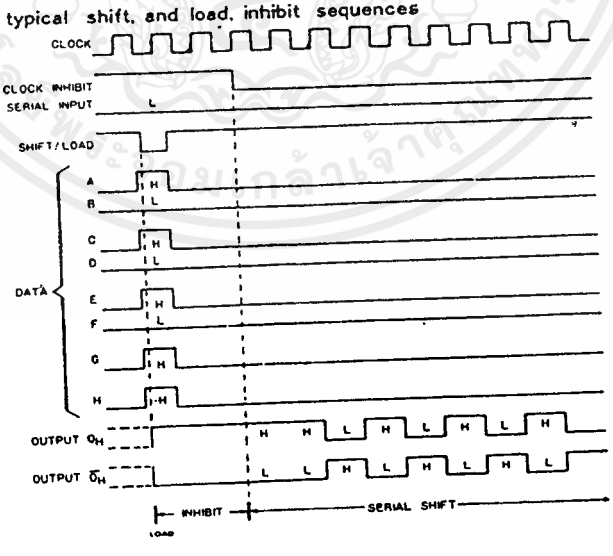
4165/74165(CONTINUED)

Functional Block giagram



'165 PARALLEL-LOAD 8-BIT SHIFT REGISTER

typical shift, and load, inhibit sequences



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1985

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

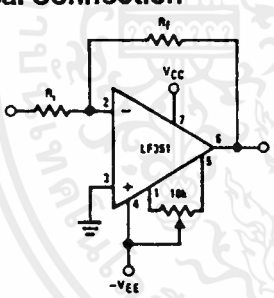
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

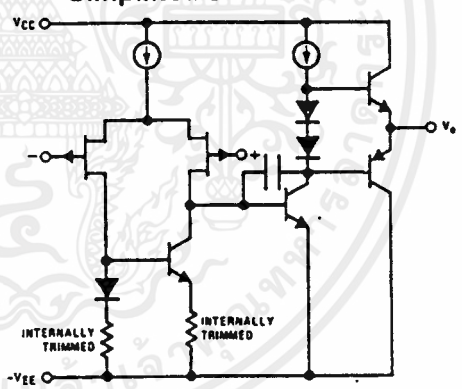
Features

■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	16 nV/√Hz
■ Low input noise current	0.01 pA/√Hz
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, BW = 20 Hz-20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection

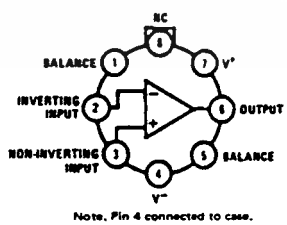


Simplified Schematic



Connection Diagrams (Top Views)

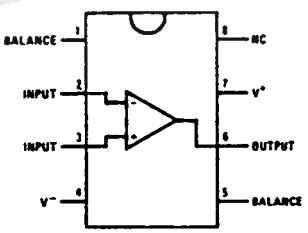
Metal Can Package



Note. Pin 4 connected to case.

Order Number LF351H
See NS Package H08C

Dual-In-Line Package



TOP VIEW

Order Number LF351N
See NS Package N08E

TL/H/5648–1

©1986 National Semiconductor Corporation TL/H/5648

RRD-B30M125/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage	±18V	Input Voltage Range (Note 2)	±15V
Power Dissipation (Note 1)	500 mW	Output Short Circuit Duration	Continuous
Operating Temperature Range	0°C to +70°C	Storage Temperature Range	−65°C to +150°C
$T_{j(MAX)}$	115°C	Lead Temp. (Soldering, 10 seconds)	300°C
Differential Input Voltage	±30V		

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	R_S = 10 kΩ, T_A = 25°C Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	R_S = 10 kΩ		10		µV/°C
I_{OS}	Input Offset Current	T_j = 25°C, (Notes 3, 4) $T_j \leq$ 70°C		25	100 4	pA nA
I_B	Input Bias Current	T_j = 25°C, (Notes 3, 4) $T_j \leq$ 70°C		50	200 8	pA nA
R_{IN}	Input Resistance	T_j = 25°C		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	V_S = ±15V, T_A = 25°C V_O = ±10V, R_L = 2 kΩ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	V_S = ±15V, R_L = 10 kΩ	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	V_S = ±15V	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq$ 10 kΩ	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	V_S = ±15V, T_A = 25°C		13		V/µs
GBW	Gain Bandwidth Product	V_S = ±15V, T_A = 25°C		4		MHz
e_n	Equivalent Input Noise Voltage	T_A = 25°C, R_S = 100Ω, f = 1000 Hz		16		nV/$\sqrt{Hz}$
i_n	Equivalent Input Noise Current	T_j = 25°C, f = 1000 Hz		0.01		pA/$\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on a thermal resistance of 150°C/W junction to ambient or 45°C/W junction to case.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for V_S = ±15V and 0°C ≤ T_A ≤ +70°C. V_{OS}, I_B and I_{OS} are measured at V_{CM} = 0.

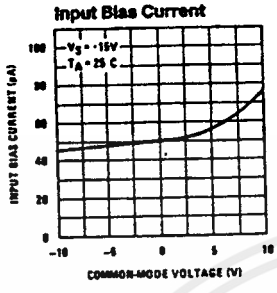
Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice.

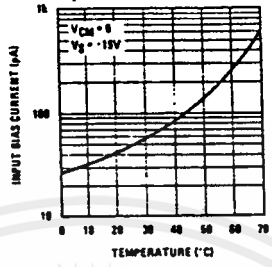
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

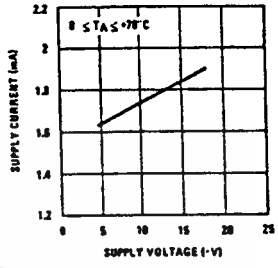
Input Bias Current



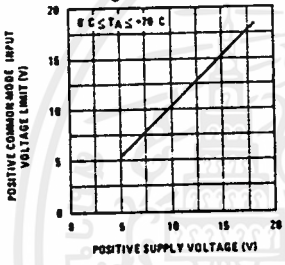
Input Bias Current



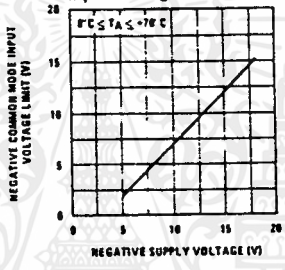
Supply Current



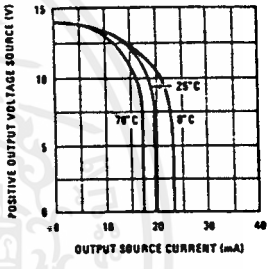
Positive Common-Mode Input Voltage Limit



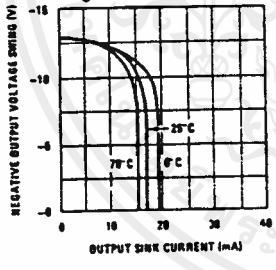
Negative Common-Mode Input Voltage Limit



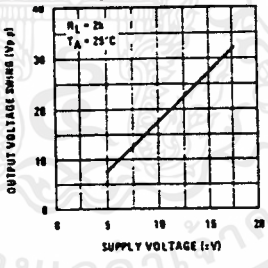
Positive Current Limit



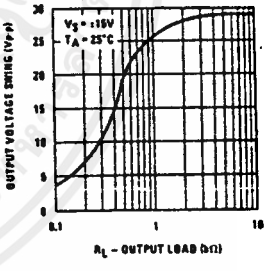
Negative Current Limit



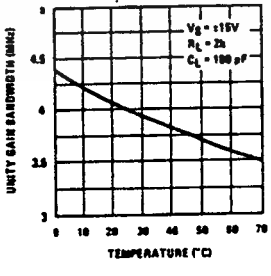
Voltage Swing



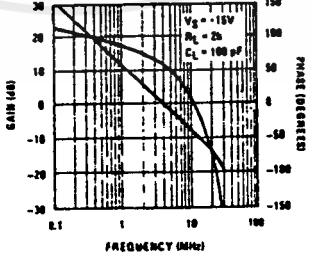
Output Voltage Swing



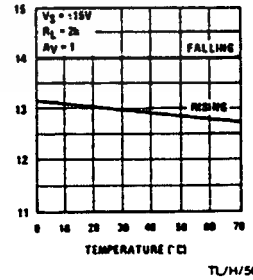
Gain Bandwidth



Bode Plot



Slew Rate

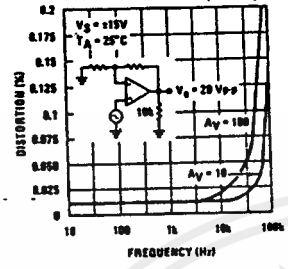


TL/H/5648–2

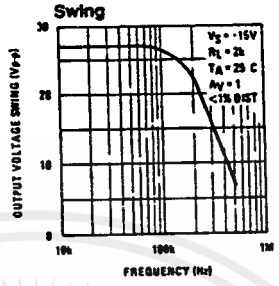
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

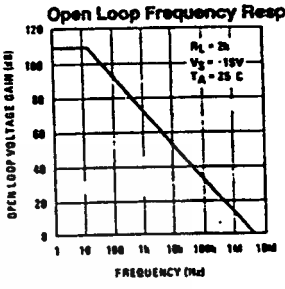
Distortion vs Frequency



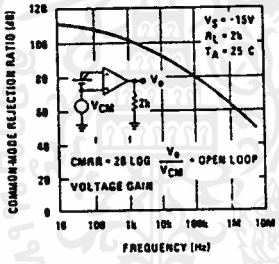
Undistorted Output Voltage Swing



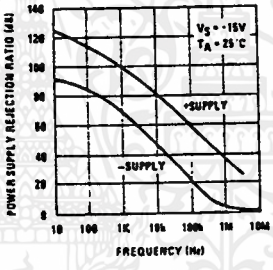
Open Loop Frequency Response



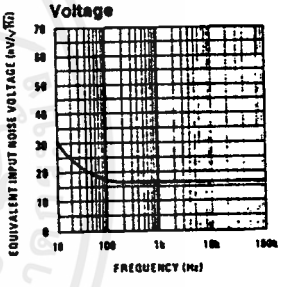
Common-Mode Rejection Ratio



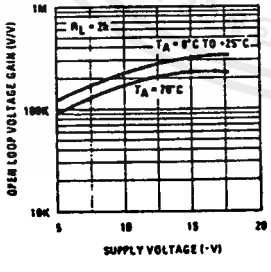
Power Supply Rejection Ratio



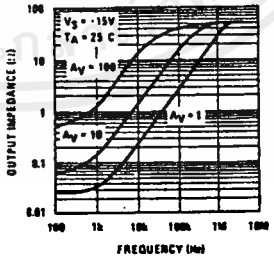
Equivalent Input Noise Voltage



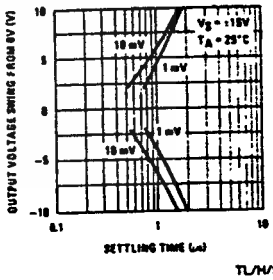
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

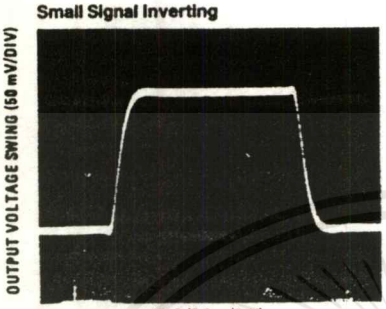


TL/H/5648–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

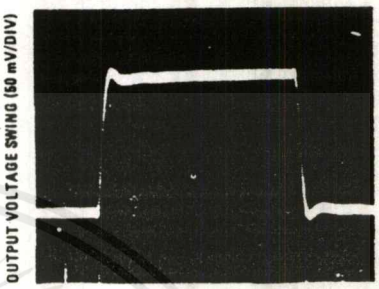
Pulse Response

Small Signal Inverting



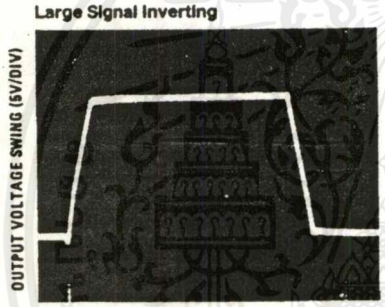
TL/H/5648–4

Small Signal Non-Inverting



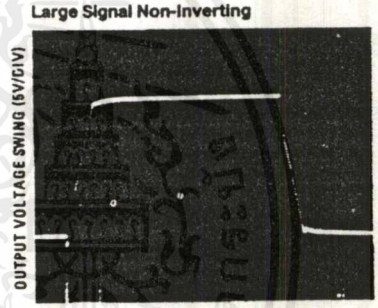
TL/H/5648–5

Large Signal Inverting



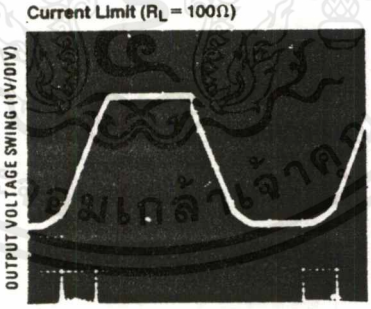
TL/H/5648–6

Large Signal Non-Inverting



TL/H/5648–7

Current Limit ($R_L = 100\Omega$)



TL/H/5648–8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will cause a reversal of the phase to the output and force the amplifier output to the corresponding high or low state. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

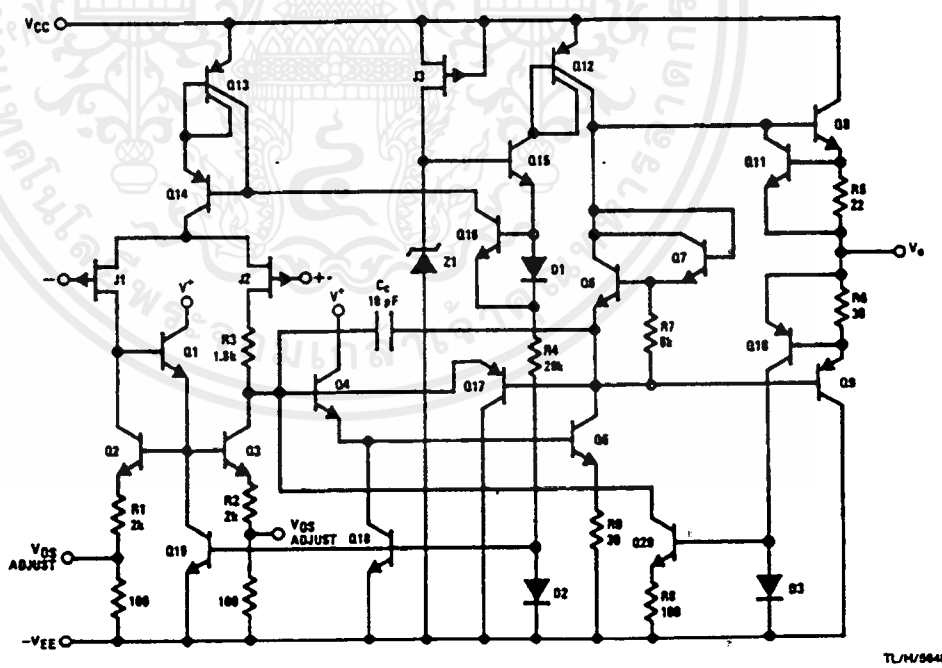
Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

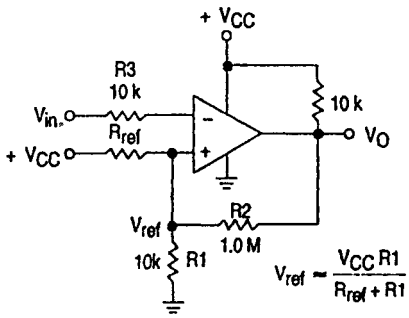
A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 2. Inverting Comparator with Hystersis



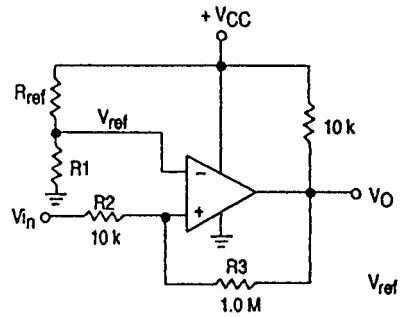
$$V_{ref} \simeq \frac{V_{CC}\,R1}{R_{ref} + R1}$$

$$R3 \simeq R1 \,//\, R_{ref} \,//\, R2$$

$$V_H = \frac{R1 \,//\, R_{ref}}{R1 \,//\, R_{ref} + R2}\,[V_{O(max)} - V_{O(min)}]$$

$$R2 \gg Rref \,//\, R1$$

Figure 3. Noninverting Comparator with Hysteresis



$$V_{ref} = \frac{V_{CC}\,R1}{R_{ref} + R1}$$

$$R2 \simeq R1 \,//\, R_{ref}$$

Amount of Hysteresis V_H

$$V_H = \frac{R2}{R2 + R3}\,[(V_{O(max)} - V_{O(min)}]$$

Typical Characteristics

(V_{CC} = 15 Vdc, T_A = +25°C (each comparator) unless otherwise noted.)

Figure 4. Normalized Input Offset Voltage

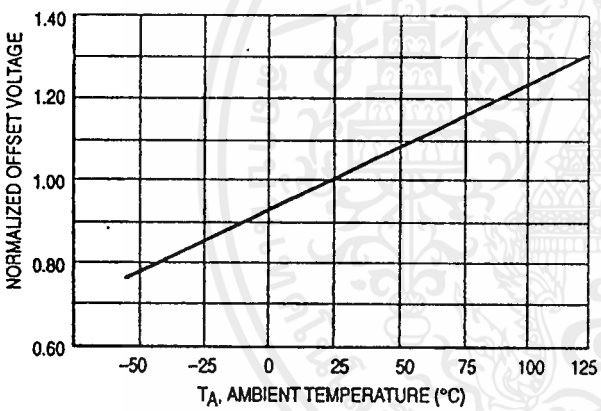


Figure 5. Input Bias Current

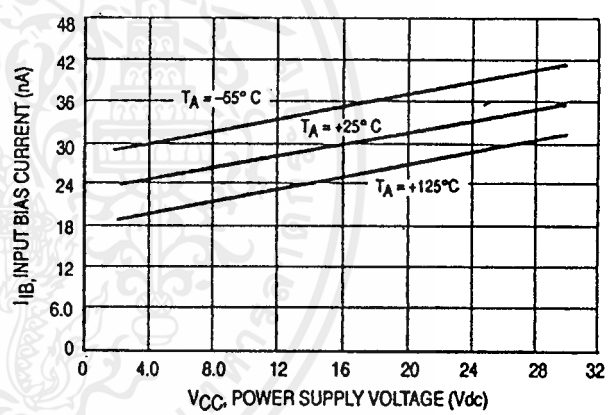
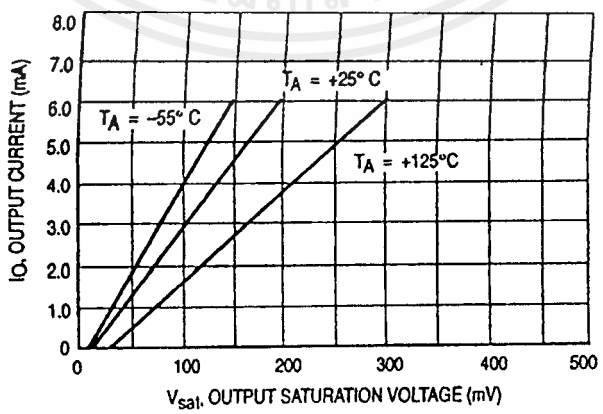


Figure 6. Output Sink Current versus Output Saturation Voltage



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = +5.0 Vdc, T_A = +25°C, unless otherwise noted)

Characteristic	Symbol	LM239A/339A			LM239/339			LM2901/2901V			MC3302			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (Note 4)	V_{IO}	–	±1.0	±2.0	–	±2.0	±5.0	–	±2.0	±7.0	–	±3.0	±20	mVdc
Input Bias Current (Notes 4, 5) (Output in Analog Range)	I_{IB}	–	25	250	–	25	250	–	25	250	–	25	500	nA
Input Offset Current (Note 4)	I_{IO}	–	±5.0	±50	–	±5.0	±50	–	±5.0	±50	–	±3.0	±100	nA
Input Common Mode Voltage Range	V_{ICMR}	0	–	V_{CC} –1.5	0	–	V_{CC} –1.5	0	–	V_{CC} –1.5	0	–	V_{CC} –1.5	V
Supply Current R_L = ∞ (For All Comparators) R_L = ∞, V_{CC} = 30 Vdc	I_{CC}	 – –	 0.8 1.0	 2.0 2.5	 – –	 0.8 1.0	 2.0 2.5	 – –	 0.8 1.0	 2.0 2.5	 – –	 0.8 1.0	 2.0 2.5	mA
Voltage Gain R_L ≥ 15 kΩ, V_{CC} = 15 Vdc	A_{VOL}	50	200	–	50	200	–	25	100	–	25	100	–	V/mV
Large Signal Response Time V_I = TTL Logic Swing, V_{ref} = 1.4 Vdc, V_{RL} = 5.0 Vdc, R_L = 5.1 kΩ	–	–	300	–	–	300	–	–	300	–	–	300	–	ns
Response Time (Note 6) V_{RL} = 5.0 Vdc, R_L = 5.1 kΩ	–	–	1.3	–	–	1.3	–	–	1.3	–	–	1.3	–	µs
Output Sink Current V_I (–) ≥ +1.0 Vdc, V_I(+) = 0, V_O ≤ 1.5 Vdc	I_{Sink}	6.0	16	–	6.0	16	–	6.0	16	–	6.0	16	–	mA
Saturation Voltage V_I(–) ≥ +1.0 Vdc, V_I(+) = 0, I_{sink} ≤ 4.0 mA	V_{sat}	–	130	400	–	130	400	–	130	400	–	130	500	mV
Output Leakage Current V_I(+) ≥ +1.0 Vdc, V_I(–) = 0, V_O = +5.0 Vdc	I_{OL}	–	0.1	–	–	0.1	–	–	0.1	–	–	0.1	–	nA

PERFORMANCE CHARACTERISTICS (V_{CC} = +5.0 Vdc, T_A = T_{low} to T_{high} [Note 3])

Characteristic	Symbol	LM239A/339A			LM239/339			LM2901/2901V			MC3302			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (Note 4)	V_{IO}	–	–	±4.0	–	–	±9.0	–	–	±15	–	–	±40	mVdc
Input Bias Current (Notes 4, 5) (Output In Analog Range)	I_{IB}	–	–	400	–	–	400	–	–	500	–	–	1000	nA
Input Offset Current (Note 4)	I_{IO}	–	–	±150	–	–	±150	–	–	±200	–	–	±300	nA
Input Common Mode Voltage Range	V_{ICMR}	0	–	V_{CC} –2.0	0	–	V_{CC} –2.0	0	–	V_{CC} –2.0	0	–	V_{CC} –2.0	V
Saturation Voltage V_I(–) ≥ +1.0 Vdc, V_I(+) = 0, I_{sink} ≤ 4.0 mA	V_{sat}	–	–	700	–	–	700	–	–	700	–	–	700	mV
Output Leakage Current V_I(+) ≥ +1.0 Vdc, V_I(–) = 0, V_O = 30 Vdc	I_{OL}	–	–	1.0	–	–	1.0	–	–	1.0	–	–	1.0	µA
Differential Input Voltage All V_I ≥ 0 Vdc	V_{ID}	–	–	V_{CC}	–	–	V_{CC}	–	–	V_{CC}	–	–	V_{CC}	Vdc

NOTES: 3. (LM239/239A) T_{low} = –25°C, T_{high} = +85°
(LM339/339A) T_{low} = 0°C, T_{high} = +70°C
(MC3302) T_{low} = –40°C, T_{high} = +85°C
(LM2901) T_{low} = –40°C, T_{high} = +105°
(LM2901V) T_{low} = –40°C, T_{high} = +125°C

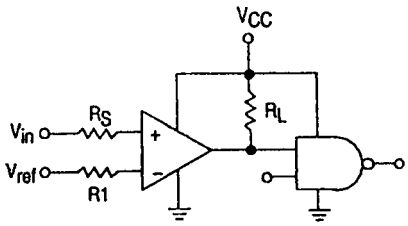
4. At the output switch point, V_O = 1.4 Vdc, R_S ≤ 100 Ω 5.0 Vdc ≤ V_{CC} ≤ 30 Vdc, with the inputs over the full common mode range (0 Vdc to V_{CC} –1.5 Vdc).

5. The bias current flows out of the inputs due to the PNP input stage. This current is virtually constant, independent of the output state.

6. The response time specified is for a 100 mV input step with 5.0 mV overdrive. For larger signals, 300 ns is typical.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

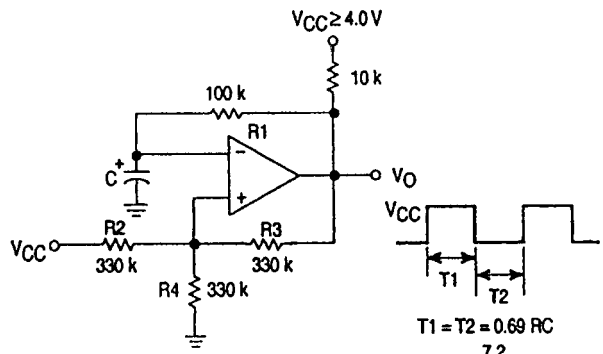
Figure 7. Driving Logic



RS = Source Resistance
R1 ≈ RS

Logic	Device	V_{CC} (V)	R_L kΩ
CMOS	1/4 MC14001	+15	100
TTL	1/4 MC7400	+5.0	10

Figure 8. Squarewave Oscillator



$T1 = T2 = 0.69\ RC$

$f \approx \frac{7.2}{C(\mu F)}$

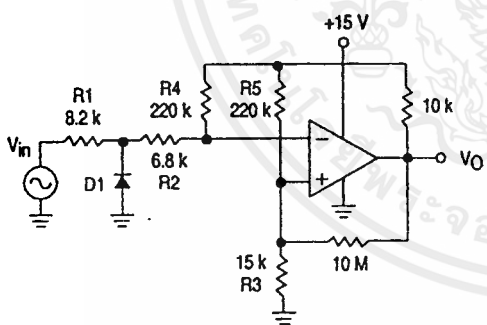
R2 = R3 = R4
R1 ≈ R2 // R3 // R4

APPLICATIONS INFORMATION

These quad comparators feature high gain, wide bandwidth characteristics. This gives the device oscillation tendencies if the outputs are capacitively coupled to the inputs via stray capacitance. This oscillation manifests itself during output transitions (V_{OL} to V_{OH}). To alleviate this situation input resistors < 10 kΩ should be used. The addition of positive feedback (< 10 mV) is also recommended. It is good design practice to ground all unused input pins.

Differential input voltages may be larger than supply voltages without damaging the comparator's inputs. Voltages more negative than –300 mV should not be used.

Figure 9. Zero Crossing Detector (Single Supply)



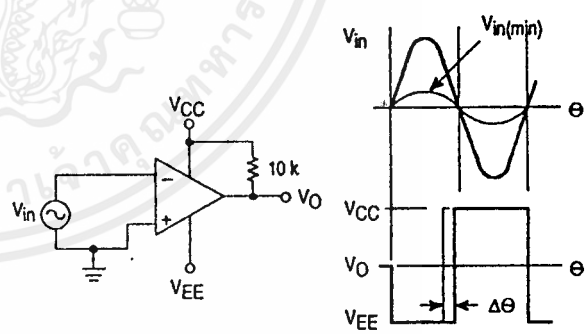
D1 prevents input from going negative by more than 0.6 V.

R1 + R2 = R3

$R3 \leq \frac{R5}{10}$ for small error in zero crossing

Figure 10. Zero Crossing Detector (Split Supplies)

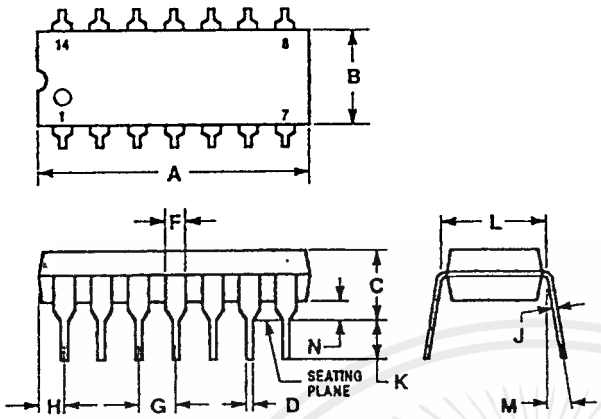
$V_{in(min)}$ = 0.4 V peak for 1% phase distortion (Δθ).



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

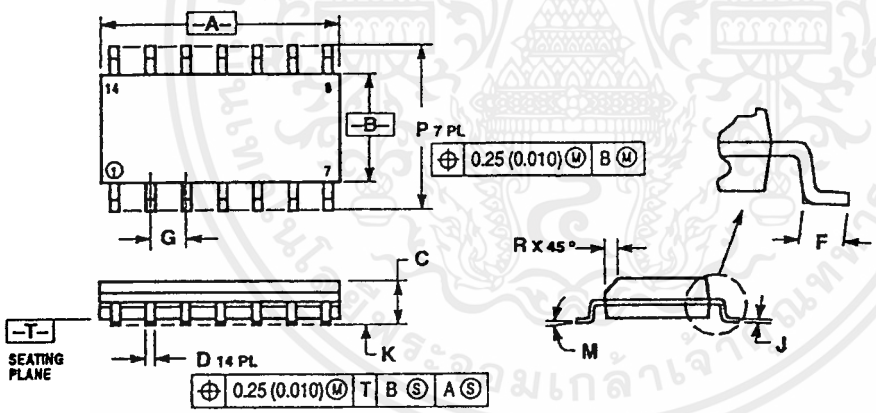
N, P SUFFIX
PLASTIC PACKAGE
CASE 646–06
ISSUE L



NOTES:
1. LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
4. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.56
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0°	10°	0°	10°
N	0.015	0.039	0.38	1.01

D SUFFIX
PLASTIC PACKAGE
CASE 751A–03
(SO–14)
ISSUE F



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

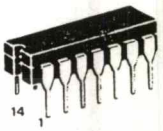
MC1496
MC1596

BALANCED MODULATOR/DEMODULATOR

BALANCED MODULATOR/ DEMODULATOR

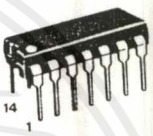
These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression — 65 dB typ @ 0.5 MHz
  — 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection — 85 dB typ



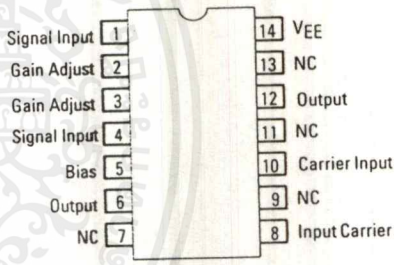
L SUFFIX
CERAMIC PACKAGE
CASE 632

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)



P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN ASSIGNMENTS



ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596L	–55°C to +125°C	Ceramic DIP

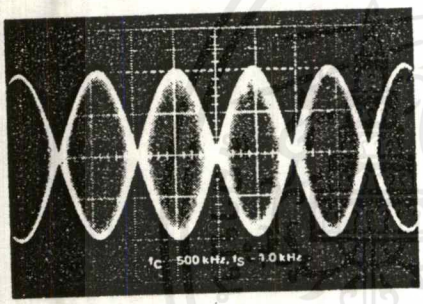


FIGURE 1 –
SUPPRESSED CARRIER
OUTPUT WAVEFORM

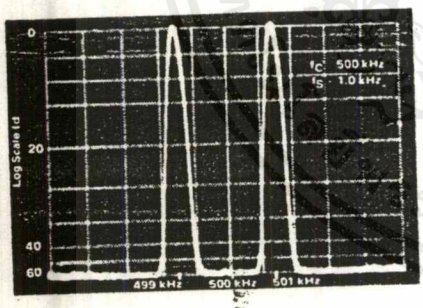


FIGURE 2 –
SUPPRESSED CARRIER
SPECTRUM

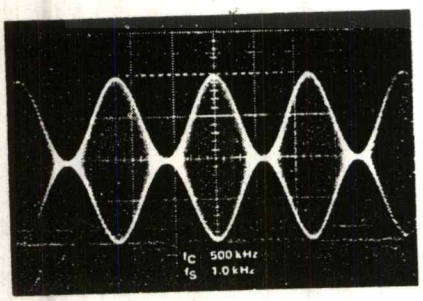
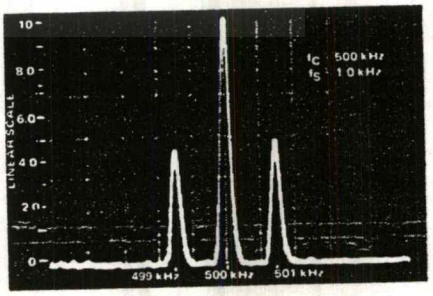


FIGURE 3 –
AMPLITUDE MODULATION
OUTPUT WAVEFORM

FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ($V_6 - V_8$, $V_{10} - V_1$, $V_{12} - V_8$, $V_{12} - V_{10}$, $V_8 - V_4$, $V_8 - V_1$, $V_{10} - V_4$, $V_6 - V_{10}$, $V_2 - V_5$, $V_3 - V_5$)	ΔV	30	Vdc
Differential Input Signal	$V_8 - V_{10}$ $V_4 - V_1$	+5.0 ±(5 + I_5R_e)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 −55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = +12 Vdc, V_{EE} = −8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C, all input and output characteristics are single-ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough	5	1	V_{CFT}							μV(rms)
V_C = 60 mV(rms) sine wave and f_C = 1.0 kHz				—	40	—	—	40	—	
offset adjusted to zero f_C = 10 MHz				—	140	—	—	140	—	
V_C = 300 mVp-p square wave:										mV(rms)
offset adjusted to zero f_C = 1.0 kHz				—	0.04	0.2	—	0.04	0.4	
offset not adjusted f_C = 1.0 kHz				—	20	100	—	20	200	
Carrier Suppression	5	2	V_{CS}							dB
f_S = 10 kHz, 300 mV(rms)										
f_C = 500 kHz, 60 mV(rms) sine wave				50	65	—	40	65	—	
f_C = 10 MHz, 60 mV(rms) sine wave				—	50	—	—	50	—	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms)	8	8	BW_{3dB}							MHz
Carrier Input Port, V_C = 60 mV(rms) sine wave				—	300	—	—	300	—	
f_S = 1.0 kHz, 300 mV(rms) sine wave										
Signal Input Port, V_S = 300 mV(rms) sine wave				—	80	—	—	80	—	
$\|V_C\|$ = 0.5 Vdc										
Signal Gain	10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
V_S = 100 mV(rms), f = 1.0 kHz; $\|V_C\|$ = 0.5 Vdc										
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz	6	—								
Parallel Input Resistance			r_{ip}	—	200	—	—	200	—	kΩ
Parallel Input Capacitance			c_{ip}	—	2.0	—	—	2.0	—	pF
Single-Ended Output Impedance, f = 10 MHz	6	—								
Parallel Output Resistance			r_{op}	—	40	—	—	40	—	kΩ
Parallel Output Capacitance			c_{oo}	—	5.0	—	—	5.0	—	pF
Input Bias Current	7	—								μA
$I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_8 + I_{10}}{2}$			I_{bS} I_{bC}	— —	12 12	25 25	— —	12 12	30 30	
Input Offset Current	7	—								μA
$I_{ioS} = I_1 - I_4$; $I_{ioC} = I_8 - I_{10}$			$\|I_{ioS}\|$ $\|I_{ioC}\|$	— —	0.7 0.7	5.0 5.0	— —	0.7 0.7	7.0 7.0	
Average Temperature Coefficient of Input Offset Current (T_A = −55°C to +125°C)	7	—	$\|TC_{Iio}\|$	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_6 - I_9$)	7	—	$\|I_{oo}\|$	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = −55°C to +125°C)	7	—	$\|TC_{Ioo}\|$	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_C\|$ = 0.5 Vdc	9	—	ACM	—	−85	—	—	−85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current	7	6								mAdc
$I_6 + I_{12}$			I_{CC}	—	2.0	3.0	—	2.0	4.0	
I_{14}			I_{EE}	—	3.0	4.0	—	3.0	5.0	
DC Power Dissipation	7	5	P_D	—	33	—	—	33	—	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair — or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_O}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26\text{ mV}}{I_5\text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5.

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_{12} = V_6$, $I_5 = I_6 = I_{12}$ and ignoring base current, $P_D = 2 I_5 (V_6 - V_{14}) + I_5) V_5 - V_{14}$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_{12},$$

$$I_B << I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V^- - \phi}{I_5} - 500\ \Omega$$

where: R_5 is the resistor between pin 5 and ground

ϕ = 0.75 V at T_A = +25°C

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_{12} = V^+ - I_5 R_L$$

Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$$30\text{ Vdc} \geq [(V_6, V_{12}) - (V_8, V_{10})] \geq 2\text{ Vdc}$$

$$30\text{ Vdc} \geq [(V_8, V_{10}) - (V_1, V_4)] \geq 2.7\text{ Vdc}$$

$$30\text{ Vdc} \geq [(V_1, V_4) - (V_5)] \geq 2.7\text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_{12},\ V_8 = V_{10},\ V_1 = V_4$$

Bias currents flowing into pins 1, 4, 8, and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21C} = \left.\frac{i_o\text{ (each sideband)}}{v_s\text{ (signal)}}\right| V_O = 0$$

Signal transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21S} = \left.\frac{i_o\text{ (signal)}}{v_s\text{ (signal)}}\right| V_C = 0.5\text{ Vdc},\ V_O = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

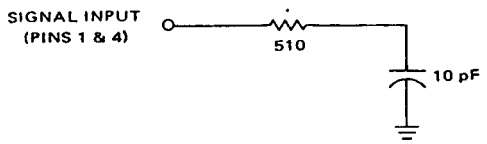
The output signal is taken from Pins 6 and 12 either balanced or single-ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION

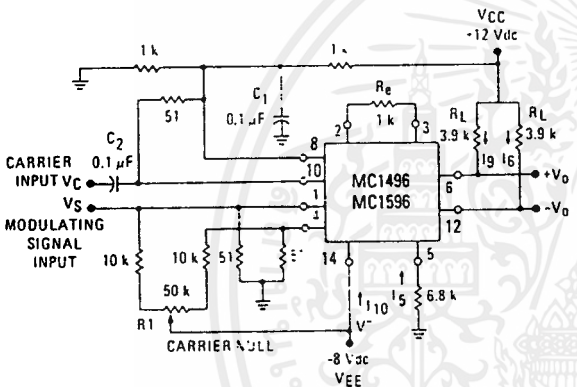
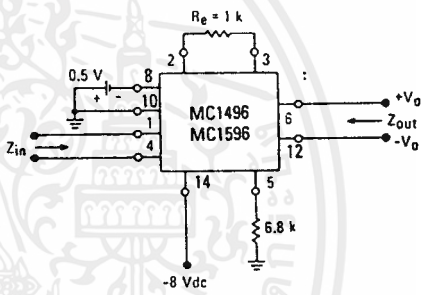


FIGURE 6 – INPUT-OUTPUT IMPEDANCE



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 7 – BIAS AND OFFSET CURRENTS

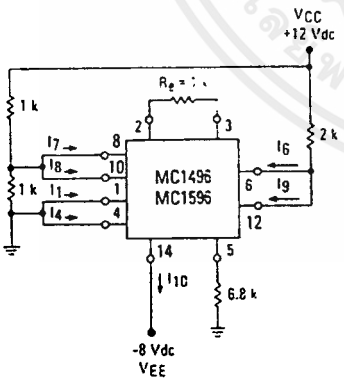
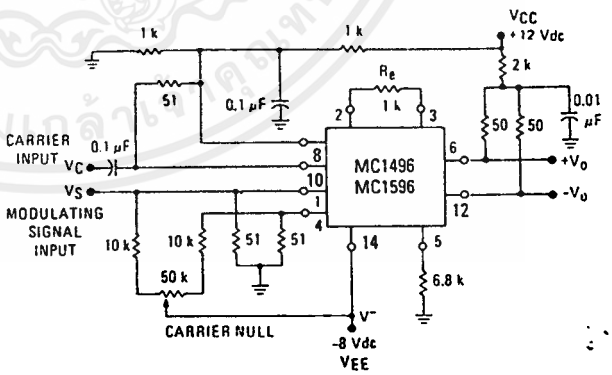


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 9 – COMMON MODE GAIN

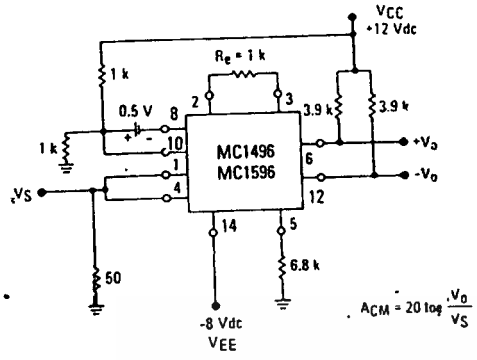
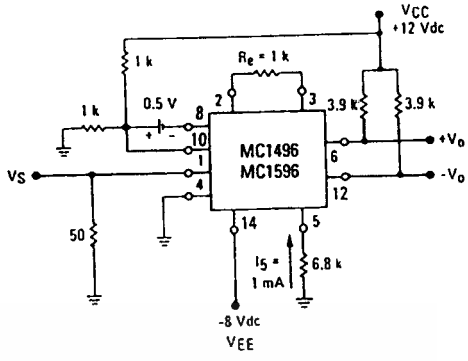


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

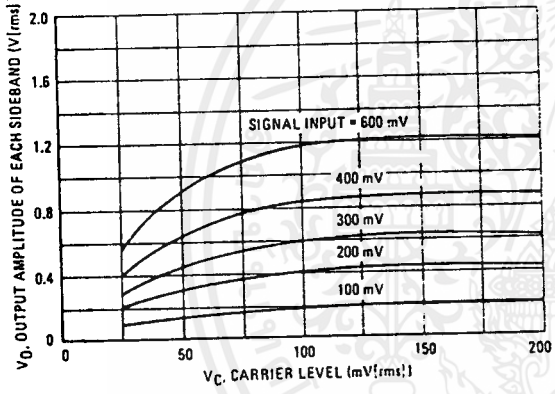


FIGURE 12 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

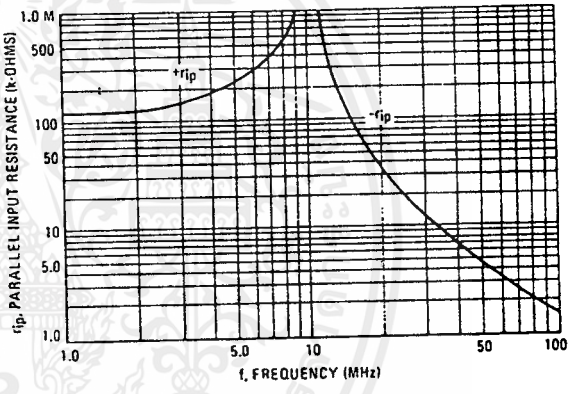


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

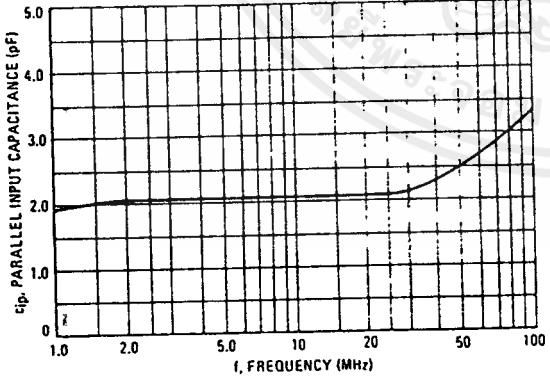
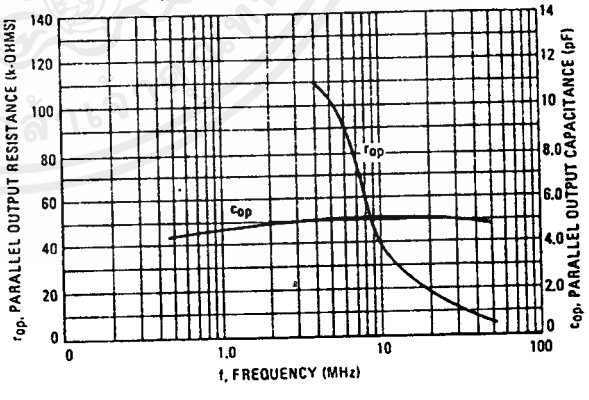


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

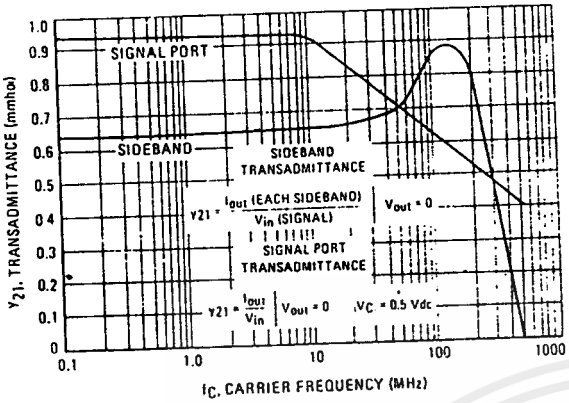


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

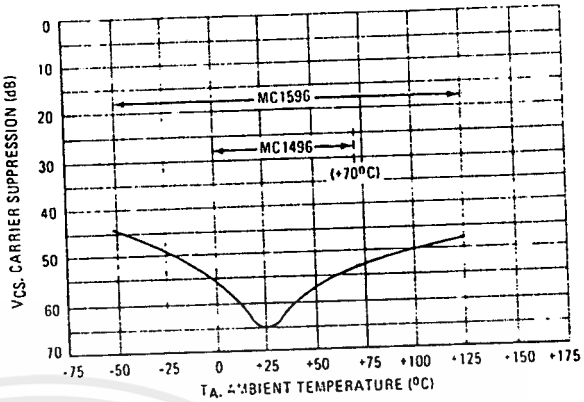


FIGURE 17 – SIGNAL-PORT FREQUENCY RESPONSE

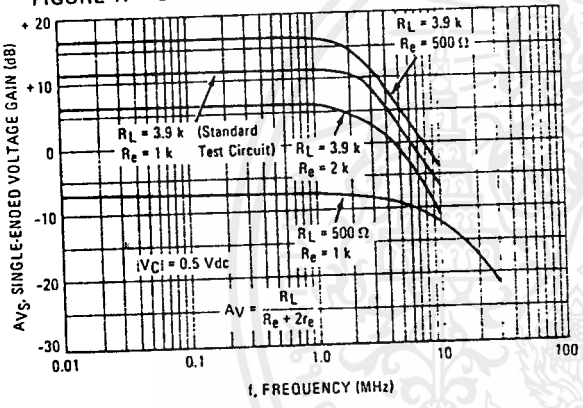


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

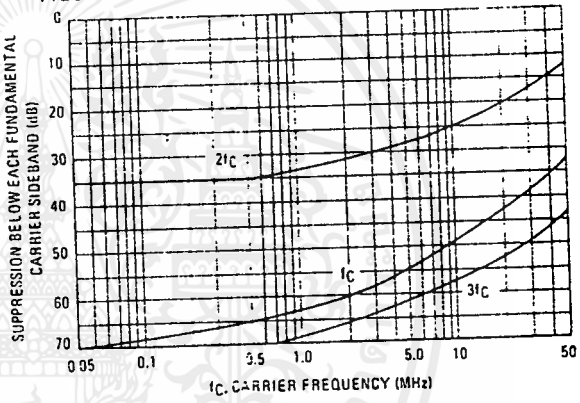


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

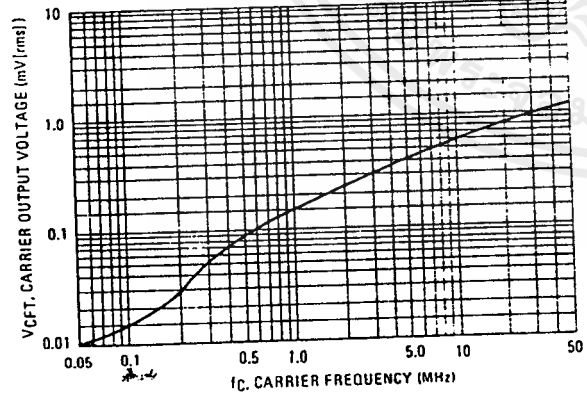
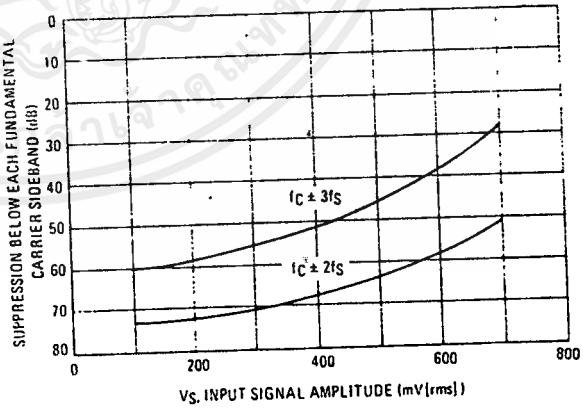


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

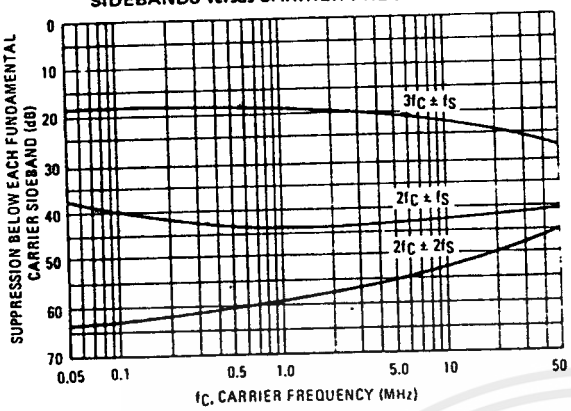
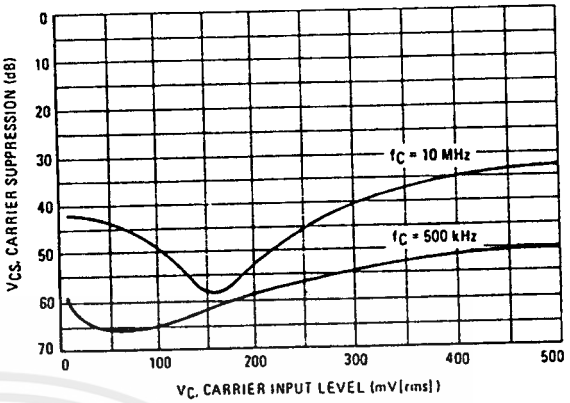


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

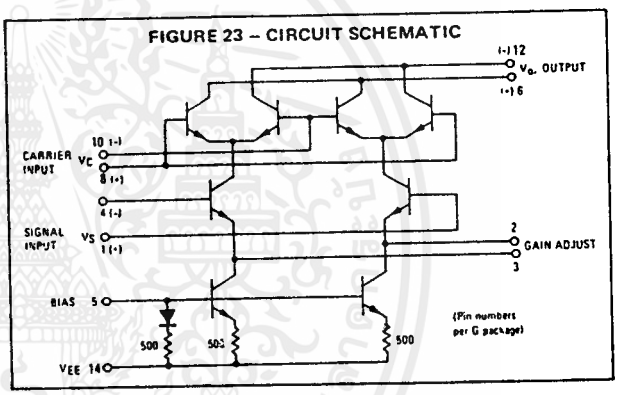
The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

FIGURE 23 – CIRCUIT SCHEMATIC



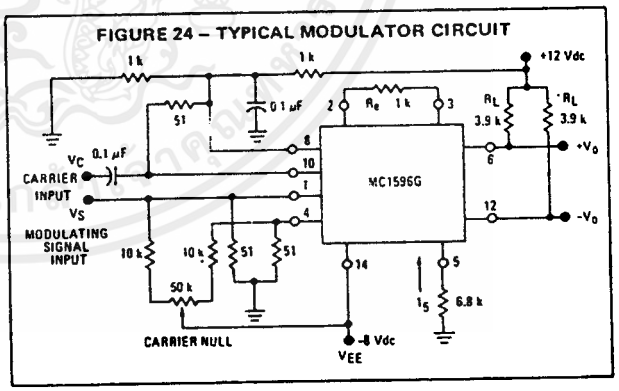
Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

FIGURE 24 – TYPICAL MODULATOR CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I_5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637\, R_L}{R_E + 2r_e}$	$f_C \pm f_M$, $3f_C \pm f_M$, $5f_C \pm f_M$, . . .

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

1) Low-level dc
2) High-level dc
3) Low-level ac
4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:
1. Low-level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C;
$$r_e \approx \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on pins 8 and 10 should be increased to 1.0 μF. Also, the output filter at pin 12 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

FIGURE 26 – BALANCED MODULATOR
(+12 Vdc SINGLE SUPPLY)

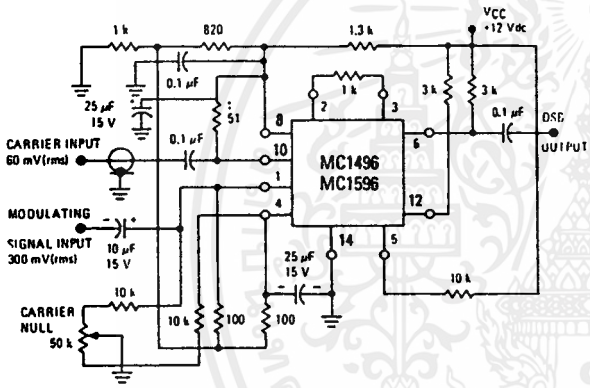


FIGURE 27 – BALANCED MODULATOR-DEMODULATOR

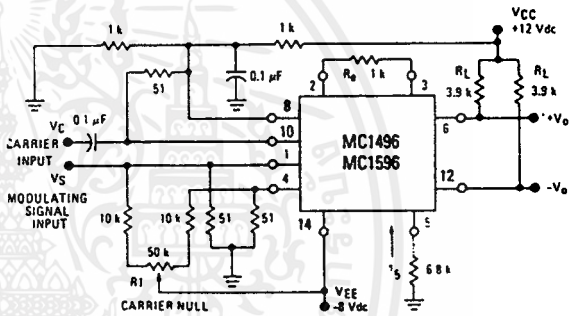


FIGURE 28 – AM MODULATOR CIRCUIT

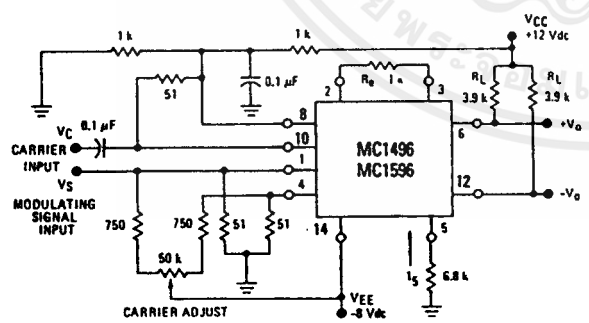
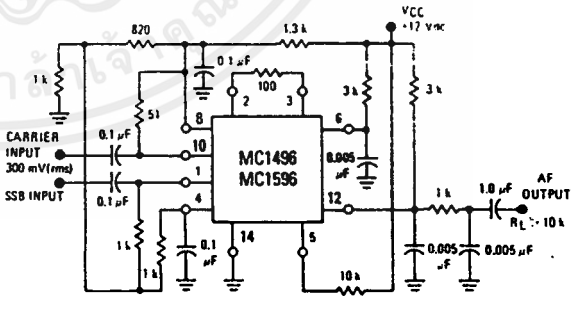


FIGURE 29 – PRODUCT DETECTOR
(+12 Vdc SINGLE SUPPLY)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 30 – DOUBLY BALANCED MIXER
(BROADBAND INPUTS, 9.0 MHz TUNED OUTPUT)

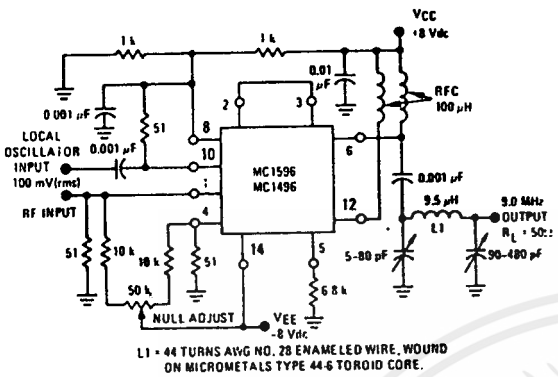


FIGURE 31 – LOW-FREQUENCY DOUBLER

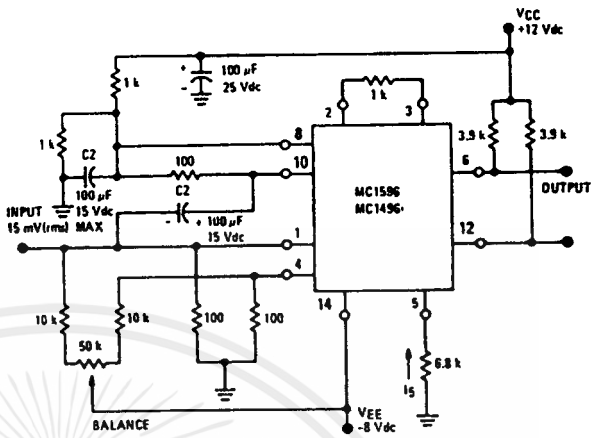
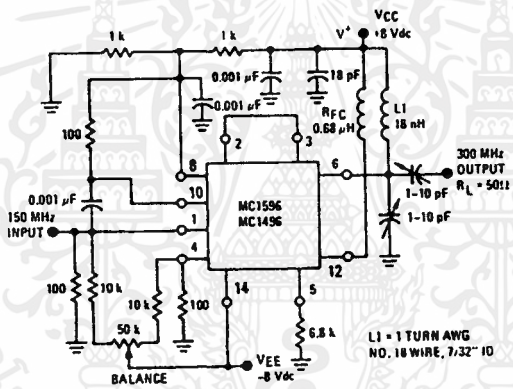
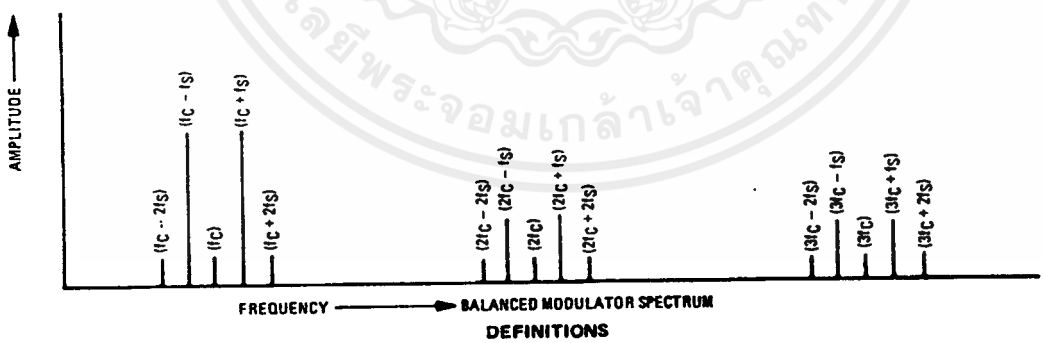


FIGURE 32 – 150 to 300 MHz DOUBLER





DEFINITIONS

f_C	CARRIER FUNDAMENTAL	$f_C \pm nf_S$	FUNDAMENTAL CARRIER SIDEBAND HARMONICS
f_S	MODULATING SIGNAL	nf_C	CARRIER HARMONICS
$f_C \pm f_S$	FUNDAMENTAL CARRIER SIDEBANDS	$nf_C \pm nf_S$	CARRIER HARMONIC SIDEBANDS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4046B
SCL4446B

CMOS PHASE-LOCKED LOOP

FEATURES

- Very low power consumption — 70 μW (typ) @ f_o = 10kHz, 5Vdc
- Operating frequency range (no offset) —
  Up to 3MHz (typ) @ 10Vdc (SCL4046B)
  Up to 4MHz (typ) @ 10Vdc (SCL4446B)
- Low frequency drift — 0.04%/°C (typ) @ 10Vdc
- Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indication
- VCO Inhibit control for ON-OFF keying and ultra-low standby power consumption
- High VCO linearity 1% (typ)
- Source-follower output of VCO control input (Demodulator Output)
- Zener Diode to assist Supply Regulation
- Balanced Output Drive Current Specifications

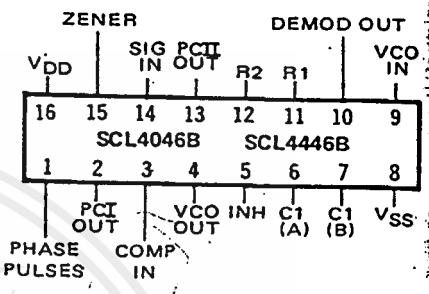
APPLICATIONS

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK-Modems
- Signal conditioning

DESCRIPTION

The SCL4046B and SCL4446B phase-locked loops contain two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common inputs. The Signal input can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator I (an exclusive-OR gate) provides a digital error signal PCI_{out}, and maintains 90° phase shift at the center frequency between Signal and Comparator inputs (both at 50% duty cycle). Phase comparator II (with leading edge sensing logic) provides digital error signals $PCII_{out}$ and Phase Pulses, and maintains a 0° phase shift between input signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source follower output, Demod Out, with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	V
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM

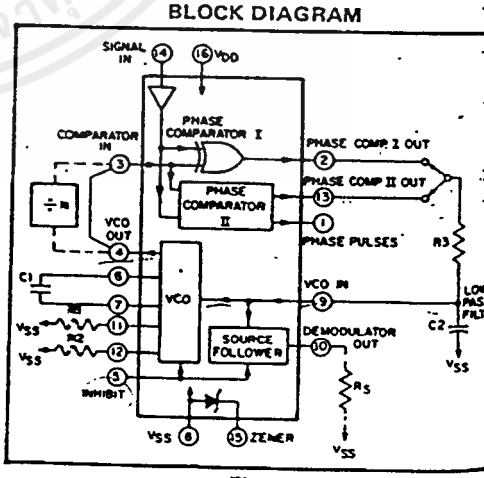


Fig. 1

เอกสารนี้จัดทำขึ้นเพื่อการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO SECTION

The VCO requires one external capacitor (C1) and one to two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12}\Omega$) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATOR OUTPUT). If this terminal is used, a load resistor (R_S) of 50kΩ or more should be connected from this terminal to V_{SS}. If unused, this terminal should be left open. The VCO can be connected directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

PHASE COMPARATORS

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" $\leqslant$ 30% (V_{DD}-V_{SS}), logic "1" $\geqslant$ 70% (V_{DD}-V_{SS})]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to $V_{DD}/2$. The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_o).

The frequency range of input signals on which the PLL will lock, if it was initially out of lock, is defined as the frequency capture range ($2f_c$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range can not exceed the lock range.

With phase comparator I, the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180°, and is 90° at the center frequency. Figure 2 shows the (typical) triangular phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition is shown in Figure 3.

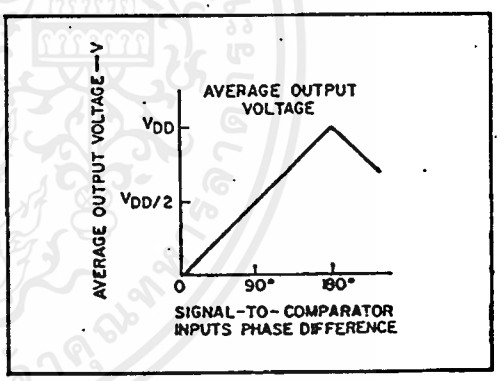


Fig. 2 — Phase-comparator I characteristics at low-pass filter output.

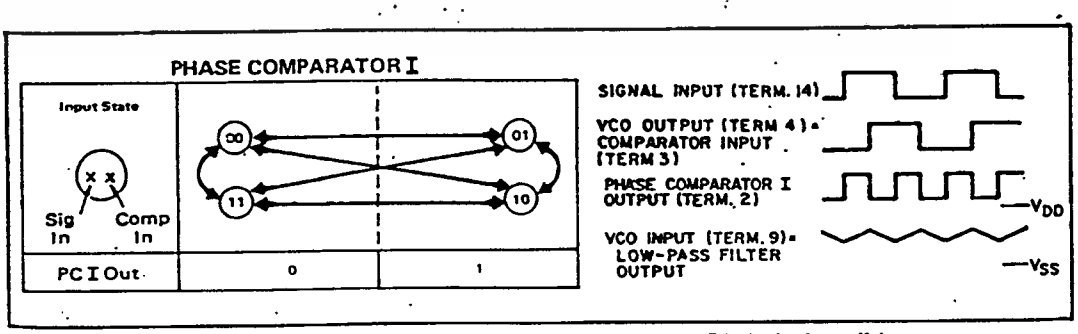


Fig. 3 — Typical waveforms employing phase comparator I in locked condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

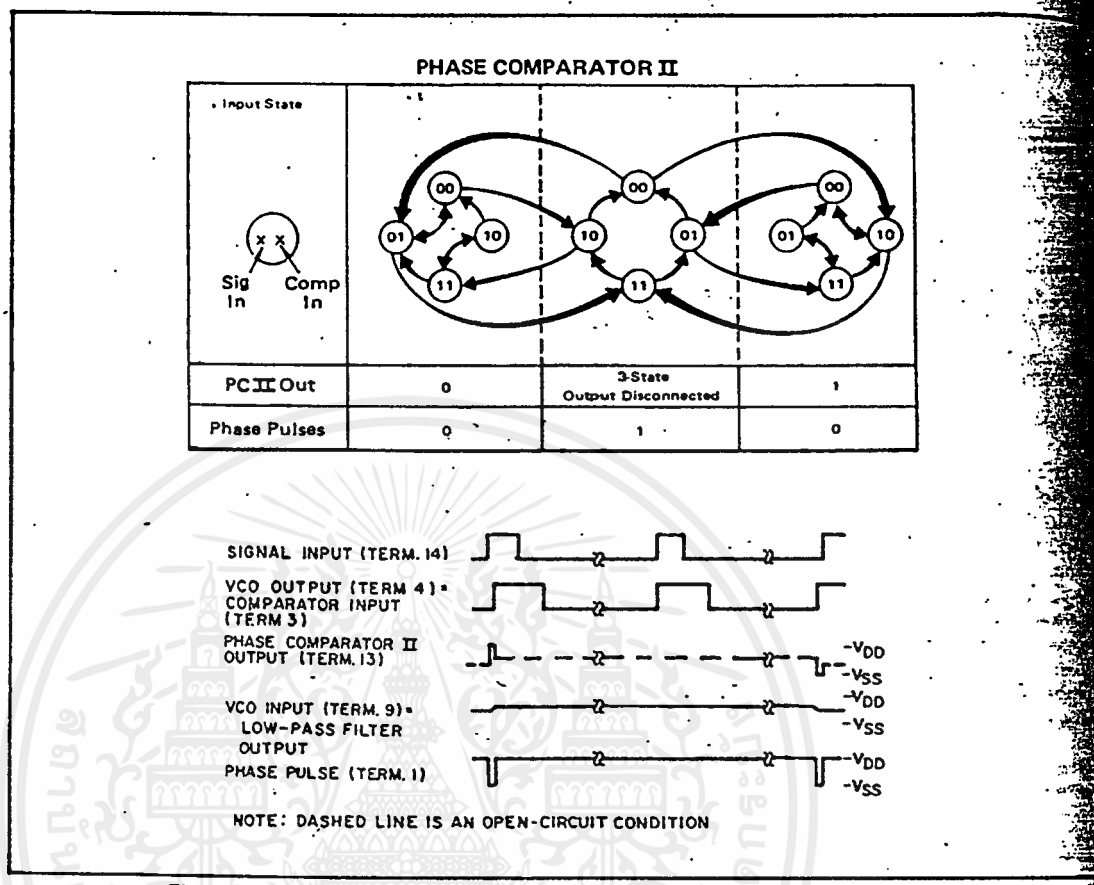


Fig. 4 – Typical waveforms employing phase comparator II in locked condition.

Phase-comparator II is an edge-controlled digital memory network. It consists of several flip-flop stages, control gating, and a three state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON, they pull the output up to V_{DD} or down to V_{SS}, respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point, both p- and n-type output drivers remain OFF. Thus, the phase comparato output becomes an open circuit and holds the vol age on the capacitor of the low-pass filter constan Moreover, the signal at the "phase pulses" output a high level which can be used for indicating locked condition. Thus, for phase comparator I no phase difference exists between signal and co parator input over the full VCO frequency rang Moreover, the power dissipation due to the lo pass filter is reduced when this type of phase co parator is used because both the p- and n-ty output drivers are OFF for most of the sign input cycle.

It should be noted that the PLL lock range f this type of phase comparator is equal to the ca ture range, independent of the low-pass filter. Wi no signal present at the signal input, the VCO adjusted to its lowest frequency for phase co parator II. Figure 4 shows typical waveforms f a CMOS PLL employing phase comparator II in locked condition.

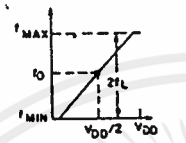
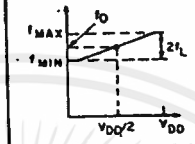
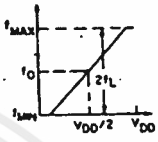
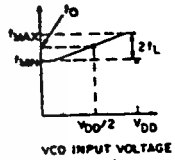
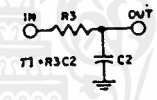
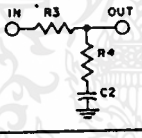
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN INFORMATION

This information is a guide for approximating the values of external components for the SCL4046B and SCL4446B in a Phase-Locked Loop system. The selected external components must be within the following ranges:

$R1, R2 \geq 2k\Omega$, $R_S \geq 10k\Omega$
$C1 \geq 15pF$

In addition to the given design information refer to Figure 5 for R1, R2, and C1 component selections.

CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_O		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 $\tau1 = R3C2$ $2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{\tau1}}$		$f_C = f_L$	
Loop Filter Component Selection	 For $2f_C$, see Ref.			
Phase Angle between Signal and Comparator	90^O at center frequency (f_O), approximating 0^O and 180^O at ends of lock range ($2f_L$)		Always 0^O in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	– Given: f_O – Use f_O with Fig.5e to determine R1 and C1	– Given: f_O and f_L – Calculate f_{min} from the equation $f_{min} = f_O - f_L$ – Use f_{min} with Fig. 5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_O + f_L}{f_O - f_L}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1	– Given: f_{max} – Calculate f_O from the equation $f_O = \frac{f_{max}}{2}$ – Use f_O with Fig.5e to determine R1 and C1	– Given: f_{min} & f_{max} – Use f_{min} with Fig.5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1

REF. G. S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS [1, 3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Unit
QUIESCENT DEVICE CURRENT	I_{DD}	5	Inhibit = V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	Signal Input =	–	10	–	0.01	10	–	300	
		15	V_{DD}	–	20	–	0.2	20	–	600	
TOTAL POWER DISSIPATION	P_T		Inh = V_{SS}, $VCO_{IN} = \frac{V_{DD}}{2}$, f_o = 10kHz, C_L = 15pF, R1 = 1MΩ, R2 = R_S = ∞								
		5		–	–	–	0.07	–	–	–	mW
		10		–	–	–	0.6	–	–	–	
		15		–	–	–	2.4	–	–	–	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

[3] VCO output (pin 4) and Phase Comparator Outputs (pins 2 and 13) have been designed for balanced output drive current specifications. Consult Family Specifications.

PARAMETER		CONDITIONS	R1 C1	V_{DD}	25°C Min.	25°C Typ.	25°C Max.	UNIT
VCO SECTION								
MAXIMUM OPERATING FREQUENCY SCL4046B	f_{max}	R2 = ∞, VCO_{IN} = V_{DD}	10k 50pF	5	0.5	0.8	–	MHz
				10	1.0	1.5	–	
				15	1.3	1.9	–	
			5k 50pF	5	0.6	1.0	–	MHz
				10	1.4	2.1	–	
				15	1.8	2.7	–	
			2k 50pF	5	–	1.3	–	MHz
				10	–	2.9	–	
				15	–	3.8	–	
SCL4446B		R2 = ∞, VCO_{IN} = V_{DD}	R1 C1					
			10k 50pF	5	0.7	1.0	–	MHz
				10	1.3	2.0	–	
				15	1.9	2.8	–	
			5k 50pF	5	0.9	1.3	–	MHz
				10	1.9	2.9	–	
				15	2.6	3.9	–	
			2k 50pF	5	–	1.8	–	MHz
				10	–	3.9	–	
				15	–	5.4	–	
LINEARITY		R2 = ∞, VCO_{IN} = 2.5±0.3V, R1 ≥ 10kΩ		5	–	1	–	%
		VCO_{IN} = 5.0±2.5V, R1 ≥ 400kΩ		10	–	1	–	
		VCO_{IN} = 7.5±5.0V, R1 ≥ 1MΩ		15	–	1	–	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

PARAMETER		CONDITIONS	V_{DD}	+25°C Min.	+25°C Typ.	+25°C Max.	UNIT
VCO SECTION (Continued)							
TEMPERATURE-FREQUENCY STABILITY							
No Offset		R2 = ∞	5	–	0.12-0.24	–	%/°C
			10	–	0.04-0.08	–	
			15	–	0.015-0.03	–	
With Offset		R2≤ 10X R1	5	–	0.06-0.12	–	%/°C
			10	–	0.05-0.1	–	
			15	–	0.03-0.06	–	
INPUT RESISTANCE (VCO_{IN})	R_{IN}		5, 10, 15	–	10^6	–	MΩ
OUTPUT DUTY CYCLE		All valid input combinations and voltages		–	50	—	%
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
PHASE COMPARATORS							
INPUT RESISTANCE							
Signal Input	R_{IN}		5	1	3	–	MΩ
			10	0.2	0.7	–	
			15	0.1	0.3	–	
Comparator Input	R_{IN}		5, 10, 15	–	10^6	–	MΩ
AC-COUPLED INPUT SENSITIVITY							
Signal Input	V_{IN}		5	–	200	400	mV
			10	–	400	800	
			15	–	700	1400	
OUTPUT TRANSITION TIME							
PCI, PCII Outputs	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
Phase Pulses Output	t_{TLH}, t_{THL}		5	–	130	260	ns
			10	–	65	130	
			15	–	50	100	
DEMODULATOR OUTPUT							
OFFSET VOLTAGE	VCO_{IN}-V_{DEM}	R_S>50kΩ	5	–	1.4	2.2	Vdc
			10	–	1.6	2.2	
			15	–	1.8	2.2	
LINEARITY		R_S>50kΩ					
		VCO_{IN} = 2.5±0.3V	5	–	0.1	–	%
		VCO_{IN} = 5.0±2.5V	10	–	0.6	–	
		VCO_{IN} = 7.5±5.0V	15	–	0.8	–	
ZENER DIODE							
ZENER VOLTAGE	V_Z	I_Z = 50μA	–	6.3	7.0	7.7	V
DYNAMIC RESISTANCE	R_Z	I_Z = 1mA	–	–	100	–	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

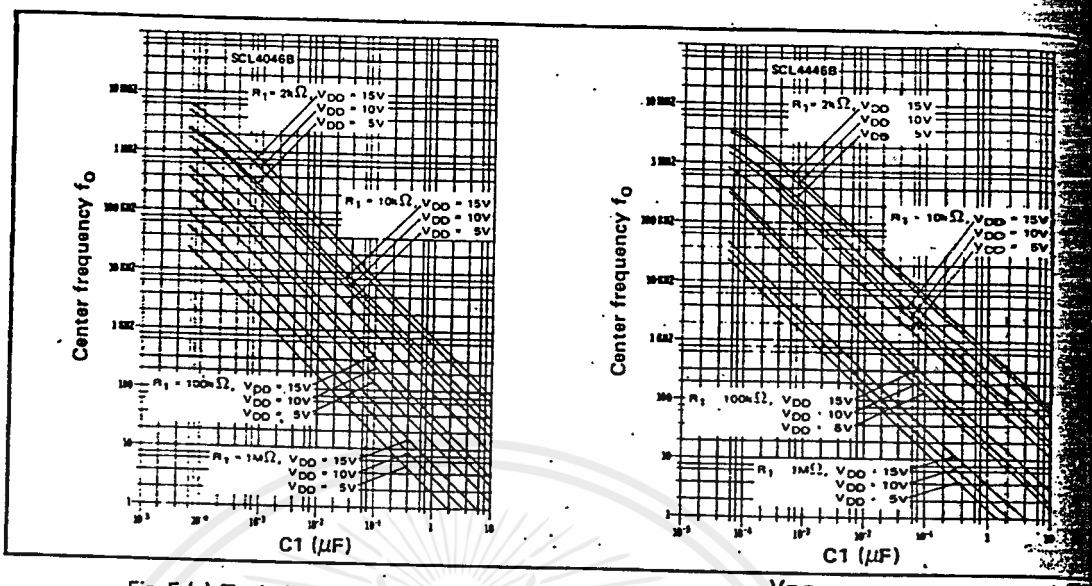


Fig. 5 (a) Typical center frequency (f_o) vs C1 (R2 = ∞, $VCO_{IN} = \frac{V_{DD}}{2}$, T_A = 25°C)

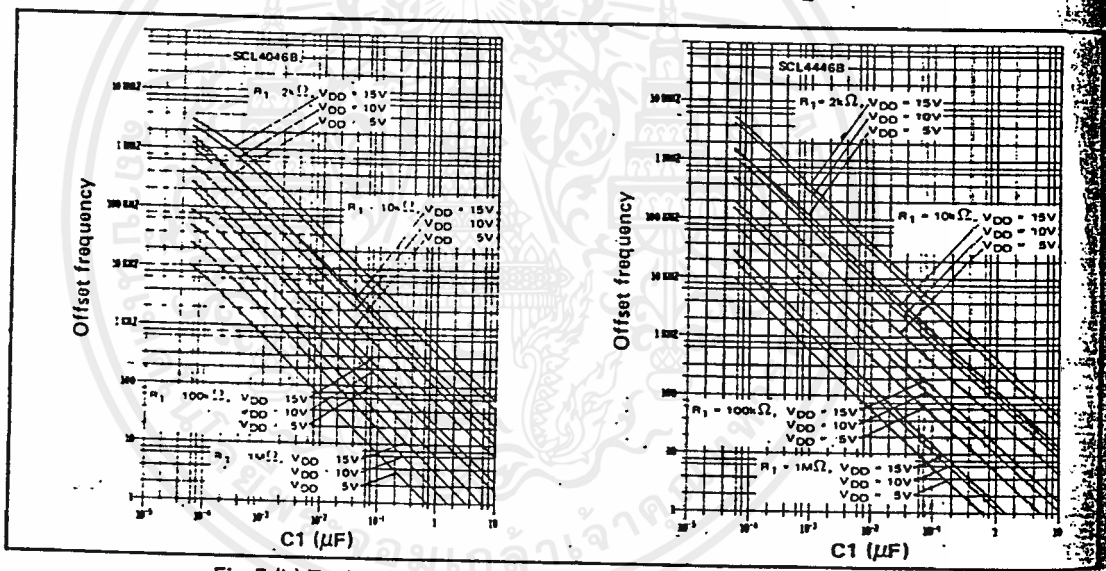


Fig. 5 (b) Typical frequency offset vs C1 ($VCO_{IN} = V_{SS}$, T_A = 25°C)

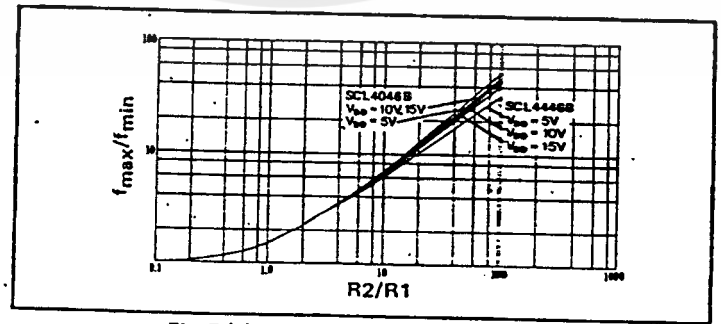


Fig. 5 (c) Typical f_{max}/f_{min} vs R2/R1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

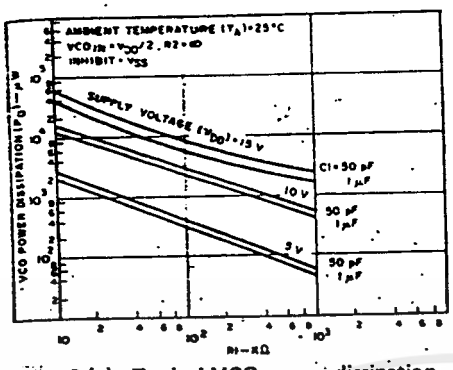


Fig. 6 (a) - Typical VCO power dissipation at center frequency vs R1.

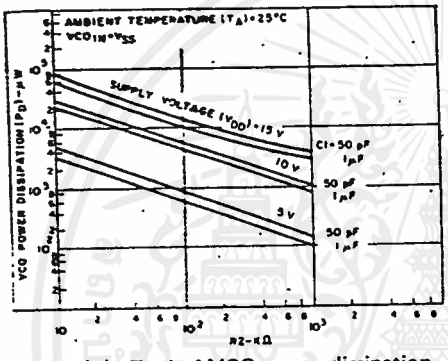


Fig. 6 (b) - Typical VCO power dissipation at f_{min} vs R2.

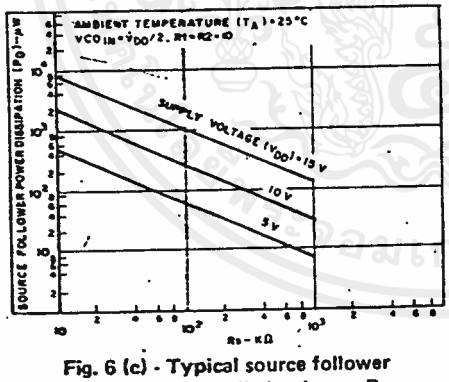


Fig. 6 (c) - Typical source follower power dissipation vs R_S.

NOTE: To obtain approximate total power dissipation of PLL system for no-signal input

P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S)
— Phase Comparator I

P_D (Total) = P_D (f_{MIN})
— Phase Comparator II

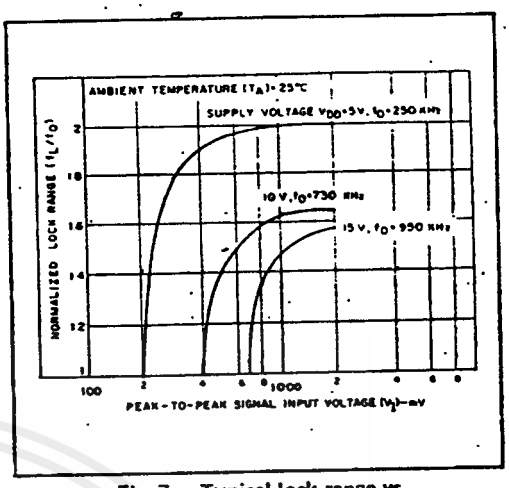


Fig. 7 — Typical lock range vs signal input amplitude

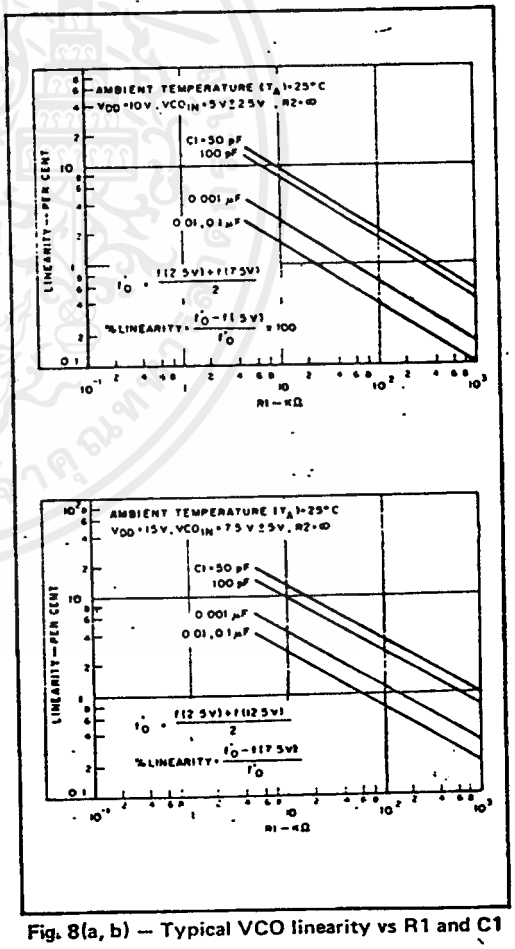


Fig. 8(a, b) — Typical VCO linearity vs R1 and C1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

CD4047BM/CD4047BC Low Power Monostable/Astable Multivibrator

general description

CD4047B is capable of operating in either the monostable or astable mode. It requires an external capacitor (between pins 1 and 3) and an external resistor (between pins 2 and 3) to determine the output pulse width in the monostable mode, and the output frequency in the astable mode.

Astable operation is enabled by a high level on the astable input or low level on the $\overline{\text{astable}}$ input. The output frequency (at 50% duty cycle) at Q and $\overline{Q}$ outputs is determined by the timing components. A frequency twice that of Q is available at the Oscillator Output; a 50% duty cycle is not guaranteed.

Monostable operation is obtained when the device is triggered by low-to-high transition at + triggger input or high-to-low transition at — trigger input. The device can be retriggered by applying a simultaneous low-to-high transition to both the + trigger and retrigger inputs.

A high level on Reset input resets the outputs Q to low, $\overline{Q}$ to high.

features

- Wide supply voltage range — 3V to 15V
- High noise immunity — 0.45 V_{DD} typ
- Low power TTL compatibility — fan out of 2 driving 74L or driving 74LS

SPECIAL FEATURES

- Low power consumption: special CMOS oscillator configuration
- Monostable (one-shot) or astable (free-running) operation
- True and complemented buffered outputs
- Only one external R and C required

MONOSTABLE MULTIVIBRATOR FEATURES

- Positive or negative-edge trigger
- Output pulse width independent of trigger pul duration
- Retriggerable option for pulse width expansion
- Long pulse widths possible using small RC compo nents by means of external counter provision
- Fast recovery time essentially independent of pul width
- Pulse-width accuracy maintained at duty cycle approaching 100%

ASTABLE MULTIVIBRATOR FEATURES

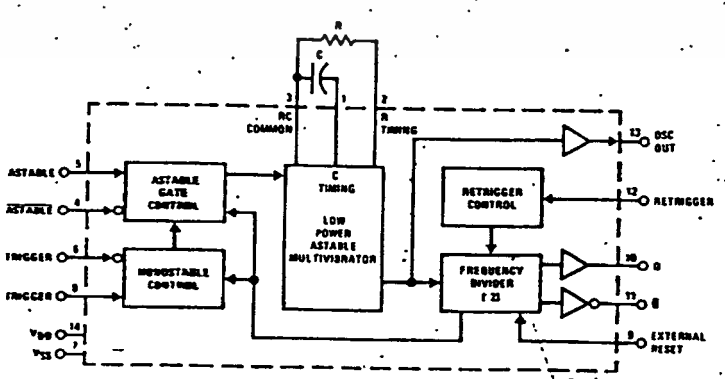
- Free-running or gatable operating modes
- 50% duty cycle
- Oscillator output available
- Good astable frequency stability

typical frequency deviation = ±2% + 0.03%/°C @ 100 kHz
= ±0.5% + 0.015%/°C @ 10 kHz
(circuits trimmed to frequency V_{DD} = 10V ±10%)

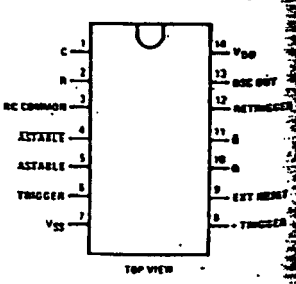
applications

- Frequency discriminators
- Timing circuits
- Time-delay applications
- Envelope detection
- Frequency multiplication
- Frequency division

block and connection diagrams



Dual-In-Line and Flat Package



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings

(Notes 1 and 2)

V_{DD} dc Supply Voltage	−0.5 to +18V_{DC}
V_{IN} Input Voltage	−0.5 to V_{DD} + 0.5V_{DC}
T_S Storage Temperature Range	−65°C to +150°C
P_D Package Dissipation	500 mW
T_L Lead Temperature (Soldering, 10 seconds)	300°C

recommended operating conditions

(Note 2)

V_{DD} dc Supply Voltage	3 to 15V_{DC}
V_{IN} Input Voltage	0 to $V_{DD}V_{DC}$
T_A Operating Temperature Range	
CD4047BM	−55°C to +125°C
CD4047BC	−40°C to +85°C

dc electrical characteristics CD4047BM (Note 2)

PARAMETER		CONDITIONS	−55°C		25°C			125°C		UNITS
			MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I_{DD}	Quiescent Device Current	V_{DD} = 5V		5			5		150	μA
		V_{DD} = 10V		10			10		300	μA
		V_{DD} = 15V		20			20		600	μA
V_{OL}	Low Level Output Voltage	$\|I_O\| < 1$ μA								
		V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	$\|I_O\| < 1$ μA								
		V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.75	4.0		4.0	V
V_{IH}	High Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	Low Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4		mA
I_{OH}	High Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.64		−0.51	−0.88		−0.36		mA
		V_{DD} = 10V, V_O = 9.5V	−1.6		−1.3	−2.25		−0.9		mA
		V_{DD} = 15V, V_O = 13.5V	−4.2		−3.4	−8.8		−2.4		mA
I_{IN}	Input Current	V_{DD} = 15V, V_{IN} = 0V		−0.1		-10^{-5}	−0.1		−1.0	μA
		V_{DD} = 15V, V_{IN} = 15V		0.1		10^{-5}	0.1		1.0	μA

dc electrical characteristics CD4047BC (Note 2)

PARAMETER		CONDITIONS	−40°C		25°C			85°C		UNITS
			MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I_{DD}	Quiescent Device Current	V_{DD} = 5V		20			20		150	μA
		V_{DD} = 10V		40			40		300	μA
		V_{DD} = 15V		80			80		600	μA
V_{OL}	Low Level Output Voltage	$\|I_O\| < 1$ μA								
		V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

dc electrical characteristics (Continued) CD4047BC (Note 2)

PARAMETER		CONDITIONS	−40°C		25°C			85°C	
			MIN	MAX	MIN	TYP	MAX	MIN	MAX
V_{OH}	High Level Output Voltage	$\|I_O\| < 1\ \mu A$							
		V_{DD} = 5V	4.95		4.95	5		4.95	
		V_{DD} = 10V	9.95		9.95	10		9.95	
		V_{DD} = 15V	14.95		14.95	15		14.95	
V_{IL}	Low Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5
		V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.75	4.0		4.0
V_{IH}	High Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5	
		V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0	
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0	
I_{OL}	Low Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.52		0.44	0.88		0.36	
		V_{DD} = 10V, V_O = 0.5V	1.3		1.1	2.25		0.9	
		V_{DD} = 15V, V_O = 1.5V	3.6		3.0	8.8		2.4	
I_{OH}	High Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.52		−0.44	−0.88		−0.36	
		V_{DD} = 10V, V_O = 9.5V	−1.3		−1.1	−2.25		−0.9	
		V_{DD} = 15V, V_O = 13.5V	−3.6		−3.0	−8.8		−2.4	
I_{IN}	Input Current	V_{DD} = 15V, V_{IN} = 0V		−0.3		-10^{-5}	−0.3		−1.0
		V_{DD} = 15V, V_{IN} = 15V		0.3		10^{-5}	0.3		1.0

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed, they are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

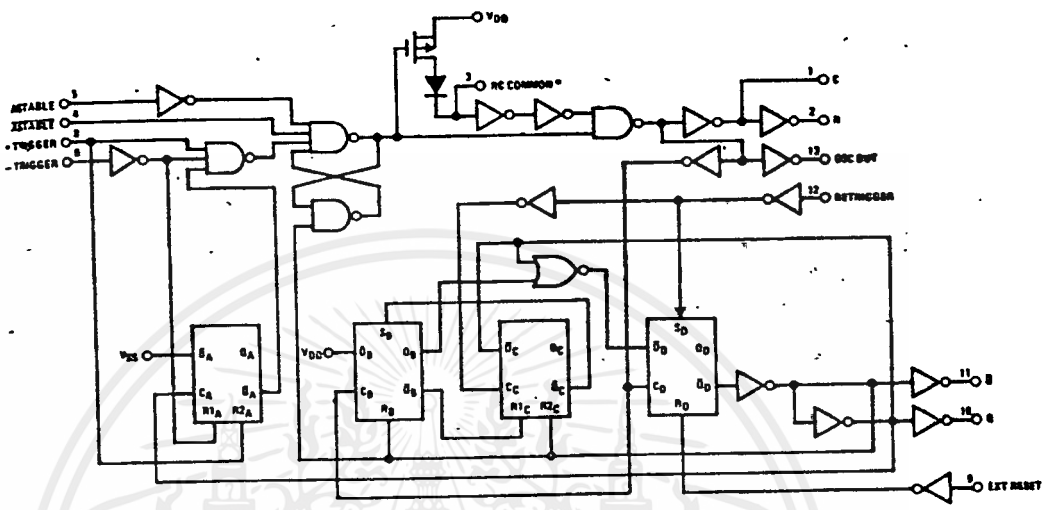
ac electrical characteristics CD4047B

T_A = 25°C, C_L = 50 pF, R_L = 200k, Input $t_r = t_f$ = 20 ns, unless otherwise specified.

	PARAMETER	CONDITIONS	MIN	TYP	MAX
t_{PHL}, t_{PLH}	Propagation Delay Time Astable, $\overline{\text{Astable}}$ to Osc Out	V_{DD} = 5V		200	400
		V_{DD} = 10V		100	200
		V_{DD} = 15V		80	160
t_{PHL}, t_{PLH}	Astable, $\overline{\text{Astable}}$ to Q, $\overline{Q}$	V_{DD} = 5V		550	900
		V_{DD} = 10V		250	500
		V_{DD} = 15V		200	400
t_{PHL}, t_{PLH}	+ Trigger, − Trigger to Q, $\overline{Q}$	V_{DD} = 5V		700	1200
		V_{DD} = 10V		300	600
		V_{DD} = 15V		240	480
t_{PHL}, t_{PLH}	+ Trigger, Retrigger to Q, $\overline{Q}$	V_{DD} = 5V		300	600
		V_{DD} = 10V		175	300
		V_{DD} = 15V		150	250
t_{PHL}, t_{PLH}	Reset to Q, $\overline{Q}$	V_{DD} = 5V		300	600
		V_{DD} = 10V		125	250
		V_{DD} = 15V		100	200
t_{THL}, t_{TLH}	Transition Time Q, $\overline{Q}$, Osc Out	V_{DD} = 5V		100	200
		V_{DD} = 10V		50	100
		V_{DD} = 15V		40	80
t_{WL}, t_{WH}	Minimum Input Pulse Duration	Any Input			
		V_{DD} = 5V		500	1000
		V_{DD} = 10V		200	400
		V_{DD} = 15V		160	320
t_{RCL}, t_{FCL}	+ Trigger, Retrigger, Rise and Fall Time	V_{DD} = 5V			15
		V_{DD} = 10V			5
		V_{DD} = 15V			5
C_{IN}	Average Input Capacitance	Any Input		5	7.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

logic diagram



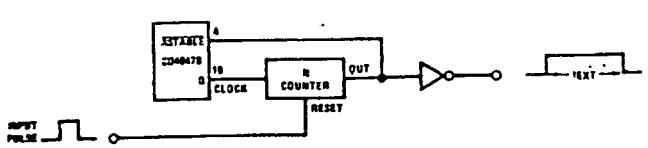
*Special input protection circuit to permit larger input-voltage swings

truth table

FUNCTION	TERMINAL CONNECTIONS			OUTPUT PULSE FROM	TYPICAL OUTPUT PERIOD OR PULSE WIDTH
	TO V_{DD}	TO V_{SS}	INPUT PULSE TO		
Astable Multivibrator					
Free-Running	4, 5, 6, 14	7, 8, 9, 12		10, 11, 13	$t_A(10, 11) = 4.40\ RC$
True Gating	4, 6, 14	7, 8, 9, 12	5	10, 11, 13	$t_A(13) = 2.20\ RC$
Complement Gating	6, 14	5, 7, 8, 9, 12	4	10, 11, 13	
Monostable Multivibrator					
Positive-Edge Trigger	4, 14	5, 6, 7, 9, 12	8	10, 11	
Negative-Edge Trigger	4, 8, 14	5, 7, 9, 12	6	10, 11	$t_M(10, 11) = 2.48\ RC$
Retriggerable	4, 14	5, 6, 7, 9	8, 12	10, 11	
External Countdown*	14	5, 6, 7, 8, 9, 12	(See Figure)	(See Figure)	(See Figure)

Note: External resistor between terminals 2 and 3. External capacitor between terminals 1 and 3.

*Typical Implementation of External Countdown Option



$$t_{EXT} = (N - 1)\ t_A + (t_M + t_A/2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้