สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

โมเด็มไร้สาย

WIRELESS MODEM

โดย

นายพีระพงษ์ หริตกุล

นายเอกรินทร์ ปราบพล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน 36950
วัน, เดือน, ปี 29 ส.ค. 2543

สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โมเด็มไร้สาย

WIRELESS MODEM

โดย

นายพีระพงษ์ หริตกุล 40013222

นายเอกรินทร์ ปราบพล 40013242

อาจารย์ที่ปรึกษา

ผศ.ประภากร สุวรรณะ

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2542

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง โมเด็มไร้สาย (WIRELESS MODEM)

ผู้จัดทำ

1. นายพีระพงษ์ หริตกุล รหัส 40013222
2. นายเอกรินทร์ ปราบพล รหัส 40013242

..... อาจารย์ที่ปรึกษา

(ผศ. ประภากร สุวรรณะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โมเด็มไร้สาย

นายพีระพงษ์ หริตกุล
นายเอกรินทร์ ปราบพล
ผศ. ประภากร สุวรรณะ (อาจารย์ที่ปรึกษา)
ปีการศึกษา 2542

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้รายงานการศึกษา และสร้างเครื่องส่งข้อมูลระหว่าง computer โดยสัญญาณข่าวสารจากเครื่อง computer เครื่องหนึ่งไปสู่ computer อีกเครื่องหนึ่ง โดยใช้อัตราเร็วในการส่งข้อมูล 9600 บิทต่อวินาที (baud rate) ผ่านพอร์ทอนุกรมของเครื่อง computer ผ่านการเข้ารหัสแบบ FSK และทำการมอดดูเลทแบบ FM ก่อนนำสัญญาณข่าวสารส่งออกอากาศแบบ Half Duplex จำนวน 20 ช่องสัญญาณ ที่เครื่องรับจะทำการถอดรหัส FSK ได้เป็นสัญญาณข่าวสารเข้าสู่พอร์ทอนุกรม computer ของเครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WIRELESS MODEM

Mr. Peerapong Haritakul
Mr. Ekharin Prabpol
Assist. Prof. Prapakorn Suwanna (Advisor)
Educational Year 1999

Abstract

This thesis presents a design and implementation of data communication between computers. The intelligence signal from a computer is sent to another one with baud rate of 9600 bit per second. Data is transmitted through a computer serial port and then coded by frequency shift keying. Next, frequency modulated and send out by Half duplex communication about 20 channels. Finally, the same data with respect to data from transmitted computer is brought to received computer through its serial port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ผู้จัดทำรายงานขอขอบพระคุณอาจารย์ที่ปรึกษา ผศ. ประภากร สุวรรณะ ที่ได้ให้คำปรึกษาในการเริ่มต้นทำโครงงานชิ้นนี้ ตลอดจนข้อคิดเห็นในทางปฏิบัติและแนวทางในการแก้ไขปัญหาต่างๆ จนสำเร็จมาได้ด้วยดี และอาจารย์ในภาควิชาอิเล็กทรอนิกส์ที่ให้คำแนะนำในการปฏิบัติงานต่าง ๆ โดยผู้จัดทำรายงานได้นำความรู้ที่เรียนผ่านมาในแต่ละเทอม นำมาประยุกต์และนำมาแก้ไขปัญหาต่าง ๆ ซึ่งเป็นประโยชน์อย่างมากทำให้สามารถแก้ไขปัญหาต่าง ๆ จนสำเร็จลงได้ด้วยดี ซึ่งถ้าขาดบุคคลดังกล่าวมาแล้วผู้จัดทำรายงานก็คงไม่สามารถที่จะทำงานให้สำเร็จลงได้ และในสุดท้ายนี้ผู้จัดทำรายงานใคร่ขอขอบพระคุณบุคคลที่ได้กล่าวถึงเป็นอย่างสูง ผู้จัดทำรายงานขอระลึกถึงด้วยความขอบคุณยิ่ง

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
Abstract	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูป	VI
บทที่ 1 บทนำ	
บทที่ 2 พื้นฐานระบบสื่อสาร	
2.1 บทนำ	2
2.2 ระบบสื่อสาร	2
2.3 การสื่อสารข้อมูล (Data Communication)	6
2.4 การรับส่งข้อมูลแบบขนาน (Parallel Transmission)	7
2.5 การรับส่งข้อมูลแบบอนุกรม (Serial Transmission)	8
2.6 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม	14
2.7 การส่งสัญญาณ (Transmission)	14
บทที่ 3 การมอดดูเลทางความถี่	
3.1 บทนำ	16
3.2 การมอดดูเลทของคลื่น	18
3.3 ดัชนีการมอดดูเลท	19
3.4 ไซด์แบนด์ FM	20
3.5 แบนด์วิดท์ของสัญญาณ FM	22
3.6 Phase - Lock Loops (PLL)	24
บทที่ 4 การมอดดูเลตสัญญาณแบบดิจิตอล	
4.1 บทนำ	26
4.2 การมอดดูเลตสัญญาณแบบดิจิตอล	26
บทที่ 5 พอร์ต RS-232	
5.1 บทนำ	34
5.2 พอร์ต RS-232	34
5.3 ลักษณะสมบัติทางไฟฟ้าของสัญญาณ RS-232C	35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
5.4 ลักษณะสมบัติเชิงกลของข้อต่อ (Connector)	36
5.5 DB-25 และ DB-9	38
5.6 การเชื่อมต่อคอมพิวเตอร์กับคอมพิวเตอร์โดยตรง (Null Modem)	39
บทที่ 6 หลักการทำงานของวงจร	37
6.1 วงจรแปลงระดับสัญญาณ RS 232	37
6.2 การทำงานของ FSK Modulator	38
6.3 การทำงานของ FSK Demodulator	40
6.4 การออกแบบวงจร	41
บทที่ 7 ผลการวัดสัญญาณและโปรแกรมทดสอบการรับส่งข้อมูล	45
7.1 บทนำ	45
7.2 PORT RS-232C	45
7.3 FSK Modulator และ Demodulator	46
7.4 โปรแกรมทดสอบการรับส่งข้อมูล	47
บทที่ 8 บทสรุป และวิจารณ์	57
หนังสืออ้างอิง	
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

บทที่ 2

รูปที่ 2.1 ระบบสื่อสารพื้นฐาน 2

รูปที่ 2.2 แสดงแบบต่างๆ ของสื่อกลาง 2

รูปที่ 2.2 (ต่อ) แสดงแบบต่างๆ ของสื่อกลาง 3

รูปที่ 2.3 แสดงการกำหนดค่าความกว้างแถบความถี่ 4

รูปที่ 2.4 (ก) แสดงระบบสื่อสารแบบอนาลอกระบบ Base band 4

รูปที่ 2.4 (ข) แสดงระบบสื่อสารแบบอนาลอกระบบ Broad band 5

รูปที่ 2.5 แสดงระบบสื่อสารทั้งแบบอนาลอกและดิจิตอล 6

รูปที่ 2.6 แสดงการส่งผ่านข้อมูลโดยใช้รหัส 7

รูปที่ 2.7 การส่งข้อมูลแบบขนาน 8

รูปที่ 2.8 การส่งข้อมูลแบบอนุกรม 8

รูปที่ 2.9 แสดงการส่งข้อมูลแบบซิงโครนัส 9

รูปที่ 2.10 แสดงรูปแบบข้อมูลแบบซิงโครนัส 10

รูปที่ 2.11 แสดงการส่งข้อมูลแบบอะซิงโครนัส 11

รูปที่ 2.12 แสดงรูปแบบข้อมูลแบบอะซิงโครนัส 11

รูปที่ 2.13 การส่งผ่านแบบทิศทางเดียว 15

รูปที่ 2.14 การส่งผ่านแบบสองทิศทางแต่ต่างเวลากัน 15

รูปที่ 2.15 การส่งผ่านแบบสองทิศทางที่เวลาเดียวกัน 16

บทที่ 3

รูปที่ 3.1 แสดงสัญญาณความถี่กับสัญญาณที่ถูกมอดดูเลทแบบ FM และ PM 18

รูปที่ 3.2 แสดงการมอดดูเลทคลื่น FM ใน Frequency – domain 19

รูปที่ 3.3 กราฟแสดงแอมพลิจูดของพาหะและไซด์แบนด์ในระบบ FM 21

รูปที่ 3.4 รูปคลื่น FM ในเชิงความถี่ที่ค่าดัชนีการมอดดูเลตเท่ากับ 0,0.5,1,1.5,2,3 22

รูปที่ 3.5 Block Diagram Phase - Look Loop (PLL) 24

รูปที่ 3.6 Block Diagram การทำงานของวงจรสังเคราะห์ความถี่ 25

บทที่ 4

รูปที่ 4.1 แสดงรูปการมอดดูเลตดิจิตอลทางขนาด 27

รูปที่ 4.2 แสดงรูปการมอดดูเลตดิจิตอลทางเฟส 28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.3 แสดงสัญญาณในแบบ BPSK 28
รูปที่ 4.4 แสดงการมอดดูเลตดิจิตอลทางความถี่ 29
รูปที่ 4.5 ช่องสัญญาณในสายส่งเมื่อใช้การมอดดูเลตแบบ FSK ในการส่งข้อมูลแบบฟลูดูเพล็กซ์ 30
รูปที่ 4.6 ช่องสัญญาณในสายส่งเมื่อใช้การมอดดูเลตแบบ FSK ในการส่งข้อมูลแบบฮาล์ฟดูเพล็กซ์ 30
รูปที่ 4.7 แสดงการประมาณค่าความกว้างแถบของแบบ FSK 31
บทที่ 5
รูปที่ 5.1 การใช้ RS-232C เชื่อมต่ออุปกรณ์ 34
รูปที่ 5.2 แสดงย่านของแรงดันไฟฟ้าที่ใช้ในสัญญาณ RS-232C 35
รูปที่ 5.3 การต่อ RS-232C ระหว่างคอมพิวเตอร์อย่างง่าย ๆ 40
รูปที่ 5.4 การต่อคอมพิวเตอร์ผ่าน RS-232C แบบมี Hand Shake 40
บทที่ 6
รูปที่ 6.1 บล็อกไดอะแกรมของโครงงาน 41
รูปที่ 6.2 วงจรภาครับ 42
รูปที่ 6.3 วงจรผลิตความถี่ 49.94 MHz และวงจรผลิตความถี่ 39.24 MHz 43
รูปที่ 6.4 วงจรออสซิลเลเตอร์ตามแรงดัน VCO 44
รูปที่ 6.5 วงจรออสซิลเลเตอร์ความถี่ 36 MHz 45
รูปที่ 6.6 วงจรมิกเซอร์ 46
รูปที่ 6.7 วงจร Phase Detector และ Loop filter 47
รูปที่ 6.8 วงจร RF Amplifier 48
รูปที่ 6.9 วงจรแปลงระดับสัญญาณ RS-232C 49
รูปที่ 6.10 วงจรภายในของ XR 2206 51
รูปที่ 6.11 วงจร FSK Modulator โดยใช้ IC เบอร์ XR 2206 51
รูปที่ 6.12 วงจรภายในของ XR2211 52
รูปที่ 6.13 วงจรที่ใช้งานของ XR 2211 53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

บทที่ 7

รูปที่ 7.1 สัญญาณของ RS-232C ที่ผ่านวงจรแปลงระดับสัญญาณ 54
รูปที่7.2 (ก) สัญญาณที่ Output ของวงจร FSK ความถี่ที่ Logic "1" เท่ากับ 28.8 kHz 55
รูปที่7.2 (ข) สัญญาณที่ Output ของวงจร FSK ความถี่ที่ Logic "0" เท่ากับ 38.4 kHz 55
รูปที่ 7.3 สัญญาณ Output วงจร Oscillator 49.94 MHz ของภาคส่ง 56
รูปที่ 7.4 สัญญาณ Output ที่ขา Emitter ของ Transistor Channel 1 56
รูปที่ 7.5 (ก) Output สัญญาณ RF ที่ CH 1 58
รูปที่ 7.5 (ข) Output สัญญาณ RF ที่ CH 20 58
รูปที่ 7.5 (ค) Output สัญญาณ RF เมื่อยังไม่มอดดูเลทสัญญาณที่ CH 1 59
รูปที่ 7.5 (ง) Output สัญญาณ RF เมื่อมีการมอดดูเลทสัญญาณที่ CH 1 59
รูปที่ 7.6 Output ของวงจร FM Detector 60
รูปที่ 7.7 กราฟแสดง Bandwidth ของภาครับ 61
รูปที่ 7.8 สัญญาณทางภาคส่ง และสัญญาณทางภาครับ 62
รูปที่ 7.9 โปรแกรมรับ – ส่งข้อมูลทางภาคส่ง 62
รูปที่ 7.10 โปรแกรมรับ – ส่งข้อมูลทางภาครับ 63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันการสื่อสารข้อมูลมีความสำคัญอย่างมากต่อชีวิตประจำวัน โดยเฉพาะอย่างยิ่งการสื่อสารข้อมูลระหว่างคอมพิวเตอร์ ในการสื่อสารข้อมูลระหว่างเครื่องคอมพิวเตอร์ส่วนใหญ่จะเป็นโมเด็มผ่านโครงข่ายโทรศัพท์ และจะมีความเร็วแตกต่างกันขึ้นอยู่กับชนิดของการมอดดูเลตของข้อมูล ซึ่งรูปแบบการมอดดูเลตมีอยู่หลายรูปแบบด้วยกัน ยกตัวอย่างเช่น โมเด็มที่ใช้การมอดดูเลตแบบ FSK(Frequency Shift Keying) จะใช้ในช่วงอัตราเร็วข้อมูลจากต่ำไปถึงปานกลางที่ใช้ได้ถึง 1200 บิท / วินาที จากตัวอย่างดังกล่าวทำให้เกิดแนวความคิดในการพัฒนาการส่งข้อมูลที่ใช้การมอดดูเลตแบบ FSK ให้มีอัตราเร็วในการส่งข้อมูลสูงขึ้น โดยการสื่อสารข้อมูลผ่านคลื่นวิทยุ แทนที่การสื่อสารข้อมูลผ่านสายโทรศัพท์และจะช่วยให้เกิดความคล่องตัวในการใช้งานคือสะดวกในการติดตั้งและเคลื่อนย้าย เนื่องจากไม่ต้องใช้สาย รายงานฉบับนี้จะประกอบไปด้วยเนื้อหาและรายละเอียดที่เกี่ยวกับการสื่อสารข้อมูล โดยจะเน้นไปที่การมอดดูเลตของสัญญาณแบบ FM และการมอดดูเลตสัญญาณแบบดิจิตอล และในส่วนสุดท้ายของรายงานนั้นจะเป็นการสรุปเกี่ยวกับการทดลองคุณสมบัติต่าง ๆ ของ วงจร รวมไปถึงภาคผนวก ซึ่งจะเป็นเนื้อหาที่เกี่ยวกับ Data Sheet และคุณสมบัติต่าง ๆ ของอุปกรณ์ที่สำคัญ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

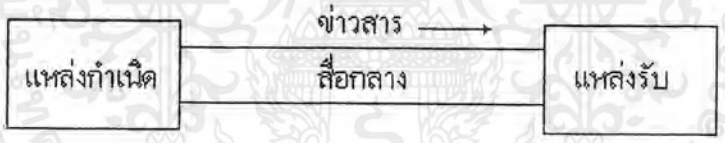
บทที่ 2
พื้นฐานระบบสื่อสาร

2.1 บทนำ

ระบบสื่อสาร (COMMUNICATION SYSTEM) มีความหมายกว้างขวาง การส่งข่าวสารทางสายก็เป็นชนิดหนึ่งของระบบสื่อสาร โดยพื้นฐานแล้วระบบสื่อสารจะประกอบด้วยส่วนใหญ่ๆ 3 ส่วนคือ

1. ตัวส่งข่าวสาร (TRANSMITTER)
2. ตัวกลางในการส่งข่าวสาร (MEDIUM)
3. ตัวรับข่าวสาร (RECEIVER)

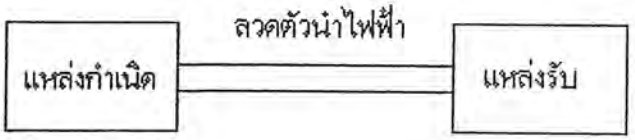
แต่ละส่วนจะมีความสัมพันธ์กันดังรูปที่ 2.1



รูปที่ 2.1 ระบบสื่อสารพื้นฐาน

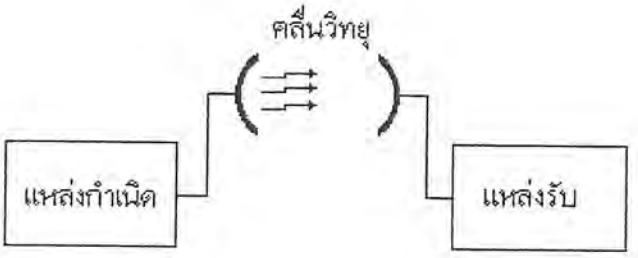
2.2 ระบบสื่อสาร

ในระบบสื่อสารสื่อกลางของการสื่อสารสามารถที่จะมีได้หลายรูปแบบ โดยเฉพาะในงานทางด้านโทรคมนาคมเราใช้สื่อกลางเป็นลวดตัวนำหรือคลื่นวิทยุก็ได้ ซึ่งแสดงให้เห็นในรูปที่ 2.2



รูปที่ 2.2 แสดงแบบต่าง ๆ ของสื่อกลาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 (ต่อ) แสดงแบบต่าง ๆ ของสื่อกลาง

ที่นี้จะกล่าวถึงระบบสื่อสารในความหมายทางโทรคมนาคม เราสามารถแบ่งชนิดของระบบสื่อสารได้ 2 แบบตามลักษณะสัญญาณที่ใช้ในระบบคือ

- แบบสัญญาณอนาลอก
- แบบสัญญาณดิจิตอล

เราจะพิจารณาแต่ละแบบดังต่อไปนี้

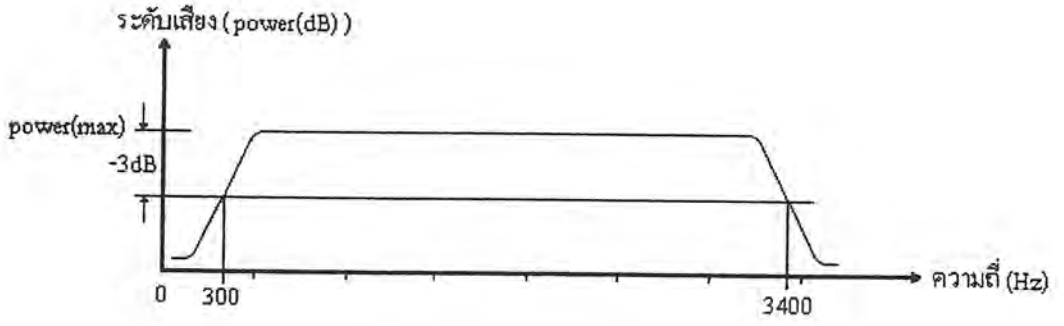
2.2.1 ระบบสื่อสารแบบอนาลอก

สิ่งที่ใช้พิจารณาถึงขีดความสามารถของระบบนี้คือ อัตราส่วนของสัญญาณหลักต่อสัญญาณรบกวน หรือค่า S/N (Signal - to - Noise ratio)

- ถ้าค่า S/N สูง แสดงว่าระบบมีประสิทธิภาพดี
- ถ้าค่า S/N ต่ำ แสดงว่าระบบมีประสิทธิภาพไม่ดี

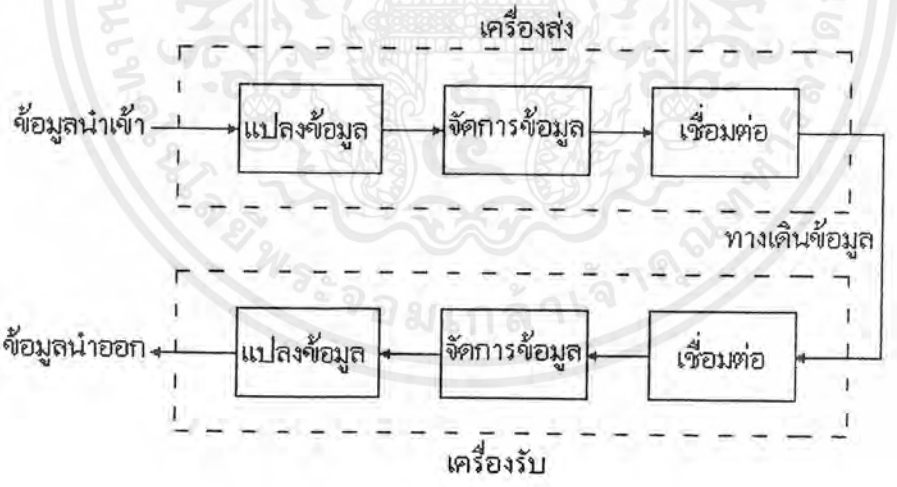
และอีกประเด็นสำคัญที่จะต้องนำมาพิจารณาด้วยคือ ค่าความกว้างของความถี่ (Band width : BW) ซึ่งค่า BW จะหมายถึง ช่วงความถี่ที่ครอบคลุมกำลังส่วนมากหรือช่วงความถี่ที่มีค่าอัตราขยาย หรือค่าการลดทอนเพียงเล็กน้อยในช่วงกลาง ๆ ของ BW โดยทั่วไปมักกำหนดขอบเขตของความกว้างแถบที่จุด -3 dB หรือครึ่งหนึ่งของกำลังงานสูงสุด เพื่อให้มองเห็นภาพแสดงดังรูปที่ 2.3 ค่า BW ของสัญญาณเสียง ซึ่งมีค่าเท่ากับ 3100 Hz (เลือกที่จุด $-3dB$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 แสดงการกำหนดค่าความกว้างแถบความถี่

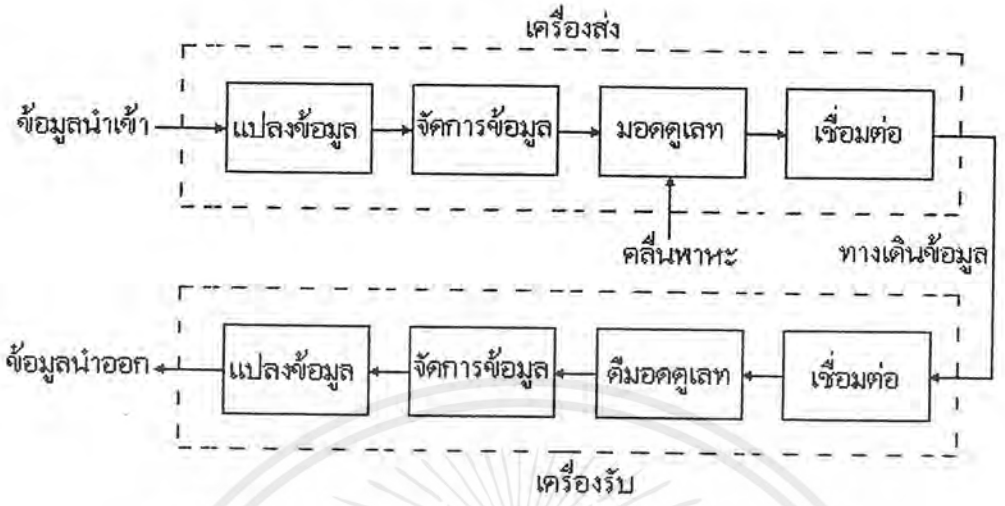
เราจะเห็นได้ว่ากรณีที่ช่องสัญญาณติดต่อมีความกว้างแถบความถี่ไม่เพียงพอต่อสัญญาณที่เราสนใจอยู่จะทำให้สัญญาณไม่สามารถส่งผ่านได้หมด เราเรียกลักษณะการเกิดกรณีนี้ว่าความเพี้ยน(Distortion) เมื่อถึงจุดนี้ขอให้ลองพิจารณาระบบสื่อสารแบบอนาลอกในรูปที่ 2.4 ซึ่งมีการทำงานภายในต่างกันแต่มีจุดหลักที่เหมือนกันคือ การรับและส่งข้อมูลในแบบอนาลอก เช่น เสียงหรือภาพที่มองเห็นได้



(ก) ระบบ Baseband

รูปที่ 2.4 แสดงระบบสื่อสารแบบอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) ระบบ Broadband

รูปที่ 2.4 (ต่อ) แสดงระบบสื่อสารแบบอนาลอก

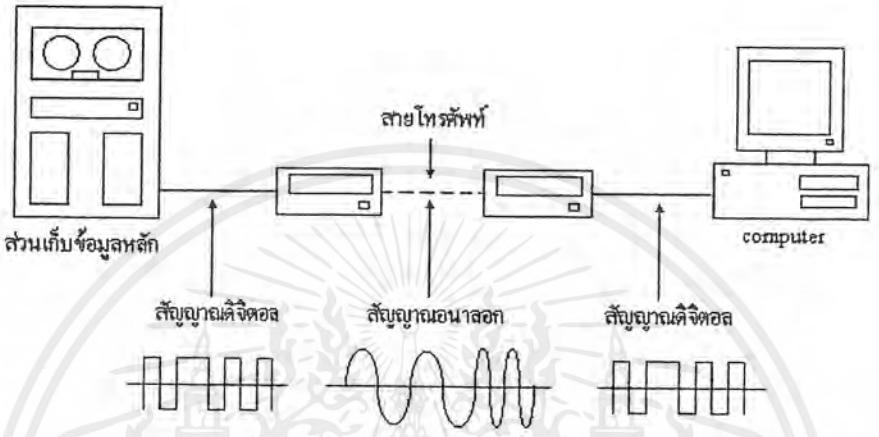
จากรูปที่ 2.4 (ก) แสดงให้เห็นถึงระบบเบสแบนด์ (Base band) ที่มีลักษณะสำคัญคือ รูปสัญญาณที่ส่งออกมาจะมีรูปสเปคตรัมของความถี่เดียวกับแหล่งต้นทาง หรือแหล่งผลิตความถี่ ซึ่งหมายถึงไม่มีการมอดดูเลท (Modulate) กับคลื่นพาหะที่มีความถี่สูงกว่า ส่วนขั้นตอนที่เกี่ยวกับสัญญาณในด้านส่งอาจมีการขยายสัญญาณการกรองความถี่ หรือการแมชชิ่งอิมพีแดนซ์ เพื่อลดการสูญเสียในการส่งและรับส่วนรูปที่2.4 (ข) แสดงถึงระบบสื่อสารแบบมอดดูเลท (Modulate) ที่มีการรวมและการแยกสัญญาณในทางคณิตศาสตร์ (Modulate and Demoulate) อธิบายได้ว่าการรวมหรือแยกสัญญาณจะใช้การเปลี่ยนรูปสเปคตรัมความถี่ของสัญญาณให้เข้ากันกับช่วงความถี่ที่ได้เลือกไว้หรือในอีกแง่หนึ่งเป็นการป้องกันสัญญาณอื่นแทรกเข้ามาในช่วงความถี่เดียวกัน ตัวอย่างของการใช้ระบบนี้ที่มีใช้กันอย่างแพร่หลายคือ การกระจายเสียงวิทยุในแบบ AM และ FM

2.2.2 ระบบสื่อสารแบบดิจิตอล

ลักษณะข้อมูลที่ใช้ในระบบนี้จะอยู่ในรหัส " 1 " หรือ " 0 " เช่นเลขฐานสอง เลขฐานสิบหกเป็นต้น บางครั้งเราอาจมีความต้องการส่งสัญญาณดิจิตอลผ่านระบบอนาลอก จึงต้องมีการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลก่อน เราเรียกว่า การสุ่มตัวอย่าง (Sampling) ซึ่งเป็นวิธีทางคณิตศาสตร์ ค่าที่ได้จากการสุ่มตัวอย่างจัดเป็นรหัสเลขฐานสอง (Binary code) ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถจัดการตามเทคนิคทางดิจิตอลได้ ตัวอย่างเช่น การส่งข้อมูลแบบขนานหรืออนุกรมและแบบสัมพันธ์หรือไม่สัมพันธ์เป็นต้น แสดงดังรูปที่ 2.5



รูปที่ 2.5 แสดงการสื่อสารทั้งแบบอนาลอกและดิจิตอล

จากรูปที่ 2.5 แสดงสัญญาณในการติดต่อระหว่างเครื่องคอมพิวเตอร์กับส่วนเก็บข้อมูลหลักผ่านทางสายโทรศัพท์ โดยมีอุปกรณ์โมเด็ม (Modem) ทำหน้าที่ช่วยเครื่องคอมพิวเตอร์ให้สามารถรับและส่งข้อมูลผ่านทางสายโทรศัพท์ได้ โดยแปลงสัญญาณคอมพิวเตอร์ให้เป็นสัญญาณไฟฟ้าในด้านส่งและแปลงกลับอีกทางด้านรับ ซึ่งวิธีการแปลงสัญญาณคอมพิวเตอร์เป็นสัญญาณไฟฟ้าเรียกว่า การมอดดูเลท (Modulate) และวิธีการแปลงสัญญาณไฟฟ้าเป็นสัญญาณคอมพิวเตอร์เรียกว่า การดีมอดดูเลท (Demodulate) ประเด็นหนึ่งที่ควรสนใจในระบบสื่อสารแบบดิจิตอลคือประสิทธิภาพของระบบ โดยที่จะพิจารณาจากค่าอัตราการผิดพลาดข้อมูล (Bit Error Rate :BER) ซึ่งเป็นอัตราส่วนระหว่างจำนวนข้อมูลที่ผิดพลาดเทียบกับจำนวนข้อมูลที่ส่งไปทั้งหมดในช่วงเวลาหนึ่ง ถ้า BER มีค่าต่ำจะหมายถึงระบบมีประสิทธิภาพสูง เพราะจำนวนข้อมูลที่ผิดพลาดมีน้อย และประเด็นอื่นที่เกี่ยวข้องก็มีอัตราความเร็วในการสื่อสารข้อมูล เป็นต้น

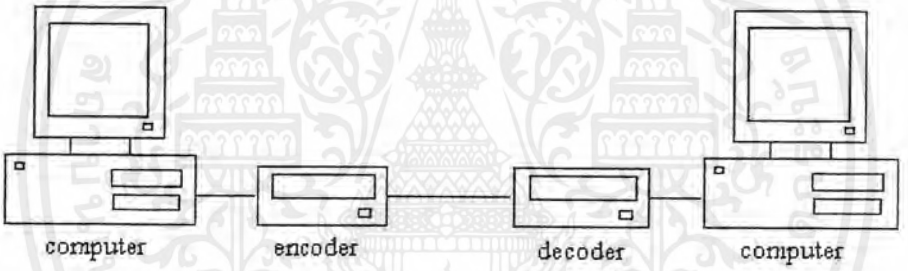
2.3 การสื่อสารข้อมูล (Data Communication)

ในการส่งข้อมูลขนาดของข้อมูลหนึ่งตัวอักษรนั้นจะขึ้นอยู่กับอุปกรณ์การสื่อสารที่ใช้ ซึ่งจะมีความยาวอยู่ระหว่าง 7-8 บิท ตัวอักษรนั้นเกิดจากการกำหนดความหมายให้กับกลุ่มของตัวเลข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฐานสอง ซึ่งจะมีการแปลออกมาเป็นอักขระ,ตัวเลข,ตัวเลข หรือเครื่องหมายวรรคตอนอย่างใดก็ได้ หรือไม่เช่นนั้นก็อาจจะเป็นตัวกำหนดหน้าที่ควบคุมการทำงานของอุปกรณ์ เช่นอาจเป็นคำสั่งให้เครื่องพิมพ์เลื่อนบรรทัดหรือขึ้นหน้าใหม่ ชุดของกลุ่มของเลขฐานสองที่มีการกำหนดความหมายต่าง ๆ มีรหัส (Code) จำนวนมากมายที่ใช้กันอยู่ในปัจจุบันในอุปกรณ์การสื่อสารซึ่งจะถูกออกแบบมาให้ใช้ได้เฉพาะกับรหัสชนิดต่าง ๆ ขึ้นอยู่กับวัตถุประสงค์ของผู้ออกแบบและใช้งาน

ประเด็นที่เป็นการสื่อสารระหว่างเครื่องคอมพิวเตอร์จะไม่มีความสามารถเข้าใจถึงความหมายของตัวหนังสือได้ จึงต้องมีการแปลงความหมายให้เป็นแบบที่สามารถตีความได้คือ ในสถานะของเลขฐานสอง ดังนั้นจึงต้องมีอุปกรณ์ทำหน้าที่เข้ารหัส (Encoder) และถอดรหัส (Decoder) มาใช้ในการรับส่งข้อมูลระหว่างเครื่องจักรด้วยกัน แสดงดังรูปที่ 2.6



รูปที่ 2.6 แสดงการส่งข้อมูลผ่านโดยใช้รหัส

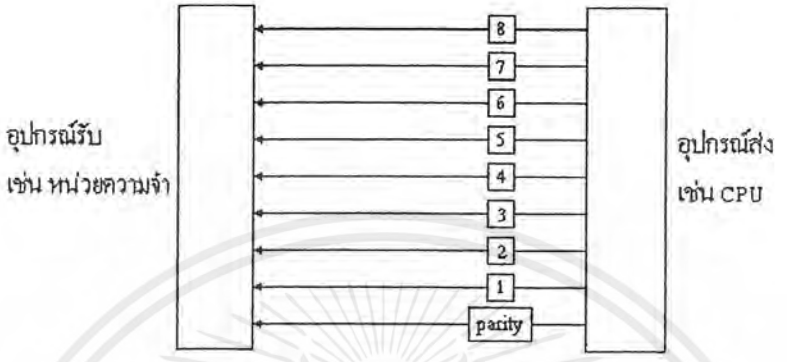
2.4 การรับส่งข้อมูลแบบขนาน (Parallel Transmission)

ลักษณะของการส่งข้อมูลแบบขนาน ทำได้โดยการส่งข้อมูลออกมาทีละ 1 ไบต์ คือ 8 บิท จากอุปกรณ์ส่งไปยังอุปกรณ์รับตัวกลางระหว่าง 2 เครื่องจะต้องมีช่องทางให้ข้องมูลเดินทาง อย่างน้อย 8 ช่องทาง โดยมากจะเป็นสายขนานให้กระแสไฟฟ้าวิ่งมากกว่าจะเป็นตัวกลางชนิดอื่น เนื่องจากมีสัญญาณสูญหายไปกับความต้านทานของสาย ระยะทางระหว่าง 2 เครื่องไม่ควรจะเกิน 100 ฟุต ปัญหาที่เกิดขึ้นหากระยะทางของสายมากกว่านี้ก็คือ ระดับของกราวนด์ในทางไฟฟ้าที่จุดรับผิดไปจากจุดส่ง ทำให้เกิดการผิดพลาดในการรับสัญญาณลอจิกทางฝ่ายรับ

นอกจากสายที่เป็นทางเดินของข้อมูลแล้วอาจจะมีทางเดินของสัญญาณควบคุมอื่น ๆ อีก เป็นต้นว่า บิทที่บอกพาริตี้ของสัญญาณ เพื่อเป็นการตรวจสอบความผิดพลาดของการรับสัญญาณที่ปลายทาง หรือสายที่ควบคุมการโต้ตอบ (Hand shake) จะเห็นได้ว่าการส่งแบบขนานส่วนมากจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

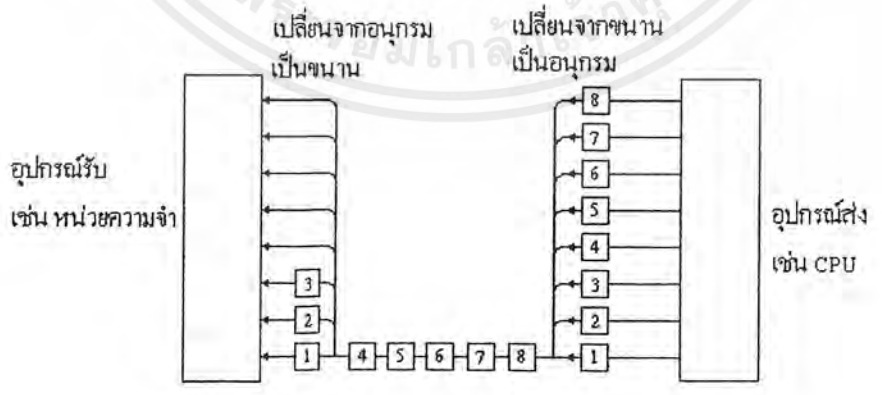
ทำในระยะใกล้ ๆ เนื่องจากจะต้องมีช่องทางเดินของสัญญาณมากกว่า 8 สายและอุปกรณ์ที่ติดต่อแบบขนานกับคอมพิวเตอร์ก็เห็นจะได้แก่เครื่องพิมพ์ดังกล่าวมาแล้ว



รูปที่ 2.7 การส่งข้อมูลแบบขนาน

2.5 การรับส่งข้อมูลแบบอนุกรม (Serial Transmission)

การส่งข้อมูลแบบอนุกรมข้อมูลถูกส่งออกมาทีละบิทระหว่างจุดส่งและจุดรับ จะเห็นว่าการส่งข้อมูลแบบนี้จะช้ากว่าแบบขนาน เพราะตัวกลางการสื่อสารต้องการเพียงช่องเดียวหรือสายเพียงคู่เดียว ค่าใช้จ่ายในสื่อกลางจะต้องถูกกว่าแบบขนานอย่างแน่นอนสำหรับการส่งระยะทางไกลๆ โดยเฉพาะเมื่อเรามีระบบการสื่อสารทางโทรศัพท์ไว้ใช้งานอยู่แล้วย่อมจะเป็นการประหยัดกว่าที่จะทำการติดต่อสื่อสารที่ละ 8 ช่อง แบบขนาน



รูปที่ 2.8 การส่งข้อมูลแบบอนุกรม

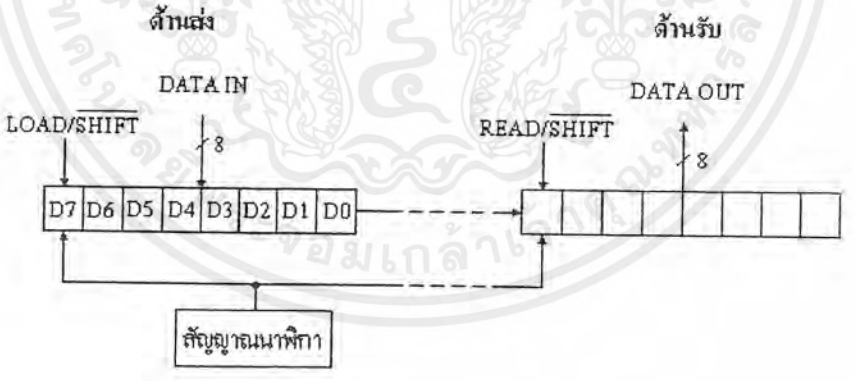
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.8 แสดงให้เห็นการส่งข้อมูลแบบอนุกรม ข้อมูลจากจุดส่งจะถูกเปลี่ยนให้เป็นอนุกรมเสียก่อนแล้วค่อยทยอยส่งออกที่ละบิทไปยังจุดรับ ณ จุดที่รับจะต้องมีกลไกในการเปลี่ยนข้อมูลที่ส่งมาทีละบิทให้เป็นสัญญาณแบบขนานซึ่งลงตัวพอดี นั่นคือบิท " 1 " ลงที่บัสข้อมูลเส้นที่ 1 พอดี การที่จะทำให้การแปลงสัญญาณจากอนุกรมที่ละบิทให้ลงพอดีนั้นจำเป็นจะต้องมีลักษณะการส่งที่เหมาะสม เพื่อป้องกันการผิดพลาดในการรับ ลักษณะการส่งที่เหมาะสมแบ่งเป็น 2 แบบคือ

- การส่งข้อมูลแบบซิงโครนัส
- การส่งข้อแบบอะซิงโครนัส

2.5.1 การส่งข้อมูลแบบซิงโครนัส (Synchronous Transmission)

การส่งข้อมูลแบบซิงโครนัสหรือเรียกอีกอย่างหนึ่งว่าการส่งข้อมูลแบบสัมพันธ์ หมายถึงการที่ด้านรับอ่านข้อมูลเข้ามาในจังหวะเดียวกับด้านส่ง โดยใช้สัญญาณนาฬิกาเห็นตัวกำหนดจังหวะการทำงานของรีจิสเตอร์ทั้งสองให้ทำงานสัมพันธ์กัน วงจรกำเนิดสัญญาณนาฬิกาจะติดตั้งภายในด้านส่ง แสดงดังรูปที่ 2.9

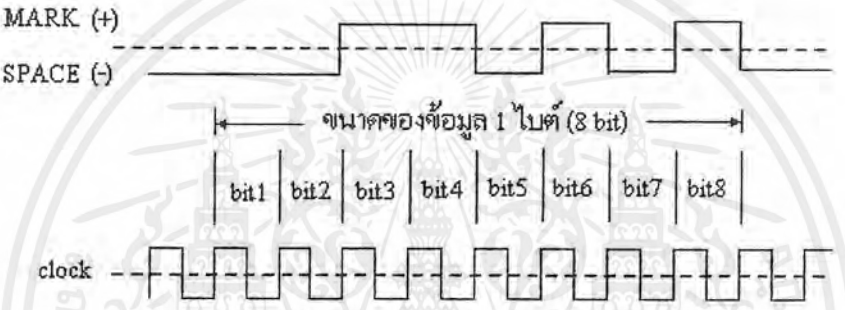


รูปที่ 2.9 แสดงการส่งข้อมูลแบบซิงโครนัส

นอกจากนี้เมื่อจังหวะเวลาถูกตั้งให้ซิงค์กับด้านรับได้แล้ว ข้อมูลจะถูกส่งไปบนทางติดต่อในแบบบิทต่อบิทต่อเนื่องกันไปอาศัยช่วงเวลาระหว่างบิทต่อบิตมีค่าเท่ากัน โดยไม่ต้องมีบิทเริ่มหรือบิทจบคอยกำกับทำให้ความเร็วในการส่งข้อมูลมีสูง นอกจากนี้ทางด้านรับต้องมีวงจรเฟสล็อคลูป (PLL) ทำหน้าที่รับข้อมูลจังหวะเวลาจากด้านส่งและสร้างสัญญาณนาฬิกาขึ้นใหม่ในด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้เกิดการซิ้งขึ้น ข้อมูลแบบสัมพันธ์นี้จะถูกจัดการให้อยู่ในรูปของชุดข้อมูล (block of data) ที่มีลักษณะพิเศษ คือ ช่วงระยะเวลาระหว่างตัวอักษรด้วยกันจะไม่มี ทำให้การส่งข้อมูลเป็นไปอย่างต่อเนื่อง ข้อเสียของการส่งแบบสัมพันธ์คือการที่ต้องมีสัญญาณนาฬิกาขนานไปกับข้อมูล ทำให้ต้องการทางติดต่อช่องที่สองเพิ่ม โดยเฉพาะกรณีระยะทางไกล ๆ เป็นการยากมากที่จัดหาทางติดต่อแยกต่างหากสำหรับสัญญาณนาฬิกา แสดงตัวอย่างข้อมูลที่ส่งแบบสัมพันธ์พร้อมสัญญาณนาฬิกาได้ดังรูปที่ 2.10

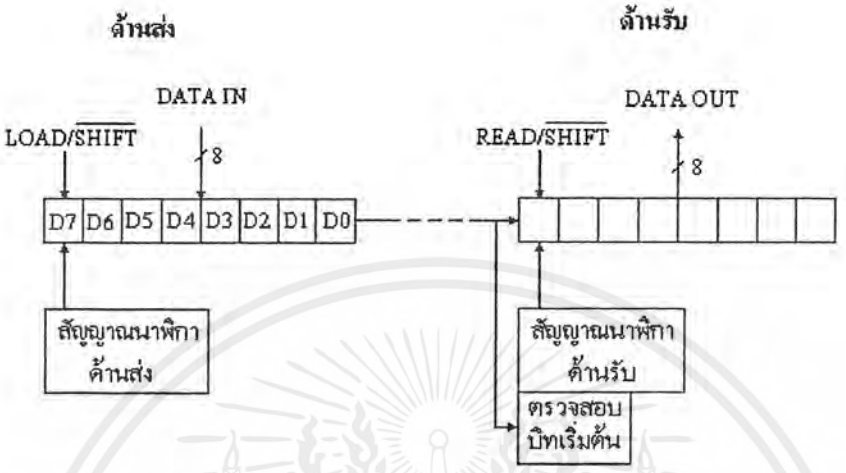


รูปที่ 2.10 แสดงรูปแบบข้อมูลแบบซิงโครนัส

2.5.2 การส่งข้อมูลแบบอะซิงโครนัส (Asynchronous Transmission)

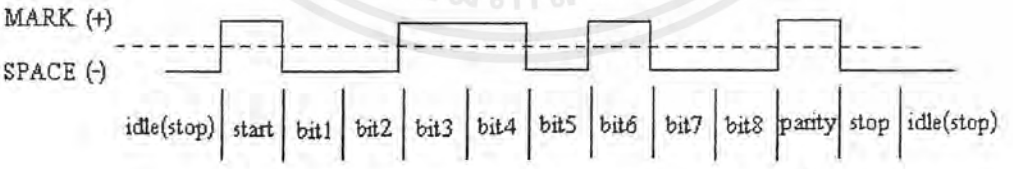
การส่งข้อมูลแบบอะซิงโครนัส หรือเรียกอีกอย่างหนึ่งว่าการส่งข้อมูลแบบไม่สัมพันธ์ จะแตกต่างกับแบบซิงโครนัส ตรงที่ไม่จำเป็นต้องมีการซิงโครนัสกันตลอดเวลาบนทางติดต่อข้อมูล โดยจะซิ้งค์ก็ต่อเมื่อมีข้อมูลที่จะรับหรือส่งเท่านั้น ในการส่งสัญญาณแบบอะซิงโครนัสการส่งตัวอักษรสามารถเริ่มจากเวลาใดก็ได้เมื่อสายว่าง แต่อย่างไรก็ตามเพื่อให้ระบบสามารถที่จะทำงานได้จะต้องมีสภาวะบางอย่างที่จะใช้บอกกับเครื่องรับให้รู้ว่า ในช่วงเวลาใดกำลังมีข้อมูลตัวอักษรปรากฏอยู่บนสายสภาวะที่ใช้บอกนั้นก็คือ บิทเริ่มต้น (Start bit) บิทเริ่มต้นไม่ใช่บิทข้อมูลแต่เป็นสัญญาณควบคุมที่จุดเริ่มต้นสถานะของสายส่งข้อมูลจะเปลี่ยนจาก " 1 " (Mark) มาเป็น " 0 " (Space) และถัดจากบิทเริ่มต้นและก็จะเป็นบิทข้อมูลตัวอักษร ซึ่งจะเป็นเนื้อหาข้อมูลของตัวอักษรแต่ละตัวที่ถูกส่งบิทที่มีนัยสำคัญน้อยสุด (LSB) จะถูกส่งตามบิทเริ่มต้นออกมา และหลังจากบิทข้อมูลส่งออกมาครบแล้วจะตามด้วย บิทสิ้นสุด (Stop bit) โดยที่สถานะของสายส่งข้อมูลจะถูกบังคับกลับเป็นมาร์ค (Mark) อีกครั้งหนึ่ง หน้าที่ของบิทสิ้นสุดก็เพื่อบอกการสิ้นสุดของข้อมูลที่รับส่งโดยมีขนาด 1-2 บิท แสดงดังรูปที่ 2.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 แสดงการส่งข้อมูลแบบอะซิงโครนัส

จากการที่กำหนดให้ช่วงเวลาของบิทสิ้นสุด (Stop bit) มีค่าระหว่าง 1-2 บิท ก็เพื่อกรณีบิทสุดท้ายของตัวอักษรตัวเก่า มีสถานะเป็นสเปซ (Space) " 1 " แล้วสถานะเริ่มต้นของบิทเริ่มต้นที่สังเกตจากการเปลี่ยนแปลงสถานะของสายจากมาร์ค (Mark) " 0 " มาเป็นสเปซ (Space) " 1 " ก็จะไม่มีความชัดเจน สำหรับรูปสัญญาณในวิธีแบบอะซิงโครนัสแสดงได้ดังรูปที่ 2.12



รูปที่ 2.12 แสดงรูปแบบข้อมูลแบบอะซิงโครนัส

เนื่องจากการส่งข้อมูลแบบอะซิงโครนัสมีการเพิ่มบิทลงในข้อมูล ทำให้ความเร็วในการส่งข้อมูลช้ากว่าแบบซิงโครนัส การส่งข้อมูลแบบซิงโครนัสเหมาะสำหรับงานประเภทการป้อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลเข้าเพื่อส่ง มีลักษณะไม่ต่อเนื่องอย่างเช่น จากแป้นพิมพ์ (key board) ส่วนในการส่งไฟล์ข้อมูลที่มีขนาดใหญ่มาก ๆ ควรใช้วิธีแบบซิงโครนัส

บิทเริ่มต้น (Start bit)

ในโปรโตคอลของการส่งข้อมูลอนุกรมแบบอะซิงโครนัส กำหนดให้สถานะมาร์ค (Mark State) เป็นสัญญาณลอจิก 1 เมื่อทางด้านส่งจะทำการส่งข้อมูลก็จะต้องส่งบิทเริ่มต้นโดยแทนด้วยสถานะสเปส (Space State) หรือสัญญาณลอจิก 0 จำนวน 1 บิทไปก่อน ซึ่งจะทำให้ทางด้านรับดีเท็กซ์ (Detect) สถานะของสายส่งได้ว่าขณะนั้นสายส่งกำลังมีข้อมูลส่งมา สำหรับปัญหาที่เกิดขึ้นและมีผลต่อสัญญาณข้อมูลก็คือสไปค์ (Spike) ทำให้สถานะลอจิกของสายส่งมีช่วงเวลาสั้นเกินไป ทำให้ทางด้านรับไม่สามารถดีเท็กซ์สถานะของสายส่งหรือสถานะของบิทเริ่มต้นได้ ดังนั้นส่งใหญ่ทางด้านรับจะมีส่วนของวงจรสไปค์ ดีเท็กชั่น (Spike Detection) ที่ทำหน้าที่สุ่มจับสัญญาณสถานะของสายส่งด้วยความถี่ของการสุ่มค่าหนึ่งในระหว่างบิทต่อบิท ซึ่งอาจจะเป็น 2 ,4 หรือ 16 ครั้ง ในระหว่าง 1 บิทก็ได้

ดังนั้นเราอาจสรุปได้ว่า หน้าที่ของบิทเริ่มต้นนั้นจะเป็นตัวบอกว่าข้อมูลเริ่มต้นตรงไหน และเมื่อใช้ร่วมกับบิทหยุด ซึ่งจะกล่าวถึงต่อไปก็จะทำให้ทราบได้ว่าข้อมูลสิ้นสุดตรงไหน โดยความกว้างของบิทเริ่มต้นนี้จะมีความกว้างเท่ากับ 1 บิทข้อมูล

บิทข้อมูล (Data bit)

หลังจากที่ด้านรับสามารถดีเท็กซ์สัญญาณบิทเริ่มต้นได้แล้ว ก็จะทำการตรวจสอบสถานะของชิปรีจีสเตอร์ให้พร้อมที่จะรับบิทข้อมูลได้ โดยบิทข้อมูลจะมีจำนวนบิทเป็น 5 ,6 ,7 หรือ 8 บิท ขึ้นกับจำนวนคาร์แรกเตอร์ที่ใช้ดังแสดงตามตารางต่อไปนี้

จำนวนบิทข้อมูลใน 1 คาร์แรกเตอร์	จำนวนคาร์แรกเตอร์
5 บิท	32
6 บิท	64
7 บิท	128
8 บิท	256

นอกจากนี้รหัสต่างๆ ที่ใช้อาจจะแทนด้วย 5 บิท ซึ่งเป็นมาตราฐานของรหัส Baudot โดยประกอบด้วยกลุ่มของคาร์แรกเตอร์ต่างๆ จำนวน 32 คาร์แรกเตอร์ และถ้าเป็นรหัสขนาด 7 บิท จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประกอบด้วยกลุ่มของคาร์แรกเตอร์ จำนวน 128 คาร์แรกเตอร์ ซึ่งเป็นมาตราฐานของรหัส ASCII และใช้กันแพร่หลายมาก นอกจากนี้ก็ยังมีรหัสขนาด 8 บิท หรือมาตราฐานของรหัส EBCDIC โดยมาตราฐานนี้ประกอบด้วยกลุ่มของคาร์แรกเตอร์ 256 คาร์แรกเตอร์ เป็นต้น

บิทพาริตี้ (Parity bit)

บิทนี้จะทำหน้าที่ในการบอกให้ส่วนรับข้อมูลทราบว่า ข้อมูลที่รับเข้ามาผิดหรือไม่ (โดยบิทนี้จะทำหน้าที่ในการบอกให้ด้านรับทราบว่าข้อมูลที่ส่งมาแต่ละไบท์นั้น มีจำนวนบิทที่เป็น "1" อยู่เป็นจำนวนคี่ หรือจำนวนคู่ เช่น ข้อมูล 54H = 01010111 จะมีจำนวนบิทที่เป็น "1" อยู่เป็นจำนวนคี่ เป็นต้น ซึ่งบิทที่ใช้ในการตรวจสอบนี้ เราเรียกว่า บิทพาริตี้) บิทพาริตี้นี้จะถูกส่งออกมาพร้อมกับบิทข้อมูล ซึ่งบิทนี้จะเป็น "1" หรือ "0" นั้นขึ้นอยู่กับข้อมูลที่ส่งออกมาว่ามีจำนวนบิทที่เป็น "1" เป็นจำนวนคู่หรือคี่ และยังขึ้นอยู่กับอุปกรณ์รับส่งข้อมูลด้วยว่าถูกออกแบบไว้ให้รับส่งบิทพาริตี้ในลักษณะของพาริตี้คู่ หรือคี่อีกด้วย

ในกรณีที่อุปกรณ์รับส่งออกแบบไว้ให้เป็นพาริตี้คู่ อุปกรณ์ส่งข้อมูลจะทำหารส่งพาริตี้บิทเป็นลอจิก 1 ออกไปเมื่อจำนวนบิทที่เป็น 1 ของข้อมูลเป็นจำนวนคี่ และจะทำการส่งพาริตี้บิทเป็นลอจิก 0 เมื่อจำนวนบิทที่เป็น 1 ของข้อมูลเป็นจำนวนคู่ (คือทำให้จำนวนบิทที่เป็น 1 ของข้อมูลเมื่อรวมกับพาริตี้บิทแล้วเป็นจำนวนคู่นั่นเอง) สำหรับในกรณีของพาริตี้คี่ก็เช่นกัน คือ พาริตี้บิทจะเป็น 1 ในกรณีที่จำนวนบิทที่เป็น 1 ของข้อมูลเป็นจำนวนคู่ และจะเป็น 0 ในกรณีที่เป็นจำนวนคี่ ในที่นี้จะสมมติว่าอุปกรณ์ถูกออกแบบไว้สำหรับพาริตี้คู่ และเราต้องการที่จะส่งข้อมูลออกไปให้กับส่วนรับข้อมูลเป็นจำนวน 2 ไบท์ คือ 54H และ 55H เมื่อเราส่งข้อมูล 54H ออกไปซึ่งมีจำนวนบิทที่เป็น 1 เป็นจำนวนคี่ ดังนั้นในกรณีนี้อุปกรณ์ส่งข้อมูลก็จะทำการส่งพาริตี้บิท เป็นลอจิก 1 ตามออกมาด้วย เพื่อให้จำนวนบิทที่เป็น 1 ของข้อมูล (54H) รวมกับพาริตี้บิทแล้วได้เป็นจำนวนคู่ ส่วนข้อมูล 55H จำนวนบิทที่เป็น 1 นั้นเป็นจำนวนคู่อยู่แล้ว ดังนั้นอุปกรณ์ส่งข้อมูลก็จะส่งพาริตี้บิทเป็น 0 ให้กับส่วนรับข้อมูลสำหรับส่วนรับข้อมูลนั้น เมื่อรับเข้ามาแล้วก็จะตรวจสอบสัญญาณว่าจำนวนบิทที่เป็น 1 ของข้อมูลรวมกับพาริตี้บิทนั้นเป็นจำนวนคู่หรือไม่ ถ้าหากว่าเป็นจำนวนคี่ก็แสดงว่าข้อมูลที่ได้รับเข้ามานี้ก็มีความผิดพลาดเกิดขึ้น

สิ่งสำคัญอีกสิ่งหนึ่งก็คือ ถ้าอุปกรณ์ส่งข้อมูลทำการส่งในลักษณะพาริตี้คู่ หรือคี่ก็ตาม ส่วนรับข้อมูลก็จะต้องทำการรับในลักษณะพาริตี้เดียวกับอุปกรณ์ส่งข้อมูลด้วย เช่น ในกรณีที่อุปกรณ์ส่งข้อมูลทำการส่งข้อมูลในลักษณะพาริตี้คู่ อุปกรณ์รับข้อมูลก็จะต้องทำการรับข้อมูลในลักษณะของพาริตี้คู่ด้วย เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิทสิ้นสุดข้อมูล (Stop bit)

บิทสุดท้ายที่เพิ่มเข้าไปนี้ จะใช้ในการตรวจสอบจุดสิ้นสุดของข้อมูล บิทนี้จะถูกเพิ่มเข้าไปหลังพาริตี้บิท ถ้าอุปกรณ์รับข้อมูลตรวจสอบไม่พบบิทนี้ ก็แสดงว่าข้อมูลที่รับเข้านั้นเกิดข้อผิดพลาดขึ้นมาในแต่ละไบท์นั้นไม่ใช่มีแต่ข้อมูล 8 บิท (ในกรณีที่ 1 ไบท์มี 8 บิท) เท่านั้น แต่อาจจะมีได้ถึง 12 บิท หรือมากกว่าก็เป็นได้

2.6 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม

ความเร็วของการถ่ายโอนข้อมูลแบบอนุกรมมีหน่วยเป็น บิทต่อวินาที (bit per sec. : bps) ส่วนการเปลี่ยนแปลงของสัญญาณใน 1 วินาที เรียกว่า บอดเรต (baud rate) หรืออัตราบอด การเปลี่ยนแปลงของสัญญาณ 1 ครั้ง อาจจะแสดงถึงการส่งข้อมูลแบบอนุกรมมากกว่า 1 บิท ก็ได้ ถ้าเขียนในรูปของสมการคณิตศาสตร์จะได้

$$\text{อัตราบิท (bit rate)} = \text{อัตราบอด (baud rate)} \times \text{(บิทใน 1 บอด)}$$

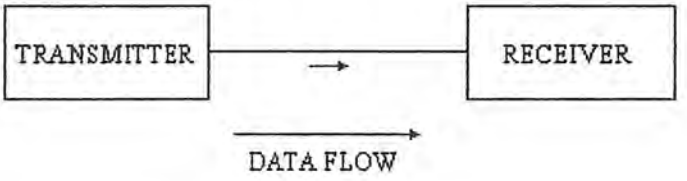
2.7 การส่งสัญญาณ (Transmission)

การส่งสัญญาณในที่นี้หมายถึง การนำสัญญาณจากจุดหนึ่งไปยังอีกจุดหนึ่งโดยผ่านสื่อกลางและวิธีการทางไฟฟ้า ในการรับส่งข้อมูลระหว่างกันนั้นก็จะมีความหมายเดียวกับการส่งสัญญาณ อาจแบ่งตามลักษณะและการส่งได้เป็น 3 วิธีใหญ่คือ

2.7.1 การส่งผ่านแบบทิศทางเดียว (Simplex)

รูปแบบการส่งสัญญาณให้ด้านรับได้ฝ่ายเดียว โดยไม่สามารถโต้ตอบผ่านทางติดต่อได้ ตัวอย่างเช่น การกระจายเสียงของวิทยุหรือสัญญาณโทรทัศน์ ซึ่งทางด้านเครื่องรับวิทยุหรือเครื่องรับโทรทัศน์จะทำหน้าที่รับสัญญาณเพียงอย่างเดียวจะส่งข่าวหรือภาพกลับมายังสถานีส่งไม่ได้ เราจึงไม่ค่อยนิยมใช้ในการสื่อสารข้อมูล เนื่องจากว่าเราจำเป็นต้องมีการโต้ตอบระหว่างการรับส่งข้อมูล หรือบางที่ก็เปลี่ยนจากผู้รับเป็นผู้ส่งซึ่งจะทำไม่ได้ในการส่งผ่านแบบทิศทางเดียว นอกจากจะใช้สำหรับส่งโทรทัศน์และวิทยุกระจายเสียงแล้ว เครื่องโทรพิมพ์บางสำนักพิมพ์บางชนิดอาจใช้การติดต่อแบบนี้เช่นกันในการรับข่าวสารจากที่อื่น ๆ เพียงอย่างเดียว แสดงตัวอย่างการส่งผ่านแบบทิศทางเดียวได้ดังรูปที่ 2.13

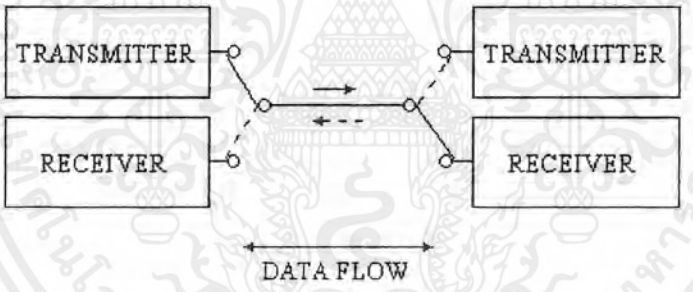
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 การส่งผ่านแบบทิศทางเดียว

2.7.2 การส่งผ่านแบบสองทิศทางแต่ต่างเวลากัน (Half-duplex)

การส่งแบบ Half-duplex สามารถส่งและรับสัญญาณระหว่างกันได้ แต่ว่าต้องสลับกันส่ง โดยฝ่ายหนึ่งเป็นตัวส่งและอีกฝ่ายหนึ่งเป็นตัวรับจะส่งพร้อมกันสองด้านไม่ได้ ตัวอย่างเช่น การใช้วิทยุสมัครเล่นที่สามารถโต้ตอบกันได้ แต่ไม่พร้อมกัน แสดงรูปแบบการส่งผ่านแบบสองทิศทางแต่ต่างเวลากันดังรูปที่ 2.14

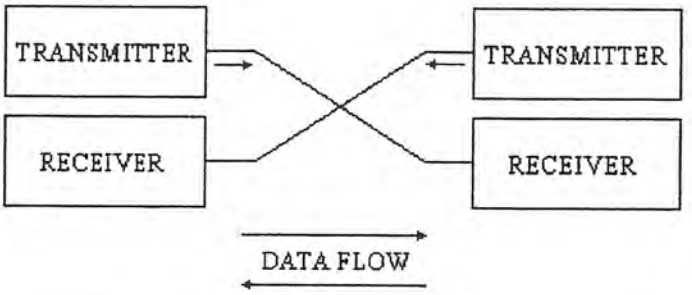


รูปที่ 2.14 การส่งผ่านแบบสองทิศทางแต่ต่างเวลากัน

2.7.3 การส่งผ่านแบบสองทิศทางที่เวลาเดียวกัน (Full -duplex)

การส่งแบบ Full-duplex จะเป็นในลักษณะที่ ผู้รับและผู้ส่งสามารถรับและส่งพร้อม ๆ กันในเวลาเดียวกันได้ ไม่จำเป็นต้องรอให้อีกฝ่ายหนึ่งส่งเสร็จเสียก่อน เช่น การสื่อสารทางโทรศัพท์เราสามารถที่จะพูดโต้ตอบพร้อมกัน แสดงรูปแบบการส่งผ่านแบบสองทิศทางที่เวลาเดียวกันได้ดังรูปที่ 2.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 การส่งผ่านแบบสองทิศทางที่เวลาเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

บทที่ 3
การมอดดูเลททางความถี่

3.1 บทนำ

ในขบวนการมอดดูเลท เราใช้คลื่นรูปซายน์ที่มีความถี่สูงเป็นพาหะแล้วเปลี่ยนคุณสมบัติบางอย่างของพาหะด้วยสัญญาณข่าวสาร โดยทั่วไปสัญญาณข่าวสารได้แก่ สัญญาณออดิโอ (เสียงพูด) , สัญญาณภาพ หรือข่าวสารอื่น ๆ การเปลี่ยนแปลงคุณสมบัติของคลื่นพาหะนี้เราเรียกว่า การมอดดูเลท

คลื่นรูปซายน์ที่เราใช้เป็นพาหะนั้นเราสามารถเขียนสมการทางคณิตศาสตร์แทนได้ดังนี้

$$e = A\sin(\omega t + \varnothing)$$

เมื่อ e คือ ค่าแรงดัน (หรือกระแส) ของคลื่นพาหะใด ๆ
A คือ แอมพลิจูด (หรือขนาด) สูงสุดของคลื่นพาหะ
ω คือ ความถี่เชิงมุม
t คือ เวลา
$\varnothing$ คือ เฟสหรือมุมทางไฟฟ้า

จากสมการข้างต้นจะเห็นว่า คุณสมบัติประจำตัวของคลื่นรูปซายน์ที่สำคัญจะมีอยู่ 3 ประการ ซึ่งเราสามารถเปลี่ยนแปลงหรือมอดดูเลทได้ คือ แอมพลิจูด (A) , ความถี่เชิงมุม(ω) และเฟส ($\varnothing$)

การมอดดูเลทให้กับคลื่นพาหะแบ่งออกได้เป็น 3 แบบคือ

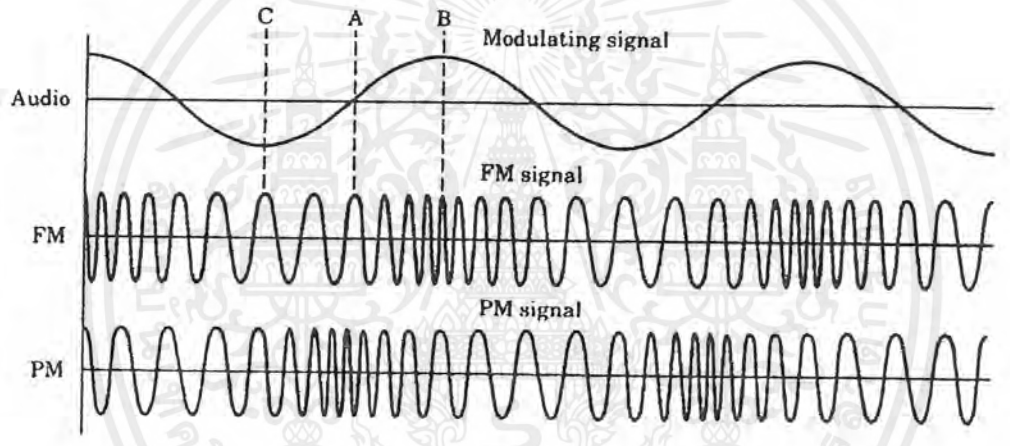
1. การมอดดูเลททางแอมพลิจูด (Amplitude Modulation ; AM)
2. การมอดดูเลททางความถี่ (Frequency Modulation ; FM)
3. การมอดดูเลททางเฟส (Phase Modulation ; PM)

แต่ในที่นี้จะขอกล่าวถึงการมอดดูเลททางความถี่อย่างเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
36950

3.2 การมอดดูเลทของคลื่น

จากรูปที่ 3.1 เป็นรูปสัญญาณที่แสดงในรูปของ Time – domain ที่เกิดจากการมอดดูเลทสัญญาณเสียงกับสัญญาณพาหะซึ่งมีการมอดดูเลทใน 2 ลักษณะ คือ การมอดดูเลททางความถี่ (Frequency Modulation : FM) และการมอดดูเลททางเฟส (Phase Modulation : PM) ซึ่งรูปสัญญาณจากการมอดดูเลท-จะเป็นลักษณะขบวนความถี่ จากรูปที่ 2.1 จุด A คือ ความถี่ศูนย์กลางของความถี่เสียง ส่วนจุด B คือ คลื่น FM ซึ่งจะมีความถี่ที่สูงกว่าความถี่ศูนย์กลางของความถี่เสียง และจุด C คือ คลื่น FM ที่มีความถี่ต่ำกว่าความถี่ศูนย์กลางของความถี่เสียง และจะสังเกตเห็นว่าสัญญาณพาหะจะเปลี่ยนแปลงความถี่ตามความถี่ของสัญญาณความถี่เสียงที่เข้ามามอดดูเลท

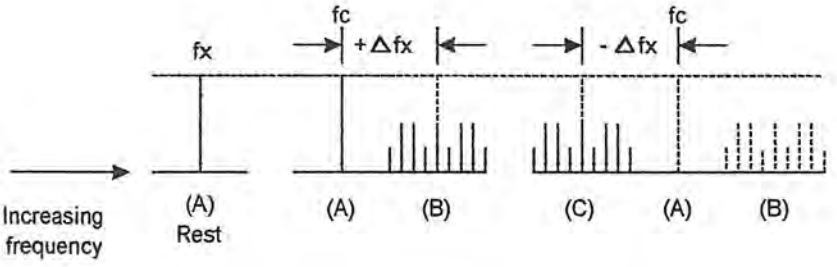


รูปที่ 3.1 แสดงสัญญาณความถี่เสียงกับสัญญาณที่ถูกมอดดูเลทแบบ FM และ PM

จากรูปที่ 3.2 เป็นรูปสัญญาณที่เกิดจากการมอดดูเลทสัญญาณใน 1 ไซเคิล ซึ่งจะแสดงในรูปของ Frequency – domain โดยมีความถี่ศูนย์กลางอยู่ที่จุด A ส่วนจุด B จะเป็นจุดที่มีการเปลี่ยนแปลงความถี่ที่มีค่ามากกว่าความถี่ศูนย์กลาง $(+\Delta f_x)$ และที่จุด C จะเป็นจุดที่มีการเปลี่ยนแปลงความถี่ที่มีค่าน้อยกว่าความถี่ศูนย์กลาง $(-\Delta f_x)$

การเปลี่ยนแปลงความถี่ของสัญญาณพาหะไปพร้อม ๆ กับความถี่ของสัญญาณที่กำลังถูกมอดูเลทนั้นจะมีผลทำให้มีไซแบนด์เกิดขึ้นรอบ ๆ สัญญาณพาหะ และจำนวนไซแบนด์ที่เกิดขึ้นจะมีความถี่ที่ออกห่างจากความถี่ศูนย์กลาง โดยที่ผลรวมของแรงดันและไซแบนด์ของสัญญาณพาหะที่ออกห่างจากความถี่ศูนย์กลางจะมีค่าคงที่ และจะมีค่าที่เท่ากับแรงดันและไซแบนด์ที่ค่าของความถี่ศูนย์กลาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงการมอดดูเลทคลื่น FM ใน Frequency – domain

3.3 ดัชนีการมอดดูเลท

ในระบบ FM เราวัดเปอร์เซ็นต์การมอดดูเลทโดยดูจากการเปลี่ยนแปลงความถี่ ซึ่งเรานิยมเรียกชื่อใหม่ว่า ดัชนีการมอดดูเลท ลองพิจารณาความหมายของดัชนีการมอดดูเลทต่อไปนี้

$$m = \frac{f_d}{f_m}$$

เมื่อ f_d คือช่วงความถี่เบี่ยงเบน

f_m คือความถี่ของสัญญาณที่เข้ามอดดูเลท

ค่าตัวเลขของดัชนีการมอดดูเลทจะมีค่าสูง (แตกต่างจากเปอร์เซ็นต์การมอดดูเลทซึ่งเมื่อคิดเป็นอัตราส่วนจะได้อยู่ระหว่าง 0 ถึง 1) ตัวอย่างเช่น ในระบบวิทยุกระจายเสียง FM เรากำหนดให้ความถี่เบี่ยงเบนของระบบสูงสุดไว้เท่ากับ 75 kHz สมมติว่าเราใช้สัญญาณเสียง 1 kHz มอดดูเลทให้เกิดความถี่เบี่ยงเบนเต็มที่ ค่าดัชนีมอดดูเลทจะเป็น

$$m = \frac{75kHz}{1kHz} = 75$$

สังเกตว่า ค่าดัชนีการมอดดูเลทในระบบ FM ขึ้นอยู่กับความถี่ของสัญญาณเสียงที่เข้ามอดดูเลท ในทางปฏิบัติเรานิยมวัดเป็นอัตราส่วนการเบี่ยงเบน (deviation ratio)ซึ่งเป็นอัตราส่วนระหว่างความถี่เบี่ยงเบน (ของระบบ) สูงสุด ($f_{d\max}$) ต่อความถี่สูงสุดของสัญญาณที่เข้ามอดดูเลท ($f_{m\max}$) ในระบบกระจายเสียง FM ค่าอัตราการเบี่ยงเบน (Δ) จะเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Delta = \frac{f_{d\max}}{f_{m\max}}$$

$$= \frac{75kHz}{15kHz} = 5$$

ในระบบ FM เมื่อเพิ่มแอมพลิจูดของสัญญาณที่เข้ามอดดูเลทสูงขึ้น การเบี่ยงเบนความถี่ของพาหะจะเบี่ยงเบนได้มากขึ้น ในระบบวิทยุกระจายเสียง FM กำหนดให้ความถี่เบี่ยงเบนของระบบเต็มที่ไม่เกิน 75 kHz ถ้าเรามอดดูเลททำให้ความถี่ของพาหะเบี่ยงเบนไปเท่ากับ 75 kHz แสดงว่าเรามอดดูเลท 100 เปอร์เซ็นต์ ซึ่งเราเขียนเป็นสมการได้ดังนี้

$$\text{เปอร์เซ็นต์การมอดดูเลท} = \frac{f_d}{f_{d\max}} \times 100$$

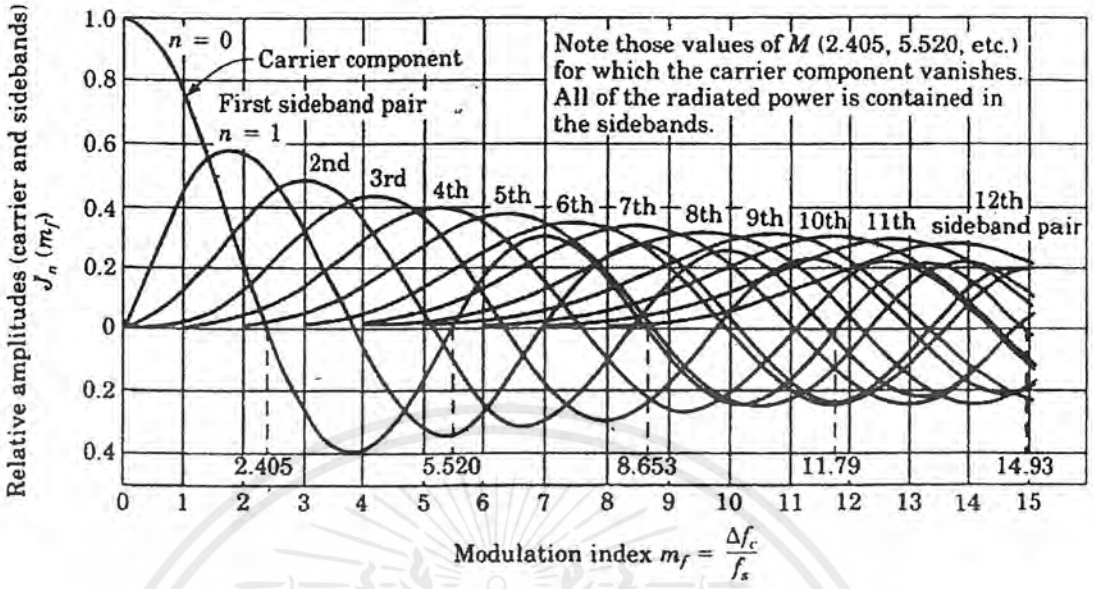
ในที่นี้ f_d คือความถี่เบี่ยงเบน เนื่องจากสัญญาณที่เข้ามอดดูเลท

$f_{d\max}$ คือความถี่เบี่ยงเบนสูงสุดของระบบ

3.4 ไซด์แบนด์ FM

จากการมอดูเลทแบบ FM ถ้าเรามอดดูเลทด้วยสัญญาณซายน์ก็จะเกิดไซด์แบนด์จำนวนนับอนันต์ เนื่องจากการเบี่ยงเบนความถี่ของพาหะทำให้เกิดความถี่เพิ่มขึ้นอีกมากมาย ความจริงแล้วไซด์แบนด์ที่อยู่ห่างจากความถี่กลางมาก ๆ มักมีแอมพลิจูดเล็กมากจนไม่ต้องคำนึงถึง ในระบบ FM สัญญาณ FM จะรักษาแอมพลิจูดไว้คงที่เสมอ ซึ่งหมายความว่ากำลังของคลื่นพาหะย่อมกระจายไปอยู่ในไซด์แบนด์ ความสัมพันธ์ของพาหะกับไซด์แบนด์ในระบบ FM ขึ้นอยู่กับดัชนีการมอดดูเลท เนื่องจากดัชนีการมอดดูเลทเป็นตัวกำหนดจำนวนของไซด์แบนด์ที่สำคัญและแอมพลิจูดของพาหะกับไซด์แบนด์ต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 กราฟแสดงแอมพลิจูดของพาหะและไซด์แบนด์ในระบบ FM

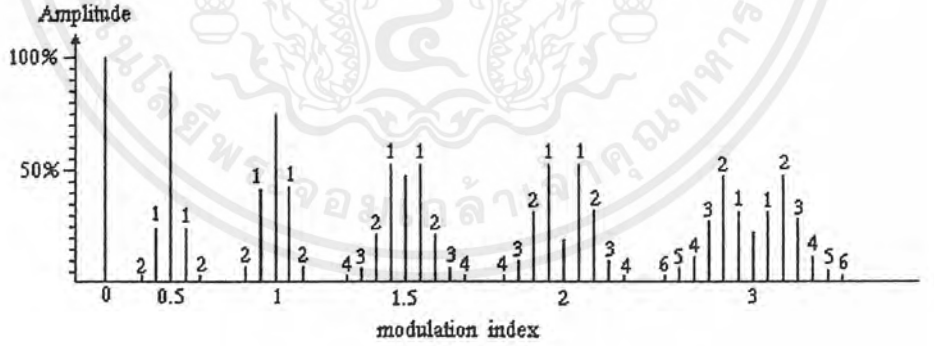
ในรูปที่ 3.3 แสดงกราฟแอมพลิจูดของคลื่นพาหะกับไซด์แบนด์ที่ดัชนีการมอดดูเลทค่าต่าง ๆ จะเห็นว่าเมื่อดัชนีการมอดดูเลทเป็นศูนย์จะมีแต่คลื่นพาหะอย่างเดียว (เท่ากับ 1 หน่วย) คลื่นไซด์แบนด์เป็นศูนย์เมื่อดัชนีการมอดดูเลทเพิ่มขึ้นจำนวนไซด์แบนด์จะเพิ่มขึ้น แอมพลิจูดของไซด์แบนด์ก็จะใหญ่ขึ้น แต่แอมพลิจูดของพาหะกลับเล็กลงจนกระทั่งดัชนีการมอดูเลตเท่ากับ 2.4 คลื่นพาหะจะเป็นศูนย์ ตอนนี้กำลังของคลื่น FM จะไปอยู่ในไซด์แบนด์ทั้งสิ้น เมื่อดัชนีการมอดดูเลทเพิ่มขึ้นอีก คลื่นพาหะก็จะมีค่าเพิ่มขึ้นอีก (เป็นค่าลบแสดงว่าเฟสตรงกันข้ามกับตอนแรก เช่น เมื่อดัชนีการมอดดูเลทเป็น 3.1 แอมพลิจูดของพาหะจะเท่ากับ -0.3 หน่วย) สังเกตว่าจุดที่คลื่นพาหะเป็นศูนย์นั้นมีอยู่หลายจุด

กราฟในรูปที่ 3.3เขียนได้เป็นตารางดังแสดงในตารางที่ 1 และเพื่อให้ดูง่ายขึ้น ในที่นี้เราตัดไซด์แบนด์ที่มีแอมพลิจูดน้อยกว่า 1 เปอร์เซ็นต์ของพาหะเดิม (ก่อนมอดดูเลท) ออกไปโดยไม่คำนึงถึงเช่น เมื่อดัชนีการมอดดูเลทเท่ากับ 0.5 แอมพลิจูดของพาหะจะเท่ากับ 0.94 หน่วย ไซด์แบนด์คู่แรกมีแอมพลิจูดเท่ากับ 0.24 หน่วย ไซด์แบนด์คู่ที่สองถัดไปมีแอมพลิจูดเท่ากับ 0.03 หน่วย ไซด์แบนด์อื่นนอกจากนี้มีแอมพลิจูดน้อยจนสามารถตัดทิ้งไปได้ เมื่อดัชนีการมอดดูเลทสูงขึ้นการกระจายคลื่นไซด์แบนด์จะเป็นดังรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดัชนีการมอดดูเลท	พาหะ	ไซด์แบนด์คู่ที่															
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0	1	_	_	_	_	_	_	_	_	_	_	_	_	_	_	_	_
0.25	0.98	0.12	_	_	_	_	_	_	_	_	_	_	_	_	_	_	_
0.5	0.94	0.24	0.03	_	_	_	_	_	_	_	_	_	_	_	_	_	_
1	0.77	0.44	0.11	0.02	_	_	_	_	_	_	_	_	_	_	_	_	_
1.5	0.51	0.56	0.23	0.06	0.01	_	_	_	_	_	_	_	_	_	_	_	_
2	0.22	0.58	0.35	0.13	0.03	_	_	_	_	_	_	_	_	_	_	_	_
2.5	-0.05	0.5	0.45	0.22	0.07	0.02	_	_	_	_	_	_	_	_	_	_	_
3	-0.26	0.34	0.49	0.31	0.13	0.04	0.01	_	_	_	_	_	_	_	_	_	_
4	-0.4	-0.07	0.36	0.43	0.28	0.13	0.05	0.02	_	_	_	_	_	_	_	_	_
5	-0.18	-0.33	0.05	0.36	0.39	0.26	0.13	0.05	0.02	_	_	_	_	_	_	_	_
6	0.15	0.28	-0.24	0.11	0.36	0.36	0.25	0.13	0.06	0.02	_	_	_	_	_	_	_
7	0.3	0	-0.3	-0.17	0.16	0.35	0.34	0.23	0.13	0.06	0.02	_	_	_	_	_	_
8	0.17	0.23	-0.11	-0.29	-0.1	0.19	0.34	0.32	0.22	0.13	0.06	0.03	_	_	_	_	_
9	-0.09	0.24	0.14	-0.18	-0.27	-0.26	0.2	0.33	0.3	0.21	0.12	0.06	0.03	0.01	_	_	_
10	-0.25	0.04	0.25	0.06	-0.22	-0.23	-0.01	0.22	0.31	0.29	0.2	0.12	0.06	0.03	0.01	_	_
12	-0.05	-0.22	-0.08	0.2	0.18	-0.17	-0.24	-0.17	0.05	0.23	0.3	0.27	0.2	0.12	0.07	0.03	0.01
15	-0.01	0.21	0.04	0.19	-0.12	0.13	0.21	0.03	-0.17	-0.22	-0.09	0.1	0.24	0.28	0.25	0.18	0.12

ตารางแสดงการกระจายคลื่นพาหะและไซด์แบนด์ที่ดัชนีการมอดดูเลทค่าต่าง ๆ



รูปที่ 3.4 รูปคลื่น FM ในเชิงความถี่ที่ค่าดัชนีการมอดดูเลทเท่ากับ 0, 0.5, 1, 1.5, 2, 3

3.5 แบนด์วิดท์ของสัญญาณ FM

ในระบบ FM จำนวนไซด์แบนด์และแอมพลิจูดของไซด์แบนด์ขึ้นอยู่กับค่าดัชนีการมอดดูเลท โดยความถี่ของไซด์แบนด์มีค่าสัมพันธ์กับความถี่ของสัญญาณที่เข้ามอดดูเลท กล่าวคือ ไซด์แบนด์คู่แรกมีความถี่เท่ากับ $f_c \pm f_m$ ไซด์แบนด์คู่ที่สองมีความถี่เท่ากับ $f_c \pm 2f_m$,... ฯลฯ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบนด์วิดท์ของคลื่น FM ต้องครอบคลุมจำนวนไซด์แบนด์ที่สำคัญทุกตัว นั่นคือแบนด์วิดท์ขึ้นอยู่กับดัชนีการมอดดูเลทและความถี่ของสัญญาณที่เข้ามอดดูเลท แต่ดัชนีการมอดดูเลทเท่ากับ f_d / f_m

ดังนั้นถ้าเราทราบความถี่เบี่ยงเบนและความถี่ของสัญญาณมอดดูเลทเราก็สามารถคำณวนหาแบนด์วิดท์ได้ ตัวอย่างเช่นความถี่ของสัญญาณเสียงที่เข้ามอดดูเลทเท่ากับ 3 kHz ความถี่เบี่ยงเบนเท่ากับ 18 kHz เราคำนวณค่าดัชนีการมอดดูเลทได้ดังนี้

$$m = \frac{f_d}{f_m}$$
$$= \frac{18kHz}{3kHz} = 6$$

นำค่า m = 6 ไปหาไซด์แบนด์สำคัญที่พิจารณาได้จากตารางในรูปที่ 3.3 จะเห็นว่าเมื่อดัชนีการมอดดูเลทเท่ากับ 6 จำนวนไซด์แบนด์จะมีอยู่ 9 คู่ เราจึงคำนวณหาแบนด์วิดท์ได้ดังนี้

$$BW = f_m \times \text{จำนวนไซด์แบนด์} \times 2$$
$$= 3kHz \times 9 \times 2$$
$$= 54kHz$$

ความจริงแล้วในทางปฏิบัตินิยมใช้สูตรคำนวณแบบประมาณจากค่า $f_{d\max}$ และ $f_{m\max}$ เลยไม่ต้องเสียเวลานับจำนวนไซด์แบนด์ ดังนี้

$$BW = 2(m+1)f_{m\max}$$

หรือ $BW = 2(f_{d\max} + f_{m\max})$, เมื่อ $m = \frac{f_{d\max}}{f_{m\max}}$

จากตัวอย่างดังกล่าวเราคำนวณได้ว่า

$$BW = 2 \times (6+1) \times 3$$
$$= 42kHz$$

หรือ $BW = 2 \times (18+3)$

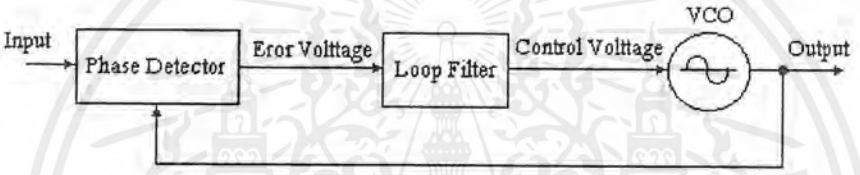
$$= 42kHz$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เสมือนกับว่าเราพิจารณาใช้จำนวนไซด์แบนด์เพียง 7 คู่ เมื่อเทียบกับการคำนวณในตอนต้น

3.6 Phase - Lock Loops (PLL)

เป็นระบบป้อนกลับที่บังคับให้วงจรออสซิเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อคลูปประกอบด้วยวงจรสำคัญ 3 วงจรคือวงจรเทียบเฟสหรือเฟสดีเทคเตอร์ (phase detector) , วงจรลูปฟิลเตอร์ (loop filter) และวงจร VCO ดังรูปที่ 3.5



รูปที่ 3.5 Block Diagram ของ Phase - Lock Loops (PLL)

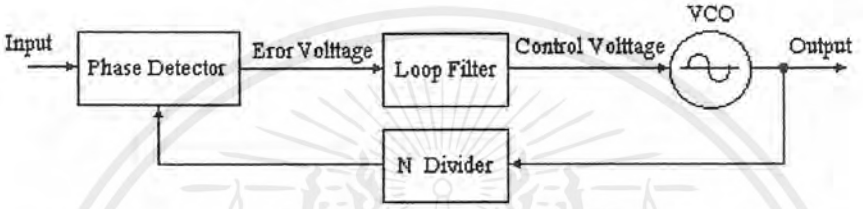
สมมติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (periodic) เข้ามาที่อินพุทวงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณ VCO เอาท์พุทที่ได้จากวงจรเฟสดีเทคเตอร์จะเป็นแรงดันที่มีแอมพลิจูดเป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้งสองที่ทำการเปรียบเทียบ แรงดันผลต่างนี้ป้อนไปให้วงจรลูปฟิลเตอร์ซึ่งเป็นฟิลเตอร์ชนิดโลพาส กรองเอาแต่เฉพาะความถี่ต่าง ๆ ที่ต้องการ เพื่อส่งไปควบคุมการออสซิเลทของ VCO ต่อไป เมื่อลูป อยู่ในสภาวะล็อค ความถี่ VCO จะเท่ากับความถี่ของสัญญาณอินพุทพอดี อาจจะมีเฟสแตกต่างไป แต่ค่าเฟสที่แตกต่างนั้นจะมีค่าคงที่ (constant phase difference) ในกรณีที่มีเฟสไม่ตรงกันวงจรเฟสดีเทคเตอร์จะจ่ายแรงดันคลาดเคลื่อน (error voltage) ไปควบคุมการทำงานของ VCO เพื่อมิให้เฟสคลาดเคลื่อนจนกว่าจะเข้าสู่สภาวะล็อค เอาท์พุทของ VCO จึงมีแอมพลิจูดคงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงตามความถี่ของสัญญาณอินพุท

เราสามารถนำเฟสล็อคลูปไปใช้งานได้หลายอย่างด้วยกันเช่น ในการดีมอดสัญญาณ FM หรือใช้ในสังเคราะห์ (ผลิต) ความถี่ที่มีความเที่ยงตรงเทียบเท่าสัญญาณอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.1 การนำ PLL ไปใช้ในการสังเคราะห์ความถี่

ความหมายของการสังเคราะห์ความถี่ก็คือ วงจรที่ทำหน้าที่ผลิตสัญญาณความถี่และให้ มีความถี่ตามที่เรากำหนดคือสั่งหรือโปรแกรมได้ โดยหลักการทำงานเหมือนกับ PLL เพียงแต่เพิ่มวงจร N Divider เข้าไป วงจร N Divider หรือหาร N ทำหน้าที่หารความถี่แบบตั้งโปรแกรมให้หารด้วยค่าตัวเลขตามต้องการได้ (Programmable Divider) สัญญาณอ้างอิงจะมาจากวงจรกำเนิดความถี่โดยใช้คริสตอลออสซิเลเตอร์หรือเป็นสัญญาณอื่น ๆ (Reference Generator)



รูปที่ 3.6 Block Diagram การทำงานของวงจรสังเคราะห์ความถี่

จากรูปที่ 3.6 สัญญาณที่อินพุทของวงจรเฟสดีเทคเตอร์จะมีด้วยกัน2 สัญญาณก็คือสัญญาณจากวงจร VCO ที่มีความถี่เท่ากับ F_O/N และจากสัญญาณอ้างอิงกำหนดให้มีความถี่เท่ากับ F_R เอาท์พุทจากวงจรเฟสดีเทคเตอร์ก็คือผลต่างระหว่างสัญญาณ F_O/N กับ F_R ซึ่งจะกรองเฉพาะความถี่ต่ำเท่านั้น เพื่อบังคับการออสซิเลทของวงจร VCO ให้ทำการปรับแก้ความถี่ (เฟส) ให้ตรงจนกว่าความถี่ของสัญญาณทั้งสองจะเท่ากัน

ในสภาวะล็อค ความถี่ของวงจร VCO เมื่อผ่านวงจรหาร N จะมีค่าเท่ากับ $F_O=NF_R$ หรือเอาท์พุทจะมีความถี่เป็น N เท่าของความถี่อ้างอิง วงจรสังเคราะห์ความถี่จะสามารถผลิตความถี่ได้แต่เฉพาะในช่วงความถี่ที่วงจร VCO และวงจรหาร N ทำงานได้เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การมอดดูเลทสัญญาณแบบดิจิตอล

4.1 บทนำ

ในบทนี้จะทำการอธิบายเนื้อหาเกี่ยวกับการมอดดูเลทสัญญาณแบบดิจิตอล ซึ่งมีอยู่ด้วยกันหลายวิธีเช่น การมอดดูเลทแบบ ASK, FSK และ PSK ซึ่งแต่ละวิธีจะอาศัยหลักการทำงานที่แตกต่างกันออกไป ในบทนี้เราจะเน้นเนื้อหาเกี่ยวกับการมอดดูเลทแบบ FSK เพราะเกี่ยวข้องกับโครงงานที่ได้จัดทำ ซึ่งจะอธิบายโดยละเอียดดังจะกล่าวต่อไปนี้

4.2 การมอดดูเลทสัญญาณดิจิตอล

การมอดดูเลทข้อมูลที่เป็นดิจิตอลจะมีหลักการพื้นฐานอยู่ 3 แบบด้วยกันคือ

1. การมอดดูเลทดิจิตอลทางขนาด (Amplitude Shift Keying ;ASK)
2. การมอดดูเลทดิจิตอลทางเฟส (Phase Shift Keying ;PSK)
3. การมอดดูเลทดิจิตอลทางความถี่ (Frequency Shift Keying ; FSK)

จากสมการทางคณิตศาสตร์ของคลื่นรูปซายน์ที่เราใช้เป็นพาหะ

$$e = A\sin(\omega t + \Phi) \qquad (1)$$

คุณสมบัติประจำตัวของคลื่นรูปซายน์ที่สำคัญจะมีอยู่ 3 ประการ ซึ่งเราสามารถเปลี่ยนแปลงหรือมอดดูเลทได้ คือ แอมพลิจูด (A) ความถี่เชิงมุม (ω) และเฟส (Φ)

สัญญาณดิจิตอลเบสแบนด์เป็นรูปสี่เหลี่ยมแสดงรหัสไบนารี " 1 " และ " 0 " ในการมอดดูเลทสัญญาณดิจิตอลนี้ จากคุณสมบัติประจำตัวของคลื่นรูปซายน์ (คลื่นพาหะ) ซึ่งสามารถเปลี่ยนแปลงได้คือ แอมพลิจูด , ความถี่เชิงมุมและเฟสจะเปลี่ยนไปตามสถานะ " 1 " และ " 0 " ของสัญญาณเบสแบนด์

4.2.1 การมอดดูเลทดิจิตอลทางขนาด (Amplitude Shift Keying ; ASK)

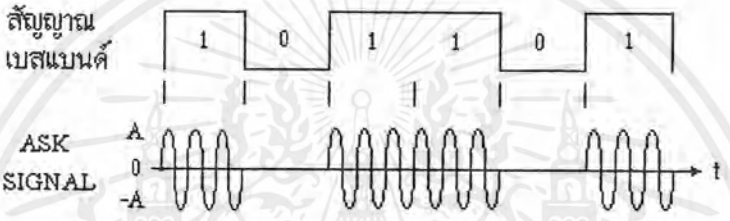
ในการมอดดูเลทดิจิตอลทางขนาดบางครั้งเรียกว่า OOK (on-off keying) เพราะว่า คลื่นพาหะถูก on/off ตามสัญญาณที่เป็น " 1 " หรือ " 0 " ถ้าคลื่นพาหะกำหนดโดยสมการที่ (1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นสัญญาณ ASK จะกำหนดได้เป็น

$$e = A\sin 2\pi f_1 t \quad ; \text{เมื่อสถานะของบิทเป็น “ 1 ”}$$
$$= 0 \quad ; \text{เมื่อสถานะของบิทเป็น “ 0 ”}$$

แสดงดังรูปที่ 4.1



รูปที่ 4.1 แสดงรูปการมอดดูเลทดิจิตอลทางขนาด

การมอดดูเลทดิจิตอลทางขนาดจัดว่ามีประสิทธิภาพต่ำสุด และมีความผิดพลาดในการส่งข้อมูลสูงและใช้ในสายสื่อสารที่ต้องการความเร็วของข้อมูลต่ำ (น้อยกว่า 100 บิท /วินาที) ส่วนหลักการอื่น ๆ ของ ASK จะเหมือนกับแบบ AM

4.2.2 การมอดดูเลทดิจิตอลทางเฟส (Phase Shift Keying ; PSK)

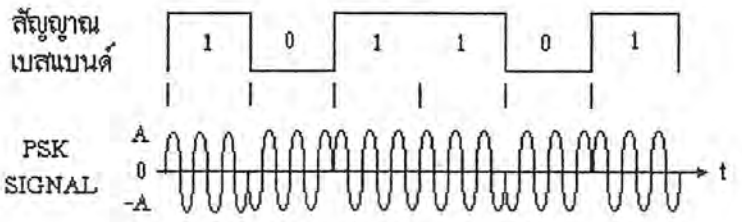
การมอดดูเลทดิจิตอลทางเฟสจะใช้เฟสของสัญญาณอนาลอกแทนสัญญาณดิจิตอล สัญญาณลอจิก “ 1 ” จะให้เฟสของสัญญาณอนาลอกเฟสหนึ่ง ในขณะเดียวกันสัญญาณลอจิก “ 0 ” ก็จะให้เฟสของสัญญาณอนาลอกอีกเฟสหนึ่ง ถ้าสัญญาณพาหะเป็นดังสมการที่ (1)

ดังนั้นสัญญาณ PSK จะกำหนดได้เป็น (ในกรณีที่ส่งครั้งละหนึ่งบิท)

$$e = A\sin 2\pi f_c t \quad ; \text{เมื่อสถานะของบิทเป็น “ 1 ”}$$
$$= A\sin(2\pi f_c t + \pi) \quad ; \text{เมื่อสถานะของบิทเป็น “ 0 ”}$$

แสดงดังรูปที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



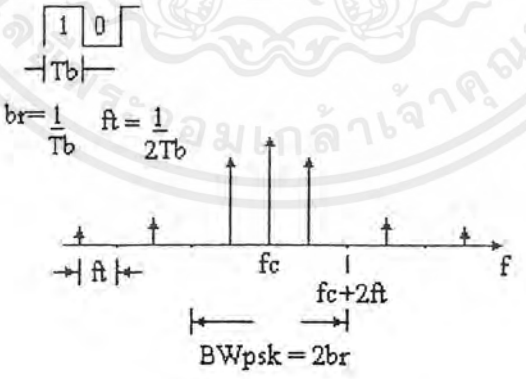
รูปที่ 4.2 แสดงรูปการมอดดูเลทดิจิตอลทางเฟส

รูปแบบที่ง่ายที่สุดของการมอดดูเลทแบบ PSK คือ Binary PSK (BPSK) แสดงดังรูปที่ 4.3 ที่ค่าเฟสของสัญญาณจะมี 2 ค่า คือ 0 องศา และ 180 องศา

สมการของสัญญาณที่ได้จากการมอดดูเลทแล้วได้เป็น

$$V_{PSK} = V_b \sin(2\pi f_c t) + \overline{V_b} \sin(2\pi f_c t + \pi)$$

เมื่อ V_b แทนค่าสถานะของบิท คือ " 1 " และ " 0 "



รูปที่ 4.3 แสดงสัญญาณในแบบ BPSK

ถ้าคิดให้อัตราเร็วบิทเท่ากันแบบ PSK มีค่าความกว้างแถบน้อยกว่าแบบ FSK (แต่ราคาของวงจร PSK สูงกว่า) เราใช้วิธีการมอดดูเลทแบบ PSK ในโมเด็มที่มีอัตราเร็วบิทเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2400 บิท/วินาที และ 4800 บิท/วินาทีเพราะว่าวิธีการมอดดูเลทแบบ FSK ไม่สามารถทำได้โดยผ่านเครือข่ายโทรศัพท์

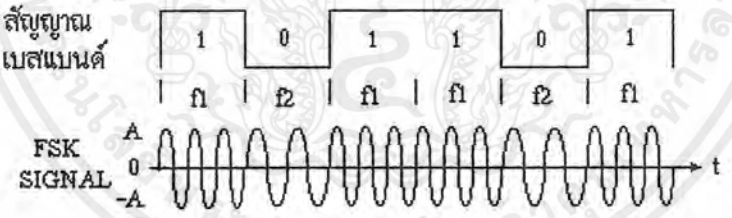
4.2.3 การมอดดูเลทดิจิตอลทางความถี่ (Frequency Shift Keying ; FSK)

การมอดดูเลทดิจิตอลทางความถี่เมื่อข้อมูลเป็นลอจิก " 1 " ก็จะได้สัญญาณอนาลอกความถี่หนึ่งและเมื่อเป็นลอจิก " 0 " ก็จะได้สัญญาณอนาลอกอีกความถี่หนึ่ง ถ้าสัญญาณพาหะเป็นดังสมการที่ 1

ดังนั้นกรณีของการมอดดูเลทแบบ FSK ความถี่ของคลื่นพาหะจะมี 2 ความถี่ เช่น ความถี่ f_1 สำหรับสัญญาณที่เป็นลอจิก " 1 " และความถี่ f_2 สำหรับสัญญาณที่เป็นลอจิก " 0 " แสดงดังสมการข้างล่าง

$$e = A\sin 2\pi f_1 t \quad ; \text{เมื่อสถานะบิทเป็น " 1 "}$$
$$= A\sin 2\pi f_2 t \quad ; \text{เมื่อสถานะบิทเป็น " 0 "}$$

แสดงดังรูปที่ 4.4



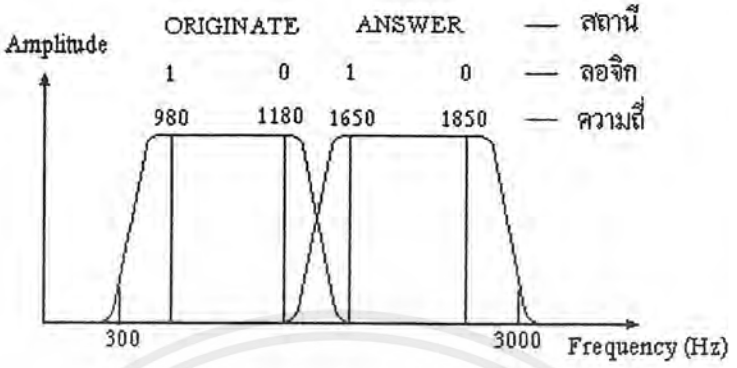
รูปที่ 4.4 แสดงการมอดดูเลทดิจิตอลทางความถี่

ในการส่งข้อมูลแบบ FSK ที่ใช้งานจริงสามารถแบ่งได้ 2 แบบ

- ชนิดที่ใช้ในการส่งข้อมูลในระบบฟูลดูเพลกซ์ (Full Duplex)

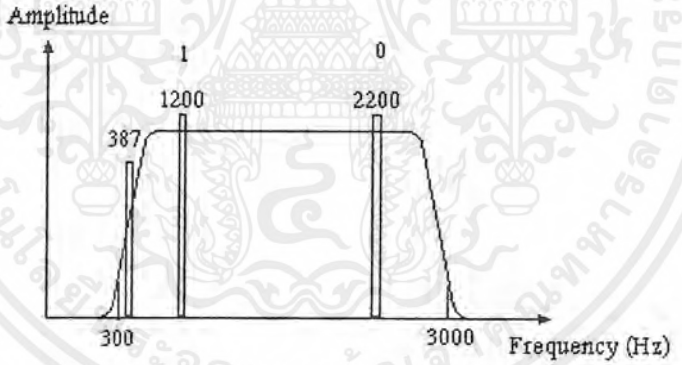
การส่งข้อมูลแบบนี้จะแบ่งแบนด์วิดธ์ของช่องสัญญาณเสียงออกเป็น 2 แบนด์เท่า ๆ กัน โดยแบนด์หนึ่งใช้ในการส่งข้อมูลส่วนอีกแบนด์หนึ่งจะใช้ในการรับข้อมูล ทำให้สามารถส่งข้อมูลเข้าไปในสายได้พร้อม ๆ กัน ผลตอบสนองความถี่สำหรับการรับส่งข้อมูลแบบนี้แสดงดังรูปที่ 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 ช่องสัญญาณในสายส่งเมื่อใช้การมอดดูเลทแบบ FSK ในการส่งข้อมูลแบบฟูลดูเพล็กซ์

- ชนิดที่ใช้ในการส่งข้อมูลในระบบฮาล์ฟดูเพล็กซ์ (Half Duplex)

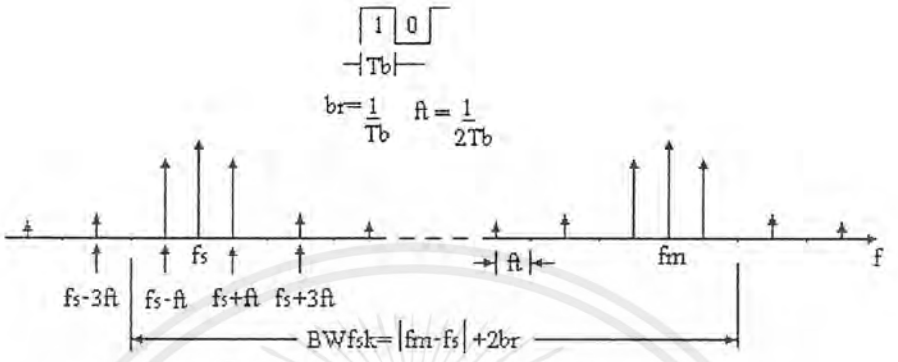


รูปที่ 4.6 ช่องสัญญาณในสายส่งเมื่อใช้การมอดดูเลทแบบ FSK ในการส่งข้อมูลแบบฮาล์ฟดูเพล็กซ์

การส่งข้อมูลแบบฮาล์ฟดูเพล็กซ์จะมีแบนด์วิดธ์ 2 แบนด์เหมือนกัน แต่ความกว้างของแบนด์วิดธ์ทั้งสองจะไม่เท่ากัน แบนด์วิดธ์ที่กว้างกว่าจะใช้ในการส่งข้อมูลส่วนแบนด์วิดธ์ที่แคบจะใช้ในการส่งสัญญาณแนะนำควบคุม (Supervisory Signal) ของตัวรับไปยังตัวส่งเพื่อใช้ในการตรวจสอบสภาพการส่งข้อมูลว่าถูกต้องหรือไม่เราเรียกแบนด์วิดธ์แบบนี้ว่าช่องสัญญาณย้อนกลับ (Reverse Channel) ผลตอบสนองความถี่ของการรับส่งข้อมูลแบบฮาล์ฟดูเพล็กซ์แสดงดังรูปที่ 4.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราสามารถที่จะอธิบายความหมายของความกว้างแถบ (bandwidth) ในแบบ FSK ได้โดยพิจารณาจากรูปที่ 4.7



รูปที่ 4.7 แสดงการประมาณค่าความกว้างแถบของแบบ FSK

จากรูปที่ 4.7 กำหนดให้ b_r = อัตราเร็วบิท (บิท/ วินาที)

T_b = ช่วงเวลาใน 1 บิท

จะได้ $T_b = \frac{1}{b_r}$ วินาที

สมมติให้สัญญาณข้อมูลมีสถานะ " 1 " และ " 0 " สลับกันเป็นคลื่นสี่เหลี่ยม (square wave) ให้มีความถี่พื้นฐานเท่ากับ f_f

จะได้ $$f_f = \frac{1}{2T_b} = \frac{b_r}{2} \quad Hz \qquad (2)$$

จากสมการที่ (2) หมายถึงค่าความถี่พื้นฐานที่มากที่สุดของสัญญาณข้อมูล มีค่าเท่ากับครึ่งหนึ่งของอัตราเร็วบิท สำหรับรูปสมการของสัญญาณที่ได้จากการมอดดูเลทแบบ FSK แล้วมีค่าดังสมการข้างล่าง

$$V_{FSK} = V_b \sin(2\pi f_m t) + \overline{V_b} \sin(2\pi f_s t)$$

โดยค่า V_b = ค่าของบิทมีค่าหนึ่งและศูนย์ ขึ้นอยู่กับสถานะของข้อมูลนั้น

f_m = ค่าความถี่ของสถานะมาร์ค (1)

f_s = ค่าความถี่ของสถานะสเปซ (0)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสเปคตรัม (Spectrum) ของสมการ V_{FSK} ประกอบด้วยคลื่นพาหะและแถบความถี่ข้างจำนวนหลายคู่ ซึ่งในการคิดของค่าความกว้างแถบของแบบ FSK กำหนดจากความถี่ 2 ตัวที่อยู่ระหว่างตรงกลางของแถบความถี่ฮาร์โมนิก (Harmonic) ลำดับที่ 1 และ 3 แสดงในรูปสมการได้ว่า

$$BW_{FSK} = (f_m + 2f_t) - (f_s - 2f_t)$$

$$= (f_m - f_s + \Delta f_t) \qquad Hz \qquad (3)$$

หรือ $$BW_{FSK} = |f_m - f_s| + 2b_r \qquad Hz \qquad (4)$$

สรุปความหมายจากสมการที่ (3) และ (4) ได้ว่า ค่าโดยประมาณของความกว้างแถบเท่ากับค่าแตกต่างระหว่าง ความถี่ของมาร์ค (Mark) กับสเปซ (Space) บวกด้วยสองเท่าของอัตราเร็วบิท

สำหรับการออกแบบภาคดีมอดดูเลท มีข้อแนะนำในการหาค่าความถี่กลางของ FSK และค่าแตกต่างระหว่างความถี่ของมาร์ค (Mark) กับสเปซ (Space) ไว้ว่า

$$f_{FSK} = \frac{(f_m + f_s)}{2} \geq 3b_r \qquad (5)$$

$$|f_m - f_s| \geq \frac{2b_r}{3} \qquad (6)$$

f_{FSK} ความถี่กลาง FSK (ระหว่าง f_m และ f_s)

- **ตัวอย่าง** ในการคำนวณหาค่า f_{FSK} และค่าความกว้างแถบ (BW) ของช่องสัญญาณ FSK

กำหนดให้โมเด็มชนิดมีอัตราเร็ว 600 บิท / วินาที ต้องการใช้ความถี่มาร์ค (Mark) เท่ากับ 1500 Hz และความถี่สเปซ (Space) เท่ากับ 2000 Hz

จากสมการที่ (4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$BW_{FSK} = |f_m - f_s| + 2b_r$$
$$= |2000 - 1500| + 2(600)$$
$$= 1700 \quad Hz$$

จากสมการที่ (5)

$$f_{FSK} = \frac{(f_m + f_s)}{2} \geq 3b_r$$
$$\frac{(2000 + 1500)}{2} \geq 3(600)$$
$$1750Hz \geq 1800Hz$$

จากสมการที่ (6)

$$|f_m - f_s| > \frac{2b_r}{3}$$
$$|1500 - 2000| > \frac{2(600)}{3}$$
$$500Hz > 400Hz$$

จากการคำนวณสมการที่ (5) และ (6) เปรียบเทียบกัน ถ้าพิจารณาข้อแนะนำในการออกแบบภาคดีมอดดูเลทพบว่าจากที่ระบุในสมการที่ (5) ก็ยังไม่ดีเท่าที่ควรเพราะว่าค่าที่คำนวณได้ 1750 Hz น้อยกว่า 1800 Hz ส่วนในสมการที่ (6) เราจะพบว่าใช้ได้ดีเพราะว่าค่า 500 Hz ที่คำนวณได้มากกว่าสองในสามของ 600 Hz (400 Hz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
พอร์ท RS-232

5.1 บทนำ

การสื่อสารหรือการติดต่อระหว่างเครื่องไมโครคอมพิวเตอร์ ส่วนมากจะเป็นการสื่อสารข้อมูลแบบอะซิงโครนัส โดยปกติเครื่องไมโครคอมพิวเตอร์จะมีพอร์ทที่เป็นอนุกรมเรียกชื่อกันว่า RS-232C อยู่ในตัวมันเอง ซึ่งในการติดต่อระหว่างเครื่องไมโครคอมพิวเตอร์จะติดต่อผ่านทางพอร์ท RS-232C

5.2 พอร์ท RS-232C

พอร์ท RS-232C ทำหน้าที่รับและส่งข้อมูลแบบอนุกรมเรียกว่า Universal Asynchronous Adapter เนื่องจาก EIA ได้กำหนดมาตรฐานของอุปกรณ์แบบอนุกรมเอาไว้ภายใต้ชื่อว่า RS-232C ความจริงมาตรฐานของการส่งข้อมูลแบบอนุกรมมีหลายมาตรฐาน แต่ที่นิยมใช้กันมากที่สุดสำหรับไมโครคอมพิวเตอร์ก็คือ RS-232C คำว่า " RS " ย่อมาจาก " Recommend Standard " ส่วน" 232 " เป็นหมายเลขบ่งบอกมาตรฐาน และ " C " เป็นหมายเลขของฉบับท้ายสุดของมาตรฐานตัวนี้

รูปที่ 5.1 การใช้ RS-232C เชื่อมต่ออุปกรณ์

จุดประสงค์ของมาตรฐานตัวนี้ ก็เพื่อบรรยายคุณลักษณะของการเชื่อมต่ออุปกรณ์รับส่งข้อมูลปลายทาง (Data Terminal Equipment :DTE) กับอุปกรณ์สื่อสารข้อมูล (Data Communication Equipment :DCE) สำหรับผู้ใช้ไมโครคอมพิวเตอร์ DTE หมายถึงตัวไมโครคอมพิวเตอร์และ DCE หมายถึง Modem หรืออุปกรณ์อื่น ๆ เช่น เครื่องพิมพ์ที่รับสัญญาณแบบอนุกรมอาจเป็นได้ทั้ง DTE และ DCE ขึ้นอยู่กับผู้ผลิต ความเร็วและระยะทางของการเชื่อมต่อ RS-232C สามารถเชื่อมต่อการถ่ายโอนข้อมูลได้จาก 0 - 20,000 บิทต่อวินาที ซึ่งเพียงพอสำหรับไมโครคอมพิวเตอร์ที่มีขนาดอัตราบอด 110 - 9600 บอด ความยาวของสายเชื่อมต่อโดยสัญญาณตามมาตรฐานของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RS-232C จำกัดอยู่แค่ 50 ฟุต ซึ่งเพียงพอสำหรับการสื่อสารไมโครคอมพิวเตอร์กับอุปกรณ์รอบนอก

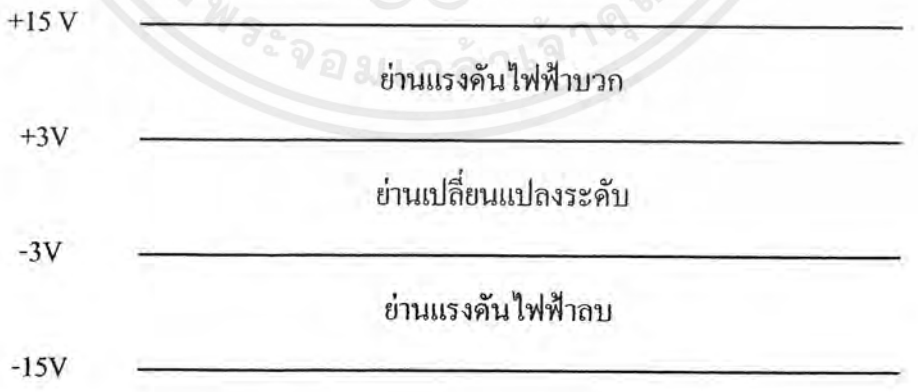
5.3 ลักษณะสมบัติทางไฟฟ้าของสัญญาณ RS-232C

เพื่อเป็นหลักประกันว่าข้อมูลถูกส่งออกไปอย่างถูกต้องและอุปกรณ์ถูกควบคุมอย่างถูกต้อง จำเป็นจะต้องมีข้อตกลงกันในเรื่องของสัญญาณที่ใช้ ซึ่งลักษณะสมบัติทางไฟฟ้าของสัญญาณ RS-232C สามารถแบ่งเป็นหัวข้อดังต่อไปนี้

5.3.1 สถานะ

สำหรับมาตรฐานของการใช้แรงดันไฟฟ้าจะกำหนดไว้ดังตารางมาตรฐานแรงดันไฟฟ้าในรูปที่ 5.2 แรงดันสูงสุดที่วงจรใน DTE และ DCE ไม่ควรเกิน 25 V และ Open Circuit Voltage ต้องไม่เกิน 2 V (วัดเทียบกับ Signal Ground)

มาตรฐานของการใช้แรงดันแรงดันไฟฟ้า			
แรงดันไฟฟ้า	ลอจิก	สัญญาณ	ฟังก์ชันในการควบคุม
บวก	0	Space	ON
ลบ	1	Mark	OFF



รูปที่ 5.2 แสดงย่านของแรงดันไฟฟ้าที่ใช้ในสัญญาณ RS-232C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.2 วงจรขับสัญญาณ

หากเกิดสภาพการลัดวงจรของสายเชื่อมต่อคู่ใด ๆ จะต้องมีกระแสลัดวงจรไม่เกิน 0.5 A และแรงดันที่ DCE ต้องไม่เกิน 25 V เมื่อถอด Connector

5.3.3 ความต้านทาน

เมื่อมองจากด้านจุด Interface Point ไปยัง DCE จะต้องมีค่า $3k\Omega - 7k\Omega$

5.3.4 ความไวของการเปลี่ยนแปลงระดับของสัญญาณ

สัญญาณควบคุมจะต้องผ่านช่วงเปลี่ยนแปลงระดับ (-3 V ถึง +3 V) ภายในเวลาไม่เกิน 1 $m$sec ส่วนสัญญาณข้อมูลจะต้องผ่านช่วงเปลี่ยนแปลงระดับภายในเวลาไม่เกิน 1 $m$sec หรือ 4 เปอร์เซ็นต์ของความกว้างของรูปสัญญาณนั้น

5.4 ลักษณะสมบัติเชิงกลของข้อต่อ (Connector)

มาตรฐานของ RS-232C ไม่ได้กำหนดว่าต้องใช้ Connector รูปร่างอย่างไร แต่ที่นิยมใช้กันทั่วไปคือ DB-25 Connector ซึ่งแต่ละขาของข้อต่อกำหนดไว้ดังรูปที่ 5.3 สัญญาณต่าง ๆ ถูกมอบหมายให้ทำหน้าที่ดังต่อไปนี้

- **Protective Ground** (PG ขาที่ 1)

หมายถึงตัวถังของเครื่องหรือสายดิน

- **Transmit Data** (TD ขาที่ 2)

เป็นสัญญาณที่ส่งออกจาก DTE ไปยังโมเด็มหรือต่อเข้าโดยตรงกับไมโครคอมพิวเตอร์ตัวอื่นหรือเครื่องพิมพ์ เมื่อไม่มีสัญญาณส่งออกสถานภาพของลอจิกจะมีค่าเท่ากับ " 1 " สภาวะ " OFF " หรือเทียบเท่ากับ Stop bit และไม่ว่าจะเป็นระบบอะไร DTE ต้องไม่ส่งข้อมูลออกไปจนกว่าสัญญาณ Request To Sent (RTS) , Clear To Send (CTS) , Data Set Ready (DSR) และData Terminal Ready (DTR) ทั้งหมดนี้อยู่ในสภาวะ " ON " อยู่

- **Receive Data** (RD ขาที่ 3)

เป็นทางของสัญญาณที่เข้าไปยัง DTE เมื่อไม่มีสัญญาณรับเข้ามาขานี้ จะมีสถานภาพทางลอจิกเป็น " 1 " หรือสภาวะ " OFF "

- **Request To Send** (RTS ขาที่ 4)

จาก DTE ไปยัง DCE

สภาวะ " ON " คือบังคับให้ DCE อยู่ใน Transmitting Mode ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สภาวะ " OFF " คือบังคับให้ DCE อยู่ใน Reciving Mode ต่อไป

การเปลี่ยนจาก " OFF " เป็น " ON " เป็นการบอกให้ DCE จัดการกับระบบสื่อสารเพื่อให้ช่องทางต่อเชื่อมและให้สัญญาณ Clear To Send (CTS) กลับมาบอกว่าสามารถส่งได้

การเปลี่ยนจาก " ON " เป็น " OFF " เป็นการบอกให้ DCE ส่งข้อมูลผ่านช่องสื่อสารให้หมดแล้วกลับไปอยู่ใน Receiving Mode หรืออยู่เฉย ๆ พร้อมกับให้ Clear To Send (CTS) เป็น " 0 "

- **Clear To Send** (CTS ขาที่ 5)

จาก DCE ไป DTE สภาวะ " ON " หมายความว่า ข้อมูลจาก DTE ขา 2 จะถูกส่งต่อไปในช่องสื่อสาร(โมเด็มส่งข้อมูลออกสายโทรศัพท์) ทันที CTS จะ " ON " หลังจาก DSR และ RTS อยู่ในสภาวะ " ON " และการต่อเชื่อมวงจรสื่อสาร (ชุมสายโทรศัพท์) เสร็จแล้ว

-Data Set Ready (DSR ขาที่ 6)

จาก DCE ไป DTE คือความพร้อมของโมเด็มนั่นเองจะเป็น " ON " ก็ต่อเมื่อ DCE (โมเด็ม)เปิดเครื่องอยู่จะอยู่ในสภาวะ off-hook (เหมือนยกหูโทรศัพท์) , DCE ไม่อยู่ใน test mode และ DCE ทำการส่งสัญญาณไปยังชุมสายเสร็จแล้ว

DSR อยู่ในสภาวะ " ON " เป็นการบอก DTE ว่า โมเด็มต่อเข้ากับสายโทรศัพท์เรียบร้อยแล้วและพร้อมที่จะส่งได้แล้ว

DSR อยู่ในสภาวะ " OFF " หมายถึงให้ DTE เลิกสนใจสัญญาณตัวอื่น ๆ ยกเว้น Ring Indicator

-Signal Ground (SG ขาที่ 7)

SG ทำหน้าที่เป็นระดับแรงดันอ้างอิงสำหรับทุกสายของสัญญาณจะมีแรงดันเป็น " 0 " เมื่อเทียบกับสัญญาณตัวอื่น

-Carrier Detect (CD ขาที่ 8)

จาก DCE ไป DTE

สภาวะ " ON " หมายความว่า DCE จับสัญญาณพาหะในช่องทางสื่อสารที่จะทำการ Demodulate ได้

สภาวะ " OFF " หมายความว่า DCE ไม่ได้รับสัญญาณอะไรเลยหรือได้รับสัญญาณแต่ไม่สามารถทำการ Demodulate เอาข้อมูลออกมาได้

-Data Terminal Ready (DTR ขาที่ 20)

จาก DTE ไป DCE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สภาวะ " ON " หมายความว่า DCE ทำการเตรียมเพื่อเชื่อมต่อกับตัวอื่น และรักษาช่องทางติดต่อไว้ต่อไป (การเชื่อม Channel ทำได้หลายทางคือหมุนเรียกด้วยมือหรืออัตโนมัติ) ถ้า DCE สามารถตอบรับสัญญาณเรียก (Call)ได้ ก็ให้ตอบรับ (Answering) เมื่อมีสัญญาณเรียก Ring Indicator และ DTR อยู่ในสภาวะ " ON "

สภาวะ " OFF " คือวางหูและเมื่อ " OFF " แล้วต้องไม่ " ON " อีกจนกว่า DSR จะ "OFF"

-Ring Indicator (RI ขาที่ 22)

จาก DCE ไป DTE เหมือนสัญญาณเรียกของโทรศัพท์แต่เป็นดิจิตอล ใช้ในระบบตอบได้อัตโนมัติ (Auto-answer) สัญญาณนี้จะ " ON " เมื่อมีสัญญาณกระดิ่งเข้ามาและจะ " OFF " ระหว่างเสียงดังของกระดิ่ง

ส่วนขาอื่น ๆ ที่เหลือนั้น ส่วนมากมีหน้าที่คล้ายกับ 8 ขาแรกที่กล่าวมาแล้วและบางเส้นใช้กับงานพิเศษเท่านั้นจึงไม่ขอกล่าวถึงในที่นี้ ขาที่เราใช้สำหรับรับส่งข้อมูลของข้อต่อแบบ DB-25 จึงเหลือเพียงขา 2, 3, 4, 5, 6, 7, 8, 20 และ 22 ยกเว้นการต่อใช้งานบางอย่างถึงจะต่อครบทุกเส้น

5.5 DB-25 และ DB-9

จากการที่ข้อต่อแบบ 25 ขาเราใช้งานจริงเพียง 9 ขาเท่านั้น เครื่องคอมพิวเตอร์รุ่นใหม่ ๆ จึงได้ลดข้อต่อลงมาใช้แบบ 9 ขาแทน ซึ่งเราเรียกข้อต่อแบบนี้ว่า DB-9 การใช้ข้อต่อแบบ DB-9 นี้มีข้อดีหลายอย่างคือ ขนาดเล็กกะทัดรัด ราคาของข้อต่อถูกกว่า การต่อสายเคเบิลสะดวกขึ้น และการใช้งานคล่องตัวขึ้น สัญญาณต่าง ๆ ของข้อต่อแบบ DB-9บางเส้นจะตรงกับที่ใช้ใน DB-25 ดังที่แสดงในตารางเปรียบเทียบดังตารางที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB-25 Pin	DB-9Pin	Assignment / Function
8	1	Carrier Detect(CD)
3	2	Receive Data (RD)
2	3	Transmit Data (TD)
20	4	Data Terminal Ready (DTR)
7	5	Signal Ground (SG)
6	6	Data Set Ready (DSR)
4	7	Request To Send (RTS)
5	8	Clear To Send (CTS)
22	9	Ring Indicator (RI)

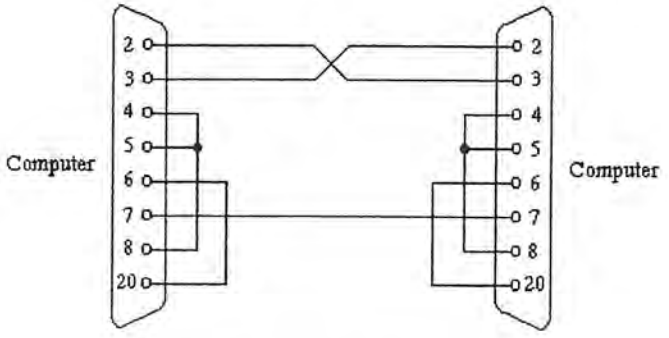
ตารางแสดงขาที่ใช้งานของ DB-9 และ DB-25 ในการรับส่งข้อมูลแบบอนุกรม

5.6 การเชื่อมต่อคอมพิวเตอร์กับคอมพิวเตอร์โดยตรง (Null Modem)

การต่อเครื่องคอมพิวเตอร์เข้าด้วยกันโดยใช้ RS-232C แล้วถ่ายโอนข้อมูลจากเครื่องหนึ่งไปอีกเครื่องหนึ่ง วิธีการต่อแบบนี้เรียกว่า Null Modem ก็คือการต่อโดยไม่ใช้โมเด็มนั้นเอง วิธีการต่อ RS-232C เข้าระหว่างเครื่องคอมพิวเตอร์โดยตรงมีอยู่หลายวิธีตามแต่ขบวนการที่จะใช้ ถ้าไม่ต้องการมีการตรวจสอบสัญญาณกันก็ต่อ RD เข้า TD ของอีกเครื่องหนึ่ง สายกราวด์ต่อถึงกันแสดงดังรูปที่ 5.5 ก็สามารถใช้งานถ่ายโอนข้อมูลได้แล้ว

ปกติ OS ที่ให้บริการเกี่ยวกับพอร์ต RS-232C จะส่งสัญญาณ Request To Sent (RTS) ออกมาที่ขา 4 ก่อน เมื่อ Clear To Send (CS) ที่ขา 5 เป็นลอจิก " 1 " จึงจะเริ่มทำการส่งข้อมูลที่โอเปอเรเตอร์บอกให้ส่งออกไปที่ขา 2 ในกรณีที่เป็นการต่อแบบง่าย ๆ ในรูปที่ 5.5 จึงถือว่าเป็นการหลอกคอมพิวเตอร์ โดยเอาขา 4 (RTS) ต่อเข้ากับขา 5 (CTS) เพื่อให้คอมพิวเตอร์ส่งข้อมูลได้ทันทีโดยไม่ต้องการความเรียบร้อยของฝ่ายรับ

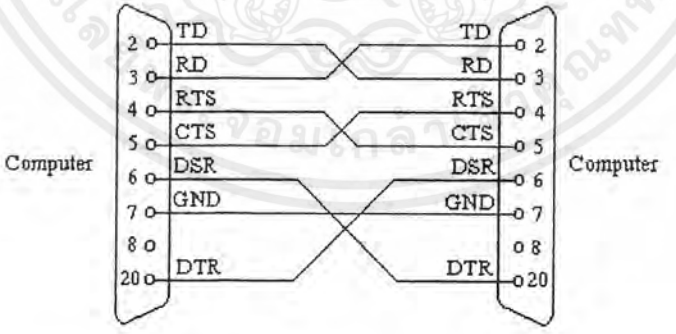
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 การต่อ RS-232C ระหว่างคอมพิวเตอร์อย่างง่าย ๆ

สำหรับขา 6 Data Set Ready (DSR) ต่อเข้ากับขาที่ 20 Data Terminal Ready (DTR) ก็ทำนองเดียวกัน โดยปกติคอมพิวเตอร์จะถามอุปกรณ์ที่มาต่อพ่วงกับ RS-232C ว่าพร้อมที่จะส่งหรือยังโดยส่งสัญญาณถามที่ขา 20 และรอคำตอบที่ขา 6 จะได้รับคำตอบกลับที่ขา 6 ทันที ในการต่อแบบนี้ฝ่ายรับจะต้องรอรับอยู่ก่อนแล้ว ก่อนที่ฝ่ายส่งจะเป็นผู้ส่งไม่เช่นนั้นข้อมูลที่ออกมาจะหายไป เพราะฝ่ายส่งไม่ได้ตรวจสอบความเรียบร้อยของฝ่ายรับก่อน

เราอาจจะต่อสายให้มีการตรวจสอบสัญญาณโต้ตอบ (Hand Shake) ได้ดังรูปที่ 5.4 ซึ่งกรณีนี้จะมีการโต้ตอบที่ดีขึ้น เมื่อฝ่ายรับยังไม่พร้อมที่จะรับก็จะยังไม่มีสัญญาณ RTS ออกมา ฝ่ายส่งซึ่งถือเอา RTS ของฝ่ายรับเป็น CTS ก็จะยังไม่ส่ง



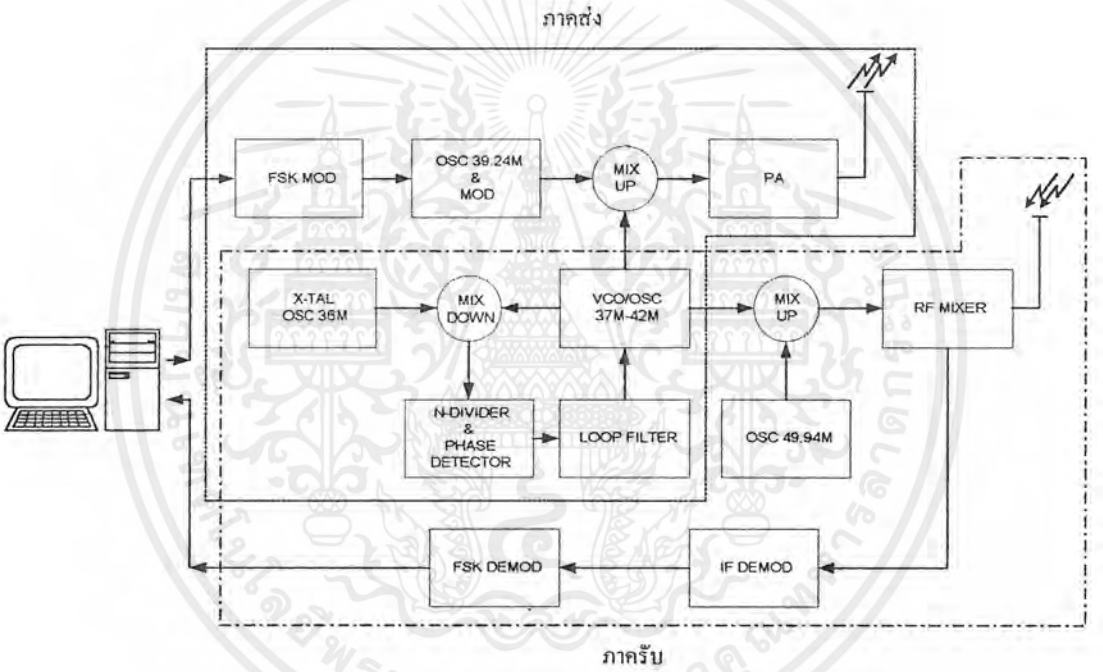
รูปที่ 5.4 การต่อคอมพิวเตอร์ผ่าน RS-232C แบบมี Hand Shake

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
หลักการทำงานและการออกแบบวงจร

6.1 บทนำ

ในบทนี้จะกล่าวถึงการทำงานของวงจร โดยโครงงานทั้งหมดของวงจรจะแสดงเป็นบล็อกไดอะแกรมได้ดังรูปที่ 6.1



รูปที่ 6.1 บล็อกไดอะแกรมของโครงงาน

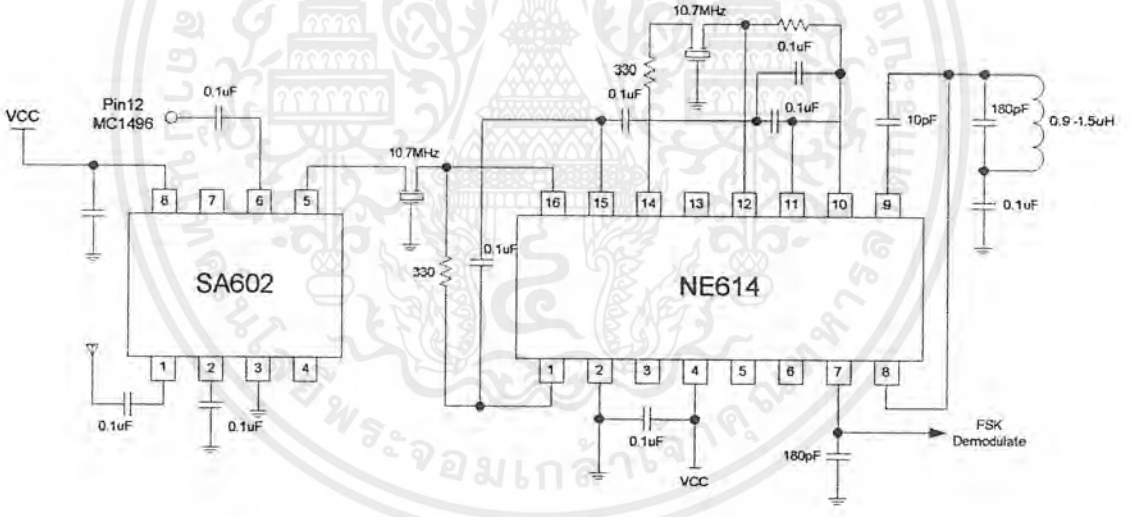
จากรูปที่ 6.1 จะอธิบายการทำงานคร่าวๆของวงจรได้เป็น 2 ส่วน ส่วนแรกเป็นภาคส่งข้อมูล เริ่มจากสัญญาณข้อมูลจากคอมพิวเตอร์ ซึ่งเป็นสัญญาณดิจิตอลถูกนำมามอดดูเลทแบบ FSK เพื่อเปลี่ยนเป็นสัญญาณอนาลอกแล้วจึงนำไปมอดดูเลทรวมกับคลื่นพาหะรองความถี่ 39.24 MHz แบบ FM แล้วนำไปผสมรวมกับความถี่ 37 – 42 MHz ที่ได้จากภาค PLL ซึ่งจะเป็นส่วนที่ปรับช่องสัญญาณส่งได้ 20 ช่องสัญญาณ ได้เป็นคลื่นพาหะหลักความถี่คือ 76.24 – 80.99 MHz แล้วถูกส่งไปขยายแล้วส่งออกอากาศต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่สองคือส่วนของภาครับสัญญาณ สัญญาณ RF ที่รับเข้ามาทางสายอากาศจะถูกผสมรวมกับ Local Oscillator โดย Local Oscillator ได้มาจากการผสมรวมกันระหว่างความถี่ 49.94 MHz และความถี่ 37 – 42 MHz ที่ได้จากวงจรภาค PLL ซึ่งใช้เป็นตัวปรับช่องสัญญาณรับความถี่ 20 ช่องสัญญาณด้วย สัญญาณที่รวมกันเป็นสัญญาณ IF ถูกนำไปดีเทค (Detect) ได้เป็นสัญญาณข้อมูลแบบ FSK แล้วนำไปดีมอดดูเลท (Demodulate) กลับเป็นสัญญาณข้อมูลดิจิตอลดังเดิม รายละเอียดจะกล่าวถึงในหัวข้อต่อไป

6.2 วงจรภาครับ FM

การทำงานของภาครับ จะใช้ IC SA602 เป็นวงจรรับสัญญาณ RF จากสายอากาศผ่าน C เข้าที่ขา 1 เพื่อนำมาผสมรวมกับสัญญาณ Local Oscillator ผ่าน C บายพาสเข้าที่ขา 6 ได้สัญญาณความถี่ IF 10.7 MHz ออกมาที่ขา 4 และขา 5 ผ่านเซรามิกฟิลเตอร์ 10.7 MHz เพื่อกรองความถี่อื่นทิ้ง แล้วส่งต่อไปยัง IC NE614 เพื่อทำการ Demodulate สัญญาณต่อไป วงจรแสดงดังรูป



รูปที่ 6.2 วงจรภาครับ

ความถี่ IF 10.7 MHz ป้อนเข้าที่ขา 16 ของ IC NE614 ซึ่ง IC NE 614 จะทำการขยายสัญญาณ IF ออกมาที่ขา 14 ผ่านเซรามิกส์ฟิลเตอร์อีกครั้ง ก่อนป้อนเข้าขา 12 ซึ่งเป็นภาค Limitter & Detector โดย Detector เป็นแบบ Quadrature Detector ซึ่งมี C และ L เป็นตัวจูนความถี่ IF 10.7 MHz แล้วนำไป Shift Phase ไป 90 องศา ก่อนนำไปรวมกับสัญญาณ IF เดิม จะได้สัญญาณข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

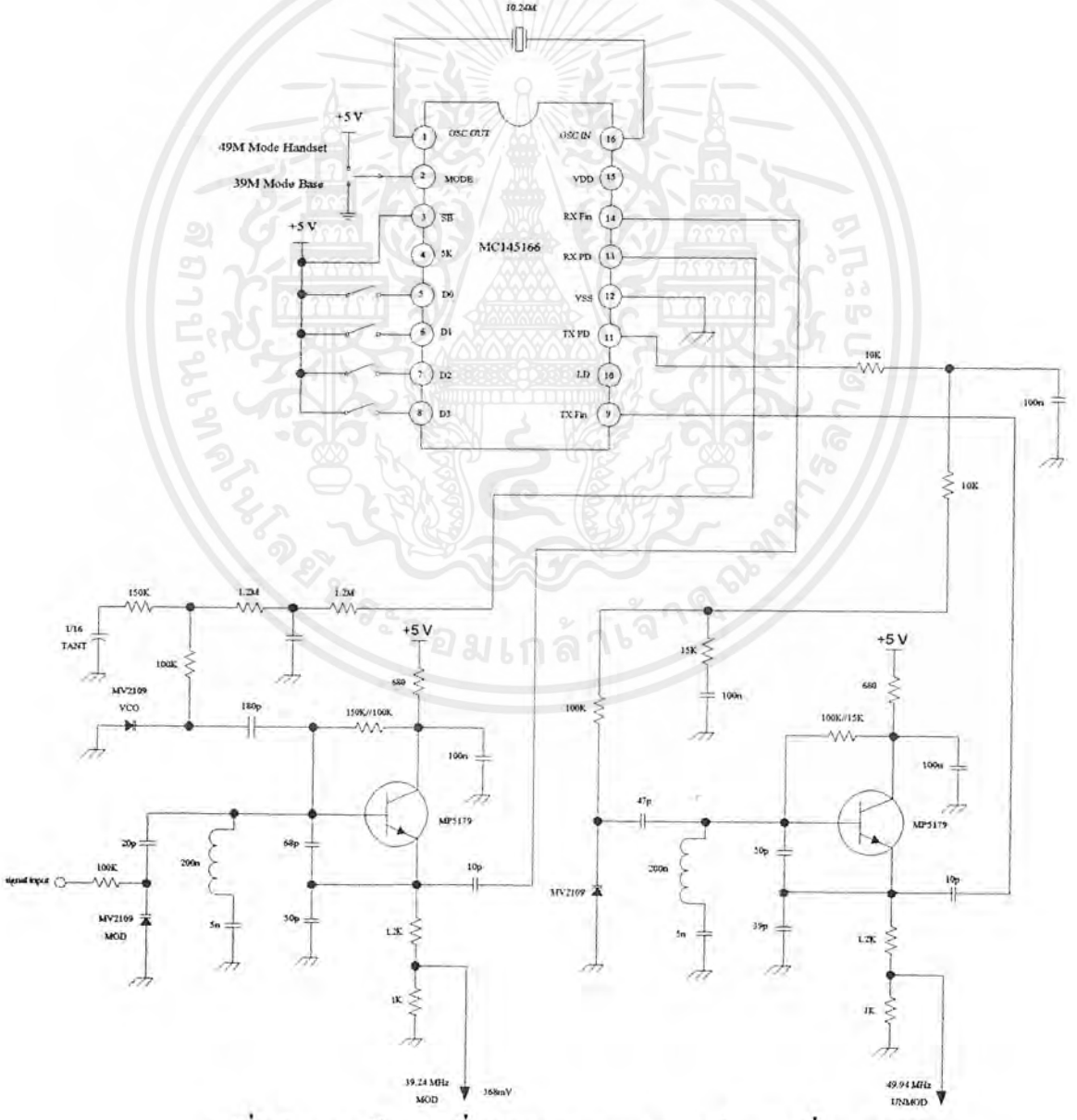
ซึ่งเป็นสัญญาณข้อมูลที่ถูกมอดดูเลทแบบ FSK และจะถูกส่งต่อไปยังส่วนของวงจร FSK Demodulate ต่อไป

6.2.1 วงจร Local Oscillator

จากรูปที่ 6.1 ความถี่ Local Oscillator เป็นการผสมรวมกันระหว่างความถี่รอง 2 ชุด คือ วงจรผลิตความถี่ 49.94 MHz และวงจรผลิตความถี่จาก PLL 37 – 42 MHz ซึ่งมีรายละเอียดดังนี้

ภาคผลิตความถี่ 49.94 MHz

การทำงานของวงจรผลิตความถี่ 49.94 MHz แสดงได้ดังรูป



รูปที่ 6.3 วงจรผลิตความถี่ 49.94 MHz และวงจรผลิตความถี่ 39.24 MHz

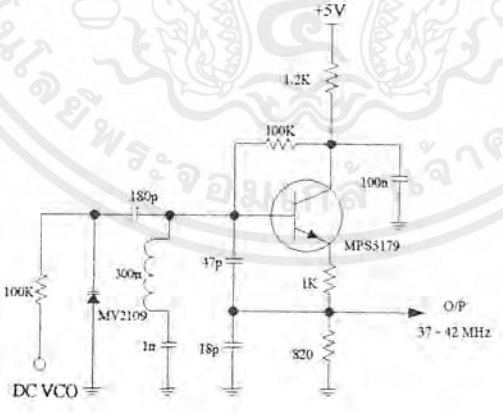
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์ Q1 ทำหน้าที่เป็นออสซิลเลเตอร์ ซึ่งความถี่ออสซิลเลเตอร์จะถูกกำหนดจากค่า L 200 nH และค่า C 50pF, C 39pF, C 47 pF และ C ปรับค่าได้ตามแรงดันที่ป้อนให้กับ Varicap ซึ่งแรงดันนี้ได้จากวงจร Loop filter ความถี่ออสซิลเลทจากขา E ของ Q1 ป้อนเข้า IC MC145166 เพื่อทำการหาร N ตามการปรับดิพสวิทช์ แล้วนำไปเปรียบเทียบกับความถี่อ้างอิง 5 kHz ความถี่คลาดเคลื่อนออกจาก Phase Detector ผ่าน Loop filter ได้แรงดันคลาดเคลื่อนไป ค่า C ของ Varicap เปลี่ยน ทำให้ความถี่เปลี่ยนแปลงและถูกนำมาเปรียบเทียบอีกครั้งจนกระทั่งแรงดันคลาดเคลื่อนมีค่าคงที่ก็จะทำให้ความถี่ออสซิลเลทที่ได้มีค่าคงที่ หรืออยู่ในสภาวะล็อกความถี่นั้นเอง

การเลือกช่องความถี่จะเลือกใช้ช่องสัญญาณที่ 8 มีความถี่ 49.94 MHz สำหรับภาครับและมีความถี่ 39.24 MHz สำหรับภาคส่ง ซึ่งจะทำให้ภาครับและภาคส่งมีความถี่ต่างกันเท่ากับความถี่ IF 10.7 MHz พอดี การเลือกโหมดสำหรับภาคส่งหรือภาครับทำได้โดยการปรับสวิทช์ที่ขา 3 อยู่ในสภาวะ High เพื่อเป็นภาคส่ง และสภาวะ Low เพื่อเป็นภาครับ

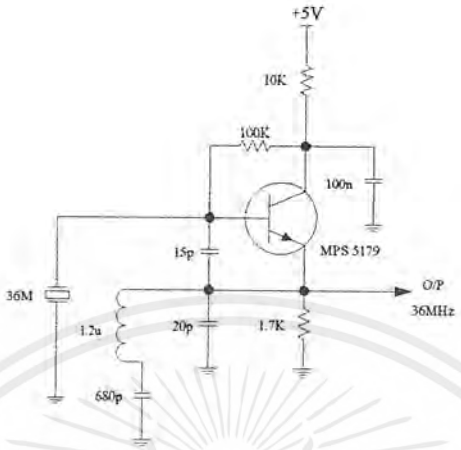
วงจร PLL ความถี่ 37 – 42 MHz

จากบล็อกไดอะแกรมรูปที่ 1 วงจร PLL ประกอบด้วยวงจรออสซิลเลเตอร์ตามแรงดัน VCO 37 – 42 MHz, วงจรผลิตความถี่ 36 MHz จากคริสตอล, วงจรมิกเซอร์, วงจร Phase Detector และ Loop filter



รูปที่ 6.4 วงจรออสซิลเลเตอร์ตามแรงดัน VCO

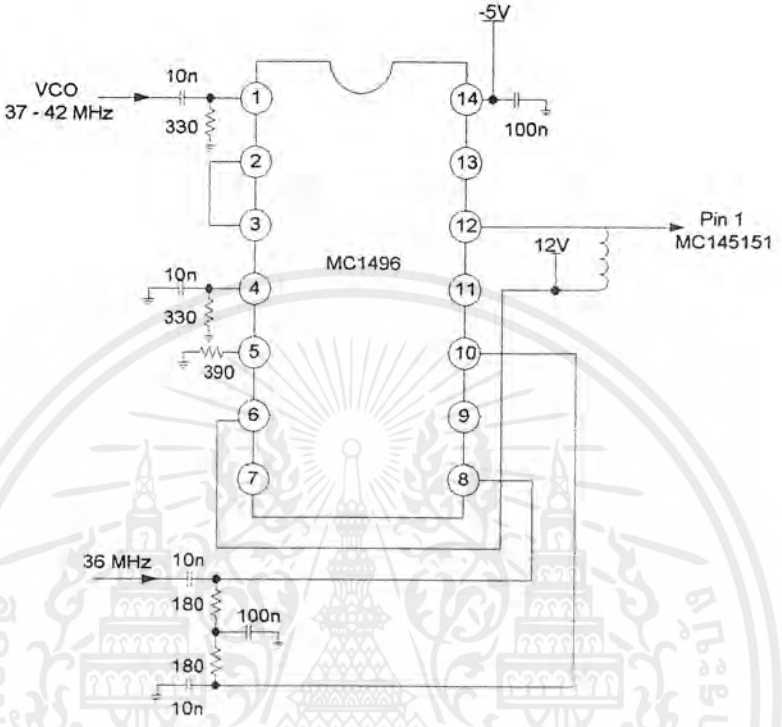
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.5 วงจรออสซิลเลอเตอร์ความถี่ 36 MHz

รูป 6.4 เป็นวงจรออสซิลเลเตอร์ตามแรงดัน VCO ความถี่ 37 – 42 MHz มีการต่อวงจรคล้ายกับวงจรออสซิลเลเตอร์ 49.94 MHz เพียงแต่เปลี่ยนแปลงค่าอุปกรณ์เพื่อให้สามารถผลิตความถี่ได้ตามต้องการ โดยความถี่ออสซิลเลเตอร์ที่ออกจากขา E ของทรานซิสเตอร์จะนำไปผสมกับความถี่ออสซิลเลเตอร์ที่ผลิตจากคริสตอล 36 MHz ตามรูป 6.5 ซึ่งใช้ IC MC1496 เป็นตัวผสมสัญญาณทั้งสองเพื่อนำเอาความถี่ผลต่างคือ 1-6 MHz ไปทำการหารความถี่ต่อไป วงจรการทำงานของ IC MC1496 แสดงได้ดังรูปที่ 6.6

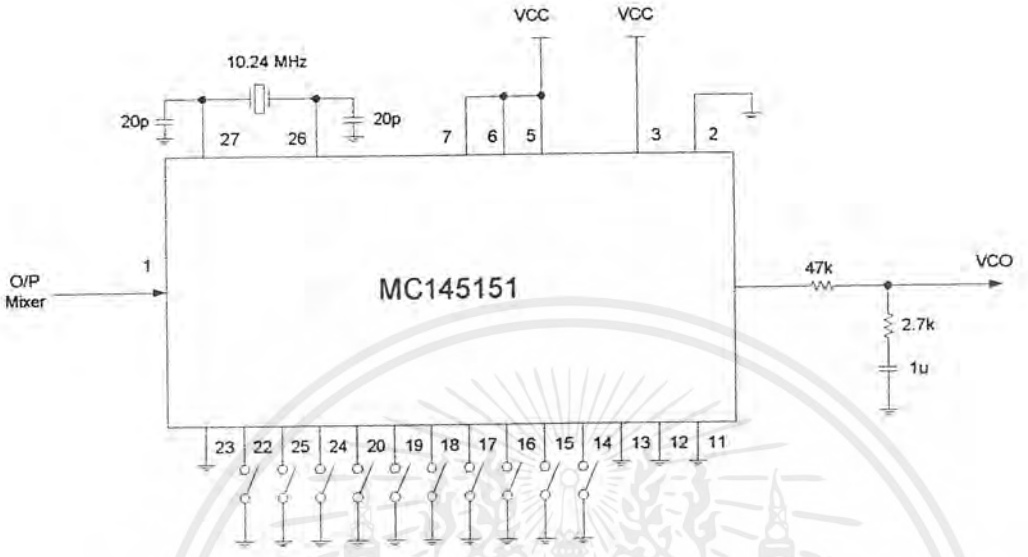
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.6 วงจรมิกเซอร์

จากรูปที่ 6.6 สัญญาณอินพุททั้งสองจากถูกนำมาผสมรวมกัน แล้วได้ผลรวมออกมาที่ขา 6 และขา 12 ซึ่งจะนำไปเข้าวงจรหารความถี่และวงจร Phase Detector ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.7 วงจร Phase Detector และ Loop filter

จากรูปที่ 6.7 ความถี่ผลต่างๆ 1 – 6 MHz จาก IC MC1496 ถูกป้อนเป็นสัญญาณ fin ให้แก่ IC MC145151 เพื่อทำการหารความถี่ตามต้องการ โดยการปรับดิพสวิทช์ ซึ่งจะสามารถปรับได้ 20 ช่องสัญญาณ ความถี่แต่ละช่องสัญญาณห่างกัน 250 kHz ความถี่หาร N ที่ถูกนำไปเปรียบเทียบกับความถี่อ้างอิง 1.25 kHz ซึ่งได้มาจากความถี่ของคริสตอล 10.24 MHz หารด้วยตัวหารอ้างอิงที่มีค่า 8192 ทำให้ได้เฟสคลาดเคลื่อนออกมาที่ขา 4 ผ่าน Loop filter ได้แรงดันคลาดเคลื่อนไปป้อนให้กับ Varicap ของวงจรผลิตความถี่ตามแรงดัน 37 – 42 MHz ให้ผลิตความถี่ตามการปรับดิพสวิทช์

6.3 ภาคส่ง

การทำงานของวงจรภาคส่งประกอบด้วยวงจรออสซิลเลเตอร์, มอดดูเลเตอร์ และ RF Amplifier ซึ่งแต่ละวงจรอธิบายได้ดังนี้

6.3.1 วงจรผลิตความถี่ 39.24 MHz และวงจรมอดดูเลเตอร์

จากรูปที่ 6.3 วงจรผลิตความถี่ 39.24 MHz มีการทำงานเหมือนกับวงจรผลิตความถี่ 49.94 MHz ของภาครับ แต่จะมีส่วนเพิ่มเติมมาคือ วงจรมอดดูเลเตอร์โดยใช้ Varicap ในการมอดดูเลทแบบ FM สัญญาณที่นำมามอดดูเลทได้มาจากวงจร FSK Modulate ซึ่งเป็นสัญญาณอนาลอก 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

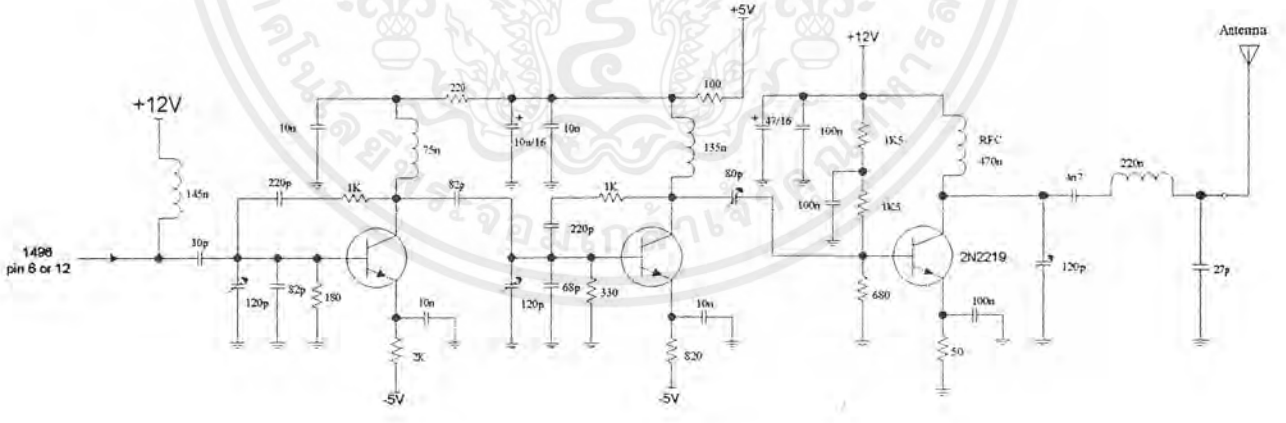
ความถี่ ก่อนที่จะนำมามอดดูเลทจะต้องผ่าน C คัปปิ้ง เพื่อไม่ให้การไบอัสของวงจรมอดดูเลทเปลี่ยนแปลง

สัญญาณเอาท์พุทที่ออกจากขา E ของทรานซิสเตอร์จะถูกนำไปผสมรวมกับความถี่ VCO 37 – 42 MHz โดยใช้ IC MC1496 สัญญาณผลรวมที่ได้จะเป็นความถี่ของสัญญาณ RF และจะถูกนำไปขยายสัญญาณก่อนส่งออกอากาศต่อไป

6.3.2 วงจร RF Amplifier

สัญญาณที่ได้จากการมอดดูเลทแบบ FM จะนำมาขยายสัญญาณที่วงจร RF Amplifier โดยมีการทำงานของวงจร สามารถอธิบายได้ดังต่อไปนี้

จากรูปที่ 6.8 วงจร RF Amplifier จะประกอบไปด้วยส่วนขยายสัญญาณ 3 ส่วนด้วยกัน โดยที่จะใช้ทรานซิสเตอร์ MPS1579 จำนวน 2 ตัว และ 2N2219 ทำหน้าที่ขยายสัญญาณ และมีการแมทชิ่งระหว่างวงจรขยายภาคที่ 1 กับวงจรขยายภาคที่ 2 โดยใช้ L และ C ในรูปแบบของ HPF และวงจรขยายภาคที่ 2 กับวงจรขยายภาคที่ 3 ก็มีการแมทชิ่งแบบ HPF เช่นกัน โดยที่ R และ C ที่ Feedback จากขา C มายังขา B จะทำหน้าที่เป็นตัวป้องกันการออสซิลเลท ส่วนวงจรขยายภาคที่ 3 จะมีอัตราการขยายสูงที่สุด

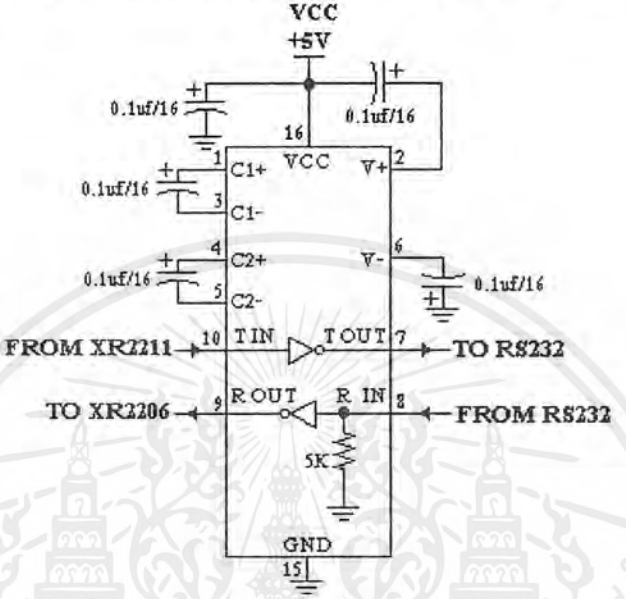


รูปที่ 6.8 วงจร RF Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4 วงจรแปลงระดับสัญญาณ RS-232C

ในการนำสัญญาณจาก PORT RS-232C ที่มีค่าแรงดัน ± 12 V มาใช้งานจะต้องผ่านวงจรแปลงระดับแรงดันของสัญญาณให้เหลือเป็นสัญญาณ TTL ที่มีค่าแรงดัน 0 – 5 V แสดงดังรูปที่ 6.9



รูปที่ 6.9 วงจรแปลงระดับสัญญาณ RS-232C

จากรูปที่ 6.9 สัญญาณจาก PORT RS-232C จะมาเข้าที่ขา 8 ของ IC เบอร์ MAX232E ซึ่งจะทำหน้าที่แปลงระดับสัญญาณ RS-232C เป็นสัญญาณ TTL โดยจะทำให้สัญญาณ RS-232C +12 V เป็นสัญญาณ TTL 0 V และสัญญาณ RS-232C -12 V เป็นสัญญาณ TTL +5 V สัญญาณ TTL ที่ได้จะเป็นอินพุทของวงจร FSK Modulator และเมื่อผ่านการรับส่งข้อมูล สัญญาณที่ผ่านการ Demodulate เป็นสัญญาณ TTL จะต้องผ่านวงจรแปลงระดับสัญญาณจากสัญญาณ TTL เป็นสัญญาณ RS-232C ± 12 V ก่อน โดยนำสัญญาณ TTL ที่ได้จาก FSK Demodulator มาเข้าที่ขา 10 ของ IC เบอร์ MAX232E ก็จะได้สัญญาณ RS-232C ± 12 V ออกมาที่ขา 7 ของ IC MAX232E

6.5 การทำงานของ FSK Modulator

เราใช้ไอซีเบอร์ XR 2206 ซึ่งเป็น Monolithic Function Generator ทำหน้าที่ในการมอดดูเลตสัญญาณดิจิตอล ซึ่งสามารถใช้ได้กับอินพุทที่เป็น TTL หรือ CMOS ก็ได้ สามารถที่จะให้ค่ารูปคลื่นซายน์เอาท์พุทได้ประมาณ 3 V_{P-P} และค่าความผิดเพี้ยนของสัญญาณที่เกิดขึ้นจะอยู่ระหว่าง 0.5 % ถึง 2.5%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรภายในของ XR 2206 จะประกอบด้วย 4 วงจรสามารถอธิบายเป็น Block Diagram ได้ดังรูปที่ 6.10 จะประกอบไปด้วย วงจร VCO , วงจรคูณอนาลอก ,วงจรปรับสัญญาณซายน์ , Buffer และ สวิทช์กระแส VCO จะผลิตเอาท์พุทความถี่ที่เป็นสัดส่วนกับกระแสอินพุท ซึ่งสามารถกำหนดได้โดยตัวต้านทานที่ต่อเข้าที่ขาที่เกี่ยวข้องกับเวลาลงกราวด์ เนื่องจากมี 2 ขาที่เกี่ยวข้องกับเวลา ดังนั้นจึงสามารถสร้างสัญญาณได้ 2 ความถี่สำหรับการกำเนิดสัญญาณ FSK โดยใช้ขา FSK Input control ค่า FSK Input control จะไปควบคุมวงจรภายในส่วนสวิทช์กระแสเพื่อให้เกิดการเลือกขาที่ต่อตัวต้านทานสำหรับวงจร VCO

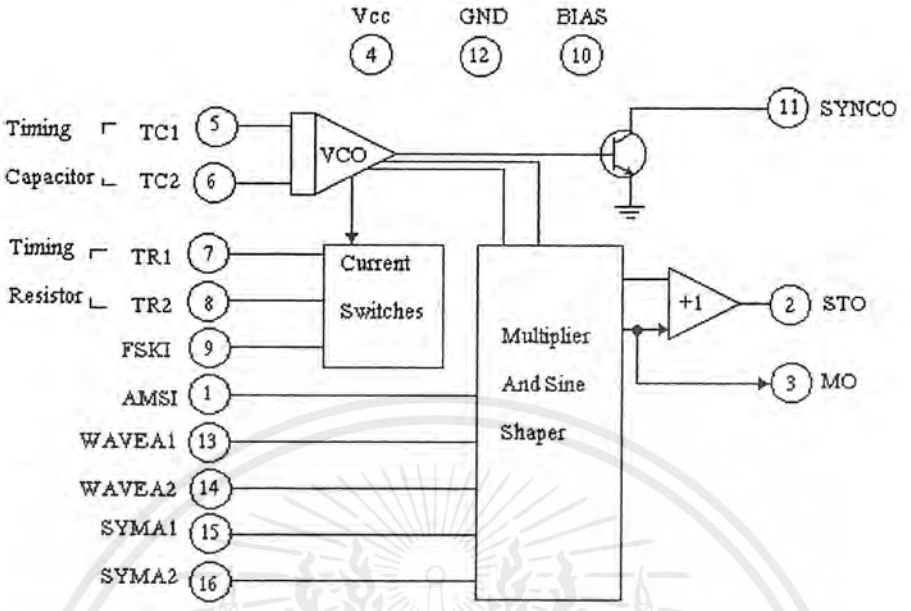
วงจรที่ใช้งานแสดงดังรูปที่ 6.11 โดยที่นำสัญญาณดิจิตอล TTL จากวงจรแปลงระดับสัญญาณ RS-232C มาเข้าที่ขา 9 ของ XR 2206 ระดับศักดาไฟตรงของ FSK O/P ที่ขา 2 ประมาณเท่ากับศักดาไฟตรงที่ไบอัสเข้าที่ขา 3 ของ XR 2206 ซึ่งจากรูปที่ 6.10 จะพบว่า ขา 3 ถูกไบอัสด้วยครึ่งหนึ่งของค่า VCC ดังนั้นจะได้ว่าศักดาไฟตรงที่เอาท์พุทจะเท่ากับ VCC / 2 เราสามารถปรับค่าศักดาไฟตรงที่เอาท์พุทได้โดยใช้ VR3 ในส่วนของ VR1 มีไว้เพื่อปรับความผิดเพี้ยนของสัญญาณให้มีการผิดเพี้ยนน้อยที่สุด และ VR2 จะเอาไว้ปรับความสมมาตรของสัญญาณซายน์

ในส่วนของความถี่ f_s เมื่อลอจิกเป็น " 0 " (Space) และ f_m เมื่อลอจิกเป็น " 1 " (Mark) เราสามารถที่จะกำหนดได้ว่าให้ความถี่ f_s และ f_m เป็นเท่าใดก็ได้ โดยหาได้จากสมการดังต่อไปนี้

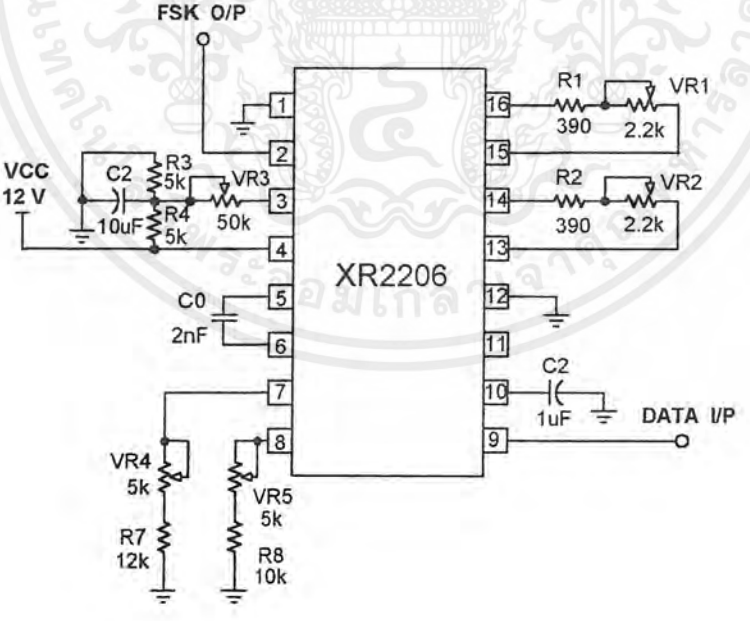
$$f_m = \frac{1}{R_8 C_O} \qquad \text{และ } f_s = \frac{1}{R_7 C_O}$$

หรือเราจะเรียก f_m ว่า f_H และ f_s ว่า f_L ก็ได้ จากวงจรในรูปที่ 6.11 ในการคำนวณหาค่าของ C_O, VR_7, VR_8, R_7 และ R_8 จะขอกล่างถึงในตัวอย่างการออกแบบวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.10 แสดงวงจรภายในของ XR 2206



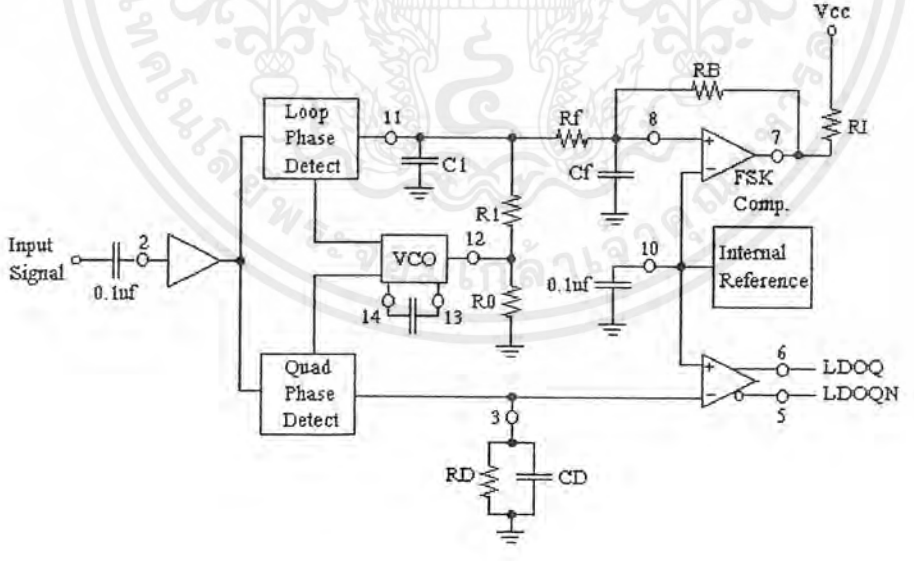
รูปที่ 6.11 แสดงวงจร FSK Modulator โดยใช้ IC เบอร์ XR 2206

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.6 การทำงานของ FSK Demodulator

FSK Demodulator จะใช้ IC XR 2211 เป็นตัว Demodulate สัญญาณ IC XR 2211 มีลักษณะทั่วไปก็คือเป็นวงจรเฟสล็อคลูปแบบโมโนลิทิก ทำงานในช่วงกว้างของไฟเลี้ยง 4.5 V ถึง 20 V และมีช่วงความถี่กว้างโดยอยู่ในช่วง 0.01 Hz - 300 kHz สามารถใช้สัญญาณอนาลอกได้ในช่วง 2 mV – 3 mV อีกทั้งยังสามารถอินเตอร์เฟสได้กับวงจรลอจิกตระกูลดีทีแอล , ทีทีแอลและอีซีแอล

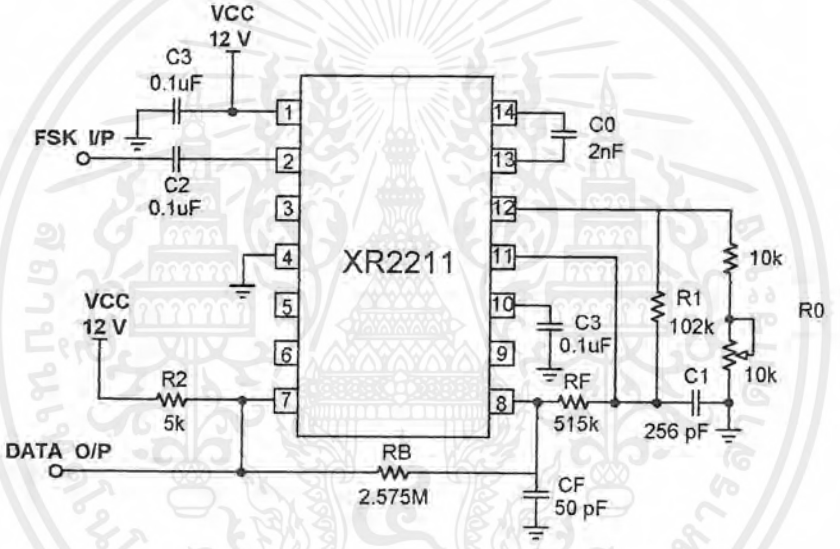
วงจรภายในของ XR 2211 แสดงดังรูปที่ 6.12 โดยที่มีการทำงานดังต่อไปนี้ เอาท์พุทของเฟสดีเท็กเตอร์ให้สัญญาณผลบวกและผลต่างความถี่ของสัญญาณอินพุทกับสัญญาณจาก VCO นั่นก็คือความถี่เอาท์พุทจะเป็น $f_{in} + f_{VCO}$ และ $f_{in} - f_{VCO}$ ดังนั้นในขณะล็อคความถี่สัญญาณเอาท์พุทจะเป็น $2f_{in}$ และ 0 Hz โดยการต่อตัวเก็บประจุคร่อมสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ก็คือใส่วงจรกรองความถี่ต่ำนั่นเอง จะทำให้สัญญาณความถี่สูง $(f_{in} + f_{VCO})$ ถูกลดทอนหายไป ทำให้เหลือเพียงศักดากระแสตรงที่เกิดจากความต่างเฟสของความถี่ทั้งสอง จะเกิดเช่นนี้ไปเรื่อย ๆ ทำให้ VCO ติดตามความถี่ของสัญญาณอินพุทได้ ในส่วนที่เหลือของ XR 2211 ทำงานดังนี้คือ หาก VCO ถูกขับด้วยความถี่ที่เหนือกว่าหรือต่ำกว่าความถี่ศูนย์กลางแล้ว วงจรเปรียบเทียบแรงดันจะสร้างสัญญาณเอาท์พุทลอจิกสูง และสัญญาณเอาท์พุทลอจิกต่ำเมื่อเฟสล็อคลูปหลักอยู่ในช่วงล็อค



รูปที่ 6.12 แสดงวงจรภายในของ XR2211

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรใช้งานจริงจะแสดงดังรูปที่ 6.12 ซึ่งจะอธิบายหน้าที่การทำงานอย่างเดียว ในส่วนรายละเอียดของการคำนวณจะขอกล่าวถึงในหัวข้อตัวอย่างการออกแบบวงจร R_o และ C_o จะกำหนดความถี่ศูนย์กลางของเฟสล็อคลูป , R1 กำหนดแถบความถี่ของระบบ (Band with) , C1 จะกำหนดค่าเวลาคงตัวในวงจรกรองของวงรอบ (loop damping factor) , CFและ RF กำหนด one-pole post-detection filter สำหรับข้อมูลเอาท์พุทของสัญญาณ FSK ตัวต้านทาน RB จากขา 7 ไปขา 8 มีไว้เพื่อเป็นการป้อนกลับแบบบวกสำหรับตัวเปรียบเทียบแรงดันของสัญญาณ FSK เพื่อทำให้เกิดความรวดเร็วในการเปลี่ยนสถานะของลอจิก



รูปที่ 6.13 แสดงวงจรที่ใช้งานของ XR 2211

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

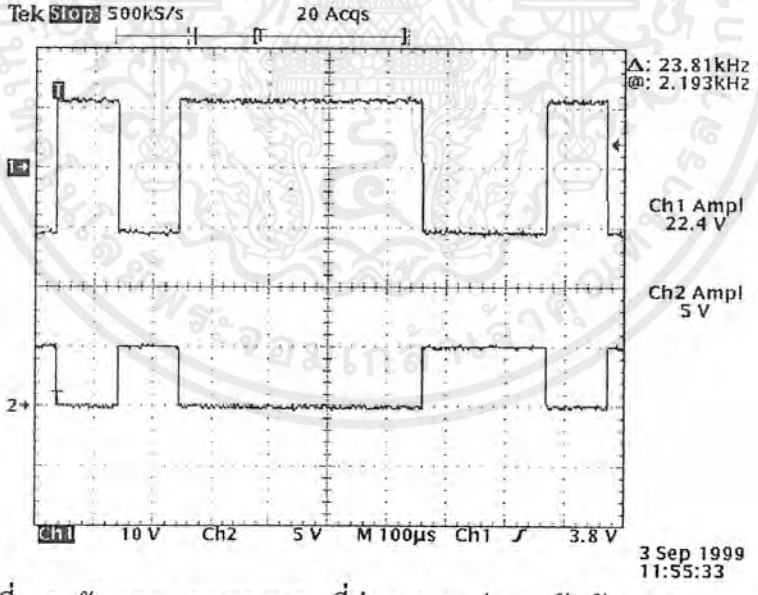
บทที่ 7
ผลการวัดสัญญาณและโปรแกรมทดสอบการรับส่งข้อมูล

7.1 บทนำ

ผลการวัดสัญญาณวงจรทางภาครับและวงจรทางภาคส่ง แบ่งออกเป็นการวัดสัญญาณและการทดลองคุณสมบัติของวงจรทางภาครับและภาคส่ง โดยที่จะรวมไปถึงโปรแกรมที่จะใช้ในการทดสอบการรับส่งข้อมูล ในการทดสอบการรับส่งข้อมูลจะใช้ตัวอักษรภาษาไทยและตัวอักษรภาษาอังกฤษ รูปแบบของสัญญาณจะเป็นไปตามรหัส ASCII ซึ่งภาษาไทยจะใช้จำนวนบิทในการส่ง 8 บิท และภาษาอังกฤษ 7 บิท โดยที่ในการทดสอบสามารถส่ง Parity bit ไปกับจำนวนบิทของตัวอักษรได้ ซึ่งจะกล่าวถึงโดยละเอียดในหัวข้อโปรแกรมการทดสอบ

7.2 PORT RS-232C

รูปที่ 7.1 เป็นสัญญาณที่วัดจาก PORT RS-232C ซึ่งมีระดับแรงดันของสัญญาณ ± 12 V



รูปที่ 7.1 สัญญาณของ RS-232C ที่ผ่านวงจรแปลงระดับสัญญาณ

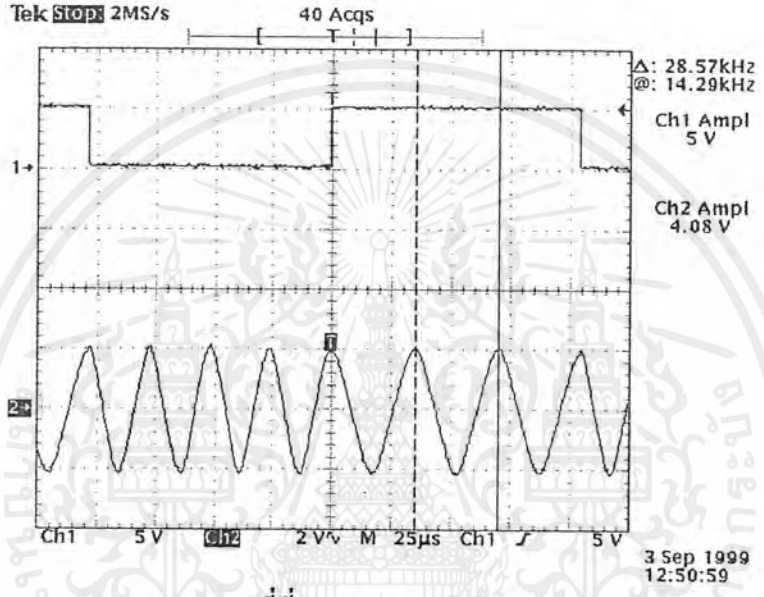
ในการนำไปใช้งานจะต้องแปลงระดับแรงดันของสัญญาณ RS-232C ให้เป็นระดับแรงดัน TTL ก่อน ซึ่งจากรูปที่ 7.1 จะเห็นว่าสัญญาณของ RS-232C บิท " 1 " จะให้สภาวะแรงดันที่เป็น " 0 " และที่บิท " 0 " จะให้สภาวะแรงดันที่เป็น " 1 " ฉะนั้นเมื่อผ่านวงจรแปลงระดับแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

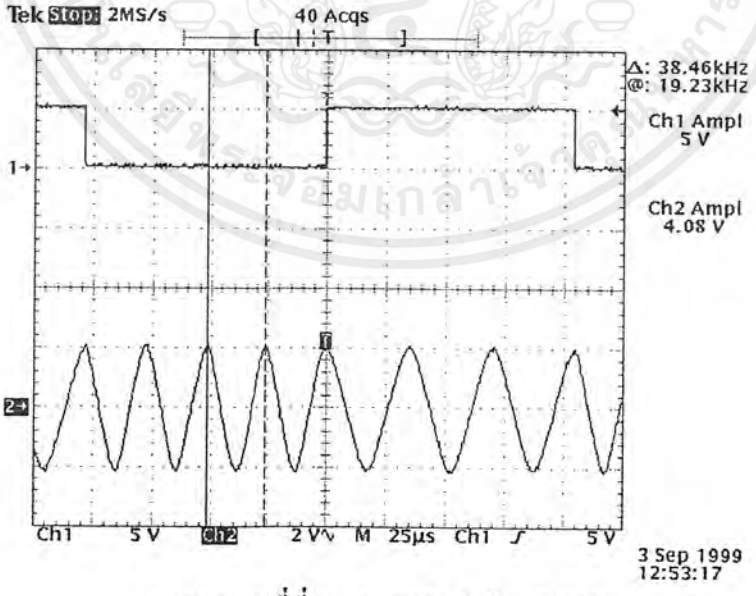
จะทำให้มีการกลับเฟสของสัญญาณ สัญญาณ TTL ที่ได้นี้จะเป็นสัญญาณอินพุทของวงจร FSK Modulator

7.3 วงจร FSK Modulator และ Demodulator

รูปที่ 7.2 เป็นสัญญาณที่ผ่านวงจร FSK แล้ว (ก) ความถี่ที่ Logic "1" เป็น 28.8 kHz และ (ข) ความถี่ที่ Logic "0" เป็น 38.4 kHz



(ก) ความถี่ที่ Logic "1" เท่ากับ 28.8 kHz



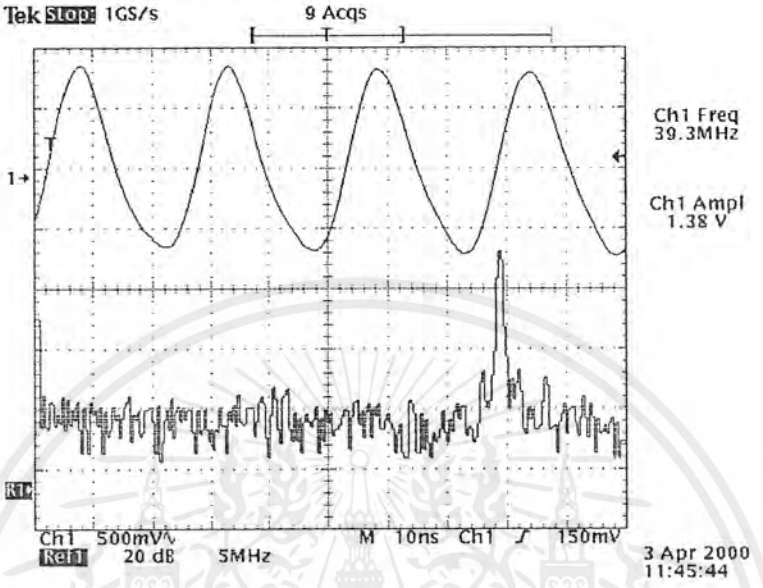
(ข) ความถี่ที่ Logic "0" เท่ากับ 38.4 kHz

รูปที่ 7.2 เป็นสัญญาณที่ Output ของวงจร FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

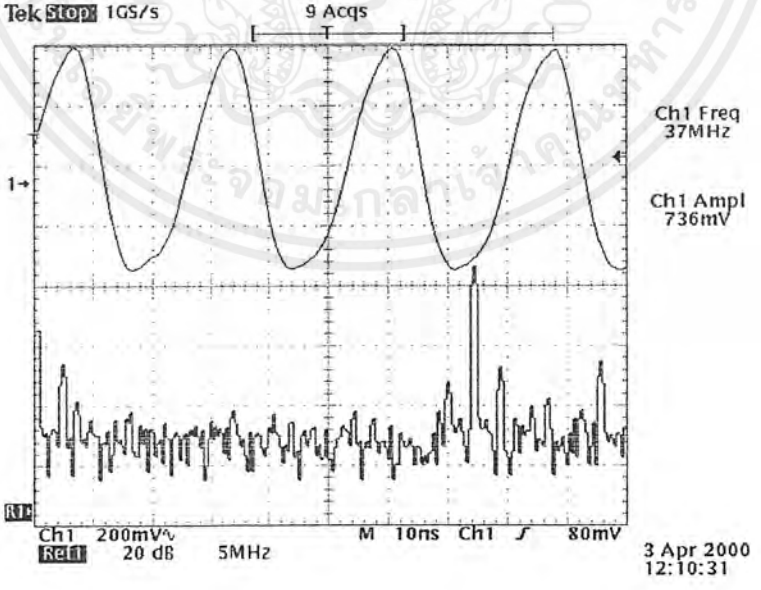
7.4 ผลการวัดและทดสอบสัญญาณต่างๆทางภาคส่ง

7.4.1 วงจร Oscillator ความถี่ 39.24 MHz



รูปที่ 7.3 สัญญาณ Output วงจร Oscillator 39.24 MHz ของภาคส่ง

7.4.2 วงจร PLL 37 – 42 MHz



รูปที่ 7.4 สัญญาณ Output ที่ขา Emitter ของ Transistor CH 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

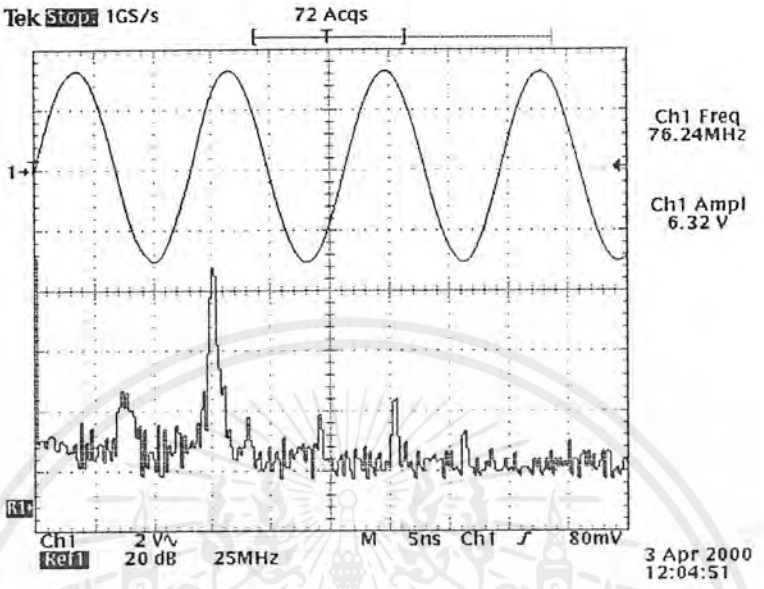
ตารางแสดงผลการทดสอบการทำงานของภาค PLL ของ IC MC 145151

CH	ตัวหาร N (Binary)										ค่าจริง (MHz)	ค่าวัด (MHz)
	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3		
1	0	0	0	1	1	0	0	1	0	0	37	37
2	0	0	0	1	1	1	1	1	0	1	37.25	37.25
3	0	0	1	0	0	1	0	1	1	0	37.50	37.50
4	0	0	1	0	1	0	1	1	1	1	37.75	37.75
5	0	0	1	1	0	0	1	0	0	0	38	38
6	0	0	1	1	1	0	0	0	0	1	38.25	38.25
7	0	0	1	1	1	1	1	0	1	0	38.5	38.5
8	0	1	0	0	0	1	0	0	1	1	38.75	38.75
9	0	1	0	0	1	0	1	1	0	0	39	39
10	0	1	0	1	0	0	0	1	0	1	39.25	39.25
11	0	1	0	1	0	1	1	1	1	0	39.5	39.5
12	0	1	0	1	1	1	0	1	1	1	39.75	39.75
13	0	1	1	0	0	1	0	0	0	0	40	40
14	0	1	1	0	1	0	1	0	0	1	40.25	40.25
15	0	1	1	1	0	0	0	0	1	0	40.5	40.5
16	0	1	1	1	0	1	1	0	1	1	40.75	40.75
17	0	1	1	1	1	1	0	1	0	0	41	41
18	1	0	0	0	0	0	1	1	0	1	41.25	41.25
19	1	0	0	0	1	0	0	1	1	0	41.5	41.5
20	1	0	0	0	1	1	1	1	1	1	41.75	41.75

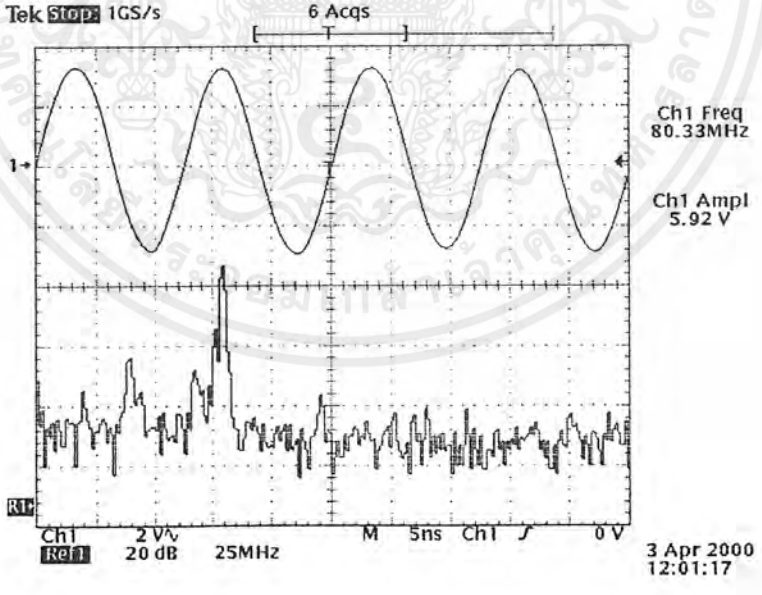
หมายเหตุ ดิพสวิทช์ N0, N1, N2 และ N13 ให้ Set เป็น Low

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.4.3 วงจร RF Amplifier

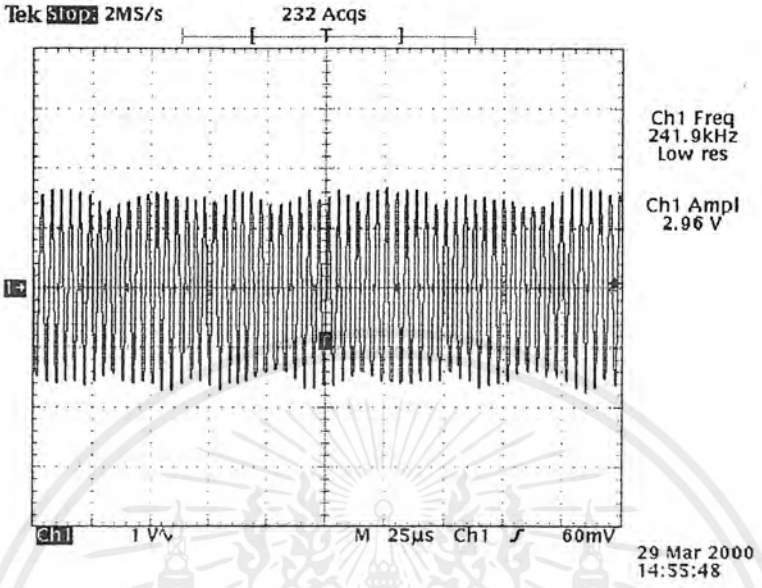


รูปที่ 7.5 (ก) Output สัญญาณ RF ที่ CH 1

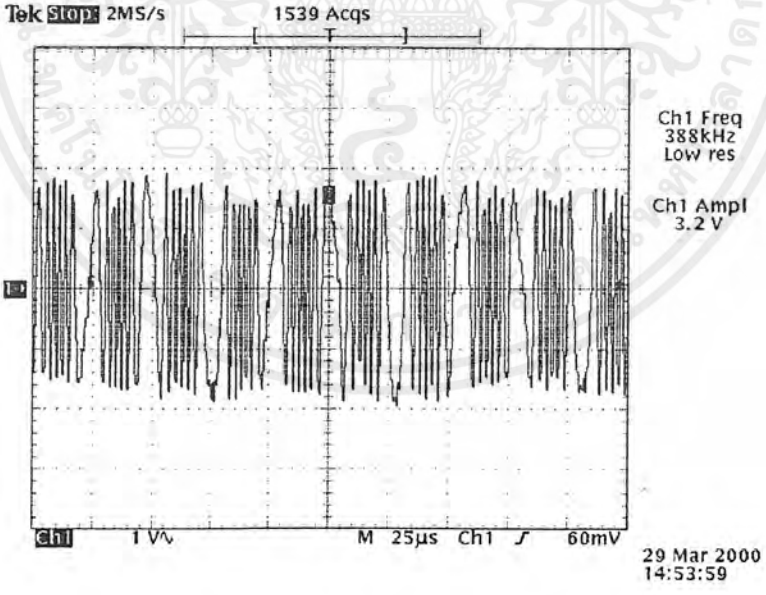


รูปที่ 7.5 (ข) Output สัญญาณ RF ที่ CH 20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.5 (ค) Output สัญญาณ RF เมื่อยังไม่มอดดูเลทสัญญาณที่ CH 1



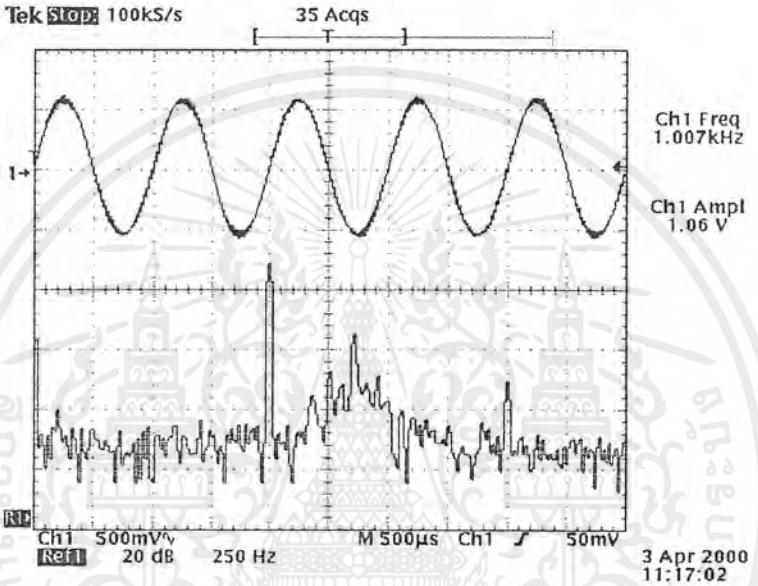
รูปที่ 7.5 (ง) Output สัญญาณ RF เมื่อมีการมอดดูเลทสัญญาณที่ CH 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.4 ผลการวัดและทดสอบสัญญาณต่างๆทางภาครับ

7.4.1 วงจร FM Detector Receiver

ทดสอบโดยการป้อนสัญญาณ RF ที่มีการมอดดูเลทสัญญาณ 1 kHz โดยมีความห่างของสัญญาณที่ป้อนเข้ามากับสัญญาณ Oscillator เท่ากับ 10.7 MHz โดยมีกำลังส่ง –50 dBm เข้าที่ขา 1 ของ IC SA 602 ทำการวัดสัญญาณที่ขา 7 ของ IC NE 614



รูปที่ 7.6 Output ของวงจร FM Detector

7.4.2 การทดสอบ Bandwidth ของภาครับ

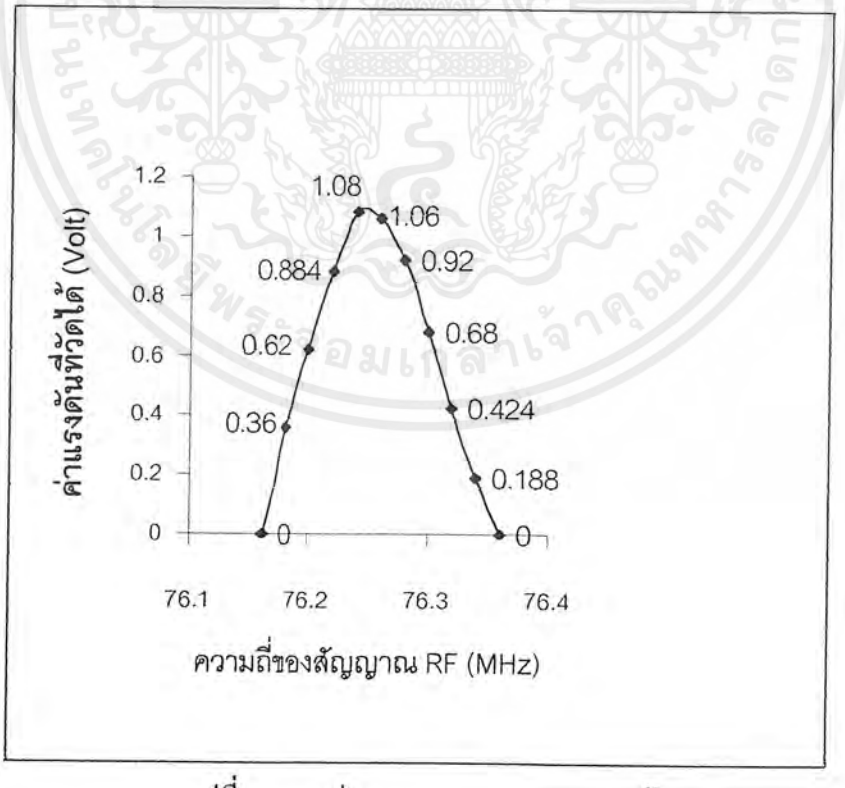
โดยการเลือกดิพสวิทช์ CH 1 ความถี่ 86.94 MHz กำลังส่ง –50 dBm แล้วทำการป้อนสัญญาณ RF ความถี่ 76.24 MHz เข้าที่ขา 1 ของ IC SA602 วัดสัญญาณที่ขา 7 ของ IC NE614 บันทึกผลและทำการเปลี่ยนแปลงค่าความถี่ของสัญญาณ RF เพื่อหาช่วงที่ยังสามารถตอบสนองสัญญาณได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง แสดง Bandwidth ของเครื่องรับ FM

ความถี่ของสัญญาณ RF (MHz)	ค่าแรงดันที่วัดได้ (Volt)
76.16	0
76.18	0.360
76.20	0.620
76.22	0.884
76.24	1.08
76.26	1.06
76.28	0.920
76.30	0.680
76.32	0.424
76.34	0.188
76.36	0

หมายเหตุ เครื่องรับที่ดีควรจะมี Bandwidth ที่แคบ

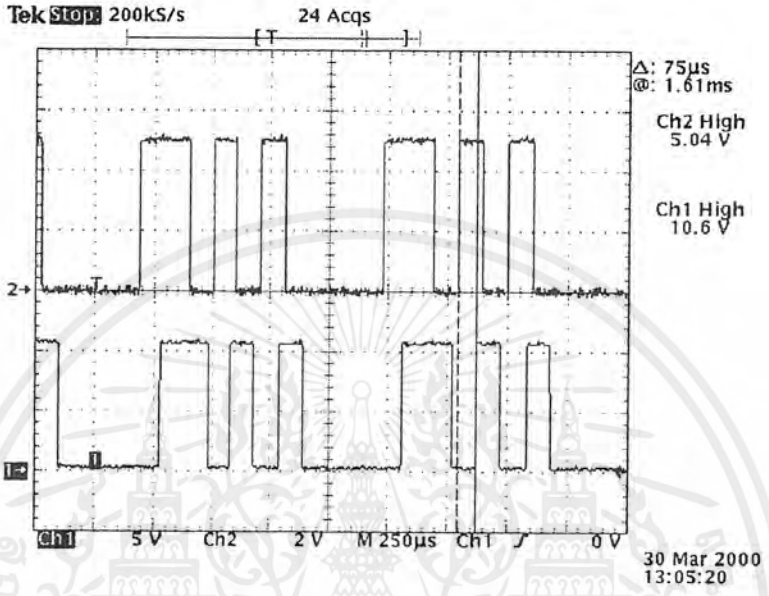


รูปที่ 7.7 กราฟแสดง Bandwidth ของภาครับ

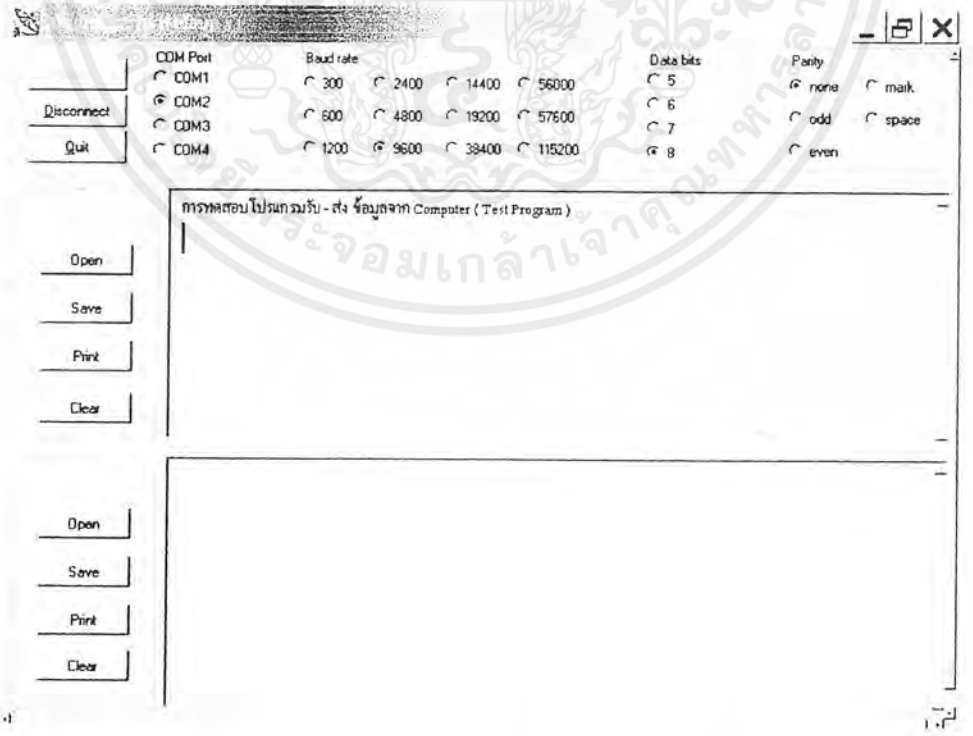
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.6 การทดสอบโปรแกรมรับ – ส่งข้อมูล

การทดสอบโปรแกรมรับ – ส่งข้อมูล ทำได้โดยการวัดสัญญาณที่อินพุทของภาค FSK Modulate ทางภาคส่ง และวัดสัญญาณที่เอาท์พุทของภาค FSK Demodulate

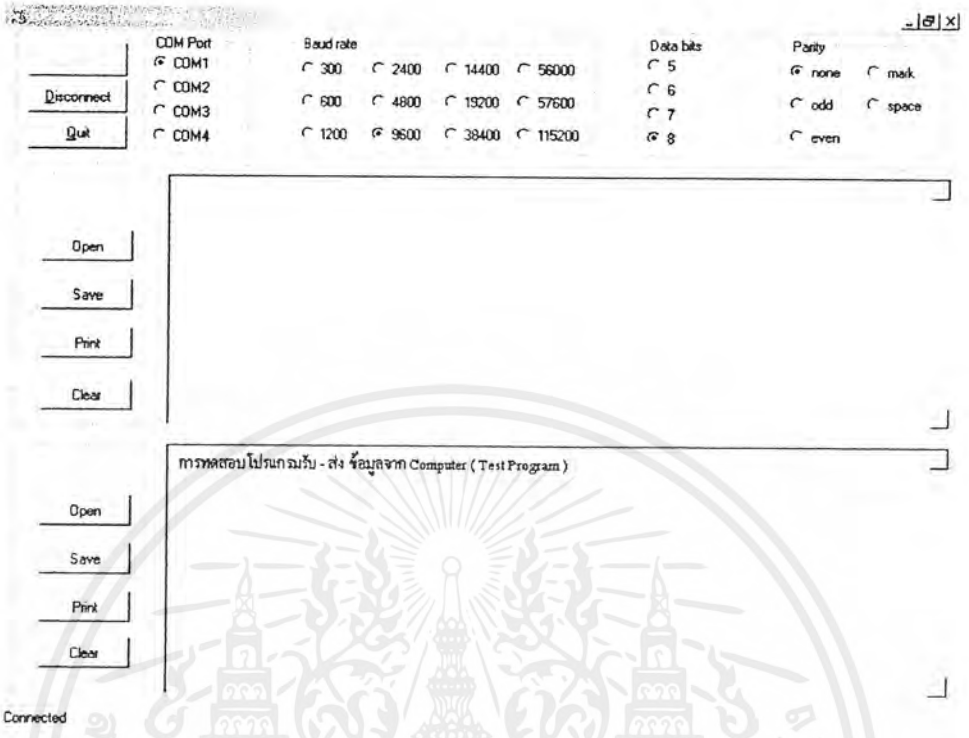


รูปที่ 7.8 สัญญาณทางภาคส่ง และสัญญาณทางภาครับ



รูปที่ 7.9 โปรแกรมรับ – ส่ง ข้อมูลทางภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.10 โปรแกรมรับ – ส่ง ข้อมูลทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8
บทสรุปและวิจารณ์

โครงงานนี้เป็นการศึกษาระบบการสื่อสารที่มีความถี่สูง ดังนั้นการออกแบบวงจรต้องมีความไว (Sensivity) และความเที่ยงตรง (Accuracy) สูง จึงจะทำให้การทำงานของวงจรมีประสิทธิภาพ ซึ่งการออกแบบวงจรความถี่สูงมักจะเกิดปัญหามากกว่าวงจรความถี่ต่ำ เช่น การเกิดออสซิล-เลทในวงจร การที่ระบบมีสัญญาณเข้ามารบกวนจนอาจทำให้การสื่อสารล้มเหลวได้ ปัญหาที่เกิดขึ้นในการสร้างโครงงานนี้สามารถสรุปได้ดังนี้

1. ส่วนของวงจรภาค FSK Modulator และ FSK Demodulator เกิดปัญหาเนื่องจากค่าของอุปกรณ์ตัวต้านทานและตัวเก็บประจุที่คำนวณได้ ไม่มีขายในท้องตลาด จำเป็นต้องใช้ค่าใกล้เคียงหรือว่าใช้ตัวอุปกรณ์ที่ปรับค่าได้แทน ซึ่งอุปกรณ์ปรับค่าได้จะต้องมีความละเอียดสูง

2. เกิดความล้าช้าในการทดลองผลของวงจรภาค FSK Modulator และ FSK Demodulator เนื่องจากผู้ทำโครงงานมีความทางด้านโปรแกรม Delphi น้อย จึงต้องใช้เวลาในการศึกษาโปรแกรมอยู่นานพอสมควร

3. จากการออกแบบวงจรออสซิลเลเตอร์ที่เปลี่ยนแปลงตามระดับแรงดัน VCO นั้น ต้องมีช่วงความถี่กว้างกว่าวงจรใช้งานจริง ค่าอุปกรณ์ที่คำนวณได้โดยเฉพาะค่าคาปาซิเตอร์มีค่าค่อนข้างต่ำ เมื่อนำมาต่อวงจรแล้วไม่ได้ผลการทดลองที่ต้องการเนื่องจากต่ออุปกรณ์ต่างๆ จะเกิดค่าคาปาซิแตนซ์ในวงจรด้วย จำเป็นต้องมีการปรับเพิ่ม ลด ค่าอุปกรณ์คาปาซิเตอร์ในวงจร ทางเลือกที่ดีจึงควรใช้ค่าคาปาซิเตอร์ปรับค่าได้เพื่อสะดวกในการทดสอบ

4. ในการทดสอบวงจรสื่อสารที่ใช้ความถี่สูง ต้องใช้เครื่องมือในการทดสอบที่มีประสิทธิภาพสูง ซึ่งมีไม่เพียงพอต่อจำนวนนักศึกษาที่ทำโครงงานในด้านนี้ เป็นผลทำให้โครงงานล้าช้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ดร.ไพศาล สงวนหมู่ และ รศ.ยืน ภู่วรวรรณ , " การสื่อสารข้อมูลและไมโครคอมพิวเตอร์ - เนตเวิร์ค " , ซีเอ็ดยูเคชั่น , 2529

2. บุญเลิศ เอี่ยมทัศนา , " Delphi " , ซีเอ็ดยูเคชั่น , 345 หน้า , 2539

3. จารุวรรณ ระวิภักตร์ , " Borland Delphi " , เฟิสท์ แปซิฟิก มีเดีย (ไทยแลนด์) , 296 หน้า , 2540

4. Frederick F.Driscoll , " Data Communication " , Wentworth Institute of Technology , 313 p., 1992

5. EXAR INTEGRATED SYSTEM , " Modem Design Handbook " , 1983

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Double-balanced mixer and oscillator SA602A

DESCRIPTION

The SA602A is a low-power VHF monolithic double-balanced mixer with input amplifier, on-board oscillator, and voltage regulator. It is intended for high performance, low power communication systems. The guaranteed parameters of the SA602A make this device particularly well suited for cellular radio applications. The mixer is a "Gilbert cell" multiplier configuration which typically provides 18dB of gain at 45MHz. The oscillator will operate to 200MHz. It can be configured as a crystal oscillator, a tuned tank oscillator, or a buffer for an external LO. For higher frequencies the LO input may be externally driven. The noise figure at 45MHz is typically less than 5dB. The gain, intercept performance, low-power and noise characteristics make the SA602A a superior choice for high-performance battery operated equipment. It is available in an 8-lead dual in-line plastic package and an 8-lead SO (surface-mount miniature package).

FEATURES

- Low current consumption: 2.4mA typical
- Excellent noise figure: <4.7dB typical at 45MHz
- High operating frequency
- Excellent gain, intercept and sensitivity
- Low external parts count; suitable for crystal/ceramic filters
- SA602A meets cellular radio specifications

PIN CONFIGURATION

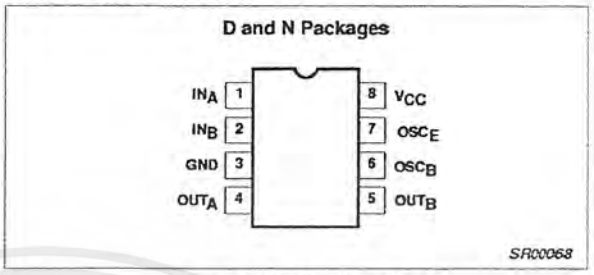


Figure 1. Pin Configuration

APPLICATIONS

- Cellular radio mixer/oscillator
- Portable radio
- VHF transceivers
- RF data links
- HF/VHF frequency conversion
- Instrumentation frequency conversion
- Broadband LANs

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
8-Pin Plastic Dual In-Line Plastic (DIP)	-40 to +85°C	SA602AN	SOT97-1
8-Pin Plastic Small Outline (SO) package (Surface-mount)	-40 to +85°C	SA602AD	SOT96-1

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER		RATING	UNITS
V_{CC}	Maximum operating voltage		9	V
T_{STG}	Storage temperature range		-65 to +150	°C
T_A	Operating ambient temperature range SA602A		-40 to +85	°C
θ_{JA}	Thermal impedance	D package	90	°C/W
		N package	75	°C/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

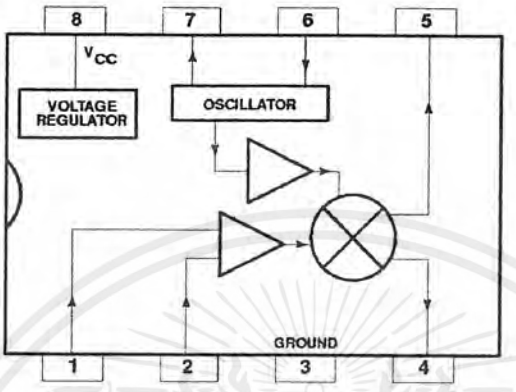


Figure 2. Block Diagram

AC/DC ELECTRICAL CHARACTERISTICS

V_{CC} = +6V, T_A = 25°C; unless otherwise stated

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS SA602A			UNITS
			MIN	TYP	MAX	
V_{CC}	Power supply voltage range		4.5		8.0	V
	DC current drain			2.4	2.8	mA
f_{IN}	Input signal frequency			500		MHz
f_{OSC}	Oscillator frequency			200		MHz
	Noise figure at 45MHz			5.0	5.5	dB
	Third-order intercept point	RF_{IN} = -45dBm: f_1 = 45.0MHz, f_2 = 45.06MHz		-13	-15	dBm
	Conversion gain at 45MHz		14	17		dB
R_{IN}	RF input resistance		1.5			kΩ
C_{IN}	RF input capacitance			3	3.5	pF
	Mixer output resistance	(Pin 4 or 5)		1.5		kΩ

DESCRIPTION OF OPERATION

The SA602A is a Gilbert cell, an oscillator/buffer, and a temperature compensated bias network as shown in the equivalent circuit. The Gilbert cell is a differential amplifier (Pins 1 and 2) which drives a balanced switching cell. The differential input stage provides gain and determines the noise figure and signal handling performance of the system.

The SA602A is designed for optimum low power performance. When used with the SA604 as a 45MHz cellular radio second IF and demodulator, the SA602A is capable of receiving -119dBm signals with a 12dB S/N ratio. Third-order intercept is typically -13dBm (that is approximately +5dBm output intercept because of the RF gain). The system designer must be cognizant of this large signal limitation. When designing LANs or other closed systems where transmission levels are high, and small-signal or signal-to-noise issues are not critical, the input to the SA602A should be appropriately scaled.

Besides excellent low power performance well into VHF, the SA602A is designed to be flexible. The input, RF mixer output and oscillator ports can support a variety of configurations provided the designer understands certain constraints, which will be explained here.

The RF inputs (Pins 1 and 2) are biased internally. They are symmetrical. The equivalent AC input impedance is approximately 1.5k || 3pF through 50MHz. Pins 1 and 2 can be used interchangeably, but they should not be DC biased externally. Figure 5 shows three typical input configurations.

The mixer outputs (Pins 4 and 5) are also internally biased. Each output is connected to the internal positive supply by a 1.5kΩ resistor. This permits direct output termination yet allows for balanced output as well. Figure 6 shows three single ended output configurations and a balanced output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The oscillator is capable of sustaining oscillation beyond 200MHz in crystal or tuned tank configurations. The upper limit of operation is determined by tank "Q" and required drive levels. The higher the "Q" of the tank or the smaller the required drive, the higher the permissible oscillation frequency. If the required LO is beyond oscillation limits, or the system calls for an external LO, the external signal can be injected at Pin 6 through a DC blocking capacitor. External LO should be at least 200mV$_{p-p}$.

Figure 7 shows several proven oscillator circuits. Figure 7a is appropriate for cellular radio. As shown, an overtone mode of operation is utilized. Capacitor C3 and inductor L1 suppress oscillation at the crystal fundamental frequency. In the fundamental mode, the suppression network is omitted.

Figure 8 shows a Colpitts varactor tuned tank oscillator suitable for synthesizer-controlled applications. It is important to buffer the output of this circuit to assure that switching spikes from the first counter or prescaler do not end up in the oscillator spectrum. The dual-gate MOSFET provides optimum isolation with low current. The FET offers good isolation, simplicity, and low current, while the bipolar transistors provide the simple solution for non-critical applications. The resistive divider in the emitter-follower circuit should be chosen to provide the minimum input signal which will assure correct system operation.

When operated above 100MHz, the oscillator may not start if the Q of the tank is too low. A 22kΩ resistor from Pin 7 to ground will increase the DC bias current of the oscillator transistor. This improves the AC operating characteristic of the transistor and should help the oscillator to start. A 22kΩ resistor will not upset the other DC biasing internal to the device, but smaller resistance values should be avoided.

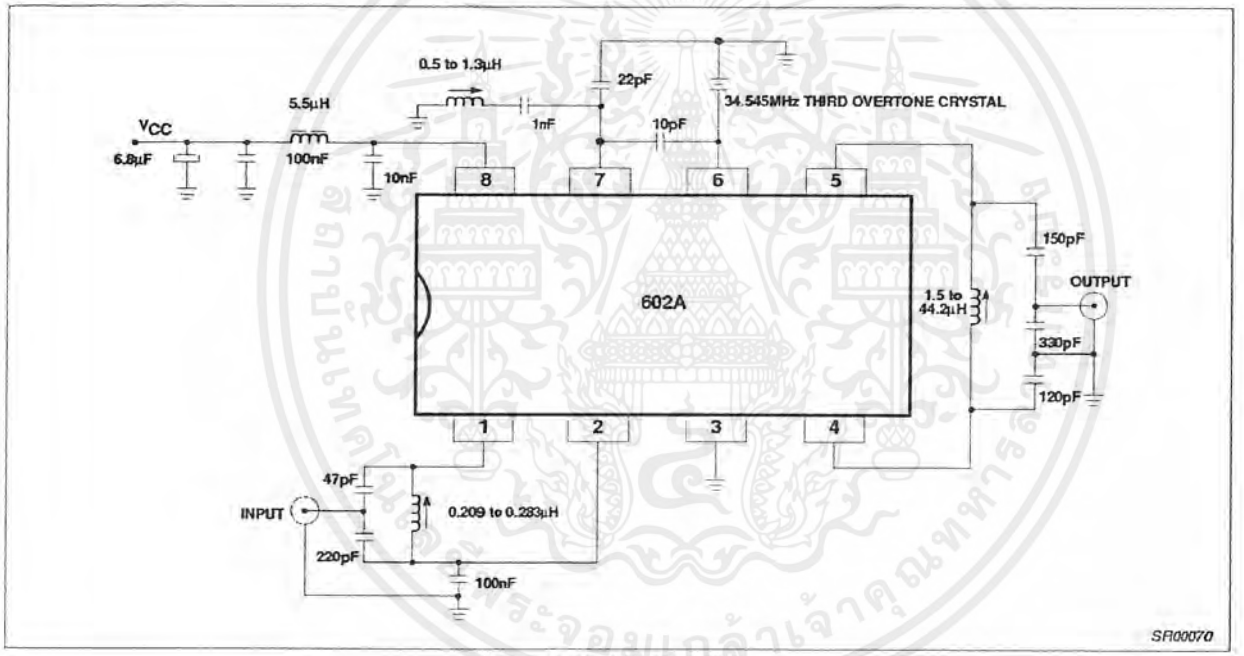


Figure 3. Test Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

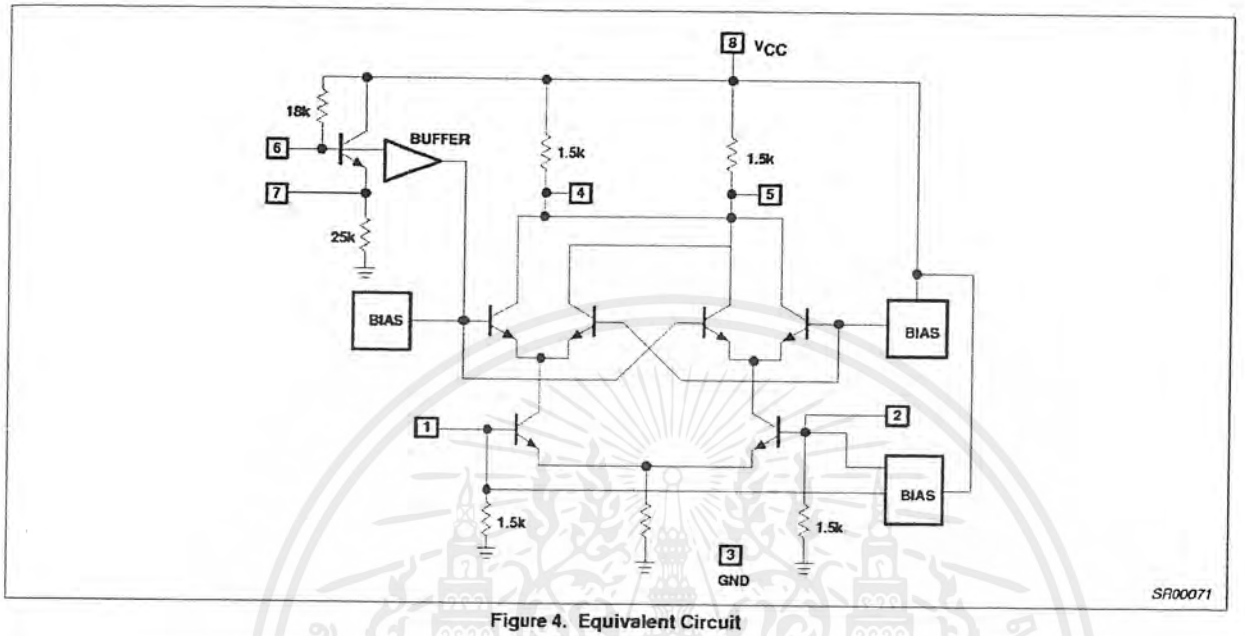


Figure 4. Equivalent Circuit

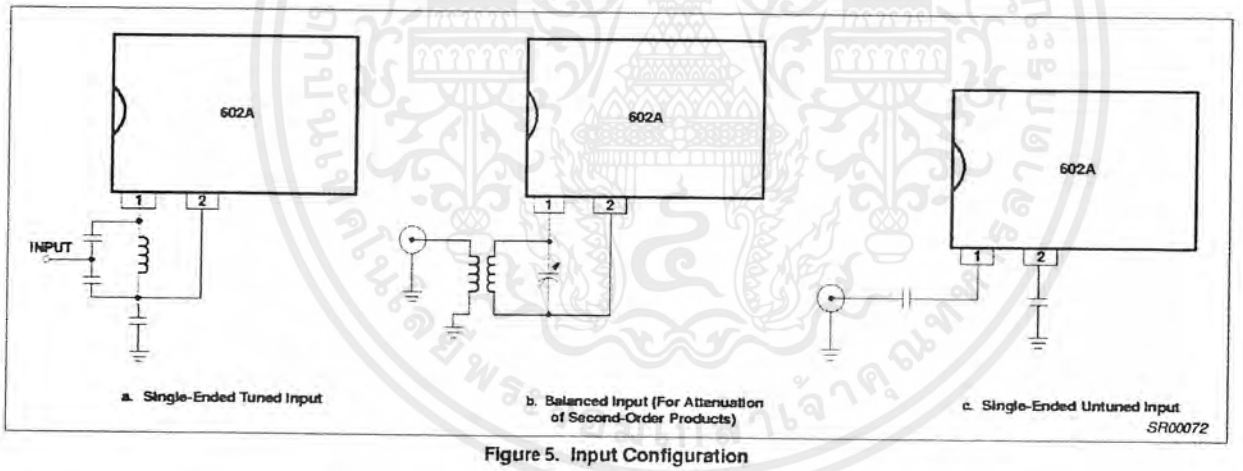


Figure 5. Input Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

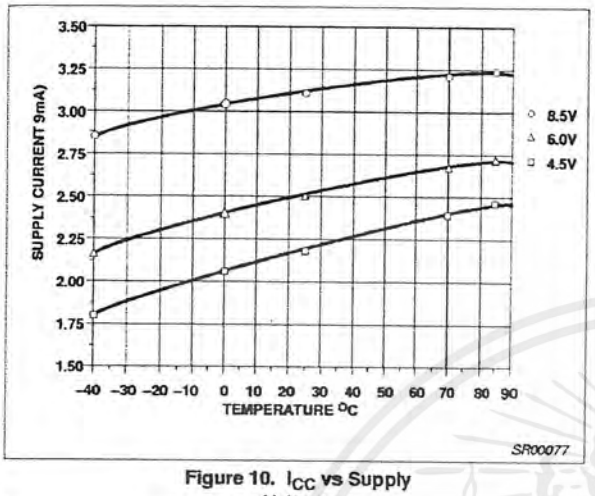


Figure 10. I_{CC} vs Supply Voltage

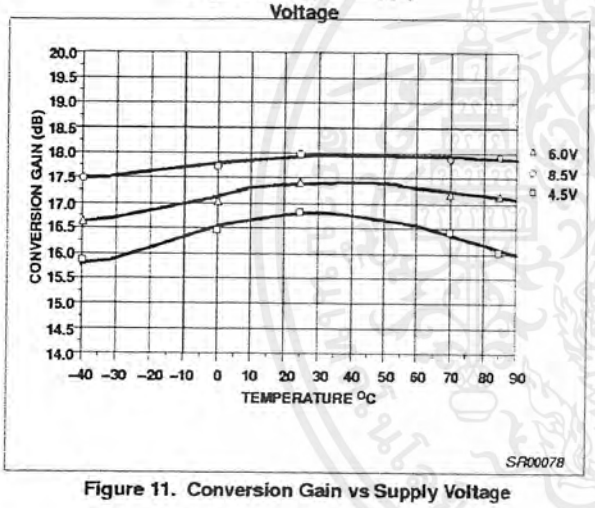


Figure 11. Conversion Gain vs Supply Voltage

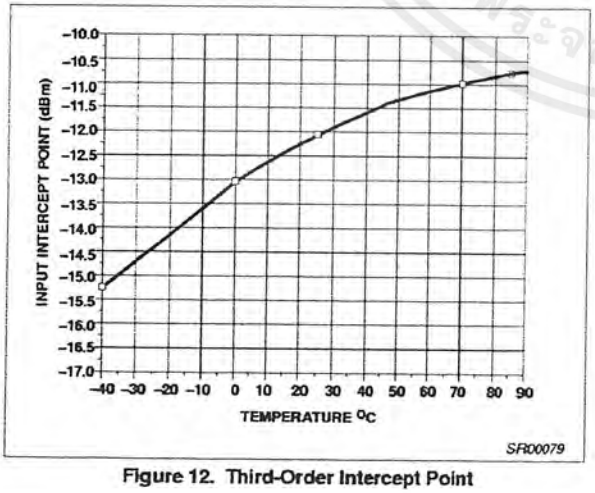


Figure 12. Third-Order Intercept Point

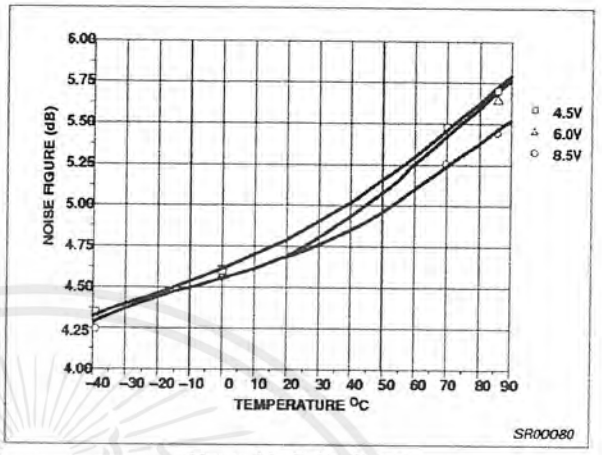


Figure 13. Noise Figure

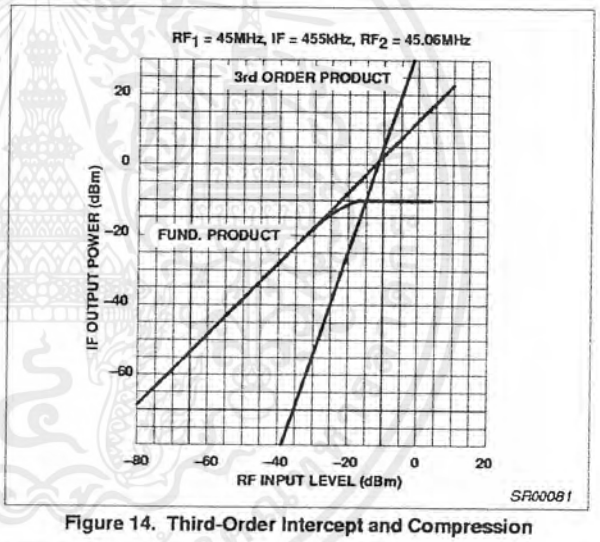


Figure 14. Third-Order Intercept and Compression

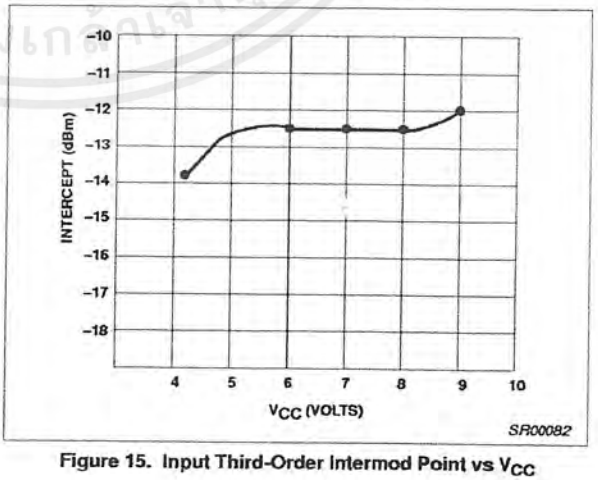


Figure 15. Input Third-Order Intermod Point vs V_{CC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC1496/D

MOTOROLA

MC1496, B

Balanced Modulators/ Demodulators

These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
  –50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

This device contains 8 active transistors.

BALANCED MODULATORS/DEMODULATORS

SEMICONDUCTOR TECHNICAL DATA

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

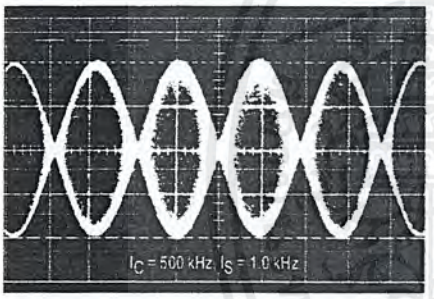


Figure 1. Suppressed Carrier Output Waveform

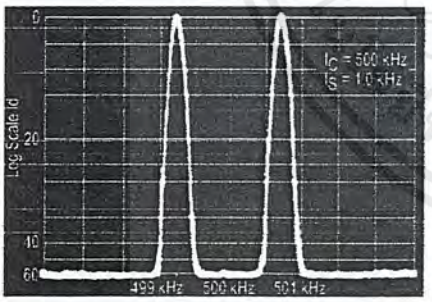


Figure 2. Suppressed Carrier Spectrum

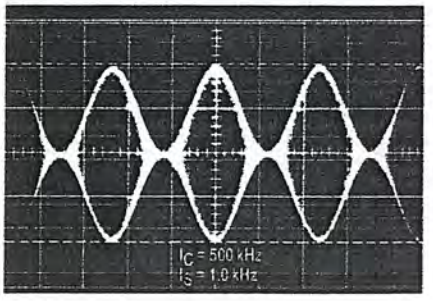
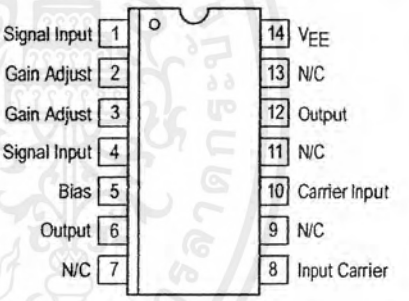


Figure 3. Amplitude Modulation Output Waveform

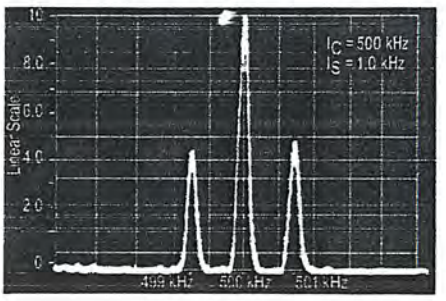
PIN CONNECTIONS



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC1496D	T_A = 0°C to +70°C	SO–14
MC1496P		Plastic DIP
MC1496BP	T_A = –40°C to +125°C	Plastic DIP

Figure 4. Amplitude–Modulation Spectrum



© Motorola, Inc. 1996

Rev 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V6 – V8, V10 – V1, V12 – V8, V12 – V10, V8 – V4, V8 – V1, V10 – V4, V6 – V10, V2 – V5, V3 – V5)	ΔV	30	Vdc
Differential Input Signal	V8 – V10 V4 – V1	+5.0 ±(5+I5R_e)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction–to–Air Plastic Dual In–Line Package	$R_{\theta JA}$	100	°C/W
Operating Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 Vdc, V_{EE} = –8.0 Vdc, I5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = T_{low} to T_{high}, all input and output characteristics are single–ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	Min	Typ	Max	Unit
Carrier Feedthrough	5	1	V_{CFT}				μVrms
V_C = 60 mVrms sine wave and offset adjusted to zero — f_C = 1.0 kHz				–	40	–	
f_C = 10 MHz				–	140	–	
V_C = 300 mVpp square wave: offset adjusted to zero — f_C = 1.0 kHz				–	0.04	0.4	mVrms
offset not adjusted — f_C = 1.0 kHz				–	20	200	
Carrier Suppression f_S = 10 kHz, 300 mVrms	5	2	V_{CS}				dB
f_C = 500 kHz, 60 mVrms sine wave				40	65	–	
f_C = 10 MHz, 60 mVrms sine wave				–	50	–	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 Ω) Carrier Input Port, V_C = 60 mVrms sine wave	8	8	BW_{3dB}	–	300	–	MHz
f_S = 1.0 kHz, 300 mVrms sine wave Signal Input Port, V_S = 300 mVrms sine wave				–	80	–	
|V_C| = 0.5 Vdc							
Signal Gain (V_S = 100 mVrms, f = 1.0 kHz; |V_C|= 0.5 Vdc)	10	3	A_{VS}	2.5	3.5	–	V/V
Single–Ended Input Impedance, Signal Port, f = 5.0 MHz	6	–					
Parallel Input Resistance			r_{ip}	–	200	–	kΩ
Parallel Input Capacitance			c_{ip}	–	2.0	–	pF
Single–Ended Output Impedance, f = 10 MHz	6	–					
Parallel Output Resistance			r_{op}	–	40	–	kΩ
Parallel Output Capacitance			c_{oo}	–	5.0	–	pF
Input Bias Current	7	–					μA
$I_{bS} = \frac{I1 + I4}{2}$; $I_{bC} = \frac{I8 + I10}{2}$			I_{bS} I_{bC}	– –	12 12	30 30	
Input Offset Current	7	–					μA
I_{ioS} = I1–I4; I_{ioC} = I8–I10			|I_{ioS}| |I_{ioC}|	– –	0.7 0.7	7.0 7.0	
Average Temperature Coefficient of Input Offset Current (T_A = –55°C to +125°C)	7	–	|TC_{Iio}|	–	2.0	–	nA/°C
Output Offset Current (I6–I9)	7	–	|I_{oo}|	–	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = –55°C to +125°C)	7	–	|TC_{Ioo}|	–	90	–	nA/°C
Common–Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	–	5.0	–	Vpp
Common–Mode Gain, Signal Port, f_S = 1.0 kHz, |V_C|= 0.5 Vdc	9	–	ACM	–	–85	–	dB
Common–Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V_{out}	–	8.0	–	Vpp
Differential Output Voltage Swing Capability	10	–	V_{out}	–	8.0	–	Vpp
Power Supply Current I6 +I12	7	6	I_{CC}	–	2.0	4.0	mAdc
I14			I_{EE}	–	3.0	5.0	
DC Power Dissipation	7	5	P_D	–	33	–	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal–input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input–signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single–ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \quad \text{where } r_e = \frac{26\ mV}{I5(mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I5.

$$V_S \leq I5\ R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1.0 V peak.

Common Mode Swing

The common–mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage–current products at each port, i.e. assuming V12 = V6, I5 = I6 = I12 and ignoring base current, P_D = 2 I5 (V6 – V14) + I5) V5 – V14 where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5. Assume:

$$I5 = I6 = I12,$$
$$I_B << I_C \text{ for all transistors}$$

then :

$$R5 = \frac{V - -\phi}{I5} - 500\ \Omega$$

where: R5 is the resistor between Pin 5 and ground
ϕ = 0.75 at T_A = +25°C

The MC1496 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common–Mode Quiescent Output Voltage

$$V6 = V12 = V+ - I5\ R_L$$

Biasing

The MC1496 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector–base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

30 Vdc ≥ [(V6, V12) – (V8, V10)] ≥ 2 Vdc
30 Vdc ≥ [(V8, V10) – (V1, V4)] ≥ 2.7 Vdc
30 Vdc ≥ [(V1, V4) – (V5)] ≥ 2.7 Vdc

The foregoing conditions are based on the following approximations:

$$V6 = V12,\ V8 = V10,\ V1 = V4$$

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma 21C = \frac{i_o\ \text{(each sideband)}}{v_s\ \text{(signal)}} \Bigg|\ V_o = 0$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma 21S = \frac{i_o\ \text{(signal)}}{v_s\ \text{(signal)}} \Bigg|\ V_C = 0.5\ \text{Vdc},\ V_o = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C1 and C2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

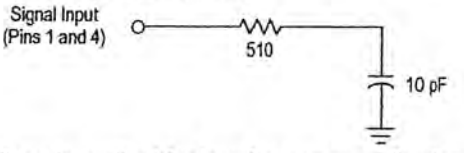
The output signal is taken from Pins 6 and 12 either balanced or single–ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single–ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source–tuned circuits that cause the oscillation.



An alternate method for low–frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

Figure 5. Carrier Rejection and Suppression

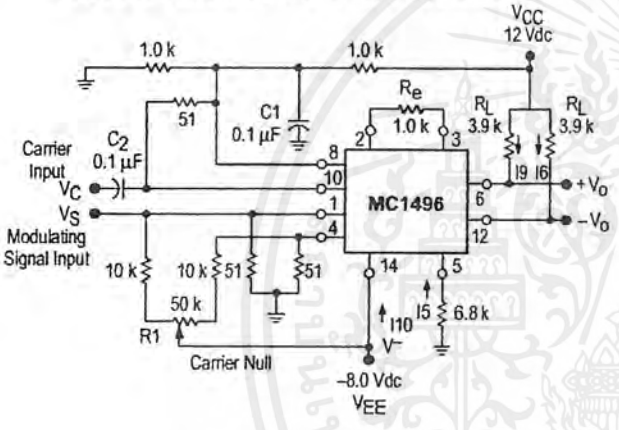
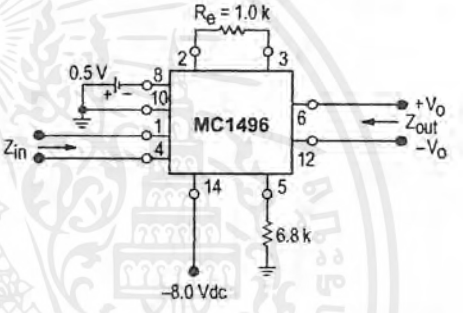


Figure 6. Input–Output Impedance



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

Figure 7. Bias and Offset Currents

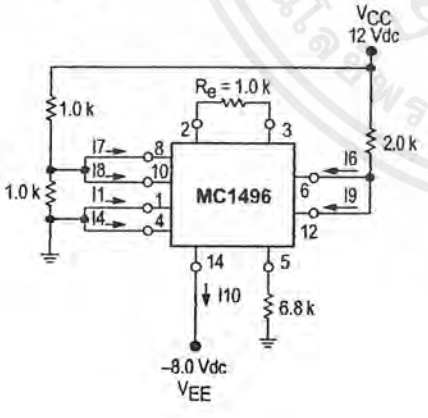
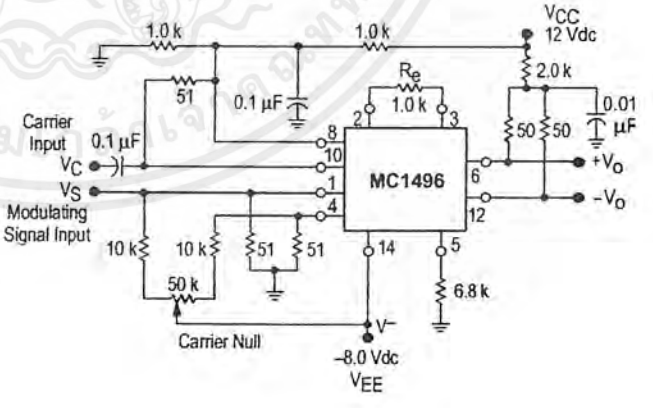


Figure 8. Transconductance Bandwidth



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Common Mode Gain

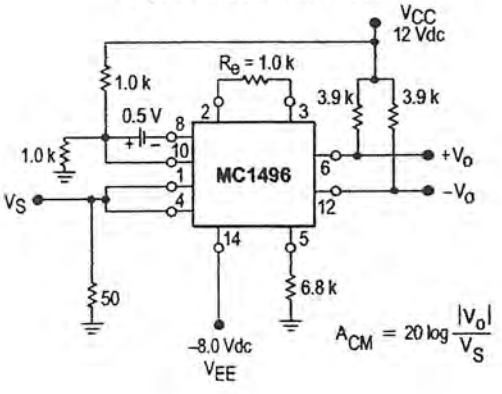
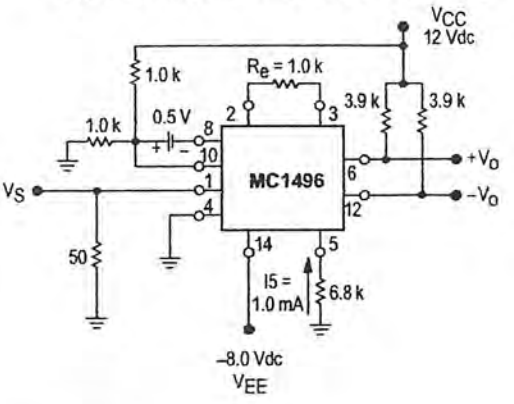


Figure 10. Signal Gain and Output Swing



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 11. Sideband Output versus Carrier Levels

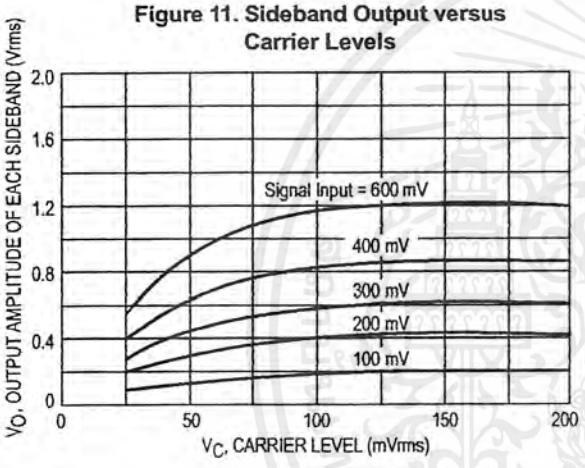


Figure 12. Signal–Port Parallel–Equivalent Input Resistance versus Frequency

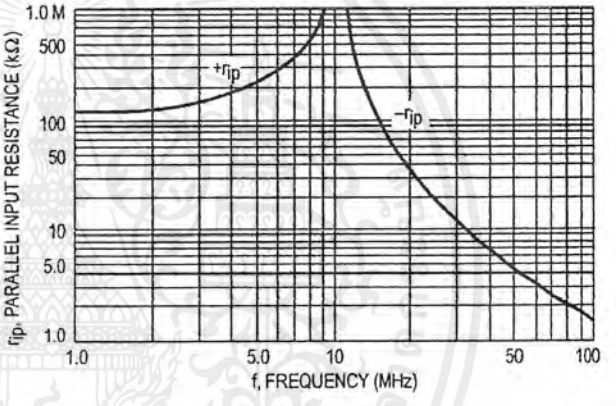


Figure 13. Signal–Port Parallel–Equivalent Input Capacitance versus Frequency

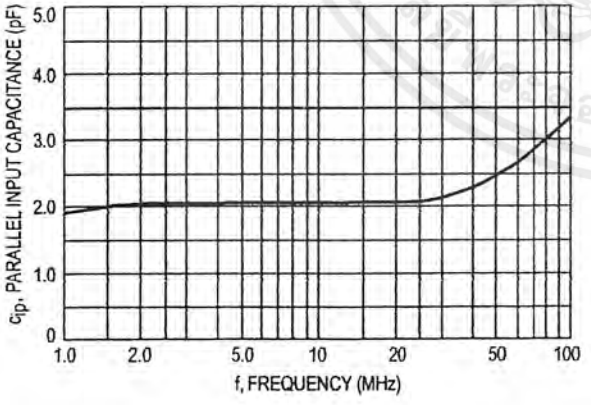
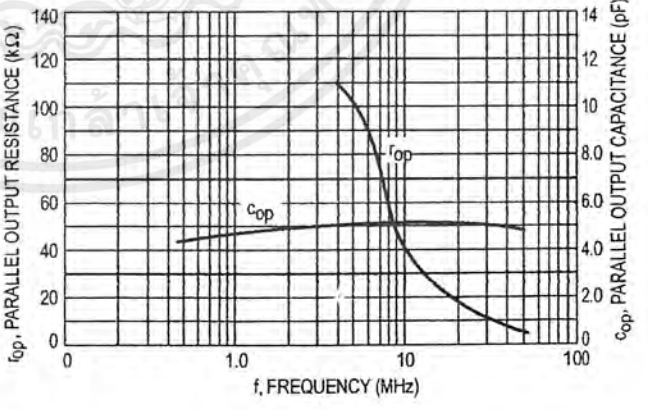


Figure 14. Single–Ended Output Impedance versus Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 15. Sideband and Signal Port Transadmittances versus Frequency

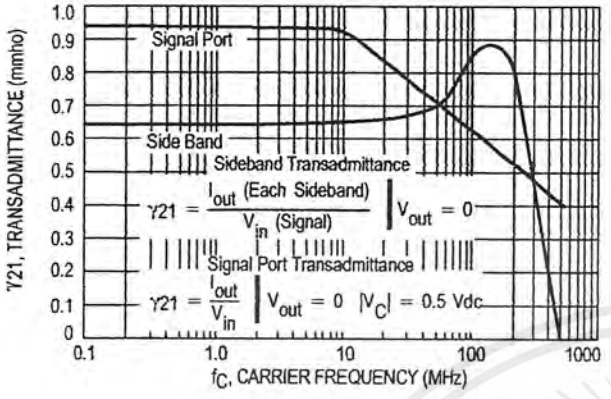


Figure 16. Carrier Suppression versus Temperature

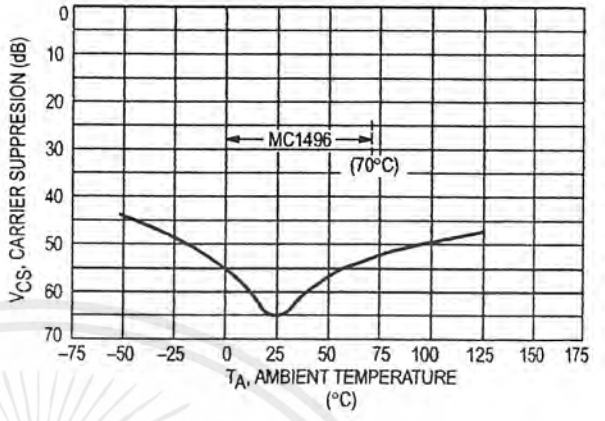


Figure 17. Signal–Port Frequency Response

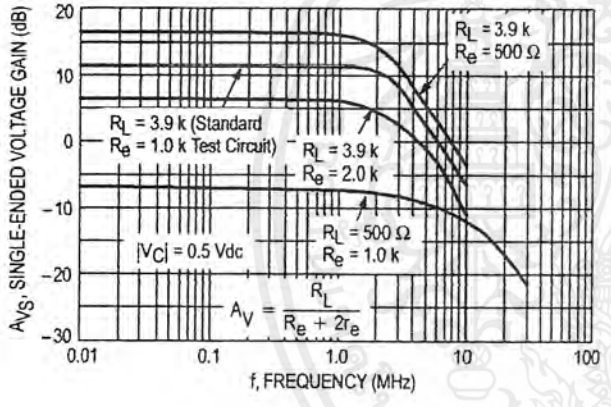


Figure 18. Carrier Suppression versus Frequency

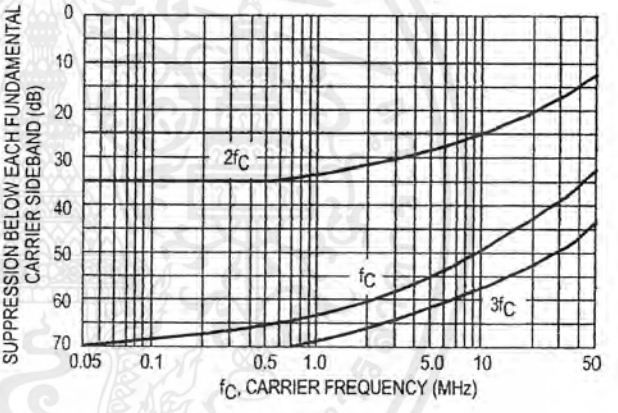


Figure 19. Carrier Feedthrough versus Frequency

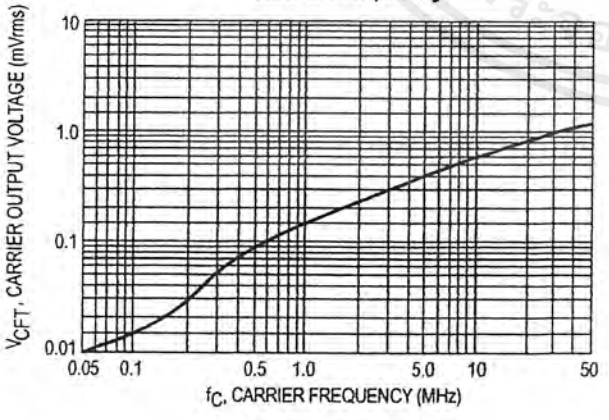
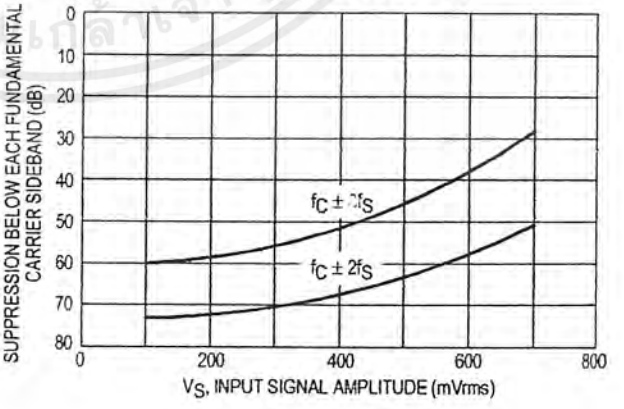


Figure 20. Sideband Harmonic Suppression versus Input Signal Level



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 21. Suppression of Carrier Harmonic Sidebands versus Carrier Frequency

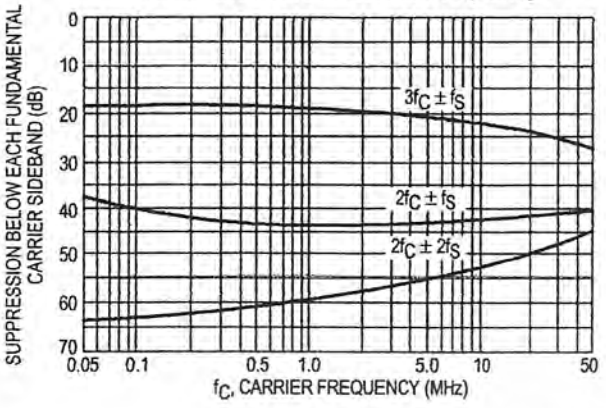
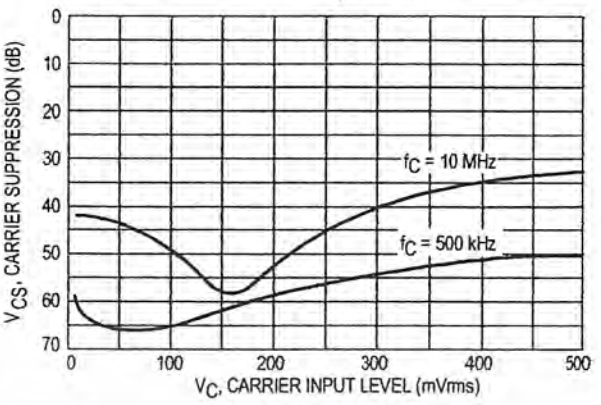


Figure 22. Carrier Suppression versus Carrier Input Level



OPERATIONS INFORMATION

The MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross–coupled so that full–wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low–level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high–level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I5)\,(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

Figure 23. Circuit Schematic

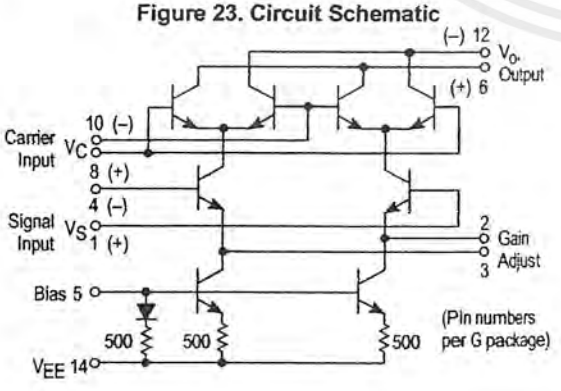
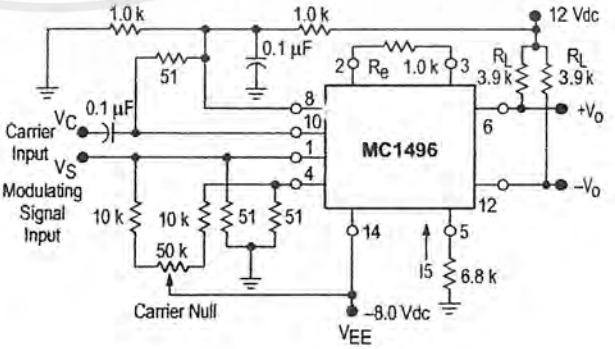


Figure 24. Typical Modulator Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 25. Voltage Gain and Output Frequencies

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low–level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High–level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low–level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High–level ac	$\frac{0.637\ R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M, \ldots$

NOTES: 1. Low–level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single–ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between Pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at 25°C;
$$re \approx \frac{26\ mV}{I_5\ (mA)}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} = 26\ mV \text{ at room temperature}$$

The gain from the modulating signal input port to the output is the MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1496 for a low–level modulating signal input and the following carrier input conditions:

1) Low–level dc
2) High–level dc
3) Low–level ac
4) High–level ac

These gains are summarized in Figure 25, along with the frequency components contained in the output signal.

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single 12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9.0 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 µF capacitors on Pins 8 and 10 should be increased to 1.0 µF. Also, the output filter at Pin 12 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1496, the emitter resistance between Pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151-2

Parallel-Input PLL Frequency Synthesizer

Interfaces with Single–Modulus Prescalers

The MC145151–2 is programmed by 14 parallel–input data lines for the N counter and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, digital–phase detector, and 14–bit programmable divide–by–N counter.

The MC145151–2 is an improved–performance drop–in replacement for the MC145151–1. The power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- ÷ N Counter Output Available
- Single Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 128, 256, 512, 1024, 2048, 2410, 8192
- ÷ N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single–Ended (Three–State) or Double–Ended
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates

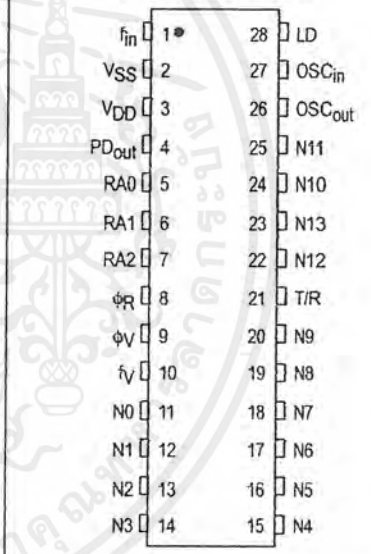
P SUFFIX
PLASTIC DIP
CASE 710

DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145151P2	Plastic DIP
MC145151DW2	SOG Package

PIN ASSIGNMENT



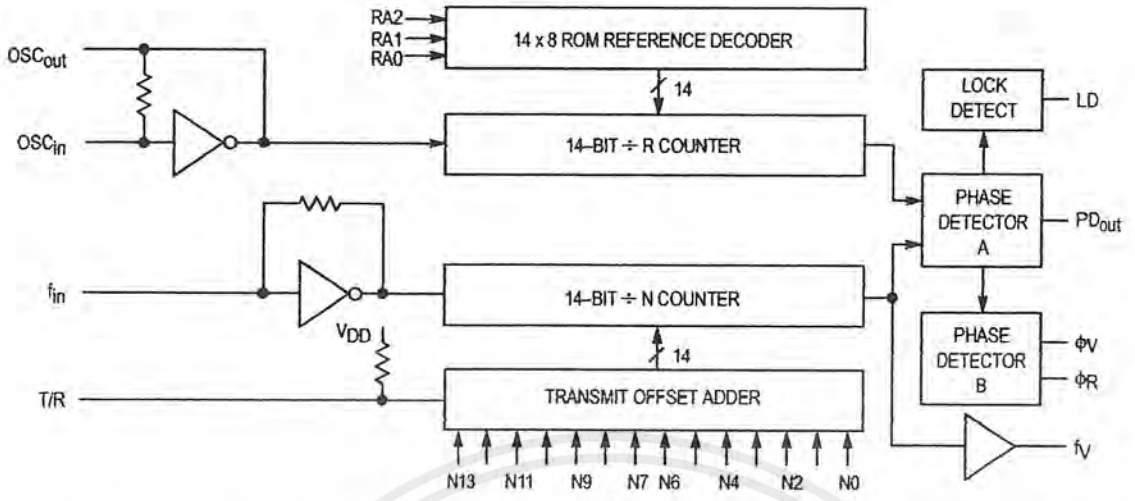
REV 1
8/95

© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151–2 BLOCK DIAGRAM



NOTE: N0 – N13 inputs and inputs RA0, RA1, and RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the ÷ N portion of the synthesizer. f_{in} is typically derived from loop VCO and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0 – RA2
Reference Address Inputs (Pins 5, 6, 7)

These three inputs establish a code defining one of eight possible divide values for the total reference divider, as defined by the table below.

Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	128
0	1	0	256
0	1	1	512
1	0	0	1024
1	0	1	2048
1	1	0	2410
1	1	1	8192

N0 – N11
N Counter Programming Inputs (Pins 11 – 20, 22 – 25)

These inputs provide the data that is preset into the ÷ N counter when it reaches the count of zero. N0 is the least significant and N13 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only an SPST switch to alter data to the zero state.

T/R
Transmit/Receive Offset Adder Input (Pin 21)

This input controls the offset added to the data provided at the N inputs. This is normally used for offsetting the VCO frequency by an amount equal to the IF frequency of the transceiver. This offset is fixed at 856 when T/R is low and gives no offset when T/R is high. A pull–up resistor ensures that no connection will appear as a logic 1 causing no offset addition.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

PD_{out}
Phase Detector A Output (Pin 4)

Three–state output of phase detector for use as loop–error signal. Double–ended outputs are also available for this purpose (see ϕV and ϕR).

Frequency $f_V > f_R$ or f_V Leading: Negative Pulses
Frequency $f_V < f_R$ or f_V Lagging: Positive Pulses
Frequency $f_V = f_R$ and Phase Coincidence: High–Impedance State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ϕR, ϕV
Phase Detector B Outputs (Pins 8, 9)

These phase detector outputs can be combined externally for a loop–error signal. A single–ended output is also available for this purpose (see **PD_{out}**).

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕV pulsing low. ϕR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕR pulsing low. ϕV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕV and ϕR remain high except for a small minimum time period when both pulse low in phase.

f_V
N Counter Output (Pin 10)

This is the buffered output of the ÷ N counter that is internally connected to the phase detector input. With this output available, the ÷ N counter can be used independently.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

TYPICAL APPLICATIONS

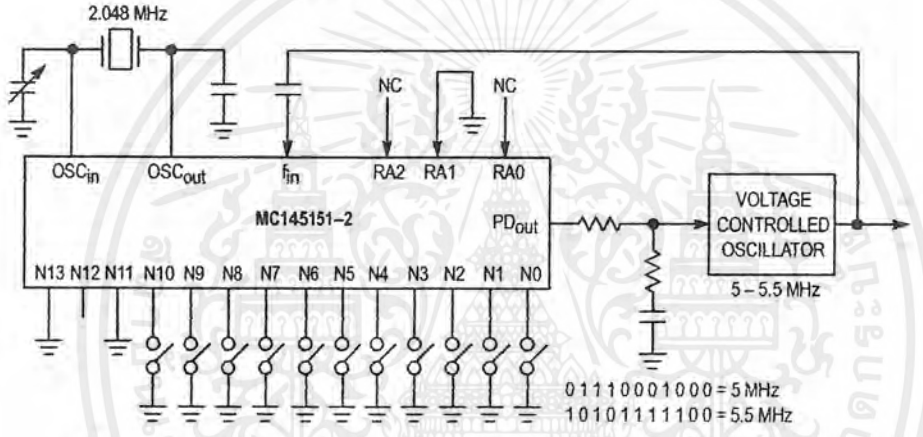
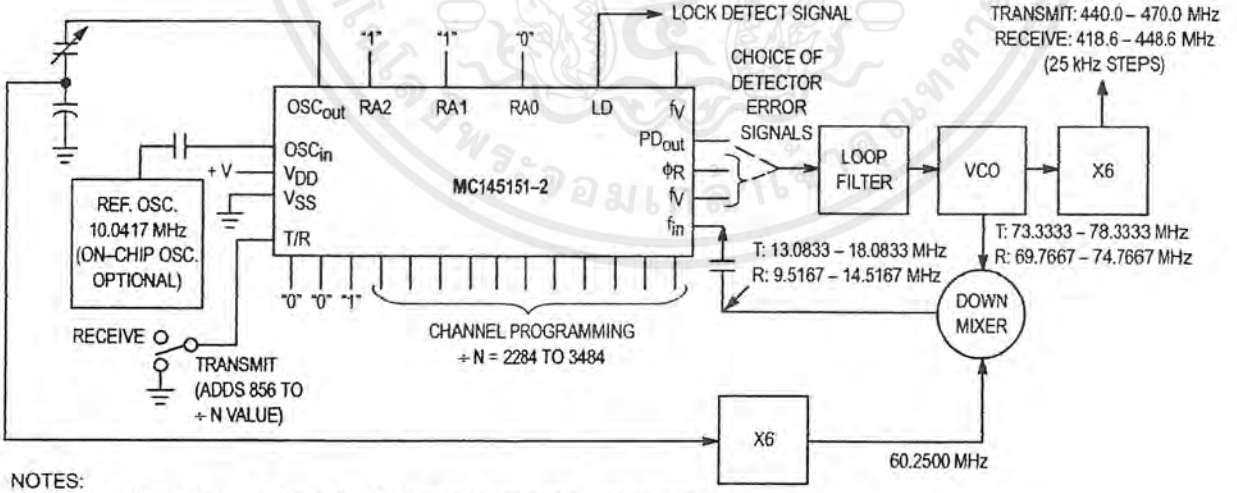


Figure 1. 5 MHz to 5.5 MHz Local Oscillator Channel Spacing = 1 kHz



NOTES:
1. f_R = 4.1667 kHz; ÷ R = 2410; 21.4 MHz low side injection during receive.
2. Frequency values shown are for the 440 – 470 MHz band. Similar implementation applies to the 406 – 440 MHz band. For 470 – 512 MHz, consider reference oscillator frequency X9 for mixer injection signal (90.3750 MHz).

Figure 2. Synthesizer for Land Mobile Radio UHF Bands

MC145151–2 Data Sheet Continued on Page 23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 10.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient) except SW1, SW2	– 0.5 to V_{DD} + 0.5	V
V_{out}	Output Voltage (DC or Transient), SW1, SW2 ($R_{pull-up}$ = 4.7 kΩ)	– 0.5 to + 15	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
I_{DD}, I_{SS}	Supply Current, V_{DD} or V_{SS} Pins	± 30	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 seconds	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

†Power Dissipation Temperature Derating:
Plastic DIP: – 12 mW/°C from 65 to 85°C
SOG Package: – 7 mW/°C from 65 to 85°C

These devices contain protection circuitry to protect against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to these high–impedance circuits. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$ except for SW1 and SW2.

SW1 and SW2 can be tied through external resistors to voltages as high as 15 V, independent of the supply voltage.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}), except for inputs with pull–up devices. Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Symbol	Parameter	Test Condition	V_{DD} V	– 40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
V_{DD}	Power Supply Voltage Range		—	3	9	3	9	3	9	V
I_{ss}	Dynamic Supply Current	f_{in} = OSC_{in} = 10 MHz, 1 V p–p ac coupled sine wave R = 128, A = 32, N = 128	3 5 9	— — —	3.5 10 30	— — —	3 7.5 24	— — —	3 7.5 24	mA
I_{SS}	Quiescent Supply Current (not including pull–up current component)	V_{in} = V_{DD} or V_{SS} I_{out} = 0 µA	3 5 9	— — —	800 1200 1600	— — —	800 1200 1600	— — —	1600 2400 3200	µA
V_{in}	Input Voltage — f_{in}, OSC_{in}	Input ac coupled sine wave	—	500	—	500	—	500	—	mV p–p
V_{IL}	Low–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \ge 2.1$ V Input dc $V_{out} \ge 3.5$ V coupled $V_{out} \ge 6.3$ V square wave	3 5 9	— — —	0 0 0	— — —	0 0 0	— — —	0 0 0	V
V_{IH}	High–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \le 0.9$ V Input dc $V_{out} \le 1.5$ V coupled $V_{out} \le 2.7$ V square wave	3 5 9	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	V
V_{IL}	Low–Level Input Voltage — except f_{in}, OSC_{in}		3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{IH}	High–Level Input Voltage — except f_{in}, OSC_{in}		3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
I_{in}	Input Current (f_{in}, OSC_{in})	V_{in} = V_{DD} or V_{SS}	9	± 2	± 50	± 2	± 25	± 2	± 22	µA
I_{IL}	Input Leakage Current (Data, CLK, ENB — without pull–ups)	V_{in} = V_{SS}	9	—	– 0.3	—	– 0.1	—	– 1.0	µA
I_{IH}	Input Leakage Current (all inputs except f_{in}, OSC_{in})	V_{in} = V_{DD}	9	—	0.3	—	0.1	—	1.0	µA

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2211

FSK Demodulator/ Tone Decoder

EXAR ...the analog plus company™

June 1997-3

FEATURES

- Wide Frequency Range, 0.01Hz to 300kHz
- Wide Supply Voltage Range, 4.5V to 20V
- HCMOS/TTL/Logic Compatibility
- FSK Demodulation, with Carrier Detection
- Wide Dynamic Range, 10mV to 3V rms
- Adjustable Tracking Range, ±1% to 80%
- Excellent Temp. Stability, ±50ppm/°C, max.

APPLICATIONS

- Caller Identification Delivery
- FSK Demodulation
- Data Synchronization
- Tone Decoding
- FM Detection
- Carrier Detection

GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications applications. It is particularly suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20V and a wide frequency range of 0.01Hz to 300kHz. It can accommodate analog signals between 10mV and 3V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply is provided at an output pin.

The XR-2211 is available in 14 pin packages specified for military and industrial temperature ranges.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2211M	14 Pin CDIP (0.300")	-55°C to +125°C
XR-2211N	14 Pin CDIP (0.300")	-40°C to +85°C
XR-2211P	14 Pin PDIP (0.300")	-40°C to +85°C
XR-2211ID	14 Lead SOIC (Jedec, 0.150")	-40°C to +85°C

©1992

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ FAX (510) 668-7017

3422618 0009607 776

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

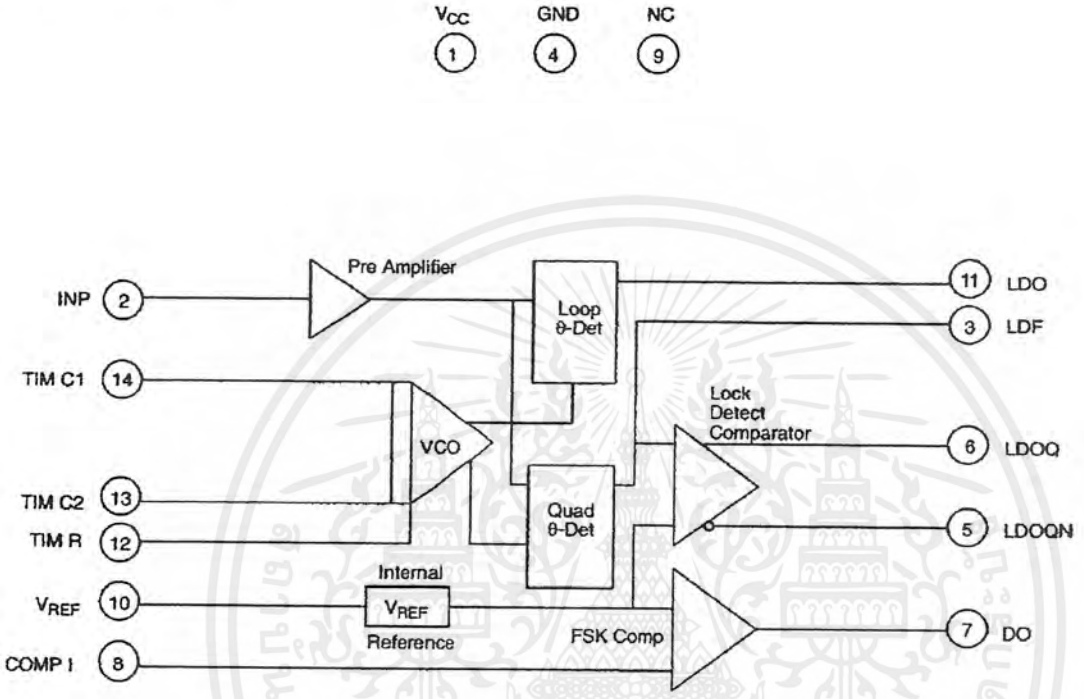
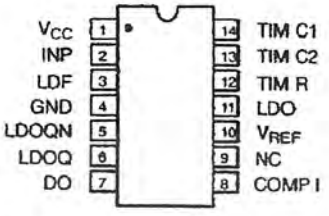


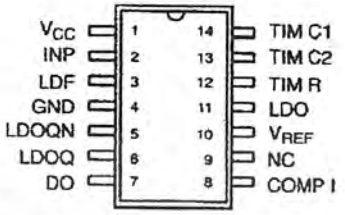
Figure 1. XR-2211 Block Diagram

3422618 0009608 602
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN CONFIGURATION



14 Lead CDIP, PDIP (0.300")



14 Lead SOIC (Jedec, 0.150")

PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	V_{CC}		**Positive Power Supply.**
2	INP	I	**Receive Analog Input.**
3	LDF	O	**Lock Detect Filter.**
4	GND		**Ground Pin.**
5	LDOQN	O	**Lock Detect Output Not.** This output will be low if the VCO is in the capture range.
6	LDOQ	O	**Lock Detect Output.** This output will be high if the VCO is in the capture range.
7	DO	O	**Data Output.** Decoded FSK output.
8	COMP I	I	**FSK Comparator Input.**
9	NC		**Not Connected.**
10	V_{REF}	O	**Internal Voltage Reference.** The value of V_{REF} is $V_{CC}/2$ - 650mV.
11	LDO	O	**Loop Detect Output.** This output provides the result of the quadrature phase detection.
12	TIM R	I	**Timing Resistor Input.** This pin connects to the timing resistor of the VCO.
13	TIM C2	I	**Timing Capacitor Input.** The timing capacitor connects between this pin and pin 14.
14	TIM C1	I	**Timing Capacitor Input.** The timing capacitor connects between this pin and pin 13.

3422618 0009609 549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS
Test Conditions: V_{CC} = 12V, T_A = +25°C, R_O = 30KΩ, C_O = 0.033µF, unless otherwise specified.

Parameter	Min.	Typ.	Max.	Unit	Conditions
General					
Supply Voltage	**4.5**		**20**	V	
Supply Current		4	**7**	mA	$R_0 \geq$ 10KΩ. See *Figure 4.*
Oscillator Section					
Frequency Accuracy		±1	±3	%	Deviation from $f_O = 1/R_0 C_0$
Frequency Stability					
Temperature		±20	±50	ppm/°C	See *Figure 8.*
Power Supply		0.05	**0.5**	%/V	V_{CC} = 12 ±1V. See *Figure 7.*
		0.2		%/V	V_{CC} = ± 5V. See *Figure 7.*
Upper Frequency Limit	100	300		kHz	R_0 = 8.2KΩ, C_0 = 400pF
Lowest Practical Operating Frequency			0.01	Hz	R_0 = 2MΩ, C_0 = 50µF
Timing Resistor, R_0 - See *Figure 5*					
Operating Range	5		2000	KΩ	
Recommended Range	5			KΩ	See *Figure 7* and *Figure 8.*
Loop Phase Dectector Section					
Peak Output Current	±150	±200	±300	µA	Measured at Pin 11
Output Offset Current		1		µA	
Output Impedance		1		MΩ	
Maximum Swing	±4	± 5		V	Referenced to Pin 10
Quadrature Phase Detector					Measured at Pin 3
Peak Output Current	100	300		µA	
Output Impedance		1		MΩ	
Maximum Swing		11		V_{PP}	
Input Preampt Section					Measured at Pin 2
Input Impedance		20		KΩ	
Input Signal					
Voltage Required to Cause Limiting		2	10	mV rms	

Notes
Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

3422618 0009610 260

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Test Conditions: V_{CC} = 12V, T_A = +25°C, R_O = 30KΩ, C_O = 0.033μF, unless otherwise specified.

Parameter	Min.	Typ.	Max.	Unit	Conditions
Voltage Comparator Section					
Input Impedance		2		MΩ	Measured at Pins 3 and 8
Input Bias Current		100		nA	
Voltage Gain	55	70		dB	R_L = 5.1KΩ
Output Voltage Low		300	**500**	mV	I_C = 3mA
Output Leakage Current		0.01	**10**	μA	V_O = 20V
Internal Reference					
Voltage Level	**4.9**	5.3	**5.7**	V	Measured at Pin 10
Output Impedance		100		Ω	AC Small Signal
Maximum Source Current		80		μA	

Notes
Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply 20V
Input Signal Level ..... 3V rms
Power Dissipation 900mW

Package Power Dissipation Ratings
CDIP 750mW
Derate Above T_A = 25°C 8mW/
PDIP 800mW
Derate Above T_A = 25°C ..... 60mW/°
SOIC 390mW
Derate Above T_A = 25°C 5mW/

SYSTEM DESCRIPTION

The main PLL within the XR-2211 is constructed from an input preamplifier, analog multiplier used as a phase detector and a precision voltage controlled oscillator (VCO). The preamplifier is used as a limiter such that input signals above typically 10mV rms are amplified to a constant high level signal. The multiplying-type phase detector acts as a digital exclusive or gate. Its output (unfiltered) produces sum and difference frequencies of the input and the VCO output. The VCO is actually a current controlled oscillator with its normal input current (f_O) set by a resistor (R_0) to ground and its driving current with a resistor (R_1) from the phase detector.

The output of the phase detector produces sum and difference of the input and the VCO frequencies (internally connected). When in lock, these frequencies are f_{IN}+ f_{VCO} (2 times f_{IN} when in lock) and f_{IN} - f_{VCO} (0Hz when lock). By adding a capacitor to the phase detector output, the 2 times f_{IN} component is reduced, leaving a DC voltage that represents the phase difference between the two frequencies. This closes the loop and allows the VCO to track the input frequency.

The FSK comparator is used to determine if the VCO is driven above or below the center frequency (FSK comparator). This will produce both active high and active low outputs to indicate when the main PLL is in lock (quadrature phase detector and lock detector comparator).

3422618 0009611 1T7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

Monolithic Function Generator

EXAR ...the analog plus company™

June 1997-3

FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2206M	16 Lead 300 Mil CDIP	-55°C to +125°C
XR-2206P	16 Lead 300 Mil PDIP	–40°C to +85°C
XR-2206CP	16 Lead 300 Mil PDIP	0°C to +70°C
XR-2206D	16 Lead 300 Mil JEDEC SOIC	0°C to +70°C

©1972

TQM™

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ (510) 668-7017

3422618 0009555 548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

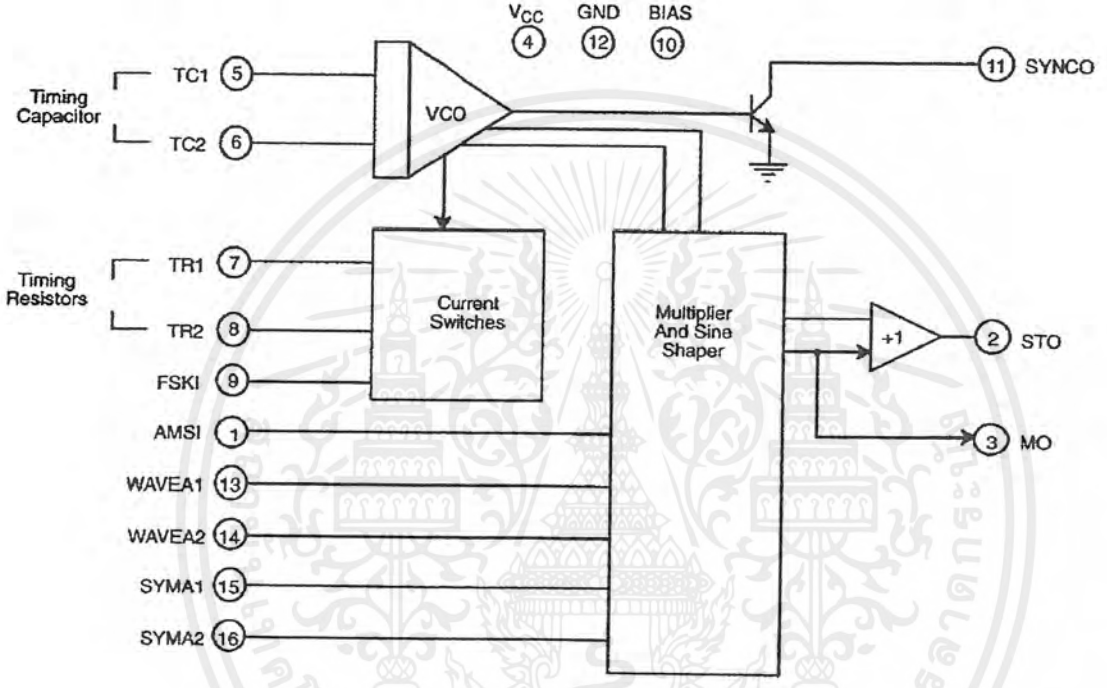
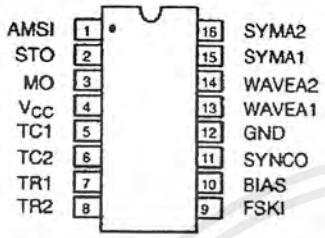


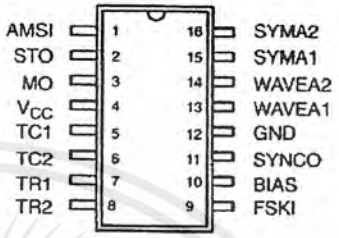
Figure 1. XR-2206 Block Diagram

3422618 0009556 484

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



16 Lead PDIP, CDIP (0.300")



16 Lead SOIC (Jedec, 0.300")

PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	AMSI	I	Amplitude Modulating Signal Input.
2	STO	O	Sine or Triangle Wave Output.
3	MO	O	Multiplier Output.
4	V_{CC}		Positive Power Supply.
5	TC1	I	Timing Capacitor Input.
6	TC2	I	Timing Capacitor Input.
7	TR1	O	Timing Resistor 1 Output.
8	TR2	O	Timing Resistor 2 Output.
9	FSKI	I	Frequency Shift Keying Input.
10	BIAS	O	Internal Voltage Reference.
11	SYNCO	O	Sync Output. This output is a open collector and needs a pull up resistor to V_{CC}.
12	GND		Ground pin.
13	WAVEA1	I	Wave Form Adjust Input 1.
14	WAVEA2	I	Wave Form Adjust Input 2.
15	SYMA1	I	Wave Symetry Adjust 1.
16	SYMA2	I	Wave Symetry Adjust 2.

3422618 0009557 310
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of *Figure 2* Vcc = 12V, T_A = 25°C, C = 0.01µF, R_1 = 100kΩ, R_2 = 10kΩ, R_3 = 25kΩ Unless Otherwise Specified. S_1 open for triangle, closed for sine wave.

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
General Characteristics								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10k\Omega$
Oscillator Section								
Max. Operating Frequency	0.5	1		0.5	1		MHz	C = 1000pF, R_1 = 1kΩ
Lowest Practical Frequency		0.01			0.01		Hz	C = 50µF, R_1 = 2MΩ
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability Frequency		±10	±50		±20		ppm/°C	0°C ≤ T_A ≤ 70°C $R_1 = R_2 = 20k\Omega$
Sine Wave Amplitude Stability[2]		4800			4800		ppm/°C	
Supply Sensitivity		0.01	0.1		0.01		%/V	V_{LOW} = 10V, V_{HIGH} = 20V, $R_1 = R_2 = 20k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ R_1 = 1kΩ f_L @ R_1 = 2MΩ
Sweep Linearity								
10:1 Sweep		2			2		%	f_L = 1kHz, f_H = 10kHz
1000:1 Sweep		8			8		%	f_L = 100Hz, f_H = 100kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	µF	*Figure 5*
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output[1]								*Figure 3*
Triangle Amplitude		160			160		mV/kΩ	*Figure 2*, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	*Figure 2*, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	R_1 = 30kΩ
With Adjustment		0.4	1.0		0.5	1.5	%	See *Figure 7* and *Figure 8*

Notes

[1] Output amplitude is directly proportional to the resistance, R_B, on Pin 3. See Figure 3.

[2] For maximum amplitude stability, R_B should be a positive temperature coefficient resistor.

***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

3422618 0009558 257

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		ns	C_L = 10pF
Fall Time		50			50		ns	C_L = 10pF
Saturation Voltage		0.2	**0.4**		0.2	0.6	V	I_L = 2mA
Leakage Current		0.1	**20**		0.1	100	µA	V_{CC} = 26V
FSK Keying Level (Pin 9)	0.8	1.4	**2.4**	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	**3.3**	2.5	3	3.5	V	Measured at Pin 10.

Notes
[1] Output amplitude is directly proportional to the resistance, R_B, on Pin 3. See Figure 3.
[2] For maximum amplitude stability, R_B should be a positive temperature coefficient resistor.
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply 26V
Power Dissipation 750mW
Derate Above 25°C ..... 5mW/°C
Total Timing Current 6mA
Storage Temperature ..... -65°C to +150°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO produces an output frequency proportional to an input current, which is set by a resistor from the timing terminals to ground. With two timing pins, two discrete output frequencies can be independently produced for FSK generation applications by using the FSK input control pin. This input controls the current switches which select one of the timing resistor currents, and routes it to the VCO.

3422618 0009559 193
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้